

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7045, SH7044, SH7043, SH7042, SH7041, SH7040グループ

ルネサス32ビットRISCシングルチップマイクロコンピュータ
Renesas SuperH RISC engine ファミリ/
SH7040シリーズ

改定一覧は表紙をクリックして直接ご覧になれます。
改定一覧は改定箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

はじめに

SH7040 シリーズ (SH7040、SH7041、SH7042、SH7043、SH7044、SH7045 グループ) は、ルネサスオリジナルの RISC (Reduced instruction set computer) 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

SH7040 シリーズの CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令 1 ステート (1 システムクロックサイクル) で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来マイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに SH7040 シリーズはシステム構成に必要な周辺機能として、大容量 ROM、RAM、タイマ、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。また、外部メモリアクセスサポート機能により、メモリや周辺 LSI とを効率的に接続できます。これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM にはマスク ROM 版、PROM 版、およびフラッシュメモリ版があります。フラッシュメモリは本 LSI の書き込みをサポートしているライターを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み / 消去することもできます。

このハードウェアマニュアルでは、SH7040 シリーズのハードウェアについて説明します。命令の詳細については、プログラミングマニュアルをご覧ください。

関連するマニュアル

SH7040 シリーズの実行命令について

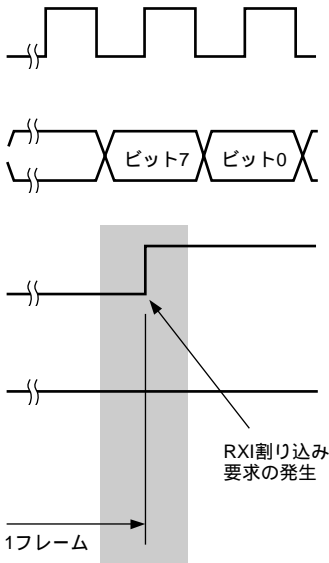
「SH-1/SH-2/SH-DSP プログラミングマニュアル」

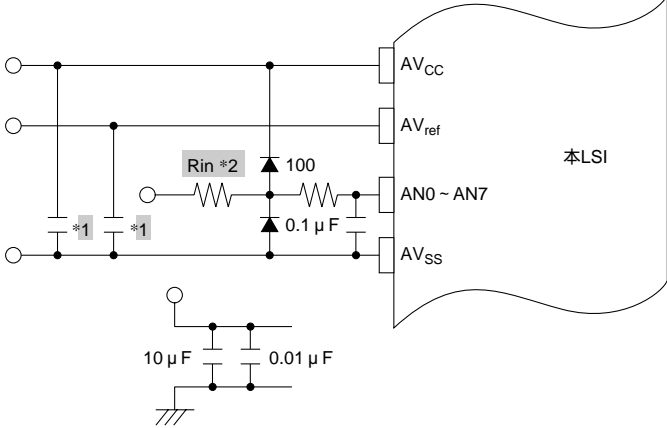
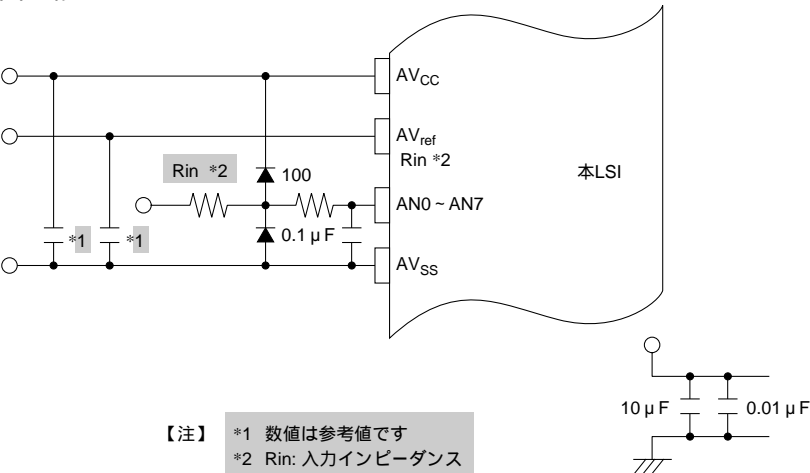
開発環境システムについては、当社営業所までお問い合わせください。

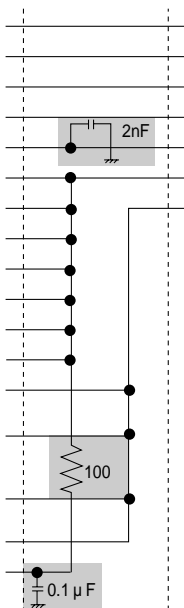
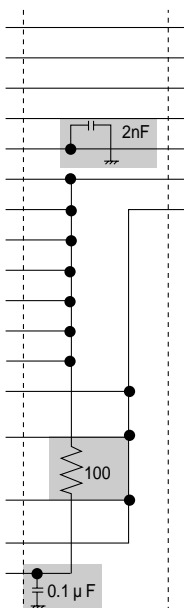
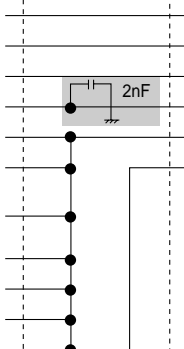
本版で修正または追加された箇所

修正項目	ページ	修正箇所																																																																																																				
1.1 SH7040/41/42/43/44/45 グループの特長 製品ラインアップ	7	<table border="1"> <thead> <tr> <th>パッケージ</th> <th>動作温度</th> <th>異歩数</th> <th>電圧</th> <th>型 名</th> </tr> </thead> <tbody> <tr> <td>SP7F144120</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> </tr> <tr> <td>SP7D011201</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> </tr> <tr> <td>SP7D011401</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> </tr> <tr> <td>SP7D011201</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> </tr> <tr> <td>SP7D011401</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> </tr> <tr> <td>SP7D011201</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> </tr> <tr> <td>SP7D011401</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> </tr> <tr> <td>SP7D011201</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> </tr> <tr> <td>SP7D011401</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> </tr> <tr> <td>SP7D011201</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> </tr> <tr> <td>SP7D011401</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>分類</th> <th>機能</th> <th>パッケージ</th> <th>動作温度</th> <th>異歩数</th> <th>電圧</th> <th>型 名</th> <th>注</th> </tr> </thead> <tbody> <tr> <td>SP7D011201</td> <td>AVC18</td> <td>SP7D011201</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> <td>AVC18は、AVC18のみの動作が保証されています。</td> </tr> <tr> <td>SP7D011401</td> <td>AVC18</td> <td>SP7D011401</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> <td>AVC18は、AVC18のみの動作が保証されています。</td> </tr> <tr> <td>SP7D011201</td> <td>AVC18</td> <td>SP7D011201</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> <td>AVC18は、AVC18のみの動作が保証されています。</td> </tr> <tr> <td>SP7D011401</td> <td>AVC18</td> <td>SP7D011401</td> <td>20</td> <td>75</td> <td>1.8V</td> <td>SH7040AVC18</td> <td>AVC18は、AVC18のみの動作が保証されています。</td> </tr> </tbody> </table>	パッケージ	動作温度	異歩数	電圧	型 名	SP7F144120	20	75	1.8V	SH7040AVC18	SP7D011201	20	75	1.8V	SH7040AVC18	SP7D011401	20	75	1.8V	SH7040AVC18	SP7D011201	20	75	1.8V	SH7040AVC18	SP7D011401	20	75	1.8V	SH7040AVC18	SP7D011201	20	75	1.8V	SH7040AVC18	SP7D011401	20	75	1.8V	SH7040AVC18	SP7D011201	20	75	1.8V	SH7040AVC18	SP7D011401	20	75	1.8V	SH7040AVC18	SP7D011201	20	75	1.8V	SH7040AVC18	SP7D011401	20	75	1.8V	SH7040AVC18	分類	機能	パッケージ	動作温度	異歩数	電圧	型 名	注	SP7D011201	AVC18	SP7D011201	20	75	1.8V	SH7040AVC18	AVC18は、AVC18のみの動作が保証されています。	SP7D011401	AVC18	SP7D011401	20	75	1.8V	SH7040AVC18	AVC18は、AVC18のみの動作が保証されています。	SP7D011201	AVC18	SP7D011201	20	75	1.8V	SH7040AVC18	AVC18は、AVC18のみの動作が保証されています。	SP7D011401	AVC18	SP7D011401	20	75	1.8V	SH7040AVC18	AVC18は、AVC18のみの動作が保証されています。
パッケージ	動作温度	異歩数	電圧	型 名																																																																																																		
SP7F144120	20	75	1.8V	SH7040AVC18																																																																																																		
SP7D011201	20	75	1.8V	SH7040AVC18																																																																																																		
SP7D011401	20	75	1.8V	SH7040AVC18																																																																																																		
SP7D011201	20	75	1.8V	SH7040AVC18																																																																																																		
SP7D011401	20	75	1.8V	SH7040AVC18																																																																																																		
SP7D011201	20	75	1.8V	SH7040AVC18																																																																																																		
SP7D011401	20	75	1.8V	SH7040AVC18																																																																																																		
SP7D011201	20	75	1.8V	SH7040AVC18																																																																																																		
SP7D011401	20	75	1.8V	SH7040AVC18																																																																																																		
SP7D011201	20	75	1.8V	SH7040AVC18																																																																																																		
SP7D011401	20	75	1.8V	SH7040AVC18																																																																																																		
分類	機能	パッケージ	動作温度	異歩数	電圧	型 名	注																																																																																															
SP7D011201	AVC18	SP7D011201	20	75	1.8V	SH7040AVC18	AVC18は、AVC18のみの動作が保証されています。																																																																																															
SP7D011401	AVC18	SP7D011401	20	75	1.8V	SH7040AVC18	AVC18は、AVC18のみの動作が保証されています。																																																																																															
SP7D011201	AVC18	SP7D011201	20	75	1.8V	SH7040AVC18	AVC18は、AVC18のみの動作が保証されています。																																																																																															
SP7D011401	AVC18	SP7D011401	20	75	1.8V	SH7040AVC18	AVC18は、AVC18のみの動作が保証されています。																																																																																															
1.4 F-ZTAT 版のオンボードプログラムについて 図 1.6 フラッシュメモリに関する状態遷移	27	<p>【注】の修正</p> <p>【注】 ユーザモード/ユーザプログラムモード間での遷移は、フラッシュメモリの書き込み/消去をしていない状態で行ってください。 * RAMエミュレーション可</p>																																																																																																				
2.4.1 分類順命令セット (5) 分岐命令	50	<p>表の修正</p> <table border="1"> <thead> <tr> <th>BF/S</th> <th>label</th> <th>10001111ddddddd</th> <th>遅延分岐、T=0 のとき</th> <th>disp × 2 + PC</th> <th>PC,</th> <th>2/1*</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td>T=1 のとき</td> <td>NOP</td> <td></td> <td></td> </tr> </tbody> </table>	BF/S	label	10001111ddddddd	遅延分岐、T=0 のとき	disp × 2 + PC	PC,	2/1*				T=1 のとき	NOP																																																																																								
BF/S	label	10001111ddddddd	遅延分岐、T=0 のとき	disp × 2 + PC	PC,	2/1*																																																																																																
			T=1 のとき	NOP																																																																																																		
4.2.3 ポート設計上の注意		項の削除																																																																																																				
4.5 使用上の注意事項	67 ~ 68	節の新規追加																																																																																																				
11.1.4 レジスタ構成 表 11.2 レジスタ構成	229	*5 の削除																																																																																																				
11.2.3 DMA トランスファ カウントレジスタ 0~3 (DMATCR0~3)	231	<p>記述修正 DMATCR の上位 8 ビットは、読み出すとデータは 0 です。書き込む値は常に 0 にしてください。</p>																																																																																																				

修正項目	ページ	修正箇所																																	
11.2.4 DMA チャンネル コントロールレジスタ0~3 (CHCR0~3)	231	<p>ビットの図修正</p> <p>ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16</p> <table border="1"> <tr> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td>DI*2</td><td>RO*2</td><td>RL*2</td><td>AM*2</td><td>AL*2</td> </tr> </table> <p>初期値: 0 0 0 0 0</p> <p>R/W: R R R R R R R R R R R (R/W)(R/W)(R/W)(R/W)</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>DM1</td><td>DM0</td><td>SM1</td><td>SM0</td><td>RS3</td><td>RS2</td><td>RS1</td><td>RS0</td><td></td><td>DS*2</td><td>TM</td><td>TS1</td><td>TS0</td><td>IE</td><td>TE</td><td>DE</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W R (R/W) R/W R/W R/W R/W R/W R/W</p>													DI*2	RO*2	RL*2	AM*2	AL*2	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0		DS*2	TM	TS1	TS0	IE	TE	DE
													DI*2	RO*2	RL*2	AM*2	AL*2																		
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0		DS*2	TM	TS1	TS0	IE	TE	DE																			
232	<p>ビット31~21の記述修正</p> <p>ビット31~21: 予約ビット</p> <p>読み出すとデータは0です。書き込む値は常に0にしてください。</p>																																		
235	<p>ビット7の記述修正</p> <p>ビット7: 予約ビット</p> <p>読み出すとデータは0です。書き込む値は常に0にしてください。</p>																																		
11.2.5 DMA オペレーション レジスタ (DMAOR)	238	<p>ビット15~10、ビット7~3の記述修正</p> <p>ビット15~10: 予約ビット</p> <p>読み出すとデータは0です。書き込む値は常に0にしてください。</p> <p>ビット7~3: 予約ビット</p> <p>読み出すとデータは0です。書き込む値は常に0にしてください。</p>																																	
11.3.3 チャンルの優先順位 図11.3(1) ラウンドロビン モード	245	<p>図の修正</p> <p>チャンネル0の優先順位を一番低くする。</p>																																	
12.4.5 カスケード接続動作 図12.23 カスケード接続動作 例(位相計数モード)	350	<p>図の修正</p>																																	
12.4.9 相補PWMモード 図12.55 外部入力による出力 相の切り替え動作例(1)	385	<p>図の修正</p> <p>BDC=1、N=0、P=0、FB=0、出力のアクティブレベル; Highの場合</p>																																	
12.9.1 概要 図12.125 POE ブロック図	457	<p>【注】の追加</p> <p>【注】* マルチプレクスされている端子も含まます</p>																																	

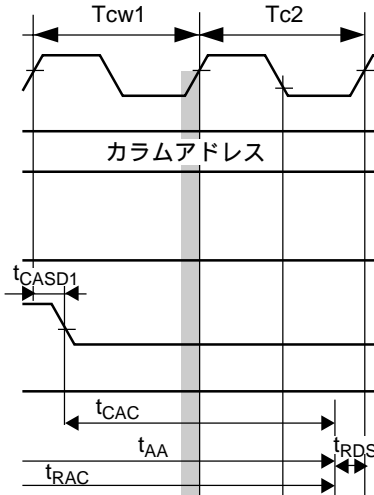
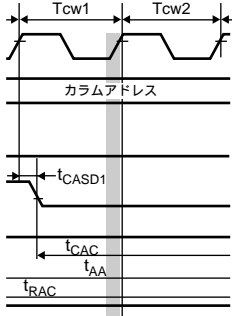
修正項目	ページ	修正箇所																																																																									
12.9.4 使用上の注意事項	467	項の追加																																																																									
14.2.8 ビットレートレジスタ (BRR) 表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (4)	511	表の修正 <table border="1" data-bbox="858 427 1206 949"> <thead> <tr> <th rowspan="2">ビット レート(bit/s)</th> <th colspan="3">27.0336</th> </tr> <tr> <th>(MHz)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr><td>110</td><td></td><td>3</td><td>119</td><td>0.00</td></tr> <tr><td>150</td><td></td><td>3</td><td>87</td><td>0.00</td></tr> <tr><td>300</td><td></td><td>2</td><td>175</td><td>0.00</td></tr> <tr><td>600</td><td></td><td>1</td><td>87</td><td>0.00</td></tr> <tr><td>1200</td><td></td><td>1</td><td>175</td><td>0.00</td></tr> <tr><td>2400</td><td></td><td>1</td><td>87</td><td>0.00</td></tr> <tr><td>4800</td><td></td><td>0</td><td>175</td><td>0.00</td></tr> <tr><td>9600</td><td></td><td>0</td><td>87</td><td>0.00</td></tr> <tr><td>14400</td><td></td><td>0</td><td>58</td><td>-0.56</td></tr> <tr><td>19200</td><td></td><td>0</td><td>43</td><td>0.00</td></tr> <tr><td>28800</td><td></td><td>0</td><td>28</td><td>1.15</td></tr> <tr><td>31250</td><td></td><td>0</td><td>26</td><td>0.12</td></tr> <tr><td>38400</td><td></td><td>0</td><td>21</td><td>0.00</td></tr> </tbody> </table>	ビット レート(bit/s)	27.0336			(MHz)	n	N	誤差 (%)	110		3	119	0.00	150		3	87	0.00	300		2	175	0.00	600		1	87	0.00	1200		1	175	0.00	2400		1	87	0.00	4800		0	175	0.00	9600		0	87	0.00	14400		0	58	-0.56	19200		0	43	0.00	28800		0	28	1.15	31250		0	26	0.12	38400		0	21	0.00
ビット レート(bit/s)	27.0336																																																																										
	(MHz)	n	N	誤差 (%)																																																																							
110		3	119	0.00																																																																							
150		3	87	0.00																																																																							
300		2	175	0.00																																																																							
600		1	87	0.00																																																																							
1200		1	175	0.00																																																																							
2400		1	87	0.00																																																																							
4800		0	175	0.00																																																																							
9600		0	87	0.00																																																																							
14400		0	58	-0.56																																																																							
19200		0	43	0.00																																																																							
28800		0	28	1.15																																																																							
31250		0	26	0.12																																																																							
38400		0	21	0.00																																																																							
14.3.4 クロック同期式モード時の動作 図 14.19 SCI の受信時の動作例	548	図の修正  <p>The diagram illustrates the timing of SCI reception. It shows a clock signal (top), a data stream with bits labeled from ビット7 to ビット0, and a signal for RXI (bottom). A vertical shaded area indicates the period where RXI interrupt generation is required. A label '1フレーム' (1 frame) points to the duration of the data stream.</p>																																																																									
15.4.9 A/D 変換時間 表 15.7 動作周波数と CKS ビットの設定	579	33MHz の削除																																																																									

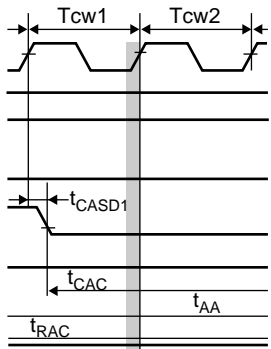
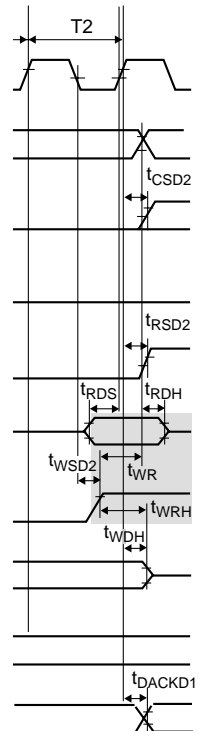
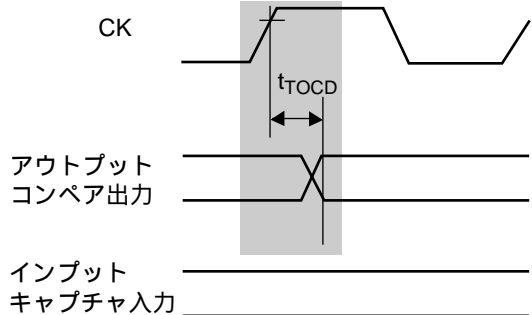
修正項目	ページ	修正箇所						
15.6 使用上の注意 図 15.13 アナログ入力端子の保護回路例	582	図の修正  <p>【注】 *1 数値は参考値です *2 Rin: 入力インピーダンス</p>						
16.7.2 アナログ入力端子の取り扱い 図 16.8 アナログ入力端子の保護回路例	604	図の修正  <p>【注】 *1 数値は参考値です *2 Rin: 入力インピーダンス</p>						
19.2 ポート A 図 19.2 ポート A (FP-144)	676	図の修正 <table border="1" data-bbox="630 1444 1444 1534"> <tr> <td>PA16 (入出力) /\overline{AH} (出力)</td> <td>PA16 (入出力) /\overline{AH} (出力)</td> <td>PA16 (入出力)</td> </tr> <tr> <td>PA15 (入出力) /CK (出力)</td> <td>PA15 (入出力) /CK (出力)</td> <td>PA15 (入出力) /CK (出力)</td> </tr> </table>	PA16 (入出力) / \overline{AH} (出力)	PA16 (入出力) / \overline{AH} (出力)	PA16 (入出力)	PA15 (入出力) /CK (出力)	PA15 (入出力) /CK (出力)	PA15 (入出力) /CK (出力)
PA16 (入出力) / \overline{AH} (出力)	PA16 (入出力) / \overline{AH} (出力)	PA16 (入出力)						
PA15 (入出力) /CK (出力)	PA15 (入出力) /CK (出力)	PA15 (入出力) /CK (出力)						

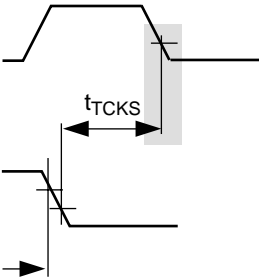
修正項目	ページ	修正箇所
21.2.2 ソケットアダプタの端子対応とメモリマップ 図 21.2 SH7042 の端子と HN27C101 の端子との対応 (112 ピン版)	702	図の修正 
図 21.3 SH7042 の端子と HN27C101 の端子との対応 (120 ピン版)	703	図の修正 
図 21.4 SH7043 の端子と HN27C101 の端子との対応 (144 ピン版)	704	図の修正 

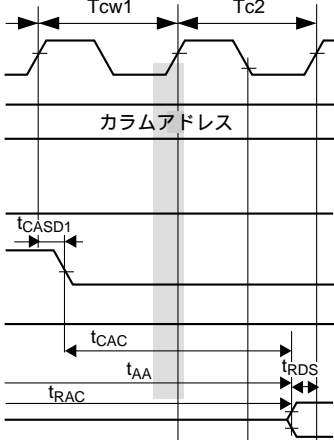
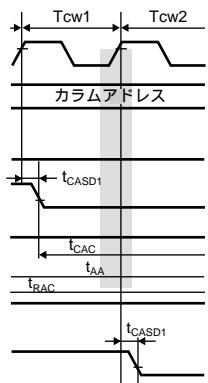
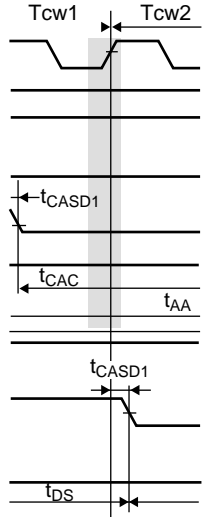
修正項目	ページ	修正箇所																						
22.2.2 モード遷移図 図 22.2 フラッシュメモリに関する状態遷移	715	【注】の修正 ユーザモード/ユーザプログラムモード間での遷移は、フラッシュメモリの書き込み/消去をしていない状態で行ってください。																						
22.7.2 プログラムベリファイモード 図 22.7 プログラム/プログラムベリファイフロー	739	<p>*5の追加</p> <p>書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。</p> <p>RAM</p> <table border="1"> <tr> <td>書き込みデータ格納エリア (32バイト)</td> </tr> <tr> <td>再書き込みデータ格納エリア (32バイト)</td> </tr> </table> <p>【注】 *1 データ転送はバイト転送で行います。書き込む先頭アドレスの下位8ビットは、H'00, H'20, H'40, H'60, H'80, H'A0, H'C0, H'E0でなければなりません。32バイト以下の書き込みでも32バイトのデータ転送を行う必要があります。必要ないアドレスへの書き込みは、データをH'FFにして書き込みを行う必要があります。 *2 ベリファイデータは32ビット (ロングワード) で読み出します。 *3 32バイトの書き込みループ内で、一度書き込みが完了したビットでも、次のベリファイでFAILした場合は、そのビットの追加書き込みを行います。 *4 RAM上に書き込みデータを格納するエリア(32バイト)と再書き込みデータを格納するエリア(32バイト)が必要です。後者の内容は書き込みの進行に応じて書き換えられます。 *5 各Wait時間は繰り返し回数は指定とありに設定してください。指定と異なった値に設定すると、正常に書き込みできない場合があります。</p> <table border="1"> <thead> <tr> <th>書き込みデータ</th> <th>Verifyデータ</th> <th>再書き込みデータ</th> <th>コメント</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> <td>書き込み完了したビットは再書き込みしない</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>書き込み未完了、再書き込み</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>消去状態のまま、何もしない</td> </tr> </tbody> </table>	書き込みデータ格納エリア (32バイト)	再書き込みデータ格納エリア (32バイト)	書き込みデータ	Verifyデータ	再書き込みデータ	コメント	0	0	1	書き込み完了したビットは再書き込みしない	0	1	0	書き込み未完了、再書き込み	1	0	1		1	1	1	消去状態のまま、何もしない
書き込みデータ格納エリア (32バイト)																								
再書き込みデータ格納エリア (32バイト)																								
書き込みデータ	Verifyデータ	再書き込みデータ	コメント																					
0	0	1	書き込み完了したビットは再書き込みしない																					
0	1	0	書き込み未完了、再書き込み																					
1	0	1																						
1	1	1	消去状態のまま、何もしない																					

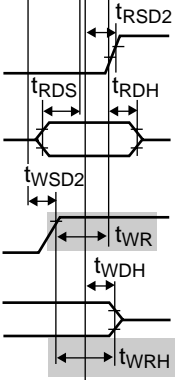
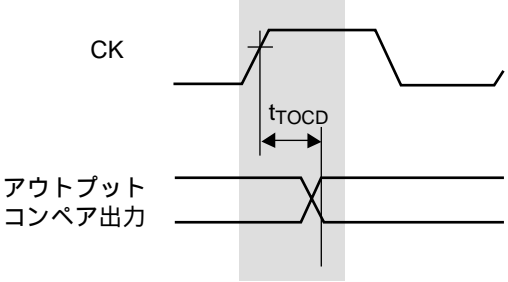
修正項目	ページ	修正箇所
22.7.4 イレースベリファイモード 図 22.8 イレース/イレースベリファイフロー(単一ブロック消去)	746	*5の追加 <pre> graph TD START([START *1]) --> SWE[FLMCR1のSWEビットをセット] SWE --> W10[Wait 10µs *5] W10 --> N1[n = 1] N1 --> EBR[EBR1(2)を設定する *3] EBR --> WDT[WDT-イネーブル] WDT --> ESU1[FLMCR1(2)のESU1(2)ビットをセット] ESU1 --> W200[Wait 200µs *5] W200 --> E1[FLMCR1(2)のE1(2)ビットをセット 消去開始] E1 --> W5ms[Wait 5ms *5] W5ms --> E1_clear[FLMCR1(2)のE1(2)ビットをクリア 消去停止] E1_clear --> W10_2[Wait 10µs *5] W10_2 --> ESU1_clear[FLMCR1(2)のESU1(2)ビットをクリア] ESU1_clear --> W10_3[Wait 10µs *5] W10_3 --> WDT_disable[WDT-ディスエーブル] WDT_disable --> EV1[FLMCR1(2)のEV1(2)ビットをセット] EV1 --> W20[Wait 20µs *5] W20 --> ADDR[ブロック先頭アドレスを ベリファイアドレスにセット] ADDR --> HFF[ベリファイアドレスにHFFを ダミーライト] HFF --> W2[Wait 2µs *5] W2 --> READ[ベリファイデータを読み出す *2] READ --> D1{ベリファイデータ = all "1"?} D1 -- NG --> EV1_clear[FLMCR1(2)のEV1(2)ビットをクリア] EV1_clear --> W5_1[Wait 5µs *5] W5_1 --> D2{n > 60? *5} D2 -- NG --> EV1_clear D2 -- OK --> SWE_clear[FLMCR1のSWEビットをクリア] SWE_clear --> END_FAIL([消去不良]) D1 -- OK --> D3{ブロック最終 アドレス?} D3 -- NG --> INC[アドレス インクリメント] INC --> ADDR D3 -- OK --> EV1_clear_2[FLMCR1(2)のEV1(2)ビットをクリア] EV1_clear_2 --> W5_2[Wait 5µs *5] W5_2 --> D4{消去対象全ブロックの 消去終了? *4} D4 -- NG --> EV1 D4 -- OK --> SWE_clear_2[FLMCR1のSWEビットをクリア] SWE_clear_2 --> END_OK([消去終了]) </pre> <p>【注】 *1 プレライト (消去ブロックのデータをすべて0にする) は必要ありません。 *2 ベリファイデータは32ビット (ロングワード) で読み出します。 *3 EBR1 (2) は1ビットのみ設定してください。2ビット以上を設定しないでください。 *4 消去はブロック単位で行います。複数のブロックを消去する場合は各ブロック単位で順次消去を行ってください。 *5 各Wait時間および繰り返し回数は指定どおりに設定してください。指定と異なった値に設定すると、正常に消去できない場合があります。</p>
24.4.2 スタンバイモードの解除	785	(3)の削除
25. 5V 33.3MHz 版電气的特性		章の削除

修正項目	ページ	修正箇所								
25.2 DC 特性 表 25.2 DC 特性	791	<p>【使用上の注意】の記述の修正</p> <p>3. ZTAT 版と MASK 版、および F-ZTAT 版と MASK 版の機能は同じであり、電気的特性は共に規格内にありますが、特性上の実力値や動作マージン、ノイズマージン、輻射ノイズなどは異なりますので、システムの設計時および ZTAT 版と MASK 版、F-ZTAT 版と MASK 版の置き換えをするときには、ご注意ください。</p> <p>*2の追加</p> <p>*2 F-ZTAT 版を除く A マスクでは 5mA</p> <table border="1" data-bbox="673 698 1401 801"> <tr> <td data-bbox="673 698 975 752">アナログ電源電流</td> <td data-bbox="975 698 1190 752">Al_{CC}</td> <td data-bbox="1190 698 1294 752">5</td> <td data-bbox="1294 698 1401 752">10</td> </tr> <tr> <td></td> <td data-bbox="975 752 1190 801">Al_{ref}</td> <td data-bbox="1190 752 1294 801">0.5</td> <td data-bbox="1294 752 1401 801">1*2</td> </tr> </table>	アナログ電源電流	Al _{CC}	5	10		Al _{ref}	0.5	1*2
アナログ電源電流	Al _{CC}	5	10							
	Al _{ref}	0.5	1*2							
25.3.2 制御信号タイミング 表 25.5 制御信号タイミング	795	<p>【注】の修正</p> <p>【注】 * RES、MRES、NMI、BREQ および IRQ7 ~ IRQ0 信号は非同期入力ですが、ここに示されたセットアップが守られた場合、クロックの立ち上がり (RES、MRES、BREQ の場合) もしくは立ち下がり (NMI および IRQ7 ~ IRQ0 の場合) で変化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち上がり・立ち下がりまで認識が遅れることがあります。</p>								
25.3.3 バスタイミング 図 25.12 DRAM サイクル (ノーマルモード、1 ウェイト、TPC=0、RCD=0)	804	<p>図の修正</p> 								
図 25.13 DRAM サイクル (ノーマルモード、2 ウェイト、TPC=1、RCD=1)	805	<p>図の修正</p> 								

修正項目	ページ	修正箇所
25.3.3 バスタイミング 図 25.14 DRAMサイクル(ノーマルモード、3ウェイト、TPC=1、RCD=1)	805	図の修正 
図 25.19 アドレス/データマルチプレクスI/O空間サイクル(1ソフトウェアウェイト+1外部ウェイト)	808	図の修正 
25.3.5 マルチファンクションタイムパルスユニットタイミング 図 25.23 MTU 入出力タイミング	811	図の修正 

修正項目	ページ	修正箇所																																																	
25.3.5 マルチファンクションタイマパルスユニットタイミング 図 25.24 MTU クロック入力タイミング	811	図の修正 																																																	
25.3.9 高速A/D変換タイミング (A マスク以外) 表 25.12 高速 A/D 変換器タイミング	814	表タイトル修正 高速 A/D 変換器タイミング																																																	
25.3.11 AC 特性測定条件 図 25.33 出力負荷回路	818	図タイトル修正 出力負荷回路																																																	
25.4 A/D 変換器特性 表 25.15 A/D 変換器特性	819	【注】*2 の削除																																																	
26.2 DC 特性 表 26.2 DC 特性	824, 825	表の修正 <table border="1" data-bbox="628 1093 1445 1384"> <tr> <td>シュミットトリガ入力電圧</td> <td>PA2,PA5, PA6 ~ PA9 PE0 ~ PE15</td> <td>$V_T^+ - V_T^-$</td> <td>$V_{CC} \times 0.07$</td> <td></td> <td>V</td> <td>$V_T^+ V_{CC} \times 0.9V$ (min)</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>$V_T^- V_{CC} \times 0.2$ (max)</td> </tr> <tr> <td>入力リーク電流</td> <td>RES,NIMI, MD3 ~ 0 PA2,PA5, PA6 ~ PA9 PE0 ~ PE15</td> <td>I_{in}</td> <td></td> <td>1.0</td> <td>μA</td> <td>$V_{in} = 0.5 - V_{CC} - 0.5V$</td> </tr> <tr> <td></td> <td>A/D ポート</td> <td></td> <td></td> <td>1.0</td> <td>μA</td> <td>$V_{in} = 0.5 - AV_{CC} - 0.5V$</td> </tr> <tr> <td></td> <td>その他の入力端子</td> <td></td> <td></td> <td>1.0</td> <td>μA</td> <td>$V_{in} = 0.5 - V_{CC} - 0.5V$</td> </tr> </table> <p>*3の追加</p> <table border="1" data-bbox="628 1435 1369 1547"> <tr> <td rowspan="2">アナログ電源電流電圧</td> <td>$A_{I_{CC}}$</td> <td></td> <td>4</td> <td>8</td> </tr> <tr> <td>$A_{I_{rel}}$</td> <td></td> <td>0.5</td> <td>1^{*3}</td> </tr> <tr> <td>RAM スタンバイ電圧</td> <td>V_{RAM}</td> <td>2.0</td> <td></td> <td></td> </tr> </table> <p>*2 Aマスクでは 110pF *3 AマスクのMASK 版は 2mA</p>	シュミットトリガ入力電圧	PA2,PA5, PA6 ~ PA9 PE0 ~ PE15	$V_T^+ - V_T^-$	$V_{CC} \times 0.07$		V	$V_T^+ V_{CC} \times 0.9V$ (min)							$V_T^- V_{CC} \times 0.2$ (max)	入力リーク電流	RES,NIMI, MD3 ~ 0 PA2,PA5, PA6 ~ PA9 PE0 ~ PE15	I_{in}		1.0	μA	$V_{in} = 0.5 - V_{CC} - 0.5V$		A/D ポート			1.0	μA	$V_{in} = 0.5 - AV_{CC} - 0.5V$		その他の入力端子			1.0	μA	$V_{in} = 0.5 - V_{CC} - 0.5V$	アナログ電源電流電圧	$A_{I_{CC}}$		4	8	$A_{I_{rel}}$		0.5	1 ^{*3}	RAM スタンバイ電圧	V_{RAM}	2.0		
シュミットトリガ入力電圧	PA2,PA5, PA6 ~ PA9 PE0 ~ PE15	$V_T^+ - V_T^-$	$V_{CC} \times 0.07$		V	$V_T^+ V_{CC} \times 0.9V$ (min)																																													
						$V_T^- V_{CC} \times 0.2$ (max)																																													
入力リーク電流	RES,NIMI, MD3 ~ 0 PA2,PA5, PA6 ~ PA9 PE0 ~ PE15	I_{in}		1.0	μA	$V_{in} = 0.5 - V_{CC} - 0.5V$																																													
	A/D ポート			1.0	μA	$V_{in} = 0.5 - AV_{CC} - 0.5V$																																													
	その他の入力端子			1.0	μA	$V_{in} = 0.5 - V_{CC} - 0.5V$																																													
アナログ電源電流電圧	$A_{I_{CC}}$		4	8																																															
	$A_{I_{rel}}$		0.5	1 ^{*3}																																															
RAM スタンバイ電圧	V_{RAM}	2.0																																																	
26.3.2 制御信号タイミング 表 26.5 制御信号タイミング	829	【注】の修正 【注】 *1 SH7042/43 ZTAT (Aマスク以外) は3.2V。 *2 RES、MRES、NMI、BREQ およびIRQ7 ~ IRQ0信号は非同期入力ですが、ここに示されたセットアップが守られた場合、クロックの立ち上がり (RES、MRES、BREQ の場合) もしくは立ち下がり (NMIおよびIRQ7 ~ IRQ0の場合) で変化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち上がり / 立ち下がりまで認識が遅れることがあります。																																																	

修正項目	ページ	修正箇所
26.3.3 バスタイミング 図 26.12 DRAM サイクル (ノーマルモード、1ウェイト、TPC=0、RCD=0)	838	図の修正 
図 26.13 DRAM サイクル (ノーマルモード、2ウェイト、TPC=1、RCD=1)	839	図の修正 
図 26.14 DRAM サイクル (ノーマルモード、3ウェイト、TPC=1、RCD=1)	839	図の修正 

修正項目	ページ	修正箇所																										
26.3.3 バスタイミング 図 26.19 アドレス/データマルチプレクス I/O 空間サイクル (1ソフトウェアウェイト+1外部ウェイト)	842	図の修正 																										
26.3.5 マルチファンクションタイマパルスユニットタイミング 図 26.23 MTU 入出力タイミング	845	図の修正 																										
C.1 端子状態 (144 ピン)	907	*4 の追加 <table border="1" data-bbox="957 1153 1117 1870"> <tbody> <tr><td>パワーオン</td></tr> <tr><td>O</td></tr> <tr><td>I</td></tr> <tr><td>Z*4</td></tr> <tr><td>O*3</td></tr> <tr><td>Z*4</td></tr> <tr><td>Z*4</td></tr> <tr><td>I</td></tr> <tr><td>Z*4</td></tr> <tr><td>Z*4</td></tr> <tr><td>Z*4</td></tr> <tr><td>O*2</td></tr> <tr><td>Z*4</td></tr> <tr><td>Z*4</td></tr> <tr><td>Z*4</td></tr> <tr><td>H</td></tr> <tr><td>H</td></tr> <tr><td>Z*4</td></tr> <tr><td>H</td></tr> <tr><td>Z*4</td></tr> <tr><td>Z*4</td></tr> <tr><td>Z*4</td></tr> <tr><td>Z*4</td></tr> <tr><td>Z*4</td></tr> <tr><td>Z*4</td></tr> <tr><td>Z*4</td></tr> </tbody> </table>	パワーオン	O	I	Z*4	O*3	Z*4	Z*4	I	Z*4	Z*4	Z*4	O*2	Z*4	Z*4	Z*4	H	H	Z*4	H	Z*4	Z*4	Z*4	Z*4	Z*4	Z*4	Z*4
パワーオン																												
O																												
I																												
Z*4																												
O*3																												
Z*4																												
Z*4																												
I																												
Z*4																												
Z*4																												
Z*4																												
O*2																												
Z*4																												
Z*4																												
Z*4																												
H																												
H																												
Z*4																												
H																												
Z*4																												
Z*4																												
Z*4																												
Z*4																												
Z*4																												
Z*4																												
Z*4																												

修正項目	ページ	修正箇所																																																								
C.1 端子状態 (144 ピン)	908	<p>*4の追加</p> <table border="1" data-bbox="917 369 1077 884"> <tr><td>パワーオン</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td></td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td></td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td></td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z</td><td></td></tr> </table> <p>*4 汎用入出力ポート端子 PAn、PBn、PCn、PDn、PEn およびこれとマルチプレクスされている端子は、RES 端子が Low レベルになった直後から RES セットアップ時間 (t_{RESS}) の間は不定となります。</p>	パワーオン		Z*4				Z*4				Z*4		Z*4		Z*4		Z*4		Z*4		Z*4		Z*4		Z*4				Z*4		Z																									
パワーオン																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z																																																										
C.2 端子状態 (112 ピン、120 ピン)	909	<p>*4の追加</p> <table border="1" data-bbox="954 1052 1114 1780"> <tr><td>パワーオン</td><td></td></tr> <tr><td>O</td><td></td></tr> <tr><td>I</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>O*3</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>I</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>O*2</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>H</td><td></td></tr> <tr><td>H</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>H</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td></td><td></td></tr> <tr><td>Z*4</td><td></td></tr> <tr><td></td><td></td></tr> <tr><td>Z*4</td><td></td></tr> </table>	パワーオン		O		I		Z*4		O*3		Z*4		Z*4		I		Z*4		Z*4		O*2		Z*4		Z*4		Z*4		Z*4		H		H		Z*4		H		Z*4		Z*4		Z*4		Z*4		Z*4				Z*4				Z*4	
パワーオン																																																										
O																																																										
I																																																										
Z*4																																																										
O*3																																																										
Z*4																																																										
Z*4																																																										
I																																																										
Z*4																																																										
Z*4																																																										
O*2																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
H																																																										
H																																																										
Z*4																																																										
H																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										
Z*4																																																										

修正項目	ページ	修正箇所																										
C.2 端子状態 (112 ピン、120 ピン)	910	<p>*4の追加</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td> </td><td> </td></tr> <tr><td> </td><td>パワーオン</td></tr> <tr><td> </td><td>Z*4</td></tr> <tr><td> </td><td>Z*4</td></tr> <tr><td> </td><td>Z*4</td></tr> <tr><td> </td><td>Z*4</td></tr> <tr><td> </td><td>Z*4</td></tr> <tr><td> </td><td>Z</td></tr> <tr><td> </td><td>Z*4</td></tr> <tr><td> </td><td> </td></tr> <tr><td> </td><td>Z*4</td></tr> <tr><td> </td><td>Z</td></tr> <tr><td> </td><td> </td></tr> </table> <p>*4 汎用入出力ポート端子 PAn、PBn、PCn、PDn、PEn およびこれとマルチプレクスされている端子は、RES 端子が Low レベルになった直後から RES セットアップ時間 (t_{RESS}) の間は不定となります。</p>				パワーオン		Z*4		Z*4		Z*4		Z*4		Z*4		Z		Z*4				Z*4		Z		
	パワーオン																											
	Z*4																											
	Z*4																											
	Z*4																											
	Z*4																											
	Z*4																											
	Z																											
	Z*4																											
	Z*4																											
	Z																											
E. 型名一覧 表 E.1 SH7040、SH7041、SH7042、SH7043、SH7044、SH7045 型名一覧	919、 920	表の差し替え																										
F. 外形寸法図 図 F.2 外形寸法図 (FP-112B)	921	<p>記述修正</p> <p>SH7040、SH7042、SH7044の外形寸法図 (FP-112) を図 F.1 と図 F.2 に、SH7040、SH7042の外形寸法図 (TFP-120) を図 F.3 に、SH7041、SH7043、SH7045 の外形寸法図 (FP-144) を図 F.4 と図 F.5 に示します。</p>																										
	922	図 F.2 の追加																										
図 F.4 外形寸法図 (FP-144J)	923	図タイトル修正 外形寸法図 (FP-144J)																										
図 F.5 外形寸法図 (FP-144G)	924	図 F.5 の追加																										

目次

第1章 概要

1.1	SH7040/41/42/43/44/45 の特長	3
1.2	ブロック図	8
1.3	端子説明	10
	1.3.1 ピン配置	10
	1.3.2 端子一覧	13
	1.3.3 端子機能	23
1.4	F-ZTAT 版のオンボードプログラムについて	27

第2章 CPU

2.1	レジスタ構成	31
	2.1.1 汎用レジスタ (Rn)	31
	2.1.2 コントロールレジスタ	32
	2.1.3 システムレジスタ	33
	2.1.4 レジスタの初期値	33
2.2	データ形式	34
	2.2.1 レジスタのデータ形式	34
	2.2.2 メモリ上でのデータ形式	34
	2.2.3 イミディエイトデータのデータ形式	35
2.3	命令の特長	36
	2.3.1 RISC 方式	36
	2.3.2 アドレッシングモード	39
	2.3.3 命令形式	42
2.4	命令セット	44
	2.4.1 分類順命令セット	44
2.5	処理状態	52
	2.5.1 状態遷移	52

2.5.2	低消費電力状態.....	53
-------	--------------	----

第3章 動作モード

3.1	動作モードの種類と選択	57
3.2	各動作モードの説明.....	58
3.3	端子構成.....	59

第4章 クロック発振器 (CPG)

4.1	概要	63
4.1.1	ブロック図	63
4.2	発振器	64
4.2.1	水晶発振子を接続する方法	64
4.2.2	外部クロックを入力する方法.....	65
4.3	プリスケータ	66
4.4	発振停止検出機能	66
4.5	使用上の注意事項	67
4.5.1	発振子に関する注意事項	67
4.5.2	ボード設計上の注意	67
4.5.3	周波数拡散方式クロックジェネレータ使用時の注意	68

第5章 例外処理

5.1	概要	71
5.1.1	例外処理の種類と優先順位	71
5.1.2	例外処理の種類と優先順位	72
5.1.3	例外処理ベクタテーブル	73
5.2	リセット	76
5.2.1	リセットの種類.....	76
5.2.2	パワーオンリセット	76
5.2.3	マニュアルリセット	77
5.3	アドレスエラー	78
5.3.1	アドレスエラー発生要因	78
5.3.2	アドレスエラー例外処理	79
5.4	割り込み.....	80
5.4.1	割り込み要因	80
5.4.2	割り込み優先順位	81

	5.4.3	割り込み例外処理	81
5.5	命令による例外		82
	5.5.1	命令による例外の種類	82
	5.5.2	トラップ命令	82
	5.5.3	スロット不当命令	83
	5.5.4	一般不当命令	83
5.6	例外処理が受け付けられない場合		84
	5.6.1	遅延分岐命令の直後	84
	5.6.2	割り込み禁止命令の直後	84
5.7	例外処理後のスタックの状態		85
5.8	使用上の注意		86
	5.8.1	スタックポインタ (SP) の値	86
	5.8.2	ベクタベースレジスタ (VBR) の値	86
	5.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	86

第6章 割り込みコントローラ (INTC)

6.1	概要		89
	6.1.1	特長	89
	6.1.2	ブロック図	90
	6.1.3	端子構成	91
	6.1.4	レジスタ構成	91
6.2	割り込み要因		92
	6.2.1	NMI 割り込み	92
	6.2.2	ユーザブレイク割り込み	92
	6.2.3	IRQ 割り込み	93
	6.2.4	内蔵周辺モジュール割り込み	93
	6.2.5	割り込み例外処理ベクタと優先順位	94
6.3	レジスタの説明		96
	6.3.1	割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH)	96
	6.3.2	割り込みコントロールレジスタ (ICR)	97
	6.3.3	IRQ ステータスレジスタ (ISR)	99
6.4	動作説明		101
	6.4.1	割り込み動作の流れ	101
	6.4.2	割り込み例外処理終了後のスタックの状態	103
6.5	割り込み応答時間		104
6.6	割り込み要求信号によるデータ転送		106

6.6.1	割り込み要求信号を DTC の起動要因、CPU の割り込み要因とし、DMAC の起動要因としない場合.....	107
6.6.2	割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因、DTC の起動要因としない場合.....	107
6.6.3	割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因、DMAC の起動要因としない場合.....	107
6.6.4	割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因、DMAC の起動要因としない場合.....	107

第 7 章 ユーザブレークコントローラ (UBC)

7.1	概要.....	111
	7.1.1 特長.....	111
	7.1.2 ブロック図.....	112
	7.1.3 レジスタ構成.....	112
7.2	レジスタの説明.....	113
	7.2.1 ユーザブレークアドレスレジスタ (UBAR)	113
	7.2.2 ユーザブレークアドレスマスクレジスタ (UBAMR)	114
	7.2.3 ユーザブレークバスサイクルレジスタ (UBBR)	115
7.3	動作説明.....	118
	7.3.1 ユーザブレーク動作の流れ.....	118
	7.3.2 内蔵メモリの命令フェッチサイクルによるブレーク	120
	7.3.3 退避するプログラムカウンタ (PC) の値	120
7.4	ユーザブレーク使用例.....	121
7.5	使用上の注意.....	124
	7.5.1 2 命令同時フェッチ.....	124
	7.5.2 分岐時の命令フェッチ.....	124
	7.5.3 ユーザブレークと例外処理の競合.....	125
	7.5.4 非遅延分岐命令の飛び先でのブレーク	125

第 8 章 データトランスファコントローラ (DTC)

8.1	概要.....	129
	8.1.1 特長.....	129
	8.1.2 ブロック図.....	130
	8.1.3 レジスタ構成.....	131
8.2	レジスタの説明.....	132
	8.2.1 DTC モードレジスタ (DTMR)	132

8.2.2	DTC ソースアドレスレジスタ (DTSAR)	136
8.2.3	DTC デスティネーションアドレスレジスタ (DTDAR)	136
8.2.4	DTC 初期アドレスレジスタ (DTIAR)	136
8.2.5	DTC 転送カウントレジスタ A (DTCRA)	137
8.2.6	DTC 転送カウントレジスタ B (DTCRB)	137
8.2.7	DTC イネーブルレジスタ (DTER)	138
8.2.8	DTC コントロール / ステータスレジスタ (DTCSR)	139
8.2.9	DTC 情報ベースレジスタ (DTBR)	141
8.3	動作説明.....	142
8.3.1	動作概要.....	143
8.3.2	起動要因.....	144
8.3.3	DTC ベクタテーブル.....	145
8.3.4	レジスタ情報の配置.....	147
8.3.5	ノーマルモード.....	148
8.3.6	リピートモード.....	149
8.3.7	ブロック転送モード.....	150
8.3.8	動作タイミング.....	151
8.3.9	DTC 実行ステート数.....	151
8.3.10	DTC 使用手順.....	152
8.3.11	DTC 使用例.....	153
8.4	使用上の注意.....	154

第9章 キャッシュメモリ (CAC)

9.1	概要	157
9.1.1	特長	157
9.1.2	ブロック図	158
9.1.3	レジスタ構成.....	159
9.2	レジスタの説明.....	160
9.2.1	キャッシュコントロールレジスタ (CCR)	160
9.3	アドレスアレイとデータアレイ	162
9.3.1	キャッシュアドレスアレイ読み出し / 書き込み空間	162
9.3.2	キャッシュデータアレイ読み出し / 書き込み空間.....	163
9.4	使用上の注意.....	164
9.4.1	キャッシュの初期化.....	164
9.4.2	アドレスアレイ、データアレイへの強制アクセス.....	164
9.4.3	キャッシュミス時のペナルティと、キャッシュフィルのタイミング.....	164
9.4.4	キャッシュミス後のキャッシュヒット	166

第 10 章 バスステートコントローラ (BSC)

10.1	概要	169
10.1.1	特長	169
10.1.2	ブロック図	170
10.1.3	端子構成	171
10.1.4	レジスタ構成	172
10.1.5	アドレスマップ	173
10.2	レジスタの説明	175
10.2.1	バスコントロールレジスタ 1 (BCR1)	175
10.2.2	バスコントロールレジスタ 2 (BCR2)	179
10.2.3	ウェイトコントロールレジスタ 1 (WCR1)	183
10.2.4	ウェイトコントロールレジスタ 2 (WCR2)	185
10.2.5	DRAM エリアコントロールレジスタ (DCR)	187
10.2.6	リフレッシュタイマコントロール/ステータスレジスタ (RTCSR)	191
10.2.7	リフレッシュタイマカウンタ (RTCNT)	194
10.2.8	リフレッシュタイムコンスタントレジスタ (RTCOR)	195
10.3	通常空間アクセス	196
10.3.1	基本タイミング	196
10.3.2	ウェイトステート制御	197
10.3.3	CS アサート期間拡張	199
10.4	DRAM アクセス	200
10.4.1	DRAM 直結方式	200
10.4.2	基本タイミング	201
10.4.3	ウェイトステート制御	202
10.4.4	バースト動作	205
10.4.5	リフレッシュタイミング	207
10.5	アドレス/データマルチプレクス I/O 空間アクセス	209
10.5.1	基本タイミング	209
10.5.2	ウェイトステート制御	210
10.5.3	CS アサート拡張	210
10.6	アクセスサイクル間ウェイト	211
10.6.1	データバス衝突防止	211
10.6.2	バスサイクル開始検出の容易化	213
10.7	バスアービトレーション	214
10.8	メモリ接続例	215
10.9	内蔵周辺 I/O レジスタのアクセス	220
10.10	外部メモリへプログラムを配置したときの CPU 動作	221

第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)

11.1	概要	225
11.1.1	特長	225
11.1.2	DMAC ブロック図	227
11.1.3	端子構成	228
11.1.4	レジスタ構成	229
11.2	各レジスタの説明	230
11.2.1	DMA ソースアドレスレジスタ 0~3 (SAR0~3)	230
11.2.2	DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)	230
11.2.3	DMA トランスファカウンタレジスタ 0~3 (DMATCR0~3)	231
11.2.4	DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)	231
11.2.5	DMA オペレーションレジスタ (DMAOR)	238
11.3	動作説明	240
11.3.1	動作説明	240
11.3.2	DMA 転送要求	242
11.3.3	チャンネルの優先順位	244
11.3.4	DMA 転送の種類	247
11.3.5	バスサイクルのステート数と \overline{DREQ} 端子のサンプリングタイミング	259
11.3.6	ソースアドレスリロード機能	265
11.3.7	DMA 転送終了	266
11.3.8	CPU からの DMAC アクセス	267
11.4	使用例	268
11.4.1	内蔵 SCI と外部メモリとの DMA 転送例	268
11.4.2	外部 RAM と DACK 付き外部デバイスとの DMA 転送例	269
11.4.3	A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン) (A マスク以外の場合)	270
11.4.4	A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン) (A マスクの場合)	272
11.4.5	外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)	274
11.5	使用上の注意	276

第 12 章 マルチファンクションタイマパルスユニット (MTU)

12.1	概要	279
12.1.1	特長	279
12.1.2	ブロック図	282
12.1.3	端子構成	283

	12.1.4	レジスタ構成	285
12.2		レジスタの説明	287
	12.2.1	タイマコントロールレジスタ (TCR)	287
	12.2.2	タイマモードレジスタ (TMDR)	292
	12.2.3	タイマI/O コントロールレジスタ (TIOR)	295
	12.2.4	タイマインタラプトイネーブルレジスタ (TIER)	312
	12.2.5	タイマステータスレジスタ (TSR)	315
	12.2.6	タイマカウンタ (TCNT)	319
	12.2.7	タイマジェネラルレジスタ (TGR)	320
	12.2.8	タイマスタートレジスタ (TSTR)	320
	12.2.9	タイマシンクロレジスタ (TSYR)	322
	12.2.10	タイマアウトプットマスタイネーブルレジスタ (TOER)	324
	12.2.11	タイマアウトプットコントロールレジスタ (TOCR)	326
	12.2.12	タイマゲートコントロールレジスタ (TGCR)	328
	12.2.13	タイマサブカウンタ (TCNTS)	331
	12.2.14	タイマデッドタイムデータレジスタ (TDDR)	331
	12.2.15	タイマ周期データレジスタ (TCDR)	332
	12.2.16	タイマ周期バッファレジスタ (TCBR)	332
12.3		バスマスタとのインタフェース	333
	12.3.1	16ビットレジスタ	333
	12.3.2	8ビットレジスタ	333
12.4		動作説明	335
	12.4.1	概要	335
	12.4.2	基本機能	337
	12.4.3	同期動作	343
	12.4.4	バッファ動作	345
	12.4.5	カスケード接続動作	349
	12.4.6	PWM モード	351
	12.4.7	位相計数モード	356
	12.4.8	リセット同期 PWM モード	362
	12.4.9	相補 PWM モード	365
12.5		割り込み	389
	12.5.1	割り込み要因と優先順位	389
	12.5.2	DTC/DMA コントローラの起動	391
	12.5.3	A/D 変換器の起動	391
12.6		動作タイミング	392
	12.6.1	入出力タイミング	392
	12.6.2	割り込み信号タイミング	397

12.7	使用上の注意.....	402
12.8	MTU 出力端子の初期化方法.....	425
	12.8.1 動作モード.....	425
	12.8.2 リセットスタート時の動作.....	425
	12.8.3 動作中の異常などによる再設定時の動作.....	425
	12.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要.....	426
12.9	ポートアウトプットイネーブル (POE)	456
	12.9.1 概要.....	456
	12.9.2 レジスタの説明.....	459
	12.9.3 動作説明.....	465
	12.9.4 使用上の注意事項.....	467

第 13 章 ウォッチドッグタイマ (WDT)

13.1	概要.....	471
	13.1.1 特長.....	471
	13.1.2 ブロック図.....	472
	13.1.3 端子構成.....	472
	13.1.4 レジスタ構成.....	473
13.2	レジスタの説明.....	474
	13.2.1 タイマカウンタ (TCNT)	474
	13.2.2 タイマコントロール/ステータスレジスタ (TCSR)	475
	13.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)	477
	13.2.4 レジスタアクセス時の注意.....	479
13.3	動作説明.....	481
	13.3.1 ウォッチドッグタイマモード時の動作.....	481
	13.3.2 インターバルタイマモード時の動作.....	482
	13.3.3 スタンバイモード解除時の動作.....	483
	13.3.4 オーバフローフラグ (OVF) のセットタイミング.....	483
	13.3.5 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング.....	484
13.4	使用上の注意.....	485
	13.4.1 タイマカウンタ (TCNT) の書き込みとカウントアップの競合.....	485
	13.4.2 CKS2~CKS0 ビットの書き換え.....	485
	13.4.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え.....	486
	13.4.4 WDT \overline{OVF} 信号によるシステムのリセット.....	486
	13.4.5 ウォッチドッグタイマモードでの内部リセット.....	486

第 14 章 シリアルコミュニケーションインタフェース (SCI)

14.1	概要	489
	14.1.1 特長	489
	14.1.2 ブロック図	490
	14.1.3 端子構成	491
	14.1.4 レジスタ構成	491
14.2	レジスタの説明	492
	14.2.1 レシーブシフトレジスタ (RSR)	492
	14.2.2 レシーブデータレジスタ (RDR)	492
	14.2.3 トランスミットシフトレジスタ (TSR)	493
	14.2.4 トランスミットデータレジスタ (TDR)	493
	14.2.5 シリアルモードレジスタ (SMR)	494
	14.2.6 シリアルコントロールレジスタ (SCR)	497
	14.2.7 シリアルステータスレジスタ (SSR)	502
	14.2.8 ビットレートレジスタ (BRR)	507
14.3	動作説明	519
	14.3.1 概要	519
	14.3.2 調歩同期式モード時の動作	521
	14.3.3 マルチプロセッサ通信機能	532
	14.3.4 クロック同期式モード時の動作	540
14.4	SCI の割り込み要因と DMAC / DTC	550
14.5	使用上の注意	551

第 15 章 高速 A/D 変換器 (A マスク以外)

15.1	概要	557
	15.1.1 特長	557
	15.1.2 ブロック図	558
	15.1.3 端子構成	559
	15.1.4 レジスタ構成	559
15.2	レジスタの説明	560
	15.2.1 A/D データレジスタ A ~ H (ADDRA ~ ADDRH)	560
	15.2.2 A/D コントロール / ステータスレジスタ (ADCSR)	561
	15.2.3 A/D コントロールレジスタ (ADCR)	563
15.3	バスマスタとのインタフェース	566
15.4	動作説明	567
	15.4.1 セレクトシングルモード	568
	15.4.2 セレクトスキャンモード	569

15.4.3	グループシングルモード	570
15.4.4	グループスキャンモード	571
15.4.5	バッファ動作	572
15.4.6	同時サンプリング動作	575
15.4.7	変換開始モード	576
15.4.8	外部入力による変換開始	577
15.4.9	A/D 変換時間	578
15.5	割り込み	580
15.6	使用上の注意	581

第 16 章 中速 A/D 変換器 (A マスク)

16.1	概要	585
16.1.1	特長	585
16.1.2	ブロック図	586
16.1.3	端子構成	587
16.1.4	レジスタ構成	588
16.2	レジスタの説明	589
16.2.1	A/D データレジスタ A ~ D (ADDR0 ~ ADDR1)	589
16.2.2	A/D コントロール / ステータスレジスタ (ADCSR0, ADCSR1)	590
16.2.3	A/D コントロールレジスタ (ADCR0, ADCR1)	593
16.3	CPU とのインタフェース	594
16.4	動作説明	595
16.4.1	単一モード (SCAN = 0)	595
16.4.2	スキャンモード (SCAN = 1)	597
16.4.3	入力サンプリングと A/D 変換時間	599
16.4.4	外部トリガ入力タイミング	600
16.5	割り込み要求と DMA、DTC 転送要求	601
16.6	A/D 変換精度の定義	602
16.7	使用上の注意	603
16.7.1	アナログ電圧の設定	603
16.7.2	アナログ入力端子の取り扱い	603

第 17 章 コンペアマッチタイマ (CMT)

17.1	概要	607
17.1.1	特長	607
17.1.2	ブロック図	607

17.1.3	レジスタ構成	608
17.2	レジスタの説明	609
17.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	609
17.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	610
17.2.3	コンペアマッチタイマカウンタ (CMCNT)	612
17.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	612
17.3	動作説明	613
17.3.1	周期カウント動作	613
17.3.2	CMCNT のカウントタイミング	613
17.4	割り込み	614
17.4.1	割り込み要因と DTC の起動	614
17.4.2	コンペアマッチフラグのセットタイミング	614
17.4.3	コンペアマッチフラグのクリアタイミング	615
17.5	使用上の注意	616

第 18 章 ピンファンクションコントローラ (PFC)

18.1	概要	621
18.2	レジスタ構成	628
18.3	レジスタの説明	629
18.3.1	ポート A・IO レジスタ H (PAIORH)	629
18.3.2	ポート A・IO レジスタ L (PAIORL)	630
18.3.3	ポート A コントロールレジスタ H (PACRH)	631
18.3.4	ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2)	634
18.3.5	ポート B・IO レジスタ (PBIOR)	641
18.3.6	ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)	642
18.3.7	ポート C・IO レジスタ (PCIOR)	646
18.3.8	ポート C コントロールレジスタ (PCCR)	647
18.3.9	ポート D・IO レジスタ H (PDIORH)	651
18.3.10	ポート D・IO レジスタ L (PDIORL)	652
18.3.11	ポート D コントロールレジスタ H1、H2 (PDCRH1、PDCRH2)	652
18.3.12	ポート D コントロールレジスタ L (PDCRL)	659
18.3.13	ポート E・IO レジスタ (PEIOR)	664
18.3.14	ポート E コントロールレジスタ 1、2 (PECR1、PECR2)	665
18.3.15	IRQOUT 機能コントロールレジスタ (IFCR)	671
18.4	使用上の注意	672

第 19 章 I/O ポート (I/O)

19.1	概要	675
19.2	ポート A	675
	19.2.1 レジスタ構成	677
	19.2.2 ポート A データレジスタ H (PADRH)	677
	19.2.3 ポート A データレジスタ L (PADRL)	678
19.3	ポート B	679
	19.3.1 レジスタ構成	679
	19.3.2 ポート B データレジスタ (PBDR)	680
19.4	ポート C	681
	19.4.1 レジスタ構成	681
	19.4.2 ポート C データレジスタ (PCDR)	682
19.5	ポート D	683
	19.5.1 レジスタ構成	685
	19.5.2 ポート D データレジスタ H (PDDRH)	686
	19.5.3 ポート D データレジスタ L (PDDRL)	687
19.6	ポート E	688
	19.6.1 レジスタ構成	688
	19.6.2 ポート E データレジスタ (PEDR)	689
19.7	ポート F	690
	19.7.1 レジスタ構成	690
	19.7.2 ポート F データレジスタ (PFDR)	690

第 20 章 64/128/256kB マスク ROM

20.1	概要	695
------	----------	-----

第 21 章 128kB PROM (ZTAT)

21.1	概要	699
21.2	PROM モード	701
	21.2.1 PROM モードの設定	701
	21.2.2 ソケットアダプタの端子対応とメモリマップ	701
21.3	PROM のプログラミング	706
	21.3.1 プログラミングモードの選択	706
	21.3.2 書き込み / ベリファイと電気的特性	707
	21.3.3 書き込み時の注意	709
	21.3.4 書き込み後の信頼性	710

第 22 章 256kB フラッシュメモリ (F-ZTAT)

22.1	特長	713	
22.2	概要	714	
	22.2.1	ブロック図	714
	22.2.2	モード遷移図	715
	22.2.3	オンボードプログラムモード	716
	22.2.4	RAM によるフラッシュメモリのエミュレーション	718
	22.2.5	ブートモードとユーザプログラムモードの相違	719
	22.2.6	ブロック分割法	719
22.3	端子構成	720	
22.4	レジスタ構成	720	
22.5	レジスタの説明	721	
	22.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	721
	22.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	724
	22.5.3	ブロック指定レジスタ 1 (EBR1)	727
	22.5.4	ブロック指定レジスタ 2 (EBR2)	728
	22.5.5	RAM エミュレーションレジスタ (RAMER)	729
22.6	オンボードプログラミングモード	731	
	22.6.1	ブートモード	732
	22.6.2	ユーザプログラムモード	736
22.7	フラッシュメモリの書き込み / 消去	737	
	22.7.1	プログラムモード (対象アドレス H'00000 ~ H'1FFFF のとき、 n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	737
	22.7.2	プログラムベリファイモード (対象アドレス H'00000 ~ H'1FFFF のとき、 n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	738
	22.7.3	イレースモード (対象アドレス H'00000 ~ H'1FFFF のとき、 n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	744
	22.7.4	イレースベリファイモード (対象アドレス H'00000 ~ H'1FFFF のとき、 n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	745
22.8	プロテクト	751	
	22.8.1	ハードウェアプロテクト	751
	22.8.2	ソフトウェアプロテクト	752
	22.8.3	エラープロテクト	753
22.9	RAM によるフラッシュメモリのエミュレーション	754	
22.10	フラッシュメモリの書き込み / 消去時の注意	756	
22.11	フラッシュメモリのライターモード	756	
	22.11.1	ソケットアダプタの端子対応図	757
	22.11.2	ライターモードの動作	760

22.11.3	メモリ読み出しモード.....	761
22.11.4	自動書き込みモード.....	765
22.11.5	自動消去モード.....	767
22.11.6	ステータス読み出しモード.....	769
22.11.7	ステータスポーリング.....	770
22.11.8	ライターモードへの遷移時間.....	770
22.11.9	メモリ書き込み注意事項.....	771

第 23 章 RAM

23.1	概要.....	775
23.2	動作説明.....	776

第 24 章 低消費電力状態

24.1	概要.....	779
24.1.1	低消費電力状態の種類.....	779
24.1.2	関連レジスタ.....	780
24.2	スタンバイコントロールレジスタ (SBYCR).....	781
24.3	スリープモード.....	782
24.3.1	スリープモードへの遷移.....	782
24.3.2	スリープモードの解除.....	782
24.4	スタンバイモード.....	783
24.4.1	スタンバイモードへの遷移.....	783
24.4.2	スタンバイモードの解除.....	785
24.4.3	スタンバイモードの応用例.....	786

第 25 章 5V 28.7MHz 版電気的特性

25.1	絶対最大定格.....	789
25.2	DC 特性.....	790
25.3	AC 特性.....	793
25.3.1	クロックタイミング.....	793
25.3.2	制御信号タイミング.....	795
25.3.3	バスタイミング.....	798
25.3.4	ダイレクトメモリアクセスコントローラタイミング.....	809
25.3.5	マルチファンクションタイマパルスユニットタイミング.....	811
25.3.6	I/O ポートタイミング.....	812

25.3.7	ウォッチドッグタイマタイミング	812
25.3.8	シリアルコミュニケーションインタフェースタイミング	813
25.3.9	高速 A/D 変換タイミング (A マスク以外)	814
25.3.10	中速 A/D 変換器タイミング (A マスク)	816
25.3.11	AC 特性測定条件	818
25.4	A/D 変換器特性	819

第 26 章 3.3V 16.7MHz 版電気的特性

26.1	絶対最大定格	823
26.2	DC 特性	824
26.3	AC 特性	827
26.3.1	クロックタイミング	827
26.3.2	制御信号タイミング	829
26.3.3	バスタイミング	832
26.3.4	ダイレクトメモリアクセスコントローラタイミング	843
26.3.5	マルチファンクションタイマパルスユニットタイミング	845
26.3.6	I/O ポートタイミング	846
26.3.7	ウォッチドッグタイマタイミング	847
26.3.8	シリアルコミュニケーションインタフェースタイミング	848
26.3.9	高速 A/D 変換器タイミング (A マスク以外)	849
26.3.10	中速 A/D 変換器タイミング (A マスク)	851
26.3.11	AC 特性測定条件	853
26.4	A/D 変換器特性	854

付録

A.	内蔵周辺モジュールレジスタ	859
A.1	アドレス一覧	859
B.	I/O ポートブロック図	868
C.	端子状態	907
C.1	端子状態 (144 ピン)	907
C.2	端子状態 (112 ピン、120 ピン)	909
C.3	バス関連信号の端子状態	911
D.	ROM 発注手順	917
D.1	ROM 書き換え品開発の流れ (発注手順)	917
D.2	ROM 発注時の注意事項	918
D.3	F-ZTAT マイコンのマスク ROM 化時の注意事項	918

E.	型名一覽.....	919
F.	外形寸法図	921

1. 概要

第1章 目次

1.1	SH7040/41/42/43/44/45 の特長	3
1.2	ブロック図	8
1.3	端子説明.....	10
	1.3.1 ピン配置.....	10
	1.3.2 端子一覧.....	13
	1.3.3 端子機能.....	23
1.4	F-ZTAT 版のオンボードプログラムについて.....	27

1.1 SH7040/41/42/43/44/45 の特長

本 LSI は、ルネサス・オリジナル・アーキテクチャを採用した高速 CPU を核にして、システム構成に必要な周辺機能を集積した CMOS シングルチップマイコンです。

本 LSI の CPU は、RISC (Reduced Instruction Set Computer) タイプの命令セットを持っており、基本的に 1 命令 1 サイクルで動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成となっており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。その上、本 LSI には 1kB のキャッシュを搭載しており、外部メモリアクセス時の CPU 性能向上が可能です。

さらに本 LSI は、システム構成に必要な周辺機能として、大容量 ROM、RAM、タイマ、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポート等を内蔵しています。また、外部メモリアクセスサポート機能により、メモリや周辺 LSI とを効率的に接続できます。これらにより、システムコストの大幅な低減が可能です。

また、内蔵 ROM には PROM を内蔵した ZTAT[®]*1 (Zero Turn Around Time) 版、フラッシュメモリを内蔵した F-ZTAT[™]*2 (Flexible ZTAT) 版とマスク ROM 版があります。ZTAT 版は汎用 PROM ライタを用いてユーザサイドで自由にプログラムの書き込みができます。また、F-ZTAT 版は専用ライタまたはアプリケーションシステムのオンボードでのプログラム書き込みや書き換えが可能です。

【注】 *1 ZTAT は、(株)ルネサス テクノロジーの登録商標です。

*2 F-ZTAT は、(株)ルネサス テクノロジーの商標です。

表 1.1 特長

項 目	仕 様
CPU	ルネサス・オリジナル・アーキテクチャを採用 内部 32 ビット構成 汎用レジスタマシン 汎用レジスタ 32 ビット × 16 本 コントロールレジスタ 32 ビット × 3 本 システムレジスタ 32 ビット × 4 本 RISC (Reduced Instruction Set Computer) タイプの命令セット 命令長：16 ビット固定長による、コード効率の向上 ロードストアアーキテクチャ (基本演算はレジスタ間で実行) 遅延分岐命令の採用で、分岐時のパイプラインの乱れを軽減 C 言語指向の命令セット 命令実行時間 1 命令 / 1 サイクル (28.7MHz 動作時：35ns / 命令) アドレス空間 アーキテクチャ上は 4GB 乗算器内蔵 乗算器内蔵により、32 × 32 64 乗算を 2~4 サイクル実行 32 × 32 + 64 64 積和演算を 2~4 サイクル実行 パイプライン 5 段パイプライン方式

表 1.1 特長（続き）

項 目	仕 様
キャッシュメモリ	<p>1kB 命令キャッシュ 命令コードおよび PC 相対読み出し・データをキャッシング ライン長は 4 バイト（1 ロングワード：2 命令長分） キャッシュタグは 256 エントリ ダイレクトマップ方式 内蔵 ROM / RAM、内蔵 I/O エリアはキャッシュ対象外 内蔵 RAM と兼用しており、キャッシュイネーブル時は内蔵 RAM のうち 2kB をアドレスレイ・データレイとして使用</p>
割り込み コントローラ (INTC)	<p>外部割り込み端子 × 9 本（NMI、$\overline{IRQ0}$ ~ $\overline{IRQ7}$） 内部割り込み要因 43 要因（A マスクでは 44 要因） 16 レベルの優先順位設定が可能</p>
ユーザブレーク コントローラ (UBC)	<p>CPU や DMAC が、ある設定した条件のバスサイクルを生成すると割り込みを発生 オンチップデバッグの構築が容易</p>
バスステートコント ローラ (BSC)	<p>外部拡張時のメモリアクセスをサポート 外部データバスは 16 ビット（QFP-112、TQFP-120）、または、32 ビット（QFP-144） アドレス空間を 5 エリアに分割（SRAM 空間 × 4 エリア、DRAM 空間 × 1 エリア）。 各々のエリアに以下の特性を設定可能。 バスサイズ（8 / 16 / 32 ビット） ウェイトサイクル数 各エリアに対応したチップセレクト信号を出力 DRAM 空間アクセス時 ・ DRAM 用 \overline{RAS}、\overline{CAS} 信号を出力 ・ \overline{RAS} プリチャージタイム確保用 T_p サイクル発生可能 DRAM バーストアクセス機能 DRAM の高速アクセスモードサポート DRAM リフレッシュ機能 プログラマブルなりフレッシュ間隔 CAS ビフォ \overline{RAS} リフレッシュ / セルフリフレッシュをサポート 外部 \overline{WAIT} 信号によるウェイトサイクルの挿入可 アドレスデータマルチプレクス I/O デバイスをアクセス可能</p>
ダイレクトメモリア クセスコントローラ (DMAC) × 4 チャンネル	<p>サイクルスチール転送サポート デュアルアドレスモード転送サポート 直接転送モード / 間接転送モード切り替え可能（チャンネル 3 のみ） 直接転送モード：転送元アドレスにあるデータを転送先アドレスに転送 間接転送モード：転送元アドレスにあるデータをアドレスとして、 そのアドレスにあるデータを転送先アドレスに転送</p>

表 1.1 特長（続き）

項 目	仕 様
データトランスファ コントローラ (DTC)	<p>周辺 I/O の割り込み要求により、CPU と独立したデータ転送が可能 割り込み要因ごとに転送モードを設定可能（メモリ上に転送モードを設定）</p> <p>1 つの起動要因に対して、複数のデータ転送が可能 豊富な転送モード</p> <ul style="list-style-type: none"> - ノーマルモード / リピートモード / ブロック転送モードの選択可能 <p>転送単位をバイト / ワード / ロングワードに設定可能 DTC を起動した割り込みを CPU に要求</p> <ul style="list-style-type: none"> - 1 回のデータ転送の終了後に、CPU に対する割り込みを発生可能 - 指定したデータ転送のすべての終了後に、CPU に割り込みを発生可能 <p>ソフトウェアによる転送の起動が可能</p>
マルチファンクショ ンタイマパルス ユニット (MTU)	<p>16 ビットタイマ 5 チャンネルをベースに最大 16 種類の波形出力または最大 16 種類のパルスの入出力処理が可能</p> <p>16 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ 総数 16 本の独立したコンパレータ</p> <p>8 種類のカウンタ入力クロックを選択可能</p> <p>インプットキャプチャ機能</p> <p>パルス出力モード</p> <ul style="list-style-type: none"> - ワンショット / トグル / PWM / 相補 PWM / リセット同期 PWM <p>複数カウンタの同期化機能</p> <p>相補 PWM 出力モード</p> <ul style="list-style-type: none"> - 6 相のインバータ制御用ノンオーバーラップ波形を出力 - デッドタイム自動設定 - PWM デューティを 0 ~ 100% 任意に設定可能 - 出力 OFF 機能 <p>リセット同期 PWM モード</p> <ul style="list-style-type: none"> - 任意デューティの正相・逆相 PWM 波形を 3 相出力 <p>位相計数モード</p> <ul style="list-style-type: none"> - 2 相エンコーダ計数処理が可能
コンペアマッチ タイマ (CMT) × 2 チャンネル	<p>16 ビットフリーランニングカウンタ</p> <p>1 つのコンペアレジスタ</p> <p>コンペアマッチで割り込み要求を発生</p>
ウォッチドッグ タイマ (WDT) × 1 チャンネル	<p>ウォッチドッグタイマ / インターバルタイマの切り替えが可能</p> <p>カウントオーバーフロー時、内部リセット、外部信号、または割り込みを発生</p>
シリアル コミュニケーション インタフェース (SCI) × 2 チャンネル	<p>1 チャンネル当たり</p> <p>調歩同期 / クロック同期式モードの選択が可能</p> <p>送受信を同時に行うことが可能（全二重）</p> <p>専用のボーレートジェネレータ内蔵</p> <p>マルチプロセッサ間通信機能</p>

表 1.1 特長（続き）

項 目	仕 様
I/O ポート	入出力：74 本、入力：8 本、合計 82 本（QFP-112：SH7040、SH7042、SH7044、TQFP-120：SH7040、SH7042） 入出力：98 本、入力：8 本、合計 106 本（QFP-144：SH7041、SH7043、SH7045）
A/D 変換器	10 ビット×8 チャンネル 外部トリガによる変換可能 サンプル&ホールド機能 2 ユニット内蔵（同時に 2 チャンネルサンプリング可能） 製品によって、高速・中精度 A/D 内蔵タイプと中速・高精度 A/D 内蔵タイプがあります。詳細は「表 1.2 製品ラインアップ」を参照してください。
大容量内蔵メモリ	ROM SH7040、SH7041：64kB（マスク ROM） SH7042、SH7043：128kB（ZTAT、マスク ROM） SH7044、SH7045：256kB（フラッシュ ROM、マスク ROM） RAM 4kB（キャッシュ使用時は 2kB）
動作モード	動作モード 拡張・ROM 無効モード 拡張・ROM 有効モード シングルチップモード 低消費電力状態 スリープモード スタンバイモード 処理状態 プログラム実行状態 例外処理状態 バス権解放状態
クロック発振器 （CPG）	クロック発振器内蔵 クロック逡倍用 PLL 回路内蔵

次頁に製品ラインアップを示します。

製品ラインアップ

分類	グループ	マスコ(バージョン)	内蔵ROM	外部バス幅	AD精度 (5V源) ±15LSB (高速度AD)	ハッチャージ	動作温度	周波数	電圧	型名	LSI仕様の注重点(詳細はマニュアルの各章を参照ください。)	DMAC	MTU	AD変換器	ROM	電気的特性
Z T A	SH7042	128KB	16ビット	±4LSB (中速AD)	QFP2020-112	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6477042AF28 HD6477042VF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
					QFP2020-112C*	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6477042ACF28 HD6477042VCF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
F L S	SH7043	128KB	16ビット	±4LSB (中速AD)	QFP2020-144	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6477043AF28 HD6477043VF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
					QFP2020-144C*	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6477043ACF28 HD6477043VCF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
M A S K	SH7040A	128KB	16ビット	±4LSB (中速AD)	QFP2020-112	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6437040AF28 HD6437040VF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
					TOPFI414-120 QFP2020-112C*	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6437040ACF28 HD6437040VCF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
S H 7 0 4 1 A	SH7041A	128KB	16ビット	±4LSB (中速AD)	QFP2020-144	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6437041AF28 HD6437041VF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
					QFP2020-144C*	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6437041ACF28 HD6437041VCF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
S H 7 0 4 2 A	SH7042A	128KB	16ビット	±4LSB (中速AD)	QFP2020-112	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6437042AF28 HD6437042VF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
					TOPFI414-120 QFP2020-112C*	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6437042ACF28 HD6437042VCF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
S H 7 0 4 3 A	SH7043A	128KB	16ビット	±4LSB (中速AD)	QFP2020-144	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6437043AF28 HD6437043VF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
					QFP2020-144C*	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6437043ACF28 HD6437043VCF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
R O M L S	SH7041A	128KB	16ビット	±4LSB (中速AD)	QFP2020-112	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6417041AF28 HD6417041VF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		
					TOPFI414-120 QFP2020-112C*	-20 ~ 75	28MHz 5V 16MHz 3.3V	HD6417041ACF28 HD6417041VCF16	AMASKは DTERのアクセス 方法とDTCベクトルが 変更されています。	AMASKは 内蔵周辺からの 転送要求設定方法が 変更されています。	AMASKは MTUの使用上の注意 が変更されています	高速A/Dの直を 参照ください。	128KB PROM (ZTAT) の直を参照ください。	電気的特性を 参照ください。		

【注】* 3.3V版のみ

1.2 ブロック図

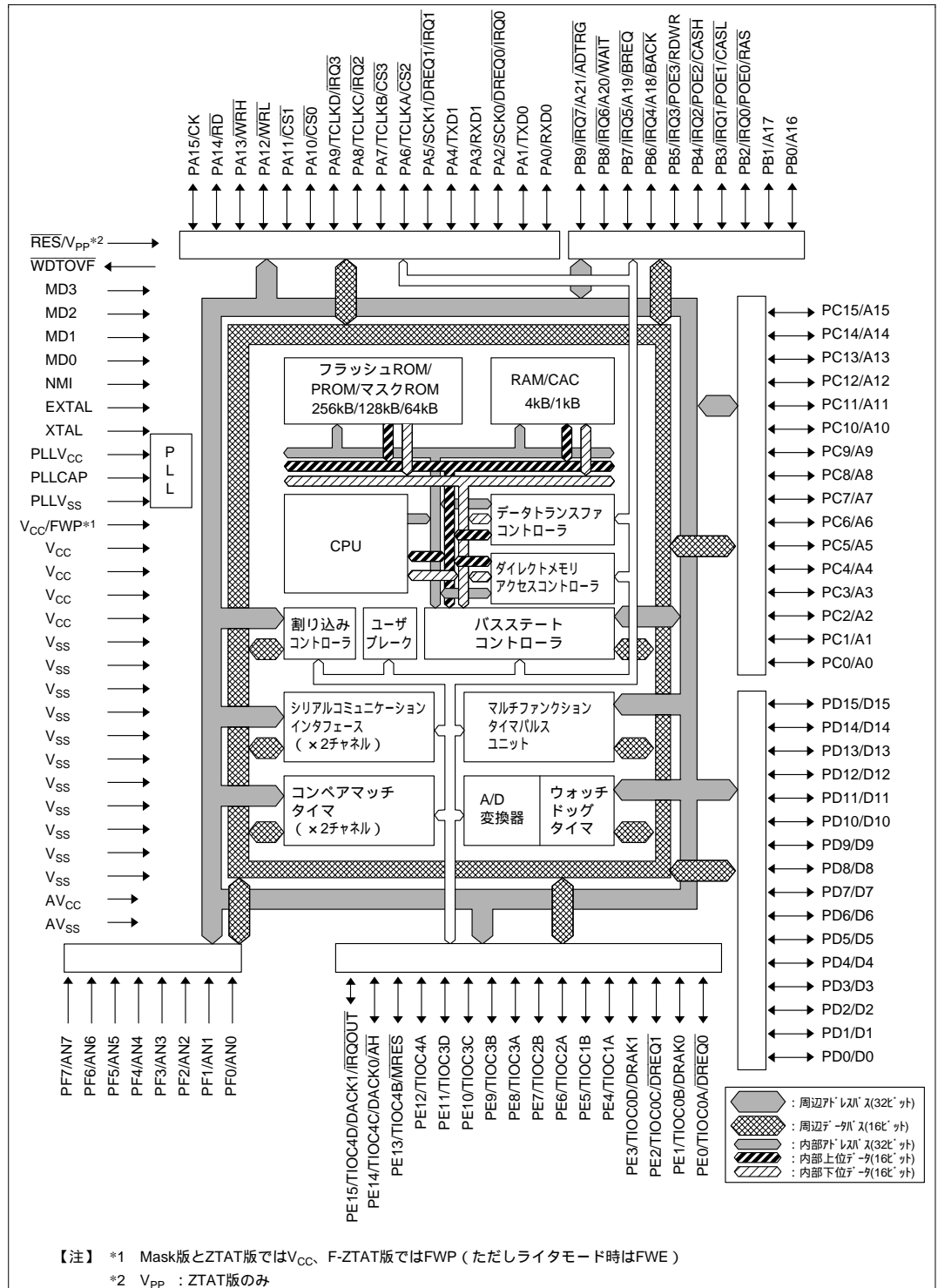


図 1.1 SH7040/SH7042/SH7044 (112 ピン版)、SH7040/SH7042 (120 ピン版) 内部ブロック図

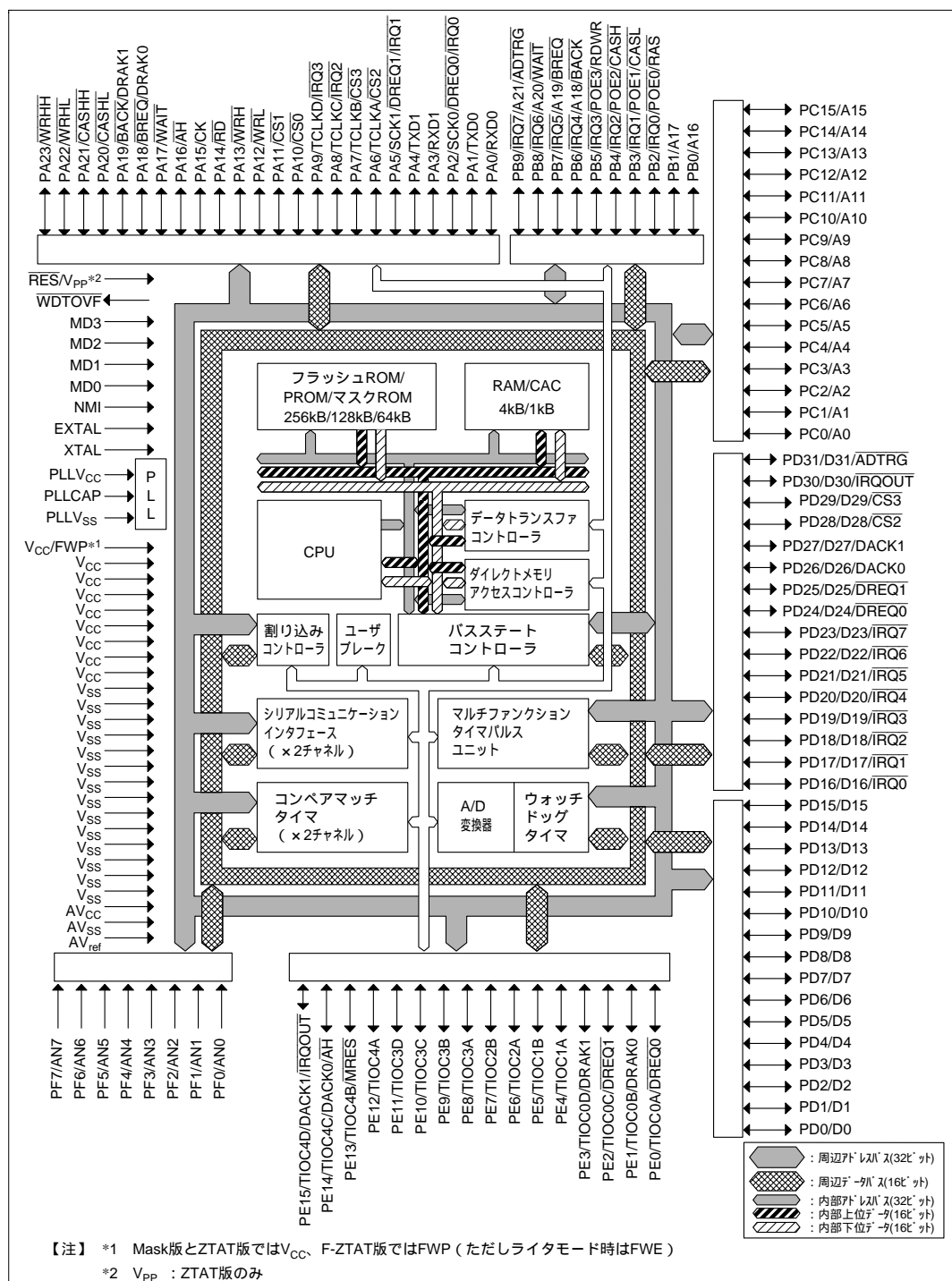


図 1.2 SH7041/SH7043/SH7045 内部ブロック図 (144 ピン版)

1.3 端子説明

1.3.1 ピン配置

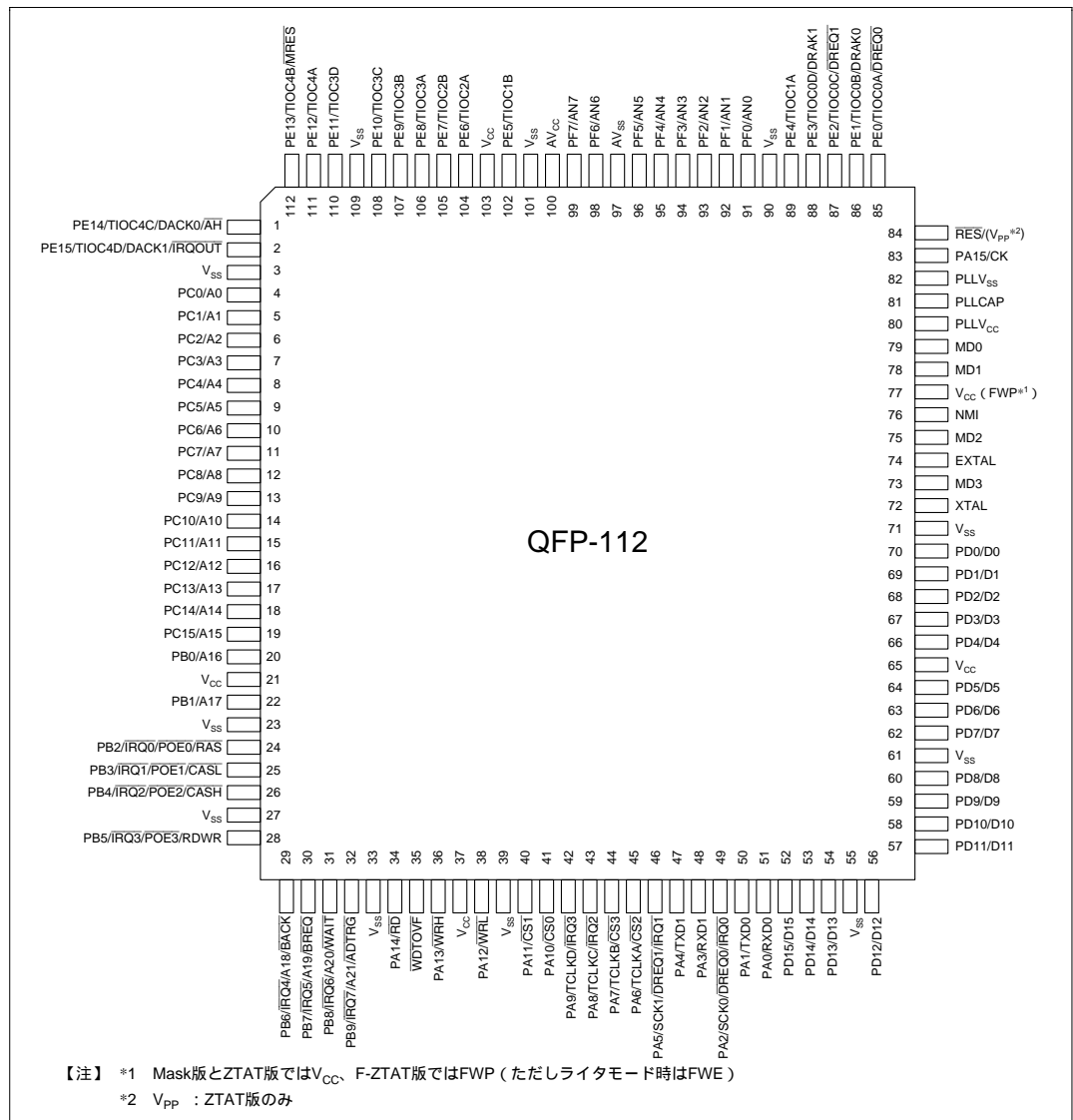


図 1.3 SH7040/SH7042/SH7044 ピン配置 (QFP-112 : 上面図)

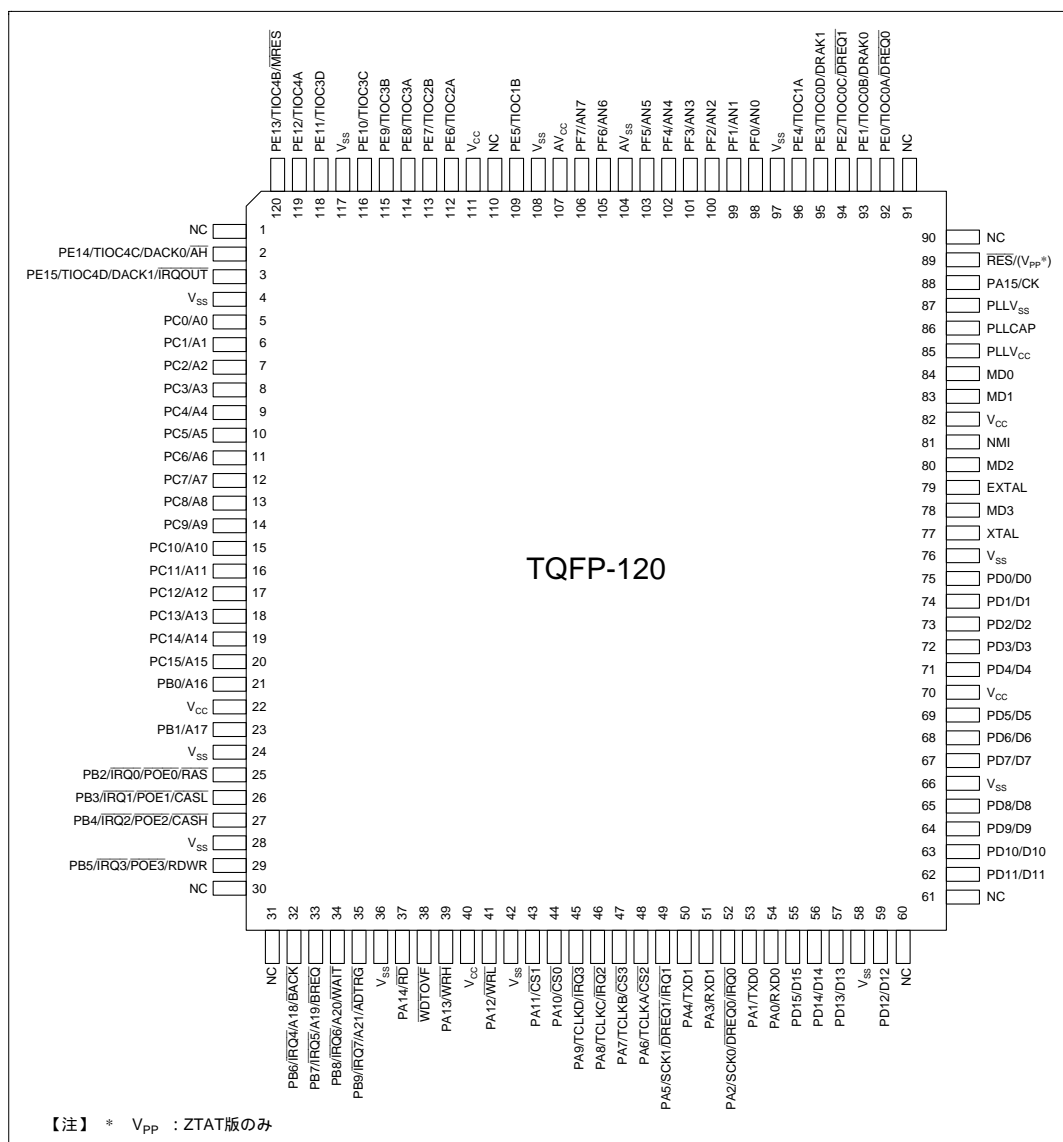


図 1.4 SH7040/SH7042 ピン配置 (TQFP-120 : 上面図)

1. 概要

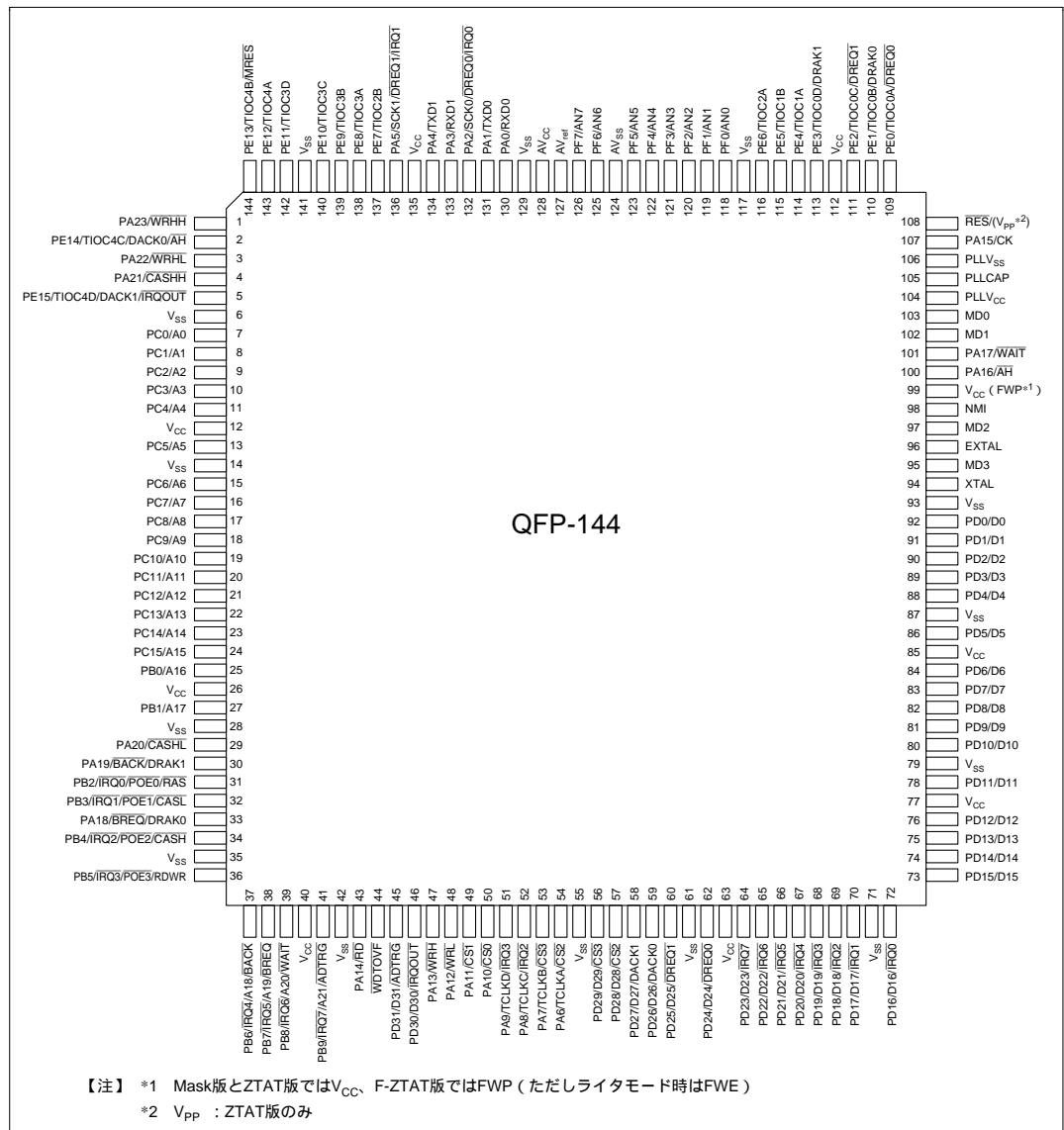


図 1.5 SH7041/SH7043/SH7045 ピン配置 (QFP-144 : 上面図)

1.3.2 端子一覧

表 1.3 SH7040/SH7042 (QFP112) モード別ピン配置

QFP112 PinNo.	MCU モード	PROM モード	QFP112 PinNo.	MCU モード	PROM モード
1	PE14/TIOC4C/DACK0/AH	V _{CC}	41	PA10/CS0	NC
2	PE15/TIOC4D/DACK1/IRQOUT	C _E	42	PA9/TCLKD/IRQ3	NC
3	V _{SS}	V _{SS}	43	PA8/TCLKC/IRQ2	NC
4	PC0/A0	A0	44	PA7/TCLKB/CS3	NC
5	PC1/A1	A1	45	PA6/TCLKA/CS2	NC
6	PC2/A2	A2	46	PA5/SCK1/DREQ1/IRQ1	NC
7	PC3/A3	A3	47	PA4/TXD1	NC
8	PC4/A4	A4	48	PA3/RXD1	NC
9	PC5/A5	A5	49	PA2/SCK0/DREQ0/IRQ0	NC
10	PC6/A6	A6	50	PA1/TXD0	NC
11	PC7/A7	A7	51	PA0/RXD0	NC
12	PC8/A8	A8	52	PD15/D15	NC
13	PC9/A9	NC	53	PD14/D14	NC
14	PC10/A10	A10	54	PD13/D13	NC
15	PC11/A11	A11	55	V _{SS}	V _{SS}
16	PC12/A12	A12	56	PD12/D12	NC
17	PC13/A13	A13	57	PD11/D11	NC
18	PC14/A14	A14	58	PD10/D10	NC
19	PC15/A15	A15	59	PD9/D9	NC
20	PB0/A16	A16	60	PD8/D8	NC
21	V _{CC}	V _{CC}	61	V _{SS}	V _{SS}
22	PB1/A17	NC	62	PD7/D7	D7
23	V _{SS}	V _{SS}	63	PD6/D6	D6
24	PB2/IRQ0/POE0/RAS	NC	64	PD5/D5	D5
25	PB3/IRQ1/POE1/CASL	O _E	65	V _{CC}	V _{CC}
26	PB4/IRQ2/POE2/CASH	PGM	66	PD4/D4	D4
27	V _{SS}	V _{SS}	67	PD3/D3	D3
28	PB5/IRQ3/POE3/RDWR	V _{CC}	68	PD2/D2	D2
29	PB6/IRQ4/A18/BACK	NC	69	PD1/D1	D1
30	PB7/IRQ5/A19/BREQ	NC	70	PD0/D0	D0
31	PB8/IRQ6/A20/WAIT	NC	71	V _{SS}	V _{SS}
32	PB9/IRQ7/A21/ADTRG	NC	72	XTAL	NC
33	V _{SS}	V _{SS}	73	MD3	V _{CC}
34	PA14/RD	NC	74	EXTAL	V _{SS}
35	WDTOVF	NC	75	MD2	V _{CC}
36	PA13/WRH	NC	76	NMI	A9
37	V _{CC}	V _{CC}	77	V _{CC}	V _{CC}
38	PA12/WRL	NC	78	MD1	V _{CC}
39	V _{SS}	V _{SS}	79	MD0	V _{CC}
40	PA11/CS1	NC	80	PLL _{V_{CC}}	V _{CC}

1. 概要

表 1.3 SH7040/SH7042 (QFP112) モード別ピン配置 (続き)

QFP112 PinNo.	MCU モード	PROM モード	QFP112 PinNo.	MCU モード	PROM モード
81	PLLCAP	V_{SS}	97	AV_{SS}	V_{SS}
82	$PLL_{V_{SS}}$	V_{SS}	98	PF6/AN6	V_{SS}
83	PA15/CK	NC	99	PF7/AN7	V_{SS}
84	\overline{RES}	V_{PP}	100	AV_{CC}	V_{CC}
85	PE0/TIOC0A/ $\overline{DREQ0}$	NC	101	V_{SS}	V_{SS}
86	PE1/TIOC0B/DRAK0	NC	102	PE5/TIOC1B	NC
87	PE2/TIOC0C/ $\overline{DREQ1}$	NC	103	V_{CC}	V_{CC}
88	PE3/TIOC0D/DRAK1	NC	104	PE6/TIOC2A	NC
89	PE4/TIOC1A	NC	105	PE7/TIOC2B	NC
90	V_{SS}	V_{SS}	106	PE8/TIOC3A	NC
91	PF0/AN0	V_{SS}	107	PE9/TIOC3B	NC
92	PF1/AN1	V_{SS}	108	PE10/TIOC3C	NC
93	PF2/AN2	V_{SS}	109	V_{SS}	V_{SS}
94	PF3/AN3	V_{SS}	110	PE11/TIOC3D	NC
95	PF4/AN4	V_{SS}	111	PE12/TIOC4A	NC
96	PF5/AN5	V_{SS}	112	PE13/TIOC4B/ \overline{MRES}	NC

表 1.4 SH7040/SH7042 (TQFP120) モード別ピン配置

TQFP120 PinNo.	MCU モード	PROM モード	TQFP120 PinNo.	MCU モード	PROM モード
1	NC	NC	41	PA12/WRL	NC
2	PE14/TIOC4C/DACK0/AH	V _{CC}	42	V _{SS}	V _{SS}
3	PE15/TIOC4D/DACK1/IRQOUT	CE	43	PA11/CS1	NC
4	V _{SS}	V _{SS}	44	PA10/CS0	NC
5	PC0/A0	A0	45	PA9/TCLKD/IRQ3	NC
6	PC1/A1	A1	46	PA8/TCLKC/IRQ2	NC
7	PC2/A2	A2	47	PA7/TCLKB/CS3	NC
8	PC3/A3	A3	48	PA6/TCLKA/CS2	NC
9	PC4/A4	A4	49	PA5/SCK1/DREQ1/IRQ1	NC
10	PC5/A5	A5	50	PA4/TXD1	NC
11	PC6/A6	A6	51	PA3/RXD1	NC
12	PC7/A7	A7	52	PA2/SCK0/DREQ0/IRQ0	NC
13	PC8/A8	A8	53	PA1/TXD0	NC
14	PC9/A9	NC	54	PA0/RXD0	NC
15	PC10/A10	A10	55	PD15/D15	NC
16	PC11/A11	A11	56	PD14/D14	NC
17	PC12/A12	A12	57	PD13/D13	NC
18	PC13/A13	A13	58	V _{SS}	V _{SS}
19	PC14/A14	A14	59	PD12/D12	NC
20	PC15/A15	A15	60	NC	NC
21	PB0/A16	A16	61	NC	NC
22	V _{CC}	V _{CC}	62	PD11/D11	NC
23	PB1/A17	NC	63	PD10/D10	NC
24	V _{SS}	V _{SS}	64	PD9/D9	NC
25	PB2/IRQ0/POE0/RAS	NC	65	PD8/D8	NC
26	PB3/IRQ1/POE1/CASL	OE	66	V _{SS}	V _{SS}
27	PB4/IRQ2/POE2/CASH	PGM	67	PD7/D7	D7
28	V _{SS}	V _{SS}	68	PD6/D6	D6
29	PB5/IRQ3/POE3/RDWR	V _{CC}	69	PD5/D5	D5
30	NC	NC	70	V _{CC}	V _{CC}
31	NC	NC	71	PD4/D4	D4
32	PB6/IRQ4/A18/BACK	NC	72	PD3/D3	D3
33	PB7/IRQ5/A19/BREQ	NC	73	PD2/D2	D2
34	PB8/IRQ6/A20/WAIT	NC	74	PD1/D1	D1
35	PB9/IRQ7/A21/ADTRG	NC	75	PD0/D0	D0
36	V _{SS}	V _{SS}	76	V _{SS}	V _{SS}
37	PA14/RD	NC	77	XTAL	NC
38	WDTOVF	NC	78	MD3	V _{CC}
39	PA13/WRH	NC	79	EXTAL	V _{SS}
40	V _{CC}	V _{CC}	80	MD2	V _{CC}

1. 概要

表 1.4 SH7040/SH7042 (TQFP120) モード別ピン配置 (続き)

TQFP120 PinNo.	MCU モード	PROM モード	TQFP120 PinNo.	MCU モード	PROM モード
81	NMI	A9	101	PF3/AN3	V _{SS}
82	V _{CC}	V _{CC}	102	PF4/AN4	V _{SS}
83	MD1	V _{CC}	103	PF5/AN5	V _{SS}
84	MD0	V _{CC}	104	AV _{SS}	V _{SS}
85	PLL _{V_{CC}}	V _{CC}	105	PF6/AN6	V _{SS}
86	PLLCAP	V _{SS}	106	PF7/AN7	V _{SS}
87	PLL _{V_{SS}}	V _{SS}	107	AV _{CC}	V _{CC}
88	PA15/CK	NC	108	V _{SS}	V _{SS}
89	$\overline{\text{RES}}$	V _{PP}	109	PE5/TIOC1B	NC
90	NC	NC	110	NC	NC
91	NC	NC	111	V _{CC}	V _{CC}
92	PE0/TIOC0A/ $\overline{\text{DREQ0}}$	NC	112	PE6/TIOC2A	NC
93	PE1/TIOC0B/ $\overline{\text{DRAK0}}$	NC	113	PE7/TIOC2B	NC
94	PE2/TIOC0C/ $\overline{\text{DREQ1}}$	NC	114	PE8/TIOC3A	NC
95	PE3/TIOC0D/ $\overline{\text{DRAK1}}$	NC	115	PE9/TIOC3B	NC
96	PE4/TIOC1A	NC	116	PE10/TIOC3C	NC
97	V _{SS}	V _{SS}	117	V _{SS}	V _{SS}
98	PF0/AN0	V _{SS}	118	PE11/TIOC3D	NC
99	PF1/AN1	V _{SS}	119	PE12/TIOC4A	NC
100	PF2/AN2	V _{SS}	120	PE13/TIOC4B/ $\overline{\text{MRES}}$	NC

表 1.5 SH7041/SH7043 (QFP144) モード別ピン配置

QFP144 PinNo.	MCU モード	PROM モード	QFP144 PinNo.	MCU モード	PROM モード
1	PA23/WRHH	NC	37	PB6/IRQ4/A18/BACK	NC
2	PE14/TIOC4C/DACK0/AH	V _{CC}	38	PB7/IRQ5/A19/BREQ	NC
3	PA22/WRHL	NC	39	PB8/IRQ6/A20/WAIT	NC
4	PA21/CASHH	NC	40	V _{CC}	V _{CC}
5	PE15/TIOC4D/DACK1/IRQOUT	CE	41	PB9/IRQ7/A21/ADTRG	NC
6	V _{SS}	V _{SS}	42	V _{SS}	V _{SS}
7	PC0/A0	A0	43	PA14/RD	NC
8	PC1/A1	A1	44	WDTOVF	NC
9	PC2/A2	A2	45	PD31/D31/ADTRG	NC
10	PC3/A3	A3	46	PD30/D30/IRQOUT	NC
11	PC4/A4	A4	47	PA13/WRH	NC
12	V _{CC}	V _{CC}	48	PA12/WRL	NC
13	PC5/A5	A5	49	PA11/CS1	NC
14	V _{SS}	V _{SS}	50	PA10/CS0	NC
15	PC6/A6	A6	51	PA9/TCLKD/IRQ3	NC
16	PC7/A7	A7	52	PA8/TCLKC/IRQ2	NC
17	PC8/A8	A8	53	PA7/TCLKB/CS3	NC
18	PC9/A9	NC	54	PA6/TCLKA/CS2	NC
19	PC10/A10	A10	55	V _{SS}	V _{SS}
20	PC11/A11	A11	56	PD29/D29/CS3	NC
21	PC12/A12	A12	57	PD28/D28/CS2	NC
22	PC13/A13	A13	58	PD27/D27/DACK1	NC
23	PC14/A14	A14	59	PD26/D26/DACK0	NC
24	PC15/A15	A15	60	PD25/D25/DREQ1	NC
25	PB0/A16	A16	61	V _{SS}	V _{SS}
26	V _{CC}	V _{CC}	62	PD24/D24/DREQ0	NC
27	PB1/A17	NC	63	V _{CC}	V _{CC}
28	V _{SS}	V _{SS}	64	PD23/D23/IRQ7	NC
29	PA20/CASHL	NC	65	PD22/D22/IRQ6	NC
30	PA19/BACK/DRAK1	NC	66	PD21/D21/IRQ5	NC
31	PB2/IRQ0/POE0/RAS	NC	67	PD20/D20/IRQ4	NC
32	PB3/IRQ1/POE1/CASL	OE	68	PD19/D19/IRQ3	NC
33	PA18/BREQ/DRAK0	NC	69	PD18/D18/IRQ2	NC
34	PB4/IRQ2/POE2/CASH	PGM	70	PD17/D17/IRQ1	NC
35	V _{SS}	V _{SS}	71	V _{SS}	V _{SS}
36	PB5/IRQ3/POE3/RDWR	V _{CC}	72	PD16/D16/IRQ0	NC

1. 概要

表 1.5 SH7041/SH7043 (QFP144) モード別ピン配置 (続き)

QFP144 PinNo.	MCU モード	PROM モード	QFP144 PinNo.	MCU モード	PROM モード
73	PD15/D15	NC	109	PE0/TIOC0A/DREQ0	NC
74	PD14/D14	NC	110	PE1/TIOC0B/DRAK0	NC
75	PD13/D13	NC	111	PE2/TIOC0C/DREQ1	NC
76	PD12/D12	NC	112	V _{CC}	V _{CC}
77	V _{CC}	V _{CC}	113	PE3/TIOC0D/DRAK1	NC
78	PD11/D11	NC	114	PE4/TIOC1A	NC
79	V _{SS}	V _{SS}	115	PE5/TIOC1B	NC
80	PD10/D10	NC	116	PE6/TIOC2A	NC
81	PD9/D9	NC	117	V _{SS}	V _{SS}
82	PD8/D8	NC	118	PF0/AN0	V _{SS}
83	PD7/D7	D7	119	PF1/AN1	V _{SS}
84	PD6/D6	D6	120	PF2/AN2	V _{SS}
85	V _{CC}	V _{CC}	121	PF3/AN3	V _{SS}
86	PD5/D5	D5	122	PF4/AN4	V _{SS}
87	V _{SS}	V _{SS}	123	PF5/AN5	V _{SS}
88	PD4/D4	D4	124	AV _{SS}	V _{SS}
89	PD3/D3	D3	125	PF6/AN6	V _{SS}
90	PD2/D2	D2	126	PF7/AN7	V _{SS}
91	PD1/D1	D1	127	AV _{ref}	V _{CC}
92	PD0/D0	D0	128	AV _{CC}	V _{CC}
93	V _{SS}	V _{SS}	129	V _{SS}	V _{SS}
94	XTAL	NC	130	PA0/RXD0	NC
95	MD3	V _{CC}	131	PA1/TXD0	NC
96	EXTAL	V _{SS}	132	PA2/SCK0/DREQ0/IRQ0	NC
97	MD2	V _{CC}	133	PA3/RXD1	NC
98	NMI	A9	134	PA4/TXD1	NC
99	V _{CC}	V _{CC}	135	V _{CC}	V _{CC}
100	PA16/AH	NC	136	PA5/SCK1/DREQ1/IRQ1	NC
101	PA17/WAIT	NC	137	PE7/TIOC2B	NC
102	MD1	V _{CC}	138	PE8/TIOC3A	NC
103	MD0	V _{CC}	139	PE9/TIOC3B	NC
104	PLL _{V_{CC}}	V _{CC}	140	PE10/TIOC3C	NC
105	PLLCAP	V _{SS}	141	V _{SS}	V _{SS}
106	PLL _{V_{SS}}	V _{SS}	142	PE11/TIOC3D	NC
107	PA15/CK	NC	143	PE12/TIOC4A	NC
108	RES	V _{PP}	144	PE13/TIOC4B/MRES	NC

表 1.6 SH7044 (QFP112) モード別ピン配置

QFP112 PinNo.	MCU モード	ライターモード	QFP112 PinNo.	MCU モード	ライターモード
1	PE14/TIOC4C/DACK0/AH	NC	41	PA10/ $\overline{CS0}$	NC
2	PE15/TIOC4D/DACK1/IRQOUT	NC	42	PA9/TCLKD/IRQ3	\overline{CE}
3	V _{SS}	V _{SS}	43	PA8/TCLKC/IRQ2	\overline{OE}
4	PC0/A0	A0	44	PA7/TCLKB/ $\overline{CS3}$	\overline{WE}
5	PC1/A1	A1	45	PA6/TCLKA/ $\overline{CS2}$	NC
6	PC2/A2	A2	46	PA5/SCK1/ $\overline{DREQ1}$ /IRQ1	V _{CC}
7	PC3/A3	A3	47	PA4/TXD1	NC
8	PC4/A4	A4	48	PA3/RXD1	NC
9	PC5/A5	A5	49	PA2/SCK0/ $\overline{DREQ0}$ /IRQ0	V _{CC}
10	PC6/A6	A6	50	PA1/TXD0	V _{CC}
11	PC7/A7	A7	51	PA0/RXD0	NC
12	PC8/A8	A8	52	PD15/D15	NC
13	PC9/A9	A9	53	PD14/D14	NC
14	PC10/A10	A10	54	PD13/D13	NC
15	PC11/A11	A11	55	V _{SS}	V _{SS}
16	PC12/A12	A12	56	PD12/D12	NC
17	PC13/A13	A13	57	PD11/D11	NC
18	PC14/A14	A14	58	PD10/D10	NC
19	PC15/A15	A15	59	PD9/D9	NC
20	PB0/A16	A16	60	PD8/D8	NC
21	V _{CC}	V _{CC}	61	V _{SS}	V _{SS}
22	PB1/A17	NC	62	PD7/D7	D7
23	V _{SS}	V _{SS}	63	PD6/D6	D6
24	PB2/IRQ0/POE0/RAS	NC	64	PD5/D5	D5
25	PB3/IRQ1/POE1/CASL	NC	65	V _{CC}	V _{CC}
26	PB4/IRQ2/POE2/CASH	A17	66	PD4/D4	D4
27	V _{SS}	V _{SS}	67	PD3/D3	D3
28	PB5/IRQ3/POE3/RDWR	NC	68	PD2/D2	D2
29	PB6/IRQ4/A18/ \overline{BACK}	NC	69	PD1/D1	D1
30	PB7/IRQ5/A19/ \overline{BREQ}	NC	70	PD0/D0	D0
31	PB8/IRQ6/A20/ \overline{WAIT}	NC	71	V _{SS}	V _{SS}
32	PB9/IRQ7/A21/ \overline{ADTRG}	NC	72	XTAL	XTAL
33	V _{SS}	V _{SS}	73	MD3	MD3
34	PA14/ \overline{RD}	NC	74	EXTAL	EXTAL
35	\overline{WDTOVF}	NC	75	MD2	MD2
36	PA13/ \overline{WRH}	NC	76	NMI	V _{CC}
37	V _{CC}	V _{CC}	77	V _{CC} (FWP)*	FWE
38	PA12/ \overline{WRL}	NC	78	MD1	MD1
39	V _{SS}	V _{SS}	79	MD0	MD0
40	PA11/ $\overline{CS1}$	NC	80	PLL _{VCC}	PLL _{VCC}

【注】 * Mask 版では V_{CC}、F-ZTAT 版では FWP (ただしライターモード時は FWE)

1. 概要

表 1.6 SH7044 (QFP112) モード別ピン配置 (続き)

QFP112 PinNo.	MCU モード	ライタモード	QFP112 PinNo.	MCU モード	ライタモード
81	PLLCAP	PLLCAP	97	AV _{SS}	V _{SS}
82	PLL _{V_{SS}}	PLL _{V_{SS}}	98	PF6/AN6	V _{SS}
83	PA15/CK	NC	99	PF7/AN7	V _{SS}
84	$\overline{\text{RES}}$	$\overline{\text{RES}}$	100	AV _{CC}	V _{CC}
85	PE0/TIOC0A/ $\overline{\text{DREQ0}}$	NC	101	V _{SS}	V _{SS}
86	PE1/TIOC0B/DRAK0	NC	102	PE5/TIOC1B	NC
87	PE2/TIOC0C/ $\overline{\text{DREQ1}}$	NC	103	V _{CC}	V _{CC}
88	PE3/TIOC0D/DRAK1	NC	104	PE6/TIOC2A	NC
89	PE4/TIOC1A	NC	105	PE7/TIOC2B	NC
90	V _{SS}	V _{SS}	106	PE8/TIOC3A	NC
91	PF0/AN0	V _{SS}	107	PE9/TIOC3B	NC
92	PF1/AN1	V _{SS}	108	PE10/TIOC3C	NC
93	PF2/AN2	V _{SS}	109	V _{SS}	V _{SS}
94	PF3/AN3	V _{SS}	110	PE11/TIOC3D	NC
95	PF4/AN4	V _{SS}	111	PE12/TIOC4A	NC
96	PF5/AN5	V _{SS}	112	PE13/TIOC4B/ $\overline{\text{MRES}}$	NC

表 1.7 SH7045 (QFP144) モード別ピン配置

QFP144 PinNo.	MCU モード	ライターモード	QFP144 PinNo.	MCU モード	ライターモード
1	PA23/WRHH	NC	37	PB6/IRQ4/A18/BACK	NC
2	PE14/TIOC4C/DACK0/AH	NC	38	PB7/IRQ5/A19/BREQ	NC
3	PA22/WRHL	NC	39	PB8/IRQ6/A20/WAIT	NC
4	PA21/CASHH	NC	40	V _{CC}	V _{CC}
5	PE15/TIOC4D/DACK1/IRQOUT	NC	41	PB9/IRQ7/A21/ADTRG	NC
6	V _{SS}	V _{SS}	42	V _{SS}	V _{SS}
7	PC0/A0	A0	43	PA14/RD	NC
8	PC1/A1	A1	44	WDTOVF	NC
9	PC2/A2	A2	45	PD31/D31/ADTRG	NC
10	PC3/A3	A3	46	PD30/D30/IRQOUT	NC
11	PC4/A4	A4	47	PA13/WRH	NC
12	V _{CC}	V _{CC}	48	PA12/WRL	NC
13	PC5/A5	A5	49	PA11/CS1	NC
14	V _{SS}	V _{SS}	50	PA10/CS0	NC
15	PC6/A6	A6	51	PA9/TCLKD/IRQ3	CE
16	PC7/A7	A7	52	PA8/TCLKC/IRQ2	OE
17	PC8/A8	A8	53	PA7/TCLKB/CS3	WE
18	PC9/A9	A9	54	PA6/TCLKA/CS2	NC
19	PC10/A10	A10	55	V _{SS}	V _{SS}
20	PC11/A11	A11	56	PD29/D29/CS3	NC
21	PC12/A12	A12	57	PD28/D28/CS2	NC
22	PC13/A13	A13	58	PD27/D27/DACK1	NC
23	PC14/A14	A14	59	PD26/D26/DACK0	NC
24	PC15/A15	A15	60	PD25/D25/DREQ1	NC
25	PB0/A16	A16	61	V _{SS}	V _{SS}
26	V _{CC}	V _{CC}	62	PD24/D24/DREQ0	NC
27	PB1/A17	NC	63	V _{CC}	V _{CC}
28	V _{SS}	V _{SS}	64	PD23/D23/IRQ7	NC
29	PA20/CASHL	NC	65	PD22/D22/IRQ6	NC
30	PA19/BACK/DRAK1	NC	66	PD21/D21/IRQ5	NC
31	PB2/IRQ0/POE0/RAS	NC	67	PD20/D20/IRQ4	NC
32	PB3/IRQ1/POE1/CASL	NC	68	PD19/D19/IRQ3	NC
33	PA18/BREQ/DRAK0	NC	69	PD18/D18/IRQ2	NC
34	PB4/IRQ2/POE2/CASH	A17	70	PD17/D17/IRQ1	NC
35	V _{SS}	V _{SS}	71	V _{SS}	V _{SS}
36	PB5/IRQ3/POE3/RDWR	NC	72	PD16/D16/IRQ0	NC

1. 概要

表 1.7 SH7045 (QFP144) モード別ピン配置 (続き)

QFP144 PinNo.	MCU モード	ライターモード	QFP144 PinNo.	MCU モード	ライターモード
73	PD15/D15	NC	109	PE0/TIOC0A/DREQ0	NC
74	PD14/D14	NC	110	PE1/TIOC0B/DRAK0	NC
75	PD13/D13	NC	111	PE2/TIOC0C/DREQ1	NC
76	PD12/D12	NC	112	V _{CC}	V _{CC}
77	V _{CC}	V _{CC}	113	PE3/TIOC0D/DRAK1	NC
78	PD11/D11	NC	114	PE4/TIOC1A	NC
79	V _{SS}	V _{SS}	115	PE5/TIOC1B	NC
80	PD10/D10	NC	116	PE6/TIOC2A	NC
81	PD9/D9	NC	117	V _{SS}	V _{SS}
82	PD8/D8	NC	118	PF0/AN0	V _{SS}
83	PD7/D7	D7	119	PF1/AN1	V _{SS}
84	PD6/D6	D6	120	PF2/AN2	V _{SS}
85	V _{CC}	V _{CC}	121	PF3/AN3	V _{SS}
86	PD5/D5	D5	122	PF4/AN4	V _{SS}
87	V _{SS}	V _{SS}	123	PF5/AN5	V _{SS}
88	PD4/D4	D4	124	AV _{SS}	V _{SS}
89	PD3/D3	D3	125	PF6/AN6	V _{SS}
90	PD2/D2	D2	126	PF7/AN7	V _{SS}
91	PD1/D1	D1	127	AV _{ref}	V _{CC}
92	PD0/D0	D0	128	AV _{CC}	V _{CC}
93	V _{SS}	V _{SS}	129	V _{SS}	V _{SS}
94	XTAL	XTAL	130	PA0/RXD0	NC
95	MD3	MD3	131	PA1/TXD0	V _{CC}
96	EXTAL	EXTAL	132	PA2/SCK0/DREQ0/IRQ0	V _{CC}
97	MD2	MD2	133	PA3/RXD1	NC
98	NMI	V _{CC}	134	PA4/TXD1	NC
99	V _{CC} (FWP)*	FWE	135	V _{CC}	V _{CC}
100	PA16/AH	NC	136	PA5/SCK1/DREQ1/IRQ1	V _{CC}
101	PA17/WAIT	NC	137	PE7/TIOC2B	NC
102	MD1	MD1	138	PE8/TIOC3A	NC
103	MD0	MD0	139	PE9/TIOC3B	NC
104	PLL _{V_{CC}}	PLL _{V_{CC}}	140	PE10/TIOC3C	NC
105	PLLCAP	PLLCAP	141	V _{SS}	V _{SS}
106	PLL _{V_{SS}}	PLL _{V_{SS}}	142	PE11/TIOC3D	NC
107	PA15/CK	NC	143	PE12/TIOC4A	NC
108	RES	RES	144	PE13/TIOC4B/MRES	NC

【注】 * Mask 版では V_{CC}、F-ZTAT 版では FWP (ただしライターモード時は FWE)

1.3.3 端子機能

端子の機能について表 1.8 に示します。

表 1.8 端子の機能

分類	記号	入出力	名称	機能
電源	V _{CC}	入力	電源	V _{CC} 端子は、すべてのシステムの電源に接続してください。開放端子があると動作しません。
	V _{SS}	入力	グランド	グランドに接続します。 V _{SS} 端子は、すべてのシステムのグランドに接続してください。開放端子があると動作しません。
	V _{PP}	入力	プログラム電源	PROM モード時は、12.5V を印加します。
クロック	PLL _{V_{CC}}	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。
	PLL _{V_{SS}}	入力	PLL 用グランド	内蔵 PLL 発振器用のグランドです。
	PLLCAP	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。
	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	入力	クリスタル	水晶発振子を接続します。
	CK	出力	システムクロック	周辺デバイスにシステムクロックを供給します。
システム制御	RES	入力	パワーオンリセット	この端子にローレベルを印加すると、パワーオンリセット状態になります。
	MRES	入力	マニュアルリセット	この端子にローレベルを印加すると、マニュアルリセット状態になります。
	WDTOVF	出力	ウォッチドッグタイマオーバーフロー	WDT からのオーバーフロー出力信号です。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	出力	バス権要求 アクノリッジ	バス権を外部デバイスに解放したことを示します。 BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。
動作モード制御	MD0 ~ MD3	入力	モード設定	動作モードを決める端子です。 動作中は、入力値を変化させないでください。
	FWP	入力	フラッシュメモリ書き込み阻止	フラッシュメモリの書き込み / 消去をプロテクトすることができます。

表 1.8 端子の機能（続き）

分類	記号	入出力	名称	機能
割り込み	NMI	入力	ノンマスクابل 割り込み	マスク不可能な割り込み要求端子です。 立ち上がりエッジ、立ち下がりエッジのどちらで受け付けるかを選択できます。
	$\overline{\text{IRQ}}0 \sim \overline{\text{IRQ}}7$	入力	割り込み要求 0~7	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。
	$\overline{\text{IRQ}}\text{OUT}$	出力	割り込み要求出力	割り込み要因が発生したことを示します。 バスリリース中にも割り込み発生を知ることができます。
アドレス バス	A0 ~ A21	出力	アドレスバス	アドレスを出力します。
データバス	D0 ~ D15 (QFP-112) D0 ~ D31 (QFP-144)	入出力	データバス	16 ビット (QFP-112 ピン版、TQFP-120 ピン版) または、32 ビット (QFP-144 ピン版) の双方向データバスです。
バス制御	$\overline{\text{CS}}0 \sim \overline{\text{CS}}3$	出力	チップセレクト 0~3	外部メモリまたはデバイスのためのチップセレクト信号です。
	$\overline{\text{RD}}$	出力	読み出し	外部のデバイスから読み出すことを示します。
	$\overline{\text{WR}}\text{H}$	出力	上位側書き込み	外部のデータの上位 8 ビット (ビット 15~8) に書き込みすることを示します。
	$\overline{\text{WR}}\text{L}$	出力	下位側書き込み	外部のデータの低位 8 ビット (ビット 7~0) に書き込みすることを示します。
	$\overline{\text{WAIT}}$	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	$\overline{\text{RAS}}$	出力	ロウアドレス ストローブ	DRAM のロウアドレスストローブのタイミング信号です。
	$\overline{\text{CASH}}$	出力	上位側カラム アドレス ストローブ	DRAM のカラムアドレスストローブのタイミング信号です。 データの上位 8 ビットをアクセスするときに出力されます。
	$\overline{\text{CASL}}$	出力	下位側カラム アドレス ストローブ	DRAM のカラムアドレスストローブのタイミング信号です。
	$\overline{\text{RDWR}}$	出力	DRAM 読み出し/ 書き込み	DRAM の書き込みストローブ信号です。
	$\overline{\text{AH}}$	出力	アドレスホールド	アドレス/データのマルチプレクスバスを使用するデバイスに対するアドレスホールドタイミング信号です。
	$\overline{\text{WR}}\text{HH}$ (QFP-144)	出力	HH 側書き込み	外部のデータのビット 31 からビット 24 を書き込みすることを示します。
	$\overline{\text{WR}}\text{HL}$ (QFP-144)	出力	HL 側書き込み	外部のデータのビット 23 からビット 16 を書き込みすることを示します。
	$\overline{\text{CASH}}\text{H}$ (QFP-144)	出力	HH 側カラム アドレス ストローブ	DRAM のカラムアドレスストローブのタイミング信号です。データのビット 31 からビット 24 をアクセスするときに出力されます。
	$\overline{\text{CASH}}\text{L}$ (QFP-144)	出力	HL 側カラム アドレス ストローブ	DRAM のカラムアドレスストローブのタイミング信号です。データのビット 23 からビット 16 をアクセスするときに出力されます。

表 1.8 端子の機能（続き）

分類	記号	入出力	名称	機能
マルチファンクション タイマバル スユニット (MTU)	TCLKA TCLKB TCLKC TCLKD	入力	MTU タイマ クロック入力	MTU のカウンタへの外部クロック入力端子です。
	TIOC0A TIOC0B TIOC0C TIOC0D	入出力	MTU インพุットキ ャプチャ / アウト プットコンペア (チャンネル 0)	チャンネル 0 の インพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC1A TIOC1B	入出力	MTU インพุットキ ャプチャ / アウト プットコンペア (チャンネル 1)	チャンネル 1 の インพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC2A TIOC2B	入出力	MTU インพุットキ ャプチャ / アウト プットコンペア (チャンネル 2)	チャンネル 2 の インพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC3A TIOC3B TIOC3C TIOC3D	入出力	MTU インพุットキ ャプチャ / アウト プットコンペア (チャンネル 3)	チャンネル 3 の インพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC4A TIOC4B TIOC4C TIOC4D	入出力	MTU インพุットキ ャプチャ / アウト プットコンペア (チャンネル 4)	チャンネル 4 の インพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	ダイレクト メモリアク セスコント ローラ (DMAC)	DREQ0 DREQ1	入力	DMA 転送要求 (チャンネル 0, 1)
DRAK0 DRAK1		出力	DREQ 要求 受け付け (チャンネル 0, 1)	外部からの DMA 転送要求の入力のサンプリング受け 付けを出力します。
DACK0 DACK1		出力	DMA 転送 ストローブ (チャンネル 0, 1)	外部からの DMA 転送要求の外部 I/O へのストローブ を出力します。

表 1.8 端子の機能 (続き)

分類	記号	入出力	名称	機能
シリアルコ ミュニケー ション	TxD0	出力	送信データ (チャンネル 0、1)	SCI0、1 の送信データ出力端子です。 (TxD1 は F-ZTAT のブートモード時のデータ転送に 使用します)
	TxD1			
インタフェ ース (SCI)	RxD0	入力	受信データ (チャンネル 0、1)	SCI0、1 の受信データ入力端子です。 (RxD1 は F-ZTAT のブートモード時のデータ転送に 使用します)
	RxD1			
	SCK0 SCK1	入出力	シリアルクロック (チャンネル 0、1)	SCI0、1 のクロック入出力端子です。
A/D 変換器	AV _{CC}	入力	アナログ電源	アナログ電源で V _{CC} の電位を接続します。
	AV _{SS}	入力	アナロググランド	アナログ電源で V _{SS} の電位を接続します。
	AV _{ref} (QFP-144 のみ)	入力	アナログ リファレンス電源	アナログリファレンス電源入力端子です。 (QFP-112、TQFP-120 では、LSI の内部で AV _{CC} に 接続されています。)
	AN0 ~ AN7	入力	アナログ入力	アナログ信号入力端子です。
	ADTRG	入力	A/D 変換トリガ入 力	A/D 変換開始の外部トリガ入力です。
I/O ポート	POE0 ~ POE3	入力	ポート アウトプット イネーブル	汎用ポートが出力設定時に、ポート端子のドライブ制 御をするための入力端子です。
	PA0 ~ PA15 (QFP-112) PA0 ~ PA23 (QFP-144)	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PB0 ~ PB9	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PC0 ~ PC15	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PD0 ~ PD15 (QFP-112) PD0 ~ PD31 (QFP-144)	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PE0 ~ PE15	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PF0 ~ PF7	入力	汎用ポート	汎用入力ポート端子です。

[使用上の注意]

1. 未使用の入力端子はプルアップまたはプルダウンしてください。
2. SH7044/SH7045 の F-ZTAT 版では $\overline{\text{WDT0VF}}$ 端子はプルダウンしないでください。ま
た、プルダウンが必要な場合は、100k 以上の抵抗値でプルダウンしてください。

1.4 F-ZTAT 版のオンボードプログラムについて

F-ZTAT 版は専用ライターでの書き込みや書き換えのほかに、アプリケーションシステムのオンボードでプログラムの書き込みや書き換えを行う 2 種類のモードがあります。

リセット状態で各モード端子と FWP 端子を設定しリセットスタートすると、マイコンは図 1.7 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。フラッシュメモリへの書き込み / 消去を行えるモードとしてブートモード、ユーザプログラムモードがあります。

ブートモードではデータ転送に SCI1 (TXD1, RXD1) を使用します。転送ビットレートはホストの転送ビットレートに自動的に合わせることができます。

表 1.9 オンボードプログラムモード時の端子

記号	入出力	機能
FWP	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
MD1	入力	ユーザプログラムモード / ブートモードの設定
MD2	入力	クロックモード (PLL) の設定
MD3	入力	クロックモード (PLL) の設定
TxD1	出力	シリアル送信データ出力
RxD1	入力	シリアル受信データ入力

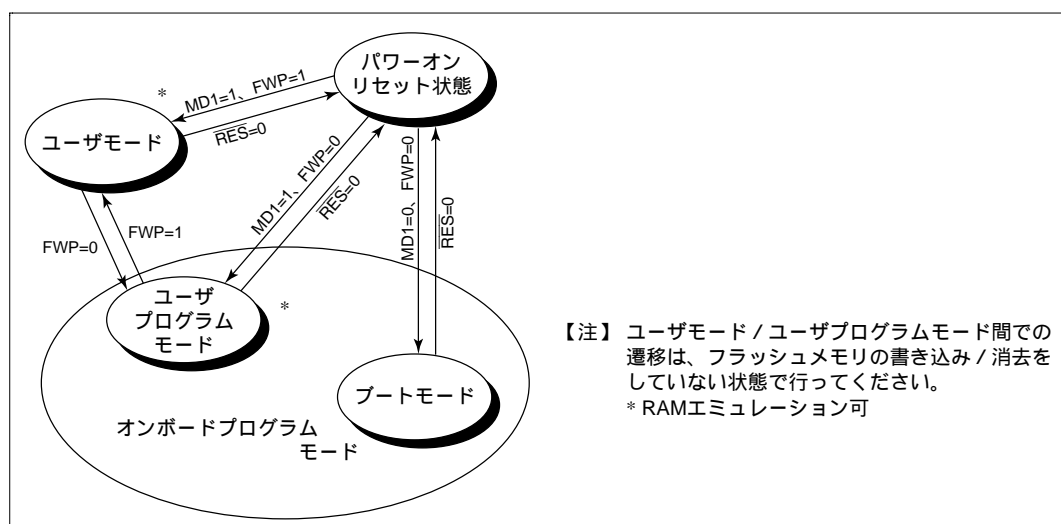


図 1.6 フラッシュメモリに関する状態遷移

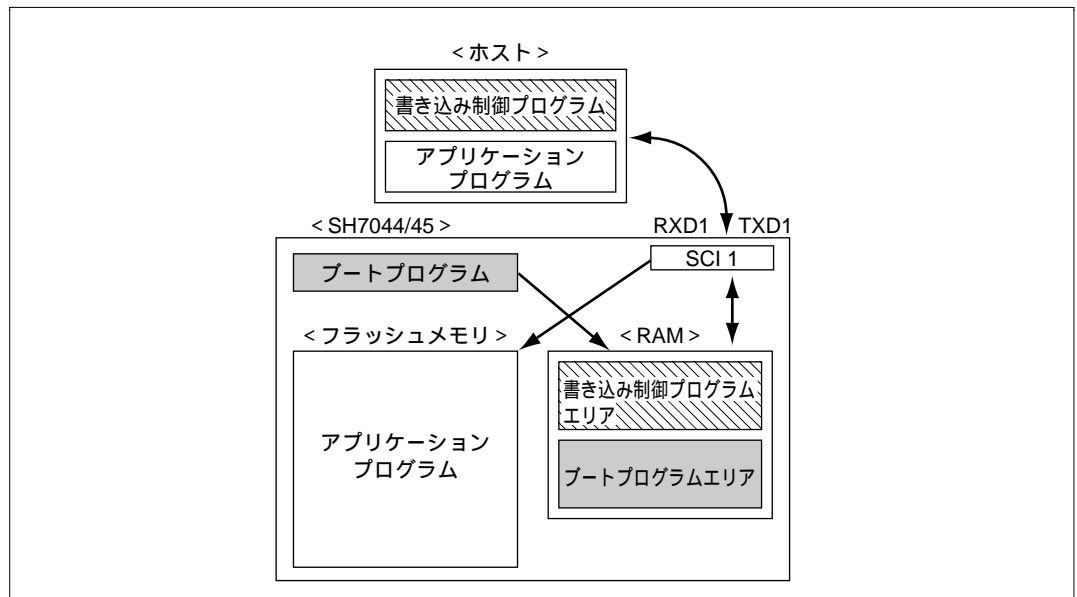


図 1.7 ブートモード時のデータ転送

2. CPU

第2章 目次

2.1	レジスタ構成.....	31
2.1.1	汎用レジスタ (Rn)	31
2.1.2	コントロールレジスタ	32
2.1.3	システムレジスタ	33
2.1.4	レジスタの初期値	33
2.2	データ形式	34
2.2.1	レジスタのデータ形式	34
2.2.2	メモリ上でのデータ形式	34
2.2.3	イミディエイトデータのデータ形式	35
2.3	命令の特長	36
2.3.1	RISC方式	36
2.3.2	アドレッシングモード	39
2.3.3	命令形式	42
2.4	命令セット	44
2.4.1	分類順命令セット	44
2.5	処理状態	52
2.5.1	状態遷移	52
2.5.2	低消費電力状態	53

2.1 レジスタ構成

レジスタは、汎用レジスタ（32ビット×16本）、コントロールレジスタ（32ビット×3本）、システムレジスタ（32ビット×4本）の3種類があります。

2.1.1 汎用レジスタ（Rn）

汎用レジスタ（Rn）は、32ビットの長さで、R0からR15までの16本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタがR0に固定されています。R15は、ハードウェアスタックポインタ（SP）として使われます。例外処理でのステータスレジスタ（SR）とプログラムカウンタ（PC）の退避、回復はR15を用いてスタックを参照し行います。

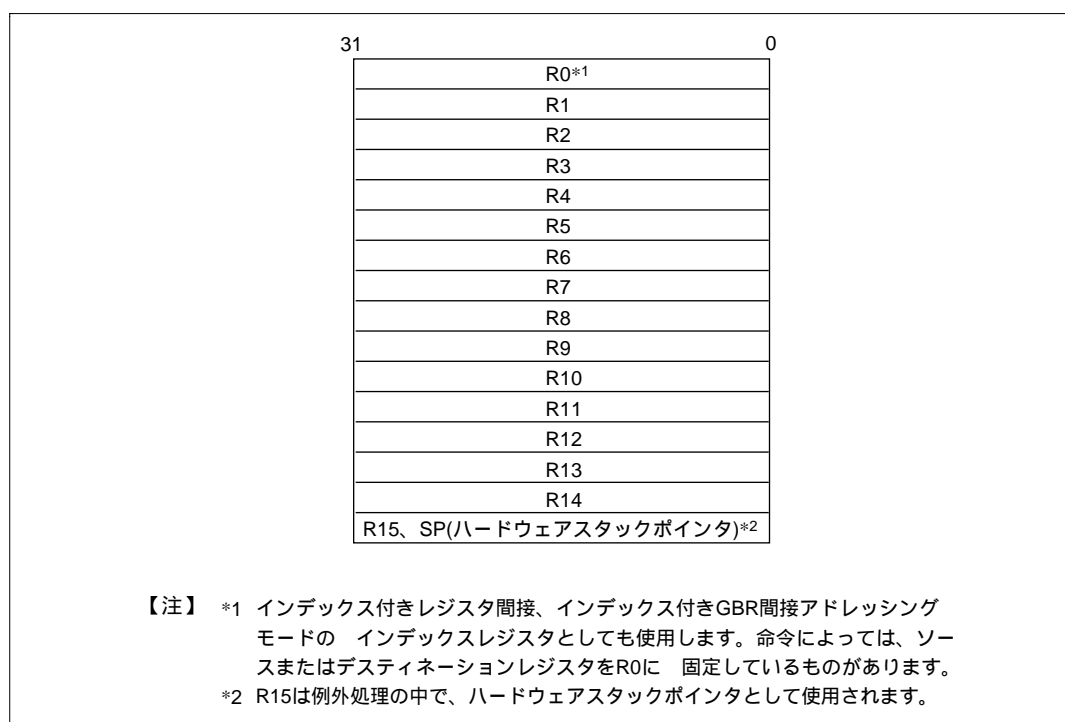


図 2.1 汎用レジスタの構成

2.1.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR) の3本があります。SR は処理の状態を表します。GBR はGBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

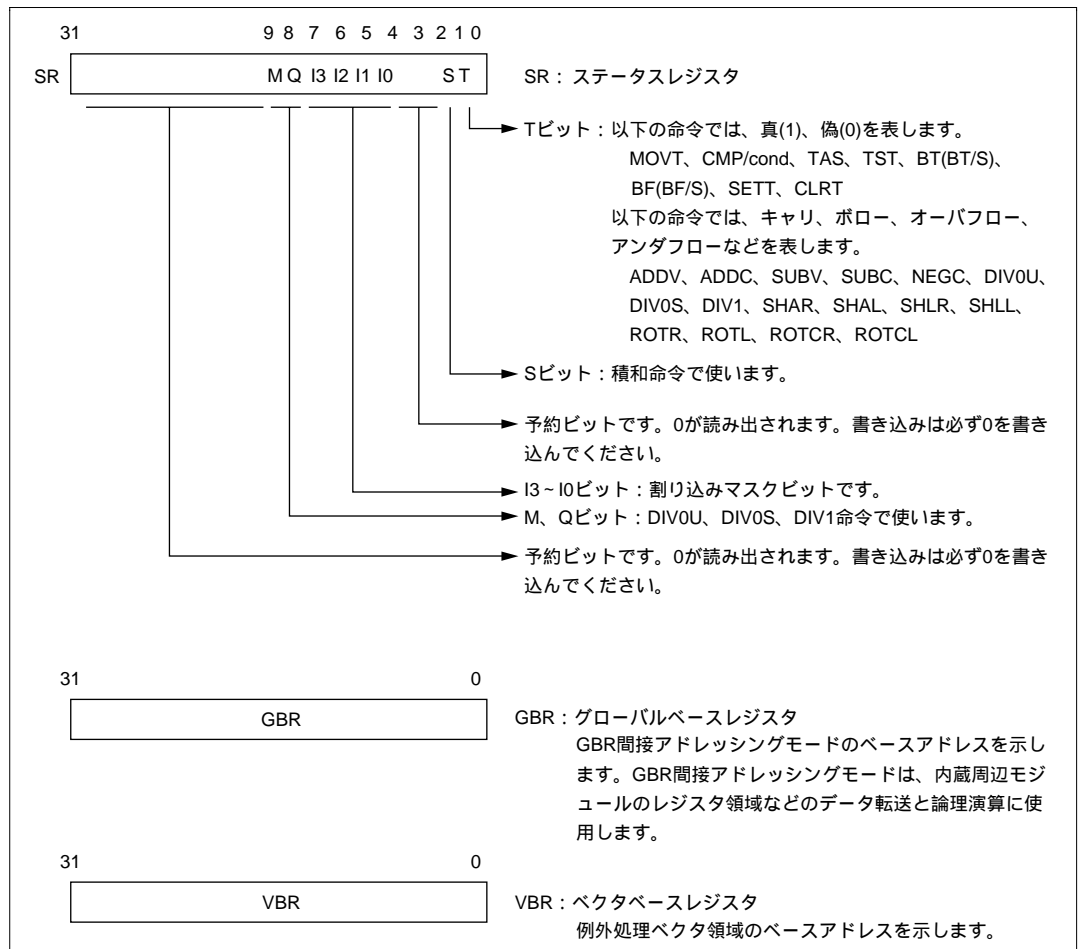


図 2.2 コントロールレジスタの構成

2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL の 2 本)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は実行中のプログラムのアドレスを示し、処理の流れを制御します。

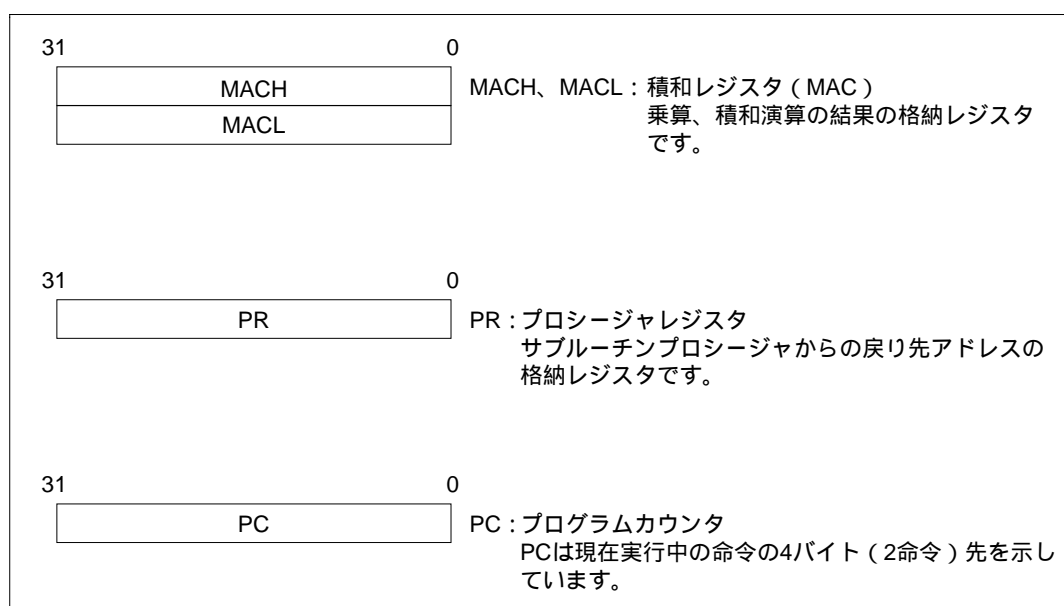


図 2.3 システムレジスタの構成

2.1.4 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します

表 2.1 レジスタの初期値

区 分	レジスタ	初 期 値
汎用レジスタ	R0 ~ R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3 ~ I0 は 1111 (HF)、予約ビットは 0、その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード(32ビット)です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト(8ビット)、もしくはワード(16ビット)の場合は、ロングワードに符号拡張し、レジスタに格納します。

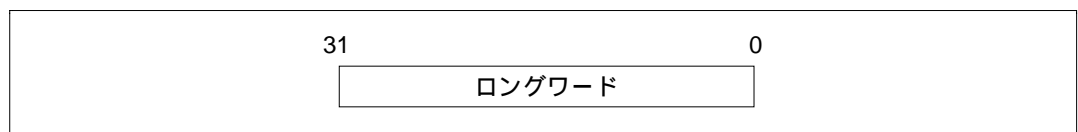


図 2.4 レジスタのデータ形式

2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは $2n$ 番地から、ロングワードデータは $4n$ 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証しません。特に、ハードウェアスタックポインタ(SP、R15)が指し示すスタックにはプログラムカウンタ(PC)とステータスレジスタ(SR)をロングワードで保持しますので、ハードウェアスタックポインタの値が $4n$ になるように設定してください。

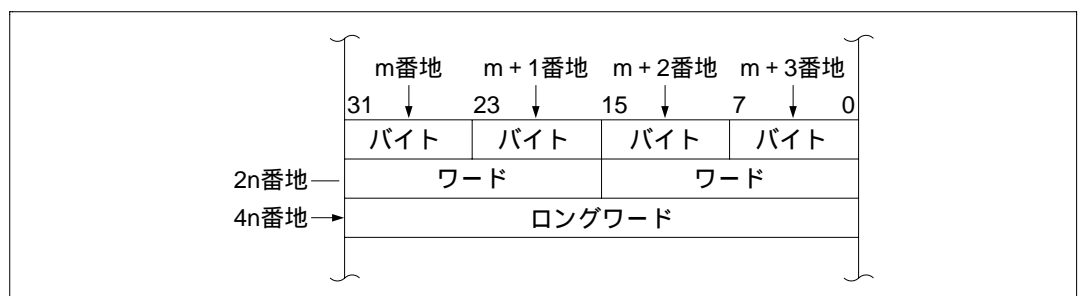


図 2.5 メモリ上のデータ形式

2.2.3 イミディエイトデータのデータ形式

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照します。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。28.7MHz 動作時、1 ステートは 35ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

本 LSI の CPU		説 明	他の CPU の例
MOV.W	@(disp, PC), R1	32 ビットに符号拡張され、R1 は H'00001234 になります。 次に ADD 命令で演算されます	ADD.W #H'1234, R0
ADD	R1, R0		
		
.DATA.W	H'1234		

【注】 @(disp, PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付き分岐命令には遅延分岐命令と通常分岐命令の 2 通りがあります。

表 2.3 遅延分岐命令

本 LSI の CPU	説 明	他の CPU の例
BRA TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1, R0
ADD R1, R0		BRA TRGET

(6) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2~3 ステートで実行します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2~4 ステートで実行します。

(7) T ビット

比較結果は SR の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

本 LSI の CPU	説 明	他の CPU の例
CMP/GE R1, R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1, R0
BT TRGET0	R0 R1 のとき TRGET0 へ分岐します。	BGE TRGET0
BF TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #1, R0	ADD では T ビットが変化しません。	SUB.W #1, R0
CMP/EQ #0, R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	R0 = 0 のとき分岐します。	

(8) イミディエイトデータ

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令 (MOV) で参照します。

表 2.5 イミディエイトデータによる参照

区 分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12, R0	MOV.B #H'12, R0
16 ビットイミディエイト	MOV.W @(disp, PC), R0	MOV.W #H'1234, R0
DATA.W H'1234	
32 ビットイミディエイト	MOV.L @(disp, PC), R0	MOV.L #H'12345678, R0
DATA.L H'12345678	

【注】 @(disp, PC) でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

区 分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @ (disp, PC), R1	MOV.B @ H'12345678, R0
	MOV.B @ R1, R0	
	
	.DATA.L H'12345678	

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(10) 16 ビット / 32 ビットディスプレースメント

16 ビット、または 32 ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照

区 分	本 LSI の CPU	他の CPU の例
16 ビットディスプレースメント	MOV.W @ (disp, PC), R0	MOV.W @ (H'1234, R1), R2
	MOV.W @ (R0, R1), R2	
	
	.DATA.W H'1234	

【注】 @ (disp, PC) でイミディエイトデータを参照します。

2.3.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス

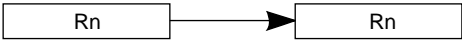
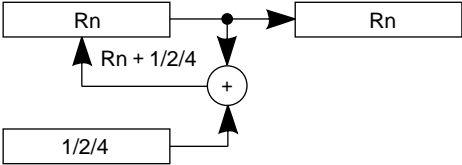
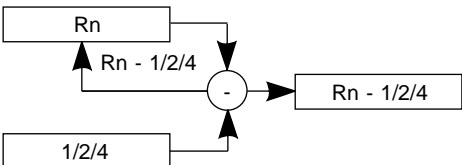
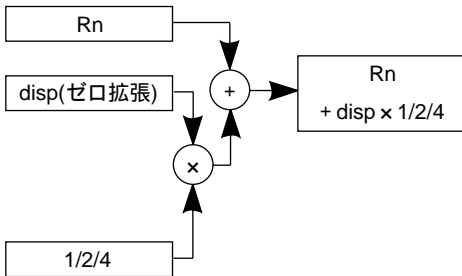
アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメントレジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメントレジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイメント付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp x 2 ロングワード : Rn + disp x 4

表 2.8 アドレッシングモードと実効アドレス (続き)

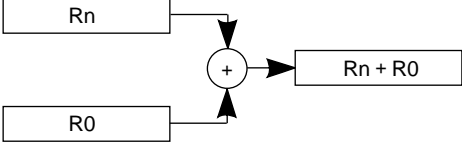
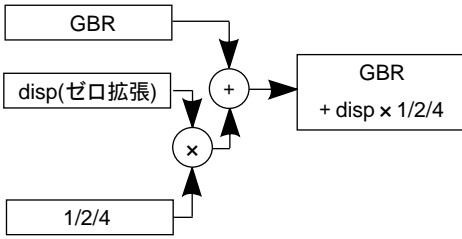
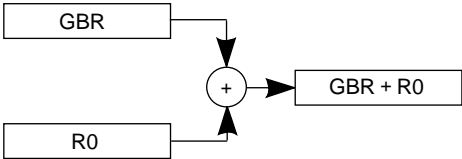
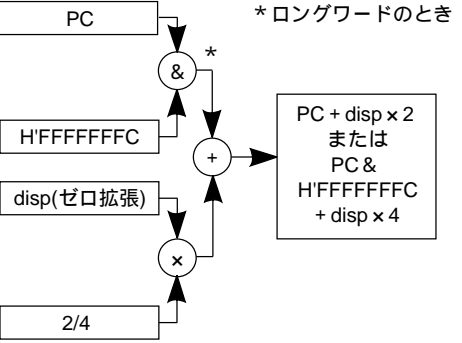
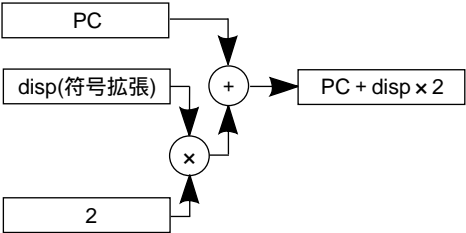
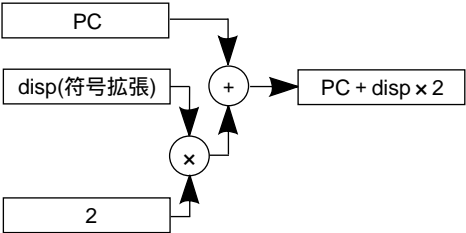
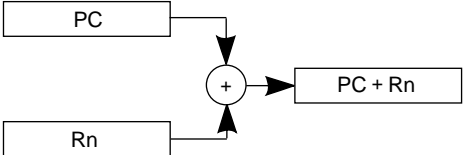
アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
インデックス付きレジスタ間接	@(R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイメント付き GBR 間接	@(disp: 8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレイメント付き PC 相対	@(disp: 8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$

表 2.8 アドレッシングモードと実効アドレス (続き)

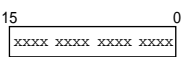
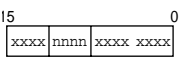
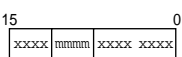
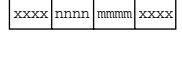
アドレッシングモード	表 記	実行アドレスの計算方法	計算式
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	PC + disp × 2
	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	PC + disp × 2
	Rn	<p>実行アドレスはレジスタ PC に Rn を加算した内容です。</p> 	PC + Rn
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式	ソースオペランド	デスティネーション オペランド	命令の例
0形式 			NOP
n形式 		nnnn : レジスタ直接	MOV T Rn
	コントロールレジスタ またはシステム レジスタ	nnnn : レジスタ直接	STS MACH,Rn
	コントロールレジスタ またはシステム レジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
m形式 	mmmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
	mmmmm : ポストインクリ メントレジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
	mmmmm : レジスタ間接		JMP @Rm
	mmmmm : Rm を用いた PC 相対		BRAF Rm
nm形式 	mmmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
	mmmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
	mmmmm : ポストインクリメント レジスタ間接 (積和演算) nnnn : * ポストインクリメント レジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
	mmmmm : ポストインクリ メントレジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn

【注】 * 積和命令では nnnn は、ソースレジスタです。

表 2.9 命令形式 (続き)

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式		mmmmdddd : ディスプレイメント付 きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式		R0 (レジスタ直接)	nnnndddd : ディスプレイメント付 きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式		mmmm : レジスタ直接	nnnndddd : ディスプレイメント付 きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd : ディスプレイメント付 きレジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式		dddddddd : ディスプレ ースメント付き GBR 間 接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	dddddddd : ディスプレ ースメント付き GBR 間接	MOV.L R0,@(disp,GBR)
		dddddddd : ディスプレ ースメント付き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		dddddddd : PC 相対		BF label
d12 形式		dddddddddddd : PC 相 対		BRA label (label=disp+PC)
nd8 形式		dddddddd : ディスプレ ースメント付き PC 相対	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト		TRAPA #imm
ni 形式		iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実行アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	ポロー付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	

表 2.10 命令の分類 (続き)

分 類	命令の種類	オペコード	機 能	命令数
シフト命令	10	ROTL	1 ビット左回転	14
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCR	T ビット付き 1 ビット右回転	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T = 0 で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T = 1 で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御命令	11	CLRMAC	MAC レジスタのクリア	31
		CLRT	T ビットのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無条件	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	31
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
	計 62			142

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行ステート	Tビット
ニーモニックで表示 しています。	MSB LSB の順で表 示しています。	動作の概略を表示してい ます。	ノーウェイトの ときの値です。*1	命令実行後の、 Tビットの値を 表示していま す。
記号の説明	記号の説明	記号の説明		記号の説明
OP, Sz, SRC, DEST	mmmm: ソースレジスタ	、 : 転送方向		: 変化しない
OP: オペコード	nnnn: デスティネーション	(xx): メモリオペランド		
Sz: サイズ	レジスタ	M/Q/T: SR 内のフラグ		
SRC: ソース	0000: R0	ビット		
DEST: デスティ ネーション	0001: R1	&: ビットごとの論理積 : ビットごとの論理和		
Rm: ソースレジスタ	1111: R15	^: ビットごとの排他的論 理和		
Rn: デスティネー ションレジスタ	iiii: イミディエイト データ	~: ビットごとの論理否定		
imm: イミディエイト データ	dddd: ディスプレース メント	<<n: 左 n ビットシフト >>n: 右 n ビットシフト		
disp: ディスプレース メント*2				

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング(×1、×2、×4)されます。

詳細は「SH-1/SH-2 プログラミングマニュアル」を参照してください。

(1) データ転送命令

命 令	命令コード	動 作	実行ステート	Tビット
MOV #imm, Rn	1110nnnniiiiiii	#imm 符号拡張 Rn	1	
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2 + PC) 符号拡張 Rn	1	
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4 + PC) Rn	1	
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	
MOV.B Rm, @-Rn	0010nnnnmmmm0100	Rn - 1 Rn, Rm (Rn)	1	
MOV.W Rm, @-Rn	0010nnnnmmmm0101	Rn - 2 Rn, Rm (Rn)	1	
MOV.L Rm, @-Rn	0010nnnnmmmm0110	Rn - 4 Rn, Rm (Rn)	1	
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm + 1 Rm	1	
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm + 2 Rm	1	
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm + 4 Rm	1	
MOV.B R0, @(disp, Rn)	10000000nnnnddd	R0 (disp + Rn)	1	
MOV.W R0, @(disp, Rn)	10000001nnnnddd	R0 (disp × 2 + Rn)	1	
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddd	Rm (disp × 4 + Rn)	1	
MOV.B @(disp, Rm), R0	10000100mmmmddd	(disp + Rm) 符号拡張 R0	1	
MOV.W @(disp, Rm), R0	10000101mmmmddd	(disp × 2 + Rm) 符号拡張 R0	1	
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddd	(disp × 4 + Rm) Rn	1	
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0 + Rn)	1	
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0 + Rn)	1	
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0 + Rn)	1	
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0 + Rm) 符号拡張 Rn	1	
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0 + Rm) 符号拡張 Rn	1	
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0 + Rm) Rn	1	
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0 (disp + GBR)	1	
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0 (disp × 2 + GBR)	1	
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0 (disp × 4 + GBR)	1	
MOV.B @(disp, GBR), R0	11000100ddddddd	(disp + GBR) 符号拡張 R0	1	
MOV.W @(disp, GBR), R0	11000101ddddddd	(disp × 2 + GBR) 符号拡張 R0	1	
MOV.L @(disp, GBR), R0	11000110ddddddd	(disp × 4 + GBR) R0	1	
MOVA @(disp, PC), R0	11000111ddddddd	disp × 4 + PC R0	1	
MOVT Rn	0000nnnn00101001	T Rn	1	
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm 下位2バイトの上下バイト交換 Rn	1	
SWAP.WRm, Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm: Rn の中央32ビット Rn	1	

(2) 算術演算命令

命 令	命令コード	動 作	実行ステート	Tビット
ADD Rm, Rn	0011nnnnmmmm1100	Rn + Rm Rn	1	
ADD #imm, Rn	0111nnnniiiiiii	Rn + imm Rn	1	
ADDC Rm, Rn	0011nnnnmmmm1110	Rn + Rm + T Rn, キャリ T	1	キャリ
ADDV Rm, Rn	0011nnnnmmmm1111	Rn + Rm Rn, オーバフロー T	1	オーバフロー
CMP/EQ #imm, R0	10001000iiiiiii	R0 = imm のとき 1 T	1	比較結果
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn = Rm のとき 1 T	1	比較結果
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T	1	比較結果
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T	1	比較結果
CMP/HI Rm, Rn	0011nnnnmmmm0110	無符号で Rn > Rm のとき 1 T	1	比較結果
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn > Rm のとき 1 T	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1 T	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn = 0 のとき 1 T	1	比較結果
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T	1	比較結果
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm, Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M^Q T	1	計算結果
DIV0U	000000000011001	0 M/Q/T	1	0
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32 × 32 64ビット	2~4*	
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32 × 32 64ビット	2~4*	
DT Rn	0100nnnn00010000	Rn - 1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	1	比較結果
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 Rn	1	
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 Rn	1	
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 Rn	1	
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 Rn	1	
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 32 × 32 + 64 64ビット	3/(2~4)*	
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 16 × 16 + 64 64ビット	3/(2)*	
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm MACL 32 × 32 32ビット	2~4*	
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MAC 16 × 16 32ビット	1~3*	
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MAC 16 × 16 32ビット	1~3*	
NEG Rm, Rn	0110nnnnmmmm1011	0 - Rm Rn	1	
NEGC Rm, Rn	0110nnnnmmmm1010	0 - Rm - T Rn, ボロー T	1	ボロー
SUB Rm, Rn	0011nnnnmmmm1000	Rn - Rm Rn	1	
SUBC Rm, Rn	0011nnnnmmmm1010	Rn - Rm - T Rn, ボロー T	1	ボロー
SUBV Rm, Rn	0011nnnnmmmm1011	Rn - Rm Rn, アンダフロー T	1	オーバフロー

【注】 * 通常実行ステートを示します。()内の値は、前後の命令との競合関係による実行ステートです。

(3) 論理演算命令

命 令	命令コード	動 作	実行ステート	Tビット
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm Rn	1	
AND #imm, R0	11001001iiiiiii	R0 & imm R0	1	
AND.B #imm, @(R0,GBR)	11001101iiiiiii	(R0 + GBR) & imm (R0 + GBR)	3	
NOT Rm, Rn	0110nnnnmmmm0111	~Rm Rn	1	
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm Rn	1	
OR #imm, R0	11001011iiiiiii	R0 imm R0	1	
OR.B #imm, @(R0,GBR)	11001111iiiiiii	(R0 + GBR) imm (R0 + GBR)	3	
TAS.B @Rn*	0100nnnn00011011	(Rn) が 0 のとき 1 T, 1 MSB of (Rn)	4	テスト結果
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が0のとき 1 T	1	テスト結果
TST #imm, R0	11001000iiiiiii	R0 & imm, 結果が0のとき 1 T	1	テスト結果
TST.B #imm, @(R0,GBR)	11001100iiiiiii	(R0 + GBR) & imm, 結果が0のとき 1 T	3	テスト結果
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	
XOR #imm, R0	11001010iiiiiii	R0 ^ imm R0	1	
XOR.B #imm, @(R0,GBR)	11001110iiiiiii	(R0 + GBR) ^ imm (R0 + GBR)	3	

【注】 * TAS 命令の実行サイクルの読み出しサイクルと書き込みサイクルの間には内蔵 DMAC/DTC のパスサイクルは入りません。ただし $\overline{\text{BREQ}}$ によりバス権解放は行われま
す。

(4) シフト命令

命 令	命令コード	動 作	実行ステート	Tビット
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB
SHLL2 Rn	0100nnnn00001000	Rn << 2 Rn	1	
SHLR2 Rn	0100nnnn00001001	Rn >> 2 Rn	1	
SHLL8 Rn	0100nnnn00011000	Rn << 8 Rn	1	
SHLR8 Rn	0100nnnn00011001	Rn >> 8 Rn	1	
SHLL16 Rn	0100nnnn00101000	Rn << 16 Rn	1	
SHLR16 Rn	0100nnnn00101001	Rn >> 16 Rn	1	

(5) 分岐命令

命 令	命令コード	動 作	実行ステート	Tビット
BF label	10001011ddddddd	T=0 のとき disp × 2 + PC PC, T=1 のとき NOP	3/1*	
BF/S label	10001111ddddddd	遅延分岐、T=0のとき disp × 2 + PC PC, T=1のとき NOP	2/1*	
BT label	10001001ddddddd	T=1 のとき disp × 2 + PC PC, T=0 のとき NOP	3/1*	
BT/S label	10001101ddddddd	遅延分岐、T=1のとき disp × 2 + PC PC, T=0のとき NOP	2/1*	
BRA label	1010ddddddddddd	遅延分岐、disp × 2 + PC PC	2	
BRAF Rm	0000mmmm00100011	遅延分岐、Rm + PC PC	2	
BSR label	1011ddddddddddd	遅延分岐、PC PR, disp × 2 + PC PC	2	
BSRF Rm	0000mmmm00000011	遅延分岐、PC PR, Rm + PC PC	2	
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC	2	
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC	2	
RTS	0000000000001011	遅延分岐、PR PC	2	

【注】 * 分岐しないときは1ステートになります。

(6) システム制御命令

命 令	命令コード	動 作	実行ステート	Tビット
CLRT	0000000000001000	0 T	1	0
CLRMACH	0000000000101000	0 MACH, MACL	1	
LDC Rm, SR	0100mmmm00001110	Rm SR	1	LSB
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm + 4 Rm	3	LSB
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm + 4 Rm	3	
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm + 4 Rm	3	
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	
LDS Rm, PR	0100mmmm00101010	Rm PR	1	
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm + 4 Rm	1	
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm + 4 Rm	1	
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm + 4 Rm	1	
NOP	0000000000001001	無操作	1	
RTE	0000000000101011	遅延分岐、スタック領域 PC/SR	4	
SETT	0000000000011000	1 T	1	1
SLEEP	0000000000011011	スリープ	3*	
STC SR, Rn	0000nnnn00000010	SR Rn	1	
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	
STC.L SR, @-Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	
STC.L GBR, @-Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	2	
STC.L VBR, @-Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	2	
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	
STS PR, Rn	0000nnnn00101010	PR Rn	1	
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、(imm × 4 + VBR) PC	8	

【注】 * スリープ状態に移るまでのステート数です。

・命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

2.5 処理状態

2.5.1 状態遷移

CPUの処理状態には、リセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.6に示します。

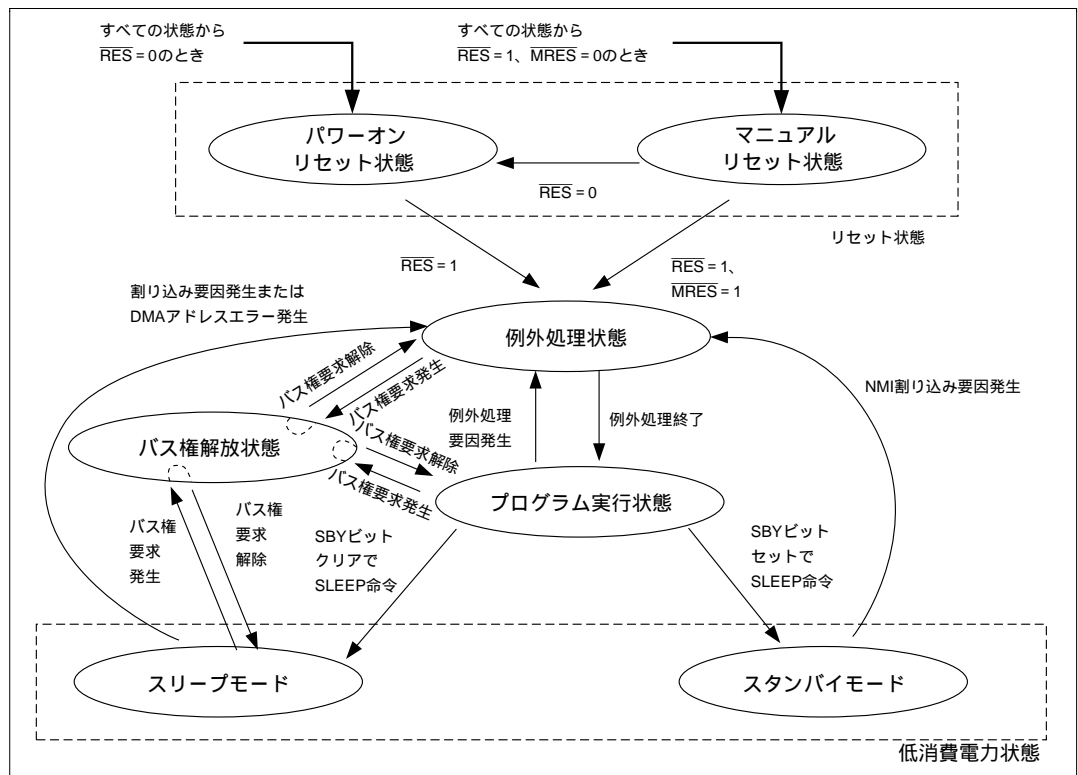


図2.6 処理状態の状態遷移図

(1) リセット状態

CPUがリセットされている状態です。 \overline{RES} 端子がローレベルになるとパワーオンリセット状態になります。 \overline{RES} 端子がハイレベルで \overline{MRES} 端子がローレベルのとき、マニュアルリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときの過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SP を参照して、PC とステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、スタンバイモードの2つのモードがあります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

2.5.2 低消費電力状態

CPU の処理状態の1つとして、通常のプログラム実行状態のほかに、CPU の動作を停止し、消費電力を低くする低消費電力状態があります。低消費電力状態には、スリープモード、スタンバイモードの2つのモードがあります。

(1) スリープモード

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を0にクリアして、SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモードでは、CPU の動作は停止しますが、CPU の内部レジスタの内容と内蔵キャッシュ (または内蔵 RAM) のデータは保持されます。CPU 以外の内蔵周辺モジュールの機能は停止しません。

スリープモードからの復帰は、リセット (パワーオン、マニュアル)、すべての割り込み、または DMA アドレスエラーによって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。

(2) スタンバイモード

SBYCRのSBYを1にセットして、SLEEP命令を実行すると、スタンバイモードになります。スタンバイモードでは、CPU、内蔵周辺モジュール、および発振器のすべての機能が停止します。乗算系命令の実行中にスタンバイに入った場合は、MACH、MACLの値は不定になります。

スタンバイモードからの復帰は、リセット（パワーオン、マニュアル）、NMI割り込みにより行われます。リセットの場合は、発振安定時間の後、例外処理状態を経て通常のプログラム実行状態へ遷移します。NMI割り込みの場合は、発振安定時間経過後、例外処理状態を経て通常のプログラム実行状態へ遷移します。

本モードでは、発振器が停止しますので、消費電力は著しく低減されます。

表 2.11 低消費電力状態

モード	遷移の条件	状態						解除方法
		クロック	CPU	内蔵周辺 モジュール	CPU レジスタ	内蔵キャッシュ または内蔵RAM	I/Oポート 端子	
スリープ モード	SBYCRのSBY をクリアした状 態で、SLEEP命 令を実行	動作	停止	動作	保持	保持	保持	(1) 割り込み (2) DMA アドレスエラー (3) パワーオンリセット (4) マニュアルリセット
スタンバ イモード	SBYCRのSBY をセットした状 態で、SLEEP命 令を実行	停止	停止	停止 および 初期化*	保持	保持	保持または Hi-Z (設定可)	(1) NMI 割り込み (2) パワーオンリセット (3) マニュアルリセット

【注】 * それぞれの周辺モジュール、端子によって異なります。

3. 動作モード

第3章 目次

3.1	動作モードの種類と選択	57
3.2	各動作モードの説明	58
3.3	端子構成	59

3.1 動作モードの種類と選択

本 LSI には 5 種類の動作モードと 3 種類のクロックモードがあります。モード端子 (MD3 ~ MD0) の設定により、LSI は決められた動作 / クロックモードで動作します。モード端子は LSI 動作中 (電源印加中) には、変化させないでください。ただし、F-ZTAT 版では、パワーオンリセット状態中に MD1 を変化させることは可能です。

表 3.1 に動作モードおよびクロックモードの設定方法を示します。

表 3.1 動作モードおよびクロックモードの設定

動作モード 番号	端子設定					モード名	内蔵 ROM	CS0 空間	
	FWP	MD3*1	MD2*1	MD1	MD0			112 ピン	114 ピン
モード 0	1	x	x	0	0	MCU モード 0	無効	8 ビット空間	16 ビット空間
モード 1	1	x	x	0	1	MCU モード 1	無効	16 ビット空間	32 ビット空間
モード 2	1	x	x	1	0	MCU モード 2	有効	8/16 ビット空間*2	8/16/32 ビット空間*2
モード 3	1	x	x	1	1	シングルチップモード	有効	-	-
モード 4	1	1	1	1	1	PROM モード*3	有効	-	-
	0	x	x	0	0	ブートモード*4	有効	8/16 ビット空間	8/16/32 ビット空間
	0	x	x	0	1			-	-
	0	x	x	1	0	ユーザプログラムモード *4	有効	8/16 ビット空間	8/16/32 ビット空間
	0	x	x	1	1			-	-
	1	1	1	0	1	ライターモード*4	有効	-	-

MD3	MD2	クロックモード
0	0	入力クロック × 1
0	1	入力クロック × 2
1	0	入力クロック × 4
1	1	リザーブ (PROM モードのみ)

【注】 *1 MD2、MD3 はクロックモードを選択する端子です

*2 BSC の BCR2 で設定。

*3 ZTAT のみ。

*4 F-ZTAT のみ。

3.2 各動作モードの説明

(1) モード0 (MCU モード0)

モード0では、CS0空間のバス幅が112ピン版で8ビット、144ピン版で16ビットの外部メモリ空間になります。

(2) モード1 (MCU モード1)

モード1では、CS0空間のバス幅が112ピン版で16ビット、144ピン版で32ビットの外部メモリ空間になります。

(3) モード2 (MCU モード2)

モード2では、内蔵ROMが有効となります。内蔵ROM空間でのバス幅は32ビットです。

(4) モード3 (シングルチップモード)

シングルチップモードでは、どのポートも使用することはできませんが、外部アドレスは使用できません。

(5) モード4 (PROM モード)

PROMモードでは、汎用PROMライターを使って内蔵ROMへプログラムすることができます。

(6) クロックモード

モード0~3のとき、入力周波数の1倍、2倍、4倍の周波数を内部クロックとして使用できます。

3.3 端子構成

動作モードに関係した各端子の機能を表 3.2 に示します。

表 3.2 端子の機能

機能名	入出力	機 能
XTAL	入力	水晶発振子を接続
EXTAL	入力	水晶発振子を接続、または外部クロック入力端子
PLLCAP	入力	PLL 回路動作用の容量を接続
MD0	入力	この端子に印加するレベルで動作モードを指定
MD1	入力	この端子に印加するレベルで動作モードを指定
MD2	入力	この端子に印加するレベルでクロックモードを指定
MD3	入力	この端子に印加するレベルでクロックモードを指定

4. クロック発振器 (CPG)

第4章 目次

4.1	概要	63	
	4.1.1	ブロック図	63
4.2	発振器	64	
	4.2.1	水晶発振子を接続する方法	64
	4.2.2	外部クロックを入力する方法	65
4.3	プリスケアラ	66	
4.4	発振停止検出機能	66	
4.5	使用上の注意事項	67	
	4.5.1	発振子に関する注意事項	67
	4.5.2	ボード設計上の注意	67
	4.5.3	周波数拡散方式クロックジェネレータ使用時の注意	68

4. クロック発振器 (CPG)

4.1 概要

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、システムクロック () および内部クロック ($/2 \sim /8192$) を生成します。

クロック発振器は、発振器、PLL、プリスケータから構成されます。

4.1.1 ブロック図

クロック発振器のブロック図を図 4.1 に示します。

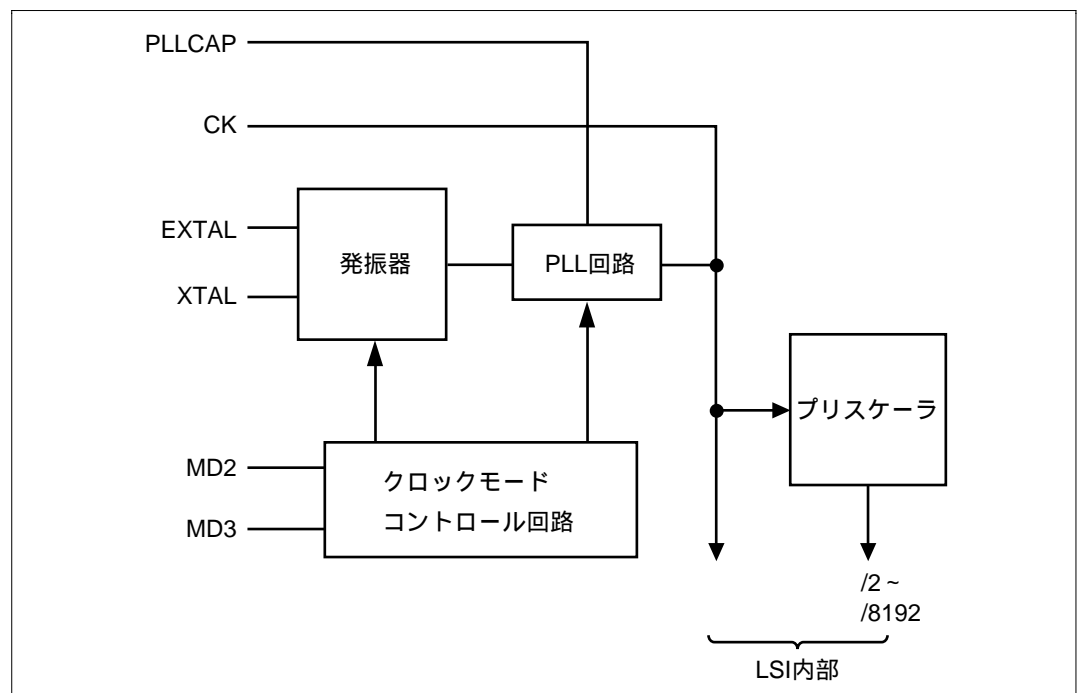


図 4.1 クロック発振器のブロック図

4.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

4.2.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 4.2 に示します。ダンピング抵抗 R_d は、表 4.1 に示すものを使用してください。水晶は周波数が発振 4 ~ 10MHz のものをお使いください。

なお、水晶と LSI の相性については、水晶メーカーにご相談いただきますよう、お願い致します。

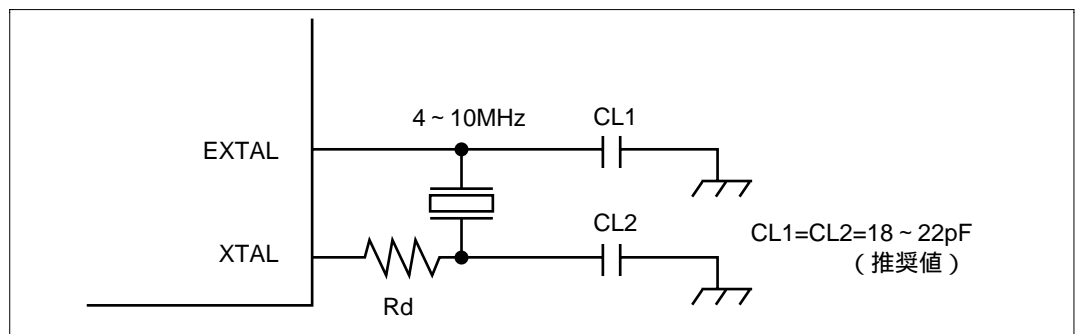


図 4.2 水晶発振子の接続例

表 4.1 ダンピング抵抗値 (推奨値)

周波数 (MHz)	4	8	10
R_d ()	500	200	0

(2) 水晶発振子

図 4.3 に水晶発振子の等価回路を示します。水晶発振子は表 4.2 に示す特性のものを使用してください。

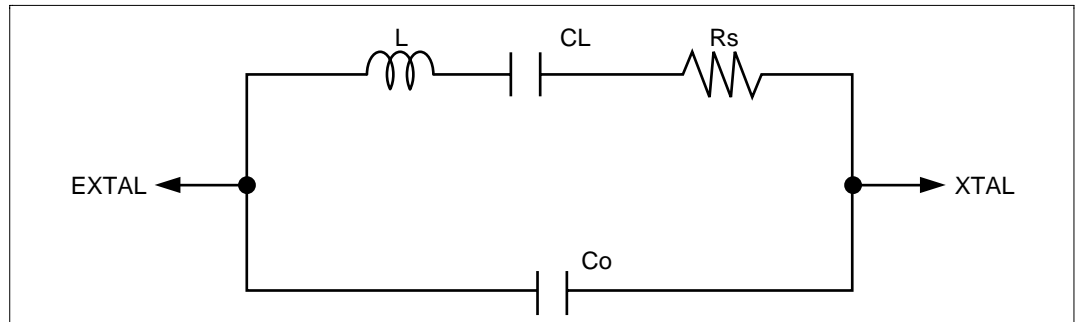


図 4.3 水晶発振子の等価回路

表 4.2 水晶発振子の特性

周波数 (MHz)	4	8	10
Rs max ()	120	80	60
Co max (pF)	7		

4.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 4.4 に示します。図 4.4 の場合、スタンバイモード時に外部クロックを止める場合、ハイレベルになるようにしてください。動作時は、外部入力クロックの周波数は 4~10MHz にしてください。

XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時や、スタンバイ解除時は、発振安定時間以上待つようにしてください。

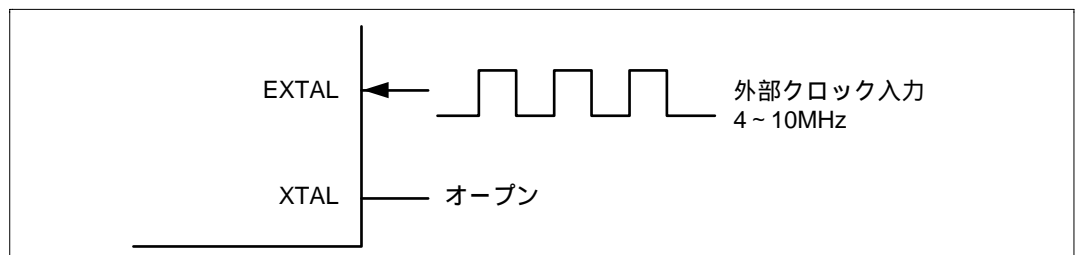


図 4.4 外部クロックの接続例

4.3 プリスケーラ

プリスケーラは、システムクロック () を分周して、内部クロック (/2 ~ /8192) を生成し、周辺モジュールに供給します。

4.4 発振停止検出機能

本 CPG には、何らかのシステムの異常により発振器が停止した場合に備え、クロックの停止を検出してタイマ端子を自動的にハイインピーダンス状態にする機能が備わっています。すなわち、EXTAL が変化しなかったことを検出した場合、大電流ポート (PE9 / TIOC3B、PE11 / TIOC3D、PE12 / TIOC4A、PE13 / TIOC4B / MRES、PE14 / TIOC4C / DACK0 / AH、PE15 / TIOC4D / DACK1 / IRQOUT) の 6 端子を PFC の設定にかかわらずハイインピーダンスにします。

スタンバイ状態でも、上記 6 端子は PFC の設定にかかわらずハイインピーダンスになります。スタンバイ状態解除後は通常動作になります。また、スタンバイ状態以外で発振が停止するような異常動作時には、その他の LSI 動作は不定となります。この場合、再度発振を開始しても、上記 6 端子を含めて LSI 動作は不定となります。

4.5 使用上の注意事項

4.5.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

4.5.2 ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通させないでください。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

発振回路部のボード設計に関する注意を図 4.5、図 4.6 に示します。

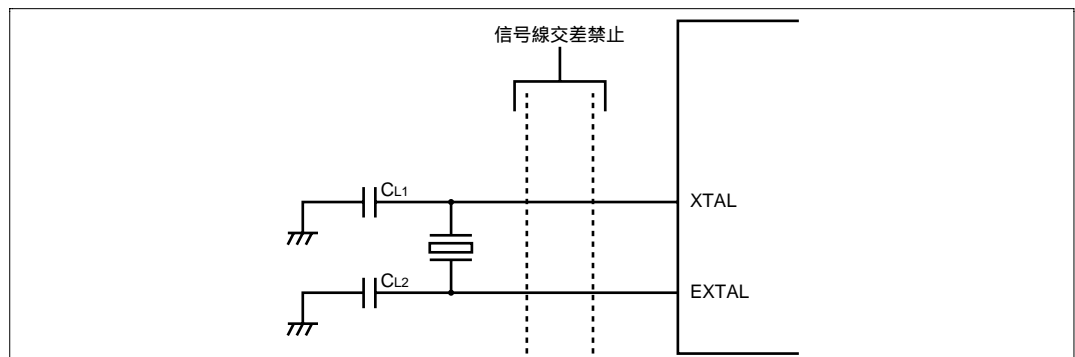


図 4.5 発振回路部のボード設計に関する注意事項

4. クロック発振器 (CPG)

PLL 回りの外部回路として、下記のような外部回路を推奨します。

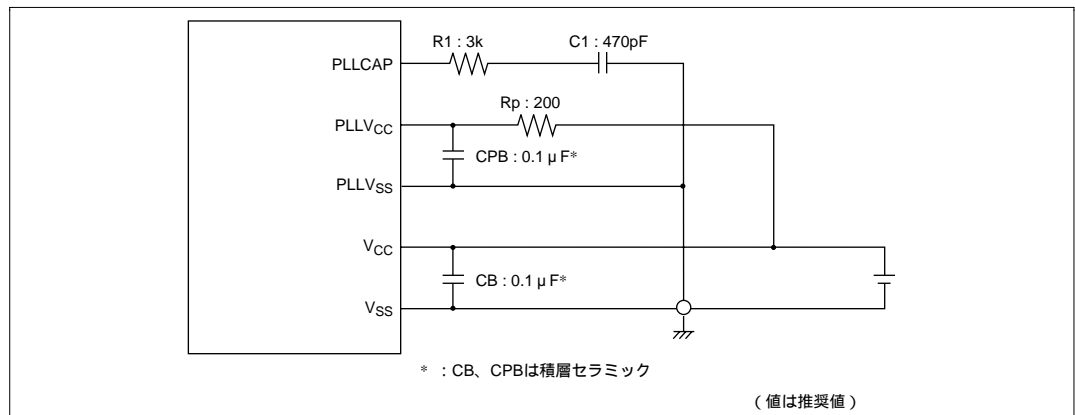


図 4.6 PLL 発振回路使用上の注意

発振安定用の容量 C1 および抵抗 R1 は、PLLCAP 端子の近くに置き、他の信号線と交差させないでください。C1 のグラウンドは PLLV_{SS} から供給してください。

さらに、PLLV_{CC}、PLLV_{SS} と、その他の V_{CC}、V_{SS} とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

V_{CC}=PLLV_{CC}=3.3V±0.3V で使用する場合は、R_p=0 としてください。

4.5.3 周波数拡散方式クロックジェネレータ使用時の注意

輻射ノイズ低減の目的で外部発振器として周波数拡散方式クロックジェネレータを使用する場合は、以下の点に注意して使用願います。

- (1) 周波数拡散時の内部クロック周波数が最大動作周波数を超えることがないように、中心周波数、拡散幅を設定してください。
- (2) 周波数拡散方式のクロックジェネレータを使用すると 4.4 の発振停止検出機能が動作してしまう場合があります。この機能が動作すると問題が発生するシステム構成の場合は、周波数拡散方式のクロックジェネレータを使用しないでください。

5. 例外処理

第5章 目次

5.1	概要	71
5.1.1	例外処理の種類と優先順位	71
5.1.2	例外処理の種類と優先順位	72
5.1.3	例外処理ベクタテーブル	73
5.2	リセット	76
5.2.1	リセットの種類	76
5.2.2	パワーオンリセット	76
5.2.3	マニュアルリセット	77
5.3	アドレスエラー	78
5.3.1	アドレスエラー発生要因	78
5.3.2	アドレスエラー例外処理	79
5.4	割り込み	80
5.4.1	割り込み要因	80
5.4.2	割り込み優先順位	81
5.4.3	割り込み例外処理	81
5.5	命令による例外	82
5.5.1	命令による例外の種類	82
5.5.2	トラップ命令	82
5.5.3	スロット不当命令	83
5.5.4	一般不当命令	83
5.6	例外処理が受け付けられない場合	84
5.6.1	遅延分岐命令の直後	84
5.6.2	割り込み禁止命令の直後	84
5.7	例外処理後のスタックの状態	85
5.8	使用上の注意	86
5.8.1	スタックポインタ (SP) の値	86
5.8.2	ベクタベースレジスタ (VBR) の値	86



5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー..... 86

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

	例外処理	優先順位	
リセット	パワーオンリセット	高   低	
	マニュアルリセット		
アドレスエラー	CPU アドレスエラー		
	DMAC / DTC アドレスエラー		
割り込み	NMI		
	ユーザブ레이크		
	IRQ		
	内蔵周辺モジュール		ダイレクトメモリアクセスコントローラ (DMAC)
			マルチファンクションタイムパルスユニット (MTU)
			シリアルコミュニケーションインタフェース (SCI)
			A/D 変換器 (A/D) *3
			データ転送コントローラ (DTC)
			コンペアマッチタイマ (CMT)
			ウォッチドッグタイマ (WDT)
バスステートコントローラ (BSC)			
ポートアウトプットイネーブル制御部			
命令	トラップ命令 (TRAPA 命令)		
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令*1 直後に配置された未定義コードまたは PC を書き換える命令*2)		

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRAFL

*3 Aマスク品の場合、A/D0、A/D1

5.1.2 例外処理の種類と優先順位

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	\overline{RES} 端子のローレベルからハイレベルへの変化で開始される
	マニュアルリセット	\overline{RES} 端子がハイレベルのときの、 \overline{MRES} 端子のローレベルからハイレベルへの変化で開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了
割り込み		後開始される
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令（遅延スロット）以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時は H'00000000 番地、H'00000004 番地、またマニュアルリセット時は H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を 0 に、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を 1111 にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット (I3~I0) に書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PCとSPの初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表5.3に、ベクタテーブルアドレスの算出法を表5.4に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
(システム予約)		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DMAC / DTC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
(システム予約)		13	H'00000034 ~ H'00000037
		31	H'0000007C ~ H'0000007F
トラップ命令 (ユーザベクタ)		32	H'00000080 ~ H'00000083
		63	H'000000FC ~ H'000000FF
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
	IRQ4	68	H'00000110 ~ H'00000113
	IRQ5	69	H'00000114 ~ H'00000117
	IRQ6	70	H'00000118 ~ H'0000011B
	IRQ7	71	H'0000011C ~ H'0000011F
内蔵周辺モジュール*		72	H'00000120 ~ H'00000124
		255	H'000003FC ~ H'000003FF

【注】 * 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは「第 6 章 割り込みコントローラ (INTC)」の「表 6.3 割り込み例外処理ベクタと優先順位」を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、 命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR : ベクタベースレジスタ

ベクタテーブルアドレスオフセット : 表 5.3 を参照

ベクタ番号 : 表 5.3 を参照

5.2 リセット

5.2.1 リセットの種類

リセットは最も優先順位の高い例外要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類あります。表 5.5 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU の内部状態は初期化されます。また、パワーオンリセットで内蔵周辺モジュールのレジスタが初期化されるのに対し、マニュアルリセットでは初期化されません。

表 5.5 リセット状態

種類	リセット状態への遷移条件		内部状態	
	RES	MRES	CPU	内蔵周辺モジュール
パワーオンリセット	ロー	-	初期化	初期化
マニュアルリセット	ハイ	ロー	初期化	初期化しない

5.2.2 パワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時またはスタンバイ時(クロックが停止している場合)は発振安定時間の間、クロックが動作している場合は最低 20t_{cy} の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 C. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (2) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (3) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を H'F (1111) にセットします。
- (4) 例外処理ベクタテーブルから取り出した値をそれぞれプログラムカウンタ(PC)と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

5.2.3 マニュアルリセット

$\overline{\text{RES}}$ 端子がハイレベルのとき $\overline{\text{MRES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低、スタンバイ時（クロックが停止している場合）は WDT で設定している発振安定時間より長く、クロックが動作している場合は最低 20tcyc の間 $\overline{\text{MRES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化されます。内蔵周辺モジュールの各レジスタは初期化されません。BSC が影響を受けないため、マニュアルリセット状態を長時間継続しても DRAM のリフレッシュ制御機能が動作します。バスサイクルの途中でマニュアルリセット状態にすると、バスサイクルの終了を待ってからマニュアルリセット例外処理を開始します。したがって、マニュアルリセットによってバスサイクルが途中で止まることはありません。ただし、 $\overline{\text{MRES}}$ をいったんローレベルにしたら、バスサイクルが終了し、マニュアルリセット状態に入るまで、ローレベルを保持してください（最長バスサイクル以上の間、ローレベルにしてください）。マニュアルリセット状態での各端子の状態は「付録 C. 端子状態」を参照してください。

マニュアルリセット状態で、 $\overline{\text{MRES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU はパワーオンリセット例外処理と同じ手順で動作します。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.6 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.6 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令 フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ 読み出し / 書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
	DMAC	ロングワードデータをロングワード境界からアクセス	なし（正常）
		DTC	ロングワードデータをロングワード境界以外からアクセス
	DTC	ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	アドレスエラー発生
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生

【注】 * 内蔵周辺モジュール空間については、「第 10 章 バスステートコントローラ (BSC)」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPUは次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタをスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
- (3) 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

5.4 割り込み

5.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.7 に示すように NMI、ユーザブレイク、IRQ、内蔵周辺モジュールがあります。

表 5.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ	1
IRQ	$\overline{IRQ0} \sim \overline{IRQ7}$ 端子 (外部からの入力)	8
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ	4
	マルチファンクションタイマパルスユニット	24
	シリアルコミュニケーションインタフェース	8
	A/D 変換器	1 (2)*
	データトランスファコントローラ	1
	コンペアマッチタイマ	2
	ウォッチドッグタイマ	1
	バスステートコントローラ	1
	ポート	1

【注】 * A マスク品以外では、ADI の 1 要因。A マスク品では、ADI0、ADI1 の 2 要因となります。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 6 章 割り込みコントローラ (INTC)」の「表 6.3 割り込み例外処理ベクタと優先順位」を参照してください。

5.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル0～16の値で表され、優先レベル0が最低で、優先レベル16が最高です。NMI割り込みは、優先レベル16のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込みの優先レベルは15です。IRQ割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTCの割り込み優先レベル設定レジスタA～H（IPRA～IPRH）で自由に設定することができます（表5.8）。設定できる優先レベルは0～15で、優先レベル16は設定できません。IPRA～IPRHの詳細については「6.3.1 割り込み優先レベル設定レジスタA～H（IPRA～IPRH）」を参照してください。

表 5.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレイク	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタ
内蔵周辺モジュール		A～H（IPRA～IPRH）により設定

5.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ（INTC）によって優先順位が判定されます。NMIは常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ（SR）の割り込みマスクビット（I3～I0）に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPUはSRとプログラムカウンタ（PC）をスタックに退避し、受け付けた割り込みの優先レベル値をSRのI3～I0ビットに書き込みます。ただし、NMIの場合優先レベルは16ですが、I3～I0ビットに設定される値はHF（レベル15）です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理の詳細については「6.4 動作説明」を参照してください。

5.5 命令による例外

5.5.1 命令による例外の種類

例外処理を起動する命令には、表 5.9 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 5.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA
一般不当命令	遅延スロット以外にある未定義コード	

5.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、TRAPA 命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令がプログラムカウンタ（PC）を書き換える命令のときも、このPCを書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPUは次のように動作します。

- (1) ステータスレジスタ（SR）をスタックに退避します。
- (2) プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、未定義コードまたはPCを書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPUはスロット不当命令例外処理と同じ手順で動作します。ただし、退避するプログラムカウンタ（PC）の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6 例外処理が受け付けられない場合

アドレスエラーと割り込みは、表 5.10 に示すように、遅延分岐命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.10 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

発生した時点	例外要因	
	アドレスエラー	割り込み
遅延分岐命令*1の直後	×	×
割り込み禁止命令*2の直後		×

【注】 : 受け付けられる

×: 受け付けられない

*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

*2 割り込み禁止命令 : LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

5.6.1 遅延分岐命令の直後

遅延分岐命令直後（遅延スロット）に配置されている命令のデコード時は、アドレスエラーと割り込みの両方とも受け付けられません。遅延分岐命令とその直後（遅延スロット）にある命令は、必ず連続して実行され、この間に例外処理が行われることはありません。

5.6.2 割り込み禁止命令の直後

割り込み禁止命令直後の命令のデコード時は、割り込みは受け付けられません。アドレスエラーは受け付けられます。

5.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.11 に示すようになります。

表 5.11 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレス エラー		割り込み	
トラップ 命令		スロット 不当命令	
一般不当 命令			

5.8 使用上の注意

5.8.1 スタックポインタ (SP) の値

スタックポインタ (SP) の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外の場合、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.2 ベクタベースレジスタ (VBR) の値

ベクタベースレジスタ (VBR) の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外の場合、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

スタックポインタ (SP) が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (書き込み) は実行されます。ステータスレジスタ (SR) とプログラムカウンタ (PC) のスタッキングでは、SP がそれぞれ -4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされた書き込みデータは不定です。

6. 割り込みコントローラ (INTC)

第6章 目次

6.1	概要	89
6.1.1	特長	89
6.1.2	ブロック図	90
6.1.3	端子構成	91
6.1.4	レジスタ構成	91
6.2	割り込み要因	92
6.2.1	NMI割り込み	92
6.2.2	ユーザブレーク割り込み	92
6.2.3	IRQ割り込み	93
6.2.4	内蔵周辺モジュール割り込み	93
6.2.5	割り込み例外処理ベクタと優先順位	94
6.3	レジスタの説明	96
6.3.1	割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH)	96
6.3.2	割り込みコントロールレジスタ (ICR)	97
6.3.3	IRQ ステータスレジスタ (ISR)	99
6.4	動作説明	101
6.4.1	割り込み動作の流れ	101
6.4.2	割り込み例外処理終了後のスタックの状態	103
6.5	割り込み応答時間	104
6.6	割り込み要求信号によるデータ転送	106
6.6.1	割り込み要求信号を DTC の起動要因、CPU の割り込み要因とし、DMAC の起動要因としない場合	107
6.6.2	割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因、DTC の起動要因としない場合	107
6.6.3	割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因、	

	DMAC の起動要因としない場合	107
6.6.4	割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因、 DMAC の起動要因としない場合	107

6.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、これによりユーザが設定した優先順位に従って、割り込み要求を処理させることができます。

6.1.1 特長

INTC には、次のような特長があります。

割り込み優先順位を 16 レベル設定可能

8 本の割り込み優先レベル設定レジスタにより、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位を要求元別に 16 レベルまで設定することができます。

NMI ノイズキャンセラ機能

NMI 端子の状態を示す NMI 入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

割り込みが発生したことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)

例えば、本 LSI がバス権を解放しているときに、内蔵周辺モジュール割り込みが発生したことを外部バスマスタに知らせ、バス権を要求することができます。

6.1.2 ブロック図

INTCのブロック図を図6.1に示します。

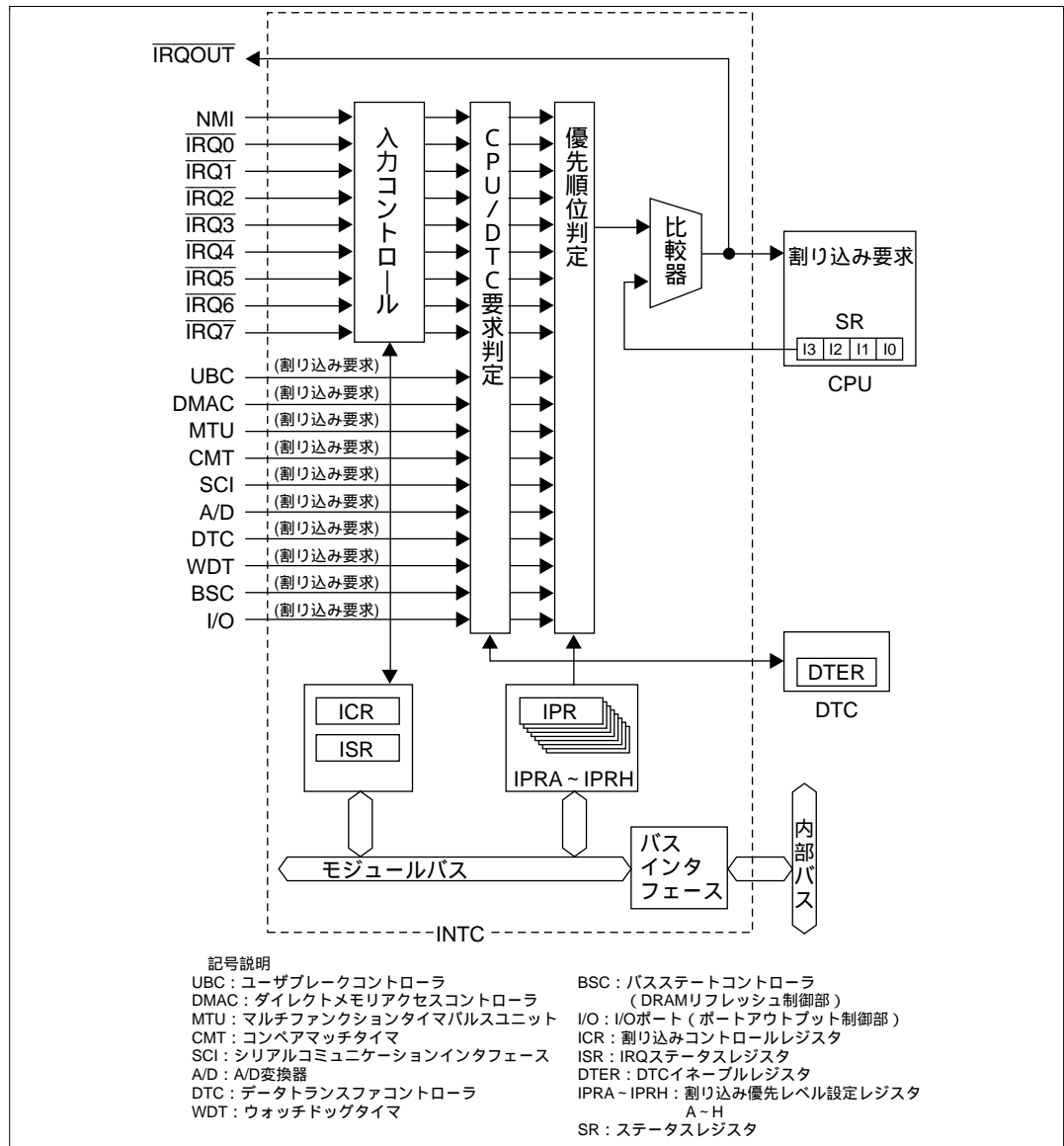


図 6.1 INTC のブロック図

6.1.3 端子構成

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み 入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	$\overline{IRQ0} \sim \overline{IRQ7}$	入力	マスク可能な割り込み要求信号を入力
割り込み要求出力端子	\overline{IRQOUT}	出力	割り込み要因の発生を知らせる信号を出力

6.1.4 レジスタ構成

INTC には、表 6.2 に示すように 10 本のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'0000	H'FFFF8348	8、16、32
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'0000	H'FFFF834A	8、16、32
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'0000	H'FFFF834C	8、16、32
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'0000	H'FFFF834E	8、16、32
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'0000	H'FFFF8350	8、16、32
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'0000	H'FFFF8352	8、16、32
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'0000	H'FFFF8354	8、16、32
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'0000	H'FFFF8356	8、16、32
割り込みコントロールレジスタ	ICR	R/W	*1	H'FFFF8358	8、16、32
IRQ ステータスレジスタ	ISR	R/(W)*2	H'0000	H'FFFF835A	8、16、32

【注】 *1 NMI 端子がハイレベルのとき：H'8000、ローレベルのとき：H'0000

*2 フラグをクリアするための 0 書き込みのみ可能です

6.2 割り込み要因

割り込み要因は、NMI、ユーザブレイク、IRQ、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は優先レベル値 (0~16) で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

6.2.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は15に設定されます。

6.2.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ (UBC) で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレイク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレイク例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は15に設定されます。ユーザブレイクの詳細は、「第7章 ユーザブレイクコントローラ (UBC)」を参照してください。

6.2.3 IRQ 割り込み

IRQ 割り込みは $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ 端子からの入力による割り込みです。割り込みコントロールレジスタ (ICR) の IRQ センスセレクトビット (IRQ0S ~ IRQ7S) の設定によって、端子ごとにローレベル検出あるいは立ち下がりエッジ検出を選択できます。また、割り込み優先レベル設定レジスタ A ~ B (IPRA ~ IPRB) によって、端子ごとに優先レベルを 0 ~ 15 の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ 端子がローレベルの期間 INTC に割り込み要求信号が送られます。IRQ 端子がハイレベルになると、割り込み要求信号は INTC に送られません。IRQ ステータスレジスタ (ISR) の IRQ フラグ (IRQ0F ~ IRQ7F) を読み出しすることにより割り込み要求のレベルを確認できます。

IRQ 割り込みを立ち下がりエッジ検出に設定している場合、IRQ 端子のハイレベルからローレベルの変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されません。また、IRQ ステータスレジスタ (ISR) の IRQ フラグ (IRQ0F ~ IRQ7F) を読み出すことにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 読み出し後に 0 を書き込むことにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) は、受け付けた IRQ 割り込みの優先レベル値に設定されます。

6.2.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ・ダイレクトメモリアクセスコントローラ (DMAC)
- ・マルチファンクションタイマパルスユニット (MTU)
- ・コンペアマッチタイマ (CMT)
- ・シリアルコミュニケーションインタフェース (SCI)
- ・A/D 変換器 (A/D)
- ・データトランスファコントローラ (DTC)
- ・ウォッチドッグタイマ (WDT)
- ・バスステートコントローラ (BSC)
- ・I/O ポート (I/O)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ C~H (IPRC~IPRH) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.2.5 割り込み例外処理ベクタと優先順位

表 6.3 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 5 章 例外処理」の「表 5.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A~H (IPRA~IPRH) によって、端子またはモジュールごとに、優先レベル 0~15 の範囲で任意に設定できます。ただし、IPRC~IPRH に対応する割り込み要因の優先順位は、表 6.3 の「IPR 設定単位内の優先順位」に示すように定められており、変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.3 に示す「デフォルト優先順位」に従って処理されます。

表 6.3 割り込み例外ベクタと優先順位

割り込み要因	割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 範囲内の 優先順位	デフォルト 優先順位			
	ベクタ 番号	ベクタテーブルアドレス オフセット							
NMI	11	H'0000002C ~ H'0000002F	16	-	-	高 ↑ ↓ 低			
ユーザブ레이크	12	H'00000030 ~ H'00000033	15	-	-				
IRQ0	64	H'00000100 ~ H'00000103	0~15 (0)	IPRA(15-12)	-				
IRQ1	65	H'00000104 ~ H'00000107	0~15 (0)	IPRA(11-8)	-				
IRQ2	66	H'00000108 ~ H'0000010B	0~15 (0)	IPRA(7-4)	-				
IRQ3	67	H'0000010C ~ H'0000010F	0~15 (0)	IPRA(3-0)	-				
IRQ4	68	H'00000110 ~ H'00000113	0~15 (0)	IPRB(15-12)	-				
IRQ5	69	H'00000114 ~ H'00000117	0~15 (0)	IPRB(11-8)	-				
IRQ6	70	H'00000118 ~ H'0000011B	0~15 (0)	IPRB(7-4)	-				
IRQ7	71	H'0000011C ~ H'0000011F	0~15 (0)	IPRB(3-0)	-				
DMAC0	DEI0	72	H'00000120 ~ H'00000123	0~15 (0)	IPRC(15-12)		-		
DMAC1	DEI1	76	H'00000130 ~ H'00000133	0~15 (0)	IPRC(11-8)		-		
DMAC2	DEI2	80	H'00000140 ~ H'00000143	0~15 (0)	IPRC(7-4)		-		
DMAC3	DEI3	84	H'00000150 ~ H'00000153	0~15 (0)	IPRC(3-0)		-		
MTU0	TGI0A	88	H'00000160 ~ H'00000163	0~15 (0)	IPRD(15-12)		↑ 高		
	TGI0B	89	H'00000164 ~ H'00000167				↓ 低		
	TGI0C	90	H'00000168 ~ H'0000016B				-		
	TGI0D	91	H'0000016C ~ H'0000016F				-		
	TCI0V	92	H'00000170 ~ H'00000173				0~15 (0)	IPRD(11-8)	-
MTU1	TGI1A	96	H'00000180 ~ H'00000183	0~15 (0)	IPRD(7-4)		↑ 高		
	TGI1B	97	H'00000184 ~ H'00000187				↓ 低		
	TCI1V	100	H'00000190 ~ H'00000193				0~15 (0)	IPRD(3-0)	↑ 高
	TCI1U	101	H'00000194 ~ H'00000197						↓ 低
MTU2	TGI2A	104	H'000001A0 ~ H'000001A3	0~15 (0)	IPRE(15-12)		↑ 高		
	TGI2B	105	H'000001A4 ~ H'000001A7				↓ 低		
	TCI2V	108	H'000001B0 ~ H'000001B3				0~15 (0)	IPRE(11-8)	↑ 高
	TCI2U	109	H'000001B4 ~ H'000001B7						↓ 低
MTU3	TGI3A	112	H'000001C0 ~ H'000001C3	0~15 (0)	IPRE(7-4)		↑ 高		
	TGI3B	113	H'000001C4 ~ H'000001C7				↓ 低		
	TGI3C	114	H'000001C8 ~ H'000001CB				-		
	TGI3D	115	H'000001CC ~ H'000001CF				-		
	TCI3V	116	H'000001D0 ~ H'000001D3			0~15 (0)	IPRE(3-0)	-	
MTU4	TGI4A	120	H'000001E0 ~ H'000001E3	0~15 (0)	IPRF(15-12)	↑ 高			
	TGI4B	121	H'000001E4 ~ H'000001E7			↓ 低			
	TGI4C	122	H'000001E8 ~ H'000001EB			-			
	TGI4D	123	H'000001EC ~ H'000001EF			-			
	TCI4V	124	H'000001F0 ~ H'000001F3			0~15 (0)	IPRF(11-8)	↑ 高	
	予約	125	H'000001F4 ~ H'000001F7					↓ 低	
SCI0	ERI0	128	H'00000200 ~ H'00000203	0~15 (0)	IPRF(7-4)	↑ 高			
	RX10	129	H'00000204 ~ H'00000207			↓ 低			
	TX10	130	H'00000208 ~ H'0000020B			-			
	TEI0	131	H'0000020C ~ H'0000020F			-			
SCI1	ERI1	132	H'00000210 ~ H'00000213	0~15 (0)	IPRF(3-0)	↑ 高			
	RX11	133	H'00000214 ~ H'00000217			↓ 低			
	TX11	134	H'00000218 ~ H'0000021B			-			
	TEI1	135	H'0000021C ~ H'0000021F			-			
A/D*	ADI	136	H'00000220 ~ H'00000223	0~15 (0)	IPRG(15-12)	-			
DTC	SWDTCE	140	H'00000230 ~ H'00000233	0~15 (0)	IPRG(11-8)	-			
CMT0	CMIO	144	H'00000240 ~ H'00000243	0~15 (0)	IPRG(7-4)	-			
CMT1	CMI1	148	H'00000250 ~ H'00000253	0~15 (0)	IPRG(3-0)	-			
WDT	ITI	152	H'00000260 ~ H'00000263	0~15 (0)	IPRH(15-12)	↑ 高			
BSC	CMI	153	H'00000264 ~ H'00000267	0~15 (0)	IPRH(11-8)	↓ 低			
I/O	OEI	156	H'00000270 ~ H'00000273	0~15 (0)	IPRH(11-8)	-			

【注】 * Aマスク品以外の場合です。Aマスク品では、以下のようになります。

A/D	ADI0	136	H'00000220 ~ H'00000223	0~15 (0)	IPRG(15-12)	↑ 高
	ADI1	137	H'00000224 ~ H'00000227	0~15 (0)		↓ 低

6.3 レジスタの説明

6.3.1 割り込み優先レベル設定レジスタ A~H (IPRA~IPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み優先レベル設定レジスタ A~H (IPRA~IPRH) は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0~15) を設定します。割り込み要求元と IPRA~IPRH の各ビットの対応を表 6.4 に示します。

表 6.4 割り込み要求元と IPRA~IPRH

レジスタ	ビット			
	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ B	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ C	DMAC0	DMAC1	DMAC2	DMAC3
割り込み優先レベル設定レジスタ D	MTU0	MTU0	MTU1	MTU1
割り込み優先レベル設定レジスタ E	MTU2	MTU2	MTU3	MTU3
割り込み優先レベル設定レジスタ F	MTU4	MTU4	SCI0	SCI1
割り込み優先レベル設定レジスタ G	A/D (A/D0、A/D1)*	DTC	CMT0	CMT1
割り込み優先レベル設定レジスタ H	WDT, BSC	I/O	予約	予約

【注】 * A マスク品以外では A/D、A マスク品では A/D0、A/D1 となります。

表 6.4 に示すように、1 本のレジスタに 4 つの $\overline{\text{IRQ}}$ 端子、または 4 組の内蔵周辺モジュールが割り当てられています。ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。複数の内蔵周辺モジュールが同じビットに割り当てられている場合 (WDT と BSC)、その複数のモジュールは同じ優先順位に設定されます。

IPRA~IPRH は、パワーオンリセットおよびマニュアルリセットで H'0000 に初期化されます。スタンバイモードでは初期化されません。

6.3.2 割り込みコントロールレジスタ (ICR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL							NMIE	IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * NMI端子がハイレベルのとき1、ローレベルのとき0

割り込みコントロールレジスタ (ICR) は、16 ビットのレジスタで、外部割り込み入力端子 NMI と $\overline{IRQ0} \sim \overline{IRQ7}$ の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR はパワーオンリセットおよびマニュアルリセットで初期化されます。スタンバイモードでは初期化されません。

ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

ビット 15	説 明
NMIL	
0	NMI 端子にローレベルが入力されている
1	NMI 端子にハイレベルが入力されている

ビット 14 ~ 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット8 : NMIエッジセレクト (NMIE)

ビット 8	説 明
NMIE	
0	NMI 入力の立ち下がリエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット7~0 : IRQ0~IRQ7センスセレクト (IRQ0S~IRQ7S)

IRQ0~IRQ7 割り込み要求の検出モードを設定します。

ビット7~0	説 明
IRQ0S~IRQ7S	
0	IRQ 入力のローレベルで割り込み要求を検出 (初期値)
1	IRQ 入力の立ち下がリエッジで割り込み要求を検出

6.3.3 IRQ ステータスレジスタ (ISR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ ステータスレジスタ (ISR) は 16 ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ の割り込み要求のステータスを示します。IRQ 割り込みをエッジ検出に設定している場合、 $\text{IRQnF}=1$ を読み出した後、 IRQnF に 0 を書き込むことにより、保持されている割り込み要求を取り下げることができます。

ISR はパワーオンリセットおよびマニュアルリセットで初期化されます。スタンバイモードでは初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7~0 : IRQ0~IRQ7 フラグ (IRQ0F~IRQ7F)

IRQ0~IRQ7 割り込み要求のステータスを表示します。

ビット 7~0	検出設定	説明
IRQ0F ~ IRQ7F		
0	レベル検出時	IRQn 割り込み要求が存在しません。 [クリア条件] $\overline{\text{IRQn}}$ 入力がハイレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されていません。 (初期値) [クリア条件] (1) $\text{IRQnF}=1$ の状態を読み出した後に 0 を書き込むとき (2) IRQn 割り込み例外処理を実行したとき (3) IRQn 割り込みによる DTC 転送を実行したとき
1	レベル検出時	IRQn 割り込み要求が存在します。 [セット条件] $\overline{\text{IRQn}}$ 入力がローレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されています。 [セット条件] $\overline{\text{IRQn}}$ 入りに立ち下がりエッジが発生したとき

6. 割り込みコントローラ (INTC)

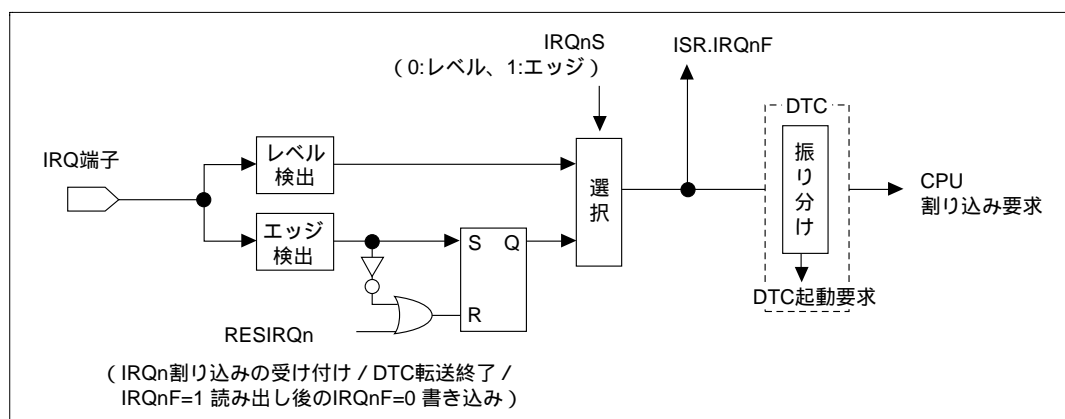


図 6.2 IRQ0 ~ IRQ7 割り込み制御

6.4 動作説明

6.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.3 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ A~H (IPRA ~ IPRH) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 6.3 に示す「デフォルト優先順位」と「IPR 設定単位内の優先順位」に従って、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
- (5) 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図 6.4 参照)。
- (6) ステータスレジスタ (SR) とプログラムカウンタ (PC) がスタックに退避されます。
- (7) SR の I3 ~ I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
- (8) 受け付けられた割り込みがレベルセンスまたは内蔵周辺モジュールからの割り込みだった場合、 $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。なお、受け付けた割り込みがエッジセンスだった場合は、(5) で CPU が実行しようとしていた命令を割り込み例外処理に置き換えた時点で $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。ただし、割り込みコントローラが受け付け中の割り込みよりレベルの高い他の割り込みを受け付けているときは、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。
- (9) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (ISR) のアクセスにより取り下げることができます。詳しくは「6.2.3 IRQ 割り込み」を参照してください。

また、エッジ検出により保留されている割り込みはパワーオンリセットおよびマニュアルリセットでクリアされます。

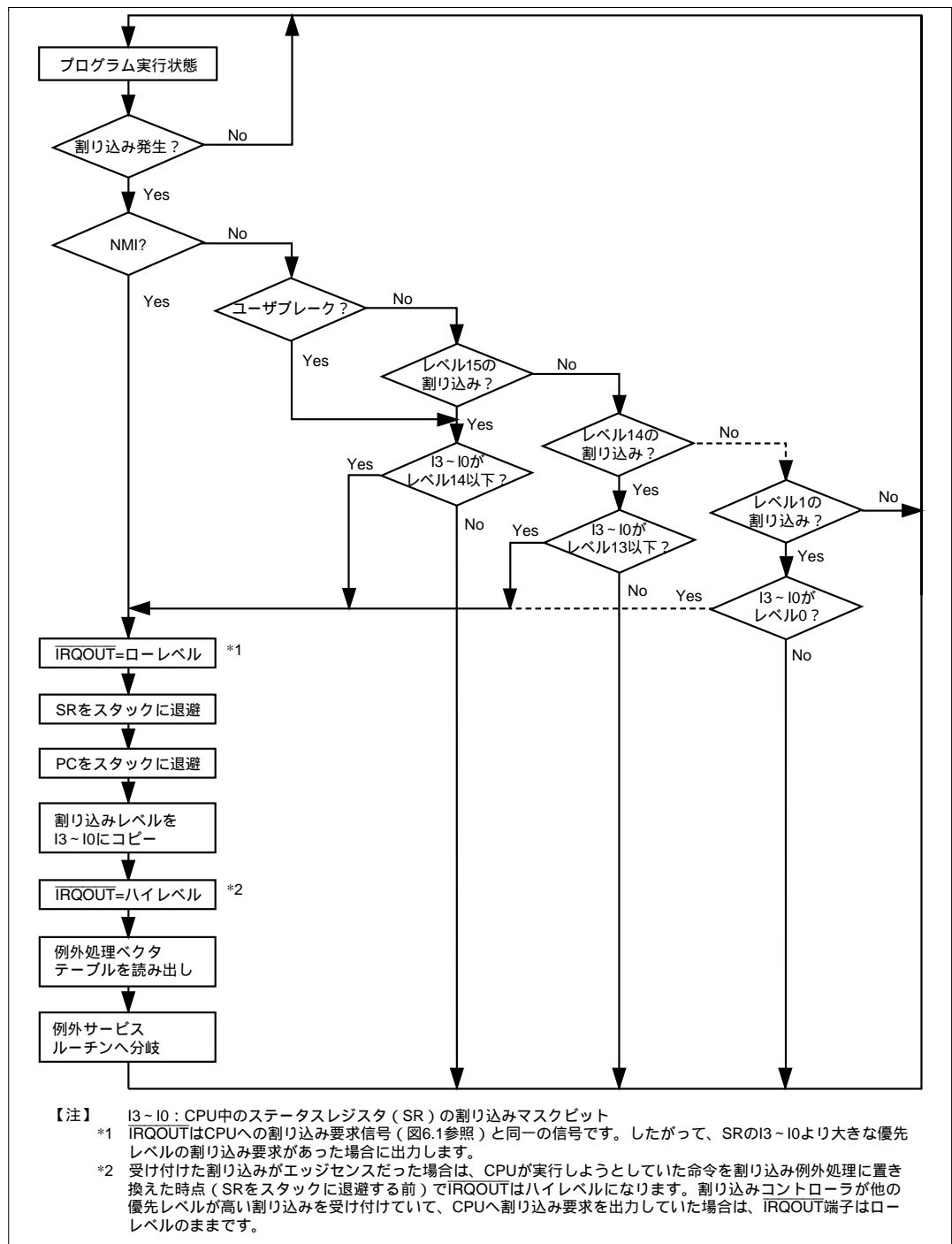


図 6.3 割り込み動作フロー

6.4.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.4 に示すようになります。

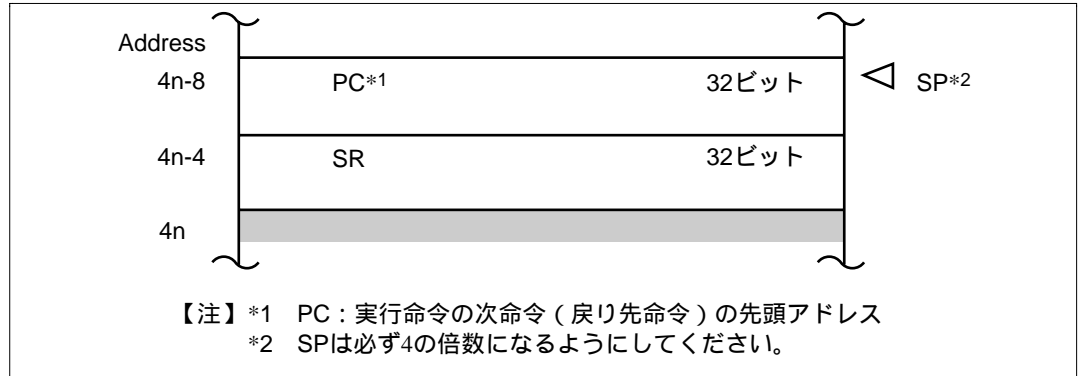


図 6.4 割り込み例外処理終了後のスタック状態

6.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.5 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 6.5 に示します。

表 6.5 割り込み応答時間

項目	ステート数備考		備考	
	NMI、周辺モジュール	IRQ		
DMAC / DTC の起動判定	0 または 1	1	DMAC / DTC 起動が可能な割り込み信号の場合 1 ステート必要です。	
優先順位判定および SR のマスクビットとの比較時間	2	3		
CPU が実行中のシーケンス終了までの待ち時間	X (0)		最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X=4+m1+m2+m3+m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。	
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	5+m1+m2+m3		SR、PC の退避とベクタアドレスのフェッチを行います。	
応答時間	合計	7+m1+m2+m3	9+m1+m2+m3	
	最小時	10	12	28.7MHz 動作時： 0.35 ~ 0.42 μ s
	最大時	12+2 (m1+m2+m3) +m4	13+2 (m1+m2+m3) +m4	28.7MHz 動作時： 0.67 ~ 0.70 μ s*

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : SR の退避 (ロングワード書き込み)

m2 : PC の退避 (ロングワード書き込み)

m3 : ベクタアドレス読み出し (ロングワード読み出し)

m4 : 割り込みサービスルーチン先頭命令のフェッチ

* m1=m2=m3=m4=1 の場合

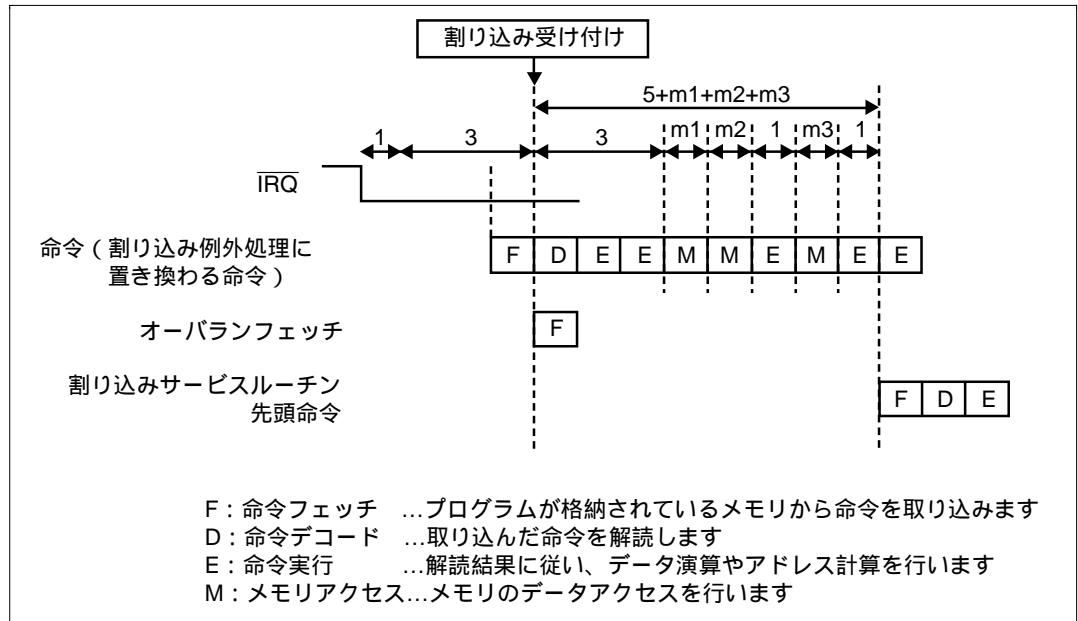


図 6.5 IRQ 割り込みを受け付けるときのパイプライン動作例

6.6 割り込み要求信号によるデータ転送

割り込み要求信号により、以下のデータ転送を行うことができます。

- ・ DMAC のみ起動、CPU 割り込みは発生しない
- ・ DTC のみ起動、CPU 割り込みは DTC の設定による

割り込み要因の中で、DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。マスク条件は次のように表されます。

$$\text{マスク条件} = \text{DME} \cdot (\text{DE0} \cdot \text{要因選択0} + \text{DE1} \cdot \text{要因選択1} + \text{DE2} \cdot \text{要因選択2} + \text{DE3} \cdot \text{要因選択3})$$

INTC は、対応する DTE のビットが 1 のときは CPU 割り込みをマスクします。DTE クリア条件と割り込み要因フラグクリア条件は次のように表されます。

$$\text{DTE クリア条件} = \text{DTC 転送終了} \cdot \text{DTECLR}$$

$$\text{割り込み要因フラグクリア条件} = \text{DTC 転送終了} \cdot \overline{\text{DTECLR}} + \text{DMAC 転送終了}$$

ただし、 $\text{DTECLR} = \text{DISEL} + \text{カウンタ0}$

制御ブロック図を図 6.6 に示します。

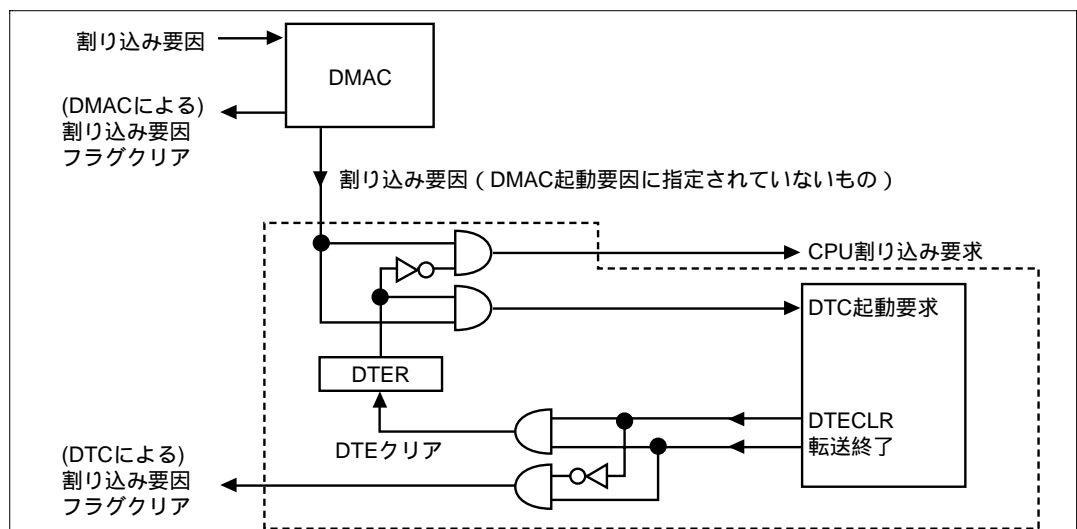


図 6.6 割り込み制御ブロック図

6.6.1 割り込み要求信号を DTC の起動要因、CPU の割り込み要因とし、DMAC の起動要因としない場合

- (1) DMAC で要因を選択しないか、または DME ビットを 0 にクリアします。
- (2) DTC は対応する DTE ビット、および DIESEL ビットを 1 にセットします。
- (3) 割り込みが発生すると、DTC に起動要因が与えられます。
- (4) DTC は、データ転送を行うと DTE ビットを 0 にクリアし、CPU に割り込みを要求します。起動要因はクリアしません。
- (5) CPU は割り込み処理ルーチンで、割り込み要因をクリアします。その後、転送カウンタの値を確認します。転送カウンタの値 0 のとき、DTE ビットを 1 にセットして、次のデータ転送を許可します。また、転送カウンタの値 = 0 であれば、割り込み処理ルーチンで所要の終了処理をします。

6.6.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因、DTC の起動要因としない場合

- (1) DMAC で要因を選択し、DME=1 にセットします。割り込み優先レベルレジスタの設定、DTC のレジスタ設定によらず CPU 割り込み要因、DTC 起動要因はマスクされます。
- (2) 割り込みが発生すると、DMAC に起動要因が与えられます。
- (3) DMAC は、転送時に起動要因をクリアします。

6.6.3 割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因、DMAC の起動要因としない場合

- (1) DMAC で要因を選択しないか、または DME ビットを 0 にクリアします。
- (2) DTC は対応する DTE ビットを 1 にセットし、DIESEL ビットを 0 にクリアします。
- (3) 割り込みが発生すると、DTC に起動要因が与えられます。
- (4) DTC は、データ転送を行うと、起動要因をクリアします。DTE ビットは 1 に保持されているため、CPU には割り込みは要求されません。
- (5) ただし、転送カウンタ = 0 のとき、DTE ビットを 0 にクリアし、CPU に割り込みを要求します。
- (6) CPU は割り込み処理ルーチンで、所要の終了処理をします。

6.6.4 割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因、DMAC の起動要因としない場合

- (1) DMAC で要因を選択しないか、または DME ビットを 0 にクリアします。
- (2) DTC は対応する DTE ビットを 0 にクリアします。
- (3) 割り込みが発生すると、CPU に割り込みを要求します。
- (4) CPU は割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

7. ユーザブ레이크コントローラ (UBC)

第7章 目次

7.1	概要	111
7.1.1	特長	111
7.1.2	ブロック図	112
7.1.3	レジスタ構成	112
7.2	レジスタの説明	113
7.2.1	ユーザブ레이크アドレスレジスタ (UBAR)	113
7.2.2	ユーザブ레이크アドレスマスクレジスタ (UBAMR)	114
7.2.3	ユーザブ레이크バスサイクルレジスタ (UBBR)	115
7.3	動作説明	118
7.3.1	ユーザブ레이크動作の流れ	118
7.3.2	内蔵メモリの命令フェッチサイクルによるブ레이크	120
7.3.3	退避するプログラムカウンタ (PC) の値	120
7.4	ユーザブ레이크使用例	121
7.5	使用上の注意	124
7.5.1	2命令同時フェッチ	124
7.5.2	分岐時の命令フェッチ	124
7.5.3	ユーザブ레이크と例外処理の競合	125
7.5.4	非遅延分岐命令の飛び先でのブ레이크	125

7.1 概要

ユーザブレイクコントローラ (UBC) は、ユーザのプログラムデバッグを容易にする機能を提供します。UBC にブレイク条件を設定すると、CPU または DMAC および DTC によるバスサイクルの内容に応じて、ユーザブレイク割り込みが発生します。この機能を使用することによって、高機能のセルフモニタデバッグを容易に作成でき、大規模なインサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

7.1.1 特長

UBC には、次のような特長があります。

次のブレイク条件を設定可能

アドレス

CPU サイクルまたは DMA/DTC サイクル

命令フェッチまたはデータアクセス

読み出しまたは書き込み

オペランドサイズ (ロングワード、ワード、バイト)

ブレイク条件成立により、ユーザブレイク割り込みを発生

ユーザが作成したユーザブレイク割り込み例外ルーチンを実行させることができます。

CPU の命令フェッチにブレイクをかけると、その命令の手前でブレイク

7.1.2 ブロック図

UBCのブロック図を図7.1に示します。

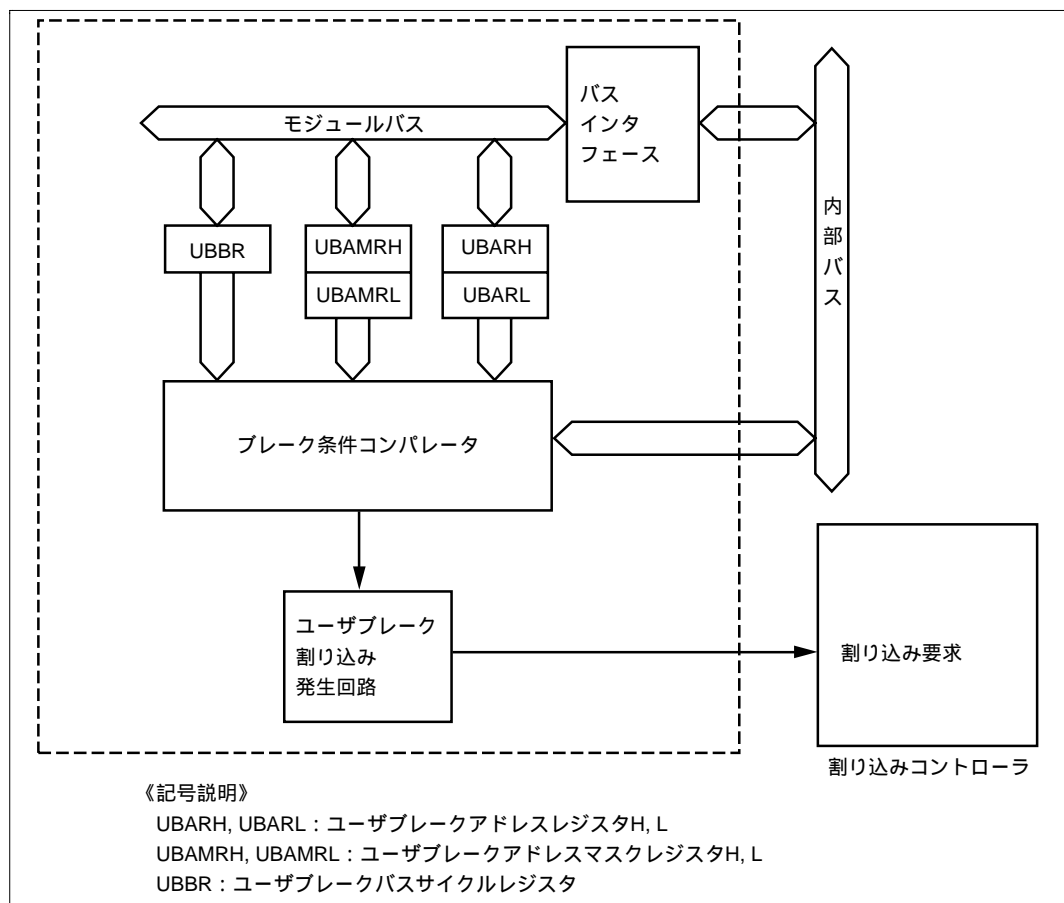


図 7.1 UBCのブロック図

7.1.3 レジスタ構成

UBCには、表7.1に示すように5本のレジスタがあります。これらのレジスタにより、ブレイク条件を設定します。

表 7.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ユーザブレイクアドレスレジスタH	UBARH	R/W	H'0000	H'FFFF8600	8、16、32
ユーザブレイクアドレスレジスタL	UBARL	R/W	H'0000	H'FFFF8602	8、16、32
ユーザブレイクアドレスマスクレジスタH	UBAMRH	R/W	H'0000	H'FFFF8604	8、16、32
ユーザブレイクアドレスマスクレジスタL	UBAMRL	R/W	H'0000	H'FFFF8606	8、16、32
ユーザブレイクバスサイクルレジスタ	UBBR	R/W	H'0000	H'FFFF8608	8、16、32

7.2 レジスタの説明

7.2.1 ユーザブ레이크アドレスレジスタ (UBAR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8	UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブ레이크アドレスレジスタ (UBAR) は、ユーザブ레이크アドレスレジスタ H (UBARH) とユーザブ레이크アドレスレジスタ L (UBARL) の 2 本で 1 組となっています。UBARH と UBARL は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、UBARH はブ레이크条件とするアドレスの上位側 (ビット 31~16) を指定し、UBARL はアドレスの下位側 (ビット 15~0) を指定します。UBARH と UBARL は、パワーオンリセットで H'0000 に初期化されます。マニュアルリセットおよびスタンバイモードでは、初期化されません。

UBARH ビット 15~0 : ユーザブ레이크アドレス 31~16 (UBA31~UBA16)
ブ레이크条件とするアドレスの上位側 (ビット 31~16) を格納します。

UBARL ビット 15~0 : ユーザブ레이크アドレス 15~0 (UBA15~UBA0)
ブ레이크条件とするアドレスの下位側 (ビット 15~0) を格納します。

7.2.2 ユーザブ레이크アドレスマスクレジスタ (UBAMR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24	UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8	UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブ레이크アドレスマスクレジスタ (UBAMR) は、ユーザブ레이크アドレスマスクレジスタ H (UBAMRH) とユーザブ레이크アドレスマスクレジスタ L (UBAMRL) の 2 本で 1 組となっています。UBAMRH と UBAMRL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。UBAMRH は UBARH に設定されているブ레이크アドレスのどのビットをマスクするかを指定し、UBAMRL は UBARL に設定されているブ레이크アドレスのどのビットをマスクするかを指定します。UBAMRH と UBAMRL は、パワーオンリセットで H'0000 に初期化されます。マニュアルリセットおよびスタンバイモードでは、初期化されません。

UBAMRH ビット 15~0 : ユーザブ레이크アドレスマスク 31~16 (UBM31~UBM16)

UBARH に設定されているユーザブ레이크アドレス 31~16 (UBA31~UBA16) の各ビットをマスクするかどうかを指定します。

UBAMRL ビット 15~0 : ユーザブ레이크アドレスマスク 15~0 (UBM15~UBM0)

UBARL に設定されているユーザブ레이크アドレス 15~0 (UBA15~UBA0) の各ビットをマスクするかどうかを指定します。

ビット 15~0	説明
UBMn	
0	ユーザブ레이크アドレス UBA _n をブ레이크条件に含む (初期値)
1	ユーザブ레이크アドレス UBA _n をブ레이크条件に含めない

n = 31 ~ 0

7.2.3 ユーザブ레이크バスサイクルレジスタ (UBBR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブ레이크バスサイクルレジスタ (UBBR) は読み出し / 書き込み可能な 16 ビットのレジスタで、ブ레이크条件のうち (1) CPU サイクル / DMA・DTC サイクル (2) 命令フェッチ / データアクセス (3) 読み出し / 書き込み (4) オペランドサイズ (バイト、ワード、ロングワード) の 4 条件を設定します。UBBR は、パワーオンリセットで H'0000 に初期化されます。マニュアルリセットおよびスタンバイモードでは、初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7. ユーザブレイクコントローラ (UBC)

ビット7、6：CPUサイクル/周辺サイクルセレクト (CP1、CP0)

CPUサイクルまたは周辺サイクル (DMAサイクル/DTCサイクル) をブレイク条件に指定します。

ビット7	ビット6	説 明
CP1	CP0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	CPUサイクルをブレイク条件とする
1	0	周辺サイクルをブレイク条件とする
	1	CPUサイクルと周辺サイクルのどちらもブレイク条件とする

ビット5、4：命令フェッチ/データアクセスセレクト (ID1、ID0)

命令フェッチサイクルまたはデータアクセスサイクルをブレイク条件に指定します。

ビット5	ビット4	説 明
ID1	ID0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	命令フェッチサイクルをブレイク条件とする
1	0	データアクセスサイクルをブレイク条件とする
	1	命令フェッチサイクルとデータアクセスサイクルのどちらもブレイク条件とする

ビット3、2：読み出し/書き込みセレクト (RW1、RW0)

読み出しサイクルまたは書き込みサイクルをブレイク条件に指定します。

ビット3	ビット2	説 明
RW1	RW0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	読み出しサイクルをブレイク条件とする
1	0	書き込みサイクルをブレイク条件とする
	1	読み出しサイクルと書き込みサイクルのどちらもブレイク条件とする

ビット1、0：オペランドサイズセレクト (SZ1、SZ0)
ブ레이크条件にするオペランドサイズを指定します。

ビット1	ビット0	説明
RW1	RW0	
0	0	ブ레이크条件にオペランドサイズを含まない (初期値)
	1	バイトアクセスをブ레이크条件とする
1	0	ワードアクセスをブ레이크条件とする
	1	ロングワードアクセスをブ레이크条件とする

【注】 命令フェッチでブ레이크をかける場合は、SZ0 ビットを0にしてください。すべての命令は、ワードサイズでアクセスされるものとみなされます (内蔵メモリに命令があって、1回のバスサイクルで同時に2命令フェッチする場合もワードでアクセスされるものとみなされます)。

オペランドサイズは、命令の場合はワード、CPU/DMAC・DTCのデータアクセスはその指定したオペランドサイズで決まります。アクセスする空間のバス幅によって決まるものではありません。

7.3 動作説明

7.3.1 ユーザブレーク動作の流れ

ブレーク条件の設定からユーザブレーク割り込み例外処理までの流れを以下に示します。

- (1) ブレーク条件のうち、ユーザブレークアドレスをユーザブレークアドレスレジスタ (UBAR)、アドレスの中のマスクしたいビットをユーザブレークアドレスマスクレジスタ (UBAMR)、ブレークするバスサイクルの種類をユーザブレークバスサイクルレジスタ (UBBR) に設定してください。UBBR の CPU サイクル / 周辺サイクルセレクトビット (CP1、CP0)、命令フェッチ / データアクセスセレクトビット (ID1、ID0)、読み出し / 書き込みセレクトビット (RW1、RW0) のいずれか 1 組でも 00 (ユーザブレーク割り込みは発生させない) にセットされていると、他の条件が一致してもユーザブレーク割り込みは発生しません。ユーザブレーク割り込みを使用したいときは、必ずこれら 3 組のビットすべてに条件を設定してください。
- (2) UBC は、設定した条件が成立したかどうかを図 7.2 に示す方式で判定します。ブレーク条件が成立すると、UBC は割り込みコントローラ (INTC) に、ユーザブレーク割り込み要求信号を送ります。
- (3) ユーザブレーク割り込み要求信号を受け取ると、INTC は優先順位の判定を行います。ユーザブレーク割り込みは優先レベル 15 なので、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) がレベル 14 以下のとき、受け付けられます。I3 ~ I0 ビットがレベル 15 のとき、ユーザブレーク割り込みは受け付けられませんが、受け付けられるようになるまで保留されます。したがって、NMI 例外処理では、I3 ~ I0 ビットはレベル 15 になりますので、NMI 例外サービスルーチン中はユーザブレーク割り込みは受け付けられません。ただし、NMI 例外サービスルーチンの先頭で I3 ~ I0 ビットをレベル 14 以下に変更すれば、それ以後ユーザブレーク割り込みが受け付けられるようになります。優先順位判定の詳細については、「第 6 章 割り込みコントローラ (INTC)」を参照してください。
- (4) INTC は、ユーザブレーク割り込みの要求信号を CPU に送ります。これを受け取ると、CPU はユーザブレーク割り込み例外処理を開始します。割り込み例外処理の詳細については、「6.4 動作説明」を参照してください。

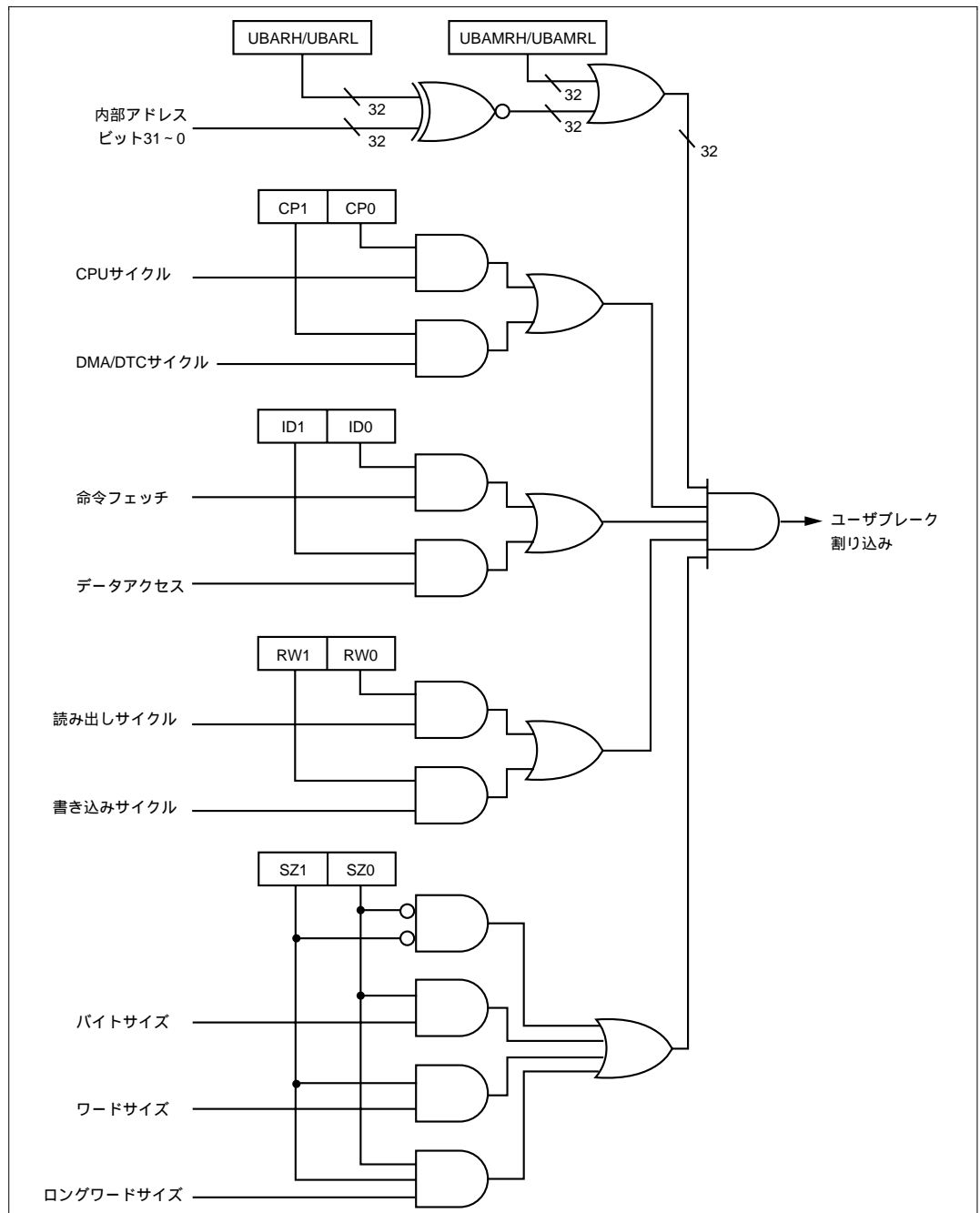


図 7.2 ブレイク条件判定方式

7.3.2 内蔵メモリの命令フェッチサイクルによるブレーク

内蔵メモリ (内蔵 ROM、内蔵 RAM) は、常に 32 ビットを 1 回のバスサイクルでアクセスします。したがって、命令を内蔵メモリからフェッチする場合、1 回のバスサイクルで 2 命令が取り込まれます。このとき、1 回のバスサイクルしか発生しませんが、両命令とも、それぞれの先頭アドレスをユーザブレークアドレスレジスタ (UBAR) に設定することによって、独立してブレークをかけることができます。言い換えると、1 回のバスサイクルで取り込まれた 2 命令のうち、後半の命令でブレークをかけたいとき、UBAR にはその命令の先頭アドレスを設定してください。これにより、前半の命令を実行した後、ブレークがかかるようになります。

7.3.3 退避するプログラムカウンタ (PC) の値

(1) 命令フェッチをブレーク条件に設定した場合

ユーザブレーク割り込み例外処理で退避されるプログラムカウンタ (PC) の値は、ブレーク条件に設定したアドレスです。このとき、フェッチされた命令は実行されず、その手前でユーザブレーク割り込みが発生します。ただし、遅延分岐命令直後 (遅延スロット) に配置された命令のフェッチサイクルまたは割り込み禁止命令の次命令のフェッチサイクルをブレーク条件に設定した場合、ユーザブレーク割り込みはすぐには受け付けられず、ブレーク条件を設定した命令は実行されます。このとき、ユーザブレーク割り込みは、割り込みを受け付けられる命令が実行されてから受け付けられます。この場合、退避される PC の値は、その割り込みを受け付けられる命令の次に実行されることになっていた命令の先頭アドレスです。

(2) データアクセス (CPU / 周辺) をブレーク条件に設定した場合

ユーザブレーク例外処理が起動した時点における実行済み命令の次命令の先頭アドレスが退避されます。データアクセス (CPU / 周辺) をブレーク条件に設定した場合、ブレークがかかる場所は特定することができません。ブレークするデータアクセスが発生した付近でフェッチしようとしていた命令がブレークされます。

7.4 ユーザブレイク使用例

(1) CPU 命令フェッチサイクルへのブレイク条件設定

(a) レジスタの設定 : UBARH = H'0000

UBARL = H'0404

UBBR = H'0054

設定された条件 : アドレス : H'00000404

バスサイクル : CPU、命令フェッチ、読み出し (オペランドサイズは条件に含まない)

アドレス H'00000404 にある命令の手前でユーザブレイク割り込みが発生します。アドレス H'00000402 にある命令が割り込み受け付け可能ならば、この命令実行後、ユーザブレイク例外処理を実行します。H'00000404 にある命令は実行されません。退避される PC の値は H'00000404 です。

(b) レジスタの設定 : UBARH = H'0015

UBARL = H'389C

UBBR = H'0058

設定された条件 : アドレス : H'0015389C

バスサイクル : CPU、命令フェッチ、書き込み (オペランドサイズは条件に含まない)

命令フェッチサイクルは書き込みサイクルではないので、ユーザブレイク割り込みは発生しません。

(c) レジスタの設定 : UBARH = H'0003

UBARL = H'0147

UBBR = H'0054

設定された条件 : アドレス : H'00030147

バスサイクル : CPU、命令フェッチ、読み出し (オペランドサイズは条件に含まない)

命令フェッチは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。ただし、分岐後初めて命令フェッチするアドレスがこの条件に設定した奇数アドレスの場合、アドレスエラー例外処理後、ユーザブレイク割り込み例外処理が行われます。

(2) CPU データアクセスサイクルへのブレイク条件設定

(a) レジスタの設定 : UBARH = H'0012

UBARL = H'3456

UBBR = H'006A

設定された条件 : アドレス : H'00123456

バスサイクル : CPU、データアクセス、書き込み、ワード

アドレス H'00123456 にワードデータを書き込むと、ユーザブレイク割り込みが発生します。

(b) レジスタの設定 : UBARH = H'00A8

UBARL = H'0391

UBBR = H'0066

設定された条件 : アドレス : H'00A80391

バスサイクル : CPU、データアクセス、読み出し、ワード

ワードアクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

(3) DMA/DTC サイクルへのブ레이크条件設定

(a) レジスタの設定 : UBARH = H'0076

UBARL = H'BCDC

UBBR = H'00A7

設定された条件 : アドレス : H'0076BCDC

バスサイクル : DMA/DTC、データアクセス、読み出し、ロングワード

アドレス H'0076BCDC からロングワードデータを読み出すと、ユーザブ레이크割り込みが発生します。

(b) レジスタの設定 : UBARH = H'0023

UBARL = H'45C8

UBBR = H'0094

設定された条件 : アドレス : H'002345C8

バスサイクル : DMA/DTC、命令フェッチ、読み出し (オペランドサイズは条件に含まない)

DMA/DTC サイクルでは命令フェッチは行われないので、ユーザブ레이크割り込みは発生しません。

7.5 使用上の注意

7.5.1 2 命令同時フェッチ

命令フェッチの際、2 命令が同時に取り込まれる場合があります。このとき、この 2 命令のうち、後半命令のフェッチをブレイク条件に設定していた場合、前半命令のフェッチ直後に UBC の各レジスタを書き換えてブレイク条件を変更しても、後半命令の手前でユーザブレイク割り込みが発生します。

7.5.2 分岐時の命令フェッチ

条件分岐命令、TRAPA 命令で分岐する場合、命令フェッチと実行の順序は次のようになります。

(1) 条件分岐命令で分岐する場合 : BT、BF 命令

TRAPA 命令で分岐する場合 : TRAPA 命令

命令フェッチの順序 = 当該命令フェッチ 次命令オーバランフェッチ

次々命令オーバランフェッチ 分岐先命令フェッチ

命令実行の順序 = 当該命令実行 分岐先命令実行

(2) 遅延付き条件分岐命令で分岐する場合 : BT/S、BF/S 命令

命令フェッチの順序 = 当該命令フェッチ 次命令フェッチ (遅延スロット)

次々命令オーバランフェッチ 分岐先命令フェッチ

命令実行の順序 = 当該命令実行 遅延スロット命令実行 分岐先命令実行

このように、条件分岐命令、TRAPA 命令で分岐する場合、次命令あるいは次々命令をオーバランフェッチしてから分岐先命令をフェッチします。ただし、ブレイクの対象となる命令は、命令がフェッチされ実行されることが確定したときに、はじめてブレイクするので、上記のようにオーバランフェッチされた命令は、ブレイクの対象となりません。

ただし、ブレイク条件として、命令フェッチブレイク以外にデータアクセスブレイクも含めていた場合は、命令のオーバランフェッチでもデータブレイク成立とみなしてブレイクがかかります。

7.5.3 ユーザブレークと例外処理の競合

ある命令の命令フェッチにユーザブレークを設定した状態で、その命令(またはその次の命令)のデコードステージにおいてユーザブレークより優先度が高い例外処理が競合して受け付けられた場合、その例外処理サービスルーチンを終了した(RTEで戻った)あとにユーザブレーク例外処理が発生しない場合があります。

すなわち、分岐(BRA、BRAf、BT、BF、BT/S、BF/S、BSR、BSRF、JMP、JSR、RTS、RTE、例外処理)後の分岐先命令の命令フェッチにユーザブレーク条件をかけた状態で、その分岐先命令がユーザブレーク割り込みよりも優先度の高い例外処理を受け付けると、その例外処理サービスルーチンを終了した後のユーザブレーク例外処理は発生しません。

したがって、分岐後の分岐先命令のフェッチには、ユーザブレーク条件を設定しないでください。

7.5.4 非遅延分岐命令の飛び先でのブレーク

遅延スロットを持たない分岐命令(例外処理も含む)が、分岐を実行して飛び先命令にジャンプしたとき、その最初の飛び先命令のフェッチにユーザブレーク条件をかけていても、ユーザブレークは発生しません。

8. データトランスファ コントローラ (DTC)

第8章 目次

8.1	概要	129
8.1.1	特長	129
8.1.2	ブロック図	130
8.1.3	レジスタ構成	131
8.2	レジスタの説明	132
8.2.1	DTC モードレジスタ (DTMR)	132
8.2.2	DTC ソースアドレスレジスタ (DTSAR)	136
8.2.3	DTC デスティネーションアドレスレジスタ (DTDAR)	136
8.2.4	DTC 初期アドレスレジスタ (DTIAR)	136
8.2.5	DTC 転送カウントレジスタ A (DTCRA)	137
8.2.6	DTC 転送カウントレジスタ B (DTCRB)	137
8.2.7	DTC イネーブルレジスタ (DTER)	138
8.2.8	DTC コントロール/ステータスレジスタ (DTCSR)	139
8.2.9	DTC 情報ベースレジスタ (DTBR)	141
8.3	動作説明	142
8.3.1	動作概要	143
8.3.2	起動要因	144
8.3.3	DTC ベクタテーブル	145
8.3.4	レジスタ情報の配置	147
8.3.5	ノーマルモード	148
8.3.6	リピートモード	149
8.3.7	ブロック転送モード	150
8.3.8	動作タイミング	151
8.3.9	DTC 実行ステート数	151
8.3.10	DTC 使用手順	152

8. データトランスファコントローラ (DTC)

8.3.11	DTC 使用例.....	153
8.4	使用上の注意.....	154

8.1 概要

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

8.1.1 特長

任意チャンネル数の転送設定が可能

- 割り込み要因ごとに転送情報を設定可能
- メモリ上に転送情報を格納
- 1 つの起動要因に対して複数のデータ転送が可能 (チェイン転送)

アドレス空間 : 転送元アドレス、転送先アドレスとも 32 ビットで指定
転送対象デバイス

- メモリ : 内蔵 ROM、内蔵 RAM、外部 ROM、外部 RAM
- 内蔵周辺モジュール (DMAC、DTC を除く)
- メモリマップト外部デバイス

豊富な転送モード

- ノーマルモード / リピートモード / ブロック転送モードの選択が可能
- ソース / デスティネーションアドレスの増加 / 減少 / 固定の選択が可能

転送単位をバイト / ワード / ロングワードに設定可能

DTC を起動した割り込みを CPU に要求

- 1 回のデータ転送の終了後に、CPU に対する割り込み要求を発生可能
- 指定したデータ転送のすべての終了後に、CPU に対する割り込み要求を発生

ソフトウェアによる転送の起動が可能

8.1.2 ブロック図

DTCのブロック図を図8.1に示します。

DTCの転送情報はメモリ上に配置します。

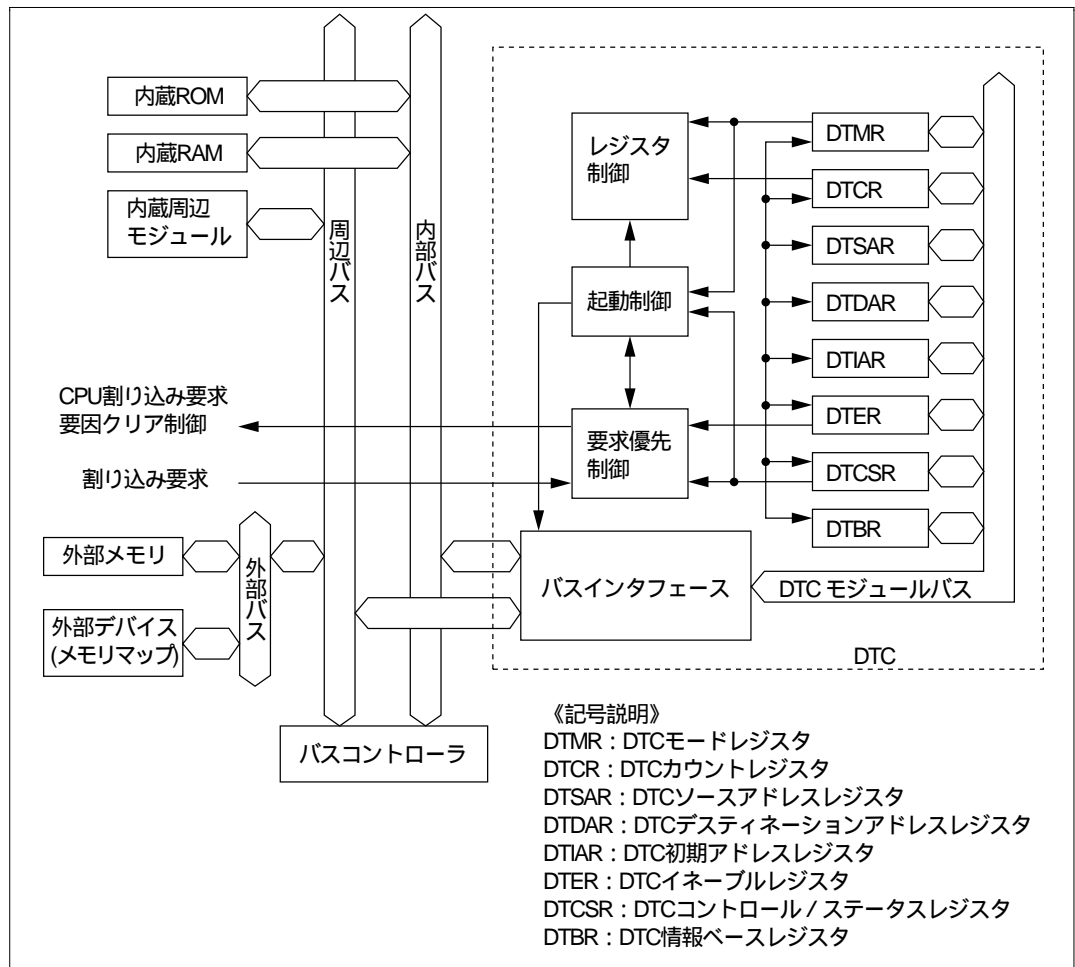


図 8.1 DTC のブロック図

8.1.3 レジスタ構成

DTC は、転送情報を格納する 5 本のレジスタ(メモリ上に配置)DTMR、DTCR、DTSAR、DTDAR、DTIAR を持ち、データ転送を行います。また、3 種類のレジスタ DTER (DTEA ~ DTEE)、DTCSR、DTBR で制御されます。レジスタ構成を表 8.1 に示します。

表 8.1 レジスタ構成*³

名称	略称	R/W	初期値	アドレス	アクセス サイズ
DTC モードレジスタ	DTMR	- * ¹	不定	- * ¹	- * ¹
DTC ソースアドレスレジスタ	DTSAR	- * ¹	不定	- * ¹	- * ¹
DTC デスティネーションアドレス レジスタ	DTDAR	- * ¹	不定	- * ¹	- * ¹
DTC 初期アドレスレジスタ	DTIAR	- * ¹	不定	- * ¹	- * ¹
DTC 転送カウントレジスタ A	DTCRA	- * ¹	不定	- * ¹	- * ¹
DTC 転送カウントレジスタ B	DTCRB	- * ¹	不定	- * ¹	- * ¹
DTC イネーブルレジスタ A	DTEA	R/W	H'00	H'FFFF8700	8、16、32
DTC イネーブルレジスタ B	DTEB	R/W	H'00	H'FFFF8701	8、16、32
DTC イネーブルレジスタ C	DTEC	R/W	H'00	H'FFFF8702	8、16、32
DTC イネーブルレジスタ D	DTED	R/W	H'00	H'FFFF8703	8、16、32
DTC イネーブルレジスタ E	DTEE	R/W	H'00	H'FFFF8704	8、16、32
DTC コントロール/ステータス レジスタ	DTCSR	R/(W) * ²	H'0000	H'FFFF8706	8、16、32
DTC 情報ベースレジスタ	DTBR	R/W	不定	H'FFFF8708	16、32

【注】 *¹ DTC 内部のレジスタを直接アクセスすることはできません。

*² DTCSR レジスタの NMIF、AE ビットは 1 読み出し後の 0 書き込みのみ可能です。

*³ DTC のレジスタを DMAC/DTC でアクセスすることはできません。

8.2 レジスタの説明

8.2.1 DTC モードレジスタ (DTMR)

DTC モードレジスタ (DTMR) は 16 ビットのレジスタで、DTC の動作モードの制御を行います。

このレジスタの内容は、メモリ上に配置されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	SZ1	SZ0	DTS	CHNE	DISEL	NMIM	—	—	—	—
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット 15、14 : ソースアドレスモード 1、0 (SM1、SM0)

データ転送後に、DTSAR は固定か、増加するか、減少するかを指定します。

ビット 15	ビット 14	説 明
SM1	SM0	
0	-	DTSAR は固定
1	0	DTSAR は転送後増加 (バイト単位転送時 + 1、ワード時 + 2、ロングワード時 + 4)
	1	DTSAR は転送後減少 (バイト単位転送時 - 1、ワード時 - 2、ロングワード時 - 4)

ビット 13、12 : デスティネーションアドレスモード 1、0 (DM1、DM0)

データ転送後に、DTDAR は固定か、増加するか、減少するかを指定します。

ビット 13	ビット 12	説 明
SM1	SM0	
0	-	DTDAR は固定
1	0	DTDAR は転送後増加 (バイト単位転送時 + 1、ワード時 + 2、ロングワード時 + 4)
	1	DTDAR は転送後減少 (バイト単位転送時 - 1、ワード時 - 2、ロングワード時 - 4)

ビット 11、10 : DTC モード 1、0 (MD1、MD0)

DTC の転送モードを指定します。

ビット 11	ビット 10	説 明
MD1	MD0	
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	予約 (設定禁止)

ビット 9、8 : DTC データトランスファサイズ 1、0 (SZ1、SZ0)

データ転送の、データサイズを指定します。

ビット 9	ビット 8	説 明
SZ1	SZ0	
0	0	バイト (8 ビット)
	1	ワード (16 ビット)
1	0	ロングワード (32 ビット)
	1	予約 (設定禁止)

8. データトランスファコントローラ (DTC)

ビット7 : DTC 転送モードセレクト (DTS)

リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれかをリピート領域またはブロック領域とするかを指定します。

ビット7	説明
DTS	
0	デスティネーション側がリピート領域またはブロック領域
1	ソース側がリピート領域またはブロック領域

ビット6 : DTC チェインイネーブル (CHNE)

同一の起動要因について、引き続き DTC データ転送を行うかを指定します。引き続き転送情報は、前転送情報先頭アドレスの 16 バイト後から読み込みます。

ビット6	説明
CHNE	
0	DTC データ転送終了 (起動待ち状態になります)
1	DTC データ転送継続 (引き続き転送情報を読み出して、転送を実行)

ビット5 : DTC インタラプトセレクト (DISEL)

1 回の DTC 転送後に、CPU に対する割り込み要求の許可 / 禁止を指定します。

ビット5	説明
DISEL	
0	DTC データ転送終了後、転送カウンタが 0 でなければ、CPU への割り込みを禁止します (DTC は、起動要因となった割り込み要因フラグを 0 にクリアします)。
1	DTC データ転送終了後、CPU への割り込みを許可します (DTC は、起動要因となった割り込みに対応する DTE7~0 のビットを 0 にクリアします)。

ビット4 : DTCNMI モード (NMIM)

DTC 転送中に NMI が入力された場合、転送を中断するかどうかを指定します。

ビット4	説明
NMIM	
0	NMI により DTC 転送を中断します
1	実行中の転送が終了するまで DTC 転送を続行します

ビット3~0 : 予約ビット

DTC の動作に影響を与えません。

8.2.2 DTC ソースアドレスレジスタ (DTSAR)

DTC ソースアドレスレジスタ (DTSAR) は 32 ビットのレジスタで、DTC 転送元のアドレスを指定します。転送サイズがワードの場合は偶数アドレス、ロングワードの場合は 4 の倍数アドレスを指定してください。

このレジスタの内容は、メモリ上に配置されます。

ビット :	31	30	29	28	27	26	5	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—	—	—	—	—

8.2.3 DTC デスティネーションアドレスレジスタ (DTDAR)

DTC デスティネーションアドレスレジスタ (DTDAR) は DTC 転送先のアドレスを指定します。転送サイズがワードの場合は偶数アドレス、ロングワードの場合は 4 の倍数アドレスを指定してください。

このレジスタの内容は、メモリ上に配置されます。

ビット :	31	30	29	28	27	26	5	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—	—	—	—	—

8.2.4 DTC 初期アドレスレジスタ (DTIAR)

DTC 初期アドレスレジスタ (DTIAR) は、リピートモードのときに転送元 / 転送先の初期アドレスを指定します。リピートモードにおいて、DTS ビットが 1 のとき、リピートエリアにおける転送元アドレスの初期アドレスを指定してください。DTS ビットが 0 のとき、リピートエリアにおける転送先アドレスの初期アドレスを指定してください。

このレジスタの内容は、メモリ上に配置されます。

ビット :	31	30	29	28	27	26	5	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—	—	—	—	—

8.2.5 DTC 転送カウントレジスタ A (DTCRA)

DTC 転送カウントレジスタ A (DTCRA) は DTC 転送回数の指定を行います。このレジスタの内容は、メモリ上に配置されます。

ノーマルモードでは、16 ビットの転送カウンタとして機能します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときが 65536 回になります。

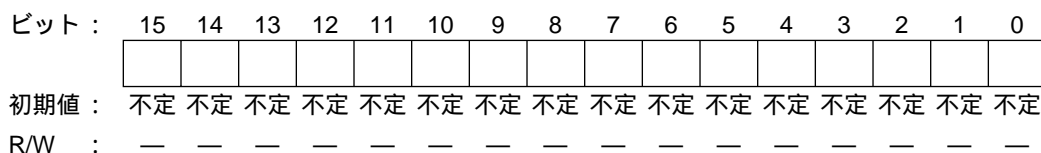
リピーモードでは、DTCRAH は転送回数を保持し、DTCRAL は 8 ビットの転送カウンタとして機能します。転送回数は、設定値が DTCRAH = DTCRAL = H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときが 256 回になります。

ブロック転送モードでは、16 ビットの転送カウンタとして機能します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときが 65536 回になります。



8.2.6 DTC 転送カウントレジスタ B (DTCRB)

DTC 転送カウントレジスタ B (DTCRB) はブロック転送モードのとき、ブロック長を指定します。このレジスタの内容は、メモリ上に配置されます。ブロック長は、設定値が H'0001 のときは 1、H'FFFF のときは 65535 で、H'0000 のときが 65536 になります。



8.2.7 DTC イネーブルレジスタ (DTER)

DTC イネーブルレジスタ DTER (DTEA ~ DTEE) は、DTC を起動する割り込み要因ごとにビットを割り当てた 8 ビットの読み出し / 書き込み可能な 5 本のレジスタで、各割り込み要因による DTC 起動の禁止 / 許可を設定します。ビットが 1 のとき、対応する割り込み要因による DTC 起動が許可されます。

DTEA ~ DTEE に対応する割り込み要因を表 8.2 に示します。

DTER は、パワーオンリセットおよびスタンバイモードで H'00 に初期化されます。

マニュアルリセットでは初期化されません。

ビット :	7	6	5	4	3	2	1	0
	DTE7	DTE6	DTE5	DTE4	DTE3	DTE2	DTE1	DTE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

なお、R マスク、A マスクでは、本レジスタの書き換えを下記のようにして行ってください。

ビットを 0 クリアする場合 :

クリアするビットの 1 を読み出してから 0 を書き込み

ビットを 1 セットする場合 :

セットするビットの 0 を読み出してから 1 を書き込み

8.2.8 DTC コントロール/ステータスレジスタ (DTCSR)

DTC コントロール/ステータスレジスタ (DTCSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ソフトウェアによる DTC 起動の許可/禁止の設定、およびソフトウェア起動による DTC ベクタアドレスを設定します。また、DTC 転送の状態も示します。

DTCSR レジスタは、パワーオンリセットおよびスタンバイモードで H'0000 に初期化されます。マニュアルリセットでは初期化されません。

ビット :	15	14	13	12	11	10	9	8
	—	—	—	—	—	NMIF	AE	SWDTE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W*1	R/W*1	R/W*2

ビット :	7	6	5	4	3	2	1	0
	DTVEC7	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W*3	R/W*3	R/W*3	R/W*3	R/W*3	R/W*3	R/W*3	R/W*3*4

- 【注】
- *1 NMIF、AEビットは、1読み出し後の0書き込みのみ可能です。
 - *2 SWDTEビットは、1書き込みは常時可能ですが、0書き込みは1読み出し後のみ可能です。
 - *3 DTVEC7~0ビットは、SWDTE=0のときのみ書き込むことができます。
 - *4 DTVEC0ビットには、必ず0を書き込んでください。

ビット 15~11 : 予約ビット

読み出しは常に0が読み出されます。書き込む値も常に0にしてください。

ビット 10 : NMI フラグビット (NMIF)

NMI 割り込みが発生したことを示します。NMIF ビットが 1 にセットされていると、DTE7 ~ 0 ビットを 1 に設定しても、DTC 転送は許可されません。ただし、すでに DTMR レジスタの NMIM ビットが 1 で転送が開始している場合、その転送は終了するまで実行されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。

NMIF ビットは、パワーオンリセットおよびスタンバイモードで 0 に初期化されます。

ビット 10	説明
NMIF	
0	NMI 割り込みなし (初期値) [クリア条件] NMIF ビットを読み出してから 0 を書き込む
1	NMI 割り込み発生

ビット 9 : アドレスエラーフラグ (AE)

DTC によるアドレスエラーが発生したことを示します。AE ビットがセットされていると、DTE7 ~ 0 ビットを 1 に設定しても DTC 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。

AE ビットは、パワーオンリセットおよびスタンバイモードで 0 に初期化されます。

ビット 9	説明
AE	
0	DTC によるアドレスエラーなし (初期値) [クリア条件] AE ビットを読み出してから 0 を書き込む
1	DTC によるアドレスエラー発生

ビット 8 : DTC ソフトウェア起動イネーブルビット (SWDTE)

ソフトウェアによる DTC 起動の許可 / 禁止を設定するビットです。詳細は「8.3.2 起動要因」を参照してください。

ビット 8	説明
SWDTE	
0	ソフトウェアによる DTC 起動を禁止 (初期値)
1	ソフトウェアによる DTC 起動を許可

ビット7~0 : ソフトウェア起動ベクタ7~0 (DTVEC7~0)

ソフトウェアによるDTC起動時のDTCベクタアドレスを設定します。ベクタアドレスはH'0400+DTVEC[7:0]で計算されます。DTVEC0には必ず0を指定してください。8ビットですのでH'00(0)~H'FE(254)の値を指定できます。

8.2.9 DTC情報ベースレジスタ (DTBR)

DTC情報ベースレジスタ (DTBR) は、読み出し/書き込み可能な16ビットのレジスタで、DTC転送情報を格納するメモリアドレスの上位16ビットを指定します。DTBRのアクセスは、必ずワードからロングワード単位で行ってください。バイト単位でアクセスすると、書き込み時はレジスタの内容が不定になり、また読み出し時は不定値が読み出されます。

DTBRレジスタは、リセットおよびスタンバイモードでは初期化されません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

8.3 動作説明

DTC は、転送情報をメモリ上に格納しておき、DTC 転送要求があると転送情報を読み出し、この情報に基づいてデータ転送を行います。データ転送後に、転送情報をメモリに書き戻します。転送情報をメモリに格納することにより、任意チャンネル数のデータ転送を行うことができます。また、DTC モードレジスタ (DTMR) の DTC チェインイネーブルビット (CHNE) を 1 にセットすることにより、1 つの DTC 転送要求で複数の転送を引き続いて行うことができます。

DTC の転送モードには、ノーマルモード、リピートモード、ブロック転送モードがあります。DTC 転送後、転送元アドレス / 転送先アドレスはそれぞれの設定により増加 / 減少 / 固定になります。

8.3.1 動作概要

DTCの動作フローチャートを図8.2に示します。

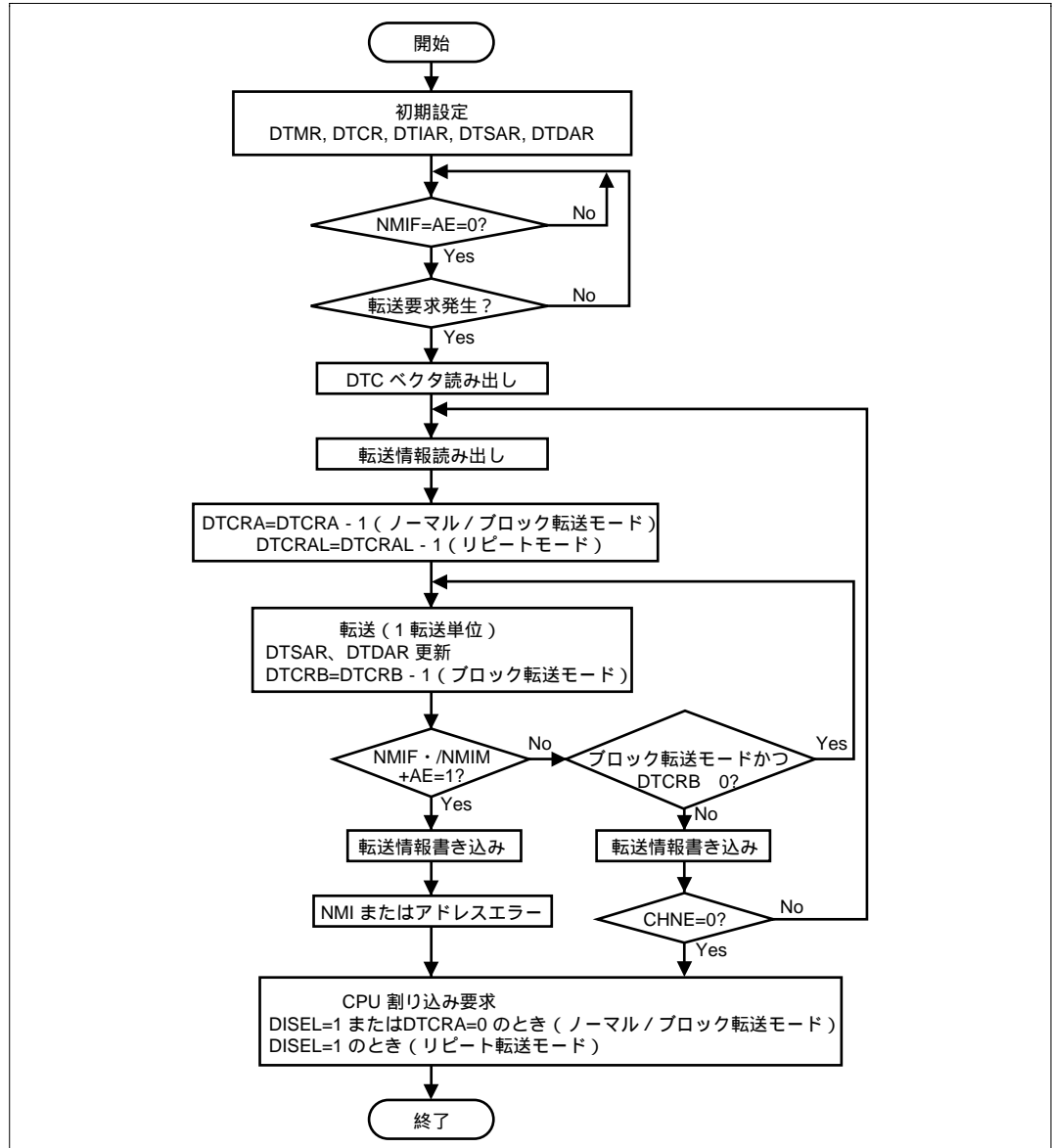


図8.2 DTC動作フローチャート

8.3.2 起動要因

DTCは、割り込み要求またはソフトウェアによる DTCSR への書き込み動作を起動要因として動作します。DTC を起動する割り込み要因は DTER における所定のビットで指定します。DTER で指定されなかった割り込み要因は、直接 CPU に対する割り込み要求となります。

割り込み要因による DTC の起動において、DISEL ビットが1の場合、DTC における1回のデータ転送終了ごとに CPU に対し割り込み要求を発生し、かつ DTER の対応するビットは自動的にクリアされます。DISEL ビットが0の場合、DTC で指定した回数のデータ転送終了後にのみ CPU に対する割り込み要求を発生し、かつ DTER の対応するビットは自動的にクリアされます。

ソフトウェアによる起動においても、DISEL ビットが1の場合、DTC における1回のデータ転送終了ごとにソフトウェア起動割り込み (SWDTCE) を CPU に対し要求します。このとき、常に SWDTE ビットは1に保持されます。DISEL ビットが0の場合、DTC で指定した回数のデータ転送終了後にのみ CPU に対し割り込み要求を行います。ただし、DTCR が2以上の場合、SWDTE ビットは自動的にクリアされ、DTCR が1になったときに再び SWDTE がセットされます。

複数の DTC 起動要因が同時に発生した場合には、表 8.2 に示すデフォルトの優先順位に従って受け付けられ、DTC が起動されます。

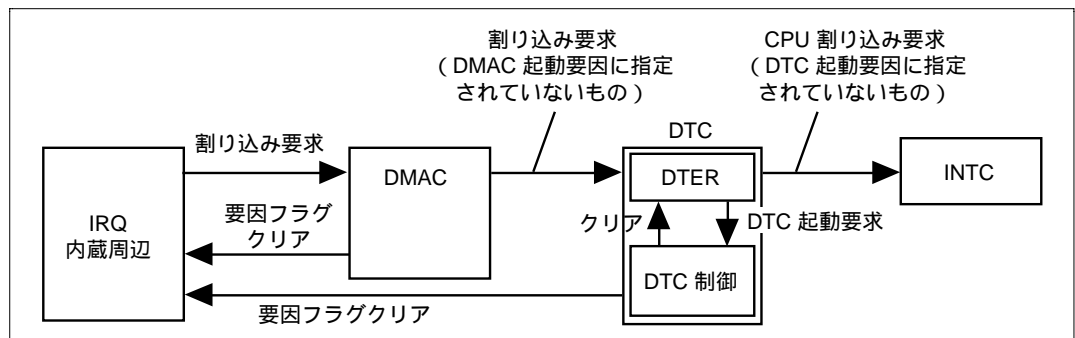


図 8.3 起動要因制御ブロック図

8.3.3 DTC ベクタテーブル

図 8.4 に、DTC ベクタアドレスとレジスタ情報配置の対応を示します。DTC 起動要因ごとに DTC ベクタテーブルが 2 バイトずつあり、レジスタ情報先頭アドレスを格納します。

表 8.2 に、起動要因とベクタアドレスの対応を示します。ソフトウェアによる起動の場合は、ベクタアドレスは $H'0400 + DTVEC[7:0]$ で計算されます。

DTC 起動により、ベクタテーブルからレジスタ情報先頭アドレスを読み出し、このレジスタ情報先頭アドレスから、メモリ空間に配置されたレジスタ情報を読み出します。レジスタ情報先頭アドレスには必ず 4 の倍数を指定してください。

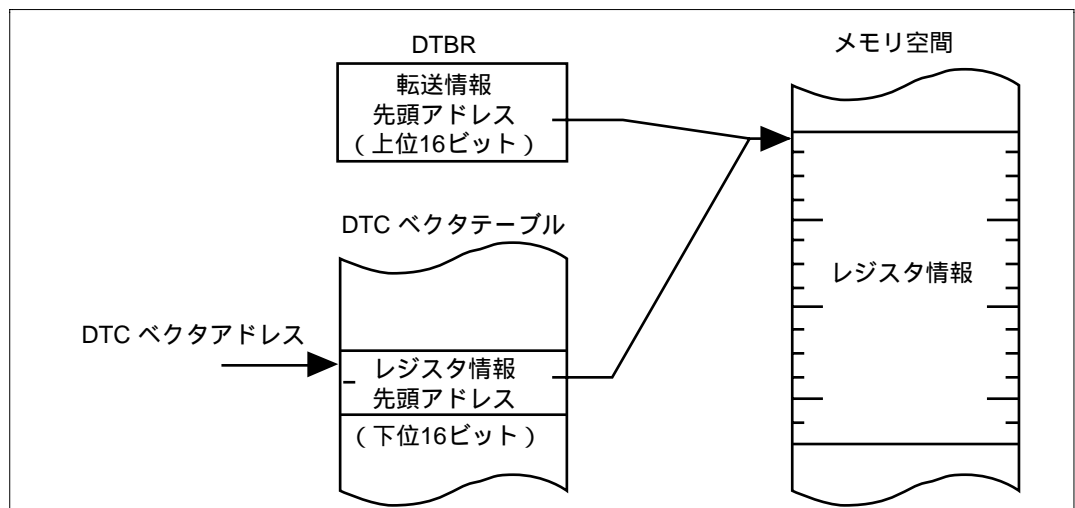


図 8.4 DTC ベクタアドレスと転送情報との対応

表 8.2 割り込み要因と DTC ベクタアドレス

要因発生元	起動要因	DTC ベクタアドレス	DTE ビット	転送元	転送先	優先順位
MTU (CH4)	TGI4A	H'00000400 ~ H'00000401	DTEA7	任意*1	任意*1	高 ↑
	TGI4B	H'00000402 ~ H'00000403	DTEA6	任意*1	任意*1	
	TGI4C	H'00000404 ~ H'00000405	DTEA5	任意*1	任意*1	
	TGI4D	H'00000406 ~ H'00000407	DTEA4	任意*1	任意*1	
	TCI4V	H'00000408 ~ H'00000409	DTEA3	任意*1	任意*1	
MTU (CH3)	TGI3A	H'0000040A ~ H'0000040B	DTEA2	任意*1	任意*1	
	TGI3B	H'0000040C ~ H'0000040D	DTEA1	任意*1	任意*1	
	TGI3C	H'0000040E ~ H'0000040F	DTEA0	任意*1	任意*1	
	TGI3D	H'00000410 ~ H'00000411	DTEB7	任意*1	任意*1	
MTU (CH2)	TGI2A	H'00000412 ~ H'00000413	DTEB6	任意*1	任意*1	
	TGI2B	H'00000414 ~ H'00000415	DTEB5	任意*1	任意*1	
MTU (CH1)	TGI1A	H'00000416 ~ H'00000417	DTEB4	任意*1	任意*1	
	TGI1B	H'00000418 ~ H'00000419	DTEB3	任意*1	任意*1	
MTU (CH0)	TGI0A	H'0000041A ~ H'0000041B	DTEB2	任意*1	任意*1	
	TGI0B	H'0000041C ~ H'0000041D	DTEB1	任意*1	任意*1	
	TGI0C	H'0000041E ~ H'0000041F	DTEB0	任意*1	任意*1	
	TGI0D	H'00000420 ~ H'00000421	DTEC7	任意*1	任意*1	
A/D	ADI (ADIO) ^{*2}	H'00000422 ~ H'00000423	DTEC6	ADDR	任意*1	
IRQ0 端子	IRQ0	H'00000424 ~ H'00000425	DTEC5	任意*1	任意*1	
IRQ1 端子	IRQ1	H'00000426 ~ H'00000427	DTEC4	任意*1	任意*1	
IRQ2 端子	IRQ2	H'00000428 ~ H'00000429	DTEC3	任意*1	任意*1	
IRQ3 端子	IRQ3	H'0000042A ~ H'0000042B	DTEC2	任意*1	任意*1	
IRQ4 端子	IRQ4	H'0000042C ~ H'0000042D	DTEC1	任意*1	任意*1	
IRQ5 端子	IRQ5	H'0000042E ~ H'0000042F	DTEC0	任意*1	任意*1	
IRQ6 端子	IRQ6	H'00000430 ~ H'00000431	DTED7	任意*1	任意*1	
IRQ7 端子	IRQ7	H'00000432 ~ H'00000433	DTED6	任意*1	任意*1	
CMT (CH0)	CMI0	H'00000434 ~ H'00000435	DTED5	任意*1	任意*1	
CMT (CH1)	CMI1	H'00000436 ~ H'00000437	DTED4	任意*1	任意*1	
SCI0	RXI0	H'00000438 ~ H'00000439	DTED3	RDR0	任意*1	
	TXI0	H'0000043A ~ H'0000043B	DTED2	任意*1	TDR0	
SCI1	RXI1	H'0000043C ~ H'0000043D	DTED1	RDR1	任意*1	
	TXI1	H'0000043E ~ H'0000043F	DTED0	任意*1	TDR1	
BSC	CMI	H'00000440 ~ H'00000441	DTEE7	任意*1	任意*1	
ソフトウェア	DTCSR への 書き込み	H'00000400 + DTVEC[7:0] ~	-	任意*1	任意*1	
		H'00000401 + DTVEC[7:0]				

【注】 *1 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、DTC を除く)

*2 A マスク品以外では ADI、A マスク品では ADIO となります。

8.3.4 レジスタ情報の配置

メモリ空間上でのレジスタ情報の配置を図 8.5 に示します。レジスタ情報先頭アドレスは、上位 16 ビットを DTBR で、下位 16 ビットは DTC ベクタテーブルで指定します。

レジスタ情報先頭アドレスから、ノーマルモード時は DTMR、DTCRA、4 バイトの空き (DTC 動作に影響しません)、DTSAR、DTDAR の順に配置します。リピートモード時は、DTMR、DTCRA、DTIAR、DTSAR、DTDAR の順に配置します。ブロック転送モード時は、DTMR、DTCRA、2 バイトの空き (DTC 動作に影響しません)、DTCRB、DTSAR、DTDAR の順に配置します。

レジスタ情報を配置するアドレスは、基本的には RAM エリアを指定します。

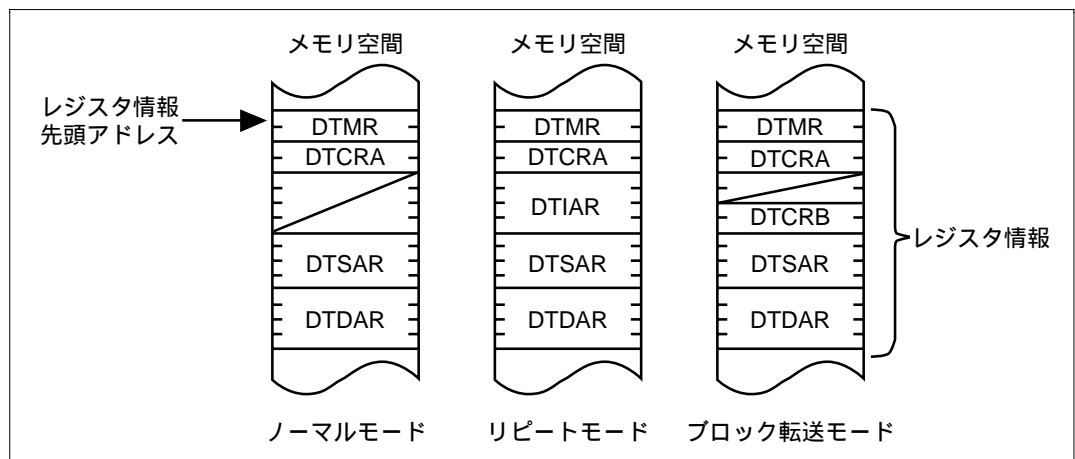


図 8.5 メモリ空間上での DTC 転送情報の配置

8.3.5 ノーマルモード

1回の起動で1バイトまたは1ワードまたは1ロングワードの転送を行います。

全転送回数は1~65536です。DTCRA=1での転送が終了すると、CPUに対する割り込み要求を発生します。

SCIで指定バイト数だけ送受信することができます。

ノーマルモードのレジスタ機能を表8.3に示します。

表8.3 ノーマルモードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		DTCRAが1以外のとき	DTCRAが1のとき
DTMR	動作モードの制御	DTMR	DTMR
DTCRA	転送カウント	DTCRA - 1	DTCRA - 1 (=H'0000)
DTSAR	転送元アドレス	増加 / 減少 / 固定	増加 / 減少 / 固定
DTDAR	転送先アドレス	増加 / 減少 / 固定	増加 / 減少 / 固定

8.3.6 リピートモード

1回の起動で1バイトまたは1ワードまたは1ロングワードの転送を行います。転送元、転送先のいずれか一方をリピートエリアに指定します。

転送回数は1~256を指定し、指定回数の転送が終了すると、リピートエリアに指定したアドレスレジスタの初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは連続して、増加/減少/固定とされます。DISEL=0のとき、DTCRAL=1での転送が終了しても、CPUに対する割り込み要求は行いません。

ステッピングモータ駆動用のパルス出力をすることができます。

リピートモードのレジスタ機能を表8.4に示します。

表8.4 リピートモードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		DTCRAが1以外するとき	DTCRAが1のとき
DTMR	動作モードの制御	DTMR	DTMR
DTCRAH	転送カウント保存	DTCRAH	DTCRAH
DTCRAL	転送カウント	DTCRAL - 1	DTCRAH
DTIAR	初期アドレス	(書き戻しません)	(書き戻しません)
DTSAR	転送元アドレス	増加/減少/固定	(DTS=0) 増加/減少/固定 (DTS=1) DTIAR
DTDAR	転送先アドレス	増加/減少/固定	(DTS=0) DTIAR (DTS=1) 増加/減少/固定

8.3.7 ブロック転送モード

1回の起動で1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。

ブロック長は1~65536です。1ブロックの転送が終了すると、ブロックエリアに指定したアドレスレジスタの初期状態を復帰します。他方のアドレスレジスタは連続して、増加/減少/固定とされます。ブロック転送回数は1~65536です。DTCRA=1での転送が終了すると、CPUに対する割り込み要求を発生します。

A/D変換器のグループモードの転送、相補PWMのデータ転送をすることができます。ブロック転送モードのレジスタ機能を表8.5に示します。

表8.5 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
DTMR	動作モードの制御	DTMR
DTCRA	転送カウント	DTCRA - 1
DTCRB	ブロック長	(書き戻しません)
DTSAR	転送元アドレス	(DTS=0) 増加/減少/固定 (DTS=1) DTSARの初期値
DTDAR	転送先アドレス	(DTS=0) DTDARの初期値 (DTS=1) 増加/減少/固定

8.3.8 動作タイミング

内蔵 RAM 上にレジスタ情報を配置した場合、各モードとも転送情報読み出しに 4 サイクル、書き込みに 3 サイクル必要となります。

DTC の動作タイミングの例を図 8.6 に示します。

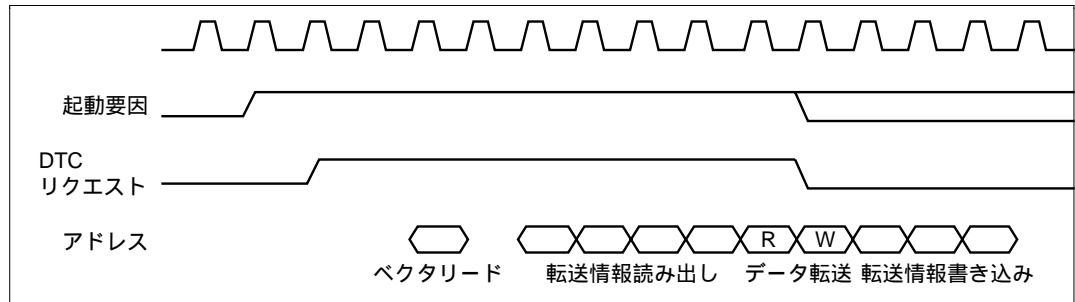


図 8.6 DTC の動作タイミング例 (ノーマルモード)

8.3.9 DTC 実行ステート数

表 8.6 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 8.7 に、実行状態に必要なステート数を示します。

表 8.6 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	7	1	1	1
リピート	1	7	1	1	1
ブロック転送	1	7	N	N	1

【注】 N: ブロックサイズ (DTCRB の初期設定値)

表 8.7 実行状態に必要なステート数

アクセス対象		内蔵	内蔵	内部 I/O		外部デバイス		
		RAM	ROM	レジスタ				
バス幅		32	32	32		8	16	32
アクセスステート		1	1	2* ¹	3* ²	2	2	2
実 行 状 態	ベクタリード S_I		1			4	2	2
	レジスタ情報リード/ライト S_J	1	1			8	4	2
	バイトデータリード S_K	1	1	2	3	2	2	2
	ワードデータリード S_K	1	1	2	3	4	2	2
	ロングワードデータリード S_K	1	1	4	6	8	4	2
	バイトデータライト S_L	1	1	2	3	2	2	2
	ワードデータライト S_L	1	1	2	3	4	2	2
	ロングワードライト S_L	1	1	4	6	8	4	2
	内部動作 S_M	1						

【注】 *1 2ステートアクセスモジュール ポート、INT、CMT、SCI など

*2 3ステートアクセスモジュール WDT、CAC、UBC など

実行ステート数は次の計算式で計算されます。なお、 I は1つの起動要因で転送する回数分 (CHNE ビットを1にセットした数+1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

8.3.10 DTC 使用手順

DTC の割り込み起動による使用手順を以下に示します。

- (1) 転送情報 DTMR、DTCRA、DTSAR、DTDAR、DTCRB、DTIAR をメモリ空間上に配置します。
- (2) 転送情報先頭アドレスを、DTBR レジスタと DTC ベクタテーブルで設定します。
- (3) DTER の対応するビットを1にセットします。
- (4) 割り込み要因が発生すると、DTC が起動されます。
- (5) CPU に対して割り込みを要求しない場合は、割り込み要因はクリアされ、DTER はクリアされません。割り込みを要求する場合は、割り込み要因はクリアされず、DTER はクリアされます。
- (6) CPU 割り込みルーチン内で割り込み要因をクリアします。引き続き DTC によるデータ転送を行う場合には、DTER を1にセットします。

DTC のソフトウェア起動による使用手順を以下に示します。

- (1) 転送情報 DTMR、DTCRA、DTSAR、DTDAR、DTCRB、DTIAR をメモリ空間上に配置します。
- (2) 転送情報先頭アドレスを、DTBR レジスタと DTC ベクタテーブルで設定します。
- (3) DTC SR の SWDTE ビットが 0 であることを確認します。SWDTE ビットが 1 のとき、DTC はすでにソフトウェアによって起動中です。
- (4) SWDTE ビットに 1 を、DTVEC (バイトデータ) にベクタ番号を書き込みます。
- (5) CPU に対して SWDTC 割り込みを要求しない場合は、SWDTE ビットが 0 にクリアされます。割り込みを要求する場合は、SWDTE ビットが 1 に保持されます。
- (6) CPU 割り込みルーチン内で SWDTE ビットを 0 にクリアします。引き続き DTC によるデータ転送を行う場合には、SWDTE を 1 にセットします。

8.3.11 DTC 使用例

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

- (1) DTMR はソースアドレス固定 (SM1=0)、デスティネーションアドレス増加 (DM1=1、DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (SZ1=SZ0=0)、起動要因 1 回につき 1 回の転送 (CHNE=0)、指定回数のデータ転送後に CPU 割り込み要求 (DISEL=0) を設定します。DTCRA には 128 (H'0080)、DTSAR には SCI の RDR のアドレス、DTDAR には受信データを格納する RAM の先頭アドレスを設定します。
- (2) レジスタ情報先頭アドレスを、DTBR と DTC ベクタテーブルで設定します。
- (3) DTER の対応するビットを 1 にセットします。
- (4) SCI を所定の受信モードに設定し、RXI 割り込みを許可します。
- (5) SCI の 1 バイトのデータ受信が完了するごとに SSR の RDRF フラグが 1 にセットされ、RXI 割り込みが発生して DTC が起動されます。DTC により、受信データが RDR から RAM に転送され、RDRF フラグは 0 にクリアされます。
- (6) 128 回のデータ転送終了後 (DTCRA=0)、RDRF は 1 に保持されたまま DTER がクリアされ、CPU に RXI 割り込みが要求されます。割り込み処理ルーチンで RDRF をクリアなど、終了処理を行います。

8.4 使用上の注意

- (1) DTC で DMAC、DTC のレジスタをアクセスしないでください。
- (2) DMAC で DTC のレジスタをアクセスしないでください。
- (3) DTER 内のビットをセットする場合は、当該 DTER に対応する DTC チャンルの転送がすべて終了した状態か、各チャンネルの転送要因をディスエーブルにして、当該 DTER に対応する DTC 転送が発生しないようにしてから行ってください。なお、A マスクでは、DTER のアクセス方法に変更を加えたので、上記制限はありません。ただし、A マスクに LSI を変更する場合は、プログラムの修正が必要となりますので注意してください。

9. キャッシュメモリ (CAC)

第9章 目次

9.1	概要	157
9.1.1	特長	157
9.1.2	ブロック図	158
9.1.3	レジスタ構成	159
9.2	レジスタの説明	160
9.2.1	キャッシュコントロールレジスタ (CCR)	160
9.3	アドレスアレイとデータアレイ	162
9.3.1	キャッシュアドレスアレイ読み出し / 書き込み空間	162
9.3.2	キャッシュデータアレイ読み出し / 書き込み空間	163
9.4	使用上の注意	164
9.4.1	キャッシュの初期化	164
9.4.2	アドレスアレイ、データアレイへの強制アクセス	164
9.4.3	キャッシュミス時のペナルティと、キャッシュフィルのタイミング	164
9.4.4	キャッシュミス後のキャッシュヒット	166

9.1 概要

本LSIは、1kバイトのキャッシュデータと、256エントリのキャッシュタグを持った、キャッシュメモリ (CAC: CAChe) を内蔵しています。

また、キャッシュデータおよびキャッシュタグの空間は、キャッシュ未使用時は内蔵RAM空間として使用できます。

9.1.1 特長

CACには、次のような特長があります。キャッシュタグとキャッシュデータの構成を図9.1に示します。

1kバイトの容量

外部メモリ (CS空間、およびDRAM空間) の命令コード、ならびにPC相対データをキャッシング

256エントリのキャッシュタグ (タグアドレス15ビット)

ライン長4バイト

ダイレクトマップによるリプレースアルゴリズム

ページのためのバリッドフラグ (1ビット) 付き

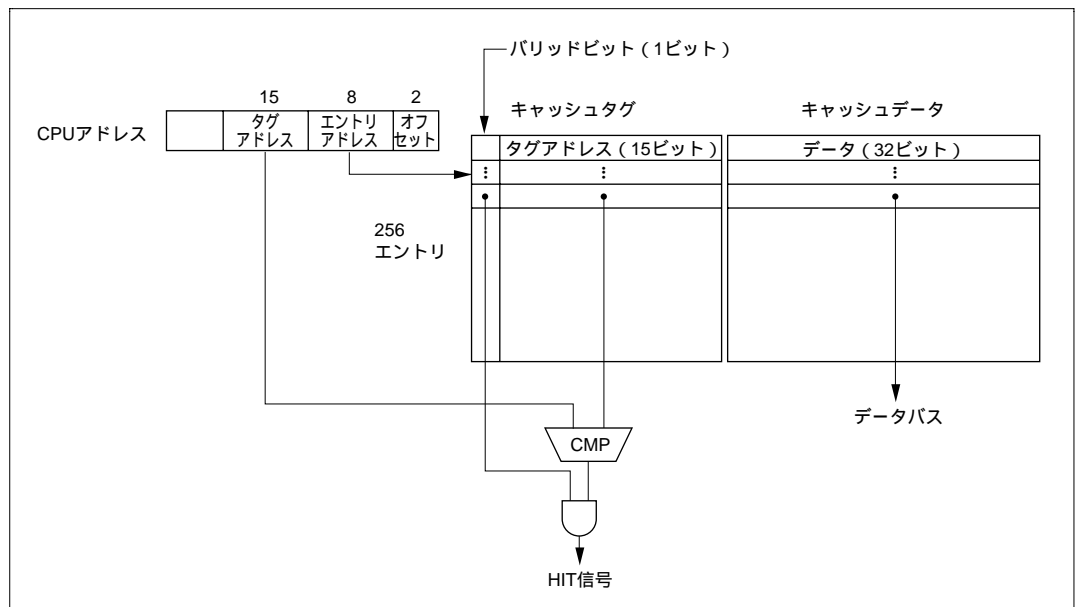


図9.1 キャッシュタグとキャッシュデータの構成

9.1.2 ブロック図

キャッシュのブロック図を図9.2に示します。

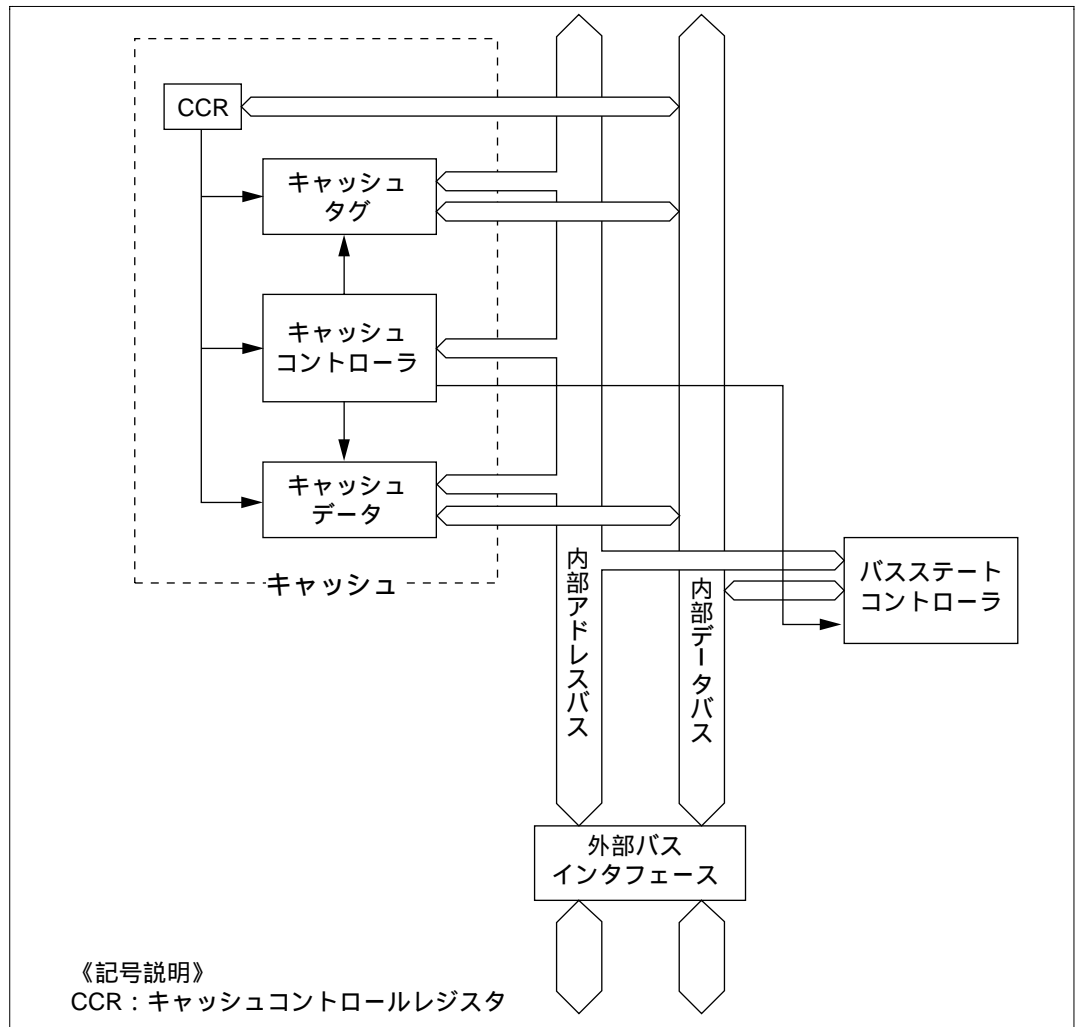


図9.2 キャッシュのブロック図

9.1.3 レジスタ構成

CAC には 1 本のレジスタがあります。このレジスタにより、キャッシュのイネーブル / ディスエーブル制御を、空間ごとに行うことができます。レジスタ構成を表 9.1 に示します。

表 9.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット)
キャッシュコントロールレジスタ	CCR	R/W	H'0000*	H'FFFF8740	8、16、32

【注】 * ビット 15~5 は不定値

9.2 レジスタの説明

9.2.1 キャッシュコントロールレジスタ (CCR)

キャッシュコントロールレジスタ (CCR) は、各空間のキャッシュイネーブル/ディスエーブルを選択します。

CCR レジスタは、読み出し/書き込み可能な 16 ビットのレジスタです。パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモードでは初期化されません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CE DRAM	CE CS3	CE CS2	CE CS1	CE CS0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット 15~5 : 予約ビット

読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。

ビット 4 : DRAM 空間キャッシュイネーブル (CEDRAM)

DRAM 空間をキャッシュ対象 (イネーブル) にするか、対象外 (ディスエーブル) にするかを選択します。0 にするとディスエーブル、1 にするとイネーブルになります。

ビット 4	説明
CEDRAM	
0	DRAM 空間のキャッシュディスエーブル (初期値)
1	DRAM 空間のキャッシュイネーブル

ビット3 : CS3空間キャッシュイネーブル (CECS3)

CS3空間をキャッシュ対象 (イネーブル) にするか、対象外 (ディスエーブル) にするかを選択します。0にするとディスエーブル、1にするとイネーブルになります。

ビット3	説明
CECS3	
0	CS3空間のキャッシュディスエーブル (初期値)
1	CS3空間のキャッシュイネーブル

ビット2 : CS2空間キャッシュイネーブル (CECS2)

CS2空間をキャッシュ対象 (イネーブル) にするか、対象外 (ディスエーブル) にするかを選択します。0にするとディスエーブル、1にするとイネーブルになります。

ビット2	説明
CECS2	
0	CS2空間のキャッシュディスエーブル (初期値)
1	CS2空間のキャッシュイネーブル

ビット1 : CS1空間キャッシュイネーブル (CECS1)

CS1空間をキャッシュ対象 (イネーブル) にするか、対象外 (ディスエーブル) にするかを選択します。0にするとディスエーブル、1にするとイネーブルになります。

ビット1	説明
CECS1	
0	CS1空間のキャッシュディスエーブル (初期値)
1	CS1空間のキャッシュイネーブル

ビット0 : CS0空間キャッシュイネーブル (CECS0)

CS0空間をキャッシュ対象 (イネーブル) にするか、対象外 (ディスエーブル) にするかを選択します。0にするとディスエーブル、1にするとイネーブルになります。

ビット0	説明
CECS0	
0	CS0空間のキャッシュディスエーブル (初期値)
1	CS0空間のキャッシュイネーブル

9.3 アドレスアレイとデータアレイ

キャッシュを制御するためのキャッシュ特殊空間があります。キャッシュ特殊空間は、アドレスアレイとデータアレイに分けられ、それぞれキャッシュ制御のためのアドレス（タグアドレス、バリッドビットを含む）とデータ（ライン長 4 バイト）を記録します。キャッシュ特殊空間を表 9.2 に示します。

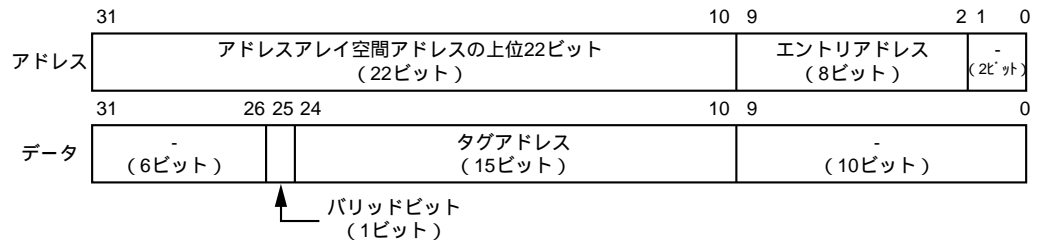
この特殊空間は、キャッシュ未使用時は内蔵 RAM 空間として使用できます。

表 9.2 キャッシュ特殊空間

空間種類	アドレス	サイズ	バス幅
アドレスアレイ	H'FFFFFF000 ~ H'FFFFFF3FF	1k バイト	32 ビット
データアレイ	H'FFFFFF400 ~ H'FFFFFF7FF	1k バイト	32 ビット

9.3.1 キャッシュアドレスアレイ読み出し / 書き込み空間

キャッシュアドレスアレイを強制的に読み出し / 書き込みします。



アドレスアレイ読み出し

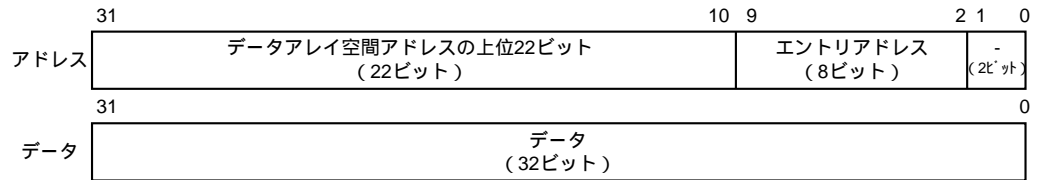
エントリアドレスを指定し、対応するタグアドレス値 / バリッドビット値を読み出します。

アドレスアレイ書き込み

エントリアドレスを指定し、指定したタグアドレス値 / バリッドビット値を書き込みます。

9.3.2 キャッシュデータアレイ読み出し / 書き込み空間

キャッシュデータアレイを強制的に読み出し / 書き込みします。



データアレイ読み出し

エントリアドレスを指定し、対応するラインのデータを読み出します。

データアレイ書き込み

エントリアドレスを指定し、対応するラインに指定したデータを書き込みます。

9.4 使用上の注意

9.4.1 キャッシュの初期化

キャッシュをイネーブルにする前に、必ずキャッシュの初期化、すなわちアドレスアレイ書き込みによるバリッドビットへの0書き込みを、全エントリについて(256回)行ってください。具体的には、H'FFFFFF000~H'FFFFFF3FFのアドレス範囲をすべて0にクリアしてください。

9.4.2 アドレスアレイ、データアレイへの強制アクセス

キャッシュをイネーブルにしている間は、CPU、DMAC、DTCによるアドレスアレイ、データアレイへの書き込みはできません。また、読み出すと不定値が読み出されます。アドレスアレイ、データアレイへ強制アクセスする場合には、必ずキャッシュをディスエーブルにして行ってください。

9.4.3 キャッシュミス時のペナルティと、キャッシュフィルのタイミング

キャッシュミス時は、図9.3に示すように、ペナルティとしてキャッシュフィル(キャッシュミス時の外部メモリからのアクセス)の直前に1サイクルのアイドルサイクルが発生します。ただしキャッシュミスが連続する場合には、図9.4に示すように、2回目以降のキャッシュミス時はアイドルサイクルは発生しません。

また、通常空間からのキャッシュフィルは、図9.3、図9.4に示すように、バスサイクル終了(8ビット空間に対するワードアクセスのように、バスが2回または4回発生するときは、その最後のバスサイクル)直前のCSアサート期間が1サイクル追加拡張されたタイミングで行います。

同様に、DRAM空間からのキャッシュフィルは、図9.5に示すように、バスサイクル終了直前のRASアサート期間が1サイクル拡張されたタイミングで行います。RASダウンモード時は、図9.6に示すように、次のバスサイクル開始が1サイクル遅れます。

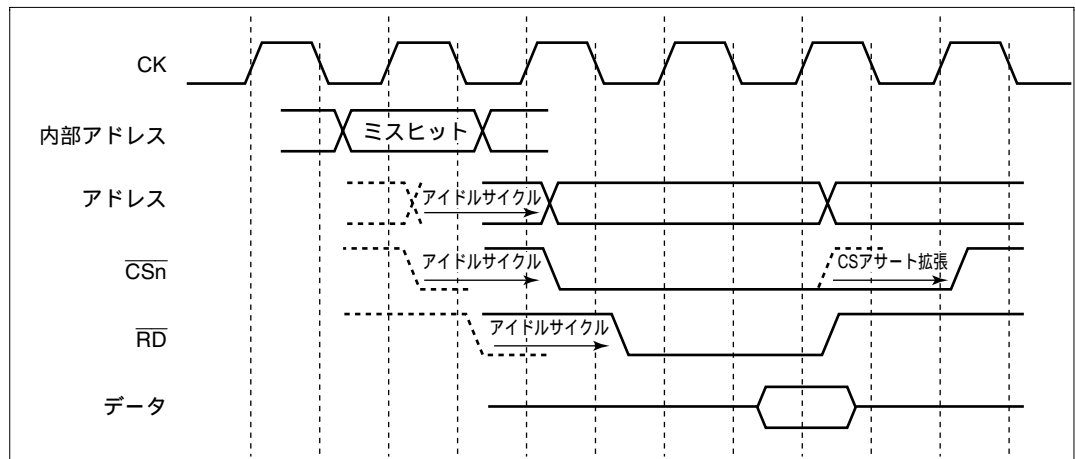


図 9.3 通常空間から連続しないキャッシュミス時のキャッシュフィルタイミング
(ノーウェイト、CSアサート拡張なし)

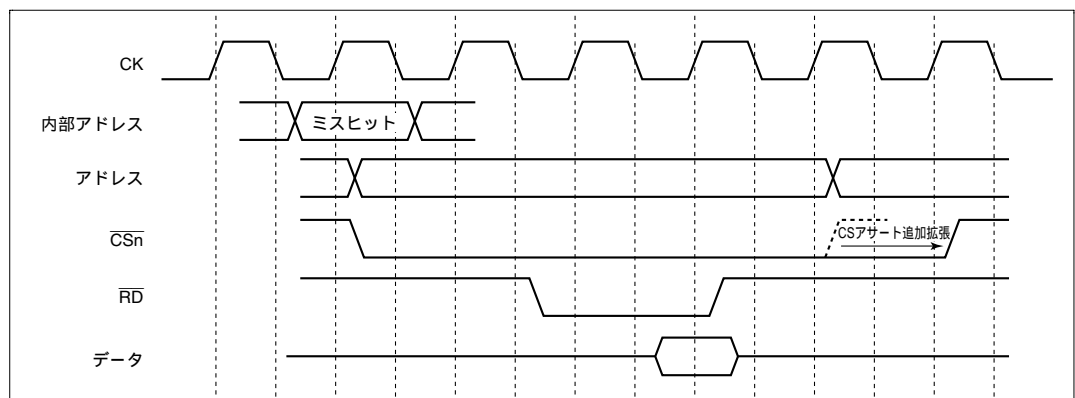


図 9.4 通常空間から連続してキャッシュミス時のキャッシュフィルタイミング
(ノーウェイト、CSアサート拡張あり)

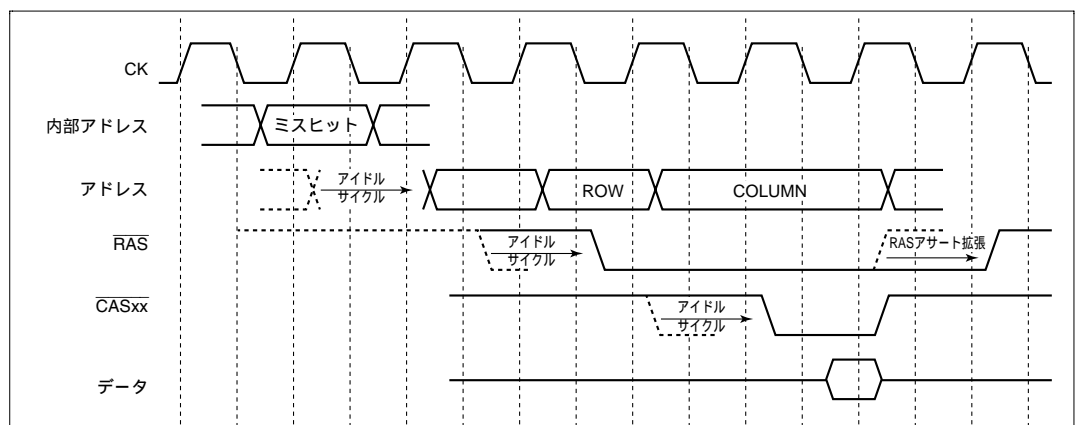


図 9.5 DRAM空間から連続しないキャッシュミス時のキャッシュフィルタイミング
(ノーマルモード、TPC=0、RCD=0、ノーウェイト)

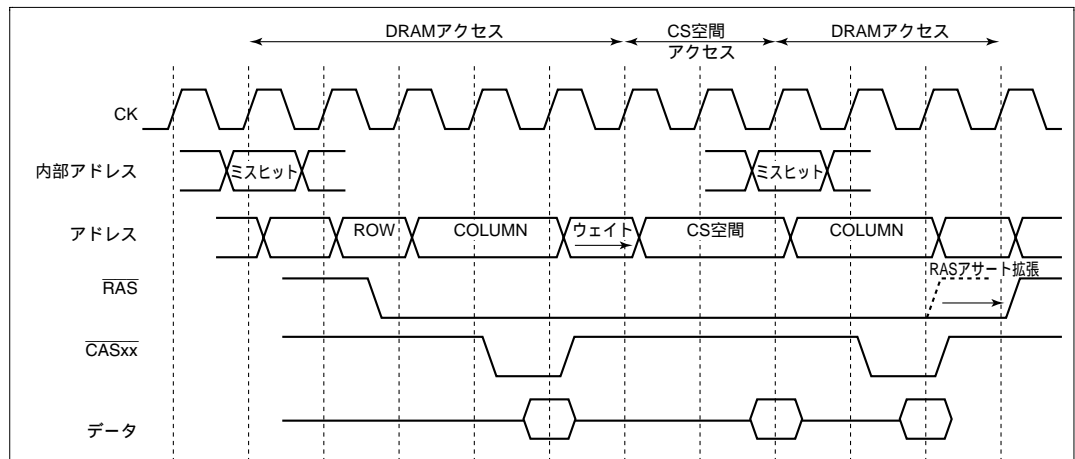


図 9.6 DRAM 空間から連続してキャッシュミス時のキャッシュフィルタイミング
(RAS ダウンモード、TPC=0、RCD=0、ノーウェイト)

9.4.4 キャッシュミス後のキャッシュヒット

キャッシュミス後の最初のキャッシュヒットは、キャッシュミスとみなされ、アイドルサイクルの発生しないキャッシュフィルを行います。その後のヒットは、キャッシュヒットとして動作します。

10. バスステートコントローラ (BSC)

第10章 目次

10.1	概要	169
10.1.1	特長	169
10.1.2	ブロック図	170
10.1.3	端子構成	171
10.1.4	レジスタ構成	172
10.1.5	アドレスマップ	173
10.2	レジスタの説明	175
10.2.1	バスコントロールレジスタ1 (BCR1)	175
10.2.2	バスコントロールレジスタ2 (BCR2)	179
10.2.3	ウェイトコントロールレジスタ1 (WCR1)	183
10.2.4	ウェイトコントロールレジスタ2 (WCR2)	185
10.2.5	DRAMエリアコントロールレジスタ (DCR)	187
10.2.6	リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)	191
10.2.7	リフレッシュタイムカウンタ (RTCNT)	194
10.2.8	リフレッシュタイムコンスタントレジスタ (RTCOR)	195
10.3	通常空間アクセス	196
10.3.1	基本タイミング	196
10.3.2	ウェイトステート制御	197
10.3.3	\overline{CS} アサート期間拡張	199
10.4	DRAM アクセス	200
10.4.1	DRAM 直結方式	200
10.4.2	基本タイミング	201
10.4.3	ウェイトステート制御	202
10.4.4	バースト動作	205
10.4.5	リフレッシュタイミング	207

10. バスステートコントローラ (BSC)

10.5	アドレス/データマルチプレクス I/O 空間アクセス	209
10.5.1	基本タイミング	209
10.5.2	ウェイトステート制御	210
10.5.3	CS アサート拡張	210
10.6	アクセスサイクル間ウェイト	211
10.6.1	データバス衝突防止	211
10.6.2	バスサイクル開始検出の容易化	213
10.7	バスアービトレーション	214
10.8	メモリ接続例	215
10.9	内蔵周辺 I/O レジスタのアクセス	220
10.10	外部メモリへプログラムを配置したときの CPU 動作	221

10.1 概要

バスステートコントローラ (BSC) はアドレス空間の分割、各種メモリに応じた制御信号の出力などを行います。これにより、外付け回路なしに DRAM、SRAM、ROM などの本 LSI に直結することができます。

10.1.1 特長

アドレス空間を 5 つに分割して管理

- CS0 空間は、内蔵 ROM 有効モードでは最大リニア 2M バイト、内蔵 ROM 無効モードでは最大 4M バイト
- CS1 空間、CS2 空間および CS3 空間はそれぞれ最大リニア 4M バイト
- DRAM 専用空間は最大リニア 16M バイト
- 空間ごとに、バス幅 (8 ビット、16 ビットまたは 32 ビット) を選択可能
- 空間ごとに、ソフトウェアによるウェイトステートを挿入可能
- 外部メモリ空間アクセス時に $\overline{\text{WAIT}}$ 端子によるウェイトステートを挿入可能
- 各空間に接続するメモリに対応した制御信号を出力

内蔵 ROM、RAM インタフェース

- 内蔵 RAM は 32 ビットを 1 ステートでアクセス
- 内蔵 ROM は 32 ビットを 1 ステートでアクセス

DRAM 直結インタフェース

- DRAM 容量に応じたロウアドレス / カラムアドレスのマルチプレクス
- 高速ページモード、RAS ダウンモードをサポート

各種メモリ、周辺 LSI に対応したアクセス制御

- アドレス / データマルチプレクス機能

リフレッシュ機能

- CAS ビフォ RAS リフレッシュとセルフリフレッシュをサポート

リフレッシュ用カウンタをインターバルタイマとして利用可能

- コンペアマッチで割り込み要求発生 (CMI 割り込み要求信号)

10.1.2 ブロック図

BSCのブロック図を図10.1に示します。

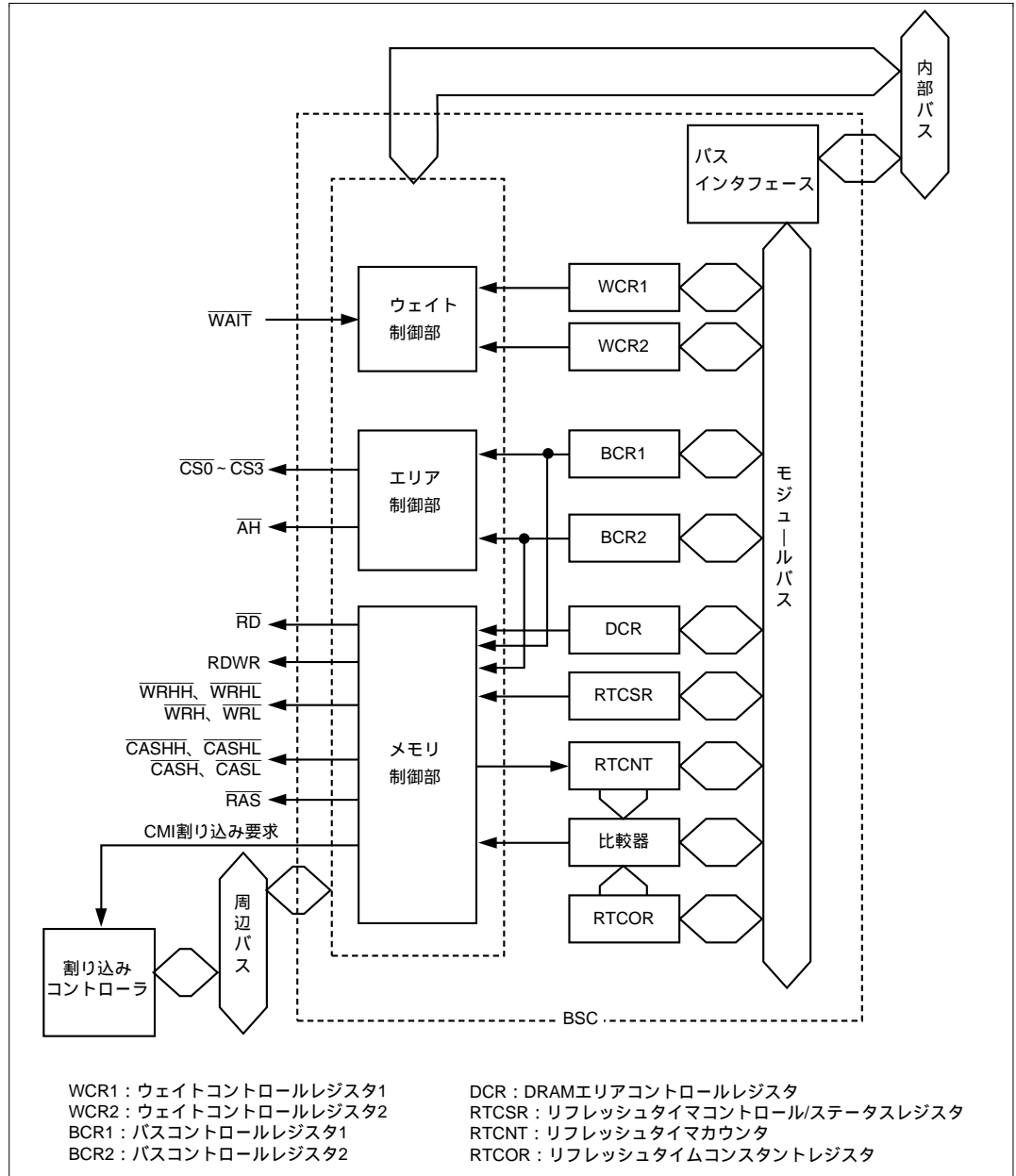


図 10.1 BSCのブロック図

10.1.3 端子構成

バスステートコントローラの端子構成を表 10.1 に示します。

表 10.1 端子構成

端子名	入出力	機能
A21 ~ A0	出力	アドレス出力 (パワーオンリセットにより A21 ~ A18 は入力ポートになります)
D31 ~ D0	入出力	32 ビットのデータバス。D15 ~ D0 はアドレス / データマルチプレクス I/O 時 アドレス出力およびデータ入出力
$\overline{CS0} \sim \overline{CS3}$	出力	チップセレクト
\overline{RD}	出力	読み出しサイクルを示すストローブ 通常空間 / マルチプレクス I/O 用、ただし DRAM アクセス時も出力される
\overline{WRHH}	出力	最上位バイト (D31 ~ D24) への書き込みサイクルを示すストローブ 通常空間 / マルチプレクス I/O 用、ただし DRAM アクセス時も出力される
\overline{WRHL}	出力	2 バイト目 (D23 ~ D16) への書き込みサイクルを示すストローブ 通常空間 / マルチプレクス I/O 用、ただし DRAM アクセス時も出力される
\overline{WRH}	出力	3 バイト目 (D15 ~ D8) への書き込みサイクルを示すストローブ 通常空間 / マルチプレクス I/O 用、ただし DRAM アクセス時も出力される
\overline{WRL}	出力	最下位バイト (D7 ~ D0) への書き込みサイクルを示すストローブ 通常空間 / マルチプレクス I/O 用、ただし DRAM アクセス時も出力される
RDWR	出力	DRAM への書き込みサイクルを示すストローブ DRAM 空間用
\overline{RAS}	出力	DRAM の RAS 信号 DRAM 空間用
\overline{CASHH}	出力	DRAM の最上位バイト (D31 ~ 24) アクセス時の CAS 信号 DRAM 空間用
\overline{CASHL}	出力	DRAM の 2 バイト目 (D23 ~ D16) アクセス時の CAS 信号 DRAM 空間用
\overline{CASH}	出力	DRAM の 3 バイト目 (D15 ~ D8) アクセス時の CAS 信号 DRAM 空間用
\overline{CASL}	出力	DRAM の最下位バイト (D7 ~ D0) アクセス時の CAS 信号 DRAM 空間用
AH	出力	アドレス / データマルチプレクス時のアドレスをホールドするための信号
WAIT	入力	ウェイトステート要求信号
BREQ	入力	バス開放要求入力
BACK	出力	バス使用許可出力

10.1.4 レジスタ構成

バスステートコントローラには8本のレジスタがあります。これらのレジスタにより、ウェイトステート、バス幅、DRAM、ROM、SRAMなどのメモリとのインタフェース、リフレッシュの制御などを行います。レジスタ構成を表10.2に示します。

レジスタサイズはすべて16ビットです。

メモリとのインタフェースの設定が終了するまでは、DRAM空間はアクセスしないでください。

バスステートコントローラのレジスタはすべてパワーオンリセットにより初期化されます。マニュアルリセットでは初期化されません。また、スタンバイモード時には値は保持されます。

表 10.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
バスコントロールレジスタ1	BCR1	R/W	H'200F	H'FFFF8620	8、16、32
バスコントロールレジスタ2	BCR2	R/W	H'FFFF	H'FFFF8622	8、16、32
ウェイトコントロールレジスタ1	WCR1	R/W	H'FFFF	H'FFFF8624	8、16、32
ウェイトコントロールレジスタ2	WCR2	R/W	H'000F	H'FFFF8626	8、16、32
DRAMエリアコントロールレジスタ	DCR	R/W	H'0000	H'FFFF862A	8、16、32
リフレッシュタイマコントロール /ステータスレジスタ	RTCSR	R/W	H'0000	H'FFFF862C	8、16、32
リフレッシュタイマカウンタ	RTCNT	R/W	H'0000	H'FFFF862E	8、16、32
リフレッシュタイムコンスタント レジスタ	RTCOR	R/W	H'0000	H'FFFF8630	8、16、32

10.1.5 アドレスマップ

図 10.2 に、本 LSI で用いるアドレスのフォーマットを示します。

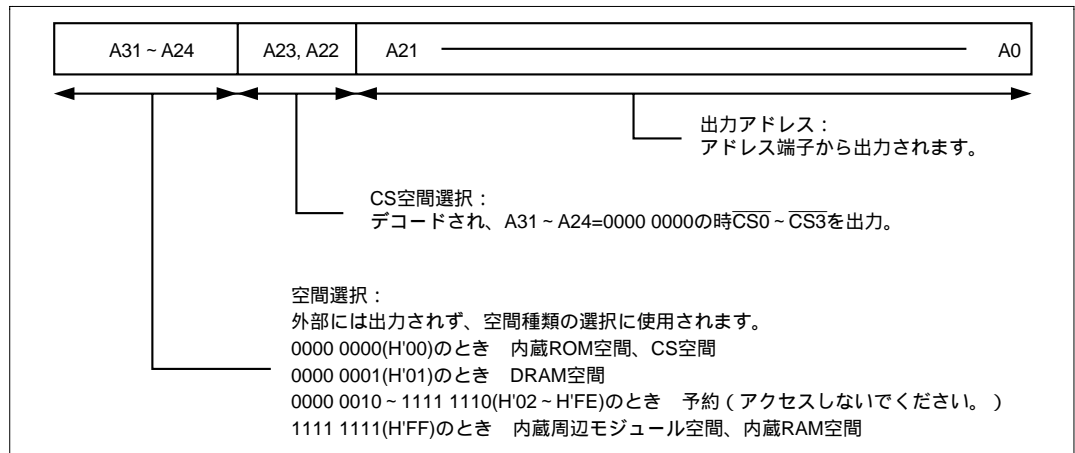


図 10.2 アドレスフォーマット

本 LSI では 32 ビットのアドレスを用います。

A31～A24 ビットは空間種類の選択に使用されます。外部には出力されません。

A23、A22 ビットは A31～A24 ビットが 00000000 のときデコードされ、エリアに対応するチップセレクト信号 ($\overline{CS0}$ ～ $\overline{CS3}$) となり、出力されます。

A21～A0 は外部に出力されます。

表 10.3 にアドレスマップを示します。

表 10.3 アドレスマップ

内蔵 ROM 有効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'00000000 ~ H'0003FFFF*4	内蔵 ROM	内蔵 ROM	256kB	32 ビット
H'00040000 ~ H'001FFFFFFF	予約	予約		
H'00200000 ~ H'003FFFFFFF	CS0 空間	通常空間	2MB	8/16/32 ビット*1
H'00400000 ~ H'007FFFFFFF	CS1 空間	通常空間	4MB	8/16/32 ビット*1
H'00800000 ~ H'00BFFFFFFF	CS2 空間	通常空間	4MB	8/16/32 ビット*1
H'00C00000 ~ H'00FFFFFFF	CS3 空間	通常空間 / マルチプレクス I/O 空間	4MB	8/16/32 ビット*2
H'01000000 ~ H'01FFFFFFF	DRAM 空間	DRAM	16MB	8/16/32 ビット*1
H'02000000 ~ H'FFFFFF7FFF	予約	予約		
H'FFFF8000 ~ H'FFFF87FF	内蔵周辺モジュール	内蔵周辺モジュール	2kB	8/16 ビット
H'FFFF8800 ~ H'FFFFEFFF	予約	予約		
H'FFFFF000 ~ H'FFFFFFFF	内蔵 RAM	内蔵 RAM	4kB	32 ビット

内蔵 ROM 無効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'00000000 ~ H'003FFFFFFF	CS0 空間	通常空間	4MB	8/16/32 ビット*3
H'00400000 ~ H'007FFFFFFF	CS1 空間	通常空間	4MB	8/16/32 ビット*1
H'00800000 ~ H'00BFFFFFFF	CS2 空間	通常空間	4MB	8/16/32 ビット*1
H'00C00000 ~ H'00FFFFFFF	CS3 空間	通常空間 / マルチプレクス I/O 空間	4MB	8/16/32 ビット*2
H'01000000 ~ H'01FFFFFFF	DRAM 空間	DRAM	16MB	8/16/32 ビット*1
H'02000000 ~ H'FFFFFF7FFF	予約	予約		
H'FFFF8000 ~ H'FFFF87FF	内蔵周辺モジュール	内蔵周辺モジュール	2kB	8/16 ビット
H'FFFF8800 ~ H'FFFFEFFF	予約	予約		
H'FFFFF000 ~ H'FFFFFFFF	内蔵 RAM	内蔵 RAM	4kB	32 ビット

【注】 1. シングルチップモードのとき、内蔵 ROM、内蔵 RAM、内蔵周辺モジュール以外の空間は使用できません。

2. 予約空間はアクセスしないでください。アクセスした場合動作の保証はできません。

*1 内蔵レジスタの設定で選択

*2 通常空間時：内蔵レジスタの設定で選択

マルチプレクス I/O 空間時：A14 ビットで 8/16 ビットを選択

*3 モード端子で選択 112 ピン、120 ピン時 8/16 ビット

144 ピン時 16/32 ビット

*4 内蔵 ROM 64kB 版の場合は、内蔵 ROM のアドレスは H'00000000 ~ H'0000FFFF になり、アドレス H'00010000 ~ H'0003FFFF は予約空間になります。

内蔵 ROM 128kB 版の場合は、内蔵 ROM のアドレスは H'00000000 ~ H'0001FFFF になり、アドレス H'00020000 ~ H'0003FFFF は予約空間となります。

10.2 レジスタの説明

10.2.1 バスコントロールレジスタ 1 (BCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			MTU RWE					IOE	A3LG	A2LG	A1LG	A0LG	A3SZ	A2SZ	A1SZ	A0SZ
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バスコントロールレジスタ 1 (BCR1) は読み出し / 書き込み可能な 16 ビットのレジスタで、MTU の制御レジスタの書き込み許可指定、マルチプレクス I/O の選択および各 CS 空間のバスサイズ指定を行います。なお、112 ピン版 (SH7040/SH7042/SH7044) 120 ピン版 (SH7040/SH7042) では、バスサイズ指定をワード (16 ビット) サイズ以下にしてください。

BCR1 のビット 8~0 はパワーオンリセット後の初期設定時に書き込みを行い、以後は値を変更しないでください。内蔵 ROM 有効モードの場合、レジスタの初期設定が終了するまで各 CS 空間はアクセスしないでください。内蔵 ROM 無効モードの場合、レジスタの初期設定が終了するまで CS0 空間以外の CS 空間はアクセスしないでください。

BCR1 はパワーオンリセットで H'200F に初期化されますが、マニュアルリセットおよびスタンバイモードでは初期化されません。

ビット 15、14 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 13 : MTU 読み出し / 書き込みイネーブル (MTURWE)

本ビットが 1 のとき、MTU の制御レジスタのアクセスを許可します。詳しくは、MTU の章をご参照ください。

ビット 13	説明
MTURWE	
0	MTU の制御レジスタのアクセスを禁止
1	MTU の制御レジスタのアクセスを許可 (初期値)

ビット 12~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット8 : マルチプレクス I/O イネーブル (IOE)

CS3 空間を通常空間とするか、アドレス / データマルチプレクス I/O 空間とするかを選択します。0 にすると通常空間になり、1 にするとアドレス / データマルチプレクス I/O 空間になります。アドレス / データマルチプレクス I/O 空間では、アドレスとデータがマルチプレクスされてデータバスから入出力されます。CS3 空間をマルチプレクス I/O 空間とした場合のバスサイズは A14 ビットで決まります (A14=0 : 8 ビット、A14=1 : 16 ビット)。

ビット8	説明
IOE	
0	CS3 空間は通常空間 (初期値)
1	CS3 空間はアドレス / データマルチプレクス I/O 空間

ビット7 : CS3 空間ロングサイズ指定 (A3LG)

CS3 空間のバスサイズ指定を行います。ただし、CS3 空間が通常空間時のみ有効です。CS3 空間がアドレス / データマルチプレクス I/O 空間の場合バスサイズは A14 ビットで決まります。

ビット7	説明
A3LG	
0	本レジスタ中の A3SZ ビットで設定される値に従います (初期値)
1	ロングワード (32 ビット) サイズ

ビット6 : CS2 空間ロングサイズ指定 (A2LG)

CS2 空間のバスサイズ指定を行います。

ビット6	説明
A2LG	
0	本レジスタ中の A2SZ ビットで設定される値に従います (初期値)
1	ロングワード (32 ビット) サイズ

ビット5 : CS1 空間ロングサイズ指定 (A1LG)

CS1 空間のバスサイズ指定を行います。

ビット5	説明
A1LG	
0	本レジスタ中の A1SZ ビットで設定される値に従います (初期値)
1	ロングワード (32 ビット) サイズ

ビット4 : CS0 空間ロングサイズ指定 (A0LG)

CS0 空間のバスサイズ指定を行います。

ビット4	説明
A0LG	
0	本レジスタ中の A0SZ ビットで設定される値に従います (初期値)
1	ロングワード (32 ビット) サイズ

【注】 A0LG は内蔵 ROM 有効モード時のみ有効であり、内蔵 ROM 無効モード時は、CS0 空間のバスサイズはモード端子によって指定されます。

ビット3 : CS3 空間サイズ指定 (A3SZ)

A3LG=0 時、CS3 空間のバスサイズ指定を行います。ただし、CS3 空間が通常空間時のみ有効です。CS3 空間がアドレス / データマルチプレクス I/O 空間の場合バスサイズは A14 ビットで決まります。

ビット3	説明
A3SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

【注】 A3LG=1 のときはこのビットは無視され、CS3 空間のバスサイズはロングワード (32 ビット) となります (通常空間時)。

ビット2 : CS2 空間サイズ指定 (A2SZ)

A2LG=0 時、CS2 空間のバスサイズ指定を行います。

ビット2	説明
A2SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

【注】 A2LG=1 のときはこのビットは無視され、CS2 空間のバスサイズはロングワード (32 ビット) となります。

ビット1 : CS1 空間サイズ指定 (A1SZ)

A1LG=0 時、CS1 空間のバスサイズ指定を行います。

ビット1	説明
A1SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

【注】 A1LG=1 のときはこのビットは無視され、CS1 空間のバスサイズはロングワード (32 ビット) となります。

ビット0 : CS0 空間サイズ指定 (A0SZ)

A0LG=0 時、CS0 空間のバスサイズ指定を行います。

ビット0	説明
A0SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

【注】 A0SZ は内蔵 ROM 有効モード時のみ有効であり、内蔵 ROM 無効モード時は、CS0 空間のバスサイズはモード端子によって指定されます。また、内蔵 ROM 有効モード時でも、A0LG=1 のときはこのビットは無視され、CS0 空間のバスサイズはロングワード (32 ビット) となります。

10.2.2 バスコントロールレジスタ 2 (BCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バスコントロールレジスタ 2 (BCR2) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のアイドルサイクル数や \overline{CS} 信号のアサート期間の拡張を指定します。

BCR2 はパワーオンリセットで H'FFFF に初期化されますが、マニュアルリセットおよびスタンバイモードでは初期化されません。

ビット 15 ~ 8 : サイクル間アイドル指定

(IW31、IW30、IW21、IW20、IW11、IW10、IW01、IW00)

サイクル間アイドル指定は、読み出しアクセス後に異なる CS 空間を続けてアクセスする場合に、アクセス間に挿入するアイドルサイクルの指定を行います。これは読み出しデータのバッファオフの遅い ROM など、高速なメモリ、I/O インタフェースなどのデータの衝突を防止するために使用します。同一 CS 空間に対するアクセスであっても、直前のアクセスが読み出しで次のアクセスが書き込みの場合にはアイドルサイクルの挿入を行います。アイドルサイクルの指定は直前にアクセスされた CS 空間のものが有効となります。詳しくは「10.6 アクセスサイクル間ウェイト」を参照してください。

IW31、30 が CS3 空間のサイクル間アイドル、IW21、IW20 が CS2 空間のサイクル間アイドル、IW11、IW10 が CS1 空間のサイクル間アイドル、IW01、IW00 が CS0 空間のサイクル間アイドルをそれぞれ指定します。

ビット 15	ビット 14	説 明
IW31	IW30	
0	0	CS3 空間アクセス後アイドルサイクルなし
	1	CS3 空間アクセス後 1 アイドルサイクル
1	0	CS3 空間アクセス後 2 アイドルサイクル
	1	CS3 空間アクセス後 3 アイドルサイクル (初期値)

10. バスステートコントローラ (BSC)

ビット 13	ビット 12	説 明
IW21	IW20	
0	0	CS2 空間アクセス後アイドルサイクルなし
	1	CS2 空間アクセス後 1 アイドルサイクル
1	0	CS2 空間アクセス後 2 アイドルサイクル
	1	CS2 空間アクセス後 3 アイドルサイクル (初期値)

ビット 11	ビット 10	説 明
IW11	IW10	
0	0	CS1 空間アクセス後アイドルサイクルなし
	1	CS1 空間アクセス後 1 アイドルサイクル
1	0	CS1 空間アクセス後 2 アイドルサイクル
	1	CS1 空間アクセス後 3 アイドルサイクル (初期値)

ビット 9	ビット 8	説 明
IW01	IW00	
0	0	CS0 空間アクセス後アイドルサイクルなし
	1	CS0 空間アクセス後 1 アイドルサイクル
1	0	CS0 空間アクセス後 2 アイドルサイクル
	1	CS0 空間アクセス後 3 アイドルサイクル (初期値)

ビット7～4：連続アクセス時アイドル指定 (CW3、CW2、CW1、CW0)

連続アクセス時アイドル指定は同一CS空間を連続してアクセスする場合、 \overline{CSn} 信号をいったんネゲートすることにより、バスの切れ目をわかりやすくするために挿入します。ただし、読み出しの次に書き込みが続く場合、挿入されるアイドルサイクルはIWによって指定される値とCWによって指定される値のうち大きい方を選択します。詳しくは「10.6 アクセスサイクル間ウェイト」を参照してください。

CW3がCS3空間の連続アクセス時アイドル、CW2がCS2空間の連続アクセス時アイドル、CW1がCS1空間の連続アクセス時アイドル、CW0がCS0空間の連続アクセス時アイドルをそれぞれ指定します。

ビット7	説 明	
CW3		
0	CS3 空間連続アクセス時アイドルサイクルなし	
1	CS3 空間連続アクセス時 1 アイドルサイクル	(初期値)

ビット6	説 明	
CW2		
0	CS2 空間連続アクセス時アイドルサイクルなし	
1	CS2 空間連続アクセス時 1 アイドルサイクル	(初期値)

ビット5	説 明	
CW1		
0	CS1 空間連続アクセス時アイドルサイクルなし	
1	CS1 空間連続アクセス時 1 アイドルサイクル	(初期値)

ビット4	説 明	
CW0		
0	CS0 空間連続アクセス時アイドルサイクルなし	
1	CS0 空間連続アクセス時 1 アイドルサイクル	(初期値)

ビット3~0 : \overline{CS} アサート拡張指定 (SW3、SW2、SW1、SW0)

CS アサート拡張指定は \overline{RD} 信号、 \overline{WRx} 信号のアサート期間が \overline{CSn} 信号のアサート期間からはみ出すことを防止するために挿入します。拡張サイクルは、各バスサイクルの前後に1サイクルずつ挿入されます。これにより、外部デバイスとのインタフェースが容易になります。また、書き込みデータホールド期間を延ばす効果もあります。詳しくは、「10.3.3 \overline{CS} アサート期間拡張」を参照してください。

SW3 が CS3 空間アクセス時の \overline{CS} アサート拡張指定、SW2 が CS2 空間アクセス時の \overline{CS} アサート拡張指定、SW1 が CS1 空間アクセス時の \overline{CS} アサート拡張指定、SW0 が CS0 空間アクセス時の \overline{CS} アサート拡張指定をそれぞれ行います。

ビット3	説明
SW3	
0	CS3 空間 \overline{CS} アサート拡張なし
1	CS3 空間 \overline{CS} アサート拡張あり (初期値)

ビット2	説明
SW2	
0	CS2 空間 \overline{CS} アサート拡張なし
1	CS2 空間 \overline{CS} アサート拡張あり (初期値)

ビット1	説明
SW1	
0	CS1 空間 \overline{CS} アサート拡張なし
1	CS1 空間 \overline{CS} アサート拡張あり (初期値)

ビット0	説明
SW0	
0	CS0 空間 \overline{CS} アサート拡張なし
1	CS0 空間 \overline{CS} アサート拡張あり (初期値)

10.2.3 ウェイトコントロールレジスタ 1 (WCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	W33	W32	W31	W30	W23	W22	W21	W20	W13	W12	W11	W10	W03	W02	W01	W00
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトコントロールレジスタ 1 (WCR1) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のウェイトサイクル数 (0~15) を指定します。

WCR1 はパワーオンリセットで H'FFFF に初期化されますが、マニュアルリセットおよびスタンバイモードでは初期化されません。

ビット 15~12 : CS3 空間ウェイト指定 (W33、W32、W31、W30)

CS3 空間アクセス時のウェイト数を指定します。

ビット 15	ビット 14	ビット 13	ビット 12	説明
W33	W32	W31	W30	
0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
			1	1 ウェイト外部ウェイト入力カインェブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力カインェブル (初期値)

ビット 11~8 : CS2 空間ウェイト指定 (W23、W22、W21、W20)

CS2 空間アクセス時のウェイト数を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説明
W23	W22	W21	W20	
0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
			1	1 ウェイト外部ウェイト入力カインェブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力カインェブル (初期値)

10. バスステートコントローラ (BSC)

ビット7～4 : CS1空間ウェイト指定 (W13、W12、W11、W10)

CS1空間アクセス時のウェイト数を指定します。

ビット7	ビット6	ビット5	ビット4	説 明
W13	W12	W11	W10	
0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
			1	1ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15ウェイト外部ウェイト入力イネーブル (初期値)

ビット3～0 : CS0空間ウェイト指定 (W03、W02、W01、W00)

CS0空間アクセス時のウェイト数を指定します。

ビット3	ビット2	ビット1	ビット0	説 明
W03	W02	W01	W00	
0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
			1	1ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15ウェイト外部ウェイト入力イネーブル (初期値)

10.2.4 ウェイトコントロールレジスタ 2 (WCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											DDW1	DDW0	DSW3	DSW2	DSW1	DSW0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトコントロールレジスタ 2 (WCR2) は読み出し / 書き込み可能な 16 ビットのレジスタで、DMA シングルアドレスモード転送時の DRAM 空間と CS 空間のアクセスサイクル数を指定します。

WCR2 を設定するまで、DMA シングルアドレス転送をしないでください。

WCR2 はパワーオンリセットで H'000F に初期化されますが、マニュアルリセットおよびスタンバイモードでは初期化されません。

ビット 15~6 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5、4 : DRAM 空間 DMA シングルアドレスモードアクセス時、ウェイト指定 (DDW1、DDW0)

DMA シングルアドレスモードアクセス時、DRAM 空間をアクセスする場合、ウェイト数を指定します。このビットは、DCR の DWW、DWR ビットと独立です。

ビット 5	ビット 4	説明
DDW1	DDW0	
0	0	2 サイクル (ノーウェイト) 外部ウェイト禁止 (初期値)
	1	3 サイクル (1 ウェイト) 外部ウェイト禁止
1	0	4 サイクル (2 ウェイト) 外部ウェイトイネーブル
	1	5 サイクル (3 ウェイト) 外部ウェイトイネーブル

10. バスステートコントローラ (BSC)

ビット3~0 : CS 空間 DMA シングルアドレスモードアクセス時、ウェイト指定
(DSW3、DSW2、DSW1、DSW0)

DMA シングルアドレスモードアクセス時の CS 空間のウェイト (0 ~ 15) 指定を行います。このビットは、WCR1 の W ビットと独立です。

ビット3	ビット2	ビット1	ビット0	説 明
DSW3	DSW2	DSW1	DSW0	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
			1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

10.2.5 DRAM エリアコントロールレジスタ (DCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPC	RCD	TRAS 1	TRAS 0	DWW 1	DWW 0	DWR 1	DWR 0	DIW		BE	RASD	SZ1	SZ0	AMX 1	AMX 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

DRAM エリアコントロールレジスタ (DCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、DRAM 制御の各ウェイト数、動作モード、アドレスマルチプレクスシフト数などを選択します。

DCR の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以後値を変更しないでください。レジスタの初期設定が終了するまでは DRAM 空間をアクセスしないでください。

DCR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモードでは初期化されません。

ビット 15 : RAS プリチャージサイクル数 (TPC)

$\overline{\text{RAS}}$ ネゲート後、次にアサートするまでの最小サイクル数を指定します。

ビット 15	説 明	
TPC		
0	1.5 サイクル	(初期値)
1	2.5 サイクル	

ビット 14 : RAS - CAS 遅延サイクル数 (RCD)

ロウアドレス出力サイクル数を指定します。

ビット 14	説 明	
RCD		
0	1 サイクル	(初期値)
1	2 サイクル	

ビット 13、12 : CAS ビフォ RAS リフレッシュ RAS アサートサイクル数
(TRAS1、TRAS0)

CAS ビフォ RAS リフレッシュ時の RAS アサートサイクル数を指定します。

ビット 13	ビット 12	説 明
TRAS1	TRAS0	
0	0	2.5 サイクル (初期値)
	1	3.5 サイクル
1	0	4.5 サイクル
	1	5.5 サイクル

ビット 11、10 : DRAM 書き込みサイクル、ウェイト数 (DWW1、DWW0)

DRAM 書き込みサイクルのカラムアドレス出力サイクル数を指定します。

ビット 11	ビット 10	説 明
DWW1	DWW0	
0	0	2 サイクル (ノーウェイト) 外部ウェイト禁止 (初期値)
	1	3 サイクル (1 ウェイト) 外部ウェイト禁止
1	0	4 サイクル (2 ウェイト) 外部ウェイトイネーブル
	1	5 サイクル (3 ウェイト) 外部ウェイトイネーブル

ビット 9、8 : DRAM 読み出しサイクル、ウェイト数 (DWR1、DWR0)

DRAM 読み出しサイクルのカラムアドレス出力サイクル数を指定します。

ビット 9	ビット 8	説 明
DWR1	DWR0	
0	0	2 サイクル (ノーウェイト) 外部ウェイト禁止 (初期値)
	1	3 サイクル (1 ウェイト) 外部ウェイト禁止
1	0	4 サイクル (2 ウェイト) 外部ウェイトイネーブル
	1	5 サイクル (3 ウェイト) 外部ウェイトイネーブル

ビット7 : DRAM アイドルサイクル数 (DIW)

DRAM 読み出し後の異なる外部空間 (CS 空間) のアクセスおよび DRAM 読み出し後の DRAM 書き込みの際に、アイドルサイクルを入れるかどうか指定します。

ビット7	説明
DIW	
0	アイドルサイクルなし (初期値)
1	1 アイドルサイクル

ビット6 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5 : バーストイネーブル (BE)

DRAM の動作モードを指定します。

ビット5	説明
BE	
0	バースト禁止 (初期値)
1	DRAM 高速ページモードをイネーブルにします

ビット4 : RAS ダウンモード (RASD)

DRAM の動作モードを指定します。

ビット4	説明
RASD	
0	DRAM を RAS アップモードでアクセスします (初期値)
1	DRAM を RAS ダウンモードでアクセスします

ビット3、2 : DRAMバス幅指定 (SZ1、SZ0)

DRAM空間のバス幅を指定します。

ビット3	ビット2	説明
SZ1	SZ0	
0	0	バイト (8ビット) (初期値)
	1	ワード (16ビット)
1	*	ロングワード (32ビット)

* : 0または1

ビット1、0 : DRAMアドレスマルチプレクス (AMX1、AMX0)

DRAMアドレスマルチプレクス数を指定します。

ビット1	ビット0	説明
AMX1	AMX0	
0	0	9ビット (初期値)
	1	10ビット
1	0	11ビット
	1	12ビット

10.2.6 リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
										CMF	CMIE	CKS2	CKS1	CKS0	RFSH	RMD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リフレッシュタイムコントロール/ステータスレジスタ (RTCSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、リフレッシュのモードおよびリフレッシュタイムカウンタ (RTCNT) に入力するクロックを選択し、コンペアマッチ割り込み (CMI) を制御します。

RTCSR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモードでは初期化されません。

ビット 15~7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : コンペアマッチフラグ (CMF)

RTCNT の値と RTCOR の値が一致したことを示すステータスフラグであり、以下の条件でセットおよびクリアされます。

ビット 6	説明
CMF	
0	クリア条件 : CMF=1 の状態で RTCSR を読み出した後、CMF に 0 を書き込んだとき。 (初期値) また、コンペアマッチ割り込みによる DTC の起動によりクリアされます。詳しくは、DTC の章を参照してください。
1	セット条件 : RTCNT=RTCOR になったとき。*

【注】 * RTCNT および RTCOR が初期値のままのとき (初期値から値を書き換えていないとき および RTCNT がカウントアップにより値を変化させていないとき)、RTCNT および RTCOR は共に H'0000 で一致していますがこのときには CMF はセットされません。

ビット5：コンペアマッチインタラプトイネーブル (CMIE)

RTCSR の CMF が 1 にセットされたとき、CMF による割り込み要求を許可または禁止します。

ビット5	説明
CMIE	
0	CMF による割り込み要求を禁止 (初期値)
1	CMF による割り込み要求を許可

ビット4～2：クロックセレクト (CKS2、CKS1、CKS0)

システムクロック () を分周して得られる 7 種類の内部クロックから RTCNT に入力するクロックを選択します。

ビット4	ビット3	ビット2	説明
CKS2	CKS1	CKS0	
0	0	0	カウントアップ停止 (初期値)
		1	/2
	1	0	/8
		1	/32
1	0	0	/128
		1	/512
	1	0	/2048
		1	/4096

ビット1：リフレッシュ制御 (RFSH)

DRAM のリフレッシュ制御をするかしないかを選択します。

ビット1	説明
RFSH	
0	DRAM のリフレッシュをしない (初期値)
1	DRAM のリフレッシュをする

ビット0：リフレッシュモード (RMD)

本ビットはRFSHビットが1のとき、通常リフレッシュを行うか、セルフリフレッシュを行うかを選択するビットです。RFSHビットを1、本ビットを1に設定するとその直後にセルフリフレッシュモードに入ります。RFSHビットを1、本ビットを0に設定するとリフレッシュタイムコンスタントレジスタ (RTCNT) に設定した間隔でCAS ビフォ RAS リフレッシュを行います。

セルフリフレッシュにセットした場合、DRAM アクセス中でなければ直ちにセルフリフレッシュモードに入ります。アクセス中の場合はアクセスが終了してからセルフリフレッシュモードに入ります。なお、セルフリフレッシュモード中のインターバルタイムによるリフレッシュ要求は無視されます。

ビット0	説明
RMD	
0	CAS ビフォ RAS リフレッシュを行います (初期値)
1	セルフリフレッシュを行います

10.2.7 リフレッシュタイマカウンタ (RTCNT)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リフレッシュタイマカウンタ (RTCNT) は読み出し / 書き込み可能な 16 ビットのレジスタで、リフレッシュまたは割り込み要求を発生させるための 8 ビットアップカウンタとして使用します。

RTCNT は RTCSR の CKS2 ~ 0 ビットで選択したクロックによりカウントアップされます。RTCNT の値は CPU から常に読み出し / 書き込み可能です。RTCNT がリフレッシュタイムコンスタントレジスタ (RTCOR) と一致すると、RTCNT は H'0000 にクリアされ、RTCSR の CMF フラグが 1 にセットされます。このとき、RTCSR の RFSH ビットが 1 に、RMD ビットが 0 に設定されていると、CAS ビフォ RAS リフレッシュが行われます。また、RTCSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) が発生します。

ビット 15 ~ 8 は予約ビットで、カウンタ動作は行いません。常に 0 が読み出されます。

RTCNT はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモードでは初期化されません。

10.2.8 リフレッシュタイムコンスタントレジスタ (RTCOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リフレッシュタイムコンスタントレジスタ (RTCOR) は読み出し / 書き込み可能な 16 ビットのレジスタで、RTCNT とのコンペアマッチ周期を設定します。RTCOR と RTCNT の値は常に比較され、両方の値が一致すると RTCSR の CMF フラグがセットされ、RTCNT は 0 にクリアされます。

RTCSR の RFSH ビットが 1、RMD ビットが 0 に設定されているとき、この一致信号によってリフレッシュ要求信号を発生します。リフレッシュ要求信号は実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は前の要求は無効となります。

RTCSR の CMIE が 1 にセットされていると、この一致信号によって割り込みコントローラに対し割り込み要求を発生させます。割り込み要求は RTCSR の CMF がクリアされるまで続けて出力されます。

ビット 15 ~ 8 は予約ビットで、周期設定には使用できません。常に 0 が読み出されます。

RTCOR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモードでは初期化されません。

10.3 通常空間アクセス

通常空間では、主に SRAM、ROM の直結を想定してストロープ信号を出力します。

10.3.1 基本タイミング

通常空間アクセスのバスサイクルは、2 ステートで行われます。図 10.3 に通常空間アクセスの基本タイミングを示します。

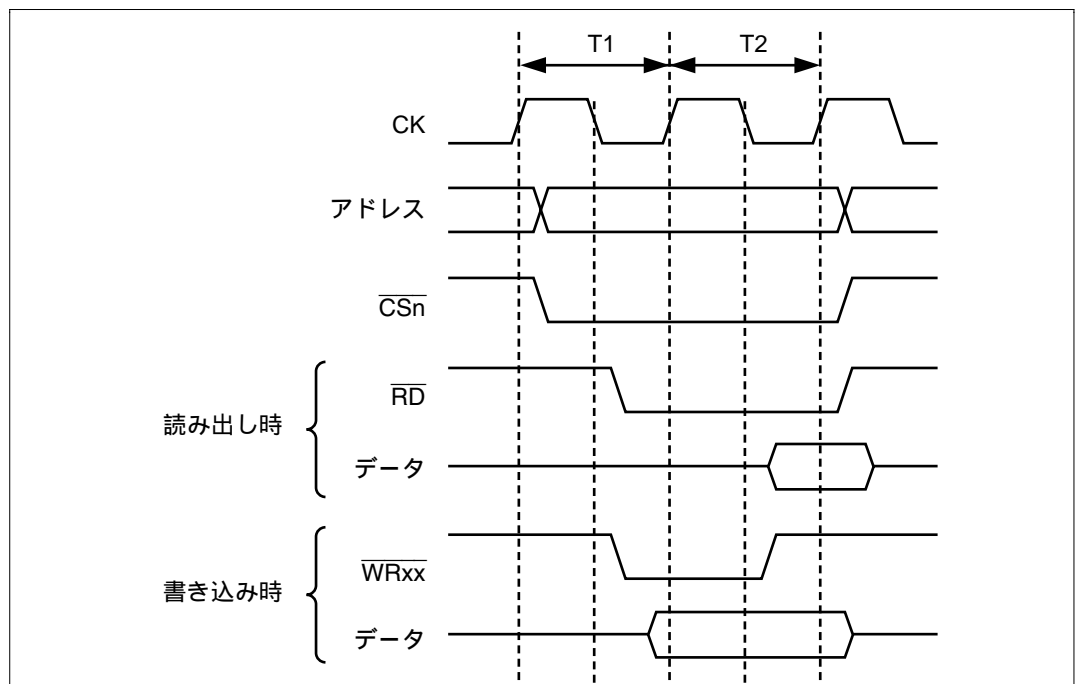


図 10.3 通常空間アクセスの基本タイミング

読み出し時は、オペランドサイズにかかわらず、 \overline{RD} 信号によりアクセスする空間(アドレス)のデータバス幅全ビットを LSI に取り込み、必要なバイト位置を使用します。

書き込み時は、実際に書き込むバイト位置を \overline{WRHH} (ビット 31~24)、 \overline{WRHL} (ビット 23~16)、 \overline{WRH} (ビット 15~8)、 \overline{WRL} (ビット 7~0) の各信号で示します。

10.3.2 ウェイトステート制御

WCR の設定により、通常空間アクセスのウェイトステートの挿入を制御できます。図 10.4 に示すタイミングで、 T_w のサイクルがソフトウェアウェイトサイクルとして指定サイクル数だけ挿入されます。

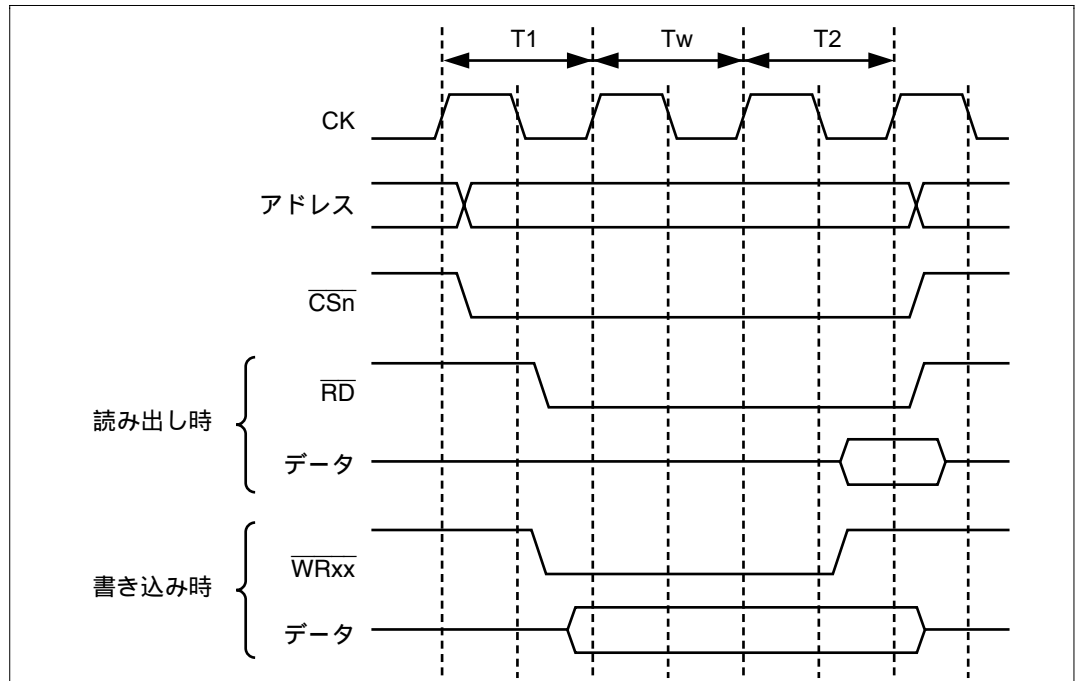


図 10.4 通常空間アクセスのウェイトステートタイミング
(ソフトウェアウェイトのみ)

WCR によってソフトウェアによるウェイトを 1 ウェイト以上指定したときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 10.5 に示します。 $\overline{\text{WAIT}}$ 信号のサンプリングは、 T_w ステートから T_2 ステートに移行する際にクロックの立ち上がりのちょうど 1 サイクル前のクロックの立ち上がりで行われます。

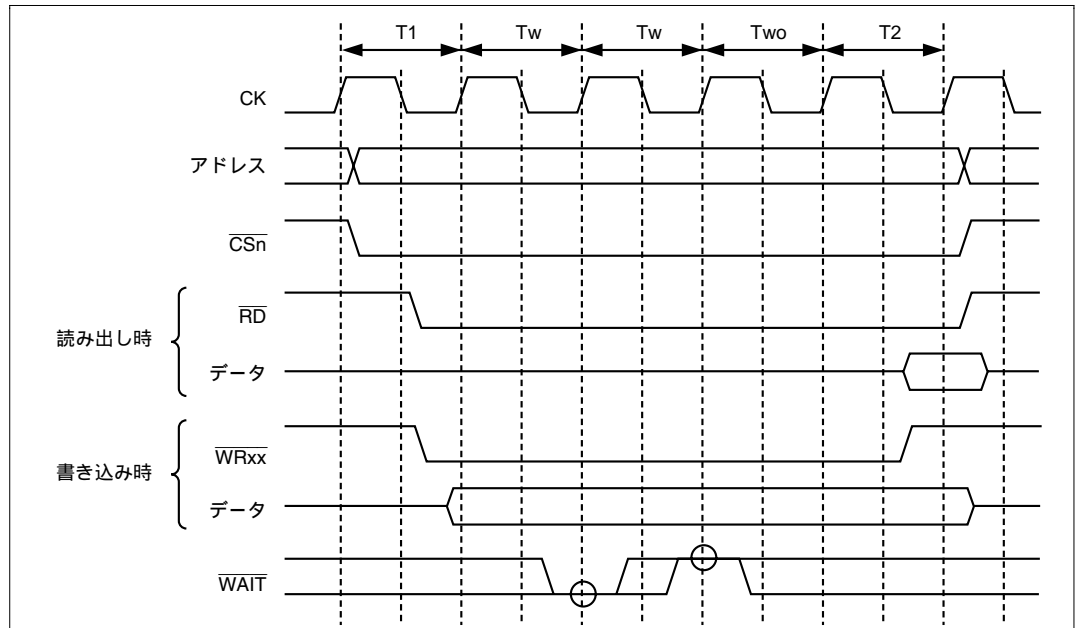


図 10.5 通常空間アクセスのウェイトステートタイミング
(ソフトウェアウェイト 2 ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート)

10.3.3 \overline{CS} アサート期間拡張

BCR2のSW3~SW0ビットの設定により、 \overline{RD} 、 $\overline{WR_{xx}}$ のアサート期間が $\overline{CS_n}$ のアサート期間からはみ出さないようにアイドルサイクルを挿入することができます。これにより、外付け回路とフレキシブルなインタフェースがとれます。タイミングを図10.6に示します。ThおよびTfサイクルが通常サイクルの前と後ろにそれぞれ付加されています。このサイクルでは $\overline{CS_n}$ のみアサートされ、 \overline{RD} 、 $\overline{WR_{xx}}$ はアサートされません。また、データはTfサイクルまで延ばされるので、書き込み動作の遅いデバイスなどに有効です。

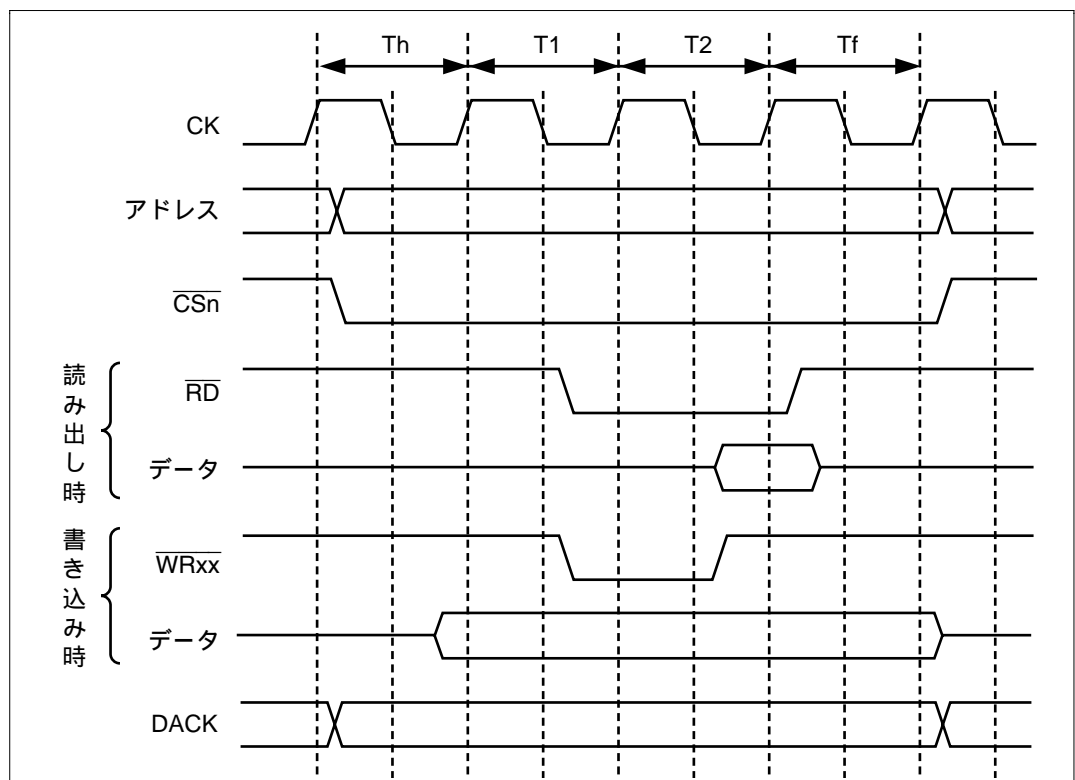


図 10.6 \overline{CS} アサート期間拡張機能

10.4 DRAM アクセス

10.4.1 DRAM 直結方式

アドレスが A31 ~ A24=H'01 の空間アクセスをした場合、対象空間は 16M バイトの DRAM 空間となり、本 LSI と DRAM を直結させるための DRAM インタフェース機能を使用できます。

DRAM 空間では、常にロウアドレスとカラムアドレスのマルチプレクスが行われます。ロウアドレスのマルチプレクス量は、DCR の AMX1、AMX0 ビットの設定により 9 ビットから 12 ビットまでを選択できます。

表 10.4 AMX1、AMX0 とアドレスマルチプレクスの関係

AMX1	AMX0	シフト 量	ロウアドレス		カラムアドレス	
			出力端子	出力される アドレス	出力される アドレス	出力端子
0	0	9 ビット	A21 ~ A15	A21 ~ A15	A21 ~ A0	A21 ~ A0
			A14 ~ A0	A23 ~ A9		
	1	10 ビット	A21 ~ A14	A21 ~ A14	A21 ~ A0	A21 ~ A0
			A13 ~ A0	A23 ~ A10		
1	0	11 ビット	A21 ~ A13	A21 ~ A13	A21 ~ A0	A21 ~ A0
			A12 ~ A0	A23 ~ A11		
	1	12 ビット	A21 ~ A12	A21 ~ A12	A21 ~ A0	A21 ~ A0
			A11 ~ A0	A23 ~ A12		

アクセスモードには、通常の読み出し、書き込みに加え、高速ページモードを利用したバーストアクセスをサポートします。

10.4.2 基本タイミング

本 LSI でサポートする DRAM アクセスは CAS2 本方式です。DRAM アクセスの基本タイミングはノーマルモードで最小 3 サイクルです。DRAM アクセスの基本タイミングを図 10.7 に示します。DRAM 空間では、 $\overline{\text{RAS}}$ 、 $\overline{\text{CASxx}}$ 、RDWR 信号でアクセスが制御されます。アクセスするバイト位置を $\overline{\text{CASHH}}$ (ビット 31~24)、 $\overline{\text{CASHL}}$ (ビット 23~16)、 $\overline{\text{CASH}}$ (ビット 15~8)、 $\overline{\text{CASL}}$ (ビット 7~0) の各信号で示します。ただし、DMAC のシングル転送用にカラムアドレスサイクル期間に通常空間用の $\overline{\text{WRxx}}$ 、 $\overline{\text{RD}}$ 信号も出力されます。Tp はプリチャージサイクル、Tr は RAS アサートサイクル、Tc は CAS アサートサイクル、Tc2 は読み出しデータ取り込みサイクルです。

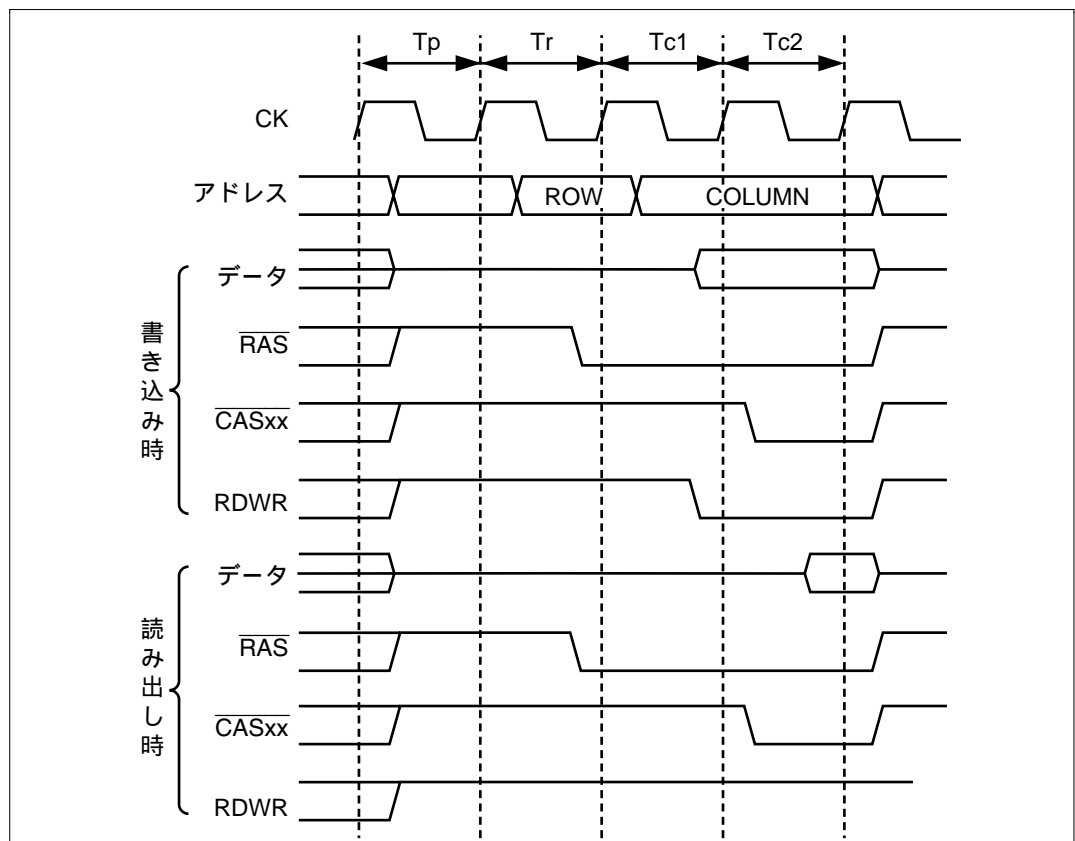


図 10.7 DRAM バスサイクル

(ノーマルモード、TPC=0、RCD=0、ノーウェイト)

10.4.3 ウェイトステート制御

DCR の TPC、RCD、DWW1、DWW0、DWR1 および DWR0 の設定により、DRAM 空間アクセスのウェイトステートの挿入を制御できます。TPC、RCD は読み出し / 書き込み共通です。ウェイトを挿入したタイミングを図 10.8~10.11 に示します。外部ウェイトはソフトウェアウェイト 2、3 のとき挿入可能です。サンプリング位置は通常空間時と同じ T_{c2} サイクルのクロックの立ち上がりから 1 サイクル前です。外部ウェイトによってウェイトサイクルが引き延ばされます。

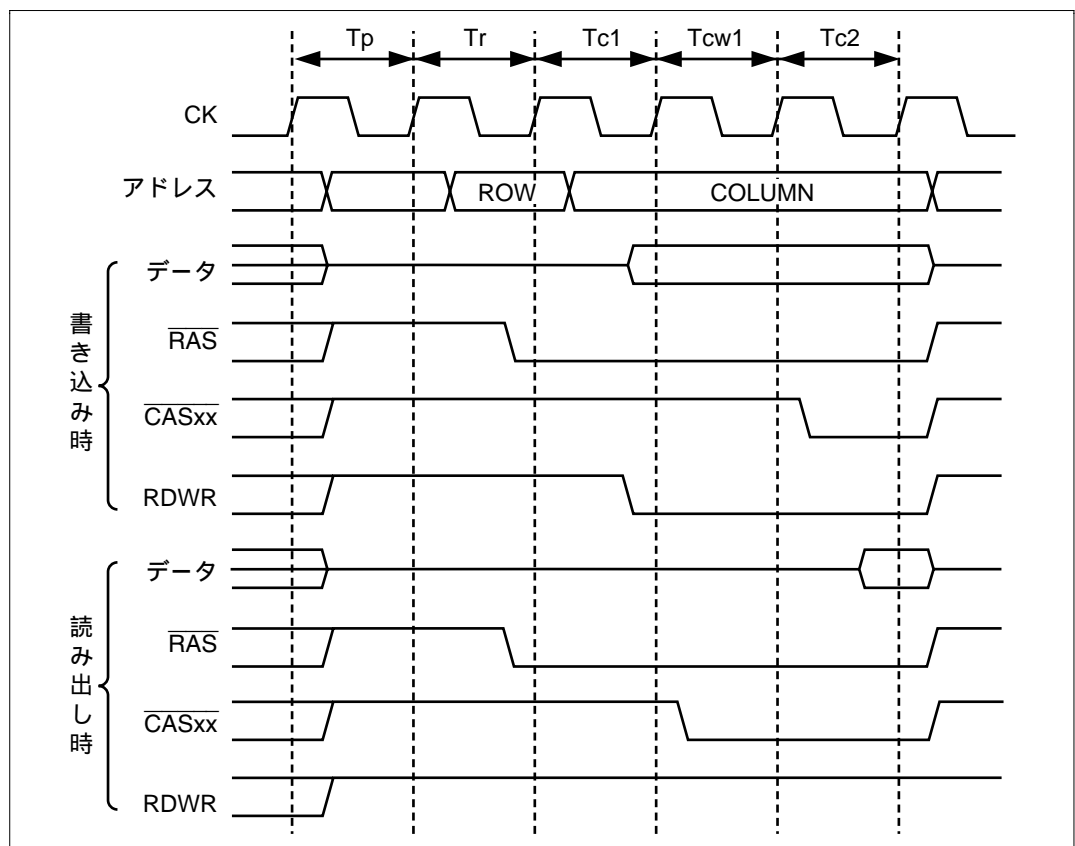


図 10.8 DRAM バスサイクル
(ノーマルモード、TPC=0、RCD=0、1 ウェイト)

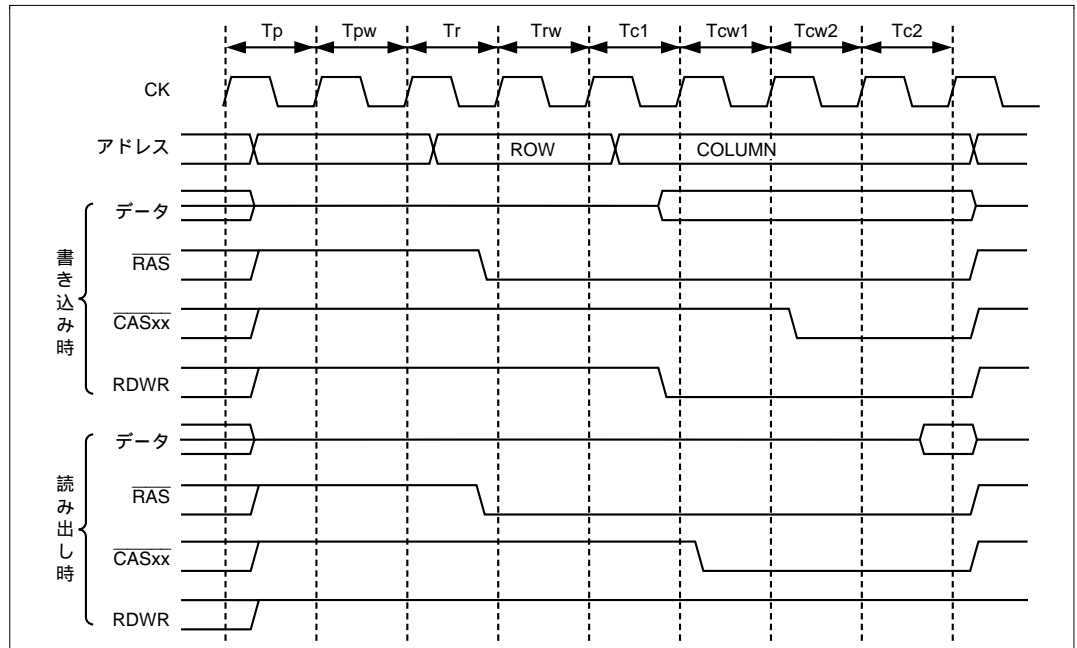


図 10.9 DRAMバスサイクル
(ノーマルモード、TPC=1、RCD=1、2ウェイト)

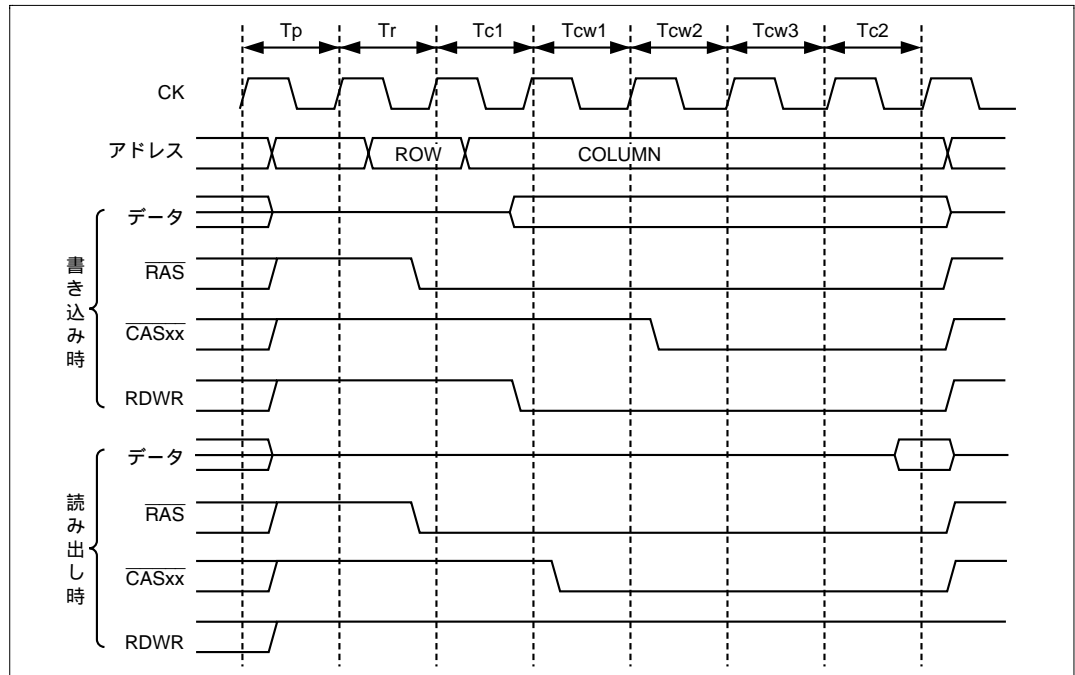


図 10.10 DRAMバスサイクル
(ノーマルモード、TPC=0、RCD=0、3ウェイト)

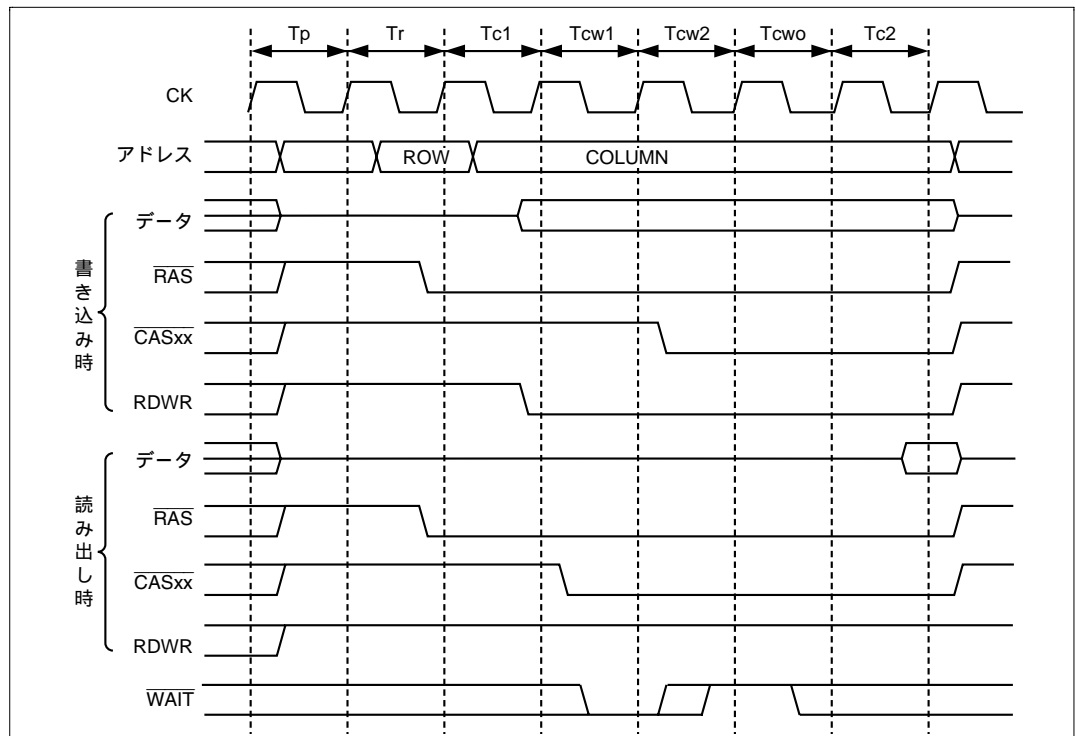


図 10.11 DRAMバスサイクル
(ノーマルモード、TPC=0、RCD=0、2ウェイト+ $\overline{\text{WAIT}}$ 信号によるウェイト)

10.4.4 バースト動作

(1) 高速ページモード

DCR のバーストイネーブルビット (BE) の設定によって、高速ページモードを利用したバーストアクセスを行うことができます。タイミングを図 10.12 に示します。バーストアクセスを行う場合にも、DCR によるウェイトサイクルの挿入を行うことができます。

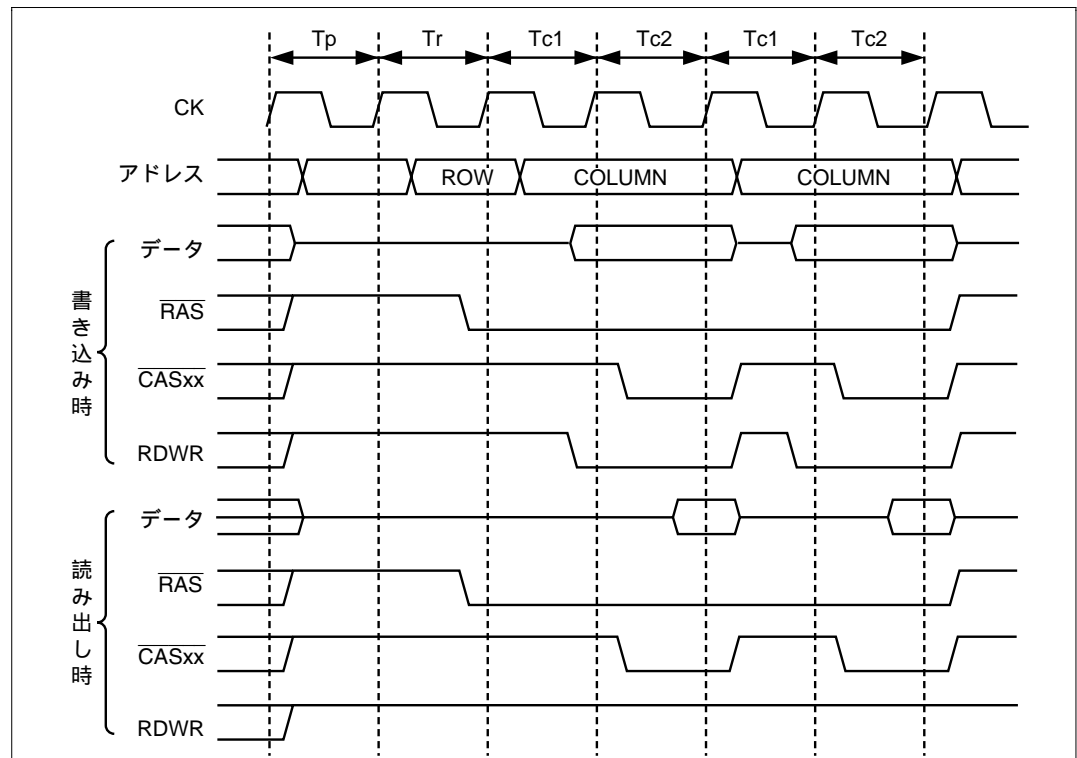


図 10.12 DRAM バスサイクル (高速ページモード)

(2) RAS ダウンモード

バースト動作を選択していても、DRAM へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間も $\overline{\text{RAS}}$ 信号をローレベルに保持しておくこと、次に DRAM の同一ロウアドレスがアクセスされたときバースト動作を続けることができます。これを RAS ダウンモードと呼びます。

RAS ダウンモードにするときは DCR の BE と RASD を共に 1 に設定してください。図 10.13 と図 10.14 に RAS ダウンモードの動作について示します。

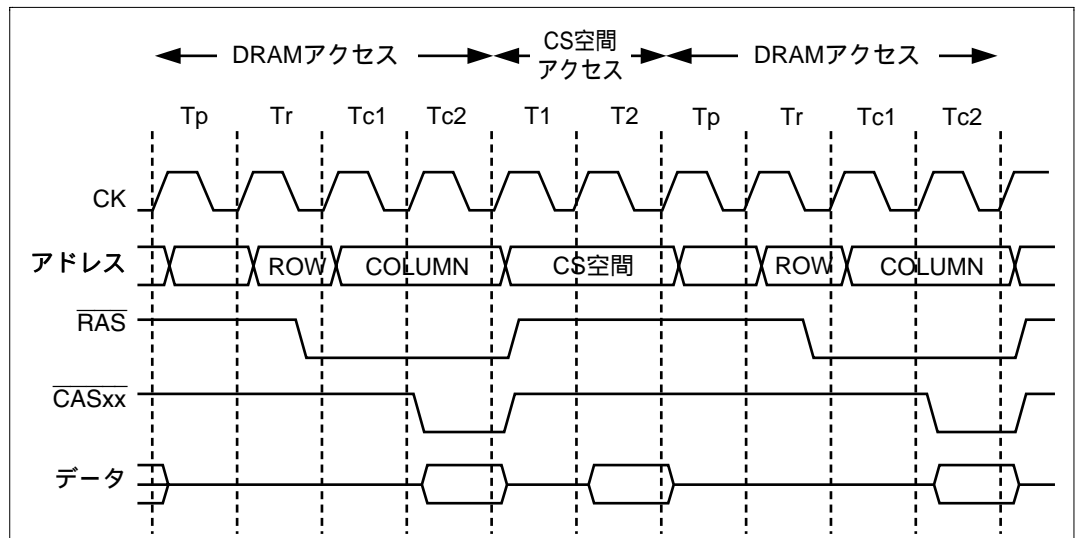


図 10.13 DRAM アクセス通常動作 (RAS アップモード)

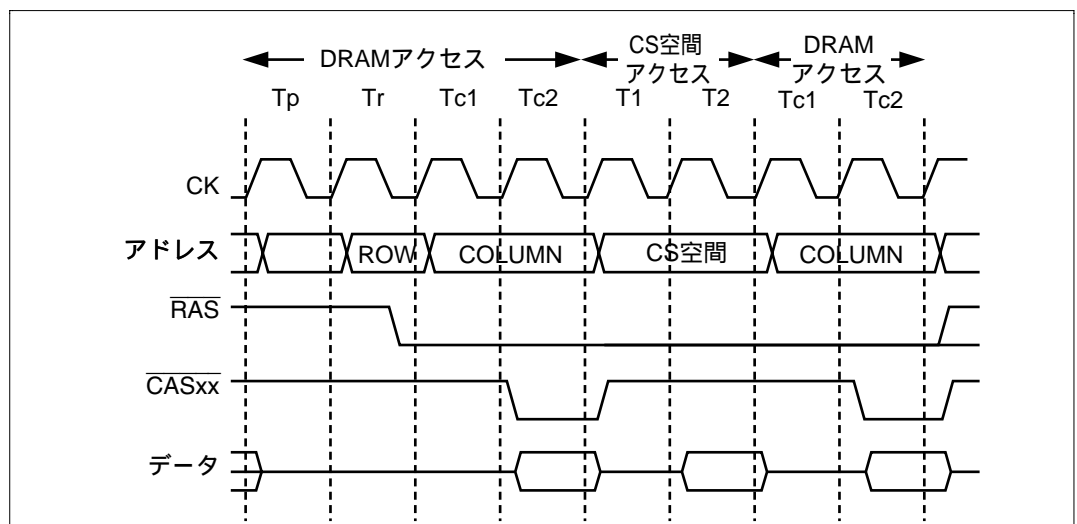


図 10.14 RAS ダウンモード

10.4.5 リフレッシュタイミング

BSC は、DRAM のリフレッシュを制御する機能を備えています。リフレッシュの方法は、RTCSR の RMD ビットの設定により CAS ビフォ RAS リフレッシュまたはセルフリフレッシュを選択することができます。

(1) CAS ビフォ RAS リフレッシュ

CAS ビフォ RAS リフレッシュを行うには、RTCSR の RMD ビットを 0、RFSH を 1 にセットします。また、使用する DRAM のリフレッシュ間隔規定を満たすように RTCNT と RTCOR に必要な値を書き込みます。最後に RTCSR の CKS2 ~ CKS0 ビットでクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は RTCOR の値と常に比較されており、両方の値が一致すると CAS ビフォ RAS リフレッシュが行われます。同時に RTCNT は 0 にクリアされ、カウントアップが継続されます。図 10.15 に CAS ビフォ RAS リフレッシュの動作を示します。

リフレッシュサイクルでの RAS アサートサイクル数は、DCR の TRAS1、TRAS0 ビットで指定します。

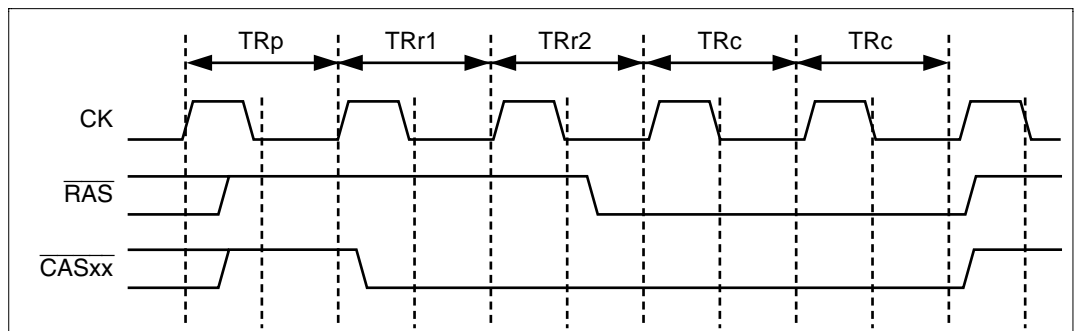


図 10.15 CAS ビフォ RAS リフレッシュタイミング
(TRAS1、TRAS0=0、0)

(2) セルフリフレッシュ

RTCSR の RMD ビットと RFSH ビットの両方を 1 にセットすると、図 10.16 に示すように $\overline{\text{CAS}}$ 信号と $\overline{\text{RAS}}$ 信号が出力され、DRAM はセルフリフレッシュモードに入ります。DRAM のデータ保護のためセルフリフレッシュ中の DRAM アクセスはしないでください。DRAM アクセスを行う場合は、いったんセルフリフレッシュを解除し、その DRAM に規定されている時間内に全口ウアドレスに対し分散リフレッシュを行った後にしてください。

また、DRAM のデータ保護のため、セルフリフレッシュ中は外部バス権要求に対しては、バス権解放時に $\overline{\text{CAS}}$ 、 $\overline{\text{RAS}}$ 、RDWR のみ出力しセルフリフレッシュを維持したまま、外部デバイスに対しバス権を解放します。したがって、このときには外部デバイスは DRAM アクセスを行わないでください。

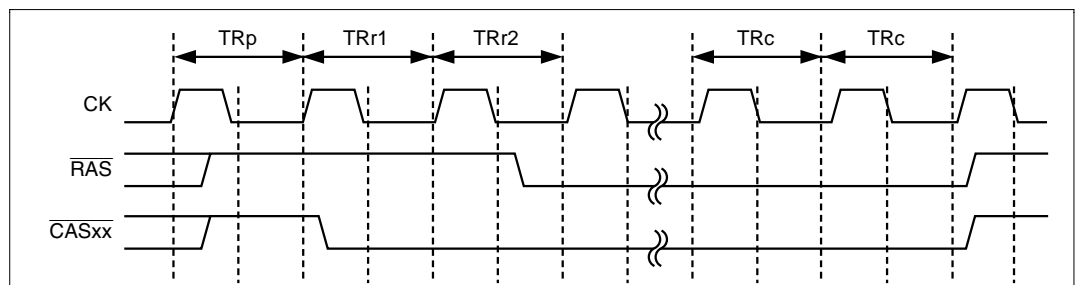


図 10.16 セルフリフレッシュタイミング

10.5 アドレス/データマルチプレクス I/O 空間アクセス

BCR1 レジスタの IOE ビットを 1 に設定することにより、CS3 空間で D15 ~ D0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス/データマルチプレクスが必要な周辺 LSI を本 LSI に直結できます。

アドレス/データマルチプレクス I/O 空間のバス幅は A14 ビットで選択され、A14=0 のとき 8 ビット、A14=1 のとき 16 ビットとなります。

10.5.1 基本タイミング

BCR1 の IOE ビットを 1 にすると、CS3 空間はアドレス/データマルチプレクス I/O 空間となり、この空間をアクセスするとアドレスとデータがマルチプレクスされます。アドレスの A14 ビットが 0 の場合、バスサイズが 8 ビットとなり D7 ~ D0 端子からアドレスとデータが入出力されます。アドレスの A14 ビットが 1 の場合、バスサイズが 16 ビットとなり、D15 ~ D0 端子からアドレスの出力とデータの入出力が行われます。アドレス/データマルチプレクス I/O 空間では、 \overline{AH} 、 \overline{RD} 、 $\overline{WR_{xx}}$ 信号でアクセスが制御されます。

アドレス/データマルチプレクス I/O 空間のアクセスは、アドレス出力が 3 サイクル (固定) 行われた後、続けて通常空間型のアクセスが行われます。

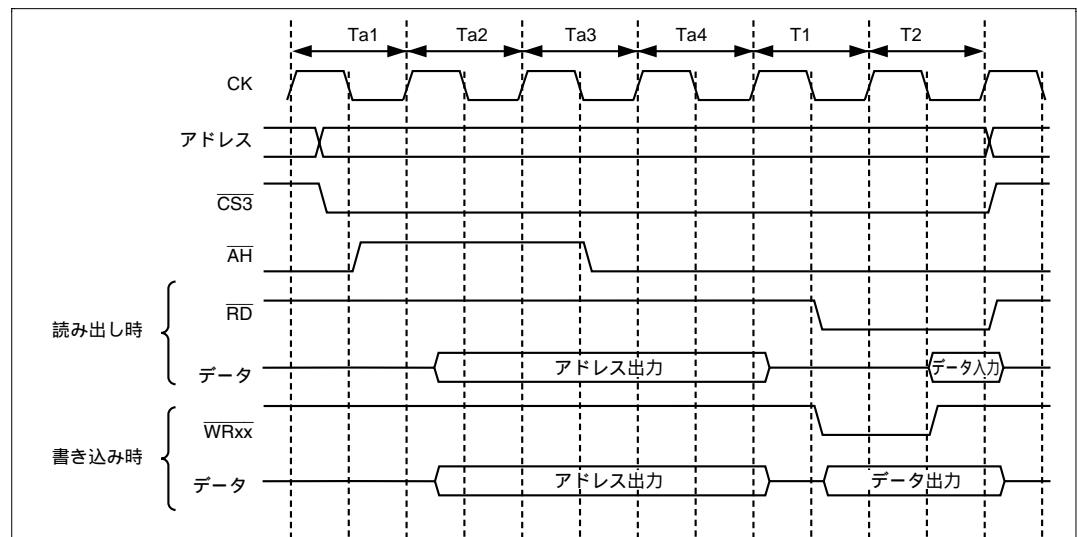


図 10.17 アドレス/データマルチプレクス I/O 空間アクセスタイミング
(ノーウェイト)

10.5.2 ウェイトステート制御

アドレス/データマルチプレクス I/O 空間のアクセス時のウェイト制御は WCR の設定により行われます。ソフトウェアウェイトおよび外部ウェイトの挿入タイミングは通常空間アクセス時と同じです。図 10.18 に 1 ソフトウェアウェイト+1 外部ウェイト挿入時のタイミングを示します。

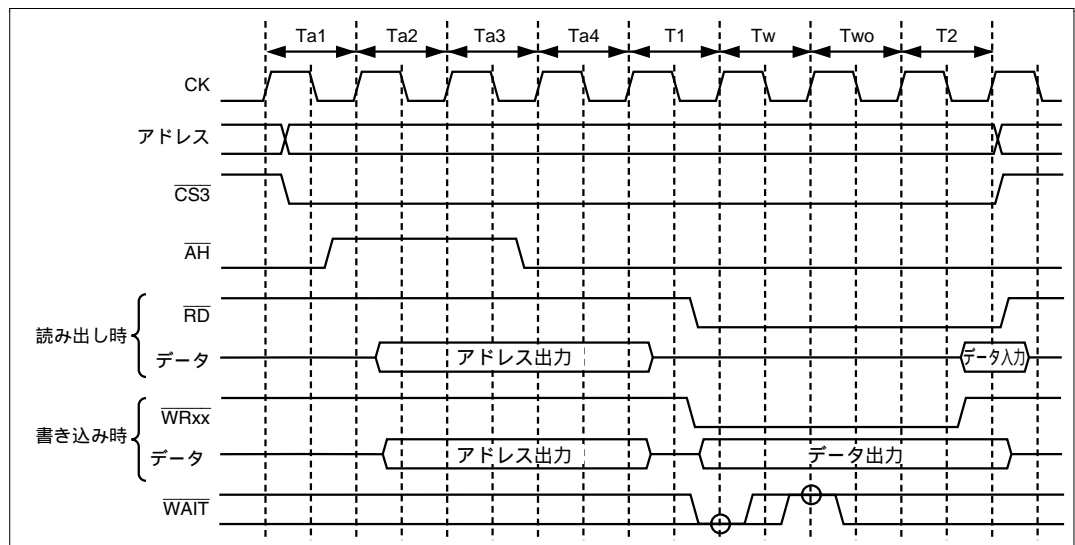


図 10.18 アドレス/データマルチプレクス I/O 空間アクセス時のウェイトステートタイミング (1 ソフトウェアウェイト+1 外部ウェイト)

10.5.3 CS アサート拡張

アドレス/データマルチプレクス I/O 空間アクセス時に CS アサート拡張を設定している場合のタイミング図を図 10.19 に示します。

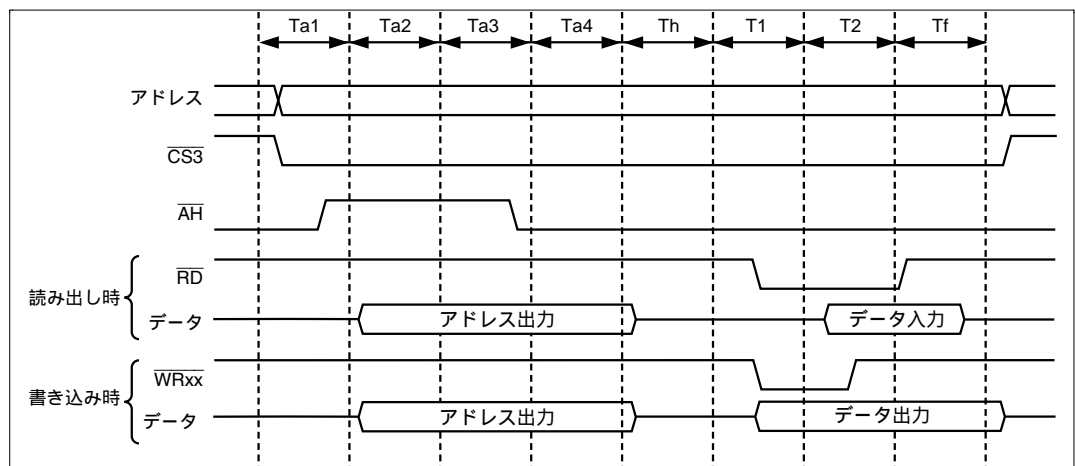


図 10.19 アドレス/データマルチプレクス I/O 空間アクセス時のウェイトステートタイミング (CS アサート拡張設定時)

10.6 アクセスサイクル間ウェイト

低速なデバイスを読み出したとき、データバッファのオフが間に合わずに次アクセスのデータと衝突を起こすことがあります。メモリアクセスを行う際にデータ衝突の問題がある場合にはアクセスサイクル間にウェイトを挿入することができます。

また、バスサイクル開始の検出を容易にするために、同一 CS 空間の連続アクセス時にアクセスサイクル間にウェイトを挿入して、いったん \overline{CSn} 信号をネゲートすることができます。

10.6.1 データバス衝突防止

(1) 読み出しサイクル後の書き込みサイクル、および (2) 読み出しサイクル後の異なるエリアに対する読み出しサイクルの 2 つがある場合は、BCR2 の IW31 ~ IW00 ビットおよび DCR の DIW によって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。アクセスサイクル間にもともとアイドルサイクルが存在する場合は、指定されたアイドルサイクル数からその空きサイクル数を除いたサイクルだけウェイトを挿入します。

図 10.20 にサイクル間アイドルの例を示します。この例では、CSn 空間のサイクル間アイドルに 1 を指定した場合に、CSn 空間の読み出しサイクルの直後に CSm 空間の書き込みを行うとき、1 アイドルサイクルが挿入されることを図示しています。

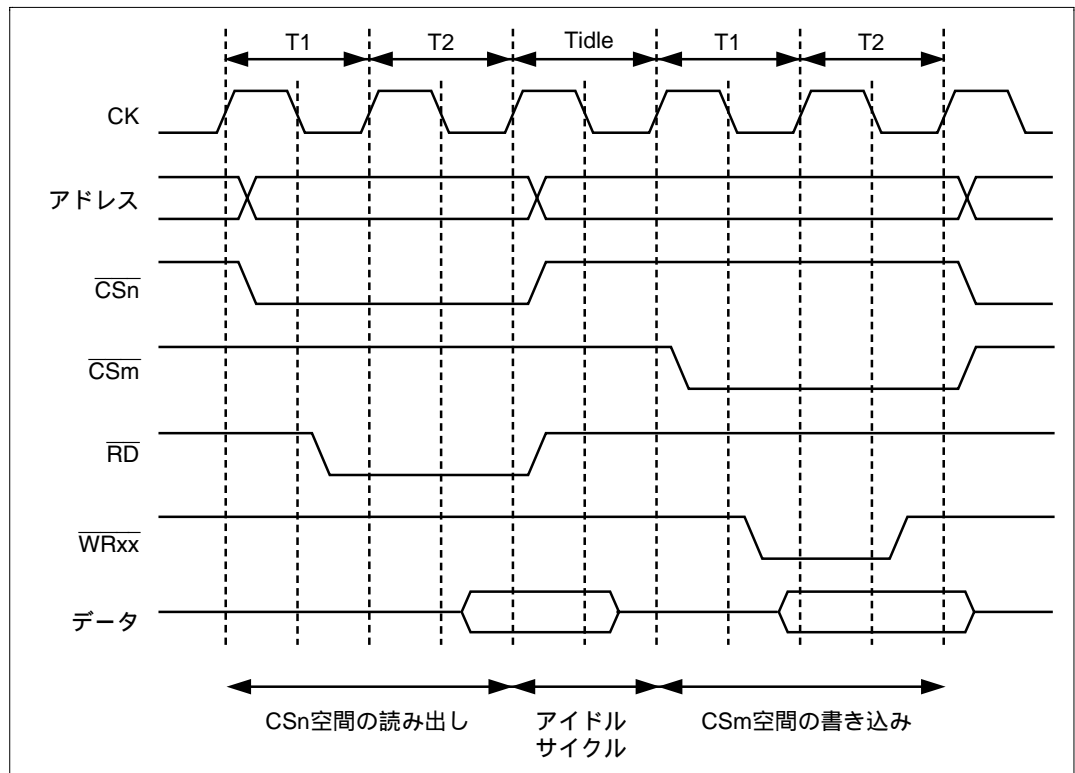


図 10.20 アイドルサイクル挿入例

IW31、IW30 では CS3 空間を読み出した後に、他の外部空間を読み出す場合と、本 LSI が書き込みを行う場合に必要なアイドルサイクル数を指定します。同様に IW21、IW20 では CS2 空間読み出し後の、IW11、IW10 では CS1 空間読み出し後の、IW01、IW00 では CS0 空間読み出し後のアイドルサイクル数を指定します。

DIW では DRAM 空間を読み出した後に、他の外部空間 (CS 空間) を読み出す場合と、本 LSI が書き込みを行う場合に必要なアイドルサイクル数を指定します。

アイドルサイクル数には CS 空間で 0~3 サイクル、DRAM 空間で 0~1 サイクルを指定することができます。

10.6.2 バスサイクル開始検出の容易化

同一 CS 空間を連続してアクセスする場合、BCR2 の CW3 ~ CW0 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。ただし、読み出し後の書き込みサイクルの場合、挿入されるアイドルサイクルは IW ビットと CW ビットで定義されるアイドルサイクルのうち大きな値になります。アクセスサイクル間にもともとアイドルサイクルが存在する場合はウェイト挿入を行いません。

図 10.21 に例を示します。この例では CSn 空間を連続アクセスアイドル指定し、CSn 空間を連続して書き込んだ場合を示しています。

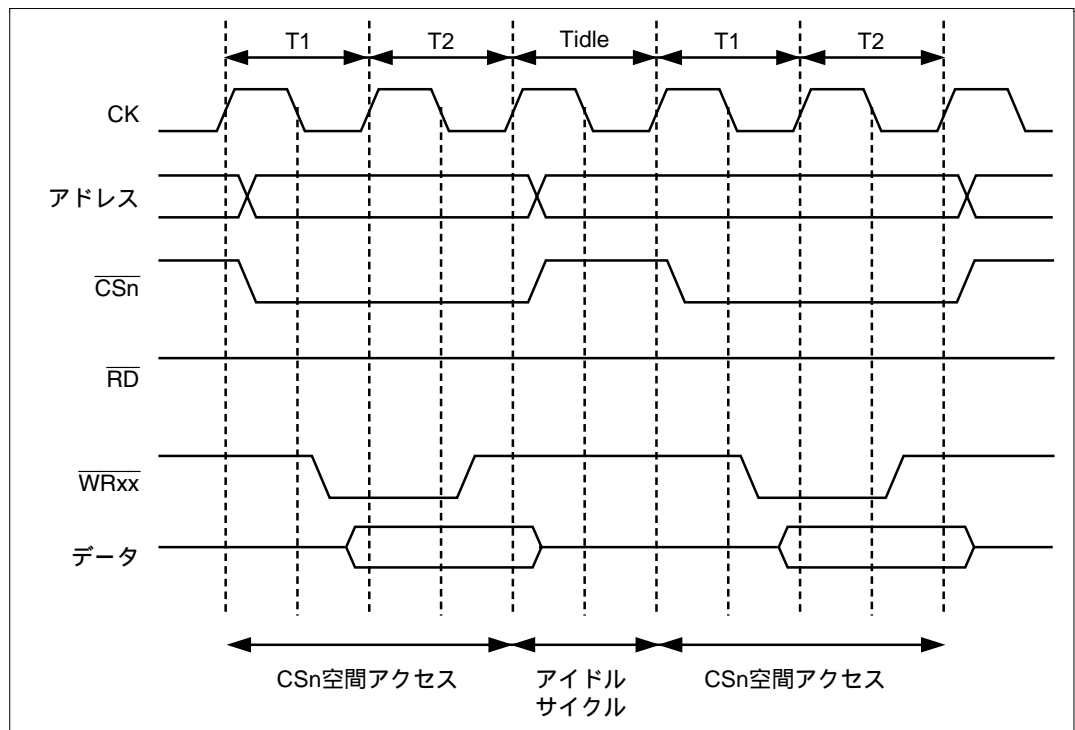


図 10.21 同一空間連続アクセス時アイドルサイクル挿入例

10.7 バスアービトレーション

本 LSI は、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えることができます。また、本 LSI 内部にも CPU と DMAC、DTC というバスマスタがあります。これらのバスマスタに対するバス権委譲の優先順位は以下のとおりとなります。

外部デバイスによるバス権要求 > リフレッシュ > DTC > DMAC > CPU

ただし、DMAC のデュアルアドレスモードにおける読み出し、書き込み期間と、バースト転送中と、間接アドレス転送モード動作中は DTC の要求が来ても DMAC は動作し続けます。

ポートのレジスタの設定により、外部デバイスにバス権を解放中に、DRAM の CAS ビフォ RAS リフレッシュ要求が発生すると、そのことを示すため、 $\overline{\text{IRQOUT}}$ がアサートされます。外部デバイスはこれにより、本 LSI に対し $\overline{\text{BREQ}}$ をネゲートし、バス権を返してください。外部デバイスが、DRAM のリフレッシュ間隔の規定時間以上バス権を返さない場合、本 LSI はリフレッシュ動作ができず、したがって DRAM の内容は保証されなくなりますので注意してください。

図 10.22 に、バス権解放手順を示します。

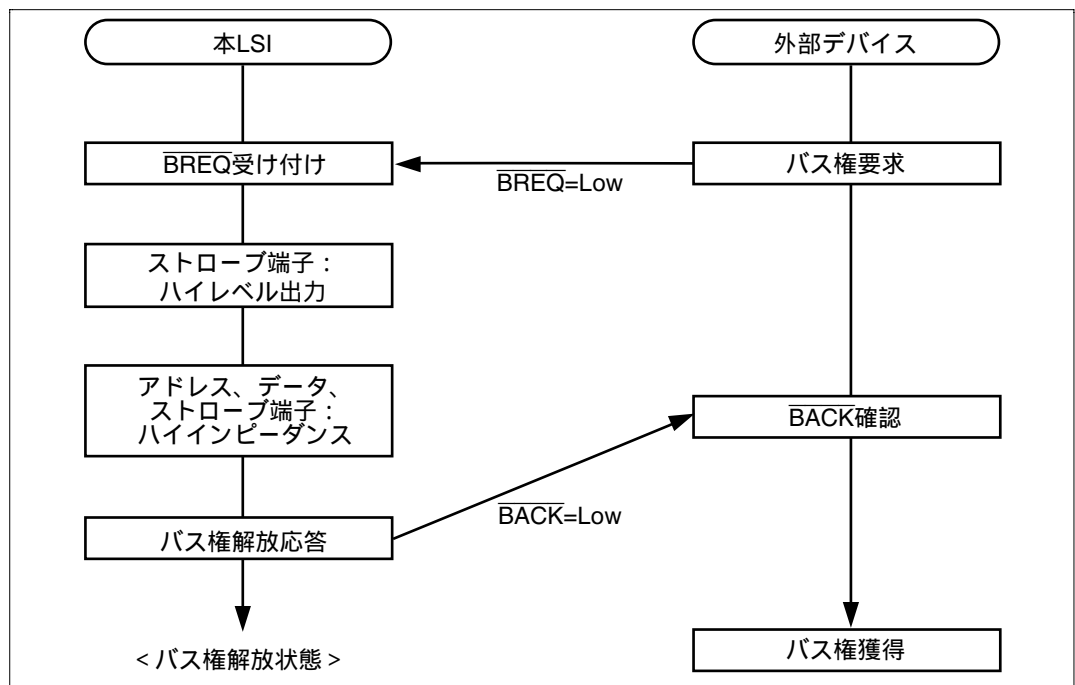


図 10.22 バス権解放手順

10.8 メモリ接続例

A21 ~ A18 は、パワーオンリセットによって入力ポートになるので、必要であればプルダウンするなどの処理を行ってください。

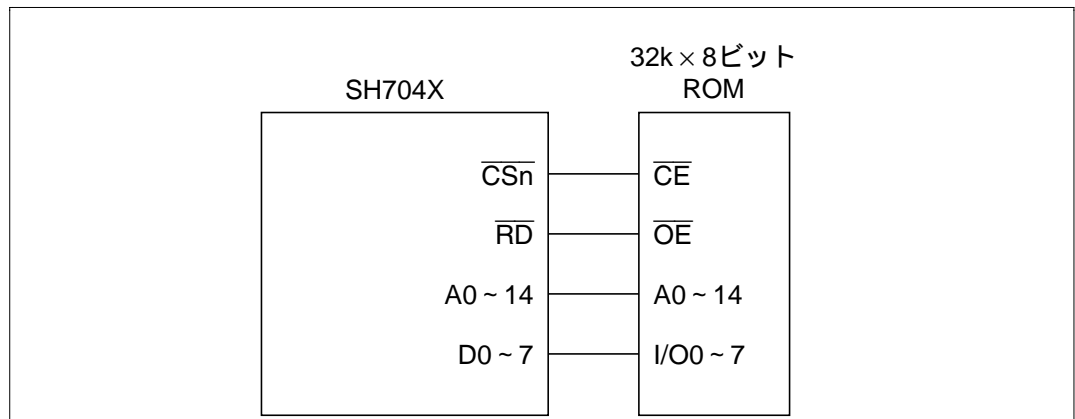


図 10.23 8 ビットデータバス幅 ROM 接続例

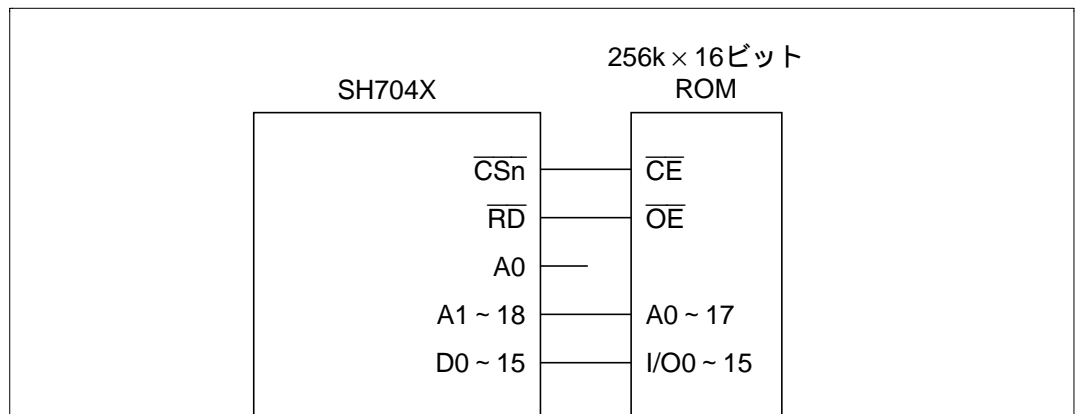


図 10.24 16 ビットデータバス幅 ROM 接続例

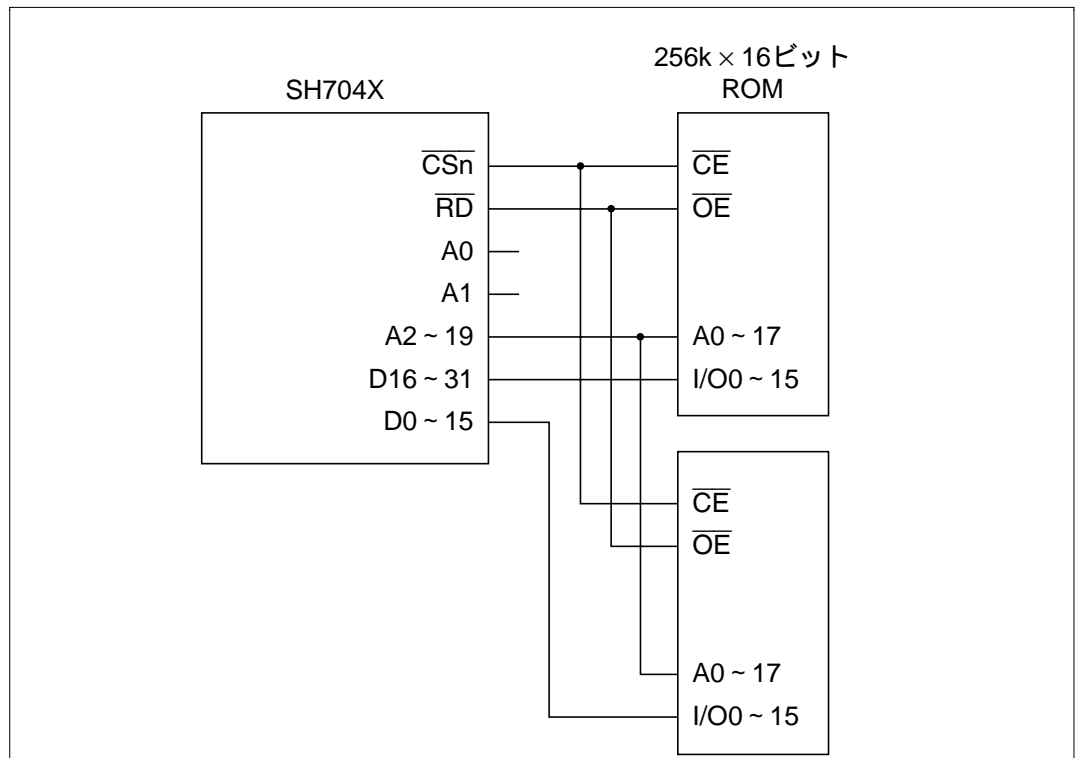


図 10.25 32 ビットデータバス幅 ROM 接続例

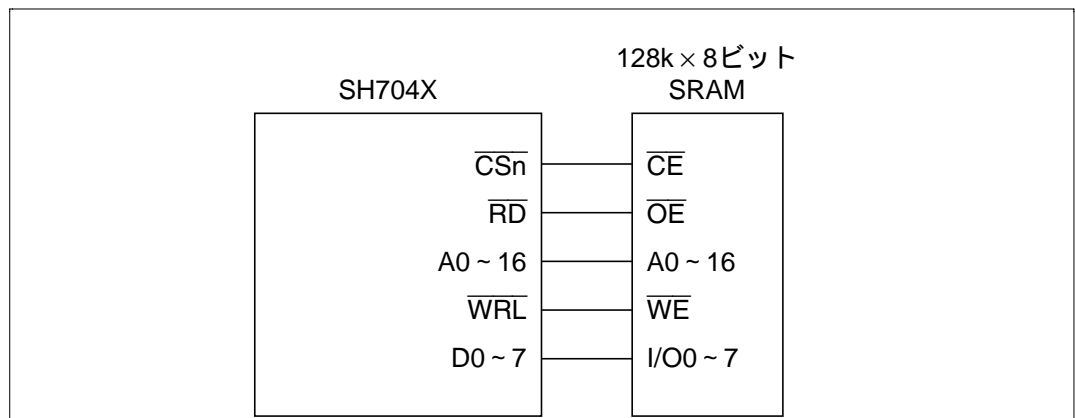


図 10.26 8 ビットデータバス幅 SRAM 接続例

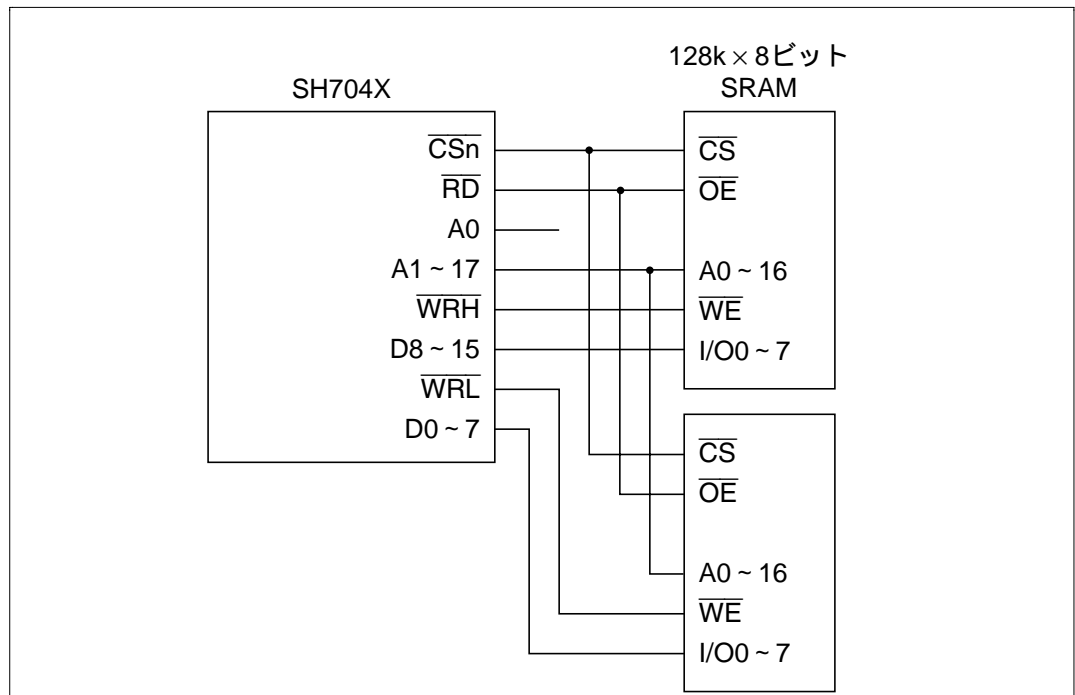


図 10.27 16 ビットデータバス幅 SRAM 接続例

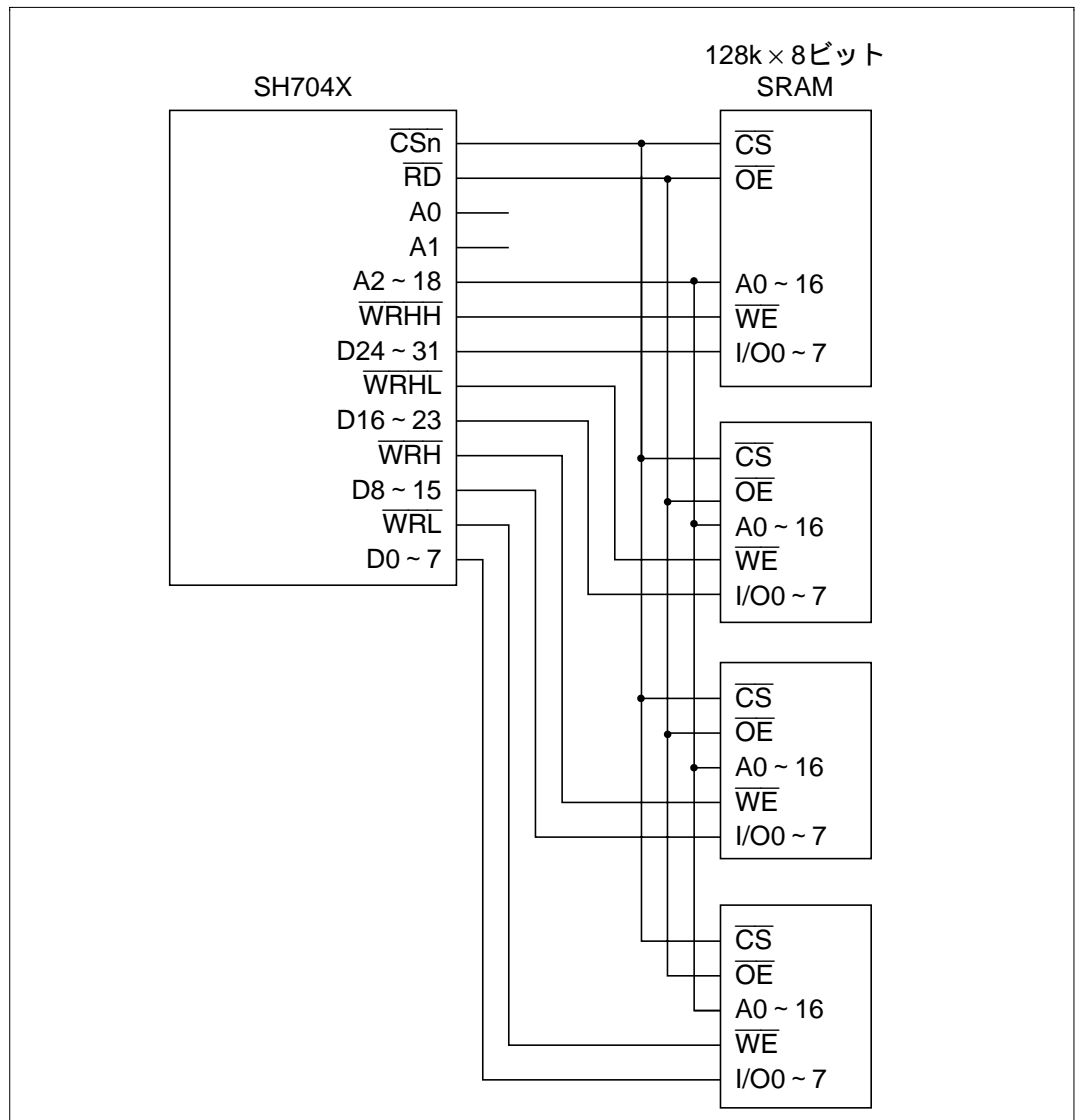


図 10.28 32 ビットデータバス幅 SRAM 接続例

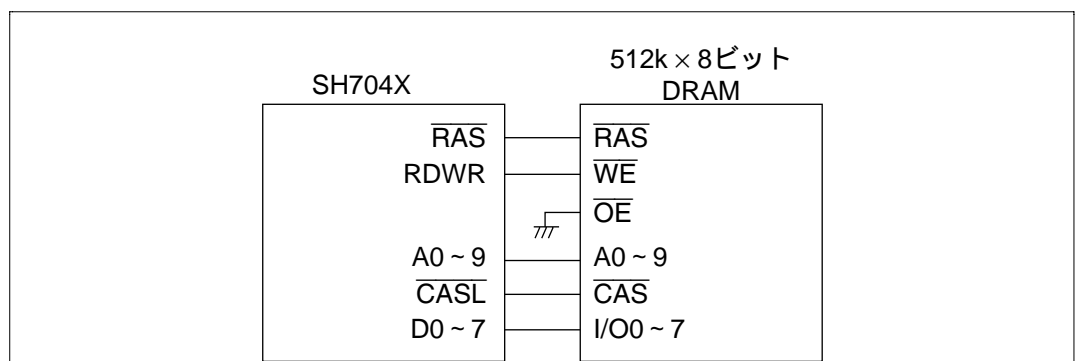


図 10.29 8 ビットデータバス幅 DRAM 接続例

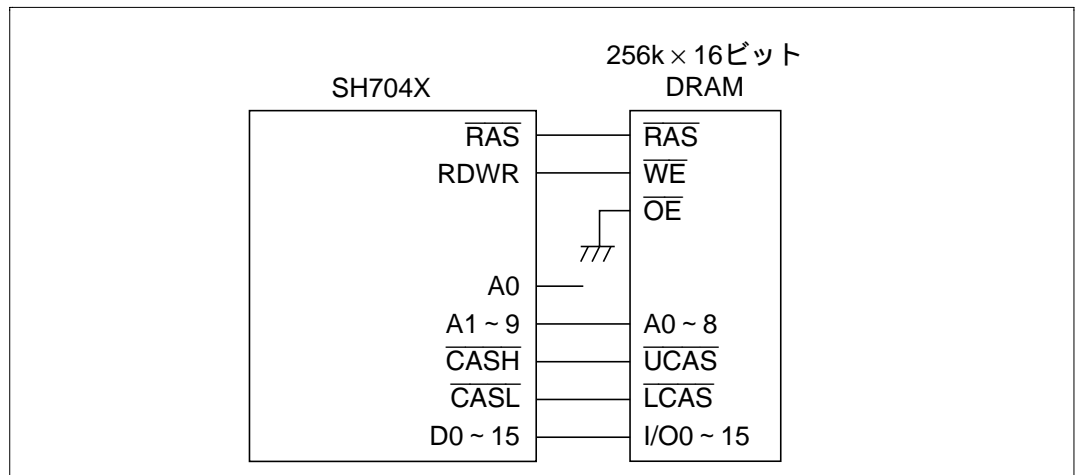


図 10.30 16 ビットデータバス幅 DRAM 接続例

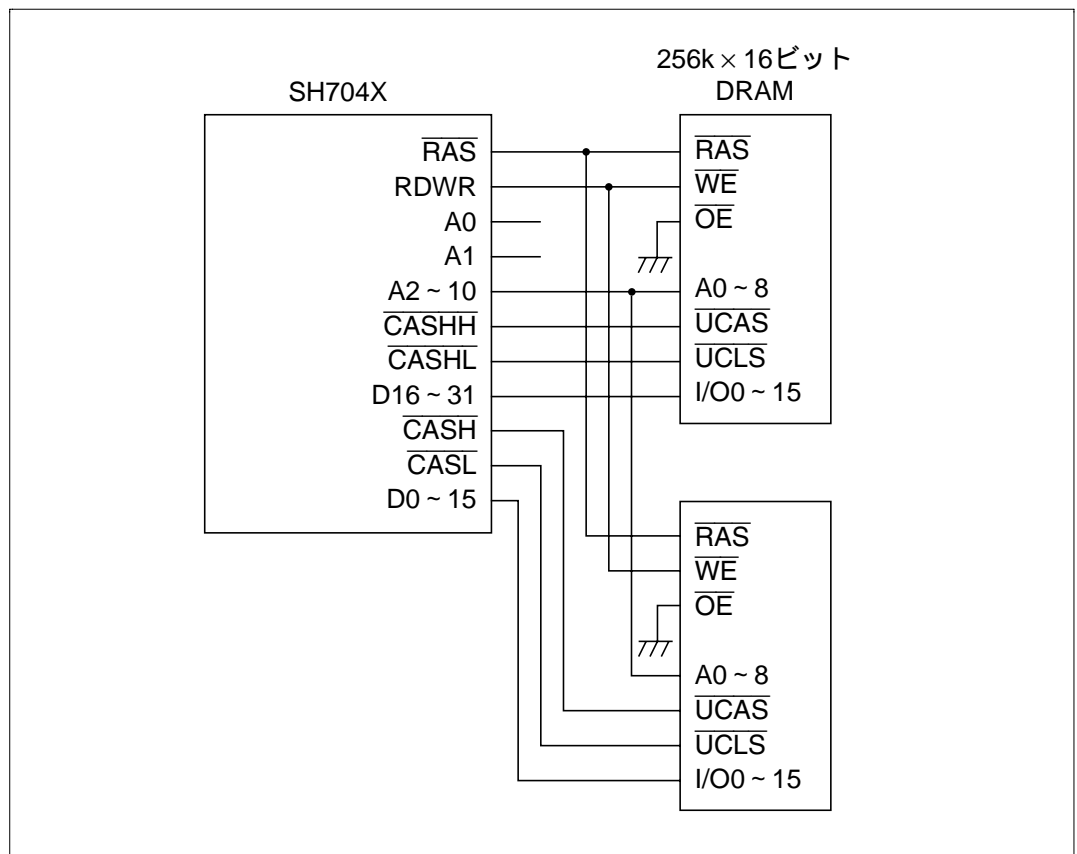


図 10.31 32 ビットデータバス幅 DRAM 接続例

10.9 内蔵周辺 I/O レジスタのアクセス

内蔵周辺 I/O のレジスタは、バスステートコントローラから表 10.5 のようにアクセスされます。

表 10.5 内蔵周辺 I/O レジスタへのアクセス

内蔵周辺 モジュール	SCI	MTU、 POE	INTC	PFC、 PORT	CMT	A/D*	UBC	WDT	DMAC	DTC	CACHE
接続バス幅	8 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット
アクセス サイクル数	2cyc	2cyc	2cyc	2cyc	2cyc	2cyc	3cyc	3cyc	3cyc	3cyc	3cyc

【注】 * A マスク品の A/D は 8 ビット幅、3cyc でアクセスされます。

(1) バス権を解放しないサイクルについて

(a) 1 バスサイクル

1 バスサイクル中にバス権を解放することはありません。例えば、8 ビット通常空間へのロングワードでのリード（もしくはライト）の場合、図 10.32 のように、8 ビット通常空間へのメモリアクセス 4 回が 1 つのバスサイクルとなります。その間に、バス権を解放することはありません。1 回のメモリアクセスが 2 ステートだとすると 8 ステートの間は、バス権を解放しません。

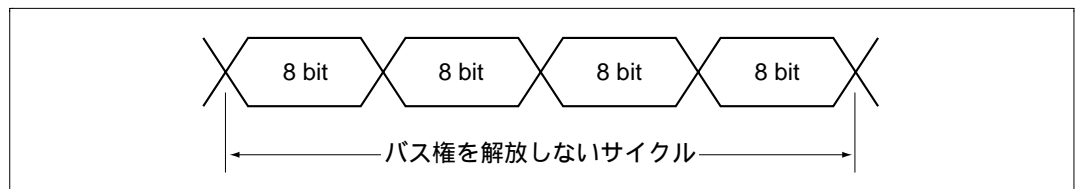


図 10.32 1 バスサイクル

10.10 外部メモリへプログラムを配置したときのCPU動作

本LSIは1回の命令フェッチで常に2ワード(2命令分)をフェッチします。これはプログラムが外部メモリに配置されている場合や、その外部メモリのバス幅が8ビットまたは16ビットのときも同じです。

また、プログラムが分岐した直後のプログラムカウンタ値が奇数ワード($2n+1$)番地であるときや、分岐する直前のプログラムカウンタ値が偶数ワード($2n$)番地であるときも本LSIはそれぞれのワード命令を含む32ビット(2命令)分を常にフェッチします。

11. ダイレクトメモリ アクセスコントローラ (DMAC)

第 11 章 目次

11.1	概要	225
11.1.1	特長	225
11.1.2	DMAC ブロック図	227
11.1.3	端子構成	228
11.1.4	レジスタ構成	229
11.2	各レジスタの説明	230
11.2.1	DMA ソースアドレスレジスタ 0~3 (SAR0~3)	230
11.2.2	DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)	230
11.2.3	DMA トランスファカウンタレジスタ 0~3 (DMATCR0~3)	231
11.2.4	DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)	231
11.2.5	DMA オペレーションレジスタ (DMAOR)	238
11.3	動作説明	240
11.3.1	動作説明	240
11.3.2	DMA 転送要求	242
11.3.3	チャンネルの優先順位	244
11.3.4	DMA 転送の種類	247
11.3.5	バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング	259
11.3.6	ソースアドレスリロード機能	265
11.3.7	DMA 転送終了	266
11.3.8	CPU からの DMAC アクセス	267
11.4	使用例	268
11.4.1	内蔵 SCI と外部メモリとの DMA 転送例	268
11.4.2	外部 RAM と DACK 付き外部デバイスとの DMA 転送例	269

11. ダイレクトメモリアクセスコントローラ (DMAC)

11.4.3	A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン) (A マスク以外の場合)	270
11.4.4	A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン) (A マスクの場合)	272
11.4.5	外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)	274
11.5	使用上の注意	276

11.1 概要

本 LSI は 4 チャンネルのダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (DMAC、DTC、BSC、UBC を除く) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすと共に本 LSI の動作効率を上げることができます。

11.1.1 特長

DMAC には次のような特長があります。

チャンネル数 : 4 チャンネル

アドレス空間 : アーキテクチャ上は 4GB

転送データ長 : 8 ビット、16 ビット、32 ビットの中から選択可能

最大転送回数 : 16M (16777216) 回

アドレスモード :

デュアルアドレスモード、シングルアドレスモードの選択可能

デュアルアドレスモード時直接アドレス転送モード、間接アドレス転送モードの指定可能

(1) シングルアドレスモード

転送元か転送先の周辺デバイスを DACK 信号でアクセスし、もう一方をアドレスアクセスします。1 回のデータ転送が 1 バスサイクルで終了します。

(2) デュアルアドレスモード

転送元、転送先双方をアドレスアクセスします。デュアルアドレスモードには直接アドレス転送モードと間接アドレス転送モードがあります。

・直接アドレス転送モード

転送元、転送先とも、DMAC 内部のレジスタに設定された値がアクセス対象のアドレスを指しています。1 回のデータ転送に 2 バスサイクルを必要とします。

・間接アドレス転送モード

DMAC 内部の転送元レジスタに設定されたアドレスの先に格納されている値をアドレスとしてデータ転送を行います。それ以外は直接アクセスと同じ動作です。この機能はチャンネル 3 でのみ設定可能です。

1 回のデータ転送に 4 バスサイクルを必要とします。

チャンネル機能：各チャンネルごとに、設定可能な転送モードが異なります。

・チャンネル0：

デュアルアドレスモード、シングルアドレスモード対応外部リクエスト受け付け可能

・チャンネル1：

デュアルアドレスモード、シングルアドレスモード対応外部リクエスト受け付け可能

・チャンネル2：

デュアルアドレスモードのみ対応

4回の転送ごとにソースアドレスをリロードする機能(ソースアドレスリロード機能)を持つ

・チャンネル3：

デュアルアドレスモードのみ対応

直接アドレス転送モード、間接アドレス転送モード指定可能

リロード機能：

4回のDMA転送終了ごとに、最初にソースアドレスレジスタに設定した値を自動的にリロードすることができます。この機能はチャンネル2でのみ実行可能です。

転送要求：

DMACの転送起動要求には以下の種類があります。

・外部リクエスト：

$\overline{\text{DREQ}}$ 端子2本。ローレベル検出または立ち下がりエッジ検出の指定が可能です。外部リクエスト要求が受け付けられるのはチャンネル0とチャンネル1の2チャンネルだけです。

・内蔵モジュール：

SCI、A/Dなど内蔵モジュールの転送要求です。すべてのチャンネルが受け付け可能です。

・オートリクエスト：転送要求をDMAC内部で自動的に発生します。

バスモード：

バスモードではサイクルスチールモードとバーストモードの選択が可能です。

優先順位：

DMACのチャンネル優先順位には以下の2つの種類があります。

・優先順位固定モード：優先順位を常に固定にします。

・ラウンドロビンモード：実行要求を受け付けたチャンネルの優先順位を最低にします。

割り込み要求：

指定した転送回数終了後、CPUに割り込み要求を発生可能です。

11.1.2 DMAC ブロック図

図 11.1 に DMAC のブロック図を示します。

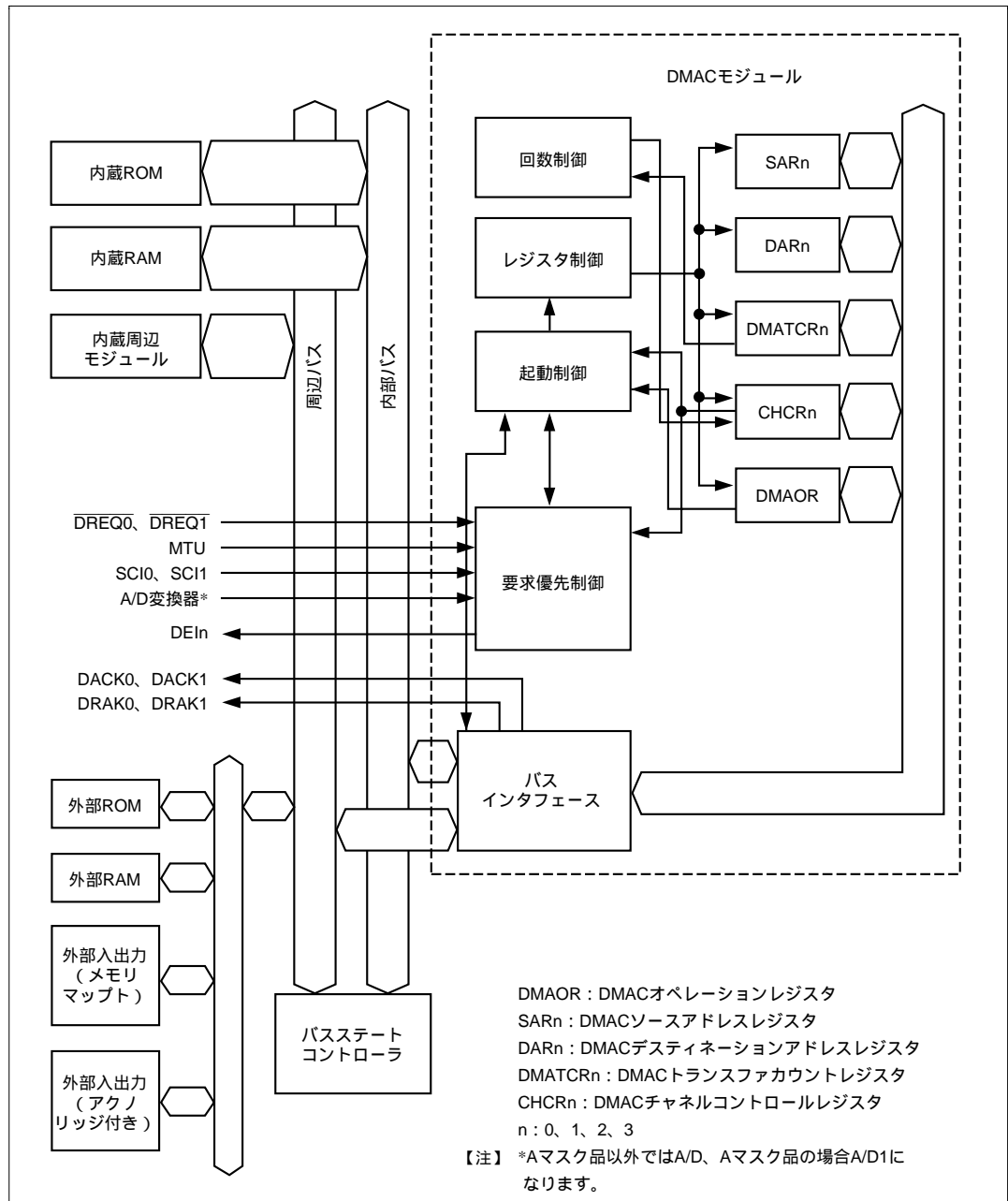


図 11.1 DMAC ブロック図

11.1.3 端子構成

DMAC の端子を表 11.1 に示します。

表 11.1 DMAC 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	$\overline{\text{DREQ0}}$	入力	外部デバイスからチャンネル0へのDMA転送要求入力
	DMA 転送要求受け付け	DACK0	出力	チャンネル0から外部デバイスへのDMA転送ストローク出力
	$\overline{\text{DREQ0}}$ 受け付け確認	DRAK0	出力	外部からのDMA転送要求入力のサンプリング受け付け出力
1	DMA 転送要求	$\overline{\text{DREQ1}}$	入力	外部デバイスからチャンネル1へのDMA転送要求入力
	DMA 転送要求受け付け	DACK1	出力	チャンネル1から外部デバイスへのDMA転送ストローク出力
	$\overline{\text{DREQ1}}$ 受け付け確認	DRAK1	出力	外部からのDMA転送要求入力のサンプリング受け付け出力

11.1.4 レジスタ構成

表 11.2 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられているほか、DMAC 全体の制御用のレジスタが 1 本あり、全体で計 17 本のレジスタがあります。

表 11.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	レジスタ サイズ	アクセス サイズ
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	不定	H'FFFF86C0	32 ビット	16、32* ²
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	不定	H'FFFF86C4	32 ビット	16、32* ²
	DMA トランスファカウントレジスタ 0	DMATCR0	R/W	不定	H'FFFF86C8	32 ビット	16、32* ³
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W* ¹	H'00000000	H'FFFF86CC	32 ビット	16、32* ²
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	不定	H'FFFF86D0	32 ビット	16、32* ²
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	不定	H'FFFF86D4	32 ビット	16、32* ²
	DMA トランスファカウントレジスタ 1	DMATCR1	R/W	不定	H'FFFF86D8	32 ビット	16、32* ³
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W* ¹	H'00000000	H'FFFF86DC	32 ビット	16、32* ²
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	不定	H'FFFF86E0	32 ビット	16、32* ²
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	不定	H'FFFF86E4	32 ビット	16、32* ²
	DMA トランスファカウントレジスタ 2	DMATCR2	R/W	不定	H'FFFF86E8	32 ビット	16、32* ³
	DMA チャンネルコントロールレジスタ 2	CHCR2	R/W* ¹	H'00000000	H'FFFF86EC	32 ビット	16、32* ²
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	不定	H'FFFF86F0	32 ビット	16、32* ²
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	不定	H'FFFF86F4	32 ビット	16、32* ²
	DMA トランスファカウントレジスタ 3	DMATCR3	R/W	不定	H'FFFF86F8	32 ビット	16、32* ³
	DMA チャンネルコントロールレジスタ 3	CHCR3	R/W* ¹	H'00000000	H'FFFF86FC	32 ビット	16、32* ²
共通	DMA オペレーションレジスタ	DMAOR	R/W* ¹	H'0000	H'FFFF86B0	16 ビット	16* ⁴

【注】 空きアドレスのアクセスはしないでください。空きアドレスをアクセスした場合の動作は保証しません。

*1 CHCR0～3 のビット 1 および DMAOR のビット 1、ビット 2 はフラグクリアのために 1 読み出し後の 0 書き込みのみ可能。

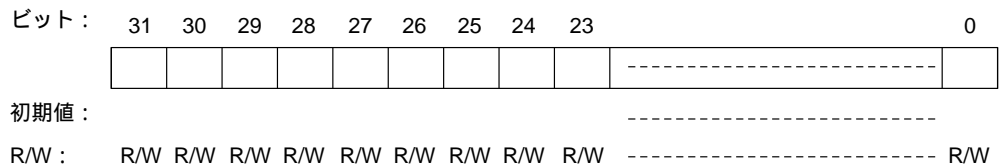
*2 SAR0～3、DAR0～3、CHCR0～3 に 16 ビットアクセスをした場合、アクセスされなかった側の 16 ビットの値は保持されます。

*3 DMATCR は 0～23 ビットまでの 24 ビット構成です。上位側 24～31 ビットまでの 8 ビットへの 1 書き込みは無効となり読み出すと常に 0 が読み出しされます。

*4 DMAOR はワード (16 ビット) 単位のみでアクセスしてください。

11.2 各レジスタの説明

11.2.1 DMA ソースアドレスレジスタ 0~3 (SAR0~3)



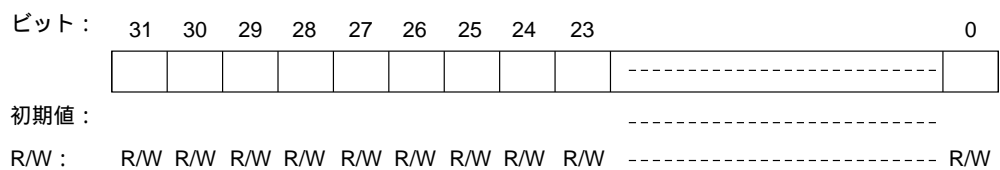
DMA ソースアドレスレジスタ 0~3 (SAR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、転送元のアドレスを指定します。カウント機能を持ち、DMA 動作中は次の転送元アドレスを示しています。シングルアドレスモードにおいて、DACK 付きデバイスを転送元に指定した場合、SAR の値は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

パワーオンリセット、スタンバイモードでは、値は不定になります。

マニュアルリセットでは初期化されません。

11.2.2 DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)



DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、転送先のアドレスを指定します。カウント機能を持ち、DMAC 動作中は次の転送先アドレスを示しています。シングルアドレスモードにおいて、DACK 付きデバイスを転送先に指定した場合、DAR の値は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

パワーオンリセット、スタンバイモードでは、値は不定になります。

マニュアルリセットでは初期化されません。

11.2.3 DMA トランスファカウントレジスタ 0~3 (DMATCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:																
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:																
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA トランスファカウントレジスタ 0~3 (DMATCR0~3) は読み出し、書き込み可能な 24 ビットのレジスタで、そのチャンネルの転送回数 (バイト数、ワード数またはロングワード数) を指定します。転送回数は H'000001 を設定した場合 1 回ですが、H'000000 を設定すると最大値を設定したことになり、16777216 回実行されます。DMAC 動作中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すとデータは 0 です。書き込む値は常に 0 にしてください。

パワーオンリセット、スタンバイモードでは、値は不定になります。

マニュアルリセットでは初期化されません。

11.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
												DI*2	RO*2	RL*2	AM*2	AL*2
初期値:												0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0		DS*2	TM	TS1	TS0	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	(R/W)	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 TEビットは、1読み出し後の0書き込みのみ実行可能です。

*2 DI、RO、RL、AM、AL、DSビットは、チャンネルにより存在しないビットがあります。

DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法等を指定します。

パワーオンリセット、スタンバイモードで初期化されます。マニュアルリセットでは初期化されません。

ビット 31~21 : 予約ビット

読み出すとデータは 0 です。書き込む値は常に 0 にしてください。

ビット 20 : ダイレクト、インダイレクトセレクト (DI)

チャンネル 3 のソースアドレスを直接アドレスモードで動作するか、間接アドレスモードで動作するかを指定するビットです。

このビットは CHCR3 でのみ有効です。CHCR0、1、2 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 20	説明
DI	
0	チャンネル 3 を直接アドレスモードで動作させる (初期値)
1	チャンネル 3 を間接アドレスモードで動作させる

ビット 19 : ソースアドレスリロードビット (RO)

チャンネル 2 の転送時、ソースアドレス初期値のリロードを行うか否かの選択ビットです。

このビットは CHCR2 でのみ有効です。CHCR0、1、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 19	説明
RO	
0	ソースアドレスをリロードしない (初期値)
1	ソースアドレスをリロードする

ビット 18 : リクエストチェックレベルビット (RL)

$\overline{\text{DREQ}}$ を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかの選択ビットです。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 18	説 明	
RL		
0	DRAK をハイアクティブで出力	(初期値)
1	DRAK をローアクティブで出力	

ビット 17 : アクノリッジモードビット (AM)

デュアルアドレスモードで、DACK をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。

シングルアドレスモードでは、このビットの指定に関係なく、DACK は常に出力されません。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 17	説 明	
AM		
0	読み出しサイクルで DACK を出力	(初期値)
1	書き込みサイクルで DACK を出力	

ビット 16 : アクノリッジレベル (AL)

DACK (アクノリッジ) 信号をハイアクティブにするかローアクティブにするかを指定します。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 16	説 明	
AL		
0	ハイアクティブで出力	(初期値)
1	ローアクティブで出力	

ビット 15、14 : デスティネーションアドレスモード 1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。シングルアドレスモードでアドレス空間から外部デバイスにデータ転送する場合は、このビットの指定は無視されます。

ビット 15	ビット 14	説 明
DM1	DM0	
0	0	デスティネーションアドレスは固定 (初期値)
	1	デスティネーションアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	デスティネーションアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	(設定禁止)

ビット 13、12 : ソースアドレスモード 1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。シングルアドレスモードで外部デバイスからアドレス空間にデータ転送する場合は、このビットの指定は無視されます。

ビット 13	ビット 12	説 明
SM1	SM0	
0	0	ソースアドレスは固定 (初期値)
	1	ソースアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	ソースアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	(設定禁止)

転送元が間接アドレスに指定されている場合、ソースアドレスレジスタ 3 (SAR3) には、実際に転送したいデータの格納されているアドレスの値が、データとして保存されているアドレス (間接アドレス) を指定してください。

間接アドレスモード時の SAR3 の増減の指定も SM1、SM0 に従いますが、この場合は TS1、TS0 で指定した転送データのサイズにかかわらず、SAR3 の増減値は+4、-4または0 固定になります。

ビット11~8：リソースセレクト3、2、1、0 (RS3、RS2、RS1、RS0)

転送要求元を指定します。

ビット11	ビット10	ビット9	ビット8	説明
RS3	RS2	RS1	RS0	
0	0	0	0	外部リクエスト、デュアルアドレスモード (初期値)
			1	(設定禁止)
		1	0	外部リクエスト、シングルアドレスモード 外部アドレス空間 外部デバイス
			1	外部リクエスト、シングルアドレスモード 外部デバイス 外部アドレス空間
	1	0	0	オートリクエスト
			1	(設定禁止)
		1	0	MTU TGI0A
			1	TGI1A
1	0	0	0	TGI2A
			1	TGI3A
		1	0	TGI4A
			1	A/D ADI*
	1	0	0	SCI0 TXI0
			1	RXI0
		1	0	SCI1 TXI1
			1	RXI1

【注】 外部リクエストの指定はチャンネル0、1のみ有効です。チャンネル2、3の場合、転送要求元はどれにも設定されません。

* Aマスクの場合、ADI1

ビット7：予約ビット

読み出すとデータは0です。書き込む値は常に0にしてください。

ビット6 : $\overline{\text{DREQ}}$ セレクト (DS)

外部リクエストモードで使用する $\overline{\text{DREQ}}$ 端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

またチャンネル 0、1 でも、転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、このビットの指定は無視され、オートリクエスト以外は立ち下がりエッジ検出に固定されます。

ビット6	説明
DS	
0	ローレベル検出 (初期値)
1	立ち下がりエッジ検出

ビット5 : トランスミットモード (TM)

転送するときのバスモードを指定するビットです。

ビット5	説明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

ビット4、3 : トランスミットサイズ 1、0 (TS1、TS0)

転送するデータのサイズを指定するビットです。

ビット4	ビット3	説明
TS1	TS0	
0	0	バイトサイズ (8 ビット) 指定 (初期値)
	1	ワードサイズ (16 ビット) 指定
1	0	ロングワードサイズ (32 ビット) 指定
	1	(設定禁止)

ビット2：インターラプトイネーブル (IE)

このビットに 1 をセットしておく、DMATCR に指定した回数のデータ転送が終了したとき (TE=1 のとき) 割り込み要求を発生します。

ビット2	説明
IE	
0	DMATCR 指定転送回数終了時、割り込み要求を発生しない。(初期値)
1	DMATCR 指定転送回数終了時、割り込み要求を発生する。

ビット1：トランスファエンド (TE)

DMATCR で指定した回数の転送が終了したとき 1 にセットされるビットです。このとき IE ビットが 1 にセットされている場合、割り込み要求を発生します。

TE が 1 にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了された場合は、TE ビットは 1 にセットされません。このビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。

ビット1	説明
TE	
0	DMATCR 指定回数転送未終了 【クリア条件】TE=1 の読み出し後 0 書き込み パワーオンリセット、スタンバイ (初期値)
1	DMATCR 指定回数転送終了

ビット0：DMAC イネーブル (DE)

対応するチャンネルの動作を許可するビットです。

ビット0	説明
DE	
0	対応チャンネルの動作禁止 (初期値)
1	対応チャンネルの動作許可

オートリクエストを指定 (RS3~0 で指定) した場合、このビットに 1 をセットすると転送に入ります。外部リクエスト、内蔵モジュールリクエストでは、このビットに 1 をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DE ビットをセットしても TE が 1 の場合、DMAOR の DME が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。

11.2.5 DMA オペレーションレジスタ (DMAOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							PR1	PR0						AE	NMIF	DME
初期値:							0	0						0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R(W)*R(W)*R/W		

【注】 * AE、NMIFビットは、1読み出し後の0書き込みのみ実行可能です。

DMAORは読み出し、書き込み可能な 16 ビットのレジスタで、DMAC の転送モードを指定します。パワーオンリセット、スタンバイモード時で初期化されます。マニュアルリセットでは初期化されません。

ビット 15~10: 予約ビット

読み出すとデータは 0 です。書き込む値は常に 0 にしてください。

ビット 9、8: プライオリティモード 1、0 (PR1、PR0)

同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。

ビット 9	ビット 8	説明
PR1	PR0	
0	0	CH0 > CH1 > CH2 > CH3 (初期値)
	1	CH0 > CH2 > CH3 > CH1
1	0	CH2 > CH0 > CH1 > CH3
	1	ラウンドロビンモード

ビット 7~3: 予約ビット

読み出すとデータは 0 です。書き込む値は常に 0 にしてください。

ビット2 : アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から AE に 1 を書き込むことはできません。クリアは、1 読み出し後の 0 書き込みのみ有効です。

ビット2	説 明	
AE		
0	アドレスエラーなし。DMA 転送許可状態。 【クリア条件】 : AE=1 読み出し後 AE=0 書き込み	(初期値)
1	アドレスエラーあり。DMA 転送禁止状態。 【セット条件】 : DMAC によるアドレスエラーの発生	

ビット1 : NMI フラグ (NMIF)

NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 を書き込むことはできません。クリアは、1 読み出し後の 0 書き込みのみ有効です。

ビット1	説 明	
NMIF		
0	NMI 入力なし。DMA 転送許可状態。 【クリア条件】 : NMIF=1 読み出し後 NMIF=0 書き込み	(初期値)
1	NMI 入力あり。DMA 転送禁止状態。 【セット条件】 : NMI 割り込みの発生	

ビット0 : DMAC マスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても CHCR の TE が 1 または、DE が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。

ビット0	説 明	
DME		
0	全チャンネルの動作禁止	(初期値)
1	全チャンネルの動作許可	

11.3 動作説明

DMAC はDMA転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。DMA転送には、シングルアドレスモードとデュアルアドレスモードがあり、デュアルアドレスモードはさらに直接アドレス転送モードと間接アドレス転送モードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

11.3.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

- (1) 転送許可状態かどうか (DE=1、DME=1、TE=0、NMIF=0、AE=0) をチェックします。
- (2) 転送許可状態で転送要求が発生すると1転送単位のデータ (TS0、TS1 の設定により決定) を転送します。オートリクエストモードの場合はDEおよびDMEが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
- (3) 指定された回数の転送を終える (DMATCR の値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みが発生します。
- (4) DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットが0にされても転送を中断しません。図11.2に上記のフローチャートを示します。

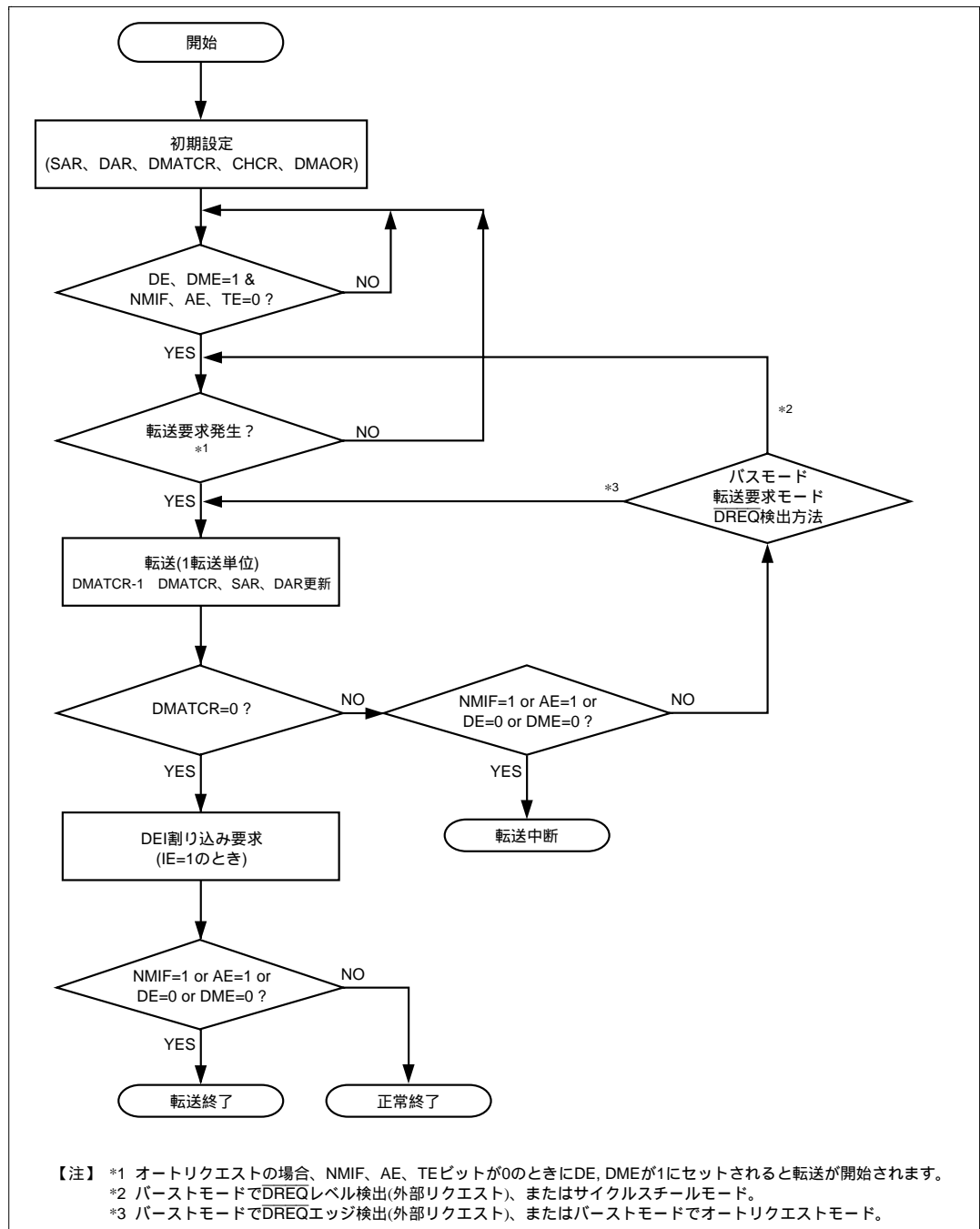


図 11.2 DMAC 転送フローチャート

11.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエスト、の3種類があります。転送要求の選択はDMA チャンネルコントロールレジスタ0~3 (CHCR0~CHCR3) のRS3~RS0 ビットによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3 のDE ビットおよびDMA オペレーションレジスタ (DMAOR) のDME ビットを1にセットすると転送が開始されます。ただしCHCR0~CHCR3 のTE ビット、DMAOR のNMIF ビット、AE ビットがすべて0である必要があります。

(2) 外部リクエストモード

外部リクエストモードは本 LSI の外部デバイスからの転送要求信号 ($\overline{\text{DREQ}}$) によって転送を開始させるモードです。応用システムに応じて、表 11.3 に示すモードの中から1つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、NMIF=0、AE=0) に $\overline{\text{DREQ}}$ が入力されると DMA 転送が開始されます。 $\overline{\text{DREQ}}$ を立ち下がりエッジで検出するかローレベルで検出するかは、CHCR0~CHCR3 のDS ビットで選びます (DS=0 はレベル検出、DS=1 はエッジ検出)。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 11.3 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアル アドレスモード	任意*	任意*
0	0	1	0	シングル アドレスモード	外部メモリまたはメモリ マップト外部デバイス	DACK 付き外部デバイス
0	0	1	1	シングル アドレスモード	DACK 付き外部デバイス	外部メモリまたはメモリ マップト外部デバイス

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、DTC、BSC、UBC を除く)

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本LSIの内蔵周辺モジュールからの転送要求信号（割り込み要求信号）によって転送を開始させるモードです。転送要求信号には表 11.4 に示すように、マルチファンクションタイマパルスユニット (MTU) からのコンペアマッチ割り込みおよびインプットキャプチャ割り込みの 5 種類、2つのシリアルコミュニケーションインタフェース (SCI) からの、受信データフル割り込み (RXI)、送信データエンプティ割り込み (TXI)、A/D 変換器の A/D 変換終了割り込み (A マスクの場合 ADI1、それ以外 ADI) の計 10 本があります。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、NMIF=0、AE=0) に転送要求信号が入力されると DMA 転送が開始されます。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。ただし転送要求を RXI (SCI の受信データフルによる転送要求) に設定した場合は転送元は SCI のレシーブデータレジスタ (RDR) でなければなりません。転送要求を TXI (SCI の送信データエンプティによる転送要求) に設定した場合は、転送先は SCI のトランスミットデータレジスタ (TDR) でなければなりません。また、転送要求を A/D 変換器にした場合は、データ転送元は A/D 変換器のレジスタでなければなりません。

表 11.4 RS ビットによる内蔵周辺モジュールリクエストモードの選択

RS3	RS2	RS1	RS0	DMAC 転送 要求元	DMAC 転送 要求信号	転送元	転送先	バスモード
0	1	1	0	MTU	TGI0A	任意*1	任意*1	バースト/サイクルスチールモード
			1	MTU	TGI1A	任意*1	任意*1	バースト/サイクルスチールモード
1	0	0	0	MTU	TGI2A	任意*1	任意*1	バースト/サイクルスチールモード
			1	MTU	TGI3A	任意*1	任意*1	バースト/サイクルスチールモード
		1	0	MTU	TGI4A	任意*1	任意*1	バースト/サイクルスチールモード
			1	A/D	ADI*2	ADDR	任意*1	バースト/サイクルスチールモード
	1	0	0	SCI0 送信部	TXI0	任意*1	TDR0	バースト/サイクルスチールモード
			1	SCI0 受信部	RXI0	RDR0	任意*1	バースト/サイクルスチールモード
		1	0	SCI1 送信部	TXI1	任意*1	TDR1	バースト/サイクルスチールモード
			1	SCI1 受信部	RXI1	RDR1	任意*1	バースト/サイクルスチールモード

MTU : マルチファンクションタイマパルスユニット

SCI0、SCI1 : シリアルコミュニケーションインタフェースのチャンネル 0、1

ADDR : A/D 変換器の A/D レジスタ

【注】 *1 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、DTC、BSC、UBC を除く)

*2 A マスクの場合、ADI1

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する割り込み許可ビットをセットして、割り込み信号を出力させてください。

内蔵周辺モジュールの割り込み要求信号を DMA 転送要求信号として使用した場合、CPU に対する割り込みは発生しません。

表 11.4 の転送要求信号は、対応する DMA 転送が行われると、自動的に取り下げられます。これはサイクルスチールモードの場合 1 回の転送で、バーストモードの場合最後の転送時に行われます。

11.3.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 種類のモードから選択できます。モードの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す 3 種類があります。

- CH0 > CH1 > CH2 > CH3
- CH0 > CH2 > CH3 > CH1
- CH2 > CH0 > CH1 > CH3

これらの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで、1 転送単位 (バイト、ワード、またはロングワード) の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 11.3 (1) に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 です。

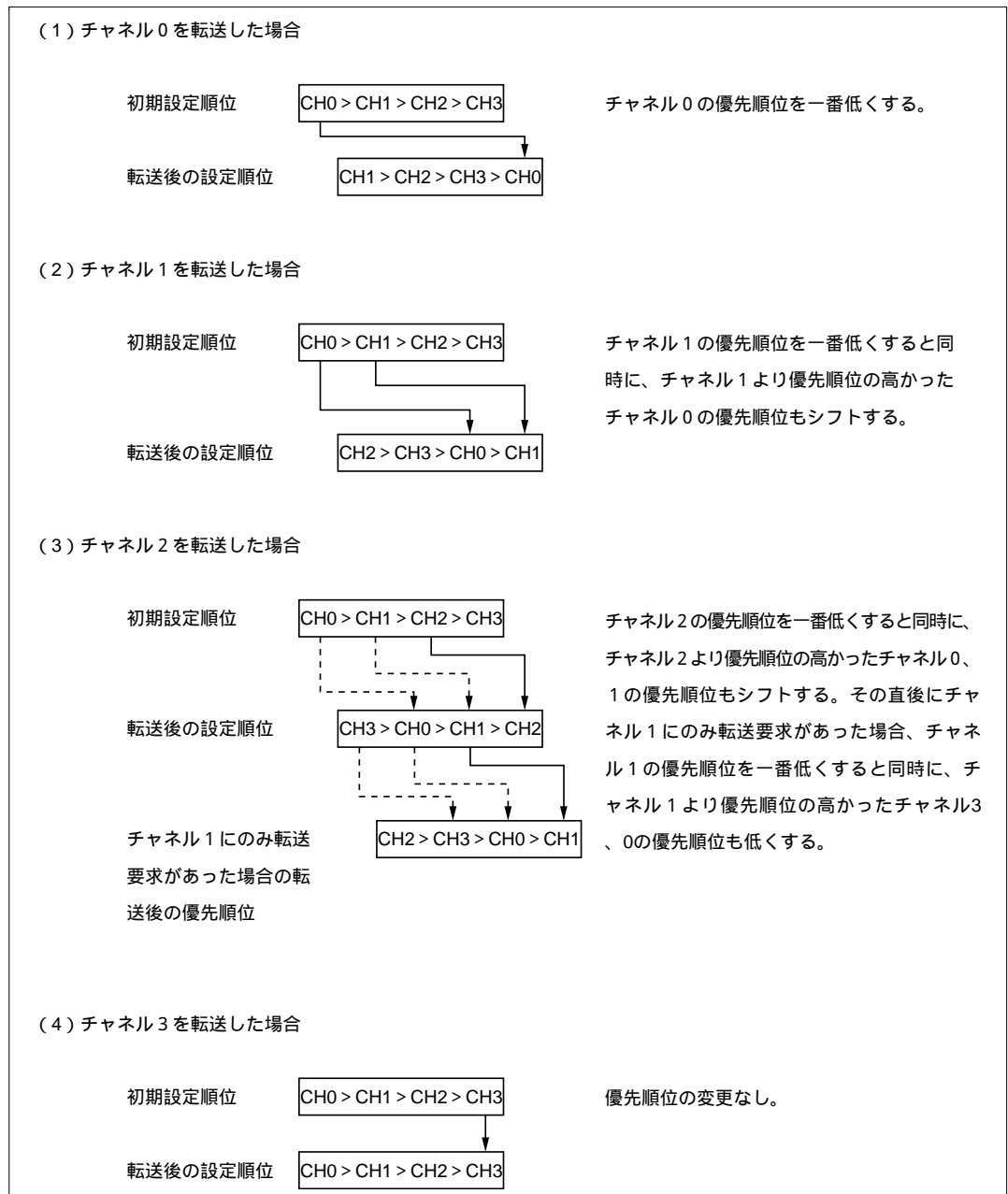


図 11.3 (1) ラウンドロビンモード

図 11.3 (2) にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

- (1) チャンネル 0 とチャンネル 3 に同時に転送要求が発生します。
- (2) チャンネル 0 のほうがチャンネル 3 より優先順位が高いため、チャンネル 0 の転送を開始します (チャンネル 3 は転送待ち)。
- (3) チャンネル 0 の転送中にチャンネル 1 に転送要求が発生します (チャンネル 1 とチャンネル 3 は転送待ち)。
- (4) チャンネル 0 の転送を終了すると、チャンネル 0 の優先順位を一番低くします。
- (5) この時点でチャンネル 1 のほうがチャンネル 3 より優先順位が高いため、チャンネル 1 の転送を開始します (チャンネル 3 は転送待ち)。
- (6) チャンネル 1 の転送を終了すると、チャンネル 1 の優先順位を一番低くします。
- (7) チャンネル 3 の転送を開始します。
- (8) チャンネル 3 の転送を終了すると、チャンネル 3 の優先順位が一番低くなるように、チャンネル 3 と一緒にチャンネル 2 の優先順位を低くします。

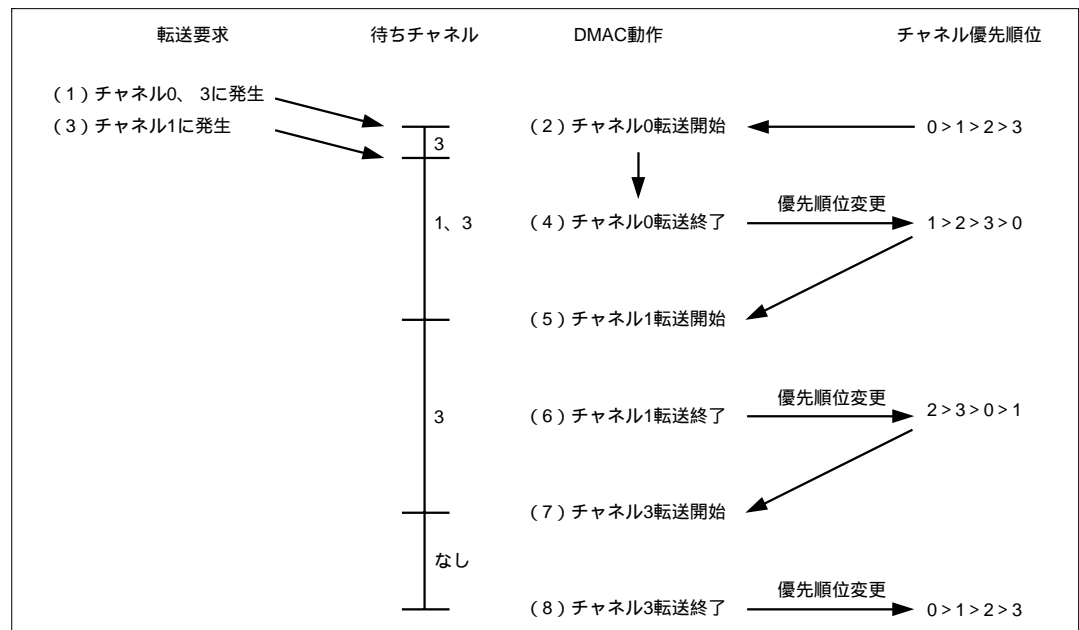


図 11.3 (2) ラウンドロビンモードでのチャンネル優先順位変更例

11.3.4 DMA 転送の種類

DMAC がサポートできる転送は表 11.5 に示すとおりで、転送元が転送先いずれか一方をアクノリッジ信号でアクセスするシングルアドレスモードと、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードに分類されます。またデュアルアドレスモードには、出力したアドレスの値が、直接データ転送の対象アドレスとなる直接アドレスモードと、出力したアドレスの値がデータ転送対象のアドレスとならず、出力したアドレスに格納されている値が、転送対象のアドレスとなる間接アドレスモードがあります。具体的な転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 11.5 サポートできる DMA 転送

転送先 転送元	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き 外部デバイス	不可	シングル アドレスモード	シングル アドレスモード	不可	不可
外部メモリ	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
メモリマップト 外部デバイス	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
内蔵メモリ	不可	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
内蔵周辺 モジュール	不可	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード

【注】 デュアルアドレスモードは、直接アドレスモードと間接アドレスモードを含みます。

(1) アドレスモード

(a) シングルアドレスモード

シングルアドレスモードは、転送元と転送先が共に外部で、そのうちの一方を DACK 信号によってアクセスし、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは DMAC は、転送要求受け付け信号 DACK を、転送元か転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出してアクセスします。これにより、1 つのバスサイクルで DMA 転送を行うことができます。たとえば図 11.4 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

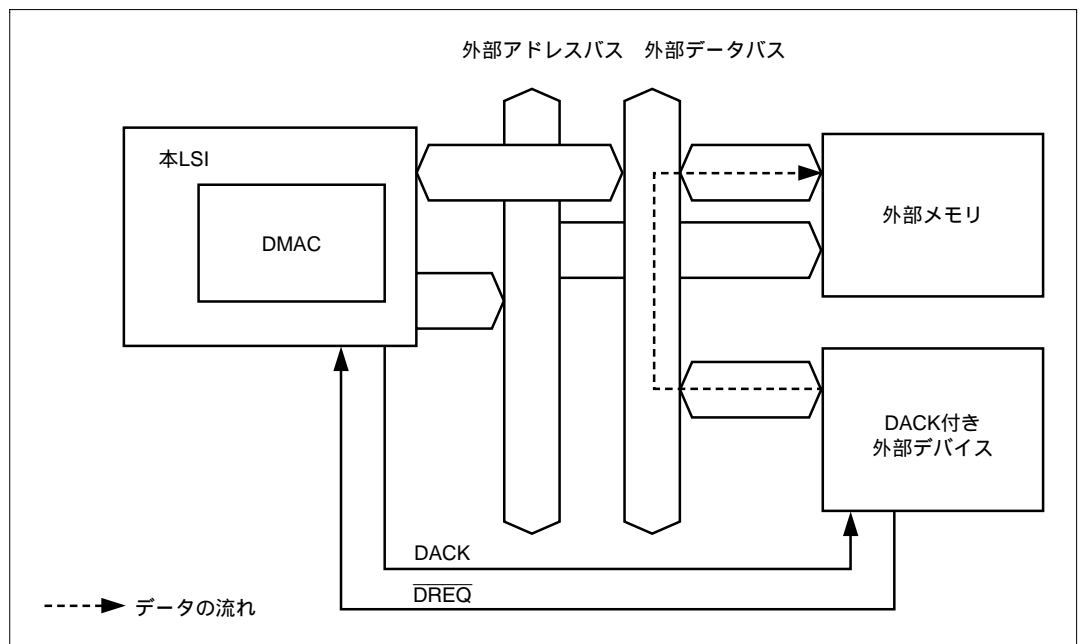


図 11.4 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、(1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、(2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は、外部リクエスト (\overline{DREQ}) のみです。

図 11.5 にシングルアドレスモードでの DMA 転送タイミングを示します。

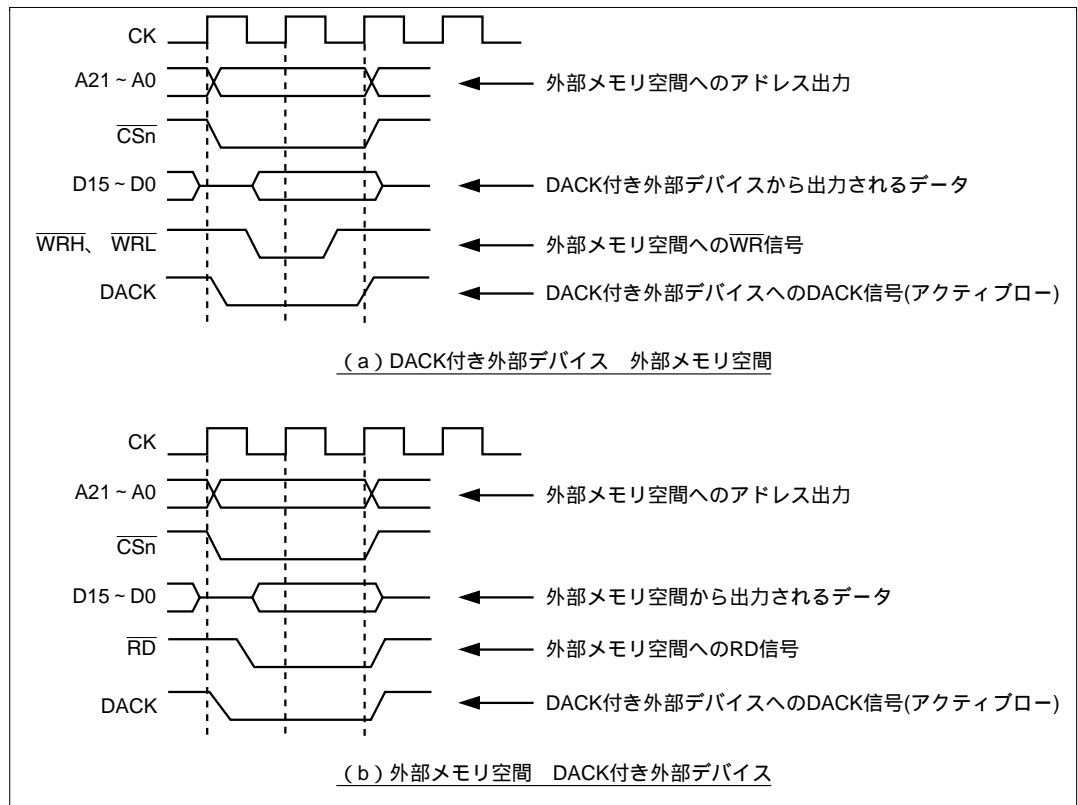


図 11.5 シングルアドレスモードでの DMA 転送タイミング

(b) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先を共にアドレスによってアクセスする場合に使うモードです。転送元と転送先は内部でも外部でもかまいません。デュアルアドレスモードには(1)直接アドレス転送モード、(2)間接アドレス転送モードがあります。

(1) 直接アドレス転送モード

データ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。このとき転送データは一時的にDMACに格納されます。図11.6のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また図11.7にこの場合のタイミング例を示します。

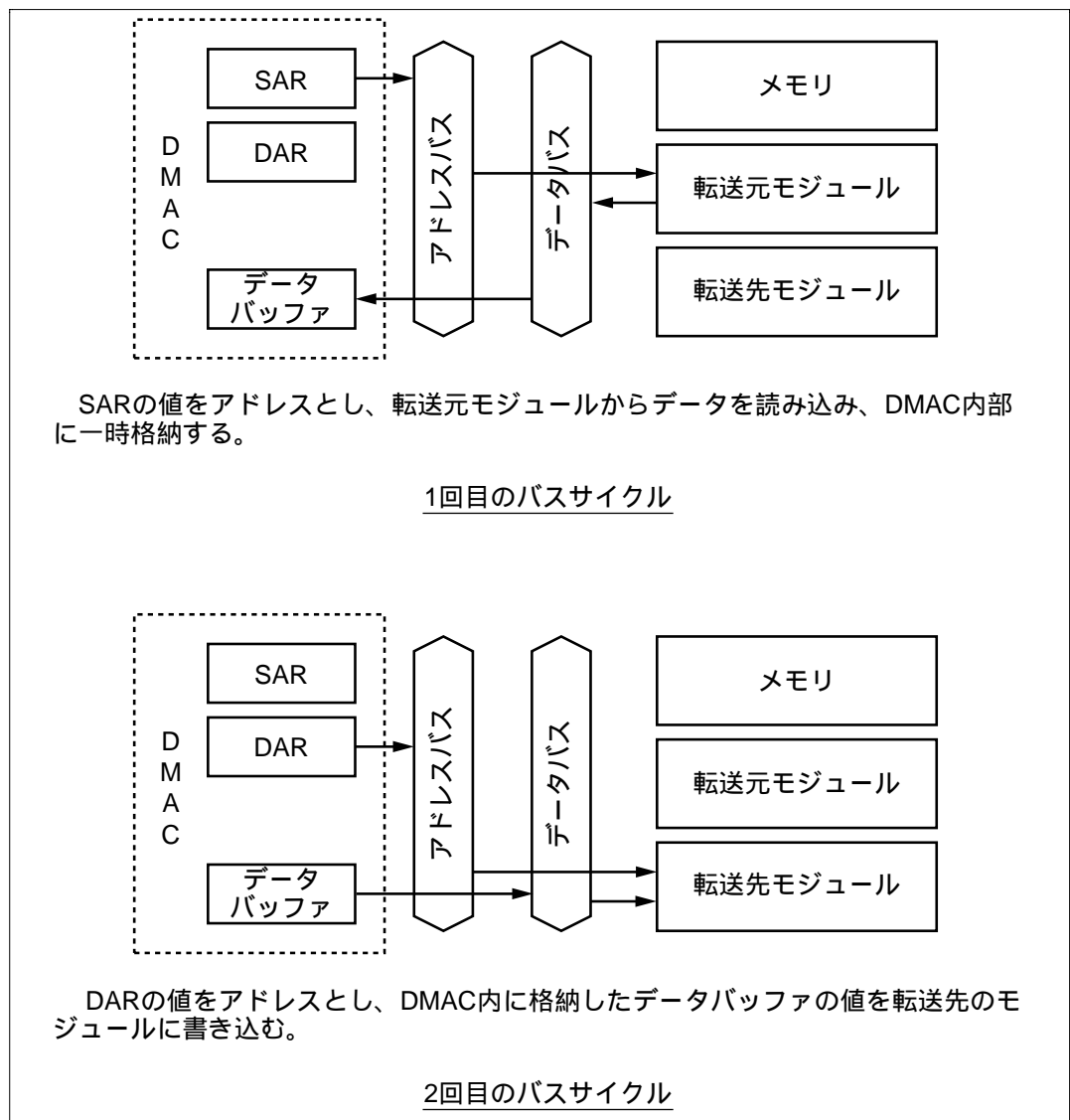


図 11.6 デュアルアドレスモード、直接アドレスの動作説明

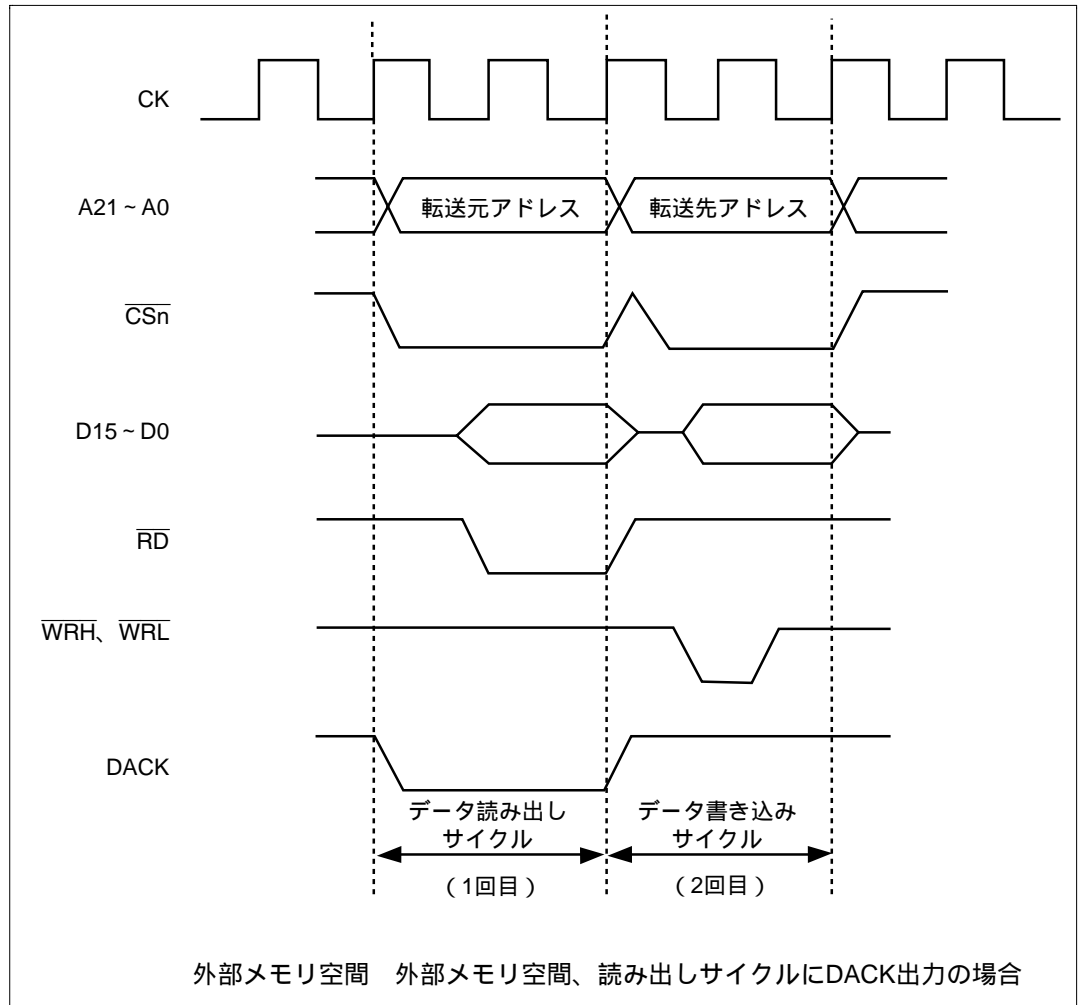


図 11.7 デュアルアドレスモード、直接アドレスでのデータの流れ

(2) 間接アドレス転送モード

DMAC 内部の転送元アドレスレジスタ (SAR3) に、実際に転送したいデータの格納されているメモリのアドレスが指定されている転送モードです。したがって、間接アドレス転送モードでは、まず DMAC 内部の転送元アドレスレジスタに指定されたアドレスの値を読み出します。この値は、いったん DMAC 内部に格納されます。次に、読み出した値をアドレスとして出力し、そのアドレスに格納されている値を再び DMAC 内部に格納します。最後に転送先アドレスレジスタに指定されたアドレスに、後から読み出した値を書き込んで 1 回の DMA 転送が終了します。

図 11.8 に、間接アドレスモードで、転送先、転送元、間接アドレスの格納先すべてが 16 ビット幅空間の外部メモリであり、転送データが 16 ビットまたは 8 ビットの場合の転送例を示します。また図 11.9 にタイミング例を示します。

間接アドレスモードでは、間接アドレスとして読み出したデータをアドレスバスに出力するまでに、1 回の NOP サイクル (図 11.9 の CK1 サイクル分) を必要とします。なお転送データが 32 ビットサイズの場合、図 11.9 の 3 回目と 4 回目のバスサイクルが 2 回ずつ必要となり、全体で 6 回のバスサイクルと 1 回の NOP サイクルが必要になります。

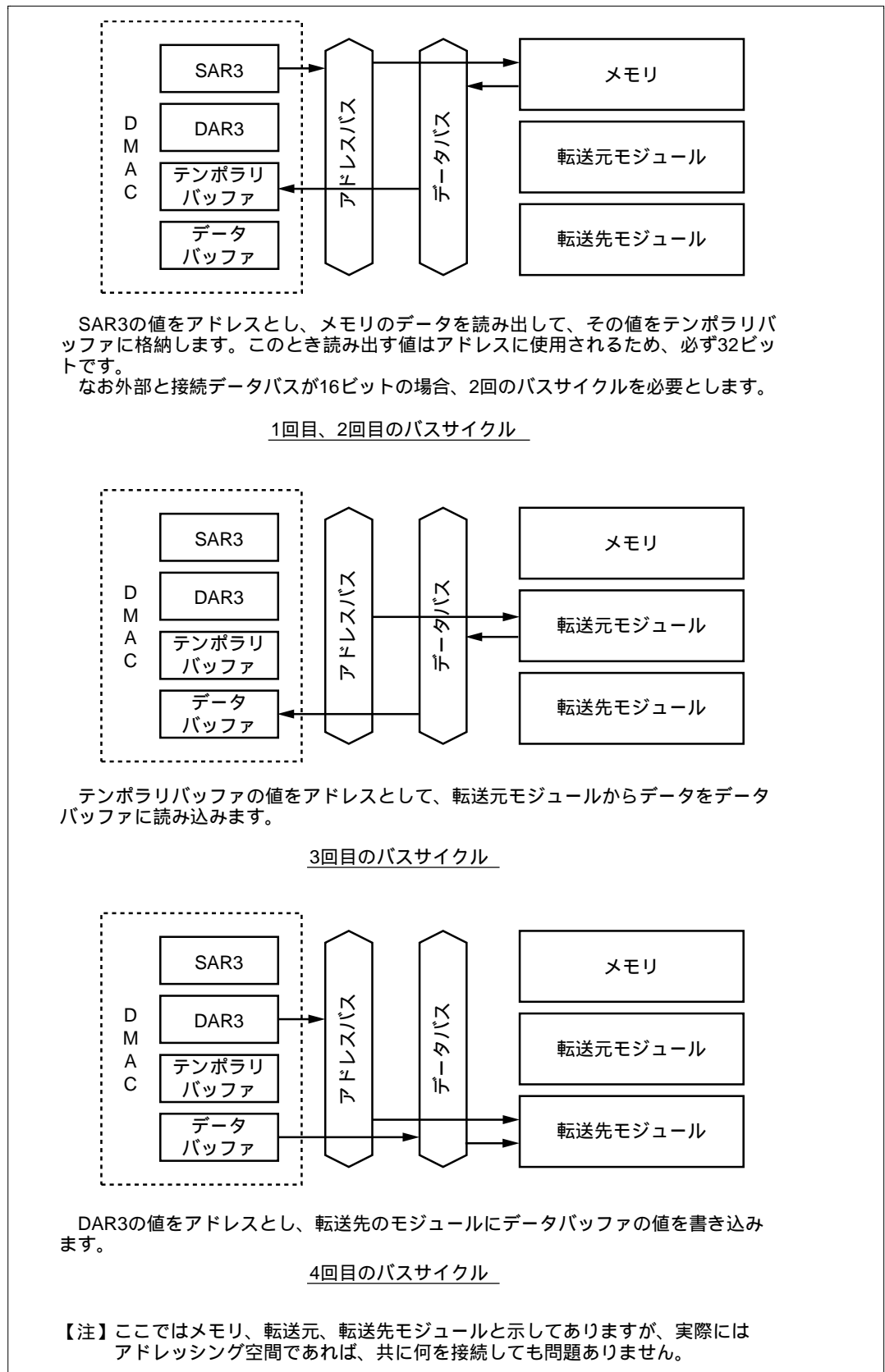


図 11.8 デュアルアドレスモード、間接アドレスの動作説明
 (外部メモリ空間が16ビット幅の場合)

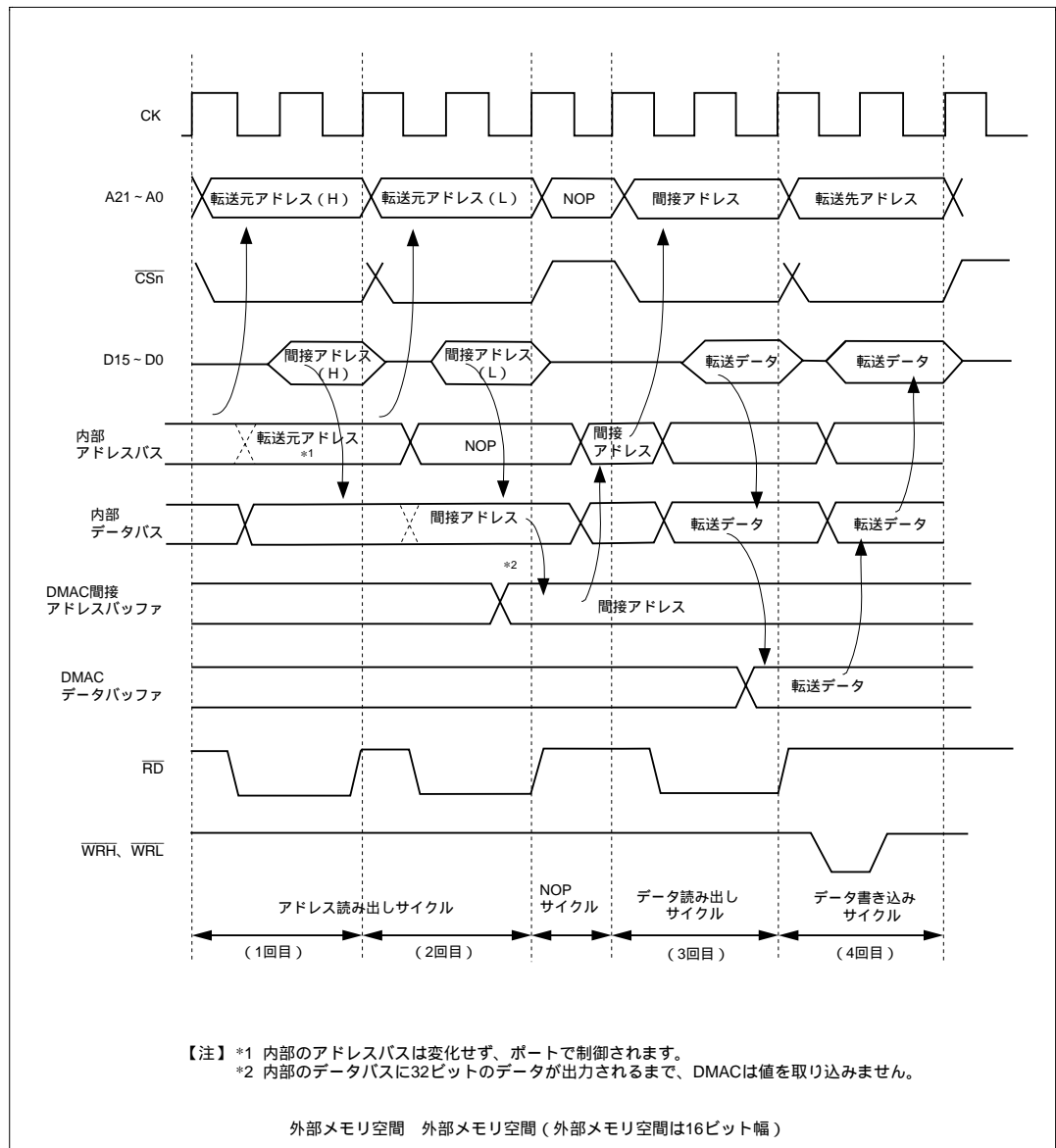


図 11.9 デュアルアドレスモード、間接アドレスでの転送タイミング例

図 11.10 に間接アドレスモードで、転送元、間接アドレスの格納先が内蔵メモリであり、転送先が2サイクルアクセス空間の内蔵周辺モジュールで、転送データが8ビットの場合のタイミング例を示します。

間接アドレスの格納先、転送元とも内蔵メモリなので、これらへのアクセスは1サイクルで実行できます。転送先が2サイクルアクセス空間なので、データの書き込みサイクルが2サイクル必要になります。この場合でも、間接アドレスとして読み出したデータをアドレスバスに出力までに、1回のNOPサイクルを必要とします。

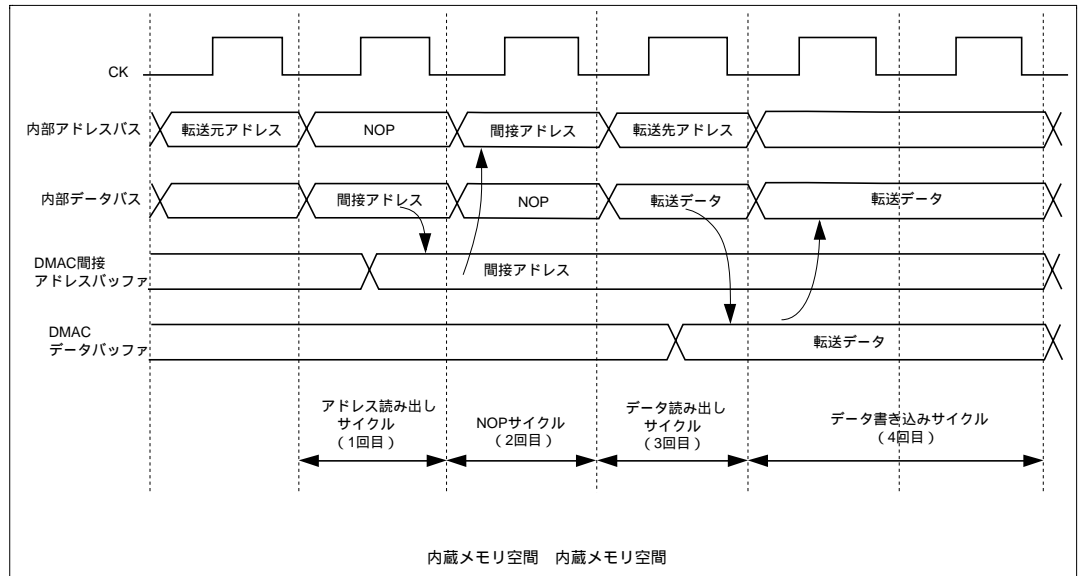


図 11.10 デュアルアドレスモード、間接アドレスでの転送タイミング例

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0 ~ CHCR3 の TM ビットによって行います。

(a) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (8 ビット、16 ビット、32 ビット) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 11.11 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- ・デュアルアドレスモード
- ・ $\overline{\text{DREQ}}$ レベル検出

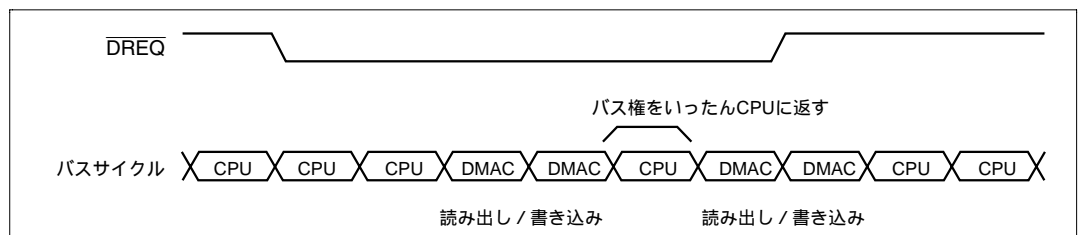


図 11.11 サイクルスチールモードでの DMA 転送例

(b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、 $\overline{\text{DREQ}}$ をローレベルで検出する場合には、 $\overline{\text{DREQ}}$ がハイレベルになると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

図 11.12 にバーストモードでの DMA 転送タイミングを示します。図の例での転送条件は以下のとおりです。

- ・シングルアドレスモード
- ・ $\overline{\text{DREQ}}$ レベル検出

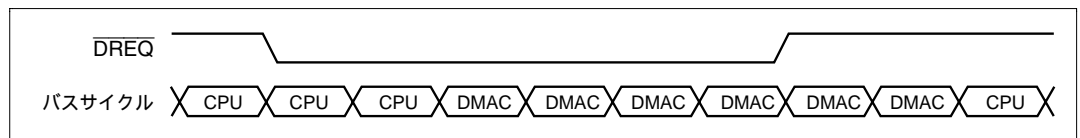


図 11.12 バーストモードでの DMA 転送例

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 11.6 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 11.6 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32	0、1
デュアル	外部メモリと外部メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	外部メモリとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	外部メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	外部メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	メモリマップト外部デバイスと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	内蔵メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	内蔵メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}

B: バースト

C: サイクルスチール

【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、SCI と A/D 変換器を転送要求元に指定するのは不可。

*2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元も SCI または A/D 変換器 (A マスクの場合、A/D1) の場合には、転送元または転送先がそれぞれ SCI か A/D 変換器 (A マスクの場合、A/D1) である必要があります。A マスクの場合、A/D0 を転送要求元に設定することはできません。

*3 転送要求元が SCI の場合にはサイクルスチールのみ。

*4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。

*5 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ。

(4) バスモードとチャンネルの優先順位

例えばチャンネル1がバーストモードで転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、直ちにチャンネル0の転送を開始します。

このとき、優先順位の設定が固定モード (CH0 > CH1) の場合、チャンネル0の設定がサイクルスチールでもバーストモードでもチャンネル0の転送がすべて終了してからチャンネル1の転送を継続します。

優先順位の設定がラウンドロビンモードの場合、チャンネル0の設定がサイクルスチールモードでもバーストモードであっても、チャンネル0が1転送単位の転送を行ったあと、チャンネル1が転送を再開します。その後もチャンネル1 チャンネル0 チャンネル1 チャンネル0 というようにバス権を交互に入れ換えます。

優先順位の設定が固定モードでもラウンドロビンモードでも、チャンネル1がバーストモードなので、この間CPUにはバス権は渡りません。

ラウンドロビンモードの場合の例を図 11.13 に示します。

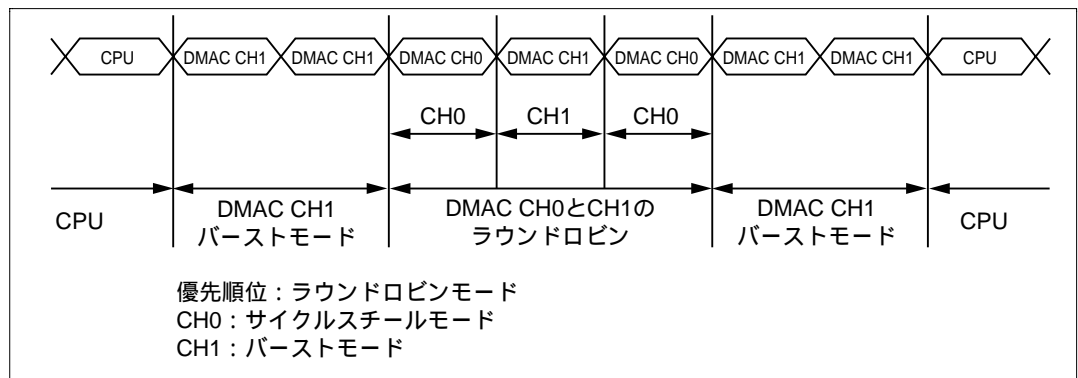


図 11.13 複数チャンネルが動作する場合のバス状態

11.3.5 バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは、「第 10 章 バスステートコントローラ (BSC)」を参照してください。

(2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミングと DRAK 信号

外部リクエストモードにおいて、 $\overline{\text{DREQ}}$ 端子は立ち下がりエッジまたはローレベル検出でサンプリングされ、 $\overline{\text{DREQ}}$ 入力が発出されると、最も早い場合で 3 ステート後に DMAC のバスサイクルが発生し、DMA 転送が行われます。ただしバーストモードでシングルアドレス動作を指定している場合には、最初にダミーサイクルが 1 バスサイクル分挿入されます。この場合実際のデータ転送は、2 バスサイクル目からになります。2 バスサイクル目以後は連続してデータ転送が行われます。ダミーサイクルは転送回数にはカウントされませんので、TCR を設定する際に、ダミーサイクルを意識する必要はありません。

2 回目以後の $\overline{\text{DREQ}}$ サンプリングは、その 1 回前のサンプリングによって発生する DMAC 転送の、1 バスサイクル前の転送が始まることから開始されます。

なお DRAK は、転送モード、 $\overline{\text{DREQ}}$ 検出方法によらず、 $\overline{\text{DREQ}}$ 1 回のサンプリングにつき 1 回、1 サイクルのみ出力されます。バーストモード、エッジ検出の場合は、 $\overline{\text{DREQ}}$ のサンプリングが最初の 1 回だけなので、DRAK も最初の 1 回だけ出力されます。

したがって、DRAK 信号により $\overline{\text{DREQ}}$ 信号のネゲートタイミングを知ることができ、転送要求元と DMAC とのハンドシェークを容易にとることが可能です。

(3) 動作説明

(a) サイクルスチールモード

サイクルスチールモードの場合、 $\overline{\text{DREQ}}$ サンプリングタイミングは、デュアルアドレスモードでもシングルアドレスモードでも、また $\overline{\text{DREQ}}$ 検出方法がレベルでもエッジでも同じです。

例えば、図 11.14 (サイクルスチールモード、デュアルアドレス、レベル検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所、すなわち CPU (3) の転送が始まる場所から開始されます。このとき $\overline{\text{DREQ}}$ が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

図 11.15 のように、CPU の転送サイクルが何サイクルであっても、DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所から次のサンプリングは開始されます。

図 11.14 は DACK を読み出し時に出力、図 11.15 は DACK を書き込み時に出力する例です。

図 11.16、図 11.17 はサイクルスチールモードのシングルアドレスの場合です。この場合も 1 回目の $\overline{\text{DREQ}}$ サンプリングから、最も早い場合で 3 サイクル後に転送開始されます。2 回目のサンプリングは、1 回目の DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所から開始されます。シングルアドレスモードでは、DACK 信号は DMAC の転送期間中出力されます。

(b) バーストモード、デュアルアドレス、レベル検出

バーストモード、デュアルアドレス、レベル検出の場合の $\overline{\text{DREQ}}$ サンプリングタイミングを図 11.18、図 11.19 に示します。

バーストモード、デュアルアドレス、レベル検出の場合、 $\overline{\text{DREQ}}$ サンプリングタイミングはサイクルスチールモードとほぼ同じです。

例えば図 11.18 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングも、1 回目の DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所から開始されます。バーストモードの場合、転送要求があるかぎり DMAC 転送が連続で行われるので、“DMAC 転送の開始される 1 バスサイクル前の転送” が DMAC の転送の場合があります。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

(c) バーストモード、シングルアドレス、レベル検出

バーストモード、シングルアドレス、レベル検出の場合の $\overline{\text{DREQ}}$ サンプリングタイミングを図 11.20、図 11.21 に示します。

バーストモード、シングルアドレス、レベル検出の場合、1 回目のサンプリングが行われたタイミングから、最も早い場合で 3 サイクル後にダミーサイクルが 1 バスサイクル出力されます。この期間のデータは不定であり、DACK も出力されません。また、DMAC の転送回数にもカウントされません。ダミーサイクルが 1 バスサイクル出力された後、実際の DMAC 転送が開始されます。

2 回目のサンプリングが始まる、“1 回目の DMAC 転送の開始される 1 バスサイクル前の転送”にもダミーサイクルはカウントしません。したがって 2 回目のサンプリングは、ダミーサイクルの始まるバスサイクルから行われるのではなく、CPU (3) のバスサイクルから開始されます。

その後 $\overline{\text{DREQ}}$ が連続でサンプリングされている限り、ダミーサイクルが挿入されることはありません。この間の $\overline{\text{DREQ}}$ サンプリングタイミングは、サイクルスチールモード同様 DMAC 転送の開始される 1 バスサイクル前の転送が始まるところから開始されます。

図 11.20 の 4 回目のサンプリングのように、いったん DMAC 転送がとぎれた場合、再び DMAC 転送の最初にダミーサイクルが挿入されます。

DACK の出力期間は、サイクルスチールモードの場合と同じです。

(d) バーストモード、デュアルアドレス、エッジ検出

バーストモード、デュアルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の 1 回しか行いません。

例えば図 11.22 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。その後 DMATCR に設定した回数データ転送が終了するまで、DMAC 転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。したがって DRAK も最初の 1 回出力されるだけで、以後は出力されません。

NMI やアドレスエラーが発生して停止した後 DMAC 転送を再開したい場合は、再びエッジ要求を入力してください。DRAK を 1 回出力した後、残りの転送を再開します。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

(e) バーストモード、シングルアドレス、エッジ検出

バーストモード、シングルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の1回しか行いません。

例えば図 11.23 の場合、1回目のサンプリングが行われたタイミングから最も早い場合で3サイクル後にダミーサイクルが1バスサイクル出力されます。この期間のデータは不定であり、DACK も出力されません。また DMAC の転送回数にもカウントされません。ダミーサイクルが1バスサイクル出力された後、実際の DMAC 転送が開始されます。その後 DMATCR に設定した回数データ転送が終了するまで、DMAC 転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。したがって DRAK も最初の1回出力されるだけで、以後は出力されません。

NMI やアドレスエラーが発生して停止した後 DMAC 転送を再開したい場合は、再びエッジ要求を入力してください。DRAK を1回出力し、ダミーサイクルを1バスサイクル出力した後、残りの転送を再開します。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

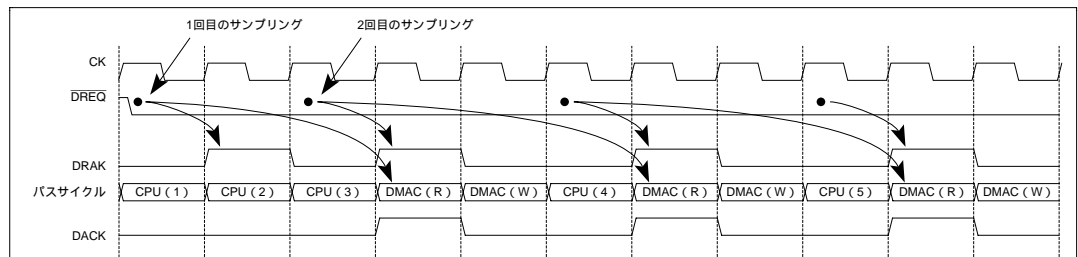


図 11.14 サイクルスチール、デュアル、レベル (最高速動作)

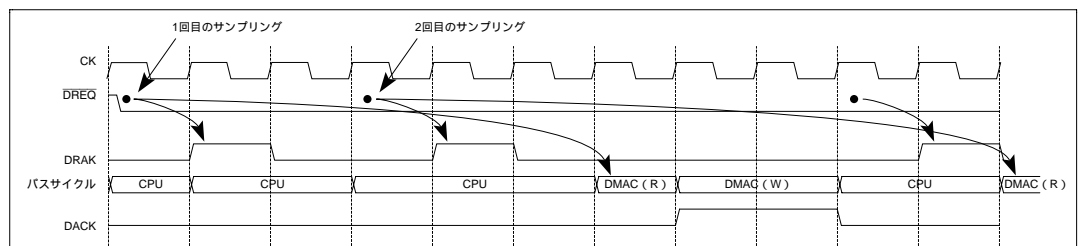


図 11.15 サイクルスチール、デュアル、レベル (通常動作)

【注】 サイクルスチール、デュアル動作では、 $\overline{\text{DREQ}}$ 検出方法がレベルでもエッジでもサンプリングタイミングは同じです。

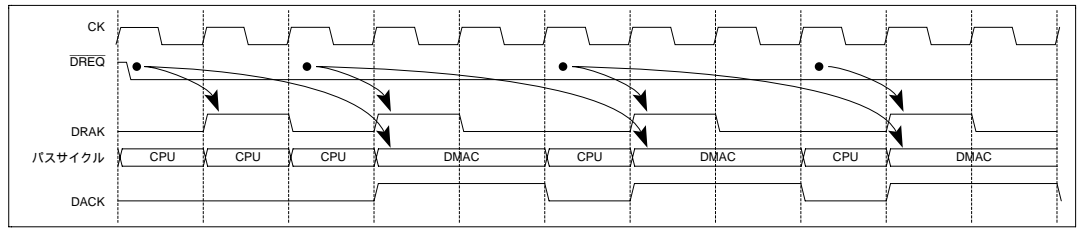


図 11.16 サイクルスチール、シングル、レベル (最高速動作)

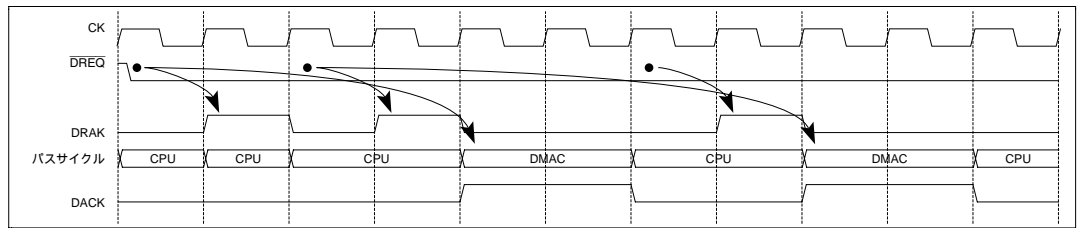


図 11.17 サイクルスチール、シングル、レベル (通常動作)

【注】 サイクルスチール、シングル動作では、 $\overline{\text{DREQ}}$ 検出方法がレベルでもエッジでもサンプリングタイミングは同じです。

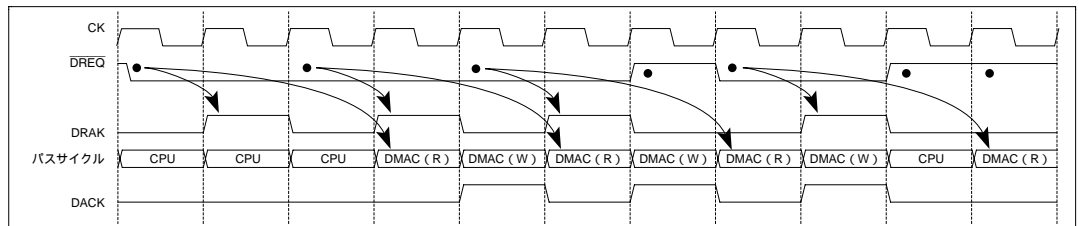


図 11.18 バースト、デュアル、レベル (最高速動作)

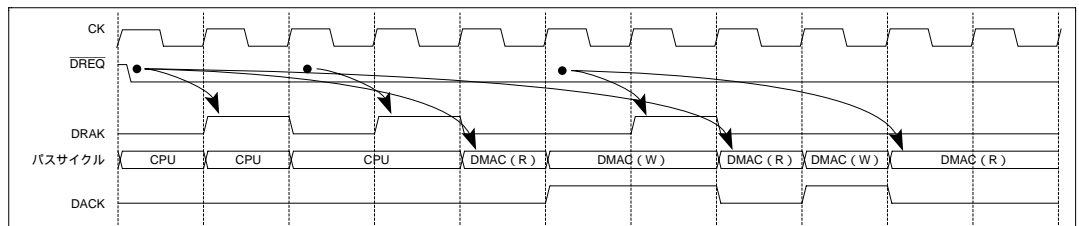


図 11.19 バースト、デュアル、レベル (通常動作)

11. ダイレクトメモリアクセスコントローラ (DMAC)

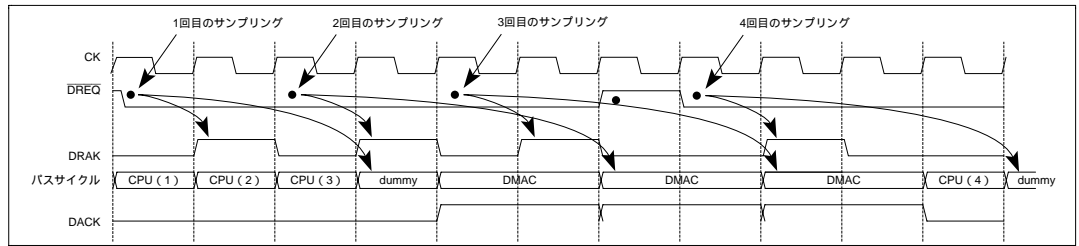


図 11.20 バースト、シングル、レベル (最高速動作)

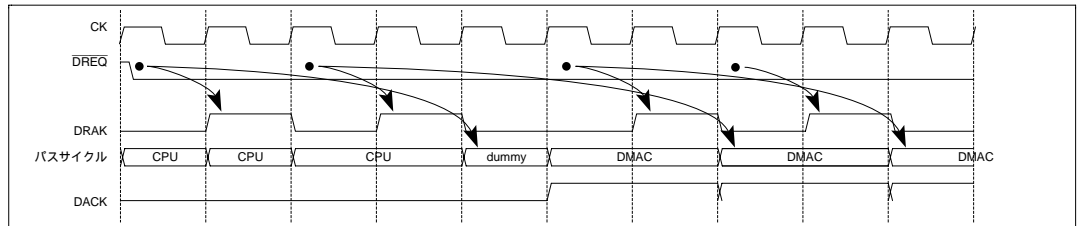


図 11.21 バースト、シングル、レベル (通常動作)

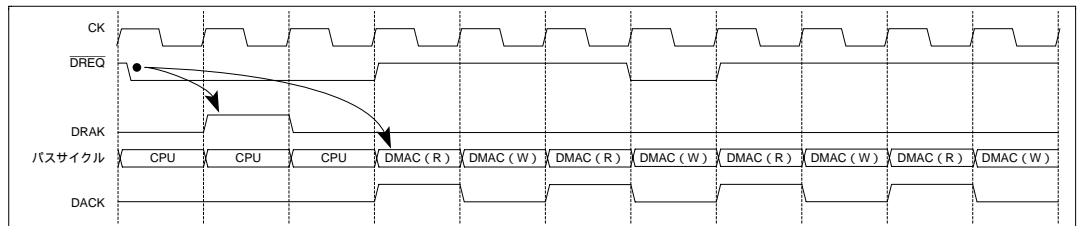


図 11.22 バースト、デュアル、エッジ

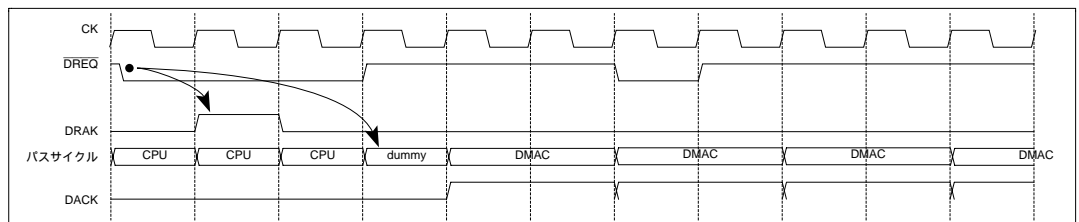


図 11.23 バースト、シングル、エッジ

11.3.6 ソースアドレスリロード機能

チャンネル2はCHCR2のROビットを1にセットすることで、4回の転送ごとに、最初にソースアドレスレジスタ(SAR2)に設定した値に復帰するリロード機能があります。この動作を図11.24に示します。また図11.25に、チャンネル2のみ使用で、バーストモード、オートリクエスト、転送データサイズ16ビット、SAR2カウントアップ、DAR2固定状態で、リロード機能ON状態のタイムチャートを示します。

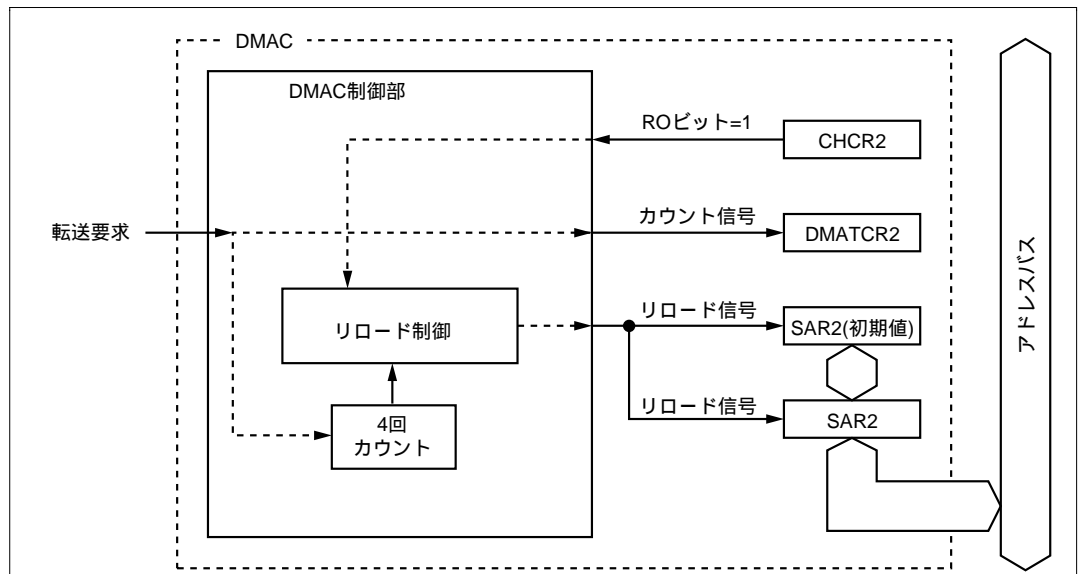


図 11.24 ソースアドレスリロード機能図

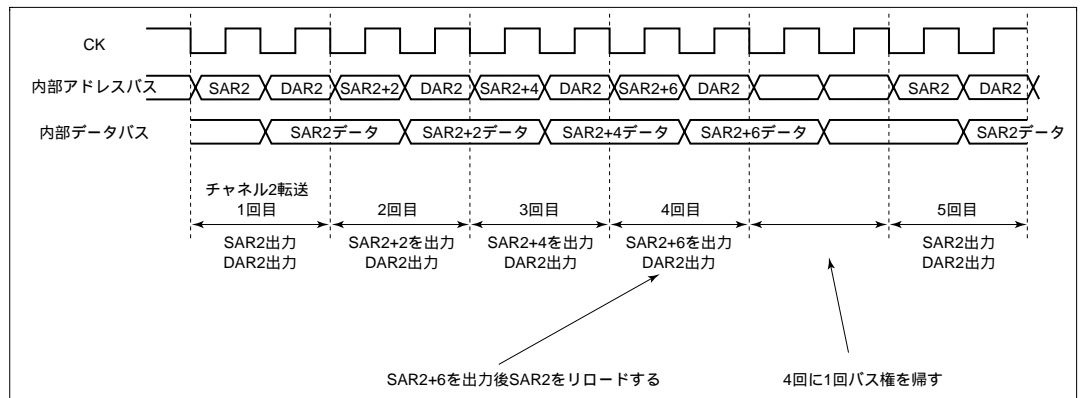


図 11.25 ソースアドレスリロード機能タイムチャート

転送データサイズが 8 ビット、16 ビット、32 ビットのいずれの場合でも、リロード機能は実行可能です。

転送回数を指定する DMATCR2 は、リロード機能のオン、オフにかかわらず、1 転送単位の転送終了ごとに 1 カウントダウンします。このためリロード機能をオンで使用する場合は、DMATCR2 には、必ず 4 の倍数を指定してください。それ以外の値を設定した場合の動作は、保証しません。また、アドレスリロードのために 4 回転送したことをカウントしているカウンタは、リセットやスタンバイモードのほか、DMAOR の DME ビットのクリア、CHCR2 の DE ビットのクリア、転送終了フラグ (CHCR2 の TE ビット) のセット、NMI 入力、AE フラグ (DMAC 転送によるアドレスエラーの発生) のセットによってリセットされますが、SAR2、DAR2、DMATCR2 などのレジスタはリセットされません。このため、これらの要因が発生すると、DMAC 内部に初期化されたカウンタと、初期化されないレジスタが混在することになり、そのまま再スタートをかけると誤動作する場合があります。以上から、アドレスリロード機能使用中に TE のセット以外の上記の要因が発生した場合は、SAR2、DAR2、DMATCR2 の設定から実行しなおしてください。

11.3.7 DMA 転送終了

DMA 転送終了条件は、1 チャンルずつの終了と全チャンネルの同時終了とで異なります。

(1) チャンルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- ・ DMA トランスファカウンタレジスタ (DMATCR) の値が 0 になる。
- ・ DMA チャンネルコントロールレジスタ (CHCR) の DE ビットを 0 にクリアする。

(a) DMATCR=0 による転送終了

DMATCR の値が 0 になると、対応するチャンネルの DMA 転送が終了し、CHCR のトランスファエンドフラグビット (TE) がセットされます。このときインタラプトイネーブルビット (IE) がセットされていると、CPU に DMAC 割り込み (DEI) が要求されます。

(b) CHCR の DE=0 による転送終了

CHCR の DMA イネーブルビット (DE) をクリアすると、対応するチャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送終了します。

- ・ DMA オペレーションレジスタ (DMAOR) の NMI フラグビット (NMIF) または アドレスエラーフラグビット (AE) が 1 になる。
- ・ DMAOR の DMA マスタイネーブルビット (DME) を 0 にクリアする。

(a) DMAOR の NMIF=1 または AE=1 による転送終了

NMI 割り込みまたは DMAC によるアドレスエラーが発生して、DMAOR の NMIF ビットまたは AE ビットが 1 になると、すべてのチャンネルの DMA 転送が中断されます。DMAC がバス権を獲得し、転送を実行している間にこれらのフラグが 1 にセットされた場合 DMAC は実行中の転送処理を終了した時点で動作を中断し、バス権を他のバスマスタに渡します。したがって転送中に NMIF ビットまたは AE ビットが 1 になっても、DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR) の値は更新されません。この場合は TE ビットはセットされません。NMI 割り込み、アドレスエラー処理終了後に転送を再開するためには、NMIF または AE フラグをクリアする必要があります。その際、再起動させたくないチャンネルは、対応する CHCR の DE ビットをクリアしてください。

転送の中断は、1 転送単位の処理が終了したところで発生します。デュアルアドレスモードの直接アドレス転送で、読み出し処理中にアドレスエラー、または NMI フラグがセットされても、続く書き込み処理が終了してから中断されます。この場合も、SAR、DAR、DMATCR の値更新は行われません。同様にデュアルアドレスモードの間接アドレス転送でも、最後の書き込み処理が終了してから中断されます。

(b) DMAOR の DME=0 による転送終了

DMAOR の DME ビットを 0 にクリアすると、全チャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

11.3.8 CPU からの DMAC アクセス

DMAC がアドレッシングされている空間は 3 サイクル空間です。したがって CPU がバスマスタとなって DMAC をアクセスする場合の 1 バスサイクルは、最低基本クロック (CLK) 3 サイクルを必要とします。また DMAC はワード空間に配置されています。したがって DMAC に対しワードサイズのアクセスを行った場合は 1 バスサイクルで終了しますが、ロングワードアクセスを行った場合は、自動的にワードアクセス 2 回に分割され、2 バスサイクル = 6 基本クロックを必要とします。なお、この分割された 2 回のバスサイクルは連続で実行されます。ワードアクセスとワードアクセスの間に別のバスサイクルが挿入されることはありません。これは読み出しアクセスの場合も書き込みアクセスの場合も同じです。

11.4 使用例

11.4.1 内蔵 SCI と外部メモリとの DMA 転送例

内蔵シリアルコミュニケーションインタフェース、チャンネル0 (SCI0) の受信データを、DMAC のチャンネル3 を使って外部メモリに転送する例を考えます。

表 11.7 に転送条件と、各レジスタの設定値を示します。

表 11.7 内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 SCI0 の RDR0	SAR3	H'FFFF81A5
転送先：外部メモリ	DAR3	H'00400000
転送回数：64 回	DMATCR3	H'00000040
転送元アドレス：固定	CHCR3	H'00004D05
転送先アドレス：増加		
転送要求元：SCI0 (RDR0)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生		
チャンネル優先順位：0 > 1 > 2 > 3	DMAOR	H'0001

11.4.2 外部 RAM と DACK 付き外部デバイスとの DMA 転送例

外部リクエスト、シングルアドレスモードで、転送元が外部メモリ、転送先が DACK 付き外部デバイスの場合の転送を、DMAC のチャンネル 1 を使用して実行する例を示します。

表 11.8 に転送条件と、各レジスタの設定値を示します。

表 11.8 外部 RAM と DACK 付き外部デバイス間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部 RAM	SAR1	H'00400000
転送先：DACK 付き外部デバイス	DAR1	(DACK によりアクセス)
転送回数：32 回	DMATCR1	H'00000020
転送元アドレス：減少	CHCR1	H'00002269
転送先アドレス：(設定無効)		
転送要求元：外部端子 ($\overline{DREQ1}$) エッジ検出		
バスモード：バースト		
転送単位：ワード		
転送終了時に割り込み要求なし		
チャンネル優先順位：2 > 0 > 1 > 3	DMAOR	H'0201

11.4.3 A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン) (A マスク以外の場合)

内蔵 A/D 変換器が転送元、内蔵メモリが転送先で、アドレスリロード機能オンの場合の例を考えます。

表 11.9 に転送条件と、各レジスタの設定値を示します。

表 11.9 A/D 変換器と内蔵メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 A/D 変換器	SAR2	H'FFFF83F0
転送元：内蔵メモリ	DAR2	H'FFFFFF00
転送回数：128 回 (リロード回数 32 回)	DMATCR2	H'00000080
転送元アドレス：増加	CHCR2	H'00085B25
転送先アドレス：増加		
転送要求元：A/D 変換器		
バスモード：バースト		
転送単位：バイト		
転送終了時に割り込み要求発生		
チャンネル優先順位：0 > 2 > 3 > 1	DMAOR	H'0101

アドレスリロードをオンにすると、4 回の転送ごとに SAR の値が最初に設定した値に戻ります。上記の例では、A/D 変換器から転送要求が入ると、まず A/D 変換器の H'FFFF83F0 のレジスタからバイトサイズのデータを読み出し、内蔵メモリの H'FFFFFF001 番地にそのデータを書き込みます。バイトサイズの転送を行ったので、この時点で SAR、DAR の値はそれぞれ H'FFFF83F1、H'FFFFFF001 となっています。またバースト転送であるため、バス権を確保したままなので、データ転送を連続して進めていきます。

4 回の転送が終了すると、アドレスリロードオフの場合はそのまま 5 回目、6 回目と転送を続けて実行し、SAR の値は H'FFFF83F3 H'FFFF83F4 H'FFFF83F5... と増加し続けますが、アドレスリロードオンの場合は 4 回目終了すると、DMAC 転送を中止し、CPU へのバス権要求信号をクリアします。このとき SAR 内に格納されている値は H'FFFF83F3

H'FFFF83F4 ではなく、H'FFFF83F3 H'FFFF83F0 と最初に設定したアドレスに戻ります。DAR の値はアドレスリロードのオン/オフに関係なく、常に増加を続けます。

以上から DMAC 内部は 4 回目の転送が終了した時点で、アドレスリロードオンの場合とオフの場合では、以下の表に示した状態となっています。

	アドレスリロードオン	アドレスリロードオフ
SAR	H'FFFF83F0	H'FFFF83F4
DAR	H'FFFFFF04	H'FFFFFF04
DMATCR	H'0000007C	H'0000007C
バス権	解放	保持
DMAC 動作	停止	処理続行中
割り込み	未発	未発
転送要求元フラグクリア	実行	未実行

- 【注】
1. 割り込みは、DMATCR の値が 0 になるまで実行し、CHCR の IE ビットが 1 にセットされていれば、アドレスリロードのオン / オフに関係なく発生します。
 2. 転送要求元フラグクリアは、DMATCR の値が 0 になるまで実行すれば、アドレスリロードのオン / オフに関係なく実行されます。
 3. アドレスリロード機能を使用する場合は、バーストモードを指定してください。サイクルスチールモードで実行すると正常に動作しない場合があります。
 4. アドレスリロード機能を使用する場合は、DMATCR の値は 4 の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。

アドレスリロードオンの状態で 5 回目以後の転送を実行したい場合は、再び転送要求元から、転送要求信号を発生させてください。

11.4.4 A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン) (A マスクの場合)

内蔵 A/D 変換器が転送元、内蔵メモリが転送先で、アドレスリロード機能オンの場合の例を考えます。

表 11.10 に転送条件と、各レジスタの設定値を示します。

表 11.10 A/D 変換器 (A/D1) と内蔵メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 A/D 変換器 (A/D1)	SAR2	H'FFFF8408
転送元：内蔵メモリ	DAR2	H'FFFFFF000
転送回数：128 回 (リロード回数 32 回)	DMATCR2	H'00000080
転送元アドレス：増加	CHCR2	H'00085B25
転送先アドレス：増加		
転送要求元：A/D 変換器 (A/D1)		
バスモード：バースト		
転送単位：バイト		
転送終了時に割り込み要求発生		
チャンネル優先順位：0 > 2 > 3 > 1		

アドレスリロードをオンにすると、4 回の転送ごとに SAR の値が最初に設定した値に戻ります。上記の例では、A/D 変換器 (A/D1) から転送要求が入ると、まず A/D 変換器 (A/D1) の H'FFFF8408 のレジスタからバイトサイズのデータを読み出し、内蔵メモリの H'FFFFFF001 番地にそのデータを書き込みます。バイトサイズの転送を行ったので、この時点で SAR、DAR の値はそれぞれ H'FFFF8409、H'FFFFFF001 となっています。またバースト転送であるため、バス権を確保したままなので、データ転送を連続して進めていきます。

4 回の転送が終了すると、アドレスリロードオフの場合はそのまま 5 回目、6 回目と転送を続けて実行し、SAR の値は H'FFFF840B H'FFFF840C H'FFFF840D... と増加し続けますが、アドレスリロードオンの場合は 4 回目が終了すると、DMAC 転送を中止し、CPU へのバス権要求信号をクリアします。このとき SAR 内に格納されている値は H'FFFF840B H'FFFF840C ではなく、H'FFFF840B H'FFFF8408 と最初に設定したアドレスに戻っています。DAR の値はアドレスリロードのオン/オフに関係なく、常に増加を続けます。

以上から DMAC 内部は 4 回目の転送が終了した時点で、アドレスリロードオンの場合とオフの場合では、以下の表に示した状態となっています。

	アドレスリロードオン	アドレスリロードオフ
SAR	H'FFFF8408	H'FFFF840C
DAR	H'FFFFFF04	H'FFFFFF04
DMATCR	H'0000007C	H'0000007C
バス権	解放	保持
DMAC 動作	停止	処理続行中
割り込み	未発	未発
転送要求元フラグクリア	実行	未実行

- 【注】
1. 割り込みは、DMATCR の値が 0 になるまで実行し、CHCR の IE ビットが 1 にセットされていれば、アドレスリロードのオン / オフに関係なく発生します。
 2. 転送要求元フラグクリアは、DMATCR の値が 0 になるまで実行すれば、アドレスリロードのオン / オフに関係なく実行されます。
 3. アドレスリロード機能を使用する場合は、バーストモードを指定してください。サイクルスチールモードで実行すると正常に動作しない場合があります。
 4. アドレスリロード機能を使用する場合は、DMATCR の値は 4 の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。

アドレスリロードオンの状態で 5 回目以後の転送を実行したい場合は、再び転送要求元から、転送要求信号を発生させてください。

11.4.5 外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)

DMAC のチャンネル 3 を使用して、転送元が間接アドレス指定外部メモリで、転送先が SCI1 の送信側の場合の例を考えます。

表 11.11 に転送条件と、各レジスタの設定値を示します。

表 11.11 外部メモリと SCI1 送信側間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR3	H'00400000
H'00400000 番地に格納されている値	-	H'00450000
H'00450000 番地に格納されている値	-	H'55
転送先：内蔵 SCI TDR1	DAR3	H'FFFF81B3
転送回数：10 回	DMATCR3	H'0000000A
転送元アドレス：増加	CHCR3	H'00011E01
転送先アドレス：固定		
転送要求元：SCI1 (TDR1)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生せず		
チャンネル優先順位：0 > 1 > 2 > 3	DMAOR	H'0001

インダイレクトアドレスをオンにすると、SAR に設定したアドレスに格納されたデータは、転送元のデータとしては使用されません。インダイレクトアドレスの場合、SAR のアドレスに格納された値を読み出した後、その読み出した値をもう一度アドレスとして使用し、そのとき読み出された値を転送元データとして使用し、その値を DAR に指定されたアドレスに格納します。

表の例では、SCI1 の TDR1 の転送要求が発生すると、まず SAR3 にセットされている値である H'00400000 番地のアドレスを読み出しに行きます。この H'00400000 番地には H'00450000 が格納されており、DMAC はまず H'00450000 を読み出してきます。次に DMAC は、読み出した H'00450000 を再びアドレスとして使用し、H'00450000 番地に格納されている H'55 を読み出します。最後に DAR3 に指定された H'FFFF81B3 番地に H'55 を書き込んで、1 回のインダイレクトアドレス転送が終了します。

インダイレクトアドレスでは、最初に行われる SAR3 に設定されたアドレスからのデータ読み出しでは、転送データサイズの指定である TS0、TS1 ビットの指定とは無関係に、常にロングワードサイズの転送となります。ただし転送元アドレスの固定、増加、減少の指定は SM0、SM1 ビットに従います。したがって今回の例では、転送データサイズの指定がバイトサイズであるにもかかわらず、1 回の転送が終了した時点で SAR3 の値は H'00400004 となります。書き込み動作は通常のデュアルアドレス転送の書き込み動作の場合と全く同じです。

11.5 使用上の注意

- (1) DMA オペレーションレジスタ (DMAOR) はワード (16 ビット) 単位のアクセスのみ可能です。DMAOR 以外のレジスタは、すべてワード (16 ビット) またはロングワード (32 ビット) 単位のアクセスが可能です。
- (2) CHCR0~CHCR3 の RS0~RS3 ビット書き換える場合は、DE ビットを 0 にしてから書き換えてください (CHCR を書き換える場合は、あらかじめ DE ビットを 0 に設定しておいてください)。
- (3) DMAC が動作していないときに NMI 割り込みが入力されても、DMAOR の NMIF ビットはセットされません。
- (4) スタンバイモードにするときは DMAOR の DME ビットを 0 にして、DMAC が受け付けた転送要求分の処理がすべて終了してから行ってください。
- (5) 内蔵周辺モジュールのうち DMAC、DTC、BSC、UBC を DMAC によりアクセスしないでください。
- (6) DMAC に起動をかける場合は、CHCR の設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。
- (7) DMATCR のカウントが 0 となって DMA 転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ず DMATCR に 0 書き込みを実行してください。そうでないと正常に動作しない場合があります。
- (8) アドレスリロード機能を使用する場合、転送モードはバーストモードを指定してください。サイクルスチールモードでは正常に動作しない場合があります。
- (9) アドレスリロード機能を使用する場合、DMATCR の値は 4 の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。
- (10) 外部リクエストを立ち下がりエッジで検出する場合、DMAC の設定を行うときには、外部リクエスト端子をハイレベルに保持しておいてください。
- (11) シングルアドレスモードで動作させる場合、アドレスは外部アドレスを設定してください。内部アドレスを設定すると、正常に動作しない場合があります。
- (12) DMAC で未使用である、H'FFFF86B2~H'FFFF86BF の空間はアクセスしないでください。誤動作する場合があります。

12. マルチファンクション タイマパルスユニット (MTU)

第12章 目次

12.1	概要	279
12.1.1	特長	279
12.1.2	ブロック図	282
12.1.3	端子構成	283
12.1.4	レジスタ構成	285
12.2	レジスタの説明	287
12.2.1	タイマコントロールレジスタ (TCR)	287
12.2.2	タイマモードレジスタ (TMDR)	292
12.2.3	タイマI/Oコントロールレジスタ (TIOR)	295
12.2.4	タイマインタラプトイネーブルレジスタ (TIER)	312
12.2.5	タイマステータスレジスタ (TSR)	315
12.2.6	タイマカウンタ (TCNT)	319
12.2.7	タイマジェネラルレジスタ (TGR)	320
12.2.8	タイマスタートレジスタ (TSTR)	320
12.2.9	タイマシンクロレジスタ (TSYR)	322
12.2.10	タイマアウトプットマスタイネーブルレジスタ (TOER)	324
12.2.11	タイマアウトプットコントロールレジスタ (TOCR)	326
12.2.12	タイマゲートコントロールレジスタ (TGCR)	328
12.2.13	タイマサブカウンタ (TCNTS)	331
12.2.14	タイマデッドタイムデータレジスタ (TDDR)	331
12.2.15	タイマ周期データレジスタ (TCDR)	332
12.2.16	タイマ周期バッファレジスタ (TCBR)	332
12.3	バスマスタとのインタフェース	333

12. マルチファンクションタイマパルスユニット (MTU)

	12.3.1	16ビットレジスタ.....	333
	12.3.2	8ビットレジスタ.....	333
12.4		動作説明.....	335
	12.4.1	概要.....	335
	12.4.2	基本機能.....	337
	12.4.3	同期動作.....	343
	12.4.4	バッファ動作.....	345
	12.4.5	カスケード接続動作.....	349
	12.4.6	PWMモード.....	351
	12.4.7	位相計数モード.....	356
	12.4.8	リセット同期PWMモード.....	362
	12.4.9	相補PWMモード.....	365
12.5		割り込み.....	389
	12.5.1	割り込み要因と優先順位.....	389
	12.5.2	DTC/DMA コントローラの起動.....	391
	12.5.3	A/D 変換器の起動.....	391
12.6		動作タイミング.....	392
	12.6.1	入出力タイミング.....	392
	12.6.2	割り込み信号タイミング.....	397
12.7		使用上の注意.....	402
12.8		MTU 出力端子の初期化方法.....	425
	12.8.1	動作モード.....	425
	12.8.2	リセットスタート時の動作.....	425
	12.8.3	動作中の異常などによる再設定時の動作.....	425
	12.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要.....	426
12.9		ポートアウトプットイネーブル (POE).....	456
	12.9.1	概要.....	456
	12.9.2	レジスタの説明.....	459
	12.9.3	動作説明.....	465
	12.9.4	使用上の注意事項.....	467

12.1 概要

本 LSI は、5 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット (MTU) を内蔵しています。

12.1.1 特長

最大 16 本のパルス入出力が可能です。

チャンネル 0、3、4 は各 4 本、チャンネル 1、2 は各 2 本、合計 16 本のタイマジェネラルレジスタ (TGR) を持ち、各レジスタは独立にアウトプットコンペア/インプットキャプチャレジスタの設定が可能です。また、チャンネル 0、3、4 の TGRC、TGRD レジスタは、バッファレジスタとして使用できます。

各チャンネルとも 8 種類のカウンタ入力クロックが選択可能です。

各チャンネルともに次の動作を設定可能です。

- コンペアマッチによる波形出力： 0 出力、1 出力、トグル出力が選択可能
 - インプットキャプチャ機能：
 - 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可能
 - カウンタクリア動作：
 - コンペアマッチ、インプットキャプチャによるカウンタクリアが可能
 - 同期動作：
 - 複数のタイマカウンタ (TCNT) への同時書き込みが可能
 - コンペアマッチ/インプットキャプチャによる同時クリアが可能
 - カウンタの同期動作による各レジスタの同期入出力が可能
 - PWM モード：
 - 任意デューティの PWM 出力が可能
 - 同期動作と組み合わせることにより、最大 12 相*の PWM 出力が可能
- チャンネル 0、3、4 はバッファ動作を設定可能
- インプットキャプチャレジスタのダブルバッファ構成が可能
 - アウトプットコンペアレジスタの自動書き換えが可能
- チャンネル 1、2 は各々独立に位相計数モードを設定可能
- 2 相エンコーダパルスのアップダウンカウントが可能

カスケード接続動作

- チャンネル 2 の入力クロックを、チャンネル 1 のオーバフロー/アンダフローにすることにより 32 ビットカウンタとして動作

【注】 * チャンネル 0~2 を PWM モード 2、チャンネル 3、4 を PWM モード 1、チャンネル 3 の TGR3A を周期レジスタとしてチャンネル 0~4 を同期化した場合(チャンネル 0~4 は各々 4、2、2、2、2 相出力)

チャンネル3、4は次の動作モードを設定可能

- リセット同期PWMモード：チャンネル3、4を組み合わせることにより、のこぎり波比較タイプの6相PWM波形を出力可能
- 相補PWMモード：チャンネル3、4を組み合わせることにより、三角波比較タイプのノンオーバーラップタイムを持った6相PWM波形を出力可能

内部16ビットバスによる高速アクセス

- 16ビットバスインタフェースによる高速アクセスが可能

23種類の割り込み要因

- チャンネル0、3、4はコンペアマッチ/インプットキャプチャ兼用割り込み×4本、オーバフロー割り込み×1本が独立に要求可能
- チャンネル1、2はコンペアマッチ/インプットキャプチャ兼用割り込み×2本、オーバフロー割り込み×1本、アンダフロー割り込み×1本が独立に要求可能

レジスタのデータの自動転送が可能

- DTCまたはDMACの起動により、ブロック転送、1ワードデータ転送および1バイトデータ転送が可能

A/D変換器の変換スタートトリガを生成可能

- チャンネル0~4のコンペアマッチ/インプットキャプチャ信号をA/D変換器の変換スタートトリガとして使用可能

MTUの機能一覧を表12.1に示します。

表 12.1 MTU 機能一覧

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
カウントクロック	内部クロック : /1、 /4、 /16、 /64、 /256、 /1024 外部クロック : TCLKA、 TCLKB、 TCLKC、 TCLKD から各チャンネルごとに8種				
ジェネラルレジスタ	TGR0A TGR0B	TGR1A TGR1B	TGR2A TGR2B	TGR3A TGR3B	TGR4A TGR4B
ジェネラルレジスタ/ バッファレジスタ	TGR0C TGR0D			TGR3C TGR3D	TGR4C TGR4D
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D
カウンタクリア機能	TGR の コンペアマッチまたは インプットキャプチャ	TGR の コンペアマッチまたは インプットキャプチャ	TGR の コンペアマッチまたは インプットキャプチャ	TGR の コンペアマッチまたは インプットキャプチャ	TGR の コンペアマッチまたは インプットキャプチャ
コンペア マッチ 出力	0出力				
	1出力				
	トグル出力				
インプットキャプチャ機能					
同期動作					
バッファ動作					
PWM モード1					
PWM モード2					
位相計数モード					
リセット同期 PWM モード					
相補 PWM モード					
DMAC の起動	TGR0A の コンペアマッチまたは インプットキャプチャ	TGR1A の コンペアマッチまたは インプットキャプチャ	TGR2A の コンペアマッチまたは インプットキャプチャ	TGR3A の コンペアマッチまたは インプットキャプチャ	TGR4A の コンペアマッチまたは インプットキャプチャ
ハード DTC の起動	TGR の コンペアマッチまたは インプットキャプチャ	TGR の コンペアマッチまたは インプットキャプチャ	TGR の コンペアマッチまたは インプットキャプチャ	TGR の コンペアマッチまたは インプットキャプチャ	TGR の コンペアマッチまたは インプットキャプチャ と TCNT4 オーバフロー / アンダフロー
A/D 変換開始トリガ	TGR0A の コンペアマッチまたは インプットキャプチャ	TGR1A の コンペアマッチまたは インプットキャプチャ	TGR2A の コンペアマッチまたは インプットキャプチャ	TGR3A の コンペアマッチまたは インプットキャプチャ	TGR4A の コンペアマッチまたは インプットキャプチャ
割り込み要因5要因	5要因 コンペアマッチ/イン プットキャプチャ0A コンペアマッチ/イン プットキャプチャ0B コンペアマッチ/イン プットキャプチャ0C コンペアマッチ/イン プットキャプチャ0D オーバフロー	4要因 コンペアマッチ/イン プットキャプチャ1A コンペアマッチ/イン プットキャプチャ1B オーバフロー/アンダ フロー	4要因 コンペアマッチ/イン プットキャプチャ2A コンペアマッチ/イン プットキャプチャ2B オーバフロー/アンダ フロー	5要因 コンペアマッチ/イン プットキャプチャ3A コンペアマッチ/イン プットキャプチャ3B コンペアマッチ/イン プットキャプチャ3C コンペアマッチ/イン プットキャプチャ3D オーバフロー	5要因 コンペアマッチ/イン プットキャプチャ4A コンペアマッチ/イン プットキャプチャ4B コンペアマッチ/イン プットキャプチャ4C コンペアマッチ/イン プットキャプチャ4D オーバフロー/アンダ フロー

12.1.2 ブロック図

MTUのブロック図を図 12.1 に示します。

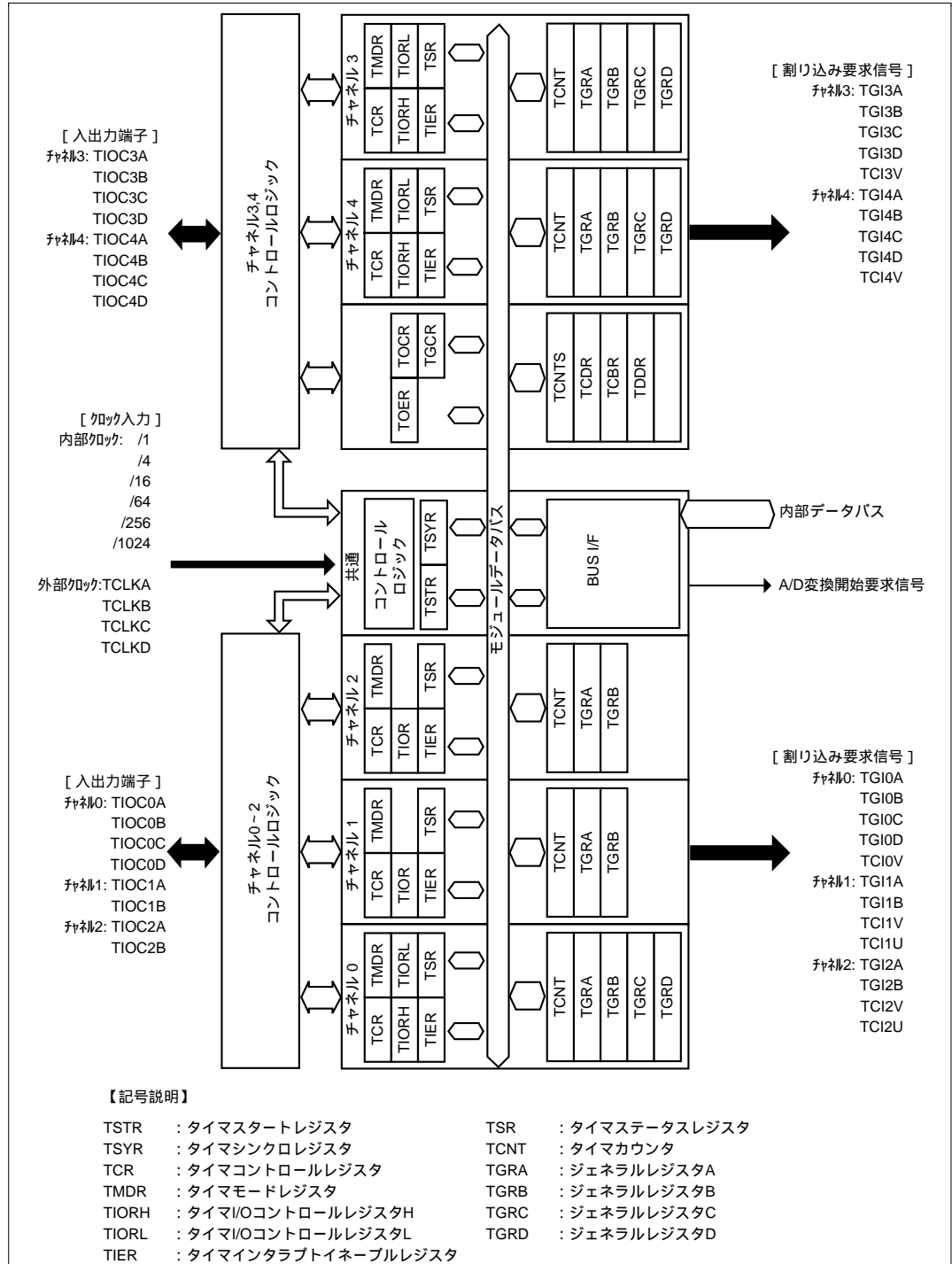


図 12.1 MTUのブロック図

12.1.3 端子構成

MTUの端子構成を表 12.2 に示します。

表 12.2 端子構成

予約	名称	信号名	入出力	機能
共通	クロック入力 A	TCLKA	入力	クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	クロック入力 B	TCLKB	入力	クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	クロック入力 C	TCLKC	入力	クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	クロック入力 D	TCLKD	入力	クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	インプットキャプチャ / アウトコンペアマッチ 0A	TIOC0A	入出力	TGR0A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 0B	TIOC0B	入出力	TGR0B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 0C	TIOC0 C	入出力	TGR0C のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 0D	TIOC0 D	入出力	TGR0D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	インプットキャプチャ / アウトコンペアマッチ 1A	TIOC1A	入出力	TGR1A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 1B	TIOC1B	入出力	TGR1B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	インプットキャプチャ / アウトコンペアマッチ 2A	TIOC2A	入出力	TGR2A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 2B	TIOC2B	入出力	TGR2B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

表 12.2 端子構成 (続き)

飛祿	名称	信号名	入出力	機能
3	インプットキャブチャ / アウトコンペアマッチ 3A	TIOC3A	入出力	TGR3A のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子 相補 PWM / リセット同期 PWM モード時、 1/2PWM 周期トグル出力端子
	インプットキャブチャ / アウトコンペアマッチ 3B	TIOC3B	入出力	TGR3B のインプットキャブチャ入力 / アウトプットコンペア出力端子 相補 PWM / リセット同期 PWM モード時、 PWM 出力 / U 相出力端子
	インプットキャブチャ / アウトコンペアマッチ 3C	TIOC3 C	入出力	TGR3C のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャブチャ / アウトコンペアマッチ 3D	TIOC3 D	入出力	TGR3D のインプットキャブチャ入力 / アウトプットコンペア出力端子 相補 PWM / リセット同期 PWM モード時、 PWM 出力 / U 相出力端子
4	インプットキャブチャ / アウトコンペアマッチ 4A	TIOC4A	入出力	TGR4A のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子 相補 PWM / リセット同期 PWM モード時、 PWM 出力 / V 相出力端子
	インプットキャブチャ / アウトコンペアマッチ 4B	TIOC4B	入出力	TGR4B のインプットキャブチャ入力 / アウトプットコンペア出力端子 相補 PWM / リセット同期 PWM モード時、 PWM 出力 / W 相出力端子
	インプットキャブチャ / アウトコンペアマッチ 4C	TIOC4 C	入出力	TGR4C のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子 相補 PWM / リセット同期 PWM モード時、 PWM 出力 / V 相出力端子
	インプットキャブチャ / アウトコンペアマッチ 4D	TIOC4 D	入出力	TGR4D のインプットキャブチャ入力 / アウトプットコンペア出力端子 相補 PWM / リセット同期 PWM モード時、 PWM 出力 / W 相出力端子

【注】 TIOC 端子をインプットキャブチャに設定して、かつピンファンクションコントローラ (PFC) でタイマ出力に設定すると不定値が出力されます。

12.1.4 レジスタ構成

MTUのレジスタ構成を表12.3に示します。

表 12.3 レジスタ構成

チャネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット)*1
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFF8240	8、16、32
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFF8241	8、16、32
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFFF8260	8、16、32
	タイマモードレジスタ 0	TMDR0	R/W	H'C0	H'FFFF8261	8、16、32
	タイマ I/O コントロールレジスタ 0H	TIOR0H	R/W	H'00	H'FFFF8262	8、16、32
	タイマ I/O コントロールレジスタ 0L	TIOR0L	R/W	H'00	H'FFFF8263	8、16、32
	タイマインタラプトイネーブル レジスタ 0	TIER0	R/W	H'40	H'FFFF8264	8、16、32
	タイマステータスレジスタ 0	TSR0	R/(W)*2	H'C0	H'FFFF8265	8、16、32
	タイマカウンタ 0	TCNT0	R/W	H'0000	H'FFFF8266	16、32
	ジェネラルレジスタ 0A	TGR0A	R/W	H'FFFF	H'FFFF8268	16、32
	ジェネラルレジスタ 0B	TGR0B	R/W	H'FFFF	H'FFFF826A	16、32
	ジェネラルレジスタ 0C	TGR0C	R/W	H'FFFF	H'FFFF826C	16、32
	ジェネラルレジスタ 0D	TGR0D	R/W	H'FFFF	H'FFFF826E	16、32
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFFF8280	8、16、32
	タイマモードレジスタ 1	TMDR1	R/W	H'C0	H'FFFF8281	8、16、32
	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'00	H'FFFF8282	8、16、32
	タイマインタラプトイネーブル レジスタ 1	TIER1	R/W	H'40	H'FFFF8284	8、16、32
	タイマステータスレジスタ 1	TSR1	R/(W)*2	H'C0	H'FFFF8285	8、16、32
	タイマカウンタ 1	TCNT1	R/W	H'0000	H'FFFF8286	16、32
	ジェネラルレジスタ 1A	TGR1A	R/W	H'FFFF	H'FFFF8288	16、32
	ジェネラルレジスタ 1B	TGR1B	R/W	H'FFFF	H'FFFF828A	16、32
2	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FFFF82A0	8、16、32
	タイマモードレジスタ 2	TMDR2	R/W	H'C0	H'FFFF82A1	8、16、32
	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'00	H'FFFF82A2	8、16、32
	タイマインタラプトイネーブル レジスタ 2	TIER2	R/W	H'40	H'FFFF82A4	8、16、32
	タイマステータスレジスタ 2	TSR2	R/(W)*2	H'C0	H'FFFF82A5	8、16、32
	タイマカウンタ 2	TCNT2	R/W	H'0000	H'FFFF82A6	16、32
	ジェネラルレジスタ 2A	TGR2A	R/W	H'FFFF	H'FFFF82A8	16、32
	ジェネラルレジスタ 2B	TGR2B	R/W	H'FFFF	H'FFFF82AA	16、32

【注】 空きアドレスは、アクセスしないでください。

*1 16ビットレジスタ (TCNT、TGR) は8ビット単位の R/W はできません。

*2 フラグをクリアするための0書き込みのみ可能です。

表 12.3 レジスタ構成 (続き)

チャネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット)* ¹
3	タイマコントロールレジスタ 3	TCR3	R/W* ³	H'00	H'FFFF8200	8、16、32
	タイマモードレジスタ 3	TMDR3	R/W* ³	H'C0	H'FFFF8202	8、16、32
	タイマ I/O コントロールレジスタ 3H	TIOR3H	R/W* ³	H'00	H'FFFF8204	8、16、32
	タイマ I/O コントロールレジスタ 3L	TIOR3L	R/W* ³	H'00	H'FFFF8205	8、16、32
	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W* ³	H'40	H'FFFF8208	8、16、32
	タイマステータスレジスタ 3	TSR3	R/(W)* ²	H'C0	H'FFFF822C	8、16、32
	タイマカウンタ 3	TCNT3	R/W* ³	H'0000	H'FFFF8210	16、32
	ジェネラルレジスタ 3A	TGR3A	R/W* ³	H'FFFF	H'FFFF8218	16、32
	ジェネラルレジスタ 3B	TGR3B	R/W* ³	H'FFFF	H'FFFF821A	16、32
	ジェネラルレジスタ 3C	TGR3C	R/W	H'FFFF	H'FFFF8224	16、32
	ジェネラルレジスタ 3D	TGR3D	R/W	H'FFFF	H'FFFF8226	16、32
4	タイマコントロールレジスタ 4	TCR4	R/W* ³	H'00	H'FFFF8201	8、16、32
	タイマモードレジスタ 4	TMDR4	R/W* ³	H'C0	H'FFFF8203	8、16、32
	タイマ I/O コントロールレジスタ 4H	TIOR4H	R/W* ³	H'00	H'FFFF8206	8、16、32
	タイマ I/O コントロールレジスタ 4L	TIOR4L	R/W* ³	H'00	H'FFFF8207	8、16、32
	タイマインタラプトイネーブルレジスタ 4	TIER4	R/W* ³	H'40	H'FFFF8209	8、16、32
	タイマステータスレジスタ 4	TSR4	R/(W)* ²	H'C0	H'FFFF822D	8、16、32
	タイマカウンタ 4	TCNT4	R/W* ³	H'0000	H'FFFF8212	16、32
	ジェネラルレジスタ 4A	TGR4A	R/W* ³	H'FFFF	H'FFFF821C	16、32
	ジェネラルレジスタ 4B	TGR4B	R/W* ³	H'FFFF	H'FFFF821E	16、32
	ジェネラルレジスタ 4C	TGR4C	R/W	H'FFFF	H'FFFF8228	16、32
	ジェネラルレジスタ 4D	TGR4D	R/W	H'FFFF	H'FFFF822A	16、32
3/4 共通	タイマアウトプットマスタイネーブルレジスタ	TOER	R/W* ³	H'C0	H'FFFF820A	8、16、32
	タイマアウトプットコントロールレジスタ	TOCR	R/W* ³	H'00	H'FFFF820B	8、16、32
	タイマゲートコントロールレジスタ	TGCR	R/W* ³	H'80	H'FFFF820D	8、16、32
	タイマ周期データレジスタ	TCDR	R/W* ³	H'FFFF	H'FFFF8214	16、32
	タイマデッドタイムデータレジスタ	TDDR	R/W* ³	H'FFFF	H'FFFF8216	16、32
	タイマサブカウンタ	TCNTS	R	H'0000	H'FFFF8220	16、32
	タイマ周期バッファレジスタ	TGBR	R/W	H'FFFF	H'FFFF8222	16、32

【注】 *1 16 ビットレジスタ (TCNT、TGR) は 8 ビット単位の R/W はできません。

*2 フラグをクリアするための 0 書き込みのみ可能です。

*3 バスステートコントローラ (BSC) 内のバスコントロールレジスタ 1 (BCR1) の MTURWE ビットを 0 にクリアすると、アクセス不可 (読み出し時は不定値。読み出し / 書き込みは不可) となります。

12.2 レジスタの説明

12.2.1 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は各チャンネルの TCNT カウンタを制御するレジスタです。MTU には、チャンネル 0~4 に各 1 本、計 5 本の TCR レジスタがあります。TCR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

チャンネル 0、3、4 : TCR0、TCR3、TCR4

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル 1、2 : TCR1、TCR2

ビット :	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7~5 : カウンタクリア 2~0 (CCLR2~0)

TCNT カウンタのカウンタクリア要因を選択します。

チャンネル0、3、4

ビット7	ビット6	ビット5	機 能
CCLR2	CCLR1	CCLR0	
0	0	0	TCNTのクリア禁止 (初期値)
		1	TGRAのコンペアマッチ/インプットキャプチャでTCNTをクリア
	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTをクリア
		1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア*1
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ/インプットキャプチャでTCNTをクリア*2
	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTをクリア*2
		1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

チャンネル1、2

ビット7	ビット6	ビット5	機 能
予約*2	CCLR1	CCLR0	
0	0	0	TCNTのクリア禁止 (初期値)
		1	TGRAのコンペアマッチ/インプットキャプチャでTCNTをクリア
	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTをクリア
		1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 チャンネル1、2ではビット7は予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4、3： クロックエッジ1、0 (CKEG1、CKEG0)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります。(例：4/ の両エッジ=2/ の立ち上がりエッジ)チャンネル1、2で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。

ビット4	ビット3	機 能
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	X	両エッジでカウント

- 【注】
1. X： 0または1、Don't careを表します。
 2. 内部クロックのエッジ選択は、入力クロックが /4 もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値(立ち上がりエッジでカウント)となります。

ビット2~0： タイマプリスケラ2~0 (TPSC2~TPSC0)

TCNTのカウントクロックを選択します。各チャンネル独立にクロックソースを選択することができます。各チャンネルごとに設定可能なクロックソース一覧を表12.4に示します。

表 12.4 MTU のクロックソース一覧

チャンネル	内部クロック						他のチャンネルの オーバフロー/ アンダフロー	外部クロック			
	/1	/4	/16	/64	/256	/1024		TCLKA	TCLKB	TCLKC	TCLKD
0											
1											
2											
3											
4											

【記号説明】 □：設定可能、○：設定不可

12. マルチファンクションタイマパルスユニット (MTU)

チャンネル0

ビット2	ビット1	ビット0	機能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： /1 でカウント (初期値)
		1	内部クロック： /4 でカウント
	1	0	内部クロック： /16 でカウント
		1	内部クロック： /64 でカウント
1	0	0	外部クロック：TCLKA 端子入力でカウント
		1	外部クロック：TCLKB 端子入力でカウント
	1	0	外部クロック：TCLKC 端子入力でカウント
		1	外部クロック：TCLKD 端子入力でカウント

チャンネル1

ビット2	ビット1	ビット0	機能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： /1 でカウント (初期値)
		1	内部クロック： /4 でカウント
	1	0	内部クロック： /16 でカウント
		1	内部クロック： /64 でカウント
1	0	0	外部クロック：TCLKA 端子入力でカウント
		1	外部クロック：TCLKB 端子入力でカウント
	1	0	内部クロック： /256 でカウント
		1	TCNT2 のオーバフロー / アンダフローでカウント

【注】 チャンネル1 が位相計測モード時、この設定は無効になります。

チャンネル2

ビット2	ビット1	ビット0	機能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： /1 でカウント (初期値)
		1	内部クロック： /4 でカウント
	1	0	内部クロック： /16 でカウント
		1	内部クロック： /64 でカウント
1	0	0	外部クロック：TCLKA 端子入力でカウント
		1	外部クロック：TCLKB 端子入力でカウント
	1	0	外部クロック：TCLKC 端子入力でカウント
		1	内部クロック： /1024 でカウント

【注】チャンネル2 が位相計測モード時、この設定は無効になります。

チャンネル3

ビット2	ビット1	ビット0	機能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： /1 でカウント (初期値)
		1	内部クロック： /4 でカウント
	1	0	内部クロック： /16 でカウント
		1	内部クロック： /64 でカウント
1	0	0	内部クロック： /256 でカウント
		1	内部クロック： /1024 でカウント
	1	0	外部クロック：TCLKA 端子入力でカウント
		1	外部クロック：TCLKB 端子入力でカウント

チャンネル4

ビット2	ビット1	ビット0	機能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： /1 でカウント (初期値)
		1	内部クロック： /4 でカウント
	1	0	内部クロック： /16 でカウント
		1	内部クロック： /64 でカウント
1	0	0	内部クロック： /256 でカウント
		1	内部クロック： /1024 でカウント
	1	0	外部クロック：TCLKA 端子入力でカウント
		1	外部クロック：TCLKB 端子入力でカウント

12.2.2 タイマモードレジスタ (TMDR)

タイマモードレジスタ (TMDR) は各チャンネルの動作モードの設定を行います。MTU には、各チャンネル1本、計5本のTMDRレジスタがあります。TMDRレジスタは、8ビットの読み出し/書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモードでHC0に初期化されます。マニュアルリセットでは初期化されません。

チャンネル0、3、4：TMDR0、TMDR3、TMDR4

ビット：	7	6	5	4	3	2	1	0
	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1、2：TMDR1、TMDR2

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット7、6：予約ビット

予約ビットです。読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット5 : バッファ動作 B (BFB)

TGRB レジスタを通常動作させるか TGRB レジスタと TGRD レジスタを組み合わせるバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合は、TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

TGRD レジスタを持たないチャンネル 1、2 ではこのビットは予約ビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット5	機 能
BFB	
0	TGRB は通常動作 (初期値)
1	TGRB と TGRD はバッファ動作

ビット4 : バッファ動作 (BFA)

TGRA レジスタを通常動作させるか TGRA レジスタと TGRC レジスタを組み合わせるバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合は、TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

TGRC レジスタを持たないチャンネル 1、2 ではこのビットは予約ビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4	機 能
BFA	
0	TGRA は通常動作 (初期値)
1	TGRA と TGRC はバッファ動作

ビット3~0 : モード3~0 (MD3~MD0)

MD3~MD0はタイマの動作モードを設定します。

ビット3	ビット2	ビット1	ビット0	機 能
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作 (初期値)
			1	予約 (設定禁止)
		1	0	PWM モード 1
			1	PWM モード 2* ¹
	1	0	0	位相計測モード 1* ²
			1	位相計測モード 2* ²
		1	0	位相計測モード 3* ²
			1	位相計測モード 4* ²
1	0	0	0	リセット同期 PWM モード* ³
			1	予約 (設定禁止)
		1	0	予約 (設定禁止)
			1	予約 (設定禁止)
	1	0	0	予約 (設定禁止)
			1	相補 PWM モード 1 (山で転送)* ³
		1	0	相補 PWM モード 2 (谷で転送)* ³
			1	相補 PWM モード 3 (山・谷で転送)* ³

【注】 *1 チャンネル3、4ではPWMモード2の設定はできません。

*2 チャンネル0、3、4では、位相計測モードの設定はできません。

*3 リセット同期PWMモード、相補PWMモードの設定は、チャンネル3でのみ可能です。
 チャンネル3をリセット同期PWMモードまたは相補PWMモードに設定した場合、チャンネル4の設定は無効となり自動的にチャンネル3の設定に従います。ただし、チャンネル4にはリセット同期PWMモード、相補PWMモードを設定しないでください。
 チャンネル0、1、2では、リセット同期PWMモード、相補PWMモードの設定はできません。

12.2.3 タイマ I/O コントロールレジスタ (TIOR)

タイマ I/O コントロールレジスタ (TIOR) は TGR を制御するレジスタです。MTU には、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、計 8 本の TIOR レジスタがあります。TIOR レジスタはパワーオンリセットまたはスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

チャンネル 0、3、4 : TIOR0H、TIOR3H、TIOR4H

チャンネル 1、2 : TIOR1、TIOR2

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7~4 : I/O コントロール B3~0 (IOB3~IOB0)

IOB3~IOB0 は TGRB レジスタの機能を設定します。

ビット 3~0 : I/O コントロール A3~0 (IOA3~IOA0)

IOA3~IOA0 は TGRA レジスタの機能を設定します。

チャンネル 0、3、4 : TIOR0L、TIOR3L、TIOR4L

ビット :	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRC、あるいは TGRD レジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

ビット 7~4 : I/O コントロール D3~0 (IOD3~IOD0)

IOD3~IOD0 は TGRD レジスタの機能を設定します。

ビット 3~0 : I/O コントロール C3~0 (IOC3~IOC0)

IOC3~IOC0 は TGRC レジスタの機能を設定します。

チャンネル0 (TIOR0H レジスタ)

ビット7~4 : I/O コントロール B3~0 (IOB3~IOB0)

IOB3~IOB0 は TGR0B レジスタの機能を設定します。

ビット7	ビット6	ビット5	ビット4	機 能		
IOB3	IOB2	IOB1	IOB0			
0	0	0	0	TGR0B は アウトプット コンペア レジスタ	出力禁止 (初期値)	
			1		初期出力は	コンペアマッチで0出力
		1	0		0出力	コンペアマッチで1出力
			1			コンペアマッチでトグル出力
	1	0	0		出力禁止	
			1		初期出力は	コンペアマッチで0出力
		1	0		1出力	コンペアマッチで1出力
			1			コンペアマッチでトグル出力
1	0	0	0	TGR0B は インプット キャプチャ レジスタ	キャプチャ	立ち上がりエッジで
			1		入力元は	インプットキャプチャ
		1	0		TIOC0B 端子	立ち下がりエッジで
			1			インプットキャプチャ
	1	0	0		両エッジでインプット	
			1		キャプチャ	キャプチャ
		1	0		キャプチャ入力	TCNT1のカウントアップ /
			1		元はチャンネル1	カウントダウンで
1	0	/カウント	インプットキャプチャ			
	1	クロック				

ビット3～0 : I/O コントロール A3～0 (IOA3～IOA0)

IOA3～IOA0はTGR0Aレジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能		
IOA3	IOA2	IOA1	IOA0			
0	0	0	0	TGR0Aは アウトプット コンペア レジスタ	出力禁止 (初期値)	
			1		初期出力は	コンペアマッチで0出力
		1	0		0出力	コンペアマッチで1出力
			1			コンペアマッチでトグル出力
	1	0	0		出力禁止	
			1		初期出力は	コンペアマッチで0出力
		1	0		1出力	コンペアマッチで1出力
			1			コンペアマッチでトグル出力
1	0	0	0	TGR0Aは インプット キャプチャ レジスタ	キャプチャ	立ち上がりエッジで
			1		入力元は	インプットキャプチャ
		1	0		TIOC0A端子	立ち下がりエッジで
			1			インプットキャプチャ
	1	0	0		両エッジでインプット	
			1		キャプチャ	キャプチャ
		1	0		キャプチャ入力	TCNT1のカウントアップ /
			1		元はチャンネル1	カウントダウンで
1	0	/カウント	インプットキャプチャ			
	1	クロック				

チャンネル0 (TIOR0L レジスタ)

ビット7~4 : I/O コントロール D3~0 (IOD3~IOD0)

IOD3~IOD0 は TGR0D レジスタの機能を設定します。

ビット7	ビット6	ビット5	ビット4	機 能		
IOD3	IOD2	IOD1	IOD0			
0	0	0	0	TGR0D は アウトプット コンペア レジスタ	出力禁止 (初期値)	
			1		初期出力は	コンペアマッチで0出力
		1	0		0出力	コンペアマッチで1出力
			1			コンペアマッチでトグル出力
	1	0	0		出力禁止	
			1		初期出力は	コンペアマッチで0出力
		1	0		1出力	コンペアマッチで1出力
			1			コンペアマッチでトグル出力
1	0	0	0	TGR0D は インプット キャプチャ レジスタ	キャプチャ	立ち上がりエッジで
			1		入力元は	インプットキャプチャ
		1	0		TIOC0D 端子	立ち下がりエッジで
			1			インプットキャプチャ
	1	0	0		両エッジでインプット	
			1		キャプチャ	キャプチャ
		1	0		キャプチャ入力	TCNT1のカウントアップ /
			1		元はチャンネル1	カウントダウンで
		1	/カウント	インプットキャプチャ		
		1	クロック			

【注】 TMDR0のBFBビットを1にセットしてTGR0Dをバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

ビット3～0 : I/O コントロール C3～0 (IOC3～IOC0)

IOC3～IOC0はTGR0Cレジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能			
IOC3	IOC2	IOC1	IOC0				
0	0	0	0	TGR0Cは アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は	コンペアマッチで0出力	
		1	0		0出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
	1	0	0		出力禁止		
			1		初期出力は	コンペアマッチで0出力	
		1	0		1出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR0Cは インプット キャプチャ レジスタ	キャプチャ	立ち上がりエッジで	
			1		入力元は	インプットキャプチャ	
		1	0		TIOC0C 端子	立ち下がりエッジで	
			1		インプットキャプチャ		
	1	0	0		両エッジでインプット		
			1		キャプチャ		
		1	0		キャプチャ入力	TCNT1のカウンタアップ /	
			1		元はチャンネル1	カウンタダウンで	
1	0	インプットキャプチャ					
	1	クロック					

【注】 TMDR0のBFAビットを1にセットしてTGR0Cをバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

チャンネル1 (TIOR1 レジスタ)

ビット7~4 : I/O コントロール B3~0 (IOB3~IOB0)

IOB3~IOB0 は TGR1B レジスタの機能を設定します。

ビット7	ビット6	ビット5	ビット4	機 能			
IOB3	IOB2	IOB1	IOB0				
0	0	0	0	TGR1B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は	コンペアマッチで0出力	
		1	0		0出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
	1	0	0		出力禁止		
			1		初期出力は	コンペアマッチで0出力	
		1	0		1出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR1B は インプット キャプチャ レジスタ	キャプチャ	立ち上がりエッジで	
			1		入力元は	インプットキャプチャ	
		1	0		TIOC1B 端子	立ち下がりエッジで	
			1		インプットキャプチャ		
	1	0	0		両エッジでインプット		
			1		キャプチャ		
		1	0		キャプチャ入	チャンネル0 / TGR0C のコン	
			1		力元は TGR0C	ペアマッチ / インプット	
					コンペアマッ	キャプチャの発生で	
					チ / インプッ	インプットキャプチャ	
					トキャプチャ		

ビット3～0 : I/O コントロール A3～0 (IOA3～IOA0)

IOA3～IOA0はTGR1Aレジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能			
IOA3	IOA2	IOA1	IOA0				
0	0	0	0	TGR1Aは アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は	コンペアマッチで0出力	
		1	0		0出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
	1	0	0		出力禁止		
			1		初期出力は	コンペアマッチで0出力	
		1	0		1出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR1Aは インプット キャプチャ レジスタ	キャプチャ	立ち上がりエッジで	
			1		入力元は	インプットキャプチャ	
		1	0		TIOC1A 端子	立ち下がりエッジで	
			1		インプットキャプチャ		
	1	0	0		両エッジでインプットキャプチャ		
			1		キャプチャ入	チャンネル0/TGR0Aのコンペ	
		1	0		力元はTGR0A	アマッチ/インプットキャ	
			1		アコンペマッ	プチャの発生でインプット	
					チ/インプッ	キャプチャ	
					トキャプチャ		

チャンネル 2 (TIOR2 レジスタ)

ビット 7 ~ 4 : I/O コントロール B3 ~ 0 (IOB3 ~ IOB0)

IOB3 ~ IOB0 は TGR2B レジスタの機能を設定します。

ビット 7	ビット 6	ビット 5	ビット 4	機 能		
IOB3	IOB2	IOB1	IOB0			
0	0	0	0	TGR2B は アウトプット コンペア レジスタ	出力禁止 (初期値)	
			1		初期出力は	コンペアマッチで 0 出力
		1	0		0 出力	コンペアマッチで 1 出力
			1			コンペアマッチでトグル 出力
	1	0	0		出力禁止	
			1		初期出力は	コンペアマッチで 0 出力
		1	0		1 出力	コンペアマッチで 1 出力
			1			コンペアマッチでトグル 出力
1	0	0	0	TGR2B は インプット キャプチャ レジスタ	キャプチャ 入力元は TIOC2B 端子	立ち上がりエッジで インプットキャプチャ
			1			立ち下がりエッジで インプットキャプチャ
		1	0			両エッジでインプット キャプチャ
			1			立ち上がりエッジで インプットキャプチャ
	1	0	0		立ち下がりエッジで インプットキャプチャ	
			1		両エッジでインプット キャプチャ	
		1	0			
			1			

ビット3～0 : I/O コントロール A3～0 (IOA3～IOA0)

IOA3～IOA0はTGR2Aレジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能			
IOA3	IOA2	IOA1	IOA0				
0	0	0	0	TGR2Aは アウツプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は	コンペアマッチで0出力	
		1	0		0出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
	1	0	0		出力禁止		
			1		初期出力は	コンペアマッチで0出力	
		1	0		1出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR2Aは インプット キャプチャ レジスタ	キャプチャ 入力元は TIOC2A 端子	立ち上がりエッジで インプットキャプチャ	
			1			立ち下がりエッジで インプットキャプチャ	
		1	0			両エッジでインプット キャプチャ	
			1			立ち上がりエッジで インプットキャプチャ	
	1	0	0		立ち下がりエッジで インプットキャプチャ		
			1		両エッジでインプット キャプチャ		
		1	0				
			1				

12. マルチファンクションタイムパルスユニット (MTU)

チャンネル 3 (TIOR3H レジスタ)

ビット 7 ~ 4 : I/O コントロール B3 ~ 0 (IOB3 ~ IOB0)

IOB3 ~ IOB0 は TGR3B レジスタの機能を設定します。

ビット 7	ビット 6	ビット 5	ビット 4	機 能		
IOB3	IOB2	IOB1	IOB0			
0	0	0	0	TGR3B は アウトプット コンペア レジスタ	出力禁止 (初期値)	
			1		初期出力は	コンペアマッチで 0 出力
		1	0		0 出力	コンペアマッチで 1 出力
			1			コンペアマッチでトグル 出力
	1	0	0		出力禁止	
			1		初期出力は	コンペアマッチで 0 出力
		1	0		1 出力	コンペアマッチで 1 出力
			1			コンペアマッチでトグル 出力
1	0	0	0	TGR3B は インプット キャプチャ レジスタ	キャプチャ 入力元は TIOC3B 端子	立ち上がりエッジで インプットキャプチャ
			1			立ち下がりエッジで インプットキャプチャ
		1	0			両エッジでインプット キャプチャ
			1			立ち上がりエッジで インプットキャプチャ
	1	0	0		立ち下がりエッジで インプットキャプチャ	
			1		両エッジでインプット キャプチャ	
		1	0			
			1			

ビット3～0 : I/O コントロール A3～0 (IOA3～IOA0)

IOA3～IOA0はTGR3Aレジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能		
IOA3	IOA2	IOA1	IOA0			
0	0	0	0	TGR3Aは アウプット コンペア レジスタ	出力禁止 (初期値)	
			1		初期出力は	コンペアマッチで0出力
		1	0		0出力	コンペアマッチで1出力
			1			コンペアマッチでトグル出力
	1	0	0		出力禁止	
			1		初期出力は	コンペアマッチで0出力
		1	0		1出力	コンペアマッチで1出力
			1			コンペアマッチでトグル出力
1	0	0	0	TGR3Aは インプット キャプチャ レジスタ	キャプチャ 入力元は TIOC3A 端子	立ち上がりエッジで インプットキャプチャ
			1			立ち下がりエッジで インプットキャプチャ
		1	0			両エッジでインプット キャプチャ
			1			立ち上がりエッジで インプットキャプチャ
	1	0	0		立ち下がりエッジで インプットキャプチャ	
			1		両エッジでインプット キャプチャ	
		1	0			
			1			

チャンネル 3 (TIOR3L レジスタ)

ビット 7 ~ 4 : I/O コントロール D3 ~ 0 (IOD3 ~ IOD0)

IOD3 ~ IOD0 は TGR3D レジスタの機能を設定します。

ビット 7	ビット 6	ビット 5	ビット 4	機 能			
IOD3	IOD2	IOD1	IOD0				
0	0	0	0	TGR3D は アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は	コンペアマッチで 0 出力	
		1	0		0 出力	コンペアマッチで 1 出力	
			1		コンペアマッチでトグル出力		
	1	0	0		出力禁止		
			1		初期出力は	コンペアマッチで 0 出力	
		1	0		1 出力	コンペアマッチで 1 出力	
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR3D は インプット キャプチャ レジスタ	キャプチャ 入力元は TIOC3D 端子	立ち上がりエッジで インプットキャプチャ	
			1			立ち下がりエッジで インプットキャプチャ	
		1	0			両エッジでインプット キャプチャ	
			1			立ち上がりエッジで インプットキャプチャ	
	1	0	0		0	立ち下がりエッジで インプットキャプチャ	
					1	両エッジでインプット キャプチャ	
		1	0				
			1				

【注】 TMDR3 の BFB ビットを 1 にセットして TGR3D をバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

ビット3～0 : I/O コントロール C3～0 (IOC3～IOC0)

IOC3～IOC0はTGR3Cレジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能			
IOC3	IOC2	IOC1	IOC0				
0	0	0	0	TGR3C は アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は	コンペアマッチで0出力	
		1	0		0出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
	1	0	0		出力禁止		
			1		初期出力は	コンペアマッチで0出力	
		1	0		1出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR3C は インプット キャプチャ レジスタ	キャプチャ	立ち上がりエッジで	
			1		入力元は	インプットキャプチャ	
		1	0		TIOC3C 端子	立ち下がりエッジで	
			1		インプットキャプチャ		
	1	0	0		両エッジでインプットキャプチャ		
			1		立ち上がりエッジでインプットキャプチャ		
		1	0		立ち下がりエッジでインプットキャプチャ		
			1		両エッジでインプットキャプチャ		

【注】 TMDR3のBFAビットを1にセットしてTGR3Cをバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

12. マルチファンクションタイムパルスユニット (MTU)

チャンネル4 (TIOR4H レジスタ)

ビット7～4 : I/O コントロール B3～0 (IOB3～IOB0)

IOB3～IOB0 は TGR4B レジスタの機能を設定します。

ビット7	ビット6	ビット5	ビット4	機 能			
IOB3	IOB2	IOB1	IOB0				
0	0	0	0	TGR4B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は	コンペアマッチで0出力	
		1	0		0出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
	1	0	0		出力禁止		
			1		初期出力は	コンペアマッチで0出力	
		1	0		1出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR4B は インプット キャプチャ レジスタ	キャプチャ 入力元は TIOC4B 端子	立ち上がりエッジで インプットキャプチャ	
			1			立ち下がりエッジで インプットキャプチャ	
		1	0			両エッジでインプット キャプチャ	
			1			立ち上がりエッジで インプットキャプチャ	
	1	0	0		立ち下がりエッジで インプットキャプチャ		
			1		両エッジでインプット キャプチャ		
		1	0				
			1				

ビット3～0 : I/O コントロール A3～0 (IOA3～IOA0)

IOA3～IOA0 は TGR4A レジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能			
IOA3	IOA2	IOA1	IOA0				
0	0	0	0	TGR4A は アウツプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は	コンペアマッチで0出力	
		1	0		0出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
	1	0	0		出力禁止		
			1		初期出力は	コンペアマッチで0出力	
		1	0		1出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR4A は インプット キャプチャ レジスタ	キャプチャ 入力元は TIOC4A 端子	立ち上がりエッジで インプットキャプチャ	
			1			立ち下がりエッジで インプットキャプチャ	
		1	0			両エッジでインプット キャプチャ	
			1			立ち上がりエッジで インプットキャプチャ	
	1	0	0		立ち下がりエッジで インプットキャプチャ		
			1		両エッジでインプット キャプチャ		
		1	0				
			1				

チャンネル4 (TIOR4L レジスタ)

ビット7～4 : I/O コントロール D3～0 (IOD3～IOD0)

IOD3～IOD0 は TGR4D レジスタの機能を設定します。

ビット7	ビット6	ビット5	ビット4	機 能		
IOD3	IOD2	IOD1	IOD0			
0	0	0	0	TGR4D は アウトプット コンペア レジスタ	出力禁止 (初期値)	
			1		初期出力は	コンペアマッチで0出力
		1	0		0出力	コンペアマッチで1出力
			1			コンペアマッチでトグル出力
	1	0	0		出力禁止	
			1		初期出力は	コンペアマッチで0出力
		1	0		1出力	コンペアマッチで1出力
			1			コンペアマッチでトグル出力
1	0	0	0	TGR4D は インプット キャプチャ レジスタ	キャプチャ 入力元は TIOC4D 端子	立ち上がりエッジで インプットキャプチャ
			1			立ち下がりエッジで インプットキャプチャ
		1	0			両エッジでインプット キャプチャ
			1			立ち上がりエッジで インプットキャプチャ
	1	0	0		立ち下がりエッジで インプットキャプチャ	
			1		両エッジでインプット キャプチャ	
		1	0			
			1			

【注】 TMDR4のBFBビットを1にセットしてTGR4Dをバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

ビット3～0 : I/O コントロール C3～0 (IOC3～IOC0)

IOC3～IOC0はTGR4Cレジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能			
IOC3	IOC2	IOC1	IOC0				
0	0	0	0	TGR4C は アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は	コンペアマッチで0出力	
		1	0		0出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
	1	0	0		出力禁止		
			1		初期出力は	コンペアマッチで0出力	
		1	0		1出力	コンペアマッチで1出力	
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR4C は インプット キャプチャ レジスタ	キャプチャ 入力元は TIOC4C 端子	立ち上がりエッジで インプットキャプチャ	
			1			立ち下がりエッジで インプットキャプチャ	
		1	0			両エッジでインプット キャプチャ	
			1			立ち上がりエッジで インプットキャプチャ	
	1	0	0		立ち下がりエッジで インプットキャプチャ		
			1		両エッジでインプット キャプチャ		
		1	0				
			1				

【注】 TMDR4のBFAビットを1にセットしてTGR4Cをバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

12.2.4 タイマインタラプトイネーブルレジスタ (TIER)

タイマインタラプトイネーブルレジスタ (TIER) は、各チャンネルの割り込み要求の許可、禁止を制御します。MTU には、各チャンネル 1 本、計 5 本の TIER レジスタがあります。TIER レジスタは、8 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'40 に初期化されます。マニュアルリセットでは初期化されません。

チャンネル 0 : TIER0

ビット :	7	6	5	4	3	2	1	0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W

チャンネル 1、2 : TIER1、TIER2

ビット :	7	6	5	4	3	2	1	0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R	R	R/W	R/W

チャンネル 3、4 : TIER3、TIER4

ビット :	7	6	5	4	3	2	1	0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット 7 : A/D 変換開始要求イネーブル (TTGE)

TGRA レジスタのインプットキャプチャ / コンペアマッチによって、A/D 変換開始要求の発生することを許可または禁止します。

ビット 7	機 能
TTGE	
0	A/D 変換開始要求の発生を禁止 (初期値)
1	A/D 変換開始要求の発生を許可

ビット6：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット5：アンダフローインタラプトイネーブル (TCIEU)

チャンネル1、2でタイムステータスレジスタ (TSR) のアンダフローフラグ (TCFU) が1にセットされたとき、TCFUによる割り込み要求を許可または禁止します。

チャンネル0、3、4では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5	機 能
TCIEU	
0	TCFUによる割り込み要求 (TCFU) を禁止 (初期値)
1	TCFUによる割り込み要求 (TCFU) を許可

ビット4：オーバフローインタラプトイネーブル (TCIEV)

タイムステータスレジスタ (TSR) のオーバフローフラグ (TCFV) が1にセットされたとき、TCFVによる割り込み要求を許可または禁止します。

ビット4	機 能
TCIEV	
0	TCFVによる割り込み要求 (TCIV) を禁止 (初期値)
1	TCFVによる割り込み要求 (TCIV) を許可

ビット3：TGRインタラプトイネーブルD (TGIED)

チャンネル0、3、4でTSRレジスタのTGFDビットが1にセットされたとき、TGFDによる割り込み要求を許可または禁止します。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3	機 能
TGIED	
0	TGFDビットによる割り込み要求 (TGID) を禁止 (初期値)
1	TGFDビットによる割り込み要求 (TGID) を許可

ビット2 : TGR インタラプトイネーブルC (TGIEC)

チャンネル0、3、4でTSRレジスタのTGFCビットが1にセットされたとき、TGFCによる割り込み要求を許可または禁止します。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2	機 能
TGIEC	
0	TGFCビットによる割り込み要求 (TGIC) を禁止 (初期値)
1	TGFCビットによる割り込み要求 (TGIC) を許可

ビット1 : TGR インタラプトイネーブルB (TGIEB)

TSRレジスタのTGFBビットが1にセットされたとき、TGFBによる割り込み要求を許可または禁止します。

ビット1	機 能
TGIEB	
0	TGFBビットによる割り込み要求 (TGIB) を禁止 (初期値)
1	TGFBビットによる割り込み要求 (TGIB) を許可

ビット0 : TGR インタラプトイネーブルA (TGIEA)

TSRレジスタのTGFAビットが1にセットされたとき、TGFAによる割り込み要求を許可または禁止します。

ビット0	機 能
TGIEA	
0	TGFAビットによる割り込み要求 (TGIA) を禁止 (初期値)
1	TGFAビットによる割り込み要求 (TGIA) を許可

12.2.5 タイマステータスレジスタ (TSR)

タイマステータスレジスタ (TSR) は各チャンネルのステータスの表示を行います。MTU には、各チャンネル1本、計5本のTSRレジスタがあります。TSRレジスタは、8ビットのレジスタです。パワーオンリセットまたはスタンバイモードでH'COに初期化されます。

マニュアルリセットでは初期化されません。

チャンネル0 : TSR0

ビット :	7	6	5	4	3	2	1	0
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0書き込みのみ可能です。

チャンネル1、2 : TSR1、TSR2

ビット :	7	6	5	4	3	2	1	0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0書き込みのみ可能です。

チャンネル3、4 : TSR3、TSR4

ビット :	7	6	5	4	3	2	1	0
	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0書き込みのみ可能です。

ビット7：カウント方向フラグ (TCFD)

チャンネル1、2、3、4のTCNTカウンタのカウント方向を示すステータスフラグです。

チャンネル0では予約ビットです。読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット7	機 能
TCFD	
0	TCNTはダウンカウント
1	TCNTはアップカウント (初期値)

ビット6：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット5：アンダフローフラグ (TCFU)

チャンネル1、2のTCNTカウンタのアンダフローの発生を示すステータスフラグです。

チャンネル0、3、4では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5	機 能
TCFU	
0	[クリア条件] (初期値) TCFU=1の状態ではTCFUを読み出した後、TCFUに0を書き込んだとき
1	[セット条件] TCNTの値がアンダフロー (H'0000 H'FFFF) したとき

ビット4：オーバフローフラグ (TCFV)

TCNTカウンタのオーバフローの発生を示すステータスフラグです。

ビット4	機 能
TCFV	
0	[クリア条件] (初期値) TCFV=1の状態ではTCFVを読み出した後、TCFVに0を書き込んだとき*1
1	[セット条件] TCNTの値がオーバフロー (H'FFFF H'0000) したとき*2

【注】 *1 チャンネル4ではTCFVによるDTC転送によってクリアされます。

*2 チャンネル4では、相補PWMモードでTCNTの値がアンダフロー (H'0001 H'0000) したときにも本フラグがセットされます。

ビット3：インプットキャプチャ/アウトプットコンペアフラグD (TGFD)

チャンネル0、3、4のTGRDレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3	機 能
TGFD	
0	[クリア条件] (初期値) TGFD=1の状態ではTGFDを読み出した後、TGFDに0を書き込んだとき*
1	[セット条件] (1) TGRDがアウトプットコンペアレジスタとして機能している場合、 TCNT=TGRDになったとき (2) TGRDがインプットキャプチャとして機能している場合、 インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき

【注】 * TGFDによるDTC転送によってクリアされます。

ビット2：インプットキャプチャ/アウトプットコンペアフラグC (TGFC)

チャンネル0、3、4のTGRCレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2	機 能
TGFC	
0	[クリア条件] (初期値) TGFC=1の状態ではTGFCを読み出した後、TGFCに0を書き込んだとき*
1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、 TCNT=TGRCになったとき (2) TGRCがインプットキャプチャとして機能している場合、 インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

【注】 * TGFCによるDTC転送によってクリアされます。

ビット1：インプットキャプチャ/アウトプットコンペアフラグB (TGFB)

TGRBレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	機 能
TGFB	
0	[クリア条件] (初期値) TGFB=1の状態ではTGFBを読み出した後、TGFBに0を書き込んだとき*
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、 TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、 インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

【注】 * TGFBによるDTC転送によってクリアされます。

ビット0：インプットキャプチャ/アウトプットコンペアフラグ A (TGFA)

TGRA レジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	機 能
TGFA	
0	[クリア条件] (初期値) TGFA=1の状態ではTGFAを読み出した後、TGFAに0を書き込んだとき*
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、 TCNT=TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、 インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

【注】 * TGFAによるDMAC/DTC転送によってクリアされます。

12.2.6 タイマカウンタ (TCNT)

タイマTCNTカウンタ (TCNT) は16ビットのカウンタです。各チャンネルに1本、計5本のTCNTカウンタがあります。TCNTカウンタは、パワーオンリセットまたはスタンバイモードでH'0000に初期化されます。マニュアルリセットでは初期化されません。TCNTカウンタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

チャンネル0：TCNT0 (アップカウンタ)

チャンネル1：TCNT1 (アップ/ダウンカウンタ*¹)

チャンネル2：TCNT2 (アップ/ダウンカウンタ*¹)

チャンネル3：TCNT3 (アップ/ダウンカウンタ*²)

チャンネル4：TCNT4 (アップ/ダウンカウンタ*²)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 *¹ 位相計数モード、他のチャンネルのオーバフロー/アンダフローのカウンタ時のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

*² 相補PWMモード時のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

12.2.7 タイマジェネラルレジスタ (TGR)

タイマジェネラルレジスタ (TGR) は 16 ビットのアウトプットコンペア・インプットキャプチャ兼用のレジスタです。チャンネル 0、3、4 に各 4 本、チャンネル 1、2 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRA と TGRC、TGRB と TGRD になります。

TGR はパワーオンリセットまたはスタンバイモードで H'FFFF に初期化されます。マニュアルリセットでは初期化されません。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.2.8 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) はチャンネル 0~4 の TCNT カウンタの動作 / 停止を選択します。TSTR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

ビット :	7	6	5	4	3	2	1	0
	CST4	CST3	—	—	—	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット7、6、2~0 : カウンタスタート4~0 (CST4~CST0)

タイマカウンタ (TCNT) の動作 / 停止を選択します。ビットとチャネルの対応は下記のとおりです。

CST4 : チャネル4 (TCNT4)

CST3 : チャネル3 (TCNT3)

CST2 : チャネル2 (TCNT2)

CST1 : チャネル1 (TCNT1)

CST0 : チャネル0 (TCNT0)

ビット n	機 能
CSTn	
0	TCNTn のカウント動作は停止 (初期値)
1	TCNTn はカウント動作

【注】 n=4~0。ただし CST4 はビット7、CST3 はビット6

TIOC 端子を出力状態で動作中に、CST ビットに0を書き込むと、カウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが0の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

相補 PWM モードまたはリセット同期 PWM モードの場合は、TIOC 端子を出力状態で動作中に CST ビットに0を書き込むと、初期出力に戻ります。

ビット5~3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

12.2.9 タイマシンクロレジスタ (TSYR)

タイマシンクロレジスタ (TSYR) はチャンネル 0~4 の TCNT カウンタの独立動作 / 同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。TSYR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモード時に H'00 に初期化されます。マニュアルリセットでは初期化されません。

ビット :	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット 7、6、2~0 : タイマ同期 4~0 (SYNC4~SYNC0)

他のチャンネルとの独立動作 / 同期動作を選択します。同期動作を選択すると複数の TCNT の同期プリセットや他チャンネルのカウンタクリアによる同期クリアが可能となります。同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR レジスタの CCLR2~CCLR0 ビットで、TCNT カウンタのクリア要因を設定する必要があります。ビットとチャンネルの対応は下記のとおりです。

SYNC4 : チャンネル 4 (TCNT4)

SYNC3 : チャンネル 3 (TCNT3)

SYNC2 : チャンネル 2 (TCNT2)

SYNC1 : チャンネル 1 (TCNT1)

SYNC0 : チャンネル 0 (TCNT0)

ビット n	機 能
SYNCn	
0	タイマカウンタ (TCNTn) は独立動作 (TCNTn のプリセット / クリアは他チャンネルと無関係) (初期値)
1	タイマカウンタは同期動作* ¹ TCNTn の同期プリセット / 同期クリア* ² が可能

【注】 n = 4 ~ 0。ただし SYNC4 はビット 7、SYNC3 はビット 6

*1 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。

*2 同期クリアの設定には、SYNC ビットのほかに TCR レジスタの CCLR2 ~ CCLR0 ビットで、TCNT カウンタのクリア要因を設定する必要があります。

ビット 5 ~ 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.2.10 タイマアウトプットマスタイネーブルレジスタ (TOER)

タイマアウトプットマスタイネーブルレジスタ (TOER) は、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと、正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。TOER レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモードで H'CO に初期化されます。マニュアルリセットでは初期化されません。

ビット :	7	6	5	4	3	2	1	0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	RW	R/W	R/W	R/W

ビット 7、6 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 5 : マスタイネーブル TIOC4D (OE4D)

TIOC4D 端子の MTU 出力を許可 / 禁止します。

ビット 5	機 能
OE4D	
0	TIOC4D 端子の MTU 出力は禁止 (初期値)
1	TIOC4D 端子の MTU 出力は許可

ビット 4 : マスタイネーブル TIOC4C (OE4C)

TIOC4C 端子の MTU 出力を許可 / 禁止します。

ビット 4	機 能
OE4C	
0	TIOC4C 端子の MTU 出力は禁止 (初期値)
1	TIOC4C 端子の MTU 出力は許可

ビット3 : マスタイネーブル TIOC3D (OE3D)

TIOC3D 端子の MTU 出力を許可 / 禁止します。

ビット3	機能
OE3D	
0	TIOC3D 端子の MTU 出力は禁止 (初期値)
1	TIOC3D 端子の MTU 出力は許可

ビット2 : マスタイネーブル TIOC4B (OE4B)

TIOC4B 端子の MTU 出力を許可 / 禁止します。

ビット2	機能
OE4B	
0	TIOC4B 端子の MTU 出力は禁止 (初期値)
1	TIOC4B 端子の MTU 出力は許可

ビット1 : マスタイネーブル TIOC4A (OE4A)

TIOC4A 端子の MTU 出力を許可 / 禁止します。

ビット1	機能
OE4A	
0	TIOC4A 端子の MTU 出力は禁止 (初期値)
1	TIOC4A 端子の MTU 出力は許可

ビット0 : マスタイネーブル TIOC3B (OE3B)

TIOC3B 端子の MTU 出力を許可 / 禁止します。

ビット0	機能
OE3B	
0	TIOC3B 端子の MTU 出力は禁止 (初期値)
1	TIOC3B 端子の MTU 出力は許可

12.2.11 タイマアウトプットコントロールレジスタ (TOCR)

タイマアウトプットコントロールレジスタ (TOCR) は、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行います。TOCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。相補 PWM モード / リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット :	7	6	5	4	3	2	1	0
	—	PSYE	—	—	—	—	OLSN	OLSP
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R	R	R/W	R/W

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PWM 同期出力イネーブル (PSYE)

PWM 周期に同期したトグル出力の許可 / 禁止を設定します。

ビット 6	機 能
PSYE	
0	PWM 周期に同期したトグル出力を禁止 (初期値)
1	PWM 周期に同期したトグル出力を許可

ビット 5 ~ 2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット1：出力レベルセレクトN (OLSN)

リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。

ビット1	機 能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
アップカウント			ダウンカウント	
0	ハイレベル*	ローレベル	ハイレベル	ローレベル (初期値)
1	ローレベル*	ハイレベル	ローレベル	ハイレベル

【注】 * 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

ビット0：出力レベルセレクトP (OLSP)

リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。

ビット0	機 能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
アップカウント			ダウンカウント	
0	ハイレベル	ローレベル	ローレベル	ハイレベル (初期値)
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 12.2 に示します。

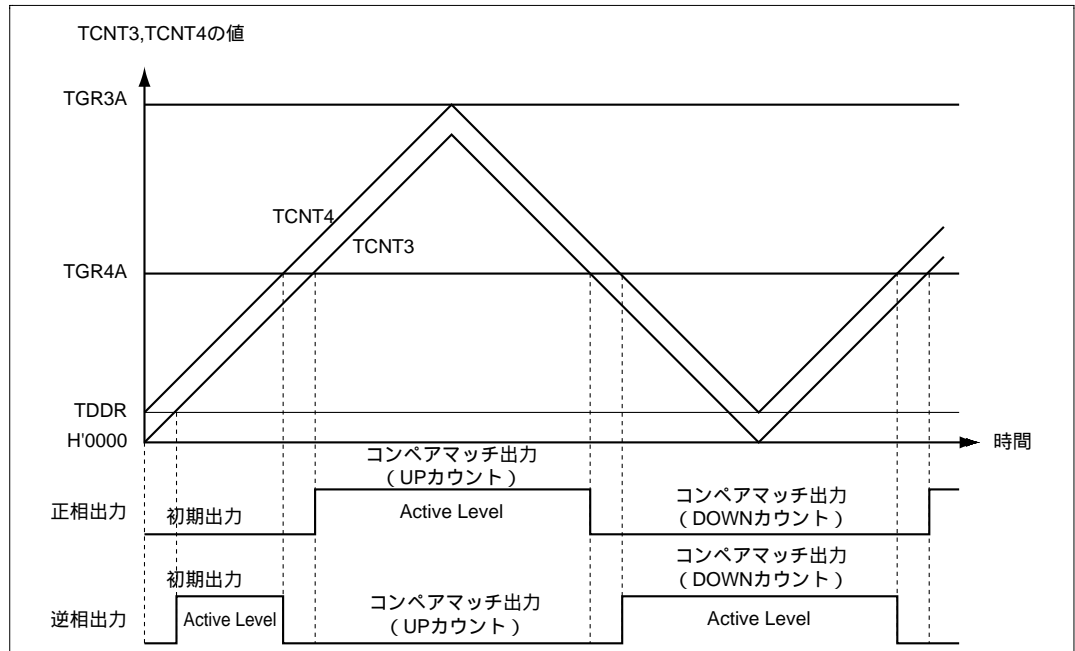


図 12.2 相補 PWM モードの出力レベルの例

12.2.12 タイマゲートコントロールレジスタ (TGCR)

タイマゲートコントロールレジスタ(TGCR)は、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモードで H'80 に初期化されます。マニュアルリセットでは初期化されません。相補 PWM モード / リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット :	7	6	5	4	3	2	1	0
	—	BDC	N	P	FB	WF	VF	UF
初期値 :	1	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット6：ブラシレス DC モータ (BDC)

本レジスタ (TGCR) の機能を有効にするか、無効にするかを選択します。

ビット6	機 能
BDC	
0	通常出力 (初期値)
1	本レジスタの機能を有効

ビット5：逆相出力 (N) 制御

逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を ON 出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。

ビット5	機 能
N	
0	逆相端子の ON 出力時はレベル出力 (初期値)
1	逆相端子の ON 出力時は、リセット同期 PWM / 相補 PWM 出力

ビット4：正相出力 (P) 制御

正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を ON 出力時、レベル出力をするか、リセット同期 PWM / 相補 PWM 出力するかを選択します。

ビット4	機 能
P	
0	正相端子の ON 出力時は、レベル出力 (初期値)
1	正相端子の ON 出力時は、リセット同期 PWM / 相補 PWM 出力

ビット3：外部フィードバック信号許可 (FB)

正相 / 逆相の出力の切り替えを MTU / チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことにより行うかを選択します。

ビット3	機能
FB	
0	出力の切り替えは、外部入力 (初期値) (入力元は、チャンネル0のTGRA、TGRB、TGRCのインプットキャプチャ信号)
1	出力の切り替えはソフトウェアで行う (TGCRのUF、VF、WFの設定値)

ビット2~0：出力相切り替え2~0 (WF、VF、UF)

正相 / 逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代わりになります。

ビット2	ビット1	ビット0	機能						
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D	
			U相	V相	W相	U相	V相	W相	
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF	初期値
		1	ON	OFF	OFF	OFF	OFF	ON	
	1	0	OFF	ON	OFF	ON	OFF	OFF	
		1	OFF	ON	OFF	OFF	OFF	ON	
1	0	0	OFF	OFF	ON	OFF	ON	OFF	
		1	ON	OFF	OFF	OFF	ON	OFF	
	1	0	OFF	OFF	ON	ON	OFF	OFF	
		1	OFF	OFF	OFF	OFF	OFF	OFF	

12.2.13 タイマサブカウンタ (TCNTS)

タイマサブカウンタ (TCNTS) は相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS カウンタはパワーオンリセットまたはスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

【注】 TCNTS の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

12.2.14 タイマデッドタイムデータレジスタ (TDDR)

タイマデッドタイムデータレジスタ (TDDR) は相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT3 と TCNT4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT3、TCNT4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT3 カウンタにロードされカウント動作を開始します。TDDR レジスタはパワーオンリセットまたはスタンバイモードで H'FFFF に初期化されません。マニュアルリセットでは初期化されません。

【注】 TDDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.2.15 タイマ周期データレジスタ (TCDR)

タイマ周期データレジスタ (TCDR) は相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます (ダウンカウント アップカウント)。

TCDR レジスタはパワーオンリセットまたはスタンバイモードで H'FFFF に初期化されます。マニュアルリセットでは初期化されません。

【注】 TCDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.2.16 タイマ周期バッファレジスタ (TCBR)

タイマ周期バッファレジスタ (TCBR) は相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDCR レジスタに転送されます。TCBR レジスタはパワーオンリセットまたはスタンバイモードで H'FFFF に初期化されます。マニュアルリセットでは初期化されません。

【注】 TCBR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3 バスマスタとのインタフェース

12.3.1 16 ビットレジスタ

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、およびタイマ周期データレジスタ (TCDR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。16 ビットレジスタのアクセス動作例を図 12.3 に示します。

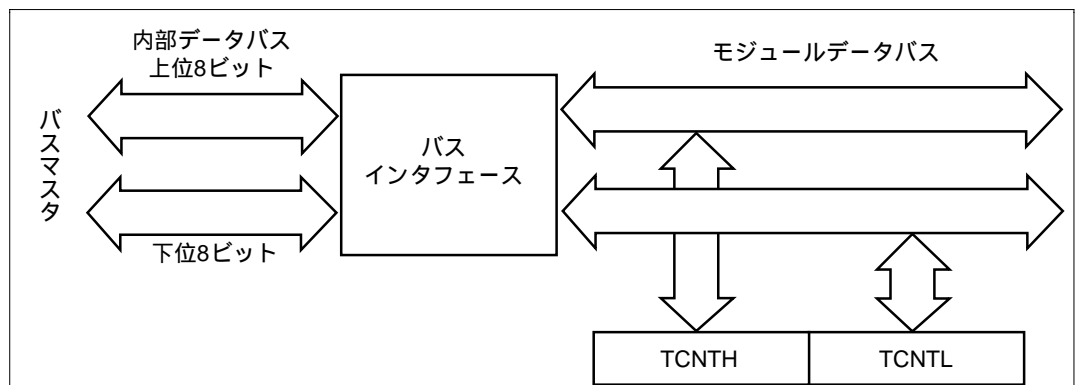


図 12.3 16 ビットレジスタのアクセス動作 [バスマスタ TCNT (16 ビット)]

12.3.2 8 ビットレジスタ

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR) 以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

8 ビットレジスタのアクセス動作例を図 12.4、図 12.5、図 12.6 に示します。

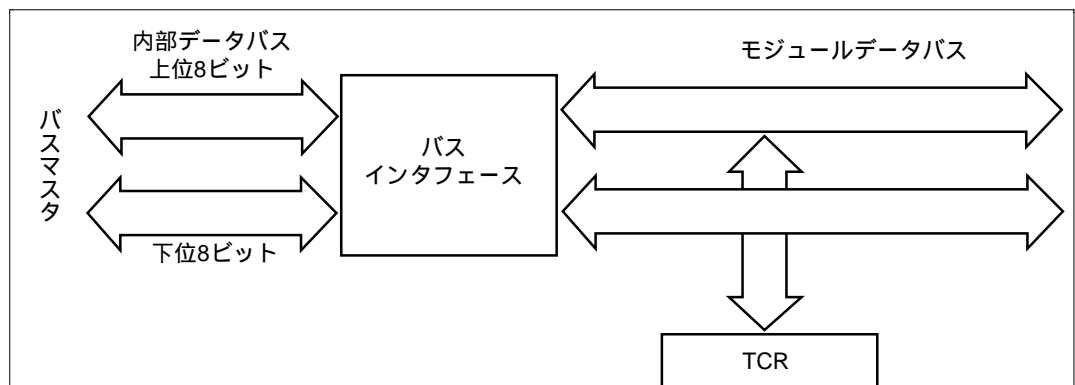


図 12.4 8 ビットレジスタのアクセス動作 [バスマスタ TCR (上位 8 ビット)]

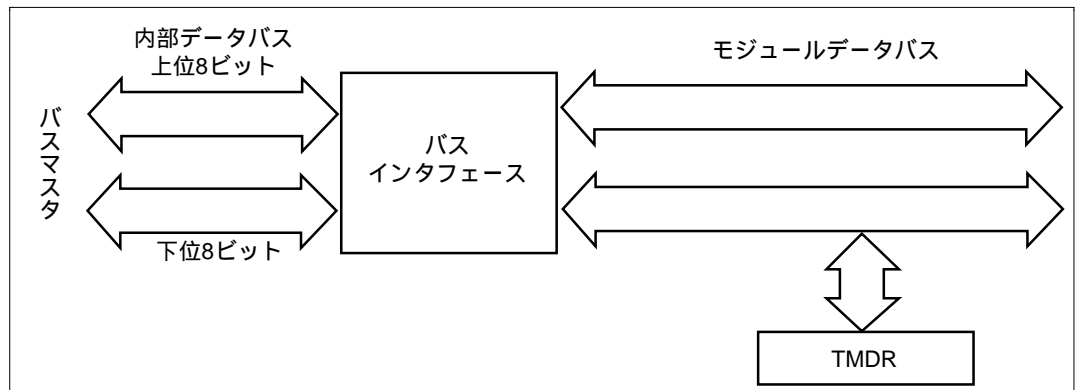


図 12.5 8 ビットレジスタのアクセス動作 [バスマスタ TMDR (下位 8 ビット)]

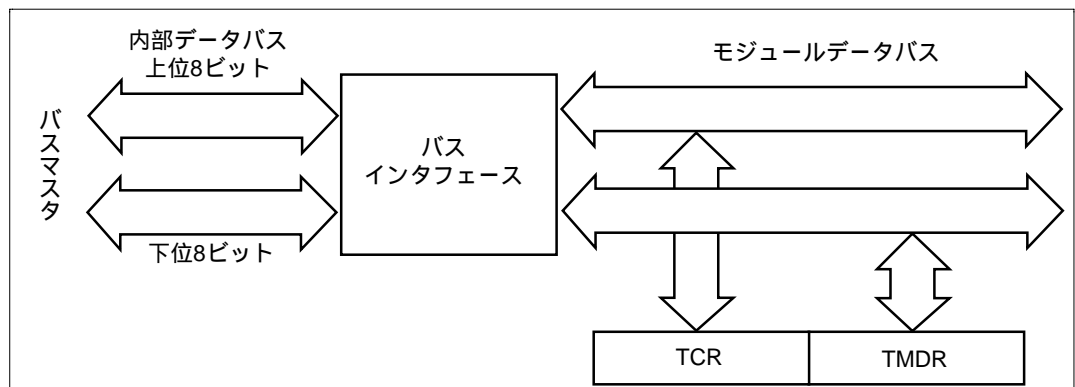


図 12.6 8 ビットレジスタのアクセス動作 [バスマスタ TCR、TMDR (16 ビット)]

12.4 動作説明

12.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、TCNT カウンタと TGR レジスタがあります。TCNT カウンタは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT カウンタは、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT カウンタを書き換えると他のチャンネルの TCNT カウンタも同時に書き換えられます。また、同期動作に設定された複数のチャンネルの TSYR レジスタのタイマ同期ビットの設定により、TCNT カウンタの同期クリアが可能です。

(3) バッファ動作

- (a) TGR レジスタがアウトプットコンペアレジスタの場合、コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR レジスタに転送されます。
- (b) TGR がインプットキャプチャレジスタの場合、インプットキャプチャが発生すると TCNT カウンタの値が TGR レジスタに転送されると同時に、それまで格納されていた TGR レジスタの値がバッファレジスタに転送されます。

(4) カスケード接続動作

チャンネル1 カウンタ (TCNT1) とチャンネル2 カウンタ (TCNT2) を接続して 32 ビットカウンタとして動作させることができます。

(5) PWM モード

PWM 波形を出力するモードです。出力レベルは TIOR レジスタにより設定できます。各 TGR レジスタの設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

(6) 位相計数モード

チャンネル1、2で外部クロック入力端子から入力される2つのクロックの位相を検出して、TCNT カウンタをアップ/ダウンさせるモードです。位相計数モードに設定すると、対応する TCLK 端子はクロック入力となり、また TCNT カウンタはアップ/ダウンカウント動作を行います。2相エンコーダパルスの入力として使用できます。

(7) リセット同期 PWM モード

チャンネル3、4を組み合わせ、正相・逆相の PWM 波形を3相出力します。3相の PWM 波形は一方の変化点が共通となる関係になります。リセット同期 PWM モードに設定すると、TGR3A、TGR3B、TGR4A、TGR4B レジスタは自動的にアウトプットコンペアレジスタとして機能します。また、TIOC3A、TIOC3B、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TCNT3、TCNT4 カウンタはアップカウント動作を行います。TCNT4 と TGR4A、TGR4B レジスタとは切り離されています。

(8) 相補 PWM モード

チャンネル3、4を組み合わせ、正相・逆相がノンオーバーラップの関係にある PWM 波形を3相出力します。相補 PWM モードに設定すると、TGR3A、TGR3B、TGR4A、TGR4B レジスタは自動的にアウトプットコンペアレジスタとして機能します。また、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TCNT3、TCNT4 カウンタはアップ/ダウンカウント動作を行います。

12.4.2 基本機能

MTU の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

(1) カウンタの動作

タイマスタートレジスタ (TSTR) の CST0~CST4 ビットを 1 にセットすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 12.7 に示します。

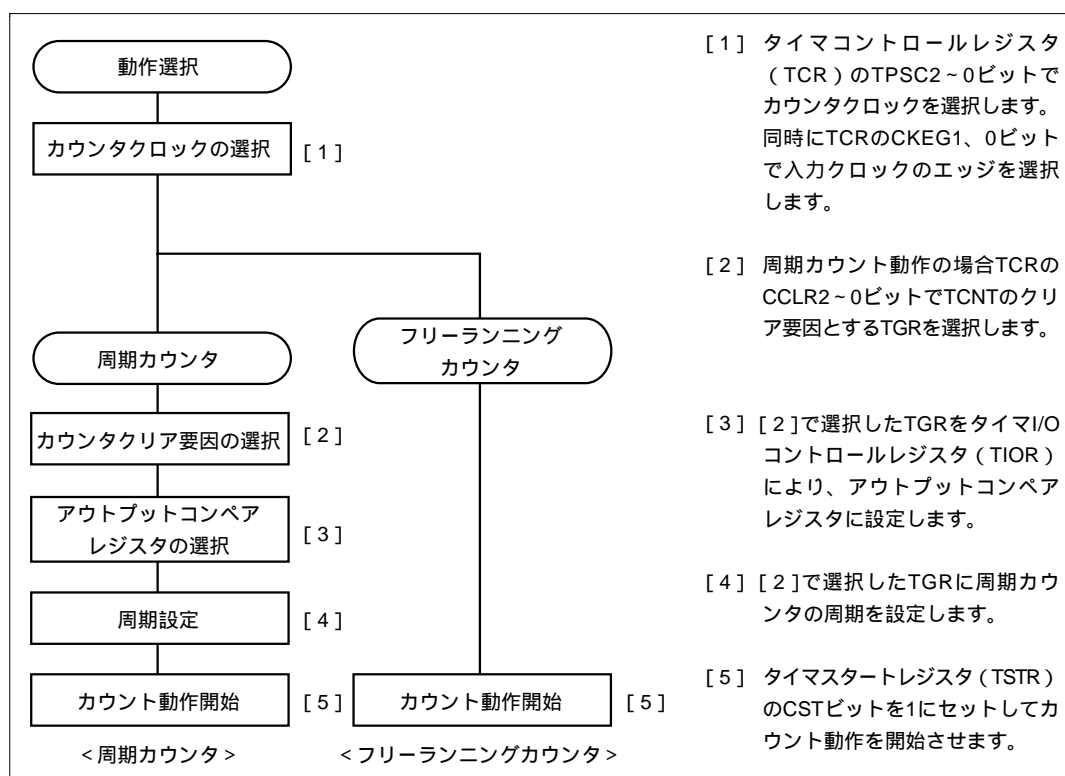


図 12.7 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作例

MTUのタイマカウンタ (TCNT) は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR レジスタの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT カウンタがオーバーフロー (H'FFFF H'0000) すると、タイマステータスレジスタ (TSR) のTCFV ビットが1にセットされます。このとき、対応するタイムインタラプトイネーブルレジスタ (TIER) のTCIEV ビットが1ならば、MTU は割り込みコントローラに対して、割り込みを要求します。TCNTカウンタはオーバーフロー後、H'0000 からアップカウント動作を継続します。フリーランニングカウンタの動作を図 12.8 に示します。

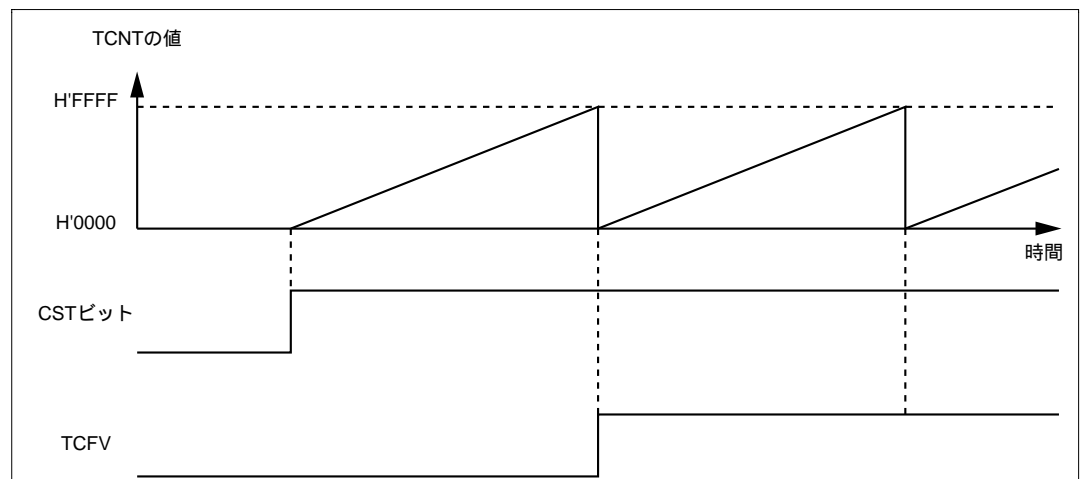


図 12.8 フリーランニングカウンタの動作

(c) 周期カウント動作例

TCNT カウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT カウンタは周期カウント動作を行います。周期設定用の TGR レジスタをアウトプットコンペアレジスタに設定し、タイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR レジスタの対応するビットを1にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値が TGR レジスタの値と一致すると、TSR レジスタの TGF ビットが1にセットされ、TCNT カウンタは H'0000 にクリアされます。このとき対応する TIER レジスタの TGIE ビットが1ならば、MTU は割り込みコントローラに対して、割り込みを要求します。TCNT カウンタはコンペアマッチ後、H'0000 からアップカウント動作を続けます。周期カウンタの動作を図 12.9 に示します。

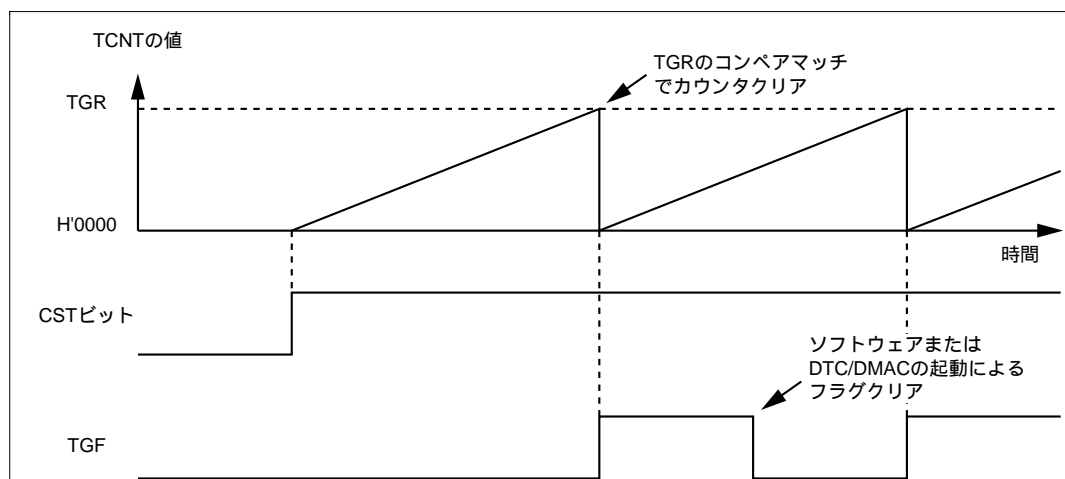


図 12.9 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTUは、コンペアマッチにより対応する出力端子から0出力/1出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 12.10 に示します。

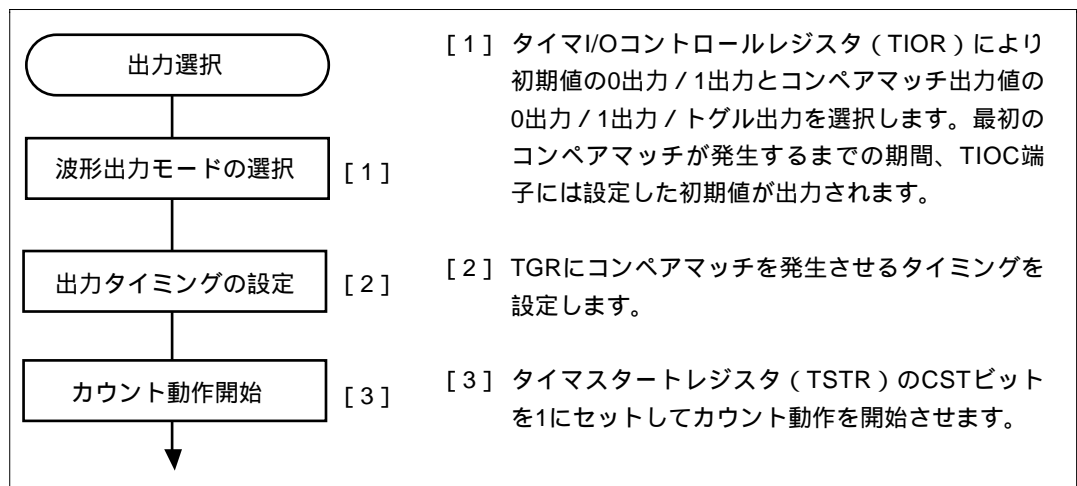


図 12.10 コンペアマッチによる波形出力動作例

(b) 波形出力動作例 (0 出力 / 1 出力)

0 出力 / 1 出力例を図 12.11 に示します。

TCNTカウンタをフリーランカウント動作、コンペアマッチ A により1出力、コンペアマッチ B により0出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

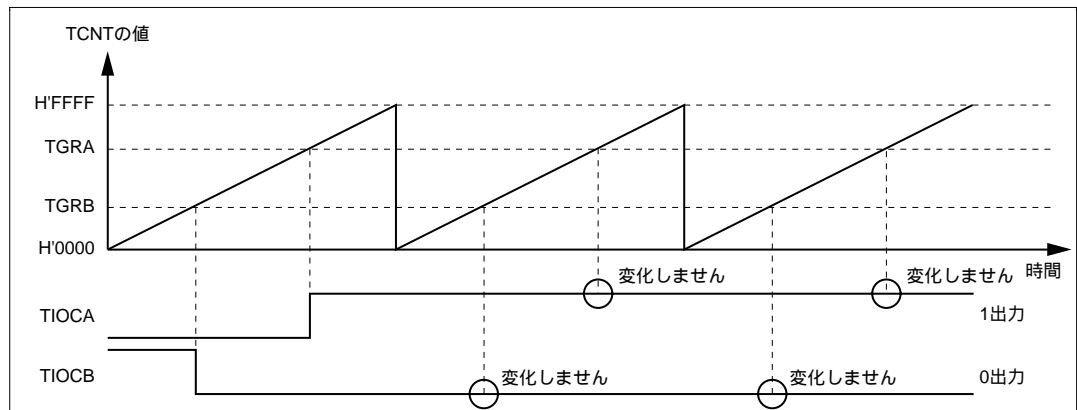


図 12.11 0 出力 / 1 出力の動作例

(c) 波形出力動作例 (トグル出力)

トグル出力の例を図 12.12 に示します。

TCNT カウンタを周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

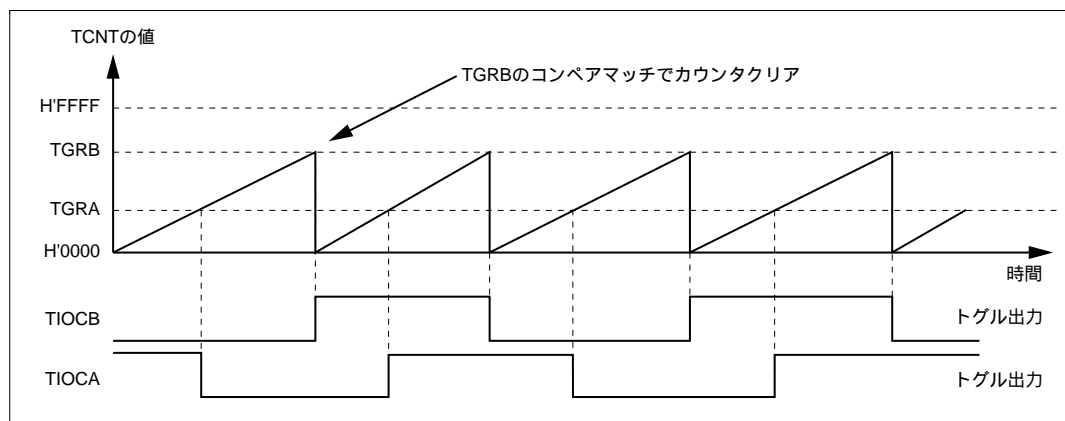


図 12.12 トグル出力の動作例

(3) インพุットキャプチャ機能

インพุットキャプチャ / アウトプットコンペア端子 (TIOC) の入力エッジを検出してタイマカウンタ (TCNT) の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 12.13 に示します。

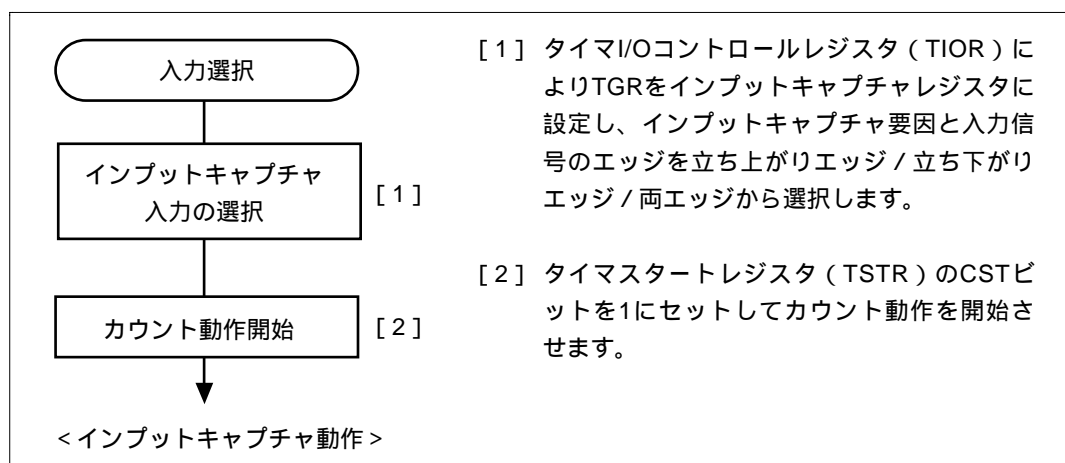


図 12.13 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 12.14 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下りの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、TCNT カウンタは TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

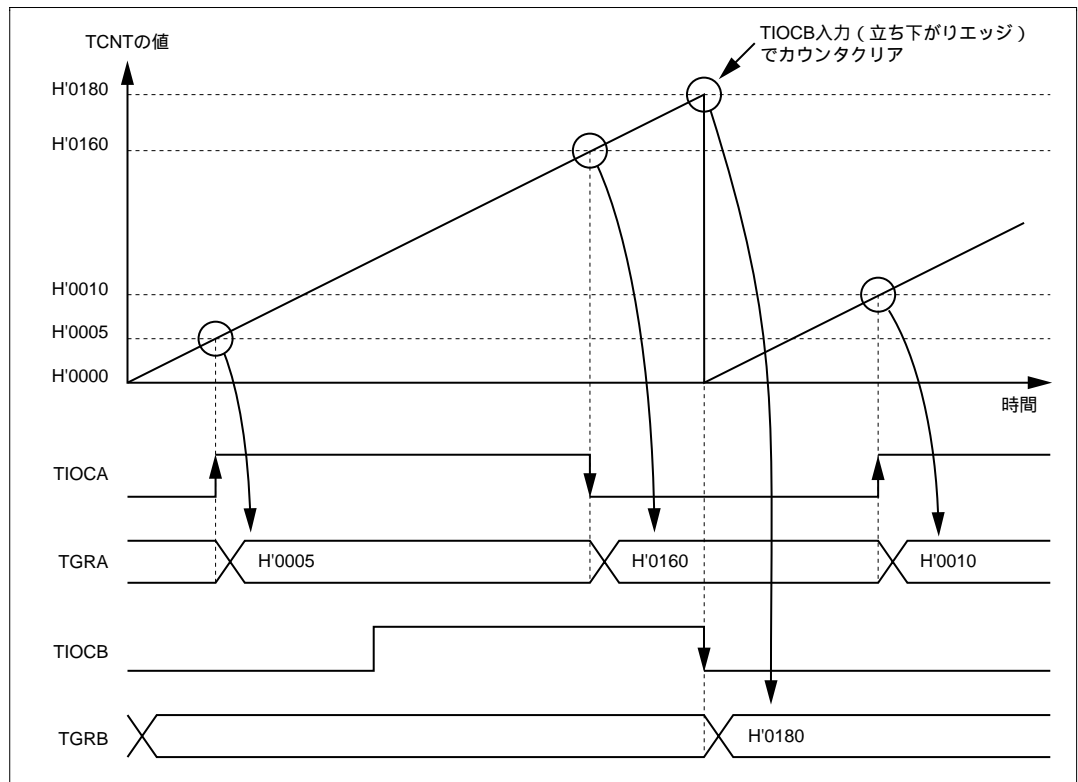


図 12.14 インพุットキャプチャ動作例

12.4.3 同期動作

同期動作には、同期プリセットと同期クリアがあります。同期プリセットは、複数のタイマカウンタ (TCNT) の値を同時に書き換えることができます。同期クリアは、タイマコントロールレジスタ (TCR) の設定により複数の TCNT カウンタを同時にクリアすることができます。

同期動作により、1つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。チャンネル0~4はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 12.15 に示します。

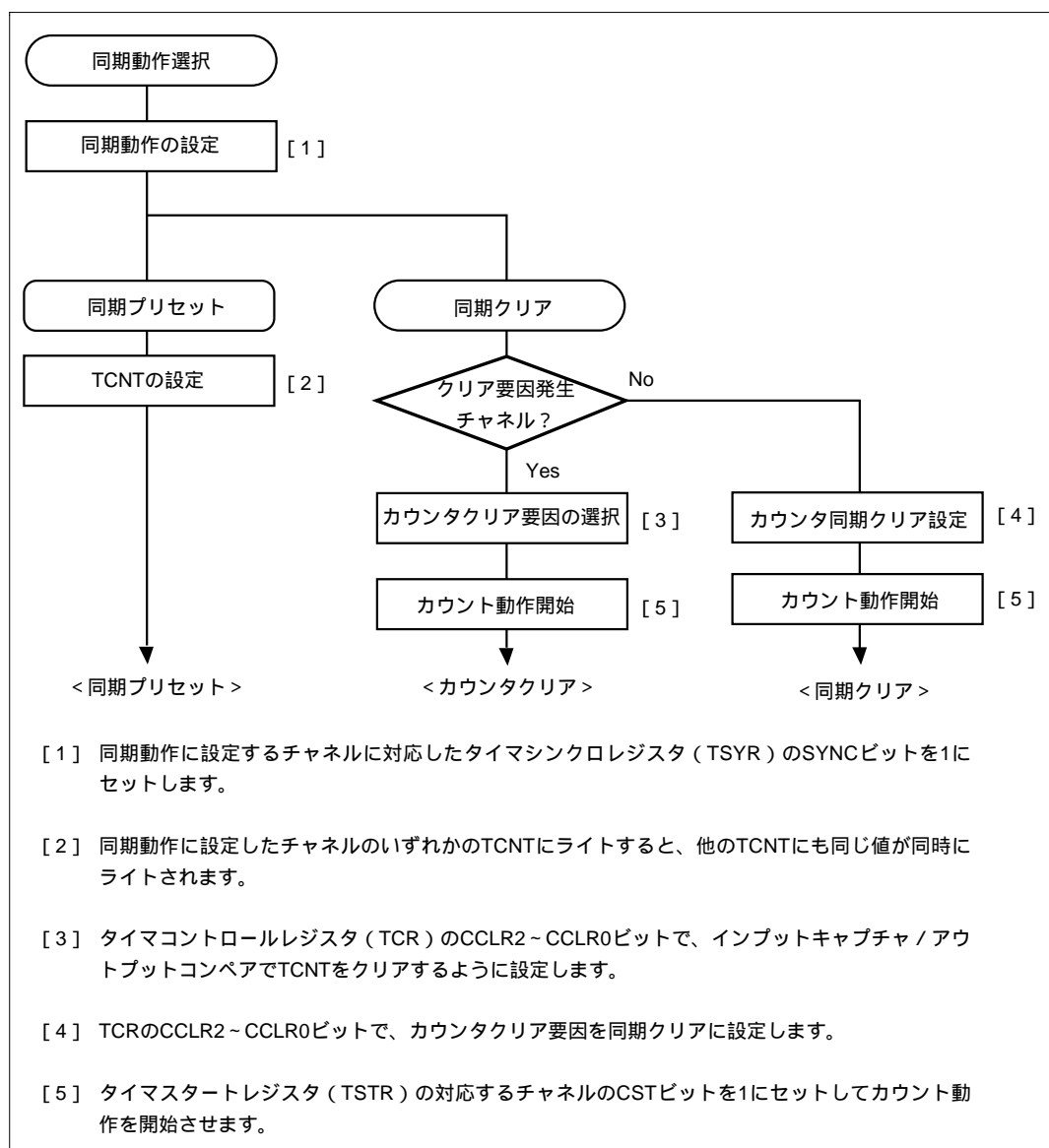


図 12.15 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 12.16 に示します。

チャンネル0~2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGR0Bレジスタのコンペアマッチに設定し、チャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。このとき、チャンネル0~2のTCNTカウンタは、同期プリセットとTGR0Bレジスタのコンペアマッチによる同期クリアとが行われ、TGR0Bレジスタに設定したデータをPWM周期とする3相のPWM波形がTIOC0A、TIOC1A、TIOC2A端子から出力されます。

PWMモードについては、「12.4.6 PWMモード」を参照してください。

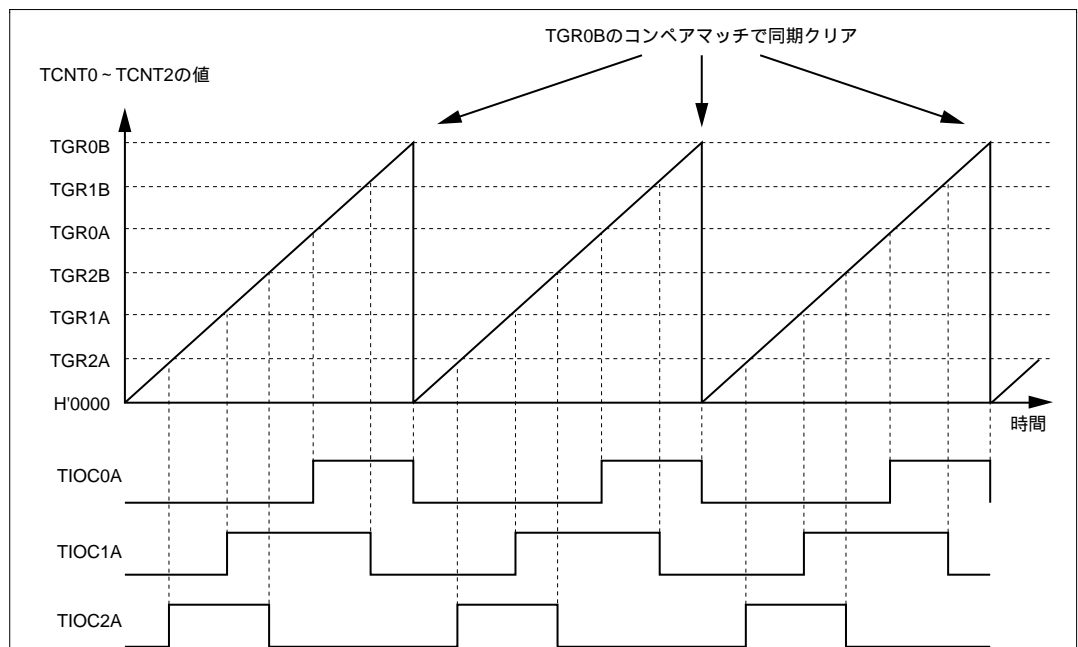


図 12.16 同期動作の動作例

12.4.4 バッファ動作

バッファ動作は、チャンネル0、3、4が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。バッファ動作時のレジスタの組み合わせを表12.5に示します。

表 12.5 レジスタの組み合わせ

チャンネル	ジェネラルレジスタ	バッファレジスタ
0	TGR0A	TGR0C
	TGR0B	TGR0D
3	TGR3A	TGR3C
	TGR3B	TGR3D
4	TGR4A	TGR4C
	TGR4B	TGR4D

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、アウトプットコンペアレジスタに設定した場合でそれぞれで動作内容が異なります。

(a) TGRレジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値がジェネラルレジスタに転送されます。この動作を図12.17に示します。

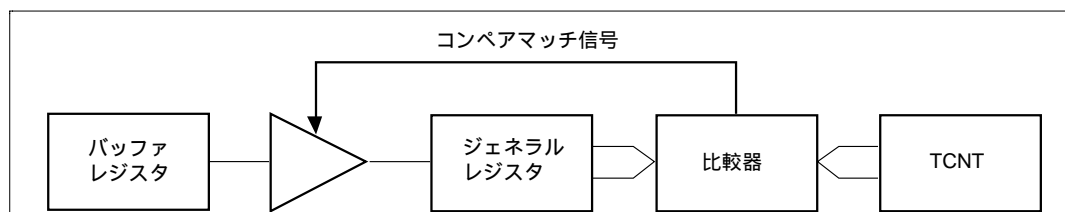


図 12.17 コンペアマッチバッファ動作

(b) TGR レジスタが入力キャプチャレジスタの場合

入力キャプチャが発生するとタイマカウンタ (TCNT) の値を TGR レジスタに転送すると同時に、それまで格納されていたジェネラルレジスタの値をバッファレジスタに転送します。この動作を図 12.18 に示します。

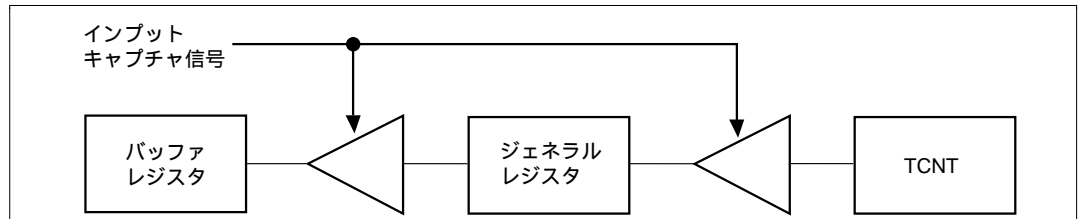


図 12.18 インputキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 12.19 に示します。

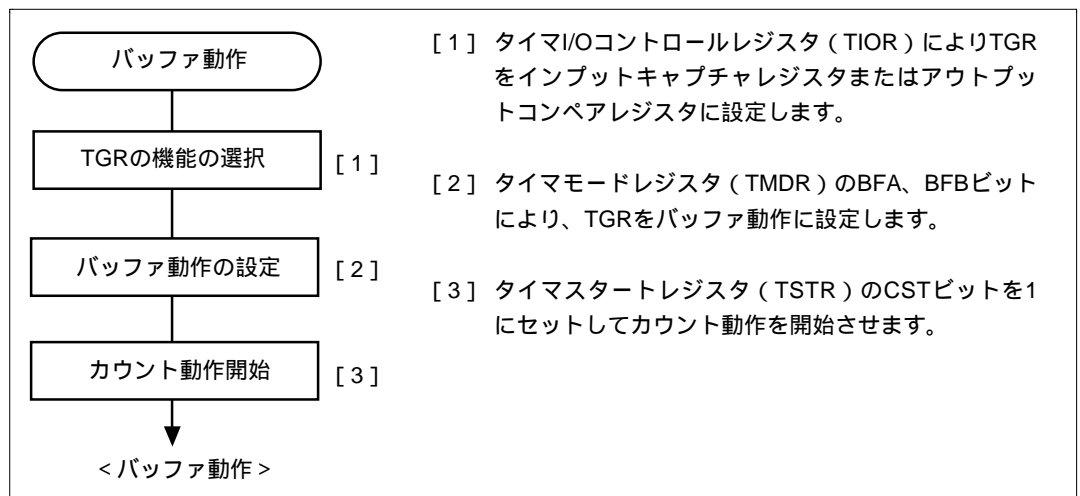


図 12.19 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR レジスタがアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRA レジスタとTGRC レジスタをバッファ動作に設定した場合の動作例を図12.20に示します。

TCNTカウンタはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「12.4.6 PWMモード」を参照してください。

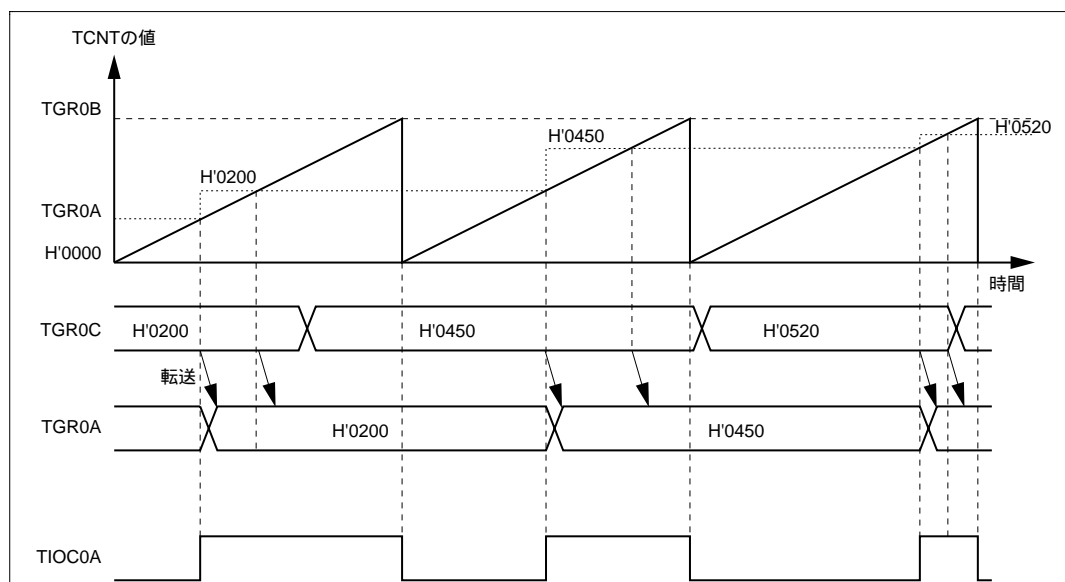


図 12.20 バッファ動作例 (アウトプットコンペアレジスタ)

(b) TGR レジスタがインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA レジスタと TGRB レジスタをバッファ動作に設定したときの動作例を図 12.21 に示します。

TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに格納されると同時に、それまで TGRA レジスタに格納されていた値が TGRB レジスタに転送されます。

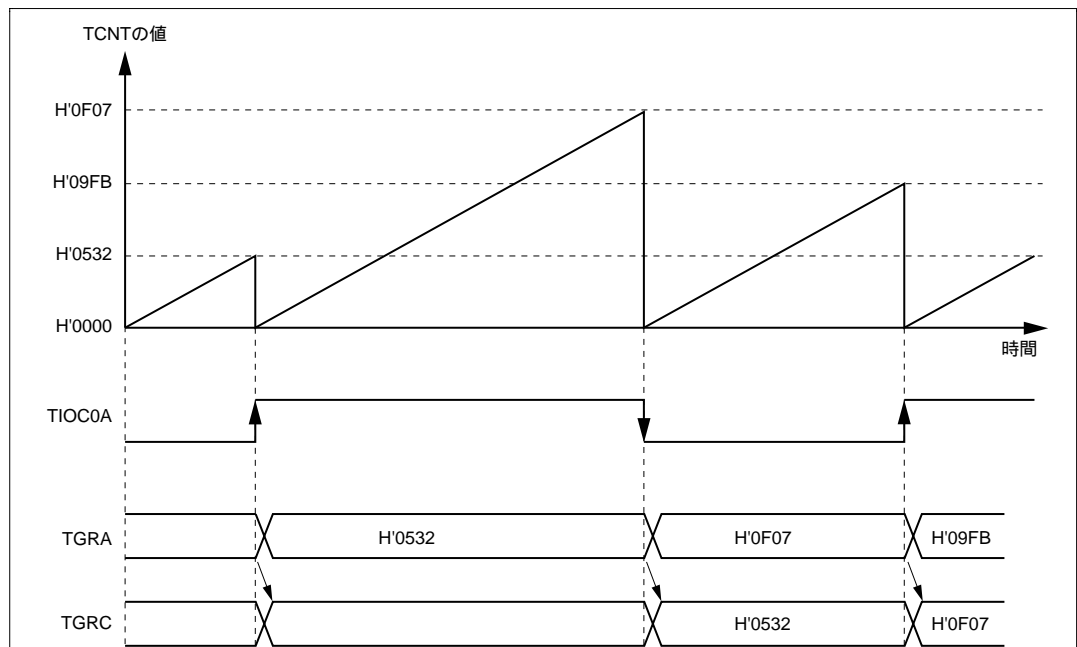


図 12.21 バッファ動作例 (インプットキャプチャレジスタ)

12.4.5 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1のカウンタクロックをTCRレジスタのTPSC2~TPSC0ビットで「TCNT2カウンタのオーバーフロー/アンダフローでカウント」に設定することにより動作します。

【注】 チャンネル1を位相計数モードに設定した場合は、カウンタクロックの設定は無効となります。

カスケード接続の組み合わせを表12.6に示します。

表 12.6 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1、チャンネル2	TCNT1	TCNT2

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図12.22に示します。

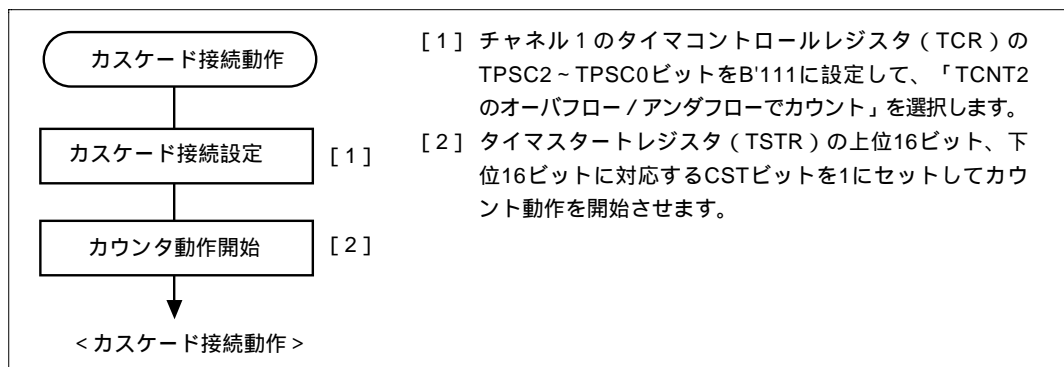


図 12.22 カスケード接続動作設定手順

(2) カスケード接続動作例

位相計数モード

TCNT1 カウンタは TCNT2 カウンタのオーバフロー/アンダフローでカウント、チャンネル2を位相計数モードに設定したときの動作を図 12.23 に示します。

TCNT1 カウンタは、TCNT2 カウンタのオーバフローでアップカウント、TCNT2 のアンダフローでダウンカウントされます。

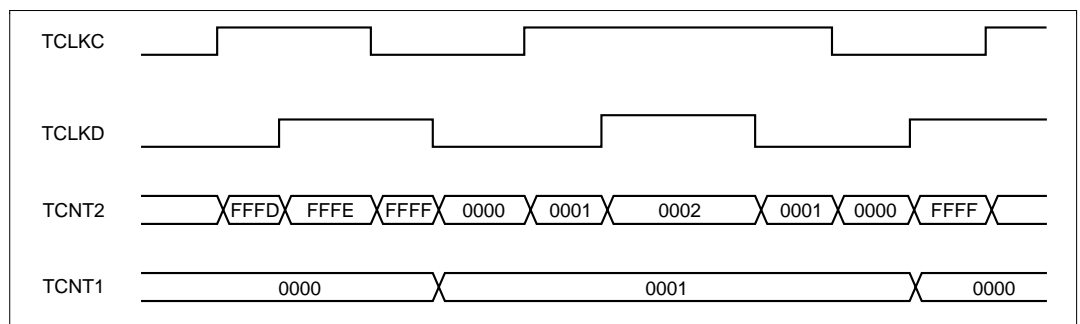


図 12.23 カスケード接続動作例 (位相計数モード)

12.4.6 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力のなかから選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードには下記に示す 2 種類があります。

PWM 出力端子とレジスタの対応を表 12.7 に示します。

表 12.7 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0 (ペア AB)	TGR0A	TIOC0A	TIOC0A
	TGR0B		TIOC0B
0 (ペア CD)	TGR0C	TIOC0C	TIOC0C
	TGR0D		TIOC0D
1	TGR1A	TIOC1A	TIOC1A
	TGR1B		TIOC1B
2	TGR2A	TIOC2A	TIOC2A
	TGR2B		TIOC2B
3 (ペア AB)	TGR3A	TIOC3A	設定できません
	TGR3B		
3 (ペア CD)	TGR3C	TIOC3C	
	TGR3D		
4 (ペア AB)	TGR4A	TIOC4A	
	TGR4B		
4 (ペア CD)	TGR4C	TIOC4C	
	TGR4D		

【注】 PWM モード 2 では、周期を設定した TGR の PWM 出力はできません。

(a) PWM モード 1

TGRA と TGRB レジスタ、TGRC と TGRD レジスタをそれぞれペアで使用して PWM 出力を生成します。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他をデューティレジスタに使用して PWM 出力を生成します。カウンタのクリアによって各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 は、チャンネル 0、1、2 のみ設定が可能です。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 12.24 に示します。

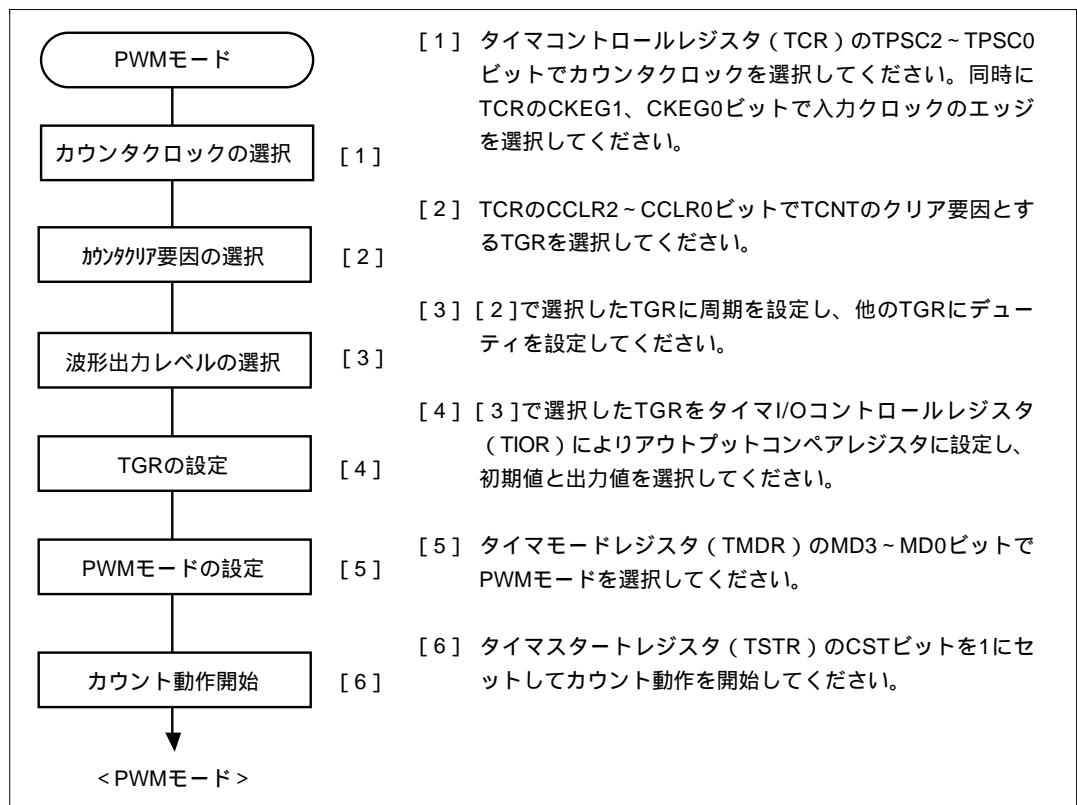


図 12.24 PWM モードの設定手順例

(2) PWM モードの動作例

(a) PWM モード 1

PWM モード 1 の動作例を図 12.25 に示します。

TCNTカウンタのクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値とアウトプットコンペア出力値を 0、TGRB レジスタのアウトプットコンペア出力値を 1 出力に設定した場合の例です。この場合、TGRA レジスタに設定した値が周期となり、TGRB レジスタに設定した値がデューティになります。

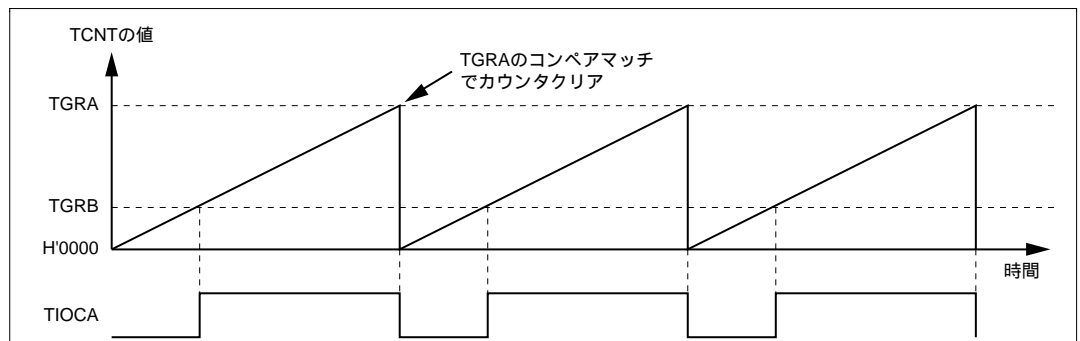


図 12.25 PWM モードの動作例 (モード 1)

(b) PWM モード2

PWM モード2の動作例を図 12.26 に示します。

チャンネル0と1を同期動作させ、TCNTカウンタのクリア要因をTGR1Bレジスタのコンペアマッチとし、他のTGRレジスタの初期出力値を0、アウトプットコンペア出力値を1に設定して5相のPWM波形を出力させた場合の例です。この場合、TGR1Bレジスタに設定した値が周期となり、他のTGRレジスタに設定した値がデューティになります。

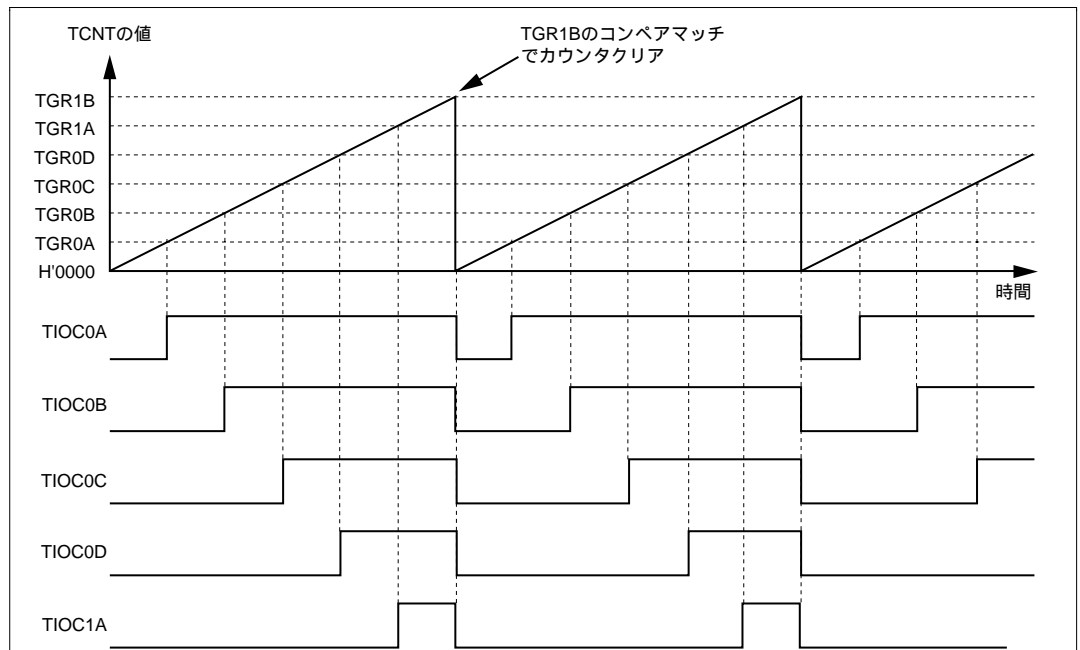


図 12.26 PWM モードの動作例 (モード2)

(c) デューティ 0%

PWM モードで、デューティ 0%のPWM波形を出力する例を図 12.27 に示します。

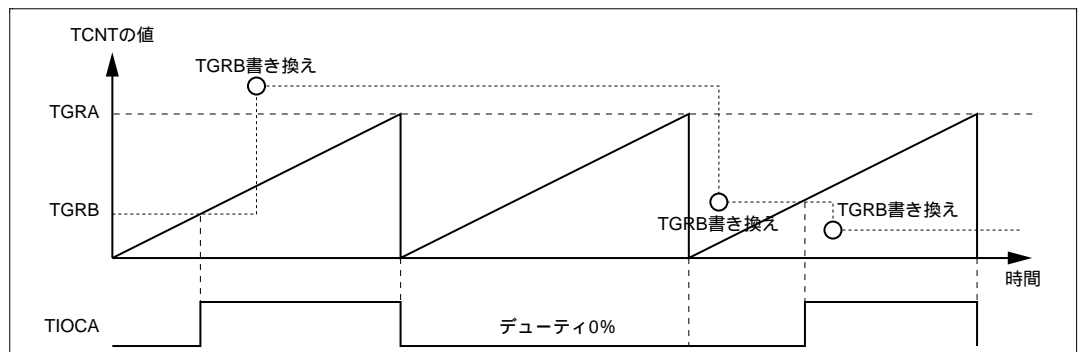


図 12.27 PWM モード動作例 (デューティ 0%)

(d) デューティ 100%

PWM モードで、デューティ 100% の PWM 波形を出力する例を図 12.28 に示します。

PWM モードで周期 = デューティの設定を行うと、出力波形は変化しません。また、カウンタクリア直後に 1 パルス波形が変化することはありません。

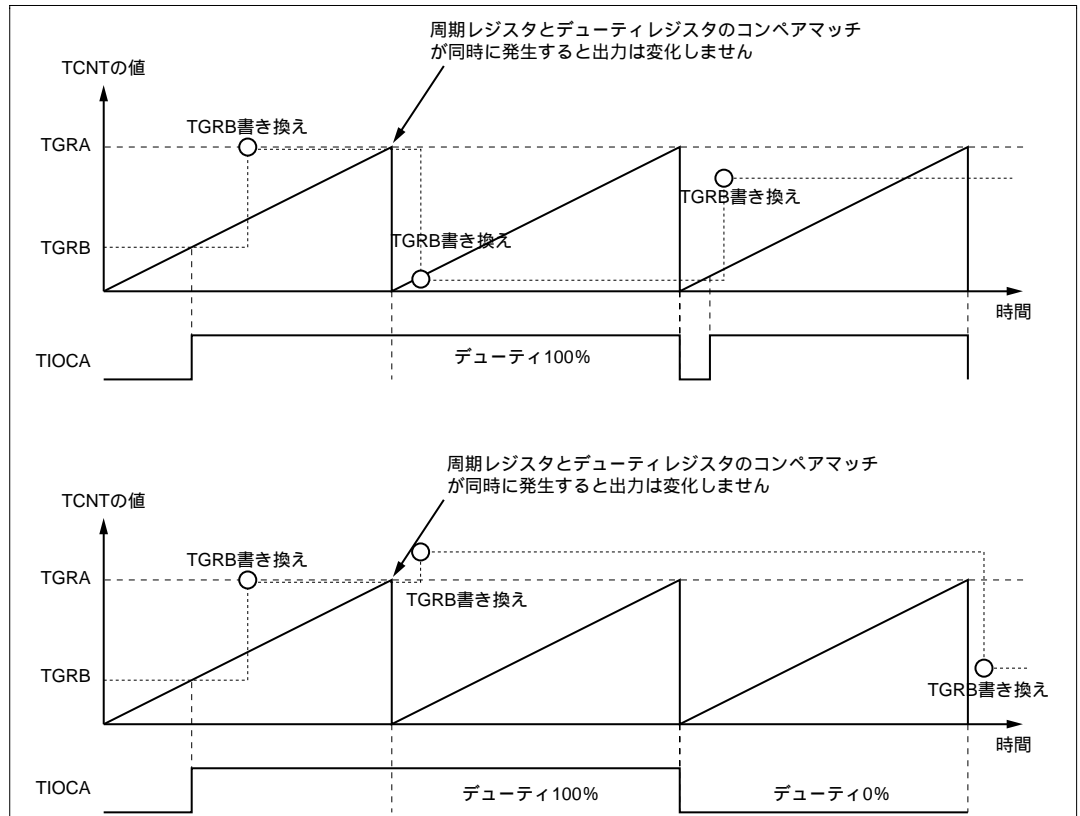


図 12.28 PWM モード動作例 (デューティ 100%)

12.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力の位相差を検出し、TCNTカウンタをアップ/ダウンカウントします。このモードはチャンネル1、2で設定可能です。

位相計数モードに設定すると、タイマコントロールレジスタ (TCR) の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTカウンタはアップ/ダウンカウンタとして動作します。ただし、TCRレジスタの CCLR1、CCLR0 ビット、タイマ I/O コントロールレジスタ (TIOR)、タイマインタラプトイネーブルレジスタ (TIER)、TGR レジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTカウンタがアップカウント時、オーバフローが発生すると TSR レジスタの TCFV (オーバフローフラグ) がセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU (アンダフローフラグ) がセットされます。

TSR レジスタの TCFD ビットはカウント方向フラグです。TCFD フラグを読み出すことにより、TCNTカウンタがアップカウントしているかダウンカウントしているかを確認することができます。

外部クロック端子とチャンネルの対応を表 12.8 に示します。

表 12.8 位相計数モードクロック入力端子

チャンネル	A 相入力端子	B 相入力端子
1	TCLKA	TCLKB
2	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 12.29 に示します。

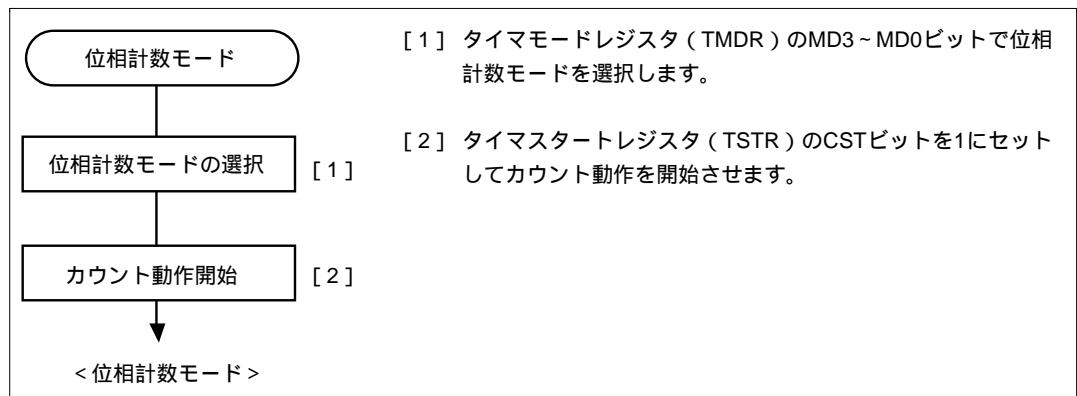


図 12.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT カウンタがアップ / ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図12.30に、TCNTカウンタのアップ / ダウンカウント条件を表12.9に示します。

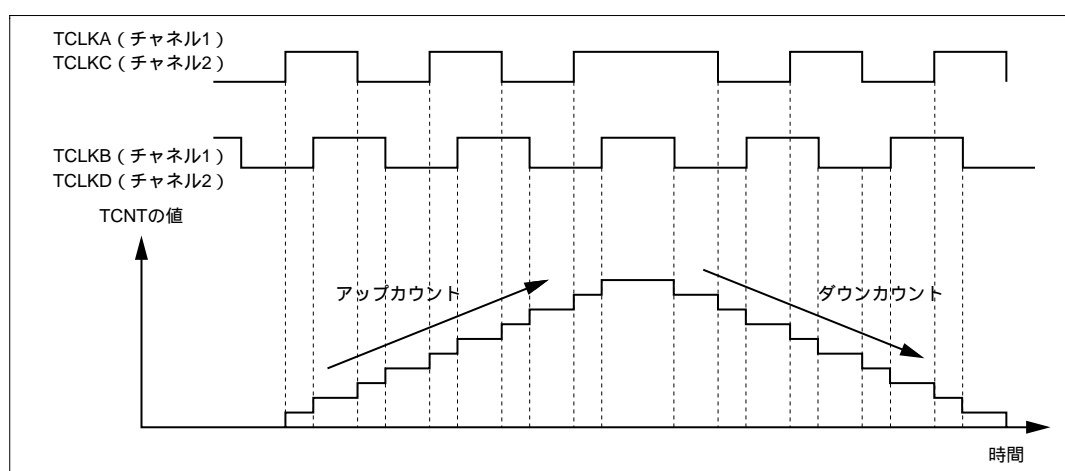


図 12.30 位相計数モード1の動作例

表 12.9 位相計数モード1のアップ / ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
1 (ハイレベル)	(立ち上がりエッジ)	アップカウント
0 (ローレベル)	(立ち下がりエッジ)	
(立ち上がりエッジ)	0 (ローレベル)	
(立ち下がりエッジ)	1 (ハイレベル)	
1 (ハイレベル)	(立ち下がりエッジ)	ダウンカウント
0 (ローレベル)	(立ち上がりエッジ)	
(立ち上がりエッジ)	1 (ハイレベル)	
(立ち下がりエッジ)	0 (ローレベル)	

(b) 位相計数モード2

位相計数モード2の動作例を図12.31に、TCNTカウンタのアップ/ダウンカウント条件を表12.10に示します。

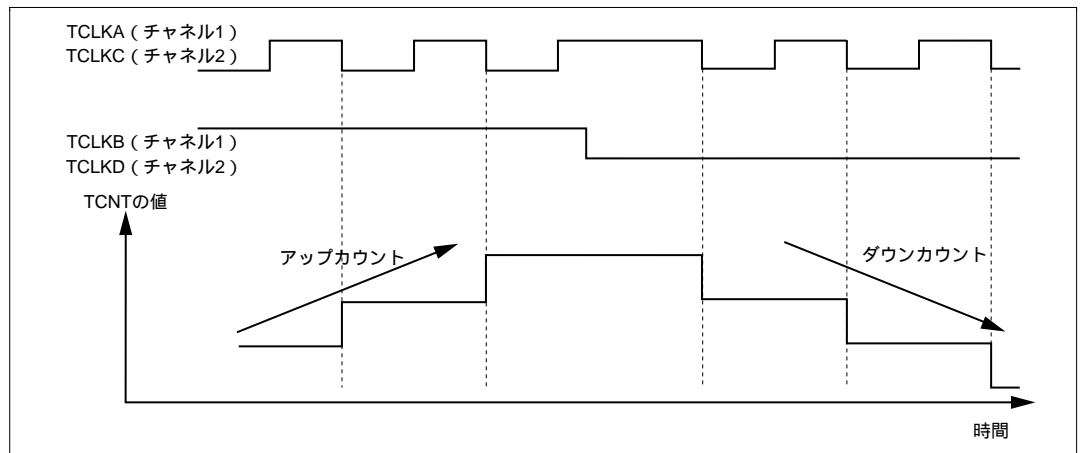


図 12.31 位相計数モード2の動作例

表 12.10 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
1 (ハイレベル)	(立ち上がりエッジ)	カウントしない (Don't care)
0 (ローレベル)	(立ち下がりエッジ)	カウントしない (Don't care)
(立ち上がりエッジ)	0 (ローレベル)	カウントしない (Don't care)
(立ち下がりエッジ)	1 (ハイレベル)	アップカウント
1 (ハイレベル)	(立ち下がりエッジ)	カウントしない (Don't care)
0 (ローレベル)	(立ち上がりエッジ)	カウントしない (Don't care)
(立ち上がりエッジ)	1 (ハイレベル)	カウントしない (Don't care)
(立ち下がりエッジ)	0 (ローレベル)	ダウンカウント

(c) 位相計数モード3

位相計数モード3の動作例を図12.32に、TCNTカウンタのアップ/ダウンカウント条件を表12.11に示します。

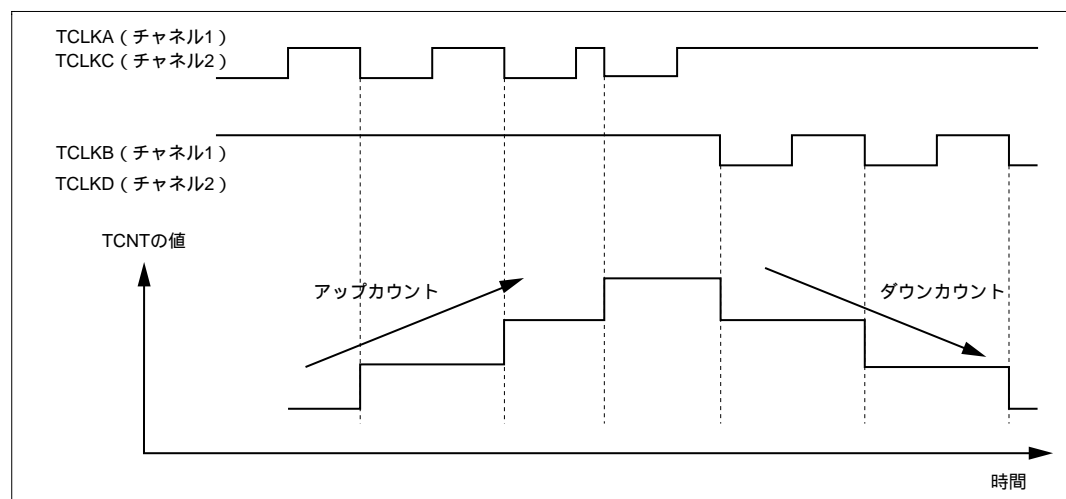


図12.32 位相計数モード3の動作例

表12.11 位相計数モード3のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
1 (ハイレベル)	(立ち上がりエッジ)	カウントしない (Don't care)
0 (ローレベル)	(立ち下がりエッジ)	カウントしない (Don't care)
(立ち上がりエッジ)	0 (ローレベル)	カウントしない (Don't care)
(立ち下がりエッジ)	1 (ハイレベル)	アップカウント
1 (ハイレベル)	(立ち下がりエッジ)	ダウンカウント
0 (ローレベル)	(立ち上がりエッジ)	カウントしない (Don't care)
(立ち上がりエッジ)	1 (ハイレベル)	カウントしない (Don't care)
(立ち下がりエッジ)	0 (ローレベル)	カウントしない (Don't care)

(d) 位相計数モード4

位相計数モード4の動作例を図12.33に、TCNTカウンタのアップ/ダウンカウント条件を表12.12に示します。

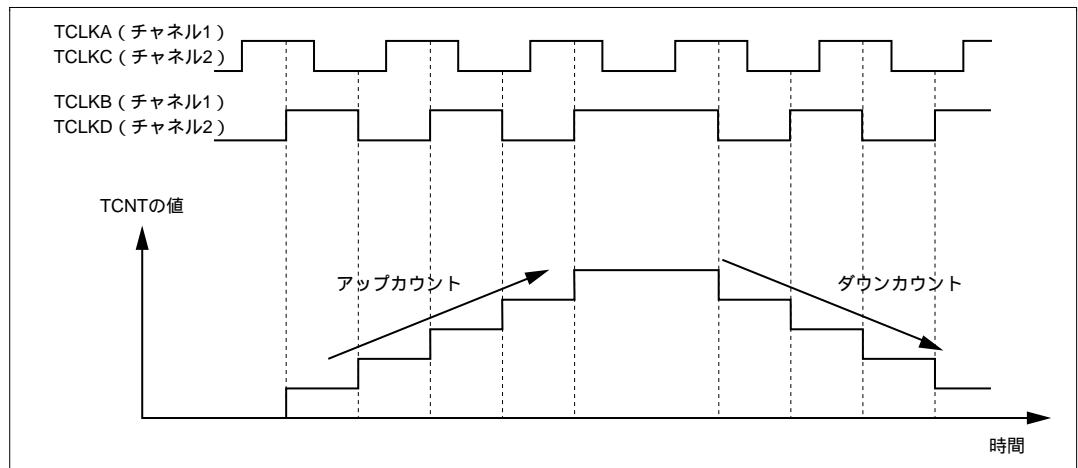


図 12.33 位相計数モード4の動作例

表 12.12 位相計数モード4のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
1 (ハイレベル)	(立ち上がりエッジ)	アップカウント
0 (ローレベル)	(立ち下がりエッジ)	
(立ち上がりエッジ)	0 (ローレベル)	カウントしない (Don't care)
(立ち下がりエッジ)	1 (ハイレベル)	
1 (ハイレベル)	(立ち下がりエッジ)	ダウンカウント
0 (ローレベル)	(立ち上がりエッジ)	
(立ち上がりエッジ)	1 (ハイレベル)	カウントしない (Don't care)
(立ち下がりエッジ)	0 (ローレベル)	

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置/速度を検出する例を図12.34に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKB端子にエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTカウンタをTGR0Cレジスタのコンペアマッチでカウンタクリアとして動作させ、TGR0AとTGR0Cレジスタはコンペアマッチ機能で速度制御周期と位置制御周期を設定します。TGR0Bレジスタはインプットキャプチャ機能で、TGR0BとTGR0Dレジスタをバッファ動作させます。TGR0Bレジスタのインプットキャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

チャンネル1のTGR1AとTGR1Bレジスタは、インプットキャプチャ機能に設定し、インプットキャプチャ要因はチャンネル0のTGR0AとTGR0Cレジスタのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出ができます。

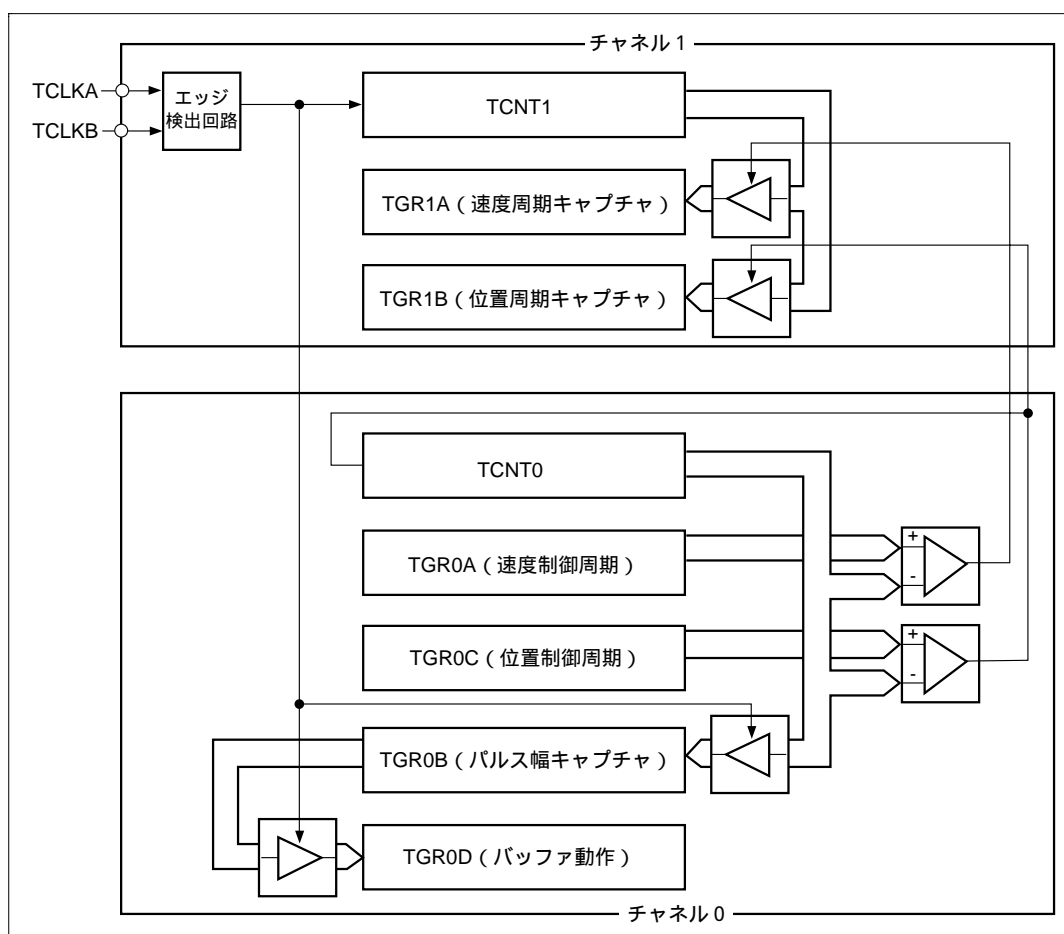


図12.34 位相計数モードの応用例

12.4.8 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 12.13 に、使用するレジスタの設定を表 12.14 に示します。

表 12.13 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 12.14 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT3	H'0000 を初期設定
TCNT4	H'0000 を初期設定
TGR3A	TCNT3 のカウント周期を設定
TGR3B	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGR4A	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGR4B	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 12.35 に示します。



図 12.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 12.36 に示します。

リセット同期 PWM モードでは、TCNT3 と TCNT4 はアップカウンタとして動作します。TCNT3 が TGR3A とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGR3B、TGR4A、TGR4B のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

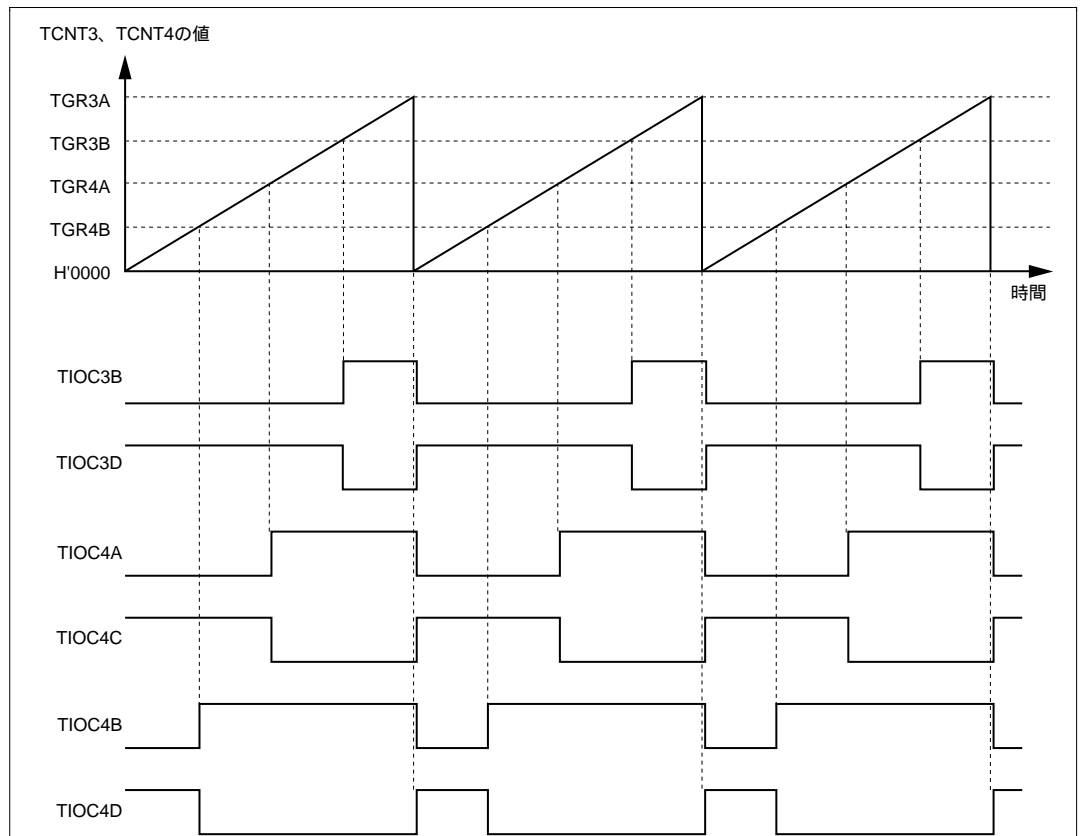


図 12.36 リセット同期 PWM モードの動作例
(TOCR の OLSN = 1、OLSP = 1 に設定した場合)

12.4.9 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT3 と TCNT4 はアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 12.15 に、使用するレジスタの設定を表 12.16 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 12.15 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	TIOC3B	PWM 出力 1
	TIOC3C	入出力ポート*
	TIOC3D	$\overline{\text{PWM 出力 1}}$ (PWM 出力 1 とノンオーバーラップの関係にある逆相波形)
4	TIOC4A	PWM 出力 2
	TIOC4B	PWM 出力 3
	TIOC4C	$\overline{\text{PWM 出力 2}}$ (PWM 出力 2 とノンオーバーラップの関係にある逆相波形)
	TIOC4D	$\overline{\text{PWM 出力 3}}$ (PWM 出力 3 とノンオーバーラップの関係にある逆相波形)

【注】 * TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 12.16 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ / レジスタ	説明	CPU からの読み出し / 書き込み
3	TCNT3	デッドタイムレジスタに設定した値からカウントアップスタート	BSC/BCR1 の設定*によりマスク可能
	TGR3A	TCNT3 の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	BSC/BCR1 の設定*によりマスク可能
	TGR3B	PWM 出力 1 のコンペアレジスタ	BSC/BCR1 の設定*によりマスク可能
	TGR3C	TGR3A のバッファレジスタ	常に読み出し / 書き込み可能
	TGR3D	PWM 出力 1/TGR3B のバッファレジスタ	常に読み出し / 書き込み可能
4	TCNT4	H'0000 を初期設定しカウントアップスタート	BSC/BCR1 の設定*によりマスク可能
	TGR4A	PWM 出力 2 のコンペアレジスタ	BSC/BCR1 の設定*によりマスク可能
	TGR4B	PWM 出力 3 のコンペアレジスタ	BSC/BCR1 の設定*によりマスク可能
	TGR4C	PWM 出力 2/TGR4A のバッファレジスタ	常に読み出し / 書き込み可能
	TGR4D	PWM 出力 3/TGR4B のバッファレジスタ	常に読み出し / 書き込み可能
タイマデッドタイムデータレジスタ (TDDR)	TCNT4 と TCNT3 のオフセット値 (デッドタイムの値) を設定	BSC/BCR1 の設定*によりマスク可能	
タイマ周期データレジスタ (TCDR)	TCNT4 の上限値の値を設定 (キャリア周期の 1/2)	BSC/BCR1 の設定*によりマスク可能	
タイマ周期バッファレジスタ (TCBR)	TCDR のバッファレジスタ	常に読み出し / 書き込み可能	
サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可	
テンポラリレジスタ 1 (TEMP1)	PWM 出力 1/TGR3B のテンポラリレジスタ	読み出し / 書き込み不可	
テンポラリレジスタ 2 (TEMP2)	PWM 出力 2/TGR4A のテンポラリレジスタ	読み出し / 書き込み不可	
テンポラリレジスタ 3 (TEMP3)	PWM 出力 3/TGR4B のテンポラリレジスタ	読み出し / 書き込み不可	

【注】 * BSC/BCR1 (バスコントローラ / バスコントロールレジスタ 1 のビット 13 (MTURWE ビット)) の設定によりアクセスの許可 / 禁止が可能です。

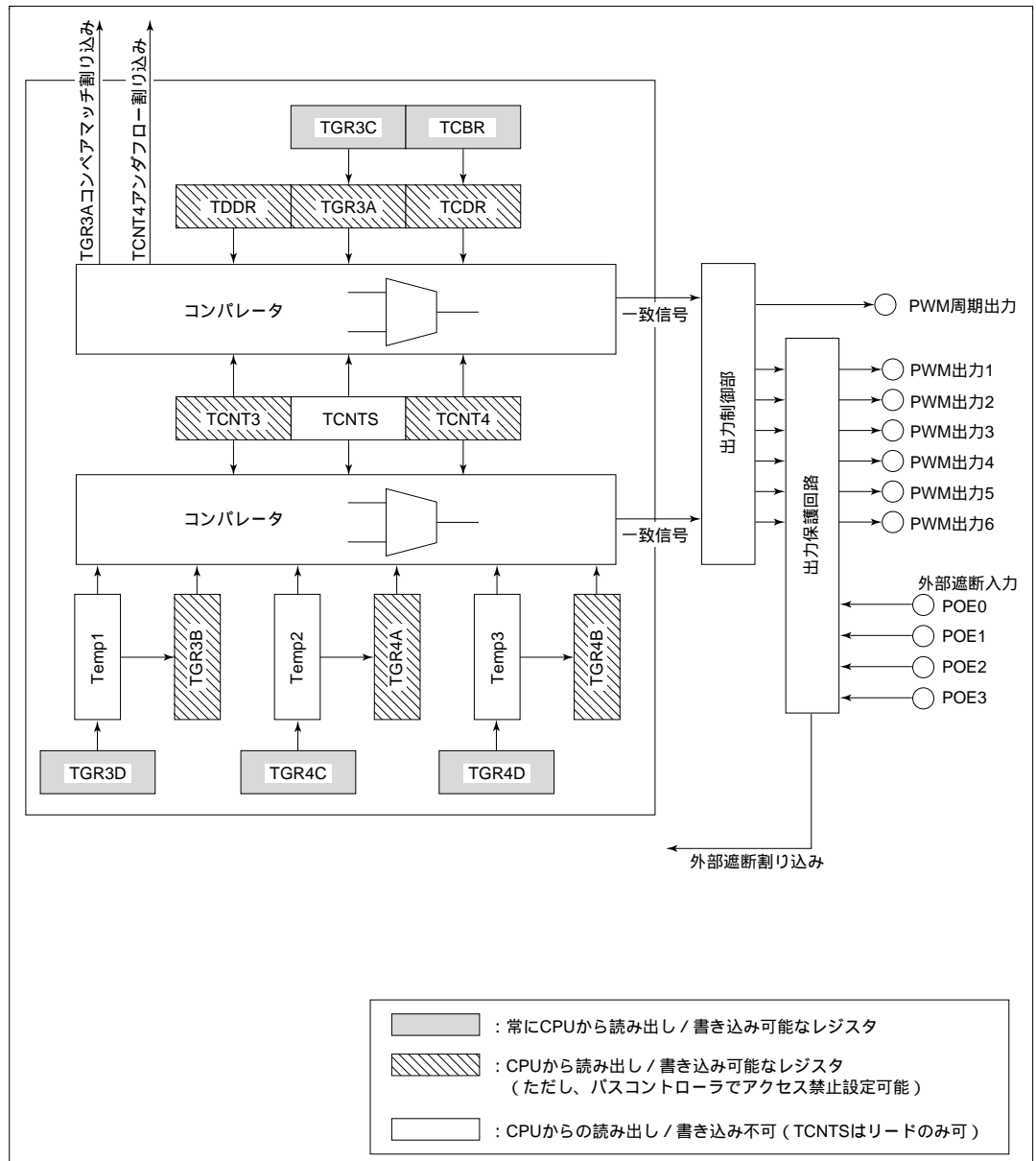


図 12.37 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 12.38 に示します。



図 12.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6相の PWM 出力が可能です。図 12.39 に相補 PWM モードのカウンタの動作を示します。図 12.40 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT3、TCNT4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGR3A に設定された値までアップカウント動作を行い、TGR3A と一致するとダウンカウントに切り替わります。その後、TDDR と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、TCNT4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り替わります。この後、H'0000 と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT3、4 がアップダウンカウント時、TCNT3 が TCDR と一致するとダウンカウントを開始し、TCNTS が TCDR と一致するとアップカウントに切り替わります。また、TGR3A と一致すると H'0000 にクリアされます。

TCNT3、TCNT4 がダウンカウント時、TCNT4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り替わります。また、H'0000 に一致すると TCNTS は TGR3A の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

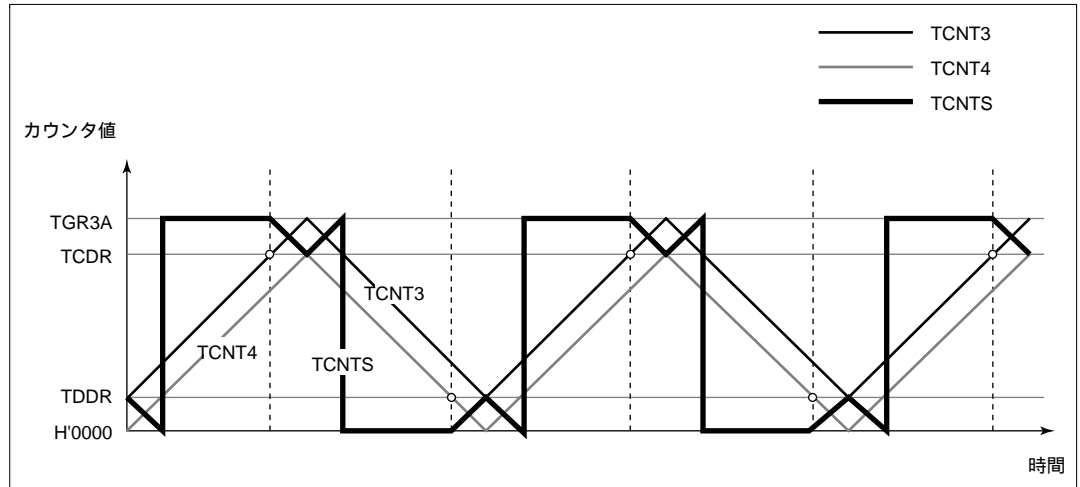


図 12.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 12.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGR3B、TGR4A、TGR4B です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGR3D、TGR4C、TGR4D です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し / 書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGR3A が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで選択できます。図 12.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない T_b (図 12.40 では T_{b2}) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1相の出力に対して2本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT3、4 および TCNT5 の3本のカウンタとコンペアレジスタ、テンポラリレジスタの2本のレジスタが比較され、PWM 出力を制御します。

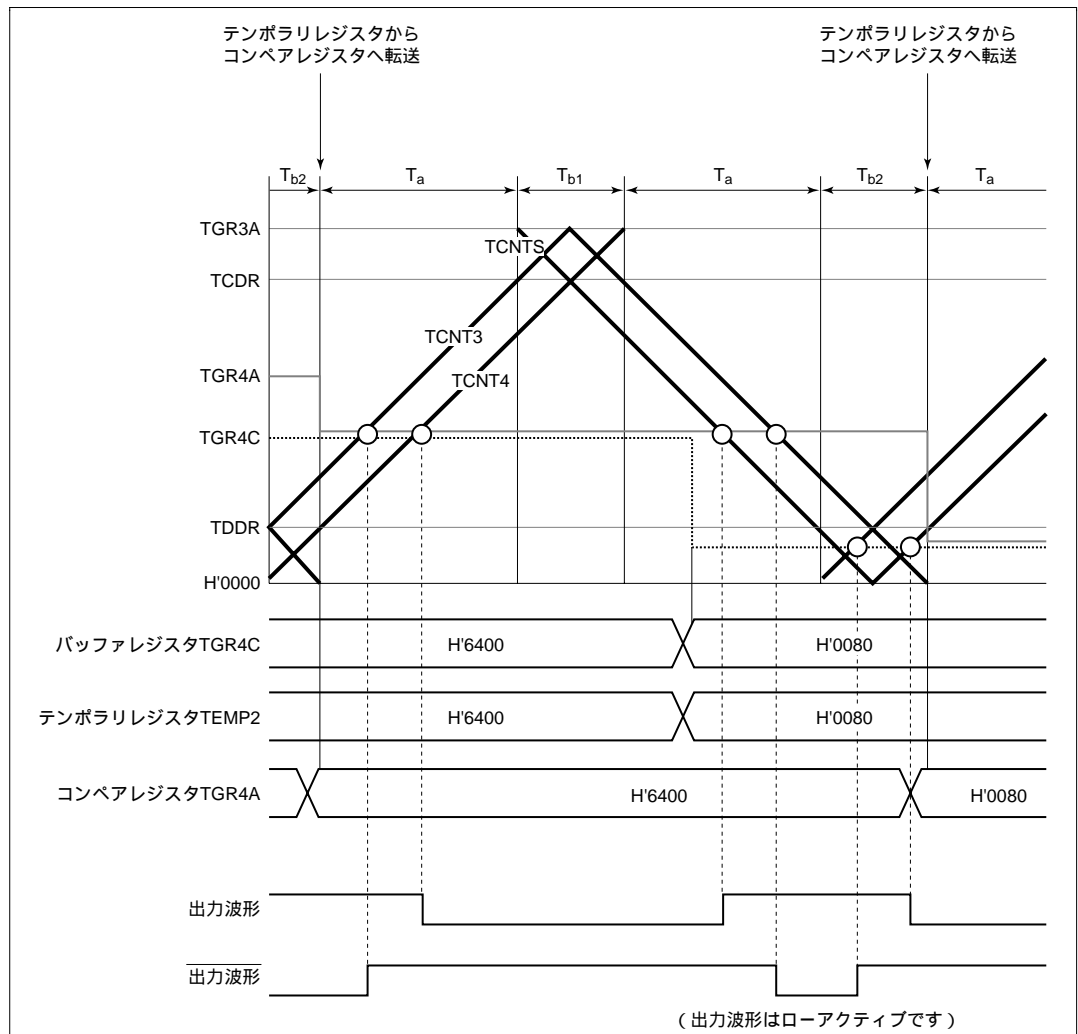


図 12.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定の必要なレジスタが 6 本あります。

タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGR3C は TGR3A のバッファレジスタとして動作し、PWM キャリア周期の $1/2 +$ デッドタイム T_d を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

バッファレジスタ TGR3D、TGR4C、TGR4D の 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時に各々対応するコンペアレジスタに転送されます。

また、TCNT4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 12.17 初期設定の必要なレジスタとカウンタ

レジスタ / カウンタ	設定値
TGR3C	PWM キャリア周期の $1/2 +$ デッドタイム T_d
TDDR	デッドタイム T_d
TCBR	PWM キャリア周期の $1/2$
TGR3D、TGR4C、TGR4D	各相の PWM デューティの初期値
TCNT4	H'0000

【注】 TGR3C の設定値は、必ず、TCBR に設定する PWM キャリア周期の $1/2$ の値と TDDR に設定するデッドタイム T_d の値の和としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT3 のカウンタスタート値となり、TCNT3 と TCNT4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGR3A と TCNT4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

$$\text{TGR3A の設定値} = \text{TCDR の設定値} + \text{TDDR の設定値}$$

また、TGR3A、TCDR の設定は、バッファレジスタの TGR3C、TCBR に値を設定することで行ってください。TGR3C、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 で選択した転送タイミングで TGR3A、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 12.41 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(g) レジスタデータの更新」の項を参照ください。

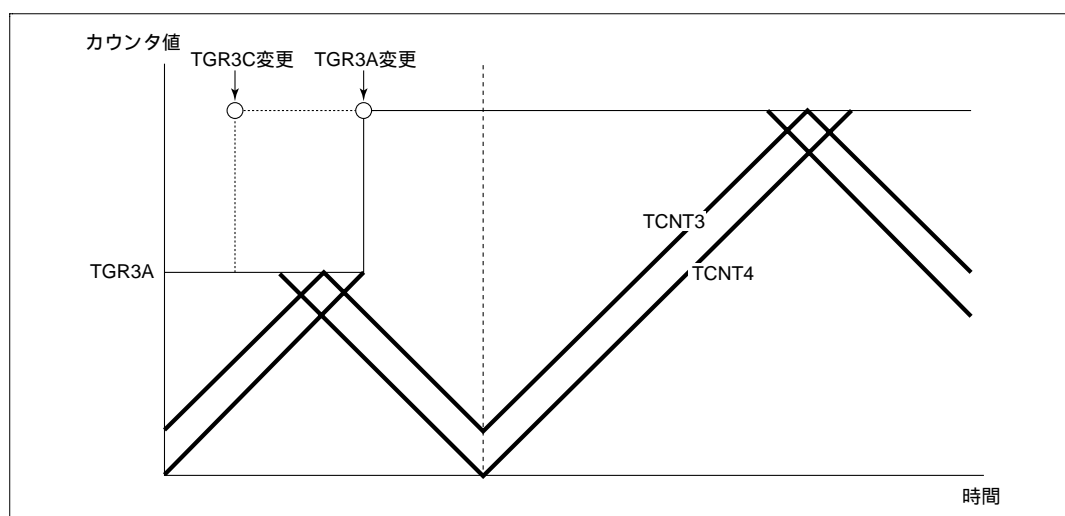


図 12.41 PWM 周期の変更例

(g) レジスタデータの更新

相補PWMモードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の5本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換わります。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図12.42に相補PWMモード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGR4D への書き込みを行ってください。 バッファレジスタからテンポラリレジスタへのデータ転送は、TGR4D に書き込みした後、5本すべてのレジスタ同時に行われます。

なお、5本すべてのレジスタの更新を行わない場合、または TGR4D のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGR4D に書き込み動作を行ってください。またこのとき、TGR4D に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

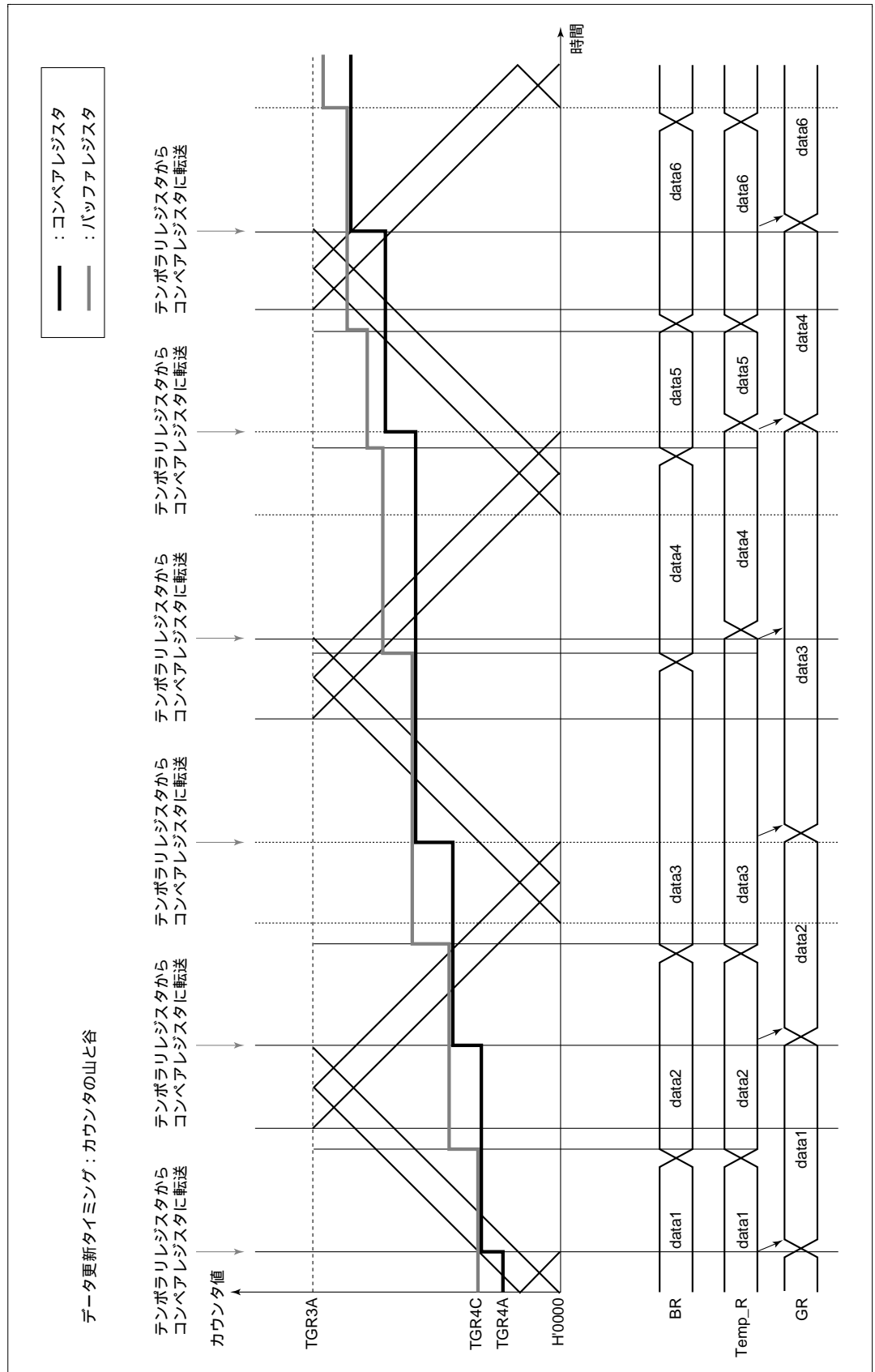


図 12.42 相補 PWM モードのデータ更新例

(h) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。図 12.43 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 12.44 に示します。

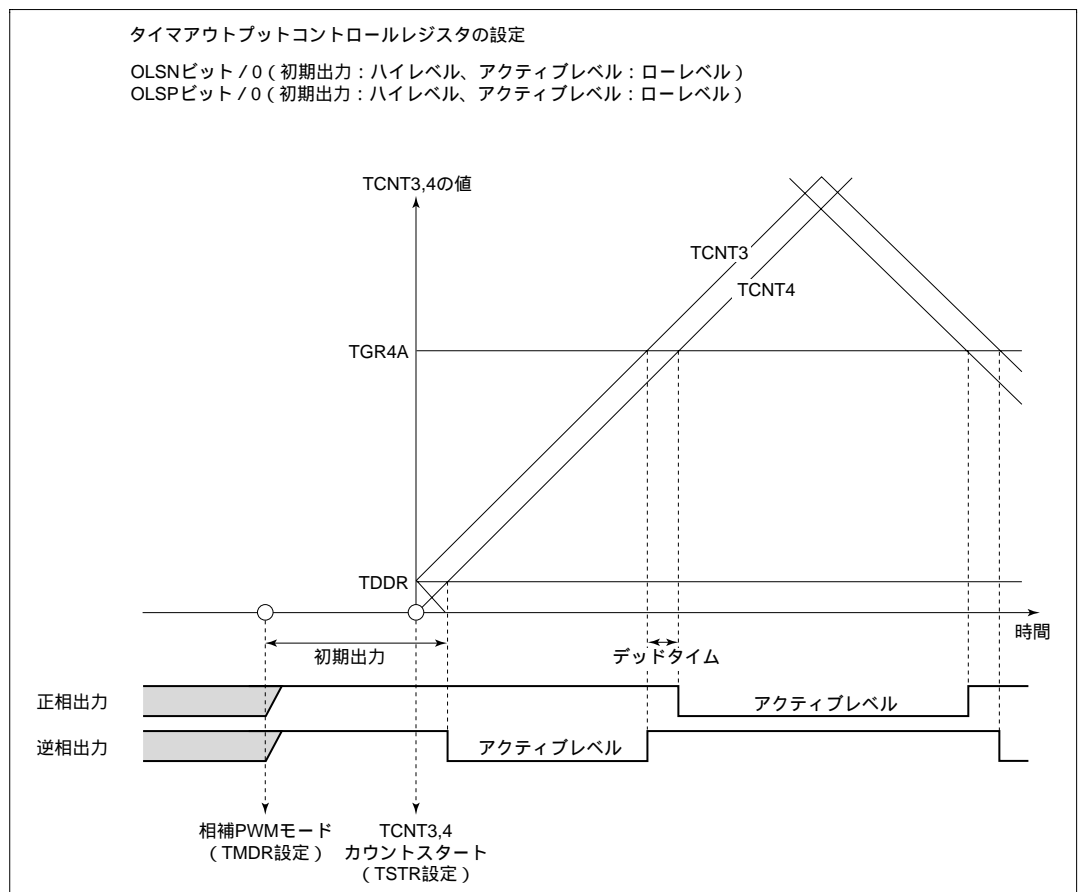


図 12.43 相補 PWM モードの初期出力例 (1)

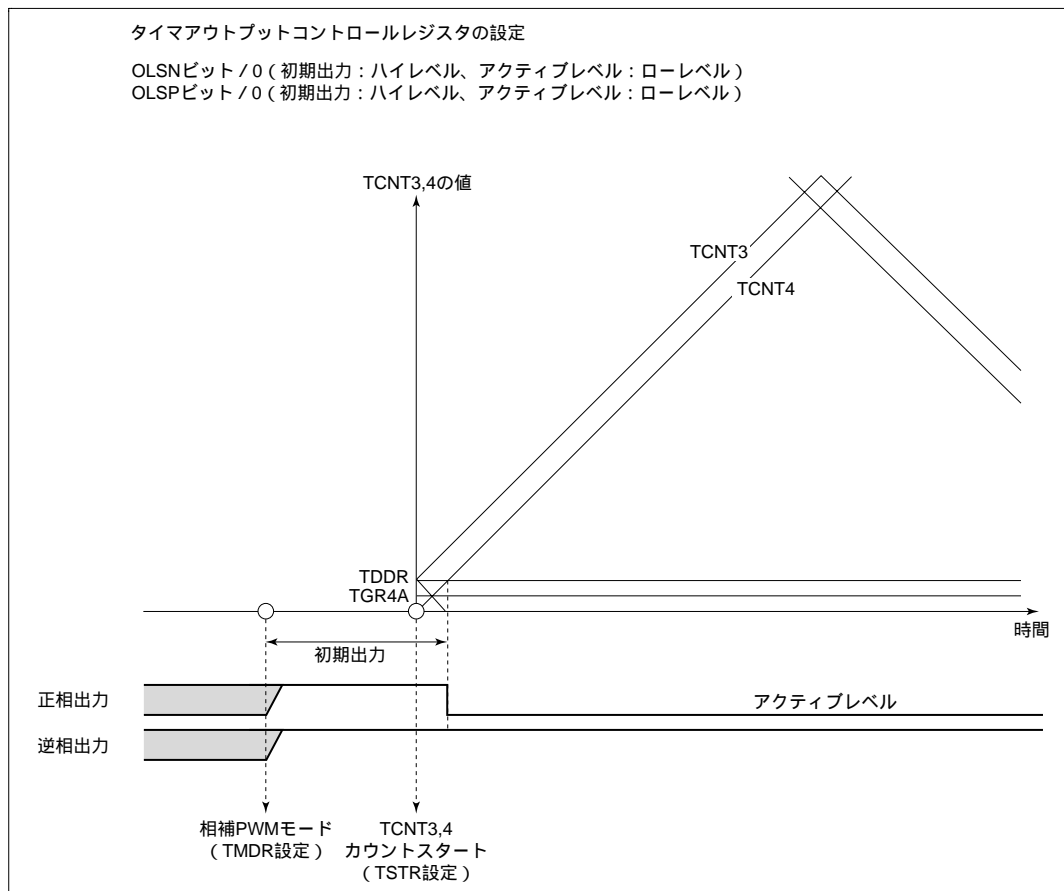


図 12.44 相補 PWM モードの初期出力例 (2)

(i) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとデータレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0 ~ 100% まで連続した PWM パルスを作るため、データレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。 図 12.45 ~ 図 12.47 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 12.45 に示すように通常の場合のコンペアマッチは、a b c d (または c d a' b') の順番で発生します。

コンペアマッチが a b c d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c d a' b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 12.46 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を OFF します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 12.47 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

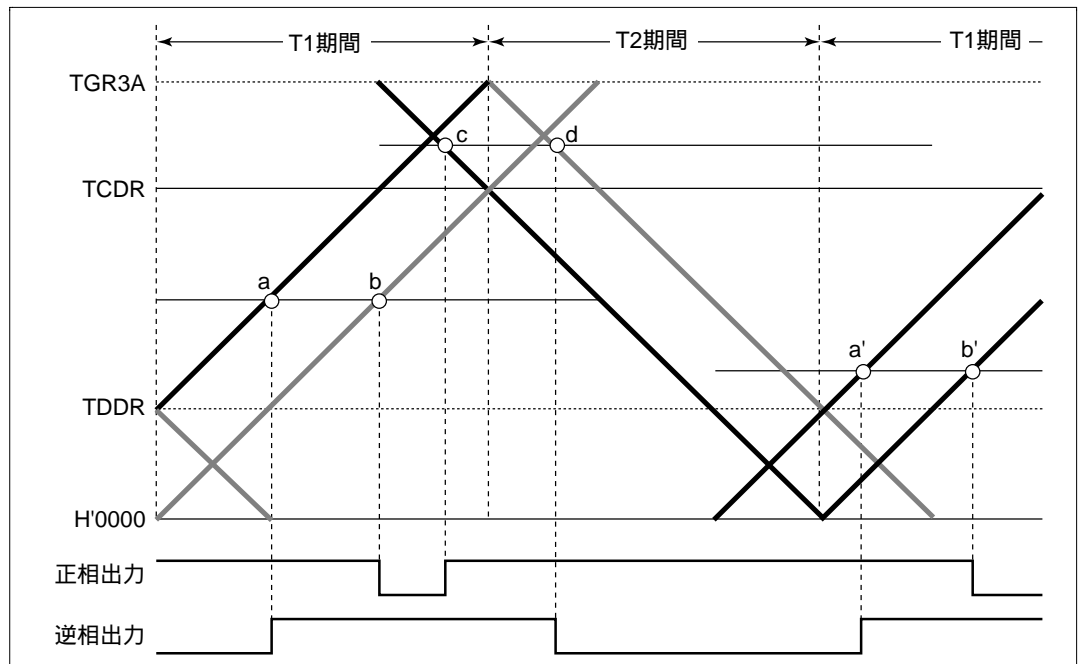


図 12.45 相補 PWM モード波形出力例 (1)

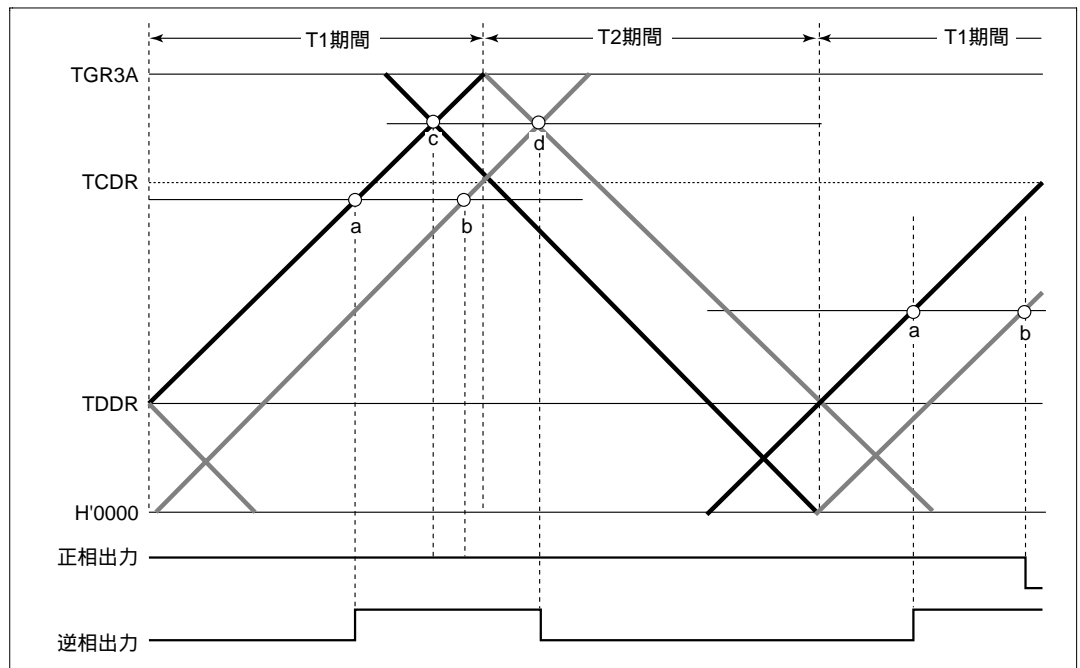


図 12.46 相補 PWM モード波形出力例 (2)

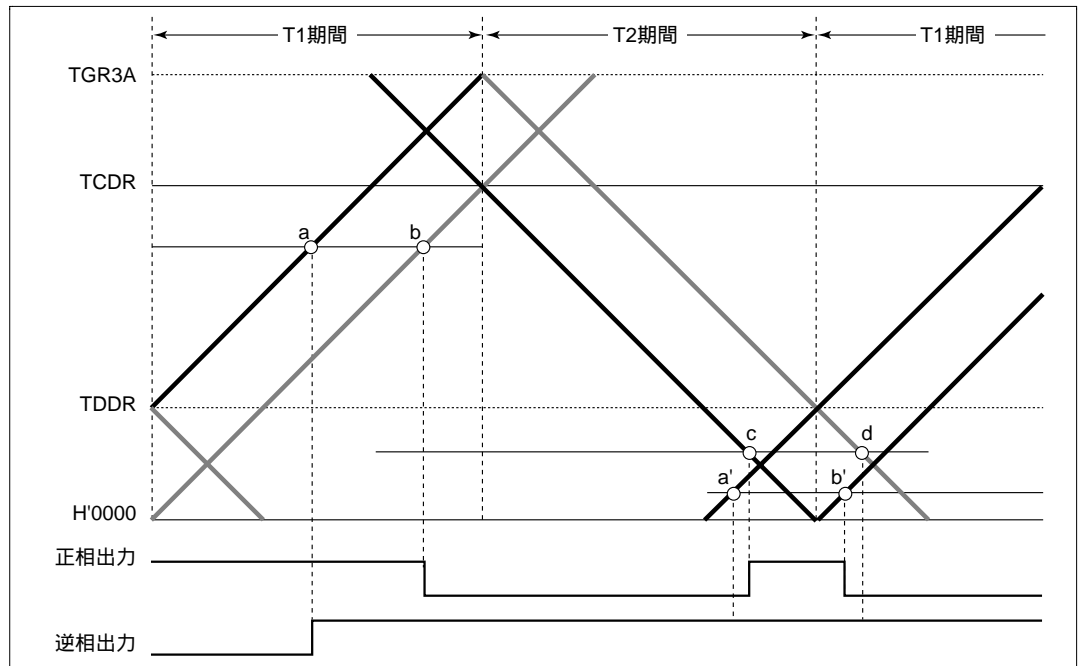


図 12.47 相補 PWM モード波形出力例 (3)

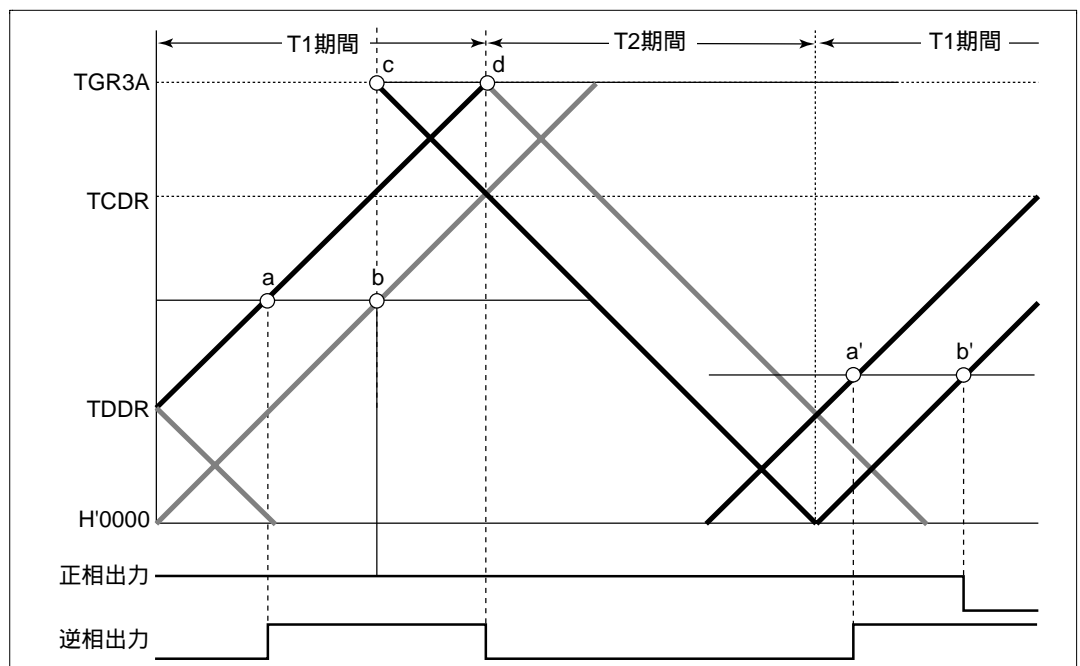


図 12.48 相補 PWM モード 0%、100% 波形出力例 (1)

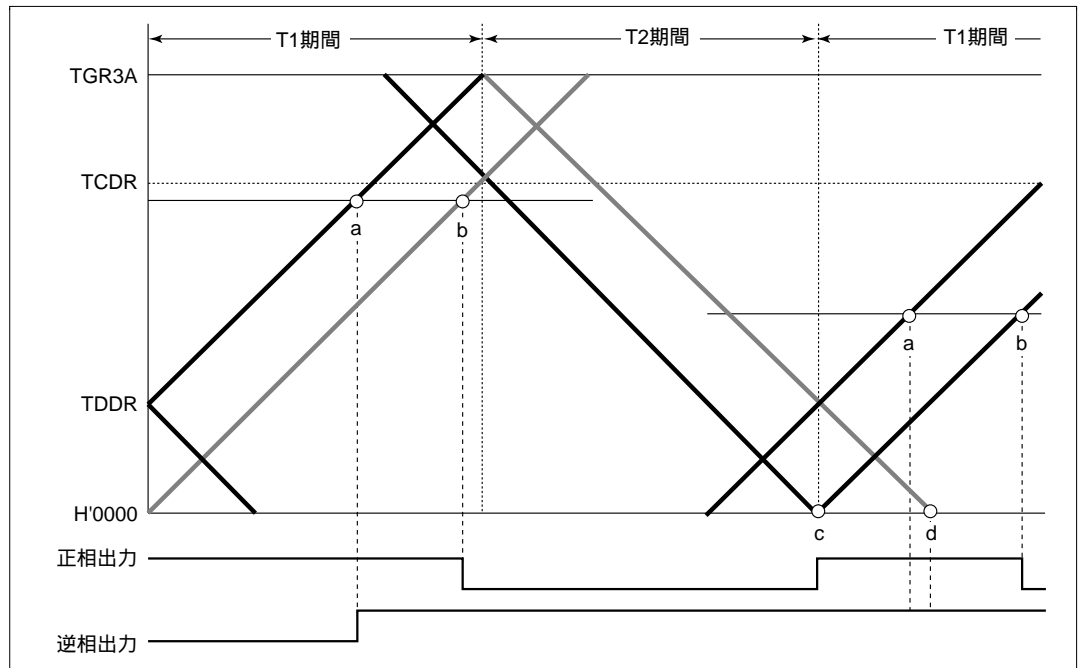


図 12.49 相補 PWM モード 0%、100% 波形出力例 (2)

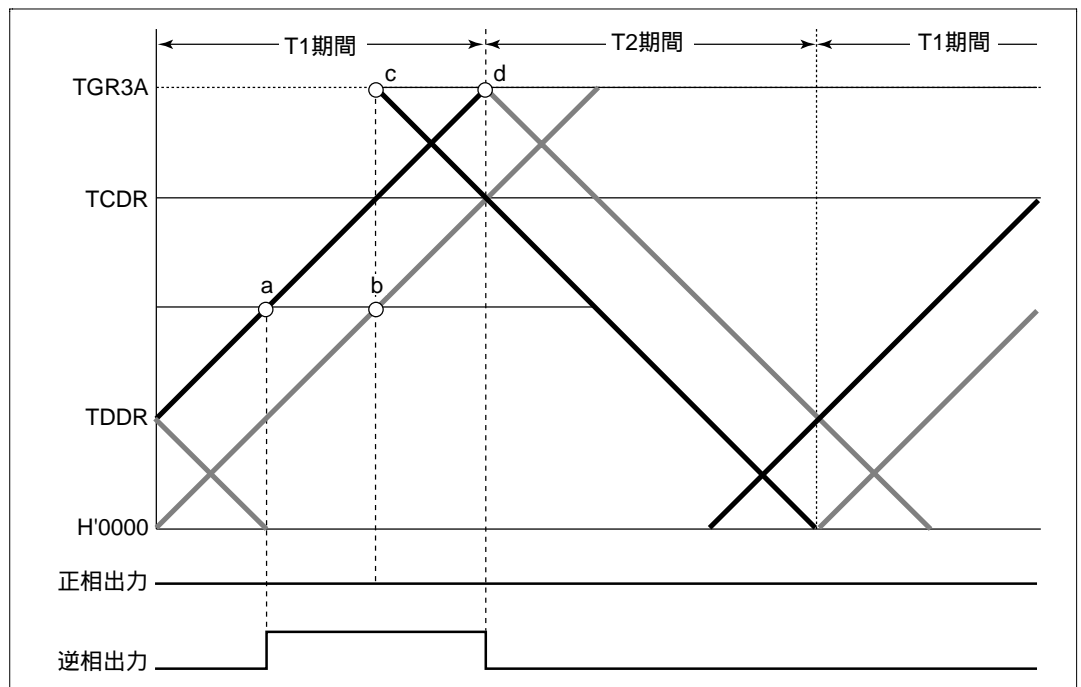


図 12.50 相補 PWM モード 0%、100% 波形出力例 (3)

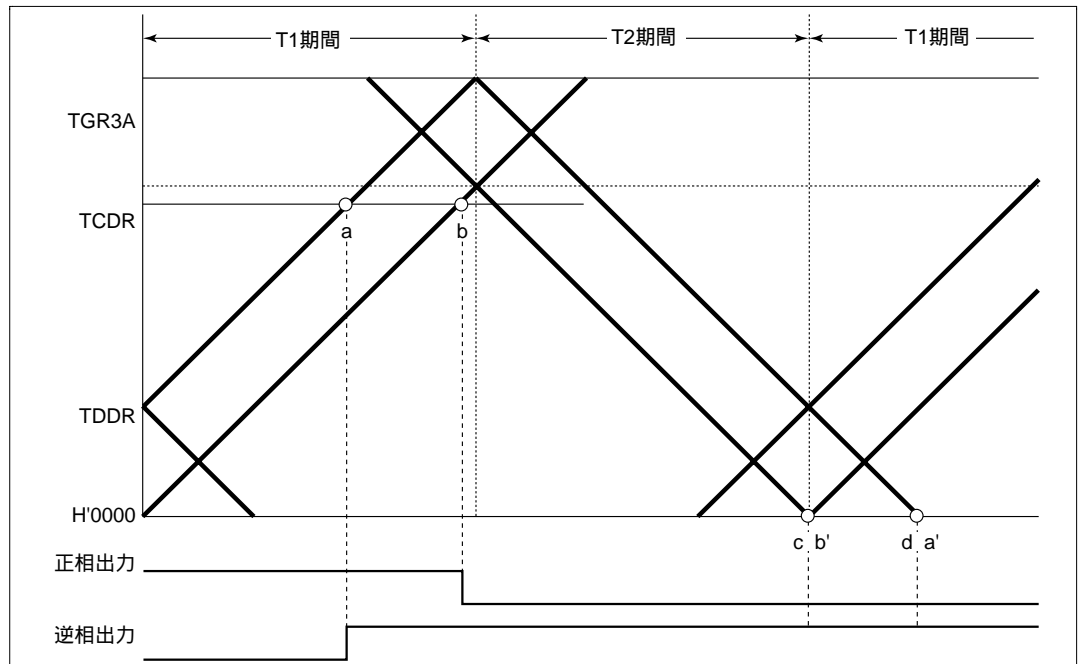


図 12.51 相補 PWM モード 0%、100% 波形出力例 (4)

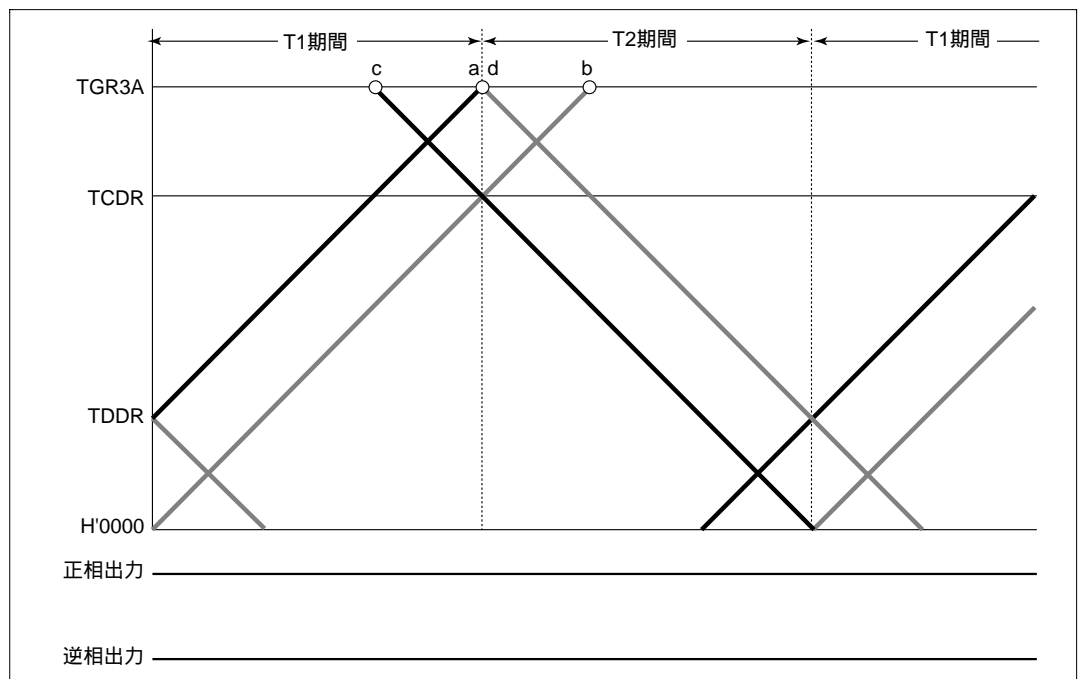


図 12.52 相補 PWM モード 0%、100% 波形出力例 (5)

(j) 相補PWMモードのデューティ 0%、100%出力

相補PWMモードでは、デューティ 0%、100%を任意に出力可能です。図 12.48 ~ 図 12.52 に出力例を示します。

デューティ 100%出力は、データレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、データレジスタの値を TGR3A の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(k) PWM周期に同期したトグル出力

相補PWMモードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 12.53 に示します。

この出力は、TCNT3 と TGR3A のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

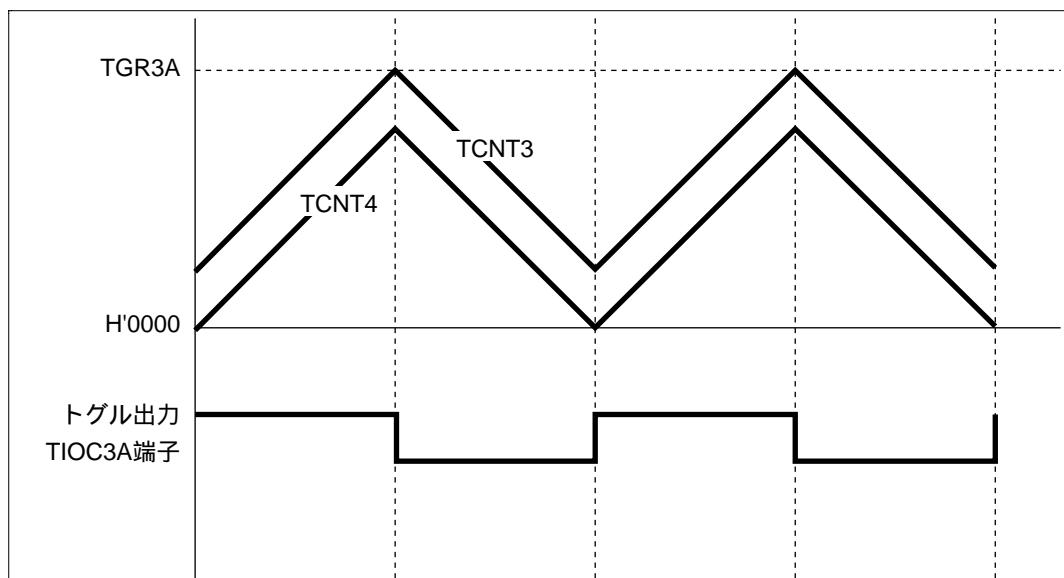


図 12.53 PWM 出力に同期したトグル出力波形例

(1) 他のチャンネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャンネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 により同期クリアを選択することにより他のチャンネルによる TCNT3、TCNT4 および TCNTS のクリアをすることが可能です。

図 12.54 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

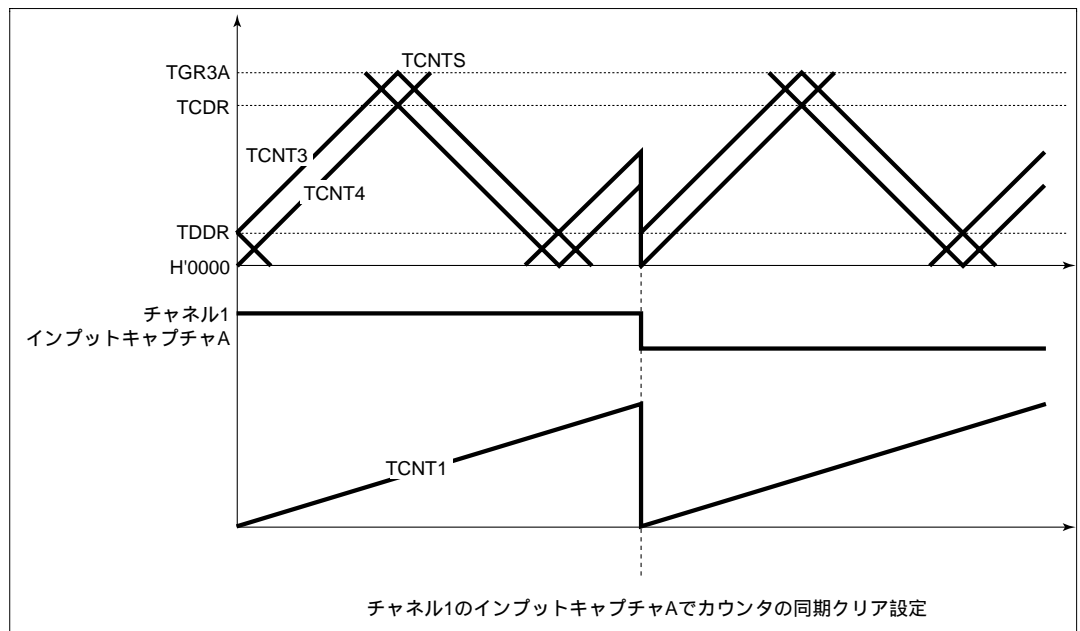


図 12.54 他のチャンネルに同期したカウンタクリア

(m) AC同期モータ (ブラシレスDCモータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレスDCモータを簡単に制御することができます。図 12.55 ~ 図 12.58 に TGCR を使用したブラシレスDCモータの駆動波形例を示します。

3相ブラシレスDCモータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRのFBビットを0に設定します。この場合、磁極位置を示す外部信号をチャンネル0のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (PFCで設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の3つの端子にエッジが発生すると、出力のON/OFFが自動的に切り替わります。

FBビットが1の場合は、TGCRのUF、VF、WFビットの各ビットに0または1を設定すると、出力のON/OFFが切り替わります。

駆動波形の出力は、相補PWMモードの6相出力端子から出力されます。

この6相出力はNビットまたはPビットを1に設定することにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。NビットまたはPビットが0の場合は、レベル出力になります。

また、6相出力のアクティブレベル (ON出力時レベル) は、NビットおよびPビットの設定にかかわらず、タイマアウトプットコントロールレジスタ (TOCR) のOLSNビット、OLSPビットで設定できます。本モードを使用の場合は、6相出力波形をハイアクティブにしてください (Aマスクではローアクティブも可能です)。

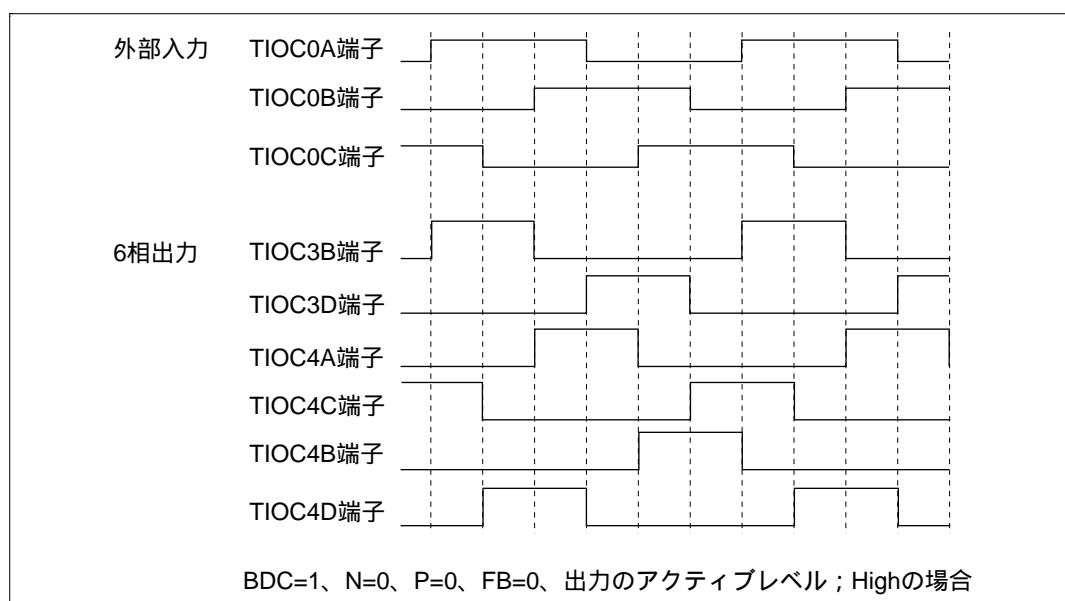


図 12.55 外部入力による出力相の切り替え動作例 (1)

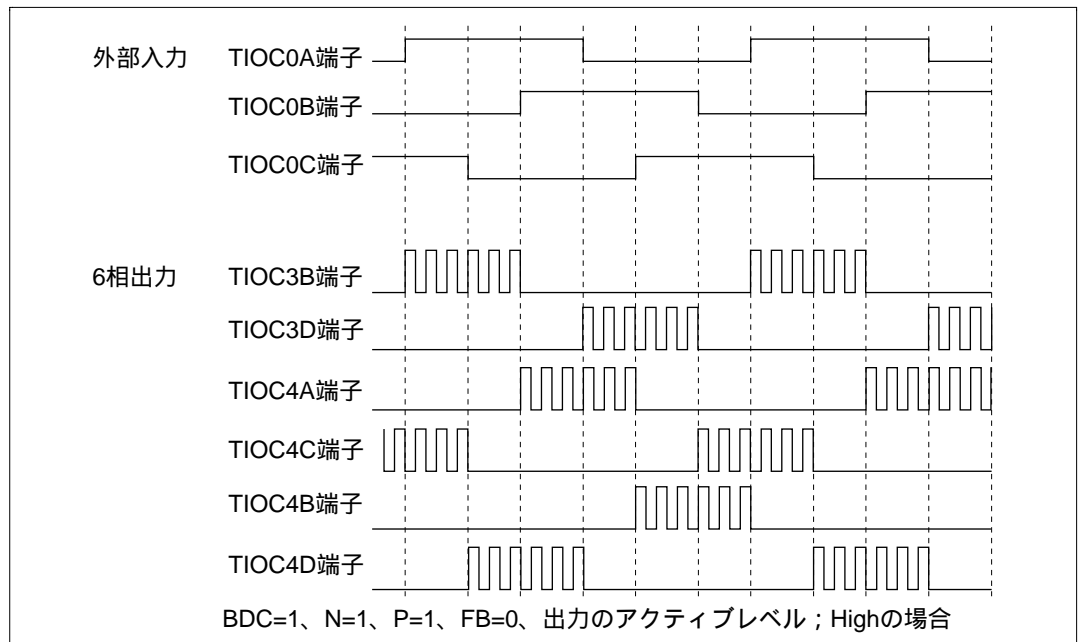


図 12.56 外部入力による出力相の切り替え動作例 (2)

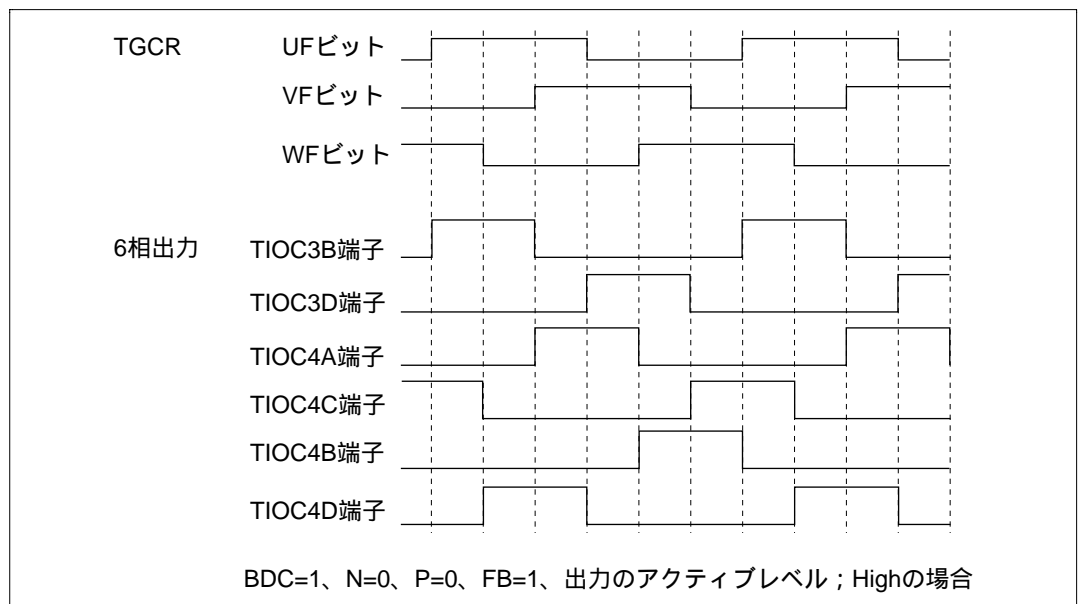


図 12.57 UF、VF、WF ビット設定による出力相の切り替え動作例 (3)

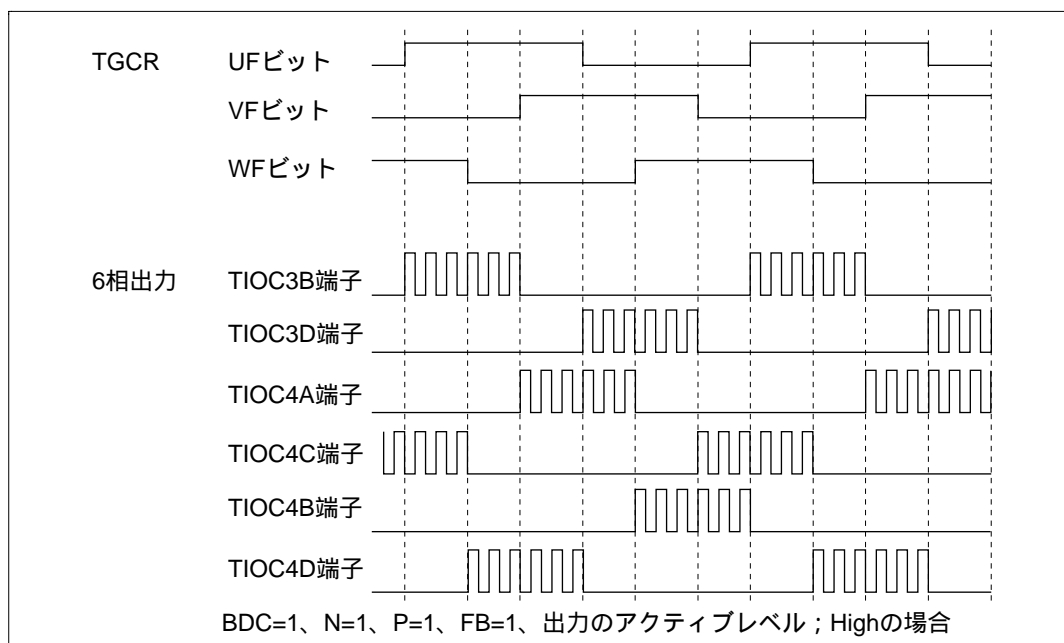


図 12.58 UF、VF、WF ビット設定による出力相の切り替え動作例 (4)

(n) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGR3A のコンペアマッチか、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGR3A のコンペアマッチを使用して開始要求を設定すると、PWM パルスの中心で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイムインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能を持っています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、バスコントローラのバスコントロールレジスタ 1 (BCR1) のビット 13 の設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタ、カウンタは表 12.3 を参照してください。

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。外部信号の入力端子は 4 本あります。

詳細は、「12.9 ポートアウトプットイネーブル (POE)」を参照してください。

(c) 発振停止時の PWM 出力の停止機能

6 相 PWM 出力端子は、本 LSI に入力されているクロックが停止したことを検出して出力端子を自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、「4.4 発振停止検出機能」を参照してください。

12.5 割り込み

12.5.1 割り込み要因と優先順位

MTUの割り込み要因には、TGRレジスタのインプットキャプチャ/コンペアマッチ、TCNTカウンタのオーバフローとアンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込みコントローラへの割り込み要求信号の発生を独立に許可/禁止することができます。

割り込み要因が発生すると、タイマステータスレジスタ (TSR) の対応するステータスフラグが1にセットされます。このときタイマインタラプトイネーブルレジスタ (TIER) の対応する許可/禁止ビットが1にセットされていれば、MTUは割り込みコントローラに対して割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第6章 割り込みコントローラ (INTC)」を参照してください。

MTUの割り込み要因の一覧を表12.13に示します。

(1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRレジスタのインプットキャプチャ/コンペアマッチの発生により、タイマステータスレジスタ (TSR) のTGFフラグが1にセットされたとき、タイマインタラプトイネーブルレジスタ (TIER) のTGIEビットが1にセットされていれば、割り込みコントローラに対して割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。MTUには、チャンネル0、3、4に各4本、チャンネル1、2に各2本、計16本のインプットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTCNTカウンタのオーバフローの発生により、タイマステータスレジスタ (TSR) のTCFVフラグが1にセットされたとき、タイマインタラプトイネーブルレジスタ (TIER) のTCIEVビットが1にセットされていれば、割り込みコントローラに対して割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。MTUには、各チャンネルに1本、計5本のオーバフロー割り込みがあります。

12.5.2 DTC/DMA コントローラの起動

(1) DTC の起動

各チャンネルの TGR レジスタのインプットキャプチャ/コンペアマッチ割り込みは、内蔵データ転送ファコントローラ(DTC)の起動要因とすることができます。詳細は「第 8 章 データ転送ファコントローラ (DTC)」を参照してください。

MTU では、チャンネル 0、3 が各 4 本、チャンネル 1、2 が各 2 本、チャンネル 4 が 5 本、計 17 本のインプットキャプチャ/コンペアマッチ割り込みを DTC の起動要因とすることができます。

(2) DMA コントローラの起動

各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みは、内蔵 DMA コントローラの起動要因とすることができます。詳細は「第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

MTU では、各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを DMA コントローラの起動要因とすることができます。

12.5.3 A/D 変換器の起動

各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチによって、内蔵 A/D 変換器を起動することができます。

各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチの発生により、タイマステータスレジスタ (TSR) の TGFA フラグが 1 にセットされたとき、タイマインタラプトイネーブルレジスタ (TIER) の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、MTU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

MTU では、各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを A/D 変換器の起動要因とすることができます。

12.6 動作タイミング

12.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT カウンタのカウントタイミングを図 12.59 に示します。
 外部クロック動作 (ノーマルモード) の場合の TCNT のカウントタイミングを図 12.60 に、
 外部クロック動作 (位相計数モード) の場合の TCNT のカウントタイミングを図 12.61 に
 示します。

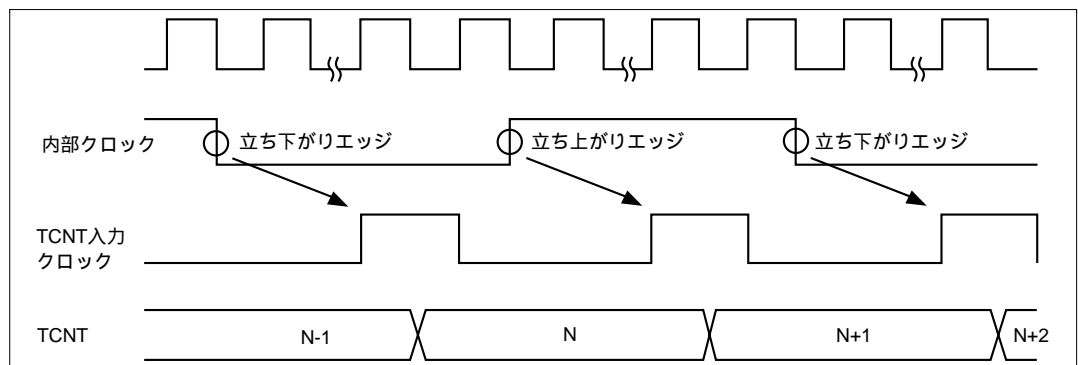


図 12.59 内部クロック動作時のカウントタイミング

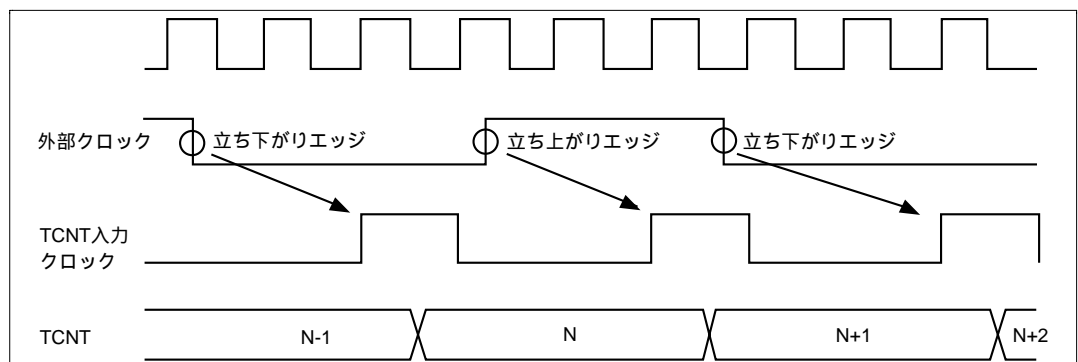


図 12.60 外部クロック動作時のカウントタイミング (ノーマルモード)

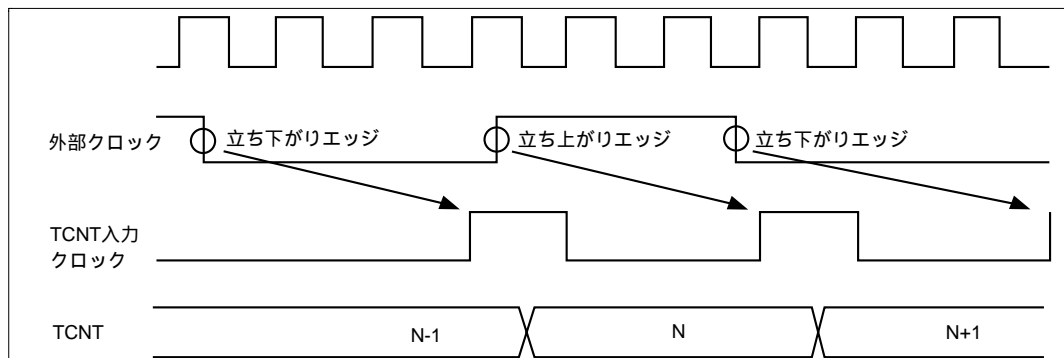


図 12.61 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後の状態で発生します。コンペアマッチ信号が発生したとき、TIOCR または TOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生する直前まで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 12.62 に、アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を図 12.63 に示します。

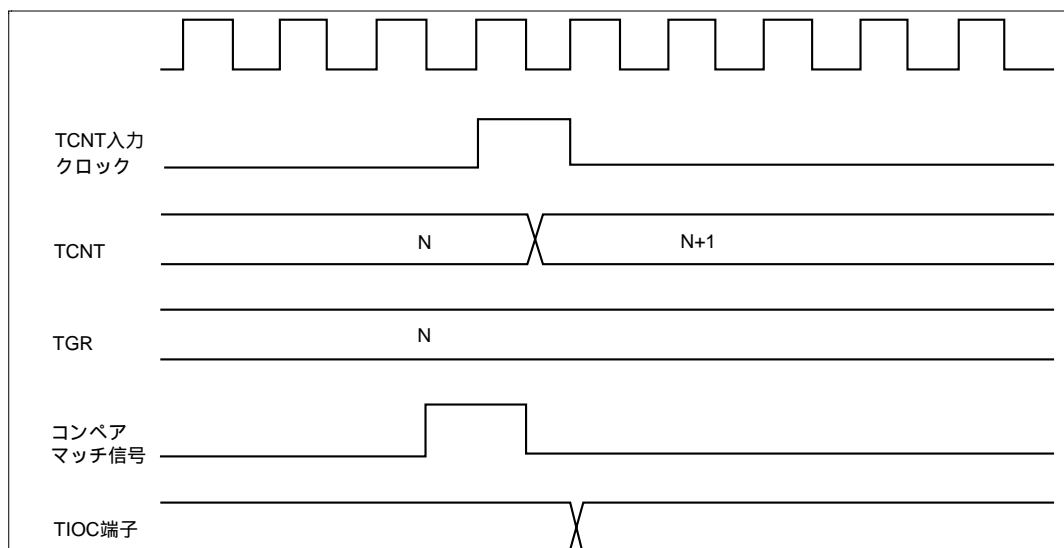


図 12.62 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

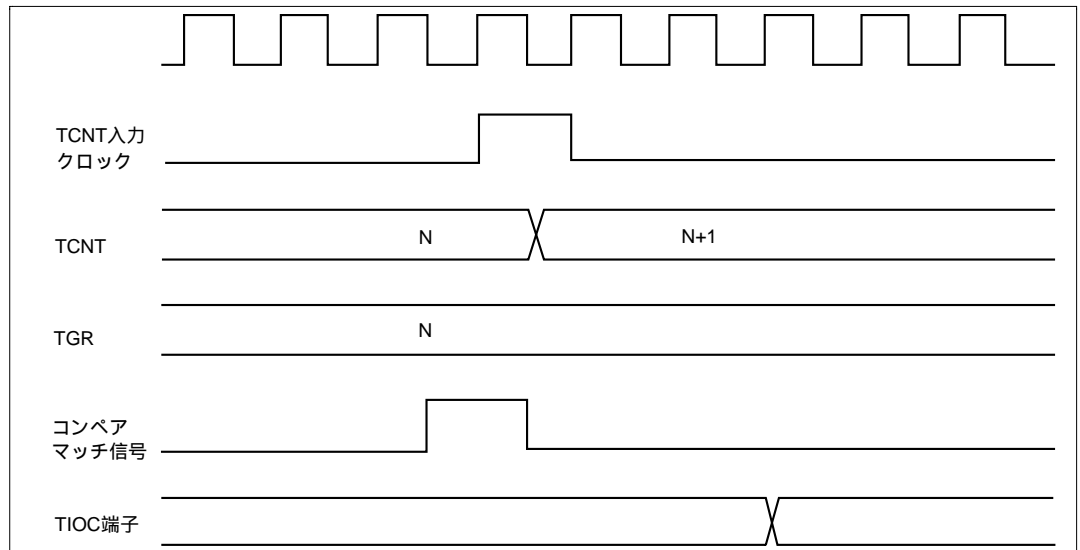


図 12.63 アウトプットコンペア出力タイミング
(相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 12.64 に示します。

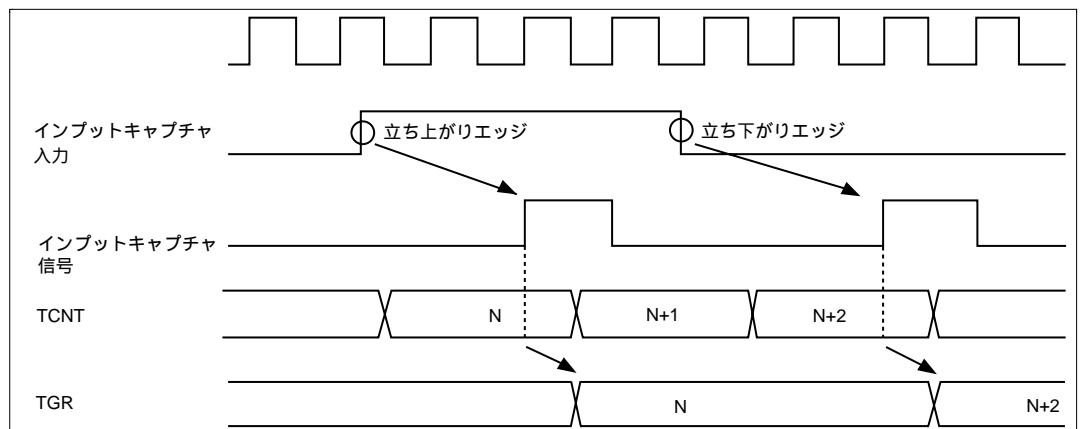


図 12.64 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ / インพุットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 12.65 に示します。

インพุットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 12.66 に示します。

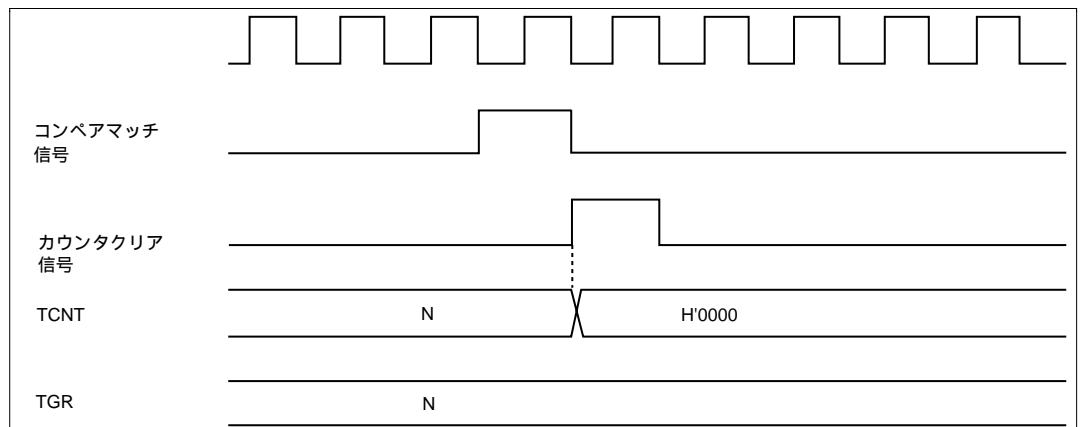


図 12.65 カウンタクリアタイミング (コンペアマッチ)

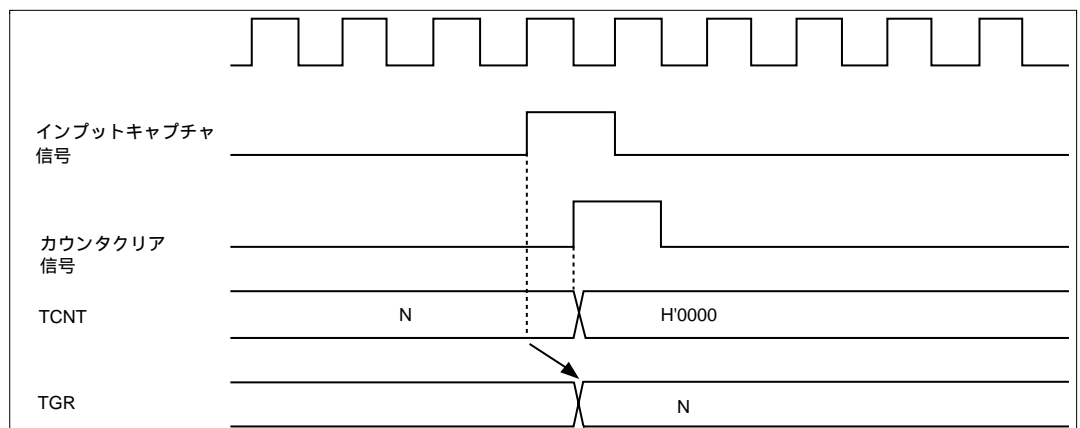


図 12.66 カウンタクリアタイミング (インพุットキャプチャ)

(5) バッファ動作タイミング

コンペアマッチバッファ動作のタイミングを図 12.67 に、インプットキャプチャバッファ動作のタイミングを図 12.68 に示します。

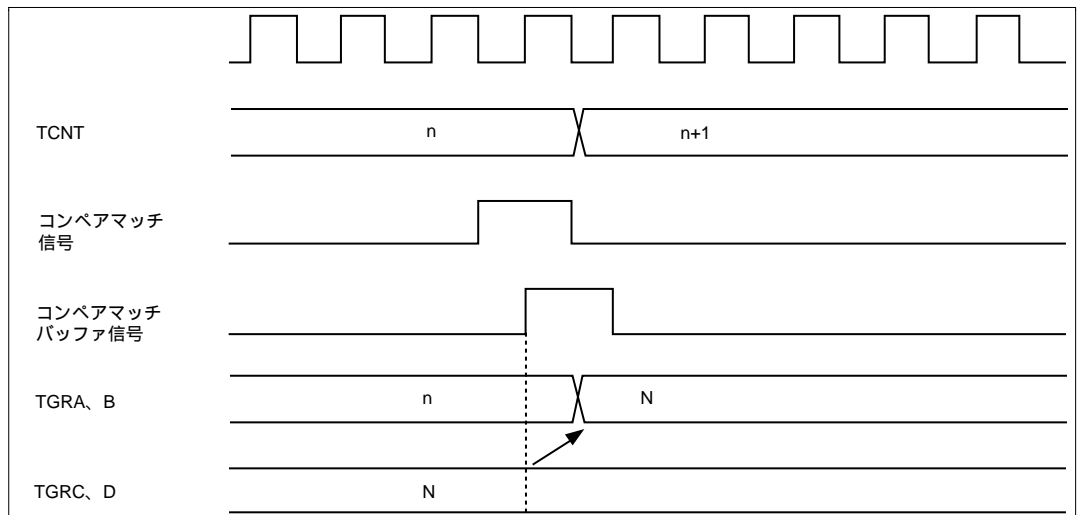


図 12.67 バッファ動作タイミング (コンペアマッチ)

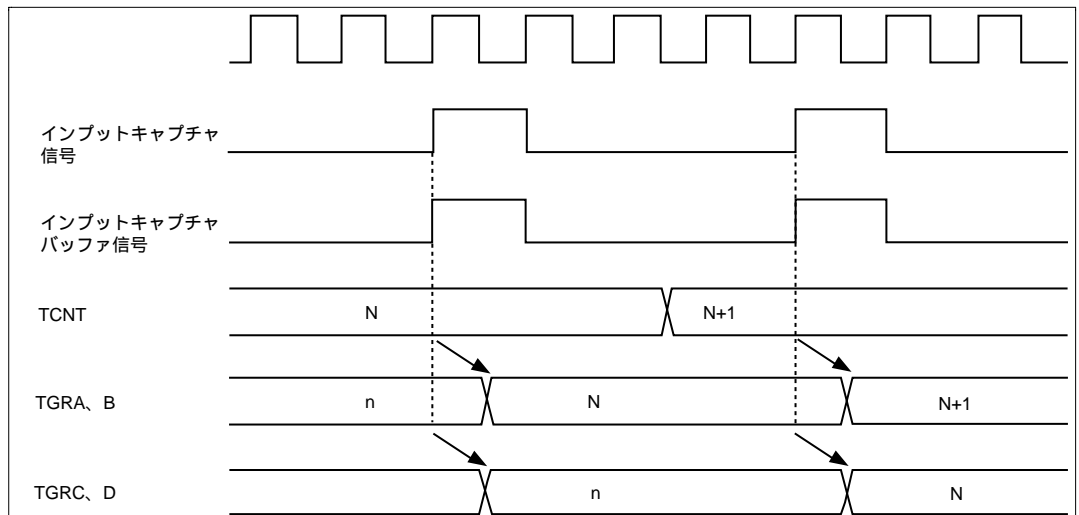


図 12.68 バッファ動作タイミング (インプットキャプチャ)

12.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生によるタイマステータスレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.69 に示します。

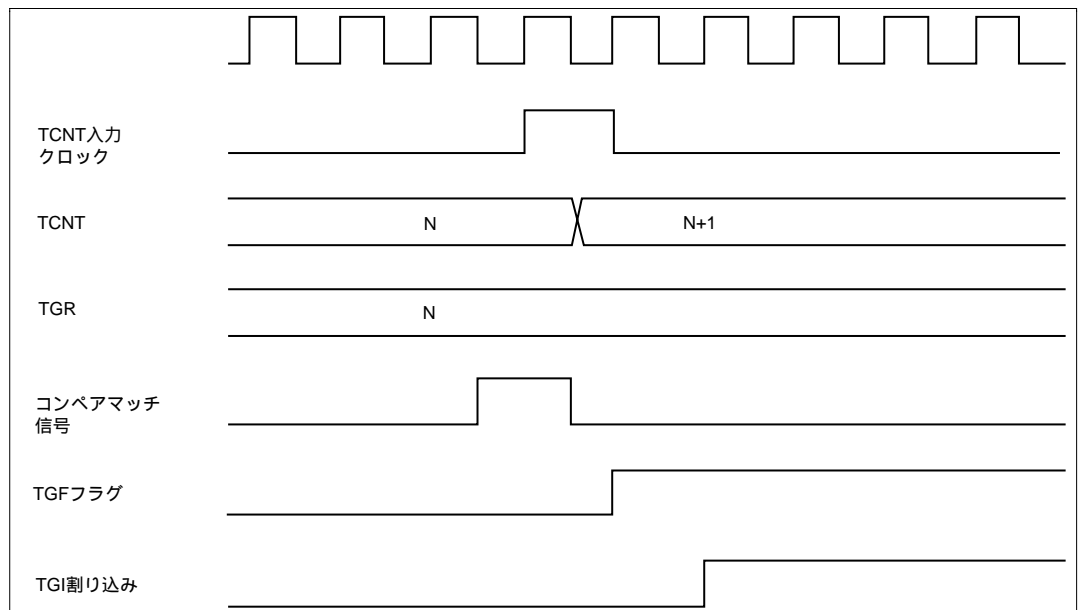


図 12.69 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生によるタイマステータスレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.70 に示します。

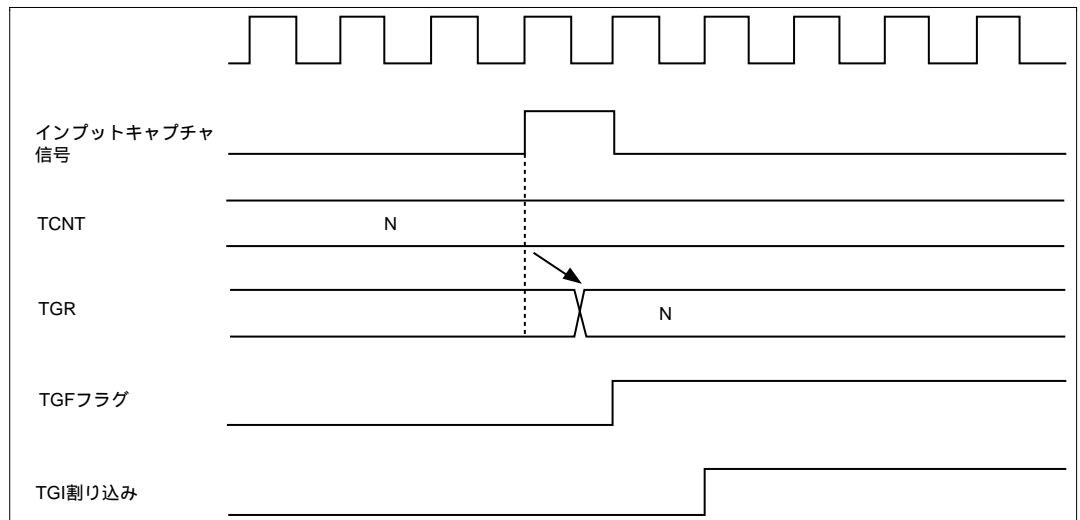


図 12.70 TGI 割り込みタイミング (インพุットキャプチャ)

(3) オーバフローフラグ (TCFV) / アンダフローフラグ (TCFU) のセットタイミング

オーバフローの発生によるタイマステータスレジスタ (TSR) のTCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 12.71 に示します。

アンダフローの発生による TSR レジスタのTCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 12.72 に、相補PWMモードでのアンダフロー発生による TSR4 のTCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 12.73 に示します。

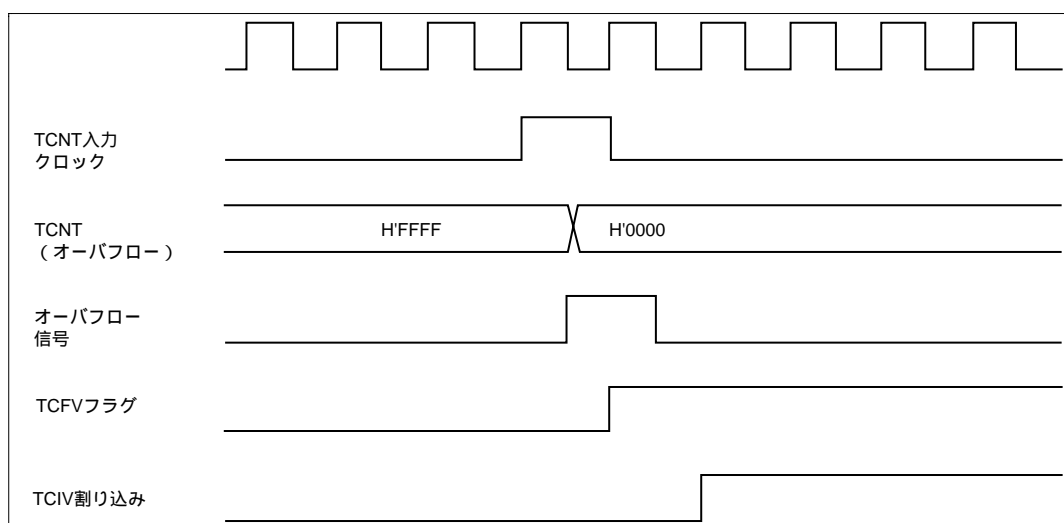


図 12.71 TCIV 割り込みのセットタイミング

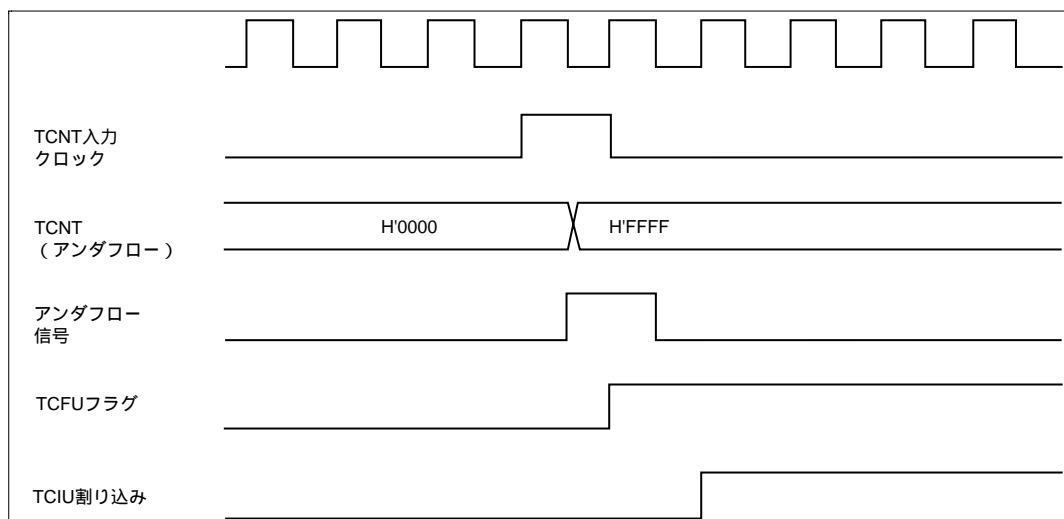


図 12.72 TCIV 割り込みのセットタイミング

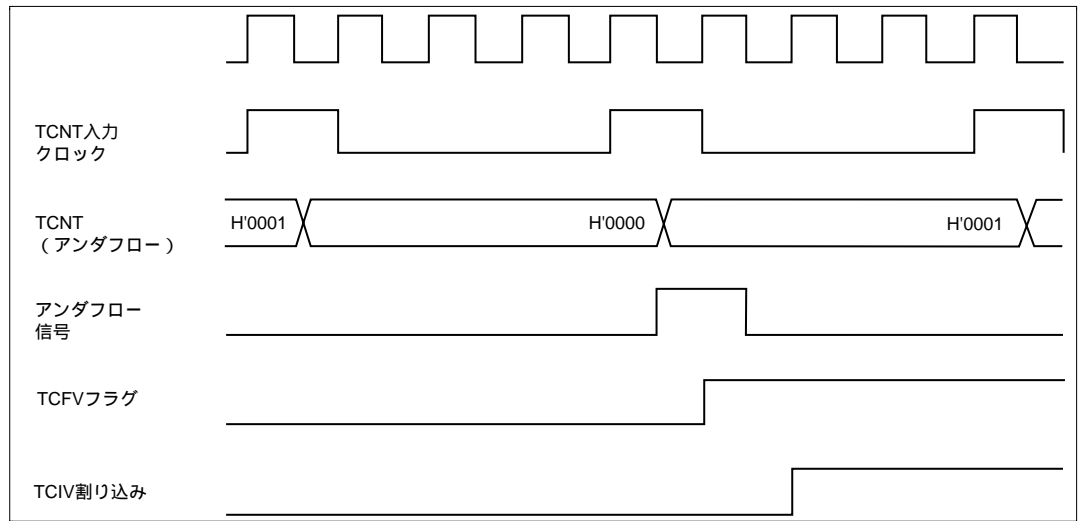


図 12.73 TCIV 割り込みのセットタイミング (TSR4、相補 PWM モード)

(4) ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態を読み出した後、0 を書き込むとクリアされます。DTC/DMA コントローラを起動する場合は、自動的にクリアすることもできます。CPU によるステータスフラグのクリアタイミングを図 12.74 に、DTC/DMA コントローラによるステータスフラグのクリアのタイミングを図 12.75 に示します。

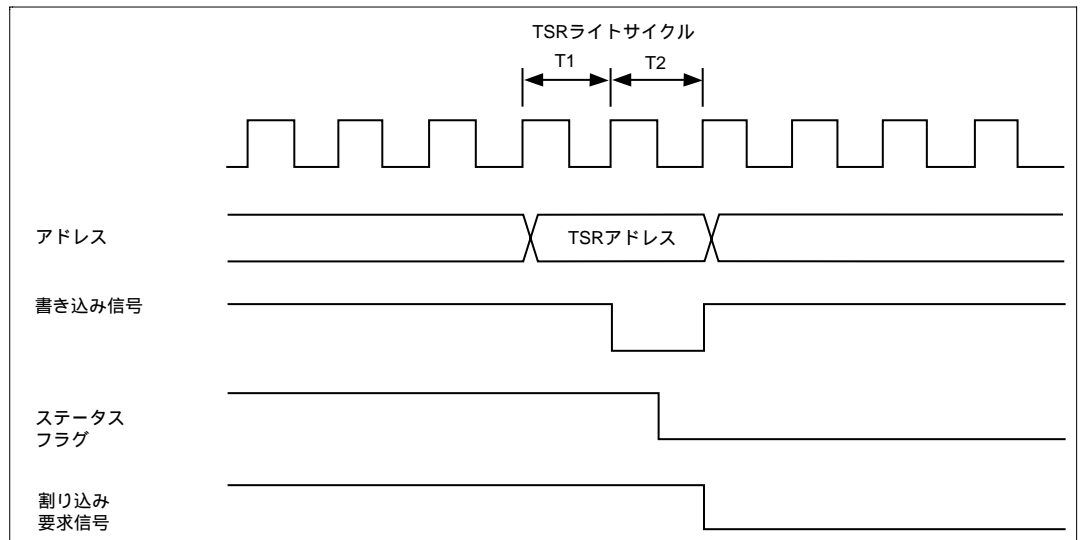


図 12.74 CPU によるステータスフラグのクリアタイミング

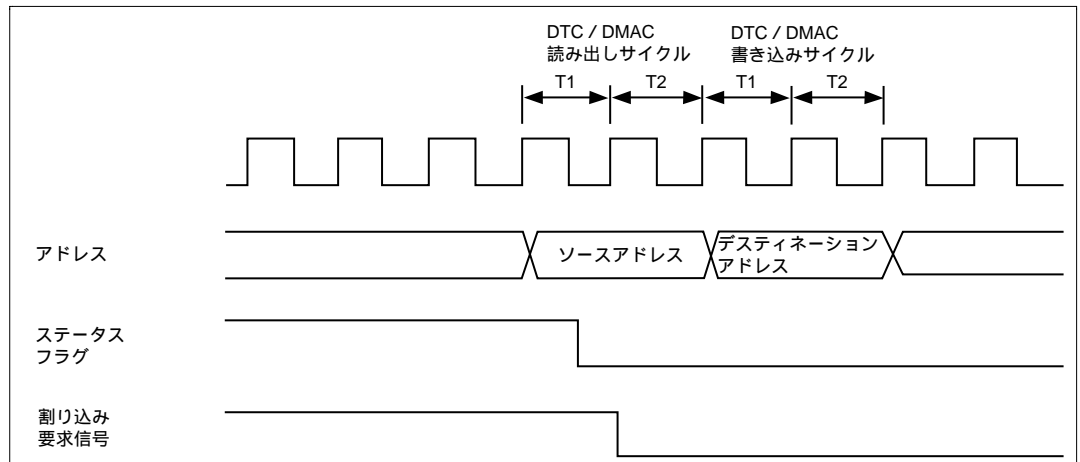


図 12.75 DTC / DMAC の起動によるステータスフラグのクリアタイミング

12.7 使用上の注意

MTU の動作中、以下に示す動作や競合が起こりますので注意してください。

(1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 12.76 に示します。

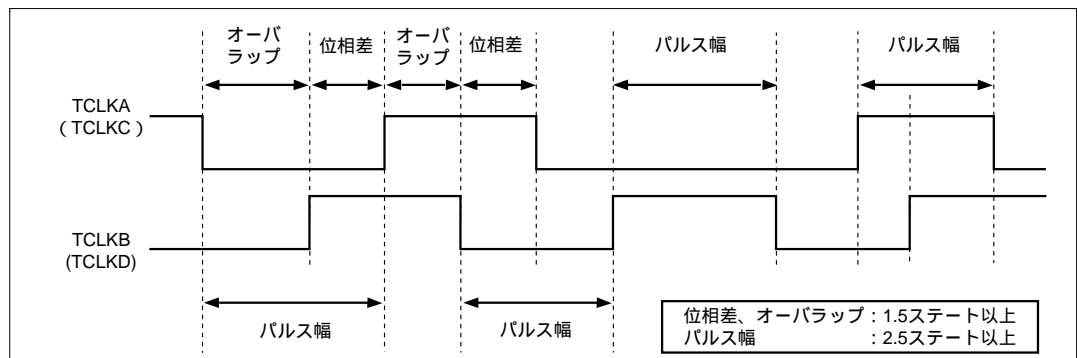


図 12.76 位相計数モード時の位相差、オーバーラップおよびパルス幅

(2) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

$$f = \frac{1}{(N+1)}$$

f : カウンタ周波数

: 動作周波数

N : TGR の設定値

(3) TCNT の書き込みとクリアの競合

タイマカウンタ (TCNT) の書き込みサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 12.77 に示します。

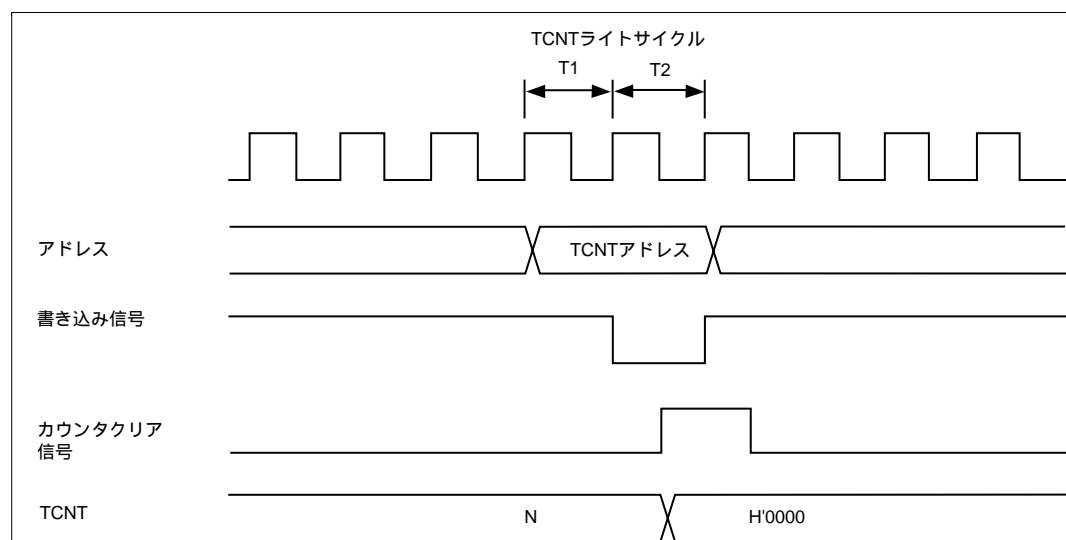


図 12.77 TCNT の書き込みとクリアの競合

(4) TCNT の書き込みとカウントアップの競合

タイマカウンタ (TCNT) の書き込みサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 12.78 に示します。

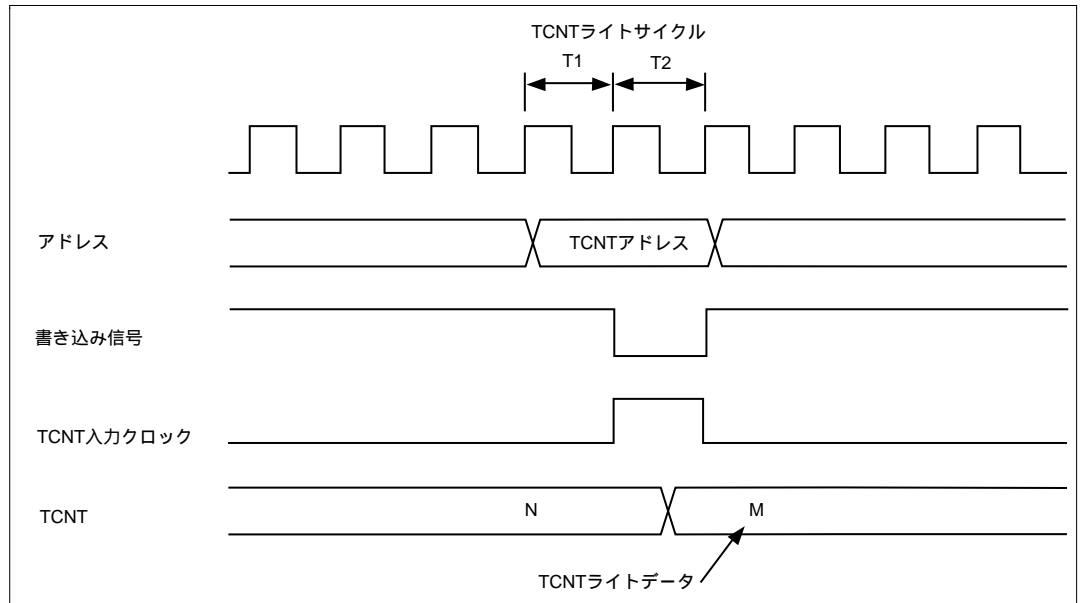


図 12.78 TCNT の書き込みとカウントアップ信号

(5) バッファレジスタの書き込みとコンペアマッチの競合

TGRの書き込みサイクル中のT2状態でコンペアマッチが発生すると、バッファ動作によってバッファレジスタからTGRにデータが転送されます。転送されるデータはチャンネル0とチャンネル3、4では異なり、チャンネル0では書き込み後のデータ、チャンネル3、4では書き込み前のデータです。

このタイミングを図12.79、図12.80に示します。

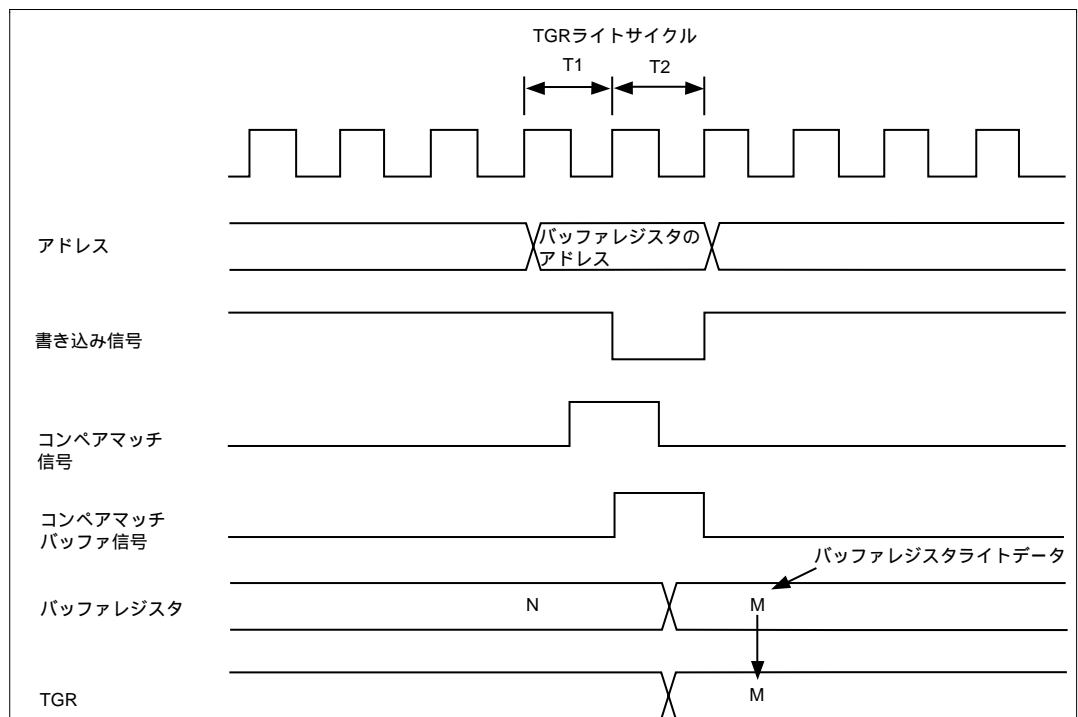


図 12.79 TGRの書き込みとコンペアマッチの競合 (チャンネル0)

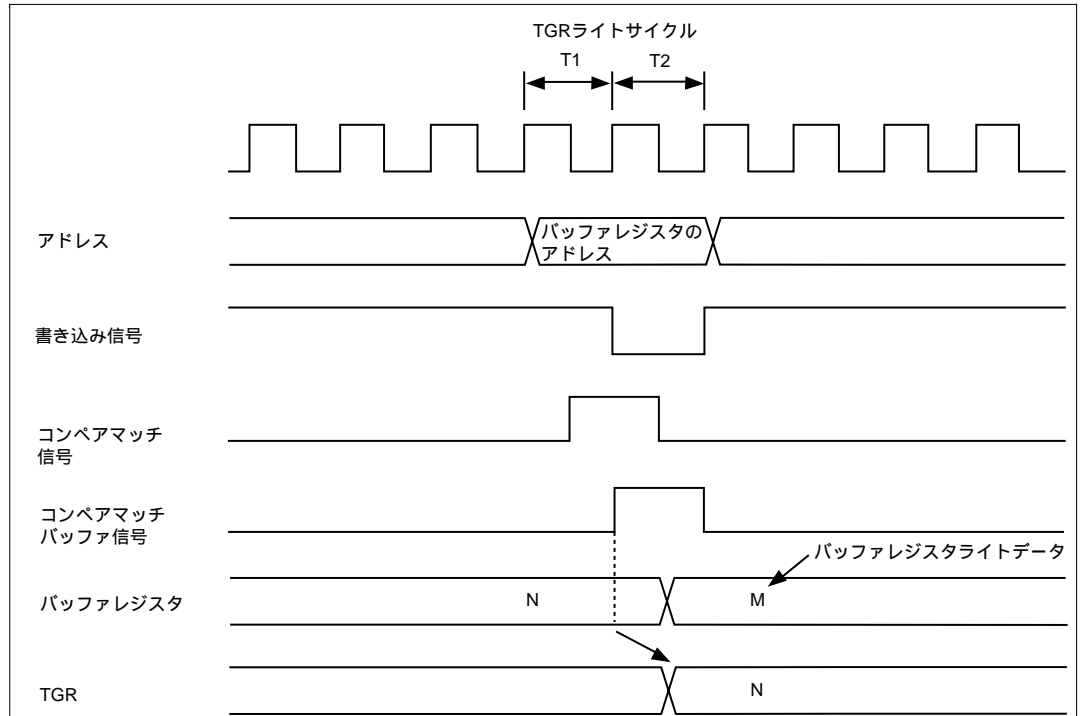


図 12.80 TGR の書き込みとコンペアマッチの競合 (チャンネル3、4)

(6) TGR の読み出しとインプットキャプチャの競合

TGR の読み出しサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、読み出しされるデータはインプットキャプチャ転送後のデータです。

このタイミングを図 12.81 に示します。

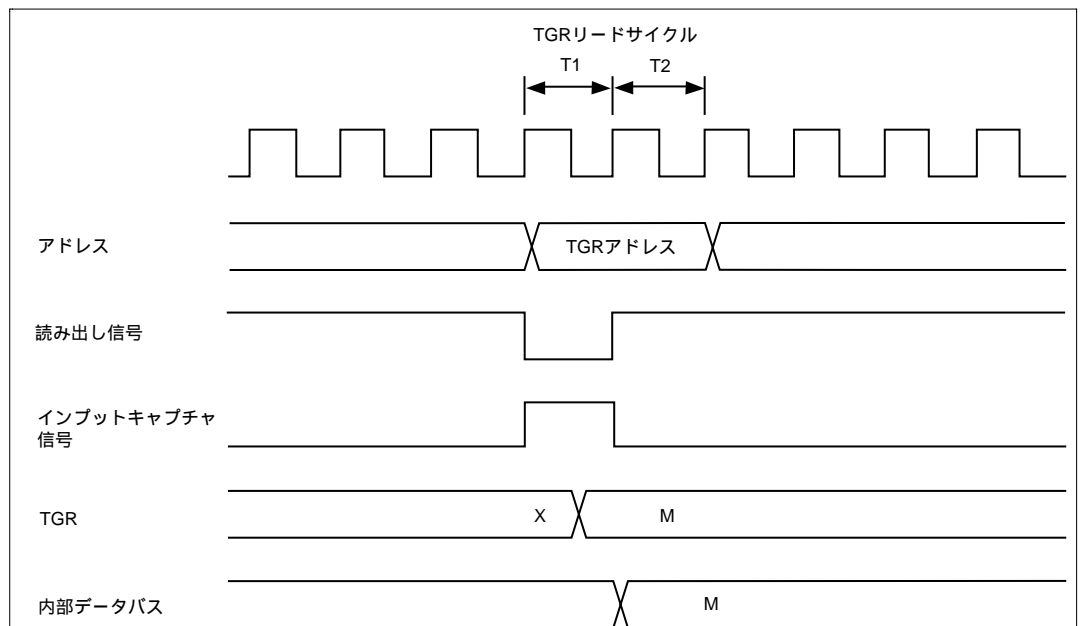


図 12.81 TGR の読み出しとインプットキャプチャの競合

(7) TGR の書き込みと入力キャプチャの競合

TGR の書き込みサイクル中の T2 ステートで入力キャプチャ信号が発生すると、TGR への書き込みは行われず、入力キャプチャが優先されます。

このタイミングを図 12.82 に示します。

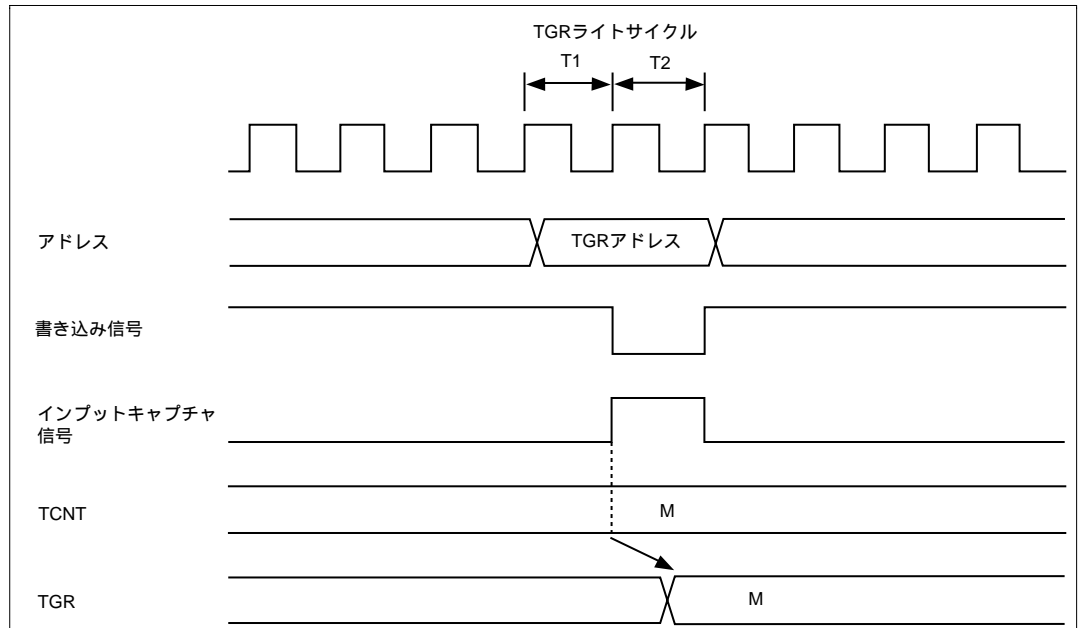


図 12.82 TGR の書き込みと入力キャプチャの競合

(8) バッファレジスタの書き込みとインプットキャプチャの競合

バッファの書き込みサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 12.83 に示します。

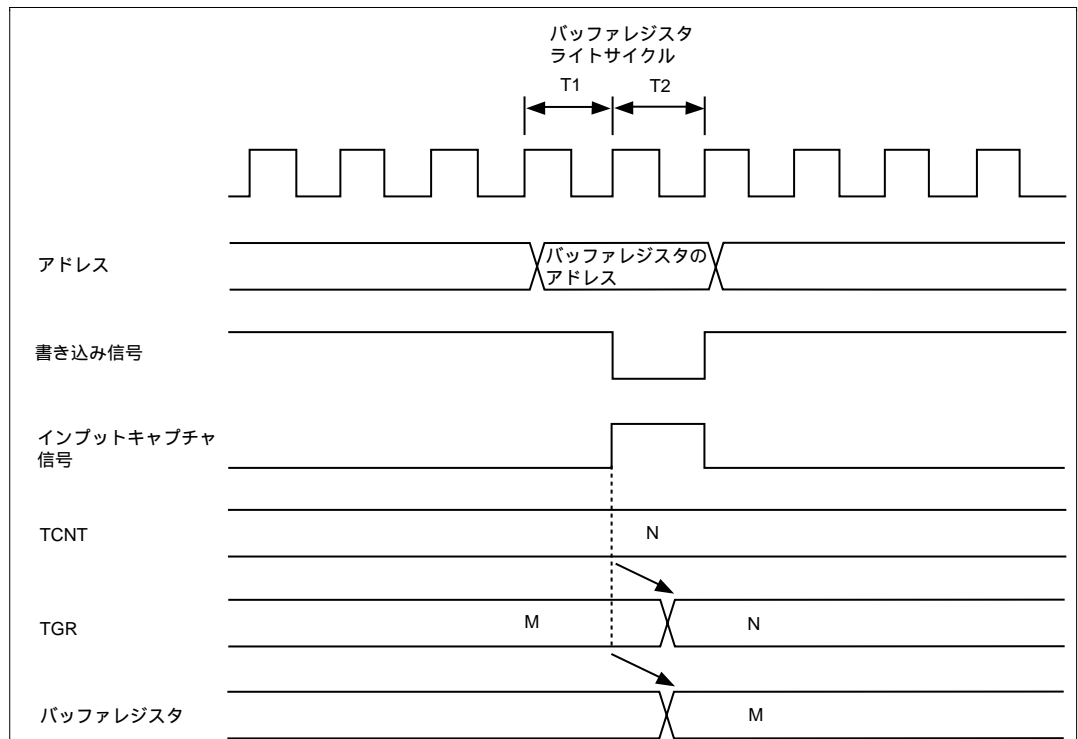


図 12.83 バッファレジスタの書き込みとインプットキャプチャの競合

(9) TGR の書き込みとコンペアマッチの競合

TGR の書き込みサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR には書き込みデータが書き込まれ、コンペアマッチ信号が発生します。

このタイミングを図 12.84 に示します。

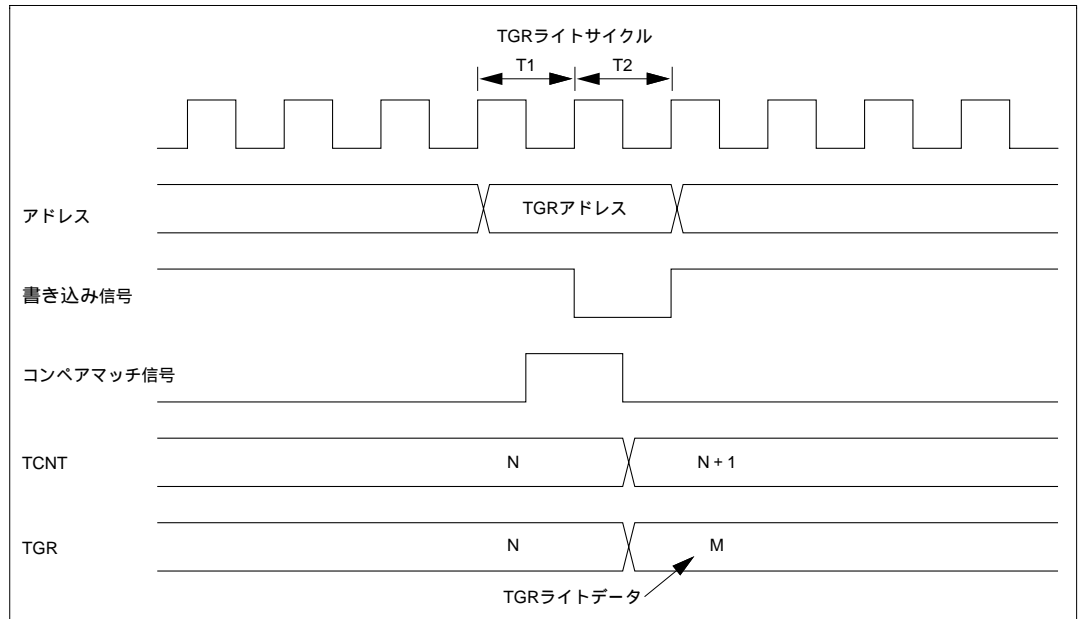


図 12.84 TGR の書き込みとコンペアマッチの競合

(10) カスケード接続における TCNT2 の書き込みとオーバフロー / アンダフローの競合

タイマカウンタ (TCNT1 と TCNT2) をカスケード接続し、TCNT1 がカウントする瞬間 (TCNT2 がオーバフロー / アンダフローする瞬間) と TCNT2 の書き込みサイクル中の T2 ステートが競合すると、TCNT2 への書き込みが行われ、TCNT1 のカウント信号が禁止されます。このとき、TGR1A がコンペアマッチレジスタとして動作し TCNT1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 のインプットキャプチャ要因に TCNT1 カウントクロックを選択した場合には、TGR0A ~ D はインプットキャプチャ動作します。さらに TGR1B のインプットキャプチャ要因に TGR0C のコンペアマッチ / インプットキャプチャを選択した場合には、TGR1B はインプットキャプチャ動作します。

このタイミングを図 12.85 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

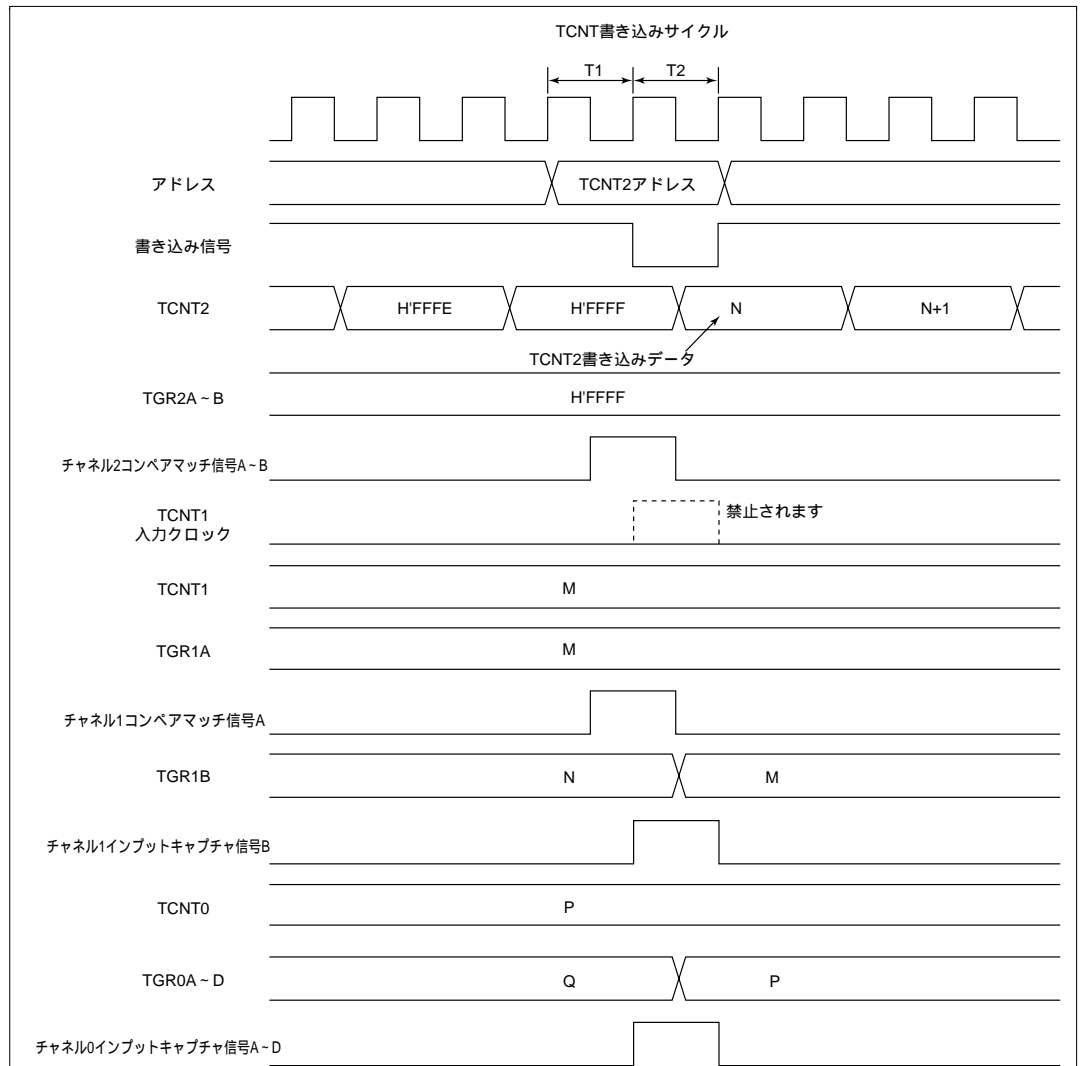


図 12.85 カスケード接続における TCNT2 の書き込みとオーバフロー / アンダフローの競合

(11) 相補 PWM モード停止時のカウンタ値

TCNT3、TCNT4 が相補 PWM モードで動作しているときにカウント動作を停止すると、TCNT3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 12.86 に示します。

また、他の動作モードでカウントを開始する場合は TCNT3、TCNT4 にカウント初期値の設定を行ってください。

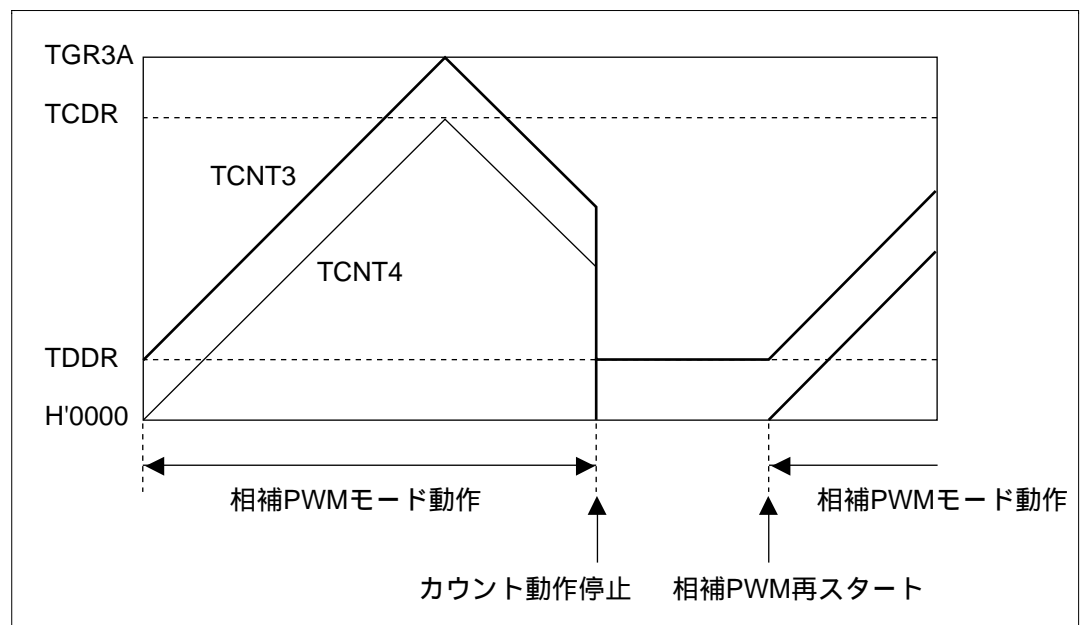


図 12.86 相補 PWM モード停止時のカウンタ値

(12) 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGR3A)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGR3B、TGR4A、TGR4B) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR3 の BFA、BFB ビットの設定に従い動作します。TMDR3 の BFA ビットを 1 にセットした場合、TGR3C は TGR3A のバッファレジスタとして機能します。同時に TGR4C は TGR4A のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

(13) リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR4 の BFA、BFB ビットを 0 に設定してください。TMDR4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR3 の BFA、BFB ビットの設定に従い動作します。例えば、TMDR3 の BFA ビットを 1 にセットした場合、TGR3C は TGR3A のバッファレジスタとして機能します。同時に TGR4C は TGR4A のバッファレジスタとして機能します。

リセット同期 PWM モード時でバッファ動作を設定した場合、コンペアマッチフラグ TGFC ビットと TGFD ビットの動作が TSR3 と TSR4 で異なるため、特に注意してください。

TSR3 の TGFC ビットと TGFD ビットは TGR3C、TGR3D がバッファレジスタとして動作している場合、セットされることはありません。一方、TSR4 の TGFC ビットと TGFD ビットは TGR4C、TGR4D がバッファレジスタとして動作している場合でもセットされません。

リセット同期 PWM モードでバッファ動作を設定した場合には、タイマインタラプトイネーブルレジスタ (TIER4) の TGIEC ビットと TGIED ビットを 0 に設定し、割り込み出力を禁止してください。

TMDR3 の BFA、BFB ビットを 1 にセットし、TMDR4 の BFA、BFB ビットを 0 にセットした場合の TGR3、TGR4、TIOC3、TIOC4 の動作例を図 12.87 に示します。

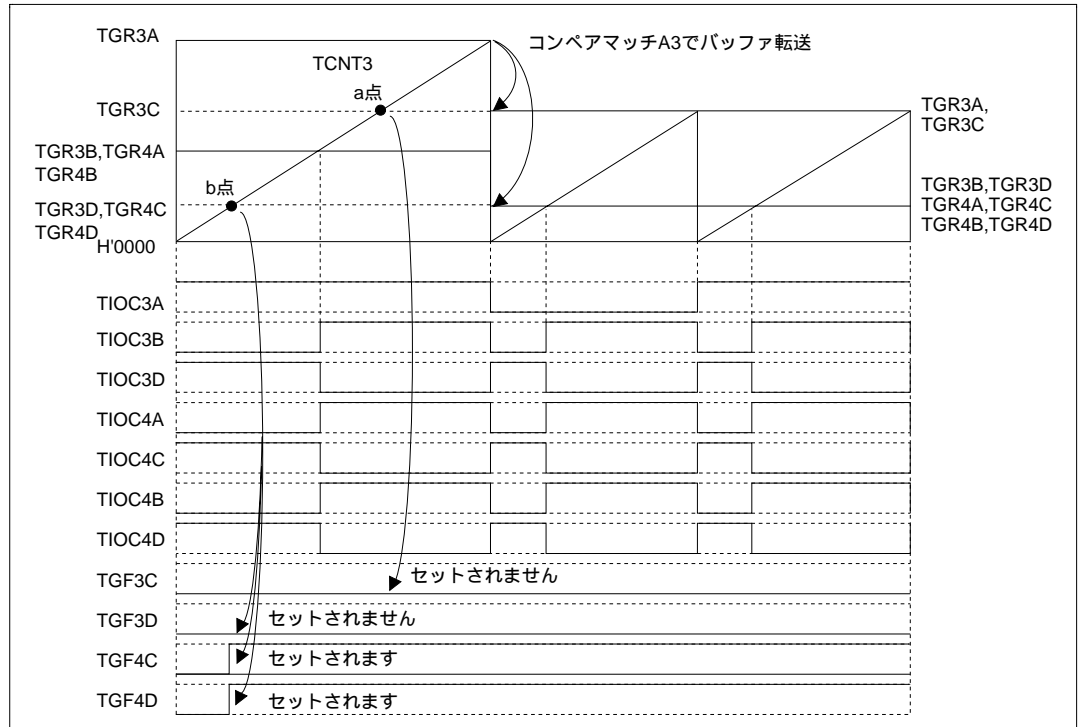


図 12.87 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

A マスクの動作

A マスクの場合、上記動作は次のように修正されています。

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR4 の BFA、BFB ビットを 0 に設定してください。TMDR4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR3 の BFA、BFB ビットの設定に従い動作します。例えば、TMDR3 の BFA ビットを 1 にセットした場合、TGR3C は TGR3A のバッファレジスタとして機能します。同時に TGR4C は TGR4A のバッファレジスタとして機能します。

リセット同期 PWM モード時でバッファ動作を設定した場合、コンペアマッチフラグ TGFC ビットと TGF4D ビットの動作が TSR3 と TSR4 で異なります。

TSR3 の TGFC ビットと TGF4D ビットは TGR3C、TGR3D がバッファレジスタとして動作している場合、セットされることはありません。一方、TSR4 の TGFC ビットと TGF4D ビットも TGR4C、TGR4D がバッファレジスタとして動作している場合、セットされません。

リセット同期 PWM モードでバッファ動作を設定した場合には、タイムインタラプトイネーブルレジスタ (TIER4) の TGIEC ビットと TGIED ビットを 0 に設定し、割り込み出力を禁止する必要はありません。

TMDR3 の BFA、BFB ビットを 1 にセットし、TMDR4 の BFA、BFB ビットを 0 にセットした場合の TGR3、TGR4、TIOC3、TIOC4 の動作例を図 12.88 に示します。

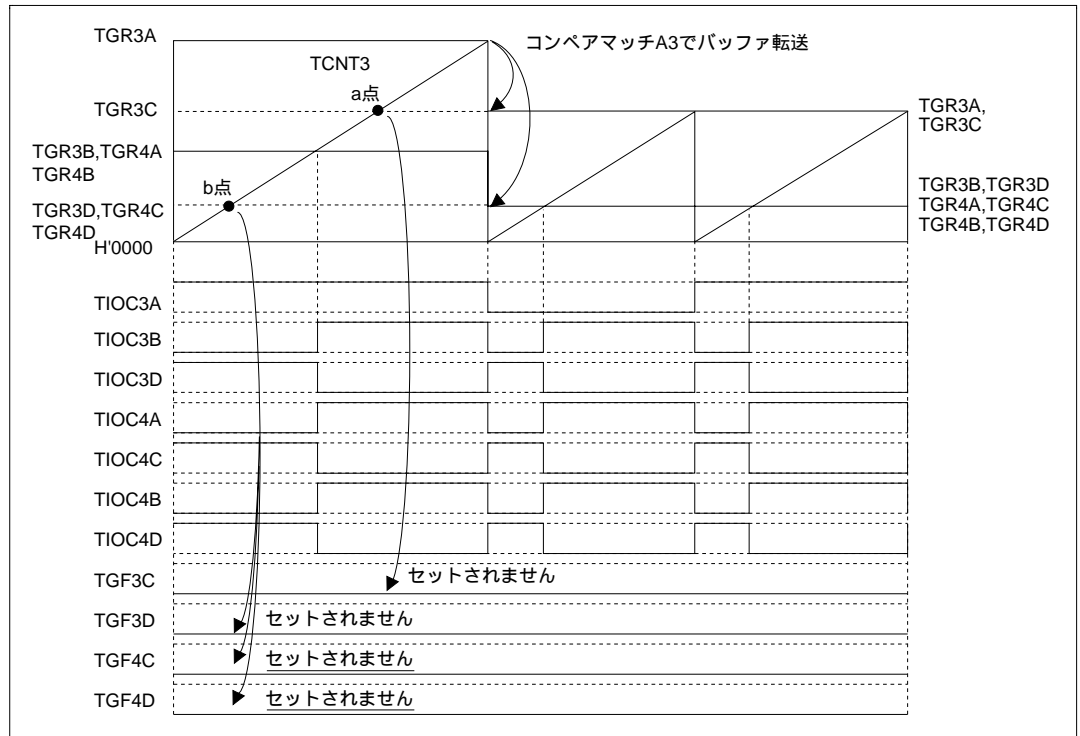


図 12.88 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ (A マスクの場合)

(14) リセット同期 PWM モードのオーバフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT3 と TCNT4 のカウント動作が開始します。このとき、TCNT4 のカウントクロックソースとカウントエッジは TCR3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGR3A の設定値を H'FFFF とし、カウンタクリア要因に TGR3A のコンペアマッチを指定した場合、オーバフローフラグ TCFV ビットの動作が TSR3 と TSR4 で異なるため注意してください。

TCNT3、TCNT4 がアップカウントし H'FFFF になると、TGR3A とのコンペアマッチが発生し、TCNT3、TCNT4 とともにカウントクリアされます。このとき、TSR3 の TCFV ビットはセットされませんが、TSR4 の TCFV ビットはセットされます。

チャンネル 3 とチャンネル 4 の同期設定を行うことによりこれを回避することができます。タイマシンクロレジスタ (TSYR) の SYNC3、SYNC4 ビットを 1 にセットし、カウンタクリア要因には TCR3 で TGR3A とのコンペアマッチ、TCR4 で同期クリアを指定することにより、チャンネル 3 とチャンネル 4 を同時設定することができます。

リセット同期 PWM モードで周期レジスタ TGR3A の設定値を H'FFFF とし、カウンタクリア要因に TGR3A のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 12.89 に示します。

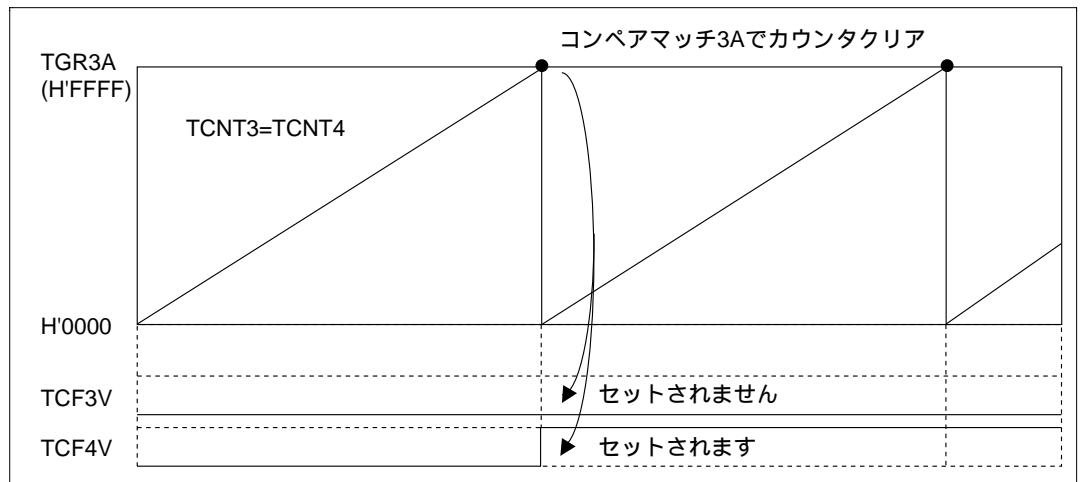


図 12.89 リセット同期 PWM モードのオーバフローフラグ

A マスクの動作

A マスクの場合、上記動作は次のように修正されています。

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT3 と TCNT4 のカウント動作が開始します。このとき、TCNT4 のカウントクロックソースとカウントエッジは TCR3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGR3A の設定値を H'FFFF とし、カウンタクリア要因に TGR3A のコンペアマッチを指定した場合、オーバフローフラグ TCFV ビットの動作が TSR3 と TSR4 で異なります。

TCNT3、TCNT4 がアップカウントし H'FFFF になると、TGR3A とのコンペアマッチが発生し、TCNT3、TCNT4 とともにカウントクリアされます。このとき、TSR3 と TSR4 の TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGR3A の設定値を H'FFFF とし、カウンタクリア要因に TGR3A のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 12.90 に示します。

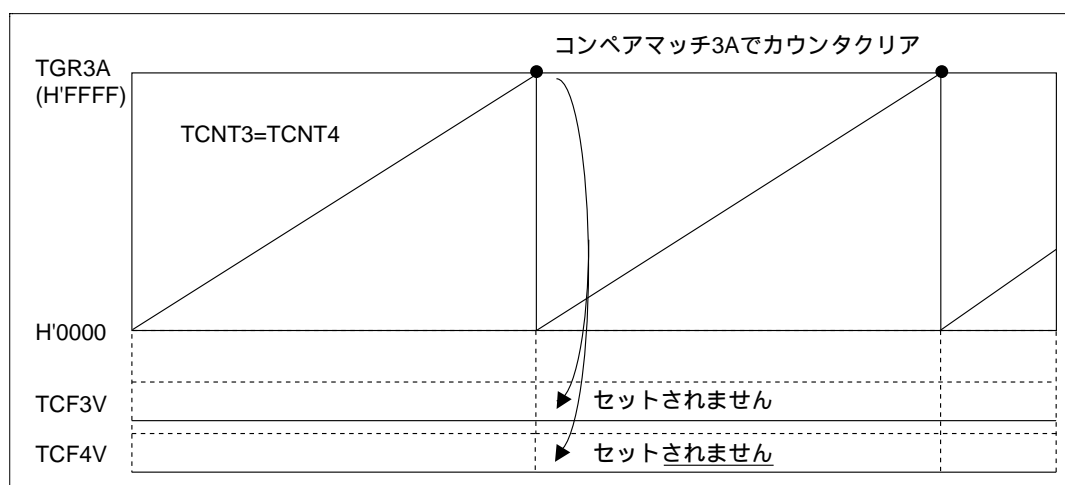


図 12.90 リセット同期 PWM モードのオーバフローフラグ (A マスクの場合)

(15) 相補 PWM モードのコンペアマッチフラグの特異点

相補 PWM モードではバッファレジスタのコンペアマッチフラグは TCNT3、TCNT4、TCNTS の3つのカウンタと比較する区間のみでセットされます。

ただし、バッファレジスタの設定値をデッドタイム(T_d)、 $2T_d$ 、 $TGR3A-T_d$ 、 $TGR3A-2T_d$ に設定した場合には、バッファレジスタのコンペアマッチフラグがセットされない場合がありますので注意してください。

デューティ設定レジスタを TGR3B、バッファレジスタを TGR3D とし、バッファレジスタの設定値を $TGR3A-T_d$ とした場合の説明図を図 12.91 に示します。

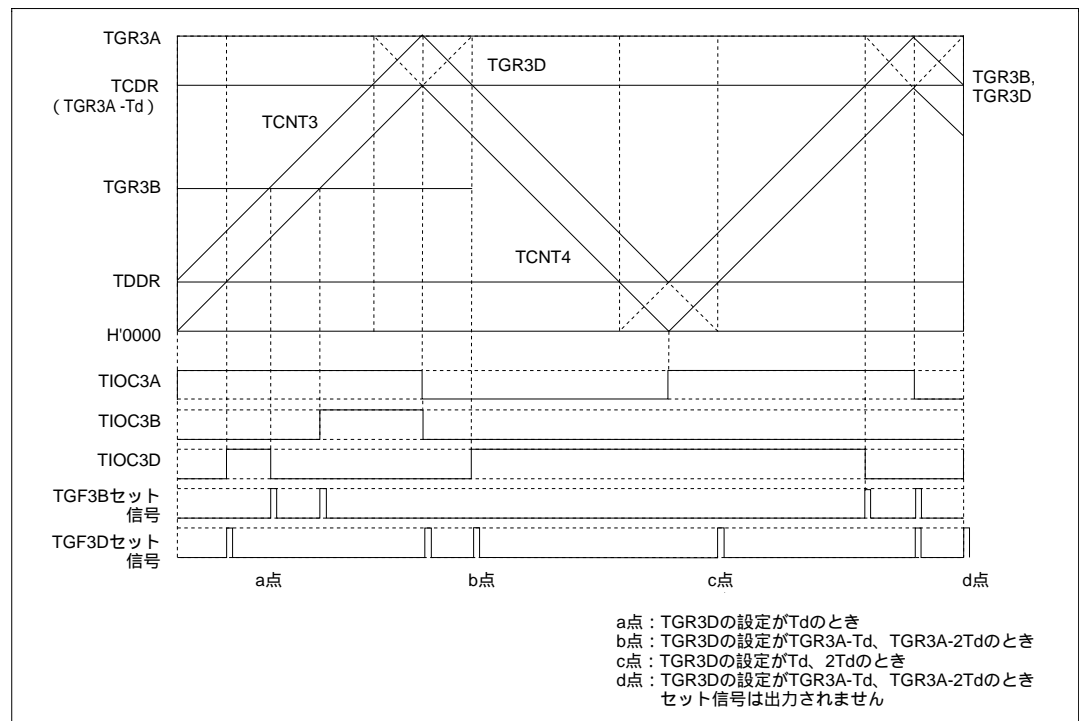


図 12.91 相補 PWM モードのコンペアマッチフラグの特異点

A マスクの動作

A マスクの場合、上記動作は次のように修正されています。

相補 PWM モードではバッファレジスタのコンペアマッチフラグは TCNT3、TCNT4、TCNTS の3つのカウンタと比較する区間のみでセットされます。

コンペアマッチフラグの特異点はなくなり、すべてのバッファレジスタの設定値に対してバッファレジスタのコンペアマッチフラグがセットされます。

デューティ設定レジスタを TGR3B、バッファレジスタを TGR3D とし、バッファレジスタの設定値を TGR3A-Td とした場合の説明図を図 12.92 に示します。

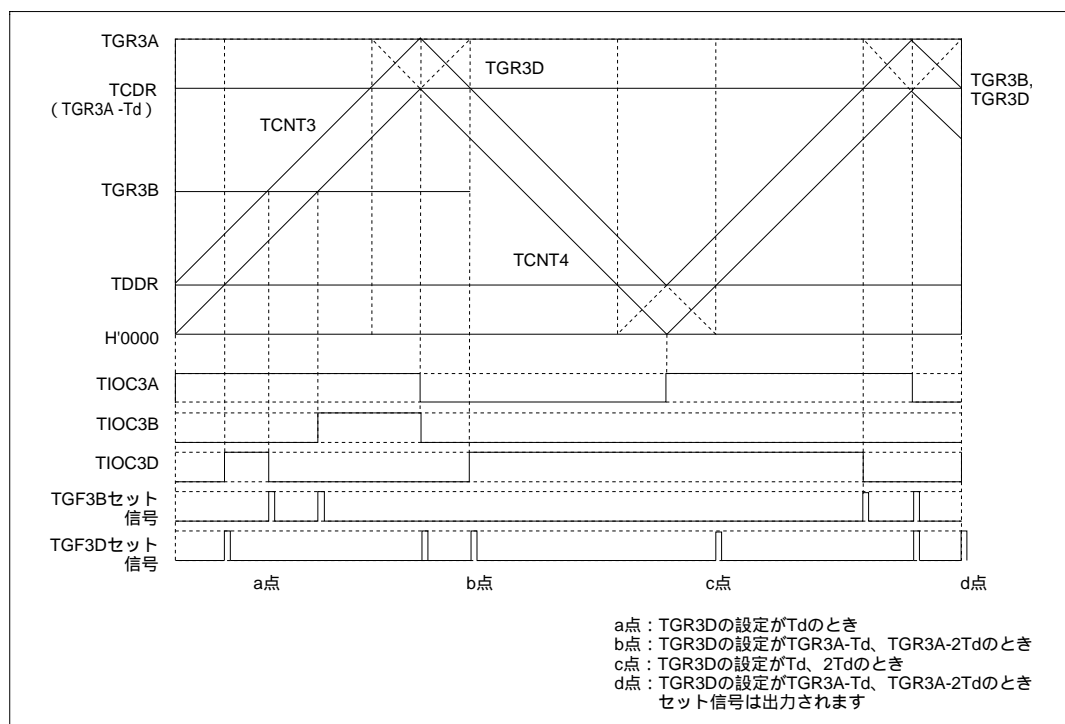


図 12.92 相補 PWM モードのコンペアマッチフラグの特異点
(A マスクの場合)

(16) オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 12.93 に示します。

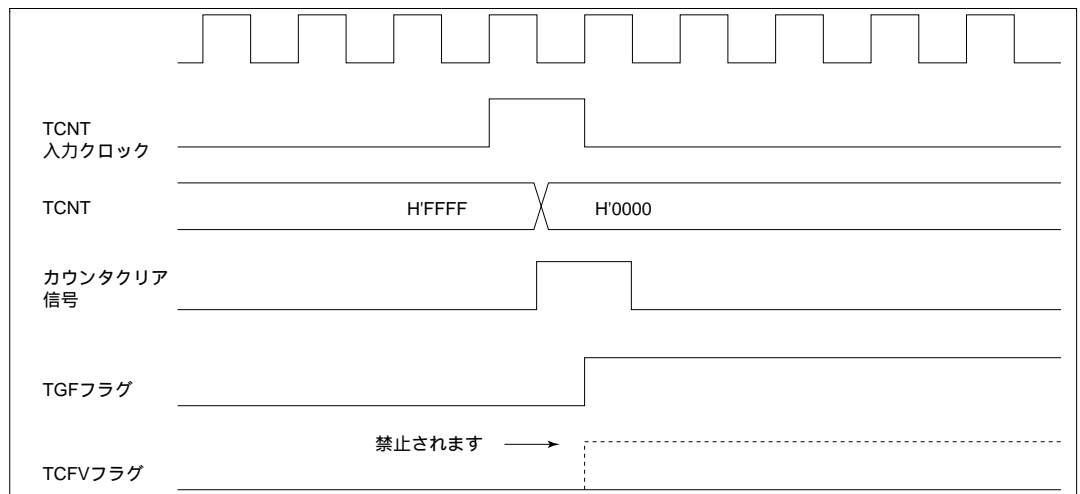


図 12.93 オーバフローとカウンタクリアの競合

(17) TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても TCNT への書き込みが優先され、TSR の TCFV/TCFU フラグはセットされません。

このタイミングを図 12.94 に示します。

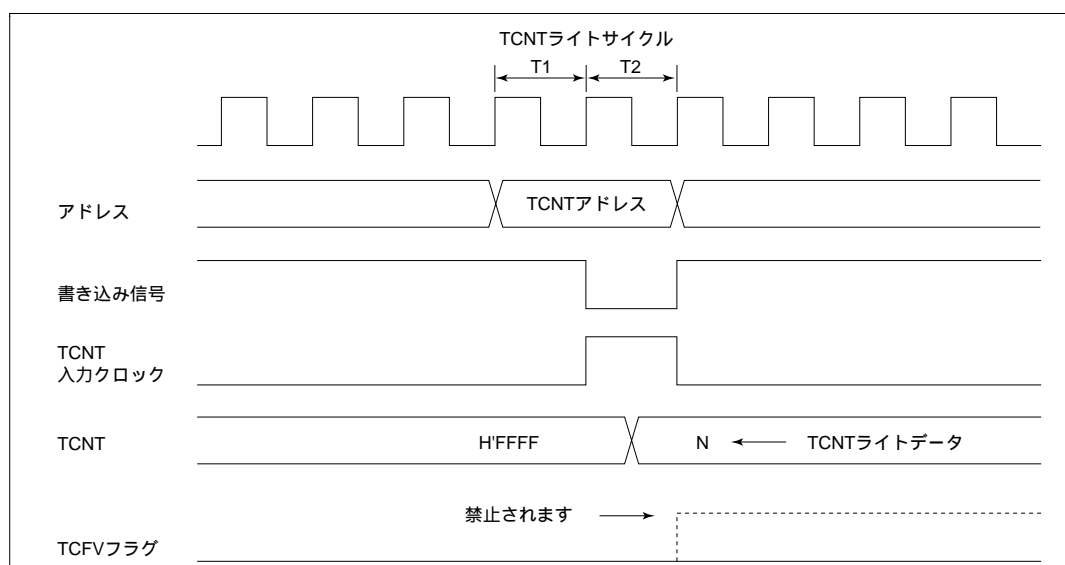


図 12.94 TCNT の書き込みとオーバフローの競合

(18) 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル 3、4 の通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D) をハイレベルの状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期 PWM モードに遷移する場合には、TIOR3H、TIOR3L、TIOR4H、TIOR4L レジスタに H'11 を書いて出力端子をローレベルに初期化した後、レジスタの初期値 H'00 を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値 H'00 を設定してからリセット同期 PWM モードに遷移してください。

(19) 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル 3、4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルはタイマアウトプットコントロールレジスタ (TOCR) の OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR は H'00 としてください。

(20) 相補 PWM モードまたはリセット同期 PWM モードでチョッピング機能を使用する場合の注意事項 (A マスクには適用されません。)

チャンネル 3、4 を相補 PWM モードまたはリセット同期 PWM モードで使用し、タイマゲートコントロールレジスタ (TGCR) の設定によりチョッピング機能を使用する場合、タイマアウトプットコントロールレジスタ (TOCR) の OLSP、OLSN ビットで PWM 出力レベルをローアクティブに設定すると、ゲート信号出力またはチョッピング出力が正しく出力されませんのでご注意ください。

チャンネル 3、4 を相補 PWM モードまたはリセット同期 PWM モードで使用し、チョッピング機能を使用する場合、PWM 出力レベルはハイアクティブでご使用ください。

(21) チャンネル 0 を PWM モード 1 でバッファ動作させる場合の注意事項 (A マスクには適用されません。)

PWM モード 1 では TGRA と TGRB レジスタをペアで使用し TIOCA 端子に PWM 波形を出力します。同様に、TGRC と TGRD レジスタをペアで使用し TIOCC 端子に PWM 波形を出力します。TGRC、TGRD レジスタのいずれか一方がバッファレジスタとして動作している場合、TIOCC 端子はタイマ I/O コントロールレジスタ (TIOR) による初期出力設定も PWM 波形出力もできません。

チャンネル 0 では、PWM モード 1 で TGRD レジスタのみバッファ動作の設定を行った場合、TIOCC 端子は TIOR による初期出力設定、PWM 出力のいずれも可能となるためご注意ください。

チャンネル 0 を PWM モード 1 で使用し、バッファ動作の設定をする場合、TGRC と TGRD レジスタはいずれもバッファレジスタとしてご使用ください。

(22) 相補 PWM モードで他チャンネルからの同期クリアで再スタートする場合の注意事項
(A マスクには適用されません。)

相補 PWM モードでは PWM デューティの設定値として、現在の設定値、次の設定値、次の次の設定値を持ち動作しています。動作中に他チャンネルからの同期クリアが発生した場合、PWM 出力は初期出力に戻り再スタートします。

同期クリアで再スタートする場合、次のような動作をする場合がありますのでご注意ください。

- (1) 同期クリアが発生し再スタートする場合、PWM デューティの設定値として次の設定値を使用しますが、誤って次の次の設定値を使用する場合があります。
- (2) 同期クリアと PWM デューティの次の次の設定 (TGR4D へのライト) が同時に発生した場合、次の設定値が書き換わってしまう場合があります。

(1) の回避方法

相補 PWM モードの転送モードで、山・谷で転送するモードを選択した場合、PWM デューティの次の次の設定 (TGR4D へのライト) はテンポラリレジスタが比較を行っていない期間に実行してください。または同期クリアの発生タイミングをテンポラリレジスタが比較を行っていない期間に設定してください。

転送モードで、山で転送するモードを選択した場合、PWM デューティの次の次の設定 (TGR4D へのライト) はテンポラリレジスタが比較を行っていない期間かつ TCNT3、TCNT4 がアップカウントしている期間に実行してください。または同期クリアの発生タイミングをテンポラリレジスタが比較を行っていない期間かつ TCNT3、TCNT4 がアップカウントしている期間に設定してください。

転送モードで、谷で転送するモードを選択した場合、PWM デューティの次の次の設定 (TGR4D へのライト) はテンポラリレジスタが比較を行っていない期間かつ TCNT3、TCNT4 がダウンカウントしている期間に実行してください。または同期クリアの発生タイミングをテンポラリレジスタが比較を行っていない期間かつ TCNT3、TCNT4 がダウンカウントしている期間に設定してください。

(2) の回避方法

転送モードにかかわらず、同期クリアと次の設定 (TGR4D へのライト) は同時に発生しないようにしてください。

テンポラリレジスタが比較を行っている期間の説明図を図 12.95 に示します。図 12.95 において initial TB、TA、TB がテンポラリレジスタの比較を行っている期間を示します。

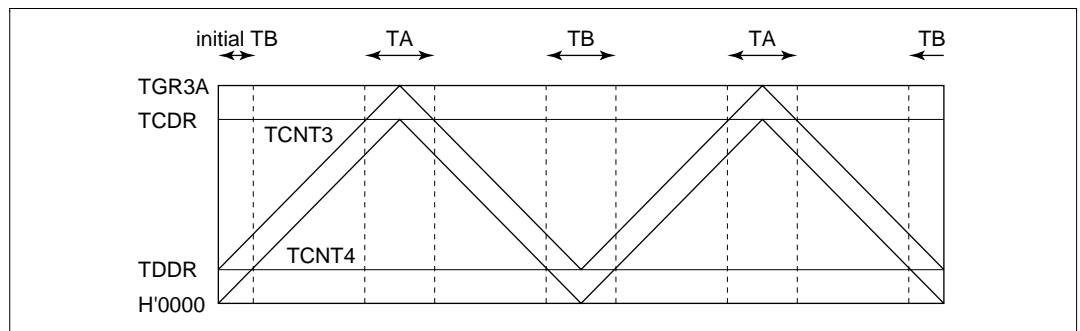


図 12.95 テンポラリレジスタの比較実行期間

12.8 MTU 出力端子の初期化方法

12.8.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ・ ノーマルモード (チャンネル 0、4)
- ・ PWM モード 1 (チャンネル 0、4)
- ・ PWM モード 2 (チャンネル 0、2)
- ・ 位相計数モード 1~4 (チャンネル 1、2)
- ・ 相補 PWM モード (チャンネル 3、4)
- ・ リセット同期 PWM モード (チャンネル 3、4)

ここでは、各々のモードでの MTU 出力端子の初期化方法について示します。

12.8.2 リセットスタート時の動作

MTU の出力端子 (TIOC*) はリセットまたはスタンバイモード時に L に初期化されます。MTU の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU の端子の状態がポートに出力されます。リセット直後に PFC で MTU の出力を選択した場合、ポート出力には MTU 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU の出力端子の初期設定終了後に行ってください。

【注】 * にはチャンネル番号+ポート記号が入ります。

12.8.3 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り替え、アクティブレベルの反転を出力することにより行います。また、大電流端子に関してはポートアウトプットイネーブル (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 12.19 に示します。

表 12.19 モード遷移の組み合わせ

前 \ 後	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23)	(24)
RPWM	(25)	(26)	none	none	(27)	(28)

【凡例】

Normal : ノーマルモード

PWM1 : PWM モード 1

PWM2 : PWM モード 2

PCM : 位相計数モード 1~4

CPWM : 相補 PWM モード

RPWM : リセット同期 PWM モード

以後の文章中、上記の凡例を使用する場合があります。

12.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- ・タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合は TIOR の設定により端子を初期化してください。
- ・PWM モード 1 では TIOC*B (TIOC*D) 端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 1 に遷移してください。
- ・PWM モード 2 では周期レジスタの端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 2 に遷移してください。
- ・ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、TIOR を設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- ・PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、TIOR を設定しても TGRC の端子は初期化されません。TGRC の端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

- ・タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタイネーブルレジスタ (TOER) でチャンネル 3、4 を一度出力禁止としてください。その後モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 12.8 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは L とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.96 に示します。

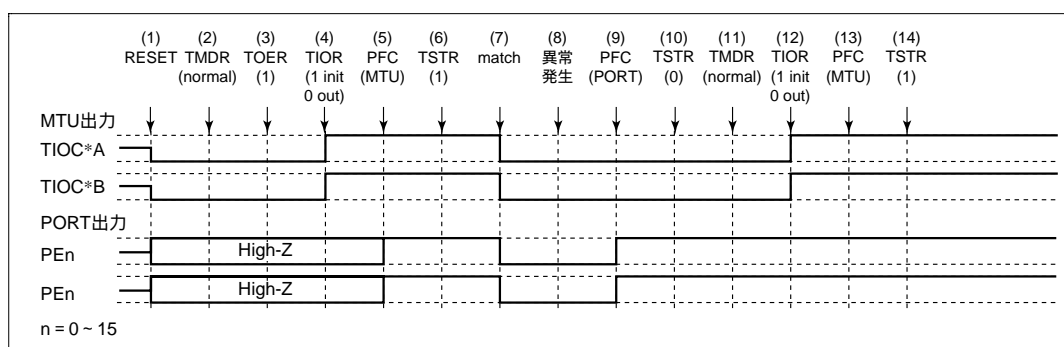


図 12.96 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) RESET により TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力は High レベル、コンペアマッチで Low レベル出力です)。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により Low レベルを出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。

- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.97 に示します。

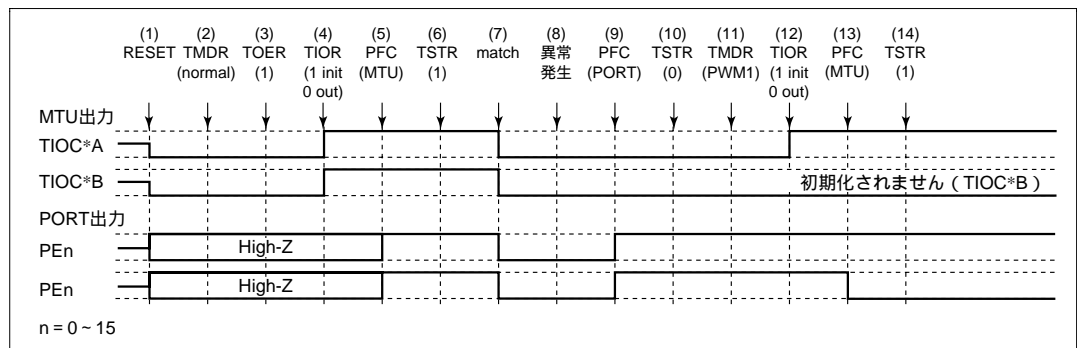


図 12.97 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 12.96 と共通です。
- (11) PWM モード 1 を設定します。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.98 に示します。

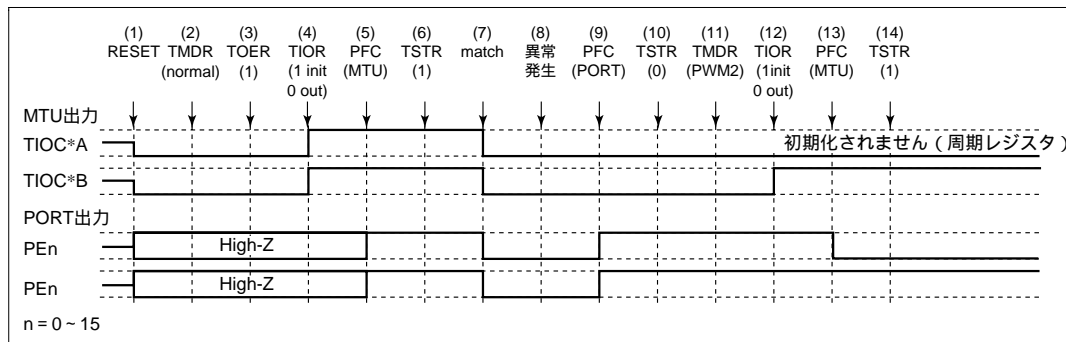


図 12.98 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 12.96 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0 ~ 2 でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.99 に示します。

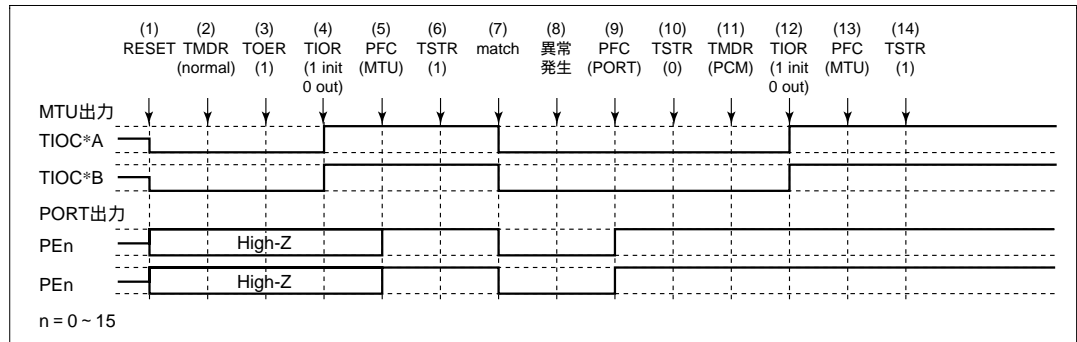


図 12.99 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 12.96 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.100 に示します。

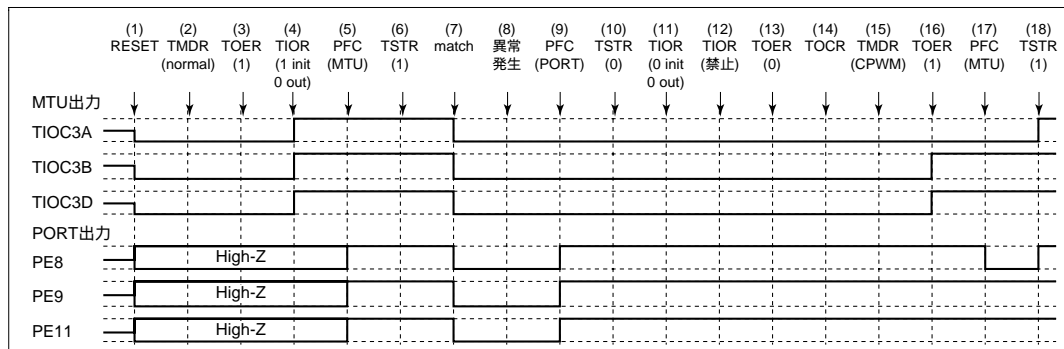


図 12.100 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.96 と共通です。
- (11) TIOR でノーマルモードの波形生成部を初期化してください。
- (12) TIOR でノーマルモードの波形生成部の動作を禁止してください。
- (13) TOER でチャンネル 3、4 の出力を禁止してください。
- (14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) 相補 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) PFC で MTU 出力としてください。
- (18) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.101 に示します。

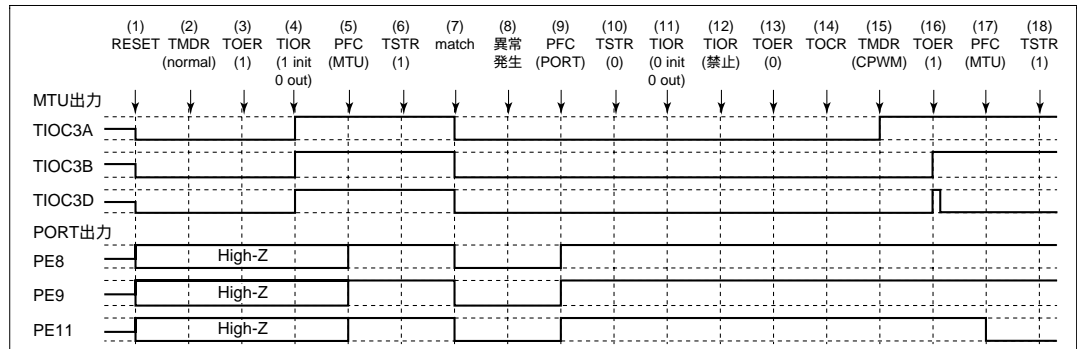


図 12.101 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 12.100 と共通です。
- (14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) PFC で MTU 出力としてください。
- (18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.102 に示します。

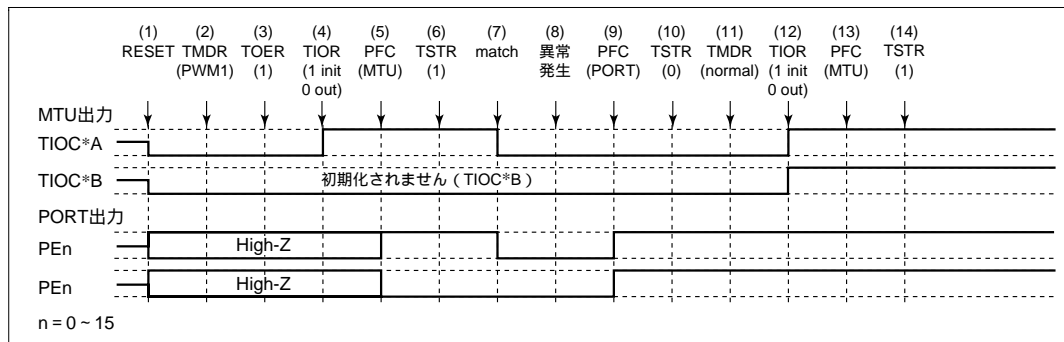


図 12.102 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力は High レベル、コンペアマッチで Low レベル出力です。PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作
 PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図
 を図 12.103 に示します。

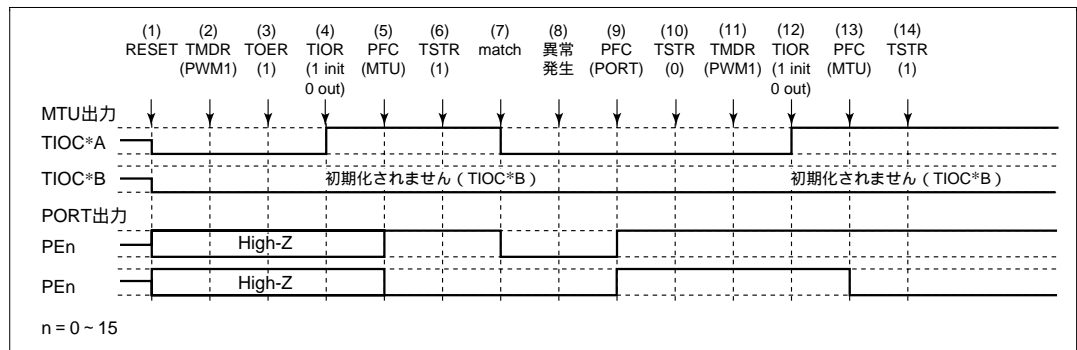


図 12.103 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 12.102 と共通です。
- (11) PWM モード 1 で再スタートする場合には必要ありません。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.104 に示します。

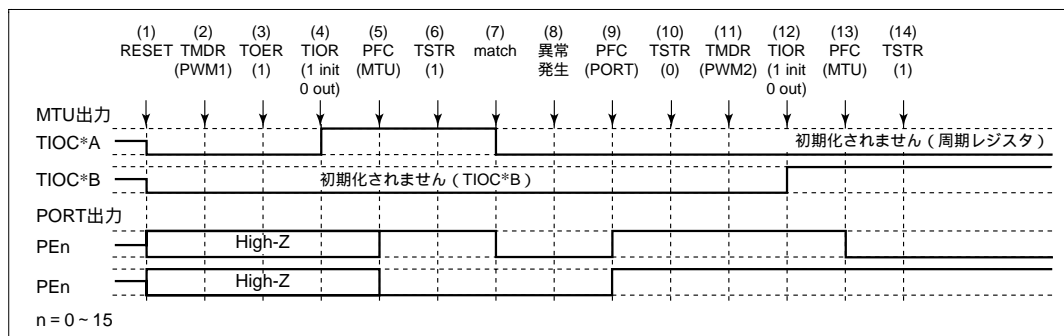


図 12.104 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 12.102 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0 ~ 2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.105 に示します。

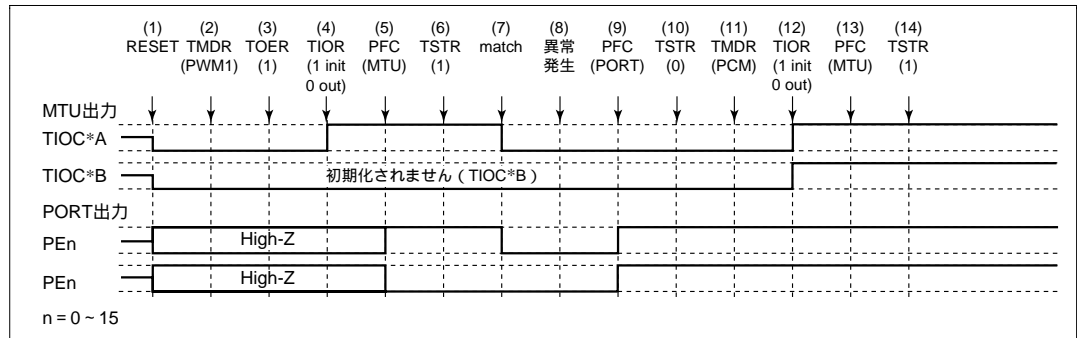


図 12.105 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 12.102 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.106 に示します。

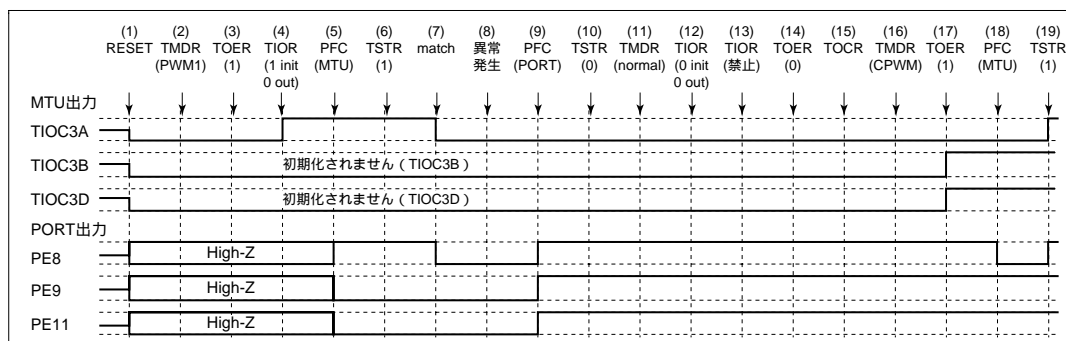


図 12.106 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.102 と共通です。
- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR で PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください
- (14) TOER でチャンネル 3、4 の出力を禁止してください。
- (15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (16) 相補 PWM を設定します。
- (17) TOER でチャンネル 3、4 の出力を許可してください。
- (18) PFC で MTU 出力としてください。
- (19) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.107 に示します。

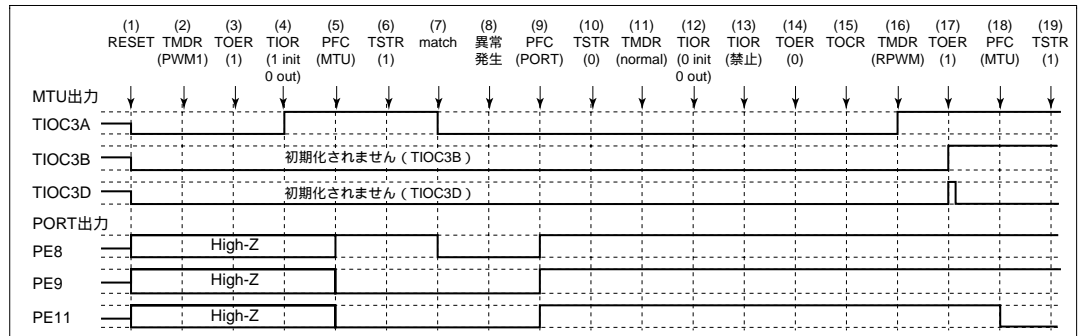


図 12.107 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (14) は図 12.106 と共通です。
- (15) JOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (16) リセット同期 PWM を設定します。
- (17) TOER でチャンネル 3、4 の出力を許可してください。
- (18) PFC で MTU 出力としてください。
- (19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.108 に示します。

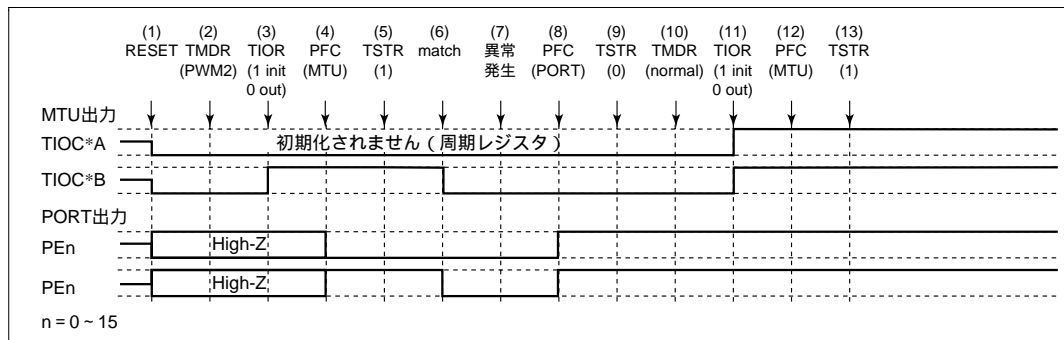


図 12.108 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください (例は初期出力は High レベル、コンペアマッチで Low レベル出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) PFC で MTU 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生により Low レベルを出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.109 に示します。

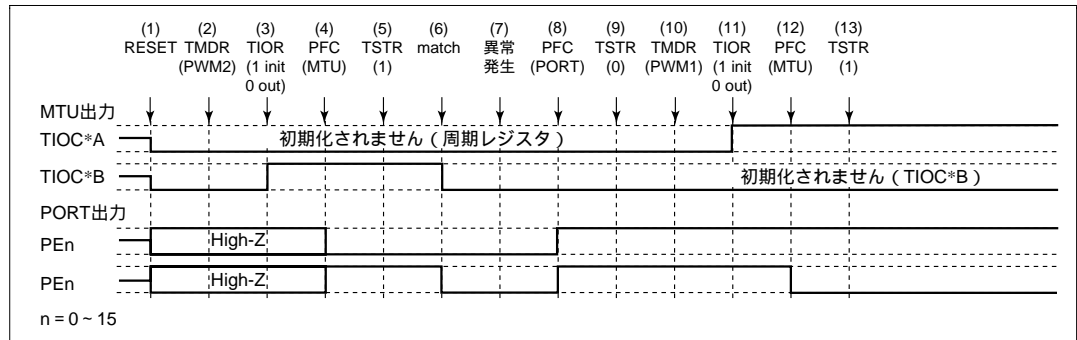


図 12.109 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 12.108 と共通です。
- (10) PWM モード 1 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.110 に示します。

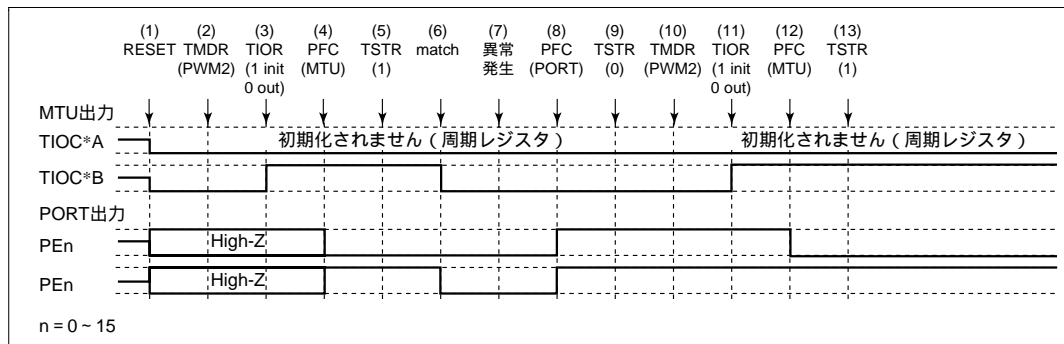


図 12.110 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

- (1) ~ (9) は図 12.108 と共通です。
- (10) PWM モード 2 で再スタートする場合には必要ありません。
- (11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.111 に示します。

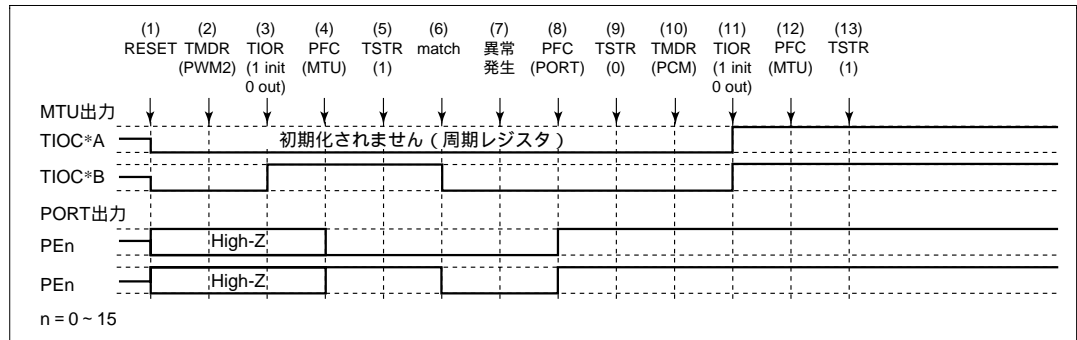


図 12.111 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 12.108 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設計後ノーマルモードで再スタートする場合の説明図を図 12.112 に示します。

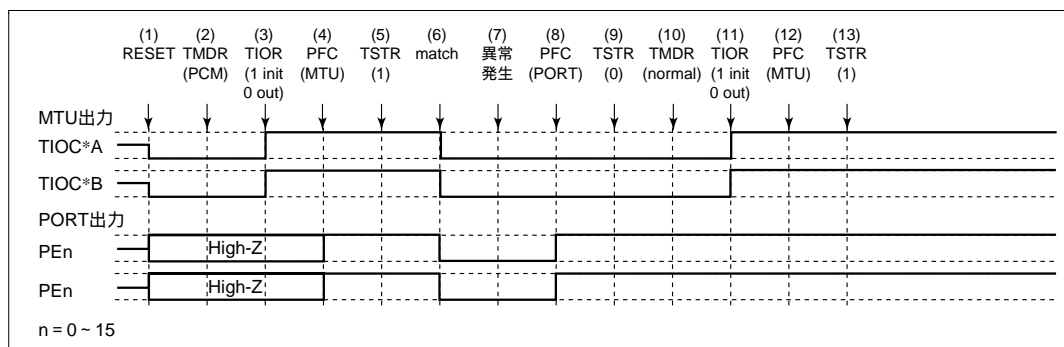


図 12.112 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください (例は初期出力は High レベル、コンペアマッチで Low レベル出力です)。
- (4) PFC で MTU 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生により Low レベルを出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.113 に示します。

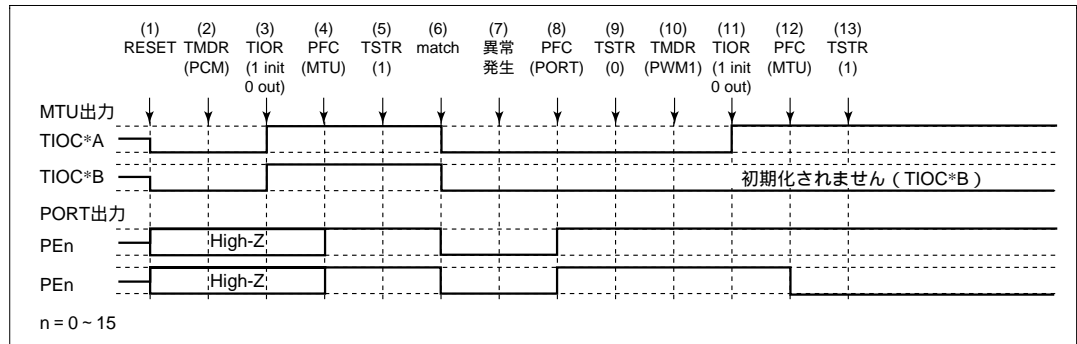


図 12.113 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 12.112 と共通です。
- (10) PWM モード 1 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 12.114 に示します。

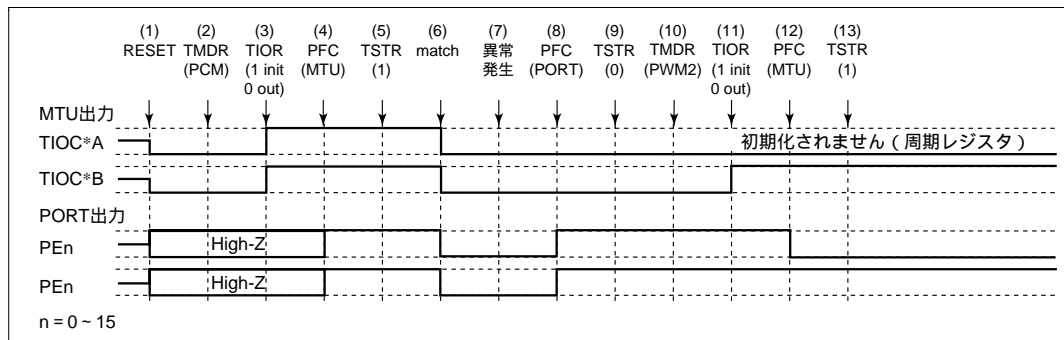


図 12.114 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

- (1) ~ (9) は図 12.112 と共通です。
- (10) PWM モード 2 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.115 に示します。

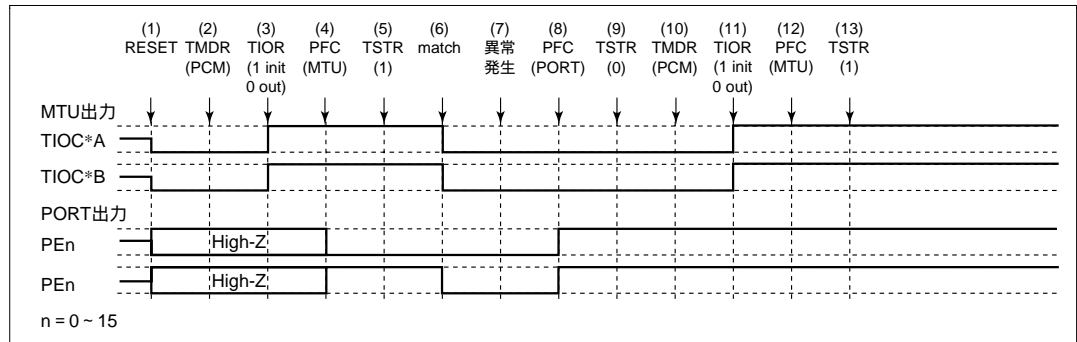


図 12.115 位相計数モードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 12.112 と共通です。
- (10) 位相計数モードで再スタートする場合には必要ありません。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.116 に示します。

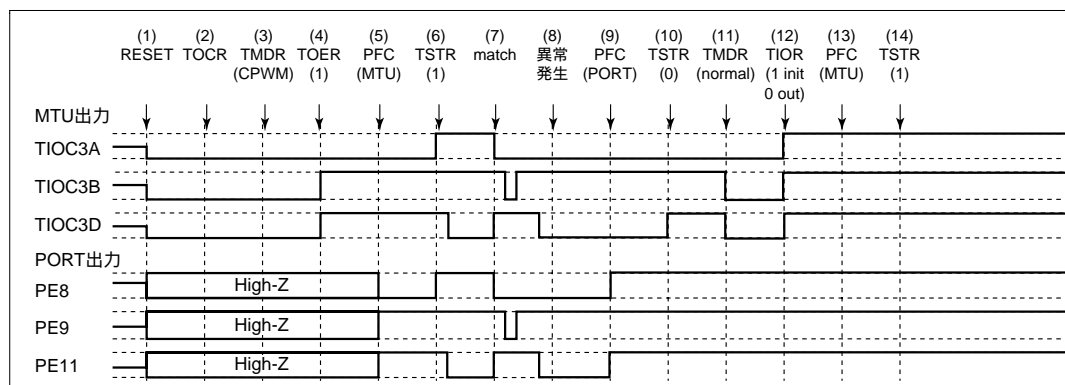


図 12.116 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は Low レベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.117 に示します。

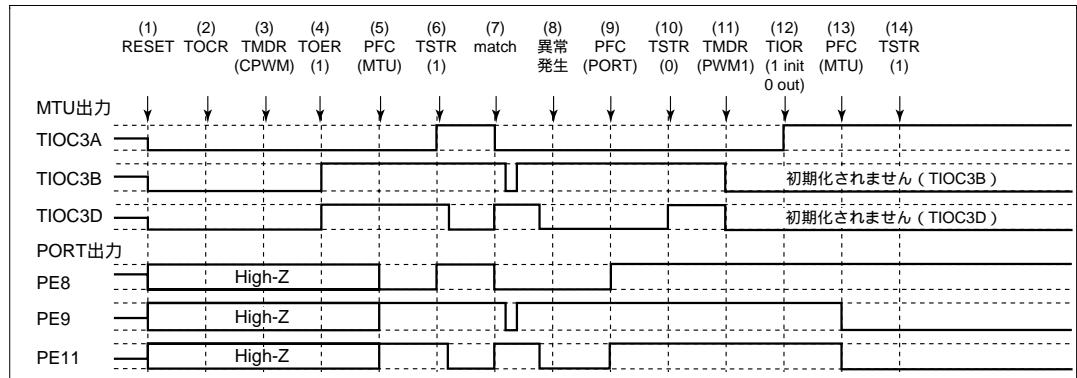


図 12.117 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 12.116 と共通です。
- (11) PWM モード 1 を設定してください (MTU 出力は Low レベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(23a) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.118 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

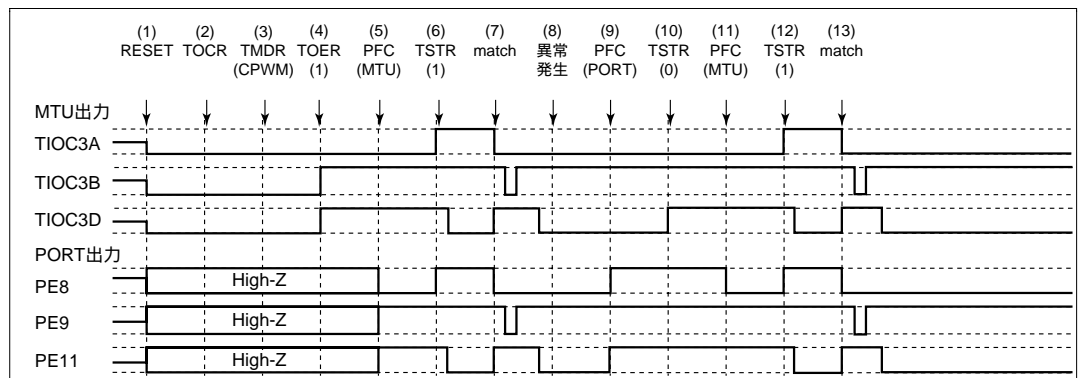


図 12.118 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.116 と共通です。
- (11) PFC で MTU 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(23b) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.119 示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

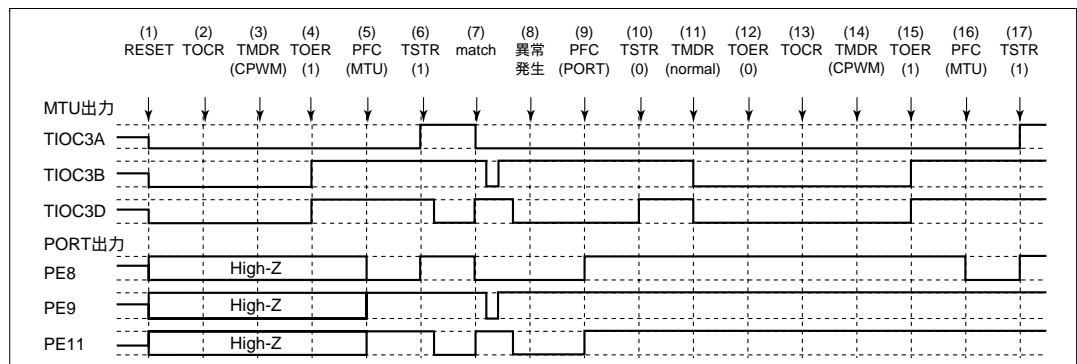


図 12.119 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.116 と共通です。
- (11) ノーマルモードを設定し新しい設定値を設定してください (MTU 出力は Low レベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU 出力としてください。
- (17) TSTR で再スタートします。

(24) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.120 に示します。

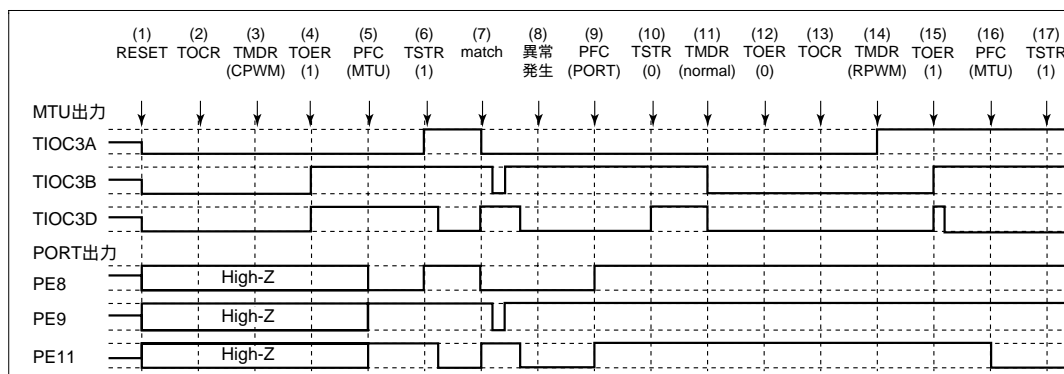


図 12.120 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 12.116 と共通です。
- (11) ノーマルモードを設定してください (MTU 出力は Low レベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU 出力としてください。
- (17) TSTR で再スタートします。

(25) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.121 に示します。

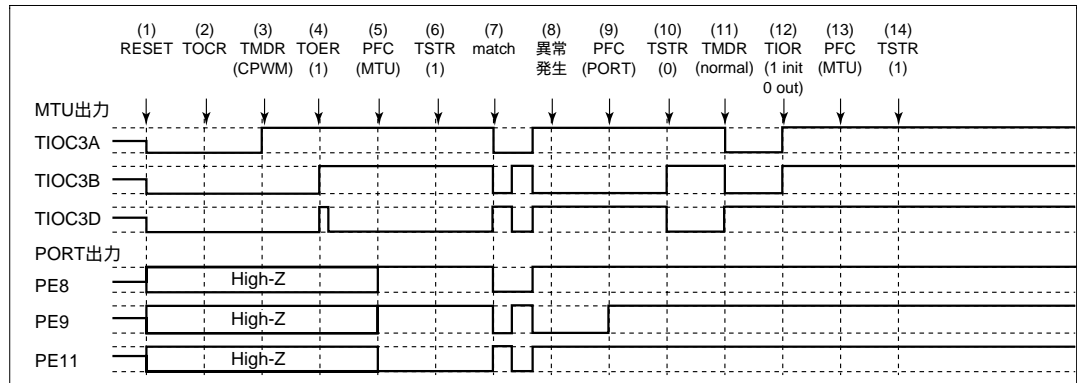


図 12.121 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low レベル、逆相側が High レベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.122 に示します。

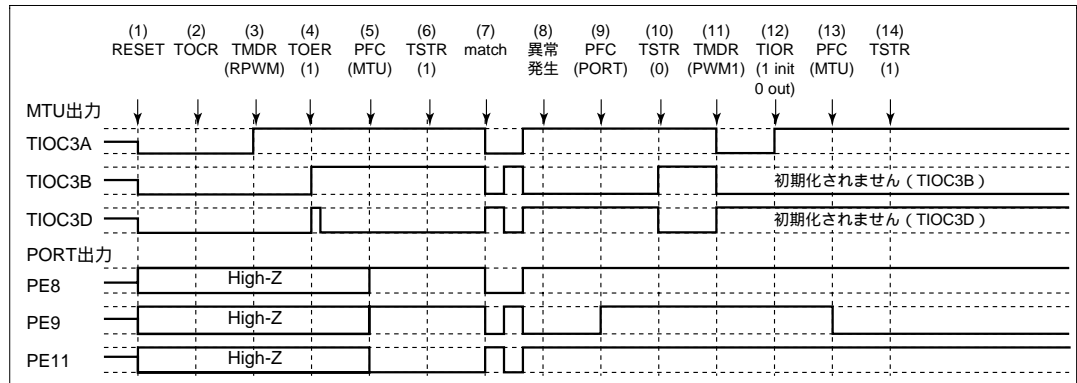


図 12.122 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 12.121 と共通です。
- (11) PWM モード 1 を設定してください (MTU 出力は正相側が Low レベル、逆相側が High レベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.123 に示します。

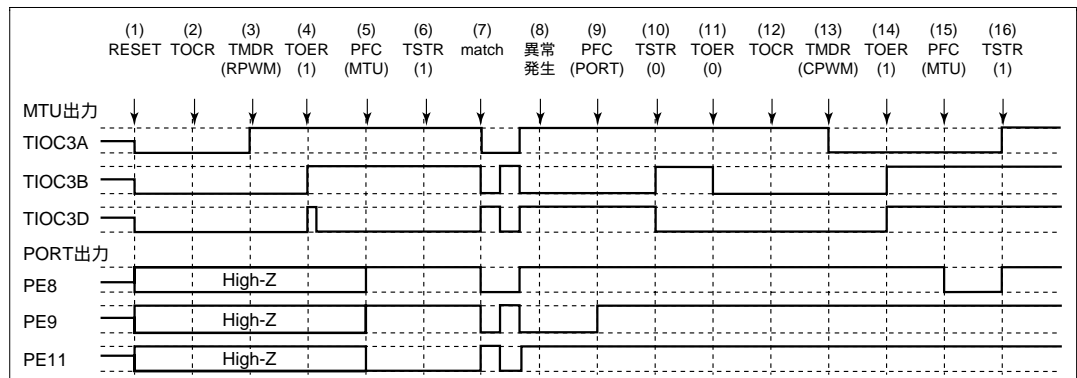


図 12.123 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.121 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子は Low レベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) PFC で MTU 出力としてください。
- (16) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.124 に示します。

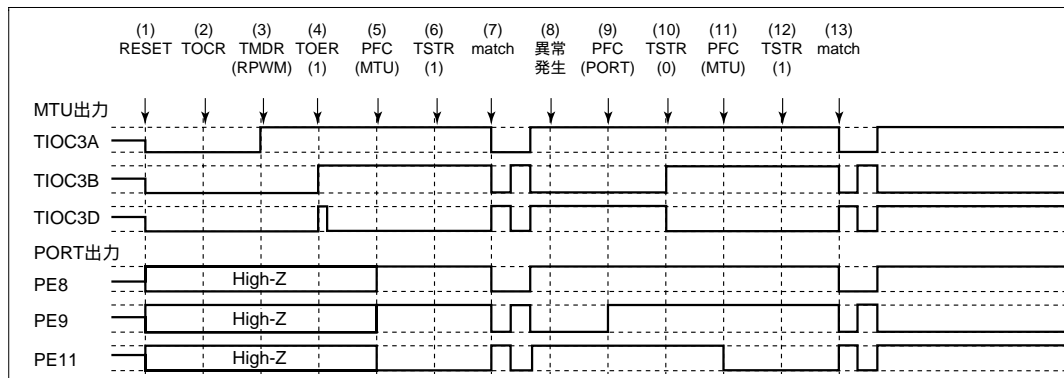


図 12.124 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 12.121 と共通です。
- (11) PFC で MTU 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

12.9 ポートアウトプットイネーブル (POE)

12.9.1 概要

ポートアウトプットイネーブル (POE) は、 $\overline{\text{POE0}} \sim \overline{\text{POE3}}$ 端子の入力変化または、大電流端子 (PE9/TIOC3B、PE11/TIOC3D、PE12/TIOC4A、PE13/TIOC4B/ $\overline{\text{MRES}}$ 、PE14/TIOC4C/DACK0/ $\overline{\text{AH}}$ 、PE15/TIOC4D/DACK1/ $\overline{\text{IRQOUT}}$) の出力状態によって、大電流端子をハイインピーダンス状態にすることができます。また、同時に割り込み要求を発行することができます。

これとは別に、発振器が停止した場合とスタンバイ状態でも、大電流端子はその機能選択状態によらずハイインピーダンス状態になります。詳細は「第 4 章 クロック発振器 (CPG)」を参照してください。

(1) 特長

POE には次の特長があります。

$\overline{\text{POE0}} \sim \overline{\text{POE3}}$ の各入力端子に、立ち下がりエッジ、 $/8 \times 16$ 回、 $/16 \times 16$ 回、 $/128 \times 16$ 回のローレベルサンプリングの設定が可能

$\overline{\text{POE0}} \sim \overline{\text{POE3}}$ 端子の立ち下がりエッジ、またはローレベルサンプリングによって、大電流端子をハイインピーダンス状態にできます。

大電流端子の出力レベルを比較し、同時にローレベル出力が 1 サイクル以上続いた場合、大電流端子をハイインピーダンス状態にできます (33.3MHz 版を除く)。

入力レベルのサンプリング、および出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

(2) ブロック図

POEは、図 12.125 のブロック図に示すように入力レベル検出回路と出力レベル検出回路から構成されます。

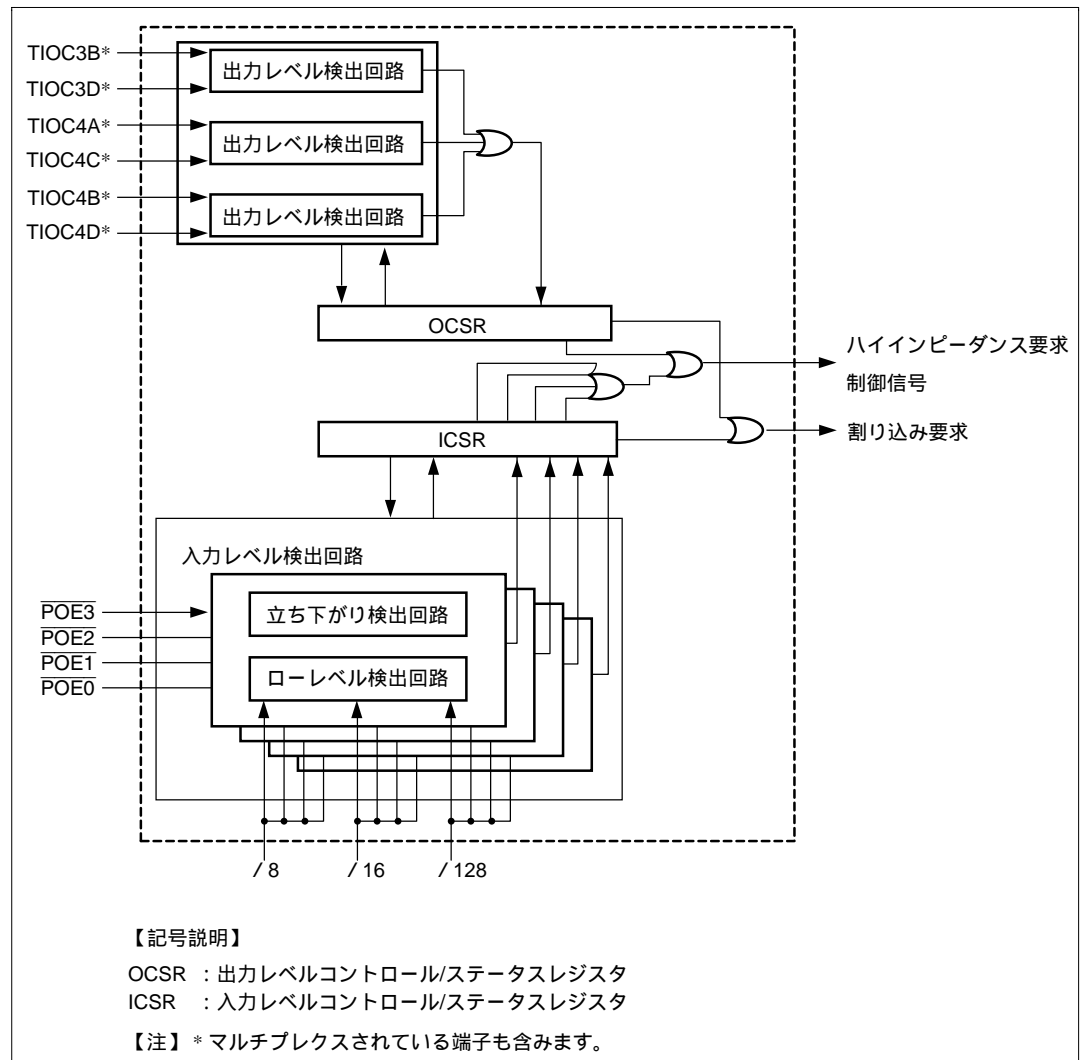


図 12.125 POE ブロック図

(3) 端子構成

POEの端子を表 12.20 に示します。

表 12.20 端子構成

名称	略称	入出力	機能
ポートアウトプット イネーブル入力端子	POE0 ~ POE3	入力	大電流端子をハイインピーダンス状態にする要求信号を入力

表 12.21 に示す端子の組み合わせで出力レベルの比較を行います。

表 12.21 端子の組み合わせ

端子の組み合わせ	入出力	機能
PE9/TIOC3B と PE11/TIOC3D	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。
PE12/TIOC4A と PE14/TIOC4C/DACK0/ \overline{AH}	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。
PE13/TIOC4B/ \overline{MRES} と PE15/TIOC4D/DACK1/ \overline{IRQOUT}	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。

(4) レジスタ構成

POE には表 12.22、および表 12.23 に示すように 2 本のレジスタがあります。入力レベルコントロール/ステータスレジスタ (ICSR) により、 $\overline{POE0} \sim \overline{POE3}$ 端子の入力信号の検出の制御、割り込みの制御を行います。また、出力レベルコントロール/ステータスレジスタ (OCSR) により、出力の比較許可/禁止、割り込みの制御を行います。

表 12.22 入力レベルコントロール/ステータスレジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
入力レベルコントロール / ステータスレジスタ	ICSR	R/(W)*	H'0000	H'FFFF83C0 H'FFFF83C1	8、16、32

【注】 * ビット 15～12 には、フラグをクリアするために 0 のみ書き込むことができます。

表 12.23 出力レベルコントロール/ステータスレジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
出力レベルコントロール / ステータスレジスタ	OCSR	R/(W)*	H'0000	H'FFFF83C2 H'FFFF83C3	8、16、32

【注】 * ビット 15 には、フラグをクリアするために 0 のみ書き込むことができます。

12.9.2 レジスタの説明

(1) 入力レベルコントロール/ステータスレジスタ (ICSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POE3F	POE2F	POE1F	POE0F	—	—	—	PIE	POE3M1	POE3M0	POE2M1	POE2M0	POE1M1	POE1M0	POE0M1	POE0M0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするために0のみ書き込むことができます。

入力レベルコントロール/ステータスレジスタ (ICSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、 $\overline{\text{POE0}}$ ~ $\overline{\text{POE3}}$ 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

ICSR は外部からのパワーオンリセットで H'0000 に初期化されますが、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

ビット 15 : POE3 フラグビット (POE3F)

$\overline{\text{POE3}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。

ビット 15	説明
POE3F	
0	[クリア条件] POE3F=1 の状態を読み出した後、POE3F に 0 を書き込んだとき。(初期値)
1	[セット条件] $\overline{\text{POE3}}$ 端子に、ICSR のビット 7、6 で設定した入力が発生したとき。

ビット 14 : POE2 フラグビット (POE2F)

$\overline{\text{POE2}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。

ビット 14	説明
POE2F	
0	[クリア条件] POE2F=1 の状態を読み出した後、POE2F に 0 を書き込んだとき。(初期値)
1	[セット条件] $\overline{\text{POE2}}$ 端子に、ICSR のビット 5、4 で設定した入力が発生したとき。

ビット 13 : POE1 フラグビット (POE1F)

$\overline{\text{POE1}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。

ビット 13	説 明
POE1F	
0	[クリア条件] POE1F=1 の状態を読み出した後、POE1F に 0 を書き込んだとき。(初期値)
1	[セット条件] $\overline{\text{POE1}}$ 端子に、ICSR のビット 3、2 で設定した入力が発生したとき。

ビット 12 : POE0 フラグビット (POE0F)

$\overline{\text{POE0}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。

ビット 12	説 明
POE0F	
0	[クリア条件] POE0F=1 の状態を読み出した後、POE0F に 0 を書き込んだとき。(初期値)
1	[セット条件] $\overline{\text{POE0}}$ 端子に、ICSR のビット 1、0 で設定した入力が発生したとき。

ビット 11~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : ポートインタラプトイネーブルビット (PIE)

ICSR の POE0F~POE3F ビットに、1 ビットでも 1 がセットされたとき、割り込み要求を許可または禁止します。

ビット 8	説 明
PIE	
0	割り込み要求を禁止 (初期値)
1	割り込み要求を許可

ビット7、6 : POE3 モードビット1、0 (POE3M1、POE3M0)

$\overline{\text{POE3}}$ 端子の入力モードを選択します。

ビット7	ビット6	端子機能
POE3M1	POE3M0	
0	0	$\overline{\text{POE3}}$ 入力の立ち下がりエッジで要求を受け付けます。 (初期値)
	1	$\overline{\text{POE3}}$ 入力のローレベルを $f/8$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
1	0	$\overline{\text{POE3}}$ 入力のローレベルを $f/16$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
	1	$\overline{\text{POE3}}$ 入力のローレベルを $f/128$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

ビット5、4 : POE2 モードビット1、0 (POE2M1、POE2M0)

$\overline{\text{POE2}}$ 端子の入力モードを選択します。

ビット5	ビット4	端子機能
POE2M1	POE2M0	
0	0	$\overline{\text{POE2}}$ 入力の立ち下がりエッジで要求を受け付けます。 (初期値)
	1	$\overline{\text{POE2}}$ 入力のローレベルを $f/8$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
1	0	$\overline{\text{POE2}}$ 入力のローレベルを $f/16$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
	1	$\overline{\text{POE2}}$ 入力のローレベルを $f/128$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

ビット3、2 : POE1 モードビット1、0 (POE1M1、POE1M0)

$\overline{\text{POE1}}$ 端子の入力モードを選択します。

ビット3	ビット2	端子機能
POE1M1	POE1M0	
0	0	$\overline{\text{POE1}}$ 入力の立ち下がりエッジで要求を受け付けます。 (初期値)
	1	$\overline{\text{POE1}}$ 入力のローレベルを /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
1	0	$\overline{\text{POE1}}$ 入力のローレベルを /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
	1	$\overline{\text{POE1}}$ 入力のローレベルを /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

ビット1、0 : POE0 モードビット1、0 (POE0M1、POE0M0)

$\overline{\text{POE0}}$ 端子の入力モードを選択します。

ビット1	ビット0	端子機能
POE0M1	POE0M0	
0	0	$\overline{\text{POE0}}$ 入力の立ち下がりエッジで要求を受け付けます。 (初期値)
	1	$\overline{\text{POE0}}$ 入力のローレベルを /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
1	0	$\overline{\text{POE0}}$ 入力のローレベルを /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
	1	$\overline{\text{POE0}}$ 入力のローレベルを /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

(2) 出力レベルコントロール/ステータスレジスタ (OCSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSF	—	—	—	—	—	OCE	OIE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	: R/(W)*	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

【注】* フラグをクリアするために0のみ書き込むことができます。

出力レベルコントロール/ステータスレジスタ (OCSR) は、読み出し/書き込み可能な16ビットのレジスタで、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示します。

また、OSFに1がセットされると、大電流端子はハイインピーダンスになります。

OCSRは外部からのパワーオンリセットでH'0000に初期化されますが、マニュアルリセット、WDTによるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

ビット15: 出力短絡フラグビット (OSF)

比較する3組の2相出力のうち1組でも同時にLowレベルになったことを示すフラグです。

ビット15	説明
OSF	
0	[クリア条件] OSF=1の状態を読み出した後、OSFに0を書き込んだとき。 (初期値)
1	[セット条件] 3組の2相出力のうち1組でも同時にLowレベルになったとき。

ビット14~10: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット9：出力レベル比較許可ビット (OCE)

出力レベルの比較開始を許可するビットです。このビットに1をセットする際は「表 12.18 モード遷移の組み合わせ」で示した出力端子の組み合わせに十分注意してください。同時に0出力になっている場合は、このビットをセットすると同時にOSF=1となり、出力がハイインピーダンス状態になります。したがって、ポート E データレジスタ (PEDR) のビット15~11、ビット9に1をセットするか、MTUの出力として比較する場合はPFCでMTUの出力端子に設定してから、このビットに1をセットしてください。また、出力として使用するとき以外は、このビットをセットしないでください。

また、OCEビットに1をセットした場合、OSF=1にセットされてもOIE=0であればハイインピーダンス要求を行いません。したがって、出力レベルの比較結果によりハイインピーダンス要求を発行させる場合は、必ずOIEビットに1をセットしてください。OCE=1かつOIE=1に設定するとハイインピーダンス要求と同時に割り込み要求も発行されますが、割り込みコントローラ (INTC) の設定により、この割り込みをマスクすることが可能です。

ビット9	説明
OCE	
0	出力レベルの比較を禁止 (初期値)
1	出力レベルの比較を許可し、OSF=1のとき出力ハイインピーダンス要求を行います。

ビット8：出力短絡割り込みイネーブルビット (OIE)

OCSRのOSFビットがセットされたとき、割り込みを要求します。

ビット8	説明
OIE	
0	割り込み要求を禁止 (初期値)
1	割り込み要求を許可

ビット7~0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

12.9.3 動作説明

(1) 入力レベル検出動作

ICSR で設定した入力条件が、 $\overline{\text{POE}}$ 端子に 1 端子でも発生した場合、大電流端子をすべてハイインピーダンス状態にします。

(1) 立ち下がりエッジ検出

$\overline{\text{POE}}$ 端子にハイレベルからローレベルの変化が入力されたとき。

(2) ローレベル検出

図 12.126 にローレベル検出動作を示します。ICSR で設定したサンプリングクロックで、16 回連続したローレベルをサンプリングします。このとき、一度でもハイレベルを検出した場合は、受け付けられません。

また、サンプリングクロックから大電流端子がハイインピーダンス状態になるタイミングは立ち下がりエッジ検出、ローレベル検出とも同じです。

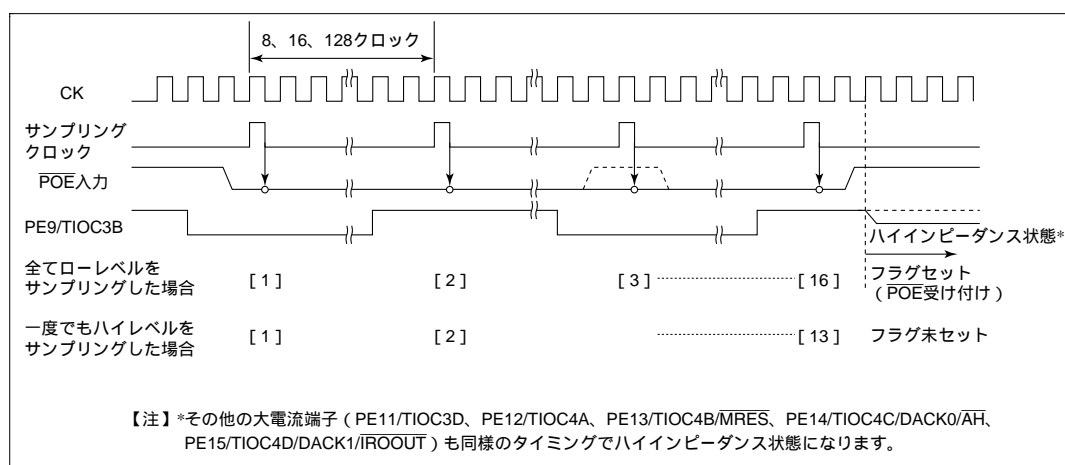


図 12.126 ローレベル検出動作

(2) 出力レベル比較動作

PE9/TIOC3B と PE11/TIOC3D の組み合わせを例に、出力レベル比較動作を図 12.127 に示します。他の端子の組み合わせについても同様です。

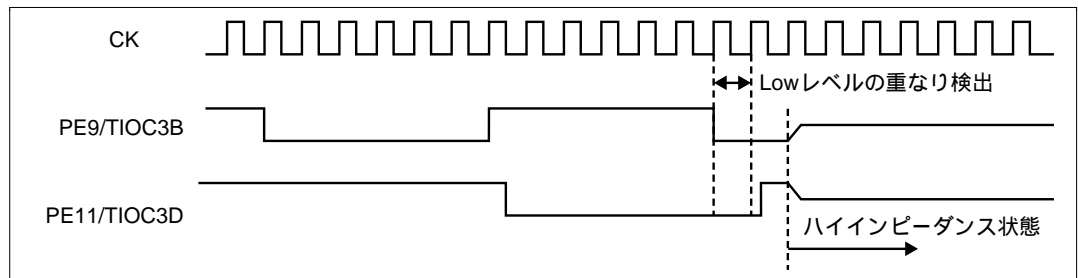


図 12.127 出力レベル検出動作

(3) ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻るか、ICSR のビット 12 ~ 15 (POE0F ~ POE3F) のフラグをすべてクリアすることにより解除されます。

また、出力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻るか、OCSR のビット 9 (OCE) をクリアし、出力レベルの比較を禁止してから、ビット 15 (OSF) のフラグをクリアすることにより解除されます。

ただし、OSF フラグをクリアしてハイインピーダンス状態から復帰する場合は必ず大電流端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D) から、High レベルを出力するようにしてから行ってください。High レベル出力は MTU 内のレジスタを設定することで行えます。

(4) POE タイミング

$\overline{\text{POE}}$ 入力から端子のハイインピーダンスまでのタイミング例を図 12.128 に示します。

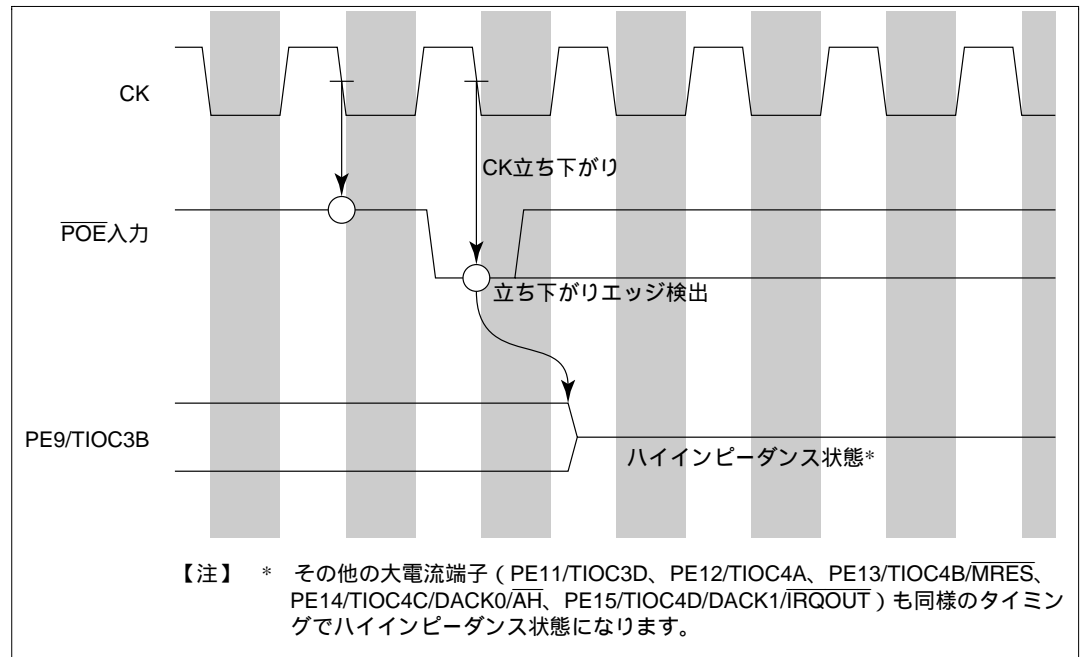


図 12.128 立ち下がりエッジ検出動作

12.9.4 使用上の注意事項

POE をレベル検出にするときは、最初に POE の入力をハイレベルにしてください。

13. ウォッチドッグタイマ (WDT)

第13章 目次

13.1	概要	471
13.1.1	特長	471
13.1.2	ブロック図	472
13.1.3	端子構成	472
13.1.4	レジスタ構成	473
13.2	レジスタの説明	474
13.2.1	タイマカウンタ (TCNT)	474
13.2.2	タイマコントロール/ステータスレジスタ (TCSR)	475
13.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	477
13.2.4	レジスタアクセス時の注意	479
13.3	動作説明	481
13.3.1	ウォッチドッグタイマモード時の動作	481
13.3.2	インターバルタイマモード時の動作	482
13.3.3	スタンバイモード解除時の動作	483
13.3.4	オーバフローフラグ (OVF) のセットタイミング	483
13.3.5	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	484
13.4	使用上の注意	485
13.4.1	タイマカウンタ (TCNT) の書き込みとカウントアップの競合	485
13.4.2	CKS2~CKS0 ビットの書き換え	485
13.4.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	486
13.4.4	$\overline{\text{WDTOVF}}$ 信号によるシステムのリセット	486
13.4.5	ウォッチドッグタイマモードでの内部リセット	486

13.1 概要

ウォッチドッグタイマ (WDT) は 1 チャンネルのタイマで、システムの監視を行うことができます。WDT は、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。

同時に、本 LSI の内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。また、WDT はスタンバイモードの解除時にも使用されます。

13.1.1 特長

WDT には次のような特長があります。

ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力

カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本 LSI 内部をリセットするかどうか選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。

インターバルタイマモード時、割り込みを発生

カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。

スタンバイモードの解除時に使用

8 種類のカウンタ入力クロックを選択可能

13.1.2 ブロック図

WDTのブロック図を図13.1に示します。

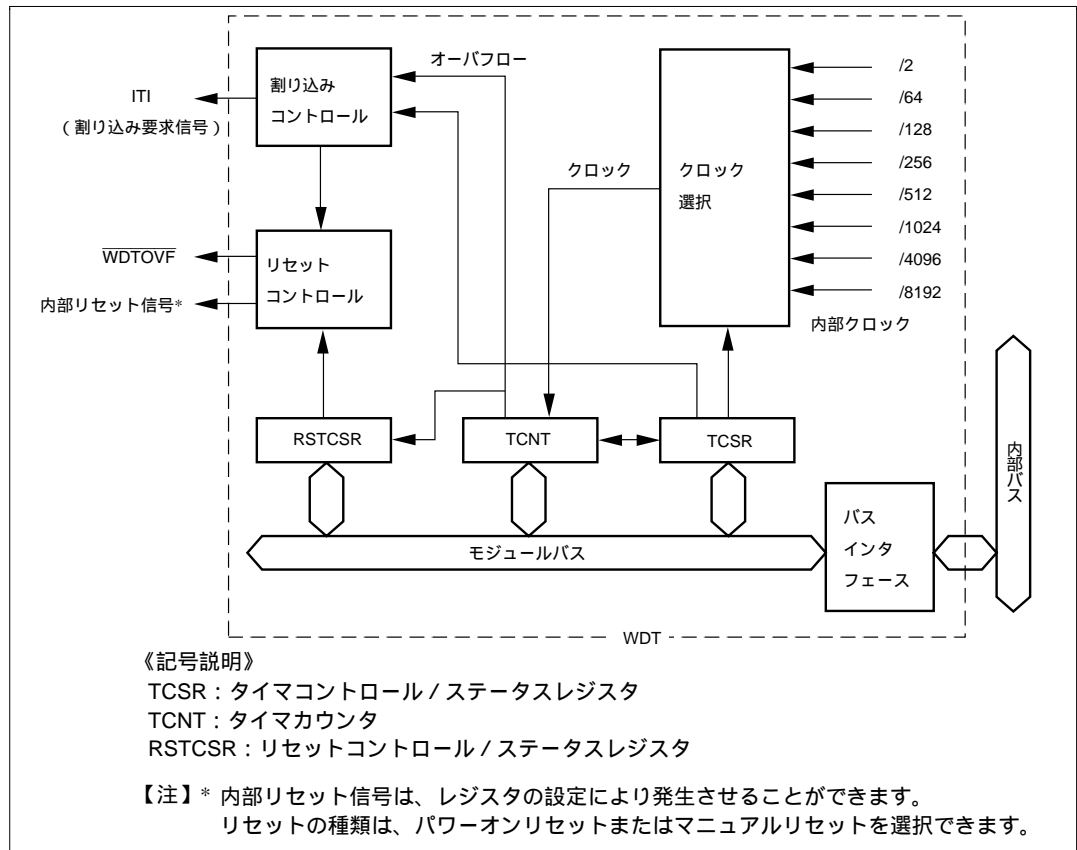


図 13.1 WDT のブロック図

13.1.3 端子構成

WDTの端子を表13.1に示します。

表 13.1 端子構成

名称	略称	入出力	機能
ウォッチドッグタイマ オーバーフロー	$\overline{\text{WDTOVF}}$	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

13.1.4 レジスタ構成

WDT には、表 13.2 に示すように 3 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 13.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				書き込み* ¹	読み出し* ²
タイマコントロール/ ステータスレジスタ	TCSR	R/(W)* ³	H'18	H'FFFF8610	H'FFFF8610
タイマカウンタ	TCNT	R/W	H'00		H'FFFF8611
リセットコントロール/ ステータスレジスタ	RSTCSR	R/(W)* ³	H'1F	H'FFFF8612	H'FFFF8613

【注】 *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。

*2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。

*3 ビット 7 には、フラグをクリアするために、0 のみ書き込むことができます。

13.2 レジスタの説明

13.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	0	0	0	0	0	0	0	0									
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									

タイマカウンタ (TCNT) は、読み出し / 書き込み可能な*8ビットのアップカウンタです。タイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) を 1 にすると、TCSR の CKS2 ~ CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF H'00) すると、TCSR の $\overline{WT/IT}$ ビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 (\overline{WDTOVF}) またはインターバルタイマ割り込み (ITI) が発生します。

TCNT は、パワーオンリセットまたは TME ビットが 0 のとき、H'00 に初期化されます。スタンバイモード時には初期化されません。また外部からのマニュアルリセット (\overline{MRES}) では初期化されませんが、WDT によるマニュアルリセットで初期化されます。

【注】 * TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「13.2.4 レジスタアクセス時の注意」を参照してください。

13.2.2 タイマコントロール/ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/ \bar{IT}	TME			CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

タイマコントロール/ステータスレジスタ (TCSR) は、読み出し/書き込み可能な* 8 ビットのレジスタで、タイマカウンタ (TCNT) に入力するクロック、モードの選択などを行います。

ビット7~5は、パワーオンリセットおよびスタンバイモードで000に初期化されます。ビット2~0は、パワーオンリセットで000に初期化されますが、スタンバイモード時には初期化されません。また、本レジスタは外部からのマニュアルリセット (\overline{MRES}) では初期化されませんが、WDTによるマニュアルリセットにより初期化されます。

【注】 * TCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「13.2.4 レジスタアクセス時の注意」を参照してください。

ビット7: オーバフローフラグ (OVF)

インターバルタイマモードで、TCNTがオーバフロー (H'FF H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット7	説明
OVF	
0	インターバルタイマモードでTCNTのオーバフローなし (初期値) [クリア条件] OVFを読み出してから0を書き込む
1	インターバルタイマモードでTCNTのオーバフロー発生

ビット6：タイマモードセレクト (WT/ \overline{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNTがオーバーフローしたとき、インターバルタイマ割り込み (ITI) が発生するか、 \overline{WDTOVF} 信号が発生するかが決まります。

ビット6	説明
WT/ \overline{IT}	
0	インターバルタイマモード：TCNTがオーバーフローしたとき CPUヘインターバルタイマ割り込み (ITI) を要求 (初期値)
1	ウォッチドッグタイマモード：TCNTがオーバーフローしたとき \overline{WDTOVF} 信号を外部へ出力*

【注】 * ウォッチドッグタイマモードのとき、TCNTがオーバーフローした場合についての詳細は「13.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

ビット5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	タイマディスエーブル：TCNTをH'00に初期化し、カウントアップを停止 (初期値)
1	タイマイネーブル：TCNTはカウントアップを開始。TCNTがオーバーフローすると、 \overline{WDTOVF} 信号または割り込みが発生

ビット4、3：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

システムクロック () を分周して得られる8種類の内部クロックから、TCNTに入力するクロックを選択します。

ビット2	ビット1	ビット0	説 明	
CKS2	CKS1	CKS0	クロック	オーバーフロー周期* (=28.7MHz の場合)
0	0	0	/2 (初期値)	17.9 μ s
		1	/64	573.4 μ s
	1	0	/128	1.1ms
		1	/256	2.3ms
1	0	0	/512	4.6ms
		1	/1024	9.2ms
	1	0	/4096	36.7ms
		1	/8192	73.4ms

【注】 * オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

13.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS					
初期値:	0	0	0	1	1	1	1	1
R/W:	R(W)*	R/W	R/W	R	R	R	R	R

【注】 * ビット7には、フラグをクリアするために0のみ書き込むことができます。

リセットコントロール/ステータスレジスタ (RSTCSR) は、読み出し/書き込み可能な*8ビットのレジスタで、タイマカウンタ (TCNT) のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。

RSTCSRは、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバーフローによる内部リセット信号では初期化されません。スタンバイモード時には、H'1F に初期化されます。

【注】 * RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は「13.2.4 レジスタアクセス時の注意」を参照してください。

13. ウォッチドッグタイマ (WDT)

ビット7：ウォッチドッグタイマオーバフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNTがオーバフロー (H'FF H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説明
WOVF	
0	ウォッチドッグタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] WOVF を読み出してから WOVF に 0 を書き込む
1	ウォッチドッグタイマモードで TCNT のオーバフロー発生

ビット6：リセットイネーブル (RSTE)

ウォッチドッグタイマモードで TCNT がオーバフローしたとき、本 LSI 内部をリセットする信号を発生するかどうかを選択します。

ビット6	説明
RSTE	
0	TCNT がオーバフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバフローしたとき、内部リセットする

【注】 * 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

ビット5：リセットセレクト (RSTS)

ウォッチドッグタイマモードで TCNT がオーバフローして発生する内部リセットの種類を選択します。

ビット5	説明
RSTS	
0	パワーオンリセット (初期値)
1	マニュアルリセット

ビット4～0：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

13.2.4 レジスタアクセス時の注意

タイマカウンタ (TCNT)、タイマコントロール/ステータスレジスタ (TCSR)、リセットコントロール/ステータスレジスタ (RSTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で、読み出し/書き込みを行ってください。

(1) TCNT、TCSR への書き込み

TCNT、TCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

書き込み時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 13.2 に示すように、TCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。TCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へ書き込まれます。

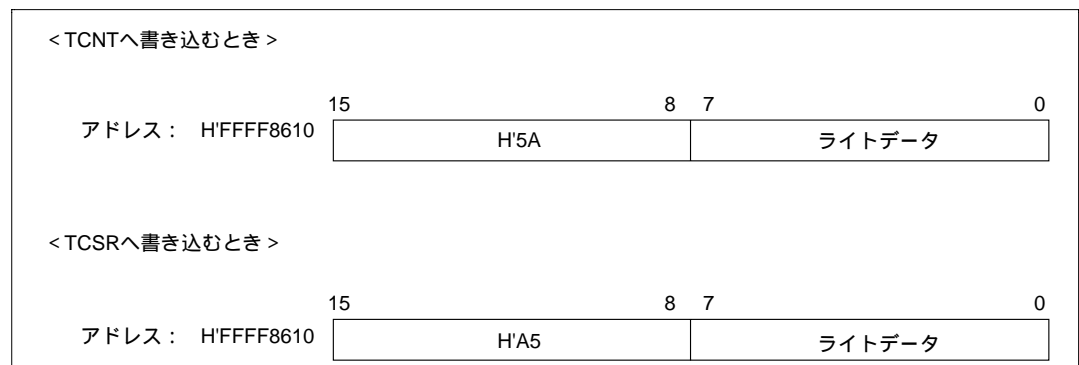


図 13.2 TCNT、TCSR への書き込み

(2) RSTCSR への書き込み

RSTCSR へ書き込むときは、アドレス H'FFF8612 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 13.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

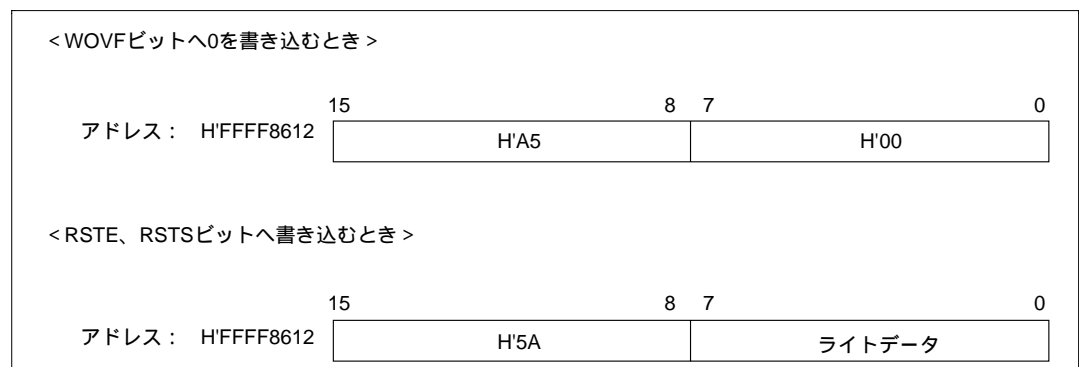


図 13.3 RSTCSR への書き込み

(3) TCNT、TCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。TCSR は、アドレス H'FFF8610 に、TCNT は、アドレス H'FFF8611 に、RSTCSR は、アドレス H'FFF8613 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

13.3 動作説明

13.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、タイマコントロール/ステータスレジスタ (TCSR) の WT/\overline{IT} ビットと TME ビットの両方を 1 に設定してください。また、タイマカウンタ (TCNT) がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号が外部に出力されます。これを図 13.4 に示します。この \overline{WDTOVF} 信号を用いて、システムをリセットすることができます。 \overline{WDTOVF} 信号は、128 クロックの間出力されます。

リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットしておくと、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。このリセットは、RSTCSR の RSTS ビットの設定によって、パワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、512 クロックの間出力されます。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

なお、WDT によるリセット信号により、(1) MTU の POE (ポートアウトプットイネーブル) 機能のレジスタ、(2) ピンファンクションコントローラ (PFC) のレジスタ、(3) I/O ポートのレジスタは初期化されません (外部からのパワーオンリセットのみで初期化されます)。

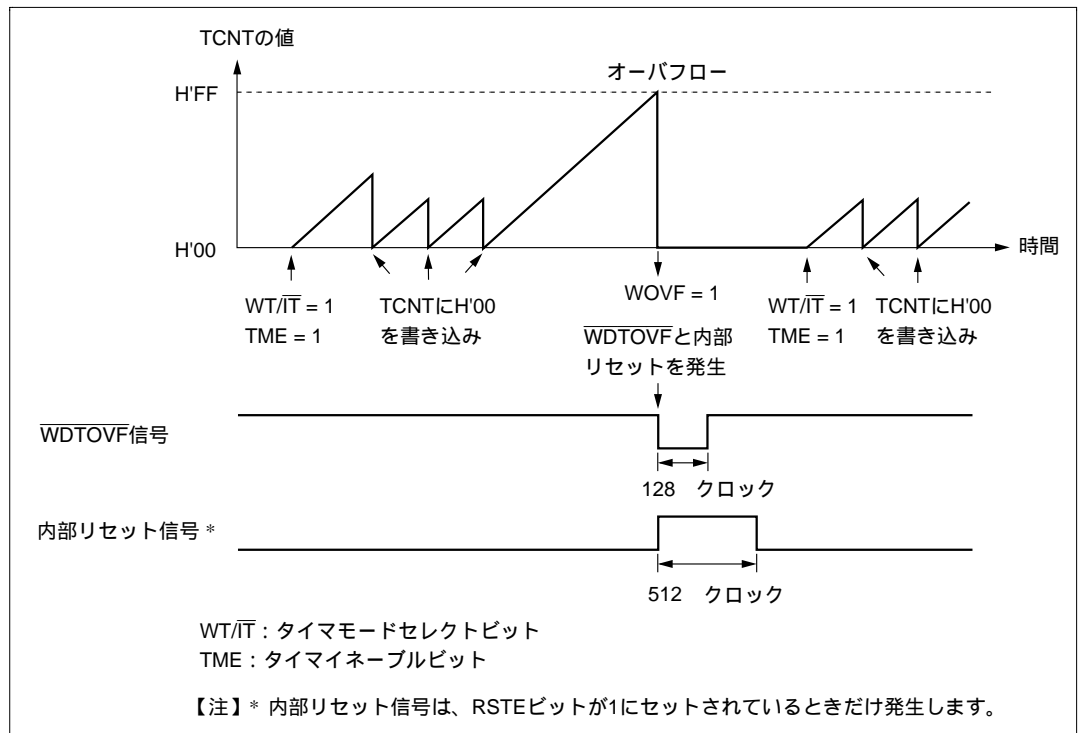


図 13.4 ウォッチドッグタイマモード時の動作

13.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するとき、タイマコントロール/ステータスレジスタ (TCSR) の WT/ \bar{T} ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 13.5 に示すように、タイマカウンタ (TCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

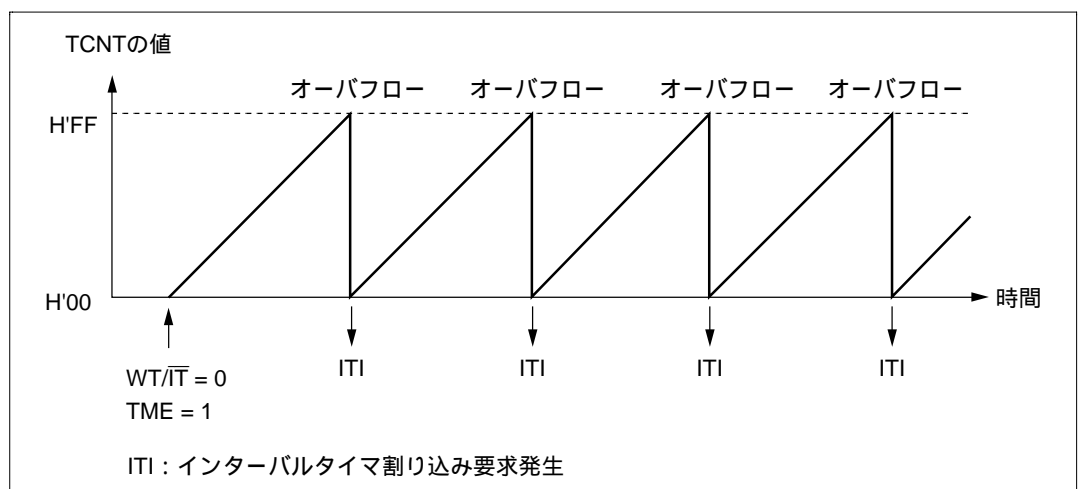


図 13.5 インターバルタイマモード時の動作

13.3.3 スタンバイモード解除時の動作

WDT は、スタンバイモードが NMI 割り込みで解除されるときに使用されます。スタンバイモードを使用する場合は、WDT を次の (1) に示すように設定してください。

(1) スタンバイモード遷移前の設定

スタンバイモードに遷移する前に、必ずタイマコントロール/ステータスレジスタ (TCSR) の TME ビットを 0 にして、WDT を停止させてください。TME ビットが 1 になっていると、スタンバイモードに遷移できません。また、タイマカウンタ (TCNT) のオーバフロー周期が発振安定時間以上になるように、TCSR の CKS2~CKS0 ビットを設定してください。発振安定時間については、「25.3 および 26.3 AC 特性」を参照してください。

(2) スタンバイモード解除時の動作

スタンバイモードで NMI 信号が入力されると、発振器が動作を開始し、TCNT はスタンバイモード遷移前に CKS2~CKS0 ビットで選択しておいたクロックにより、カウントアップを開始します。TCNT がオーバフロー (H'FF H'00) すると、クロックが安定し使用可能であると判断され、本 LSI 全体にクロックが供給されます。これによって、スタンバイモードが解除されます。

スタンバイモードの詳細については、「第 24 章 低消費電力状態」を参照してください。

13.3.4 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでタイマカウンタ (TCNT) がオーバフローすると、タイマコントロール/ステータスレジスタ (TCSR) の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (ITI) が要求されます。このタイミングを図 13.6 に示します。

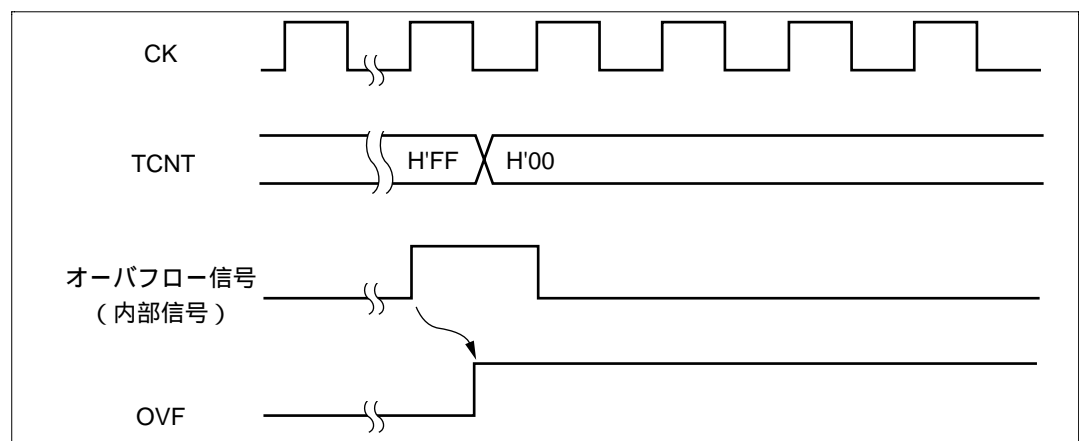


図 13.6 オーバフローフラグ (OVF) のセットタイミング

13.3.5 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでタイマカウンタ (TCNT) がオーバフローすると、リセットコントロール/ステータスレジスタ (RSTCSR) の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 13.7 に示します。

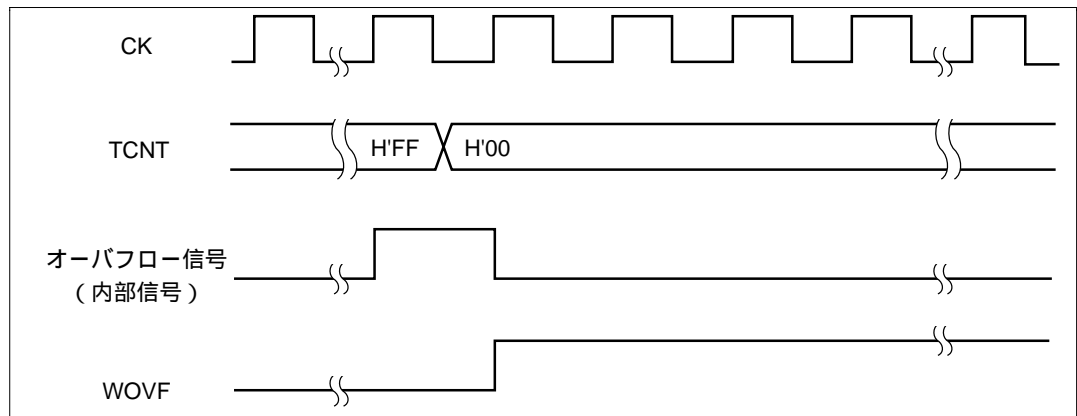


図 13.7 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

13.4 使用上の注意

13.4.1 タイマカウンタ (TCNT) の書き込みとカウントアップの競合

タイマカウンタ (TCNT) の書き込みサイクル中の T3 ステートでカウントアップが発生しても、TCNT へのデータ書き込みが優先され、カウントアップされません。これを図 13.8 に示します。

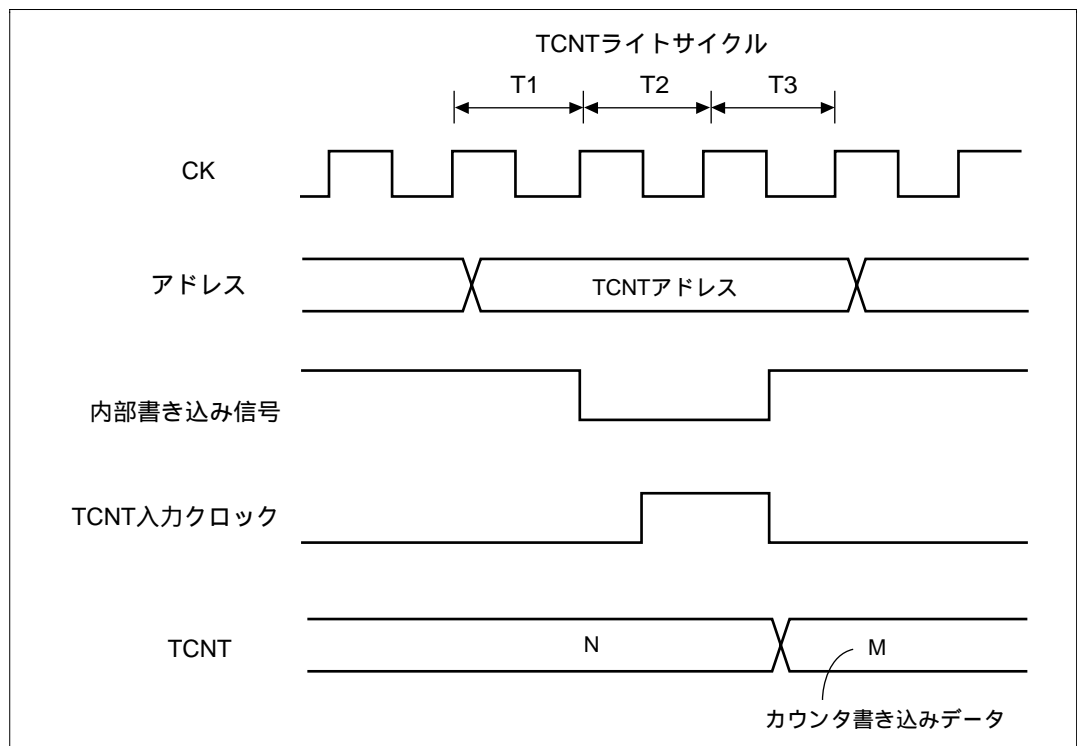


図 13.8 TCNT の書き込みとカウントアップの競合

13.4.2 CKS2 ~ CKS0 ビットを書き換え

WDT の動作中にタイマコントロール / ステータスレジスタ (TCSR) の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われず場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

13.4.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

13.4.4 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 13.9 に示すような回路で行ってください。

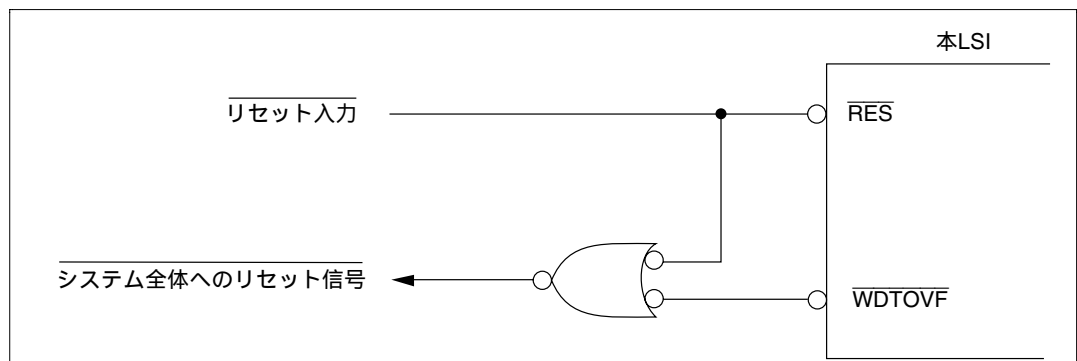


図 13.9 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

13.4.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT 内の TCNT、TCSR はリセットされます。

14. シリアルコミュニケーションインタフェース (SCI)

第 14 章 目次

14.1	概要	489
14.1.1	特長	489
14.1.2	ブロック図	490
14.1.3	端子構成	491
14.1.4	レジスタ構成	491
14.2	レジスタの説明	492
14.2.1	レシーブシフトレジスタ (RSR)	492
14.2.2	レシーブデータレジスタ (RDR)	492
14.2.3	トランスミットシフトレジスタ (TSR)	493
14.2.4	トランスミットデータレジスタ (TDR)	493
14.2.5	シリアルモードレジスタ (SMR)	494
14.2.6	シリアルコントロールレジスタ (SCR)	497
14.2.7	シリアルステータスレジスタ (SSR)	502
14.2.8	ビットレートレジスタ (BRR)	507
14.3	動作説明	519
14.3.1	概要	519
14.3.2	調歩同期式モード時の動作	521
14.3.3	マルチプロセッサ通信機能	532
14.3.4	クロック同期式モード時の動作	540
14.4	SCI の割り込み要因と DMAC / DTC	550
14.5	使用上の注意	551

14.1 概要

本 LSI は、独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI) を備えています。2 チャンネルは、同一の機能を持っています。

SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

14.1.1 特長

SCI には次のような特長があります。

シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。

Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長：7 ビット、または 8 ビット

ストップビット長：1 ビット、または 2 ビット

パリティ：偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサビット：1 または 0

受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラーを検出

ブレークの検出：フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことによりブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

データ長：8 ビット

受信エラーの検出：オーバランエラーを検出

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割り込みと受信データフル割り込みによりダイレクトメモリアクセスコントローラ (DMAC) または、データトランスファコントローラ (DTC) を起動させてデータの転送を行うことができます。

14.1.2 ブロック図

図 14.1 に SCI のブロック図を示します。

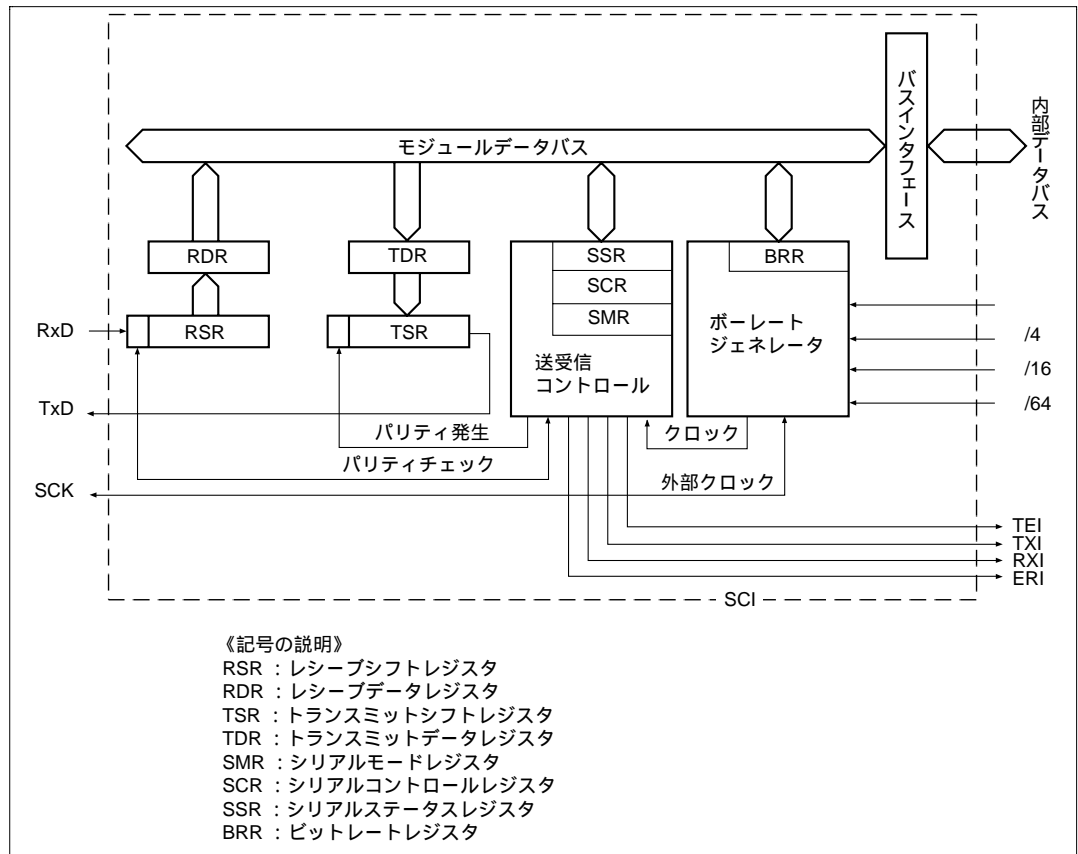


図 14.1 SCI のブロック図

14.1.3 端子構成

SCI は、チャンネルごとに表 14.1 に示すシリアル端子を持っています。

表 14.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子	TxD1	出力	SCI1 の送信データ出力

14.1.4 レジスタ構成

SCI には、表 14.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 14.2 レジスタ構成

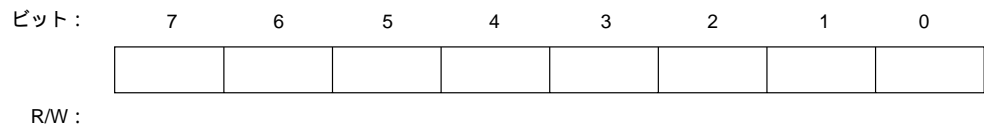
チャンネル	名称	略称	R/W	初期値	アドレス*2	アクセスサイズ
0	シリアルモードレジスタ	SMR0	R/W	H'00	H'FFFF81A0	8、16
	ビットレートレジスタ	BRR0	R/W	H'FF	H'FFFF81A1	8、16
	シリアルコントロールレジスタ	SCR0	R/W	H'00	H'FFFF81A2	8、16
	トランスミットデータレジスタ	TDR0	R/W	H'FF	H'FFFF81A3	8、16
	シリアルステータスレジスタ	SSR0	R/(W)*1	H'84	H'FFFF81A4	8、16
	レシーブデータレジスタ	RDR0	R	H'00	H'FFFF81A5	8、16
1	シリアルモードレジスタ	SMR1	R/W	H'00	H'FFFF81B0	8、16
	ビットレートレジスタ	BRR1	R/W	H'FF	H'FFFF81B1	8、16
	シリアルコントロールレジスタ	SCR1	R/W	H'00	H'FFFF81B2	8、16
	トランスミットデータレジスタ	TDR1	R/W	H'FF	H'FFFF81B3	8、16
	シリアルステータスレジスタ	SSR1	R/(W)*1	H'84	H'FFFF81B4	8、16
	レシーブデータレジスタ	RDR1	R	H'00	H'FFFF81B5	8、16

【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。

*2 空きアドレスはアクセスしないでください。

14.2 レジスタの説明

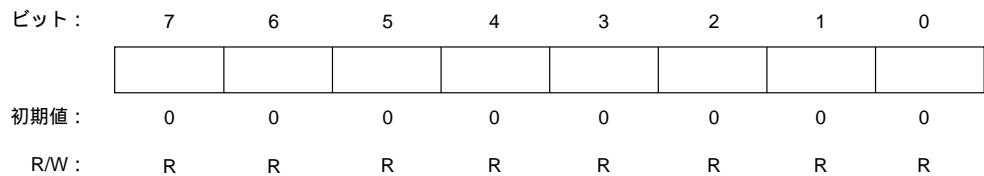
14.2.1 レシーブシフトレジスタ (RSR)



レシーブシフトレジスタ (RSR) は、シリアルデータを受信するためのレジスタです。SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から直接 RSR の読み出し / 書き込みをすることはできません。

14.2.2 レシーブデータレジスタ (RDR)



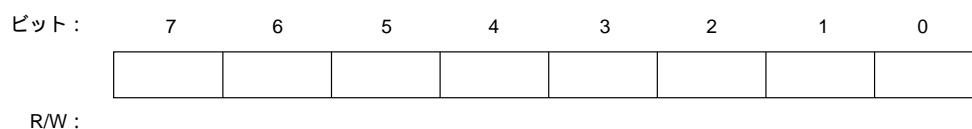
レシーブデータレジスタ (RDR) は、受信したシリアルデータを格納するレジスタです。SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR) から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

RDR は、パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

14.2.3 トランスミットシフトレジスタ (TSR)



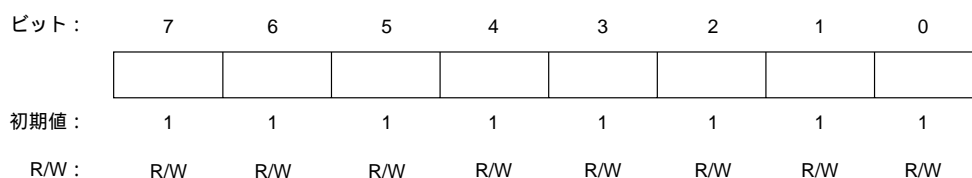
トランスミットシフトレジスタ (TSR) は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (TDR) から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR の読み出し / 書き込みをすることはできません。

14.2.4 トランスミットデータレジスタ (TDR)



トランスミットデータレジスタ (TDR) は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (TSR) の空を検出すると、TDR に書き込まれた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

TDR は、常に CPU による読み出し / 書き込みが可能です。

TDR は、パワーオンリセットまたはスタンバイモードで H'FF に初期化されます。マニュアルリセットでは初期化されません。

14.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SMR) は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU による読み出し / 書き込みが可能です。

SMR は、パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

ビット 7 : コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6 : キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。

クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、トランスミットデータレジスタ (TDR) の MSB (ビット 7) は送信されません。

ビット5 : パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに1をセットすると送信時には、O/ \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/ \bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4 : パリティモード (O/ \bar{E})

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/ \bar{E} ビットの設定は、調歩同期式モードでPE ビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/ \bar{E} ビットの指定は無効です。

ビット4	説明
O/ \bar{E}	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

ビット3 : ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1ストップビット* ¹ (初期値)
1	2ストップビット* ²

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2 : マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、および O/\bar{E} ビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「14.3.3 マルチプロセッサの通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能を禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定で、 $\times 4$ 、 $\times 16$ 、 $\times 64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「14.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	クロック (初期値)
	1	$\times 4$ クロック
1	0	$\times 16$ クロック
	1	$\times 64$ クロック

14.2.6 シリアルコントロールレジスタ (SCR)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCR) は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU による読み出し / 書き込みが可能です。

SCR は、パワーオンリセットまたはスタンバイモード時に H'00 に初期化されます。マニュアルリセットでは初期化されません。

ビット7：トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) へシリアル送信データが転送されシリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求を許可

【注】 * TXI の解除は、TDRE ビットの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット6：レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へ転送されて SSR の RDRF ビットが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF ビット、または FER、PER、ORER ビットの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5：トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット5	説明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *1 SSR の TDRE ビットは 1 に固定されます。

*2 この状態で、TDR に送信データを書き込んで、SSR の TDRE ビットを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SMR) の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ビットのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER ビットのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR の TDRE ビットの 1 を読み出した後、0 にクリアして TEND ビットを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット1、0：クロックイネーブル1、0 (CKE1、CKE0)

SCIのクロックソースの選択、およびSCK端子からのクロック出力の許可/禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。このとき、ピンファンクションコントローラ (PFC) で、SCK端子の機能を選択しておいてください。

ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作 (CKE1=0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1=1) の場合はCKE0ビットの設定は無効です。また、CKE1、CKE0ビットの設定の前には必ずSMRでSCIの動作モードを決定してください。

SCIのクロックソースの選択についての詳細は「14.3 動作説明」の表14.9を参照してください。

ビット1	ビット0	説明 ^{*1}	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入力端子 (入力信号は無視) または出力端子 (出力レベルは不定) ^{*2}
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力 ^{*2}
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力 ^{*3}
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力 ^{*4}
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力 ^{*4}
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 SCK 端子は他の機能とマルチプレクスされています。この端子を SCK の機能とし、かつその入出力方向を選択するためには、ピンファンクションコントローラ (PFC) を設定してください。

*2 初期値

*3 ビットレートと同じ周波数のクロックを出力

*4 ビットレートの 16 倍の周波数のクロックを入力

14.2.7 シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SSR) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSR は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FERの各ビットへ1を書き込むことはできません。また、これらを0にクリアするためには、あらかじめ1を読み出ししておく必要があります。また、TEND ビット、およびMPB ビットは読み出し専用であり、書き込むことはできません。

SSR は、パワーオンリセットまたはスタンバイモードで H'84 に初期化されます。マニュアルリセットでは初期化されません。

ビット7: トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) にデータ転送が行われ、TDR に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット7	説明
TDRE	
0	TDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、0 を書き込んだとき (2) DMAC または DTC で TDR へデータを書き込んだとき
1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット、またはスタンバイモード時 (2) SCR の TE ビットが0のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき

ビット6：レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (RDR) に格納されていることを示します。

ビット6	説明
RDRF	
0	RDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき (3) DMAC または DTC で RDR のデータを読み出したとき
1	RDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCR) の RE ビットを 0 にクリアしたときには RDR および RDRF ビットは影響を受けず以前の状態を保持します。RDRF ビットが 1 にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) パワーオンリセット、またはスタンバイモード時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示*2 [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、ORER ビットは影響を受けず以前の状態を保持します。

*2 RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) FER=1の状態を読み出した後、0を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示* ² [セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき* ²

【注】 *1 SCRのREビットを0にクリアしたときには、FERビットは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFビットはセットされません。さらに、FERビットが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット3 : パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) PER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットを合わせた1の数が、シリアルモードレジスタ (SMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、PER ビットは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF ビットはセットされません。なお、PER ビットが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND ビットは読み出し専用ですので、書き込むことはできません。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき (2) DMAC または DTC で TDR ヘデータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセットまたはスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき

ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、読み出し専用ですので、書き込むことはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが 0 のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが 1 のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットで RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときにはMPBTビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

14.2.8 ビットレートレジスタ (BRR)

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートレジスタ (BRR) は、シリアルモードレジスタ (SMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU による読み出し / 書き込みが可能です。

BRR は、パワーオンリセットまたはスタンバイモードで H'FF に初期化されます。マニュアルリセットでは初期化されません。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 14.3 に調歩同期式モードの BRR の設定例を、表 14.4 にクロック同期式モードの BBR の設定例を示します。

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(1)

(MHz) ビット レート(bit/s)	4			4.9152			6			7.3728		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	70	0.03	2	86	0.31	2	106	-0.44	2	130	-0.07
150	1	207	0.16	1	255	0.00	2	77	0.16	2	95	0.00
300	1	103	0.16	1	127	0.00	1	155	0.16	1	191	0.00
600	0	207	0.16	0	255	0.00	1	77	0.16	1	95	0.00
1200	0	103	0.16	0	127	0.00	0	155	0.16	0	191	0.00
2400	0	51	0.16	0	63	0.00	0	77	0.16	0	95	0.00
4800	0	25	0.16	0	31	0.00	0	38	0.16	0	47	0.00
9600	0	12	0.16	0	15	0.00	0	19	-2.34	0	23	0.00
14400	0	8	-3.55	0	10	-3.03	0	12	0.16	0	15	0.00
19200	0	6	-6.99	0	7	0.00	0	9	-2.34	0	11	0.00
28800	0	3	8.51	0	4	6.67	0	6	-6.99	0	7	0.00
31250	0	3	0.00	0	4	-1.70	0	5	0.00	0	6	5.33
38400	0	2	8.51	0	3	0.00	0	4	-2.34	0	5	0.00

(MHz) ビット レート(bit/s)	8			9.8304			10			11.0592		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	195	0.19
150	2	103	0.16	2	127	0.00	2	129	0.16	2	143	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	71	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	143	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	71	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	143	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	71	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	35	0.00
14400	0	16	2.12	0	20	1.59	0	21	-1.36	0	23	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	17	0.00
28800	0	8	-3.55	0	10	-3.03	0	10	-1.36	0	11	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	10	0.54
38400	0	6	-6.99	0	7	0.00	0	7	1.73	0	8	0.00

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)

ビット レート(bit/s)	12			12.288			14			14.7456		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	212	0.03	2	217	0.08	2	248	-0.17	3	64	0.70
150	2	155	0.16	2	159	0.00	2	181	0.16	2	191	0.00
300	2	77	0.16	2	79	0.00	2	90	0.16	2	95	0.00
600	1	155	0.16	1	159	0.00	1	181	0.16	1	191	0.00
1200	1	77	0.16	1	79	0.00	1	90	0.16	1	95	0.00
2400	0	155	0.16	0	159	0.00	0	181	0.16	0	191	0.00
4800	0	77	0.16	0	79	0.00	0	90	0.16	0	95	0.00
9600	0	38	0.16	0	39	0.00	0	45	-0.93	0	47	0.00
14400	0	25	0.16	0	26	-1.23	0	29	1.27	0	31	0.00
19200	0	19	-2.34	0	19	0.00	0	22	-0.93	0	23	0.00
28800	0	12	0.16	0	12	2.56	0	14	1.27	0	15	0.00
31250	0	11	0.00	0	11	2.40	0	13	0.00	0	14	-1.70
38400	0	9	-2.34	0	9	0.00	0	10	3.57	0	11	0.00

ビット レート(bit/s)	16			17.2032			18			18.432		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	70	0.03	3	75	0.48	3	79	-0.12	3	81	-0.22
150	2	207	0.16	2	223	0.00	2	233	0.16	2	239	0.00
300	2	103	0.16	2	111	0.00	2	116	0.16	2	119	0.00
600	1	207	0.16	1	223	0.00	1	233	0.16	1	239	0.00
1200	1	103	0.16	1	111	0.00	1	116	0.16	1	119	0.00
2400	0	207	0.16	0	223	0.00	0	233	0.16	0	239	0.00
4800	0	103	0.16	0	111	0.00	0	116	0.16	0	119	0.00
9600	0	51	0.16	0	55	0.00	0	58	-0.69	0	59	0.00
14400	0	34	-0.79	0	36	0.90	0	38	0.16	0	39	0.00
19200	0	25	0.16	0	27	0.00	0	28	1.02	0	29	0.00
28800	0	16	2.12	0	18	-1.75	0	19	-2.34	0	19	0.00
31250	0	15	0.00	0	16	1.20	0	17	0.00	0	17	2.40
38400	0	12	0.16	0	13	0.00	0	14	-2.34	0	14	0.00

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)

ビット レート(bit/s)	19.6608			20			22			22.1184		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	86	0.31	3	88	-0.25	3	97	-0.35	3	97	0.19
150	2	255	0.00	3	64	0.16	3	71	-0.54	3	71	0.00
300	2	127	0.00	2	129	0.16	2	142	0.16	2	143	0.00
600	1	255	0.00	2	64	0.16	2	71	-0.54	2	71	0.00
1200	1	127	0.00	1	129	0.16	1	142	0.16	1	143	0.00
2400	0	255	0.00	1	64	0.16	1	71	-0.54	1	71	0.00
4800	0	127	0.00	0	129	0.16	0	142	0.16	0	143	0.00
9600	0	63	0.00	0	64	0.16	0	71	-0.54	0	71	0.00
14400	0	42	-0.78	0	42	0.94	0	47	-0.54	0	47	0.00
19200	0	31	0.00	0	32	-1.36	0	35	-0.54	0	35	0.00
28800	0	20	1.59	0	21	-1.36	0	23	-0.54	0	23	0.00
31250	0	19	-1.70	0	19	0.00	0	21	0.00	0	21	0.54
38400	0	15	0.00	0	15	1.73	0	17	-0.54	0	17	0.00

ビット レート(bit/s)	24			24.576			25.8048			26		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	106	-0.44	3	108	0.08	3	114	-0.40	3	114	0.36
150	3	77	0.16	3	79	0.00	3	83	0.00	3	84	-0.43
300	2	155	0.16	2	159	0.00	2	167	0.00	2	168	0.16
600	2	77	0.16	2	79	0.00	2	83	0.00	2	84	-0.43
1200	1	155	0.16	1	159	0.00	1	167	0.00	1	168	0.16
2400	1	77	0.16	1	79	0.00	1	83	0.00	1	84	-0.43
4800	0	155	0.16	0	159	0.00	0	167	0.00	0	168	0.16
9600	0	77	0.16	0	79	0.00	0	83	0.00	0	84	-0.43
14400	0	51	0.16	0	52	0.63	0	55	0.00	0	55	0.76
19200	0	38	0.16	0	39	0.00	0	41	0.00	0	41	0.76
28800	0	25	0.16	0	26	-1.23	0	27	0.00	0	27	0.76
31250	0	23	0.00	0	24	-1.70	0	25	-0.75	0	25	0.00
38400	0	19	-2.34	0	19	0.00	0	20	0.00	0	20	0.76

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(4)

ビット レート(bit/s)	27.0336			28			29.4912			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	119	0.00	3	123	0.23	3	130	-0.07	3	132	0.13
150	3	87	0.00	3	90	0.16	3	95	0.00	3	97	-0.35
300	2	175	0.00	2	181	0.16	2	191	0.00	2	194	0.16
600	1	87	0.00	2	90	0.16	2	95	0.00	2	97	-0.35
1200	1	175	0.00	1	181	0.16	1	191	0.00	1	194	0.16
2400	1	87	0.00	1	90	0.16	1	95	0.00	1	97	-0.35
4800	0	175	0.00	0	181	0.16	0	191	0.00	0	194	0.16
9600	0	87	0.00	0	90	0.16	0	95	0.00	0	97	-0.35
14400	0	58	-0.56	0	60	-0.39	0	63	0.00	0	64	0.16
19200	0	43	0.00	0	45	0.93	0	47	0.00	0	48	-0.35
28800	0	28	1.15	0	29	1.27	0	31	0.00	0	32	-1.36
31250	0	26	0.12	0	27	0.00	0	28	1.69	0	29	0.00
38400	0	21	0.00	0	22	-0.93	0	23	0.00	0	23	1.73

ビット レート(bit/s)	31.9488			32			33			33.1776		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	141	-0.13	3	141	0.03	3	145	0.33	3	146	0.19
150	3	103	0.00	3	103	0.16	3	106	0.39	3	107	0.00
300	2	207	0.00	2	207	0.16	2	214	-0.07	2	215	0.00
600	2	103	0.00	2	103	0.16	2	106	0.39	2	107	0.00
1200	1	207	0.00	1	207	0.16	1	214	-0.07	1	215	0.00
2400	1	103	0.00	1	103	0.16	1	106	0.39	1	107	0.00
4800	0	207	0.00	0	207	0.16	0	214	-0.07	0	215	0.00
9600	0	103	0.00	0	103	0.16	0	106	0.39	0	107	0.00
14400	0	68	0.48	0	68	0.64	0	71	-0.54	0	91	0.00
19200	0	51	0.00	0	51	0.16	0	53	-0.54	0	53	0.00
28800	0	34	-0.95	0	34	-0.79	0	35	-0.54	0	35	0.00
31250	0	31	-0.16	0	31	0.00	0	32	0.00	0	32	0.54
38400	0	25	0.00	0	25	0.16	0	26	-0.54	0	26	0.00

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(5)

ビット レート(bit/s)	33.3333		
	n	N	誤差 (%)
110	3	147	-0.02
150	3	108	-0.45
300	2	216	0.01
600	2	108	-0.45
1200	1	216	0.01
2400	1	108	-0.45
4800	0	216	0.01
9600	0	108	-0.45
14400	0	91	0.47
19200	0	53	0.47
28800	0	35	0.47
31250	0	32	1.01
38400	0	26	0.47

表 14.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート(bit/s)	4		8		10		12		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	141										
250	2	249	3	124	3	155	3	187	3	249		
500	2	124	2	249	3	77	3	93	3	124	3	155
1k	1	249	2	124	2	155	2	187	2	249	3	77
2.5k	1	99	1	199	1	249	2	74	2	99	2	124
5k	0	199	1	99	1	124	1	149	1	199	1	249
10k	0	99	0	199	0	249	1	74	1	99	1	124
25k	0	39	0	79	0	99	0	119	0	159	0	199
50k	0	19	0	39	0	49	0	59	0	79	0	99
100k	0	9	0	19	0	24	0	29	0	39	0	49
250k	0	3	0	7	0	9	0	11	0	15	0	19
500k	0	1	0	3	0	4	0	5	0	7	0	9
1M	0	0*	0	1	-	-	0	2	0	3	0	4
2.5M					0	0*	0	0*	-	-	0	1
5M											0	0*

ビット レート(bit/s)	24		28		30		32		33		33.3333	
	n	N	n	N	n	N	n	N	n	N	n	N
110												
250												
500	3	187	3	218	3	233	3	249				
1k	3	93	3	108	3	116	3	124	3	128	3	129
2.5k	2	149	2	174	2	187	2	199	2	205	2	207
5k	2	74	2	87	2	93	2	99	2	102	2	103
10k	1	149	1	174	1	187	1	199	1	205	1	207
25k	1	239	1	69	1	74	1	79	1	82	1	82
50k	0	119	0	139	0	149	0	159	0	164	0	166
100k	0	59	0	69	0	74	0	79	0	82	0	82
250k	0	23	0	27	0	29	0	31	0	32	0	32
500k	0	11	0	13	0	14	0	15	0	16	0	16
1M	0	5	0	6	0	7	0	7	0	7	0	7
2.5M	-	-	0	2	0	2	0	2	0	2	-	-
3.5M	-	-	0	1	-	-	-	-	-	-	-	-
7M	-	-	0	0*	-	-	-	-	-	-	-	-

【注】 誤差は、なるべく1%以内になるように設定してください。

14. シリアルコミュニケーションインタフェース (SCI)

《記号説明》

空欄：設定できません。

-：設定可能ですが誤差がでます。

*：連続送信 / 受信はできません。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\text{動作周波数}}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\text{動作周波数}}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

動作周波数 (MHz)

n：ボーレートジェネレータ入力クロック (n = 0、1、2、3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/ 4	0	1
2	/ 16	1	0
3	/ 64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\text{動作周波数} \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 14.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 14.6 と表 14.7 に外部クロック入力時の最大ビットレートを示します。

表 14.5 (1) ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

(MHz)	最大ビットレート (bit/s)	設定値	
		n	N
4	125000	0	0
4.9152	153600	0	0
6	187500	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
11.0592	345600	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
18.432	576000	0	0
19.6608	614400	0	0
20	625000	0	0
22	687500	0	0
22.1184	691200	0	0
24	750000	0	0
24.576	768000	0	0
25.8048	806400	0	0
26	812500	0	0
27.0336	844800	0	0
28	875000	0	0

表 14.5 (2) ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

(MHz)	最大ビットレート (bit/s)	設定値	
		n	N
29.4912	921600	0	0
30	937500	0	0
31.9488	998400	0	0
32	1000000	0	0
33	1031250	0	0
33.1776	1036800	0	0
33.3333	1041666	0	0

表 14.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	1.0000	62500
4.9152	1.2288	76800
6	1.5000	93750
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
11.0592	2.7648	172800
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
18.432	4.6080	288000
19.6608	4.9152	307200
20	5.0000	312500
22	5.5000	343750
22.1184	5.5296	345600
24	6.0000	375000
24.576	6.1440	384000
25.8048	6.4512	403200
26	6.5000	406250
27.0336	6.7584	422400
28	7.0000	437500
29.4912	7.3728	460800
30	7.5000	468750
31.9488	7.9872	499200
32	8.0000	500000
33	8.2500	515625
33.1776	8.2944	518400
33.3333	8.3333	520832.8125

表 14.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
22	3.6667	3666666.7
24	4.0000	4000000.0
26	4.3333	4333333.3
28	4.6667	4666666.7
30	5.0000	5000000.0
32	5.3333	5333333.3
33.3333	5.5556	5555550.0

14.3 動作説明

14.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 14.8 に示します。また、SCI のクロックソースは、SMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 14.9 に示します。

- ・ 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマットおよび、キャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCI のクロックソース：内部クロック/外部クロックから選択可能

内部クロックを選択した場合：

SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能

外部クロックを選択した場合：

ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

- ・ クロック同期式モード

- 送信/受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCI のクロックソース：内部クロック/外部クロックから選択可能

内部クロックを選択した場合：

SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

外部クロックを選択した場合：

内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 14.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット							
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサビット	パリティビット	ストップビット長				
C/ \bar{A}	CHR	MP	PE	STOP									
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット				
				1					2ビット				
			1	0					あり	1ビット			
				1					2ビット				
			1	0					0	7ビット データ	なし	1ビット	
									1			2ビット	
	1	0	0	あり	なし	1ビット							
			1			2ビット							
	1	0	1			*	0	調歩同期式 モード (マルチ プロセッサ フォーマット)	8ビット データ			なし	1ビット
						*	1						2ビット
		1				*	0		7ビット データ	1ビット			
						*	1			2ビット			
1	*	*	*	*	クロック 同期式モード	8ビット データ	なし	なし					

【注】 表中の*は Don't care であることを示します。

表 14.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック			
ビット 7	ビット 1	ビット 0		クロック ソース	SCK 端子の機能*		
C/ \bar{A}	CKE1	CKE0					
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません		
		1			ビットレートと同じ周波数のクロックを出力		
		1			0	外部	ビットレートの 16 倍の周波数のクロックを入力
					1		
1	0	0	クロック 同期式 モード	内部	同期クロックを出力		
		1					
		1		0	外部	同期クロックを入力	
				1			

【注】 * ピンファンクションコントローラ (PFC) と合わせ、設定してください。

14.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 14.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット (Low レベル) から始まり、データ (LSB ファースト : 最下位ビットから)、パリティビット (High / Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

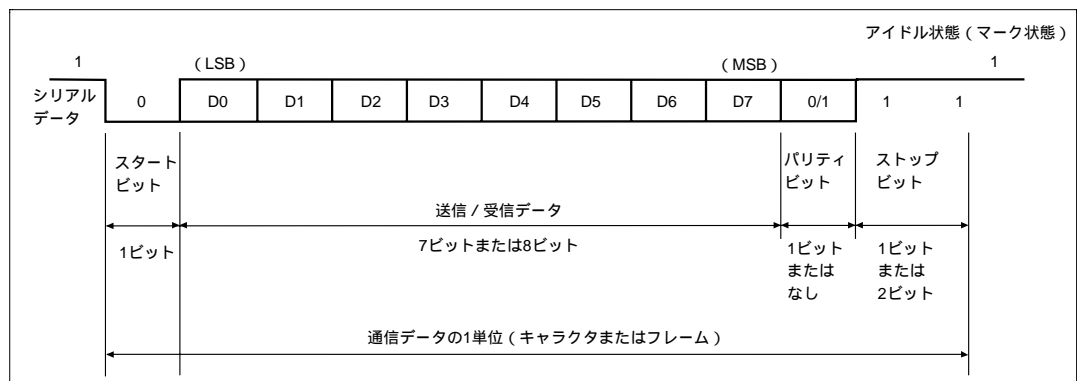


図 14.2 調歩同期式通信のデータフォーマット

(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 14.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

表 14.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMR の設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	*	1	0	S	8ビットデータ								MPB	STOP			
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	*	1	0	S	7ビットデータ							MPB	STOP				
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP			

《記号説明》

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセスビット

【注】 表中の * は Don't care であることを示します。

(2) クロック

SCI の送受信クロックは、SMR の C/\bar{A} ビットとシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 14.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 14.3 に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

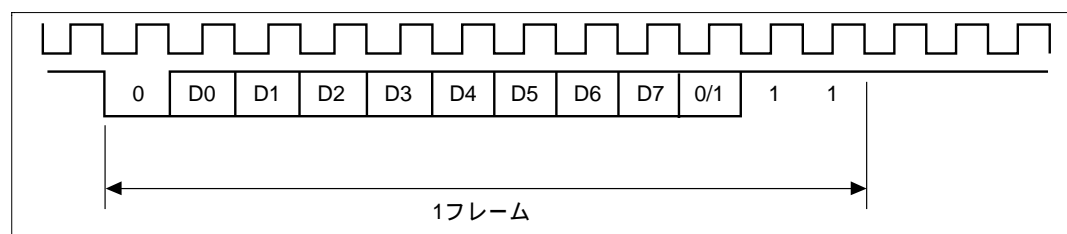


図 14.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

・SCI の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCR の TE ビットおよび、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合にも必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE ビットは、1 にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各ビットおよび、レシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 14.4 に SCI の初期化フローチャートの例を示します。

14. シリアルコミュニケーションインタフェース (SCI)

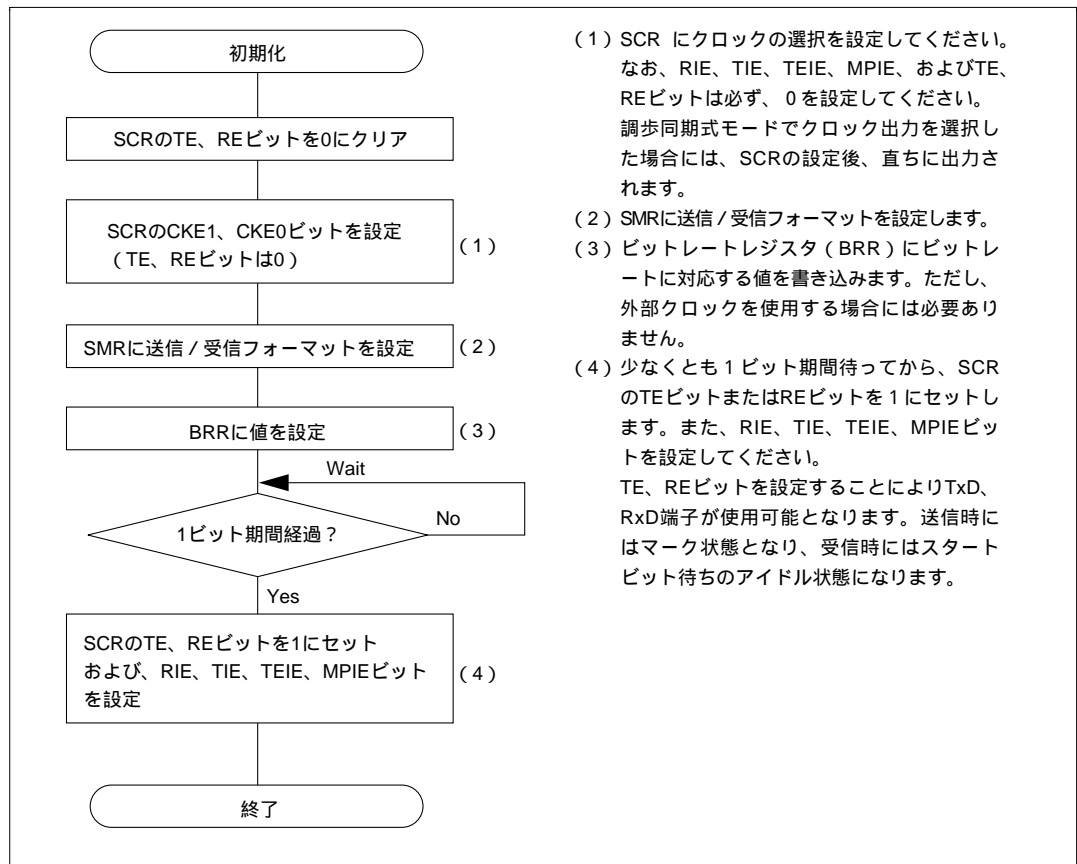


図 14.4 SCI の初期化フローチャートの例

・シリアルデータ送信 (調歩同期式)

図 14.5 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順に従って行ってください。

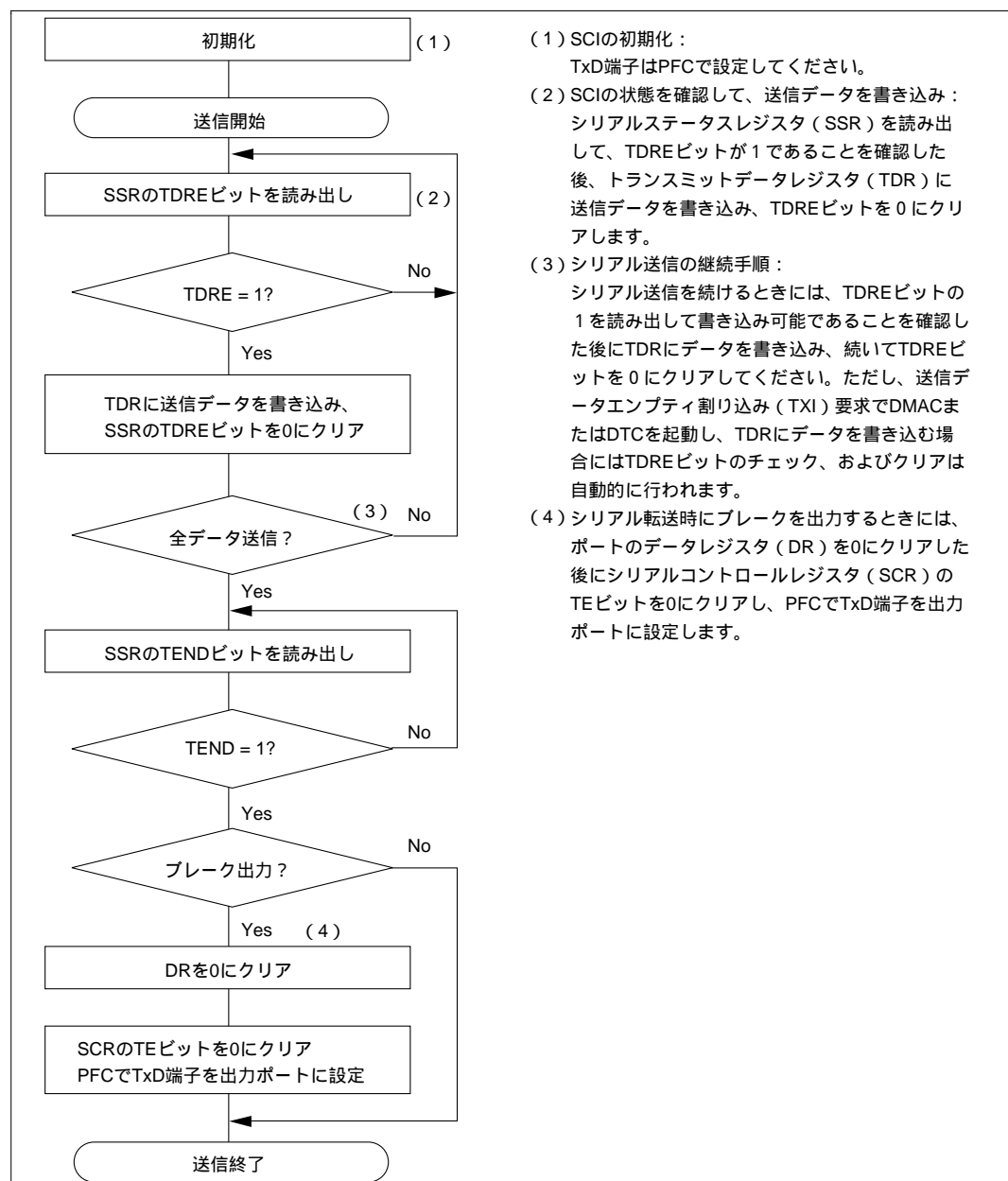


図 14.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCI は、シリアルステータスレジスタ (SSR) の TDRE ビットを監視し、0 であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。このとき、シリアルコントロールレジスタ (SCR) の TIE ビットが 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット : 1 ビットの 0 が出力されます。
 - (b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット : 1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット : 1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
 - (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCI は、ストップビットを送出するタイミングで TDRE ビットをチェックします。TDRE ビットが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。TDRE ビットが 1 であるとシリアルステータスレジスタ (SSR) の TEND ビットに 1 をセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 14.6 に示します。

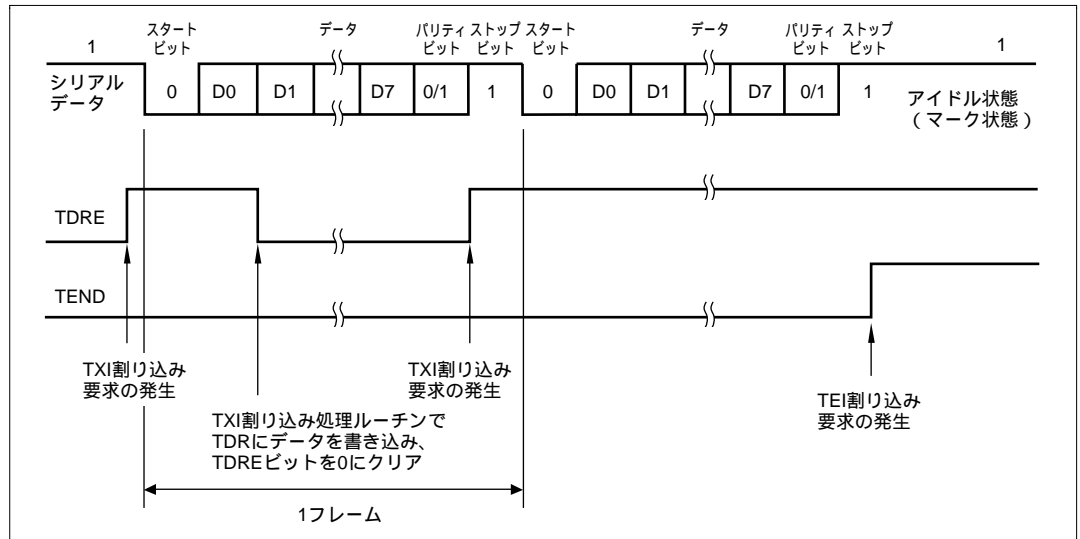


図 14.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

・シリアルデータ受信 (調歩同期式)

図 14.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

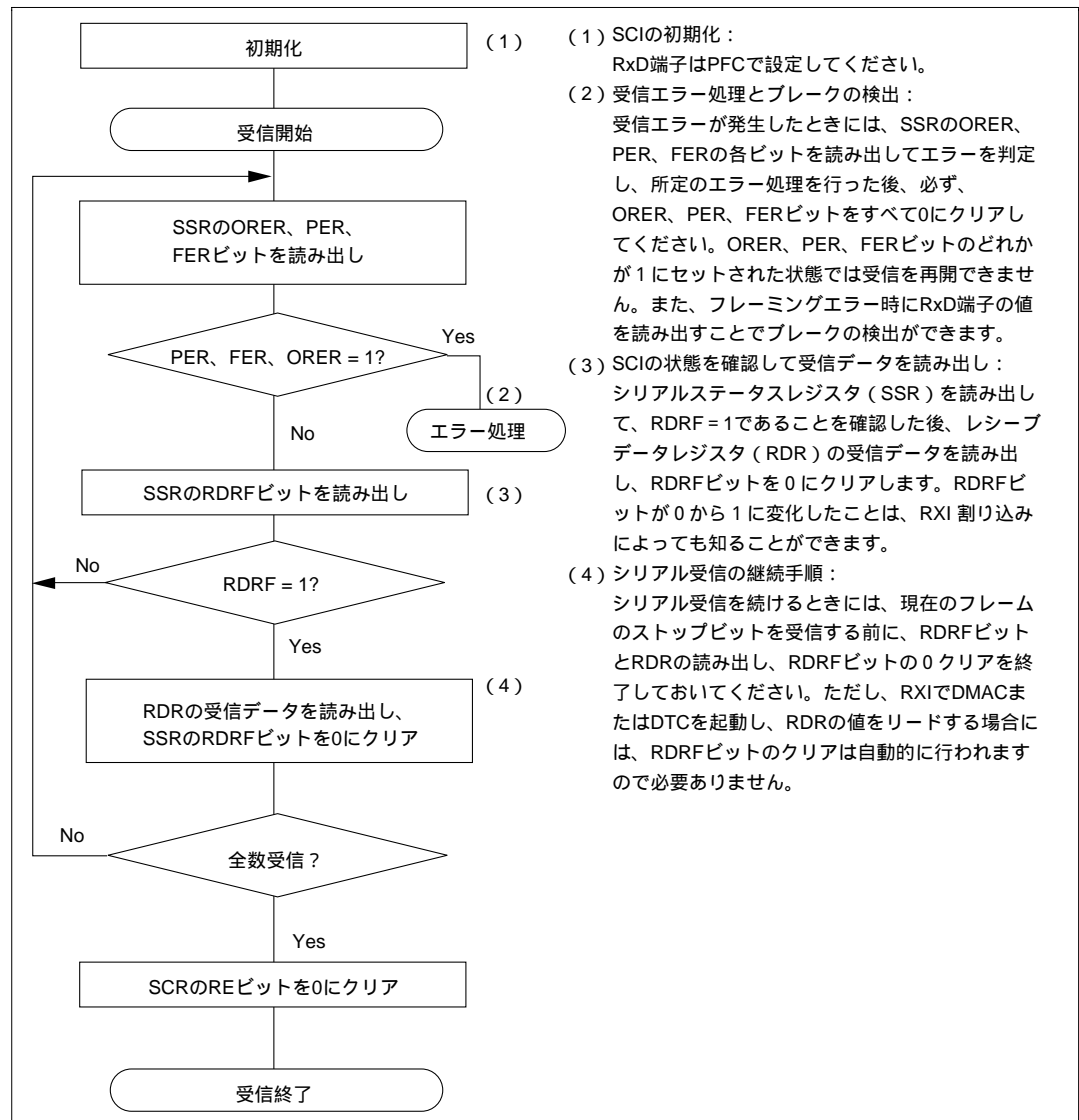


図 14.7 シリアル受信のフローチャートの例 (1)

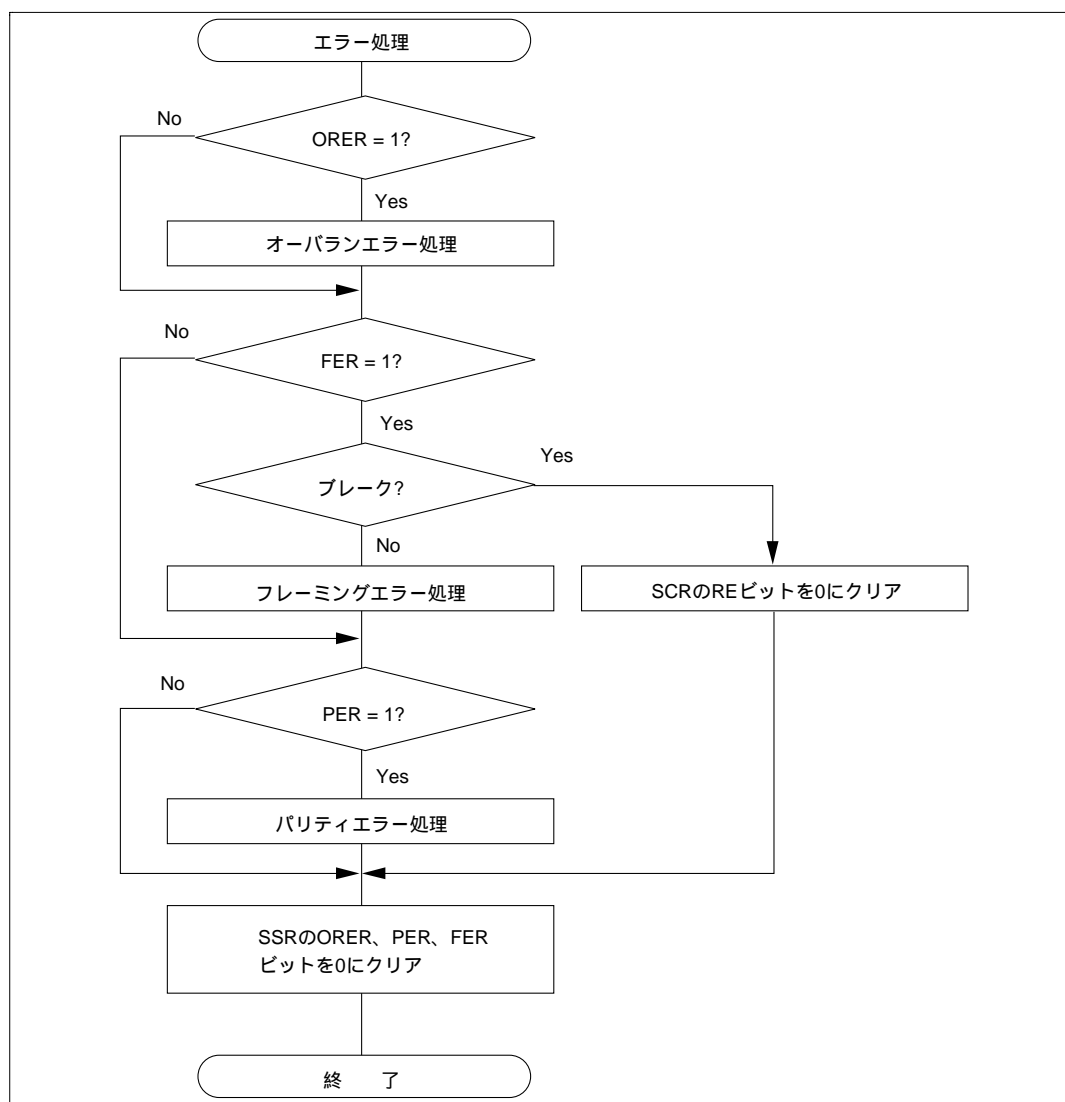


図 14.7 シリアル受信のフローチャートの例 (2)

SCI は受信時に以下のように動作します。

- (1) SCI は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータを RSR の LSB から MSB の順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの 1 の数をチェックし、これがシリアルモードレジスタ (SMR) の $O\bar{E}$ ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが 1 であるかをチェックします。
ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRF ビットが 0 であり、受信データをレシープシフトレジスタ (RSR) から RDR に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーが発生すると表 14.11 のように動作します。

- 【注】** 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF ビットが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- (4) RDRF ビットが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER、PER、FER ビットのどれかが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求が発生します。

調歩同期式モード受信時の動作例を図 14.8 に示します。

表 14.11 受信エラーと発生条件

受信エラー	略称	発生条件	データ転送
オーバラン エラー	ORER	SSR の RDRF フラグが 1 にセット されたまま次のデータ受信を完了 したとき	RSR から RDR に受信データは転送 されません。
フレーミング エラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送 されません。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティ の設定と受信したデータが異なる とき	RSR から RDR に受信データが転送 されません。

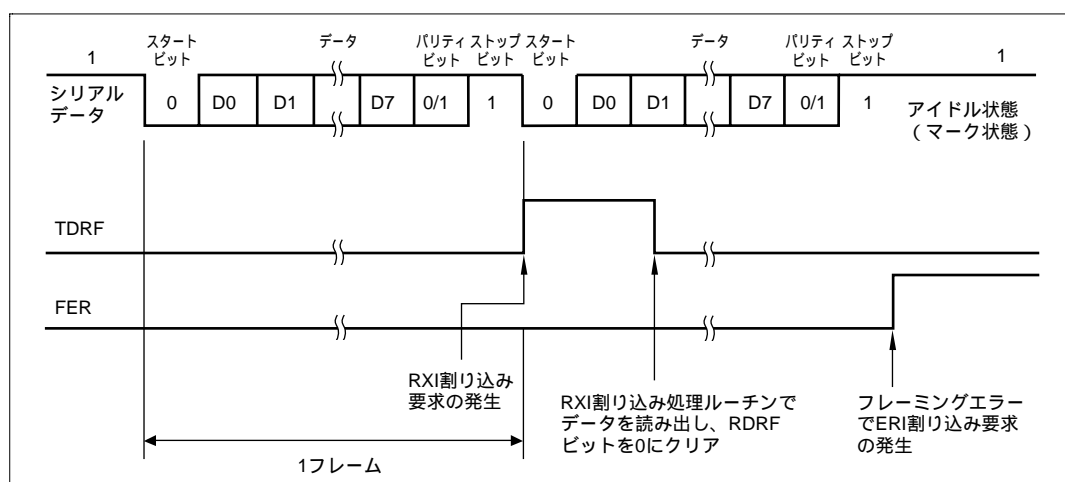


図 14.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

14.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット(マルチプロセッサフォーマット)でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの2つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 14.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは4種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 14.8 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

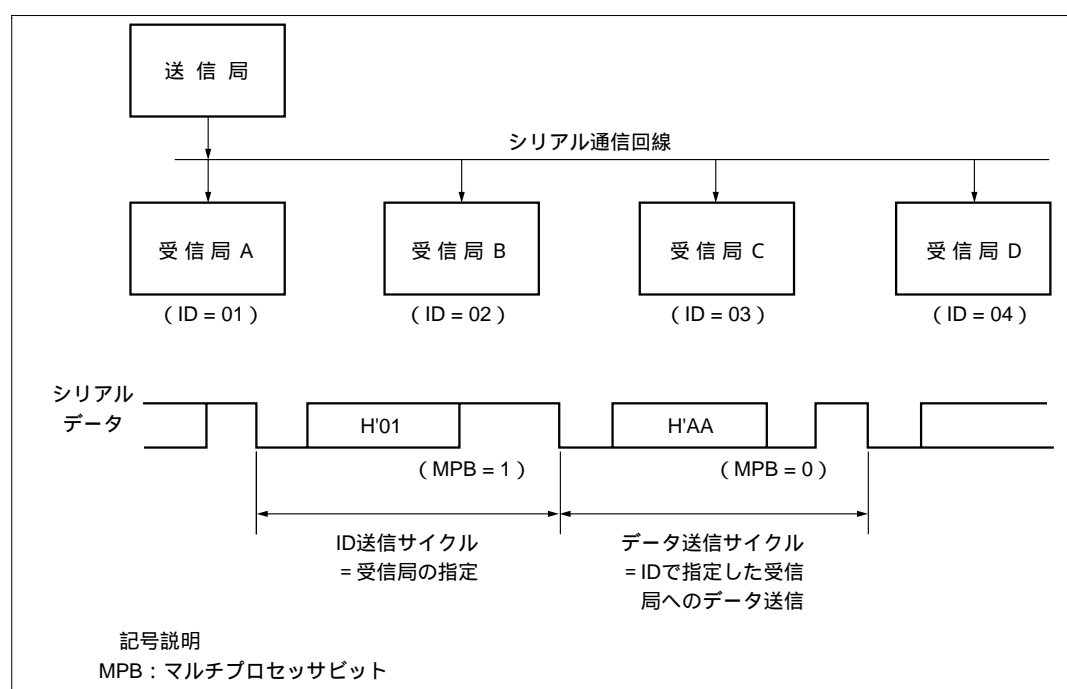


図 14.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

・マルチプロセッサシリアルデータ送信

図 14.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。
 マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

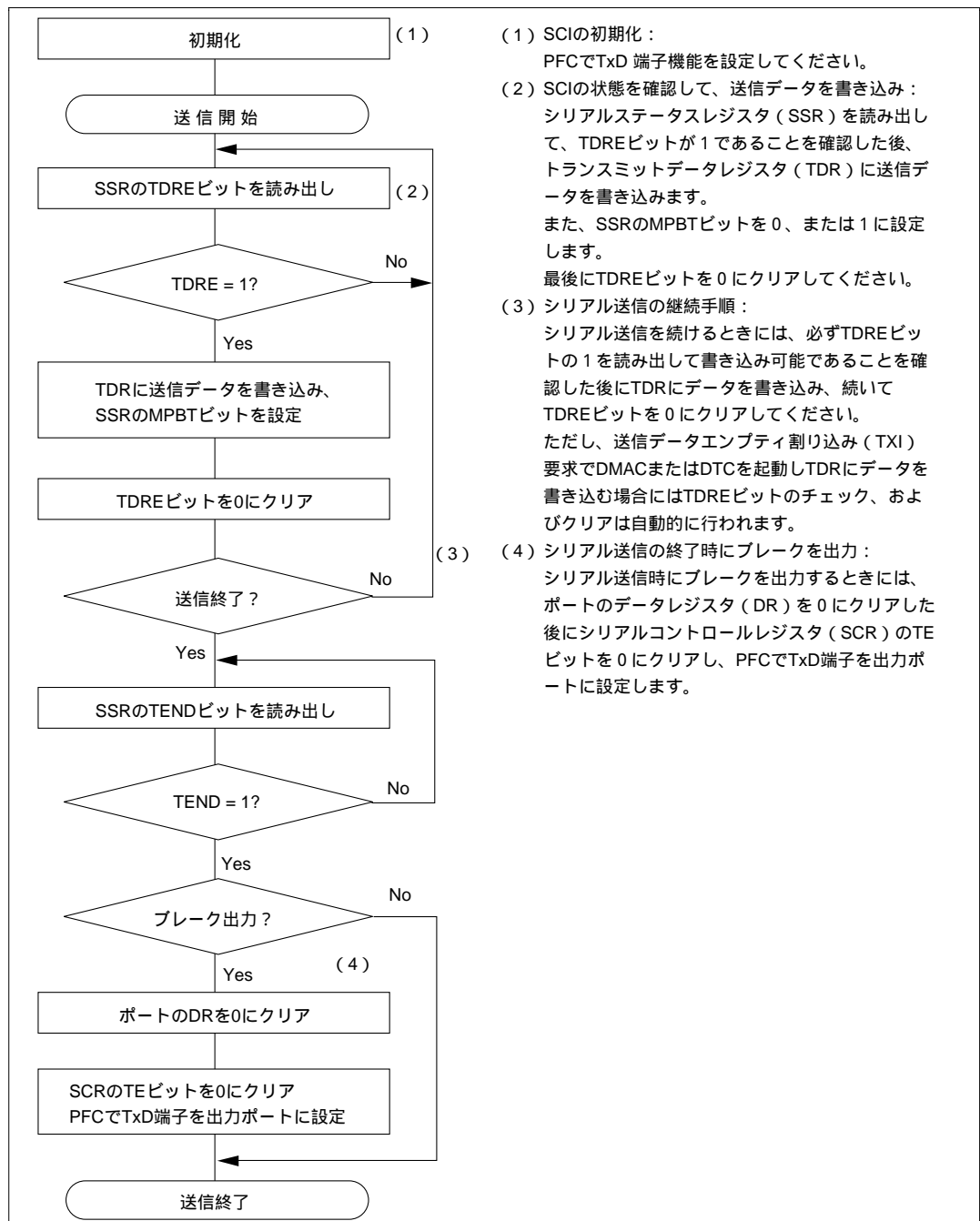


図 14.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- (1) SCI は、SSR の TDRE ビットを監視し、0 であると TDR にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。
このとき、SCR の送信データエンプティ割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送りだされます。

- (a) スタートビット : 1 ビットの 0 が出力されます。
 - (b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。
 - (c) マルチプロセッサビット : 1 ビットのマルチプロセッサビット (MPBT の値) が出力されます。
 - (d) ストップビット : 1 ビット、または 2 ビットの 1 (ストップビット) が出力されます。
 - (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCI は、ストップビットを送り出すタイミングで TDRE ビットをチェックします。TDRE ビットが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。TDRE ビットが 1 であると SSR の TEND ビットを 1 にセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 14.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

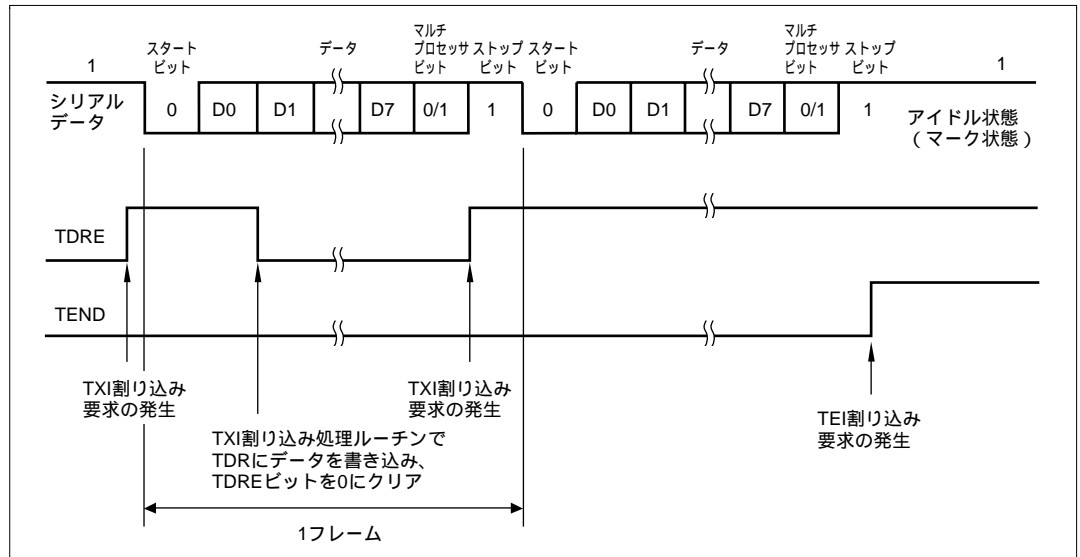


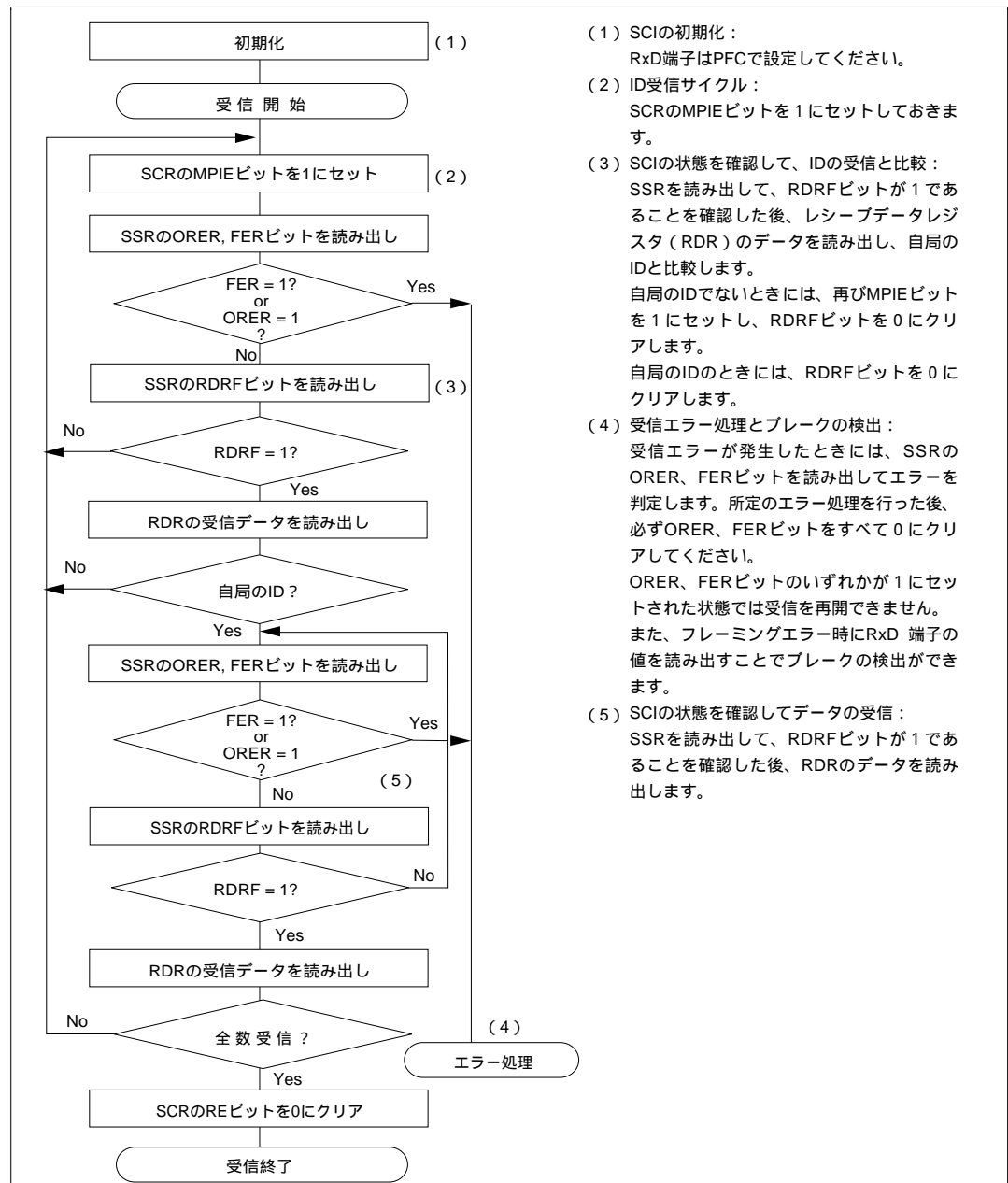
図 14.11 SCI の送信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

・マルチプロセッサシリアルデータ受信

図 14.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。



- (1) SCIの初期化：
RxD端子はPFCで設定してください。
- (2) ID受信サイクル：
SCRのMPIEビットを1にセットしておきます。
- (3) SCIの状態を確認して、IDの受信と比較：
SSRを読み出して、RDRFビットが1であることを確認した後、レシーブデータレジスタ (RDR) のデータを読み出し、自局のIDと比較します。
自局のIDでないときには、再びMPIEビットを1にセットし、RDRFビットを0にクリアします。
自局のIDのときには、RDRFビットを0にクリアします。
- (4) 受信エラー処理とブレイクの検出：
受信エラーが発生したときには、SSRのORER、FERビットを読み出してエラーを判定します。所定のエラー処理を行った後、必ずORER、FERビットをすべて0にクリアしてください。
ORER、FERビットのいずれかが1にセットされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子の値を読み出すことでブレイクの検出ができます。
- (5) SCIの状態を確認してデータの受信：
SSRを読み出して、RDRFビットが1であることを確認した後、RDRのデータを読み出します。

図 14.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

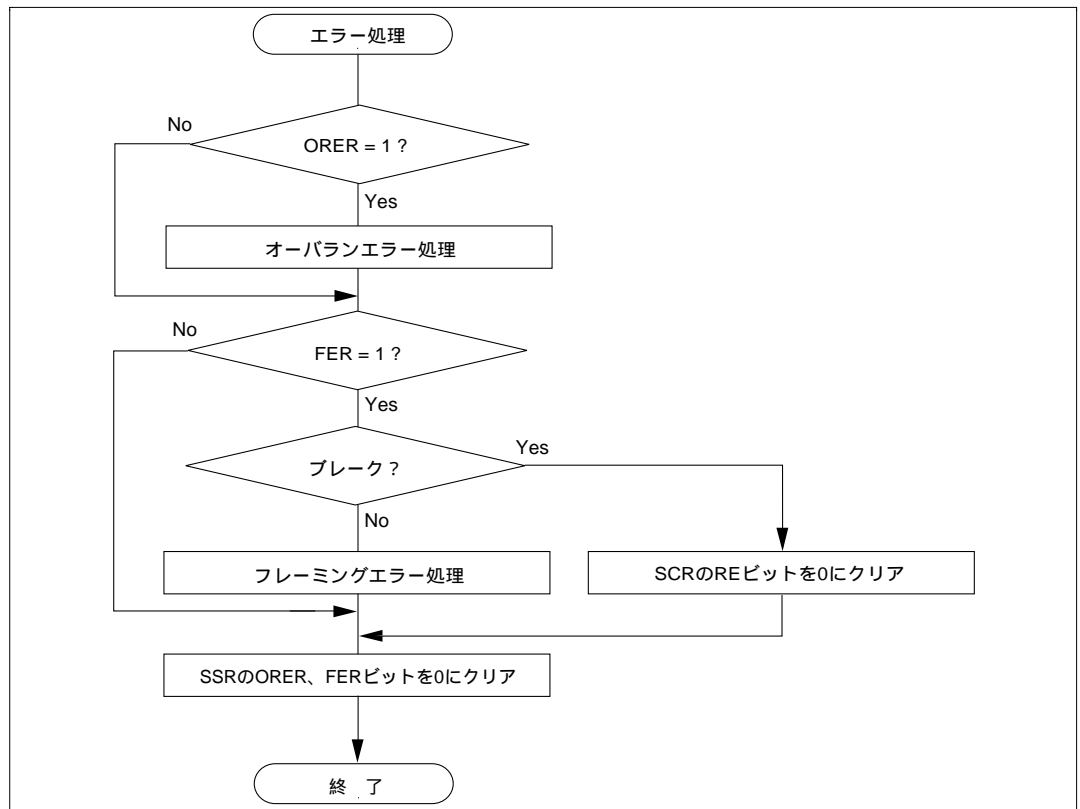


図 14.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 14.13 にマルチプロセッサフォーマットのSCIの受信時の動作例を示します。

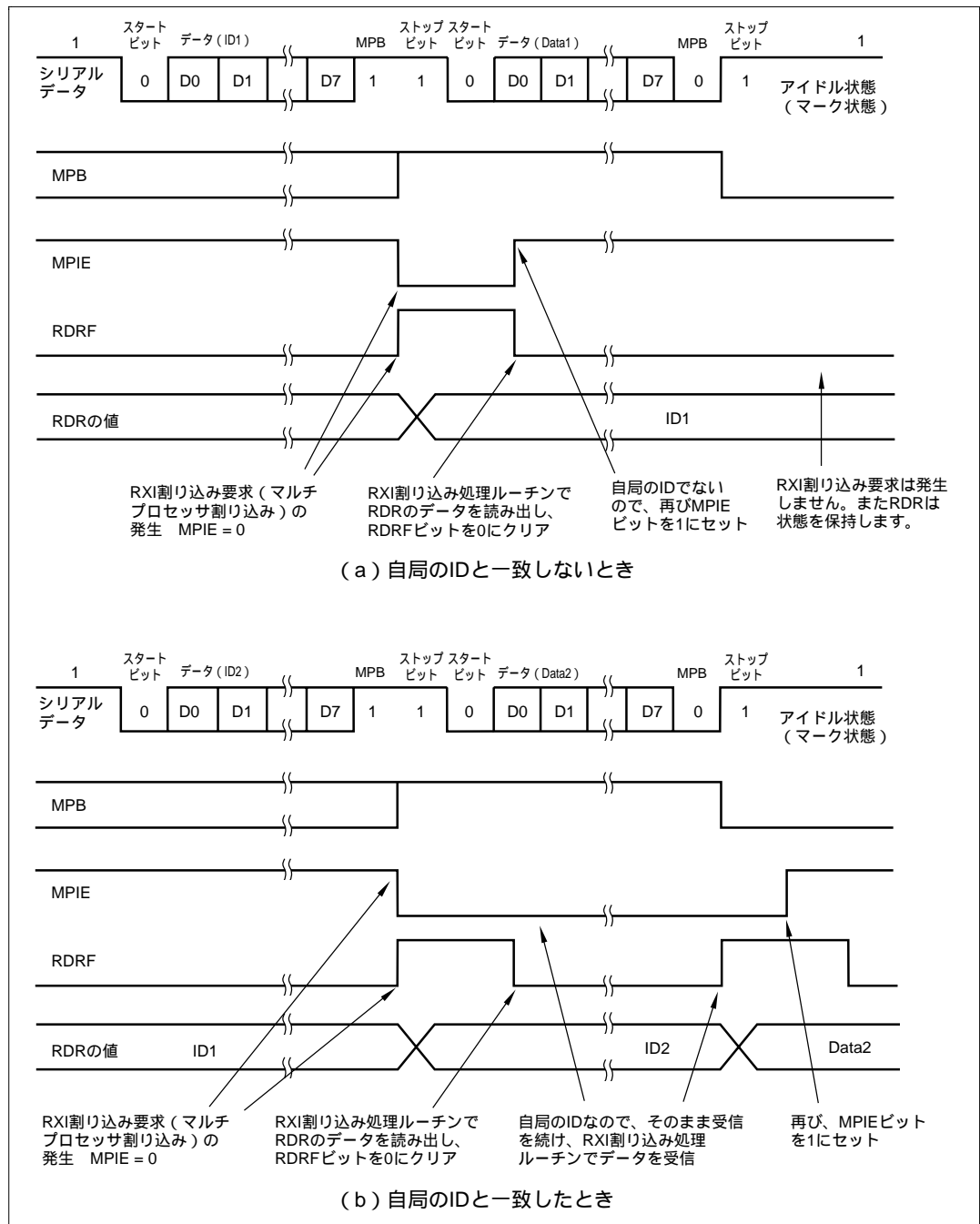


図 14.13 SCIの受信時の動作例

(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

14.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 14.14 に示します。

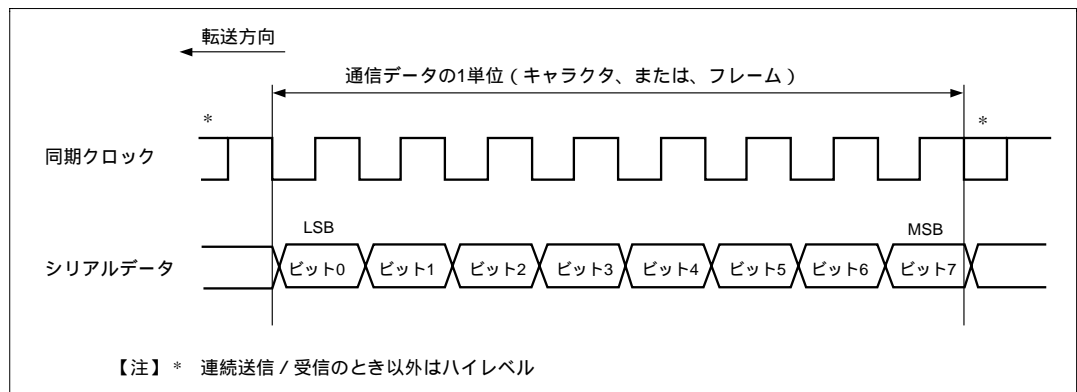


図 14.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCI は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により内蔵ボーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表14.9を参照してください。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信/受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

- ・SCIのイニシャライズ(クロック同期式)

データの送信/受信前にシリアルコントロールレジスタ(SCR)のTE、およびREビットを0にクリアした後、以下の手順でSCIを初期化してください。

モードの変更、通信フォーマットの変更などの場合にも必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとTDREビットは1にセットされ、トランスミットシフトレジスタ(TSR)が初期化されます。

REビットを0にクリアしてもRDRF、PER、FER、ORERの各ビット、およびレシーブデータレジスタ(RDR)の内容は保持されますので注意してください。

図14.15にSCIの初期化フローチャートの例を示します。

14. シリアルコミュニケーションインタフェース (SCI)

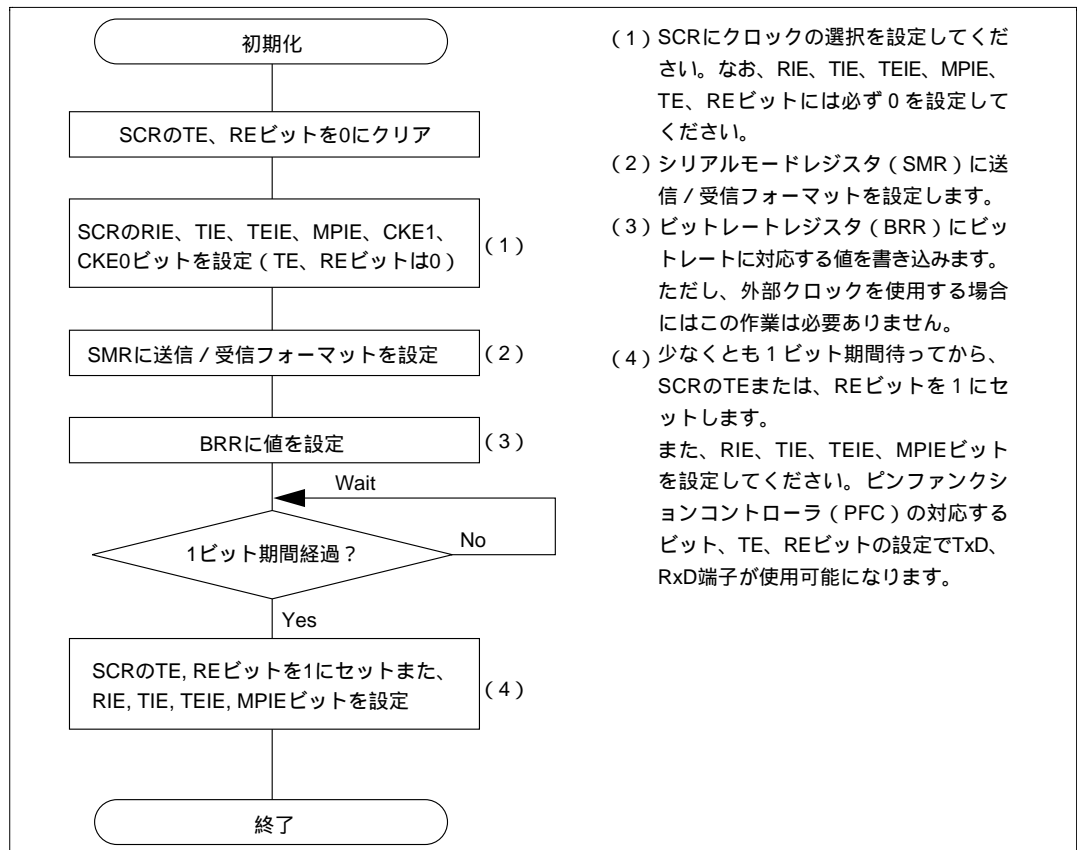


図 14.15 SCI の初期化フローチャートの例

・シリアルデータ送信 (クロック同期式)

図 14.16 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順で行ってください。

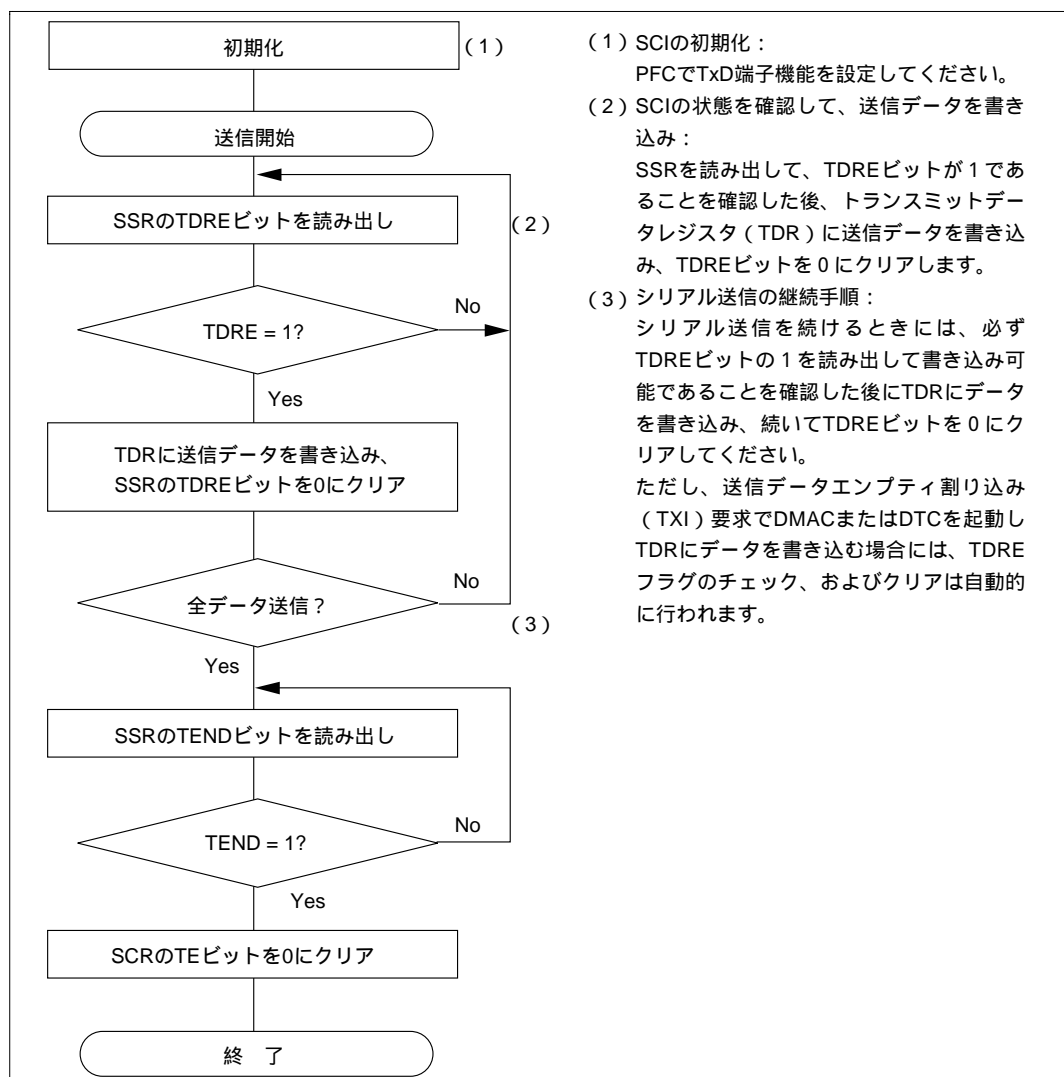


図 14.16 シリアル送信のフローチャートの例

図 14.17 に SCI の送信時の動作例を示します。

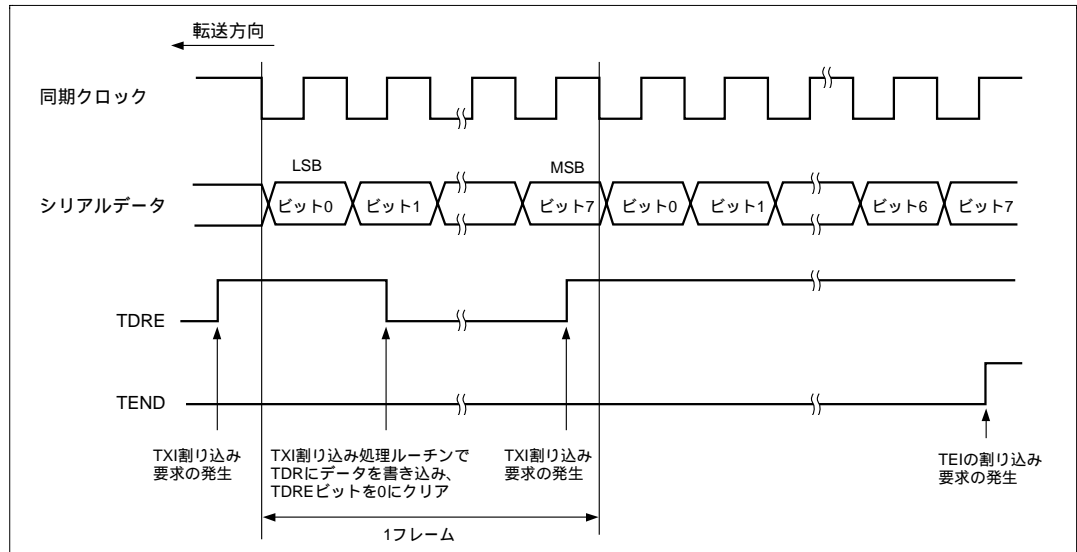


図 14.17 SCI の送信時の動作例

SCI はシリアル送信時に以下のように動作します。

- (1) SCI は、シリアルステータスレジスタ (SSR) の TDRE ビットを監視し、0 であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。

このとき、シリアルコントロールレジスタ (SCR) の送信データエンpty割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンpty割り込み (TXI) 要求を発生します。

クロック出力モードに設定したときには、SCI は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット 0) ~ MSB (ビット 7) の順に TxD 端子から送り出されます。

- (3) SCI は、MSB (ビット7) を送り出すタイミングで TDRE ビットをチェックします。
TDRE ビットが 0 であると TDR から TSR にデータを転送し、次フレームのシリアル送信を開始します。
TDRE ビットが 1 であるとシリアルステータスレジスタ (SSR) の TEND ビットを 1 にセットし、MSB (ビット7) を送り出した後、トランスミットデータ端子 (TxD 端子) は状態を保持します。
このとき SCR の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み要求 (TEI) を発生します。
- (4) シリアル送信終了後は、SCK 端子はハイレベル固定になります。

・シリアルデータ受信 (クロック同期式)

図 14.18 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各ビットが0にクリアされていることを確認してください。

FER、PERビットが1にセットされているとRDRFビットがセットされません。また、送信 / 受信動作が行えません。

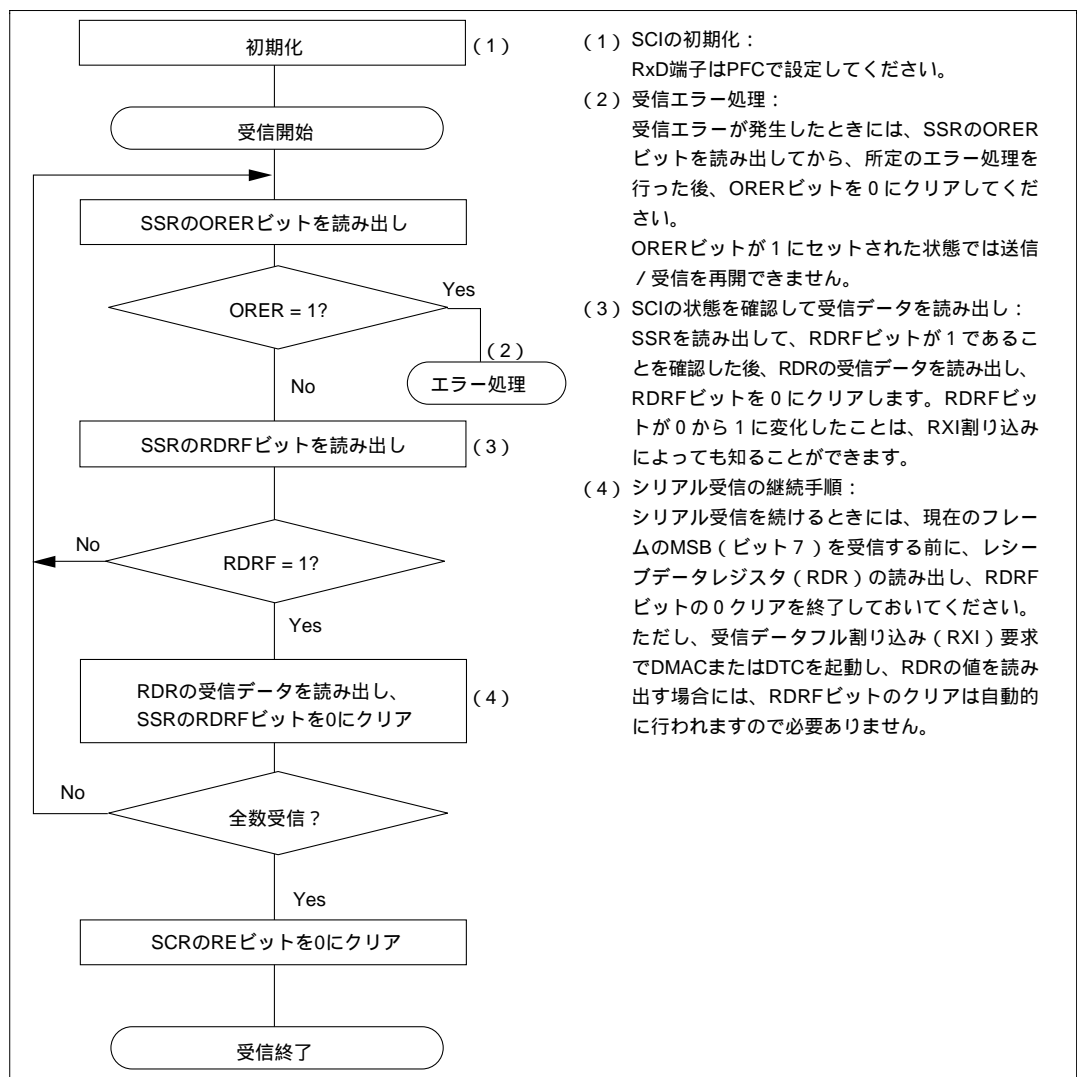


図 14.18 シリアルデータ受信フローチャートの例 (1)

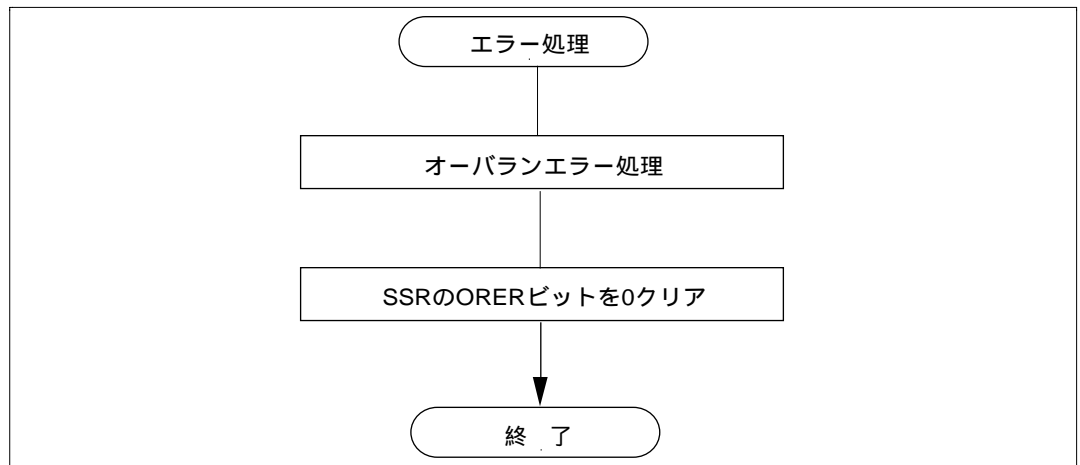


図 14.18 シリアルデータ受信フローチャートの例 (2)

図 14.19 に SCI の受信時の動作例を示します。

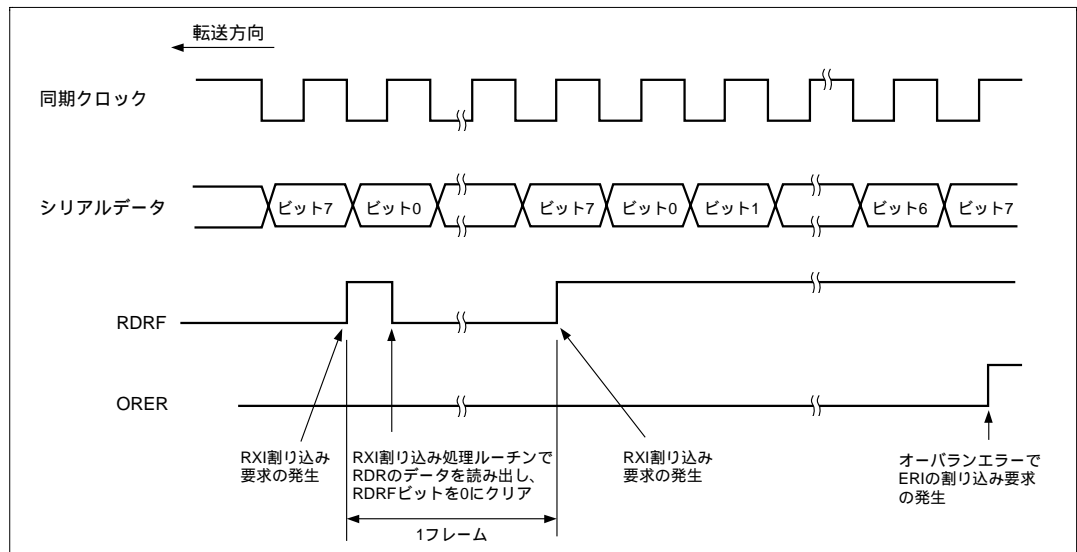


図 14.19 SCI の受信時の動作例

SCI は受信時に以下のように動作します。

- (1) SCI は同期クロックの入力または出力に同期して内部を初期化します。
- (2) 受信したデータをレシーブシフトレジスタ (RSR) の LSB から MSB の順に格納します。
 受信後、SCI は RDRF ビットが 0 であり、受信データを RSR からレシーブデータレジスタ (RDR) に転送できる状態であるかをチェックします。
 このチェックがパスしたとき RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。
 エラーチェックで受信エラーを発生すると表 14.11 のように動作し、この状態では以後の送信、受信動作ができません。
 また、エラーフラグが 1 にセットされていると、RDRF ビットが 0 にクリアしてあっても、受信時に RDRF ビットが 1 にセットされません。受信を再開する際は必ずエラーフラグを 0 にクリアしてください。
- (3) RDRF ビットが 1 になったとき、シリアルコントロールレジスタ (SCR) の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求を発生します。
 また、ORER ビットが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求を発生します。

・シリアルデータ送受信同時動作 (クロック同期式)

図 14.20 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

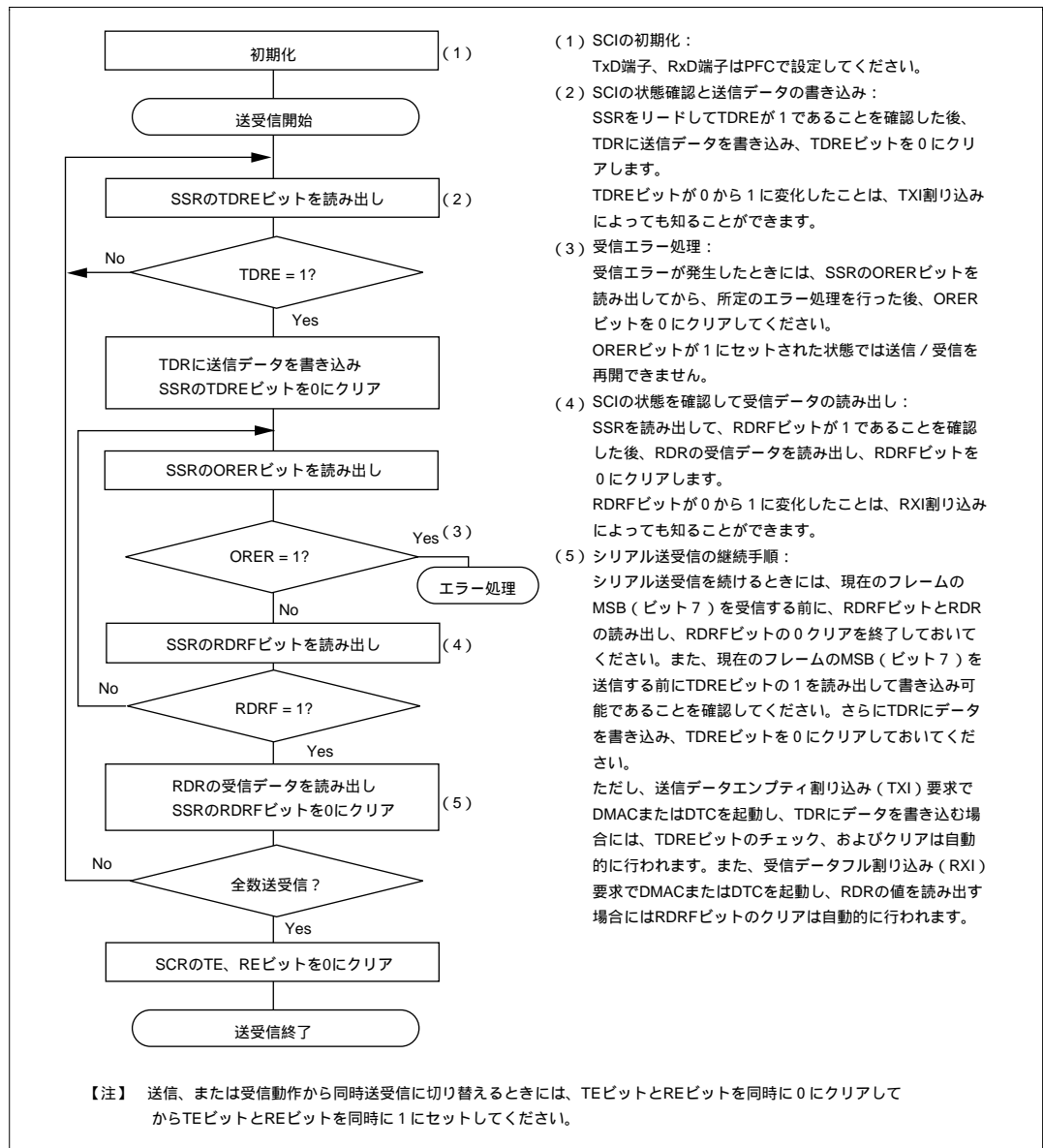


図 14.20 シリアルデータ送受信フローチャートの例

14.4 SCI の割り込み要因と DMAC / DTC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 14.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE、RIE、TEIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、DMAC または DTC を起動してデータ転送を行うことができます。TDRE ビットは DMAC または DTC によるトランスミットデータレジスタ (TDR) への書き込みが行われると自動的に 0 にクリアされます。

SSR の RDRF ビットが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC または DTC を起動して、データ転送を行うことができます。

RDRF ビットは DMAC または DTC によるレシーブデータレジスタ (RDR) の読み出しが行われると、自動的に 0 にクリアされます。

また、SSR の ORER、FER ビットまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DMAC または DTC の起動はできません。

さらに、SSR の TEND ビットが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で、DMAC または DTC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 14.12 SCI 割り込み要因

割り込み要因	内 容	DMAC、DTC の起動	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信データフル (RDRF) による割り込み	可	
TXI	送信データエンプティ (TDRE) による割り込み	可	
TEI	送信終了 (TEND) による割り込み	不可	

14.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

(1) TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR) の TDRE ビットはトランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。しかし、TDRE ビットが 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 14.13 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へのデータ転送は行われず、受信データは失われます。

表 14.13 SSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SSR のステータスフラグ				受信データ転送	
	RDRF	ORER	FER	PER	RSR	RDR
オーバランエラー	1	1	0	0		x
フレーミングエラー	0	0	1	0		
パリティエラー	0	0	0	1		
オーバランエラー + フレーミングエラー	1	1	1	0		x
オーバランエラー + パリティエラー	1	1	0	1		x
フレーミングエラー + パリティエラー	0	0	1	1		
オーバランエラー + フレーミングエラー + パリティエラー	1	1	1	1		x

【注】 : RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力が入力がすべて 0 になりますので FER ビットがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER ビットを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、I/O ポートのデータレジスタ (DR) とピンファンクションコントローラ (PFC) のコントロールレジスタ (CR) により入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

PFC の設定を行うまではマーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE ビットを 1 にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 14.21 に示します。

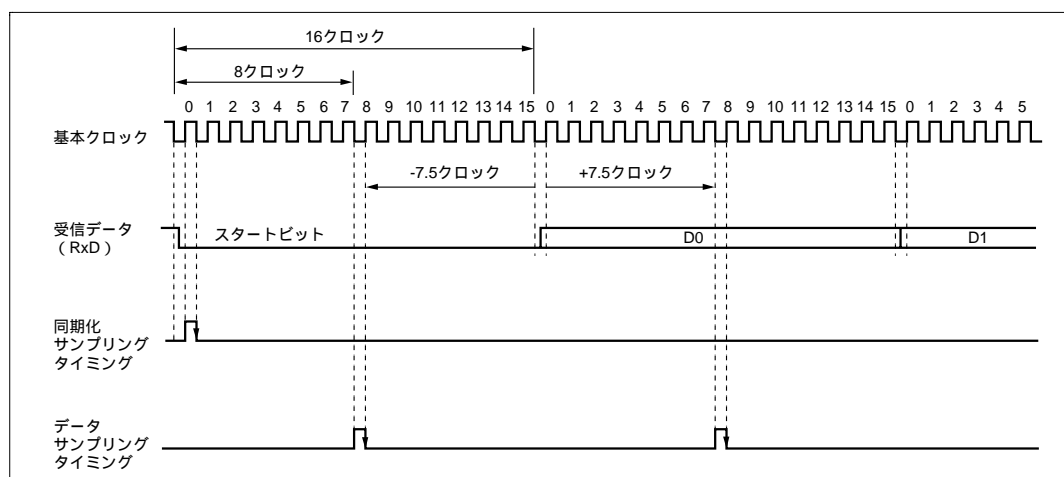


図 14.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D-0.5|}{N} (1+F) \right| \times 100\% \quad \dots\dots \text{式(1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5 とすると、受信マージンは式(2)より 46.875% となります。

D=0.5、F=0 のとき

$$M = \left(0.5 - 1 / (2 \times 16) \right) \times 100\%$$

$$= 46.875\% \dots\dots \text{式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(7) DMAC、DTC の使用上の注意事項

同期クロックに外部クロックソースを使用する場合、DMACまたはDTCによるTDRの更新後、システムクロック(CK)で5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4ステート以内に送信クロックを入力すると、誤動作することがあります。(図14.22)

DMACまたはDTCにより、RDRの読み出しを行うときは必ず起動要因を当該SCIの受信データフル割り込み(RXI)に設定してください。

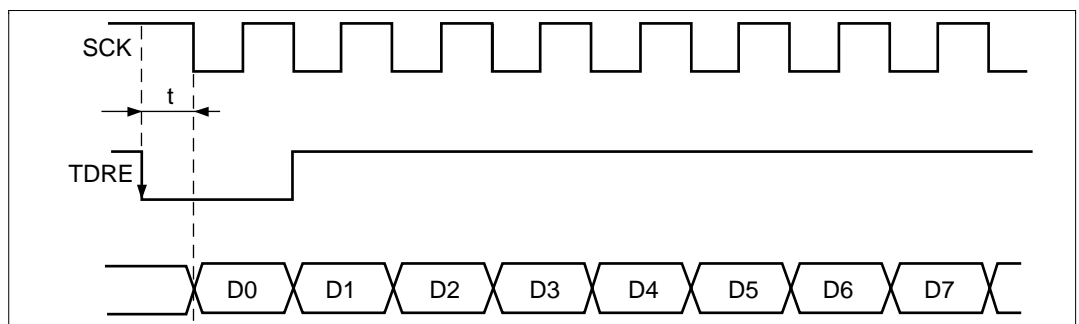


図 14.22 DMACによるクロック同期式送信時の例

(8) クロック同期外部クロックモード時の注意事項

- (a) TE = RE = 1 に設定するのは、必ず外部クロック SCK が 1 のときにしてください。
- (b) TE = 1、RE = 1 に設定するのは、外部クロック SCK を 0 から 1 にしてから 4 クロック以上経過してからにしてください。
- (c) 受信時において、RxD の D7 ビットの SCK 入力の立ち上がりエッジから 2.5 ~ 3.5 クロック後に RE = 0 にすると RDRF = 1 になりますが、RDR へのコピーができませんので注意してください。

(9) クロック同期内部クロックモード時の注意事項

受信時において、RxD の D7 ビットの SCK 出力の立ち上がりエッジから 1.5 クロック後に RE = 0 にすると RDRF = 1 になりますが、RDR へのコピーができませんので注意してください。

15. 高速 A/D 変換器 (A マスク以外)

第 15 章 目次

15.1	概要	557
15.1.1	特長	557
15.1.2	ブロック図	558
15.1.3	端子構成	559
15.1.4	レジスタ構成	559
15.2	レジスタの説明	560
15.2.1	A/D データレジスタ A ~ H (ADDRA ~ ADDRH)	560
15.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	561
15.2.3	A/D コントロールレジスタ (ADCR)	563
15.3	バスマスタとのインタフェース	566
15.4	動作説明	567
15.4.1	セレクトシングルモード	568
15.4.2	セレクトスキャンモード	569
15.4.3	グループシングルモード	570
15.4.4	グループスキャンモード	571
15.4.5	バッファ動作	572
15.4.6	同時サンプリング動作	575
15.4.7	変換開始モード	576
15.4.8	外部入力による変換開始	577
15.4.9	A/D 変換時間	578
15.5	割り込み	580
15.6	使用上の注意	581

15.1 概要

本高速 A/D 変換器は 10 ビットの分解能を持ち、最大 8 チャンネルのアナログ入力を選択することができます。

15.1.1 特長

高速 A/D 変換器の特長を以下に示します。

10 ビット分解能

入力チャンネル : 8 チャンネル

アナログ変換電圧範囲の設定可能

リファレンス電圧端子 (AV_{ref}) をアナログ基準電圧 (V_{ref}) として、 $0V \sim V_{ref}$ のアナログ入力を変換 (SH7043 のみ)

高速変換

最小変換時間 : 1 チャンネル当たり $2.9 \mu s$ (28MHz 動作時)

連続変換時 1 チャンネル当たり $1.4 \mu s$

豊富な変換モード

セレクトモード / グループモードの選択が可能

シングルモード / スキャンモードの選択が可能

バッファ動作が可能

2 チャンネル同時サンプリングが可能

3 種類の変換開始

ソフトウェア、タイマの変換開始トリガ (MTU) または \overline{ADTRG} 端子の選択が可能

8 本のデータレジスタ

変換結果を、各チャンネルに対応した 16 ビットデータレジスタに保持

サンプル & ホールド機能

A/D 変換終了割り込み発生

A/D 変換終了時に、A/D 変換終了割り込み (ADI) 要求を発生可能

15.1.2 ブロック図

高速 A/D 変換器のブロック図を図 15.1 に示します。

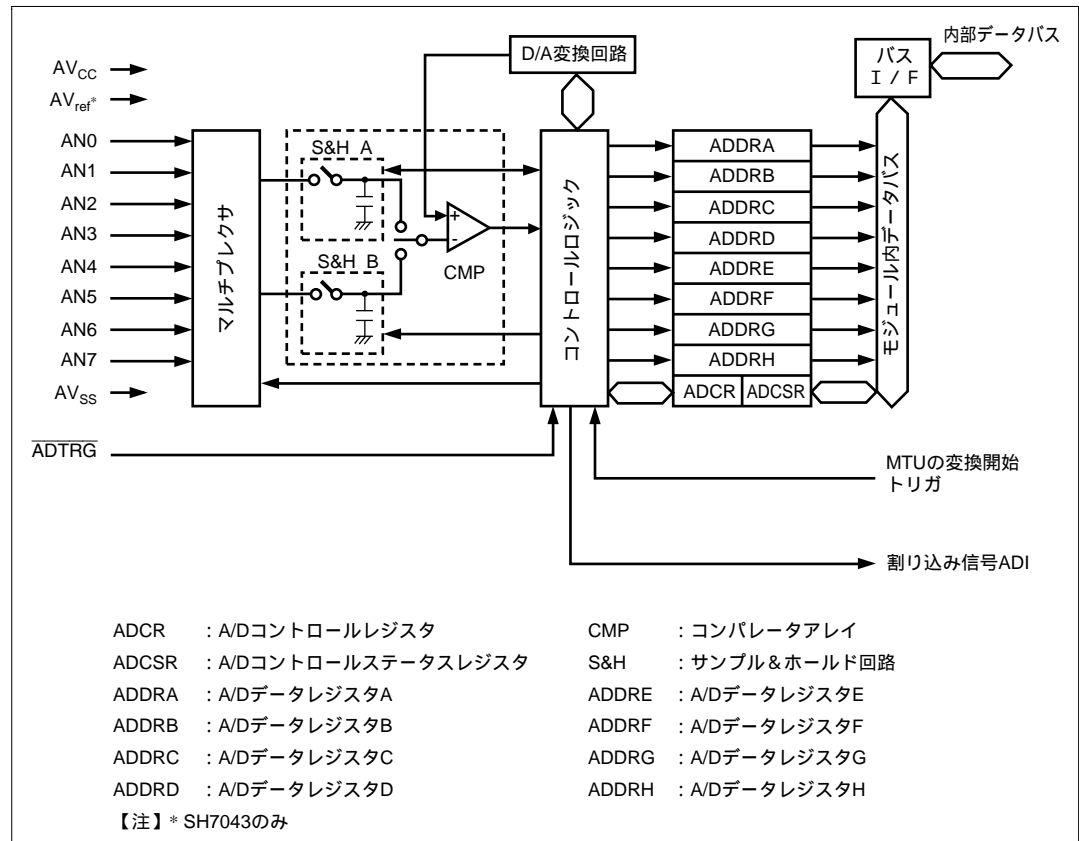


図 15.1 高速 A/D 変換器のブロック図

15.1.3 端子構成

高速 A/D 変換器で使用する入力端子を表 15.1 に示します。

AV_{CC} 、 AV_{SS} 端子は、A/D 変換器内部のアナログ部の電源です。 AV_{ref} 端子は、A/D 変換基準電圧です。

表 15.1 端子構成

端子名	略称	入出力	機能
アナログ電源	AV_{CC}	入力	アナログ部の電源
アナロググランド	AV_{SS}	入力	アナログ部のグランドおよび A/D 変換の基準電圧
リファレンス電圧	AV_{ref}	入力	A/D 変換の基準電圧 (SH7043 のみ)
アナログ入力 0	AN0	入力	アナログ入力チャンネル 0
アナログ入力 1	AN1	入力	アナログ入力チャンネル 1
アナログ入力 2	AN2	入力	アナログ入力チャンネル 2
アナログ入力 3	AN3	入力	アナログ入力チャンネル 3
アナログ入力 4	AN4	入力	アナログ入力チャンネル 4
アナログ入力 5	AN5	入力	アナログ入力チャンネル 5
アナログ入力 6	AN6	入力	アナログ入力チャンネル 6
アナログ入力 7	AN7	入力	アナログ入力チャンネル 7
A/D 外部トリガ入力	\overline{ADTRG}	入力	A/D 変換開始のための外部トリガ

15.1.4 レジスタ構成

高速 A/D 変換器のレジスタ構成を表 15.2 に示します。

表 15.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット)
A/D データレジスタ A	ADDRA	R	H'0000	H'FFFF83F0	8、16
A/D データレジスタ B	ADDRB	R	H'0000	H'FFFF83F2	8、16
A/D データレジスタ C	ADDRC	R	H'0000	H'FFFF83F4	8、16
A/D データレジスタ D	ADDRD	R	H'0000	H'FFFF83F6	8、16
A/D データレジスタ E	ADDRE	R	H'0000	H'FFFF83F8	8、16
A/D データレジスタ F	ADDRF	R	H'0000	H'FFFF83FA	8、16
A/D データレジスタ G	ADDRG	R	H'0000	H'FFFF83FC	8、16
A/D データレジスタ H	ADDRH	R	H'0000	H'FFFF83FE	8、16
A/D コントロール / ステータスレジスタ	ADCSR	R/(W)*	H'00	H'FFFF83E0	8、16
A/D コントロールレジスタ	ADCR	R/W	H'00	H'FFFF83E1	8、16

【注】 * ビット 7 は、フラグをクリアするための 0 書き込みのみ可能です。

15.2 レジスタの説明

15.2.1 A/D データレジスタ A ~ H (ADDRA ~ ADDRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA ~ ADDRH の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR に転送され、保持されます。A/D 変換されたデータの下位 8 ビットが ADDR の下位バイト (ビット 7 ~ 0) に、また上位 2 ビットが上位バイト (ビット 9、8) に転送され、保持されます。ビット 15 ~ 10 は読み出すと常に 0 が読み出されます。データ読み出しはバイトまたはワードが選択できます。バイトデータ読み出し時は、変換されたデータの上位 8 ビットが転送されます。また、ADDRA ~ ADDRD を組み合わせてバッファ動作を行うことができます。

アナログ入力チャンネルと ADDR の対応を表 15.3 に示します。

ADDR は、パワーオンリセットおよびスタンバイモードで H'0000 に初期化されます。マニュアルリセットでは初期化されません。

表 15.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	A/D データレジスタ
AN0	ADDRA*
AN1	ADDRB*
AN2	ADDRC*
AN3	ADDRD*
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

【注】 * バッファ動作時を除く

15.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	CKS	GRP	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * ビット7は、フラグをクリアするための0書き込みのみ可能です。

ADCSR は、8 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換の動作制御、およびステータスの表示を行います。

ADCSR は、パワーオンリセットおよびスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

ビット7: A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) (1) ADF=1 の状態で、ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき (2) ADI 割り込みにより DTC または DMAC が起動されたとき
1	[セット条件] シングルモード: 指定したすべてのチャンネルの変換を終了し、A/D 変換が終了したとき* スキャンモード: 指定したすべてのチャンネルを一巡して変換したとき

【注】 * バッファ動作時は指定したバッファ動作を終了するまでセットされません。

ビット6: A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。

ビット6	説明
ADIE	
0	A/D 変換の終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換の終了による割り込み (ADI) 要求を許可

ビット5 : A/D スタート (ADST)

A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。

ADST ビットはソフトウェア、タイマの変換開始トリガまたは A/D 外部トリガ入力端子 ($\overline{\text{ADTRG}}$) によって 1 にセットすることができます。

ビット5	説 明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード : A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) スキャンモード : A/D 変換を開始。ソフトウェアにより 0 にクリアされるまで連続変換。

ビット4 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。動作周波数に応じて変換時間が $2 \mu\text{s}$ 以上になるように設定してください。

変換時間の切り替えは、変換停止中に行ってください。

ビット4	説 明
CKS	
0	変換時間 = 40 ステート (A/D 変換器の基準クロック = $/2$) (初期値)
1	変換時間 = 80 ステート ($/4$ を選択時)

ビット3 : グループモード (GRP)

A/D 変換チャンネルの選択を、セレクトモードまたはグループモードから選択します。

GRP ビットの設定は、変換停止中に行ってください。

ビット3	説 明
GRP	
0	セレクトモード (初期値)
1	グループモード

ビット2~0 : チャネルセレクト2~0 (CH2~CH0)

GRPビットと共にアナログ入力チャンネルを選択します。

入力チャンネルの設定は、変換停止中に行ってください。

ビット2	ビット1	ビット0	説 明	
CH2	CH1	CH0	セレクトモード (GRP=0)	グループモード (GRP=1)
0	0	0	AN0 (初期値)	AN0
		1	AN1	AN0 ~ AN1
	1	0	AN2	AN0 ~ AN2
		1	AN3	AN0 ~ AN3
1	0	0	AN4	AN0 ~ AN4
		1	AN5	AN0 ~ AN5
	1	0	AN6	AN0 ~ AN6
		1	AN7	AN0 ~ AN7

15.2.3 A/D コントロールレジスタ (ADCR)

ビット :	7	6	5	4	3	2	1	0
	—	PWR	TRGS1	TRGS0	SCAN	DSMP	BUFE1	BUFE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ADCR は、8 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換の動作制御を行います。ADCR は、パワーオンリセットおよびスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

ビット7 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6：電源ビット (PWR)

高速 A/D 変換器の変換開始モードを指定します。PWR ビットを 1 にセットすると高速スタートモードに、また、0 にクリアすると低消費電力変換モードになります。変換開始動作の詳細については、「15.4.7 変換開始モード」を参照してください。

PWR ビットの設定は、変換停止中に行ってください。

ビット6	説 明	
PWR		
0	低消費電力変換モード	(初期値)
1	高速スタートモード	

ビット5～4：タイマトリガセレクト 1、0 (TRGS1, TRGS0)

トリガ信号による A/D 変換開始の許可または禁止を選択します。

TRGS1、TRGS0 ビットの設定は、変換停止中に行ってください。

ビット5	ビット4	説 明
TRGS1	TRGS0	
0	0	ソフトウェアによる A/D 変換の開始を許可 (初期値)
	1	MTU の変換開始トリガによる A/D 変換の開始を許可
1	0	設定禁止
	1	外部トリガ端子 ($\overline{\text{ADTRG}}$) による A/D 変換の開始を許可

ビット3：スキャンモード (SCAN)

A/D 変換の動作モードを、シングルモードまたはスキャンモードから選択します。シングルモードまたはスキャンモードの動作については、「15.4 動作説明」を参照してください。

SCAN ビットの設定は、変換停止中に行ってください。

ビット3	説 明	
SCAN		
0	シングルモード	(初期値)
1	スキャンモード	

ビット2：同時サンプリング (DSMP)

2チャンネル同時サンプリング動作を許可または禁止します。同時サンプリングの詳細は「15.4.6 同時サンプリング動作」を参照してください。

DSMP ビットの設定は、変換停止中に行ってください。

ビット2	説 明	
DSMP		
0	通常サンプリング動作	(初期値)
1	同時サンプリング動作	

ビット1、0：バッファイネーブル1、0 (BUFE1、BUFE0)

ADDRB ~ ADDRD をバッファレジスタとして使用するかしないかを選択します。

BUFE1、BUFE0 ビットの設定は変換停止中に行ってください。

ビット1	ビット0	説 明
BUFE1	BUFE0	
0	0	通常動作 (初期値)
	1	ADDRA と ADDR B はバッファ動作：変換結果 ADDRA ADDR B (ADDR B はバッファレジスタ)
1	0	ADDRA と ADDR C および ADDR B と ADDR D はバッファ動作： 変換結果 1 ADDRA ADDR C、変換結果 2 ADDR B ADDR D (ADDR C、ADDR D はバッファレジスタ)
	1	ADDRA ~ ADDR D はバッファ動作： 変換結果 ADDRA ADDR B ADDR C ADDR D (ADDR B ~ ADDR D はバッファレジスタ)

15.3 バスマスタとのインタフェース

ADDRA ~ ADDRH は 16 ビットレジスタで、バスマスタとの間のデータバスは 16 ビット幅です。バスマスタからの ADDRA ~ ADDRH の読み出しは、ワード単位またはバイト単位のいずれも可能です。

ADDR のワード単位の読み出しは、ADDR の内容が 16 ビット一括してバスマスタへ転送されます。またバイト単位の読み出しでは、変換されたデータ (AD9 ~ AD0) の上位 8 ビット (AD9 ~ AD2) の内容がバスマスタへ転送されます。

図 15.2 に、ADDR の読み出し時の動作を示します。

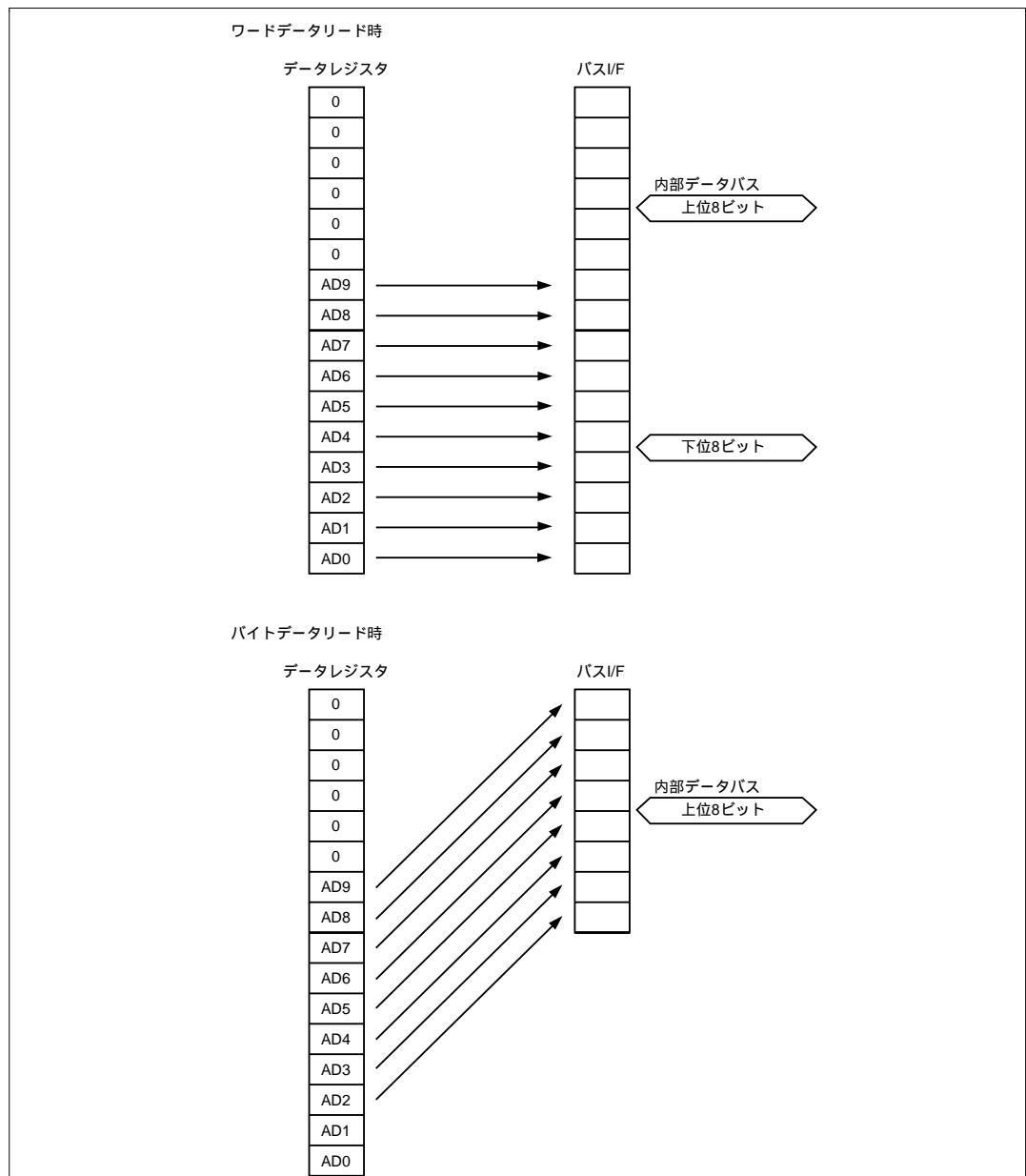


図 15.2 ADDR の読み出し動作

15.4 動作説明

高速 A/D 変換器は、10 ビット分解能を持っています。

動作モードとして、セレクトまたはグループおよびシングルまたはスキャンの 4 つのモードにバッファ動作、同時サンプリング動作を組み合わせ設定することができます。

セレクトモードは 1 チャンネルを選択し、グループモードは複数チャンネルを選択します。

シングルモードは 1 回の起動で、選択されたすべてのチャンネルの変換を行い、スキャンモードでは 1 回起動すると、ソフトウェアで停止させるまで、繰り返し変換を行います。

バッファ動作は当該チャンネルの変換終了時に前回の変換結果をバッファレジスタに回避させます。

同時サンプリング動作は 2 チャンネル同時にアナログ入力電圧をサンプリングし、順次変換します。

また、変換開始条件には、ソフトウェアまたはタイマの変換開始トリガ (MTU) または $\overline{\text{ADTRG}}$ 入力を選択できます。

A/D 変換は PWR ビットの設定により、高速スタートモードと低消費電力変換モードの 2 つのモードから選択が可能です。

動作モードや入力チャンネルを切り替える場合には、ADST ビットを 0 にクリアした状態で、ADCSR、ADCR を書き換えてください。ADCSR、ADCR を書き換えた後、ADST ビットを 1 にセットすると、再び A/D 変換を開始します。動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。A/D 変換を途中で停止する場合は、ADST ビットを 0 にクリアしてください。

15.4.1 セレクトシングルモード

セレクトシングルモードは1チャンネルのみのA/D変換を行う場合に選択します。

指定した変換開始条件によって、ADSTビットが1にセットされると、A/D変換を開始します。ADSTビットは、A/D変換中に1を保持しており、変換が終了すると自動的に0にクリアされます。

また、変換が終了すると、ADFフラグが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求が発生します。ADFフラグは、ADCSRを読み出した後、0を書き込むとクリアされます。

セレクトシングルモードでAN1が選択された場合の動作例を図15.3に示します。

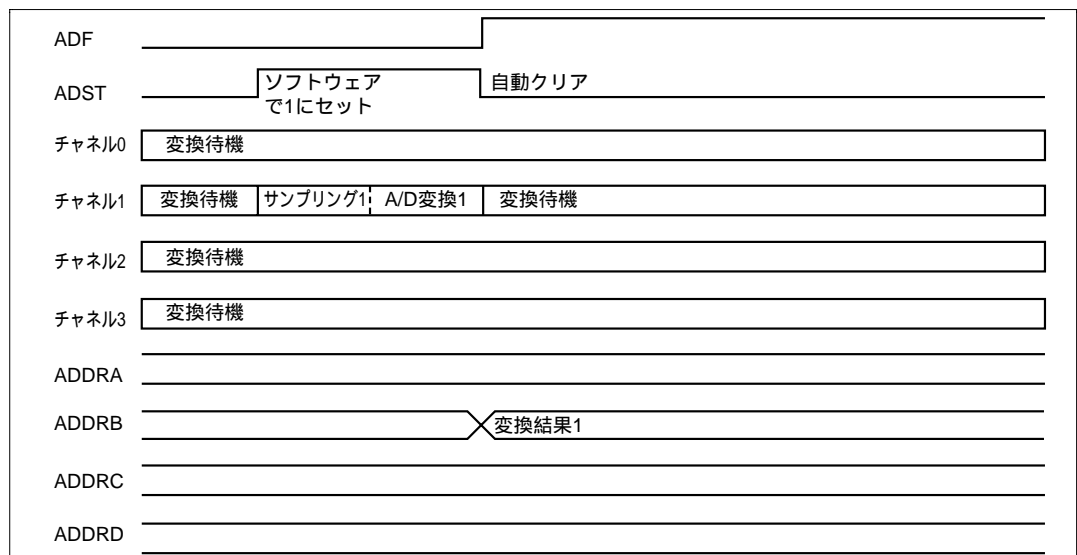


図 15.3 A/D 変換器の動作例 (セレクトシングルモード)

15.4.2 セレクトスキャンモード

セレクトスキャンモードは1チャンネルのA/D変換を繰り返し行う場合に選択します。1チャンネルのアナログ入力を常時モニタするような場合に適しています。

指定した変換開始条件によって、ADSTビットが1にセットされると、A/D変換を開始します。ADSTビットは、ソフトウェアで0にクリアするまで、1を保持しています。この期間、選択された入力チャンネルのA/D変換を繰り返します。

また、最初の変換が終了すると、ADFフラグが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求が発生し、A/D変換が一時停止します。ADI割り込み要求により変換が停止した状態でADFフラグが0にクリアされると再び変換を開始します。ADFフラグは、ADCSRレジスタを読み出した後、0を書き込むとクリアされます。

セレクトスキャンモードでAN1が選択された場合の動作例を図15.4に示します。

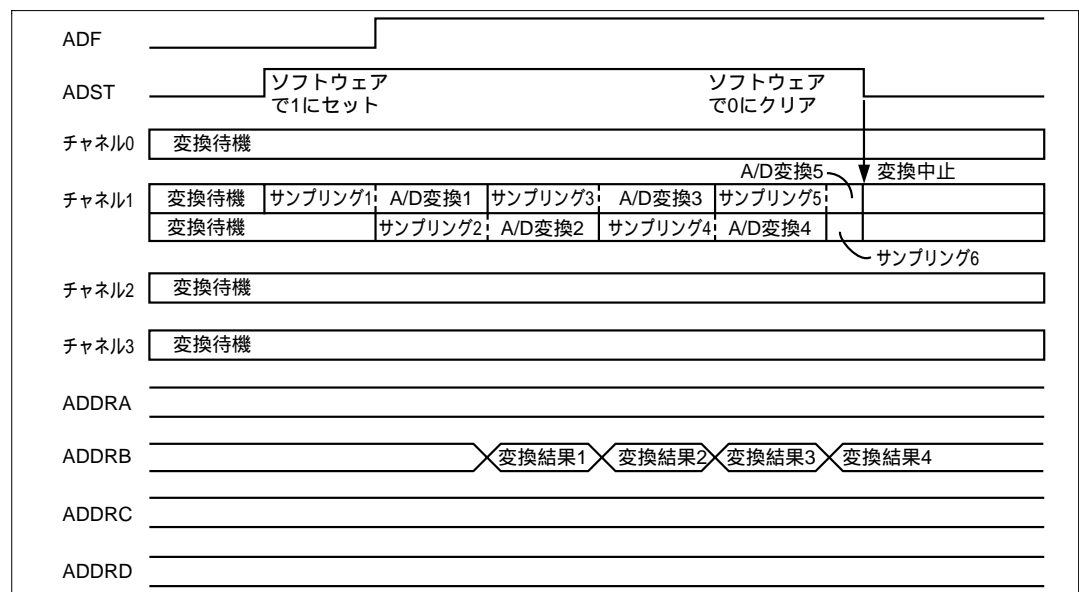


図 15.4 A/D 変換器の動作例 (セレクトスキャンモード)

15.4.3 グループシングルモード

グループシングルモードは複数チャンネルの A/D 変換を行う場合に選択します。

指定した変換開始条件によって、ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中に 1 を保持しており、指定した入力チャンネルのすべての変換が終了すると自動的に 0 にクリアされます。

また、指定した入力チャンネルのすべての変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。ADF フラグは、ADCSR を読み出した後、0 を書き込むとクリアされます。

グループシングルモードで AN0 ~ AN2 が選択された場合の動作例を図 15.5 に示します。

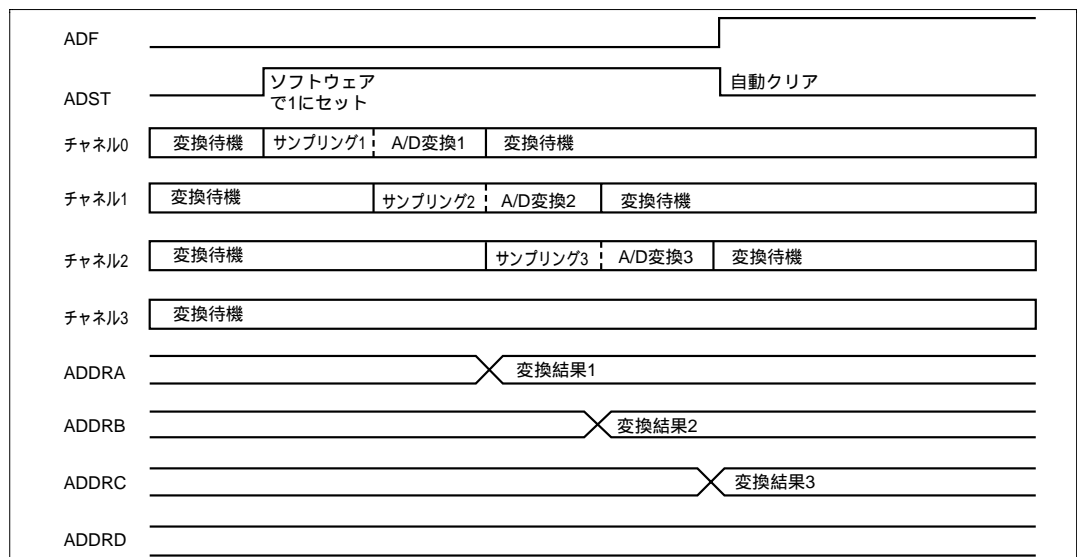


図 15.5 A/D 変換器の動作例 (グループシングルモード)

15.4.4 グループスキャンモード

グループスキャンモードは複数チャンネルの A/D 変換を繰り返し行う場合に選択します。複数チャンネルのアナログ入力を常時モニタするような場合に適しています。

指定した変換開始条件によって、ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、ソフトウェアで 0 にクリアするまで、1 を保持しています。この期間、選択された入力チャンネルの A/D 変換を繰り返します。

また、指定したすべての入力チャンネルの最初の変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生し A/D 変換が一時停止します。ADI 割り込み要求により、変換が停止した状態で ADF フラグが 0 にクリアされると、再び変換を開始します。ADF フラグは、ADCSR を読み出した後、0 を書き込むとクリアされます。

グループスキャンモードで AN0 ~ AN2 が選択された場合の動作例を図 15.6 に示します。

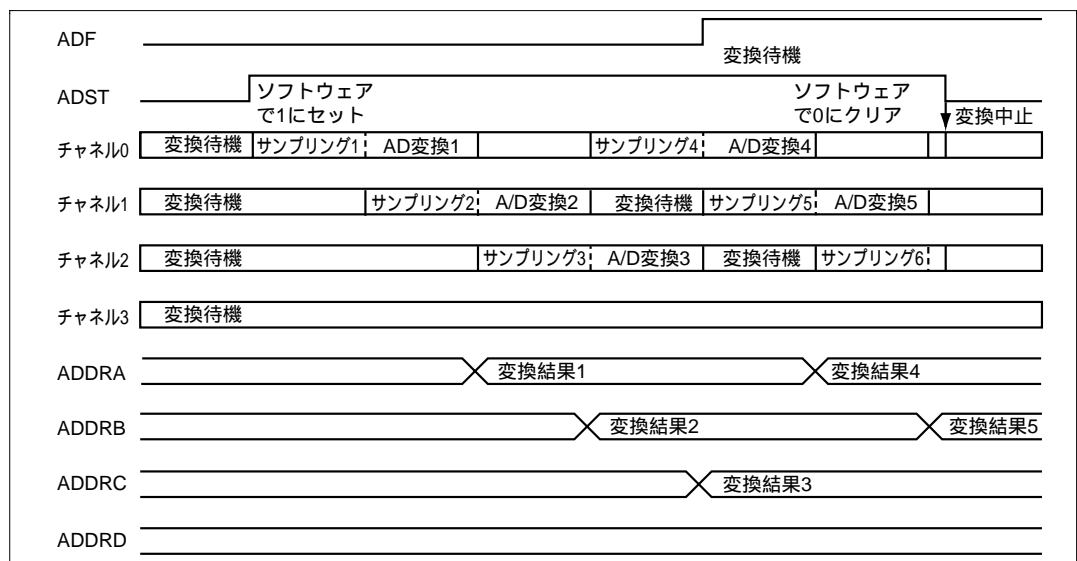


図 15.6 A/D 変換器の動作例 (グループスキャンモード)

15.4.5 バッファ動作

バッファ動作では、当該チャンネルの変換が終了すると、変換結果を ADDR に格納すると同時に、それ以前に格納していた変換結果を別の ADDR に転送します。

バッファ動作は AN0 ADDRA ADDR B の 2 段 1 組の動作と、AN0 ADDRA ADDR C、AN1 ADDR B ADDR D の 2 段 2 組の動作と、AN0 ADDRA ADDR B ADDR C ADDR D の 4 段 1 組の動作の中から選択可能です。

同時サンプリング動作と組み合わせて使用する場合は、GRP=1、BUFE1、BUFE0=B'10、CH2=0 としてください。

バッファ動作のタイミングを図 15.7 に示します。

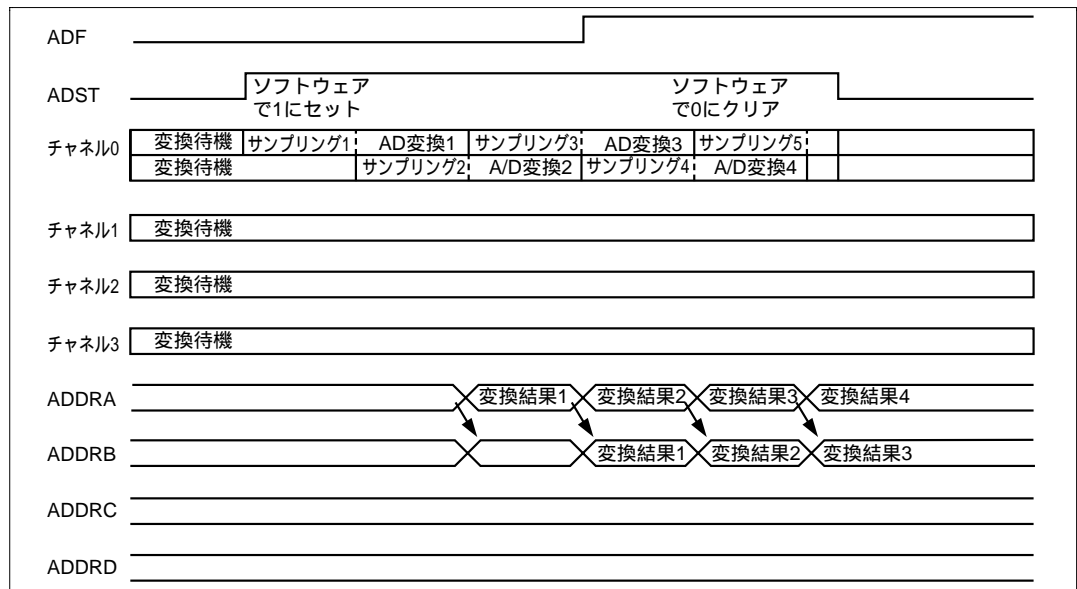


図 15.7 バッファ動作 (セレクトスキャンモード : 2 段 1 組動作、CH2 ~ CH0=B'001 の場合)

(1) バッファ動作のみを用いる場合

BUFE1、BUFE0 ビット指定されたアナログ入力チャンネル (AN0、AN1) のみの変換を行う場合、グループモードを選択し、CH2 ~ CH0 ビットの設定により、ADF フラグのセット条件を選択することができます。

表 15.4 (1) に、バッファ動作時の変換動作と ADF フラグのセット条件を示します。表に示された最後の変換を終了した時点で、ADF フラグはセットされます。シングルモードでは、ADF フラグを 1 にセットした後、変換を停止します。スキャンモードでは、変換を継続し、BUFE1、BUFE0 ビットで指定されたバッファレジスタに順次変換データを格納していきます。

ADF フラグが 1 にセットされたとき ADIE ビットが 1 にセットされていると、ADI 割り込みが発生します。ADF フラグは、ADCSR を読み出した後、0 を書き込むとクリアされます。

セレクトシングルモードの場合は、1 回ごとの変換を終了すると、いったん変換待機状態になります。ソフトウェア、タイマトリガ、または外部トリガによって A/D 変換が再開され、表 15.4 (1) に示される回数の変換を終了すると、ADF フラグが 1 にセットされます。

表 15.4 (1) バッファ動作時の変換チャンネルと ADF フラグセット/クリア条件

CH2 ~ CH0 の設定			バッファ動作の選択		
CH2	CH1	CH0	BUFE1、BUFE0=B'01	BUFE1、BUFE0=B'10	BUFE1、BUFE0=B'11
0	0	0	AN0 1回 (ADDRA)	AN0、AN1 各 1回	AN0 1回 (ADDRA)
		1	AN0 2回 (ADDRB)	(ADDRB)	AN0 2回 (ADDRB)
	1	0	表 15.4 (2) 参照	AN0、AN1 各 2回	AN0 3回 (ADDRC)
		1		(ADDRD)	AN0 4回 (ADDRD)
1			表 15.4 (2) 参照		

(2) グループモードとバッファ動作を組み合わせる場合

CH2 ~ CH0 ビットの設定により、BUFE1、BUFE0 ビットで指定されたアナログ入力チャンネル (AN0、AN1) と、AN4 ~ AN7 を連続して変換することができます。

表 15.4 (2) に、バッファ動作時の変換動作と ADF フラグのセット条件を示します。表に示された最後の変換を終了した時点で、ADF フラグはセットされます。この場合、バッファレジスタに指定した ADDR に対応するアナログ入力は変換されません。例えば、BUFE1、BUFE0=B'11、CH2 ~ CH0=B'110 の場合、ADDRA、ADDRE ~ ADDRГ に変換結果が格納されます。また、ADDRB ~ ADDRД には、変換開始前の ADDRA ~ ADDRС の内容が転送されます。

シングルモードでは、ADF フラグを 1 にセットした後、変換を停止します。スキャンモードでは、変換を継続します。

表 15.4 (2) バッファ動作時の変換チャンネルと ADF フラグセット/クリア条件

CH2 ~ CH0 の設定			バッファ動作の選択		
CH2	CH1	CH0	BUFE1、BUFE0=B'01	BUFE1、BUFE0=B'10	BUFE1、BUFE0=B'11
0	0		表 15.4 (1) 参照		
	1	0	AN0、AN2 (ADDRC)	表 15.4 (1) 参照	
		1	AN0、AN2、AN3 (ADDRD)		
1	0	0	AN0、AN2 ~ AN4 (ADDRE)	AN0、AN1、AN4 (ADDRE)	AN0、AN4 (ADDRE)
		1	AN0、AN2 ~ AN5 (ADDRF)	AN0、AN1、AN4、AN5 (ADDRF)	AN0、AN4、AN5 (ADDRF)
	1	0	AN0、AN2 ~ AN6 (ADDRG)	AN0、AN1、AN4 ~ AN6 (ADDRG)	AN0、AN4 ~ AN6 (ADDRG)
		1	AN0、AN2 ~ AN7 (ADDRH)	AN0、AN1、AN4 ~ AN7 (ADDRH)	AN0、AN4 ~ AN7 (ADDRH)

(3) ADF フラグのクリア

A/D 変換終了割り込みによって、DTC、DMAC を起動した場合、表 15.4 に指定された ADDR を読み出したときに、ADF フラグをクリアします。

(4) バッファ動作の回数をリセットする場合

変換待機状態、または変換を停止させていったん BUFE1、BUFE0 ビットを B'00 にクリアしてください。バッファ回数が 0 にクリアされます。

(5) バッファ動作を変更する場合

変換待機状態または変換を停止させて、いったん BUFE1、BUFE0 ビットを B'00 にクリアしてください。その後 BUFE1、BUFE0 を設定し、変換を再開させると表 15.4 に示すバッファ動作を行います。

15.4.6 同時サンプリング動作

同時サンプリング動作では、2チャンネルの入力電圧を同時にサンプリングし、連続変換を行います。同時サンプリング動作はグループモードで有効です。同時サンプリング動作におけるチャンネルはADCSRのCH2、CH1ビットで決まります。この組み合わせを表15.5に示します。例えばCH2、CH1=B'11のときGRP=1ならばAN0、AN1 AN2、AN3 AN4、AN5 AN6、AN7のペアでこの順に同時サンプリングが行われます。また同時サンプリングのタイミングを図15.8に示します。

表 15.5 同時サンプリングチャンネル

チャンネル設定		サンプリングチャンネル
CH2	CH1	GRP= 1
0	0	AN0、AN1
	1	AN0、AN1 AN2、AN3
1	0	AN0、AN1 AN2、AN3 AN4、AN5
	1	AN0、AN1 AN2、AN3 AN4、AN5 AN6、AN7

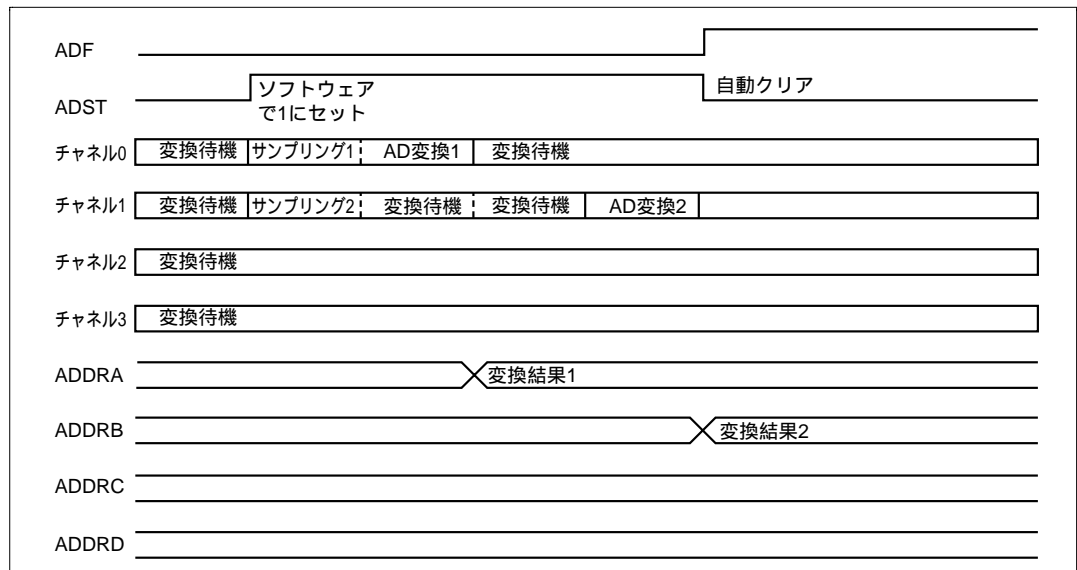


図 15.8 同時サンプリング動作 (グループシングルモード)

15.4.7 変換開始モード

ADCSRのPWR ビットで高速 A/D 変換器の変換開始モードを設定します。PWR ビットを 0 にクリアすると低消費電力変換モードに設定され、内部のアナログ回路は非アクティブ状態となります。また、1 にセットすると高速スタートモードに設定され、アナログ回路はアクティブ状態になります。

低消費電力変換モードでは変換開始 (ADST ビットのセット) と同時にアナログ回路の電源を入れて基準クロックの 200 サイクルが経過すると、アナログ回路は変換可能な状態に移行し、1 回目の A/D 変換を開始します。基準クロックは ADCSR の CKS ビットで選択します。連続して変換を行う場合、2 回目以降の A/D 変換は 20 サイクルで行われます。A/D 変換が終了すると、ADST が 0 にクリアされ、自動的にアナログ回路の電源は切れません。このモードでは A/D 変換動作期間のみアナログ回路がアクティブになるため、電流の消費量を小さくすることができます。

高速スタートモードでは、A/D 変換が終了して ADST が 0 にクリアされても、アナログ回路に電源が供給され続けて、変換可能な状態を保持します。再度 ADST を 1 にセットすれば直後に変換が開始されます。ただしアナログ電源投入後の最初の変換のみ、ADST セット後 200 サイクル経過してから変換が開始されます。アナログ回路の電源をオフするためには、PWR ビットを 0 にクリアします。連続して変換を行う場合、2 回目以降の A/D 変換は 20 サイクルで行われます。このモードでは常時アナログ回路がアクティブであるため、高速な A/D 変換動作が実現できます。

図 15.9 および図 15.10 に変換開始動作のタイミングを示します。

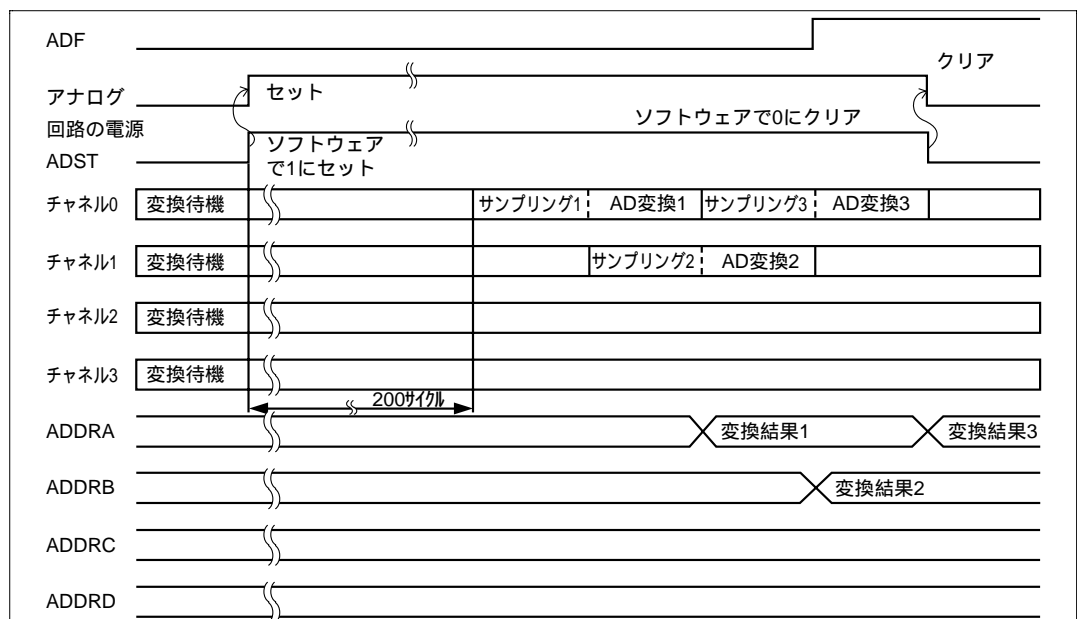


図 15.9 変換開始動作 (低消費電力変換モード)

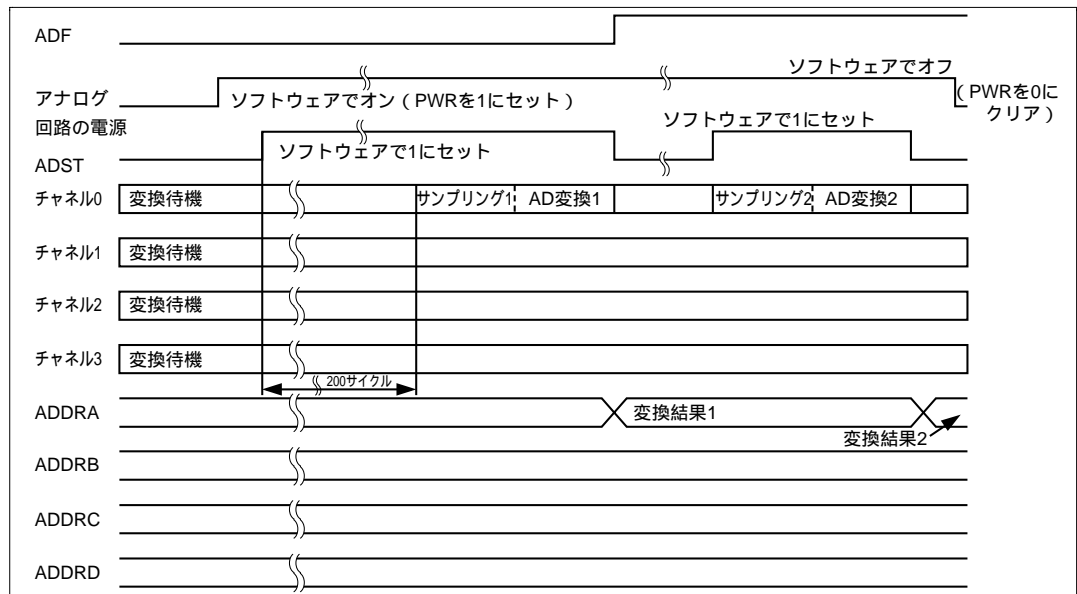


図 15.10 変換開始動作 (高速スタートモード)

15.4.8 外部入力による変換開始

A/D 変換は、タイマの変換開始トリガまたは $\overline{\text{ADTRG}}$ 入力により発生するトリガ信号により開始することが可能です。ADCR レジスタの TRGS1、TRGS0 ビットで指定したトリガ信号が発生すると、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。外部入力による ADST ビットのセットタイミングを図 15.11 に示します。

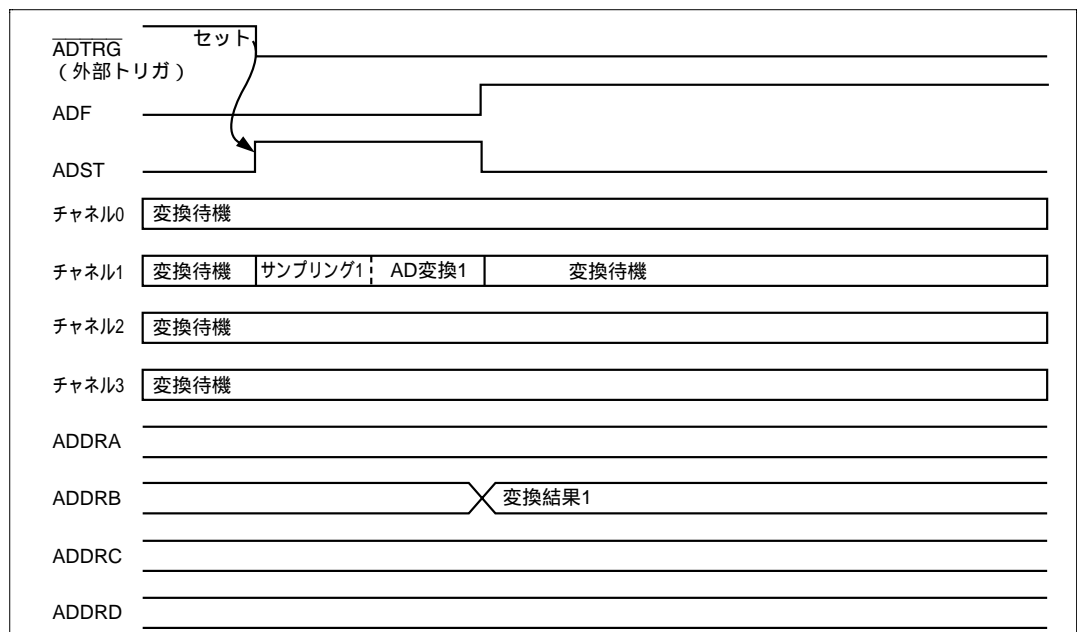


図 15.11 $\overline{\text{ADTRG}}$ の変換開始トリガによる変換開始

15.4.9 A/D 変換時間

高速 A/D 変換器には、サンプル&ホールド回路が内蔵されています。高速 A/D 変換器は、ADST ビットが 1 にセットされてから、 t_D 時間後に、入力サンプルリングを行い、その後変換を開始します。

A/D 変換時間 t_{CONV} は、変換開始遅延時間 t_D と、入力サンプルリング時間 t_{SPL} と、動作時間 t_{CP} の合計になります。この値は、 t_D の ADCSR の書き込みタイミングまたはタイマの変換開始トリガの発生タイミングによって決まり、一定値にはなりません。

A/D 変換のタイミングを図 15.12 に示します。また、A/D 変換時間を表 15.6 に示します。

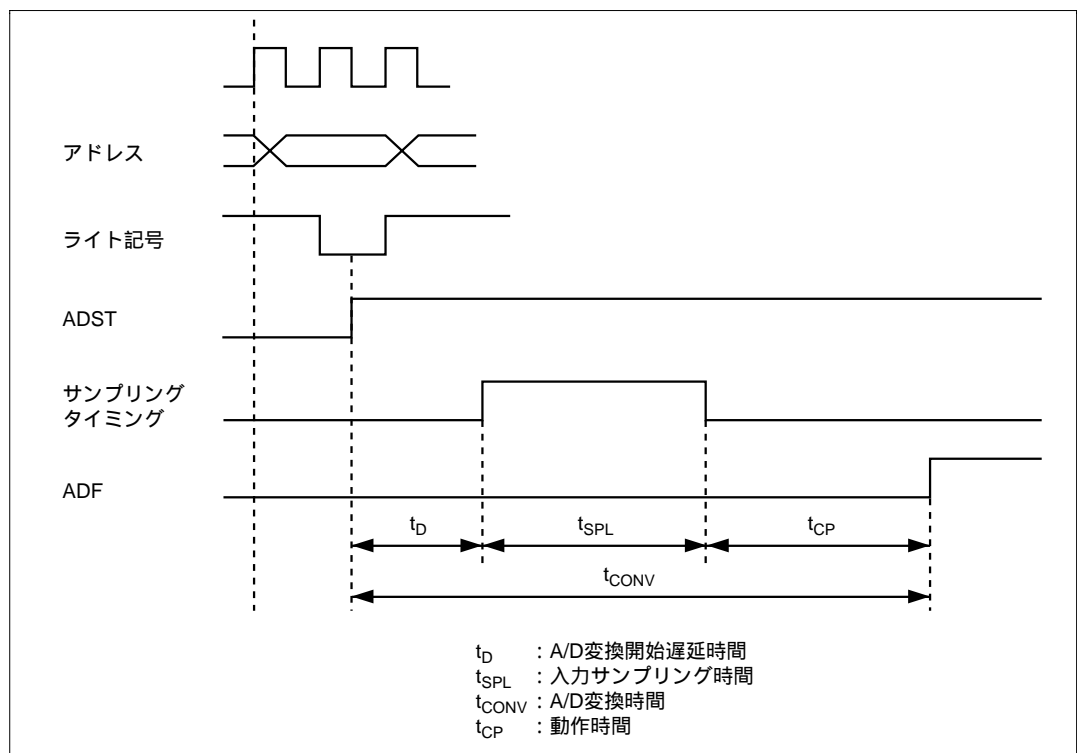


図 15.12 A/D 変換タイミング

表 15.6 A/D 変換時間

項目	記号	CKS =0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	1.5			1.5		
入力サンプリング時間	t_{SPL}	20			40		
A/D 変換時間	t_{CONV}	42.5			82.5		

【注】 単位：ステート

表は PWR=1 のとき。ADST のセットから 200 ステートが経過していない場合は、200 ステートが経過するまで変換が行われません。PWR=0 のときは 1 回目の A/D 変換開始遅延時間に 200 ステートを加算してください。連続して変換を行う場合の 2 回目以降の t_{CP} は CKS=0 のとき 20 サイクル、CKS=1 のとき 40 サイクルになります。

ADCSR の CKS ビットは動作時間 t_{CONV} が、5V 版で $2 \mu s$ 以上、3.3V 版で $4 \mu s$ 以上になるように設定してください。動作周波数と CKS ビットの設定を表 15.7 に示します。

表 15.7 動作周波数と CKS ビットの設定

CKS	変換時間 (ステート)	最小変換時間 (μs)				
		28MHz	20MHz	16MHz	10MHz	8MHz
0	42.5		2.1	2.6	4.3	5.3
1	82.5	2.9	4.2	5.0	8.3	10.3

【注】 : 設定できません。

15.5 割り込み

高速 A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットによって許可または禁止することができます。

ADI 割り込みで DTC および DMAC の起動ができます。ADI 割り込みで変換されたデータの読み出しを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。

A/D 変換器の割り込み要因を表 15.8 に示します。

スキャンモード時、ADIE ビットを 1 にセットしておくこと、ADF フラグが 1 にセットされると同時に A/D 変換を一時停止します。ADF フラグを 0 にクリアすると A/D 変換を再開します。

ADI 割り込みにより、DTC、DMAC を起動した場合、指定したデータレジスタの最後のレジスタを読み出すと ADF フラグは 0 にクリアされます。

表 15.8 高速 A/D 変換器の割り込み要因

割り込み要因	内 容	DTC、DMAC の起動
ADI	変換終了による割り込み	可

15.6 使用上の注意

高速 A/D 変換器については、以下のことに注意してください。

(1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 AN0 ~ AN7 に印加する電圧は、 AV_{SS} ~ AN7 AV_{CC} の範囲にしてください。

(2) AV_{CC} 、 AV_{SS} 入力電圧

AV_{CC} 、 AV_{SS} 入力電圧は、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{SS}=V_{SS}$ としてください。A/D 変換器を使用しない場合、 $AV_{CC}=V_{CC}$ 、 $AV_{SS}=V_{SS}$ としてください。スタンバイモード時には、 V_{RAM} $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{SS}=V_{SS}$ としてください。なお、 V_{RAM} は、RAM スタンバイ電圧です。

(3) AV_{ref} 入力電圧

アナログ基準電圧 AV_{ref} は、 AV_{ref} AV_{CC} としてください。A/D 変換器を使用しない場合、 $AV_{ref}=V_{CC}$ としてください。スタンバイモード時には、 V_{RAM} AV_{ref} AV_{CC} としてください。なお、 V_{RAM} は、RAM スタンバイ電圧です。

(4) 入力ポート

入力ポートに接続する回路のとき、定数は A/D 変換器のサンプリング時間よりも短く設定してください。回路のとき定数が長いと、入力電圧が十分にサンプリングできないことがあります。

(5) 変換開始モード

PWR ビットの設定によって A/D 変換動作が高速スタートモードのときと低消費電力変換モードのときでは消費電流が異なります。

(6) アナログ入力端子の取り扱い

アナログ入力端子 (AN0 ~ AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 15.13 のような保護回路を接続してください。この回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 15.14 にアナログ入力端子の等価回路を、表 15.9 にアナログ入力端子の規格を示します。

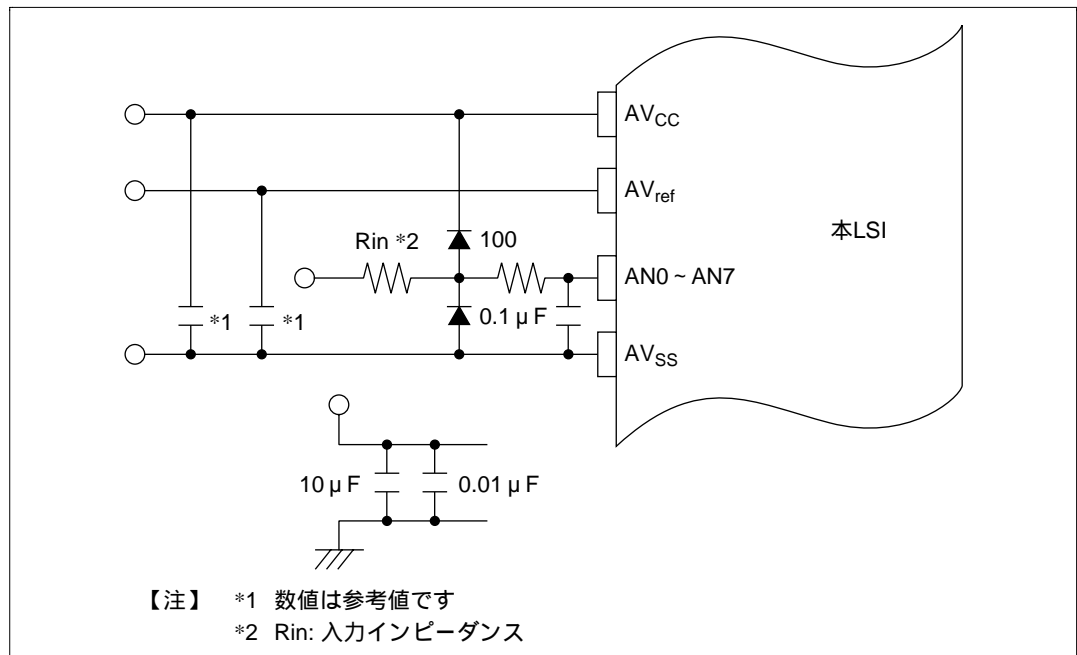


図 15.13 アナログ入力端子の保護回路例

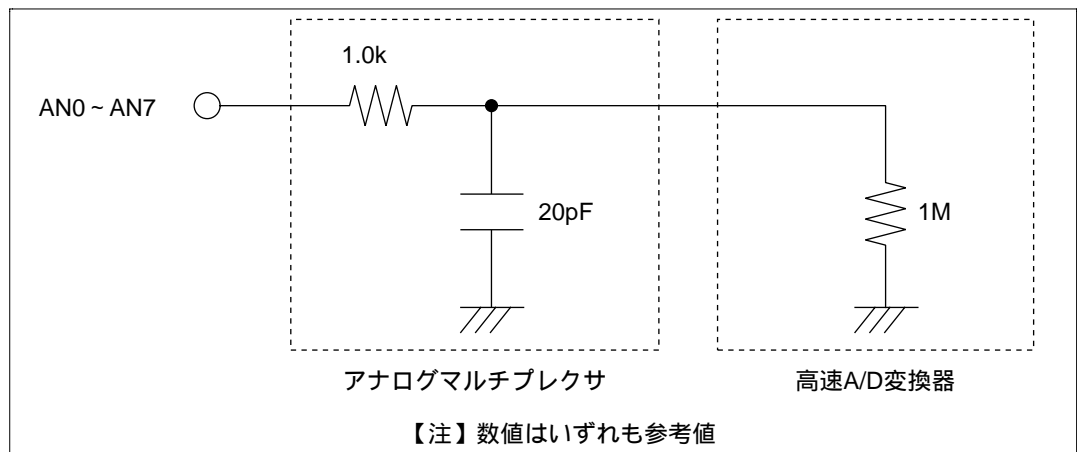


図 15.14 アナログ入力端子の等価回路

表 15.9 アナログ入力端子の規格

項目	min	max	単位
アナログ入力容量		20	pF
許容信号源インピーダンス		1	k

16. 中速 A/D 変換器 (A マスク)

第 16 章 目次

16.1	概要.....	585
16.1.1	特長.....	585
16.1.2	ブロック図.....	586
16.1.3	端子構成.....	587
16.1.4	レジスタ構成.....	588
16.2	レジスタの説明.....	589
16.2.1	A/D データレジスタ A ~ D (ADDRA0 ~ ADDR0, ADDRA1 ~ ADDR1)	589
16.2.2	A/D コントロール / ステータスレジスタ (ADCSR0, ADCSR1)	590
16.2.3	A/D コントロールレジスタ (ADCR0, ADCR1)	593
16.3	CPU とのインタフェース.....	594
16.4	動作説明.....	595
16.4.1	単一モード (SCAN = 0)	595
16.4.2	スキャンモード (SCAN = 1)	597
16.4.3	入力サンプリングと A/D 変換時間	599
16.4.4	外部トリガ入力タイミング	600
16.5	割り込み要求と DMA、DTC 転送要求.....	601
16.6	A/D 変換精度の定義.....	602
16.7	使用上の注意.....	603
16.7.1	アナログ電圧の設定.....	603
16.7.2	アナログ入力端子の取り扱い.....	603

16.1 概要

本中速 A/D 変換器は 10 ビットの分解能を持ち、最大 8 チャンネルのアナログ入力を選択することができます。

中速 A/D 変換器は独立した 2 つのモジュール (A/D0 と A/D1) より構成されています。

16.1.1 特長

中速 A/D 変換器の特長を以下に示します。

10 ビット分解能

入力チャンネル : 8 チャンネル (4 チャンネル × 2)

アナログ変換電圧範囲の設定可能

リファレンス電圧端子 (AV_{ref}) をアナログ基準電圧 (V_{ref}) として、 $0V \sim V_{ref}$ のアナログ入力を変換 (SH7041A、SH7043A、SH7045 のみ)。

(SH7040A、SH7042A、SH7044 では、LSI の内部で AV_{CC} に接続されています。)

高速変換

最小変換時間 : 1 チャンネル当たり

動作周波数 : $f = 20\text{MHz}$, $CKS = 0, 1$

$6.7 \mu\text{s}$ (20MHz , $CKS = 1$)

動作周波数 : $f > 20\text{MHz}$, $CKS = 0$

$9.3 \mu\text{s}$ (28.7MHz , $CKS = 0$)

豊富な変換モード

シングルモード / スキャンモードの選択が可能。

2 チャンネル同時変換が可能。

3 種類の変換開始

ソフトウェア、タイマの変換開始トリガ (MTU) または \overline{ADTRG} 端子の選択が可能。

8 本のデータレジスタ

変換結果を、各チャンネルに対応した 16 ビットデータレジスタに保持。

サンプル & ホールド機能

A/D 変換終了割り込み発生

A/D 変換終了時に、A/D 変換終了割り込み (ADI) 要求を発生可能。

また、ADI0 (A/D0 の割り込み要求) で DTC が、

ADI1 (A/D1 の割り込み要求) で DMAC が、

それぞれ起動できます。

16.1.2 ブロック図

中速 A/D 変換器のブロック図を図 16.1 に示します。

両 A/D の AV_{CC} 、 AV_{ref} 、 AV_{SS} は LSI では共通端子です。

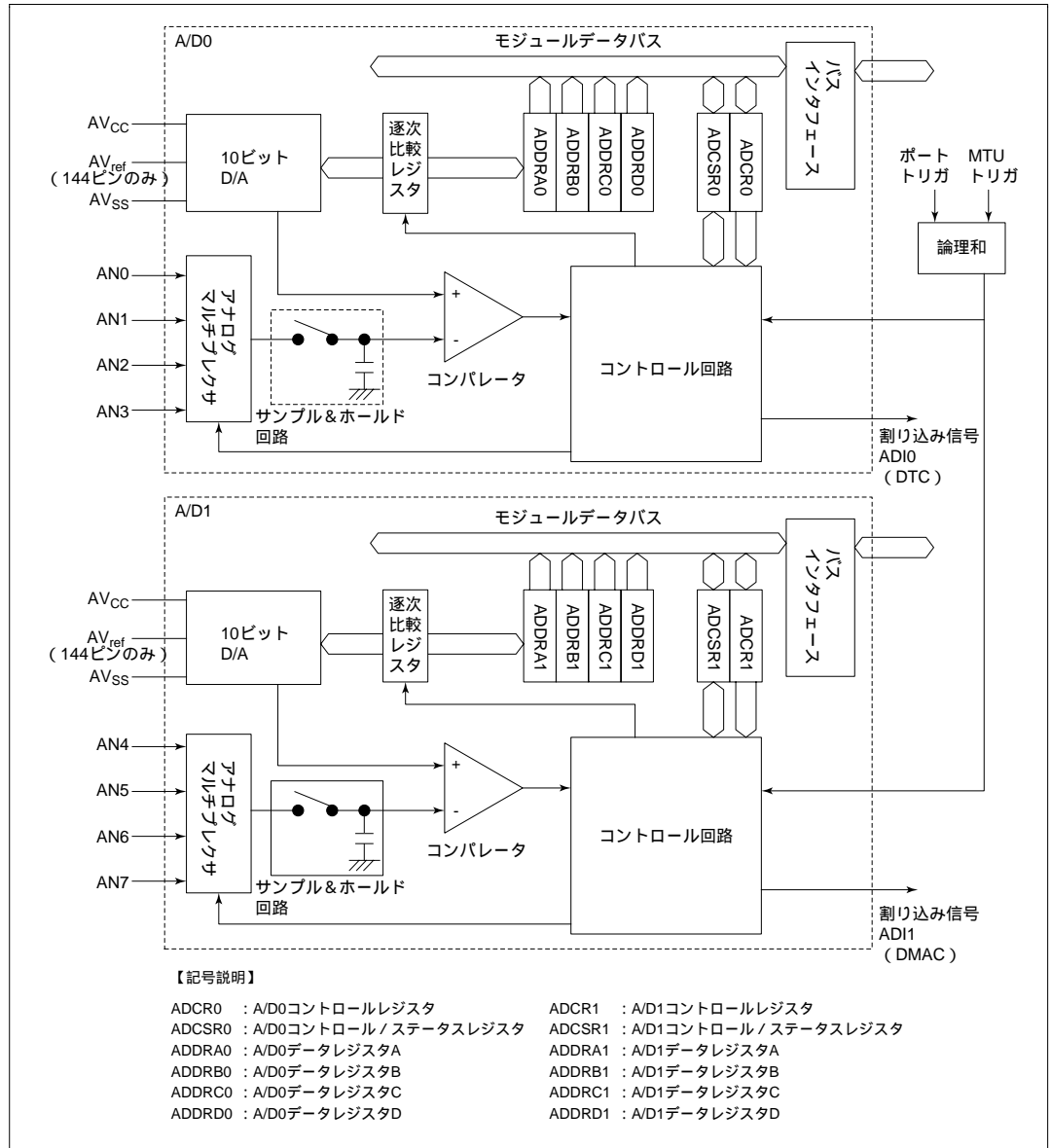


図 16.1 中速 A/D 変換器のブロック図

16.1.3 端子構成

中速 A/D 変換器で使用する入力端子を表 16.1 に示します。

AV_{CC} 、 AV_{SS} 端子は、中速 A/D 変換器内部のアナログ部の電源です。 AV_{ref} 端子は、A/D 変換基準電圧です。

表 16.1 端子構成

端子名	略称	入出力	機能	
アナログ電源	AV_{CC}	入力	アナログ部の電源	
アナロググランド	AV_{SS}	入力	アナログ部のグランドおよび A/D 変換の基準電圧	
リファレンス電圧	AV_{ref}^*	入力	A/D 変換の基準電圧 (SH7041A、SH7043A、SH7045 のみ)	
A/D0	アナログ入力 0	AND	入力	アナログ入力チャンネル 0
	アナログ入力 1	AN1	入力	アナログ入力チャンネル 1
	アナログ入力 2	AN2	入力	アナログ入力チャンネル 2
	アナログ入力 3	AN3	入力	アナログ入力チャンネル 3
A/D1	アナログ入力 4	AN4	入力	アナログ入力チャンネル 4
	アナログ入力 5	AN5	入力	アナログ入力チャンネル 5
	アナログ入力 6	AN6	入力	アナログ入力チャンネル 6
	アナログ入力 7	AN7	入力	アナログ入力チャンネル 7
A/D 外部トリガ入力	\overline{ADTRG}	入力	A/D 変換開始のための外部トリガ	

【注】 * AV_{ref} は SH7040A、SH7042A、SH7044 では、LSI の内部で AV_{CC} に接続されています。

16.1.4 レジスタ構成

中速 A/D 変換器のレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス	アクセス サイズ
A/D0 データレジスタ AH	ADDRA0H	R	H'00	H'FFFF8400	8、16
A/D0 データレジスタ AL	ADDRA0L	R	H'00	H'FFFF8401	8
A/D0 データレジスタ BH	ADDRB0H	R	H'00	H'FFFF8402	8、16
A/D0 データレジスタ BL	ADDRB0L	R	H'00	H'FFFF8403	8
A/D0 データレジスタ CH	ADDRC0H	R	H'00	H'FFFF8404	8、16
A/D0 データレジスタ CL	ADDRC0L	R	H'00	H'FFFF8405	8
A/D0 データレジスタ DH	ADDRD0H	R	H'00	H'FFFF8406	8、16
A/D0 データレジスタ DL	ADDRD0L	R	H'00	H'FFFF8407	8
A/D0 コントロール/ステータスレジスタ	ADCSR0	R/(W)*	H'00	H'FFFF8410	8、16
A/D0 コントロールレジスタ	ADCR0	R/W	H'7F	H'FFFF8412	8、16
A/D1 データレジスタ AH	ADDRA1H	R	H'00	H'FFFF8408	8、16
A/D1 データレジスタ AL	ADDRA1L	R	H'00	H'FFFF8409	8
A/D1 データレジスタ BH	ADDRB1H	R	H'00	H'FFFF840A	8、16
A/D1 データレジスタ BL	ADDRB1L	R	H'00	H'FFFF840B	8
A/D1 データレジスタ CH	ADDRC1H	R	H'00	H'FFFF840C	8、16
A/D1 データレジスタ CL	ADDRC1L	R	H'00	H'FFFF840D	8
A/D1 データレジスタ DH	ADDRD1H	R	H'00	H'FFFF840E	8、16
A/D1 データレジスタ DL	ADDRD1L	R	H'00	H'FFFF840F	8
A/D1 コントロール/ステータスレジスタ	ADCSR1	R/(W)*	H'00	H'FFFF8411	8
A/D1 コントロールレジスタ	ADCR1	R/W	H'7F	H'FFFF8413	8

【注】 * ビット7は、フラグをクリアするための0書き込みのみ可能です。

16.2 レジスタの説明

16.2.1 A/D データレジスタ A ~ D (ADDRn0 ~ ADDRn0、 ADDRn1 ~ ADDRn1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn:	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(n=A~D)

A/D データレジスタ (ADDR) は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDR0 ~ ADDR0 (A/D0)、ADDR1 ~ ADDR1 (A/D1) の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5~0 は、予約ビットで、読み出すと常に 0 が読み出されます。アナログ入力チャネルと ADDR の対応を表 16.3 に示します。

ADDR は、常に CPU から読み出し可能です。上位バイトは直接読み出せますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「16.3 CPU とのインタフェース」を参照してください。

ADDR は、パワーオンリセットまたはスタンバイモードで H'0000 に初期化されます。マニュアルリセットでは初期化されません。

表 16.3 アナログ入力チャネルと ADDRn ~ ADDRn の対応

アナログ入力チャネル	A/D データレジスタ	モジュール
AN0	ADDR0	A/D 0
AN1	ADDR1	
AN2	ADDR2	
AN3	ADDR3	
AN4	ADDR4	A/D 1
AN5	ADDR5	
AN6	ADDR6	
AN7	ADDR7	

16.2.2 A/D コントロール / ステータスレジスタ (ADCSR0、ADCSR1)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	—	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R	R/W	R/W

【注】 * フラグをクリアするために0のみ書き込むことができます。

A/D コントロール / ステータスレジスタ (ADCSR0、1)は、8 ビットの読み出し / 書き込み可能なレジスタで、モードの選択など中速 A/D 変換器の動作を制御します。ADCSR0 (A/D0)、ADCSR1 (A/D1) があります。

ADCSR は、パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

ビット7: A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) (1) ADF = 1 の状態で、ADF を読み出した後、ADF に 0 を書き込んだとき (2) ADI 割り込みによって DMAC、DTC が起動され、中速 A/D 変換器のレジスタがアクセスされたとき
1	[セット条件] (1) 単一モード: A/D 変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルの A/D 変換が終了したとき

ビット6: A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み要求 (ADI) の許可または禁止を選択します。

ビット6	説明
ADIE	
0	A/D 変換終了による割り込み要求 (ADI) を禁止 (初期値)
1	A/D 変換終了による割り込み要求 (ADI) を許可

ビット5 : A/D スタート (ADST)

A/D 変換の開始または停止を選択します。

A/D 変換中は 1 を保持します。また、A/D 変換トリガ入力端子 ($\overline{\text{ADTRG}}$) により 1 にセットすることもできます。

ビット5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) 単一モード : A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) スキャンモード : A/D 変換を開始。ソフトウェアにより 0 にクリアされるまで連続変換

ビット4 : スキャンモード (SCAN)

A/D 変換のモードを、単一モード / スキャンモードから選択します。単一モード / スキャンモード時の動作については、「16.4 動作説明」を参照してください。モードの切り替えは、ADST = 0 の状態で行ってください。

ビット4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

ビット3 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST = 0 の状態で行ってください。

なお、動作周波数が 20MHz を超える場合は必ず CKS = 0 の設定にしてください。

ビット3	説明
CKS	
0	変換時間 = 266 ステート (max) (初期値)
1	変換時間 = 134 ステート (max)

ビット2 : 予約ビット

ビット2 は読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16. 中速 A/D 変換器 (A マスク)

ビット 1、0 : チャネルセレクト 1、0 (CH1、CH0)

SCAN ビットと共にアナログ入力チャンネルを選択します。

チャンネル選択と切り替えは、ADST = 0 の状態で行ってください。

チャンネル選択		説明			
CH1	CH0	単一モード		スキャンモード	
		A/D0	A/D1	A/D0	A/D1
0	0	AN0 (初期値)	AN4 (初期値)	AN0	AN4
	1	AN1	AN5	AN0、AN1	AN4、AN5
1	0	AN2	AN6	AN0 ~ AN2	AN4 ~ AN6
	1	AN3	AN7	AN0 ~ AN3	AN4 ~ AN7

16.2.3 A/D コントロールレジスタ (ADCR0、ADCR1)

ビット:	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W:	R/W	R	R	R	R	R	R	R

A/D コントロールレジスタ (ADCR0、1) は、8 ビットの読み出し / 書き込み可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可または禁止を選択します。ADCR0 (A/D0)、ADCR1 (A/D1) があります。

ADCR は、パワーオンリセットまたはスタンバイモードで H'7F に初期化されます。マニュアルリセットでは初期化されません。

ビット 7: トリガイネーブル (TRGE)

外部トリガまたは MTU トリガからの入力による A/D 変換の開始の許可または禁止を選択します。

ビット 7	説明
TRGE	
0	外部トリガまたは MTU トリガによる A/D 変換の開始を禁止 (初期値)
1	A/D 変換トリガ入力端子 ($\overline{\text{ADTRG}}$) または MTU トリガの立ち下がりエッジで A/D 変換を開始

外部トリガ端子、MTU トリガは、A/D0、A/D1 共通です。

A/D0 と A/D1 の設定は、論理和になっています。

ビット 6~0: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

16.3 CPU とのインタフェース

A/D データレジスタ ADDR (ADDRn0 ~ ADDRn0, ADDRn1 ~ ADDRn1) は 16 ビットのレジスタですが、CPU と結合しているチップ内バスは、8 ビット幅です。このため ADDR の上位 / 下位のデータは別々にしか読み出せません。

ADDR の上位 / 下位の 2 バイトのデータを読み出す間にデータ変化するのを避けるため、下位バイトのデータ読み出しは、テンポラリレジスタ (TEMP) を介して行います。

なお、上位バイトの読み出しは直接行えます。

ADDR からのデータ読み出しは、次のようにして行います。まず、ADDR のデータの上位バイトを読み出します。このとき、上位バイトのデータは直接 CPU に読み込まれ、下位バイトのデータは中速 A/D 変換器内の TEMP へ転送されます。次に下位バイトを読み出すと TEMP の内容が CPU に読み込まれます。

ADDR をバイトサイズで読み出す場合には、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容が保証されませんので注意してください。なお、ADDR をワードサイズで読み出すと、自動的に上位バイト、下位バイトの順で読み出されます。

図 16.2 に ADDR のリード時のデータの流れを示します。

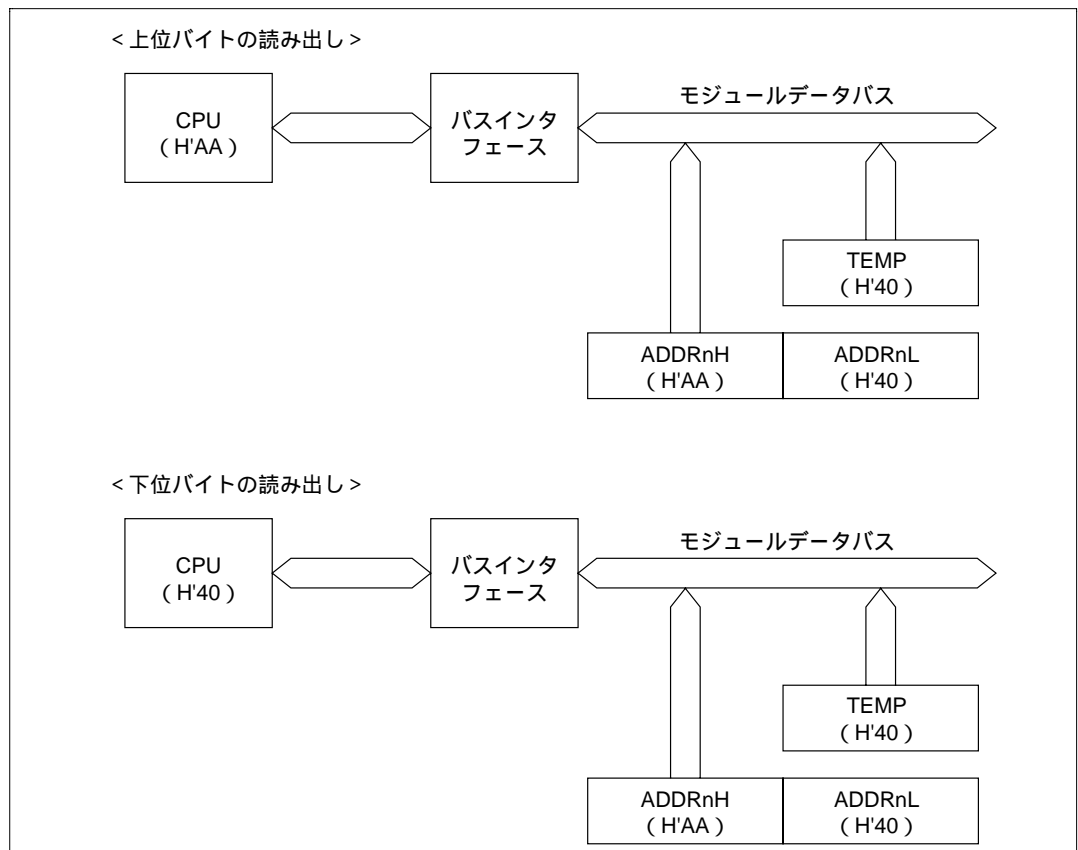


図 16.2 ADDR のアクセス動作 ((H'AA40) 読み出し時)

16.4 動作説明

中速 A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。単一モードとスキャンモードの各モードの動作についての説明をします。

16.4.1 単一モード (SCAN = 0)

単一モードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

ADF ビットは、ADF = 1 を読み出した後、ADF ビットに 0 を書き込むとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

単一モードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 16.3 に示します (動作例におけるビット指定は ADCSR0 レジスタです)。

- (1) 動作モードを単一モードに (SCAN = 0)、入力チャンネルを AN1 に (CH1 = 0、CH0 = 1)、A/D 割り込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
- (2) A/D 変換が終了すると、A/D 変換結果が ADDR0 に転送されます。同時に、ADF = 1、ADST = 0 となり、中速 A/D 変換器は変換待機となります。
- (3) ADF = 1、ADIE = 1 となっているため、ADI 割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) ADF = 1 を読み出した後、ADF に 0 を書き込みます。
- (6) A/D 変換結果 (ADDR0) を読み出して、処理します。
- (7) A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され (2) ~ (7) を行います。

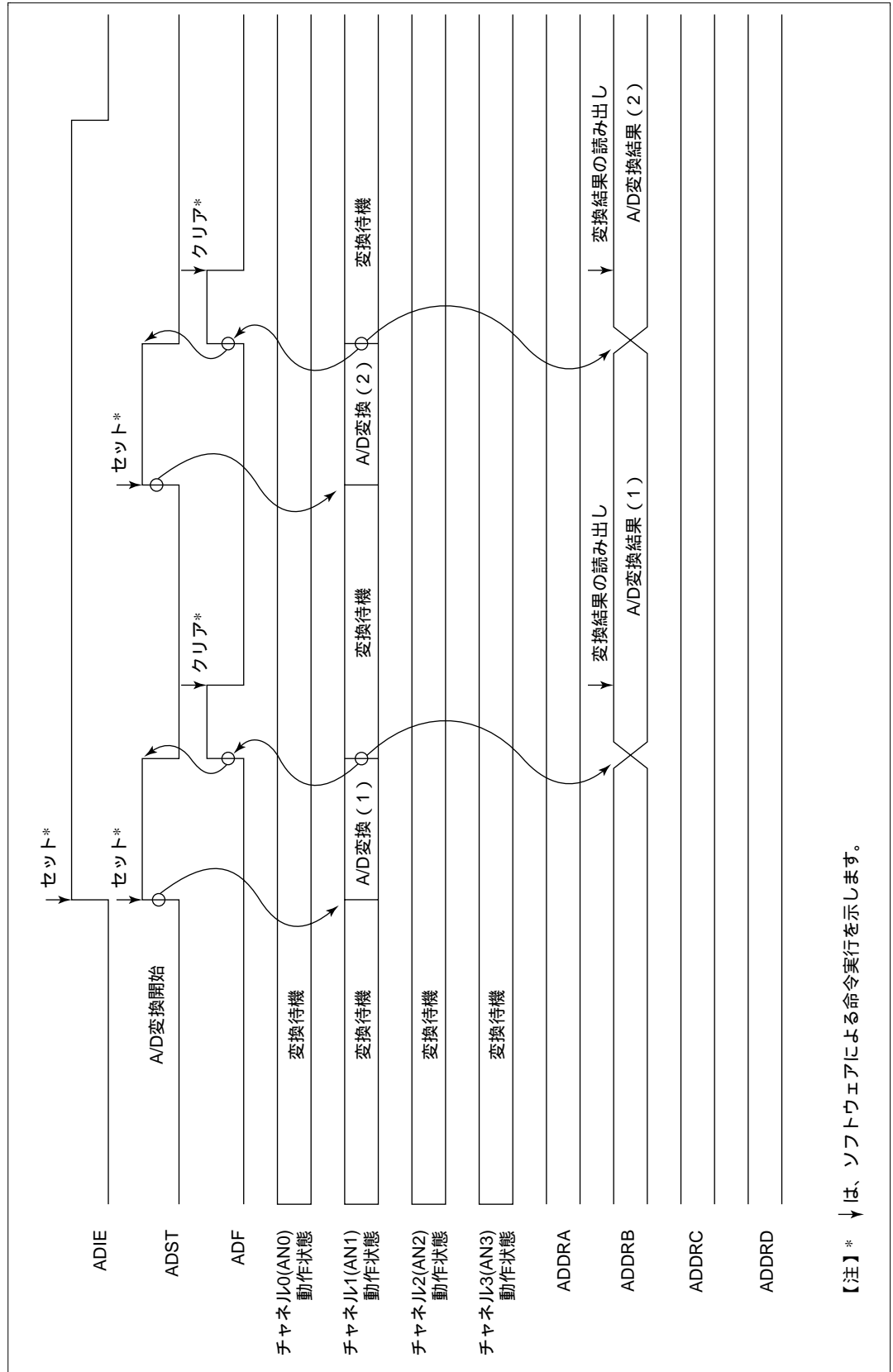


図 16.3 中速 A/D 変換器の動作例 (単一モード チャンネル 1 選択時)

【注】* ↓は、ソフトウェアによる命令実行を示します。

16.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1 チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは外部トリガ入力によって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、グループの第 1 チャンネル (A/D0 は AN0、A/D1 は AN4) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN1 または AN5) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードで A/D0 の 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 16.4 に示します。(動作例におけるビット指定は ADCSR0 レジスタです。)

- (1) 動作モードをスキャンモードに (SCAN = 1)、アナログ入力チャンネルを AN0 ~ AN2 (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- (2) 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDRA0 に転送します。
次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN2) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル (AN0) を選択し、変換が行われます。
このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。
- (5) ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。
ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN0) から変換が行われます。

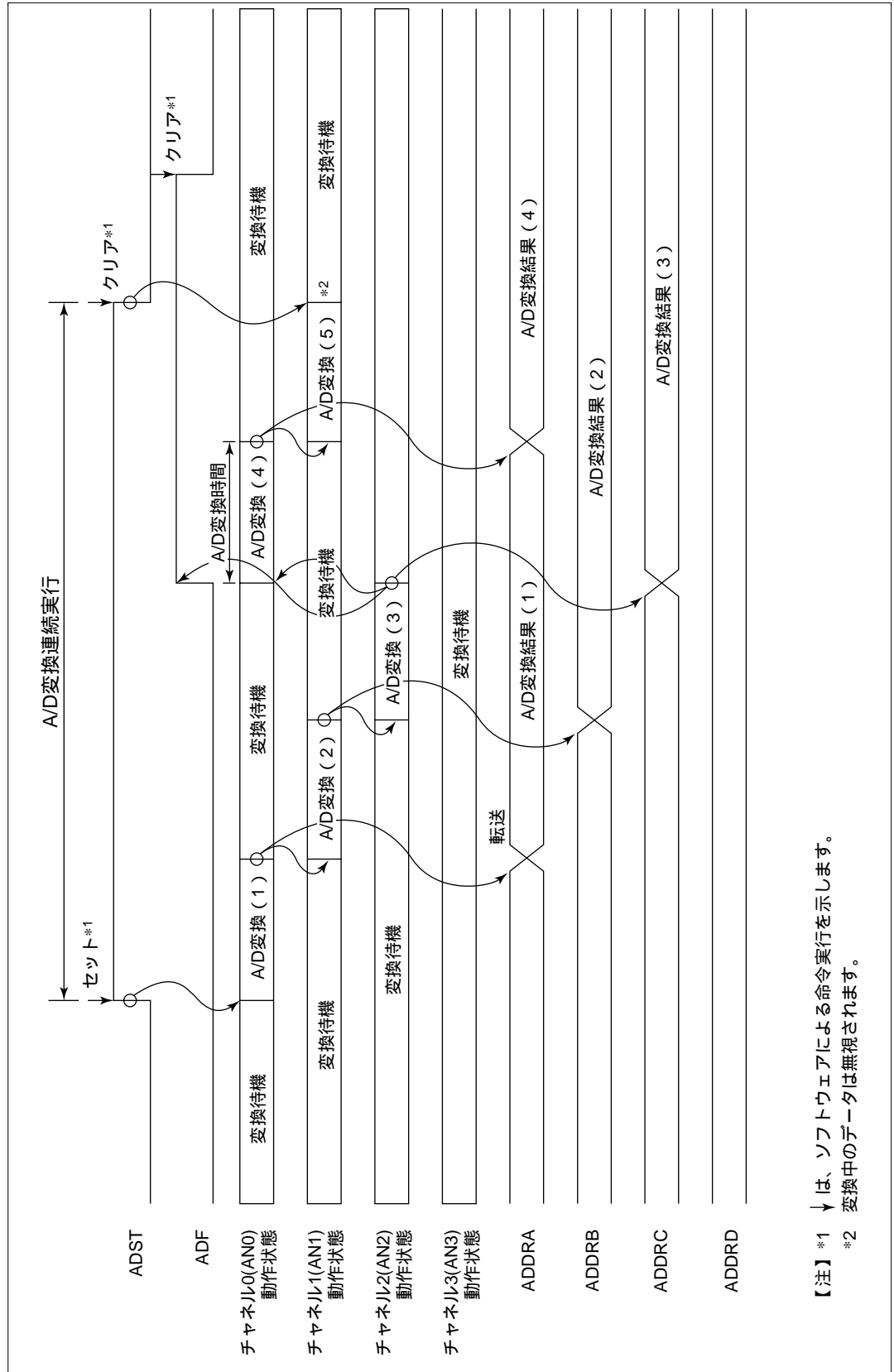


図 16.4 中速 A/D 変換器の動作例 (スキャンモード AN0~AN2 の 3 チャンネル選択時)

【注】*1 ↓は、ソフトウェアによる命令実行を示します。

*2 変換中のデータは無視されます。

16.4.3 入力サンプリングと A/D 変換時間

中速 A/D 変換器には、サンプル&ホールド回路が内蔵されています。中速 A/D 変換器は、A/D コントロール/ステータスレジスタ (ADCSR) のアクセスを開始してから t_D 時間経過後、入力サンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 16.5 に示します。また、A/D 変換時間を表 16.4 に示します。

A/D 変換時間は、図 16.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR への書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 16.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 16.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS = 0 の場合は 256 ステート (固定)、CKS = 1 の場合は 128 ステート (固定) となります。

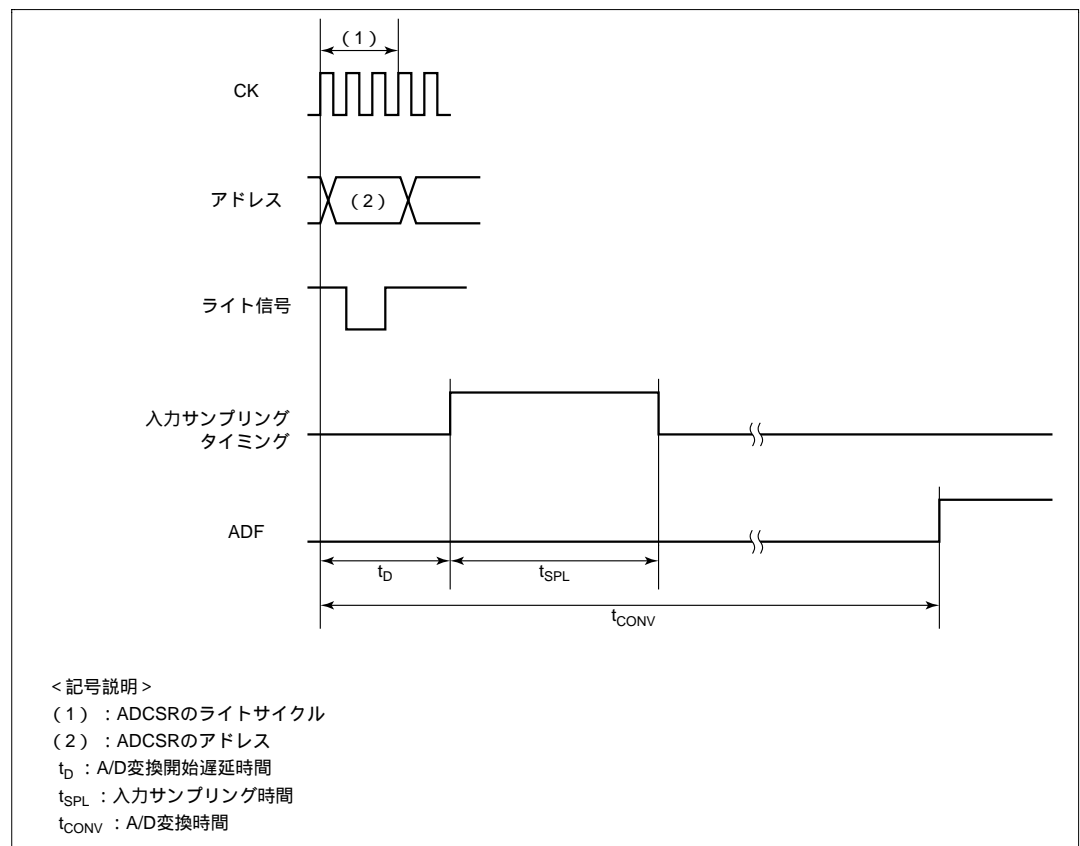


図 16.5 A/D 変換タイミング

表 16.4 A/D 変換時間 (単一モード)

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	10		17	6		9
入力サンプリング時間	t_{SPL}		64			32	
A/D 変換時間	t_{CONV}	259		266	131		134

【注】 表中の数値の単位はステート (t_{cyc}) です。

16.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、A/D コントロールレジスタ (ADCR) の TRGE ビットが 1 にセットされているとき、 \overline{ADTRG} 端子または MTU から入力されます。

\overline{ADTRG} 入力端子の立ち下がりエッジまたは MTU トリガにより、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 16.6 に示します。

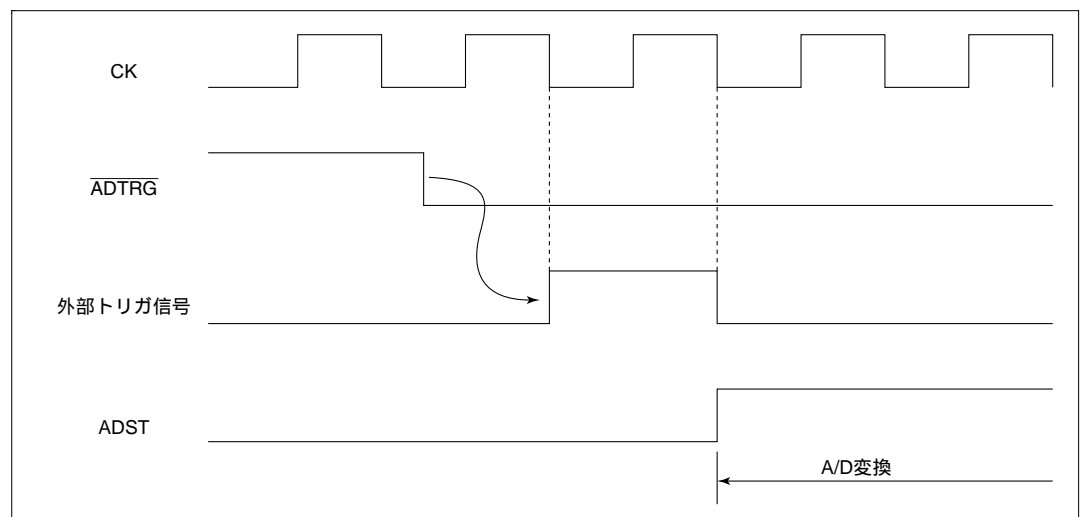


図 16.6 外部トリガ入力タイミング

16.5 割り込み要求と DMA、DTC 転送要求

中速 A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。

ADI 割り込み要求は、ADCSR の ADIE ビットで許可または禁止することができます。

また、ADI 割り込み要求によって DMA または DTC 転送を起動することもできます。A/D0 の ADI0 の割り込みで DTC を、また A/D1 の ADI1 割り込みで DMAC を起動することができます。中速 A/D 変換器の割り込み要因を表 16.5 に示します。

表 16.5 中速 A/D 変換器の割り込み要因

中速 A/D 変換器	割り込み要因	内容	DTC	DMAC
A/D0	ADI0	変換終了による 割り込み		×
A/D1	ADI1		×	

: 起動可、× : 起動不可

ADI0 割り込みで起動された DTC で、A/D0 のレジスタをアクセスすると A/D0 コントロール/ステータスレジスタ (ADCSR0) の ADF ビットは自動的に 0 クリアされます。また、ADI1 割り込みにより起動された DMAC による A/D1 のレジスタアクセスでも、ADCSR1 の ADF ビットを自動的にクリアすることができますが、この割り込み要因の自動クリア動作については「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

16.6 A/D 変換精度の定義

中速 A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

- (1) オフセット誤差
- (2) フルスケール誤差
- (3) 量子化誤差
- (4) 非直線性誤差

図 16.7 に沿って、上記 (1) ~ (4) の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの中速 A/D 変換器を 3 ビットの中速 A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値 (ゼロ電圧) 000000000 (図では 000) から 000000001 (図では 001) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 16.7 (1)) です。フルスケール誤差とはデジタル出力値が 111111110 (図では 110) から最大値 (フルスケール電圧) 111111111 (図では 111) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 16.7 (2)) です。量子化誤差とは、中速 A/D 変換器が本質的に有する誤差であり、 $1/2\text{LSB}$ で表されます (図 16.7 (3))。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 16.7 (4)) です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

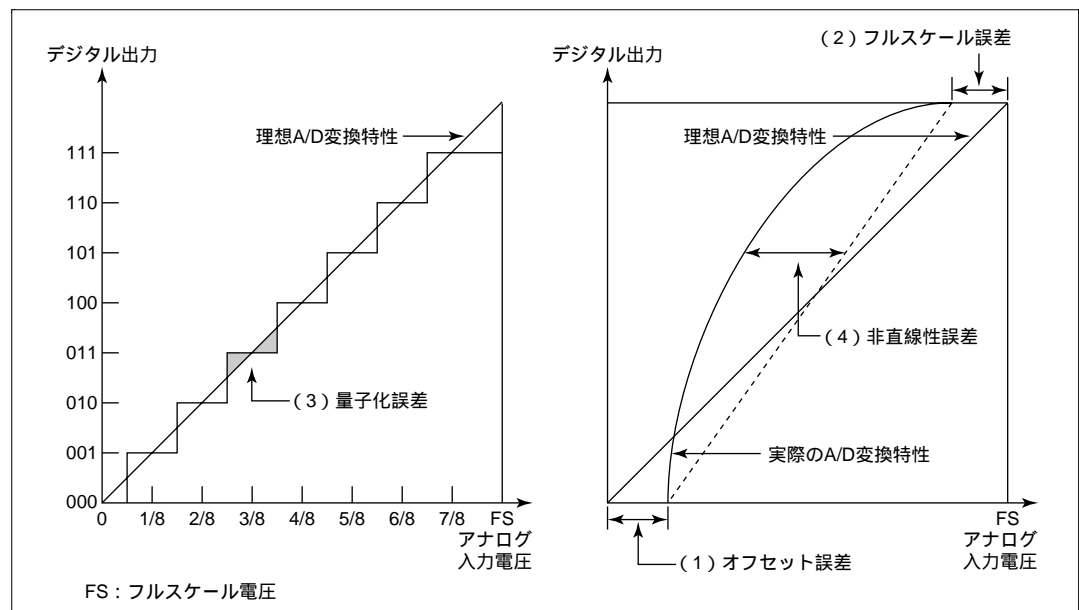


図 16.7 A/D 変換精度の定義

16.7 使用上の注意

中速 A/D 変換器を使用する際は、以下のことに注意してください。

16.7.1 アナログ電圧の設定

(1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 ANn に印加する電圧は AV_{SS} ~ ANn ~ AV_{ref} の範囲としてください。(n=0~7)

(2) AV_{CC} 、 AV_{SS} 入力電圧

AV_{CC} 、 AV_{SS} 入力電圧は、 $AV_{CC} = V_{CC} \pm 10\%$ 、 $AV_{SS} = V_{SS}$ としてください。中速 A/D 変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

(3) AV_{ref} 入力電圧

AV_{ref} 端子入力電圧のアナログ基準は AV_{ref} ~ AV_{CC} としてください。中速 A/D 変換器を使用しない場合、 $AV_{ref} = AV_{CC}$ としてください。

(4) 中速 A/D 変換器を使わない場合、およびスタンバイ時でも AV_{CC} と AV_{ref} は必ず電源 (V_{CC}) に接続してください。

16.7.2 アナログ入力端子の取り扱い

アナログ入力端子 (AN0~AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 16.8 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 16.9 にアナログ入力端子の等価回路を、表 16.6 にアナログ入力端子の規格を示します。

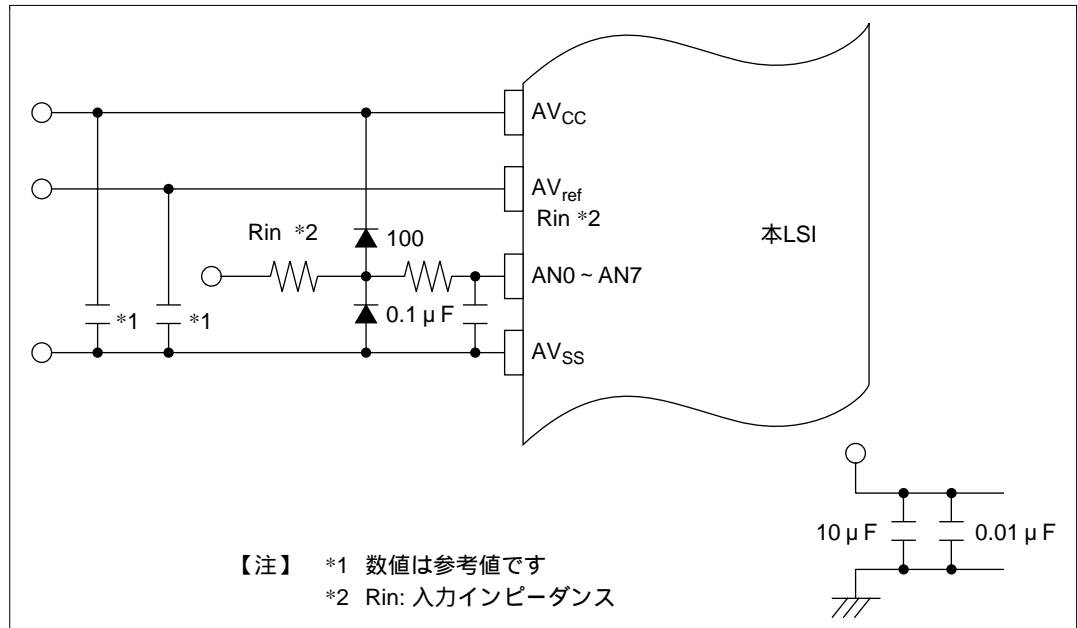


図 16.8 アナログ入力端子の保護回路例

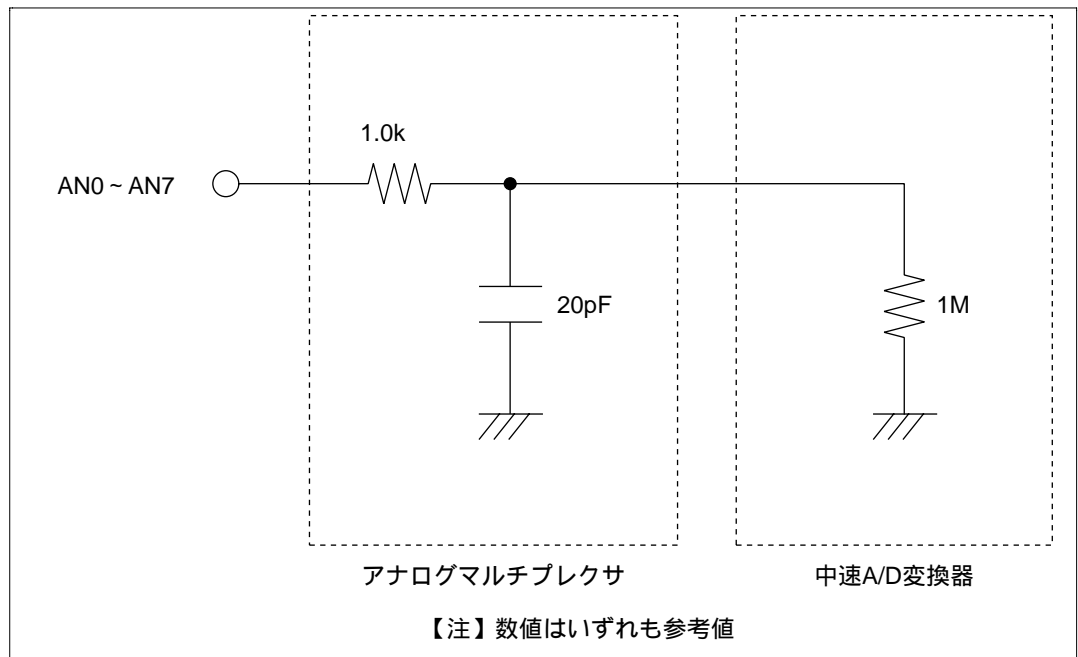


図 16.9 アナログ入力端子の等価回路

表 16.6 アナログ入力端子の規格

項目	min	max	単位
アナログ入力容量		20	pF
許容信号源インピーダンス		1	k

17. コンペアマッチタイマ (CMT)

第 17 章 目次

17.1	概要	607
17.1.1	特長	607
17.1.2	ブロック図	607
17.1.3	レジスタ構成	608
17.2	レジスタの説明	609
17.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	609
17.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	610
17.2.3	コンペアマッチタイマカウンタ (CMCNT)	612
17.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	612
17.3	動作説明	613
17.3.1	周期カウント動作	613
17.3.2	CMCNT のカウントタイミング	613
17.4	割り込み	614
17.4.1	割り込み要因と DTC の起動	614
17.4.2	コンペアマッチフラグのセットタイミング	614
17.4.3	コンペアマッチフラグのクリアタイミング	615
17.5	使用上の注意	616

17.1 概要

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT: Compare match timer) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

17.1.1 特長

CMT には、次のような特長があります。

4 種類のカウンタ入力クロックを選択可能

4 種類の内部クロック (/8、 /32、 /128、 /512) の中から各チャンネル独立に選択できます。

割り込み要因

コンペアマッチ割り込みを各チャンネル独立に要求することができます。

17.1.2 ブロック図

CMT のブロック図を図 17.1 に示します。

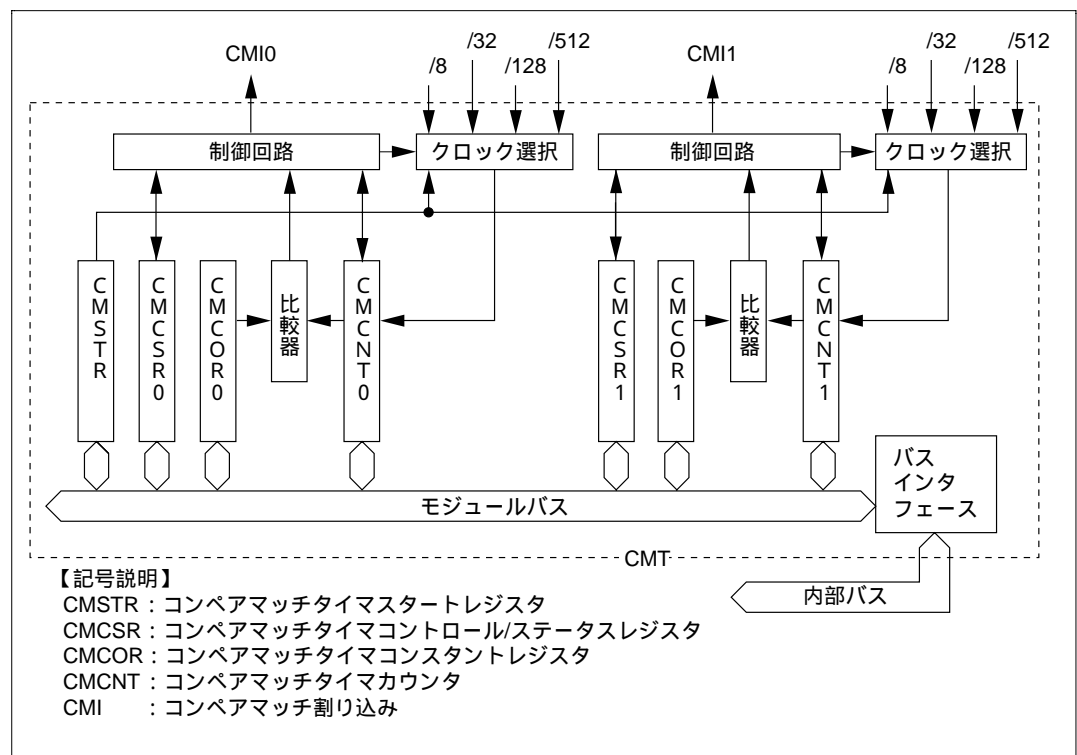


図 17.1 CMT のブロック図

17.1.3 レジスタ構成

CMT のレジスタ構成を表 17.1 に示します。

表 17.1 レジスタ構成

チャンネル	名称	R/W	略称	初期値	アドレス	アクセスサイズ (ビット)
共通	コンペアマッチタイマ スタートレジスタ	CMSTR	R/W	H'0000	H'FFFF83D0	8、16、32
0	コンペアマッチタイマコン トロール/ステータス レジスタ 0	CMCSR0	R/(W)*	H'0000	H'FFFF83D2	8、16、32
	コンペアマッチタイマ カウンタ 0	CMCNT0	R/W	H'0000	H'FFFF83D4	8、16、32
	コンペアマッチタイマ コンスタントレジスタ 0	CMCOR0	R/W	H'FFFF	H'FFFF83D6	8、16、32
1	コンペアマッチタイマ コントロール/ステータス レジスタ 1	CMCSR1	R/(W)*	H'0000	H'FFFF83D8	8、16、32
	コンペアマッチタイマ カウンタ 1	CMCNT1	R/W	H'0000	H'FFFF83DA	8、16、32
	コンペアマッチタイマ コンスタントレジスタ 1	CMCOR1	R/W	H'FFFF	H'FFFF83DC	8、16、32

【注】 * CMCSR0、1 の CMF ビットは、フラグをクリアするための 0 書き込みのみ可能です。

17.2 レジスタの説明

17.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

コンペアマッチタイマスタートレジスタ (CMSTR) はチャンネル 0、1 のカウンタ (CMCNT) を動作させるか、停止させるかの設定を行います。CMSTR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'0000 に初期化されます。マニュアルリセットでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット 15~2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1 : カウントスタート 1 (STR1)

コンペアマッチタイマカウンタ 1 (CMCNT1) を動作させるか、停止させるかを選択します。

ビット 1	説明
STR1	
0	CMCNT1 のカウント動作は停止 (初期値)
1	CMCNT1 はカウント動作

ビット 0 : カウントスタート 0 (STR0)

コンペアマッチタイマカウンタ 0 (CMCNT0) を動作させるか、停止させるかを選択します。

ビット 0	説明
STR0	
0	CMCNT0 のカウント動作は停止 (初期値)
1	CMCNT0 はカウント動作

17.2.2 コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR)

コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR) はコンペアマッチ発生を表示、割り込みの許可 / 禁止の設定、カウントアップに用いられるクロックの設定を行います。CMCSR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'0000 に初期化されます。マニュアルリセットでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R(W)*	R/W	R	R	R	R	R/W	R/W

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

ビット 15~8、5~2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7 : コンペアマッチフラグ (CMF)

コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。

ビット 7	説明
CMF	
0	CMCNT と CMCOR の値が一致していない [クリア条件] CMF の 1 を読み出してから 0 を書き込む (初期値)
1	CMCNT と CMCOR の値が一致した

ビット6：コンペアマッチ割り込みイネーブル (CMIE)

CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。

ビット6	説明
CMIE	
0	コンペアマッチ割り込み (CMI) を禁止 (初期値)
1	コンペアマッチ割り込み (CMI) を許可

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

システムクロック () を分周して得られる4種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットを1にセットすると、CKS1、CKS0 で選択されたクロックにより CMCNT がカウントアップを開始します。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	/ 8 (初期値)
	1	/ 32
1	0	/ 128
	1	/ 512

17.2.3 コンペアマッチタイマカウンタ (CMCNT)

コンペアマッチタイマカウンタ (CMCNT) は割り込み要求を発生させるためのアップカウンタとして使用します。

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR の STR ビットを 1 にセットすると、そのクロックによって CMCNT はカウントアップを開始します。CMCNT の値がコンペアマッチタイマコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ、CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。

CMCNT レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'0000 に初期化されます。マニュアルリセットでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

17.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

コンペアマッチタイマコンスタントレジスタ (CMCOR) は CMCNT とのコンペアマッチ周期を設定します。

CMCOR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'FFFF に初期化されます。マニュアルリセットでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

17.3 動作説明

17.3.1 周期カウント動作

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR レジスタの STR ビットを 1 にセットすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。CMCNT カウンタの値がコンペアマッチレジスタ (CMCOR) の値と一致すると、CMCNT カウンタは H'0000 にクリアされ、CMCSR レジスタの CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT カウンタは H'0000 から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図 17.2 に示します。

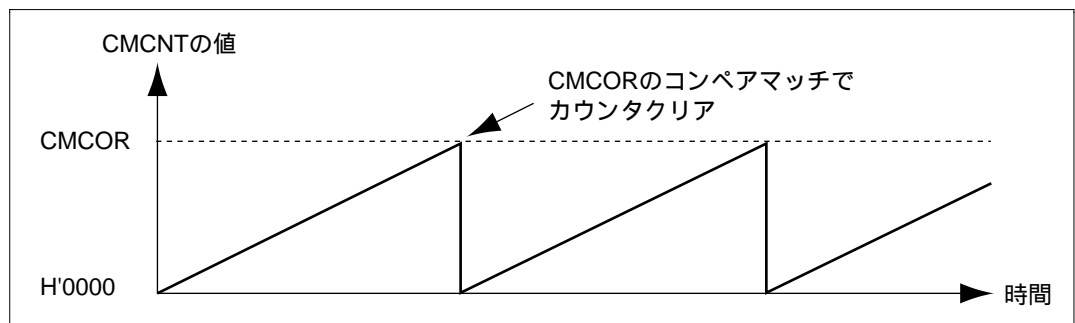


図 17.2 カウンタの動作

17.3.2 CMCNT のカウントタイミング

CMCSR の CKS1、CKS0 ビットにより、システムクロック (CK) を分周した 4 種類のクロック (/ 8、 / 32、 / 128、 / 512) が選択できます。このときのタイミングを図 17.3 に示します。

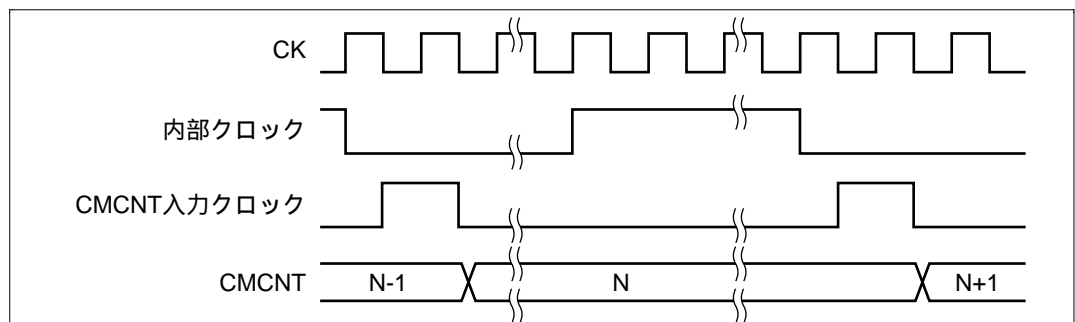


図 17.3 カウントタイミング

17.4 割り込み

17.4.1 割り込み要因と DTC の起動

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

また、割り込み要求をデータ転送ファコントローラ (DTC) の起動要因とすることもできます。この場合、チャンネル間の優先順位は固定です。詳細は「第 8 章 データ転送ファコントローラ (DTC)」を参照してください。

17.4.2 コンペアマッチフラグのセットタイミング

CMCSR レジスタの CMF ビットは、CMCOR レジスタと CMCNT カウンタが一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタと CMCOR レジスタが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF ビットのセットタイミングを図 17.4 に示します。

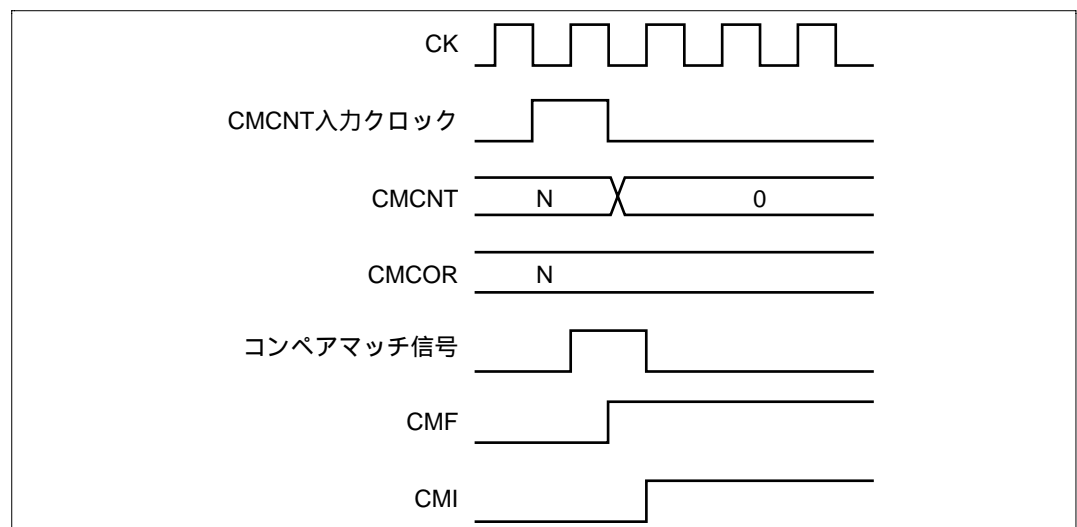


図 17.4 CMF のセットタイミング

17.4.3 コンペアマッチフラグのクリアタイミング

CMCSRレジスタのCMFビットは、1の状態を読み出したあとに0を書き込むか、DTC転送後のクリア信号によりクリアされます。CPUによるCMFビットのクリアタイミングを図17.5に示します。

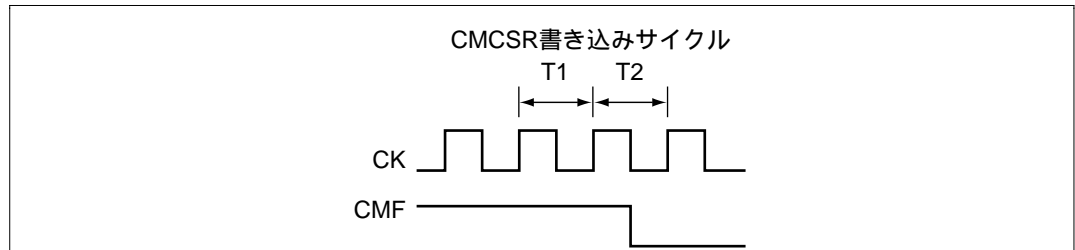


図 17.5 CPUによるCMFのクリアタイミング

17.5 使用上の注意

CMT の動作中、次のような競合や動作が発生するので注意してください。

(1) CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタの書き込みサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 17.6 に示します。

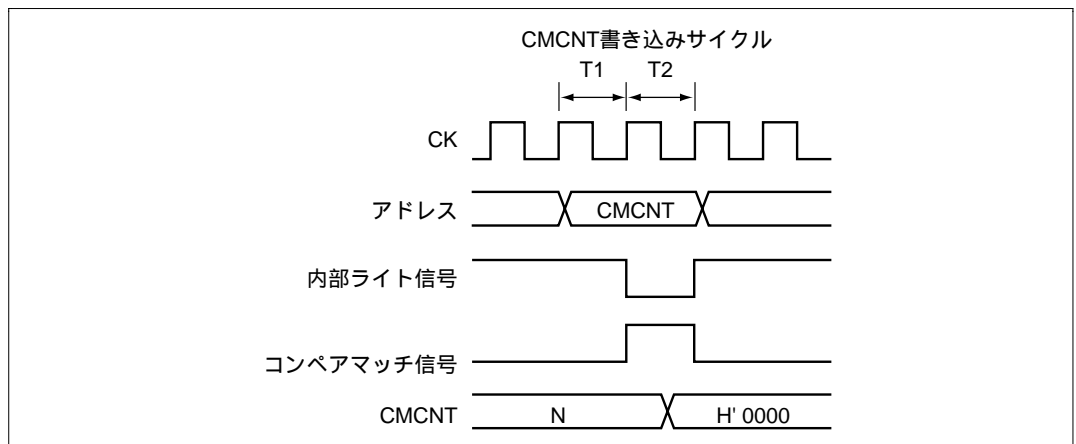


図 17.6 CMCNT の書き込みとコンペアマッチの競合

(2) CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワード書き込みサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 17.7 に示します。

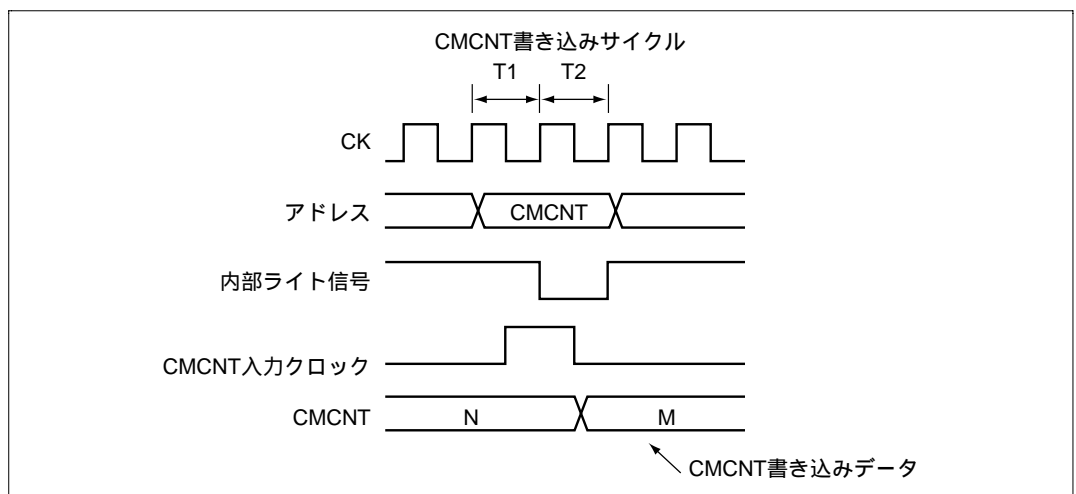


図 17.7 CMCNT のワード書き込みとカウントアップの競合

(3) CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイト書き込みサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側の書き込みデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH 書き込みサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 17.8 に示します。

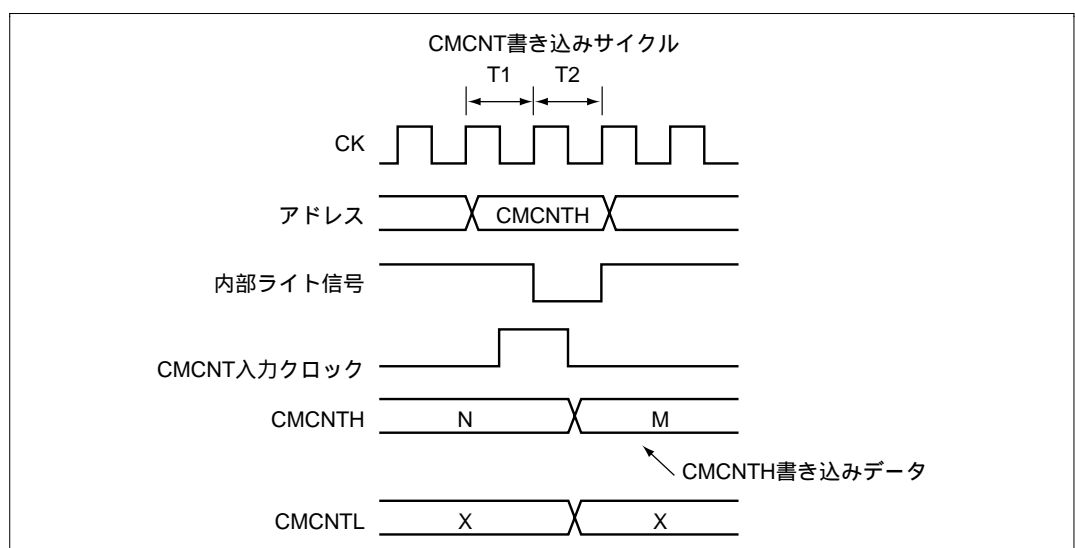


図 17.8 CMCNT のバイト書き込みとカウントアップの競合

18. ピンファンクション コントローラ (PFC)

第18章 目次

18.1	概要	621
18.2	レジスタ構成	628
18.3	レジスタの説明	629
18.3.1	ポート A・IO レジスタ H (PAIORH)	629
18.3.2	ポート A・IO レジスタ L (PAIORL)	630
18.3.3	ポート A コントロールレジスタ H (PACRH)	631
18.3.4	ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2)	634
18.3.5	ポート B・IO レジスタ (PBIOR)	641
18.3.6	ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)	642
18.3.7	ポート C・IO レジスタ (PCIOR)	646
18.3.8	ポート C コントロールレジスタ (PCCR)	647
18.3.9	ポート D・IO レジスタ H (PDIORH)	651
18.3.10	ポート D・IO レジスタ L (PDIORL)	652
18.3.11	ポート D コントロールレジスタ H1、H2 (PDCRH1、PDCRH2)	652
18.3.12	ポート D コントロールレジスタ L (PDCRL)	659
18.3.13	ポート E・IO レジスタ (PEIOR)	664
18.3.14	ポート E コントロールレジスタ 1、2 (PECR1、PECR2)	665
18.3.15	IRQOUT 機能コントロールレジスタ (IFCR)	671
18.4	使用上の注意	672

18.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 18.1 に、本 LSI のマルチプレクス端子を示します。また、マルチプレクス端子は、動作モードにより機能が限定されます。表 18.2 に各動作モード別に端子機能とその初期値を示します。

表 18.1 マルチプレクス一覧表

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	FP-	FP-	TFP-
					112	144	120
A	PA23 入出力 (ポート)	$\overline{\text{WRH}}$ 出力 (BSC)			-	1	-
A	PA22 入出力 (ポート)	$\overline{\text{WRHL}}$ 出力 (BSC)			-	3	-
A	PA21 入出力 (ポート)	$\overline{\text{CASH}}$ 出力 (BSC)			-	4	-
A	PA20 入出力 (ポート)	$\overline{\text{CASHL}}$ 出力 (BSC)			-	29	-
A	PA19 入出力 (ポート)	$\overline{\text{BACK}}$ 出力 (BSC)	DRAK1 出力 (DMAC)		-	30	-
A	PA18 入出力 (ポート)	$\overline{\text{BREQ}}$ 入力 (BSC)	DRAK0 出力 (DMAC)		-	33	-
A	PA17 入出力 (ポート)	$\overline{\text{WAIT}}$ 入力 (BSC)			-	101	-
A	PA16 入出力 (ポート)	$\overline{\text{AH}}$ 出力 (BSC)			-	100	-
A	PA15 入出力 (ポート)	CK 出力 (CPG)			83	107	88
A	PA14 入出力 (ポート)	$\overline{\text{RD}}$ 出力 (BSC)			34	43	37
A	PA13 入出力 (ポート)	$\overline{\text{WRH}}$ 出力 (BSC)			36	47	39
A	PA12 入出力 (ポート)	$\overline{\text{WRL}}$ 出力 (BSC)			38	48	41
A	PA11 入出力 (ポート)	$\overline{\text{CS1}}$ 出力 (BSC)			40	49	43
A	PA10 入出力 (ポート)	$\overline{\text{CS0}}$ 出力 (BSC)			41	50	44
A	PA9 入出力 (ポート)	TCLKD 入力 (MTU)	$\overline{\text{IRQ3}}$ (INTC)		42	51	45
A	PA8 入出力 (ポート)	TCLKC 入力 (MTU)	$\overline{\text{IRQ2}}$ (INTC)		43	52	46
A	PA7 入出力 (ポート)	TCLKB 入力 (MTU)	$\overline{\text{CS3}}$ 出力 (BSC)		44	53	47
A	PA6 入出力 (ポート)	TCLKA 入力 (MTU)	$\overline{\text{CS2}}$ 出力 (BSC)		45	54	48
A	PA5 入出力 (ポート)	SCK1 入出力 (SCI)	$\overline{\text{DREQ1}}$ 入力 (DMAC)	$\overline{\text{IRQ1}}$ 入力 (INTC)	46	136	49
A	PA4 入出力 (ポート)	TXD1 出力 (SCI)			47	134	50
A	PA3 入出力 (ポート)	RXD1 入力 (SCI)			48	133	51
A	PA2 入出力 (ポート)	SCK0 入出力 (SCI)	$\overline{\text{DREQ0}}$ 入力 (DMAC)	$\overline{\text{IRQ0}}$ 入力 (INTC)	49	132	52
A	PA1 入出力 (ポート)	TXD0 出力 (SCI)			50	131	53
A	PA0 入出力 (ポート)	RXD0 入力 (SCI)			51	130	54

表 18.1 マルチプレクス一覧表 (続き)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	FP- 112	FP- 144	TFP- 120
B	PB9 入出力 (ポート)	$\overline{\text{IRQ7}}$ 入力 (INTC)	A21 出力 (BSC)	$\overline{\text{ADTRG}}$ 入力 (A/D)	32	41	35
B	PB8 入出力 (ポート)	$\overline{\text{IRQ6}}$ 入力 (INTC)	A20 出力 (BSC)	$\overline{\text{WAIT}}$ 入力 (BSC)	31	39	34
B	PB7 入出力 (ポート)	$\overline{\text{IRQ5}}$ 入力 (INTC)	A19 出力 (BSC)	$\overline{\text{BREQ}}$ 入力 (BSC)	30	38	33
B	PB6 入出力 (ポート)	$\overline{\text{IRQ4}}$ 入力 (INTC)	A18 出力 (BSC)	$\overline{\text{BACK}}$ 出力 (BSC)	29	37	32
B	PB5 入出力 (ポート)	$\overline{\text{IRQ3}}$ 入力 (INTC)	$\overline{\text{POE3}}$ 入力 (ポート)	RDWR 出力 (BSC)	28	36	29
B	PB4 入出力 (ポート)	$\overline{\text{IRQ2}}$ 入力 (INTC)	$\overline{\text{POE2}}$ 入力 (ポート)	CASH 出力 (BSC)	26	34	27
B	PB3 入出力 (ポート)	$\overline{\text{IRQ1}}$ 入力 (INTC)	$\overline{\text{POE1}}$ 入力 (ポート)	CASL 出力 (BSC)	25	32	26
B	PB2 入出力 (ポート)	$\overline{\text{IRQ0}}$ 入力 (INTC)	$\overline{\text{POE0}}$ 入力 (ポート)	RAS 出力 (BSC)	24	31	25
B	PB1 入出力 (ポート)	A17 出力 (BSC)			22	27	23
B	PB0 入出力 (ポート)	A16 出力 (BSC)			20	25	21
C	PC15 入出力 (ポート)	A15 出力 (BSC)			19	24	20
C	PC14 入出力 (ポート)	A14 出力 (BSC)			18	23	19
C	PC13 入出力 (ポート)	A13 出力 (BSC)			17	22	18
C	PC12 入出力 (ポート)	A12 出力 (BSC)			16	21	17
C	PC11 入出力 (ポート)	A11 出力 (BSC)			15	20	16
C	PC10 入出力 (ポート)	A10 出力 (BSC)			14	19	15
C	PC9 入出力 (ポート)	A9 出力 (BSC)			13	18	14
C	PC8 入出力 (ポート)	A8 出力 (BSC)			12	17	13
C	PC7 入出力 (ポート)	A7 出力 (BSC)			11	16	12
C	PC6 入出力 (ポート)	A6 出力 (BSC)			10	15	11
C	PC5 入出力 (ポート)	A5 出力 (BSC)			9	13	10
C	PC4 入出力 (ポート)	A4 出力 (BSC)			8	11	9
C	PC3 入出力 (ポート)	A3 出力 (BSC)			7	10	8
C	PC2 入出力 (ポート)	A2 出力 (BSC)			6	9	7
C	PC1 入出力 (ポート)	A1 出力 (BSC)			5	8	6
C	PC0 入出力 (ポート)	A0 出力 (BSC)			4	7	5

表 18.1 マルチプレクス一覧表 (続き)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	FP-	FP-	TFP-
					112	144	120
D	PD31 入出力 (ポート)	D31 入出力 (BSC)	ADTRG 入力 (A/D)		-	45	-
D	PD30 入出力 (ポート)	D30 入出力 (BSC)	IRQOUT 出力 (INTC)		-	46	-
D	PD29 入出力 (ポート)	D29 入出力 (BSC)	CS3 出力 (BSC)		-	56	-
D	PD28 入出力 (ポート)	D28 入出力 (BSC)	CS2 出力 (BSC)		-	57	-
D	PD27 入出力 (ポート)	D27 入出力 (BSC)	DACK1 出力 (DMAC)		-	58	-
D	PD26 入出力 (ポート)	D26 入出力 (BSC)	DACK0 出力 (DMAC)		-	59	-
D	PD25 入出力 (ポート)	D25 入出力 (BSC)	DREQ1 入力 (DMAC)		-	60	-
D	PD24 入出力 (ポート)	D24 入出力 (BSC)	DREQ0 入力 (DMAC)		-	62	-
D	PD23 入出力 (ポート)	D23 入出力 (BSC)	IRQ7 入力 (INTC)		-	64	-
D	PD22 入出力 (ポート)	D22 入出力 (BSC)	IRQ6 入力 (INTC)		-	65	-
D	PD21 入出力 (ポート)	D21 入出力 (BSC)	IRQ5 入力 (INTC)		-	66	-
D	PD20 入出力 (ポート)	D20 入出力 (BSC)	IRQ4 入力 (INTC)		-	67	-
D	PD19 入出力 (ポート)	D19 入出力 (BSC)	IRQ3 入力 (INTC)		-	68	-
D	PD18 入出力 (ポート)	D18 入出力 (BSC)	IRQ2 入力 (INTC)		-	69	-
D	PD17 入出力 (ポート)	D17 入出力 (BSC)	IRQ1 入力 (INTC)		-	70	-
D	PD16 入出力 (ポート)	D16 入出力 (BSC)	IRQ0 入力 (INTC)		-	72	-
D	PD15 入出力 (ポート)	D15 入出力 (BSC)			52	73	55
D	PD14 入出力 (ポート)	D14 入出力 (BSC)			53	74	56
D	PD13 入出力 (ポート)	D13 入出力 (BSC)			54	75	57
D	PD12 入出力 (ポート)	D12 入出力 (BSC)			56	76	59
D	PD11 入出力 (ポート)	D11 入出力 (BSC)			57	78	62
D	PD10 入出力 (ポート)	D10 入出力 (BSC)			58	80	63
D	PD9 入出力 (ポート)	D9 入出力 (BSC)			59	81	64
D	PD8 入出力 (ポート)	D8 入出力 (BSC)			60	82	65
D	PD7 入出力 (ポート)	D7 入出力 (BSC)			62	83	67
D	PD6 入出力 (ポート)	D6 入出力 (BSC)			63	84	68
D	PD5 入出力 (ポート)	D5 入出力 (BSC)			64	86	69
D	PD4 入出力 (ポート)	D4 入出力 (BSC)			66	88	71
D	PD3 入出力 (ポート)	D3 入出力 (BSC)			67	89	72
D	PD2 入出力 (ポート)	D2 入出力 (BSC)			68	90	73
D	PD1 入出力 (ポート)	D1 入出力 (BSC)			69	91	74
D	PD0 入出力 (ポート)	D0 入出力 (BSC)			70	92	75

表 18.1 マルチプレクス一覧表 (続き)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	FP-	FP-	TFP-
					112	144	120
E	PE15 入出力 (ポート)	TIOC4D 入出力 (MTU)	DACK1 出力 (DMAC)	$\overline{\text{IRQOUT}}$ 出力 (INTC)	2	5	3
E	PE14 入出力 (ポート)	TIOC4C 入出力 (MTU)	DACK0 出力 (DMAC)	$\overline{\text{AH}}$ 出力 (BSC)	1	2	2
E	PE13 入出力 (ポート)	TIOC4B 入出力 (MTU)	$\overline{\text{MRES}}$ 入力 (INTC)		112	144	120
E	PE12 入出力 (ポート)	TIOC4A 入出力 (MTU)			111	143	119
E	PE11 入出力 (ポート)	TIOC3D 入出力 (MTU)			110	142	118
E	PE10 入出力 (ポート)	TIOC3C 入出力 (MTU)			108	140	116
E	PE9 入出力 (ポート)	TIOC3B 入出力 (MTU)			107	139	115
E	PE8 入出力 (ポート)	TIOC3A 入出力 (MTU)			106	138	114
E	PE7 入出力 (ポート)	TIOC2B 入出力 (MTU)			105	137	113
E	PE6 入出力 (ポート)	TIOC2A 入出力 (MTU)			104	116	112
E	PE5 入出力 (ポート)	TIOC1B 入出力 (MTU)			102	115	109
E	PE4 入出力 (ポート)	TIOC1A 入出力 (MTU)			89	114	96
E	PE3 入出力 (ポート)	TIOC0D 入出力 (MTU)	DRAK1 出力 (DMAC)		88	113	95
E	PE2 入出力 (ポート)	TIOC0C 入出力 (MTU)	$\overline{\text{DREQ1}}$ 入力 (DMAC)		87	111	94
E	PE1 入出力 (ポート)	TIOC0B 入出力 (MTU)	DRAK0 出力 (DMAC)		86	110	93
E	PE0 入出力 (ポート)	TIOC0A 入出力 (MTU)	$\overline{\text{DREQ0}}$ 入力 (DMAC)		85	109	92
F	PF7 入力 (ポート)	AN7 入力 (A/D)			99	126	106
F	PF6 入力 (ポート)	AN6 入力 (A/D)			98	125	105
F	PF5 入力 (ポート)	AN5 入力 (A/D)			96	123	103
F	PF4 入力 (ポート)	AN4 入力 (A/D)			95	122	102
F	PF3 入力 (ポート)	AN3 入力 (A/D)			94	121	101
F	PF2 入力 (ポート)	AN2 入力 (A/D)			93	120	100
F	PF1 入力 (ポート)	AN1 入力 (A/D)			92	119	99
F	PF0 入力 (ポート)	AN0 入力 (A/D)			91	118	98

表18.2 動作モード別端子機能一覧

TFP-120	PIN番号	FP-144	FP-112	端子名				PROMモード									
				MPUモード0		MPUモード1			MPUモード2								
				初期機能	PFCで設定可能な機能	初期機能	PFCで設定可能な機能		初期機能	PFCで設定可能な機能							
				V _{CC}	V _{SS}	V _{CC}	V _{SS}		V _{CC}	V _{SS}							
22,40,70,82,111	12,26,40,63,77,85,112,135	21,37,65,103	21,37,65,103	D0	D0	D1	D1	PD0	PD0/D0	PD0	PD0	V _{CC}	V _{CC}	V _{CC}	V _{CC}	D0	
4,24,28,36,42,58,66,76,97,108,117	6,14,28,35,42,55,61,71,79,87,93,117,129,141	3,23,27,33,38,56,61,71,90,101,109	3,23,27,33,38,56,61,71,90,101,109	V _{SS}	V _{SS}	D2	D2	V _{SS}	V _{SS}	PD1	PD1/D1	V _{SS}	V _{SS}	PD2	PD2/D2	PD1	D1
75	92	70	70	D3	D3	D3	D3	PD3	PD3/D3	PD3	PD3	V _{CC}	V _{CC}	PD3	PD3/D3	PD2	D2
74	91	69	69	D4	D4	D4	D4	PD4	PD4/D4	PD4	PD4	V _{CC}	V _{CC}	PD4	PD4/D4	PD3	D3
73	90	68	68	D5	D5	D5	D5	PD5	PD5/D5	PD5	PD5	V _{CC}	V _{CC}	PD5	PD5/D5	PD4	D4
72	89	67	67	D6	D6	D6	D6	PD6	PD6/D6	PD6	PD6	V _{CC}	V _{CC}	PD6	PD6/D6	PD5	D5
71	88	66	66	D7	D7	D7	D7	PD7	PD7/D7	PD7	PD7	V _{CC}	V _{CC}	PD7	PD7/D7	PD6	D6
69	86	64	64	D8	D8	D8	D8	PD8	PD8/D8	PD8	PD8	V _{CC}	V _{CC}	PD8	PD8/D8	PD7	D7
68	84	63	63	D9	D9	D9	D9	PD9	PD9/D9	PD9	PD9	V _{CC}	V _{CC}	PD9	PD9/D9	PD8	D8
65	82	60	60	D10	D10	D10	D10	PD10	PD10/D10	PD10	PD10	V _{CC}	V _{CC}	PD10	PD10/D10	PD9	D9
64	81	59	59	D11	D11	D11	D11	PD11	PD11/D11	PD11	PD11	V _{CC}	V _{CC}	PD11	PD11/D11	PD10	D10
63	80	58	58	D12	D12	D12	D12	PD12	PD12/D12	PD12	PD12	V _{CC}	V _{CC}	PD12	PD12/D12	PD11	D11
62	78	57	57	D13	D13	D13	D13	PD13	PD13/D13	PD13	PD13	V _{CC}	V _{CC}	PD13	PD13/D13	PD12	D12
62	78	57	57	D14	D14	D14	D14	PD14	PD14/D14	PD14	PD14	V _{CC}	V _{CC}	PD14	PD14/D14	PD13	D13
59	76	56	56	D15	D15	D15	D15	PD15	PD15/D15	PD15	PD15	V _{CC}	V _{CC}	PD15	PD15/D15	PD14	D14
57	75	54	54	PD16/D16/IRQ0	PD16/D16/IRQ0	PD16	PD16	PD16	PD16/D16/IRQ0	PD16	PD16	V _{CC}	V _{CC}	PD16	PD16/D16/IRQ0	PD15	D15
56	74	53	53	PD17/D17/IRQ1	PD17/D17/IRQ1	D17	D17	PD17	PD17/D17/IRQ1	PD17	PD17	V _{CC}	V _{CC}	PD17	PD17/D17/IRQ1	PD16	D16
55	73	52	52	PD18/D18/IRQ2	PD18/D18/IRQ2	D18	D18	PD18	PD18/D18/IRQ2	PD18	PD18	V _{CC}	V _{CC}	PD18	PD18/D18/IRQ2	PD17	D17
-	-	-	-	PD19/D19/IRQ3	PD19/D19/IRQ3	D19	D19	PD19	PD19/D19/IRQ3	PD19	PD19	V _{CC}	V _{CC}	PD19	PD19/D19/IRQ3	PD18	D18
-	-	-	-	PD20/D20/IRQ4	PD20/D20/IRQ4	D20	D20	PD20	PD20/D20/IRQ4	PD20	PD20	V _{CC}	V _{CC}	PD20	PD20/D20/IRQ4	PD19	D19
-	-	-	-	PD21/D21/IRQ5	PD21/D21/IRQ5	D21	D21	PD21	PD21/D21/IRQ5	PD21	PD21	V _{CC}	V _{CC}	PD21	PD21/D21/IRQ5	PD20	D20
-	-	-	-	PD22/D22/IRQ6	PD22/D22/IRQ6	D22	D22	PD22	PD22/D22/IRQ6	PD22	PD22	V _{CC}	V _{CC}	PD22	PD22/D22/IRQ6	PD21	D21
-	-	-	-	PD23/D23/IRQ7	PD23/D23/IRQ7	D23	D23	PD23	PD23/D23/IRQ7	PD23	PD23	V _{CC}	V _{CC}	PD23	PD23/D23/IRQ7	PD22	D22
-	-	-	-	PD24/D24/DREQ0	PD24/D24/DREQ0	D24	D24	PD24	PD24/D24/DREQ0	PD24	PD24	V _{CC}	V _{CC}	PD24	PD24/D24/DREQ0	PD23	D23
-	-	-	-	PD25/D25/DREQ1	PD25/D25/DREQ1	D25	D25	PD25	PD25/D25/DREQ1	PD25	PD25	V _{CC}	V _{CC}	PD25	PD25/D25/DREQ1	PD24	D24
-	-	-	-	PD26/D26/DACK0	PD26/D26/DACK0	D26	D26	PD26	PD26/D26/DACK0	PD26	PD26	V _{CC}	V _{CC}	PD26	PD26/D26/DACK0	PD25	D25
-	-	-	-	PD27/D27/DACK1	PD27/D27/DACK1	D27	D27	PD27	PD27/D27/DACK1	PD27	PD27	V _{CC}	V _{CC}	PD27	PD27/D27/DACK1	PD26	D26
-	-	-	-	PD28/D28/CS2	PD28/D28/CS2	D28	D28	PD28	PD28/D28/CS2	PD28	PD28	V _{CC}	V _{CC}	PD28	PD28/D28/CS2	PD27	D27
-	-	-	-	PD29/D29/CS3	PD29/D29/CS3	D29	D29	PD29	PD29/D29/CS3	PD29	PD29	V _{CC}	V _{CC}	PD29	PD29/D29/CS3	PD28	D28
-	-	-	-	PD30/D30/IRQOUT	PD30/D30/IRQOUT	D30	D30	PD30	PD30/D30/IRQOUT	PD30	PD30	V _{CC}	V _{CC}	PD30	PD30/D30/IRQOUT	PD29	D29
-	-	-	-	PD31/D31/ADTRG	PD31/D31/ADTRG	D31	D31	PD31	PD31/D31/ADTRG	PD31	PD31	V _{CC}	V _{CC}	PD31	PD31/D31/ADTRG	PD30	D30
5	7	4	4	A0	A0	A0	A0	PC0	PC0/A0	PC0	PC0	V _{CC}	V _{CC}	PC0	PC0/A0	PC0	A0
6	8	5	5	A1	A1	A1	A1	PC1	PC1/A1	PC1	PC1	V _{CC}	V _{CC}	PC1	PC1/A1	PC1	A1
7	9	6	6	A2	A2	A2	A2	PC2	PC2/A2	PC2	PC2	V _{CC}	V _{CC}	PC2	PC2/A2	PC2	A2
8	10	7	7	A3	A3	A3	A3	PC3	PC3/A3	PC3	PC3	V _{CC}	V _{CC}	PC3	PC3/A3	PC3	A3
9	11	8	8	A4	A4	A4	A4	PC4	PC4/A4	PC4	PC4	V _{CC}	V _{CC}	PC4	PC4/A4	PC4	A4
10	13	9	9	A5	A5	A5	A5	PC5	PC5/A5	PC5	PC5	V _{CC}	V _{CC}	PC5	PC5/A5	PC5	A5
11	15	10	10	A6	A6	A6	A6	PC6	PC6/A6	PC6	PC6	V _{CC}	V _{CC}	PC6	PC6/A6	PC6	A6
12	16	11	11	A7	A7	A7	A7	PC7	PC7/A7	PC7	PC7	V _{CC}	V _{CC}	PC7	PC7/A7	PC7	A7
13	17	12	12	A8	A8	A8	A8	PC8	PC8/A8	PC8	PC8	V _{CC}	V _{CC}	PC8	PC8/A8	PC8	A8
14	18	13	13	A9	A9	A9	A9	PC9	PC9/A9	PC9	PC9	V _{CC}	V _{CC}	PC9	PC9/A9	PC9	A9
15	19	14	14	A10	A10	A10	A10	PC10	PC10/A10	PC10	PC10	V _{CC}	V _{CC}	PC10	PC10/A10	PC10	A10
16	20	15	15	A11	A11	A11	A11	PC11	PC11/A11	PC11	PC11	V _{CC}	V _{CC}	PC11	PC11/A11	PC11	A11
17	21	16	16	A12	A12	A12	A12	PC12	PC12/A12	PC12	PC12	V _{CC}	V _{CC}	PC12	PC12/A12	PC12	A12

表18.2 動作モード別端子機能一覧 (続き)

TFP-120	PIN番号	FP-144	FP-112	端子名				シングルチップ				PROMモード		
				内蔵ROM無効		内蔵ROM有効		初期機能		PFCで設定可能な機能			初期機能	PFCで設定可能な機能
				MPUモード0	MPUモード1	MPUモード2	MPUモード3	初期機能	初期機能	初期機能	初期機能			
18	22	17	A13	A13	A13	A13	PC13	PC13	PC13	PC13	PC13	A13		
19	23	18	A14	A14	A14	A14	PC14	PC14	PC14	PC14	PC14	A14		
20	24	19	A15	A15	A15	A15	PC15	PC15	PC15	PC15	PC15	A15		
21	25	20	A16	A16	A16	A16	PB0	PB0	PB0	PB0	PB0	A16		
23	27	22	A17	A17	A17	A17	PB1	PB1	PB1	PB1	PB1	NC		
25	31	24	PB2	PB2	PB2	PB2	PB2	PB2	PB2	PB2	PB2	NC		
26	32	25	PB3	PB3	PB3	PB3	PB3	PB3	PB3	PB3	PB3	OE		
27	34	26	PB4	PB4	PB4	PB4	PB4	PB4	PB4	PB4	PB4	PGM		
29	36	28	PB5	PB5	PB5	PB5	PB5	PB5	PB5	PB5	PB5	NC		
32	37	29	PB6	PB6	PB6	PB6	PB6	PB6	PB6	PB6	PB6	NC		
33	38	30	PB7	PB7	PB7	PB7	PB7	PB7	PB7	PB7	PB7	NC		
34	39	31	PB8	PB8	PB8	PB8	PB8	PB8	PB8	PB8	PB8	NC		
35	41	32	PB9	PB9	PB9	PB9	PB9	PB9	PB9	PB9	PB9	NC		
54	130	51	PA0	PA0	PA0	PA0	PA0	PA0	PA0	PA0	PA0	NC		
53	131	50	PA1	PA1	PA1	PA1	PA1	PA1	PA1	PA1	PA1	NC		
52	132	49	PA2	PA2	PA2	PA2	PA2	PA2	PA2	PA2	PA2	NC		
51	133	48	PA3	PA3	PA3	PA3	PA3	PA3	PA3	PA3	PA3	NC		
50	134	47	PA4	PA4	PA4	PA4	PA4	PA4	PA4	PA4	PA4	NC		
49	136	46	PA5	PA5	PA5	PA5	PA5	PA5	PA5	PA5	PA5	NC		
48	54	45	PA6	PA6	PA6	PA6	PA6	PA6	PA6	PA6	PA6	NC		
47	53	44	PA7	PA7	PA7	PA7	PA7	PA7	PA7	PA7	PA7	NC		
46	52	43	PA8	PA8	PA8	PA8	PA8	PA8	PA8	PA8	PA8	NC		
45	51	42	PA9	PA9	PA9	PA9	PA9	PA9	PA9	PA9	PA9	NC		
44	50	41	CS0	CS0	CS0	CS0	CS0	CS0	CS0	CS0	CS0	NC		
43	49	40	CS1	CS1	CS1	CS1	CS1	CS1	CS1	CS1	CS1	NC		
41	48	38	WRL	WRL	WRL	WRL	WRL	WRL	WRL	WRL	WRL	NC		
39	47	36	WRH	WRH	WRH	WRH	WRH	WRH	WRH	WRH	WRH	NC		
37	43	34	RD	RD	RD	RD	RD	RD	RD	RD	RD	NC		
88	107	83	CK	CK	CK	CK	CK	CK	CK	CK	CK	NC		
-	-	-	PA16/AH	PA16/AH	PA16/AH	PA16/AH	PA16/AH	PA16/AH	PA16/AH	PA16/AH	PA16/AH	NC		
-	-	-	PA17/WAIT	PA17/WAIT	PA17/WAIT	PA17/WAIT	PA17/WAIT	PA17/WAIT	PA17/WAIT	PA17/WAIT	PA17/WAIT	NC		
-	-	-	PA18	PA18	PA18	PA18	PA18	PA18	PA18	PA18	PA18	NC		
-	-	-	PA19	PA19	PA19	PA19	PA19	PA19	PA19	PA19	PA19	NC		
-	-	-	PA20	PA20	PA20	PA20	PA20	PA20	PA20	PA20	PA20	NC		
-	-	-	PA21	PA21	PA21	PA21	PA21	PA21	PA21	PA21	PA21	NC		
-	-	-	WRHL	WRHL	WRHL	WRHL	WRHL	WRHL	WRHL	WRHL	WRHL	NC		
-	-	-	WRHH	WRHH	WRHH	WRHH	WRHH	WRHH	WRHH	WRHH	WRHH	NC		
85	104	80	PLL _{CC}	PLL _{CC}	PLL _{CC}	PLL _{CC}	PLL _{CC}	PLL _{CC}	PLL _{CC}	PLL _{CC}	PLL _{CC}	V _{CC}		
87	106	82	PLL _{SS}	PLL _{SS}	PLL _{SS}	PLL _{SS}	PLL _{SS}	PLL _{SS}	PLL _{SS}	PLL _{SS}	PLL _{SS}	V _{SS}		
79	96	74	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	NC		
77	94	72	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	NC		
86	105	81	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP	NC		
81	98	76	NMI	NMI	NMI	NMI	NMI	NMI	NMI	NMI	NMI	A9		
108	108	84	RES	RES	RES	RES	RES	RES	RES	RES	RES	V _{PP}		
88	88	44	WDT0VF	WDT0VF	WDT0VF	WDT0VF	WDT0VF	WDT0VF	WDT0VF	WDT0VF	WDT0VF	NC		
84	103	79	MD0	MD0	MD0	MD0	MD0	MD0	MD0	MD0	MD0	V _{CC}		
83	102	78	MD1	MD1	MD1	MD1	MD1	MD1	MD1	MD1	MD1	V _{CC}		
80	97	75	MD2	MD2	MD2	MD2	MD2	MD2	MD2	MD2	MD2	V _{CC}		
78	95	73	MD3	MD3	MD3	MD3	MD3	MD3	MD3	MD3	MD3	V _{CC}		
82	99	77	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}		
107	128	100	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	V _{CC}		
104	124	97	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	V _{SS}		

18.2 レジスタ構成

PFC のレジスタを表 18.3 に示します。

表 18.3 レジスタ構成

名 称	略 称	R/W	初期値	アドレス	アクセスサイズ
ポート A・IO レジスタ H	PAIORH	R/W	H'0000	H'FFFF8384 H'FFFF8385	8、16、32
ポート A・IO レジスタ L	PAIORL	R/W	H'0000	H'FFFF8386 H'FFFF8387	8、16、32
ポート A コントロールレジスタ H	PACRH	R/W	H'0000	H'FFFF8388 H'FFFF8389	8、16、32
ポート A コントロールレジスタ L1	PACRL1	R/W	H'0000* H'4000	H'FFFF838C H'FFFF838D	8、16、32
ポート A コントロールレジスタ L2	PACRL2	R/W	H'0000	H'FFFF838E H'FFFF838F	8、16、32
ポート B・IO レジスタ	PBIOR	R/W	H'0000	H'FFFF8394 H'FFFF8395	8、16、32
ポート B コントロールレジスタ 1	PBCR1	R/W	H'0000	H'FFFF8398 H'FFFF8399	8、16、32
ポート B コントロールレジスタ 2	PBCR2	R/W	H'0000	H'FFFF839A H'FFFF839B	8、16、32
ポート C・IO レジスタ	PCIOR	R/W	H'0000	H'FFFF8396 H'FFFF8397	8、16、32
ポート C コントロールレジスタ	PCCR	R/W	H'0000	H'FFFF839C H'FFFF839D	8、16、32
ポート D・IO レジスタ H	PDIORH	R/W	H'0000	H'FFFF83A4 H'FFFF83A5	8、16、32
ポート D・IO レジスタ L	PDIORL	R/W	H'0000	H'FFFF83A6 H'FFFF83A7	8、16、32
ポート D コントロールレジスタ H1	PDCRH1	R/W	H'0000	H'FFFF83A8 H'FFFF83A9	8、16、32
ポート D コントロールレジスタ H2	PDCRH2	R/W	H'0000	H'FFFF83AA H'FFFF83AB	8、16、32
ポート D コントロールレジスタ L	PDCRL	R/W	H'0000	H'FFFF83AC H'FFFF83AD	8、16、32
ポート E・IO レジスタ	PEIOR	R/W	H'0000	H'FFFF83B4 H'FFFF83B5	8、16、32
ポート E コントロールレジスタ 1	PECR1	R/W	H'0000	H'FFFF83B8 H'FFFF83B9	8、16、32
ポート E コントロールレジスタ 2	PECR2	R/W	H'0000	H'FFFF83BA H'FFFF83BB	8、16、32
IRQOUT 機能コントロール レジスタ	IFCR	R/W	H'0000	H'FFFF83C8 H'FFFF83C9	8、16、32

【注】 * ポート A コントロールレジスタ L1 は、動作モードにより初期値が異なります。

18.3 レジスタの説明

18.3.1 ポート A・IO レジスタ H (PAIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
										PA23 IOR	PA22 IOR	PA21 IOR	PA20 IOR	PA19 IOR	PA18 IOR	PA17 IOR	PA16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A・IO レジスタ H (PAIORH) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート A にある上位 8 本の端子の入出力方向を選びます。PA23IOR ~ PA16IOR ビットが、それぞれ、PA23/ $\overline{\text{WRHH}}$ 端子 ~ PA16/ $\overline{\text{AH}}$ 端子に対応しています。PAIORH はポート A の端子機能が汎用入出力 (PA23 ~ PA16) の場合に有効でそれ以外の場合は無効です。

ポート A の端子機能が PA23 ~ PA16 の場合、PAIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORH は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず前のデータを保持します。

また、このレジスタの設定は 144 ピン版のときのみ機能します。112 ピン版と 120 ピン版の場合、このレジスタに対応する端子は存在しません。ただし、読み出し/書き込みはできます。

18.3.2 ポート A・IO レジスタ L (PAIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A・IO レジスタ L (PAIORL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある下位 16 本の端子の入出力方向を選びます。PA15IOR ~ PA0IOR ビットが、それぞれ、PA15/CK ~ PA0/RXD0 端子に対応しています。PAIORL はポート A の端子機能が汎用入出力 (PA15 ~ PA0) かシリアルクロック (SCK1、SCK0) の場合に有効でそれ以外の場合は無効です。

ポート A の端子機能が PA15 ~ PA0 が SCK1、SCK0 の場合、PAIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORL は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されずに前のデータを保持します。

18.3.3 ポート A コントロールレジスタ H (PACRH)

ポート A コントロールレジスタ H (PACRH) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート A にある上位 8 本のマルチプレクス端子の機能を選びます。PACRH は、ポート A の PA23/ $\overline{\text{WRHH}}$ ~ PA16/ $\overline{\text{AH}}$ 端子の機能を選びます。

ポート A 上位 8 本にはバス制御信号 ($\overline{\text{WRHH}}$ 、 $\overline{\text{WRHL}}$ 、 $\overline{\text{CASHH}}$ 、 $\overline{\text{CASHL}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{AH}}$)、DMAC 制御信号 (DRAK1、DRAK0) がありますが、この端子機能の選択に関して、レジスタの設定は動作モードにより無効になることがあります。詳細は、「表 18.2 動作モード別端子機能一覧」を参照してください。

PACRH は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず前のデータを保持します。

また、このレジスタの設定は 144 ピン版のときのみ機能します。112 ピン版と 120 ピン版の場合、このレジスタに対応する端子は存在しません。ただし、読み出し / 書き込みはできます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		PA23 MD		PA22 MD		PA21 MD		PA20 MD	PA19 MD1	PA19 MD0	PA18 MD1	PA18 MD0		PA17 MD		PA16 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PA23 モードビット (PA23MD)

PA23/ $\overline{\text{WRHH}}$ 端子の機能を選びます。

ビット 14	説明
PA23MD	
0	汎用入出力 (PA23) (内蔵 ROM 無効モードでは $\overline{\text{WRHH}}$) (初期値)
1	最上位バイト書き込み出力 ($\overline{\text{WRHH}}$) (シングルチップモードでは PA23)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PA22 モードビット (PA22MD)

PA22/ $\overline{\text{WRHL}}$ 端子の機能を選びます。

ビット 12	説 明
PA22MD	
0	汎用入出力 (PA22) (内蔵 ROM 無効モードでは $\overline{\text{WRHL}}$) (初期値)
1	書き込み出力 ($\overline{\text{WRHL}}$) (シングルチップモードでは PA22)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PA21 モードビット (PA21MD)

PA21/ $\overline{\text{CASHH}}$ 端子の機能を選びます。

ビット 10	説 明
PA21MD	
0	汎用入出力 (PA21) (初期値)
1	カラムアドレス出力 ($\overline{\text{CASHH}}$) (シングルチップモードでは PA21)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA20 モードビット (PA20MD)

PA20/ $\overline{\text{CASHL}}$ 端子の機能を選びます。

ビット 8	説 明
PA20MD	
0	汎用入出力 (PA20) (初期値)
1	カラムアドレス出力 ($\overline{\text{CASHL}}$) (シングルチップモードでは PA20)

ビット7、6 : PA19モードビット1、0 (PA19MD1、PA19MD0)

PA19/ $\overline{\text{BACK}}$ /DRAK1 端子の機能を選びます。

ビット7	ビット6	説明
PA19MD1	PA19MD0	
0	0	汎用入出力 (PA19) (初期値)
	1	バス権要求アクノリッジ ($\overline{\text{BACK}}$) (シングルチップモードでは PA19)
1	0	$\overline{\text{DREQ1}}$ 要求受け付け出力 (DRAK1) (シングルチップモードでは PA19)
	1	予約

ビット5、4 : PA18モードビット1、0 (PA18MD1、PA18MD0)

PA18/ $\overline{\text{BREQ}}$ /DRAK0 端子の機能を選びます。

ビット5	ビット4	説明
PA18MD1	PA18MD0	
0	0	汎用入出力 (PA18) (初期値)
	1	バス権要求入力 ($\overline{\text{BREQ}}$) (シングルチップモードでは PA18)
1	0	$\overline{\text{DREQ0}}$ 要求受け付け出力 (DRAK0) (シングルチップモードでは PA18)
	1	予約

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PA17モードビット (PA17MD)

PA17/ $\overline{\text{WAIT}}$ 端子の機能を選びます。

ビット2	説明
PA17MD	
0	汎用入出力 (PA17) (初期値)
1	ウェイトステイト要求入力 ($\overline{\text{WAIT}}$) (シングルチップモードでは PA17)

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：PA16モードビット (PA16MD)

PA16/ \overline{AH} 端子の機能を選びます。

ビット0	説明
PA16MD	
0	汎用入出力 (PA16) (初期値)
1	アドレスホールド出力 (\overline{AH}) (シングルチップモードではPA16)

18.3.4 ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2)

ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2) は、それぞれ、16ビットの読み出し / 書き込み可能なレジスタで、ポート A にある下位 16 本のマルチプレクス端子の機能を選びます。PACRL1 は、ポート A の PA15/CK ~ PA8/TCLKC/ $\overline{IRQ2}$ 端子の機能を、PACRL2 は、ポート A の PA7/TCLKB/ $\overline{CS3}$ 端子 ~ PA0/RXD0 端子の機能を選びます。

ポート A にはバス制御信号 (\overline{RD} 、 \overline{WRH} 、 \overline{WRL} 、 $\overline{CS0}$ ~ $\overline{CS3}$ 、 \overline{AH})、DMAC 制御信号 ($\overline{DREQ0}$ ~ $\overline{DREQ1}$) がありますが、この端子機能の選択に関して、レジスタの設定は動作モードにより無効になることがあります。詳細は、「表 18.2 動作モード別端子機能一覧」を参照してください。

PACRL1 は拡張モード時には、外部からのパワーオンリセットで H'4000 に、シングルチップモードでは H'0000 に初期化されます。PACRL2 は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、どちらもマニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず前のデータを保持します。

(1) ポート A コントロールレジスタ L1 (PACRL1)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 MD		PA14 MD		PA13 MD		PA12 MD		PA11 MD0		PA10 MD	PA9 MD1	PA9 MD0	PA8 MD1	PA8 MD0	
初期値：	0	0(1)*	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W

【注】 * 拡張モード時には1に初期化されます。

ビット 15 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 14 : PA15モードビット (PA15MD)

PA15/CK 端子の機能を選びます。

ビット 14	説 明
PA15MD	
0	汎用入出力 (PA15) (シングルチップモード初期値)
1	クロック出力 (CK) (拡張モード初期値)

ビット 13 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 12 : PA14モードビット (PA14MD)

PA14/ \overline{RD} 端子の機能を選びます。

ビット 12	説 明
PA14MD	
0	汎用入出力 (PA14) (内蔵 ROM 無効モードでは \overline{RD}) (初期値)
1	読み出し出力 (\overline{RD}) (シングルチップモードでは PA14)

ビット 11 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 10 : PA13モードビット (PA13MD)

PA13/ \overline{WRH} 端子の機能を選びます。

ビット 10	説 明
PA13MD	
0	汎用入出力 (PA13) (内蔵 ROM 無効モードでは \overline{WRH}) (初期値)
1	上位側書き込み出力 (\overline{WRH}) (シングルチップモードでは PA13)

ビット 9 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8 : PA12モードビット (PA12MD)

PA12/ \overline{WRL} 端子の機能を選びます。

ビット8	説明
PA12MD	
0	汎用入出力 (PA12) (内蔵 ROM 無効モードでは \overline{WRL}) (初期値)
1	下位側書き込み出力 (\overline{WRL}) (シングルチップモードでは PA12)

ビット7 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6 : PA11モードビット (PA11MD)

PA11/ $\overline{CS1}$ 端子の機能を選びます。

ビット6	説明
PA11MD	
0	汎用入出力 (PA11) (内蔵 ROM 無効モードでは $\overline{CS1}$) (初期値)
1	チップセレクト出力 ($\overline{CS1}$) (シングルチップモードでは PA11)

ビット5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4 : PA10モードビット (PA10MD)

PA10/ $\overline{CS0}$ 端子の機能を選びます。

ビット4	説明
PA10MD	
0	汎用入出力 (PA10) (内蔵 ROM 無効モードでは $\overline{CS0}$) (初期値)
1	チップセレクト出力 ($\overline{CS0}$) (シングルチップモードでは PA10)

ビット3、2 : PA9 モードビット1、0 (PA9MD1、PA9MD0)

PA9/TCLKD/ $\overline{\text{IRQ3}}$ 端子の機能を選びます。

ビット3	ビット2	説 明
PA9MD1	PA9MD0	
0	0	汎用入出力 (PA9) (初期値)
	1	MTU タイマクロック入力 (TCLKD)
1	0	割り込み要求入力 ($\overline{\text{IRQ3}}$)
	1	予約

ビット1、0 : PA8 モードビット1、0 (PA8MD1、PA8MD0)

PA8/TCLKC/ $\overline{\text{IRQ2}}$ 端子の機能を選びます。

ビット1	ビット0	説 明
PA8MD1	PA8MD0	
0	0	汎用入出力 (PA8) (初期値)
	1	MTU タイマクロック入力 (TCLKC)
1	0	割り込み要求入力 ($\overline{\text{IRQ2}}$)
	1	予約

(2) ポート A コントロールレジスタ L2 (PACRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA7 MD1	PA7 MD0	PA6 MD1	PA6 MD0	PA5 MD1	PA5 MD0		PA4 MD		PA3 MD	PA2 MD1	PA2 MD0		PA1 MD		PA0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/W	R	R/W	R	R/W

ビット 15、14 : PA7 モードビット 1、0 (PA7MD1、PA7MD0)

PA7/TCLKB/ $\overline{CS3}$ 端子の機能を選びます。

ビット 15	ビット 14	説 明
PA7MD1	PA7MD0	
0	0	汎用入出力 (PA7) (初期値)
	1	MTU タイマクロック入力 (TCLKB)
1	0	チップセレクト出力 ($\overline{CS3}$) (シングルチップモードでは PA7)
	1	予約

ビット 13、12 : PA6 モードビット 1、0 (PA6MD1、PA6MD0)

PA6/TCLKA/ $\overline{CS2}$ 端子の機能を選びます。

ビット 13	ビット 12	説 明
PA6MD1	PA6MD0	
0	0	汎用入出力 (PA6) (初期値)
	1	MTU タイマクロック入力 (TCLKA)
1	0	チップセレクト出力 ($\overline{CS2}$) (シングルチップモードでは PA6)
	1	予約

ビット 11、10 : PA5 モードビット 1、0 (PA5MD1、PA5MD0)

PA5/SCK1/ $\overline{\text{DREQ1}}$ / $\overline{\text{IRQ1}}$ 端子の機能を選びます。

ビット 11	ビット 10	説 明
PA5MD1	PA5MD0	
0	0	汎用入出力 (PA5) (初期値)
	1	シリアルクロック入出力 (SCK1)
1	0	DMA 転送要求受け付け入力 ($\overline{\text{DREQ1}}$) (シングルチップモードでは PA5)
	1	割り込み要求入力 ($\overline{\text{IRQ1}}$)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA4 モードビット (PA4MD)

PA4/TXD1 端子の機能を選びます。

ビット 8	説 明
PA4MD	
0	汎用入出力 (PA4) (初期値)
1	送信データ出力 (TXD1)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PA3 モードビット (PA3MD)

PA3/RXD1 端子の機能を選びます。

ビット 6	説 明
PA3MD	
0	汎用入出力 (PA3) (初期値)
1	受信データ入力 (RXD1)

ビット5、4 : PA2 モードビット 1、0 (PA2MD1、PA2MD0)

PA2/SCK0/ $\overline{\text{DREQ0}}$ / $\overline{\text{IRQ0}}$ 端子の機能を選びます。

ビット5	ビット4	説 明
PA2MD1	PA2MD0	
0	0	汎用入出力 (PA2) (初期値)
	1	シリアルクロック入出力 (SCK0)
1	0	DMA 転送要求受け付け入力 ($\overline{\text{DREQ0}}$) (シングルチップモードでは PA2)
	1	割り込み要求入力 ($\overline{\text{IRQ0}}$)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PA1 モードビット (PA1MD)

PA1/TXD0 端子の機能を選びます。

ビット2	説 明
PA1MD	
0	汎用入出力 (PA1) (初期値)
1	送信データ出力 (TXD0)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PA0 モードビット (PA0MD)

PA0/RXD0 端子の機能を選びます。

ビット0	説 明
PA0MD	
0	汎用入出力 (PA0) (初期値)
1	受信データ入力 (RXD0)

18.3.5 ポート B・IO レジスタ (PBIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B・IO レジスタ (PBIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある 10 本の端子の入出力方向を選びます。PB9IOR ~ PB0IOR ビットが、それぞれ、PB9/ $\overline{\text{IRQ7}}$ /A21/ $\overline{\text{ADTRG}}$ 端子 ~ PB0/A16 端子に対応しています。PBIOR はポート B の端子機能が汎用入出力 (PB9 ~ PB0) の場合に有効でそれ以外の場合は無効です。

ポート B の端子機能が PB9 ~ PB0 の場合、PBIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIOR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

18.3.6 ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)

ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2) は、それぞれ、16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にある 10 本のマルチプレクス端子の機能を選びます。PBCR1 は、ポート B の上位 2 ビットの端子の機能を、PBCR2 は、ポート B の下位 8 ビットの端子の機能を選びます。

ポート B にはバス制御信号 (\overline{RDWR} 、 \overline{RAS} 、 \overline{CASH} 、 \overline{CASL} 、 \overline{WAIT} 、 \overline{BREQ} 、 \overline{BACK})、アドレス出力 (A21、A20、A19、A18、A17、A16) がありますが、この端子機能の選択に関して、シングルチップモードの場合、このレジスタの設定は無効になることがあります。詳細は、「表 18.2 動作モード別端子機能一覧」を参照してください。

PBCR1、PBCR2 は、外部からのパワーオンリセットで、それぞれ H'0000、H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

(1) ポート B コントロールレジスタ 1 (PBCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													PB9 MD1	PB9 MD0	PB8 MD1	PB8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット 15~4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3、2 : PB9 モードビット 1、0 (PB9MD1、PB9MD0)

PB9/ $\overline{IRQ7}$ /A21/ \overline{ADTRG} 端子の機能を選びます。

ビット 3	ビット 2	説明
PB9MD1	PB9MD0	
0	0	汎用入出力 (PB9) (初期値)
	1	割り込み要求入力 ($\overline{IRQ7}$)
1	0	アドレス出力 (A21) (シングルチップモードでは PB9)
	1	A/D 変換トリガ入力 (\overline{ADTRG})

ビット1、0 : PB8 モードビット1、0 (PB8MD1、PB8MD0)

PB8/ $\overline{\text{IRQ6}}$ /A20/ $\overline{\text{WAIT}}$ 端子の機能を選びます。

ビット1	ビット0	説明
PB8MD1	PB8MD0	
0	0	汎用入出力 (PB8) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ6}}$)
1	0	アドレス出力 (A20) (シングルチップモードでは PB8)
	1	ウェイトステイト要求入力 ($\overline{\text{WAIT}}$) (シングルチップモードでは PB8)

(2) ポート B コントロールレジスタ 2 (PBCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	PB3 MD1	PB3 MD0	PB2 MD1	PB2 MD0		PB1 MD		PB0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W

ビット15、14 : PB7 モードビット1、0 (PB7MD1、PB7MD0)

PB7/ $\overline{\text{IRQ5}}$ /A19/ $\overline{\text{BREQ}}$ 端子の機能を選びます。

ビット15	ビット14	説明
PB7MD1	PB7MD0	
0	0	汎用入出力 (PB7) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ5}}$)
1	0	アドレス出力 (A19) (シングルチップモードでは PB7)
	1	バス権要求入力 ($\overline{\text{BREQ}}$) (シングルチップモードでは PB7)

ビット 13、12 : PB6 モードビット 1、0 (PB6MD1、PB6MD0)

PB6/ $\overline{\text{IRQ4}}$ /A18/ $\overline{\text{BACK}}$ 端子の機能を選びます。

ビット 13	ビット 12	説 明
PB6MD1	PB6MD0	
0	0	汎用入出力 (PB6) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ4}}$)
1	0	アドレス出力 (A18) (シングルチップモードでは PB6)
	1	バス権要求出力 ($\overline{\text{BACK}}$) (シングルチップモードでは PB6)

ビット 11、10 : PB5 モードビット 1、0 (PB5MD1、PB5MD0)

PB5/ $\overline{\text{IRQ3}}$ / $\overline{\text{POE3}}$ /RDWR 端子の機能を選びます。

ビット 11	ビット 10	説 明
PB5MD1	PB5MD0	
0	0	汎用入出力 (PB5) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ3}}$)
1	0	ポートアウトプットイネーブル ($\overline{\text{POE3}}$)
	1	読み出し / 書き込み出力 (RDWR) (シングルチップモードでは PB5)

ビット 9、8 : PB4 モードビット 1、0 (PB4MD1、PB4MD0)

PB4/ $\overline{\text{IRQ2}}$ / $\overline{\text{POE2}}$ / $\overline{\text{CASH}}$ 端子の機能を選びます。

ビット 9	ビット 8	説 明
PB4MD1	PB4MD0	
0	0	汎用入出力 (PB4) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ2}}$)
1	0	ポートアウトプットイネーブル ($\overline{\text{POE2}}$)
	1	カラムアドレスストロープ ($\overline{\text{CASH}}$) (シングルチップモードでは PB4)

ビット7、6 : PB3 モードビット1、0 (PB3MD1、PB3MD0)

PB3/ $\overline{\text{IRQ1}}$ / $\overline{\text{POE1}}$ / $\overline{\text{CASL}}$ 端子の機能を選びます。

ビット7	ビット6	説明
PB3MD1	PB3MD0	
0	0	汎用入出力 (PB3) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ1}}$)
1	0	ポートアウトプットイネーブル ($\overline{\text{POE1}}$)
	1	カラムアドレスストロープ ($\overline{\text{CASL}}$) (シングルチップモードでは PB3)

ビット5、4 : PB2 モードビット1、0 (PB2MD1、PB2MD0)

PB2/ $\overline{\text{IRQ0}}$ / $\overline{\text{POE0}}$ / $\overline{\text{RAS}}$ 端子の機能を選びます。

ビット5	ビット4	説明
PB2MD1	PB2MD0	
0	0	汎用入出力 (PB2) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ0}}$)
1	0	ポートアウトプットイネーブル ($\overline{\text{POE0}}$)
	1	ロウアドレスストロープ ($\overline{\text{RAS}}$) (シングルチップモードでは PB2)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PB1 モードビット (PB1MD)

PB1/A17 端子の機能を選びます。

ビット2	説明
PB1MD	
0	汎用入出力 (PB1) (内蔵 ROM 無効モードでは A17) (初期値)
1	アドレス出力 (A17) (シングルチップモードでは PB1)

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：PB0モードビット (PB0MD)

PB0/A16端子の機能を選びます。

ビット0	説明
PB0MD	
0	汎用入出力 (PB0) (内蔵ROM無効モードではA16) (初期値)
1	アドレス出力 (A16) (シングルチップモードではPB0)

18.3.7 ポートC・IOレジスタ (PCIOR)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 IOR	PC14 IOR	PC13 IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートC・IOレジスタ (PCIOR) は、読み出し/書き込み可能な16ビットのレジスタで、ポートCにある16本の端子の入出力方向を選びます。PC15IOR~PC0IORビットが、それぞれ、PC15/A15端子~PC0/A0端子に対応しています。PCIORはポートCの端子機能が汎用入出力 (PC15~PC0) の場合に有効でそれ以外の場合は無効です。

ポートCの端子機能がPC15~PC0の場合、PCIORのビットを1にすると、対応する端子は出力になり、0にすると入力になります。

PCIORは、外部からのパワーオンリセットでH'0000に初期化されます。しかし、マニュアルリセット、WDTによるリセット、スタンバイモード、スリープモードでは初期化されず、前の値を保持します。

18.3.8 ポート C コントロールレジスタ (PCCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 MD	PC14 MD	PC13 MD	PC12 MD	PC11 MD	PC10 MD	PC9 MD	PC8 MD	PC7 MD	PC6 MD	PC5 MD	PC4 MD	PC3 MD	PC2 MD	PC1 MD	PC0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C コントロールレジスタ (PCCR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にある 16 本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。詳細は、「表 18.2 動作モード別端子機能一覧」を参照してください。

PCCR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前の値を保持します。

ビット 15 : PC15 モードビット (PC15MD)

PC15/A15 端子の機能を選びます。

ビット 15	説明
PC15MD	
0	汎用入出力 (PC15) (内蔵 ROM 無効モードでは A15) (初期値)
1	アドレス出力 (A15) (シングルチップモードでは PC15)

ビット 14 : PC14 モードビット (PC14MD)

PC14/A14 端子の機能を選びます。

ビット 14	説明
PC14MD	
0	汎用入出力 (PC14) (内蔵 ROM 無効モードでは A14) (初期値)
1	アドレス出力 (A14) (シングルチップモードでは PC14)

ビット 13 : PC13 モードビット (PC13MD)

PC13/A13 端子の機能を選びます。

ビット 13	説 明	
PC13MD		
0	汎用入出力 (PC13) (内蔵 ROM 無効モードでは A13)	(初期値)
1	アドレス出力 (A13) (シングルチップモードでは PC13)	

ビット 12 : PC12 モードビット (PC12MD)

PC12/A12 端子の機能を選びます。

ビット 12	説 明	
PC12MD		
0	汎用入出力 (PC12) (内蔵 ROM 無効モードでは A12)	(初期値)
1	アドレス出力 (A12) (シングルチップモードでは PC12)	

ビット 11 : PC11 モードビット (PC11MD)

PC11/A11 端子の機能を選びます。

ビット 11	説 明	
PC11MD		
0	汎用入出力 (PC11) (内蔵 ROM 無効モードでは A11)	(初期値)
1	アドレス出力 (A11) (シングルチップモードでは PC11)	

ビット 10 : PC10 モードビット (PC10MD)

PC10/A10 端子の機能を選びます。

ビット 10	説 明	
PC10MD		
0	汎用入出力 (PC10) (内蔵 ROM 無効モードでは A10)	(初期値)
1	アドレス出力 (A10) (シングルチップモードでは PC10)	

ビット9 : PC9モードビット (PC9MD)

PC9/A9 端子の機能を選びます。

ビット9	説 明	
PC9MD		
0	汎用入出力 (PC9) (内蔵 ROM 無効モードでは A9)	(初期値)
1	アドレス出力 (A9) (シングルチップモードでは PC9)	

ビット8 : PC8モードビット (PC8MD)

PC8/A8 端子の機能を選びます。

ビット8	説 明	
PC8MD		
0	汎用入出力 (PC8) (内蔵 ROM 無効モードでは A8)	(初期値)
1	アドレス出力 (A8) (シングルチップモードでは PC8)	

ビット7 : PC7モードビット (PC7MD)

PC7/A7 端子の機能を選びます。

ビット7	説 明	
PC7MD		
0	汎用入出力 (PC7) (内蔵 ROM 無効モードでは A7)	(初期値)
1	アドレス出力 (A7) (シングルチップモードでは PC7)	

ビット6 : PC6モードビット (PC6MD)

PC6/A6 端子の機能を選びます。

ビット6	説 明	
PC6MD		
0	汎用入出力 (PC6) (内蔵 ROM 無効モードでは A6)	(初期値)
1	アドレス出力 (A6) (シングルチップモードでは PC6)	

ビット5 : PC5モードビット (PC5MD)

PC5/A5 端子の機能を選びます。

ビット5	説 明	
PC5MD		
0	汎用入出力 (PC5) (内蔵 ROM 無効モードでは A5)	(初期値)
1	アドレス出力 (A5) (シングルチップモードでは PC5)	

ビット4 : PC4モードビット (PC4MD)

PC4/A4 端子の機能を選びます。

ビット4	説 明	
PC4MD		
0	汎用入出力 (PC4) (内蔵 ROM 無効モードでは A4)	(初期値)
1	アドレス出力 (A4) (シングルチップモードでは PC4)	

ビット3 : PC3モードビット (PC3MD)

PC3/A3 端子の機能を選びます。

ビット3	説 明	
PC3MD		
0	汎用入出力 (PC3) (内蔵 ROM 無効モードでは A3)	(初期値)
1	アドレス出力 (A3) (シングルチップモードでは PC3)	

ビット2 : PC2モードビット (PC2MD)

PC2/A2 端子の機能を選びます。

ビット2	説 明	
PC2MD		
0	汎用入出力 (PC2) (内蔵 ROM 無効モードでは A2)	(初期値)
1	アドレス出力 (A2) (シングルチップモードでは PC2)	

ビット1 : PC1 モードビット (PC1MD)

PC1/A1 端子の機能を選びます。

ビット1	説 明	
PC1MD		
0	汎用入出力 (PC1) (内蔵 ROM 無効モードでは A1)	(初期値)
1	アドレス出力 (A1) (シングルチップモードでは PC1)	

ビット0 : PC0 モードビット (PC0MD)

PC0/A0 端子の機能を選びます。

ビット0	説 明	
PC0MD		
0	汎用入出力 (PC0) (内蔵 ROM 無効モードでは A0)	(初期値)
1	アドレス出力 (A0) (シングルチップモードでは PC0)	

18.3.9 ポート D・IO レジスタ H (PDIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD31 IOR	PD30 IOR	PD29 IOR	PD28 IOR	PD27 IOR	PD26 IOR	PD25 IOR	PD24 IOR	PD23 IOR	PD22 IOR	PD21 IOR	PD20 IOR	PD19 IOR	PD18 IOR	PD17 IOR	PD16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D・IO レジスタ H (PDIORH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある上位 16 本の端子の入出力方向を選びます。PD31IOR ~ PD16IOR ビットが、それぞれ、PD31/D31/ $\overline{\text{ADTRG}}$ 端子 ~ PD16/D16/ $\overline{\text{IRQ0}}$ 端子に対応しています。PDIORH はポート D の端子機能が汎用入出力 (PD31 ~ PD16) の場合に有効でそれ以外の場合は無効です。

ポート D の端子機能が PD31 ~ PD16 の場合、PDIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIORH は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

また、このレジスタの設定は 144 ピン版のときのみ機能します。112 ピン版と 120 ピン版の場合、このレジスタに対応する端子は存在しません。ただし、読み出し / 書き込みはできます。

18.3.10 ポート D・IO レジスタ L (PDIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D・IO レジスタ L (PDIORL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある下位 16 本の端子の入出力方向を選びます。PD15IOR ~ PD0IOR ビットが、それぞれ、PD15/D15 端子 ~ PD0/D0 端子に対応しています。PDIORL はポート D の端子機能が汎用入出力 (PD15 ~ PD0) の場合に有効でそれ以外の場合は無効です。

ポート D の端子機能が PD15 ~ PD0 の場合、PDIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIORL は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持しています。

18.3.11 ポート D コントロールレジスタ H1、H2 (PDCRH1、PDCRH2)

ポート D コントロールレジスタ H1、H2 (PDCRH1、PDCRH2) は、それぞれ、16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にある上位 16 本のマルチプレクス端子の機能を選びます。PDCRH1 は、ポート D の PD31/D31/ $\overline{\text{ADTRG}}$ ~ PD24/D24/ $\overline{\text{DREQ0}}$ 端子の機能を、PDCRH2 は、ポート D の PD23/D23/ $\overline{\text{IRQ7}}$ ~ PD16/D16/ $\overline{\text{IRQ0}}$ 端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。詳細は、「表 18.2 動作モード別端子機能一覧」を参照してください。

また、このレジスタの設定は 144 ピン版のときのみ機能します。112 ピン版と 120 ピン版の場合、このレジスタに対応する端子は存在しません。ただし、読み出し / 書き込みはできます。

PDCRH1、PDCRH 2 は、外部からのパワーオンリセットで、それぞれ H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず前のデータを保持します。

(1) ポート D コントロールレジスタ H1 (PDCRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD31 MD1	PD31 MD0	PD30 MD1	PD30 MD0	PD29 MD1	PD29 MD0	PD28 MD1	PD28 MD0	PD27 MD1	PD27 MD0	PD26 MD1	PD26 MD0	PD25 MD1	PD25 MD0	PD24 MD1	PD24 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15、14 : PD31 モードビット 1、0 (PD31MD1、PD31MD0)

PD31/D31/ $\overline{\text{ADTRG}}$ 端子の機能を選びます。

ビット 15	ビット 14	説明
PD31MD1	PD31MD0	
0	0	汎用入出力 (PD31) (初期値) (ROM 無効、CS0=32 ビット幅では D31)
	1	データ入出力 (D31) (シングルチップモードでは PD31)
1	0	A/D 変換トリガ入力 ($\overline{\text{ADTRG}}$) (ROM 無効、CS0=32 ビット幅では D31)
	1	予約

ビット 13、12 : PD30 モードビット 1、0 (PD30MD1、PD30MD0)

PD30/D30/ $\overline{\text{IRQOUT}}$ 端子の機能を選びます。

ビット 13	ビット 12	説明
PD30MD1	PD30MD0	
0	0	汎用入出力 (PD30) (初期値) (ROM 無効、CS0=32 ビット幅では D30)
	1	データ入出力 (D30) (シングルチップモードでは PD30)
1	0	割り込み要求受け付け出力 ($\overline{\text{IRQOUT}}$) (ROM 無効、CS0=32 ビット幅では D30、シングルチップモードでは予約)
	1	予約

ビット 11、10 : PD29 モードビット 1、0 (PD29MD1、PD29MD0)

PD29/D29/ $\overline{CS3}$ 端子の機能を選びます。

ビット 11	ビット 10	説 明
PD29MD1	PD29MD0	
0	0	汎用入出力 (PD29) (初期値) (ROM 無効、CS0=32 ビット幅では D29)
	1	データ入出力 (D29) (シングルチップモードでは PD29)
1	0	チップセレクト出力 ($\overline{CS3}$) (シングルチップモードでは PD29、ROM 無効、CS0=32 ビット幅では D29)
	1	予約

ビット 9、8 : PD28 モードビット 1、0 (PD28MD1、PD28MD0)

PD28/D28/ $\overline{CS2}$ 端子の機能を選びます。

ビット 9	ビット 8	説 明
PD28MD1	PD28MD0	
0	0	汎用入出力 (PD28) (初期値) (ROM 無効、CS0=32 ビット幅では D28)
	1	データ入出力 (D28) (シングルチップモードでは PD28)
1	0	チップセレクト出力 ($\overline{CS2}$) (シングルチップモードでは PD28、ROM 無効、CS0=32 ビット幅では D28)
	1	予約

ビット 7、6 : PD27 モードビット 1、0 (PD27MD1、PD27MD0)

PD27/D27/DACK1 端子の機能を選びます。

ビット 7	ビット 6	説 明
PD27MD1	PD27MD0	
0	0	汎用入出力 (PD27) (初期値) (ROM 無効、CS0=32 ビット幅では D27)
	1	データ入出力 (D27) (シングルチップモードでは PD27)
1	0	DMA 転送要求受け付け出力 (DACK1) (シングルチップモードでは PD27、ROM 無効、CS0=32 ビット幅では D27)
	1	予約

ビット5、4 : PD26 モードビット1、0 (PD26MD1、PD26MD0)

PD26/D26/DACK0 端子の機能を選びます。

ビット5	ビット4	説明
PD26MD1	PD26MD0	
0	0	汎用入出力 (PD26) (初期値) (ROM 無効、CS0=32 ビット幅では D26)
	1	データ入出力 (D26) (シングルチップモードでは PD26)
1	0	DMA 転送要求受け付け出力 (DACK0) (シングルチップモードでは PD26、ROM 無効、CS0=32 ビット幅では D26)
	1	予約

ビット3、2 : PD25 モードビット1、0 (PD25MD1、PD25MD0)

PD25/D25/ $\overline{\text{DREQ1}}$ 端子の機能を選びます。

ビット3	ビット2	説明
PD25MD1	PD25MD0	
0	0	汎用入出力 (PD25) (初期値) (ROM 無効、CS0=32 ビット幅では D25)
	1	データ入出力 (D25) (シングルチップモードでは PD25)
1	0	DMA 転送要求入力 ($\overline{\text{DREQ1}}$) (シングルチップモードでは PD25、ROM 無効、CS0=32 ビット幅では D25)
	1	予約

ビット1、0 : PD24 モードビット1、0 (PD24MD1、PD24MD0)

PD24/D24/ $\overline{\text{DREQ0}}$ 端子の機能を選びます。

ビット1	ビット0	説明
PD24MD1	PD24MD0	
0	0	汎用入出力 (PD24) (初期値) (ROM 無効、CS0=32 ビット幅では D24)
	1	データ入出力 (D24) (シングルチップモードでは PD24)
1	0	DMA 転送要求入力 ($\overline{\text{DREQ0}}$) (シングルチップモードでは PD24、ROM 無効、CS0=32 ビット幅では D24)
	1	予約

(2) ポート D コントロールレジスタ H2 (PDCRH2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD23MD1	PD23MD0	PD22MD1	PD22MD0	PD21MD1	PD21MD0	PD20MD1	PD20MD0	PD19MD1	PD19MD0	PD18MD1	PD18MD0	PD17MD1	PD17MD0	PD16MD1	PD16MD0
---------	---------	---------	---------	---------	---------	---------	---------	---------	---------	---------	---------	---------	---------	---------	---------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット 15、14 : PD23 モードビット 1、0 (PD23MD1、PD23MD0)
 PD23/D23/ $\overline{\text{IRQ7}}$ 端子の機能を選びます。

ビット 15	ビット 14	説明
PD23MD1	PD23MD0	
0	0	汎用入出力 (PD23) (初期値) (ROM 無効、CS0=32 ビット幅では D23)
	1	データ入出力 (D23) (シングルチップモードでは PD23)
1	0	割り込み要求入力 ($\overline{\text{IRQ7}}$)
	1	予約

ビット 13、12 : PD22 モードビット 1、0 (PD22MD1、PD22MD0)
 PD22/D22/ $\overline{\text{IRQ6}}$ 端子の機能を選びます。

ビット 13	ビット 12	説明
PD22MD1	PD22MD0	
0	0	汎用入出力 (PD22) (初期値) (ROM 無効、CS0=32 ビット幅では D22)
	1	データ入出力 (D22) (シングルチップモードでは PD22)
1	0	割り込み要求入力 ($\overline{\text{IRQ6}}$)
	1	予約

ビット 11、10 : PD21 モードビット 1、0 (PD21MD1、PD21MD0)

PD21/D21/ $\overline{\text{IRQ5}}$ 端子の機能を選びます。

ビット 11	ビット 10	説 明
PD21MD1	PD21MD0	
0	0	汎用入出力 (PD21) (初期値) (ROM 無効、CS0=32 ビット幅では D21)
	1	データ入出力(D21) (シングルチップモードでは PD21)
1	0	割り込み要求入力 ($\overline{\text{IRQ5}}$)
	1	予約

ビット 9、8 : PD20 モードビット 1、0 (PD20MD1、PD20MD0)

PD20/D20/ $\overline{\text{IRQ4}}$ 端子の機能を選びます。

ビット 9	ビット 8	説 明
PD20MD1	PD20MD0	
0	0	汎用入出力 (PD20) (初期値) (ROM 無効、CS0=32 ビット幅では D20)
	1	データ入出力(D20) (シングルチップモードでは PD20)
1	0	割り込み要求入力 ($\overline{\text{IRQ4}}$)
	1	予約

ビット 7、6 : PD19 モードビット 1、0 (PD19MD1、PD19MD0)

PD19/D19/ $\overline{\text{IRQ3}}$ 端子の機能を選びます。

ビット 7	ビット 6	説 明
PD19MD1	PD19MD0	
0	0	汎用入出力 (PD19) (初期値) (ROM 無効、CS0=32 ビット幅では D19)
	1	データ入出力(D19) (シングルチップモードでは PD19)
1	0	割り込み要求入力 ($\overline{\text{IRQ3}}$)
	1	予約

ビット5、4 : PD18 モードビット1、0 (PD18MD1、PD18MD0)

PD18/D18/ $\overline{\text{IRQ2}}$ 端子の機能を選びます。

ビット5	ビット4	説明
PD18MD1	PD18MD0	
0	0	汎用入出力 (PD18) (初期値) (ROM 無効、CS0=32 ビット幅では D18)
	1	データ入出力(D18) (シングルチップモードでは PD18)
1	0	割り込み要求入力 ($\overline{\text{IRQ2}}$)
	1	予約

ビット3、2 : PD17 モードビット1、0 (PD17MD1、PD17MD0)

PD17/D17/ $\overline{\text{IRQ1}}$ 端子の機能を選びます。

ビット3	ビット2	説明
PD17MD1	PD17MD0	
0	0	汎用入出力 (PD17) (初期値) (ROM 無効、CS0=32 ビット幅では D17)
	1	データ入出力(D17) (シングルチップモードでは PD17)
1	0	割り込み要求入力 ($\overline{\text{IRQ1}}$)
	1	予約

ビット1、0 : PD16 モードビット1、0 (PD16MD1、PD16MD0)

PD16/D16/ $\overline{\text{IRQ0}}$ 端子の機能を選びます。

ビット1	ビット2	説明
PD16MD1	PD16MD0	
0	0	汎用入出力 (PD16) (初期値) (ROM 無効、CS0=32 ビット幅では D16)
	1	データ入出力(D16) (シングルチップモードでは PD16)
1	0	割り込み要求入力 ($\overline{\text{IRQ0}}$)
	1	予約

18.3.12 ポート D コントロールレジスタ L (PDCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 MD	PD14 MD	PD13 MD	PD12 MD	PD11 MD	PD10 MD	PD9 MD	PD8 MD	PD7 MD	PD6 MD	PD5 MD	PD4 MD	PD3 MD	PD2 MD	PD1 MD	PD0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D コントロールレジスタ L (PDCRL) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にある下位 16 本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。

(a) 内蔵 ROM 無効拡張モード

144 ピン版のとき

- ・モード 0 (バス幅 16 ビット)

ポート D の端子はデータ入出力端子となり、PDCRL の設定は無効です。

- ・モード 1 (バス幅 32 ビット)

ポート D の端子はデータ入出力端子となり、PDCRL の設定は無効です。

112 ピン版と 120 ピン版のとき

- ・モード 0 (バス幅 8 ビット)

ポート D の端子はデータ入出力端子となり、PDCRL の設定は無効です。

- ・モード 1 (バス幅 16 ビット)

ポート D の端子はデータ入出力端子となり、PDCRL の設定は無効です。

(b) 内蔵 ROM 有効拡張モード

ポート D の端子はデータ入出力と汎用入出力の兼用端子となります。PDCRL の設定は有効です。

(c) シングルチップモード

ポート D の端子は汎用入出力端子となり、PDCRL の設定は無効です。

PDCRL は、外部からのパワーオンリセットで、H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

(1) ポート D コントロールレジスタ L (PDCRL)

ビット 15 : PD15 モードビット (PD15MD)

PD15/D15 端子の機能を選びます。

ビット 15	説 明
PD15MD	
0	汎用入出力 (PD15) (内蔵 ROM 無効モードでは D15) (初期値)
1	データ入出力 (D15) (シングルチップモードでは PD15)

ビット 14 : PD14 モードビット (PD14MD)

PD14/D14 端子の機能を選びます。

ビット 14	説 明
PD14MD	
0	汎用入出力 (PD14) (内蔵 ROM 無効モードでは D14) (初期値)
1	データ入出力 (D14) (シングルチップモードでは PD14)

ビット 13 : PD13 モードビット (PD13MD)

PD13/D13 端子の機能を選びます。

ビット 13	説 明
PD13MD	
0	汎用入出力 (PD13) (内蔵 ROM 無効モードでは D13) (初期値)
1	データ入出力 (D13) (シングルチップモードでは PD13)

ビット 12 : PD12 モードビット (PD12MD)

PD12/D12 端子の機能を選びます。

ビット 12	説 明
PD12MD	
0	汎用入出力 (PD12) (内蔵 ROM 無効モードでは D12) (初期値)
1	データ入出力 (D12) (シングルチップモードでは PD12)

ビット 11 : PD11 モードビット (PD11MD)

PD11/D11 端子の機能を選びます。

ビット 11	説 明
PD11MD	
0	汎用入出力 (PD11) (内蔵 ROM 無効モードでは D11) (初期値)
1	データ入出力 (D11) (シングルチップモードでは PD11)

ビット 10 : PD10 モードビット (PD10MD)

PD10/D10 端子の機能を選びます。

ビット 10	説 明
PD10MD	
0	汎用入出力 (PD10) (内蔵 ROM 無効モードでは D10) (初期値)
1	データ入出力 (D10) (シングルチップモードでは PD10)

ビット 9 : PD9 モードビット (PD9MD)

PD9/D9 端子の機能を選びます。

ビット 9	説 明
PD9MD	
0	汎用入出力 (PD9) (内蔵 ROM 無効モードでは D9) (初期値)
1	データ入出力 (D9) (シングルチップモードでは PD9)

ビット 8 : PD8 モードビット (PD8MD)

PD8/D8 端子の機能を選びます。

ビット 8	説 明
PD8MD	
0	汎用入出力 (PD8) (内蔵 ROM 無効モードでは D8) (初期値)
1	データ入出力 (D8) (シングルチップモードでは PD8)

ビット7 : PD7 モードビット (PD7MD)

PD7/D7 端子の機能を選びます。

ビット7	説 明	
PD7MD		
0	汎用入出力 (PD7) (内蔵 ROM 無効モードでは D7)	(初期値)
1	データ入出力 (D7) (シングルチップモードでは PD7)	

ビット6 : PD6 モードビット (PD6MD)

PD6/D6 端子の機能を選びます。

ビット6	説 明	
PD6MD		
0	汎用入出力 (PD6) (内蔵 ROM 無効モードでは D6)	(初期値)
1	データ入出力 (D6) (シングルチップモードでは PD6)	

ビット5 : PD5 モードビット (PD5MD)

PD5/D5 端子の機能を選びます。

ビット5	説 明	
PD5MD		
0	汎用入出力 (PD5) (内蔵 ROM 無効モードでは D5)	(初期値)
1	データ入出力 (D5) (シングルチップモードでは PD5)	

ビット4 : PD4 モードビット (PD4MD)

PD4/D4 端子の機能を選びます。

ビット4	説 明	
PD4MD		
0	汎用入出力 (PD4) (内蔵 ROM 無効モードでは D4)	(初期値)
1	データ入出力 (D4) (シングルチップモードでは PD4)	

ビット3 : PD3モードビット (PD3MD)

PD3/D3 端子の機能を選びます。

ビット3	説 明	
PD3MD		
0	汎用入出力 (PD3) (内蔵 ROM 無効モードでは D3)	(初期値)
1	データ入出力 (D3) (シングルチップモードでは PD3)	

ビット2 : PD2モードビット (PD2MD)

PD2/D2 端子の機能を選びます。

ビット2	説 明	
PD2MD		
0	汎用入出力 (PD2) (内蔵 ROM 無効モードでは D2)	(初期値)
1	データ入出力 (D2) (シングルチップモードでは PD2)	

ビット1 : PD1モードビット (PD1MD)

PD1/D1 端子の機能を選びます。

ビット1	説 明	
PD1MD		
0	汎用入出力 (PD1) (内蔵 ROM 無効モードでは D1)	(初期値)
1	データ入出力 (D1) (シングルチップモードでは PD1)	

ビット0 : PD0モードビット (PD0MD)

PD0/D0 端子の機能を選びます。

ビット0	説 明	
PD0MD		
0	汎用入出力 (PD0) (内蔵 ROM 無効モードでは D0)	(初期値)
1	データ入出力 (D0) (シングルチップモードでは PD0)	

18.3.13 ポート E・IO レジスタ (PEIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 IOR	PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E・IO レジスタ (PEIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある 16 本の端子の入出力方向を選びます。PE15IOR ~ PE0IOR ビットが、それぞれ、PE15/TIOC4D/DACK1/ $\overline{\text{IRQOUT}}$ 端子 ~ PE0/TIOC0A/ $\overline{\text{DREQ0}}$ 端子に対応しています。PEIOR はポート E の端子機能が汎用入出力 (PE15 ~ PE0) か、MTU の TIOC 端子の場合に有効でそれ以外の場合は無効です。

ポート E の端子機能が PE15 ~ PE0 または MTU の TIOC 端子の場合、PEIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIOR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

18.3.14 ポート E コントロールレジスタ 1、2 (PECR1、PECR2)

ポート E コントロールレジスタ 1、2 (PECR1、PECR2) は、それぞれ、16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にある 16 本のマルチプレクス端子の機能を選びます。PECR1 は、ポート E の上位 8 ビットの端子の機能を、PECR2 は、ポート E の下位 8 ビットの端子の機能を選びます。

ポート E にはバス制御信号 (\overline{AH})、DMAC 制御信号 (DACK1、DACK0、DRAK1、DRAK0) がありますが、この端子機能の選択に関して、シングルチップモードの場合、このレジスタの設定は無効になることがあります。詳細は「表 18.2 動作モード別端子機能一覧」を参照してください。

PECR1、PECR2 は、外部からのパワーオンリセットで、それぞれ H'0000、H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

(1) ポート E コントロールレジスタ 1 (PECR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15MD1	PE15MD0	PE14MD1	PE14MD0	PE13MD1	PE13MD0		PE12MD		PE11MD		PE10MD		PE9MD		PE8MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15、14 : PE15 モードビット 1、0 (PE15MD1、PE15MD0)

PE15/TIOC4D/DACK1/ \overline{IRQOUT} 端子の機能を選びます。

ビット 15	ビット 14	説明
PE15MD1	PE15MD0	
0	0	汎用入出力 (PE15) (初期値)
	1	MTU インプットキャプチャ入力 / アウトプットコンペ ア出力 (TIOC4D)
1	0	DMA 要求受け付け出力 (DACK1) (シングルチップモードでは PE15)
	1	割り込み要求出力 (\overline{IRQOUT}) (シングルチップモードでは予約)

ビット 13、12 : PE14 モードビット 1、0 (PE14MD1、PE14MD0)

PE14/TIOC4C/DACK0/ \overline{AH} 端子の機能を選びます。

ビット 13	ビット 12	説 明
PE14MD1	PE14MD0	
0	0	汎用入出力 (PE14) (初期値)
	1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC4C)
1	0	DMA 要求受け付け出力 (DACK0) (シングルチップモードでは PE14)
	1	アドレスホールド出力 (\overline{AH}) (シングルチップモードでは PE14)

ビット 11、10 : PE13 モードビット 1、0 (PE13MD1、PE13MD0)

PE13/TIOC4B/ \overline{MRES} 端子の機能を選びます。

ビット 11	ビット 10	説 明
PE13MD1	PE13MD0	
0	0	汎用入出力 (PE13) (初期値)
	1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC4B)
1	0	マニュアルリセット入力 (\overline{MRES})
	1	予約

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PE8 モードビット (PE12MD)

PE12/TIOC4A 端子の機能を選びます。

ビット 8	説 明
PE12MD	
0	汎用入出力 (PE12) (初期値)
1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC4A)

ビット7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6：PE11モードビット (PE11MD)

PE11/TIOC3D 端子の機能を選びます。

ビット6	説明
PE11MD	
0	汎用入出力 (PE11) (初期値)
1	MTUインプットキャプチャ入力/アウトプットコンペア出力 (TIOC3D)

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：PE10モードビット (PE10MD)

PE10/TIOC3C 端子の機能を選びます。

ビット4	説明
PE10MD	
0	汎用入出力 (PE10) (初期値)
1	MTUインプットキャプチャ入力/アウトプットコンペア出力 (TIOC3C)

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2：PE9モードビット (PE9MD)

PE9/TIOC3B 端子の機能を選びます。

ビット2	説明
PE9MD	
0	汎用入出力 (PE9) (初期値)
1	MTUインプットキャプチャ入力/アウトプットコンペア出力 (TIOC3B)

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PE8 モードビット (PE8MD)

PE8/TIOC3A 端子の機能を選びます。

ビット0	説 明
PE8MD	
0	汎用入出力 (PE8) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3A)

(2) ポート E コントロールレジスタ 2 (PECR2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

	PE7 MD		PE6 MD		PE5 MD		PE4 MD	PE3 MD1	PE3 MD0	PE2 MD1	PE2 MD0	PE1 MD1	PE1 MD0	PE0 MD1	PE0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット15 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット14 : PE7 モードビット (PE7MD)

PE7/TIOC2B 端子の機能を選びます。

ビット14	説 明
PE7MD	
0	汎用入出力 (PE7) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC2B)

ビット13 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 12 : PE6 モードビット (PE6MD)

PE6/TIOC2A 端子の機能を選びます。

ビット 12	説 明
PE6MD	
0	汎用入出力 (PE6) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC2A)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PE5 モードビット (PE5MD)

PE5/TIOC1B 端子の機能を選びます。

ビット 10	説 明
PE5MD	
0	汎用入出力 (PE5) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1B)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PE4 モードビット (PE4MD)

PE4/TIOC1A 端子の機能を選びます。

ビット 8	説 明
PE4MD	
0	汎用入出力 (PE4) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1A)

ビット7、6 : PE3 モードビット1、0 (PE3MD1、PE3MD0)

PE3/TIOC0D/DRAK1 端子の機能を選びます。

ビット7	ビット6	説明
PE3MD1	PE3MD0	
0	0	汎用入出力 (PE3) (初期値)
	1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0D)
1	0	$\overline{\text{DREQ1}}$ 要求受け付け出力 (DRAK1) (シングルチップモードでは PE3)
	1	予約

ビット5、4 : PE2 モードビット1、0 (PE2MD1、PE2MD0)

PE2/TIOC0C/ $\overline{\text{DREQ1}}$ 端子の機能を選びます。

ビット5	ビット4	説明
PE2MD1	PE2MD0	
0	0	汎用入出力 (PE2) (初期値)
	1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0C)
1	0	$\overline{\text{DREQ1}}$ 要求受け付け入力 (シングルチップモードでは PE2)
	1	予約

ビット3、2 : PE1 モードビット1、0 (PE1MD1、PE1MD0)

PE1/TIOC0B/DRAK0 端子の機能を選びます。

ビット3	ビット2	説明
PE1MD1	PE1MD0	
0	0	汎用入出力 (PE1) (初期値)
	1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0B)
1	0	$\overline{\text{DREQ0}}$ 要求受け付け出力 (DRAK0) (シングルチップモードでは PE1)
	1	予約

ビット1、0 : PE0 モードビット1、0 (PE0MD1、PE0MD0)

PE0/TIOC0A/ $\overline{\text{DREQ0}}$ 端子の機能を選びます。

ビット1	ビット0	説明
PE0MD1	PE0MD0	
0	0	汎用入出力 (PE0) (初期値)
	1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0A)
1	0	$\overline{\text{DREQ0}}$ 要求受け付け入力 (シングルチップモードでは PE0)
	1	予約

18.3.15 IRQOUT 機能コントロールレジスタ (IFCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													IRQ MD3	IRQ MD2	IRQ MD1	IRQ MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

IRQOUT 機能コントロールレジスタ (IFCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D コントロールレジスタ (PDCRH1)、およびポート E コントロールレジスタ (PECR1) により、マルチプレクス端子が $\overline{\text{IRQOUT}}$ 出力に設定された場合、その出力を制御するために使用します。PDCRH1、または PECR1 の設定が他の機能になっている場合、このレジスタの設定は端子の機能に影響を与えません。

IFCR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず前のデータを保持します。

ビット3、2 : IRQOUT モードビット (IRQMD3、IRQMD2)

PDCRH1 のビット 13、12 (PD30MD1、PD30MD0) が (1、0) に設定されている場合の $\overline{\text{IRQOUT}}$ 端子機能を選びます。ただし、このビットの設定は 144 ピン版のときのみ有効です。112 ピン版と 120 ピン版でも読み出し / 書き込みはできますが、端子機能には影響を与えません。

ビット 3	ビット 2	説 明
IRQMD3	IRQMD2	
0	0	割り込み要求受け付け出力 (初期値)
	1	リフレッシュ信号出力
1	0	割り込み要求受け付け、またはリフレッシュ信号出力 (どちらが出力されるかは、そのときの動作状態によります)
	1	常にハイレベル出力

ビット1、0 : IRQOUT モードビット 1、0 (IRQMD1、IRQMD0)

PECR1 のビット 1、0 (PE15MD1、PE15MD0) が (1、1) に設定されている場合の $\overline{\text{IRQOUT}}$ 端子機能を選びます。

ビット 1	ビット 0	説 明
IRQMD1	IRQMD0	
0	0	割り込み要求受け付け出力 (初期値)
	1	リフレッシュ信号出力
1	0	割り込み要求受け付け、またはリフレッシュ信号出力 (どちらが出力されるかは、そのときの動作状態によります)
	1	常にハイレベル出力

18.4 使用上の注意

入出力ポートと DREQ もしくは IRQ がマルチプレクスされている端子において、ポート入力ローレベル状態から IRQ もしくは DREQ エッジ検出に切り替えた場合、当該のエッジが検出されます。

19. I/O ポート (I/O)

第 19 章 目次

19.1	概要	675
19.2	ポート A	675
19.2.1	レジスタ構成	677
19.2.2	ポート A データレジスタ H (PADRH)	677
19.2.3	ポート A データレジスタ L (PADRL)	678
19.3	ポート B	679
19.3.1	レジスタ構成	679
19.3.2	ポート B データレジスタ (PBDR)	680
19.4	ポート C	681
19.4.1	レジスタ構成	681
19.4.2	ポート C データレジスタ (PCDR)	682
19.5	ポート D	683
19.5.1	レジスタ構成	685
19.5.2	ポート D データレジスタ H (PDDRH)	686
19.5.3	ポート D データレジスタ L (PDDRL)	687
19.6	ポート E	688
19.6.1	レジスタ構成	688
19.6.2	ポート E データレジスタ (PEDR)	689
19.7	ポート F	690
19.7.1	レジスタ構成	690
19.7.2	ポート F データレジスタ (PFDR)	690

19.1 概要

ポートは、A、B、C、D、E、Fの6本から構成されています。

それぞれのポートの端子は、すべて、汎用入出力（ポートFの端子は汎用入力）とそのほかの機能とを兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ（PFC）で行います。ポートは、それぞれ、端子のデータを格納するためのデータレジスタを1本ずつ持っています。

各端子は動作モードにより、パワーオンリセット後の初期状態が異なります。

詳しくは「表 18.2 動作モード別端子機能一覧」を参照してください。

19.2 ポート A

(1) FP-112/TFP-120

ポート A は、FP-112/TFP-120 のとき図 19.1 に示すような、16本の端子を持つ入出力ポートです。

		ROM無効拡張モード (モード0、1)	ROM有効拡張モード (モード2)	シングルチップ モード
ポ ー ト A	↔	PA15 (入出力)/CK (出力)	PA15 (入出力)/CK (出力)	PA15 (入出力)/CK (出力)
	↔	\overline{RD} (出力)	PA14 (入出力)/ \overline{RD} (出力)	PA14 (入出力)
	↔	\overline{WRH} (出力)	PA13 (入出力)/ \overline{WRH} (出力)	PA13 (入出力)
	↔	\overline{WRL} (出力)	PA12 (入出力)/ \overline{WRL} (出力)	PA12 (入出力)
	↔	$\overline{CS1}$ (出力)	PA11 (入出力)/ $\overline{CS1}$ (出力)	PA11 (入出力)
	↔	$\overline{CS0}$ (出力)	PA10 (入出力)/ $\overline{CS0}$ (出力)	PA10 (入出力)
	↔	PA9 (入出力)/TCLKD (入力) /IRQ3 (入力)	PA9 (入出力)/TCLKD (入力) /IRQ3 (入力)	PA9 (入出力)/TCLKD (入力) /IRQ3 (入力)
	↔	PA8 (入出力)/TCLKC (入力) /IRQ2 (入力)	PA8 (入出力)/TCLKC (入力) /IRQ2 (入力)	PA8 (入出力)/TCLKC (入力) /IRQ2 (入力)
	↔	PA7 (入出力)/TCLKB (入力) /CS3 (出力)	PA7 (入出力)/TCLKB (入力) /CS3 (出力)	PA7 (入出力)/TCLKB (入力)
	↔	PA6 (入出力)/TCLKA (入力) /CS2 (出力)	PA6 (入出力)/TCLKA (入力) /CS2 (出力)	PA6 (入出力)/TCLKA (入力)
	↔	PA5 (入出力)/SCK1 (入出力) /DREQ1 (入力)/IRQ1 (入力)	PA5 (入出力)/SCK1 (入出力) /DREQ1 (入力)/IRQ1 (入力)	PA5 (入出力)/SCK1 (入出力) /IRQ1 (入力)
	↔	PA4 (入出力)/TXD1 (出力)	PA4 (入出力)/TXD1 (出力)	PA4 (入出力)/TXD1 (出力)
	↔	PA3 (入出力)/RXD1 (入力)	PA3 (入出力)/RXD1 (入力)	PA3 (入出力)/RXD1 (入力)
	↔	PA2 (入出力)/SCK0 (入出力) /DREQ0 (入力)/IRQ0 (入力)	PA2 (入出力)/SCK0 (入出力) /DREQ0 (入力)/IRQ0 (入力)	PA2 (入出力)/SCK0 (入出力) /IRQ0 (入力)
	↔	PA1 (入出力)/TXD0 (出力)	PA1 (入出力)/TXD0 (出力)	PA1 (入出力)/TXD0 (出力)
	↔	PA0 (入出力)/RXD0 (入力)	PA0 (入出力)/RXD0 (入力)	PA0 (入出力)/RXD0 (入力)

図 19.1 ポート A (FP-112/TFP-120)

(2) FP-144

ポート A は、FP-144 のとき図 19.2 に示すような、24 本の端子を持つ入出力ポートです。

		ROM無効拡張モード (モード0、1)	ROM有効拡張モード (モード2)	シングルチップ モード
ポ ー ト A	↔	WRHH (出力)	PA23 (入出力) /WRHH (出力)	PA23 (入出力)
	↔	WRHL (出力)	PA22 (入出力) /WRHL (出力)	PA22 (入出力)
	↔	PA21 (入出力) /CASHH (出力)	PA21 (入出力) /CASHH (出力)	PA21 (入出力)
	↔	PA20 (入出力) /CASHL (出力)	PA20 (入出力) /CASHL (出力)	PA20 (入出力)
	↔	PA19 (入出力) /BACK (入力) /DRAK1 (出力)	PA19 (入出力) /BACK (入力) /DRAK1 (出力)	PA19 (入出力)
	↔	PA18 (入出力) /BREQ (入力) /DRAK0 (出力)	PA18 (入出力) /BREQ (入力) /DRAK0 (出力)	PA18 (入出力)
	↔	PA17 (入出力) /WAIT (入力)	PA17 (入出力) /WAIT (入力)	PA17 (入出力)
	↔	PA16 (入出力) /AH (出力)	PA16 (入出力) /AH (出力)	PA16 (入出力)
	↔	PA15 (入出力) /CK (出力)	PA15 (入出力) /CK (出力)	PA15 (入出力) /CK (出力)
	↔	RD (出力)	PA14 (入出力) /RD (出力)	PA14 (入出力)
	↔	WRH (出力)	PA13 (入出力) /WRH (出力)	PA13 (入出力)
	↔	WRL (出力)	PA12 (入出力) /WRL (出力)	PA12 (入出力)
	↔	CS1 (出力)	PA11 (入出力) /CS1 (出力)	PA11 (入出力)
	↔	CS0 (出力)	PA10 (入出力) /CS0 (出力)	PA10 (入出力)
	↔	PA9 (入出力) /TCLKD (入力) /IRQ3 (入力)	PA9 (入出力) /TCLKD (入力) /IRQ3 (入力)	PA9 (入出力) /TCLKD (入力) /IRQ3 (入力)
	↔	PA8 (入出力) /TCLKC (入力) /IRQ2 (入力)	PA8 (入出力) /TCLKC (入力) /IRQ2 (入力)	PA8 (入出力) /TCLKC (入力) /IRQ2 (入力)
	↔	PA7 (入出力) /TCLKB (入力) /CS3 (出力)	PA7 (入出力) /TCLKB (入力) /CS3 (出力)	PA7 (入出力) /TCLKB (入力)
	↔	PA6 (入出力) /TCLKA (入力) /CS2 (出力)	PA6 (入出力) /TCLKA (入力) /CS2 (出力)	PA6 (入出力) /TCLKA (入力)
	↔	PA5 (入出力) /SCK1 (入出力) /DREQ1 (入力) /IRQ1 (入力)	PA5 (入出力) /SCK1 (入出力) /DREQ1 (入力) /IRQ1 (入力)	PA5 (入出力) /SCK1 (入出力) /IRQ1 (入力)
	↔	PA4 (入出力) /TXD1 (出力)	PA4 (入出力) /TXD1 (出力)	PA4 (入出力) /TXD1 (出力)
	↔	PA3 (入出力) /RXD1 (入力)	PA3 (入出力) /RXD1 (入力)	PA3 (入出力) /RXD1 (入力)
	↔	PA2 (入出力) /SCK0 (入出力) /DREQ0 (入力) /IRQ0 (入力)	PA2 (入出力) /SCK0 (入出力) /DREQ0 (入力) /IRQ0 (入力)	PA2 (入出力) /SCK0 (入出力) /IRQ0 (入力)
	↔	PA1 (入出力) /TXD0 (出力)	PA1 (入出力) /TXD0 (出力)	PA1 (入出力) /TXD0 (出力)
	↔	PA0 (入出力) /RXD0 (入力)	PA0 (入出力) /RXD0 (入力)	PA0 (入出力) /RXD0 (入力)

図 19.2 ポート A (FP-144)

19.2.1 レジスタ構成

ポート A のレジスタ構成を表 19.1 に示します。

表 19.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ H	PADRH	R/W	H'0000	H'FFFF8380 H'FFFF8381	8、16、32
ポート A データレジスタ L	PADRL	R/W	H'0000	H'FFFF8382 H'FFFF8383	8、16、32

19.2.2 ポート A データレジスタ H (PADRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									PA23 DR	PA22 DR	PA21 DR	PA20 DR	PA19 DR	PA18 DR	PA17 DR	PA16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A データレジスタ H (PADRH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA23DR ~ PA16DR ビットは、それぞれ、PA23/ $\overline{\text{WRHH}}$ 端子 ~ PA16/ $\overline{\text{AH}}$ 端子に対応しています。

端子機能が汎用出力の場合には、PADRH に値を書き込むと端子からその値が出力され、PADRH を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRH を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRH に値を書き込むと、PADRH にその値を書き込みますが、端子の状態には影響しません。表 19.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

PADRH は、外部からのパワーオンリセットで初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。また、このレジスタの設定は 144 ピン版のときのみ機能します。112 ピン版の場合、このレジスタに対応する端子は存在しません。ただし、読み出し / 書き込みはできます。

19.2.3 ポート A データレジスタ L (PADRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 DR	PA14 DR	PA13 DR	PA12 DR	PA11 DR	PA10 DR	PA9 DR	PA8 DR	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A データレジスタ L (PADRL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA15DR ~ PA0DR ビットは、それぞれ、PA15/CK 端子 ~ PA0/RXD0 端子に対応しています。

端子機能が汎用出力の場合には、PADRL に値を書き込むと端子からその値が出力され、PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRL に値を書き込むと、PADRL にその値を書き込めますが、端子の状態には影響しません。表 19.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

PADRL は、外部からのパワーオンリセットで初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

表 19.2 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADR に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR の値	書き込み値が端子から出力される
	汎用出力以外	PADR の値	PADR に書き込めるが、端子の状態に影響しない

19.3 ポート B

ポート B は、図 19.3 に示すような、10 本の端子を持つ入出力ポートです。

	ROM無効拡張モード (モード0、1)	ROM有効拡張モード (モード2)	シングルチップ モード
ポ ー ト B	PB9 (入出力) / $\overline{\text{IRQ7}}$ (入力) /A21 (出力) / $\overline{\text{ADTRG}}$ (入力)	同左	PB9 (入出力) / $\overline{\text{IRQ7}}$ (入力) / $\overline{\text{ADTRG}}$ (入力)
	PB8 (入出力) / $\overline{\text{IRQ6}}$ (入力) /A20 (出力) / $\overline{\text{WAIT}}$ (入力)	同左	PB8 (入出力) / $\overline{\text{IRQ6}}$ (入力)
	PB7 (入出力) / $\overline{\text{IRQ5}}$ (入力) /A19 (出力) / $\overline{\text{BREQ}}$ (入力)	同左	PB7 (入出力) / $\overline{\text{IRQ5}}$ (入力)
	PB6 (入出力) / $\overline{\text{IRQ4}}$ (入力) /A18 (出力) / $\overline{\text{BACK}}$ (出力)	同左	PB6 (入出力) / $\overline{\text{IRQ4}}$ (入力)
	PB5 (入出力) / $\overline{\text{IRQ3}}$ (入力) / $\overline{\text{POE3}}$ (入力) /RDWR (出力)	同左	PB5 (入出力) / $\overline{\text{IRQ3}}$ (入力) / $\overline{\text{POE3}}$ (入力)
	PB4 (入出力) / $\overline{\text{IRQ2}}$ (入力) / $\overline{\text{POE2}}$ (入力) / $\overline{\text{CASH}}$ (出力)	同左	PB4 (入出力) / $\overline{\text{IRQ2}}$ (入力) / $\overline{\text{POE2}}$ (入力)
	PB3 (入出力) / $\overline{\text{IRQ1}}$ (入力) / $\overline{\text{POE1}}$ (入力) / $\overline{\text{CASL}}$ (出力)	同左	PB3 (入出力) / $\overline{\text{IRQ1}}$ (入力) / $\overline{\text{POE1}}$ (入力)
	PB2 (入出力) / $\overline{\text{IRQ0}}$ (入力) / $\overline{\text{POE0}}$ (入力) / $\overline{\text{RAS}}$ (出力)	同左	PB2 (入出力) / $\overline{\text{IRQ0}}$ (入力) / $\overline{\text{POE0}}$ (入力)
	A17 (出力)	PB1 (入出力) /A17 (出力)	PB1 (入出力)
	A16 (出力)	PB0 (入出力) /A16 (出力)	PB0 (入出力)

図 19.3 ポート B

19.3.1 レジスタ構成

ポート B のレジスタ構成を表 19.3 に示します。

表 19.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ	PBDR	R/W	H'0000	H'FFFF8390 H'FFFF8391	8、16、32

19.3.2 ポート B データレジスタ (PBDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B データレジスタ (PBDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB9DR ~ PB0DR ビットは、それぞれ、PB9/ $\overline{\text{IRQ7}}$ /A21/ $\overline{\text{ADTRG}}$ 端子 ~ PB0/A16 端子に対応しています。

端子機能が汎用出力の場合には、PBDR に値を書き込むと端子からその値が出力され、PBDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR に値を書き込むと、PBDR にその値を書き込みますが、端子の状態には影響しません。表 19.4 にポート B データレジスタの読み出し / 書き込み動作を示します。

PBDR は、外部からのパワーオンリセットで初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

表 19.4 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

19.4 ポート C

ポート C は、図 19.4 に示すような、16本の端子を持つ入出力ポートです。

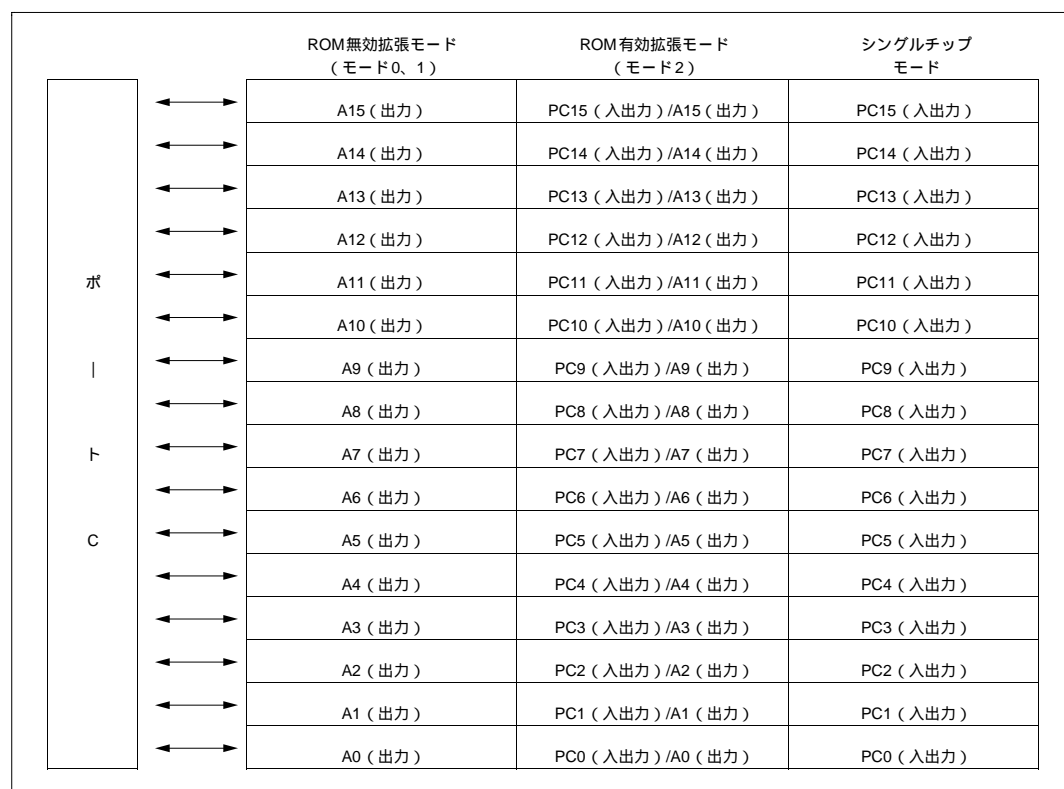


図 19.4 ポート C

19.4.1 レジスタ構成

ポート C のレジスタ構成を表 19.5 に示します。

表 19.5 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート C データレジスタ	PCDR	R/W	H'0000	H'FFFF8392 H'FFFF8393	8、16、32

19.4.2 ポート C データレジスタ (PCDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 DR	PC14 DR	PC13 DR	PC12 DR	PC11 DR	PC10 DR	PC9 DR	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C データレジスタ (PCDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC15DR ~ PC0DR ビットは、それぞれ、PC15/A15 端子 ~ PC0/A0 端子に対応しています。

端子機能が汎用出力の場合には、PCDR に値を書き込むと端子からその値が出力され、PCDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDR に値を書き込むと、PCDR にその値を書き込めますが、端子の状態には影響しません。表 19.6 にポート C データレジスタの読み出し / 書き込み動作を示します。

PCDR は、外部からのパワーオンリセットで初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

表 19.6 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作

PCIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDR の値	書き込み値が端子から出力される
	汎用出力以外	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない

19.5 ポート D

(1) FP-112

ポート D は、FP-112 のとき図 19.5 に示すような、16 本の端子を持つ入出力ポートです。

	ROM無効拡張モード	ROM無効拡張モード	ROM有効拡張モード	シングルチップ
	(モード0)	(モード1)	(モード2)	モード
ポ ー ト D	D15 (入出力)	D15 (入出力)	PD15 (入出力) / D15 (入出力)	PD15 (入出力)
	D14 (入出力)	D14 (入出力)	PD14 (入出力) / D14 (入出力)	PD 14 (入出力)
	D13 (入出力)	D13 (入出力)	PD13 (入出力) / D13 (入出力)	PD 13 (入出力)
	D12 (入出力)	D12 (入出力)	PD12 (入出力) / D12 (入出力)	PD 12 (入出力)
	D11 (入出力)	D11 (入出力)	PD11 (入出力) / D11 (入出力)	PD 11 (入出力)
	D10 (入出力)	D10 (入出力)	PD10 (入出力) / D10 (入出力)	PD 10 (入出力)
	D9 (入出力)	D9 (入出力)	PD9 (入出力) / D9 (入出力)	PD 9 (入出力)
	D8 (入出力)	D8 (入出力)	PD8 (入出力) / D8 (入出力)	PD 8 (入出力)
	D7 (入出力)	D7 (入出力)	PD7 (入出力) / D7 (入出力)	PD 7 (入出力)
	D6 (入出力)	D6 (入出力)	PD6 (入出力) / D6 (入出力)	PD 6 (入出力)
	D5 (入出力)	D5 (入出力)	PD5 (入出力) / D5 (入出力)	PD 5 (入出力)
	D4 (入出力)	D4 (入出力)	PD4 (入出力) / D4 (入出力)	PD 4 (入出力)
	D3 (入出力)	D3 (入出力)	PD3 (入出力) / D3 (入出力)	PD 3 (入出力)
	D2 (入出力)	D2 (入出力)	PD2 (入出力) / D2 (入出力)	PD 2 (入出力)
	D1 (入出力)	D1 (入出力)	PD1 (入出力) / D1 (入出力)	PD 1 (入出力)
	D0 (入出力)	D0 (入出力)	PD0 (入出力) / D0 (入出力)	PD 0 (入出力)

図 19.5 ポート D (FP-112)

(2) FP-144

ポートDは、FP-144のとき図19.6に示すような、32本の端子を持つ入出力ポートです。

		ROM無効拡張モード (モード0)	ROM無効拡張モード (モード1)	ROM有効拡張モード (モード2)	シングルチップ モード
ポ ー ト D	↔	PD31 (入出力) / D31 (入出力) /ADTRG (入力)	D31 (入出力)	PD31 (入出力) / D31 (入出力) /ADTRG (入力)	PD31 (入出力) / ADTRG (入力)
	↔	PD30 (入出力) / D30 (入出力) /IRQOUT (出力)	D30 (入出力)	PD30 (入出力) / D30 (入出力) /IRQOUT (出力)	PD30 (入出力) / IRQOUT (出力)
	↔	PD29 (入出力) / D29 (入出力) /CS3 (出力)	D29 (入出力)	PD29 (入出力) / D29 (入出力) /CS3 (出力)	PD29 (入出力)
	↔	PD28 (入出力) / D28 (入出力) /CS2 (出力)	D28 (入出力)	PD28 (入出力) / D28 (入出力) /CS2 (出力)	PD28 (入出力)
	↔	PD27 (入出力) / D27 (入出力) /DACK1 (出力)	D27 (入出力)	PD27 (入出力) / D27 (入出力) /DACK1 (出力)	PD27 (入出力)
	↔	PD26 (入出力) / D26 (入出力) /DACK0 (出力)	D26 (入出力)	PD26 (入出力) / D26 (入出力) /DACK0 (出力)	PD26 (入出力)
	↔	PD25 (入出力) / D25 (入出力) /DREQ1 (入力)	D25 (入出力)	PD25 (入出力) / D25 (入出力) /DREQ1 (入力)	PD25 (入出力)
	↔	PD24 (入出力) / D24 (入出力) /DREQ0 (入力)	D24 (入出力)	PD24 (入出力) / D24 (入出力) /DREQ0 (入力)	PD24 (入出力)
	↔	PD23 (入出力) / D23 (入出力) /IRQ7 (入力)	D23 (入出力)	PD23 (入出力) / D23 (入出力) /IRQ7 (入力)	PD23 (入出力) /IRQ7 (入力)
	↔	PD22 (入出力) / D22 (入出力) /IRQ6 (入力)	D22 (入出力)	PD22 (入出力) / D22 (入出力) /IRQ6 (入力)	PD22 (入出力) /IRQ6 (入力)
	↔	PD21 (入出力) / D21 (入出力) /IRQ5 (入力)	D21 (入出力)	PD21 (入出力) / D21 (入出力) /IRQ5 (入力)	D21 (入出力) /IRQ5 (入力)
	↔	PD20 (入出力) / D20 (入出力) /IRQ4 (入力)	D20 (入出力)	PD20 (入出力) / D20 (入出力) /IRQ4 (入力)	PD20 (入出力) /IRQ4 (入力)
	↔	PD19 (入出力) / D19 (入出力) /IRQ3 (入力)	D19 (入出力)	PD19 (入出力) / D19 (入出力) /IRQ3 (入力)	PD19 (入出力) /IRQ3 (入力)
	↔	PD18 (入出力) / D18 (入出力) /IRQ2 (入力)	D18 (入出力)	PD18 (入出力) / D18 (入出力) /IRQ2 (入力)	PD18 (入出力) /IRQ2 (入力)
	↔	PD17 (入出力) / D17 (入出力) /IRQ1 (入力)	D17 (入出力)	PD17 (入出力) / D17 (入出力) /IRQ1 (入力)	PD17 (入出力) /IRQ1 (入力)
	↔	PD16 (入出力) / D16 (入出力) /IRQ0 (入力)	D16 (入出力)	PD16 (入出力) / D16 (入出力) /IRQ0 (入力)	PD16 (入出力) /IRQ0 (入力)

図19.6 ポートD (FP-144) (1)

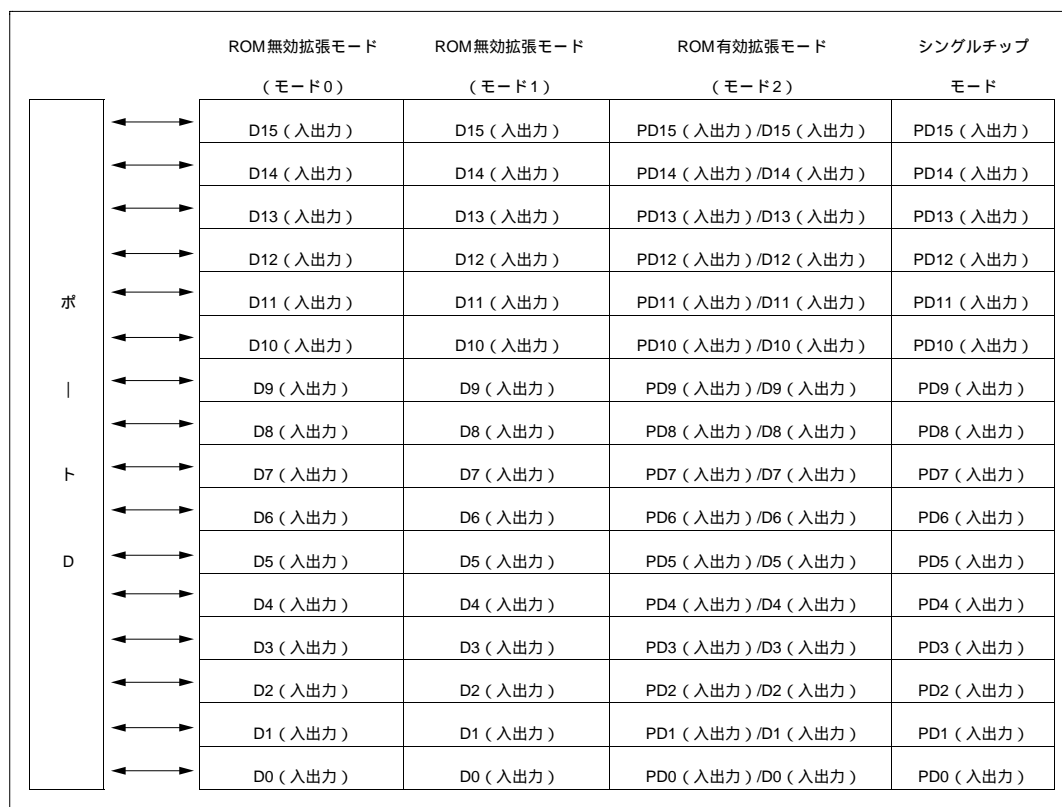


図 19.6 ポート D (FP-144) (2)

19.5.1 レジスタ構成

ポート D のレジスタ構成を表 19.7 に示します。

表 19.7 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D データレジスタ H	PDDRH	R/W	H'0000	H'FFFF83A0 H'FFFF83A1	8、16、32
ポート D データレジスタ L	PDDRLL	R/W	H'0000	H'FFFF83A2 H'FFFF83A3	8、16、32

19.5.2 ポート D データレジスタ H (PDDRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD31 DR	PD30 DR	PD29 DR	PD28 DR	PD27 DR	PD26 DR	PD25 DR	PD24 DR	PD23 DR	PD22 DR	PD21 DR	PD20 DR	PD19 DR	PD18 DR	PD17 DR	PD16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D データレジスタ H (PDDRH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD31DR ~ PD16DR ビットは、それぞれ、PD31/D31/ $\overline{\text{ADTRG}}$ 端子 ~ PD16/D16/ $\overline{\text{IRQ0}}$ 端子に対応しています。

端子機能が汎用出力の場合には、PDDRH に値を書き込むと端子からその値が出力され、PDDRH を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRH を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDRH に値を書き込むと、PDDRH にその値を書き込めますが、端子の状態には影響しません。表 19.8 にポート D データレジスタの読み出し / 書き込み動作を示します。

PDDRH は、外部からのパワーオンリセットで初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。また、このレジスタの設定は 144 ピン版のときのみ機能します。112 ピン版の場合、このレジスタに対応する端子は存在しません。ただし、読み出し / 書き込みはできます。

19.5.3 ポート D データレジスタ L (PDDRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 DR	PD14 DR	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D データレジスタ L (PDDRL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD15DR ~ PD0DR ビットは、それぞれ、PD15/D15 端子 ~ PD0/D0 端子に対応しています。

端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDRL に値を書き込むと、PDDRL にその値を書き込みますが、端子の状態には影響しません。表 19.8 にポート D データレジスタの読み出し / 書き込み動作を示します。

PDDRL は、外部からのパワーオンリセットで初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

表 19.8 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

PDIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDR の値	書き込み値が端子から出力される
	汎用出力以外	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない

19.6 ポート E

ポート E は、図 19.7 に示すような、16 本の端子を持つ入出力ポートです。

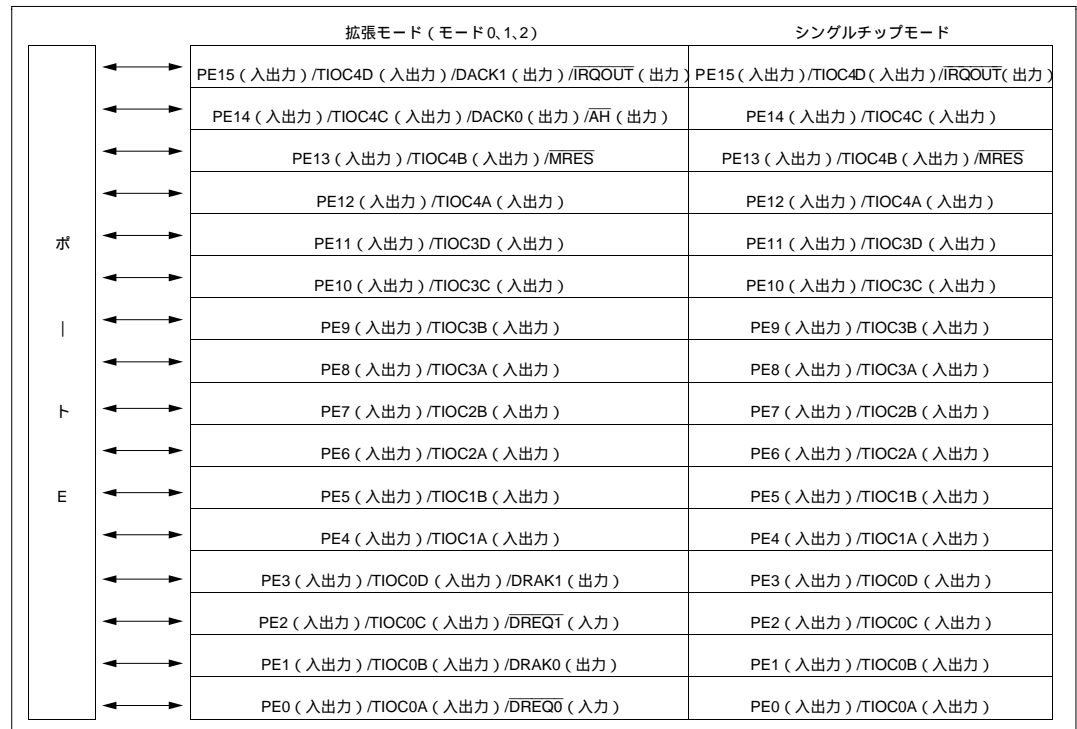


図 19.7 ポート E

19.6.1 レジスタ構成

ポート E のレジスタ構成を表 19.9 に示します。

表 19.9 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ	PEDR	R/W	H'0000	H'FFFF83B0 H'FFFF83B1	8、16、32

19.6.2 ポート E データレジスタ (PEDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 DR	PE14 DR	PE13 DR	PE12 DR	PE11 DR	PE10 DR	PE9 DR	PE8 DR	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E データレジスタ (PEDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE15DR ~ PE0DR ビットは、それぞれ、PE15/TIOC4D/DACK1/IRQOUT 端子 ~ PE0/TIOC0A/DREQ0 端子に対応しています。端子機能が汎用出力の場合には、PEDR に値を書き込むと端子からその値が出力され、PEDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDR に値を書き込むと、PEDR にその値を書き込めますが、端子の状態には影響しません。表 19.10 にポート E データレジスタの読み出し / 書き込み動作を示します。

PEDR は、外部からのパワーオンリセットで初期化されます。しかし、マニュアルリセット、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されず、前のデータを保持します。

表 19.10 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDR の値	書き込み値が端子から出力される
	汎用出力以外	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない

19.7 ポート F

ポート F は、図 19.8 に示すような、8 本の端子を持つ入力ポートです。

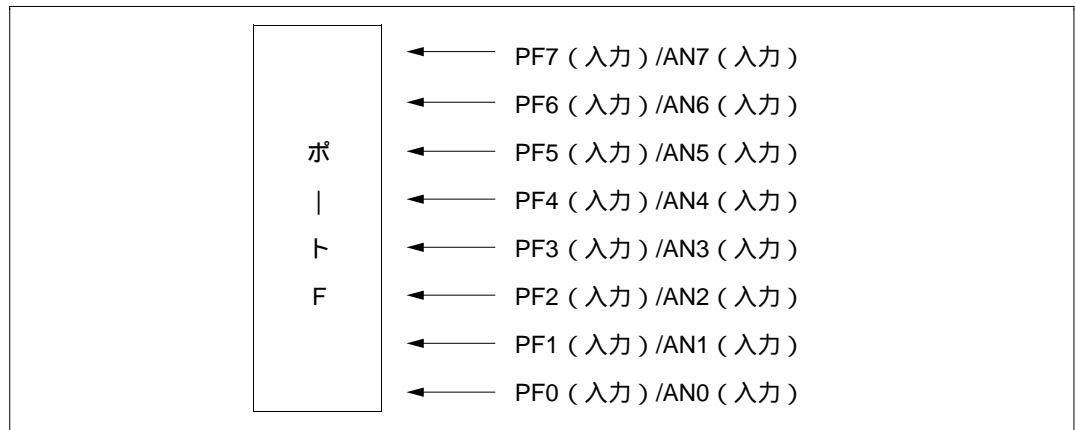


図 19.8 ポート F

19.7.1 レジスタ構成

ポート F のレジスタ構成を表 19.11 に示します。

表 19.11 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ	PFDR	R/W	外部端子依存	H'FFFF83B3	8

19.7.2 ポート F データレジスタ (PFDR)

ビット:	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値:	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R

【注】 * 初期値は読み出し時の端子状態に依存します。

ポート F データレジスタ (PFDR) は、読み出し専用の 8 ビットのレジスタで、ポート F のデータを格納します。PF7DR ~ PF0DR ビットは、それぞれ、PF7/AN7 端子 ~ PF0/AN0 端子に対応しています。

これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D変換器のアナログ入力をサンプリングしている間は1が読み出されます。表 19.12 にポート F データレジスタの読み出し/書き込み動作を示します。

PFDR は、パワーオンリセット、マニュアルリセット、スタンバイモード、スリープモードのいずれでも初期化されません (ビットは常に端子の状態を反映します)。

表 19.12 ポート F データレジスタ (PFDR) の読み出し/書き込み動作

端子入出力	端子機能	読み出し	書き込み
入力	汎用	端子の状態が読み出される	無視される (端子の状態に影響しない)
	ANn	1 が読み出される	無視される (端子の状態に影響しない)

ANn : アナログ入力

20. 64/128/256kB マスク ROM

第 20 章 目次

20.1 概要.....	695
--------------	-----

20.1 概要

本 LSI は、64k、128k、および 256k バイトのマスク ROM を内蔵している製品があります。内蔵 ROM は、32 ビット幅のデータバスを介して、CPU とダイレクトメモリアクセスコントローラ (DMAC)、データトランスファコントローラ (DTC) に接続されています (図 20.1、図 20.2、図 20.3)。CPU、DMAC、DTC は 8、16 または 32 ビット幅で内蔵 ROM をアクセスすることができます。内蔵 ROM のデータは、常に 1 ステートでアクセスできます。

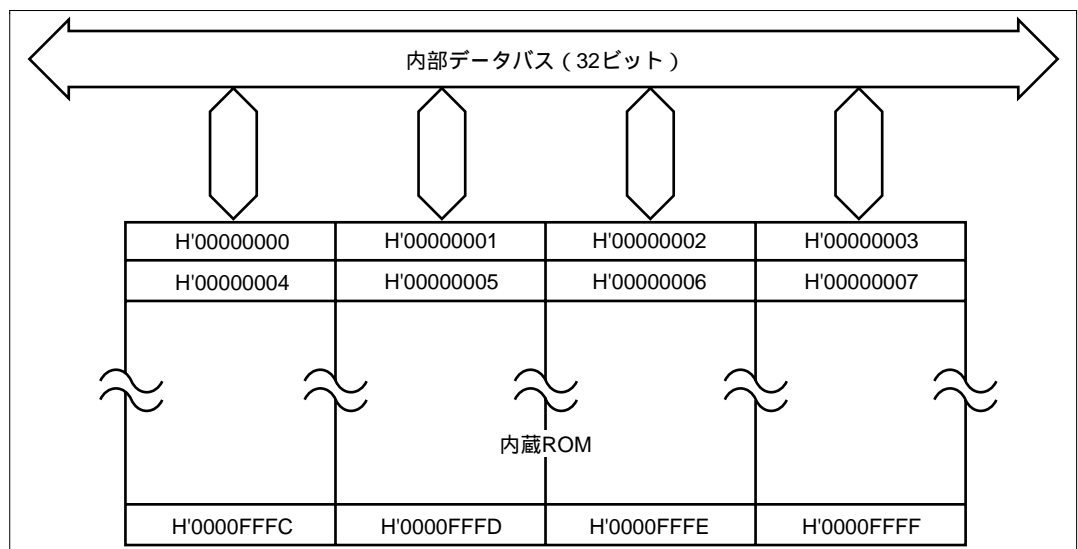


図 20.1 マスク ROM のブロック図 (64kB 版)

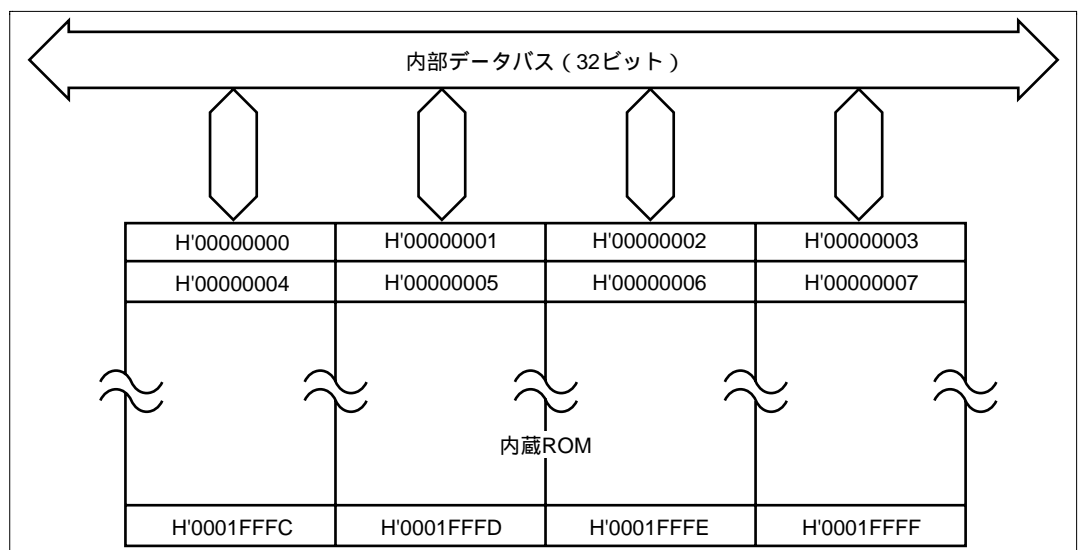


図 20.2 マスク ROM のブロック図 (128kB 版)

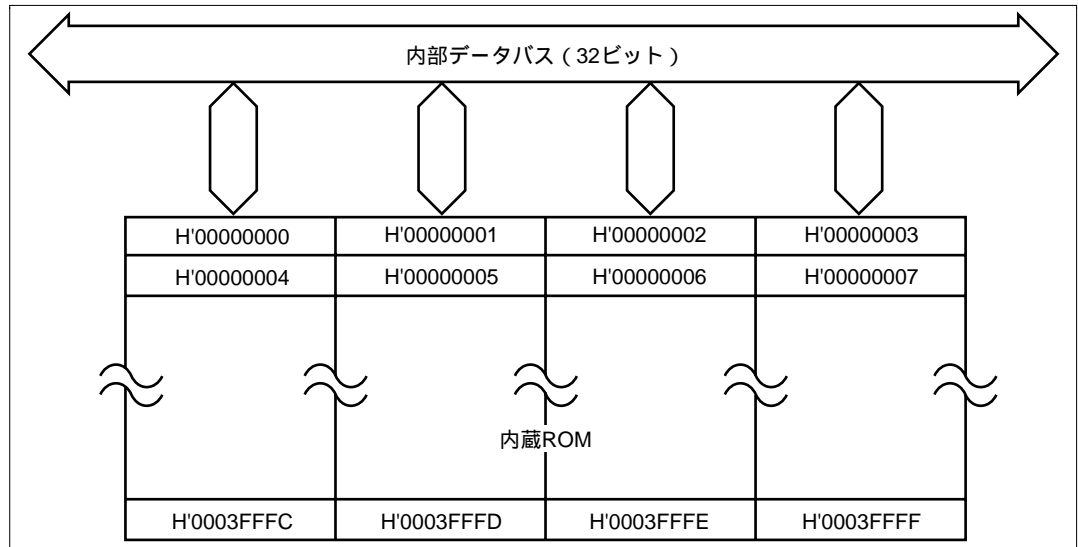


図 20.3 マスク ROM のブロック図 (256kB 版)

内蔵 ROM は、動作モードによって有効か無効が決まります。動作モードは、表 20.1 のようにモード設定端子 MD3 ~ MD0 で選びます。内蔵 ROM を使う場合にはモード 2 かモード 3 を、使わない場合にはモード 0 かモード 1 を選んでください。内蔵 ROM は、メモリエリア 0 のアドレス H'00000000 ~ H'0000FFFF (64kB 版)、H'00000000 ~ H'0001FFFF (128kB 版)、H'00000000 ~ H'0003FFFF (256kB 版) に割り付けられています。

表 20.1 動作モードと ROM

動作モード	モード設定端子				エリア 0
	MD3	MD2	MD1	MD0	
モード 0 (MCU モード 0)	*	*	0	0	内蔵 ROM 無効、外部 8 ビット空間 (112 ピン、120 ピン)、 外部 16 ビット空間 (144 ピン)
モード 1 (MCU モード 1)	*	*	0	1	内蔵 ROM 無効、外部 16 ビット空間 (112 ピン、120 ピン)、 外部 32 ビット空間 (144 ピン)
モード 2 (MCU モード 2)	*	*	1	0	内蔵 ROM 有効、外部空間あり (バス幅設定はバスステートコントローラで行う)
モード 3 (MCU モード 3)	*	*	1	1	内蔵 ROM 有効 シングルチップモード

0 : ローレベル

1 : ハイレベル

【注】 * 「第 3 章 動作モード」を参照してください。

21. 128kB PROM (ZTAT)

第21章 目次

21.1	概要.....	699
21.2	PROMモード.....	701
	21.2.1 PROMモードの設定.....	701
	21.2.2 ソケットアダプタの端子対応とメモリマップ.....	701
21.3	PROMのプログラミング.....	706
	21.3.1 プログラミングモードの選択.....	706
	21.3.2 書き込み / ベリファイと電気的特性.....	707
	21.3.3 書き込み時の注意.....	709
	21.3.4 書き込み後の信頼性.....	710

21.1 概要

本LSIは、128kバイトのPROMを内蔵している製品があります。内蔵PROMは、32ビット幅のデータバスを介して、CPUとダイレクトメモリアクセスコントローラ(DMAC)、データトランスファコントローラ(DTC)に接続されています(図21.1)。CPU、DMAC、DTCは8、16または32ビット幅で内蔵ROMをアクセスすることができます。内蔵ROMのデータは、常に1ステートでアクセスできます。

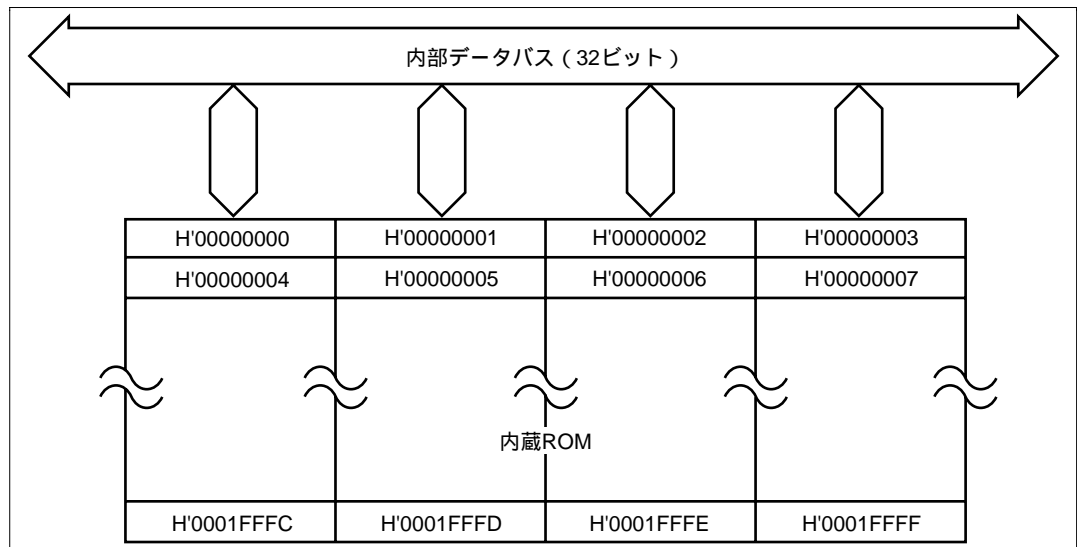


図 21.1 PROM のブロック図 (128kB 版)

内蔵 PROM は、動作モードによって有効か無効が決まります。動作モードは、表 21.1 のようにモード設定端子 MD3 ~ MD0 で選びます。内蔵 PROM を使う場合にはモード 2 かモード 3 を、使わない場合にはモード 0 かモード 1 を選んでください。内蔵 PROM は、メモリアリア 0 のアドレス H'00000000 ~ H'0001FFFF に割り付けられています。

表 21.1 動作モードと ROM

動作モード	モード設定端子				エリア 0
	MD3	MD2	MD1	MD0	
モード 0 (MCU モード 0)	*	*	0	0	内蔵 ROM 無効、外部 8 ビット空間 (112 ピン、120 ピン)、外部 16 ビット空間 (144 ピン)
モード 1 (MCU モード 1)	*	*	0	1	内蔵 ROM 無効、外部 16 ビット空間 (112 ピン、120 ピン)、外部 32 ビット空間 (144 ピン)
モード 2 (MCU モード 2)	*	*	1	0	内蔵 ROM 有効、外部空間あり (バス幅設定はバーステートコントローラで行う)
モード 3 (MCU モード 3)	*	*	1	1	内蔵 ROM 有効 シングルチップモード
モード 7 (PROM モード)	1	1	1	1	

0: ローレベル

1: ハイレベル

【注】 * 「第 3 章 動作モード」を参照してください。

PROM 版は、本 LSI を PROM モードに設定することで、汎用 EPROM ライタを使って、通常の EPROM と同じようにプログラムを書き込むことができます。

21.2 PROM モード

21.2.1 PROM モードの設定

内蔵 PROM をプログラミングするには、図 21.2、図 21.3、図 21.4 に示すように端子を設定し、PROM モードで行ってください。

21.2.2 ソケットアダプタの端子対応とメモリマップ

図 21.2、図 21.3 に示すようにソケットアダプタを LSI に取り付けてください。これによって通常の 32 端子の EPROM (HN27C101) をプログラミングするのと同じように内蔵 PROM をプログラミングすることができるようになります。本 LSI の端子と HN27C101 の端子との対応を図 21.2、図 21.3、図 21.4 に、内蔵 ROM のメモリマップを図 21.5 に示します。

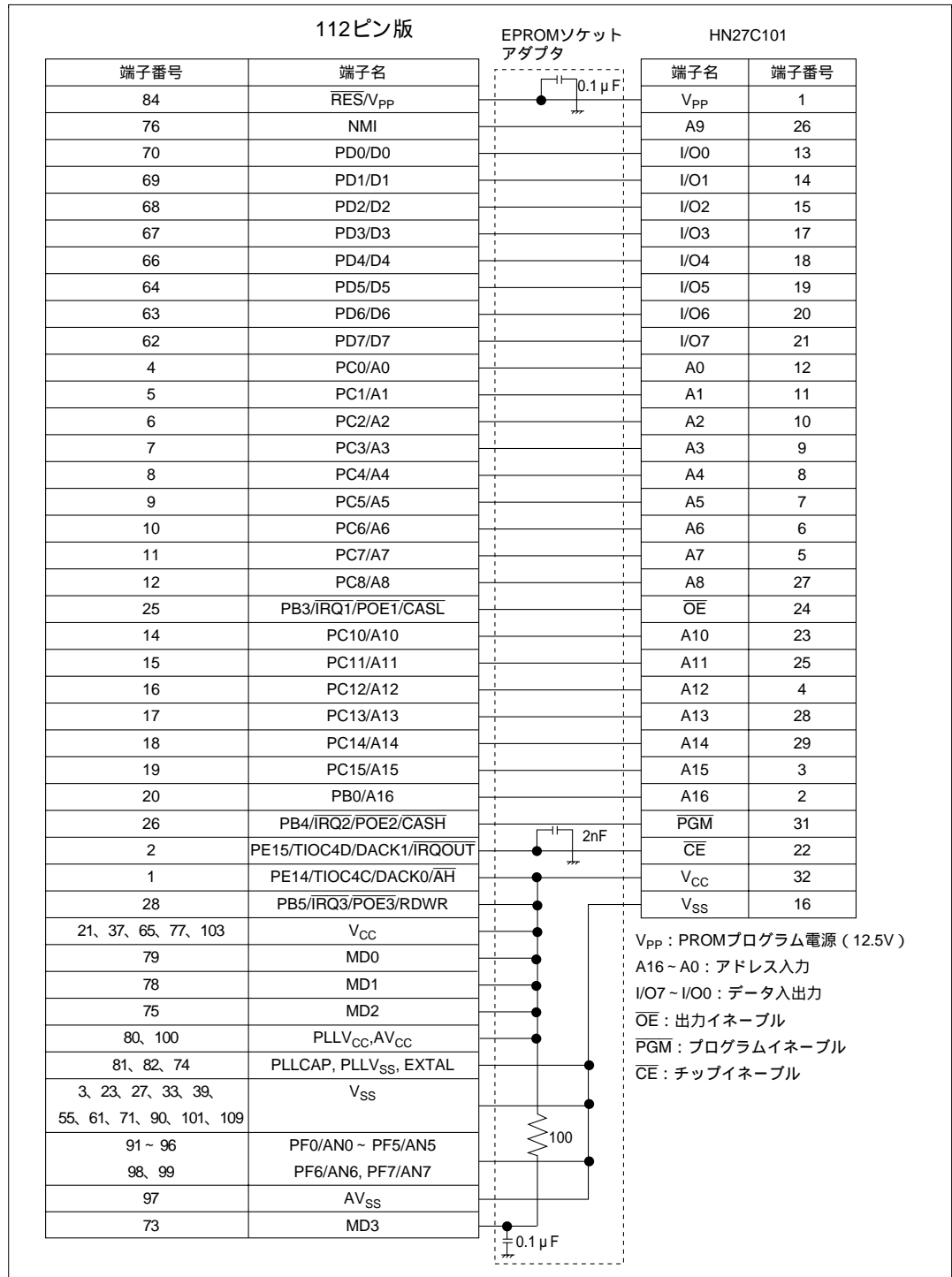


図 21.2 SH7042 の端子と HN27C101 の端子との対応 (112 ピン版)

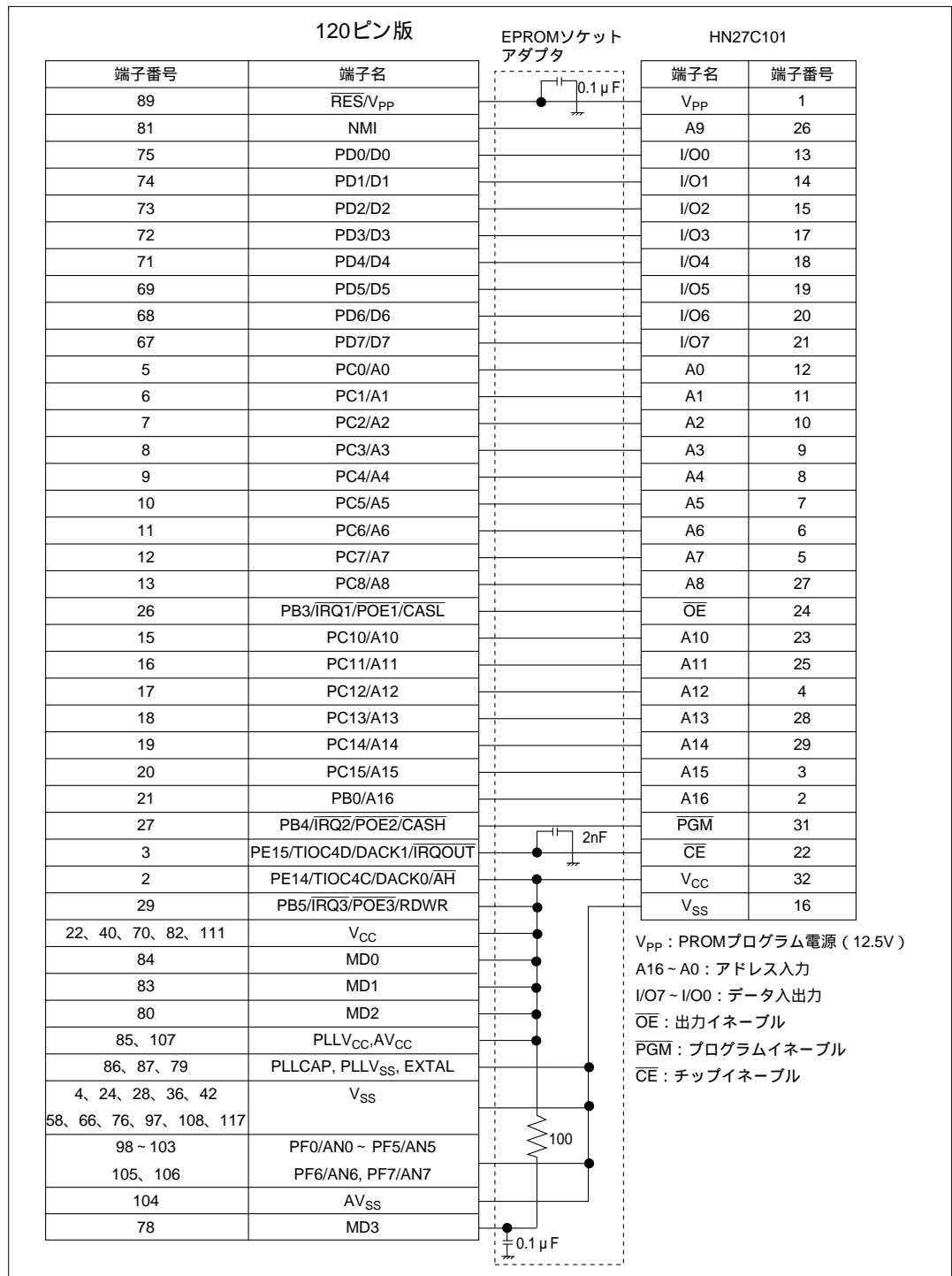


図 21.3 SH7042 の端子と HN27C101 の端子との対応 (120 ピン版)

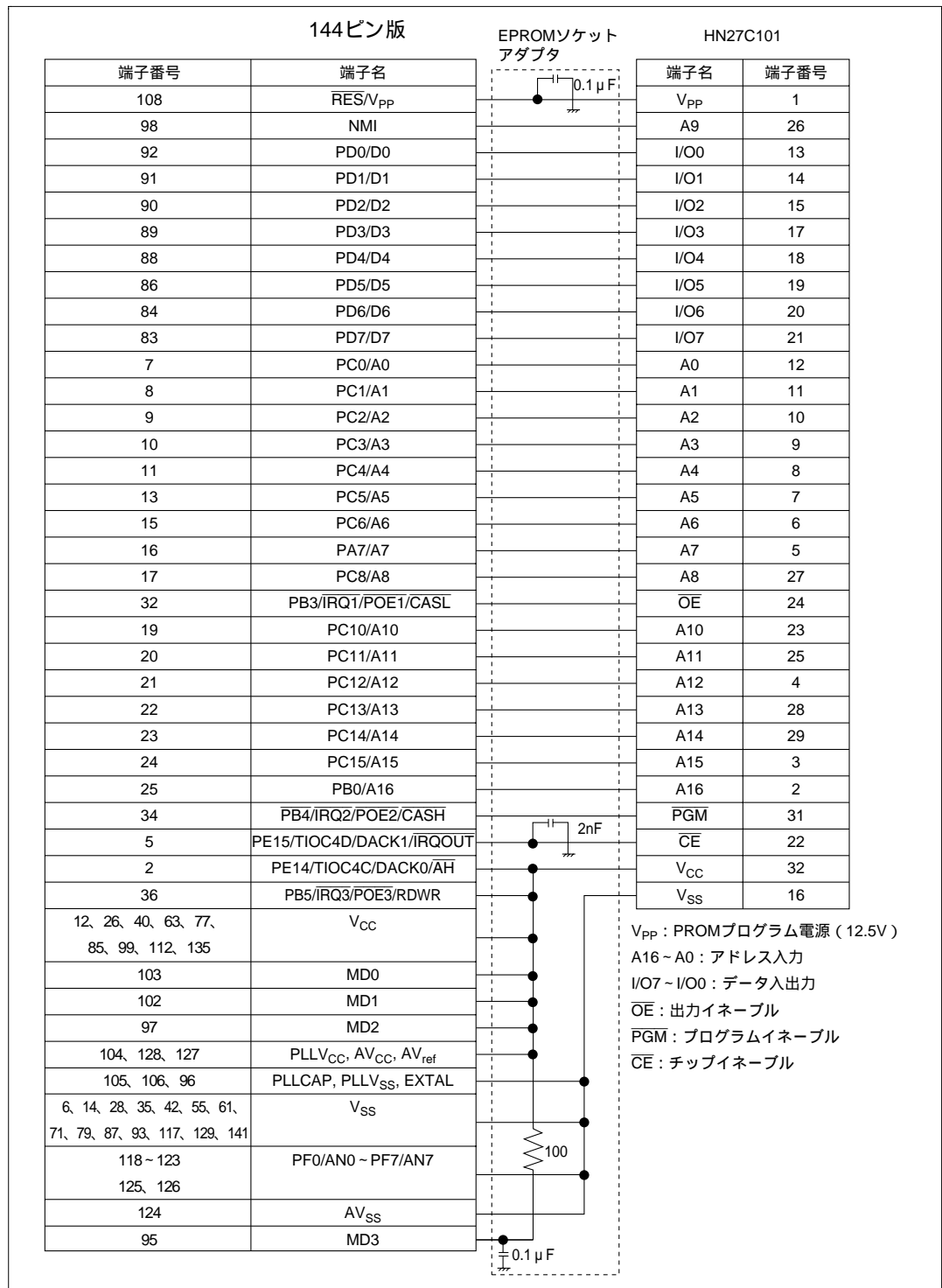


図 21.4 SH7043 の端子と HN27C101 の端子との対応 (144 ピン版)

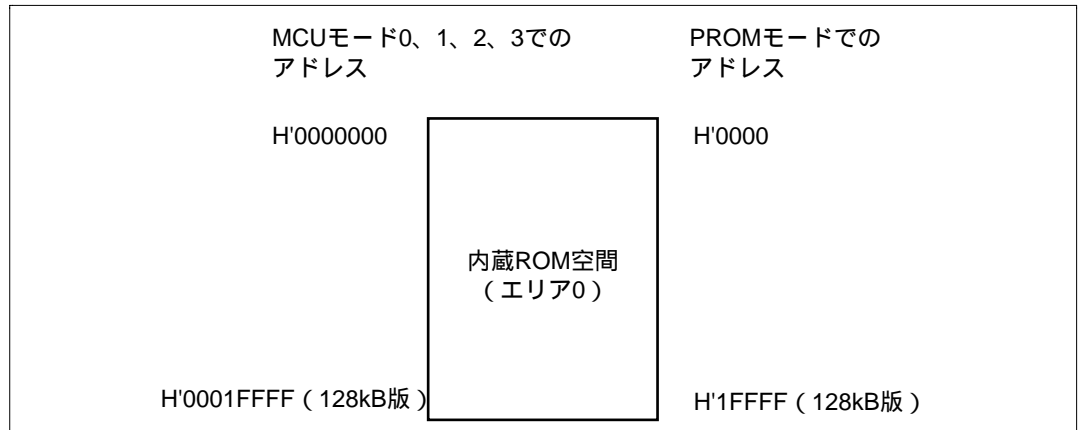


図 21.5 内蔵ROMのメモリマップ

21.3 PROM のプログラミング

PROM モード時の書き込み/ベリファイ仕様は、標準の EPROM HN27C101 と同じです。ただし、ページプログラム方式はサポートしていませんので、PROM ライタをページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイトごとの高速高信頼度プログラミング方式をサポートしていることを確認してください。

21.3.1 プログラミングモードの選択

内蔵 PROM のプログラミングモードには、書き込みとベリファイ（書き込んだデータの読み出し確認）の2つのモードがあります。モードは、端子で選びます。（表 21.2）。

表 21.2 PROM のプログラミングモードの選択

端子名 モード名	\overline{CE}	\overline{OE}	\overline{PGM}	V_{PP}	V_{CC}	I/O7 ~ I/O0	A16 ~ A0
書き込み	0	1	0	V_{PP}	V_{CC}	データ入力	アドレス入力
ベリファイ	0	0	1			データ出力	
プログラム禁止	0	0	0			ハイインピーダンス	
	0	1	1				
	1	0	0				
	1	1	1				

《記号説明》

- 0 : ローレベル
- 1 : ハイレベル
- V_{PP} : V_{PP} レベル
- V_{CC} : V_{CC} レベル

21.3.2 書き込み/ベリファイと電気的特性

(1) 書き込み/ベリファイ

書き込み/ベリファイは、効率のよい高速高信頼度プログラミング方式で行うことができます。この方式は、デバイスに電圧ストレスをかけずに、高速かつ確実にデータを書き込むことのできる方式です。高速高信頼度プログラミング方式の基本フローを図 21.6 に示します。

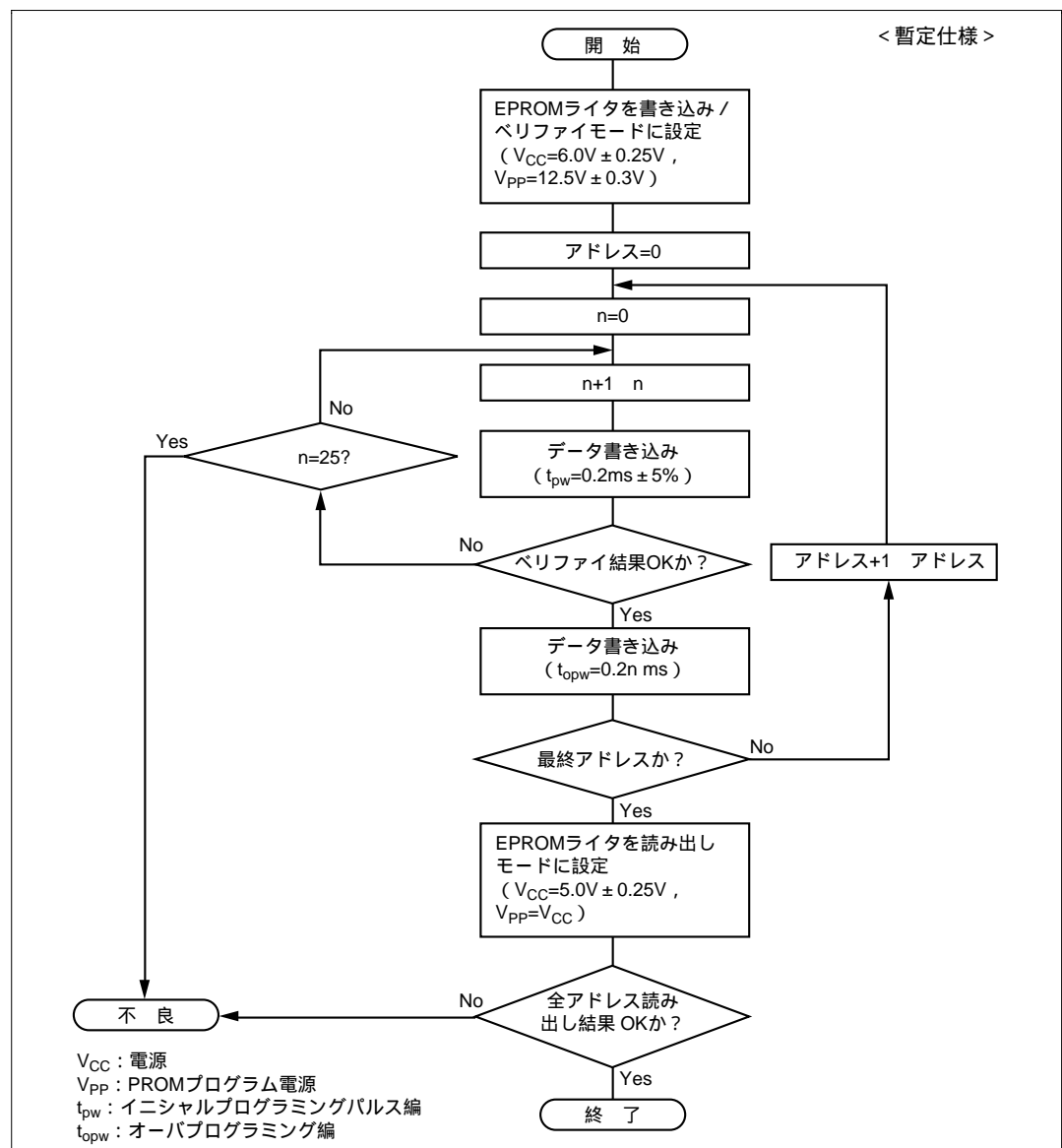


図 21.6 高速高信頼度プログラミング基本フロー

(2) 電気的特性

プログラミングの電気的特性を表 21.3 と表 21.4 に、タイミングを図 21.7 に示します。

表 21.3 DC 特性 ($V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	適用端子	記号	min	typ	max	単位	測定条件
入力ハイレベル電圧	I/O7 ~ I/O0、A16 ~ A0、 \overline{OE} 、 \overline{CE} 、 \overline{PGM}	V_{IH}	2.4		$V_{CC} + 0.3$	V	
入力ローレベル電圧	I/O7 ~ I/O0、A16 ~ A0、 \overline{OE} 、 \overline{CE} 、 \overline{PGM}	V_{IL}	-0.3		0.8	V	
出力ハイレベル電圧	I/O7 ~ I/O0	V_{OH}	2.4			V	$I_{OH} = -200 \mu A$
出力ローレベル電圧	I/O7 ~ I/O0	V_{OL}			0.45	V	$I_{OL} = 1.6mA$
入力リーク電流	I/O7 ~ I/O0、A16 ~ A0、 \overline{OE} 、 \overline{CE} 、 \overline{PGM}	$ I_{LI} $			2	μA	$V_{IN} = 5.25V/0.5V$
V_{CC} 電流		I_{CC}			80	mA	
V_{PP} 電流		I_{PP}			80	mA	

表 21.4 AC 特性 ($V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2			μs	図 21.6 *1
\overline{OE} セットアップ時間	t_{OES}	2			μs	
データセットアップ時間	t_{DS}	2			μs	
アドレスホールド時間	t_{AH}	0			μs	
データホールド時間	t_{DH}	2			μs	
データ出力ディスエーブル時間	t_{DF}^{*2}			130	ns	
V_{PP} セットアップ時間	t_{VPS}	2			μs	
イニシャルプログラミング中の \overline{PGM} パルス幅	t_{PW}	0.19	0.2	0.21	ms	
オーバプログラミング中の \overline{PGM} パルス幅	t_{OPW}^{*3}	0.19		5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2			μs	
\overline{CE} セットアップ時間	t_{CES}	2			μs	
データ出力遅延時間	t_{OE}	0		150	ns	

【注】 *1 入力パルスレベル：0.45V ~ 2.4V

入力立ち上がり、立ち下がり時間 20ns

入力タイミング参照レベル：0.8V、2.0V

出力タイミング参照レベル：0.8V、2.0V

*2 t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。

*3 t_{OPW} はフローチャートに記載した値で定義されます。

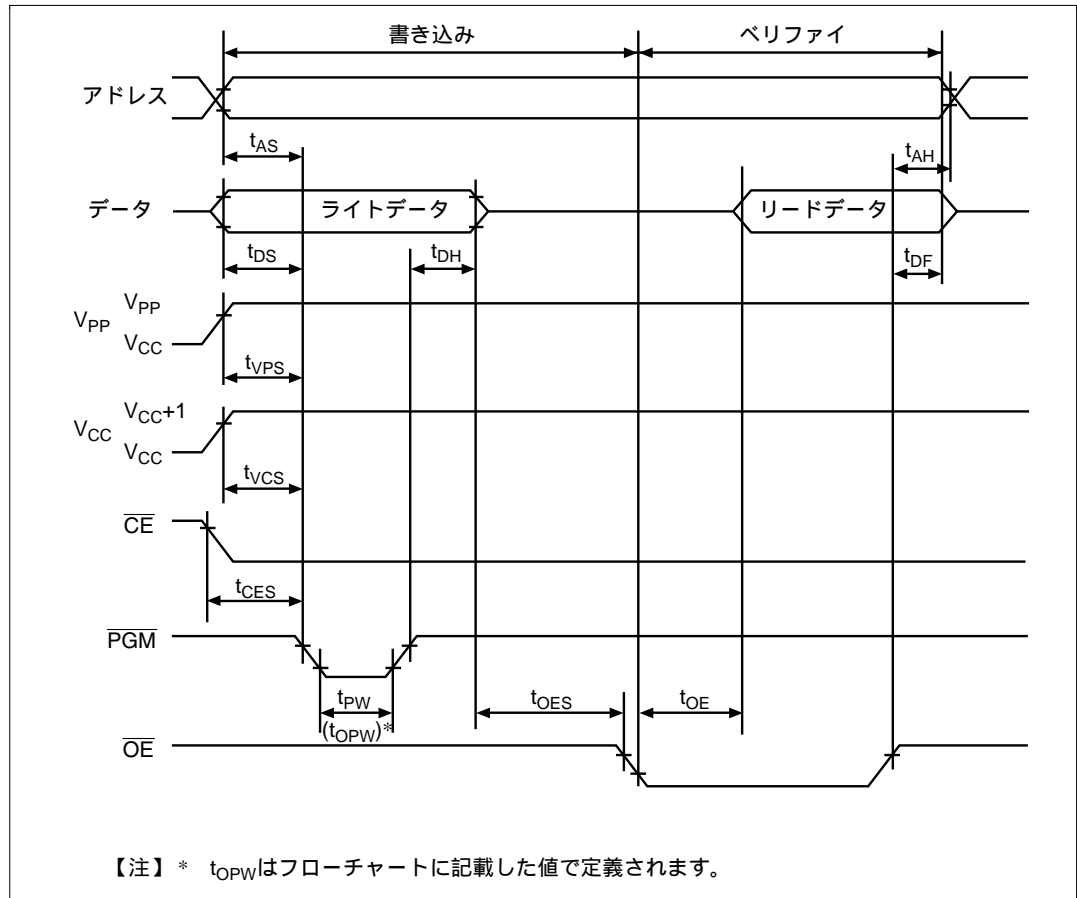


図 21.7 書き込み / ベリファイタイミング

21.3.3 書き込み時の注意

- (1) 書き込みは、必ず定められた電圧、タイミングで行ってください。書き込み電圧（プログラミング電圧） V_{pp} は、12.5Vです。（EPROMライタをHN27C101のルネサス仕様にセットすると、 V_{pp} は、12.5Vになります。）定格以上の電圧を加えると、デバイスが壊れることがあります。特に、EPROMライタのオーバシュートなどには十分注意してください。
- (2) プログラミング前に、EPROMライタのソケット、ソケットアダプタ、デバイスそれぞれのインデックスが一致していることを、必ず確認してください。正しい位置に装着されていないと、過剰電流が発生してデバイスが壊れることがあります。
- (3) 書き込み中には、ソケットアダプタおよびデバイスに触れないでください。接触不良によって、データを正しく書き込めなくなることがあります。
- (4) ページプログラミングモードでの書き込みはできません。必ず、バイトプログラミングモードに設定してください。

- (5) 連続したアドレスで書き込み不良が発生した場合、書き込みを中止してください。この場合には、EPROMライターやソケットアダプタに異常がないかどうか調べてください。特に、電源系のインピーダンスが高いEPROMライターを使用する場合は、書き込みおよびベリファイできない場合があります。
- (6) 本LSIをサポートしているソケットアダプタに適合したEEPROMライターを使用してください。

21.3.4 書き込み後の信頼性

プログラミング後、データ保持特性を向上させるために、デバイスを高温放置することをお勧めします。高温放置はスクリーニング方法の1つであり、内蔵PROMのメモリセルの初期のデータ保持不良を短時間で取り除くことができます。図21.8に、スクリーニングを含む内蔵PROMのプログラミングからデバイスのボードへの実装までのフローを示します。

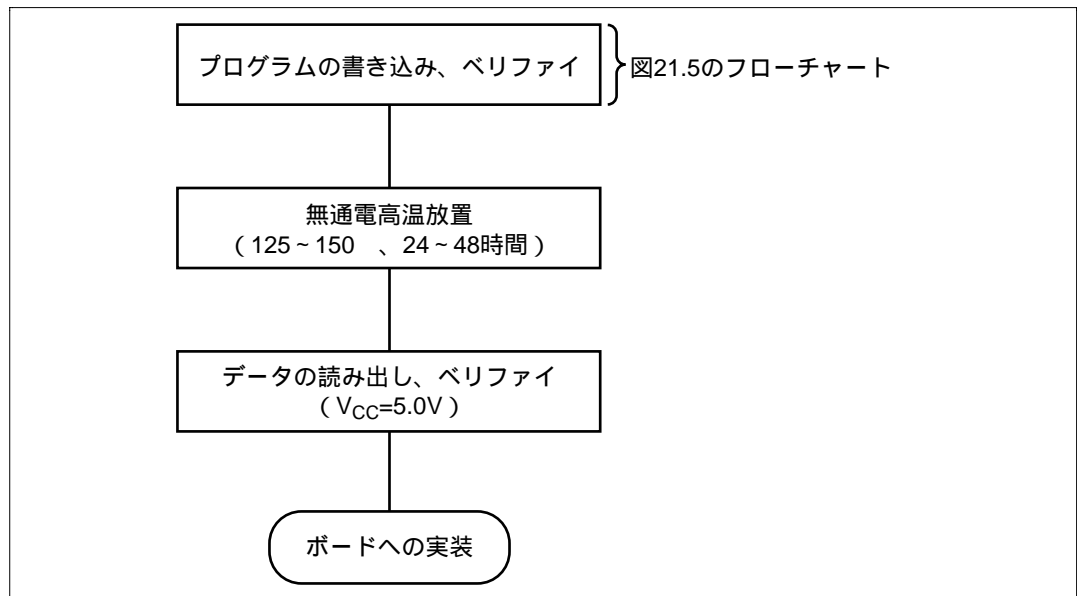


図 21.8 スクリーニングフロー

プログラムの書き込み/ベリファイあるいは高温放置後のプログラムの読み出し確認において異状がありましたら、当社の技術担当にご連絡ください。

22. 256kB フラッシュメモリ (F-ZTAT)

第 22 章 目次

22.1	特長	713
22.2	概要	714
22.2.1	ブロック図	714
22.2.2	モード遷移図	715
22.2.3	オンボードプログラムモード	716
22.2.4	RAM によるフラッシュメモリのエミュレーション	718
22.2.5	ブートモードとユーザプログラムモードの相違	719
22.2.6	ブロック分割法	719
22.3	端子構成	720
22.4	レジスタ構成	720
22.5	レジスタの説明	721
22.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	721
22.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	724
22.5.3	ブロック指定レジスタ 1 (EBR1)	727
22.5.4	ブロック指定レジスタ 2 (EBR2)	728
22.5.5	RAM エミュレーションレジスタ (RAMER)	729
22.6	オンボードプログラミングモード	731
22.6.1	ブートモード	732
22.6.2	ユーザプログラムモード	736
22.7	フラッシュメモリの書き込み / 消去	737
22.7.1	プログラムモード (対象アドレス H'00000 ~ H'1FFFF のとき、 n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	737
22.7.2	プログラムベリファイモード (対象アドレス H'00000 ~ H'1FFFF のとき、 n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	738
22.7.3	イレースモード (対象アドレス H'00000 ~ H'1FFFF のとき、	

	n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	744
22.7.4	イレースベリファイモード (対象アドレス H'00000 ~ H'1FFFF のとき、 n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	745
22.8	プロテクト	751
22.8.1	ハードウェアプロテクト	751
22.8.2	ソフトウェアプロテクト	752
22.8.3	エラープロテクト	753
22.9	RAM によるフラッシュメモリのエミュレーション	754
22.10	フラッシュメモリの書き込み / 消去時の注意	756
22.11	フラッシュメモリのライターモード	756
22.11.1	ソケットアダプタの端子対応図	757
22.11.2	ライターモードの動作	760
22.11.3	メモリ読み出しモード	761
22.11.4	自動書き込みモード	765
22.11.5	自動消去モード	767
22.11.6	ステータス読み出しモード	769
22.11.7	ステータスポーリング	770
22.11.8	ライターモードへの遷移時間	770
22.11.9	メモリ書き込み注意事項	771

22.1 特長

本 LSI は 256kB のフラッシュメモリを内蔵している製品があります。フラッシュメモリの特長を以下に示します。

フラッシュメモリの 4 種類の動作モード

- ・プログラムモード
- ・イレースモード
- ・プログラムベリファイモード
- ・イレースベリファイモード

書き込み / 消去方式

書き込みは 32 バイト同時書き込みを行います。消去はブロック分割消去 (1 ブロック単位) で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では 1kB、28kB、32kB のブロック単位で任意に設定することができます。

書き込み / 消去時間

フラッシュメモリの書き込み時間は、32 バイト同時書き込みにて 10ms (typ.)、1 バイト当たり換算にて 300 μ s (typ.)、消去時間は、1 ブロック当たり 100ms (typ.) です。

書き換え回数

フラッシュメモリの書き換えは、100 回まで可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う 2 種類のモードがあります。

- ・ブートモード
- ・ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本 LSI のビットレートとを自動で合わせることができます。

RAM によるフラッシュメモリのエミュレーション機能

フラッシュメモリと RAM の一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

プロテクトモード

ソフトウェアプロテクトモードとハードウェアプロテクトモードの 2 種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。

ライタモード

フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラムモード以外に PROM ライタを用いたライタモードがあります。

22.2 概要

22.2.1 ブロック図

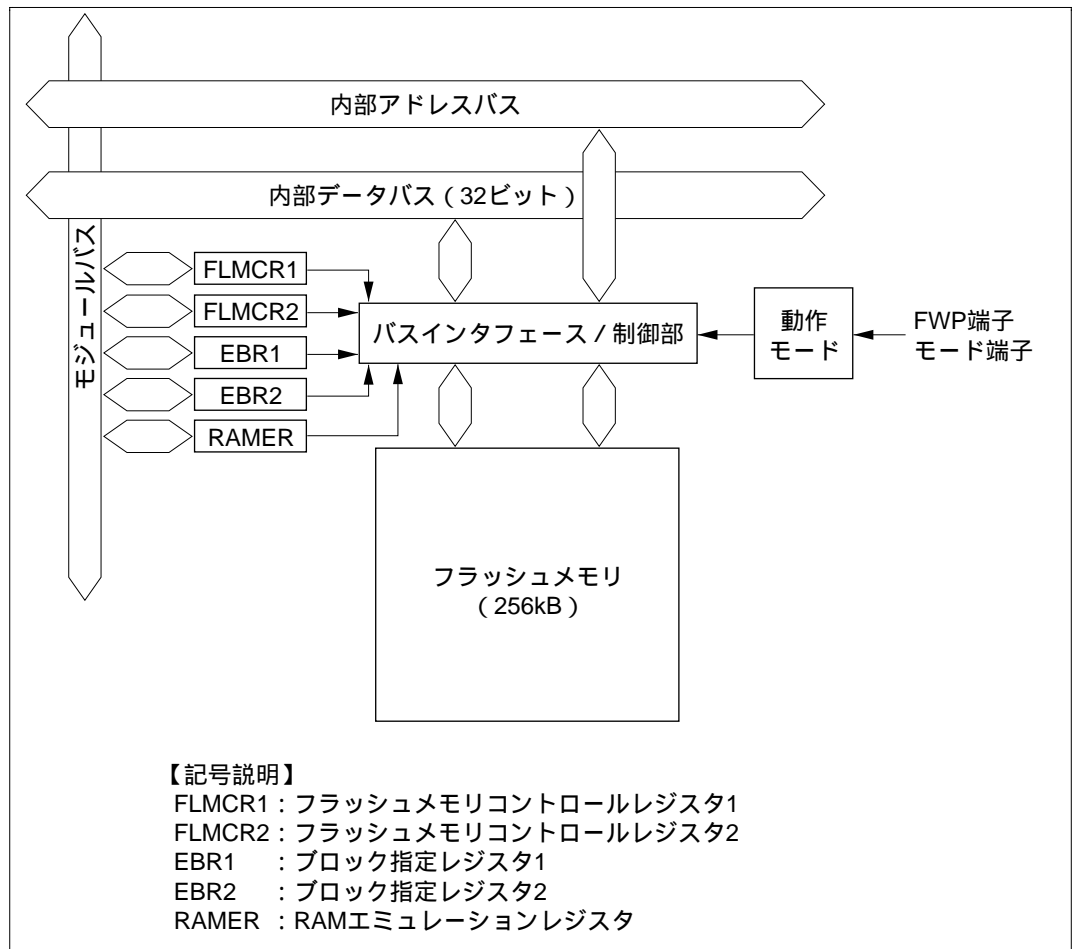


図 22.1 フラッシュメモリのブロック図

22.2.2 モード遷移図

リセット状態で各モード端子と FWP 端子を設定し、リセットスタートすると、マイコンは図 22.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。

フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

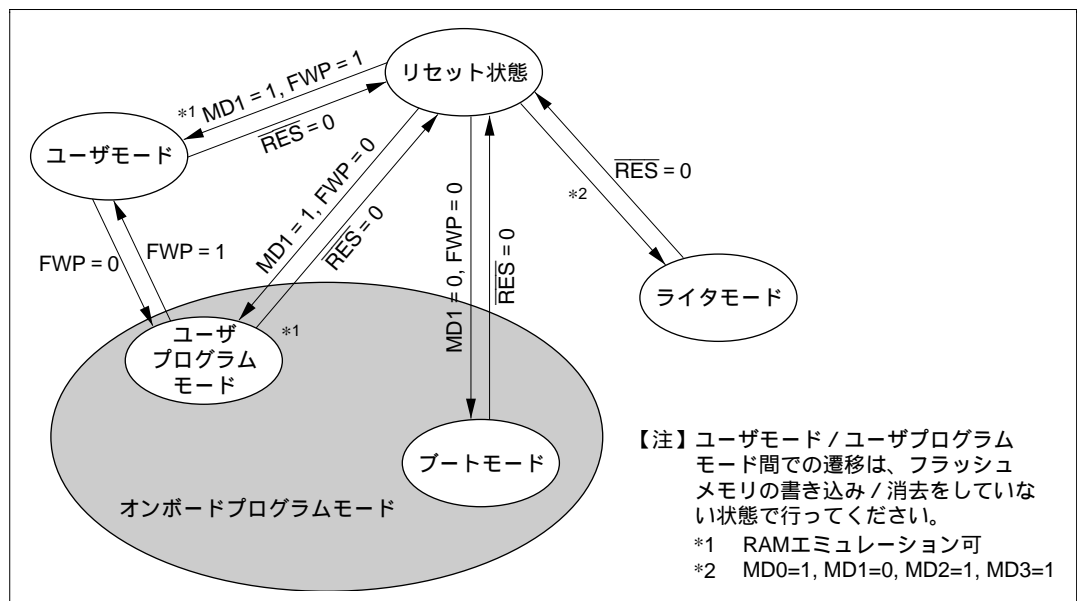
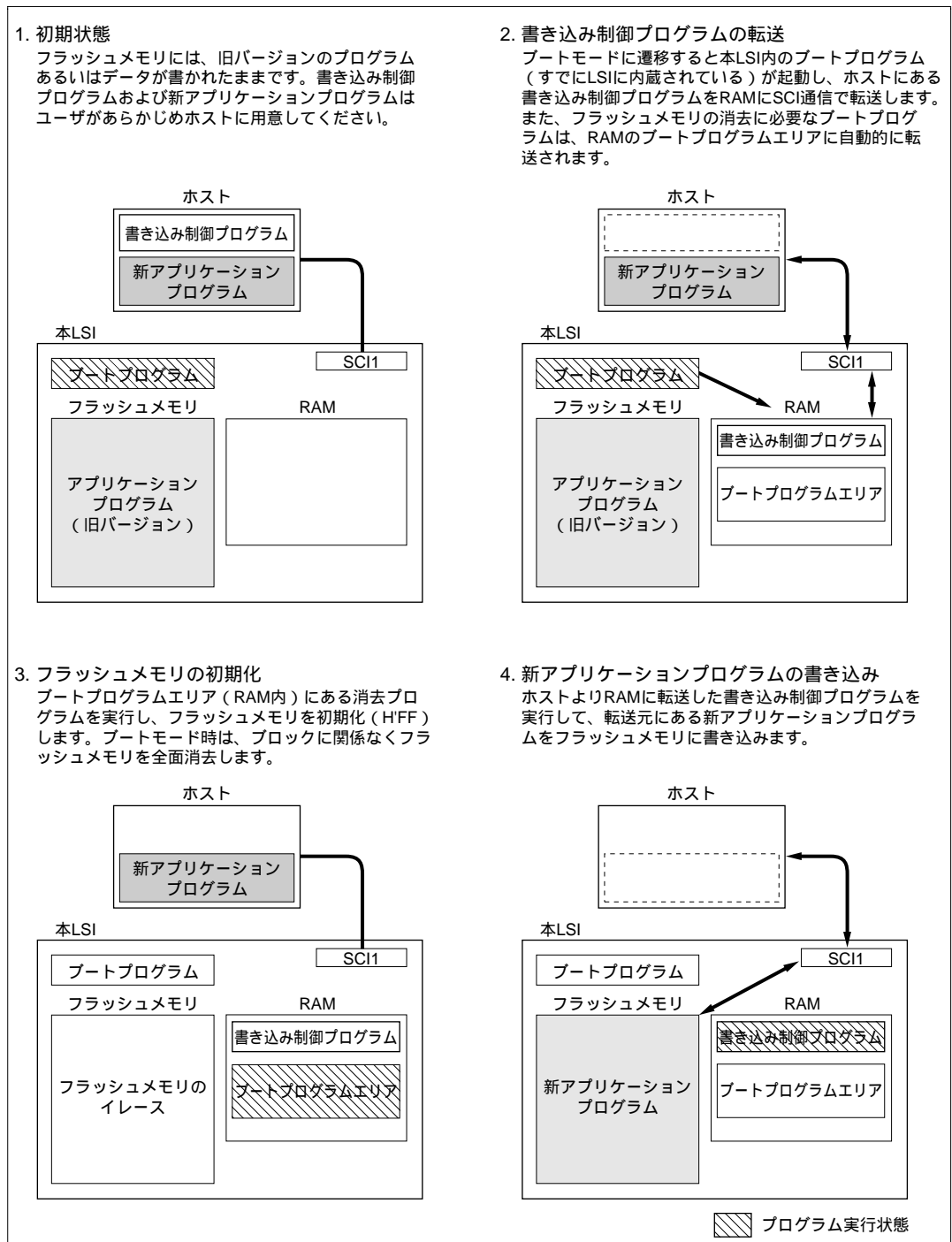


図 22.2 フラッシュメモリに関する状態遷移

22.2.3 オンボードプログラムモード

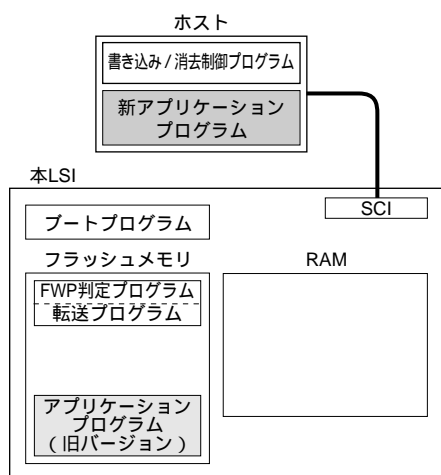
(1) ブートモード



(2) ユーザプログラムモード

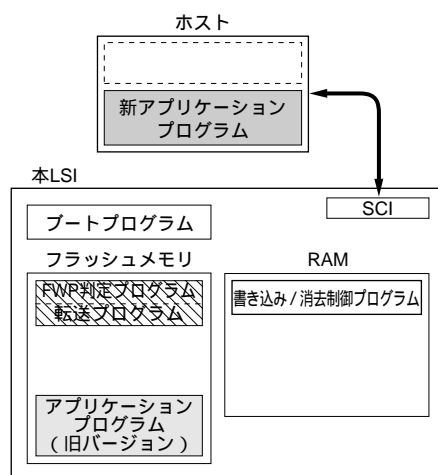
1. 初期状態

(1) ユーザプログラムモードに遷移したことを確認するFWP判定プログラム、(2)フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3)書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



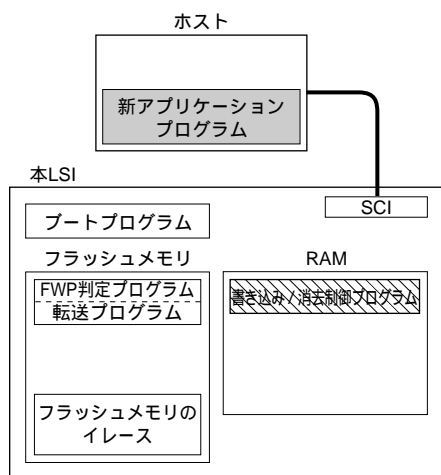
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに遷移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



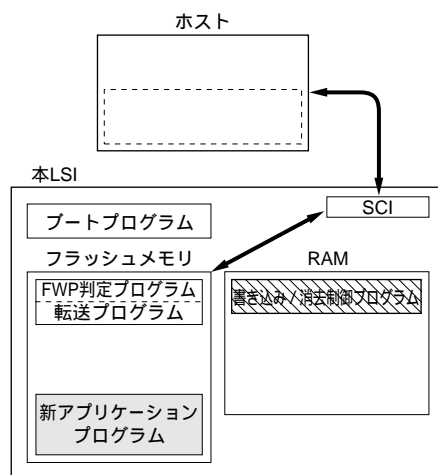
3. フラッシュメモリの初期化


RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (HFF) します。消去は、ブロック単位で行います。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次に転送元にある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



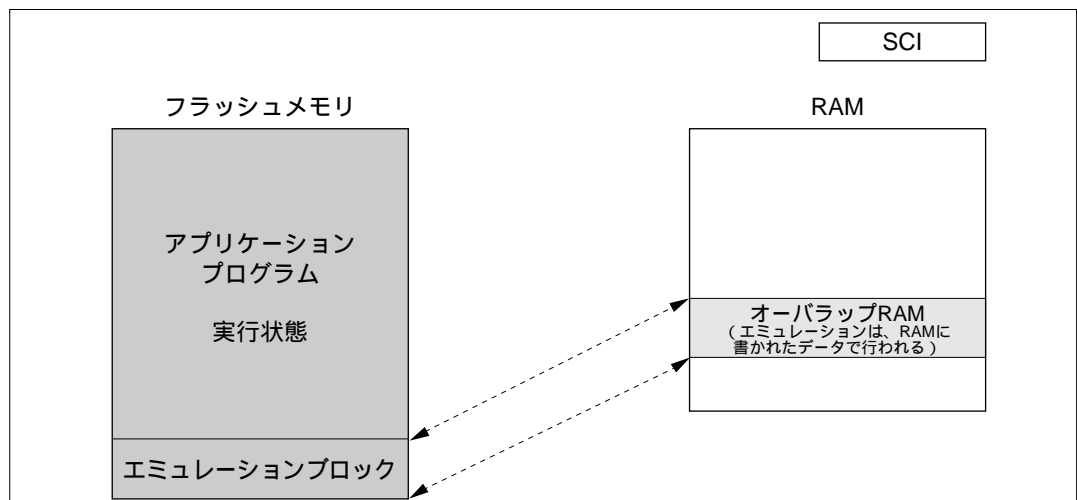
 プログラム実行状態

22.2.4 RAM によるフラッシュメモリのエミュレーション

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

<ユーザモード>

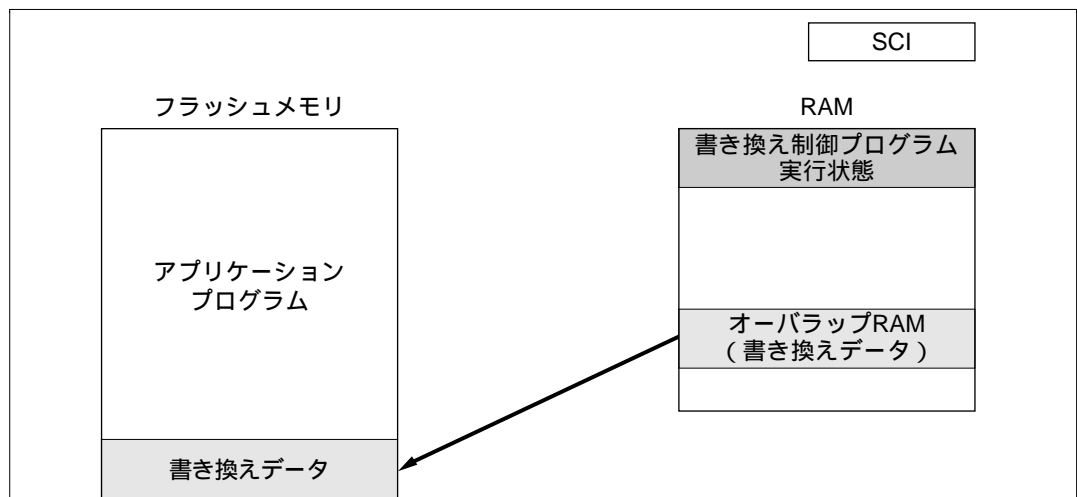
<ユーザプログラムモード>



オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

<ユーザプログラムモード>



22.2.5 ブートモードとユーザプログラムモードの相違

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	(2)	(1) (2) (3)

(1) イレース/イレースベリファイ

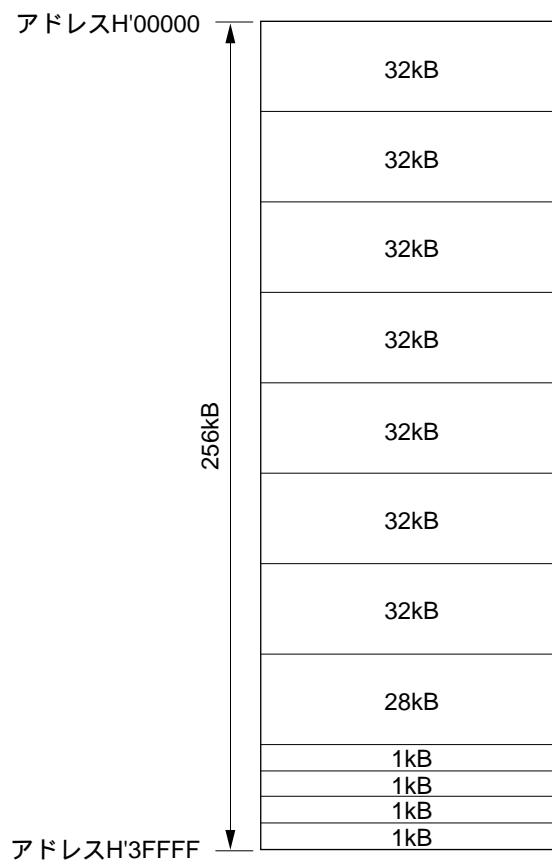
(2) プログラム/プログラムベリファイ

(3) エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

22.2.6 ブロック分割法

32kB (7ブロック)、28kB (1ブロック)、1kB (4ブロック) に分割されています。



22.3 端子構成

フラッシュメモリは表 22.1 に示す端子により制御されます。

表 22.1 端子構成

端子名	略称	入出力	機能
パワーオンリセット	RES	入力	パワーオンリセット
フラッシュライトプロテクト	FWP	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 3	MD3	入力	本 LSI の動作モードを設定
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

22.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 22.2 に示します。

表 22.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
フラッシュメモリコントロールレジスタ 1	FLMCR1	R/W* ¹	H'00* ²	H'FFFF8580	8
フラッシュメモリコントロールレジスタ 2	FLMCR2	R/W* ¹	H'00* ³	H'FFFF8581	8
ブロック指定レジスタ 1	EBR1	R/W* ¹	H'00* ³	H'FFFF8582	8
ブロック指定レジスタ 2	EBR2	R/W* ¹	H'00* ³	H'FFFF8583	8
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFF8628	8、16、32

- 【注】
1. FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビット、RAMER は 16 ビットのレジスタです。
 2. FLMCR1、FLMCR2、EBR1、EBR2 はバイトアクセスのみ有効で、3 サイクルとなります。RAMER はバイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。
 3. RAMER にロングワードで書き込み動作を行う場合、下位ワード (H'FFFF8630 番地) には常に 0 を書き込んでください。0 以外の値を書き込んだ場合、動作の保証はできません。
- *1 内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出され、書き込みも無効となります。また、FLMCR1 の FWE ビットがセット (FWE = 1) されていないときも書き込みは無効です。
- *2 FWP 端子にローレベルが入力されているときの初期値は H'80 です。
- *3 FWP 端子にハイレベルが入力されているとき、あるいはローレベルが入力されていても FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。

22.5 レジスタの説明

22.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'00000 ~ H'1FFFF に対してプログラムベリファイモード/イレースベリファイモードに遷移させるには、FWE=1 時に SWE=1 をセット後、EV1 ビットまたは PV1 ビットをセットします。アドレス H'00000 ~ H'1FFFF に対して、プログラムモードへ遷移させるには、FWE=1 時に、SWE=1 をセット後、PSU1 ビットをセットし、最後に P1 ビットをセットします。アドレス H'00000 ~ H'1FFFF に対してイレースモードへ遷移するには、FWE=1 時に、SWE=1 をセット後、ESU1 ビットをセットし、最後に E1 ビットをセットします。FLMCR1 は、パワーオンリセット、スタンバイモードで初期化されます。FWP 端子にローレベルが入力されているときの初期値は H'80 です。ハイレベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、SWE、ESU1、PSU1、EV1、PV1 ビットへの書き込みは FWE=1、SWE=1 のとき、E1 ビットへの書き込みは FWE=1、SWE=1、ESU1=1 のとき、P1 ビットへの書き込みは FWE=1、SWE=1、PSU1=1 のときのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE	ESU1	PSU1	EV1	PV1	E1	P1
初期値 :	1/0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み/消去をハードウェアプロテクトする FWP 端子の状態を表示するビットです。

ビット 7	説明
FWE	
0	FWP 端子にハイレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWP 端子にローレベルが入力されているとき

ビット6：ソフトウェアライトイネーブルビット (SWE)

フラッシュメモリの有効または無効を選択するビットです (ビット5~0、FLMCR2の5~0ビット、EBR1の3~0ビット、EBR2の7~0ビットをセットするときにセットしてください)。

ビット6	説明
SWE	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE = 1 のとき

ビット5：イレースセットアップビット1 (ESU1)

イレースモードへの遷移の準備をするビットです (対象アドレス：H'00000 ~ H'1FFFF) (SWE、PSU1、EV1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット5	説明
ESU1	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット4：プログラムセットアップビット1 (PSU1)

プログラムモードへの遷移の準備をするビットです (対象アドレス：H'00000 ~ H'1FFFF) (SWE、ESU1、EV1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット4	説明
PSU1	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット3：イレースベリファイ1 (EV1)

イレースベリファイモードへの遷移、解除を選択するビットです（対象アドレス：H'00000～H'1FFFF）（SWE、ESU1、PSU1、PV1、E1、P1 ビットを同時に設定しないでください）。

ビット3	説明
EV1	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット2：プログラムベリファイ1 (PV1)

プログラムベリファイモードへの遷移、解除を選択するビットです（対象アドレス：H'00000～H'1FFFF）（SWE、ESU1、PSU1、EV1、E1、P1 ビットを同時に設定しないでください）。

ビット2	説明
PV1	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット1：イレース1 (E1)

イレースモードへの遷移、解除を選択するビットです（対象アドレス：H'00000～H'1FFFF）（SWE、ESU1、PSU1、EV1、PV1、P1 ビットを同時に設定しないでください）。

ビット1	説明
E1	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU1 = 1 のとき

ビット0 : プログラム1 (P1)

プログラムモードへの遷移、解除を選択するビットです (対象アドレス : H'00000 ~ H'1FFFF) (SWE、ESU1、PSU1、EV1、PV1、E1 ビットを同時に設定しないでください)。

ビット0	説明
P1	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1、PSU1 = 1 のとき

22.5.2 フラッシュメモリコントロールレジスタ2 (FLMCR2)

FLMCR2 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'20000 ~ H'3FFFF に対してプログラムベリファイモード / イレースベリファイモードに遷移させるには、FWE (FLMCR1) = 1 時に SWE (FLMCR1) = 1 をセット後、EV2、PV2 をセットします。アドレス H'20000 ~ H'3FFFF に対してプログラムモードへ遷移させるには、FWE (FLMCR1) = 1 時に、SWE (FLMCR1) = 1 をセット後、PSU2 ビットをセットし、最後に P2 ビットをセットします。アドレス H'20000 ~ H'3FFFF に対してイレースモードへ遷移させるには、FWE (FLMCR1) = 1 時に、SWE (FLMCR1) = 1 をセット後、ESU2 ビットをセットし、最後に E2 ビットをセットします。FLMCR2 は、パワーオンリセット、スタンバイモード、FWP 端子にハイレベルが入力されているとき、および FWP 端子にローレベルが入力されていても FLMCR1 の SWE が設定されていないときは H'00 に初期化されます (ただし、FLER はパワーオンリセットでのみ初期化されます)。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR2 の ESU2、PSU2、EV2、PV2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE (FLMCR1) = 1 のとき、E2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE (FLMCR1) = 1、ESU2 = 1 のとき、P2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE (FLMCR1) = 1、PSU2 = 1 のときのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	FLER	-	ESU2	PSU2	EV2	PV2	E2	P2
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット7：フラッシュメモリエラー (FLER)

フラッシュメモリへ動作中(書き込み、消去)にエラーが発生したことを示すビットです。FLER=1に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。(初期値) フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が無効
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が有効 [セット条件]「22.8.3 エラープロテクト」参照

ビット6：予約ビット

読み出すと常に0が読み出されます。

ビット5：イレースセットアップビット2 (ESU2)

イレースモードへの遷移の準備をするビットです(対象アドレス：H'20000～H'3FFFF)(PSU2、EV2、PV2、E2、P2ビットを同時に設定しないでください)。

ビット5	説明
ESU2	
0	イレースセットアップ解除(初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット4：プログラムセットアップビット2 (PSU2)

プログラムモードへの遷移の準備をするビットです(対象アドレス：H'20000～H'3FFFF)(ESU2、EV2、PV2、E2、P2ビットを同時に設定しないでください)。

ビット4	説明
PSU2	
0	プログラムセットアップ解除(初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット3：イレースベリファイ2 (EV2)

イレースベリファイモードへの遷移、解除を選択するビットです (対象アドレス：H'20000 ~ H'3FFFF) (ESU2、PSU2、PV2、E2、P2 ビットを同時に設定しないでください)。

ビット3	説明
EV2	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット2：プログラムベリファイ2 (PV2)

プログラムベリファイモードへの遷移、解除を選択するビットです (対象アドレス：H'20000 ~ H'3FFFF) (ESU2、PSU2、EV2、E2、P2 ビットを同時に設定しないでください)。

ビット2	説明
PV2	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット1：イレース2 (E2)

イレースモードへの遷移、解除を選択するビットです (対象アドレス：H'20000 ~ H'3FFFF) (ESU2、PSU2、EV2、PV2、P2 ビットを同時に設定しないでください)。

ビット1	説明
E2	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU = 1 のとき

ビット0 : プログラム2 (P2)

プログラムモードへの遷移、解除を選択するビットです (対象アドレス : H'20000 ~ H'3FFFF) (ESU、PSU2、EV2、PV2、E2 ビットを同時に設定しないでください)。

ビット0	説明
P2	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU = 1 のとき

22.5.3 ブロック指定レジスタ1 (EBR1)

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR1 は、パワーオンリセット、スタンバイモードおよび FWP 端子にハイレベルが入力されているとき、および FWP 端子にローレベルが入力されていても FLMCR1 の SWE が設定されていないときは H'00 に初期化されます。EBR1 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1 は EBR2 と合わせて 1 ビットのみ設定してください (2 ビット以上を設定しないでください)。2 ビット以上を設定した場合は、ESU1、ESU2、E1、E2 ビットへの書き込みは無効となります。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 22.3 を参照してください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

22.5.4 ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2は、パワーオンリセット、スタンバイモード、FWP 端子にハイレベルが入力されているとき、および FWP 端子にローレベルが入力されていても FLMCR1 の SWE が設定されていないときは H'00 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 22.3 を参照してください。

ビット :	7	6	5	4	3	2	1	0
	EB11	EB10	EB9	EB8	EB7	EB6	EB5	EB4
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.3 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (32kB)	H'000000 ~ H'007FFF
EB1 (32kB)	H'008000 ~ H'00FFFF
EB2 (32kB)	H'010000 ~ H'017FFF
EB3 (32kB)	H'018000 ~ H'01FFFF
EB4 (32kB)	H'020000 ~ H'027FFF
EB5 (32kB)	H'028000 ~ H'02FFFF
EB6 (32kB)	H'030000 ~ H'037FFF
EB7 (28kB)	H'038000 ~ H'03EFFF
EB8 (1kB)	H'03F000 ~ H'03F3FF
EB9 (1kB)	H'03F400 ~ H'03F7FF
EB10 (1kB)	H'03F800 ~ H'03FBFF
EB11 (1kB)	H'03FC00 ~ H'03FFFF

22.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。パワーオンリセットのときにH'0000に初期化されます。スタンバイモード時には、初期化されません。RAMERの設定は、ユーザモード、ユーザプログラムモードで行ってください。

フラッシュメモリエリアの分割法は、表 22.4 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後にRAMエミュレーションの対象ROMをアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット :	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	RAMS	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット 15～3 : 予約ビット

読み出すと常に0が読み出されます。

ビット 2 : RAM セレクト (RAMS)

RAMによるフラッシュメモリのエミュレーション選択/非選択を設定するビットです。RAMS=1のときは、フラッシュメモリ全ブロックの書き込み/消去プロテクト状態となります。

本ビットは、内蔵ROMが無効なモードでは無視されます。

ビット 2	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み/消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み/消去プロテクト有効

ビット1、0：フラッシュメモリエリア選択 (RAM1、RAM0)

ビット2と共に使用し、RAMと重ね合わせるフラッシュメモリエリアを選択します。
(表 22.4 参照)

表 22.4 フラッシュメモリエリアの分割

アドレス	ブロック名	RAMS	RAM1	RAM0
H'FFF800 ~ H'FFFBFF	RAM エリア 1kB	0	*	*
H'03F000 ~ H'03F3FF	EB8 (1kB)	1	0	0
H'03F400 ~ H'03F7FF	EB9 (1kB)	1	0	1
H'03F800 ~ H'03FBFF	EB10 (1kB)	1	1	0
H'03FC00 ~ H'03FFFF	EB11 (1kB)	1	1	1

22.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定し、パワーオンリセットスタートすると、内蔵フラッシュメモリへの書き込み / 消去 / ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 22.5 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 22.2 を参照してください。

表 22.5 オンボードプログラミングモードの設定方法

モード名		PLL 逡倍比	FWP	MD3	MD2	MD1	MD0
ブートモード	拡張モード	×1	0	0	0	0	0
	シングルチップモード			0	0	0	1
	拡張モード	×2		0	1	0	0
	シングルチップモード			0	1	0	1
	拡張モード	×4		1	0	0	0
	シングルチップモード			1	0	0	1
ユーザプログラムモード	拡張モード	×1	0	0	0	1	0
	シングルチップモード			0	0	1	1
	拡張モード	×2		0	1	1	0
	シングルチップモード			0	1	1	1
	拡張モード	×4		1	0	1	0
	シングルチップモード			1	0	1	1

22.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネルは調歩同期式モードに設定されています。

パワーオンリセット状態で本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意したユーザプログラムを SCI のチャンネル 1 を使って本 LSI へ順次送信します。本 LSI では、SCI のチャンネル 1 で受信したユーザプログラムを内蔵 RAM のユーザプログラムエリアに書き込みます。転送終了後ユーザプログラムエリアの先頭アドレスに分岐し、ユーザプログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送するユーザプログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 22.3 にブートモード時のシステム構成図、図 22.4 にブートプログラムモード実行手順を示します。

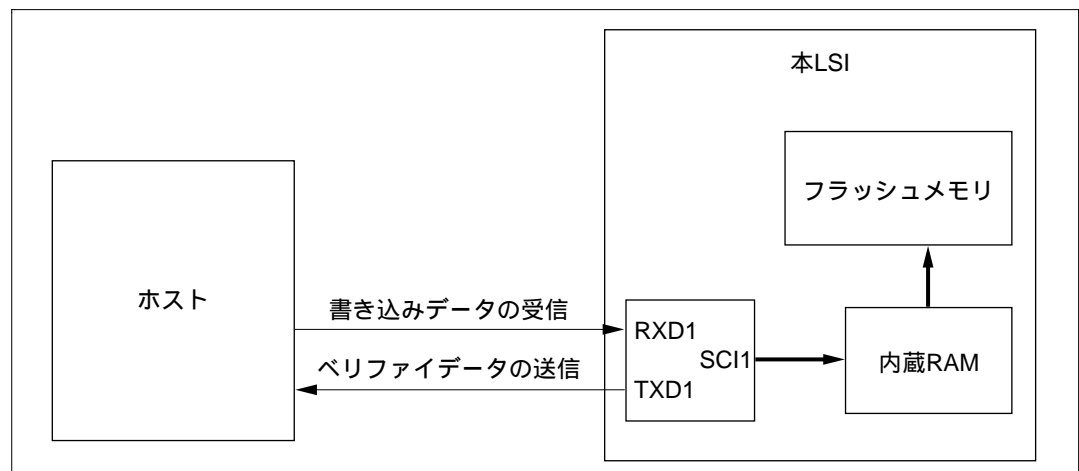


図 22.3 ブートモード時のシステム構成図

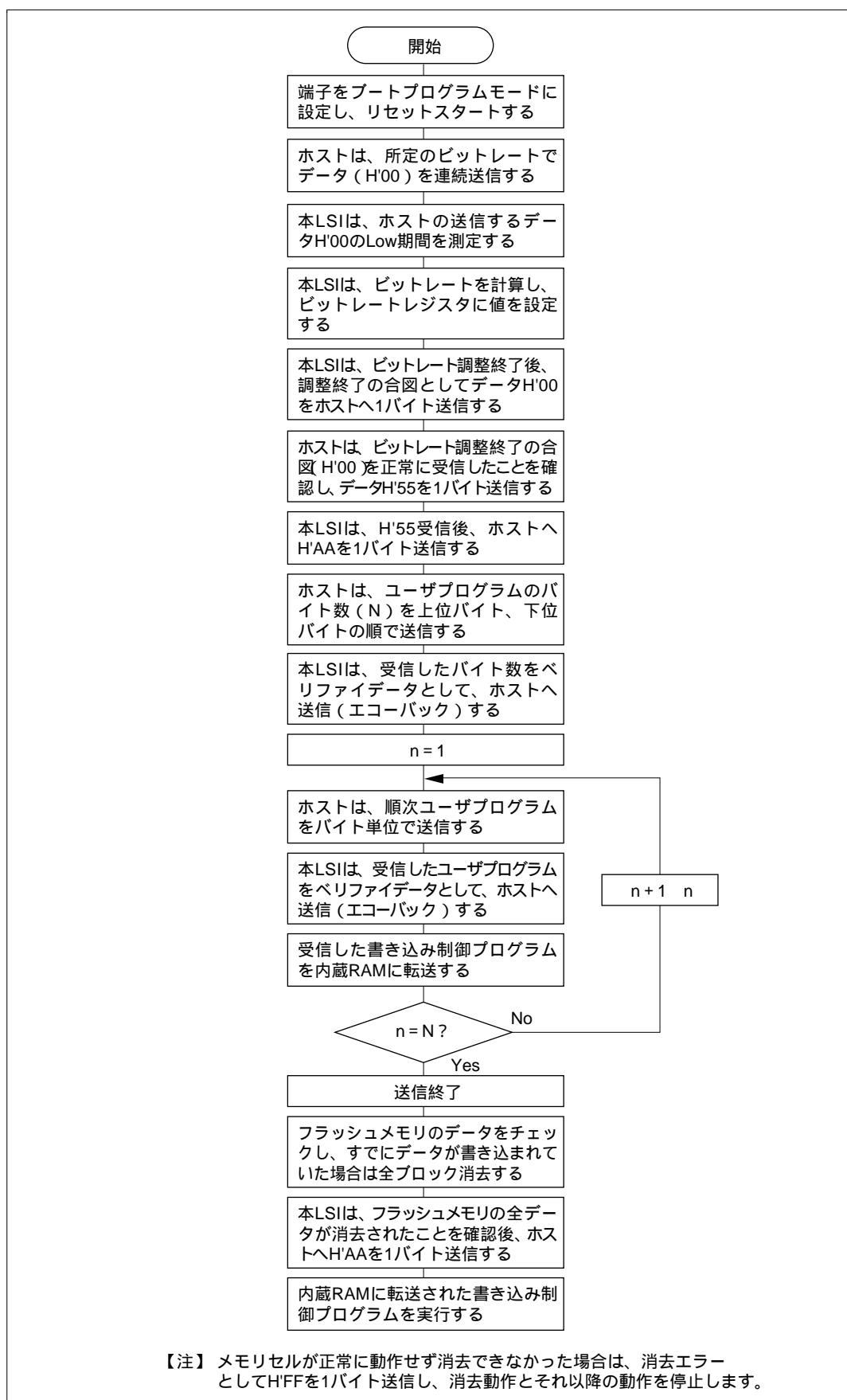
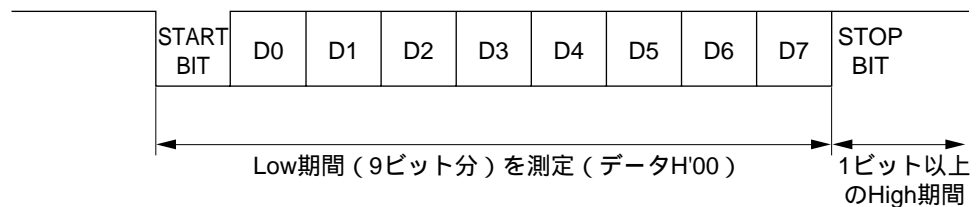


図 22.4 ブートモード実行手順

SCI ビットレートの自動合わせ込み動作



ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (パワーオンリセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 9600bps、4800bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 22.6 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 22.6 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9600bps	8 ~ 28.7MHz
4800bps	4 ~ 20MHz

ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 22.5 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

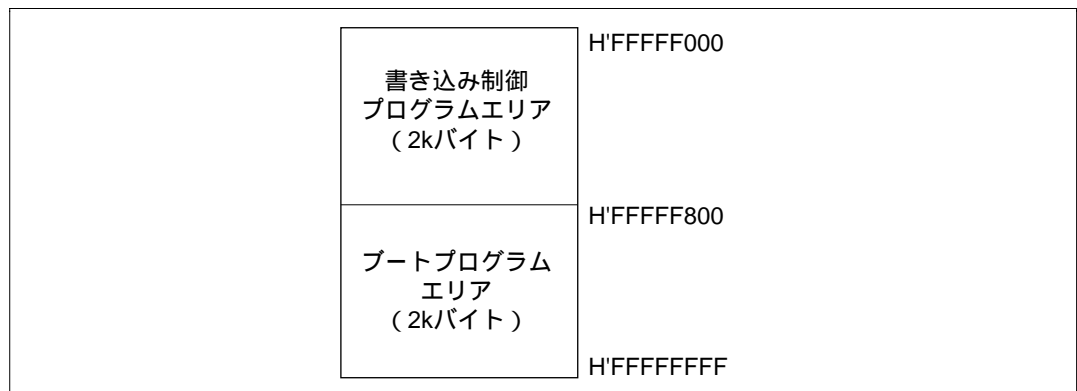


図 22.5 ブートモード時の RAM エリア

- 【注】** RAM 内に転送した書き込み制御プログラム実行状態に遷移するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに分岐後も RAM 内の本エリアにはブートプログラムがそのまま保持されていますので、注意してください。

22.6.2 ユーザプログラムモード

FWP 端子を設定後、あらかじめユーザが用意した、書き込み / 消去制御プログラムに分岐し、実行してください。

フラッシュメモリへの書き込み / 消去を行っている間は、フラッシュメモリ自身を読み出すことはできませんので、書き込み / 消去を行う制御プログラムは内蔵 RAM / 外部メモリ上で実行するようにしてください。

フラッシュメモリに書き込む書き換え制御用プログラム (RAM に転送する場合) は、以下の手順を実行するようにしてください (図 22.6)。

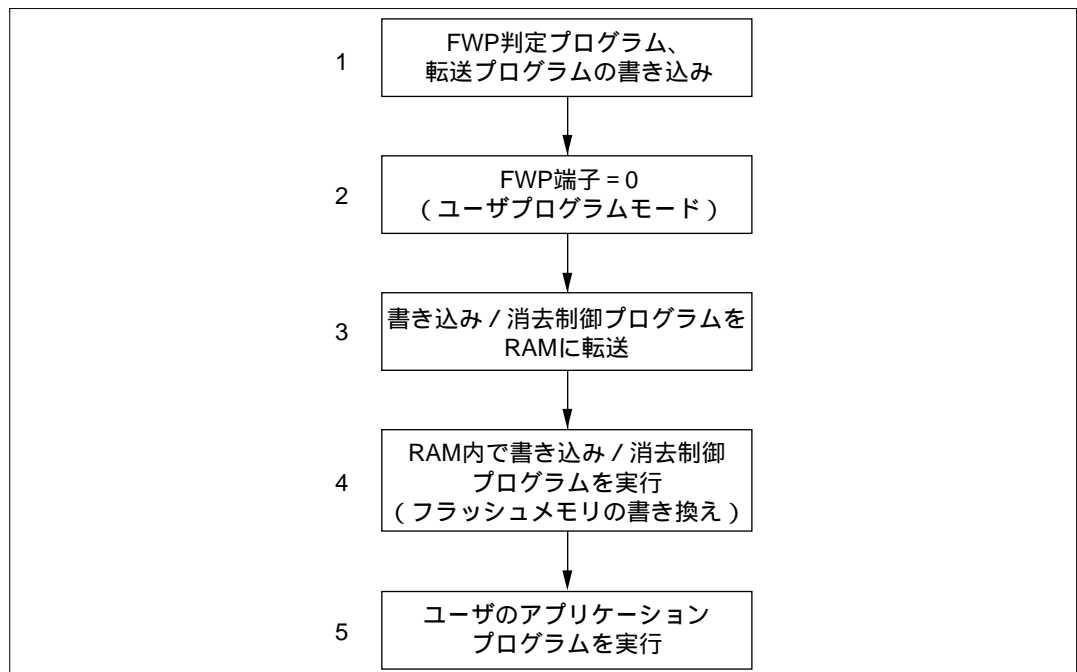


図 22.6 ユーザプログラムモードの実行手順

- 【注】 1 書き込み / 消去時は、ウォッチドッグタイマを起動し、プログラム暴走などに対応できるようにしてください。プログラム暴走などによって過剰書き込み / 過剰消去になるとメモリセルが正常に動作しないことがあります。
- 2 マスク ROM 版と ZTAT 版では、フラッシュメモリ用のレジスタのあるアドレスを読むと、値は不定になります。フラッシュメモリ版のプログラムをマスク ROM 版、または ZTAT 版で使用する場合、FWP 端子状態の判定はできません。フラッシュメモリの書き換えプログラムを動作させないように変更してください。

22.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。アドレス H'00000 ~ H'1FFFF に対しては、FLMCR1 の PSU1 ビット、ESU1 ビット、P1 ビット、E1 ビット、PV1 ビット、EV1 ビットをセットすることにより各動作モードに遷移し、アドレス H'20000 ~ H'3FFFF に対しては、FLMCR2 の PSU2 ビット、ESU2 ビット、P2 ビット、E2 ビット、PV2 ビット、EV2 ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム (ユーザプログラム) は、内蔵 RAM あるいは外部メモリ上に置き、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE、ESU1、PSU1、EV1、PV1、E1、P1 ビット、FLMCR2 の ESU2、PSU2、EV2、PV2、E2、P2 ビットのセット / クリアがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWP 端子をローレベルにしてください (FWP 端子がハイレベルのときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。
 4. アドレス H'00000 ~ H'1FFFF と H'20000 ~ H'3FFFF は同時に書き込まないでください。同時に書き込んだ場合の動作は保証されません。

22.7.1 プログラムモード (対象アドレス H'00000 ~ H'1FFFF のとき、n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)

フラッシュメモリへのデータ / プログラムの書き込みを行う場合は、図 22.7 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、32 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、10 μ s 以上の時間が経過してから、書き込むアドレス (書き込む先頭アドレスの下位 8 ビットは、H'00、H'20、H'40、H'60、H'80、H'A0、H'C0、H'E0 でなければなりません) に 32 バイトのデータを連続書き込みます (データ転送はバイト単位で 32 回連続して行います)。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。32 バイト以下の書き込みでも 32 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走などにより過剰時間書き込みを行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は $300 \mu\text{s}$ 以上の最小値にしてください。その後、FLMCRn の PSUn ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行い、 $50 \mu\text{s}$ 以上の時間が経過してから、FLMCRn の Pn ビットをセットすることで、動作モードはプログラムモードへ遷移します。Pn ビットがセットされている時間がフラッシュメモリの書き込み時間となります。1 回の書き込み時間は $200 \mu\text{s}$ にしてください。

22.7.2 プログラムベリファイモード(対象アドレス H'00000 ~ H'1FFFF のとき、 $n = 1$ 、対象アドレス H'20000 ~ H'3FFFF のとき、 $n = 2$)

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除 (FLMCRn の Pn ビットを解除後、 $10 \mu\text{s}$ 以上の時間が経過してから PSUn ビットを解除) します。ウォッチドックタイマを $10 \mu\text{s}$ 以上の時間が経過してから解除し、FLMCRn の PVn ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは $4 \mu\text{s}$ 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す (ベリファイデータは 32 ビットで読み出す) と、ラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、 $2 \mu\text{s}$ 以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算 (図 22.7 参照) し、RAM に転送します。32 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、 $4 \mu\text{s}$ 以上の待機時間を置いて、FLMCR1 の SWE ビットを解除してください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム / プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、1000 回を超えないようにしてください。

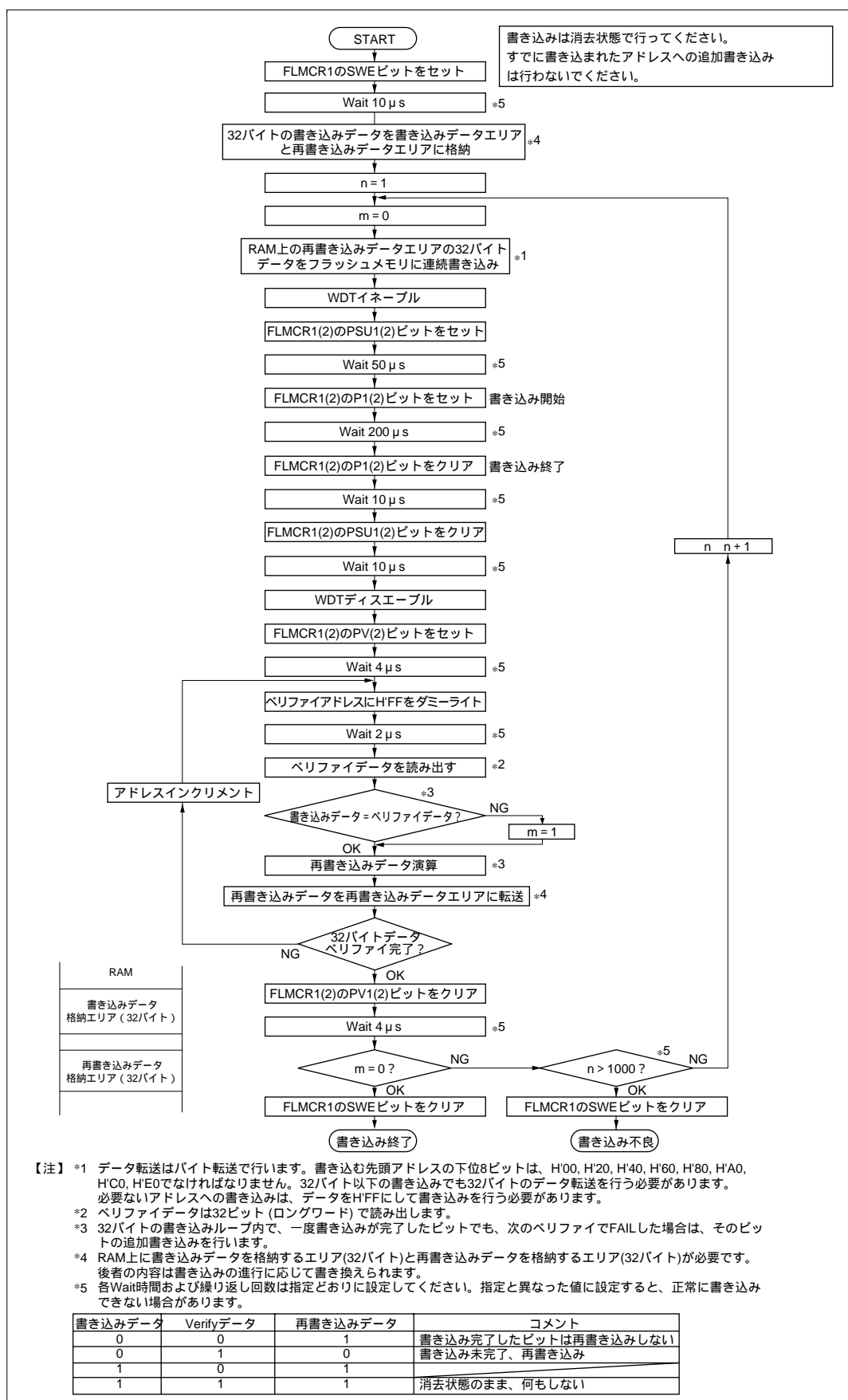


図 22.7 プログラム / プログラムペリファイフロー

32バイト書き込みのプログラム例

ウェイト時間の設定値(ループ回数は、 $f=28.7\text{MHz}$ 時の値です。異なる周波数の場合は、 $\text{ウェイト時間}(\mu\text{s}) \times f(\text{MHz}) \div 4$ で求めてください。

使用レジスタと使用方法

R4 (入力) : 書き込みデータ格納アドレス

R5 (入力) : 書き込み先アドレス

R7 (出力) : OK(正常) or NG(異常)

R0-3, 8-13 : ワーク

```

FLMCR1      .EQU      H'80
FLMCR2      .EQU      H'81
OK           .EQU      H'0
NG           .EQU      H'1
Wait10u     .EQU      72
Wait50u     .EQU      359
Wait4u      .EQU      29
Wait2u      .EQU      14
Wait200u    .EQU      1435
WDT_TCSR    .EQU      H'FFFF8610
WDT_573u    .EQU      H'A579
SWESET      .EQU      B'01000000
PSU1SET     .EQU      B'00010000
P1SET       .EQU      B'00000001
P1CLEAR     .EQU      B'11111110
PSU1CLEAR   .EQU      B'11101111
PVSET       .EQU      B'00000100
PVCLEAR     .EQU      B'11111011
SWECLEAR    .EQU      B'10111111
MAXVerify   .EQU      1000
;
FlashProgram .EQU     $
    MOV     #H'01,R2           ; R2 ワークレジスタ(1)
    MOV.L   #PdataBuff,R0     ; 書き込みデータをワークエリアへ退避
    MOV     R4,R12
    MOV     #8,R13
COPY_LOOP   .EQU     $
    MOV.L   @R12+,R1

```



```

MOV.L  R1,@R0
ADD.L  #4,R0
ADD.L  #-1,R13
CMP/PL R13
BT     COPY_LOOP
MOV.L  #H'FFFF8500,R0      ;GBR を初期化
LDC   R0,GBR
;

MOV.L  #Wait10u,R3
MOV.L  #FLMCR1,R0         ; R0をFLCMR1のアドレスに初期化
OR.B   #SWESET,@(R0,GBR) ; SWE をセット
Wait_1 SUBC  R2,R3         ; 10us ウェイト
BF     Wait_1
;

MOV.L  #H'20000,R9
CMP/GT R5,R9
BT     Program_Start
MOV.L  #FLMCR2,R0
Program_Start .EQU  $
MOV.L  #0,R9              ; n(R9)を0で初期化
;

Program_loop .EQU  $
MOV.L  #0,R10             ; m(R10)を0で初期化
MOV.L  #32,R3             ; 32バイトデータを連続ライト
MOV.L  #PdataBuff,R12
MOV.L  R5,R13
Write_Loop .EQU  $
MOV.B  @R12+,R1
MOV.B  R1,@R13
ADD.L  #1,R13
ADD.L  #-1,R3
CMP/PL R3
BT     Write_Loop
;

MOV.L  #WDT_TCSR,R1      ; WDT イネーブル
MOV.W  #WDT_573u,R3     ; 573.4us 周期
MOV.W  R3,@R1
;

```

```

        MOV.L #Wait50u,R3
        OR.B #PSU1SET,@(R0,GBR) ; PSU をセット
Wait_2  SUBC R2,R3                ; 50us ウェイト
        BF   Wait_2
;
        MOV.L #Wait200u,R3
        OR.B #P1SET,@(R0,GBR)   ; P をセット
Wait_3  SUBC R2,R3                ; 200us ウェイト
        BF   Wait_3
;
        MOV.L #Wait10u,R3
        AND.B #P1CLEAR,@(R0,GBR) ; P をクリア
Wait_4  SUBC R2,R3                ; 10us ウェイト
        BF   Wait_4
;
        MOV.L #Wait10u,R3
        AND.B #PSU1CLEAR,@(R0,GBR) ; PSU をクリア
Wait_5  SUBC R2,R3                ; 10us ウェイト
        BF   Wait_5
;
        MOV.L #WDT_TCSR,R1       ; WDT ディスエーブル
        MOV.W #H'A55F,R3
        MOV.W R3,@R1
;
        MOV.L #Wait4u,R3
        OR.B #PVSET,@(R0,GBR)   ; PV をセット
Wait_6  SUBC R2,R3                ; 4us ウェイト
        BF   Wait_6
;
        MOV.L #PdataBuff,R3
        MOV.L R4,R1
        MOV.L R5,R12
        MOV.L #8,R13
        MOV.L #H'FFFFFFFF,R11
;
VerifyLoop .EQU $
        MOV.L R11,@R12           ; ベリファイアドレスに H'FF をライト
        MOV.L R11,@R3           ; 再書き込みデータ RAM(PdataBuff)の初期化

```

```

        MOV.L #Wait2u,R7
Wait_7  SUBC  R2,R7          ; 2us ウェイト
        BF    Wait_7
;
        MOV.L @R12+,R7
        MOV.L @R1+,R8
        CMP/EQ R7,R8      ; ベリファイ
        BT    Verify_OK
        MOV.L #1,R10      ; ベリファイ NG m<-1
        XOR   R8,R7       ; 書き込みデータ演算
        NOT   R7,R7
        OR    R7,R8
        MOV.L R8,@R3      ; 再書き込みデータRAM(PdataBuff)へ格納
Verify_OK .EQU $
        ADD.L #4,R3
        ADD.L #-1,R13
        CMP/PL R13
        BT    VerifyLoop
;
        MOV.L #Wait4u,R7
        AND.B #PVCLEAR,@(R0,GBR) ; PV をクリア
Wait_8  SUBC  R2,R7          ; 4us ウェイト
        BF    Wait_8
;
        CMP/PL R10      ; if m=0 then GOTO Program_OK
        BF    Program_OK
        ADD   #1,R9
        MOV.L #NG,R7    ; R7<-NG(リターン値)
        MOV.L #MAXVerify,R12 ; if n>=MAXVerify then Program NG
        CMP/EQ R9,R12
        BT    Program_end
        BRA   Program_loop
        NOP
Program_OK .EQU $
        MOV.L #OK,R7    ; R7<-OK(リターン値)
Program_end .EQU $
        MOV.B #H'00,R0
        MOV.B R0,@(FLMCR1,GBR) ; SWE をクリア

```

```

;
        RTS
        NOP
;
        .ALIGN 4
PdataBuff    .RES.B    32

```

22.7.3 イレースモード (対象アドレス H'00000 ~ H'1FFFF のとき、n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)

フラッシュメモリの消去は 1 ブロックごとに、図 22.8 に示すイレース/イレースベリファイフロー (単一ブロック消去) チャートに沿って行ってください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセット後、10 μ s 以上の時間が経過してから、ブロック指定レジスタ n (EBRn) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走などにより過剰時間消去を行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は 5.3ms に設定してください。その後、FLMCRn の ESUn ビットをセットすることで、イレースモードへの準備 (イレースセットアップ) を行い、200 μ s 以上の時間が経過後、FLMCRn の En ビットをセットすることで、動作モードはイレースモードへ遷移します。En ビットが設定されている時間が消去時間となり、消去時間は 5ms にしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト (消去するメモリの全メモリデータをすべて 0 にする) を行う必要はありません。

22.7.4 イレースベリファイモード(対象アドレス H'00000 ~ H'1FFFF のとき、 $n = 1$ 、対象アドレス H'20000 ~ H'3FFFF のとき、 $n = 2$)

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除 (FLMCR n の En ビットを解除後、10 μ s 以上の時間が経過してから ESUn ビットを解除) し、ウォッチドックタイマを 10 μ s 以上の時間が経過してから解除し、FLMCR n の EV n ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは 20 μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す (ベリファイデータは 32 ビットで読み出す) と、ラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、2 μ s おいてから行ってください。読み出したデータが消去 (データがすべて 1) されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が 60 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、5 μ s 以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを解除してください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを 1 ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

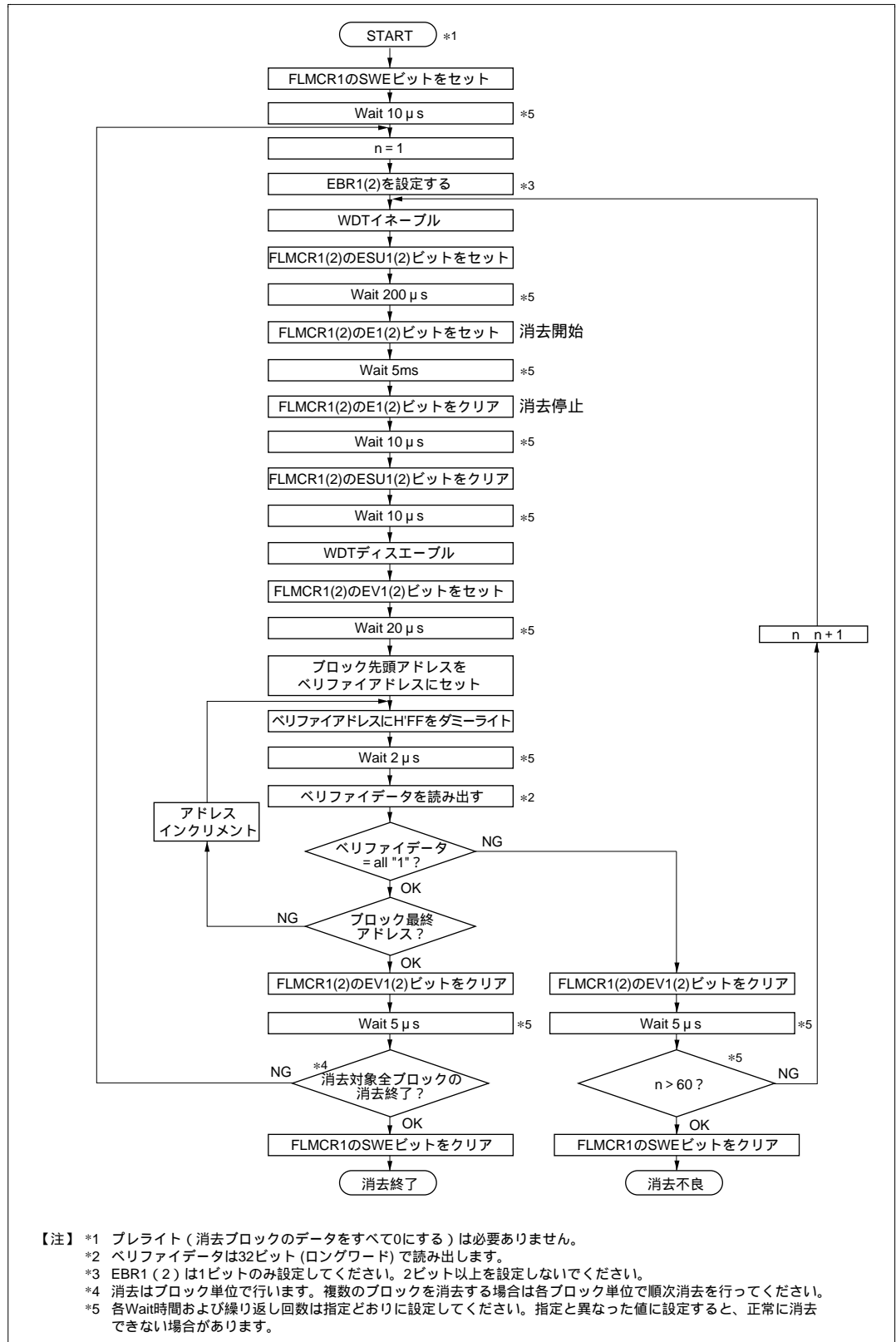


図 22.8 イレース/イレースベリファイフロー（単一ブロック消去）

1 ブロック消去のプログラム例

ウェイト時間の設定値(ループ回数は、f=28.7MHz 時の値です。異なる周波数の場合は、ウェイト時間 (μS) \times f(MHz) \div 4 で求めてください。WDT のオーバフロー周期の設定値は、f=28.7MHz 時の値です。異なる周波数の場合は、オーバフロー周期が 5.3ms 以上で最小になるようにしてください。

使用レジスタと使用方法

R5 (入力)	: メモリブロックテーブルポインタ
R7 (出力)	: OK(正常) or NG(異常)
R0-3, 6, 8-9	: ワーク

```

FLMCR1      .EQU  H'80
FLMCR2      .EQU  H'81
EBR1        .EQU  H'82
EBR2        .EQU  H'83
Wait10u     .EQU  72
Wait2u      .EQU  14
Wait200u    .EQU  1435
Wait5m      .EQU  35875
Wait20u     .EQU  144
Wait5u      .EQU  36
WDT_TCSR    .EQU  H'FFFF8610
WDT_9m      .EQU  H'A57D
SWESET      .EQU  B'01000000
ESUSET      .EQU  B'00100000
ESET        .EQU  B'00000010
ECLEAR      .EQU  B'11111101
ESUCLEAR    .EQU  B'11011111
EVSET       .EQU  B'00001000
EVCLEAR     .EQU  B'11110111
SWECLEAR    .EQU  B'10111111
MAXErase    .EQU  60
;
FlashErase  .EQU  $
            MOV.L  #H'FFFF8500,R0
            LDC   R0,GBR                ; GBR 初期化
            MOV.L  #1,R2

```

```

;
MOV.L #Wait10u,R3
MOV.L #FLMCR1,R0
OR.B #SWESET,@(R0,GBR) ; SWEのセット
EWait_1 SUBC R2,R3 ; 10us ウェイト
BF EWait_1
;
MOV.L #0,R9 ; n(R9)を0で初期化
;
MOV.B @(6,R5),R0
MOV.B R0,@(EBR1,GBR) ; 消去メモリブロック(EBR1)のセット
MOV.B @(7,R5),R0
MOV.B R0,@(EBR2,GBR) ; 消去メモリブロック(EBR2)のセット
;
MOV.L #FLMCR1,R0
MOV.L @R5,R6 ; 消去メモリブロック先頭アドレス->R6
MOV.L #H'020000,R7
CMP/GT R6,R7
BT EraseLoop
MOV.L #FLMCR2,R0
;
EraseLoop .EQU $
MOV.L #WDT_TCSR,R1 ; WDT イネーブル
MOV.W #WDT_9m,R3 ; 9.2ms 周期
MOV.W R3,@R1
;
MOV.L #Wait200u,R3
OR.B #ESUSET,@(R0,GBR) ; ESUのセット
EWait_2 SUBC R2,R3 ; 200us ウェイト
BF EWait_2
;
MOV.L #Wait5m,R3
OR.B #ESET,@(R0,GBR) ; Eのセット
EWait_3 SUBC R2,R3 ; 5ms ウェイト
BF EWait_3
;
MOV.L #Wait10u,R3
AND.B #ECLEAR,@(R0,GBR) ; Eのクリア

```



```

EWait_4 SUBC R2,R3 ; 10us ウェイト
        BF    EWait_4
;
        MOV.L #Wait10u,R3
        AND.B #ESUCLEAR,@(R0,GBR) ; ESU のクリア
EWait_5 SUBC R2,R3 ; 10us ウェイト
        BF    EWait_5
;
        MOV.L #WDT_TCSR,R1 ; WDT ディスエーブル
        MOV.W #H'A55F,R3
        MOV.W R3,@R1
;
        MOV.L #Wait20u,R3
        OR.B  #EVSET,@(R0,GBR) ; EV のセット
EWait_6 SUBC R2,R3 ; 20us ウェイト
        BF    EWait_6
;
        MOV.L @R5,R6 ; 消去メモリブロック先頭アドレス->R6
BlockVerify_1 .EQU $ ; 消去ペリファイ
        MOV.L #H'FFFFFFFF,R8
        MOV.L R8,@R6 ; H'FF をダミーライト
        MOV.L #Wait2u,R3
EWait_7 SUBC R2,R3
        BF    EWait_7
;
        MOV.L @R6+,R1 ; ペリファイデータリード
        CMP/EQ R8,R1
        BF    BlockVerify_NG
        MOV.L @(8,R5),R7
        CMP/EQ R6,R7 ; メモリブロックの終了アドレスチェック
        BF    BlockVerify_1
        MOV.L #Wait5u,R3
        AND.B #EVCLEAR,@(R0,GBR) ; EV のクリア
EWait_8 SUBC R2,R3 ; 5us ウェイト
        BF    EWait_8
;
        MOV.L #OK,R7 ; R7<-OK(リターン値)
        BRA  FlashErase_end ; ペリファイ OK

```

```

        NOP
;
BlockVerify_NG .EQU    $
        ADD.L    #1,R9                ; ベリファイ NG n <- n+1
        MOV.L    #Wait5u,R3
        AND.B    #EVCLEAR,@(R0,GBR)  ; EV のクリア
EWait_9 SUBC    R2,R3                ; 5us ウェイト
        BF      EWait_9
        MOV.L    #MAXErase,R7        ; if n > MAXErase then 消去 NG
        CMP/EQ   R7,R9
        BF      EraseLoop
        MOV.L    #NG,R7              ; R7<-NG(リターン値)
FlashErase_end .EQU    $
        MOV.L    #FLMCR1,R0
        AND.B    #SWECLER,@(R0,GBR)  ; SWE のクリア
;
        RTS
        NOP
;
; メモリブロックテーブル メモリブロック先頭アドレス : EBR 値
        .ALIGN 4
Flash_BlockData .EQU    $
EB0     .DATA.L H'00000000,H'00000100
EB1     .DATA.L H'00008000,H'00000200
EB2     .DATA.L H'00010000,H'00000400
EB3     .DATA.L H'00018000,H'00000800
EB4     .DATA.L H'00020000,H'00000001
EB5     .DATA.L H'00028000,H'00000002
EB6     .DATA.L H'00030000,H'00000004
EB7     .DATA.L H'00038000,H'00000008
EB8     .DATA.L H'0003F000,H'00000010
EB9     .DATA.L H'0003F400,H'00000020
EB10    .DATA.L H'0003F800,H'00000040
EB11    .DATA.L H'0003FC00,H'00000080
Dummy   .DATA.L H'00040000

```

22.8 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトの2種類あります。

22.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定は初期化されます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持します (表 22.7 参照)。

表 22.7 ハードウェアプロテクト

項 目	説 明	機 能	
		書き込み	消去
FWP 端子 プロテクト	FWP 端子にハイレベルが入力されているときには、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。		
リセット、 スタンバイ プロテクト	<ul style="list-style-type: none"> ・リセット (WDT のオーバフローリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 ・$\overline{\text{RES}}$ 端子によるパワーオンリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子をローレベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。 		

22.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットまたは E1 ビット、またはフラッシュメモリコントロールレジスタ 2 (FLMCR2) の P2 ビットまたは E2 ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません (表 22.8 参照)。

表 22.8 ソフトウェアプロテクト

項 目	説 明	機 能	
		書き込み	消去
SWE ビット プロテクト	FLMCR1 の SWE ビットを 0 にクリアすることにより、全ブロックの書き込み / 消去プロテクト状態になります (内蔵 RAM / 外部メモリ上で実行してください)。		
ブロック 指定 プロテクト	<ul style="list-style-type: none"> ・ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能。 ・EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	
エミュレー ション プロテクト	RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み / 消去プロテクト状態になります。		

22.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが1にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、FLMCR2、EBR1、EBR2の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1 ビット、P2 ビット、E1 ビット、E2 ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV1 ビット、PV2 ビット、EV1 ビット、EV2 ビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLER ビットのセット条件は、

- (1) 書き込み/消去中にフラッシュメモリを読み出したとき(ベクタリードおよび命令フエッチを含む)
- (2) 書き込み/消去中の例外処理(パワーオンリセットは除く)開始直後
- (3) 書き込み/消去中に SLEEP 命令(スタンバイモードを含む)を実行したとき
- (4) 書き込み/消去中にバス開放したとき

エラープロテクト解除は、パワーオンリセットのみで行われます。

図 22.9 にフラッシュメモリの状態遷移図を示します。

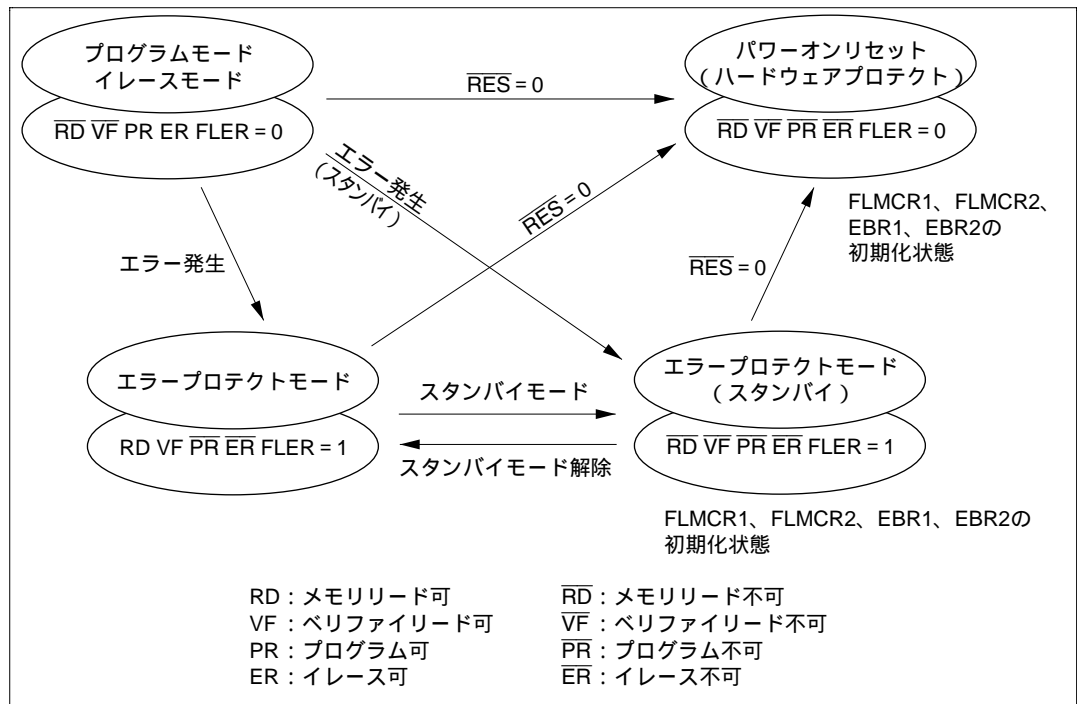


図 22.9 フラッシュメモリの状態遷移図

22.9 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 22.10 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

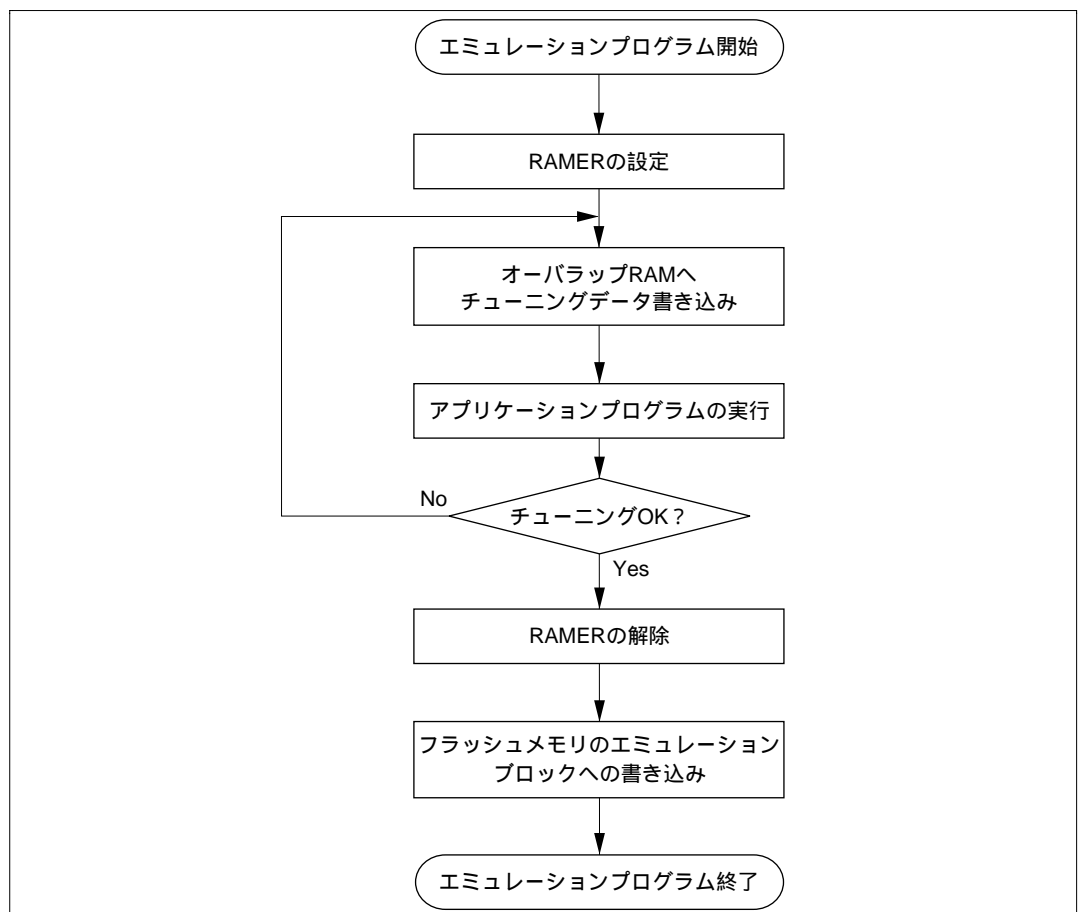


図 22.10 RAM によるエミュレーションフロー

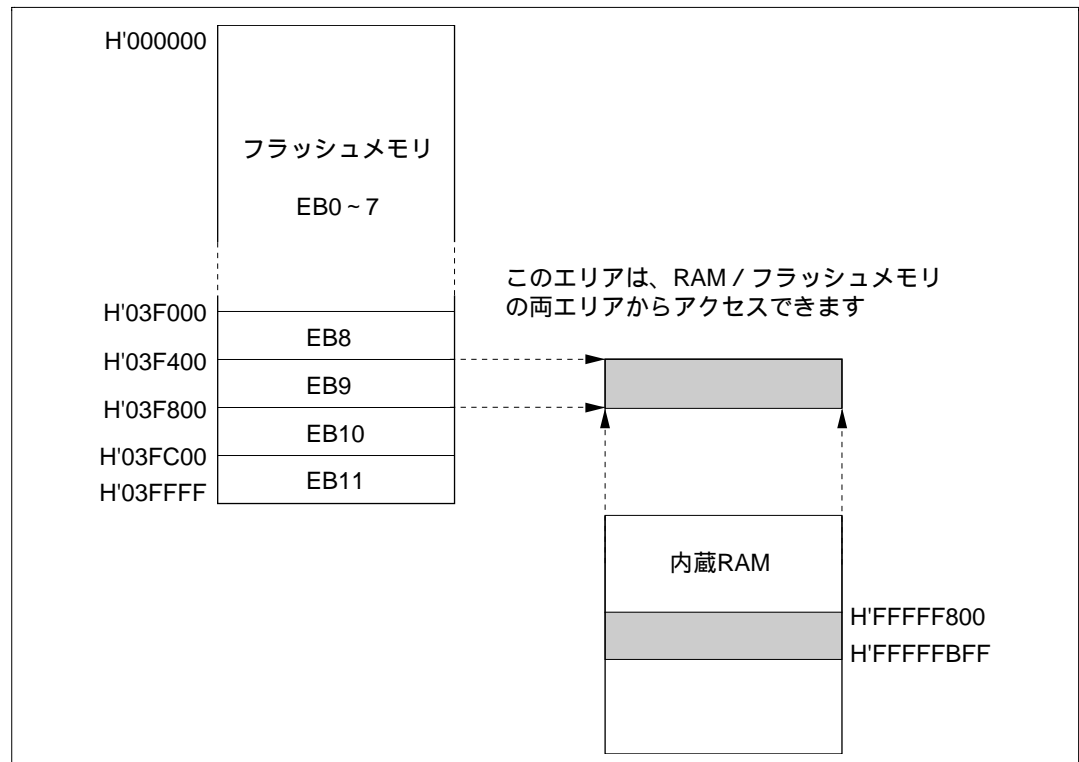


図 22.11 RAMのオーバーラップ動作例

フラッシュメモリのブロックエリア (EB8) をオーバーラップさせる例

1. リアルタイムな書き換えを必要とするエリア (EB8) に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビット、RAM1、0 ビットを 1、0、1 に設定してください。
2. リアルタイムな書き換えは、オーバーラップさせた RAM を使って行います。
3. 書き換えデータ確定後、RAMS ビットをクリアして RAM のオーバーラップを解除します。
4. オーバーラップさせた RAM に書き込まれたデータをフラッシュメモリ空間 (EB8) に書き込みます。

【注】 1. RAMS ビットを 1 にセットすると RAM1、0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P1 ビットまたは E1 ビット、FLMCR2 の P2 ビットまたは E2 ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。

2. RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。

22.10 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラムモード（ブートモード、ユーザプログラムモード）時は、書き込み / 消去動作（RAM エミュレーションを含む）を最優先とするため、NMI の入力を禁止してください。

22.11 フラッシュメモリのライターモード

プログラム / データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード / 自動消去モード / ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み / 自動消去を実行した後に、その詳細な内部信号を出力します。

ライターモードでは、モード端子を PLL×2 モード（表 22.9 参照）に設定し、入力クロックとして 6MHz を入力してください。これにより、本 LSI は 12MHz で動作します。

表 22.9 にライターモードの端子設定方法を示します。ライターモード時の端子名は「1.3.2 端子一覧」を参照してください。

表 22.9 ライターモードの端子設定方法

端子名	設定
モード端子 : MD3、MD2、MD1、MD0	1101 (PLL×2)
FWE 端子	ハイレベルを入力(自動書き込み、自動消去時)
RES 端子	パワーオンリセット回路
XTAL、EXTAL、PLLV _{CC} 、PLLCAP、PLL _{VSS} 端子	発振回路

【注】 ライターモード時は、FWP 端子は極性反転し、FWE（フラッシュライトイネーブル）端子になります。

22.11.1 ソケットアダプタの端子対応図

図 22.13、22.14 に示すようにソケットアダプタを LSI に取り付けてください。これによって、32 ピンにピン変換することができます。内蔵 ROM のメモリマップを図 22.12 に、ソケットアダプタの端子対応図を図 22.13、22.14 に示します。

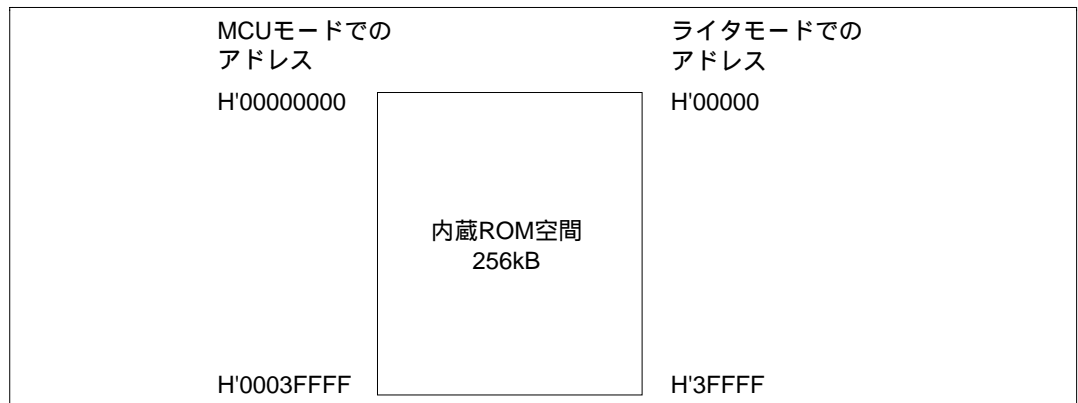


図 22.12 内蔵 ROM のメモリマップ

22. 256kB フラッシュメモリ (F-ZTAT)

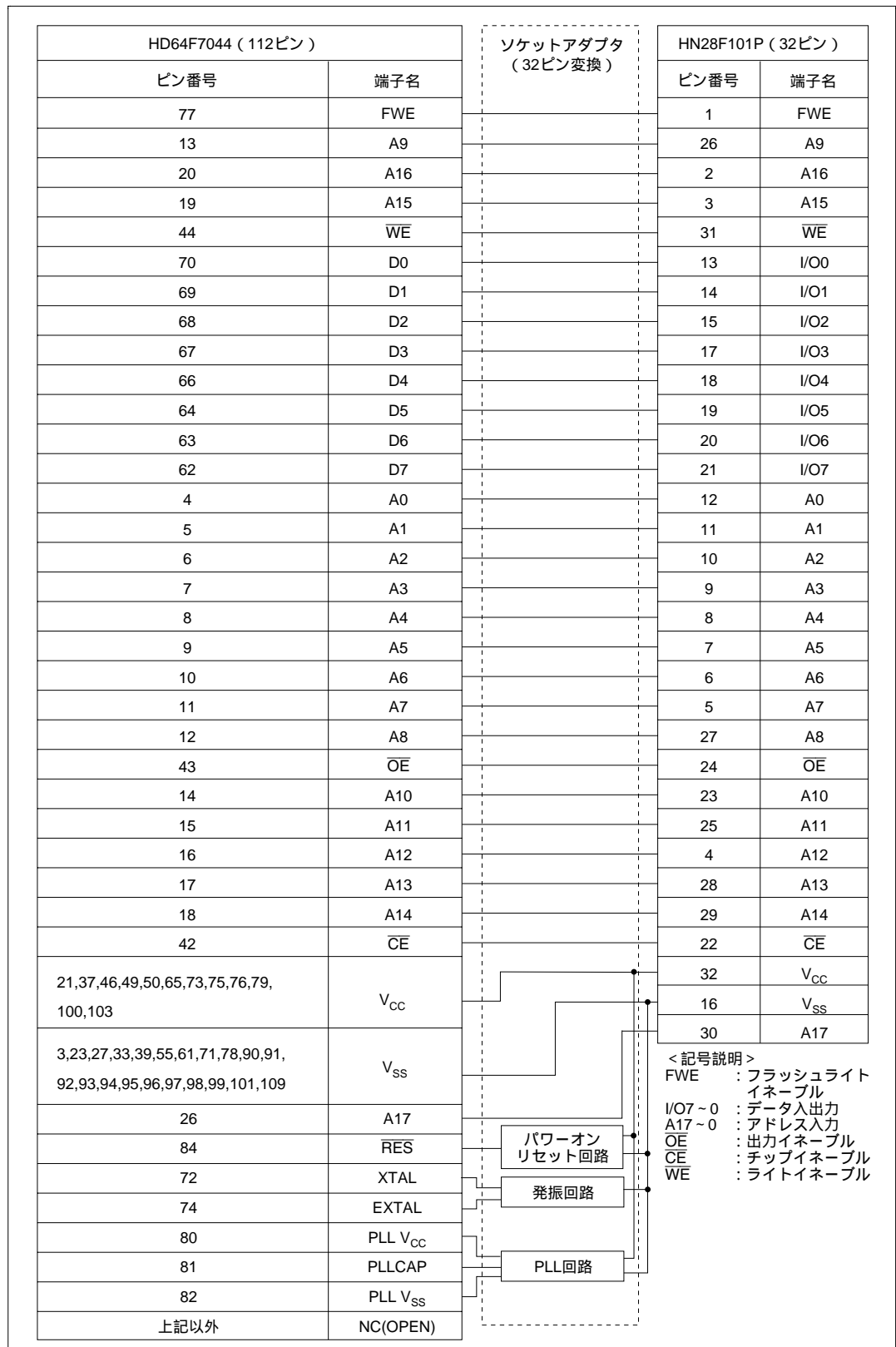


図 22.13 ソケットアダプタの端子対応図 (SH7044)

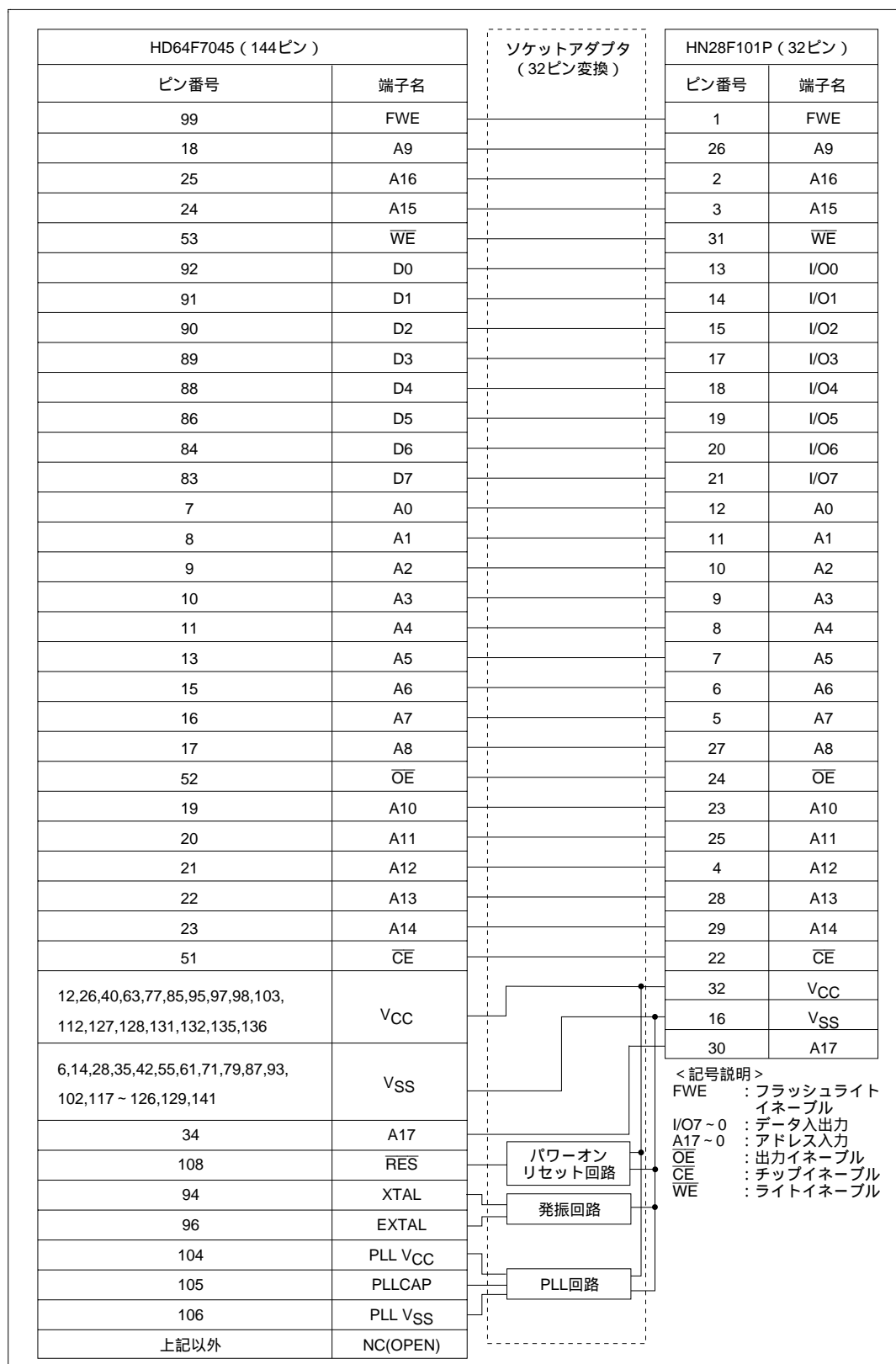


図 22.14 ソケットアダプタの端子対応図 (SH7045)

22.11.2 ライタモードの動作

表 22.10 にライタモード時の各動作モードの設定方法、表 22.11 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は D6 番の信号を読み出すことで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 22.10 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	I/O7~0	A17~0
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-z	Ain
コマンド書き込み	H or L	L	H	L	データ入力	Ain*
チップディスエーブル	H or L	H	X	X	Hi-z	Ain

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。
- * Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

表 22.11 ライタモード時の各コマンド

コマンド名	サイクル数	第1サイクル			第2サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。

2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

22.11.3 メモリ読み出しモード

表 22.12 メモリ読み出しモード時の AC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	tr		30	ns	
\overline{WE} 立ち下がり時間	tf		30	ns	

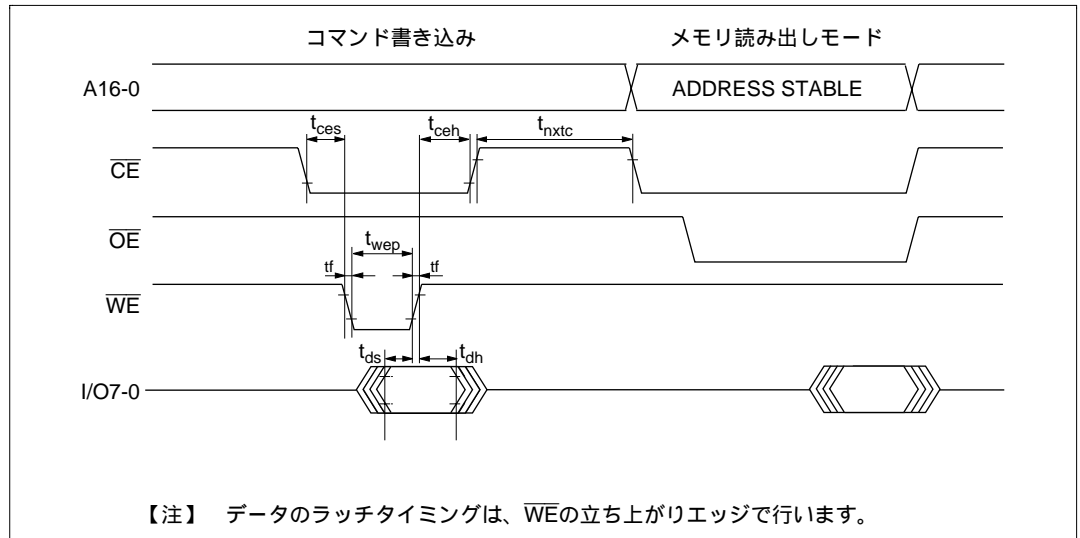


図 22.15 メモリ読み出しモードのタイミング波形

表 22.13 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

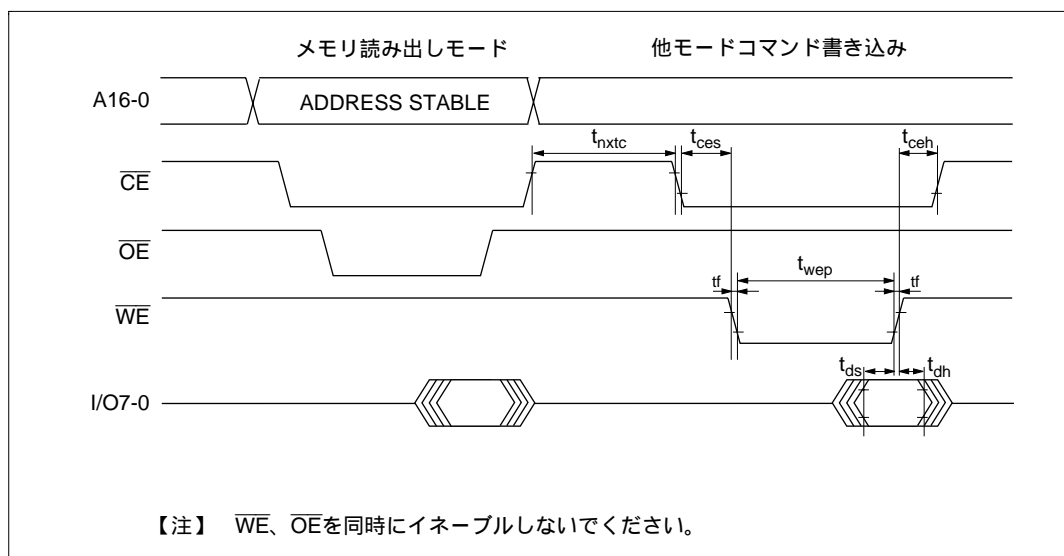
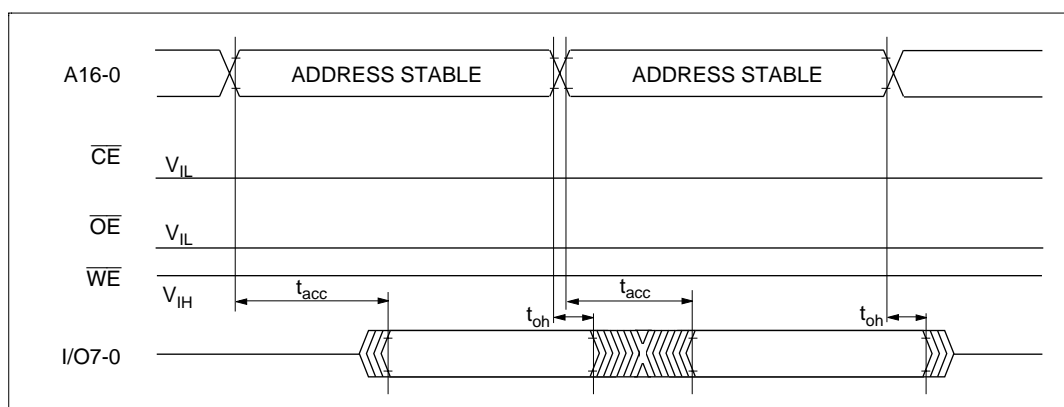


図 22.16 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 22.14 メモリ読み出しモード時の AC 特性

(条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
アクセス時間	t_{acc}		20	μs	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

図 22.17 \overline{CE} 、 \overline{OE} イネーブ爾状態リード時のタイミング波形

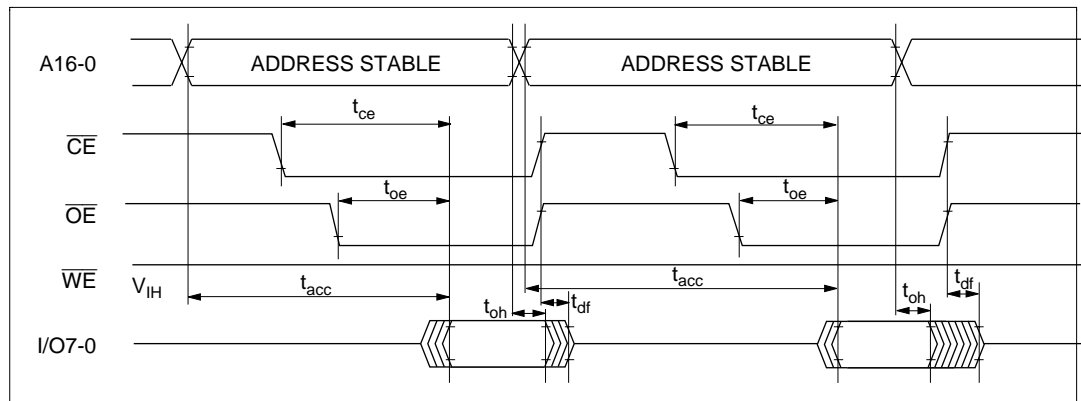


図 22.18 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

22.11.4 自動書き込みモード

- (1) 自動書き込みモードでは、128 バイト同時書き込みを行います。これは、バイトデータを 128 回連続で転送してください。
- (2) 128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データを H'FF にして書き込みを行う必要があります。
- (3) 転送するアドレスの下位 8 ビットは、H'00、H'80 でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第 2 サイクルで行います (図 22.18)。第 3 サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの 128 バイト単位のブロックに対して、1 回の自動書き込みで行ってください。2 回以上の書き込みについては特性保証できません。
- (7) 自動書き込み正常終了の確認には、I/O6 を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (I/O7 のステータス出力は、自動書き込み動作終了判定用端子です)。
- (8) ステータスポーリングの I/O6、I/O7 端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより、読み出し可能となります。

表 22.15 自動書き込みモード時の AC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{wsts}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
アドレスセットアップ時間	t_{as}	0		ns	
アドレスホールド時間	t_{ah}	60		ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
書き込みセットアップ時間	t_{pns}	100		ns	
書き込み終了セットアップ時間	t_{pnh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

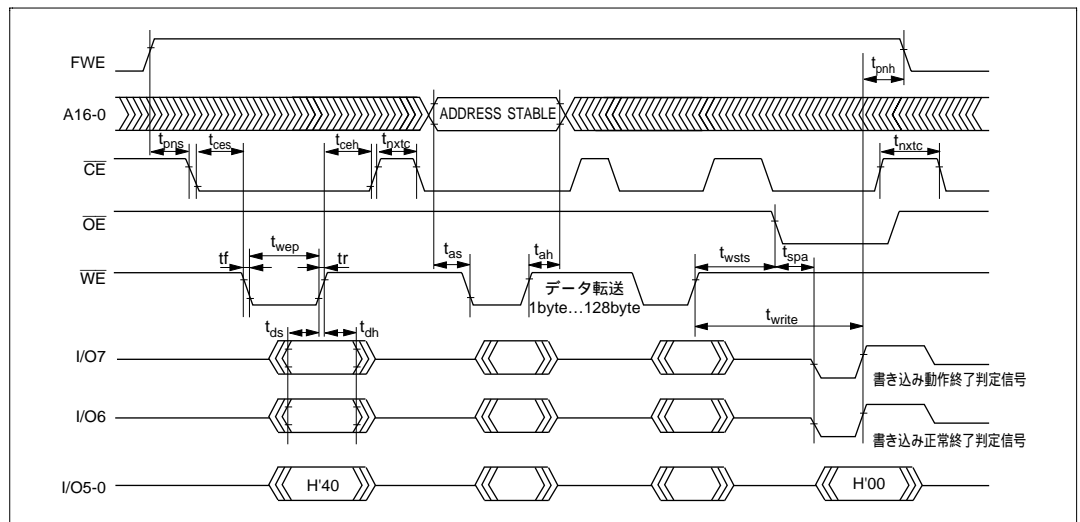


図 22.19 自動書き込みモードのタイミング波形

22.11.5 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (I/O7のステータス出力は、自動消去動作終了判定用端子です)。
- (4) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより、読み出し可能となります。

表 22.16 自動消去モード時の AC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{ests}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
消去セットアップ時間	t_{ens}	100		ns	
消去終了セットアップ時間	t_{enh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

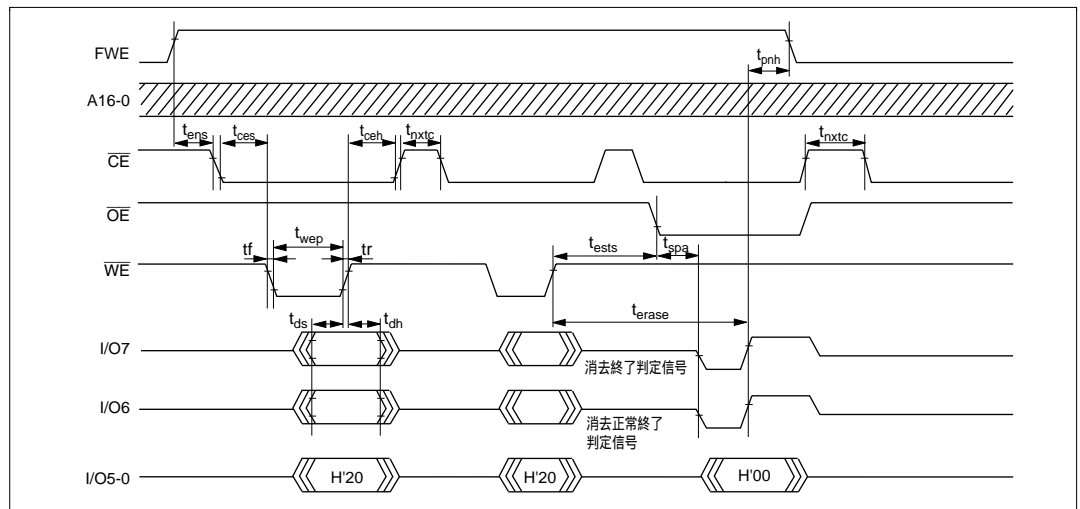


図 22.20 自動消去モードのタイミング波形

22.11.6 ステータス読み出しモード

表 22.17 ステータス読み出しモード時の AC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込み後読み出し時間	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
OE 出力遅延時間	t_{oe}		150	ns	
ディスエーブル遅延時間	t_{df}		100	ns	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
WE 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

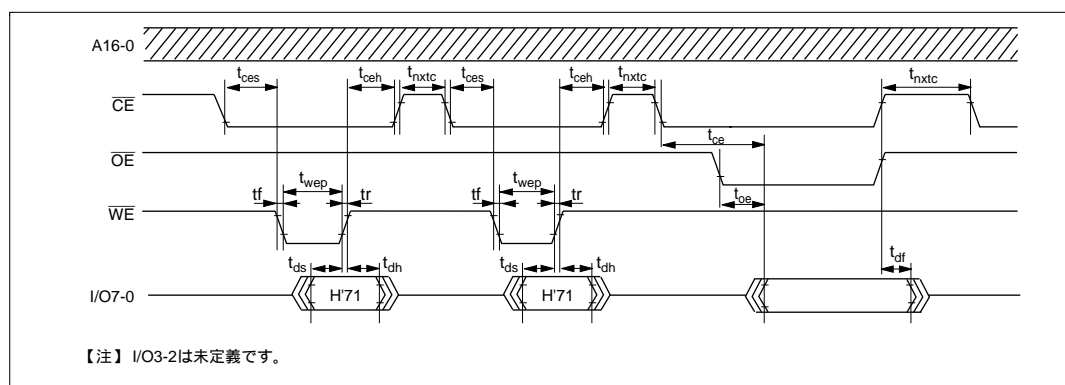


図 22.21 ステータス読み出しモードのタイミング波形

表 22.18 ステータス読み出しモードのリターンコマンド

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了:0 異常終了:1	コマンド エラー:1 その他:0	書き込み エラー:1 その他:0	消去 エラー:1 その他:0	-	-	回数オーバ 時:1 その他:0	有効アドレス エラー:1 その他:0

【注】 I/O2、3はまだ未定です

22.11.7 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み/自動削除モード時の動作状態を示すフラグです。
- (2) I/O6のステータスポーリングは、自動書き込み/自動削除モード時の正常/異常終了を示すフラグです。

端子名	内部動作中	異常終了	-	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O5~0	0	0	0	0

22.11.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 22.20 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除(発振安定時間)	t_{osc1}	10		ms	
ライタモードセットアップ時間	t_{bmV}	10		ms	
V_{CC} ホールド時間	t_{dwn}	0		ms	

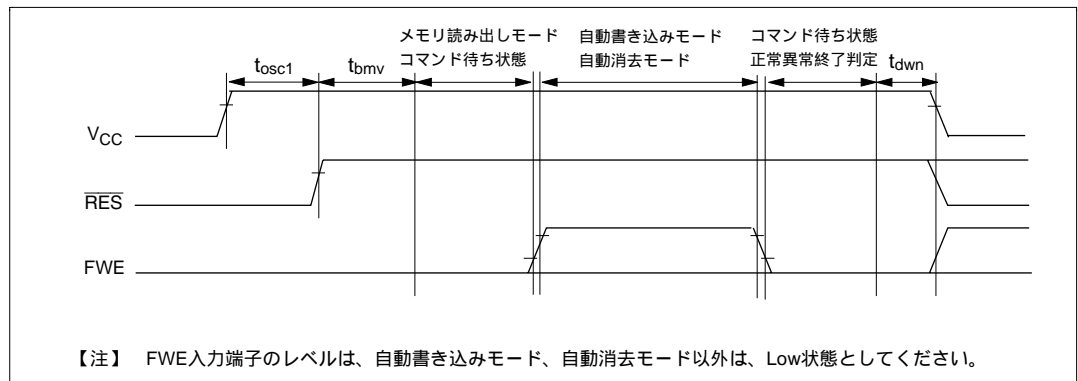


図 22.22 発振安定時間、ブートプログラム転送時間

22.11.9 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、PROMモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

- 【注】
1. ルネサス出荷品の初期状態は、消去状態。これ以外の消去来歴不明チップに対して、初期化(消去)レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1回のみとします。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。

23. RAM

第 23 章 目次

23.1	概要.....	775
23.2	動作説明.....	776

23.1 概要

本 LSI は 4k バイトの RAM を内蔵しています。内蔵 RAM は、32 ビット幅のデータバスを介して、CPU、ダイレクトメモリアクセスコントローラ (DMAC) とデータトランスファコントローラ (DTC) に接続されており (図 23.1)、8、16 または 32 ビット幅で、内蔵 RAM をアクセスすることができます。内蔵 RAM のデータは、常に 1 ステートでアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータエリアとしての使用に適しています。内蔵 RAM の内容は、スリープモード、スタンバイモードでは保持されます。

内蔵 RAM は、メモリエリアのアドレス H'FFFFFF000 ~ H'FFFFFFFFF に割り付けられています。

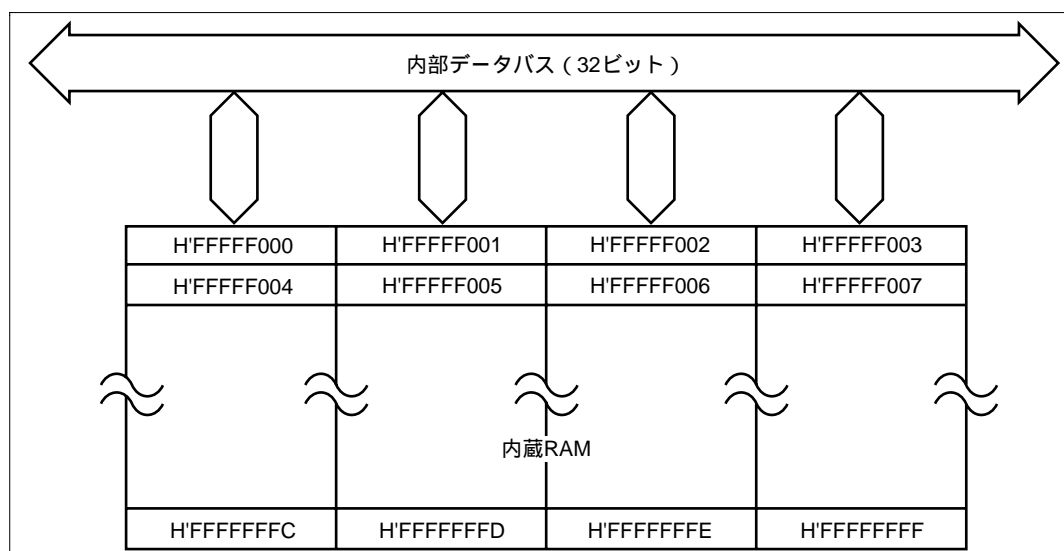


図 23.1 RAM のブロック図

23.2 動作説明

アドレス H'FFFFFF00 ~ H'FFFFFFF をアクセスすると、内蔵 RAM がアクセスされます。

内蔵 RAM はキャッシュと兼用しています。キャッシュ使用時は、内蔵 RAM 容量は 2kB になります。キャッシュについては「第 9 章 キャッシュメモリ (CAC)」を参照してください。

24. 低消費電力状態

第 24 章 目次

24.1	概要	779
24.1.1	低消費電力状態の種類	779
24.1.2	関連レジスタ	780
24.2	スタンバイコントロールレジスタ (SBYCR)	781
24.3	スリープモード	782
24.3.1	スリープモードへの遷移	782
24.3.2	スリープモードの解除	782
24.4	スタンバイモード	783
24.4.1	スタンバイモードへの遷移	783
24.4.2	スタンバイモードの解除	785
24.4.3	スタンバイモードの応用例	786

24.1 概要

低消費電力状態では、CPUが機能を停止します。これによって、本LSIの消費電力を著しく低減させることができます。

24.1.1 低消費電力状態の種類

低消費電力状態には、次の2種類のモードがあります。

- (1) スリープモード
- (2) スタンバイモード

プログラム実行状態から各モードへ遷移する条件、各モードでのCPUや周辺機能などの状態、各モードの解除方法について、表24.1に示します。

表 24.1 低消費電力状態

モード	遷移条件	状態						解除方法
		クロック	CPU	内蔵周辺モジュール	CPUレジスタ	RAM	I/Oポート	
スリープ	SBYCRのSBYビットが0の状態 でSLEEP命令を実行	動作	停止	動作	保持	保持	保持	1) 割り込み 2) DMA、DTCアドレスエラー 3) パワーオンリセット 4) マニュアルリセット
スタンバイ	SBYCRのSBYビットが1の状態 でSLEEP命令を実行	停止	停止	停止*1	保持	保持	保持 またはハイインピーダンス*2	1) NMI 割り込み 2) パワーオンリセット 3) マニュアルリセット

SBYCR：スタンバイコントロールレジスタ

SBY：スタンバイビット

【注】 *1 内蔵周辺モジュールのレジスタの中には、スタンバイモードによって初期化されるものとされないものがあります。「24.4.1 スタンバイモードへの遷移」の「表 24.3 スタンバイモードでのレジスタの状態」を参照してください。また、各周辺モジュールの「レジスタの説明」の項も参照してください。

*2 スタンバイモード時のI/Oポートの状態は、SBYCRのポートハイインピーダンスビット(HIZ)で設定します。「24.2 スタンバイコントロールレジスタ(SBYCR)」を参照してください。I/Oポート以外の端子状態は、「付録C. 端子状態」を参照してください。

24.1.2 関連レジスタ

低消費電力状態を制御するため、表 24.2 に示すレジスタがあります。

表 24.2 関連レジスタ

名称	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	SBYCR	R/W	H'1F	H'FFFF8614	8、16、32

24.2 スタンバイコントロールレジスタ (SBYCR)

ビット:	7	6	5	4	3	2	1	0
	SBY	HIZ						
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R	R	R	R	R	R

スタンバイコントロールレジスタ (SBYCR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、スタンバイモードへの遷移とスタンバイモード時のポート状態を設定します。SBYCR は、リセットで H'1F に初期化されます。

ビット 7 : スタンバイ (SBY)

スタンバイモードへの遷移を指定します。

ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) が 1 のとき) には、SBY ビットは 1 にセットできません。スタンバイモードへ遷移するときは、必ず TME ビットを 0 にクリアして WDT を停止させてから、SBY ビットをセットしてください。

ビット 7	説明
SBY	
0	SLEEP 命令の実行により、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行により、スタンバイモードへ遷移

ビット 6 : ポートハイインピーダンス (HIZ)

スタンバイモード時に、I/O ポートの端子状態を保持するかハイインピーダンスにするかを選択します。

WDT の TCSR の TME ビットが 1 にセットされていると、HIZ ビットは 1 にセットできません。I/O ポートの端子状態をハイインピーダンスにしたいときは、必ず TME ビットを 0 にクリアしてから HIZ ビットをセットしてください。

ビット 6	説明
HIZ	
0	スタンバイモード時に、端子状態を保持する (初期値)
1	スタンバイモード時に、端子状態をハイインピーダンスにする

ビット5~0：予約ビット

ビット5を読み出すと常に0が読み出されます。ビット5に書き込む値も必ず0にしてください。ビット4~0への書き込みは1にしてください。また、読み出すと常に1が読み出されます。

24.3 スリープモード

24.3.1 スリープモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) が0の状態、SLEEP 命令を実行すると、本 LSI はプログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行直後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。

24.3.2 スリープモードの解除

スリープモードは、割り込み、DMAC/DTC アドレスエラー、パワーオンリセット、マニュアルリセットによって解除されます。

(1) 割り込みによる解除

割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みが、モジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

(2) DMAC/DTC アドレスエラーによる解除

DMAC/DTC アドレスエラーが発生すると、スリープモードが解除され、DMAC/DTC アドレスエラー例外処理が実行されます。

(3) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、スリープモードは解除されます。

(4) マニュアルリセットによる解除

$\overline{\text{RES}}$ 端子がハイレベルのとき $\overline{\text{MRES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態に遷移し、スリープモードは解除されます。

24.4 スタンバイモード

24.4.1 スタンバイモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 1 にセットした後で SLEEP 命令を実行すると、本 LSI はプログラム実行状態からスタンバイモードに遷移します。スタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止するため、消費電力が著しく低減されます。CPU のレジスタ内容と内蔵 RAM のデータは、規定の電圧が与えられているかぎり保持されます。内蔵周辺モジュールのレジスタの中には、初期化されるものとされないものがあります (表 24.3)。I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で、保持またはハイインピーダンスを選択することができます。その他の端子状態については、「付録 C. 端子状態」を参照してください。

表 24.3 スタンバイモードでのレジスタの状態

モジュール	初期化されるレジスタ	内容が保持されるレジスタ	内容が不定のレジスタ
割り込みコントローラ (INTC)	-	全レジスタ	-
ユーザブ레이크コントローラ (UBC)	-	全レジスタ	-
データ転送コントローラ (DTC)	全レジスタ (メモリ上の転送情報および DTDR を除く)	-	-
キャッシュメモリ (CAC)	-	全レジスタ	-
バスステートコントローラ (BSC)	-	全レジスタ	-
ダイレクトメモリアクセスコントローラ (DMAC)	<ul style="list-style-type: none"> ・ DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3) ・ DMA オペレーションレジスタ (DMAOR) 	-	<ul style="list-style-type: none"> ・ DMA ソースアドレスレジスタ 0~3 (SAR0~3) ・ DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3) ・ DMA トランスファカウンタレジスタ 0~3 (DMATCR0~3)

表 24.3 スタンバイモードでのレジスタの状態（続き）

モジュール	初期化されるレジスタ	内容が保持されるレジスタ	内容が不定のレジスタ
マルチファンクション タイマパルスユニット (MTU)	MTU 関連 全レジスタ	POE 関連	-
ウォッチドッグタイマ (WDT)	・タイマコントロール/ ステータスレジスタ (TCSR) のビット 7~5 (OVF、WT/IT、TME) ・リセットコントロール/ ステータスレジスタ (RSTCSR)	・タイマコントロール/ ステータスレジスタ (TCSR) のビット 2~0 (CKS2~CKS0) ・タイマカウンタ (TCNT)	-
シリアルコミュニケー ションインタフェース (SCI)	・レシーブデータレジスタ (RDR) ・トランスミットデー タレジスタ (TDR) ・シリアルモードレジスタ (SMR) ・シリアルコントロール レジスタ (SCR) ・シリアルステータス レジスタ (SSR) ・ビットレートレジスタ (BRR)	-	-
A/D 変換器 (A/D)	全レジスタ	-	-
コンペアマッチタイマ (CMT)	全レジスタ	-	-
ピンファンクション コントローラ (PFC)	-	全レジスタ	-
I/O ポート (I/O)	-	全レジスタ	-
低消費電力状態関係	-	スタンバイコントロール レジスタ (SBYCR)	-

24.4.2 スタンバイモードの解除

スタンバイモードは、NMI 割り込み、パワーオンリセット、マニュアルリセットによって解除されます。

(1) NMI 割り込み入力による解除

NMI 信号の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) で選択) が検出されると、クロックの発振が開始されます。このクロックは、ウォッチドッグタイマ (WDT) だけに供給されます。スタンバイモードに遷移する前に WDT のタイマコントロール/ステータスレジスタ (TCSR) のクロックセレクトビット (CKS2 ~ CKS0) に設定しておいた時間が経過すると、WDT オーバフローが発生します。このオーバフロー発生によって、クロックが安定したと判断され、本 LSI 全体にクロックが供給されます。これによって、スタンバイモードが解除され、NMI 例外処理が開始されます。

NMI 割り込みによってスタンバイモードを解除する場合、WDT のオーバフロー周期が発振安定時間以上となるように、CKS2 ~ CKS0 ビットを設定してください。

なお、立ち下がりエッジに設定した NMI 端子で、スタンバイモードを解除する場合、スタンバイに入るとき (クロック停止時) の NMI 端子のレベルがハイレベルに、かつスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した NMI 端子でスタンバイモードを解除する場合、スタンバイに入るとき (クロック停止時) の NMI 端子のレベルがローレベルに、かつスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがハイレベルになるようにしてください。

(2) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、スタンバイモードは解除されます。

24.4.3 スタンバイモードの応用例

NMI 信号の立ち下がりですタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 24.1 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 1 にセットして SLEEP 命令を実行すると、スタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、スタンバイモードが解除されます。

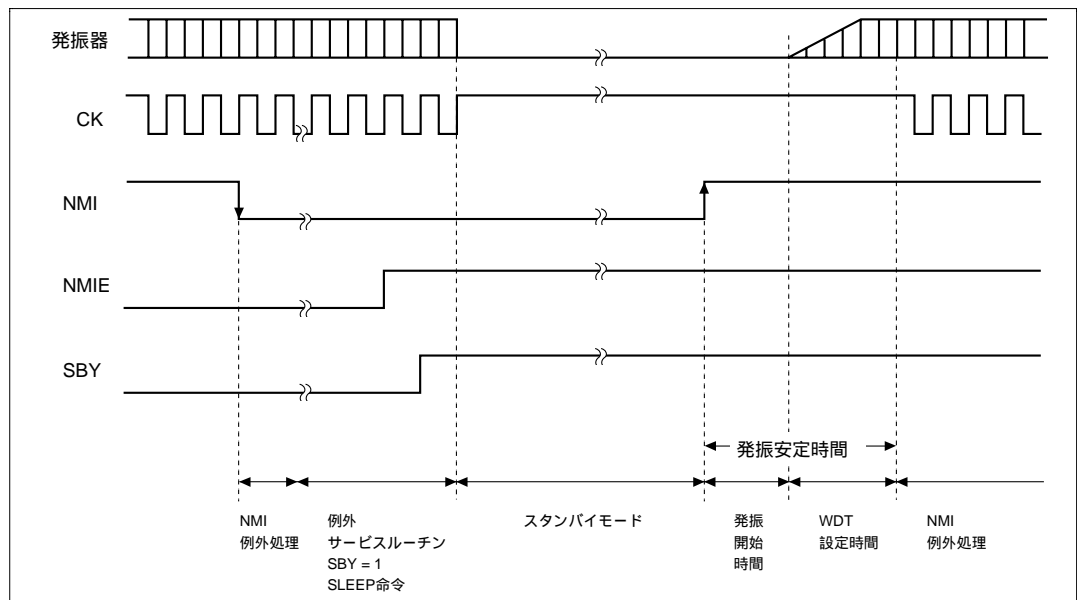


図 24.1 スタンバイモード時の NMI タイミング (応用例)

25. 5V 28.7MHz 版 電気的特性

第 25 章 目次

25.1	絶対最大定格.....	789
25.2	DC 特性.....	790
25.3	AC 特性.....	793
25.3.1	クロックタイミング.....	793
25.3.2	制御信号タイミング.....	795
25.3.3	バスタイミング.....	798
25.3.4	ダイレクトメモリアクセスコントローラタイミング.....	809
25.3.5	マルチファンクションタイマパルスユニットタイミング.....	811
25.3.6	I/Oポートタイミング.....	812
25.3.7	ウォッチドッグタイマタイミング.....	812
25.3.8	シリアルコミュニケーションインタフェースタイミング.....	813
25.3.9	高速 A/D 変換タイミング (A マスク以外).....	814
25.3.10	中速 A/D 変換器タイミング (A マスク).....	816
25.3.11	AC 特性測定条件.....	818
25.4	A/D 変換器特性.....	819

25.1 絶対最大定格

絶対最大定格を表 25.1 に示します。

表 25.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	-0.3 ~ +7.0	V
プログラマブル電圧 (ZTAT 版のみ)	V_{PP}	-0.3 ~ +13.5	V
入力電圧 (A/D ポート以外)	V_{in}	-0.3 ~ $V_{CC}+0.3$	V
入力電圧 (A/D ポート)	V_{in}	-0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ基準電圧 (FP-144 のみ)	AV_{ref}	-0.3 ~ $AV_{CC}+0.3$	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC}+0.3$	V
動作温度	T_{opr}	-20 ~ +75 ^{*1}	
書き換え温度 (ZTAT 版のみ)	T_{we}	-20 ~ +75 ^{*2}	
保存温度	T_{stg}	-55 ~ +125	

[使用上の注意]

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 *1 標準品の場合。広温度範囲品の場合、 $T_{opr} = -40 \sim +85$

*2 標準品の場合。広温度範囲品の場合、 $T_{we} = -20 \sim +85$

25.2 DC 特性

DC 特性を表 25.2 に示します。

表 25.2 DC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	typ	max	単位	測定条件	
入力ハイ レベル電圧	\overline{RES} ,NMI, MD3~0, PA2,PA5, PA6~PA9, PE0~PE15 FWP	$V_{CC}-0.7$	-	$V_{CC} + 0.3$	V		
	EXTAL	$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V		
	A/D ポート	2.2	-	$AV_{CC} + 0.3$	V		
	その他の入力 端子	2.2	-	$V_{CC} + 0.3$	V		
入力ロー レベル電圧	\overline{RES} ,NMI, MD3~0 PA2,PA5, PA6~PA9, PE0~PE15	- 0.3	-	0.5	V		
	その他の入力 端子	- 0.3	-	0.8	V		
シュミット トリガ入力 電圧	PA2,PA5, PA6~PA9, PE0~PE15	$V_T^+ - V_T^-$	0.4	-	-	V	V_T^+ 4.0V (min) V_T^- 1.0V (max)
入力リーク 電流	\overline{RES} ,NMI, MD3~0, PA2,PA5, PA6~PA9, PE0~PE15	I_{in}	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	A/D ポート		-	-	1.0	μA	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
	その他の入力 端子		-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$

項目	記号	min	typ	max	単位	測定条件	
スリープステートリーク電流 (オフ状態)	A21 ~ A0, D31 ~ D0, $\overline{CS3} \sim \overline{CS0}$, RDWR, \overline{RAS} , \overline{CASxx} , \overline{WRxx} , \overline{RD} , ポート A, B, C, D, E	I_{TSI}	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
出力ハイレベル電圧	全出力端子	V_{OH}	V _{CC} - 0.5	-	-	V	$I_{OH} = - 200 \mu A$
			3.5	-	-	V	$I_{OH} = - 1mA$
出力ローレベル電圧	全出力端子	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$
	PE9, PE11 ~ PE15		-	-	1.5	V	$I_{OL} = 15mA$
入力容量	RES	C_{in}	-	-	80* ¹	pF	$V_{in} = 0V$
	NMI		-	-	50	pF	f = 1 MHz
	その他の全入力端子		-	-	20	pF	$T_a = 25$
消費電流	通常動作時	I_{CC}	-	160	230	mA	f = 28MHz
	スリープ時		-	140	200	mA	f = 28MHz
	スタンバイ時		-	0.01	5	μA	$T_a = 50$
			-	-	20	μA	$50 < T_a$
アナログ電源電流	$A I_{CC}$	-	5	10	mA		
	$A I_{ref}$	-	0.5	1* ²	mA	(QFP144 版のみ)	
RAM スタンバイ電圧	V_{RAM}	2.0	-	-	V		

[使用上の注意]

- A/D変換器を使用しないとき (スタンバイ時含む) に、 AV_{CC} 、 AV_{SS} 、 AV_{ref} (SH7041、SH7043、SH7045 のみ) 端子を解放しないでください。
 AV_{CC} 、 AV_{ref} (SH7041、SH7043、SH7045 のみ) 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。
- 消費電流値は、 $V_{IHmin} = V_{CC} - 0.5V$ 、 $V_{ILmax} = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
- ZTAT 版と MASK 版、および F-ZTAT 版と MASK 版の機能は同じであり、電気的特性は共に規格内にありますが、特性上の実力値や動作マージン、ノイズマージン、輻射ノイズなどは異なりますので、システムの設計時および ZTAT 版と MASK 版、F-ZTAT 版と MASK 版の置き換えをするときには、ご注意ください。

【注】 *1 A マスクでは 110pF

*2 F-ZTAT 版を除く A マスクでは 5mA

表 25.3 出力許容電流値

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項 目	記号	min	typ	max	単位
出力ローレベル許容電流 (1端子当たり)	I_{OL}	-	-	2.0*	mA
出力ローレベル許容電流 (総和)	I_{OL}	-	-	80	mA
出力ハイレベル許容電流 (1端子当たり)	$-I_{OH}$	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	$(-I_{OH})$	-	-	25	mA

[使用上の注意]

LSIの信頼性を確保するため、出力電流値は表 25.3の値を超えないようにしてください。

【注】 * PE9、PE11～PE15は $I_{OL}=15mA$ (max)。ただし、これらの端子のうち同時に2.0mAを超えて I_{OL} を流すものは3本以内になしてください。

25.3 AC 特性

25.3.1 クロックタイミング

表 25.4 にクロックタイミングを示します。

表 25.4 クロックタイミング

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項 目	記号	min	max	単位	参照図
動作周波数	f_{OP}	4	28.7	MHz	図 25.1
クロックサイクル時間	t_{cyc}	34.8	250	ns	
クロックローレベルパルス幅	t_{CL}	10	-	ns	
クロックハイレベルパルス幅	t_{CH}	10	-	ns	
クロック立ち上がり時間	t_{CR}	-	5	ns	
クロック立ち下がり時間	t_{CF}	-	5	ns	
EXTAL クロック入力周波数	f_{EX}	4	10	MHz	図 25.2
EXTAL クロック入力サイクル時間	t_{EXcyc}	100	250	ns	
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	40	-	ns	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	40	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	-	5	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	-	5	ns	
リセット発振安定時間	t_{OSC1}	10	-	ms	図 25.3
スタンバイ復帰発振安定時間	t_{OSC2}	10	-	ms	

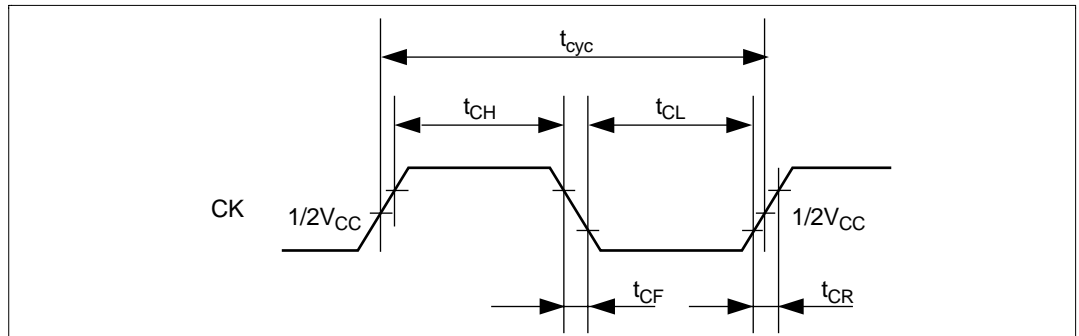


図 25.1 システムクロックタイミング

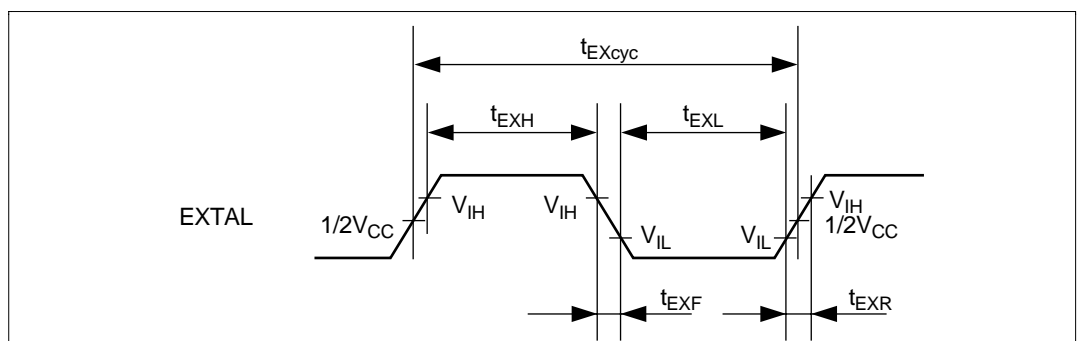


図 25.2 EXTAL クロック入力タイミング

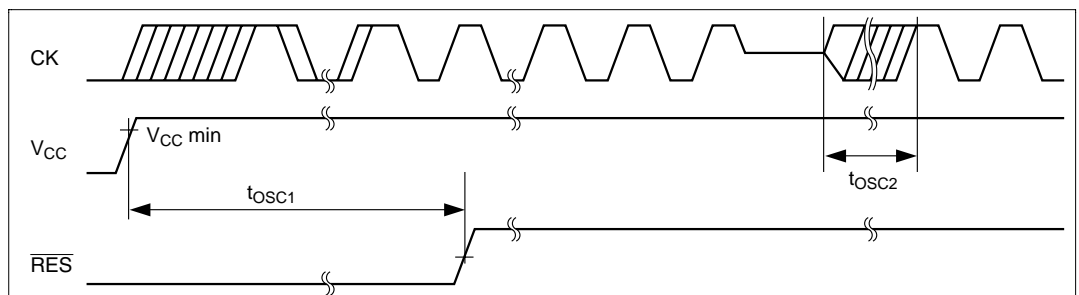


図 25.3 発振安定時間

25.3.2 制御信号タイミング

表 25.5 制御信号タイミング

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
\overline{RES} 立ち上がり、立ち下がり	t_{RESr} , t_{RESf}	-	200	ns	図 25.4
\overline{RES} パルス幅	t_{RESW}	20	-	t_{cyc}	
\overline{MRES} パルス幅	t_{MRESW}	20	-	t_{cyc}	
NMI 立ち上がり、立ち下がり	t_{NMIr} , t_{NMIf}	-	200	ns	
\overline{RES} セットアップ時間*	t_{RESS}	35	-	ns	図 25.4
\overline{MRES} セットアップ時間*	t_{MRESS}	35	-	ns	
NMI セットアップ時間*	t_{NMIS}	35	-	ns	
$\overline{IRQ7} \sim \overline{IRQ0}$ セットアップ時間* (エッジ検出時)	t_{IRQES}	35	-	ns	
$\overline{IRQ7} \sim \overline{IRQ0}$ セットアップ時間* (レベル検出時)	t_{IRQLS}	35	-	ns	
NMI ホールド時間	t_{NMIH}	35	-	ns	図 25.5
$\overline{IRQ7} \sim \overline{IRQ0}$ ホールド時間	t_{IRQEH}	35	-	ns	
\overline{IRQOUT} 出力遅延時間	t_{IRQOD}	-	35	ns	図 25.6
バスリクエストセットアップ時間	t_{BRQS}	35	-	ns	図 25.7
バスアクリッジ遅延時間 1	t_{BACKD1}	-	35	ns	
バスアクリッジ遅延時間 2	t_{BACKD2}	-	35	ns	
バススリーステート遅延時間	t_{BZD}	-	35	ns	

【注】 * \overline{RES} 、 \overline{MRES} 、NMI、 \overline{BREQ} および $\overline{IRQ7} \sim \overline{IRQ0}$ 信号は非同期入力ですが、ここに示されたセットアップが守られた場合、クロックの立ち上がり (\overline{RES} 、 \overline{MRES} 、 \overline{BREQ} の場合) もしくは立ち下がり (NMI および $\overline{IRQ7} \sim \overline{IRQ0}$ の場合) で変化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち上がり・立ち下がりまで認識が遅れることがあります。

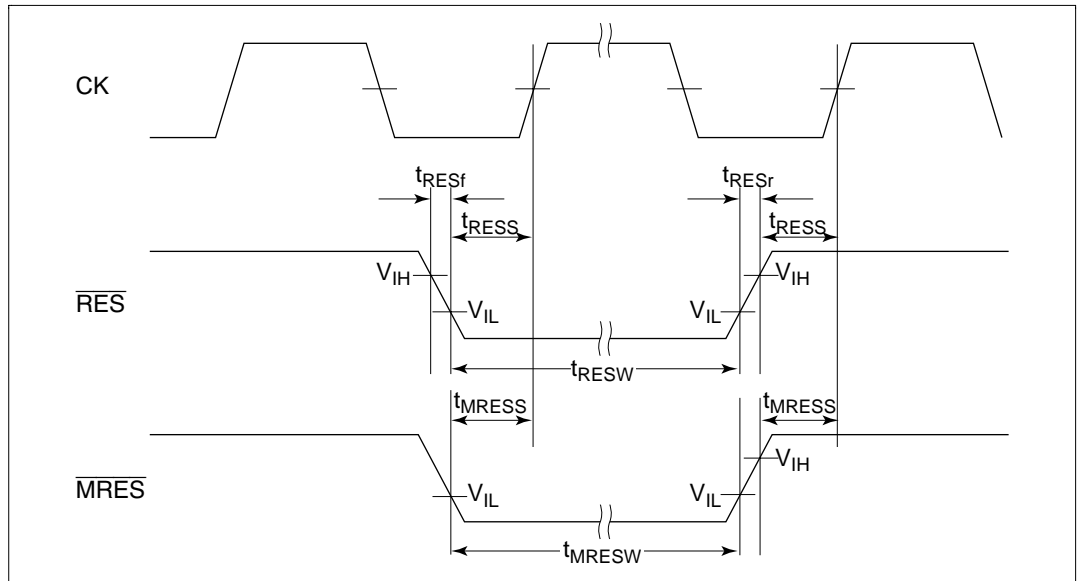


図 25.4 リセット入力タイミング

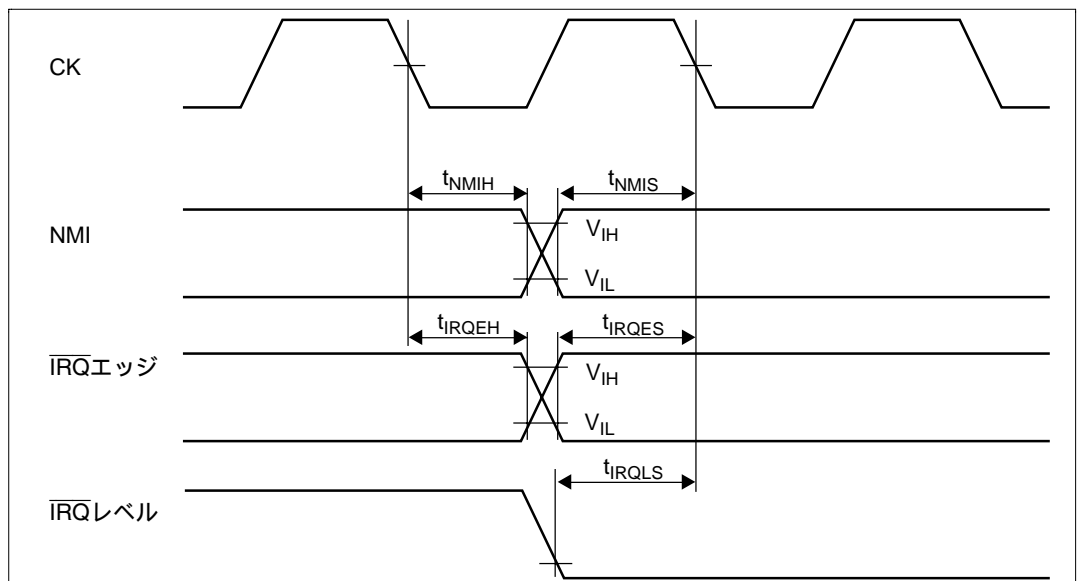


図 25.5 割り込み信号入力タイミング

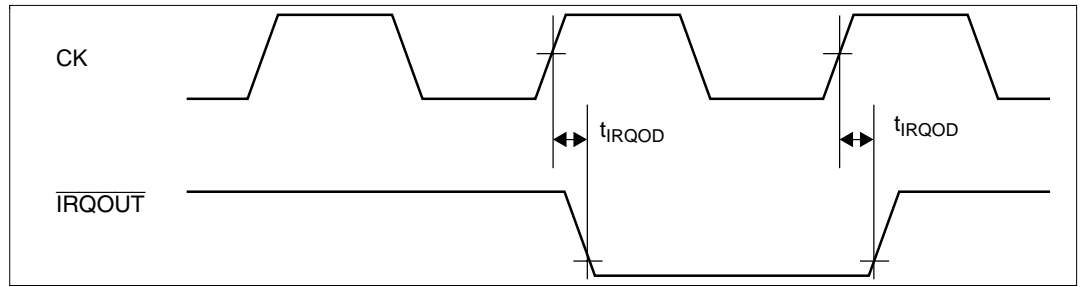


図 25.6 割り込み信号出力タイミング

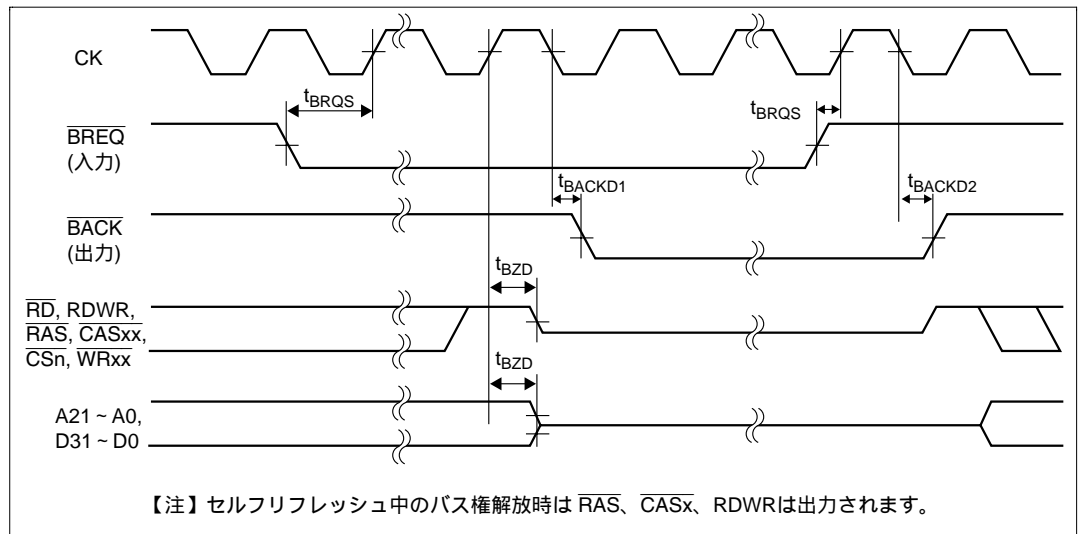


図 25.7 バス権解放タイミング

25.3.3 バスタイミング

表 25.6 バスタイミング

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
アドレス遅延時間	t_{AD}	2^{*3}	18	ns	図 25.8,9,11 ~ 16,19
CS 遅延時間 1	t_{CSD1}	2^{*3}	21	ns	図 25.8,9,19
CS 遅延時間 2	t_{CSD2}	2^{*3}	21	ns	図 25.8,9,19
読み出しストロープ遅延時間 1	t_{RSD1}	2^{*3}	18	ns	図 25.8,9,11 ~ 16,19
読み出しストロープ遅延時間 2	t_{RSD2}	2^{*3}	18	ns	図 25.8,9,11 ~ 16,19
読み出しデータセットアップ時間	t_{RDS}^{*4}	15	-	ns	図 25.8,9,11 ~ 16,19
読み出しデータホールド時間	t_{RDH}	0	-	ns	図 25.8,9,11 ~ 16,19
書き込みストロープ遅延時間 1	t_{WSD1}	2^{*3}	18	ns	図 25.8,9,11 ~ 16,19
書き込みストロープ遅延時間 2	t_{WSD2}	2^{*3}	18	ns	図 25.8,9,11 ~ 16,19
書き込みデータ遅延時間	t_{WDD}	-	35	ns	図 25.8,9,11 ~ 16,19
書き込みデータホールド時間	t_{WDH}	0	10^{*2}	ns	図 25.8,9,11 ~ 16,19
WAIT セットアップ時間	t_{WTS}	15	-	ns	図 25.10,15,19
WAIT ホールド時間	t_{WTH}	0	-	ns	図 25.10,15,19
RAS 遅延時間 1	t_{RASD1}	2^{*3}	18	ns	図 25.11 ~ 18
RAS 遅延時間 2	t_{RASD2}	2^{*3}	18	ns	図 25.11 ~ 18
CAS 遅延時間 1	t_{CASD1}	2^{*3}	18	ns	図 25.11 ~ 18
CAS 遅延時間 2	t_{CASD2}	2^{*3}	18	ns	図 25.11 ~ 18
読み出しデータアクセス時間	t_{ACC}^{*1}	$t_{cyc} \times (n+2) - 40$	-	ns	図 25.8,9
読み出しストロープからのアクセス時間	t_{OE}^{*1}	$t_{cyc} \times (n+1.5) - 40$	-	ns	図 25.8,9
コラムアドレスからのアクセス時間	t_{AA}^{*1}	$t_{cyc} \times (n+2) - 40$	-	ns	図 25.11 ~ 16
RAS からのアクセス時間	t_{RAC}^{*1}	$t_{cyc} \times (n+RCD+2.5) - 40$	-	ns	図 25.11 ~ 16
CAS からのアクセス時間	t_{CAC}^{*1}	$t_{cyc} \times (n+1) - 40$	-	ns	図 25.11 ~ 16
ロウアドレスホールド時間	t_{RAH}	$t_{cyc} \times (RCD+0.5) - 15$	-	ns	図 25.11 ~ 16
ロウアドレスセットアップ時間	t_{ASR}^{*5}	$t_{cyc} \times 0.5 - 17.5$	-	ns	図 25.11 ~ 16
データ入力セットアップ時間	t_{DS}	$t_{cyc} \times (m+0.5) - 25$	-	ns	図 25.11 ~ 16
データ入力ホールド時間	t_{DH}	20	-	ns	図 25.11 ~ 16

【注】 n はウェイト数。m は DRAM 書き込みサイクルウェイト数が 0 のとき 0、それ以外は 1。

RCD は DCR の RCD ビットの設定値。

*1 アクセス時間が満足されていれば、 t_{RDS} は満足されている必要はありません。

*2 t_{WDH} (max) は参考値です。

*3 遅延時間の min 値は参考値 (typ) です。

*4 t_{RDS} は参考値です。

*5 28.7MHz 時、 $t_{ASR} = 0ns$ (min) です。

表 25.7 バスタイミング

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
書き込みアドレスセットアップ時間	t_{AS}	0	-	ns	図 25.8 ~ 9
書き込みアドレス保持時間	t_{WR}	5	-	ns	図 25.8 ~ 9
書き込みデータ保持時間	t_{WRH}	0	-	ns	図 25.8 ~ 9
読み出し書き込みストロープ遅延時間 1	t_{RWD1}	2*	18	ns	図 25.11 ~ 16
読み出し書き込みストロープ遅延時間 2	t_{RWD2}	2*	18	ns	図 25.11 ~ 16
高速ページモード \overline{CAS} プリチャージ時間	t_{CP}	$t_{cyc} - 25$	-	ns	図 25.16
RAS プリチャージ時間	t_{RP}	$t_{cyc} \times$ (TPC+1.5) - 15	-	ns	図 25.11 ~ 16
\overline{CAS} セットアップ時間	t_{CSR}	10	-	ns	図 25.17,18
\overline{AH} 遅延時間 1	t_{AHD1}	2*	18	ns	図 25.19
\overline{AH} 遅延時間 2	t_{AHD2}	2*	18	ns	図 25.19
マルチプレクスアドレス遅延時間	t_{MAD}	2*	18	ns	図 25.19
マルチプレクスアドレスホールド時間	t_{MAH}	0	-	ns	図 25.19
DACK 遅延時間 1	t_{DACKD1}	2*	21	ns	図 25.8,9 図 25.11 ~ 16,19

【注】 TPC は DCR の TPC ビットの設定値。

* 遅延時間の min 値は参考値 (typ) です。

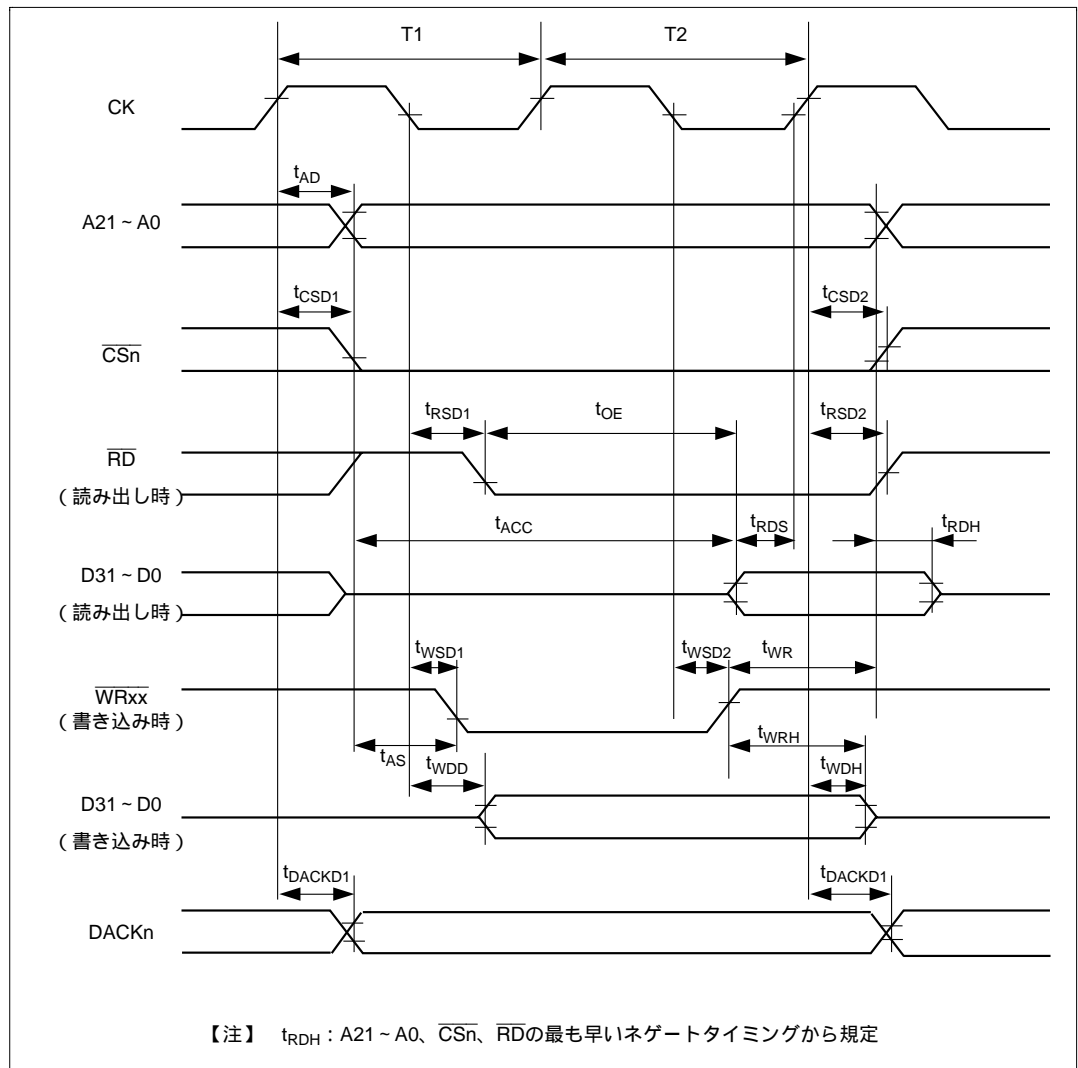


図 25.8 基本サイクル (ノーウェイト)

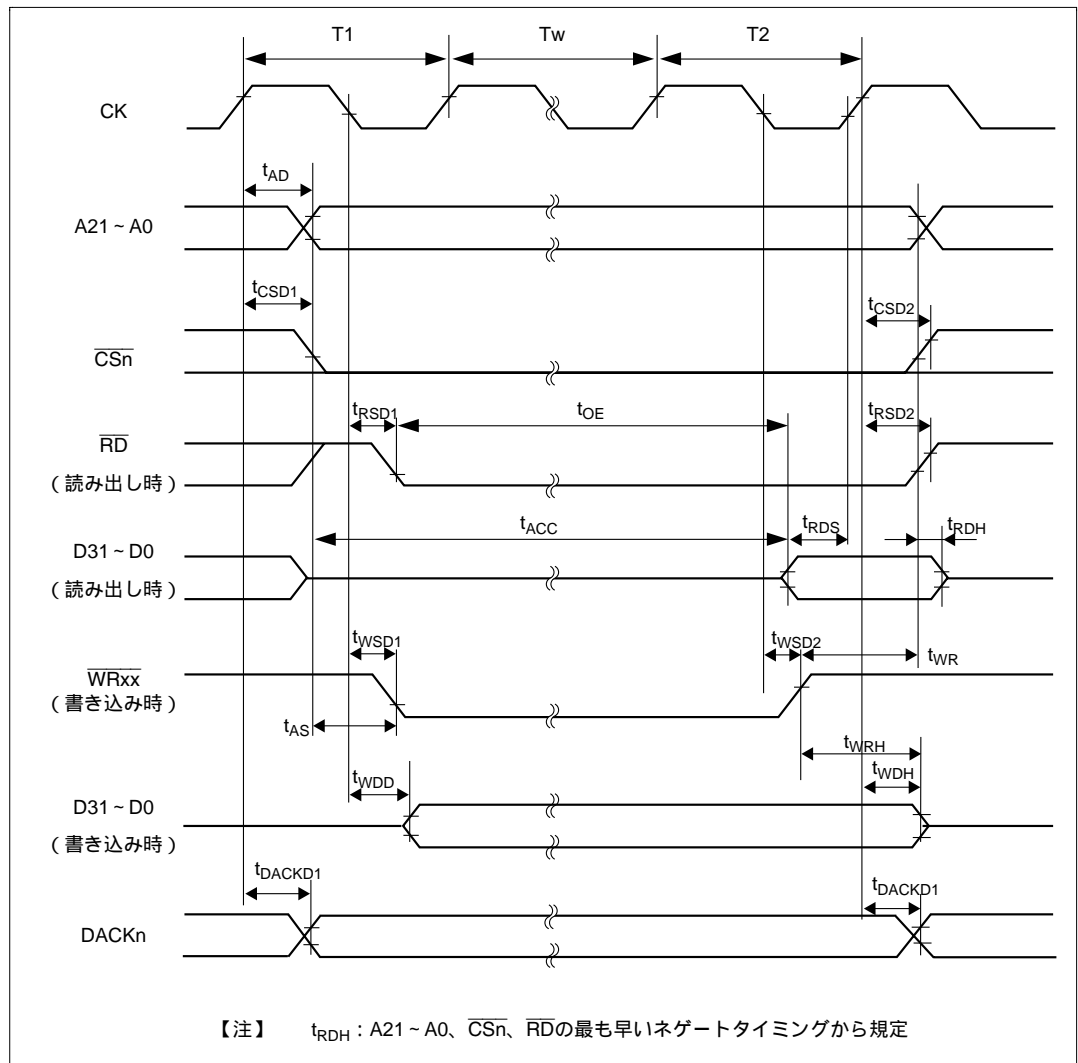


図 25.9 基本サイクル(ソフトウェアウェイト)

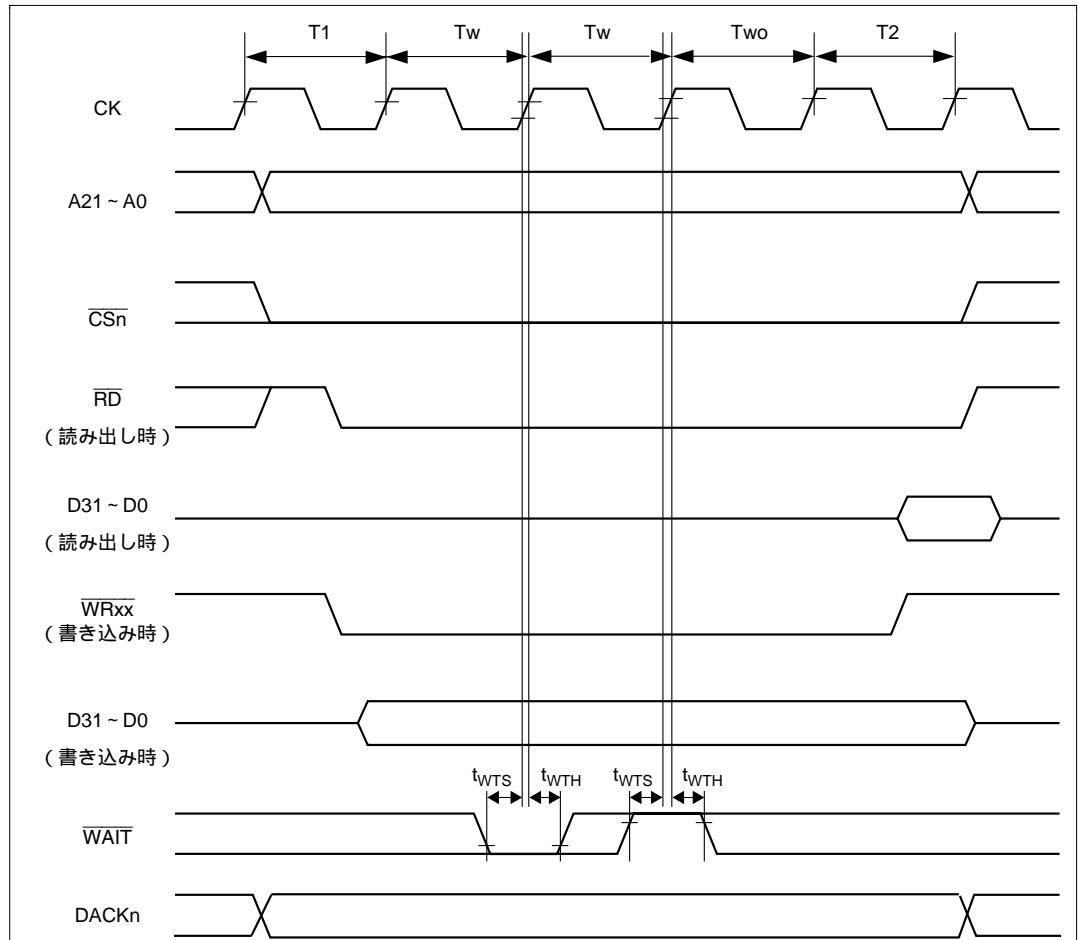


図 25.10 基本サイクル (2 ソフトウェアウェイト + \overline{WAIT} 信号によるウェイト)

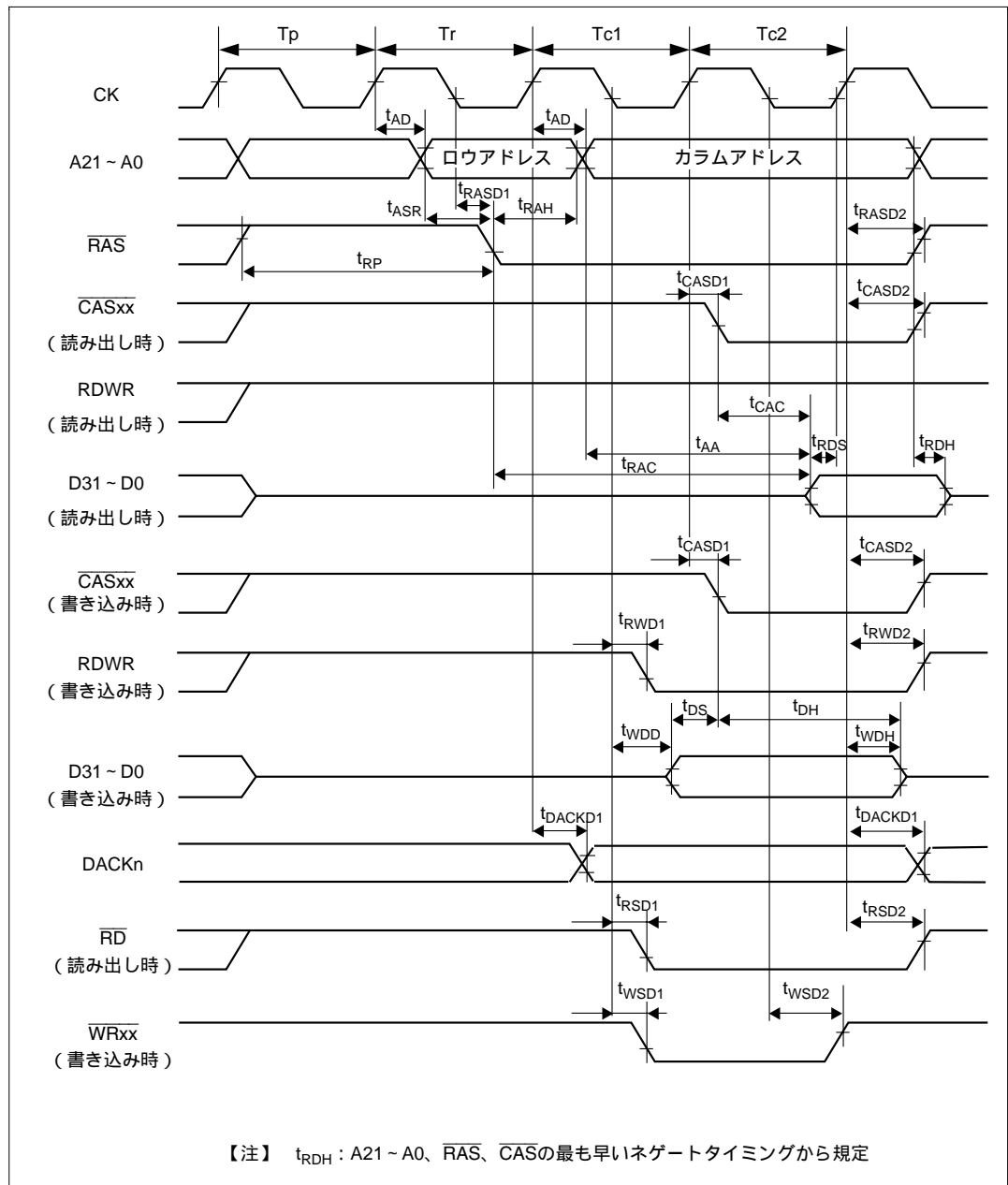


図 25.11 DRAM サイクル (ノーマルモード、ノーウェイト、TPC=0、RCD=0)

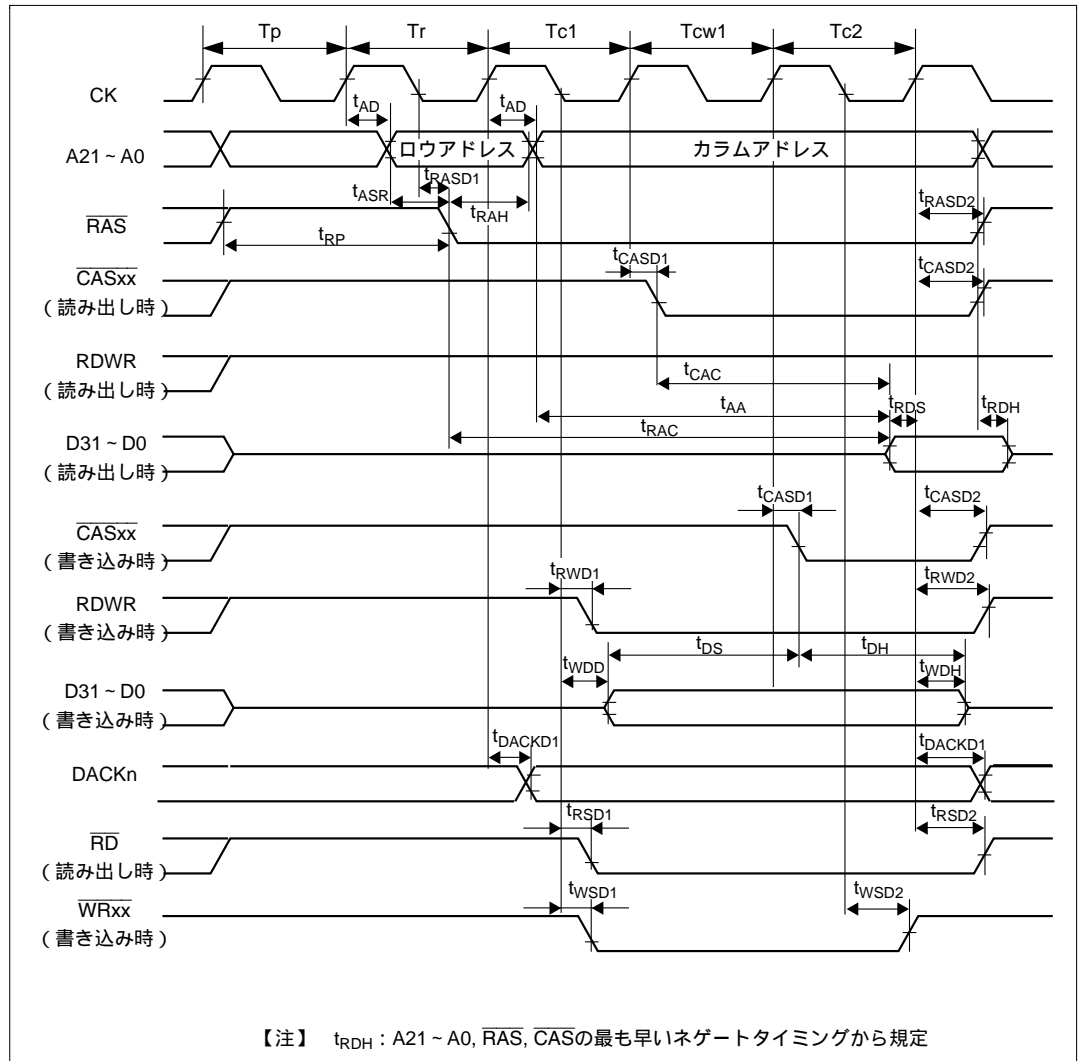


図 25.12 DRAMサイクル (ノーマルモード、1ウェイト、TPC=0、RCD=0)

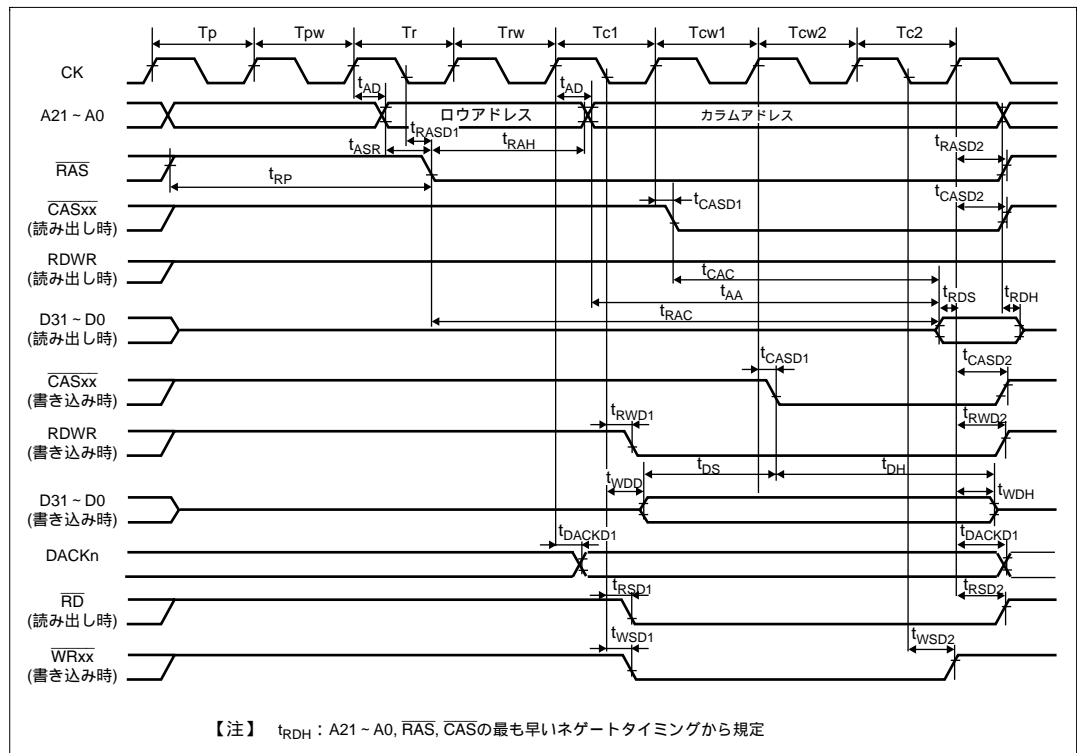


図 25.13 DRAMサイクル (ノーマルモード、2 ウェイト、TPC=1、RCD=1)

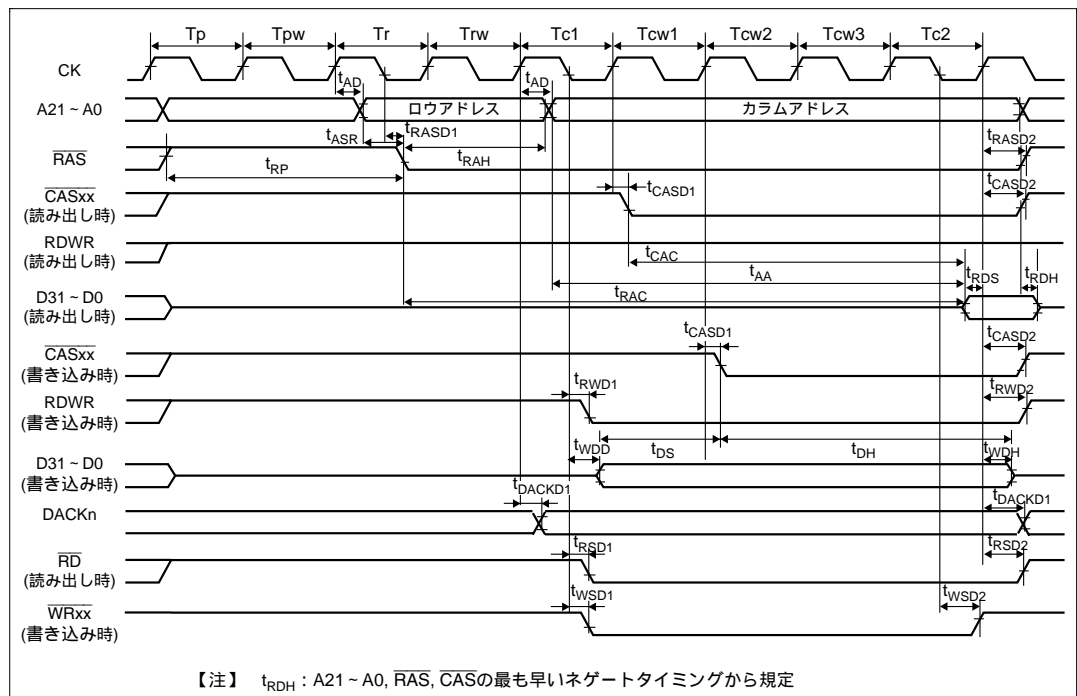


図 25.14 DRAMサイクル (ノーマルモード、3 ウェイト、TPC=1、RCD=1)

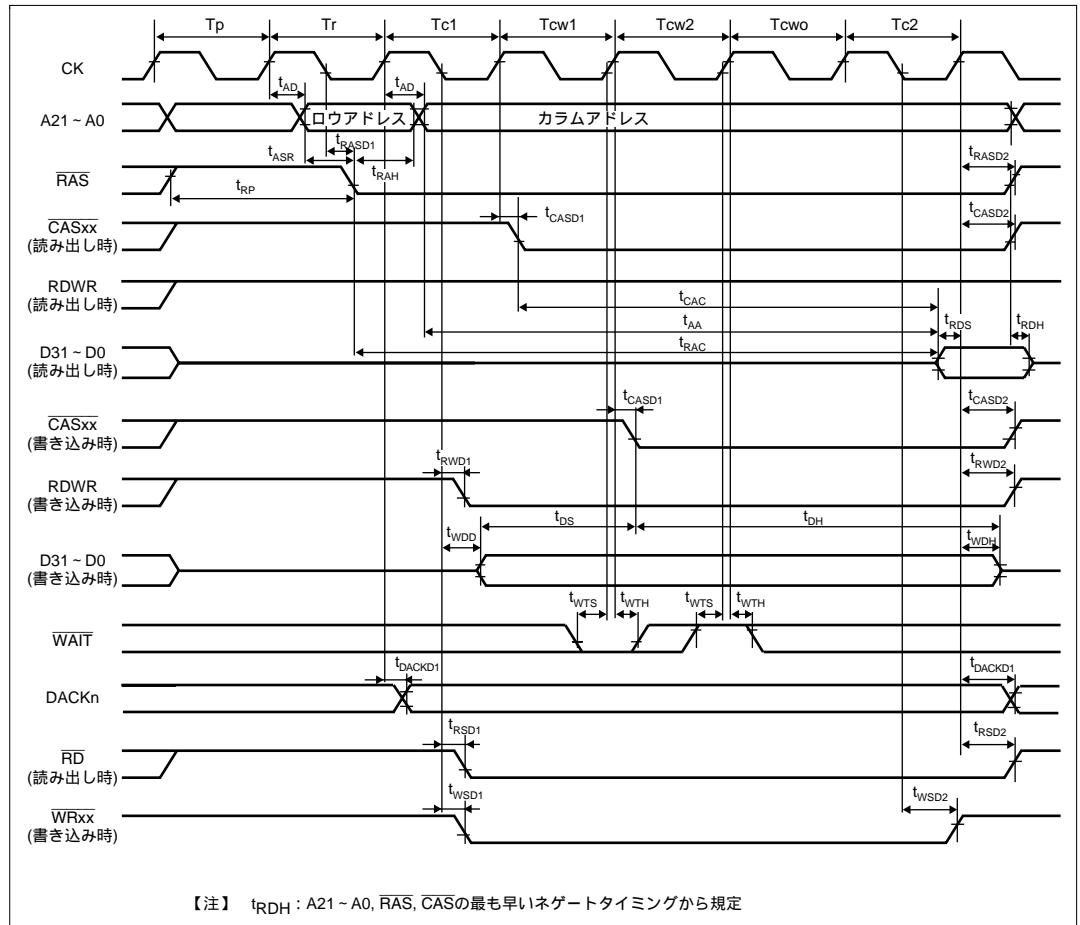


図 25.15 DRAMサイクル (ノーマルモード、2 ウェイト+WAIT 信号によるウェイト)

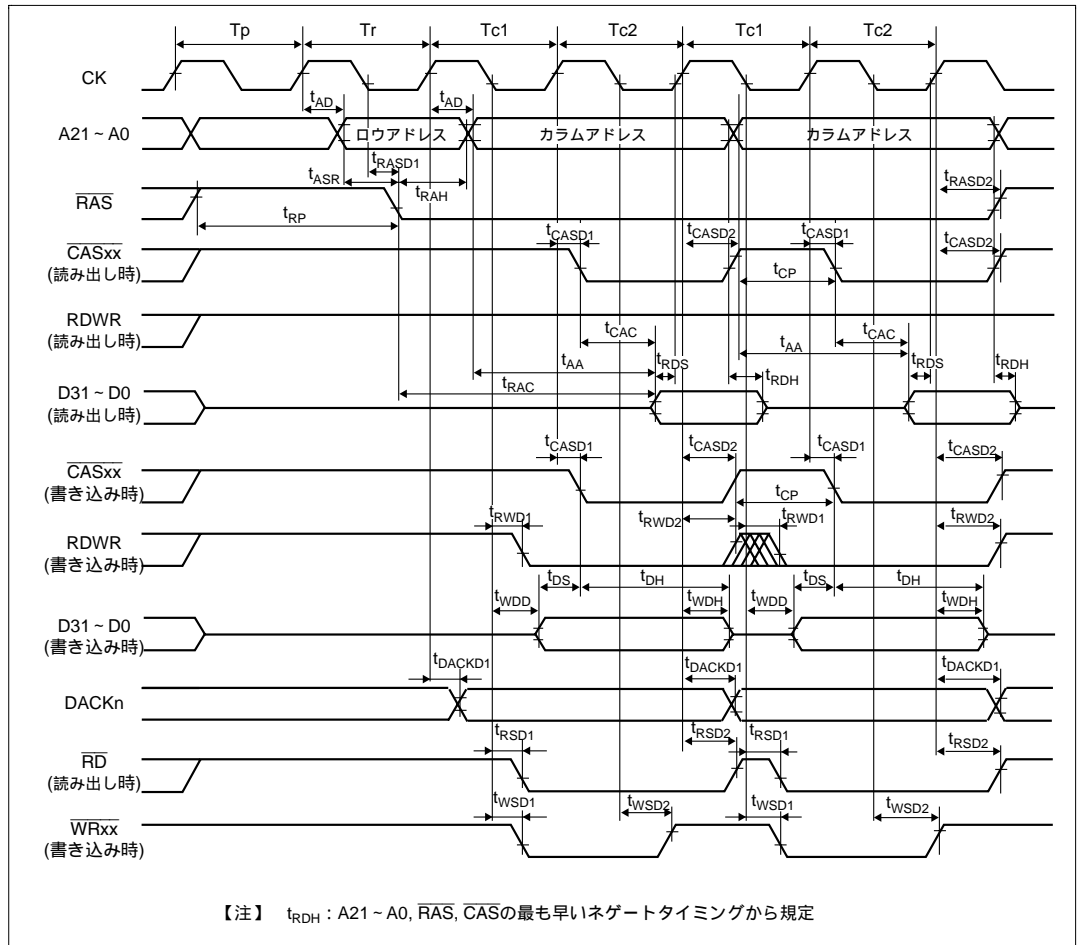


図 25.16 DRAMサイクル (高速ページモード)

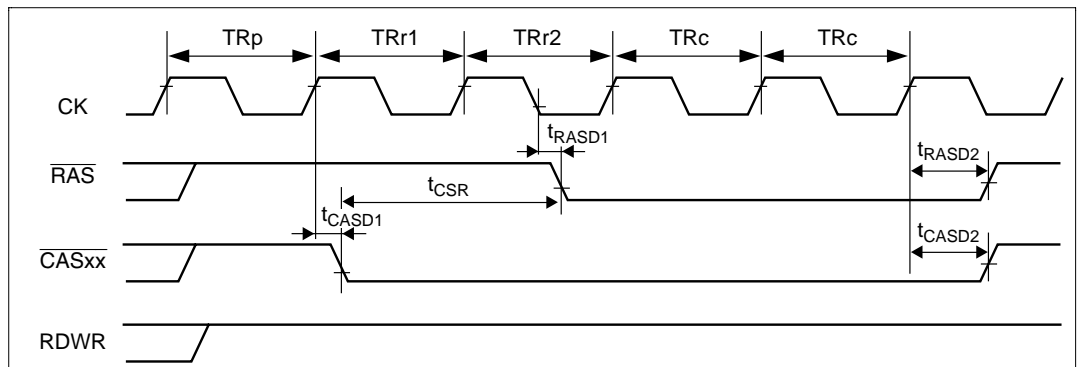


図 25.17 CAS ビフォ RAS リフレッシュ ($TRAS1,0=0,0$)

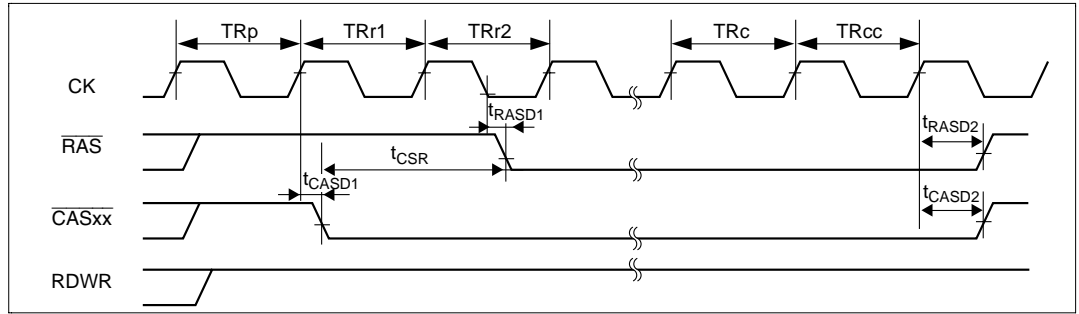
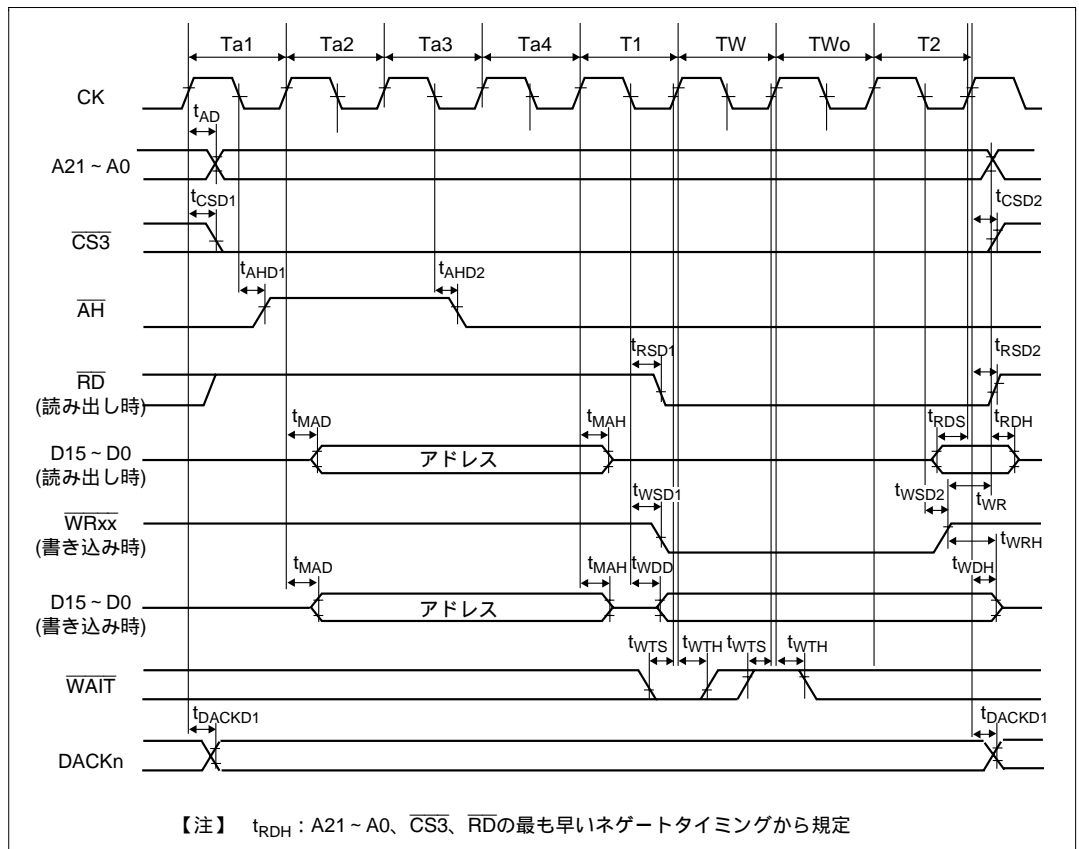


図 25.18 セルフリフレッシュ



【注】 t_{RDH} : A21~A0、CS3、RDの最も早いネゲートタイミングから規定

図 25.19 アドレス/データマルチプレクス I/O 空間サイクル
(1ソフトウェアウェイト+1外部ウェイト)

25.3.4 ダイレクトメモリアクセスコントローラタイミング

表 25.8 にダイレクトメモリアクセスコントローラタイミングを示します。

表 25.8 ダイレクトメモリアクセスコントローラタイミング

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
$\overline{DREQ0}$, $\overline{DREQ1}$ セットアップ時間	t_{DRQS}	18	-	ns	図 25.20
$\overline{DREQ0}$, $\overline{DREQ1}$ ホールド時間	t_{DRQH}	18	-	ns	
$\overline{DREQ0}$, $\overline{DREQ1}$ パルス幅	t_{DRQW}	1.5	-	t_{cyc}	図 25.21
DRAK 出力遅延時間	t_{DRAKD}	-	18	ns	図 25.22

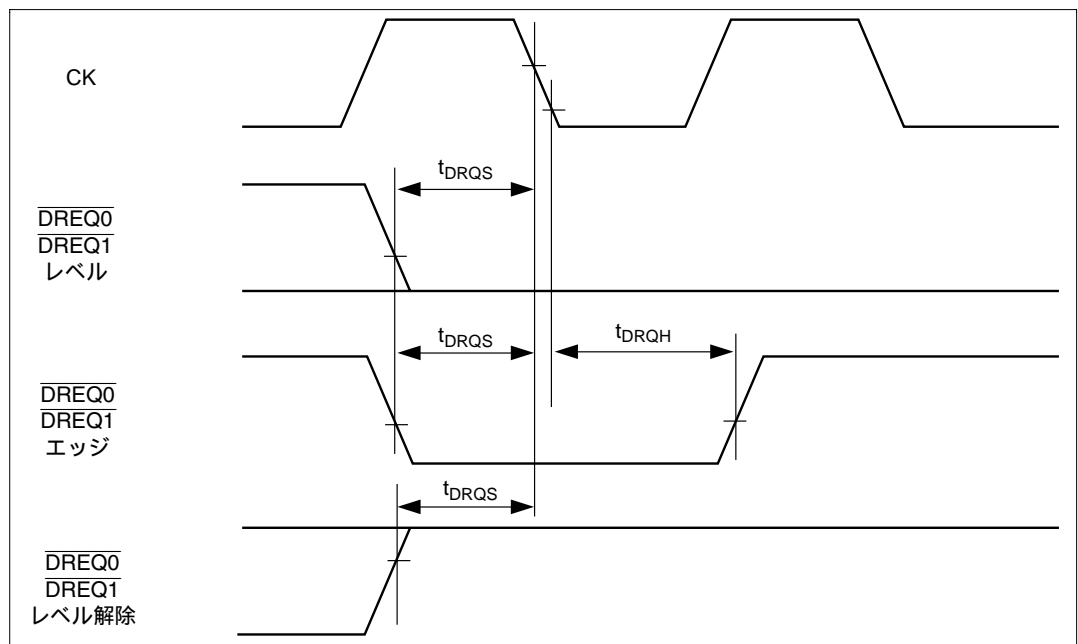


図 25.20 $\overline{DREQ0}$, $\overline{DREQ1}$ 入力タイミング (1)

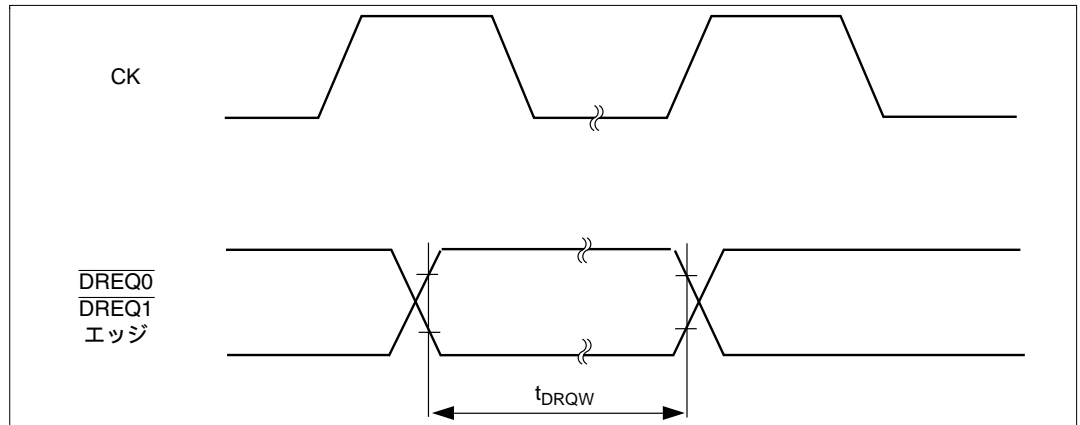


図 25.21 $\overline{DREQ0}$, $\overline{DREQ1}$ 入力タイミング (2)

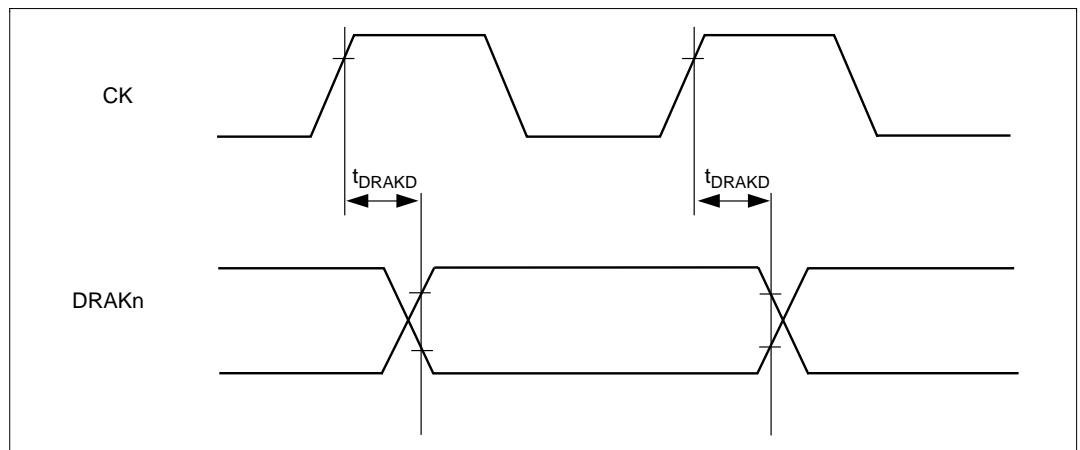


図 25.22 DRAKn 出力遅延時間

25.3.5 マルチファンクションタイマパルスユニットタイミング

表 25.9 にマルチファンクションタイマパルスユニットタイミングを示します。

表 25.9 マルチファンクションタイマパルスユニットタイミング

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	100	ns	図 25.23
インプットキャプチャ入力セットアップ時間	t_{TICS}	30	-	ns	
タイマ入力セットアップ時間	t_{TCKS}	35	-	ns	図 25.24
タイマクロックパルス幅 (単エッジ指定)	$t_{TCKWH/L}$	1.5	-	t_{cyc}	
タイマクロックパルス幅 (両エッジ指定)	$t_{TCKWH/L}$	2.5	-	t_{cyc}	
タイマクロックパルス幅 (位相計数モード)	$t_{TCKWH/L}$	2.5	-	t_{cyc}	

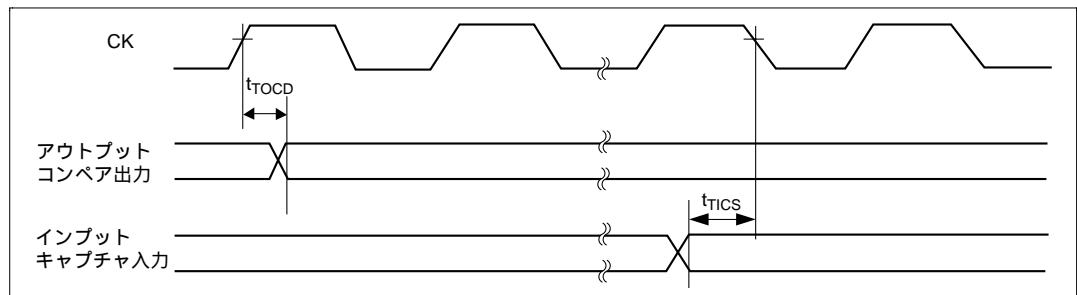


図 25.23 MTU 入出力タイミング

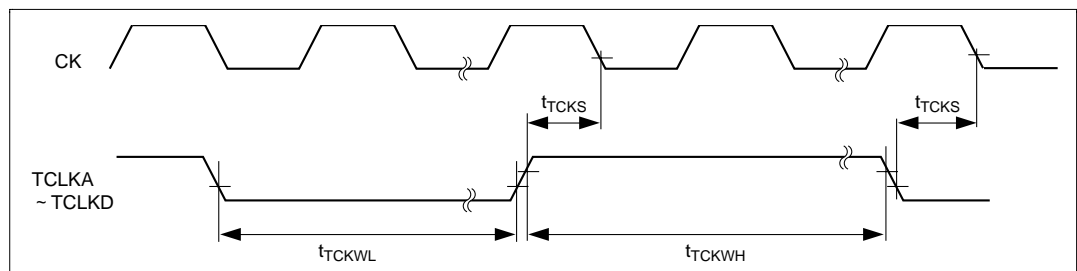


図 25.24 MTU クロック入力タイミング

25.3.6 I/O ポートタイミング

表 25.10 に I/O ポートタイミングを示します。

表 25.10 I/O ポートタイミング

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
ポート出力データ遅延時間	t_{PVD}	-	100	ns	図 25.25
ポート入力ホールド時間	t_{PRH}	35	-	ns	
ポート入力セットアップ時間	t_{PRS}	35	-	ns	

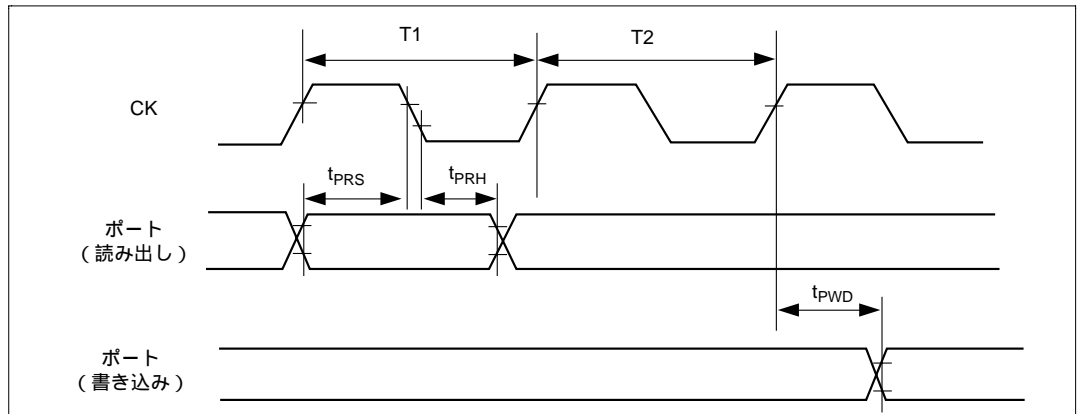


図 25.25 I/O ポート入出力タイミング

25.3.7 ウォッチドッグタイマタイミング

表 25.11 にウォッチドッグタイマタイミングを示します。

表 25.11 ウォッチドッグタイマタイミング

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
WDTOVF 遅延時間	t_{WOVD}	-	100	ns	図 25.26

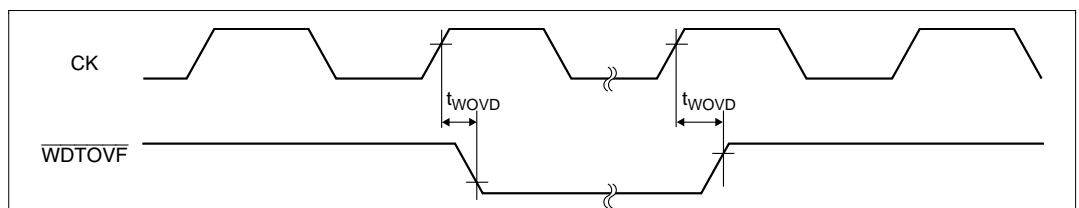


図 25.26 ウォッチドッグタイマタイミング

25.3.8 シリアルコミュニケーションインタフェースタイミング

表 25.12 にシリアルコミュニケーションインタフェースタイミングを示します。

表 25.12 シリアルコミュニケーションインタフェースタイミング

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
入力クロックサイクル	t_{scyc}	4	-	t_{cyc}	図 25.27
入力クロックサイクル(クロック同期)	t_{scyc}	6	-	t_{cyc}	
入力クロックパルス幅	t_{sckw}	0.4	0.6	t_{scyc}	
入力クロック立ち上がり時間	t_{sckr}	-	1.5	t_{cyc}	
入力クロック立ち下がり時間	t_{sckf}	-	1.5	t_{cyc}	
送信データ遅延時間(クロック同期)	t_{TXD}	-	100	ns	図 25.28
受信データセットアップ時間 (クロック同期)	t_{RXS}	100	-	ns	
受信データホールド時間(クロック同期)	t_{RXH}	100	-	ns	

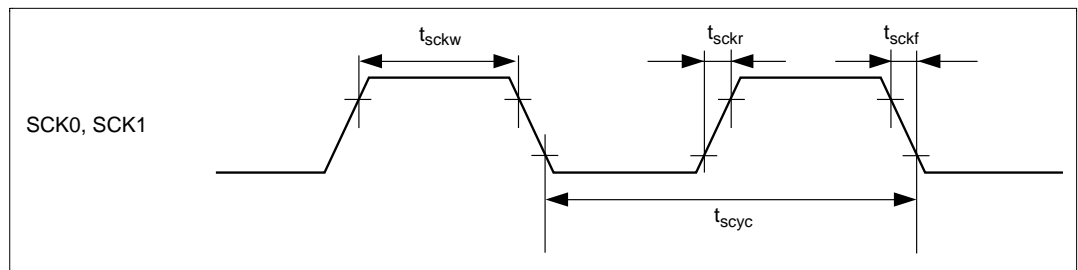


図 25.27 入力クロックタイミング

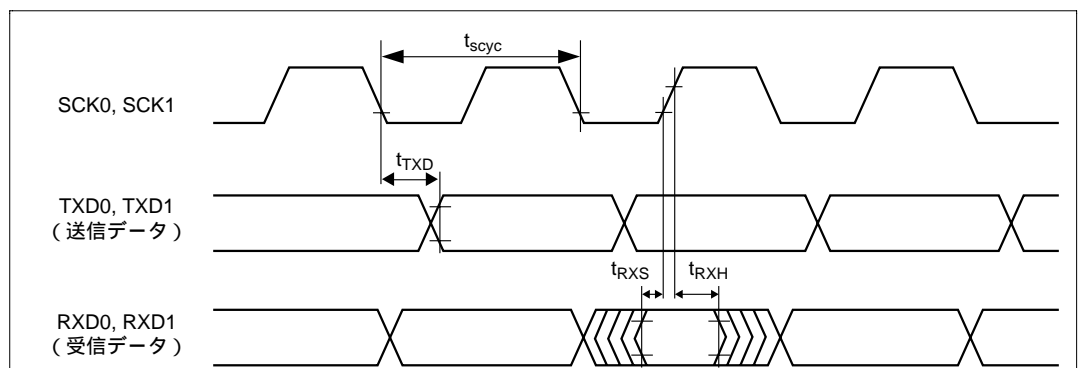


図 25.28 SCI 入出力タイミング(クロック同期式モード)

25.3.9 高速 A/D 変換タイミング (A マスク以外)

表 25.13 に高速 A/D 変換器タイミングを示します。

表 25.12 高速 A/D 変換器タイミング

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	typ	max	単位	参照図
外部トリガ入力パルス幅	t_{TRGW}	2	-	-	t_{cyc}	図 25.29
外部トリガ入力開始遅延時間	t_{TRGS}	50	-	-	ns	
A/D 変換開始遅延時間	CKS = 0 時	t_D	1.5		t_{cyc}	図 25.30
	CKS = 1 時		1.5		t_{cyc}	
入力サンプリング時間	CKS = 0 時	t_{SPL}	20		t_{cyc}	
	CKS = 1 時		40		t_{cyc}	
A/D 変換時間	CKS = 0 時	t_{CONV}	42.5		t_{cyc}	
	CKS = 1 時		82.5		t_{cyc}	

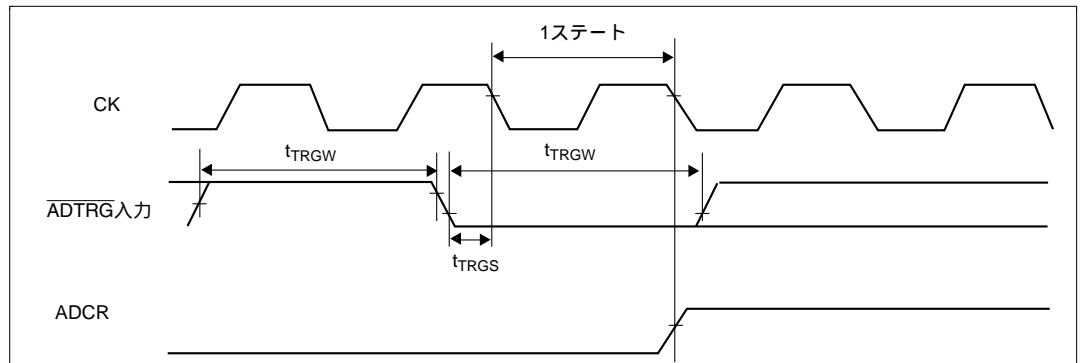


図 25.29 外部トリガ入力タイミング

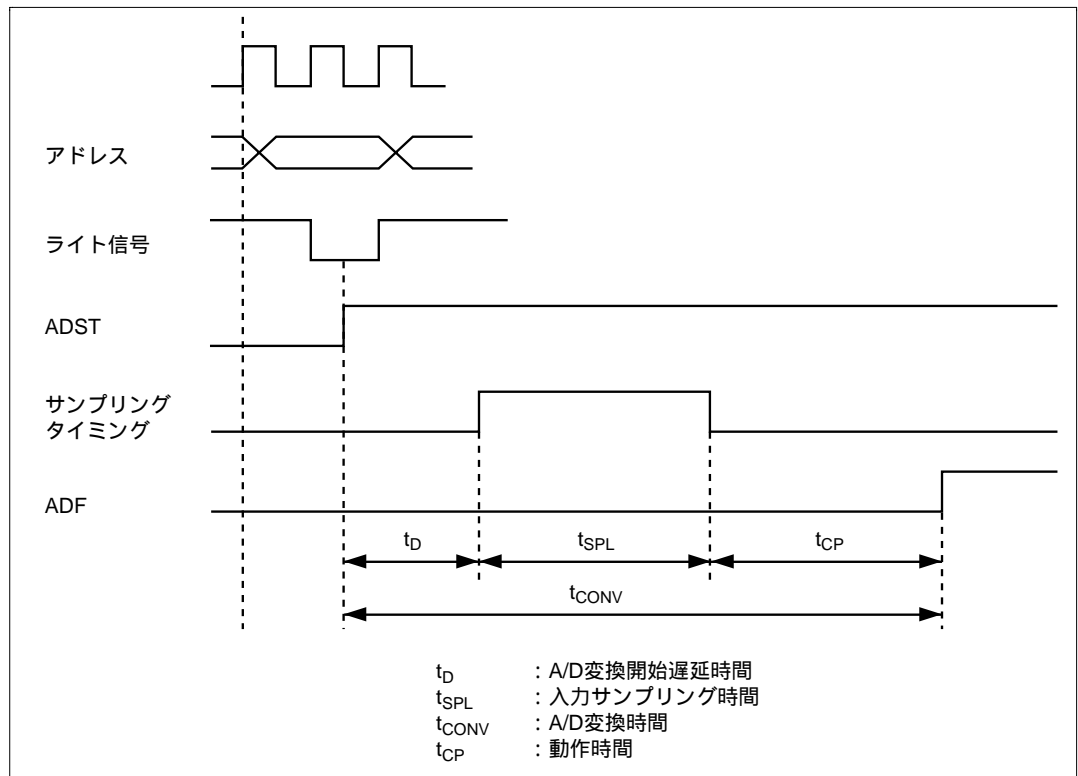


図 25.30 アナログ変換タイミング

25.3.10 中速 A/D 変換器タイミング (A マスク)

表 25.14 に中速 A/D 変換器タイミングを示します。

表 25.14 中速 A/D 変換器タイミング

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目		記号	min	typ	max	単位	参照図
外部トリガ入力パルス幅		t_{TRGW}	2	-	-	t_{cyc}	図 25.31
外部トリガ入力開始遅延時間		t_{TRGS}	50	-	-	ns	
A/D 変換開始遅延時間	CKS = 0 時	t_D	10	-	17	t_{cyc}	図 25.32
	CKS = 1 時		6	-	9	t_{cyc}	
入力サンプリング時間	CKS = 0 時	t_{SPL}	-	64	-	t_{cyc}	
	CKS = 1 時		-	32	-	t_{cyc}	
A/D 変換時間	CKS = 0 時	t_{CONV}	259	-	266	t_{cyc}	
	CKS = 1 時		131	-	134	t_{cyc}	

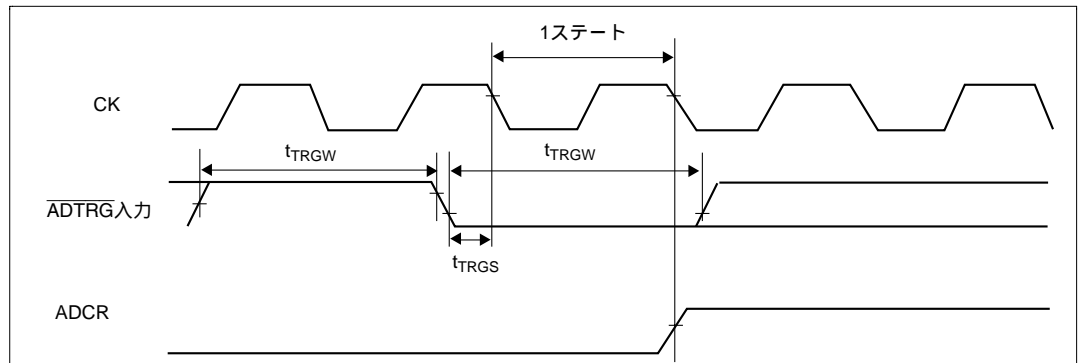


図 25.31 外部トリガ入力タイミング

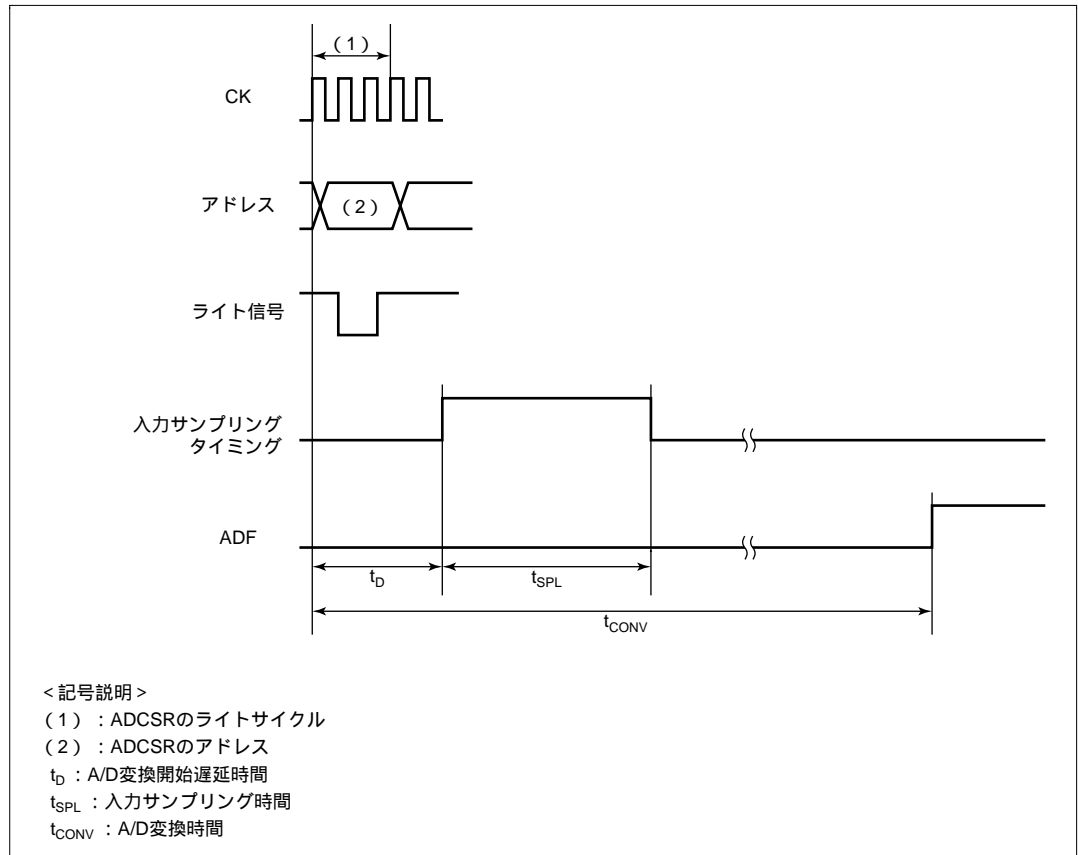


図 25.32 アナログ変換タイミング

25.3.11 AC 特性測定条件

入力参照レベル High レベル : 2.2V、Low レベル : 0.8V

出力参照レベル High レベル : 2.0V、Low レベル : 0.8V

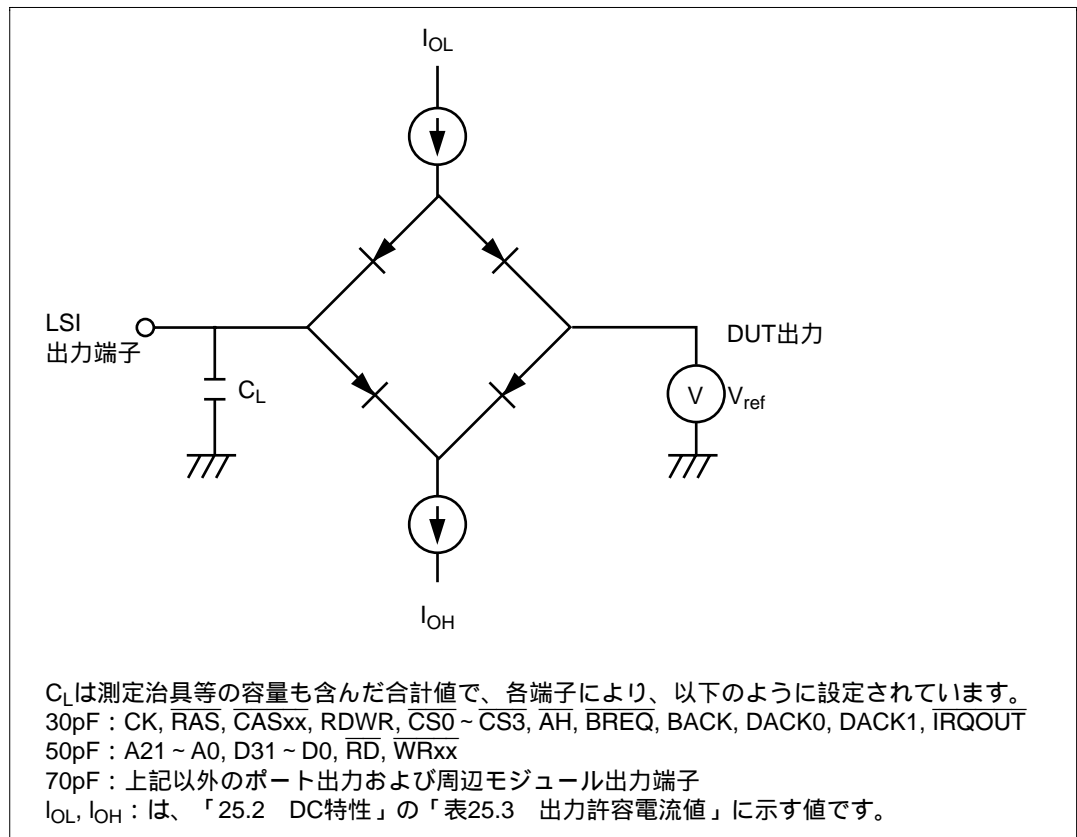


図 25.33 出力負荷回路

25.4 A/D 変換器特性

表 25.15、表 25.16 に A/D 変換器特性を示します。

表 25.15 A/D 変換器特性 (A マスク以外)

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	28.7MHz			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間 (CKS = 1 の場合)	-	-	2.9	μs
アナログ入力容量	-	-	20	pF
許可信号源インピーダンス	-	-	1	k
非直線性誤差*	-	-	± 8	LSB
オフセット誤差*	-	-	± 8	LSB
フルスケール誤差*	-	-	± 8	LSB
量子化誤差*	-	-	± 0.5	LSB
絶対誤差*	-	-	± 15	LSB

【注】 * 参考値

表 25.16 A/D 変換器特性 (A マスク)

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	28.7MHz			20MHz			単位
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
変換時間 (CKS=0 の場合)	-	-	9.3	-	-	13.4	μs
アナログ入力容量	-	-	20	-	-	20	pF
許可信号源インピーダンス	-	-	1	-	-	1	k
非直線性誤差*	-	-	± 3	-	-	± 3	LSB
オフセット誤差*	-	-	± 3	-	-	± 3	LSB
フルスケール誤差*	-	-	± 3	-	-	± 3	LSB
量子化誤差*	-	-	± 0.5	-	-	± 0.5	LSB
絶対誤差	-	-	± 4	-	-	± 4	LSB

【注】 * 参考値

26. 3.3V 16.7MHz 版 電気的特性

第 26 章 目次

26.1	絶対最大定格.....	823
26.2	DC 特性.....	824
26.3	AC 特性.....	827
26.3.1	クロックタイミング.....	827
26.3.2	制御信号タイミング.....	829
26.3.3	バスタイミング.....	832
26.3.4	ダイレクトメモリアクセスコントローラタイミング.....	843
26.3.5	マルチファンクションタイマパルスユニットタイミング.....	845
26.3.6	I/Oポートタイミング.....	846
26.3.7	ウォッチドッグタイマタイミング.....	847
26.3.8	シリアルコミュニケーションインタフェースタイミング.....	848
26.3.9	高速 A/D 変換器タイミング (A マスク以外).....	849
26.3.10	中速 A/D 変換器タイミング (A マスク).....	851
26.3.11	AC 特性測定条件.....	853
26.4	A/D 変換器特性.....	854

26.1 絶対最大定格

絶対最大定格を表 26.1 に示します。

表 26.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	-0.3 ~ +7.0	V
プログラマブル電圧 (ZTAT 版のみ)	V_{PP}	-0.3 ~ +13.5	V
入力電圧 (A/D ポート以外)	V_{in}	-0.3 ~ $V_{CC}+0.3$	V
入力電圧 (A/D ポート)	V_{in}	-0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ基準電圧 (FP-144 のみ)	AV_{ref}	-0.3 ~ $AV_{CC}+0.3$	V
アナログ入力電圧	V_{AN}	-0.3 ~ $V_{CC}+0.3$	V
動作温度	T_{opr}	-20 ~ +75	
書き換え温度 (ZTAT 版のみ)	T_{we}	-20 ~ +75	
保存温度	T_{stg}	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

26.2 DC 特性

DC 特性を表 26.2 に示します。

表 26.2 DC 特性

(条件: $V_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^{*1} \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	typ	max	単位	測定条件	
入力ハイ レベル電圧	RES,NMI, MD3~0,FWP PA2,PA5, PA6~PA9, PE0~PE15	V_{IH}	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V	
	A/D ポート		$V_{CC} \times 0.7$	-	$AV_{CC} + 0.3$	V	
	その他の入力 端子		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V	
入力ロー レベル電圧	RES,NMI, MD3~0, PA2,PA5, PA6~PA9, PE0~PE15	V_{IL}	- 0.3	-	$V_{CC} \times 0.1$	V	
	その他の入力 端子		- 0.3	-	$V_{CC} \times 0.2$	V	
シュミット トリガ入力 電圧	PA2,PA5, PA6~PA9 PE0~PE15	$V_T^+ - V_T^-$	$V_{CC} \times 0.07$	-	-	V	$V_T^+ \quad V_{CC} \times 0.9V \text{ (min)}$
							$V_T^- \quad V_{CC} \times 0.2V \text{ (max)}$
入力リーク 電流	RES,NMI, MD3~0 PA2,PA5, PA6~PA9 PE0~PE15	I_{in}	-	-	1.0	μA	$V_{in} = 0.5 - V_{CC} - 0.5V$
	A/D ポート		-	-	1.0	μA	$V_{in} = 0.5 - AV_{CC} - 0.5V$
	その他の入力 端子		-	-	1.0	μA	$V_{in} = 0.5 - V_{CC} - 0.5V$
スリーステ ートリーク 電流(オフ状 態)	A21~A0, D31~D0, CS3~CS0, RDWR, RAS, CASxx, WRxx, RD ポート A, B,C,D,E	I_{TSI}	-	-	1.0	μA	$V_{in} = 0.5 - V_{CC} - 0.5V$
出力ハイ レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
			$V_{CC} - 1.0$	-	-	V	$I_{OH} = -1mA$
出力ロー レベル電圧	全出力端子	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$

項目	記号	min	typ	max	単位	測定条件	
入力容量	RES	C _{in}	-	-	80*2	pF	V _{in} = 0V f = 1 MHz T _a = 25
	NMI		-	-	50	pF	
	その他の全入力端子		-	-	20	pF	
消費電流	通常動作時	I _{CC}	-	80	130	mA	f=16.7MHz
	スリープ時		-	70	110	mA	f=16.7MHz
	スタンバイ時		-	0.01	5	μA	T _a 50
			-	-	20	μA	50 < T _a
アナログ電源電流	A _{I_{CC}}	-	4	8	mA	f=16.7MHz	
	A _{I_{ref}}	-	0.5	1*3	mA	A _{I_{ref}} は QFP 144 のみ	
RAM スタンバイ電圧	V _{RAM}	2.0	-	-	V		

【使用上の注意】

- A/D 変換器を使用しないとき（スタンバイ時含む）に、AV_{CC}、AV_{SS}、AV_{ref}（SH7041、SH7043、SH7045 のみ）端子を解放しないでください。
AV_{CC}、AV_{ref}（SH7041、SH7043、SH7045 のみ）端子は V_{CC} に、AV_{SS} 端子は V_{SS} にそれぞれ接続してください。
- 消費電流値は、V_{IH}min=V_{CC} - 0.5V、V_{IL}max=0.5V の条件で、すべての出力端子を無負荷状態にした場合の値です。
- ZTAT 版と MASK 版、および F-ZTAT 版と MASK 版の機能は同じであり、電気的特性は共に規格内にありますが、特性上の実力値や動作マージン、ノイズマージン、輻射ノイズなどは異なりますので、システムの設計時および ZTAT 版と MASK 版の置き換えをするときには、ご注意ください。

*1 SH7042/43 ZTAT (A マスク以外) は 3.2V

*2 A マスクでは 110pF

*3 A マスクの MASK 版は 2mA

表 26.3 出力許容電流値

(条件: $V_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^* \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項 目	記号	min	typ	max	単位
出力ローレベル許容電流 (1 端子当たり)	I_{OL}	-	-	2.0	mA
出力ローレベル許容電流 (総和)	I_{OL}	-	-	80	mA
出力ハイレベル許容電流 (1 端子当たり)	$-I_{OH}$	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	$(-I_{OH})$	-	-	25	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 26.3 の値を超えないようにしてください。

* SH7042/43 ZTAT (A マスク以外) は、3.2V

26.3 AC 特性

26.3.1 クロックタイミング

表 26.4 にクロックタイミングを示します。

表 26.4 クロックタイミング

(条件: $V_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^* \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
動作周波数	f_{OP}	4	16.7	MHz	図 26.1
クロックサイクル時間	t_{cyc}	60	250	ns	
クロックローレベルパルス幅	t_{CL}	10	-	ns	
クロックハイレベルパルス幅	t_{CH}	10	-	ns	
クロック立ち上がり時間	t_{CR}	-	5	ns	
クロック立ち下がり時間	t_{CF}	-	5	ns	
EXTAL クロック入力周波数	f_{EX}	4	10	MHz	図 26.2
EXTAL クロック入力サイクル時間	t_{EXcyc}	100	250	ns	
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	40	-	ns	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	40	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	-	5	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	-	5	ns	
リセット発振安定時間	t_{OSC1}	10	-	ms	図 26.3
スタンバイ復帰発振安定時間	t_{OSC2}	10	-	ms	

【注】 * SH7042/43 ZTAT (A マスク以外) は 3.2V

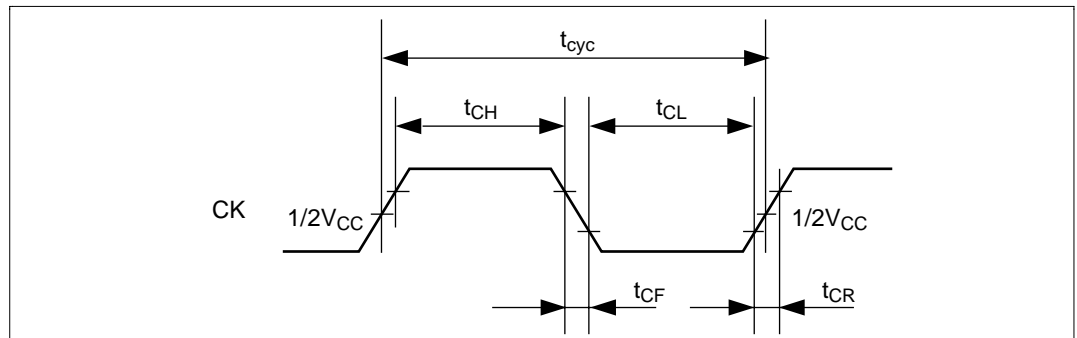


図 26.1 システムクロックタイミング

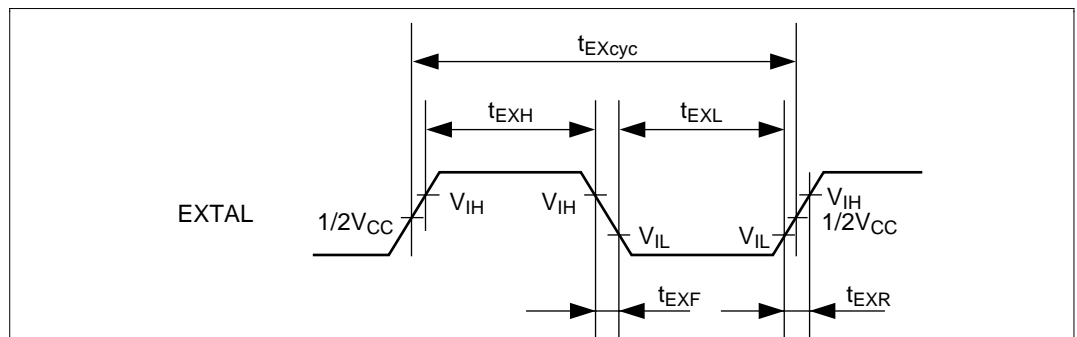


図 26.2 EXTAL クロック入力タイミング

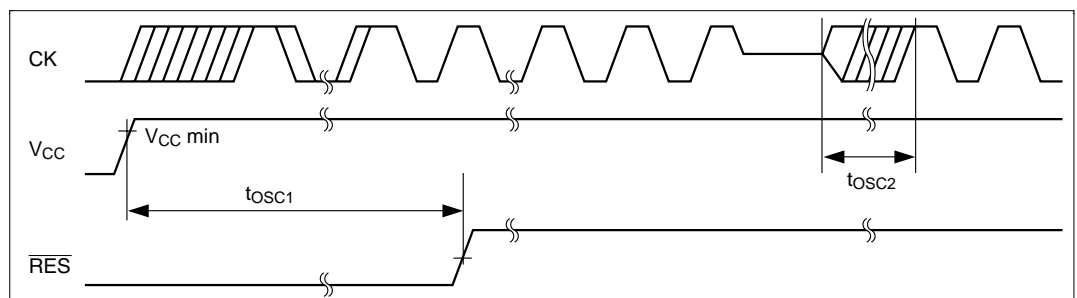


図 26.3 発振安定時間

26.3.2 制御信号タイミング

表 26.5 制御信号タイミング

(条件: $V_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^{*1} \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
\overline{RES} 立ち上がり、立ち下がり	t_{RESr} t_{RESf}	-	200	ns	図 26.4
\overline{RES} パルス幅	t_{RESW}	20	-	t_{cyc}	
\overline{MRES} パルス幅	t_{MRESW}	20	-	t_{cyc}	
NMI 立ち上がり、立ち下がり	t_{NMIr} t_{NMIf}	-	200	ns	図 26.4
\overline{RES} セットアップ時間 ^{*1}	t_{RESS}	100	-	ns	
\overline{MRES} セットアップ時間 ^{*1}	t_{MRESS}	100	-	ns	
NMI セットアップ時間 ^{*1}	t_{NMIS}	100	-	ns	図 26.5
$\overline{IRQ7} \sim \overline{IRQ0}$ セットアップ時間 ^{*2} (エッジ検出時)	t_{IRQES}	100	-	ns	
$\overline{IRQ7} \sim \overline{IRQ0}$ セットアップ時間 ^{*2} (レベル検出時)	t_{IRQLS}	100	-	ns	図 26.5
NMI ホールド時間	t_{NMIH}	50	-	ns	
$\overline{IRQ7} \sim \overline{IRQ0}$ ホールド時間	t_{IRQEH}	50	-	ns	図 26.6
\overline{IRQOUT} 出力遅延時間	t_{IRQOD}	-	50	ns	
バスリクエストセットアップ時間	t_{BRQS}	35	-	ns	図 26.7
バスアクリッジ遅延時間 1	t_{BACKD1}	-	35	ns	
バスアクリッジ遅延時間 2	t_{BACKD2}	-	35	ns	
バススリーステート遅延時間	t_{BZD}	-	35	ns	

【注】 *1 SH7042/43 ZTAT (A マスク以外) は 3.2V。

*2 \overline{RES} 、 \overline{MRES} 、NMI、 \overline{BREQ} および $\overline{IRQ7} \sim \overline{IRQ0}$ 信号は非同期入力ですが、ここに示されたセットアップが守られた場合、クロックの立ち上がり (\overline{RES} 、 \overline{MRES} 、 \overline{BREQ} の場合) もしくは立ち下がり (NMI および $\overline{IRQ7} \sim \overline{IRQ0}$ の場合) で変化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち上がり / 立ち下がりまで認識が遅れることがあります。

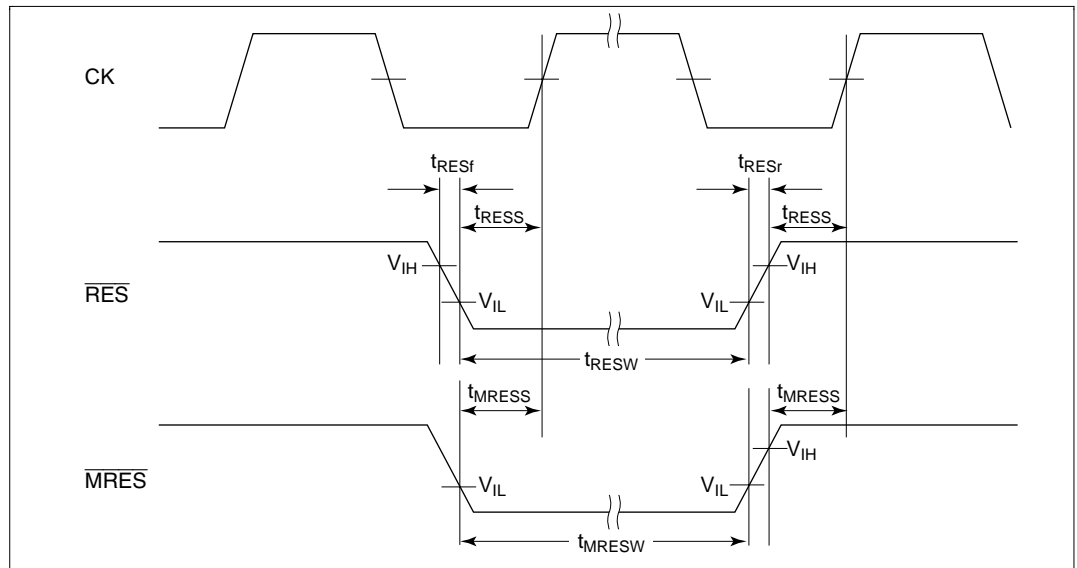


図 26.4 リセット入力タイミング

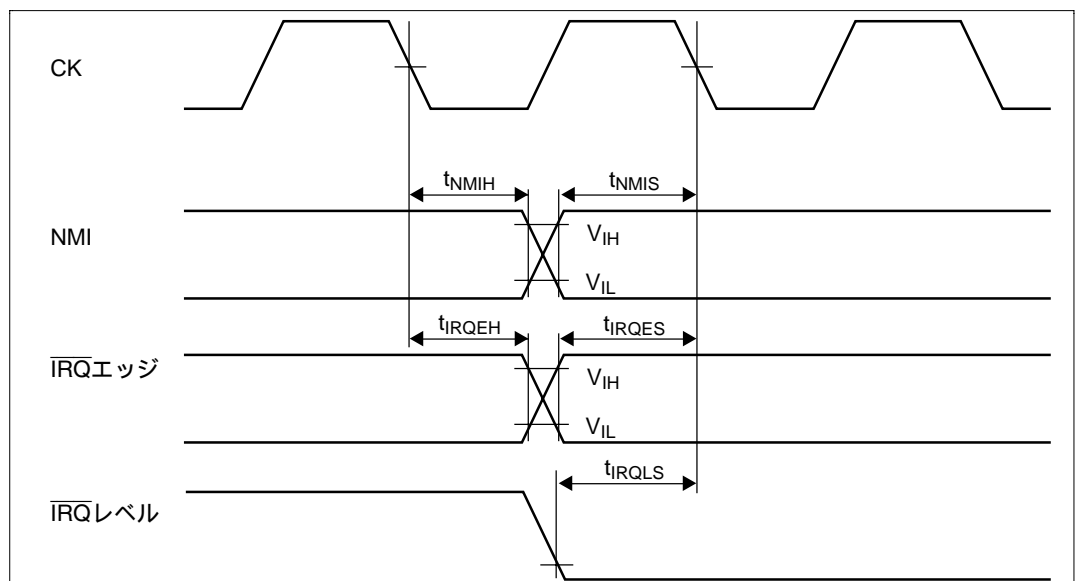


図 26.5 割り込み信号入力タイミング

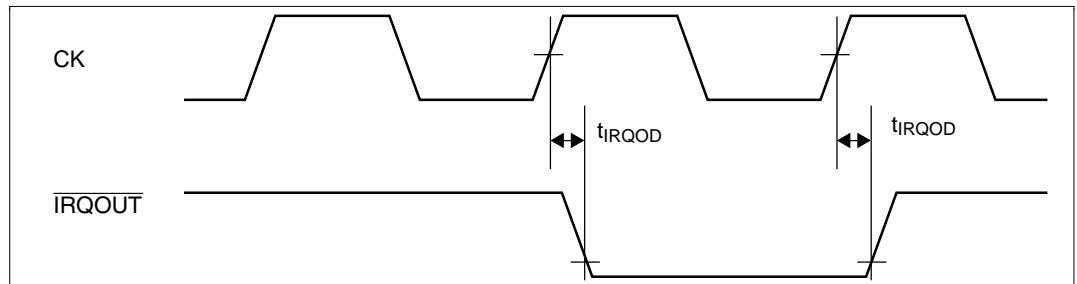


図 26.6 割り込み信号出力タイミング

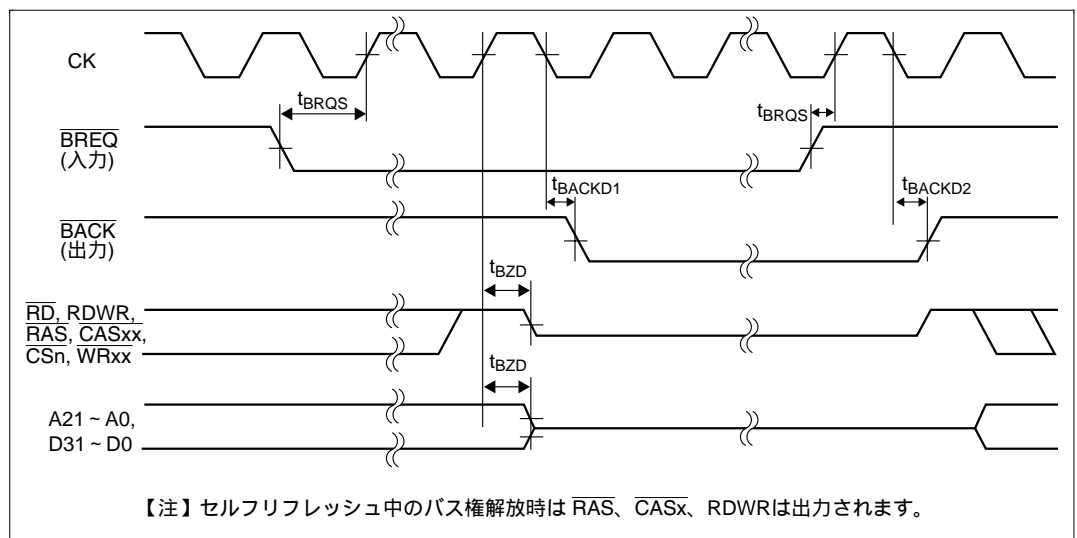


図 26.7 バス権解放タイミング

26.3.3 バスタイミング

表 26.6 バスタイミング

(条件: $V_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^{*1} \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
アドレス遅延時間	t_{AD}	3^{*4}	35	ns	図 26.8,9,11 ~ 16,19
CS 遅延時間 1	t_{CSD1}	3^{*4}	35	ns	図 26.8,9,19
CS 遅延時間 2	t_{CSD2}	3^{*4}	35	ns	図 26.8,9,19
読み出しストローク遅延時間 1	t_{RSD1}	3^{*4}	35	ns	図 26.8,9,11 ~ 16,19
読み出しストローク遅延時間 2	t_{RSD2}	3^{*4}	35	ns	図 26.8,9,11 ~ 16,19
読み出しデータセットアップ時間	t_{RDS}^{*5}	25	-	ns	図 26.8,9,11 ~ 16,19
読み出しデータホールド時間	t_{RDH}	0	-	ns	図 26.8,9,11 ~ 16,19
書き込みストローク遅延時間 1	t_{WSD1}	3^{*4}	35	ns	図 26.8,9,11 ~ 16,19
書き込みストローク遅延時間 2	t_{WSD2}	3^{*4}	35	ns	図 26.8,9,11 ~ 16,19
書き込みデータ遅延時間	t_{WDD}	-	45	ns	図 26.8,9,11 ~ 16,19
書き込みデータホールド時間	t_{WDH}	0	25^{*3}	ns	図 26.8,9,11 ~ 16,19
WAIT セットアップ時間	t_{WTS}	15	-	ns	図 26.10,15,19
WAIT ホールド時間	t_{WTH}	0	-	ns	図 26.10,15,19
RAS 遅延時間 1	t_{RASD1}	3^{*4}	35	ns	図 26.11 ~ 18
RAS 遅延時間 2	t_{RASD2}	3^{*4}	35	ns	図 26.11 ~ 18
CAS 遅延時間 1	t_{CASD1}	3^{*4}	35	ns	図 26.11 ~ 18
CAS 遅延時間 2	t_{CASD2}	3^{*4}	35	ns	図 26.11 ~ 18
読み出しデータアクセス時間	t_{ACC}^{*2}	$t_{cyc} \times (n+2) - 45$	-	ns	図 26.8,9
読み出しストロークからのアクセス時間	t_{OE}^{*2}	$t_{cyc} \times (n+1.5) - 40$	-	ns	図 26.8,9
カラムアドレスからのアクセス時間	t_{AA}^{*2}	$t_{cyc} \times (n+2) - 45$	-	ns	図 26.11 ~ 16
RAS からのアクセス時間	t_{RAC}^{*2}	$t_{cyc} \times (n+RCD+2.5) - 40$	-	ns	図 26.11 ~ 16
CAS からのアクセス時間	t_{CAC}^{*2}	$t_{cyc} \times (n+1) - 40$	-	ns	図 26.11 ~ 16
ロウアドレスホールド時間	t_{RAH}	$t_{cyc} \times (RCD+0.5) - 15$	-	ns	図 26.11 ~ 16
ロウアドレスセットアップ時間	t_{ASR}	0	-	ns	図 26.11 ~ 16
データ入力セットアップ時間	t_{DS}	$t_{cyc} \times (m+0.5) - 27$	-	ns	図 26.11 ~ 16
データ入力ホールド時間	t_{DH}	20	-	ns	図 26.11 ~ 16

【注】 n はウェイト数。m は DRAM 書き込みサイクルウェイト数が 0 のとき 0、それ以外は 1。

RCD は DCR の RCD ビットの設定値。

*1 SH7042/43 ZTAT (A マスク以外) は 3.2V。

*2 アクセス時間が満足されていれば、 t_{RDS} は満足されている必要はありません。

*3 $t_{WDH}(\max)$ は参考値です。

*4 遅延時間の min 値は参考値 (typ) です。

*5 t_{RDS} は参考値です。

表 26.7 バスタイミング

(条件: $V_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^{*1} \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
書き込みアドレスセットアップ時間	t_{AS}	0	-	ns	図 26.8 ~ 9
書き込みアドレス保持時間	t_{WR}	5	-	ns	図 26.8 ~ 9
書き込みデータ保持時間	t_{WRH}	0	-	ns	図 26.8 ~ 9
読み出し書き込みストロープ遅延時間 1	t_{RWD1}	3^{*2}	27	ns	図 26.11 ~ 16
読み出し書き込みストロープ遅延時間 2	t_{RWD2}	3^{*2}	27	ns	図 26.11 ~ 16
高速ページモード \overline{CAS} プリチャージ時間	t_{CP}	$t_{cyc}-35$	-	ns	図 26.16
RAS プリチャージ時間	t_{RP}	$t_{cyc} \times$ (TPC+1.5) -20	-	ns	図 26.11 ~ 16
\overline{CAS} セットアップ時間	t_{CSR}	10	-	ns	図 26.17,18
\overline{AH} 遅延時間 1	t_{AHD1}	3^{*2}	40	ns	図 26.19
\overline{AH} 遅延時間 2	t_{AHD2}	3^{*2}	40	ns	図 26.19
マルチプレクスアドレス遅延時間	t_{MAD}	3^{*2}	35	ns	図 26.19
マルチプレクスアドレスホールド時間	t_{MAH}	0	-	ns	図 26.19
DACK 遅延時間 1	t_{DACKD1}	3^{*2}	45	ns	図 26.8,9, 11 ~ 16,19

【注】 TPC は DCR の TPC ビットの設定値。

*1 SH7042/43 ZTAT (A マスク以外) は 3.2V。

*2 遅延時間の min 値は参考値 (typ) です。

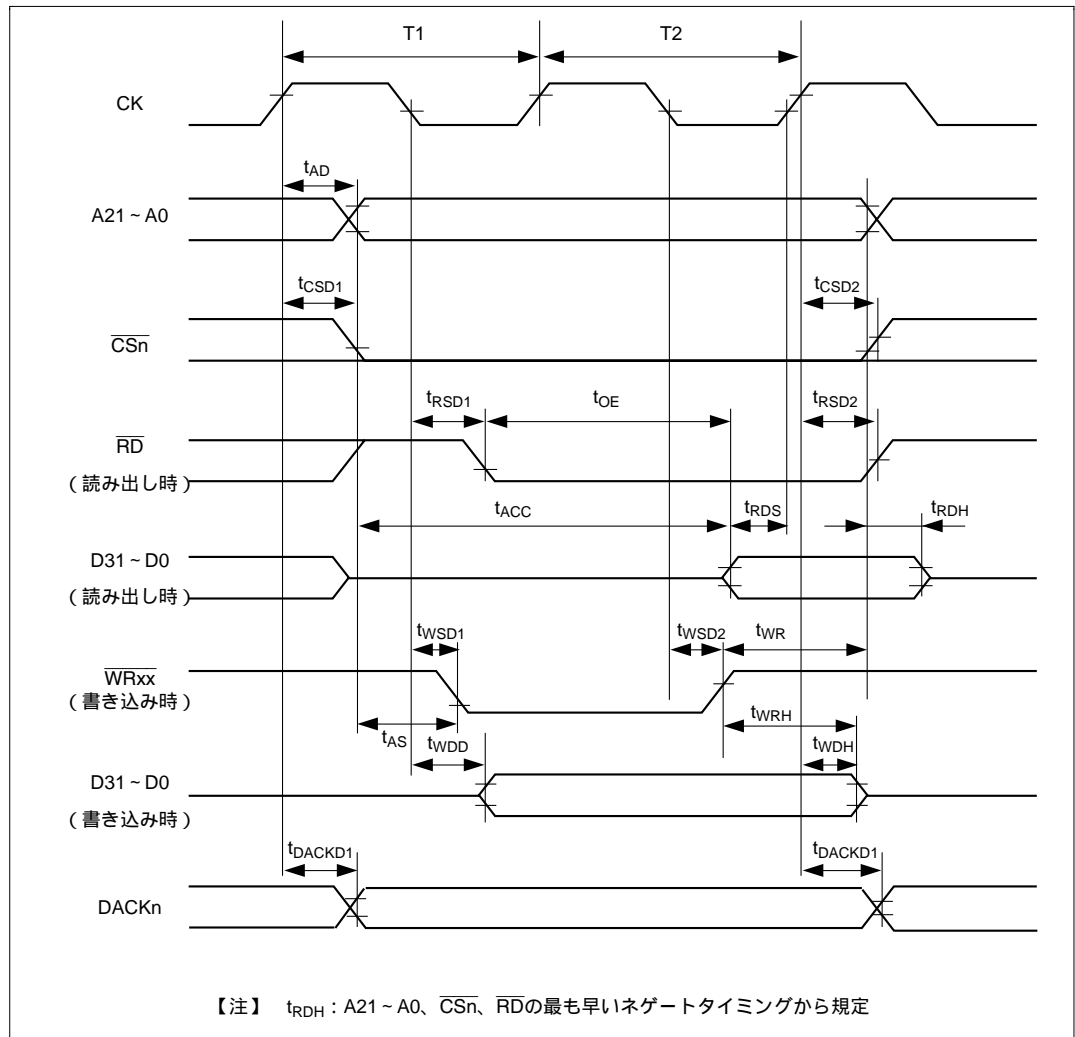


図 26.8 基本サイクル (ノーウェイト)

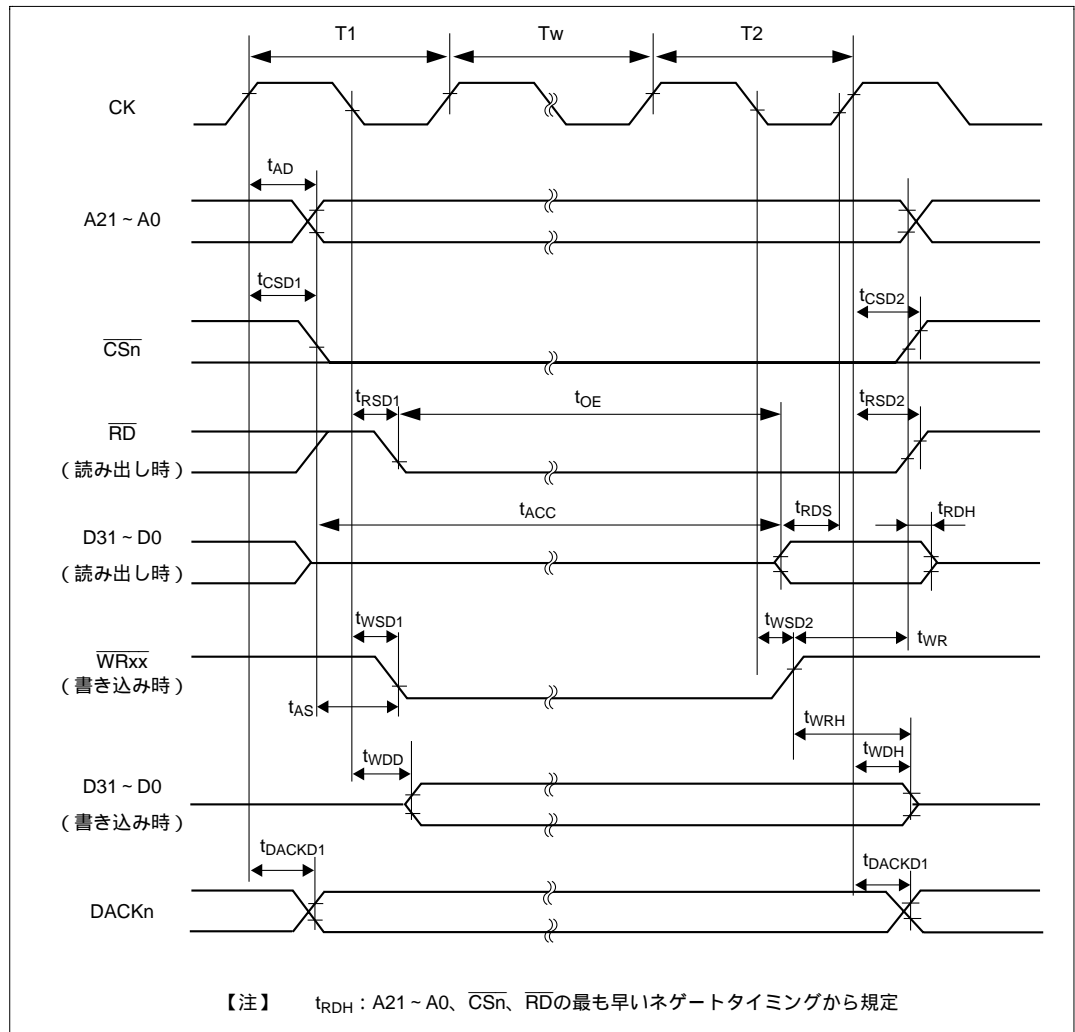


図 26.9 基本サイクル (ソフトウェアウェイト)

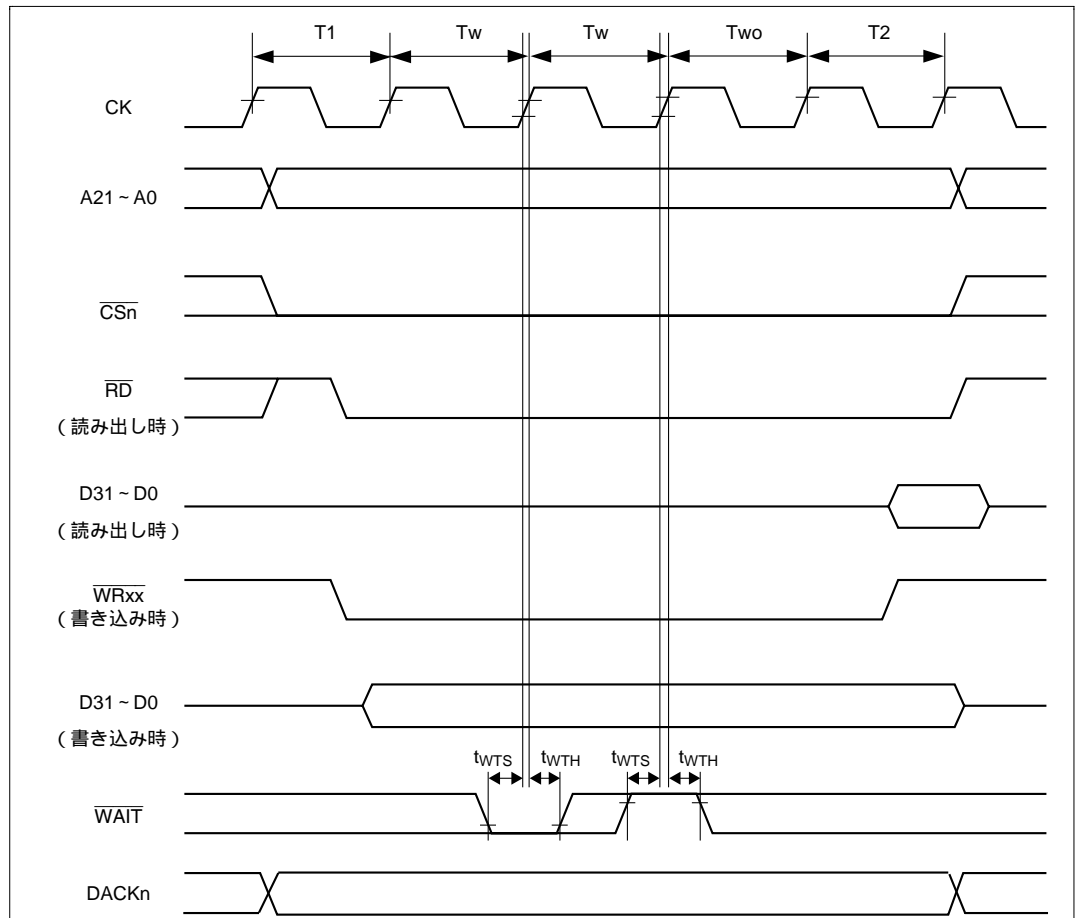


図 26.10 基本サイクル (2ソフトウェアウェイト+ \overline{WAIT} 信号によるウェイト)

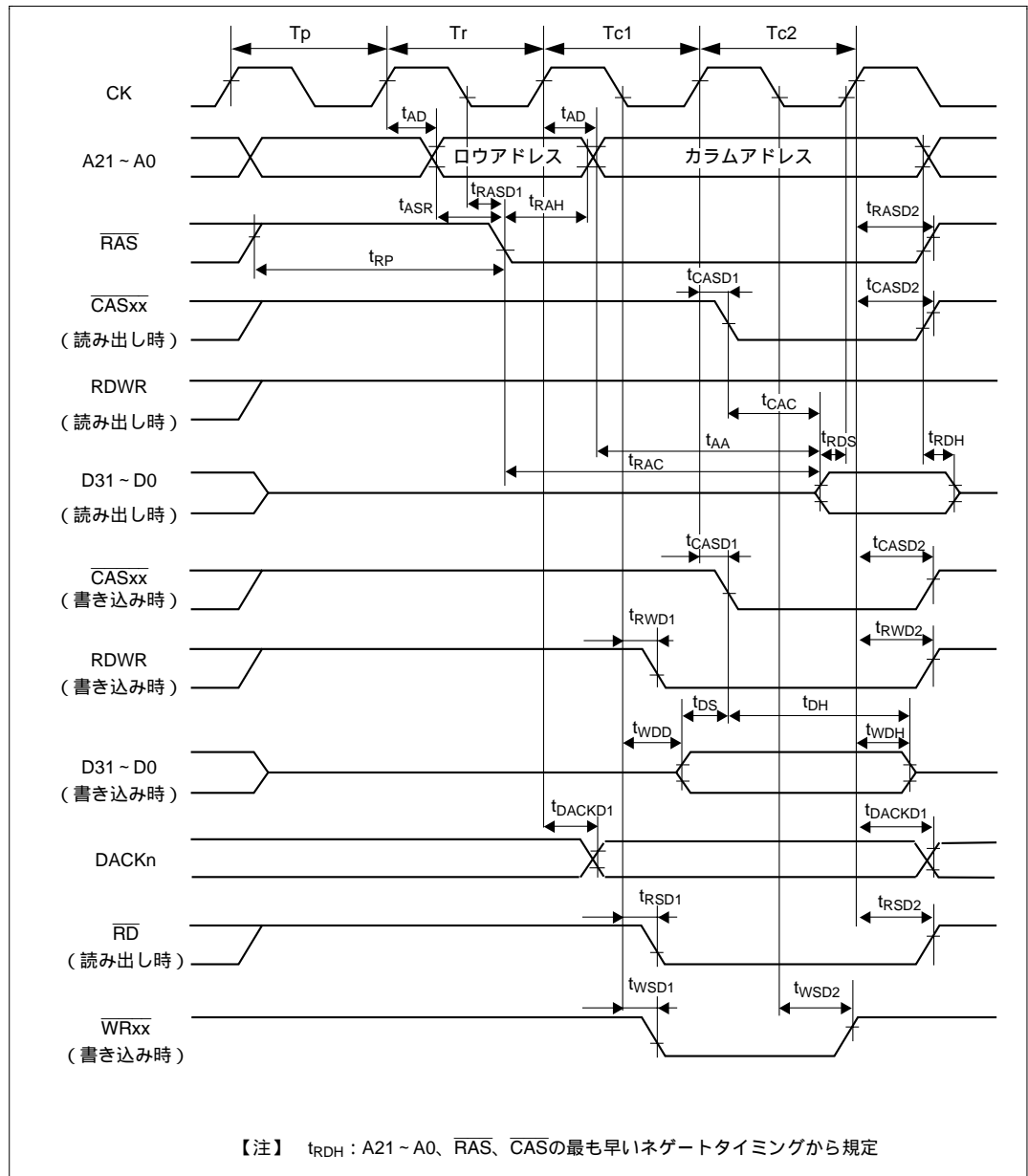


図 26.11 DRAMサイクル (ノーマルモード、ノーウェイト、TPC=0、RCD=0)

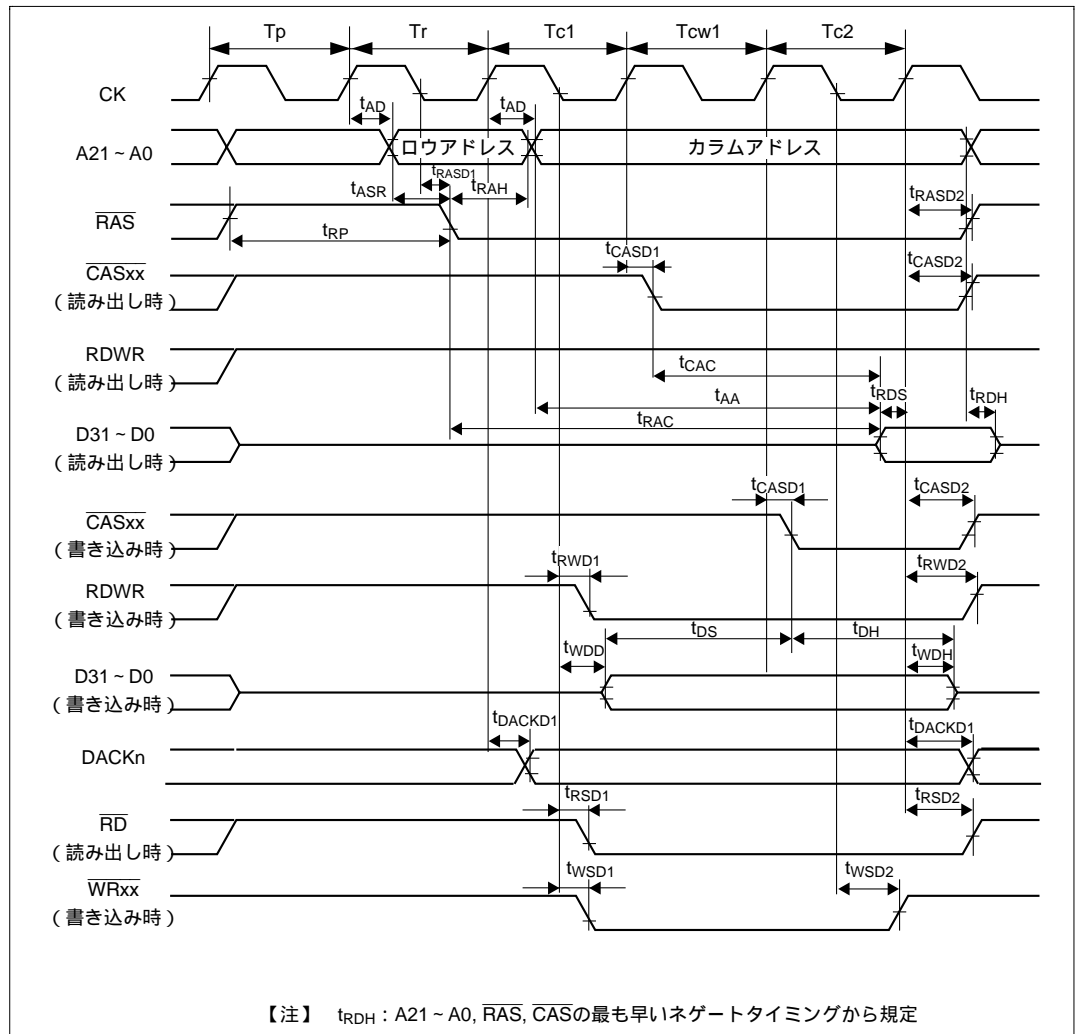


図 26.12 DRAMサイクル (ノーマルモード、1 ウェイト、TPC=0、RCD=0)

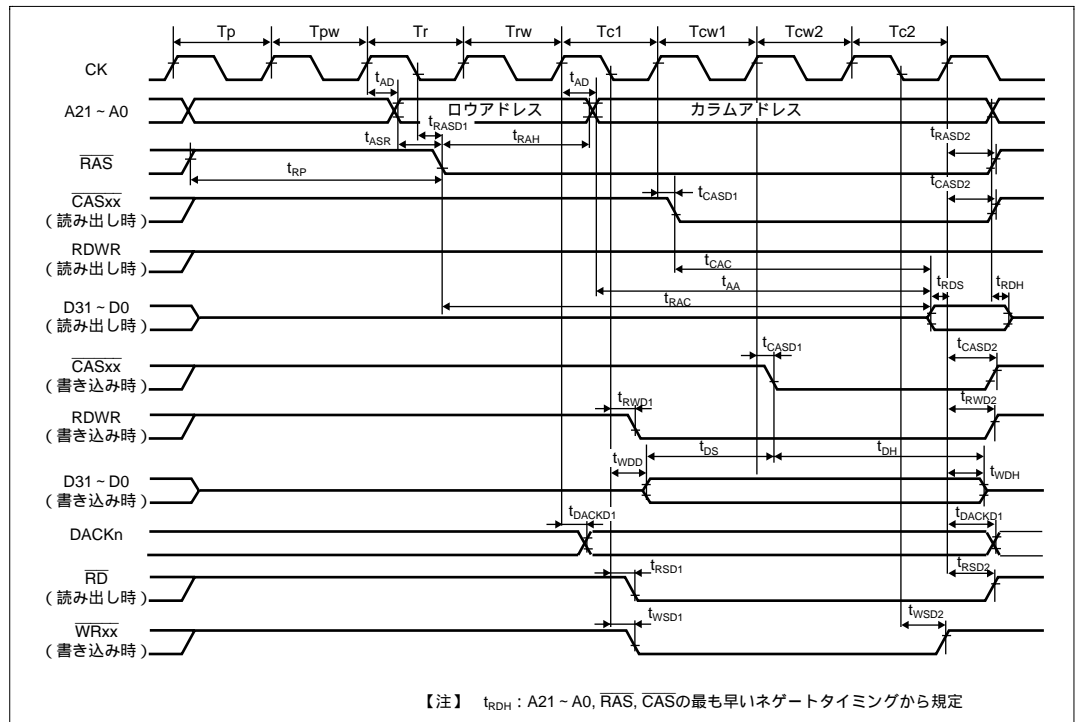


図 26.13 DRAMサイクル (ノーマルモード、2ウェイト、TPC=1、RCD=1)

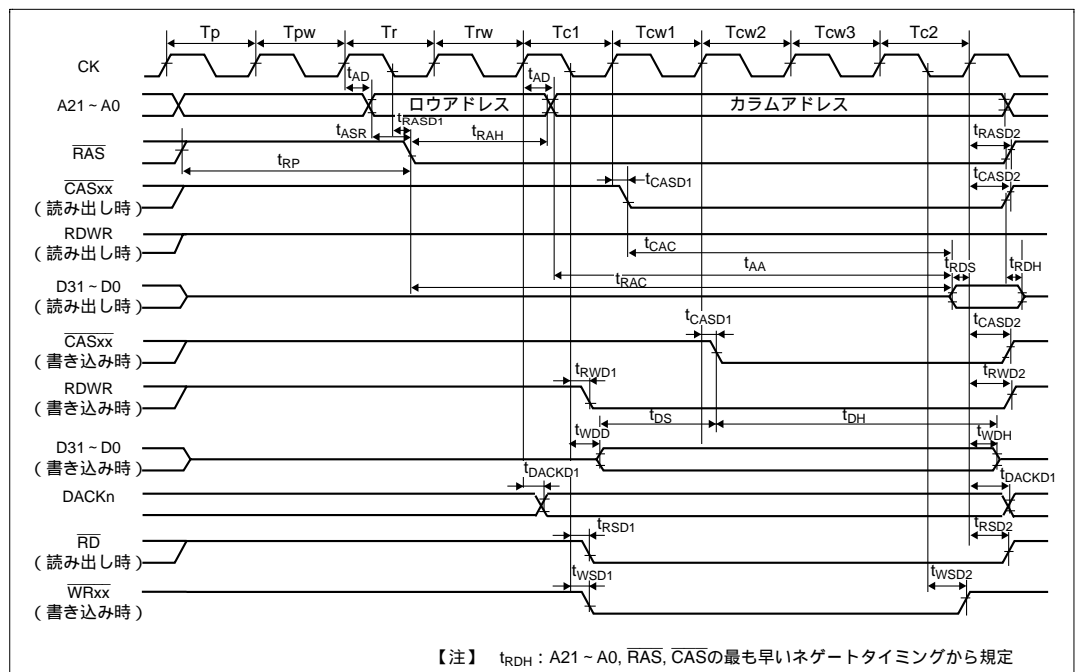


図 26.14 DRAMサイクル (ノーマルモード、3ウェイト、TPC=1、RCD=1)

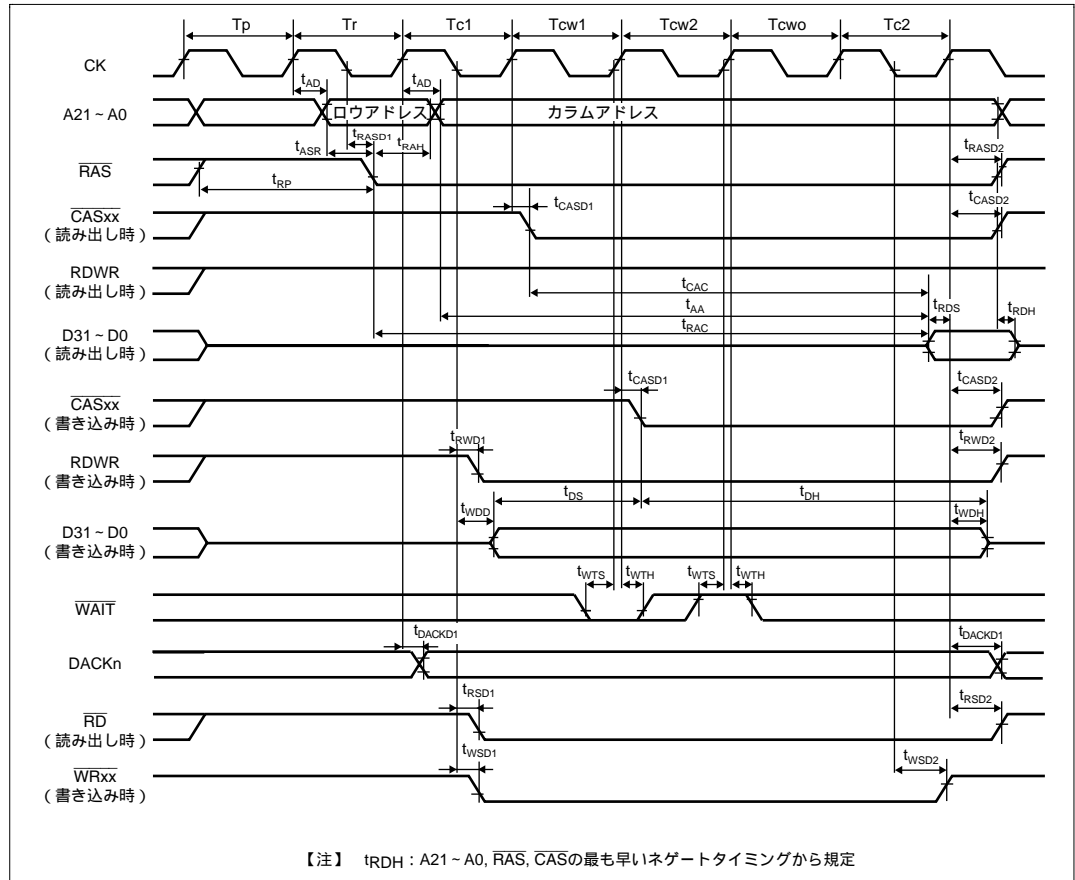


図 26.15 DRAM サイクル (ノーマルモード、2 ウェイト+WAIT 信号によるウェイト)

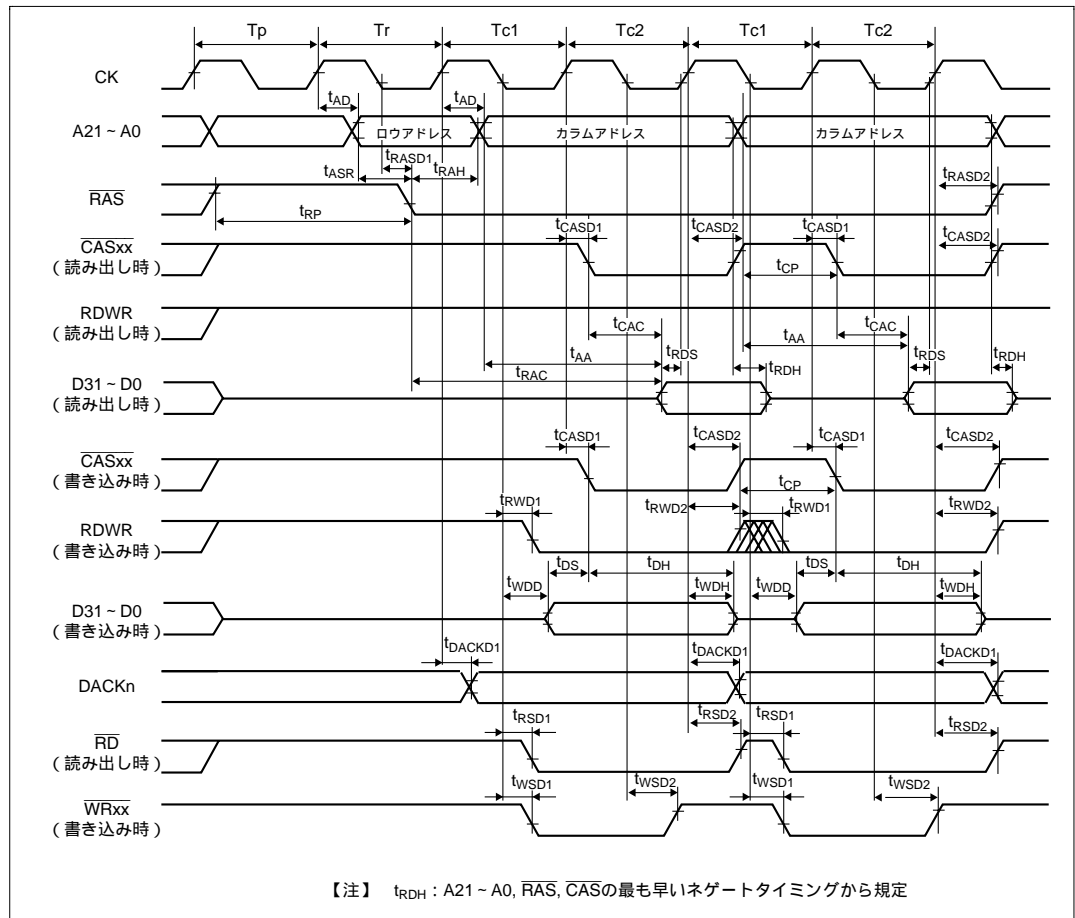


図 26.16 DRAMサイクル (高速ページモード)

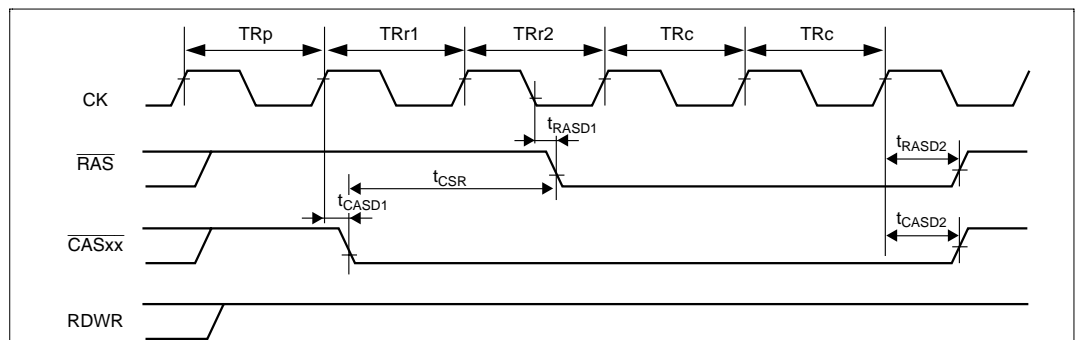


図 26.17 CAS ビフォ RAS リフレッシュ ($TRAS1,0=0,0$)

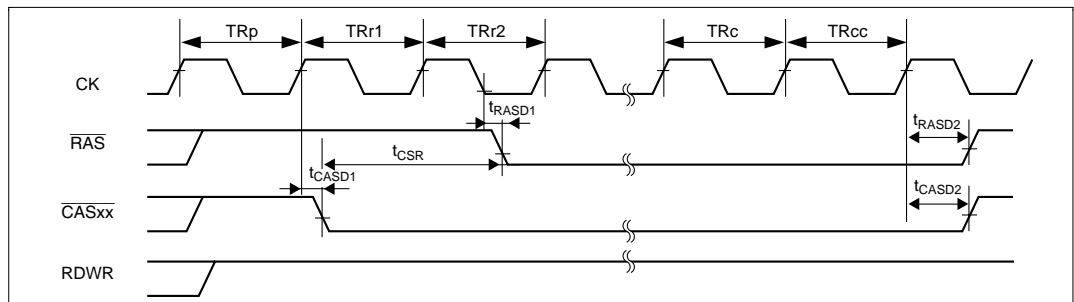
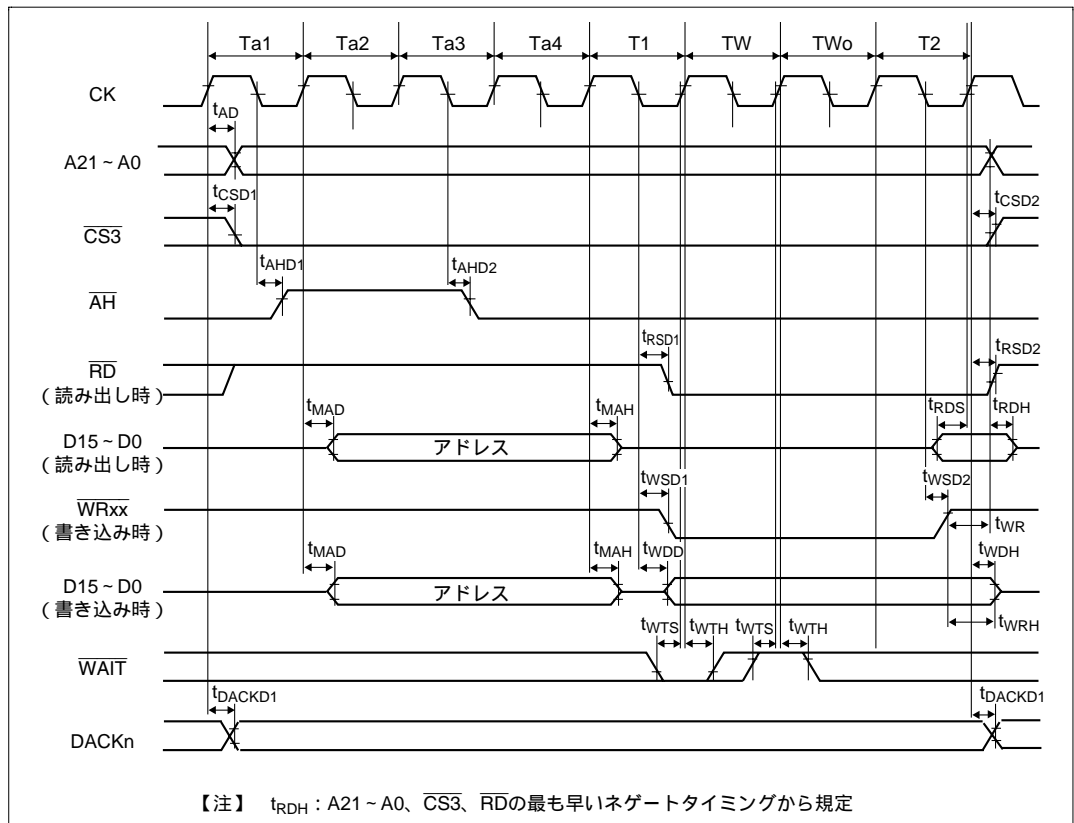


図 26.18 セルフリフレッシュ



【注】 t_{RDH} : A21 ~ A0、CS3、RDの最も早いネゲートタイミングから規定

図 26.19 アドレス/データマルチプレクス I/O 空間サイクル
(1ソフトウェアウェイト+1外部ウェイト)

26.3.4 ダイレクトメモリアクセスコントローラタイミング

表 26.8 にダイレクトメモリアクセスコントローラタイミングを示します。

表 26.8 ダイレクトメモリアクセスコントローラタイミング

(条件: $V_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^* \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
$\overline{DREQ0}, \overline{DREQ1}$ セットアップ時間	t_{DRQS}	35	-	ns	図 26.20
$\overline{DREQ0}, \overline{DREQ1}$ ホールド時間	t_{DRQH}	35	-	ns	
$\overline{DREQ0}, \overline{DREQ1}$ パルス幅	t_{DRQW}	1.5	-	t_{cyc}	図 26.21
DRAK 出力遅延時間	t_{DRAKD}	-	35	ns	図 26.22

【注】 * SH7042/43 ZTAT (A マスク以外) は 3.2V

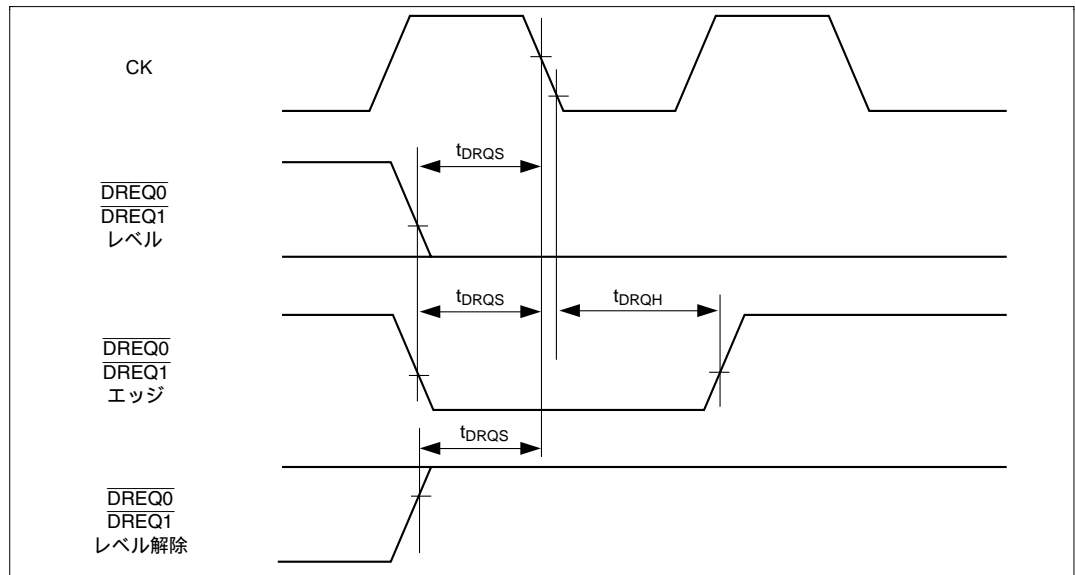


図 26.20 $\overline{DREQ0}, \overline{DREQ1}$ 入力タイミング (1)

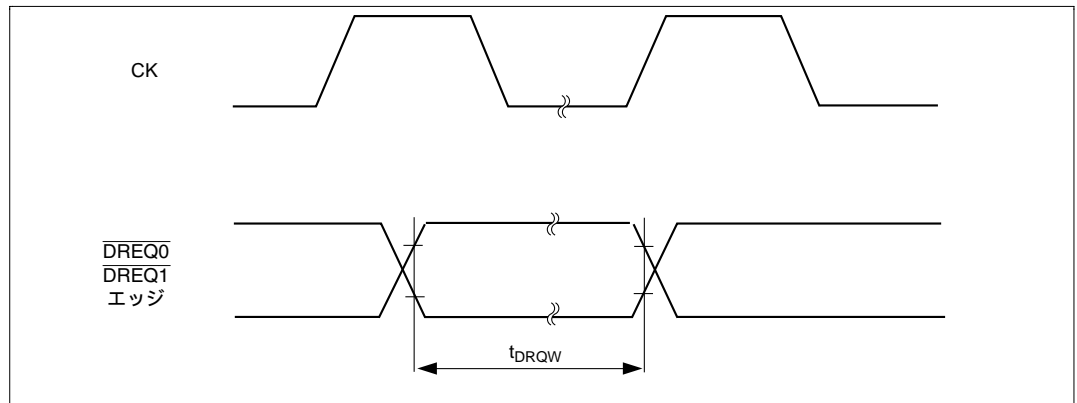


図 26.21 $\overline{DREQ0}, \overline{DREQ1}$ 入力タイミング (2)

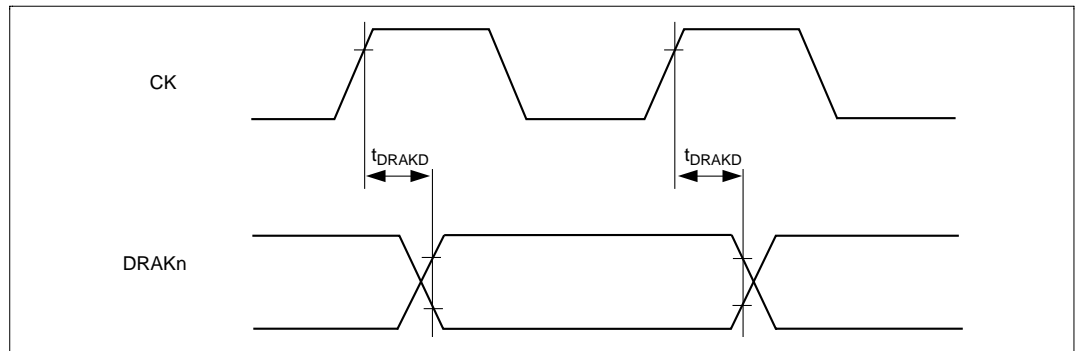


図 26.22 DRAKn 出力遅延時間

26.3.5 マルチファンクションタイマパルスユニットタイミング

表 26.9 にマルチファンクションタイマパルスユニットタイミングを示します。

表 26.9 マルチファンクションタイマパルスユニットタイミング

(条件: $V_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^* \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	100	ns	図 26.23
インプットキャプチャ入力セットアップ時間	t_{TICS}	100	-	ns	
タイマ入力セットアップ時間	t_{TCKS}	100	-	ns	図 26.24
タイマクロックパルス幅 (単エッジ指定)	$t_{TCKWH/L}$	1.5	-	t_{cyc}	
タイマクロックパルス幅 (両エッジ指定)	$t_{TCKWH/L}$	2.5	-	t_{cyc}	
タイマクロックパルス幅 (位相計数モード)	$t_{TCKWH/L}$	2.5	-	t_{cyc}	

【注】 * SH7042/43 ZTAT (A マスク以外) は 3.2V

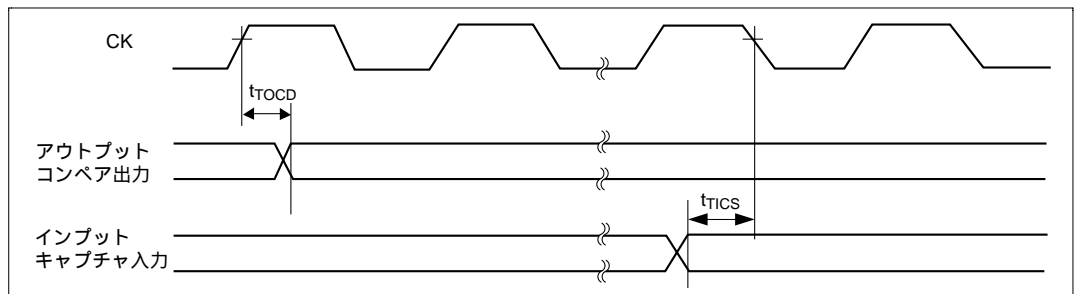


図 26.23 MTU 入出力タイミング

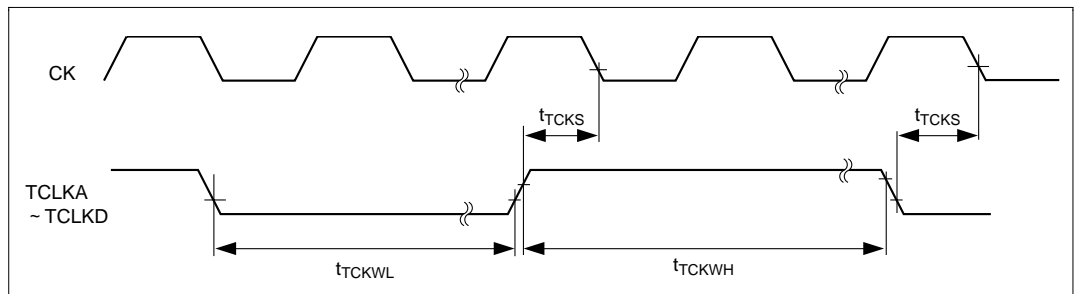


図 26.24 MTU クロック入力タイミング

26.3.6 I/O ポートタイミング

表 26.10 に I/O ポートタイミングを示します。

表 26.10 I/O ポートタイミング

(条件: $V_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^* \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
ポート出力データ遅延時間	t_{PVD}	-	100	ns	図 26.25
ポート入力ホールド時間	t_{PRH}	100	-	ns	
ポート入力セットアップ時間	t_{PRS}	100	-	ns	

【注】 * SH7042/43 ZTAT (A マスク以外) は 3.2V

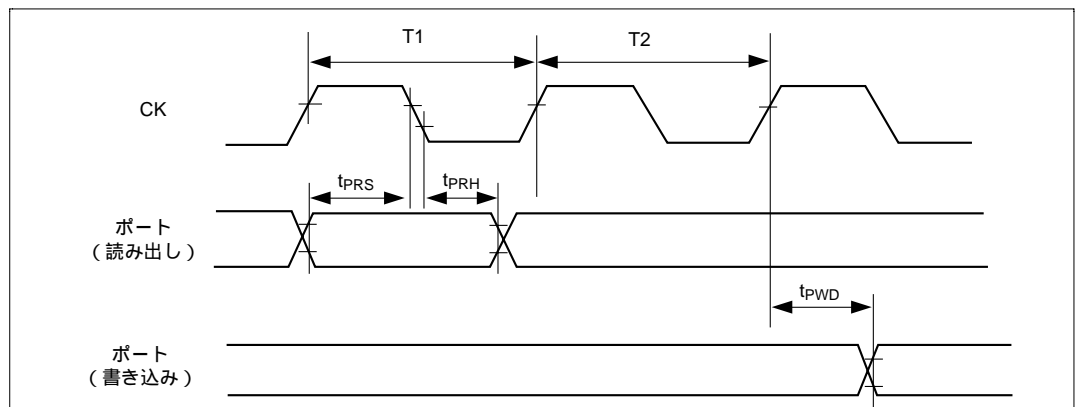


図 26.25 I/O ポート入出力タイミング

26.3.7 ウォッチドッグタイマタイミング

表 26.11 にウォッチドッグタイマタイミングを示します。

表 26.11 ウォッチドッグタイマタイミング

(条件: $V_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^* \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
WDTOVF 遅延時間	t_{WOVD}	-	100	ns	図 26.26

【注】 * SH7042/43 ZTAT (A マスク以外) は 3.2V

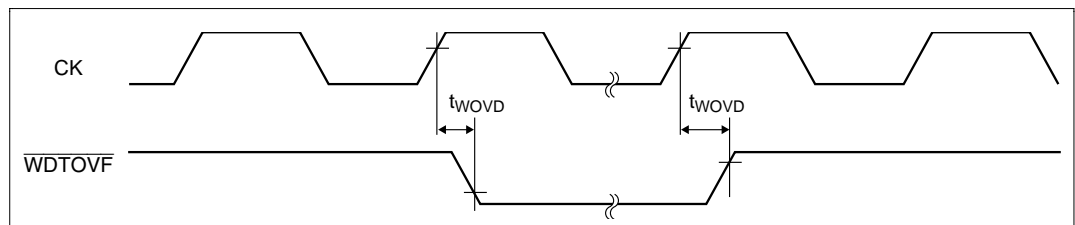


図 26.26 ウォッチドッグタイマタイミング

26.3.8 シリアルコミュニケーションインタフェースタイミング

表 26.12 にシリアルコミュニケーションインタフェースタイミングを示します。

表 26.12 シリアルコミュニケーションインタフェースタイミング

(条件: $V_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^* \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $Ta=-20 \sim +75$)

項目	記号	min	max	単位	参照図
入力クロックサイクル	t_{scyc}	4	-	t_{cyc}	図 26.27
入力クロックサイクル (クロック同期)	t_{scyc}	6	-	t_{cyc}	
入力クロックパルス幅	t_{sckw}	0.5	0.6	t_{scyc}	
入力クロック立ち上がり時間	t_{sckr}	-	1.5	t_{cyc}	
入力クロック立ち下がり時間	t_{sckf}	-	1.5	t_{cyc}	
送信データ遅延時間 (クロック同期)	t_{TXD}	-	100	ns	図 26.28
受信データセットアップ時間 (クロック同期)	t_{RXS}	100	-	ns	
受信データホールド時間 (クロック同期)	t_{RXH}	100	-	ns	

【注】 * SH7042/43 ZTAT (A マスク以外) は 3.2V

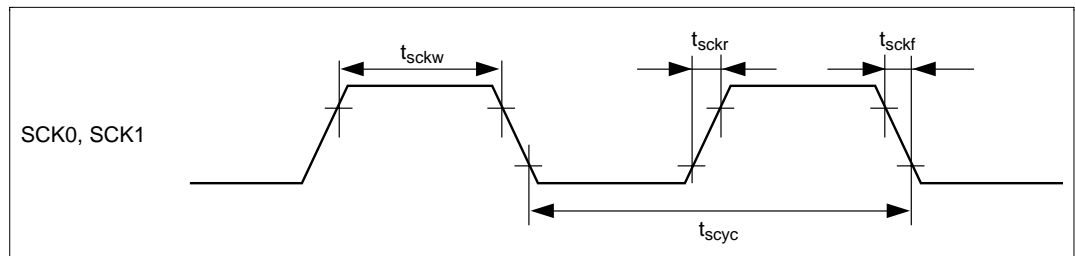


図 26.27 入力クロックタイミング

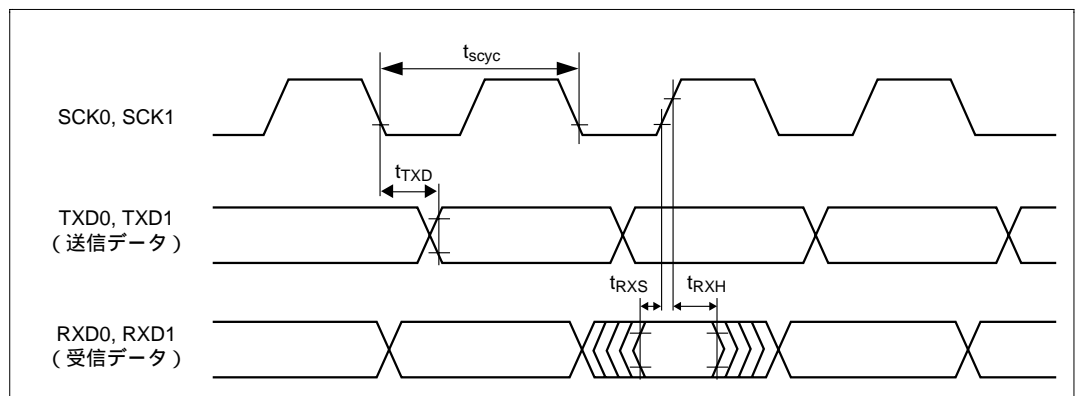


図 26.28 SCI 入出力タイミング (クロック同期式モード)

26.3.9 高速 A/D 変換器タイミング (A マスク以外)

表 26.13 に高速 A/D 変換器タイミングを示します。

表 26.13 高速 A/D 変換器タイミング

(条件: $V_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^* \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目		記号	min	typ	max	単位	参照図
外部トリガ入力パルス幅		t_{TRGW}	2	-	-	t_{cyc}	図 26.29
外部トリガ入力開始遅延時間		t_{TRGS}	50	-	-	ns	
A/D 変換開始遅延時間	CKS = 0 時	t_D	1.5			t_{cyc}	図 26.30
	CKS = 1 時		1.5			t_{cyc}	
入力サンプリング時間	CKS = 0 時	t_{SPL}	20			t_{cyc}	
	CKS = 1 時		40			t_{cyc}	
A/D 変換時間	CKS = 0 時	t_{CONV}	42.5			t_{cyc}	
	CKS = 1 時		82.5			t_{cyc}	

【注】 * SH7042/43 ZTAT (A マスク以外) は 3.2V

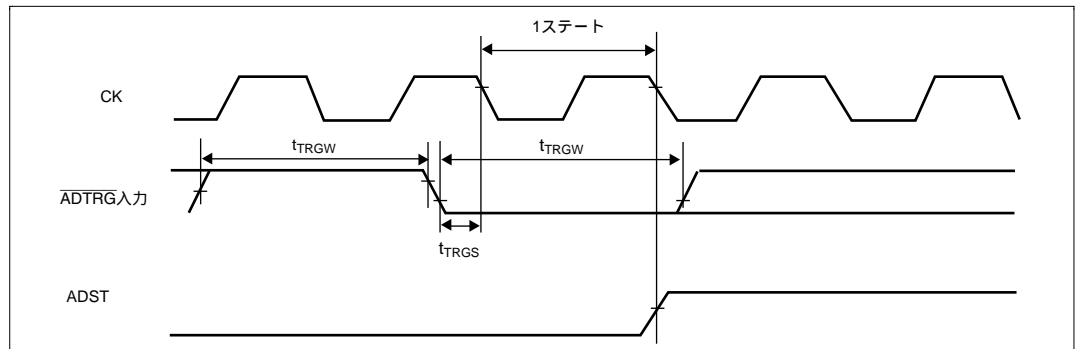


図 26.29 外部トリガ入力タイミング

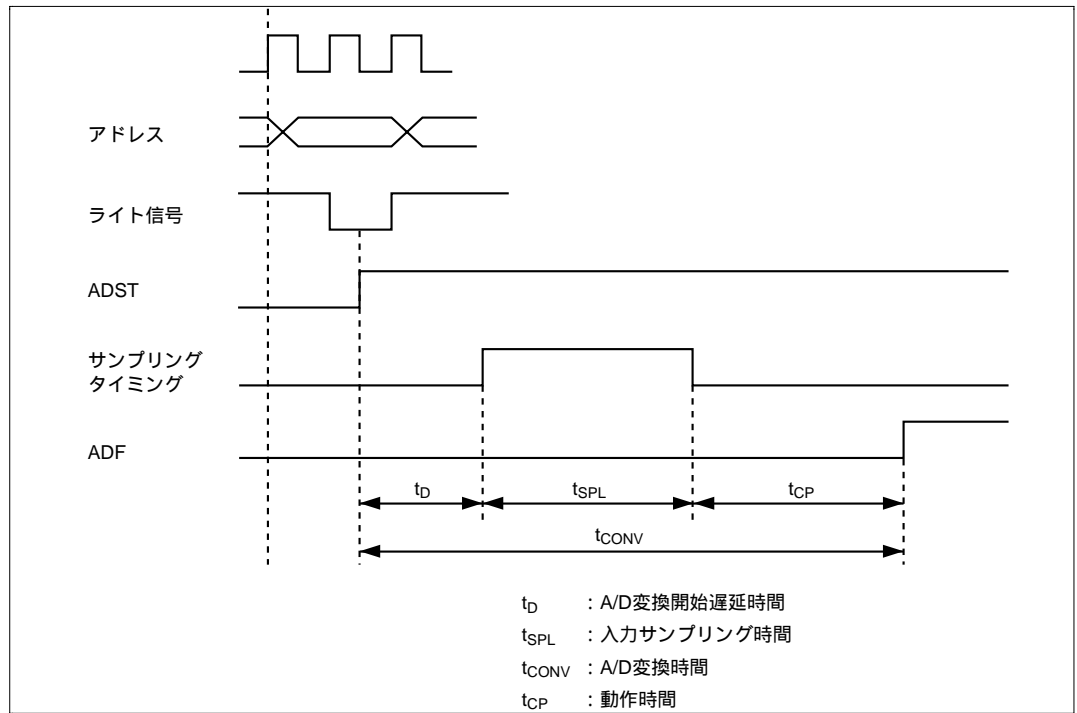


図 26.30 アナログ変換タイミング

26.3.10 中速 A/D 変換器タイミング (A マスク)

表 26.14 に中速 A/D 変換器タイミングを示します。

表 26.14 中速 A/D 変換器タイミング

(条件: $V_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=3.0^* \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^* \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目		記号	min	typ	max	単位	参照図
外部トリガ入力パルス幅		t_{TRGW}	2	-	-	t_{cyc}	図 26.31
外部トリガ入力開始遅延時間		t_{TRGS}	50	-	-	ns	
A/D 変換開始遅延時間	CKS = 0 時	t_D	10	-	17	t_{cyc}	図 26.32
	CKS = 1 時		6	-	9	t_{cyc}	
入力サンプリング時間	CKS = 0 時	t_{SPL}	-	64	-	t_{cyc}	
	CKS = 1 時		-	32	-	t_{cyc}	
A/D 変換時間	CKS = 0 時	t_{CONV}	259	-	266	t_{cyc}	
	CKS = 1 時		131	-	134	t_{cyc}	

【注】 * SH7042/43 ZTAT (A マスク以外) は 3.2V

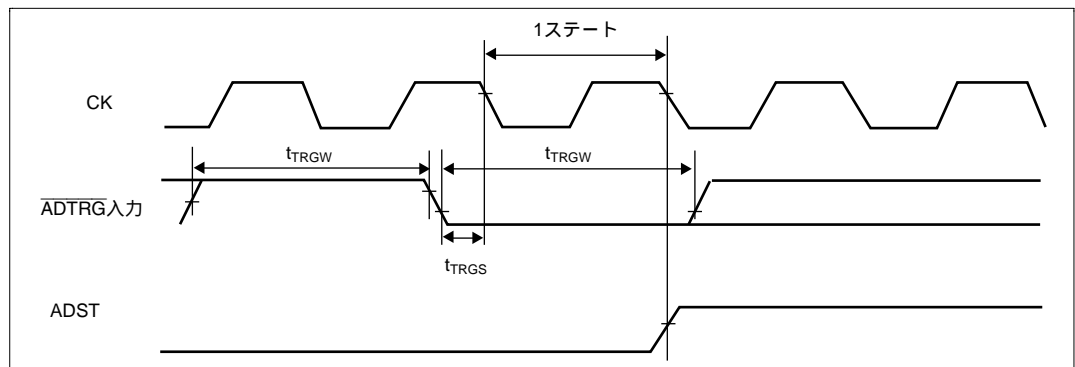


図 26.31 外部トリガ入力タイミング

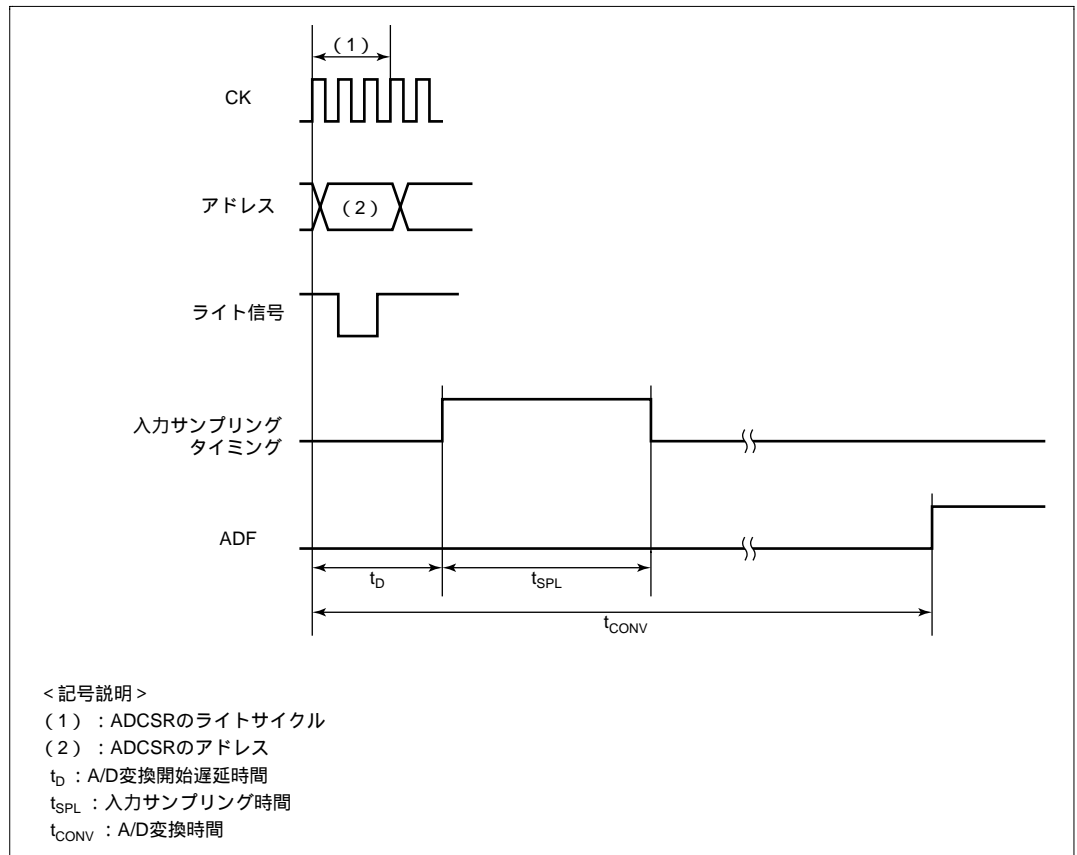


図 26.32 アナログ変換タイミング

26.3.11 AC 特性測定条件

入力参照レベル High レベル : 2.2V、Low レベル : 0.8V

出力参照レベル High レベル : 2.0V、Low レベル : 0.8V

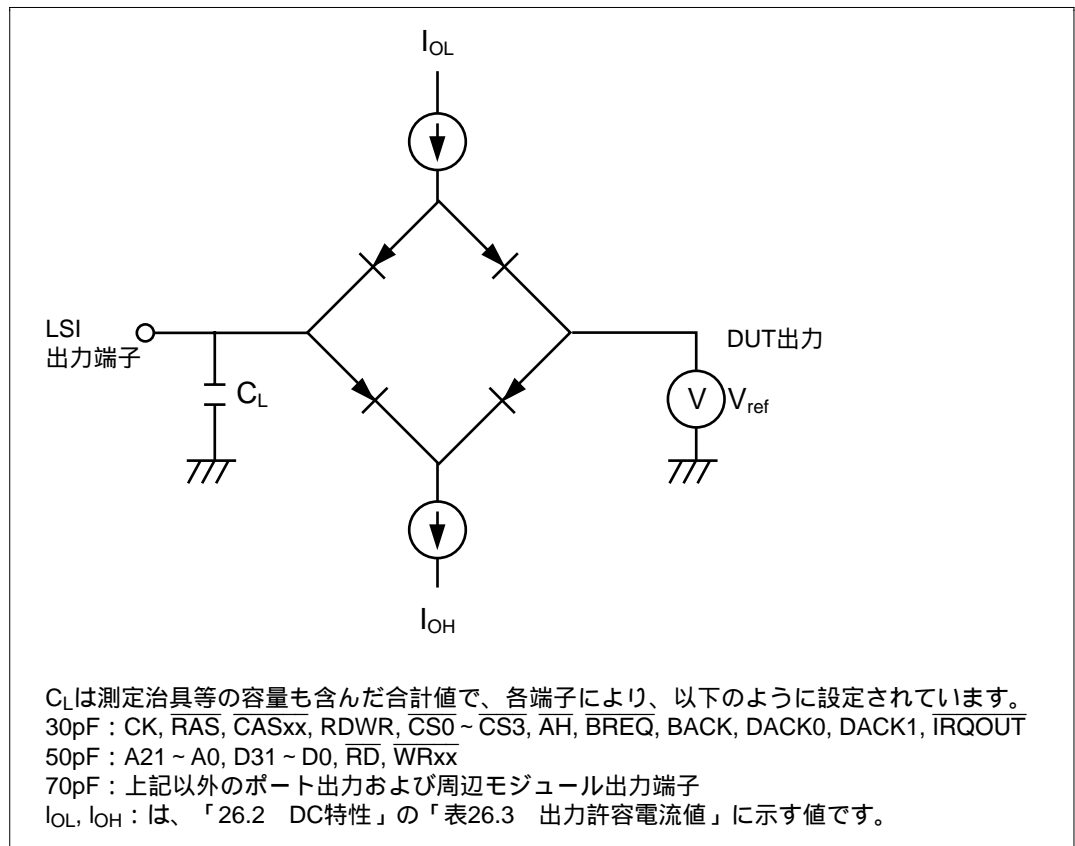


図 26.33 出力負荷回路

26.4 A/D 変換器特性

表 26.15、表 26.16 に A/D 変換器特性を示します。

表 26.15 A/D 変換器特性 (A マスク以外)

(条件: $V_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^{*1} \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	16.7MHz			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間 (CKS=1 の場合)	-	-	5	μs
アナログ入力容量	-	-	20	pF
許可信号源インピーダンス	-	-	1	k
非直線性誤差 ^{*2}	-	-	± 15	LSB
オフセット誤差 ^{*2}	-	-	± 15	LSB
フルスケール誤差 ^{*2}	-	-	± 15	LSB
量子化誤差 ^{*2}	-	-	± 0.5	LSB
絶対誤差	-	-	± 31	LSB

【注】 *1 SH7042/43 ZTAT (A マスク以外) は 3.2V

*2 参考値

表 26.16 A/D 変換器特性 (A マスク)

(条件: $V_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=3.0^{*1} \sim 3.6V$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{ref}=3.0^{*1} \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $Ta=-20 \sim +75$)

項 目	16.7MHz			単 位
	min	typ	max	
分解能	10	10	10	ビット
変換時間 (CKS=0 の場合)	-	-	16.0	μs
アナログ入力容量	-	-	20	pF
許可信号源インピーダンス	-	-	1	k
非直線性誤差* ²	-	-	± 4	LSB
オフセット誤差* ²	-	-	± 4	LSB
フルスケール誤差* ²	-	-	± 4	LSB
量子化誤差* ²	-	-	± 0.5	LSB
絶対誤差	-	-	± 6	LSB

【注】 *1 SH7042/43 ZTAT (A マスク以外) は 3.2V

*2 参考値

付録

付録 目次

A.	内蔵周辺モジュールレジスタ	859
	A.1 アドレス一覧	859
B.	I/Oポートブロック図	868
C.	端子状態	907
	C.1 端子状態（144ピン）	907
	C.2 端子状態（112ピン、120ピン）	909
	C.3 バス関連信号の端子状態	911
D.	ROM発注手順	917
	D.1 ROM書き換え品開発の流れ（発注手順）	917
	D.2 ROM発注時の注意事項	918
	D.3 F-ZTATマイコンのマスクROM化時の注意事項	918
E.	型名一覧	919
F.	外形寸法図	921

A. 内蔵周辺モジュールレジスタ

A.1 アドレス一覧

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
	DTMR	SM1	SM0	DM1	DM0	MD1	MD0	SZ1	SZ0	DTC
		DTS	CHNE	DISEL	NMIM					
	DTSAR									
	DTDAR									
	DTIAR									
	DTCRA									
	DTCRB									
H'FFFF81A0	SMR0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI
H'FFFF81A1	BRR0									
H'FFFF81A2	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFF81A3	TDR0									
H'FFFF81A4	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFF81A5	RDR0									
H'FFFF81A6										
~										
H'FFFF81AF										
H'FFFF81B0	SMR1	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	
H'FFFF81B1	BRR1									
H'FFFF81B2	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFF81B3	TDR1									
H'FFFF81B4	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFF81B5	RDR1									
H'FFFF81B6										
~										
H'FFFF81FF										
H'FFFF8200	TCR3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	MTU
H'FFFF8201	TCR4	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'FFFF8202	TMDR3			BFB	BFA	MD3	MD2	MD1	MD0	
H'FFFF8203	TMDR4			BFB	BFA	MD3	MD2	MD1	MD0	
H'FFFF8204	TIOR3H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF8205	TIOR3L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	MTU
H'FFFF8206	TIOR4H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFFF8207	TIOR4L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
H'FFFF8208	TIER3	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
H'FFFF8209	TIER4	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
H'FFFF820A	TOER			OE4D	OE4C	OE3D	OE4B	OE4A	OE3B	
H'FFFF820B	TOCR		PSYE					OLSN	OLSP	
H'FFFF820C										
H'FFFF820D	TGCR		BDC	N	P	FB	WF	VF	UF	
H'FFFF820E										
H'FFFF820F										
H'FFFF8210	TCNT3									
H'FFFF8211										
H'FFFF8212	TCNT4									
H'FFFF8213										
H'FFFF8214	TCDR									
H'FFFF8215										
H'FFFF8216	TDDR									
H'FFFF8217										
H'FFFF8218	TGR3A									
H'FFFF8219										
H'FFFF821A	TGR3B									
H'FFFF821B										
H'FFFF821C	TGR4A									
H'FFFF821D										
H'FFFF821E	TGR4B									
H'FFFF821F										
H'FFFF8220	TCNTS									
H'FFFF8221										
H'FFFF8222	TCBR									
H'FFFF8223										
H'FFFF8224	TGR3C									
H'FFFF8225										
H'FFFF8226	TGR3D									
H'FFFF8227										
H'FFFF8228	TGR4C									
H'FFFF8229										
H'FFFF822A	TGR4D									
H'FFFF822B										
H'FFFF822C	TSR3	TDFD			TCFV	TGFD	TGFC	TGFB	TGFA	
H'FFFF822D	TSR4	TDFD			TCFV	TGFD	TGFC	TGFB	TGFA	
H'FFFF822E										
H'FFFF822F										
H'FFFF8230										
~										
H'FFFF823F										
H'FFFF8240	TSTR	CST4	CST3				CST2	CST1	CST0	
H'FFFF8241	TSYR	SYNC4	SYNC3				SYNC2	SYNC1	SYNC0	
H'FFFF8242										
~										
H'FFFF825F										

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF8260	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	MTU
H'FFFF8261	TMDR0			BFB	BFA	MD3	MD2	MD1	MD0	
H'FFFF8262	TIOR0H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFFF8263	TIOR0L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
H'FFFF8264	TIER0	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
H'FFFF8265	TSR0				TCFV	TGFD	TGFC	TGFB	TGFA	
H'FFFF8266	TCNT0									
H'FFFF8267										
H'FFFF8268	TGR0A									
H'FFFF8269										
H'FFFF826A	TGR0B									
H'FFFF826B										
H'FFFF826C	TGR0C									
H'FFFF826D										
H'FFFF826E	TGR0D									
H'FFFF826F										
H'FFFF8270 ~ H'FFFF827F										
H'FFFF8280	TCR1		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'FFFF8281	TMDR1					MD3	MD2	MD1	MD0	
H'FFFF8282	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFFF8283										
H'FFFF8284	TIER1	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
H'FFFF8285	TSR1	TCFD		TCFU	TCFV			TGFB	TGFA	
H'FFFF8286	TCNT1									
H'FFFF8287										
H'FFFF8288	TGR1A									
H'FFFF8289										
H'FFFF828A	TGR1B									
H'FFFF828B										
H'FFFF828C ~ H'FFFF829F										
H'FFFF82A0	TCR2		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'FFFF82A1	TMDR2					MD3	MD2	MD1	MD0	
H'FFFF82A2	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFFF82A3										
H'FFFF82A4	TIER2	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
H'FFFF82A5	TSR2	TCFD		TCFU	TCFV			TGFB	TGFA	
H'FFFF82A6	TCNT2									
H'FFFF82A7										
H'FFFF82A8	TGR2A									
H'FFFF82A9										
H'FFFF82AA	TGR2B									
H'FFFF82AB										
H'FFFF82AC ~ H'FFFF8347										

アドレス	レジスタ略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFF8348	IPRA									INTC	
H'FFFF8349											
H'FFFF834A	IPRB										
H'FFFF834B											
H'FFFF834C	IPRC										
H'FFFF834D											
H'FFFF834E	IPRD										
H'FFFF834F											
H'FFFF8350	IPRE										
H'FFFF8351											
H'FFFF8352	IPRF										
H'FFFF8353											
H'FFFF8354	IPRG										
H'FFFF8355											
H'FFFF8356	IPRH										
H'FFFF8357											
H'FFFF8358	ICR	NMIL							NMIE		
H'FFFF8359		IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S		
H'FFFF835A	ISR										
H'FFFF835B		IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F		
H'FFFF835C											
H'FFFF837F											
H'FFFF8380	PADRH									I/O	
H'FFFF8381		PA23DR	PA22DR	PA21DR	PA20DR	PA19DR	PA18DR	PA17DR	PA16DR		
H'FFFF8382	PADRL	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR		
H'FFFF8383		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
H'FFFF8384	PAIORH									PFC	
H'FFFF8385		PA23IOR	PA22IOR	PA21IOR	PA20IOR	PA19IOR	PA18IOR	PA17IOR	PA16IOR		
H'FFFF8386	PAIORL	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR		
H'FFFF8387		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR		
H'FFFF8388	PACRH	PA23MD			PA22MD		PA21MD		PA20MD		
H'FFFF8389		PA19MD1	PA19MD0	PA18MD1	PA18MD0		PA17MD		PA16MD		
H'FFFF838A											
H'FFFF838B											
H'FFFF838C	PACRL1		PA15MD		PA14MD		PA13MD		PA12MD		
H'FFFF838D			PA11MD		PA10MD	PA9MD1	PA9MD0	PA8MD1	PA8MD0		
H'FFFF838E	PACRL2	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0		PA4MD		
H'FFFF838F			PA3MD	PA2MD1	PA2MD0		PA1MD		PA0MD		
H'FFFF8390	PBDR							PB9DR	PB8DR		I/O
H'FFFF8391		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
H'FFFF8392	PCDR	PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR		
H'FFFF8393		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		
H'FFFF8394	PBIOR							PB9IOR	PB8IOR	PFC	
H'FFFF8395		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR		
H'FFFF8396	PCIOR	PC15IOR	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR		
H'FFFF8397		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR		
H'FFFF8398	PBCR1										
H'FFFF8399						PB9MD1	PB9MD0	PB8MD1	PB8MD0		
H'FFFF839A	PBCR2	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0		
H'FFFF839B		PB3MD1	PB3MD0	PB2MD1	PB2MD0		PB1MD		PB0MD		

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF839C	PCCR	PC15MD	PC14MD	PC13MD	PC12MD	PC11MD	PC10MD	PC9MD	PC8MD	PFC
H'FFFF839D		PC7MD	PC6MD	PC5MD	PC4MD	PC3MD	PC2MD	PC1MD	PC0MD	
H'FFFF839E										
H'FFFF839F										
H'FFFF83A0	PDDRH	PD31DR	PD30DR	PD29DR	PD28DR	PD27DR	PD26DR	PD25DR	PD24DR	I/O
H'FFFF83A1		PD23DR	PD22DR	PD21DR	PD20DR	PD19DR	PD18DR	PD17DR	PD16DR	
H'FFFF83A2	PDDRL	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	I/O
H'FFFF83A3		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
H'FFFF83A4	PDIORH	PD31IOR	PD30IOR	PD29IOR	PD28IOR	PD27IOR	PD26IOR	PD25IOR	PD24IOR	PFC
H'FFFF83A5		PD23IOR	PD22IOR	PD21IOR	PD20IOR	PD19IOR	PD18IOR	PD17IOR	PD16IOR	
H'FFFF83A6	PDIORL	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR	PFC
H'FFFF83A7		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR	
H'FFFF83A8	PDCRH1	PD31MD1	PD31MD0	PD30MD1	PD30MD0	PD29MD1	PD29MD0	PD28MD1	PD28MD0	I/O
H'FFFF83A9		PD27MD1	PD27MD0	PD26MD1	PD26MD0	PD25MD1	PD25MD0	PD24MD1	PD24MD0	
H'FFFF83AA	PDCRH2	PD23MD1	PD23MD0	PD22MD1	PD22MD0	PD21MD1	PD21MD0	PD20MD1	PD20MD0	I/O
H'FFFF83AB		PD19MD1	PD19MD0	PD18MD1	PD18MD0	PD17MD1	PD17MD0	PD16MD1	PD16MD0	
H'FFFF83AC	PDCRL	PD15MD	PD14MD	PD13MD	PD12MD	PD11MD	PD10MD	PD9MD	PD8MD	I/O
H'FFFF83AD		PD7MD	PD6MD	PD5MD	PD4MD	PD3MD	PD2MD	PD1MD	PD0MD	
H'FFFF83AE										
H'FFFF83AF										
H'FFFF83B0	PEDR	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	I/O
H'FFFF83B1		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
H'FFFF83B2	PFDR									I/O
H'FFFF83B3		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
H'FFFF83B4	PEIOR	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR	PFC
H'FFFF83B5		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR	
H'FFFF83B6										
H'FFFF83B7										
H'FFFF83B8	PECR1	PE15MD1	PE15MD0	PE14MD1	PE14MD0	PE13MD1	PE13MD0		PE12MD	I/O
H'FFFF83B9			PE11MD		PE10MD		PE9MD		PE8MD	
H'FFFF83BA	PECR2		PE7MD		PE6MD		PE5MD		PE4MD	I/O
H'FFFF83BB		PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0	
H'FFFF83BC										
H'FFFF83BF										
H'FFFF83C0	ICSR	POE3F	POE2F	POE1F	POE0F				PIE	MTU
H'FFFF83C1		POE3M1	POE3M0	POE2M1	POE2M0	POE1M1	POE1M0	POE0M1	POE0M0	
H'FFFF83C2	OCSR	OSF						OCE	OIE	MTU
H'FFFF83C3										
H'FFFF83C4										
H'FFFF83C7										
H'FFFF83C8	IFCR									PFC
H'FFFF83C9						IRQMD3	IRQMD2	IRQMD1	IRQMD0	
H'FFFF83CA										
H'FFFF83CF										
H'FFFF83D0	CMSTR									CMT
H'FFFF83D1								STR1	STR0	
H'FFFF83D2	CMCSR0									CMT
H'FFFF83D3		CMF	CMIE					CKS1	CKS0	

アドレス	レジスタ略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFF83D4	CMCNT0									CMT	
H'FFFF83D5											
H'FFFF83D6	CMCOR0										
H'FFFF83D7											
H'FFFF83D8	CMCSR1										
H'FFFF83D9		CMF	CMIE					CKS1	CKS0		
H'FFFF83DA	CMCNT1										
H'FFFF83DB											
H'FFFF83DC	CMCOR1										
H'FFFF83DD											
H'FFFF83DE											
H'FFFF83DF											
H'FFFF83E0	ADCSR	ADF	ADIE	ADST	CKS	GRP	CH2	CH1	CH0		A/D (高速) (Aマスク 以外)
H'FFFF83E1	ADCR		PWR	TRGS1	TRGS0	SCAN	DSMP	BUFE1	BUFE0		
H'FFFF83E2 ~ H'FFFF83EF											
H'FFFF83F0	ADDRA							AD9	AD8		
H'FFFF83F1		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0		
H'FFFF83F2	ADDRB							AD9	AD8		
H'FFFF83F3		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0		
H'FFFF83F4	ADDRC							AD9	AD8		
H'FFFF83F5		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0		
H'FFFF83F6	ADDRD							AD9	AD8		
H'FFFF83F7		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0		
H'FFFF83F8	ADDRE							AD9	AD8		
H'FFFF83F9		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0		
H'FFFF83FA	ADDRF							AD9	AD8		
H'FFFF83FB		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0		
H'FFFF83FC	ADDRG							AD9	AD8		
H'FFFF83FD		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0		
H'FFFF83FE	ADDRH							AD9	AD8		
H'FFFF83FF		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0		
H'FFFF8400	ADDRA0	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D (中速) (Aマスク のみ)	
H'FFFF8401		AD1	AD0								
H'FFFF8402	ADDRB0	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF8403		AD1	AD0								
H'FFFF8404	ADDRC0	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF8405		AD1	AD0								
H'FFFF8406	ADDRD0	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF8407		AD1	AD0								
H'FFFF8408	ADDRA1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF8409		AD1	AD0								
H'FFFF840A	ADDRB1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF840B		AD1	AD0								
H'FFFF840C	ADDRC1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF840D		AD1	AD0								
H'FFFF840E	ADDRD1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF840F		AD1	AD0								
H'FFFF8410	ADCSR0	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0		
H'FFFF8411	ADCSR1	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0		

アドレス	レジスタ略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFF8412	AADC0R0	TRGE								A/D (中速) (Aマスクのみ)	
H'FFFF8413	AADC0R1	TRGE									
H'FFFF8414											
~ H'FFFF857F											
H'FFFF8580	FLMCR1	FWE	SWE	ESU1	PSU1	EV1	PV1	E1	P1	FLASH (F-ZTAT版のみ)	
H'FFFF8581	FLMCR2	FLER		ESU2	PSU2	EV2	PV2	E2	P2		
H'FFFF8582	EBR1					EB3	EB2	EB1	EB0		
H'FFFF8583	EBR2	EB11	EB10	EB9	EB8	EB7	EB6	EB5	EB4		
H'FFFF8584											
~ H'FFFF859F											
H'FFFF8600	UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBC	
H'FFFF8601		UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16		
H'FFFF8602	UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8		
H'FFFF8603		UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0		
H'FFFF8604	UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24		
H'FFFF8605		UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16		
H'FFFF8606	UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8		
H'FFFF8607		UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0		
H'FFFF8608	UBBR										
H'FFFF8609		CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0		
H'FFFF860A											
~ H'FFFF860F											
H'FFFF8610	TCSR	OVF	WT/IT	TME			CKS2	CKS1	CKS0		WDT
H'FFFF8610	TCNT*1										
H'FFFF8611	TCNT*2										
H'FFFF8612	RSTCSR*1	WOVF	RSTE	RSTS							
H'FFFF8613	RSTCSR*2	WOVF	RSTE	RSTS							
H'FFFF8614	SBYCR	SBY	HIZ								
H'FFFF8615										低消費電力状態 BSC	
~ H'FFFF861F											
H'FFFF8620	BCR1			MTURWE					IOE		
H'FFFF8621		A3LG	A2LG	A1LG	A0LG	A3SZ	A2SZ	A1SZ	A0SZ		
H'FFFF8622	BCR2	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00		
H'FFFF8623		CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0		
H'FFFF8624	WCR1	W33	W32	W31	W30	W23	W22	W21	W20		
H'FFFF8625		W13	W12	W11	W10	W03	W02	W01	W00		
H'FFFF8626	WCR2										
H'FFFF8627				DDW1	DDW0	DSW3	DSW2	DSW1	DSW0		
H'FFFF8628	RAMER									FLASH (F-ZTAT版のみ)	
H'FFFF8629						RAMS	RAM1	RAM0			
H'FFFF862A	DCR	TPC	RCD	TRAS1	TRAS0	DWW1	DWW0	DWR1	DWR0	BSC	
H'FFFF862B		DIW		BE	RASD	SZ1	SZ0	AMX1	AMX0		

【注】 *1 書き込み時のアドレスです。

*2 読み出し時のアドレスです。詳しくは「第13章 ウォッチドックタイマ (WDT)」の「13.2.4 レジスタアクセス時の注意」を参照してください。

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF862C	RTCSR									BSC
H'FFFF862D			CMF	CMIE	CKS2	CKS1	CKS0	RFSH	RMD	
H'FFFF862E	RTCNT									
H'FFFF862F										
H'FFFF8630	RTCOR									
H'FFFF8631										
H'FFFF8632 ~ H'FFFF86AF										
H'FFFF86B0	DMAOR							PR1	PR0	DMAC
H'FFFF86B1							AE	NMIF	DME	
H'FFFF86B2 ~ H'FFFF86BF										
H'FFFF86C0	SAR0									
H'FFFF86C1										
H'FFFF86C2										
H'FFFF86C3										
H'FFFF86C4	DAR0									
H'FFFF86C5										
H'FFFF86C6										
H'FFFF86C7										
H'FFFF86C8	DMATCR0									
H'FFFF86C9										
H'FFFF86CA										
H'FFFF86CB										
H'FFFF86CC	CHCR0									
H'FFFF86CD					DI	RO	RL	AM	AL	
H'FFFF86CE		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'FFFF86CF			DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF86D0	SAR1									
H'FFFF86D1										
H'FFFF86D2										
H'FFFF86D3										
H'FFFF86D4	DAR1									
H'FFFF86D5										
H'FFFF86D6										
H'FFFF86D7										
H'FFFF86D8	DMATCR1									
H'FFFF86D9										
H'FFFF86DA										
H'FFFF86DB										
H'FFFF86DC	CHCR1									
H'FFFF86DD					DI	RO	RL	AM	AL	
H'FFFF86DE		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'FFFF86DF			DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF86E0	SAR2									
H'FFFF86E1										
H'FFFF86E2										
H'FFFF86E3										

アドレス	レジスタ略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF86E4	DAR2									DMAC
H'FFFF86E5										
H'FFFF86E6										
H'FFFF86E7										
H'FFFF86E8	DMATCR2									
H'FFFF86E9										
H'FFFF86EA										
H'FFFF86EB										
H'FFFF86EC	CHCR2									
H'FFFF86ED					DI	RO	RL	AM	AL	
H'FFFF86EE		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'FFFF86EF			DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF86F0	SAR3									
H'FFFF86F1										
H'FFFF86F2										
H'FFFF86F3										
H'FFFF86F4	DAR3									
H'FFFF86F5										
H'FFFF86F6										
H'FFFF86F7										
H'FFFF86F8	DMATCR3									
H'FFFF86F9										
H'FFFF86FA										
H'FFFF86FB										
H'FFFF86FC	CHCR3									
H'FFFF86FD					DI	RO	RL	AM	AL	
H'FFFF86FE		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'FFFF86FF			DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF8700	DTEA	DTE7	DTE6	DTE5	DTE4	DTE3	DTE2	DTE1	DTE0	DTC
H'FFFF8701	DTEB	DTE7	DTE6	DTE5	DTE4	DTE3	DTE2	DTE1	DTE0	
H'FFFF8702	DTEC	DTE7	DTE6	DTE5	DTE4	DTE3	DTE2	DTE1	DTE0	
H'FFFF8703	DTED	DTE7	DTE6	DTE5	DTE4	DTE3	DTE2	DTE1	DTE0	
H'FFFF8704	DTEE	DTE7	DTE6	DTE5	DTE4	DTE3	DTE2	DTE1	DTE0	
H'FFFF8705										
H'FFFF8706	DTCSR						NMIF	AE	SWDTE	
H'FFFF8707		DTVEC7	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
H'FFFF8708	DTBR									
H'FFFF8709										
H'FFFF870A ~ H'FFFF873F										
H'FFFF8740	CCR									CAC
H'FFFF8741					CEDRAM	CECS3	CECS2	CECS1	CECS0	
H'FFFF8742 ~ H'FFFF87FF										

B. I/O ポートブロック図

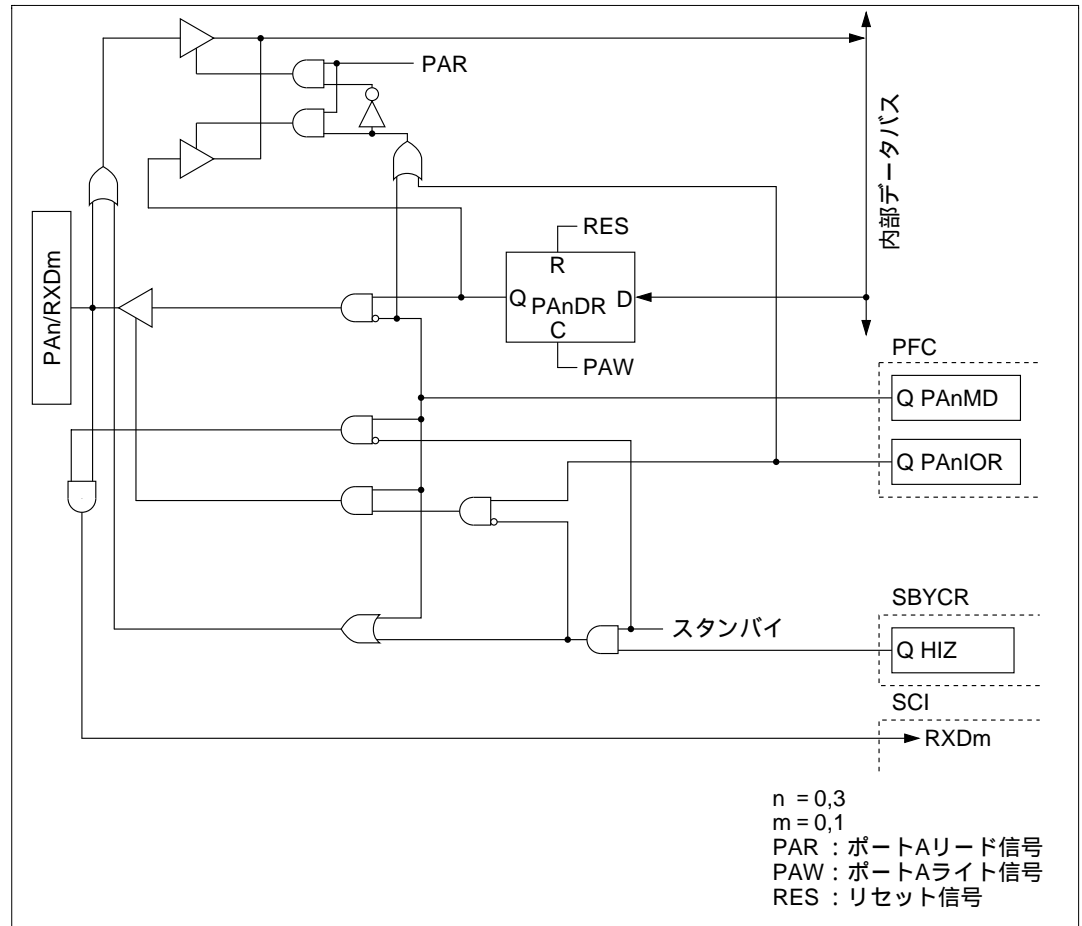


図 B.1 PAn/RXm ブロック図

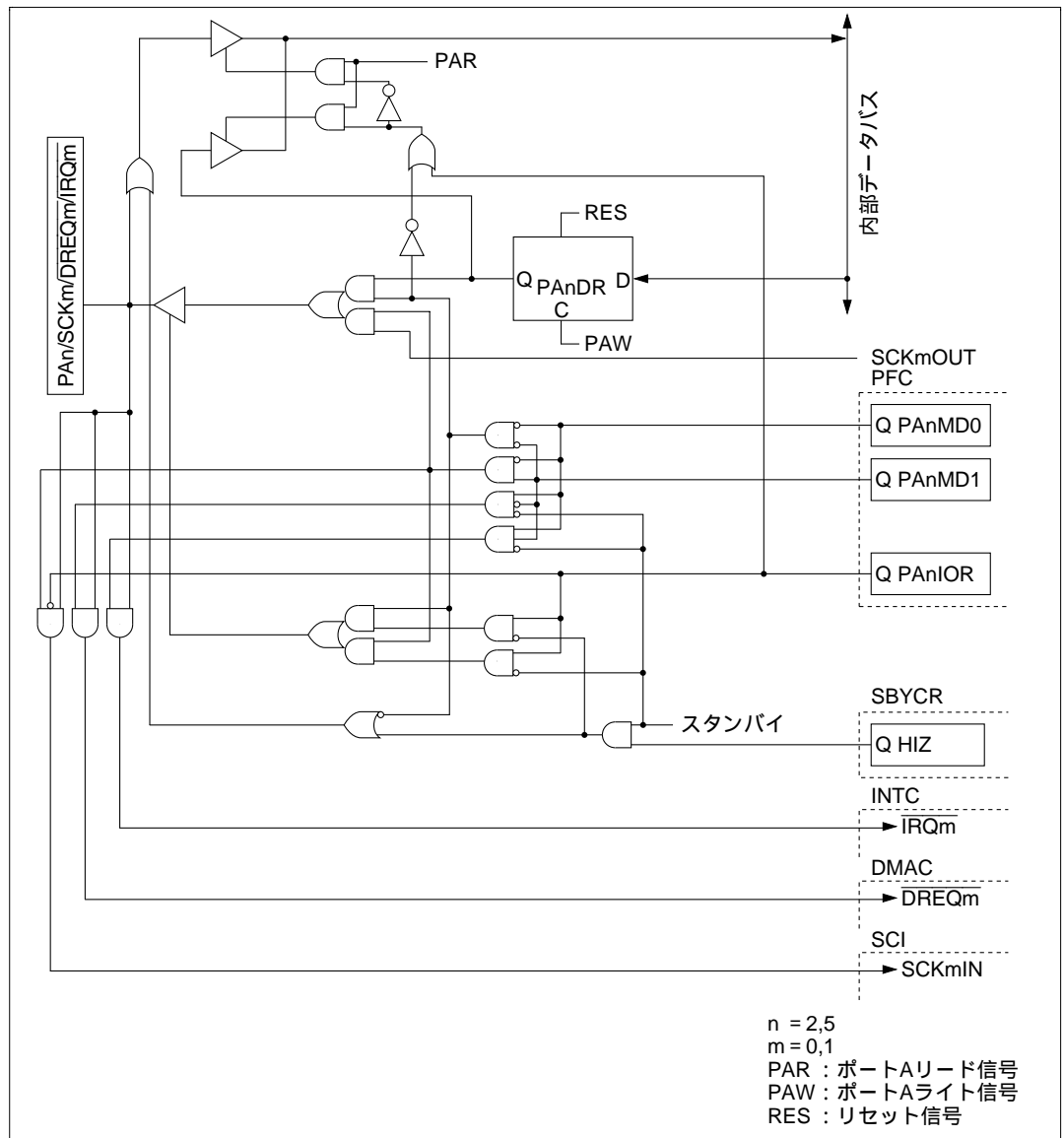


図 B.2 PAn/SCKm/DREQm/IRQm ブロック図

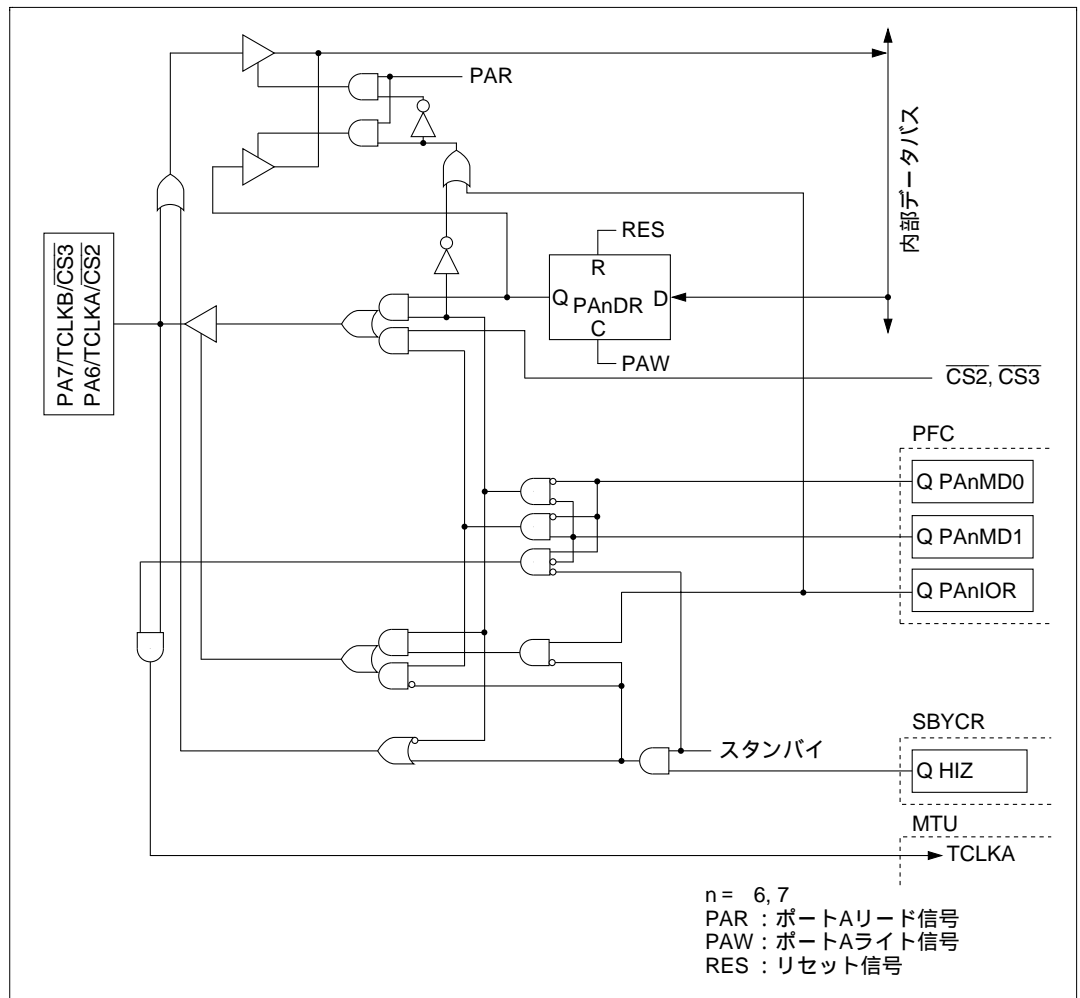


図 B.3 PA6/TCLKA/CS2、PA7/TCLKB/CS3 (ZTAT、マスク) ブロック図

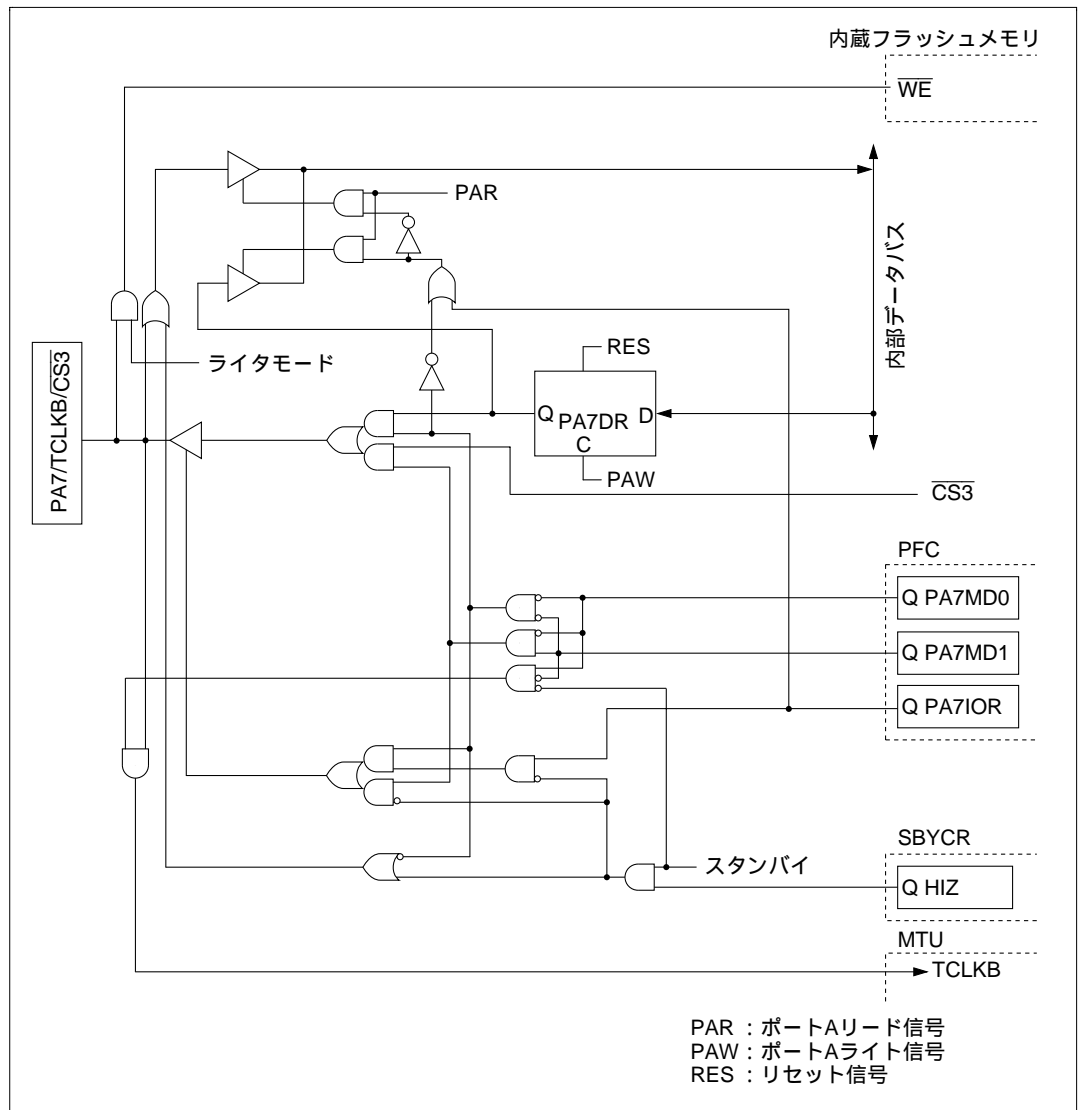


図 B.4 PA7/TCLKB/CS3 ブロック図 (F-ZTAT 版)

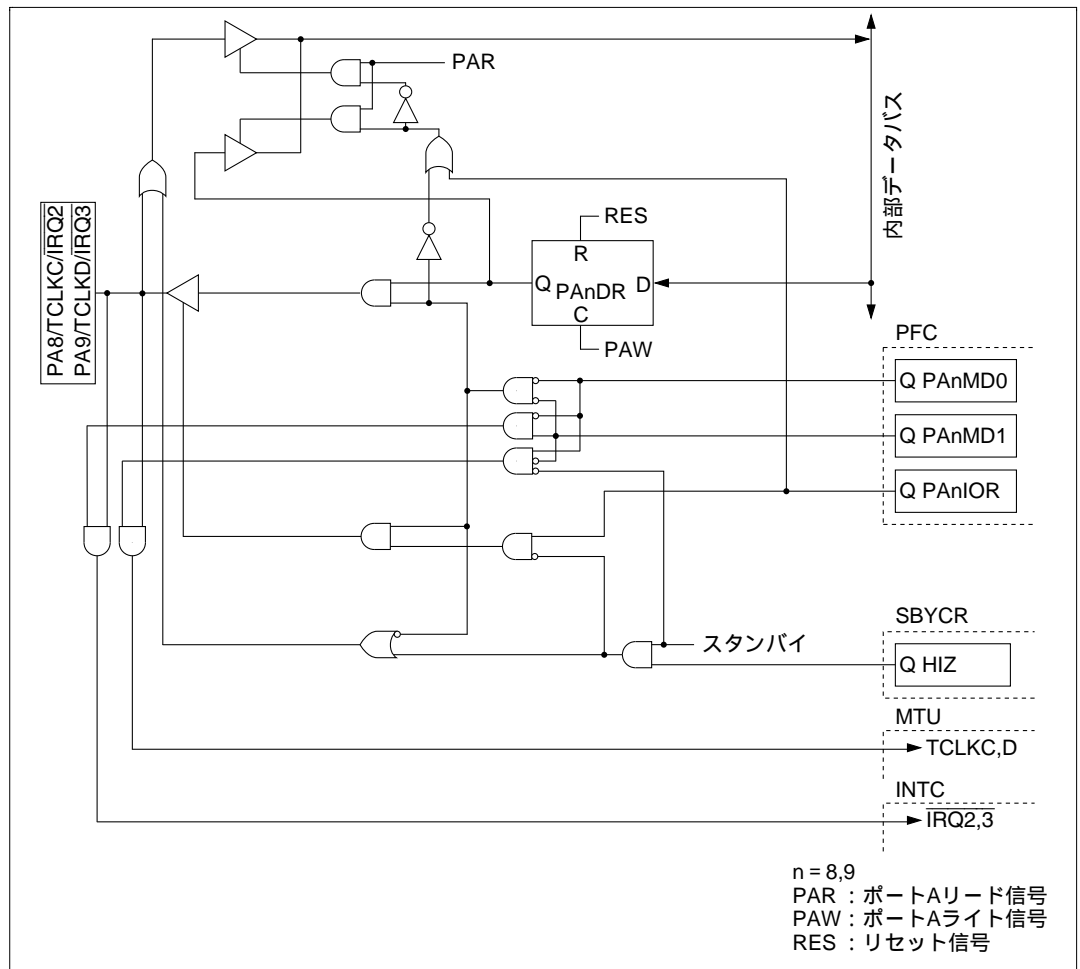


図 B.5 PAn/TCLKm/IRQx ブロック図 (ZTAT、マスク)

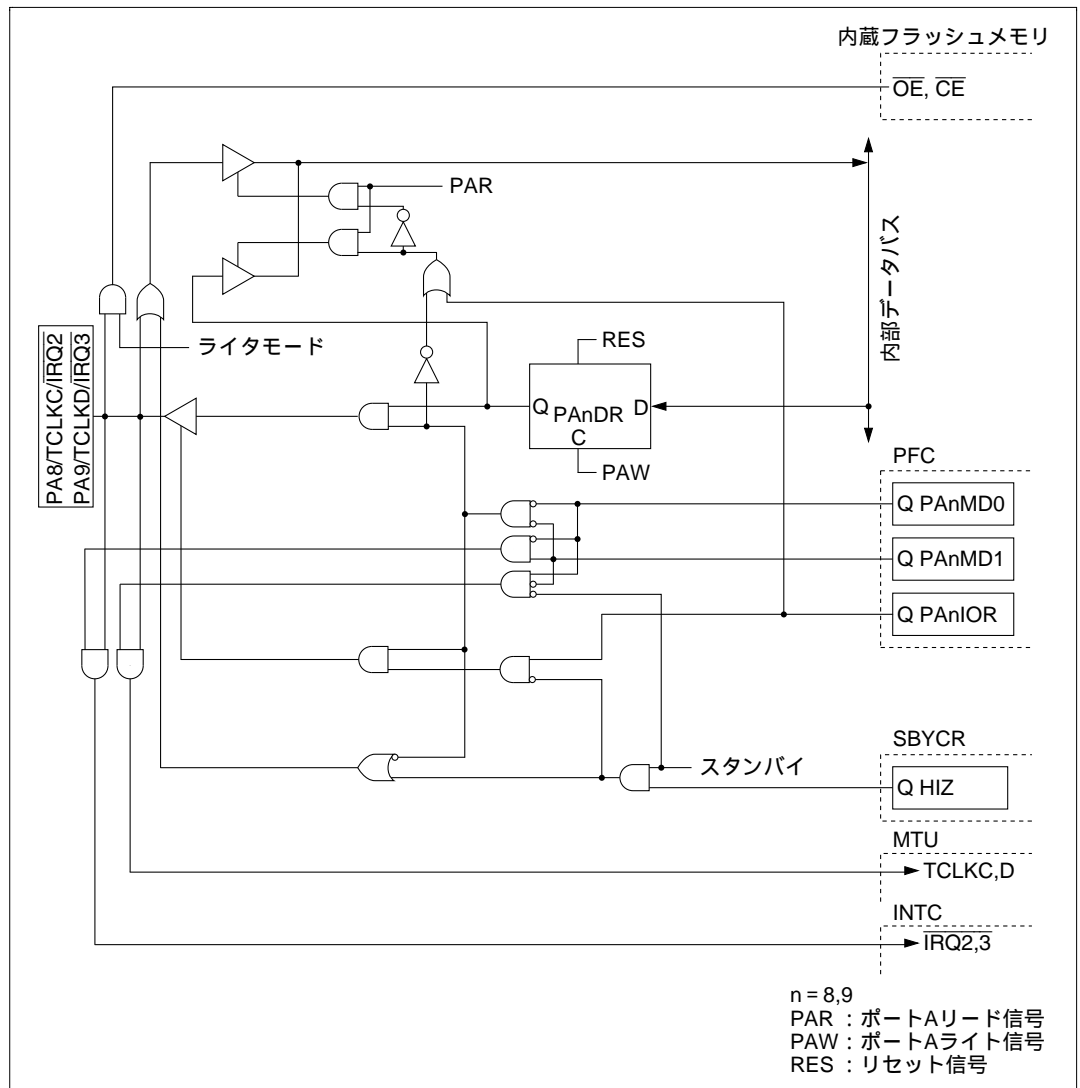


図 B.6 PAn/TCLKm/IRQx ブロック図 (F-ZTAT 版)

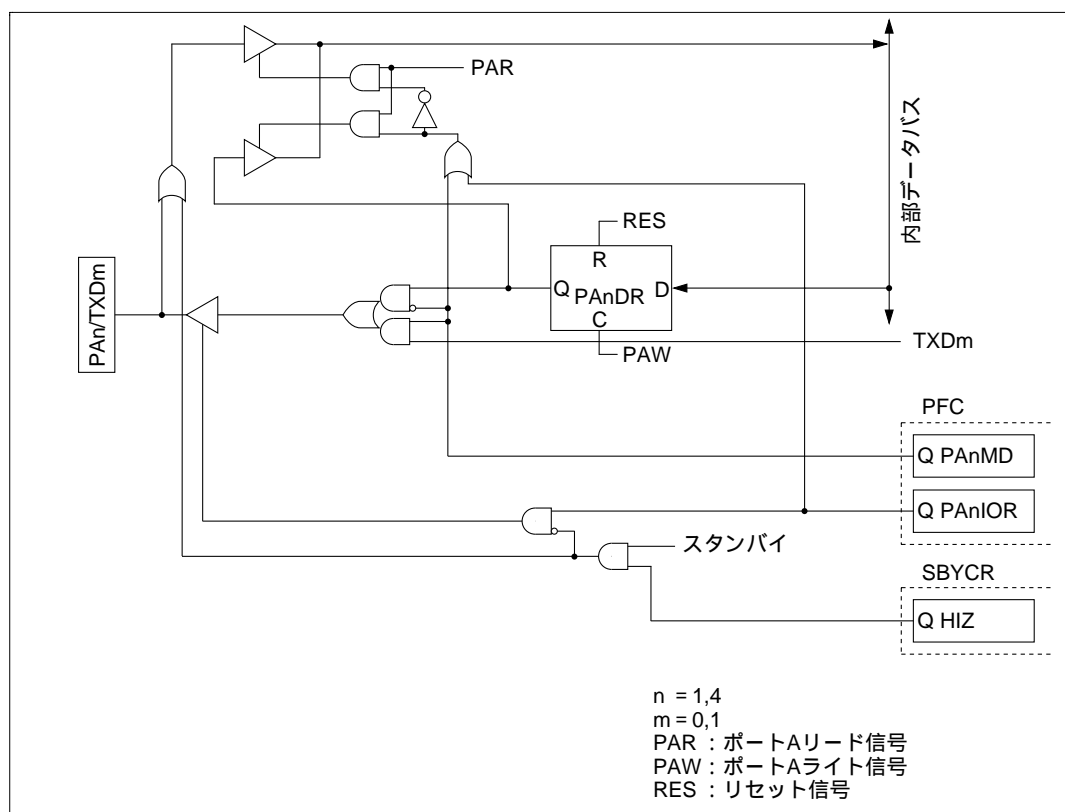


図 B.7 PAn/TXDm ブロック図

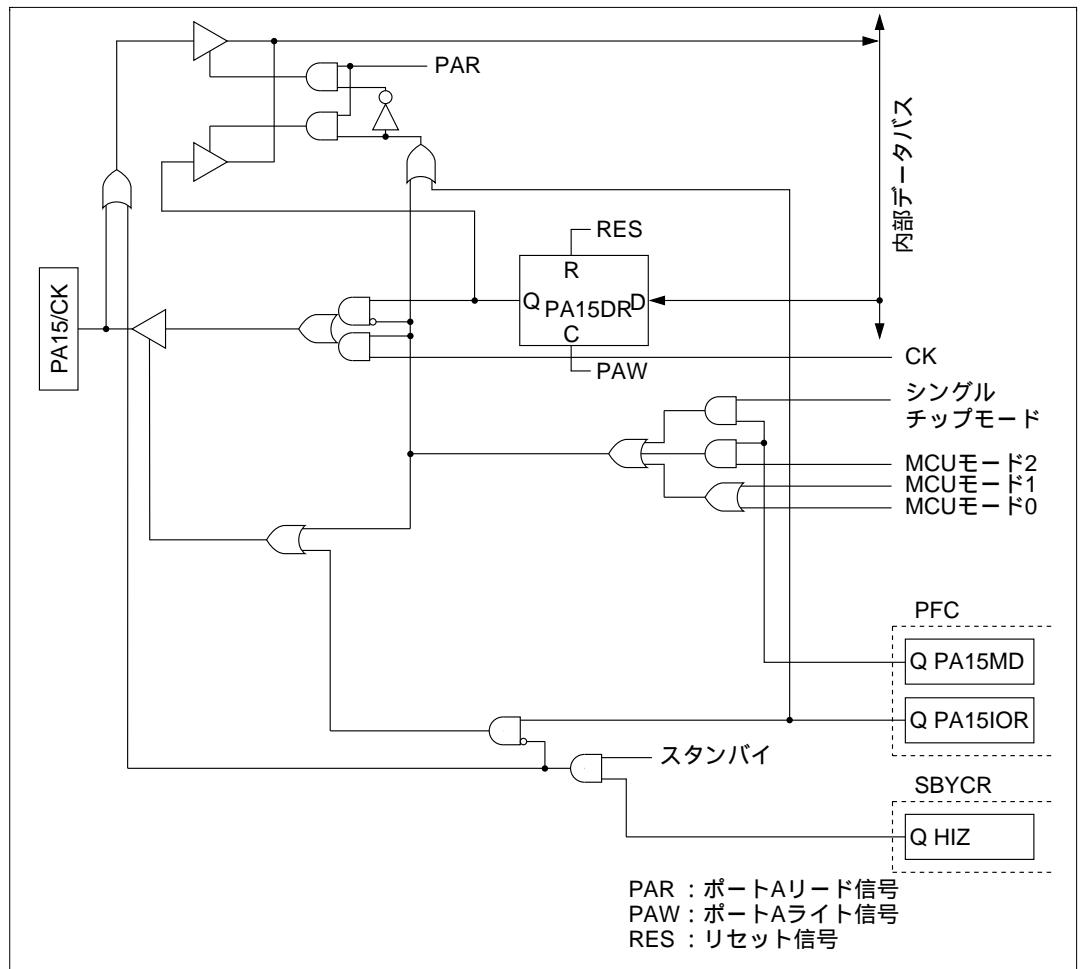


図 B.8 PA15/CK ブロック図

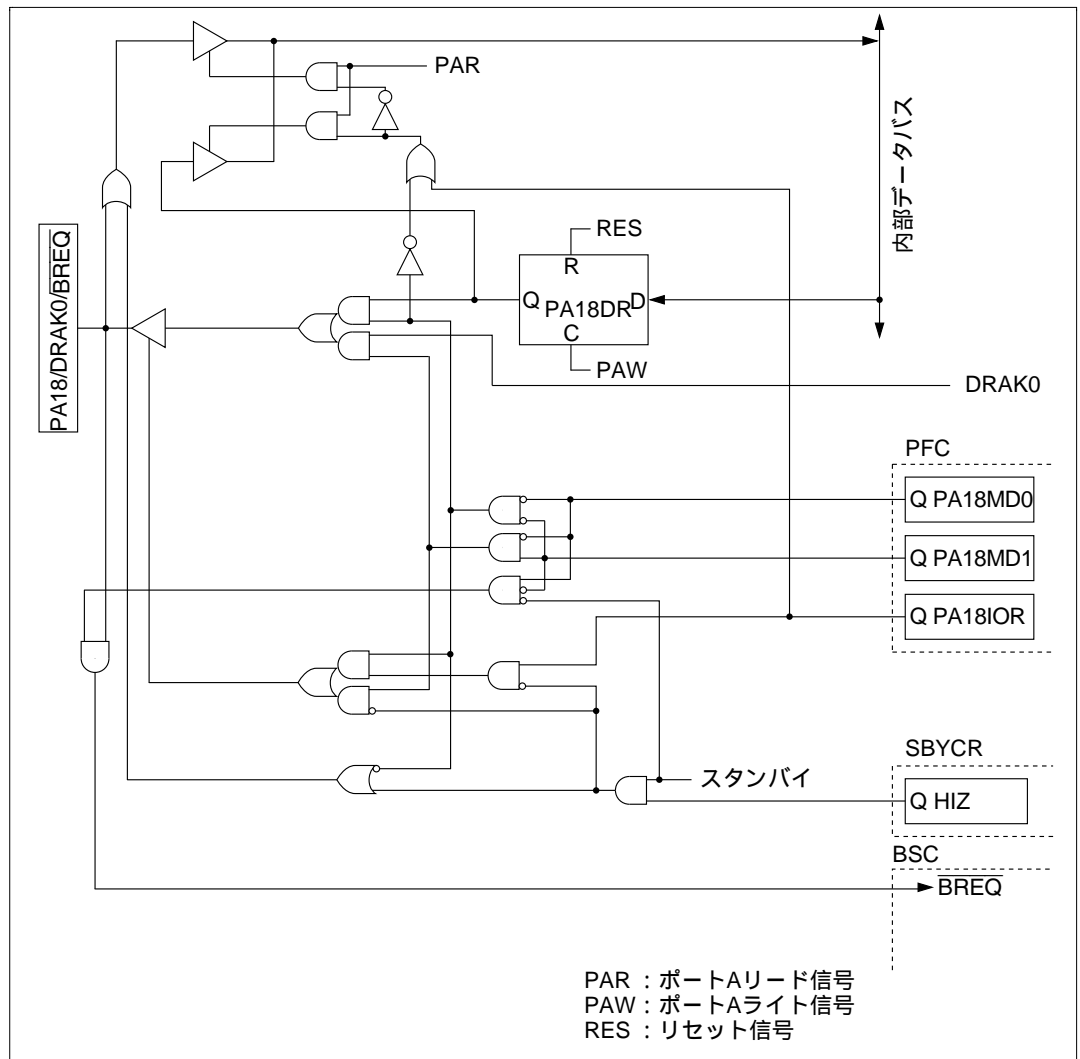


図 B.9 PA18/DRAK0/BREQ ブロック図

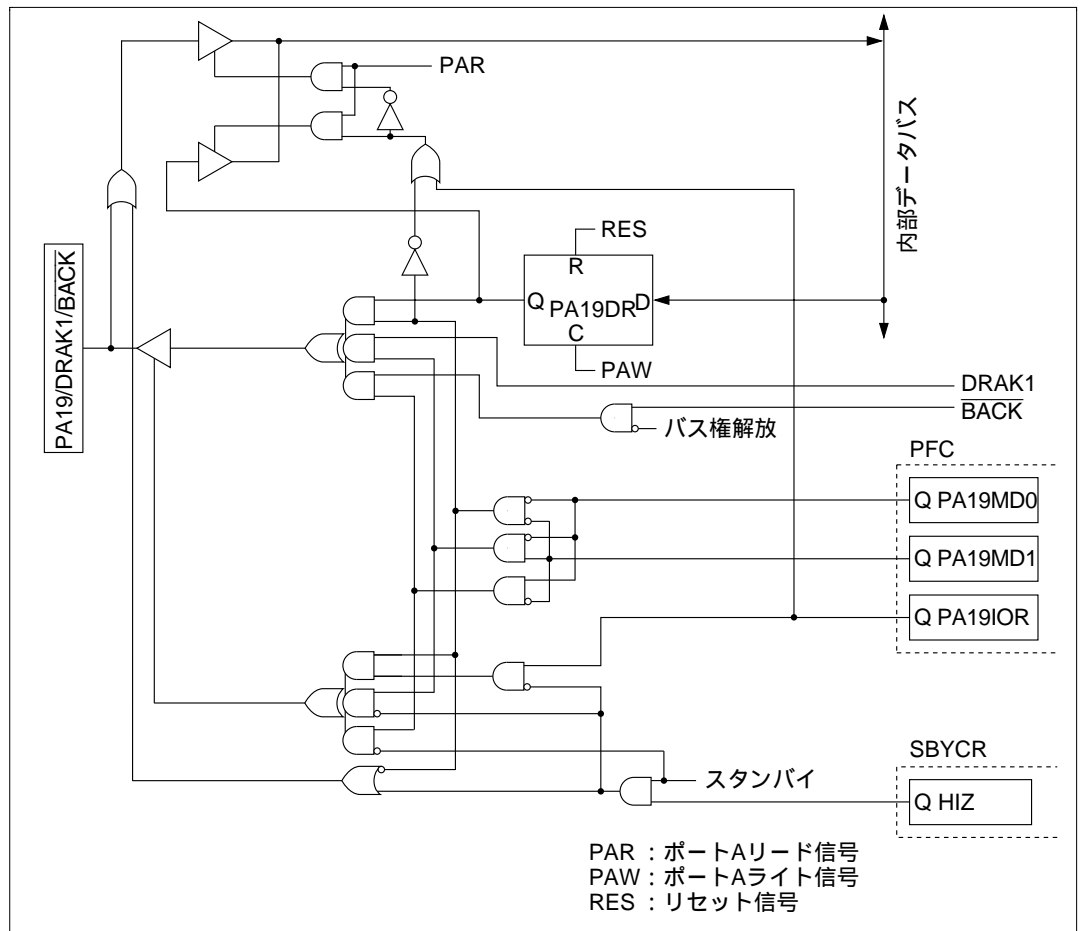


図 B.10 PA19/DRAK1/BACK ブロック図

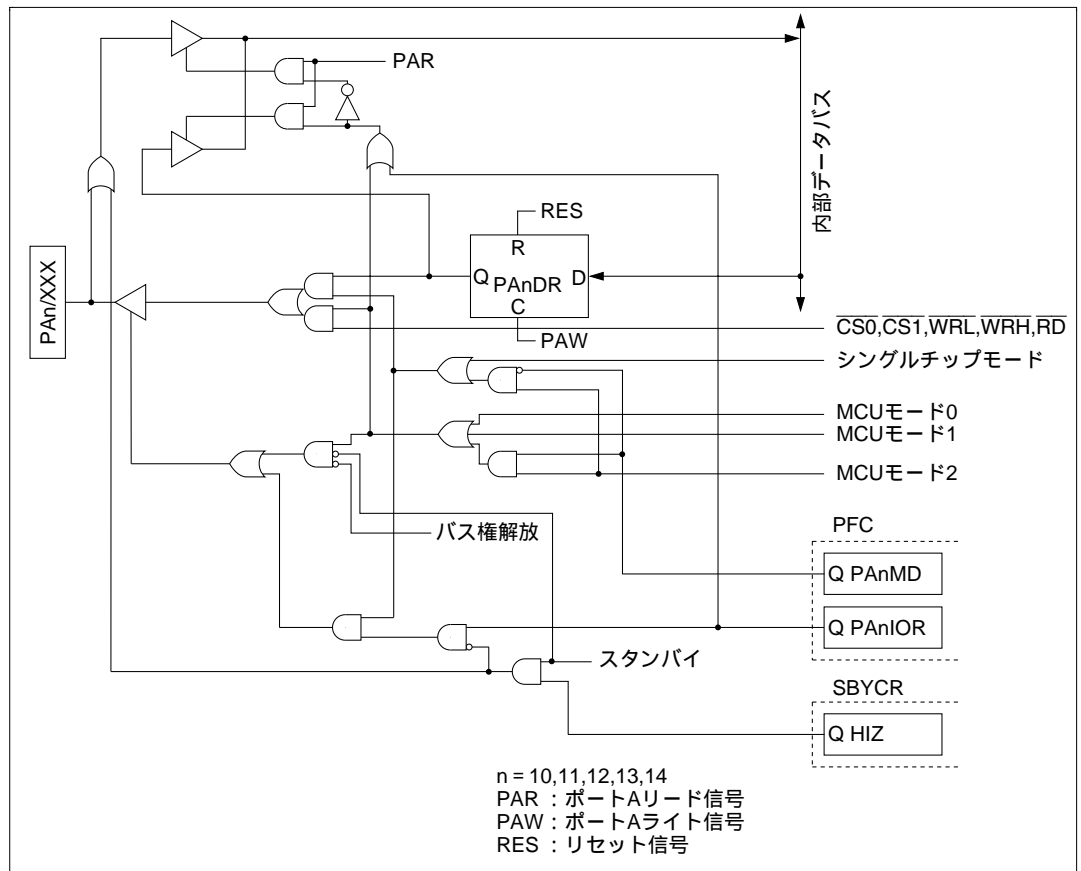


図 B.11 PAn/XXX ブロック図

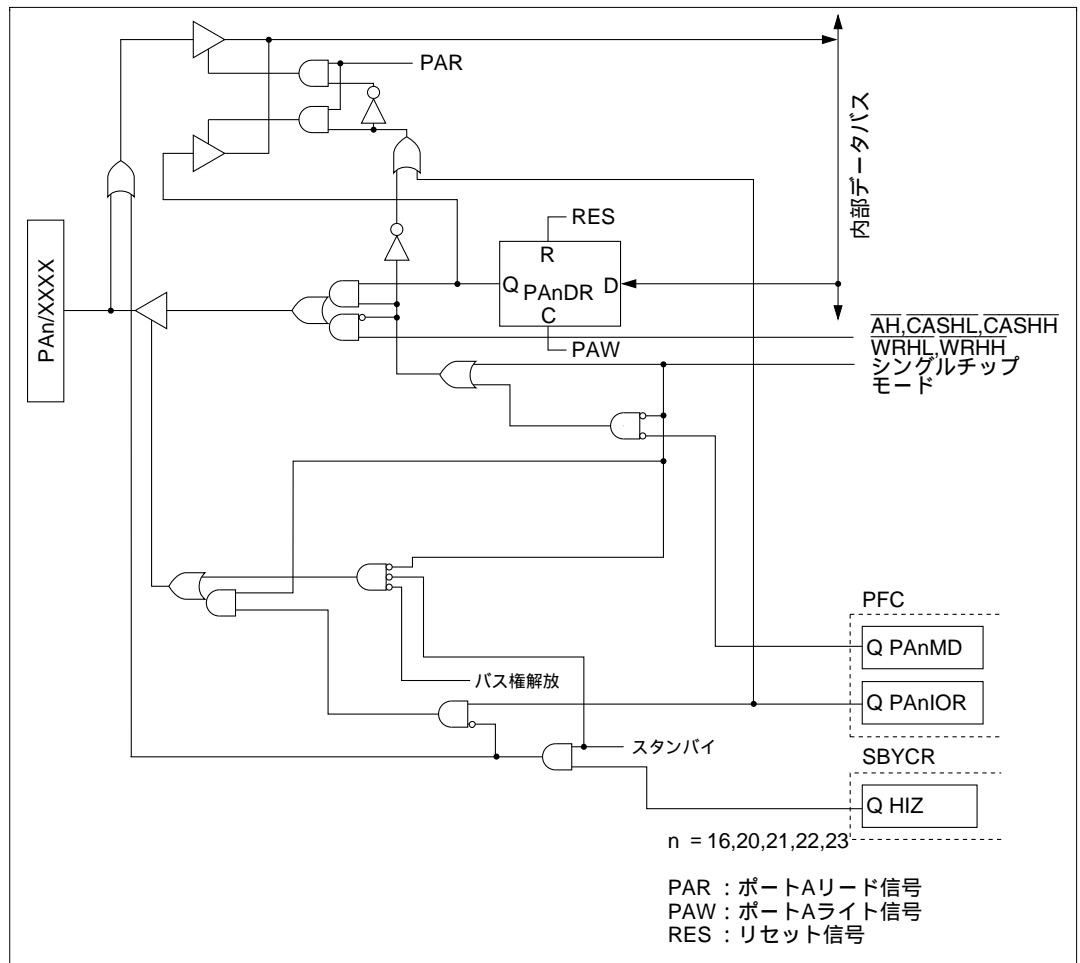


図 B.12 PAn/XXXX ブロック図

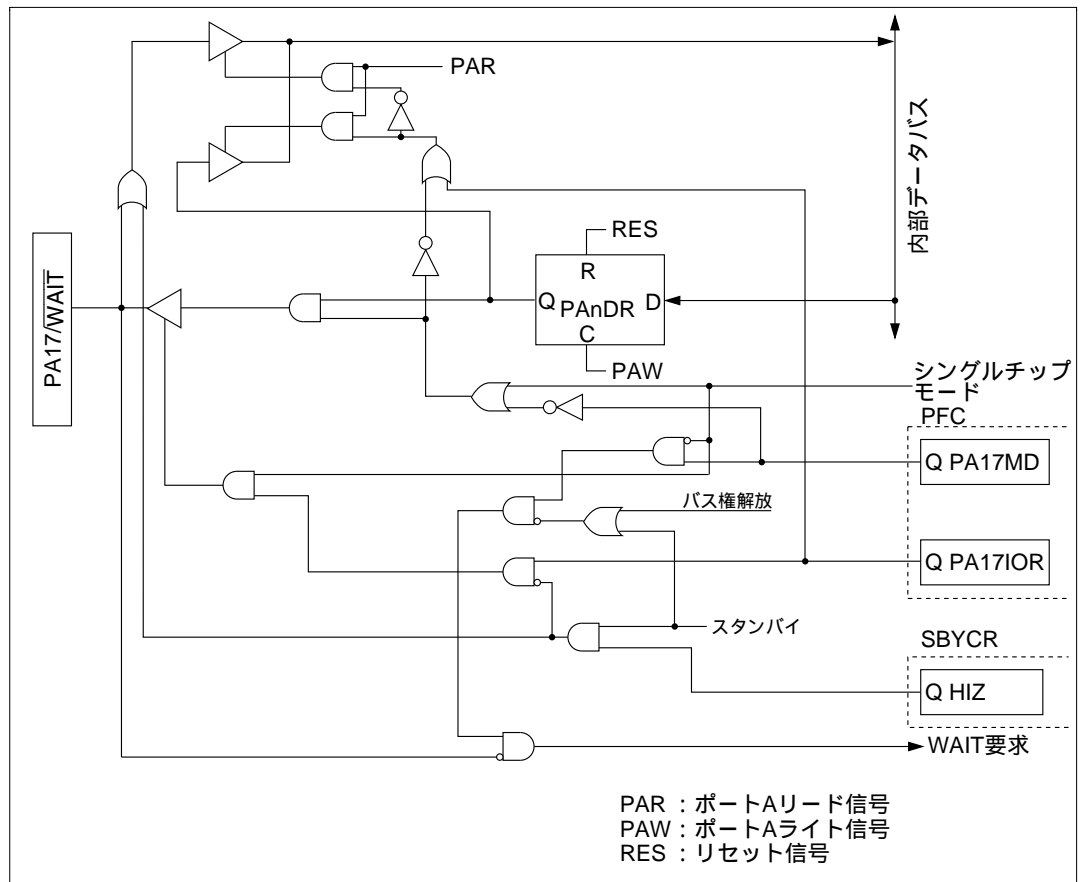


図 B.13 PA17/WAIT ブロック図

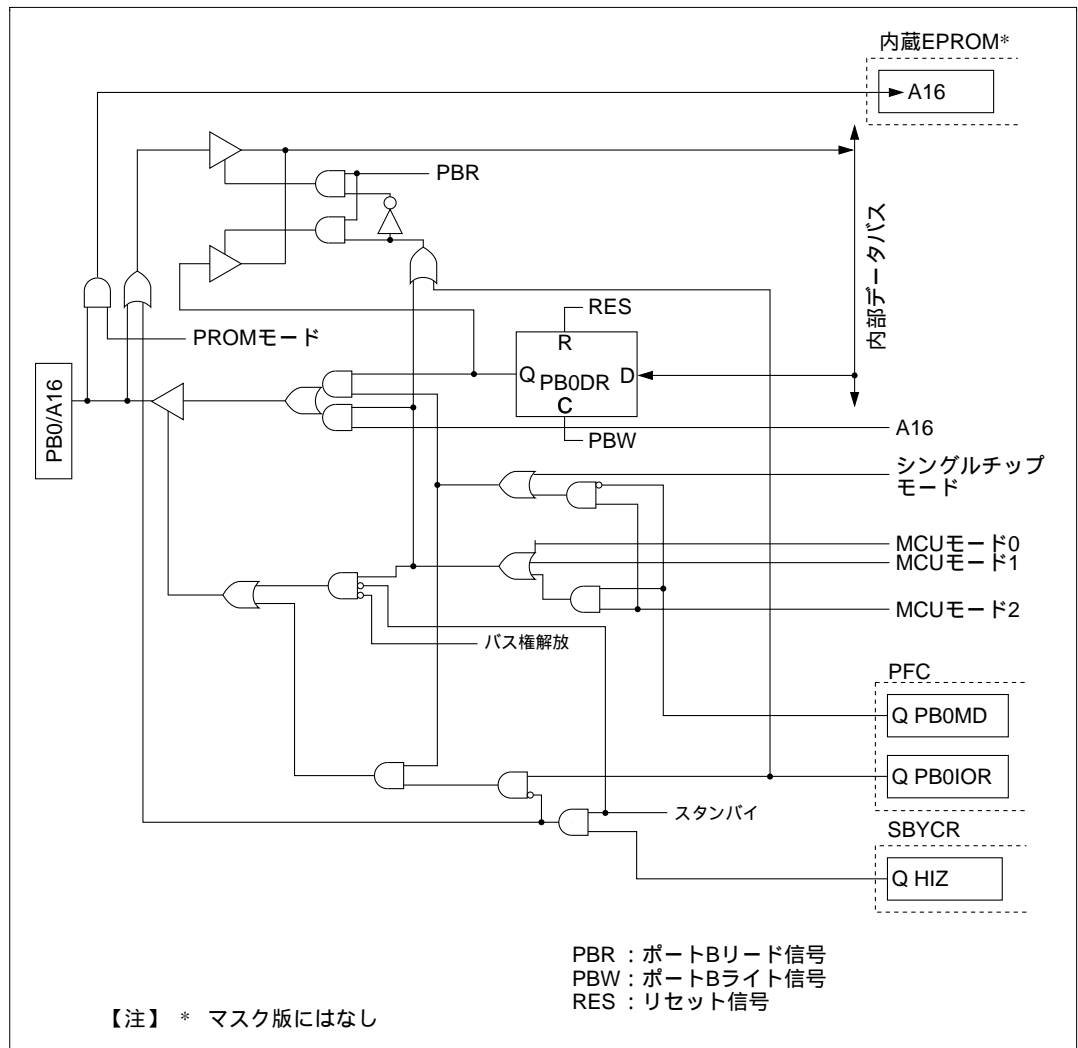


図 B.14 PB0/A16 ブロック図 (ZTAT、マスク)

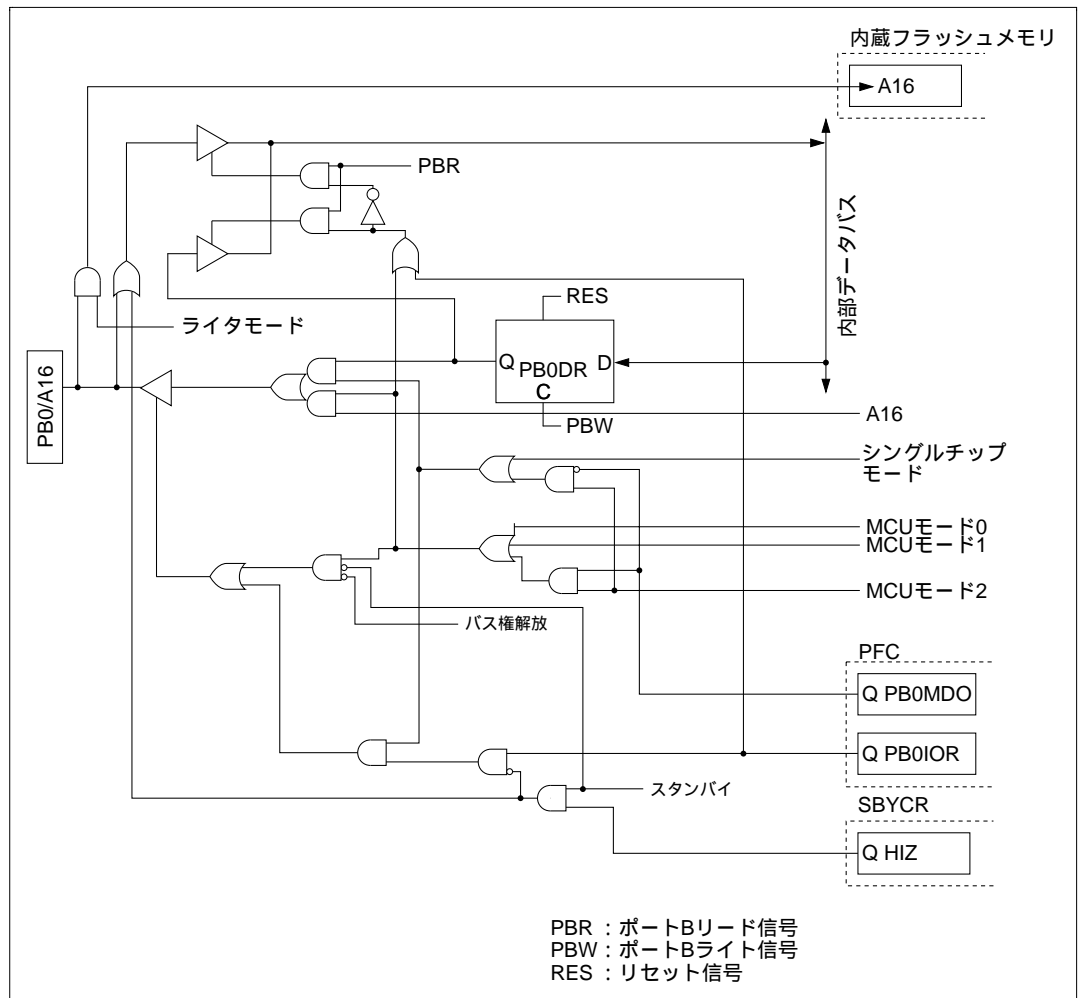


図 B.15 PB0/A16 ブロック図 (F-ZTAT 版)

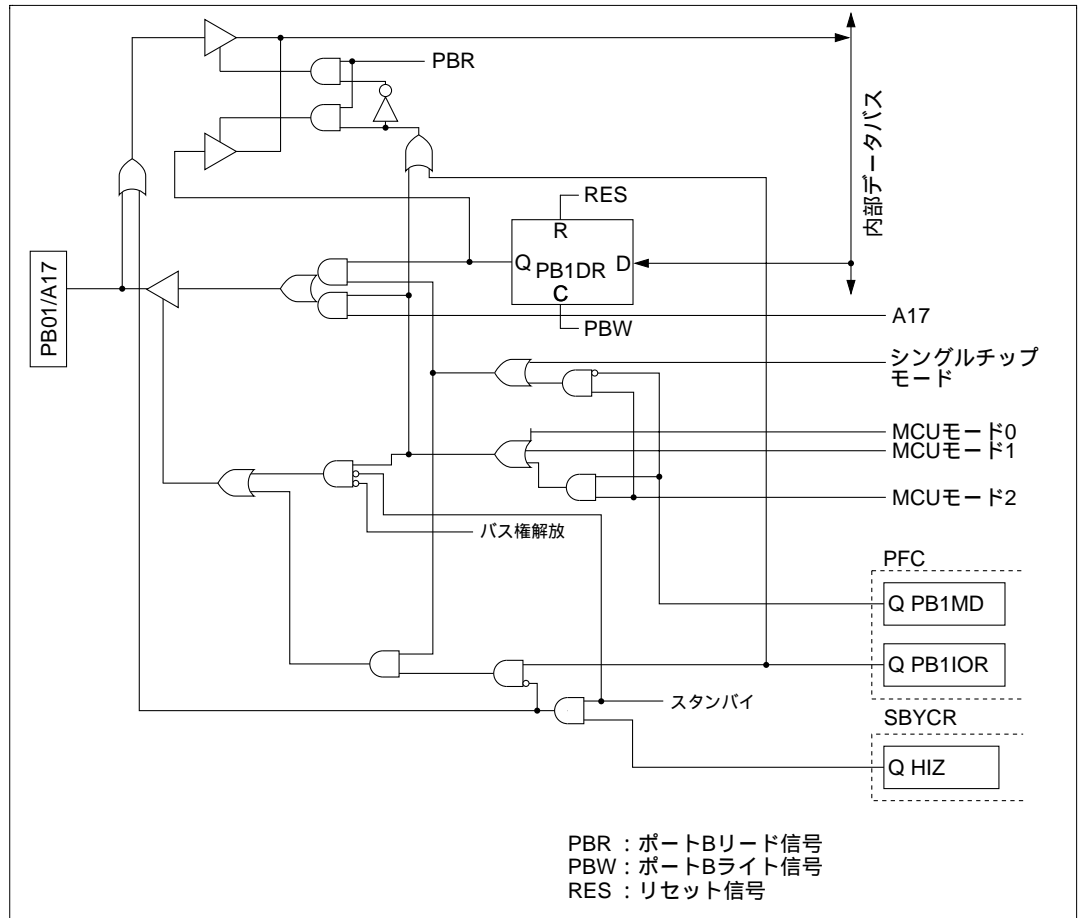


図 B.16 PB01/A17 ブロック図

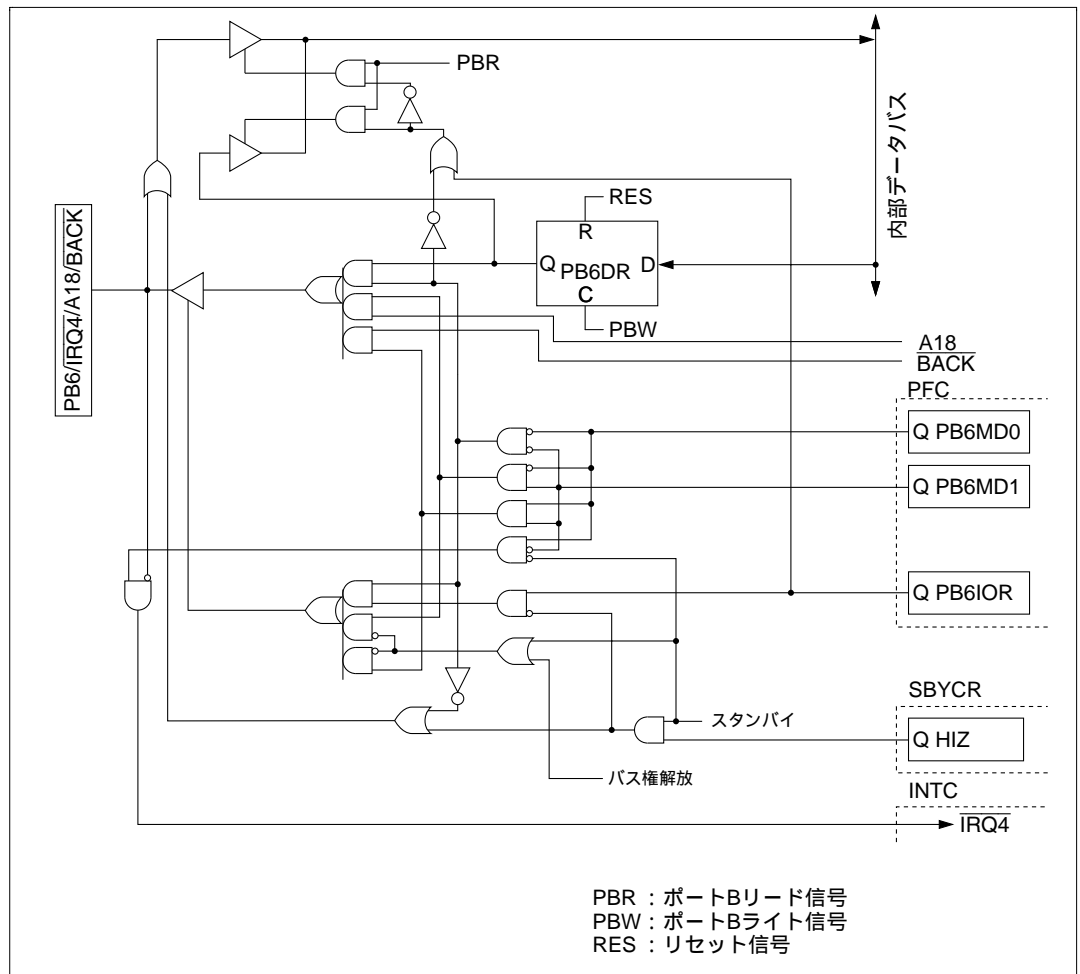


図 B.17 PB6/IRQ4/A18/BACK ブロック図

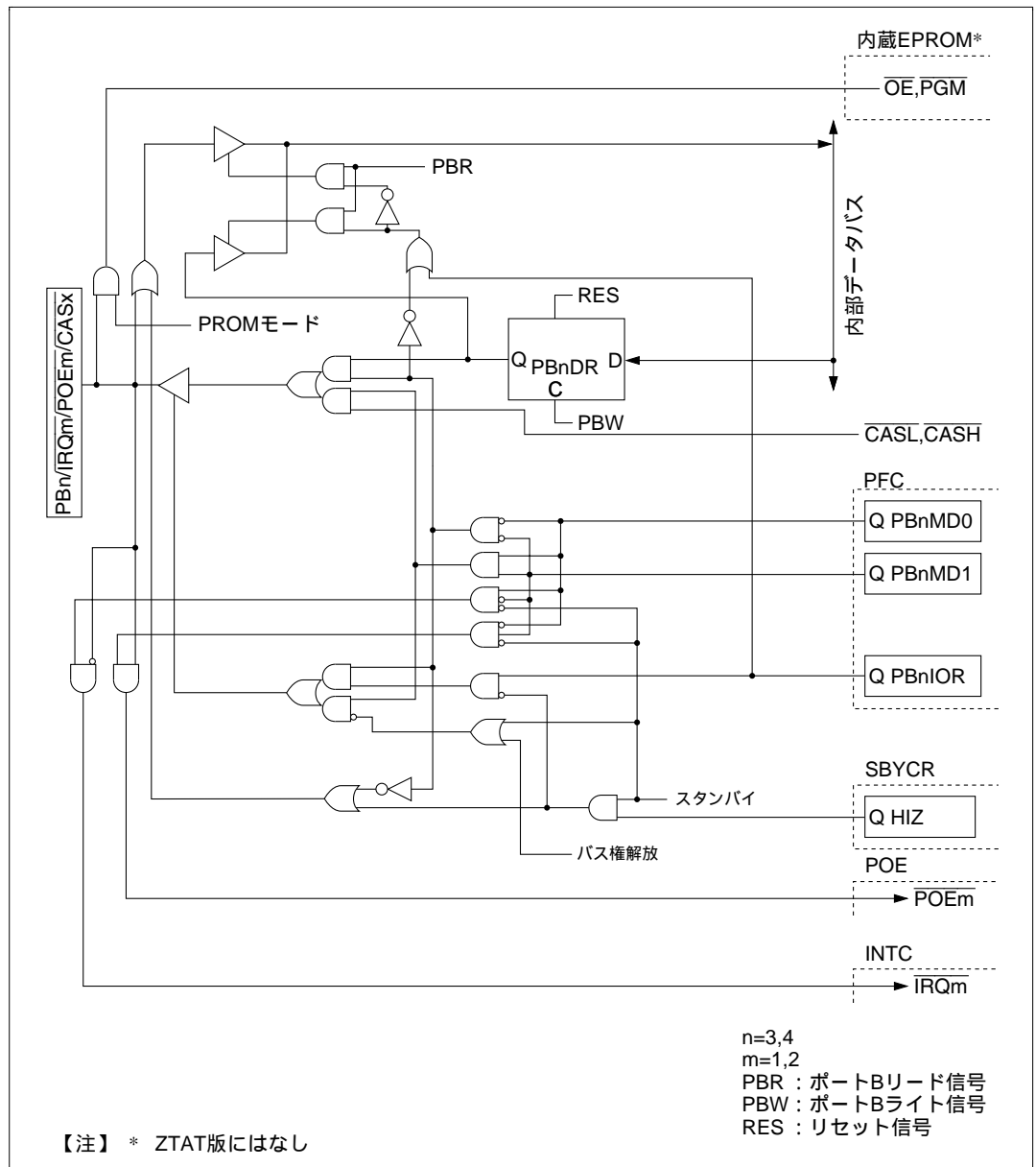


図 B.18 PBn/IRQm/POEm/CASx ブロック図 (ZTAT、マスク)

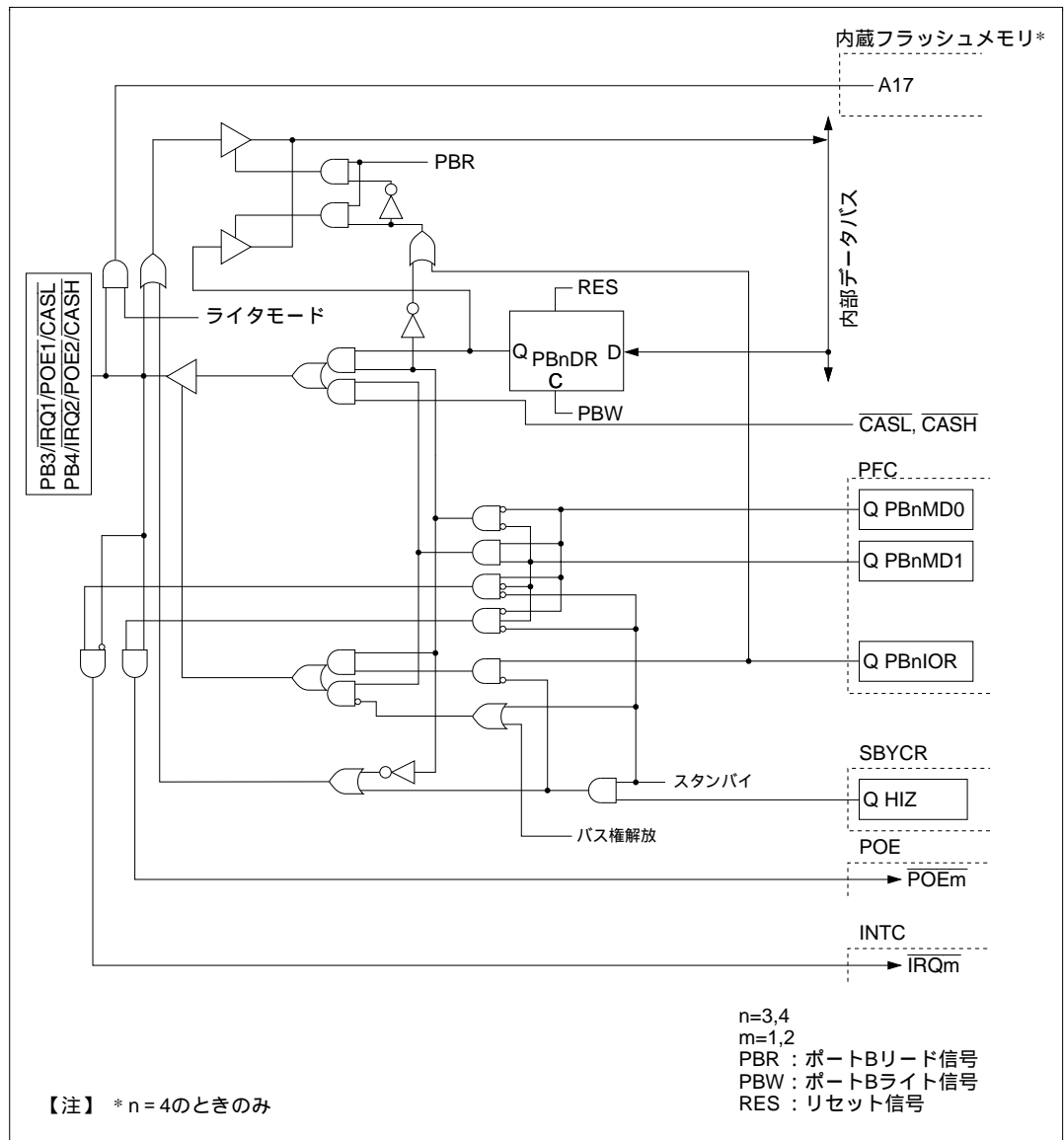


図 B.19 PB4/IRQ2/POE2/CASH、PB3/IRQ1/POE1/CASL ブロック図 (F-ZTAT 版)

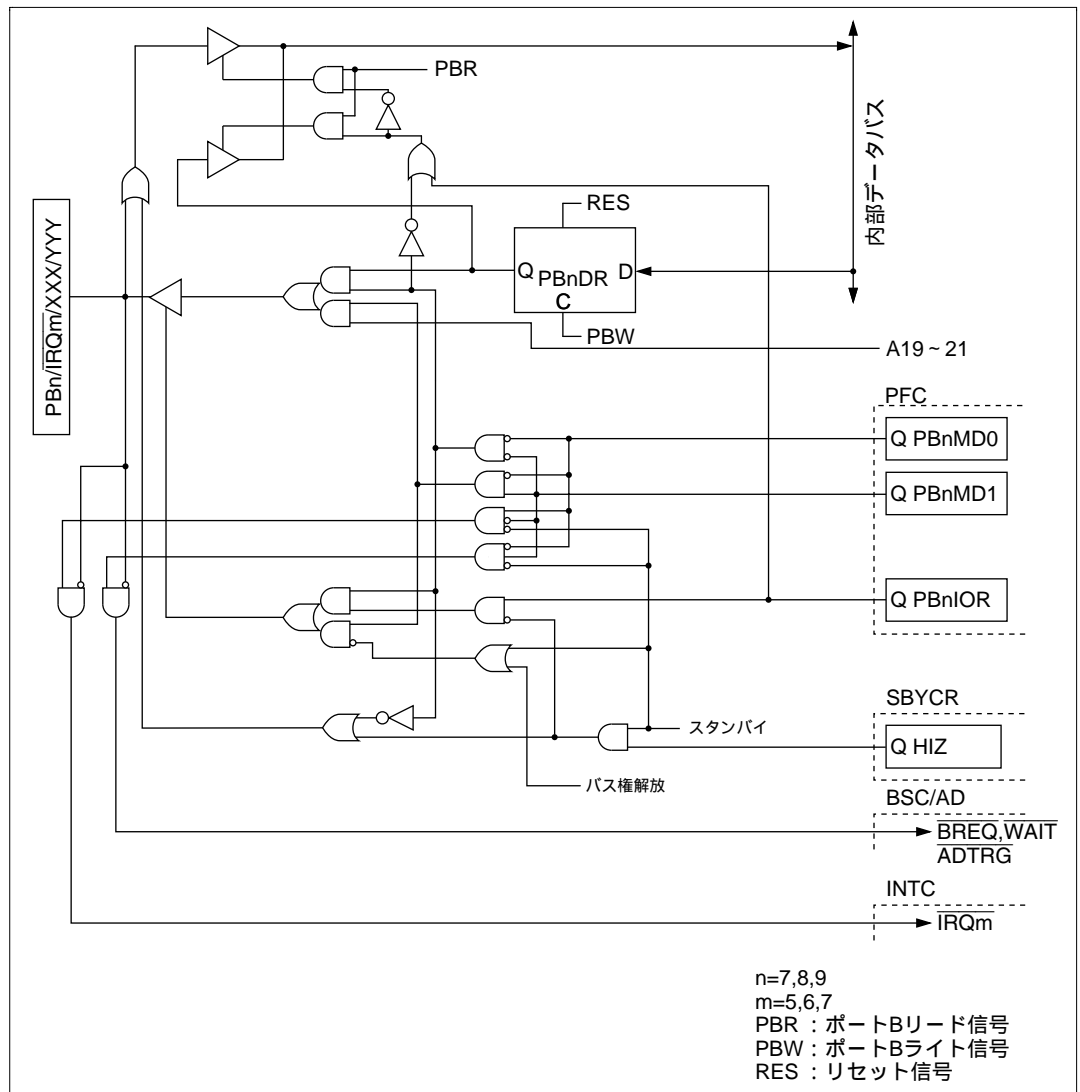


図 B.20 PBn/IRQm/XXX/YYY ブロック図

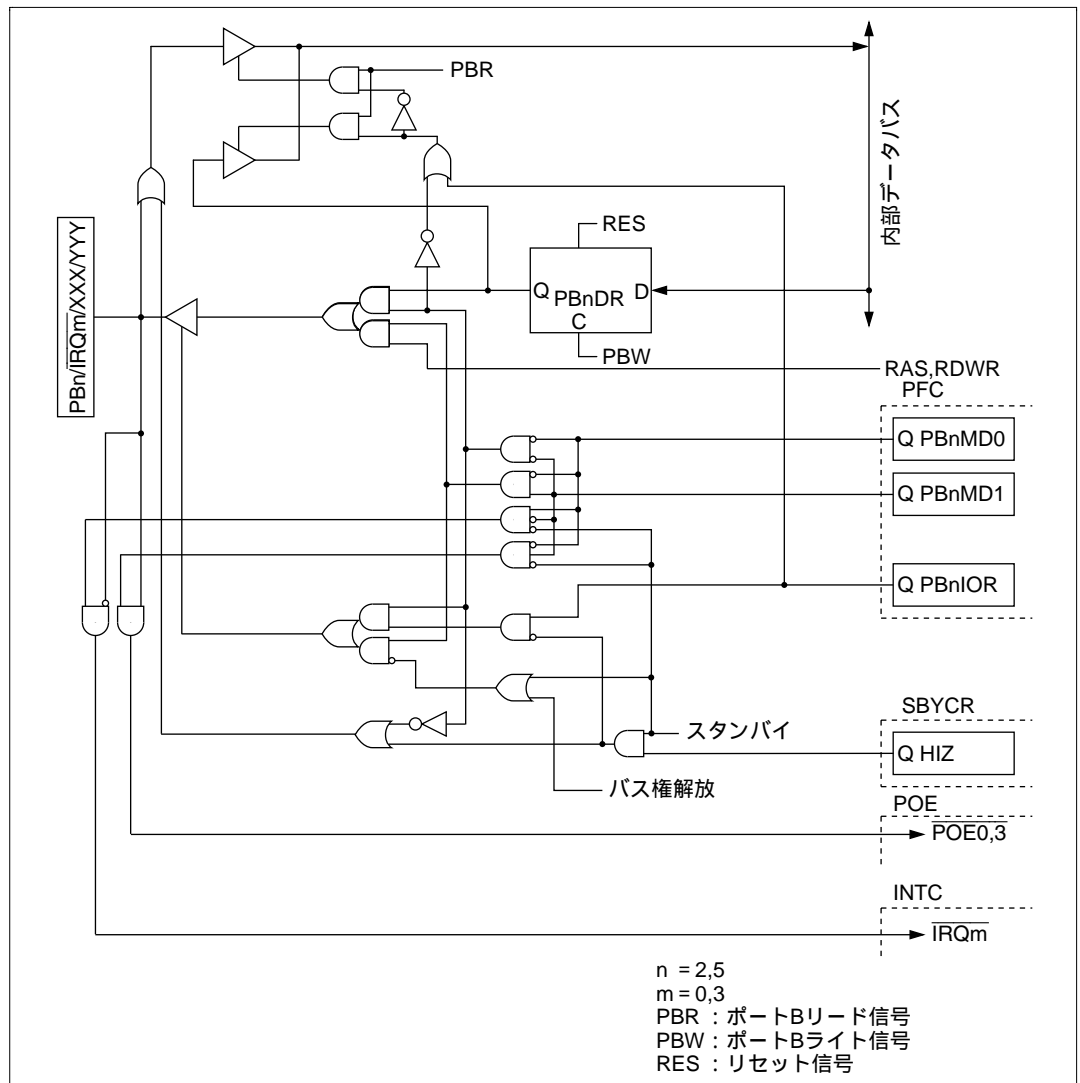


図 B.21 PBn/IRQm/XXXX/YYYY ブロック図

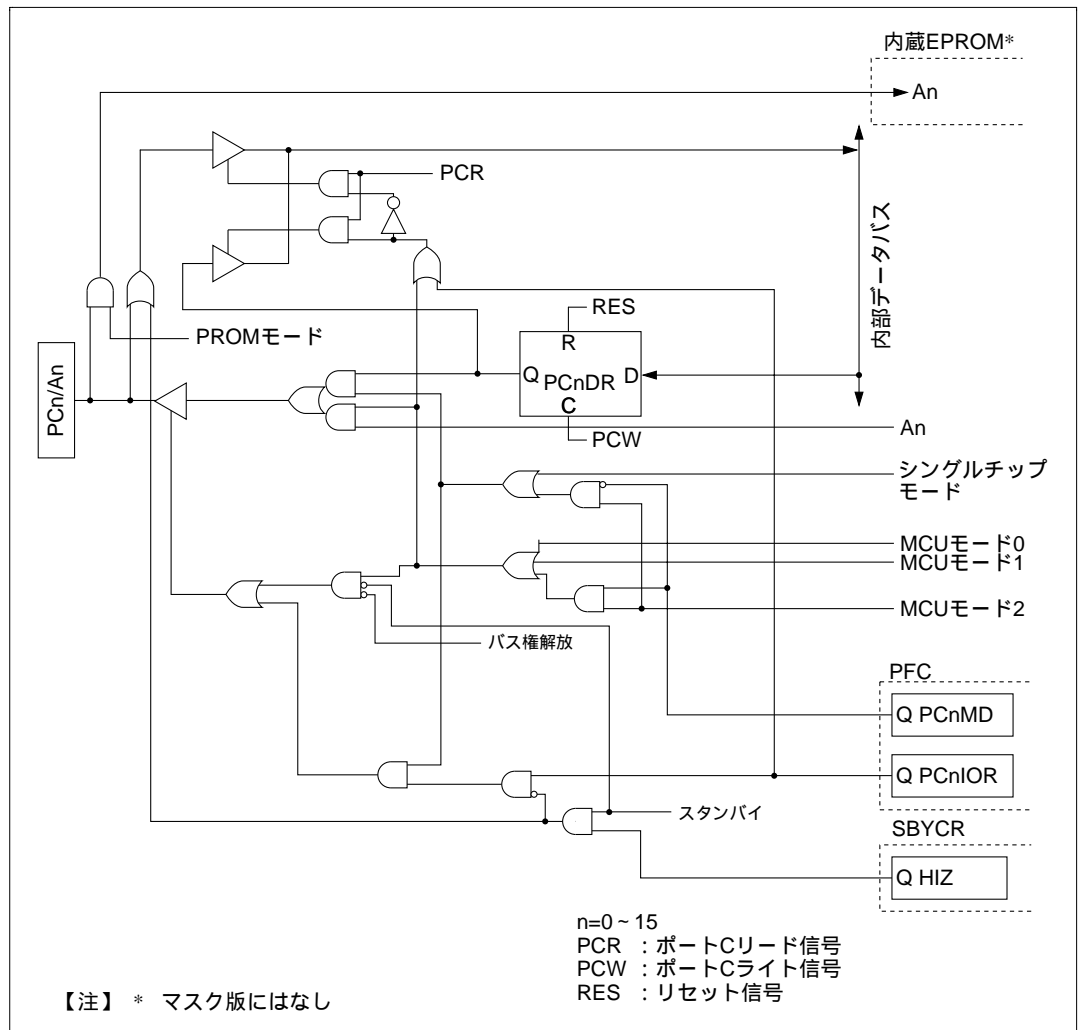


図 B.22 PCn/An ブロック図 (ZTAT、マスク)

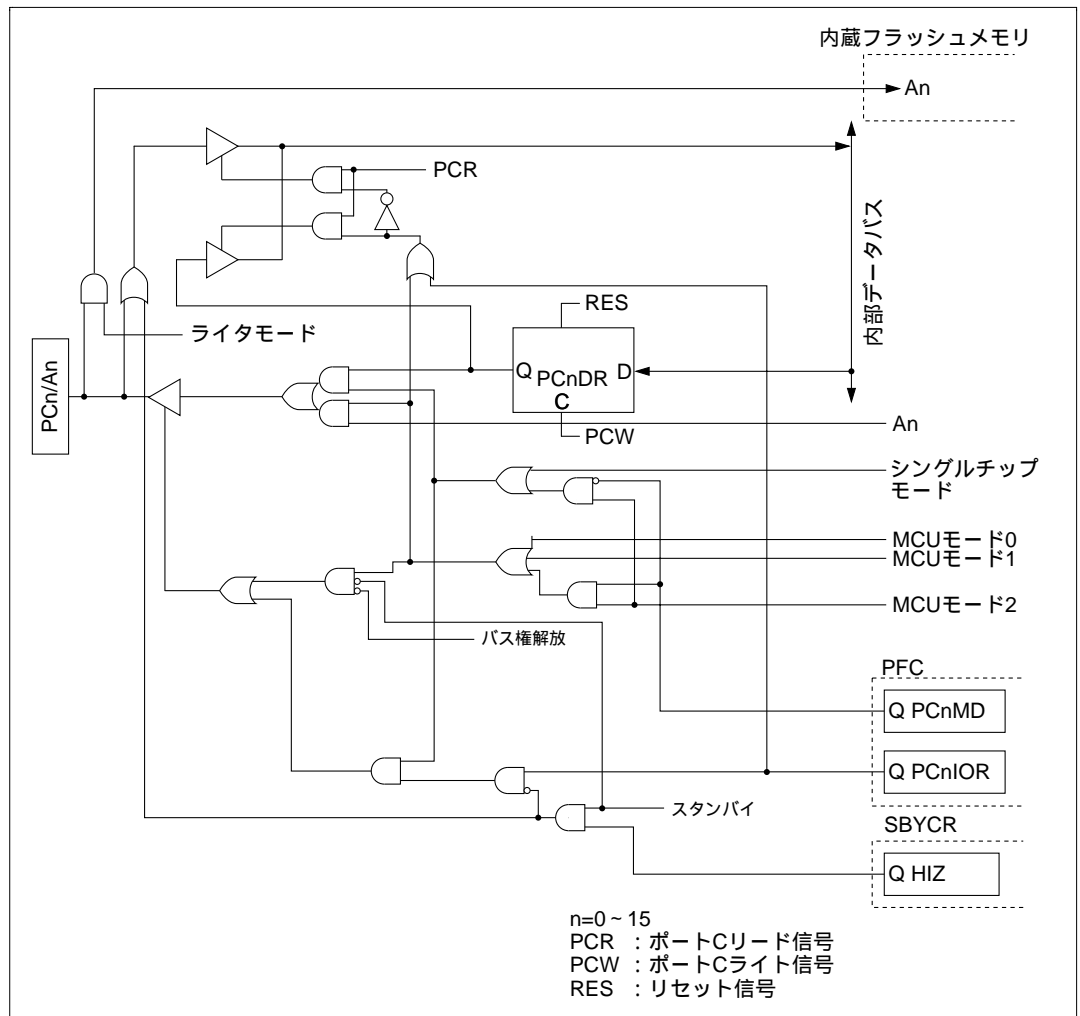


図 B.23 PCn/An ブロック図 (F-ZTAT 版)

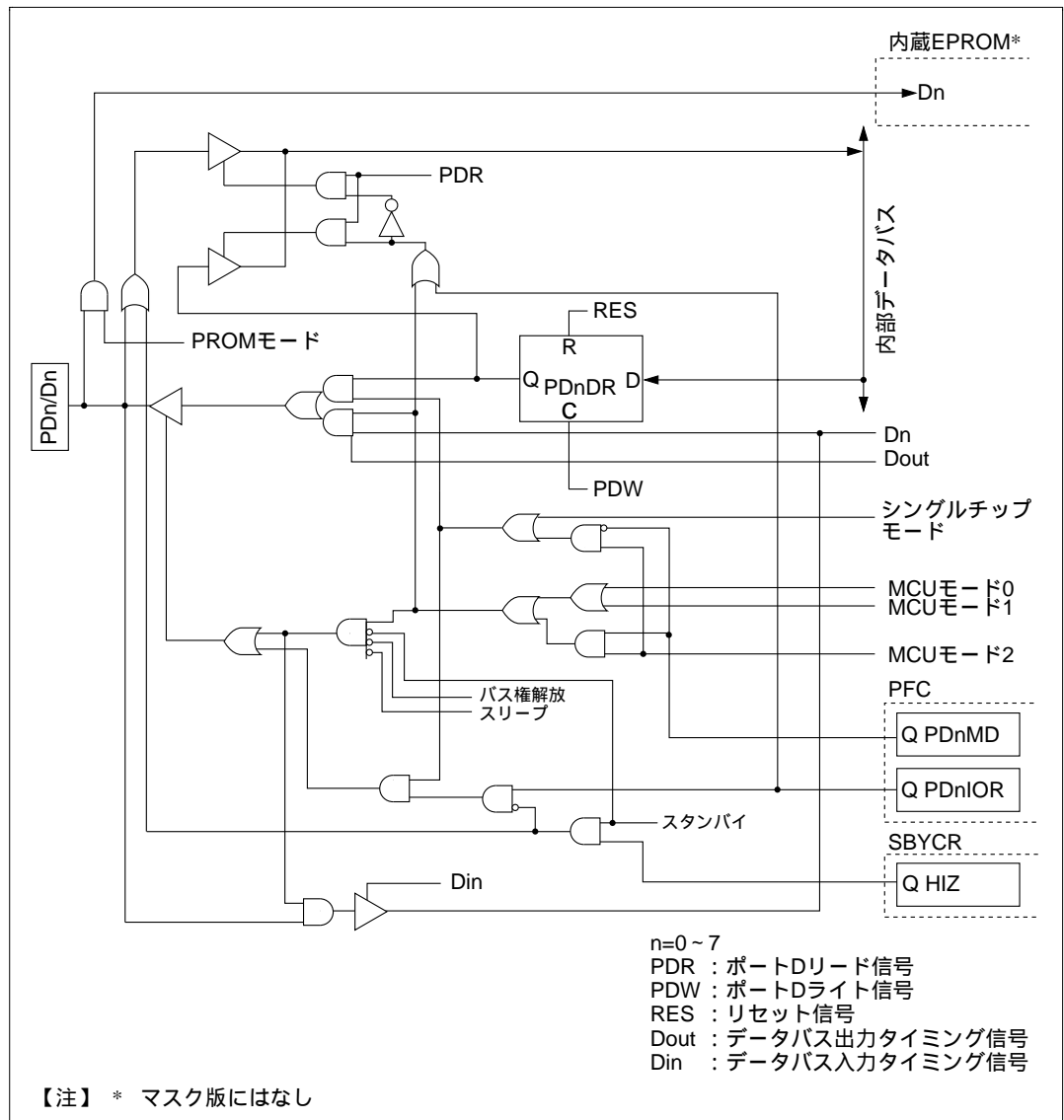


図 B.24 PDn/Dn ブロック図 (ZTAT、マスク)

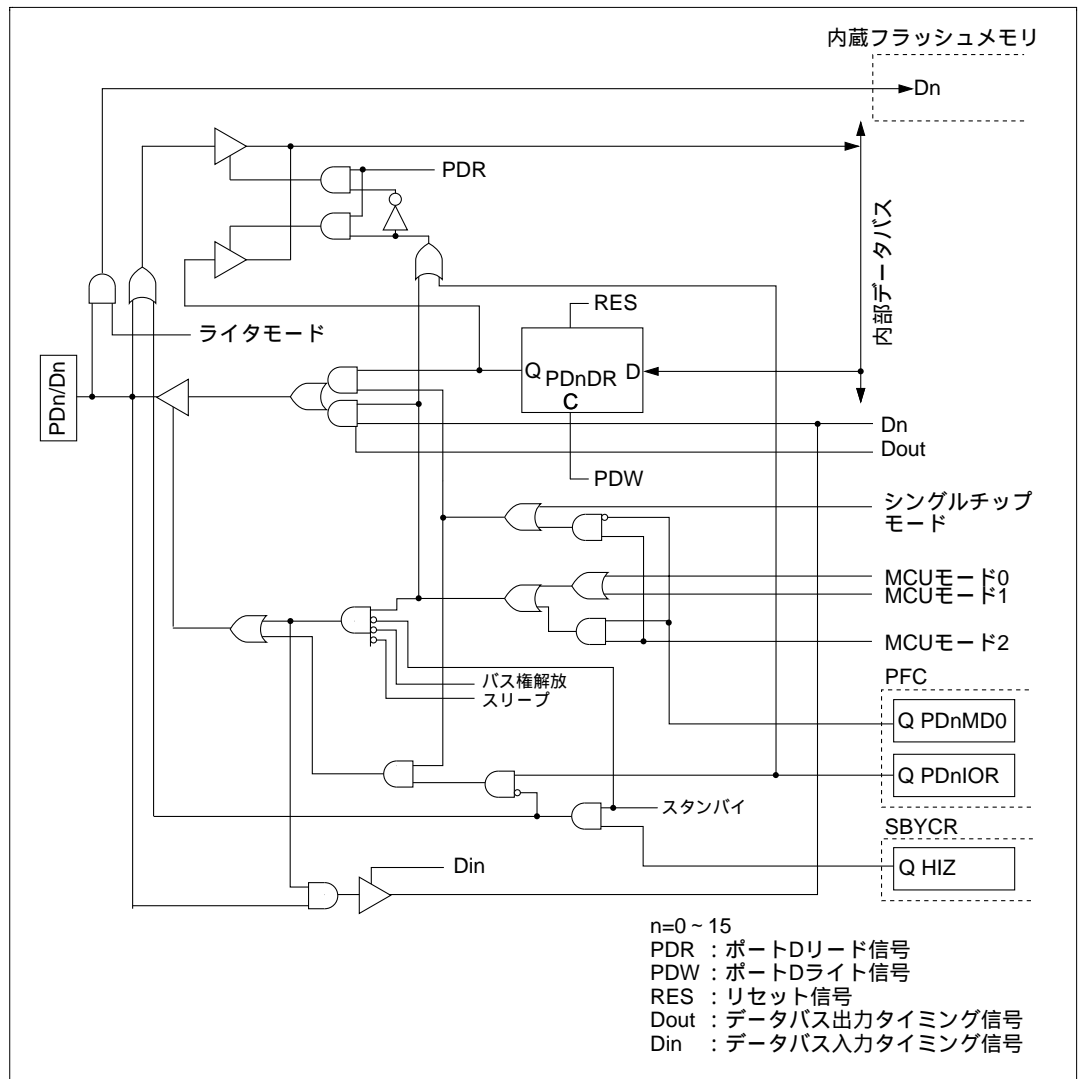


図 B.25 PDn/Dn ブロック図 (F-ZTAT 版)

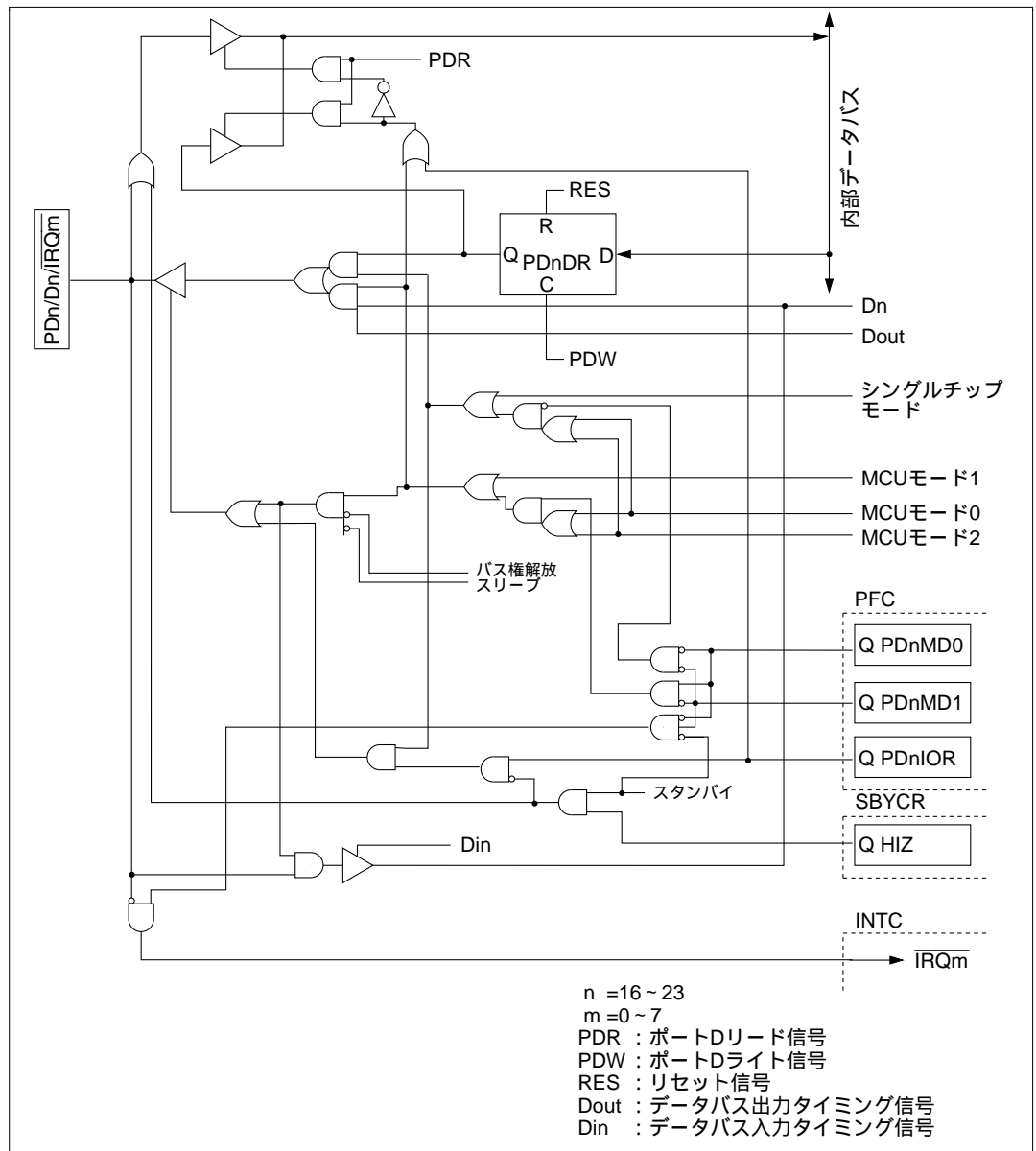


図 B.26 PDn/Dn/ \overline{IRQm} ブロック図

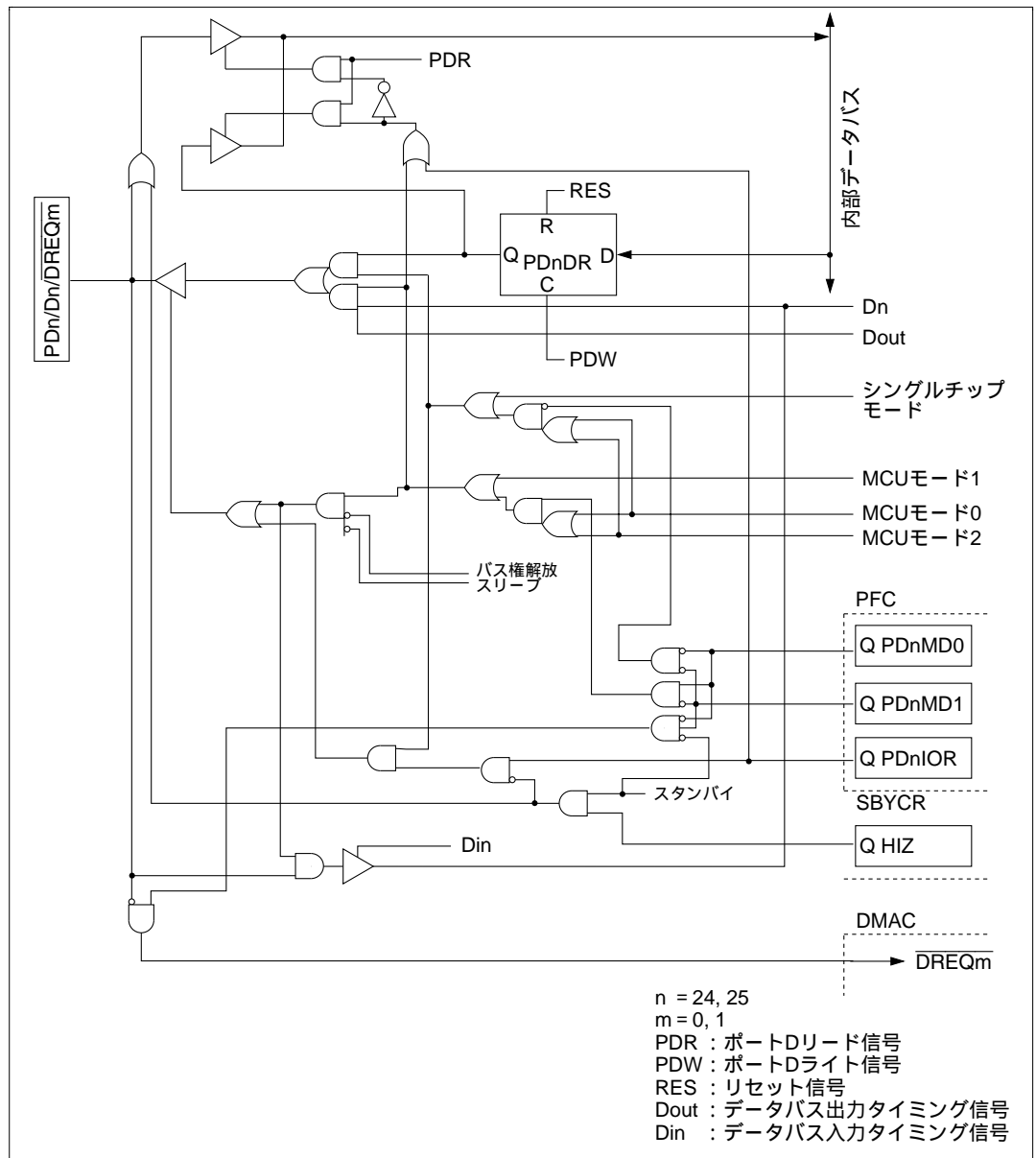


図 B.27 PDn/Dn/DREQm ブロック図

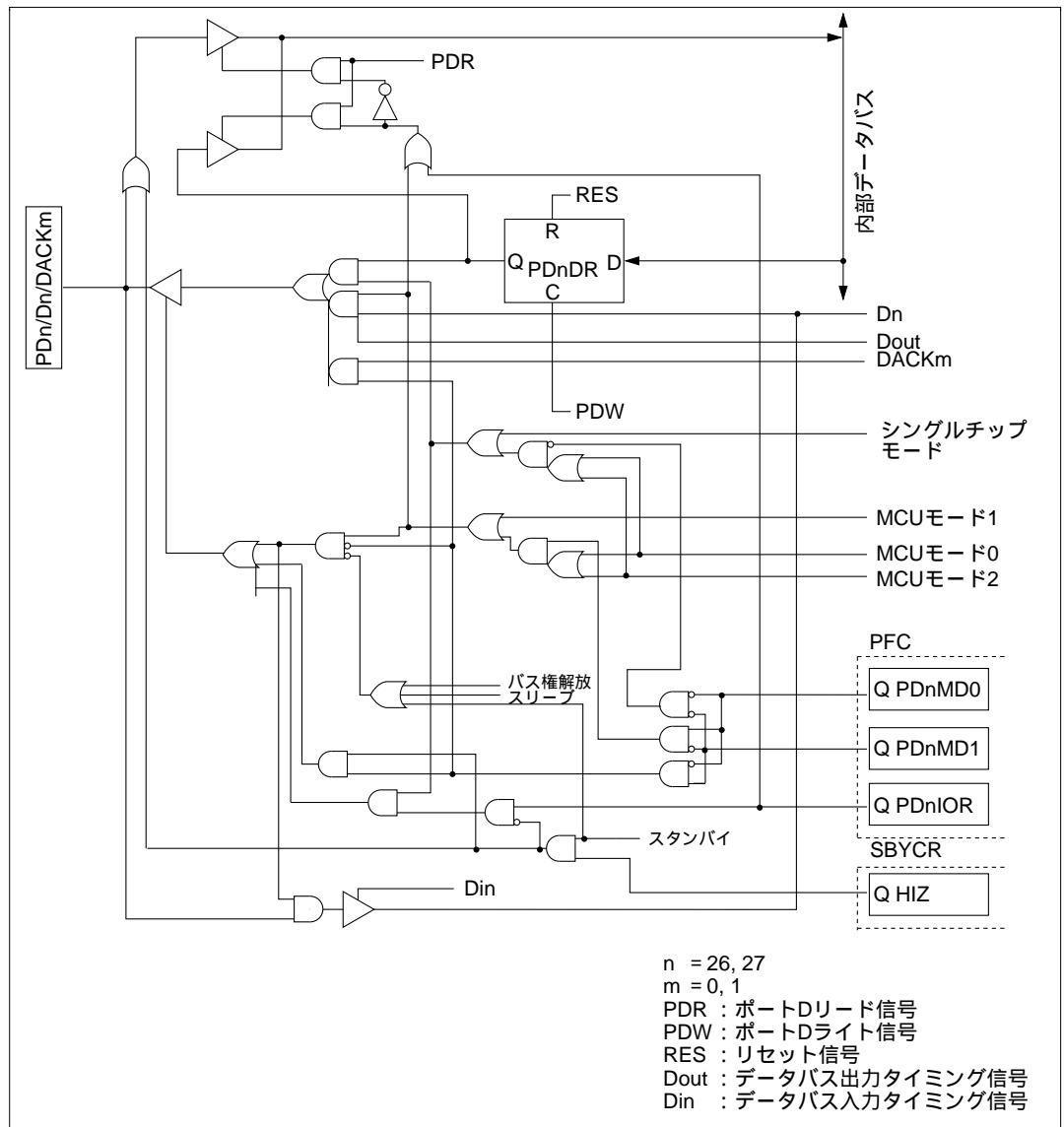


図 B.28 PDn/Dn/DACKm ブロック図

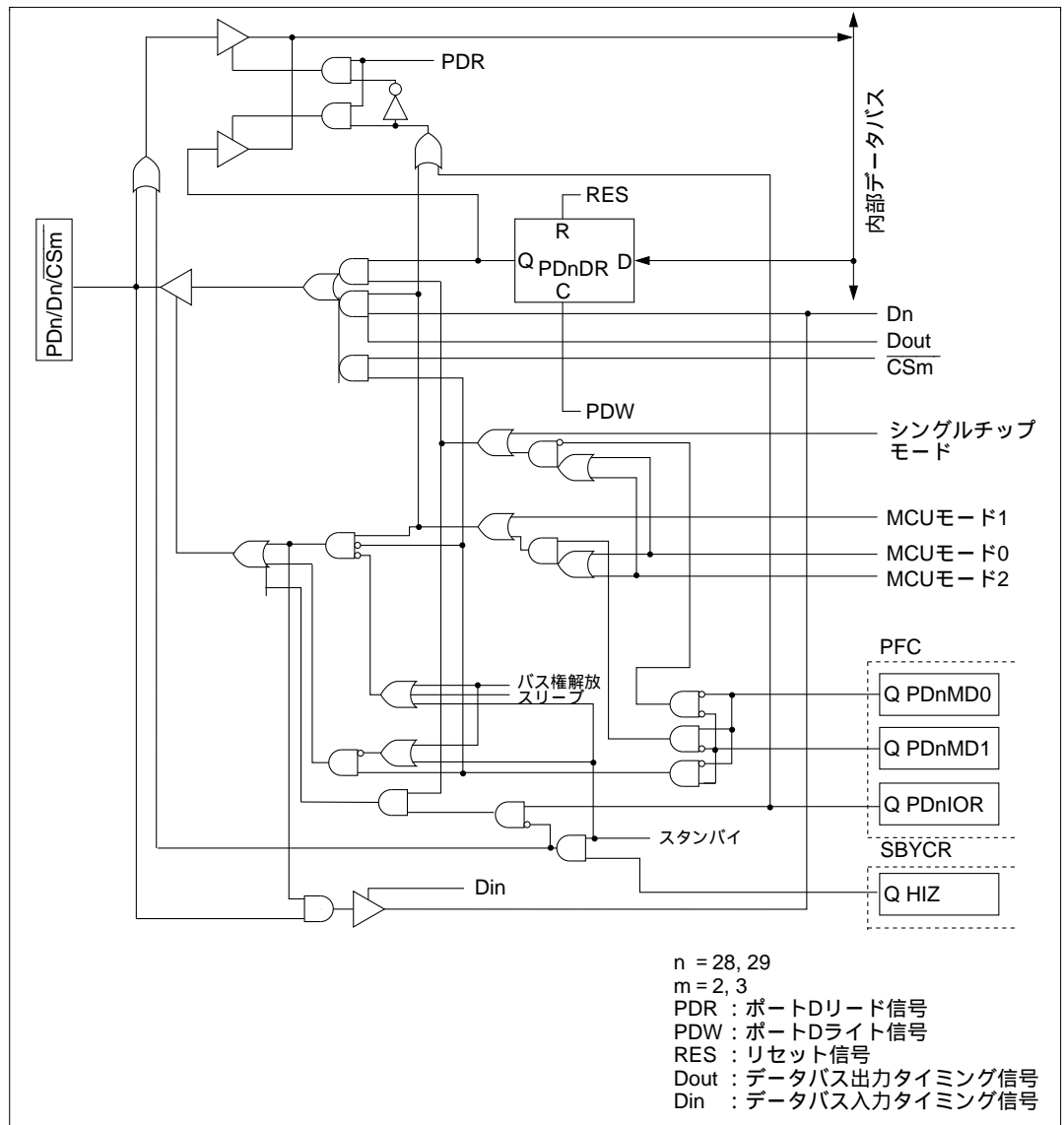


図 B.29 PDn/Dn/CSm ブロック図

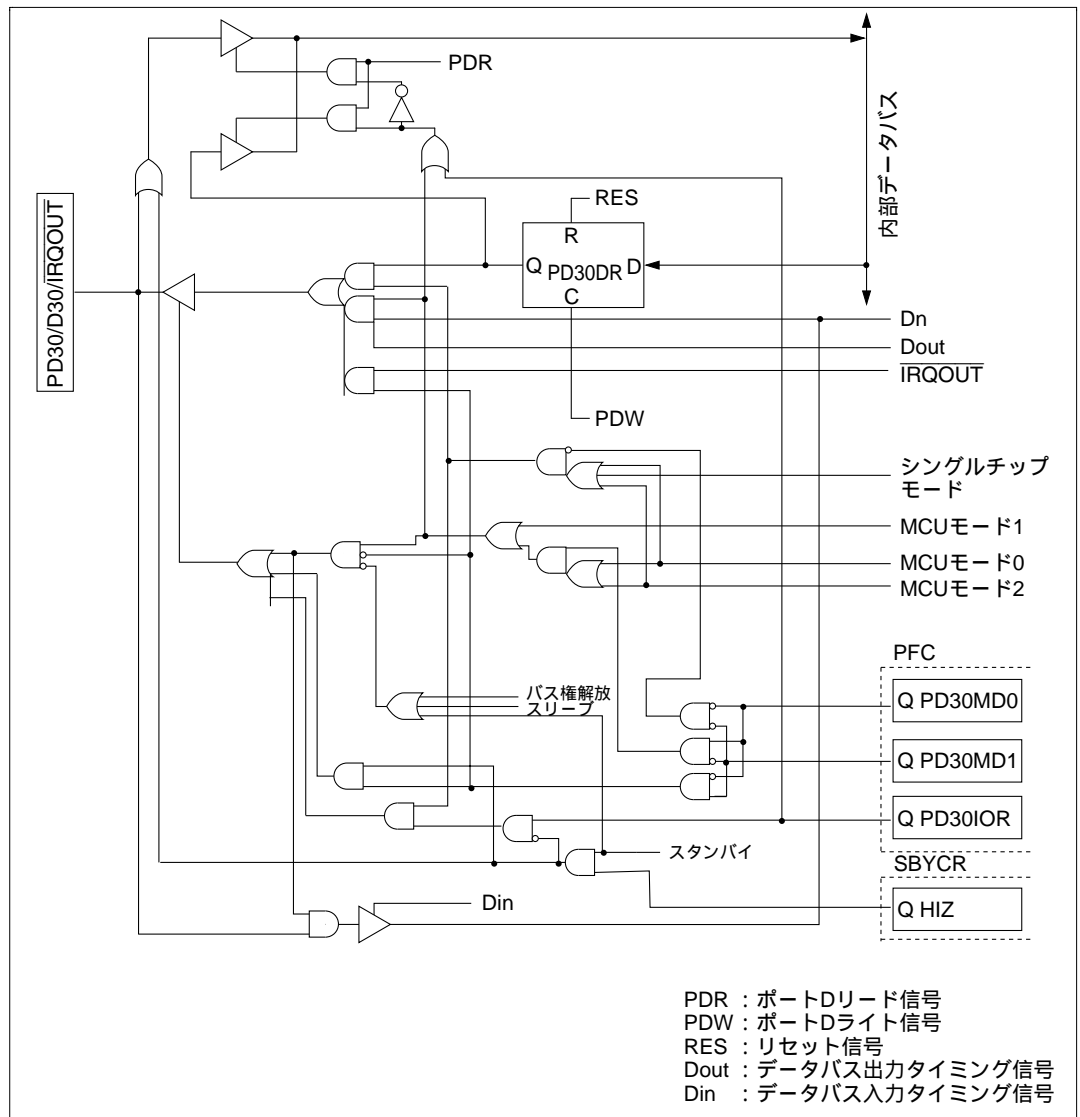


図 B.30 PD30/D30/IRQOUT ブロック図

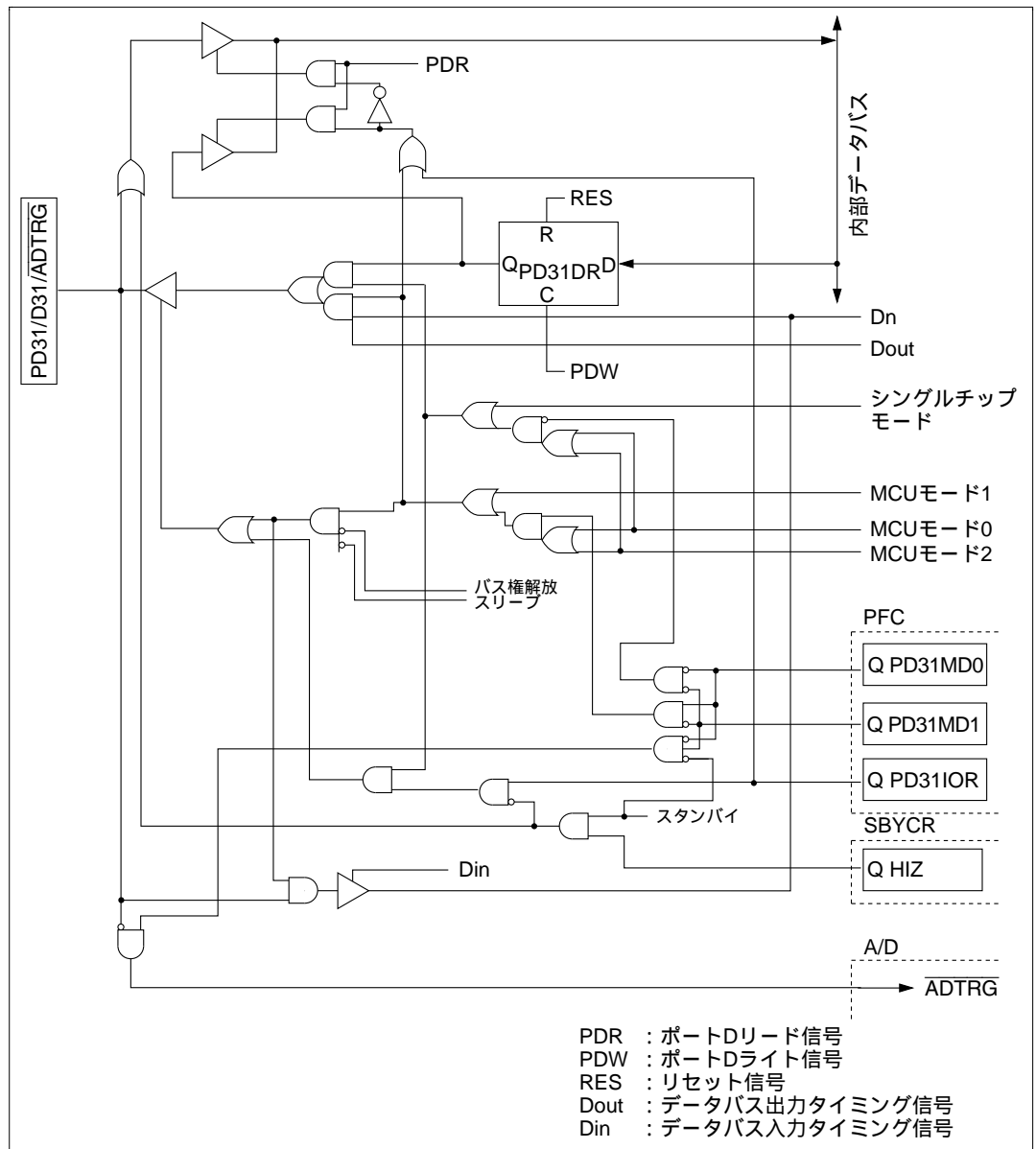


図 B.31 PD31/D31/ADTRG ブロック図

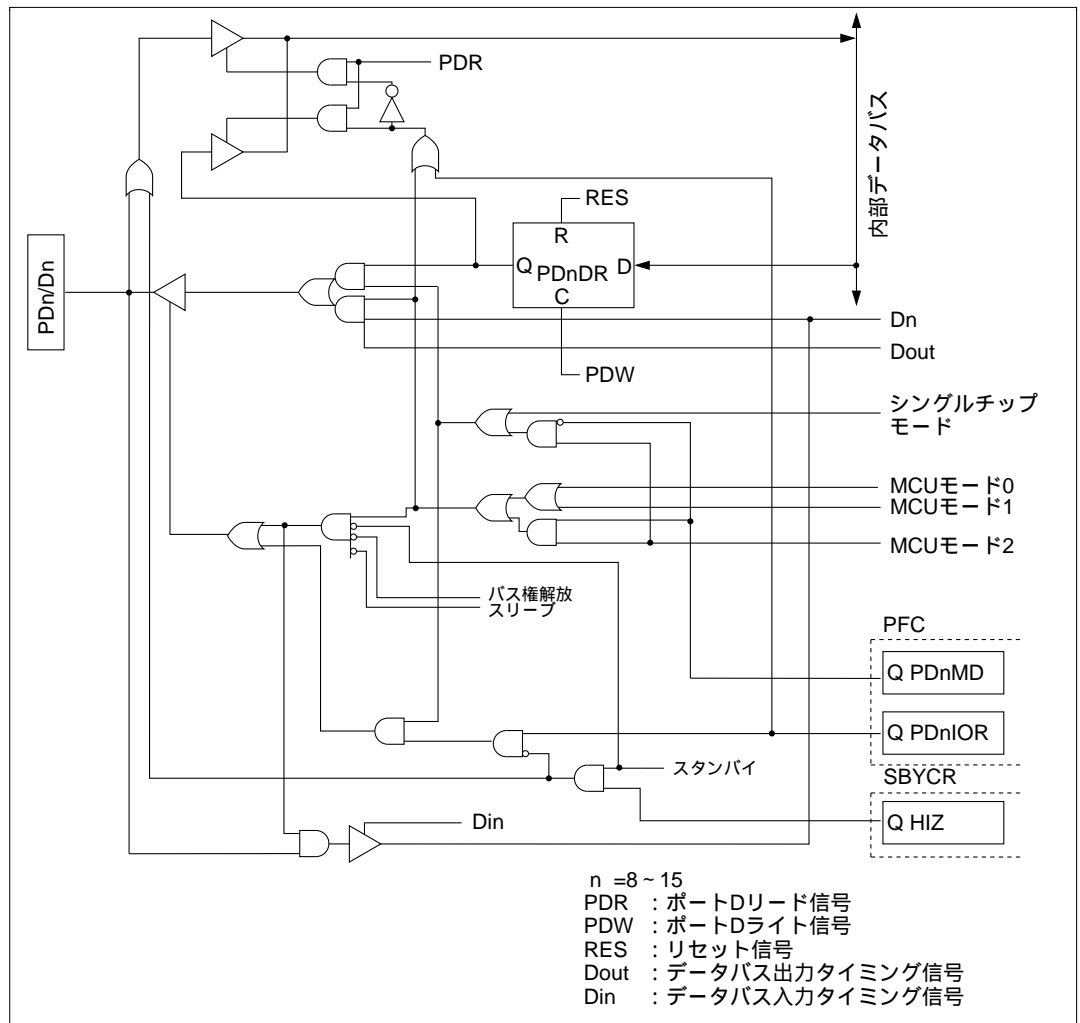


図 B.32 PDn/Dn ブロック図

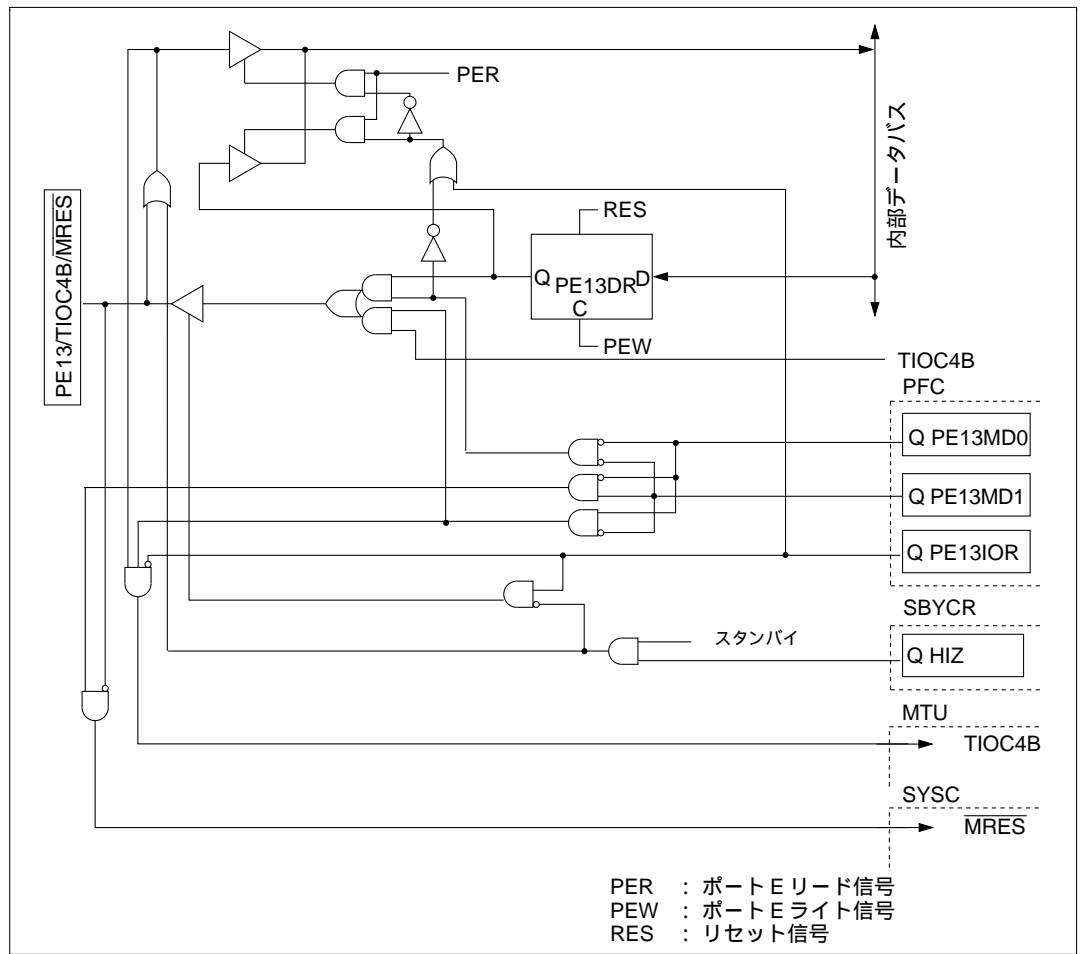


図 B.33 PE13/TIOC4B/MRES ブロック図

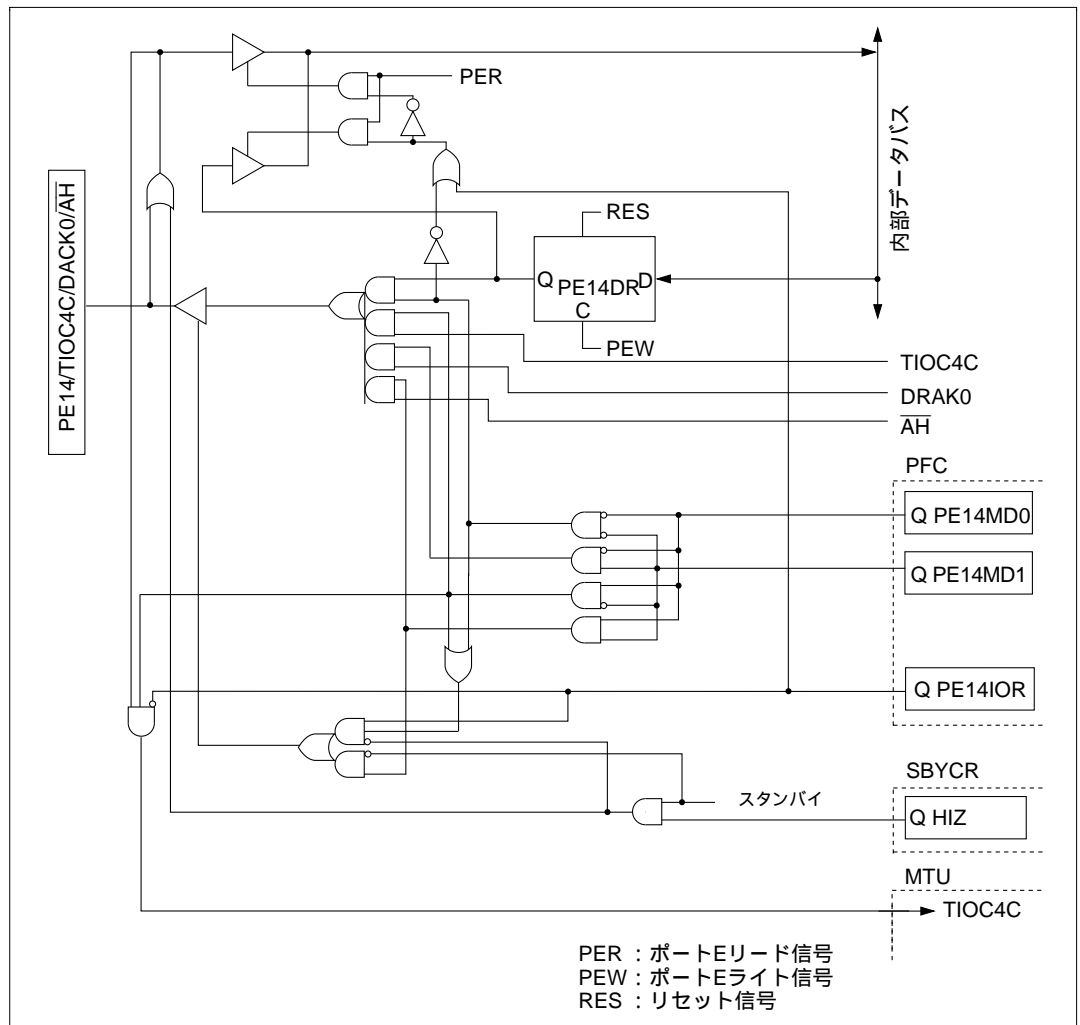


図 B.34 PE14/TIOC4C/DACK0/AH ブロック図

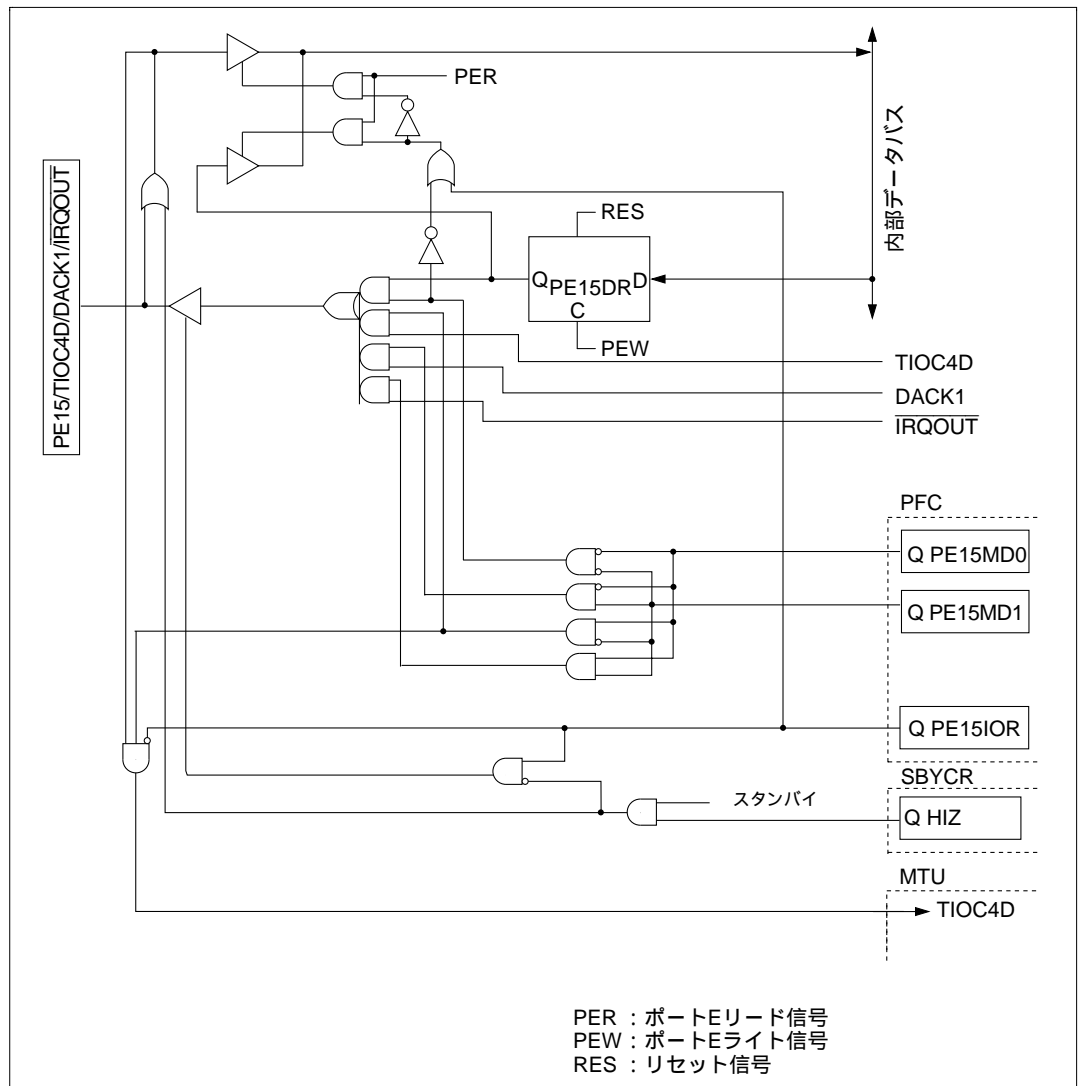


図 B.35 PE15/TIOC4D/DACK1/IRQOUT ブロック図

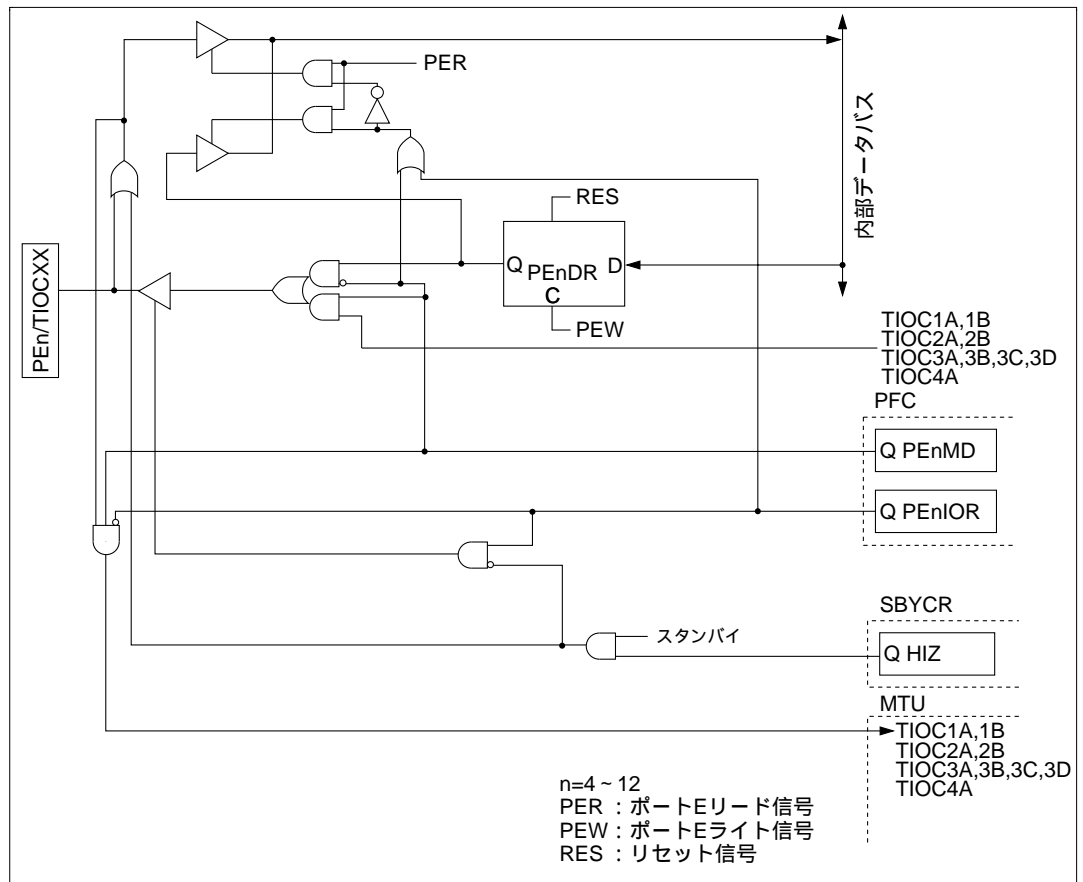


図 B.36 PEn/TIOCXX ブロック図

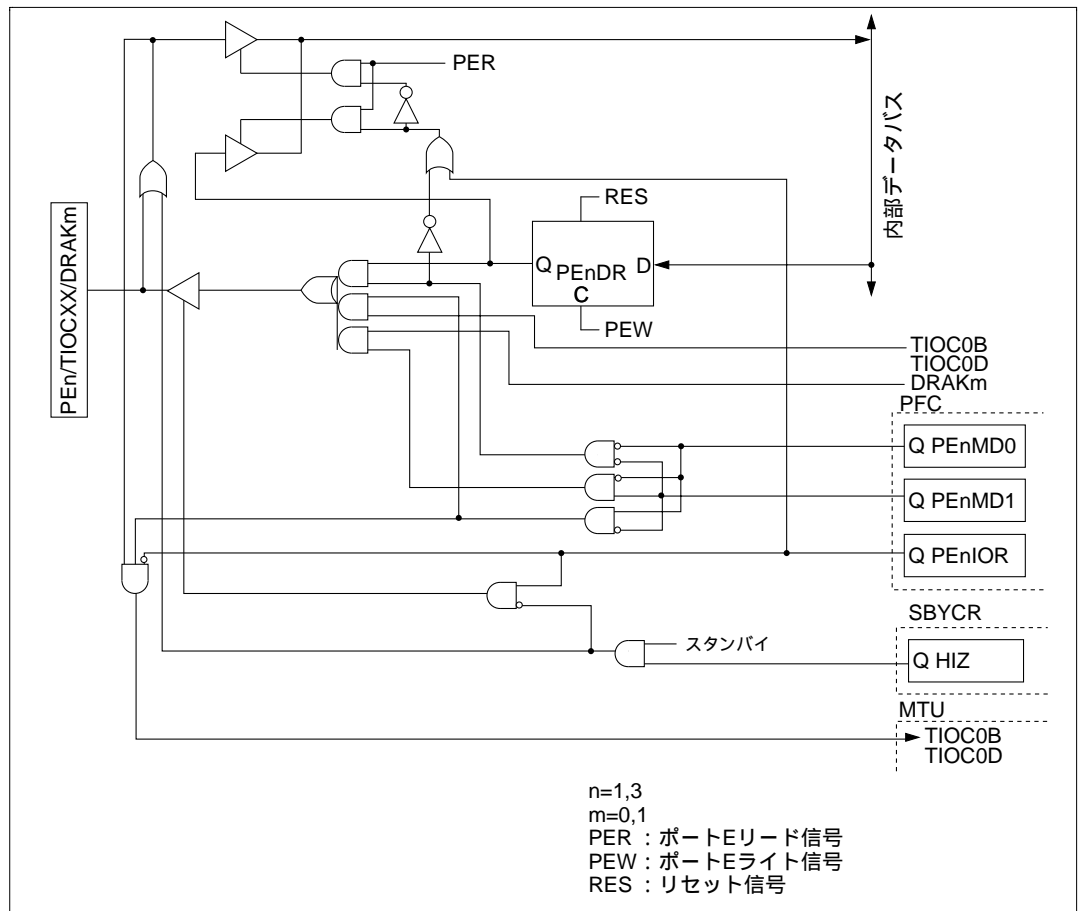


図 B.37 PEn/TIOCXX/DRAKm ブロック図

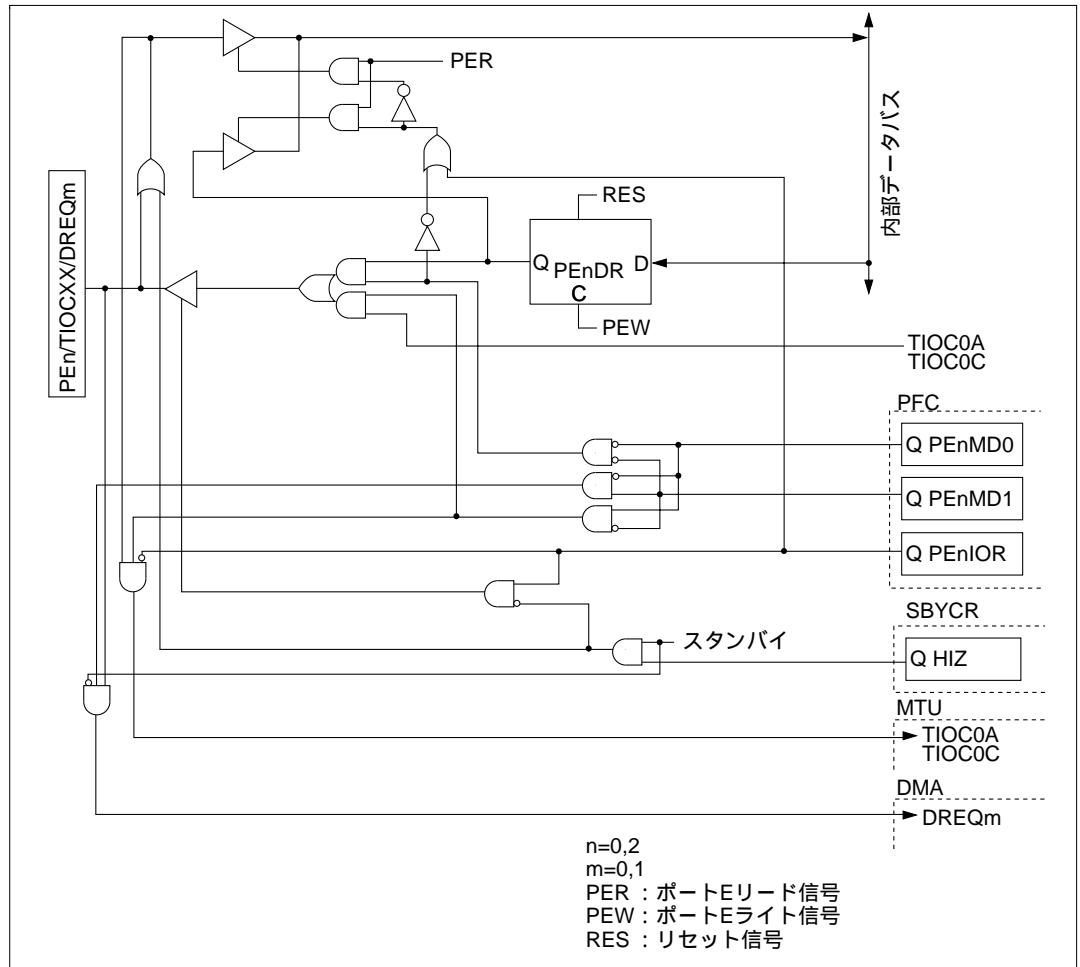


図 B.38 PEn/TIOCXX/DREQm ブロック図

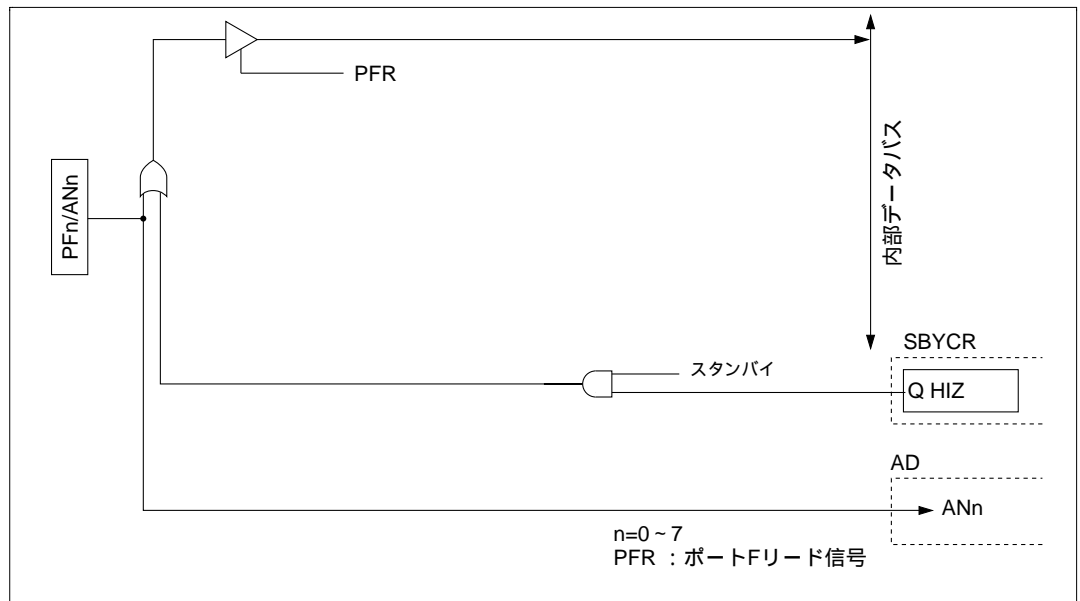


図 B.39 PFn/ANn ブロック

C. 端子状態

C.1 端子状態 (144 ピン)

リセット、低消費電力、バス権解放状態での端子状態

端子機能		端子状態				バス権解放状態	
分類	端子名	リセット状態		低消費電力状態		バス権解放状態	でのスタンバイ
		パワーオン	マニュアル	スタンバイ	スリープ		
クロック	CK	O	O	H* ¹	O	O	O
システム制御	RES	I	I	I	I	I	I
	MRES	Z* ⁴	I	Z	I	I	Z
	WDTOVF	O* ³	O* ³	O	O	O	O
	BREQ	Z* ⁴	I	Z	I	I	I
	BACK	Z* ⁴	O	Z	O	L	L
割り込み	NMI	I	I	I	I	I	I
	IRQ0 ~ IRQ7	Z* ⁴	I	Z	I	I	Z
	IRQOUT (PD30)	Z* ⁴	O	H* ¹	H	O	H* ¹
	IRQOUT (PE15)	Z* ⁴	O	Z	H	O	Z
アドレスバス	A0 ~ A21	O* ²	O	Z	O	Z	Z
データバス	D0 ~ D31	Z* ⁴	I/O	Z	I/O	Z	Z
バス制御	WAIT	Z* ⁴	I	Z	I	Z	Z
	RD/WR, RAS	Z* ⁴	O	O	O	Z	Z
	CASH, CASL、CASLH、CASLL	Z* ⁴	O	O	O	Z	Z
	RD	H	O	Z	O	Z	Z
	CS0, CS1	H	O	Z	O	Z	Z
	CS2, CS3	Z* ⁴	O	Z	O	Z	Z
	WRHH, WRHL、WRH、WRL	H	O	Z	O	Z	Z
	AH	Z* ⁴	O	Z	O	Z	Z
	DMAC	DACK0 (PD26)	Z* ⁴	O	O* ¹	O	O
DACK1 (PD27)		Z* ⁴	O	O* ¹	O	O	O* ¹
DACK0 (PE14)		Z* ⁴	O	Z	O	O	Z
DACK1 (PE15)		Z* ⁴	O	Z	O	O	Z
DRAK0, DRAK1		Z* ⁴	O	O* ¹	O	O	O* ¹
DREQ0, DREQ1		Z* ⁴	I	Z	I	I	Z

端子機能		端子状態				バス権 解放状態	
分類	端子名	リセット状態		低消費電力状態		バス権 解放状態	でのスタンバイ
		パワーオン	マニュアル	スタンバイ	スリープ		
MTU	TIOC0A ~ TIOC0D、 TIOC1A ~ TIOC1D、 TIOC2A ~ TIOC2D、 TIOC3A、TIOC3C	Z* ⁴	I/O	K* ¹	I/O	I/O	K* ¹
	TIOC3B、TIOC3D、 TIOC4A ~ TIOC4D	Z* ⁴	I/O	Z	I/O	I/O	Z
	TCLKA ~ TCLKD	Z* ⁴	I	Z	I	I	Z
ポート制御	POE0 ~ POE3	Z* ⁴	I	Z	I	I	Z
SCI	SCK0、SCK1	Z* ⁴	I/O	Z	I/O	I/O	Z
	TXD0、TXD1	Z* ⁴	O	O* ¹	O	O	O* ¹
	RXD0、RXD1	Z* ⁴	I	Z	I	I	Z
A/D 変換器	ADTRG	Z* ⁴	I	Z	I	I	Z
	AN0 ~ AN7	Z	I	Z	I	I	Z
I/O ポート	PA0 ~ PA23	Z* ⁴	I/O	K* ¹	K	I/O	K* ¹
	PB0 ~ PB9						
	PC0 ~ PC15						
	PD0 ~ PD31						
	PE0 ~ PE8、PE10						
	PE9、PE11 ~ PE15	Z* ⁴	I/O	Z	K	I/O	Z
	PF0 ~ PF17	Z	I	Z	I	I	Z

I : 入力

O : 出力

H : ハイレベル出力

L : ローレベル出力

Z : ハイインピーダンス

K : 入力端子はハイインピーダンス、出力端子は状態保持

【注】 バス権解放要求入力 ($\overline{\text{BREQ}}$) と内部動作とのタイミングでバス権解放とスタンバイモードへの遷移が同時に行われることがあります。この場合はスタンバイ状態になりますが、端子状態が異なりますので注意してください。

モードにより、端子の初期状態は異なります。詳しくは「第 18 章 ピンファンクションコントローラ (PFC)」を参照してください。

*1 スタンバイコントロールレジスタのポートハイインピーダンスビットを 1 にすると、出力端子はハイインピーダンスになります。

*2 A21 ~ A18 はパワーオンリセット後、入力ポートになります。

*3 SH7044/SH7045 の F-ZTAT 版では入力になります。

*4 汎用入出力ポート端子 PAn、PBn、PCn、PDn、PEn およびこれとマルチプレクスされている端子は、 $\overline{\text{RES}}$ 端子が Low レベルになった直後から $\overline{\text{RES}}$ セットアップ時間 (t_{RESS}) の間は不定となります。

C.2 端子状態（112ピン、120ピン）

リセット、低消費電力、バス権解放状態での端子状態

端子機能		端子状態					バス権 解放状態 でのスタンバイ
分類	端子名	リセット状態		低消費電力状態		バス権 解放状態	
		パワーオン	マニュアル	スタンバイ	スリープ		
クロック	CK	O	O	H* ¹	O	O	O
システム制御	RES	I	I	I	I	I	I
	MRES	Z* ⁴	I	Z	I	I	Z
	WDTOVF	O* ³	O* ³	O	O	O	O
	BREQ	Z* ⁴	I	Z	I	I	I
	BACK	Z* ⁴	O	Z	O	L	L
割り込み	NMI	I	I	I	I	I	I
	IRQ0 ~ IRQ7	Z* ⁴	I	Z	I	I	Z
	IRQOUT	Z* ⁴	O	Z	H	O	Z
アドレスバス	A0 ~ A21	O* ²	O	Z	O	Z	Z
データバス	D0 ~ D31	Z* ⁴	I/O	Z	I/O	Z	Z
バス制御	WAIT	Z* ⁴	I	Z	I	Z	Z
	RD/WR, $\overline{\text{RAS}}$	Z* ⁴	O	O	O	Z	Z
	$\overline{\text{CASH}}$, $\overline{\text{CASL}}$	Z* ⁴	O	O	O	Z	Z
	$\overline{\text{RD}}$	H	O	Z	O	Z	Z
	$\overline{\text{CS0}}$, $\overline{\text{CS1}}$	H	O	Z	O	Z	Z
	$\overline{\text{CS2}}$, $\overline{\text{CS3}}$	Z* ⁴	O	Z	O	Z	Z
	$\overline{\text{WRH}}$, $\overline{\text{WRL}}$	H	O	Z	O	Z	Z
	AH	Z* ⁴	O	Z	O	Z	Z
DMAC	DACK0, DACK1	Z* ⁴	O	Z	O	O	Z
	DRAK0, DRAK1	Z* ⁴	O	O* ¹	O	O	O* ¹
	$\overline{\text{DREQ0}}$, $\overline{\text{DREQ1}}$	Z* ⁴	I	Z	I	I	Z
MTU	TIOC0A ~ TIOC0D, TIOC1A ~ TIOC1D, TIOC2A ~ TIOC2D, TIOC3A, TIOC3C	Z* ⁴	I/O	K* ¹	I/O	I/O	K* ¹
	TIOC3B, TIOC3D, TIOC4A ~ TIOC4D	Z* ⁴	I/O	Z	I/O	I/O	Z
	TCLKA ~ TCLKD	Z* ⁴	I	Z	I	I	Z

端子機能		端子状態					バス権 解放状態 でのスタンバイ
分類	端子名	リセット状態		低消費電力状態		バス権 解放状態	
		パワーオン	マニュアル	スタンバイ	スリープ		
ポート制御	$\overline{\text{POE0}} \sim \overline{\text{POE3}}$	Z* ⁴	I	Z	I	I	Z
SCI	SCK0、SCK1	Z* ⁴	I/O	Z	I/O	I/O	Z
	TXD0、TXD1	Z* ⁴	O	O* ¹	O	O	O* ¹
	RXD0、RXD1	Z* ⁴	I	Z	I	I	Z
A/D 変換器	$\overline{\text{ADTRG}}$	Z* ⁴	I	Z	I	I	Z
	AN0 ~ AN7	Z	I	Z	I	I	Z
I/O ポート	PA0 ~ PA15	Z* ⁴	I/O	K* ¹	K	I/O	K* ¹
	PB0 ~ PB9						
	PC0 ~ PC15						
	PD0 ~ PD15						
	PE0 ~ PE8、PE10						
	PE9、PE11 ~ PE15	Z* ⁴	I/O	Z	K	I/O	Z
	PF0 ~ PF7	Z	I	Z	I	I	Z

I：入力

O：出力

H：ハイレベル出力

L：ローレベル出力

Z：ハイインピーダンス

K：入力端子はハイインピーダンス、出力端子は状態保持

【注】 バス権解放要求入力 ($\overline{\text{BREQ}}$) と内部動作とのタイミングでバス権解放とスタンバイモードへの遷移が同時に行われることがあります。この場合はスタンバイ状態になりますが、端子状態が異なりますので注意してください。

モードにより、端子の初期状態は異なります。詳しくは「第 18 章 ピンファンクションコントローラ (PFC)」を参照してください

*1 スタンバイコントロールレジスタのポートハイインピーダンスビットを 1 にすると、出力端子はハイインピーダンスになります。

*2 A21 ~ A18 はパワーオンリセット後、入力ポートになります。

*3 SH7044/SH7045 の F-ZTAT 版では入力になります。

*4 汎用入出力ポート端子 PAn、PBn、PCn、PDn、PEn およびこれとマルチプレクスされている端子は、 $\overline{\text{RES}}$ 端子が Low レベルになった直後から $\overline{\text{RES}}$ セットアップ時間 (t_{RESS}) の間は不定となります。

C.3 バス関連信号の端子状態

端子名		内蔵 ROM 空間	内蔵 RAM 空間	内蔵周辺モジュール			
				8ビット空間	16ビット空間		
					上位バイト	下位バイト	ワード/ロングワード
$\overline{CS0} \sim \overline{CS3}$		H	H	H	H	H	H
\overline{RAS}^{*1}		H	H	H	H	H	H
\overline{CASHH}^{*2}		H	H	H	H	H	H
\overline{CASHL}^{*2}		H	H	H	H	H	H
\overline{CASLH}^{*2}		H	H	H	H	H	H
\overline{CASLL}^{*2}		H	H	H	H	H	H
RDWR		H	H	H	H	H	H
\overline{AH}		L	L	L	L	L	L
\overline{RD}	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
\overline{WRHH}	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
\overline{WRHL}	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
\overline{WRH}	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
\overline{WRL}	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
A21 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24		High-Z	High-Z	High-Z	High-Z	High-Z	High-Z
D23 ~ D16		High-Z	High-Z	High-Z	High-Z	High-Z	High-Z
D15 ~ D8		High-Z	High-Z	High-Z	High-Z	High-Z	High-Z
D7 ~ D0		High-Z	High-Z	High-Z	High-Z	High-Z	High-Z

R : 読み出し

W : 書き込み

【注】 *1 RAS ダウン状態もしくはリフレッシュ状態ではLにアサートされます。

*2 リフレッシュ状態ではLにアサートされます。

端子名	外部通常空間			
	8ビット空間	16ビット空間		
		上位バイト	下位バイト	ワード/ロングワード
$\overline{CS0} \sim \overline{CS3}$	有効	有効	有効	有効
\overline{RAS}^{*1}	H	H	H	H
\overline{CASHH}^{*2}	H	H	H	H
\overline{CASHL}^{*2}	H	H	H	H
\overline{CASLH}^{*2}	H	H	H	H
\overline{CASLL}^{*2}	H	H	H	H
RDWR	H	H	H	H
\overline{AH}	L	L	L	L
\overline{RD}	R	L	L	L
	W	H	H	H
\overline{WRHH}	R	H	H	H
	W	H	H	H
\overline{WRHL}	R	H	H	H
	W	H	H	H
\overline{WRH}	R	H	H	H
	W	H	L	L
\overline{WRL}	R	H	H	H
	W	L	H	L
A21 ~ A0	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	High-Z	High-Z	High-Z	High-Z
D23 ~ D16	High-Z	High-Z	High-Z	High-Z
D15 ~ D8	High-Z	データ	High-Z	データ
D7 ~ D0	データ	High-Z	データ	データ

R：読み出し

W：書き込み

有効：アクセスしたエリアに対応するチップセレクト信号=L、それ以外のチップセレクト信号=H

【注】 *1 RAS ダウン状態もしくはリフレッシュ状態ではLにアサートされます。

*2 リフレッシュ状態ではLにアサートされます。

端子名	外部通常空間						
	32ビット空間						
	最上位バイト	2バイト目	3バイト目	最下位バイト	上位ワード	下位ワード	ロングワード
$\overline{CS0} \sim \overline{CS3}$	有効	有効	有効	有効	有効	有効	有効
\overline{RAS}^{*1}	H	H	H	H	H	H	H
\overline{CASHH}^{*2}	H	H	H	H	H	H	H
\overline{CASHL}^{*2}	H	H	H	H	H	H	H
\overline{CASLH}^{*2}	H	H	H	H	H	H	H
\overline{CASLL}^{*2}	H	H	H	H	H	H	H
RDWR	H	H	H	H	H	H	H
\overline{AH}	L	L	L	L	L	L	L
\overline{RD}	R	L	L	L	L	L	L
	W	H	H	H	H	H	H
\overline{WRHH}	R	H	H	H	H	H	H
	W	L	H	H	L	H	L
\overline{WRHL}	R	H	H	H	H	H	H
	W	H	L	H	L	H	L
\overline{WRH}	R	H	H	H	H	H	H
	W	H	H	L	H	L	L
\overline{WRL}	R	H	H	H	H	H	H
	W	H	H	H	L	H	L
A21 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	データ	High-Z	High-Z	High-Z	データ	High-Z	データ
D23 ~ D16	High-Z	データ	High-Z	High-Z	データ	High-Z	データ
D15 ~ D8	High-Z	High-Z	データ	High-Z	High-Z	データ	データ
D7 ~ D0	High-Z	High-Z	High-Z	データ	High-Z	データ	データ

R : 読み出し

W : 書き込み

有効 : アクセスしたエリアに対応するチップセレクト信号=L、それ以外のチップセレクト信号=H

【注】 *1 RAS ダウン状態もしくはリフレッシュ状態ではLにアサートされます。

*2 リフレッシュ状態ではLにアサートされます。

端子名		マルチプレクス I/O 空間			
		8 ビット空間	16 ビット空間		
			上位バイト	下位バイト	ワード/ロングワード
$\overline{CS0} \sim \overline{CS2}$		H	H	H	H
$\overline{CS3}$		L	L	L	L
\overline{RAS}^{*1}		H	H	H	H
\overline{CASHH}^{*2}		H	H	H	H
\overline{CASHL}^{*2}		H	H	H	H
\overline{CASLH}^{*2}		H	H	H	H
\overline{CASLL}^{*2}		H	H	H	H
RDWR		H	H	H	H
\overline{AH}		有効	有効	有効	有効
\overline{RD}	R	L	L	L	L
	W	H	H	H	H
\overline{WRHH}	R	H	H	H	H
	W	H	H	H	H
\overline{WRHL}	R	H	H	H	H
	W	H	H	H	H
\overline{WRH}	R	H	H	H	H
	W	H	L	H	L
\overline{WRL}	R	H	H	H	H
	W	L	H	L	L
A21 ~ A0		アドレス	アドレス	アドレス	アドレス
D31 ~ D24		High-Z	High-Z	High-Z	High-Z
D23 ~ D16		High-Z	High-Z	High-Z	High-Z
D15 ~ D8		High-Z	アドレス/データ	アドレス	アドレス/データ
D7 ~ D0		アドレス/データ	アドレス	アドレス/データ	アドレス/データ

R：読み出し

W：書き込み

有効：AH のタイミングに従い H に出力されます。

【注】 *1 RAS ダウン状態もしくはリフレッシュ状態では L にアサートされます。

*2 リフレッシュ状態では L にアサートされます。

端子名		DRAM空間			
		8ビット空間	16ビット空間		
			上位バイト	下位バイト	ワード/ロングワード
$\overline{CS0} \sim \overline{CS3}$		H	H	H	H
RAS* ¹		有効	有効	有効	有効
\overline{CASHH} * ²		H	H	H	H
\overline{CASHL} * ²		H	H	H	H
\overline{CASLH} * ²		H	有効	H	有効
\overline{CASLL} * ²		有効	H	有効	有効
RDWR	R	H	H	H	H
	W	L	L	L	L
\overline{AH}		L	L	L	L
\overline{RD}	R	L	L	L	L
	W	H	H	H	H
\overline{WRHH}	R	H	H	H	H
	W	H	H	H	H
\overline{WRHL}	R	H	H	H	H
	W	H	H	H	H
\overline{WRH}	R	H	H	H	H
	W	H	L	H	L
\overline{WRL}	R	H	H	H	H
	W	L	H	L	L
A21 ~ A0		アドレス	アドレス	アドレス	アドレス
D31 ~ D24		High-Z	High-Z	High-Z	High-Z
D23 ~ D16		High-Z	High-Z	High-Z	High-Z
D15 ~ D8		High-Z	データ	High-Z	データ
D7 ~ D0		データ	High-Z	データ	データ

R：読み出し

W：書き込み

有効：DRAMアクセスのストローブ波形に従ったタイミングでLにアサートされます。

【注】 *1 RAS ダウン状態もしくはリフレッシュ状態ではLにアサートされます。

*2 リフレッシュ状態ではLにアサートされます。

端子名	DRAM空間						
	32ビット空間						
	最上位バイト	2バイト目	3バイト目	最下位バイト	上位ワード	下位ワード	ロングワード
$\overline{CS0} \sim \overline{CS3}$	H	H	H	H	H	H	H
\overline{RAS}^{*1}	有効	有効	有効	有効	有効	有効	有効
\overline{CASHH}^{*2}	有効	H	H	H	有効	H	有効
\overline{CASHL}^{*2}	H	有効	H	H	有効	H	有効
\overline{CASLH}^{*2}	H	H	有効	H	H	有効	有効
\overline{CASLL}^{*2}	H	H	H	有効	H	有効	有効
RDWR	R	H	H	H	H	H	H
	W	L	L	L	L	L	L
\overline{AH}	L	L	L	L	L	L	L
\overline{RD}	R	L	L	L	L	L	L
	W	H	H	H	H	H	H
\overline{WRHH}	R	H	H	H	H	H	H
	W	L	H	H	H	L	L
\overline{WRHL}	R	H	H	H	H	H	H
	W	H	L	H	H	L	L
\overline{WRH}	R	H	H	H	H	H	H
	W	H	H	L	H	H	L
\overline{WRL}	R	H	H	H	H	H	H
	W	H	H	H	L	H	L
A21 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	データ	High-Z	High-Z	High-Z	データ	High-Z	データ
D23 ~ D16	High-Z	データ	High-Z	High-Z	データ	High-Z	データ
D15 ~ D8	High-Z	High-Z	データ	High-Z	High-Z	データ	データ
D7 ~ D0	High-Z	High-Z	High-Z	データ	High-Z	データ	データ

R：読み出し

W：書き込み

有効：DRAMアクセスのストロブ波形に従ったタイミングでLにアサートされます。

【注】 *1 RAS ダウン状態もしくはリフレッシュ状態ではLにアサートされます。

*2 リフレッシュ状態ではLにアサートされます。

D. ROM 発注手順

D.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 D.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 D.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

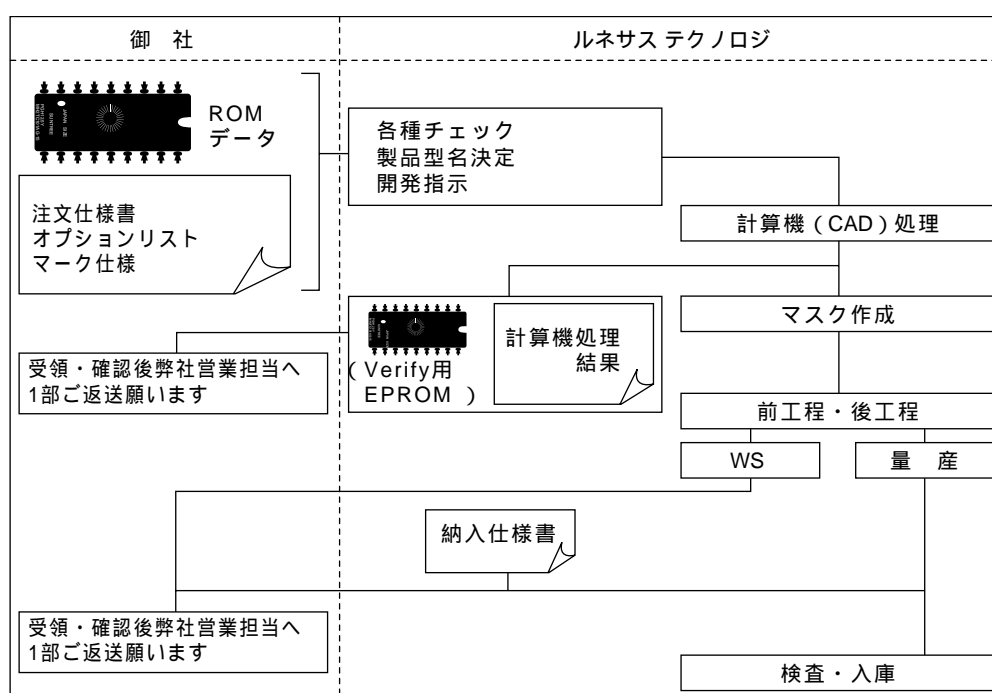


図 D.1 ROM 書き換え品開発の流れ

表 D.1 ROM 発注時に必要な提出物

発注媒体	EPROM、ZTAT [®] 、または F-ZTAT [™]
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *¹ 製品シリーズにより必要ないものがあります。また、内容も異なります。

*² 特別仕様の場合には、提出してください。

D.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項に従って、EPROM、ZTAT[®]、または F-ZTAT[™]マイコンで提出してください。なお、EPROM、ZTAT[®]、または F-ZTAT[™] マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROM において、ROM データの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただく EPROM には遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにすると共に、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を 2 組以上提出してください。

D.3 F-ZTAT マイコンのマスク ROM 化時の注意事項

F-ZTAT 版からマスク ROM 版製品に変更するとき、F-ZTAT 用アプリケーションソフトを活用する場合には注意が必要です。

マスク版と F-ZTAT 版ではフラッシュ ROM 用内部レジスタをアクセスした場合、リード値が下記のように異なります。

レジスタ名称	ビット名称	ステータス	
		F-ZTAT 版	MASK 版
FLMCR1	FWE	0：アプリケーション状態	0：（読み出されません）
		1：書き換え状態	1：アプリケーション状態

【注】 F-ZTAT 版製品、ROM サイズの異なる同一シリーズのマスク ROM 版製品はすべて対象となります。

E. 型名一覧

表 E.1 SH7040、SH7041、SH7042、SH7043、SH7044、SH7045 型名一覧

製品分類	製品型名	マーク型名	パッケージ	
SH7040A グループ	マスク ROM 版	HD6437040AF28	HD6437040A(***)F28	QFP2020-112
		HD6437040AVF16	HD6437040A(***)VF16	
		HD6437040AVX16	HD6437040A(***)VX16	TQFP1414-120
		HD6437040ACF28	HD6437040A(***)CF28	QFP2020-112Cu* ¹
		HD6437040AVCF16	HD6437040A(***)VCF16	
	ROM レス版	HD6417040AF28	HD6417040AF28	QFP2020-112
		HD6417040AVF16	HD6417040AVF16	
		HD6417040AVX16	HD6417040AVX16	TQFP1414-120
		HD6417040ACF28	HD6417040ACF28	QFP2020-112Cu* ¹
		HD6417040AVCF16	HD6417040AVCF16	
SH7041A グループ	マスク ROM 版	HD6437041AF28	HD6437041A(***)F28	QFP2020-144
		HD6437041AVF16	HD6437041A(***)VF16	
		HD6437041ACF28	HD6437041A(***)CF28	QFP2020-144Cu* ¹
		HD6437041AVCF16	HD6437041A(***)VCF16	
	ROM レス版	HD6417041AF28	HD6417041AF28	QFP2020-144
		HD6417041AVF16	HD6417041AVF16	
		HD6417041ACF28	HD6417041ACF28	QFP2020-144Cu* ¹
		HD6417041AVCF16	HD6417041AVCF16	
SH7042 グループ	マスク ROM 版	HD6437042F28	HD6437042(***)F28	QFP2020-112
		HD6437042VF16	HD6437042(***)VF16	
	ZTAT 版	HD6477042F28	HD6477042F28	QFP2020-112
		HD6477042VF16	HD6477042VF16	

製品分類		製品型名	マーク型名	パッケージ
SH7042A グループ	マスク ROM 版	HD6437042AF28	HD6437042A(***)F28	QFP2020-112
		HD6437042AVF16	HD6437042A(***)VF16	
		HD6437042AVX16	HD6437042A(***)VX16	TQFP1414-120
		HD6437042ACF28	HD6437042A(***)CF28	QFP2020-112Cu* ¹
		HD6437042AVCF16	HD6437042A(***)VCF16	
	ZTAT 版	HD6477042AF28	HD6477042AF28	QFP2020-112
		HD6477042AVF16	HD6477042AVF16	
		HD6477042AVX16	HD6477042AVX16	TQFP1414-120
		HD6477042ACF28	HD6477042ACF28	QFP2020-112Cu* ¹
		HD6477042AVCF16	HD6477042AVCF16	
SH7043 グループ	マスク ROM 版	HD6437043F28	HD6437043(***)F28	QFP2020-144
		HD6437043VF16	HD6437043(***)VF16	
	ZTAT 版	HD6477043F28	HD6477043F28	QFP2020-144
		HD6477043VF16	HD6477043VF16	
SH7043A グループ	マスク ROM 版	HD6437043AF28	HD6437043A(***)F28	QFP2020-144
		HD6437043AVF16	HD6437043A(***)VF16	
		HD6437043ACF28	HD6437043A(***)CF28	QFP2020-144Cu* ¹
		HD6437043AVCF16	HD6437043A(***)VCF16	
	ZTAT 版	HD6477043AF28	HD6477043AF28	QFP2020-144
		HD6477043AVF16	HD6477043AVF16	
		HD6477043ACF28	HD6477043ACF28	QFP2020-144Cu* ¹
		HD6477043AVCF16	HD6477043AVCF16	
SH7044 グループ	マスク ROM 版	HD6437044F28	HD6437044(***)F28	QFP2020-112
	F-ZTAT 版	HD64F7044F28	HD64F7044F28	QFP2020-112
SH7045 グループ	マスク ROM 版	HD6437045F28	HD6437045(***)F28	QFP2020-144
	F-ZTAT 版	HD64F7045F28	HD64F7045F28	QFP2020-144

【注】 (***)は ROM コードです。

*1 フレーム材に鋼材を使用しています。

F. 外形寸法図

SH7040、SH7042、SH7044 の外形寸法図 (FP-112) を図 F.1 と図 F.2 に、SH7040、SH7042 の外形寸法図 (TFP-120) を図 F.3 に、SH7041、SH7043、SH7045 の外形寸法図 (FP-144) を図 F.4 と図 F.5 に示します。

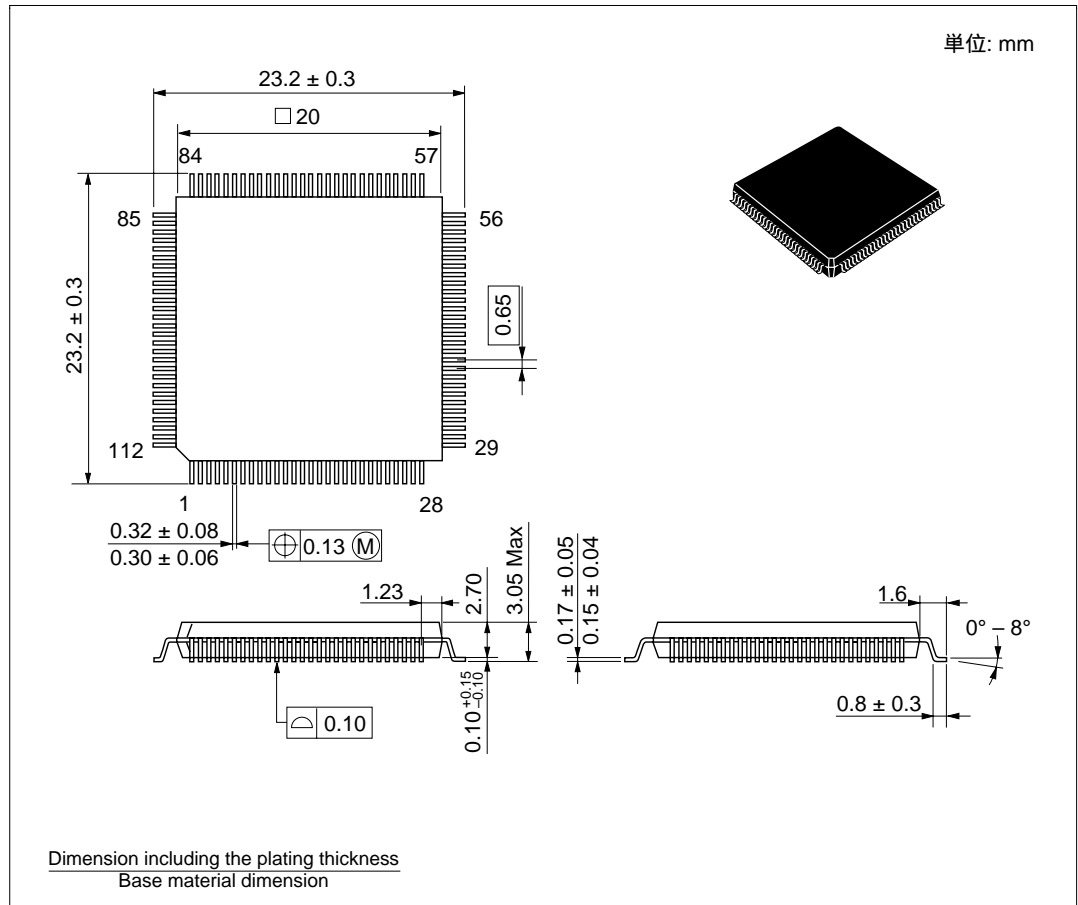


図 F.1 外形寸法図 (FP-112)

As of January, 2003
Unit: mm

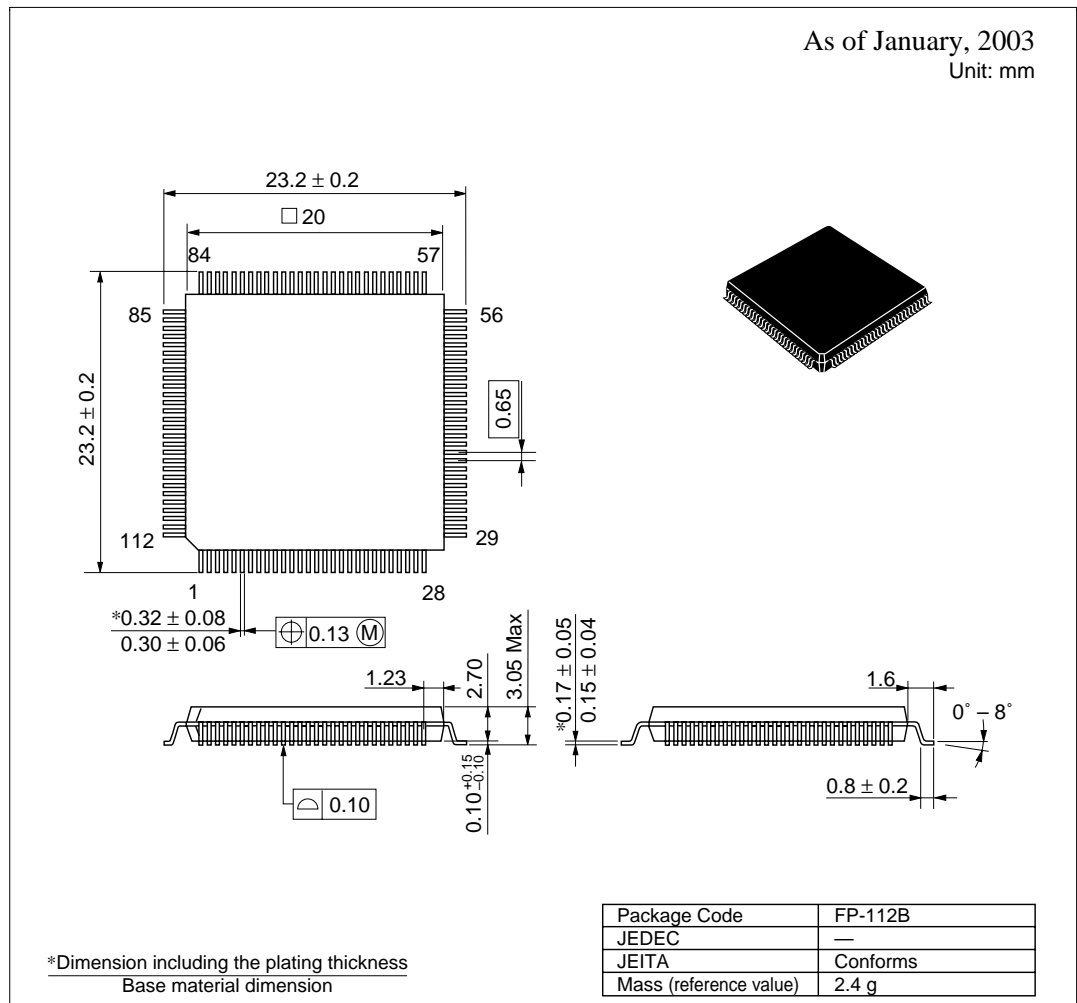


図 F.2 外形寸法図 (FP-112B)

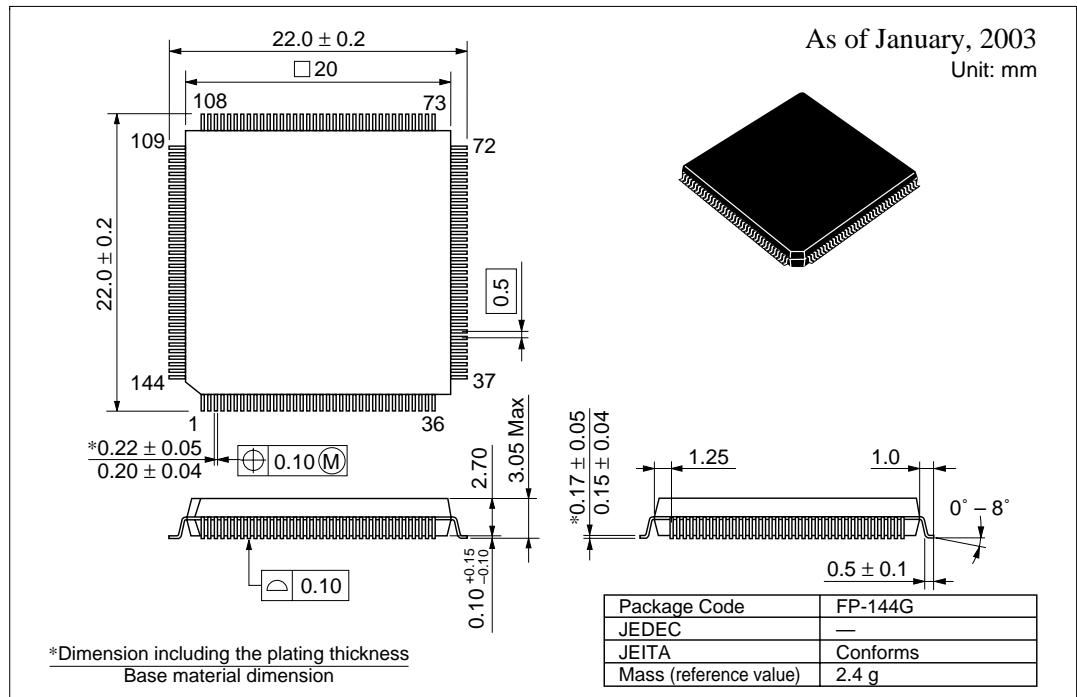


図 F.5 外形寸法図 (FP-144G)

SH7045, SH7044, SH7043
SH7042, SH7041, SH7040 グループ

発行年月 1996年9月 第1版
2003年5月29日 Rev. 6.00
発行 株式会社ルネサステクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサス小平セミコン 技術ドキュメント部

©1996, 2003 Renesas Technology Corp. All rights reserved. Printed in Japan.



<http://www.renesas.com>

営業お問合せ窓口

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第二鉄鋼ビル)	(03) 3215-8600
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌支店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部営業本部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西部営業本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館ランドアクシスタワー10F)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中国支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島支店	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル2F)	(099) 256-9021

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンター E-Mail: csc@renesas.com

SH7045, SH7044, SH7043, SH7042, SH7041, SH7040 グループ



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0031-0600H