

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7065

ハードウェアマニュアル

ルネサス32ビットRISCマイクロコンピュータ

SuperH™ RISC engineファミリ / SH7060シリーズ

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますとは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子はハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

はじめに

本 LSI は、内部 32 ビット構成の SH2-DSP を核に、システム構成に必要な周辺機能を集積したマイクロコンピュータです。

本 LSI は、大容量 ROM、RAM、割り込みコントローラ、4 種類のタイマ、シリアルコミュニケーションインタフェース、ユーザブレイクコントローラ (UBC)、パスステートコントローラ (BSC)、ダイレクトメモリアクセスコントローラ (DMAC)、A/D 変換器、D/A 変換器、I/O ポートなどの周辺機能を内蔵しており、高速かつ低消費電力を要求される電子機器用マイコンとして活用できます。内蔵 ROM はフラッシュメモリ (F-ZTAT™*)、マスク ROM があり、仕様流動性の高い応用機器、量産初期から本格量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】* F-ZTAT™ は (株) ルネサス テクノロジーの商標です。

対象者 このマニュアルは、SH7065 を用いた応用システムを設計するユーザーを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7065 のハードウェア機能と電気的特性をユーザーに理解していただくことを目的にしています。
なお、実行命令の詳細については、「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき
→ 目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU 機能の詳細を理解したいとき
→ 別冊の「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」を参照してください。

凡例 ビット表記順 : 左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。
(<http://japan.renesas.com/>)

- SH7065に関するユーザズマニュアル

資料名	資料番号
SH7065 ハードウェアマニュアル	本マニュアル
SH-1/SH-2/SH-DSP ソフトウェアマニュアル	RJJ09B0228

- 開発ツール関連ユーザズマニュアル

資料名	資料番号
C/C++ コンパイラ、アセンブラ、最適化リンカージェディタユーザズマニュアル	RJJ10B0156
シミュレータ・デバッガ ユーザズマニュアル	RJJ10B0218
High-performance Embedded Workshop ユーザズマニュアル	RJJ10J1719

- アプリケーションノート

資料名	資料番号
C/C++ コンパイラ編	RJJ05B0557

本版で改訂された箇所

修正項目	ページ	修正箇所																														
全体	-	社名変更による変更 (修正前) 日立製作所 → (修正後) ルネサス テクノロジ 呼称変更による変更 (修正前) SH7065 シリーズ → (修正後) SH7065 グループ																														
11.6 使用上の注意	11-26 ~ 11-28	(3)、(4)、(5)を追加																														
15.7.2 アナログ入力端子の取り扱い 図 15.8 アナログ入力端子の保護回路例 図 15.9 アナログ入力端子の等価回路 表 15.5 アナログ入力端子の規格	15-16、 15-17	(暫定)を削除																														
22.3.1 クロックタイミング 表 22.4 クロックタイミング	22-5	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>max</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>動作周波数 (マスタクロック)</td> <td>f_{clk}</td> <td>20</td> <td>60</td> <td>MHz</td> <td>図 22.2</td> </tr> <tr> <td>クロックサイクル時間</td> <td>t_{clk}</td> <td>16.7</td> <td>50</td> <td>ns</td> <td></td> </tr> <tr> <td>EXTAL/CKIO クロック入力周波数</td> <td>f_{ex}</td> <td>5</td> <td>30</td> <td>MHz</td> <td>図 22.3</td> </tr> <tr> <td>EXTAL/CKIO クロック入力サイクル時間</td> <td>t_{ex}</td> <td>33.3</td> <td>200</td> <td>ns</td> <td></td> </tr> </tbody> </table>	項目	記号	min	max	単位	参照図	動作周波数 (マスタクロック)	f_{clk}	20	60	MHz	図 22.2	クロックサイクル時間	t_{clk}	16.7	50	ns		EXTAL/CKIO クロック入力周波数	f_{ex}	5	30	MHz	図 22.3	EXTAL/CKIO クロック入力サイクル時間	t_{ex}	33.3	200	ns	
項目	記号	min	max	単位	参照図																											
動作周波数 (マスタクロック)	f_{clk}	20	60	MHz	図 22.2																											
クロックサイクル時間	t_{clk}	16.7	50	ns																												
EXTAL/CKIO クロック入力周波数	f_{ex}	5	30	MHz	図 22.3																											
EXTAL/CKIO クロック入力サイクル時間	t_{ex}	33.3	200	ns																												

目次

第1章 概要

1.1	SH7065 の特長	1-1
1.2	ブロック図	1-6
1.3	端子説明	1-7
1.3.1	ピン配置	1-7
1.3.2	端子機能	1-8

第2章 CPU

2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ	2-1
2.1.2	コントロールレジスタ	2-3
2.1.3	システムレジスタ	2-5
2.1.4	DSP レジスタ	2-6
2.1.5	ガードビットとオーバフローの扱いに関する注意事項	2-8
2.1.6	レジスタの初期値	2-8
2.2	データ形式	2-8
2.2.1	レジスタのデータ形式	2-8
2.2.2	メモリ上でのデータ形式	2-9
2.2.3	イミディエイトデータのデータ形式	2-9
2.2.4	DSP タイプデータ形式	2-9
2.2.5	DSP タイプ命令とデータ形式	2-11
2.3	CPU コア命令の特長	2-13
2.4	命令形式	2-16
2.4.1	CPU 命令のアドレッシングモード	2-16
2.4.2	DSP データアドレッシング	2-19
2.4.3	CPU 命令の命令形式	2-24
2.4.4	DSP 命令の命令形式	2-26
2.5	命令セット	2-30
2.5.1	CPU 命令の命令セット	2-30
2.5.2	DSP データ転送命令の命令セット	2-41
2.5.3	DSP 演算命令の命令セット	2-44
2.6	使用上の注意	2-55

第3章 動作モード

3.1	動作モードの種類と選択	3-1
3.1.1	各動作モードの説明	3-2
3.1.2	端子構成	3-3
3.1.3	レジスタ構成	3-3

3.2	レジスタの説明	3-4
3.2.1	モードステータスレジスタ (MSR)	3-4
3.2.2	モードコントロールレジスタ (MODECR)	3-4
第4章 クロック発振器 (CPG) と低消費電力モード		
4.1	概要	4-1
4.1.1	特長	4-1
4.1.2	ブロック図	4-2
4.1.3	端子構成	4-4
4.1.4	レジスタ構成	4-4
4.2	クロック動作モード	4-5
4.3	レジスタの説明	4-7
4.3.1	周波数制御レジスタ (FRQCR)	4-7
4.4	周波数の変更方法	4-19
4.5	出力クロックの制御	4-19
4.6	発振器	4-20
4.6.1	水晶発振子の接続方法	4-20
4.6.2	外部クロックの入力方法	4-21
4.6.3	ボード設計上の注意事項	4-22
4.7	発振停止検出機能	4-24
4.8	低消費電力モード	4-25
4.8.1	低消費電力モードの状態	4-25
4.8.2	端子構成	4-26
4.9	レジスタの説明	4-27
4.9.1	スタンバイコントロールレジスタ (SBYCR)	4-27
4.9.2	モジュールストップコントロールレジスタ 1、2 (MSTPCR1、MSTPCR2)	4-28
4.9.3	モジュールクロックコントロールレジスタ 1~5 (MCLKCR1 ~ MCLKCR5)	4-28
4.10	スリープモード	4-31
4.10.1	スリープモードへの遷移	4-31
4.10.2	スリープモードの解除	4-31
4.11	ソフトウェアスタンバイモード	4-32
4.11.1	ソフトウェアスタンバイモードへの遷移	4-32
4.11.2	ソフトウェアスタンバイモードの解除	4-33
4.11.3	ソフトウェアスタンバイモードの応用例	4-34
4.12	ハードウェアスタンバイモード	4-35
4.12.1	ハードウェアスタンバイモードへの遷移	4-35
4.12.2	ハードウェアスタンバイモードの解除	4-35
4.12.3	ハードウェアスタンバイモードのタイミング	4-35
4.13	モジュールスタンバイ機能	4-36
4.13.1	モジュールスタンバイ機能への遷移	4-36
4.13.2	モジュールスタンバイ機能の解除	4-37
4.14	モジュールクロック分周機能	4-38
4.14.1	クロックの定義	4-38
4.14.2	モジュールクロック分周機能への遷移	4-39

4.14.3	モジュールクロック分周機能の解除.....	4-39
4.14.4	モジュールクロック分周機能使用上の注意.....	4-40
4.15	初期化時における注意事項について.....	4-40

第5章 例外処理

5.1	概要.....	5-1
5.1.1	例外処理の種類と優先順位.....	5-1
5.1.2	例外要因検出と例外処理開始タイミング.....	5-2
5.1.3	例外処理ベクタテーブル.....	5-3
5.2	パワーオンリセット.....	5-4
5.3	アドレスエラー.....	5-5
5.3.1	アドレスエラー発生要因.....	5-5
5.3.2	アドレスエラー例外処理.....	5-5
5.4	割り込み.....	5-6
5.4.1	割り込み要因.....	5-6
5.4.2	割り込み優先順位.....	5-6
5.4.3	割り込み例外処理.....	5-7
5.5	命令による例外.....	5-7
5.5.1	命令による例外の種類.....	5-7
5.5.2	トラップ命令.....	5-7
5.5.3	スロット不当命令.....	5-8
5.5.4	一般不当命令.....	5-8
5.6	例外要因が受け付けられない場合.....	5-8
5.6.1	遅延分岐命令の直後.....	5-8
5.6.2	割り込みを禁止された命令の直後.....	5-9
5.6.3	繰り返しループにおける命令.....	5-9
5.7	例外処理後のスタックの状態.....	5-10
5.8	使用上の注意.....	5-10
5.8.1	スタックポインタ (SP) の値.....	5-10
5.8.2	ベクタベースレジスタ (VBR) の値.....	5-10
5.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー.....	5-10

第6章 割り込みコントローラ (INTC)

6.1	概要.....	6-1
6.1.1	特長.....	6-1
6.1.2	ブロック図.....	6-2
6.1.3	端子構成.....	6-3
6.1.4	レジスタ構成.....	6-3
6.2	割り込み要因.....	6-4
6.2.1	NMI 割り込み.....	6-4
6.2.2	ユーザブレイク割り込み.....	6-4
6.2.3	外部割り込み.....	6-4
6.2.4	内蔵周辺モジュール割り込み.....	6-5
6.2.5	割り込み例外処理ベクタと優先順位.....	6-6

6.3	レジスタの説明	6-10
6.3.1	割り込み優先レベル設定レジスタ A~L (IPRA ~ IPRL)	6-10
6.3.2	割り込みコントロールレジスタ 1 (ICR1)	6-11
6.3.3	割り込みコントロールレジスタ 2 (ICR2)	6-12
6.3.4	IRQ ステータスレジスタ (ISR)	6-13
6.4	動作説明	6-15
6.4.1	割り込み動作の流れ	6-15
6.4.2	割り込み応答時間	6-17
6.4.3	割り込み例外処理終了後のスタックの状態	6-18
6.5	IRL モードにおける IRQ3 ~ IRQ0 信号のサンプリング	6-18
6.6	割り込み要求信号によるデータ転送	6-19
6.6.1	DMAC の起動要因とし、CPU の割り込み要因としない場合	6-20
6.6.2	CPU の割り込み要因とし、DMAC の起動要因としない場合	6-20
6.7	使用上の注意	6-21
6.7.1	IRL 割り込みモードでの IRQ3 ~ 0 のサンプリング方式と割り込み要因の 決定方法	6-21
6.7.2	IRQ 端子のノイズキャンセル機能	6-21
第 7 章 ユーザブレイクコントローラ (UBC)		
7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-2
7.1.3	レジスタ構成	7-2
7.2	レジスタの説明	7-3
7.2.1	ユーザブレイクアドレスレジスタ (UBAR)	7-3
7.2.2	ユーザブレイクアドレスマスクレジスタ (UBAMR)	7-4
7.2.3	ユーザブレイクバスサイクルレジスタ (UBBR)	7-5
7.3	動作説明	7-7
7.3.1	ユーザブレイク動作の流れ	7-7
7.3.2	命令フェッチサイクルによるブレイク	7-8
7.3.3	データアクセスサイクルでのブレイク	7-8
7.3.4	X メモリバスまたは Y メモリバスサイクルでのブレイク	7-8
7.3.5	退避するプログラムカウンタ (PC) の値	7-9
7.4	使用例	7-9
7.5	使用上の注意	7-11
7.5.1	UBC レジスタの設定変更	7-11
7.5.2	繰り返し条件のブレイク	7-11
第 8 章 バスステートコントローラ (BSC)		
8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	端子構成	8-3
8.1.4	レジスタ構成	8-4
8.1.5	アドレスマップ	8-5

8.2	レジスタの説明	8-7
8.2.1	バスコントロールレジスタ (BCR)	8-7
8.2.2	エリアコントロールレジスタ 1 (ACR1_0 ~ ACR1_5)	8-8
8.2.3	ウェイトコントロールレジスタ (WCR_0 ~ WCR_3)	8-11
8.2.4	DRAM コントロールレジスタ 1 (DCR1)	8-13
8.2.5	DRAM コントロールレジスタ 2 (DCR2)	8-15
8.2.6	DRAM コントロールレジスタ 3 (DCR3)	8-17
8.2.7	リフレッシュタイマコントロール / ステータスレジスタ (RTCSR)	8-19
8.2.8	リフレッシュタイマカウンタ (RTCNT)	8-22
8.2.9	リフレッシュタイムコンスタントレジスタ (RTCOR)	8-23
8.2.10	リフレッシュカウンタレジスタ (RFCR)	8-23
8.3	動作説明	8-24
8.3.1	エンディアン / アクセスサイズとデータアライメント	8-24
8.3.2	エリアの説明	8-29
8.3.3	通常空間アクセス	8-30
8.3.4	DRAM インタフェース	8-40
8.3.5	アドレス / データマルチプレクス I/O インタフェース	8-55
8.3.6	アクセスサイクル間ウェイト	8-60
8.3.7	バスアービトレーション	8-62
8.4	アクセスサイクル数 (HD64F7065A、HD6437065A)	8-63
8.5	使用上の注意	8-71

第9章 ダイレクトメモリアクセスコントローラ (DMAC)

9.1	概要	9-1
9.1.1	特長	9-1
9.1.2	DMAC ブロック図	9-2
9.1.3	端子構成	9-3
9.1.4	レジスタ構成	9-3
9.2	各レジスタの説明	9-5
9.2.1	DMA ソースアドレスレジスタ 0~3 (SAR0 ~ SAR3)	9-5
9.2.2	DMA デスティネーションアドレスレジスタ 0~3 (DAR0 ~ DAR3)	9-6
9.2.3	DMA トランスファカウンタレジスタ 0~3 (DMATCR0 ~ DMATCR3)	9-6
9.2.4	DMA チャンネルコントロールレジスタ 0~3 (CHCR0 ~ CHCR3)	9-7
9.2.5	ネクストソースアドレスレジスタ 0~3 (NSAR0 ~ NSAR3)	9-14
9.2.6	ネクストデスティネーションアドレスレジスタ 0~3 (NDAR0 ~ NDAR3)	9-14
9.2.7	ネクストトランスファカウンタレジスタ 0~3 (NDMATCR0 ~ NDMATCR3)	9-15
9.2.8	チェーン転送回数カウンタレジスタ 0~3 (CHNCNT0 ~ CHNCNT3)	9-15
9.2.9	DMA オペレーションレジスタ (DMAOR)	9-16
9.3	動作説明	9-18
9.3.1	動作説明	9-18
9.3.2	DMA 転送要求	9-20
9.3.3	チャンネルの優先順位	9-22
9.3.4	DMA 転送の種類	9-25
9.3.5	バスサイクルのステート数と DREQ 端子のサンプリングタイミング	9-32
9.3.6	DMA と CPU の並列動作	9-40
9.3.7	外部バス解放時の DMA 転送	9-40

9.3.8	チェーン転送	9-41
9.4	使用例	9-42
9.4.1	内蔵 SCI と外部メモリとの DMA 転送例	9-42
9.5	使用上の注意	9-43
9.6	DMAC の制限事項	9-44
9.6.1	TEND の出力	9-44
9.6.2	転送中断時の注意事項	9-44
第 10 章 16 ビットタイマパルスユニット (TPU)		
10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-4
10.1.3	端子構成	10-5
10.1.4	レジスタ構成	10-6
10.2	各レジスタの説明	10-8
10.2.1	タイマコントロールレジスタ (TCR)	10-8
10.2.2	タイマモードレジスタ (TMDR)	10-12
10.2.3	タイマ I/O コントロールレジスタ (TIOR)	10-14
10.2.4	タイマインタラプトイネーブルレジスタ (TIER)	10-27
10.2.5	タイマステータスレジスタ (TSR)	10-29
10.2.6	タイマカウンタ (TCNT)	10-32
10.2.7	タイマジェネラルレジスタ (TGR)	10-33
10.2.8	タイマスタートレジスタ (TSTR)	10-33
10.2.9	タイマシンクロレジスタ (TSYR)	10-34
10.3	バスマスタとのインタフェース	10-35
10.3.1	16 ビットレジスタ	10-35
10.3.2	8 ビットレジスタ	10-35
10.4	動作説明	10-37
10.4.1	概要	10-37
10.4.2	基本機能	10-38
10.4.3	同期動作	10-44
10.4.4	バッファ動作	10-46
10.4.5	カスケード接続動作	10-49
10.4.6	PWM モード	10-51
10.4.7	位相計数モード	10-55
10.5	割り込み	10-61
10.5.1	割り込み要因と優先順位	10-61
10.5.2	DMAC の起動	10-62
10.5.3	A/D 変換器の起動	10-62
10.6	動作タイミング	10-63
10.6.1	入出力タイミング	10-63
10.6.2	割り込み信号タイミング	10-67

10.7	使用上の注意	10-71
------	--------	-------

第 11 章 モータマネージメントタイマ (MMT)

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-3
11.1.4	レジスタ構成	11-4
11.2	レジスタの説明	11-5
11.2.1	タイマモードレジスタ (TMDR)	11-5
11.2.2	タイマコントロールレジスタ (TCNR)	11-6
11.2.3	タイマステータスレジスタ (TSR)	11-8
11.2.4	タイマカウンタ (TCNT)	11-9
11.2.5	タイマバッファレジスタ (TBR)	11-9
11.2.6	タイマジェネラルレジスタ (TGR)	11-9
11.2.7	タイマデッドタイムカウンタ (TDCNT)	11-10
11.2.8	タイマデッドタイムデータレジスタ (TDDR)	11-10
11.2.9	タイマピリオドバッファレジスタ (TPBR)	11-10
11.2.10	タイマピリオドデータレジスタ (TPDR)	11-11
11.3	動作説明	11-12
11.3.1	設定手順例	11-12
11.3.2	動作概要	11-13
11.3.3	出力保護機能	11-19
11.4	割り込み	11-20
11.4.1	コンペアマッチ割り込み	11-20
11.4.2	DMA コントローラの起動	11-20
11.4.3	A/D 変換器の起動	11-20
11.5	動作タイミング	11-21
11.5.1	入出力タイミング	11-21
11.5.2	割り込み信号タイミング	11-23
11.6	使用上の注意	11-25
11.7	ポートアウトプットイネーブル (POE)	11-28
11.7.1	概要	11-28
11.7.2	レジスタの説明	11-29
11.7.3	動作説明	11-32

第 12 章 コンペアマッチタイマ

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-1
12.1.3	レジスタ構成	12-2
12.2	レジスタの説明	12-2
12.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	12-2
12.2.2	コンペアマッチタイマコントロール/ステータスレジスタ 0、1 (CMCSR0、CMCSR1)	12-3
12.2.3	コンペアマッチカウンタ 0、1 (CMCNT0、CMCNT1)	12-4

12.2.4	コンペアマッチコンスタントレジスタ 0、1 (CMCOR0、CMCOR1)	12-4
12.3	動作説明	12-5
12.3.1	周期カウント動作	12-5
12.3.2	CMCNT のカウントタイミング	12-5
12.4	割り込み	12-6
12.4.1	割り込み要因	12-6
12.4.2	コンペアマッチフラグのセットタイミング	12-6
12.4.3	コンペアマッチフラグのクリアタイミング	12-6
12.5	使用上の注意	12-7

第 13 章 ウォッチドッグタイマ (WDT)

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-3
13.2	レジスタの説明	13-4
13.2.1	タイマカウンタ (TCNT)	13-4
13.2.2	タイマコントロール / ステータスレジスタ (TCSR)	13-4
13.2.3	リセットコントロール / ステータスレジスタ (RSTCSR)	13-6
13.2.4	レジスタアクセス時の注意	13-7
13.3	動作説明	13-9
13.3.1	ウォッチドッグタイマモード時の動作	13-9
13.3.2	インターバルタイマモード時の動作	13-10
13.3.3	ソフトウェアスタンバイモード解除時の動作	13-10

第 14 章 シリアルコミュニケーションインタフェース (SCI)

14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-3
14.1.3	端子構成	14-4
14.1.4	レジスタ構成	14-5
14.2	レジスタの説明	14-6
14.2.1	レシーブシフトレジスタ (SCRSR)	14-6
14.2.2	レシーブ FIFO データレジスタ (SCFRDR)	14-6
14.2.3	トランスミットシフトレジスタ (SCTSR)	14-6
14.2.4	トランスミット FIFO データレジスタ (SCFTDR)	14-7
14.2.5	シリアルモードレジスタ (SCSMR)	14-7
14.2.6	シリアルコントロールレジスタ (SCSCR)	14-10
14.2.7	シリアルステータス 1 レジスタ (SC1SSR)	14-14
14.2.8	シリアルステータス 2 レジスタ (SC2SSR)	14-18
14.2.9	ビットレートレジスタ (SCBRR)	14-22
14.2.10	FIFO コントロールレジスタ (SCFCR)	14-28
14.2.11	FIFO データ数レジスタ (SCFDR)	14-30
14.2.12	FIFO エラーレジスタ (SCFER)	14-31
14.2.13	IrDA モードレジスタ (SCIMR)	14-32

14.3	動作説明	14-34
14.3.1	概要	14-34
14.3.2	調歩同期式モード時の動作	14-36
14.3.3	マルチプロセッサ通信機能	14-46
14.3.4	クロック同期式モード時の動作	14-52
14.3.5	送信 / 受信 FIFO バッファの使用方法	14-59
14.3.6	IrDA モード時の動作	14-61
14.4	SCI の割り込み要因と DMAC	14-64
14.5	使用上の注意	14-65

第 15 章 A/D 変換器

15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-2
15.1.3	端子構成	15-3
15.1.4	レジスタ構成	15-3
15.2	レジスタの説明	15-4
15.2.1	A/D データレジスタ A ~ D (ADDR0 ~ ADDR0, ADDR1 ~ ADDR1)	15-4
15.2.2	A/D コントロール / ステータスレジスタ (ADCSR0, ADCSR1)	15-4
15.2.3	A/D コントロールレジスタ (ADCR0, ADCR1)	15-7
15.3	CPU とのインタフェース	15-8
15.4	動作説明	15-9
15.4.1	シングルモード (MULTI = 0)	15-9
15.4.2	マルチモード (MULTI = 1)	15-11
15.4.3	入力サンプリングと A/D 変換時間	15-13
15.4.4	外部トリガ入力タイミング	15-14
15.5	割り込み要求と DMA 転送要求	15-14
15.6	A/D 変換精度の定義	15-15
15.7	使用上の注意	15-16
15.7.1	アナログ電圧の設定	15-16
15.7.2	アナログ入力端子の取り扱い	15-16
15.7.3	PH0、PH1 出力について	15-17
15.7.4	ポート I の PFC 設定について	15-17
15.7.5	A/D、D/A 同時変換について	15-17

第 16 章 D/A 変換器

16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-1
16.1.3	入出力端子	16-2
16.1.4	レジスタ構成	16-2
16.2	レジスタの説明	16-2
16.2.1	D/A データレジスタ 0、1 (DADR0、DADR1)	16-2
16.2.2	D/A コントロールレジスタ (DACR)	16-2

16.3	動作の説明	16-4
16.4	使用上の注意	16-5

第 17 章 ピンファンクションコントローラ (PFC)

17.1	概要	17-1
17.2	レジスタ構成	17-14
17.3	レジスタ説明	17-15
17.3.1	ポート A IO レジスタ H (PAIORH)	17-15
17.3.2	ポート A IO レジスタ L (PAIORL)	17-15
17.3.3	ポート A コントロールレジスタ H1、H2 (PACRH1、PACRH2)	17-16
17.3.4	ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2)	17-19
17.3.5	ポート B IO レジスタ H (PBIORH)	17-22
17.3.6	ポート B IO レジスタ L (PBIORL)	17-23
17.3.7	ポート B コントロールレジスタ H2 (PBCRH2)	17-23
17.3.8	ポート B コントロールレジスタ L1、L2 (PBCRL1、PABCRL2)	17-26
17.3.9	ポート C IO レジスタ H (PCIORH)	17-28
17.3.10	ポート C IO レジスタ L (PCIORL)	17-28
17.3.11	ポート C コントロールレジスタ H1、H2 (PCCR1、PCCR2)	17-28
17.3.12	ポート C コントロールレジスタ L1、L2 (PCCRL1、PCCRL2)	17-32
17.3.13	ポート D IO レジスタ H (PDIORH)	17-38
17.3.14	ポート D IO レジスタ L (PDIORL)	17-38
17.3.15	ポート D コントロールレジスタ H1、H2 (PDCRH1、PDCRH2)	17-39
17.3.16	ポート D コントロールレジスタ L1、L2 (PDCRL1、PDCRL2)	17-45
17.3.17	ポート E IO レジスタ H (PEIORH)	17-51
17.3.18	ポート E IO レジスタ L (PEIORL)	17-51
17.3.19	ポート E コントロールレジスタ H2 (PECRH2)	17-52
17.3.20	ポート E コントロールレジスタ L (PECRL)	17-55
17.3.21	ポート F IO レジスタ (PFIORL)	17-56
17.3.22	ポート F コントロールレジスタ L2 (PFCRL2)	17-57
17.3.23	ポート G IO レジスタ (PGIOR)	17-59
17.3.24	ポート G コントロールレジスタ H1 (PGCRH1)	17-59
17.3.25	ポート H IO レジスタ (PHIOR)	17-61
17.3.26	ポート H コントロールレジスタ (PHCR)	17-62
17.3.27	機能コントロールレジスタ (FCR)	17-63
17.4	ピンファンクションコントローラ (PFC) の制限事項	17-64

第 18 章 I/O ポート (I/O)

18.1	概要	18-1
18.2	ポート A	18-1
18.2.1	レジスタ構成	18-2
18.2.2	ポート A データレジスタ H (PADRH)	18-2
18.2.3	ポート A データレジスタ L (PADRL)	18-3
18.3	ポート B	18-4
18.3.1	レジスタ構成	18-4
18.3.2	ポート B データレジスタ H (PBDRH)	18-5
18.3.3	ポート B データレジスタ L (PBDRL)	18-5

18.4	ポート C	18-6
18.4.1	レジスタ構成	18-7
18.4.2	ポート C データレジスタ H (PCDRH)	18-8
18.4.3	ポート C データレジスタ L (PCDRL)	18-8
18.5	ポート D	18-9
18.5.1	レジスタ構成	18-10
18.5.2	ポート D データレジスタ H (PDDRH)	18-11
18.5.3	ポート D データレジスタ L (PDDRL)	18-11
18.6	ポート E	18-12
18.6.1	レジスタ構成	18-12
18.6.2	ポート E データレジスタ H (PEDRH)	18-13
18.6.3	ポート E データレジスタ L (PEDRL)	18-13
18.7	ポート F	18-14
18.7.1	レジスタ構成	18-14
18.7.2	ポート F データレジスタ L (PFDR L)	18-15
18.8	ポート G	18-16
18.8.1	レジスタ構成	18-16
18.8.2	ポート G データレジスタ H (PGDRH)	18-16
18.9	ポート H	18-17
18.9.1	レジスタ構成	18-17
18.9.2	ポート H データレジスタ (PHDR)	18-17
18.10	ポート I	18-18
18.10.1	レジスタ構成	18-18
18.10.2	ポート I データレジスタ (PIDR)	18-19
第 19 章 256KB フラッシュメモリ (F-ZTAT)		
19.1	特長	19-1
19.2	概要	19-2
19.2.1	ブロック図	19-2
19.2.2	モード遷移図	19-3
19.2.3	オンボードプログラミングモード	19-4
19.2.4	RAM によるフラッシュメモリのエミュレーション	19-6
19.2.5	ブートモードとユーザプログラムモードの相違	19-7
19.2.6	ブロック分割法	19-7
19.3	端子構成	19-8
19.4	レジスタ構成	19-8
19.5	レジスタの説明	19-9
19.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	19-9
19.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	19-11
19.5.3	ブロック指定レジスタ 1 (EBR1)	19-12
19.5.4	ブロック指定レジスタ 2 (EBR2)	19-13
19.5.5	RAM エミュレーションレジスタ (RAMER)	19-14
19.6	オンボードプログラミングモード	19-16
19.6.1	ブートモード	19-16

19.6.2	ユーザプログラムモード	19-20
19.7	フラッシュメモリの書き込み / 消去	19-21
19.7.1	プログラムモード	19-21
19.7.2	プログラムベリファイモード	19-22
19.7.3	イレースモード (対象アドレス: H'00000 ~ H'07FFF のとき、n=1、 対象アドレス: H'08000 ~ H'3FFFF のとき、n=2)	19-30
19.7.4	イレースベリファイモード (対象アドレス: H'00000 ~ H'07FFF のとき、 n=1、対象アドレス: H'08000 ~ H'3FFFF のとき、n=2)	19-30
19.7.5	書き込み / 消去時の各ウェイト時間幅について	19-36
19.8	プロテクト	19-37
19.8.1	ハードウェアプロテクト	19-37
19.8.2	ソフトウェアプロテクト	19-37
19.8.3	エラープロテクト	19-38
19.9	RAM によるフラッシュメモリのエミュレーション	19-39
19.10	フラッシュメモリ書き込み / 消去時の注意	19-41
19.11	フラッシュメモリのライターモード	19-41
19.11.1	ソケットアダプタの端子対応図	19-41
19.11.2	ライターモードの動作	19-43
19.11.3	メモリ読み出しモード	19-44
19.11.4	自動書き込みモード	19-46
19.11.5	自動消去モード	19-48
19.11.6	ステータス読み出しモード	19-49
19.11.7	ステータスポーリング	19-50
19.11.8	ライターモードへの遷移時間	19-51
19.11.9	メモリ書き込み注意事項	19-51
19.12	使用上の注意	19-52
19.13	F-ZTAT マイコンのマスク ROM 化時の注意事項	19-52
第 20 章 256KB マスク ROM		
20.1	概要	20-1
第 21 章 XRAM、YRAM		
21.1	概要	21-1
21.2	動作説明	21-2
第 22 章 電気的特性		
22.1	絶対最大定格値	22-1
22.2	電気的特性	22-2
22.2.1	DC 特性 (1)	22-2
22.2.2	DC 特性 (2)	22-3
22.3	AC 特性測定条件	22-4
22.3.1	クロックタイミング	22-5
22.3.2	制御信号タイミング	22-6
22.3.3	バスタイミング	22-8
22.3.4	ダイレクトメモリアクセスコントローラタイミング	22-19

22.3.5	16ビットタイマパルスユニット (TPU) タイミング	22-22
22.3.6	モータマネージメントタイマ (MMT) タイミング	22-23
22.3.7	ポートアウトプットイネーブル (POE) タイミング	22-23
22.3.8	I/O ポートタイミング	22-24
22.3.9	ウォッチドッグタイマタイミング	22-25
22.3.10	シリアルコミュニケーションインタフェースタイミング	22-25
22.3.11	A/D 変換タイミング	22-26
22.3.12	A/D 変換特性	22-27
22.3.13	D/A 変換特性	22-28

付録

A.	内蔵周辺モジュールレジスタ一覧	付録-1
B.	端子状態	付録-19
B.1	リセット、低消費電力、バス権解放状態での端子状態	付録-19
B.2	バス関連信号の端子状態	付録-23
C.	I/O ポートブロック図	付録-33
D.	ROM 発注手順	付録-81
D.1	ROM 書き換え品開発の流れ (発注手順)	付録-81
D.2	ROM 発注時の注意事項	付録-82
E.	HD64F7065S および HD64F7065A の「1D5」以前のロットの制限事項および 注意事項	付録-83
E.1	BSC の制限事項	付録-83
E.2	DSP 命令と DMAC 転送の競合時の制限事項	付録-83
E.3	端子状態に関する制限事項	付録-83
E.4	電気的特性に関する注意事項	付録-84
E.5	DMAC の制限事項	付録-84
E.6	乗算 / 積和命令および DSP 命令実行時の飽和演算モード切り替えに 関する制限事項	付録-84
F.	型名一覧	付録-85
G.	外形寸法図	付録-86

1. 概要

1.1 SH7065 の特長

本 LSI は、ルネサス テクノロジオリジナルアーキテクチャを採用した SuperH RISC engine を機能強化し汎用 DSP (Digital Signal Processor : デジタル信号プロセッサ) と同じ信号処理を可能とした SH2-DSP を核にして、システム構成に必要な周辺機能を集積した CMOS シングルチップマイコンです。

SH2-DSP コアは SuperH RISC engine が持っていた乗算と積和演算の DSP 機能を強化したもので、DSP タイプのデータパス機能を実現しています。このため、各種信号処理、画像処理を効率的に実行できます。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションで、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに本 LSI は、システム構成に必要な周辺機能として、大容量 ROM、RAM、タイマ、シリアルコミュニケーションインタフェース(SCI)、A/D 変換器、D/A 変換器、割り込みコントローラ(INTC)、I/O ポート等を内蔵しています。また、外部メモリアクセスサポート機能により、メモリや周辺 LSI とを効率的に接続できます。これらにより、システムコストの大幅な低減が可能です。

また、内蔵 ROM にはフラッシュメモリを内蔵した F-ZTAT 版とマスク ROM 版があります。F-ZTAT 版はルネサス推奨 ROM ライタまたはオンボード上で自由にプログラムの書き込み、書き換えができます。

表 1.1 特長

項目	仕 様
CPU	<ul style="list-style-type: none">• ルネサス テクノロジオリジナル・アーキテクチャを採用• 内部 32 ビット構成• 汎用レジスタマシン<ul style="list-style-type: none">– 汎用レジスタ 32 ビット×16 本– コントロール・レジスタ 32 ビット×6 本 (内 3 本は DSP 用に追加)– システム・レジスタ 32 ビット×10 本 (内 6 本は DSP 用に追加)• RISC (Reduced Instruction Set Computer) タイプの命令セット<ul style="list-style-type: none">– 命令長 : 16 ビット固定長による、コード効率の向上– ロード・ストア・アーキテクチャ (基本演算はレジスタ間で実行)– 遅延分岐命令の採用で、分岐時のパイプラインの乱れを軽減– C 言語指向の命令セット• 命令実行時間 1 命令 / 1 サイクル• アドレス空間 アーキテクチャ上は 4GB• 乗算器内蔵<ul style="list-style-type: none">乗算器内蔵・強化により、– 16×16→32 乗算を 1~3 サイクル実行– 32×32→64 乗算を 2~4 サイクル実行– 32×32+64→64 積和演算を 2~4 サイクル実行• パイプライン 5 段パイプライン方式

1. 概要

項目	仕 様
DSP	<ul style="list-style-type: none"> • DSP エンジン <ul style="list-style-type: none"> - 乗算器 - 算術演算器 (ALU : Arithmetic Logic Unit) - シフト器 - DSP レジスタ • 乗算器 <ul style="list-style-type: none"> - 16 ビット×16 ビット→32 ビット - 1 サイクル乗算器 • DSP レジスタ <ul style="list-style-type: none"> - 40 ビットデータレジスタ×2 本 - 32 ビットデータレジスタ×6 本 - モジュロレジスタ (MOD、32 ビット) をコントロールレジスタに追加 - リピートカウンタ (RC) をステータスレジスタ (SR) に追加 - 繰り返し開始レジスタ (RS、32 ビット)、繰り返し終了レジスタ (RE、32 ビット) をコントロールレジスタに追加 • DSP データバス <ul style="list-style-type: none"> - 拡張ハーバード型アーキテクチャ - 2 つのデータバスおよび 1 つの命令バスを同時にアクセス • 並行処理 <ul style="list-style-type: none"> - 最大 4 つの並行処理 - ALU 演算、乗算、および 2 つのロードまたはストア • アドレス演算器 <ul style="list-style-type: none"> - 2 つのアドレス演算器 - 2 つのメモリをアクセスするためのアドレス演算 • DSP データアドレッシングモード <ul style="list-style-type: none"> - インクリメントおよびインデックス - それぞれモジュロアドレッシング付きまたはなし • 繰り返し制御：ゼロオーバーヘッド繰り返し (ループ) 制御 • 命令セット <ul style="list-style-type: none"> - 16 ビット長 (ロードまたはストアだけの場合) - 32 ビット長 (ALU 演算、乗算を含む場合) - DSP レジスタをアクセスするシステム制御命令を追加 • パイプライン 最後の第 5 ステージが DSP ステージ
割り込みコントローラ (INTC)	<ul style="list-style-type: none"> • 外部割り込み端子×9 本 (NMI、$\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ7}}$)。うち $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ3}}$ 端子は 15 外部割り込み要因 (エンコード入力) としても選択可能 • 16 レベルの優先順位設定が可能 • NMI ノイズキャンセラ機能 • 割り込みを受け付けたことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)
ユーザブレイクコントローラ (UBC)	<ul style="list-style-type: none"> • CPU や DMAC が、ある設定した条件のバスサイクルを発生すると割り込みを発生 • オンチップデバッガの構築が容易

項目	仕 様
バスステート コントローラ (BSC)	<ul style="list-style-type: none"> • 外部拡張時のメモリ・アクセスをサポート <ul style="list-style-type: none"> – 外部データバスは 32 ビット • アドレス空間を 6 エリアに分割 (SRAM 空間×4 エリア、DRAM 空間×2 エリア) おのこのエリアに以下の特性を設定可能 <ul style="list-style-type: none"> – バスサイズ (8/16/32 ビット) – ウェイト・サイクル数 – 空間の種類設定で SRAM、DRAM、EDO DRAM を容易に接続可能 – DRAM、EDO DRAM に対応した $\overline{\text{RAS}}$、$\overline{\text{CAS}}$ 信号を出力 – アドレスマルチプレクスを内部でサポートし、DRAM、EDO DRAM 直結可能 • DRAM、EDO DRAM バーストアクセス機能 <ul style="list-style-type: none"> – DRAM、EDO DRAM の高速アクセスモードサポート • DRAM、EDO DRAM リフレッシュ機能 <ul style="list-style-type: none"> – プログラマブルなりフレッシュ間隔 – CAS ビフォア RAS リフレッシュ / セルフリフレッシュをサポート – 8 回までの連続 CAS ビフォア RAS リフレッシュが可能 • 外部 WAIT 信号によるウェイト・サイクルの挿入可 • アドレス・データ・マルチプレクス I/O デバイスをアクセス可能 • ビッグエンディアンとリトルエンディアンをエリアごとに設定可能
ダイレクト メモリアクセス コントローラ (DMAC) × 4 チ ャネル	<ul style="list-style-type: none"> • 下記デバイス間の DMA 転送が可能 <ul style="list-style-type: none"> – 外部メモリ、外部 I/O、内蔵周辺モジュール (除く DMAC、BSC、UBC) • 外部端子 (2 チャンネル分)、内蔵周辺モジュールからの DMA 転送要求、およびオトリククエスト可能 • サイクルスチールまたはバースト転送可能 • チャンネル間優先順位設定可能 • デュアル/シングルアドレスモード転送を選択可能 • チェーンモードでの転送可能 • 転送データ幅: 8/16/32 ビット • アドレス空間 4G バイト、最大転送回数 4G (4,294,967,296) 回 • DMA 転送終了時、各チャンネルごとに $\overline{\text{TEND}}$ 出力をアサート可能
タイマパルス ユニット (TPU) × 6 チャンネル	<ul style="list-style-type: none"> • 16 ビットタイマ 6ch をベースに最大 16 種類の波形出力または最大 16 種類のパルスの入出力処理が可能 • 16 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • 総数 16 本の独立したコンパレータ • 8 種類のカウンタ入力クロックを選択可能 • インプットキャプチャ機能 • パルス出力モード <ul style="list-style-type: none"> – ワンショット / トグル / PWM • 位相計数モード <ul style="list-style-type: none"> – 2 相エンコーダ計数処理が可能

1. 概要

項目	仕 様
モータマネジメ ントタイマ (MMT)×1チャ ネル	<ul style="list-style-type: none"> • 6相インバータ制御用ノンオーバーラップ波形を出力 • デッドタイムカウンタによりデッドタイムを生成 • PWM デューティを0~100%まで任意に設定可能 • PWM 周期に同期したトグル出力可能 • DMAC の起動によるデータ転送可能 • A/D 変換器の変換スタートトリガを生成可能 • 出力 OFF 機能
コンペアマッチ タイマ (CMT) ×2チャンネル	<ul style="list-style-type: none"> • 16ビットフリーランニングカウンタ • 1つのコンペアレジスタ • コンペアマッチで割り込み要求を発生
ウォッチドッグ タイマ (WDT) ×1チャンネル	<ul style="list-style-type: none"> • ウォッチドッグタイマ/インターバルタイマの切り替えが可能 • カウントオーバーフロー時、内部リセット、外部信号、または割り込みを発生
シリアル コミュニケーション インタフェース (SCI) ×3チャンネル	<p>1チャンネルあたり</p> <ul style="list-style-type: none"> • 調歩同期/クロック同期式モードの選択が可能 • 送受信を同時に行うことが可能(全二重) • 専用のボーレート・ジェネレータ内蔵 • マルチプロセッサ間通信機能 • 送受信に FIFO レジスタをおのおの16段内蔵しており、高速連続通信が可能 • MSB ファースト/LSB ファーストを選択可能 • 調歩同期式モードでは、ビットレートの4/8/16倍で基本クロックを選択可能 • IrDA インタフェースを内蔵 (IrDA1.0 準拠)
I/O ポート	<ul style="list-style-type: none"> • 入出力: 110本、入力: 8本、合計 118本 • 一部ポートの入出力電圧レベルは入出力回路用電源 PVcc で設定可能
A/D 変換器	<ul style="list-style-type: none"> • 10ビット×4チャンネル×2基 • 外部トリガによる変換可能
D/A 変換器	<ul style="list-style-type: none"> • 8ビット×2チャンネル
内蔵メモリ	<ul style="list-style-type: none"> • ROM: 256K バイト • X-RAM: 4K バイト • Y-RAM: 4K バイト
動作モード	<ul style="list-style-type: none"> • 動作モード <ul style="list-style-type: none"> - 拡張・ROMなしモード - 拡張・ROMありモード - シングルチップモード • 処理状態 <ul style="list-style-type: none"> - プログラム実行状態 - 例外処理状態 - バス権解放状態 • 低消費電力モード <ul style="list-style-type: none"> - スリープモード - ハードウェアスタンバイモード - ソフトウェアスタンバイモード - モジュールスタンバイ機能 - モジュールクロック分周機能

項目	仕様
クロック発振器 (CPG)	<ul style="list-style-type: none">• クロック発振器内蔵• クロックソースは水晶または外部クロックから選択可能• クロック逡倍用 PLL 回路内蔵• 外部クロック / 内部クロック間の位相同期化用 PLL 回路内蔵• 内部クロック、内蔵周辺モジュール用クロックの周波数をおのの独立に分周可能
パッケージ	176 ピンプラスチック LQFP (LQFP2424-176) 0.5mm ピッチ
製品ライン アップ	SH7065 : 256KB FLASH / MASK動作周波数 60MHz (max.)

1. 概要

1.2 ブロック図

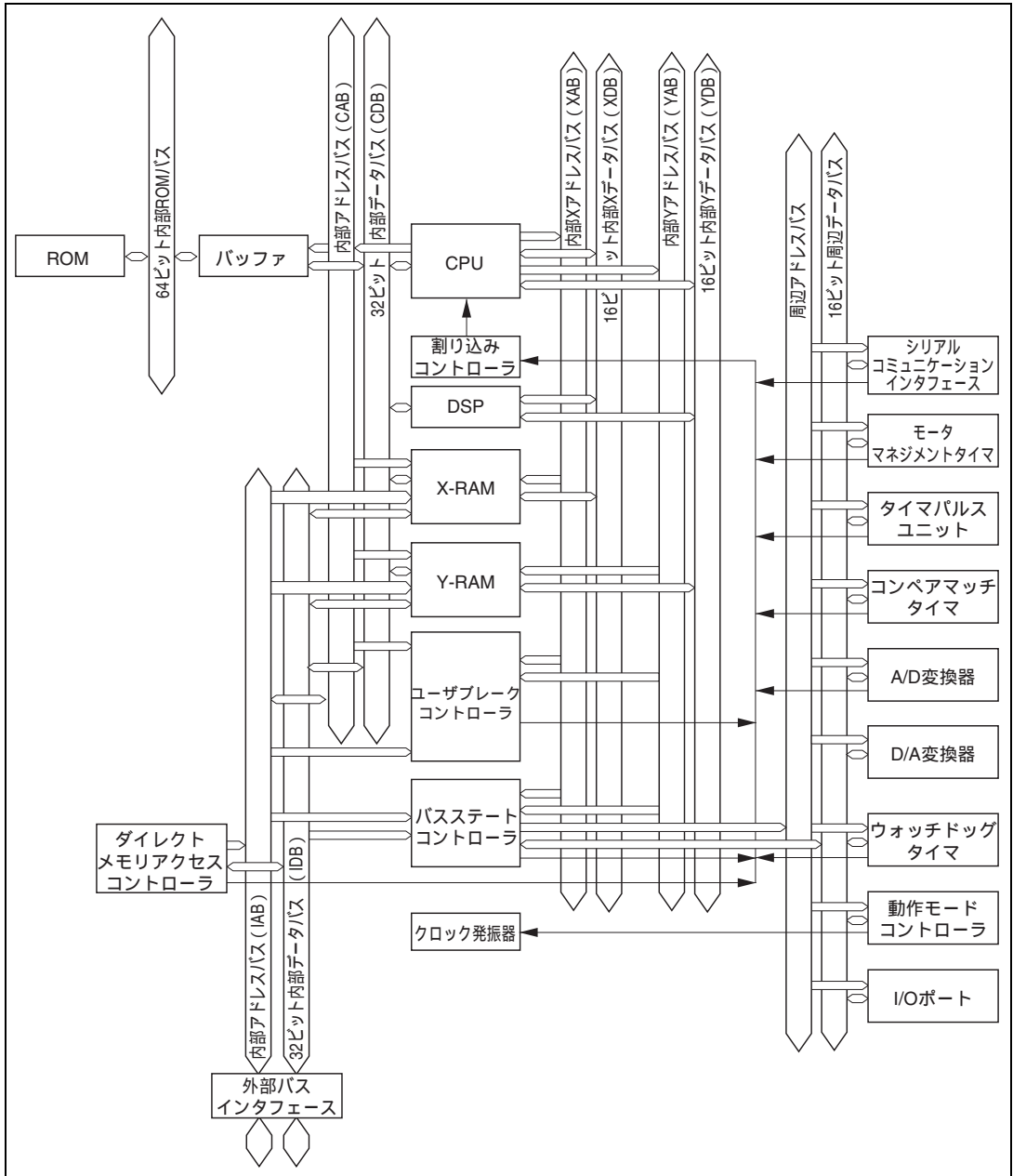


図 1.1 ブロック図

1.3 端子説明

1.3.1 ピン配置

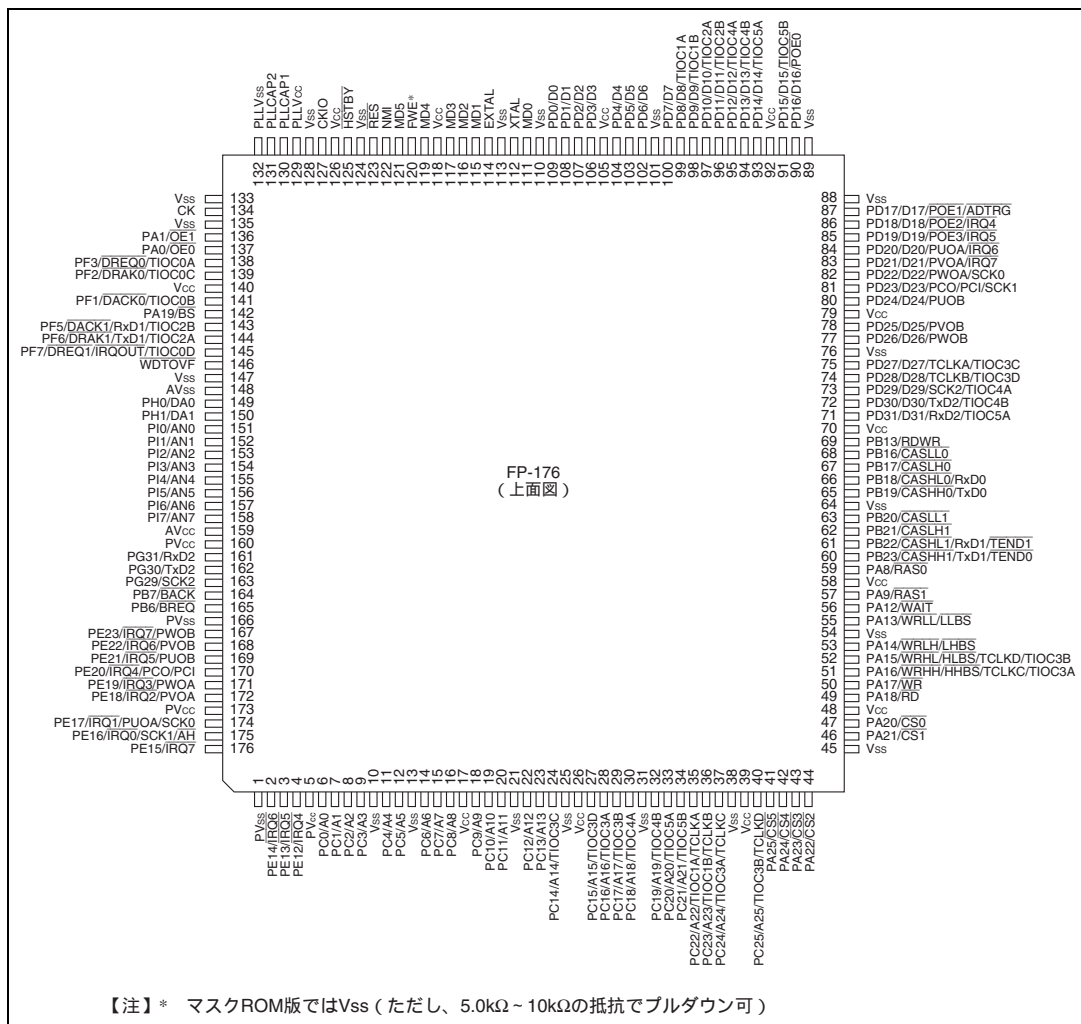


図 1.2 ピン配置図

1. 概要

1.3.2 端子機能

端子の機能について表 1.2 に示します。

表 1.2 端子の機能

分類	記号	入出力	名称	機能
電源	Vcc	入力	電源	電源に接続します。Vcc 端子はすべてのシステムの電源に接続してください。開放端子があると動作しません。全 Vcc 端子は同一電圧を印加してください*。
	Vss	入力	グランド	グランドに接続します。Vss 端子はすべてのシステムのグランドに接続してください。開放端子があると動作しません。
	PVcc	入力	入出力回路用電源	入出力回路用の電源です。開放端子があると動作しません。全 PVcc 端子は同一電圧を印加してください*。
	PVss	入力	入出力回路用グランド	入出力回路用のグランドです。開放端子があると動作しません。
クロック	PLLVcc	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。開放端子があると動作しません。
	PLLVss	入力	PLL 用グランド	内蔵 PLL 発振器用のグランドです。開放端子があると動作しません。
	PLLCAP1	入力	PLL 用容量	内蔵 PLL 発振器 1 用の外付け容量端子です。
	PLLCAP2	入力	PLL 用容量	内蔵 PLL 発振器 2 用の外付け容量端子です。
	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CKIO	入出力	システムクロック入出力	外部クロック入力、または内部クロック出力端子として使用します。
システム制御	CK	出力	システムクロック出力	内部クロック出力端子です。
	RES	入力	パワーオンリセット	この端子にローレベルを印加すると、パワーオンリセット状態になります。
	WDTOVF	出力	ウォッチドッグタイマ オーバーフロー	WDT からのオーバーフロー出力信号です。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	出力	バス権要求アクノリッジ	バス権を外部デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。
HSTBY	入力	ハードウェアスタンバイ	ハードウェアスタンバイ入力端子です。使用しない場合は、ハイレベルにしてください。	

分類	記号	入出力	名称	機能
動作モード制御	MD0 ~ MD5	入力	モード設定	動作モードを決める端子です。動作中は、入力値を変化させないでください。
	FWE	入力	フラッシュライトイネーブル	内蔵フラッシュメモリの書き込み / 消去のハードウェアプロテクト用端子です。
割り込み	NMI	入力	ノンマスカブル割り込み	マスク不可能な割り込み要求端子です。立ち上がりエッジ、立ち下がりエッジのどちらで受け付けるかを選択できます。
	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$	入力	割り込み要求 0~7	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。
	IRQOUT	出力	割り込み要求出力	割り込み要求が発生したことを示します。バスリリース中にも割り込み発生を知ることができます。
アドレスバス	A0 ~ A25	出力	アドレスバス	アドレスを出力します。
データバス	D0 ~ D31	入出力	データバス	32 ビットの双方向データバスです。
バス制御	$\overline{\text{CS0}} \sim \overline{\text{CS5}}$	出力	チップセレクト 0~5	外部メモリまたはデバイスのためのチップセレクト信号です。
	$\overline{\text{RD}}$	出力	リード	外部のデバイスから読み出しすることを示します。
	$\overline{\text{RDWR}}$	出力	リード/ライト	DRAM の書き込み指示信号として使用します。
	$\overline{\text{WRL}} \overline{\text{L}}$	出力	LL 側ライト	外部のデータのビット 7 からビット 0 を書き込みすることを示します。
	$\overline{\text{WRL}} \overline{\text{H}}$	出力	LH 側ライト	外部のデータのビット 15 からビット 8 を書き込みすることを示します。
	$\overline{\text{WR}} \overline{\text{HL}}$	出力	HL 側ライト	外部のデータのビット 23 からビット 16 を書き込みすることを示します。
	$\overline{\text{WR}} \overline{\text{HH}}$	出力	HH 側ライト	外部のデータのビット 31 からビット 24 を書き込みすることを示します。
	$\overline{\text{WAIT}}$	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	$\overline{\text{LLBS}}$	出力	LL 側バイトストロープ	外部のデータのビット 7 からビット 0 をアクセスすることを示します。

1. 概要

分類	記号	入出力	名称	機能
バス制御	LHBS	出力	LH 側バイトストロープ	外部のデータのビット 15 からビット 8 をアクセスすることを示します。
	HLBS	出力	HL 側バイトストロープ	外部のデータのビット 23 からビット 16 をアクセスすることを示します。
	HHBS	出力	HH 側バイトストロープ	外部のデータのビット 31 からビット 24 をアクセスすることを示します。
	WR	出力	ライト	データバスの入出力の方向を示します。バイトストロープ方式メモリの書き込み指示にも使用します。
	RAS0、RAS1	出力	ロウアドレスストロープ 0、1	DRAM のロウアドレスストロープのタイミング信号です。
	CASLL0、CASLL1	出力	LL 側カラムアドレスストロープ 0、1	DRAM のデータのビット 7 からビット 0 をアクセスするときに出力されます。
	CASLH0、CASLH1	出力	LH 側カラムアドレスストロープ 0、1	DRAM のデータのビット 15 からビット 8 をアクセスするときに出力されます。
	CASHL0、CASHL1	出力	HL 側カラムアドレスストロープ 0、1	DRAM のデータのビット 23 からビット 16 をアクセスするときに出力されます。
	CASHH0、CASHH1	出力	HH 側カラムアドレスストロープ 0、1	DRAM のデータのビット 31 からビット 24 をアクセスするときに出力されます。
	OE0、OE1	出力	アウトプットイネーブル 0、1	EDO DRAM を RAS ダウンモードで使用するためのアウトプットイネーブル信号です。
	AH	出力	アドレスホールド	アドレス/データのマルチプレクスバスを使用するデバイスに対するアドレスホールドタイミング信号です。
	BS	出力	バスサイクル開始	バスサイクル開始を示します。
ダイレクトメモリアクセスコントローラ (DMAC)	DREQ0、DREQ1	入力	DMA 転送要求 (チャンネル 0、1)	外部からの DMA 転送要求の入力端子です。
	DRAK0、DRAK1	出力	DREQ 要求受け付け (チャンネル 0、1)	外部からの DMA 転送要求の入力のサンプリング受け付けを出力します。
	DACK0、DACK1	出力	DMA 転送ストロープ (チャンネル 0、1)	外部からの DMA 転送要求時の外部 I/O へのストロープを出力します。
	TEND0、TEND1	出力	DMA 転送終了 (チャンネル 0、1)	DMA 転送終了時にローレベルを出力します。

分類	記号	入出力	名称	機能
タイマバルスユニット (TPU)	TCLKA ~ TCLKD	入力	TPU タイマクロック入力	TPU のカウンタへの外部クロック入力端子です。
	TIOC0A ~ TIOC0D	入出力	TPU インプットキャプチャ / アウトプットコンペア (チャンネル0)	チャンネル0のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC1A、TIOC1B	入出力	TPU インプットキャプチャ / アウトプットコンペア (チャンネル1)	チャンネル1のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC2A、TIOC2B	入出力	TPU インプットキャプチャ / アウトプットコンペア (チャンネル2)	チャンネル2のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC3A ~ TIOC3D	入出力	TPU インプットキャプチャ / アウトプットコンペア (チャンネル3)	チャンネル3のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC4A、TIOC4B	入出力	TPU インプットキャプチャ / アウトプットコンペア (チャンネル4)	チャンネル4のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC5A、TIOC5B	入出力	TPU インプットキャプチャ / アウトプットコンペア (チャンネル5)	チャンネル5のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
モータマネジメント タイマ (MMT)	PCI	入力	カウンタクリア入力	カウンタクリア入力端子です。
	PCO	出力	PWM 周期出力	PWM 周期に同期したトグル出力端子です。
	PUOA、PUOB	出力	PWM U 相出力	PWM U 相波形の出力端子です。
	PVOA、PVOB	出力	PWM V 相出力	PWM V 相波形の出力端子です。
	PWOA、PWOB	出力	PWM W 相出力	PWM W 相波形の出力端子です。
	POE0 ~ POE3	入力	ポートアウトプットイネーブル入力	大電流端子をハイインピーダンス状態にする要求信号の入力端子です。
シリアルコミュニケーション インタフェース (SCI)	TxD0 ~ TxD2	出力	送信データ (チャンネル0~2)	送信データ出力端子です。
	RxD0 ~ RxD2	入力	受信データ (チャンネル0~2)	受信データ入力端子です。
	SCK0 ~ SCK2	入出力	シリアルクロック (チャンネル0~2)	クロック入出力端子です。
アナログ電源	AVcc	入力	アナログ電源	アナログ電源に接続します。
	AVss	入力	アナロググランド	アナログ電源のグランドに接続します。
A/D 変換器	AN0 ~ AN7	入力	アナログ入力	アナログ信号入力端子です。
	ADTRG	入力	A/D 変換トリガ入力	A/D 変換開始の外部入力です。
D/A 変換器	DA0、DA1	出力	アナログ出力	D/A 変換器のアナログ信号出力端子です。

1. 概要

分類	記号	入出力	名称	機能
I/O ポート	PA×18本	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PB×11本	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PC×26本	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PD×32本	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PE×12本	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PF×6本	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PG×3本	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PH×2本	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PI×8本	入力	汎用ポート	汎用入力ポート端子です。

【注】 未使用入力端子は必ず 4.7kΩ ~ 10kΩ の抵抗でプルアップもしくはプルダウンしてください。

* 電源電圧 PVcc に 5V 系電圧を印加する場合の電源投入 / 切断順番につきましては、以下の順番を推奨します。なお、PVcc も Vcc その他と同じ 3V 系電圧でご使用のときは、全電源の同時印加、切断を推奨します。

1. 電源投入

(1) 5V 系 (PVcc) を先に投入してください。この後、3V 系 (Vcc、PLLvcc、AVcc) を投入してください。

(2) 5V 系 (PVcc) のみが電源投入されている間は、リセット入力が無効のため各端子状態は不定となります。

2. 電源切断

(1) 電源投入と逆に 3V 系を先に切断してください。この後、5V 系を切断してください。

(2) 5V 系のみが印加されている状態では、各端子状態は不定になります。

3. 電源投入 / 切断の間隔

端子状態が不定となる間を短くするために、電源投入 / 切断間隔は、できるだけ短くしてください。また、端子状態が不定となることにより、システムが誤動作を起こさないようにシステム設計を行ってください。

表 1.3 端子機能一覧

No.*	制御電源	機能 1	機能 2	機能 3	機能 4	機能 5
1	-	PLLvcc				
2	-	PLVss				
3	-	PLLCAP1				
4	-	PLLCAP2				
5	-	AVcc				
6	-	AVss				
7	Vcc	EXTAL				
8	Vcc	XTAL				
9	Vcc	CKIO				
10	Vcc	CK				
11	Vcc	RES				
12	Vcc	WDTOVF				
13	Vcc	HSTBY				
14	Vcc	MD5				
15	Vcc	MD4				
16	Vcc	MD3				
17	Vcc	MD2				
18	Vcc	MD1				
19	Vcc	MD0				
20	Vcc	NMI				
21	Vcc	FWE				
22	Vcc	汎用入出力 (PA25)	CS5			
23	Vcc	汎用入出力 (PA24)	CS4			
24	Vcc	汎用入出力 (PA23)	CS3			
25	Vcc	汎用入出力 (PA22)	CS2			
26	Vcc	汎用入出力 (PA21)	CS1			
27	Vcc	汎用入出力 (PA20)	CS0			
28	Vcc	汎用入出力 (PA19)	BS			
29	Vcc	汎用入出力 (PA18)	RD			
30	Vcc	汎用入出力 (PA17)	WR			
31	Vcc	汎用入出力 (PA16)	WRHH	HHBS	TCLKC	TIOC3A
32	Vcc	汎用入出力 (PA15)	WRHL	HLBS	TCLKD	TIOC3B
33	Vcc	汎用入出力 (PA14)	WRLH	LHBS		
34	Vcc	汎用入出力 (PA13)	WRLL	LLBS		
35	Vcc	汎用入出力 (PA12)	WAIT			
36	Vcc	汎用入出力 (PA9)	RAS1			
37	Vcc	汎用入出力 (PA8)	RAS0			
38	Vcc	汎用入出力 (PB23)	CASHH1	TxD1	TEND0	
39	Vcc	汎用入出力 (PB22)	CASHL1	RxD1	TEND1	
40	Vcc	汎用入出力 (PB21)	CASLH1			

1. 概要

No.*	制御電源	機能 1	機能 2	機能 3	機能 4	機能 5
41	Vcc	汎用入出力 (PB20)	CASLL1			
42	Vcc	汎用入出力 (PB19)	CASHH0	TxD0		
43	Vcc	汎用入出力 (PB18)	CASHL0	RxD0		
44	Vcc	汎用入出力 (PB17)	CASLH0			
45	Vcc	汎用入出力 (PB16)	CASLL0			
46	Vcc	汎用入出力 (PB13)	RDWR			
47	Vcc	汎用入出力 (PC25)	A25	TIOC3B	TCLKD	
48	Vcc	汎用入出力 (PC24)	A24	TIOC3A	TCLKC	
49	Vcc	汎用入出力 (PC23)	A23	TIOC1B	TCLKB	
50	Vcc	汎用入出力 (PC22)	A22	TIOC1A	TCLKA	
51	Vcc	汎用入出力 (PC21)	A21	TIOC5B		
52	Vcc	汎用入出力 (PC20)	A20	TIOC5A		
53	Vcc	汎用入出力 (PC19)	A19	TIOC4B		
54	Vcc	汎用入出力 (PC18)	A18	TIOC4A		
55	Vcc	汎用入出力 (PC17)	A17	TIOC3B		
56	Vcc	汎用入出力 (PC16)	A16	TIOC3A		
57	Vcc	汎用入出力 (PC15)	A15	TIOC3D		
58	Vcc	汎用入出力 (PC14)	A14	TIOC3C		
59	Vcc	汎用入出力 (PC13)	A13			
60	Vcc	汎用入出力 (PC12)	A12			
61	Vcc	汎用入出力 (PC11)	A11			
62	Vcc	汎用入出力 (PC10)	A10			
63	Vcc	汎用入出力 (PC9)	A9			
64	Vcc	汎用入出力 (PC8)	A8			
65	Vcc	汎用入出力 (PC7)	A7			
66	Vcc	汎用入出力 (PC6)	A6			
67	Vcc	汎用入出力 (PC5)	A5			
68	Vcc	汎用入出力 (PC4)	A4			
69	Vcc	汎用入出力 (PC3)	A3			
70	Vcc	汎用入出力 (PC2)	A2			
71	Vcc	汎用入出力 (PC1)	A1			
72	Vcc	汎用入出力 (PC0)	A0			
73	Vcc	汎用入出力 (PD31)	D31	RxD2	TIOC5A	
74	Vcc	汎用入出力 (PD30)	D30	TxD2	TIOC4B	
75	Vcc	汎用入出力 (PD29)	D29	SCK2	TIOC4A	
76	Vcc	汎用入出力 (PD28)	D28	TCLKB	TIOC3D	
77	Vcc	汎用入出力 (PD27)	D27	TCLKA	TIOC3C	
78	Vcc	汎用入出力 (PD26)	D26	PWOB		
79	Vcc	汎用入出力 (PD25)	D25	PVOB		
80	Vcc	汎用入出力 (PD24)	D24	PUOB		
81	Vcc	汎用入出力 (PD23)	D23	PCO	PCI	SCK1

No.*	制御電源	機能 1	機能 2	機能 3	機能 4	機能 5
82	Vcc	汎用入出力 (PD22)	D22	PWOA	SCK0	
83	Vcc	汎用入出力 (PD21)	D21	PVOA	IRQ7	
84	Vcc	汎用入出力 (PD20)	D20	PUOA	IRQ6	
85	Vcc	汎用入出力 (PD19)	D19	POE3	IRQ5	
86	Vcc	汎用入出力 (PD18)	D18	POE2	IRQ4	
87	Vcc	汎用入出力 (PD17)	D17	POE1	ADTRG	
88	Vcc	汎用入出力 (PD16)	D16	POE0		
89	Vcc	汎用入出力 (PD15)	D15	TIOC5B		
90	Vcc	汎用入出力 (PD14)	D14	TIOC5A		
91	Vcc	汎用入出力 (PD13)	D13	TIOC4B		
92	Vcc	汎用入出力 (PD12)	D12	TIOC4A		
93	Vcc	汎用入出力 (PD11)	D11	TIOC2B		
94	Vcc	汎用入出力 (PD10)	D10	TIOC2A		
95	Vcc	汎用入出力 (PD9)	D9	TIOC1B		
96	Vcc	汎用入出力 (PD8)	D8	TIOC1A		
97	Vcc	汎用入出力 (PD7)	D7			
98	Vcc	汎用入出力 (PD6)	D6			
99	Vcc	汎用入出力 (PD5)	D5			
100	Vcc	汎用入出力 (PD4)	D4			
101	Vcc	汎用入出力 (PD3)	D3			
102	Vcc	汎用入出力 (PD2)	D2			
103	Vcc	汎用入出力 (PD1)	D1			
104	Vcc	汎用入出力 (PD0)	D0			
105	Vcc	汎用入出力 (PA1)	OE1			
106	Vcc	汎用入出力 (PA0)	OE0			
107	PVcc	汎用入出力 (PE23)	IRQ7	PWOB		
108	PVcc	汎用入出力 (PE22)	IRQ6	PVOB		
109	PVcc	汎用入出力 (PE21)	IRQ5	PUOB		
110	PVcc	汎用入出力 (PE20)	IRQ4	PCO	PCI	
111	PVcc	汎用入出力 (PE19)	IRQ3	PWOA		
112	PVcc	汎用入出力 (PE18)	IRQ2	PVOA		
113	PVcc	汎用入出力 (PE17)	IRQ1	PUOA	SCK0	
114	PVcc	汎用入出力 (PE16)	IRQ0	SCK1	AH	
115	Vcc	汎用入出力 (PF7)	DREQ1	IRQOUT	TIOC0D	
116	Vcc	汎用入出力 (PF6)	DRAK1	TxD1	TIOC2A	
117	Vcc	汎用入出力 (PF5)	DACK1	RxD1	TIOC2B	
118	AVcc	汎用入力 (PI7)	AN7			
119	AVcc	汎用入力 (PI6)	AN6			
120	AVcc	汎用入力 (PI5)	AN5			
121	AVcc	汎用入力 (PI4)	AN4			
122	AVcc	汎用入力 (PI3)	AN3			

1. 概要

No.*	制御電源	機能 1	機能 2	機能 3	機能 4	機能 5
123	AVcc	汎用入力 (PI2)	AN2			
124	AVcc	汎用入力 (PI1)	AN1			
125	AVcc	汎用入力 (PI0)	AN0			
126	AVcc	汎用入出力 (PH1)	DA1			
127	AVcc	汎用入出力 (PH0)	DA0			
128	PVcc	汎用入出力 (PE12)	$\overline{\text{IRQ4}}$			
129	PVcc	汎用入出力 (PE13)	$\overline{\text{IRQ5}}$			
130	PVcc	汎用入出力 (PE14)	$\overline{\text{IRQ6}}$			
131	PVcc	汎用入出力 (PE15)	$\overline{\text{IRQ7}}$			
132	PVcc	汎用入出力 (PG31)	RxD2			
133	PVcc	汎用入出力 (PG30)	TxD2			
134	PVcc	汎用入出力 (PG29)	SCK2			
135	Vcc	汎用入出力 (PF2)	$\overline{\text{DRAK0}}$	TIOC0C		
136	Vcc	汎用入出力 (PF1)	$\overline{\text{DACK0}}$	TIOC0B		
137	Vcc	汎用入出力 (PF3)	$\overline{\text{DREQ0}}$	TIOC0A		
138	PVcc	汎用入出力 (PB7)	$\overline{\text{BACK}}$			
139	PVcc	汎用入出力 (PB6)	$\overline{\text{BREQ}}$			

【注】 * No.はパッケージのピン番号ではありません。

2. CPU

2.1 レジスタ構成

本 LSI には汎用レジスタ (32 ビット×16 本)、コントロールレジスタ (32 ビット×6 本)、システムレジスタ (32 ビット×10 本) があります。

本 LSI は SH-1、SH-2 とオブジェクトコードレベルで上位互換性があります。そのため、従来の Super H マイコンのレジスタのほかに、いくつかのレジスタが追加されています。追加されたのは、コントロールレジスタの繰り返し開始レジスタ (RS)、繰り返し終了レジスタ (RE)、モジュロレジスタ (MOD) の 3 本と、システムレジスタの DSP ステータスレジスタ (DSR)、DSP データレジスタの内の A0、A1、X0、X1、Y0、Y1 の 6 本です。

汎用レジスタは、Super H マイコンタイプの命令では、SH-1、SH-2 と同じように使われます。これに対して DSP タイプの命令では、メモリをアクセスするためのアドレスレジスタ、インデックスレジスタとして使われます。

2.1.1 汎用レジスタ

汎用レジスタ (R_n) は、32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。

Super H マイコンタイプの命令では、R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、スタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は R15 を用いてスタックを参照し行います。

DSP タイプの命令では、汎用レジスタ 16 本のうち、8 つのレジスタが X、Y データメモリおよび I バスを使うデータメモリ (シングルデータ) のアドレッシングに使われます。

X メモリをアクセスするためには、X アドレスレジスタ [A_x] として R4、R5 を使い、X インデックスレジスタ [I_x] として R8 を使います。Y メモリをアクセスするためには、Y アドレスレジスタ [A_y] として R6、R7 を使い、Y インデックスレジスタ [I_y] として R9 を使います。I バスを使ってシングルデータをアクセスするためには、シングルデータアドレスレジスタ [A_s] として R2、R3、R4、R5 を使い、シングルデータインデックスレジスタ [I_s] として R8 を使います。

DSP タイプの命令は X と Y データメモリを同時にアクセスできます。X と Y データメモリのアドレスを指定するために、2 組のアドレスポインタがあります。

汎用レジスタを図 2.1 に示します。

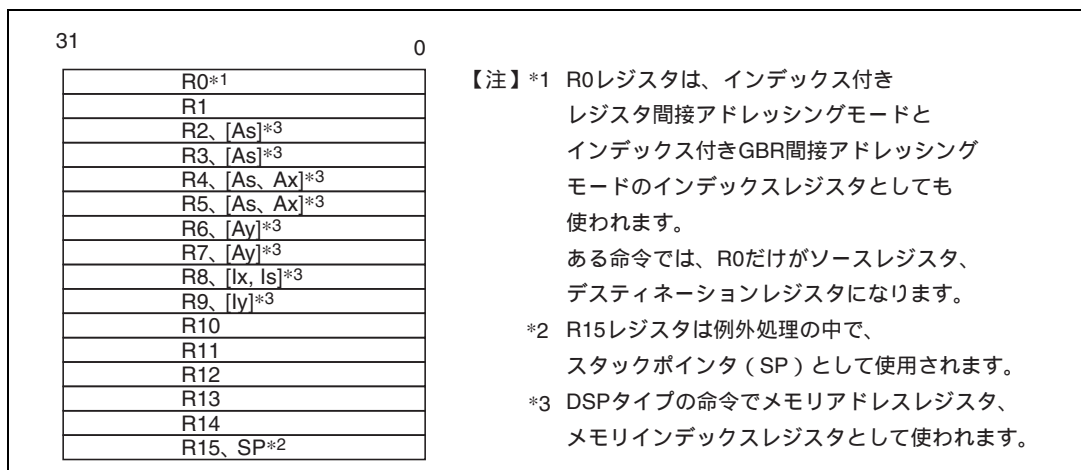


図 2.1 汎用レジスタの構成

アセンブラでは R2、R3 . . . R9 の記号名 (シンボル) を使います。もし DSP タイプ命令のためのレジスタの役割を明示した名前にしたいときは、レジスタの別名 (エイリアス、alias) を使います。アセンブラで次のように書きます。

Ix: .REG (R8)

名前 Ix が R8 の別名になります。そのほか次のように別名を付けます。

Ax0: .REG (R4)

Ax1: .REG (R5)

Ix: .REG (R8)

Ay0: .REG (R6)

Ay1: .REG (R7)

Iy: .REG (R9)

As0: .REG (R4);これはシングルデータ転送のために別名が必要なときの定義です。

As1: .REG (R5);これはシングルデータ転送のために別名が必要なときの定義です。

As2: .REG (R2);これはシングルデータ転送のために別名が必要なときの定義です。

As3: .REG (R3);これはシングルデータ転送のために別名が必要なときの定義です。

Is: .REG (R8);これはシングルデータ転送のために別名が必要なときの定義です。

2.1.2 コントロールレジスタ

コントロールレジスタは 32 ビットの長さで、ステータスレジスタ (SR: Status register)、繰り返し開始レジスタ (RS: Repeat start register)、繰り返し終了レジスタ (RE: Repeat end register)、グローバルベースレジスタ (GBR: Global base register)、ベクタベースレジスタ (VBR: Vector base register)、モジュロレジスタ (MOD: Modulo register) の 6 本があります。

SR レジスタは処理の状態を表します。

GBR レジスタは GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR レジスタは割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

RS レジスタと RE レジスタはプログラムの繰り返し (ループ) を制御するために使います。SR レジスタの繰り返しカウンタ (RC: Repeat counter) に繰り返し回数を指定し、RS レジスタには繰り返し開始アドレスを指定し、RE レジスタに繰り返し終了アドレスを指定します。ただし、RS レジスタと RE レジスタに格納されるアドレスの値は、物理的な繰り返し開始アドレス、終了アドレスとは値が必ずしも同じとは限りません。

MOD レジスタは繰り返しデータのバッファリングのためのモジュロアドレッシングに使います。SR レジスタの DMX ビットまたは DMY ビットでモジュロアドレッシングの指定をし、MOD レジスタの上位 16 ビットにモジュロ終了アドレス (ME) を指定し、下位 16 ビットにモジュロ開始アドレス (MS) を指定します。なお、DMX と DMY ビットは同時にモジュロアドレッシングを指定することはできません。モジュロアドレッシングは X、Y データ転送命令 (MOVX、MOVY) のとき可能です。シングルデータ転送命令 (MOVS) ではできません。

図 2.2 にコントロールレジスタを示します。表 2.1 に SR レジスタのビットを示します。

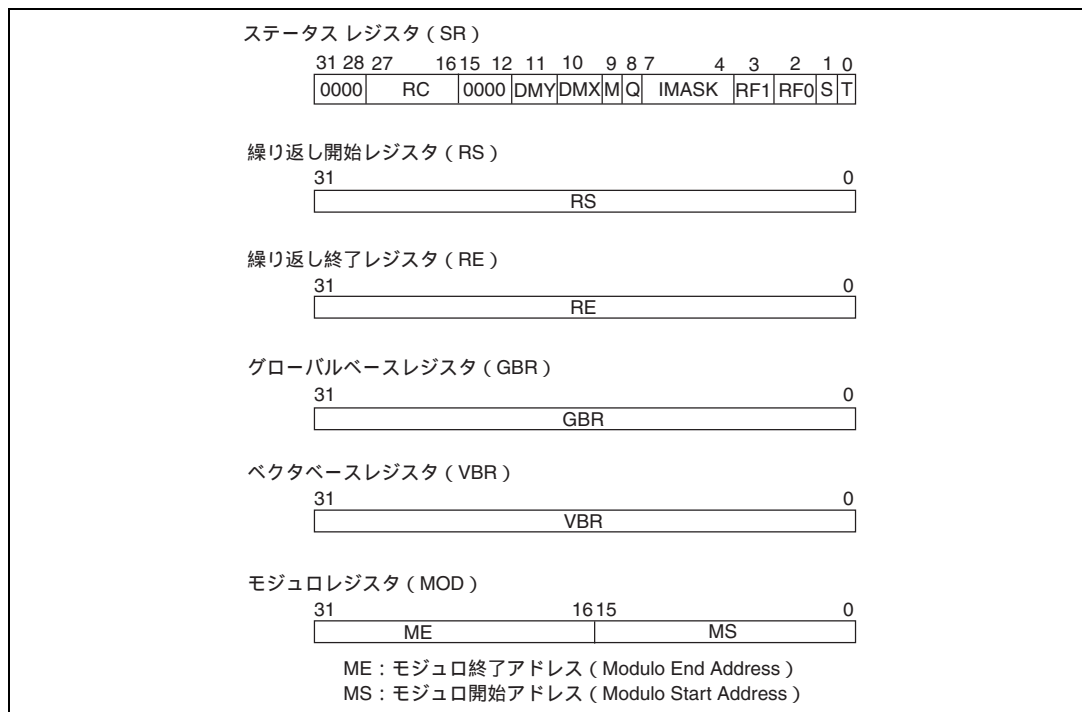


図 2.2 コントロールレジスタの構成

2. CPU

表 2.1 SR レジスタのビット

ビット	名称 (略称)	機 能
27~16	リピートカウンタ (RC)	繰り返し (ループ) 制御の繰り返し回数を指定します (2~4095)
11	Y ポインタ用モジュロアドレッシング指定 (DMY)	1: Y メモリアドレスポインタ、Ay (R6、R7) に対し、モジュロアドレッシングモードが有効になります
10	X ポインタ用モジュロアドレッシング指定 (DMX)	1: X メモリアドレスポインタ、Ax (R4、R5) に対し、モジュロアドレッシングモードが有効になります
9	M ビット	DIV0S/U、DIV1 命令で使用します
8	Q ビット	
7~4	割り込み要求マスク (IMASK)	割り込み要求を受け付けるレベルを表します (0~15)
3、2	リピートフラグ (RF1、0)	ゼロオーバーヘッド繰り返し (ループ) 制御に使用します SETRC 命令のとき、以下のようにセットされます 1Step リピートのとき 00 RE RS = -4 2Step リピートのとき 01 RE RS = -2 3Step リピートのとき 11 RE RS = 0 4Step 以上のとき 10 RE RS > 0
1	飽和演算ビット (S)	MAC 命令および DSP 命令で使用します 1: 飽和演算を指定します (オーバーフローを防止します)
0	T ビット	MOVT、CMP/cond、TAS、TST、BT、BT/S、BF、BF/S、SETT、CLRT、および DT 命令のとき 0: 偽を表します 1: 真を表します ADDV/C、SUBV/C、DIV0U/S、DIV1、NEGC、SHAR/L、SHLR/L、ROTR/L、および ROTCR/L 命令のとき 1: キャリ、ポロー、オーバーフローまたはアンダフローの発生を表します
31~28 15~12	0 ビット	0: 常に 0 が読み出されます 0 を書き込んでください

RS、RE、MOD レジスタをアクセスするため専用のロード/ストア命令があります。たとえば RS レジスタをアクセスするときは次のようになります。

```
LDC    Rm,RS;      Rm → RS
LDC.L  @Rm+,RS;    (Rm) → RS, Rm+4 → Rm
STC    RS,Rn;      RS → Rn
STC.L  RS,@-Rn;    Rn-4 → Rn, RS → (Rn)
```

ゼロオーバーヘッド繰り返し制御のために RS、RE レジスタにアドレスを設定する命令は次のとおりです。

```
LDRS  @(disp,PC); disp×2 + PC → RS
LDRE  @(disp,PC); disp×2 + PC → RE
```

GBR レジスタと VBR レジスタは従来の Super H マイコンのレジスタと同じです。本 LSI には SR レジスタに 4 つの制御ビット (DMX ビット、DMY ビット、RF1 ビット、RF0 ビット) と、RC カウンタが追加されました。また RS レジスタ、RE レジスタ、MOD レジスタも新しいレジスタです。

2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH: Multiply and accumulate register high、MACL: Multiply and accumulate register low)、プロシージャレジスタ (PR: Procedure register)、プログラムカウンタ (PC: Program counter) の 4 本があります。

MACH、MACL は乗算または積和演算の結果を格納します*。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は実行中のプログラムのアドレスを示し、処理の流れを制御します。PC は現在実行中の命令の 4 バイト先を示しています。これらのレジスタは Super H マイコンのレジスタと同じです。

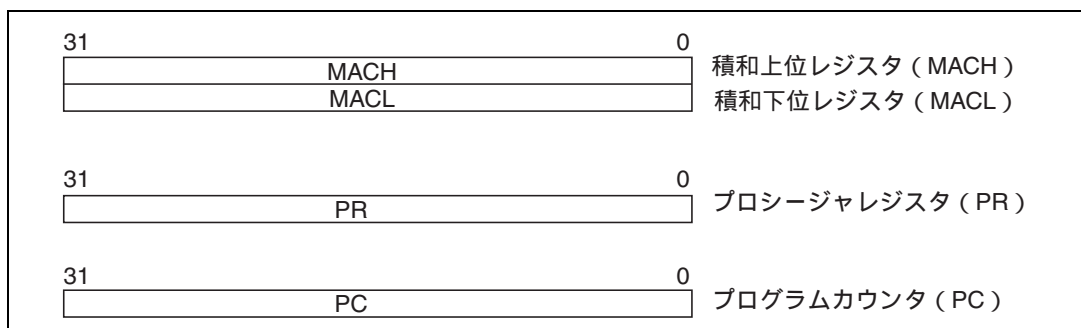


図 2.3 システムレジスタの構成

【注】* SH-1、SH-2 でサポートされていた命令実行時にのみ使用されます。SH-DSP で新たに追加された乗算命令 (PMULS) では使用しません。

本 LSI ではさらに、後述の DSP ユニット用のレジスタ (DSP レジスタ) のうち、DSP ステータスレジスタ (DSR) および 8 本のデータレジスタのうち 5 本 (A0、X0、X1、Y0、Y1) がシステムレジスタとしても扱われます。このうち A0 レジスタは 40 ビットレジスタですが、A0 レジスタからデータを出力する場合はガードビット部分 (A0G) は無視され、A0 レジスタにデータを入力する場合はデータの MSB がガードビット部分 (A0G) にコピーされます。

2.1.4 DSP レジスタ

DSP ユニットには DSP レジスタとして 8 つのデータレジスタと 1 つのコントロールレジスタがあります。

DSP データレジスタは 2 本の 40 ビット長の A0、A1 レジスタと、6 本の 32 ビット長の M0、M1、X0、X1、Y0、Y1 レジスタがあります。A0、A1 レジスタには、それぞれ 8 ビットのガードビット、A0G、A1G があります。

DSP データレジスタは、DSP 命令のオペランドとして DSP データのデータ転送、データ処理に使われます。DSP データレジスタをアクセスする命令には、DSP データ処理、X、Y データ転送処理、の 3 つのタイプがあります。

コントロールレジスタは 32 ビット長の DSP ステータスレジスタ (DSR: DSP status register) で、演算結果を表します。DSR レジスタには演算結果を表すビット、符号付き大ビット (GT: Signed greater than)、ゼロビット (Z: Zero value)、負値ビット (N: Negative value)、オーバフロービット (V: overflow)、DSP 状態ビット (DC: DSP condition) と、DC ビットの設定を制御する状態選択ビット (CS: Condition select) があります。

DC ビットは状態フラグの 1 つを表し、SuperH マイコン CPU コアの T ビットとよく似ています。条件付き DSP タイプ命令の場合、DSP データ処理は、DC ビットに従って実行が制御されます。この制御は DSP ユニットでの実行にだけ関係し、DSP レジスタだけが更新されます。アドレス計算や、ロード/ストア命令などの SuperH マイコンの CPU コアの実行命令には関係しません。コントロールビット CS (ビット 2 から 0) は DC ビットを設定する状態を指定します。

DSP タイプ命令には、無条件 DSP タイプ命令と条件付き DSP タイプ命令があります。無条件 DSP タイプのデータ処理は、PMULS、MOVX、MOVY、MOVZ 命令を除いて、状態ビットと DC ビットを更新します。条件付き DSP タイプ命令は DC ビットの状態によって実行されますが、実行された場合も実行されない場合も DSR レジスタは更新されません。

DSP レジスタを図 2.4 に示します。DSR レジスタのビットの機能を表 2.2 に示します。

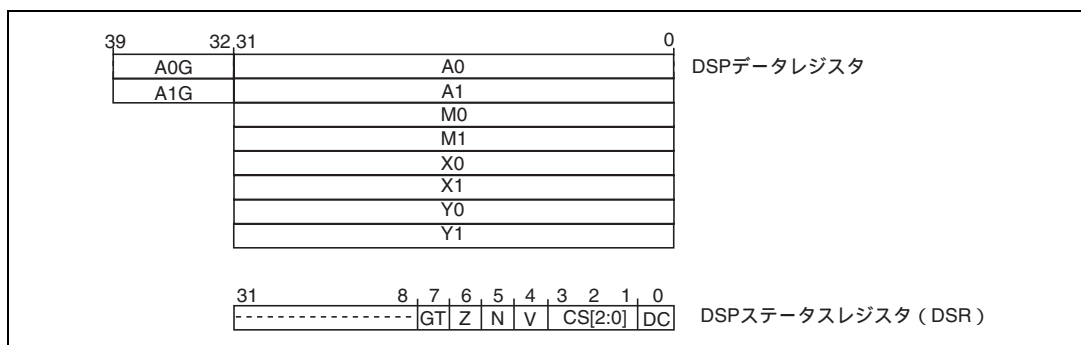


図 2.4 DSP レジスタの構成

表 2.2 DSR レジスタのビット

ビット	名称 (略称)	機能
31~8	予約ビット	0:常に0が読み出されず 書き込む値も0にしてください
7	符号付き大ビット (GT)	演算結果が正(ゼロを除く)、またはオペランド1がオペランド2より大きいことを示します 1:演算結果が正、またはオペランド1が大きい
6	ゼロビット (Z)	演算結果がゼロ(0)、またはオペランド1がオペランド2と等しいことを示します 1:演算結果がゼロ(0)、または等しい
5	負値ビット (N)	演算結果が負、またはオペランド1がオペランド2より小さいことを示します 1:演算結果が負、またはオペランド1が小さい
4	オーバフロービット (V)	演算結果がオーバフローしたことを示します 1:演算結果がオーバフロー
3~1	状態選択ビット (CS)	DCビットに設定する演算結果状態を選択するためのモードを指定します 110、111は指定しないでください 000:キャリ/ボローモード 001:負値モード 010:ゼロモード 011:オーバフローモード 100:符号付き大モード 101:符号付き以上モード
0	DSP 状態ビット (DC)	CSビットで指定されたモードで演算結果の状態を設定します 0:指定されたモードの状態が成立しない(不成立) 1:指定されたモードの状態が成立

DSR レジスタはCPU コア命令ではシステムレジスタとして取り扱われます。DSR レジスタとのデータ転送は次のようにロード/ストア命令があります。

```
STS   DSR, Rn;
STS.L DSR, @-Rn;
LDS   Rn, DSR;
LDS.L @Rn+, DSR;
```

A0、X0、X1、Y0、Y1 レジスタもCPU コア命令ではシステムレジスタとして取り扱われます。各レジスタとのデータ転送は次のようにロード/ストア命令があります。

```
STS   Dm, Rn;
STS.L Dm, @-Rn;
LDS   Rn, Dm;
LDS.L @Rn+, Dm;
```

(Dm: A0、X0、X1、Y0、Y1 のうちの1つ)

2.1.5 ガードビットとオーバフローの扱いに関する注意事項

DSP ユニットでのデータ演算は基本的には 32 ビット演算ですが、演算時には、常時 8 ビットのガードビット部分も含めて 40 ビット長で実行されます。ガードビット部分が 32 ビット部分の MSB の値と一致しない場合、演算結果はオーバフローとして扱われます。この場合、N ビットは、オーバフローの有無にかかわらず、演算結果の正しい状態を示します。これはデスティネーションオペランドが 32 ビット長のレジスタであっても同じです。常に 8 ビット分のガードビットが仮定され、各状態フラグがアップデートされます。

ガードビットを使っても正しく結果を表示できないような桁あふれが生じた場合は、N フラグは正しい状態を示すことはできません。

2.1.6 レジスタの初期値

リセット後のレジスタの値を表 2.3 に示します。

表 2.3 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0 ~ R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3~I0 は 1111(H'F)、予約ビット、RC、DMY、DMX は 0、その他は不定
	RS	不定
	RE	
	GBR	不定
	VBR	H'0000 0000
	MOD	不定
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値
DSP レジスタ	A0、A0G、A1、A1G、M0、M1、X0、X1、Y0、Y1	不定
	DSR	H'0000 0000

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、またはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

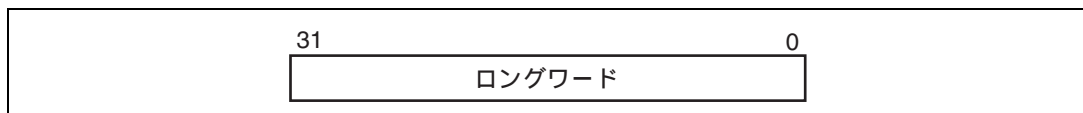


図 2.5 レジスタのデータ形式

2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは 2n 番地から、ロングワードデータは 4n 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証しません。特に、スタックポインタ (SP、R15) が指し示すスタックエリアには、プログラムカウンタ (PC) とステータスレジスタ (SR) をロングワードで格納しますので、スタックポインタの値が必ず 4n になるように設定してください。

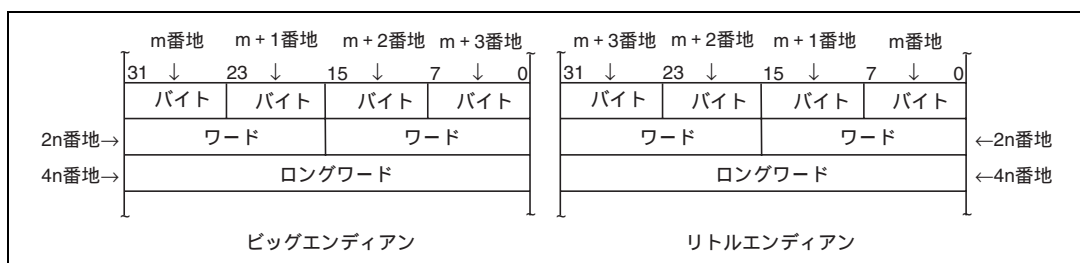


図 2.6 メモリ上のデータ形式

2.2.3 イミディエイトデータのデータ形式

バイトのイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、レジスタとロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置してください。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照してください。

2.2.4 DSP タイプデータ形式

本 LSI には命令に対応して 3 つの異なるデータ形式があります。固定小数点データ形式、整数データ形式、論理データ形式です。

DSP タイプの固定小数点データ形式はビット 31 とビット 30 の間に 2 進小数点があります。ガードビット付き、ガードビットなし、乗算入力の 3 種類があり、それぞれ有効ビット長と表せる値の範囲が異なります。

DSP タイプの整数データ形式はビット 16 とビット 15 の間に 2 進小数点があります。ガードビット付き、ガードビットなし、シフト量の 3 種類があり、それぞれ有効ビット長と表せる値の範囲が異なります。算術シフト (PSHA) のシフト量は 7 ビットの領域で -64 ~ +63 までを表せますが、実際に有効なのは -32 ~ +32 までの値です。同様に論理シフトのシフト量は 6 ビットの領域ですが、実際に有効なのは -16 ~ +16 までの値です。

DSP タイプの論理データ形式は小数点がありません。

データ形式とデータの有効な長さは命令と DSP レジスタによって決まります。

3 つの DSP タイプのデータ形式とその 2 進小数点の位置、および参考として Super H タイプのデータ形式を図 2.7 に示します。

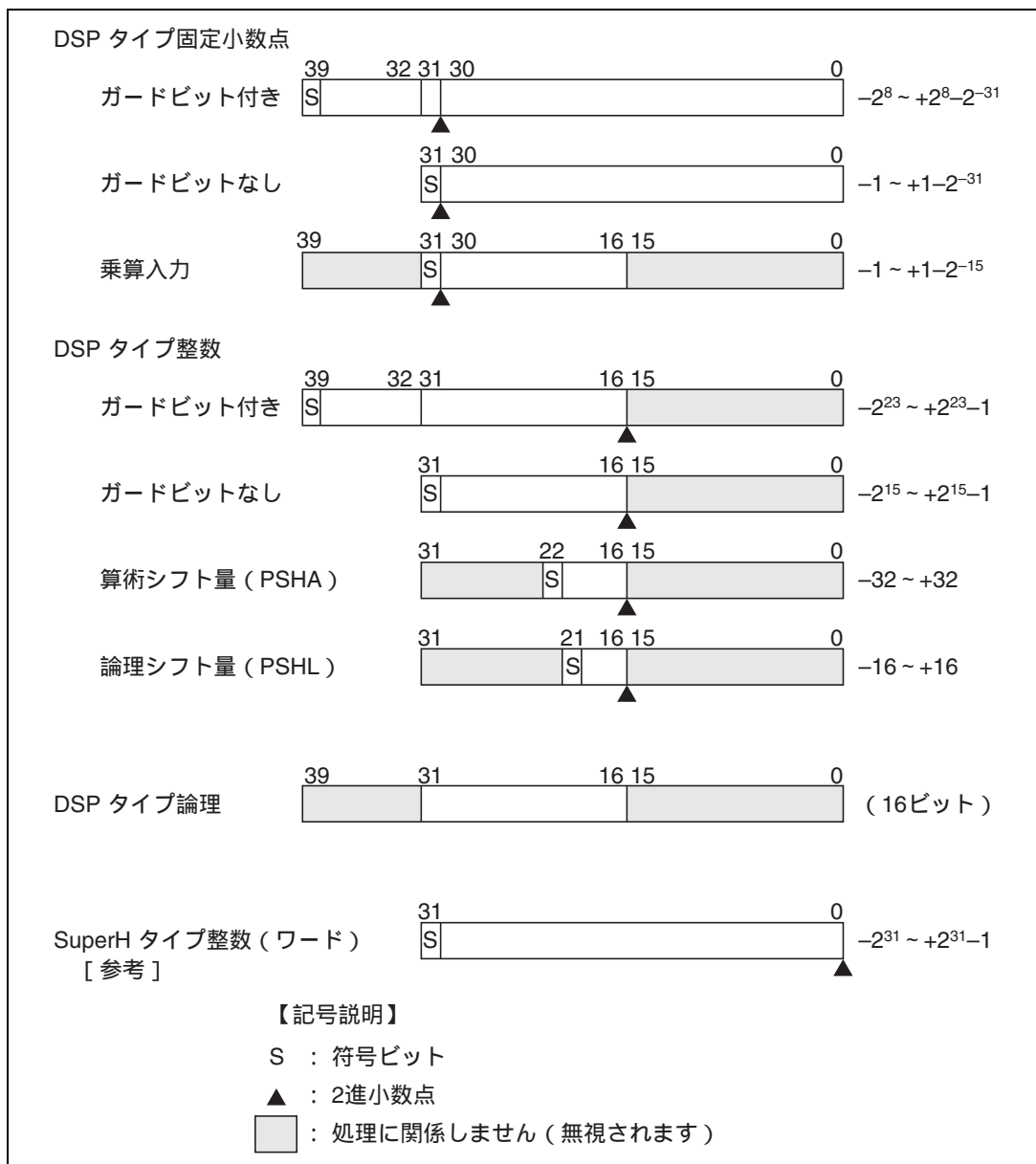


図 2.7 DSP タイプデータ形式

2.2.5 DSP タイプ命令とデータ形式

DSPデータ形式とデータの有効な長さはDSPタイプ命令とDSPレジスタによって決まります。DSPデータレジスタをアクセスする命令には、DSPデータ処理、X、Yデータ転送処理、シングルデータ転送処理の3つのタイプがあります。

(1) DSPデータ処理

DSP固定小数点データ処理で、A0、A1レジスタをソースレジスタとして使うときは、ガードビット(ビット39~32)は有効です。A0、A1以外のレジスタ(M0、M1、X0、X1、Y0、Y1レジスタ)をソースレジスタとして使うときは、そのレジスタデータの符号拡張されたものがビット39~32のデータとなります。A0、A1レジスタをデスティネーションレジスタとして使うときは、ガードビット(ビット39~32)は有効です。A0、A1以外のレジスタをデスティネーションレジスタとして使うときは、結果のデータのビット39~32は無視されます。

DSP整数データ処理の場合はDSP固定小数点データ処理と同じです。ただし、ソースレジスタの下位ワード(下位16ビット、ビット15~0)は無視されます。デスティネーションレジスタの下位ワードは0でクリアされます。

DSP論理データ処理のソースレジスタは上位ワード(上位16ビット、ビット31~16)が有効です。下位ワードとA0、A1レジスタのガードビットは無視されます。デスティネーションレジスタは上位ワードが有効です。下位ワードとA0、A1レジスタのガードビットは0でクリアされます。

(2) X、Yデータ転送

MOVX.W、MOVY.W命令は、16ビットのX、Yデータバスを介してX、Yメモリをアクセスします。レジスタにロードされるデータ、レジスタからストアされるデータは、常に上位ワード(上位16ビット、ビット31~16)です。

ロードの場合MOVX.WはX0、X1レジスタをデスティネーションレジスタとして、Xメモリをロードします。MOVY.WはY0、Y1レジスタをデスティネーションレジスタとして、Yメモリをロードします。データはレジスタの上位ワードに格納され、レジスタの下位ワードは0でクリアされます。

A0、A1レジスタの上位ワードは、これらのデータ転送命令でXまたはYメモリにデータをストアすることができますが、他のレジスタからはストアできません。A0、A1レジスタのガードビットおよび下位ワードは無視されます。

(3) シングルデータ転送

MOVS.W、MOVS.L命令は、データバス(CDB)を介して、どのメモリでもアクセスできます。すべてのDSPレジスタはCDBバスとつながっており、データ転送のときソースレジスタ、デスティネーションレジスタのどちらにもなります。データ転送にはワードとロングワードの2つのモードがあります。ワードモードでは、A0G、A1Gレジスタを除いたDSPレジスタの上位ワードにロードまたは上位ワードからストアされます。ロングワードモードでは、A0G、A1Gレジスタを除いたDSPレジスタの32ビットにロードまたは32ビットからストアされます。シングルデータ転送ではA0G、A1Gレジスタを独立したレジスタとして取り扱うことができます。A0G、A1Gレジスタにロード、ストアするデータ長は8ビットです。

ワードモードでDSPレジスタをソースレジスタとして使う場合は、A0G、A1G以外のレジスタからデータをストアすると、レジスタの上位ワードが転送されます。A0、A1レジスタの場合は、ガードビットは無視されます。ワードモードで、A0G、A1Gレジスタがソースレジスタの場合は、データは8ビットだけがレジスタからストアされ、上位ビットは符号拡張されます。

ワードモードでデスティネーションレジスタとして使う場合は、A0G、A1Gレジスタを除いたDSPレジスタの上位ワードにロードされます。A0G、A1G以外のレジスタにデータがロードされると、レジスタの下位ワードは0でクリアされます。A0、A1レジスタの場合は、データの符号が拡張されてガードビットに格納され、下位ワードは0でクリアされます。ワードモードで、A0G、A1Gレジスタ

がデスティネーションレジスタの場合は、データは最下位 8 ビットがレジスタにロードされ、A0、A1 レジスタは 0 でクリアされずに、それまでの値を保持します。

ロングワードモードでソースレジスタとして使う場合は、A0G、A1G 以外のレジスタからデータをストアすると、レジスタの 32 ビットが転送されます。A0、A1 レジスタをソースレジスタとして使う場合は、ガードビットは無視されます。ロングワードモードで、A0G、A1G レジスタがソースレジスタの場合は、データは 8 ビットだけがレジスタからストアされ、上位ビットは符号拡張されます。

ロングワードモードでデスティネーションレジスタとして使う場合は、A0G、A1G レジスタを除いた DSP レジスタの 32 ビットにロードされます。A0、A1 レジスタの場合は、データの符号が拡張されてガードビットに格納されます。ロングワードモードで、A0G、A1G レジスタがデスティネーションレジスタの場合は、データは最下位 8 ビットがレジスタにロードされ、A0、A1 レジスタは 0 でクリアされずに、それまでの値を保持します。

DSP 命令でのレジスタ上のデータ形式を表 2.4、表 2.5 に示します。命令によってはアクセスできないレジスタがあります。たとえば、PMULS 命令は、A1 レジスタをソースレジスタに指定できますが、A0 レジスタはできません。詳細は、命令の説明を参照してください。

データ転送時の DSP レジスタとバスとの関係を図 2.8 に示します。

表 2.4 DSP 命令のソースレジスタのデータ形式

レジスタ	命令		ガードビット		レジスタビット			
			39	32	31	16	15	0
A0, A1	DSP 演算	固定小数点、PDMSB、PSHA	40bit データ					
		整数	24bit データ					
		論理、PSHL、PMULS	16bit データ					
	データ転送	MOVX/Y.W、MOVS.W	16bit データ					
		MOVS.L	32bit データ					
A0G、A1G	データ転送	MOVS.W	データ					
		MOVS.L	データ					
X0, X1 Y0, Y1 M0, M1	DSP 演算	固定小数点、PDMSB、PSHA	符号 *	32bit データ				
		整数	符号 *	16bit データ				
		論理、PSHL、PMULS		16bit データ				
	データ転送	MOVS.W		16bit データ				
		MOVS.L		32bit データ				

【注】 * 符号が拡張され ALU のガードビットに格納されます

表 2.5 DSP 命令のデスティネーションレジスタのデータ形式

レジスタ	命令		ガードビット		レジスタビット		
			39	32	31	16	15
A0, A1	DSP 演算	固定小数点、PSHA、PMULS	(符号拡張)		40bit 結果		
		整数、PDMSB	(符号拡張)		24bit 結果	0 クリア	
		論理、PSHL	0 クリア		16bit 結果	0 クリア	
	データ転送	MOVS.W	符号拡張		16bit データ	0 クリア	
MOVS.L		符号拡張		32bit データ			
A0G, A1G	データ転送	MOVS.W	データ		更新せず		
		MOVS.L	データ		更新せず		
X0, X1 Y0, Y1	DSP 演算	固定小数点、PSHA、PMULS			32bit 結果		
		整数、論理、PDMSB、PSHL			16bit 結果	0 クリア	
M0, M1	データ転送	MOVX.W, MOVY.W, MOVS.W			16bit データ	0 クリア	
		MOVS.L			32bit データ		

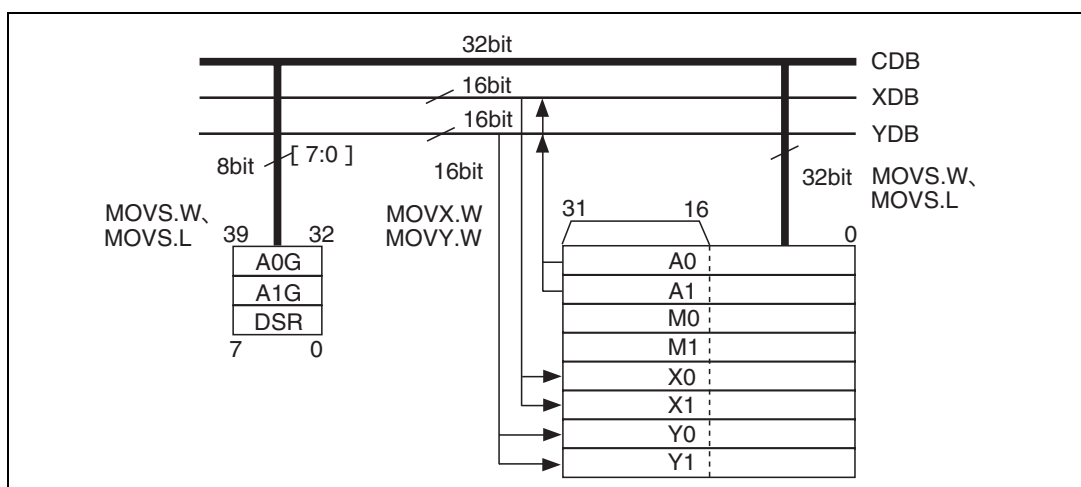


図 2.8 データ転送時の DSP レジスタとバスとの関係

2.3 CPU コア命令の特長

CPU コア命令は RISC 形式の命令です。特長は次のとおりです。

(1) 16ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。60MHz 動作時、1 ステートは 16.7ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算

2. CPU

されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.6 ワードデータの符号拡張

本 LSI の CPU	説明	他の CPU の例
MOV.W @ (disp,PC),R1 ADD R1,R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @ (disp,PC)でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令などは、遅延分岐として実行されます。遅延分岐命令の場合、遅延分岐命令の直後の命令（スロット命令）を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐の分岐動作そのものは、スロット命令実行後に発生します。しかし、分岐動作を除くレジスタの更新などの命令の実行は、遅延分岐命令、遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されているレジスタの内容を変更しても、分岐先アドレスは変更前のレジスタ内容のままです。

表 2.7 遅延分岐命令

本 LSI の CPU	説明	他の CPU の例
BRA TRGET ADD R1,R0	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0 BRA TRGET

(6) 乗算 / 積和演算

16 × 16 → 32 の乗算を 1 ~ 3 ステート、16 × 16 + 64 → 64 の積和演算を 2、3 ステートで実行します。32 × 32 → 64 の乗算や、32 × 32 + 64 → 64 の積和演算を 2 ~ 4 ステートで実行します。

(7) T ビット

比較結果はステータスレジスタ (SR) の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.8 T ビット

本 LSI の CPU	説明	他の CPU の例
CMP/GE R1,R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1,R0
BT TRGET0	R0 R1 のとき TRGET0 へ	BGE TRGET0
BF TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #-1,R0	ADD では T ビットが変化しません。	SUB.W #1,R0
CMP/EQ #0,R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	R0 = 0 のとき分岐します。	

(8) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルはディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で参照します。

表 2.9 イミディエイトデータによる参照

区分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOV.W @(disp,PC),R0DATA.W H'1234	MOV.W #H'1234,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.10 絶対アドレスによる参照

区分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @(disp,PC),R1 MOV.B @R1,R0DATA.L H'12345678	MOV.B @H'12345678,R0

(10) 16 ビット / 32 ビットディスプレイメント

16 ビットまたは 32 ビットディスプレイメントでデータを参照するときは、あらかじめディスプレイメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.11 ディスプレースメントによる参照



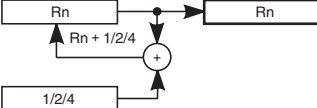
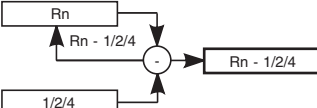
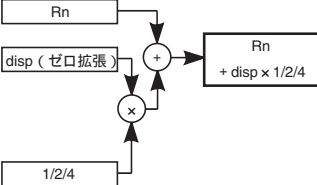
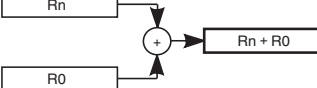
区分	本 LSI の CPU	他の CPU の例
16 ビットディスプレイメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2DATA.W H'1234	MOV.W @(H'1234,R1),R2

2.4 命令形式

2.4.1 CPU 命令のアドレッシングモード

CPU コアで実行される命令のアドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.12 CPU 命令のアドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です (オペランドはレジスタ Rn の内容です)。 	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 → Rn ワード : Rn + 2 → Rn ロングワード : Rn + 4 → Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 → Rn ワード : Rn - 2 → Rn ロングワード : Rn - 4 → Rn (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@ (disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp × 2 ロングワード : Rn + disp × 4
インデックス付き レジスタ間接	@ (R0, Rn)	実効アドレスはレジスタ Rn に R0 を加算した内容です。 	Rn + R0

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレースメント 付き GBR 間接	@(disp:8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>	<p>バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$</p>
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p>	$GBR + R0$
ディスプレースメント 付き PC 相対	@(disp:8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。 さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> <p style="text-align: right;">*ロングワードのとき</p>	<p>ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$</p>

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + disp × 2
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + disp × 2
PC 相対	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	PC + Rn
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

2.4.2 DSP データアドレッシング

DSP 命令では 2 つの異なるメモリアクセスをします。1 つは X、Y データ転送命令 (MOVX.W、MOVY.W) で、もう 1 つはシングルデータ転送命令 (MOV.S.W、MOV.S.L) です。これらの 2 種類の命令のデータアドレッシングは異なります。データ転送命令の概要を表 2.13 に示します。

表 2.13 データ転送命令の概要

	X、Y データ転送処理 (MOVX.W、MOVY.W)	シングルデータ転送処理 (MOV.S.W、MOV.S.L)
アドレスレジスタ	Ax : R4、R5、Ay : R6、R7	As : R2、R3、R4、R5
インデックスレジスタ	Ix : R8、Iy : R9	Is : R8
アドレッシング	Nop/Inc(+2)/インデックス加算： ポスト更新	Nop/Inc(+2,+4)/インデックス加算： ポスト更新
		Dec(-2,-4) : プレ更新
モジュロアドレッシング	可能	不可
データバス	XDB、YDB	CDB
データ長	16bit (ワード)	16bit/32bit (ワード/ロングワード)
バス競合	なし	あり
メモリ	X、Y データメモリ	すべてのメモリ空間
ソースレジスタ	Dx、Dy : A0、A1	Ds : A0/A1、M0/M1、X0/X1、Y0/Y1、A0G、A1G
デスティネーションレジスタ	Dx : X0/X1、Dy : Y0/Y1	Ds : A0/A1、M0/M1、X0/X1、Y0/Y1、A0G、A1G

(1) X、Y データアドレッシング

DSP 命令では MOVX.W、MOVY.W 命令を使って、X、Y データメモリを同時にアクセスすることができます。DSP 命令には同時に X、Y データメモリをアクセスするために 2 つのアドレスポイントがあります。DSP 命令にはポインタアドレッシングだけが可能で、イミディエイトアドレッシングはありません。アドレスレジスタは 2 つに分けられ、R4、R5 レジスタが X メモリのアドレスレジスタ (Ax) となり、R6、R7 レジスタが Y メモリのアドレスレジスタ (Ay) となります。X、Y データ転送命令には次の 3 つのアドレッシングがあります。

(1) 更新なしアドレスレジスタ :

Ax、Ay レジスタがアドレスポイントです。更新されません。

(2) 加算インデックスレジスタ :

Ax、Ay レジスタがアドレスポイントです。データ転送後それぞれ Ix、Iy レジスタの値が加算されます (ポスト更新)。

(3) インクリメントアドレスレジスタ :

Ax、Ay レジスタがアドレスポイントです。データ転送後それぞれ +2 が加算されます (ポスト更新)。

それぞれのアドレスポイントにはインデックスレジスタがあります。R8 レジスタは X メモリアドレスレジスタ (Ax) のインデックスレジスタ (Ix) となり、R9 レジスタは Y メモリアドレスレジスタ (Ay) のインデックスレジスタ (Iy) となります。

X、Y データ転送命令はワードで処理します。X、Y データメモリを 16 ビットでアクセスします。そのためインクリメント処理は、アドレスレジスタに 2 を加えます。デクリメントさせるためには、-2 をインデックスレジスタに設定し加算インデックスレジスタアドレッシングを指定します。X、Y

2. CPU

データアドレッシング時は、アドレスポインタのビット1~15のみ有効となります。X、Yデータアドレッシング時は、アドレスポインタ、インデックスレジスタのビット0には必ず0を書き込んでください。

X、Yデータ転送のアドレッシングを図2.9に示します。X、Yバスを使用してXメモリ、Yメモリへアクセスする場合、Ax (R4またはR5)、Ay (R6またはR7)の上位ワードは無視されます。また、@Ay+、@Ay+Iyの結果は、Ayの下位ワードに格納され、上位ワードは元の値が保持されます。

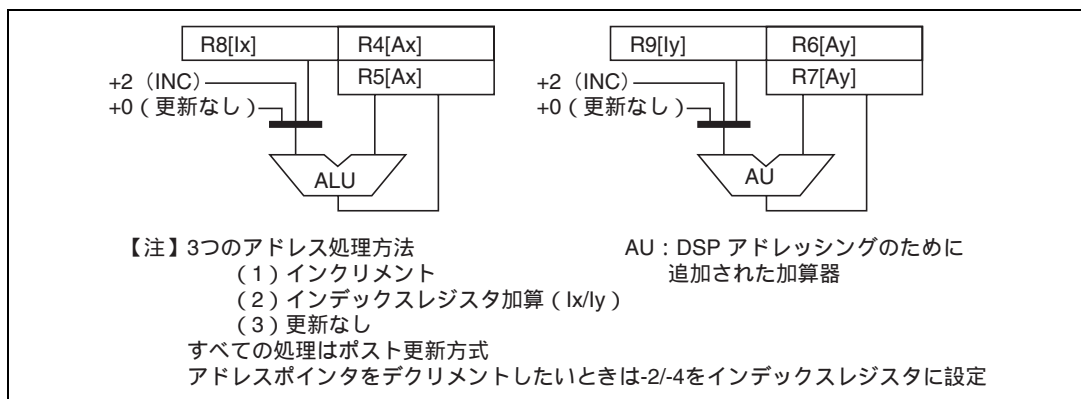


図 2.9 X、Yデータ転送のアドレッシング

(2) シングルデータアドレッシング

DSP 命令にはシングルデータ転送命令 (MOVS.W、MOVS.L) があり、DSP レジスタにデータをロードし、DSP レジスタからデータをストアします。この命令で R2~R5 レジスタはシングルデータ転送のアドレスレジスタ (As) として使われます。

シングルデータ転送命令には次の4つのデータアドレッシング命令があります。

- (1) 更新なしアドレスレジスタ：
Asレジスタがアドレスポインタです。更新されません。
- (2) 加算インデックスレジスタ：
Asレジスタがアドレスポインタです。データ転送後Isレジスタの値が加算されます (ポスト更新)。
- (3) インクリメントアドレスレジスタ：
Asレジスタがアドレスポインタです。データ転送後+2または+4が加算されます (ポスト更新)。
- (4) デクリメントアドレスレジスタ：
Asレジスタがアドレスポインタです。データ転送前に-2、-4が加算 (+2または+4が減算) されます (プレ更新)。

アドレスポインタ (As) は R8 レジスタをインデックスレジスタ (Is) として使います。シングルデータ転送のアドレッシングを図 2.10 に示します。

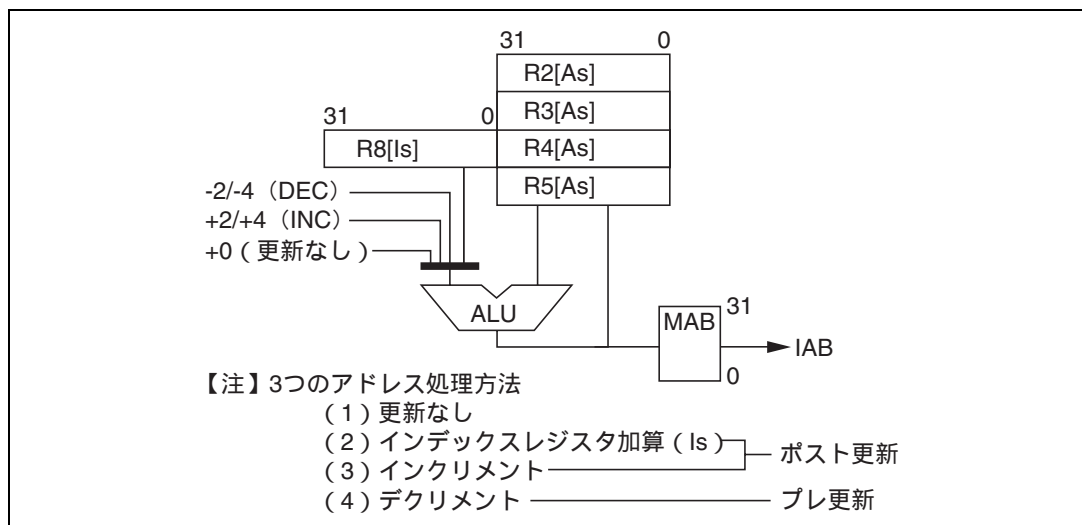


図 2.10 シングルデータ転送のアドレッシング

(3) モジュロアドレッシング

本 LSI には、他の DSP と同じに、モジュロアドレッシングモードがあります。このモードでもアドレスレジスタは同じように更新されます。アドレスポインタの値がすでに設定されたモジュロ終了アドレスになると、アドレスポインタはモジュロ開始アドレスになります。

モジュロアドレッシングは X、Y データ転送命令 (MOVX.W、MOVY.W) にだけ有効です。SR レジスタの DMX ビットをセットすると X アドレスレジスタが、DMY ビットをセットすると Y アドレスレジスタがそれぞれモジュロアドレッシングモードになります。モジュロアドレッシングは X、Y アドレスレジスタどちらかに対してだけ有効です。両方を同時にモジュロアドレッシングモードにすることはできません。したがって、DMX と DMY を同時にセットしないでください。万一同時にセットされた場合には、DMY 側のみ有効となります。

モジュロアドレス領域の開始と終了アドレスを指定するための MOD レジスタがあり、MOD レジスタは MS (Modulo Start: モジュロ開始) と、ME (Modulo End: モジュロ終了) を格納します。MOD レジスタ (MS、ME) の使用例を次に示します。

```
MOV.L ModAddr, Rn; Rn=ModEnd, ModStart
LDC Rn, MOD; ME=ModEnd, MS=ModStart
ModAddr: .DATA.W mEnd; ModEnd
          .DATA.W mStart; ModStart
ModStart: .DATA
          :
ModEnd: .DATA
```

2. CPU

MS、ME には開始、終了アドレスを指定して、その後で DMX または DMY ビットを 1 にセットします。アドレスレジスタの内容が ME と比較されます。もし ME と一致したら、開始アドレス MS をアドレスレジスタに格納します。アドレスレジスタの下位 16 ビットが ME と比較されます。

最大のモジュロサイズは 64K バイトです。これは X、Y データメモリをアクセスするには十分です。モジュロアドレッシングのブロック図を図 2.11 に示します。

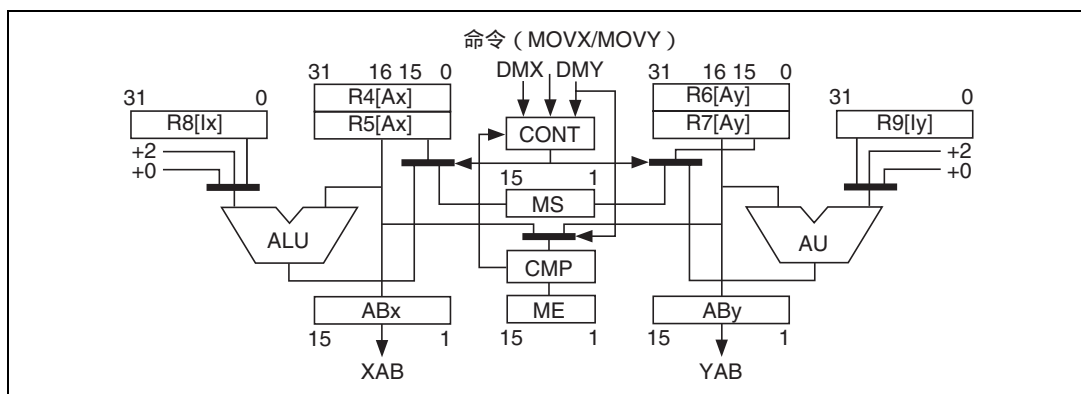


図 2.11 モジュロアドレッシング

モジュロアドレッシングの例を次に示します。

MS = H'C008; ME=H'C00C; R4=H'C008;

DMX=1; DMY=0; (アドレスレジスタ Ax (R4, R5) に対するモジュロアドレッシングの設定です)

以上の設定により R4 レジスタは次のように変化します。

R4: H'C008
 Inc. R4: H'C00A
 Inc. R4: H'C00C
 Inc. R4: H'C008 (モジュロ終了アドレスになったので、モジュロ開始アドレスになります)

モジュロ開始、終了アドレスの上位 16 ビットは同じになるようデータを配置してください。これはモジュロ開始アドレスがアドレスレジスタの下位のビット 0 を除く 15 ビットだけを置き換えるからです。

【注】 DSP データアドレッシングに加算インデックスを使う場合は、アドレスポインタは ME と一致せずにその値を超えてしまうことがあります。この場合は、アドレスポインタはモジュロ開始アドレスには戻りません。モジュロアドレッシングに限らず、X、Y データアドレッシング時は、ビット 0 が無視されます。アドレスポインタ、インデックスレジスタ、MS、ME のビット 0 には必ず 0 を書き込んでください。

(4) DSP アドレッシング動作

モジュールアドレッシングを含めて、パイプラインの実行ステージ (EX) での DSP アドレッシングの動作を次に示します。

```

if ( Operation is MOVX.W MOVY.W ) {
    ABx=Ax; ABy=Ay;
    /* memory access cycle uses ABx and ABy. The addresses to be used have not been updated */

    /* Ax is one of R4,5 */
    if ( DMX==0 || DMX==1 && DMY == 1 ) } Ax=Ax+(+2 or R8[Ix] or +0);
    /* Inc,Index,Not-Update */
    else if (! not-update) Ax=modulo( Ax, (+2 or R8[Ix]) );

    /* Ay is one of R6,7 */
    if ( DMY==0 ) Ay=Ay+(+2 or R9[Iy] or +0); /* Inc,Index,Not-Update */
    else if (! not-update) Ay=modulo( Ay, (+2 or R9[Iy]) );
}
else if ( Operation is MOVS.W or MOVS.L ) {
    if ( Addressing is Nop, Inc, Add-index-reg ) {
        MAB=As;
        /* memory access cycle uses MAB. The address to be used has not been updated */
        /* As is one of R2~5 */
        As=As+(+2 or +4 or R8[Is] or +0); /* Inc,Index,Not-Update */
    else { /* Decrement, Pre-update */
        /* As is one of R2~5 */
        As=As+(-2 or -4);
        MAB=As;
        /* memory access cycle uses MAB. The address to be used has been updated */
    }
}

/* The value to be added to the address register depends on addressing operations.
For example, (+2 or R8[Ix] or +0) means that
    +2                : if operation is increment
    R8[Ix]            : if operation is add-index-reg
    +0                : if operation is not-update
*/

function modulo ( AddrReg, Index ) {
    if ( AddrReg[15:0]==ME ) AddrReg[15:0]==MS;
    else AddrReg=AddrReg+Index;
    return AddrReg;
}

```

2.4.3 CPU 命令の命令形式

CPU コアで実行される命令の命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.14 CPU 命令の命令形式

命令形式		ソースオペランド	デスティネーションオペランド	命令の例
0 形式				NOP
N 形式			nnnn : レジスタ直接	MOV.T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
m 形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接		JMP @Rm
		mmmm : Rm を用いた PC 相対		BRAF Rm
nm 形式		mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメントレ ジスタ間接 nnnn : * ポストインクリメントレ ジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付 きレジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式		mmmmdddd : ディスプレースメント付 きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式		R0 (レジスタ直接)	nnnndddd : ディスプレースメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nmd 形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: 100px; margin: 0 auto;"> xxxx nnnn mmmm dddd </div>	mmmm : レジスタ直接	nnnndddd : ディスプレースメント 付きレジスタ間接	MOV.L Rm, @(disp,Rn)
		mmmmdddd : ディスプレースメント付 きレジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: 100px; margin: 0 auto;"> xxxx xxxx dddd dddd </div>	dddddddd : ディスプレースメント付 き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	dddddddd : ディスプレースメント 付き GBR 間接	MOV.L R0, @(disp,GBR)
		dddddddd : ディスプレースメント付 き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		dddddddd : PC 相対		BF label
d12 形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: 100px; margin: 0 auto;"> xxxx dddd dddd dddd </div>	dddddddddddd : PC 相 対		BRA label (label=disp+PC)
nd8 形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: 100px; margin: 0 auto;"> xxxx nnnn dddd dddd </div>	dddddddd : ディスプレースメント付 き PC 相対	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: 100px; margin: 0 auto;"> xxxx xxxx iiii iiii </div>	iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm, @(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト		TRAPA #imm
ni 形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: 100px; margin: 0 auto;"> xxxx nnnn iiii iiii </div>	iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn

【注】 * 積和命令では nnnn は、ソースレジスタです。

2.4.4 DSP 命令の命令形式

本 LSI にはデジタル信号処理のための新しい命令が追加されています。新しい命令は次の 2 つに分けられます

- (1) メモリと DSP レジスタのダブル、シングルデータ転送命令 (16 ビット長)
- (2) DSP ユニットで処理される並行処理命令 (32 ビット長)

それぞれの命令形式を図 2.12 に示します。

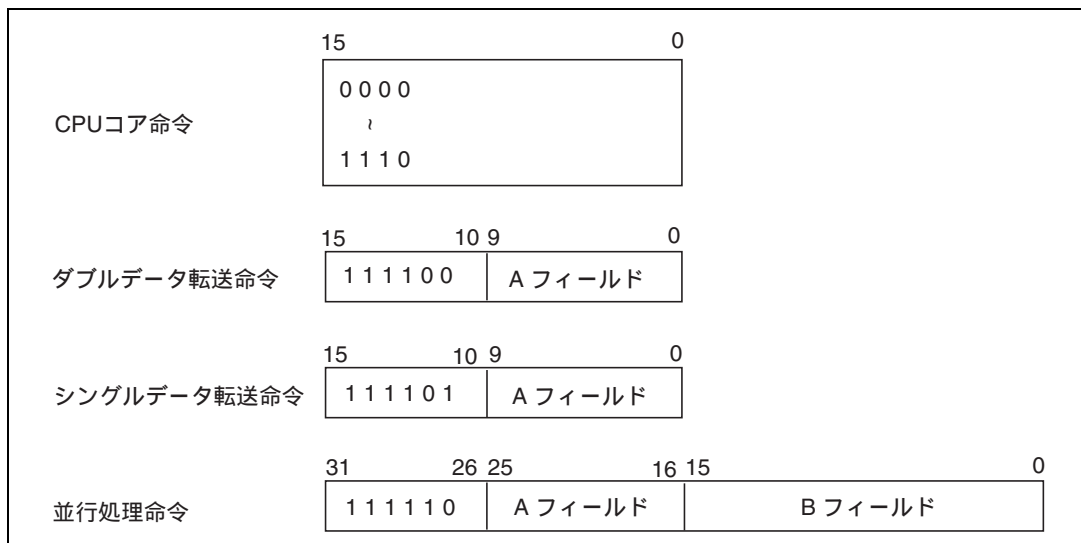


図 2.12 DSP 命令の命令形式

(1) ダブル、シングルデータ転送命令

ダブルデータ転送命令の命令形式を表 2.15 に、シングルデータ転送命令の命令形式を表 2.16 に示します。

表 2.15 ダブルデータ転送の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Xメモリ データ 転送	NOPX	1	1	1	1	0	0	0		0		0		0	0		
	MOVX.W @Ax,Dx							Ax		Dx		0		0	1		
	MOVX.W @Ax+,Dx													1	0		
	MOVX.W @Ax+Ix,Dx													1	1		
	MOVX.W Da,@Ax									Da		1		0	1		
	MOVX.W Da,@Ax+													1	0		
MOVX.W Da,@Ax+Ix													1	1			
Yメモリ データ 転送	NOPY	1	1	1	1	0	0	0		0		0				0	0
	MOVY.W @Ay,Dy								Ay		Dy		0			0	1
	MOVY.W @Ay+,Dy															1	0
	MOVY.W @Ay+Iy,Dy															1	1
	MOVY.W Da,@Ay										Da		1			0	1
	MOVY.W Da,@Ay+															1	0
MOVY.W Da,@Ay+Iy															1	1	

Ax : 0=R4、1=R5 Ay : 0=R6、1=R7 Dx : 0=X0、1=X1 Dy : 0=Y0、1=Y1 Da : 0=A0、1=A1

表 2.16 シングルデータ転送命令の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
シングル データ 転送	MOVS.W @-As,Ds	1	1	1	1	0	1	As		Ds		0:(*)		0	0	0	0
	MOVS.W @As,Ds							0:R4				1:(*)		0	1		
	MOVS.W @As+,Ds							1:R5				2:(*)		1	0		
	MOVS.W @As+Ix,Ds							2:R2				3:(*)		1	1		
	MOVS.W Ds,@-As							3:R3				4:(*)		0	0		1
	MOVS.W Ds,@As											5:A1		0	1		
	MOVS.W Ds,@As+											6:(*)		1	0		
	MOVS.W Ds,@As+Ix											7:A0		1	1		
	MOVS.L @-As,Ds											8:X0		0	0	1	0
	MOVS.L @As,Ds											9:X1		0	1		
	MOVS.L @As+,Ds											A:Y0		1	0		
	MOVS.L @As+Ix,Ds											B:Y1		1	1		
	MOVS.L Ds,@-As											C:M0		0	0		1
	MOVS.L Ds,@As											D:A1G		0	1		
	MOVS.L Ds,@As+											E:M1		1	0		
	MOVS.L Ds,@As+Ix											F:A0G		1	1		

【注】 * システム予約コード

(2) 並列処理命令

並列処理命令は DSP ユニットを使ったデジタル信号処理を効率よく実行するための命令です。32 ビット長で、同時に 4 つの処理、ALU 演算、乗算、2 つのデータ転送ができます。

並列処理命令は A フィールドと B フィールドに分かれています。A フィールドはデータ転送命令を定義し、B フィールドは ALU 演算命令、乗算命令を定義します。これらの命令は独立に定義する

2. CPU

ことができ、処理は独立に、しかも同時に並行して実行されます。A フィールドの並列データ転送命令を表 2.17 に、B フィールドの ALU 演算命令、乗算命令を表 2.18 に示します。

表 2.17 A フィールドの並列データ転送命令

分類	ニーモニック	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
X メモリ データ 転送	NOPX	1	1	1	1	1	0	0	0	0	0	0	0	0	0																			
	MOVX.W @Ax, Dx							Ax		Dx		0																						
	MOVX.W @Ax+, Dx																																	
	MOVX.W @Ax+Ix, Dx																																	
	MOVX.W Da, @Ax										Da		1																					
	MOVX.W Da, @Ax+																																	
MOVX.W Da, @Ax+Ix																																		
Y メモリ データ 転送	NOPY							0		0		0																						
	MOVY.W @Ay, Dy							Ay		Dy		0																						
	MOVY.W @Ay+, Dy																																	
	MOVY.W @Ay+Iy, Dy																																	
	MOVY.W Da, @Ay										Da		1																					
	MOVY.W Da, @Ay+																																	
	MOVY.W Da, @Ay+Iy																																	

【記号説明】

Ax: 0=R4, 1=R5 Ay: 0=R6, 1=R7 Dx: 0=X0, 1=X1 Dy: 0=Y0, 1=Y1 Da: 0=A0, 1=A1

表 2.18 B フィールドの ALU 演算命令、乗算命令

分類	ニーモニック	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Imm. シフト	PSHL #Imm, Dz	1	1	1	1	1	0	Aフィールド											0	0	0	0	0: -16<=<Imm<=<+16								Dz								
	PSHA #Imm, Dz	予約																	0	0	0	1	0: -32<=<Imm<=<+32																
		予約																	0	0	0	1																	
		予約																	0	0	1																		
6オペランド パラレル 命令	PMULS Se, Sf, Dg	予約																	0	1	0	0	Se	Sf	Sx	Sy	Dg	Du											
		予約																	0	1	0	1	0:X0	0:Y0	0:X0	0:Y0	0:M0	0:X0											
	PSUB Sx, Sy, Du	予約																	0	1	1	0	1:X1	1:Y1	1:X1	1:Y1	1:M1	1:Y0											
	PMULS Se, Sf, Dg	予約																	0	1	1	0	2:Y0	2:X0	2:A0	2:M0	2:A0	2:A0											
	PADD Sx, Sy, Du	予約																	0	1	1	1	3:A1	3:A1	3:A1	3:M1	3:A1	3:A1											
	PMULS Se, Sf, Dg	予約																	0	1	1	1	3:A1	3:A1	3:A1	3:M1	3:A1	3:A1											
3オペランド 命令		予約																	1	0	0	0	0	0	0	0	0		Dz										
		予約																	0	1											0:(*1)								
	PSUBC Sx, Sy, Dz	予約																	1	0											1:(*1)								
	PADDC Sx, Sy, Dz	予約																	1	1											2:(*1)								
	PCMP Sx, Sy	予約																	0	0		0	1										3:(*1)						
		予約																	0	1											4:(*1)								
		予約																	1	0											5:A1								
	PABS Sx, Dz	予約																	0	0		1	0										6:(*1)						
	PRND Sx, Dz	予約																	0	1											7:A0								
	PABS Sy, Dz	予約																	1	0											8:X0								
	PRND Sy, Dz	予約																	1	1											9:X1								
		予約																	0	0	1	1											A:Y0						
		予約																	0	1											B:Y1								
		予約																	1	0											C:M0								
		予約																	1	1											D:(*1)								
条件付き 3オペランド 命令	[if cc] PSHL Sx, Sy, Dz	予約																	0	0	0	0	if cc									E:M1							
	[if cc] PSHA Sx, Sy, Dz	予約																	0	1											F:(*1)								
	[if cc] PSUB Sx, Sy, Dz	予約																	1	0																			
	[if cc] PADD Sx, Sy, Dz	予約																	1	1																			
		予約																	0	0	0	1	01: 無条件																
	[if cc] PAND Sx, Sy, Dz	予約																	0	1																			
	[if cc] PXOR Sx, Sy, Dz	予約																	1	0																			
	[if cc] POR Sx, Sy, Dz	予約																	1	1																			
	[if cc] PDEC Sx, Dz	予約																	0	0	1	0	10: DCT																
	[if cc] PINC Sx, Dz	予約																	0	1																			
	[if cc] PDEC Sy, Dz	予約																	1	0																			
	[if cc] PINC Sy, Dz	予約																	1	1																			
	[if cc] PCLR Dz	予約																	0	0	1	1	11: DCF																
	[if cc] PDMSB Sx, Dz	予約																	0	1																			
		予約																	1	0																			
	[if cc] PDMSB Sy, Dz	予約																	1	1	0	0	10: 無条件																
	[if cc] PNEG Sx, Dz	予約																	1	1	0	0	10: DCT																
	[if cc] PCOPY Sx, Dz	予約																	0	1																			
	[if cc] PNEG Sy, Dz	予約																	1	0																			
	[if cc] PCOPY Sy, Dz	予約																	1	1																			
		予約																					00																
	[if cc] PSTS MACH, Dz	予約																	0	0	1	1	if cc																
	[if cc] PSTS MACL, Dz	予約																	0	1																			
	[if cc] PLDS Dz, MACH	予約																	1	0																			
	[if cc] PLDS Dz, MACL	予約																	1	1																			
	(*2) 予約	予約																					00																
	予約	1	1	1	1	1	1												0	*																			

【注】 *1 システム予約コード

*2 [if cc] : DCT (DCビット真)、DCF (DCビット偽) またはなし (無条件命令)。

2.5 命令セット

本 LSI の命令は 3 つに分けることができます。CPU コアで実行される CPU 命令、DSP ユニットで実行される DSP データ転送命令、DSP 演算命令があります。CPU 命令には DSP の機能をサポートするための命令がいくつかあります。命令セットの説明をそれぞれ 3 つに分けて説明します。

2.5.1 CPU 命令の命令セット

CPU 命令を分類別に表 2.19 に示します。

表 2.19 CPU 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実効アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロ－付き符号反転	
		SUB	2 進減算	
		SUBC	ポロ－付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			

分類	命令の種類	オペコード	機能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算のTビットセット	
		XOR	排他的論理和演算	
シフト命令	10	ROTCL	Tビット付き1ビット左回転	14
		ROTCR	Tビット付き1ビット右回転	
		ROTL	1ビット左回転	
		ROTR	1ビット右回転	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T=0で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T=1で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御命令	14	CLRMAC	MACレジスタのクリア	71
		CLRT	Tビットのクリア	
		LDC	コントロールレジスタへのロード	
		LDRE	繰り返し終了レジスタへのロード	
		LDRS	繰り返し開始レジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RTE	例外処理からの復帰	
		SETRC	繰り返し回数の設定	
		SETT	Tビットのセット	
		SLEEP	低消費電力モードへの遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
	計 65			計 182

2. CPU

CPU 命令の命令コード、動作、実行ステートを、以下の形式で分類別に説明します。

命令	命令コード	動作	実行ステート	Tビット
<p>ニーモニックで表示しています。</p> <p>記号の説明</p> <p>OP.Sz SRC、DEST OP：オペコード Sz：サイズ SRC：ソース DEST：デスティネーション</p> <p>Rm： ソースレジスタ Rn： デスティネーションレジスタ imm： イミディエイトデータ disp： ディスプレースメント *2</p>	<p>MSB↔LSB の順で表示しています。</p> <p>記号の説明</p> <p>mmmm： ソースレジスタ nnnn： デスティネーションレジスタ 0000： R0 0001： R1 1111： R15 iiii： イミディエイトデータ dddd： ディスプレースメント</p>	<p>動作の概略を表示しています。</p> <p>記号の説明</p> <p>→、←： 転送方向 (xx)： メモリオペランド M/Q/T： SR 内のフラグビット &： ビットごとの論理積 ： ビットごとの論理和 ^： ビットごとの排他的論理和 ~： ビットごとの論理否定 <<n： 左 n ビットシフト >>n： 右 n ビットシフト</p>	<p>ノーウェイトのときの値です*1。</p>	<p>命令実行後の、Tビットの値を表示しています。</p> <p>記号の説明 ：変化しない</p>

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
 - (2) ロード命令(メモリ→レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合
- などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング(×1、×2、×4)されます。
詳細は「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」を参照してください。

表 2.20 データ転送命令

命令	命令コード	動作	実行 ステート	Tビット
MOV #imm,Rn	1110nnnniiiiiii	imm→符号拡張→Rn	1	
MOV.W @(disp,PC),Rn	1001nnnnddddddd	(disp × 2 + PC)→符号拡張→Rn	1	
MOV.L @(disp,PC),Rn	1101nnnnddddddd	(disp × 4 + PC)→Rn	1	
MOV Rm,Rn	0110nnnnmmmm0011	Rm→Rn	1	
MOV.B Rm,@Rn	0010nnnnmmmm0000	Rm→(Rn)	1	
MOV.W Rm,@Rn	0010nnnnmmmm0001	Rm→(Rn)	1	
MOV.L Rm,@Rn	0010nnnnmmmm0010	Rm→(Rn)	1	
MOV.B @Rm,Rn	0110nnnnmmmm0000	(Rm)→符号拡張→Rn	1	
MOV.W @Rm,Rn	0110nnnnmmmm0001	(Rm)→符号拡張→Rn	1	
MOV.L @Rm,Rn	0110nnnnmmmm0010	(Rm)→Rn	1	
MOV.B Rm,@-Rn	0010nnnnmmmm0100	Rn - 1→Rn, Rm→(Rn)	1	
MOV.W Rm,@-Rn	0010nnnnmmmm0101	Rn - 2→Rn, Rm→(Rn)	1	
MOV.L Rm,@-Rn	0010nnnnmmmm0110	Rn - 4→Rn, Rm→(Rn)	1	
MOV.B @Rm+,Rn	0110nnnnmmmm0100	(Rm)→符号拡張→Rn, Rm + 1→Rm	1	
MOV.W @Rm+,Rn	0110nnnnmmmm0101	(Rm)→符号拡張→Rn, Rm + 2→Rm	1	
MOV.L @Rm+,Rn	0110nnnnmmmm0110	(Rm)→Rn, Rm + 4→Rm	1	
MOV.B R0,@(disp,Rn)	10000000nnnndddd	R0→(disp + Rn)	1	
MOV.W R0,@(disp,Rn)	10000001nnnndddd	R0→(disp × 2 + Rn)	1	
MOV.L Rm,@(disp,Rn)	0001nnnnmmmmdddd	Rm→(disp × 4 + Rn)	1	
MOV.B @(disp,Rm),R0	10000100mmmmdddd	(disp + Rm)→符号拡張→R0	1	
MOV.W @(disp,Rm),R0	10000101mmmmdddd	(disp × 2 + Rm)→符号拡張→R0	1	
MOV.L @(disp,Rm),Rn	0101nnnnmmmmdddd	(disp × 4 + Rm)→Rn	1	
MOV.B Rm,@(R0,Rn)	0000nnnnmmmm0100	Rm→(R0 + Rn)	1	
MOV.W Rm,@(R0,Rn)	0000nnnnmmmm0101	Rm→(R0 + Rn)	1	
MOV.L Rm,@(R0,Rn)	0000nnnnmmmm0110	Rm→(R0 + Rn)	1	
MOV.B @(R0,Rm),Rn	0000nnnnmmmm1100	(R0 + Rm)→符号拡張→Rn	1	
MOV.W @(R0,Rm),Rn	0000nnnnmmmm1101	(R0 + Rm)→符号拡張→Rn	1	
MOV.L @(R0,Rm),Rn	0000nnnnmmmm1110	(R0 + Rm)→Rn	1	
MOV.B R0,@(disp,GBR)	11000000ddddddd	R0→(disp + GBR)	1	
MOV.W R0,@(disp,GBR)	11000001ddddddd	R0→(disp × 2 + GBR)	1	
MOV.L R0,@(disp,GBR)	11000010ddddddd	R0→(disp × 4 + GBR)	1	
MOV.B @(disp,GBR),R0	11000100ddddddd	(disp + GBR)→符号拡張→R0	1	
MOV.W @(disp,GBR),R0	11000101ddddddd	(disp × 2 + GBR)→符号拡張→R0	1	
MOV.L @(disp,GBR),R0	11000110ddddddd	(disp × 4 + GBR)→R0	1	
MOVA @(disp,PC),R0	11000111ddddddd	disp × 4 + PC→R0	1	
MOVT Rn	0000nnnn00101001	T→Rn	1	
SWAP.B Rm,Rn	0110nnnnmmmm1000	Rm→下位 2 バイトの上下バイト交換 →Rn	1	
SWAP.W Rm,Rn	0110nnnnmmmm1001	Rm→上下ワード交換→Rn	1	
XTRCT Rm,Rn	0010nnnnmmmm1101	Rm と Rn の中央 32 ビット→Rn	1	

2. CPU

表 2.21 算術演算命令

命令	命令コード	動作	実行 ステート	Tビット
ADD Rm,Rn	0011nnnnmmmm1100	Rn + Rm → Rn	1	
ADD #imm,Rn	0111nnnniiiiiii	Rn + imm → Rn	1	
ADDC Rm,Rn	0011nnnnmmmm1110	Rn + Rm + T → Rn, キャリ → T	1	キャリ
ADDV Rm,Rn	0011nnnnmmmm1111	Rn + Rm → Rn, オーバフロー → T	1	オーバ フロー
CMP/EQ #imm,R0	10001000iiiiiii	R0 = imm のとき 1 → T	1	比較結果
CMP/EQ Rm,Rn	0011nnnnmmmm0000	Rn = Rm のとき 1 → T	1	比較結果
CMP/HS Rm,Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 → T	1	比較結果
CMP/GE Rm,Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 → T	1	比較結果
CMP/HI Rm,Rn	0011nnnnmmmm0110	無符号で Rn > Rm のとき 1 → T	1	比較結果
CMP/GT Rm,Rn	0011nnnnmmmm0111	有符号で Rn > Rm のとき 1 → T	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1 → T	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn = 0 のとき 1 → T	1	比較結果
CMP/STR Rm,Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 → T	1	比較結果
DIV1 Rm,Rn	0011nnnnmmmm0100	1 ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm,Rn	0010nnnnmmmm0111	Rn の MSB → Q, Rm の MSB → M, M^Q → T	1	計算結果
DIV0U	000000000011001	0 → M/Q/T	1	0
DMULS.L Rm,Rn	0011nnnnmmmm1101	符号付きで Rn × Rm → MACH,MACL 32 × 32 → 64 ビット	2 ~ 4*	
DMULU.L Rm,Rn	0011nnnnmmmm0101	符号なしで Rn × Rm → MACH,MACL 32 × 32 → 64 ビット	2 ~ 4*	
DT Rn	0100nnnn00010000	Rn - 1 → Rn, Rn が 0 のとき 1 → T Rn が 0 以外のとき 0 → T	1	比較結果
EXTS.B Rm,Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 → Rn	1	
EXTS.W Rm,Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 → Rn	1	
EXTU.B Rm,Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 → Rn	1	
EXTU.W Rm,Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 → Rn	1	
MAC.L @Rm+,@Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC → MAC 32 × 32 + 64 → 64 ビット	3/(2 ~ 4)*	
MAC.W @Rm+,@Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC → MAC 16 × 16 + 64 → 64 ビット	3/(2) *	
MUL.L Rm,Rn	0000nnnnmmmm0111	Rn × Rm → MACL 32 × 32 → 32 ビット	2 ~ 4*	
MULS.W Rm,Rn	0010nnnnmmmm1111	符号付きで Rn × Rm → MAC 16 × 16 → 32 ビット	1 ~ 3*	
MULU.W Rm,Rn	0010nnnnmmmm1110	符号なしで Rn × Rm → MAC 16 × 16 → 32 ビット	1 ~ 3*	

命令	命令コード	動作	実行 ステート	Tビット
NEG Rm,Rn	0110nnnnmmmm1011	0 - Rm → Rn	1	
NEGC Rm,Rn	0110nnnnmmmm1010	0 - Rm - T → Rn, ボロー → T	1	ボロー
SUB Rm,Rn	0011nnnnmmmm1000	Rn - Rm → Rn	1	
SUBC Rm,Rn	0011nnnnmmmm1010	Rn - Rm - T → Rn, ボロー → T	1	ボロー
SUBV Rm,Rn	0011nnnnmmmm1011	Rn - Rm → Rn, アンダフロー → T	1	アンダ フロー

【注】 * 通常実行ステートを示します。() 内の値は前後の命令との競合関係による実行ステートです。

表 2.22 論理演算命令

命令	命令コード	動作	実行 ステート	Tビット
AND Rm,Rn	0010nnnnmmmm1001	Rn & Rm → Rn	1	
AND #imm,R0	11001001iiiiiii	R0 & imm → R0	1	
AND.B #imm,@(R0,GBR)	11001101iiiiiii	(R0 + GBR) & imm → (R0 + GBR)	3	
NOT Rm,Rn	0110nnnnmmmm0111	~Rm → Rn	1	
OR Rm,Rn	0010nnnnmmmm1011	Rn Rm → Rn	1	
OR #imm,R0	11001011iiiiiii	R0 imm → R0	1	
OR.B #imm,@(R0,GBR)	11001111iiiiiii	(R0 + GBR) imm → (R0 + GBR)	3	
TAS.B @Rn	0100nnnn00011011	(Rn)が0のとき 1→T, 1→MSB of (Rn)	4	テスト 結果
TST Rm,Rn	0010nnnnmmmm1000	Rn & Rm, 結果が0のとき 1→T	1	テスト 結果
TST #imm,R0	11001000iiiiiii	R0 & imm, 結果が0のとき 1→T	1	テスト 結果
TST.B #imm,@(R0,GBR)	11001100iiiiiii	(R0 + GBR)&imm,結果が0の とき 1→T	3	テスト 結果
XOR Rm,Rn	0010nnnnmmmm1010	Rn ^ Rm → Rn	1	
XOR #imm,R0	11001010iiiiiii	R0 ^ imm → R0	1	
XOR.B #imm,@(R0,GBR)	11001110iiiiiii	(R0 + GBR) ^ imm → (R0 + GBR)	3	

表 2.23 シフト命令

命令	命令コード	動作	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB
ROTR Rn	0100nnnn00000101	LSB→Rn→T	1	LSB
ROTCL Rn	0100nnnn00100100	T←Rn←T	1	MSB
ROTCR Rn	0100nnnn00100101	T→Rn→T	1	LSB
SHAL Rn	0100nnnn00100000	T←Rn←0	1	MSB
SHAR Rn	0100nnnn00100001	MSB→Rn→T	1	LSB
SHLL Rn	0100nnnn00000000	T←Rn←0	1	MSB
SHLR Rn	0100nnnn00000001	0→Rn→T	1	LSB
SHLL2 Rn	0100nnnn00001000	Rn < < 2 → Rn	1	
SHLR2 Rn	0100nnnn00001001	Rn > > 2 → Rn	1	
SHLL8 Rn	0100nnnn00011000	Rn < < 8 → Rn	1	
SHLR8 Rn	0100nnnn00011001	Rn > > 8 → Rn	1	
SHLL16 Rn	0100nnnn00101000	Rn < < 16 → Rn	1	
SHLR16 Rn	0100nnnn00101001	Rn > > 16 → Rn	1	

表 2.24 分岐命令

命令	命令コード	動作	実行 ステート	Tビット
BF label	10001011dddddddd	T = 0 のとき disp × 2 + PC → PC, T = 1 のとき nop	3/1*	
BF/S label	10001111dddddddd	遅延分岐、T = 0 のとき disp × 2 + PC → PC, T = 1 のとき nop	2/1*	
BT label	10001001dddddddd	T = 1 のとき disp × 2 + PC → PC, T = 0 のとき nop	3/1*	
BT/S label	10001101dddddddd	遅延分岐、T = 1 のとき disp × 2 + PC → PC, T = 0 のとき nop	2/1*	
BRA label	1010dddddddddddd	遅延分岐、disp × 2 + PC → PC	2	
BRAF Rm	0000mmmm00100011	遅延分岐、Rm + PC → PC	2	
BSR label	1011dddddddddddd	遅延分岐、PC → PR, disp × 2 + PC → PC	2	
BSRF Rm	0000mmmm00000011	遅延分岐、PC → PR, Rm + PC → PC	2	
JMP @Rm	0100mmmm00101011	遅延分岐、Rm → PC	2	
JSR @Rm	0100mmmm00001011	遅延分岐、PC → PR, Rm → PC	2	
RTS	0000000000001011	遅延分岐、PR → PC	2	

【注】 * 分岐しないときは 1 ステートになります。

表 2.25 システム制御命令

命令	命令コード	動作	実行 ステート	Tビット
CLRMACH	0000000000101000	0→MACH、MACL	1	
CLRT	0000000000001000	0→T	1	0
LDC Rm,SR	0100mmmm00001110	Rm→SR	1	LSB
LDC Rm,GBR	0100mmmm00011110	Rm→GBR	1	
LDC Rm,VBR	0100mmmm00101110	Rm→VBR	1	
LDC Rm,MOD	0100mmmm01011110	Rm→MOD	1	
LDC Rm,RE	0100mmmm01111110	Rm→RE	1	
LDC Rm,RS	0100mmmm01101110	Rm→RS	1	
LDC.L @Rm+,SR	0100mmmm00000111	(Rm)→SR、Rm+4→Rm	3	LSB
LDC.L @Rm+,GBR	0100mmmm00010111	(Rm)→GBR、Rm+4→Rm	3	
LDC.L @Rm+,VBR	0100mmmm00100111	(Rm)→VBR、Rm+4→Rm	3	
LDC.L @Rm+,MOD	0100mmmm01010111	(Rm)→MOD、Rm+4→Rm	3	
LDC.L @Rm+,RE	0100mmmm01110111	(Rm)→RE、Rm+4→Rm	3	
LDC.L @Rm+,RS	0100mmmm01100111	(Rm)→RS、Rm+4→Rm	3	
LDRE @(disp,PC)	10001110ddddddd	disp×2+PC→RE	1	
LDRS @(disp,PC)	10001100ddddddd	disp×2+PC→RS	1	
LDS Rm,MACH	0100mmmm00001010	Rm→MACH	1	
LDS Rm,MACL	0100mmmm00011010	Rm→MACL	1	
LDS Rm,PR	0100mmmm00101010	Rm→PR	1	
LDS Rm,DSR	0100mmmm01101010	Rm→DSR	1	
LDS Rm,A0	0100mmmm01111010	Rm→A0	1	
LDS Rm,X0	0100mmmm10001010	Rm→X0	1	
LDS Rm,X1	0100mmmm10011010	Rm→X1	1	
LDS Rm,Y0	0100mmmm10101010	Rm→Y0	1	
LDS Rm,Y1	0100mmmm10111010	Rm→Y1	1	
LDS.L @Rm+,MACH	0100mmmm00000110	(Rm)→MACH、Rm+4→Rm	1	
LDS.L @Rm+,MACL	0100mmmm00010110	(Rm)→MACL、Rm+4→Rm	1	
LDS.L @Rm+,PR	0100mmmm00100110	(Rm)→PR、Rm+4→Rm	1	
LDS.L @Rm+,DSR	0100mmmm01100110	(Rm)→DSR、Rm+4→Rm	1	
LDS.L @Rm+,A0	0100mmmm01110110	(Rm)→A0、Rm+4→Rm	1	
LDS.L @Rm+,X0	0100mmmm10000110	(Rm)→X0、Rm+4→Rm	1	
LDS.L @Rm+,X1	0100mmmm10010110	(Rm)→X1、Rm+4→Rm	1	
LDS.L @Rm+,Y0	0100mmmm10100110	(Rm)→Y0、Rm+4→Rm	1	
LDS.L @Rm+,Y1	0100mmmm10110110	(Rm)→Y1、Rm+4→Rm	1	
NOP	0000000000001001	無操作	1	
RTE	0000000000101011	遅延分岐、スタック領域→PC/SR	4	LSB
SETRC Rm	0100mmmm00010100	RE - RS の演算結果 (リポート状態) →RF1、RF0 Rm[11:0]→RC (SR[27:16])	1	

2. CPU

命令	命令コード	動作	実行 ステート	Tビット
SETRC	#imm	10000010iiiiiii RE - RS の演算結果 (リピート状態) →RF1、RF0 imm→RC(SR[23:16])、 zeros→SR[27:24]	1	1
SETT		0000000000011000 1→T	1	1
SLEEP		0000000000011011 スリープ	3*	
STC	SR,Rn	0000nnnn0000010 SR→Rn	1	
STC	GBR,Rn	0000nnnn00010010 GBR→Rn	1	
STC	VBR,Rn	0000nnnn00100010 VBR→Rn	1	
STC	MOD,Rn	0000nnnn01001010 MOD→Rn	1	
STC	RE,Rn	0000nnnn01110010 RE→Rn	1	
STC	RS,Rn	0000nnnn01100010 RS→Rn	1	
STC.L	SR,@-Rn	0100nnnn00000011 Rn-4→Rn、SR→(Rn)	2	
STC.L	GBR,@-Rn	0100nnnn00010011 Rn-4→Rn、GBR→(Rn)	2	
STC.L	VBR,@-Rn	0100nnnn00100011 Rn-4→Rn、VBR→(Rn)	2	
STC.L	MOD,@-Rn	0100nnnn01001011 Rn - 4→Rn、MOD→(Rn)	2	
STC.L	RE,@-Rn	0100nnnn01110011 Rn - 4→Rn、RE→(Rn)	2	
STC.L	RS,@-Rn	0100nnnn01100011 Rn - 4→Rn、RS→(Rn)	2	
STS	MACH,Rn	0000nnnn00001010 MACH→Rn	1	
STS	MACL,Rn	0000nnnn00011010 MACL→Rn	1	
STS	PR,Rn	0000nnnn00101010 PR→Rn	1	
STS	DSR,Rn	0000nnnn01101010 DSR→Rn	1	
STS	A0,Rn	0000nnnn01111010 A0→Rn	1	
STS	X0,Rn	0000nnnn10001010 X0→Rn	1	
STS	X1,Rn	0000nnnn10011010 X1→Rn	1	
STS	Y0,Rn	0000nnnn10101010 Y0→Rn	1	
STS	Y1,Rn	0000nnnn10111010 Y1→Rn	1	
STS.L	MACH,@-Rn	0100nnnn00000010 Rn-4→Rn、MACH→(Rn)	1	
STS.L	MACL,@-Rn	0100nnnn00010010 Rn-4→Rn、MACL→(Rn)	1	
STS.L	PR,@-Rn	0100nnnn00100010 Rn-4→Rn、PR→(Rn)	1	
STS.L	DSR,@-Rn	0100nnnn01100010 Rn - 4→Rn、DSR→(Rn)	1	
STS.L	A0,@-Rn	0100nnnn01110010 Rn - 4→Rn、A0→(Rn)	1	
STS.L	X0,@-Rn	0100nnnn10000010 Rn - 4→Rn、X0→(Rn)	1	
STS.L	X1,@-Rn	0100nnnn10010010 Rn - 4→Rn、X1→(Rn)	1	
STS.L	Y0,@-Rn	0100nnnn10100010 Rn - 4→Rn、Y0→(Rn)	1	
STS.L	Y1,@-Rn	0100nnnn10110010 Rn - 4→Rn、Y1→(Rn)	1	
TRAPA	#imm	11000011iiiiiii PC/SR→スタック領域、 (imm × 4+VBR)→PC	8	

【注】 * スリープ状態に移移するまでのステート数です。

[注意事項]

- 命令の実行ステートについて
表に示した実行ステートは最少値です。実際は、
(1) 命令フェッチとデータアクセスの競合が起こる場合

- (2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合
- (3) 分岐命令の分岐先アドレスが $4n+2$ 番地
- (4) 命令フェッチ先、あるいはデータアクセス先のサイクル数（詳細は「8.4 アクセスサイクル数（HD64F7065A、HD6437065A）」を参照してください）。
などの条件により、命令実行ステート数は増加します。

(1) DSP 機能をサポートする CPU 命令

DSP 機能をサポートするために CPU コア命令にいくつかのシステム制御命令が追加されました。繰り返し制御、モジュロアドレッシングをサポートする RS、RE、MOD レジスタが追加され、ステータスレジスタ (SR) にはリピータカウンタ (RC) が追加されました。これらにアクセスするため、LDC、STC 命令が追加されました。さらに DSP レジスタの DSR、A0、X0、X1、Y0、Y1 レジスタにアクセスするために、LDS、STS 命令が追加されました。

SR レジスタのリピータカウンタ (RC、ビット 27~16) およびリピータフラグ (RF1、RF0、ビット 3、2) に値を設定する SETRC 命令が追加されました。SETRC 命令のオペランドがイミディエイトのときは、8 ビットのイミディエイトデータが SR のビット 23~16 に格納され、ビット 27~24 は 0 にクリアされます。オペランドがレジスタのときは、レジスタのビット 11~0 の 12 ビットが SR のビット 27~16 に格納されます。さらに、RS、RE の設定値から、1 命令リピータ (00)、2 命令リピータ (01)、3 命令リピータ (11)、4 命令以上 (10) のいずれかの状態がセットされます。

繰り返し開始アドレス、繰り返し終了アドレスを RS、RE レジスタに設定する命令には、LDC 命令のほかに、LDRS、LDRE 命令を追加しました。

追加された命令を表 2.26 に示します。

表 2.26 追加された CPU 命令

命令	命令コード	動作	実行 状態	Tビット
LDC Rm,MOD	0100mnmnm01011110	Rm→MOD	1	
LDC Rm,RE	0100mnmnm01111110	Rm→RE	1	
LDC Rm,RS	0100mnmnm01101110	Rm→RS	1	
LDC.L @Rm+,MOD	0100mnmnm01010111	(Rm)→MOD、Rm + 4→Rm	3	
LDC.L @Rm+,RE	0100mnmnm01110111	(Rm)→RE、Rm + 4→Rm	3	
LDC.L @Rm+,RS	0100mnmnm01100111	(Rm)→RS、Rm + 4→Rm	3	
STC MOD,Rn	0000nrmnm01010010	MOD→Rn	1	
STC RE,Rn	0000nrmnm01110010	RE→Rn	1	
STC RS,Rn	0000nrmnm01100010	RS→Rn	1	
STC.L MOD,@-Rn	0100nrmnm01010011	Rn - 4→Rn、MOD→(Rn)	2	
STC.L RE,@-Rn	0100nrmnm01110011	Rn - 4→Rn、RE→(Rn)	2	
STC.L RS,@-Rn	0100nrmnm01100011	Rn - 4→Rn、RS→(Rn)	2	
LDS Rm,DSR	0100mnmnm01101010	Rm→DSR	1	
LDS.L @Rm+,DSR	0100mnmnm01100110	(Rm)→DSR、Rm + 4→Rm	1	
LDS Rm,A0	0100mnmnm01111010	Rm→A0	1	
LDS.L @Rm+,A0	0100mnmnm01110110	(Rm)→A0、Rm + 4→Rm	1	
LDS Rm,X0	0100mnmnm10001010	Rm→X0	1	
LDS.L @Rm+,X0	0100mnmnm10000110	(Rm)→X0、Rm + 4→Rm	1	
LDS Rm,X1	0100mnmnm10011010	Rm→X1	1	
LDS.L @Rm+,X1	0100mnmnm10010110	(Rm)→X1、Rm + 4→Rm	1	
LDS Rm,Y0	0100mnmnm10101010	Rm→Y0	1	
LDS.L @Rm+,Y0	0100mnmnm10100110	(Rm)→Y0、Rm + 4→Rm	1	
LDS Rm,Y1	0100mnmnm10111010	Rm→Y1	1	
LDS.L @Rm+,Y1	0100mnmnm10110110	(Rm)→Y1、Rm + 4→Rm	1	
STS DSR,Rn	0000nrmnm01101010	DSR→Rn	1	
STS.L DSR,@-Rn	0100nrmnm01100010	Rn - 4→Rn、DSR→(Rn)	1	
STS A0,Rn	0000nrmnm01111010	A0→Rn	1	
STS.L A0,@-Rn	0100nrmnm01110010	Rn - 4→Rn、A0→(Rn)	1	
STS X0,Rn	0000nrmnm10001010	X0→Rn	1	
STS.L X0,@-Rn	0100nrmnm10000010	Rn - 4→Rn、X0→(Rn)	1	
STS X1,Rn	0000nrmnm10011010	X1→Rn	1	
STS.L X1,@-Rn	0100nrmnm10010010	Rn - 4→Rn、X1→(Rn)	1	
STS Y0,Rn	0000nrmnm10101010	Y0→Rn	1	
STS.L Y0,@-Rn	0100nrmnm10100010	Rn - 4→Rn、Y0→(Rn)	1	
STS Y1,Rn	0000nrmnm10111010	Y1→Rn	1	
STS.L Y1,@-Rn	0100nrmnm10110010	Rn - 4→Rn、Y1→(Rn)	1	
SETRC Rm	0100mnmnm00010100	Rm[11:0]→RC (SR[27:16])	1	
SETRC #imm	10000010iiiiiii	imm→RC(SR[23:16]),0→SR[27:24]	1	
LDRS @(disp,PC)	10001110ddddddd	disp × 2+PC→RS	1	
LDRE @(disp,PC)	10001110ddddddd	disp × 2+PC→RE	1	

2.5.2 DSP データ転送命令の命令セット

DSP データ転送命令を分類別に表 2.27 に示します。

表 2.27 DSP データ転送命令の分類

分類	命令の種類	オペコード	機能	命令数
ダブルデータ転送命令	4	NOPX	X メモリ無操作	14
		MOVX	X メモリデータ転送	
		NOPY	Y メモリ無操作	
		MOVY	Y メモリデータ転送	
シングルデータ転送命令	1	MOVVS	シングルデータ転送	16
	計 5			計 30

データ転送命令は 2 つのグループに分けられます。ダブルデータ転送とシングルデータ転送です。ダブルデータ転送は DSP 演算命令と組み合わせて、DSP 並行処理命令することができます。並行処理命令は 32 ビット長で、A フィールドにダブルデータ転送命令が組み込まれます。並行処理命令でないダブルデータ転送とシングルデータ転送命令は 16 ビット長です。

ダブルデータ転送では X メモリと Y メモリを同時に並行してアクセスできます。それぞれ X、Y メモリデータアクセスから一つずつ命令を指定します。Ax ポインタは X メモリをアクセスするために使い、Ay ポインタは Y メモリをアクセスするために使います。ダブルデータ転送は X、Y メモリだけをアクセスできます。

シングルデータ転送はこのエリアからでもアクセスできます。シングルデータ転送では Ax ポインタとその他の 2 つのポインタを As ポインタとして使います。

表 2.28 ダブルデータ転送命令 (X メモリデータ)

命令	動作	命令コード	実行 ステート	DC ビット
NOPX	無操作	1111000*0*0*00**	1	
MOVX.W @Ax,Dx	(Ax)→MSW of Dx、0→LSW of Dx	111100A*D*0*01**	1	
MOVX.W @Ax+,Dx	(Ax)→MSW of Dx、0→LSW of Dx、 Ax + 2→Ax	111100A*D*0*10**	1	
MOVX.W @Ax+lx,Dx	(Ax)→MSW of Dx、0→LSW of Dx、 Ax + lx→Ax	111100A*D*0*11**	1	
MOVX.W Da,@Ax	MSW of Da→(Ax)	111100A*D*1*01**	1	
MOVX.W Da,@Ax+	MSW of Da→(Ax)、Ax + 2→Ax	111100A*D*1*10**	1	
MOVX.W Da,@Ax+lx	MSW of Da→(Ax)、Ax + lx→Ax	111100A*D*1*11**	1	

表 2.29 ダブルデータ転送命令 (Yメモリデータ)

命令	動作	命令コード	実行 ステート	DC ビット
NOPY	無操作	111100*0*0*0**00	1	
MOVY.W @Ay,Dy	(Ay)→MSW of Dy、0→LSW of Dy	111100*A*D*0**01	1	
MOVY.W @Ay+,Dy	(Ay)→MSW of Dy、0→LSW of Dy、 Ay + 2→Ay	111100*A*D*0**10	1	
MOVY.W @Ay+ly,Dy	(Ay)→MSW of Dy、0→LSW of Dy、 Ay + ly→Ay	111100*A*D*0**11	1	
MOVY.W Da,@Ay	MSW of Da→(Ay)	111100*A*D*1**01	1	
MOVY.W Da,@Ay+	MSW of Da→(Ay)、Ay + 2→Ay	111100*A*D*1**10	1	
MOVY.W Da,@Ay+ly	MSW of Da→(Ay)、Ay + ly→Ay	111100*A*D*1**11	1	

表 2.30 シングルデータ転送命令

命令	動作	命令コード	実行 ステート	DC ビット
MOVS.W @-As,Ds	As - 2→As、(As)→MSW of Ds、 0→LSW of Ds	111101AADDDD0000	1	
MOVS.W @As,Ds	(As)→MSW of Ds、0→LSW of Ds	111101AADDDD0100	1	
MOVS.W @As+,Ds	(As)→MSW of Ds、0→LSW of Ds、 As + 2→As	111101AADDDD1000	1	
MOVS.W @As+lx,Ds	(As)→MSW of Ds、0→LSW of Ds、 As + lx→As	111101AADDDD1100	1	
MOVS.W Ds,@-As	As - 2→As、MSW of Ds→(As)*	111101AADDDD0001	1	
MOVS.W Ds,@As	MSW of Ds→(As)*	111101AADDDD0101	1	
MOVS.W Ds,@As+	MSW of Ds→(As)*、As + 2→As	111101AADDDD1001	1	
MOVS.W Ds,@As+ls	MSW of Ds→(As)*、As + ls→As	111101AADDDD1101	1	
MOVS.L @-As,Ds	As - 4→As、(As)→Ds	111101AADDDD0010	1	
MOVS.L @As,Ds	(As)→Ds	111101AADDDD0110	1	
MOVS.L @As+,Ds	(As)→Ds、As + 4→As	111101AADDDD1010	1	
MOVS.L @As+ls,Ds	(As)→Ds、As + ls→As	111101AADDDD1110	1	
MOVS.L Ds,@-As	As - 4→As、Ds→(As)*	111101AADDDD0011	1	
MOVS.L Ds,@As	Ds→(As)*	111101AADDDD0111	1	
MOVS.L Ds,@As+	Ds→(As)*、As + 4→As	111101AADDDD1011	1	
MOVS.L Ds,@As+ls	Ds→(As)*、As + ls→As	111101AADDDD1111	1	

【注】 * ソースオペランド Ds にガードビットレジスタ A0G、A1G を指定した場合は、データは 符号拡張され、転送されます。

DSP データ転送のオペランドとレジスタとの対応を表 2.31 に示します。CPU コアのレジスタはメモリアドレスを示すポインタアドレスとして使われます。

表 2.31 DSP データ転送のオペランドとレジスタとの対応

オペランド	SH (CPU コア) レジスタ									
	R0	R1	R2(As2)	R3(As3)	R4(Ax0, As0)	R5(Ax1, As1)	R6(Ay0)	R7(Ay1)	R8(Ix,Is)	R9(Iy)
Ax										
Ix, (Is)										
Dx										
Ay										
Iy										
Dy										
Da										
As										
Ds										

オペランド	DSP レジスタ									
	X0	X1	Y0	Y1	M0	M1	A0	A1	A0G	A1G
Ax										
Ix, (Is)										
Dx										
Ay										
Iy										
Dy										
Da										
As										
Ds										

【注】 : 設定可能なレジスタ

2.5.3 DSP 演算命令の命令セット

DSP 演算命令は DSP ユニットで処理されるデジタル信号処理の命令です。これらの命令は 32 ビット長の命令コードで、複数の命令を並列に実行します。命令コードは A フィールド、B フィールドの 2 つに分かれており、A フィールドにはパラレルデータ転送命令を指定し、B フィールドにはシングルまたはダブルデータ演算命令を指定します。命令は独立して指定することができ、実行も独立に実行されます。A フィールドに指定するパラレルデータ転送命令はダブルデータ転送命令と全く同じです。

B フィールドのデータ演算命令は 3 つに分かれています。ダブルデータ演算命令、条件付きシングルデータ演算命令、無条件シングルデータ演算命令の 3 つです。DSP 演算命令の命令形式を表 2.32 に示します。それぞれのオペランドは独立に DSP レジスタから選べます。DSP 演算命令のオペランドとレジスタの対応を表 2.33 に示します。

表 2.32 DSP 演算命令の命令形式

分類		命令形式	命令
ダブルデータ演算命令 (6 オペランド)		ALUop. Sx, Sy, Du MLTop. Se, Sf, Dg	PADD PMULS, PSUB PMULS
条件付き シングルデータ 演算命令	3 オペランド	ALUop. Sx, Sy, Dz DCT ALUop. Sx, Sy, Dz DCF ALUop. Sx, Sy, Dz	PADD, PAND, POR, PSHA, PSHL, PSUB, PXOR
	2 オペランド	ALUop. Sx, Dz DCT ALUop. Sx, Dz DCF ALUop. Sx, Dz ALUop. Sy, Dz DCT ALUop. Sy, Dz DCF ALUop. Sy, Dz	PCOPY, PDEC, PDMSB, PINC, PLDS, PSTS, PNEG
	1 オペランド	ALUop. Dz DCT ALUop. Dz DCF ALUop. Dz	PCLR
無条件 シングルデータ 演算命令	3 オペランド	ALUop. Sx, Sy, Du MLTop. Se, Sf, Dg	PADDC, PSUBC, PMULS
	2 オペランド	ALUop. Sx, Dz ALUop. Sy, Dz	PCMP, PABS, PRND
	1 オペランド	ALUop. Dz	PSHA #imm, PSHL #imm

表 2.33 DSP 命令のオペランドとレジスタの対応

レジスタ	ALU、BPU 命令				乗算命令		
	Sx	Sy	Dz	Du	Se	Sf	Dg
A0							
A1							
M0							
M1							
X0							
X1							
Y0							
Y1							

【注】 : 設定可能なレジスタ

並行命令を書くときは最初に B フィールドの命令を書いて、次に A フィールドの命令を書きます。並行処理プログラム例を図 2.13 に示します。

PADD A0, M0, A0	PMULS X0, Y0, M0	MOVX.W @R4+, X0	MOVY.W @R6+, Y0 [;]
DCF PINC X1, A1		MOVX.W A0, @R5+R8	MOVY.W @R7+, Y0 [;]
PCMP X1, M0		MOVX.W @R4	[NOPY] [;]

図 2.13 並行処理プログラム例

ここで [] は省略可能を意味します。無操作命令 NOPX、NOPY は省略できます。; は命令行の区切りですが、省略できます。区切り; を使うときはその後ろをコメント欄として使うことができます。

DSR レジスタの各状態コード (DC、N、Z、V、GT) は無条件の ALU 演算命令、シフト演算命令で常に更新されます。条件付き命令は条件が成立した場合でも状態コードを更新しません。乗算命令も状態コードを更新しません。DC ビットの定義は、DSR レジスタの CS ビットの指定によって決まります。

2. CPU

DSP 演算命令を分類別に表 2.34 に示します。

表 2.34 DSP 演算命令の分類

分類		命令の種類	オペコード	機能	命令数
A L U 算 術 演 算 命 令	ALU 固定小数点演算命令	11	PABS	絶対値演算	28
			PADD	加算	
			PADD	加算と符号付き乗算	
			PMULS		
			PADDC	キャリ付き加算	
			PCLR	クリア	
			PCMP	比較	
			PCOPY	コピー	
			PNEG	符号反転	
			PSUB	減算	
			PSUB	減算と符号付き乗算	
	PMULS				
	PSUBC	ボロー付き減算			
	ALU 整数演算命令	2	PDEC	デクリメント	12
			PINC	インクリメント	
	MSB 検出命令	1	PDMSB	MSB 検出	6
	丸め演算命令	1	PRND	丸め演算	2
ALU 論理演算命令		3	PAND	論理積演算	9
			POR	論理和演算	
			PXOR	排他的論理和演算	
固定小数点乗算命令		1	PMULS	符号付き乗算	1
シ フ ト	算術シフト演算命令	1	PSHA	算術シフト	4
	論理シフト演算命令	1	PSHL	論理シフト	4
システム制御命令		2	PLDS	システムレジスタのロード	12
			PSTS	システムレジスタからのストア	
		計 23			計 78

(1) ALU 算術演算命令

表 2.35 ALU 固定小数点演算命令

命令	動作	命令コード	実行 ステート	DC ビット
PABS Sx,Dz	もし Sx = 0 ならば Sx→Dz もし Sx < 0 ならば 0 - Sx→Dz	111110***** 10001000xx00zzzz	1	更新
PABS Sy,Dz	もし Sy = 0 ならば Sy→Dz もし Sy < 0 ならば 0 - Sy→Dz	111110***** 1010100000yyzzzz	1	更新
PADD Sx,Sy,Dz	Sx + Sy→Dz	111110***** 10110001xxyyzzzz	1	更新
DCT PADD Sx,Sy,Dz	もし DC = 1 ならば Sx + Sy→Dz もし 0 ならば nop	111110***** 10110010xxyyzzzz	1	
DCF PADD Sx,Sy,Dz	もし DC = 0 ならば Sx + Sy→Dz もし 1 ならば nop	111110***** 10110011xxyyzzzz	1	
PADD Sx,Sy,Du PMULS Se,Sf,Dg	Sx + Sy→Du Se の上位ワード × Sf の上位ワード →Dg	111110***** 0111eefxxyygguu	1	更新
PADDC Sx,Sy,Dz	Sx + Sy + DC→Dz	111110***** 10110000xxyyzzzz	1	更新
PCLR Dz	H'00000000→Dz	111110***** 100011010000zzzz	1	更新
DCT PCLR Dz	もし DC = 1 ならば H'00000000→Dz もし 0 ならば nop	111110***** 100011100000zzzz	1	
DCF PCLR Dz	もし DC = 0 ならば H'00000000→Dz もし 1 ならば nop	111110***** 100011110000zzzz	1	
PCMP Sx,Sy	Sx - Sy	111110***** 10000100xxyy0000	1	更新
PCOPY Sx,Dz	Sx→Dz	111110***** 11011001xx00zzzz	1	更新
PCOPY Sy,Dz	Sy→Dz	111110***** 1111100100yyzzzz	1	更新
DCT PCOPY Sx,Dz	もし DC = 1 ならば Sx→Dz もし 0 ならば nop	111110***** 11011010xx00zzzz	1	
DCT PCOPY Sy,Dz	もし DC = 1 ならば Sy→Dz もし 0 ならば nop	111110***** 1111101000yyzzzz	1	
DCF PCOPY Sx,Dz	もし DC = 0 ならば Sx→Dz もし 1 ならば nop	111110***** 11011011xx00zzzz	1	
DCF PCOPY Sy,Dz	もし DC = 0 ならば Sy→Dz もし 1 ならば nop	111110***** 1111101100yyzzzz	1	
PNEG Sx,Dz	0 - Sx→Dz	111110***** 11001001xx00zzzz	1	更新
PNEG Sy,Dz	0 - Sy→Dz	111110***** 1110100100yyzzzz	1	更新

2. CPU

命令	動作	命令コード	実行 ステート	DC ビット
DCT PNEG Sx,Dz	もし DC = 1 ならば 0 - Sx → Dz もし 0 ならば nop	111110***** 11001010xx00zzzz	1	
DCT PNEG Sy,Dz	もし DC = 1 ならば 0 - Sy → Dz もし 0 ならば、 nop	111110***** 1110101000yyzzzz	1	
DCF PNEG Sx,Dz	もし DC = 0 ならば 0 - Sx → Dz もし 1 ならば nop	111110***** 11001011xx00zzzz	1	
DCF PNEG Sy,Dz	もし DC = 0 ならば 0 - Sy → Dz もし 1 ならば nop	111110***** 1110101100yyzzzz	1	
PSUB Sx,Sy,Dz	Sx - Sy → Dz	111110***** 10100001xxyyzzzz	1	更新
DCT PSUB Sx,Sy,Dz	もし DC = 1 ならば Sx - Sy → Dz もし 0 ならば nop	111110***** 10100010xxyyzzzz	1	
DCF PSUB Sx,Sy,Dz	もし DC = 0 ならば Sx - Sy → Dz もし 1 ならば nop	111110***** 10100011xxyyzzzz	1	
PSUB Sx,Sy,Du PMULS Se,Sf,Dg	Sx - Sy → Du Se の上位ワード × Sf の上位ワード → Dg	111110***** 0110eefxxyygguu	1	更新
PSUBC Sx,Sy,Dz	Sx - Sy - DC → Dz	111110***** 10100000xxyyzzzz	1	更新

表 2.36 ALU 整数演算命令

命令	動作	命令コード	実行 ステート	DC ビット
PDEC Sx,Dz	Sx の上位ワード - 1→Dz の上位ワード Dz の下位ワードをクリア	111110***** 10001001xx00zzzz	1	更新
PDEC Sy,Dz	Sy の上位ワード - 1→Dz の上位ワード Dz の下位ワードをクリア	111110***** 1010100100yyzzzz	1	更新
DCT PDEC Sx,Dz	もし DC = 1 ならば Sx の上位ワード - 1→Dz の上位ワード、 Dz の下位ワードクリア もし 0 ならば nop	111110***** 10001010xx00zzzz	1	
DCT PDEC Sy,Dz	もし DC = 1 ならば Sy の上位ワード - 1→Dz の上位ワード、 Dz の下位ワードクリア もし 0 ならば nop	111110***** 1010101000yyzzzz	1	
DCF PDEC Sx,Dz	もし DC = 0 ならば Sx の上位ワード - 1→Dz の上位ワード、 Dz の下位ワードクリア もし 1 ならば nop	111110***** 10001011xx00zzzz	1	
DCF PDEC Sy,Dz	もし DC = 0 ならば Sy の上位ワード - 1→Dz の上位ワード、 Dz の下位ワードクリア もし 1 ならば nop	111110***** 1010101100yyzzzz	1	
PINC Sx,Dz	Sx の上位ワード + 1→Dz の上位ワード Dz の下位ワードクリア	111110***** 10011001xx00zzzz	1	更新
PINC Sy,Dz	Sy の上位ワード + 1→Dz の上位ワード Dz の下位ワードクリア	111110***** 1011100100yyzzzz	1	更新
DCT PINC Sx,Dz	もし DC = 1 ならば Sx の上位ワード + 1→Dz の上位ワード、 Dz の下位ワードクリア もし 0 ならば nop	111110***** 10011010xx00zzzz	1	
DCT PINC Sy,Dz	もし DC = 1 ならば Sy の上位ワード + 1→Dz の上位ワード、 Dz の下位ワードクリア もし 0 ならば nop	111110***** 1011101000yyzzzz	1	
DCF PINC Sx,Dz	もし DC = 0 ならば Sx の上位ワード + 1→Dz の上位ワード、 Dz の下位ワードクリア もし 1 ならば nop	111110***** 10011011xx00zzzz	1	
DCF PINC Sy,Dz	もし DC = 0 ならば Sy の上位ワード + 1→Dz の上位ワード、 Dz の下位ワードクリア もし 1 ならば nop	111110***** 1011101100yyzzzz	1	

2. CPU

表 2.37 MSB 検出命令

命令	動作	命令コード	実行 ステート	DC ビット
PDMSB Sx,Dz	Sx データの MSB 位置→Dz の上位ワード、 Dz の下位ワードクリア	111110***** 10011101xx00zzzz	1	更新
PDMSB Sy,Dz	Sy データの MSB 位置→Dz の上位ワード、 Dz の下位ワードクリア	111110***** 1011110100yyzzzz	1	更新
DCT PDMSB Sx,Dz	もし DC = 1 ならば Sx データの MSB 位置→Dz の上位ワード、 Dz の下位ワードクリア もし 0 ならば nop	111110***** 10011110xx00zzzz	1	
DCT PDMSB Sy,Dz	もし DC = 1 ならば Sy データの MSB 位置→Dz の上位ワード、 Dz の下位ワードクリア もし 0 ならば nop	111110***** 1011111000yyzzzz	1	
DCF PDMSB Sx,Dz	もし DC = 0 ならば Sx データの MSB 位置→Dz の上位ワード、 Dz の下位ワードクリア もし 1 ならば nop	111110***** 10011111xx00zzzz	1	
DCF PDMSB Sy,Dz	もし DC = 0 ならば Sy データの MSB 位置→Dz の上位ワード、 Dz の下位ワードクリア もし 1 ならば nop	111110***** 1011111100yyzzzz	1	

表 2.38 丸め演算命令

命令	動作	命令コード	実行 ステート	DC ビット
PRND Sx,Dz	Sx + H'00008000→Dz Dz の下位ワードクリア	111110***** 10011000xx00zzzz	1	更新
PRND Sy,Dz	Sy + H'00008000→Dz Dz の下位ワードクリア	111110***** 1011100000yyzzzz	1	更新

(2) ALU 論理演算命令

表 2.39 ALU 論理演算命令

命令	動作	命令コード	実行 ステート	DC ビット
PAND Sx,Sy,Dz	Sx & Sy → Dz Dz の下位ワードクリア	111110***** 10010101xxyyzzzz	1	更新
DCT PAND Sx,Sy,Dz	もし DC = 1 ならば Sx&Sy → Dz Dz の下位ワードクリア もし 0 ならば nop	111110***** 10010110xxyyzzzz	1	
DCF PAND Sx,Sy,Dz	もし DC = 0 ならば Sx&Sy → Dz Dz の下位ワードクリア もし 1 ならば nop	111110***** 10010111xxyyzzzz	1	
POR Sx,Sy,Dz	Sx Sy → Dz Dz の下位ワードクリア	111110***** 10110101xxyyzzzz	1	更新
DCT POR Sx,Sy,Dz	もし DC = 1 ならば Sx Sy → Dz Dz の下位ワードクリア もし 0 ならば nop	111110***** 10110110xxyyzzzz	1	
DCF POR Sx,Sy,Dz	もし DC = 0 ならば Sx Sy → Dz Dz の下位ワードクリア もし 1 ならば nop	111110***** 10110111xxyyzzzz	1	
PXOR Sx,Sy,Dz	Sx ^ Sy → Dz Dz の下位ワードクリア	111110***** 10100101xxyyzzzz	1	更新
DCT PXOR Sx,Sy,Dz	もし DC = 1 ならば Sx^Sy → Dz Dz の下位ワードクリア もし 0 ならば nop	111110***** 10100110xxyyzzzz	1	
DCF PXOR Sx,Sy,Dz	もし DC = 0 ならば Sx^Sy → Dz Dz の下位ワードクリア もし 1 ならば nop	111110***** 10100111xxyyzzzz	1	

(3) 固定小数点乗算命令

表 2.40 固定小数点乗算命令

命令	動作	命令コード	実行 ステート	DC ビット
PMULS Se,Sf,Dg	Se の上位ワード × Sf の上位ワード → Dg	111110***** 0100eef0000gg00	1	

2. CPU

(4) シフト演算命令

表 2.41 算術シフト演算命令

命令	動作	命令コード	実行 ステート	DC ビット
PSHA Sx,Sy,Dz	もし Sy = 0 ならば Sx < < Sy → Dz もし Sy < 0 ならば Sx > > Sy → Dz	111110***** 10010001xxyyzzzz	1	更新
DCT PSHA Sx,Sy,Dz	もし DC = 1 & Sy = 0 ならば Sx < < Sy → Dz もし DC = 1 & Sy < 0 ならば Sx > > Sy → Dz もし DC = 0 ならば nop	111110***** 10010010xxyyzzzz	1	
DCF PSHA Sx,Sy,Dz	もし DC = 0 & Sy = 0 ならば Sx < < Sy → Dz もし DC = 0 & Sy < 0 ならば Sx > > Sy → Dz もし DC = 1 ならば nop	111110***** 10010011xxyyzzzz	1	
PSHA #imm,Dz	もし imm = 0 ならば Dz < < imm → Dz もし imm < 0 ならば Dz > > imm → Dz	111110***** 00010iiiiiiizzzz	1	更新

表 2.42 論理シフト演算命令

命令	動作	命令コード	実行 ステート	DC ビット
PSHL Sx,Sy,Dz	もし Sy = 0 ならば Sx < < Sy → Dz, Dz の下位ワードクリア もし Sy < 0 ならば Sx > > Sy → Dz, Dz の下位ワードクリア	111110***** 10000001xxyyzzzz	1	更新
DCT PSHL Sx,Sy,Dz	もし DC = 1 & Sy = 0 ならば Sx < < Sy → Dz, Dz の下位ワードクリア もし DC = 1 & Sy < 0 ならば Sx > > Sy → Dz, Dz の下位ワードクリア もし DC = 0 ならば nop	111110***** 10000010xxyyzzzz	1	
DCF PSHL Sx,Sy,Dz	もし DC = 0 & Sy = 0 ならば Sx < < Sy → Dz, Dz の下位ワードクリア もし DC = 0 & Sy < 0 ならば Sx > > Sy → Dz, Dz の下位ワードクリア もし DC = 1 ならば nop	111110***** 10000011xxyyzzzz	1	
PSHL #imm,Dz	もし imm = 0 ならば Dz < < imm → Dz, Dz の下位ワードクリア もし imm < 0 ならば Dz > > imm → Dz, Dz の下位ワードクリア	111110***** 00000iiiiiiizzzz	1	更新

(5) システム制御命令

表 2.43 システム制御命令

命令	動作	命令コード	実行 ステート	DC ビット
PLDS Dz,MACH	Dz→MACH	111110***** 111011010000zzzz	1	
PLDS Dz,MACL	Dz→MACL	111110***** 111111010000zzzz	1	
DCT PLDS Dz,MACH	もし DC = 1 ならば Dz→MACH もし 0 ならば nop	111110***** 111011100000zzzz	1	
DCT PLDS Dz,MACL	もし DC = 1 ならば Dz→MACL もし 0 ならば nop	111110***** 111111100000zzzz	1	
DCF PLDS Dz,MACH	もし DC = 0 ならば Dz→MACH もし 1 ならば nop	111110***** 111011110000zzzz	1	
DCF PLDS Dz,MACL	もし DC = 0 ならば Dz→MACL もし 1 ならば nop	111110***** 111111110000zzzz	1	
PSTS MACH,Dz	MACH→Dz	111110***** 110011010000zzzz	1	
PSTS MACL,Dz	MACL→Dz	111110***** 110111010000zzzz	1	
DCT PSTS MACH,Dz	もし DC = 1 ならば MACH→Dz もし 0 ならば nop	111110***** 110011100000zzzz	1	
DCT PSTS MACL,Dz	もし DC = 1 ならば MACL→Dz もし 0 ならば nop	111110***** 110111100000zzzz	1	
DCF PSTS MACH,Dz	もし DC = 0 ならば MACH→Dz もし 1 ならば nop	111110***** 110011110000zzzz	1	
DCF PSTS MACL,Dz	もし DC = 0 ならば MACL→Dz もし 1 ならば nop	111110***** 110111110000zzzz	1	

2. CPU

(6) NOPX と NOPY の命令コード

DSP 演算命令と同時に並行処理されるデータ転送命令がないときは、データ転送命令に NOPX、NOPY 命令を書くかあるいは命令を省略することもできます。NOPX、NOPY 命令を書いても省略しても命令コードは同じです。NOPX と NOPY の命令コードの例を表 2.44 に示します。

表 2.44 NOPX と NOPY の命令コードの例

命令	コード
PADD X0, Y0, A0 MOVX.W @R4+, X0 MOVY.W @R6+R9, Y0	1111100000001011 1011000100000111
PADD X0, Y0, A0 NOPX MOVY.W @R6+R9, Y0	1111100000000011 1011000100000111
PADD X0, Y0, A0 NOPX NOPY	1111100000000000 1011000100000111
PADD X0, Y0, A0 NOPX	1111100000000000 1011000100000111
PADD X0, Y0, A0	1111100000000000 1011000100000111
MOVX.W @R4+, X0 MOVY.W @R6+R9, Y0	1111000000001011
MOVX.W @R4+, X0 NOPY	1111000000001000
MOVS.W @R4+, X0	1111010010001000
NOPX MOVY.W @R6+R9, Y0	1111000000000011
MOVY.W @R6+R9, Y0	1111000000000011
NOPX NOPY	1111000000000000
NOP	000000000001001

2.6 使用上の注意

CPU 命令の倍精度乗算 (MUL.L/DMULU.L/DMULS.L) または倍精度積和乗算 (MAC.L) と、DSP 演算命令を組み合わせて実行する場合、誤動作する場合があります。

(1) 発生条件

下記 (a)、(b) の条件が同時に成立した場合に、(b) の に記述されている命令が誤動作する場合があります。

- (a) 内蔵X/Yメモリから命令を実行
- (b) 下記命令列を の順に実行

倍精度乗算 (MUL.L/DMULU.L/DMULS.L) または倍精度積和乗算 (MAC.L)

(PMULS、PSTS、PLDS) 以外のDSP演算命令*

PMULS、PSTS、PLDSのいずれかの命令

上記 (b) の は、実行に複数サイクルかかります。このため、実行中に同じリソースを使用する (b) の のような命令が実行された場合、実行中の演算動作が終了するまで の実行開始が抑止されます。 の命令は の命令と相関関係がありませんので命令は実行されますが、その後 の命令の実行抑止動作によって の命令を正しく実行終了できない場合が生じます。なお の命令が存在せず の命令の直後に の命令が連続して記述されている場合は、問題なく正常に実行されます。

また、上記 (b) は内蔵ROMおよび外部メモリから命令を実行する場合は、問題なく正常に動作します。なお、上記 (b) の の直前に遅延分岐命令があり、(b) の の命令が遅延スロットに入っていて、(b) の が分岐先で記述されている場合も該当します。

【注】* PMULS、PSTS、PLDS 以外の DSP 演算命令とは、以下の命令を指します。

PABS、PADD、PADDC、PAND、PCLR、PCMP、PCOPY、PDEC、PDMSB、PINC、PNEG、POR、PRND、PSHA、PSHL、PSUB、PSUBC、PXOR

(2) プログラム上の回避方法

本制限事項を回避するためには、以下の ~ のどれかを実施してください。

上記条件 (b) 命令列を内蔵X/Yメモリ上で実行しないでください。

上記条件 (b) 命令列が命令コード上に存在していて、 と の命令を入れ替えても問題ない場合は、 と の命令を入れ替えてください。

上記条件 (b) 命令列が命令コード上に存在していて、命令順を入れ替えると問題のある場合は、命令 と の間にNOP命令もしくは乗算器に関係しないCPU命令を1つ以上挿入してください。

3. 動作モード

3.1 動作モードの種類と選択

本 LSI には 10 種類の動作モードがあります。モード端子 (MD5 ~ MD0) の設定により、LSI は決められたモードで動作します。モード端子は LSI 動作中 (電源印加中) には、変化させないでください。

表 3.1 に動作モードの設定方法を示します。

表 3.1 動作モードの設定

動作 モード番号	モード名	端子設定							内蔵 ROM	CS0 バス幅 (ビット)	
		FWE	MD5	MD4	MD3	MD2	MD1* ¹	MD0			
0	シングルチップモード	0	クロックモードの 選択に使用します				0	0	0	有効	
1	MCU モード 1	0					0	0	1	有効	8/16/32
2	MCU モード 2	0					0	1	0	無効	32
3	MCU モード 3	0					0	1	1	無効	16
4	MCU モード 4	0					1	0	0	無効	8
F0* ²	ユーザプログラムモード (シングルチップ)	1					0	0	0	有効	
F1* ²	ユーザプログラムモード	1					0	0	1	有効	8/16/32
F2* ²	ブートモード (シングルチップ)	1					0	1	0	有効	
F3* ²	ブートモード	1					0	1	1	有効	8/16/32
F7* ²	PROM モード (ライターモード)	*					1	1	1	有効	
上記以外	予約 (設定しないでください)										

【注】 * : 0 または 1

*1 F-ZTAT 版では、パワーオンリセット中に MD1 を変化させることは可能です。

*2 F0 ~ F7 は F-ZTAT 版のみ使用できます。

3. 動作モード

モード端子 (MD5 ~ 3) の組み合わせとクロック動作モードの関係を表 3.2 に示します。

表 3.2 クロック動作モードの設定

モード 番号	端子設定			クロック入出力		PLL 回路 1	PLL 回路 2	CKIO 端子 初期 状態	CK 端子 初期 状態	クロック比初期値 (入力クロックを 1 とした場合)					FRQCR レジスタ 初期値
	MD5	MD4	MD3	供給源	出力					CKM	CKP	CKE	CKIO	CK	
0	0	0	0	EXTAL、 または 水晶発振 子	CKIO、CK	ON	ON	出力	出力	×1	×1	×1	×2	×1	H'00AA
1	0	0	1			(×2)	(×2)	出力	出力	×4	×2	×2	×2	×2	H'0045
2	0	1	0			ON	ON	出力	出力	×1	×1	×1	×4	×1	H'00AA
3	0	1	1			(×1)	(×4)	出力	出力	×4	×2	×4	×4	×2	H'0044
4	1	0	0			OFF	ON	Hi-Z	出力	×1	×1	×1	×4	×1	H'40AA
5	1	0	1		(×4)			×4	×2	×2	×4	×2	H'4045		
6	1	1	0	CKIO	CK	ON	OFF	入力	出力	×2	×1	×1	×1	×1	H'4045
7	1	1	1			(×2)				(×1)	出力	出力	×1	×1	×1

3.1.1 各動作モードの説明

(1) モード 0 (シングルチップモード)

シングルチップモードでは、どのポートも使用できますが、外部アドレスは使用できません。

(2) モード 1 (MCU モード 1)

モード 1 では、内蔵 ROM が有効となります。内蔵 ROM 空間でのバス幅は 32 ビットです。

(3) モード 2 (MCU モード 2)

モード 2 では、CS0 空間のバス幅が 32 ビットの外部メモリ空間になります。

(4) モード 3 (MCU モード 3)

モード 3 では、CS0 空間のバス幅が 16 ビットの外部メモリ空間になります。

(5) モード 4 (MCU モード 4)

モード 4 では、CS0 空間のバス幅が 8 ビットの外部メモリ空間になります。

(6) モード F0、モード F1 (ユーザプログラムモード)

ユーザプログラムモードでは、オンボードで内蔵フラッシュメモリの書き込み / 消去 / ベリファイを行うことができます。詳細は「第 19 章 256KB フラッシュメモリ (F-ZTAT)」を参照してください。

(7) モード F2、モード F3 (ブートモード)

ブートモードでは、オンボードで内蔵フラッシュメモリの書き込み / 消去 / ベリファイを行うことができます。詳細は「第 19 章 256KB フラッシュメモリ (F-ZTAT)」を参照してください。

(8) モード F7 (PROM (ライター) モード)

PROM (ライター) モードでは、ルネサス推奨の PROM ライタを使って内蔵フラッシュメモリへプログラムすることができます。詳細は「第 19 章 256KB フラッシュメモリ (F-ZTAT)」を参照してください。

3.1.2 端子構成

動作モードに関係した各端子の機能を表 3.3 に示します。

表 3.3 端子の機能

端子名	入出力	機能
MD0	入力	この端子に印加するレベルで動作モードを指定
MD1	入力	この端子に印加するレベルで動作モードを指定
MD2	入力	この端子に印加するレベルで動作モードを指定
MD3	入力	この端子に印加するレベルでクロックモードを指定
MD4	入力	この端子に印加するレベルでクロックモードを指定
MD5	入力	この端子に印加するレベルでクロックモードを指定
FWE	入力	内蔵フラッシュメモリ書き込み / 消去のハードウェアプロテクト用端子です。マスク ROM 品では本端子は Vss となります。

3.1.3 レジスタ構成

動作モードに関係したレジスタの構成を表 3.4 に示します。

表 3.4 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
モードステータスレジスタ	MSR	R		H'FFFF1020	8、16、32
モードコントロールレジスタ	MODECR	R/W	H'001C	H'FFFF102A	8、16、32

3. 動作モード

3.2 レジスタの説明

3.2.1 モードステータスレジスタ (MSR)

モードステータスレジスタ (MSR) は、動作モードの状態監視を行います。

MSR レジスタは、読み出しのみ可能な 16 ビットのレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	MD5	MD4	MD3	MD2	MD1	MD0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット 15~6 : 予約ビット

読み出すと常に不定値が読み出されます。

ビット 5~0 : モード (MD5~MD0)

パワーオンリセット時のモード端子の状態を示します。

ビット 5~0 MD5~MD0	説明
0 または 1	モード端子の状態を示します。

3.2.2 モードコントロールレジスタ (MODECR)

モードコントロールレジスタ (MODECR) は、内蔵 ROM アクセスモードの設定を行います。

MODECR レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'001C に初期化されますが、スタンバイモード時は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	ROM MD	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット 15~5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：ROM アクセスモード（ROMMD）

内蔵ROMのアクセスモードを設定します。通常は高速モードでご使用ください。

詳細は「8.4 アクセスサイクル数（HD64F7065A、HD6437065A）（3）内蔵ROM」を参照してください。

ビット4	説 明
ROMMD	
0	内蔵 ROM を高速モードでアクセスします。
1	内蔵 ROM を低速モードでアクセスします。 (初期値)

ビット3、2：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット1、0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

3. 動作モード

4. クロック発振器 (CPG) と低消費電力モード

4.1 概要

本 LSI は、クロック発振器 (CPG: Clock Pulse Generator) を内蔵しており、内部に供給するクロックの生成と低消費電力モードの制御を行います。

低消費電力モードでは、内蔵周辺モジュール、CPU もしくはすべての機能の動作が停止します。また、動作中においても各モジュールへ供給されるクロックの分周率を選択することができます。これによって、消費電力を低減させることができます。

4.1.1 特長

CPG には、次の特長があります。

- 8 種類のクロックモード
使用する周波数範囲、消費電力、水晶発振子使用か外部クロック入力かによって、8 種類のクロックモードから選択できます。
- 3 種類のクロック
CPU などを使用するマスタクロック (CKM) と、周辺モジュールで使用する周辺クロック (CKP)、外部バスインタフェースで使用する外部バスクロック (CKE) を独立に生成できます。
- 周波数変更機能
CPG 内部の PLL (Phase Locked Loop) 回路や分周回路により、マスタクロックと周辺クロック、外部バスクロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

低消費電力モードには、次のようなモード、機能があります。

- 低消費電力モードの制御
スリープモード、ソフトウェアスタンバイモード・ハードウェアスタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールへのクロック停止、モジュールクロック分周機能での特定モジュールへのクロック周波数の分周が可能です。

4. クロック発振器 (CPG) と低消費電力モード

4.1.2 ブロック図

CPGのブロック図を図4.1に示します。

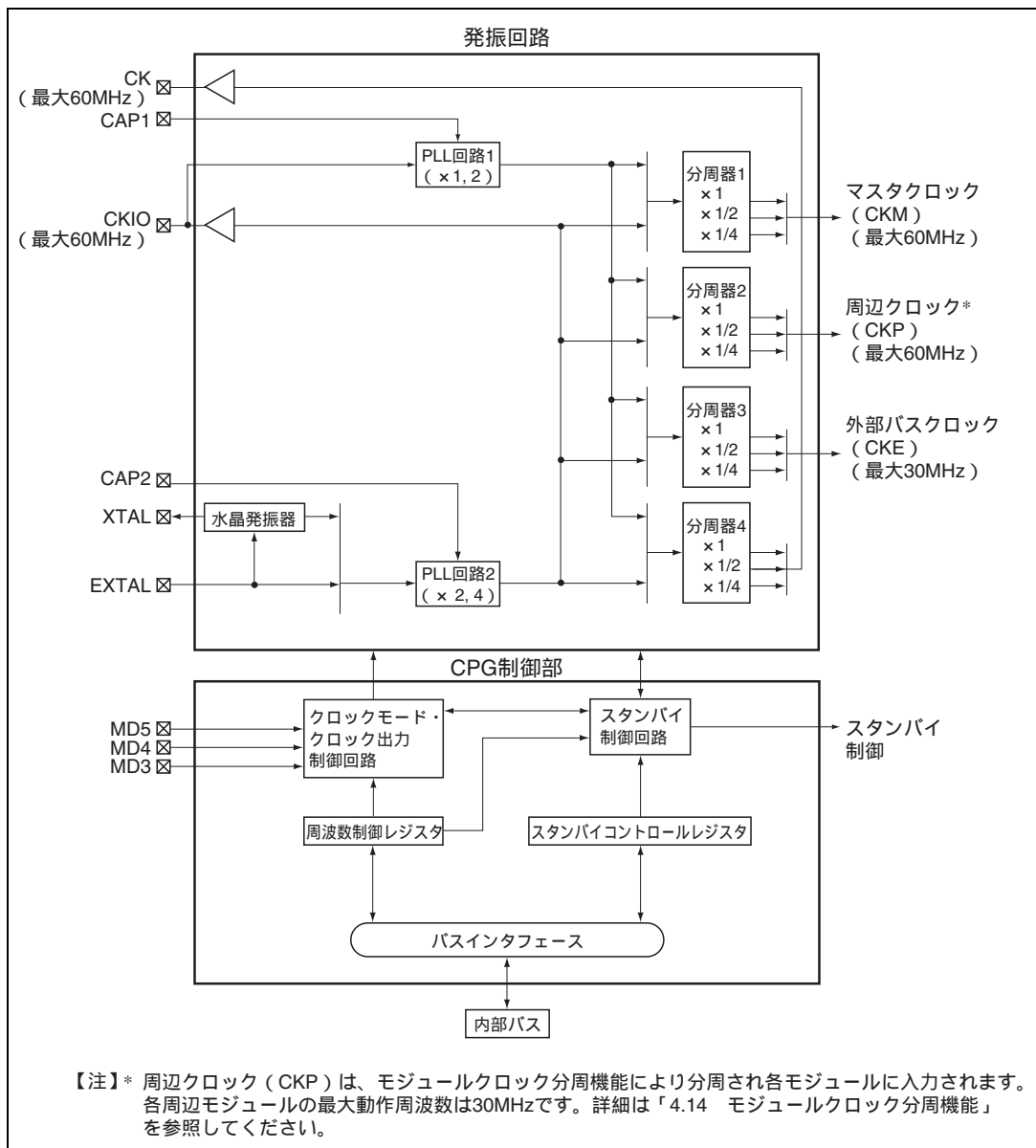


図4.1 CPGのブロック図

CPG の各ブロックは次のように機能します。

(1) PLL回路1

PLL回路1は、CKIO端子、およびPLL回路2からのクロック周波数を1倍または2倍に逡倍する機能を持ちます。このとき、外部バスクロック (CKE) の立ち上がりエッジの位相は、CKIO端子の立ち上がりエッジの位相に一致するように制御されます。逡倍率はクロック動作モードにより決まります。

(2) PLL回路2

PLL回路2は、水晶発振器、またはEXTAL端子からの入力クロック周波数を2倍または4倍に逡倍する機能を持ちます。逡倍率はクロック動作モードにより決まります。

(3) 水晶発振器

XTAL、EXTALに水晶発振子を接続して使用する場合の発振回路です。水晶発振器はクロック動作モードの設定により使用可能となります。

(4) 分周器1

分周器1は、マスタクロック (CKM) を生成する機能を持ちます。マスタクロック (CKM) の動作周波数は、クロックモードにより入力クロックに対して4倍、2倍、1倍、1/2倍、1/4倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

(5) 分周器2

分周器2は、周辺クロック (CKP) を生成する機能を持ちます。周辺クロック (CKP) の動作周波数は、クロックモードにより入力クロックに対して4倍、2倍、1倍、1/2倍、1/4倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

(6) 分周器3

分周器3は、外部バスクロック (CKE) を生成する機能を持ちます。外部バスクロック (CKE) の動作周波数は、クロックモードにより入力クロックに対して4倍、2倍、1倍、1/2倍、1/4倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

(7) 分周器4

分周器4は、外部クロック出力 (CK) を生成する機能を持ちます。外部クロック出力 (CK) の動作周波数は、クロックモードにより入力クロックに対して4倍、2倍、1倍、1/2倍、1/4倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

(8) クロックモード・クロック出力制御回路

クロックモード・クロック出力制御回路は、周波数制御レジスタによりクロック動作モード、CK/CKIO端子からのクロック出力を制御します。

(9) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時やスリープ/スタンバイモード時の内蔵発振回路および他のモジュールの状態を制御します。

4. クロック発振器 (CPG) と低消費電力モード

(10) 周波数制御レジスタ

周波数制御レジスタには、CK/CKIO端子からのクロック出力の有無、マスタクロック、周辺クロック、外部バスクロック、クロック出力の周波数分周率の各制御ビットが割り当てられています。

(11) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。

4.1.3 端子構成

CPGの端子構成と機能を表4.1に示します。

表 4.1 端子構成と機能

名称	略称	入出力	機能
モード制御端子	MD5 ~ MD3	入力	クロック動作モードを設定します。
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。
	EXTAL	入力	水晶発振子を接続します。 または外部クロック入力端子としても使用します。
クロック入出力端子	CKIO	入出力	外部クロック入力、または外部クロック出力端子として使用します。出力時はハイインピーダンスにすることもできます。
	CK	出力	外部クロック出力端子として使用します。ハイインピーダンスにすることもできます。
PLL 用容量接続端子	CAP1	入力	PLL 回路 1 動作用の容量 (推奨値 470pF) を接続します。
	CAP2	入力	PLL 回路 2 動作用の容量 (推奨値 470pF) を接続します。

4.1.4 レジスタ構成

CPGのレジスタ構成を表4.2に示します。

表 4.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
周波数制御レジスタ	FRQCR	R/W	クロックモードにより 異なります	H'FFFF 1028	8、16、32

4.2 クロック動作モード

モード制御端子 (MD5 ~ 3) の組み合わせとクロック動作モードの関係を表 4.3 に示します。

表 4.3 クロック動作モードの設定

モード 番号	端子設定			クロック入出力		PLL 回路 1	PLL 回路 2	CKIO 端子 初期 状態	CK 端子 初期 状態	クロック比初期値 (入力クロック を 1 とした場合)					FRQCR レジスタ 初期値
	MD5	MD4	MD3	供給源	出力					CKM ^{*1}	CKP ^{*2}	CKE ^{*3}	CKIO	CK	
0	0	0	0	EXTAL、 または 水晶発振 子	CKIO、 CK	ON	ON	出力	出力	×1	×1	×1	×2	×1	H'00AA
1	0	0	1			ON (×2)	ON (×2)			×4	×2	×2	×2	×2	H'0045
2	0	1	0			ON (×1)	ON (×4)	出力	出力	×1	×1	×1	×4	×1	H'00AA
3	0	1	1			OFF	ON (×4)	Hi-Z	出力	×1	×1	×1	×4	×1	H'40AA
4	1	0	0			×4	×2	×2	×4	×2	H'4045				
5	1	0	1	CKIO	CK	ON (×2)	OFF	入力	出力	×2	×1	×1	×1	×1	H'4045
6	1	1	0			ON (×1)				×1	×1	×1	×1	×1	H'4000
7	1	1	1												

- 【注】 *1 マスタクロック
*2 周辺クロック
*3 外部バスクロック

(1) モード 0、1 :

EXTAL 端子から外部クロックを入力、もしくは水晶発振子を接続し、PLL 回路 1 と PLL 回路 2 が動作します。周波数逡倍率は PLL 回路 1、PLL 回路 2 とともに ×2 固定です。

周波数制御レジスタ (FRQCR) の設定により CKE クロックを ×2 にした場合、CKIO 端子からは CKE クロックと同位相のクロックを出力します。CKE クロックを ×4 に設定した場合、CKIO 出力の切り替わりが CKE クロックの立ち上がり一致します。CKE クロックを ×1 に設定した場合、CKIO 出力の立ち上がりは CKE クロックの切り替わりに一致します。

CK 端子からは、FRQCR で設定された周波数のクロック (位相合わせは行いません) を出力します。

FRQCR の設定により、CK 端子を Hi-Z にすることが可能です。

(2) モード 2、3 :

EXTAL 端子から外部クロックを入力、もしくは水晶発振子を接続し、PLL 回路 1 と PLL 回路 2 が動作します。周波数逡倍率は PLL 回路 1 が ×1、PLL 回路 2 が ×4 固定です。

周波数制御レジスタ (FRQCR) の設定により CKE クロックを ×4 にした場合、CKIO 端子からは CKE クロックと同位相のクロックを出力します。CKE クロックを ×1、×2 に設定した場合、CKIO 端子の立ち上がりは CKE クロックの切り替わりに一致します。

CK 端子からは、FRQCR で設定された周波数のクロック (位相合わせは行いません) を出力します。

FRQCR の設定により、CK 端子を Hi-Z にすることが可能です。

4. クロック発振器 (CPG) と低消費電力モード

(3) モード 4、5 :

EXTAL 端子から外部クロックを入力、または水晶発振子を接続し、PLL 回路 2 が動作します。周波数逡倍率は $\times 4$ 固定です。

CKIO 端子は Hi-Z です。PLL 回路 1 は常時停止するため、位相合わせは行いません。

CK 端子からは、FRQCR で設定された周波数のクロック (位相合わせは行いません) を出力します。

FRQCR の設定により、CK 端子を Hi-Z にすること、および CKIO 端子からクロックを出力することが可能です。

(4) モード 6 :

CKIO 端子から外部クロックを入力し、PLL 回路 1 が動作します。周波数逡倍率は $\times 2$ 固定です。

PLL 回路 2 は常時停止します。

FRQCR の設定により CKE クロックを $\times 1$ にした場合、CKE クロックは CKIO 端子と同位相のクロックを生成します。CKE クロックを $\times 1/2$ にした場合、CKIO 出力の立ち上がりが CKE クロックの切り替わりに一致します。CKE クロックを $\times 2$ に設定した場合、CKIO 出力の切り替わりが CKE クロックの立ち上がりに一致します。

CK 端子からは、FRQCR で設定された周波数のクロック (位相合わせは行いません) を出力します。

FRQCR の設定により、CK 端子を Hi-Z にすることが可能です。

(5) モード 7 :

CKIO 端子から外部クロックを入力し、PLL 回路 1 が動作します。周波数逡倍率は $\times 1$ 固定です。

PLL 回路 2 は常時停止します。

FRQCR の設定により CKE クロックを $\times 1$ にした場合、CKE クロックは CKIO 端子と同位相のクロックを生成します。CKE クロックを $\times 1/2$ 、 $\times 1/4$ に設定した場合、CKIO 出力の立ち上がりが CKE クロックの切り替わりに一致します。

CK 端子からは、FRQCR で設定された周波数のクロック (位相合わせは行いません) を出力します。

FRQCR の設定により、CK 端子を Hi-Z にすることが可能です。

4.3 レジスタの説明

4.3.1 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) は、CKIO/CK 端子からのクロック出力の有無、マスタクロック、周辺クロック、外部バスクロック、クロック出力の周波数分周率の指定ができます。

FRQCR レジスタは、読み出し/書き込み可能な 16 ビットのレジスタです。パワーオンリセット時はクロックモードに従った値に初期化されますが、スタンバイモード時は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CKIO OE	CK OE	—	—	—	—	—	—	FR7	FR6	FR5	FR4	FR3	FR2	FR1	FR0
初期値:	—	1	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15 : CKIO 出力イネーブル (CKIOOE)

CKIO 端子からクロックを出力するか、ハイインピーダンスにするかを指定します。初期値はクロック動作モードで決まります。クロックモード 6、7 のとき、CKIO 端子は入力になり、本ビットの初期値は 0 になります。

クロック動作モードが 0、1、2、3 のときの本ビットへの 0 書き込み、およびクロック動作モードが 6、7 のときの本ビットへの 1 書き込みは行わないでください。

ビット 15	説明
CKIOOE	
0	CKIO 端子をハイインピーダンスにします (クロック動作モードが 4、5、6、7 のときの初期値)
1	CKIO 端子からクロックを出力します (クロック動作モードが 0、1、2、3 のときの初期値)

ビット 14 : CK 出力イネーブル (CKOE)

CK 端子からクロックを出力するか、ハイインピーダンスにするかを指定します。

ビット 14	説明
CKOE	
0	CK 端子をハイインピーダンスにします
1	CK 端子からクロックを出力します (初期値)

ビット 13~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

4. クロック発振器 (CPG) と低消費電力モード

ビット7~0: 周波数設定ビット (FR7~FR0)

マスタクロック (CKM)、周辺クロック (CKP)、外部バスクロック (CKE)、クロック出力 (CK) の各周波数を設定します。ただし初期値は、クロック動作モードで決まります。

表 4.8 に、FR7~0 設定値と、そのときのマスタクロック (CKM)、周辺クロック (CKP)、外部バスクロック (CKE)、クロック出力 (CK)、CKIO 端子の周波数比を、外部入力クロック周波数を 1 とした場合について示します。

表 4.4 分周器 1 の制御 (CKM)

FR5	FR4	分周器 1 の制御
0	0	× 1
	1	× 1/2
1	0	× 1/4
	1	設定しないでください

表 4.5 分周器 2 の制御 (CKP)

FR3	FR2	分周器 2 の制御
0	0	× 1
	1	× 1/2
1	0	× 1/4
	1	設定しないでください

表 4.6 分周器 3 の制御 (CKE)

FR1	FR0	分周器 3 の制御
0	0	× 1
	1	× 1/2
1	0	× 1/4
	1	設定しないでください

表 4.7 分周器 4 の制御 (CK 端子)

FR7	FR6	分周器 4 の制御
0	0	× 1
	1	× 1/2
1	0	× 1/4
	1	設定しないでください

表 4.8 FR レジスタ値と各周波数比 (入力クロックを 1 とした場合)

クロックモード 0、1 のとき

FR レジスタ値								PLL 回路 1 通倍率	PLL 回路 2 通倍率	クロック比					クロック入力 周波数範囲 (MHz)
FR 7	FR 6	FR 5	FR 4	FR 3	FR 2	FR 1	FR 0			CKM	CKP	CKE	CKIO	CK	
0	0	0	0	0	0	0	0	x2	x2	x4	x4	x4	x2	x4	5 ~ 15
0	1													x2	
1	0													x1	
0	0					0	1					x2		x4	
0	1													x2	
1	0													x1	
0	0					1	0					x1		x4	
0	1													x2	
1	0													x1	
0	0			0	1	0	0			x2	x4			x4	
0	1													x2	
1	0													x1	
0	0					0	1					x2		x4	
0	1													x2	
1	0													x1	
0	0			1	0	0	0					x1		x4	
0	1													x2	
1	0													x1	
0	0					0	1					x2		x4	
0	1													x2	
1	0													x1	
0	0					1	0					x1		x4	
0	1													x2	
1	0													x1	
0	0	0	1	0	0	0	0			x2	x4	x4		x4	
0	1													x2	
1	0													x1	
0	0					0	1					x2		x4	
0	1													x2	
1	0													x1	
0	0					1	0					x1		x4	
0	1													x2	
1	0													x1	
0	0					0	1					x2		x4	
0	1													x2	
1	0													x1	
0	0					1	0					x1		x4	
0	1													x2	
1	0													x1	
0	0					0	1					x2		x4	
0	1													x2	
1	0													x1	
0	0					1	0					x1		x4	
0	1													x2	
1	0													x1	

4. クロック発振器 (CPG) と低消費電力モード

FR レジスタ値								PLL 回路 1 逡倍率	PLL 回路 2 逡倍率	クロック比					クロック入力 周波数範囲 (MHz)				
FR 7	FR 6	FR 5	FR 4	FR 3	FR 2	FR 1	FR 0			CKM	CKP	CKE	CKIO	CK					
0	0	1	0	0	0	0	0	×2	×2	×1	×4	×4	×2	×4					
0	1													×2					
1	0															×2			×1
0	0					0	1												×4
0	1															×2			×2
1	0																		×1
0	0					1	0									×1			×4
0	1																		×2
1	0																		×1
0	0			0	1	0	0									×2	×4		×4
0	1																		×2
1	0																		×1
0	0					0	1												×4
0	1															×2			×2
1	0																		×1
0	0					1	0									×1	×4		×4
0	1																		×2
1	0																		×1
0	0					0	1										×2		×4
0	1																		×2
1	0																		×1
0	0					1	0									×1			×4
0	1																		×2
1	0																		×1
0	0					0	1									×2			×4
0	1																		×2
1	0															×1			×4
0	0					1	0												×2
0	1												×1						

【注】 クロック入力周波数範囲の、下限 / 上限は以下の条件より決まります。

1. 下限周波数

分周前の各 PLL の出力周波数が、10MHz 以上となることが必要です。具体的には、クロックモード 2、3、4、5 では PLL2 が ×4 なので 2.5MHz、クロックモード 0、1 では PLL2 が ×2 なので 5MHz、同様にクロックモード 6 では PLL1 が ×2 なので 5MHz、クロックモード 7 では PLL1 が ×1 なので 10MHz が、クロック入力周波数の下限となります。

2. 上限周波数

(1) FRQCR レジスタ設定による分周後のクロックの上限

CKM 60MHz、CKP 60MHz、CKE 30MHz

(2) MCLKCR1 ~ 5 レジスタ設定による分周後のクロックの上限

Mφ 60MHz、Pφ 30MHz

上記 (1)、(2) 両方を満たす周波数が、クロック入力周波数の上限となります。

4. クロック発振器 (CPG) と低消費電力モード

クロックモード2、3のとき

FRレジスタ値								PLL 回路1 逡倍率	PLL 回路2 逡倍率	クロック比				クロック入力 周波数範囲 (MHz)
FR 7	FR 6	FR 5	FR 4	FR 3	FR 2	FR 1	FR 0			CKM	CKP	CKE	CKIO	
0	0	0	0	0	0	0	0	x1	x4	x4	x4	x4	x4	2.5~15
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0												x1	
0	0					1	0						x4	
0	1												x2	
1	0												x1	
0	0			0	1	0	0						x4	
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0												x1	
0	0			1	0	0	0						x4	
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0												x1	
0	0					1	0						x4	
0	1												x2	
1	0												x1	
0	0			1	0	0	0						x4	
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0												x1	
0	0					1	0						x4	
0	1												x2	
1	0												x1	
0	0			0	1	0	0						x4	
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0												x1	
0	0					1	0						x4	
0	1												x2	
1	0												x1	
0	0			1	0	0	0						x4	
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0												x1	
0	0					1	0						x4	
0	1												x2	
1	0												x1	
0	0												x4	
0	1												x2	
1	0												x1	
0	0					1	0						x4	
0	1												x2	
1	0												x1	
0	0												x4	
0	1												x2	
1	0												x1	
0	0												x4	
0	1												x2	
1	0												x1	

4. クロック発振器 (CPG) と低消費電力モード

FR レジスタ値								PLL 回路 1 逡倍率	PLL 回路 2 逡倍率	クロック比					クロック入力 周波数範囲 (MHz)
FR 7	FR 6	FR 5	FR 4	FR 3	FR 2	FR 1	FR 0			CKM	CKP	CKE	CKIO	CK	
0	0	1	0	0	0	0	0	×1	×4	×1	×4	×4	×4	2.5 ~ 15	
0	1													×2	
1	0													×1	
0	0					0	1							×4	
0	1													×2	
1	0													×1	
0	0					1	0							×4	
0	1													×2	
1	0													×1	
0	0													×4	
0	1													×2	
1	0													×1	
0	0			0	1	0	0							×4	
0	1													×2	
1	0													×1	
0	0					0	1							×4	
0	1													×2	
1	0													×1	
0	0					1	0							×4	
0	1													×2	
1	0													×1	
0	0													×4	
0	1													×2	
1	0													×1	
0	0			1	0	0	0							×4	
0	1													×2	
1	0													×1	
0	0					0	1							×4	
0	1													×2	
1	0													×1	
0	0					1	0							×4	
0	1													×2	
1	0							×1							

【注】 クロック入力周波数範囲の、下限 / 上限は以下の条件より決まります。

1. 下限周波数

分周前の各 PLL の出力周波数が、10MHz 以上となることが必要です。具体的には、クロックモード 2、3、4、5 では PLL2 が ×4 なので 2.5MHz、クロックモード 0、1 では PLL2 が ×2 なので 5MHz、同様にクロックモード 6 では PLL1 が ×2 なので 5MHz、クロックモード 7 では PLL1 が ×1 なので 10MHz が、クロック入力周波数の下限となります。

2. 上限周波数

(1) FRQCR レジスタ設定による分周後のクロックの上限

CKM 60MHz、CKP 60MHz、CKE 30MHz

(2) MCLKCR1 ~ 5 レジスタ設定による分周後のクロックの上限

Mφ 60MHz、Pφ 30MHz

上記 (1)、(2) 両方を満たす周波数が、クロック入力周波数の上限となります。

4. クロック発振器 (CPG) と低消費電力モード

クロックモード4、5のとき

FRレジスタ値								PLL回路1 通倍率	PLL回路2 通倍率	クロック比				クロック入力 周波数範囲 (MHz)
FR7	FR6	FR5	FR4	FR3	FR2	FR1	FR0			CKM	CKP	CKE	CKIO	
0	0	0	0	0	0	0	0	-	x4	x4	x4	x4	x4	2.5~15
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0												x1	
0	0					1	0						x4	
0	1												x2	
1	0												x1	
0	0			0	1	0	0						x4	
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0					1	0						x1	
0	0												x4	
0	1												x2	
1	0												x1	
0	0			1	0	0	0						x4	
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0					1	0						x1	
0	0												x4	
0	1												x2	
1	0												x1	
0	0	0	1	0	0	0	0						x4	
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0					1	0						x1	
0	0												x4	
0	1												x2	
1	0												x1	
0	0			0	1	0	0						x4	
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0					1	0						x1	
0	0												x4	
0	1												x2	
1	0												x1	
0	0			1	0	0	0						x4	
0	1												x2	
1	0												x1	
0	0					0	1						x4	
0	1												x2	
1	0					1	0	x1						
0	0							x4						
0	1							x2						
1	0							x1						
0	0			1	0	0	0	x4						
0	1							x2						
1	0							x1						
0	0					0	1	x4						
0	1							x2						
1	0					1	0	x1						
0	0							x4						
0	1							x2						
1	0							x1						
0	0					1	0	x4						
0	1							x2						
1	0							x1						

4. クロック発振器 (CPG) と低消費電力モード

FR レジスタ値								PLL 回路 1 逡倍率	PLL 回路 2 逡倍率	クロック比					クロック入力 周波数範囲 (MHz)
FR 7	FR 6	FR 5	FR 4	FR 3	FR 2	FR 1	FR 0			CKM	CKP	CKE	CKIO	CK	
0	0	1	0	0	0	0	0	-	×4	×1	×4	×4	×4	2.5 ~ 15	
0	1											×2			
1	0											×1			
0	0					0	1					×4			
0	1									×2		×2			
1	0											×1			
0	0					1	0			×1		×4			
0	1											×2			
1	0											×1			
0	0		0	1	0	0	0		×2	×4		×4			
0	1											×2			
1	0											×1			
0	0					0	1			×2		×4			
0	1											×2			
1	0											×1			
0	0					1	0			×1		×4			
0	1								×1	×4		×2			
1	0											×1			
0	0					0	1			×2		×4			
0	1											×2			
1	0											×1			
0	0		1	0	0	0	0		×1	×4		×4			
0	1											×2			
1	0											×1			
0	0					0	1			×2		×4			
0	1											×2			
1	0											×1			
0	0					1	0			×1		×4			
0	1											×2			
1	0											×1			

【注】 クロック入力周波数範囲の、下限 / 上限は以下の条件より決まります。

1. 下限周波数

分周前の各 PLL の出力周波数が、10MHz 以上となることが必要です。具体的には、クロックモード 2、3、4、5 では PLL2 が ×4 なので 2.5MHz、クロックモード 0、1 では PLL2 が ×2 なので 5MHz、同様にクロックモード 6 では PLL1 が ×2 なので 5MHz、クロックモード 7 では PLL1 が ×1 なので 10MHz が、クロック入力周波数の下限となります。

2. 上限周波数

(1) FRQCR レジスタ設定による分周後のクロックの上限

CKM 60MHz、CKP 60MHz、CKE 30MHz

(2) MCLKCR1 ~ 5 レジスタ設定による分周後のクロックの上限

Mφ 60MHz、Pφ 30MHz

上記 (1)、(2) 両方を満たす周波数が、クロック入力周波数の上限となります。

4. クロック発振器 (CPG) と低消費電力モード

クロックモード6のとき

FRレジスタ値								PLL 回路1 通倍率	PLL 回路2 通倍率	クロック比				クロック入力 周波数範囲 (MHz)	
FR 7	FR 6	FR 5	FR 4	FR 3	FR 2	FR 1	FR 0			CKM	CKP	CKE	CKIO		CK
0	0	0	0	0	0	0	0	x2	-	x2	x2	x2	-	x2	5~30
0	1													x1	
1	0													x1/2	
0	0					0	1					x1		x2	
0	1											x1		x1	
1	0											x1/2		x1/2	
0	0					1	0					x2		x2	
0	1											x1/2		x1	
1	0											x1/2		x1/2	
0	0			0	1	0	0			x1	x2	x2		x2	
0	1											x1		x1	
1	0											x1/2		x1/2	
0	0					0	1					x1		x2	
0	1											x1/2		x1	
1	0					1	0			x1/2	x2	x2		x2	
0	0			1	0	0	0					x1		x1	
0	1											x1/2		x1/2	
1	0					0	1					x1		x2	
0	0											x1/2		x1	
0	1					1	0					x1/2		x1/2	
1	0											x1		x2	
0	0											x1/2		x1	
0	1											x1		x1	
1	0					1	0					x1/2		x1/2	
0	0											x1/2		x2	
0	1											x1		x1	
1	0											x1/2		x1/2	
0	0					0	1					x1		x2	
0	1											x1/2		x1	
1	0											x1/2		x1/2	
0	0											x1		x2	
0	1											x1/2		x1	
1	0					1	0			x1/2	x2	x2		x2	
0	0											x1		x1	
0	1											x1/2		x1/2	
1	0											x1		x1	
0	0											x1/2		x2	
0	1											x1		x1	
1	0											x1/2		x1/2	
0	0											x1		x2	
0	1											x1/2		x1	
1	0					1	0			x1/2	x2	x2		x2	
0	0											x1		x1	
0	1											x1/2		x1/2	
1	0											x1		x1	
0	0											x1/2		x2	
0	1											x1		x1	
1	0											x1/2		x1/2	
0	0											x1		x2	
0	1											x1/2		x1	
1	0											x1		x1	
0	0											x1/2		x2	
0	1											x1		x1	
1	0											x1/2		x1/2	

4. クロック発振器 (CPG) と低消費電力モード

FR レジスタ値								PLL 回路 1 逡倍率	PLL 回路 2 逡倍率	クロック比					クロック入力 周波数範囲 (MHz)							
FR 7	FR 6	FR 5	FR 4	FR 3	FR 2	FR 1	FR 0			CKM	CKP	CKE	CKIO	CK								
0	0	1	0	0	0	0	0	×2	-	×1/2	×2	×2	-	×2	5~30							
0	1																					×1
1	0																					×1/2
0	0					0	1															×2
0	1																			×1		×1
1	0																					×1/2
0	0					1	0													×1/2		×2
0	1																					×1
1	0																					×1/2
0	0			0	1	0	0													×1		×2
0	1																					×1
1	0																					×1/2
0	0					0	1													×1		×2
0	1																					×1
1	0																					×1/2
0	0					1	0													×1/2		×2
0	1																					×1
1	0																					×1/2
0	0					0	1													×1		×2
0	1																					×1
1	0																					×1/2
0	0					1	0													×1/2		×2
0	1																					×1
1	0																					×1/2
0	0					0	1													×1		×2
0	1																					×1
1	0																					×1/2
0	0					1	0													×1/2		×2
0	1													×1								
1	0													×1/2								

【注】 クロック入力周波数範囲の、下限 / 上限は以下の条件より決まります。

1. 下限周波数

分周前の各 PLL の出力周波数が、10MHz 以上となることが必要です。具体的には、クロックモード 2、3、4、5 では PLL2 が ×4 なので 2.5MHz、クロックモード 0、1 では PLL2 が ×2 なので 5MHz、同様にクロックモード 6 では PLL1 が ×2 なので 5MHz、クロックモード 7 では PLL1 が ×1 なので 10MHz が、クロック入力周波数の下限となります。

2. 上限周波数

(1) FRQCR レジスタ設定による分周後のクロックの上限

CKM 60MHz、CKP 60MHz、CKE 30MHz

(2) MCLKCR1~5 レジスタ設定による分周後のクロックの上限

Mφ 60MHz、Pφ 30MHz

上記 (1)、(2) 両方を満たす周波数が、クロック入力周波数の上限となります。

4. クロック発振器 (CPG) と低消費電力モード

クロックモード7のとき

FRレジスタ値								PLL 回路1 通倍率	PLL 回路2 通倍率	クロック比					クロック入力 周波数範囲 (MHz)
FR 7	FR 6	FR 5	FR 4	FR 3	FR 2	FR 1	FR 0			CKM	CKP	CKE	CKIO	CK	
0	0	0	0	0	0	0	0	x1	-	x1	x1	x1	-	x1	10~30
0	1													x1/2	
1	0													x1/4	
0	0					0	1					x1/2		x1	
0	1													x1/2	
1	0													x1/4	
0	0					1	0					x1/4		x1	
0	1													x1/2	
1	0													x1/4	
0	0			0	1	0	0			x1/2	x1			x1	
0	1													x1/2	
1	0													x1/4	
0	0					0	1					x1/2		x1	
0	1													x1/2	
1	0													x1/4	
0	0					1	0			x1/4	x1			x1	
0	1													x1/2	
1	0													x1/4	
0	0					0	1					x1/2		x1	
0	1													x1/2	
1	0													x1/4	
0	0					1	0			x1/4	x1			x1	
0	1													x1/2	
1	0													x1/4	
0	0	0	1	0	0	0	0		x1/2	x1	x1			x1	
0	1													x1/2	
1	0													x1/4	
0	0					0	1					x1/2		x1	
0	1													x1/2	
1	0													x1/4	
0	0					1	0			x1/4	x1			x1	
0	1													x1/2	
1	0													x1/4	
0	0					0	1			x1/2	x1			x1	
0	1													x1/2	
1	0													x1/4	
0	0					1	0			x1/4	x1			x1	
0	1													x1/2	
1	0													x1/4	
0	0					0	1					x1/2		x1	
0	1													x1/2	
1	0													x1/4	
0	0					1	0			x1/4	x1			x1	
0	1													x1/2	
1	0													x1/4	
0	0					0	1					x1/2		x1	
0	1													x1/2	
1	0													x1/4	
0	0					1	0			x1/4	x1			x1	
0	1													x1/2	
1	0													x1/4	
0	0					0	1					x1/2		x1	
0	1													x1/2	
1	0													x1/4	
0	0					1	0			x1/4	x1			x1	
0	1													x1/2	
1	0													x1/4	

4. クロック発振器 (CPG) と低消費電力モード

FR レジスタ値								PLL 回路 1 逡倍率	PLL 回路 2 逡倍率	クロック比					クロック入力 周波数範囲 (MHz)	
FR 7	FR 6	FR 5	FR 4	FR 3	FR 2	FR 1	FR 0			CKM	CKP	CKE	CKIO	CK		
0	0	1	0	0	0	0	0	×1	-	×1/4	×1	×1	-	×1	10~30	
0	1															×1/2
1	0															×1/4
0	0					0	1									×1
0	1															×1/2
1	0															×1/4
0	0					1	0									×1
0	1															×1/2
1	0															×1/4
0	0															×1
0	1															×1/2
1	0															×1/4
0	0			0	1	0	0									×1
0	1															×1/2
1	0															×1/4
0	0					0	1									×1
0	1															×1/2
1	0															×1/4
0	0					1	0									×1
0	1															×1/2
1	0															×1/4
0	0															×1
0	1															×1/2
1	0															×1/4
0	0			1	0	0	0									×1
0	1															×1/2
1	0															×1/4
0	0					0	1									×1
0	1															×1/2
1	0															×1/4
0	0					1	0									×1
0	1															×1/2
1	0							×1/4								
0	0							×1								
0	1							×1/2								
1	0							×1/4								

【注】 クロック入力周波数範囲の、下限 / 上限は以下の条件より決まります。

1. 下限周波数

分周前の各 PLL の出力周波数が、10MHz 以上となることが必要です。具体的には、クロックモード 2、3、4、5 では PLL2 が ×4 なので 2.5MHz、クロックモード 0、1 では PLL2 が ×2 なので 5MHz、同様にクロックモード 6 では PLL1 が ×2 なので 5MHz、クロックモード 7 では PLL1 が ×1 なので 10MHz が、クロック入力周波数の下限となります。

2. 上限周波数

(1) FRQCR レジスタ設定による分周後のクロックの上限

CKM 60MHz、CKP 60MHz、CKE 30MHz

(2) MCLKCR1~5 レジスタ設定による分周後のクロックの上限

Mφ 60MHz、Pφ 30MHz

上記 (1)、(2) 両方を満たす周波数が、クロック入力周波数の上限となります。

4.4 周波数の変更方法

マスタクロック、周辺クロック、外部バスクロックおよびクロック出力の周波数を変更するには、周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

周波数の変更は、FRQCR レジスタの FR7 ~ FR0 ビットに目的とする値を書き込むことによって行います。ただし、FRQCR レジスタへの書き込みは、必ず内蔵 RAM、もしくは内蔵 ROM 上のプログラムから実行してください。DMAC による FRQCR レジスタへのアクセスも行わないでください。

また、周波数の変更により、M ϕ (マスタクロック (CKM) で分周した後のクロック) と CKE (外部バスクロック) の周波数比が変わる場合、変更後の外部 CS 空間アクセスの前に、必ず FRQCR レジスタの読み出しを行ってください。ただし、このときに読み出した FRQCR レジスタの値は不定となります。

4.5 出力クロックの制御

FRQCR レジスタの CKIOOE、CKOE ビットによって、CKIO、CK 端子へクロック出力するのか、またはハイインピーダンスにするか切り替えることができます。ただし初期値は、クロックモードで決まります。表 4.9 に、クロックモードと CKIO、CK 端子および CKIOOE、CKOE ビット初期値との対応を示します。

CKIOOE、CKOE ビットの変更によって直ちに CKIO、CK 出力が切り替わります。

表 4.9 クロックモードと CKIO、CK 端子および CKIOOE、CKOE ビット初期値との対応

クロックモード	端子初期状態*		初期値		ビット値の可変	
	CKIO	CK	CKIOOE	CKOE	CKIOOE	CKOE
0	外部クロックを出力	外部クロックを出力	1	1	不可	可
1	外部クロックを出力	外部クロックを出力	1	1	不可	可
2	外部クロックを出力	外部クロックを出力	1	1	不可	可
3	外部クロックを出力	外部クロックを出力	1	1	不可	可
4	ハイインピーダンス	外部クロックを出力	0	1	可	可
5	ハイインピーダンス	外部クロックを出力	0	1	可	可
6	クロック入力	外部クロックを出力	0	1	不可	可
7	クロック入力	外部クロックを出力	0	1	不可	可

【注】 * 電源印加後、パワーオンリセットせずにハードウェアスタンバイした場合、端子状態は不定になります。この場合にクロックモードによる端子初期状態を確定するには、ハードウェアスタンバイモード時に RES 端子を Low にする必要があります。パワーオンリセット後にハードウェアスタンバイにした場合には、直前の端子状態が保持されます。

4.6 発振器

クロックを供給するには、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

4.6.1 水晶発振子の接続方法

図 4.2 に水晶発振子との接続例を示します。ダンピング抵抗 (R_d) と負荷容量 ($CL1$ 、 $CL2$) の値は使用する水晶発振子のメーカーと部品検討の上、決めてください。水晶発振子は、AT カット並列共振タイプを使用してください。水晶発振子と負荷容量は、できるだけ EXTAL 端子と XTAL 端子の近くに配置してください。誘導による誤発振を避けるため、端子の信号線は他の信号線と交差させないでください。

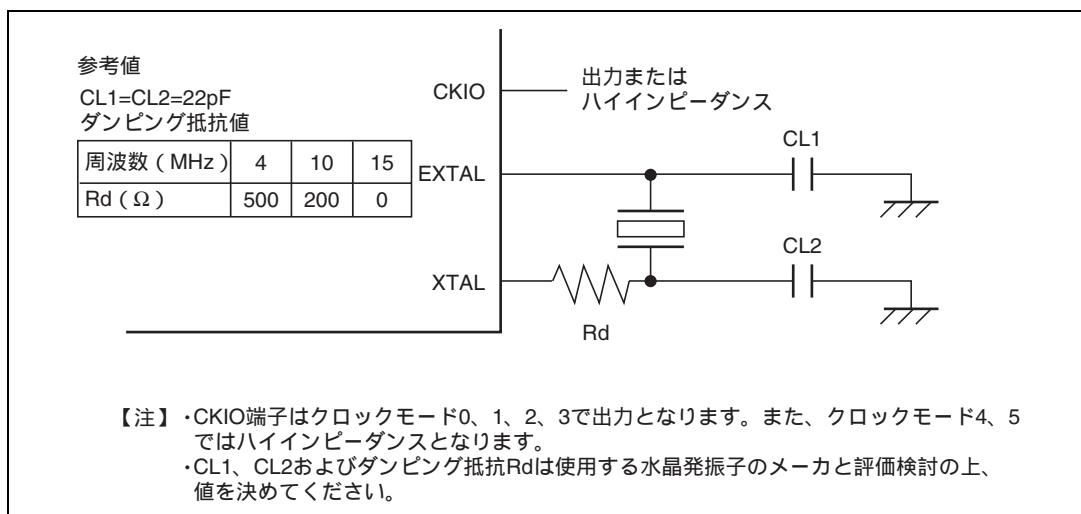


図 4.2 水晶発振子の接続例

4.6.2 外部クロックの入力方法

外部クロック入力は、クロックモードによって EXTAL 端子または CKIO 端子から入力します。

(1) EXTAL 端子からのクロック入力

クロックモード 0、1、2、3、4、5 で使用できます。

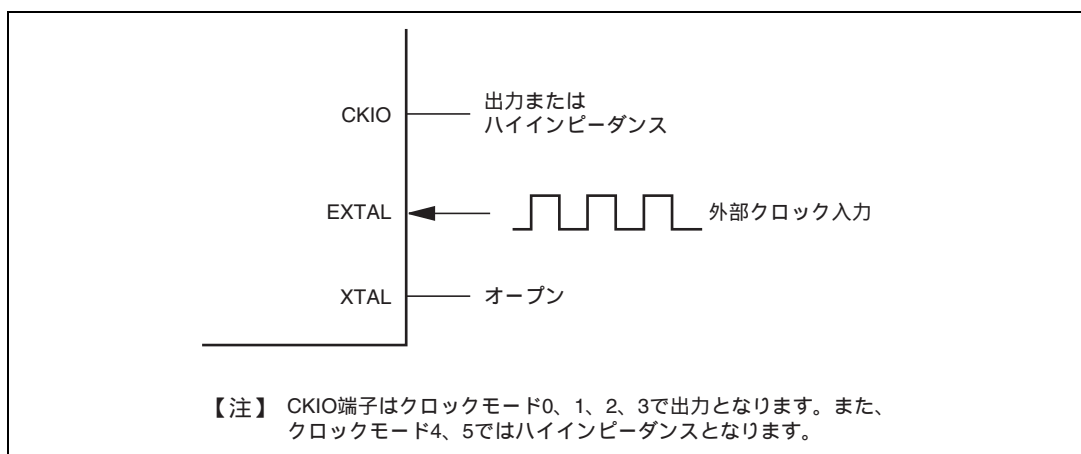


図 4.3 外部クロック入力方法

(2) CKIO 端子からのクロック入力

クロックモード 6、7 で使用します。

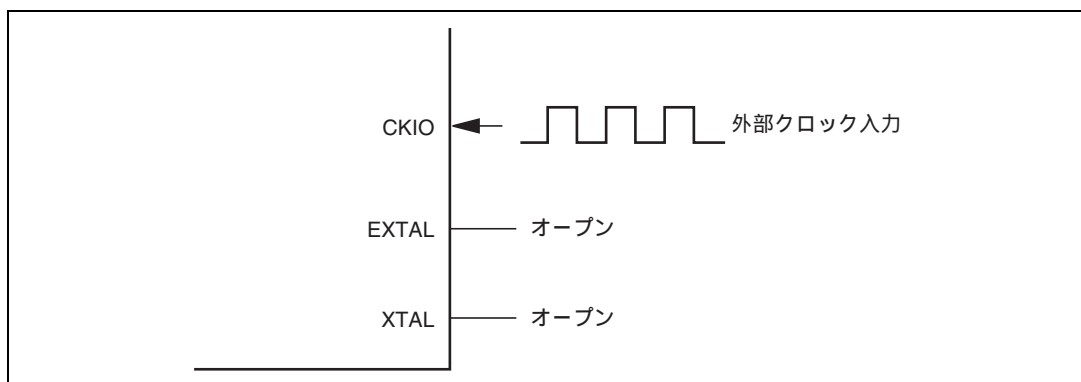


図 4.4 外部クロック入力方法

4.6.3 ボード設計上の注意事項

(1) 水晶発振子使用時の注意

水晶発振子と容量 CL1、CL2 およびダンピング抵抗 Rd はできるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

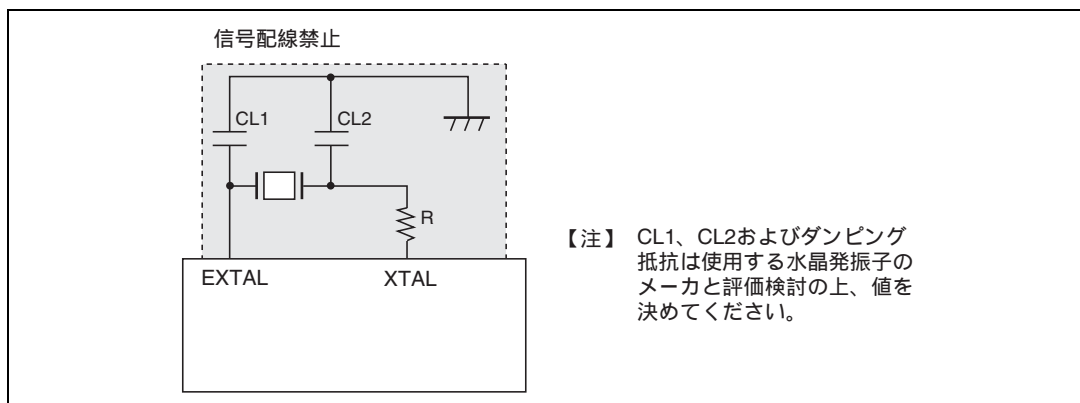


図 4.5 水晶発振子使用時の注意

(2) バイパスコンデンサについての注意

できるだけ Vss と Vcc のペアごとに 0.01 ~ 0.1 (μF) の積層セラミックコンデンサをバイパスコンデンサとして入れてください。

バイパスコンデンサはできるだけ LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

表 4.10 バイパスコンデンサの電源ペア (推奨)

PLL Vcc のペア		AVcc のペア		PVcc のペア	
129(PLL Vcc) - 132(PLL Vss) (図 4.6 をご参照ください)		159(AVcc) - 148(AVss) (図 15.8 をご参照ください)		5(PVcc) - 1(PVss)	
				173(PVcc) - 166(PVss)	
Vcc のペア					
26(Vcc) - 31(Vss)		17(Vcc) - 21(Vss)		39(Vcc) - 38(Vss)	
58(Vcc) - 54(Vss)		70(Vcc) - 64(Vss)		48(Vcc) - 45(Vss)	
79(Vcc) - 76(Vss)		118(Vcc) - 124(Vss)		92(Vcc) - 89(Vss)	
105(Vcc) - 101(Vss)		-		140(Vcc) - 135(Vss)	

【注】 バイパスコンデンサを入れる優先順位

：必ず入れてください。

：できるだけ入れてください。

：可能なら入れてください。

(3) PLL 発振回路使用時の注意

PLL 用 V_{CC} と V_{SS} の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分をできるだけ減らしてください。

発振安定用の容量 C_1 、 C_2 の接地は V_{SS} (PLL) を接地してください。

また、できるだけ $CAP1$ 、 $CAP2$ 端子の近くに置き、その近辺に配線パターンを配置しないでください。

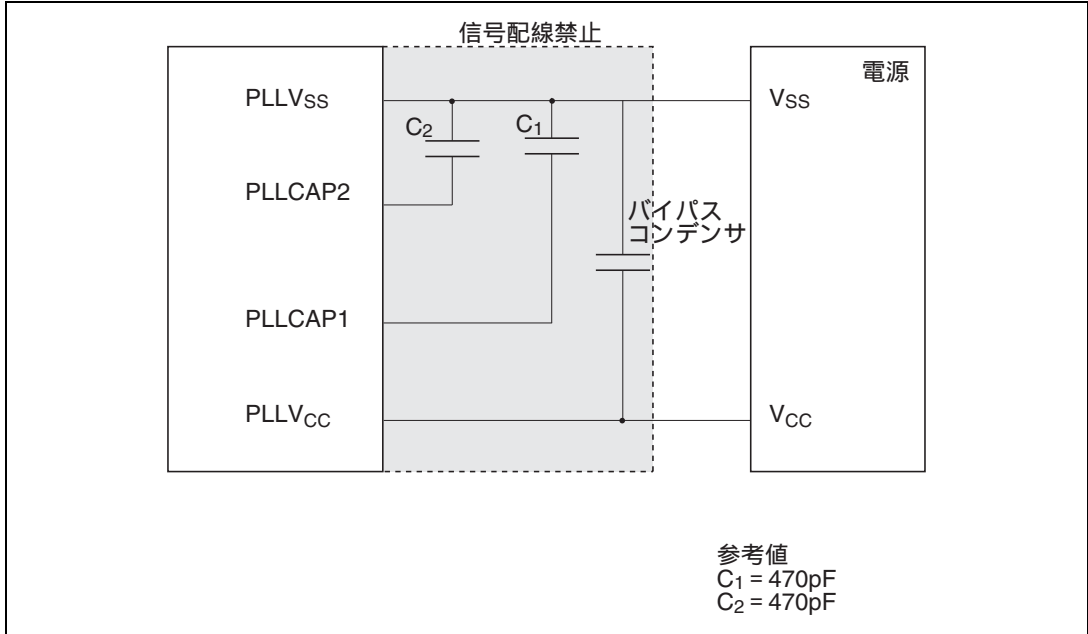


図 4.6 PLL 発振回路使用時の注意

表 4.11 容量値 (参考)

容量値	モード0	モード1	モード2	モード3	モード4	モード5	モード6	モード7
$C_1 = 470\text{pF}$					x	x		
$C_2 = 470\text{pF}$							x	x

【記号説明】

: 必要

x : 不必要

4.7 発振停止検出機能

本 CPG には、何らかのシステムの異常により発振器が停止した場合に備え、クロックの停止を検出してタイマ端子を自動的にハイインピーダンス状態にする機能が備わっています。すなわち、発振子の故障、外部クロックの停止により EXTAL、CKIO が変化なかったことを検出した場合、ポート E にマルチプレクスされている MMT (モータマネジメントタイマ) 6 相出力端子*¹ および、ポート D にマルチプレクスされている MMT6 相出力端子*² をハイインピーダンスにします。

ただし、ポート E にマルチプレクスされている MMT6 相出力端子*¹ とポート D にマルチプレクスされている MMT6 相出力端子*² では、ソフトウェアスタンバイ状態遷移時に、SBYCR (スタンバイコントロールレジスタ) のビット 6 (HIZ ビット) の設定により、以下のように端子状態が異なりますのでご注意ください。

- (1) ポート E にマルチプレクスされている MMT6 相出力端子*¹
SBYCR のビット 6 の設定、および PFC 設定とは無関係にハイインピーダンス状態になります。
- (2) ポート D にマルチプレクスされている MMT6 相出力端子*²
PFC 設定でデータバス機能以外を選択の場合、SBYCR のビット 6 の設定が 1 (Hi-Z にする) の場合はハイインピーダンス状態になります。SBYCR のビット 6 の設定が 0 の場合、直前の端子状態を保持します。データバス機能を選択の場合は常にハイインピーダンス状態になります。

外部クロックの発振停止中はその他の本 LSI の動作は不定となります。また、外部クロックの発振停止後、再度発振を開始すると、上記 12 端子を含めて本 LSI の動作は不定となります。再度動作させる場合は、必ずパワーオンリセットしてください。

- 【注】 *1 PE23/ $\overline{\text{IRQ7}}$ /PWOB、PE22/ $\overline{\text{IRQ6}}$ /PVOB、PE21/ $\overline{\text{IRQ5}}$ /PUOB、PE19/ $\overline{\text{IRQ3}}$ /PWOA、PE18/ $\overline{\text{IRQ2}}$ /PVOA、PE17/ $\overline{\text{IRQ1}}$ /PUOA/SCK0
- *2 PD26/D26/PWOB、PD25/D25/PVOB、PD24/D24/PUOB、PD22/D22/PWOA/SCK0、PD21/D21/PVOA/ $\overline{\text{IRQ7}}$ 、PD20/D20/PUOA/ $\overline{\text{IRQ6}}$

4.8 低消費電力モード

4.8.1 低消費電力モードの状態

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 4.12 に示します。

表 4.12 低消費電力モードの状態

低消費電力モード	遷移状態	状態							解除方法	
		CPG	CPU	CPU レジスタ	内蔵メモリ	内蔵周辺モジュール	端子	リフレッシュ動作		
スリープ	SBYCR の SBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	保持	動作	動作	リフレッシュ	(1) 割り込み (2) DMA アドレスエラー (3) パワーオンリセット	
ソフトウェアスタンバイ	SBYCR の SBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止	保持	保持	停止	保持 またはハイインピーダンス	セルフリフレッシュ	(1) NMI 割り込み (2) パワーオンリセット	
ハードウェアスタンバイ	HSTBY 端子にローレベルを入力	停止	停止	不定	保持	停止	ハイインピーダンス	リフレッシュ不可	RES 端子にローレベルを入力した状態で、HSTBY 端子にハイレベルを入力	
モジュールスタンバイ	MSTPCR の MSTP ビットを 1 とする	動作	動作	保持	保持	指定モジュールが停止*	保持または初期化	リフレッシュ	(1) MSTP ビットを 0 とする (2) パワーオンリセット	
モジュールクロック分周	MCLKCR の MCLK ビットを 1 とする	MCLK ビットに対応したモジュールへのクロックを、CPG にて設定されたマスタクロック (CKM) ・周辺クロック (CKP) からさらに分周して供給								(1) MCLK ビットを初期値にする (2) パワーオンリセット

【注】 * 「4.9.2 モジュールストップコントロールレジスタ 1、2 (MSTPCR1、MSTPCR2)」を参照してください。

4. クロック発振器 (CPG) と低消費電力モード

(1) レジスタ構成

低消費電力関連のレジスタ構成を表 4.13 に示します。

表 4.13 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセス サイズ
スタンバイコントロールレジスタ	SBYCR	R/W	H'1F	H'FFFF 1004	8、16、32
モジュールストップコントロール レジスタ 1	MSTPCR1	R/W	H'0000	H'FFFF 1030	8、16、32
モジュールストップコントロール レジスタ 2	MSTPCR2	R/W	H'0000	H'FFFF 1032	8、16、32
モジュールクロックコントロール レジスタ 1	MCLKCR1	R/W	H'8888 (クロックモード 1、3、5、6 のとき) H'FFFF (クロックモード 0、2、4、7 のとき)	H'FFFF 1034	8、16、32
モジュールクロックコントロール レジスタ 2	MCLKCR2	R/W	H'8888 (クロックモード 1、3、5、6 のとき) H'FFFF (クロックモード 0、2、4、7 のとき)	H'FFFF 1036	8、16、32
モジュールクロックコントロール レジスタ 3	MCLKCR3	R/W	H'8888 (クロックモード 1、3、5、6 のとき) H'FFFF (クロックモード 0、2、4、7 のとき)	H'FFFF 1038	8、16、32
モジュールクロックコントロール レジスタ 4	MCLKCR4	R/W	H'8888 (クロックモード 1、3、5、6 のとき) H'FFFF (クロックモード 0、2、4、7 のとき)	H'FFFF 103A	8、16、32
モジュールクロックコントロール レジスタ 5	MCLKCR5	R/W	H'CCCC (クロックモード 1、3、5、6 のとき) H'FFFF (クロックモード 0、2、4、7 のとき)	H'FFFF 103C	8、16、32

4.8.2 端子構成

低消費電力関連の端子構成を表 4.14 に示します。

表 4.14 端子構成

端子名	略称	入出力	機能
ハードウェアスタンバイ 端子	HSTBY	入力	ローレベルを入力するとハードウェアスタンバイ状態 になります。

4.9 レジスタの説明

4.9.1 スタンバイコントロールレジスタ (SBYCR)

スタンバイコントロールレジスタ (SBYCR) は、低消費電力モードの状態を指定します。

SBYCR レジスタは、読み出し/書き込み可能な 8 ビットのレジスタです。パワーオンリセット時は H'1F に初期化されますが、ソフトウェアスタンバイモード時は初期化されません。

ビット:	7	6	5	4	3	2	1	0
	SBY	HIZ	-	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R	R	R	R	R	R

ビット7: ソフトウェアスタンバイ (SBY)

ソフトウェアスタンバイモードへの遷移を指定します。ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール/ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) が 1 のとき) には、SBY ビットは 1 にセットできません。ソフトウェアスタンバイモードへ遷移するときには、必ず TME ビットを 0 にクリアして WDT を停止させてから、SBY ビットをセットしてください。

ビット7	説明
SBY	
0	SLEEP 命令の実行で、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移

ビット6: ポートハイインピーダンス (HIZ)

ソフトウェアスタンバイモード時に、特定の出力端子の状態を保持するか、ハイインピーダンスにするかを選択します。どの端子を制御するかは、「付録 B 端子状態」を参照してください。WDT の TCSR の TME ビットが 1 にセットされていると、HIZ ビットは 1 にセットできません。出力端子の状態をハイインピーダンスにしたいときには、必ず TME ビットを 0 にクリアしてから、HIZ ビットをセットしてください。

ビット6	説明
HIZ	
0	ソフトウェアスタンバイモード時に、端子状態を保持する (初期値)
1	ソフトウェアスタンバイモード時に、端子状態をハイインピーダンスにする

ビット5: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4~0: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

4.9.2 モジュールストップコントロールレジスタ 1、2 (MSTPCR1、MSTPCR2)

モジュールストップコントロールレジスタ 1、2 (MSTPCR1、MSTPCR2) は、モジュールストップモードの状態を指定します。

MSTPCR1、MSTPCR2 レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'0000 に初期化されますが、ソフトウェアスタンバイモード時は初期化されません。

MSTPCR1

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MST P15	MST P14	MST P13	MST P12	MST P11	MST P10	MST P9	MST P8	MST P7	MST P6	MST P5	MST P4	MST P3	MST P2	MST P1	MST P0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR2

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MST P31	MST P30	MST P29	MST P28	MST P27	MST P26	MST P25	MST P24	MST P23	MST P22	MST P21	MST P20	MST P19	MST P18	MST P17	MST P16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット15~0 : モジュールストップ31~0 (MSTP31~0)

該当するモジュールへのクロック供給の停止を指定します。モジュール対応は表 4.16 を参照してください。

ビット 15~0	説明
MSTP31~MSTP0	
0	該当するモジュールへクロックを供給します (初期値)
1	該当するモジュールへのクロックの供給を停止します

4.9.3 モジュールクロックコントロールレジスタ 1~5 (MCLKCR1 ~ MCLKCR5)

モジュールクロックコントロールレジスタ 1~5 (MCLKCR1 ~ MCLKCR5) は、モジュールに供給するクロックの分周率を指定します。

MCLKCR1 ~ MCLKCR5 レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時はクロックモードに従った値に初期化されますが、ソフトウェアスタンバイモード時は初期化されません。

MCLKCR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		MCL K032	MCL K031	MCL K030		MCL K022	MCL K021	MCL K020		MCL K012	MCL K011	MCL K010		MCL K002	MCL K001	MCL K000
初期値:	1	-	-	-	1	-	-	-	1	-	-	-	1	-	-	-
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

MCLKCR2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		MCL K072	MCL K071	MCL K070		MCL K062	MCL K061	MCL K060		MCL K052	MCL K051	MCL K050		MCL K042	MCL K041	MCL K040
初期値:	1	-	-	-	1	-	-	-	1	-	-	-	1	-	-	-
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

MCLKCR3

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		MCL K112	MCL K111	MCL K110		MCL K102	MCL K101	MCL K100		MCL K092	MCL K091	MCL K090		MCL K082	MCL K081	MCL K080
初期値:	1	-	-	-	1	-	-	-	1	-	-	-	1	-	-	-
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

MCLKCR4

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		MCL K152	MCL K151	MCL K150		MCL K142	MCL K141	MCL K140		MCL K132	MCL K131	MCL K130		MCL K122	MCL K121	MCL K120
初期値:	1	-	-	-	1	-	-	-	1	-	-	-	1	-	-	-
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

MCLKCR5

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			MCL K191	MCL K190			MCL K181	MCL K180			MCL K171	MCL K170			MCL K161	MCL K160
初期値:	1	1	-	-	1	1	-	-	1	1	-	-	1	1	-	-
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

4. クロック発振器 (CPG) と低消費電力モード

ビット15、11、7、3：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット14、10、6、2：予約ビット (MCLKCK5のみ)

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

その他のビット：モジュールクロック191～000 (MCLK191～MCLK000)

該当するモジュールへのクロック分周率を指定します。クロック発振器 (CPG) の周波数制御レジスタ (FRQCR) で設定されたマスタクロック (CKM) ・周辺クロック (CKP) からさらに分周されたクロックが、該当モジュールに供給されます。初期値はクロックモードにより異なります。モジュールの対応は表 4.18 を参照してください。

MCLK191～MCLK160

ビット nn1	ビット nn0	説 明
MCLKnn1	MCLKnn0	
0	0	モジュールへ供給するクロックは分周しません (初期値) (クロックモード 1、3、5、6 のとき)
0	1	予約 (設定しないでください)
1	0	モジュールへ供給するクロックを、さらに 1/8 にします
1	1	モジュールへ供給するクロックを、さらに 1/64 にします (初期値) (クロックモード 0、2、4、7 のとき)

MCLK152～MCLK000

ビット nn2	ビット nn1	ビット nn0	説 明
MCLKnn2	MCLKnn1	MCLKnn0	
0	0	0	モジュールへ供給するクロックは分周しません (初期値) (クロックモード 1、3、5、6 のとき)
0	0	1	モジュールへ供給するクロックを、さらに 1/2 にします
0	1	0	モジュールへ供給するクロックを、さらに 1/3 にします
0	1	1	モジュールへ供給するクロックを、さらに 1/5 にします
1	0	0	予約 (設定しないでください)
1	0	1	予約 (設定しないでください)
1	1	0	モジュールへ供給するクロックを、さらに 1/8 にします
1	1	1	モジュールへ供給するクロックを、さらに 1/64 にします (初期値) (クロックモード 0、2、4、7 のとき)

4.10 スリープモード

4.10.1 スリープモードへの遷移

SBYCR レジスタの SBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO、CK 端子にはクロックが出力され続けます。なお、スリープ中は外部バス権解放要求を受け付けません。

また、CPU は SBYCR レジスタ書き込みを 1 サイクルで実行とみなし、次の処理を行います。しかし実際の書き込みには、表 8.12 に示したサイクル数を要します。CPU から SBYCR レジスタへの書き込み値を SLEEP 命令に確実に反映するため、SBYCR レジスタを読み出してから、SLEEP 命令を実行、もしくは表 8.12 に示したサイクル数の経過を待ってから、SLEEP 命令を実行してください。

4.10.2 スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、IRL、内蔵周辺)、DMAC アドレスエラー、パワーオンリセット、HSTBY 端子により解除されます。

(1) 割り込みによる解除

NMI、IRQ、IRL、内蔵周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みが、モジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

(2) DMAC アドレスエラーによる解除

DMAC アドレスエラーが発生すると、スリープモードが解除され、DMAC アドレスエラー例外処理が実行されます。

(3) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、スリープモードは解除されます。

(4) $\overline{\text{HSTBY}}$ 端子による解除

$\overline{\text{HSTBY}}$ 端子をローレベルにすると、本 LSI はハードウェアスタンバイモード状態に遷移し、スリープモードは解除されます。

4.11 ソフトウェアスタンバイモード

4.11.1 ソフトウェアスタンバイモードへの遷移

SBYCR レジスタの SBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。スタンバイモードでは、CPU だけでなく、クロックや内蔵周辺モジュールも停止するため、消費電力が著しく低減されます。CKIO、CK 端子からのクロック出力も停止します。

CPU のレジスタの内容と内蔵 RAM のデータは保持されます。内蔵周辺レジスタに関しては初期化されるものがあります。スタンバイモード時の内蔵周辺モジュールのレジスタの状態を表 4.15 に示します。端子状態については、「付録 B 端子状態」を参照してください。

また、CPU は SBYCR レジスタ書き込みを 1 サイクルで実行とみなし、次の処理を行います。しかし実際の書き込みには、表 8.12 に示したサイクル数を要します。CPU から SBYCR レジスタへの書き込み値を SLEEP 命令に確実に反映するため、SBYCR レジスタを読み出してから、SLEEP 命令を実行、もしくは表 8.12 に示したサイクル数の経過を待ってから、SLEEP 命令を実行してください。

ソフトウェアスタンバイ状態では、外部バスのアドレス/データ/バス制御信号 (DRAM 系を除く) は、ハイインピーダンス状態つまりバス権解放状態となります。ソフトウェアスタンバイ状態では、バス権解放要求入力信号 $\overline{\text{BREQ}}$ は無視されます。バス使用許可出力信号 $\overline{\text{BACK}}$ につきましては以下の 2 通りがありますので、ご注意ください。

(1) バス権解放状態 ($\overline{\text{BREQ}}$ 入力がローにアサート) からのソフトウェアスタンバイ状態への遷移

通常状態からバス権解放要求信号 ($\overline{\text{BREQ}}$) をローにアサートすると、 $\overline{\text{BACK}}$ 端子を L 出力としバス権を解放したことを示します。この状態で、ソフトウェアスタンバイ状態に遷移すると、 $\overline{\text{BACK}}$ 出力は H 出力となりますが、 $\overline{\text{BACK}}$ 以外のアドレス、データ、バス制御信号はハイインピーダンス状態つまりバス権解放状態を保持しています。このソフトウェアスタンバイ状態から、 $\overline{\text{BREQ}}$ 入力をアサートしたまま復帰すると、 $\overline{\text{BACK}}$ 出力は L となり、バス権解放状態を維持します。 $\overline{\text{BREQ}}$ 入力をネゲート状態で復帰すると、 $\overline{\text{BACK}}$ 出力は H となり通常状態 (バス権を解放していない状態) に復帰します。

(2) 通常状態 ($\overline{\text{BREQ}}$ 入力がハイにネゲート) からのソフトウェアスタンバイ状態への遷移

通常状態からソフトウェアスタンバイ状態に遷移すると、 $\overline{\text{BACK}}$ 出力は Z (ハイインピーダンス) となりますが、外部バスはハイインピーダンス状態つまりバス権解放状態になります。この状態から、 $\overline{\text{BREQ}}$ 入力をネゲート状態で復帰すると、 $\overline{\text{BACK}}$ 出力は H 出力に戻ります。ソフトウェアスタンバイからの復帰時に $\overline{\text{BREQ}}$ 入力がローにアサートされていると、 $\overline{\text{BACK}}$ は外部クロック (CKE) で 1.5 サイクルの期間 H 出力した後、L 出力つまりバス権解放状態で復帰します。

表 4.15 スタンバイモード時のレジスタの状態

モジュール	初期化されるレジスタ	内容が保持されるレジスタ
割り込みコントローラ (INTC)		全レジスタ
ユーザブレイクコントローラ (UBC)		全レジスタ
バスステートコントローラ (BSC)		全レジスタ
クロック発振器 (CKG)		全レジスタ
ダイレクトメモリアクセスコントローラ (DMAC)	全レジスタ	
タイマパルスユニット (TPU)	全レジスタ	
モータマネジメントタイマ (MMT)	全レジスタ	
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> • TCSR レジスタの OVF、WT/IT、TME ビット • RSTCSR レジスタ 	<ul style="list-style-type: none"> • TCSR レジスタの CKS2 ~ CKS0 ビット • TCNT レジスタ
シリアルコミュニケーションインタフェース (SCI)	全レジスタ	
A/D 変換器 (A/D)	全レジスタ	
D/A 変換器 (D/A)	全レジスタ	
コンペアマッチタイマ (CMT)	全レジスタ	
ピンファンクションコントローラ (PFC)		全レジスタ
I/O ポート (I/O)		全レジスタ
低消費電力モード関連		全レジスタ

4.11.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、NMI 割り込み、パワーオンリセット、 $\overline{\text{HSTBY}}$ 端子により解除されます。

(1) NMI 割り込み入力による解除

NMI 信号の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ 1 (ICR1) の NMI エッジセレクトビット (NMIE) で選択) が検出されると、クロックの発振が開始されます。このクロックはウォッチドッグタイマ (WDT) だけに供給されます。ソフトウェアスタンバイモードに遷移する前に WDT のタイマコントロール/ステータスレジスタ (TCSR) のクロックセレクトビット (CKS2 ~ CKS0) に設定しておいた時間が経過すると、WDT オーバフローが発生します。このオーバフロー発生によってクロックが安定したと判断され、本 LSI 全体にクロックが供給されます。これによってソフトウェアスタンバイモードが解除され、NMI 例外処理が開始されます。

NMI 割り込みによってソフトウェアスタンバイモードを解除する場合、WDT のオーバフロー周期が発振安定時間以上となるように、CKS2 ~ CKS0 ビットを設定してください。

なお、立ち下がりエッジに設定した NMI 端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) の NMI 端子のレベルがハイレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した NMI 端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) の NMI 端子のレベルがローレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがハイレベルになるようにしてください。

4. クロック発振器 (CPG) と低消費電力モード

(2) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセットに遷移し、ソフトウェアスタンバイモードは解除されます。 $\overline{\text{RES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

(3) $\overline{\text{HSTBY}}$ 端子による解除

$\overline{\text{HSTBY}}$ 端子をローレベルにすると、本 LSI はハードウェアスタンバイモードに遷移し、ソフトウェアスタンバイモードは解除されます。

4.11.3 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 4.7 に示します。

割り込みコントロールレジスタ 1 (ICR1) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で、NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 1 にセットして SLEEP 命令を実行すると、スタンバイモードに遷移しています。その後、NMI 端子をローレベルからハイレベルへ変化させると、ソフトウェアスタンバイモードが解除されます。

なお、NMI 端子をハイレベルに変化させた後、NMI 例外処理が開始されるまでこのレベルを保持してください。

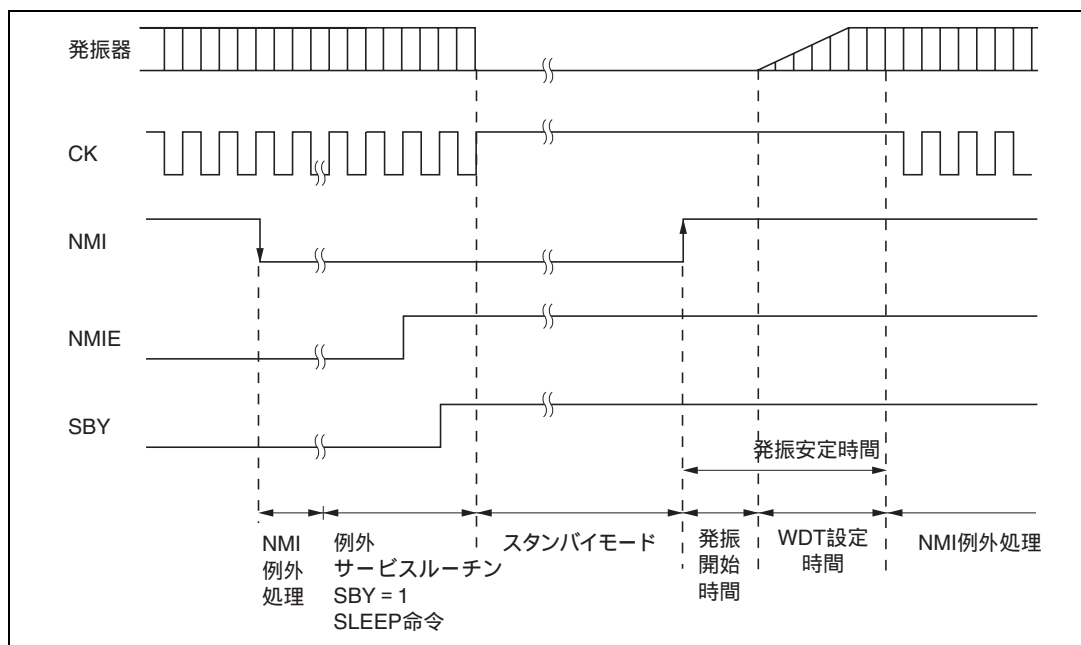


図 4.7 スタンバイモード時の NMI タイミング (応用例)

4.12 ハードウェアスタンバイモード

4.12.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{HSTBY}}$ 端子をローレベルにすると、どの状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。ただし、ハードウェアスタンバイ状態に遷移する際に内蔵 RAM にアクセスがあった場合、内蔵 RAM の内容が破壊されることがありますので、RAM の内容を保持する場合は、モジュールスタンバイ機能で RAM へのクロックの供給を停止させてから遷移してください。I/O ポートはハイインピーダンス状態になります。

ハードウェアスタンバイモード中には、モード端子 (MD5 ~ MD0) の状態を変化させないでください。

4.12.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードは、 $\overline{\text{HSTBY}}$ 端子と $\overline{\text{RES}}$ 端子により解除されます。

$\overline{\text{RES}}$ 端子をローレベルにした状態で、 $\overline{\text{HSTBY}}$ 端子をハイレベルにすると、パワーオンリセット状態に遷移し、ハードウェアスタンバイモードは解除されます。 $\overline{\text{RES}}$ 端子はクロックの発振が安定するまでローレベルを保持してください。

4.12.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 4.8 に示します。

$\overline{\text{RES}}$ 端子をローレベルにした後、 $\overline{\text{HSTBY}}$ 端子をローレベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{HSTBY}}$ 端子をハイレベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子をローレベルからハイレベルにすることにより行われます。

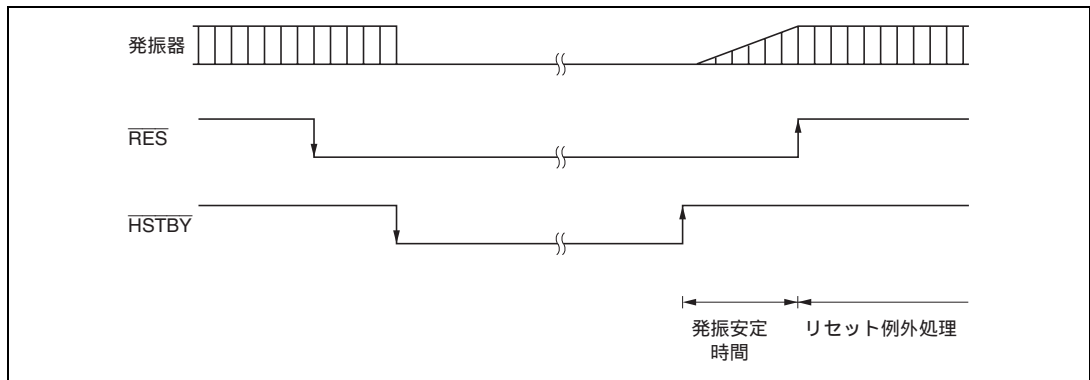


図 4.8 ハードウェアスタンバイモードのタイミング

4.13 モジュールスタンバイ機能

4.13.1 モジュールスタンバイ機能への遷移

モジュールストップコントロールレジスタ 1、2 (MSTPCR1、MSTPCR2) の MSTP ビットを 1 にセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、通常動作時およびスリープ時の消費電力を低減させることができます。

MSTP ビットと内蔵周辺モジュールの対応を表 4.16 に示します。

モジュールスタンバイ状態では、SCI、および A/D のレジスタは初期化されます。SCI、および A/D 以外のレジスタは停止前の状態を保持します。

モジュールスタンバイ状態に設定されたモジュールのレジスタは、リード/ライトできません。

表 4.16 MSTP ビットと内蔵周辺モジュールの対応

ビット*	説明
MSTP31	X-RAM/Y-RAM
MSTP30	内蔵 ROM
MSTP29	
MSTP28	ユーザブ레이크コントローラ (UBC)
MSTP27	ダイレクトメモリアクセスコントローラ (DMAC)
MSTP26	
MSTP25	
MSTP24	
MSTP23	
MSTP22	
MSTP21	
MSTP20	
MSTP19	
MSTP18	
MSTP17	
MSTP16	
MSTP15	シリアルコミュニケーションインタフェース (SCI) チャンネル 0
MSTP14	シリアルコミュニケーションインタフェース (SCI) チャンネル 1
MSTP13	シリアルコミュニケーションインタフェース (SCI) チャンネル 2
MSTP12	
MSTP11	コンペアマッチタイマ (CMT)
MSTP10	
MSTP9	モータマネジメントタイマ (MMT)
MSTP8	ポートアウトプットイネーブル (POE)
MSTP7	タイマパルスユニット (TPU)
MSTP6	A/D 変換器 (A/D)
MSTP5	D/A 変換器 (D/A)
MSTP4	
MSTP3	
MSTP2	
MSTP1	
MSTP0	

【注】 * 内蔵周辺モジュールを割り当てていないビットは、必ず 0 をライトしてください。

4.13.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、MSTP ビットを 0 にクリアするか、パワーオンリセットにより行います。

X-RAM/Y-RAM、内蔵 ROM のモジュールスタンバイ機能の解除をモジュールストップコントロールレジスタ (MSTPCR2) の書き換えで行う場合、本レジスタ書き換え後、上記メモリをアクセスする前に必ず 1 回以上の MSTPCR2 レジスタ読み出しを行ってください。

4.14 モジュールクロック分周機能

4.14.1 クロックの定義

本 LSI におけるクロックの定義を、表 4.17、表 4.18、図 4.9 に示します。

表 4.17 LSI 内部クロックの定義

略称	名称
CKM	マスタクロック
CKP	周辺クロック
CKE	外部バスクロック

表 4.18 分周クロックの定義

略称	名称
M ϕ	マスタクロック (CKM) を分周した後に各モジュールに供給されるクロック
P ϕ	周辺クロック (CKP) を分周した後に各モジュールに供給されるクロック

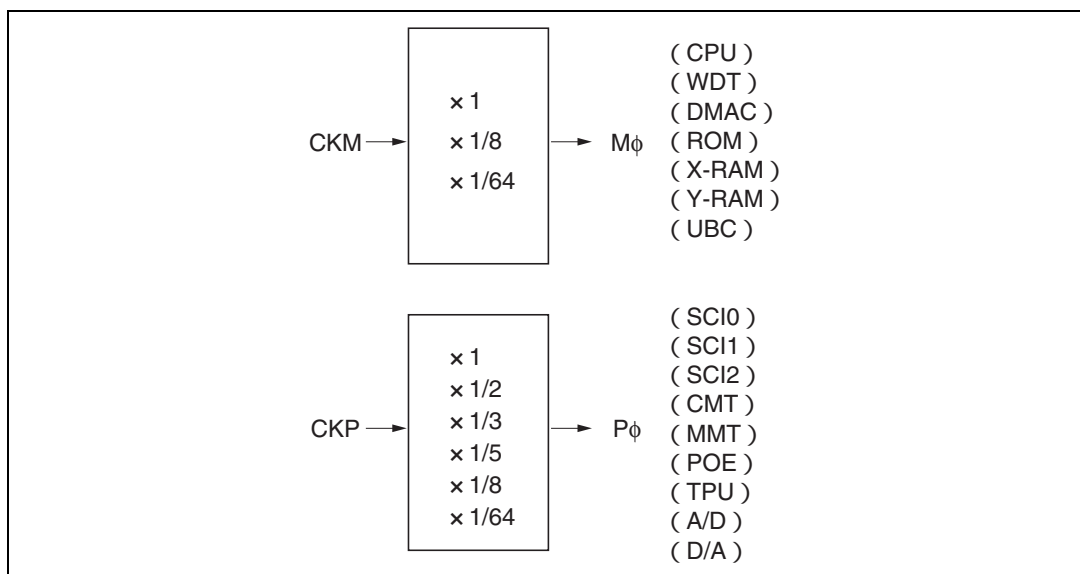


図 4.9 分周クロックと該当モジュール

4.14.2 モジュールクロック分周機能への遷移

モジュールクロックコントロールレジスタ 1、2、3、4、5 (MCLKCR1、MCLKCR2、MCLKCR3、MCLKCR4、MCLKCR5) の MCLK ビットを設定することで、クロック発振器 (CPG) の周波数制御レジスタ (FRQCR) で設定されたマスタクロック (CKM) ・周辺クロック (CKP) からさらに分周されたクロックが、該当モジュールに供給されます。この機能を使用することで、通常動作中の消費電力を低減させることができます。

MCLK ビットと内蔵周辺モジュールの対応を表 4.19 に示します。

表 4.19 MCLK ビットと内蔵周辺モジュールの対応

ビット*1	説明	最大動作周波数
MCLK191 ~ 190	CPU*2	60MHz
MCLK181 ~ 180		
MCLK171 ~ 170		
MCLK161 ~ 160		
MCLK152 ~ 150	シリアルコミュニケーションインタフェース (SCI) チャンネル 0	30MHz
MCLK142 ~ 140	シリアルコミュニケーションインタフェース (SCI) チャンネル 1	30MHz
MCLK132 ~ 130	シリアルコミュニケーションインタフェース (SCI) チャンネル 2	30MHz
MCLK122 ~ 120		
MCLK112 ~ 110	コンペアマッチタイマ (CMT)	30MHz
MCLK102 ~ 100		
MCLK092 ~ 090	モータマネジメントタイマ (MMT)	30MHz
MCLK082 ~ 080	ポートアウトプットイネーブル (POE)	30MHz
MCLK072 ~ 070	タイマパルスユニット (TPU)	30MHz
MCLK062 ~ 060	A/D 変換器 (A/D)	20MHz(クロックセレクト CKS=1) 30MHz(クロックセレクト CKS=0)
MCLK052 ~ 050	D/A 変換器 (D/A)	30MHz
MCLK042 ~ 040		
MCLK032 ~ 030		
MCLK022 ~ 020		
MCLK012 ~ 010		
MCLK002 ~ 000		

【注】 *1 モジュールを割り当てていないビットは初期値をライトしてください。

*2 DMAC、ROM、X-RAM、Y-RAM、UBC、WDT を含みます。

4.14.3 モジュールクロック分周機能の解除

モジュールクロック分周機能の解除は、MCLK ビットを設定することにより行います。

4.14.4 モジュールクロック分周機能使用上の注意

- (1) モジュールクロック分周率の変更は、MCLKCRレジスタのMCLKビットに目的とする値を書き込むことによって行います。

ただしMCLKCRレジスタへの書き込みは、必ず内蔵RAM、もしくは内蔵ROM上のプログラムから実行してください。DMACによるMCLKCRレジスタへのアクセスも行わないでください。

また、モジュールクロック分周率の変更により、M ϕ (マスタクロック (CKM) で分周した後のクロック) とCKE (外部バスクロック) の周波数比が変わる場合、変更後の

- 外部空間アクセス
- スリープへの遷移

の前に、必ずMCLKCR5レジスタの読み出しを行ってください。ただし、このときに読み出したMCLKCR5レジスタの値は不定になります。

P ϕ (周辺クロック (CKP) で分周した後のクロック) を変更する場合、変更後の

- 変更した P ϕ に該当するモジュールのレジスタアクセス
- 変更した P ϕ に該当するモジュールの、モジュールスタンバイへの遷移
- 変更した P ϕ の再変更
- ソフトウェアスタンバイへの遷移

の前に、必ず変更したP ϕ に該当するモジュール内のレジスタの読み出しを行ってください。ただし、このときに読み出したレジスタの値は不定になります。

- (2) CKM、CKP、CKEと、各モジュールに供給されるM ϕ 、P ϕ は、設定途中で最大周波数を超えないようにしてください。
- (3) MCLKビット値を変更直後、変更したM ϕ 、P ϕ に該当するモジュールは一時的にモジュールスタンバイ状態になります。したがって、SCI、およびA/Dに対応するMCLKビット値を変更すると、SCI、およびA/Dのレジスタは初期化されます。ただしMCLKビットに同一値を書き込んだ場合は、一時的にモジュールスタンバイ状態になることはありません。
- (4) M ϕ とCKEの分周比は、M ϕ : CKE=1/8 : 1/4 (CPG内分周器1~4に入力されるクロックを1とした場合) となる組み合わせ、すなわちCPG分周設定がCKM : CKE=1 : 1/4、かつモジュールクロック分周設定でCKM : M ϕ =1 : 1/8とする組み合わせは、設定しないでください。

4.15 初期化時における注意事項について

消費電流低減のために、アプリケーションソフトの初期化時に以下の命令を実行してください。

PCLR A0 : A0レジスタを0クリアする。
PSHA #5,A0 : 5ビット左シフトする。

電源投入後のパワーオンリセットで初期化されないノードがあるため、上記の命令を実行しないと消費電流が約30mA増加する場合があります。

5. 例外処理

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、割り込み、命令の 4 種類の要因によって起動されます。例外要因には、優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

例外処理		優先順位	
リセット	パワーオンリセット		
アドレスエラー	CPU アドレスエラー		
	DMAC アドレスエラー		
割り込み	NMI		
	ユーザブレイク		
	外部割り込み (IRQ/IRL)		
	内蔵周辺モジュール		ダイレクトメモリアクセスコントローラ (DMAC)
			バスステートコントローラ (BSC)
			ウォッチドッグタイマ (WDT)
			タイマパルスユニット (TPU)
			シリアルコミュニケーションインタフェース (SCI)
			コンペアマッチタイマ (CMT)
A/D 変換器 (A/D)			
モータマネジメントタイマ (MMT)			
命令	トラップ命令 (TRAPA 命令)		
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令*1 直後に配置された未定義コードまたは PC を書き換える命令*2)		

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA_F

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA_F

5. 例外処理

5.1.2 例外要因検出と例外処理開始タイミング

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化で開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始される
割り込み		
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令(遅延スロット)以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令(遅延スロット)に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される

例外処理が起動されると、CPU は次のように動作します。

(1) パワーオンリセットによる例外処理

プログラムカウンタ(PC)とスタックポインタ(SP)の初期値を例外処理ベクタテーブルの PC は H'00000000 番地、SP は H'00000004 番地から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ(VBR)を 0 に、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)を 1111 にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット(I3~I0)に書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます(リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます)。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット	
パワーオンリセット	PC	0	H'00000000 ~ H'00000003	
	SP	1	H'00000004 ~ H'00000007	
(システム予約)	PC	2	H'00000008 ~ H'0000000B	
	SP	3	H'0000000C ~ H'0000000F	
一般不当命令		4	H'00000010 ~ H'00000013	
(システム予約)		5	H'00000014 ~ H'00000017	
スロット不当命令		6	H'00000018 ~ H'0000001B	
(システム予約)		7	H'0000001C ~ H'0000001F	
		8	H'00000020 ~ H'00000023	
		9	H'00000024 ~ H'00000027	
CPU アドレスエラー		9	H'00000024 ~ H'00000027	
DMAC アドレスエラー		10	H'00000028 ~ H'0000002B	
割り込み	(システム予約)	11	H'0000002C ~ H'0000002F	
	NMI	12	H'00000030 ~ H'00000033	
	ユーザブレイク	13	H'00000034 ~ H'00000037	
(システム予約)		14	H'00000038 ~ H'0000003B	
		31	H'0000007C ~ H'0000007F	
トラップ命令 (ユーザベクタ)		32	H'00000080 ~ H'00000083	
		63	H'000000FC ~ H'000000FF	
割り込み	IRQ0	64	H'00000100 ~ H'00000103	
	IRQ1、 IRL1	65	H'00000104 ~ H'00000107	
	IRQ2、 IRL2	66	H'00000108 ~ H'0000010B	
	IRQ3、 IRL3	67	H'0000010C ~ H'0000010F	
	IRQ4	80	H'00000140 ~ H'00000143	
	IRQ5	81	H'00000144 ~ H'00000147	
	IRQ6	82	H'00000148 ~ H'0000014B	
	IRQ7	83	H'0000014C ~ H'0000014F	
	(システム予約)		84	H'00000150 ~ H'00000153
			85	H'00000154 ~ H'00000157
		86	H'00000158 ~ H'0000015B	

5. 例外処理

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
割り込み	(システム予約)	87	H'0000015C ~ H'0000015F
		88	H'00000160 ~ H'00000163
		89	H'00000164 ~ H'00000167
		90	H'00000168 ~ H'0000016B
		91	H'0000016C ~ H'0000016F
	IRL4 ~ IRL15* ¹	68	H'00000110 ~ H'00000113
		79	H'0000013C ~ H'0000013F
(システム予約)		92	H'00000170 ~ H'00000173
		127	H'000001FC ~ H'000001FF
内蔵周辺モジュール* ²		128	H'00000200 ~ H'00000203
		255	H'000003FC ~ H'000003FF

【注】 *1 外部割り込み IRL4 ~ IRL15 に対するベクタ番号とベクタテーブルオフセットは表 6.3 を参照してください。

*2 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは表 6.6 を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR : ベクタベースレジスタ

ベクタテーブルアドレスオフセット : 表 5.3 を参照

ベクタ番号 : 表 5.3 を参照

5.2 パワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時またはスタンバイ時 (クロックが停止している場合は発振安定時間の間、クロックが動作している場合は 40 t_{cy} (最も遅いモジュールのクロック) の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 B. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (2) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (3) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) を H'F (1111) にセットします。

(4) 例外処理ベクタテーブルから取り出した値をそれぞれプログラムカウンタ (PC) とスタックポインタ (SP) に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.5 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.5 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*以外から命令をフェッチ	なし (正常)
		内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU または DMAC	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを16ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを8ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生

【注】 * 内蔵周辺モジュール空間については、「第8章 バスステートコントローラ (BSC)」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避するプログラムカウンタの値は、最後に実行した命令の次命令の先頭アドレスです。
- (3) 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

5.4 割り込み

5.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.6 に示すように NMI、ユーザブレイク、IRQ、内蔵周辺モジュールがあります。

表 5.6 割り込み要因

種類	要求元
NMI	NMI 端子 (外部からの入力)
ユーザブレイク	ユーザブレイクコントローラ
IRQ、IRL	IRQ0 ~ IRQ7 端子 (外部からの入力)
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ
	タイマパルスユニット
	コンペアマッチタイマ
	A/D 変換器
	シリアルコミュニケーションインタフェース
	ウォッチドッグタイマ
	バスステートコントローラ
モータマネジメントタイマ	

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「6.2.5 割り込み例外処理ベクタと優先順位」を参照してください。

5.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合 (多重割り込み)、割り込みコントローラ (INTC) によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0 ~ 16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込みの優先レベルは 15 です。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPRL) で自由に設定できます (表 5.7)。設定できる優先レベルは 0 ~ 15 で、優先レベル 16 は設定できません。IPRA ~ IPRL の詳細については「6.3.1 割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPRL)」を参照してください。

表 5.7 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可
ユーザブレイク	15	優先レベル固定
IRQ、IRL	0 ~ 15	割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPRL) により設定
内蔵周辺モジュール		

5.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は SR とプログラムカウンタ (PC) をスタックに退避し、受け付けた割り込みの優先レベル値を SR の I3 ~ I0 ビットに書き込みます。ただし、NMI の場合優先レベルは 16 ですが、I3 ~ I0 ビットに設定される値は HF (レベル 15) です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理の詳細については「6.4 動作説明」を参照してください。

5.5 命令による例外

5.5.1 命令による例外の種類

例外処理を起動する命令には、表 5.8 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 5.8 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後 (遅延スロット) に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA
一般不当命令	遅延スロット以外にある未定義コード	

5.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、TRAPA 命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令がプログラムカウンタ(PC)を書き換える命令のときも、このPCを書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPUは次のように動作します。

- (1) ステータスレジスタ(SR)をスタックに退避します。
- (2) プログラムカウンタ(PC)をスタックに退避します。退避するPCの値は、未定義コードまたはPCを書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.4 一般不当命令

遅延分岐命令の直後(遅延スロット)以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPUはスロット不当命令例外処理と同じ手順で動作します。ただし、退避するプログラムカウンタ(PC)の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6 例外要因が受け付けられない場合

アドレスエラーまたは割り込みが、遅延分岐命令または割り込みが禁止された命令の後で発生すると、直ちに受け付けられず、表5.9に示すように保留される場合があります。この場合、アドレスエラーまたは割り込みは、例外を受け付けることができる命令がデコードされるときに受け付けられます。

表 5.9 例外要因の発生：特殊ケース

発生場所	例外要因	
	アドレスエラー	割り込み
遅延分岐命令の直後 ^{*1}	受け付けられない	受け付けられない
割り込みを禁止された命令の直後 ^{*2}	受け付けられる	受け付けられない
3つ以下の命令で構成される繰り返しループ(命令フェッチサイクルは発生しない) 4つ以上の命令を持つ繰り返しループにある最初の命令または最後の3つの命令	受け付けられない	受け付けられない
4つ以上の命令を持つ繰り返しループにある最後から4つ目の命令	受け付けられる	受け付けられない

【注】 *1 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA

*2 割り込みを禁止された命令：LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

5.6.1 遅延分岐命令の直後

遅延分岐命令の直後に置かれた(すなわち遅延スロットにある)命令がデコードされるとき、アドレスエラーも割り込みも受け付けられません。遅延分岐命令およびその直後(遅延スロット)に置かれた命令は、常に連続して実行されるので、この期間には例外処理は起動しません。

5.6.2 割り込みを禁止された命令の直後

割り込みを禁止された命令の直後の命令をデコードするとき、割り込みは受け付けられません。しかし、アドレスエラー例外は受け付けられます。

5.6.3 繰り返しループにおける命令

繰り返しループが3つ以下の命令で構成される場合は、例外も割り込みも受け付けられません。繰り返しループに4つ以上の命令がある場合は、繰り返しループの最初の命令または最後の3つの命令の実行サイクル中、例外も割り込みも受け付けられません。繰り返しループに4つ以上の命令がある場合は、繰り返しループの最後から4つ目の命令実行サイクル中、アドレスエラーのみ受け付けられます。詳細については、「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」を参照してください。

A : すべての割り込み、アドレスエラーが受け付けられます。
 B : アドレスエラーのみ受け付けられます。
 C : どの割り込み、アドレスエラーも受け付けられません。

RC > = 1のとき;

繰り返しループを構成する命令の数により次のように分けられます。

(1) 1命令

```
instr0 <- A
Start (End): instr1 <- B
instr2 <- C
instr2 <- A
```

(2) 2命令

```
instr0 <- A
Start: instr1 <- B
End: instr2 <- C
instr3 <- C
instr3 <- A
```

(3) 3命令

```
instr0 <- A
Start: instr1 <- B
instr2 <- C
End: instr3 <- C
instr4 <- C
instr4 <- A
```

(4) 4命令

```
instr0 <- A
Start: instr1 <- A or C*1
instr2 <- B
instr3 <- C
End: instr4 <- C
instr5 <- C
instr5 <- A
```

(5) 5命令以上

```
instr0 <- A
Start: instr1 <- A or C*2
:
:
instr n-3 <- A
instr n-2 <- B
instr n-1 <- C
End: instr n <- C
instr n+1 <- A
```

【注】*1 Cになるのは、instr4から戻ってきたとき
 *2 Cになるのは、instr nから戻ってきたとき

RC = 0のとき;

すべての割り込み、アドレスエラーが受け付けられます。

図 5.1 リピートモードにおける割り込み受け付けの制限

5.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.10 に示すようになります。

表 5.10 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレスエラー		割り込み	
トラップ命令		スロット不当命令	
一般不当命令			

5.8 使用上の注意

5.8.1 スタックポインタ (SP) の値

スタックポインタ (SP) の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外の場合、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.2 ベクタベースレジスタ (VBR) の値

ベクタベースレジスタ (VBR) の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外の場合、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

スタックポインタ (SP) が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。ステータスレジスタ (SR) とプログラムカウンタ (PC) のスタッキングでは、SP がそれぞれ 4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6. 割り込みコントローラ (INTC)

6.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、割り込み要求を処理する優先順位を設定することができます。

6.1.1 特長

INTC には、次の特長があります。

- 2種類の外部割り込みモード
 - IRQ モード
8本の外部信号は、独立した割り込み要因 ($\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$) となります。各割り込み要因は、割り込みベクタを持ち、優先順位レベルを選択できます。
 - IRL モード
4本の外部割り込み信号 ($\overline{\text{IRQ3}} \sim \overline{\text{IRQ0}}$) は、1～15の優先順位レベルを指定します。このとき、外部割り込み信号 $\overline{\text{IRQ4}} \sim \overline{\text{IRQ7}}$ はそれぞれ独立した割り込み要因となります。
- 16レベルの割り込み優先順位
12本の割り込み優先レベル設定レジスタにより、IRQ割り込みと内蔵周辺モジュール割り込みの優先順位を割り込み要求要因ごと15レベルのどれか一つに割り当てることができます。また、NMI割り込みには自動的に優先順位レベル16が割り当てられます。
- NMI ノイズキャンセラ機能
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。
- 割り込みが発生したことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)
たとえば、本LSIがバス権を解放しているときに、内蔵周辺モジュール割り込みが発生したことを外部バスマスタに知らせ、バス権を要求することができます。

6. 割り込みコントローラ (INTC)

6.1.2 ブロック図

INTCのブロック図を図6.1に示します。

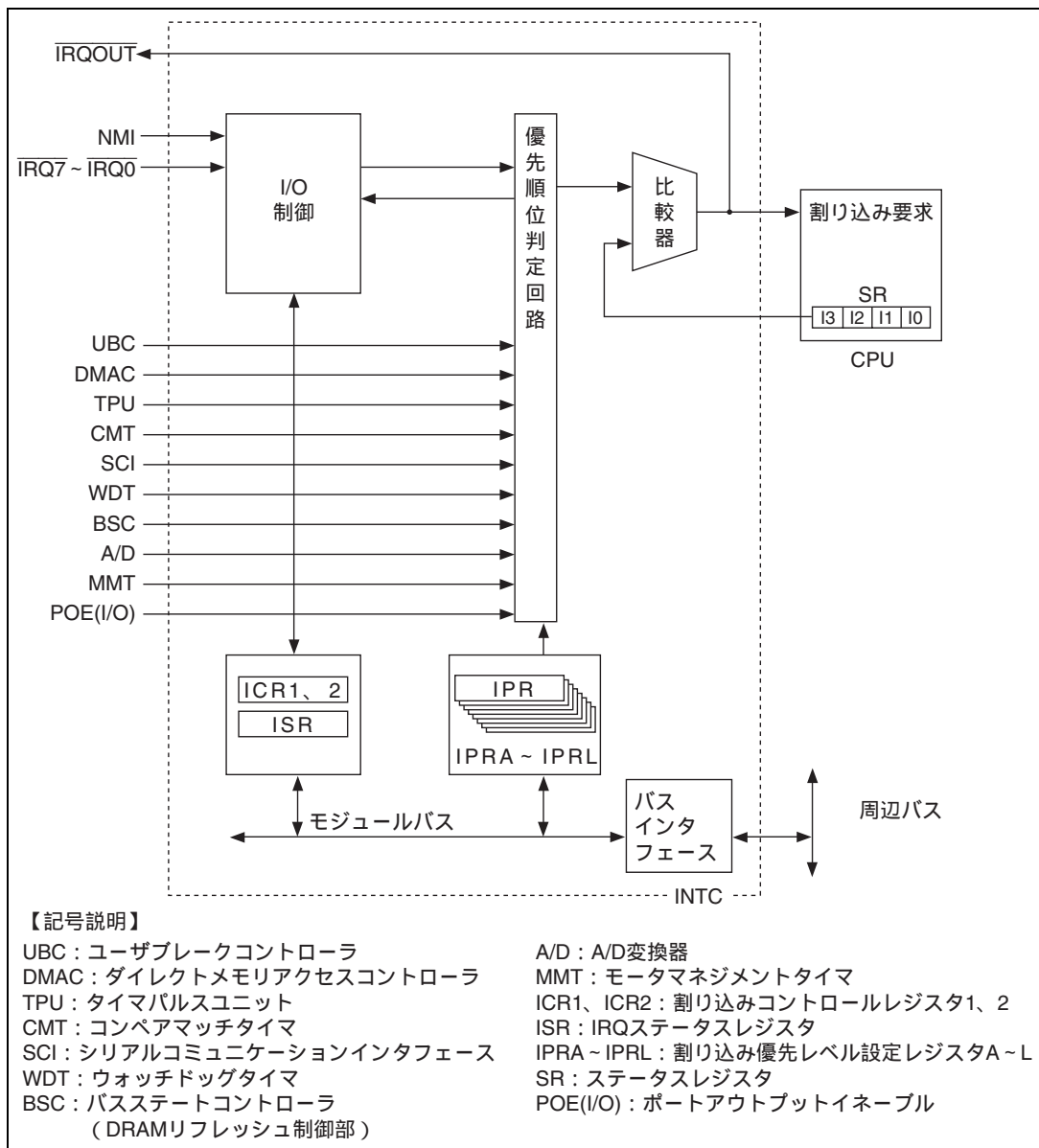


図6.1 INTCのブロック図

6.1.3 端子構成

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

端子	入出力	機能
NMI	入力	マスク不可能な割り込み要求信号を入力
IRQ7 ~ IRQ0	入力	マスク可能な割り込み要求信号を入力
IRQOUT	出力	割り込み要因の発生を知らせる信号を出力

6.1.4 レジスタ構成

INTC には、表 6.2 に示すように 15 本のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'0000	H'FFFF 1050	8、16、32
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'0000	H'FFFF 1052	8、16、32
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'0000	H'FFFF 1054	8、16、32
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'0000	H'FFFF 1056	8、16、32
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'0000	H'FFFF 1058	8、16、32
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'0000	H'FFFF 105A	8、16、32
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'0000	H'FFFF 105C	8、16、32
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'0000	H'FFFF 105E	8、16、32
割り込み優先レベル設定レジスタ I	IPRI	R/W	H'0000	H'FFFF 1060	8、16、32
割り込み優先レベル設定レジスタ J	IPRJ	R/W	H'0000	H'FFFF 1062	8、16、32
割り込み優先レベル設定レジスタ K	IPRK	R/W	H'0000	H'FFFF 1064	8、16、32
割り込み優先レベル設定レジスタ L	IPRL	R/W	H'0000	H'FFFF 1066	8、16、32
割り込みコントロールレジスタ 1	ICR1	R/W	*1	H'FFFF 106E	8、16、32
割り込みコントロールレジスタ 2	ICR2	R/W	H'0000	H'FFFF 1070	8、16、32
IRQ ステータスレジスタ	ISR	R/(W)*2	H'0000	H'FFFF 1072	8、16、32

【注】 *1 ビット 15 NMIL は NMI 端子に入力されている信号レベルになります。詳細は、「6.3.2 割り込みコントロールレジスタ 1 (ICR1)」を参照してください。

*2 詳細は、「6.3.4 IRQ ステータスレジスタ (ISR)」を参照してください。

6.2 割り込み要因

割り込み要因は、NMI、ユーザブレイク、IRQ/IRL、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

6.2.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで常に受け付けられます。NMI 端子からの入力はエッジで検出されます。検出エッジは、割り込みコントロールレジスタ1(ICR1)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は15に設定されます。割り込みコントロールレジスタ1(ICR1)のNMILビットには、NMI端子のレベルが設定されます。NMILビットを割り込み例外サービスルーチン中で参照することにより、ノイズによる誤ったエッジ検出で生じる割り込み要求を避けることが可能です。

6.2.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ(UBC)で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレイク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレイク例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は15に設定されます。ユーザブレイクの詳細は、「第7章 ユーザブレイクコントローラ(UBC)」を参照してください。

6.2.3 外部割り込み

外部割り込みは、IRQ 割り込みモード(初期設定)と、IRL 割り込みモードの選択ができます。選択は割り込みコントロールレジスタ1(ICR1)のEXIMDビットで行います。

(1) IRQ 割り込みモード

各IRQ 割り込みは、端子 $\overline{IRQ7} \sim \overline{IRQ0}$ のそれぞれに対応しています。割り込みコントロールレジスタ2(ICR2)のIRQ センスセレクトビット7~0(IRQ7S~IRQ0S)は、各端子に対して別々にLowレベル検出か、立ち下がりエッジ検出かを選択することができます。割り込み優先レベル設定レジスタA、Bは各端子に対して別々に0~15の優先レベルを選択することができます。IRQ 割り込み例外処理によりSRの割り込みマスクビット(I3~I0)は受け付けられたIRQ 割り込み優先レベル値に設定されます。

(2) IRL 割り込みモード

IRL 割り込みは、外部端子 $\overline{IRQ3} \sim \overline{IRQ0}$ からの入力によって要求されます。IRL15~IRL1の15の割り込みを端子 $\overline{IRQ3} \sim \overline{IRQ0}$ によって外部から入力することができます。割り込みIRL15~IRL1の優先順位レベルはそれぞれ15~1に固定されており、それぞれのベクタ番号は79~64です。IRL 割り込みモードにおいて、外部割り込み $\overline{IRQ4} \sim \overline{IRQ7}$ はおのおの独立した割り込み要因になります。 $\overline{IRQ4} \sim \overline{IRQ7}$ の優先レベルは、IRQ 割り込みモードと同様に割り込み優先レベル設定レジスタB(IPRB)で設定することが可能です。図6.2に割り込み接続例を示します。

表 6.3 IRL 割り込み優先順位レベルとベクタ番号

割り込み	信号				優先順位レベル	ベクタ番号
	$\overline{\text{IRQ3}}$	$\overline{\text{IRQ2}}$	$\overline{\text{IRQ1}}$	$\overline{\text{IRQ0}}$		
IRL15	0	0	0	0	15	79
IRL14	0	0	0	1	14	78
IRL13	0	0	1	0	13	77
IRL12	0	0	1	1	12	76
IRL11	0	1	0	0	11	75
IRL10	0	1	0	1	10	74
IRL9	0	1	1	0	9	73
IRL8	0	1	1	1	8	72
IRL7	1	0	0	0	7	71
IRL6	1	0	0	1	6	70
IRL5	1	0	1	0	5	69
IRL4	1	0	1	1	4	68
IRL3	1	1	0	0	3	67
IRL2	1	1	0	1	2	66
IRL1	1	1	1	0	1	65
—	1	1	1	1	0 (割り込みなし)	64



図 6.2 IRL モード割り込みの接続例

6.2.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ (DMAC)
- ウォッチドッグタイマ (WDT)
- パスステートコントローラ (BSC)
- タイマパルスユニット (TPU)
- シリアルコミュニケーションインタフェース (SCI)
- コンペアマッチタイマ (CMT)
- モータマネジメントタイマ (MMT)
- A/D 変換器 (A/D)
- ポートアウトプットイネーブル (POE (I/O))

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ E~L (IPRE~IPRL) によ

て、モジュールごとに優先レベル0~15の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.2.5 割り込み例外処理ベクタと優先順位

表 6.4、表 6.5、表 6.6 に、割り込み要因とベクタ番号、ベクタテーブルアドレス、およびデフォルトの割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、表 5.4 を参照してください。

IRQ モードのときは、割り込み優先レベル設定レジスタ A、B (IPRA、IPRB) を用いて、IRQ 割り込みに割り込み優先順位レベル 0~15 を割り当てることができます。

IRL モードのときは、IRL 割り込み IRL15~IRL1 はおのこの割り込み優先順位レベル 15~1 となります。IRQ および IRL 割り込みのベクタ番号は、表 6.3~表 6.5 に示すベクタを使用できます。

内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ E~L (IPRE~IPRL) によって、モジュールごとに 0~15 の間で優先順位を自由に設定できます。表 6.6 の「IPR 設定部内の優先順位」の欄は、同じ IPR フィールドを共有する割り込み要因に対する相対的優先順位を示します。この優先順位は変更することができません。パワーオンリセットによって、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は優先レベル 0 に設定されます。また、同じ優先順位レベルが 2 つ以上の割り込み要因に割り当てられ、それらの要因からの割り込みが同時に発生した場合、その優先順位は、表 6.4~表 6.6 の右側に示す「デフォルト優先順位」となります。

表 6.4 IRQ モードでの割り込み例外処理ベクタと優先順位

割り込み要因	割り込み優先 順位 (初期値)	IPR (ビット番号)	ベクタ		デフォルト 優先順位
			ベクタ番号	ベクタテーブル オフセット	
NMI	16	-	12	H'0000 0030	高 ↑ ↓ 低
ユーザブレイク	15	-	13	H'0000 0034	
IRQ0	0~15 (0)	IPRA (15~12)	64	H'0000 0100	
IRQ1	0~15 (0)	IPRA (11~8)	65	H'0000 0104	
IRQ2	0~15 (0)	IPRA (7~4)	66	H'0000 0108	
IRQ3	0~15 (0)	IPRA (3~0)	67	H'0000 010C	
IRQ4	0~15 (0)	IPRB (15~12)	80	H'0000 0140	
IRQ5	0~15 (0)	IPRB (11~8)	81	H'0000 0144	
IRQ6	0~15 (0)	IPRB (7~4)	82	H'0000 0148	
IRQ7	0~15 (0)	IPRB (3~0)	83	H'0000 014C	

表 6.5 IRL モードでの割り込み例外処理ベクタと優先順位

割り込み要因	割り込み優先 順位 (初期値)	IPR (ビット番号)	ベクタ		デフォルト 優先順位
			ベクタ番号	ベクタテーブル オフセット	
NMI	16	-	12	H'0000 0030	高 ↑ ↓ 低
ユーザブレイク	15	-	13	H'0000 0034	
IRL15	15	-	79	H'0000 013C	
IRL14	14	-	78	H'0000 0138	
IRL13	13	-	77	H'0000 0134	
IRL12	12	-	76	H'0000 0130	
IRL11	11	-	75	H'0000 012C	
IRL10	10	-	74	H'0000 0128	
IRL9	9	-	73	H'0000 0124	
IRL8	8	-	72	H'0000 0120	
IRL7	7	-	71	H'0000 011C	
IRL6	6	-	70	H'0000 0118	
IRL5	5	-	69	H'0000 0114	
IRL4	4	-	68	H'0000 0110	
IRL3	3	-	67	H'0000 010C	
IRL2	2	-	66	H'0000 0108	
IRL1	1	-	65	H'0000 0104	

6. 割り込みコントローラ (INTC)

割り込み要因		割り込み優先順位 (初期値)	IPR (ビット番号)	IPR設定部内 の優先順位	ベクタ 番号	ベクタテーブル オフセット	デフォルト 優先順位
TPU4	TGI4A	0 ~ 15(0)	IPRJ(15 ~ 12)	高 ↑ ↓ 低	172	H'0000 02B0	高 ↑ ↓ 低
	TGI4B				173	H'0000 02B4	
	(予約)				174	H'0000 02B8	
	(予約)	175	H'0000 02BC				
	TCI4V	0 ~ 15(0)	IPRJ(11 ~ 8)	高 ↑ ↓ 低	176	H'0000 02C0	
	TCI4U				177	H'0000 02C4	
	(予約)				178	H'0000 02C8	
	(予約)				179	H'0000 02CC	
	(予約)						
TPU5	TGI5A	0 ~ 15(0)	IPRJ(7 ~ 4)	高 ↑ ↓ 低	180	H'0000 02D0	
	TGI5B				181	H'0000 02D4	
	(予約)				182	H'0000 02D8	
	(予約)	183	H'0000 02DC				
	TCI5V	0 ~ 15(0)	IPRJ(3 ~ 0)	高 ↑ ↓ 低	184	H'0000 02E0	
	TCI5U				185	H'0000 02E4	
	(予約)				186	H'0000 02E8	
	(予約)				187	H'0000 02EC	
	(予約)						
SCIO	ERI0	0 ~ 15(0)	IPRK(15 ~ 12)	高 ↑ ↓ 低	188	H'0000 02F0	
	RXIO				189	H'0000 02F4	
	TXIO				190	H'0000 02F8	
	TEIO				191	H'0000 02FC	
SCIO1	ERI1	0 ~ 15(0)	IPRK(11 ~ 8)	高 ↑ ↓ 低	192	H'0000 0300	
	RX11				193	H'0000 0304	
	TX11				194	H'0000 0308	
	TE11				195	H'0000 030C	
SCIO2	ERI2	0 ~ 15(0)	IPRK(7 ~ 4)	高 ↑ ↓ 低	196	H'0000 0310	
	RX12				197	H'0000 0314	
	TX12				198	H'0000 0318	
	TE12				199	H'0000 031C	
(予約)	(予約)	0 ~ 15(0)	IPRK(3 ~ 0)	高 ↑ ↓ 低	200	H'0000 0320	
	(予約)				201	H'0000 0324	
	(予約)				202	H'0000 0328	
	(予約)				203	H'0000 032C	
	(予約)						
CMT	CMI0	0 ~ 15(0)	IPRL(15 ~ 12)	高 ↑ ↓ 低	204	H'0000 0330	
	CMI1				205	H'0000 0334	
	(予約)				206	H'0000 0338	
	(予約)				207	H'0000 033C	
	(予約)						
A/D	ADI0	0 ~ 15(0)	IPRL(11 ~ 8)	高 ↑ ↓ 低	208	H'0000 0340	
	ADI1				209	H'0000 0344	
	(予約)				210	H'0000 0348	
	(予約)				211	H'0000 034C	
	(予約)						
MMT	TGIM	0 ~ 15(0)	IPRL(7 ~ 4)	高 ↑ ↓ 低	212	H'0000 0350	
	TGIN				213	H'0000 0354	
	(予約)				214	H'0000 0358	
	(予約)				215	H'0000 035C	
	(予約)						
POE (I/O)	OEI	0 ~ 15(0)	IPRL(3 ~ 0)	高 ↑ ↓ 低	216	H'0000 0360	
	(予約)				217	H'0000 0364	
	(予約)				218	H'0000 0368	
	(予約)				219	H'0000 036C	
	(予約)						

6.3 レジスタの説明

6.3.1 割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPRL) は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0 ~ 15) を設定します。割り込み要求元と IPRA ~ IPRL の各ビットの対応を表 6.7 に示します。

表 6.7 割り込み要求元と IPRA ~ IPRL

レジスタ	ビット			
	15 ~ 12	11 ~ 8	7 ~ 4	3 ~ 0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ B	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ C	(予約)	(予約)	(予約)	(予約)
割り込み優先レベル設定レジスタ D	(予約)	(予約)	(予約)	(予約)
割り込み優先レベル設定レジスタ E	DMAC0	DMAC1	DMAC2	DMAC3
割り込み優先レベル設定レジスタ F	(予約)	(予約)	(予約)	(予約)
割り込み優先レベル設定レジスタ G	BSC	BSC	WDT	(予約)
割り込み優先レベル設定レジスタ H	TPU0	TPU0	TPU1	TPU1
割り込み優先レベル設定レジスタ I	TPU2	TPU2	TPU3	TPU3
割り込み優先レベル設定レジスタ J	TPU4	TPU4	TPU5	TPU5
割り込み優先レベル設定レジスタ K	SCI0	SCI1	SCI2	(予約)
割り込み優先レベル設定レジスタ L	CMT	A/D	MMT	POE (I/O)

1 本のレジスタに 4 つの IRQ 端子、または 4 組の内蔵周辺モジュールが割り当てられています。ビット 15 ~ 12、ビット 11 ~ 8、ビット 7 ~ 4、ビット 3 ~ 0 の各 4 ビットに H'0 (0000) ~ H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。IPRA ~ IPRL は、パワーオンリセットで H'0000 に初期化されます。スタンバイモードでは初期化されません。予約ビットは常に 0 が読み出されます。書き込み時には常に 0 を書き込んでください。

6.3.2 割り込みコントロールレジスタ 1 (ICR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL*					EXIMD		NMIE								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R					R/W		R/W								

【注】* NMI端子がハイレベルのときに1、ローレベルのときに0となります。

割り込みコントロールレジスタ 1 (ICR1) は、16 ビットのレジスタで、外部割り込み入力端子 NMI と $\overline{IRQ7} \sim \overline{IRQ0}$ の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR1 はパワーオンリセットで H'0000 または H'8000 に初期化されます。スタンバイモード時には初期化されません。

ビット 15: NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

ビット 15	説明
NMIL	
0	NMI 端子にローレベルが入力されている
1	NMI 端子にハイレベルが入力されている

ビット 14~11: 予約ビット

読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット 10: 外部割り込みベクタモードセレクト (EXIMD)

このビットは IRQ モードまたは IRL モードを選択します。IRQ モードでは、 $\overline{IRQ7} \sim \overline{IRQ0}$ 信号はおのの 1 つの割り込み要因となります。IRL モードでは、 $\overline{IRQ3} \sim \overline{IRQ0}$ 信号で割り込み優先順位 1 ~ 15 を指定し、 $\overline{IRQ7} \sim \overline{IRQ4}$ 信号はおのの 1 つの割り込み要因となります。

ビット 10	説明
EXIMD	
0	IRQ モード (初期値)
1	IRL モード

ビット 9: 予約ビット

読み出すと常に 0 が読み出されます。書き込みは無効です。

6. 割り込みコントローラ (INTC)

ビット 8 : NMI エッジセレクト (NMIE)

NMI 入力の立ち上がり / 立ち下がりエッジで割り込み要求を検出します。

ビット 8	説明
NMIE	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット 7~0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みは無効です。

6.3.3 割り込みコントロールレジスタ 2 (ICR2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									IRQ7S	IRQ6S	IRQ5S	IRQ4S	IRQ3S	IRQ2S	IRQ1S	IRQ0S
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :									R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込みコントロールレジスタ 2 (ICR2) は、16 ビットのレジスタで、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ の入力信号検出モードを設定します。ICR2 はパワーオンリセットで H'0000 に初期化されます。スタンバイモード時には初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット 7~0 : IRQ7 ~ IRQ0 センスセレクト (IRQ7S ~ IRQ0S)

IRQ7 ~ IRQ0 割り込み要求の検出モードを設定します。

ビット 7~0	説明
IRQ7S ~ IRQ0S	
0	IRQ 入力のローレベルで割り込み要求を検出 (初期値)
1	IRQ 入力の立ち下がりエッジで割り込み要求を検出

6.3.4 IRQ ステータスレジスタ (ISR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:									R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ ステータスレジスタ (ISR) は 16 ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ の割り込み要求のステータスを示します。IRQ 割り込みをエッジ検出に設定している場合、 $\text{IRQnF} = 1$ を読み出した後 IRQnF に 0 を書き込むことにより、保持されている割り込み要求を取り下げることができます。

ISR はパワーオンリセットで H'0000 に初期化されます。スタンバイモード時には初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット 7~0 : IRQ0 ~ IRQ7 フラグ (IRQ0F ~ IRQ7F)

IRQ7 ~ IRQ0 割り込み要求のステータスを表示します。

ビット 7~0	検出設定	説明
IRQ7F ~ IRQ0F		
0	レベル検出時	IRQn 割り込み要求が存在しません。 [クリア条件] $\overline{\text{IRQn}}$ 入力がハイレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されていません。 (初期値) [クリア条件] (1) $\text{IRQnF} = 1$ の状態を読み出した後に 0 を書き込んだとき (2) IRQn 割り込み例外処理を実行したとき
1	レベル検出時	IRQn 割り込み要求が存在します。 [セット条件] $\overline{\text{IRQn}}$ 入力がローレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されています。 [セット条件] $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき

レベル検出に設定しても常にエッジ検出回路は動作しています。よってレベル検出動作後エッジ検出に切り替えた場合、 IRQnF がセットされている場合がありますので注意してください。エッジ検出の場合の割り込み要求取り下げ (IRQnF のクリア) は IRQnF 読み出し後、0 を書き込んでください。図 6.3 に割り込み制御回路を示します。

6. 割り込みコントローラ (INTC)

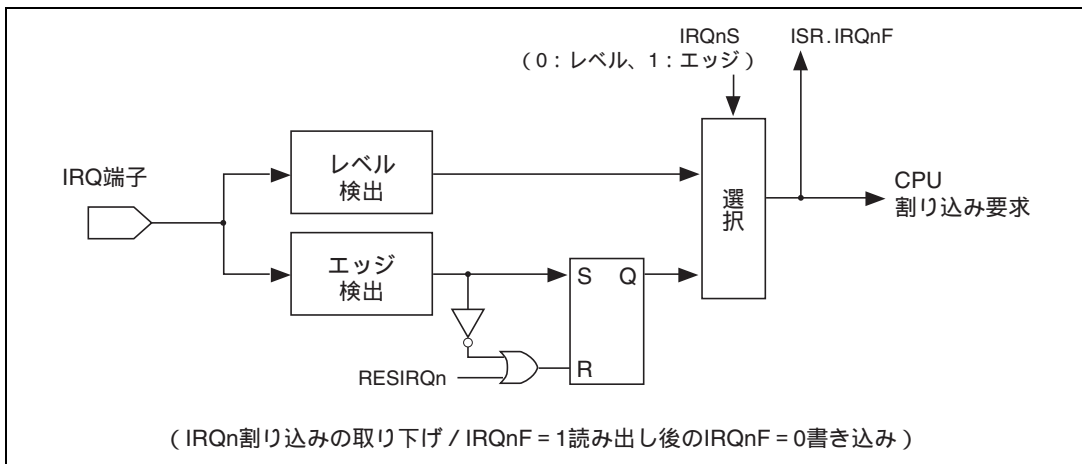


図 6.3 割り込み制御回路

6.4 動作説明

6.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.4 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPLR) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 6.6 に示す「デフォルト優先順位」と「IPR 設定部内の優先順位」に従って、最も優先順位の高い割り込みが選択されます。無視された割り込みは、上位の割り込み処理終了後に受け付けられます。また、上位の割り込み処理終了前に取り下げることができます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
- (5) 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます(図 6.5 参照)。
- (6) ステータスレジスタ (SR) とプログラムカウンタ (PC) がスタックに退避されます。
- (7) SR の I3 ~ I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
- (8) 受け付けられた割り込みがレベル検出または内蔵周辺モジュールからの割り込みだった場合、 $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。なお、受け付けた割り込みがエッジ検出だった場合は、(5) で CPU が実行しようとしていた命令を割り込み例外処理に置き換えた時点で $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。ただし、割り込みコントローラが受け付け中の割り込みよりレベルの高い他の割り込みを受け付けているときは、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。
- (9) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】* エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (ISR) のアクセスにより取り下げることができます。詳しくは「6.3.4 IRQ ステータスレジスタ (ISR)」を参照してください。

6. 割り込みコントローラ (INTC)

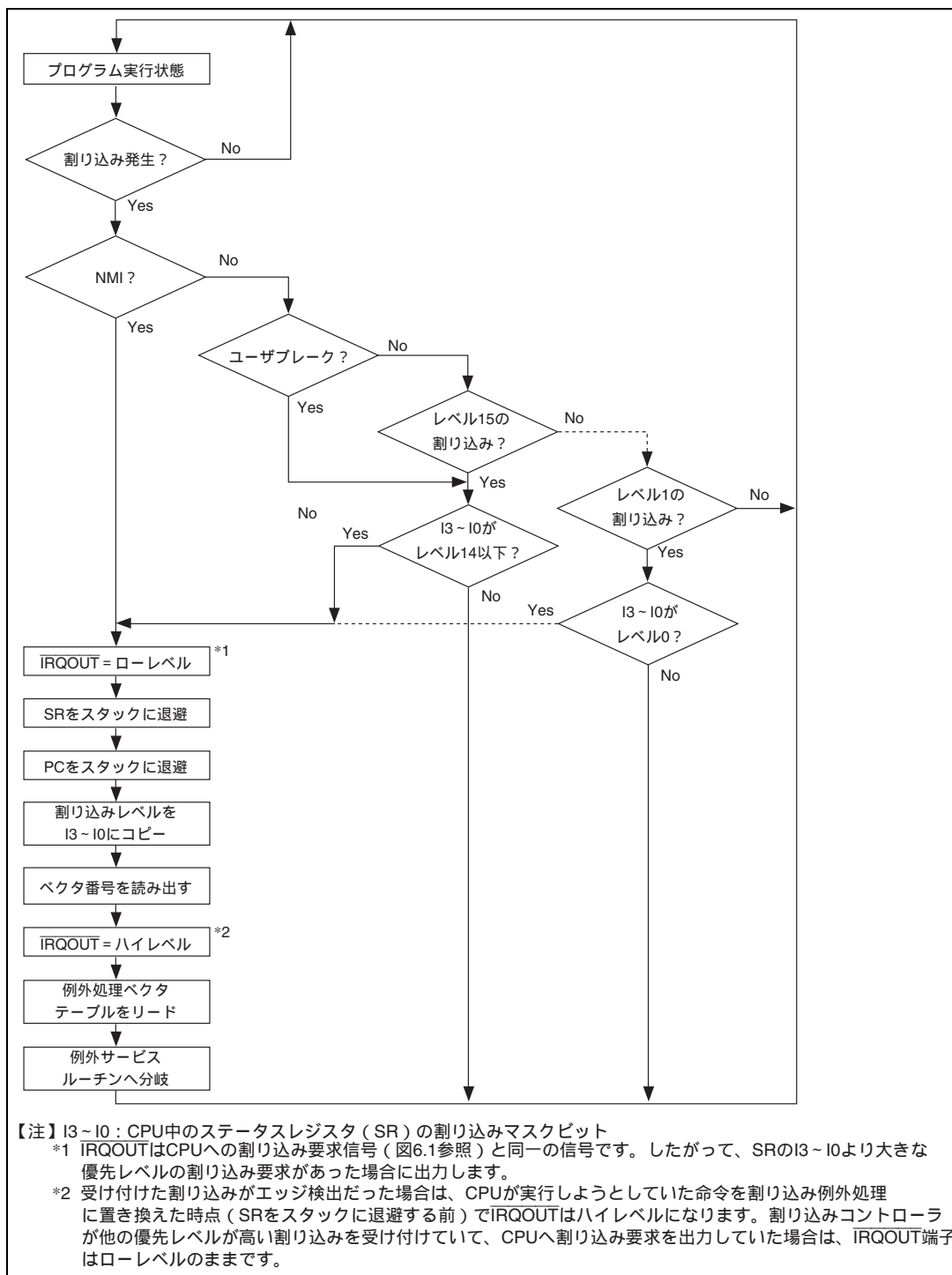


図 6.4 割り込み動作フロー

6.4.2 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.8 に示します。また、IRQ 割り込みを受け付ける場合のパイプライン動作を図 6.5 に示します。

表 6.8 割り込み応答時間

項目	ステート数		備考	
	NMI、周辺モジュール	IRQ		
優先順位判定および SR のマスクビットとの比較時間	2	3		
CPU が実行中のシーケンス終了までの待ち時間	$X(0)$		最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X = 4 + m1 + m2 + m3 + m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。	
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	$5 + m1 + m2 + m3$		SR、PC の退避とベクタアドレスのフェッチを行います。	
応答時間	合計	$7 + m1 + m2 + m3$	$8 + m1 + m2 + m3$	
	最小時	10	11	60MHz 動作時：0.17 ~ 0.18 μ s
	最大時	$11 + 2(m1 + m2 + m3) + m4$	$12 + 2(m1 + m2 + m3) + m4$	60MHz 動作時：0.30 ~ 0.32 μ s*

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

- m1 : SR の退避 (ロングワードライト)
- m2 : PC の退避 (ロングワードライト)
- m3 : ベクタアドレスリード (ロングワードリード)
- m4 : 割り込みサービスルーチン先頭命令のフェッチ

* m1 = m2 = m3 = m4 = 1 の場合

6. 割り込みコントローラ (INTC)

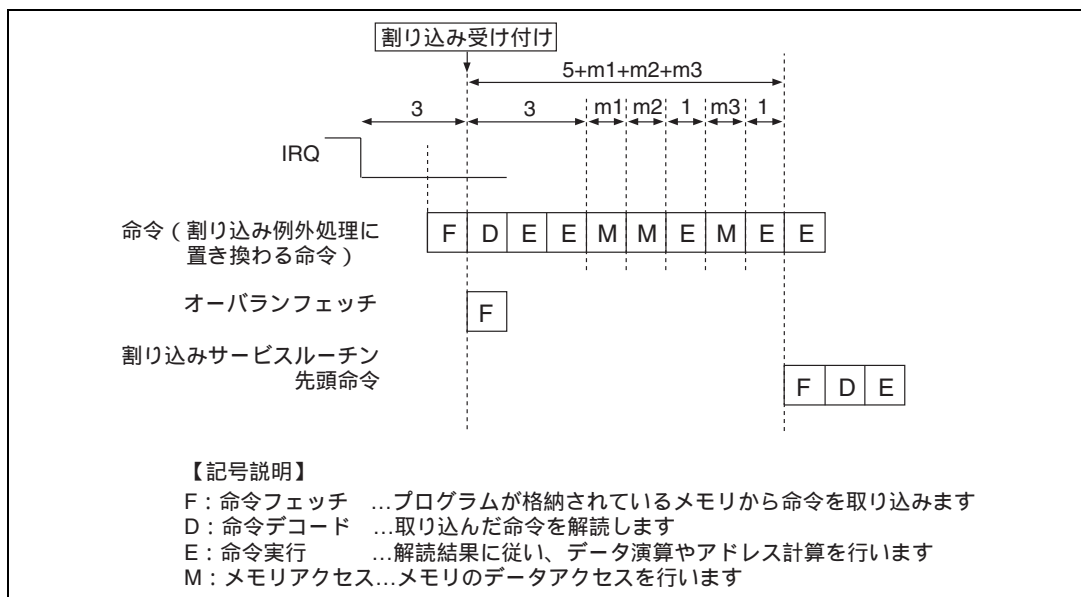


図 6.5 IRQ 割り込みを受け付けるときのパイプライン動作例

6.4.3 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.6 に示すようになります。

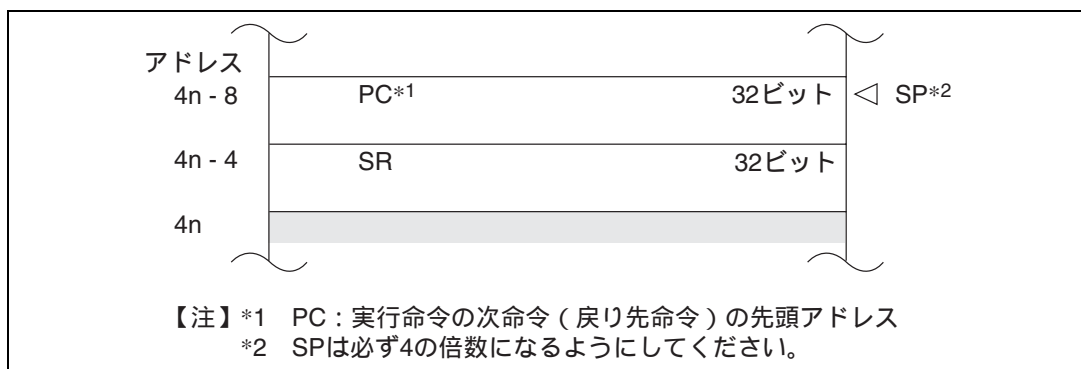


図 6.6 割り込み例外処理終了後のスタック状態

6.5 IRL モードにおける IRQ3 ~ IRQ0 信号のサンプリング

IRL モードでは、割り込み要求信号 IRQ3 ~ IRQ0 はノイズキャンセラを通過し、その後に割り込みコントローラにより割り込み要求として CPU に送られます。ノイズキャンセラは、信号の微小幅の変動を除去します。CPU は命令実行と命令実行の間に割り込みをサンプリングします。この期間中、ノイズキャンセラはノイズ除去後の信号レベルに従い、出力を変化させますので、CPU がサンプリングを完了するまで信号レベルを保持する必要があります。したがって、割り込み要因のクリアは、通常は割り込みルーチンに移行した後に行ってください。

図 6.7 は、割り込み応答のブロック図です。図 6.8 に割り込み応答タイミングを示します。

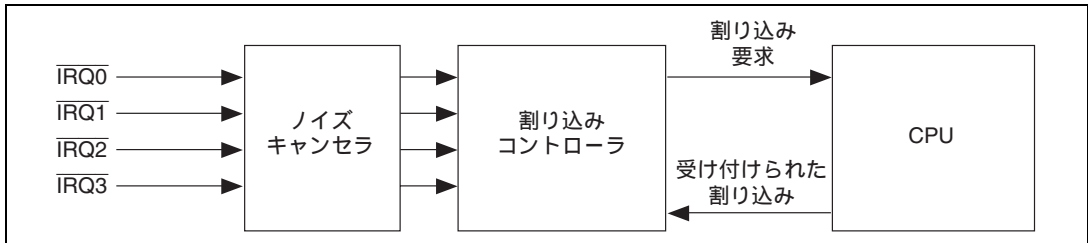


図 6.7 割り込み応答ブロック図

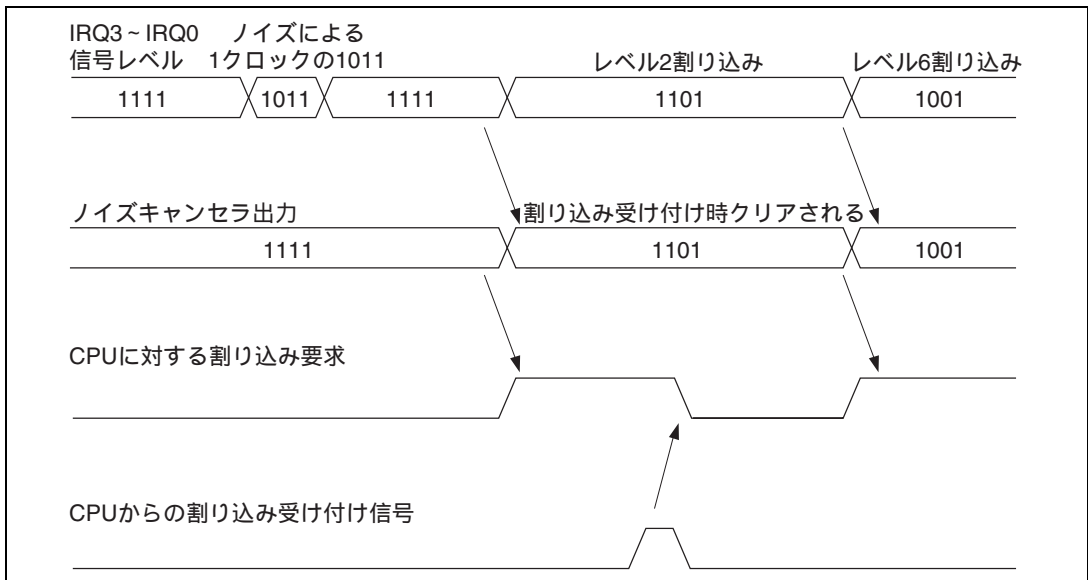


図 6.8 割り込み応答タイミングチャート

6.6 割り込み要求信号によるデータ転送

割り込み要求信号により DMAC を起動し、データ転送を行うことができます。割り込み要因の中で、DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。マスク条件は次のように表されます。

$$\text{マスク条件} = \text{DME} \times (\text{DE0} \times \text{要因選択0} + \text{DE1} \times \text{要因選択1} + \text{DE2} \times \text{要因選択2} + \text{DE3} \times \text{要因選択3})$$

制御ブロック図を図 6.9 に示します。

ここで DME は DMAC の DMAOR レジスタのビット 0、DE_n (n=0~3) は DMAC の CHCR0~3 レジスタのビット 0 です。詳細は「第 9 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

6. 割り込みコントローラ (INTC)

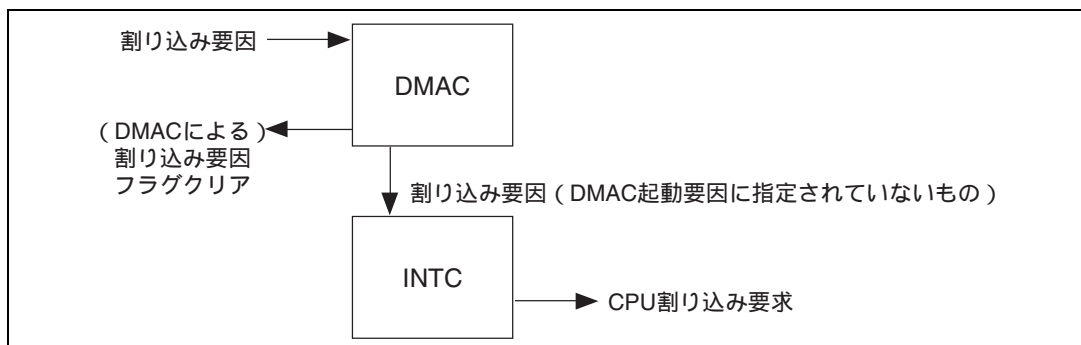


図 6.9 割り込み制御ブロック図

6.6.1 DMAC の起動要因とし、CPU の割り込み要因としない場合

- (1) DMACで要因を選択し、DE = 1、DME = 1にセットします。割り込み優先レベルレジスタの設定によらずCPU割り込み要因はマスクされます。
- (2) 割り込みが発生すると、DMACに起動要因が与えられます。
- (3) DMACは、転送時に起動要因をクリアします。

6.6.2 CPU の割り込み要因とし、DMAC の起動要因としない場合

- (1) DMACで要因を選択しないか、またはDMEビットを0にクリアします。また、DMACで要因を選択している場合には、DMACの当該チャンネルのDEを0にクリアします。
- (2) 割り込みが発生すると、CPUに割り込みを要求します。
- (3) CPUは割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

6.7 使用上の注意

6.7.1 IRL 割り込みモードでの IRQ3~0 のサンプリング方式と割り込み要因の決定方法

IRQ3~0 各端子のサンプリング方式は、割り込みコントロールレジスタ 2 (ICR2) の IRQ センスセレクトビット 3~0 を使って、ローレベルセンス、または立ち下がりエッジセンスにおおの設定することができます。

IRL 割り込みモードでは、IRQ3~0 の 4 本の端子のサンプリング方式を同一のものに設定してください。

IRQ3~0 をローレベルセンスに設定した場合、割り込み要求を受け付けると、IRQ3~0 のレベルによって割り込み要因 (IRL1~15) が決定されます。

IRQ3~0 を立ち下がりエッジセンスにした場合、IRQ3~0 はそれぞれの立ち下がりエッジの検出結果を保持します。割り込み要求を受け付けると、保持している検出結果によって割り込み要因 (IRL1~15) が決定されます。

たとえば、レベル 3 (IRQ[3:0] = H'1100) 入力を受け付けられず、保持されている検出結果を取り下げずに続けてレベル 4 (IRQ[3:0] = H'1011) を入力した場合、これまでに保持されている検出結果からレベル 7 (IRQ[3:0] = H'1000) の割り込み要求を行ったこととなります。この例で最終的にレベル 4 の割り込み要求を行うためには、レベル 4 の割り込み信号を入力する前にレベル 3 の検出結果を取り下げなければなりません。検出結果の取り下げは、IRQ ステータスレジスタ (ISR) の IRQ3F~0F ビットから IRQnF = 1 を読み出した後に、IRQnF に 0 を書き込むことによって行うことができます。

6.7.2 IRQ 端子のノイズキャンセル機能

IRQ7~0 は 1 ステート以下のノイズを除去するノイズキャンセラを通過してから割り込みコントローラへ送られます。したがって、IRQ 端子をエッジ検出に設定した場合、IRQ 入力は 2.5 ステート以上行ってください。

6. 割り込みコントローラ (INTC)

7. ユーザブレイクコントローラ (UBC)

7.1 概要

ユーザブレイクコントローラ (UBC) は、ユーザのプログラムデバッグを容易にする機能を備えています。UBC にブレイク条件を設定すると、CPU または内蔵 DMAC によって生成されるバスサイクルの内容に応じて、ユーザブレイク割り込みが発生します。この機能を使用することによって、高性能のセルフモニタデバッグを容易に作成でき、大規模なインサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

7.1.1 特長

UBC には、次の特長があります。

- 次のブレイク条件を設定可能
 - アドレス (ビットマスク可能)
内部アドレスバス (CAB) / 内部アドレスバス (IAB) / Xメモリアドレスバス (XAB) / Yメモリアドレスバス (YAB)
 - バスマスタ
CPUサイクル / DMAサイクル
 - バスサイクル
命令フェッチ / データアクセス
 - 読み出し / 書き込み
 - オペランドサイズ
バイト / ワード / ロングワード
- ブレイク条件成立により、ユーザブレイク割り込みを発生
ユーザが作成したユーザブレイク割り込み例外ルーチンを実行させることができます。
- CPU の命令フェッチにユーザブレイクをかけると、その次の命令の実行前にブレイク (実行後ブレイク)

7. ユーザブレイクコントローラ (UBC)

7.1.2 ブロック図

UBC のブロック図を図 7.1 に示します。

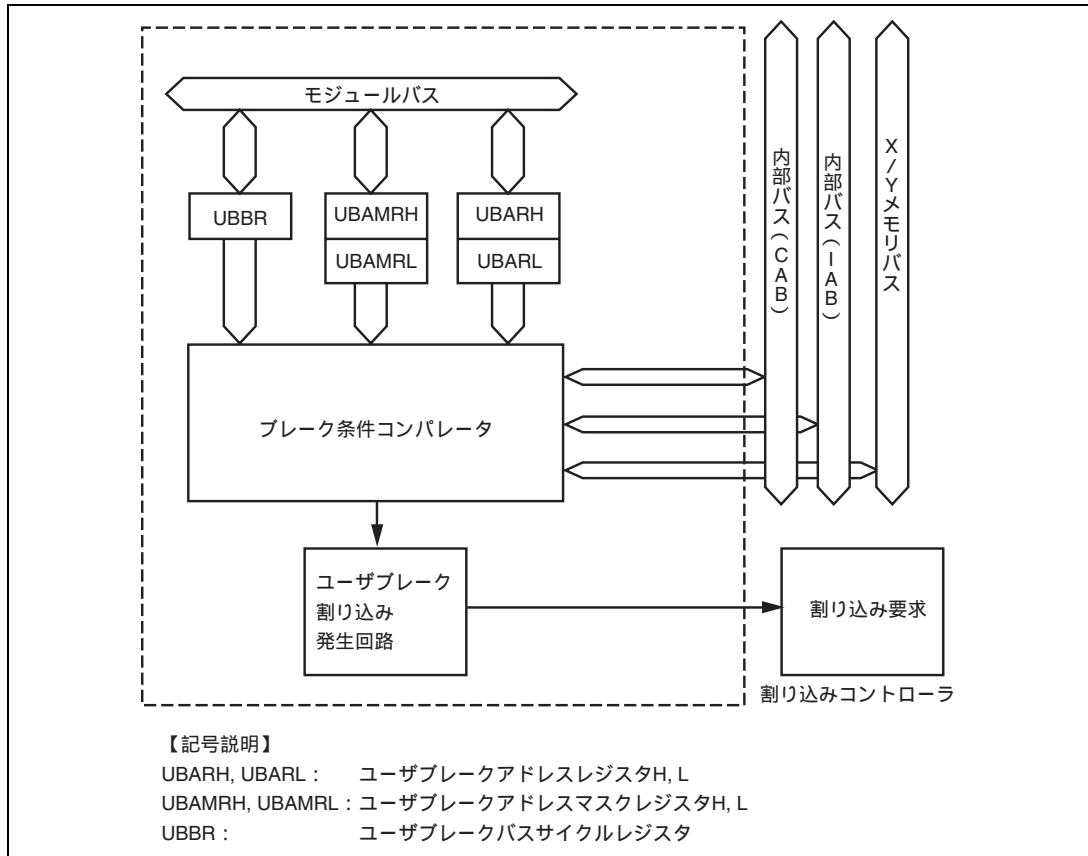


図 7.1 UBC のブロック図

7.1.3 レジスタ構成

UBC には、表 7.1 に示すように 5 本のレジスタがあります。これらのレジスタにより、ブレイク条件を設定します。

表 7.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ユーザブレイクアドレスレジスタ H	UBARH	R/W	H'0000	H'FFFF0C80	16、32
ユーザブレイクアドレスレジスタ L	UBARL	R/W	H'0000	H'FFFF0C82	16、32
ユーザブレイクアドレスマスクレジスタ H	UBAMRH	R/W	H'0000	H'FFFF0C84	16、32
ユーザブレイクアドレスマスクレジスタ L	UBAMRL	R/W	H'0000	H'FFFF0C86	16、32
ユーザブレイクバスサイクルレジスタ	UBBR	R/W	H'0000	H'FFFF0C88	16、32

7.2 レジスタの説明

7.2.1 ユーザブ레이크アドレスレジスタ (UBAR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8	UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブ레이크アドレスレジスタ (UBAR) は、ユーザブ레이크アドレスレジスタ H (UBARH) とユーザブ레이크アドレスレジスタ L (UBARL) の 2 本で 1 組となっています。UBARH と UBARL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。

ユーザブ레이크バスサイクルレジスタ (UBBR) の制御ビット XYE と XYS は、ブ레이크条件のアドレスバスを選択します。XYE が 0 の場合、UBAR は内部アドレスバス (CAB) 上、あるいは内部アドレスバス (IAB) 上でブ레이크アドレスを指定します。このとき、UBARH はブ레이크条件とするアドレスの上位側 (ビット 31 ~ 16) を指定し、UBARL はアドレスの下部側 (ビット 15 ~ 0) を指定します。XYE が 1 の場合、UBARH は X メモリアドレスバス XAB (ビット 15 ~ 1) 上でブ레이크アドレスを指定し、UBARL は Y メモリアドレスバス YAB (ビット 15 ~ 1) でブ레이크アドレスを指定します。XAB と YAB は 15 ビットしか持っていないので、0 を最下位ビットに置いてください。XYE が 1 の場合、UBBR の XYS ビットを用いて XAB または YAB のどちらかを選択する必要があります。

UBARH と UBARL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。モジュールスタンバイおよびソフトウェアスタンバイモードでは、初期化されません。

XYE	UBARH	UBARL
0	CAB31 ~ 16 / IAB31 ~ 16	CAB15 ~ 0 / IAB15 ~ 0
1	XAB15 ~ 1 (XYS = 0)	YAB15 ~ 1 (XYS = 1)

7. ユーザブレークコントローラ (UBC)

7.2.2 ユーザブレークアドレスマスクレジスタ (UBAMR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRH	UBM 31	UBM 30	UBM 29	UBM 28	UBM 27	UBM 26	UBM 25	UBM 24	UBM 23	UBM 22	UBM 21	UBM 20	UBM 19	UBM 18	UBM 17	UBM 16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRL	UBM 15	UBM 14	UBM 13	UBM 12	UBM 11	UBM 10	UBM 9	UBM 8	UBM 7	UBM 6	UBM 5	UBM 4	UBM 3	UBM 2	UBM 1	UBM 0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブレークアドレスマスクレジスタ (UBAMR) は、ユーザブレークアドレスマスクレジスタ H (UBAMRH) とユーザブレークアドレスマスクレジスタ L (UBAMRL) の 2 本で 1 組となっています。

UBAMRH と UBAMRL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。

ユーザブレークバスサイクルレジスタ (UBBR) の制御ビット XYE と XYS は、ブレーク条件のアドレスバスを選択します。XYE が 0 の場合、UBAR は内部アドレスバス (CAB) 上、あるいは内部アドレスバス (IAB) 上でブレークアドレスを指定します。このとき、UBAMRH は UBARH に設定されているブレークアドレスのどのビットをマスクするかを指定し、UBAMRL は UBARL に設定されているブレークアドレスのどのビットをマスクするかを指定します。XYE が 1 の場合、UBAMRH は UBARH に設定されている XAB (ビット 15~1) 上でブレークアドレスのどのビットをマスクするかを指定し、UBAMRL は UBARL に設定されている YAB (ビット 15~1) 上のどのビットをマスクするかを指定します。XAB と YAB は 15 ビットしか持っていないので、UBAMRH および UBAMRL の最下位ビットの設定は無効です。XYE が 1 の場合、UBBR の XYS ビットを用いて XAB または YAB のどちらかを選択する必要があります。

UBAMRH と UBAMRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。モジュールスタンバイおよびソフトウェアスタンバイモードでは、初期化されません。

XYE	UBAMRH	UBAMRL
0	CAB31~16 / IAB31~16 をマスク	CAB15~0 / IAB15~0 をマスク
1	XAB15~1 をマスク (XYS=0)	YAB15~1 をマスク (XYS=1)

ビット 15~0	説明
UBMn	
0	ユーザブレークアドレス UBA _n をブレーク条件に含める (初期値)
1	ユーザブレークアドレス UBA _n をマスクし、ブレーク条件に含めない

【注】 n = 31 ~ 0

7.2.3 ユーザブレイクバスサイクルレジスタ (UBBR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UBIE						XYE	XYS	CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブレイクバスサイクルレジスタ (UBBR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、(1) 内部バス (C バス) あるいは内部バス (I バス) / X メモリバスまたは Y メモリバス、(2) CPU サイクル / DMA サイクル、(3) 命令フェッチ / データアクセス、(4) 読み出し / 書き込み、および (5) オペランドサイズ (バイト / ワード / ロングワード) の 5 条件を設定し、条件一致時にユーザブレイク割り込みを発生させるかどうかを選択するレジスタです。UBBR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。モジュールスタンバイおよびソフトウェアスタンバイモードでは、初期化されません。

ビット 15 : ユーザブレイク割り込みイネーブルビット (UBIE)

設定したブレイク条件が成立したときに、ユーザブレイク割り込みを発生させるかどうかを設定します。

ビット 15	説 明
UBIE	
0	ブレイク条件成立時、ユーザブレイク割り込みを発生しない (初期値)
1	ブレイク条件成立時、ユーザブレイク割り込みを発生する

ビット 14 ~ 10 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 9 : X/Y メモリバスイネーブル (XYE)

C バス / I バス、または X / Y メモリバスをブレイク条件のバスとして選択します。

ビット 9	説 明
XYE	
0	ブレイク条件として、C バスあるいは I バスを選択する (初期値)
1	ブレイク条件として、X メモリバスまたは Y メモリバスを選択する

7. ユーザブレイクコントローラ (UBC)

ビット 8 : X メモリバス / Y メモリバスセレクト (XYS)

X メモリバスまたは Y メモリバスをブレイク条件のバスとして選択します。

ビット 8	説 明	
XYS		
0	ブレイク条件として、X メモリバスを選択する	(初期値)
1	ブレイク条件として、Y メモリバスを選択する	

【注】 XYE = 0 のとき、ビット 8 の設定は無視されます。

ビット 7、6 : CPU サイクル / DMA サイクルセレクト (CP1、CP0)

ブレイク条件のバスマスタとして、CPU または DMA を選択します。

ビット 7	ビット 6	説 明	
CP1	CP0		
0	0	ユーザブレイク割り込みは発生させない	(初期値)
	1	CPU サイクルをブレイク条件とする	
1	0	DMA サイクルをブレイク条件とする	
	1	CPU サイクルと DMA サイクルのどちらもブレイク条件とする	

ビット 5、4 : 命令フェッチ / データアクセスセレクト (ID1、ID0)

ブレイク条件のバスサイクルとして、命令フェッチサイクルまたはデータアクセスサイクルを選択します。

ビット 5	ビット 4	説 明	
ID1	ID0		
0	0	ユーザブレイク割り込みは発生させない	(初期値)
	1	命令フェッチサイクルをブレイク条件とする	
1	0	データアクセスサイクルをブレイク条件とする	
	1	命令フェッチサイクルとデータアクセスサイクルのどちらもブレイク条件とする	

ビット 3、2 : 読み出し / 書き込みセレクト (RW1、RW0)

ブレイク条件のアクセスとして、読み出しサイクルまたは書き込みサイクルを選択します。

ビット 3	ビット 2	説 明	
RW1	RW0		
0	0	ユーザブレイク割り込みは発生させない	(初期値)
	1	読み出しサイクルをブレイク条件とする	
1	0	書き込みサイクルをブレイク条件とする	
	1	読み出しサイクルと書き込みサイクルのどちらもブレイク条件とする	

ビット1、0：オペランドサイズセレクト (SZ1、SZ0)
ブレイク条件のバスサイクルのオペランドサイズを選択します。

ビット1	ビット0	説明
SZ1	SZ0	
0	0	ブレイク条件にオペランドサイズを含まない (初期値)
	1	バイトアクセスをブレイク条件とする
1	0	ワードアクセスをブレイク条件とする
	1	ロングワードアクセスをブレイク条件とする

7.3 動作説明

7.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの流れを以下に示します。

- (1) ブレイク条件のうち、ユーザブレイクアドレスをユーザブレイクアドレスレジスタ (UBAR)、アドレスの中のマスクしたいビットをユーザブレイクアドレスマスクレジスタ (UBAMR)、ブレイクするバスサイクルの種類をユーザブレイクバスサイクルレジスタ (UBBR) に設定してください。UBBRのCPUサイクル/DMAサイクルセレクトビット (CPI、CP0)、命令フェッチ/データアクセスセレクトビット (ID1、ID0)、読み出し/書き込みセレクトビット (RW1、RW0) のいずれか1組でも00 (ユーザブレイク割り込みは発生させない) にセットされていると、他の条件が一致してもユーザブレイク割り込みは発生しません。ユーザブレイク割り込みを使用したいときは、必ずこれら3組のビットすべてに条件を設定してください。
- (2) ブレイク条件が成立したとき、ユーザブレイクバスサイクルレジスタ (UBBR) のユーザブレイク割り込みイネーブルビット (UBIE) が1に設定してあると、UBCは割り込みコントローラ (INTC) に、ユーザブレイク割り込み要求信号を送ります。
- (3) ユーザブレイク割り込み要求信号を受け取ると、INTCは優先順位の判定を行います。ユーザブレイク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) がレベル14以下のとき、受け付けられます。I3~I0ビットがレベル15のとき、ユーザブレイク割り込みは受け付けられませんが、受け付けられるようになるまで保留されます。したがって、NMI例外処理では、I3~I0ビットはレベル15になりますので、NMI例外サービスルーチン中はユーザブレイク割り込みは受け付けられません。ただし、NMI例外サービスルーチンの先頭でI3~I0ビットをレベル14以下に変更すれば、それ以後ユーザブレイク割り込みが受け付けられるようになります。優先順位判定の詳細については、「第6章 割り込みコントローラ (INTC)」を参照してください。
- (4) INTCは、ユーザブレイク割り込みの要求信号をCPUに送ります。これを受け取ると、CPUはユーザブレイク割り込み例外処理を開始します。割り込み例外処理の詳細については、「第5章 例外処理」および「6.4 動作説明」を参照してください。

7.3.2 命令フェッチサイクルによるブレイク

ユーザブレイクバスサイクルレジスタ (UBBR) に内部バス (Cバス) / CPU / 命令フェッチ / 読み出しの設定をすると、CPU の命令フェッチサイクルをユーザブレイク条件にできます。このとき、オペランドサイズの設定は必要ありません。

ユーザブレイク条件が成立すると、ユーザブレイク条件に設定した命令は実行され、次の命令の実行前に割り込みが発生します。したがって、オーバランフェッチ命令のような、フェッチされても実行されない命令はユーザブレイクの対象となりません。ただし、ユーザブレイク条件を遅延分岐命令や LDC 等の割り込み禁止命令に設定したときは、次に初めて割り込みが受け付けられる命令の実行前に割り込みが発生します。

ユーザブレイク条件に命令フェッチサイクルを設定した場合、ユーザブレイクはその命令の置かれている先頭番地にアドレスを設定してください。それ以外にアドレス設定してもユーザブレイクは発生しません。したがって、ユーザブレイク条件として 32 ビット命令の下位ワードのアドレスを設定した場合、ユーザブレイクは発行されません。

7.3.3 データアクセスサイクルでのブレイク

CPU データアクセスのブレイク対象となるメモリサイクルは、命令によるメモリサイクルと例外処理時のスタック動作およびベクタリードがあります。表 7.2 に各オペランドサイズについて、ブレイク条件が一致したかどうかを判断するために比較されるユーザブレイクアドレスレジスタとアドレスバスのビット範囲を示します。

表 7.2 データアクセスサイクルのアドレスとオペランドサイズの比較条件

アクセスサイズ	比較するアドレス
ロングワード	ブレイクアドレスレジスタの 31~2 ビットとアドレスバス 31~2 ビットを比較
ワード	ブレイクアドレスレジスタの 31~1 ビットとアドレスバス 31~1 ビットを比較
バイト	ブレイクアドレスレジスタの 31~0 ビットとアドレスバス 31~0 ビットを比較

これは、たとえばオペランドサイズ条件を指定しないでアドレス H'00001003 を設定すると (すなわち、ユーザブレイクバスサイクルレジスタのオペランドサイズセレクトビットが 00 である) とき、ブレイク条件を満足するバスサイクルには (他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

7.3.4 X メモリバスまたは Y メモリバスサイクルでのブレイク

UBBR の XYE を 1 にセットした場合、X メモリバス、または Y メモリバス上でブレイクアドレスが選択されます。UBBR の XYS を指定することによって、X メモリバスまたは Y メモリバスのどちらかを選択する必要があります。ブレイク条件に X メモリバスと Y メモリバスを同時に含めることはできません。ブレイク条件は CPU バスマスタ、データアクセスサイクル、読み出しまたは書き込みアクセス、オペランドサイズをワードもしくはオペランドサイズを含めないに指定することによって、X メモリバスサイクルまたは Y メモリバスサイクルに適用されます。

ブレイク条件として X メモリアドレスバスを選択するときは、UBARH と UBAMRH に X メモリアドレスを指定し、Y メモリアドレスバスを選択するときは、UBARL と UBAMRL に Y メモリアドレスを指定してください。

7.3.5 回避するプログラムカウンタ (PC) の値

(1) 命令フェッチをユーザブレイク条件に設定した場合

ユーザブレイク割り込み例外処理で回避されるプログラムカウンタ (PC) の値は、ユーザブレイク条件が一致した命令の次に実行される命令のアドレスです。このとき、ブレイク条件が一致した命令は実行され、その次の命令の実行前にユーザブレイク割り込みが発生します。ただし、ユーザブレイク条件を遅延分岐命令に設定したときは、遅延スロット命令が実行され、分岐命令が実行される前にユーザブレイク割り込みが発生します。このとき回避される PC は、分岐先命令のアドレスとなります。

(2) データアクセス (CPU / DMA) をユーザブレイク条件に設定した場合

ユーザブレイク例外処理が起動した時点における実行済み命令の次命令の先頭アドレスが回避されます。データアクセス (CPU / DMA) をユーザブレイク条件に設定した場合、ブレイクがかかる場所は特定することができません。ブレイクするデータアクセスが発生した付近でフェッチしようとしていた命令がブレイクされます。

7.4 使用例

(1) CPU 命令フェッチサイクルへのブレイク条件設定

(a) 有効な設定例

- レジスタの設定

UBARH = H'0000 UBARL = H'0404
UBAMRH = H'0000 UBAMRL = H'0000
UBBR = H'8054

- 設定された条件

アドレス : H'00000404 アドレスマスク H : '00000000

バスサイクル : CPU、命令フェッチ、読み出し (オペランドサイズを含まない)

ユーザブレイク割り込みは、アドレス H'00000404 の命令実行後に発生します。

(b) 無効な設定例

- レジスタの設定

UBARH = H'0015 UBARL = H'389C
UBAMRH = H'0000 UBAMRL = H'0000
UBBR = H'8058

- 設定された条件

アドレス : H'0015389C アドレスマスク : H'00000000

バスサイクル : CPU、命令フェッチ、書き込み (オペランドサイズを含まない)

命令フェッチサイクルは書き込みサイクルではないので、ユーザブレイク割り込みは発生しません。

(2) CPU データアクセスサイクル (内部バス (C バス) サイクル) へのブレイク条件設定

(a) 有効な設定例 (1)

- レジスタの設定

7. ユーザブレイクコントローラ (UBC)

UBARH = H'0012 UBARL = H'3456
UBAMRH = H'0000 UBAMRL = H'0000
UBBR = H'806A

- 設定された条件
アドレス : H'00123456 アドレスマスク : H'00000000
バスサイクル : CPU、データアクセス、書き込み、ワード

アドレス H'00123456 にワードデータを書き込むと、ユーザブレイク割り込みが発生します。

(b) 有効な設定例 (2)

- レジスタの設定
UBARH = H'00A8 UBARL = H'3901
UBAMRH = H'0000 UBAMRL = H'0000
UBBR = H'8066
- 設定された条件
アドレス : H'00A80391 アドレスマスク : H'00000000
バスサイクル : CPU、データアクセス、読み出し、ワード

ワードアクセスは偶数アドレスに対して行われます。この場合、アドレスエラー例外処理後にユーザブレイク割り込み例外処理が行われます。

(c) 無効な設定例

- レジスタの設定
UBARH = H'0034 UBARL = H'5024
UBAMRH = H'0000 UBAMRL = H'0000
UBBR = H'8062
- 設定された条件
アドレス : H'00345024 アドレスマスク : H'00000000
バスサイクル : CPU、データアクセス、 -、ワード

アクセスのタイプが読み出し / 書き込みいずれにも設定されていないので、ユーザブレイク割り込みは発生しません。

(3) DMA サイクルへのブレイク条件設定

(a) 有効な設定例

- レジスタの設定
UBARH = H'0076 UBARL = H'BCDC
UBAMRH = H'0000 UBAMRL = H'0000
UBBR = H'80A7
- 設定された条件
アドレス : H'0076BCDC アドレスマスク : H'00000000
バスサイクル : DMA、データアクセス、ロングワード

アドレス H'0076BCDC からロングワードデータを読み出すと、ユーザブレイク割り込みが発生します。

(b) 無効な設定例

- レジスタの設定
UBARH = H'0023 UBARL = H'45C8
UBAMRH = H'0000 UBAMRL = H'0000
UBBR = H'8094

- 設定された条件
 アドレス : H'002345C8 アドレスマスク : H'00000000
 バスサイクル : DMA、命令フェッチ、書き込み (オペランドサイズを含まない)
 DMA サイクルでは命令フェッチは行われないので、ユーザブレイク割り込みは発生しません
- (4) CPU データアクセスサイクル (X/Y メモリバスサイクル) へのブレイク条件設定
- (a) 有効な設定例
- レジスタの設定
 UBARH = H'8000 UBARL = H'0000
 UBAMRH = H'0000 UBAMRL = H'0000
 UBBR = H'826A
 - 設定された条件
 アドレス : H'FFFF8000 アドレスマスク : H'00000000
 バスサイクル : CPU、データアクセス (Xメモリバスを用いたXメモリアクセス)、書き込み、ワード
 Xメモリバスを用いて Xメモリ空間のアドレス H'FFFF8000 にワードデータを書き込むと、ユーザブレイク割り込みが発生します。
- (b) 無効な設定例
- レジスタの設定
 UBARH = H'A000 UBARL = H'0000
 UBAMRH = H'0000 UBAMRL = H'0000
 UBBR = H'826B
 - 設定された条件
 アドレス : H'FFFFA000、アドレスマスク : H'00000000
 バスサイクル : CPU、データアクセス (Yメモリバスを用いたYメモリアクセス)、書き込み、バイト
 X/Yメモリバスを用いたデータアクセスサイクルではバイトアクセスは行われないので、ユーザブレイク割り込みは発生しません。

7.5 使用上の注意

7.5.1 UBC レジスタの設定変更

UBC レジスタに対する読み出し、書き込みは、命令パイプラインの MA (メモリアクセス) 段階で実行され、レジスタの変更が完了した後に初めて新しいユーザブレイク条件でチェックが行われます。レジスタ設定の変更が完了するまでは、新しいブレイク条件でのユーザブレイクは発生しません。したがって、UBC レジスタに新しいユーザブレイク条件が書き込まれる前に、引き続き命令のフェッチ段階が生じると、フェッチしたアドレスがユーザブレイク条件と一致しても、ユーザブレイクは発生しません。

7.5.2 繰り返し条件のブレイク

ブレイク条件としてリピート命令の繰り返し実行を含める場合は、次のことに注意してください。すなわち、3 つ以下の命令からなる繰り返しループの実行中で、繰り返し実行中の命令に対してユーザブレイク条件をセットしたとき、ユーザブレイクは発生しません。

7. ユーザブレークコントローラ (UBC)

8. バスステートコントローラ (BSC)

8.1 概要

バスステートコントローラ (BSC) はアドレス空間の分割、各種メモリに応じた制御信号の出力などを行います。これにより、外付け回路なしに DRAM、EDO DRAM、SRAM、ROM など本 LSI に直結することができます。

8.1.1 特長

BSC には、次の特長があります。

- アドレス空間を 6 つに分割して管理
 - CS0 空間は、内蔵 ROM 有効モードでは最大リニア 48M バイト、内蔵 ROM 無効モードでは最大 64M バイト
 - CS1 ~ CS3 空間はそれぞれ最大リニア 64M バイト
 - CS4、CS5 空間は DRAM 専用空間で、最大リニア 64M バイト
 - 空間ごとに、DRAM、EDO DRAM、SRAM、ROM などメモリの種類を個別に指定可能
 - 空間ごとに、バス幅 (8 ビット、16 ビットまたは 32 ビット) を選択可能 (CS0のみは外部ピンにより設定)
 - 空間ごとに、ソフトウェアによるウェイトステートを挿入可能
 - 外部メモリ空間アクセス時に $\overline{\text{WAIT}}$ 端子によるウェイトステートを挿入可能
 - 各空間に接続するメモリに対応した制御信号を出力
 - 異なった CS 空間に対する連続したメモリアクセスや、同一エリアに対するリードアクセス直後のライトアクセスの場合、といったデータバスの衝突回避のためのウェイトサイクル自動挿入機能
 - 空間ごとに、ビッグエンディアンとリトルエンディアンを設定可能
- DRAM 直結インタフェース
 - DRAM 容量に応じたロウアドレス / カラムアドレスのマルチプレクス出力
 - バースト動作 (高速ページモード、EDO モード、RAS ダウンモード) をサポート
 - RAS プリチャージ期間を確保するためのプリチャージサイクルを生成
- 各種メモリ、周辺 LSI に対応したアクセス制御
 - アドレス / データマルチプレクス機能
- リフレッシュ機能
 - CAS ビフォア RAS リフレッシュとセルフリフレッシュをサポート
 - リフレッシュカウンタのオーバフロー割り込み機能により、ローパワー DRAM におけるセルフリフレッシュ動作直後のリフレッシュ動作をサポート
 - 8 回までの連続 CAS ビフォア RAS リフレッシュが可能

8. バスステートコントローラ (BSC)

- リフレッシュ用カウンタをインターバルタイマとして利用可能
 - コンペアマッチで割り込み要求発生
 - リフレッシュカウンタのオーバーフローで割り込み要求発生

8.1.2 ブロック図

バスステートコントローラのブロック図を、図 8.1 に示します。

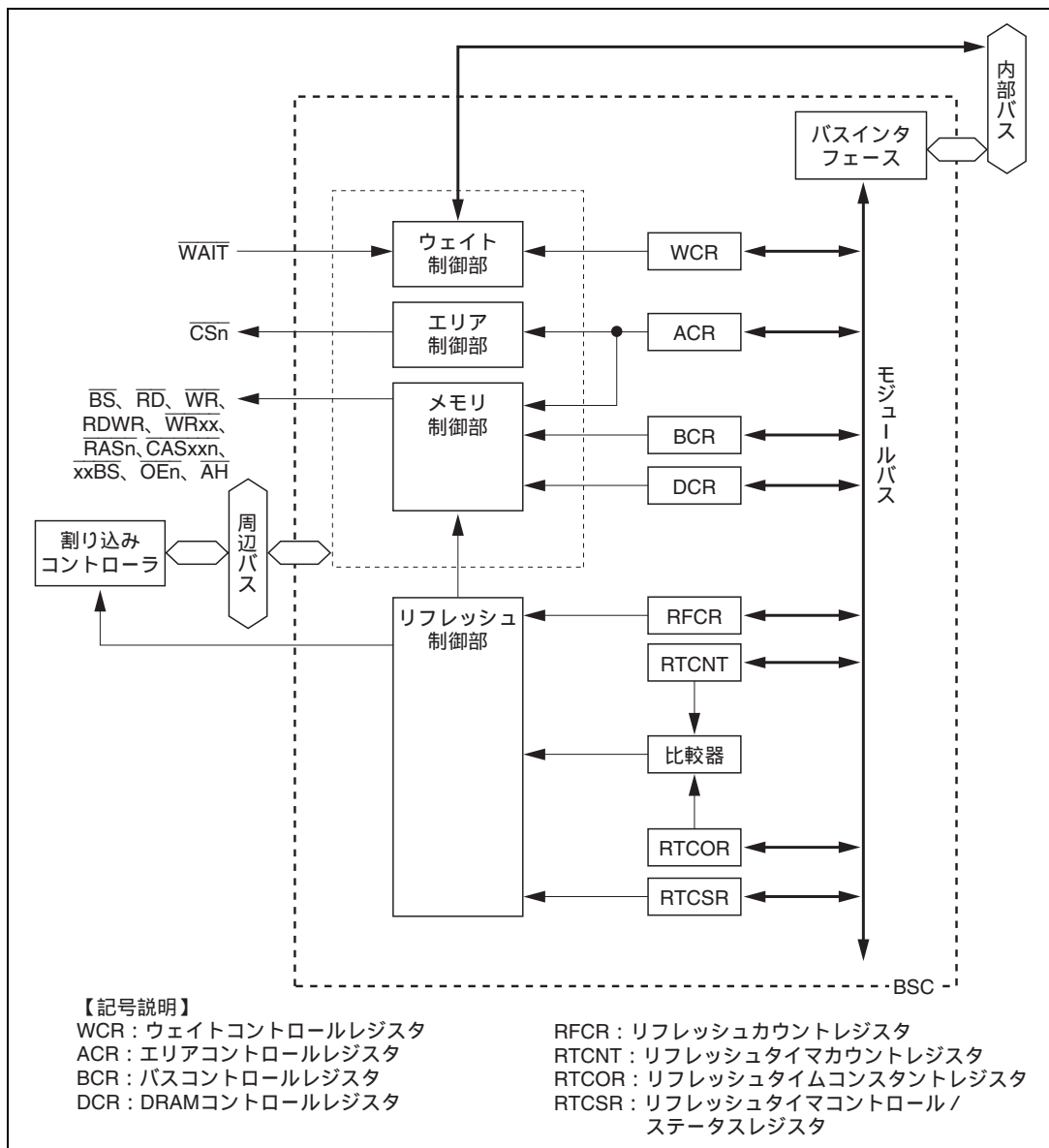


図 8.1 BSC のブロック図

8.1.3 端子構成

バスステートコントローラの端子構成を、表 8.1 に示します。

表 8.1 端子構成

名称	信号名	入出力	機能
アドレスバス	A25 ~ A0	出力	アドレス出力
データバス	D31 ~ D0	入出力	データ入出力
バスサイクル開始	\overline{BS}	出力	バスサイクルの開始を示す信号。バースト転送時は、データサイクルごとにアサート
チップセレクト	$\overline{CS5} \sim \overline{CS0}$	出力	アクセス中のエリアを示すチップセレクト信号
リード	\overline{RD}	出力	リードサイクルを示すストロープ信号
ライト LL	\overline{WRLL}	出力	D7 ~ D0 へのライトサイクルを示すストロープ信号
ライト LH	\overline{WRLH}	出力	D15 ~ D8 へのライトサイクルを示すストロープ信号
ライト HL	\overline{WRHL}	出力	D23 ~ D16 へのライトサイクルを示すストロープ信号
ライト HH	\overline{WRHH}	出力	D31 ~ D24 へのライトサイクルを示すストロープ信号
バイトストロープ LL	\overline{LLBS}	出力	D7 ~ D0 へのアクセスを示すストロープ信号
バイトストロープ LH	\overline{LHBS}	出力	D15 ~ D8 へのアクセスを示すストロープ信号
バイトストロープ HL	\overline{HLBS}	出力	D23 ~ D16 へのアクセスを示すストロープ信号
バイトストロープ HH	\overline{HHBS}	出力	D31 ~ D24 へのアクセスを示すストロープ信号
ライト	\overline{WR}	出力	データバスの入出力方向指示信号。バイトストロープ方式メモリの、書き込み指示信号としても使用
リード/ライト	\overline{RDWR}	出力	DRAM / EDO DRAM の書き込み指示信号
ロウアドレスストロープ	$\overline{RAS1}$ 、 $\overline{RAS0}$	出力	エリア 5、4 に接続される DRAM 用 RAS 信号
カラムアドレスストロープ LL	$\overline{CASLL1}$ 、 $\overline{CASLL0}$	出力	エリア 5、4 に接続される DRAM 用 D7 ~ D0 対応の CAS 信号
カラムアドレスストロープ LH	$\overline{CASLH1}$ 、 $\overline{CASLH0}$	出力	エリア 5、4 に接続される DRAM 用 D15 ~ D8 対応の CAS 信号
カラムアドレスストロープ HL	$\overline{CASHL1}$ 、 $\overline{CASHL0}$	出力	エリア 5、4 に接続される DRAM 用 D23 ~ D16 対応の CAS 信号
カラムアドレスストロープ HH	$\overline{CASHH1}$ 、 $\overline{CASHH0}$	出力	エリア 5、4 に接続される DRAM 用 D31 ~ D24 対応の CAS 信号
アウトプットイネーブル	$\overline{OE1}$ 、 $\overline{OE0}$	出力	エリア 5、4 に接続される EDO DRAM 用アウトプットイネーブル信号。RAS ダウンモードでアクセス時に使用。
アドレスホールド	\overline{AH}	出力	アドレス / データマルチプレクス時の、アドレスをホールドするための信号
ウェイト	\overline{WAIT}	入力	ウェイトステート要求信号
バス権解放要求	\overline{BREQ}	入力	バス解放の要求信号
バス使用許可	\overline{BACK}	出力	バス使用の許可信号

8. バスステートコントローラ (BSC)

8.1.4 レジスタ構成

BSC には表 8.2 に示すように 18 本のレジスタがあります。これらのレジスタにより、各種メモリとの直結インタフェース、ウェイトステート、リフレッシュなどの制御を行います。

表 8.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
バスコントロールレジスタ	BCR	R/W	H'0000	H'FFFF 0C00	8、16、32
エリアコントロールレジスタ 1 (エリア 0 用)	ACR1_0	R/W	H'07FF	H'FFFF 0C10	8、16、32
エリアコントロールレジスタ 1 (エリア 1 用)	ACR1_1	R/W	H'07FF	H'FFFF 0C12	8、16、32
エリアコントロールレジスタ 1 (エリア 2 用)	ACR1_2	R/W	H'07FF	H'FFFF 0C14	8、16、32
エリアコントロールレジスタ 1 (エリア 3 用)	ACR1_3	R/W	H'07FF	H'FFFF 0C16	8、16、32
エリアコントロールレジスタ 1 (エリア 4 用)	ACR1_4	R/W	H'0000	H'FFFF 0C20	8、16、32
エリアコントロールレジスタ 1 (エリア 5 用)	ACR1_5	R/W	H'0000	H'FFFF 0C22	8、16、32
ウェイトコントロールレジスタ (エリア 0 用)	WCR_0	R/W	H'FFFE	H'FFFF 0C30	8、16、32
ウェイトコントロールレジスタ (エリア 1 用)	WCR_1	R/W	H'FFFE	H'FFFF 0C32	8、16、32
ウェイトコントロールレジスタ (エリア 2 用)	WCR_2	R/W	H'FFFE	H'FFFF 0C34	8、16、32
ウェイトコントロールレジスタ (エリア 3 用)	WCR_3	R/W	H'FFFE	H'FFFF 0C36	8、16、32
DRAM コントロールレジスタ 1	DCR1	R/W	H'0000	H'FFFF 0C40	8、16、32
DRAM コントロールレジスタ 2	DCR2	R/W	H'1FE0	H'FFFF 0C42	8、16、32
DRAM コントロールレジスタ 3	DCR3	R/W	H'1800	H'FFFF 0C44	8、16、32
リフレッシュタイムコントロール/ ステータスレジスタ	RTCSR	R/W	H'0000	H'FFFF 0C68	8、16、32
リフレッシュタイムカウンタ	RTCNT	R/W	H'0000	H'FFFF 0C6A	8、16、32
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'0000	H'FFFF 0C6C	8、16、32
リフレッシュカウンタレジスタ	RFCR	R/W	H'0000	H'FFFF 0C6E	8、16、32

8.1.5 アドレスマップ

図 8.2 に、本 LSI で用いるアドレスのフォーマットを示します。

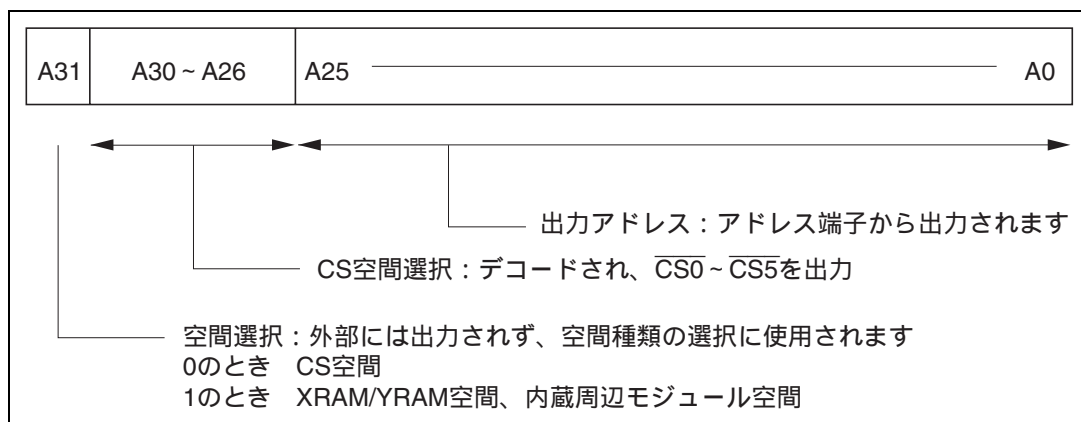


図 8.2 アドレスフォーマット

本 LSI では 32 ビットのアドレスを用います。

A31 ビットは空間種類の選択に使用されます。外部には出力されません。

A30 ~ A26 ビットはデコードされ、エリアに対するチップセレクト信号 ($\overline{CS0} \sim \overline{CS5}$) となり、出力されます。

A25 ~ A0 は外部に出力されます。

表 8.3 に各空間の範囲を最大に設定したときのアドレスマップを示します。

8. バスステートコントローラ (BSC)

表 8.3 アドレスマップ

内蔵 ROM 無効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'03FF FFFF	CS0 空間	通常空間	64MB	8/16/32bit
H'0400 0000 ~ H'07FF FFFF	CS1 空間	通常空間 / マルチプレクス I/O 空間	64MB	8/16/32bit
H'0800 0000 ~ H'0BFF FFFF	CS2 空間		64MB	8/16/32bit
H'0C00 0000 ~ H'0FFF FFFF	CS3 空間		64MB	8/16/32bit
H'1000 0000 ~ H'3FFF FFFF	予約	予約		
H'4000 0000 ~ H'43FF FFFF	CS4 空間	DRAM	64MB	8/16/32bit
H'4400 0000 ~ H'47FF FFFF	CS5 空間		64MB	8/16/32bit
H'4800 0000 ~ H'57FF FFFF	予約	予約		
H'5800 0000 ~ H'5803 FFFF	内蔵 ROM*	内蔵 ROM*	256KB	32bit
H'5804 0000 ~ H'FFFF FFFF	予約	予約		
H'FFFF 0000 ~ H'FFFF 13FF	内蔵周辺モジュール	内蔵周辺モジュール	5KB	8/16bit
H'FFFF 1400 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF 8FFF	XRAM	XRAM	4KB	32bit
H'FFFF 9000 ~ H'FFFF 9FFF	予約	予約		
H'FFFF A000 ~ H'FFFF AFFF	YRAM	YRAM	4KB	32bit
H'FFFF B000 ~ H'FFFF FFFF	予約	予約		

【注】 * 本モードではパワーオンリセット時のベクタテーブルが CS0 空間 (外部空間) に配置されます。
また、H'5800 0000 から H'5803 FFFF は内蔵 ROM として使用することが可能です。

内蔵 ROM 有効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'0003 FFFF	内蔵 ROM	内蔵 ROM	256KB	32bit
H'0004 0000 ~ H'00FF FFFF	予約	予約		
H'0100 0000 ~ H'03FF FFFF	CS0 空間	通常空間	48MB	8/16/32bit
H'0400 0000 ~ H'07FF FFFF	CS1 空間	通常空間 / マルチプレクス I/O 空間	64MB	8/16/32bit
H'0800 0000 ~ H'0BFF FFFF	CS2 空間		64MB	8/16/32bit
H'0C00 0000 ~ H'0FFF FFFF	CS3 空間		64MB	8/16/32bit
H'1000 0000 ~ H'3FFF FFFF	予約	予約		
H'4000 0000 ~ H'43FF FFFF	CS4 空間	DRAM	64MB	8/16/32bit
H'4400 0000 ~ H'47FF FFFF	CS5 空間		64MB	8/16/32bit
H'4800 0000 ~ H'57FF FFFF	予約	予約		
H'5800 0000 ~ H'5803 FFFF	内蔵 ROM*	内蔵 ROM*	256KB	32bit
H'5804 0000 ~ H'FFFF FFFF	予約	予約		
H'FFFF 0000 ~ H'FFFF 13FF	内蔵周辺モジュール	内蔵周辺モジュール	5KB	8/16bit
H'FFFF 1400 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF 8FFF	XRAM	XRAM	4KB	32bit
H'FFFF 9000 ~ H'FFFF 9FFF	予約	予約		
H'FFFF A000 ~ H'FFFF AFFF	YRAM	YRAM	4KB	32bit
H'FFFF B000 ~ H'FFFF FFFF	予約	予約		

【注】 * 内蔵 ROM の H'0000 0000 ~ H'0003 FFFF と同じデータがリードできます。

8.2 レジスタの説明

8.2.1 バスコントロールレジスタ (BCR)

バスコントロールレジスタ (BCR) は、各エリアに共通したバス設定を指定します。

BCR レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'0000 に初期化されますが、スタンバイモード時は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRQE	BAS	HIZCNT													
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット 15 : BREQ イネーブル (BRQE)

バス権解放要求 (BREQ) 受け付けの禁止 / 許可を指定します。

ビット 15	説明
BRQE	
0	バス権解放要求 (BREQ) を受け付けません (初期値)
1	バス権解放要求 (BREQ) を受け付けます

ビット 14 : バイトアクセス指定 (BAS)

バイトアクセス制御信号を指定します。

ビット 14	説明
BAS	
0	\overline{WRHH} 、 \overline{WRHL} 、 \overline{WRLH} 、 \overline{WRLL} 信号でアクセス (初期値)
1	\overline{WR} 、 \overline{HHBS} 、 \overline{HLBS} 、 \overline{LHBS} 、 \overline{LLBS} 信号でアクセス

ビット 13 : ハイインピーダンスコントロール (HIZCNT)

DRAM のセルフリフレッシュ状態を制御している \overline{RAS} 信号、 \overline{CAS} 信号、 \overline{OE} 信号のスタンバイ時、およびバス権解放時の状態を指定します。これにより、DRAM をセルフリフレッシュの状態に保持することができます。

ビット 13	説明
HIZCNT	
0	\overline{RAS} 、 \overline{CAS} 、 \overline{OE} 信号はスタンバイ時およびバス権解放時、ハイインピーダンス (Hi-Z) になります (初期値)
1	\overline{RAS} 、 \overline{CAS} 、 \overline{OE} 信号はスタンバイ時およびバス権解放時、ドライブします

ビット 12 ~ 0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8. バスステートコントローラ (BSC)

8.2.2 エリアコントロールレジスタ 1 (ACR1_0 ~ ACR1_5)

エリアコントロールレジスタ 1 (ACR1) は、各エリアに接続するメモリの種類や、外部ウェイトの受け付け、バス幅、アイドルサイクル数、CS 拡張サイクル数を指定します。

ACR1 レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'07FF (エリア 0 ~ エリア 3 用 ACR1_0 ~ ACR1_3) もしくは H'0000 (エリア 4、エリア 5 用 ACR1_4、ACR1_5) に初期化されますが、スタンバイモード時は初期化されません。

(1) エリア 0 ~ エリア 3 (ACR1_0 ~ ACR1_3) 用

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENDIAN	TP1	TP0	EXWE	-	SZ1	SZ0	IW2	IW1	IW0	SWH2	SWH1	SWH0	SWT2	SWT1	SWT0
初期値:	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15 : エンディアン指定 (ENDIAN)

各エリアのエンディアン方式を指定します。

ビット 15	説 明
ENDIAN	
0	ビッグエンディアン (初期値)
1	リトルエンディアン

ビット 14、13 : メモリ指定 (TP1、TP0)

各エリアに接続するメモリ、I/O の種類を指定します。

[エリア 0 ~ 3]

ビット 14	ビット 13	説 明
TP1	TP0	
0	0	通常空間としてアクセス (初期値)
0	1	予約 (設定しないでください)
1	0	アドレス / データマルチプレクス I/O 空間としてアクセス
1	1	予約 (設定しないでください)

【注】 エリア 0 は通常空間固定です。

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : 外部ウェイトイネーブル (EXWE)

外部 WAIT 端子によるウェイト要求を受け付けるかどうかを、各エリアごとに指定します。

ビット 12	説 明
EXWE	
0	外部ウェイト要求を受け付けます (初期値)
1	外部ウェイト要求を受け付けません

ビット 11 : : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10、9 : バス幅指定 (SZ1、SZ0)

各エリアのバス幅を指定します。

ビット 10	ビット 9	説 明
SZ1	SZ0	
0	0	予約 (設定しないでください)
0	1	8 ビット
1	0	16 ビット
1	1	32 ビット (初期値)

【注】 ROM なし拡張モードでの CS0 空間のバス幅は、MD1、MD0 端子での設定となります。
詳細は「8.3.2 エリアの説明」を参照してください。

ビット 8~6 : サイクル間アイドル数指定 (IW2、IW1、IW0)

各エリアの、他の空間へのアクセスに切り替わった場合、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アイドル数を指定します。アイドルサイクルの指定は直前にアクセスされたエリアのものが有効となります。なお、同一空間でリードサイクルからライトサイクルに切り替わった場合には、アイドルサイクルなしに設定していても、2 アイドルサイクルが自動挿入されます。また、他の空間へのアクセスに切り替わった場合にも、アイドルサイクルなしに設定していても、リードサイクル時は 1 アイドルサイクル、ライトサイクル時は 2 アイドルサイクルが自動挿入されます。

ビット 8	ビット 7	ビット 6	説 明
IW2	IW1	IW0	
0	0	0	アイドルサイクルなし
0	0	1	1 アイドルサイクル挿入
0	1	0	2 アイドルサイクル挿入
	~		~
1	1	0	6 アイドルサイクル挿入
1	1	1	7 アイドルサイクル挿入 (初期値)

8. バスステートコントローラ (BSC)

ビット5~3: \overline{CS} アサート後の拡張サイクル数指定 (SWH2、SWH1、SWH0)

各エリアの、 \overline{CS} 信号がアサートされてから、 \overline{RD} 信号、 \overline{WR} 信号がアサートされるまでに挿入するサイクル数を指定します。

ビット5	ビット4	ビット3	説 明
SWH2	SWH1	SWH0	
0	0	0	拡張サイクルなし
0	0	1	1 拡張サイクル挿入
0	1	0	2 拡張サイクル挿入
~			~
1	1	0	6 拡張サイクル挿入
1	1	1	7 拡張サイクル挿入 (初期値)

ビット2~0: \overline{CS} ネグート前の拡張サイクル数指定 (SWT2、SWT1、SWT0)

各エリアの、 \overline{RD} 信号、 \overline{WR} 信号がネグートされてから、 \overline{CS} 信号がネグートされるまでに挿入するサイクル数を指定します。

ビット2	ビット1	ビット0	説 明
SWT2	SWT1	SWT0	
0	0	0	拡張サイクルなし
0	0	1	1 拡張サイクル挿入
0	1	0	2 拡張サイクル挿入
~			~
1	1	0	6 拡張サイクル挿入
1	1	1	7 拡張サイクル挿入 (初期値)

(2) エリア4、エリア5 (ACR1_4、ACR1_5) 用

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ENDIAN			EXWE												
--------	--	--	------	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R R R/W R R R R R R R R R R R R

ビット15: エンディアン指定 (ENDIAN)

各エリアのエンディアン方式を指定します。

ビット15	説 明
ENDIAN	
0	ビッグエンディアン (初期値)
1	リトルエンディアン

ビット 14、13：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12：外部ウェイトイネーブル (EXWE)

外部 $\overline{\text{WAIT}}$ 端子によるウェイト要求を受け付けるかどうかを、各エリアごとに指定します。

ビット 12	説 明
EXWE	
0	外部ウェイト要求を受け付けます (初期値)
1	外部ウェイト要求を受け付けません

ビット 11~0：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.2.3 ウェイトコントロールレジスタ (WCR_0~WCR_3)

ウェイトコントロールレジスタ (WCR) は、エリア 0~エリア 3 のウェイトステート挿入サイクル数を指定します。

WCR レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'FFFE に初期化されますが、スタンバイモード時は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	W3	W2	W1	W0	DSWW	DSWW	DSWW	DSWW	DSWR	DSWR	DSWR	DSWR	HWW	HWW	HWW	
					3	2	1	0	3	2	1	0	2	1	0	
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット 15~12：ウェイトステート挿入サイクル数指定 (W3、W2、W1、W0)

エリア 0~3 挿入ウェイトステート数を指定します。

ビット 15	ビット 14	ビット 13	ビット 12	説 明
W3	W2	W1	W0	
0	0	0	0	ノーウェイト
0	0	0	1	1 ウェイト
0	0	1	0	2 ウェイト
~				~
1	1	1	0	14 ウェイト
1	1	1	1	15 ウェイト (初期値)

8. バスステートコントローラ (BSC)

ビット 11～8 : CS0～CS3 空間 DMA シングルアドレスモードライト時の、ウェイトステート挿入サイクル数指定 (DSWW3、DSWW2、DSWW1、DSWW0)

DMA シングルアドレスモードで CS0～CS3 空間にライト時の挿入ウェイトステート数を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説 明
DSWW3	DSWW2	DSWW1	DSWW0	
0	0	0	0	ノーウェイト
0	0	0	1	1 ウェイト
0	0	1	0	2 ウェイト
~				~
1	1	1	0	14 ウェイト
1	1	1	1	15 ウェイト (初期値)

ビット 7～4 : CS0～CS3 空間 DMA シングルアドレスモードリード時の、ウェイトステート挿入サイクル数指定 (DSWR3、DSWR2、DSWR1、DSWR0)

DMA シングルアドレスモードで CS0～CS3 空間からリード時の挿入ウェイトステート数を指定します。

ビット 7	ビット 6	ビット 5	ビット 4	説 明
DSWR3	DSWR2	DSWR1	DSWR0	
0	0	0	0	ノーウェイト
0	0	0	1	1 ウェイト
0	0	1	0	2 ウェイト
~				~
1	1	1	0	14 ウェイト
1	1	1	1	15 ウェイト (初期値)

ビット 3～1 : 外部 WAIT 端子ネゲート後の、ウェイトステート挿入サイクル数指定 (HWW2、HWW1、HWW0)

エリア 0～3 の外部 WAIT 端子ネゲート後に挿入するウェイトステート数を指定します。

外部 WAIT 端子によるハードウェイトを挿入した場合にのみ有効です。ハードウェイトを挿入しない場合には、本ビット設定によるウェイトステートは挿入されません。

ビット 3	ビット 2	ビット 1	説 明
HWW2	HWW1	HWW0	
0	0	0	ノーウェイト
0	0	1	1 ウェイト
0	1	0	2 ウェイト
~			~
1	1	0	6 ウェイト
1	1	1	7 ウェイト (初期値)

ビット0: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.2.4 DRAM コントロールレジスタ 1 (DCR1)

DRAM コントロールレジスタ 1 (DCR1) は、DRAM の制御を指定します。CS4 空間と CS5 空間のアクセスは同じになります。

DCR1 レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'0000 に初期化されますが、スタンバイモード時は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPC1	TPC0	TPCS2	TPCS1	TPCS0	RCD2	RCD1	RCD0			DWW1	DWW0	DWR1	DWR0		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R

ビット 15、14 : RAS プリチャージ期間指定 (TPC1、TPC0)

DRAM に対する、RAS ネゲート後、次にアサートするまでの最小サイクル数を指定します。

ビット 15	ビット 14	説 明
TPC1	TPC0	
0	0	1 サイクル (初期値)
0	1	2 サイクル
1	0	3 サイクル
1	1	4 サイクル

ビット 13~11 : セルフリフレッシュ直後の RAS プリチャージ期間指定 (TPCS2、TPCS1、TPCS0)

DRAM に対する、セルフリフレッシュ直後の RAS プリチャージ期間を指定します。

ビット 13	ビット 12	ビット 11	説 明
TPCS2	TPCS1	TPCS0	
0	0	0	TPC で設定されたサイクル+0 サイクル (初期値)
0	0	1	TPC で設定されたサイクル+1 サイクル
0	1	0	TPC で設定されたサイクル+2 サイクル
	~		~
1	1	0	TPC で設定されたサイクル+6 サイクル
1	1	1	TPC で設定されたサイクル+7 サイクル

8. バスステートコントローラ (BSC)

ビット 10～8 : RAS-CAS 遅延指定 (RCD2、RCD1、RCD0)

DRAM に対する、RAS-CAS アサート遅延時間を指定します。

ビット 10	ビット 9	ビット 8	説 明	
RCD2	RCD1	RCD0	通常時	EDO 時
0	0	0	1 サイクル (初期値)	1 サイクル (初期値)
0	0	1	2 サイクル	設定しないでください
~			~	
1	1	0	7 サイクル	設定しないでください
1	1	1	8 サイクル	設定しないでください

【注】 EDO DRAM に対しては、1 サイクルで使用してください。

ビット 7、6 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5、4 : ライトサイクル時のカラムアドレス出力サイクル期間指定 (DWW1、DWW0)

DRAM に対する、ライトサイクル時のカラムアドレス出力サイクル期間を指定します。

ビット 5	ビット 4	説 明		
DWW1	DWW0	通常ライトサイクル時	EDO ライトサイクル時	EDO パースト ライトサイクル時
0	0	2 サイクル (ノーウェイト)*	2 サイクル (ノーウェイト)*	1 サイクル (ノーウェイト)*
0	1	3 サイクル (1 ウェイト)	設定しないでください	設定しないでください
1	0	4 サイクル (2 ウェイト)	設定しないでください	設定しないでください
1	1	5 サイクル (3 ウェイト)	設定しないでください	設定しないでください

【注】 * 初期値

EDO DRAM に対しては、ノーウェイトで使用してください。

ビット 3、2 : リードサイクル時のカラムアドレス出力サイクル期間指定 (DWR1、DWR0)

DRAM に対する、リードサイクル時のカラムアドレス出力サイクル期間を指定します。

ビット 3	ビット 2	説 明		
DWR1	DWR0	通常リードサイクル時	EDO リードサイクル時	EDO パースト リードサイクル時
0	0	2 サイクル (ノーウェイト)*	2 サイクル (ノーウェイト)*	1 サイクル (ノーウェイト)*
0	1	3 サイクル (1 ウェイト)	設定しないでください	設定しないでください
1	0	4 サイクル (2 ウェイト)	設定しないでください	設定しないでください
1	1	5 サイクル (3 ウェイト)	設定しないでください	設定しないでください

【注】 * 初期値

EDO DRAM に対しては、ノーウェイトで使用してください。

ビット 1、0：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.2.5 DRAM コントロールレジスタ 2 (DCR2)

DRAM コントロールレジスタ 2 (DCR2) は、DRAM の制御を指定します。CS4 空間と CS5 空間のアクセスは同じになります。

DCR2 レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'1FE0 に初期化されますが、スタンバイモード時は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DIW2	DIW1	DIW0	DDWW	DDWW	DDWW	DDWW	DDWR	DDWR	DDWR	DDWR	RDW	TCAS			
初期値:	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット 15～13：DRAM アクセス後のアイドルサイクル数指定 (DIW2、DIW1、DIW0)

CS4 空間から他の空間、および CS5 空間から他の空間へのアクセスに切り替わった場合、または CS4 同一空間、および CS5 同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アイドルサイクル数を指定します。なお、同一空間でリードサイクルからライトサイクルに切り替わった場合には、アイドルサイクルなしに設定していても、2 アイドルサイクルが自動挿入されます。また、他の空間へのアクセスに切り替わった場合にも、アイドルサイクルなしに設定していても、リードサイクル時は 1 アイドルサイクル、ライトサイクル時は 2 アイドルサイクルが自動挿入されます。

ビット 15	ビット 14	ビット 13	説 明
DIW2	DIW1	DIW0	
0	0	0	アイドルサイクルなし (初期値)
0	0	1	1 アイドルサイクル挿入
0	1	0	2 アイドルサイクル挿入
	~		~
1	1	0	6 アイドルサイクル挿入
1	1	1	7 アイドルサイクル挿入

8. バスステートコントローラ (BSC)

ビット 12~9 : DMA シングルアドレスモードライト時の、ウェイトステート挿入サイクル数指定 (DDWW3、DDWW2、DDWW1、DDWW0)

DMA シングルアドレスモードで、DRAM にライトのときの、挿入ウェイトステート数を指定します。

ビット 12	ビット 11	ビット 10	ビット 9	説 明	
DDWW3	DDWW2	DDWW1	DDWW0	通常時	EDO 時
0	0	0	0	ノーウェイト	ノーウェイト
0	0	0	1	1 ウェイト	設定しないでください
0	0	1	0	2 ウェイト	設定しないでください
~				~	
1	1	1	0	14 ウェイト	設定しないでください
1	1	1	1	15 ウェイト (初期値)	設定しないでください (初期値)

【注】 EDO DRAM に対しては、ノーウェイトで使用してください。

ビット 8~5 : DMA シングルアドレスモードリード時の、ウェイトステート挿入サイクル数指定 (DDWR3、DDWR2、DDWR1、DDWR0)

DMA シングルアドレスモードで、DRAM からリード時の、挿入ウェイトステート数を指定します。

ビット 8	ビット 7	ビット 6	ビット 5	説 明	
DDWR3	DDWR2	DDWR1	DDWR0	通常時	EDO 時
0	0	0	0	ノーウェイト	ノーウェイト
0	0	0	1	1 ウェイト	設定しないでください
0	0	1	0	2 ウェイト	設定しないでください
~				~	
1	1	1	0	14 ウェイト	設定しないでください
1	1	1	1	15 ウェイト (初期値)	設定しないでください (初期値)

【注】 EDO DRAM に対しては、ノーウェイトで使用してください。

ビット 4 : RAS ダウンモードでの DMA シングル転送時の、継続バースト動作の前に挿入するアイドルサイクル指定 (RDW)

RAS ダウンモード時、DRAM の同一ロウアドレスが DMA シングルモードでアクセスされたときのバースト動作の前に、1 サイクルのアイドルサイクルを挿入するかを設定します。ただし、他の空間から CS4 空間、および他の空間から CS5 空間へのアクセスに切り替わった場合、または CS4 同一空間、および CS5 同一空間でリードアクセスからライトアクセスに切り替わった場合のみ挿入されます。

ビット 4	説 明	
RDW		
0	アイドルサイクルなし	(初期値)
1	アイドルサイクルを 1 サイクル挿入	

ビット3：ソフトウェアウェイト設定時の、ライトサイクルのCASアサート幅指定 (TCAS)
DRAM ライトサイクルのCASアサート幅を設定します。

ビット3	説 明	
TCAS	通常時	EDO 時
0	1 サイクル (初期値)	1 サイクル (初期値)
1	2 サイクル	設定しないでください

【注】 EDO DRAM に対しては、ノーウェイトで使用してください。

ビット2~0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.2.6 DRAM コントロールレジスタ 3 (DCR3)

DRAM コントロールレジスタ 3 (DCR3) は、DRAM の制御を指定します。CS4 空間と CS5 空間のアクセスは同じになります。

DCR3 レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'1800 に初期化されますが、スタンバイモード時は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BE	RSD	EDO	DSZ1	DSZ0	AMX2	AMX1	AMX0	RFSH	RMD						
初期値:	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット15：バーストイネーブル (BE)

DRAM に対し、バーストアクセスを行うかどうかを指定します。

ビット15	説 明
BE	
0	バースト禁止 (初期値)
1	高速ページモードでアクセス

ビット14：RAS ダウンモード (RSD)

DRAM に対し、RAS ダウンモードでのアクセスを行うかどうかを指定します。

ビット14	説 明
RSD	
0	DRAM を RAS アップモードでアクセス (初期値)
1	DRAM を RAS ダウンモードでアクセス

8. バスステートコントローラ (BSC)

ビット 13 : EDO モード (EDO)

DRAM に対し、EDO モードでのアクセスを行うかどうかを指定します。

ビット 13	説明
EDO	
0	DRAM を通常モードでアクセス (初期値)
1	DRAM を EDO モードでアクセス

ビット 12、11 : バス幅指定 (DSZ1、DSZ0)

DRAM に対する、バス幅を指定します。

ビット 12	ビット 11	説明
DSZ1	DSZ0	
0	0	予約 (設定しないでください)
0	1	8 ビット
1	0	16 ビット
1	1	32 ビット (初期値)

ビット 10~8 : アドレスマルチプレクス指定 (AMX2、AMX1、AMX0)

DRAM のアドレスマルチプレクスを指定します。

ビット 10	ビット 9	ビット 8	説明
AMX2	AMX1	AMX0	
0	0	0	9 ビット (初期値)
		1	10 ビット
	1	0	11 ビット
		1	12 ビット
1	0	0	13 ビット
		1	14 ビット
	1	0	15 ビット
		1	16 ビット

ビット 7 : リフレッシュ制御 (RFSH)

DRAM に対し、リフレッシュを行うかどうかを指定します。また、リフレッシュ機能を使わない場合、リフレッシュ要求周期発生用のタイマをインターバルタイマとしても使用できます。

ビット 7	説明
RFSH	
0	リフレッシュを行わない (初期値)
1	リフレッシュを行う

ビット6: リフレッシュモード (RMD)

DRAM に対し、RFSH ビットが 1 のとき、通常のリフレッシュを行うか、セルフリフレッシュを行うかを指定します。RFSH ビット=1 かつ本ビット=0 とすると、CAS ビフォア RAS リフレッシュを、リフレッシュ関連レジスタ RTCNT、RTCOR および RTCSR で設定した周期で行います。外部バスサイクルを行っている最中にリフレッシュ要求が発生した場合は、バスサイクルが終了してからリフレッシュサイクルを行います。また、RFSH ビット=1 かつ本ビット=1 とすると、外部バスサイクル実行中の場合はその終了を待ってから、セルフリフレッシュ状態になります。なお、セルフリフレッシュ状態のメモリに対するリフレッシュ要求はすべて無視されます。

ビット6	説明
RMD	
0	CAS ビフォア RAS リフレッシュを行う (初期値)
1	セルフリフレッシュを行う

ビット5~0: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.2.7 リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)

リフレッシュタイムコントロール/ステータスレジスタ (RTCSR) は、リフレッシュ周期、割り込み発生の有無および周期を指定します。

RTCSR レジスタは、読み出し/書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'0000 に初期化されますが、スタンバイモード時は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMF	CMIE	CKS2	CKS1	CKS0	OVF	OVIE	LMTS1	LMTS0	BREF2	BREF1	BREF0	TRAS2	TRAS1	TRAS0	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット15: コンペアマッチフラグ (CMF)

リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。

ビット15	説明
CMF	
0	RTCNT と RTCOR の値が一致していないことを示します (初期値) [クリア条件] CMF = 1 の状態で RTCSR をリードした後、CMF に 0 をライトした場合 または RFSH = 1 かつ RMD = 0 (CBR リフレッシュを行う) という設定で、リフレッシュを行った場合
1	RTCNT と RTCOR の値が一致したことを示します [セット条件] RTCNT = RTCOR の場合

8. バスステートコントローラ (BSC)

ビット 14 : コンペアマッチ割り込みイネーブル (CMIE)

RTCSCR の CMF が 1 にセットされたとき、割り込み要求を発生するかどうかを制御します。CAS ビフォア RAS リフレッシュを行っている場合は、本ビットを 1 にしないでください。

ビット 14	説 明	
CMIE		
0	CMF による割り込みを禁止	(初期値)
1	CMF による割り込みを許可	

ビット 13~11 : クロックセレクトビット (CKS2、CKS1、CKS0)

RTCNT への入力クロックを指定します。元となるクロックは外部バスクロック (CKE) です。この CKE を指定した比率で分周したものが、RTCNT のカウンタクロックとなります。

なお、分周率を変更する場合には、必ず CKS0~CKS2 をすべて 0 に設定した後に、CKS0~CKS2 を目的の値に設定してください。

ビット 13	ビット 12	ビット 11	説 明
CKS2	CKS1	CKS0	
0	0	0	クロック入力停止 (初期値)
		1	外部バスクロック (CKE) /4
	1	0	外部バスクロック (CKE) /16
		1	外部バスクロック (CKE) /64
1	0	0	外部バスクロック (CKE) /256
		1	外部バスクロック (CKE) /1024
	1	0	外部バスクロック (CKE) /2048
		1	外部バスクロック (CKE) /4096

ビット 10 : リフレッシュカウントオーバーフローフラグ (OVF)

リフレッシュカウンタレジスタ (RFCR) で示されるリフレッシュ要求回数が、RTCSCR の LMST で示される回数を超えたことを示すステータスフラグです。

ビット 10	説 明
OVF	
0	LMST で示すカウントリミット値を、RFCR がオーバーフローしていないことを示します [クリア条件] OVF=1 の状態で RTCSCR をリードした後、OVF に 0 をライトした場合 (初期値)
1	LMST で示すカウントリミット値を、RFCR がオーバーフローしたことを示します [セット条件] LMST で示すカウントリミット値を、RFCR がオーバーフローした場合

ビット9：リフレッシュカウントオーバーフロー割り込みイネーブル (OVIE)

RTCSR の OVF が 1 にセットされたとき、割り込み要求を発生するかどうかを制御します。

ビット9	説明
OVIE	
0	OVF による割り込みを禁止 (初期値)
1	OVF による割り込みを許可

ビット8、7：リフレッシュカウントオーバーフローリミットセレクト (LMTS1、LMTS0)

リフレッシュカウントレジスタ (RFCR) で示されるリフレッシュ回数と比較するカウントリミット値を指定します。RFCR レジスタがこの LMTS で指定される値を超えると OVF フラグが 1 にセットされます。

ビット8	ビット7	説明
LMTS1	LMTS0	
0	0	リフレッシュ回数カウントリミット値を 4096 とする (初期値)
	1	リフレッシュ回数カウントリミット値を 2048 とする
1	0	リフレッシュ回数カウントリミット値を 1024 とする
	1	リフレッシュ回数カウントリミット値を 512 とする

ビット6~4：リフレッシュ要求回数セレクト (BREF2、BREF1、BREF0)

一回のコンペアマッチで要求する、連続リフレッシュ回数を指定します。本ビットで設定された回数だけ、CAS ビフォア RAS リフレッシュを連続して行います。

ビット6	ビット5	ビット4	説明
BREF2	BREF1	BREF0	
0	0	0	CAS ビフォア RAS を 1 回行います (初期値)
		1	CAS ビフォア RAS を 2 回連続して行います
	1	0	CAS ビフォア RAS を 3 回連続して行います
		1	CAS ビフォア RAS を 4 回連続して行います
1	0	0	CAS ビフォア RAS を 5 回連続して行います
		1	CAS ビフォア RAS を 6 回連続して行います
	1	0	CAS ビフォア RAS を 7 回連続して行います
		1	CAS ビフォア RAS を 8 回連続して行います

8. バスステートコントローラ (BSC)

ビット3~1: リフレッシュ RAS アサート期間指定 (TRAS2、TRAS1、TRAS0)

エリア 4、5 に接続される DRAM のリフレッシュ期間を指定します。DRAM の場合は CAS ビフォア RAS リフレッシュ時の RAS アサート期間になります。

ビット3	ビット2	ビット1	説 明
TRAS2	TRAS1	TRAS0	
0	0	0	2 サイクル (初期値)
		1	3 サイクル
	1	0	4 サイクル
		1	5 サイクル
1	0	0	6 サイクル
		1	7 サイクル
	1	0	8 サイクル
		1	9 サイクル

ビット0: 予約ビット

読み出すと常に0が読み出されます。書き込み値も常に0にしてください。

8.2.8 リフレッシュタイマカウンタ (RTCNT)

リフレッシュタイマカウンタ (RTCNT) は入力したクロックによりカウントアップします。入力クロックは RTCSR レジスタの CKS2~0 ビットで選択します。RTCNT カウンタが RTCOR レジスタと一致すると、RTCSR レジスタの CMF ビットをセットした後、RTCNT カウンタはクリアされます。

RTCNT カウンタは、読み出し/書き込み可能な8ビットのカウンタです。ビット15~8は予約ビットで、読み出すと常に0が読み出されます。書き込む値も0にしてください。パワーオンリセット時は H'00 に初期化されます。スタンバイモード時は初期化されずに、内容保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									RT CNT7	RT CNT6	RT CNT5	RT CNT4	RT CNT3	RT CNT2	RT CNT1	RT CNT0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8.2.9 リフレッシュタイムコンスタントレジスタ (RTCOR)

リフレッシュタイムコンスタントレジスタ (RTCOR) は、RTCNT カウンタの上限値を指定するレジスタです。RTCOR レジスタと RTCNT カウンタの値 (下位 8 ビット) は常に比較され、一致すると RTCSR レジスタの CMF ビットをセットして、RTCNT カウンタを 0 にクリアします。このとき、DRAM コントロールレジスタ (DCR3) の RFSH が 1 に、RMD が 0 に設定されていると、CAS ビフォア RAS リフレッシュが行われます。また、RTCSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) が発生します。

RTCOR レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。ビット 15~8 は予約ビットで、読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。パワーオンリセット時は H'0000 に初期化されますが、スタンバイモード時は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									RT	RT	RT	RT	RT	RT	RT	RT
									COR7	COR6	COR5	COR4	COR3	COR2	COR1	COR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8.2.10 リフレッシュカウントレジスタ (RFCR)

リフレッシュカウントレジスタ (RFCR) は、リフレッシュ回数をカウントします。RTCOR レジスタと RTCNT カウンタの値が一致するたびにカウントアップします。RFCR レジスタの値が RTCSR レジスタの LMTS1、LMTS0 ビットで指定したカウントリミット値を超えると、RTCSR レジスタの OVF フラグをセットして、RFCR レジスタはクリアされます。

RFCR レジスタは、読み出し / 書き込み可能な 12 ビットのカウンタです。ビット 15~12 は予約ビットで、読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。パワーオンリセット時は H'0000 に初期化されます。スタンバイモード時は初期化されずに、内容保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					RFCR	RFCR	RFCR	RFCR	RFCR	RFCR	RFCR	RFCR	RFCR	RFCR	RFCR	RFCR
					11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8.3 動作説明

8.3.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、エリアコントロールレジスタ 1 (ACR1_0 ~ ACR1_5) の ENDIAN ビットで設定します。

また、データバス幅は、通常メモリ、DRAM として 8 ビット、16 ビット、32 ビット幅の 3 種類から選べます。マルチプレクス I/O の場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには 4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的にに行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 8.4 ~ 表 8.9 に示します。なお、命令コードはワードデータとして扱ってください。32 ビット長の命令コードについても同様に、A フィールド / B フィールドの命令コードをそれぞれワードデータとして扱ってください。

表 8.4 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WRHH、 HHBS、 CASHH	WRHL、 HLBS、 CASHL	WRLH、 LHBS、 CASLH	WRLL、 LLBS、 CASLL
0 番地バイトアクセス	データ 7~0	-	-	-	アサート			
1 番地バイトアクセス	-	データ 7~0	-	-		アサート		
2 番地バイトアクセス	-	-	データ 7~0	-			アサート	
3 番地バイトアクセス	-	-	-	データ 7~0				アサート
0 番地ワードアクセス	データ 15~8	データ 7~0	-	-	アサート	アサート		
2 番地ワードアクセス	-	-	データ 15~8	データ 7~0			アサート	アサート
0 番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 8.5 16 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データベース				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WRHH、 HHBS、 CASHH	WRHL、 HLBS、 CASHL	WRLH、 LHBS、 CASLH	WRLL、 LLBS、 CASLL
0 番地バイトアクセス		-	-	データ 7~0	-			アサート	
1 番地バイトアクセス		-	-	-	データ 7~0				アサート
2 番地バイトアクセス		-	-	データ 7~0	-			アサート	
3 番地バイトアクセス		-	-	-	データ 7~0				アサート
0 番地ワードアクセス		-	-	データ 15~8	データ 7~0			アサート	アサート
2 番地ワードアクセス		-	-	データ 15~8	データ 7~0			アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	データ 31~24	データ 23~16			アサート	アサート
	2 回目 (2 番地)	-	-	データ 15~8	データ 7~0			アサート	アサート

8. バスステートコントローラ (BSC)

表 8.6 8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WRHH、 HHBS、 CASHH	WRHL、 HLBS、 CASHL	WRLH、 LHBS、 CASLH	WRLL、 LLBS、 CASLL
0 番地バイトアクセス		-	-	-	データ 7~0				アサート
1 番地バイトアクセス		-	-	-	データ 7~0				アサート
2 番地バイトアクセス		-	-	-	データ 7~0				アサート
3 番地バイトアクセス		-	-	-	データ 7~0				アサート
0 番地 ワード アクセス	1 回目 (0 番地)	-	-	-	データ 15~8				アサート
	2 回目 (1 番地)	-	-	-	データ 7~0				アサート
2 番地 ワード アクセス	1 回目 (2 番地)	-	-	-	データ 15~8				アサート
	2 回目 (3 番地)	-	-	-	データ 7~0				アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	-	データ 31~24				アサート
	2 回目 (1 番地)	-	-	-	データ 23~16				アサート
	3 回目 (2 番地)	-	-	-	データ 15~8				アサート
	4 回目 (3 番地)	-	-	-	データ 7~0				アサート

表 8.7 32 ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WRHH、 HHBS、 CASHH	WRHL、 HLBS、 CASHL	WRLH、 LHBS、 CASLH	WRLL、 LLBS、 CASLL
0 番地バイトアクセス	-	-	-	データ 7~0				アサート
1 番地バイトアクセス	-	-	データ 7~0	-			アサート	
2 番地バイトアクセス	-	データ 7~0	-	-		アサート		
3 番地バイトアクセス	データ 7~0	-	-	-	アサート			
0 番地ワードアクセス	-	-	データ 15~8	データ 7~0			アサート	アサート
2 番地ワードアクセス	データ 15~8	データ 7~0	-	-	アサート	アサート		
0 番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 8.8 16 ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WRHH、 HHBS、 CASHH	WRHL、 HLBS、 CASHL	WRLH、 LHBS、 CASLH	WRLL、 LLBS、 CASLL
0 番地バイトアクセス	-	-	-	データ 7~0				アサート
1 番地バイトアクセス	-	-	データ 7~0	-			アサート	
2 番地バイトアクセス	-	-	-	データ 7~0				アサート
3 番地バイトアクセス	-	-	データ 7~0	-			アサート	
0 番地ワードアクセス	-	-	データ 15~8	データ 7~0			アサート	アサート
2 番地ワードアクセス	-	-	データ 15~8	データ 7~0			アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	データ 15~8	データ 7~0			アサート	アサート
	2 回目 (2 番地)	-	データ 31~24	データ 23~16			アサート	アサート

8. バスステートコントローラ (BSC)

表 8.9 8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

オペレーション		データベース				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WRHH、 HHBS、 CASHH	WRHL、 HLBS、 CASHL	WRLH、 LHBS、 CASLH	WRLL、 LLBS、 CASLL
0 番地バイトアクセス		-	-	-	データ 7~0				アサート
1 番地バイトアクセス		-	-	-	データ 7~0				アサート
2 番地バイトアクセス		-	-	-	データ 7~0				アサート
3 番地バイトアクセス		-	-	-	データ 7~0				アサート
0 番地 ワード アクセス	1 回目 (0 番地)	-	-	-	データ 7~0				アサート
	2 回目 (1 番地)	-	-	-	データ 15~8				アサート
2 番地 ワード アクセス	1 回目 (2 番地)	-	-	-	データ 7~0				アサート
	2 回目 (3 番地)	-	-	-	データ 15~8				アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	-	データ 7~0				アサート
	2 回目 (1 番地)	-	-	-	データ 15~8				アサート
	3 回目 (2 番地)	-	-	-	データ 23~16				アサート
	4 回目 (3 番地)	-	-	-	データ 31~24				アサート

8.3.2 エリアの説明

(1) エリア 0

エリア 0 は、アドレスの A31 ~ A26 が 000000 のエリアです。ただし内蔵 ROM 有効モード時は、H'0000 0000 ~ 0003 FFFF の空間は内蔵 ROM に割り当てられます。内蔵 ROM の無効 / 有効は、外部ピンの MD2、MD1、MD0 によりパワーオンリセット時に選択できます。

この空間に接続できるメモリは、SRAM や ROM 等の通常メモリです。ACR1 レジスタの TP1、TP0 ビットには常に 0 を書き込んでください。読み出したときも常に 0 が読み出されます。

バス幅は、外部ピンの MD1、MD0 により、パワーオンリセット時に、8 ビット、16 ビット、32 ビットから選択できます。

エリア 0 の空間をアクセスすると、 $\overline{CS0}$ 信号がアサートされます。また、SRAM や ROM の \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の \overline{WRHH} ~ \overline{WRLL} 信号がアサートされます。

バスサイクル数は、エリアごと用意されている WCR レジスタの W3 ~ W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 (WAIT) により、バスサイクルごとに任意のウェイトを挿入することができます。

(2) エリア 1 ~ エリア 3

エリア 1 ~ エリア 3 は、アドレスの A31 ~ A26 が 000001 ~ 000011 のエリアです。

この空間に接続できるメモリは、SRAM や ROM 等の通常メモリとアドレス / データマルチプレクス I/O デバイスです。どの種類のメモリ制御を行うかは、エリアごとに用意されている ACR1 レジスタの TP1、TP0 ビットにより設定します。

バス幅は、エリアごとに用意されている ACR1 レジスタの SZ1、SZ0 ビットにより、8 ビット、16 ビット、32 ビットから選べます。ただしアドレス / データマルチプレクス I/O デバイスを接続する場合には、ACR1 レジスタの SZ1、SZ0 ビットは無視され、アドレスの A14 が 0 の場合には、8 ビット、1 の場合には 16 ビットとなります。

エリア 1 ~ エリア 3 の空間をアクセスすると、それぞれ $\overline{CS1}$ ~ $\overline{CS3}$ 信号がアサートされます。また、SRAM や ROM の \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の \overline{WRHH} ~ \overline{WRLL} 信号がアサートされます。

バスサイクル数は、エリアごとに用意されている WCR レジスタの W3 ~ W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。

(3) エリア 4、エリア 5

エリア 4、エリア 5 は、アドレスの A31 ~ A26 が 010000 ~ 010001 のエリアです。

バス幅は、DCR3 レジスタの DSZ1、DSZ0 ビットにより、8 ビット、16 ビット、32 ビットから選べます。

エリア 4、エリア 5 の空間をアクセスすると、それぞれ $\overline{CS4}$ ~ $\overline{CS5}$ 信号がアサートされます。 \overline{RAS} 信号や \overline{CASHH} 、 \overline{CASHL} 、 \overline{CASLH} 、 \overline{CASLL} 信号、RDWR 信号がアサートされ、アドレスマルチプレクスが行われます。これら、 \overline{RAS} や \overline{CAS} 、データのタイミング制御やアドレスマルチプレクス制御は、DCR1 ~ 3 レジスタによって設定できます。

バスサイクル数は、DCR1 レジスタの設定により、ウェイト数を 0 ~ 3 から選択できます。また、DRAM を接続している場合には、外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。ただし、EDO DRAM に対してはウェイトを設定しないでください。

8.3.3 通常空間アクセス

(1) 基本タイミング

本 LSI の通常空間アクセスは、主に SRAM の直結を考慮してストロープ信号を出力します。図 8.3 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表すため、1 サイクルアサートされます。

アクセスサイズは読み出し時は指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出し、必要なバイト値を使用します。書き込み時には、BCR レジスタの BAS ビットの設定により、書き込みを行うバイトの $\overline{WRLL} \sim \overline{WRHH}$ 信号のみ、もしくは \overline{WR} 信号と $\overline{LLBS} \sim \overline{HHBS}$ がアサートされます。詳細は「8.3.1 エンディアン/アクセスサイズとデータアライメント」の項を参照してください。

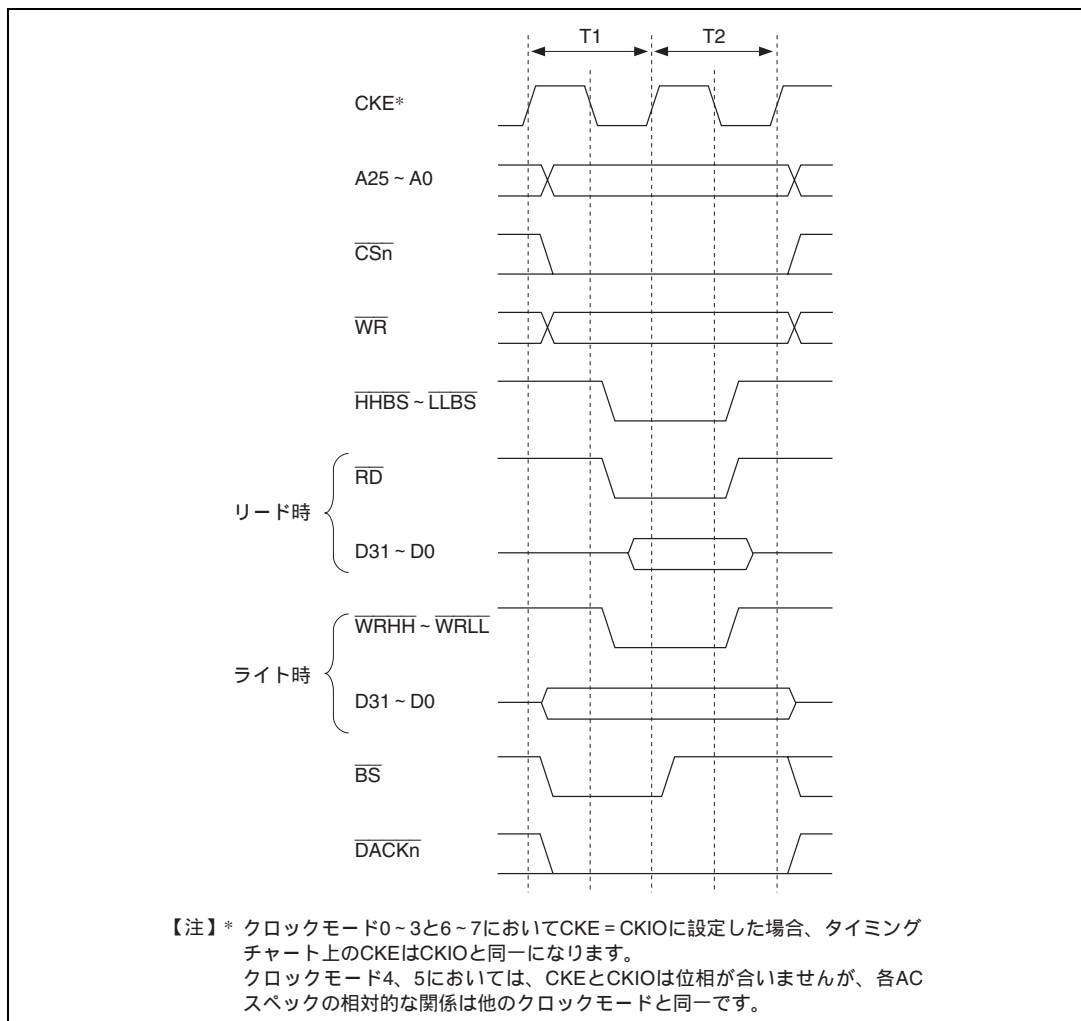


図 8.3 通常空間アクセスの基本タイミング

図 8.4 に 32 ビットデータ幅での SRAM との接続例を、図 8.5 に 16 ビットデータ幅での SRAM との接続例を、図 8.6 に 8 ビットデータ幅での SRAM との接続例を示します。

また、バイトストロープ型の SRAM との接続について、図 8.7 に 32 ビットデータ幅での SRAM との接続例を、図 8.8 に 16 ビットデータ幅での SRAM との接続例を示します。

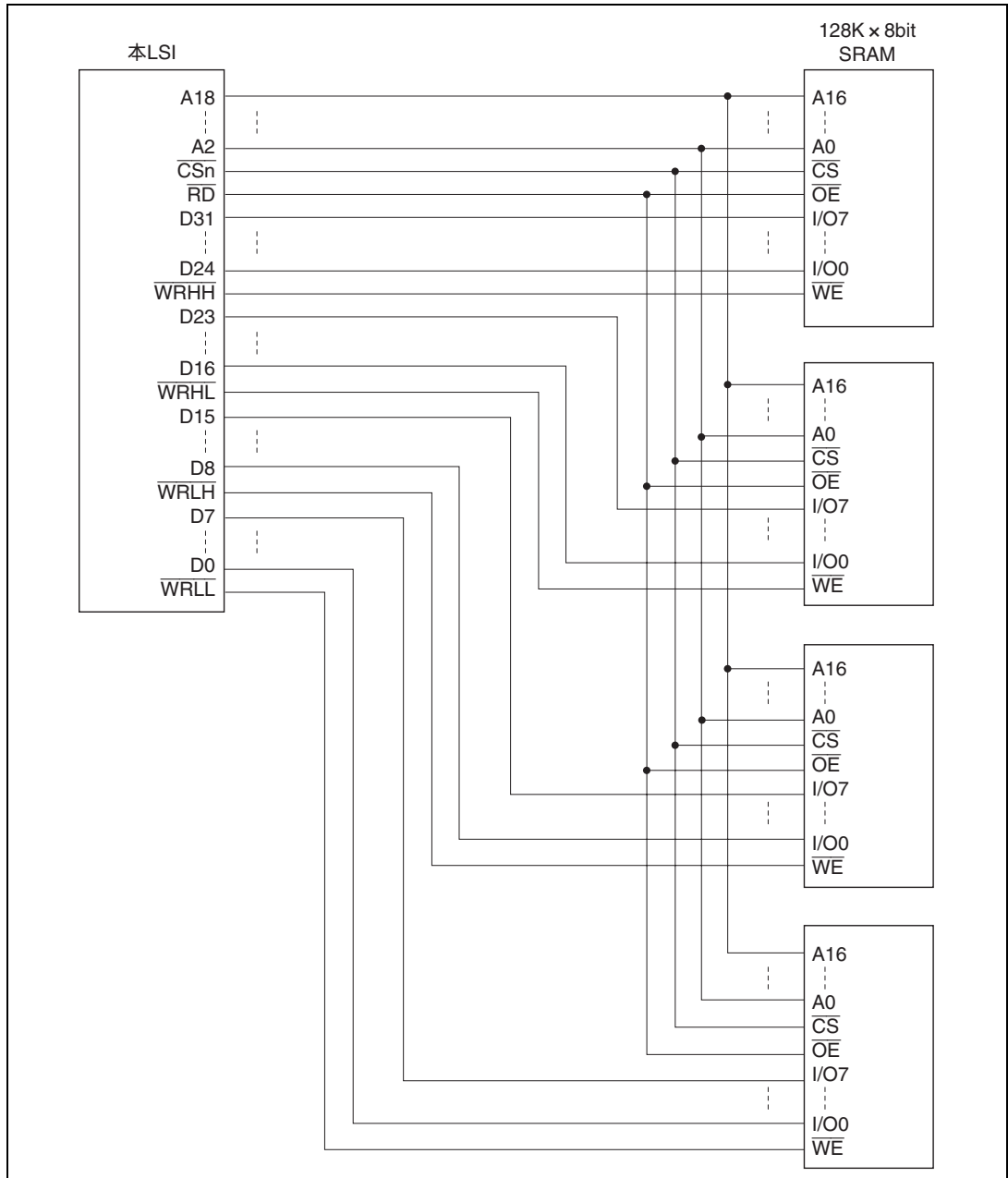


図 8.4 32 ビットデータ幅 SRAM 接続例

8. バスステートコントローラ (BSC)

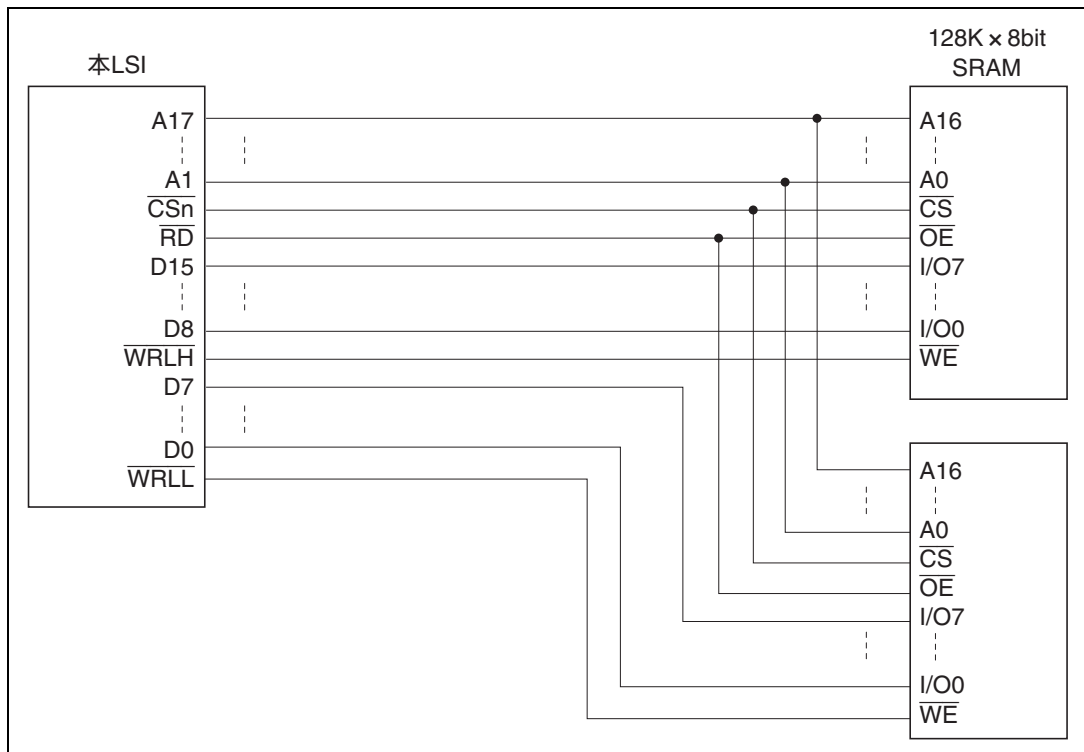


図 8.5 16 ビットデータ幅 SRAM 接続例

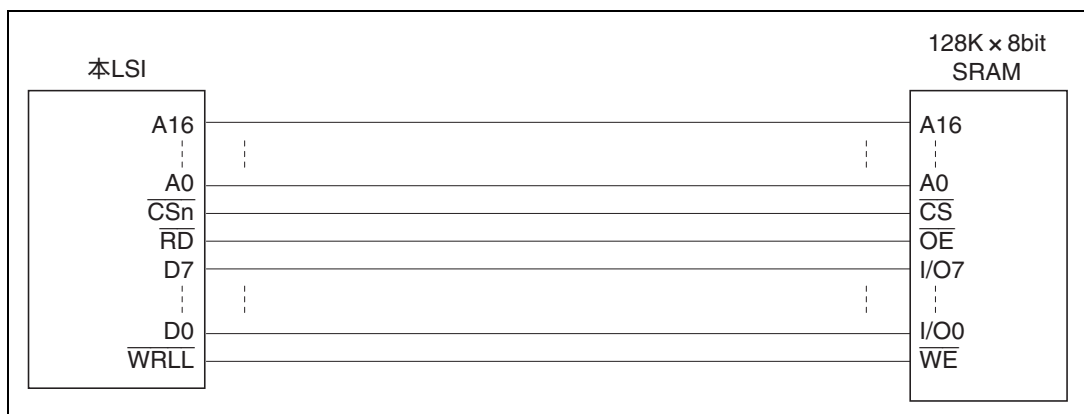


図 8.6 8 ビットデータ幅 SRAM 接続例

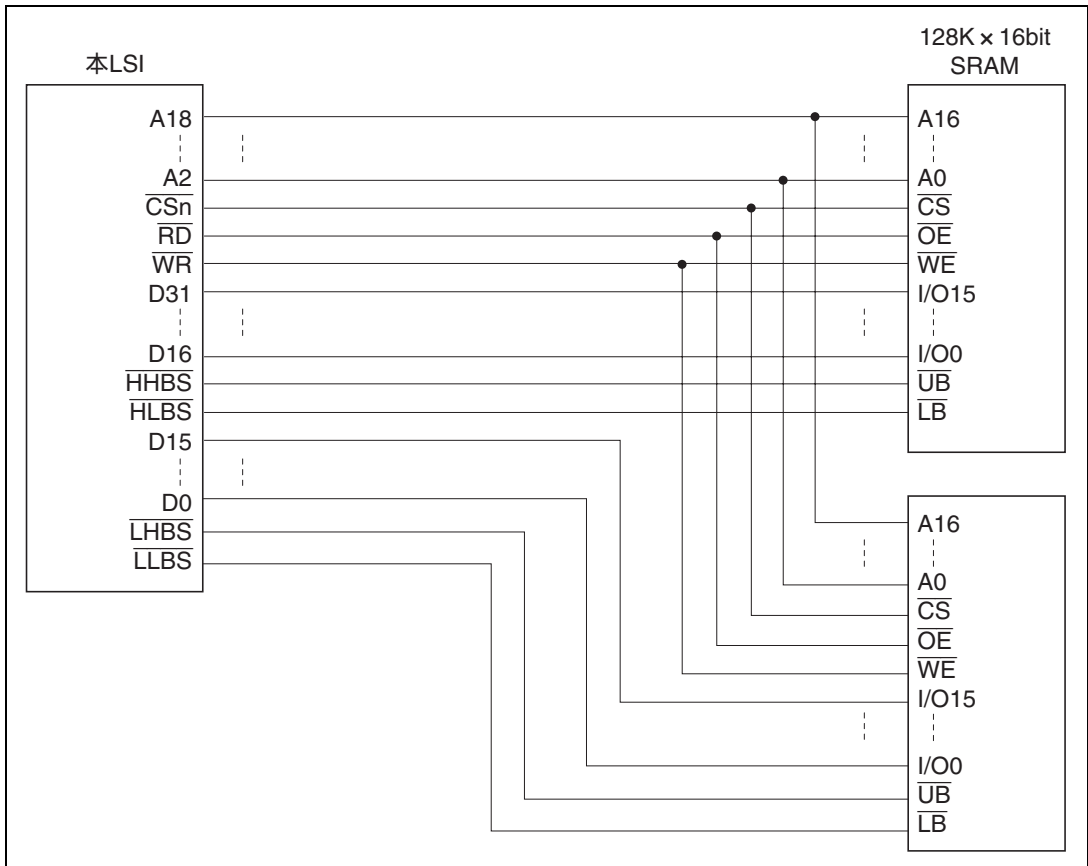


図 8.7 32 ビットデータ幅バイトストロブ型 SRAM 接続例

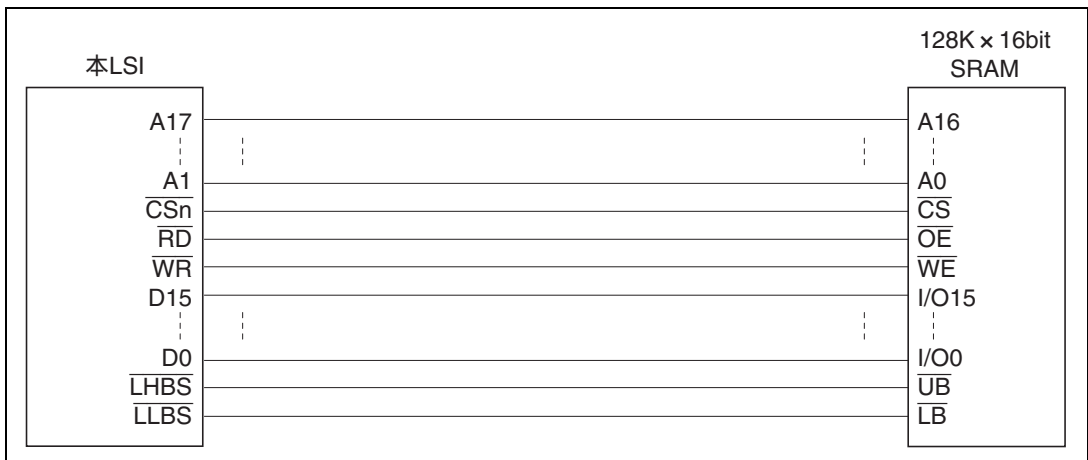


図 8.8 16 ビットデータ幅バイトストロブ型 SRAM 接続例

8. バスステートコントローラ (BSC)

(2) ウェイトステート制御

WCR の設定により、通常空間アクセスのウェイトステートの挿入を制御できます。各エリア用 WCR のウェイト指定ビットが 0 以外のときは、このウェイト指定に従ったソフトウェイトが挿入されます。詳細は「8.2.3 ウェイトコントロールレジスタ (WCR_0~WCR_3)」の項を参照してください。

WCR によって、図 8.9 に示す通常空間アクセスのウェイトタイミングで、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

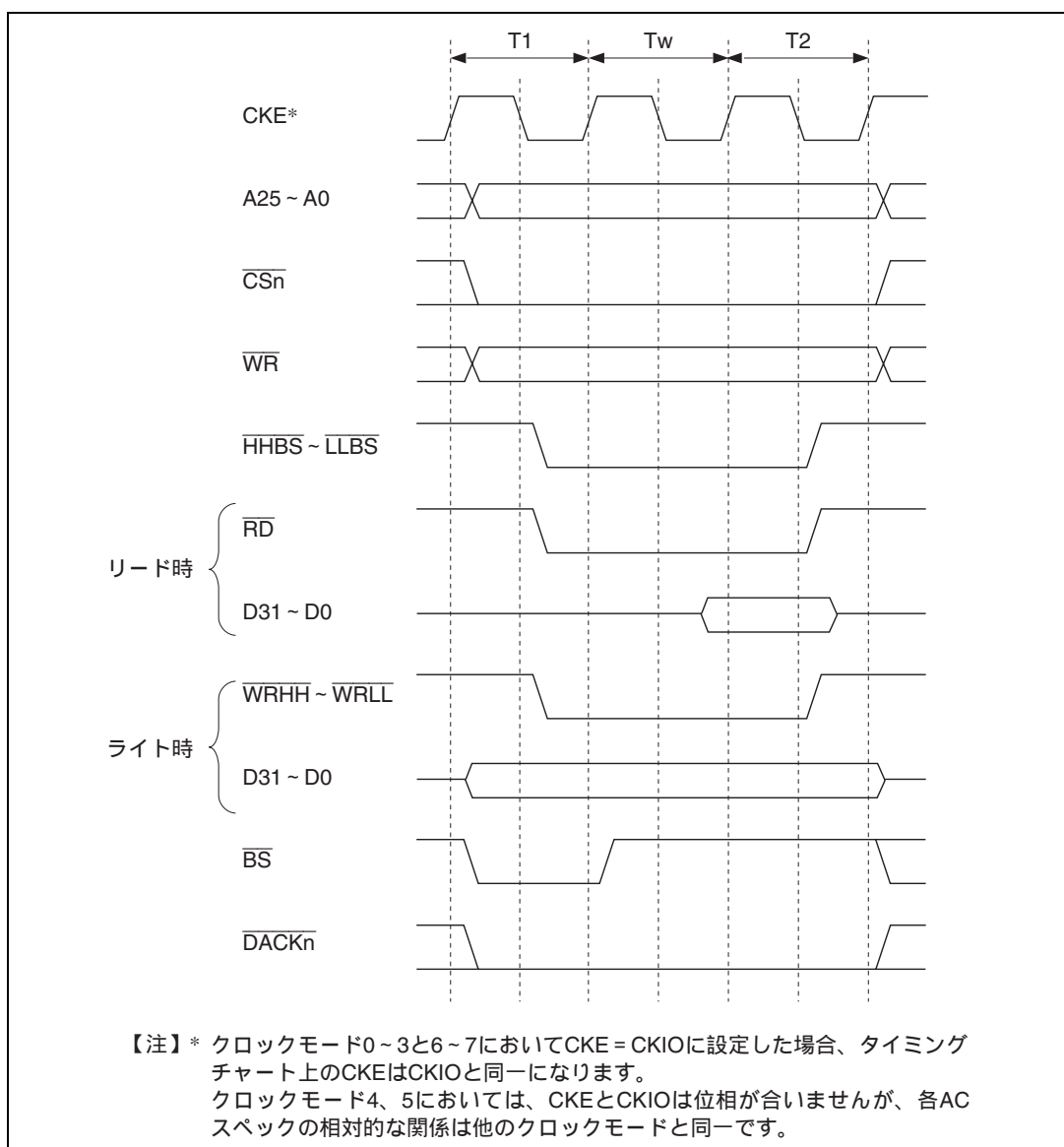


図 8.9 通常空間アクセスのウェイトステートタイミング (ソフトウェアウェイト 1 ステート挿入)

ACR1 の EXWE ビットの設定によって、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号をサンプリングすることができます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 8.10 に示します。サンプリングは T2 サイクルのクロックの立ち上がりで行われます。

また、WCR の HWW2 ~ HWW0 ビットの設定によって、 $\overline{\text{WAIT}}$ 信号ネゲート後に、さらにソフトウェアウェイトステートを挿入することができます。図 8.10 に示す T_{hww} のサイクルが、 $\overline{\text{WAIT}}$ 信号ネゲート後のウェイトサイクルとして指定サイクル数だけ挿入されます。

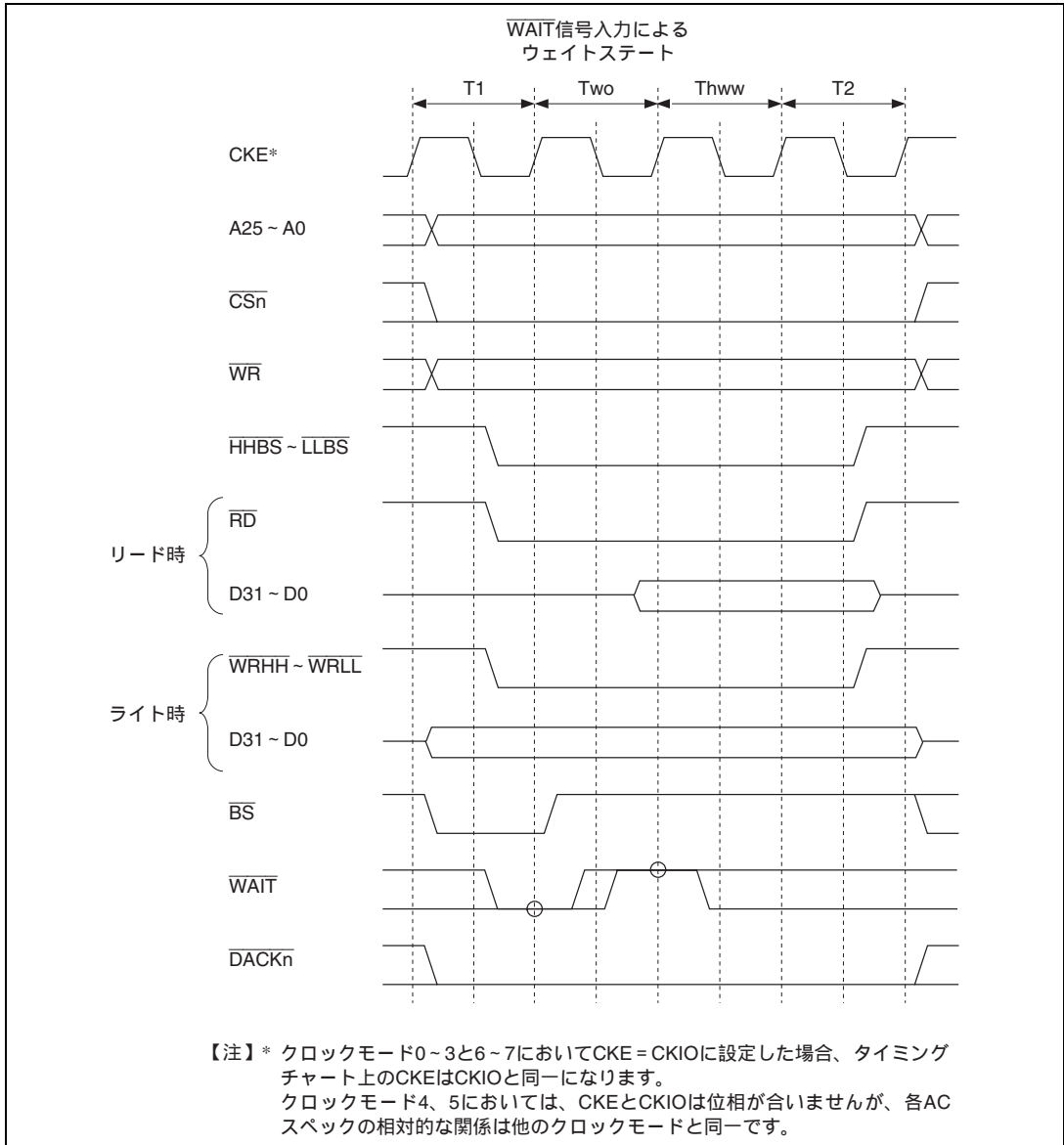


図 8.10 通常空間アクセスのウェイトステートタイミング
($\overline{\text{WAIT}}$ 信号による 1 ウェイト、および $\overline{\text{WAIT}}$ 信号ネゲート後に 1 ソフトウェアウェイト挿入)

8. バスステートコントローラ (BSC)

(3) SH7065F バスタイミング

外部ワードサイズのメモリ空間に対してロングワードアクセスをした場合のタイミング波形を図 8.11 に示します。

SH7065F は連続して外部にアクセスします。途中 \overline{CS} 信号はアサートされ続けます。

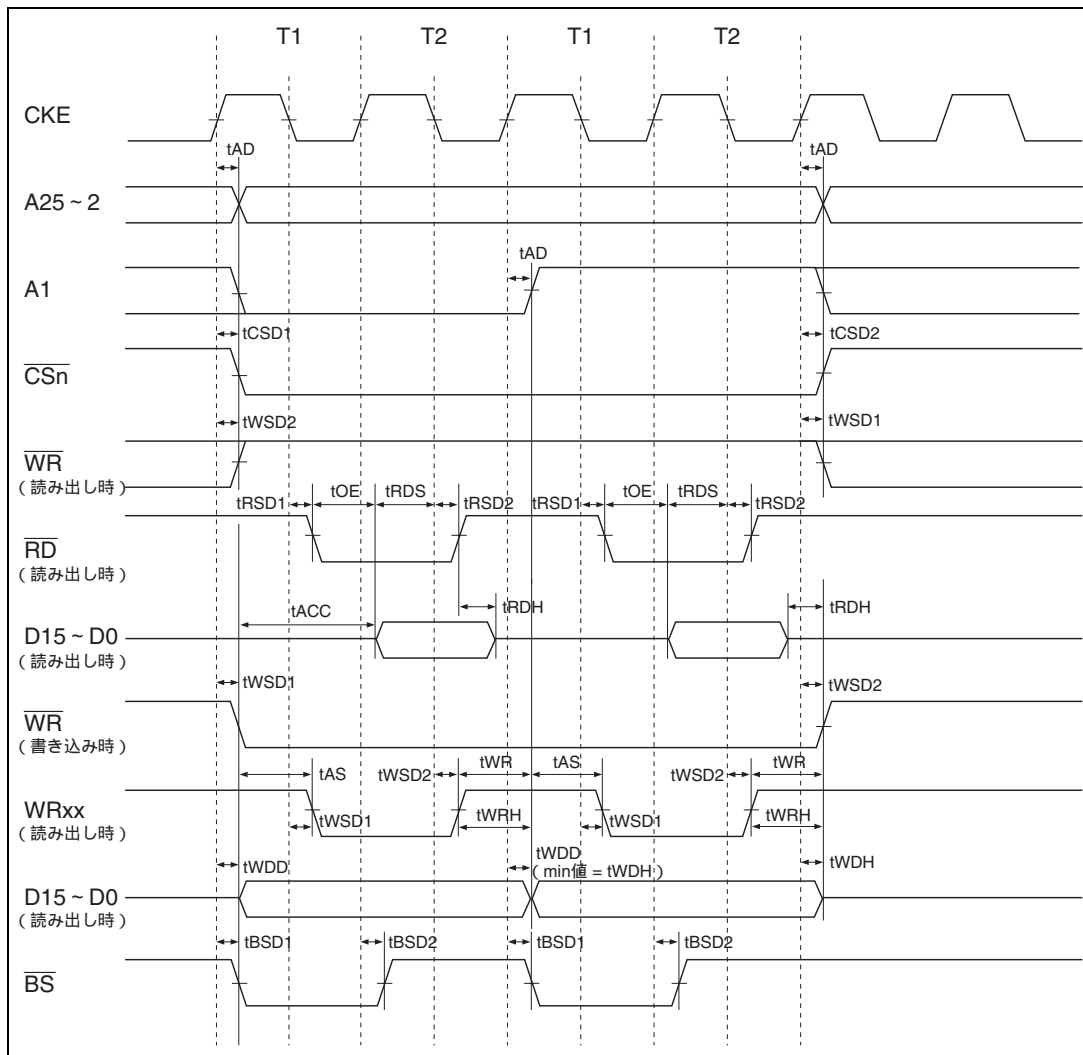
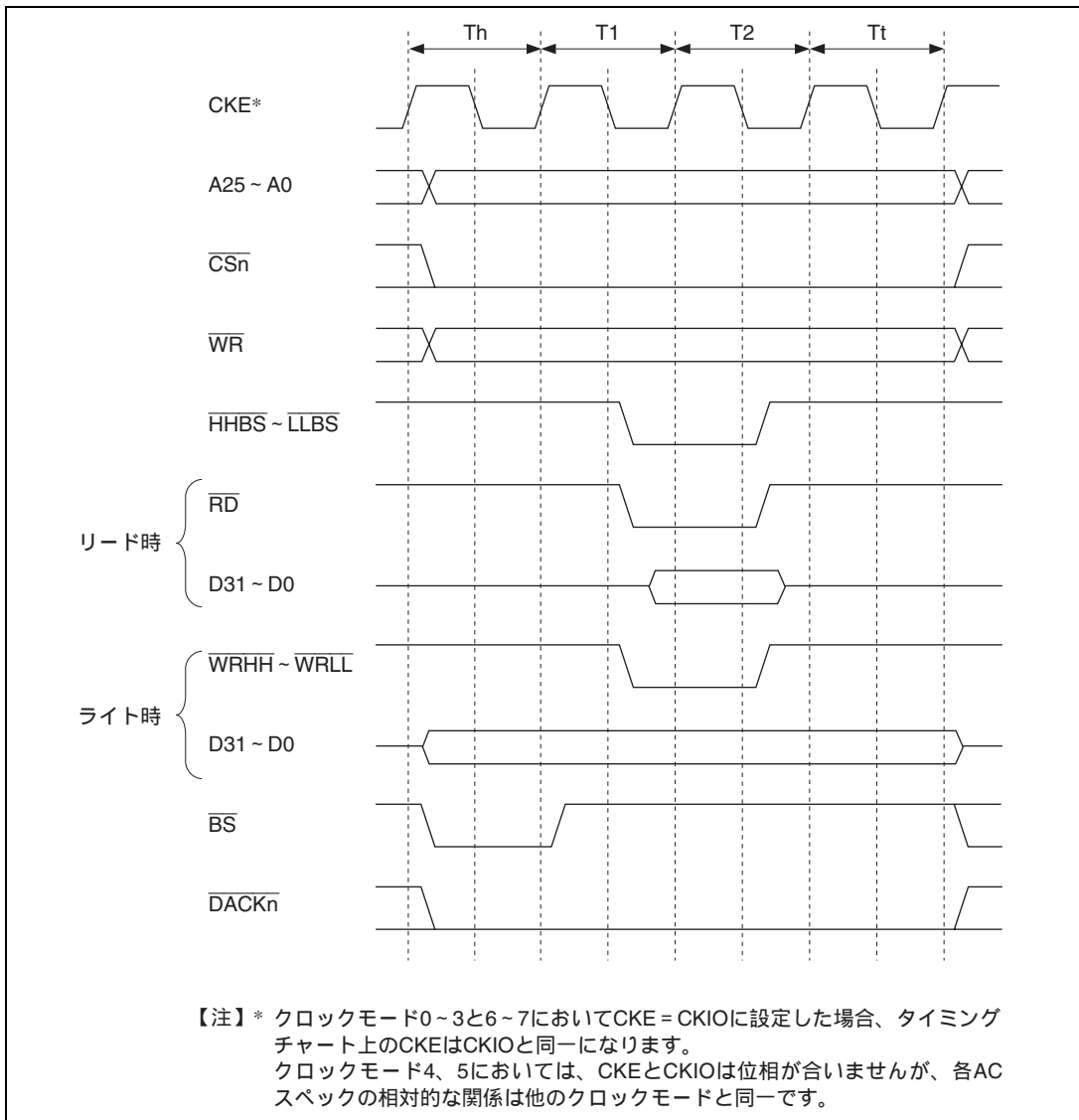


図 8.11 SH7065F バスタイミング

(4) \overline{CS} アサート期間拡張

ACR1 の SWH2 ~ SWH0 ビット、および SWT2 ~ SWT0 ビットの設定により、 \overline{RD} 、 \overline{WR} のアサート期間が、 \overline{CSn} のアサート期間からはみ出ないようにアイドルサイクルを挿入することができます。これにより、外付け回路とフレキシブルなインタフェースがとれます。タイミングを図 8.12 に示します。Th および Tt サイクルが通常サイクルの前と後ろにそれぞれ付加されます。Th および Tt サイクル数は、それぞれ SWH2 ~ SWH0 ビット、および SWT2 ~ SWT0 ビットで設定されます。このサイクルでは \overline{CSn} のみアサートされ、 \overline{RD} 、 \overline{WR} はアサートされません。また、データは Tt サイクルまで延ばされるので、ライト動作の遅いデバイスなどに有効です。

図 8.12 \overline{CS} アサート期間拡張機能 (SWH = 1、SWT = 1)

8. バスステートコントローラ (BSC)

(5) バイトアクセス制御

BCR の BAS ビットを設定することにより、バイトストローブ型 16 ビット幅の SRAM を直結することができます。BAS ビットが 0 のとき、 $\overline{\text{WRHH}}$ 、 $\overline{\text{WRHL}}$ 、 $\overline{\text{WRLH}}$ 、 $\overline{\text{WRLL}}$ 信号を用いてアクセスします。BAS ビットが 1 のとき、 $\overline{\text{WR}}$ 、 $\overline{\text{HHBS}}$ 、 $\overline{\text{HLBS}}$ 、 $\overline{\text{LHBS}}$ 、 $\overline{\text{LLBS}}$ 信号を用いてアクセスします。なお、 $\overline{\text{HHBS}}$ 、 $\overline{\text{HLBS}}$ 、 $\overline{\text{LHBS}}$ 、 $\overline{\text{LLBS}}$ 信号は、リードアクセス時にもアサートされるため、どのバイト位置をアクセスしているかを常に知ることができます。

図 8.13 に、バス幅 32 ビット、ビッグエンディアン、ノーウェイトでのライトサイクル時のタイミングを、図 8.14 に、リードサイクル時のタイミングを示します。

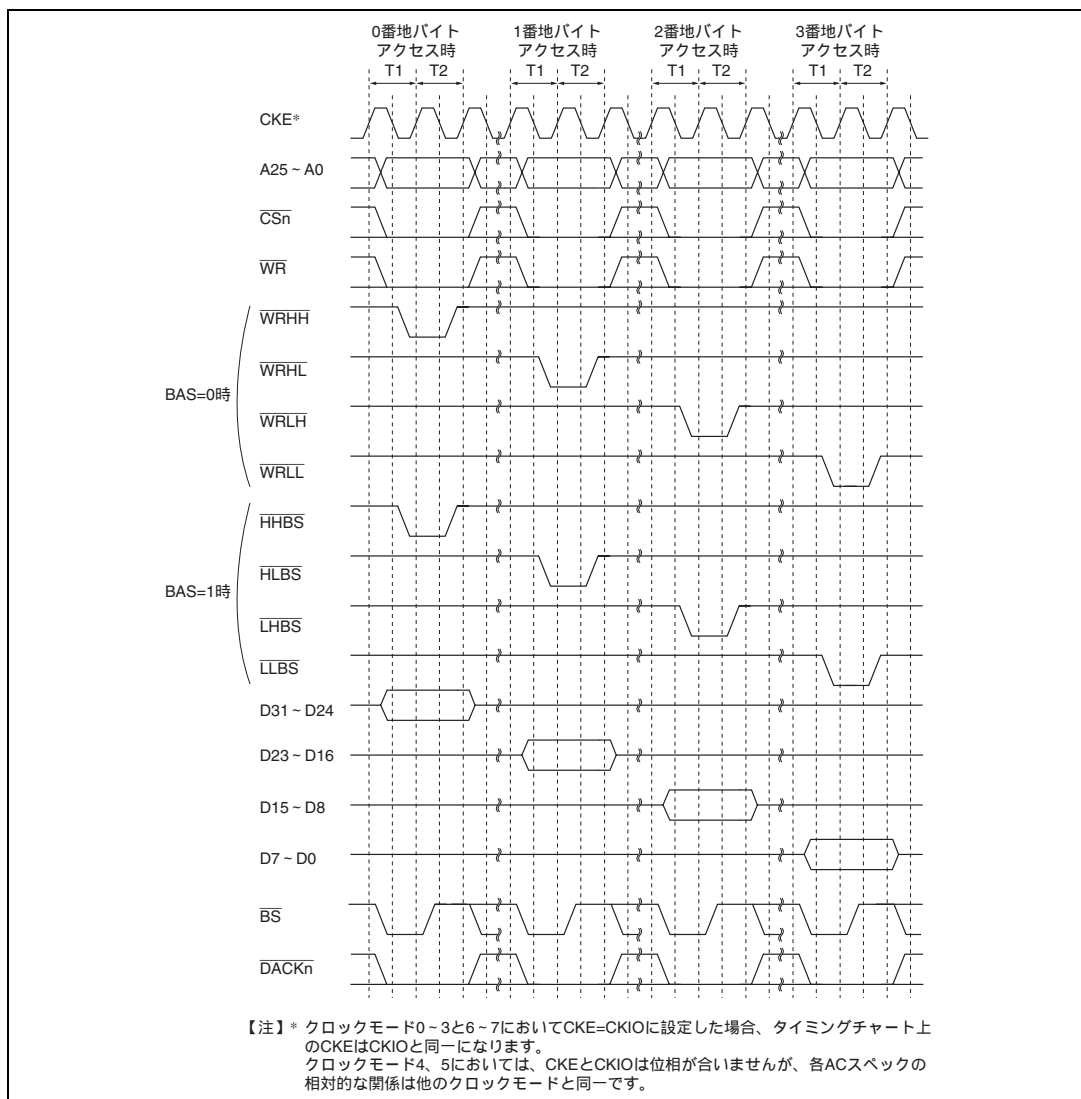


図 8.13 バイトアクセス制御タイミング
 (バス幅 32 ビット、ビッグエンディアン、ノーウェイト、ライトサイクル時)

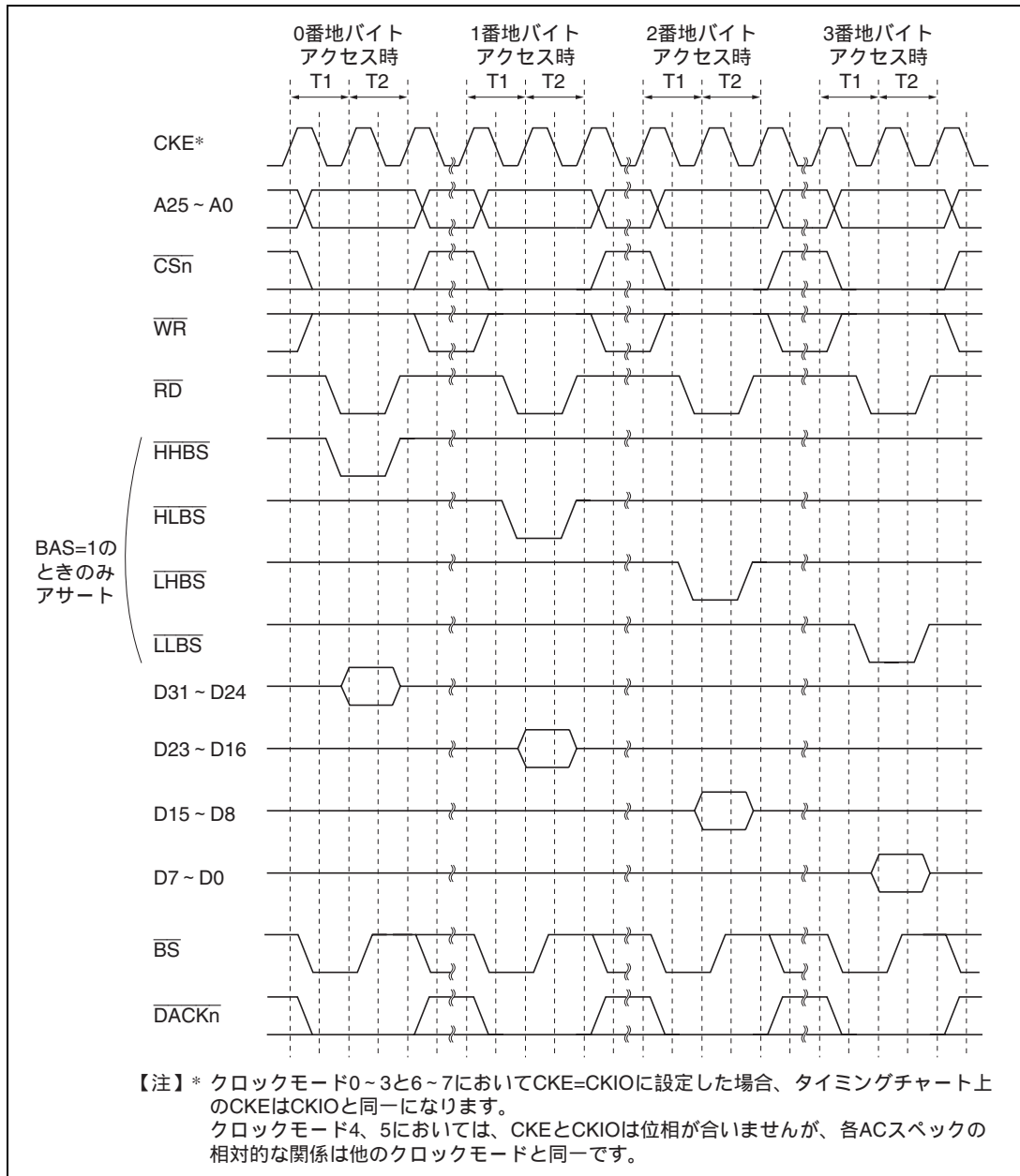


図 8.14 バイトアクセス制御タイミング
 (バス幅 32 ビット、ビッグエンディアン、ノーウェイト、リードサイクル時)

8.3.4 DRAM インタフェース

(1) DRAM 直結方式

エリア 4、エリア 5 の空間をアクセスした場合、対象空間は 64M バイトの DRAM 空間となり、本 LSI と DRAM を直結するための DRAM インタフェース機能を使用できます。

バイトアクセスのコントロールは CAS を用いるので、16 ビット幅 DRAM で接続可能なものは CAS2 本方式のものです。

アクセスモードとしては通常のリード、ライトアクセスに加えて、高速ページモードを利用したバーストアクセスをサポートします。また、EDO モードも同様にサポートし、特にバーストモードでは 1 サイクルアクセスが可能となります。

(2) アドレスマルチプレクス

DRAM に対するアクセスは常にアドレスのマルチプレクスが行われます。これによって外付けのアドレスマルチプレクス回路なしに、ロウアドレスとカラムアドレスのマルチプレクスが必要な DRAM を本 LSI に直結することができます。マルチプレクスの方法は、DCR3 の AMX2 ~ AMX0 ビットの設定によって、以下の 8 通りの中から選ぶことができます。AMX2 ~ AMX0 とアドレスマルチプレクスの関係を表 8.10 に示します。アドレスマルチプレクスの対象となるアドレス出力端子は A15 から A0 です。A25 から A16 には元々のアドレスが出力されます。

表 8.10 AMX2 ~ AMX0 とアドレスマルチプレクスの関係

AMX2	AMX1	AMX0	カラムアドレス ビット数	出力タイミング	外部アドレス端子							
					A0 ~ A9	A10	A11	A12	A13	A14	A15	
0	0	0	9 ビット	カラムアドレス	A0 ~ A9	A10	A11	A12	A13	A14	A15	
				ロウアドレス	A9 ~ A18	A19	A20	A21	A22	A23	A24	
0	0	1	10 ビット	カラムアドレス	A0 ~ A9	A10	A11	A12	A13	A14	A15	
				ロウアドレス	A10 ~ A19	A20	A21	A22	A23	A24	A25	
0	1	0	11 ビット	カラムアドレス	A0 ~ A9	A10	A11	A12	A13	A14	A15	
				ロウアドレス	A11 ~ A20	A21	A22	A23	A24	A25	A15	
0	1	1	12 ビット	カラムアドレス	A0 ~ A9	A10	A11	A12	A13	A14	A15	
				ロウアドレス	A12 ~ A21	A22	A23	A24	A25	A14	A15	
1	0	0	13 ビット	カラムアドレス	A0 ~ A9	A10	A11	A12	A13	A14	A15	
				ロウアドレス	A13 ~ A22	A23	A24	A25	A13	A14	A15	
1	0	1	14 ビット	カラムアドレス	A0 ~ A9	A10	A11	A12	A13	A14	A15	
				ロウアドレス	A14 ~ A23	A24	A25	A12	A13	A14	A15	
1	1	0	15 ビット	カラムアドレス	A0 ~ A9	A10	A11	A12	A13	A14	A15	
				ロウアドレス	A15 ~ A24	A25	A11	A12	A13	A14	A15	
1	1	1	16 ビット	カラムアドレス	A0 ~ A9	A10	A11	A12	A13	A14	A15	
				ロウアドレス	A16 ~ A25	A10	A11	A12	A13	A14	A15	

(3) 基本タイミング

DRAM アクセスの基本タイミングは3サイクルです。DRAM アクセスの基本タイミングを図 8.15 に示します。Tr は $\overline{\text{RAS}}$ アサートサイクル、Tc1 は $\overline{\text{CAS}}$ アサートサイクル、Tc2 は読み出しデータ取り込みサイクルです。

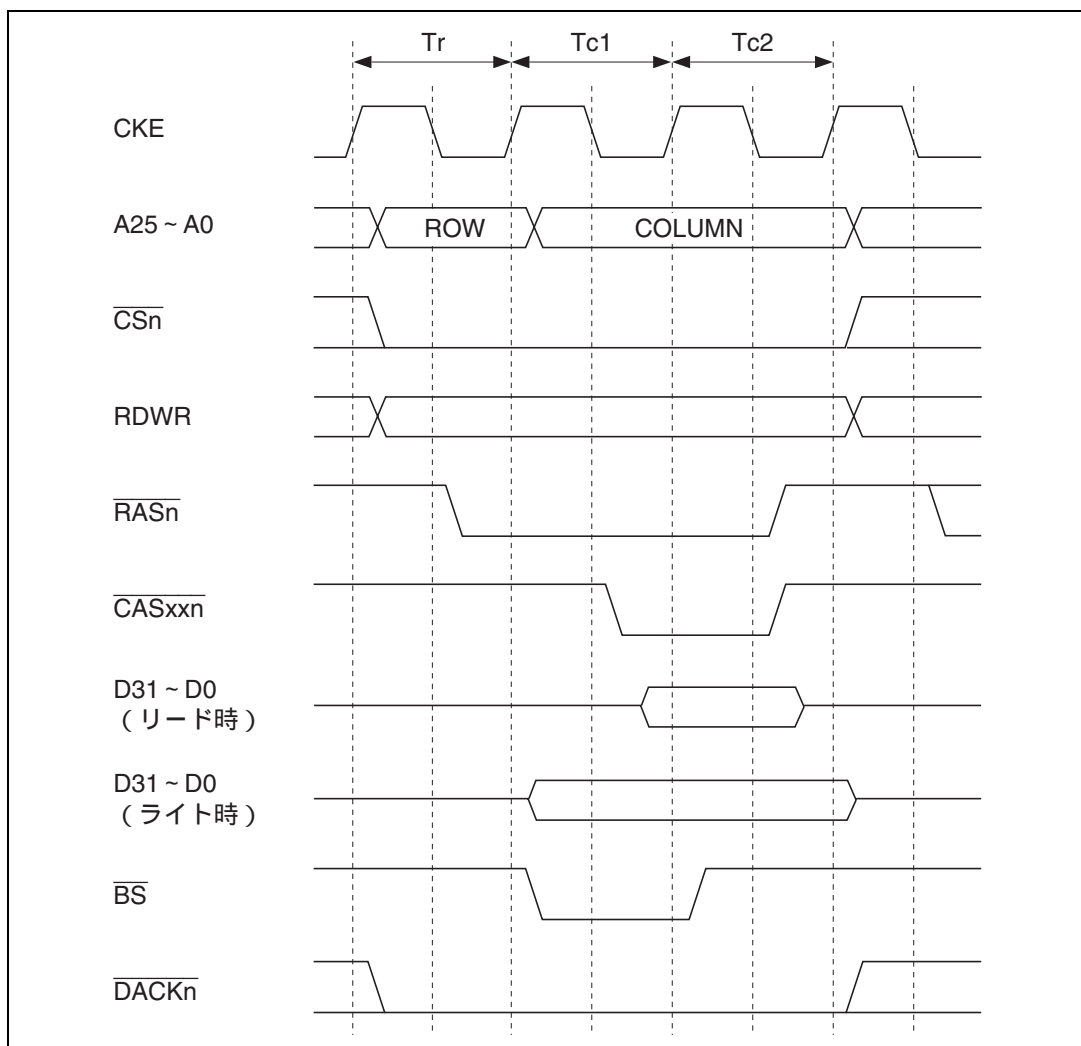


図 8.15 DRAM 基本アクセスタイミング

図 8.16 に 32 ビットデータ幅での DRAM との接続例を、図 8.17 に 16 ビットデータ幅での DRAM との接続例を、図 8.18 に 8 ビットデータ幅での DRAM との接続例を示します。

8. バスステートコントローラ (BSC)

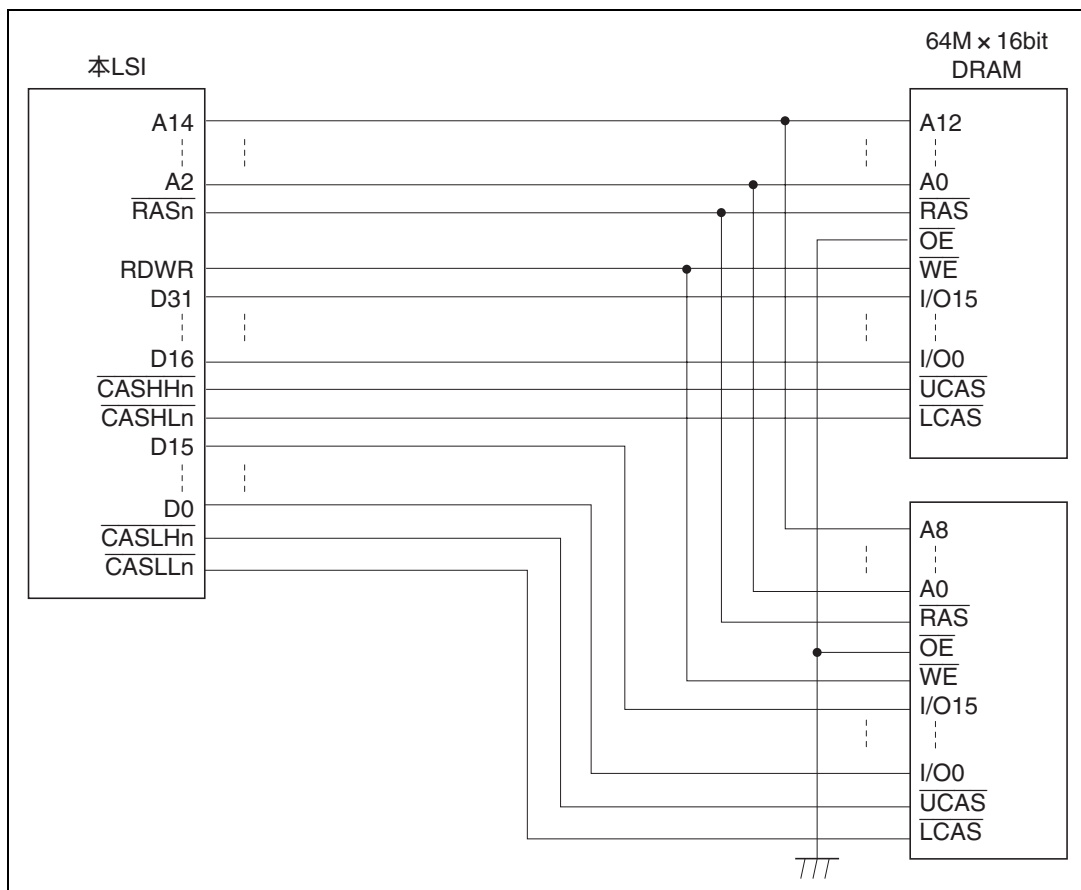


図 8.16 32 ビットデータ幅 DRAM 接続例

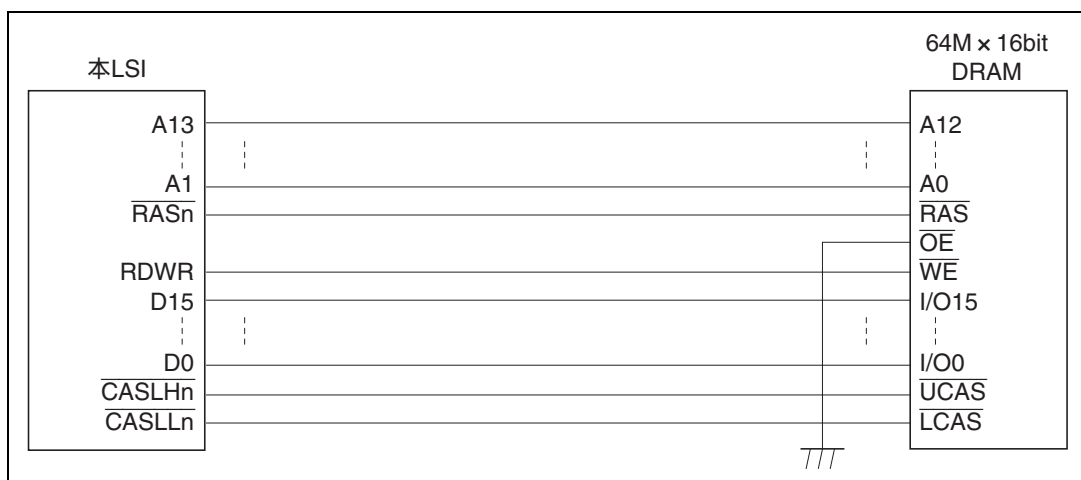


図 8.17 16 ビットデータ幅 DRAM 接続例

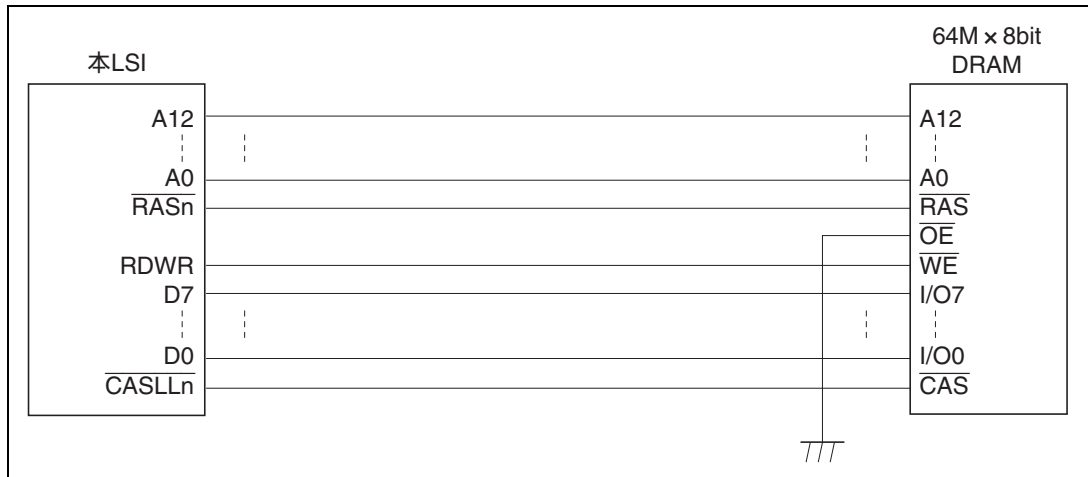


図 8.18 8 ビットデータ幅 DRAM 接続例

(4) ウェイトステート制御

クロック周波数を上げていくと、基本サイクルのようにすべてのステートを 1 サイクルで終わらせることができなくなってきます。そこで、DCR1、および DCR2 レジスタにある設定ビットを用いてステートの延長ができるようになっています。設定を使ってステートを延長したタイミングを図 8.19 に示します。

RAS のプリチャージ時間を確保するための T_{pc} サイクルは、DCR1 レジスタの TPC ビットによって追加の T_{pc} サイクルを挿入し、1~4 サイクルにすることができます。 \overline{RAS} アサートから \overline{CAS} アサートまでのサイクル数は、DCR1 レジスタの RCD ビットによって T_{rw} を挿入し、1~8 サイクルにすることができます。

カラムアドレスが出力されてからアクセス終了までのサイクル数は、読み出し時は DCR1 レジスタの DWR ビットによって、2~5 サイクル (EDO モードでは 1 サイクルのみ) まで変えることができ、 \overline{CAS} のネゲートが延長されます。書き込み時は DCR1 レジスタの DWW ビットによって、2~5 サイクル (EDO モードでは 1 サイクルのみ) まで変えることができ、 \overline{CAS} のアサートが延長されます。さらに、書き込み時は、DCR2 レジスタの TCAS ビットによって、 \overline{CAS} アサート幅を 1~2 サイクルまで設定できます。なお、TCAS = 1 時は、書き込み終了が 1 サイクル延長されます。

また、通常空間時と同様に、ACR1 の EXWE ビットの設定によって、外部からのウェイト入力 \overline{WAIT} 信号をサンプリングすることができます。 \overline{WAIT} 信号のサンプリングを図 8.20 に示します。サンプリングは T_{c1} サイクルのクロックの立ち上がりで行われます。

8. バスステートコントローラ (BSC)

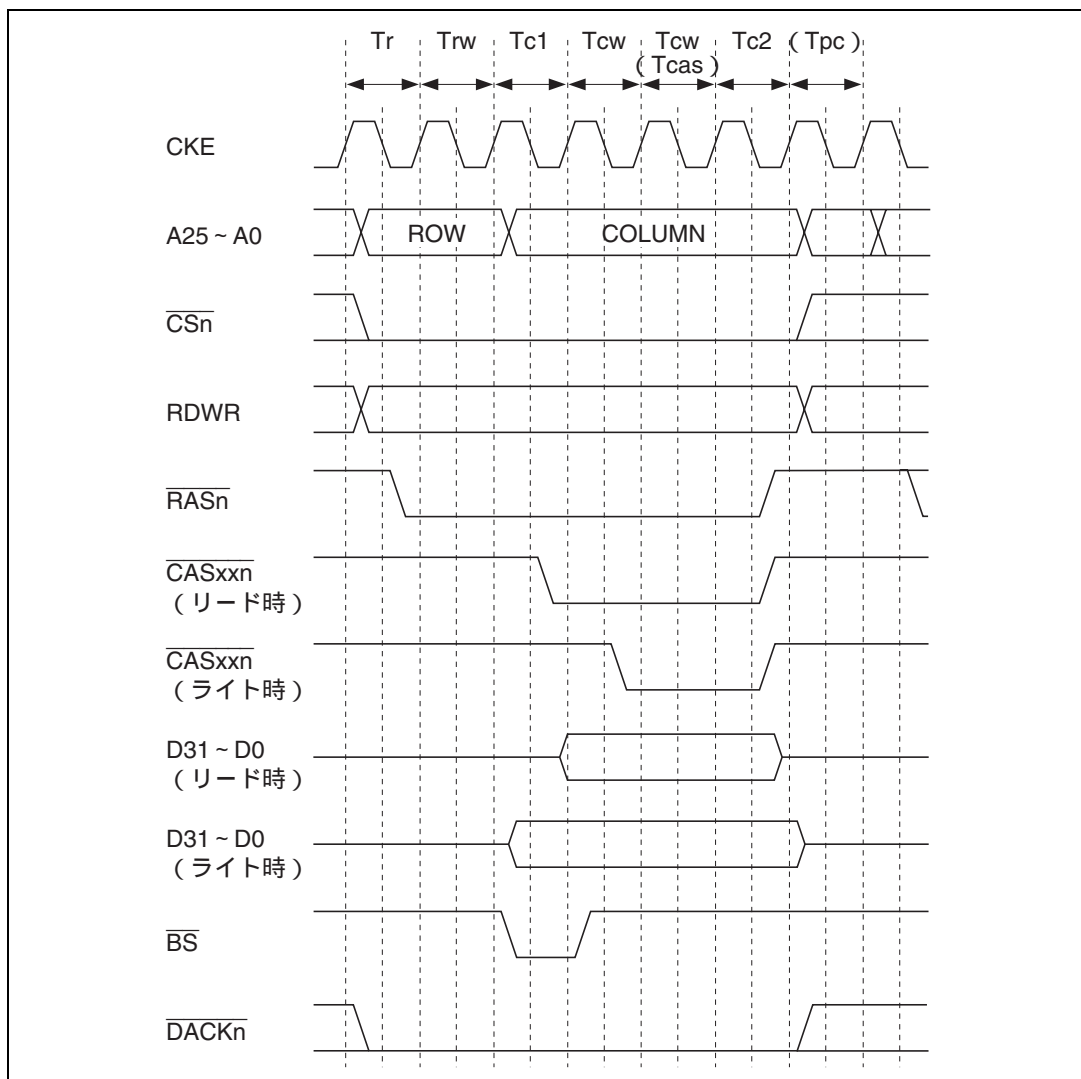


図 8.19 DRAM ウェイトステートタイミング
(ノーマルモード、RCD=1、TPC=1、DWR=2、DWW/TCAS=1)

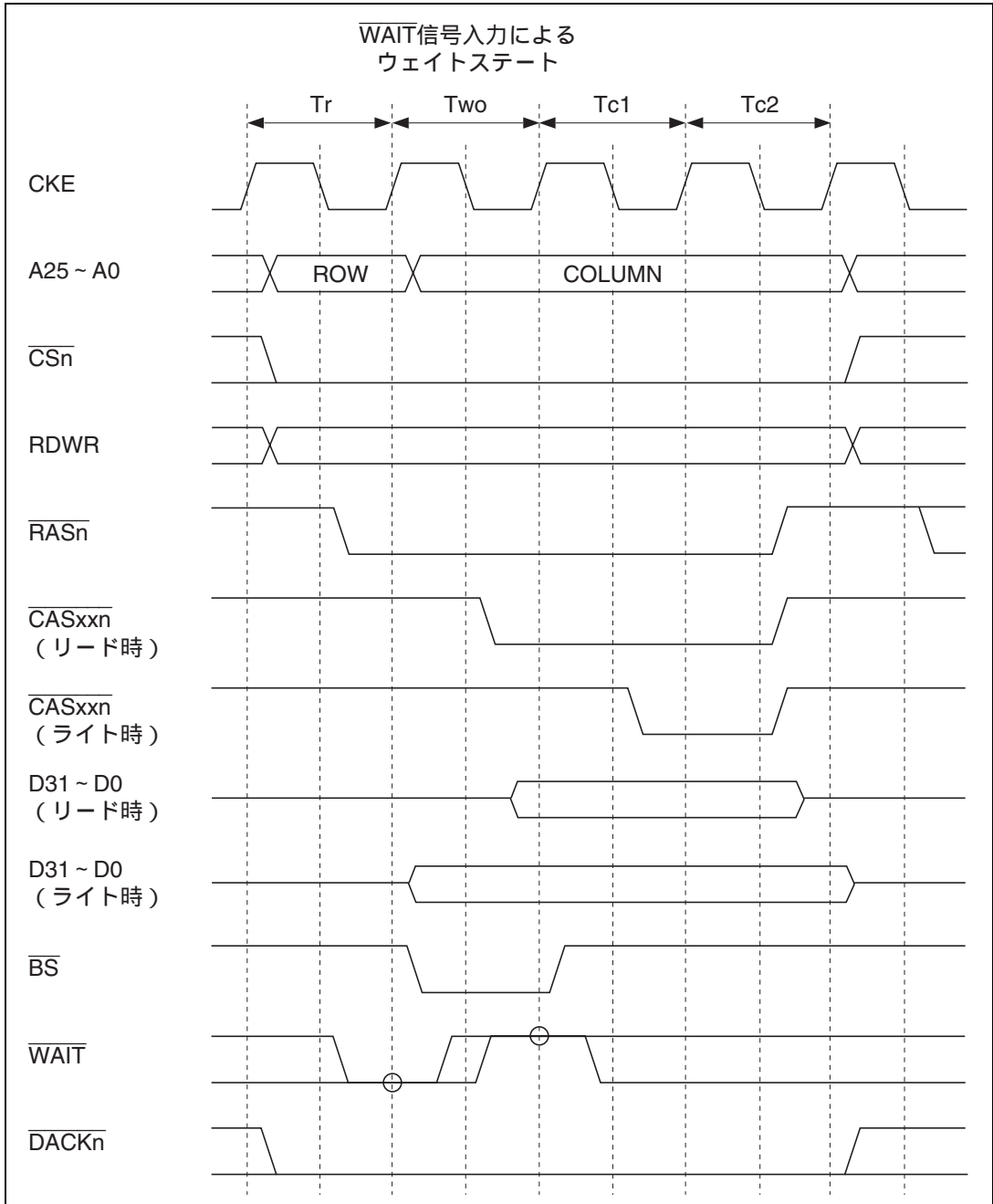


図 8.20 DRAM 基本アクセスタイミング (WAIT 信号によるウェイトステート挿入)

(5) バーストアクセス

DRAMには、アクセスのたびにロウアドレスを出力してデータをアクセスするノーマルモードアクセスのほかに、同一のロウに対するアクセスが連続する場合、ロウアドレスを1度出力した後はコラムアドレスを変更するだけでデータに高速にアクセスできる、高速ページモードを備えているものがあります。DCR3のBEビットの設定によって、ノーマルアクセスと高速ページモードを利用したバーストアクセスを選択することができます。高速ページモードによるバーストアクセスのタイミングを図8.21に示します。

バースト転送が行われるのは、アクセス幅がバス幅を超える場合か、DMACによるバーストモードでのシングルアドレス転送の場合です。

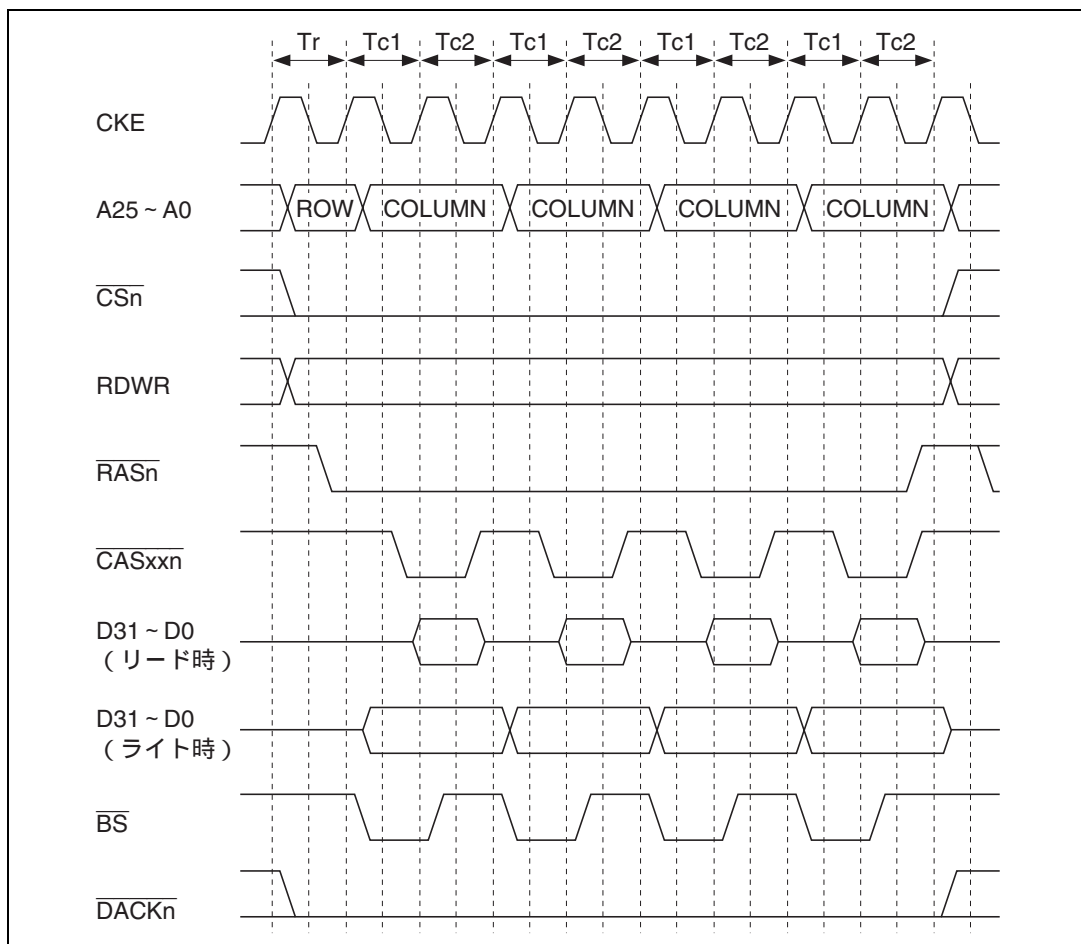


図 8.21 DRAM バーストアクセス基本タイミング

(6) EDO モード

DRAM には、データリードサイクル時に $\overline{\text{CAS}}$ 信号のアサート中だけデータバスにデータを出力するもののほかに、 $\overline{\text{RAS}}$ 信号アサート中は、いったん $\overline{\text{CAS}}$ 信号をアサートすると $\overline{\text{CAS}}$ 信号をネゲートしても、次に $\overline{\text{CAS}}$ 信号をアサートするまでデータバスにデータを出力する、EDO モードを備えたものがあります。DCR3 の EDO ビットの設定によって、ノーマルアクセス/高速ページモードによるバーストアクセスと、EDO モードによるノーマルアクセス/バーストアクセスを選択することができます。EDO モードによるノーマルアクセスを図 8.22 に、バーストアクセスを図 8.23 に示します。バーストアクセスは、カラムアドレスが連続している場合にのみ 1 サイクルアクセスが可能となります。EDO DRAM はノーウェイトを使用してください。また、 $\overline{\text{WAIT}}$ 端子によるウェイトステート挿入機能も、使用しないでください。

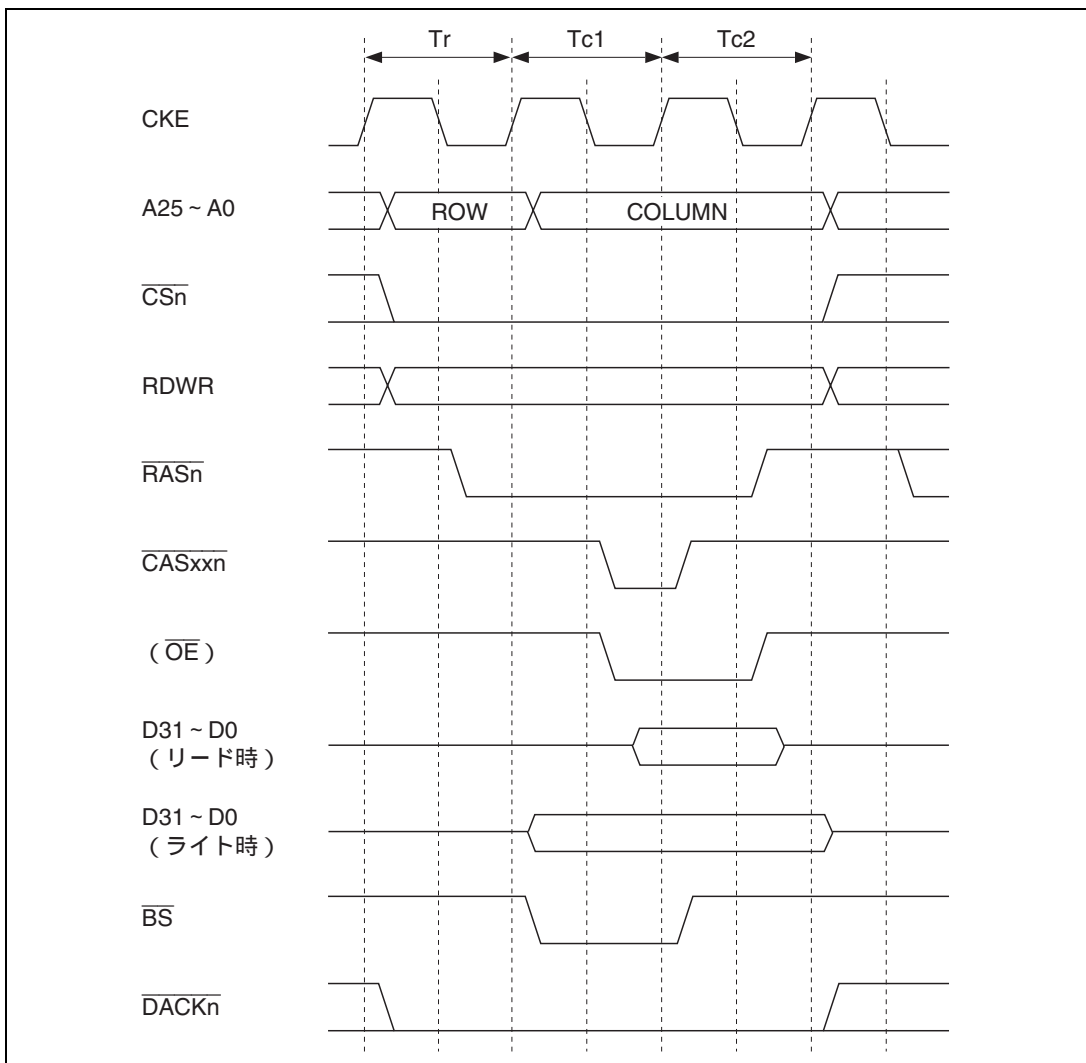


図 8.22 DRAM EDO モードの基本アクセスタイミング

8. バスステートコントローラ (BSC)

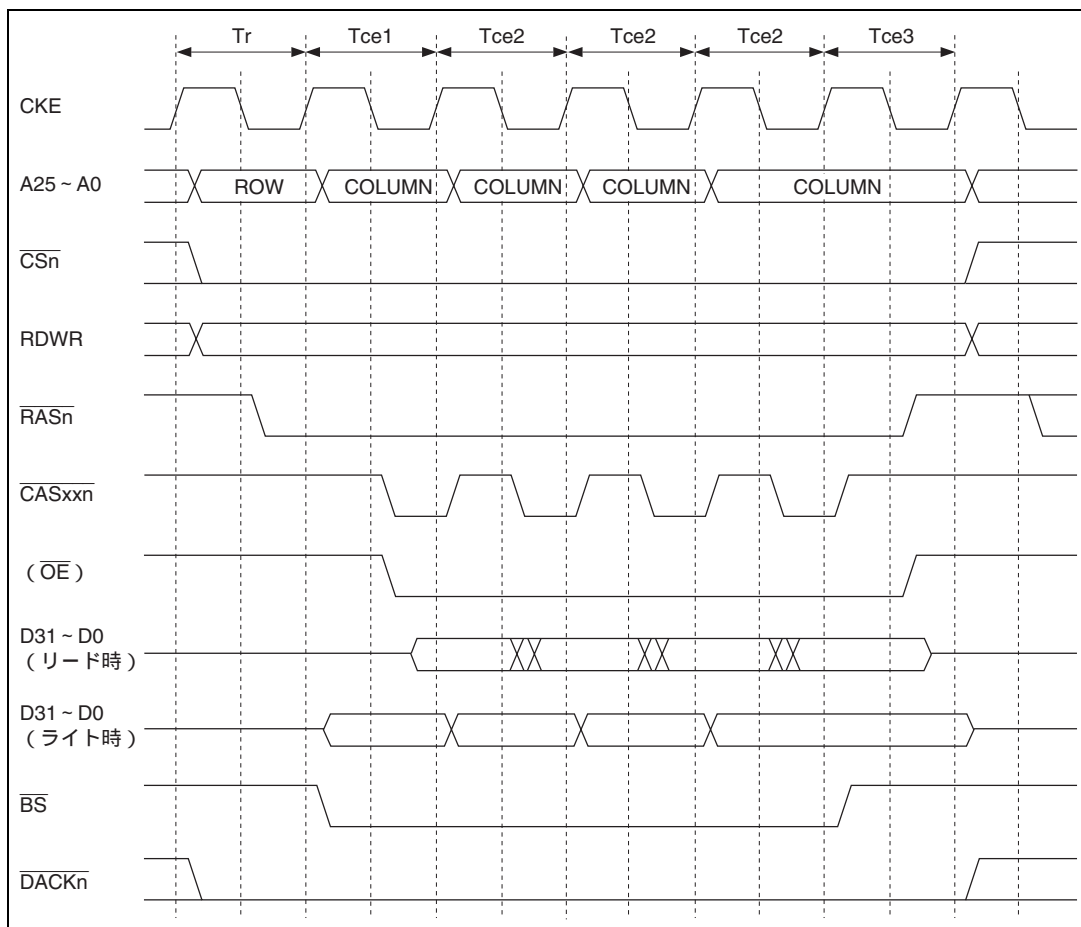


図 8.23 DRAM EDO モードのバーストアクセス基本タイミング

(7) RAS ダウンモード

バースト動作を選択していても、DRAM へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。通常の設定では、他空間がアクセスされている間は $\overline{\text{RAS}}$ 信号をいったんネゲートし、次に DRAM がアクセスされたときには新たに $\overline{\text{RAS}}$ 信号をアサートし、バースト動作をやり直す必要があります。これを RAS アップモードと呼びます。これに対し、他空間がアクセスされている間も RAS 信号をアサートしたまま保持しておくこと、次に DRAM の同一ロウアドレスがアクセスされたときにバースト動作を続けることができます。これを RAS ダウンモードと呼びます。

RAS ダウンモードにするときは、DCR3 の BE と RASD をともに 1 に設定してください。なお EDO モードで DRAM を RAS ダウンモードでアクセスする場合、 $\overline{\text{OE}}$ 信号を本 LSI と必ず接続してください。図 8.24 に RAS アップモード、図 8.25 に RAS ダウンモードのタイミングを示します。

DCR2 レジスタの RDW ビットの設定により、DRAM の同一ロウアドレスが DMA シングルアドレスモードでアクセスされたときのバースト動作の前に、アイドルサイクルを挿入することができます。このアイドルサイクル中に $\overline{\text{DACK}}$ 信号がアサートされるため、DMA シングル転送が容易に行えます。図 8.26 に EDO モード時の RAS ダウンモードにおけるアイドルサイクル挿入例を示します。

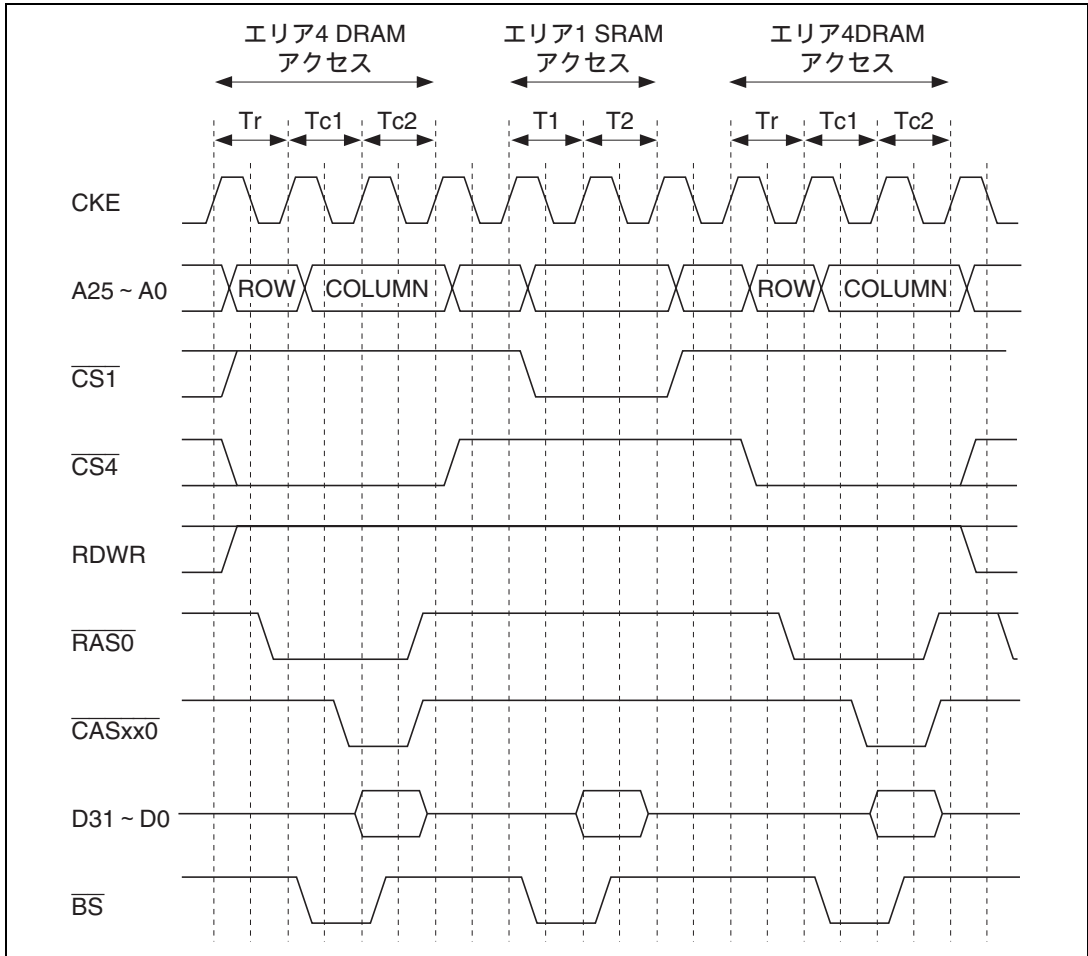


図 8.24 RAS アップモード基本タイミング (リードサイクル)

8. バスステートコントローラ (BSC)

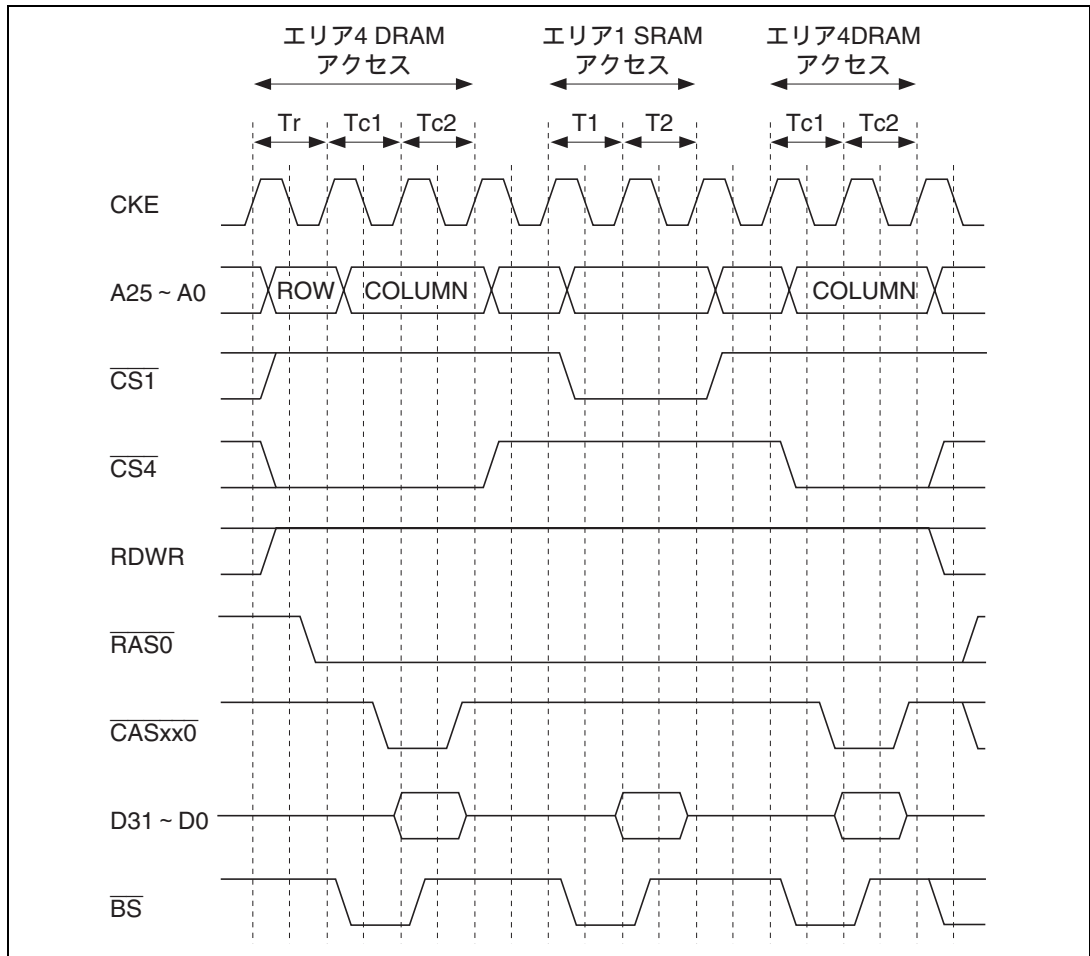


図 8.25 RAS ダウンモード基本タイミング (リードサイクル)

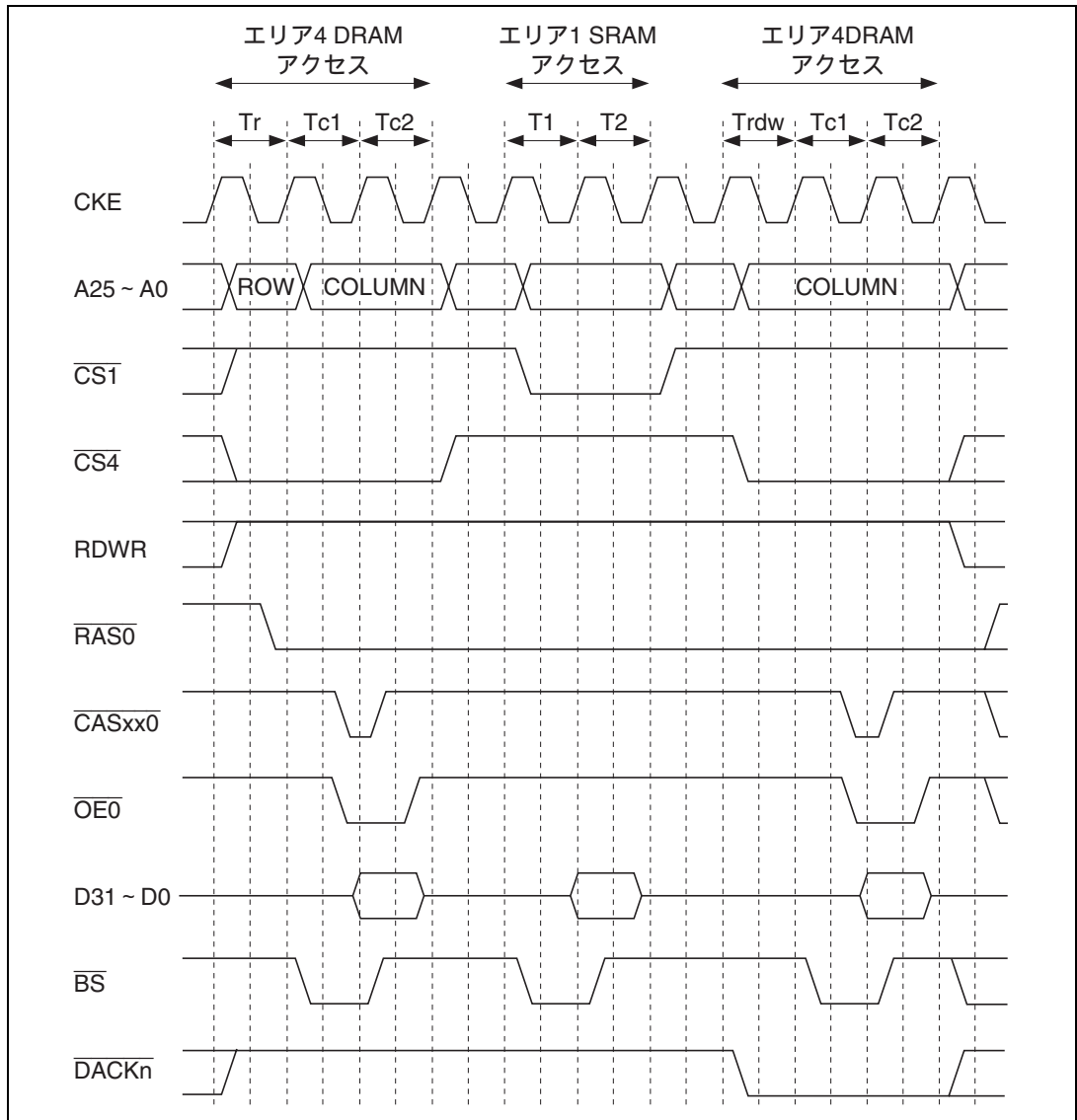


図 8.26 RAS ダウンモード時のウェイトタイミング例
(EDO モード、リードサイクル、RDW=1 時)

8. バスステートコントローラ (BSC)

(8) リフレッシュタイミング

バスステートコントローラは、DRAMのリフレッシュを制御する機能を備えています。DCR3のRMDビットを0に、RFSHビットを1にセットすることによって、CASビフォアRASリフレッシュサイクルによる分割リフレッシュを行うことができます。また、セルフリフレッシュモードをサポートします。

(a) CAS ビフォア RAS リフレッシュ

CAS ビフォア RAS リフレッシュサイクルを行う場合、RTCSRのCKS2~CKS0ビットで選択した入力クロックと、RTCORに設定した値とで決まる間隔でリフレッシュが行われます。使用するDRAMのリフレッシュ間隔規定を満たすように、RTCORとCKS2~CKS0の設定を行ってください。また、入力クロックを変更する場合には、必ずCKS0~CKS2をすべて0に設定した後に、CKS0~CKS2を目的の値に設定してください。

CKS2~CKS0ビットによってクロックを選択すると、RTCNTはそのときの値からカウントアップを開始します。RTCNTの値は常にRTCORの値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、同時にRTCNTはゼロクリアされ、カウントアップが再開されます。リフレッシュ要求発生後、本LSIの外部バスが使用可能なときに、CASビフォアRASリフレッシュが行われます。またRTCSRのBREF2~BREF0ビットの設定によって、一度のリフレッシュ要求でCASビフォアRASリフレッシュを1~8回まで連続して行うことができます。図8.27にCASビフォアRASリフレッシュの動作を示します。また、図8.28にCMFビットのセットタイミングを示します。

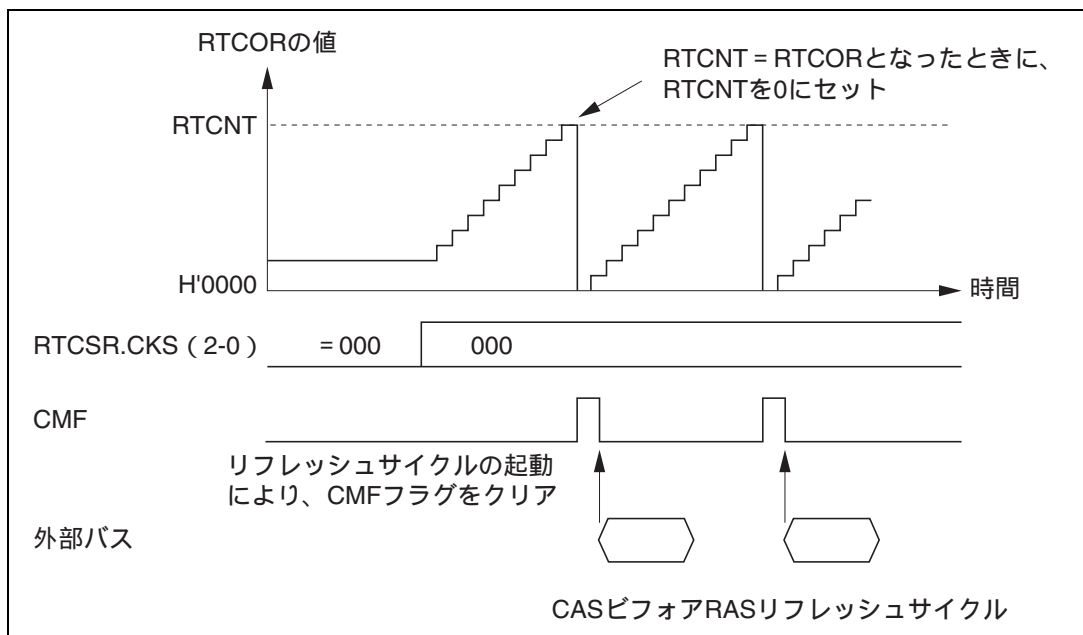


図 8.27 CAS ビフォア RAS リフレッシュの動作

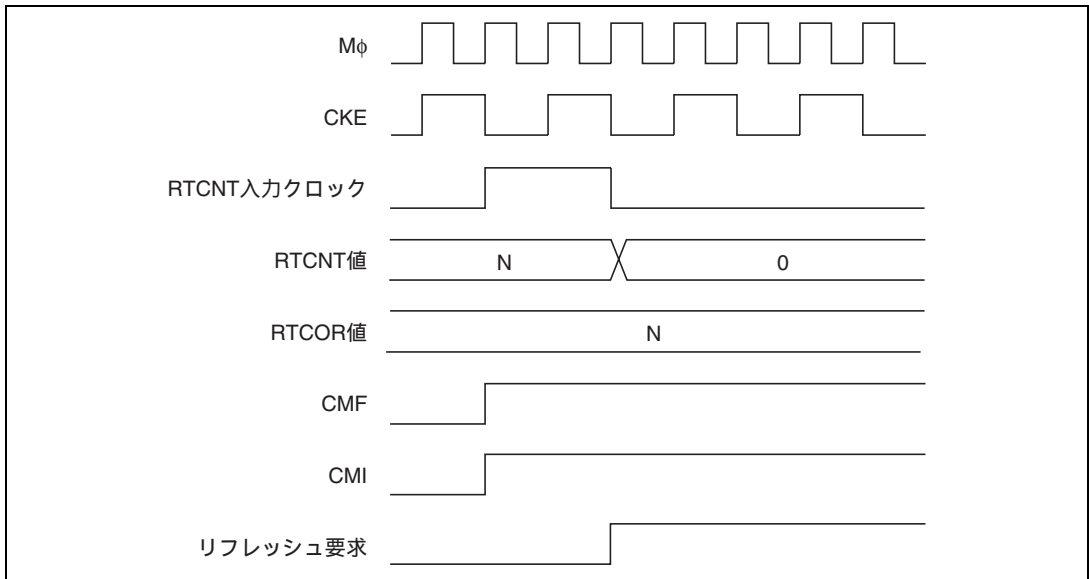


図 8.28 CMF ビットのセットタイミング ($M\phi : CKE=1:1/2$ 時)

図 8.29 に CAS ビフォア RAS リフレッシュサイクルのタイミングを示します。

リフレッシュサイクルでの RAS アサートサイクル数は、RTCSR の TRAS で指定されます。リフレッシュサイクルにおける RAS プリチャージ時間の指定は、通常アクセスと同様、DCR1 の TPC ビットの指定に従います。

CAS ビフォア RAS リフレッシュは、通常動作時、スリープモード時に行われます。

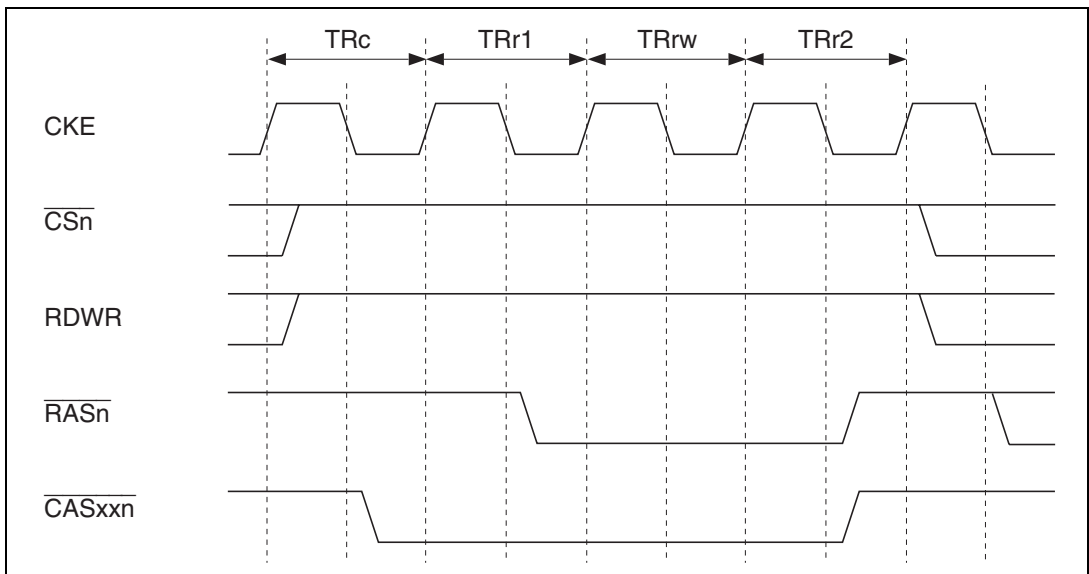


図 8.29 DRAM CAS ビフォア RAS リフレッシュサイクル基本タイミング

(b) セルフリフレッシュ

本 LSI がサポートするセルフリフレッシュは、図 8.30 に示すものです。

セルフリフレッシュへの遷移は、DCR の RFSH ビットと RMD ビットに 1 を設定することで行います。セルフリフレッシュ解除は、DCR の RMD ビットに 0 を設定した後、その DRAM に規定されている時間内に全口アドレスに対して CAS ビフォア RAS リフレッシュを行ってください。セルフリフレッシュ終了直後の RAS プリチャージ時間は、DCR の TPCS ビットで設定できます。セルフリフレッシュ解除から CAS ビフォア RAS リフレッシュ開始までに時間がかかる場合には、この時間を考慮して RTCNT の初期値の設定を行ってください。RTCNT の値を RTCOR と同じ値に設定すると直ちにリフレッシュ要求を行います。

DRAM のデータ保護のためセルフリフレッシュ中の DRAM アクセスは行わないでください。セルフリフレッシュ中の DRAM へのアクセスを行う場合は、セルフリフレッシュを解除した後、全口アドレスに対してリフレッシュを行った後アクセスを行ってください。

また、DRAM の中には、低消費電力品 (Lバージョン) でリフレッシュ周期の時間が長いものがあります (HM51W4160AL 等で、ノーマルバージョンの製品のリフレッシュ周期が 1024 サイクル / 16ms なのに対し、Lバージョンは 1024 サイクル / 128ms) が、これらの DRAM はセルフリフレッシュ直後のリフレッシュのみノーマルバージョンと同じリフレッシュ周期を要求しています。このため、DRAM のリフレッシュを無駄なく行うために、RTCSR の OVF、OVIE、LMTS および RFCR を用いて、Lバージョンの DRAM のセルフリフレッシュ直後の CAS ビフォア RAS リフレッシュを必要だけ行った後、オーバフロー割り込みを発生させ、リフレッシュ周期を適正值に戻す処理が必要となり、以下の手順を踏む必要があります。

- (1) 通常時リフレッシュカウンタのカウント周期をLバージョンに最適な1024サイクル / 128ms 等にしておく。
- (2) セルフリフレッシュ動作に移行するときに、
 - (a) リフレッシュカウンタにオーバフロー割り込みが発生した場合、リフレッシュカウンタのカウント周期を、Lバージョンに最適な1024サイクル / 128ms等に戻すように割り込みハンドラを準備する。
 - (b) リフレッシュカウンタのカウント周期を、要求されている短い周期 (1024サイクル / 16ms 等) に設定し直し、リフレッシュコントローラのオーバフロー割り込みを設定し、リフレッシュコントローラのリフレッシュカウントレジスタ (RFCR) を0にクリアする。
 - (c) セルフリフレッシュモードに設定する。

これにより、セルフリフレッシュ直後のリフレッシュは、設定された短い周期で行われ、一通りリフレッシュが終わると、割り込みが発生し、本来のリフレッシュ周期に設定を戻すことができます。

セルフリフレッシュは、通常動作時、スリープモード時、スタンバイモード時に行われます。

バスアービトレーション要求によりバス権を解放した場合やスタンバイモードに遷移した場合、一般の信号は Hi-Z 状態になりますが、セルフリフレッシュ状態の DRAM に対する RAS、 $\overline{\text{CAS}}$ 信号については Hi-Z 状態にするか、出力を保持し続けるかを BCR の HIZCNT ビットで制御できます。バス権解放時やスタンバイモード時に DRAM のセルフリフレッシュ状態を保持する場合は、HIZCNT ビットに 1 を設定してください。ただし、このときも外部デバイスによるセルフリフレッシュ中の DRAM へのアクセスは行わないでください。なお、セルフリフレッシュ設定後のバス権解放要求、セルフリフレッシュの解除、ソフトウェアスタンバイ遷移に伴う SLEEP 命令実行は、セルフリフレッシュ設定後、他の CS 空間をアクセスしてから行ってください。

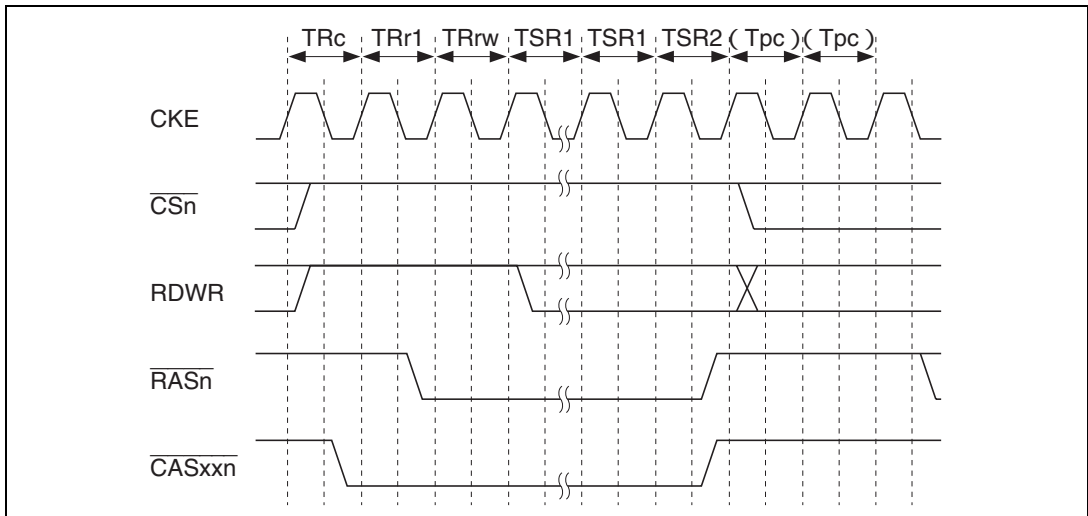


図 8.30 DRAM セルリフレッシュサイクルタイミング

(c) リフレッシュ要求とバスサイクル要求の関係

バスサイクル実行中にリフレッシュ要求が生じた場合、リフレッシュの実行はバスサイクルの完了まで待たされます。バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が起きた場合、バスを獲得するまでリフレッシュの実行は待たされます。リフレッシュの実行を待たされている状態で RTCNT と RTCOR の一致が起こり、新たなリフレッシュ要求が生じた場合には、前のリフレッシュ要求は消滅してしまいます。リフレッシュを正常に行うためには、リフレッシュ間隔よりも長いバスサイクルやバス権の占有が起こらないように注意が必要です。なお、リフレッシュ要求の発生により $\overline{\text{IRQOUT}}$ 端子を L レベルにアサートすることができます。このため、バス権を要求する本 LSI 以外のバスマスタやバス調停回路で $\overline{\text{IRQOUT}}$ 端子を監視し、バス権を本 LSI に戻すことにより正常なリフレッシュが行えます。 $\overline{\text{IRQOUT}}$ 端子は、リフレッシュを開始すると、他のアサート要因がなければ、H レベルにネゲートされます。詳細は「17.3.27 機能コントロールレジスタ (FCR)」を参照してください。

(9) パワーオンシーケンス

電源投入後の DRAM の使用に関しては、アクセスの行えない待機時間 (100 μs または 200 μs 以上) とそれに続く所定回数 (通常 8 回) 以上のダミーの CAS ピフォア RAS リフレッシュサイクルを行うことが要求されています。バスステートコントローラは、パワーオンリセットに対してなんら特別な動作を行わないため、必要なパワーオンシーケンスはパワーオンリセット後に実行する初期化プログラムによって実現する必要があります。

8.3.5 アドレス / データマルチプレクス I/O インタフェース

(1) 基本タイミング

エリア 1 ~ エリア 3 用 ACR1 の TP1、TP0 ビットを設定することにより、D15 ~ D0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス / データマルチプレクスが必要な周辺 LSI を本 LSI に直結できます。

8. バスステートコントローラ (BSC)

アドレス/データマルチプレクス I/O 空間のバス幅は A14bit で選択されます。A14=0 のときデータバス幅は 8 ビットとなり、アドレス部は D15~D0 端子から出力され、データ部は D7~D0 端子から入出力されます。A14=1 のときアドレス部/データ部ともに 16 ビットとなり、D15~D0 端子からアドレス出力とデータ入出力が行われます。

アドレス/データマルチプレクス I/O 空間のアクセスは、アドレス出力が 3 サイクル (固定) 行われた後続けて、通常空間型のアクセスが行われます。アドレス/データマルチプレクス I/O 空間の基本アクセスタイミングを、図 8.31 に示します。

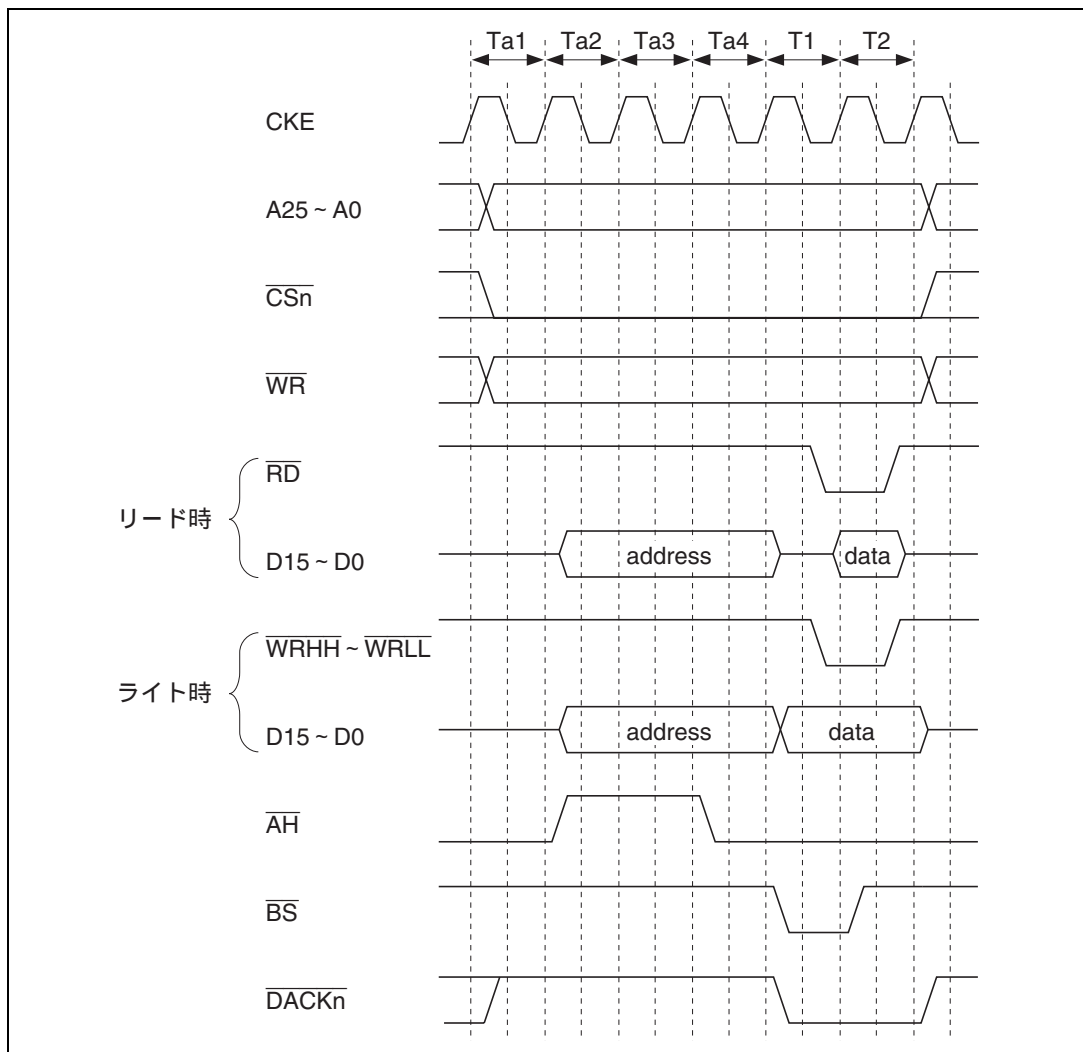


図 8.31 アドレス/データマルチプレクス I/O 空間アクセス基本タイミング

(2) ウェイトステート制御

アドレス/データマルチプレクス I/O 空間のアクセス時のウェイト制御は、WCR の W3 ~ W0 ビットおよび ACR1 の EXWE ビットの設定により行われます。ソフトウェアウェイトおよび外部ウェイトの挿入タイミングは通常空間アクセス時と同じです。図 8.32 に 2 ソフトウェアウェイト挿入時のタイミングを示します。図 8.33 に 1 外部ウェイト挿入、および $\overline{\text{WAIT}}$ 信号ネゲート後にさらに 1 ソフトウェアウェイトステートを挿入時のタイミングを示します。また $\overline{\text{CS}}$ アサート拡張設定時のタイミングを図 8.34 に示します。

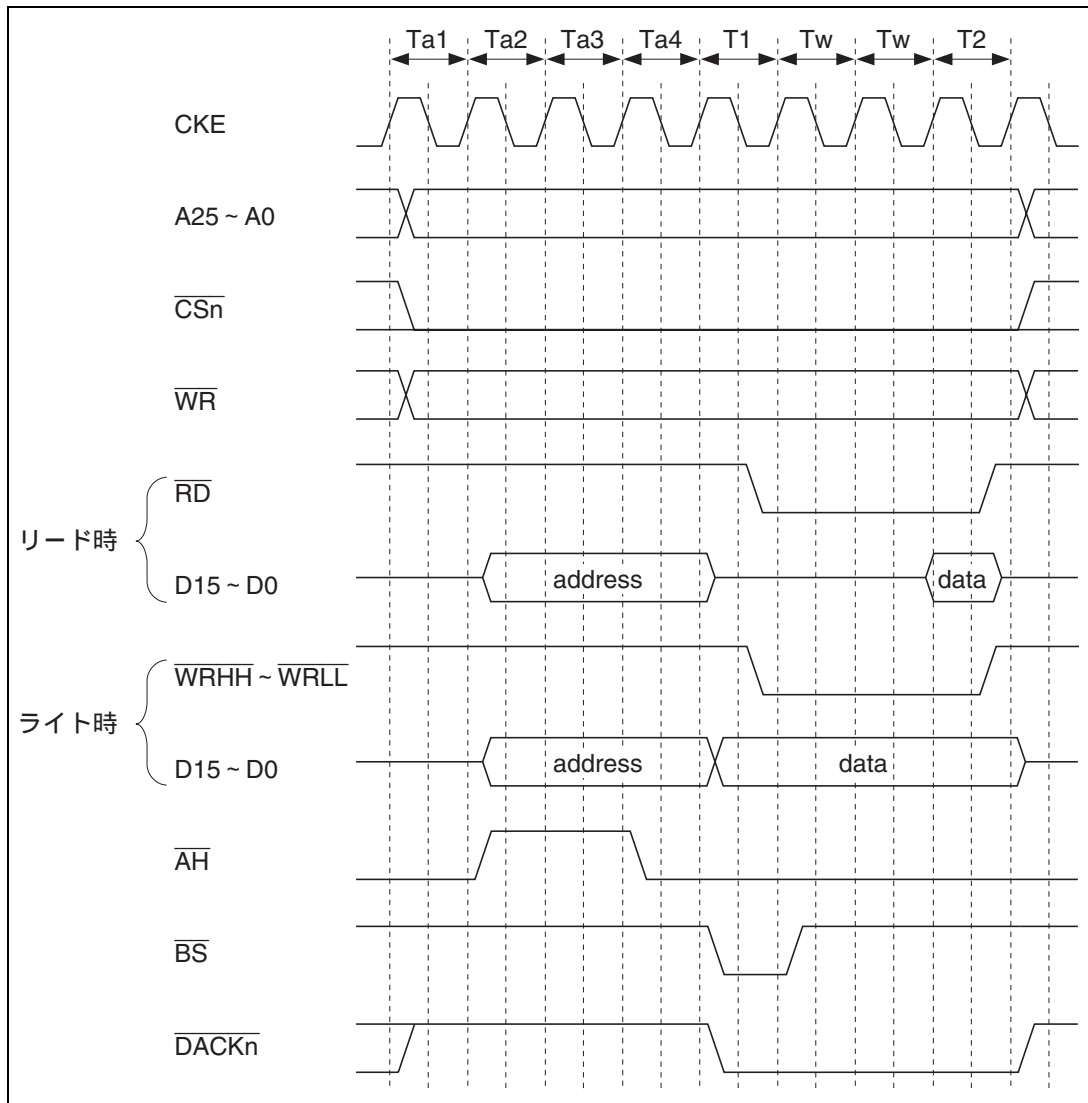


図 8.32 アドレス/データマルチプレクス I/O 空間ウェイトステートタイミング
(2 ソフトウェアウェイト)

8. バスステートコントローラ (BSC)

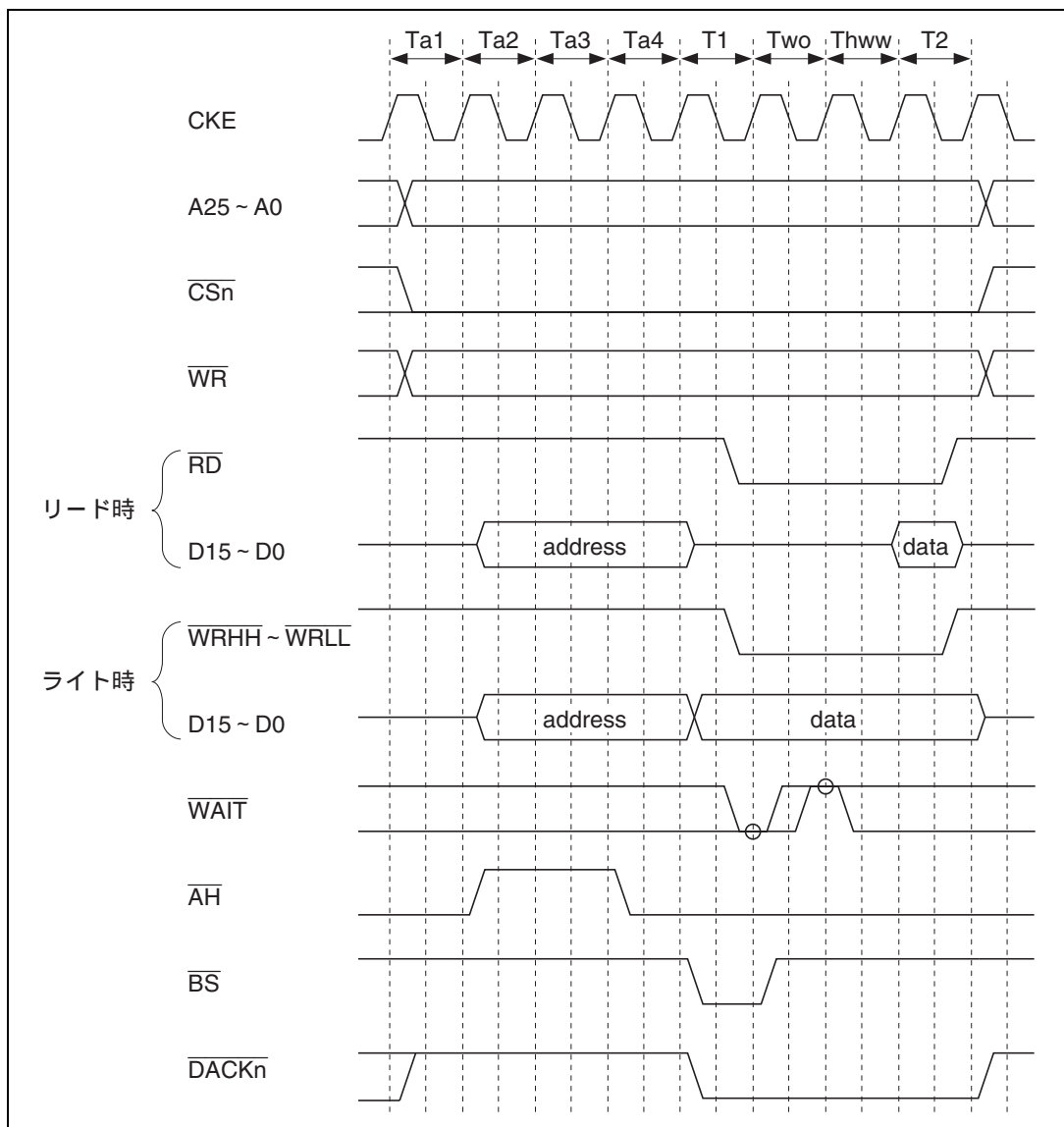


図 8.33 アドレス / データマルチプレクス I/O 空間ウェイトステートタイミング
(1 外部ウェイト + WAIT 端子ネゲート後に 1 ソフトウェアウェイト挿入時)

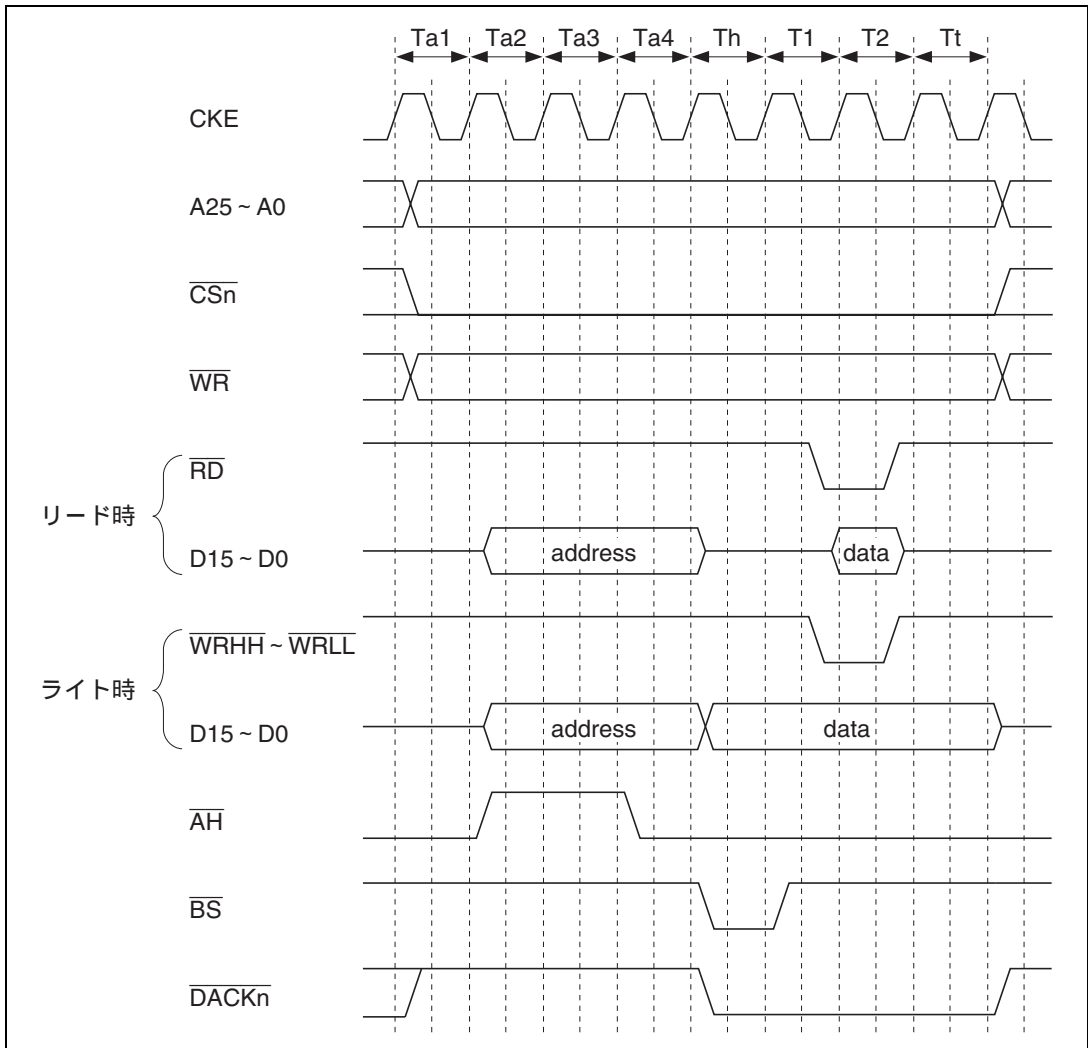


図 8.34 CS アサート拡張機能設定時のタイミング (SWH = 1、SWT = 1)

8.3.6 アクセスサイクル間ウェイト

外部メモリアスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こすという事象が起こるようになってきました。これを防止するため、直前のアクセスのエリアと読み出し/書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入してデータの衝突を回避する機能を設けました。

ウェイトサイクル挿入のケースとしては、(1)直前のアクセスに続いて異なるエリアのアクセスを行う場合、(2)直前のアクセスがリードサイクルで、次のアクセスが本LSIからのライトアクセスの場合、の2つのケースについてです。本LSIがライトサイクルを連続している場合には、データの転送方向は常に本LSIから他のメモリという形で統一されており、特に問題とはなりません。同一のエリアに対するリードアクセスも、原則として同一のデータバッファからデータが出されるものとして、設定したウェイトサイクルの挿入は行いません。図 8.35 にアクセスサイクル間ウェイトのタイミングを示します。

ACR1のIW2~IW0ビット、およびDCR2のDIW2~DIW0ビットによって、アクセスサイクルの間に挿入するアイドルサイクル数を指定します。アクセス間にもともと空きがある場合には、指定されたアイドルサイクル数からその空きサイクル数を除いたサイクルだけ、アイドルサイクルの挿入を行います。なお、リードサイクルを行った後で直ちにライトサイクルを行う場合、サイクル間ウェイトの指定が0の場合でも2サイクルのウェイトサイクルを自動挿入します。また、他の空間へのアクセスに切り替わった場合にも、アイドルサイクルなしに設定していても、リードサイクルの前には1サイクル、ライトサイクルの前には2サイクルのウェイトサイクルを自動挿入します。加えて、同一空間のアクセスが連続した場合にも、サイクル間ウェイトの設定にかかわらず、リードサイクル時は1サイクル、ライトサイクル時は2サイクルのウェイトサイクルを自動挿入します。

バスアービトレーションを行う場合には、アービトレーションのための空きサイクルが入るため、サイクル間ウェイトは入りません。

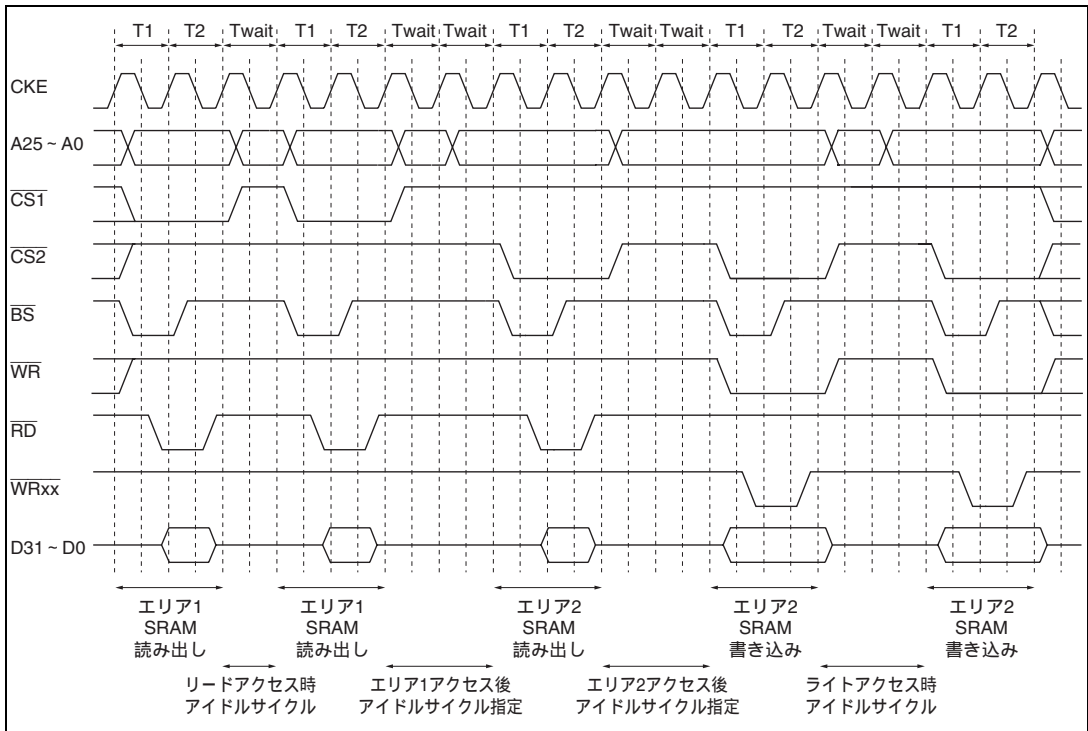


図 8.35 アクセスサイクル間ウェイトタイミング例 (ノーウェイト時)

8.3.7 バスアービトレーション

BCR の BREQ ビットの設定により、バス権解放要求信号 ($\overline{\text{BREQ}}$) がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可信号 ($\overline{\text{BACK}}$) を出力します。ただし、TAS 命令実行中のリードサイクルとライトサイクルの間での解放は行いません。なお、TAS 命令実行先が内蔵 RAM の場合には、リードサイクルとライトサイクルの間での解放を行います。また、データバス幅がアクセスサイズより小さいことによって生じる複数バスサイクル、たとえば 8 ビット幅のメモリにロングワードアクセスを行う場合のバスサイクル間にもバスアービトレーションは行いません。 $\overline{\text{BREQ}}$ がネゲートされると $\overline{\text{BACK}}$ をネゲートし、バスの使用を再開します。バス解放時の端子状態は、「B.1 リセット、低消費電力、バス権解放状態での端子状態」を参照してください。

本 LSI がバス権を解放中に、バス権を取り戻したいことがあります。内部でメモリのリフレッシュ要求が発生したり、割り込み要求が発生してその処理を行わなければならないときです。このため、本 LSI ではバス権要求信号として IRQOUT 端子を用意しています。本 LSI がバス権を取り戻す必要が生じた場合、IRQOUT 信号をアサートできます。外部のバス解放要求をアサートしているデバイスは、この IRQOUT 信号のアサートを受けて、バス権を解放するために $\overline{\text{BREQ}}$ 信号をネゲートします。これによりバス権が本 LSI に戻り、本 LSI が処理を行います。なお、外部のバス解放要求をアサートしているデバイスが、DRAM のリフレッシュ間隔の規定時間以上バス権を返さない場合、本 LSI はリフレッシュ動作ができず、したがって DRAM の内容は保証されなくなりますので注意してください。IRQOUT 端子のアサート条件は、(1) メモリのリフレッシュ要求が発生し、まだリフレッシュサイクルが始まっていない場合、(2) 割り込み要因が発生して、その割り込み要求レベルがステータスレジスタ (SR) の割り込みマスクビット (I3~I0) よりも高い場合、の 2 つです。

本 LSI 内部には CPU と DMAC という 2 つのバスマスタがあります。また、DRAM を接続し、リフレッシュ制御を行わせる場合、リフレッシュ要求は第 3 のバスマスタとなります。これらに加え、外部デバイスからのバス権要求が加わります。同時に要求が発生した場合のバス権要求に関しての優先順位は、高い順に、リフレッシュ要求、外部デバイスによるバス権要求、DMAC、CPU となります。また、リフレッシュサイクル実行中に、CPU および DMAC による外部空間アクセス、外部デバイスによるバス権要求、の順で要求が発生した場合、外部デバイスによるバス権要求受け付けは、リフレッシュサイクル、および外部空間アクセス実行後まで待たされます。同様に、バス権解放中に、CPU および DMAC による外部空間アクセス、リフレッシュ要求、の順で要求が発生した場合、本 LSI がバス権獲得後のリフレッシュサイクルの実行は、外部空間アクセス実行後まで待たされます。

なお、スリープ中は外部からのバス権要求を受け付けません。また、スリープ中に $\overline{\text{BREQ}}$ をアサートし、その後、DMAC を起動した場合、DMAC による外部アクセスは $\overline{\text{BREQ}}$ ネゲートまで待たされます。

ソフトウェアスタンバイ状態では、外部バスのアドレス/データ/バス制御信号 (DRAM 系を除く) は、ハイインピーダンス状態つまりバス権解放状態となります。ソフトウェアスタンバイ状態では、バス権解放要求入力信号 $\overline{\text{BREQ}}$ は無視されます。バス使用許可出力信号 $\overline{\text{BACK}}$ につきましては以下の 2 通りがありますので、ご注意ください。

- (1) バス権解放状態 ($\overline{\text{BREQ}}$ 入力がローにアサート) からのソフトウェアスタンバイ状態への遷移

通常状態からバス権解放要求信号 ($\overline{\text{BREQ}}$) をローにアサートすると、 $\overline{\text{BACK}}$ 端子を L 出力としバス権を解放したことを示します。この状態で、ソフトウェアスタンバイ状態に遷移すると、 $\overline{\text{BACK}}$ 出力は H 出力となりますが、 $\overline{\text{BACK}}$ 以外のアドレス、データ、バス制御信号はハイインピーダンス状態つまりバス権解放状態を保持しています。このソフトウェアスタンバイ状態から、 $\overline{\text{BREQ}}$ 入力をアサートしたまま復帰すると、 $\overline{\text{BACK}}$ 出力は L となり、バス権解放状態を維持します。 $\overline{\text{BREQ}}$ 入力をネゲート状態で復帰すると、 $\overline{\text{BACK}}$ 出力は H となり通常状態 (バス権を解放していない状態) に復帰します。

(2) 通常状態 ($\overline{\text{BREQ}}$ 入力が高にネゲート) からのソフトウェアスタンバイ状態への遷移

通常状態からソフトウェアスタンバイ状態に遷移すると、 $\overline{\text{BACK}}$ 出力は Z (ハイインピーダンス) となりますが、外部バスはハイインピーダンス状態つまりバス権解放状態になります。この状態から、 $\overline{\text{BREQ}}$ 入力をネゲート状態で復帰すると、 $\overline{\text{BACK}}$ 出力は H 出力に戻ります。ソフトウェアスタンバイからの復帰時に $\overline{\text{BREQ}}$ 入力が高にアサートされていると、 $\overline{\text{BACK}}$ は外部クロック (CKE) で 1.5 サイクルの期間 H 出力した後、L 出力つまりバス権解放状態で復帰します。

内蔵 RAM 空間以外に対しての TAS 命令実行時、転送空間 / 転送モードに関係なく DMAC 転送を行うと、TAS 命令のリードサイクルとライトサイクル間に、DMA 転送サイクルが入ります。このときに、バス権解放要求信号 ($\overline{\text{BREQ}}$) がアサートされると、バス権を解放します。TAS 命令実行中にバス権解放要求が発生する場合は、TAS 命令実行前に DMAC を全チャンネル止めてください (TAS 命令実行中に DMA 転送サイクルが発生しなければ TAS 命令実行中の $\overline{\text{BREQ}}$ は受け付けられません)。

8.4 アクセスサイクル数 (HD64F7065A、HD6437065A)

(1) 外部メモリ・外部 I/O

表 8.11 に $M\phi$:CKE 分周比が 1:1、1:1/2、1:1/4 のときの外部アクセスサイクル数を示します。なお、CPU は外部空間書き込みを 1 サイクルで実行とみなし、次の処理を行います。しかし実際の書き込みには表 8.11 に示したサイクル数を要します。そのため、CPU による外部空間書き込み後の内蔵レジスタおよび外部アクセスの実行は、外部空間書き込み終了まで待たされます。

表 8.12 にアイドルサイクル数一覧を示します。CKE 換算のアクセス数は外部バスサイクル数に、本アイドルサイクル数を加算してください。

表 8.11 外部アクセスサイクル数 ($M\phi$ 換算)

M ϕ : CKE 分周比	読み出し / 書き込み	バスマスタ	
		CPU からのアクセスサイクル数	DMAC からのアクセスサイクル数
1:1	読み出し	外部バスサイクル数+3	外部バスサイクル数+1
	書き込み	外部バスサイクル数+4	外部バスサイクル数+2
1:1/2	読み出し	(外部バスサイクル数) × 2 + (4~5) *	(外部バスサイクル数) × 2 + (2~3) *
	書き込み	(外部バスサイクル数) × 2 + (6~7) *	(外部バスサイクル数) × 2 + (4~5) *
1:1/4	読み出し	(外部バスサイクル数) × 4 + (5~8) *	(外部バスサイクル数) × 4 + (3~6) *
	書き込み	(外部バスサイクル数) × 4 + (9~12) *	(外部バスサイクル数) × 4 + (7~10) *

【注】 * 分周による $M\phi$ と CKE 間の位相差により異なります。

8. バスステートコントローラ (BSC)

表 8.12 外部空間連続アクセス時に発生するアイドルサイクル数 (CKE 換算)

アクセスの種類	アイドル機能による ウェイト設定数*	M0:CKE=1:1			M0:CKE=1:1/2			M0:CKE=1:1/4					
		CPU→ CPU	DMAC DMAC	DMAC→ CPU	CPU→ DMAC	DMAC→ CPU	DMAC→ DMAC	CPU→ DMAC	DMAC→ CPU	DMAC→ DMAC			
同一CS空間への 連続アクセス時	無効	3	2	2	2	1	2	2	1	2	1	1	1
	リード→リード	4	3	3	3	2	3	3	2	3	2	2	2
	リード→ライト	4	3	3	3	2	3	3	2	3	2	2	2
		4	3	3	3	2	3	3	2	3	2	2	2
		4	3	3	3	3	3	3	3	3	3	3	3
		4	4	4	4	4	4	4	4	4	4	4	4
		5	5	5	5	5	5	5	5	5	5	5	5
他CS空間への 連続アクセス時	無効	7	7	7	7	7	7	7	7	7	7	7	7
	リード→リード	2	2	2	2	1	2	2	1	1	1	1	1
	ライト→ライト	3	3	3	3	2	3	3	2	2	2	2	2
	リード→ライト	3	2	2	2	1	2	2	1	2	1	1	1
		3	2	2	2	2	2	2	2	2	2	2	2
		3	3	3	3	3	3	3	3	3	3	3	3
		4	4	4	4	4	4	4	4	4	4	4	4
リード→ライト		5	5	5	5	5	5	5	5	5	5	5	5
		6	6	6	6	6	6	6	6	6	6	6	6
		7	7	7	7	7	7	7	7	7	7	7	7
		4	3	3	3	2	3	3	2	3	2	2	2
		4	3	3	3	2	3	3	2	3	2	2	2
		4	3	3	3	3	3	3	3	3	3	3	3
		4	4	4	4	4	4	4	4	4	4	4	4
ライト→リード		5	5	5	5	5	5	5	5	5	5	5	5
		6	6	6	6	6	6	6	6	6	6	6	6
		7	7	7	7	7	7	7	7	7	7	7	7
		2	2	2	2	1	2	2	1	1	1	1	1
		2	2	2	2	2	2	2	2	2	2	2	2
		3	3	3	3	3	3	3	3	3	3	3	3
		4	4	4	4	4	4	4	4	4	4	4	4
ライト→ライト		5	5	5	5	5	5	5	5	5	5	5	5
		6	6	6	6	6	6	6	6	6	6	6	6
		7	7	7	7	7	7	7	7	7	7	7	7
		3	3	3	3	2	3	3	2	3	2	2	2
		3	3	3	3	2	3	3	2	3	2	2	2
		3	3	3	3	3	3	3	3	3	3	3	3
		4	4	4	4	4	4	4	4	4	4	4	4

【注】 * ACR1のIW2 - IW0ビットおよびDCR2のDIW2 - DIW0ビットによる設定数

(2) 内蔵レジスタ

(a) フラッシュメモリ関連、BSC、UBC、WDT、INTC、CPG、DMAC、PFC、I/O、低消費関連レジスタアクセス時

表 8.13 にアクセスサイクル数を示します。なお、CPU は内蔵レジスタ書き込みを 1 サイクルで実行とみなし、次の処理を行います。しかし実際の書き込みには表 8.13 に示したサイクル数を要します。内蔵レジスタに書き込んだ値を後の命令に用いる場合、書き込んだ値を読み出してから後の命令を実行、もしくは表 8.13 に示したサイクル数の経過を待ってから、後の命令を実行してください。また、CPU による内蔵レジスタ書き込み後の内蔵レジスタおよび外部アクセスの実行は、内蔵レジスタ書き込み終了まで待たされます。

表 8.13 フラッシュメモリ関連、BSC、UBC、WDT、INTC、CPG、DMA、PFC、I/O、低消費関連レジスタアクセス時のアクセスサイクル数

オペランド サイズ	読み出し/ 書き込み	バスマスタ	
		CPU からの アクセスサイクル数	DMAC からの アクセスサイクル数
ワード/バイト*1	読み出し	5	3
	書き込み	6	4
ロングワード*1	読み出し	8	6
	書き込み	9	7

【注】 *1 フラッシュメモリ関連の場合、バイトアクセスのみです。

(b) A/D、D/A、TPU、MMT、CMT、POE、SCI 内レジスタアクセス時

表 8.14 に $M\phi : P\phi$ 分周比が 1 : 1、1 : 1/2、1 : 1/3 のときのアクセスサイクル数を示します。なお、CPU は内蔵レジスタ書き込みを 1 サイクルで実行とみなし、次の処理を行います。しかし実際の書き込みには表 8.14 に示したサイクル数を要します。内蔵レジスタに書き込んだ値を後の命令に用いる場合、書き込んだ値を読み出してから後の命令を実行、もしくは表 8.14 に示したサイクル数の経過を待ってから、後の命令を実行してください。また、CPU による内蔵レジスタ書き込み後の内蔵レジスタおよび外部アクセスの実行は、内蔵レジスタ書き込み終了まで待たされます。

8. バスステートコントローラ (BSC)

表 8.14 A/D、D/A、TPU、MMT、CMT、POE、SCI 内レジスタアクセス時のアクセスサイクル数

Mφ : Pφ 分周比	オペランド サイズ	読み出し/ 書き込み	バスマスタ	
			CPU からの アクセスサイクル数	DMAC からの アクセスサイクル数
1 : 1	ワード/バイト* ¹	読み出し	7	5
		書き込み	7	5
	ロングワード* ²	読み出し	9	7
		書き込み	9	7
1 : 1/2	ワード/バイト* ¹	読み出し	9、10* ³	7、8* ³
		書き込み	9、10* ³	7、8* ³
	ロングワード* ²	読み出し	13、14* ³	11、12* ³
		書き込み	13、14* ³	11、12* ³
1 : 1/3	ワード/バイト* ¹	読み出し	12 ~ 14* ³	10 ~ 12* ³
		書き込み	12 ~ 14* ³	10 ~ 12* ³
	ロングワード* ²	読み出し	18 ~ 20* ³	16 ~ 18* ³
		書き込み	18 ~ 20* ³	16 ~ 18* ³

【注】 *1 A/D、D/A の場合、バイトアクセスのみが該当します。

*2 A/D、D/A の場合、ワードアクセスが該当します。

*3 分周による Mφ と Pφ の位相差により異なります。

(3) 内蔵 ROM

(1) 低速モード時

すべて2サイクルです。

(2) 高速モード時

- 連続命令フェッチサイクル

1サイクルです。ただし8n+4番地、および8n+6番地に分岐した場合、分岐命令フェッチサイクル直後の連続命令フェッチサイクルは、2サイクルです。

- 分岐命令フェッチサイクル

2~3サイクル*です。

- データリードサイクル

2~3サイクル*です。

【注】 * CPU パイプラインの状態、および内部 32 ビットデータバス (CDB) と 64 ビット内部データ ROM バスとの間のバッファの状態により、サイクル数が変わります。

図 8.36 ~ 図 8.43 に、内蔵 ROM からのデータリードサイクルが発生しない場合について、CPU パイプラインの状態と、内蔵 ROM アクセスサイクル数を示します。

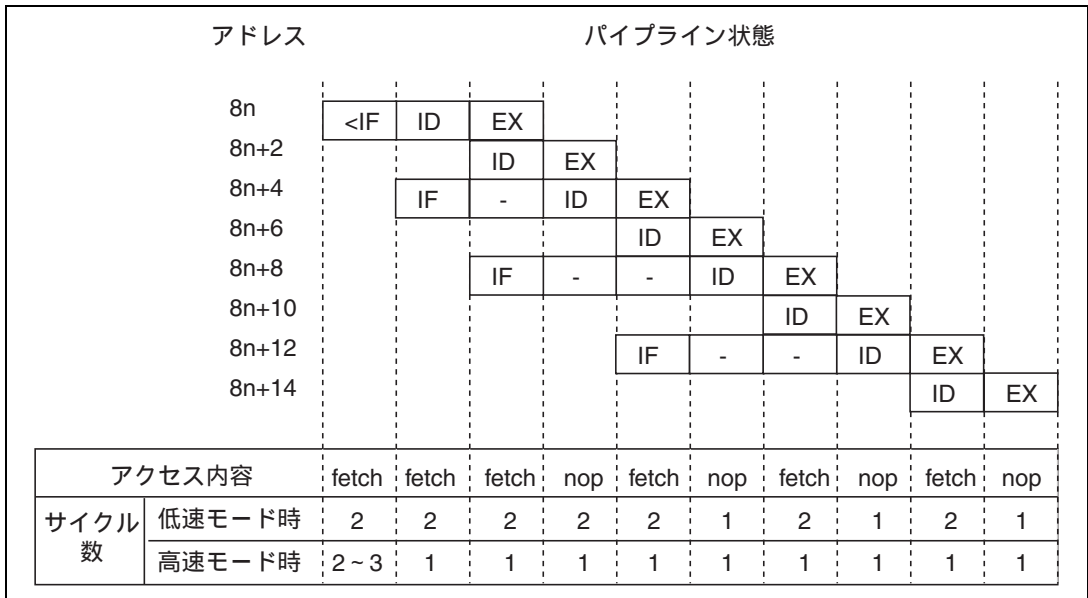


図 8.36 16 ビット命令連続実行 (8n 番地に分岐時)

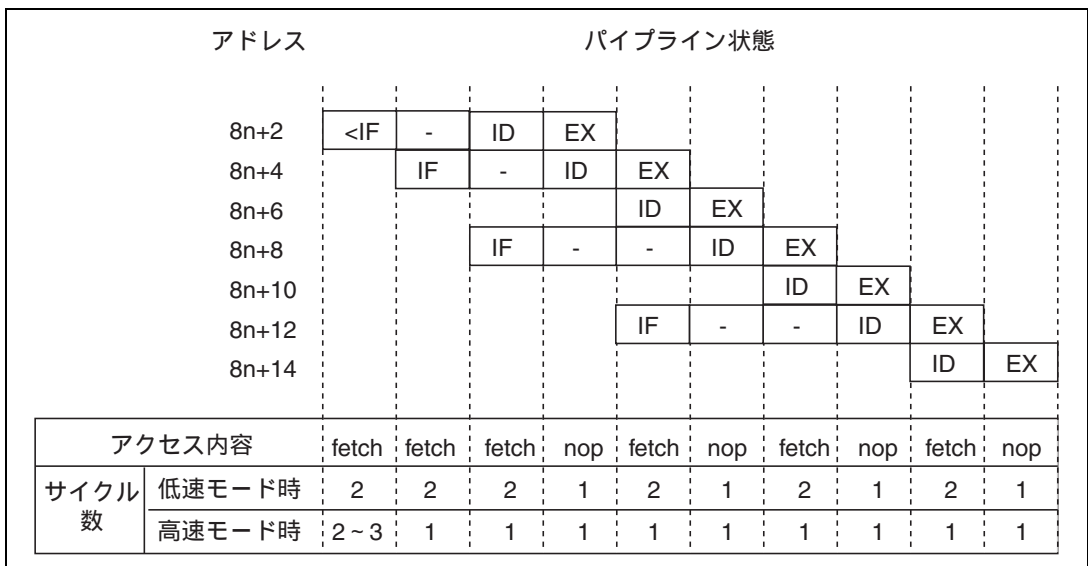


図 8.37 16 ビット命令連続実行 (8n+2 番地に分岐時)

8. バスステートコントローラ (BSC)

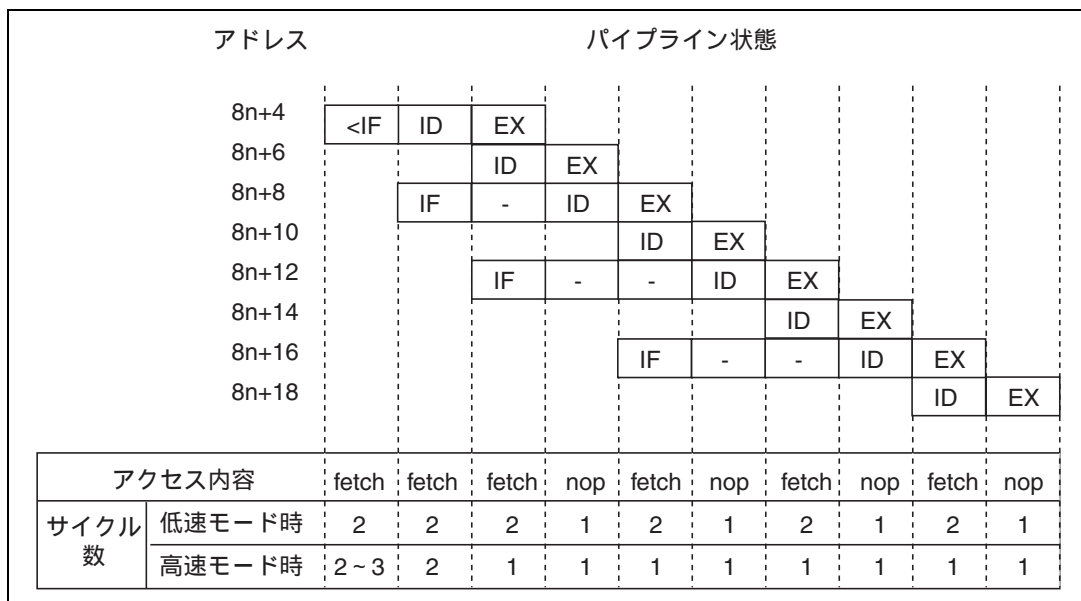


図 8.38 16 ビット命令連続実行 (8n+4 番地に分岐時)

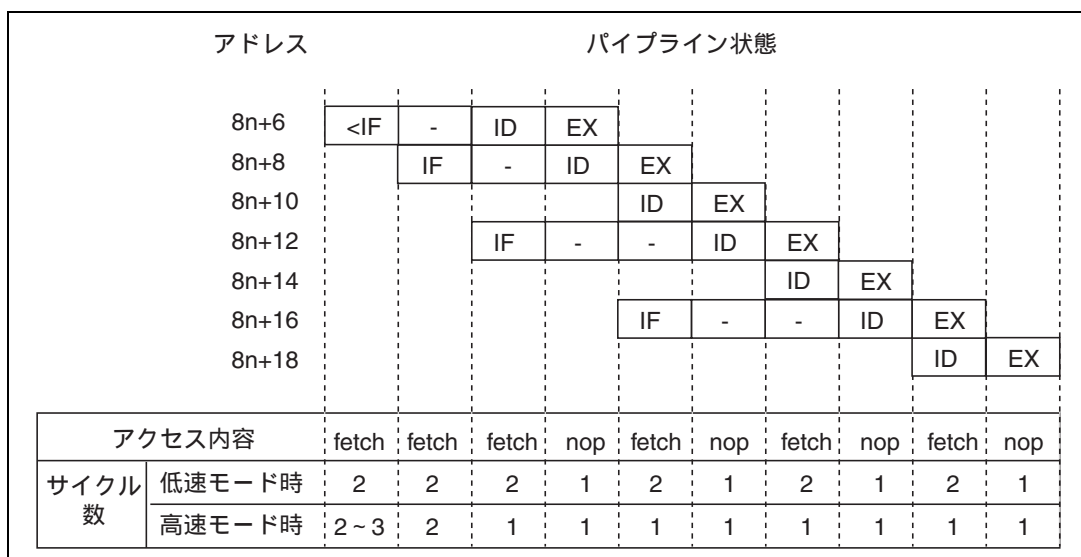


図 8.39 16 ビット命令連続実行 (8n+6 番地に分岐時)

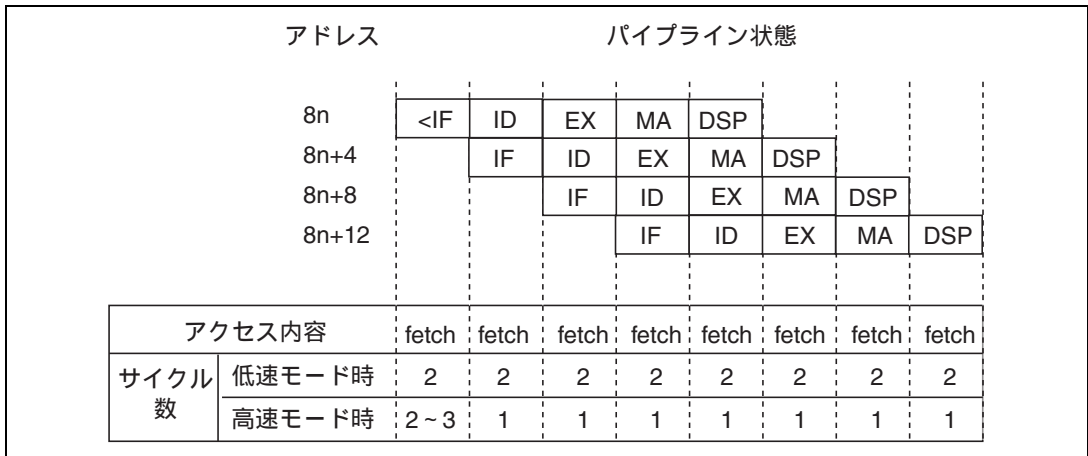


図 8.40 32 ビット命令連続実行 (8n 番地に分岐時)

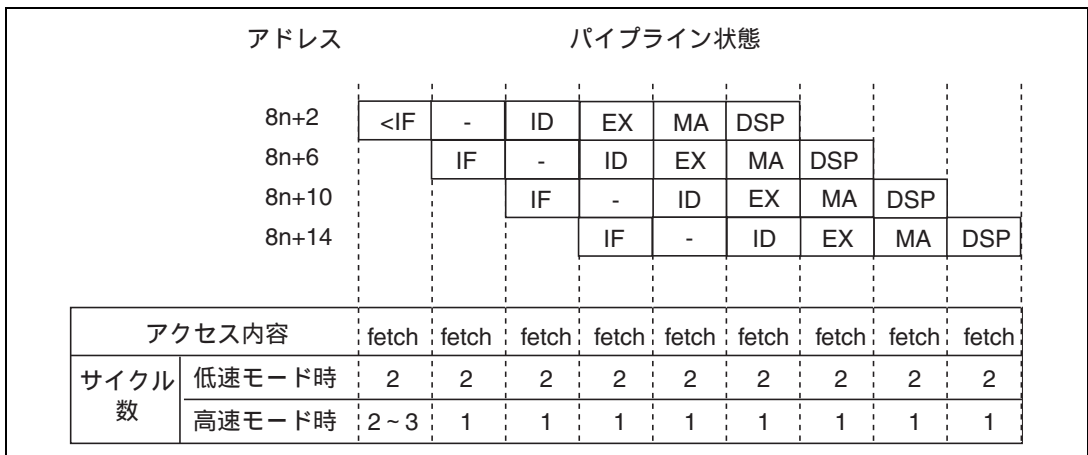


図 8.41 32 ビット命令連続実行 (8n+2 番地に分岐時)

8. バスステートコントローラ (BSC)

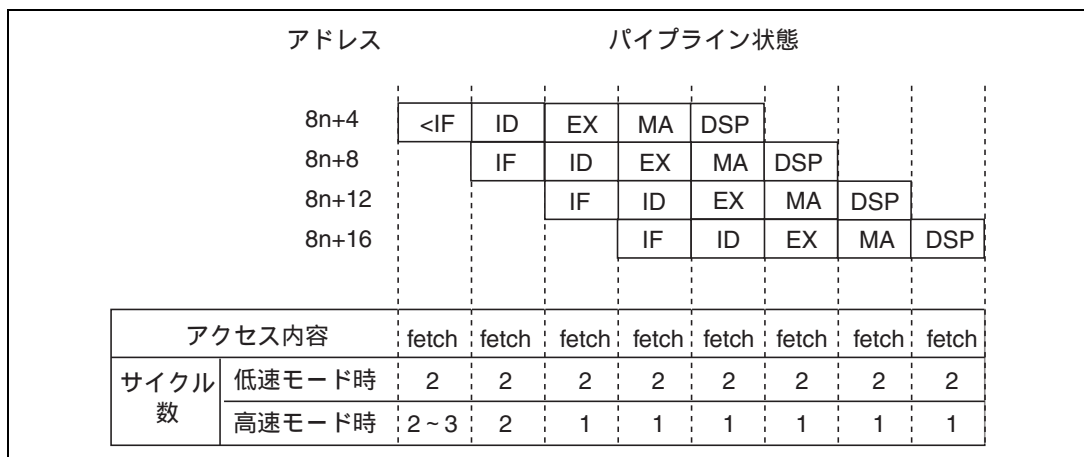


図 8.42 32 ビット命令連続実行 (8n+4 番地に分岐時)

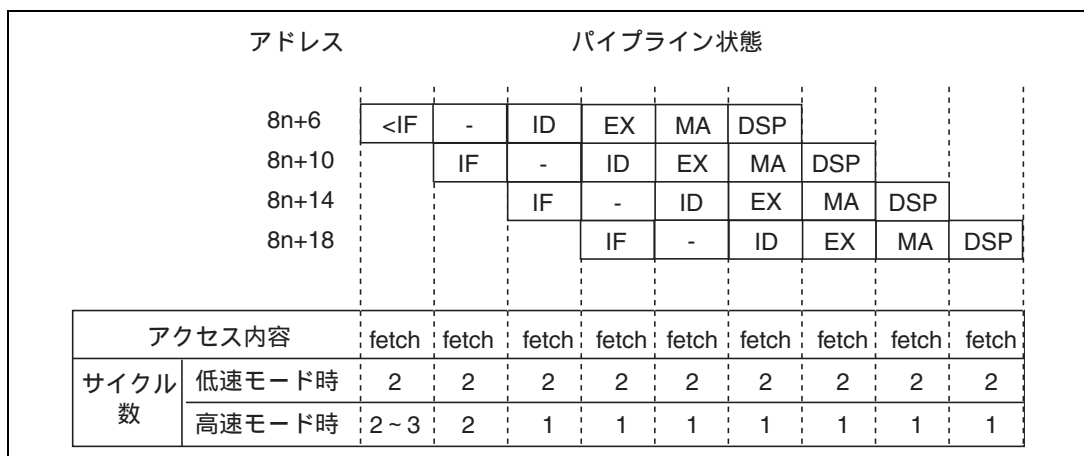


図 8.43 32 ビット命令連続実行 (8n+6 番地に分岐時)

8.5 使用上の注意

- (1) DRAMコントロールレジスタ2 (DCR2) のTCASビットにより、CASアサート幅を2サイクルに設定した場合でも、アクセスサイズがバス幅を超える場合の2回目以降のアクセス (たとえば8ビットバス幅のDRAMに対するロングワードアクセス時の、 $4n+1/4n+2/4n+3$ 番地のアクセス) は、CASアサート幅が1サイクルになります。
- (2) DRAM/EDO DRAMをRASダウンモードで使用する場合、以下の制限があります。
 - $M\phi$ (マスタクロック (CKM) で分周した後のクロック) が CKE (外部バスクロック) より遅い場合、RAS ダウンモードはサポートされません。
 - ロウアドレスミス時、外部バスサイクル発生前に次にアクセスする空間の CS が 1 サイクルアサートされます。
 - CS4 空間アクセス時のロウアドレス値が、前回アクセスした CS5 空間のロウアドレス値と異なった場合、RAS1 はネゲートされます。
 - DMAC デュアルアドレスモードで、転送元が CS4/5 空間、転送先が他の CS 空間もしくは内蔵レジスタ空間時、転送先のロウアドレスに相当するビット値が、転送元のロウアドレス値と異なった場合、RAS1 はネゲートされます。
 - CPU から CS4/5 空間アクセス直後に DMAC がデュアルアドレスモードで起動し、転送元が他の CS 空間もしくは内蔵レジスタ空間時、転送元のロウアドレスに相当するビット値が、直前の CPU からの CS4/5 空間アクセスのロウアドレス値と異なった場合、RAS1 はネゲートされます。なお本現象は DMAC 起動直後の転送時のみに発生します。DMAC がバーストモード時の 2 回目以降の転送時は発生しません。
 - CPU から CS4/5 空間アクセス直後に DMAC がシングルアドレスモードで他の CS 空間アクセスで起動時、他の CS 空間のロウアドレスに相当するビット値が、直前の CPU からの CS4/5 空間アクセスのロウアドレス値と異なった場合、RAS1 はネゲートされます。なお本現象は DMAC 起動直後の転送時のみに発生します。DMAC がバーストモード時の 2 回目以降の転送時は発生しません。
- (3) バス権解放中に内蔵RAM空間へのTAS命令を実行した場合は $\overline{\text{BACK}}$ がいったんネゲートされ、実行終了後再びアサートされます。

8. バスステートコントローラ (BSC)

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.1 概要

本 LSI は 4 チャンネルのダイレクトメモリアクセスコントローラ(DMAC)を内蔵しています。DMAC は、 \overline{DACK} (転送要求受け付け信号)付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール(DMAC, BSC, UBC を除く)間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。

なお、本 DMAC には使用上の注意事項がありますので、「9.6 DMAC の制限事項」の内容をあらかじめご確認ください。

9.1.1 特長

DMAC には次の特長があります。

- チャンネル数 : 4 チャンネル
- アドレス空間 : アーキテクチャ上は 4GByte
- 転送データ長 : 8 ビット、16 ビット、32 ビットの中から選択可能
- 最大転送回数 : 4G (4,294,967,296 回)
- アドレスモード : デュアルアドレスモード、シングルアドレスモードの選択可能
 - シングルアドレスモード :
転送元か転送先の周辺デバイスを \overline{DACK} 信号でアクセスし、もう一方をアドレスアクセスします。1回のデータ転送が1バスサイクルで終了。
 - デュアルアドレスモード :
転送元、転送先双方をアドレスアクセスします。転送元、転送先ともに、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指します。1回のデータ転送に2バスサイクルが必要。
- チャンネル機能 : 各チャンネルごとに、転送モードは独立に設定できます。
- 転送要求 : DMAC の転送起動要求には以下の種類があります。
 - 外部リクエスト :
 \overline{DREQ} 端子2本、ローレベル検出または立ち下がりエッジ検出の指定が可能です。ローレベル検出を選択した場合、サンプリングされた \overline{DREQ} はFIFOに蓄積します。FIFOは1段と16段から選択できます。
 - 内部リクエスト : TPU、SCI などの内蔵モジュールの転送要求
- バスモード : サイクルスチールモードとバーストモードの選択が可能
- 優先順位 : DMAC のチャンネル優先順位には以下の 2 つの種類があります。
 - 優先順位固定モード : チャンネル優先順位を常に固定
 - ラウンドロビンモード : 実行要求を受け付けたチャンネルの優先順位を最低にする
- 割り込み要求 : 指定した転送回数終了後、CPU に割り込み要求可能
- チェーン転送 : 現在転送しているデータ転送終了後、指定されたブロックのデータを CPU 処理を介さずに連続して転送可能
- 転送終了信号 : DMA 転送終了時、各チャンネルごとに転送終了信号 (\overline{TEND}) を出力可能

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.1.2 DMAC ブロック図

図 9.1 に DMAC のブロック図を示します。

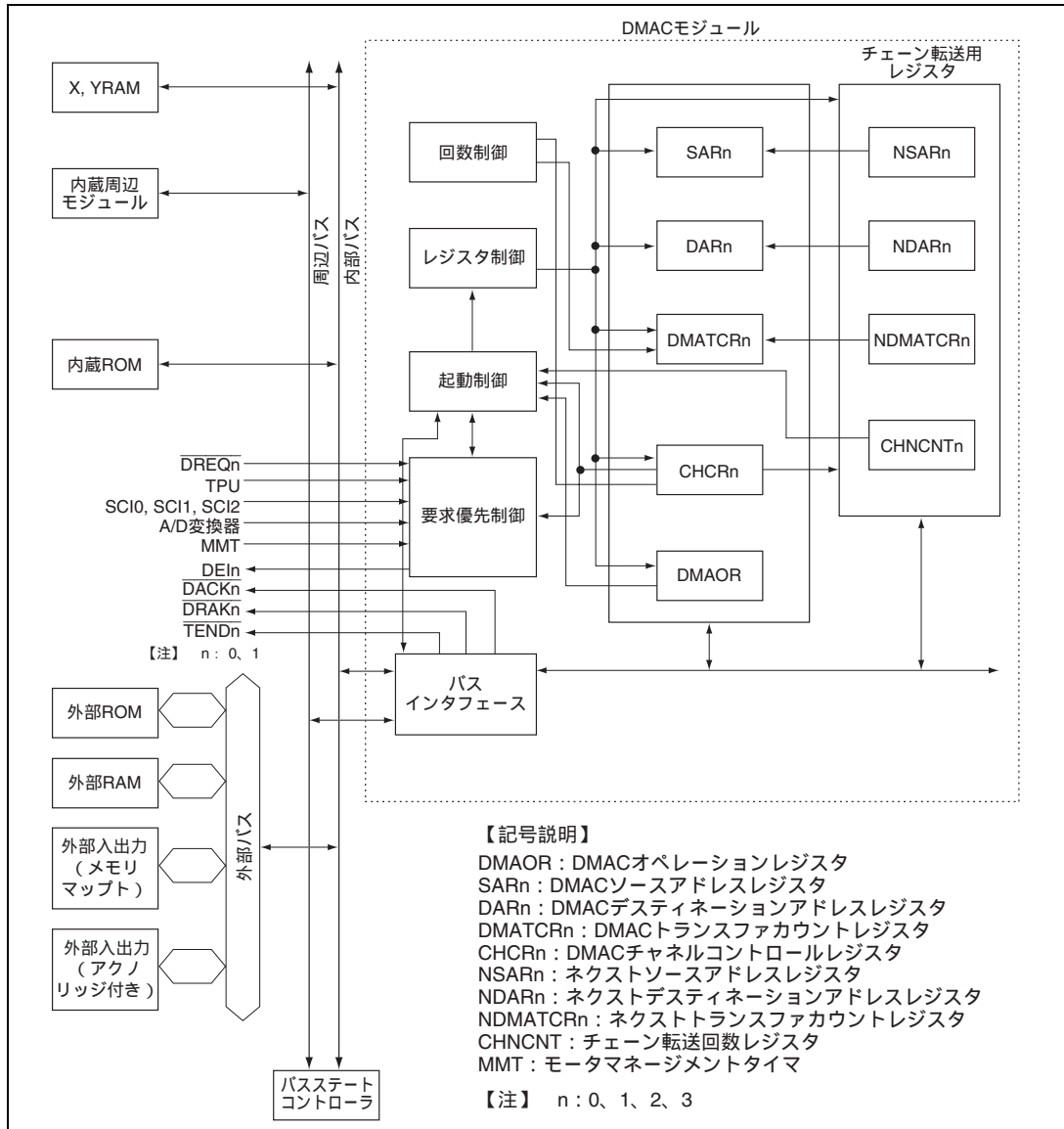


図 9.1 DMAC ブロック図

9.1.3 端子構成

DMAC の各チャンネルの端子を表 9.1 に示します。

表 9.1 端子構成

名称	略称	入出力	機能
DMA 転送要求	\overline{DREQn}	入力	外部からチャンネル 0, 1 への DMA 転送要求入力端子
DMA 転送要求受け付け	\overline{DRACKn}	出力	外部からチャンネル 0, 1 への DMA 転送要求入力のサンプリング受け付けを出力
DMA 転送ストロープ	\overline{DACKn}	出力	外部からチャンネル 0, 1 へ DMA 転送要求があった場合に外部 I/O ヘストロープを出力
DMA 転送終了	\overline{TENDn}	出力	チャンネル 0, 1 の DMA 転送終了時に出力

9.1.4 レジスタ構成

表 9.2 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 8 本のレジスタが割り当てられているほか、DMAC 全体の制御用のレジスタが 1 本で、計 33 本のレジスタがあります。

表 9.2 レジスタ構成

略称	名称	チャンネル	リード / ライト	初期値	アドレス	レジスタサイズ	アクセスサイズ
SAR0	DMA ソースアドレスレジスタ 0	0	R/W	不定	H'FFFF1100	32bit	16, 32
DAR0	DMA デスティネーションアドレスレジスタ 0	0	R/W	不定	H'FFFF1104	32bit	16, 32
DMATCR0	DMA トランスファカウントレジスタ 0	0	R/W	不定	H'FFFF1108	32bit	16, 32
CHCR0	DMA チャンネルコントロールレジスタ 0	0	R/W*1	00000000	H'FFFF110C	32bit	16, 32
NSAR0	ネクストソースアドレスレジスタ 0	0	R/W	不定	H'FFFF1110	32bit	16, 32
NDAR0	ネクストデスティネーションアドレスレジスタ 0	0	R/W	不定	H'FFFF1114	32bit	16, 32
NDMATCR0	ネクストトランスファカウントレジスタ 0	0	R/W	不定	H'FFFF1118	32bit	16, 32
CHCNT0	チェーン転送回数カウントレジスタ 0	0	R/W	不定	H'FFFF111C	32bit	16, 32
SAR1	DMA ソースアドレスレジスタ 1	1	R/W	不定	H'FFFF1120	32bit	16, 32
DAR1	DMA デスティネーションアドレスレジスタ 1	1	R/W	不定	H'FFFF1124	32bit	16, 32

9. ダイレクトメモリアクセスコントローラ (DMAC)

略称	名称	チャンネル	リード/ ライト	初期値	アドレス	レジスタ サイズ	アクセス サイズ*2
DMATCR1	DMA トランスファ カウントレジスタ 1	1	R/W	不定	H'FFFF1128	32bit	16, 32
CHCR1	DMA チャンネルコントロー ルレジスタ 1	1	R/W*1	00000000	H'FFFF112C	32bit	16, 32
NSAR1	ネクストソースアドレス レジスタ 1	1	R/W	不定	H'FFFF1130	32bit	16, 32
NDAR1	ネクストデスティネーショ ンアドレスレジスタ 1	1	R/W	不定	H'FFFF1134	32bit	16, 32
NDMATCR1	ネクストトランスファ カウントレジスタ 1	1	R/W	不定	H'FFFF1138	32bit	16, 32
CHNCNT1	チェーン転送回数 カウントレジスタ 1	1	R/W	不定	H'FFFF113C	32bit	16, 32
SAR2	DMA ソースアドレス レジスタ 2	2	R/W	不定	H'FFFF1140	32bit	16, 32
DAR2	DMA デスティネーション アドレスレジスタ 2	2	R/W	不定	H'FFFF1144	32bit	16, 32
DMATCR2	DMA トランスファ カウントレジスタ 2	2	R/W	不定	H'FFFF1148	32bit	16, 32
CHCR2	DMA チャンネルコントロー ルレジスタ 2	2	R/W*1	00000000	H'FFFF114C	32bit	16, 32
NSAR2	ネクストソースアドレス レジスタ 2	2	R/W	不定	H'FFFF1150	32bit	16, 32
NDAR2	ネクストデスティネーショ ンアドレスレジスタ 2	2	R/W	不定	H'FFFF1154	32bit	16, 32
NDMATCR2	ネクストトランスファ カウントレジスタ 2	2	R/W	不定	H'FFFF1158	32bit	16, 32
CHNCNT2	チェーン転送回数 カウントレジスタ 2	2	R/W	不定	H'FFFF115C	32bit	16, 32
SAR3	DMA ソースアドレス レジスタ 3	3	R/W	不定	H'FFFF1160	32bit	16, 32
DAR3	DMA デスティネーション アドレスレジスタ 3	3	R/W	不定	H'FFFF1164	32bit	16, 32
DMATCR3	DMA トランスファ カウントレジスタ 3	3	R/W	不定	H'FFFF1168	32bit	16, 32
CHCR3	DMA チャンネルコントロー ルレジスタ 3	3	R/W*1	00000000	H'FFFF116C	32bit	16, 32

9. ダイレクトメモリアクセスコントローラ (DMAC)

略称	名称	チャンネル	リード/ ライト	初期値	アドレス	レジスタ サイズ	アクセス サイズ*2
NSAR3	ネクストソースアドレス レジスタ 3	3	R/W	不定	H'FFFF1170	32bit	16, 32
NDAR3	ネクストデスティネーシ ョンアドレスレジスタ 3	3	R/W	不定	H'FFFF1174	32bit	16, 32
NDMATCR3	ネクストトランスファ カウントレジスタ 3	3	R/W	不定	H'FFFF1178	32bit	16, 32
CHNCNT3	チェーン転送回数 カウントレジスタ 3	3	R/W	不定	H'FFFF117C	32bit	16, 32
DMAOR	DMA オペレーション レジスタ	共通	R/W*1	0000	H'FFFF10F0	16bit	16

【注】 *1 CHCR0~3 のビット 1 および DMAOR のビット 1、ビット 2 はフラグクリアのために 1 リード後の 0 ライトのみ可能。

*2 SAR0~3, DAR0~3, CHCR0~3, に 16 ビットアクセスをした場合、アクセスされなかった側の 16 ビットの値は保持されます。

9.2 各レジスタの説明

9.2.1 DMA ソースアドレスレジスタ 0~3 (SAR0~SAR3)

ビット :	31	30	29	28	27	26	25	24	23	0
初期値 :	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA ソースアドレスレジスタ 0~3 (SAR0~SAR3) は読み出し、書き込み可能な 32 ビットのレジスタで、転送元のアドレスを指定します。カウント機能を持ち、DMA 動作中は次の転送元アドレスを示しています。シングルアドレスモードにおいて、DACK 付きデバイスを転送元に指定した場合、SAR の値は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード時には、値は不定になります。

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.2.2 DMA デスティネーションアドレスレジスタ 0~3 (DAR0~DAR3)

ビット :	31	30	29	28	27	26	25	24	23	0
初期値 :	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA デスティネーションアドレスレジスタ 0~3 (DAR0~DAR3) は読み出し、書き込み可能な 32 ビットのレジスタで、転送先のアドレスを指定します。カウント機能を持ち、DMAC 動作中は次の転送先アドレスを示しています。シングルアドレスモードにおいて、 \overline{DACK} 付きデバイスを転送先に指定した場合、DAR の値は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード時には、値は不定になります。

9.2.3 DMA トランスファカウントレジスタ 0~3 (DMATCR0~DMATCR3)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA トランスファカウントレジスタ 0~3 (DMATCR0~DMATCR3) は読み出し、書き込み可能な 32 ビットのレジスタで、そのチャンネルの転送回数 (バイト数、ワード数またはロングワード数) を指定します。転送回数は H'00000001 を設定した場合 1 回ですが、H'00000000 を設定すると最大値を設定したことになり、4,294,967,296 (4G) 回実行されます。DMAC 動作中は、残りの転送回数を示しています。

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード時には、値は不定になります。

9.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	RS4	RS3	RS2	RS1	RS0	-	FIFOS	-	-	NDARE	NSARE	FCS	TES
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	CHNE	RL	AM	AL	TEND	DS	TM	TS1	TS0	IE	TE*	DE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R(W)	R/W

【注】* TEビットは、1リード後の0ライトのみクリア可能です。

DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3) は読み出し、書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法等を指定します。

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード時には、値は 0 に初期化されます。

ビット 31~29 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット 28~24 : リソースセレクト 4~0 (RS4~RS0)

転送要求元を指定します。

ビット 28	ビット 27	ビット 26	ビット 25	ビット 24	説 明
RS4	RS3	RS2	RS1	RS0	
0	0	0	0	0	外部リクエスト、デュアルアドレスモード (初期値)
0	0	0	0	1	(予約)
0	0	0	1	0	外部リクエスト、シングルアドレスモード 外部アドレス空間→外部デバイス
0	0	0	1	1	外部リクエスト、シングルアドレスモード 外部デバイス→外部アドレス空間
0	0	1	0	0	オートリクエスト
0	0	1	0	1	(予約)
0	0	1	1	0	(予約)
0	0	1	1	1	(予約)
0	1	0	0	0	TPU TGI0A
0	1	0	0	1	TGI1A
0	1	0	1	0	TGI2A
0	1	0	1	1	TGI3A
0	1	1	0	0	TGI4A
0	1	1	0	1	TGI5A

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 28	ビット 27	ビット 26	ビット 25	ビット 24	説 明
RS4	RS3	RS2	RS1	RS0	
0	1	1	1	0	A/D ADI 0
0	1	1	1	1	A/D ADI 1
1	0	0	0	0	SCI0 TXI0
1	0	0	0	1	RXI0
1	0	0	1	0	SCI1 TXI1
1	0	0	1	1	RXI1
1	0	1	0	0	SCI2 TXI2
1	0	1	0	1	RXI2
1	0	1	1	0	(予約)
1	0	1	1	1	(予約)
1	1	0	0	0	MMT TGM
1	1	0	0	1	MMT TGN
1	1	0	1	0	(予約)
1	1	0	1	1	(予約)
1	1	1	0	0	(予約)
1	1	1	0	1	(予約)
1	1	1	1	0	(予約)
1	1	1	1	1	(予約)

ビット 23 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット 22 : FIFO セレクト (FIFOS)

$\overline{\text{DREQ}}$ ローレベル検出で使用する FIFO を選択するビットです。 $\overline{\text{DREQ}}$ を立ち下がりエッジ検出した場合は無効です。

ビット 22	説 明
FIFOS	
0	1 段 FIFO で DREQ レベル検出をします (初期値)
1	16 段 FIFO で DREQ レベル検出をします

ビット 21、20 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット 19 : ネクストデスティネーションアドレスレジスタイネーブル (NDARE)

チェーン転送時、ネクストデスティネーションアドレスレジスタの値をデスティネーションアドレスレジスタに転送してデスティネーションアドレスを更新するか、転送を行わないかを選択するビットです。

ビット 19	説 明
NDARE	
0	チェーン転送時、ネクストデスティネーションアドレスレジスタの値をデスティネーションアドレスレジスタにコピーしません (初期値)
1	チェーン転送時、ネクストデスティネーションアドレスレジスタの値をデスティネーションアドレスレジスタにコピーします

ビット 18 : ネクストソースアドレスレジスタイネーブル (NSARE)

チェーン転送時、ネクストソースアドレスレジスタの値をソースアドレスレジスタに転送して更新するか、転送を行わないかを選択するビットです。

ビット 18	説 明
NSARE	
0	チェーン転送時、ネクストソースアドレスレジスタの値をソースアドレスレジスタにコピーしません (初期値)
1	チェーン転送時、ネクストソースアドレスレジスタの値をソースアドレスレジスタにコピーします

ビット 17 : フラグクリアタイミングセレクト (FCS)

内蔵モジュールによる転送要求が受け付けられると、DMAC は転送要求元内蔵モジュールの転送要求フラグを取り下げる信号を出力します。この出力をトランスファカウントレジスタ (DMATCRn) が 0 になるバスサイクルに行くか、毎バスサイクルで行うかを選択するビットです。本ビットを 1 に設定する場合は、ビット 6 (DREQ セレクト (DS)) をエッジ検出に設定してください。

ビット 17	説 明
FCS	
0	内蔵モジュールが転送要求元である場合、DMAC はフラグを取り下げる信号をトランスファカウントレジスタ (DMATCRn) が 0 になるバスサイクルに出力する (初期値)
1	内蔵モジュールが転送要求元である場合、DMAC はフラグを取り下げる信号を毎バスサイクルに出力する

【注】 DREQ をエッジ検出した場合、FCS でエッジのクリアタイミングを選択することができます。

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 16 : トランスファエンドセットセレクト (TES)

トランスファエンドビット (TE) をチェーンカウントレジスタに指定したすべてのチェーン転送終了時にセットするか、DMATCR_n に指定した転送回数の終了時にセットするかを指定します。このビットはビット11のチェーン転送イネーブルビット (CHNE) にかかわらず有効です。したがって、チェーン転送を行わない場合は、このビットを1に設定するか、チェーンカウントレジスタ (CHNCNT) を0に設定してください。ビット2のインタラプトイネーブルビット (IE) が1のとき、転送終了割り込みのDEIはこのビットで指定したタイミングでトランスファエンドビットがセットされた時点で発生します。

ビット 16	説明
TES	
0	CHNCNT _n =0 かつ DMATCR _n =0 のときにトランスファエンドビット (TE) を 1 にセットする (初期値)
1	DMATCR _n =0 のときにトランスファエンドビット (TE) を 1 にセットする

【注】 オートリクエストの場合は、このビットは無効になり、割り込み要求 DMATCR_n=0 になります。オートリクエストのときは TES=1 の動作をします。

ビット 15、14 : デスティネーションアドレスモード 1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。シングルアドレスモードでアドレス空間から外部デバイスにデータ転送する場合は、このビットの指定は無視されます。

ビット 15	ビット 14	説明
DM1	DM0	
0	0	デスティネーションアドレスは固定 (初期値)
0	1	デスティネーションアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	デスティネーションアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
1	1	(使用禁止)

ビット 13、12 : ソースアドレスモード 1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。シングルアドレスモードで外部デバイスからアドレス空間にデータ転送する場合は、このビットの指定は無視されます。

ビット 13	ビット 12	説明
SM1	SM0	
0	0	ソースアドレスは固定 (初期値)
0	1	ソースアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	ソースアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
1	1	(使用禁止)

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 11 : チェーン転送イネーブルビット (CHNE)

DMAC 転送時、チェーン転送を行うかどうかの選択ビットです。

ビット 11	説明
CHNE	
0	チェーン転送しない (初期値)
1	チェーン転送する

ビット 10 : リクエストチェックレベルビット (RL)

$\overline{\text{DREQ}}$ を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかの選択ビットです。初期値ではハイアクティブなので注意してください。

ビット 10	説明
RL	
0	DRAK をハイアクティブで出力 (初期値)
1	DRAK をローアクティブで出力

ビット 9 : アクノリッジモードビット (AM)

デュアルアドレスモードで、 $\overline{\text{DACK}}$ をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。

シングルアドレスモードでは、このビットの指定に関係なく、 $\overline{\text{DACK}}$ は常に出力されます。

ビット 9	説明
AM	
0	読み出しサイクルで $\overline{\text{DACK}}$ を出力 (初期値)
1	書き込みサイクルで $\overline{\text{DACK}}$ を出力

ビット 8 : アクノリッジレベル (AL)

$\overline{\text{DACK}}$ (アクノリッジ) 信号をハイアクティブにするかローアクティブにするかを指定します。初期値ではハイアクティブなので注意してください。

ビット 8	説明
AL	
0	ハイアクティブ出力 (初期値)
1	ローアクティブ出力

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット7 : TEND セレクト (TEND)

DMA 転送終了時、転送が終了したことを外部に知らせる信号 ($\overline{\text{TEND}}$) を出力するか出力しないかの選択ビットです。出力を選択した場合、転送終了時の $\overline{\text{DACK}}$ アサートに同期して出力されます。

ビット7	説明
TEND	
0	DMA 転送終了時、 $\overline{\text{TEND}}$ を出力しません。 (初期値)
1	DMA 転送終了時、 $\overline{\text{TEND}}$ を出力します。

ビット6 : DREQ セレクト (DS)

外部リクエストモードで使用する $\overline{\text{DREQ}}$ 端子および内蔵周辺モジュールからの転送要求のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。

オートリクエストに指定した場合、このビットの指定は無視されます。オートリクエストの場合、エッジ検出は行いません。

ビット6	説明
DS	
0	ローレベル検出 (初期値)
1	立ち下がりエッジ検出

ビット5 : トランスミットモード (TM)

転送するときのバスモードを指定するビットです。

ビット5	説明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

ビット4, 3 : トランスミットサイズ 1,0 (TS1,TS0)

転送するデータのサイズを指定するビットです。

ビット4	ビット3	説明
TS1	TS0	
0	0	バイトサイズ (8 ビット) 指定 (初期値)
0	1	ワードサイズ (16 ビット) 指定
1	0	ロングワードサイズ (32 ビット) 指定
1	1	(使用禁止)

ビット2：インタラプトイネーブル (IE)

このビットに1をセットしておく、TCRに指定した回数のデータ転送が終了した時、および、すべてのチェーン転送が終了したとき割り込み要求を発生します。

ビット2	説明
IE	
0	DMATCR 指定転送回数終了時、割り込み要求を発生しない (初期値)
1	DMATCR 指定転送回数終了時、割り込み要求を発生する

ビット1：トランスファエンド (TE)

DMATCRで指定した回数の転送が終了したとき、またはCHNCNTで指定したチェーン転送のすべての転送が終了したとき、1にセットされるビットです。TEビットのセットされるタイミングは、ビット16 (TES) で指定します。このときIEビットが1にセットされている場合、割り込み要求を発生します。

TEが1にセットされる前にNMI割り込み、アドレスエラーの発生、DEビットまたはDMAORのDMEビットのクリアなどで転送が終了された場合は、TEビットは1にセットされません。このビットが1にセットされた状態でDEビットを1にセットしても、転送許可状態には入りません。

ビット1	説明
TE	
0	DMATCR 指定回数転送未終了 [クリア条件]：TE=1のリード後0バイト パワーオンリセット、スタンバイ (初期値)
1	DMATCR 指定回数転送終了またはCHNCNTで指定したチェーン転送のすべての転送が終了したとき

【注】モジュールスタンバイモードは初期化されません。

ビット0：DMACイネーブル (DE)

対応するチャンネルの動作を許可するビットです。

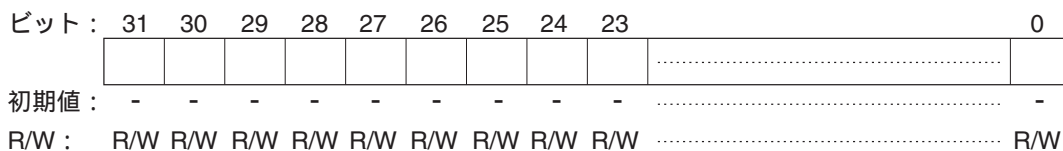
ビット0	説明
DE	
0	対応チャンネルの動作禁止 (初期値)
1	対応チャンネルの動作許可

オートリクエストを指定 (RS5~0で指定) した場合、このビットに1をセットすると転送に入ります。外部リクエスト、内蔵モジュールリクエストでは、このビットに1をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DEビットをセットしてもTEが1の場合、DMAORのDMEが0の場合、DMAORのNMIFまたはAEビットが1の場合は転送許可状態には入りません。

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.2.5 ネクストソースアドレスレジスタ 0~3 (NSAR0~NSAR3)

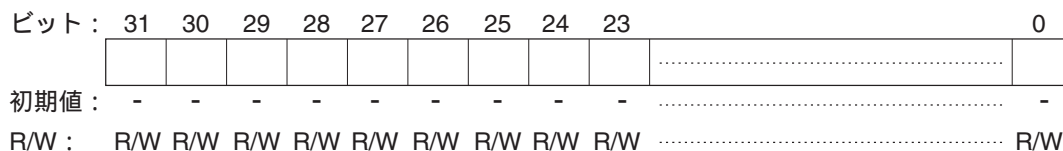


ネクストソースアドレスレジスタ 0~3 (NSAR0~NSAR3) は読み出し、書き込み可能な 32 ビットのレジスタで、チェーン転送設定時に次回転送分の転送元のアドレスを指定します。シングルアドレスモードにおいて $\overline{\text{DACK}}$ 付きデバイスを転送元に指定した場合、NSAR の値は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード時には、値は不定になります。

9.2.6 ネクストデスティネーションアドレスレジスタ 0~3 (NDAR0~NDAR3)



ネクストデスティネーションアドレスレジスタ 0~3 (NDAR0~NDAR3) は読み出し、書き込み可能な 32 ビットのレジスタで、チェーン転送設定時に次回転送分の転送先のアドレスを指定します。シングルアドレスモードにおいて、 $\overline{\text{DACK}}$ 付きデバイスを転送先に指定した場合、NDAR の値は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード時には、値は不定になります。

9.2.7 ネクストトランスファカウントレジスタ 0~3 (NDMATCR0~NDMATCR3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストトランスファカウントレジスタ 0~3 (NDMATCR0~NDMATCR3) は読み出し、書き込み可能な 32 ビットのレジスタで、チェーン転送設定時に次回転送分のそのチャンネルの転送回数 (バイト数、ワード数またはロングワード数) を指定します。

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード時には、値は不定になります。

9.2.8 チェーン転送回数カウントレジスタ 0~3 (CHNCNT0~CHNCNT3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チェーン転送回数カウントレジスタ 0~3 (CHNCNT0~CHNCNT3) は読み出し、書き込み可能な 32 ビットのレジスタで、チェーン転送設定時にチェーン転送回数を指定します。

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード時には、値は不定になり、チェーン転送を許可しない場合は、転送許可をする前にこのレジスタを 0 に初期化するか、CHCRn のビット 16 (TES) を 1 に設定してください。

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.2.9 DMA オペレーションレジスタ (DMAOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	RC3	RC2	RC1	RC0	-	-	-	-	-	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	R/W	R/W	R/W	R/W	R	R	R	R	R	R/(W)	R/(W)	R/W

【注】 AE, NMIFビットは、1リード後の0ライトのみクリア可能です。

DMAOR は読み出し、書き込み可能な 16 ビットのレジスタで、DMAC の転送モードを指定します。パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード時には、値は 0 に初期化されます。

ビット 15~12: 予約ビット

読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット 11~8: ラウンドロビンチャンネルセレクト 3~0 (RC3~RC0)

同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。ビット RC3~RC0 はそれぞれ CH3~CH0 に対応しており、ビットを 1 に設定すると対応するチャンネルはラウンドロビン方式により優先順位が決定されます。

ビット 11~8	説明
RCn	
0	対応するチャンネル CHn (n: 0~3) の優先順位は固定されます。すべての RC ビットが 0 の場合、チャンネル優先順位は CH0 > CH1 > CH2 > CH3 のようになります (初期値)
1	対応するチャンネル CHn (n: 0~3) はラウンドロビンにより優先順位が決定されます*

【注】 * 優先順位をラウンドロビン方式に設定する場合は、2 つ以上の RC ビットを 1 にしてください。
1 つの RC ビットのみを 1 に設定した場合、チャンネル間の優先順位は
CH0 > CH1 > CH2 > CH3
となります。
また、2 つ以上のチャンネルの優先順位をラウンドロビンにより決定する場合、CH2 と CH3 または、CH1 と CH2 と CH3 などのように必ずチャンネル番号が連続しているチャンネルを設定してください。CH0 と CH2 などのように、チャンネル番号が不連続なチャンネルの優先順位決定をラウンドロビンしたときの動作は保障しません。
CH1 と CH2 と CH3 の優先順位をラウンドロビンにする場合、他のチャンネルの優先順位の関係は
CH0 > CH1, CH2, CH3
ラウンドロビン
のようになります。

ビット 7~3: 予約ビット

読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット2：アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から AE に 1 をライトすることはできません。クリアは、1 リード後の 0 ライトのみ有効です。

ビット2	説明
AE	
0	アドレスエラーなし。DMA 転送許可状態 [クリア条件]：AE=1 リード後 AE=0 ライト (初期値)
1	アドレスエラーあり。DMA 転送禁止状態 [セット条件]：DMAC によるアドレスエラーの発生

ビット1：NMI フラグ (NMIF)

NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 をライトすることはできません。クリアは、1 リード後の 0 ライトのみ有効です。

ビット1	説明
NMIF	
0	NMI 入力なし。DMA 転送許可状態 [クリア条件]：NMIF=1 リード後 NMIF=0 ライト (初期値)
1	NMI 入力あり。DMA 転送禁止状態 [セット条件]：NMI 割り込みの発生

ビット0：DMAC マスタイネーブル (DME)

DMA 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中にこのビットがクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても CHCR の TE が 1、または DE が 0 の場合、DMAOR の NMIF または AE ビットが 1 の場合は転送許可状態には入りません。

ビット0	説明
DME	
0	全チャンネルの動作禁止 (初期値)
1	全チャンネルの動作許可

9.3 動作説明

DMAC は DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。DMA 転送には、シングルアドレスモードとデュアルアドレスモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

9.3.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、ネクストソースアドレスレジスタ (NSAR)、ネクストデスティネーションアドレスレジスタ (NDAR)、ネクストトランスファカウントレジスタ (NDMATCR)、チェーン転送回数レジスタ (CHNCNT) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

- (1) 転送許可状態かどうか (DE = 1, DME = 1, TE = 0, NMIF = 0, AE = 0) をチェックします。
- (2) 転送許可状態で転送要求が発生すると、1転送単位のデータ (TS0, TS1 の設定により決定) を転送します。オートリクエストモードの場合は、DE および DME が 1 にセットされると自動的に転送を開始します。一回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローはアドレスモード、バスモードにより異なります。
- (3) 指定された回数の転送を終える (DMATCR の値が 0 になる) と、1転送単位の転送を終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みが発生します*。
- (4) DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。
- (5) オートリクエストであるか、CHNE = 0 かつ TES = 1 に設定されている場合は、DMATCR_n = 0 で終了します。チェーン転送許可ビット (CHNE) を 1 に設定している場合、ネクストソースアドレスレジスタ (NSAR)、ネクストデスティネーションアドレスレジスタ (NDAR)、およびネクストトランスファカウントレジスタ (NDMATCR) の値がそれぞれ、DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR) にコピーされ、チェーン転送が開始されます。チェーン転送回数レジスタ (CHNCNT) が 0 になるとチェーン転送を終了します。

【注】* CHCR_n の TES ビットが 0 に設定されている場合は、CHNCNT_n の値が 0 になり、かつ DMATCR_n の値が 0 になったときに DEI 割り込みが発生します。

図 9.2 に上記のフローチャートを示します。

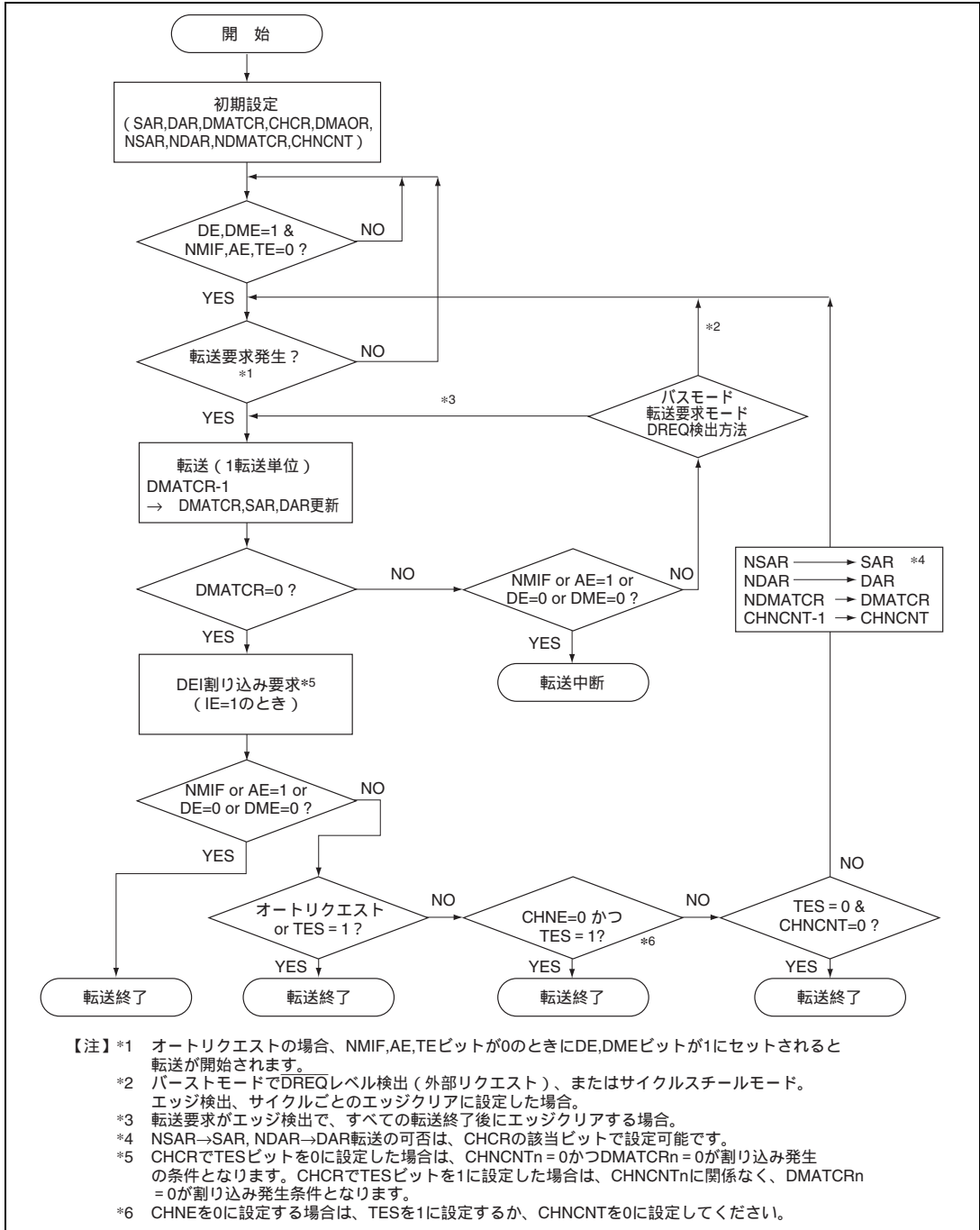


図 9.2 DMAC 転送フローチャート

9.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生されるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエスト、の3種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3) の RS4~RS0 ビットによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3のRSビットをオートリクエストモードにし、DEビットおよびDMAオペレーションレジスタ (DMAOR) のDMEビットを1にセットすると転送が開始されます。ただしCHCR0~CHCR3のTEビット、DMAORのNMIFビット、AEビットがすべて0である必要があります。

(2) 外部リクエストモード

外部リクエストモードは本LSIの外部デバイスからの転送要求信号 (\overline{DREQ}) によって転送を開始させるモードです。応用システムに応じて、表9.3に示すモードの中から1つを選んで使います。DMA転送が許可されているとき ($DE = 1, DME = 1, TE = 0, NMIF = 0, AE = 0$) に \overline{DREQ} が入力されるとDMA転送が開始されます。 \overline{DREQ} を立ち下がりエッジで検出するかローレベルで検出するかは、CHCR0~CHCR3のDSビットで選びます (DS = 0はレベル検出、DS = 1はエッジ検出)。ローレベル検出のときは、FIFOSビットで使用するFIFOを選択できます。エッジ検出のときにはFCSビットでエッジクリアタイミングを選択できます。転送要求元は必ずしもデータの転送元が転送先である必要はありません。

表 9.3 RS ビットによる外部リクエストモードの選択

RS4	RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	0	デュアルアドレスモード	任意*	任意*
0	0	0	1	0	シングルアドレスモード	外部メモリまたはメモリマップト外部デバイス	DACK 付き外部デバイス
0	0	0	1	1	シングルアドレスモード	DACK 付き外部デバイス	外部メモリまたはメモリマップト外部デバイス

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC, UBC, BSC を除く)

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本LSIの内蔵周辺モジュールからの転送要求信号 (割り込み要求信号) によって転送を開始させるモードです。転送要求信号には表9.4に示すように、タイマパルスユニット (TPU) からのコンペアマッチ割り込みまたはインプットキャプチャ割り込みの6種類、3つのシリアルコミュニケーションインタフェース (SCI) からの受信データフル割り込み (RXI)、送信データエンプティ割り込み (TXI)、2つのA/D変換器のA/D変換終了割り込み (ADI)、モータマネジメントタイマ (MMT) から2本の計16本があります。DMA転送が許可されているとき ($DE = 1, DME = 1, TE = 0, NMIF = 0, AE = 0$) に転送要求信号が入力されるとDMA転送が開始されます。

転送要求元は必ずしもデータの転送元が転送先である必要はありません。しかし、転送要求をRXI (SCIの受信データフルによる転送要求) に設定した場合は転送元はSCIのレシーブ

9. ダイレクトメモリアクセスコントローラ (DMAC)

FIFOデータレジスタ (SCFRDR) でなければなりません。転送要求をTXI (SCIの送信データエンピティによる転送要求) に設定した場合は、転送先はSCIのトランスミットFIFOデータレジスタ (SCFTDR) でなければなりません。転送要求をADInに設定した場合は、転送元をADデータレジスタ (ADDRn) に設定しなければなりません。

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する割り込み許可ビットをセットして、割り込み信号を出力させてください。

内蔵周辺モジュールの割り込み要求信号をDMA転送要求信号として使用した場合、CPUに対する割り込みは発生しません。

表9.4の転送要求信号は、対応するDMA転送が行われると、自動的に取り下げられます。バーストモードの場合、毎転送時または最後の転送時に行われる2つのモードを選択可能です。転送要求信号を取り下げる2つのモード選択はチャンネルコントロールレジスタ (CHCR) のフラグクリアタイミングセレクトビット (FCS) で指定します。

表 9.4 RS ビットによる内蔵周辺モジュールリクエストモードの選択

RS4	RS3	RS2	RS1	RS0	DMAC 転送要求元	DMAC 転送要求信号	転送元	転送先	バーストモード
0	1	0	0	0	TPU	TGI0A 割り込み	任意*	任意*	バースト/サイクルスチールモード
0	1	0	0	1	TPU	TGI1A 割り込み	任意*	任意*	バースト/サイクルスチールモード
0	1	0	1	0	TPU	TGI2A 割り込み	任意*	任意*	バースト/サイクルスチールモード
0	1	0	1	1	TPU	TGI3A 割り込み	任意*	任意*	バースト/サイクルスチールモード
0	1	1	0	0	TPU	TGI4A 割り込み	任意*	任意*	バースト/サイクルスチールモード
0	1	1	0	1	TPU	TGI5A 割り込み	任意*	任意*	バースト/サイクルスチールモード
0	1	1	1	0	A/D 変換器	ADI0(A/D 変換終了割り込み)	ADDR0	任意*	バースト/サイクルスチールモード
0	1	1	1	1	A/D 変換器	ADI1(A/D 変換終了割り込み)	ADDR1	任意*	バースト/サイクルスチールモード
1	0	0	0	0	SCI0 送信部	TXI0 (SCI0 送信データエンピティによる転送要求)	任意*	TDR0	バースト/サイクルスチールモード
1	0	0	0	1	SCI0 受信部	RXI0 (SCI0 受信データフルによる転送要求)	RDR0	任意*	バースト/サイクルスチールモード
1	0	0	1	0	SCI1 送信部	TXI1 (SCI1 送信データエンピティによる転送要求)	任意*	TDR1	バースト/サイクルスチールモード

9. ダイレクトメモリアクセスコントローラ (DMAC)

RS4	RS3	RS2	RS1	RS0	DMAC 転送要求元	DMAC 転送要求信号	転送元	転送先	バスモード
1	0	0	1	1	SCI1 受信部	RXI1 (SCI1 受信データフルによる転送要求)	RDR1	任意*	バースト/サイクルスチールモード
1	0	1	0	0	SCI2 送信部	TXI2 (SCI2 送信データエンブティによる転送要求)	任意*	TDR2	バースト/サイクルスチールモード
1	0	1	0	1	SCI2 受信部	RXI2 (SCI2 受信データフルによる転送要求)	RDR2	任意*	バースト/サイクルスチールモード
1	1	0	0	0	MMT	TGM	任意*	任意*	バースト/サイクルスチールモード
1	1	0	0	1	MMT	TGN	任意*	任意*	バースト/サイクルスチールモード

【記号説明】

TPU : タイマパルスユニット

SCI0、SCI1、SCI2 : シリアルコミュニケーションインタフェースのチャンネル0~2

ADDR0、ADDR1 : A/D 変換器 0、1 の A/D データレジスタ

TDRn、RDRn : SCI チャンネル n (n : 0~2) の SCFTDRn、SCFRDRn

MMT : モータマネジメントタイマ

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC, BSC, UBC を除く)

9.3.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 種類のモードから選択可能です。モードの選択は DMA オペレーションレジスタ (DMAOR) のラウンドロビンチャンネルセレクトビット (RC0~3) で行われます。チャンネルの優先順位を固定モードで使用する場合は、すべてのチャンネルに相当するラウンドロビンチャンネルセレクトビットを 0 にしておきます。ラウンドロビンモードで使用する場合には、ラウンドロビン方式で使いたいチャンネルのラウンドロビンチャンネルセレクトビットを 1 にしておきます。このとき、チャンネル番号が不連続なチャンネルを対象チャンネルとして設定することはできません。

(1) 固定モード

固定モードではチャンネルの順位は変化しません。固定モードのチャンネルの優先順位は、初期状態である

CH0 > CH1 > CH2 > CH3

となります。

固定モードでの転送を行うためには、DMA オペレーションレジスタ (DMAOR) のラウンドロビンチャンネルセレクトビット (RS0~3) をすべて 0 に設定しなければなりません。

(2) ラウンドロビンモード

ラウンドロビンモードでは、一つのチャンネルで1転送単位(バイト、ワード、またはロングワード)の転送が終了するごとに、そのチャンネルの優先順位が一番低くなるように優先順位を変更します。DMA オペレーションレジスタ (DMAOR) のラウンドロビンチャンネルセレクトビット (RC0~3) で指定したチャンネルがラウンドロビンの対象となります。チャンネル番号の連続しているチャンネルのみ指定可能であり、不連続なチャンネルをラウンドロビンの対象に指定した場合の動作は保証されていません。また、1つのチャンネルのみを対象にした場合は、固定モードと同じチャンネル優先順位になります。

CH0~CH3 をラウンドロビンの対象にした場合の動作を図 9.3 に示します。リセット直後のラウンドロビンモードの優先順位は、初期優先順位

CH0 > CH1 > CH2 > CH3

に設定されています。

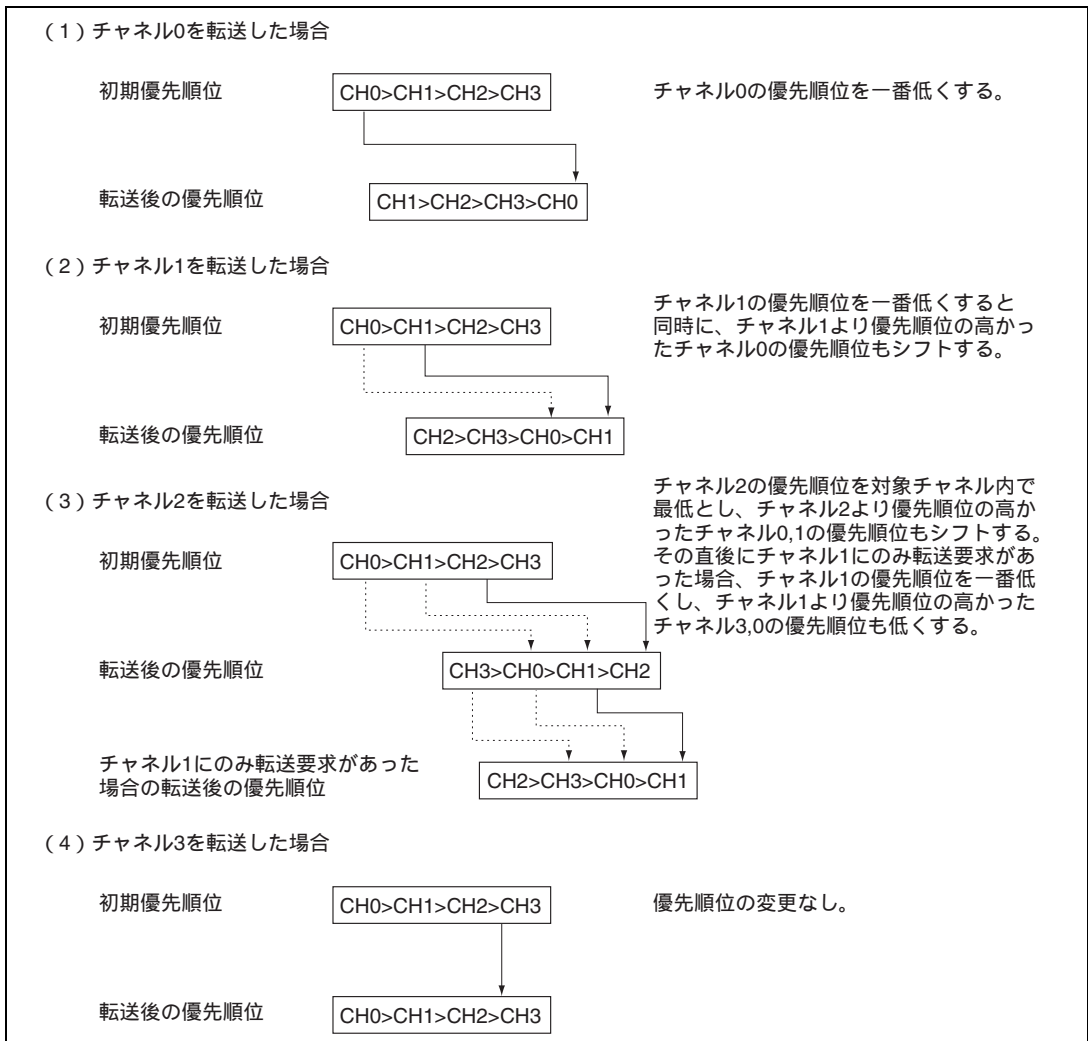


図 9.3 ラウンドロビンモード

9. ダイレクトメモリアクセスコントローラ (DMAC)

図 9.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下ようになります。

- (1) チャンネル0とチャンネル3に同時に転送要求が発生します。
- (2) チャンネル0のほうがチャンネル3より優先順位が高いので、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
- (3) チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
- (4) チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
- (5) この時点でチャンネル1のほうがチャンネル3より優先順位が高いので、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
- (6) チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
- (7) チャンネル3の転送を開始します。
- (8) チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

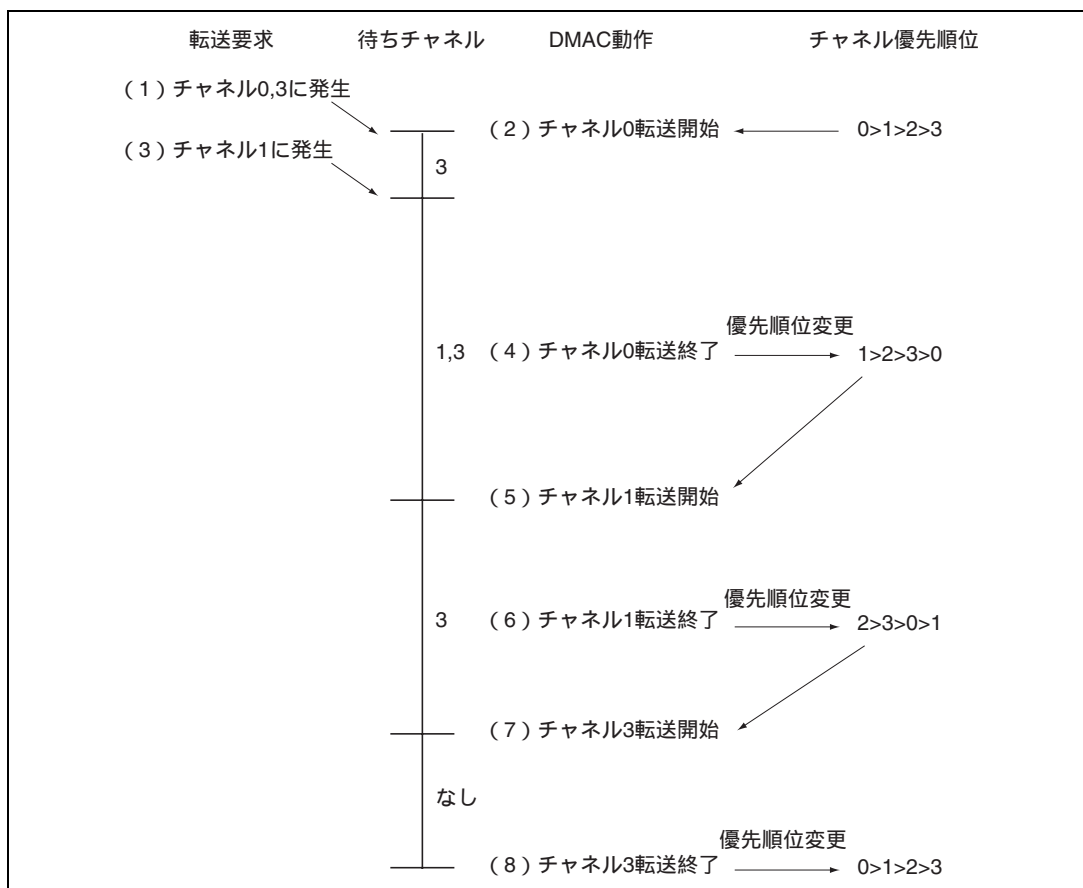


図 9.4 ラウンドロビンモードでのチャンネル優先順位変更例

9.3.4 DMA 転送の種類

DMAC がサポートできる転送は表 9.5 に示すとおりで、転送元か転送先いずれか一方をアクノリッジ信号でアクセスするシングルアドレスモードと、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードに分類されます。具体的な転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 9.5 サポートできる DMA 転送

転送元	転送先				
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き 外部デバイス	不可	シングルアドレ スモード	シングルアドレ スモード	不可	不可
外部メモリ	シングルアドレ スモード	デュアルアドレ スモード	デュアルアドレ スモード	デュアルアドレ スモード	デュアルアドレ スモード
メモリマップト 外部デバイス	シングルアドレ スモード	デュアルアドレ スモード	デュアルアドレ スモード	デュアルアドレ スモード	デュアルアドレ スモード
内蔵メモリ	不可	デュアルアドレ スモード	デュアルアドレ スモード	デュアルアドレ スモード	デュアルアドレ スモード
内蔵周辺 モジュール	不可	デュアルアドレ スモード	デュアルアドレ スモード	デュアルアドレ スモード	デュアルアドレ スモード

9. ダイレクトメモリアクセスコントローラ (DMAC)

(1) アドレスモード

(a) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部にあり、そのうちの一方を $\overline{\text{DACK}}$ 信号によってアクセスし、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは DMAC は、外部 I/O へのストロープ信号 ($\overline{\text{DACK}}$) を、転送元か転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出してアクセスします。これにより、1つのバスサイクルで DMA 転送を行うことができます。たとえば図 9.5 のような外部メモリと $\overline{\text{DACK}}$ 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

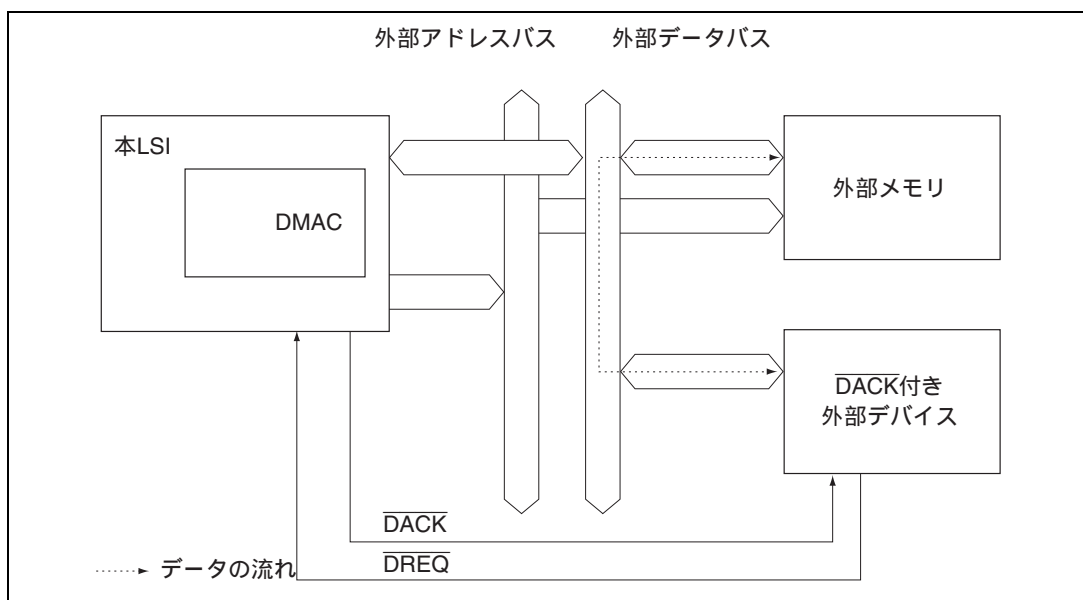


図 9.5 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、(1) $\overline{\text{DACK}}$ 付き外部デバイスとメモリマップト外部デバイス間転送、(2) $\overline{\text{DACK}}$ 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は、外部リクエスト ($\overline{\text{DREQ}}$) のみです。

図 9.6 にシングルアドレスモードでの DMA 転送タイミングを示します。

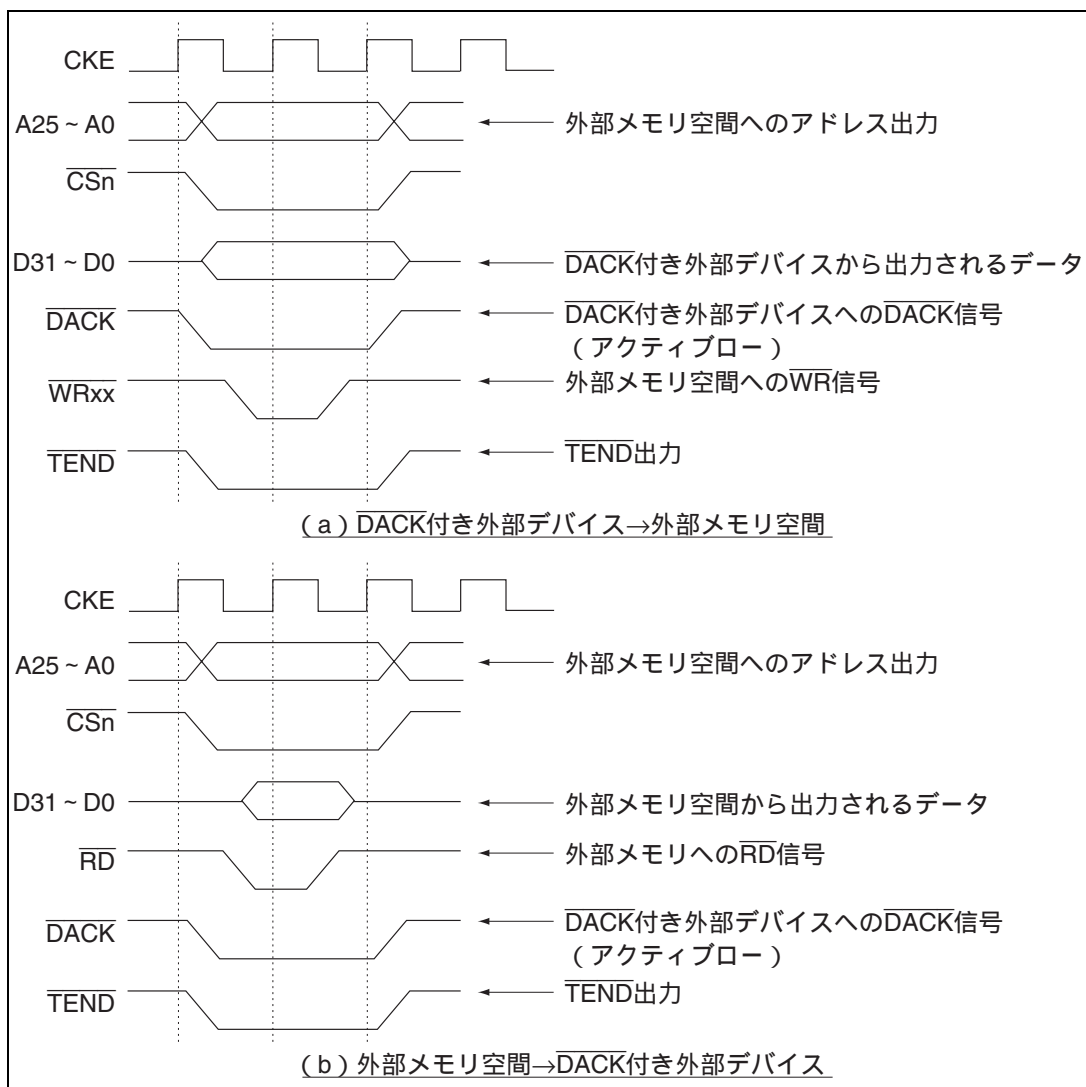


図 9.6 シングルアドレスモードでの DMA 転送タイミング

9. ダイレクトメモリアクセスコントローラ (DMAC)

(b) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は内部でも外部でもかまいません。

デュアルアドレスモードではデータ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。この時転送データは一時的にDMACに格納されます。図9.7のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また図9.8にこの場合のタイミング例を示します。

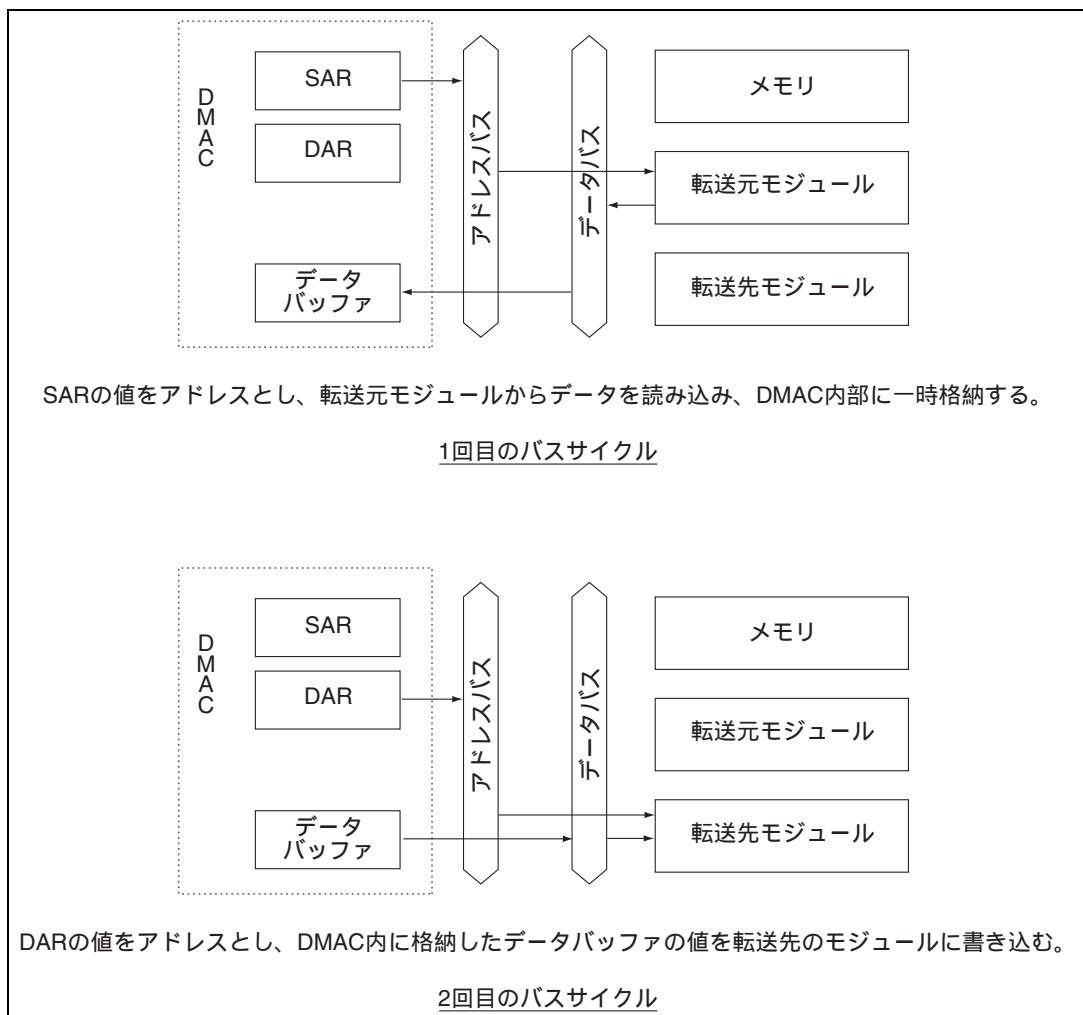


図 9.7 デュアルアドレスモードの動作説明

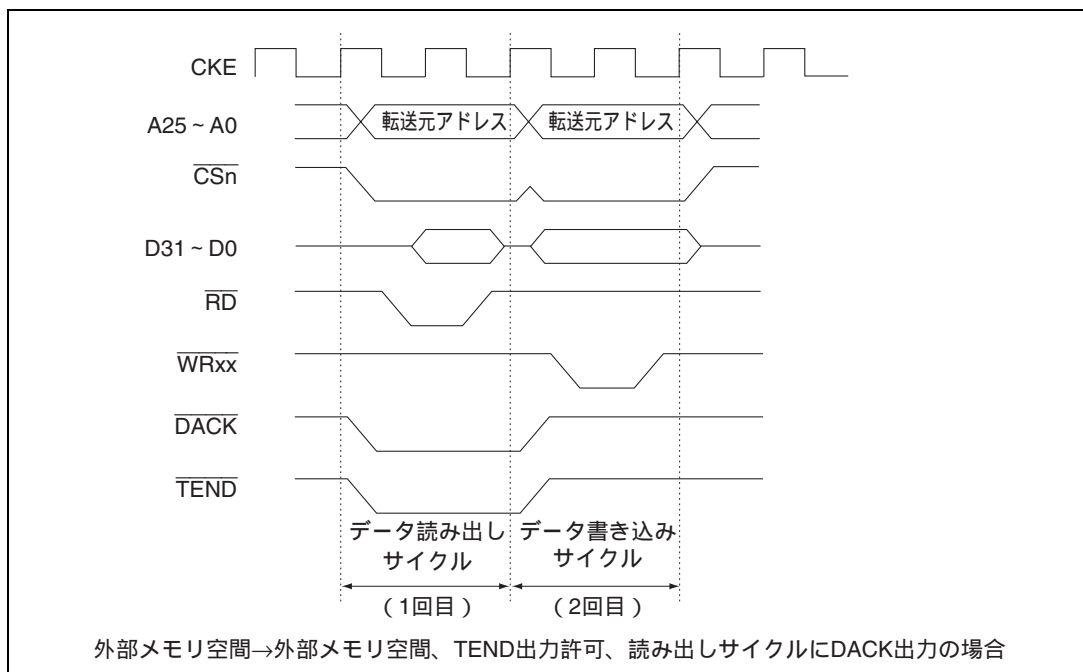


図 9.8 デュアルアドレスモードでの転送タイミング例

9. ダイレクトメモリアクセスコントローラ (DMAC)

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0~CHCR3 の TM ビットによって行います。

(a) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (8 ビット、16 ビット、32 ビット) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 9.9 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- $\overline{\text{DREQ}}$ レベル検出 (16 段 FIFO 使用)

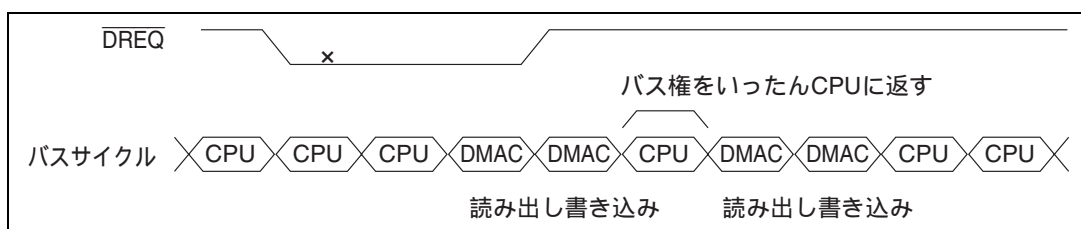


図 9.9 サイクルスチールモードでの DMA 転送例

(b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を開放せずに転送を続けます。ただし外部リクエストモードで、 $\overline{\text{DREQ}}$ をローレベルで検出する場合には、 $\overline{\text{DREQ}}$ がハイレベルになると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMAC 転送要求を終了した後に他のバスマスタにバス権を渡します。

図 9.10 にバーストモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- シングルアドレスモード
- $\overline{\text{DREQ}}$ レベル検出 (16 段 FIFO 使用)

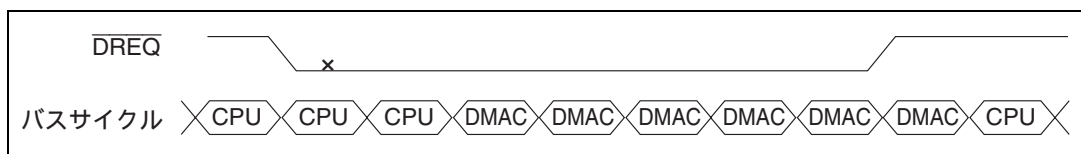


図 9.10 バーストモードでの DMA 転送例

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 9.6 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 9.6 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32	0, 1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32	0, 1
デュアル	外部メモリと外部メモリ	すべて可 ^{*1}	B/C	8/16/32	0~3
	外部メモリとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0~3
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0~3
	外部メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0~3
	外部メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C	8/16/32 ^{*3}	0~3
	メモリマップト外部デバイスと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0~3
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*2}	B/C	8/16/32 ^{*3}	0~3
	内蔵メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0~3
	内蔵メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C	8/16/32 ^{*3}	0~3
内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*2}	B/C	8/16/32 ^{*3}	0~3	

【記号説明】

B : バースト

C : サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、SCI と A/D 変換器を転送要求元に指定するのは不可。
- *2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元も SCI または A/D 変換器の場合には、転送元または転送先がそれぞれ SCI か A/D 変換器である必要があります。
- *3 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。

9. ダイレクトメモリアクセスコントローラ (DMAC)

(4) バスモードとチャンネルの優先順位

たとえばチャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、直ちにチャンネル 0 の転送を開始します。

このとき優先順位の設定が固定モード (CH0 > CH1) の場合、チャンネル 0 の設定がバーストモードの場合、チャンネル 0 の転送がすべて終了してからチャンネル 1 の転送を続けます。

優先順位がラウンドロビンの場合、チャンネル 0 の設定がサイクルスチールモードでもバーストモードであっても、チャンネル 0 が 1 転送単位を行ったあと、チャンネル 1 が転送を再開します。その後もチャンネル 1 → チャンネル 0 → チャンネル 1 → チャンネル 0 というようにバス権を交互に入れ替えます。

優先順位の設定が固定でもラウンドロビンでも、チャンネル 1 がバーストモードなので、この間 CPU にはバス権は渡りません。

ラウンドロビンの場合の例を図 9.11 に示します。

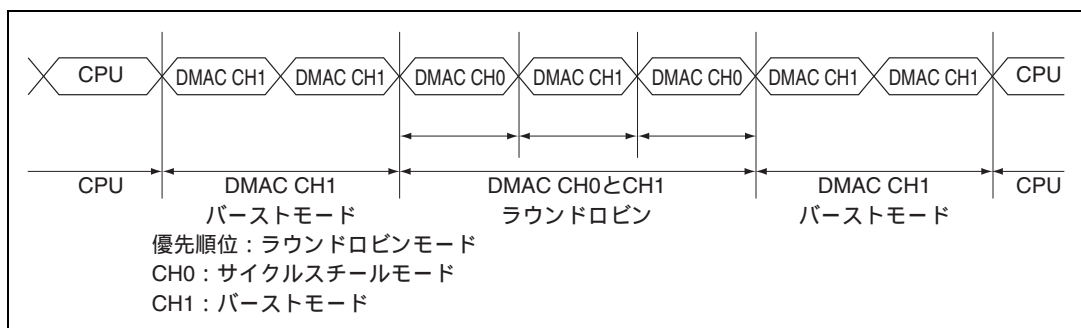


図 9.11 複数チャンネルが動作する場合のバス状態

9.3.5 バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタであるときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは「第 8 章 バスステートコントローラ (BSC)」を参照してください。

(2) $\overline{\text{DREQ}}$ 端子のサンプリングと $\overline{\text{DRAK}}$ 信号

外部リクエストモードにおいて、各チャンネルの $\overline{\text{DREQ}}$ 端子は立ち下がりエッジまたはローレベル検出でサンプリングされます。各チャンネルの $\overline{\text{DREQ}}$ サンプリング回路はノイズキャンセラとエッジ検出回路、16 段 FIFO、1 段 FIFO を内蔵しています。

$\overline{\text{DREQ}}$ 端子は立ち下がりエッジ検出、ローレベル検出にかかわらず、ノイズキャンセラ回路を経由してサンプリングされます。ノイズキャンセラでは、はじめの 1 クロックサイクル分の $\overline{\text{DREQ}}$ 入力を無視することによって 1 クロックサイクル以下のノイズを消去します。

ノイズキャンセラを経由した外部リクエスト信号は、3 つの $\overline{\text{DREQ}}$ サンプリング方法の設定に従って、立ち下がりエッジ検出、16 段 FIFO によるローレベル検出、1 段 FIFO によるローレベル検出のいずれかでサンプリングされます。

いずれの $\overline{\text{DREQ}}$ サンプリング方法に設定した場合でも、1 回の $\overline{\text{DREQ}}$ サンプリングに対して CKE の 1 ステート分の $\overline{\text{DRAK}}$ 信号が出力されます。 $\overline{\text{DRAK}}$ 信号は、サイクルスチール/バーストモード、 $\overline{\text{DREQ}}$ サンプリング方法にかかわらず、サンプリングした $\overline{\text{DREQ}}$ に対する DMA 転送サイクルの発生

が確定したときに出力されます。 $\overline{\text{DRAK}}$ 信号は CKE に同期して出力されますが、外部バスサイクルから出力タイミングを規定することはできません。

(a) $\overline{\text{DREQ}}$ 立ち下がりエッジ検出

$\overline{\text{DREQ}}$ を立ち下がりエッジ検出した場合、 $\overline{\text{DREQ}}$ のサンプリングは FIFO に蓄積されず、1 つの立ち下がりエッジに対して DMA 転送を行います。ノイズキャンセル機能により $\overline{\text{DREQ}}$ 入力のはじめの 1 ステートは無視されますので、必ず 2 ステート以上の $\overline{\text{DREQ}}$ 入力を行ってください。シングル/デュアルアドレスモード、サイクルスチール/バーストモードにかかわらず、 $\overline{\text{DREQ}}$ のサンプリングは同様に行われます。

$\overline{\text{DREQ}}$ 立ち下がりエッジ検出では、シングル/デュアルアドレスモード、サイクルスチール/バーストモードにかかわらず、1 つの立ち下がりエッジ検出で起動される転送の回数の設定を行うことができます。以下の設定は、各チャンネルのチャンネルコントロールレジスタ (CHCR) のフラグクリアタイミングセレクト (FCS) ビットで行うことができます。

- 1 つの立ち下がりエッジに対して 1 回の転送を行う。
- 1 つの立ち下がりエッジに対して DMA トランスファカウントレジスタ (DMATCR) に設定した回数だけ転送を行う。

フラグクリアタイミングセレクト (FCS) ビットの設定にかかわらず、前に検出した立ち下がりエッジによる転送中には、次の $\overline{\text{DREQ}}$ の立ち下がりエッジを無視する期間があります。次の立ち下がりエッジ入力は実行中の転送の最後の $\overline{\text{DACK}}$ が出力されてから行ってください。

$\overline{\text{DRAK}}$ 信号は、1 つの立ち下がりエッジに対して 1 回だけ出力されます。フラグクリアタイミングセレクト (FCS) ビットの設定にかかわらず、はじめの DMA 転送サイクルのアドレス出力と同じか、より早く出力されます。

1 つの立ち下がりエッジで 1 回の DMA 転送を行う場合の動作例を図 9.12 に示します。図 9.12 はサイクルスチールモードの例ですが、バーストモードに設定していても 1 つの立ち下がりエッジに対する転送は 1 回で終了します。1 つの立ち下がりエッジで DMA トランスファカウントレジスタ (DMATCR) に設定した回数の DMA 転送を行う場合の動作例を図 9.13 に示します。

(b) 16 段 FIFO による $\overline{\text{DREQ}}$ ローレベル検出

$\overline{\text{DREQ}}$ をローレベル検出に設定した場合、 $\overline{\text{DREQ}}$ は、 CKE の立ち上がりで毎サイクルサンプリングされます (図 9.14)。ノイズキャンセル機能により $\overline{\text{DREQ}}$ 入力のはじめの CKE 立ち上がりではサンプリングを行いません。サンプリングされた $\overline{\text{DREQ}}$ は 16 段 FIFO に蓄積されます。蓄積されたサンプリング結果 1 つに対して 1 回の DMA 転送が行われ、蓄積されたサンプリング数分の転送が必ず行われます。 $\overline{\text{DREQ}}$ を継続的に入力した場合、サンプリングは FIFO が満たされるまで行われますが、FIFO が満たされた後の $\overline{\text{DREQ}}$ 入力サンプリングは行われません (図 9.15)。FIFO は 1 回のサンプリングごとにインクリメントされ、次の DMA 転送サイクルの発生が確定した時点でデクリメントされます。FIFO のデクリメントタイミングは外バスサイクルから常に規定できませんが、 CKE と CKM の周波数比が 1 : 1 である場合、DMA 転送サイクルの前のバスサイクルが始まる所 (図 9.14 の (A)、(B)、(C)、(D)、(E) のタイミング) になります。16 段 FIFO では、FIFO のインクリメントとデクリメントが競合した場合、両者を同時に行います。このときの FIFO の動作は、図 9.14 の (A)、(B)、(C)、(D)、(E) のようになります。 $\overline{\text{DRAK}}$ 信号は、FIFO デクリメントタイミングの 1 ステート後に出力され、当該 DMA 転送サイクルのアドレス出力と同じか、より早いタイミングで出力されます。 $\overline{\text{DRAK}}$ 信号は、 $\overline{\text{DREQ}}$ のサンプリング数だけ出力されます。

この $\overline{\text{DREQ}}$ サンプリング方式は、シングル/デュアルアドレスモード、サイクルスチール/バーストモードの各転送モードによらず、同様に行われます (図 9.16 ~ 図 9.18)。

9. ダイレクトメモリアクセスコントローラ (DMAC)

(c) 1 段 FIFO による $\overline{\text{DREQ}}$ ローレベル検出

1 段 FIFO による $\overline{\text{DREQ}}$ ローレベル検出は、最速動作時の外バスサイクルが CKE の 2 ステート以上のときに選択してください。最速動作時の外バスサイクルが CKE の 2 ステート以上の場合、 $\overline{\text{DRAK}}$ 信号出力で $\overline{\text{DREQ}}$ 入力をやめると、ここで出力された $\overline{\text{DRAK}}$ に対する DMA 転送サイクルの次の DMA 転送を必ず 1 回行ってから転送をやめます (図 9.19)。最速動作時の外バスサイクルが CKE の 1 ステートの場合に 1 段 FIFO によるローレベル検出を選択すると、DMA サイクルのオーバーラン数が保証されません。

1 段 FIFO は、16 段 FIFO と同様に CKE の立ち上がりで $\overline{\text{DREQ}}$ サンプルングを行います。ノイズキャンセル機能により、 $\overline{\text{DREQ}}$ 入力のはじめの CKE 立ち上がりではサンプルングを行いません。サンプルングされた $\overline{\text{DREQ}}$ は 1 段 FIFO に蓄積され、FIFO は 1 回のサンプルングで満たされます。 $\overline{\text{DRAK}}$ 信号は、当該 DMA 転送サイクルのアドレス出力と同じか、より早いタイミングで出力され、 $\overline{\text{DREQ}}$ のサンプルング数だけ出力されます。

1 段 FIFO は、16 段 FIFO とサンプルング条件が異なります。16 段 FIFO では FIFO のインクリメントとデクリメントを同時に行いますが (図 9.19 参照)、1 段 FIFO ではデクリメントによって FIFO がクリアされてから次のサンプルングを行います。FIFO のデクリメントのタイミングは、 $\overline{\text{DRAK}}$ 信号が出力されるタイミングです。1 段 FIFO によるローレベル検出で $\overline{\text{DREQ}}$ をサンプルングしてシングル/バーストモードの DMA 転送を行った場合の動作例を図 9.19 に示します。図 9.19 で $\overline{\text{DRAK}}$ 出力の時点 (図中 A) で $\overline{\text{DREQ}}$ 入力をやめる (図中 B) と、当該 DMA サイクルの次の DMA 転送サイクルを行って転送を終了します。この $\overline{\text{DREQ}}$ サンプルング方式は、シングル/デュアルアドレスモード、サイクルスチール/バーストモードの各転送モードによらず、同様に行われます (図 9.20 ~ 図 9.22)。

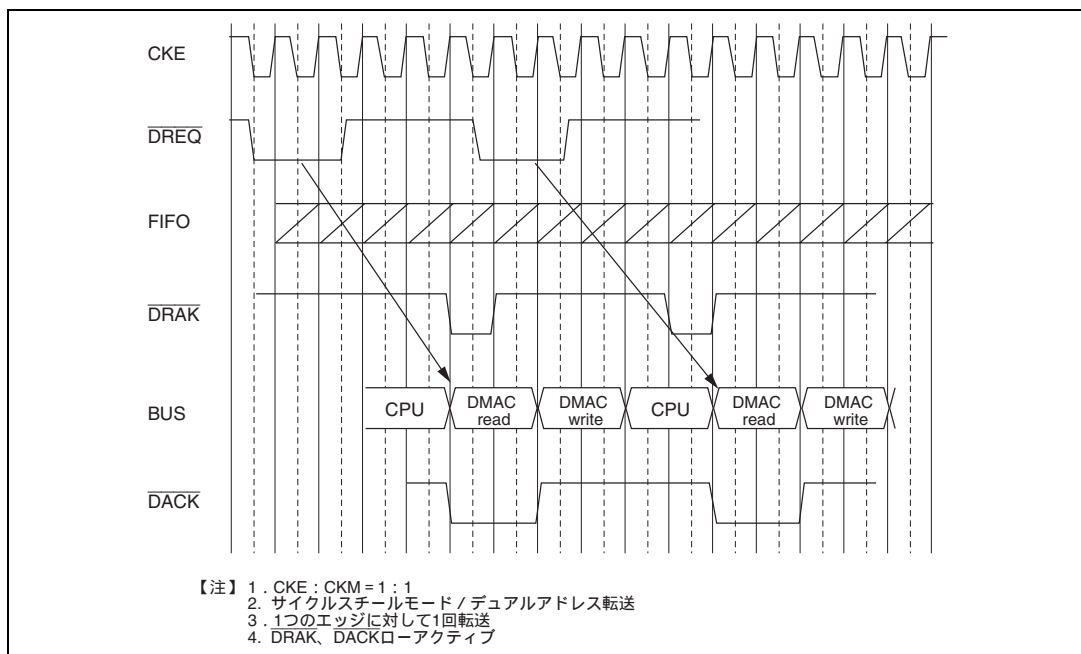


図 9.12 CKE = CKM、エッジ検出、1 エッジで 1 回転送の場合の動作例

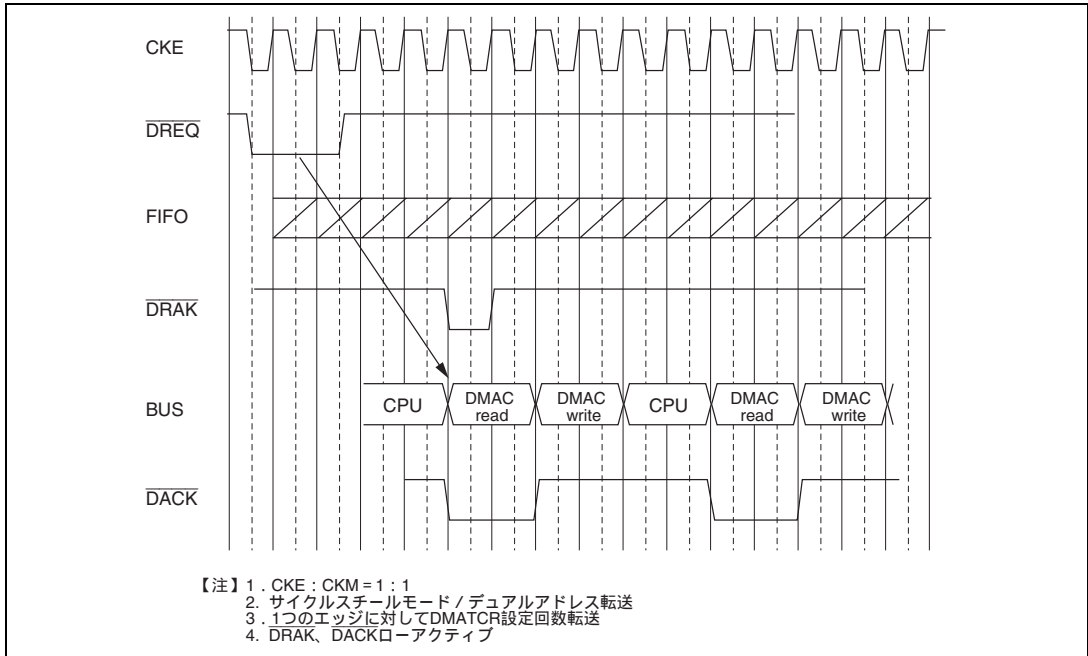


図 9.13 CKE = CKM、エッジ検出、1 エッジで設定回数転送の場合の動作例

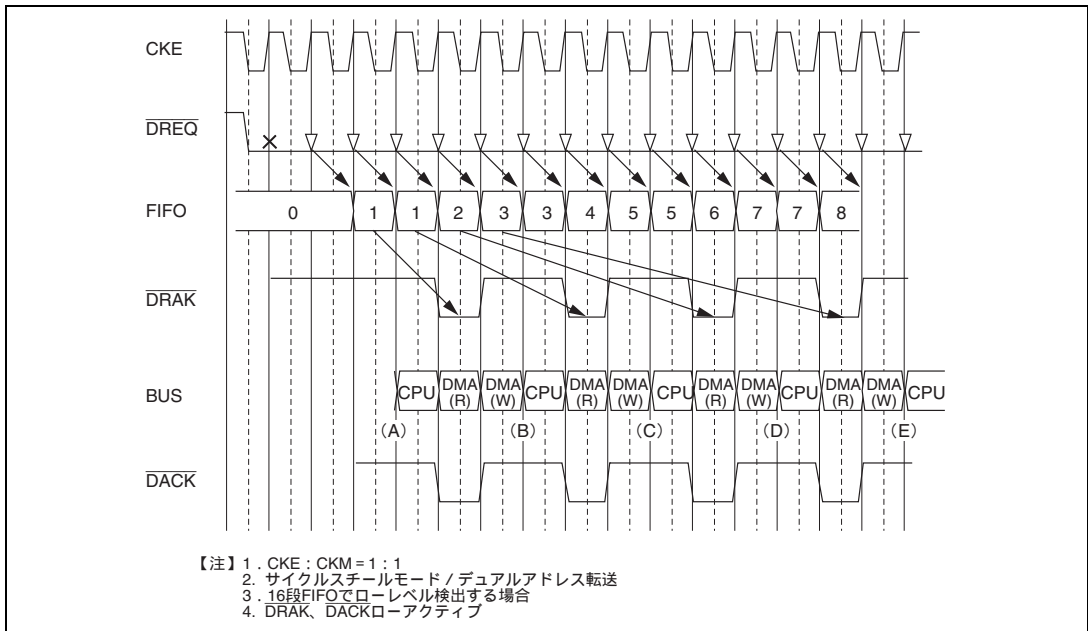


図 9.14 CKE = CKM、ローレベル検出、16 段 FIFO 使用の場合の動作例 (1)
 (デュアルアドレス / サイクルスチールモードでの最速動作時)

9. ダイレクトメモリアクセスコントローラ (DMAC)

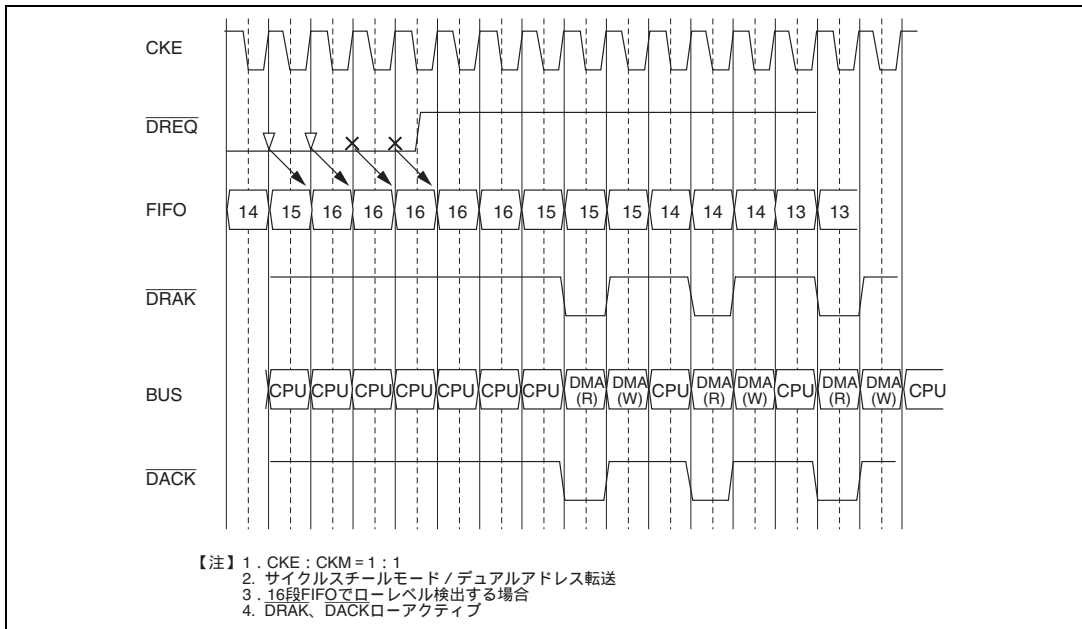


図 9.15 CKE = CKM、ローレベル検出、16 段 FIFO 使用の場合の動作例 (2)
FIFO=FULL 時のサンプリング動作 (デュアルアドレス / サイクルスチールモード)

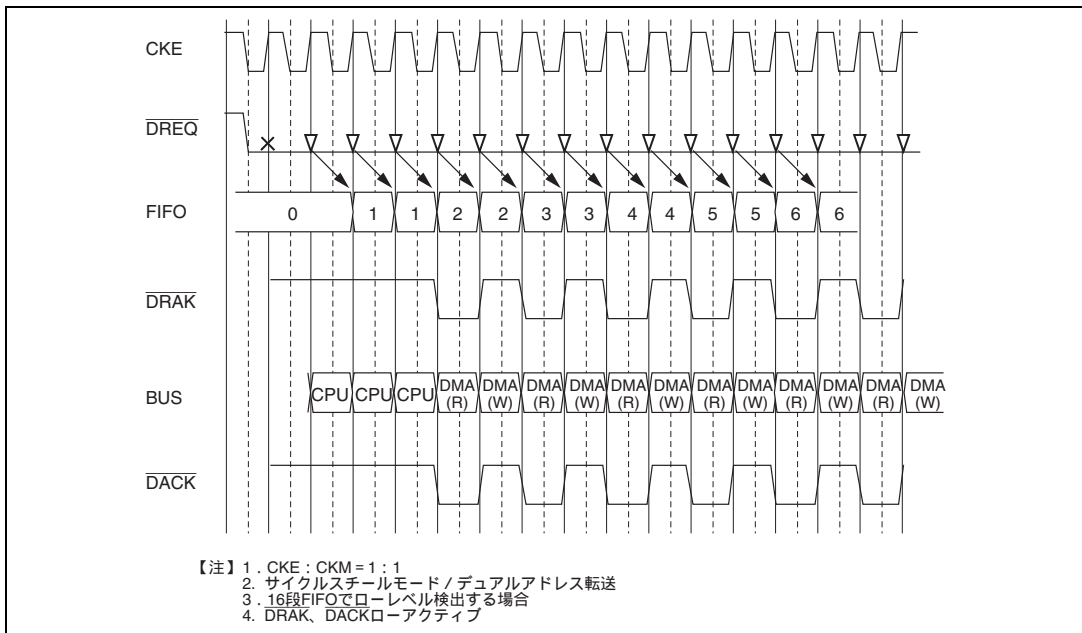


図 9.16 CKE = CKM、ローレベル検出、16 段 FIFO 使用の場合の動作例 (3)
(デュアルアドレス / バーストモード)

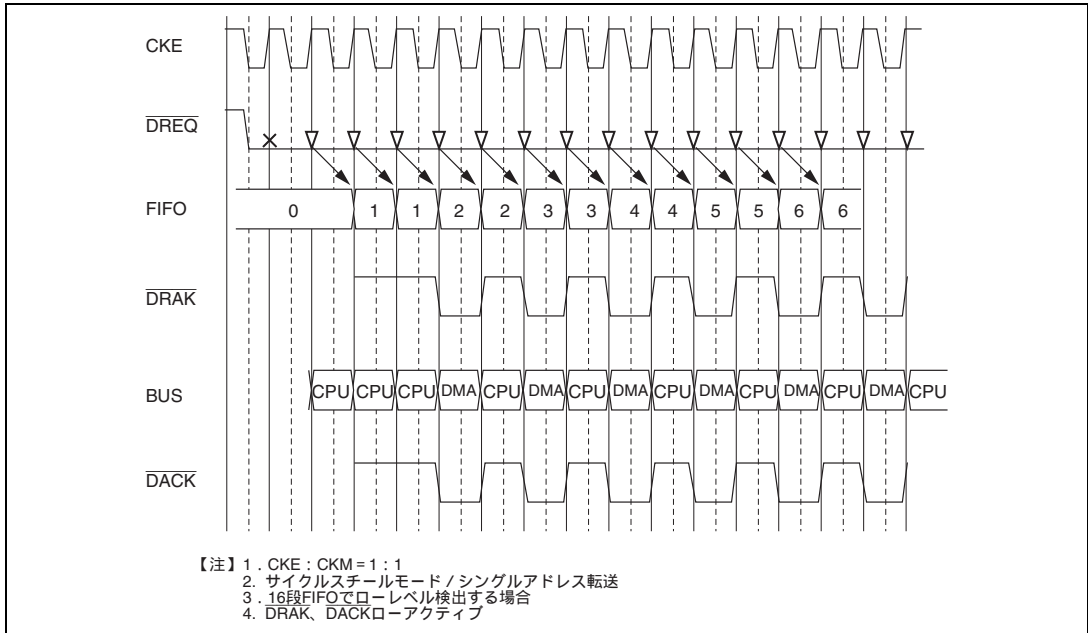


図 9.17 CKE = CKM、ローレベル検出、16 段 FIFO 使用の場合の動作例 (4)
 (シングルアドレス / サイクルスチールモード)

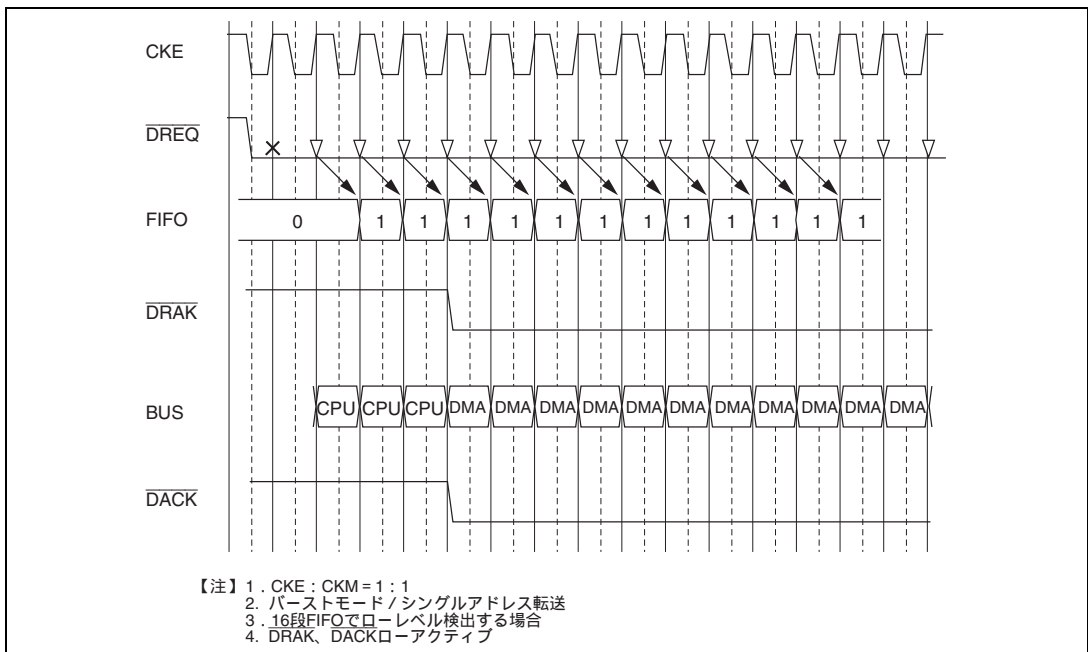


図 9.18 CKE = CKM、ローレベル検出、16 段 FIFO 使用の場合の動作例 (5)
 (シングルアドレス / バーストモード)

9. ダイレクトメモリアクセスコントローラ (DMAC)

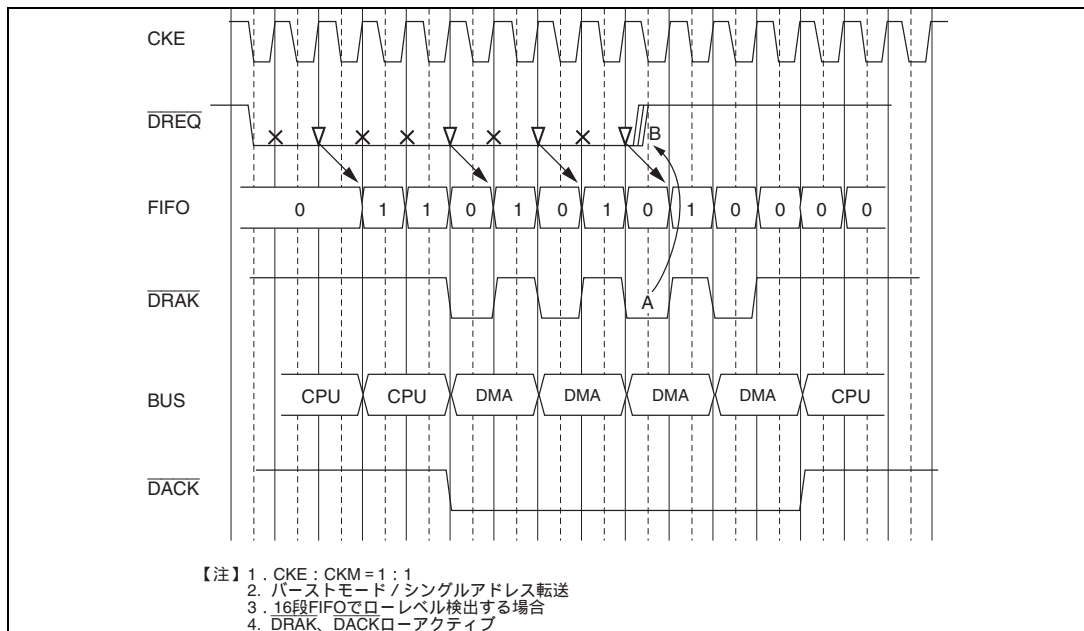


図 9.19 CKE = CKM、ローレベル検出、1 段 FIFO 使用の場合の動作例 (1)
(シングルアドレス/バーストモード/最速動作)

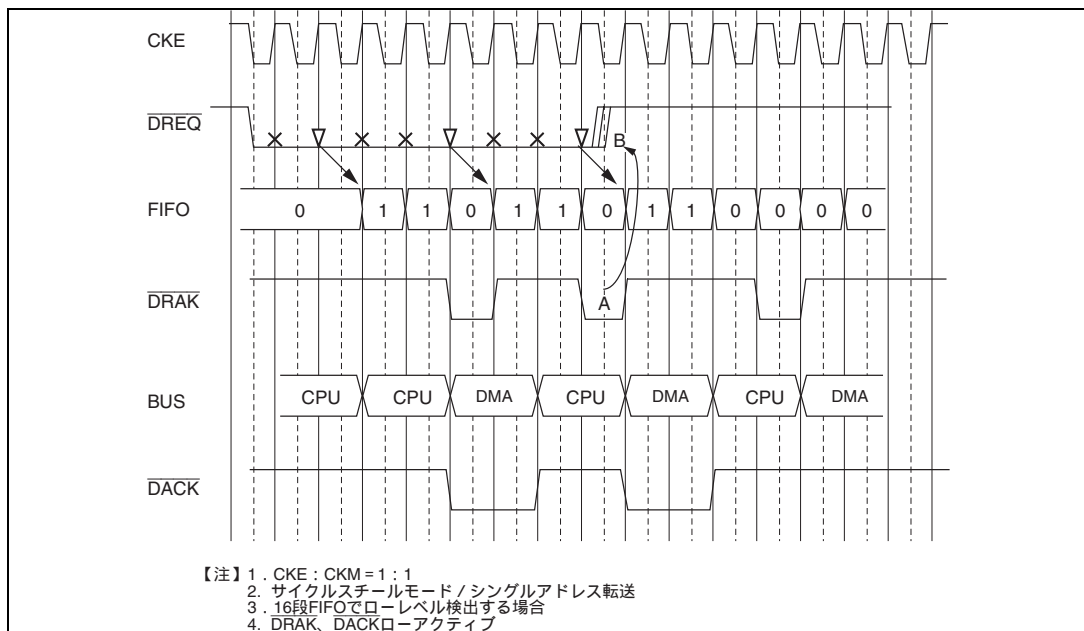


図 9.20 CKE = CKM、ローレベル検出、1 段 FIFO 使用の場合の動作例 (2)
(シングルアドレス/サイクルスチールモード)

9. ダイレクトメモリアクセスコントローラ (DMAC)

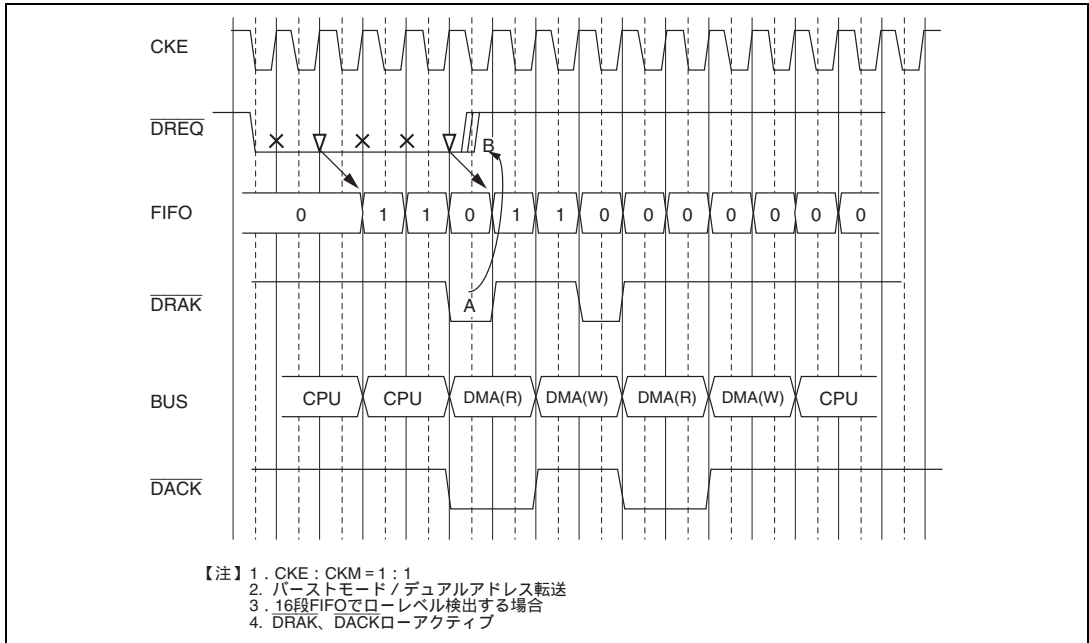


図 9.21 CKE = CKM、ローレベル検出、1 段 FIFO 使用の場合の動作例 (3)
 (デュアルアドレス / バーストモード)

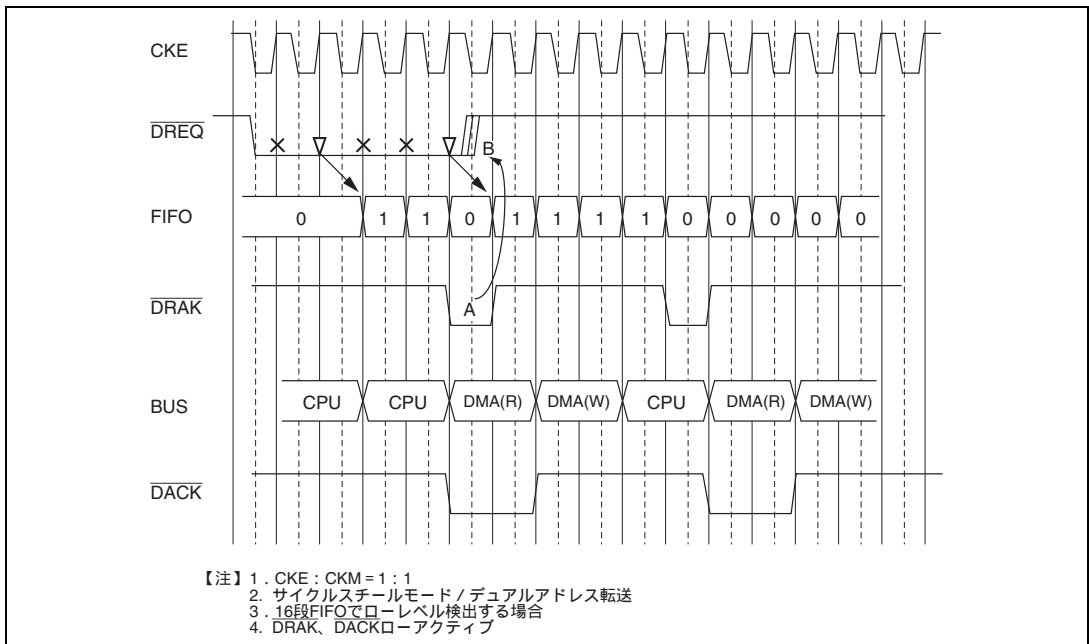


図 9.22 CKE = CKM、ローレベル検出、1 段 FIFO 使用の場合の動作例 (4)
 (デュアルアドレス / サイクルスチールモード)

9. ダイレクトメモリアクセスコントローラ (DMAC)

(3) DREQ サンプリングに関するクロック分周の制限

本 LSI は、クロック発振器 (CPG) の周波数制御レジスタ (FRQCR) を設定することにより、マスタクロック (CKM) と外部バスクロック (CKE) の周波数を独自に設定することができます。外部リクエストによって DMAC を起動する場合、マスタクロック (CKM) の周波数は、外部バスクロック (CKE) の周波数と同じか、より高い周波数に設定しなければなりません。マスタクロック (CKM) の周波数を外部バスクロック (CKE) の周波数より低く設定した場合、立ち下がりエッジ検出 / ローレベル検出にかかわらず正しくサンプリングされず、外部リクエストから転送回数を規定できない DMA 転送が行われます。各クロックの周波数設定の詳細は、「第 4 章 クロック発振器 (CPG) と低消費電力モード」を参照してください。

9.3.6 DMA と CPU の並列動作

本 LSI は、C バス、I バスという 2 つの 32 ビット内部バスを持っており、C バス上では、DMA がマスタとなることはありません。したがって、DMA 転送中に CPU は C バスからマスク ROM、内蔵フラッシュメモリにアクセスすることが可能です。ただし、DMA コントローラが X-RAM または Y-RAM にアクセスしている場合、CPU が同じ RAM に同時にアクセスすることはできません。

DMA と CPU の並列動作が可能な各アクセス空間の組み合わせを、表 9.7 に示します。

9.3.7 外部バス解放時の DMA 転送

DMA の転送元、転送先がともに内蔵メモリまたは内蔵周辺モジュールである場合、外部バス解放中に、DMA 転送を行うことができます。外部バス開放中に DMA 転送が可能な転送元、転送先の組み合わせを表 9.8 に示します。

表 9.7 DMA と CPU との競合

モード	DMA 転送区間	外部	内蔵 ROM/FLASH	内蔵メモリ	内蔵周辺モジュール
シングル	DACK 付き外部デバイスと外部メモリ	×			×
	DACK 付き外部デバイスとメモリマップト外部デバイス	×			×
デュアル	外部メモリと外部メモリ	×			×
	外部メモリとメモリマップト外部デバイス	×			×
	外部メモリと内蔵メモリ	×			×
	外部メモリと内蔵周辺モジュール	×			×
	メモリマップト外部デバイスとメモリマップト外部デバイス	×			×
	メモリマップト外部デバイスと内蔵メモリ	×			×
	メモリマップト外部デバイスと内蔵周辺モジュール	×			×
	内蔵メモリと内蔵メモリ	×			×
	内蔵メモリと内蔵周辺モジュール	×			×
内蔵周辺モジュールと内蔵周辺モジュール	×			×	

【記号説明】

- : DMA と CPU の並列動作が可能
- ×: バス競合により、DMA と CPU の並列動作は不可
- : 内蔵メモリには、X-RAM と Y-RAM があります。X-RAM と Y-RAM はそれぞれ独立してアクセスできるため、DMA と CPU とで異なる RAM にアクセスする場合は並列動作が可能です。

表 9.8 DMA と外部バス権解放との競合

		転送先				
		DACK 付き 外部デバイス	外部メモリ	メモリ マップト外部 デバイス	内蔵メモリ	内蔵周辺 モジュール
転送元	DACK 付き外部デバイス	DMA 転送不可	×	×	DMA 転送不可	DMA 転送不可
	外部メモリ	×	×	×	×	×
	メモリマップト外部デバイス	×	×	×	×	×
	内蔵メモリ	DMA 転送不可	×	×		
	内蔵周辺モジュール	DMA 転送不可	×	×		

【記号説明】

- ： 外部バス解放中の DMA 転送が可能
- ×： 外部バス解放中の DMA 転送は不可

9.3.8 チェーン転送

チェーン転送を使用すると、現在転送しているデータ転送終了後、CPU 処理を介さずに指定されたブロックのデータを連続して転送することができます。

チェーン転送を行うためには、チェーン転送用のレジスタであるネクストソースアドレスレジスタ (NSAR)、ネクストデスティネーションアドレスレジスタ (NDAR)、ネクストトランスファカウントレジスタ (NDMATCR)、チェーン転送回数カウントレジスタ (CHNCNT) を設定し、チャンネルコントロールレジスタ (CHCR) のチェーン転送イネーブルビット (CHNE) を 1 に設定する必要があります。チェーン転送が許可された状態で、トランスファカウントレジスタ (DMATCR) に設定した回数の転送が終了すると、転送終了後の 1 ステートで、NSAR から SAR に、NDAR から DAR に、NDMATCR から DMATCR に設定値がコピーされて次の転送要求待ちとなります(図 9.2)。ただし、NSAR と NDAR のコピーの可否は、CHCR のネクストソースアドレスレジスタイネーブルビット (NSARE)、ネクストデスティネーションアドレスレジスタイネーブルビット (NDARE) によって設定することができます。レジスタのコピーはチェーン転送カウンタ (CHNCNT) に設定した回数だけ行われ、CHNCNT が 0 になった時点でチェーン転送が終了します。ただし、オートリクエストでのチェーン転送はなく、必ず 1 回目の転送終了時で終了となります。

チェーン転送の例として、外部メモリ H'04000000 ~ H'04001000 に格納したデータを XRAM 上の同じアドレス空間に 512 バイトずつ 8 回繰り返し転送する場合の設定を表 9.9 に示します。この例では、DMAC のチャンネルはチャンネル 0 とし、転送要求元は DREQ0 の立ち上がりエッジ検出とします。

9. ダイレクトメモリアクセスコントローラ (DMAC)

表 9.9 チェーン転送の設定例

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR0	H'04000000
転送先：XRAM	DAR0	H'FFFF8000
転送回数：128 回	DMATCR0	H'00000080
転送元・転送先アドレス：増加	CHCR0	H'000858F5
転送要求元：DREQ0 (デュアルアドレス)		
DREQ0 の検出モード：立ち下がりエッジ検出		
エッジクリアのタイミング：転送終了時		
バスモード：バースト		
転送単位：ロングワード		
チェーン転送許可		
チェーン転送時の転送元アドレスコピー不許可		
チェーン転送時の転送先アドレスコピー許可		
チェーン転送終了時に割り込み要求発生		
チェーン転送時の転送元アドレス：設定不必要	NSAR0	設定不必要
チェーン転送時の転送先アドレス：XRAM	NDAR0	H'FFFF8000
チェーン転送時の転送回数：128 回	NDMATCR0	H'00000080
チェーン転送回数：7 回	CHNCNT0	H'00000007
チャンネル優先順位：0 > 1 > 2 > 3	DMAOR	H'0001

9.4 使用例

9.4.1 内蔵 SCI と外部メモリとの DMA 転送例

内蔵シリアルコミュニケーションインタフェース、チャンネル 2 (SCI2) の受信データを、DMAC のチャンネル 3 を使って外部メモリに転送する例を考えます。

シリアルコミュニケーションインタフェースからの転送要求は、DMAC の設定が済み、転送許可状態になってから入れるようにしてください。

表 9.10 に転送条件と、各レジスタの設定値を示します。

表 9.10 使用例

転送条件	レジスタ	設定値
転送元：内蔵 SCI0 の RDR0	SAR3	H'FFFF0546
転送先：外部メモリ	DAR3	H'04000000
転送回数：8 回	DMATCR3	H'00000008
転送元アドレス：固定	CHCR3	H'13024045
転送先アドレス：増加		
転送要求元：SCI0 (RX0)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生		
チャンネル優先順位：0 > 1 > 2 > 3		

9.5 使用上の注意

- (1) DMAオペレーションレジスタ (DMAOR) はワード (16ビット) 単位のアクセスのみ可能です。DMAOR以外のレジスタは、すべてワード (16ビット) またはロングワード (32ビット) 単位のアクセスが可能です。
- (2) CHCR0~CHCR3のRS0~RS4ビットを書き換える場合は、DEビットを0にしてから書き換えてください (CHCRを書き換える場合は、あらかじめDEビットを0に設定しておいてください)。
- (3) DMACが動作していないときにNMI割り込みが入力されても、DMAORのNMIFビットはセットされません。
- (4) スタンバイモードにするときはDMAORのDMEビットを0にして、DMACが受け付けた転送要求分の処理がすべて終了してから行ってください。
- (5) 内蔵周辺モジュールのうちDMAC, BSC, UBCをアクセスしないでください。
- (6) DMACに起動をかける場合は、CHCRの設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。
- (7) DMATCRのカウントが0となってDMA転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ずDMATCRに0書き込みを実行してください。そうでないと正常に動作しない場合があります。
- (8) チャンネルの優先順位をラウンドロビンで決定する場合は、複数のチャンネルを指定してください。その場合、必ず連続したチャンネル番号 (CH1, CH2, CH3など) を指定してください。不連続なチャンネル番号を指定した場合、動作は保障しません。また、指定チャンネルを変更する場合は、チャンネル優先順位が初期優先順位になっているときに、DMAオペレーションレジスタ (DMAOR) の設定を変更してください。
- (9) 外部リクエストを立ち下がりエッジで検出する場合、DMACの設定を行うときには、外部リクエスト端子をハイレベルに保持しておいてください。
- (10) シングルアドレスモードで動作させる場合、アドレスは外部アドレスを設定してください。内部アドレスを設定すると正常に動作しない場合があります。
- (11) 内蔵ROM空間へのアクセスはできません。
- (12) 複数のチャンネルに同一の内部リクエストを設定することはできません。設定した場合は、デフォルトの優先順位が高いチャンネルのみ有効になります。
- (13) 内蔵周辺モジュールからの転送要求が受け付けられた場合、該当の割り込み要求信号はINTCに入力されずにマスクされます。マスク条件の詳細は、「第6章 割り込みコントローラ (INTC)」を参照してください。
- (14) DMAC動作中にDMAC内部のレジスタアクセスはできません。ただし、DMAOR、CHCR_nにアクセスを行い、DMAORのDMEビット、CHCR_nのTEビットとDEビットを変更してDMAC動作を制御することは可能です。DMAORとCHCR_nの他のビットの変更を行った場合、変更後のDMA転送に設定の変更が反映されない場合があります。
- (15) 内蔵モジュールからの起動でチェーン転送を行う場合は、CHCR_nのDSビットを1に設定してください。
- (16) CHCR_nのCHNEビットでチェーン転送を禁止する場合は、CHNCNT_nを0に設定するか、CHCR_nのTESビットを1に設定してください。
- (17) 転送要求は、DMACのレジスタ設定が終了してから入れてください (図9.2)。

9.6 DMAC の制限事項

9.6.1 TEND の出力

内蔵 DMAC のチャンネル 0、1 (チャンネル 2、3 は TEND 端子がないため該当しません) において、DMA 転送終了時の TEND 出力がアサートされない場合があります。

TEND 使用チャンネルがデュアルアドレスモードの書き込みサイクルで $\overline{\text{TEND}}$ を出力する設定 (AM=1 かつ TEND=1) の場合には、 $\overline{\text{TEND}}$ は正常にアサートされます。

9.6.2 転送中断時の注意事項

デュアルアドレスモードでの転送中断に関して、下記の不具合が発生します。

(1) 発生条件

デュアルアドレスモードに設定しているチャンネルが転送を終了する前に、そのチャンネルのCHCRレジスタのDEビットクリアまたはDMAORレジスタのDMEビットクリアによって転送を中断したときの、中断前の最後の転送。

デュアルアドレスモードかつバーストモードに設定しているチャンネルで、ライトアクセスでアドレスエラーが発生したときの、例外処理による中断前の転送。

デュアルアドレスモードに設定しているチャンネルが転送中に、NMI割り込みが発生したときの例外処理による中断前の最後の転送。

(2) 不具合内容

デュアルアドレスモードの転送で、「リード→ライト」と行われるはずが、「リード→リード繰り返し」と動作します。

(3) 回避方法

上記条件 の場合には、以下の手順で中断を行うことにより、回避できます。

- (a) デュアルアドレスモードに設定しているチャンネルすべてのチャンネルの転送要求をクリアする。
- (b) シングルアドレスモードに設定しているチャンネルすべてのDEビットをクリアする。
- (c) 使用したチャンネル数と同じ数のダミーリード (外部空間または内蔵周辺空間に対して) を行う。
- (d) 中断したいチャンネルのDEビットまたはDMEビットをクリアする。

((a) と (b) は順不同です)

上記条件 の場合には、回避方法はありませぬ。

(4) 検出および転送再開の対処方法

そのチャンネルの設定が下記条件に該当する場合には、不具合発生を検出することができます。

転送先アドレスを増加 / 減少、転送元アドレスを増加 / 減少させる設定の場合

DAR、DMATCRレジスタをリードして、最初の設定からのDMATCR減少分とDAR変化分に矛盾がある場合、またはDAR、SARレジスタをリードして、最初の設定からのSAR変化分とDAR変化分に矛盾のある場合、不具合が発生しています。

転送を再開する前には、DMATCR、SARに1転送分戻した値を書き込んでください。

転送先アドレスを増加 / 減少、転送元アドレスを固定の設定の場合

DAR、DMATCRレジスタをリードして、最初の設定からのDMATCR減少分とDAR変化分に矛盾のある場合には、不具合が発生しています。

転送を再開する前には、DMATCRに1転送分戻した値を書き込んでください。

10. 16 ビットタイマパルスユニット (TPU)

10.1 概要

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。

10.1.1 特長

TPU には次の特長があります。

- 最大 16 本のパルス入出力が可能
 - チャンネル 0、3 は各 4 本、チャンネル 1、2、4、5 は各 2 本、合計 16 本のタイマジェネラルレジスタ (TGR) を持ち、各レジスタ独立にアウトプットコンペア/インプットキャプチャレジスタの設定が可能
 - チャンネル 0、3 の TGRC、TGRD は、バッファレジスタとして使用可能
- 各チャンネルごとに 8 種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能
 - コンペアマッチによる波形出力：0 出力、1 出力、トグル出力が選択可能
 - インプットキャプチャ機能：
立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可能
 - カウンタクリア動作：
コンペアマッチ、インプットキャプチャによるカウンタクリアが可能
 - 同期動作：
複数のタイマカウンタ (TCNT) への同時書き込みが可能
コンペアマッチ/インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
 - PWM モード：
任意デューティの PWM 出力が可能
同期動作と組み合わせることにより、最大 15 相の PWM 出力が可能
- チャンネル 0、3 はバッファ動作を設定可能
 - インプットキャプチャレジスタのダブルバッファ構成が可能
 - アウトプットコンペアレジスタの自動書き換えが可能
- チャンネル 1、2、4、5 はおのおの独立に位相計数モードを設定可能
 - 2 相エンコーダパルスのアップダウンカウントが可能
- カスケード接続動作
 - チャンネル 1 (チャンネル 4) の入力クロックを、チャンネル 2 (チャンネル 5) のオーバフロー/アンダフローにすることにより 32 ビットカウンタとして動作
- 内部 16 ビットバスによる高速アクセス
 - 16 ビットバスインタフェースによる高速アクセスが可能
- 26 種類の割り込み要因
 - チャンネル 0、3 はコンペアマッチ/インプットキャプチャ兼用割り込み × 4 本、オーバフロー割り込み × 1 本が独立に要求可能

10. 16ビットタイマパルスユニット(TPU)

- チャンネル1、2、4、5はコンペアマッチ/インプットキャプチャ兼用割り込み×2本、オーバフロー割り込み×1本、アンダフロー割り込み×1本が独立に要求可能
- レジスタのデータの自動転送が可能
 - DMAコントローラ(DMAC)の起動により、ブロック転送、1ワードデータ転送および1バイトデータ転送が可能
- A/D変換器の変換スタートトリガを生成可能
 - チャンネル0~5のコンペアマッチA/インプットキャプチャA信号をA/D変換器の変換開始トリガとして使用可能

表 10.1 に TPU の機能一覧を示します。

表 10.1 TPU 機能一覧

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5	
カウントクロック	Pφ/1 Pφ/4 Pφ/16 Pφ/64 TCLKA TCLKB TCLKC TCLKD	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 Pφ/4096 TCLKA	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256
ジェネラルレジスタ	TGR0A TGR0B	TGR1A TGR1B	TGR2A TGR2B	TGR3A TGR3B	TGR4A TGR4B	TGR5A TGR5B	
ジェネラルレジスタ/ バッファレジスタ	TGR0C TGR0D	-	-	TGR3C TGR3D	-	-	
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B	TIOC5A TIOC5B	
カウンタクリア 機能	TGRの コンペア マッチまたは インプット キャプチャ	TGRの コンペア マッチまたは インプット キャプチャ	TGRの コンペア マッチまたは インプット キャプチャ	TGRの コンペア マッチまたは インプット キャプチャ	TGRの コンペア マッチまたは インプット キャプチャ	TGRの コンペア マッチまたは インプット キャプチャ	
コンペア マッチ 出力	0出力						
	1出力						
	トグル 出力						
インプットキャプチャ機能							
同期動作							
PWMモード							
位相計数モード	-			-			
バッファ動作		-	-		-	-	

10. 16 ビットタイムパルスユニット (TPU)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGR0A の コンペア マッチまたは インプット キャプチャ	TGR1A の コンペア マッチまたは インプット キャプチャ	TGR2A の コンペア マッチまたは インプット キャプチャ	TGR3A の コンペア マッチまたは インプット キャプチャ	TGR4A の コンペア マッチまたは インプット キャプチャ	TGR5A の コンペア マッチまたは インプット キャプチャ
A/D 変換開始 トリガ	TGR0A の コンペア マッチまたは インプット キャプチャ	TGR1A の コンペア マッチまたは インプット キャプチャ	TGR2A の コンペア マッチまたは インプット キャプチャ	TGR3A の コンペア マッチまたは インプット キャプチャ	TGR4A の コンペア マッチまたは インプット キャプチャ	TGR5A の コンペア マッチまたは インプット キャプチャ
割り込み要因	5 要因 ・コンペアマッチ /インプット キャプチャ0A ・コンペアマッチ /インプット キャプチャ0B ・コンペアマッチ /インプット キャプチャ0C ・コンペアマッチ /インプット キャプチャ0D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ1A ・コンペアマッチ /インプット キャプチャ1B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ2A ・コンペアマッチ /インプット キャプチャ2B ・オーバフロー ・アンダフロー	5 要因 ・コンペアマッチ /インプット キャプチャ3A ・コンペアマッチ /インプット キャプチャ3B ・コンペアマッチ /インプット キャプチャ3C ・コンペアマッチ /インプット キャプチャ3D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ4A ・コンペアマッチ /インプット キャプチャ4B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ5A ・コンペアマッチ /インプット キャプチャ5B ・オーバフロー ・アンダフロー

【記号説明】

- : 可能
- : 不可

10. 16ビットタイマパルスユニット(TPU)

10.1.2 ブロック図

TPUのブロック図を図10.1に示します。

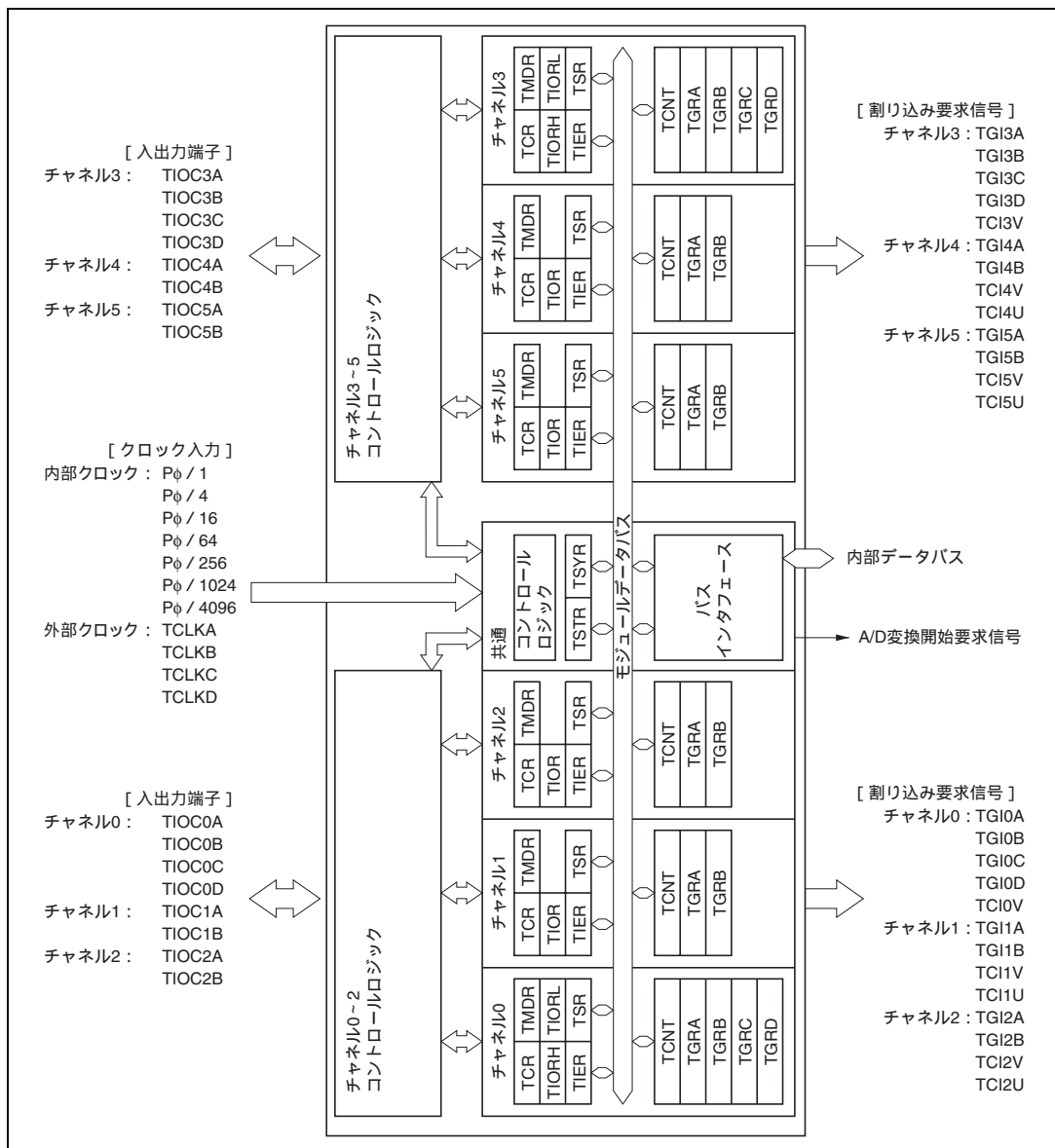


図 10.1 TPUのブロック図

10.1.3 端子構成

TPU の端子構成を表 10.2 に示します。

表 10.2 TPU の端子構成

チャンネル	名 称	略称	入出力	機 能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	インプットキャプチャ / アウトコンペアマッチ 0A	TIOC0A	入出力	TGR0A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 0B	TIOC0B	入出力	TGR0B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 0C	TIOC0C	入出力	TGR0C のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 0D	TIOC0D	入出力	TGR0D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	インプットキャプチャ / アウトコンペアマッチ 1A	TIOC1A	入出力	TGR1A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 1B	TIOC1B	入出力	TGR1B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	インプットキャプチャ / アウトコンペアマッチ 2A	TIOC2A	入出力	TGR2A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 2B	TIOC2B	入出力	TGR2B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	インプットキャプチャ / アウトコンペアマッチ 3A	TIOCA3	入出力	TGR3A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 3B	TIOC3B	入出力	TGR3B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 3C	TIOC3C	入出力	TGR3C のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 3D	TIOC3D	入出力	TGR3D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	インプットキャプチャ / アウトコンペアマッチ 4A	TIOC4A	入出力	TGR4A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 4B	TIOC4B	入出力	TGR4B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
5	インプットキャプチャ / アウトコンペアマッチ 5A	TIOC5A	入出力	TGR5A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 5B	TIOC5B	入出力	TGR5B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

10. 16ビットタイマパルスユニット (TPU)

10.1.4 レジスタ構成

TPUのレジスタ構成を表10.3に示します。

表 10.3 レジスタ構成

チャンネル	名 称	略 称	R/W	初期値	アドレス	アクセス サイズ
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFFF0410	8, 16, 32
	タイマモードレジスタ 0	TMDR0	R/W	H'C0	H'FFFF0411	8, 16, 32
	タイマ I/O コントロールレジスタ 0H	TIOR0H	R/W	H'00	H'FFFF0412	8, 16, 32
	タイマ I/O コントロールレジスタ 0L	TIOR0L	R/W	H'00	H'FFFF0413	8, 16, 32
	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'40	H'FFFF0414	8, 16, 32
	タイマステータスレジスタ 0	TSR0	R/(W)*	H'C0	H'FFFF0415	8, 16, 32
	タイマカウンタ 0	TCNT0	R/W	H'0000	H'FFFF0416	16, 32
	タイマジェネラルレジスタ 0A	TGR0A	R/W	H'FFFF	H'FFFF0418	16, 32
	タイマジェネラルレジスタ 0B	TGR0B	R/W	H'FFFF	H'FFFF041A	16, 32
	タイマジェネラルレジスタ 0C	TGR0C	R/W	H'FFFF	H'FFFF041C	16, 32
	タイマジェネラルレジスタ 0D	TGR0D	R/W	H'FFFF	H'FFFF041E	16, 32
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFFF0420	8, 16, 32
	タイマモードレジスタ 1	TMDR1	R/W	H'C0	H'FFFF0421	8, 16, 32
	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'00	H'FFFF0422	8, 16, 32
	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'40	H'FFFF0424	8, 16, 32
	タイマステータスレジスタ 1	TSR1	R/(W)*	H'C0	H'FFFF0425	8, 16, 32
	タイマカウンタ 1	TCNT1	R/W	H'0000	H'FFFF0426	16, 32
	タイマジェネラルレジスタ 1A	TGR1A	R/W	H'FFFF	H'FFFF0428	16, 32
	タイマジェネラルレジスタ 1B	TGR1B	R/W	H'FFFF	H'FFFF042A	16, 32
2	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FFFF0430	8, 16, 32
	タイマモードレジスタ 2	TMDR2	R/W	H'C0	H'FFFF0431	8, 16, 32
	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'00	H'FFFF0432	8, 16, 32
	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'40	H'FFFF0434	8, 16, 32
	タイマステータスレジスタ 2	TSR2	R/(W)*	H'C0	H'FFFF0435	8, 16, 32
	タイマカウンタ 2	TCNT2	R/W	H'0000	H'FFFF0436	16, 32
	タイマジェネラルレジスタ 2A	TGR2A	R/W	H'FFFF	H'FFFF0438	16, 32
	タイマジェネラルレジスタ 2B	TGR2B	R/W	H'FFFF	H'FFFF043A	16, 32
3	タイマコントロールレジスタ 3	TCR3	R/W	H'00	H'FFFF0440	8, 16, 32
	タイマモードレジスタ 3	TMDR3	R/W	H'C0	H'FFFF0441	8, 16, 32
	タイマ I/O コントロールレジスタ 3H	TIOR3H	R/W	H'00	H'FFFF0442	8, 16, 32
	タイマ I/O コントロールレジスタ 3L	TIOR3L	R/W	H'00	H'FFFF0443	8, 16, 32
	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'40	H'FFFF0444	8, 16, 32
	タイマステータスレジスタ 3	TSR3	R/(W)*	H'C0	H'FFFF0445	8, 16, 32
	タイマカウンタ 3	TCNT3	R/W	H'0000	H'FFFF0446	16, 32
	タイマジェネラルレジスタ 3A	TGR3A	R/W	H'FFFF	H'FFFF0448	16, 32
	タイマジェネラルレジスタ 3B	TGR3B	R/W	H'FFFF	H'FFFF044A	16, 32
	タイマジェネラルレジスタ 3C	TGR3C	R/W	H'FFFF	H'FFFF044C	16, 32
	タイマジェネラルレジスタ 3D	TGR3D	R/W	H'FFFF	H'FFFF044E	16, 32

10. 16ビットタイマパルスユニット(TPU)

チャンネル	名 称	略 称	R/W	初期値	アドレス	アクセス サイズ
4	タイマコントロールレジスタ 4	TCR4	R/W	H'00	H'FFFF0450	8, 16, 32
	タイマモードレジスタ 4	TMDR4	R/W	H'C0	H'FFFF0451	8, 16, 32
	タイマI/Oコントロールレジスタ 4	TIOR4	R/W	H'00	H'FFFF0452	8, 16, 32
	タイマインタラプトイネーブルレジスタ4	TIER4	R/W	H'40	H'FFFF0454	8, 16, 32
	タイマステータスレジスタ 4	TSR4	R/(W)*	H'C0	H'FFFF0455	8, 16, 32
	タイマカウンタ 4	TCNT4	R/W	H'0000	H'FFFF0456	16, 32
	タイマジェネラルレジスタ 4A	TGR4A	R/W	H'FFFF	H'FFFF0458	16, 32
	タイマジェネラルレジスタ 4B	TGR4B	R/W	H'FFFF	H'FFFF045A	16, 32
5	タイマコントロールレジスタ 5	TCR5	R/W	H'00	H'FFFF0460	8, 16, 32
	タイマモードレジスタ 5	TMDR5	R/W	H'C0	H'FFFF0461	8, 16, 32
	タイマI/Oコントロールレジスタ 5	TIOR5	R/W	H'00	H'FFFF0462	8, 16, 32
	タイマインタラプトイネーブルレジスタ5	TIER5	R/W	H'40	H'FFFF0464	8, 16, 32
	タイマステータスレジスタ 5	TSR5	R/(W)*	H'C0	H'FFFF0465	8, 16, 32
	タイマカウンタ 5	TCNT5	R/W	H'0000	H'FFFF0466	16, 32
	タイマジェネラルレジスタ 5A	TGR5A	R/W	H'FFFF	H'FFFF0468	16, 32
	タイマジェネラルレジスタ 5B	TGR5B	R/W	H'FFFF	H'FFFF046A	16, 32
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFF0400	8, 16, 32
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFF0401	8, 16, 32

【注】 * フラグをクリアするための0書き込みのみ可能です。

10.2 各レジスタの説明

10.2.1 タイマコントロールレジスタ (TCR)

チャンネル0 : TCR0

チャンネル3 : TCR3

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TCR1

チャンネル2 : TCR2

チャンネル4 : TCR4

チャンネル5 : TCR5

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCR は各チャンネルの TCNT を制御する 8 ビットのレジスタです。TPU には、チャンネル 0~5 に各 1 本、計 6 本の TCR があります。TCR は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード時に H'00 に初期化されます。モジュールスタンバイでは初期化されません。

TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット 7~5 : カウンタクリア 2~0 (CCLR2~CCLR0)

TCNT のカウンタクリア要因を選択します。

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0, 3	0	0	0	TCNT のクリア禁止 (初期値)
			1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
		1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
			1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
		1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹

10. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット7	ビット6	ビット5	説 明
	予約*3	CCLR1	CCLR0	
1, 2 4, 5	0	0	0	TCNT のクリア禁止 (初期値)
			1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	1	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

- 【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。
 *2 TGRB または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。
 *3 チャンネル 1、2、4、5 ではビット 7 は予約です。読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット 4、3 : クロックエッジ 1、0 (CKEG1、CKEG0)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: $P\phi/4$ の両エッジ = $P\phi/2$ の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。

ビット4	ビット3	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

- 【注】 内部クロックのエッジ選択は、入力クロックが $P\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $P\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視されます。

ビット 2~0 : タイマプリスケラ 2~0 (TPSC2~TPSC0)

TCNT のカウントクロックを選択します。各チャンネル独立にクロックソースを選択することができます。表 10.4 に各チャンネルごとに設定可能なクロックソース一覧を示します。

表 10.4 TPU のクロックソース一覧

チャンネル	内部クロック							外部クロック				他のチャンネルの オーバフロー/ アンダフロー
	$P\phi/1$	$P\phi/4$	$P\phi/16$	$P\phi/64$	$P\phi/256$	$P\phi/1024$	$P\phi/4096$	TCLKA	TCLKB	TCLKC	TCLKD	
0												
1												
2												
3												
4												
5												

【記号説明】

 : 設定あり
 空欄 : 設定なし

10. 16ビットタイマパルスユニット (TPU)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック：P ϕ /1でカウント (初期値)
			1	内部クロック：P ϕ /4でカウント
		1	0	内部クロック：P ϕ /16でカウント
			1	内部クロック：P ϕ /64でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	外部クロック：TCLKD 端子入力でカウント

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック：P ϕ /1でカウント (初期値)
			1	内部クロック：P ϕ /4でカウント
		1	0	内部クロック：P ϕ /16でカウント
			1	内部クロック：P ϕ /64でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	内部クロック：P ϕ /256でカウント
			1	TCNT2のオーバーフロー/アンダフローでカウント

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック：P ϕ /1でカウント (初期値)
			1	内部クロック：P ϕ /4でカウント
		1	0	内部クロック：P ϕ /16でカウント
			1	内部クロック：P ϕ /64でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	内部クロック：P ϕ /1024でカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

10. 16 ビットタイマパルスユニット (TPU)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : $P\phi / 1$ でカウント (初期値)
			1	内部クロック : $P\phi / 4$ でカウント
		1	0	内部クロック : $P\phi / 16$ でカウント
			1	内部クロック : $P\phi / 64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
			1	内部クロック : $P\phi / 1024$ でカウント
		1	0	内部クロック : $P\phi / 256$ でカウント
			1	内部クロック : $P\phi / 4096$ でカウント

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック : $P\phi / 1$ でカウント (初期値)
			1	内部クロック : $P\phi / 4$ でカウント
		1	0	内部クロック : $P\phi / 16$ でカウント
			1	内部クロック : $P\phi / 64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKC 端子入力でカウント
		1	0	内部クロック : $P\phi / 1024$ でカウント
			1	TCNT5 のオーバフロー / アンダフローでカウント

【注】 チャンネル4 が位相計数モード時、この設定は無効になります。

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック : $P\phi / 1$ でカウント (初期値)
			1	内部クロック : $P\phi / 4$ でカウント
		1	0	内部クロック : $P\phi / 16$ でカウント
			1	内部クロック : $P\phi / 64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKC 端子入力でカウント
		1	0	内部クロック : $P\phi / 256$ でカウント
			1	外部クロック : TCLKD 端子入力でカウント

【注】 チャンネル5 が位相計数モード時、この設定は無効になります。

10.2.2 タイマモードレジスタ (TMDR)

チャンネル0 : TMDR0

チャンネル3 : TMDR3

ビット :	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TMDR1

チャンネル2 : TMDR2

チャンネル4 : TMDR4

チャンネル5 : TMDR5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

TMDR は 8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。TPU には、各チャンネル 1 本、計 6 本の TMDR があります。TMDR は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード時に H'CO に初期化されます。モジュールスタンバイでは初期化されません。

TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット 7、6 : 予約ビット

読み出すと常に 1 が読み出されます。書き込みは無効です。

ビット 5 : パッファ動作 B (BFB)

TGRB を通常動作させるか、TGRB と TGRD を組み合わせてパッファ動作させるかを設定します。TGRD をパッファレジスタとして使用した場合は、TGRD のインプットキャプチャ / アウトプットコンペアは発生しません。

TGRD を持たないチャンネル 1、2、4、5 ではこのビットは予約ビットになります。読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット 5	説明
BFB	
0	TGRB は通常動作 (初期値)
1	TGRB と TGRD はパッファ動作

ビット4：バッファ動作A (BFA)

TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。

TGRC を持たないチャンネル1、2、4、5ではこのビットは予約ビットになります。読み出すと常に0が読み出されます。書き込みは無効です。

ビット4	説明
BFA	
0	TGRA は通常動作 (初期値)
1	TGRA と TGRC はバッファ動作

ビット3~0：モード3~0 (MD3~MD0)

MD3 ~ MD0 はタイマの動作モードを設定します。

ビット3	ビット2	ビット1	ビット0	説明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作 (初期値)
			1	予約
		1	0	PWM モード1
			1	PWM モード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

【記号説明】

* : Don't care

【注】 *1 MD3 は予約ビットです。

書き込み時には常に0を書き込んでください。

*2 チャンネル0、3では、位相計数モードの設定はできません。

MD2 には常に0を書き込んでください。

10.2.3 タイマ I/O コントロールレジスタ (TIOR)

チャンネル0 : TIOR0H

チャンネル1 : TIOR1

チャンネル2 : TIOR2

チャンネル3 : TIOR3H

チャンネル4 : TIOR4

チャンネル5 : TIOR5

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル0 : TIOR0L

チャンネル3 : TIOR3L

ビット :	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRC、あるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

TIOR は TGR を制御する 8 ビットのレジスタです。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR はリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード時に H'00 に初期化されます。モジュールスタンバイでは初期化されません。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

10. 16 ビットタイムパルスユニット (TPU)

ビット 7~4 : I/O コントロール B3~0 (IOB3 ~ IOB0)
 I/O コントロール D3~0 (IOD3 ~ IOD0)

IOB3 ~ IOB0 ビットは TGRB の機能を設定します。
 IOD3 ~ IOD0 ビットは TGRD の機能を設定します。

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明					
	IOB3	IOB2	IOB1	IOB0						
0	0	0	0	0	TGR0B は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は 0 出力	コンペアマッチで 0 出力			
			1	0		コンペアマッチで 1 出力				
				1		コンペアマッチでトグル出力				
			1	0		0	0	出力禁止	初期出力は 0 出力	
							1	初期出力は 1 出力	コンペアマッチで 0 出力	
	1	0			コンペアマッチで 1 出力					
		1			コンペアマッチでトグル出力					
	1	0	0	0	TGR0B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC0B 端子	立ち上がりエッジでインプット キャプチャ			
				1			立ち下がりエッジでインプット キャプチャ			
				*			両エッジでインプット キャプチャ			
			1	*		*	キャプチャ入力元は チャンネル 1 / カウントクロック		TCNT1 のカウントアップ / カウントダウンでインプット キャプチャ	

【記号説明】
 * : Don't care

10. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット7	ビット6	ビット5	ビット4	説明										
	IOD3	IOD2	IOD1	IOD0											
0	0	0	0	0	TGR0D は アウトプット コンペア レジスタ* ²	出力禁止 (初期値)									
			1	0		初期出力は0出力	コンペアマッチで0出力								
			1	1			コンペアマッチで1出力								
			0	0		初期出力は1出力	コンペアマッチでトグル出力								
			1	0			出力禁止								
			1	1			初期出力は0出力	コンペアマッチで0出力							
	1	0	0	0		0	TGR0D は インプット キャプチャ レジスタ* ²	キャプチャ入力元 はTIOC0D 端子	立ち上がりエッジでインプット キャプチャ						
				1		0			立ち下がりエッジでインプット キャプチャ						
				1		*			両エッジでインプット キャプチャ						
				1		*		*	0	0	キャプチャ入力元は チャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ* ¹			
												1	0	初期出力は1出力	コンペアマッチで0出力
												1	1	コンペアマッチで1出力	コンペアマッチでトグル 出力

【記号説明】

* : Don't care

【注】 *1 TCR1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT1 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMD0R の BFB ビットを 1 にセットして TGR0D をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOB3	IOB2	IOB1	IOB0					
1	0	0	0	0	TGR1B は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				1			コンペアマッチで1出力		
			1	0		0	初期出力は1出力	コンペアマッチで0出力	
						1		コンペアマッチで1出力	
						1		コンペアマッチでトグル出力	
	1	0	0	0	TGR1B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC1B 端子	立ち上がりエッジでインプット キャプチャ		
				1			立ち下がりエッジでインプット キャプチャ		
				*			両エッジでインプット キャプチャ		
			1	*		*	キャプチャ入力元は TGR0C コンペアマ ッチ/インプットキ ャプチャ		TGR0C のコンペアマッチ/ インプットキャプチャの発 生でインプットキャプチャ

【記号説明】

* : Don't care

チャンネル	ビット7	ビット6	ビット5	ビット4	説明			
	IOB3	IOB2	IOB1	IOB0				
2	0	0	0	0	TGR2B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				1			コンペアマッチで1出力	
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1		コンペアマッチで1出力
						1		コンペアマッチでトグル出力
	1	*	0	0	TGR2B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC2B 端子	立ち上がりエッジでインプット キャプチャ	
				1			立ち下がりエッジでインプット キャプチャ	
				*			両エッジでインプット キャプチャ	

【記号説明】

* : Don't care

10. 16ビットタイムパルスユニット (TPU)

チャンネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOB3	IOB2	IOB1	IOB0					
3	0	0	0	0	TGR3B は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
			1	0			コンペアマッチで1出力		
				1		コンペアマッチでトグル出力			
			1	0		0	0	出力禁止	
							1	初期出力は1出力	コンペアマッチで0出力
	1	コンペアマッチで1出力							
	1	コンペアマッチでトグル出力							
	1	0	0	0	TGR3B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC3B 端子	立ち上がりエッジでインプット キャプチャ		
				1			立ち下がりエッジでインプット キャプチャ		
				*			両エッジでインプット キャプチャ		
				1		*	*	キャプチャ入力元は チャンネル4/ カウントクロック	

【記号説明】

* : Don't care

10. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOD3	IOD2	IOD1	IOD0					
3	0	0	0	0	TGR3D は アウトプット コンペア レジスタ* ²	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
			1	0			コンペアマッチで1出力		
				1		コンペアマッチでトグル出力			
			1	0		0	0	出力禁止	
							1	初期出力は1出力	コンペアマッチで0出力
	1	コンペアマッチで1出力							
	1	コンペアマッチでトグル出力							
	1	0	0	0	TGR3D は インプット キャプチャ レジスタ* ²	キャプチャ入力元 は TIOC3D 端子	立ち上がりエッジでインプット キャプチャ		
				1			立ち下がりエッジでインプット キャプチャ		
				*			両エッジでインプット キャプチャ		
			1	*		*	キャプチャ入力元は チャンネル4/ カウントクロック		TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ* ¹

【記号説明】

* : Don't care

【注】 *1 TCR4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT4 のカウントクロックに P_φ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR3 の BFB ビットを 1 にセットして TGR3D をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOB3	IOB2	IOB1	IOB0					
4	0	0	0	0	TGR4B は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				1			コンペアマッチで1出力		
			1	0		0	初期出力は1出力	コンペアマッチで0出力	
						1		コンペアマッチで1出力	
						1		コンペアマッチでトグル出力	
	1	0	0	0	TGR4B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC4B 端子	立ち上がりエッジでインプット キャプチャ		
				1			立ち下がりエッジでインプット キャプチャ		
				*			両エッジでインプット キャプチャ		
			1	*		*	キャプチャ入力元は TGR3C コンペアマ ッチ/インプットキ ャプチャ		TGR3C のコンペアマッチ/ インプットキャプチャの発 生でインプットキャプチャ

【記号説明】

* : Don't care

チャンネル	ビット7	ビット6	ビット5	ビット4	説明			
	IOB3	IOB2	IOB1	IOB0				
5	0	0	0	0	TGR5B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				1			コンペアマッチで1出力	
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1		コンペアマッチで1出力
						1		コンペアマッチでトグル出力
	1	*	0	0	TGR5B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC5B 端子	立ち上がりエッジでインプット キャプチャ	
				1			立ち下がりエッジでインプット キャプチャ	
				*			両エッジでインプット キャプチャ	

【記号説明】

* : Don't care

ビット 3~0 : I/O コントロール A3~0 (IOA3~IOA0)

I/O コントロール C3~0 (IOC3~IOC0)

IOA3~IOA0 は TGRA の機能を設定します。

IOC3~IOC0 は TGRC の機能を設定します。

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明		
	IOA3	IOA2	IOA1	IOA0			
0	0	0	0	0	TGR0A は アウトプット コンペア レジスタ	出力禁止 (初期値)	
				1		初期出力は 0 出力	コンペアマッチで 0 出力
			1	0		コンペアマッチで 1 出力	
				1		コンペアマッチでトグル 出力	
			1	0		0	出力禁止
						1	初期出力は 1 出力
	1	0			コンペアマッチで 1 出力		
		1			コンペアマッチでトグル 出力		
	1	0	0	0	TGR0A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC0A 端子	立ち上がりエッジでインプット キャプチャ
				1			立ち下がりエッジでインプット キャプチャ
			1	*		両エッジでインプット キャプチャ	
				1		*	キャプチャ入力元は チャンネル 1 / カウントクロック

【記号説明】

* : Don't care

10. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット3	ビット2	ビット1	ビット0	説明			
	IOC3	IOC2	IOC1	IOC0				
0	0	0	0	0	TGR0C は アウトプット コンペア レジスタ*	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
			1	0			コンペアマッチで1出力	
				1		コンペアマッチでトグル出力		
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
	0	コンペアマッチで1出力						
	1	コンペアマッチでトグル出力						
	1	0	0	0	TGR0C は インプット キャプチャ レジスタ*	キャプチャ入力元 は TIOC0C 端子	立ち上がりエッジでインプット キャプチャ	
				1			立ち下がりエッジでインプット キャプチャ	
				*			両エッジでインプット キャプチャ	
			1	*		*	キャプチャ入力元は チャンネル1/ カウントクロック	

【記号説明】

* : Don't care

【注】 * TMDR0 の BFA ビットを 1 にセットして TGR0C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット3	ビット2	ビット1	ビット0	説明				
	IOA3	IOA2	IOA1	IOA0					
1	0	0	0	0	TGR1A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				0			コンペアマッチで1出力		
			1	初期出力は1出力		コンペアマッチでトグル出力			
			0			コンペアマッチで0出力			
			1			コンペアマッチで1出力			
	1	0	0	0	TGR1A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC1A 端子	立ち上がりエッジでインプット キャプチャ		
				1			立ち下がりエッジでインプット キャプチャ		
				*			両エッジでインプット キャプチャ		
			1	*		*	キャプチャ入力元は TGR0A コンペアマ ッチ/インプットキ ャプチャ		チャンネル0/TGR0A の コンペアマッチ/ インプットキャプチャの発 生でインプットキャプチャ

【記号説明】

* : Don't care

チャンネル	ビット3	ビット2	ビット1	ビット0	説明		
	IOA3	IOA2	IOA1	IOA0			
2	0	0	0	0	TGR2A は アウトプット コンペア レジスタ	出力禁止 (初期値)	
				1		初期出力は0出力	コンペアマッチで0出力
				0			コンペアマッチで1出力
			1	初期出力は1出力		コンペアマッチでトグル 出力	
			0			コンペアマッチで0出力	
			1			コンペアマッチで1出力	
	1	*	0	0	TGR2A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC2A 端子	立ち上がりエッジでインプット キャプチャ
				1			立ち下がりエッジでインプット キャプチャ
				*			両エッジでインプット キャプチャ

【記号説明】

* : Don't care

10. 16ビットタイムパルスユニット (TPU)

チャンネル	ビット3	ビット2	ビット1	ビット0	説明				
	IOA3	IOA2	IOA1	IOA0					
3	0	0	0	0	TGR3A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
			1	0			コンペアマッチで1出力		
				1		コンペアマッチでトグル出力			
			1	0		0	出力禁止		
						1	初期出力は1出力	コンペアマッチで0出力	
	1	0	0	コンペアマッチで1出力					
			1	コンペアマッチでトグル出力					
	1	0	0	0	TGR3A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC3A 端子	立ち上がりエッジでインプット キャプチャ		
							1	*	立ち下がりエッジでインプット キャプチャ
				1				*	両エッジでインプット キャプチャ
							1	*	*

【記号説明】
* : Don't care

10. 16ビットタイムパルスユニット (TPU)

チャンネル	ビット3	ビット2	ビット1	ビット0	説明				
	IOC3	IOC2	IOC1	IOC0					
3	0	0	0	0	TGR3C は アウトプット コンペア レジスタ*	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
			1	0			コンペアマッチで1出力		
				1		コンペアマッチでトグル出力			
			1	0		0	0	出力禁止	
							1	初期出力は1出力	コンペアマッチで0出力
	1	0			コンペアマッチで1出力				
		1			コンペアマッチでトグル出力				
	1	0	0	0	TGR3C は インプット キャプチャ レジスタ*	キャプチャ入力元 はTIOC3C 端子	立ち上がりエッジでインプット キャプチャ		
				1			立ち下がりエッジでインプット キャプチャ		
				*			両エッジでインプット キャプチャ		
			1	*		*	キャプチャ入力元は チャンネル4/ カウントクロック		TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ

【記号説明】

* : Don't care

【注】 * TMDR3 の BFA ビットを 1 にセットして TGR3C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット3	ビット2	ビット1	ビット0	説明				
	IOA3	IOA2	IOA1	IOA0					
4	0	0	0	0	TGR4A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				1			コンペアマッチで1出力		
			1	0		0	初期出力は1出力	コンペアマッチで0出力	
						1		コンペアマッチで1出力	
						1		コンペアマッチでトグル出力	
	1	0	0	0	TGR4A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC4A 端子	立ち上がりエッジでインプット キャプチャ		
				1			立ち下がりエッジでインプット キャプチャ		
				*			両エッジでインプット キャプチャ		
			1	*		*	キャプチャ入力元は TGR3A コンペアマ ッチ/インプットキ ャプチャ		TGR3A のコンペアマッチ/ インプットキャプチャの発 生でインプットキャプチャ

【記号説明】

* : Don't care

チャンネル	ビット3	ビット2	ビット1	ビット0	説明			
	IOA3	IOA2	IOA1	IOA0				
5	0	0	0	0	TGR5A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				1			コンペアマッチで1出力	
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1		コンペアマッチで1出力
						1		コンペアマッチでトグル出力
	1	*	0	0	TGR5A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC5A 端子	立ち上がりエッジでインプット キャプチャ	
				1			立ち下がりエッジでインプット キャプチャ	
				*			両エッジでインプット キャプチャ	

【記号説明】

* : Don't care

10.2.4 タイマインタラプトイネーブルレジスタ (TIER)

チャンネル0 : TIER0

チャンネル3 : TIER3

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	-	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TIER1

チャンネル2 : TIER2

チャンネル4 : TIER4

チャンネル5 : TIER5

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	R/W	R/W	-	-	R/W	R/W

TIER は 8 ビットのレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネル 1 本、計 6 本の TIER があります。TIER は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード時に H'40 に初期化されます。モジュールスタンバイでは初期化されません。

ビット 7 : A/D 変換開始要求イネーブル (TTGE)

TGRA のインプットキャプチャ / コンペアマッチによる、A/D 変換開始要求の発生を許可または禁止します。

ビット 7	説明
TTGE	
0	A/D 変換開始要求の発生を禁止 (初期値)
1	A/D 変換開始要求の発生を許可

ビット 6 : 予約ビット

読み出すと常に 1 が読み出されます。書き込みは無効です。

10. 16ビットタイムパルスユニット (TPU)

ビット5：アンダフローインタラプトイネーブル (TCIEU)

チャンネル1、2、4、5でTSRのTCFUフラグが1にセットされたとき、TCFUフラグによる割り込み要求 (TCIU) を許可または禁止します。

チャンネル0、3では予約ビットです。読み出すと常に0が読み出されます。書き込みは無効です。

ビット5	説明
TCIEU	
0	TCFUによる割り込み要求 (TCIU) を禁止 (初期値)
1	TCFUによる割り込み要求 (TCIU) を許可

ビット4：オーバフローインタラプトイネーブル (TCIEV)

TSRのTCFVフラグが1にセットされたとき、TCFVフラグによる割り込み要求 (TCIV) を許可または禁止します。

ビット4	説明
TCIEV	
0	TCFVによる割り込み要求 (TCIV) を禁止 (初期値)
1	TCFVによる割り込み要求 (TCIV) を許可

ビット3：TGRインタラプトイネーブルD (TGIED)

チャンネル0、3でTSRのTGFDビットが1にセットされたとき、TGFDビットによる割り込み要求 (TGID) を許可または禁止します。

チャンネル1、2、4、5では予約ビットです。読み出すと常に0が読み出されます。書き込みは無効です。

ビット3	説明
TGIED	
0	TGFDビットによる割り込み要求 (TGID) を禁止 (初期値)
1	TGFDビットによる割り込み要求 (TGID) を許可

ビット2：TGRインタラプトイネーブルC (TGIEC)

チャンネル0、3でTSRのTGFCビットが1にセットされたとき、TGFCビットによる割り込み要求 (TGIC) を許可または禁止します。

チャンネル1、2、4、5では予約ビットです。読み出すと常に0が読み出されます。書き込みは無効です。

ビット2	説明
TGIEC	
0	TGFCビットによる割り込み要求 (TGIC) を禁止 (初期値)
1	TGFCビットによる割り込み要求 (TGIC) を許可

ビット1 : TGR インタラプトイネーブル B (TGIEB)

TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。

ビット1	説明
TGIEB	
0	TGFB ビットによる割り込み要求 (TGIB) を禁止 (初期値)
1	TGFB ビットによる割り込み要求 (TGIB) を許可

ビット0 : TGR インタラプトイネーブル A (TGIEA)

TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。

ビット0	説明
TGIEA	
0	TGFA ビットによる割り込み要求 (TGIA) を禁止 (初期値)
1	TGFA ビットによる割り込み要求 (TGIA) を許可

10.2.5 タイマステータスレジスタ (TSR)

チャンネル0 : TSR0

チャンネル3 : TSR3

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための0書き込みのみ可能です。

チャンネル1 : TSR1

チャンネル2 : TSR2

チャンネル4 : TSR4

チャンネル5 : TSR5

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

【注】* フラグをクリアするための0書き込みのみ可能です。

10. 16ビットタイマパルスユニット (TPU)

TSRは8ビットのレジスタで、各チャンネルのステータスの表示を行います。TPUには、各チャンネル1本、計6本のTSRがあります。TSRは、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード時にHC0に初期化されます。モジュールスタンバイでは初期化されません。

ビット7：カウント方向フラグ (TCFD)

チャンネル1、2、4、5のTCNTのカウント方向を示すステータスフラグです。
チャンネル0、3では予約ビットです。読み出すと常に1が読み出されます。書き込みは無効です。

ビット7	説明
TCFD	
0	TCNTはダウンカウント
1	TCNTはアップカウント (初期値)

ビット6：予約ビット

読み出すと常に1が読み出されます。書き込みは無効です。

ビット5：アンダフローフラグ (TCFU)

チャンネル1、2、4、5が位相計数モードのとき、TCNTのアンダフローの発生を示すステータスフラグです。

チャンネル0、3では予約ビットです。読み出すと常に0が読み出されます。書き込みは無効です。

ビット5	説明
TCFU	
0	[クリア条件] TCFU=1の状態ではTCFUを読み出し後、TCFUに0を書き込んだとき (初期値)
1	[セット条件] TCNTの値がアンダフロー (H'0000→H'FFFF) したとき

ビット4：オーバフローフラグ (TCFV)

TCNTのオーバフローの発生を示すステータスフラグです。

ビット4	説明
TCFV	
0	[クリア条件] TCFV=1の状態ではTCFVを読み出し後、TCFVに0を書き込んだとき (初期値)
1	[セット条件] TCNTの値がオーバフロー (H'FFFF→H'0000) したとき

ビット3：インプットキャプチャ/アウトプットコンペアフラグD (TGFD)

チャンネル0、3のTGRDのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2、4、5では予約ビットです。読み出すと常に0が読み出されます。書き込みは無効です。

ビット3	説明
TGFD	
0	[クリア条件] (初期値) TGFD = 1の状態ではTGFDを読み出し後、TGFDに0を書き込んだとき
1	[セット条件] (1) TGRDがアウトプットコンペアレジスタとして機能している場合、 TCNT = TGRDになったとき (2) TGRDがインプットキャプチャとして機能している場合、 インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき

ビット2：インプットキャプチャ/アウトプットコンペアフラグC (TGFC)

チャンネル0、3のTGRCのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2、4、5では予約ビットです。読み出すと常に0が読み出されます。書き込みは無効です。

ビット2	説明
TGFC	
0	[クリア条件] (初期値) TGFC = 1の状態ではTGFCを読み出し後、TGFCに0を書き込んだとき
1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、 TCNT = TGRCになったとき (2) TGRCがインプットキャプチャとして機能している場合、 インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

ビット1：インプットキャプチャ/アウトプットコンペアフラグB (TGFB)

TGRBのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
TGFB	
0	[クリア条件] (初期値) TGFB = 1の状態ではTGFBを読み出し後、TGFBに0を書き込んだとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、 TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、 インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

10. 16ビットタイマパルスユニット (TPU)

ビット0：インプットキャプチャ/アウトプットコンペアフラグ A (TGFA)
TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0 TGFA	説明
0	[クリア条件] (初期値) TGFA = 1 の状態で TGFA を読み出し後、TGFA に 0 を書き込んだとき
1	[セット条件] (1) TGRA がアウトプットコンペアレジスタとして機能している場合、 TCNT = TGRA になったとき (2) TGRA がインプットキャプチャとして機能している場合、 インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

【注】 TGFA による DMAC 転送によってクリアされます。

10.2.6 タイマカウンタ (TCNT)

チャンネル0：TCNT0 (アップカウンタ)
チャンネル1：TCNT1 (アップ/ダウンカウンタ*)
チャンネル2：TCNT2 (アップ/ダウンカウンタ*)
チャンネル3：TCNT3 (アップカウンタ)
チャンネル4：TCNT4 (アップ/ダウンカウンタ*)
チャンネル5：TCNT5 (アップ/ダウンカウンタ*)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

【注】* 位相計数モード (および位相計数モードのほかのチャンネルのオーバーフロー/アンダフローのカウンタ時) のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

TCNT は 16 ビットのカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。
TCNT は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード時に H'0000 に初期化されます。モジュールスタンバイでは初期化されません。
TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

10.2.7 タイマジェネラルレジスタ (TGR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR は 16 ビットのアウトプットコンペア / インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます*。TGR はリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード時に H'FFFF に初期化されます。モジュールスタンバイでは初期化されません。

TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

【注】* TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

10.2.8 タイマスタートレジスタ (TSTR)

ビット:	7	6	5	4	3	2	1	0
	-	-	CST5	CST4	CST3	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	R/W	R/W	R/W	R/W	R/W	R/W

TSTR は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0 ~ 5 の TCNT の動作 / 停止を選択します。TSTR はリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード時に H'00 に初期化されます。モジュールスタンバイでは初期化されません。

ビット 7、6: 予約ビット

書き込み時は必ず 0 を書き込んでください。

ビット 5 ~ 0: カウンタスタート 5 ~ 0 (CST5 ~ CST0)

TCNT の動作または停止を選択します。

ビット n	説明
CSTn	
0	TCNTn のカウント動作は停止 (初期値)
1	TCNTn はカウント動作

【注】 n = 5 ~ 0

TIOC 端子を出力状態で動作中に、CST ビットに 0 を書き込むとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR への書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

10.2.9 タイマシンクロレジスタ (TSYR)

ビット：	7	6	5	4	3	2	1	0
	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値：	0	0	0	0	0	0	0	0
R/W：	-	-	R/W	R/W	R/W	R/W	R/W	R/W

TSYR は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0 ~ 5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

TSYR はリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード時に H'00 に初期化されます。モジュールスタンバイでは初期化されません。

ビット 7、6：予約ビット

書き込み時は必ず 0 を書き込んでください。

ビット 5 ~ 0：タイマ同期 5 ~ 0 (SYNC5 ~ SYNC0)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセット*¹や、他チャンネルのカウントクリアによる同期クリア*²が可能となります。

【注】*1 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。

*2 同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。

ビット n	説明
SYNCn	
0	TCNTn は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) (初期値)
1	TCNTn は同期動作 TCNT の同期プリセット / 同期クリアが可能

【注】 n = 5 ~ 0

10.3 バスマスタとのインタフェース

10.3.1 16ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。

8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。16 ビットレジスタのアクセス動作例を図 10.2 に示します。

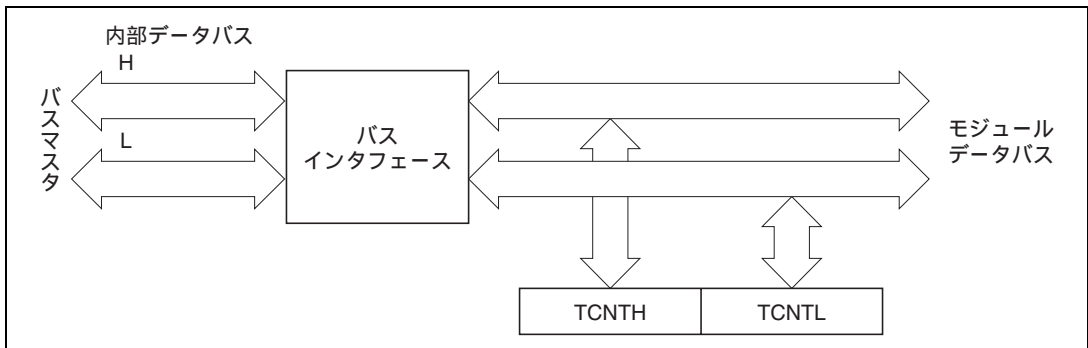


図 10.2 16 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow TCNT (16 ビット))

10.3.2 8ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

8 ビットレジスタのアクセス動作例を図 10.3、図 10.4、図 10.5 に示します。

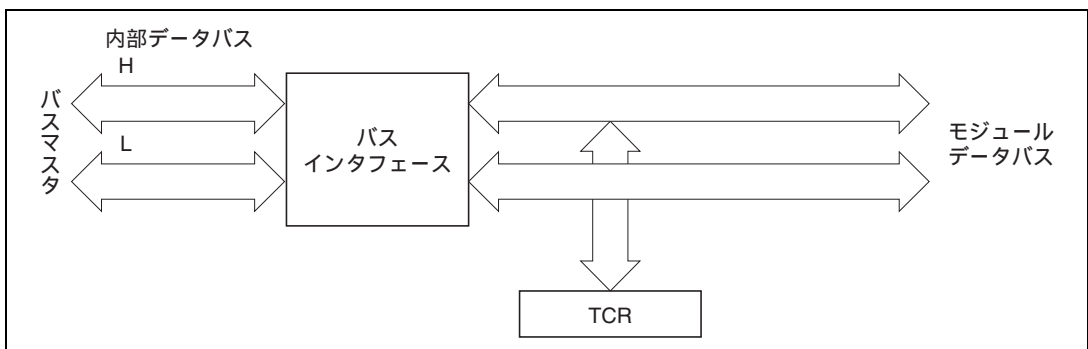


図 10.3 8 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow TCR (上位 8 ビット))

10. 16ビットタイマパルスユニット (TPU)

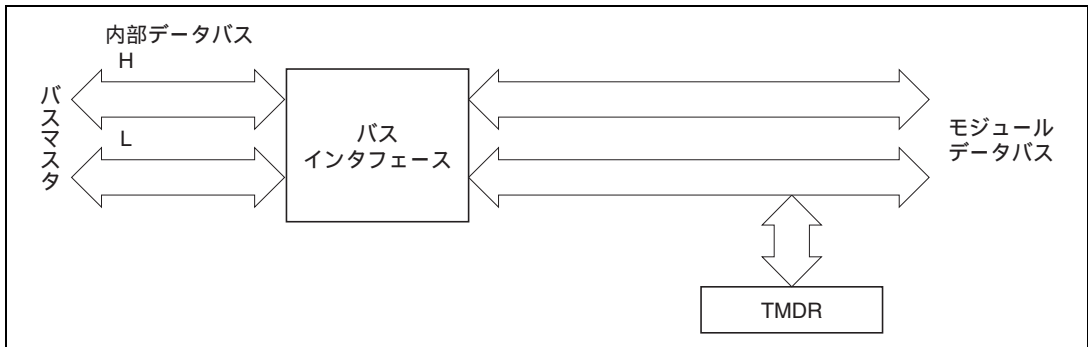


図 10.4 8ビットレジスタのアクセス動作 (バスマスタ↔TMDR (下位8ビット))

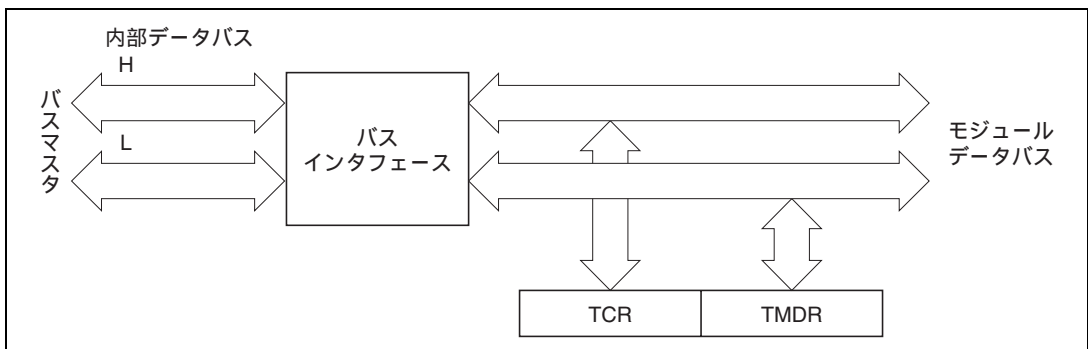


図 10.5 8ビットレジスタのアクセス動作 (バスマスタ↔TCR、TMDR (16ビット))

10.4 動作説明

10.4.1 概要

各モードの動作概要を以下に示します。

(1) 通常動作

各チャンネルには、TCNT と TGR があります。TCNT はアップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT は、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT を書き換えると、他のチャンネルの TCNT も同時に書き換えられます。また、同期動作に設定された複数のチャンネルの TSYR のタイム同期ビットの設定により、TCNT の同期クリアが可能です。

(3) バッファ動作

(a) TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR に転送されます。

(b) TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値が TGR に転送されると同時に、それまで格納されていた TGR の値がバッファレジスタに転送されます。

(4) カスケード接続動作

チャンネル 1 カウンタ (TCNT1) とチャンネル 2 カウンタ (TCNT2) またはチャンネル 4 カウンタ (TCNT4) とチャンネル 5 カウンタ (TCNT5) を接続して 32 ビットカウンタとして動作させることができます。

(5) PWM モード

PWM 波形を出力するモードです。出力レベルは TIOR により設定できます。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

(6) 位相計数モード

チャンネル 1、2、4、5 で外部クロック入力端子から入力される 2 つのクロックの位相を検出して、TCNT をアップ/ダウンさせるモードです。位相計数モードに設定すると、対応する TCLK 端子はクロック入力となり、また TCNT はアップ/ダウンカウント動作を行います。

2 相エンコーダパルスの入力として使用できます。

10.4.2 基本機能

(1) カウンタの動作

TSTRのCST0~CST5ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図10.6に示します。

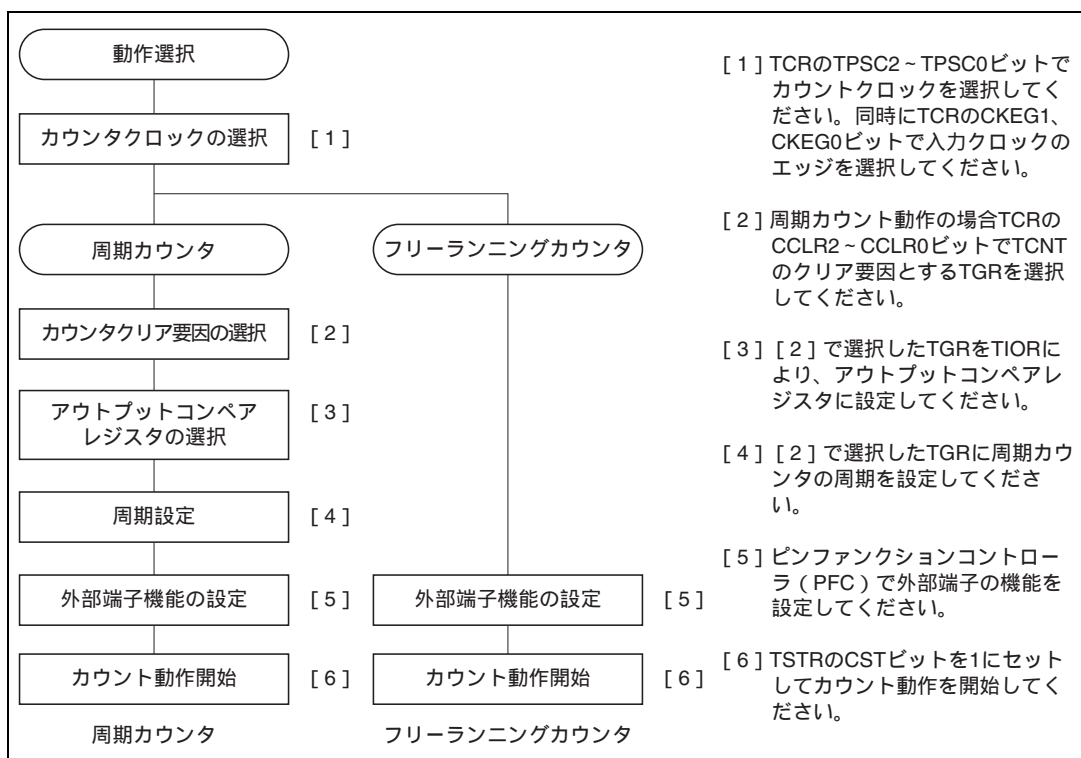


図 10.6 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPUのTCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー(H'FFFF→H'0000)すると、TSRのTCFVビットが1にセットされます。このとき、対応するTIERのTCIEVビットが1ならば、TPUは割り込みを要求します。TCNTはオーバーフロー後、H'0000からアップカウント動作を継続します。

フリーランニングカウンタの動作を図10.7に示します。

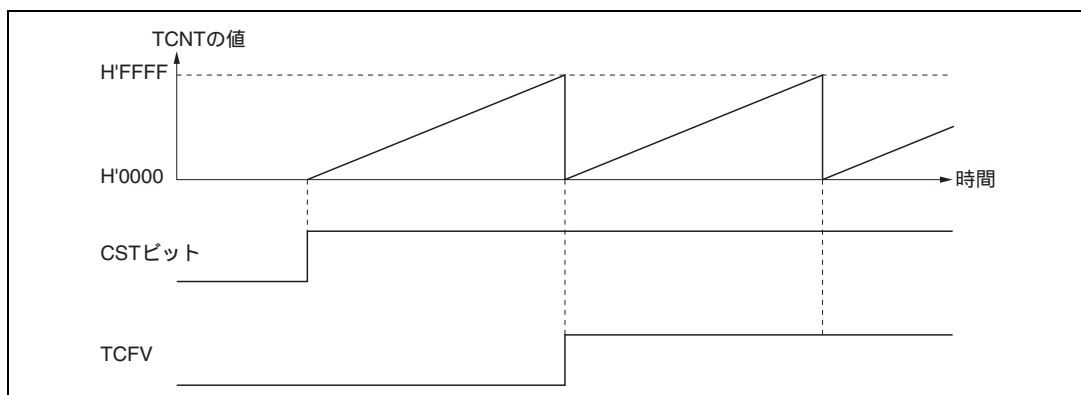


図 10.7 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCRのCCLR2～CCLR0ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRの対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TSRのTGFビットが1にセットされ、TCNTはH'0000にクリアされます。

このとき対応するTIERのTGIEビットが1ならば、TPUは割り込みを要求します。TCNTはコンペアマッチ後、H'0000からアップカウント動作を継続します。

周期カウンタの動作を図10.8に示します。

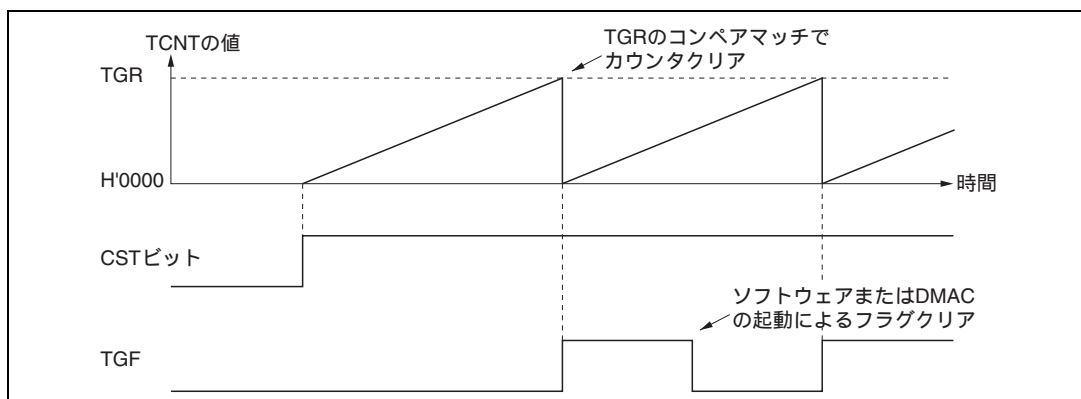


図 10.8 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPUは、コンペアマッチにより対応する出力端子から0出力/1出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図10.9に示します。

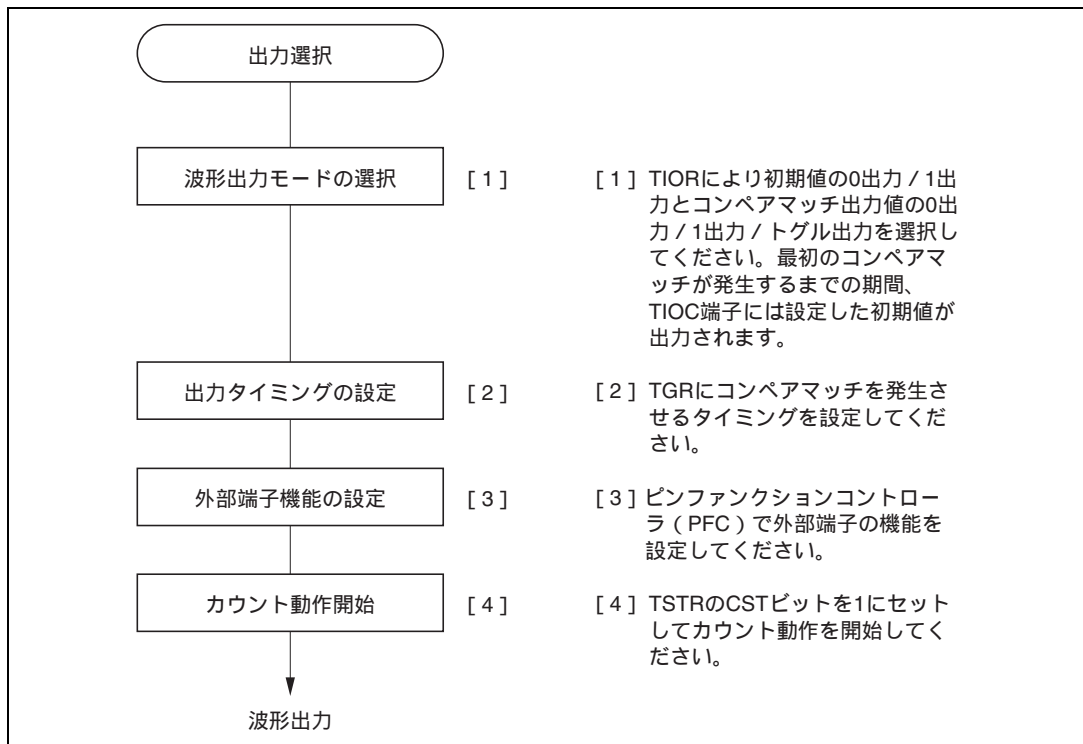


図10.9 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力/1出力例を図10.10に示します。

TCNTをフリーランニングカウント動作とし、コンペアマッチAにより1出力、コンペアマッチBにより0出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

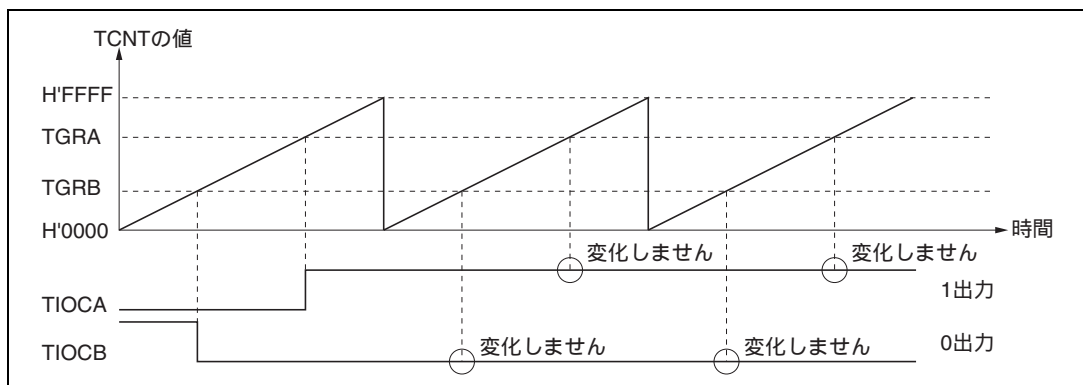


図 10.10 0出力/1出力の動作例

トグル出力の例を図10.11に示します。

TCNTを周期カウント動作(コンペアマッチBによりカウンタクリア)に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

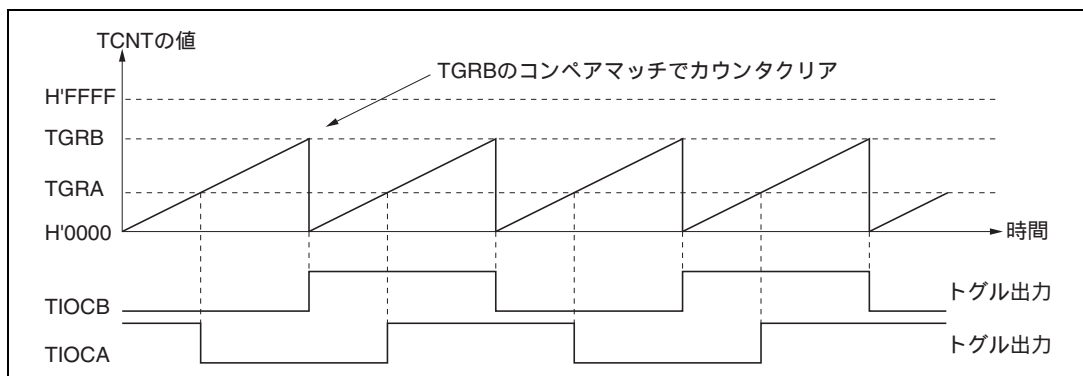


図 10.11 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに Pφ/1 を選択しないでください。Pφ/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.12 に示します。

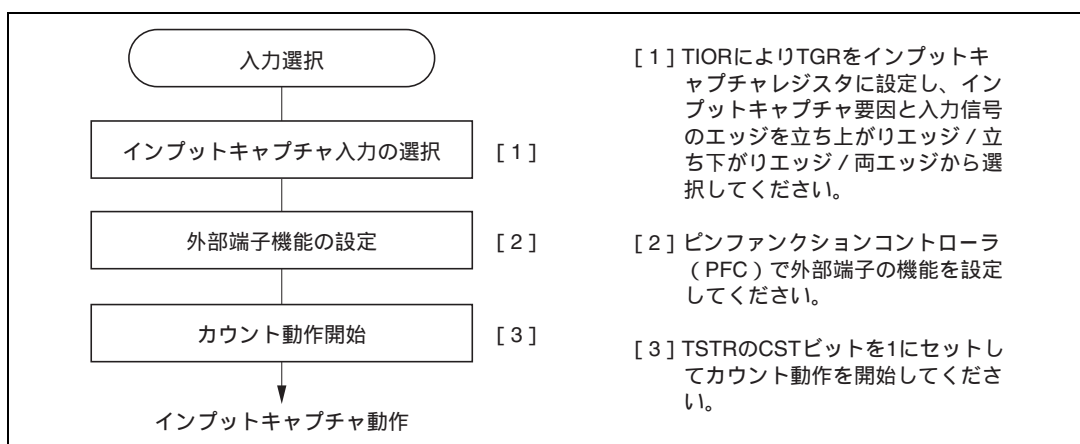


図 10.12 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.13 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

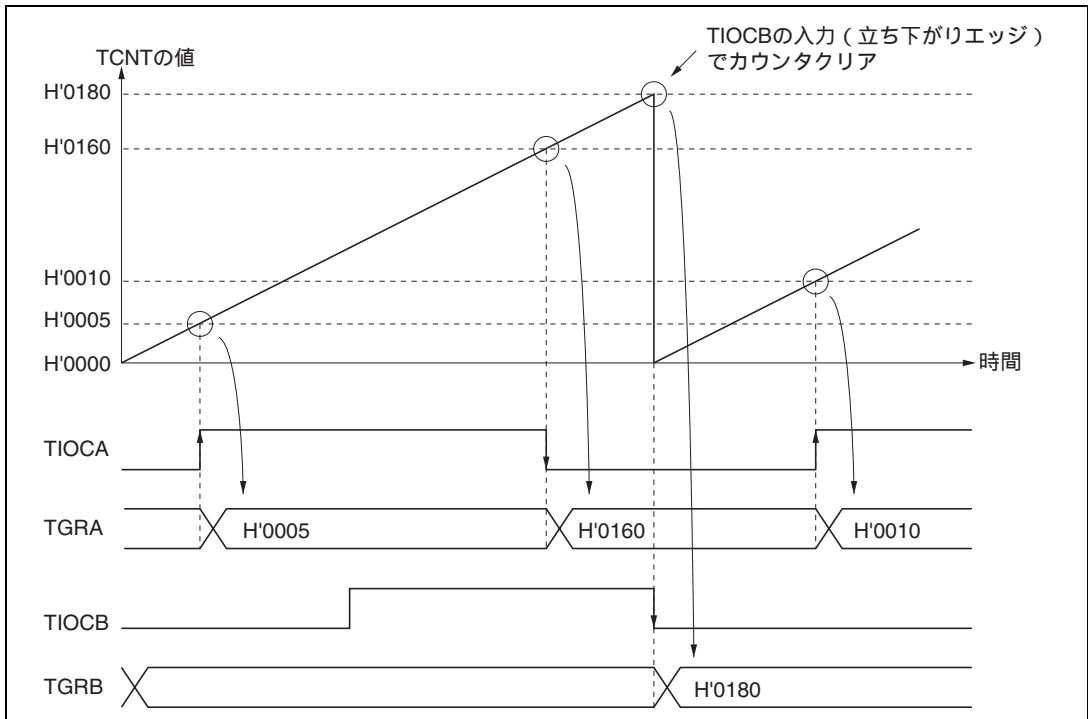


図 10.13 インพุットキャプチャ動作例

10.4.3 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます(同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます(同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.14 に示します。

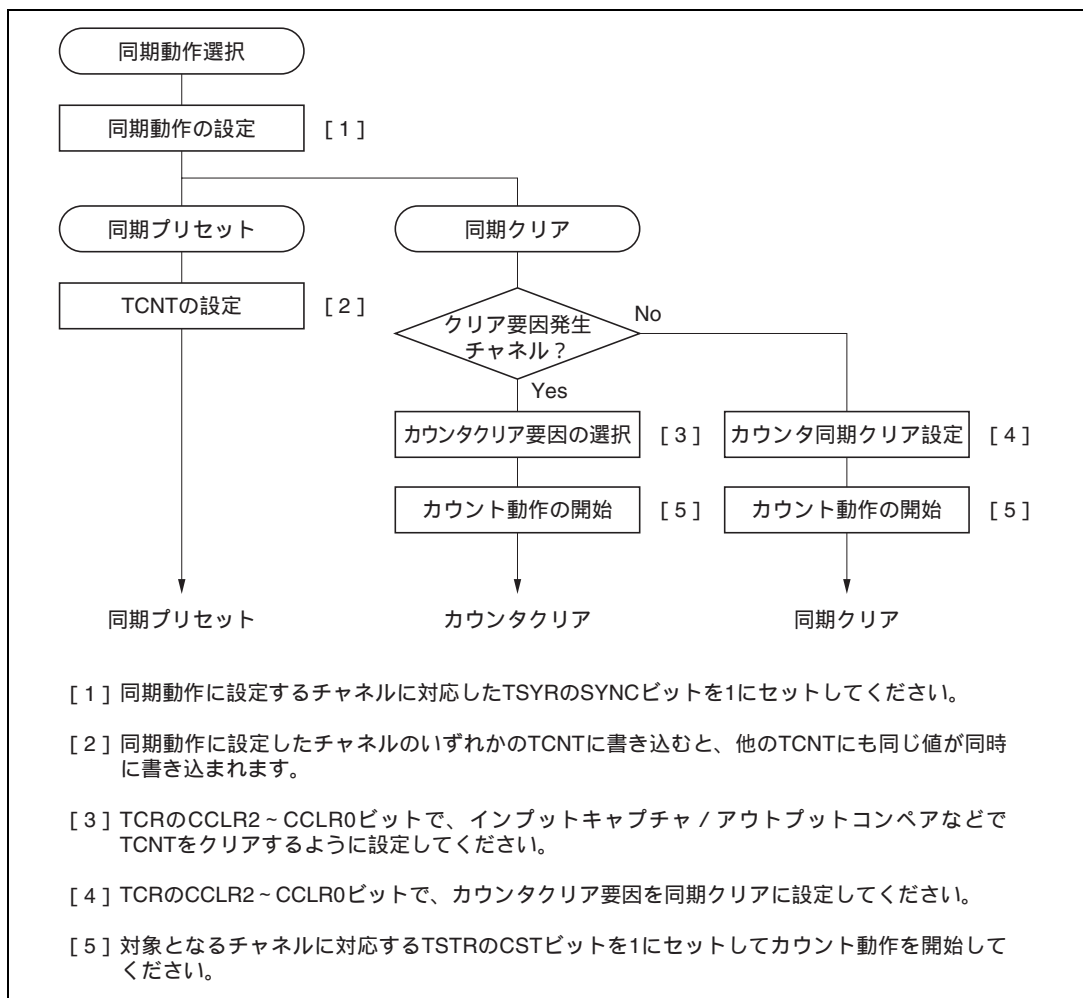


図 10.14 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 10.15 に示します。

チャンネル0~2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGR0Bのコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOC0A、TIOC1A、TIOC2A端子から出力します。このとき、チャンネル0~2のTCNTは同期プリセット、TGR0Bのコンペアマッチによる同期クリアを行い、TGR0Bに設定したデータがPWM周期となります。

PWMモードについては、「10.4.6 PWMモード」を参照してください。

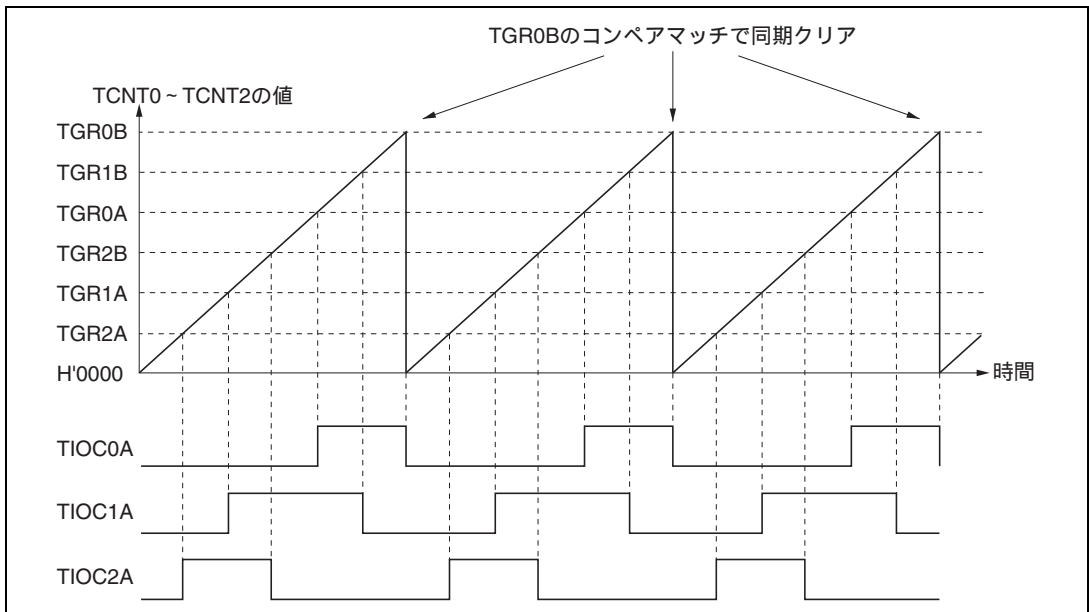


図 10.15 同期動作の動作例

10.4.4 バッファ動作

バッファ動作は、チャンネル0、3が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表10.5にバッファ動作時のレジスタの組み合わせを示します。

表 10.5 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGR0A	TGR0C
	TGR0B	TGR0D
3	TGR3A	TGR3C
	TGR3B	TGR3D

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図10.16に示します。

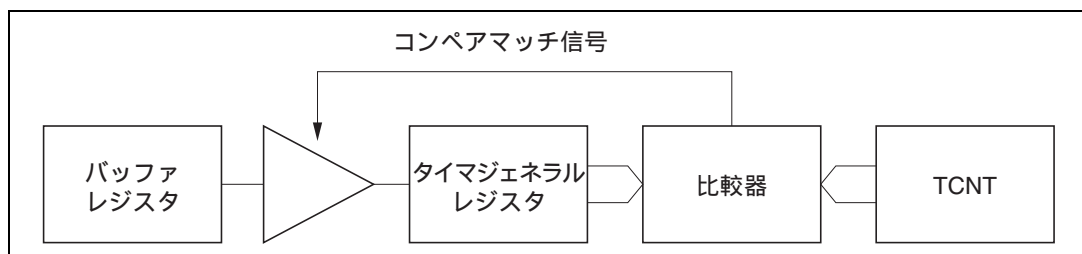


図 10.16 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNTの値をTGRに転送すると同時に、それまで格納されていたタイマジェネラルレジスタの値をバッファレジスタに転送します。

この動作を図10.17に示します。

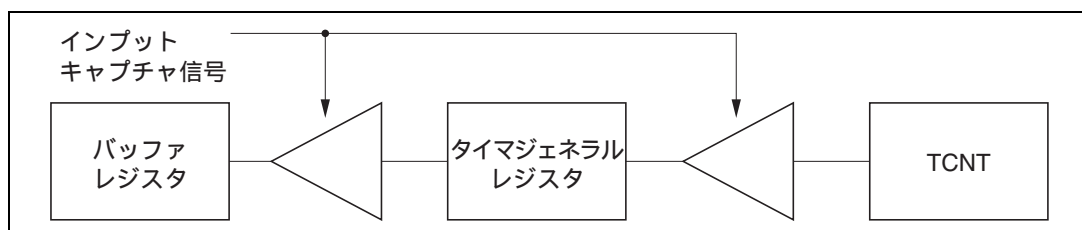


図 10.17 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.18 に示します。

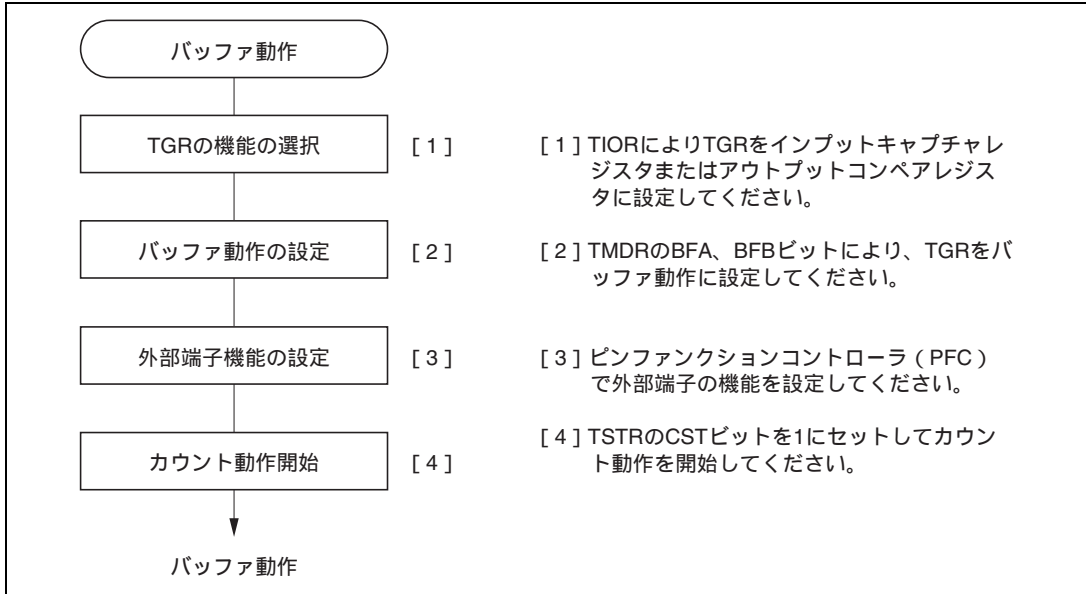


図 10.18 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図10.19に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「10.4.6 PWMモード」を参照してください。

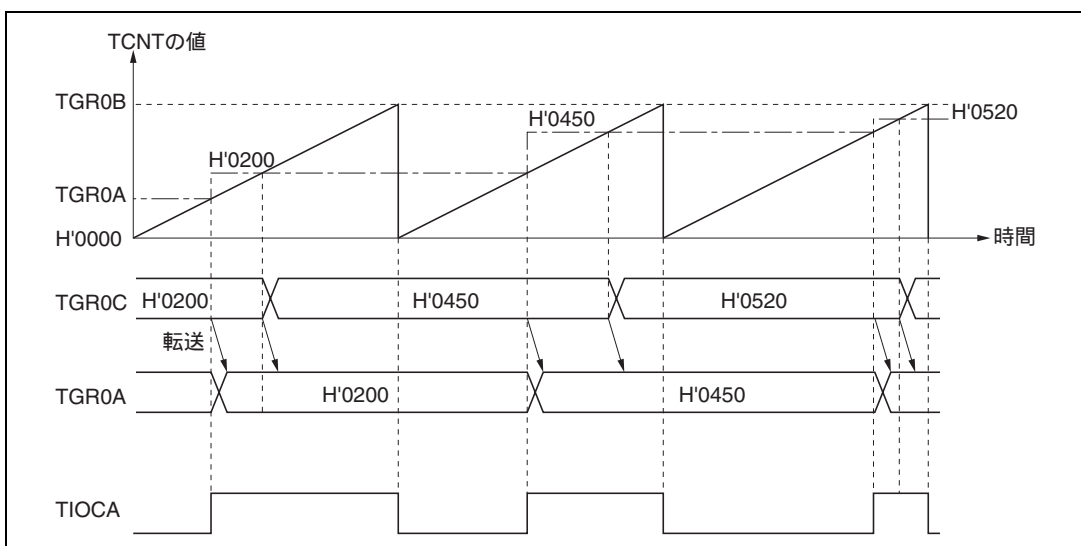


図 10.19 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.20 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

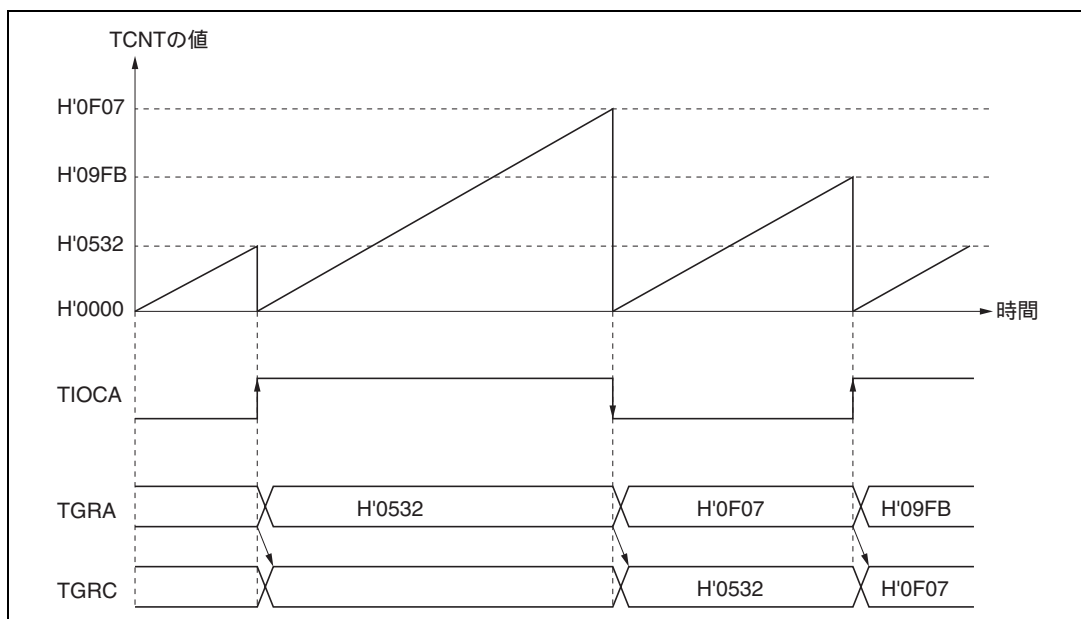


図 10.20 バッファ動作例 (2)

10.4.5 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1(チャンネル4)のカウンタクロックをTCRのTPSC2~TPSC0ビットでTCNT2(TCNT5)のオーバーフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表 10.6 にカスケード接続の組み合わせを示します。

【注】 チャンネル1、4を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.6 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	TCNT1	TCNT2
チャンネル4とチャンネル5	TCNT4	TCNT5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.21 に示します。

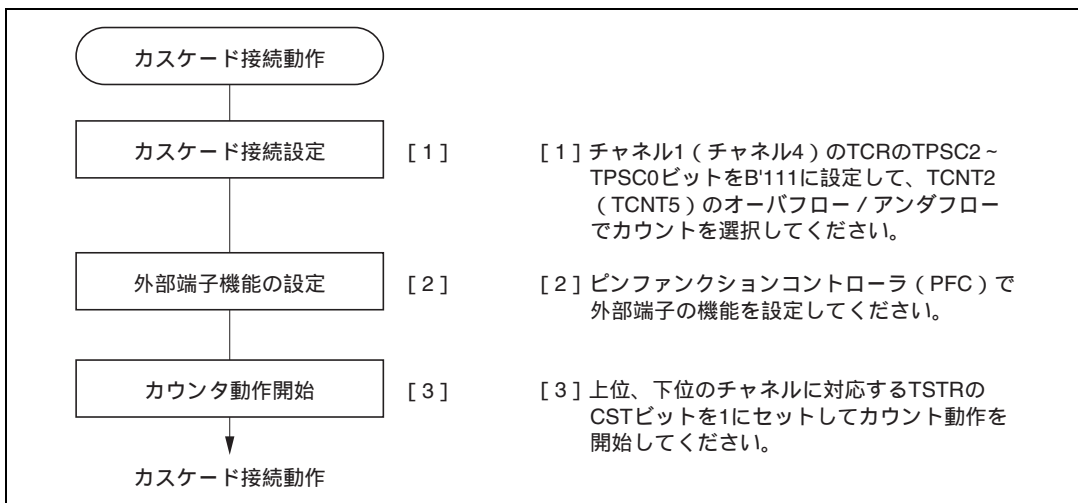


図 10.21 カスケード接続動作設定手順例

(2) カスケード接続動作例

TCNT1 は TCNT2 のオーバーフロー / アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 10.22 に示します。

TCNT1 は、TCNT2 のオーバーフローでアップカウント、TCNT2 のアンダフローでダウンカウントされます。

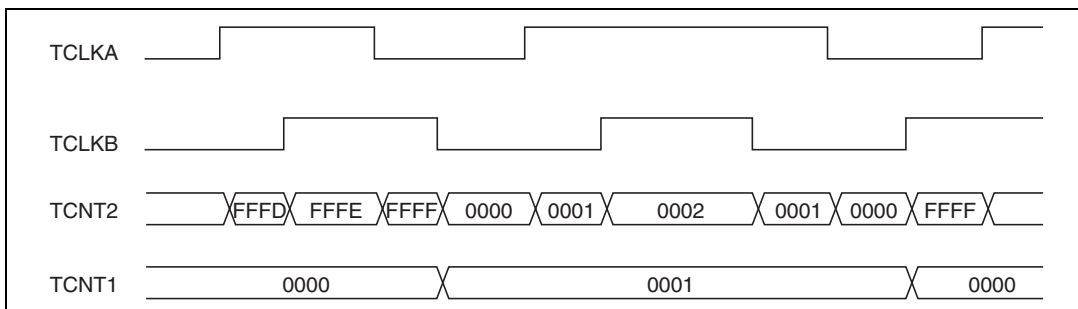


図 10.22 カスケード接続動作例

10.4.6 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWMモード1

TGRAとTGRB、TGRCとTGRDをペアで使用して、TIOCA、TIOCC端子からPWM出力を生成します。TIOCA、TIOCC端子からコンペアマッチA、CによってTIORのIOA3～IOA0、IOC3～IOC0ビットで指定した出力を、また、コンペアマッチB、DによってTIORのIOB3～IOB0、IOD3～IOD0ビットで指定した出力を行います。初期出力値はTGRA、TGRCに設定した値になります。ペアで使用するTGRの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード1では、最大8相のPWM出力が可能です。

(b) PWMモード2

TGRの1本を周期レジスタ、他のTGRをデューティレジスタに使用してPWM出力を生成します。コンペアマッチによって、TIORで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値はTIORで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード2では、同期動作と併用することにより最大15相のPWM出力が可能です。

PWM 出力端子とレジスタの対応を表 10.7 に示します。

表 10.7 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGR0A	TIOC0A	TIOC0A
	TGR0B		TIOC0B
	TGR0C	TIOC0C	TIOC0C
	TGR0D		TIOC0D
1	TGR1A	TIOC1A	TIOC1A
	TGR1B		TIOC1B
2	TGR2A	TIOC2A	TIOC2A
	TGR2B		TIOC2B
3	TGR3A	TIOC3A	TIOC3A
	TGR3B		TIOC3B
	TGR3C	TIOC3C	TIOC3C
	TGR3D		TIOC3D
4	TGR4A	TIOC4A	TIOC4A
	TGR4B		TIOC4B
5	TGR5A	TIOC5A	TIOC5A
	TGR5B		TIOC5B

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1) PWMモードの設定手順例

PWMモードの設定手順例を図 10.23 に示します。

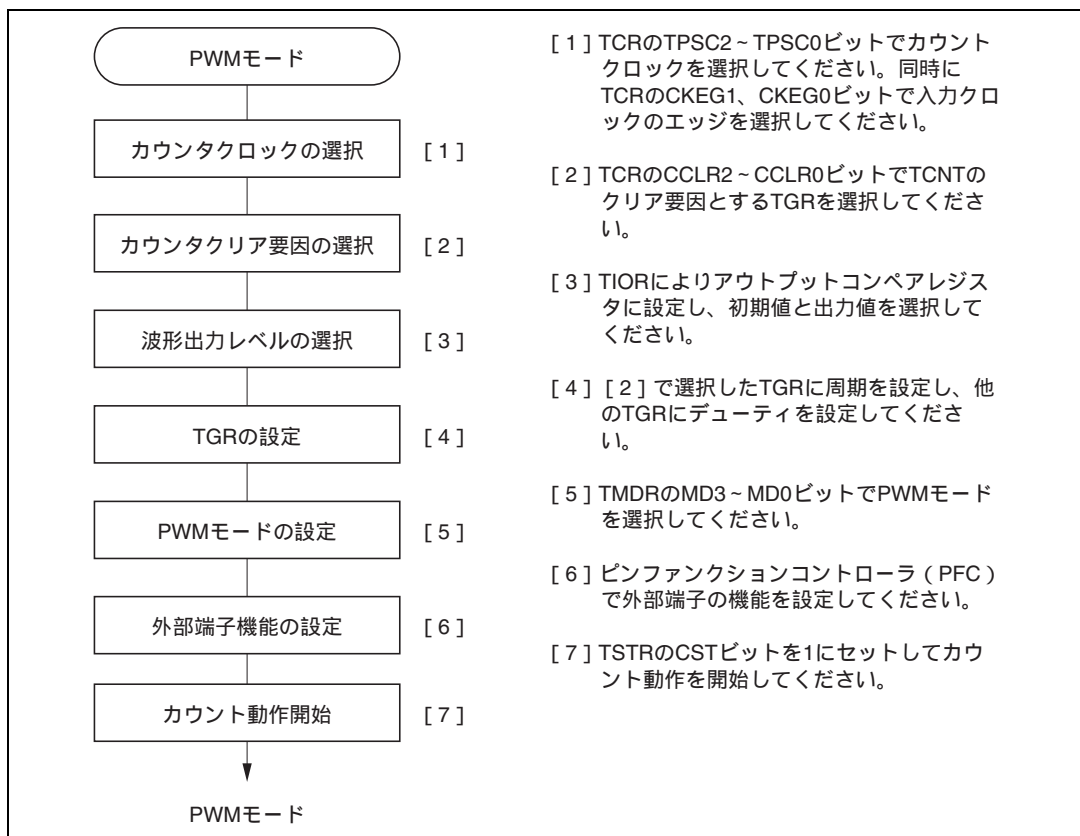


図 10.23 PWMモードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 10.24 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

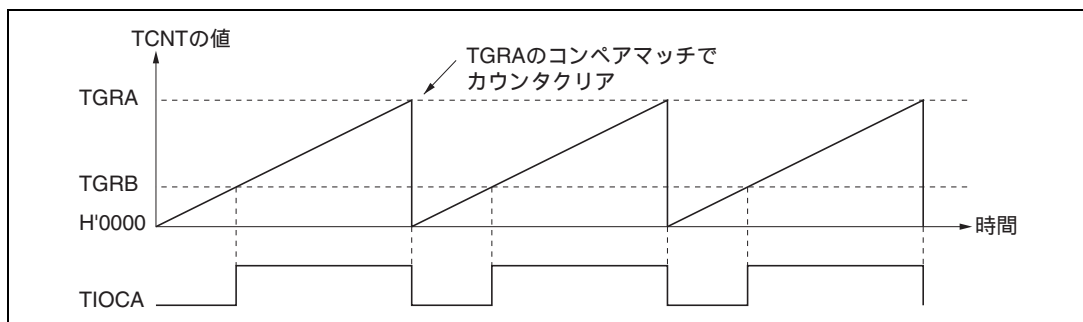


図 10.24 PWM モードの動作例 (1)

PWM モード 2 の動作例を図 10.25 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGR1B のコンペアマッチとし、他の TGR (TGR0A ~ TGR0D, TGR1A) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGR1B に設定した値が周期となり、他の TGR に設定した値がデューティになります。

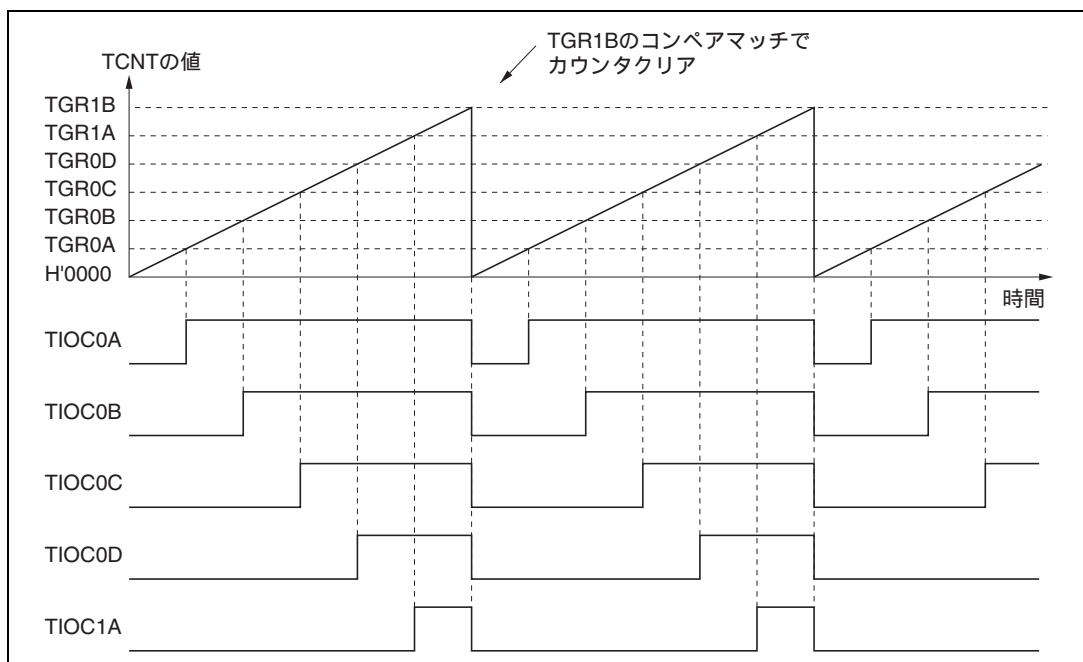


図 10.25 PWM モードの動作例 (2)

10. 16ビットタイマパルスユニット(TPU)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図10.26に示します。

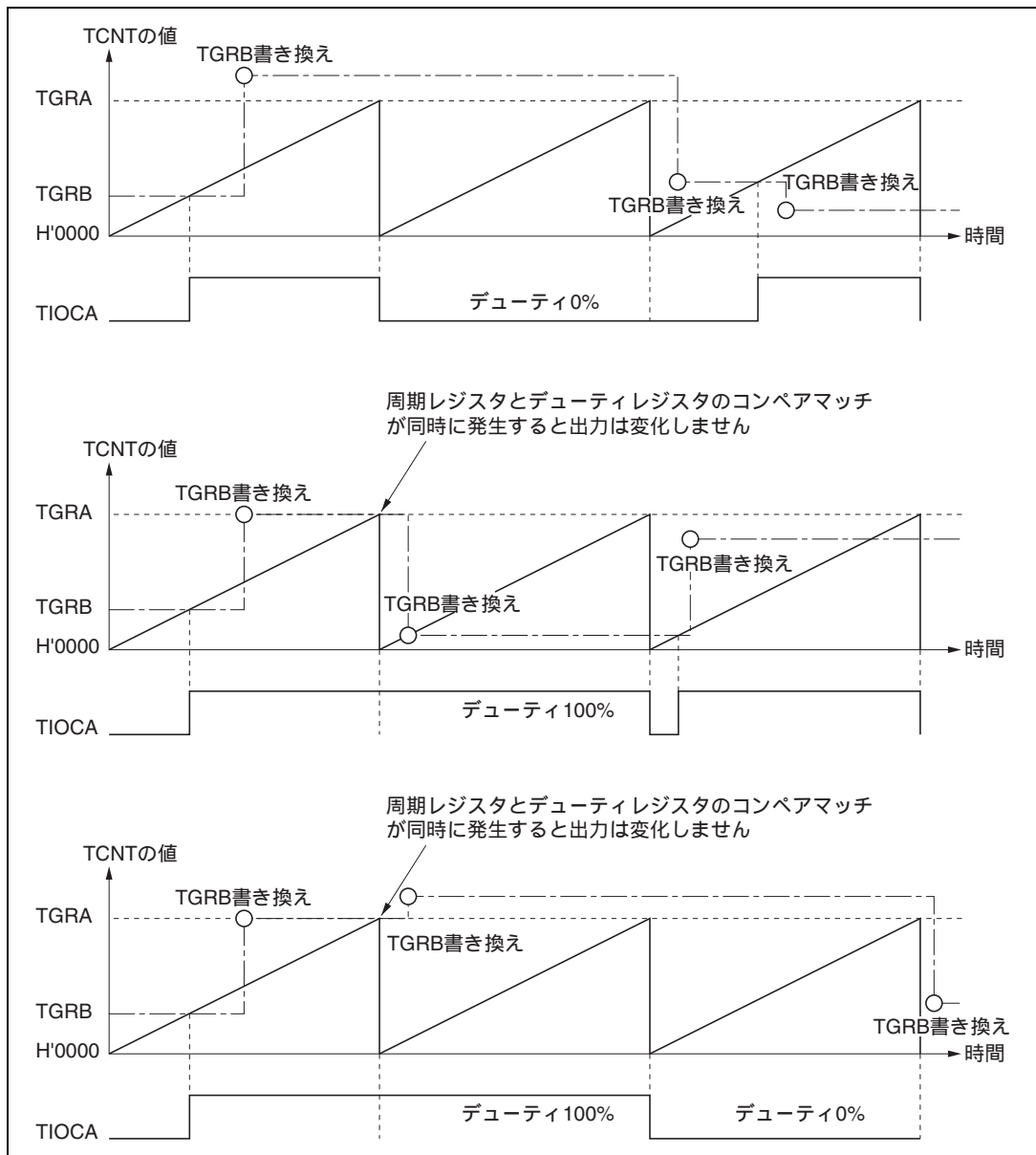


図10.26 PWMモード動作例(3)

10.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力の位相差を検出し、TCNTをアップ/ダウンカウントします。このモードはチャンネル1、2、4、5で設定可能です。

位相計数モードに設定すると、TCRのTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TCRのCCLR1、CCLR0ビット、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTがアップカウント時、オーバフローが発生するとするとTSRのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグを読み出すことにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表 10.8 に外部クロック端子とチャンネルの対応を示します。

表 10.8 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル1または5を位相計数モードとするとき	TCLKA	TCLKB
チャンネル2または4を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.27 に示します。

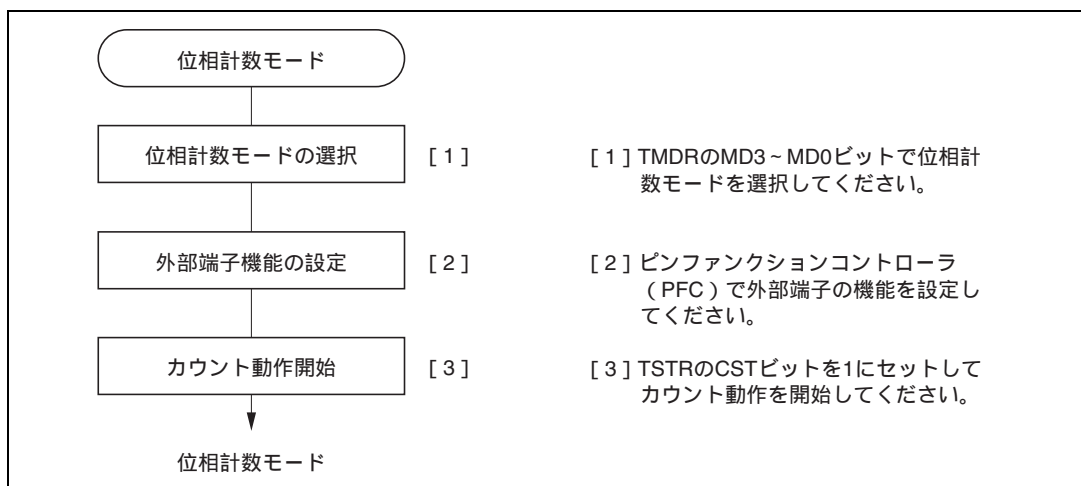


図 10.27 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図10.28に、TCNTのアップ/ダウンカウント条件を表10.9に示します。

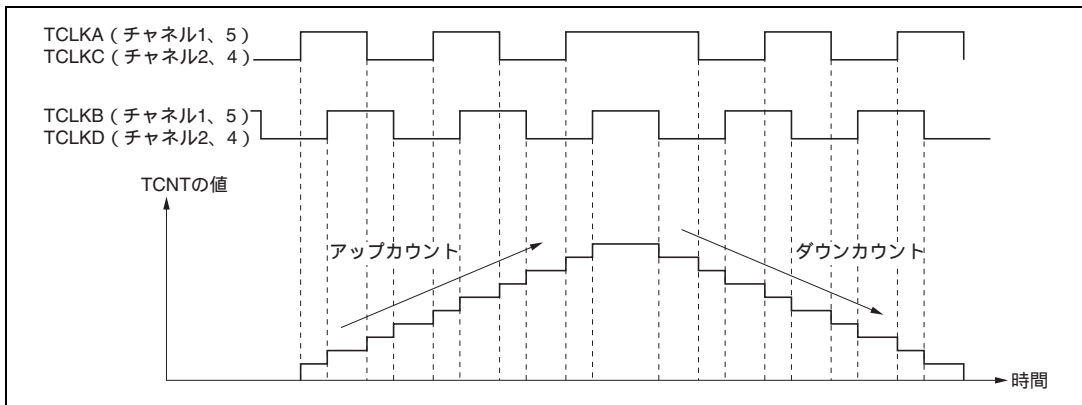


図 10.28 位相計数モード1の動作例

表 10.9 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【注】 ↑ : 立ち上がりエッジ
 ↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図10.29に、TCNTのアップ/ダウンカウント条件を表10.10に示します。

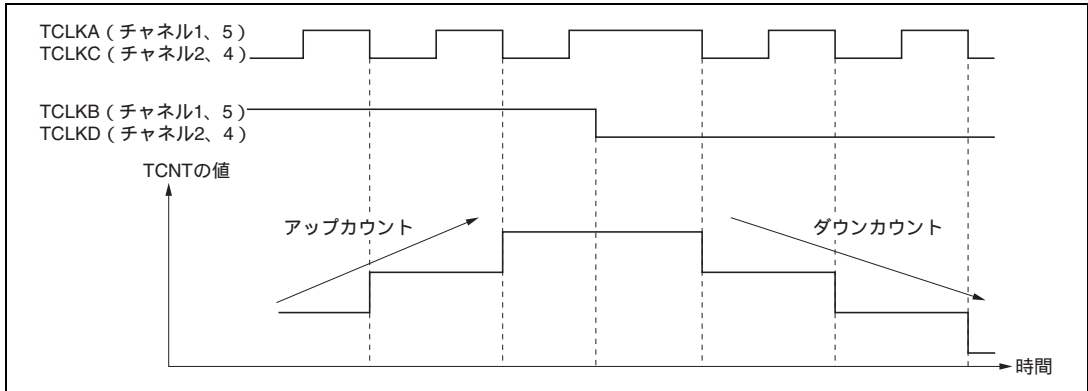


図 10.29 位相計数モード2の動作例

表 10.10 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	ダウンカウント

【注】 ↑ : 立ち上がりエッジ
 ↓ : 立ち下がりエッジ

10. 16 ビットタイマパルスユニット (TPU)

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 10.30 に、TCNT のアップ/ダウンカウント条件を表 10.11 に示します。

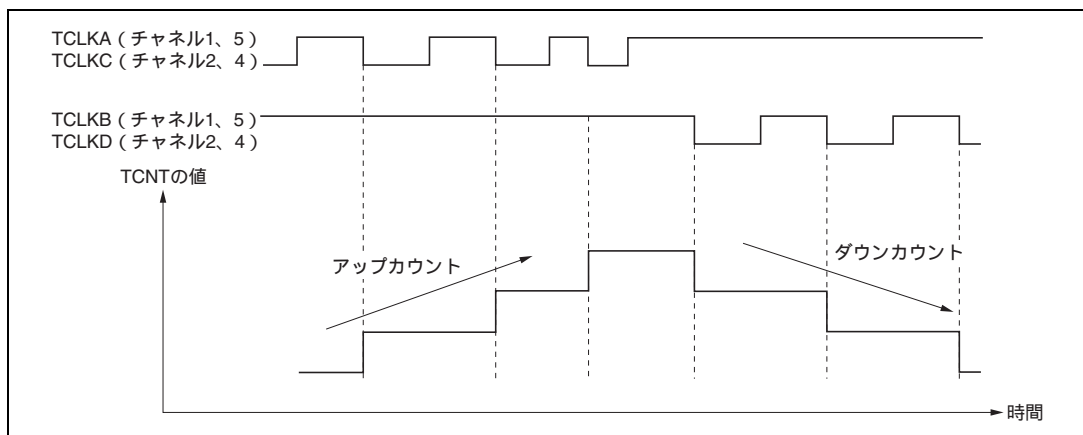


図 10.30 位相計数モード 3 の動作例

表 10.11 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	\uparrow	Don't care
Low レベル	\downarrow	Don't care
\uparrow	Low レベル	Don't care
\downarrow	High レベル	アップカウント
High レベル	\downarrow	ダウンカウント
Low レベル	\uparrow	Don't care
\uparrow	High レベル	Don't care
\downarrow	Low レベル	Don't care

【注】 \uparrow : 立ち上がりエッジ

\downarrow : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図10.31に、TCNTのアップ/ダウンカウント条件を表10.12に示します。

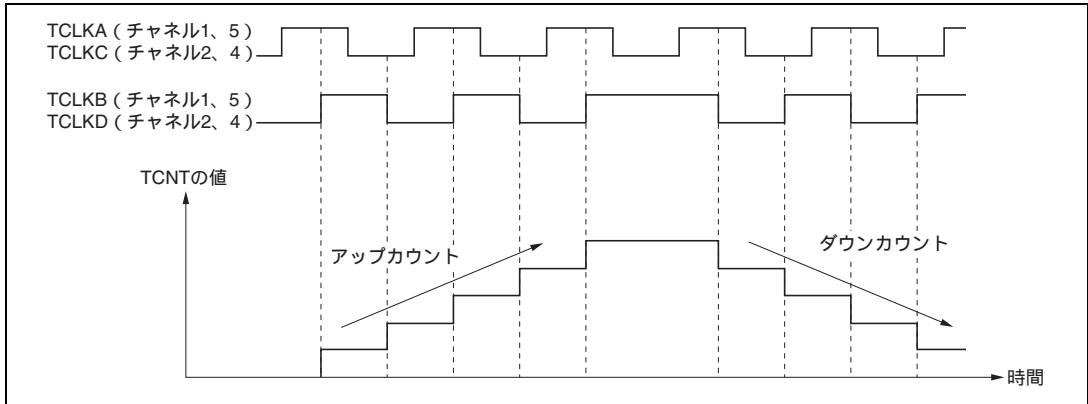


図 10.31 位相計数モード4の動作例

表 10.12 位相計数モード4の動作例

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	アップカウント
↑	Low レベル	Don't care
↓	High レベル	Don't care
High レベル	↓	ダウンカウント
Low レベル	↑	ダウンカウント
↑	High レベル	Don't care
↓	Low レベル	Don't care

【注】 ↑ : 立ち上がりエッジ
 ↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図10.32に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGR0Cのコンペアマッチでカウンタクリアとして動作させ、TGR0AとTGR0Cはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGR0Bは入力キャプチャ機能で使用し、TGR0BとTGR0Dをバッファ動作させます。TGR0Bの入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅の検出を行います。

チャンネル1のTGR1AとTGR1Bは、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGR0AとTGR0Cのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出が行うことができます。

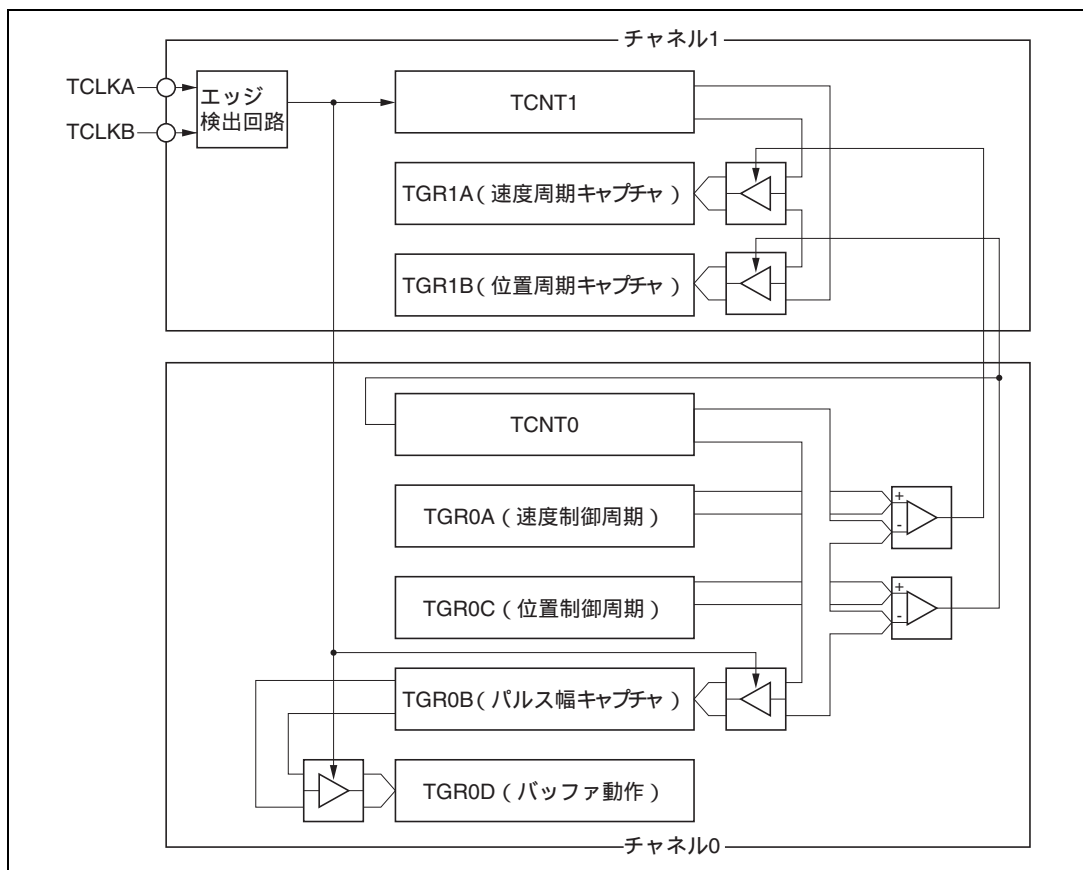


図10.32 位相計数モードの応用例

10.5 割り込み

10.5.1 割り込み要因と優先順位

TPUの割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第6章 割り込みコントローラ(INTC)」を参照してください。

表10.13にTPUの割り込み要因の一覧を示します。

表 10.13 TPU 割り込み一覧

チャンネル	割り込み要因	内 容	DMACの 起動	優先 順位
0	TGI0A	TGR0Aのインプットキャプチャ/コンペアマッチ	可	高 ↑
	TGI0B	TGR0Bのインプットキャプチャ/コンペアマッチ	不可	
	TGI0C	TGR0Cのインプットキャプチャ/コンペアマッチ	不可	
	TGI0D	TGR0Dのインプットキャプチャ/コンペアマッチ	不可	
	TCI0V	TCNT0のオーバフロー	不可	
1	TGI1A	TGR1Aのインプットキャプチャ/コンペアマッチ	可	↑ ↓ 低
	TGI1B	TGR1Bのインプットキャプチャ/コンペアマッチ	不可	
	TCI1V	TCNT1のオーバフロー	不可	
	TCI1U	TCNT1のアンダフロー	不可	
2	TGI2A	TGR2Aのインプットキャプチャ/コンペアマッチ	可	
	TGI2B	TGR2Bのインプットキャプチャ/コンペアマッチ	不可	
	TCI2V	TCNT2のオーバフロー	不可	
	TCI2U	TCNT2のアンダフロー	不可	
3	TGI3A	TGR3Aのインプットキャプチャ/コンペアマッチ	可	
	TGI3B	TGR3Bのインプットキャプチャ/コンペアマッチ	不可	
	TGI3C	TGR3Cのインプットキャプチャ/コンペアマッチ	不可	
	TGI3D	TGR3Dのインプットキャプチャ/コンペアマッチ	不可	
	TCI3V	TCNT3のオーバフロー	不可	
4	TGI4A	TGR4Aのインプットキャプチャ/コンペアマッチ	可	
	TGI4B	TGR4Bのインプットキャプチャ/コンペアマッチ	不可	
	TCI4V	TCNT4のオーバフロー	不可	
	TCI4U	TCNT4のアンダフロー	不可	
5	TGI5A	TGR5Aのインプットキャプチャ/コンペアマッチ	可	
	TGI5B	TGR5Bのインプットキャプチャ/コンペアマッチ	不可	
	TCI5V	TCNT5のオーバフロー	不可	
	TCI5U	TCNT5のアンダフロー	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 6 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2、4、5 に各 1 本、計 4 本のアンダフロー割り込みがあります。

10.5.2 DMAC の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 9 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

10.5.3 A/D 変換器の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

10.6 動作タイミング

10.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.33 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 10.34 に示します。

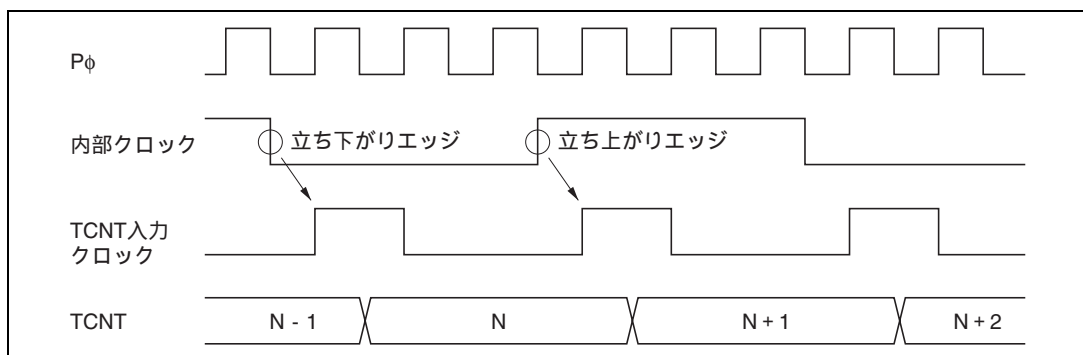


図 10.33 内部クロック動作時のカウントタイミング

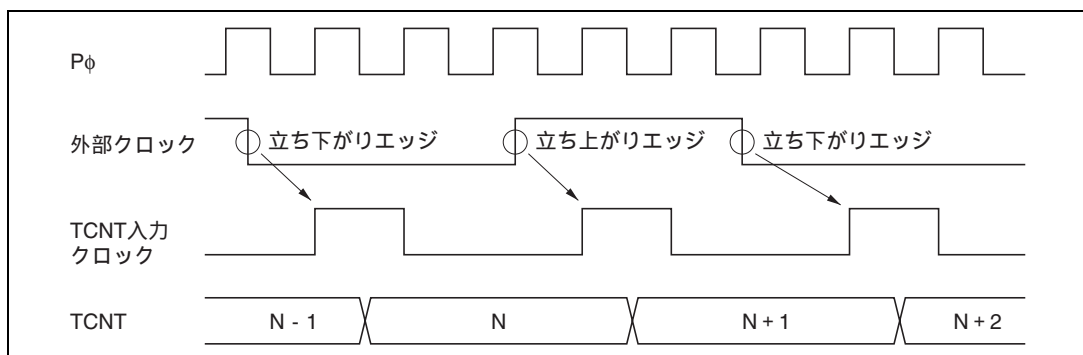


図 10.34 外部クロック動作時のカウントタイミング

10. 16ビットタイマパルスユニット(TPU)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとTGRが一致した最後のステート(TCNTが一致したカウント値を更新するタイミング)で発生します。コンペアマッチ信号が発生したとき、TIOCRで設定した出力値がアウトプットコンペア出力端子(TIOC端子)に出力されます。TCNTとTGRが一致した後、TCNT入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図10.35に示します。

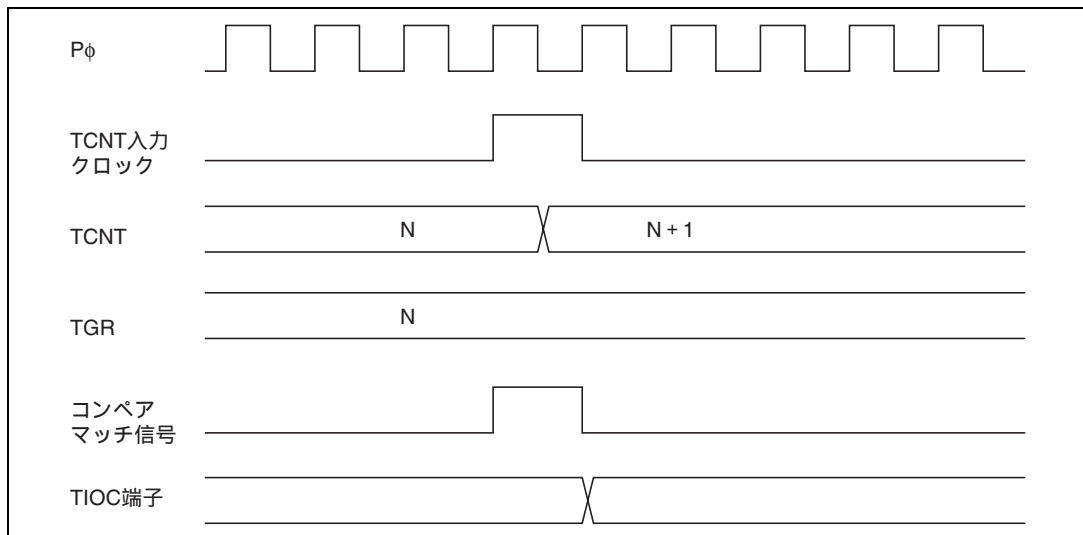


図 10.35 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図10.36に示します。

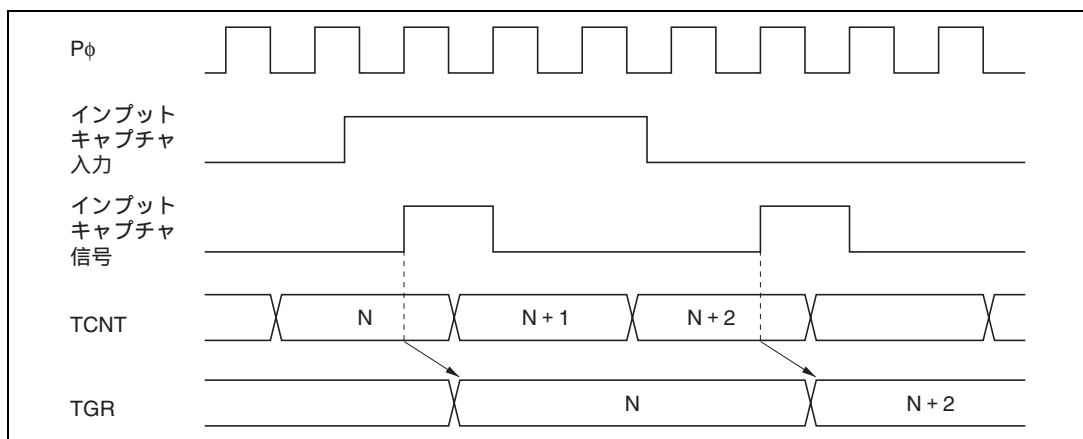


図 10.36 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.37 に示します。
 インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.38 に示します。

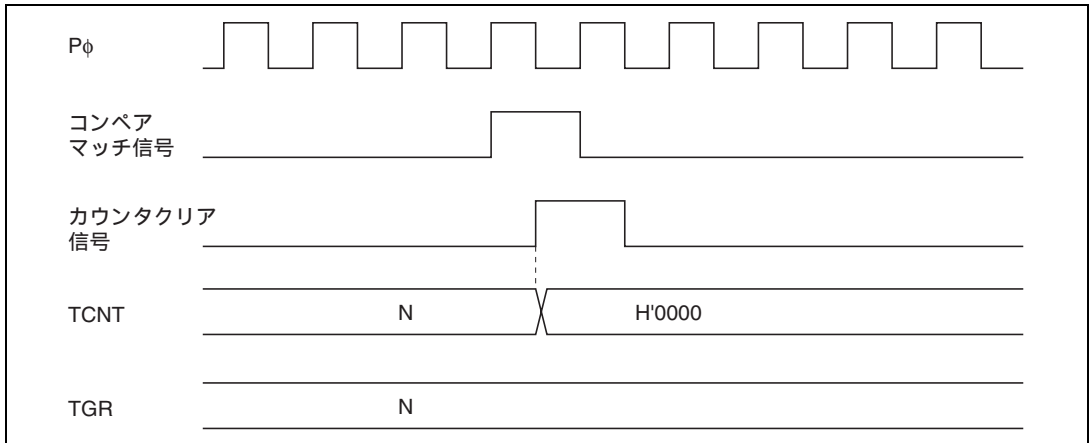


図 10.37 カウンタクリアタイミング (コンペアマッチ)

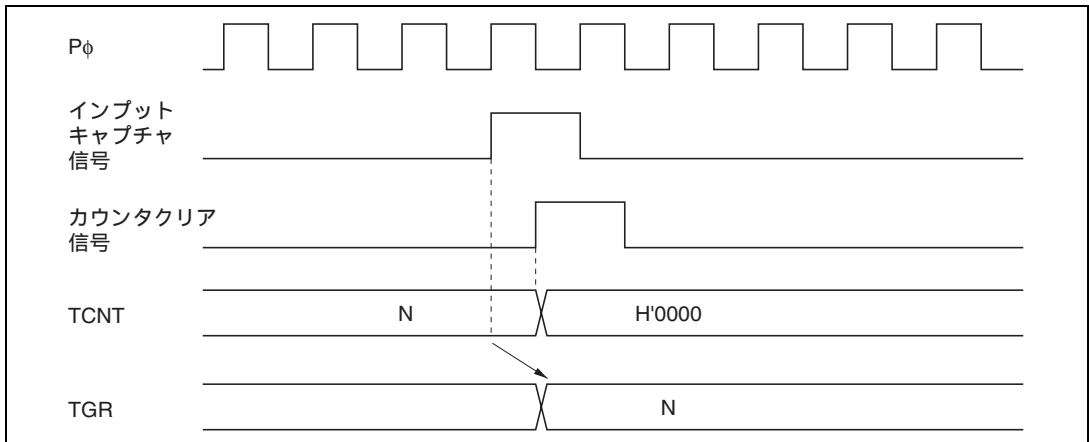


図 10.38 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.39、図 10.40 に示します。

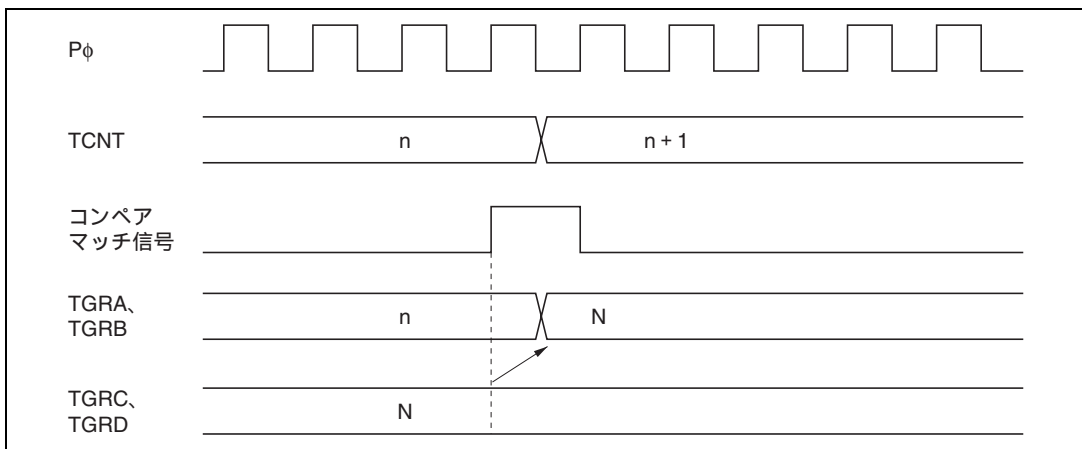


図 10.39 バッファ動作タイミング (コンペアマッチ)

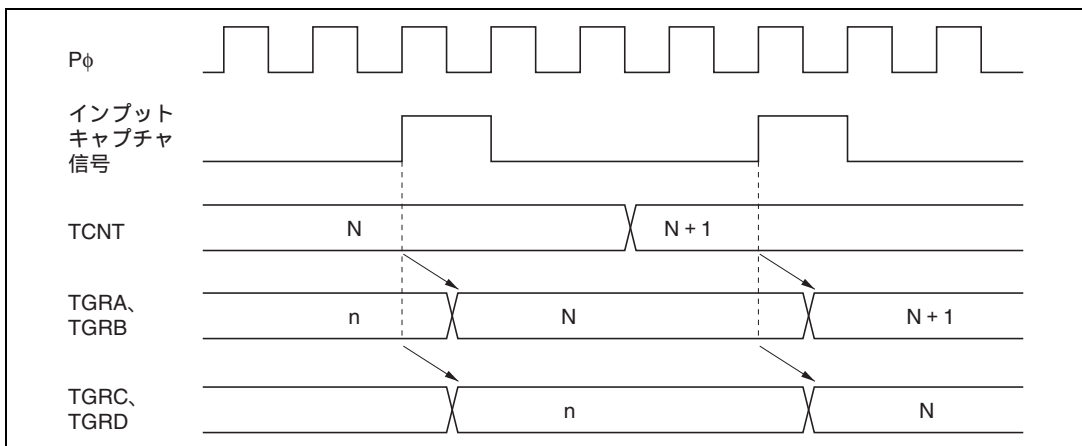


図 10.40 バッファ動作タイミング (インプットキャプチャ)

10.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生によるTSRのTGFフラグのセットタイミングと、TGI割り込み要求信号のタイミングを図10.41に示します。

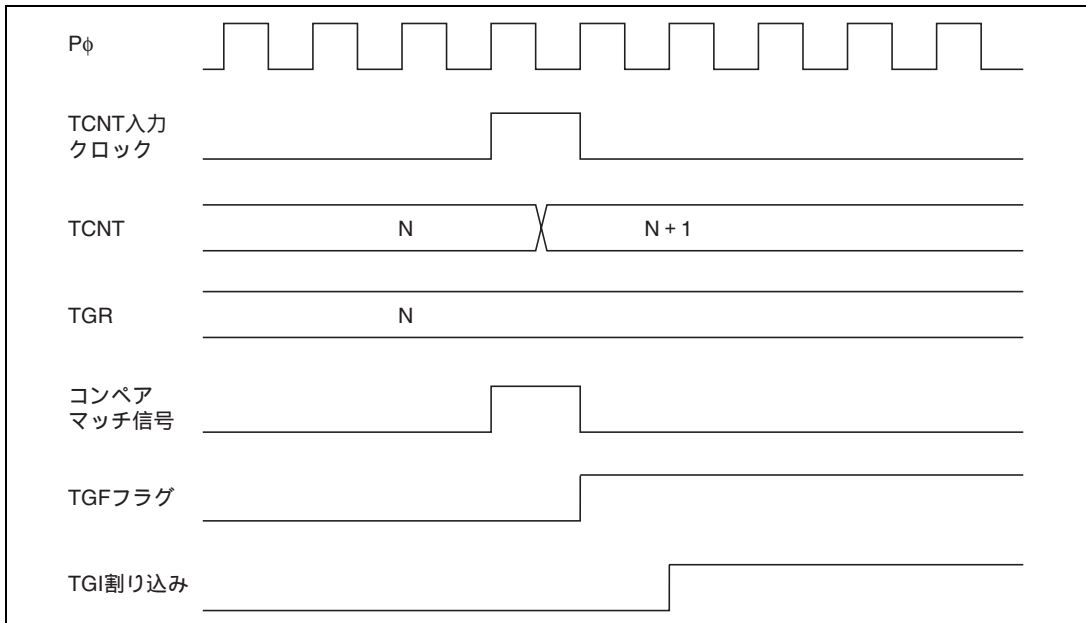


図 10.41 TGI 割り込みタイミング (コンペアマッチ)

10. 16ビットタイマパルスユニット(TPU)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.42 に示します。

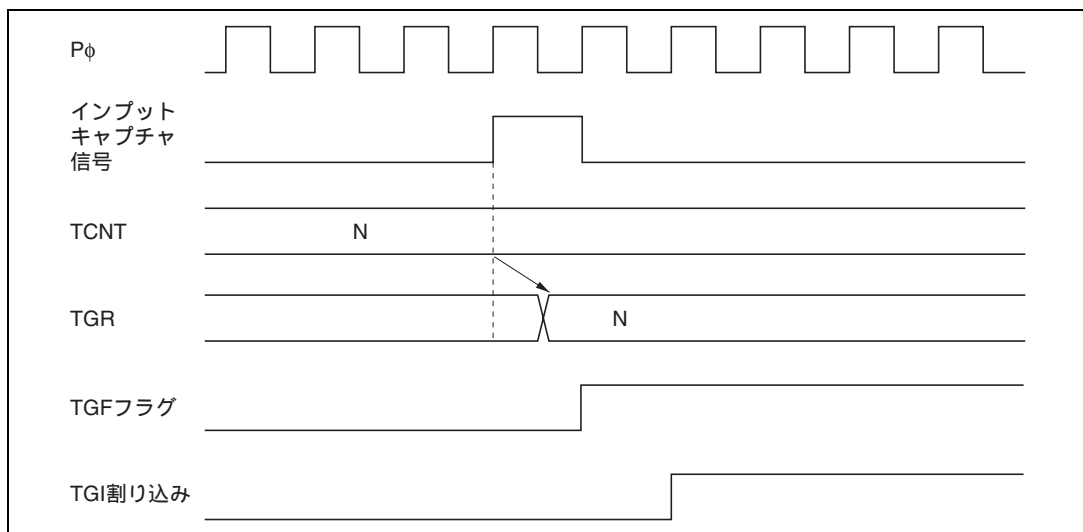


図 10.42 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.43 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.44 に示します。

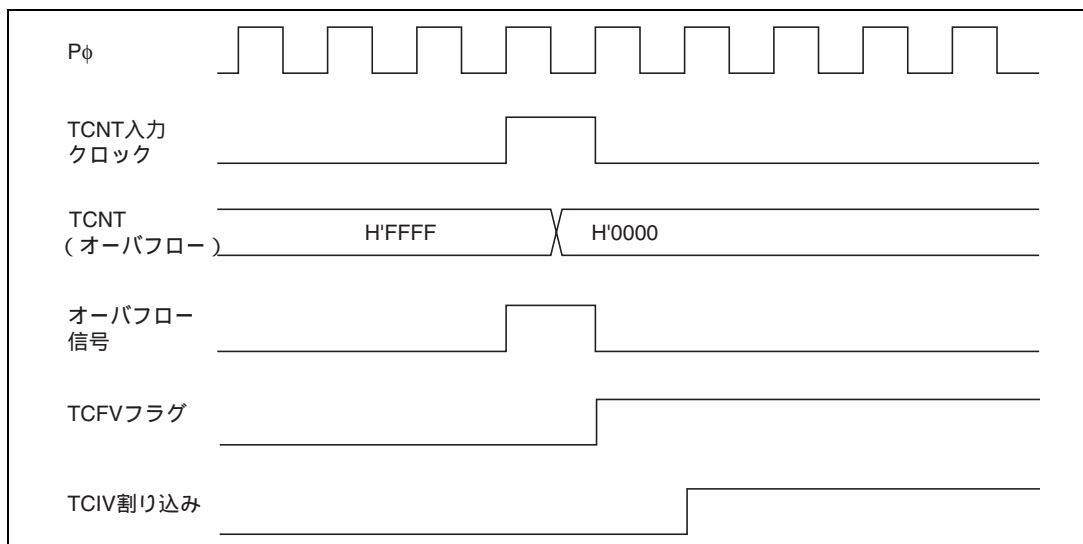


図 10.43 TCIV 割り込みのセットタイミング

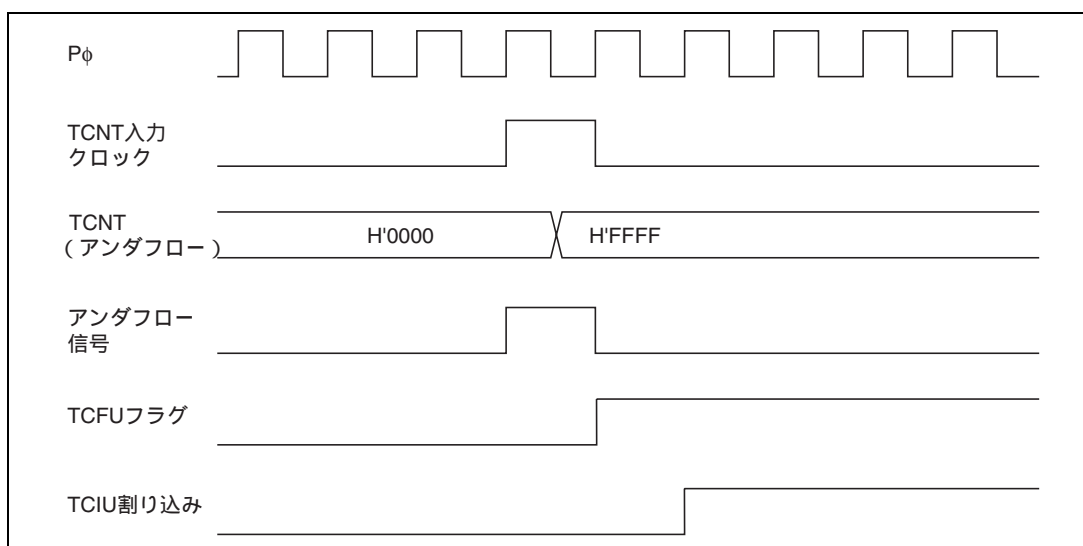


図 10.44 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態を読み出した後、0を書き込むとクリアされます。DMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図10.45に、DMACによるステータスフラグのクリアのタイミングを図10.46に示します。

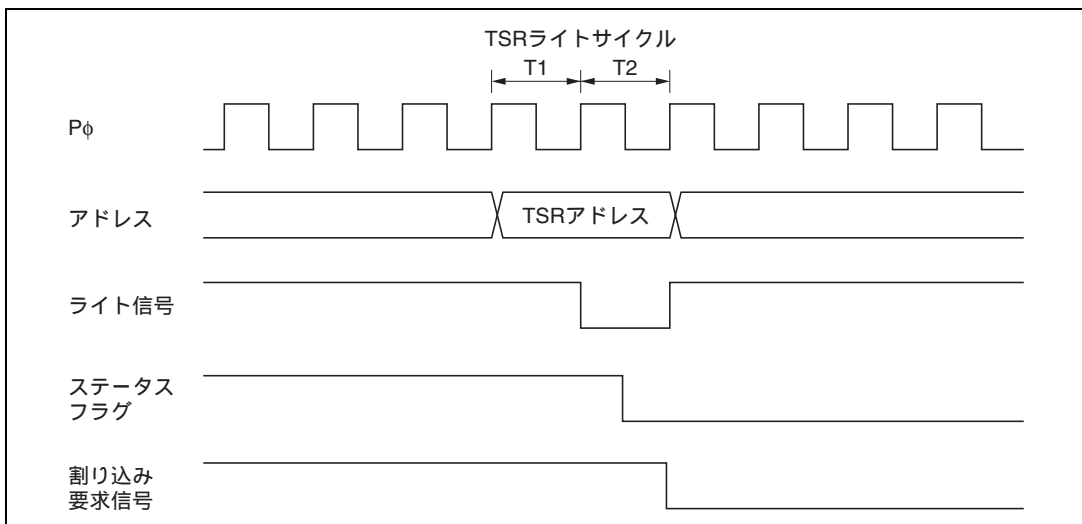


図 10.45 CPU によるステータスフラグのクリアタイミング

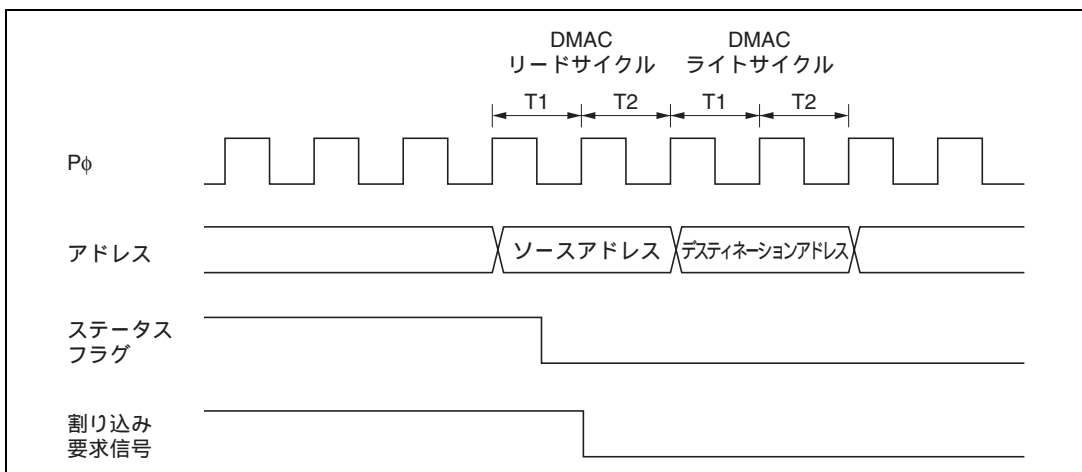


図 10.46 DMAC の起動によるステータスフラグのクリアタイミング

10.7 使用上の注意

TPU の動作中、次のような動作や競合が起こりますので注意してください。

(1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 10.47 に示します。

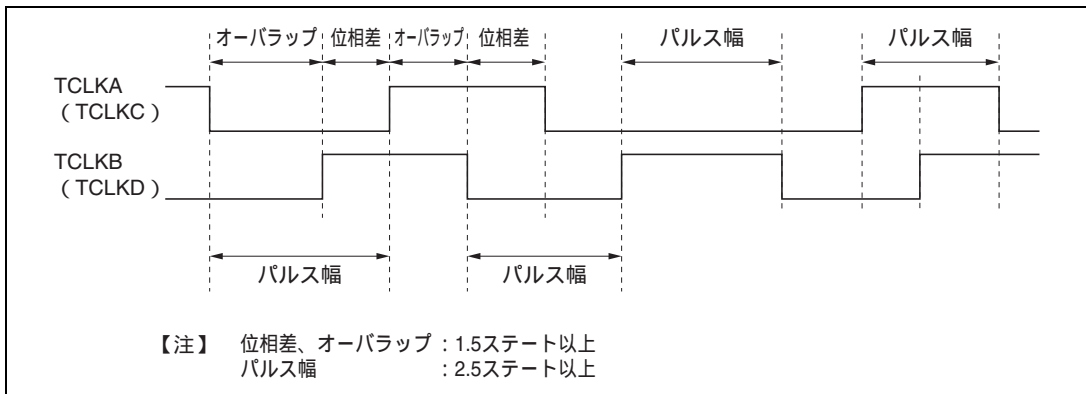


図 10.47 位相計数モード時の位相差、オーバーラップ、およびパルス幅

(2) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

$$f = \frac{P\phi}{(N+1)}$$

f : カウンタ周波数

Pφ : 動作周波数

N : TGR の設定値

(3) TCNTの書き込みとクリアの競合

TCNTの書き込みサイクル中のT2状態で、カウンタクリア信号が発生すると、TCNTへの書き込みは行われず、TCNTのクリアが優先されます。

このタイミングを図10.48に示します。

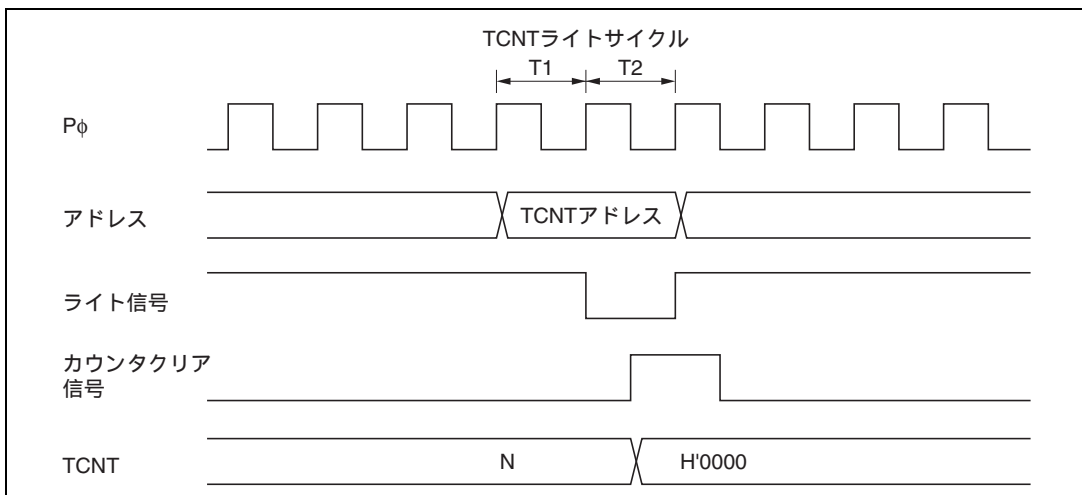


図 10.48 TCNTの書き込みとクリアの競合

(4) TCNTの書き込みとカウントアップの競合

TCNTの書き込みサイクル中のT2状態で、カウントアップが発生しても、カウントアップされず、TCNTへの書き込みが優先されます。

このタイミングを図10.49に示します。

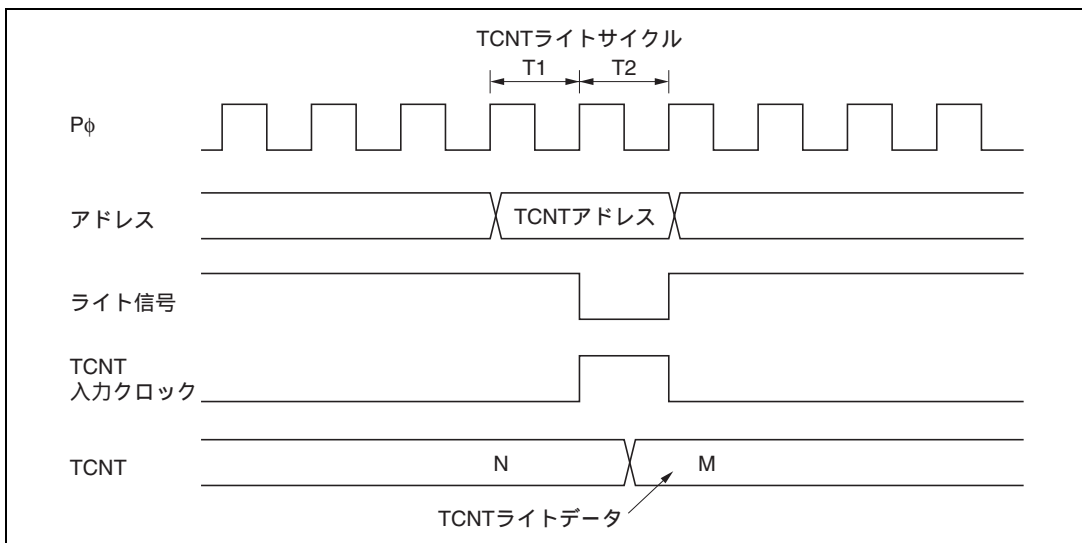


図 10.49 TCNTの書き込みとカウントアップの競合

(5) TGRの書き込みとコンペアマッチの競合

TGRの書き込みサイクル中のT2状態でコンペアマッチが発生しても、TGRの書き込みが優先され、コンペアマッチ信号は禁止されます。前回と同じ値を書き込んだ場合でもコンペアマッチは発生しません。

このタイミングを図10.50に示します。

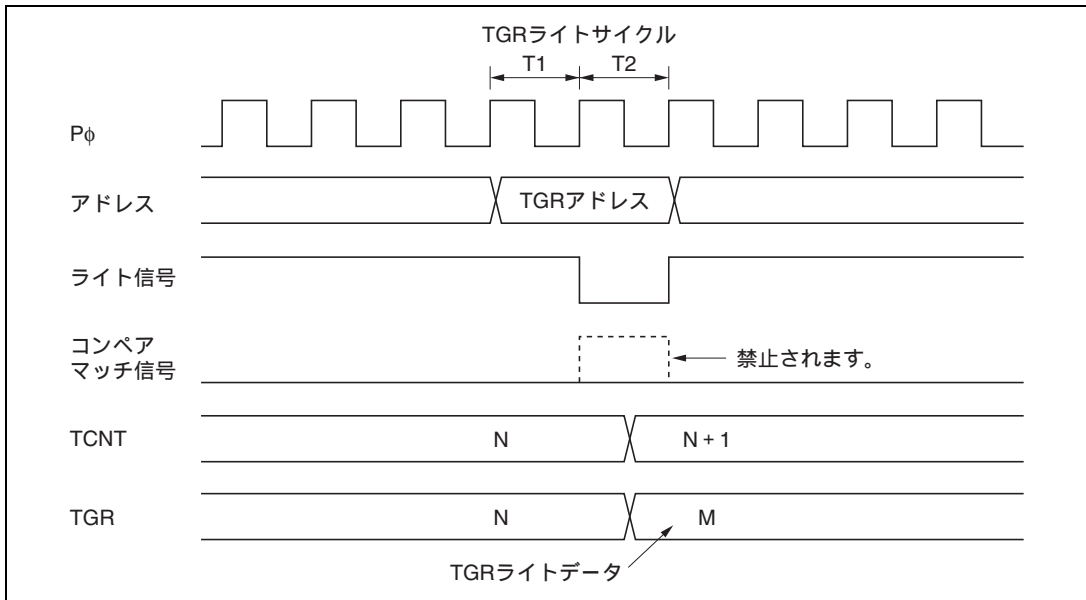


図 10.50 TGRの書き込みとコンペアマッチの競合

(6) バッファレジスタの書き込みとコンペアマッチの競合

TGR の書き込みサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込みデータとなります。

このタイミングを図 10.51 に示します。

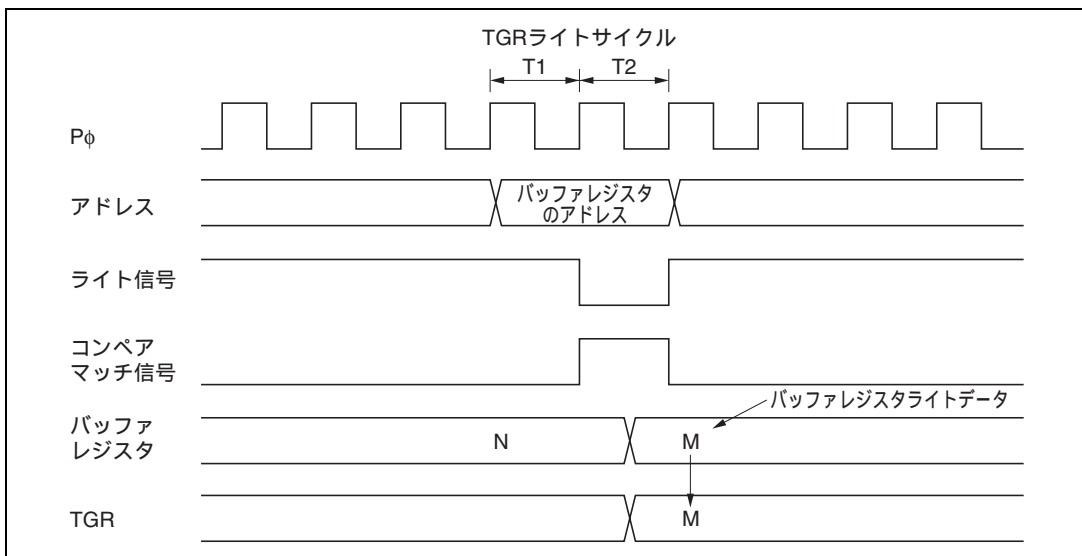


図 10.51 バッファレジスタの書き込みとコンペアマッチの競合

(7) TGR の読み出しとインプットキャプチャの競合

TGR の読み出しサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、読み出されるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.52 に示します。

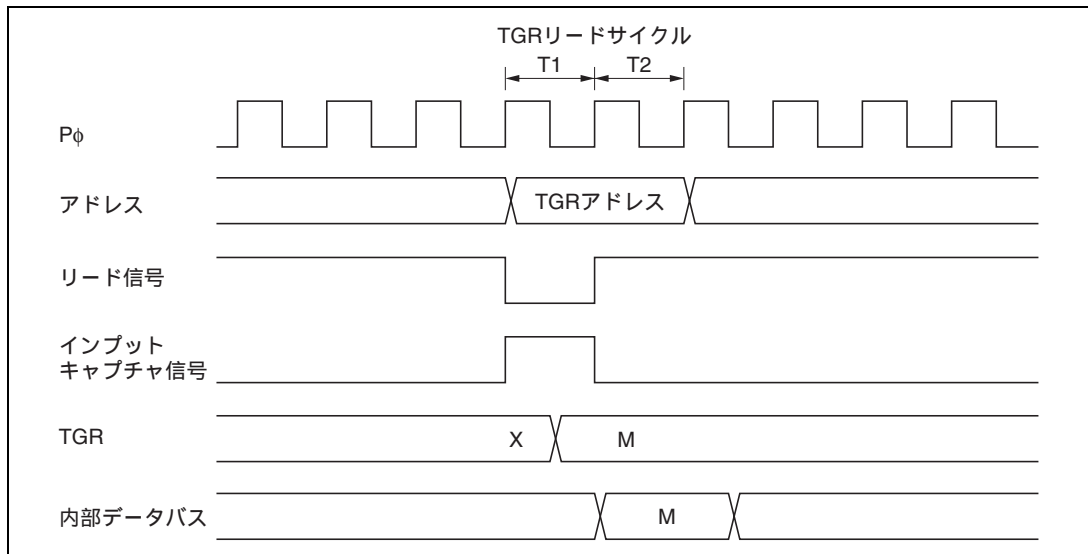


図 10.52 TGR の読み出しとインプットキャプチャの競合

(8) TGRの書き込みとインプットキャプチャの競合

TGRの書き込みサイクル中のT2ステートでインプットキャプチャ信号が発生すると、TGRへの書き込みは行われず、インプットキャプチャが優先されます。

このタイミングを図10.53に示します。

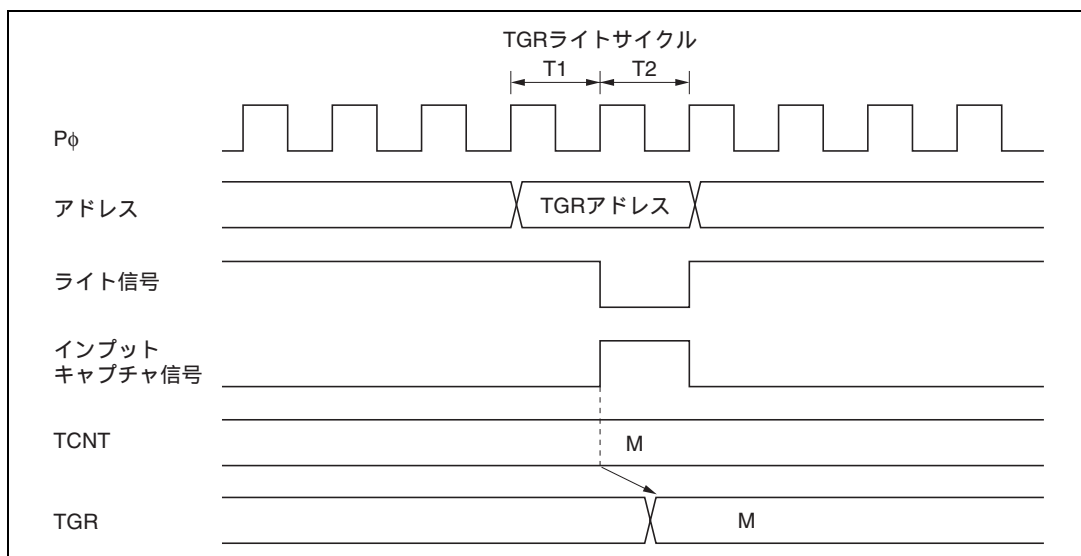


図 10.53 TGRの書き込みとインプットキャプチャの競合

(9) バッファレジスタの書き込みとインプットキャプチャの競合

バッファの書き込みサイクル中のT2状態でインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図10.54に示します。

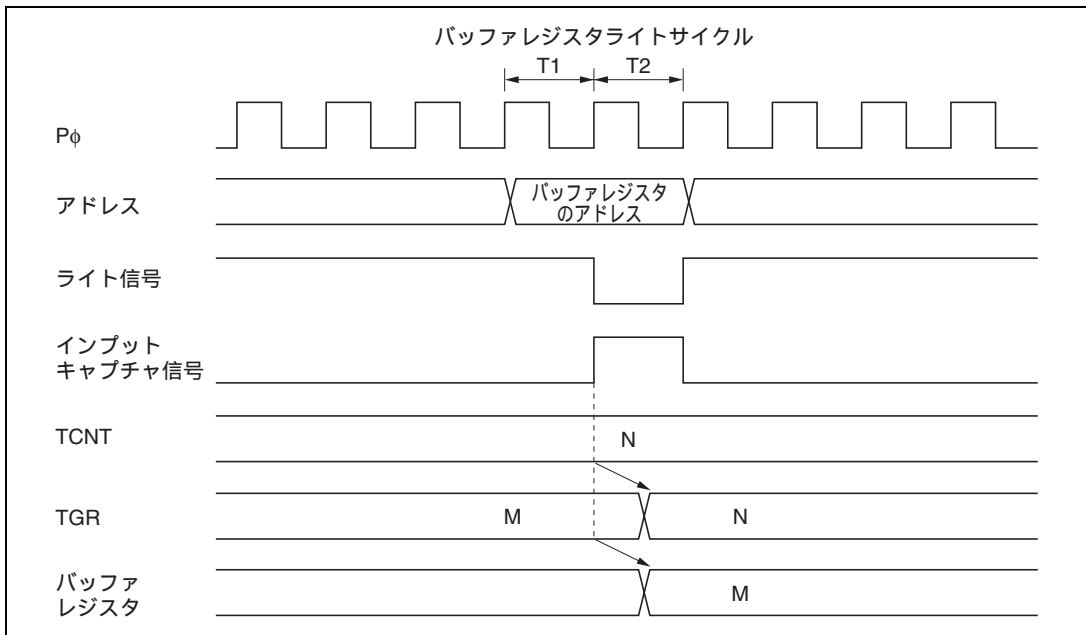


図 10.54 バッファレジスタの書き込みとインプットキャプチャの競合

10. 16ビットタイマパルスユニット (TPU)

(10) オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.55 に示します。

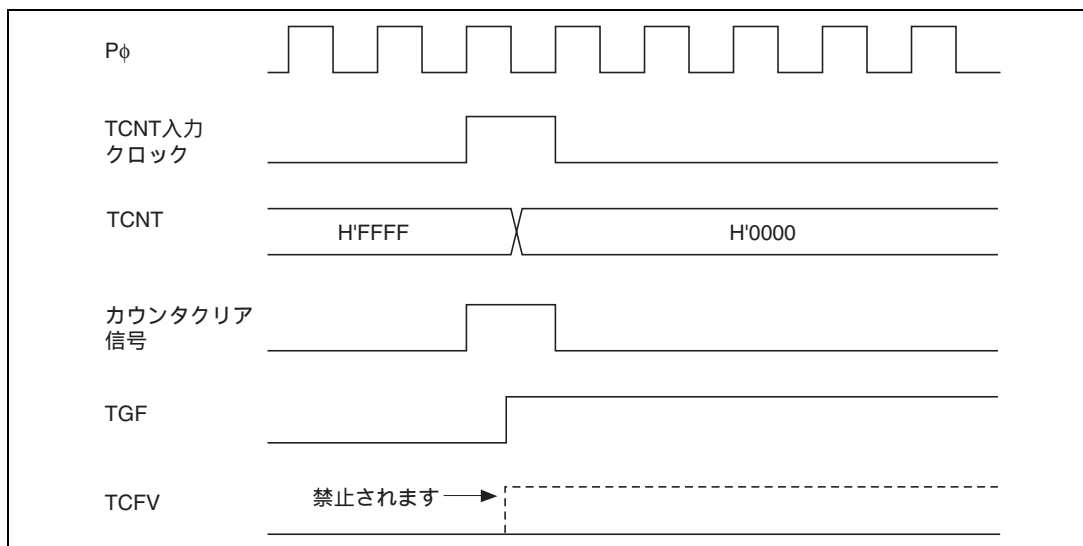


図 10.55 オーバフローとカウンタクリアの競合

(11) TCNTの書き込みとオーバーフロー/アンダフローの競合

TCNTの書き込みサイクル中のT2ステートで、カウントアップ/カウントダウンが発生し、オーバーフロー/アンダフローが発生しても、TCNTへの書き込みが優先され、TSRのTCFV/TCFUフラグはセットされません。

TCNTの書き込みとオーバーフロー競合時の動作タイミングを図10.56に示します。

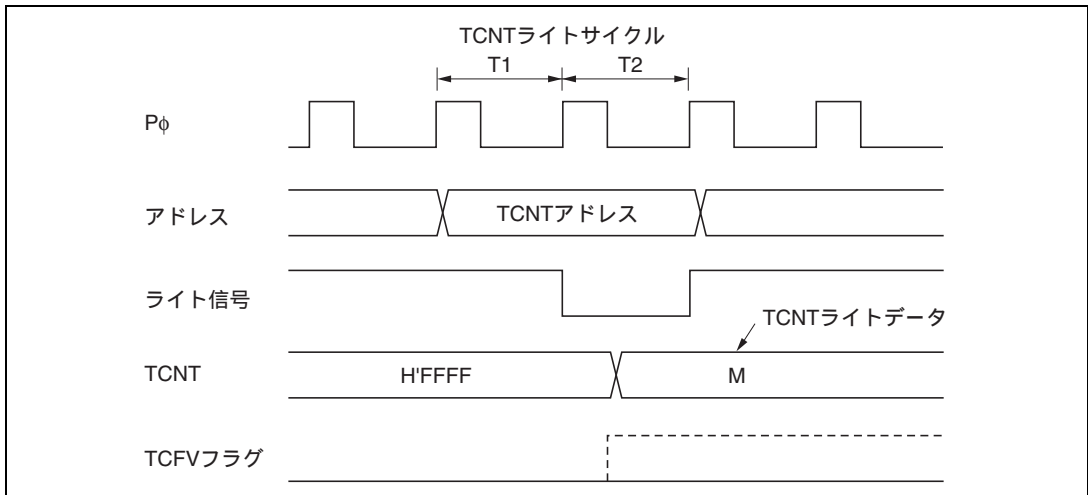


図 10.56 TCNTの書き込みとオーバーフローの競合

10. 16ビットタイマパルスユニット (TPU)

11. モータマネージメントタイマ (MMT)

11.1 概要

本 LSI は、16 ビットタイマにより構成されるモータマネージメントタイマ (MMT) を内蔵しています。MMT は 1 チャンネルのタイマで、ノンオーバーラップタイムを持った 6 相 PWM 波形を出力することができます。

11.1.1 特長

MMT には次の特長があります。

- 三角波比較タイプのノンオーバーラップタイムを持った 6 相 PWM 波形を出力可能
 - タイマデッドタイムカウンタによりノンオーバーラップタイムを生成
- PWM 周期に同期したトルク出力可能
- 外部信号によるカウンタクリアが可能
- DMAC の起動によるデータ転送が可能
- A/D 変換器の変換スタートトリガを生成可能
 - コンペアマッチ信号を A/D 変換器の変換スタートトリガとして使用
- 出力 OFF 機能
 - 外部信号による PWM 出力の停止機能
 - 発振停止時の PWM 出力の停止機能

11. モータマネジメントタイマ (MMT)

11.1.2 ブロック図

MMTのブロック図を図 11.1 に示します。ただし、 $P\phi$ は、CKPをモジュールクロック分周設定レジスタの設定で分周したものです。

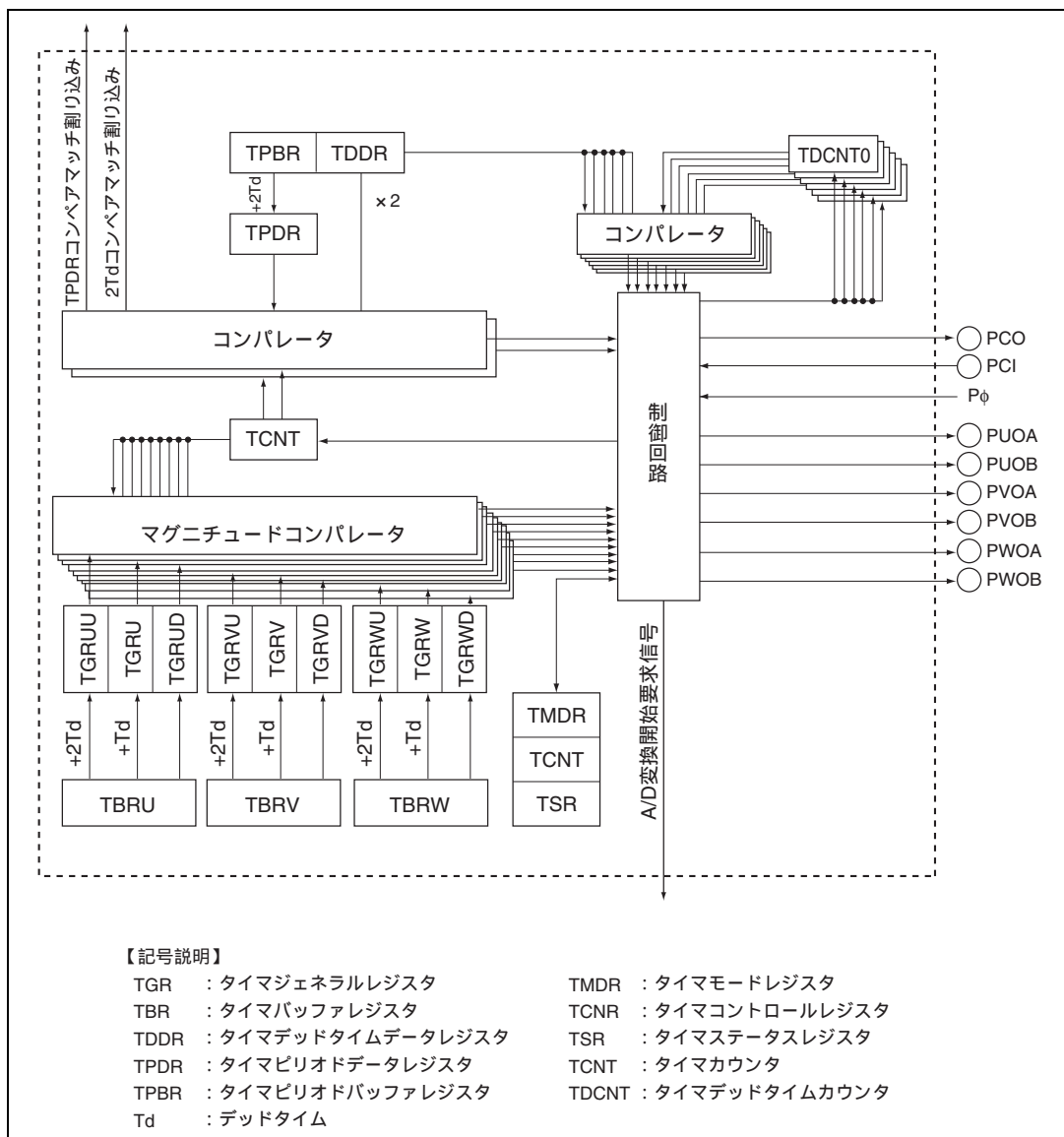


図 11.1 MMT ブロック図

11.1.3 端子構成

MMT の端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	信号名	入出力	機能
カウンタクリア入力	PCI	入力	カウンタクリア信号入力
PWM 周期出力	PCO	出力	PWM 周期に同期したトグル出力
PWMU 相出力 A	PUOA	出力	PWMU 相出力 (正相)
PWMU 相出力 B	PUOB	出力	PWMU 相出力 (逆相)
PWMV 相出力 A	PVOA	出力	PWMV 相出力 (正相)
PWMV 相出力 B	PVOB	出力	PWMV 相出力 (逆相)
PWMW 相出力 A	PWOA	出力	PWMW 相出力 (正相)
PWMW 相出力 B	PWOB	出力	PWMW 相出力 (逆相)

11. モータマネージメントタイマ (MMT)

11.1.4 レジスタ構成

MMT のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
タイマモードレジスタ	TMDR	R/W	H'00	H'FFFF 0480	8、16、32
タイマコントロールレジスタ	TCNR	R/W	H'00	H'FFFF 0482	8、16、32
タイマステータスレジスタ	TSR	R/(W)	H'80	H'FFFF 0484	8、16、32
タイマカウンタ	TCNT	R/W	H'0000	H'FFFF 0486	16、32
タイマバッファレジスタ U	TBRU	R/W	H'FFFF	H'FFFF 0490、 H'FFFF 049C*	16、32
タイマバッファレジスタ V	TBRV	R/W	H'FFFF	H'FFFF 04A0、 H'FFFF 04AC*	16、32
タイマバッファレジスタ W	TBRW	R/W	H'FFFF	H'FFFF 04B0、 H'FFFF 04BC*	16、32
タイマジェネラルレジスタ UU	TGRUU	R/W	H'FFFF	H'FFFF 0492	16、32
タイマジェネラルレジスタ VU	TGRVU	R/W	H'FFFF	H'FFFF 04A2	16、32
タイマジェネラルレジスタ WU	TGRWU	R/W	H'FFFF	H'FFFF 04B2	16、32
タイマジェネラルレジスタ U	TGRU	R/W	H'FFFF	H'FFFF 0494	16、32
タイマジェネラルレジスタ V	TGRV	R/W	H'FFFF	H'FFFF 04A4	16、32
タイマジェネラルレジスタ W	TGRW	R/W	H'FFFF	H'FFFF 04B4	16、32
タイマジェネラルレジスタ UD	TGRUD	R/W	H'FFFF	H'FFFF 0496	16、32
タイマジェネラルレジスタ VD	TGRVD	R/W	H'FFFF	H'FFFF 04A6	16、32
タイマジェネラルレジスタ WD	TGRWD	R/W	H'FFFF	H'FFFF 04B6	16、32
タイマデッドタイムカウンタ 0	TDCNT0	R	H'0000	H'FFFF 0498	16、32
タイマデッドタイムカウンタ 1	TDCNT1	R	H'0000	H'FFFF 049A	16、32
タイマデッドタイムカウンタ 2	TDCNT2	R	H'0000	H'FFFF 04A8	16、32
タイマデッドタイムカウンタ 3	TDCNT3	R	H'0000	H'FFFF 04AA	16、32
タイマデッドタイムカウンタ 4	TDCNT4	R	H'0000	H'FFFF 04B8	16、32
タイマデッドタイムカウンタ 5	TDCNT5	R	H'0000	H'FFFF 04BA	16、32
タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FFFF 048C	16、32
タイマピリオドバッファレジスタ	TPBR	R/W	H'FFFF	H'FFFF 048A	16、32
タイマピリオドデータレジスタ	TPDR	R/W	H'FFFF	H'FFFF 0488	16、32

【注】 * TBRU ~ TBRW には、それぞれアドレスが 2 つ (バッファ動作用アドレス (1 段目) とフリー動作用アドレス (2 段目)) あります。バッファ動作用アドレスに書き込まれた値は、タイマモードレジスタ (TMDR) の MD1、0 で設定されたタイミングで対応する TGR に転送されます。フリー動作用アドレスに書き込まれた値は、即座に対応する TGR に転送されます。

11.2 レジスタの説明

11.2.1 タイマモードレジスタ (TMDR)

タイマモードレジスタ (TMDR) は動作モードの設定、および PWM 出力の出力レベルの選択を行います。TMDR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。モジュールスタンバイでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	OLSN	OLSP	MD1	MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	R/W	R/W	R/W	R/W

ビット 7~4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。

ビット 3: 出力レベルセレクト N (OLSN)

動作モード時に、逆相の出力レベルを選択します。

ビット 3	説 明	
OLSN		
0	アクティブレベルはローレベル	(初期値)
1	アクティブレベルはハイレベル	

ビット 2: 出力レベルセレクト (OLSP)

動作モード時に、正相の出力レベルを選択します。

ビット 2	説 明	
OLSP		
0	アクティブレベルはローレベル	(初期値)
1	アクティブレベルはハイレベル	

ビット 1, 0: モード 1, 0 (MD1, 0)

MD1, 0 はタイマの動作モードを設定します。

ビット 1	ビット 0	説 明	
MD1	MD0		
0	0	停止状態	(初期値)
	1	動作モード 1 (山で転送)	
1	0	動作モード 2 (谷で転送)	
	1	動作モード 3 (山・谷で転送)	

11. モータマネージメントタイマ (MMT)

11.2.2 タイマコントロールレジスタ (TCNR)

タイマコントロールレジスタ (TCNR) は割り込み要求許可 / 禁止の制御、レジスタのアクセス許可 / 禁止の選択、カウンタの動作 / 停止の選択、および PWM 周期に同期したトグル出力の許可 / 禁止の制御を行います。TCNR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。モジュールスタンバイでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	TTGE	CST	RPRO	-	-	-	TGIEN	TGIEM
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	-	-	-	R/W	R/W

ビット 7: A/D 変換開始要求イネーブル (TTGE)

TCNT と TPDR レジスタのコンペアマッチと、TCNT と 2Td (Td: デッドタイム) のコンペアマッチを使用して、A/D 変換開始要求の発生することを許可または禁止します。

ビット 7	説明
TTGE	
0	A/D 変換開始要求の発生を禁止 (初期値)
1	A/D 変換開始要求の発生を許可

A/D 変換のスタートタイミングと動作モードの関係を表 11.3 に示します。

表 11.3 A/D 変換のスタートタイミングと動作モードの関係

動作モード	A/D 変換スタートタイミング
動作モード 1 (山で転送)	谷で A/D 変換スタート
動作モード 2 (谷で転送)	山で A/D 変換スタート
動作モード 3 (山・谷で転送)	山・谷で A/D 変換スタート

ビット 6: タイマカウンタスタート (CST)

タイマカウンタ (TCNT)、タイマデッドタイムカウンタ (TDCNT) の動作 / 停止を選択します。

ビット 6	説明
CST	
0	TCNT、TDCNT のカウント動作は停止 (初期値)
1	TCNT、TDCNT はカウント動作

ビット5：レジスタプロテクト (RPRO)

TSR 以外のレジスタの読み出しと、TBRU ~ TBRW、TPBR、TSR 以外のレジスタの書き込みを許可または禁止します。TCNR 自身への書き込みも禁止されます。これらのレジスタに再び書き込むためには、リセット入力が必要となりますので注意してください。

ビット5	説 明	
RPRO		
0	レジスタのアクセス許可	(初期値)
1	レジスタのアクセス禁止	

ビット4~2：予約ビット

読み出すと常に0が読み出されます。書き込む値も0にしてください。

ビット1：TGR インタプトイネーブルN (TGIEN)

TSR レジスタの TGFN ビットが1にセットされたとき、TGFN による割り込み要求を許可または禁止します。

ビット1	説 明	
TGIEN		
0	TGFN ビットによる割り込み要求 (TGIN) を禁止	(初期値)
1	TGFN ビットによる割り込み要求 (TGIN) を許可	

ビット0：TGR インタラプトイネーブルM (TGIEM)

TSR レジスタの TGFN ビットが1にセットされたとき、TGFN による割り込み要求を許可または禁止します。

ビット0	説 明	
TGIEM		
0	TGFN ビットによる割り込み要求 (TGIM) を禁止	(初期値)
1	TGFN ビットによる割り込み要求 (TGIM) を許可	

11. モータマネージメントタイマ (MMT)

11.2.3 タイマステータスレジスタ (TSR)

タイマステータスレジスタ (TSR) は、ステータスの表示を行います。TSR レジスタは、8 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'80 に初期化されます。モジュールスタンバイでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	TCFD	-	-	-	-	-	TGFN	TGFM
初期値:	1	0	0	0	0	0	0	0
R/W:	R	-	-	-	-	-	R/(W)*	R/(W)*

【注】* フラグをクリアするために0のみ書き込むことができます。

ビット7: カウント方向フラグ (TCFD)

TCNT カウンタのカウント方向を示すステータスフラグです。

ビット7	説明
TCFD	
0	TCNT はダウンカウント
1	TCNT はアップカウント (初期値)

ビット6~2: 予約ビット

読み出すと常に0が読み出されます。書き込む値も0にしてください。

ビット1: アウトプットコンペアフラグ N (TGFN)

TCNT と 2Td (Td: TDDR の値) のコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
TGFN	
0	[クリア条件] TGFN=1 の状態で1を読み出した後、TGFNに0を書き込んだとき (初期値)
1	[セット条件] TCNT=2Td となったとき

ビット0: アウトプットコンペアフラグ M (TGFM)

TCNT と TPDR レジスタのコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
TGFM	
0	[クリア条件] TGFM=1 の状態で1を読み出した後、TGFMに0を書き込んだとき (初期値)
1	[セット条件] TCNT=TGRM となったとき

11.2.4 タイマカウンタ (TCNT)

タイマカウンタ (TCNT) は 16 ビットのカウンタです。TCNT カウンタは、パワーオンリセットまたはスタンバイモードで H'0000 に初期化されます。モジュールスタンバイでは初期化されません。TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.5 タイマバッファレジスタ (TBR)

タイマバッファレジスタ (TBR) は 16 ビットのバッファレジスタとして機能します。MMT には、3 本の TBR があります。TMDR レジスタで設定した転送タイミングで TBR の値が対応する TGR レジスタに転送されます。ただし、TBR のフリー動作アドレスに書き込んだ場合は、即座に対応する TGR レジスタに転送されます。TBR はパワーオンリセットまたはスタンバイモードで H'FFFF に初期化されます。モジュールスタンバイでは初期化されません。TBR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.6 タイマジェネラルレジスタ (TGR)

タイマジェネラルレジスタ (TGR) は 16 ビットのコンペア用レジスタとして機能します。MMT には 9 本の TGR があり、動作モード中に TCNT カウンタと大小比較されます。TGR レジスタはパワーオンリセットまたはスタンバイモードで H'FFFF に初期化されます。モジュールスタンバイでは初期化されません。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.7 タイマデッドタイムカウンタ (TDCNT)

タイマデッドタイムカウンタ (TDCNT) は、16 ビットの読み出し専用カウンタです。TDCNT カウンタはパワーオンリセットまたはスタンバイモードで H'0000 に初期化されます。モジュールスタンバイでは初期化されません。TDCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

11.2.8 タイマデッドタイムデータレジスタ (TDDR)

タイマデッドタイムデータレジスタ (TDDR) は、16 ビットのレジスタで、正相と逆相のノンオーバーラップタイム (デッドタイム) を設定します。TDDR レジスタはパワーオンリセットまたはスタンバイモードで H'FFFF に初期化されます。モジュールスタンバイでは初期化されません。TDDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.9 タイマピリオドバッファレジスタ (TPBR)

タイマピリオドバッファレジスタ (TPBR) は、16 ビットのレジスタで、TPDR レジスタのバッファレジスタとして機能します。TPBR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。TMDR レジスタで設定した転送タイミングで TPBR の値が TPDR レジスタに転送されます。TPBR レジスタはパワーオンリセットまたはスタンバイモードで H'FFFF に初期化されます。モジュールスタンバイでは初期化されません。TPBR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.10 タイマピリオドデータレジスタ (TPDR)

タイマピリオドデータレジスタ (TPDR) は 16 ビットのコンペア用レジスタとして機能します。TPDR レジスタは、動作モード中 TCNT カウンタと常に比較され、一致すると TCNT カウンタはアップカウントからダウンカウントにカウント方向を切り替えます。TPDR レジスタはパワーオンリセットまたはスタンバイモードで H'FFFF に初期化されます。モジュールスタンバイでは初期化されません。TPDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3 動作説明

動作モードを選択すると、正相・逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。

PUOA、PUOB、PVOA、PVOB、PWOA、PWOB 端子は PWM 出力端子、PCIO 端子は PWM 波形に同期したトグル出力、またはカウンタクリア信号入力として機能します。TCNT カウンタはアップ/ダウンカウント動作、TDCNT カウンタはアップカウント動作を行います。

11.3.1 設定手順例

動作モードの設定手順例を図 11.2 に示します。

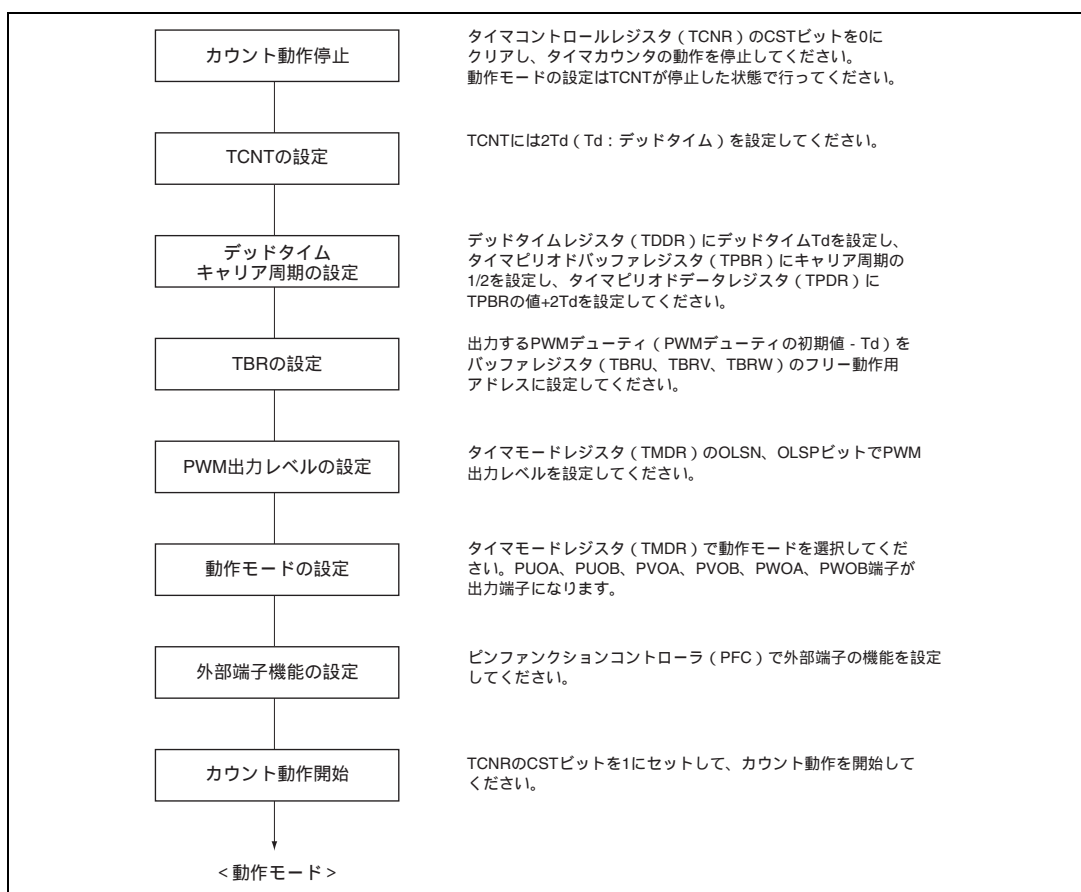


図 11.2 動作モードの設定手順例

11.3.2 動作概要

(1) カウンタの動作

TCNT カウンタは、TCNR の CST ビットが 0 のとき、 $2T_d$ (T_d : TDDR に設定された値) を初期値として設定してください。

CST ビットが 1 に設定されると、(TPBR に設定された値 + $2T_d$)までアップカウント動作を行い、一致するとダウンカウントに切り替わります。その後、 $2T_d$ と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNT は、TGRU、TGRV、TGRW と常に比較されます。さらに、アップカウント時には TGRUU、TGRVU、TGRWU、TPDR と比較され、ダウンカウント時には TGRUD、TGRVD、TGRWD、 $2T_d$ とも比較されます。

TDCNT0 ~ 5 は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TDCNT0、TDCNT2、TDCNT4 は、TCNT がダウンカウント時、正相側コンペア出力の立ち下がりエッジによりアップカウントを開始し、TDDR と一致すると 0 にクリアされ停止します。

TDCNT1、TDCNT3、TDCNT5 は、TCNT がアップカウント時、逆相側コンペア出力の立ち下がりエッジによりアップカウントを開始し、TDDR と一致すると 0 にクリアされ停止します。

TDCNT0 ~ 5 は、カウント動作をしている期間だけ TDDR と比較されます。ただし、TDDR の値が 0 の場合には、カウント動作しません。

図 11.3 に TCNT のカウント動作例を示します。

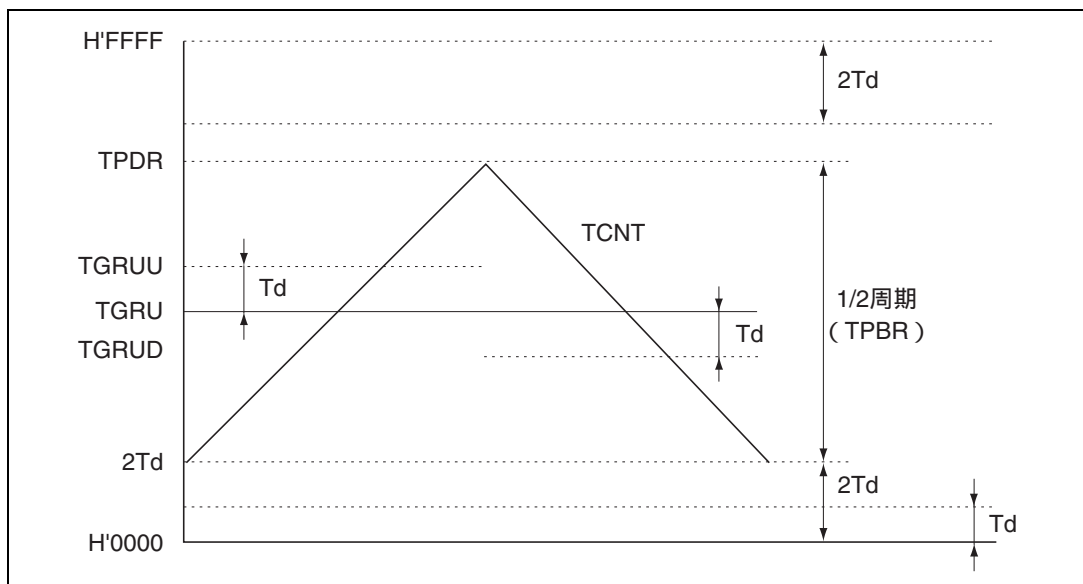


図 11.3 TCNT のカウント動作例

(2) レジスタの動作

動作モードではバッファレジスタ 4 本、コンペアレジスタ 10 本を使用します。

TCNT カウンタと常に比較されているレジスタが、TGRU、TGRV、TGRW です。TCNT がアップカウント時、TGRUU、TGRVU、TGRWU、TPDR も比較され、ダウンカウント時には TGRUD、TGRVD、TGRWD も比較されます。TPDR のバッファレジスタは TPBR、TGRUU、TGRU と TGRUD のバッ

11. モータマネージメントタイマ (MMT)

レジスタは TBRU、TGRVU、TGRV と TGRVD のバッファレジスタは TBRV、TGRWU、TGRW と TGRWD のバッファレジスタは TBRW です。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは常に読み出し / 書き込みが可能です。TPBR と TBRU ~ TBRW のバッファ動作アドレスに書き込まれたデータは、タイマモードレジスタ (TMDR) の MD1 ~ 0 ビットで選択されたタイミングで転送されます。また、TBRU ~ TBRW のフリー動作アドレスに書き込まれたデータは、すぐに転送されます。

データ転送終了後、コンペアレジスタとバッファレジスタの関係は次のようになります。

TGRU (TGRV、TGRW) の値 = TBRU (TBRV、TBRW) の値 + Td (Td : TDDR に設定された値)

TGRUU (TGRVU、TGRWU) の値 = TBRU (TBRV、TBRW) の値 + 2Td

TGRUD (TGRVD、TGRWD) の値 = TBRU (TBRV、TBRW) の値

TPDR の値 = TPBR の値 + 2Td

TBRU ~ TBRW の値は、常に H'0000 ~ H'FFFF-2Td の範囲で設定し、TPBR の値は、常に H'0000 ~ H'FFFF-4Td の範囲で設定してください。

図 11.4 にカウンタとレジスタの動作例を示します。

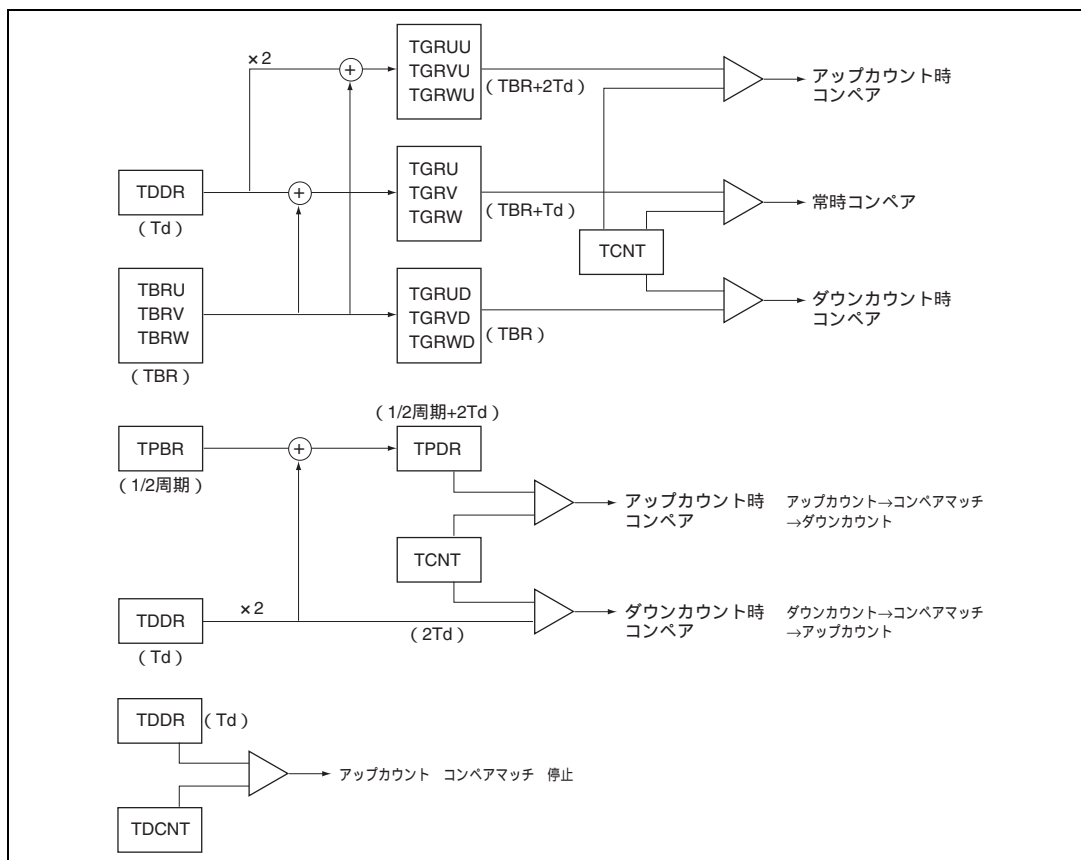


図 11.4 カウンタとレジスタの動作例

(3) 初期設定

動作モードでは、初期設定に必要なレジスタが5本あります。

タイマモードレジスタ (TMDR) の MD1~0 ビットで動作モードを設定する前に、次のレジスタの初期値を設定してください。

タイマピリオドバッファレジスタ (TPBR) には、PWM キャリア周期の 1/2 を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d (理想波形を出力する場合は、 $T_d=H'0000$) を設定します。TPDR には、(TPBR の値 + $2T_d$) を設定します。

TBRU ~ TBRW のフリーライト動作アドレスには、それぞれ (PWM デューティの初期値 - T_d) を設定します。

TBRU ~ TBRW の値は、常に $H'0000 \sim H'FFFF-2T_d$ の範囲で設定し、TPBR の値は、常に $H'0000 \sim H'FFFF-4T_d$ の範囲で設定してください。

(4) PWM 出力のアクティブレベルの設定

動作モードでは、PWM パルスのアクティブレベルをタイマモードレジスタ (TMDR) の OLSN、OLSP ビットで設定します。

出力レベルは、6相出力の正相の3相、逆相の3相ごとに設定可能です。なお、出力レベルの設定 / 変更は動作モードを解除した状態で行ってください。

(5) デッドタイムの設定

動作モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイムと呼びます。ノンオーバーラップ時間はタイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値と各相のタイムデッドタイムカウンタ (TDCNT) を比較することでデッドタイム生成波形を生成します。TDDR の内容変更は、動作モードを解除した状態で行ってください。

(6) PWM 周期の設定

動作モードでは、PWM パルスの 1/2 周期を TPBR レジスタに設定します。TPBR の値は、常に $H'0000 \sim H'FFFF-4T_d$ の範囲で設定してください。TPBR に設定した値は、タイマモードレジスタ (TMDR) の MD1、0 ビットで選択した転送タイミングで TPDR に転送されます。転送後の TPDR の値は、(TPBR の値 + $2T_d$) となります。

変更した PWM 周期は、データ更新が TCNT カウンタの山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。

(7) レジスタデータの更新

動作モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常にかき込むことができます。バッファレジスタの値はタイマモードレジスタ (TMDR) の MD1、0 ビットで設定したデータ更新タイミングでコンペアレジスタに転送されます。ただし、TBRU ~ TBRW のフリー動作アドレスにかき込んだ場合は、すぐに対応するコンペアレジスタに転送されます。

11. モータマネージメントタイマ (MMT)

(8) 動作モードの初期出力

動作モードの初期出力は TBRU ~ TBRW の初期値により決まります。

表 11.4 に TBRU ~ TBRW の初期値と初期出力の関係を示します。

表 11.4 TBRU ~ TBRW の初期値と初期出力の関係

TBRU ~ TBRW の初期値	初期出力	
	OLSP=1、OLSN=1	OLSP=0、OLSN=0
TBR = H'0000	正相 = 1、逆相 = 0	正相 : 0、逆相 = 1
H'0000 < TBR Td	正相 = 0、逆相 = 0	正相 : 1、逆相 = 1
Td < TBR H'FFFF-2Td	正相 = 0、逆相 = 1	正相 : 1、逆相 = 0

(9) 動作モードの PWM 出力生成法

動作モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、コンペア出力波形とデッドタイム生成波形の論理積により生成された出力生成波形から生成されます。ここでは 1 相 (U 相) 分の波形生成法について示します。V 相、W 相波形も同様に生成されます。

(a) コンペア出力波形

コンペア出力波形は、TCNT カウンタと TGR レジスタの値の大小比較をすることで生成します。

コンペア出力波形 U 相 A (CMOUA) は、T1 期間 (TCNT がアップカウント時) で TGRUU > TCNT ならば 0 を、TGRUU < TCNT ならば 1 を出力します。また、T2 期間 (TCNT がダウンカウント時) で TGRU > TCNT ならば 0 を、TGRU < TCNT ならば 1 を出力します。

コンペア出力波形 U 相 B (CMOUB) は、T1 期間で TGRU > TCNT ならば 1 を、TGRU < TCNT ならば 0 を出力します。また、T2 期間で TGRUD > TCNT ならば 1 を、TGRUD < TCNT ならば 0 を出力します。

(b) デッドタイム生成波形

デッドタイム生成波形 U 相 A (DTGUA)、B (DTGUB) は初期値として 1 を出力します。

CMOUA の立ち下がりエッジにより TDCNT0 はカウントスタートします。DTGUA は、TDCNT0 がカウント動作中に 0 を出力し、それ以外は 1 を出力します。

CMOUB の立ち下がりエッジにより TDCNT1 はカウントスタートします。DTGUB は、TDCNT1 がカウント動作中に 0 を出力し、それ以外は 1 を出力します。

(c) 出力生成波形

出力生成波形 U 相 A (OGUA) は、CMOUA と DTGUB の論理積により生成し、出力生成波形 U 相 B (OGUB) は、CMOUB と DTGUA の論理積により生成します。

(d) PWM 波形

PWM 波形は、出力生成波形をタイマモードレジスタ (TMDR) の OLSN、OLSP ビットで設定された出力レベルに変換して生成します。

図 11.5 に PWM 波形生成例 (動作モード 3、OLSN=1、OLSP=1 の場合) を示します。

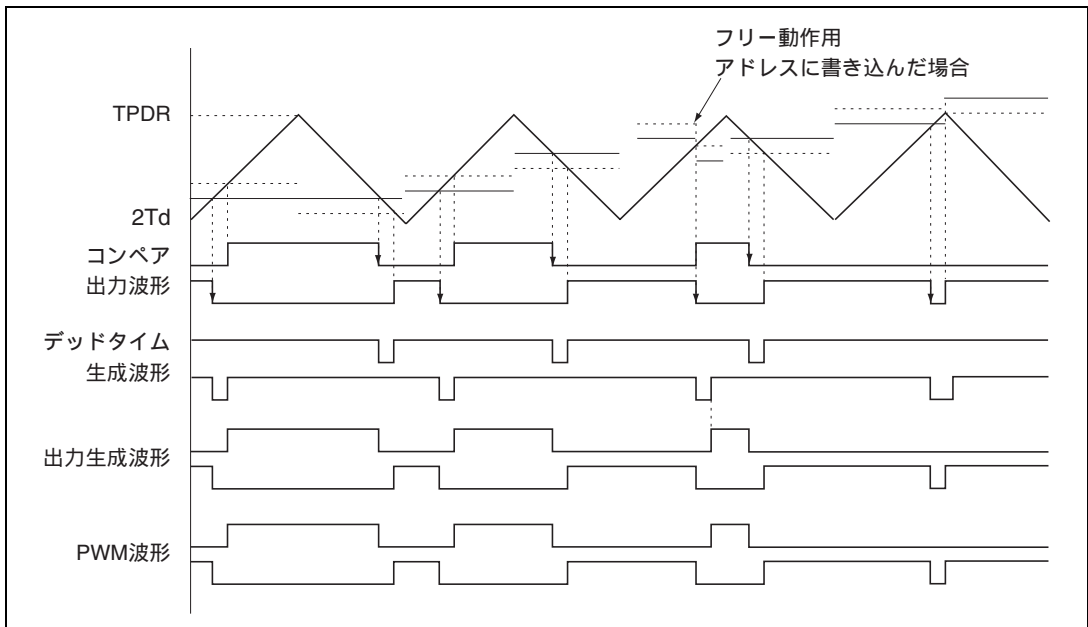


図 11.5 PWM 波形生成例

(10) デューティ 0~100%出力

動作モードでは、デューティ 0~100%の PWM 波形を任意に出力可能です。出力する PWM デューティはバッファレジスタ (TBRU~TBRW) により設定します。

デューティ 100%出力は、バッファレジスタ (TBRU~TBRW) の値を H'0000 値に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、バッファレジスタ (TBRU~TBRW) の値を TPDR より大きい値に設定されると出力されます。このときは、正相が 100%OFF の状態の波形です。

11. モータマネージメントタイマ (MMT)

(11) 外部からのカウンタクリア機能

動作モードでは、外部から TCNT カウンタのクリアが可能です。カウンタクリア機能を使用する場合は、ピンファンクションコントローラ (PFC) で PCIO 端子の機能を入力に設定してください。

PCIO 端子の立ち下がりエッジにより、TCNT カウンタは $2T_d$ (初期設定値) にクリアされ、TPDR の値までアップカウント動作を行い、一致するとダウンカウントに切り替わります。その後、 $2T_d$ と一致するとアップカウントに切り替わり、この動作を繰り返します。カウンタクリア動作例を図 11.6 に示します。

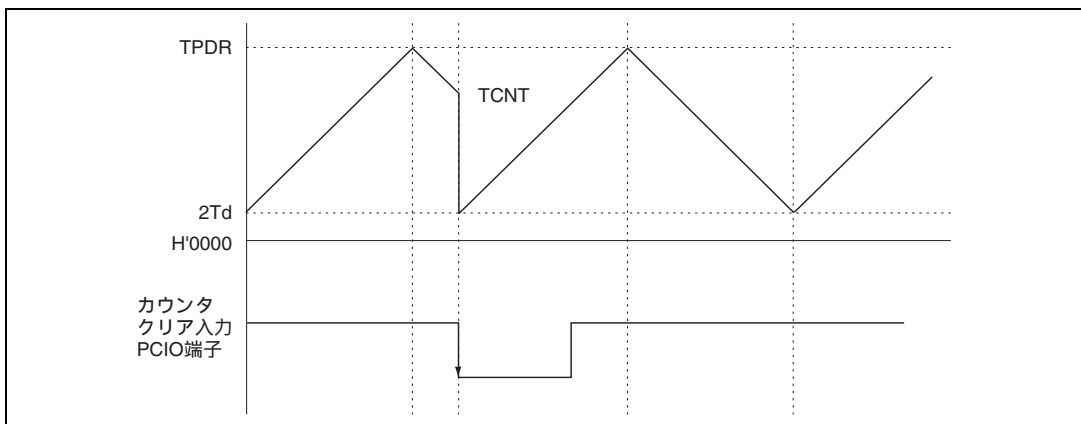


図 11.6 TCNT カウンタクリアの動作例

(12) PWM 周期に同期したトグル出力

動作モードでは、PWM キャリア周期に同期したトグル出力が可能です。PWM 周期を出力する場合は、ピンファンクションコントローラ (PFC) で PCIO 端子の機能を出力に設定してください。トグル出力の波形例を図 11.7 に示します。

PWM 周期出力は、TCNT のカウント方向でトグルを行います。このトグルの出力端子は、PCIO 端子です。また、TCNT がアップカウント時には 1 を出力し、ダウンカウント時には 0 を出力します。

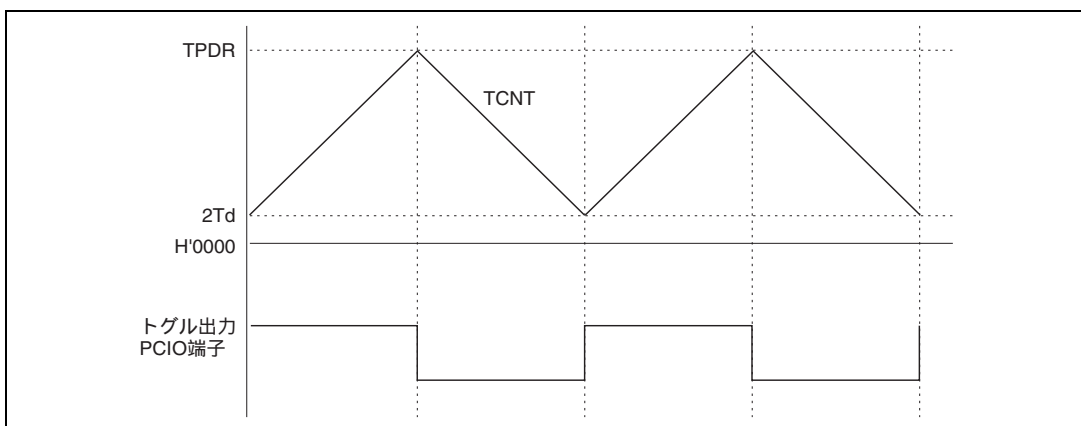


図 11.7 PWM 周期に同期したトグル出力波形例

(13) A/D 変換開始要求の設定

A/D 変換の開始要求は、TCNT と TPDR のコンペアマッチと、TCNT と 2Td のコンペアマッチを使用して行うことが可能です。TCNT と TPDR のコンペアマッチを使用して開始要求を設定すると、PWM パルスの中心 (TCNT カウンタの山) で A/D 変換をスタートさせることができます。TCNT と 2Td のコンペアマッチを使用して開始要求を設定すると、PWM パルスの端 (TCNT カウンタの谷) で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイマコントロールレジスタ (TCNR) の TTGE ビットを 1 にセットすることで設定できます。

11.3.3 出力保護機能

動作モードの出力は、次の保護機能を備えています。

- (1) 外部信号によるPWM出力の停止機能
6相PWM出力端子は、指定した外部信号が入力されることにより自動的にハイインピーダンス状態にすることが可能です。外部信号の入力端子は4本あります。詳細は、「11.7 ポートアウトプットイネーブル (POE)」を参照してください。
- (2) 発振停止時のPWM出力の停止機能
6相PWM出力端子は、本LSIに入力されているクロックが停止したことを検出して自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

11.4 割り込み

11.4.1 コンペアマッチ割り込み

TCNT と TPDR レジスタ(2Td)のコンペアマッチの発生により、タイマステータスレジスタ(TSR)の TGFM(TGFN)フラグが1にセットされたとき、タイマコントロールレジスタ(TCNR)の TGIEM(TGIEN)ビットが1にセットされていれば、割り込みを要求します。TGF フラグを0にクリアすることで割り込み要求は解除されます。

11.4.2 DMA コントローラの起動

TCNT と TPDR のコンペアマッチ、TCNT と 2Td のコンペアマッチ割り込みは、内蔵 DMA コントローラの起動要因とすることができます。

11.4.3 A/D 変換器の起動

TCNT と TPDR のコンペアマッチ、TCNT と 2Td のコンペアマッチによって、内蔵 A/D 変換器を起動することができます。これらのコンペアマッチの発生により、タイマステータスレジスタ(TSR)の TGF フラグが1にセットされたとき、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、MMT の変換開始トリガが選択されていれば、A/D 変換が開始されます。

11.5 動作タイミング

11.5.1 入出力タイミング

(1) TCNT と TDCNT のカウントタイミング

TCNT、TDCNT のカウントタイミングを図 11.8 に示します。

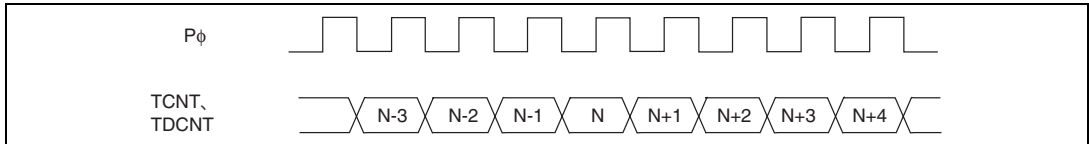


図 11.8 カウントタイミング

(2) TCNT カウンタクリアタイミング

外部信号による TCNT カウンタクリアのタイミングを図 11.9 に示します。

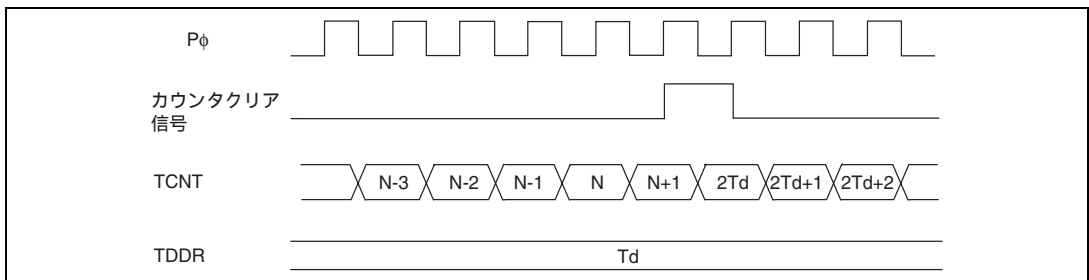


図 11.9 TCNT カウンタクリアタイミング

(3) TDCNT 動作タイミング

TDCNT の動作タイミングを図 11.10 に示します。

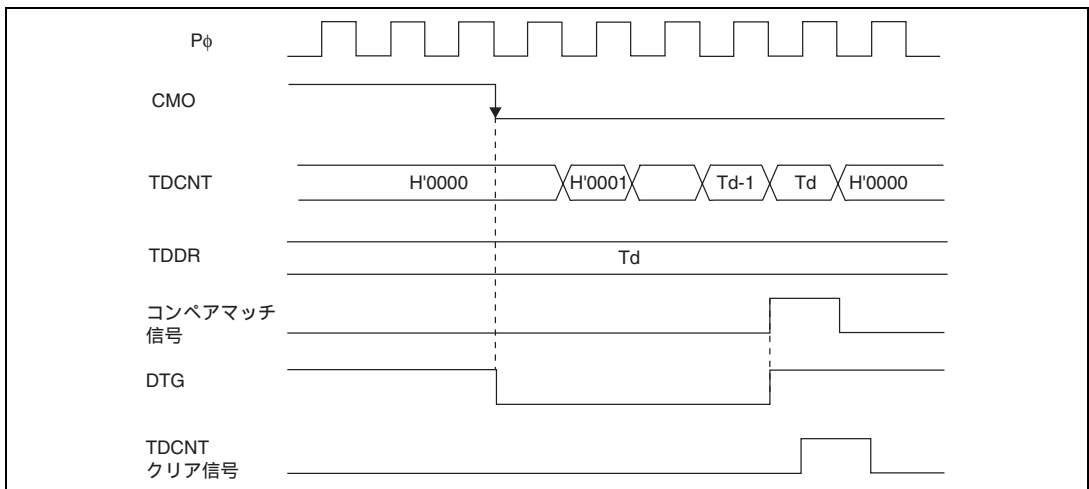


図 11.10 TDCNT 動作タイミング

11. モータマネージメントタイマ (MMT)

(4) バッファ動作タイミング

コンペアマッチバッファ動作のタイミングを図 11.11 に示します。

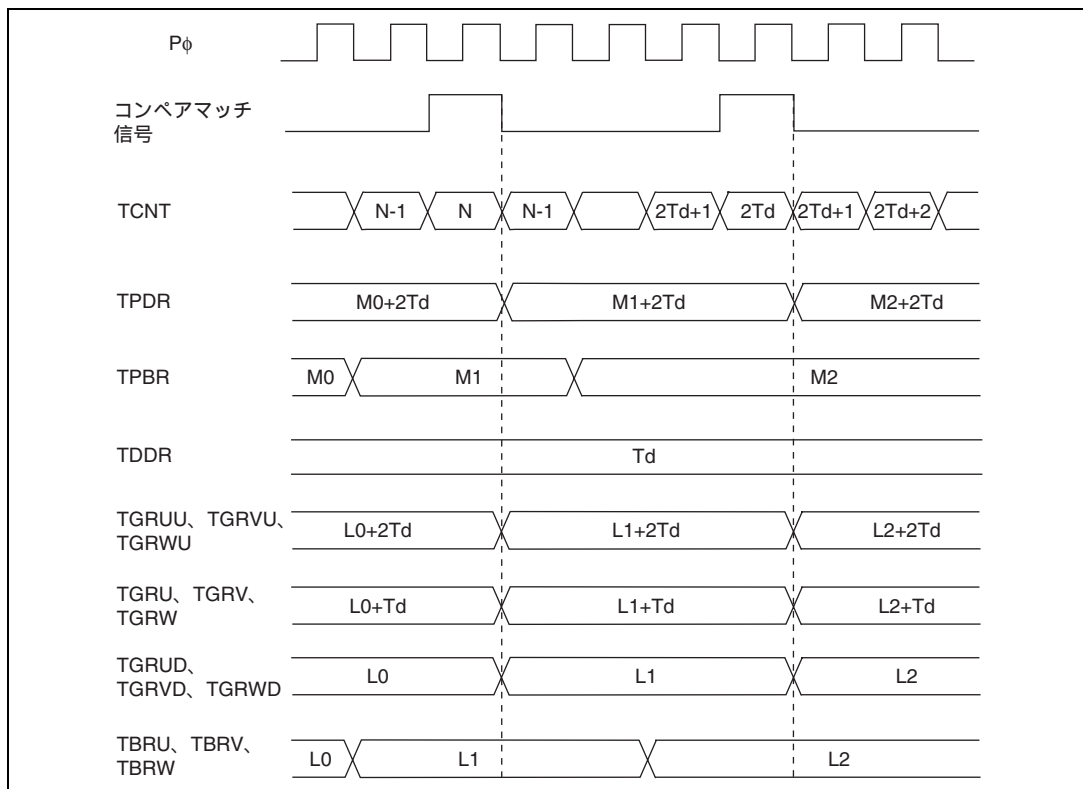


図 11.11 バッファ動作タイミング

11.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

TCNT と TPDR のコンペアマッチの発生によるタイマステータスレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.12 に示します。また、TCNT と 2Td のコンペアマッチの場合も、同様のタイミングです。

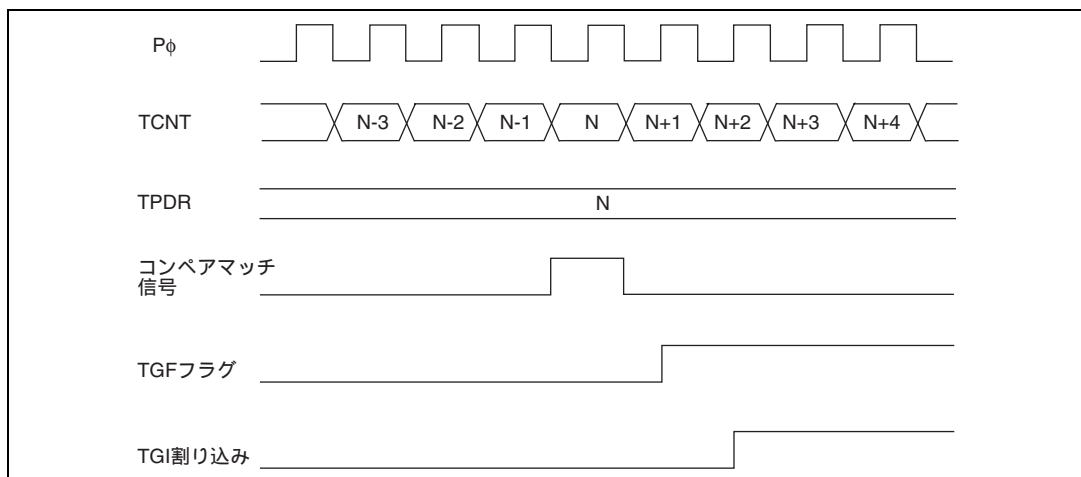


図 11.12 TGI 割り込みタイミング

11. モータマネージメントタイマ (MMT)

(2) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態を読み出した後、0を書き込むとクリアされます。DMAコントローラを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図 11.13 に、DMA コントローラによるステータスフラグのクリアタイミングを図 11.14 に示します。

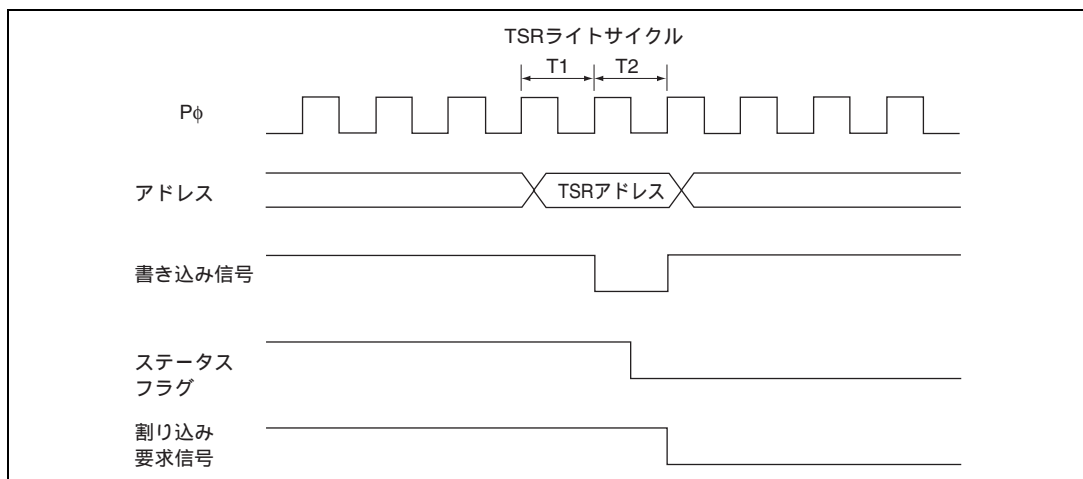


図 11.13 CPU によるステータスフラグのクリアタイミング

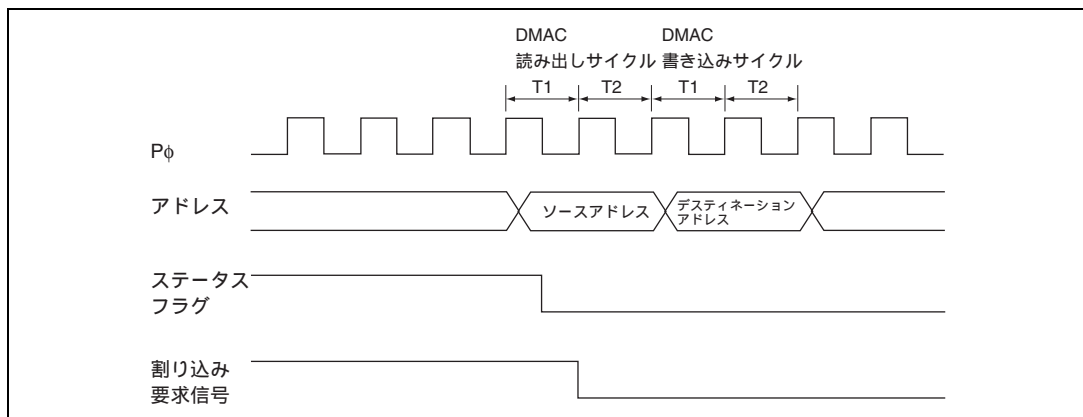


図 11.14 DMA コントローラによるステータスフラグのクリアタイミング

11.6 使用上の注意

MMTの動作中、以下に示す動作や競合が起こりますので注意してください。

(1) バッファレジスタの書き込みとコンペアマッチの競合

バッファレジスタ (TBRU ~ TBRW、TPBR) の書き込みサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によってバッファレジスタからコンペアレジスタ (TGR、TPDR) にデータが転送されます。転送されるデータは、バッファレジスタライトデータです。

このタイミングを図 11.15 に示します。

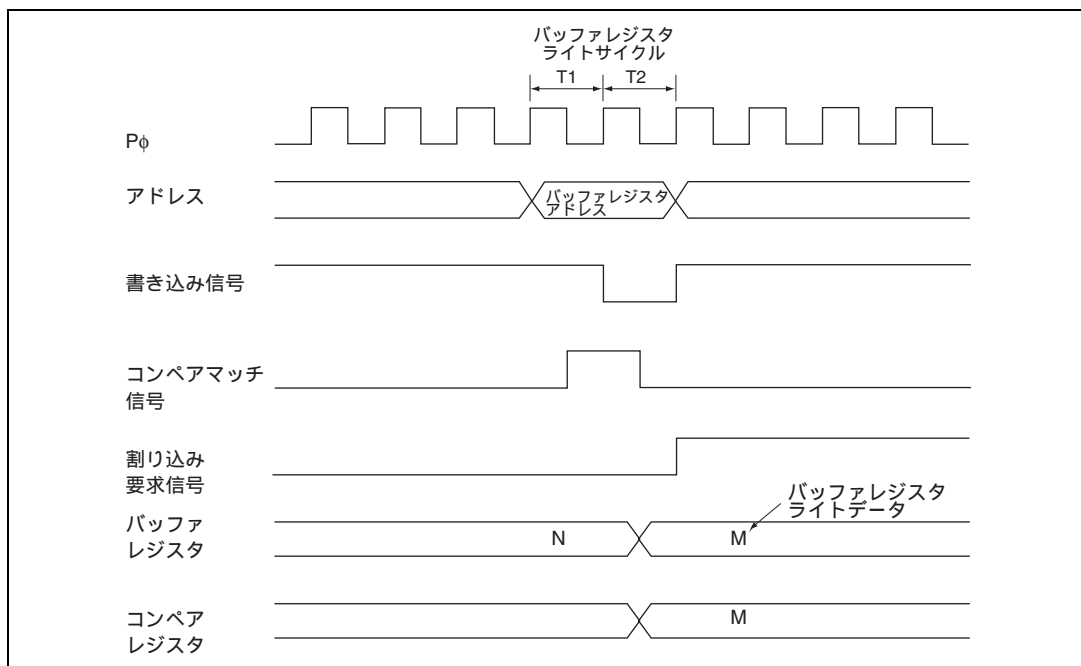


図 11.15 バッファレジスタの書き込みとコンペアマッチの競合

11. モータマネージメントタイマ (MMT)

(2) コンペアレジスタの書き込みとコンペアマッチの競合

コンペアレジスタ (TGR、TPDR) の書き込みサイクル中の T2 ステートでコンペアマッチが発生すると、コンペアレジスタの書き込みは行われず、バッファ動作によってバッファレジスタ (TBRU、TBRV、TBRW、TPBR) からコンペアレジスタにデータが転送されます。

このタイミングを図 11.16 に示します。

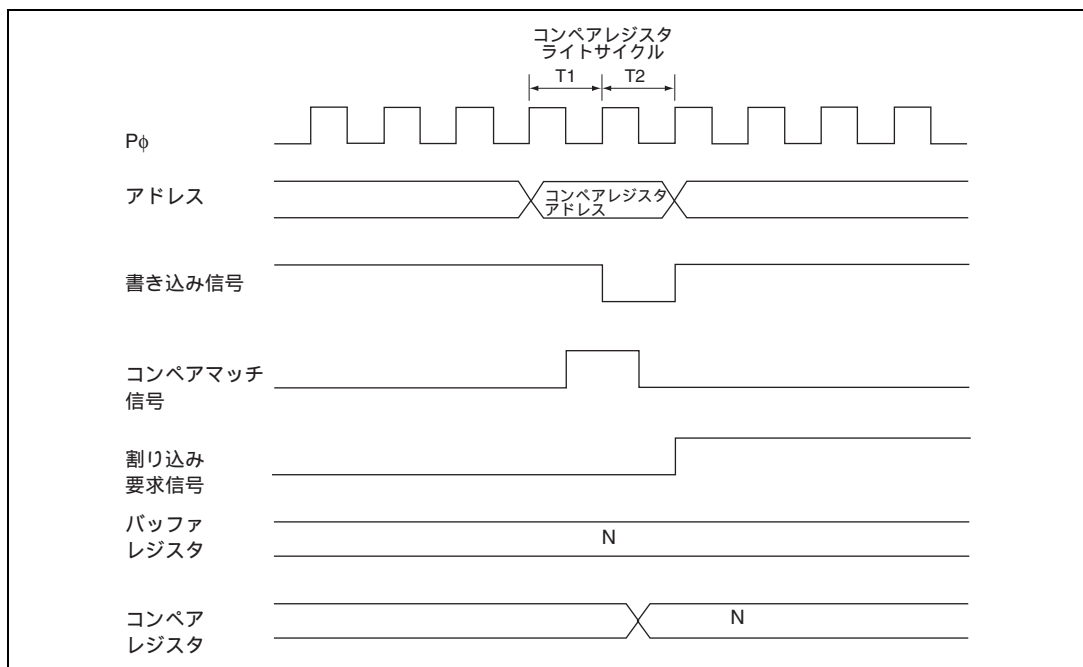


図 11.16 コンペアレジスタの書き込みとコンペアマッチの競合

(3) タイマジェネラルレジスタ U (TGRU)、タイマジェネラルレジスタ V (TGRV)、タイマジェネラルレジスタ W (TGRW) に値を書き込むとき、フリー動作アドレス*に書き込む場合は以下の点についてご注意ください。

- カウントアップ時に TGRU に書き込む値は、「旧 TGRU の値 + Td」にならないようにしてください。
- カウントダウン時に TGRU に書き込む値は、「旧 TGRU の値 - Td」にならないようにしてください。

TGRV および TGRW についても同様です。ここで、「旧 TGRU の値 + Td」を書き込んだ場合 (カウントダウン時は「旧 TGRU の値 - Td」)、U、V、W 相の該当する PUAO/PUOB、PVOA/PVOB、PWOA/PWOB 出力が、1 周期分出力されない場合があります。図 11.17 に NG のケースを示します。なお、バッファ動作アドレスに書き込む場合はこれらは該当しません。

【注】* TBRU、TBRV、TBRW レジスタアドレスとして、それぞれ H'FFFF049C、H'FFFF04AC、H'FFFF04BC を使用する場合。

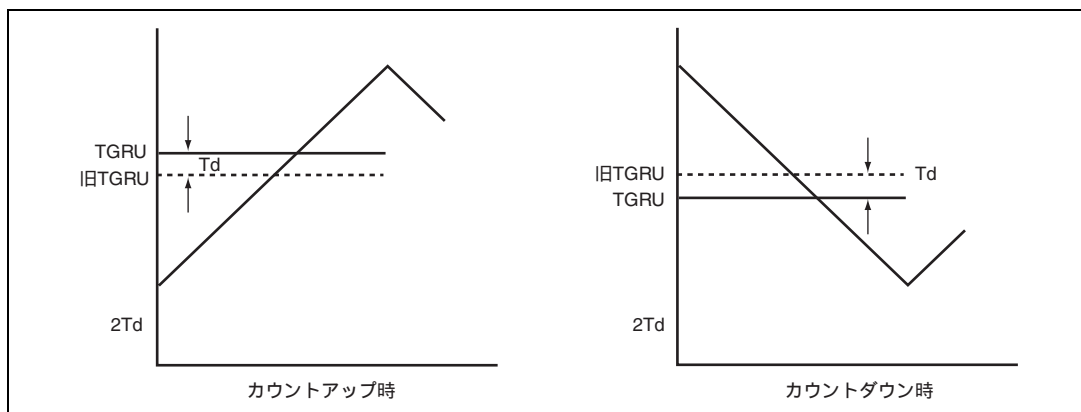


図 11.17 タイマジェネラルレジスタへの書き込み (1 周期分出力されない例)

- (4) MMT 動作中のタイマピリオドデータレジスタ (TPDR) とタイマデッドタイムデータレジスタ (TDDR) への書き込みについて
- MMT 動作中には、TPDR レジスタを書き換えしないでください。必ず TPBR レジスタを經由してバッファ書き込みを行ってください。
 - MMT を一度起動したら、TDDR レジスタを書き換えしないでください。TDDR 設定値と比較される TDCNT レジスタには書き込みませんので、TDDR を書き換えると最大 1 周期 (TDCNT の 16 ビットフルカウント時間) 分出力波形が得られない場合があります。
- (5) TCNT カウント動作停止時の注意事項

TCNT のカウント動作時に TCNT のカウント動作を停止すると、デッドタイム (ノンオーバーラップタイム) がタイマデッドタイムレジスタ (MMT_TDDR) に設定された値より短い、また消去した (0 になった) PWM 波形が出力されることがあります。回避策として下記対策のいずれかを実施してください。

- (a) タイマコントロールレジスタ (TCNR) の CST ビットを 1 にセットし、MMT のカウント動作を開始した後は CST ビットのクリアを行わないでください。CST ビットのクリアを行う場合は、再び、CST ビットを 1 にセットしないでください。
- (b) CST ビットのセット クリア 再セット動作を行う場合は下記手順により、クリア 再セットを実行してください。

ピンファンクションコントローラ (PFC) で PWM 出力端子を汎用入力ポートに設定してください。

全バッファレジスタ (TBRU、TBRV、TBRW) のフリー動作用アドレスに H'0000 を設定してください。

設定されたデッドタイム期間が経過後、TCNR を H'00 にして CST ビットを 0 にクリアしてください。

再び、CST ビットを 1 にセットしてください。

- (c) CST ビットのセット クリア 再セット動作を行う場合は下記手順により、クリア 再セットを実行してください。

TCNR の CST ビットを 0 にクリアしてカウント動作を停止してください。

ピンファンクションコントローラで PWM 出力端子を汎用入力ポートに切り替えてください。

モジュールスタンバイコントロールレジスタ 1 (MSTCR1) の MSTP9 ビットを 0 にクリアして、モジュールスタンバイモードに遷移させて MMT の内部状態を初期化してください。

11. モータマネージメントタイマ (MMT)

すぐに MSTP9 ビットを 1 にセットし、モジュールスタンバイモードから復帰させて、MMT の初期設定および端子の初期設定を再度実行してください。

TCNR の CST ビットを 1 にセットしてカウント動作を再開してください。

11.7 ポートアウトプットイネーブル (POE)

11.7.1 概要

ポートアウトプットイネーブル (POE) は、 $\overline{POE0} \sim \overline{POE3}$ 端子の入力変化によって、MMT6 相出力端子 (POUA、POUB、POVA、POVB、POWA、POWB) をハイインピーダンス状態にすることができます。また、同時に割り込み要求を発行することができます。

これとは別に、発振器が停止した場合にも MMT6 相出力端子はハイインピーダンス状態になります。詳細は、「第 4 章 クロック発振器 (CPG) と低消費電力モード」を参照してください。

(1) 特長

POE には次の特長があります。

- $\overline{POE0} \sim \overline{POE3}$ の各入力端子に、立ち下がりエッジ、 $P\phi / 8 \times 16$ 回、 $P\phi / 16 \times 16$ 回、 $P\phi / 128 \times 16$ 回のローレベルサンプリングの設定が可能です。
- $\overline{POE0} \sim \overline{POE3}$ 端子の立ち下がりエッジ、またはローレベルサンプリングによって、MMT6 相出力端子をハイインピーダンス状態にできます。
- 入力レベルのサンプリングにより、割り込みの発生が可能です。

(2) ブロック図

POE のブロック図を図 11.18 に示します。

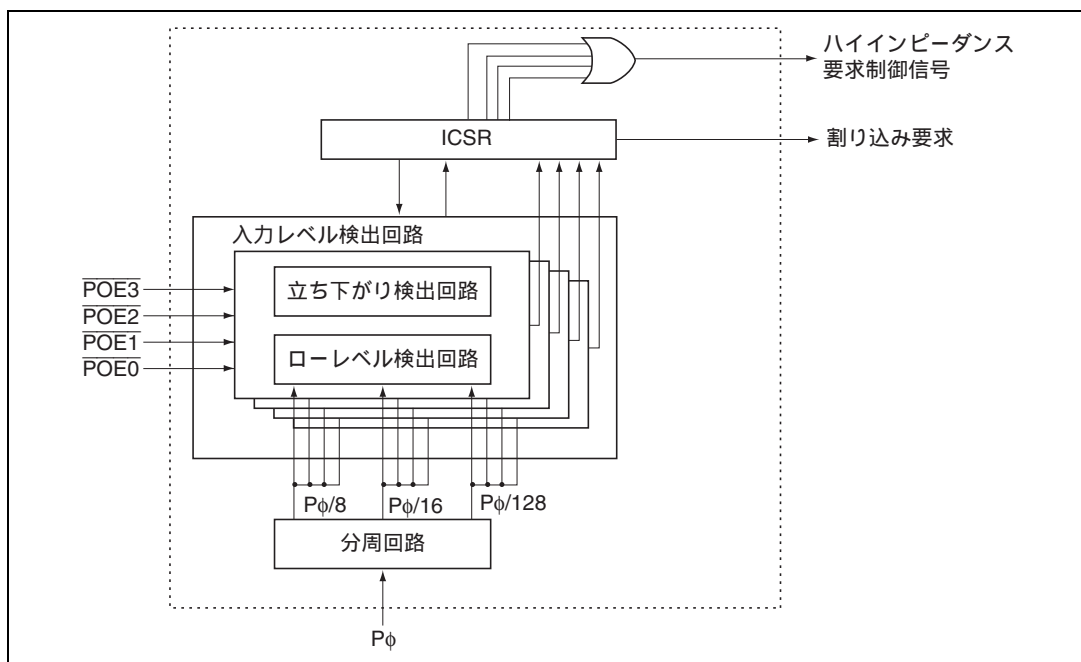


図 11.18 POE ブロック図

(3) 端子構成

POEの端子構成を表 11.5 に示します。

表 11.5 端子構成

名称	略称	入出力	機能
ポートアウトプットイネーブル入力端子	POE0 ~ POE3	入力	MMT6 相出力端子をハイインピーダンス状態にする要求信号を入力

(4) レジスタ構成

POEには、表 11.6 に示すように 1 本のレジスタがあります。入力レベルコントロール/ステータスレジスタ (ICSR) により、POE0 ~ POE3 端子の入力信号の検出の制御、割り込みの制御を行います。

表 11.6 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
入力レベルコントロール/ステータスレジスタ	ICSR	R/(W)*	H'0000	H'FFFF 04E0 H'FFFF 04E1	8、16、32

【注】* ビット 15 ~ 12 には、フラグをクリアするために 0 のみ書き込むことができます。

11.7.2 レジスタの説明

(1) 入力レベルコントロール/ステータスレジスタ (ICSR)

入力レベルコントロール/ステータスレジスタ (ICSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、POE0 ~ POE3 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

ICSR は外部からのパワーオンリセットで H'0000 に初期化されますが、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POE3F	POE2F	POE1F	POE0F	-	-	-	PIE	POE3M1	POE3M0	POE2M1	POE2M0	POE1M1	POE1M0	POE0M1	POE0M0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするために 0 のみ書き込むことができます。

ビット 15 : POE3 フラグビット (POE3F)

POE3 端子にハイインピーダンス要求が入力されたことを示すフラグです。

ビット 15	説明
POE3F	
0	[クリア条件] POE3F=1 の状態を読み出した後、POE3F に 0 を書き込んだとき (初期値)
1	[セット条件] POE3 端子に、ICSR のビット 7、6 で設定した入力が発生したとき

11. モータマネージメントタイマ (MMT)

ビット 14 : POE2 フラグビット (POE2F)

POE2 端子にハイインピーダンス要求が入力されたことを示すフラグです。

ビット 14 POE2F	説 明
0	[クリア条件] (初期値) POE2F=1 の状態を読み出した後、POE2F に 0 を書き込んだとき
1	[セット条件] POE2 端子に、ICSR のビット 5、4 で設定した入力が発生したとき

ビット 13 : POE1 フラグビット (POE1F)

POE1 端子にハイインピーダンス要求が入力されたことを示すフラグです。

ビット 13 POE1F	説 明
0	[クリア条件] (初期値) POE1F=1 の状態を読み出した後、POE1F に 0 を書き込んだとき
1	[セット条件] POE1 端子に、ICSR のビット 3、2 で設定した入力が発生したとき

ビット 12 : POE0 フラグビット (POE0F)

POE0 端子にハイインピーダンス要求が入力されたことを示すフラグです。

ビット 12 POE0F	説 明
0	[クリア条件] (初期値) POE0F=1 の状態を読み出した後、POE0F に 0 を書き込んだとき
1	[セット条件] POE0 端子に、ICSR のビット 1、0 で設定した入力が発生したとき

ビット 11~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : ポートインタラプトイネーブルビット (PIE)

ICSR の POE0F ~ POE3F ビットに、1 ビットでも 1 がセットされたとき、割り込み要求を許可または禁止します。

ビット 8 PIE	説 明
0	割り込み要求を禁止 (初期値)
1	割り込み要求を許可

ビット7、6 : POE3 モードビット1、0 (POE3M1、POE3M0)

$\overline{\text{POE3}}$ 端子の入力モードを選択します。

ビット7	ビット6	説明
POE3M1	POE3M0	
0	0	$\overline{\text{POE3}}$ 入力の立ち下がりエッジで要求を受け付けます (初期値)
	1	$\overline{\text{POE3}}$ 入力のローレベルを $P_{\phi}/8$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます
1	0	$\overline{\text{POE3}}$ 入力のローレベルを $P_{\phi}/16$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます
	1	$\overline{\text{POE3}}$ 入力のローレベルを $P_{\phi}/128$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます

ビット5、4 : POE2 モードビット1、0 (POE2M1、POE2M0)

$\overline{\text{POE2}}$ 端子の入力モードを選択します。

ビット5	ビット4	説明
POE2M1	POE2M0	
0	0	$\overline{\text{POE2}}$ 入力の立ち下がりエッジで要求を受け付けます (初期値)
	1	$\overline{\text{POE2}}$ 入力のローレベルを $P_{\phi}/8$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます
1	0	$\overline{\text{POE2}}$ 入力のローレベルを $P_{\phi}/16$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます
	1	$\overline{\text{POE2}}$ 入力のローレベルを $P_{\phi}/128$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます

ビット3、2 : POE1 モードビット1、0 (POE1M1、POE1M0)

$\overline{\text{POE1}}$ 端子の入力モードを選択します。

ビット3	ビット2	説明
POE1M1	POE1M0	
0	0	$\overline{\text{POE1}}$ 入力の立ち下がりエッジで要求を受け付けます (初期値)
	1	$\overline{\text{POE1}}$ 入力のローレベルを $P_{\phi}/8$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます
1	0	$\overline{\text{POE1}}$ 入力のローレベルを $P_{\phi}/16$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます
	1	$\overline{\text{POE1}}$ 入力のローレベルを $P_{\phi}/128$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます

11. モータマネージメントタイマ (MMT)

ビット 1、0 : POE0 モードビット 1、0 (POE0M1、POE0M0)

$\overline{\text{POE0}}$ 端子の入力モードを選択します。

ビット 1	ビット 0	説明
POE0M1	POE0M0	
0	0	$\overline{\text{POE0}}$ 入力の立ち下がりエッジで要求を受け付けます (初期値)
	1	$\overline{\text{POE0}}$ 入力のローレベルを $P_{\phi}/8$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます
1	0	$\overline{\text{POE0}}$ 入力のローレベルを $P_{\phi}/16$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます
	1	$\overline{\text{POE0}}$ 入力のローレベルを $P_{\phi}/128$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます

11.7.3 動作説明

(1) 入力レベル検出動作

ICSR で設定した入力条件が、 $\overline{\text{POE}}$ 端子に 1 端子でも発生した場合、MMT6 相出力端子をハイインピーダンス状態にします。

- ハイインピーダンスになる端子 (MMT6 相出力端子)
 - MMT (モータマネージメントタイマ) の PD26/D26/PWOB/RxD3、PD25/D25/PVOB/TxD3、PD24/D24/PUOB/SCK3、PD22/D22/PWOA/SCK0、PD21/D21/PVOA/ $\overline{\text{IRQ7}}$ 、PD20/D20/PUOA/ $\overline{\text{IRQ6}}$ 、PE23/ $\overline{\text{IRQ7}}$ /PWOB、PE22/ $\overline{\text{IRQ6}}$ /PVOB、PE21/ $\overline{\text{IRQ5}}$ /PUOB、PE19/ $\overline{\text{IRQ3}}$ /PWOA、PE18/ $\overline{\text{IRQ2}}$ /PVOA、PE17/ $\overline{\text{IRQ1}}$ /PUOA/SCK0 の 12 端子

(a) 立ち下がりエッジ検出

$\overline{\text{POE}}$ 端子にハイレベルからローレベルの変化が入力されたとき。

(b) ローレベル検出

図 11.19 にローレベル検出動作を示します。ICSR で設定したサンプリングクロックで、16 回連続したローレベルをサンプリングします。このとき、一度でもハイレベルを検出した場合は、受け付けられません。

また、サンプリングクロックから MMT6 相出力端子がハイインピーダンス状態になるタイミングは立ち下がりエッジ検出、ローレベル検出とも同じです。

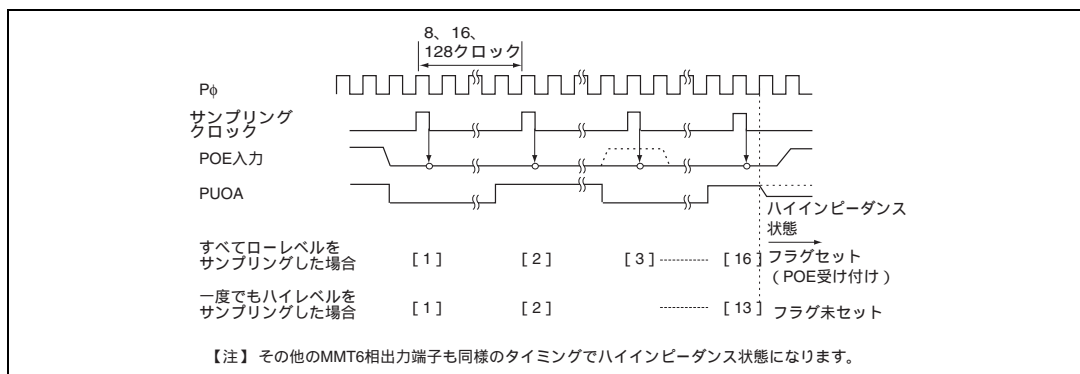


図 11.19 ローレベル検出動作

(2) ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった MMT6 相出力端子は、パワーオンリセットで初期状態に戻るか、ICSR のビット 12 ~ 15 (POE0F ~ POE3F) のフラグをすべてクリアすることにより解除されます。

11. モータマネージメントタイマ (MMT)

12. コンペアマッチタイマ

12.1 概要

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

12.1.1 特長

CMT には、次の特長があります。

- 4 種類のカウント入力クロックを選択可能
4 種類の内部クロック ($P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$) の中から各チャンネル独立に選択できます。ここで、 $P\phi$ は CMT への入力クロックです。CMT の入力クロックは外部クロックを分周したクロックです。
- 割り込み要因
コンペアマッチ割り込みを各チャンネル独立に要求することができます。

12.1.2 ブロック図

CMT のブロック図を図 12.1 に示します。

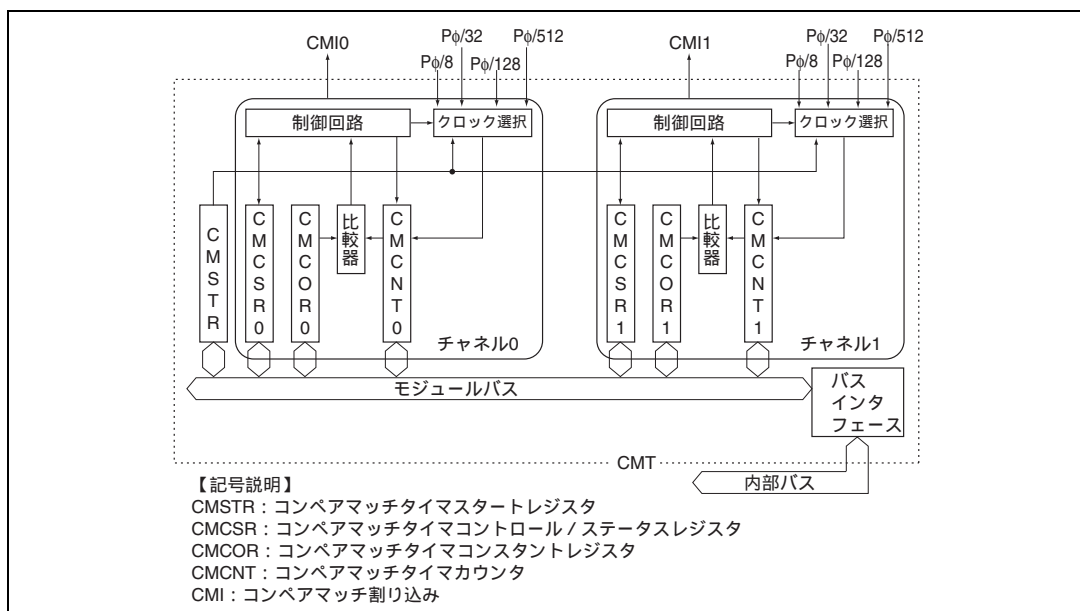


図 12.1 CMT のブロック図

12.1.3 レジスタ構成

CMT のレジスタ構成を表 12.1 に示します。

表 12.1 レジスタ構成

チャネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ
共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'0000	H'FFFF04C0	8、16、32
0	コンペアマッチタイマコントロール/ステータスレジスタ 0	CMCSR0	R/(W)*	H'0000	H'FFFF04C2	8、16、32
	コンペアマッチカウンタ 0	CMCNT0	R/W	H'0000	H'FFFF04C4	8、16、32
	コンペアマッチコンスタントレジスタ 0	CMCOR0	R/W	H'FFFF	H'FFFF04C6	8、16、32
1	コンペアマッチタイマコントロール/ステータスレジスタ 1	CMCSR1	R/(W)*	H'0000	H'FFFF04C8	8、16、32
	コンペアマッチカウンタ 1	CMCNT1	R/W	H'0000	H'FFFF04CA	8、16、32
	コンペアマッチコンスタントレジスタ 1	CMCOR1	R/W	H'FFFF	H'FFFF04CC	8、16、32

【注】 * CMCSR0、CMCSR1 の CMF ビットは、フラグをクリアするための 0 ライトのみ可能です。

12.2 レジスタの説明

12.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

コンペアマッチタイマスタートレジスタ (CMSTR) は 16 ビットのレジスタで、チャネル 0、1 のカウンタ (CMCNT) を動作させるか、停止させるかの設定を行います。CMSTR はパワーオンリセット、ハードウェアスタンバイまたはソフトウェアスタンバイ時に初期化されます。モジュールスタンバイでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット 15~2: 予約ビット

読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット 1: カウントスタート 1 (STR1)

コンペアマッチタイマカウンタ 1 を動作させるか、停止させるかを選択します。

ビット 1	説明
STR1	
0	CMCNT1 のカウント動作は停止 (初期値)
1	CMCNT1 のカウント動作

ビット0：カウントスタート0 (STR0)

コンペアマッチタイマカウンタ0を動作させるか、停止させるかを選択します。

ビット0	説明
STR0	
0	CMCNT0のカウント動作は停止 (初期値)
1	CMCNT0のカウント動作

12.2.2 コンペアマッチタイマコントロール/ステータスレジスタ0、1 (CMCSR0、CMCSR1)

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) は16ビットのレジスタで、コンペアマッチ発生の表示、割り込みの許可/禁止の設定、カウントアップに用いられるクロックの設定を行います。CMCSRはパワーオンリセット、ハードウェアスタンバイまたはソフトウェアスタンバイ時に初期化されます。モジュールスタンバイでは初期化されず、保持されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMF	CMIE	—	—	—	—	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/(W)*R/W	—	—	—	—	—	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ビット15～8：予約ビット

読み出すと常に0が読み出されます。書き込みは無効です。

ビット7：コンペアマッチフラグ (CMF)

CMCNTとCMCORの値が一致したかどうかを示すフラグです。

ビット7	説明
CMF	
0	CMCNTとCMCORの値が一致していない (初期値) [クリア条件] CMFの1を読み出してから0を書き込む
1	CMCNTとCMCORの値が一致した

ビット6：コンペアマッチ割り込みイネーブル (CMIE)

CMCNTとCMCORの値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMTI) の発生を許可するか禁止するかを選択します。

ビット6	説明
CMIE	
0	コンペアマッチ割り込み (CMTI) を禁止 (初期値)
1	コンペアマッチ割り込み (CMTI) を許可

12. コンペアマッチタイマ

ビット5~2：予約ビット

読み出すと常に0が読み出されます。書き込みは無効です。

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

$P\phi$ を分周して得られる4種類の内部クロックからCMCNTに入力するクロックを選択します。CMSTRのSTRビットを1にセットすると、CKS1、CKS0で選択されたクロックによりCMCNTがカウントアップを開始します。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	$P\phi / 8$ (初期値)
	1	$P\phi / 32$
1	0	$P\phi / 128$
	1	$P\phi / 512$

12.2.3 コンペアマッチカウンタ0、1 (CMCNT0、CMCNT1)

コンペアマッチカウンタ (CMCNT) は16ビットのレジスタで、割り込み要求を発生させるためのアップカウンタとして使用します。

CMCSRのCKS1、CKS0ビットで内部クロックを選択すると、そのクロックによってCMCNTはカウントアップを開始します。CMCNTの値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNTはH'0000にクリアされ、CMCSRのCMFフラグが1にセットされます。このとき、CMCSRのCMIEビットが1に設定されていると、コンペアマッチ割り込み (CMIO、1) を要求します。

CMCNTはパワーオンリセット、ハードウェアスタンバイまたはソフトウェアスタンバイ時に初期化されます。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

12.2.4 コンペアマッチコンスタントレジスタ0、1 (CMCOR0、CMCOR1)

コンペアマッチコンスタントレジスタ (CMCOR) は16ビットのレジスタで、CMCNTとのコンペアマッチ周期を設定します。

CMCORはパワーオンリセット、ハードウェアスタンバイまたはソフトウェアスタンバイ時に初期化されます。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

12.3 動作説明

12.3.1 周期カウント動作

CMCSR の CKS1、CKS0 ビットで内部クロックを選択して、CMSTR の STR ビットを 1 にセットすると、そのクロックによって CMCNT はカウントアップを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ、CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMT1) を要求します。CMCNT は H'0000 から再びアップカウント動作を再開します。

コンペアマッチカウンタの動作を図 12.2 に示します。

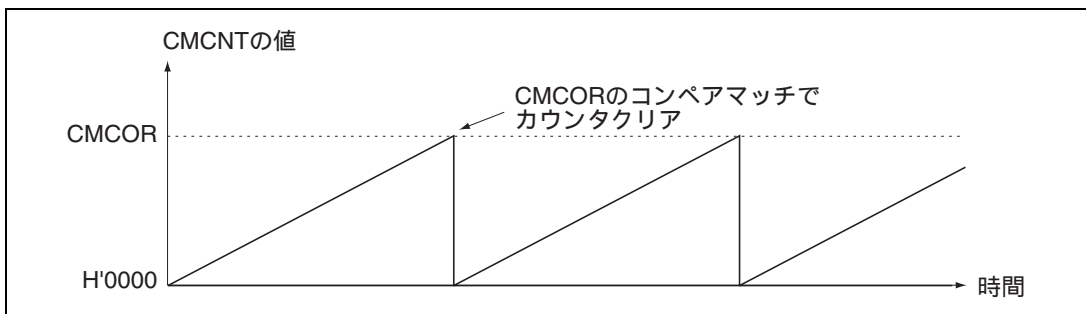


図 12.2 カウンタの動作

12.3.2 CMCNT のカウントタイミング

CMCSR の CKS1、CKS0 ビットにより、 $P\phi$ を分周した 4 種類のクロック ($P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$) が選択できます。

このときのタイミングを図 12.3 に示します。

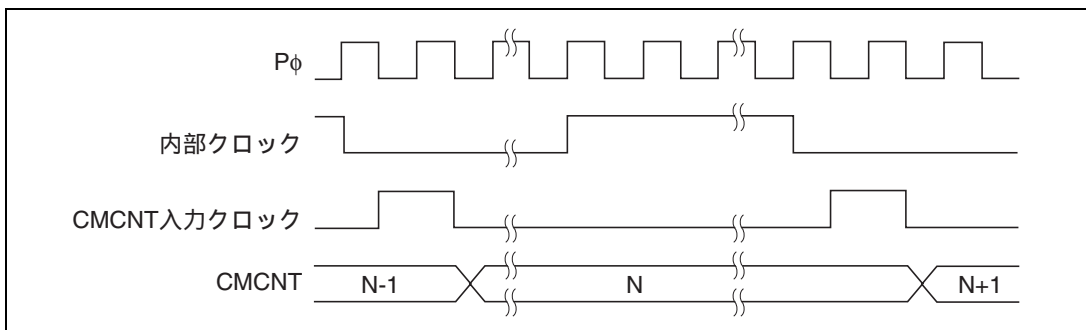


図 12.3 カウントタイミング

12.4 割り込み

12.4.1 割り込み要因

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

12.4.2 コンペアマッチフラグのセットタイミング

CMCSR の CMF ビットは、CMCOR と CMCNT が一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (CMCNT が一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT と CMCOR が一致した後、CMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

図 12.4 に CMF ビットのセットタイミングを示します。

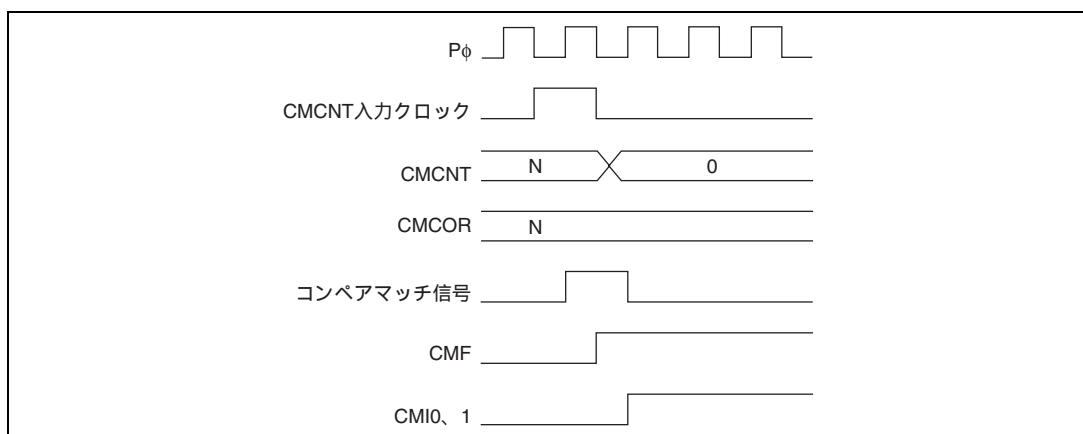


図 12.4 CMF のセットタイミング

12.4.3 コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、1 の状態を読み出した後に 0 を書き込むことによりクリアされます。

図 12.5 に CMF ビットのクリアタイミングを示します。

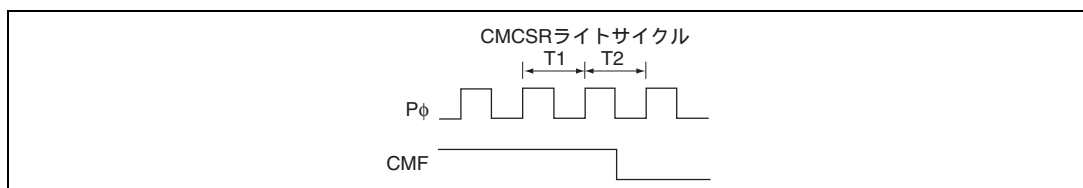


図 12.5 CMF のクリアタイミング

12.5 使用上の注意

CMT の動作中、次のような競合や動作が発生するので注意してください。

(1) CMCNT の書き込みとコンペアマッチの競合

CMCNT のライトサイクル中の T2 ステートでカウンタクリア信号が発生すると、CMCNT への書き込みは行われず、CMCNT のクリアが優先されます。

このタイミングを図 12.6 に示します。

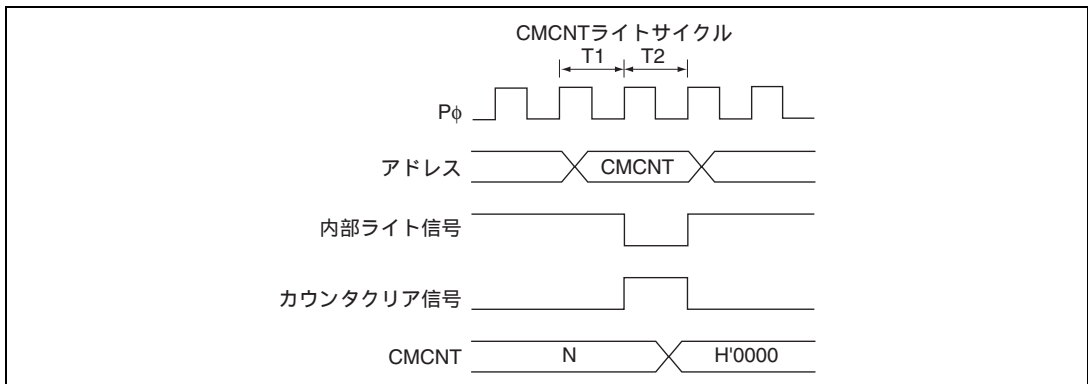


図 12.6 CMCNT の書き込みとコンペアマッチの競合

(2) CMCNT のワード書き込みとカウントアップの競合

CMCNT のワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。

このタイミングを図 12.7 に示します。

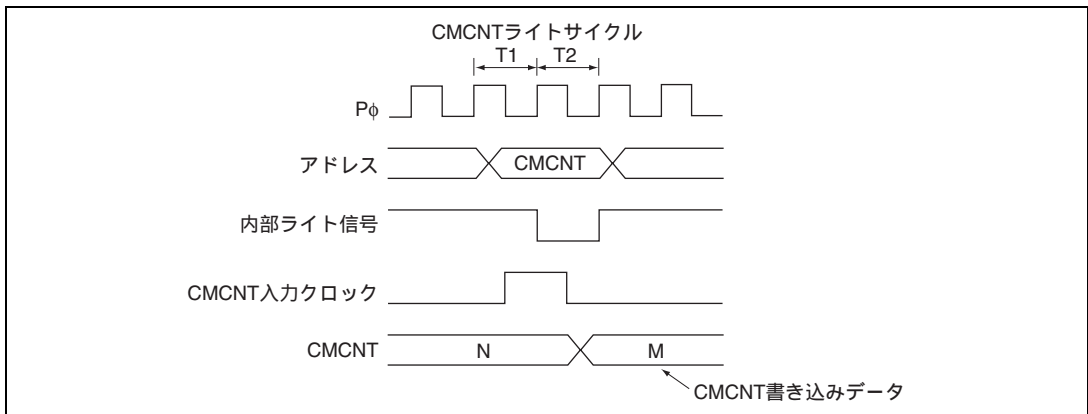


図 12.7 CMCNT のワード書き込みとカウントアップの競合

(3) CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 12.8 に示します。

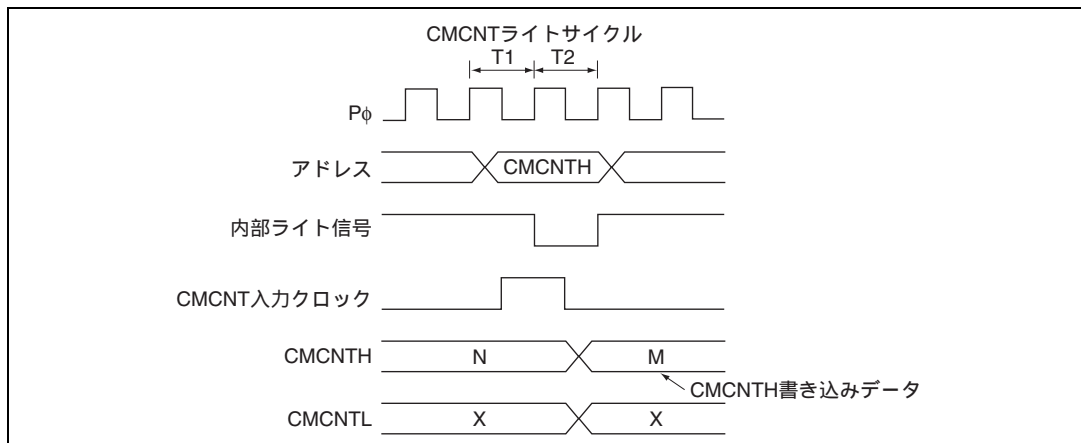


図 12.8 CMCNT のバイト書き込みとカウントアップの競合

13. ウォッチドッグタイマ (WDT)

13.1 概要

ウォッチドッグタイマ(WDT)は1チャンネルのタイマで、システムの監視を行うことができます。WDTは、システムの暴走などによりカウンタの値をCPUが正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号($\overline{\text{WDTOVF}}$)を出力します。同時に、本LSIの内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。またWDTはソフトウェアスタンバイモードの解除時にも使用されます。

13.1.1 特長

WDTには、次のような特長があります。

- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうか選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。
- ソフトウェアスタンバイモードの解除時に使用
- 8種類のカウンタ入力クロックを選択可能

13. ウォッチドッグタイマ (WDT)

13.1.2 ブロック図

WDTのブロック図を図13.1に示します。

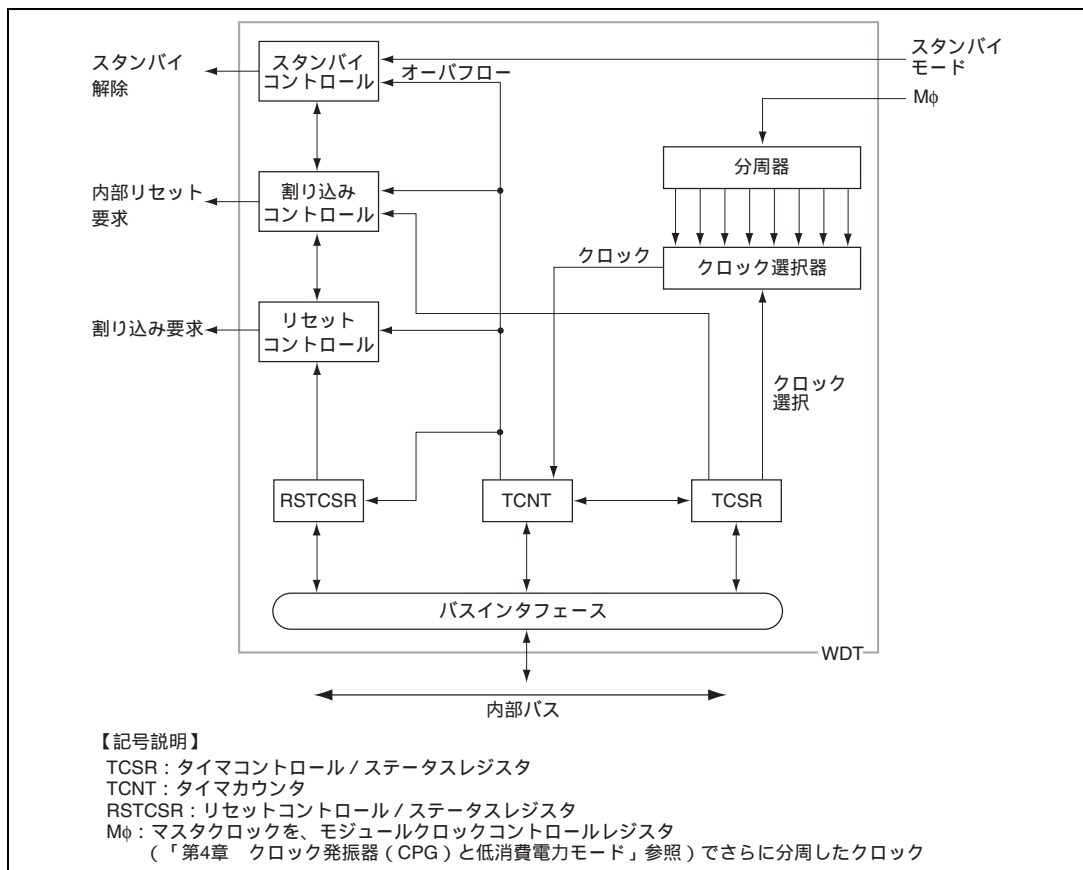


図 13.1 ブロック図

13.1.3 端子構成

WDTの端子を表13.1に示します。

表 13.1 端子構成

名 称	略称	入出力	機 能
ウォッチドッグタイマオーバフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力

13.1.4 レジスタ構成

WDTには、表13.2に示すように3本のレジスタがあります。これらのレジスタにより、クロックの選択、WDTのモードの切り替え、リセット信号の制御などを行います。

表 13.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス	
				書き込み* ¹	読み出し* ²
タイマコントロール/ステータスレジスタ	TCSR	R/(W)* ³	H'18	H'FFFF 1000	H'FFFF 1000
タイマカウンタ	TCNT	R/W	H'00	H'FFFF 1000	H'FFFF 1001
リセットコントロール/ステータスレジスタ	RSTCSR	R/(W)* ³	H'1F	H'FFFF 1002	H'FFFF 1003

- 【注】 *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。
- *2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。
- *3 ビット7には、フラグをクリアするために、0のみ書き込むことができます。

13.2 レジスタの説明

13.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマカウンタ (TCNT) は、読み出し / 書き込み可能な 8 ビットのアップカウンタです。タイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) を 1 にすると、TCSR の CKS2 ~ CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF→H'00) すると、TCSR の WT/IT ビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 ($\overline{\text{WDTOVF}}$) またはインターバルタイマ割り込み (ITI) が発生します。

TCNT はパワーオンリセットまたは TME ビットが 0 のとき、H'00 に初期化されます。スタンバイモード時には初期化されません。

【注】 TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「13.2.4 レジスタアクセス時の注意」を参照してください。

13.2.2 タイマコントロール / ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

【注】* ビット7には、フラグをクリアするために、0のみ書き込むことができます。

タイマコントロール / ステータスレジスタ (TCSR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、タイマカウンタ (TCNT) に入力するクロック、モードの選択などを行います。

ビット 7 ~ 5 は、パワーオンリセットおよびスタンバイモード時に 000 に初期化されます。ビット 2 ~ 0 は、パワーオンリセットで 000 に初期化されますが、スタンバイモード時には初期化されません。

【注】 TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「13.2.4 レジスタアクセス時の注意」を参照してください。

ビット7: オーバフローフラグ (OVF)

インターバルタイマモードで、TCNT がオーバフロー (H'FF→H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット7	説明
OVF	
0	インターバルタイマモードで TCNT のオーバフローなし (初期値)
1	インターバルタイマモードで TCNT のオーバフロー発生 [クリア条件] OVF を読み出してから 0 を書き込む

ビット6: タイマモードセレクト (WT/ \overline{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、インターバルタイマ割り込み (ITI) が発生するか、 \overline{WDTOVF} 信号が発生するかが決まります。

ビット6	説明
WT/ \overline{IT}	
0	インターバルタイマモード: TCNT がオーバフローしたとき、CPU へインターバル割り込み (ITI) を要求 (初期値)
1	ウォッチドッグタイマモード: TCNT がオーバフローしたとき、 \overline{WDTOVF} 信号を外部へ出力

【注】 ウォッチドッグタイマモードのとき、TCNT がオーバフローした場合についての詳細は、「13.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

ビット5: タイマイネーブル (TME)

タイマの動作または停止を設定します。

ビット5	説明
TME	
0	タイマディスエーブル: TCNT を H'00 に初期化し、カウントアップを停止 (初期値)
1	タイマイネーブル: TCNT はカウントアップを開始

ビット4、3: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

13. ウォッチドッグタイマ (WDT)

ビット 2~0 : クロックセレクト 2~0 (CKS2~CKS0)

Mφを分周して得られる 8 種類のクロックから、TCNT に入力するクロックを選択します。

ビット 2	ビット 1	ビット 0	説 明	
CKS2	CKS1	CKS0	クロック分周比	オーバーフロー周期 (Mφ=60MHz のとき)
0	0	0	1/2 (初期化)	8.5μs
		1	1/4	17.1μs
	1	0	1/8	34.1μs
		1	1/32	136.5μs
1	0	0	1/256	1.1ms
		1	1/1024	4.4ms
	1	0	1/2048	8.7ms
		1	1/4096	17.5ms

【注】 オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。Mφは、マスタクロックをモジュールクロックコントロールレジスタでさらに分周したクロックです。詳細は「第 4 章 クロック発振器 (CPG) と低消費電力モード」を参照してください。

13.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット :	7	6	5	4	3	2	1	0
	WOVF	RSTE	-	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R	R	R	R	R	R

【注】 * ビット 7 には、フラグをクリアするために、0のみ書き込むことができます。

リセットコントロール/ステータスレジスタ (RSTCSR) は、読み出し/書き込み可能な 8 ビットのレジスタで、タイマカウンタ (TCNT) のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。

RSTCSR は、RES 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバーフローによる内部リセット信号では初期化されません。スタンバイモード時には H'1F に初期化されます

【注】 RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「13.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7 : ウォッチドッグタイマオーバーフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNT がオーバーフロー (H'FF→H'00) したことを示します。インターバルタイマモードではセットされません。

ビット 7	説 明
WOVF	
0	ウォッチドッグタイマモードで TCNT のオーバーフローなし (初期値)
1	ウォッチドッグタイマモードで TCNT のオーバーフロー発生 [クリア条件] WOVF を読み出してから 0 を書き込む

ビット6: リセットイネーブル (RSTE)

ウォッチドッグタイマモードで、TCNT がオーバーフローしたとき、本 LSI をリセットする信号を発生するかどうかを選択します。

ビット6 RSTE	説明
0	TCNT がオーバーフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバーフローしたとき、内部リセットする

【注】 * 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

ビット5: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4~0: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

13.2.4 レジスタアクセス時の注意

タイマカウンタ (TCNT)、タイマコントロール/ステータスレジスタ (TCSR)、リセットコントロール/ステータスレジスタ (RSTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出し/書き込みを行ってください。

(1) TCNT、TCSR への書き込み

TCNT、TCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

書き込み時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 13.2 に示すように、TCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。TCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へ書き込まれます。

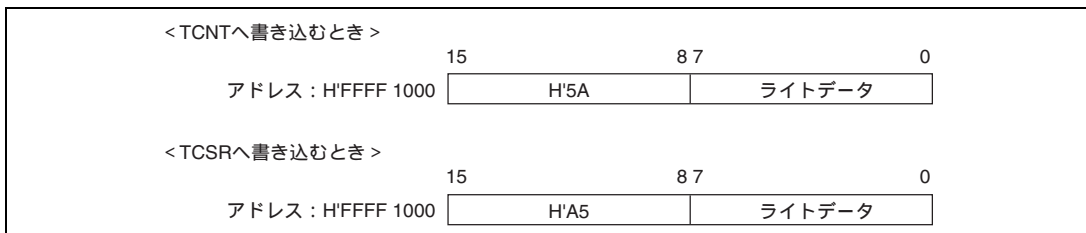


図 13.2 TCNT、TCSR への書き込み

13. ウォッチドッグタイマ (WDT)

(2) RSTCSR への書き込み

RSTCSR へ書き込むときは、アドレス H'FFFF1002 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) に書き込む場合では、図 13.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 の値が RSTE ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

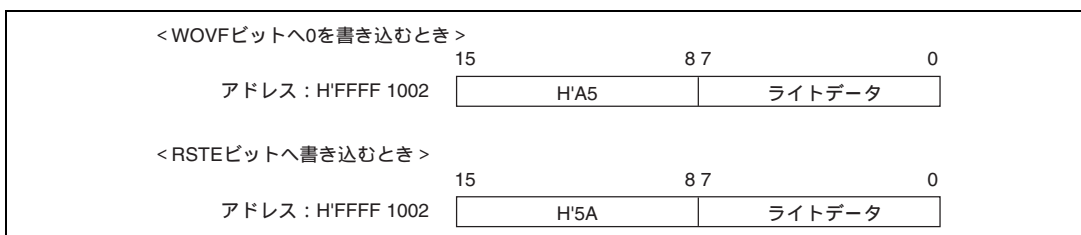


図 13.3 RSTCSR への書き込み

(3) TCNT、TCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。TCSR は、アドレス H'FFFF1000 に、TCNT は、アドレス H'FFFF1001 に、RSTCSR は、アドレス H'FFFF1003 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

13.3 動作説明

13.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、タイマコントロール/ステータスレジスタ (TCSR) の WT/\overline{IT} ビットと TME ビットの両方を 1 に設定してください。また、タイマカウンタ (TCNT) がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しません。また、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号が外部に出力されます。これを図 13.4 に示します。この \overline{WDTOVF} 信号を用いて、システムをリセットすることができます。

\overline{WDTOVF} 信号は、128 クロック (WDT 用) の間出力されます。ここでクロック (WDT 用) とは、内部クロックをモジュールクロックコントロールレジスタ (「第 4 章 クロック発振器 (CPG) と低消費電力モード」参照) でさらに分周したクロックを示します。

リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。内部リセット信号は、512 クロック (WDT 用) の間出力されます。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

なお、WDT によるリセット信号により、(1) MMT の POE (ポートアウトプットイネーブル) 機能のレジスタ、(2) ピンファンクションコントローラ (PFC) のレジスタ、(3) I/O ポートのレジスタは初期化されません (外部からのパワーオンリセットのみで初期化されます)。

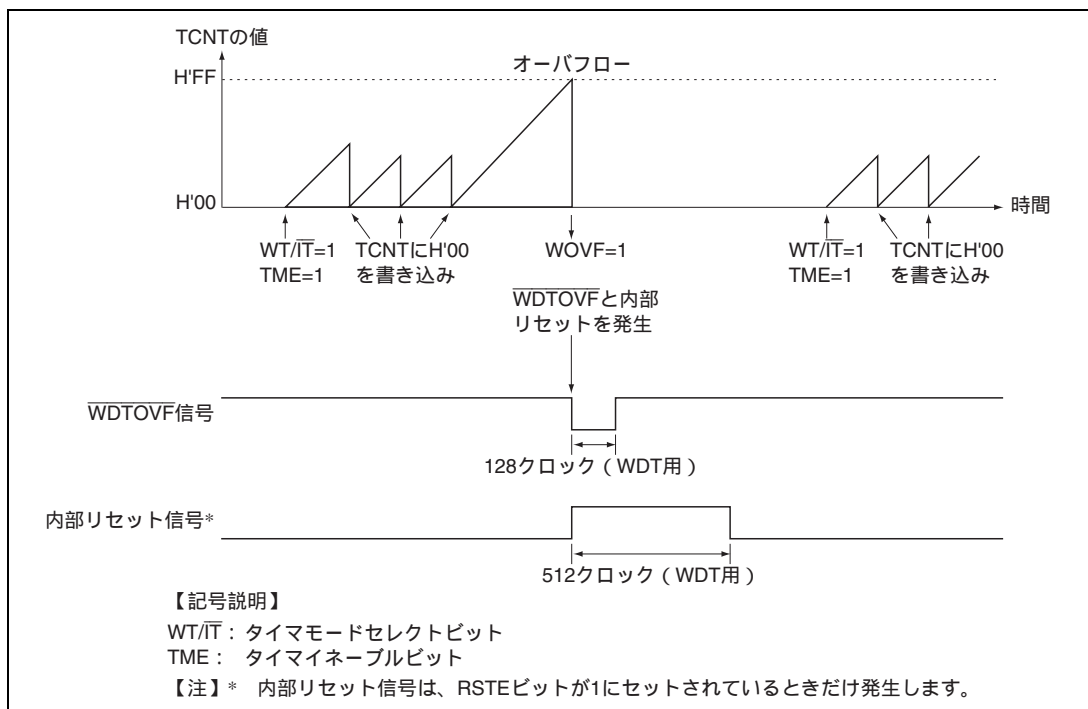


図 13.4 ウォッチドッグタイマモード時の動作

13.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するとき、タイマコントロール/ステータスレジスタ (TCSR) の WT/IT ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 13.5 に示すように、タイマカウンタ (TCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

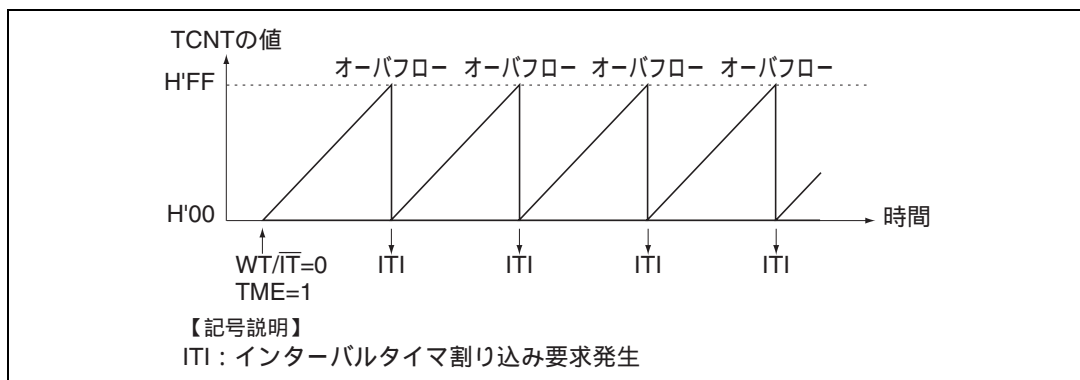


図 13.5 インターバルタイマモード時の動作

13.3.3 ソフトウェアスタンバイモード解除時の動作

WDT は、ソフトウェアスタンバイモードで NMI 割り込みで解除されるときに使用されます。ソフトウェアスタンバイモードを使用する場合は、WDT を次の (1) に示すように設定してください。

(1) ソフトウェアスタンバイモード遷移前の設定

ソフトウェアスタンバイモードに遷移する前に、必ずタイマコントロール/ステータスレジスタ (TCSR) の TME ビットを 0 にして、WDT を停止させてください。TME ビットが 1 になっていると、ソフトウェアスタンバイモードに遷移できません。また、タイマカウンタ (TCNT) のオーバーフロー周期が発振安定時間以上になるように、TCSR の CKS2 ~ CKS0 ビットを設定してください。発振安定時間については、「22.3 AC 特性測定条件」を参照してください。

(2) ソフトウェアスタンバイモード解除時の動作

ソフトウェアスタンバイモードで NMI 割り込みが発生すると、発振器が動作を開始し、TCNT はソフトウェアスタンバイモード遷移前に CKS2 ~ CKS0 ビットで選択しておいたクロックにより、カウントアップを開始します。

TCNT がオーバーフロー (H'FF → H'00) すると、クロックが安定し使用可能であると判断され、本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除されます。

14. シリアルコミュニケーションインタフェース (SCI)

14.1 概要

本 LSI には、FIFO 内蔵シリアルコミュニケーションインタフェース (SCI: SCI with FIFO) が 3 チャンネル内蔵されています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

IrDA1.0 システムに基づく赤外線データアソシエーション (IrDA) インタフェースを内蔵しているので赤外線通信を行うことができます。

送信、受信ともに 16 段の FIFO レジスタを内蔵しており、効率の良い高速連続通信を行うことができます。

14.1.1 特長

SCI には次の特長があります。

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能
 - － 調歩同期式モード
 - キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。
 - シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。
 - データ長：7 ビット、または 8 ビット
 - ストップビット長：1 ビット、または 2 ビット
 - パリティ：偶数パリティ、奇数パリティ、またはパリティなし
 - マルチプロセッサビット：1 または 0
 - 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラーを検出
 - ブレークの自動検出が可能です。
 - － クロック同期式モード
 - クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。
 - シリアルデータ通信フォーマットは 1 種類です。
 - データ長：8 ビット
 - 受信エラーの検出：オーバランエラーを検出
- IrDA1.0 準拠
- 全二重通信が可能
 - 独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

14. シリアルコミュニケーションインタフェース (SCI)

また、送信部、受信部ともに16段のFIFOバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

ただし、IrDA通信時には半二重通信を行います。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能
- 4 種類の割り込み要因
送信FIFOデータエンプティ、送信終了、受信FIFOデータフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信FIFOデータエンプティ、受信FIFOデータフル割り込みにより、内蔵DMACを起動させてデータ転送を行うことができます。
- SCI を使用しないときは、消費電力低減のため SCI に対してクロックの供給を止めて動作を停止させることができます。
- LSB ファースト、MSB ファーストを選択可能
- 調歩同期式モードにおいて、ビットレートの 4、8、16 倍の基本クロックでの動作を選択可能

14.1.2 ブロック図

図 14.1 に SCI のブロック図を、図 14.2 に IrDA のブロック図を示します。

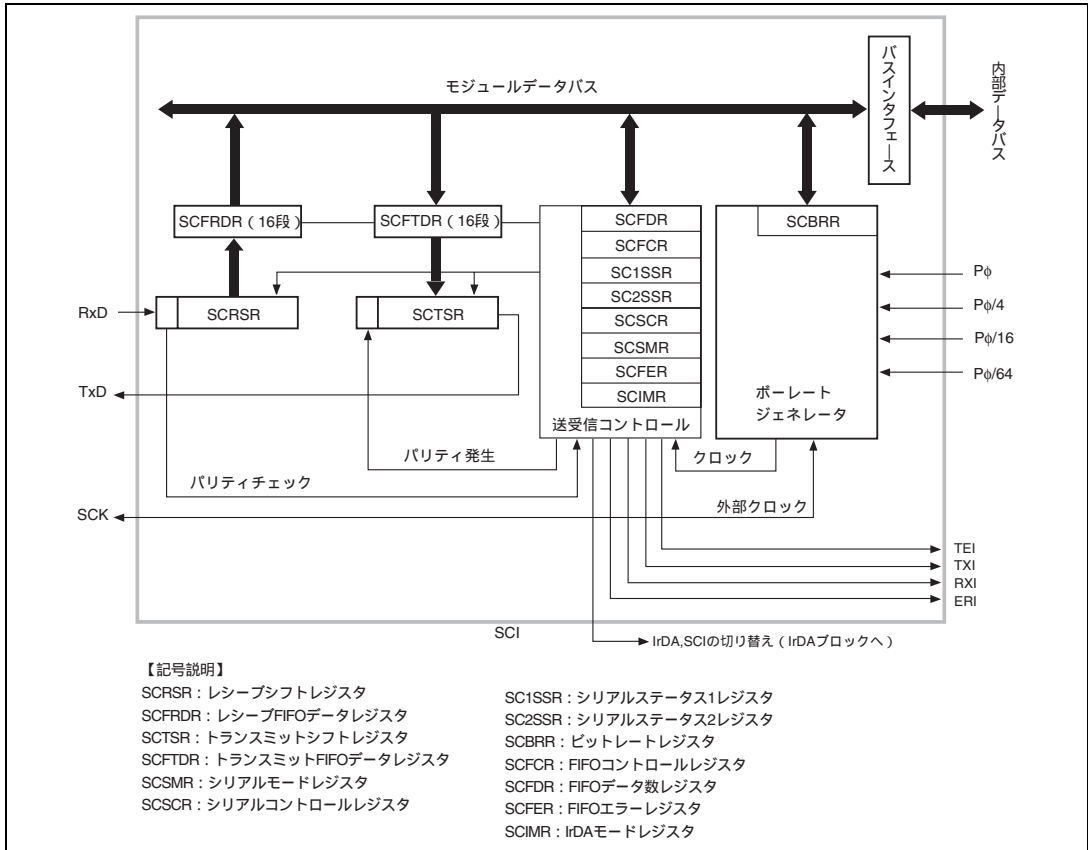


図 14.1 SCI のブロック図

14. シリアルコミュニケーションインタフェース (SCI)

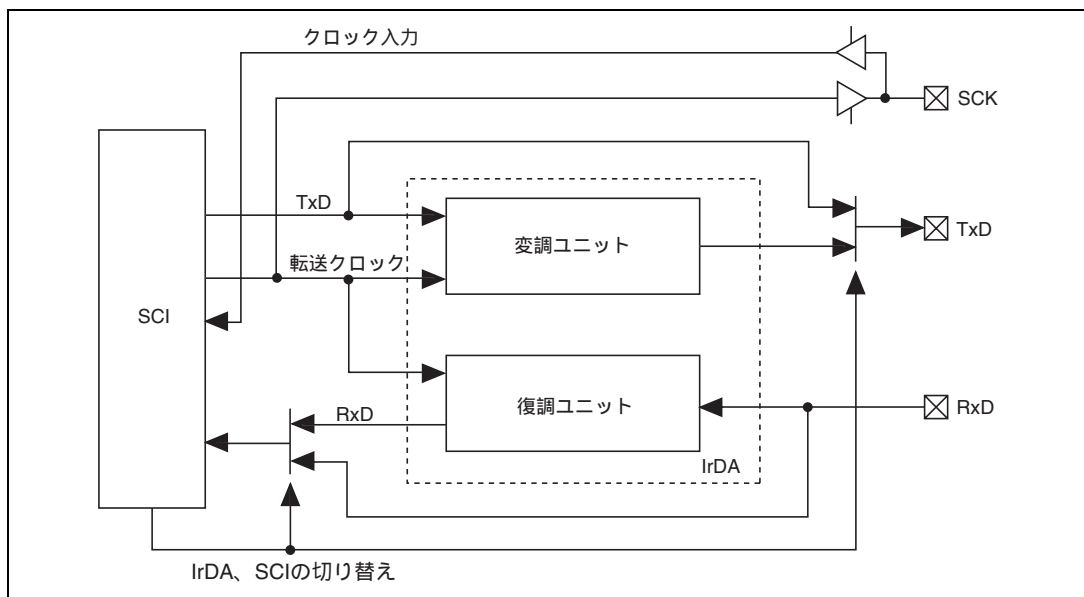


図 14.2 IrDA のブロック図

14.1.3 端子構成

SCI は、チャンネルごとに表 14.1 に示すシリアル端子を持っています。

表 14.1 端子構成

チャンネル	名称	略称	入出力	機能
0~2	シリアルクロック端子	SCK0~2	入出力	クロック入出力
	レシーブデータ端子	RxD0~2	入力	受信データ入力
	トランスミットデータ端子	TxD0~2	出力	送信データ出力

14.1.4 レジスタ構成

SCIには、表 14.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードおよび IrDA 通信モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 14.2 レジスタ構成

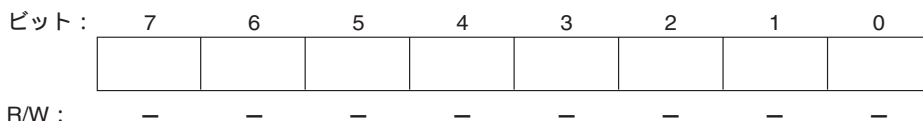
チャンネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ
0	シリアルモードレジスタ	SCSMR0	R/W	H'00	H'FFFF0500	8
	ビットレートレジスタ	SCBRR0	R/W	H'FF	H'FFFF0502	8
	シリアルコントロールレジスタ	SCSCR0	R/W	H'00	H'FFFF0504	8
	トランスミット FIFO データレジスタ	SCFTDR0	W	-	H'FFFF0506	8
	シリアルステータス 1 レジスタ	SC1SSR0	R/(W)*	H'84	H'FFFF0508	16
	シリアルステータス 2 レジスタ	SC2SSR0	R/(W)*	H'20	H'FFFF050A	8
	レシーブ FIFO データレジスタ	SCFRDR0	R	不定	H'FFFF050C	8
	FIFO コントロールレジスタ	SCFCR0	R/W	H'00	H'FFFF050E	8
	FIFO データ数レジスタ	SCFDR0	R	H'00	H'FFFF0510	16
	FIFO エラーレジスタ	SCFER0	R	H'00	H'FFFF0512	16
	IrDA モードレジスタ	SCIMR0	R/W	H'00	H'FFFF0514	8
1	シリアルモードレジスタ	SCSMR1	R/W	H'00	H'FFFF0520	8
	ビットレートレジスタ	SCBRR1	R/W	H'FF	H'FFFF0522	8
	シリアルコントロールレジスタ	SCSCR1	R/W	H'00	H'FFFF0524	8
	トランスミット FIFO データレジスタ	SCFTDR1	W	-	H'FFFF0526	8
	シリアルステータス 1 レジスタ	SC1SSR1	R/(W)*	H'84	H'FFFF0528	16
	シリアルステータス 2 レジスタ	SC2SSR1	R/(W)*	H'20	H'FFFF052A	8
	レシーブ FIFO データレジスタ	SCFRDR1	R	不定	H'FFFF052C	8
	FIFO コントロールレジスタ	SCFCR1	R/W	H'00	H'FFFF052E	8
	FIFO データ数レジスタ	SCFDR1	R	H'00	H'FFFF0530	16
	FIFO エラーレジスタ	SCFER1	R	H'00	H'FFFF0532	16
	IrDA モードレジスタ	SCIMR1	R/W	H'00	H'FFFF0534	8
2	シリアルモードレジスタ	SCSMR2	R/W	H'00	H'FFFF0540	8
	ビットレートレジスタ	SCBRR2	R/W	H'FF	H'FFFF0542	8
	シリアルコントロールレジスタ	SCSCR2	R/W	H'00	H'FFFF0544	8
	トランスミット FIFO データレジスタ	SCFTDR2	W	-	H'FFFF0546	8
	シリアルステータス 1 レジスタ	SC1SSR2	R/(W)*	H'84	H'FFFF0548	16
	シリアルステータス 2 レジスタ	SC2SSR2	R/(W)*	H'20	H'FFFF054A	8
	レシーブ FIFO データレジスタ	SCFRDR2	R	不定	H'FFFF054C	8
	FIFO コントロールレジスタ	SCFCR2	R/W	H'00	H'FFFF054E	8
	FIFO データ数レジスタ	SCFDR2	R	H'00	H'FFFF0550	16
	FIFO エラーレジスタ	SCFER2	R	H'00	H'FFFF0552	16
	IrDA モードレジスタ	SCIMR2	R/W	H'00	H'FFFF0554	8

【注】 * フラグをクリアするために 0 のみ書き込むことができます。また、アクセスサイズ 8 のレジスタはバイトアクセス、アクセスサイズ 16 のレジスタはワードアクセスにしてください。

14.2 レジスタの説明

IrDA 通信モードでは、IrDA モードレジスタ (SCIMR) とシリアルモードレジスタ (SCSMR) のビット 6~3 (ICK3~0) 以外は、調歩同期モードの設定と同じです。

14.2.1 レシーブシフトレジスタ (SCRSR)

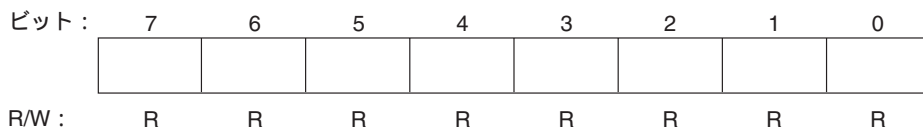


レシーブシフトレジスタ (SCRSR) は、シリアルデータを受信するためのレジスタです。

SCI は、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) または MSB (ビット 7) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタ (SCFRDR) へ転送されます。

直接 SCRSR の読み出し / 書き込みをすることはできません。

14.2.2 レシーブ FIFO データレジスタ (SCFRDR)



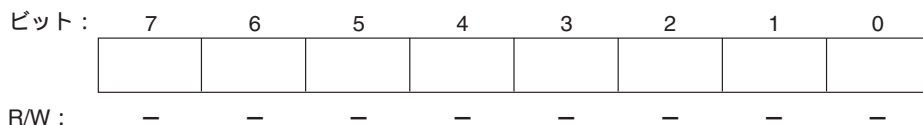
レシーブ FIFO データレジスタ (SCFRDR) は、受信したシリアルデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 16 データまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので書き込むことはできません。

また、SCFRDR に受信データがない状態で読み出した値は不定値になります。SCFRDR 内の受信データがいっぱいになると、以降の受信データは失われます。

14.2.3 トランスミットシフトレジスタ (SCTSR)



トランスミットシフトレジスタ (SCTSR) は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) または MSB (ビット 7) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

直接 SCTSR の読み出し / 書き込みをすることはできません。

14.2.4 トランスミット FIFO データレジスタ (SCFTDR)

ビット:	7	6	5	4	3	2	1	0
R/W:	W	W	W	W	W	W	W	W

トランスミット FIFO データレジスタ (SCFTDR) は、シリアル送信するデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCI は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで、連続シリアル送信を行います。

SCFTDR は、書き込み専用レジスタですので読み出すことはできません。

SCFTDR 内の送信データが 16 バイトで満たされているときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

14.2.5 シリアルモードレジスタ (SCSMR)

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR/ ICK3	PE/ICK2	O/ \bar{E} /ICK1	STOP/ ICK0	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SCSMR) は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。IrDA 通信モードでは、出力パルス幅の選択に使用します。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

SCSMR は、リセット、モジュールスタンバイ、またはスタンバイモード時に H'00 に初期化されません。

14. シリアルコミュニケーションインタフェース (SCI)

ビット7: コミュニケーションモード (C/ \bar{A})

SCIの動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。IrDA通信モード時は、必ず0を設定してください。

ビット7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット6: キャラクタレングス (CHR) / IrDA クロックセレクト 3 (ICK3)

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードではCHRの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ*

【注】 * 7ビットデータを選択した場合、トランスミット FIFO データレジスタ (SCFTDR) の送信データで送信されないビットは、シリアルステータス 2 レジスタ (SC2SSR) の TLM (ビット7) の LSB ファースト / MSB ファーストの選択により異なり、以下となります。

(1) TLM=0 (LSB ファーストで送信) の場合、MSB (ビット7) は送信されません。

(2) TLM=1 (MSB ファーストで送信) の場合、LSB (ビット0) は送信されません。

IrDA 通信モードでは、IrDA クロックセレクト 3 (ICK3) となり、設定により適切なクロックパルスを発生させることができます。「14.3.6 IrDA モード時の動作 (3) パルス幅の選択」を参照してください。

ビット5: パリティイネーブル (PE) / IrDA クロックセレクト 2 (ICK2)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに1をセットすると送信時には、O/ \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/ \bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

IrDA 通信モードでは、IrDA クロックセレクト 2 (ICK2) となり、設定により適切なクロックパルスを発生させることができます。「14.3.6 IrDA モード時の動作 (3) パルス幅の選択」を参照してください。

ビット4：パリティモード (O/E) / IrDA クロックセレクト1 (ICK1)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

- 【注】*¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせたうち、1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせたうち、1の数の合計が偶数であるかどうかをチェックします。
- *² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせたうち、1の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせたうち、1の数の合計が奇数であるかどうかをチェックします。

IrDA 通信モードでは、IrDA クロックセレクト1 (ICK1) となり、設定により適切なクロックパルスを発生させることができます。「14.3.6 IrDA モード時の動作 (3) パルス幅の選択」を参照してください。

ビット3：ストップビットレングス (STOP) / IrDA クロックセレクト0 (ICK0)

調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1ストップビット* ¹ (初期値)
1	2ストップビット* ²

- 【注】*¹ 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。
*² 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

IrDA 通信モードでは、IrDA クロックセレクト0 (ICK0) となり、設定により適切なクロックパルスを発生させることができます。「14.3.6 IrDA モード時の動作 (3) パルス幅の選択」を参照してください。

14. シリアルコミュニケーションインタフェース (SCI)

ビット 2 : マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モード、IrDA モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「14.3.3 マルチプロセッサ通信機能」を参照してください。

ビット 2	説 明
MP	
0	マルチプロセッサ機能を禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット 1、0 : クロックセレクト 1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で P ϕ 、P ϕ /4、P ϕ /16、P ϕ /64 の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「14.2.9 ビットレートレジスタ (SCBRR)」を参照してください。

ビット 1	ビット 0	説 明
CKS1	CKS0	
0	0	P ϕ クロック (初期値)
	1	P ϕ /4 クロック
1	0	P ϕ /16 クロック
	1	P ϕ /64 クロック

【注】 P ϕ (SCI) は、周辺クロック CKP を、モジュールクロックコントロールレジスタの設定により分周したものです。詳細は「第 4 章 クロック発振器 (CPG) と低消費電力モード」を参照してください。

14.2.6 シリアルコントロールレジスタ (SCSCR)

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCSCR) は、SCI の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

SCSCR は、リセット、モジュールスタンバイ、またはスタンバイモード時に H'00 に初期化されません。

ビット7: トランスミットインタラプトイネーブル (TIE)

トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送され、SCFTDR 内のデータ数が送信トリガ設定数以下となり、シリアルステータス 1 レジスタ (SC1SSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット 7	説 明
TIE	
0	送信 FIFO データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信 FIFO データエンプティ割り込み (TXI) 要求を許可

【注】 * TXI の解除は、SCFTDR に送信トリガ設定数より多い送信データを書き込み、TDFE フラグの 1 を読み出した後、TDFE フラグを 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。内蔵 DMAC を使用して SCFTDR に送信データを書き込む場合は、TDFE フラグは自動的にクリアされます。

ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (SCRSR) からレシーブ FIFO データレジスタ (SCFRDR) へ転送されて SCFRDR 内のデータ数が受信トリガ設定数以上になり、SC1SSR の RDF フラグが 1 にセットされたときの、受信 FIFO データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット 6	説 明
RIE	
0	受信 FIFO データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信 FIFO データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDF フラグ、または ORER、BRK、DR、ER フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ORER 発生時は、SCFRDR から受信データを受信トリガ設定数より少なくなるまで読み出した後に ORER フラグの 1 を読み出し、0 にクリアしてください。

14. シリアルコミュニケーションインタフェース (SCI)

ビット5：トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット5	説 明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *1 SC1SSR の TDFE フラグは、TE = 0 にしても影響を受けません。また、TxD 端子はハイレベルに固定されます。

*2 この状態で、SCFTDR に送信データを書き込むと、シリアル送信を開始します。
なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い送信フォーマットを決定し、FIFO バッファをリセットしてください。

ビット4：レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説 明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 RE ビットを 0 にクリアしても RDF、FER、PER、ORER、DR、BRK の各フラグは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。クロック同期式モードで同期クロックを出力する設定の場合、TE = 0 ならば RE = 1 にすると直ちに、同期クロックを出力し、受信動作を開始します。TE = 1 かつ RE = 1 の場合は、送信動作と同時にシリアルデータを受信します。
なお、RE ビットを 1 にセットする前に必ず SCSMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SCSMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モード、IrDA モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット3	説 明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SC1SSR の RDF、ORER、FER の各フラグのセットを禁止します。

【注】 * SCRSR から SCFRDR への受信データの転送、および受信エラーの検出と SC1SSR の RDF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SC1SSR の MPB フラグを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCSCR の RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

送信キャラクタの最後尾ビットの送出時に有効な送信データが SCFTDR がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

ビット2	説 明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SCFTDR にデータを書き込んで SC1SSR の TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

14. シリアルコミュニケーションインタフェース (SCI)

ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、SCSMR で SCI の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。

SCI のクロックソースの選択についての詳細は表 14.9 を参照してください。

ビット 1	ビット 0	説明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入力端子 (入力信号は無視) * ¹
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力 * ¹
0	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力 * ²
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	* ⁴	調歩同期式モード	外部クロック / SCK 端子はクロック入力 * ³
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *¹ 初期値

*² ビットレートの 16/8/4 倍の周波数のクロックを出力

*³ ビットレートの 16/8/4 倍の周波数のクロックを入力

*⁴ Don't Care.

14.2.7 シリアルステータス 1 レジスタ (SC1SSR)

ビット :	15	14	13	12	11	10	9	8
	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	TDFE	RDF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R/W

【注】 *フラグをクリアするための 0 のみ書き込むことができます。

シリアルステータス 1 レジスタ (SC1SSR) は、16 ビット長のレジスタであり、下位 8 ビットは SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを、上位 8 ビットはレシーブ FIFO レジスタ内のデータのエラー数を示します。

SC1SSR は常に読み出し / 書き込みができます。ただし、TDFE、RDF、ORER、FER、PER、TEND の各フラグへ 1 を書き込むことはできません。また、TDFE、RDF、ORER を 0 にクリアするために

は、あらかじめ 1 を読み出しておく必要があります。また、FER、PER、TEND、MPB の各フラグは読み出し専用であり、書き込むことはできません。

SC1SSR は、リセット、モジュールスタンバイ、またはスタンバイモード時に H'0084 に初期化されます。

ビット 15～12：パリティエラー数 3～0 (PER3～PER0)

レシーブ FIFO データレジスタ内にある受信データで、パリティエラーであるデータの数を示します。

クリアはレシーブ FIFO データレジスタ内のすべての受信データを読み出すか、SCFCR の RFRST ビットを 1 にセットし、レシーブ FIFO データレジスタを空の状態にリセットします。

ビット 11～8：フレーミングエラー数 3～0 (FER3～FER0)

レシーブ FIFO データレジスタ内にある受信データで、フレーミングエラーであるデータの数を示します。

クリアはレシーブ FIFO データレジスタ内のすべての受信データを読み出すか、SCFCR の RFRST ビットを 1 にセットし、レシーブ FIFO データレジスタを空の状態にリセットします。

ビット 7：トランスミット FIFO データエンプティ (TDFE)

トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ、SCFTDR 内のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで設定した送信トリガ設定数以下になり、SCFTDR に送信データの書き込みが可能になったことを示します。

ビット 7	説明
TDFE	
0	SCFTDR に送信トリガ設定数より多い送信データが書き込まれていることを表示 [クリア条件] (1) SCFTDR に送信トリガ設定数を超える送信データを書き込み、TDFE=1 の状態を読み出した後、0 を書き込んだとき (2) 内蔵 DMAC で SCFTDR に送信トリガ設定数を超える送信データを書き込んだとき
1	SCFTDR の送信データ数が送信トリガ設定数以下であることを表示 (初期値) [セット条件] (1) リセット、スタンバイモード時 (2) SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき*

【注】 * SCFTDR は 16 バイトの FIFO レジスタですので TDFE=0 で書き込むことができる最大データ数は、{ 16 (送信トリガ設定数) } になります。これより多くデータを書き込んだ場合無視されます。また、SCFTDR 内のデータ数は SCFCR の上位 8 ビットに示されます。

14. シリアルコミュニケーションインタフェース (SCI)

ビット 6 : レシーブデータレジスタフル (RDF)

受信したデータがレシーブ FIFO データレジスタ (SCFRDR) に転送され、SCFRDR 内の受信データ数が、FIFO コントロールレジスタ (SCFCR) の RTRG1、RTRG0 ビットで設定した受信トリガ設定数以上になったことを示します。

ビット 6	説 明
RDF	
0	SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、RDF=1 を読み出した後、0 を書き込んだとき (3) 内蔵 DMAC で SCFRDR の受信データ数が受信トリガ設定数より少なくなるまでデータを読み出したとき
1	SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示 [セット条件] SCFRDR に受信トリガ設定数以上の受信データが格納されたとき

【注】 * SCFRDR は 16 バイトの FIFO レジスタです。RDF=1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR 内のデータをすべて読み出し、さらに読み出すとデータは不定値になります。なお SCFRDR 内の受信データ数は SCFCR の下位 8 ビットに示されます。

ビット 5 : オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説 明
ORER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) ORER=1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示*2 [セット条件] SCFRDR 内の受信データ数が 16 の状態で次のシリアル受信を完了したとき

【注】 *1 SCSCR の RE ビットを 0 にクリアしても、ORER フラグは影響を受けず以前の状態を保持します。

*2 SCFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー (FER)

レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータのフレーミングエラーを表示します。

ビット4	説明
FER	
0	SCFRDR から読み出した受信データにフレーミングエラーがないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) SCFRDR 読み出しデータにフレーミングエラーなし
1	SCFRDR から読み出した受信データにフレーミングエラーが発生していることを表示 [セット条件] SCFRDR 読み出しデータにフレーミングエラーあり

ビット3：パリティエラー (PER)

調歩同期モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータのパリティエラーを表示します。

ビット3	説明
PER	
0	SCFRDR から読み出した受信データにパリティエラーがないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) SCFRDR 読み出しデータにパリティエラーなし
1	SCFRDR から読み出した受信データにパリティエラーが発生していることを表示 [セット条件] SCFRDR 読み出しデータにパリティエラーあり

ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) TE = 1 の状態で SCFTDR にデータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCSCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR に送信データがないとき

14. シリアルコミュニケーションインタフェース (SCI)

ビット 1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB フラグは、読み出し専用ですので、書き込むことはできません。

ビット 1	説 明
MPB	
0	マルチプロセッサビットが 0 のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが 1 のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットで RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット 0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モード、IrDA モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときには MPBT ビットの設定は無効です。

ビット 0	説 明
MPBT	
0	マルチプロセッサビットが 0 のデータを送信 (初期値)
1	マルチプロセッサビットが 1 のデータを送信

14.2.8 シリアルステータス 2 レジスタ (SC2SSR)

ビット：	7	6	5	4	3	2	1	0
	TLM	RLM	N1	N0	BRK	DR	EI	ER
初期値：	0	0	1	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/(W)*	R/(W)*	R/W	R/(W)*

【注】 *フラグをクリアするための0のみ書き込むことができます。

シリアルステータス 2 レジスタ (SC2SSR) は、8 ビット長のレジスタです。

SC2SSR は常に読み出し / 書き込みができます。ただし、BRK、DR、ER の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。SC2SSR は、リセット、モジュールスタンバイ、またはスタンバイモード時に H'20 に初期化されます。

ビット7: トランスミット LSB / MSB ファースト選択 (TLM)

データ送信時に、LSB ファースト / MSB ファーストを選択します。

ビット7	説 明	
TLM		
0	LSB ファーストで送信	(初期値)
1	MSB ファーストで送信	

【注】 調歩同期式モードでデータ長を7ビットに設定した場合、LSB ファーストの送信では送信データのMSB (ビット7) は送信されません。また、MSB ファーストの送信では送信データのLSB (ビット0) は送信されません。

ビット6: レシーブ LSB / MSB ファースト選択 (RLM)

データ受信時に、LSB ファースト / MSB ファーストを選択します。

ビット6	説 明	
RLM		
0	LSB ファーストで受信	(初期値)
1	MSB ファーストで受信	

【注】 調歩同期式モードでデータ長を7ビットに設定した場合、LSB ファーストの受信では受信データのMSB (ビット7) は0になります。また、MSB ファーストの受信では受信データのLSB (ビット0) は0になります。

ビット5、4: クロック・ビットレート比 (N1、N0)

ビット5	ビット4	説 明	
N1	N0		
0	0	ビットレートの4倍の基本クロックで動作	
	1	ビットレートの8倍の基本クロックで動作	
1	0	ビットレートの16倍の基本クロックで動作	(初期値)
	1	設定禁止	

14. シリアルコミュニケーションインタフェース (SCI)

ビット3：ブ레이크検出 (BRK)

受信データのブ레이크信号を検出したことを示します。

ビット3	説明
BRK	
0	ブ레이크信号を受信していないことを表示 (初期値) [クリア条件] (1) リセットまたはスタンバイモード時 (2) BRK=1 の状態を読み出した後、0 を書き込んだとき
1	ブ레이크信号を受信していることを表示 [セット条件] フレーミングエラーを伴うデータを受信したとき、次の受信データもすべてスペース0でフレーミングエラーが発生している場合

【注】 * ブ레이크検出すると検出後の受信データ(H'00)の SCFRDR 転送は停止します。ブ레이크が終了し、受信信号がマーク1に戻ると受信データの転送が再開します。

ビット2：レシーブデータレディ (DR)

レシーブ FIFO データレジスタ (SCFRDR) に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 以上、次のデータが来ないことを示します。

ビット2	説明
DR	
0	受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示 (初期値) [クリア条件] (1) リセットまたはスタンバイモード時 (2) 残っている受信データをすべて読み出しかつ DR=1 の状態を読み出した後、0 を書き込んだとき ^{*1}
1	次の受信データが来ず、SCFRDR に受信トリガ設定数未満のデータが残っていることを表示 [セット条件] SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき ^{*2}

【注】 *1 DR フラグのクリアの前に、残っている受信データをすべて読み出してください。

*2 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。

etu : element time unit = s/bit

ビット1: 受信データエラー無視イネーブル (EI)

受信データにフレーミングエラーまたはパリティエラーが発生したとき (ER=1)、受信動作を続けるかどうかを選択します。

ビット1	説明
EI	
0	受信中にフレーミングエラーまたはパリティエラーが発生したとき (ER=1)、受信動作を止める (初期値)
1	受信中にフレーミングエラーまたはパリティエラーが発生したとき (ER=1)、受信動作を続ける

【注】 EI=0 のとき、SCFRDR の最後のデータだけはエラーを含んだデータになります。EI=1 のとき、受信データにエラーがあってもデータは SCFRDR に送られます。

ビット0: レシーブエラー (ER)

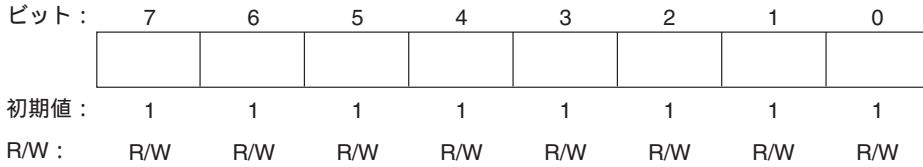
受信時にフレーミングエラー、パリティエラー、オーバランエラーが発生したことを示します。

ビット0	説明
ER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) リセットまたはスタンバイモード時 (2) ER=1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラー、パリティエラー、またはオーバランエラーが発生したことを表示 [セット条件] (1) 受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき*2 (2) 受信時の受信データとパリティビットを合わせた1の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき (3) SCFRDR 内の受信データ数が 16 の状態で次のシリアル受信を完了したとき

【注】 *1 SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。フレーミングエラーまたはパリティエラーが発生しても受信データは SCFRDR に転送され、EI ビットの設定により、その後受信動作を続けるかどうかを選択します。オーバランエラーが発生したときは、受信データは SCFRDR に転送されず、受信動作を続けることはできません。

*2 2 ストップモードのときは 1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。

14.2.9 ビットレートレジスタ (SCBRR)



ビットレートレジスタ (SCBRR) は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。

SCBRR は、リセット、モジュールスタンバイまたはソフトウェアスタンバイモード時およびハードウェアスタンバイモード時に H'FF に初期化されます。

SCBRR の設定値は以下の計算式で求められます。

[調歩同期式モード]

$$N = \frac{P\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1 \quad (\text{ビットレートの16倍の基本クロックで動作時})$$

$$N = \frac{P\phi}{32 \times 2^{2n-1} \times B} \times 10^6 - 1 \quad (\text{ビットレートの8倍の基本クロックで動作時})$$

$$N = \frac{P\phi}{16 \times 2^{2n-1} \times B} \times 10^6 - 1 \quad (\text{ビットレートの4倍の基本クロックで動作時})$$

[クロック同期式モード]

$$N = \frac{P\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータのSCBRRの設定値 (0 N 255)

Pφ : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(nとクロックの関係は、下表を参照してください)

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pφ	0	0
1	Pφ / 4	0	1
2	Pφ / 16	1	0
3	Pφ / 64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{(N + 1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{(N + 1) \times B \times 16 \times 2^{2n-1}} - 1 \right\} \times 100$$

(ビットレートの4倍の基本クロックで動作時)

14. シリアルコミュニケーションインタフェース (SCI)

表 14.3 に調歩同期式モードの SCBRR の設定例を、表 14.4 にクロック同期式モードの SCBRR の設定例を示します。

表 14.3 ビットレートに対する SCBRR の設定例 (調歩同期式モード)

ビット レート (bit/s)	P ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00			

ビット レート (bit/s)	P ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250				0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

14. シリアルコミュニケーションインタフェース (SCI)

ビット レート (bit/s)	P ϕ (MHz)											
	6			6.144			7.37288			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

ビット レート (bit/s)	P ϕ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	0.16	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

14. シリアルコミュニケーションインタフェース (SCI)

ビット レート (bit/s)	P ϕ (MHz)								
	14.7456			16			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	64	0.70	3	70	0.03	3	132	0.13
150	2	191	0.00	2	207	0.16	3	97	- 0.35
300	2	95	0.00	2	103	0.16	2	194	0.16
600	1	191	0.00	1	207	0.16	2	97	- 0.35
1200	1	95	0.00	1	103	0.16	1	194	0.16
2400	0	191	0.00	0	207	0.16	1	97	- 0.35
4800	0	95	0.00	0	103	0.16	0	197	0.16
9600	0	47	0.00	0	51	0.16	0	97	- 0.35
19200	0	23	0.00	0	25	0.16	0	48	- 0.35
31250	0	14	- 1.70	0	15	0.00	0	29	0.00
38400	0	11	0.00	0	12	0.16	0	23	1.73

表 14.4 ビットレートに対する SCBBR の設定例〔クロック同期モード〕

ビット レート (bit/s)	P ϕ (MHz)					
	4		8		16	
	n	N	n	N	n	N
110						
250	2	249	3	124	3	249
500	2	124	2	249	3	124
1K	1	249	2	124	2	249
2.5K	1	99	1	199	2	99
5K	0	199	1	99	1	199
10K	0	99	0	199	1	99
25K	0	39	0	79	0	159
50K	0	19	0	39	0	79
100K	0	9	0	19	0	39
250K	0	3	0	7	0	15
500K	0	1	0	3	0	7
1M	0	0*	0	1	0	3
2M			0	0*	0	1

【記号説明】

空欄：設定できません。

-：設定可能ですが誤差がです。

【注】 誤差は、なるべく 1%以内になるように設定してください。

* 連続送信 / 受信はできません。

表 14.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 14.6 と表 14.7 に外部クロック入力時の最大ビットレートを示します。

表 14.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート
(調歩同期式モード)

P ϕ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.66080	614400	0	0
20	625000	0	0
24	750000	0	0
24.57600	768000	0	0
28	896875	0	0
30	937500	0	0

表 14.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

P ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
8	2.0000	125000
9.8304	2.4576	153600
12	3.0000	187500
14.7456	3.6864	230400
16	4.0000	250000
30	7.5000	468750

14. シリアルコミュニケーションインタフェース (SCI)

表 14.7 外部クロック入力時の最大ビットレート (クロック同期モード)

Φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3
16	2.6667	2666666.7
30	5.0	5000000.0

14.2.10 FIFO コントロールレジスタ (SCFCR)

ビット:	7	6	5	4	3	2	1	0
	RTRG1	RTRG0	TTRG1	TTRG0	—	TFRST	RFRST	LOOP
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

FIFO コントロールレジスタ (SCFCR) は送信、受信各 FIFO レジスタのデータ数リセットおよびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に読み出し / 書き込みが可能です。

SCFCR は、リセット、モジュールスタンバイまたはソフトウェアスタンバイモード時およびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7、6 : レシーブ FIFO データ数トリガ (RTRG1、RTRG0)

シリアルステータス 1 レジスタ (SC1SSR) のレシーブデータフル (RDF) フラグをセットする受信データ数を設定するビットです。

レシーブ FIFO レジスタ (SCFRDR) 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき RDF フラグをセットします。

ビット 7	ビット 6	受信トリガ数
RTRG1	RTRG0	
0	0	1*
	1	4
1	0	8
	1	14

【注】 * 初期値

ビット 5、4 : トランスミット FIFO データ数トリガ (TTRG1、TTRG0)

シリアルステータス 1 レジスタ (SC1SSR) のトランスミット FIFO データレジスタエンプティ (TDFE) フラグをセットする残りの送信データ数を設定するビットです。

送信動作によりトランスミット FIFO データレジスタ (SCFTDR) 内の送信データ数が、下表に示すトリガ設定数以下になったとき TDFE フラグをセットします。

14. シリアルコミュニケーションインタフェース (SCI)

ビット5	ビット4	送信トリガ数
TTRG1	TTRG0	
0	0	8 (8) *
	1	4 (12)
1	0	2 (14)
	1	1 (15)

【注】 * 初期値。()内の値はフラグ発生時の SCFTDR の空き数を示します。

ビット3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2: トランスミット FIFO データレジスタリセット (TFRST)

トランスミット FIFO データレジスタ内の送信データを無効とし、空の状態にリセットします。

ビット2	説 明	
TFRST		
0	リセット動作を禁止*	(初期値)
1	リセット動作を許可	

【注】 * リセットまたはスタンバイモード時にはリセット動作が行われます。

ビット1: レシーブ FIFO データレジスタリセット (RFRST)

レシーブ FIFO データレジスタ内の受信データを無効とし、空の状態にリセットします。

ビット1	説 明	
RFRST		
0	リセット動作を禁止*	(初期値)
1	リセット動作を許可	

【注】 * リセットまたはスタンバイモード時にはリセット動作が行われます。

ビット0: ループバックテスト (LOOP)

送信出力端子 (TxD)、受信入力端子 (RxD) を内部で接続し、ループバックテストを可能にします。

ビット0	説 明	
LOOP		
0	ループバックテストを禁止	(初期値)
1	ループバックテストを許可	

14.2.11 FIFO データ数レジスタ (SCFDR)

トランスミット FIFO データレジスタ (SCFTDR) およびレシーブ FIFO データレジスタ (SCFRDR) 内に格納されているデータ数を示す 16 ビット長のレジスタです。

上位 8 ビットで SCFTDR 内の送信データ数を、下位 8 ビットで SCFRDR 内の受信データ数を示します。

SCFDR は常に CPU から読み出しができます。

SCFDR は、リセット、モジュールスタンバイ、またはスタンバイモード時に H'00 に初期化されます。SCFCR の TFRST、RFRST ビットを 1 にセットし、SCFTDR、SCFRDR を空の状態にリセットすることで H'00 に初期化されます。

上位8ビット:	15	14	13	12	11	10	9	8
	—	—	—	T4	T3	T2	T1	T0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット 15～13：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12～8：トランスミット FIFO データ数 4～0 (T4～T0)

SCFTDR 内に格納されている未送信のデータ数を示します。

H'00 は送信データがないことを、H'10 は SCFTDR にいっぱいの送信データが格納されていることを示します。また、上記の初期化条件のほか、全データを送信することで H'00 にクリアされます。

下位8ビット:	7	6	5	4	3	2	1	0
	—	—	—	R4	R3	R2	R1	R0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット 7～5：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4～0：レシーブ FIFO データ数 4～0 (R4～R0)

SCFRDR 内に格納されている受信データ数を示します。

H'00 は受信データがないことを、H'10 は SCFRDR にいっぱいの受信データが格納されていることを示します。また、上記の初期化条件のほか、全受信データを SCFRDR から読み出すことで H'00 にクリアされます。

14.2.12 FIFO エラーレジスタ (SCFER)

レシーブ FIFO データレジスタ (SCFRDR) 内に格納されている受信データの中で、パリティエラー、またはフレーミングエラーのあったデータの位置を示します。

SCFER は常に読み出しができます。

上位8ビット:	15	14	13	12	11	10	9	8
	ED15	ED14	ED13	ED12	ED11	ED10	ED9	ED8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
下位8ビット:	7	6	5	4	3	2	1	0
	ED7	ED6	ED5	ED4	ED3	ED2	ED1	ED0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット 15~0: エラーデータフラグ 15~0 (ED15~ED0)

レシーブ FIFO データレジスタで、エラーのあったデータの位置を示します。n 段目のバッファ内のデータがエラーを含んでいるとき、n ビット目が 1 になります。なお、SCFCR の RFRST ビットを 1 にセットしても、本レジスタはクリアされませんので注意してください。クリアするためには、SCFCR の RFRST ビットを 1 にセットして SCFRDR レジスタをクリアする前に、エラーの発生した受信データをすべて SCFRDR から読み出してください。

ビット 15~0	説明
ED15~0	
0	レシーブ FIFO 内の該当する段数のデータにパリティ、またはフレーミングエラーなし (初期値)
1	レシーブ FIFO 内の該当する段数のデータにパリティ、またはフレーミングエラーあり

【注】 リセット、モジュールスタンバイまたはスタンバイモード時にはリセット動作が行われます。また、パリティエラー、フレーミングエラーのあったデータを、SCFRDR から読み出すことでクリアされます。

14. シリアルコミュニケーションインタフェース (SCI)

14.2.13 IrDA モードレジスタ (SCIMR)

IrDA モードの選択、IrDA の出力パルス幅の選択、および IrDA 受信データの極性の反転を行うことができます。

SCIMR は、常に読み出し / 書き込みが可能です。

SCIMR は、リセット、モジュールスタンバイまたはソフトウェアスタンバイモード時およびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	IRMOD	PSEL	RIVS	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R

ビット 7 : IrDA モード (IRMOD)

IrDA シリアルコミュニケーションインタフェースとしての動作を選択します。

ビット 7	説明
IRMOD	
0	SCIF としての動作を選択 (初期値)
1	IrDA としての動作を選択*

【注】 * IrDA としての動作を選択した場合、シリアルモードレジスタ (SCSMR) のビット 7 (C/ \bar{A}) は必ず 0 を設定してください。

ビット 6 : 出力パルス幅セレクト (PSEL)

シリアルステータス 1 レジスタ (SC1SSR) の ICK3~0 で設定したビット長の 3/16、選択したボーレートに対するビット長の 3/16 のどちらかを IrDA の出力パルス幅として選択します。シリアルモードレジスタ (SCSMR) のビット 6~3 (ICK3~0) と合わせて、設定を示します。

シリアルモードレジスタ (SCSMR)				SCIMR	説明
ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	
ICK3	ICK2	ICK1	ICK0	PSEL	
ICK3	ICK2	ICK1	ICK0	1	パルス幅 : ICK3~0 で設定したビット長の 3/16
don't care				0	パルス幅 : SCBRR で設定したビット長の 3/16 (初期値)

【注】 P ϕ クロックを 1/(2N+2) (N は ICK3~0 の設定値で決まります) することによって一定したクロックパルス IRCLK を生成する必要があります。詳細は「14.3.6 IrDA モード時の動作 (3) パルス幅の選択」を参照してください。

ビット 5 : IrDA レシーブデータインバース (RIVS)

IrDA 通信において、受信データの極性反転を選択できます。

ビット 5	説 明
RIVS	
0	受信時、受信データの極性を反転する (初期値)
1	受信時、受信データの極性を反転しない

【注】 IrDA 変復調モジュールの特性により選択してください。

ビット 4~0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

14.3 動作説明

14.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

また、IrDA ブロックを備えており、赤外線送受信ユニットを接続することによって IrDA1.0 に準拠した赤外線通信を実行することができます。

送受信おののに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。

調歩同期式モードと、クロック同期式モード、IrDA モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SCSMR) と IrDA モードレジスタ (SCIMR) で行います。これを表 14.8 に示します。また、SCI のクロックソースは、SCSMR の C/A ビット、SCIMR の IRMOD ビットおよびシリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 14.9 に示します。

調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および1ビット/2ビットのストップビットの付加を選択可能(これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、レシーブFIFOデータフル、レシーブデータレディ、およびブレークの検出が可能
- 送信時にトランスミットFIFOデータエンプティの検出が可能
- SCIのクロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：SCIはボーレートジェネレータでつくられたビットレートの16倍（または8倍、4倍）の周波数のクロックで動作し、この動作のクロックを出力することが可能
外部クロックを選択した場合：ビットレートの16倍（または8倍、4倍）の周波数のクロックを入力することが必要
（内蔵ボーレートジェネレータを使用しない）

クロック同期式モード

- 送信/受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIのクロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

IrDA モード

- IrDA1.0に準拠
- データ長：8ビット
- ストップビット長：1ビット
- 送信中、受信部に影響を与えないようにする保護機能
- クロックソース：内部クロック

表 14.8 SCSMR、SCIMR の設定値とシリアル送信 / 受信フォーマット

SCIMR	SCSMR の設定値					モード	SCI の送信 / 受信フォーマット													
	ビット7	ビット6	ビット2	ビット5	ビット3		データ長	MPビット	パリティビット	ストップビット長										
IRMOD	C/A	CHR	MP	PE	STOP															
0	0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット										
					1					2ビット										
					0					1ビット										
					1					2ビット										
					0					1ビット										
					1					2ビット										
		1	0	1	1	*	0	調歩同期式 モード (マルチプロセッサ フォーマット)	8ビット データ	あり	なし	1ビット								
						*	1					2ビット								
						*	0					1ビット								
						*	1					2ビット								
						0	1					*	*	*	*	クロック同期式 モード	8ビット データ	なし	なし	なし
1	1	*	*	*	*	禁止														

【記号説明】

* : Don't care

表 14.9 SCSMR、SCSCR の設定と SCI のクロックソースの選択

SCSMR	SCSCR の設定		モード	SCI の送信 / 受信クロック		
	ビット7	ビット1		ビット0	クロックソース	SCK 端子の機能
C/A	CKE1	CKE0				
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません	
		1			ビットレートの 16 倍 (8 倍、4 倍) の周波数のクロックを出力	
		1		0	外部	ビットレートの 16 倍 (8 倍、4 倍) の周波数のクロックを入力
				1		
1	0	0	クロック 同期式 モード	内部	同期クロックを出力	
		1				
		1		0	外部	同期クロックを入力
				1		

14.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていて、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 14.3 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (ハイレベル) に保たれています。SCI は通信回線を監視し、スペース (ローレベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット (ローレベル) から始まり、データ (LSB ファースト : 最下位ビットから、MSB ファースト : 最上位ビットから選択可能)、パリティビットまたはマルチプロセッサビット (ハイ / ローレベル)、最後にストップビット (ハイレベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1ビット期間の 16 倍 (8 倍、4 倍) の周波数のクロックの 8 番目 (4 番目、2 番目) でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

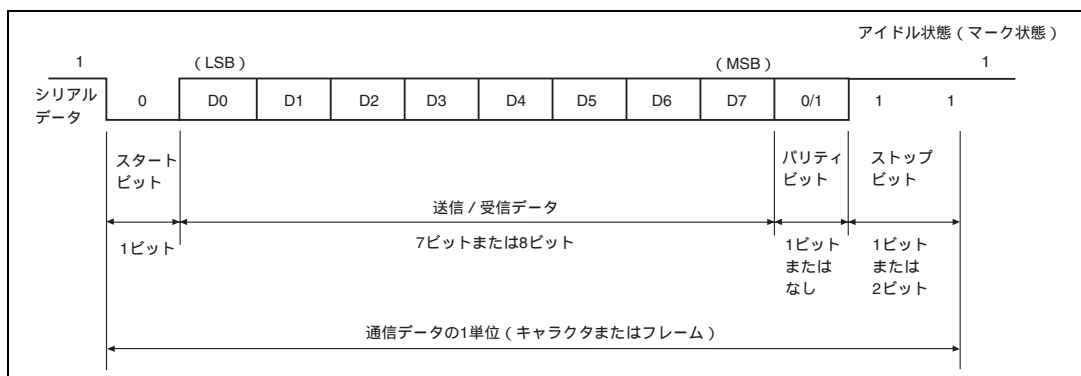


図 14.3 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビット / LSBファーストの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 14.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 14.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMR の設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	*	1	0	S	8ビットデータ								MPB	STOP			
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	*	1	0	S	7ビットデータ							MPB	STOP				
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP			

【記号説明】

* : Don't care

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

14. シリアルコミュニケーションインタフェース (SCI)

(2) クロック

SCIの送受信クロックは、SCSMRの $C\bar{A}$ ビットとシリアルコントロールレジスタ(SCSCR)のCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、またはSCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表14.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍(8倍、4倍)の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの16倍(8倍、4倍)です。

(3) データの送信 / 受信動作

- SCIの初期化(調歩同期式)

データの送信 / 受信前には、まずSCSCRのTEビット、およびREビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、トランスミットシフトレジスタ(SCTSR)が初期化されます。TE、REビットを0にクリアしても、シリアルステータス1レジスタ(SC1SSR)、トランスミットFIFOデータレジスタ(SCFTDR)および、レシーブFIFOデータレジスタ(SCFRDR)の内容は保持されますので注意してください。TEビットの0クリアは、送信データをすべて送信しSC1SSRのTENDフラグがセットされた後に行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後ハイインピーダンス状態になります。また再度TEセットして送信開始する前にSCFCRのTFRSTビットをいったん1にしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図14.4にSCIの初期化フローチャートの例を示します。

14. シリアルコミュニケーションインタフェース (SCI)

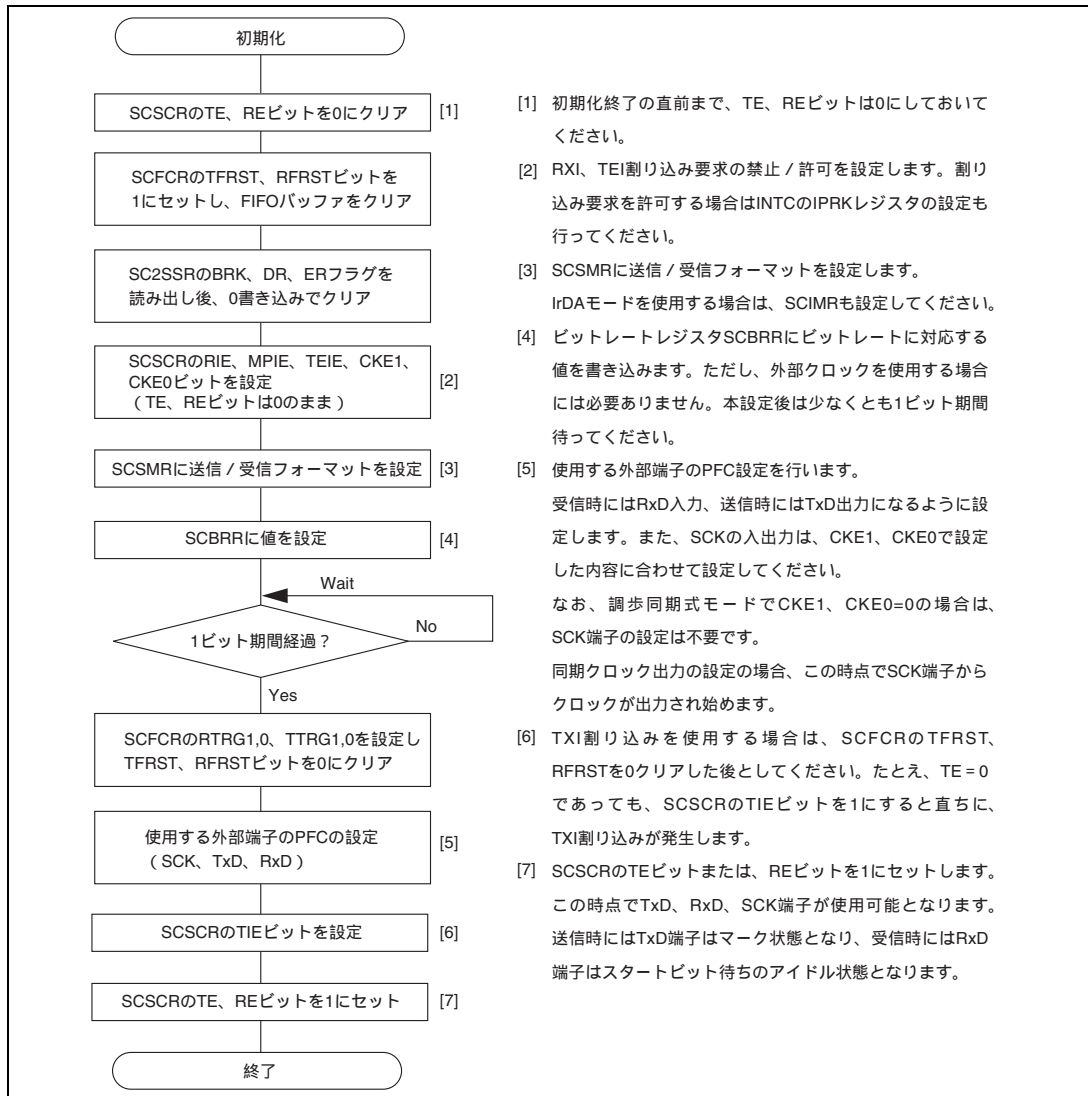


図 14.4 SCI の初期化フローチャートの例

14. シリアルコミュニケーションインタフェース (SCI)

• シリアルデータ送信 (調歩同期式)

図 14.5 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順に従って行ってください。

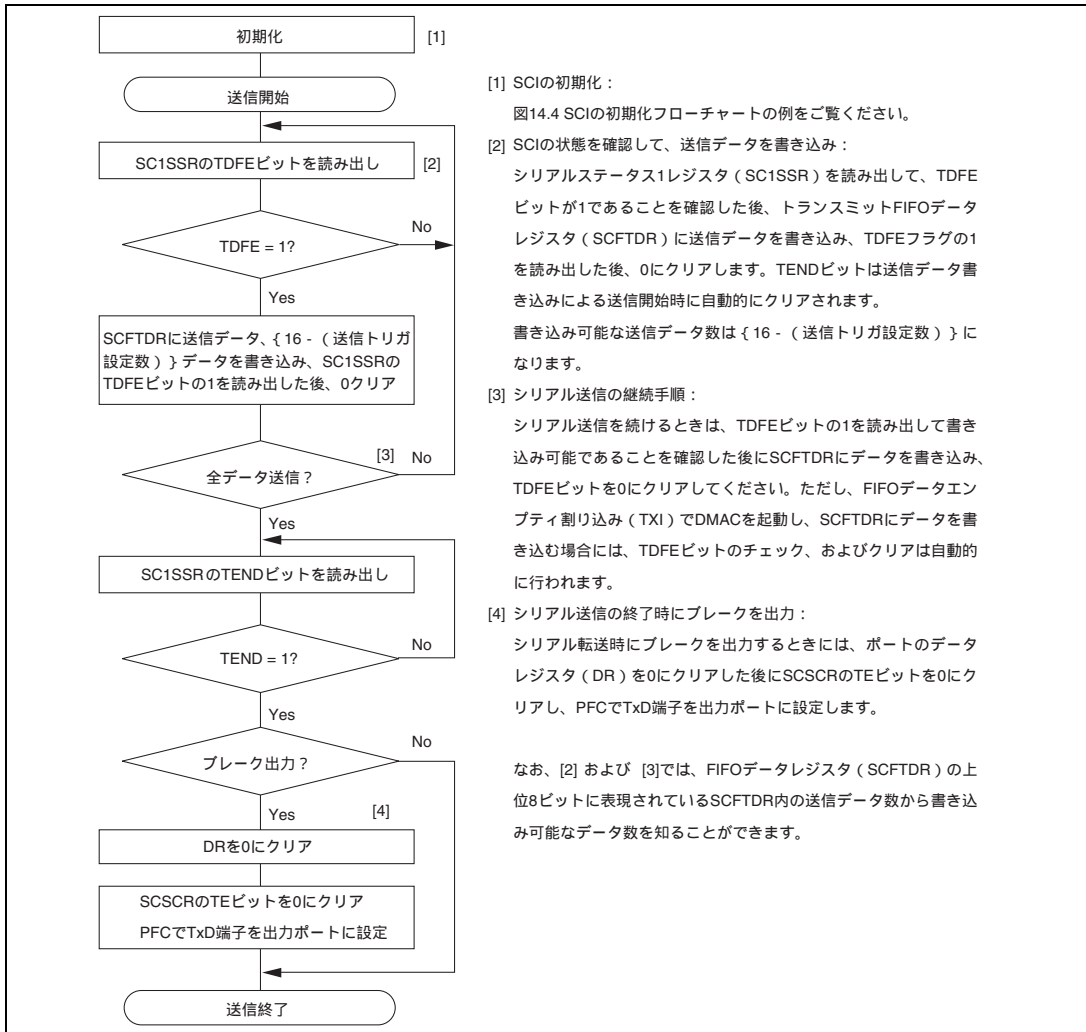


図 14.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- [1] SCIは、トランスミットFIFOデータレジスタ(SCFTDR)にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ(SCTSR)にデータを転送し、送信を開始します。SCFTDRにはシリアルステータス1レジスタ(SC1SSR)のTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも{16 - (送信トリガ設定数)}です。
- [2] SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データが無くなるまで連続して送信動作を続けます。途中、SCFTDR内のデータ数がFIFOコントロールレジスタ(SCFCR)で設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、シリアルコントロールレジスタ(SCSCR)のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み(TXI)要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがSC2SSRのTLMビットの設定値によりLSBあるいはMSBから順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット(偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの1(ストップビット)が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCIは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
送信データがないとシリアルステータスレジスタ(SC1SSR)のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCRのTEIEビットが1にセットされているとTEI要求を発生します。

14. シリアルコミュニケーションインタフェース (SCI)

調歩同期式モードでの送信時の動作例を図 14.6 に示します。

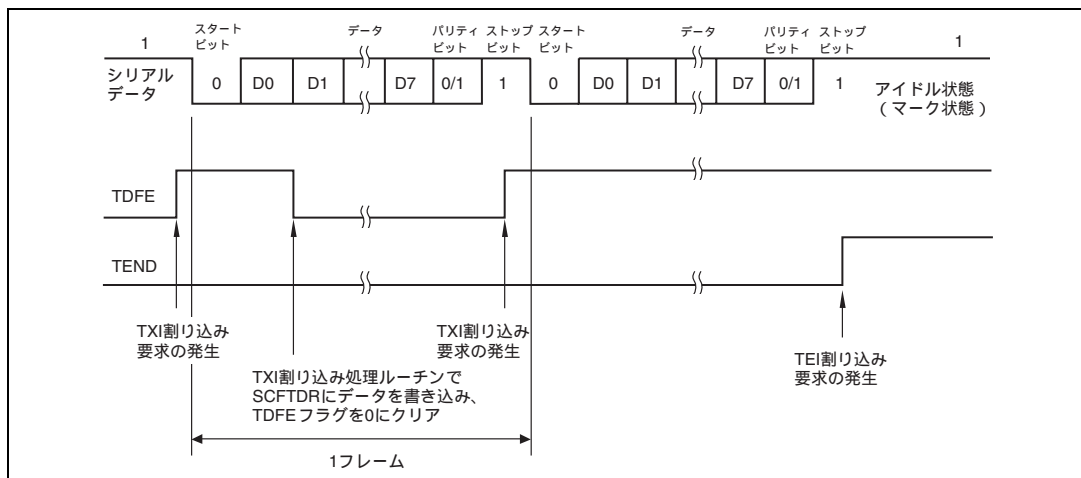


図 14.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビット/LSBファーストの例)

- シリアルデータ受信 (調歩同期式)

図 14.7、図 14.8 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従って行ってください。

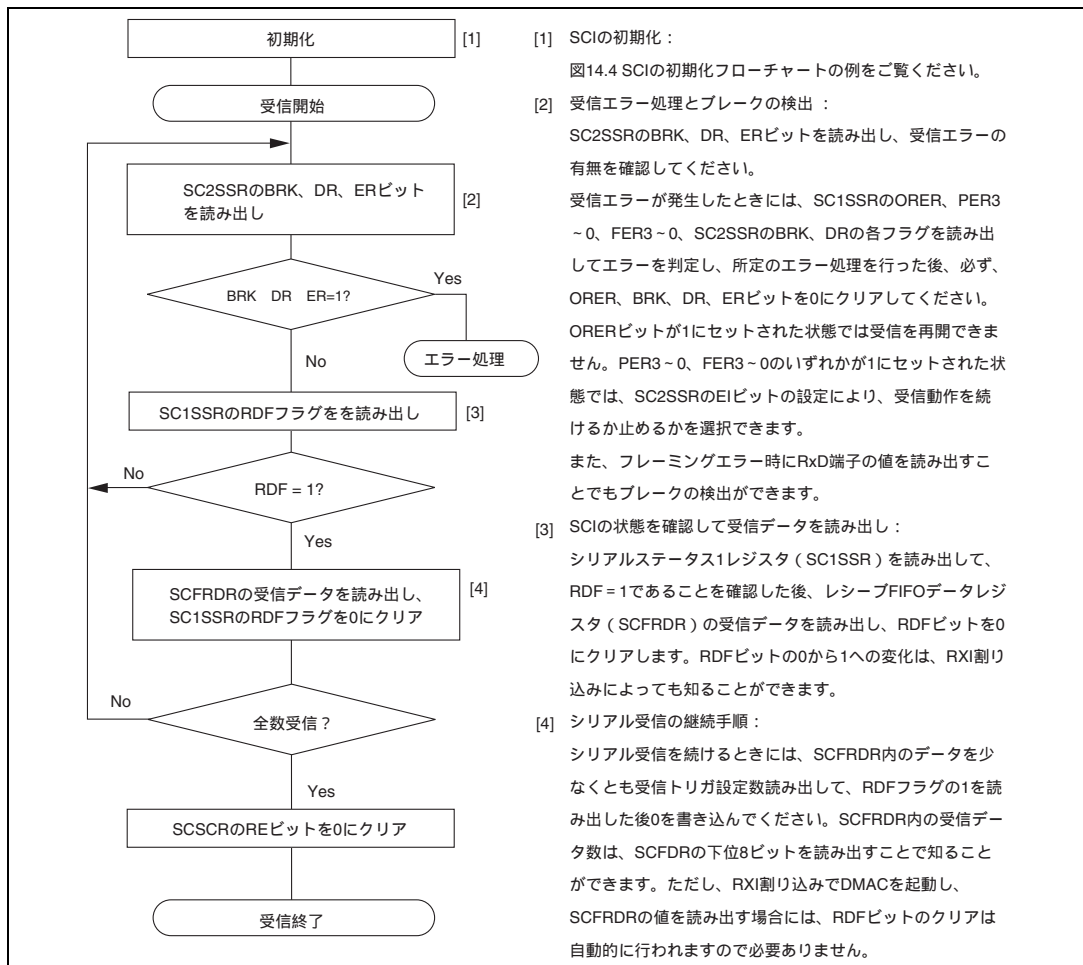


図 14.7 シリアル受信のフローチャートの例 (1)

14. シリアルコミュニケーションインタフェース (SCI)

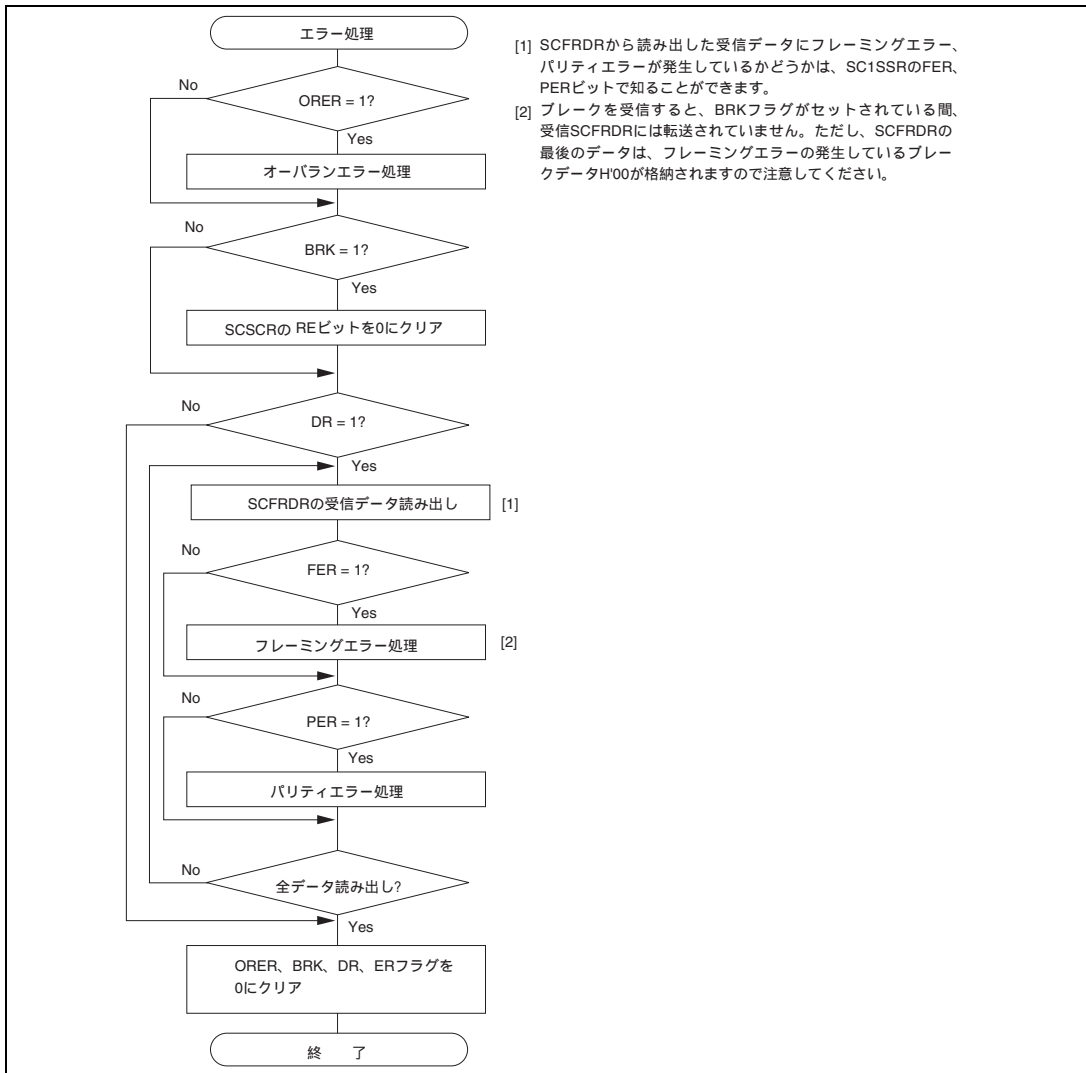


図 14.8 シリアル受信のフローチャートの例 (2)

SCI は受信時に以下のように動作します。

- [1] SCIは通信回路を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- [2] SC2SSRのRLMビットの設定に従い、受信したデータをSCRSRのLSBからMSBまたはMSBからLSBの順に格納します。
- [3] パリティビット、およびストップビットを受信します。
受信後、SCIは以下のチェックを行います。
 - (a) パリティチェック：受信データの1の数をチェックし、これがシリアルモードレジスタ (SCSMR) のO/Eビットで設定した偶数/奇数パリティになっているかをチェックします。

- (b) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) 受信データをレシフシフトレジスタ (SCRSR) から SCFRDR に転送できる状態であるかをチェックします。
- (d) ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。
- 以上のチェックがすべてパスしたとき、SCFRDR に受信データが格納されます。
エラーチェックで受信エラーが発生すると表 14.11 のように動作します。

【注】 オーバランエラーが発生した状態では、以後の受信動作ができません。フレーミングエラー、パリティエラーが発生したときは、SC2SSR の EI ビットの設定により、受信動作を続けるか止めるかを選択できます。
また、受信時に RDF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- [4] RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求が発生します。
また、ORER、PER、FER、DRフラグのどれか1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

表 14.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SCFRDR 内の受信データ数が 16 の状態で次のシリアル受信を完了したとき	SCRSR から SCFRDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	SCRSR から SCFRDR に受信データが転送されます。
パリティエラー	PER	SCSMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	SCRSR から SCFRDR に受信データが転送されます。

調歩同期モード受信時の動作例を図 14.9 に示します。

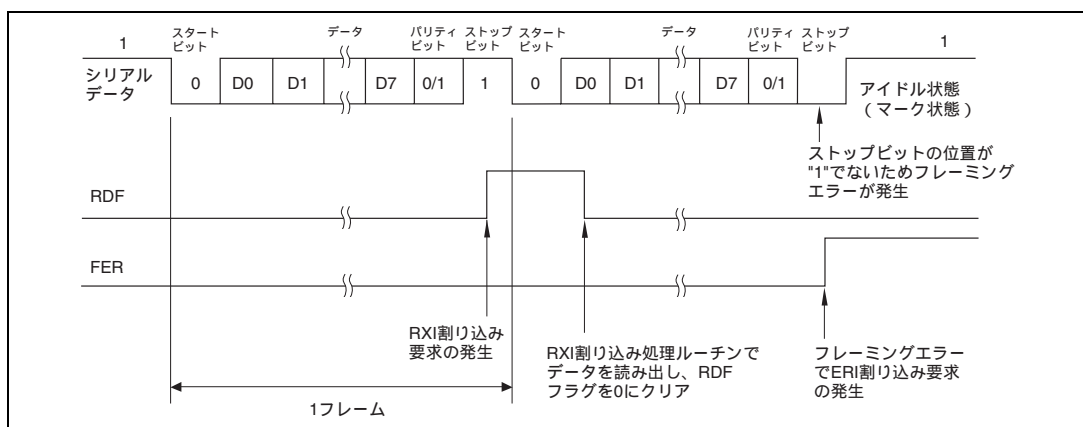


図 14.9 SCI の受信時の動作例

(8 ビットデータ / パリティあり / 1 ストップビット / LSB ファーストの例)

14.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局はおのおの固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID をマルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データをマルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまではデータを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまではデータを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 14.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

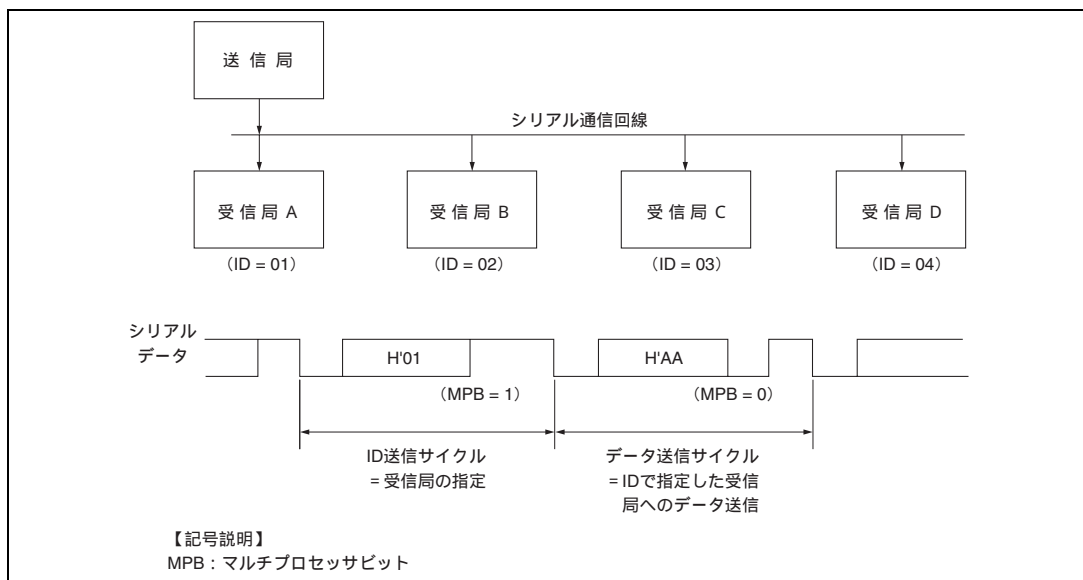


図 14.10 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送金の例)

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 14.10 を参照してください。

(2) クロック

調歩同期モードの項を参照してください。

(3) データの送信 / 受信動作

- SCI 初期化

調歩同期モードの項を参照してください。

- マルチプロセッサシリアルデータ送信

図 14.11 にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順に従って行ってください。

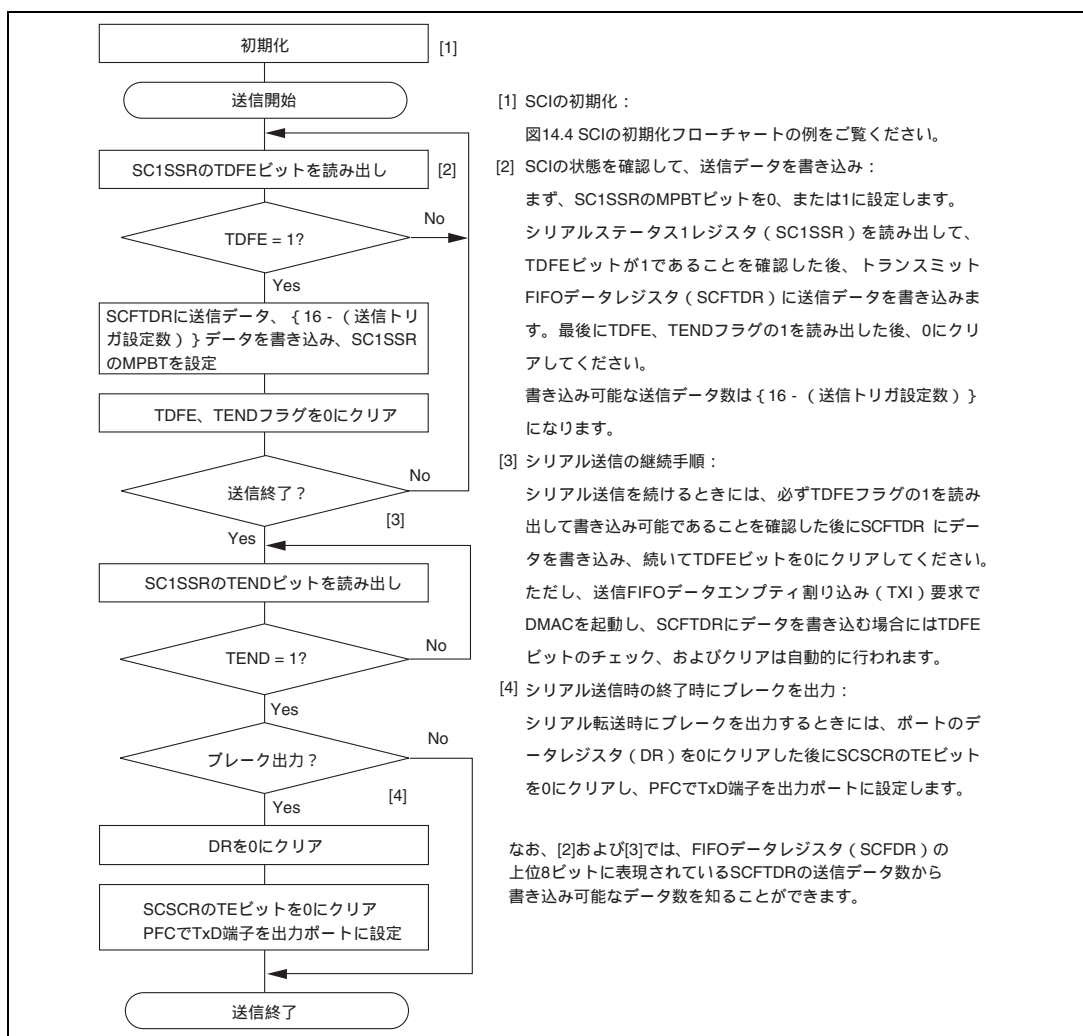


図 14.11 マルチプロセッサシリアル送信のフローチャートの例

14. シリアルコミュニケーションインタフェース (SCI)

SCI は、シリアル送信時に以下のように動作します。

- (1) SCIは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSC1SSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも{ 16 - (送信トリガ設定数) }です。
- (2) SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ設定数以下になったとき、TDFEフラグを1にセットします。このとき、SCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがSC2SSRのTLMビットの設定値によりLSBまたはMSBから順に出力されます。
 - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - (d) ストップビット：1ビット、または2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送り出すタイミングでSCFTDRの送信データをチェックします。データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。データがないとSC1SSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 14.12 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

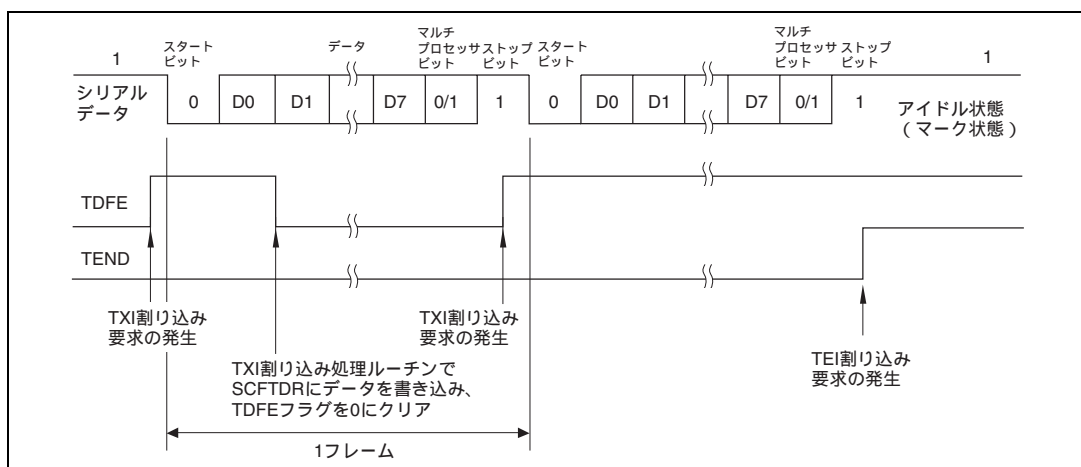


図 14.12 SCI の送信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビット / LSB ファーストの例)

• マルチプロセッサシリアルデータ受信

図 14.13、図 14.14 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従って行ってください。

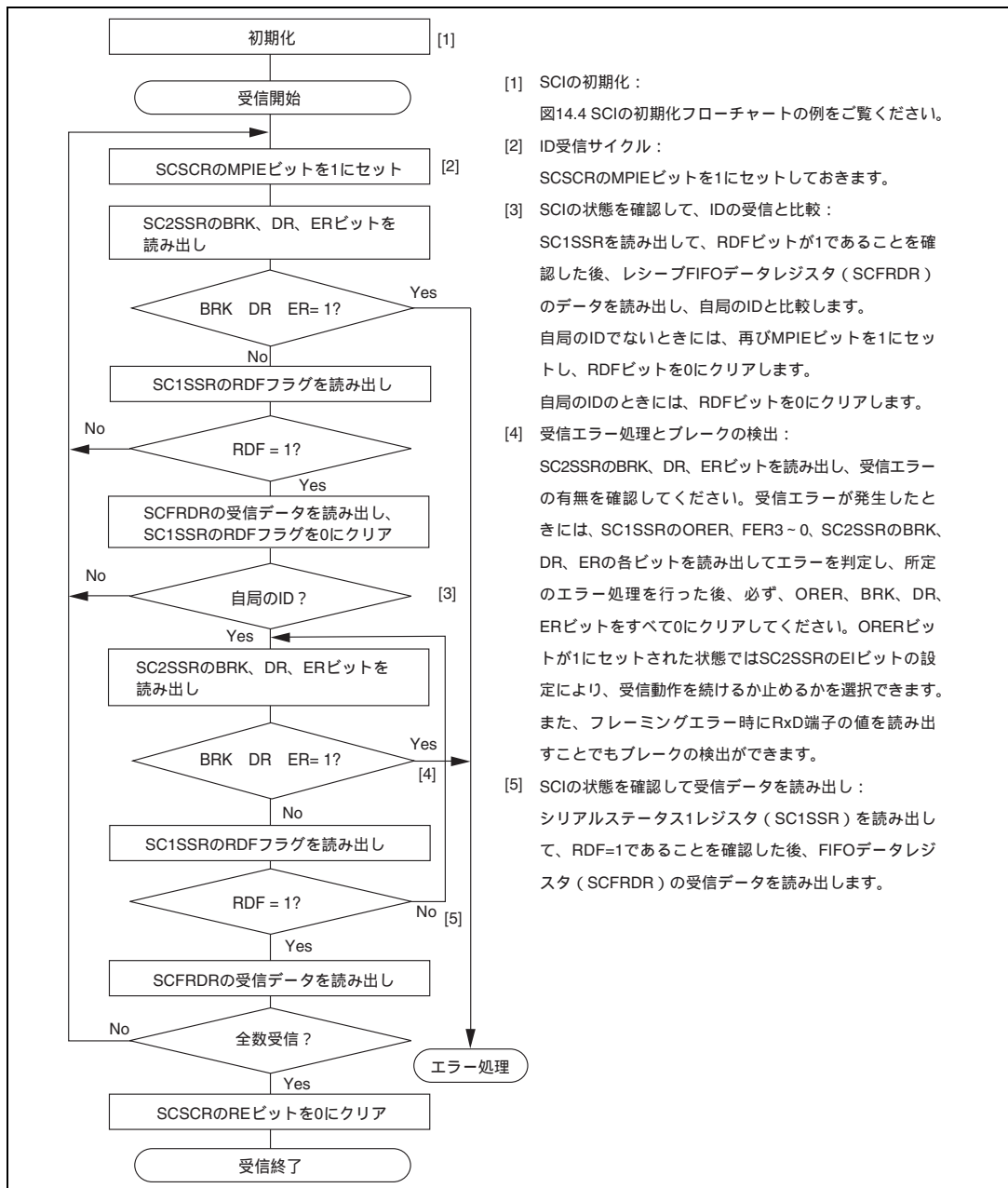


図 14.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

14. シリアルコミュニケーションインタフェース (SCI)

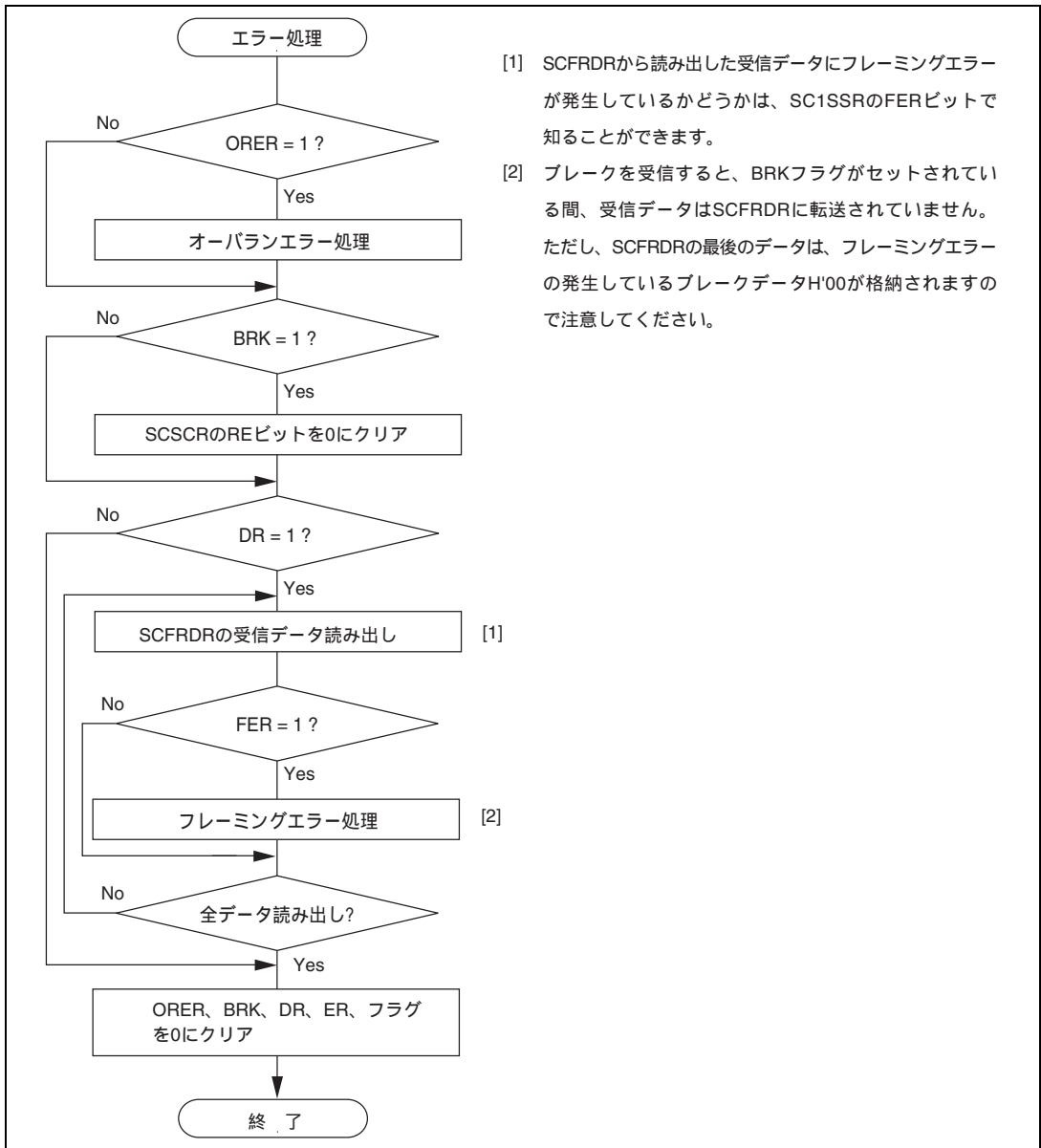


図 14.14 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 14.15 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

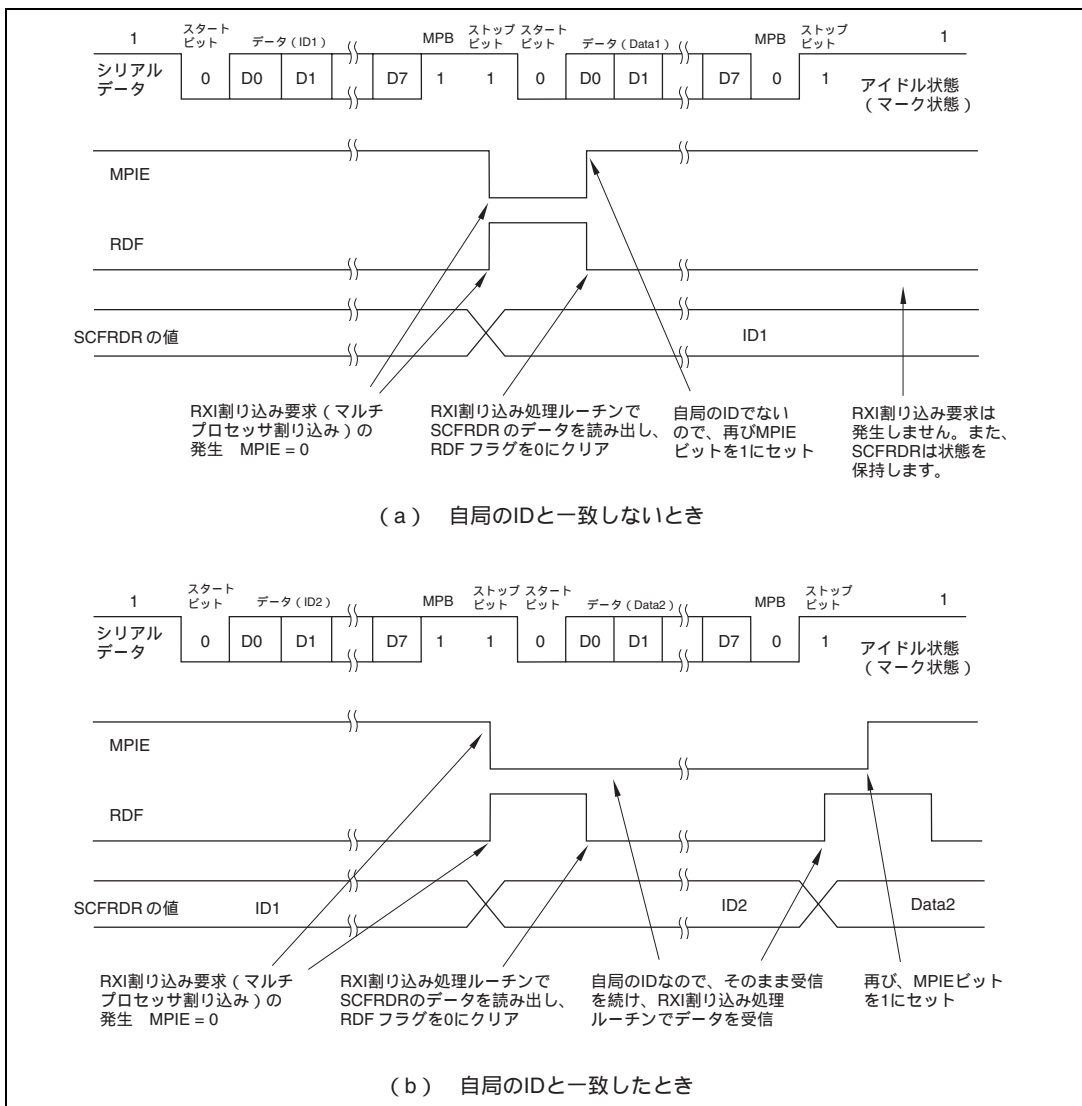


図 14.15 SCI の受信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビット / LSB ファーストの例)

14.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 14.16 に示します。

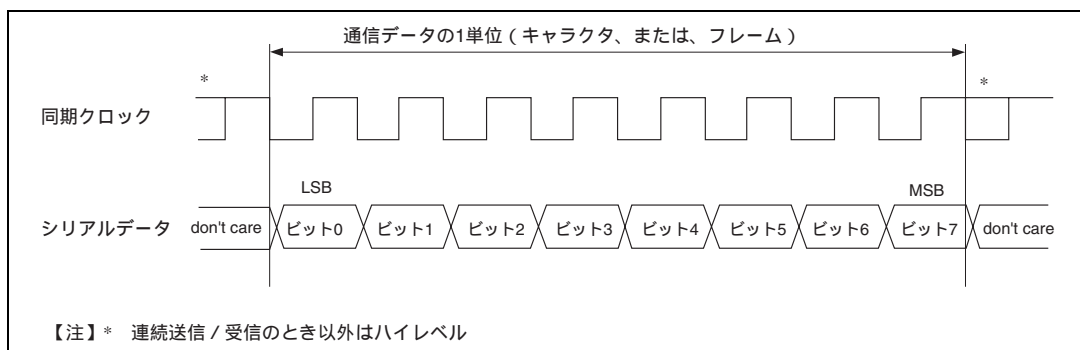


図 14.16 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、シリアルステータス2レジスタのTLMビットにより、データのLSBあるいはMSBから始まり最後にMSBあるいはLSBが出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SCSMRのC/AビットとSCSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 14.9 を参照してください。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、同期クロックを出し続け、FIFOバッファがいっぱいになってオーバーランエラーが発生するまで、受信動作を続行します。この場合、 $8 \times (16+1) = 136$ パルスの同期クロックが出力されます。nキャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用する場合は、RE=1かつTE=1とし、nキャラクタ数のダミーデータ送信と同時にnキャラクタの受信を行う手順としてください。

(3) データの送信 / 受信動作

• SCIの初期化 (クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) の TE、および RE ビットを 0 にクリアした後、以下の手順で SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアし、初期化を行ってください。TE ビットを 0 にクリアするとトランスミットシフトレジスタ (SCTSR) が初期化されます。

RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、およびレシーブデータレジスタ (SCRDR) の内容は保持されますので注意してください。

図 14.17 に SCI の初期化フローチャートの例を示します。



図 14.17 SCI の初期化フローチャートの例

14. シリアルコミュニケーションインタフェース (SCI)

• シリアルデータ送信 (クロック同期式)

図 14.18 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順で行ってください。

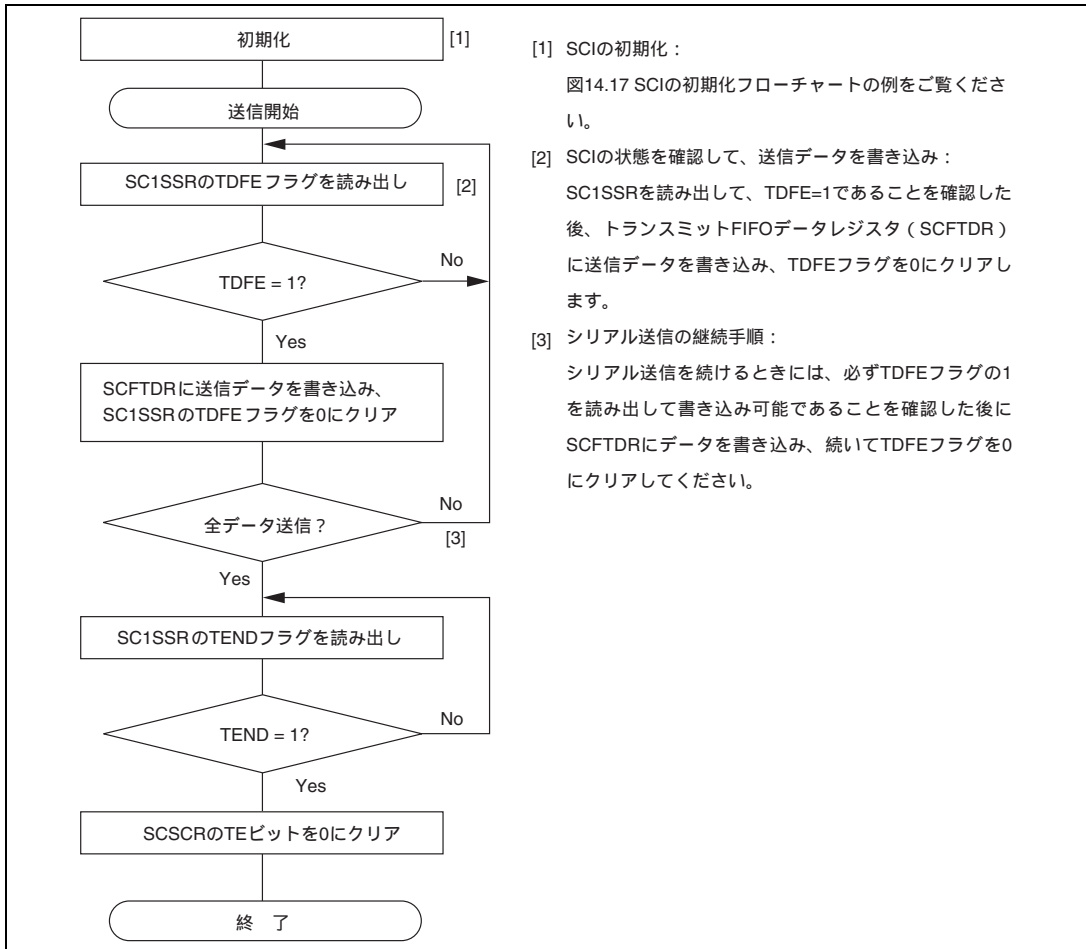


図 14.18 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、トランスミットFIFOデータレジスタ(SCFTDR)にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ(SCTSR)にデータを転送し、送信を開始します。SCFTDRにはシリアルステータス1レジスタ(SC1SSR)のTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも{16 - (送信トリガ設定数)}です。
- (2) SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データが無くなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がFIFOコントロー

レジスタ (SCFCR) で設定したトリガ数以下になったとき、TDFEフラグをセットします。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。

クロック出力モードに設定したときには、SCIは1データに対し同期クロックを8パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、シリアルステータス2レジスタ (SC2SSR) のTLMビットの設定によりLSB (ビット0) あるいはMSB (ビット7) から順にTxD端子から送り出されます。

- (3) SCIは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。

送信データがあるとSCFTDRからSCTSRにデータを転送し、次フレームのシリアル送信を開始します。送信データがないとシリアルステータスレジスタ (SC1SSR) のTENDフラグを1にセットし、最終ビットを送り出した後、トランスミットデータ端子 (TxD端子) は状態を保持します。

このときSCSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み要求 (TEI) を発生します。

- (4) シリアル送信終了後は、SCK端子はハイレベル固定になります。

図 14.19 に SCI の送信時の動作例を示します。

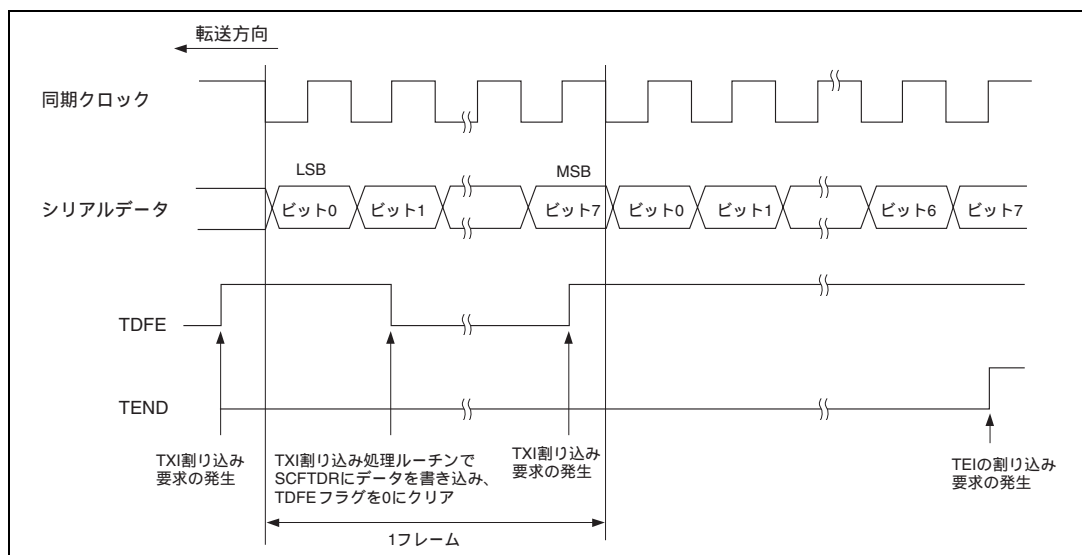


図 14.19 SCI の送信時の動作例

• シリアルデータ受信 (クロック同期式)

図 14.20、図 14.21 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCI の初期化による SCFRDR、SCFTDR のリセットを行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER3~0、FER3~0 の各フラグが 0 にクリアされていることを確認してください。

14. シリアルコミュニケーションインタフェース (SCI)

FER3~0、PER3~0 フラグが1にセットされていると RDF フラグがセットされません。また、送信 / 受信動作が行えません。

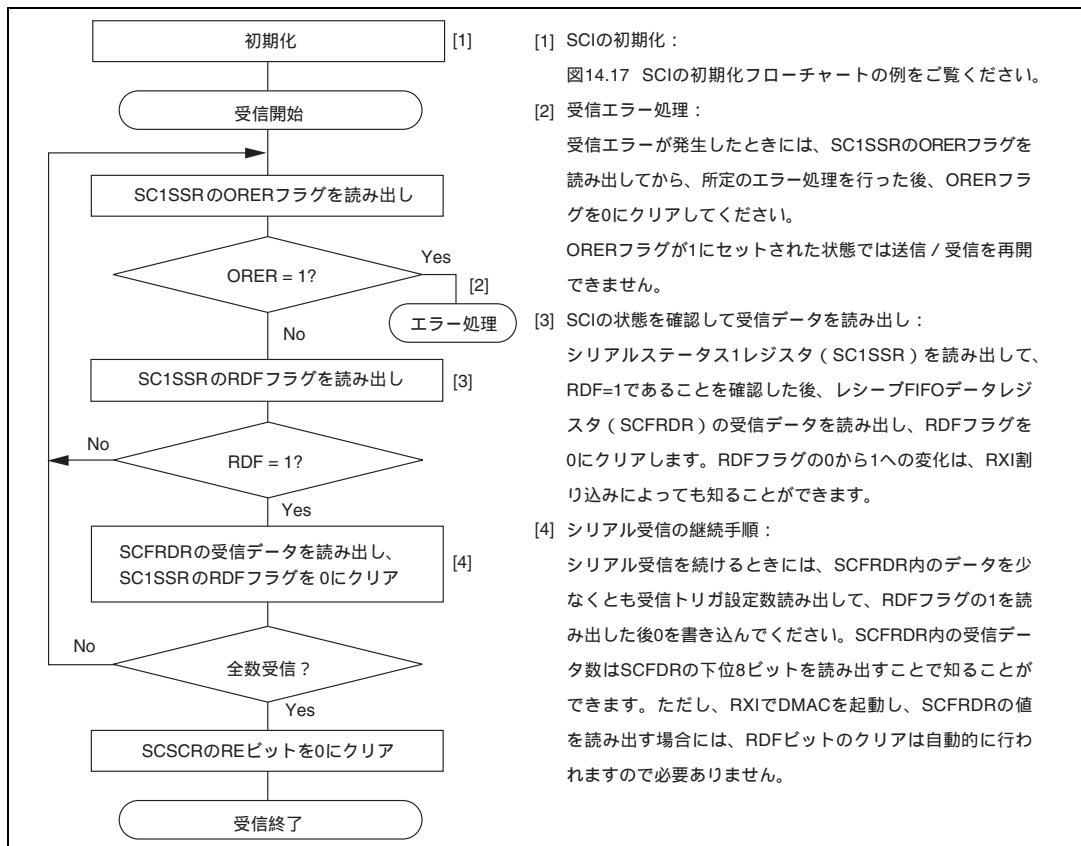


図 14.20 シリアル受信のフローチャートの例

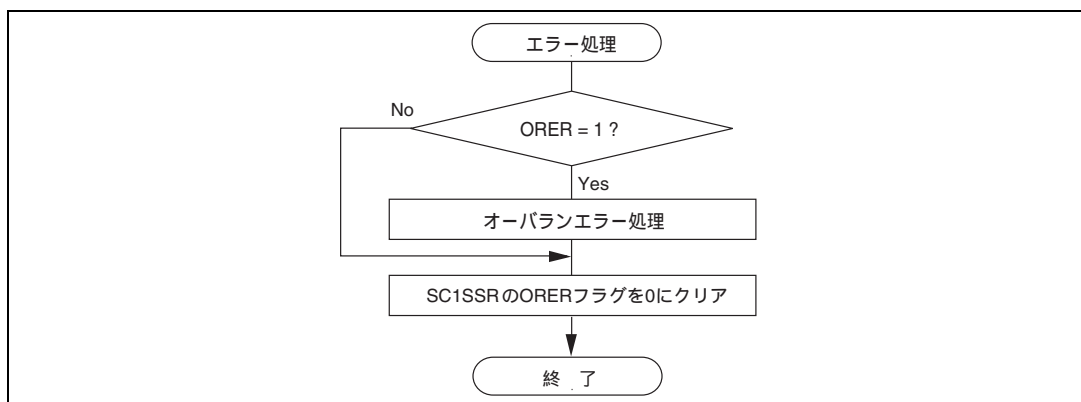


図 14.21 シリアル受信のフローチャートの例

SCI は受信時に以下のように動作します。

- (1) SCIは同期クロックの入力または出力に同期して内部を初期化します。
- (2) SC2SSRのRLMビットの設定に従い、受信したデータをレシーブシフトレジスタ (SCRSR) のLSBからMSBまたはMSBからLSBの順に格納します。
受信後、SCIは受信データをSCRSRからレシーブFIFOデータレジスタ (SCFRDR) に転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。
エラーチェックで受信エラーが発生すると表14.11のように動作し、この状態では以後の送信、受信動作ができません。
また、受信時にRDFフラグが1にセットされませんので、必ずORERフラグを0にクリアしてください。
- (3) RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求が発生します。
また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 14.22 に SCI の受信時の動作例を示します。

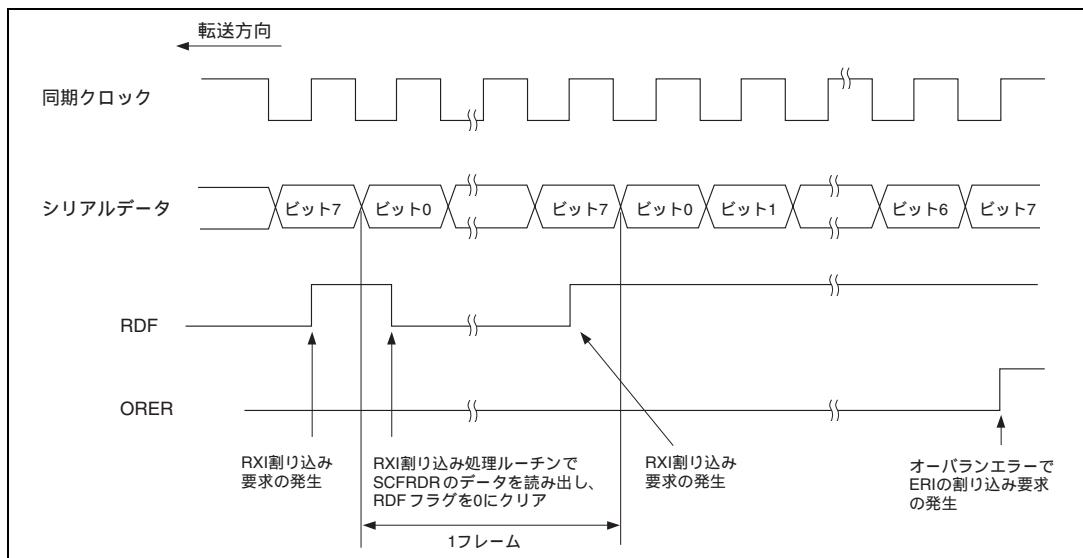


図 14.22 SCI の受信時の動作例

14. シリアルコミュニケーションインタフェース (SCI)

• シリアルデータ送受信同時動作 (クロック同期式)

図 14.23 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、SCI を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

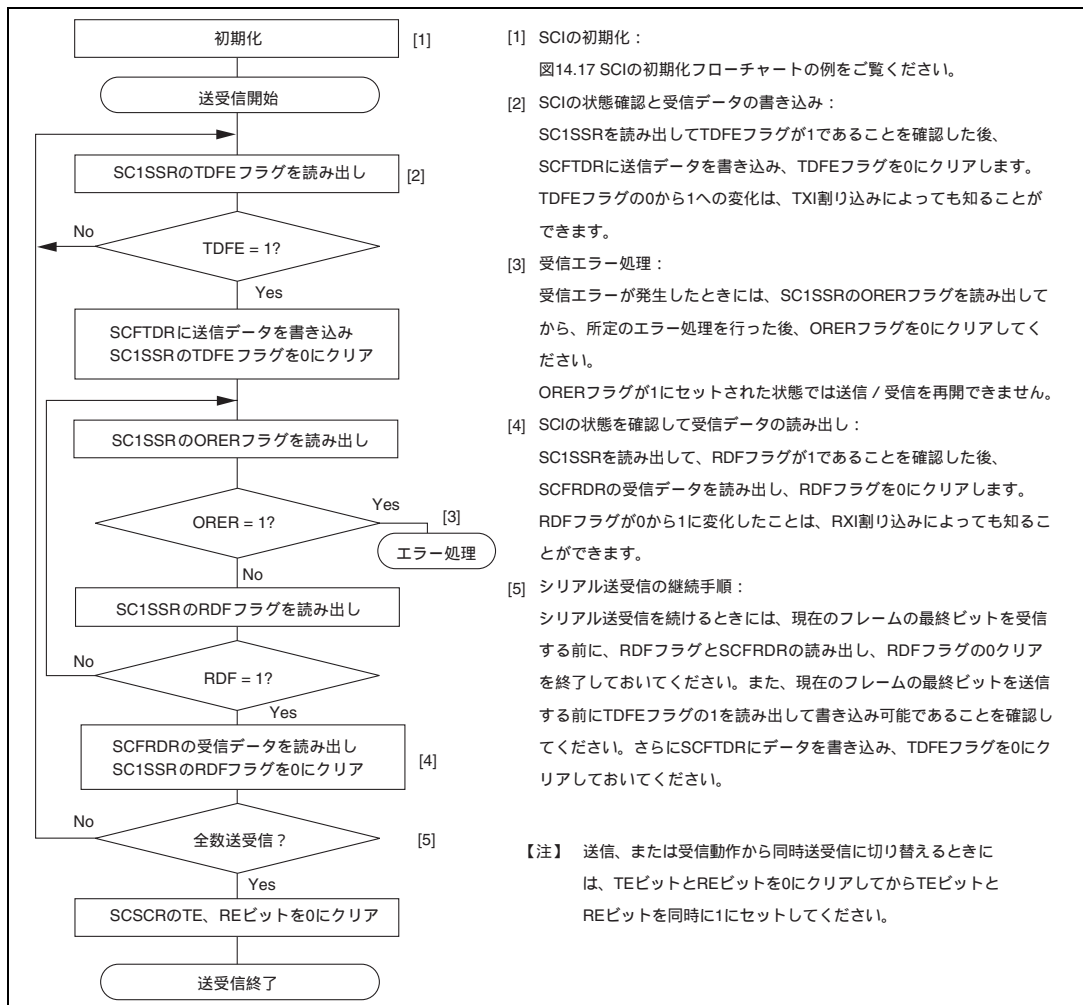


図 14.23 シリアル送受信のフローチャートの例

14.3.5 送信 / 受信 FIFO バッファの使用法

SCI は、送信用と受信用に独立した 16 段の FIFO バッファを内蔵しています。バッファの構成を図 14.24 に示します。

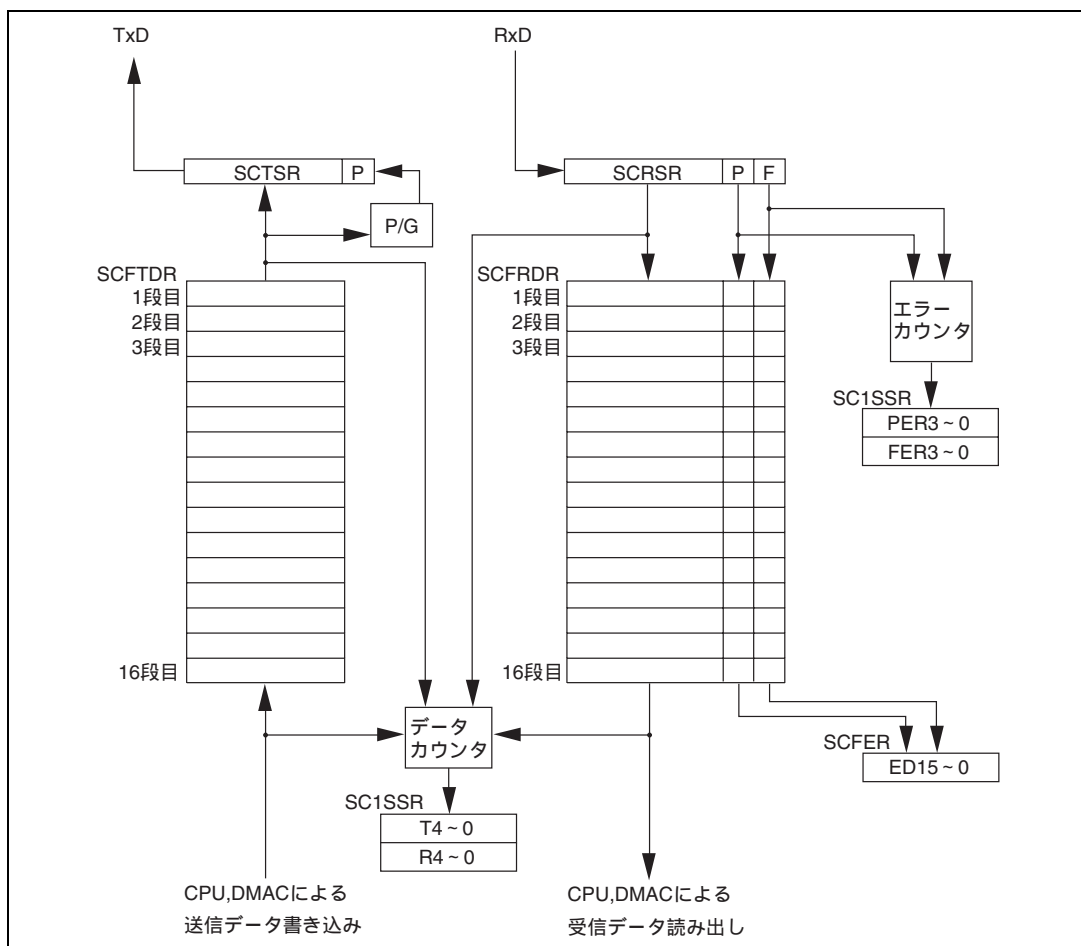


図 14.24 送信 / 受信 FIFO の構成

(1) シリアルデータ送信動作時

送信時には、CPU あるいは DMAC により送信 FIFO に送信データを書き込み、シリアルコントロールレジスタ (SCSCR) の TE ビットを 1 にすると、送信 FIFO に書き込まれた順にトランスミットシフトレジスタ (SCTSR) にいったんデータを転送し、パリティジェネレータ (P/G) によりパリティビットを付加し、TxD 端子からシリアルデータを送信します。

送信 FIFO にデータを書き込むたびに FIFO データ数レジスタ (SCFDR) の T4~0 ビットがカウントアップされ、SCTSR にデータが転送されるたびに T4~0 ビットをカウントダウンするように動作しますので、現在の送信 FIFO 内に存在しているデータの数は SCFDR の T4~0 ビットを読み出すことで知ることができます。

14. シリアルコミュニケーションインタフェース (SCI)

T4~0 ビットが H'10 のときは、16 段すべてにデータが書き込まれた状態であり、この状態でさらにデータを書き込むと T4~0 ビットのカウントアップを行わず、書き込んだデータも失われます。

送信トリガ数を設定して DMAC で送信データを FIFO に書き込む場合において、DMAC の DMA チャンネルコントロールレジスタ (CHCRn) のビット 17 (フラグクリアタイミングセレクト (FCS)) が 0、かつ、ビット 6 (DREQ セレクト (DS)) が 1 のとき、DMAC 転送の実行によりシリアルステータス 1 レジスタ (SC1SSR) の TDFE が 0 になっても DMA トランスファカウントレジスタ (DMATCR) が 0 になるまで DMAC は FIFO へのデータ転送を続けますので、このような場合では、14.2.10 FIFO コントロールレジスタ (SCFCR) で示した SCFTDR の空き数を超えるデータを書き込まないように注意してください。

(2) シリアルデータ受信動作時

受信時には、RXD 端子から入力されたシリアルデータをいったんレシーブシフトレジスタ (SCRSR) に、シリアルステータス 2 レジスタ (SC2SSR) の RLM ビットの設定に従って取り込みます。このとき、パリティビットのチェックを行いパリティエラーであれば、そのデータに対応する P (パリティエラーフラグ) フラグを 1 にし、またストップビットのチェックを行いフレーミングエラーであれば、そのデータに対応する F (フレーミングエラーフラグ) フラグを 1 にします。受信 FIFO バッファは 10 ビット構成になっており、8 ビットデータとともに対応する P、F フラグを一緒に格納します。

(a) 通常動作時の受信 FIFO 制御

CPU あるいは DMAC により受信 FIFO バッファに格納された受信データを読み出します。

SCRSR から受信 FIFO にデータが転送されるたびに、SCFDR の R4~0 ビットがカウントアップされ、受信 FIFO 内の受信データを CPU あるいは DMAC が読み出すたびに、R4~0 ビットをカウントダウンするように動作しますので、現在受信 FIFO 内に受信したデータの数を SCFDR の R4~0 ビットを読み出すことで知ることができます。

R4~0 ビットが H'10 のときは、16 段すべてに受信データが転送された状態であり、受信 FIFO 内のデータを CPU あるいは DMAC が読み出す前に次のシリアル受信が完了した場合にはオーバランエラーとなりシリアルデータは失われます。また、R4~0 ビットが H'00 のときに受信 FIFO のデータを読み出すと不定になります。

(b) エラーデータ受信時の受信 FIFO 制御

SCRSR から受信 FIFO にデータが転送されると同時に、P、F フラグも転送され、これらのフラグが 1 であればエラーカウンタがカウントアップされシリアルステータス 1 レジスタ (SC1SSR) の PER3~0、FER3~0 が更新されます。また、CPU あるいは DMAC により受信 FIFO 内のデータを読み出した場合に P、F フラグが 1 であればエラーカウンタはカウントダウンされます。さらに、読み出した受信データの P、F フラグが SC1SSR の PER、FER フラグに反映されます。PER および FER のセットは、パリティエラーあるいはフレーミングエラーのあるデータを受信 FIFO から読み出したときに行われ、Rx/D 端子からシリアルデータを受信したときにはパリティエラーおよびフレーミングエラーがあってもセットされません。PER および FER のクリアは、パリティエラーあるいはフレーミングエラーのないデータを受信 FIFO から読み出したときに行われます。

パリティエラー、フレーミングエラーがあっても、そのデータは受信 FIFO 内に転送されます。その後受信動作を続けるかどうかは SC2SSR の EI ビットの設定により選択できます。EI ビットを 1 に設定し受信動作を続けるよう選択した場合、エラー後も受信データを順次受信 FIFO 内に転送していきますが、16 段受信 FIFO バッファの何段目のデータにエラーがあるかは FIFO エラーレジスタ (SCFER) の ED15~0 ビットを読み出すことにより知ることができます。

受信トリガ数を設定した DMAC で受信データを受信 FIFO から読み出す場合には、14.2.10 FIFO

コントロールレジスタ (SCFCR) で示した受信トリガ数を超えるデータを読み出さないよう注意してください。

(c) DR フラグによる受信 FIFO 制御

受信トリガ数以上のデータを受信した場合には、RXI 割り込みにより CPU あるいは DMAC に受信データの読み出しの要求を出しますが、受信トリガ数以下のデータを受信した状態ですべての受信が完了した場合には RXI 割り込みは発生しません。この場合には最終データ受信完了後の 15etu 後に DR フラグがセットされ ERI 割り込みが発生しますので、CPU により SCFDR の R4~0 ビットを読み出して受信 FIFO 内に残っているデータ数を確認し、すべての受信 FIFO 内のデータを読み出してください。

【注】 15etu は 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。

etu : element time unit = s/bit

14.3.6 IrDA モード時の動作

IrDA モードでは、IrDA1.0 赤外線通信仕様を満足するよう、TxD / RxD 送受信データの波形を変更します。これを赤外線送受信トランシーバ / レシーバと接続することで、IrDA1.0 規格に準拠した赤外線送受信を実現することができます。

IrDA1.0 仕様では、通信はまず 9600bps の速度で実行され、その後必要に応じて転送レートを変更させることができます。ただし、通信速度は本モジュールでは自動的に変更されません。したがって、通信を実行する場合には通信速度を確認し、ソフトウェアで本モジュールに適切な速度を設定してください。

【注】 IrDA モードでは、シリアルコントロールレジスタ (SCSCR) の TE ビットが 1 にセット (通信を許可) されていると受信を実行することができません。受信を行う場合は SCSCR の TE ビットを 0 にクリアしてください。

(1) 送信

SCI からのシリアル出力信号 (UART フレーム) の場合、その波形は修正され、図 14.25 に示すように信号は IrDA モジュールによって IR フレームシリアル出力信号に変換されます。

シリアルデータが 0 の場合、IrDA モードレジスタ (SCIMR) の PSEL ビットが 0 のときは、IR フレームの 3/16 ビット幅のパルスが生成、出力され、PSEL ビットが 1 のときは、シリアルモードレジスタ (SCSMR) の ICK3~0 ビットで設定したビットレートの 3/16 ビット幅のパルスが生成、出力されません。シリアルデータが 1 の場合、パルスは出力されません。

赤外線 LED は 3/16 幅に復調されたこの信号で駆動します。

14. シリアルコミュニケーションインタフェース (SCI)

(2) 受信

受信した IR フレームの 3/16 ビット幅のパルスは、図 14.25 に示すように復調後 UART フレームに変換されます。

SCIMR レジスタの RIVS = 0 のとき、0 への復調はパルス出力に対して実行され、1 への復調はパルス出力のないときに実行されます。

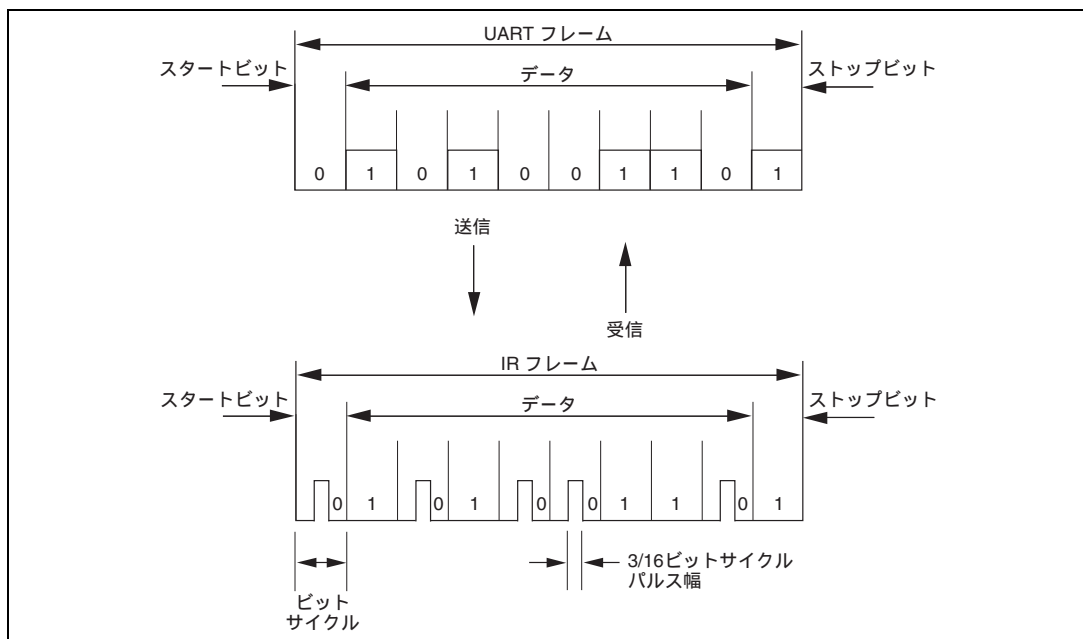


図 14.25 IrDA モード送受信動作

(3) パルス幅の選択

送信時の IR フレームのパルス幅は、IrDA モードレジスタ (SCIMR) の PSEL ビットの設定により、送信ビットレートの 3/16 の幅で出力するか、それより小さいパルス幅で出力するか選択できます。

SCI は、送信フレームのビットレートを生成するボーレートジェネレータと、パルス幅を可変とするために IRCLK を生成するボーレートジェネレータを内蔵しています。

SCIMR の PSEL ビットを 0 に設定した場合、ビットレートレジスタ (SCBBR) で設定したビットレートの 3/16 の幅を IR フレームのパルス幅として出力します。パルス幅が直接赤外線発光の時間となりますので、省電力化のためにパルス幅を極力小さくしたい場合は、SCIMR の PSEL ビットを 1 に設定し、さらにシリアルモードレジスタ (SCSMR) の ICK3 ~ 0 ビットの設定により IRCLK を生成し、設定可能な最小のパルス幅で出力します。

ここで、IR フレームのパルス幅は最小で 115.2kbps のビットレートの 3/16 (=1.63 μ s) とする必要があります。この最小パルス幅の場合 IRCLK = 921.6kHz となりますので、設定可能な最小パルス幅を得るための ICK3 ~ 0 ビットの設定は次の式で求められます。

$P\phi$: 動作クロック周波数
 IRCLK : 921.6kHz (固定)
 N : ICK3 ~ 0の設定値 ($0 \leq N \leq 15$)

$$N = \frac{P\phi}{2 \times \text{IRCLK}} - 1$$

たとえば $P\phi = 20\text{MHz}$ のとき、 $N = 10$ となります。

最小パルス幅を得るための適用可能な ICK3 ~ 0 ビットの設定と動作周波数の関係を表 14.12 に示します。

表 14.12 IrDA モード時の ICK3 ~ 0 ビットと動作周波数の関係 (PSEL = 1 のとき)

動作周波数 $P\phi$ (MHz)	SCSMR の ICK3 ~ 0 ビットの設定			
	ICK3	ICK2	ICK1	ICK0
2	0	0	0	0
3	0	0	0	1
5	0	0	1	0
6	0	0	1	1
8	0	1	0	0
10	0	1	0	1
12	0	1	1	0
14	0	1	1	1
16	1	0	0	0
18	1	0	0	1
20	1	0	1	0
21	1	0	1	1
22	1	0	1	1
23	1	1	0	0
24	1	1	0	1
25	1	1	0	1
26	1	1	1	0
27	1	1	1	0
28	1	1	1	1

14.4 SCI の割り込み要因と DMAC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、送信 FIFO データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 14.13 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、TEIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SC1SSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で内蔵 DMAC を起動してデータ転送を行うことができます。TDFE ビットは DMAC によるトランスミット FIFO データレジスタ (SCFTDR) への書き込みがすべて終了すると自動的に 0 にクリアされます。

SC1SSR の RDF フラグが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で内蔵 DMAC を起動してデータ転送を行うことができます。RDF ビットは DMAC によるレシーブ FIFO データレジスタ (SCFRDR) の読み出しがすべて行われると自動的に 0 にクリアされます。

また、SC2SSR の ER フラグまたは DR が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で内蔵 DMAC の起動はできません。

さらに、SC1SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で内蔵 DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは受信データが SCFRDR にあることを示しています。また、TEI 割り込みは送信動作が終了したことを示しています。

表 14.13 SCI 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時の優先順位
ERI	受信エラー (ER、DR) による割り込み	不可	高 ↑ ↓ 低
RXI	受信データフル (RDF) による割り込み	可	
TXI	送信データエンプティ (TDFE) による割り込み	可	
TEI	送信終了 (TEND) による割り込み	不可	

14.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

(1) SCFTDR への書き込みと TDFE フラグの関係について

シリアルステータスレジスタ (SC1SSR) の TDFE フラグはトランスミット FIFO データレジスタ (SCFTDR) 内に書き込んだ送信データ数が、FIFO コントロールレジスタ (SCFCR) の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットします。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ効率よい連続送信が可能となります。

TDFE フラグは SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には 1 読み出し後 0 クリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は FIFO データ数レジスタ (SCFDR) の上位 8 ビットで知ることができます。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SC1SSR の各ステータスフラグの状態は、表 14.14 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (SCRSR) からレシーブ FIFO データレジスタ (SCFRDR) へのデータ転送は行われず、受信データは失われます。

表 14.14 SC1SSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SC1SSR のステータスフラグ				受信データ転送
	RDF	ORER	FER	PER	SCRSR→SCFRDR
オーバランエラー	1	1	0	0	×
フレーミングエラー	0	0	1	0	
パリティエラー	0	0	0	1	
オーバランエラー+フレーミングエラー	1	1	1	0	×
オーバランエラー+パリティエラー	1	1	0	1	×
フレーミングエラー+パリティエラー	0	0	1	1	
オーバランエラー+フレーミングエラー+パリティエラー	1	1	1	1	×

【記号説明】

: SCRSR→SCFRDR に受信データを転送します。

×: SCRSR→SCFRDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力すべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後は、SCFRDR への受信データの転送は停止しますが、受信動作は続けています。そのため、FER、BRK フラグを 0 にクリアしても再び 1 にセットされますので注意してください。

14. シリアルコミュニケーションインタフェース (SCI)

(4) ブレークの送り出し

TxD 端子は、I/O ポートのデータレジスタ (DR) とピンファンクションコントローラ (PFC) のコントロールレジスタ (CR) により入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

PFC の設定を行うまではマーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER3~0、FER3~0) が 1 にセットされた状態では、TE ビットを 1 にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍 (または 8 倍、4 倍) の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりをも基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 または 4 または 2 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 14.26 に示します。

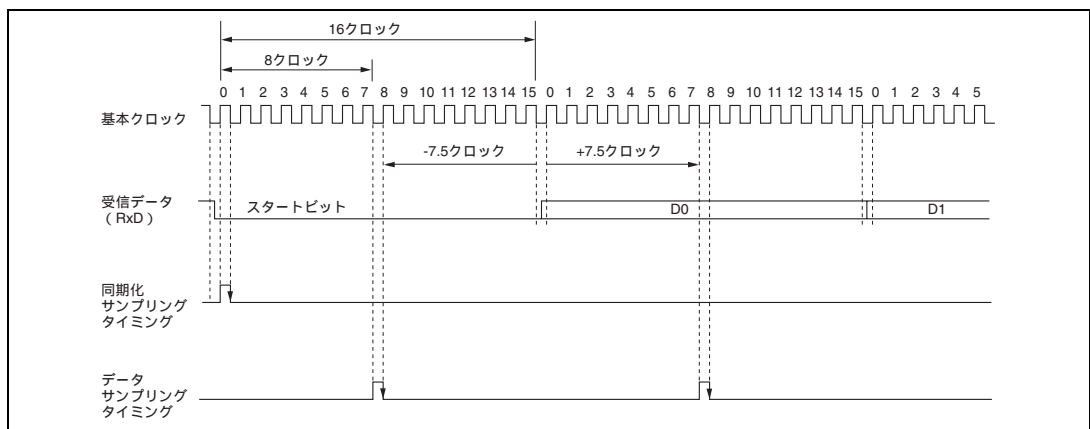


図 14.26 調歩同期式モードの受信データサンプリングタイミング
(基本クロックは転送レートの 16 倍の周波数を使用、8 クロック目でサンプリング時)

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \cdots \cdots \text{式 (1)}$$

- M : 受信マージン (%)
 N : クロックに対するビットレートの比 (N = 16、8、4)
 D : クロックデューティ (D = 0 ~ 1.0)
 L : フレーム長 (L = 9 ~ 12)
 F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

$$\begin{aligned} D = 0.5, F = 0, N = 16 \text{ のとき} \\ M &= \left(0.5 - 1 / (2 \times 16) \right) \times 100\% \\ &= 46.875\% \cdots \cdots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(7) クロック同期外部クロックモード時の注意事項

- TE = 1、RE = 1 に設定するのは、外部クロック SCK を 0 → 1 にしてから周辺動作クロック 4 クロック以上経過してからにしてください。
- TE = RE = 1 に設定するのは、必ず外部クロック SCK が 1 のときにしてください。
- 受信時において、RxD の D7 ビットの SCK 入力の立ち上がりエッジから周辺動作クロック 2.3 ~ 3.5 クロック後に RE = 0 にすると RDF = 1 になりますが、SCFRDR へのコピーができませんので注意してください。

(8) クロック同期内部クロックモード時の注意事項

受信時において、RxD の D7 ビットの SCK 出力の立ち上がりエッジから周辺動作クロック 1.5 クロック後に RE = 0 にすると RDF = 1 になりますが、SCFRDR へのコピーができませんので注意してください。

14. シリアルコミュニケーションインタフェース (SCI)

(9) DMAC 使用上の注意事項

同期クロックに外部クロックソースを使用する場合、DMAC による SCFTDR の更新後、 $P\phi$ で 5 クロック以上経過した後に、送信クロックを入力してください。SCFTDR の更新後 $P\phi$ で 4 クロック以内に送信クロックを入力すると、誤動作することがあります。(図 14.27)

DMAC により、SCFRDR の読み出しを行うときは必ず起動要因を当該 SCI の受信 FIFO データフル割り込み (RXI) に設定してください。

また、「9.4.1 内部 SCI と外部メモリとの DMA 転送例」のように、DMAC の CHCRn レジスタの FCS ビットは 1 (フラグ取り下げをバスサイクルごとに行う)、DS ビットは 1 (立ち下がリエッジ検出) の設定で使用することを推奨いたします。

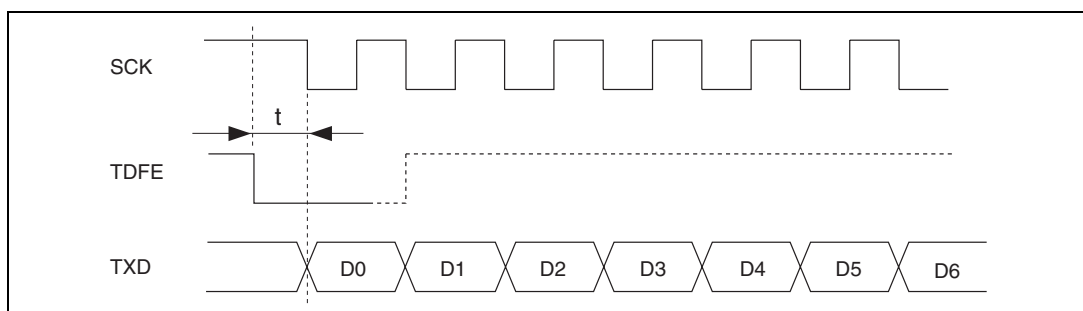


図 14.27 DMAC によるクロック同期式送信時の例

(10) SCFRDR の読み出しと RDF フラグについて

シリアルステータスレジスタ (SC1SSR) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR) 内の受信データ数が FIFO コントロールレジスタ (SCFCR) の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットされます。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 クリアしても再び 1 にセットされますので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 クリアしてください。

SCFRDR 内の受信データ数は FIFO データ数レジスタ (SCFDR) の下位 8 ビットで知ることができます。

15. A/D 変換器

15.1 概要

本 A/D 変換器は 10 ビットの分解能を持ち、最大 8 チャンネルのアナログ入力を選択することができます。

A/D 変換器は独立した 2 つのモジュール (A/D0 と A/D1) より構成されています。

15.1.1 特長

A/D 変換器には、次の特長があります。

- 10 ビット分解能
- 入力チャンネル：8 チャンネル (4 チャンネル×2)
- 変換時間
最小変換時間：1チャンネル当たり
動作周波数： $P\phi > 20\text{MHz}$, $\text{CKS} = 0$
 $P\phi \quad 20\text{MHz}$, $\text{CKS} = 0, 1$
min 6.7 μs (20MHz, $\text{CKS} = 1$)
- 豊富な変換モード
シングルモード / マルチモードの選択が可能
2チャンネル同時変換が可能
- 3 種類の変換開始
ソフトウェア、タイマの変換開始トリガ (MMT)、TPUまたは $\overline{\text{ADTRG}}$ 端子の選択が可能
- 8 本のデータレジスタ
変換結果を、各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能
- A/D 変換終了割り込み発生
A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能
またADI0 (A/D0の割り込み要求) と、ADI1 (A/D1の割り込み要求) でDMACが、起動可能

15.1.2 ブロック図

A/D 変換器のブロック図を図 15.1 に示します。
 両 A/D の AVcc、AVss は LSI では共通端子です。

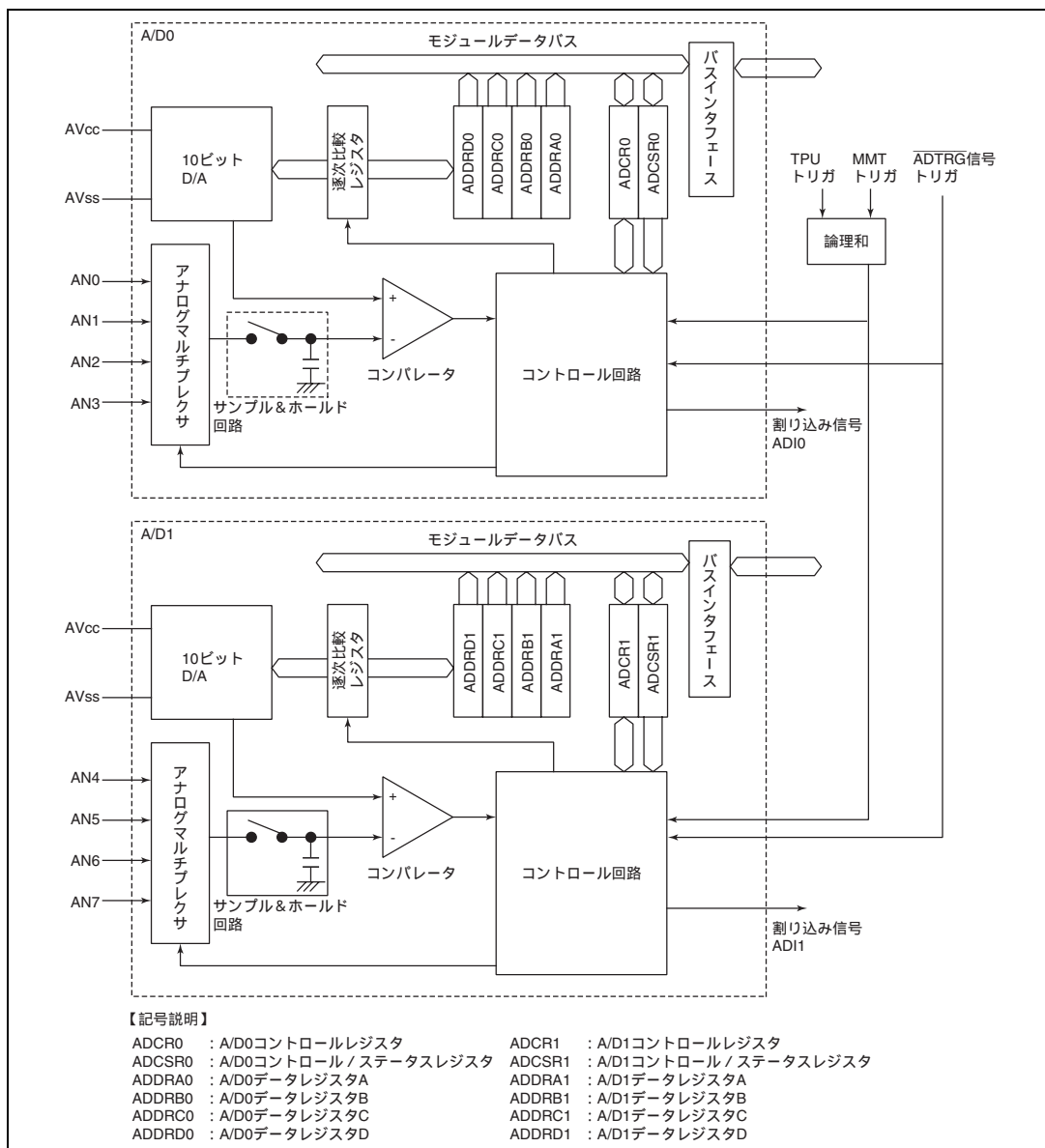


図 15.1 A/D 変換器のブロック図

15.1.3 端子構成

A/D 変換器で使用する入力端子を表 15.1 に示します。

AVcc、AVss 端子は、A/D 変換器内部のアナログ部の電源です。

表 15.1 端子構成

端子名	略称	入出力	機能	
アナログ電源	AVcc	入力	アナログ部の電源および A/D 変換の基準電圧	
アナロググランド	AVss	入力	アナログ部のグランドおよび A/D 変換の基準グランド	
A/D0	アナログ入力 0	AN0	入力	アナログ入力チャンネル 0
	アナログ入力 1	AN1	入力	アナログ入力チャンネル 1
	アナログ入力 2	AN2	入力	アナログ入力チャンネル 2
	アナログ入力 3	AN3	入力	アナログ入力チャンネル 3
A/D1	アナログ入力 4	AN4	入力	アナログ入力チャンネル 4
	アナログ入力 5	AN5	入力	アナログ入力チャンネル 5
	アナログ入力 6	AN6	入力	アナログ入力チャンネル 6
	アナログ入力 7	AN7	入力	アナログ入力チャンネル 7
A/D 外部トリガ入力	ADTRG	入力	A/D 変換開始のための外部トリガ	

15.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 15.2 に示します。

表 15.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
A/D0 データレジスタ AH	ADDRA0H	R	H'00	H'FFFF0080	8, 16
A/D0 データレジスタ AL	ADDRA0L	R	H'00	H'FFFF0081	8
A/D0 データレジスタ BH	ADDRB0H	R	H'00	H'FFFF0082	8, 16
A/D0 データレジスタ BL	ADDRB0L	R	H'00	H'FFFF0083	8
A/D0 データレジスタ CH	ADDRC0H	R	H'00	H'FFFF0084	8, 16
A/D0 データレジスタ CL	ADDRC0L	R	H'00	H'FFFF0085	8
A/D0 データレジスタ DH	ADDRD0H	R	H'00	H'FFFF0086	8, 16
A/D0 データレジスタ DL	ADDRD0L	R	H'00	H'FFFF0087	8
A/D0 コントロール / ステータスレジスタ	ADCSR0	R/(W)*	H'00	H'FFFF0098	8, 16
A/D0 コントロールレジスタ	ADCR0	R/W	H'3F	H'FFFF0099	8
A/D1 データレジスタ AH	ADDRA1H	R	H'00	H'FFFF00A0	8, 16
A/D1 データレジスタ AL	ADDRA1L	R	H'00	H'FFFF00A1	8
A/D1 データレジスタ BH	ADDRB1H	R	H'00	H'FFFF00A2	8, 16
A/D1 データレジスタ BL	ADDRB1L	R	H'00	H'FFFF00A3	8
A/D1 データレジスタ CH	ADDRC1H	R	H'00	H'FFFF00A4	8, 16
A/D1 データレジスタ CL	ADDRC1L	R	H'00	H'FFFF00A5	8
A/D1 データレジスタ DH	ADDRD1H	R	H'00	H'FFFF00A6	8, 16
A/D1 データレジスタ DL	ADDRD1L	R	H'00	H'FFFF00A7	8
A/D1 コントロール / ステータスレジスタ	ADCSR1	R/(W)*	H'00	H'FFFF00B8	8, 16
A/D1 コントロールレジスタ	ADCR1	R/W	H'3F	H'FFFF00B9	8

【注】 * ビット 7 は、フラグをクリアするための 0 書き込みのみ可能です。

15.2 レジスタの説明

15.2.1 A/D データレジスタ A～D

(ADDRn0 ~ ADDRnD、 ADDRn1 ~ ADDRnD)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn:	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 n=A～D

A/D データレジスタ (ADDR) は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRn0 ~ ADDRnD (A/D0)、ADDRn1 ~ ADDRnD (A/D1) の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5～0 は、予約ビットで、読み出すと常に 0 が読み出されます。アナログ入力チャンネルと ADDR の対応を表 15.3 に示します。

ADDR は、常に CPU から読み出し可能です。上位バイトは直接読み出せませんが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「15.3 CPU とのインタフェース」を参照してください。

ADDR は、パワーオンリセット、スタンバイモードで H'0000 に初期化されます。

表 15.3 アナログ入力チャンネルと ADDRn0 ~ ADDRnD の対応

アナログ入力チャンネル	A/D データレジスタ	モジュール
AN0	ADDRn0	A/D 0
AN1	ADDRn1	
AN2	ADDRn2	
AN3	ADDRn3	
AN4	ADDRn4	A/D 1
AN5	ADDRn5	
AN6	ADDRn6	
AN7	ADDRn7	

15.2.2 A/D コントロール / ステータスレジスタ (ADCSR0、ADCSR1)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	MULTI	CKS	—	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R	R/W	R/W

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

A/D コントロール / ステータスレジスタ (ADCSR0、ADCSR1) は、8 ビットの読み出し / 書き込み可能なレジスタで、モードの選択など A/D 変換器の動作を制御します。ADCSR0 (A/D0)、ADCSR1

(A/DI) があります。

ADCSR は、パワーオンリセット、スタンバイモードで H'00 に初期化されます。

ビット 7 : A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット 7	説 明
ADF	
0	[クリア条件] (初期値) (1) ADF=1 の状態で、ADF を読み出した後、ADF に 0 を書き込んだとき (2) ADI 割り込みによって DMAC が起動され、A/D 変換器のレジスタがアクセスされたとき
1	[セット条件] (1) シングルモード : A/D 変換が終了したとき (2) マルチモード : 設定されたすべてのチャンネルの A/D 変換が終了したとき

ビット 6 : A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み要求 (ADI) の許可または禁止を選択します。

ビット 6	説 明
ADIE	
0	A/D 変換終了による割り込み要求 (ADI) を禁止 (初期値)
1	A/D 変換終了による割り込み要求 (ADI) を許可

ビット 5 : A/D スタート (ADST)

A/D 変換の開始または停止を選択します。

A/D 変換中は 1 を保持します。また、タイマからの変換開始トリガ (MMT、TPU)、A/D 変換トリガ入力端子 ($\overline{\text{ADTRG}}$) により 1 にセットすることもできます。

ビット 5	説 明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード : A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) マルチモード : A/D 変換を開始。ソフトウェアにより 0 にクリアされるまで複数チャンネルを 1 回ずつ連続変換

15. A/D 変換器

ビット 4 : マルチモード (MULTI)

A/D 変換のモードを、シングルモード / マルチモードから選択します。シングルモード / マルチモード時の動作については、「15.4 動作説明」を参照してください。モードの切り替えは、ADST=0 の状態で行ってください。

ビット 4	説 明	
MULTI		
0	シングルモード	(初期値)
1	マルチモード	

ビット 3 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST=0 の状態で行ってください。

ビット	説 明	
CKS		
0	変換時間 = 266 ステート (max)	(初期値)
1	変換時間 = 134 ステート (max)	

ビット 2 : 予約ビット

ビット 2 は読み出すと常に 0 が読み出されます。書き込む値も常に 0 を書き込んでください。

ビット 1~0 : チャネルセレクト 1~0 (CH1 ~ CH0)

マルチモードビットとともにアナログ入力チャンネルを選択します。

チャンネル選択と切り替えは、ADST=0 の状態で行ってください。

チャンネル選択		説 明			
CH1	CH0	シングルモード		マルチモード	
		A/D0	A/D1	A/D0	A/D1
0	0	AN0 (初期値)	AN4 (初期値)	AN0	AN4
	1	AN1	AN5	AN0、AN1	AN4、AN5
1	0	AN2	AN6	AN0 ~ AN2	AN4 ~ AN6
	1	AN3	AN7	AN0 ~ AN3	AN4 ~ AN7

15.2.3 A/D コントロールレジスタ (ADCR0、ADCR1)

ビット:	7	6	5	4	3	2	1	0
	TRGE1	TRGE0	—	—	—	—	—	—
初期値:	0	0	1	1	1	1	1	1
R/W:	R/W	R/W	R	R	R	R	R	R

A/D コントロールレジスタ (ADCR0、ADCR1) は、8 ビットの読み出し / 書き込み可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可または禁止を選択します。ADCR0 (A/D0)、ADCR1 (A/D1) があります。

ADCR は、パワーオンリセット、スタンバイモードで H'3F に初期化されます。

ビット 7、6 : トリガイネーブル (TRGE1、TRGE0)

$\overline{\text{ADTRG}}$ 端子または MMT、TPU トリガからの入力による A/D 変換の開始の許可または禁止を選択します。

ビット 7	ビット 6	説明
TRGE1	TRGE0	
0	0	$\overline{\text{ADTRG}}$ 端子または MMT、TPU トリガ入力による A/D 変換の開始を禁止 (初期値)
	1	MMT、TPU トリガ入力で A/D 変換開始
1	0	$\overline{\text{ADTRG}}$ 端子または MMT、TPU トリガ入力による A/D 変換の開始を禁止
	1	$\overline{\text{ADTRG}}$ 端子の立ち上がりエッジで A/D 変換開始

【注】 $\overline{\text{ADTRG}}$ 端子、MMT、TPU トリガは、A/D0、A/D1 共通です。

A/D0 と A/D1 の設定は、論理和になっています。

ビット 5~0 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

15.3 CPU とのインタフェース

A/D データレジスタ ADDR (ADDR0 ~ ADDR0, ADDR1 ~ ADDR1) は 16 ビットのレジスタですが、CPU と結合しているチップ内バスは、8 ビット幅です。このため ADDR の上位 / 下位のデータは別々にしか読み出せません。

ADDR の上位 / 下位の 2 バイトのデータを読み出す間にデータ変化するのを避けるため、下位バイトのデータ読み出しは、テンポラリレジスタ (TEMP) を介して行います。

なお、上位バイトの読み出しは直接行えます。

ADDR からデータ読み出しは、次のようにして行います。まず、ADDR のデータの上位バイトを読み出します。このとき、上位バイトのデータは直接 CPU に読み込まれ、下位バイトのデータは A/D 変換器内の TEMP へ転送されます。次に下位バイトを読み出すと TEMP の内容が CPU に読み込まれます。

ADDR をバイトサイズで読み出す場合には、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容が保証されませんので注意してください。なお、ADDR をワードサイズで読み出すと、自動的に上位バイト、下位バイトの順で読み出されます。

図 15.2 に ADDR の読み出し時のデータの流れを示します。

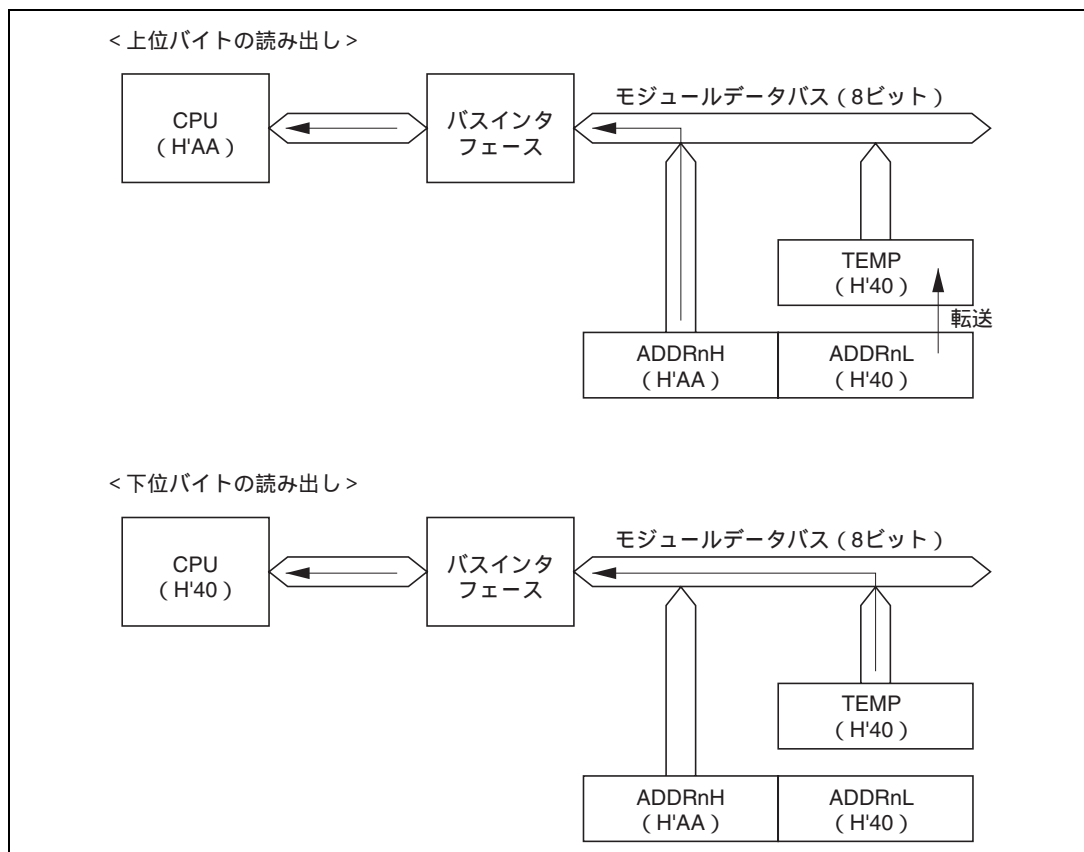


図 15.2 ADDR のアクセス動作 ((H'AA40) 読み出し時)

15.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。シングルモードとマルチモードの各モードの動作について説明をします。

15.4.1 シングルモード (MULTI = 0)

シングルモードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

ADF ビットは、ADF = 1 を読み出した後、ADF ビットに 0 を書き込むとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 15.3 に示します (動作例におけるビット指定は ADCSR0 レジスタです)。

- (1) 動作モードをシングルモードに (MULTI = 0)、入力チャンネルを AN1 に (CH1 = 0、CH0 = 1)、A/D 割り込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
- (2) A/D 変換が終了すると、A/D 変換結果が ADDR0 に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は変換待機となります。
- (3) ADF = 1、ADIE = 1 となっているため、ADI 割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) ADF = 1 を読み出した後、ADF に 0 を書き込みます。
- (6) A/D 変換結果 (ADDR0) を読み出して、処理します。
- (7) A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され (2) ~ (7) を行います。

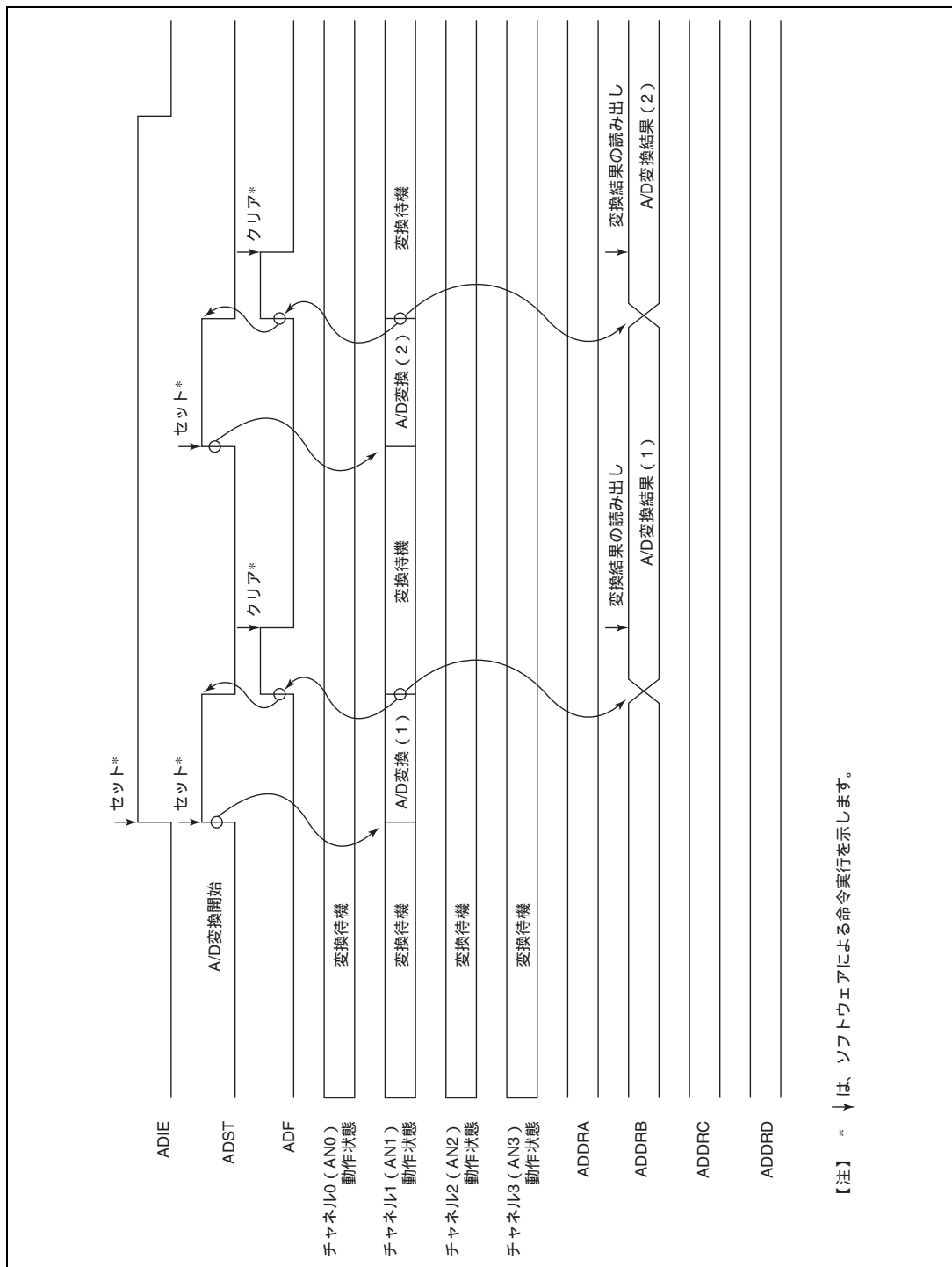


図 15.3 A/D 変換器の動作例 (シングルモード チャンネル1 選択時)

15.4.2 マルチモード (MULTI = 1)

マルチモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を 1 回ずつ変換するモードです。A/D 変換はソフトウェアまたは外部トリガ入力によって A/D コントロール / ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、グループの第 1 チャンネル (A/D0 は AN0、A/D1 は AN4) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN1 または AN5) の A/D 変換を開始します。

A/D 変換は、選択されたチャンネル内を 1 回ずつ連続して変換します。変換後 ADST ビットが自動的に 0 にクリアされます。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

マルチモードでグループ 0 の 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 15.4 に示します (動作例におけるビット指定は ADCSR0 レジスタです)。

- (1) 動作モードをマルチモードに (MULTI = 1)、アナログ入力チャンネルを AN0 ~ AN2 (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- (2) 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDRA0 に転送します。
次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN2) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、ADST が 0 にクリアされ変換が停止します。
このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。ADST ビットを 0 にクリアすると A/D 変換が停止します。
- (5) ADF = 1 を読み出した後、ADF に 0 を書き込みます。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN0) から変換が行われます。

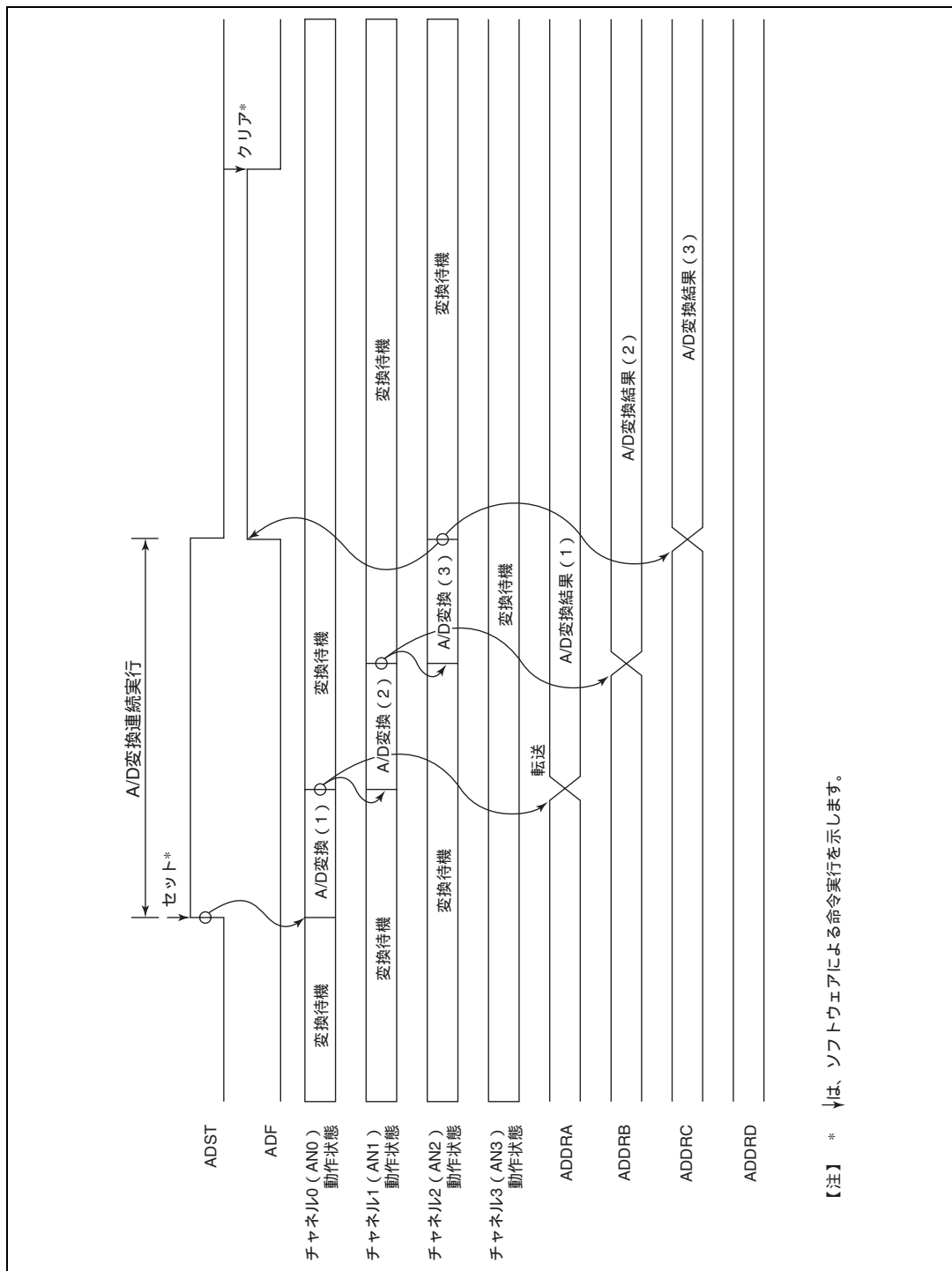


図 15.4 A/D 変換器の動作例 (マルチモード AN0 ~ AN2 の 3 チャンネル選択時)

15.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、A/D コントロール / ステータスレジスタ (ADCSR) のアクセスを開始してから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 15.5 に示します。また、A/D 変換時間を表 15.4 に示します。

A/D 変換時間 t_{CONV} は、図 15.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR への書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.4 に示す範囲で変化します。

マルチモードの変換時間は、表 15.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS = 0 の場合は 266 ステート (固定、 $P\phi$)、CKS = 1 の場合は 134 ステート (固定、 $P\phi$) となります。

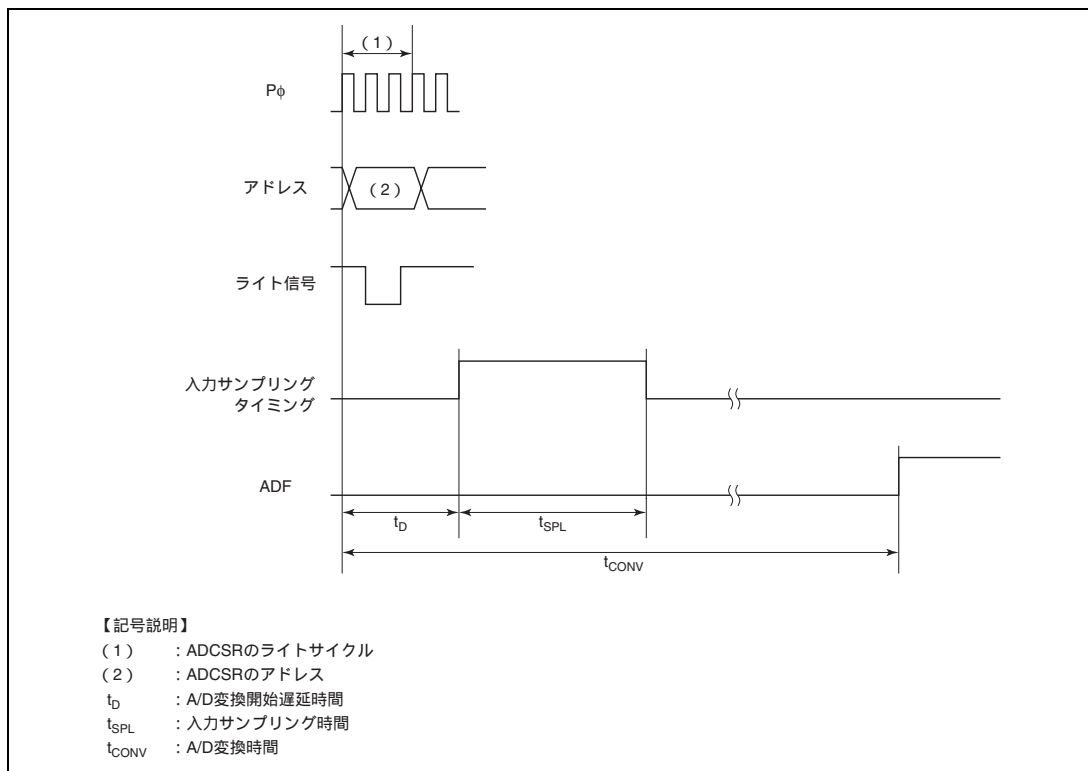


図 15.5 A/D 変換タイミング

表 15.4 A/D 変換時間 (シングルモード)

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	10		17	6		9
入力サンプリング時間	t_{SPL}		64			32	
A/D 変換時間	t_{CONV}	259		266	131		134

【注】 表中の数値の単位はステート ($P\phi$) です。

15.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、A/D コントロールレジスタ (ADCR) の TRGE ビットが 1 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子または MMT、TPU から入力されます。

$\overline{\text{ADTRG}}$ 入力端子の立ち下がりエッジまたは MMT トリガにより、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、シングルモード/マルチモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 15.6 に示します。

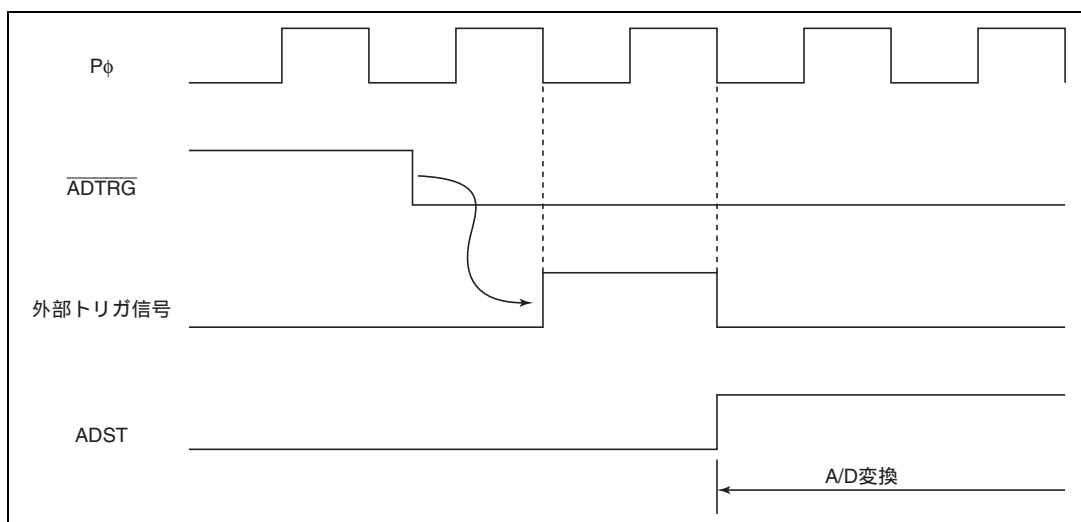


図 15.6 $\overline{\text{ADTRG}}$ 端子による外部トリガ入力タイミング

15.5 割り込み要求と DMA 転送要求

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。

ADI 割り込み要求は、ADCSR の ADIE ビットで許可または禁止することができます。

また、ADI 割り込み要求によって DMA 転送を起動することもできます。

ADI 割り込みで起動された DMAC で、A/D のレジスタをアクセスすると A/D コントロール/ステータスレジスタ (ADCSR) の ADF ビットは自動的に 0 クリアされます。

15.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

- (1) オフセット誤差
- (2) フルスケール誤差
- (3) 量子化誤差
- (4) 非直線性誤差

図 15.7 に沿って、上記 (1) ~ (4) の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの A/D 変換器を 3 ビットの A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）000000000（図では 000）から 000000001（図では 001）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 15.7 (1)）です。フルスケール誤差とはデジタル出力値が 111111110（図では 110）から最大値（フルスケール電圧）111111111（図では 111）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 15.7 (2)）です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます（図 15.7 (3)）。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 15.7 (4)）です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

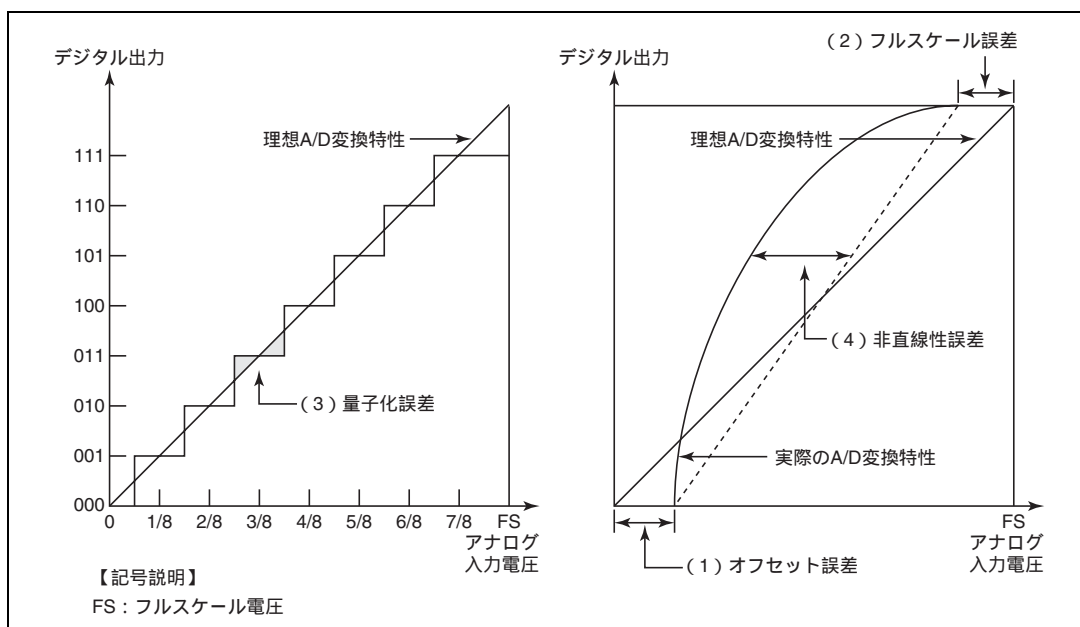


図 15.7 A/D 変換精度の定義

15.7 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

15.7.1 アナログ電圧の設定

(1) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子ANnに印加する電圧は AV_{SS} ~ ANn ~ AV_{CC} の範囲としてください。(n = 0 ~ 7)

(2) AV_{CC} 、 AV_{SS} 入力電圧

AV_{CC} 、 AV_{SS} 入力電圧は、 $AV_{CC} = V_{CC} \pm 10\%$ 、 $AV_{SS} = V_{SS}$ としてください。A/D変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

(3) A/D変換器を使わない場合、およびスタンバイ時でも AV_{CC} は必ず電源(V_{CC})に接続してください。

15.7.2 アナログ入力端子の取り扱い

アナログ入力端子 (AN0 ~ AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 15.8 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 15.9 にアナログ入力端子の等価回路を、表 15.5 にアナログ入力端子の規格を示します。

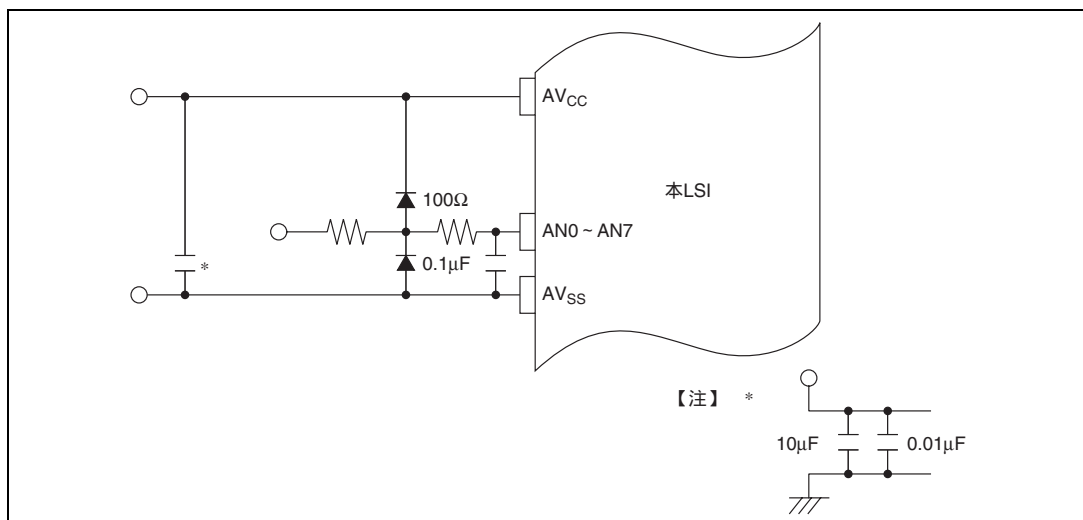


図 15.8 アナログ入力端子の保護回路例

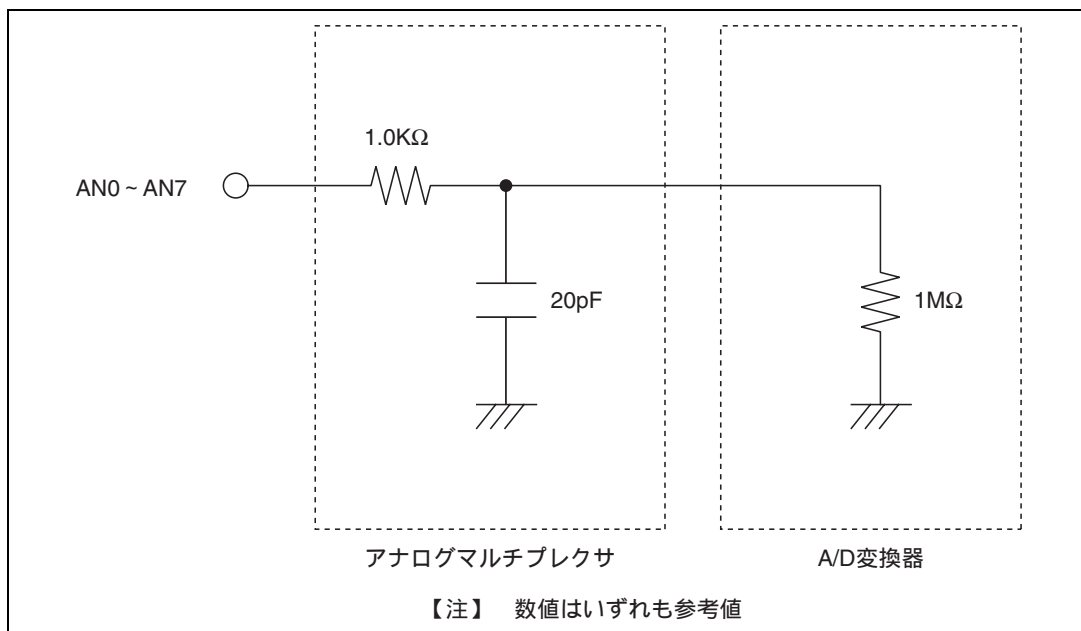


図 15.9 アナログ入力端子の等価回路

表 15.5 アナログ入力端子の規格

項目	min	max	単位
アナログ入力容量		20	pF
許容信号源インピーダンス		1	kΩ

15.7.3 PH0、PH1 出力について

A/D 変換中に PH0、PH1 出力を変化させると変換精度を保証できません。A/D 変換中に PH0、PH1 出力を変化させないでください。

15.7.4 ポート I の PFC 設定について

A/D 変換のアナログ入力端子であるポート I の機能切り替えは、A/D 変換起動時に自動的に行われるため、ポート I の PFC 設定は必要ありません。

15.7.5 A/D、D/A 同時変換について

D/A 変換器の D/A コントロールレジスタ (DACR) の DAE ビットが 0 の状態で D/A 変換しアナログ電圧出力中に、A/D 変換を開始するとアナログ電源電流が急に増加するため、D/A 変換器のアナログ出力にノイズが発生する場合があります。A/D 変換器と D/A 変換器を同時に使用する場合、あらかじめ DACR の DAE ビットを 1 にセットしておくことによりアナログ出力のノイズ発生を回避することができます。

ただし、DAE ビットを 1 にセットすると DACR の DAOE0、DAOE1 ビットおよび ADCSR の ADST ビットを 0 にクリアしてもアナログ電源から A/D、D/A 同時変換時と同じ電流が導かれます。

16. D/A 変換器

16.1 概要

本 LSI には 2 チャンネルの D/A 変換器が内蔵されています。

16.1.1 特長

D/A 変換器は次の特長を持っています。

- 8 ビットの分解能
- 2 つの出力チャンネル
- 変換時間：最大 10 μ s (容量性負荷：20pF)
- 出力電圧：0V ~ AV_{CC}

16.1.2 ブロック図

図 16.1 に D/A 変換器のブロック図を示します。

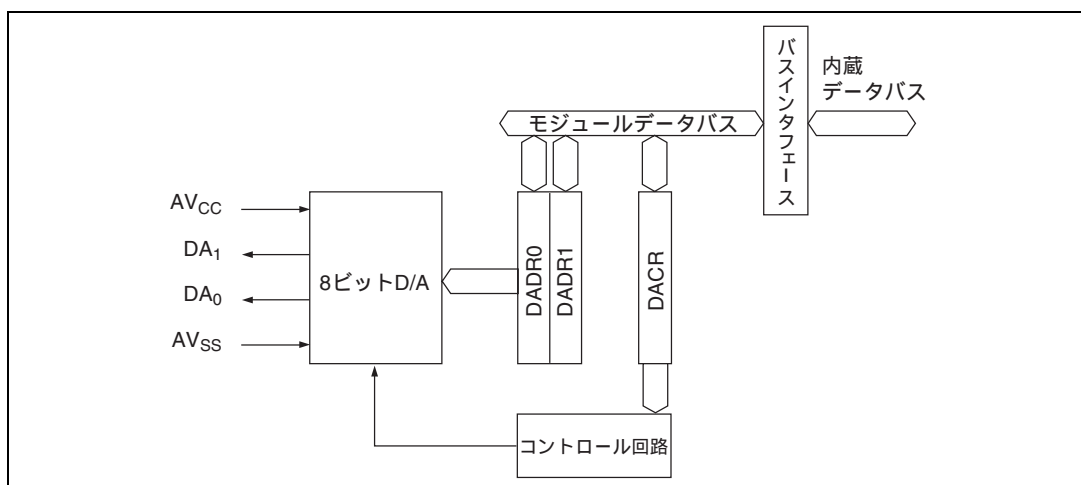


図 16.1 D/A 変換器のブロック図

16.1.3 入出力端子

表 16.1 に D/A 変換器の入力端子、出力端子を示します。

表 16.1 D/A 変換器の端子

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ電源
アナロググランド端子	AV _{SS}	入力	アナロググランドおよび基準電圧
アナログ出力端子 0	DA0	出力	アナログ出力、チャンネル 0
アナログ出力端子 1	DA1	出力	アナログ出力、チャンネル 1

16.1.4 レジスタ構成

表 16.2 に D/A 変換器のレジスタを示します。

表 16.2 D/A 変換器のレジスタ

名称	略称	R/W	初期値	アドレス	アクセスサイズ
D/A データレジスタ 0	DADR0	R/W	H'00	H'FFFF00C0	8, 16
D/A データレジスタ 1	DADR1	R/W	H'00	H'FFFF00C1	8, 16
D/A コントロールレジスタ	DACR	R/W	H'1F	H'FFFF00C2	8, 16

16.2 レジスタの説明

16.2.1 D/A データレジスタ 0、1 (DADR0、DADR1)

ビット:	7	6	5	4	3	2	1	0
ビット名:								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A データレジスタ (DADR0、DADR1) は、変換データを格納する読み出し / 書き込み可能な 8 ビットレジスタです。アナログ出力イネーブルのとき、D/A データレジスタの値はアナログ出力端子で常に変換、出力されます。

D/A データレジスタは、リセット、またはスタンバイモード時 H'00 に初期化されます。

16.2.2 D/A コントロールレジスタ (DACR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	-	-	-	-	-

DACR は、D/A 変換器の動作を制御する読み出し / 書き込み可能な 8 ビットレジスタです。

DACR は、リセット、またはスタンバイモード時 H'1F に初期化されます。

ビット 7 : D/A 出力イネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説 明	
DAOE1		
0	DA1 アナログ出力を禁止	(初期値)
1	チャンネル 1 の D/A 変換と DA1 アナログ出力を許可	

ビット 6 : D/A 出力イネーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6	説 明	
DAOE0		
0	DA0 アナログ出力を禁止	(初期値)
1	チャンネル 0 の D/A 変換と DA0 アナログ出力を許可	

ビット 5 : D/A イネーブル (DAE)

ビット DAOE0、DAOE1 とともに D/A 変換を制御します。DAE ビットを 0 にクリアすると、D/A 変換はチャンネル 0、チャンネル 1 で独立して制御されます。

ビット 7	ビット 6	ビット 5	説 明					
			チャンネル 1		チャンネル 0			
DAOE1	DAOE0	DAE	D/A 変換	アナログ出力	D/A 変換	アナログ出力		
0	0	0	停止	停止	停止	停止		
		1	実行		実行			
	1	0	停止		実行	実行	実行	
		1	実行					
1	0	0	実行	実行			停止	停止
		1					実行	
	1	0			実行	実行	実行	実行
		1						

DAE ビットは、A/D 変換器と D/A 変換器を同時に使用する場合に 1 にセットしてください。アナログ出力電圧への、A/D 変換器動作開始時に伴うノイズ発生を回避することができます。ただし、DAE ビットを 1 にセットすると、DACR の DAOE0、DAOE1 ビット、および ADCSR の ADST ビットを 0 にクリアしてもアナログ電源から A/D、D/A 同時変換時と同じ電流が導かれます。

ビット 4~0 : 予約ビット

読み出し専用ビットです。常に 1 が読み出されます。

16.3 動作の説明

D/A 変換器には、独立して変換を実行できる 2 つの内蔵 D/A 変換回路があります。

D/A 変換は DACR で許可状態のとき常に行われます。DADR0 または DADR1 の値を変更すると、新しいデータの変換を直ちに開始します。ビット DAOE0、DAOE1 を 1 にセットすると変換結果が出力されます。

チャンネル 0 の D/A 変換の例を次に示します。タイミングは図 16.2 に示します。

- (1) 変換対象のデータを DADR0 に書き込みます。
- (2) DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始し、DA0 は出力端子になります。変換結果は変換時間後に出力されます。出力値は $(\text{DADR0 内容} / 256) \times AV_{CC}$ です。この変換結果の出力は、DADR0 の値を変更するか DAOE0 ビットを 0 にクリアするまで続きます。
- (3) DADR0 値を変更すると、変換を直ちに開始し、結果は変換時間の後で出力されます。
- (4) DAOE0 ビットを 0 にクリアすると、DA0 は入力端子になります。

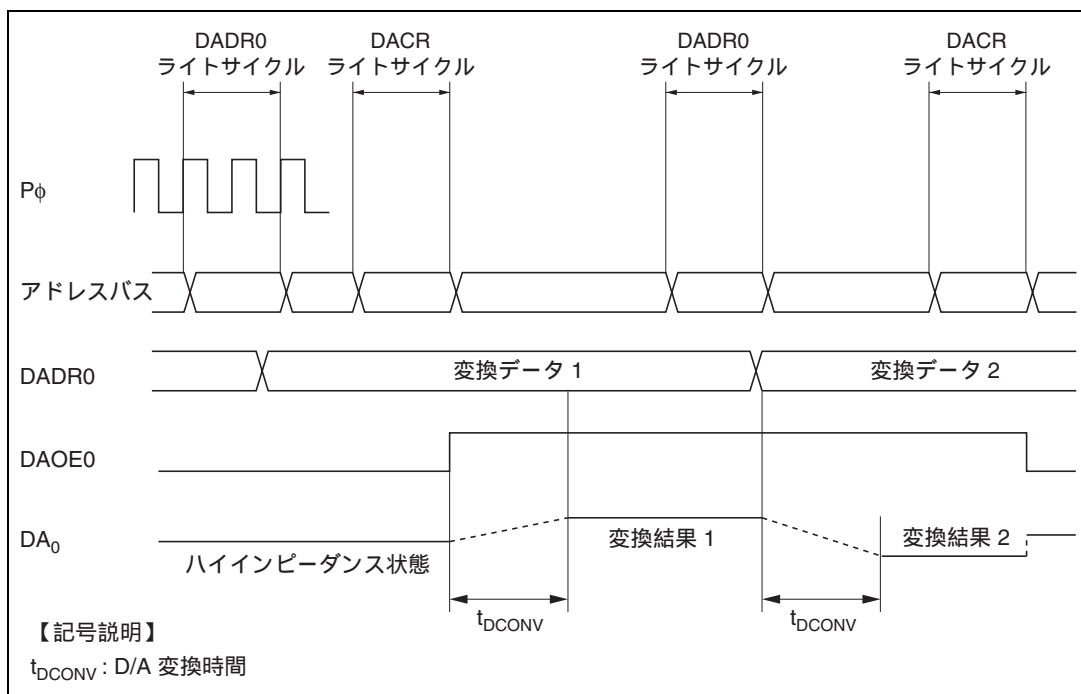


図 16.2 D/A 変換器動作の例

16.4 使用上の注意

DA0 端子からアナログ出力中に PH1 端子のデジタル出力を変化させると、DA0 のアナログ出力にノイズがのる場合があります。同様に DA1 端子からアナログ出力中に PH0 端子のデジタル出力を変化させると、DA1 のアナログ出力にノイズがのる場合があります。したがってアナログ出力中に PH0、PH1 の出力レベルを変化させる場合には注意が必要です。

なお、DA0 端子、DA1 端子への設定はポート H の PFC 端子で設定してください。

A/D 変換を同時に使用するとアナログ出力にノイズが発生する場合があります。DACR の DAE ビットを 1 にセットすることで回避できます。詳細は「15.7.5 A/D、D/A 同時変換について」を参照してください。

17. ピンファンクションコントローラ (PFC)

17.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 17.1 ~ 表 17.9 に、本 LSI のマルチプレクス端子を示します。また、マルチプレクス端子は、動作モードにより機能が限定されます。表 17.10 に各動作モード別に端子機能とその初期値を示します。

なお、本 PFC には使用上の注意事項がありますので、「17.4 ピンファンクションコントローラ (PFC) の制限事項」の内容をあらかじめご確認ください。

表 17.1 マルチプレクス一覧表 (ポート A)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
A	PA25 入出力 (ポート)	CS5 出力 (BSC)	-	-	-
	PA24 入出力 (ポート)	CS4 出力 (BSC)	-	-	-
	PA23 入出力 (ポート)	CS3 出力 (BSC)	-	-	-
	PA22 入出力 (ポート)	CS2 出力 (BSC)	-	-	-
	PA21 入出力 (ポート)	CS1 出力 (BSC)	-	-	-
	PA20 入出力 (ポート)	CS0 出力 (BSC)	-	-	-
	PA19 入出力 (ポート)	BS 出力 (BSC)	-	-	-
	PA18 入出力 (ポート)	RD 出力 (BSC)	-	-	-
	PA17 入出力 (ポート)	WR 出力 (BSC)	-	-	-
	PA16 入出力 (ポート)	WRHH 出力 (BSC)	HHBS 出力 (BSC)	TCLKC 入力 (TPU)	TIOC3A 入出力 (TPU)
	PA15 入出力 (ポート)	WRHL 出力 (BSC)	HLBS 出力 (BSC)	TCLKD 入力 (TPU)	TIOC3B 入出力 (TPU)
	PA14 入出力 (ポート)	WRLH 出力 (BSC)	LHBS 出力 (BSC)	-	-
	PA13 入出力 (ポート)	WRLL 出力 (BSC)	LLBS 出力 (BSC)	-	-
	PA12 入出力 (ポート)	WAIT 入力 (BSC)	-	-	-

17. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
A	PA9 入出力 (ポート)	RAS $\bar{1}$ 出力 (BSC)	-	-	-
	PA8 入出力 (ポート)	RAS $\bar{0}$ 出力 (BSC)	-	-	-
	PA1 入出力 (ポート)	OE $\bar{1}$ 出力 (BSC)	-	-	-
	PA0 入出力 (ポート)	OE $\bar{0}$ 出力 (BSC)	-	-	-

表 17.2 マルチプレクス一覧表 (ポート B)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
B	PB23 入出力 (ポート)	CASH $\bar{1}$ 出力 (BSC)	TxD1 出力 (SCI)	TEND $\bar{0}$ 出力 (DMAC)	-
	PB22 入出力 (ポート)	CASH $\bar{1}$ 出力 (BSC)	RxD1 入力 (SCI)	TEND $\bar{1}$ 出力 (DMAC)	-
	PB21 入出力 (ポート)	CASL $\bar{1}$ 出力 (BSC)	-	-	-
	PB20 入出力 (ポート)	CASL $\bar{1}$ 出力 (BSC)	-	-	-
	PB19 入出力 (ポート)	CASH $\bar{0}$ 出力 (BSC)	TxD0 出力 (SCI)	-	-
	PB18 入出力 (ポート)	CASH $\bar{0}$ 出力 (BSC)	RxD0 入力 (SCI)	-	-
	PB17 入出力 (ポート)	CASL $\bar{0}$ 出力 (BSC)	-	-	-
	PB16 入出力 (ポート)	CASL $\bar{0}$ 出力 (BSC)	-	-	-
	PB13 入出力 (ポート)	RDWR 出力 (BSC)	-	-	-
	PB7 入出力 (ポート)	BACK 出力 (BSC)	-	-	-
	PB6 入出力 (ポート)	BREQ 入力 (BSC)	-	-	-

表 17.3 マルチプレクス一覧表 (ポート C)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
C	PC25 入出力 (ポート)	A25 出力 (BSC)	TIOC3B 入出力 (TPU)	TCLKD 入力 (TPU)
	PC24 入出力 (ポート)	A24 出力 (BSC)	TIOC3A 入出力 (TPU)	TCLKC 入力 (TPU)
	PC23 入出力 (ポート)	A23 出力 (BSC)	TIOC1B 入出力 (TPU)	TCLKB 入力 (TPU)
	PC22 入出力 (ポート)	A22 出力 (BSC)	TIOC1A 入出力 (TPU)	TCLKA 入力 (TPU)
	PC21 入出力 (ポート)	A21 出力 (BSC)	TIOC5B 入出力 (TPU)	-
	PC20 入出力 (ポート)	A20 出力 (BSC)	TIOC5A 入出力 (TPU)	-
	PC19 入出力 (ポート)	A19 出力 (BSC)	TIOC4B 入出力 (TPU)	-
	PC18 入出力 (ポート)	A18 出力 (BSC)	TIOC4A 入出力 (TPU)	-
	PC17 入出力 (ポート)	A17 出力 (BSC)	TIOC3B 入出力 (TPU)	-
	PC16 入出力 (ポート)	A16 出力 (BSC)	TIOC3A 入出力 (TPU)	-
	PC15 入出力 (ポート)	A15 出力 (BSC)	TIOC3D 入出力 (TPU)	-
	PC14 入出力 (ポート)	A14 出力 (BSC)	TIOC3C 入出力 (TPU)	-
	PC13 入出力 (ポート)	A13 出力 (BSC)	-	-
	PC12 入出力 (ポート)	A12 出力 (BSC)	-	-
	PC11 入出力 (ポート)	A11 出力 (BSC)	-	-
	PC10 入出力 (ポート)	A10 出力 (BSC)	-	-
	PC9 入出力 (ポート)	A9 出力 (BSC)	-	-
	PC8 入出力 (ポート)	A8 出力 (BSC)	-	-
	PC7 入出力 (ポート)	A7 出力 (BSC)	-	-
	PC6 入出力 (ポート)	A6 出力 (BSC)	-	-
PC5 入出力 (ポート)	A5 出力 (BSC)	-	-	
PC4 入出力 (ポート)	A4 出力 (BSC)	-	-	
PC3 入出力 (ポート)	A3 出力 (BSC)	-	-	
PC2 入出力 (ポート)	A2 出力 (BSC)	-	-	
PC1 入出力 (ポート)	A1 出力 (BSC)	-	-	
PC0 入出力 (ポート)	A0 出力 (BSC)	-	-	

17. ピンファンクションコントローラ (PFC)

表 17.4 マルチプレクス一覧表 (ポート D)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
D	PD31 入出力 (ポート)	D31 入出力 (BSC)	RxD2 入力 (SCI)	TIOC5A 入出力 (TPU)	-
	PD30 入出力 (ポート)	D30 入出力 (BSC)	TxD2 出力 (SCI)	TIOC4B 入出力 (TPU)	-
	PD29 入出力 (ポート)	D29 入出力 (BSC)	SCK2 入出力 (SCI)	TIOC4A 入出力 (TPU)	-
	PD28 入出力 (ポート)	D28 入出力 (BSC)	TCLKB 入力 (TPU)	TIOC3D 入出力 (TPU)	-
	PD27 入出力 (ポート)	D27 入出力 (BSC)	TCLKA 入力 (TPU)	TIOC3C 入出力 (TPU)	-
	PD26 入出力 (ポート)	D26 入出力 (BSC)	PWOB 出力 (MMT)	-	-
	PD25 入出力 (ポート)	D25 入出力 (BSC)	PVOB 出力 (MMT)	-	-
	PD24 入出力 (ポート)	D24 入出力 (BSC)	PUOB 出力 (MMT)	-	-
	PD23 入出力 (ポート)	D23 入出力 (BSC)	PCO 出力 (MMT)	PCI 入力 (MMT)	SCK1 入出力 (SCI)
	PD22 入出力 (ポート)	D22 入出力 (BSC)	PWOA 出力 (MMT)	SCK0 入出力 (SCI)	-
	PD21 入出力 (ポート)	D21 入出力 (BSC)	PVOA 出力 (MMT)	$\overline{\text{IRQ}}7$ 入力 (INTC)	-
	PD20 入出力 (ポート)	D20 入出力 (BSC)	PUOA 出力 (MMT)	$\overline{\text{IRQ}}6$ 入力 (INTC)	-
	PD19 入出力 (ポート)	D19 入出力 (BSC)	$\overline{\text{POE}}3$ 入力 (MMT)	$\overline{\text{IRQ}}5$ 入力 (INTC)	-
	PD18 入出力 (ポート)	D18 入出力 (BSC)	$\overline{\text{POE}}2$ 入力 (MMT)	$\overline{\text{IRQ}}4$ 入力 (INTC)	-
	PD17 入出力 (ポート)	D17 入出力 (BSC)	$\overline{\text{POE}}1$ 入力 (MMT)	$\overline{\text{ADTRG}}$ 入力 (A/D)	-
	PD16 入出力 (ポート)	D16 入出力 (BSC)	$\overline{\text{POE}}0$ 入力 (MMT)	-	-
	PD15 入出力 (ポート)	D15 入出力 (BSC)	TIOC5B 入出力 (TPU)	-	-
	PD14 入出力 (ポート)	D14 入出力 (BSC)	TIOC5A 入出力 (TPU)	-	-
	PD13 入出力 (ポート)	D13 入出力 (BSC)	TIOC4B 入出力 (TPU)	-	-
	PD12 入出力 (ポート)	D12 入出力 (BSC)	TIOC4A 入出力 (TPU)	-	-
PD11 入出力 (ポート)	D11 入出力 (BSC)	TIOC2B 入出力 (TPU)	-	-	
PD10 入出力 (ポート)	D10 入出力 (BSC)	TIOC2A 入出力 (TPU)	-	-	

17. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
D	PD9 入出力 (ポート)	D9 入出力 (BSC)	TIOC1B 入出力 (TPU)	-	-
	PD8 入出力 (ポート)	D8 入出力 (BSC)	TIOC1A 入出力 (TPU)	-	-
	PD7 入出力 (ポート)	D7 入出力 (BSC)	-	-	-
	PD6 入出力 (ポート)	D6 入出力 (BSC)	-	-	-
	PD5 入出力 (ポート)	D5 入出力 (BSC)	-	-	-
	PD4 入出力 (ポート)	D4 入出力 (BSC)	-	-	-
	PD3 入出力 (ポート)	D3 入出力 (BSC)	-	-	-
	PD2 入出力 (ポート)	D2 入出力 (BSC)	-	-	-
	PD1 入出力 (ポート)	D1 入出力 (BSC)	-	-	-
	PD0 入出力 (ポート)	D0 入出力 (BSC)	-	-	-

表 17.5 マルチプレクス一覧表 (ポート E)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
E	PE23 入出力 (ポート)	IRQ7 入力 (INTC)	PWOB 出力 (MMT)	-
	PE22 入出力 (ポート)	IRQ6 入力 (INTC)	PVOB 出力 (MMT)	-
	PE21 入出力 (ポート)	IRQ5 入力 (INTC)	PUOB 出力 (MMT)	-
	PE20 入出力 (ポート)	IRQ4 入力 (INTC)	PCO 出力 (MMT)	PCI 入力 (MMT)
	PE19 入出力 (ポート)	IRQ3 入力 (INTC)	PWOA 出力 (MMT)	-
	PE18 入出力 (ポート)	IRQ2 入力 (INTC)	PVOA 出力 (MMT)	-
	PE17 入出力 (ポート)	IRQ1 入力 (INTC)	PUOA 出力 (MMT)	SCK0 入出力 (SCI)
	PE16 入出力 (ポート)	IRQ0 入力 (INTC)	SCK1 入出力 (SCI)	AH 出力 (BSC)
	PE15 入出力 (ポート)	IRQ7 入力 (INTC)	-	-
	PE14 入出力 (ポート)	IRQ6 入力 (INTC)	-	-
	PE13 入出力 (ポート)	IRQ5 入力 (INTC)	-	-
	PE12 入出力 (ポート)	IRQ4 入力 (INTC)	-	-

17. ピンファンクションコントローラ (PFC)

表 17.6 マルチプレクス一覧表 (ポート F)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
F	PF7 入出力 (ポート)	$\overline{DREQ1}$ 入力 (DMAC)	\overline{IRQOUT} 出力 (INTC)	TIOC0D 入出力 (TPU)
	PF6 入出力 (ポート)	$\overline{DRAK1}$ 出力 (DMAC)	TxD1 出力 (SCI)	TIOC2A 入出力 (TPU)
	PF5 入出力 (ポート)	$\overline{DACK1}$ 出力 (DMAC)	RxD1 入力 (SCI)	TIOC2B 入出力 (TPU)
	PF3 入出力 (ポート)	$\overline{DREQ0}$ 入力 (DMAC)	TIOC0A 入出力 (TPU)	-
	PF2 入出力 (ポート)	$\overline{DRAK0}$ 出力 (DMAC)	TIOC0C 入出力 (TPU)	-
	PF1 入出力 (ポート)	$\overline{DACK0}$ 出力 (DMAC)	TIOC0B 入出力 (TPU)	-

表 17.7 マルチプレクス一覧表 (ポート G)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
G	PG31 入出力 (ポート)	RxD2 入力 (SCI)	-	-
	PG30 入出力 (ポート)	TxD2 出力 (SCI)	-	-
	PG29 入出力 (ポート)	SCK2 入出力 (SCI)	-	-

表 17.8 マルチプレクス一覧表 (ポート H)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
H	PH1 入出力 (ポート)	DA1 出力 (D/A)	-	-
	PH0 入出力 (ポート)	DA0 出力 (D/A)	-	-

表 17.9 マルチプレクス一覧表 (ポート I)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
I	PI7 入力 (ポート)	AN7 入力 (A/D)	-	-
	PI6 入力 (ポート)	AN6 入力 (A/D)	-	-
	PI5 入力 (ポート)	AN5 入力 (A/D)	-	-
	PI4 入力 (ポート)	AN4 入力 (A/D)	-	-
	PI3 入力 (ポート)	AN3 入力 (A/D)	-	-
	PI2 入力 (ポート)	AN2 入力 (A/D)	-	-
	PI1 入力 (ポート)	AN1 入力 (A/D)	-	-
	PI0 入力 (ポート)	AN0 入力 (A/D)	-	-

【注】 ポート I の機能 2 (AN7 ~ AN0 入力) への切り替えは、A/D 変換器の起動時点で自動的に行われます。機能 1 (ポート入力) への切り替えも A/D 変換終了時に自動的に行われます。

17. ピンファンクションコントローラ (PFC)

表 17.10 動作モード別端子機能一覧

PIN 番号	端子名									
	内蔵 ROM 無効						内蔵 ROM 有効			
	MCU モード 4		MCU モード 3		MCU モード 2		MCU モード 1		シングルチップ モード	
	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能
17, 26, 39, 48, 58, 70, 79, 92, 105, 118, 126, 140	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
10, 13, 21, 25, 31, 38, 45, 54, 64, 76, 88, 89, 101, 110, 113, 124, 128, 133, 135, 147	Vss	Vss	Vss	Vss	Vss	Vss	Vss	Vss	Vss	Vss
5, 160, 173	PVcc	PVcc	PVcc	PVcc	PVcc	PVcc	PVcc	PVcc	PVcc	PVcc
1, 166	PVss	PVss	PVss	PVss	PVss	PVss	PVss	PVss	PVss	PVss
129	PLLVcc	PLLVcc	PLLVcc	PLLVcc	PLLVcc	PLLVcc	PLLVcc	PLLVcc	PLLVcc	PLLVcc
132	PLLVss	PLLVss	PLLVss	PLLVss	PLLVss	PLLVss	PLLVss	PLLVss	PLLVss	PLLVss
130	PLLCAP1	PLLCAP1	PLLCAP1	PLLCAP1	PLLCAP1	PLLCAP1	PLLCAP1	PLLCAP1	PLLCAP1	PLLCAP1
131	PLLCAP2	PLLCAP2	PLLCAP2	PLLCAP2	PLLCAP2	PLLCAP2	PLLCAP2	PLLCAP2	PLLCAP2	PLLCAP2
159	AVcc	AVcc	AVcc	AVcc	AVcc	AVcc	AVcc	AVcc	AVcc	AVcc
148	AVss	AVss	AVss	AVss	AVss	AVss	AVss	AVss	AVss	AVss
114	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
112	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL
127	CKIO	CKIO	CKIO	CKIO	CKIO	CKIO	CKIO	CKIO	CKIO	CKIO
134	CK	CK	CK	CK	CK	CK	CK	CK	CK	CK
123	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES
146	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF
125	HSTBY	HSTBY	HSTBY	HSTBY	HSTBY	HSTBY	HSTBY	HSTBY	HSTBY	HSTBY
121	MD5	MD5	MD5	MD5	MD5	MD5	MD5	MD5	MD5	MD5
119	MD4	MD4	MD4	MD4	MD4	MD4	MD4	MD4	MD4	MD4

17. ピンファンクションコントローラ (PFC)

PIN 番号	端子名									
	内蔵 ROM 無効						内蔵 ROM 有効			
	MCU モード 4		MCU モード 3		MCU モード 2		MCU モード 1		シングルチップ モード	
	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能
117	MD3	MD3	MD3	MD3	MD3	MD3	MD3	MD3	MD3	MD3
116	MD2	MD2	MD2	MD2	MD2	MD2	MD2	MD2	MD2	MD2
115	MD1	MD1	MD1	MD1	MD1	MD1	MD1	MD1	MD1	MD1
111	MD0	MD0	MD0	MD0	MD0	MD0	MD0	MD0	MD0	MD0
122	NMI	NMI	NMI	NMI	NMI	NMI	NMI	NMI	NMI	NMI
120	FWE	FWE	FWE	FWE	FWE	FWE	FWE	FWE	FWE	FWE
41	PA25	PA25/ <u>CS5</u>	PA25	PA25/ <u>CS5</u>	PA25	PA25/ <u>CS5</u>	PA25	PA25/ <u>CS5</u>	PA25	PA25
42	PA24	PA24/ <u>CS4</u>	PA24	PA24/ <u>CS4</u>	PA24	PA24/ <u>CS4</u>	PA24	PA24/ <u>CS4</u>	PA24	PA24
43	PA23	PA23/ <u>CS3</u>	PA23	PA23/ <u>CS3</u>	PA23	PA23/ <u>CS3</u>	PA23	PA23/ <u>CS3</u>	PA23	PA23
44	PA22	PA22/ <u>CS2</u>	PA22	PA22/ <u>CS2</u>	PA22	PA22/ <u>CS2</u>	PA22	PA22/ <u>CS2</u>	PA22	PA22
46	PA21	PA21/ <u>CS1</u>	PA21	PA21/ <u>CS1</u>	PA21	PA21/ <u>CS1</u>	PA21	PA21/ <u>CS1</u>	PA21	PA21
47	CS0	CS0	CS0	CS0	CS0	CS0	PA20	PA20/ <u>CS0</u>	PA20	PA20
142	BS	BS	BS	BS	BS	BS	PA19	PA19/ <u>BS</u>	PA19	PA19
49	RD	RD	RD	RD	RD	RD	PA18	PA18/ <u>RD</u>	PA18	PA18
50	PA17	PA17/ <u>WR</u>	PA17	PA17/ <u>WR</u>	PA17	PA17/ <u>WR</u>	PA17	PA17/ <u>WR</u>	PA17	PA17
51	WRHH	WRHH/ HHBS/ TCLKC/ TIOC3A	WRHH	WRHH/ HHBS/ TCLKC/ TIOC3A	WRHH	WRHH/ HHBS/ TCLKC/ TIOC3A	PA16	PA16/ WRHH/ HHBS/ TCLKC/ TIOC3A	PA16	PA16/ TCLKC/ TIOC3A
52	WRHL	WRHL/ HLBS/ TCLKD/ TIOC3B	WRHL	WRHL/ HLBS/ TCLKD/ TIOC3B	WRHL	WRHL/ HLBS/ TCLKD/ TIOC3B	PA15	PA15/ WRHL/ HLBS/ TCLKD/ TIOC3B	PA15	PA15/ TCLKD/ TIOC3B
53	WRLH	WRLH/ LHBS	WRLH	WRLH/ LHBS	WRLH	WRLH/ LHBS	PA14	PA14/ WRLH/ LHBS	PA14	PA14
55	WRLL	WRLL/ LLBS	WRLL	WRLL/ LLBS	WRLL	WRLL/ LLBS	PA13	PA13/ WRLL/ LLBS	PA13	PA13
56	PA12	PA12/ <u>WAIT</u>	PA12	PA12/ <u>WAIT</u>	PA12	PA12/ <u>WAIT</u>	PA12	PA12/ <u>WAIT</u>	PA12	PA12
57	PA9	PA9/ <u>RAS1</u>	PA9	PA9/ <u>RAS1</u>	PA9	PA9/ <u>RAS1</u>	PA9	PA9/ <u>RAS1</u>	PA9	PA9
59	PA8	PA8/ <u>RAS0</u>	PA8	PA8/ <u>RAS0</u>	PA8	PA8/ <u>RAS0</u>	PA8	PA8/ <u>RAS0</u>	PA8	PA8
136	PA1	PA1/ <u>OE1</u>	PA1	PA1/ <u>OE1</u>	PA1	PA1/ <u>OE1</u>	PA1	PA1/ <u>OE1</u>	PA1	PA1
137	PA0	PA0/ <u>OE0</u>	PA0	PA0/ <u>OE0</u>	PA0	PA0/ <u>OE0</u>	PA0	PA0/ <u>OE0</u>	PA0	PA0
60	PB23	PB23/ CASHH1/ TxD1/ TEND0	PB23	PB23/ CASHH1/ TxD1/ TEND0	PB23	PB23/ CASHH1/ TxD1/ TEND0	PB23	PB23/ CASHH1/ TxD1/ TEND0	PB23	PB23/TxD1

17. ピンファンクションコントローラ (PFC)

PIN 番号	端子名									
	内蔵 ROM 無効						内蔵 ROM 有効			
	MCU モード 4		MCU モード 3		MCU モード 2		MCU モード 1		シングルチップ モード	
	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能
61	PB22	PB22/ CASHL1/ RxD1/ TEND1	PB22	PB22/ CASHL1/ RxD1/ TEND1	PB22	PB22/ CASHL1/ RxD1/ TEND1	PB22	PB22/ CASHL1/ RxD1/ TEND1	PB22	PB22/RxD1
62	PB21	PB21/ CASLH1	PB21	PB21/ CASLH1	PB21	PB21/ CASLH1	PB21	PB21/ CASLH1	PB21	PB21
63	PB20	PB20/ CASLLT	PB20	PB20/ CASLLT	PB20	PB20/ CASLLT	PB20	PB20/ CASLLT	PB20	PB20
65	PB19	PB19/ CASHH0/ TxD0	PB19	PB19/ CASHH0/ TxD0	PB19	PB19/ CASHH0/ TxD0	PB19	PB19/ CASHH0/ TxD0	PB19	PB19/TxD0
66	PB18	PB18/ CASHL0/ RxD0	PB18	PB18/ CASHL0/ RxD0	PB18	PB18/ CASHL0/ RxD0	PB18	PB18/ CASHL0/ RxD0	PB18	PB18/RxD0
67	PB17	PB17/ CASLH0	PB17	PB17/ CASLH0	PB17	PB17/ CASLH0	PB17	PB17/ CASLH0	PB17	PB17
68	PB16	PB16/ CASLL0	PB16	PB16/ CASLL0	PB16	PB16/ CASLL0	PB16	PB16/ CASLL0	PB16	PB16
69	PB13	PB13/ RDWR	PB13	PB13/ RDWR	PB13	PB13/ RDWR	PB13	PB13/ RDWR	PB13	PB13
164	PB7	PB7/BACK	PB7	PB7/BACK	PB7	PB7/BACK	PB7	PB7/BACK	PB7	PB7
165	PB6	PB6/BREQ	PB6	PB6/BREQ	PB6	PB6/BREQ	PB6	PB6/BREQ	PB6	PB6
40	A25	A25/ TIOC3B/ TCLKD	A25	A25/ TIOC3B/ TCLKD	A25	A25/ TIOC3B/ TCLKD	PC25	PC25/A25/ TIOC3B/ TCLKD	PC25	PC25/ TIOC3B/ TCLKD
37	A24	A24/ TIOC3A/ TCLKC	A24	A24/ TIOC3A/ TCLKC	A24	A24/ TIOC3A/ TCLKC	PC24	PC24/A24/ TIOC3A/ TCLKC	PC24	PC24/ TIOC3A/ TCLKC
36	A23	A23/ TIOC1B/ TCLKB	A23	A23/ TIOC1B/ TCLKB	A23	A23/ TIOC1B/ TCLKB	PC23	PC23/A23/ TIOC1B/ TCLKB	PC23	PC23/ TIOC1B/ TCLKB
35	A22	A22/ TIOC1A/ TCLKA	A22	A22/ TIOC1A/ TCLKA	A22	A22/ TIOC1A/ TCLKA	PC22	PC22/A22/ TIOC1A/ TCLKA	PC22	PC22/ TIOC1A/ TCLKA
34	A21	A21/ TIOC5B	A21	A21/ TIOC5B	A21	A21/ TIOC5B	PC21	PC21/A21/ TIOC5B	PC21	PC21/ TIOC5B
33	A20	A20/ TIOC5A	A20	A20/ TIOC5A	A20	A20/ TIOC5A	PC20	PC20/A20/ TIOC5A	PC20	PC20/ TIOC5A
32	A19	A19/ TIOC4B	A19	A19/ TIOC4B	A19	A19/ TIOC4B	PC19	PC19/A19/ TIOC4B	PC19	PC19/ TIOC4B
30	A18	A18/ TIOC4A	A18	A18/ TIOC4A	A18	A18/ TIOC4A	PC18	PC18/A18/ TIOC4A	PC18	PC18/ TIOC4A

17. ピンファンクションコントローラ (PFC)

PIN 番号	端子名									
	内蔵 ROM 無効						内蔵 ROM 有効			
	MCU モード 4		MCU モード 3		MCU モード 2		MCU モード 1		シングルチップ モード	
	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能
29	A17	A17/ TIOC3B	A17	A17/ TIOC3B	A17	A17/ TIOC3B	PC17	PC17/A17/ TIOC3B	PC17	PC17/ TIOC3B
28	A16	A16/ TIOC3A	A16	A16/ TIOC3A	A16	A16/ TIOC3A	PC16	PC16/A16/ TIOC3A	PC16	PC16/ TIOC3A
27	A15	A15/ TIOC3D	A15	A15/ TIOC3D	A15	A15/ TIOC3D	PC15	PC15/A15/ TIOC3D	PC15	PC15/ TIOC3D
24	A14	A14/ TIOC3C	A14	A14/ TIOC3C	A14	A14/ TIOC3C	PC14	PC14/A14/ TIOC3C	PC14	PC14/ TIOC3C
23	A13	A13	A13	A13	A13	A13	PC13	PC13/A13	PC13	PC13
22	A12	A12	A12	A12	A12	A12	PC12	PC12/A12	PC12	PC12
20	A11	A11	A11	A11	A11	A11	PC11	PC11/A11	PC11	PC11
19	A10	A10	A10	A10	A10	A10	PC10	PC10/A10	PC10	PC10
18	A9	A9	A9	A9	A9	A9	PC9	PC9/A9	PC9	PC9
16	A8	A8	A8	A8	A8	A8	PC8	PC8/A8	PC8	PC8
15	A7	A7	A7	A7	A7	A7	PC7	PC7/A7	PC7	PC7
14	A6	A6	A6	A6	A6	A6	PC6	PC6/A6	PC6	PC6
12	A5	A5	A5	A5	A5	A5	PC5	PC5/A5	PC5	PC5
11	A4	A4	A4	A4	A4	A4	PC4	PC4/A4	PC4	PC4
9	A3	A3	A3	A3	A3	A3	PC3	PC3/A3	PC3	PC3
8	A2	A2	A2	A2	A2	A2	PC2	PC2/A2	PC2	PC2
7	A1	A1	A1	A1	A1	A1	PC1	PC1/A1	PC1	PC1
6	A0	A0	A0	A0	A0	A0	PC0	PC0/A0	PC0	PC0
71	PD31	PD31/D31/ RxD2/ TIOC5A	PD31	PD31/D31/ RxD2/ TIOC5A	D31	D31/RxD2/ TIOC5A	PD31	PD31/D31/ RxD2/ TIOC5A	PD31	PD31/RxD2/ TIOC5A
72	PD30	PD30/D30/ TxD2/ TIOC4B	PD30	PD30/D30/ TxD2/ TIOC4B	D30	D30/TxD2/ TIOC4B	PD30	PD30/D30/ TxD2/ TIOC4B	PD30	PD30/TxD2/ TIOC4B
73	PD29	PD29/D29/ SCK2/ TIOC4A	PD29	PD29/D29/ SCK2/ TIOC4A	D29	D29/SCK2/ TIOC4A	PD29	PD29/D29/ SCK2/ TIOC4A	PD29	PD29/ SCK2/ TIOC4A
74	PD28	PD28/D28/ TCLKB/ TIOC3D	PD28	PD28/D28/ TCLKB/ TIOC3D	D28	D28/ TCLKB/ TIOC3D	PD28	PD28/D28/ TCLKB/ TIOC3D	PD28	PD28/ TCLKB/ TIOC3D
75	PD27	PD27/D27/ TCLKA/ TIOC3C	PD27	PD27/D27/ TCLKA/ TIOC3C	D27	D27/ TCLKA/ TIOC3C	PD27	PD27/D27/ TCLKA/ TIOC3C	PD27	PD27/ TCLKA/ TIOC3C
77	PD26	PD26/D26/ PWOB	PD26	PD26/D26/ PWOB	D26	D26/PWOB	PD26	PD26/D26/ PWOB	PD26	PD26/ PWOB
78	PD25	PD25/D25/ PVOB	PD25	PD25/D25/ PVOB	D25	D25/PVOB	PD25	PD25/D25/ PVOB	PD25	PD25/ PVOB

17. ピンファンクションコントローラ (PFC)

PIN 番号	端子名									
	内蔵 ROM 無効						内蔵 ROM 有効			
	MCU モード 4		MCU モード 3		MCU モード 2		MCU モード 1		シングルチップ モード	
	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能
80	PD24	PD24/D24/ PUOB	PD24	PD24/D24/ PUOB	D24	D24/PUOB	PD24	PD24/D24/ PUOB	PD24	PD24/PUOB
81	PD23	PD23/D23/ PCO/PCI/ SCK1	PD23	PD23/D23/ PCO/PCI/ SCK1	D23	D23/PCO/ PCI/SCK1	PD23	PD23/D23/ PCO/PCI/ SCK1	PD23	PD23/PCO/ PCI/SCK1
82	PD22	PD22/D22/ PWOA/ SCK0	PD22	PD22/D22/ PWOA/ SCK0	D22	D22/PWOA/ SCK0	PD22	PD22/D22/ PWOA/ SCK0	PD22	D22/PWOA/ SCK0
83	PD21	PD21/D21/ PVOA/ IRQ7	PD21	PD21/D21/ PVOA/ IRQ7	D21	D21/PVOA/ IRQ7	PD21	PD21/D21/ PVOA/IRQ7	PD21	D21/PVOA/ IRQ7
84	PD20	PD20/D20/ PUOA/ IRQ6	PD20	PD20/D20/ PUOA/ IRQ6	D20	D20/ PUOA/ IRQ6	PD20	PD20/D20/ PUOA/ IRQ6	PD20	PD20/ PUOA/ IRQ6
85	PD19	PD19/D19/ POE3/IRQ5	PD19	PD19/D19/ POE3/IRQ5	D19	D19/POE3/ IRQ5	PD19	PD19/D19/ POE3/IRQ5	PD19	D19/POE3/ IRQ5
86	PD18	PD18/D18/ POE2/IRQ4	PD18	PD18/D18/ POE2/IRQ4	D18	D18/POE2/ IRQ4	PD18	PD18/D18/ POE2/IRQ4	PD18	D18/POE2/ IRQ4
87	PD17	PD17/D17/ POE1/ ADTRG	PD17	PD17/D17/ POE1/ ADTRG	D17	D17/POE1/ ADTRG	PD17	PD17/D17/ POE1/ ADTRG	PD17	D17/POE1/ ADTRG
90	PD16	PD16/D16/ POE0	PD16	PD16/D16/ POE0	D16	D16/POE0	PD16	PD16/D16/ POE0	PD16	D16/POE0
91	PD15	D15/ TIOC5B	D15	D15/ TIOC5B	D15	D15/ TIOC5B	PD15	PD15/D15/ TIOC5B	PD15	PD15/ TIOC5B
93	PD14	D14/ TIOC5A	D14	D14/ TIOC5A	D14	D14/ TIOC5A	PD14	PD14/D14/ TIOC5A	PD14	PD14/ TIOC5A
94	PD13	D13/ TIOC4B	D13	D13/ TIOC4B	D13	D13/ TIOC4B	PD13	PD13/D13/ TIOC4B	PD13	PD13/ TIOC4B
95	PD12	D12/ TIOC4A	D12	D12/ TIOC4A	D12	D12/ TIOC4A	PD12	PD12/D12/ TIOC4A	PD12	PD12/ TIOC4A
96	PD11	D11/ TIOC2B	D11	D11/ TIOC2B	D11	D11/ TIOC2B	PD11	PD11/D11/ TIOC2B	PD11	PD11/ TIOC2B
97	PD10	D10/ TIOC2A	D10	D10/ TIOC2A	D10	D10/ TIOC2A	PD10	PD10/D10/ TIOC2A	PD10	PD10/ TIOC2A
98	PD9	D9/TIOC1B	D9	D9/TIOC1B	D9	D9/TIOC1B	PD9	PD9/D9/ TIOC1B	PD9	D9/TIOC1B
99	PD8	D8/TIOC1A	D8	D8/TIOC1A	D8	D8/TIOC1A	PD8	PD8/D8/ TIOC1A	PD8	D8/TIOC1A
100	D7	D7	D7	D7	D7	D7	PD7	PD7/D7	PD7	PD7
102	D6	D6	D6	D6	D6	D6	PD6	PD6/D6	PD6	PD6

17. ピンファンクションコントローラ (PFC)

PIN 番号	端子名									
	内蔵 ROM 無効						内蔵 ROM 有効			
	MCU モード 4		MCU モード 3		MCU モード 2		MCU モード 1		シングルチップ モード	
	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能
103	D5	D5	D5	D5	D5	D5	PD5	PD5/D5	PD5	PD5
104	D4	D4	D4	D4	D4	D4	PD4	PD4/D4	PD4	PD4
106	D3	D3	D3	D3	D3	D3	PD3	PD3/D3	PD3	PD3
107	D2	D2	D2	D2	D2	D2	PD2	PD2/D2	PD2	PD2
108	D1	D1	D1	D1	D1	D1	PD1	PD1/D1	PD1	PD1
109	D0	D0	D0	D0	D0	D0	PD0	PD0/D0	PD0	PD0
167	PE23	PE23/IRQ7/ PWOB	PE23	PE23/IRQ7/ PWOB	PE23	PE23/IRQ7/ PWOB	PE23	PE23/IRQ7/ PWOB	PE23	PE23/IRQ7/ PWOB
168	PE22	PE22/IRQ6/ PVOB	PE22	PE22/IRQ6/ PVOB	PE22	PE22/IRQ6/ PVOB	PE22	PE22/IRQ6/ PVOB	PE22	PE22/IRQ6/ PVOB
169	PE21	PE21/IRQ5/ PUOB	PE21	PE21/IRQ5/ PUOB	PE21	PE21/IRQ5/ PUOB	PE21	PE21/IRQ5/ PUOB	PE21	PE21/IRQ5/ PUOB
170	PE20	PE20/IRQ4/ PCO/PCI	PE20	PE20/IRQ4/ PCO/PCI	PE20	PE20/IRQ4/ PCO/PCI	PE20	PE20/IRQ4/ PCO/PCI	PE20	PE20/IRQ4/ PCO/PCI
171	PE19	PE19/IRQ3/ PWOA	PE19	PE19/IRQ3/ PWOA	PE19	PE19/IRQ3/ PWOA	PE19	PE19/IRQ3/ PWOA	PE19	PE19/IRQ3/ PWOA
172	PE18	PE18/IRQ2/ PVOA	PE18	PE18/IRQ2/ PVOA	PE18	PE18/IRQ2/ PVOA	PE18	PE18/IRQ2/ PVOA	PE18	PE18/IRQ2/ PVOA
174	PE17	PE17/IRQ1/ PUOA/ SCK0	PE17	PE17/IRQ1/ PUOA/ SCK0	PE17	PE17/IRQ1/ PUOA/ SCK0	PE17	PE17/IRQ1/ PUOA/ SCK0	PE17	PE17/IRQ1/ PUOA/ SCK0
175	PE16	PE16/IRQ0/ SCK1/AH	PE16	PE16/IRQ0/ SCK1/AH	PE16	PE16/IRQ0/ SCK1/AH	PE16	PE16/IRQ0/ SCK1/AH	PE16	PE16/IRQ0/ SCK1
176	PE15	PE15/IRQ7	PE15	PE15/IRQ7	PE15	PE15/IRQ7	PE15	PE15/IRQ7	PE15	PE15/IRQ7
2	PE14	PE14/IRQ6	PE14	PE14/IRQ6	PE14	PE14/IRQ6	PE14	PE14/IRQ6	PE14	PE14/IRQ6
3	PE13	PE13/IRQ5	PE13	PE13/IRQ5	PE13	PE13/IRQ5	PE13	PE13/IRQ5	PE13	PE13/IRQ5
4	PE12	PE12/IRQ4	PE12	PE12/IRQ4	PE12	PE12/IRQ4	PE12	PE12/IRQ4	PE12	PE12/IRQ4
145	PF7	PF7/ DREQ1/ IRQOUT/ TIOC0D	PF7	PF7/ DREQ1/ IRQOUT/ TIOC0D	PF7	PF7/ DREQ1/ IRQOUT/ TIOC0D	PF7	PF7/ DREQ1/ IRQOUT/ TIOC0D	PF7	PF7/ IRQOUT/ TIOC0D
144	PF6	PF6/ DRAK1/ TxD1/ TIOC2A	PF6	PF6/ DRAK1/ TxD1/ TIOC2A	PF6	PF6/ DRAK1/ TxD1/ TIOC2A	PF6	PF6/ DRAK1/ TxD1/ TIOC2A	PF6	PF6/TxD1/ TIOC2A
143	PF5	PF5/ DACK1/ RxD1/ TIOC2B	PF5	PF5/ DACK1/ RxD1/ TIOC2B	PF5	PF5/ DACK1/ RxD1/ TIOC2B	PF5	PF5/ DACK1/ RxD1/ TIOC2B	PF5	PF5/RxD1/ TIOC2B
138	PF3	PF3/ DREQ0/ TIOC0A	PF3	PF3/ DREQ0/ TIOC0A	PF3	PF3/ DREQ0/ TIOC0A	PF3	PF3/ DREQ0/ TIOC0A	PF3	PF3/ TIOC0A

17. ピンファンクションコントローラ (PFC)

PIN 番号	端子名									
	内蔵 ROM 無効						内蔵 ROM 有効			
	MCU モード 4		MCU モード 3		MCU モード 2		MCU モード 1		シングルチップ モード	
	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能	初期機能	PFC で設定 可能な機能
139	PF2	PF2/ DRAK0/ TIOC0C	PF2	PF2/ DRAK0/ TIOC0C	PF2	PF2/ DRAK0/ TIOC0C	PF2	PF2/ DRAK0/ TIOC0C	PF2	PF2/ TIOC0C
141	PF1	PF1/ DACK0/ TIOC0B	PF1	PF1/ DACK0/ TIOC0B	PF1	PF1/ DACK0/ TIOC0B	PF1	PF1/ DACK0/ TIOC0B	PF1	PF1/ TIOC0B
161	PG31	PG31/RxD2	PG31	PG31/RxD2	PG31	PG31/RxD2	PG31	PG31/RxD2	PG31	PG31/RxD2
162	PG30	PG30/TxD2	PG30	PG30/TxD2	PG30	PG30/TxD2	PG30	PG30/TxD2	PG30	PG30/TxD2
163	PG29	PG29/SCK2	PG29	PG29/SCK2	PG29	PG29/SCK2	PG29	PG29/SCK2	PG29	PG29/SCK2
150	PH1	PH1/DA1	PH1	PH1/DA1	PH1	PH1/DA1	PH1	PH1/DA1	PH1	PH1/DA1
149	PH0	PH0/DA0	PH0	PH0/DA0	PH0	PH0/DA0	PH0	PH0/DA0	PH0	PH0/DA0
158*	PI7	PI7/AN7	PI7	PI7/AN7	PI7	PI7/AN7	PI7	PI7/AN7	PI7	PI7/AN7
157*	PI6	PI6/AN6	PI6	PI6/AN6	PI6	PI6/AN6	PI6	PI6/AN6	PI6	PI6/AN6
156*	PI5	PI5/AN5	PI5	PI5/AN5	PI5	PI5/AN5	PI5	PI5/AN5	PI5	PI5/AN5
155*	PI4	PI4/AN4	PI4	PI4/AN4	PI4	PI4/AN4	PI4	PI4/AN4	PI4	PI4/AN4
154*	PI3	PI3/AN3	PI3	PI3/AN3	PI3	PI3/AN3	PI3	PI3/AN3	PI3	PI3/AN3
153*	PI2	PI2/AN2	PI2	PI2/AN2	PI2	PI2/AN2	PI2	PI2/AN2	PI2	PI2/AN2
152*	PI1	PI1/AN1	PI1	PI1/AN1	PI1	PI1/AN1	PI1	PI1/AN1	PI1	PI1/AN1
151*	PI0	PI0/AN0	PI0	PI0/AN0	PI0	PI0/AN0	PI0	PI0/AN0	PI0	PI0/AN0

【注】 * ポート I の ANn (A/D 変換器のアナログ入力) 機能への切り替えは、A/D 変換起動により自動的に
行われ、A/D 変換終了時に PIn (ポート入力) 機能にもどるため、ポート I には PFC 設定用のレジ
スタはありません。

17.2 レジスタ構成

PFC のレジスタを表 17.11 に示します。

表 17.11 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A IO レジスタ H	PAIORH	R/(W)	H'0000	H'FFFF1204	8、16、32
ポート A IO レジスタ L	PAIORL	R/(W)	H'0000	H'FFFF1206	8、16、32
ポート A コントロールレジスタ H1	PACRH1	R/(W)	H'0000	H'FFFF1208	8、16、32
ポート A コントロールレジスタ H2	PACRH2	R/(W)	H'0000	H'FFFF120A	8、16、32
ポート A コントロールレジスタ L1	PACRL1	R/(W)	H'0000	H'FFFF120C	8、16、32
ポート A コントロールレジスタ L2	PACRL2	R/(W)	H'0000	H'FFFF120E	8、16、32
ポート B IO レジスタ H	PBIORH	R/(W)	H'0000	H'FFFF1214	8、16、32
ポート B IO レジスタ L	PBIORL	R/(W)	H'0000	H'FFFF1216	8、16、32
ポート B コントロールレジスタ H2	PBCRH2	R/(W)	H'0000	H'FFFF121A	8、16、32
ポート B コントロールレジスタ L1	PBCRL1	R/(W)	H'0000	H'FFFF121C	8、16、32
ポート B コントロールレジスタ L2	PBCRL2	R/(W)	H'0000	H'FFFF121E	8、16、32
ポート C IO レジスタ H	PCIORH	R/(W)	H'0000	H'FFFF1224	8、16、32
ポート C IO レジスタ L	PCIORL	R/(W)	H'0000	H'FFFF1226	8、16、32
ポート C コントロールレジスタ H1	PCCRH1	R/(W)	H'0000	H'FFFF1228	8、16、32
ポート C コントロールレジスタ H2	PCCRH2	R/(W)	H'0000	H'FFFF122A	8、16、32
ポート C コントロールレジスタ L1	PCCRL1	R/(W)	H'0000	H'FFFF122C	8、16、32
ポート C コントロールレジスタ L2	PCCRL2	R/(W)	H'0000	H'FFFF122E	8、16、32
ポート D IO レジスタ H	PDIORH	R/(W)	H'0000	H'FFFF1234	8、16、32
ポート D IO レジスタ L	PDIORL	R/(W)	H'0000	H'FFFF1236	8、16、32
ポート D コントロールレジスタ H1	PDCRH1	R/(W)	H'0000	H'FFFF1238	8、16、32
ポート D コントロールレジスタ H2	PDCRH2	R/(W)	H'0000	H'FFFF123A	8、16、32
ポート D コントロールレジスタ L1	PDCRL1	R/(W)	H'0000	H'FFFF123C	8、16、32
ポート D コントロールレジスタ L2	PDCRL2	R/(W)	H'0000	H'FFFF123E	8、16、32
ポート E IO レジスタ H	PEIORH	R/(W)	H'0000	H'FFFF1244	8、16、32
ポート E IO レジスタ L	PEIORL	R/(W)	H'0000	H'FFFF1246	8、16、32
ポート E コントロールレジスタ H2	PECRH2	R/(W)	H'0000	H'FFFF124A	8、16、32
ポート E コントロールレジスタ L	PECRL	R/(W)	H'0000	H'FFFF124C	8、16、32
ポート F IO レジスタ L	PFIORL	R/(W)	H'0000	H'FFFF1266	8、16、32
ポート F コントロールレジスタ L2	PFCRL2	R/(W)	H'0000	H'FFFF126E	8、16、32
ポート G IO レジスタ	PGIOR	R/(W)	H'0000	H'FFFF1274	8、16、32
ポート G コントロールレジスタ H1	PGCRH1	R/(W)	H'0000	H'FFFF1278	8、16、32
ポート H IO レジスタ	PHIOR	R/(W)	H'0000	H'FFFF1286	8、16、32
ポート H コントロールレジスタ	PHCR	R/(W)	H'0000	H'FFFF128E	8、16、32
機能コントロールレジスタ	FCR	R/(W)	H'0000	H'FFFF1250	8、16、32

17.3 レジスタ説明

17.3.1 ポート A IO レジスタ H (PAIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PA25 IOR	PA24 IOR	PA23 IOR	PA22 IOR	PA21 IOR	PA20 IOR	PA19 IOR	PA18 IOR	PA17 IOR	PA16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A IO レジスタ H (PAIORH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PA25IOR ~ PA16IOR ビットが、それぞれ、PA25/ $\overline{CS5}$ 端子 ~ PA16/ \overline{WRHH} / \overline{HHBS} / \overline{TCLKC} / $\overline{TIOC3A}$ 端子に対応しています。PAIORH は、ポート A の端子機能が汎用入出力 (PA25 ~ PA16) か、TPU の TIOC 端子の場合に有効でそれ以外の場合は無効です。

ポート A の端子機能が PA25 ~ PA16、または TPU の TIOC 端子の場合、PAIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORH は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17.3.2 ポート A IO レジスタ L (PAIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	-	-	PA9 IOR	PA8 IOR	-	-	-	-	-	-	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ポート A IO レジスタ L (PAIORL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PA15IOR ~ PA0IOR ビットが、それぞれ、PA15/ \overline{WRHL} / \overline{HLBS} / \overline{TCLKD} / $\overline{TIOC3B}$ 端子 ~ PA0/ $\overline{OE0}$ 端子に対応しています。PAIORL はポート A の端子機能が汎用入出力 (PA15 ~ PA0) か、TPU の TIOC 端子の場合に有効で、それ以外の場合は無効です。

ポート A の端子機能が PA15 ~ PA0、または TPU の TIOC 端子の場合、PAIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORL は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17. ピンファンクションコントローラ (PFC)

17.3.3 ポート A コントロールレジスタ H1、H2 (PACRH1、PACRH2)

ポート A コントロールレジスタ H1、H2 (PACRH1、PACRH2) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の機能を選びます。

PACRH1 はポート A の PA25/ $\overline{CS5}$ 端子 ~ PA24/ $\overline{CS4}$ 端子の機能を選び、PACRH2 は、ポート A の PA23/ $\overline{CS3}$ 端子 ~ PA16/ \overline{WRHH} / \overline{HHBS} / \overline{TCLKC} / $\overline{TIOC3A}$ 端子の機能を選びます。

ポート A には、バス制御信号 ($\overline{CS0}$ ~ $\overline{CS5}$ 、 \overline{BS} 、 \overline{RD} 、 \overline{WR} 、 \overline{WRHH} 、 \overline{HHBS}) がありますが、この端子機能の選択に関して、レジスタの設定が動作モードにより無効になることがあります。詳細は、表 17.10 を参照してください。

PACRH1、PACRH2 は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

(1) ポート A コントロールレジスタ H1 (PACRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PA25 MD	-	PA24 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

ビット 15 ~ 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PA25 モードビット (PA25MD)

PA25/ $\overline{CS5}$ 端子の機能を選びます。

ビット 2	説明
PA25MD	
0	汎用入出力 (PA25) (初期値)
1	チップセレクト出力 ($\overline{CS5}$) (シングルチップモードでは PA25)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PA24 モードビット (PA24MD)

PA24/ $\overline{CS4}$ 端子の機能を選びます。

ビット 0	説明
PA24MD	
0	汎用入出力 (PA24) (初期値)
1	チップセレクト出力 ($\overline{CS4}$) (シングルチップモードでは PA24)

(2) ポート A コントロールレジスタ H2 (PACRH2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA23 MD	-	PA22 MD	-	PA21 MD	-	PA20 MD	-	PA19 MD	-	PA18 MD	-	PA17 MD	PA16 MD1	PA16 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PA23 モードビット (PA23MD)

PA23/ $\overline{CS3}$ 端子の機能を選びます。

ビット 14 PA23MD	説明
0	汎用入出力 (PA23) (初期値)
1	チップセレクト出力 ($\overline{CS3}$) (シングルチップモードでは PA23)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PA22 モードビット (PA22MD)

PA22/ $\overline{CS2}$ 端子の機能を選びます。

ビット 12 PA22MD	説明
0	汎用入出力 (PA22) (初期値)
1	チップセレクト出力 ($\overline{CS2}$) (シングルチップモードでは PA22)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PA21 モードビット (PA21MD)

PA21/ $\overline{CS1}$ 端子の機能を選びます。

ビット 10 PA21MD	説明
0	汎用入出力 (PA21) (初期値)
1	チップセレクト出力 ($\overline{CS1}$) (シングルチップモードでは PA21)

17. ピンファンクションコントローラ (PFC)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA20 モードビット (PA20MD)

PA20/ $\overline{CS0}$ 端子の機能を選びます。

ビット 8 PA20MD	説 明
0	汎用入出力 (PA20) (内蔵 ROM 無効モードでは $\overline{CS0}$) (初期値)
1	チップセレクト出力 ($\overline{CS0}$) (シングルチップモードでは PA20)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PA19 モードビット (PA19MD)

PA19/ \overline{BS} 端子の機能を選びます。

ビット 6 PA19MD	説 明
0	汎用入出力 (PA19) (内蔵 ROM 無効モードでは \overline{BS}) (初期値)
1	バススタート出力 (\overline{BS}) (シングルチップモードでは PA19)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PA18 モードビット (PA18MD)

PA18/ \overline{RD} 端子の機能を選びます。

ビット 4 PA18MD	説 明
0	汎用入出力 (PA18) (内蔵 ROM 無効モードでは \overline{RD}) (初期値)
1	リード出力 (\overline{RD}) (シングルチップモードでは PA18)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PA17 モードビット (PA17MD)

PA17/ $\overline{\text{WR}}$ 端子の機能を選びます。

ビット 3	説明
PA17MD	
0	汎用入出力 (PA17) (初期値)
1	ライト出力 ($\overline{\text{WR}}$) (シングルチップモードでは PA17)

ビット 1, 0 : PA16 モードビット 1, 0 (PA16MD1, PA16MD0)

PA16/ $\overline{\text{WRHH}}$ / $\overline{\text{HHBS}}$ / $\overline{\text{TCLKC}}$ / $\overline{\text{TIOC3A}}$ 端子の機能を選びます。

ビット 1	ビット 0	説明
PA16MD1	PA16MD0	
0	0	汎用入出力 (PA16) (初期値) (内蔵 ROM 無効モードでは $\overline{\text{WRHH}}$ 、または $\overline{\text{HHBS}}$)
	1	バイトライト出力 ($\overline{\text{WRHH}}$) または バイトストロープ出力 ($\overline{\text{HHBS}}$) (シングルチップモードでは PA16)
1	0	TPU クロック入力 ($\overline{\text{TCLKC}}$)
	1	TPU インプットキャプチャ入力 / アウトプットコンペア出力 ($\overline{\text{TIOC3A}}$)

17.3.4 ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2)

ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の機能を選びます。

PACRL1 はポート A の PA15/ $\overline{\text{WRHL}}$ / $\overline{\text{HLBS}}$ / $\overline{\text{TCLKD}}$ / $\overline{\text{TIOC3B}}$ 端子 ~ PA8/ $\overline{\text{RAS0}}$ 端子の機能を、PACRL2 は、ポート A の PA1/ $\overline{\text{OE1}}$ 端子 ~ PA0/ $\overline{\text{OE0}}$ 端子の機能を選びます。

ポート A には、バス制御信号 ($\overline{\text{WRHL}}$ 、 $\overline{\text{WRLH}}$ 、 $\overline{\text{WRLL}}$ 、 $\overline{\text{HLBS}}$ 、 $\overline{\text{LHBS}}$ 、 $\overline{\text{LLBS}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{RAS0}}$ 、 $\overline{\text{RAS1}}$ 、 $\overline{\text{OE0}}$ 、 $\overline{\text{OE1}}$) がありますが、この端子機能の選択に関して、レジスタの設定が動作モードにより無効になることがあります。詳細は、表 17.10 を参照してください。

PACRL1、PACRL2 は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

(1) ポート A コントロールレジスタ L1 (PACRL1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 MD1	PA15 MD0	-	PA14 MD	-	PA13 MD	-	PA12 MD	-	-	-	-	-	PA9 MD	-	PA8 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R	R	R	R	R/W	R	R/W

17. ピンファンクションコントローラ (PFC)

ビット 15、14 : PA15 モードビット 1、0 (PA15MD1、PA15MD0)

PA15/ $\overline{\text{WRHL}}$ / $\overline{\text{HLBS}}$ / $\overline{\text{TCLKD}}$ / $\overline{\text{TIOC3B}}$ 端子の機能を選びます。

ビット 15	ビット 14	説明
PA15MD1	PA15MD0	
0	0	汎用入出力 (PA15) (内蔵 ROM 無効モードでは $\overline{\text{WRHL}}$ 、または $\overline{\text{HLBS}}$) (初期値)
	1	バイトライト出力 ($\overline{\text{WRHL}}$) または バイトストローブ出力 ($\overline{\text{HLBS}}$) (シングルチップモードでは PA15)
1	0	TPU クロック入力 (TCLKD)
	1	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3B)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PA14 モードビット (PA14MD)

PA14/ $\overline{\text{WRLH}}$ / $\overline{\text{LHBS}}$ 端子の機能を選びます。

ビット 12	説明
PA14MD	
0	汎用入出力 (PA14) (内蔵 ROM 無効モードでは $\overline{\text{WRLH}}$ 、または $\overline{\text{LHBS}}$) (初期値)
1	バイトライト出力 ($\overline{\text{WRLH}}$) または バイトストローブ出力 ($\overline{\text{LHBS}}$) (シングルチップモードでは PA14)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PA13 モードビット (PA13MD)

PA13/ $\overline{\text{WRLL}}$ / $\overline{\text{LLBS}}$ 端子の機能を選びます。

ビット 10	説明
PA13MD	
0	汎用入出力 (PA13) (内蔵 ROM 無効モードでは $\overline{\text{WRLL}}$ 、または $\overline{\text{LLBS}}$) (初期値)
1	バイトライト出力 ($\overline{\text{WRLL}}$) または バイトストローブ出力 ($\overline{\text{LLBS}}$) (シングルチップモードでは PA13)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA12 モードビット (PA12MD)

PA12/ $\overline{\text{WAIT}}$ 端子の機能を選びます。

ビット 8	説 明
PA12MD	
0	汎用入出力 (PA12) (初期値)
1	ウェイト要求入力 ($\overline{\text{WAIT}}$) (シングルチップモードでは PA12)

ビット 7~3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PA9 モードビット (PA9MD)

PA9/ $\overline{\text{RAS1}}$ 端子の機能を選びます。

ビット 2	説 明
PA9MD	
0	汎用入出力 (PA9) (初期値)
1	ロウアドレスストローブ出力 ($\overline{\text{RAS1}}$) (シングルチップモードでは PA9)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PA8 モードビット (PA8MD)

PA8/ $\overline{\text{RAS0}}$ 端子の機能を選びます。

ビット 0	説 明
PA8MD	
0	汎用入出力 (PA8) (初期値)
1	ロウアドレスストローブ出力 ($\overline{\text{RAS0}}$) (シングルチップモードでは PA8)

(2) ポート A コントロールレジスタ L2 (PACRL2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PA1 MD	-	PA0 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

17. ピンファンクションコントローラ (PFC)

ビット 15~3: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2: PA1 モードビット (PA1MD)

PA1/ $\overline{OE1}$ 端子の機能を選びます。

ビット 2	説明
PA1MD	
0	汎用入出力 (PA1) (初期値)
1	アウトプットイネーブル出力 ($\overline{OE1}$) (シングルチップモードでは PA1)

ビット 1: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0: PA0 モードビット (PA0MD)

PA0/ $\overline{OE0}$ 端子の機能を選びます。

ビット 0	説明
PA0MD	
0	汎用入出力 (PA0) (初期値)
1	アウトプットイネーブル出力 ($\overline{OE0}$) (シングルチップモードでは PA0)

17.3.5 ポート B IO レジスタ H (PBIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PB23 IOR	PB22 IOR	PB21 IOR	PB20 IOR	PB19 IOR	PB18 IOR	PB17 IOR	PB16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B IO レジスタ H (PBIORH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB23IOR ~ PB16IOR ビットが、それぞれ、PB23/CASHH1/TxD1/TEND0 端子 ~ PB16/CASLL0 端子に対応しています。PBIORH はポート B の端子機能が汎用入出力 (PB23 ~ PB16) の場合に有効でそれ以外の場合は無効です。

ポート B の端子機能が PB23 ~ PB16 の場合、PBIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIORH は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17.3.6 ポート B IO レジスタ L (PBIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB13 IOR	-	-	-	-	-	PB7 IOR	PB6 IOR	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R

ポート B IO レジスタ L (PBIORL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB13IOR ~ PB6IOR ビットが、それぞれ、PB13/RDWR 端子 ~ PB6/BREQ 端子に対応しています。PBIORL はポート B の端子機能が汎用入出力 (PB13 ~ PB6) の場合に有効で、それ以外の場合は無効です。

ポート B の端子機能が PB13 ~ PB6 の場合、PBIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIORL は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17.3.7 ポート B コントロールレジスタ H2 (PBCRH2)

ポート B コントロールレジスタ H2 (PBCRH2) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある上位 8 本のマルチプレクス端子の機能を選びます。

PBCRH2 は、ポート B の PB23/CASHH1/TxD1/TEND0 端子 ~ PB16/CASLL0 端子の機能を選びます。

ポート B には、バス制御信号 (CASLL0, CASLL1, CASLH0, CASLH1, CASHL0, CASHL1, CASHH0, CASHH1) および DMAC 制御信号 (TEND0, TEND1) がありますが、この端子機能の選択に関して、レジスタの設定が動作モードにより無効になることがあります。詳細は、表 17.10 を参照してください。

PBCRH2 は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

(1) ポート B コントロールレジスタ H2 (PBCRH2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB23 MD1	PB23 MD0	PB22 MD1	PB22 MD0	-	PB21 MD	-	PB20 MD	PB19 MD1	PB19 MD0	PB18 MD1	PB18 MD0	-	PB17 MD	-	PB16 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W

17. ピンファンクションコントローラ (PFC)

ビット 15、14 : PB23 モードビット 1、0 (PB23MD1、PB23MD0)

PB23/ $\overline{\text{CASHH1}}$ / $\overline{\text{TxD1}}$ / $\overline{\text{TEND0}}$ 端子の機能を選びます。

ビット 15	ビット 14	説 明
PB23MD1	PB23MD0	
0	0	汎用入出力 (PB23) (初期値)
	1	カラムアドレスストローブ出力 ($\overline{\text{CASHH1}}$) (シングルチップモードでは PB23)
1	0	SCI 送信データ出力 ($\overline{\text{TxD1}}$)
	1	DMAC 転送終了出力 ($\overline{\text{TEND0}}$) (シングルチップモードでは PB23)

ビット 13、12 : PB22 モードビット 1、0 (PB22MD1、PB22MD0)

PB22/ $\overline{\text{CASHL1}}$ / $\overline{\text{RxD1}}$ / $\overline{\text{TEND1}}$ 端子の機能を選びます。

ビット 13	ビット 12	説 明
PB22MD1	PB22MD0	
0	0	汎用入出力 (PB22) (初期値)
	1	カラムアドレスストローブ出力 ($\overline{\text{CASHL1}}$) (シングルチップモードでは PB22)
1	0	SCI 受信データ入力 ($\overline{\text{RxD1}}$)
	1	DMAC 転送終了出力 ($\overline{\text{TEND1}}$) (シングルチップモードでは PB22)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PB21 モードビット (PB21MD)

PB21/ $\overline{\text{CASLH1}}$ 端子の機能を選びます。

ビット 10	説 明
PB21MD	
0	汎用入出力 (PB21) (初期値)
1	カラムアドレスストローブ出力 ($\overline{\text{CASLH1}}$) (シングルチップモードでは PB21)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PB20 モードビット (PB20MD)

PB20/CASLL1 端子の機能を選びます。

ビット 8	説 明
PB20MD	
0	汎用入出力 (PB20) (初期値)
1	カラムアドレスストロープ出力 (CASLL1) (シングルチップモードでは PB20)

ビット 7、6 : PB19 モードビット 1、0 (PB19MD1、PB19MD0)

PB19/CASHH0/TxD0 端子の機能を選びます。

ビット 7	ビット 6	説 明
PB19MD1	PB19MD0	
0	0	汎用入出力 (PB19) (初期値)
	1	カラムアドレスストロープ出力 (CASHH0) (シングルチップモードでは PB19)
1	0	SCI 送信データ出力 (TxD0)
	1	予約 (設定しないでください)

ビット 5、4 : PB18 モードビット 1、0 (PB18MD1、PB18MD0)

PB18/CASHL0/RxD0 端子の機能を選びます。

ビット 5	ビット 4	説 明
PB18MD1	PB18MD0	
0	0	汎用入出力 (PB18) (初期値)
	1	カラムアドレスストロープ出力 (CASHL0) (シングルチップモードでは PB18)
1	0	SCI 受信データ入力 (RxD0)
	1	予約 (設定しないでください)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PB17 モードビット (PB17MD)

PB17/CASLH0 端子の機能を選びます。

ビット 2	説 明
PB17MD	
0	汎用入出力 (PB17) (初期値)
1	カラムアドレスストロープ出力 (CASLH0) (シングルチップモードでは PB17)

17. ピンファンクションコントローラ (PFC)

ビット1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0: PB16モードビット (PB16MD)

PB16/CASLL0 端子の機能を選びます。

ビット0	説明
PB16MD	
0	汎用入出力 (PB16) (初期値)
1	カラムアドレスストロープ出力 (CASLL0) (シングルチップモードでは PB16)

17.3.8 ポート B コントロールレジスタ L1、L2 (PBCRL1、PABCRL2)

ポート B コントロールレジスタ L1、L2 (PBCRL1、PBCRL2) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート B にある端子の機能を選びます。

PBCRL1 はポート B の PB13/RDWR 端子の機能を、PBCRL2 は、ポート B の PB7/ $\overline{\text{BACK}}$ 端子 ~ PB6/ $\overline{\text{BREQ}}$ 端子の機能を選びます。

ポート B には、バス制御信号 ($\overline{\text{RDWR}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQ}}$) がありますが、この端子機能の選択に関して、レジスタの設定が動作モードにより無効になることがあります。詳細は、表 17.10 を参照してください。

PBCRL1、PBCRL2 は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

(1) ポート B コントロールレジスタ L1 (PBCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	PB13 MD	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R

ビット15~11: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット10: PB13モードビット (PB13MD)

PB13/RDWR 端子の機能を選びます。

ビット10	説明
PB13MD	
0	汎用入出力 (PB13) (初期値)
1	リードライト出力 (RDWR) (シングルチップモードでは PB13)

ビット9~0: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(2) ポート B コントロールレジスタ L2 (PBCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB7 MD	-	PB6 MD	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PB7 モードビット (PB7MD)

PB7/ $\overline{\text{BACK}}$ 端子の機能を選びます。

ビット 14	説明
PB7MD	
0	汎用入出力 (PB7) (初期値)
1	バス権解放受け付け出力 ($\overline{\text{BACK}}$) (シングルチップモードでは PB7)

ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12: PB6 モードビット (PB6MD)

PB6/ $\overline{\text{BREQ}}$ 端子の機能を選びます。

ビット 12	説明
PB6MD	
0	汎用入出力 (PB6) (初期値)
1	バス権解放要求入力 ($\overline{\text{BREQ}}$) (シングルチップモードでは PB6)

ビット 11~0: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17. ピンファンクションコントローラ (PFC)

17.3.9 ポート C IO レジスタ H (PCIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PC25 IOR	PC24 IOR	PC23 IOR	PC22 IOR	PC21 IOR	PC20 IOR	PC19 IOR	PC18 IOR	PC17 IOR	PC16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C IO レジスタ H (PCIORH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PC25IOR ~ PC16IOR ビットが、それぞれ、PC25/A25/TIOC3B/TCLKD 端子 ~ PC16/A16/TIOC3A 端子に対応しています。PCIORH はポート C の端子機能が汎用入出力 (PC25 ~ PC16) か、TPU の TIOC 端子の場合に有効でそれ以外の場合は無効です。

ポート C の端子機能が PC25 ~ PC16、または TPU の TIOC 端子の場合、PCIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIORH は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17.3.10 ポート C IO レジスタ L (PCIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 IOR	PC14 IOR	PC13 IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C IO レジスタ L (PCIORL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PC15IOR ~ PC0IOR ビットが、それぞれ、PC15/A15/TIOC3D 端子 ~ PC0/A0 端子に対応しています。PCIORL はポート C の端子機能が汎用入出力 (PC15 ~ PC0) か TPU の TIOC 端子の場合に有効で、それ以外の場合は無効です。

ポート C の端子機能が PC15 ~ PC0 または TPU の TIOC 端子の場合、PCIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIORL は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17.3.11 ポート C コントロールレジスタ H1、H2 (PCCR H1、PCCR H2)

ポート C コントロールレジスタ H1、H2 (PCCR H1、PCCR H2) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある端子の機能を選びます。

PCCR H1 はポート C の PC25/A25/TIOC3B/TCLKD 端子 ~ PC24/A24/TIOC3A/TCLKC 端子の機能を、PCCR H2 は、ポート C の PC23/A23/TIOC1B/TCLKB 端子 ~ PC16/A16/TIOC3A 端子の機能を選びます。

ポート C には、アドレス出力 (A16 ~ A25) がありますが、この端子機能の選択に関して、レジスタの設定が動作モードにより無効になることがあります。詳細は、表 17.10 を参照してください。

PCCR H1、PCCR H2 は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

(1) ポート C コントロールレジスタ H1 (PCCRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PC25 MD1	PC25 MD0	PC24 MD1	PC24 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット 15～4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3, 2: PC25 モードビット 1, 0 (PC25MD1, PC25MD0)

PC25/A25/TIOC3B/TCLKD 端子の機能を選びます。

ビット 3	ビット 2	説明
PC25MD1	PC25MD0	
0	0	汎用入出力 (PC25) (内蔵 ROM 無効モードでは A25) (初期値)
	1	アドレス出力 (A25) (シングルチップモードでは PC25)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3B)
	1	TPU クロック入力 (TCLKD)

ビット 1, 0: PC24 モードビット 1, 0 (PC24MD1, PC24MD0)

PC24/A24/TIOC3A/TCLKC 端子の機能を選びます。

ビット 1	ビット 0	説明
PC24MD1	PC24MD0	
0	0	汎用入出力 (PC24) (内蔵 ROM 無効モードでは A24) (初期値)
	1	アドレス出力 (A24) (シングルチップモードでは PC24)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3A)
	1	TPU クロック入力 (TCLKC)

17. ピンファンクションコントローラ (PFC)

(2) ポート C コントロールレジスタ H2 (PCCR H2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PC23 MD1	PC23 MD0	PC22 MD1	PC22 MD0	PC21 MD1	PC21 MD0	PC20 MD1	PC20 MD0	PC19 MD1	PC19 MD0	PC18 MD1	PC18 MD0	PC17 MD1	PC17 MD0	PC16 MD1	PC16 MD0
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット 15、14: PC23 モードビット 1、0 (PC23MD1、PC23MD0)

PC23/A23/TIOC1B/TCLKB 端子の機能を選びます。

ビット 15	ビット 14	説明
PC23MD1	PC23MD0	
0	0	汎用入出力 (PC23) (内蔵 ROM 無効モードでは A23) (初期値)
	1	アドレス出力 (A23) (シングルチップモードでは PC23)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1B)
	1	TPU クロック入力 (TCLKB)

ビット 13、12: PC22 モードビット 1、0 (PC22MD1、PC22MD0)

PC22/A22/TIOC1A/TCLKA 端子の機能を選びます。

ビット 13	ビット 12	説明
PC22MD1	PC22MD0	
0	0	汎用入出力 (PC22) (内蔵 ROM 無効モードでは A22) (初期値)
	1	アドレス出力 (A22) (シングルチップモードでは PC22)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1A)
	1	TPU クロック入力 (TCLKA)

ビット 11、10: PC21 モードビット 1、0 (PC21MD1、PC21MD0)

PC21/A21/TIOC5B 端子の機能を選びます。

ビット 11	ビット 10	説明
PC21MD1	PC21MD0	
0	0	汎用入出力 (PC21) (内蔵 ROM 無効モードでは A21) (初期値)
	1	アドレス出力 (A21) (シングルチップモードでは PC21)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC5B)
	1	予約 (設定しないでください)

17. ピンファンクションコントローラ (PFC)

ビット 9、8 : PC20 モードビット 1、0 (PC20MD1、PC20MD0)

PC20/A20/TIOC5A 端子の機能を選びます。

ビット 9	ビット 8	説 明
PC20MD1	PC20MD0	
0	0	汎用入出力 (PC20) (内蔵 ROM 無効モードでは A20) (初期値)
	1	アドレス出力 (A20) (シングルチップモードでは PC20)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC5A)
	1	予約 (設定しないでください)

ビット 7、6 : PC19 モードビット 1、0 (PC19MD1、PC19MD0)

PC19/A19/TIOC4B 端子の機能を選びます。

ビット 7	ビット 6	説 明
PC19MD1	PC19MD0	
0	0	汎用入出力 (PC19) (内蔵 ROM 無効モードでは A19) (初期値)
	1	アドレス出力 (A19) (シングルチップモードでは PC19)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC4B)
	1	予約 (設定しないでください)

ビット 5、4 : PC18 モードビット 1、0 (PC18MD1、PC18MD0)

PC18/A18/TIOC4A 端子の機能を選びます。

ビット 5	ビット 4	説 明
PC18MD1	PC18MD0	
0	0	汎用入出力 (PC18) (内蔵 ROM 無効モードでは A18) (初期値)
	1	アドレス出力 (A18) (シングルチップモードでは PC18)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC4A)
	1	予約 (設定しないでください)

17. ピンファンクションコントローラ (PFC)

ビット 3、2 : PC17 モードビット 1、0 (PC17MD1、PC17MD0)

PC17/A17/TIOC3B 端子の機能を選びます。

ビット 3	ビット 2	説 明
PC17MD1	PC17MD0	
0	0	汎用入出力 (PC17) (内蔵 ROM 無効モードでは A17) (初期値)
	1	アドレス出力 (A17) (シングルチップモードでは PC17)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3B)
	1	予約 (設定しないでください)

ビット 1、0 : PC16 モードビット 1、0 (PC16MD1、PC16MD0)

PC16/A16/TIOC3A 端子の機能を選びます。

ビット 1	ビット 0	説 明
PC16MD1	PC16MD0	
0	0	汎用入出力 (PC16) (内蔵 ROM 無効モードでは A16) (初期値)
	1	アドレス出力 (A16) (シングルチップモードでは PC16)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3A)
	1	予約 (設定しないでください)

17.3.12 ポート C コントロールレジスタ L1、L2 (PCCRL1、PCCRL2)

ポート C コントロールレジスタ L1、L2 (PCCRL1、PCCRL2) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある端子の機能を選びます。

PCCRL1 はポート C の PC15/A15/TIOC3D 端子 ~ PC8/A8 端子の機能を、PCCRL2 は、ポート C の PC7/A7 端子 ~ PC0/A0 端子の機能を選びます。

ポート C には、アドレス出力 (A0 ~ A15) がありますが、この端子機能の選択に関して、レジスタの設定が動作モードにより無効になることがあります。詳細は、表 17.10 を参照してください。

PCCRL1、PCCRL2 は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

(1) ポート C コントロールレジスタ L1 (PCCRL1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 MD1	PC15 MD0	PC14 MD1	PC14 MD0	-	PC13 MD	-	PC12 MD	-	PC11 MD	-	PC10 MD	-	PC9 MD	-	PC8 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

17. ピンファンクションコントローラ (PFC)

ビット 15、14 : PC15 モードビット 1、0 (PC15MD1、PC15MD0)
PC15/A15/TIOC3D 端子の機能を選びます。

ビット 15	ビット 14	説 明
PC15MD1	PC15MD0	
0	0	汎用入出力 (PC15) (内蔵 ROM 無効モードでは A15) (初期値)
	1	アドレス出力 (A15) (シングルチップモードでは PC15)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3D)
	1	予約 (設定しないでください)

ビット 13、12 : PC14 モードビット 1、0 (PC14MD1、PC14MD0)
PC14/A14/TIOC3C 端子の機能を選びます。

ビット 13	ビット 12	説 明
PC14MD1	PC14MD0	
0	0	汎用入出力 (PC14) (内蔵 ROM 無効モードでは A14) (初期値)
	1	アドレス出力 (A14) (シングルチップモードでは PC14)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3C)
	1	予約 (設定しないでください)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PC13 モードビット (PC13MD)
PC13/A13 端子の機能を選びます。

ビット 10	説 明
PC13MD	
0	汎用入出力 (PC13) (内蔵 ROM 無効モードでは A13) (初期値)
1	アドレス出力 (A13) (シングルチップモードでは PC13)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17. ピンファンクションコントローラ (PFC)

ビット 8 : PC12 モードビット (PC12MD)

PC12/A12 端子の機能を選びます。

ビット 8	説 明
PC12MD	
0	汎用入出力 (PC12) (内蔵 ROM 無効モードでは A12) (初期値)
1	アドレス出力 (A12) (シングルチップモードでは PC12)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PC11 モードビット (PC11MD)

PC11/A11 端子の機能を選びます。

ビット 6	説 明
PC11MD	
0	汎用入出力 (PC11) (内蔵 ROM 無効モードでは A11) (初期値)
1	アドレス出力 (A11) (シングルチップモードでは PC11)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PC10 モードビット (PC10MD)

PC10/A10 端子の機能を選びます。

ビット 4	説 明
PC10MD	
0	汎用入出力 (PC10) (内蔵 ROM 無効モードでは A10) (初期値)
1	アドレス出力 (A10) (シングルチップモードでは PC10)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17. ピンファンクションコントローラ (PFC)

ビット 2 : PC9 モードビット (PC9MD)

PC9/A9 端子の機能を選びます。

ビット 2	説 明
PC9MD	
0	汎用入出力 (PC9) (内蔵 ROM 無効モードでは A9) (初期値)
1	アドレス出力 (A9) (シングルチップモードでは PC9)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PC8 モードビット (PC8MD)

PC8/A8 端子の機能を選びます。

ビット 0	説 明
PC8MD	
0	汎用入出力 (PC8) (内蔵 ROM 無効モードでは A8) (初期値)
1	アドレス出力 (A8) (シングルチップモードでは PC8)

(2) ポート C コントロールレジスタ L2 (PCCR2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PC7 MD	-	PC6 MD	-	PC5 MD	-	PC4 MD	-	PC3 MD	-	PC2 MD	-	PC1 MD	-	PC0 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PC7 モードビット (PC7MD)

PC7/A7 端子の機能を選びます。

ビット 14	説 明
PC7MD	
0	汎用入出力 (PC7) (内蔵 ROM 無効モードでは A7) (初期値)
1	アドレス出力 (A7) (シングルチップモードでは PC7)

17. ピンファンクションコントローラ (PFC)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PC6 モードビット (PC6MD)

PC6/A6 端子の機能を選びます。

ビット 12	説 明
PC6MD	
0	汎用入出力 (PC6) (内蔵 ROM 無効モードでは A6) (初期値)
1	アドレス出力 (A6) (シングルチップモードでは PC6)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PC5 モードビット (PC5MD)

PC5/A5 端子の機能を選びます。

ビット 10	説 明
PC5MD	
0	汎用入出力 (PC5) (内蔵 ROM 無効モードでは A5) (初期値)
1	アドレス出力 (A5) (シングルチップモードでは PC5)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PC4 モードビット (PC4MD)

PC4/A4 端子の機能を選びます。

ビット 8	説 明
PC4MD	
0	汎用入出力 (PC4) (内蔵 ROM 無効モードでは A4) (初期値)
1	アドレス出力 (A4) (シングルチップモードでは PC4)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PC3 モードビット (PC3MD)

PC3/A3 端子の機能を選びます。

ビット 6	説 明	
PC3MD		
0	汎用入出力 (PC3) (内蔵 ROM 無効モードでは A3)	(初期値)
1	アドレス出力 (A3) (シングルチップモードでは PC3)	

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PC2 モードビット (PC2MD)

PC2/A2 端子の機能を選びます。

ビット 4	説 明	
PC2MD		
0	汎用入出力 (PC2) (内蔵 ROM 無効モードでは A2)	(初期値)
1	アドレス出力 (A2) (シングルチップモードでは PC2)	

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PC1 モードビット (PC1MD)

PC1/A1 端子の機能を選びます。

ビット 2	説 明	
PC1MD		
0	汎用入出力 (PC1) (内蔵 ROM 無効モードでは A1)	(初期値)
1	アドレス出力 (A1) (シングルチップモードでは PC1)	

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17. ピンファンクションコントローラ (PFC)

ビット 0 : PC0 モードビット (PC0MD)

PC0/A0 端子の機能を選びます。

ビット 0	説明
PC0MD	
0	汎用入出力 (PC0) (内蔵 ROM 無効モードでは A0) (初期値)
1	アドレス出力 (A0) (シングルチップモードでは PC0)

17.3.13 ポート D IO レジスタ H (PDIORH)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD31 IOR	PD30 IOR	PD29 IOR	PD28 IOR	PD27 IOR	PD26 IOR	PD25 IOR	PD24 IOR	PD23 IOR	PD22 IOR	PD21 IOR	PD20 IOR	PD19 IOR	PD18 IOR	PD17 IOR	PD16 IOR
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート D IO レジスタ H (PDIORH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD31IOR ~ PD16IOR ビットが、それぞれ、PD31/D31/RxD2/TIOC5A 端子 ~ PD16/D16/POE0 端子に対応しています。PDIORH はポート D の端子機能が汎用入出力 (PD31 ~ PD16) か、SCI の SCK 端子、TPU の TIOC 端子、および MMT の PCIO 端子の場合に有効で、それ以外の場合は無効です。

ポート D の端子機能が PD31 ~ PD16、または SCI の SCK 端子、TPU の TIOC 端子、および MMT の PCIO 端子の場合、PDIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIORH は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17.3.14 ポート D IO レジスタ L (PDIORL)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート D IO レジスタ L (PDIORL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD15IOR ~ PD0IOR ビットが、それぞれ、PD15/D15/TIOC5B 端子 ~ PD0/D0 端子に対応しています。PDIORL はポート D の端子機能が汎用入出力 (PD15 ~ PD0) か、TPU の TIOC 端子の場合に有効で、それ以外の場合は無効です。

ポート D の端子機能が PD15 ~ PD0、または TPU の TIOC 端子の場合、PDIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIORL は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17.3.15 ポート D コントロールレジスタ H1、H2 (PDCRH1、PDCRH2)

ポート D コントロールレジスタ H1、H2 (PDCRH1、PDCRH2) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の機能を選びます。

PDCRH1 はポート D の PD31/D31/RxD2/TIOC5A 端子 ~ PD24/D24/PUOB 端子の機能を、PDCRH2 は、ポート D の PD23/D23/PCIO /SCK1 端子 ~ PD16/D16/POE0 端子の機能を選びます。

ポート D には、データ入出力 (D16 ~ D31) がありますが、この端子機能の選択に関して、レジスタの設定が動作モードにより無効になることがあります。詳細は、表 17.10 を参照してください。

PDCRH1、PDCRH2 は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

(1) ポート D コントロールレジスタ H1 (PDCRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD31 MD1	PD31 MD0	PD30 MD1	PD30 MD0	PD29 MD1	PD29 MD0	PD28 MD1	PD28 MD0	PD27 MD1	PD27 MD0	PD26 MD1	PD26 MD0	PD25 MD1	PD25 MD0	PD24 MD1	PD24 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15、14 : PD31 モードビット 1、0 (PD31MD1、PD31MD0)

PD31/D31/RxD2/TIOC5A 端子の機能を選びます。

ビット 15	ビット 14	説明
PD31MD1	PD31MD0	
0	0	汎用入出力 (PD31) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D31)
	1	データ入出力 (D31) (シングルチップモードでは PD31)
1	0	SCI 受信データ入力 (RxD2)
	1	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC5A)

ビット 13、12 : PD30 モードビット 1、0 (PD30MD1、PD30MD0)

PD30/D30/TxD2/TIOC4B 端子の機能を選びます。

ビット 13	ビット 12	説明
PD30MD1	PD30MD0	
0	0	汎用入出力 (PD30) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D30)
	1	データ入出力 (D30) (シングルチップモードでは PD30)
1	0	SCI 受送信データ出力 (TxD2)
	1	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC4B)

17. ピンファンクションコントローラ (PFC)

ビット 11、10 : PD29 モードビット 1、0 (PD29MD1、PD29MD0)

PD29/D29/SCK2/TIOC4A 端子の機能を選びます。

ビット 11	ビット 10	説 明
PD29MD1	PD29MD0	
0	0	汎用入出力 (PD29) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D29)
	1	データ入出力 (D29) (シングルチップモードでは PD29)
1	0	SCI クロック入出力 (SCK2)
	1	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC4A)

ビット 9、8 : PD28 モードビット 1、0 (PD28MD1、PD28MD0)

PD28/D28/TCLKB/TIOC3D 端子の機能を選びます。

ビット 9	ビット 8	説 明
PD28MD1	PD28MD0	
0	0	汎用入出力 (PD28) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D28)
	1	データ入出力 (D28) (シングルチップモードでは PD28)
1	0	TPU クロック入力 (TCLKB)
	1	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3D)

ビット 7、6 : PD27 モードビット 1、0 (PD27MD1、PD27MD0)

PD27/D27/TCLKA/TIOC3C 端子の機能を選びます。

ビット 7	ビット 6	説 明
PD27MD1	PD27MD0	
0	0	汎用入出力 (PD27) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D27)
	1	データ入出力 (D27) (シングルチップモードでは PD27)
1	0	TPU クロック入力 (TCLKA)
	1	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3C)

17. ピンファンクションコントローラ (PFC)

ビット 5、4 : PD26 モードビット 1、0 (PD26MD1、PD26MD0)

PD26/D26/PWOB 端子の機能を選びます。

ビット 5	ビット 4	説 明
PD26MD1	PD26MD0	
0	0	汎用入出力 (PD26) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D26)
	1	データ入出力 (D26) (シングルチップモードでは PD26)
1	0	MMT PWM W 相出力 (PWOB)
	1	予約 (設定しないでください)

ビット 3、2 : PD25 モードビット 1、0 (PD25MD1、PD25MD0)

PD25/D25/PVOB 端子の機能を選びます。

ビット 3	ビット 2	説 明
PD25MD1	PD25MD0	
0	0	汎用入出力 (PD25) (初期値) (内蔵 ROM 無効モード CS0 バス幅 32 ビットでは D25)
	1	データ入出力 (D25) (シングルチップモードでは PD25)
1	0	MMT PWM V 相出力 (PVOB)
	1	予約 (設定しないでください)

ビット 1、0 : PD24 モードビット 1、0 (PD24MD1、PD24MD0)

PD24/D24/PUOB 端子の機能を選びます。

ビット 1	ビット 0	説 明
PD24MD1	PD24MD0	
0	0	汎用入出力 (PD24) (初期値) (内蔵 ROM 無効モード CS0 バス幅 32 ビットでは D24)
	1	データ入出力 (D24) (シングルチップモードでは PD24)
1	0	MMT PWM U 相出力 (PUOB)
	1	予約 (設定しないでください)

17. ピンファンクションコントローラ (PFC)

(2) ポート D コントロールレジスタ H2 (PDCRH2)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD23 MD1	PD23 MD0	PD22 MD1	PD22 MD0	PD21 MD1	PD21 MD0	PD20 MD1	PD20 MD0	PD19 MD1	PD19 MD0	PD18 MD1	PD18 MD0	PD17 MD1	PD17 MD0	PD16 MD1	PD16 MD0
初期値 : 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W : R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15、14 : PD23 モードビット 1、0 (PD23MD1、PD23MD0)

PD23/D23/PCIO/SCK1 端子の機能を選びます。

ビット 15	ビット 14	説明
PD23MD1	PD23MD0	
0	0	汎用入出力 (PD23) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D23) (初期値)
	1	データ入出力 (D23) (シングルチップモードでは PD23)
1	0	MMT PWM 周期出力 (PCO) / カウンタクリア入力 (PCI)
	1	SCI クロック入出力 (SCK1)

ビット 13、12 : PD22 モードビット 1、0 (PD22MD1、PD22MD0)

PD22/D22/PWOA/SCK0 端子の機能を選びます。

ビット 13	ビット 12	説明
PD22MD1	PD22MD0	
0	0	汎用入出力 (PD22) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D22) (初期値)
	1	データ入出力 (D22) (シングルチップモードでは PD22)
1	0	MMT PWM W 相出力 (PWOA)
	1	SCI クロック入出力 (SCK0)

ビット 11、10 : PD21 モードビット 1、0 (PD21MD1、PD21MD0)

PD21/D21/PVOA/IRQ7 端子の機能を選びます。

ビット 11	ビット 10	説明
PD21MD1	PD21MD0	
0	0	汎用入出力 (PD21) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D21) (初期値)
	1	データ入出力 (D21) (シングルチップモードでは PD21)
1	0	MMT PWM V 相出力 (PVOA)
	1	外部割り込み要求入力 (IRQ7)

17. ピンファンクションコントローラ (PFC)

ビット 9、8 : PD20 モードビット 1、0 (PD20MD1、PD20MD0)
 PD20/D20/PUOA/ $\overline{\text{IRQ6}}$ 端子の機能を選びます。

ビット 9	ビット 8	説 明
PD20MD1	PD20MD0	
0	0	汎用入出力 (PD20) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D20) (初期値)
	1	データ入出力 (D20) (シングルチップモードでは PD20)
1	0	MMT PWM U 相出力 (PUOA)
	1	外部割り込み要求入力 ($\overline{\text{IRQ6}}$)

ビット 7、6 : PD19 モードビット 1、0 (PD19MD1、PD19MD0)
 PD19/D19/POE3/ $\overline{\text{IRQ5}}$ 端子の機能を選びます。

ビット 7	ビット 6	説 明
PD19MD1	PD19MD0	
0	0	汎用入出力 (PD19) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D19) (初期値)
	1	データ入出力 (D19) (シングルチップモードでは PD19)
1	0	MMT ポートアウトプットイネーブル入力 (POE3)
	1	外部割り込み要求入力 ($\overline{\text{IRQ5}}$)

ビット 5、4 : PD18 モードビット 1、0 (PD18MD1、PD18MD0)
 PD18/D18/POE2/ $\overline{\text{IRQ4}}$ 端子の機能を選びます。

ビット 5	ビット 4	説 明
PD18MD1	PD18MD0	
0	0	汎用入出力 (PD18) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D18) (初期値)
	1	データ入出力 (D18) (シングルチップモードでは PD18)
1	0	MMT ポートアウトプットイネーブル入力 (POE2)
	1	外部割り込み要求入力 ($\overline{\text{IRQ4}}$)

17. ピンファンクションコントローラ (PFC)

ビット 3、2 : PD17 モードビット 1、0 (PD17MD1、PD17MD0)

PD17/D17/POE1/ADTRG 端子の機能を選びます。

ビット 3	ビット 2	説 明
PD17MD1	PD17MD0	
0	0	汎用入出力 (PD17) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D17) (初期値)
	1	データ入出力 (D17) (シングルチップモードでは PD17)
1	0	MMT ポートアウトプットイネーブル入力 (POE1)
	1	A/D 変換トリガ入力 (ADTRG)

ビット 1、0 : PD16 モードビット 1、0 (PD16MD1、PD16MD0)

PD16/D16/POE0 端子の機能を選びます。

ビット 1	ビット 0	説 明
PD16MD1	PD16MD0	
0	0	汎用入出力 (PD16) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビットでは D16) (初期値)
	1	データ入出力 (D16) (シングルチップモードでは PD16)
1	0	MMT ポートアウトプットイネーブル入力 (POE0)
	1	予約 (設定しないでください)

17.3.16 ポート D コントロールレジスタ L1、L2 (PDCRL1、PDCRL2)

ポート D コントロールレジスタ L1、L2 (PDCRL1、PDCRL2) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の機能を選びます。

PDCRL1 はポート D の PD15/D15/TIOC5B 端子 ~ PD8/D8/TIOC1A 端子の機能を、PDCRL2 は、ポート D の PD7/D7 端子 ~ PD0/D0 端子の機能を選びます。

ポート D には、データ入出力 (D0 ~ D15) がありますが、この端子機能の選択に関して、レジスタの設定が動作モードにより無効になることがあります。詳細は、表 17.10 を参照してください。

PDCRL1、PDCRL2 は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

(1) ポート D コントロールレジスタ L1 (PDCRL1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 MD1	PD15 MD0	PD14 MD1	PD14 MD0	PD13 MD1	PD13 MD0	PD12 MD1	PD12 MD0	PD11 MD1	PD11 MD0	PD10 MD1	PD10 MD0	PD9 MD1	PD9 MD0	PD8 MD1	PD8 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15、14 : PD15 モードビット 1、0 (PD15MD1、PD15MD0)

PD15/D15/TIOC5B 端子の機能を選びます。

ビット 15	ビット 14	説明
PD15MD1	PD15MD0	
0	0	汎用入出力 (PD15) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビット / 16 ビットでは D15)
	1	データ入出力 (D15) (シングルチップモードでは PD15)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC5B)
	1	予約 (設定しないでください)

ビット 13、12 : PD14 モードビット 1、0 (PD14MD1、PD14MD0)

PD14/D14/TIOC5A 端子の機能を選びます。

ビット 13	ビット 12	説明
PD14MD1	PD14MD0	
0	0	汎用入出力 (PD14) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビット / 16 ビットでは D14)
	1	データ入出力 (D14) (シングルチップモードでは PD14)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC5A)
	1	予約 (設定しないでください)

17. ピンファンクションコントローラ (PFC)

ビット 11、10 : PD13 モードビット 1、0 (PD13MD1、PD13MD0)

PD13/D13/TIOC4B 端子の機能を選びます。

ビット 11	ビット 10	説 明
PD13MD1	PD13MD0	
0	0	汎用入出力 (PD13) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビット / 16 ビットでは D13)
	1	データ入出力 (D13) (シングルチップモードでは PD13)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC4B)
	1	予約 (設定しないでください)

ビット 9、8 : PD12 モードビット 1、0 (PD12MD1、PD12MD0)

PD12/D12/TIOC4A 端子の機能を選びます。

ビット 9	ビット 8	説 明
PD12MD1	PD12MD0	
0	0	汎用入出力 (PD12) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビット / 16 ビットでは D12)
	1	データ入出力 (D12) (シングルチップモードでは PD12)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC4A)
	1	予約 (設定しないでください)

ビット 7、6 : PD11 モードビット 1、0 (PD11MD1、PD11MD0)

PD11/D11/TIOC2B 端子の機能を選びます。

ビット 7	ビット 6	説 明
PD11MD1	PD11MD0	
0	0	汎用入出力 (PD11) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビット / 16 ビットでは D11)
	1	データ入出力 (D11) (シングルチップモードでは PD11)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC2B)
	1	予約 (設定しないでください)

17. ピンファンクションコントローラ (PFC)

ビット 5、4 : PD10 モードビット 1、0 (PD10MD1、PD10MD0)

PD10/D10/TIOC2A 端子の機能を選びます。

ビット 5	ビット 4	説 明
PD10MD1	PD10MD0	
0	0	汎用入出力 (PD10) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビット / 16 ビットでは D10)
	1	データ入出力 (D10) (シングルチップモードでは PD10)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC2A)
	1	予約 (設定しないでください)

ビット 3、2 : PD9 モードビット 1、0 (PD9MD1、PD9MD0)

PD9/D9/TIOC1B 端子の機能を選びます。

ビット 3	ビット 2	説 明
PD9MD1	PD9MD0	
0	0	汎用入出力 (PD9) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビット / 16 ビットでは D9)
	1	データ入出力 (D9) (シングルチップモードでは PD9)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1B)
	1	予約 (設定しないでください)

ビット 1、0 : PD8 モードビット 1、0 (PD8MD1、PD8MD0)

PD8/D8/TIOC1A 端子の機能を選びます。

ビット 1	ビット 0	説 明
PD8MD1	PD8MD0	
0	0	汎用入出力 (PD8) (初期値) (内蔵 ROM 無効モードかつ CS0 バス幅 32 ビット / 16 ビットでは D8)
	1	データ入出力 (D8) (シングルチップモードでは PD8)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1A)
	1	予約 (設定しないでください)

17. ピンファンクションコントローラ (PFC)

(2) ポート D コントロールレジスタ L2 (PDCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD7 MD	-	PD6 MD	-	PD5 MD	-	PD4 MD	-	PD3 MD	-	PD2 MD	-	PD1 MD	-	PD0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PD7 モードビット (PD7MD)

PD7/D7 端子の機能を選びます。

ビット 14 PD7MD	説明
0	汎用入出力 (PD7) (内蔵 ROM 無効モードでは D7) (初期値)
1	データ入出力 (D7) (シングルチップモードでは PD7)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PD6 モードビット (PD6MD)

PD6/D6 端子の機能を選びます。

ビット 12 PD6MD	説明
0	汎用入出力 (PD6) (内蔵 ROM 無効モードでは D6) (初期値)
1	データ入出力 (D6) (シングルチップモードでは PD6)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PD5 モードビット (PD5MD)

PD5/D5 端子の機能を選びます。

ビット 10	説 明	
PD5MD		
0	汎用入出力 (PD5) (内蔵 ROM 無効モードでは D5)	(初期値)
1	データ入出力 (D5) (シングルチップモードでは PD5)	

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PD4 モードビット (PD4MD)

PD4/D4 端子の機能を選びます。

ビット 8	説 明	
PD4MD		
0	汎用入出力 (PD4) (内蔵 ROM 無効モードでは D4)	(初期値)
1	データ入出力 (D4) (シングルチップモードでは PD4)	

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PD3 モードビット (PD3MD)

PD3/D3 端子の機能を選びます。

ビット 6	説 明	
PD3MD		
0	汎用入出力 (PD3) (内蔵 ROM 無効モードでは D3)	(初期値)
1	データ入出力 (D3) (シングルチップモードでは PD3)	

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17. ピンファンクションコントローラ (PFC)

ビット 4 : PD2 モードビット (PD2MD)

PD2/D2 端子の機能を選びます。

ビット 4	説 明
PD2MD	
0	汎用入出力 (PD2) (内蔵 ROM 無効モードでは D2) (初期値)
1	データ入出力 (D2) (シングルチップモードでは PD2)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PD1 モードビット (PD1MD)

PD1/D1 端子の機能を選びます。

ビット 2	説 明
PD1MD	
0	汎用入出力 (PD1) (内蔵 ROM 無効モードでは D1) (初期値)
1	データ入出力 (D1) (シングルチップモードでは PD1)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PD0 モードビット (PD0MD)

PD0/D0 端子の機能を選びます。

ビット 0	説 明
PD0MD	
0	汎用入出力 (PD0) (内蔵 ROM 無効モードでは D0) (初期値)
1	データ入出力 (D0) (シングルチップモードでは PD0)

17.3.17 ポート E IO レジスタ H (PEIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE23 IOR	PE22 IOR	PE21 IOR	PE20 IOR	PE19 IOR	PE18 IOR	PE17 IOR	PE16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E IO レジスタ H (PEIORH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選びます。PE23IOR ~ PE16IOR ビットが、それぞれ、PE23/ $\overline{\text{IRQ7}}$ /PWOB 端子 ~ PE16/ $\overline{\text{IRQ0}}$ /SCK1/AH 端子に対応しています。PEIORH はポート E の端子機能が汎用入出力 (PE23 ~ PE16) か、SCI の SCK 端子か、MMT の PCIO 端子の場合に有効で、それ以外の場合は無効です。

ポート E の端子機能が PE23 ~ PE16、または SCI の SCK 端子か、MMT の PCIO 端子の場合、PEIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIORH は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17.3.18 ポート E IO レジスタ L (PEIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 IOR	PE14 IOR	PE13 IOR	PE12 IOR	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ポート E IO レジスタ L (PEIORL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選びます。PE15IOR ~ PE12IOR ビットが、それぞれ、PE15/ $\overline{\text{IRQ7}}$ 端子 ~ PE12/ $\overline{\text{IRQ4}}$ 端子に対応しています。PEIORL はポート E の端子機能が汎用入出力 (PE15 ~ PE12) の場合に有効で、それ以外の場合は無効です。

ポート E の端子機能が PE15 ~ PE12 の場合、PEIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIORL は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17. ピンファンクションコントローラ (PFC)

17.3.19 ポート E コントロールレジスタ H2 (PECRH2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PE23 MD1	PE23 MD0	PE22 MD1	PE22 MD0	PE21 MD1	PE21 MD0	PE20 MD1	PE20 MD0	PE19 MD1	PE19 MD0	PE18 MD1	PE18 MD0	PE17 MD1	PE17 MD0	PE16 MD1	PE16 MD0
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E コントロールレジスタ H2 (PECRH2) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある端子の機能を選びます。

PECRH2 はポート E の PE23/ $\overline{\text{IRQ7}}$ /TI0C0C 端子 ~ PE16/ $\overline{\text{IRQ0}}$ /SCK1/ $\overline{\text{AH}}$ 端子の機能を、選びます。

ポート E には、バス制御信号 ($\overline{\text{AH}}$) がありますが、この端子機能の選択に関して、レジスタの設定が動作モードにより無効になることがあります。詳細は、表 17.10 を参照してください。

PECRH2 は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

ビット 15、14 : PE23 モードビット 1、0 (PE23MD1、PE23MD0)

PE23/ $\overline{\text{IRQ7}}$ /PWOB 端子の機能を選びます。

ビット 15	ビット 14	説明
PE23MD1	PE23MD0	
0	0	汎用入出力 (PE23) (初期値)
	1	外部割り込み要求入力 ($\overline{\text{IRQ7}}$)
1	0	MMT PWM W 相出力 (PWOB)
	1	予約 (設定しないでください)

ビット 13、12 : PE22 モードビット 1、0 (PE22MD1、PE22MD0)

PE22/ $\overline{\text{IRQ6}}$ /PVOB 端子の機能を選びます。

ビット 13	ビット 12	説明
PE22MD1	PE22MD0	
0	0	汎用入出力 (PE22) (初期値)
	1	外部割り込み要求入力 ($\overline{\text{IRQ6}}$)
1	0	MMT PWM V 相出力 (PVOB)
	1	予約 (設定しないでください)

17. ピンファンクションコントローラ (PFC)

ビット 11、10 : PE21 モードビット 1、0 (PE21MD1、PE21MD0)
PE21/ $\overline{\text{IRQ5}}$ /PUOB 端子の機能を選びます。

ビット 11	ビット 10	説 明
PE21MD1	PE21MD0	
0	0	汎用入出力 (PE21) (初期値)
	1	外部割り込み要求入力 ($\overline{\text{IRQ5}}$)
1	0	MMT PWM U相出力 (PUOB)
	1	予約 (設定しないでください)

ビット 9、8 : PE20 モードビット 1、0 (PE20MD1、PE20MD0)
PE20/ $\overline{\text{IRQ4}}$ /PCIO 端子の機能を選びます。

ビット 9	ビット 8	説 明
PE20MD1	PE20MD0	
0	0	汎用入出力 (PE20) (初期値)
	1	外部割り込み要求入力 ($\overline{\text{IRQ4}}$)
1	0	MMT PWM 周期出力 (PCO) / カウンタクリア入力 (PCI)
	1	予約 (設定しないでください)

ビット 7、6 : PE19 モードビット 1、0 (PE19MD1、PE19MD0)
PE19/ $\overline{\text{IRQ3}}$ /PWOA 端子の機能を選びます。

ビット 7	ビット 6	説 明
PE19MD1	PE19MD0	
0	0	汎用入出力 (PE19) (初期値)
	1	外部割り込み要求入力 ($\overline{\text{IRQ3}}$)
1	0	MMT PWM W相出力 (PWOA)
	1	予約 (設定しないでください)

ビット 5、4 : PE18 モードビット 1、0 (PE18MD1、PE18MD0)
PE18/ $\overline{\text{IRQ2}}$ /PVOA 端子の機能を選びます。

ビット 5	ビット 4	説 明
PE18MD1	PE18MD0	
0	0	汎用入出力 (PE18) (初期値)
	1	外部割り込み要求入力 ($\overline{\text{IRQ2}}$)
1	0	MMT PWM V相出力 (PVOA)
	1	予約 (設定しないでください)

17. ピンファンクションコントローラ (PFC)

ビット 3、2 : PE17 モードビット 1、0 (PE17MD1、PE17MD0)
PE17/ $\overline{\text{IRQ1}}$ /PUOA/SCK0 端子の機能を選びます。

ビット 3	ビット 2	説 明
PE17MD1	PE17MD0	
0	0	汎用入出力 (PE17) (初期値)
	1	外部割り込み要求入力 ($\overline{\text{IRQ1}}$)
1	0	MMT PWM U相出力 (PUOA)
	1	SCI クロック入出力 (SCK0)

ビット 1、0 : PE16 モードビット 1、0 (PE16MD1、PE16MD0)
PE16/ $\overline{\text{IRQ0}}$ /SCK1/ $\overline{\text{AH}}$ 端子の機能を選びます。

ビット 1	ビット 0	説 明
PE16MD1	PE16MD0	
0	0	汎用入出力 (PE16) (初期値)
	1	外部割り込み要求入力 ($\overline{\text{IRQ0}}$)
1	0	SCI クロック入出力 (SCK1)
	1	アドレスホールド出力 ($\overline{\text{AH}}$) (シングルチップモードでは PE16)

17.3.20 ポート E コントロールレジスタ L (PECRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE15 MD	-	PE14 MD	-	PE13 MD	-	PE12 MD	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R	R	R	R	R	R	R

ポート E コントロールレジスタ L (PECRL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある端子の機能を選びます。

PECRL はポート E の PE15/ $\overline{\text{IRQ7}}$ 端子 ~ PE12/ $\overline{\text{IRQ4}}$ 端子の機能を選びます。

PECRL は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PE15 モードビット (PE15MD)

PE15/ $\overline{\text{IRQ7}}$ 端子の機能を選びます。

ビット 14	説明
PE15MD	
0	汎用入出力 (PE15) (初期値)
1	外部割り込み要求入力 ($\overline{\text{IRQ7}}$)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PE14 モードビット (PE14MD)

PE14/ $\overline{\text{IRQ6}}$ 端子の機能を選びます。

ビット 12	説明
PE14MD	
0	汎用入出力 (PE14) (初期値)
1	外部割り込み要求入力 ($\overline{\text{IRQ6}}$)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17. ピンファンクションコントローラ (PFC)

ビット 10 : PE13 モードビット (PE13MD)

PE13/ $\overline{\text{IRQ5}}$ 端子の機能を選びます。

ビット 10	説明
PE13MD	
0	汎用入出力 (PE13) (初期値)
1	外部割り込み要求入力 ($\overline{\text{IRQ5}}$)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PE12 モードビット (PE12MD)

PE12/ $\overline{\text{IRQ4}}$ 端子の機能を選びます。

ビット 8	説明
PE12MD	
0	汎用入出力 (PE12) (初期値)
1	外部割り込み要求入力 ($\overline{\text{IRQ4}}$)

ビット 7~0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17.3.21 ポート F IO レジスタ (PFIORL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF7 IOR	PF6 IOR	PF5 IOR	-	PF3 IOR	PF2 IOR	PF1 IOR	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R

ポート F IO レジスタ L (PFIORL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F にある端子の入出力方向を選びます。PF7IOR ~ PF1IOR ビットが、それぞれ、PF7/ $\overline{\text{DREQ1}}/\overline{\text{IRQOUT}}/\overline{\text{TIOC0D}}$ 端子 ~ PF1/ $\overline{\text{DACK0}}/\overline{\text{TIOC0B}}$ 端子に対応しています。PFIORL はポート F の端子機能が汎用入出力 (PF7 ~ PF1) か、TPU の TIOC 端子の場合に有効で、それ以外の場合は無効です。

ポート F の端子機能が PF7 ~ PF1、または TPU の TIOC 端子の場合、PFIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PFIORL は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17.3.22 ポート F コントロールレジスタ L2 (PFCRL2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PF7 MD1	PF7 MD0	PF6 MD1	PF6 MD0	PF5 MD1	PF5 MD0	-	-	PF3 MD1	PF3 MD0	PF2 MD1	PF2 MD0	PF1 MD1	PF1 MD0	-	-
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ポート F コントロールレジスタ L2 (PFCRL2) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F にある端子の機能を選びます。

PFCRL2 は、ポート F の PA7/ $\overline{\text{DREQ1}}$ / $\overline{\text{IRQOUT}}$ /TIOC0D 端子 ~ PF1/ $\overline{\text{DACK0}}$ /TIOC0B 端子の機能を選びます。

ポート F には、DMAC 制御信号 ($\overline{\text{DREQ0}}$, $\overline{\text{DREQ1}}$, $\overline{\text{DRAK0}}$, $\overline{\text{DRAK1}}$, $\overline{\text{DACK0}}$, $\overline{\text{DACK1}}$) がありますが、この端子機能の選択に関して、レジスタの設定が動作モードにより無効になることがあります。詳細は、表 17.10 を参照してください。

PECRL2 は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

ビット 15、14 : PF7 モードビット 1、0 (PF7MD1、PF7MD0)

PF7/ $\overline{\text{DREQ1}}$ / $\overline{\text{IRQOUT}}$ /TIOC0D 端子の機能を選びます。

ビット 15	ビット 14	説明
PF7MD1	PF7MD0	
0	0	汎用入出力 (PF7) (初期値)
	1	DMA 転送要求入力 ($\overline{\text{DREQ1}}$) (シングルチップモードでは PF7)
1	0	割り込み要求受け付け出力 ($\overline{\text{IRQOUT}}$)
	1	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0D)

ビット 13、12 : PF6 モードビット 1、0 (PF6MD1、PF6MD0)

PF6/ $\overline{\text{DRAK1}}$ /TxD1/TIOC2A 端子の機能を選びます。

ビット 13	ビット 12	説明
PF6MD1	PF6MD0	
0	0	汎用入出力 (PF6) (初期値)
	1	DMA 転送要求サンプリング出力 ($\overline{\text{DRAK1}}$) (シングルチップモードでは PF6)
1	0	SCI 送信データ出力 (TxD1)
	1	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC2A)

17. ピンファンクションコントローラ (PFC)

ビット 11、10 : PF5 モードビット 1、0 (PF5MD1、PF5MD0)

PF5/DACK1/RxD1/TIOC0B 端子の機能を選びます。

ビット 11	ビット 10	説 明
PF5MD1	PF5MD0	
0	0	汎用入出力 (PF5) (初期値)
	1	DMA 転送要求受け付け出力 (DACK1) (シングルチップモードでは PF5)
1	0	SCI 受信データ入力 (RxD1)
	1	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC2B)

ビット 9、8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7、6 : PF3 モードビット 1、0 (PF3MD1、PF3MD0)

PF3/DREQ0/TIOC0A 端子の機能を選びます。

ビット 7	ビット 6	説 明
PF3MD1	PF3MD0	
0	0	汎用入出力 (PF3) (初期値)
	1	DMA 転送要求入力 (DREQ0)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0A)
	1	予約 (設定しないでください)

ビット 5、4 : PF2 モードビット 1、0 (PF2MD1、PF2MD0)

PF2/DRAK0/TIOC0C 端子の機能を選びます。

ビット 5	ビット 4	説 明
PF2MD1	PF2MD0	
0	0	汎用入出力 (PF2) (初期値)
	1	DMA 転送要求サンプリング出力 (DRAK0)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0C)
	1	予約 (設定しないでください)

ビット 3、2 : PF1 モードビット 1、0 (PF1MD1、PF1MD0)

PF1/DACK0/TIOC0B 端子の機能を選びます。

ビット 3	ビット 2	説 明
PF1MD1	PF1MD0	
0	0	汎用入出力 (PF1) (初期値)
	1	DMA 転送要求受け付け出力 (DACK0)
1	0	TPU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0B)
	1	予約 (設定しないでください)

ビット 1、0：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17.3.23 ポート G IO レジスタ (PGIOR)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PG31 IOR	PG30 IOR	PG29 IOR	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値： 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W： R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ポート G IO レジスタ (PGIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G にある端子の入出力方向を選びます。PG31IOR ~ PG29IOR ビットが、それぞれ、PG31/RxD2 端子 ~ PG29/SCK2 端子に対応しています。PGIOR はポート G の端子機能が汎用入出力 (PG31 ~ PG29) か、SCI の SCK 端子の場合に有効で、それ以外の場合は無効です。

ポート G の端子機能が PG31 ~ PG29、または SCI の SCK 端子の場合、PGIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PGIOR は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17.3.24 ポート G コントロールレジスタ H1 (PGCRH1)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	PG31 MD	-	PG30 MD	-	PG29 MD	-	-	-	-	-	-	-	-	-	-
初期値： 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W： R	R/W	R	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R

コントロールレジスタ H1 (PGCRH1) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G にある端子の機能を選びます。

PGCRH1 はポート G の PG31/RxD2 端子 ~ PG29/SCK2 端子の機能を選びます。

PGCRH1 は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

ビット 15：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17. ピンファンクションコントローラ (PFC)

ビット 14 : PG31 モードビット (PG31MD)

PG31/RxD2 端子の機能を選びます。

ビット 14	説 明
PG31MD	
0	汎用入出力 (PG31) (初期値)
1	SCI 受信データ入力 (RxD2)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PG30 モードビット (PG30MD)

PG30/TxD2 端子の機能を選びます。

ビット 12	説 明
PG30MD	
0	汎用入出力 (PG30) (初期値)
1	SCI 送信データ出力 (TxD2)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PG29 モードビット (PG29MD)

PG29/SCK2 端子の機能を選びます。

ビット 10	説 明
PG29MD	
0	汎用入出力 (PG29) (初期値)
1	SCI クロック入出力 (SCK2)

ビット 9~0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17.3.25 ポート H IO レジスタ (PHIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PH1 IOR	PH0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ポート H IO レジスタ (PHIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート H にある端子の入出力方向を選びます。PH1IOR ~ PH0IOR ビットが、それぞれ、PH1/DA1 端子 ~ PH0/DA0 端子に対応しています。PHIOR はポート H の端子機能が汎用入出力 (PH1 ~ PH0) の場合に有効で、それ以外の場合は無効です。

ポート H の端子機能が PH1 ~ PH0 の場合、PHIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PHIOR は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

17. ピンファンクションコントローラ (PFC)

17.3.26 ポート H コントロールレジスタ (PHCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PH1 MD	-	PH0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

ポート H コントロールレジスタ (PHCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート H にある端子の機能を選びます。PHCR はポート H の PH1/DA1 端子 ~ PH0/DA0 端子の機能を選びます。

PHCR は、外部からのパワーオンリセット時で H'0000 に初期化されますが、WDT によるリセット、スタンバイモードおよびスリープモード時には初期化されません。

ビット 15 ~ 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PH1 モードビット (PH1MD)

PH1/DA1 端子の機能を選びます。

ビット 2	説明
PH1MD	
0	汎用入出力 (PH1) (初期値)
1	D/A 変換器出力 (DA1)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PH0 モードビット (PH0MD)

PH0/DA0 端子の機能を選びます。

ビット 0	説明
PH0MD	
0	汎用入出力 (PH0) (初期値)
1	D/A 変換器出力 (DA0)

17.3.27 機能コントロールレジスタ (FCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	SCI MD	IRQ MD1	IRQ MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

機能コントロールレジスタ(FCR)は、読み出し/書き込み可能な16ビットのレジスタで、 $\overline{\text{IRQOUT}}$ 出力、およびSCI出力(SCK0~SCK2、TxD0~TxD2)を制御するために使用します。ポートコントロールレジスタの設定が $\overline{\text{IRQOUT}}$ 、およびSCI出力以外の機能になっている場合、このレジスタの設定は端子の機能に影響を与えません。

FCRは、外部からのパワーオンリセット時でH'0000に初期化されますが、WDTによるリセット、スタンバイモードおよびスリープモード時には初期化されません。

ビット15~3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2: SCI出力モードビット(SCIMD)

SCI出力端子機能を選びます。

ビット2	説明
SCIMD	
0	通常のCMOS回路で出力します (初期値)
1	オープンドレイン回路で出力します

ビット1, 0: IRQOUTモードビット1, 0 (IRQMD1, IRQMD0)

IRQOUT端子機能を選びます。

ビット1	ビット0	説明
IRQMD1	IRQMD0	
0	0	割り込み要求受け付け出力 (初期値)
	1	リフレッシュ信号出力
1	0	割り込み要求受け付け、またはリフレッシュ信号出力 (どちらが出力されるかは、そのときの動作状態によります)
	1	常にハイレベル出力

17.4 ピンファンクションコントローラ (PFC) の制限事項

ピンファンクションコントローラ (PFC) において、以下のような現象が発生する場合がありますのでご注意ください。

(1) 内容と対象端子

表 17.12 の端子において、特定機能の出力モードに PFC 切り替え後、再度別な機能出力への PFC 切り替えを実施すると、常に"L"出力固定となる現象が発生する場合があります。

ただし、どの機能においても入力モードの選択では、PFC 切り替えの制限はありません。

また、"L"出力固定となった場合でも、原因となった特定機能の出力は正常動作します。

表 17.12 現象発生の対象端子と、関連機能

対象端子	PFC 切り替えによって現象発生の原因となる可能性のある機能	左記の機能選択後、再度の PFC 切り替えにて現象発生の可能性のある機能
PC25 ~ PC14	TPU のアウトプットコンペア出力	汎用ポート出力、およびアドレス出力
PD31	TPU のアウトプットコンペア出力	汎用ポート出力、およびデータ出力
PD30、PD29	TPU のアウトプットコンペア出力	汎用ポート出力、およびデータ出力
	SCI の TxD2 出力、SCK2 出力	
PD28、PD27	TPU のアウトプットコンペア出力	汎用ポート出力、およびデータ出力
PD26 ~ PD24	MMT の PWM 出力	汎用ポート出力、およびデータ出力
PD23、PD22	SCI の SCK1 出力、SCK0 出力	汎用ポート出力、およびデータ出力
	MMT の PWM 出力、トグル出力	
PD21、PD20	TPU のアウトプットコンペア出力	汎用ポート出力、およびデータ出力
PD15 ~ PD8	TPU のアウトプットコンペア出力	汎用ポート出力、およびデータ出力

(2) 現象発生条件

表 17.12 の現象発生の原因となる可能性のある出力機能 (TPU、MMT、SCI) 選択において、端子の出力値が"L"の時点で別な出力機能に切り替えた場合に"L"出力固定となる現象が発生します。

(3) 注意事項

表 17.12 の対象端子において、TPU、MMT、SCI の出力機能選択後に、汎用ポート出力またはアドレス/データ出力機能への切り替えは実施しないでください。

なお、SCI の ch2 からのシリアルデータ送信時に、汎用ポート出力機能にてブレイクを送信する場合は、シリアルデータ送信を行っていない期間にブレイク送信を実施してください (シリアルデータを送信していない期間の TxD2 端子は、アイドル状態 ("H"出力) となるために、本現象は発生しません)。

18. I/O ポート (I/O)

18.1 概要

ポートは、A、B、C、D、E、F、G、H、Iの9本から構成されています。

それぞれのポート端子は、すべて、汎用入出力（ポートIの端子は汎用入力）とその他の機能と兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ（PFC）で行います。ポートは、それぞれ、端子のデータを格納するためのデータレジスタを1本ずつ持っています。

各端子は動作モードにより、パワーオンリセット後の初期状態が異なります。

詳しくは表 17.10 を参照してください。

18.2 ポート A

ポート A は、図 18.1、図 18.2 に示すような、18 本の端子を持つ入出力ポートです。

	内蔵ROM無効 拡張モード	内蔵ROM有効 拡張モード	シングルチップ モード
ポート A	PA25 (入出力) / $\overline{CS5}$ (出力)	同左	PA25 (入出力)
	PA24 (入出力) / $\overline{CS4}$ (出力)	同左	PA24 (入出力)
	PA23 (入出力) / $\overline{CS3}$ (出力)	同左	PA23 (入出力)
	PA22 (入出力) / $\overline{CS2}$ (出力)	同左	PA22 (入出力)
	PA21 (入出力) / $\overline{CS1}$ (出力)	同左	PA21 (入出力)
	$\overline{CS0}$ (出力)	PA20 (入出力) / $\overline{CS0}$ (出力)	PA20 (入出力)
	\overline{BS} (出力)	PA19 (入出力) / \overline{BS} (出力)	PA19 (入出力)
	\overline{RD} (出力)	PA18 (入出力) / \overline{RD} (出力)	PA18 (入出力)
	PA17 (入出力) / \overline{WR} (出力)	同左	PA17 (入出力)
	\overline{WRHH} (出力) / \overline{HHBS} (出力) / TCLKC (入力) / TIOC3A (入出力)	PA16 (入出力) / \overline{WRHH} (出力) / \overline{HHBS} (出力) / TCLKC (入力) / TIOC3A (入出力)	PA16 (入出力) / TCLKC (入力) / TIOC3A (入出力)

図 18.1 ポート A (PA25 ~ 16)

18. I/O ポート (I/O)

ポート A	内蔵ROM無効 拡張モード	内蔵ROM有効 拡張モード	シングルチップ モード
		WRHL (出力) / HLBS (出力) / TCLKD (入力) / TIOC3B (入出力)	PA15 (入出力) / WRHL (出力) / HLBS (出力) / TCLKD (入力) / TIOC3B (入出力)
	WRLH (出力) / LHBS (出力)	PA14 (入出力) / WRLH (出力) / LHBS (出力)	PA14 (入出力)
	WRLC (出力) / LLBS (出力)	PA13 (入出力) / WRLC (出力) / LLBS (出力)	PA13 (入出力)
	PA12 (入出力) / WAIT (入力)	同左	PA12 (入出力)
	PA9 (入出力) / RAS $\bar{1}$ (出力)	同左	PA9 (入出力)
	PA8 (入出力) / RAS $\bar{0}$ (出力)	同左	PA8 (入出力)
	PA1 (入出力) / OET (出力)	同左	PA1 (入出力)
	PA0 (入出力) / OE $\bar{0}$ (出力)	同左	PA0 (入出力)

図 18.2 ポート A (PA15~0)

18.2.1 レジスタ構成

ポート A のレジスタ構成を表 18.1 に示します。

表 18.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ H	PADRH	R/W	H'0000	H'FFFF 1200	8、16、32
ポート A データレジスタ L	PADRL	R/W	H'0000	H'FFFF 1202	8、16、32

18.2.2 ポート A データレジスタ H (PADRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							PA25 DR	PA24 DR	PA23 DR	PA22 DR	PA21 DR	PA20 DR	PA19 DR	PA18 DR	PA17 DR	PA16 DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A データレジスタ H (PADRH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA25DR ~ PA16DR ビットは、それぞれ、PA25/CS5 端子 ~ PA16/WRHH/HHBS/TCLKC/TIOC3A 端子に対応しています。

端子機能が汎用出力の場合には、PADRH に値を書き込むと端子からその値が出力され、PADRH を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRH を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRH に値を書き込むと、PADRH にその値を書き込みますが、端子の状態には影響しません。表 18.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

PADRH は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

18.2.3 ポート A データレジスタ L (PADRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 DR	PA14 DR	PA13 DR	PA12 DR			PA9 DR	PA8 DR							PA1 DR	PA0 DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ポート A データレジスタ L (PADRL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA15DR ~ PA0DR ビットは、それぞれ、PA15/WRHL/HLBS/TCLKD/TIOC3B 端子 ~ PA0/OE0 端子に対応しています。

端子機能が汎用出力の場合には、PADRL に値を書き込むと端子からその値が出力され、PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRL に値を書き込むと、PADRL にその値を書き込みますが、端子の状態には影響しません。表 18.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

PADRL は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

表 18.2 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	汎用入力以外	不定	PADR に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR の値	書き込み値が端子から出力される
	汎用出力以外	PADR の値	PADR に書き込めるが、端子の状態に影響しない

18.3 ポート B

ポート B は、図 18.3、図 18.4 に示すような、11 本の端子を持つ入出力ポートです。

	内蔵ROM無効 拡張モード	内蔵ROM有効 拡張モード	シングルチップ モード
ポート B	PB23 (入出力) / $\overline{\text{CASHHT}}$ (出力) / TXD1 (出力) / $\overline{\text{TEND0}}$ (出力)	同左	PB23 (入出力) / TXD1 (出力)
	PB22 (入出力) / $\overline{\text{CASHLT}}$ (出力) / RXD1 (入力) / $\overline{\text{TEND1}}$ (出力)	同左	PB22 (入出力) / RXD1 (入力)
	PB21 (入出力) / $\overline{\text{CASLHT}}$ (出力)	同左	PB21 (入出力)
	PB20 (入出力) / $\overline{\text{CASLLT}}$ (出力)	同左	PB20 (入出力)
	PB19 (入出力) / $\overline{\text{CASHH0}}$ (出力) / TXD0 (出力)	同左	PB19 (入出力) / TXD0 (出力)
	PB18 (入出力) / $\overline{\text{CASHL0}}$ (出力) / RXD0 (入力)	同左	PB18 (入出力) / RXD0 (入力)
	PB17 (入出力) / $\overline{\text{CASLH0}}$ (出力)	同左	PB17 (入出力)
	PB16 (入出力) / $\overline{\text{CASLL0}}$ (出力)	同左	PB16 (入出力)

図 18.3 ポート B (PB23 ~ 16)

	内蔵ROM無効 拡張モード	内蔵ROM有効 拡張モード	シングルチップ モード
ポート B	PB13 (入出力) / RDWR (出力)	同左	PB13 (入出力)
	PB7 (入出力) / BACK (出力)	同左	PB7 (入出力)
	PB6 (入出力) / BREQ (出力)	同左	PB6 (入出力)

図 18.4 ポート B (PB13、PB7 ~ 6)

18.3.1 レジスタ構成

ポート B のレジスタ構成を表 18.3 に示します。

表 18.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ H	PBDRH	R/W	H'0000	H'FFFF 1210	8、16、32
ポート B データレジスタ L	PBDRL	R/W	H'0000	H'FFFF 1212	8、16、32

18.3.2 ポート B データレジスタ H (PBDRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									PB23 DR	PB22 DR	PB21 DR	PB20 DR	PB19 DR	PB18 DR	PB17 DR	PB16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B データレジスタ H (PBDRH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB23DR ~ PB16DR ビットは、それぞれ、PB23/CASHHI/TXD1/TEND0 端子 ~ PB16/CASLL0 端子に対応しています。

端子機能が汎用出力の場合には、PBDRH に値を書き込むと端子からその値が出力され、PBDRH を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDRH を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDRH に値を書き込むと、PBDRH にその値を書き込みますが、端子の状態には影響しません。表 18.4 にポート B データレジスタの読み出し / 書き込み動作を示します。

PBDRH は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

18.3.3 ポート B データレジスタ L (PBDR L)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			PB13 DR						PB7 DR	PB6 DR						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R

ポート B データレジスタ L (PBDR L) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB13DR ~ PB6DR ビットは、それぞれ、PB13/RDWR 端子 ~ PB6/BREQ 端子に対応しています。

端子機能が汎用出力の場合には、PBDR L に値を書き込むと端子からその値が出力され、PBDR L を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDR L を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR L に値を書き込むと、PBDR L にその値を書き込みますが、端子の状態には影響しません。表 18.4 にポート B データレジスタの読み出し / 書き込み動作を示します。

PBDR L は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

表 18.4 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	不定	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

18.4 ポート C

ポート C は、図 18.5、図 18.6 に示すような、26 本の端子を持つ入出力ポートです。

	内蔵ROM無効 拡張モード	内蔵ROM有効 拡張モード	シングルチップ モード
ポート C	A25 (出力) / TIOC3B (入出力) / TCLKD (入力)	PC25 (入出力) / A25 (出力) / TIOC3B (入出力) / TCLKD (入力)	PC25 (入出力) / TIOC3B (入出力) / TCLKD (入力)
	A24 (出力) / TIOC3A (入出力) / TCLKC (入力)	PC24 (入出力) / A24 (出力) / TIOC3A (入出力) / TCLKC (入力)	PC24 (入出力) / TIOC3A (入出力) / TCLKC (入力)
	A23 (出力) / TIOC1B (入出力) / TCLKB (入力)	PC23 (入出力) / A23 (出力) / TIOC1B (入出力) / TCLKB (入力)	PC23 (入出力) / TIOC1B (入出力) / TCLKB (入力)
	A22 (出力) / TIOC1A (入出力) / TCLKA (入力)	PC22 (入出力) / A22 (出力) / TIOC1A (入出力) / TCLKA (入力)	PC22 (入出力) / TIOC1A (入出力) / TCLKA (入力)
	A21 (出力) / TIOC5B (入出力)	PC21 (入出力) / A21 (出力) / TIOC5B (入出力)	PC21 (入出力) / TIOC5B (入出力)
	A20 (出力) / TIOC5A (入出力)	PC20 (入出力) / A20 (出力) / TIOC5A (入出力)	PC20 (入出力) / TIOC5A (入出力)
	A19 (出力) / TIOC4B (入出力)	PC19 (入出力) / A19 (出力) / TIOC4B (入出力)	PC19 (入出力) / TIOC4B (入出力)
	A18 (出力) / TIOC4A (入出力)	PC18 (入出力) / A18 (出力) / TIOC4A (入出力)	PC18 (入出力) / TIOC4A (入出力)
	A17 (出力) / TIOC3B (入出力)	PC17 (入出力) / A17 (出力) / TIOC3B (入出力)	PC17 (入出力) / TIOC3B (入出力)
	A16 (出力) / TIOC3A (入出力)	PC16 (入出力) / A16 (出力) / TIOC3A (入出力)	PC16 (入出力) / TIOC3A (入出力)

図 18.5 ポート C (PC25 ~ 16)

	内蔵ROM無効 拡張モード	内蔵ROM有効 拡張モード	シングルチップ モード
ポートC	A15 (出力) / TIOC3D (入出力)	PC15 (入出力) / A15 (出力) / TIOC3D (入出力)	PC15 (入出力) / TIOC3D (入出力)
	A14 (出力) / TIOC3C (入出力)	PC14 (入出力) / A14 (出力) / TIOC3C (入出力)	PC14 (入出力) / TIOC3C (入出力)
	A13 (出力)	PC13 (入出力) / A13 (出力)	PC13 (入出力)
	A12 (出力)	PC12 (入出力) / A12 (出力)	PC12 (入出力)
	A11 (出力)	PC11 (入出力) / A11 (出力)	PC11 (入出力)
	A10 (出力)	PC10 (入出力) / A10 (出力)	PC10 (入出力)
	A9 (出力)	PC9 (入出力) / A9 (出力)	PC9 (入出力)
	A8 (出力)	PC8 (入出力) / A8 (出力)	PC8 (入出力)
	A7 (出力)	PC7 (入出力) / A7 (出力)	PC7 (入出力)
	A6 (出力)	PC6 (入出力) / A6 (出力)	PC6 (入出力)
	A5 (出力)	PC5 (入出力) / A5 (出力)	PC5 (入出力)
	A4 (出力)	PC4 (入出力) / A4 (出力)	PC4 (入出力)
	A3 (出力)	PC3 (入出力) / A3 (出力)	PC3 (入出力)
	A2 (出力)	PC2 (入出力) / A2 (出力)	PC2 (入出力)
	A1 (出力)	PC1 (入出力) / A1 (出力)	PC1 (入出力)
	A0 (出力)	PC0 (入出力) / A0 (出力)	PC0 (入出力)

図 18.6 ポートC (PC15~0)

18.4.1 レジスタ構成

ポートCのレジスタ構成を表 18.5 に示します。

表 18.5 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポートCデータレジスタH	PCDRH	R/W	H'0000	H'FFFF 1220	8、16、32
ポートCデータレジスタL	PCDRL	R/W	H'0000	H'FFFF 1222	8、16、32

18.4.2 ポート C データレジスタ H (PCDRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							PC25	PC24	PC23	PC22	PC21	PC20	PC19	PC18	PC17	PC16
							DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C データレジスタ H (PCDRH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC25DR ~ PC16DR ビットは、それぞれ、PC25/A25/TIOC3B/TCLKD 端子 ~ PC16/A16/TIOC3A 端子に対応しています。

端子機能が汎用出力の場合には、PCDRH に値を書き込むと端子からその値が出力され、PCDRH を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDRH を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDRH に値を書き込むと、PCDRH にその値を書き込めますが、端子の状態には影響しません。表 18.6 にポート C データレジスタの読み出し / 書き込み動作を示します。

PCDRH は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

18.4.3 ポート C データレジスタ L (PCDRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C データレジスタ L (PCDRL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC15DR ~ PC0DR ビットは、それぞれ、PC15/A15/TIOC3D 端子 ~ PC0/A0 端子に対応しています。

端子機能が汎用出力の場合には、PCDRL に値を書き込むと端子からその値が出力され、PCDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDRL に値を書き込むと、PCDRL にその値を書き込めますが、端子の状態には影響しません。表 18.6 にポート C データレジスタの読み出し / 書き込み動作を示します。

PCDRL は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

表 18.6 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作

PCIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	不定	PCDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDR の値	書き込み値が端子から出力される
	汎用出力以外	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない

18.5 ポート D

ポート D は、図 18.7、図 18.8 に示すような、32 本の端子を持つ入出力ポートです。

	内蔵ROM無効 拡張モード (モード3、4)	内蔵ROM無効 拡張モード (モード2)	内蔵ROM有効 拡張モード	シングルチップ モード
ポート D	PD31 (入出力) / D31 (入出力) / RXD2 (入力) / TIOC5A (入出力)	D31 (入出力) / RXD2 (入力) / TIOC5A (入出力)	PD31 (入出力) / D31 (入出力) / RXD2 (入力) / TIOC5A (入出力)	PD31 (入出力) / RXD2 (入力) / TIOC5A (入出力)
	PD30 (入出力) / D30 (入出力) / TXD2 (出力) / TIOC4B (入出力)	D30 (入出力) / TXD2 (出力) / TIOC4B (入出力)	PD30 (入出力) / D30 (入出力) / TXD2 (出力) / TIOC4B (入出力)	PD30 (入出力) / TXD2 (出力) / TIOC4B (入出力)
	PD29 (入出力) / D29 (入出力) / SCK2 (入出力) / TIOC4A (入出力)	D29 (入出力) / SCK2 (入出力) / TIOC4A (入出力)	PD29 (入出力) / D29 (入出力) / SCK2 (入出力) / TIOC4A (入出力)	PD29 (入出力) / SCK2 (入出力) / TIOC4A (入出力)
	PD28 (入出力) / D28 (入出力) / TCLKB (入力) / TIOC3D (入出力)	D28 (入出力) / TCLKB (入力) / TIOC3D (入出力)	PD28 (入出力) / D28 (入出力) / TCLKB (入力) / TIOC3D (入出力)	PD28 (入出力) / TCLKB (入力) / TIOC3D (入出力)
	PD27 (入出力) / D27 (入出力) / TCLKA (入力) / TIOC3C (入出力)	D27 (入出力) / TCLKA (入力) / TIOC3C (入出力)	PD27 (入出力) / D27 (入出力) / TCLKA (入力) / TIOC3C (入出力)	PD27 (入出力) / TCLKA (入力) / TIOC3C (入出力)
	PD26 (入出力) / D26 (入出力) / PWOB (出力)	D26 (入出力) / PWOB (出力)	PD26 (入出力) / D26 (入出力) / PWOB (出力)	PD26 (入出力) / PWOB (出力)
	PD25 (入出力) / D25 (入出力) / PVOB (出力)	D25 (入出力) / PVOB (出力)	PD25 (入出力) / D25 (入出力) / PVOB (出力)	PD25 (入出力) / PVOB (出力)
	PD24 (入出力) / D24 (入出力) / PUOB (出力)	D24 (入出力) / PUOB (出力)	PD24 (入出力) / D24 (入出力) / PUOB (出力)	PD24 (入出力) / PUOB (出力)
	PD23 (入出力) / D23 (入出力) / PCIO (入出力) / SCK1 (入出力)	D23 (入出力) / PCIO (入出力) / SCK1 (入出力)	PD23 (入出力) / D23 (入出力) / PCIO (入出力) / SCK1 (入出力)	PD23 (入出力) / PCIO (入出力) / SCK1 (入出力)
	PD22 (入出力) / D22 (入出力) / PWOA (出力) / SCK0 (入出力)	D22 (入出力) / PWOA (出力) / SCK0 (入出力)	PD22 (入出力) / D22 (入出力) / PWOA (出力) / SCK0 (入出力)	PD22 (入出力) / PWOA (出力) / SCK0 (入出力)
	PD21 (入出力) / D21 (入出力) / PVOA (出力) / IRQ7 (入力)	D21 (入出力) / PVOA (出力) / IRQ7 (入力)	PD21 (入出力) / D21 (入出力) / PVOA (出力) / IRQ7 (入力)	PD21 (入出力) / PVOA (出力) / IRQ7 (入力)
	PD20 (入出力) / D20 (入出力) / PUOA (出力) / IRQ6 (入力)	D20 (入出力) / PUOA (出力) / IRQ6 (入力)	PD20 (入出力) / D20 (入出力) / PUOA (出力) / IRQ6 (入力)	PD20 (入出力) / PUOA (出力) / IRQ6 (入力)
	PD19 (入出力) / D19 (入出力) / POE3 (入力) / IRQ5 (入力)	D19 (入出力) / POE3 (入力) / IRQ5 (入力)	PD19 (入出力) / D19 (入出力) / POE3 (入力) / IRQ5 (入力)	PD19 (入出力) / POE3 (入力) / IRQ5 (入力)
	PD18 (入出力) / D18 (入出力) / POE2 (入力) / IRQ4 (入力)	D18 (入出力) / POE2 (入力) / IRQ4 (入力)	PD18 (入出力) / D18 (入出力) / POE2 (入力) / IRQ4 (入力)	PD18 (入出力) / POE2 (入力) / IRQ4 (入力)
	PD17 (入出力) / D17 (入出力) / POET (入力) / ADTRG (入力)	D17 (入出力) / POET (入力) / ADTRG (入力)	PD17 (入出力) / D17 (入出力) / POET (入力) / ADTRG (入力)	PD17 (入出力) / POET (入力) / ADTRG (入力)
	PD16 (入出力) / D16 (入出力) / POE0 (入力)	D16 (入出力) / POE0 (入力)	PD16 (入出力) / D16 (入出力) / POE0 (入力)	PD16 (入出力) / POE0 (入力)

図 18.7 ポート D (PD31 ~ 16)

18. I/Oポート (I/O)

	内蔵ROM無効 拡張モード (モード4)	内蔵ROM無効 拡張モード (モード3,2)	内蔵ROM有効 拡張モード	シングルチップ モード
ポート D	PD15 (入出力) / D15 (入出力) / TIOC5B (入出力)	D15 (入出力) / TIOC5B (入出力)	PD15 (入出力) / D15 (入出力) / TIOC5B (入出力)	PD15 (入出力) / TIOC5B (入出力)
	PD14 (入出力) / D14 (入出力) / TIOC5A (入出力)	D14 (入出力) / TIOC5A (入出力)	PD14 (入出力) / D14 (入出力) / TIOC5A (入出力)	PD14 (入出力) / TIOC5A (入出力)
	PD13 (入出力) / D13 (入出力) / TIOC4B (入出力)	D13 (入出力) / TIOC4B (入出力)	PD13 (入出力) / D13 (入出力) / TIOC4B (入出力)	PD13 (入出力) / TIOC4B (入出力)
	PD12 (入出力) / D12 (入出力) / TIOC4A (入出力)	D12 (入出力) / TIOC4A (入出力)	PD12 (入出力) / D12 (入出力) / TIOC4A (入出力)	PD12 (入出力) / TIOC4A (入出力)
	PD11 (入出力) / D11 (入出力) / TIOC2B (入出力)	D11 (入出力) / TIOC2B (入出力)	PD11 (入出力) / D11 (入出力) / TIOC2B (入出力)	PD11 (入出力) / TIOC2B (入出力)
	PD10 (入出力) / D10 (入出力) / TIOC2A (入出力)	D10 (入出力) / TIOC2A (入出力)	PD10 (入出力) / D10 (入出力) / TIOC2A (入出力)	PD10 (入出力) / TIOC2A (入出力)
	PD9 (入出力) / D9 (入出力) / TIOC1B (入出力)	D9 (入出力) / TIOC1B (入出力)	PD9 (入出力) / D9 (入出力) / TIOC1B (入出力)	PD9 (入出力) / TIOC1B (入出力)
	PD8 (入出力) / D8 (入出力) / TIOC1A (入出力)	D8 (入出力) / TIOC1A (入出力)	PD8 (入出力) / D8 (入出力) / TIOC1A (入出力)	PD8 (入出力) / TIOC1A (入出力)
	D7 (入出力)	D7 (入出力)	PD7 (入出力) / D7 (入出力)	PD7 (入出力)
	D6 (入出力)	D6 (入出力)	PD6 (入出力) / D6 (入出力)	PD6 (入出力)
	D5 (入出力)	D5 (入出力)	PD5 (入出力) / D5 (入出力)	PD5 (入出力)
	D4 (入出力)	D4 (入出力)	PD4 (入出力) / D4 (入出力)	PD4 (入出力)
	D3 (入出力)	D3 (入出力)	PD3 (入出力) / D3 (入出力)	PD3 (入出力)
	D2 (入出力)	D2 (入出力)	PD2 (入出力) / D2 (入出力)	PD2 (入出力)
	D1 (入出力)	D1 (入出力)	PD1 (入出力) / D1 (入出力)	PD1 (入出力)
	D0 (入出力)	D0 (入出力)	PD0 (入出力) / D0 (入出力)	PD0 (入出力)

図 18.8 ポート D (PD15~0)

18.5.1 レジスタ構成

ポート D のレジスタ構成を表 18.7 に示します。

表 18.7 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D データレジスタ H	PDDRH	R/W	H'0000	H'FFFF 1230	8、16、32
ポート D データレジスタ L	PDDRL	R/W	H'0000	H'FFFF 1232	8、16、32

18.5.2 ポート D データレジスタ H (PDDRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD31	PD30	PD29	PD28	PD27	PD26	PD25	PD24	PD23	PD22	PD21	PD20	PD19	PD18	PD17	PD16
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D データレジスタ H (PDDRH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD31DR ~ PD16DR ビットは、それぞれ、PD31/D31/RXD2/TIOC5A 端子 ~ PD16/D16/POE0 端子に対応しています。

端子機能が汎用出力の場合には、PDDRH に値を書き込むと端子からその値が出力され、PDDRH を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRH を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDRH に値を書き込むと、PDDRH にその値を書き込めますが、端子の状態には影響しません。表 18.8 にポート D データレジスタの読み出し / 書き込み動作を示します。

PDDRH は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

18.5.3 ポート D データレジスタ L (PDDRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D データレジスタ L (PDDRL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD15DR ~ PD0DR ビットは、それぞれ、PD15/D15/TIOC5B 端子 ~ PD0/D0 端子に対応しています。

端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDRL に値を書き込むと、PDDRL にその値を書き込めますが、端子の状態には影響しません。表 18.8 にポート D データレジスタの読み出し / 書き込み動作を示します。

PDDRL は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

表 18.8 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

PDIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	不定	PDDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDR の値	書き込み値が端子から出力される
	汎用出力以外	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない

18.6 ポート E

ポート E は、図 18.9、図 18.10 に示すような、12 本の端子を持つ入出力ポートです。

	内蔵ROM無効 拡張モード	内蔵ROM有効 拡張モード	シングルチップ モード
ポート E	PE23 (入出力) / IRQ7 (入力) / PWOB (出力)	同左	同左
	PE22 (入出力) / IRQ6 (入力) / PVOB (出力)	同左	同左
	PE21 (入出力) / IRQ5 (入力) / PUOB (出力)	同左	同左
	PE20 (入出力) / IRQ4 (入力) / PCO (出力) / PCI (入力)	同左	同左
	PE19 (入出力) / IRQ3 (入力) / PWOA (出力)	同左	同左
	PE18 (入出力) / IRQ2 (入力) / PVOA (出力)	同左	同左
	PE17 (入出力) / IRQ1 (入力) / PUOA (出力) / SCK0 (入出力)	同左	同左
	PE16 (入出力) / IRQ0 (入力) / SCK1 (入出力) / AH (出力)	同左	PE16 (入出力) / IRQ0 (入力) / SCK1 (入出力)

図 18.9 ポート E (PE23 ~ 16)

	内蔵ROM無効 拡張モード	内蔵ROM有効 拡張モード	シングルチップ モード
ポート E	PE15 (入出力) / IRQ7 (入力)	同左	同左
	PE14 (入出力) / IRQ6 (入力)	同左	同左
	PE13 (入出力) / IRQ5 (入力)	同左	同左
	PE12 (入出力) / IRQ4 (入力)	同左	同左

図 18.10 ポート E (PE15 ~ 12)

18.6.1 レジスタ構成

ポート E のレジスタ構成を表 18.9 に示します。

表 18.9 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ H	PEDRH	R/W	H'0000	H'FFFF 1240	8、16、32
ポート E データレジスタ L	PEDRL	R/W	H'0000	H'FFFF 1242	8、16、32

18.6.2 ポート E データレジスタ H (PEDRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									PE23 DR	PE22 DR	PE21 DR	PE20 DR	PE19 DR	PE18 DR	PE17 DR	PE16 DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E データレジスタ H (PEDRH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE23DR ~ PE16DR ビットは、それぞれ、PE23/IRQ7/PWOB 端子 ~ PE16/IRQ0/SCK0/AH 端子に対応しています。

端子機能が汎用出力の場合には、PEDRH に値を書き込むと端子からその値が出力され、PEDRH を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDRH を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDRH に値を書き込むと、PEDRH にその値を書き込みますが、端子の状態には影響しません。表 18.10 にポート E データレジスタの読み出し / 書き込み動作を示します。

PEDRH は、外部からのパワーオンリセットで初期化されません。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

18.6.3 ポート E データレジスタ L (PEDRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 DR	PE14 DR	PE13 DR	PE12 DR												
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ポート E データレジスタ L (PEDRL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE15DR ~ PE12DR ビットは、それぞれ、PE15/IRQ7 端子 ~ PE12/IRQ4 端子に対応しています。

端子機能が汎用出力の場合には、PEDRL に値を書き込むと端子からその値が出力され、PEDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDRL に値を書き込むと、PEDRL にその値を書き込みますが、端子の状態には影響しません。表 18.10 にポート E データレジスタの読み出し / 書き込み動作を示します。

PEDRL は、外部からのパワーオンリセットで初期化されません。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

表 18.10 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	不定	PEDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDR の値	書き込み値が端子から出力される
	汎用出力以外	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない

18.7 ポート F

ポート F は、図 18.11 に示すような、6 本の端子を持つ入出力ポートです。

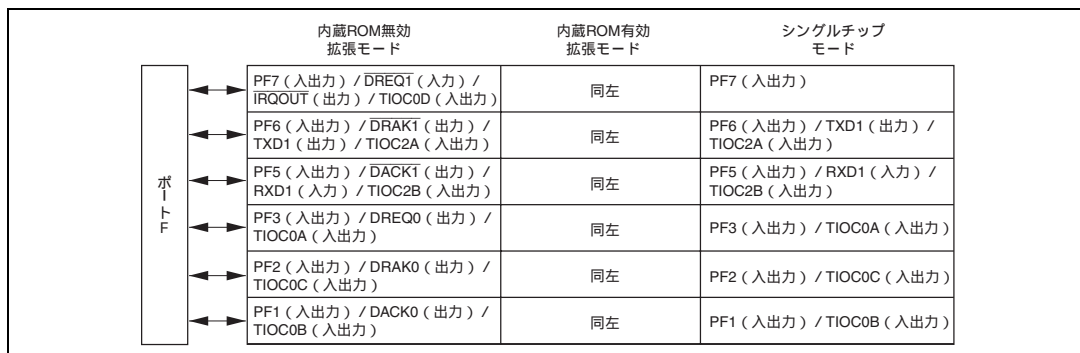


図 18.11 ポート F (PF7~1)

18.7.1 レジスタ構成

ポート F のレジスタ構成を表 18.11 に示します。

表 18.11 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ L	PFDR L	R/W	H'0000	H'FFFF 1262	8、16、32

18.7.2 ポートFデータレジスタL (PFDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									PF7 DR	PF6 DR	PF5 DR		PF3 DR	PF2 DR	PF1 DR	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R

ポートFデータレジスタL (PFDR) は、読み出し / 書き込み可能な16ビットのレジスタで、ポートFのデータを格納します。PF7DR ~ PF1DR ビットは、それぞれ、PF7/DREQ1/IRQOUT/TIOC0D 端子 ~ PF1/DACK0/TIOC0B 端子に対応しています。

端子機能が汎用出力の場合には、PFDR に値を書き込むと端子からその値が出力され、PFDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PFDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PFDR に値を書き込むと、PFDR にその値を書き込めますが、端子の状態には影響しません。表 18.12 にポートFデータレジスタの読み出し / 書き込み動作を示します。

PFDR は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

表 18.12 ポートFデータレジスタ (PFDR) の読み出し / 書き込み動作

PFIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	不定	PFDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR の値	書き込み値が端子から出力される
	汎用出力以外	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない

18.8 ポート G

ポート G は、図 18.12 に示すような、3 本の端子を持つ入出力ポートです。



図 18.12 ポート G (PG31 ~ 29)

18.8.1 レジスタ構成

ポート G のレジスタ構成を表 18.13 に示します。

表 18.13 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート G データレジスタ	PGDRH	R/W	H'0000	H'FFFF 1270	8、16、32

18.8.2 ポート G データレジスタ H (PGDRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG31 DR	PG30 DR	PG29 DR													
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ポート G データレジスタ H (PGDRH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G のデータを格納します。PG31DR ~ PG29DR ビットは、それぞれ、PG31/RXD2 端子 ~ PG29/SCK1 端子に対応しています。

端子機能が汎用出力の場合には、PGDRH に値を書き込むと端子からその値が出力され、PGDRH を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PGDRH を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PGDRH に値を書き込むと、PGDRH にその値を書き込めますが、端子の状態には影響しません。表 18.14 にポート G データレジスタの読み出し / 書き込み動作を示します。

PGDRH は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

表 18.14 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作

PGIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	不定	PGDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PGDR の値	書き込み値が端子から出力される
	汎用出力以外	PGDR の値	PGDR に書き込めるが、端子の状態に影響しない

18.9 ポート H

ポート H は、図 18.13 に示すような、2 本の端子を持つ入出力ポートです。

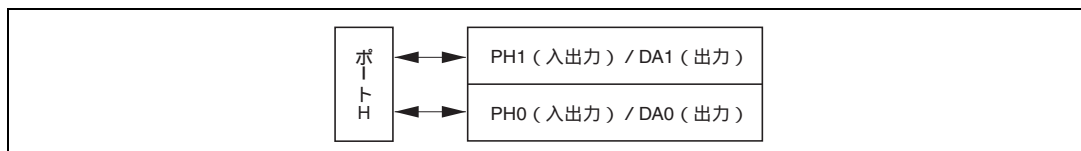


図 18.13 ポート H (PH1 ~ 0)

18.9.1 レジスタ構成

ポート H のレジスタ構成を表 18.15 に示します。

表 18.15 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート H データレジスタ	PHDR	R/W	H'0000	H'FFFF 1282	8

18.9.2 ポート H データレジスタ (PHDR)

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PH1 DR	PH0 DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W

ポート H データレジスタ (PHDR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、ポート H のデータを格納します。PH1DR ~ PH0DR ビットは、それぞれ、PH1/DA1 端子 ~ PH0/DA0 端子に対応しています。

端子機能が汎用出力の場合には、PHDR に値を書き込むと端子からその値が出力され、PHDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PHDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PHDR に値を書き込むと、PHDR にその値を書き込みますが、端子の状態には影響しません。表 18.16 にポート H データレジスタの読み出し / 書き込み動作を示します。

PHDR は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモード時は初期化されません。

表 18.16 ポート H データレジスタ (PHDR) の読み出し / 書き込み動作

PHIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	不定	PHDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PHDR の値	書き込み値が端子から出力される
	汎用出力以外	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない

18.10 ポート I

ポート I は、図 18.14 に示すような、8 本の端子を持つ入力ポートです。

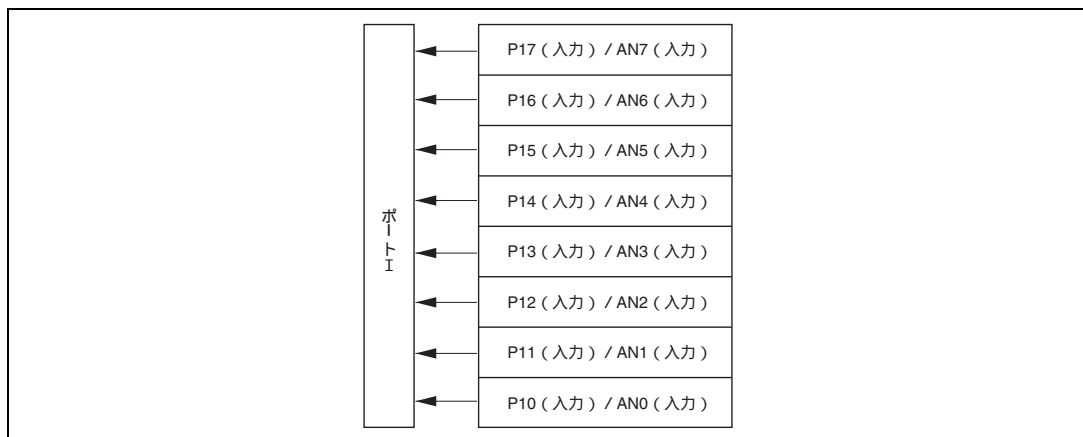


図 18.14 ポート I (PI7~0)

18.10.1 レジスタ構成

ポート I のレジスタ構成を表 18.17 に示します。

表 18.17 レジスタ構成

名称	略称	R/W	初期値*	アドレス	アクセスサイズ
ポート I データレジスタ	PIDR	R	外部端子に依存	H'FFFF 1290	8

【注】 * 初期値は読み出し時の端子状態に依存します。

18.10.2 ポートIデータレジスタ (PIDR)

ビット :	7	6	5	4	3	2	1	0
	PI7 DR	PI6 DR	PI5 DR	PI4 DR	PI3 DR	PI2 DR	PI1 DR	PI0 DR
初期値 :	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R

【注】* 初期値は読み出し時の端子状態に依存します。

ポートIデータレジスタ (PIDR) は、読み出し専用の8ビットのレジスタで、ポートIのデータを格納します。PI7DR ~ PI0DR ビットは、それぞれ、PI7/AN7 端子 ~ PI0/AN0 端子に対応しています。

これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D変換器のアナログ入力をサンプリングしている間は1が読み出されます。表 18.18 にポートIデータレジスタの読み出し/書き込み動作を示します。

PIDR は、パワーオンリセット、WDT によるリセット、スタンバイモード、スリープモードのいずれでも初期化されません (ビットは常に端子の状態を反映します)。

表 18.18 ポートIデータレジスタ (PIDR) の読み出し/書き込み動作

端子入出力	端子機能	読み出し	書き込み
入力	汎用	端子の状態が読み出される	無視される (端子の状態に影響しない)
	ANn	1が読み出される	無視される (端子の状態に影響しない)

【記号説明】

ANn : アナログ入力

19. 256KB フラッシュメモリ (F-ZTAT)

19.1 特長

本 LSI は 256KB のフラッシュメモリを内蔵しています。フラッシュメモリには、次の特長があります。

- フラッシュメモリの 4 種類の動作モード
 - プログラムモード
 - イレースモード
 - プログラムベリファイモード
 - イレースベリファイモード
- 書き込み / 消去方式
書き込みは128バイト同時書き込みを行います。消去はブロック分割消去 (1ブロック単位) で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では4KB、32KB、64KBのブロック単位で任意に設定することができます。
- 書き込み / 消去時間
フラッシュメモリの書き込み時間は、128バイト同時書き込みにて15ms (typ.)、1バイトあたり換算にて117 μ s (typ.)。消去時間は、ブロックあたり10ms (typ.) です。
- 書き換え回数
フラッシュメモリの書き換えは、100回まで可能です。
- オンボードプログラミングモード
オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う2種類のモードがあります。
 - ブートモード
 - ユーザプログラムモード
- ビットレート自動合わせ込み
ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動で合わせることができます。
- 内蔵 RAM によるフラッシュメモリのエミュレーション機能
フラッシュメモリと内蔵RAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。
- プロテクトモード
ソフトウェアプロテクトモードとハードウェアプロテクトモードの2種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。
- ライタモード
フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラムモード以外にPROMライタを用いたライタモードがあります。

19.2 概要

19.2.1 ブロック図

フラッシュメモリのブロック図を図 19.1 に示します。

内蔵 ROM は 64 ビット幅で 2 サイクルアクセスします。内蔵 ROM は、バッファ経由で内部データバス (C バス) に接続されており、実質的に 32 ビット幅 1 サイクルアクセス性能でアクセスすることができます。

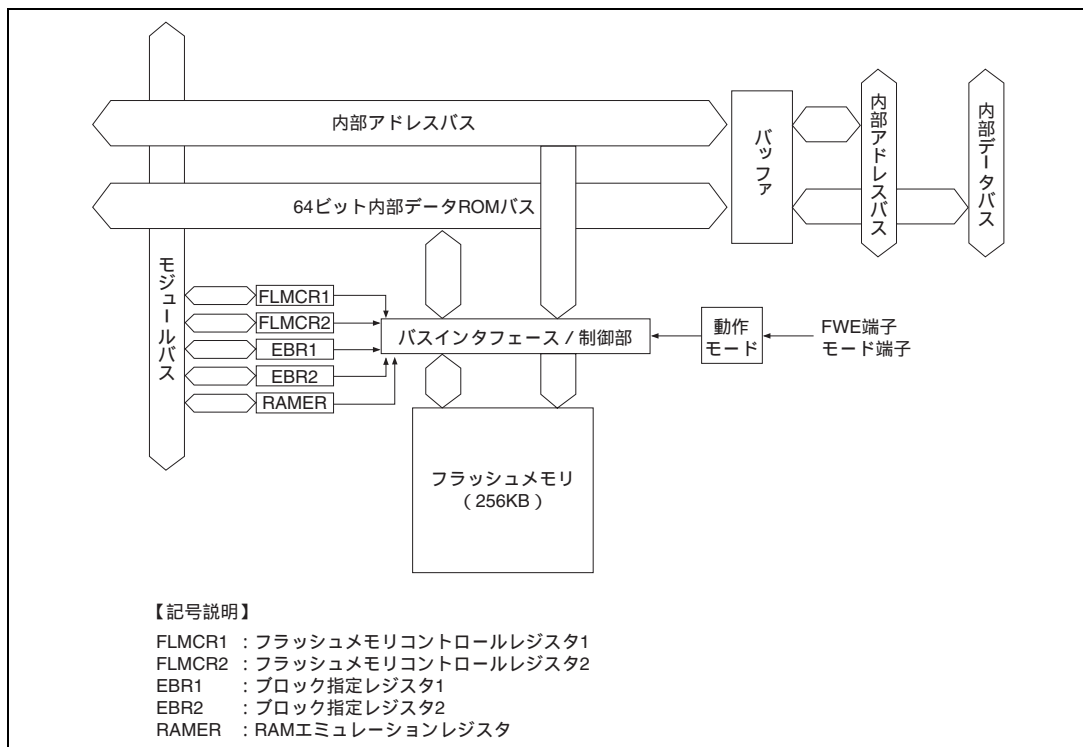


図 19.1 フラッシュメモリのブロック図

19.2.2 モード遷移図

リセット状態で各モード端子と FWE 端子を設定し、リセットスタートすると、マイコンは図 19.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。

フラッシュメモリへの書き込み / 消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

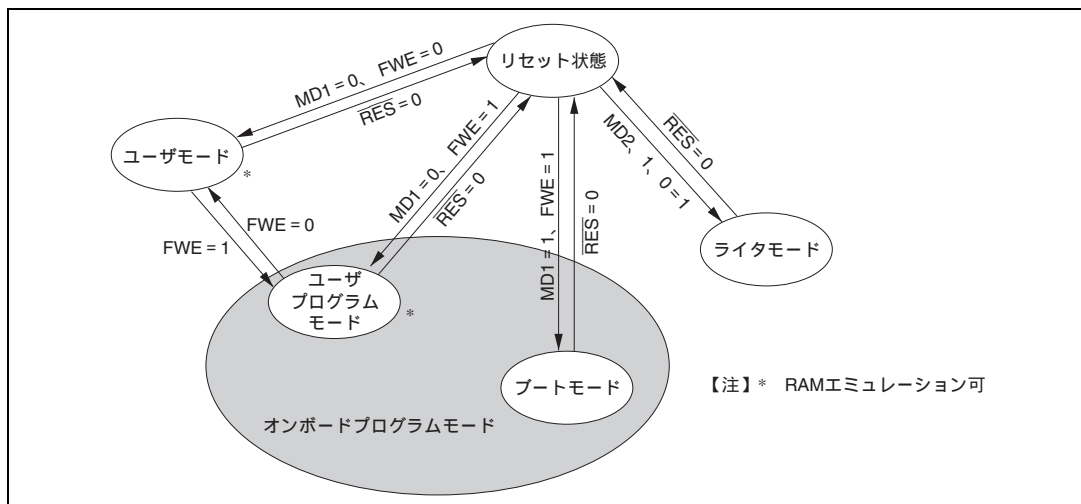


図 19.2 フラッシュメモリに関する状態遷移

19.2.3 オンボードプログラミングモード

(1) ブートモード

図 19.3 にブートモードによる書き換え動作を示します。ブートモードについての詳細は「19.6.1 ブートモード」を参照してください。

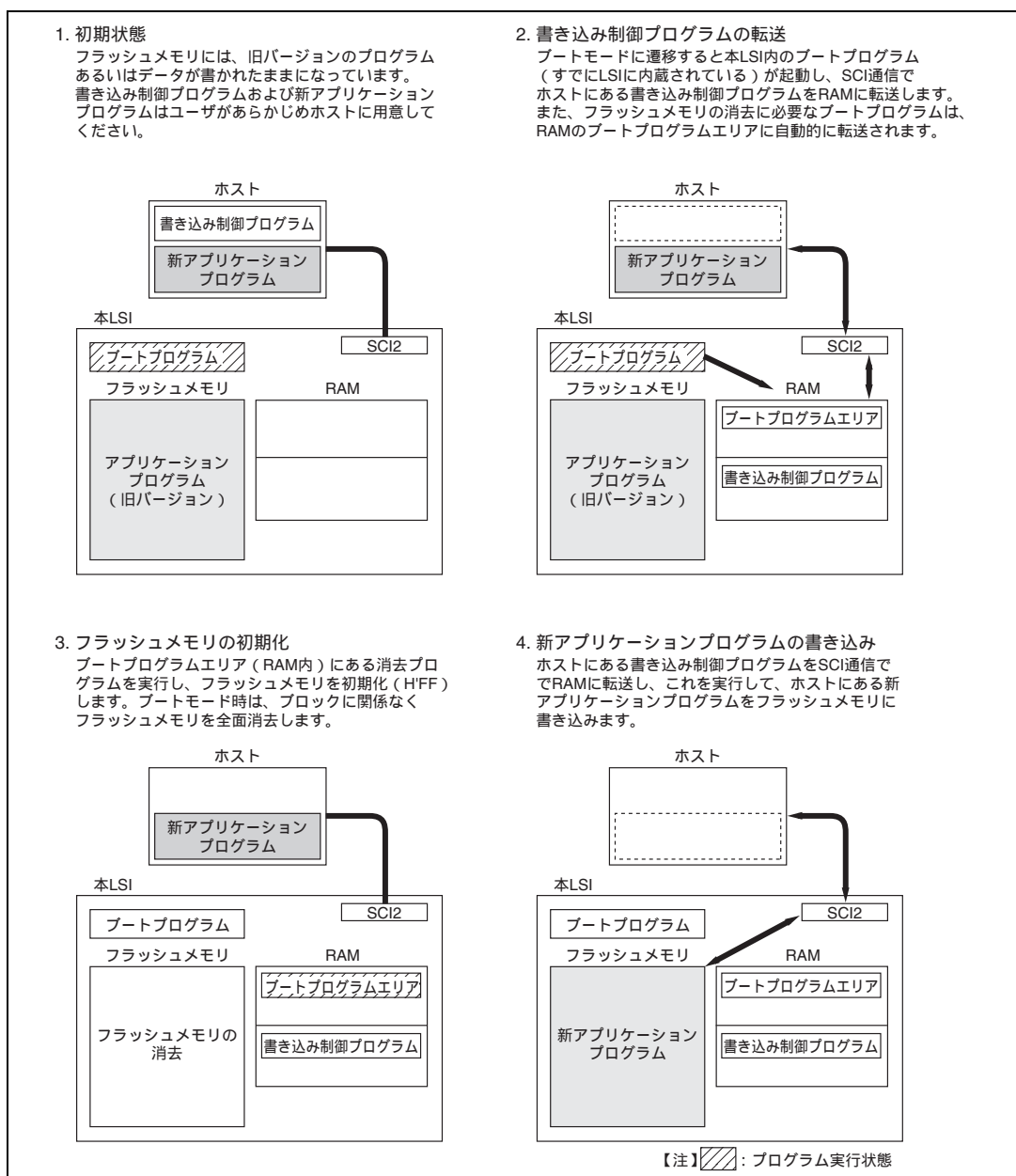


図 19.3 ブートモードによる書き換え動作

(2) ユーザプログラムモード

図 19.4 にユーザプログラムモードによる書き換え動作の例を示します。ユーザプログラムモードについての詳細は「19.6.2 ユーザプログラムモード」を参照してください。

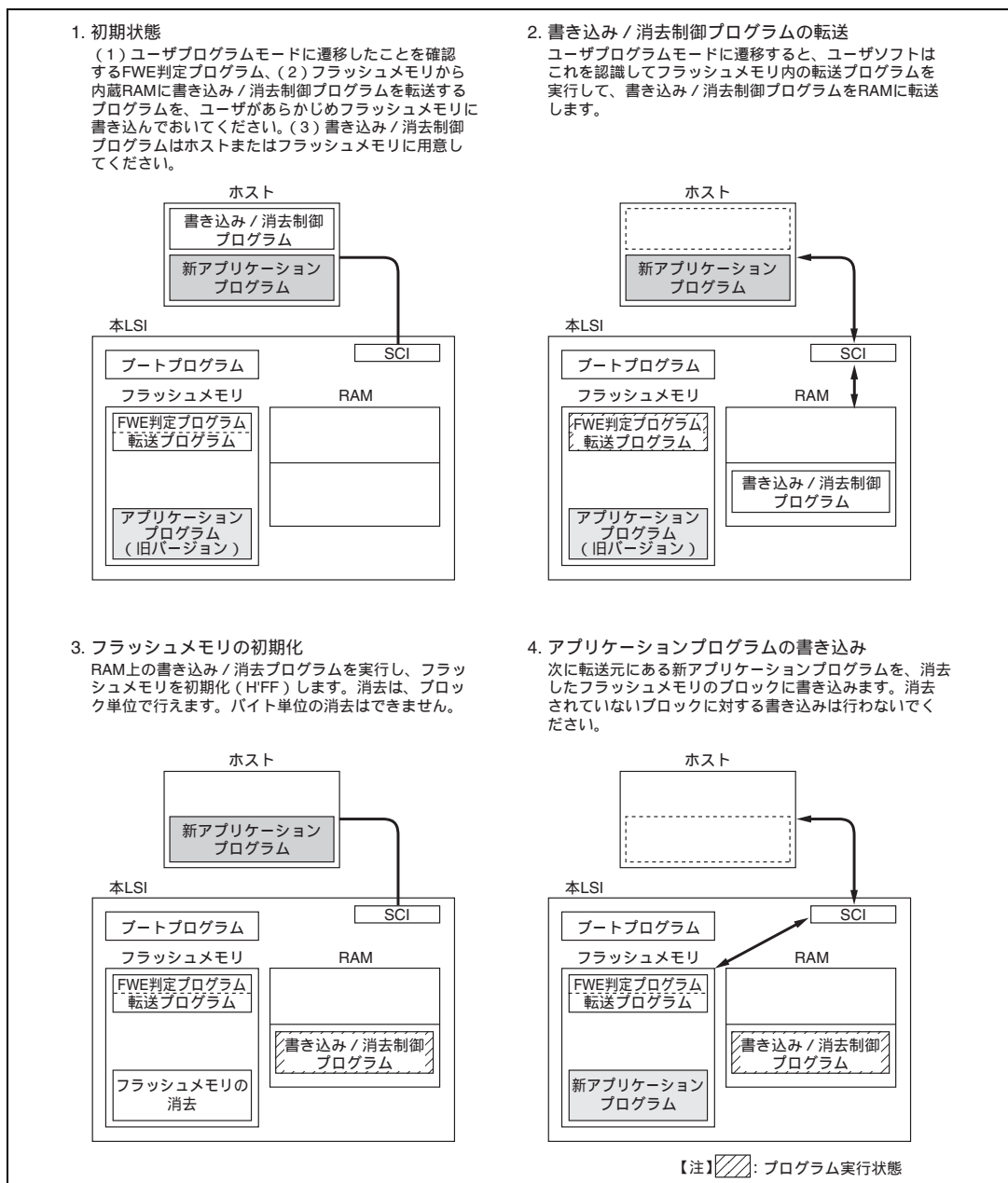


図 19.4 ユーザプログラムモードによる書き換え動作例

19.2.4 RAM によるフラッシュメモリのエミュレーション

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に対してリード、ライトのアクセスが行われます。

<ユーザモード>

<ユーザプログラムモード>

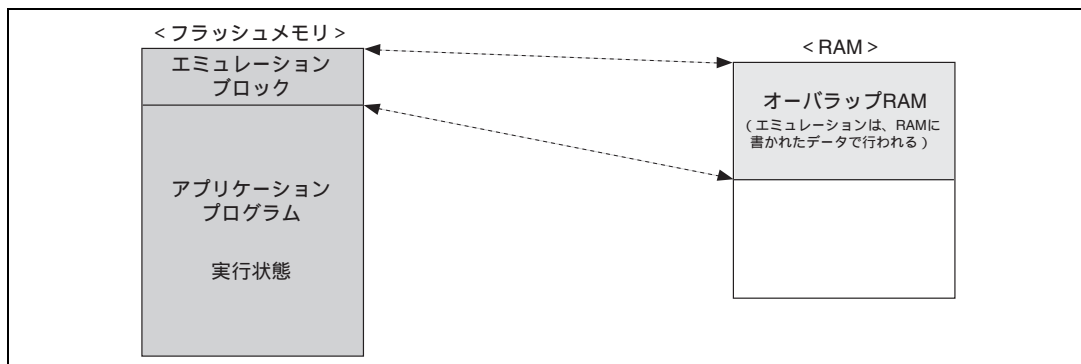


図 19.5 RAM エミュレーション (RAM のオーバーラップ)

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、ユーザプログラムモードで実際にフラッシュメモリへの書き込みを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

<ユーザプログラムモード>

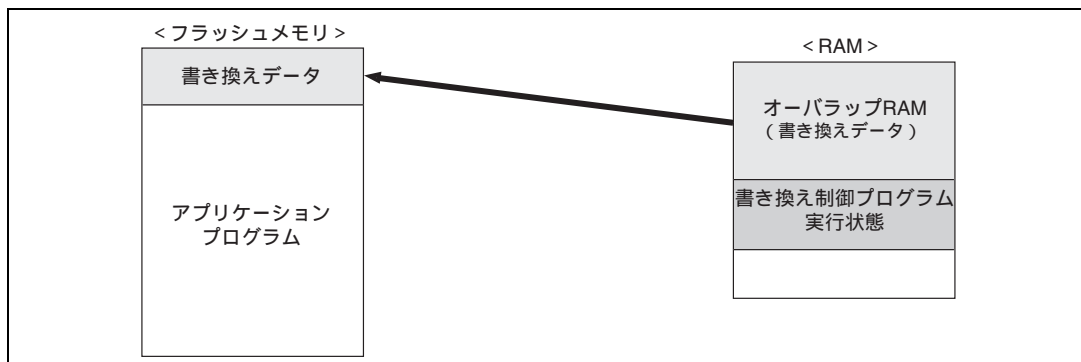


図 19.6 RAM エミュレーション (フラッシュメモリの書き換え)

19.2.5 ブートモードとユーザプログラムモードの相違

表 19.1 ブートモードとユーザプログラムモードの相違

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	(2)	(1) (2) (3)

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

- (1) イレース/イレースベリファイ
- (2) プログラム/プログラムベリファイ
- (3) エミュレーション

19.2.6 ブロック分割法

フラッシュメモリの消去エリアは、4KB (8 ブロック)、32KB (1 ブロック)、64KB (3 ブロック) に分割されています。ユーザプログラムモードでは、ブロック単位に消去できます。

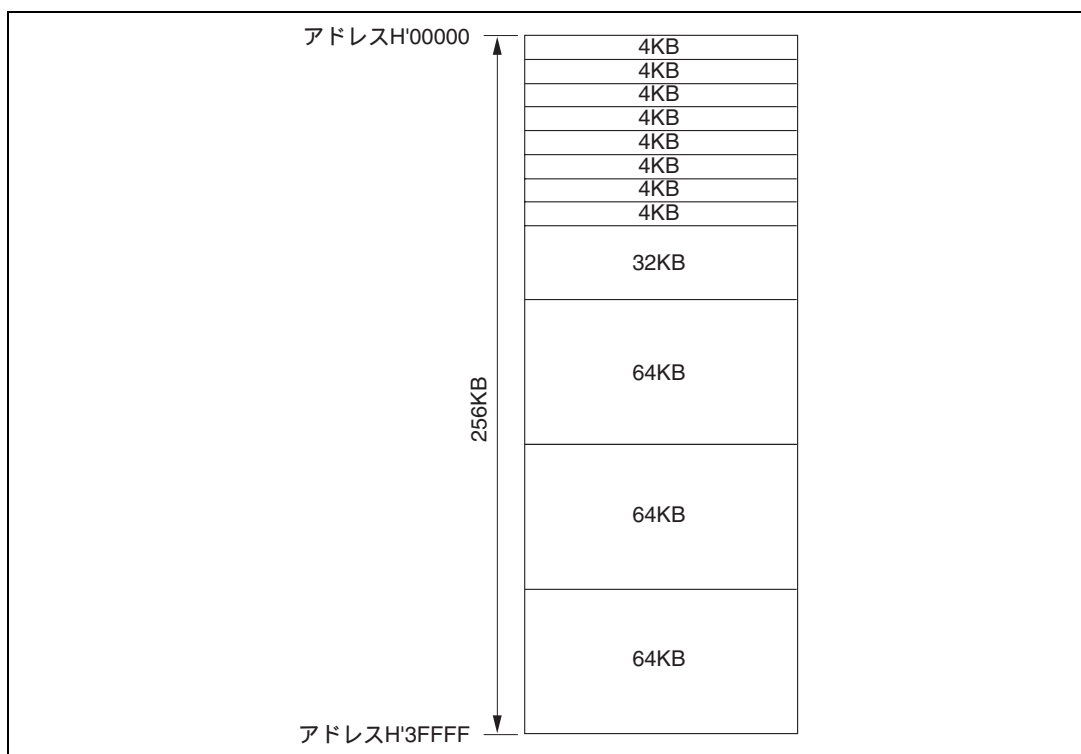


図 19.7 消去エリアのブロック分割

19.3 端子構成

フラッシュメモリは表 19.2 に示す端子により制御されます。

表 19.2 端子構成

端子名	略称	入出力	機能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	書き込み / 消去をハードウェアプロテクト
モード 5	MD5	入力	本 LSI のクロック動作モードを設定
モード 4	MD4	入力	本 LSI のクロック動作モードを設定
モード 3	MD3	入力	本 LSI のクロック動作モードを設定
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD2(PG30)	出力	シリアル送信データ出力
レシーブデータ	RxD2(PG31)	入力	シリアル受信データ入力

19.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 19.3 に示します。

表 19.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
フラッシュメモリコントロールレジスタ 1	FLMCR1	R/W*1	H'00*2	FFFF0800	8
フラッシュメモリコントロールレジスタ 2	FLMCR2	R	H'00	FFFF0801	8
ブロック指定レジスタ 1	EBR1	R/W*1	H'00*3	FFFF0802	8
ブロック指定レジスタ 2	EBR2	R/W*1	H'00*3	FFFF0803	8
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	FFFF0C70	8、16、32

【注】 *1 内蔵 ROM 無効モード (MCU モード 2、3、4) のときは、読み出すと H'00 が読み出され、書き込みも無効となります。また、FLMCR1 の FWE ビットがセット (FWE = 1) されていないときも書き込みは無効です。

*2 FWE 端子にハイレベルが入力されているときの初期値は H'80 です。

*3 FWE 端子にローレベルが入力されているとき、あるいはハイレベルが入力されていても FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。

1. FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビット、RAMER は 16 ビットのレジスタです。
2. FLMCR1、FLMCR2、EBR1、EBR2 はバイトアクセスのみ有効で、3 サイクルとなります。RAMER はバイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。
3. RAMER にロングワードで書き込み動作を行う場合、下位ワード (H'FFFF0C72 番地) には常に 0 を書き込んでください。0 以外の値を書き込んだ場合、動作の保証はできません。

19.5 レジスタの説明

19.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。

プログラムベリファイモード/イレースベリファイモードに遷移させるには、FWE=1 のときに SWE=1 をセット後、EV ビットまたは PV ビットをセットします。

プログラムモードへ遷移させるには、FWE=1 のときに、SWE=1 をセット後、PSU ビットをセットし、最後に P ビットをセットします。

イレースモードへ遷移するには、FWE=1 のときに、SWE=1 をセット後、ESU ビットをセットし、最後に E ビットをセットします。

FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE 端子にハイレベルが入力されているときの初期値は H'80 です。ローレベルが入力されているときは H'00 です。内蔵 ROM 無効モード (MCU モード 2、3、4) のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR1 の ESU、PSU、EV、PV ビットへの書き込みは FWE=1、SWE=1 のとき、E ビットへの書き込みは FWE=1、SWE=1、ESU=1 のとき、P ビットへの書き込みは FWE=1、SWE=1、PSU=1 のときのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値:	1/0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7: フラッシュライトイネーブル (FWE)

FWE ビットは、フラッシュメモリの書き込み/消去をハードウェアプロテクトする FWE 端子の状態を表示するビットです。

ビット 7	説明
FWE	
0	FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子にハイレベルが入力されているとき

ビット 6: ソフトウェアライトイネーブル (SWE)

フラッシュメモリの書き込み/消去の有効または無効を選択するビットです (ビット 5~0、EBR1 の 7~0 ビット、EBR2 の 3~0 ビットをセットするときにセットしてください)。

SWE=1 のときは、プログラムベリファイ/イレースベリファイモード以外では、フラッシュメモリを読み出すことができません。

ビット 6	説明
SWE	
0	書き込み/消去無効 (初期値)
1	書き込み/消去有効 [セット条件] FWE=1 のとき

19. 256KB フラッシュメモリ (F-ZTAT)

ビット5：イレースセットアップ (ESU)

イレースモードへの遷移の準備をするビットです (SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット5	説明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE=1、SWE=1 のとき

ビット4：プログラムセットアップ (PSU)

プログラムモードへの遷移の準備をするビットです (SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット4	説明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE=1、SWE=1 のとき

ビット3：イレースベリファイ (EV)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット3	説明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE=1、SWE=1 のとき

ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE=1、SWE=1 のとき

ビット1：イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE=1、SWE=1、ESU=1 のとき

ビット0：プログラム (P)

プログラムモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、E ビットを同時に設定しないでください)。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE=1、SWE=1、PSU=1 のとき

19.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 は、フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) の有無をモニタする 8 ビットのレジスタです。FLMCR2 は、リセット、ハードウェアスタンバイモードで初期化されます。内蔵 ROM 無効モード (MCU モード 2、3、4) のときは読み出すと H'00 が読み出されず。

【注】 FLMCR2 は読み出し専用のレジスタです。書き込みはしないでください。

ビット：	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

19. 256KB フラッシュメモリ (F-ZTAT)

ビット7: フラッシュメモリエラー (FLER)

フラッシュメモリへ動作中(書き込み、消去)にエラーが発生したことを示すビットです。FLER=1に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が無効 [クリア条件]リセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が有効 [セット条件]「19.8.3 エラープロテクト」参照

ビット6~0: 予約ビット

読み出すと常に0が読み出されます。

19.5.3 ブロック指定レジスタ1 (EBR1)

フラッシュメモリの消去エリアをブロックごとに設定する8ビットのレジスタです。

EBR1は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE端子にローレベルが入力されているとき、およびFWE端子にハイレベルが入力されていてもFLMCR1のSWEが設定されていないときはH'00に初期化されます。EBR1の各ビットに1をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1はEBR2と合わせて1ビットのみ設定してください(2ビット以上を設定しないでください)。2ビット以上を設定した場合は、EBR1、EBR2ともにH'00にクリアされます。内蔵ROM無効モード(MCUモード2、3、4)のときは読み出すとH'00が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表19.4を参照してください。

ビット:	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.5.4 ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。

EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子にローレベルが入力されているとき、および FWE 端子にハイレベルが入力されていても FLMCR1 の SWE が設定されていないときは H'00 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。内蔵 ROM 無効モード (MCU モード 2、3、4) のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 19.4 を参照してください。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	EB11	EB10	EB9	EB8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット 7~4: 予約ビット

読み出すと常に 0 が読み出されます。

表 19.4 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (4KB)	H'000000 ~ H'000FFF
EB1 (4KB)	H'001000 ~ H'001FFF
EB2 (4KB)	H'002000 ~ H'002FFF
EB3 (4KB)	H'003000 ~ H'003FFF
EB4 (4KB)	H'004000 ~ H'004FFF
EB5 (4KB)	H'005000 ~ H'005FFF
EB6 (4KB)	H'006000 ~ H'006FFF
EB7 (4KB)	H'007000 ~ H'007FFF
EB8 (32KB)	H'008000 ~ H'00FFFF
EB9 (64KB)	H'010000 ~ H'01FFFF
EB10 (64KB)	H'020000 ~ H'02FFFF
EB11 (64KB)	H'030000 ~ H'03FFFF

19.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。リセット、またはハードウェアスタンバイモードのときに H'0000 に初期化されます。ソフトウェアスタンバイモード時には、初期化されません。RAMER の設定は、ユーザモード、ユーザプログラムモードで行ってください。

フラッシュメモリエリアの分割法は、表 19.5 を参照してください。なお、エミュレーション機能を実際に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット:	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	—	—	—	RAMAS	RAMS	RAM2	RAM1	RAM0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット 15~5 : 予約ビット

読み出すと常に 0 が読み出されます。

ビット 4 : RAM アドレスセレクト (RAMAS)

フラッシュメモリのエミュレーションに使用する RAM のアドレスを選択するビットです。本ビットは内蔵 ROM 無効モード (MCU モード 2、3、4) では無視されます。

ビット 4	説明
RAMAS	
0	H'FFFF8000 ~ H'FFFF8FFF の RAM をエミュレーションに使用します (初期値)
1	H'FFFA000 ~ H'FFFAFFF の RAM をエミュレーションに使用します

ビット3 : RAM セレクト (RAMS)

RAM によるフラッシュメモリのエミュレーション選択 / 非選択を設定するビットです。RAMS=1 のときは、フラッシュメモリ全ブロックの書き込み / 消去プロテクト状態となります。

本ビットは内蔵 ROM 無効モード (MCU モード 2、3、4) では無視されます。

ビット3	説 明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト有効

ビット2~0 : フラッシュメモリエリア選択 (RAM2 ~ RAM0)

ビット3 とともに使用し、RAM と重ね合わせるフラッシュメモリのエリアを選択します (表 19.5 参照)。

表 19.5 フラッシュメモリエリアの分割

アドレス	ブロック名	RAMS	RAM2	RAM1	RAM0
RAMAS ビットで選択されたアドレス	RAM エリア 4KB	0	*	*	*
H'000000 ~ H'000FFF	EB0 (4KB)	1	0	0	0
H'001000 ~ H'001FFF	EB1 (4KB)	1	0	0	1
H'002000 ~ H'002FFF	EB2 (4KB)	1	0	1	0
H'003000 ~ H'003FFF	EB3 (4KB)	1	0	1	1
H'004000 ~ H'004FFF	EB4 (4KB)	1	1	0	0
H'005000 ~ H'005FFF	EB5 (4KB)	1	1	0	1
H'006000 ~ H'006FFF	EB6 (4KB)	1	1	1	0
H'007000 ~ H'007FFF	EB7 (4KB)	1	1	1	1

【記号説明】

* : Don't care

19.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を、表 19.6 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 19.2 を参照してください。

表 19.6 オンボードプログラミングモードの設定方法

モード名		FWE	MD5	MD4	MD3	MD2	MD1	MD0
ブートモード	拡張モード	1	クロックモードは「第4章 クロック発振器 (CPG) と低消費電力モード」を参照してください。			0	1	1
	シングルチップモード					0	1	0
ユーザプログラムモード	拡張モード	1				0	0	1
	シングルチップモード					0	0	0

19.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネルは調歩同期式モードに設定されています。

リセット状態で本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意したユーザプログラムを SCI のチャンネル 2 (RxD2(PG31)、TxD2(PG30)) を使って本 LSI へ順次送信します。本 LSI では、SCI のチャンネル 2 で受信したユーザプログラムを内蔵 RAM のユーザプログラムエリアに書き込みます。転送終了後ユーザプログラムエリアの先頭アドレスに分岐し、ユーザプログラム実行状態となります (フラッシュメモリの書き込みを行います)。したがって、転送するユーザプログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 19.8 にブートモード時のシステム構成図、図 19.9 にブートプログラムモード実行手順を示します。

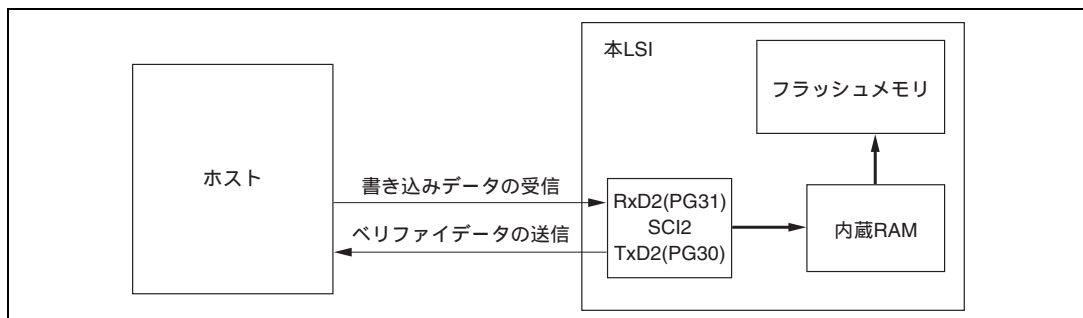


図 19.8 ブートモード時のシステム構成図

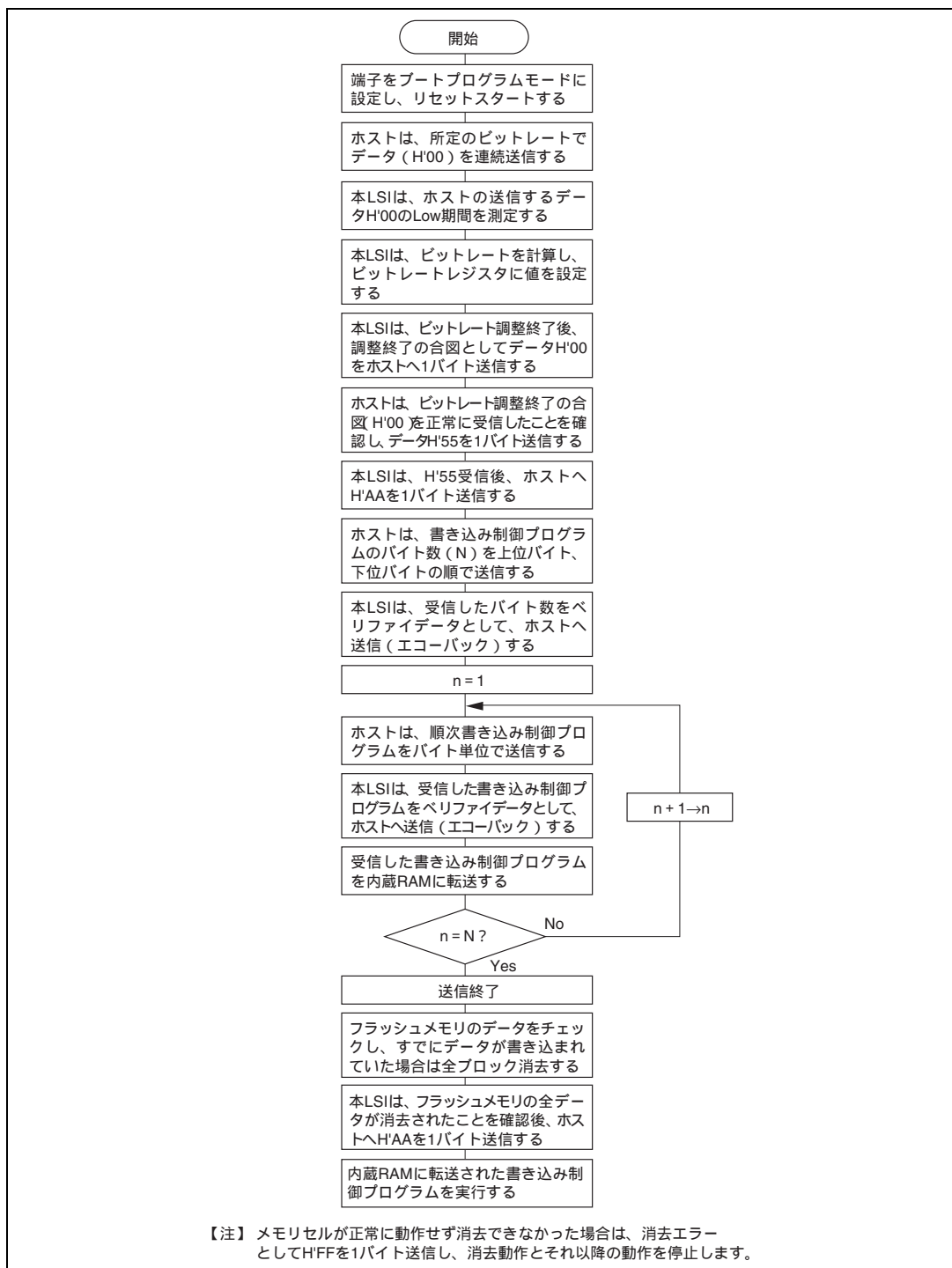


図 19.9 ブートモード実行手順

SCI ビットレートの自動合わせ込み動作

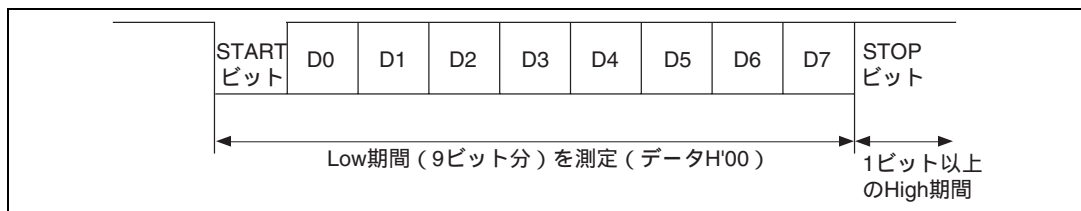


図 19.10 SCI ビットレートの自動合わせ込み動作

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能な周辺クロックの周波数を表 19.7 に示します。ブートプログラムでは各クロックの分周率は初期設定状態 (クロックモード 7 の場合のみ周辺クロックを入力の場合のみ 1/2 にします)、モジュールクロックの分周はなし、SCI2 の基本クロックはビットレートの 4 倍に設定します。周辺クロックの周波数によって合わせ込み可能なビットレートで、ブートプログラムを実行してください。

表 19.7 本 LSI のビットレートの自動合わせ込みが可能な周辺クロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能な周辺クロックの周波数
19200bps	4 ~ 30MHz
9600bps	2 ~ 30MHz

ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 19.11 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

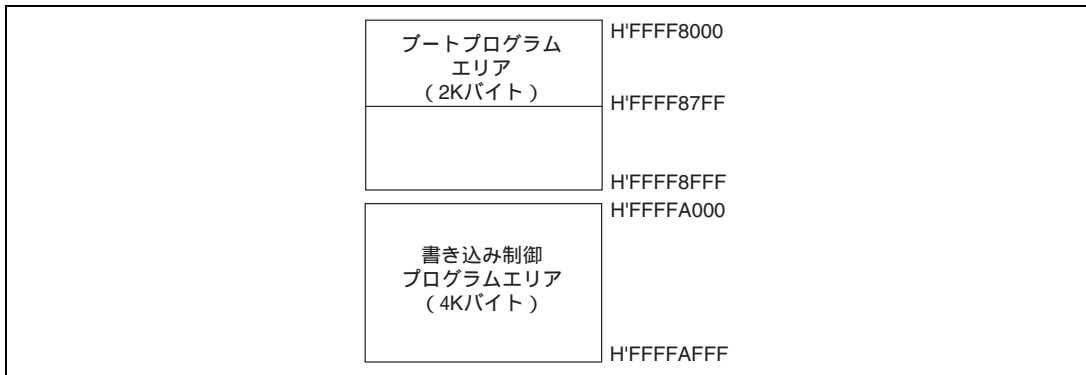


図 19.11 ブートモード時の RAM エリア

【注】 RAM 内に転送した書き込み制御プログラム実行状態に遷移するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに分岐後も RAM 内の本エリアにはブートプログラムがそのまま保持されていますので、注意してください。

19.6.2 ユーザプログラムモード

FWE 端子を設定後、あらかじめユーザが用意した書き込み / 消去制御プログラムに分岐し、実行してください。

フラッシュメモリへの書き込み / 消去を行っている間は、フラッシュメモリ自身を読み出すことはできませんので、書き込み / 消去を行う制御プログラムは内蔵 RAM / 外部メモリ上で実行するようにしてください。

フラッシュメモリに書き込む書き換え制御用プログラム (RAM に転送する場合) は、以下の手順を実行するようにしてください (図 19.12)。

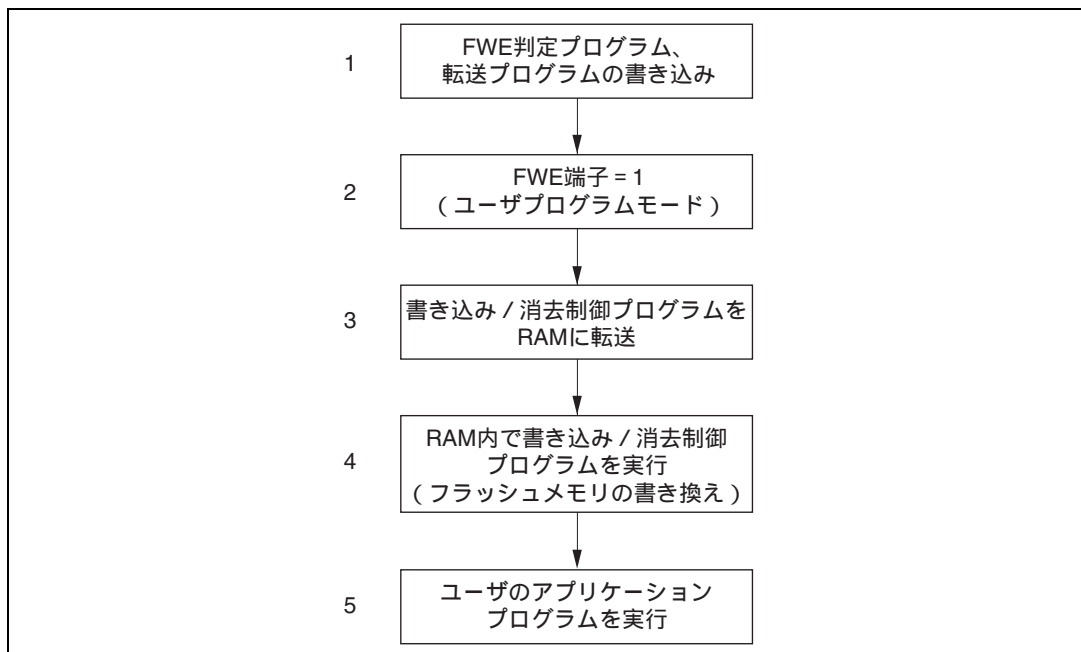


図 19.12 ユーザプログラムモードの実行手順

- 【注】 1. 書き込み / 消去時は、ウォッチドッグタイマを起動し、プログラム暴走等に対応できるようにしてください。プログラム暴走等によって過剰書き込み / 過剰消去になるとメモリセルが正常に動作しないことがあります。
2. マスク ROM 版では、フラッシュメモリ用レジスタの存在するアドレスを読むと、値は不定になります。フラッシュメモリ版のプログラムをマスク ROM 版で使用する場合、FWE 端子状態の判定はできません。フラッシュメモリの書き換えプログラムを動作させないように変更してください。

19.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。

FLMCR1 の PSU ビット、ESU ビット、P ビット、E ビット、PV ビット、EV ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム (ユーザプログラム) は、内蔵 RAM あるいは外部メモリ上に置き、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE、ESU、PSU、EV、PV、E、P ビットのセット / クリアがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE 端子をハイレベルにしてください (FWE 端子がローレベルのときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。

19.7.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みを行う場合は、図 19.13 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、1 μ s 以上の時間が経過してから、書き込むアドレス (書き込む先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません) に 128 バイトのデータを連続して書き込みます (データ転送はバイト単位で 128 回連続して行います)。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走などにより過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。その後、FLMCR1 の PSU ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行い、50 μ s 以上の時間が経過してから、FLMCR1 の P ビットをセットすることで、動作モードはプログラムモードへ遷移します。P ビットがセットされている時間がフラッシュメモリの書き込み時間となります。書き込み時間は、書き込みフローの中の表に従ってください。

19.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除 (FLMCR1 の P ビットを解除後、5 μ s 以上の時間が経過してから PSU ビットを解除) します。ウォッチドッグタイマを 5 μ s 以上の時間が経過してから解除し、FLMCR1 の PV ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは 4 μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す (ベリファイデータは 32 ビットで読み出す) とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、2 μ s 以上置いてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算 (図 19.13 参照) し、RAM に転送します。128 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、2 μ s 以上の待機時間を置いて、FLMCR1 の SWE ビットを解除してください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、1000 回を超えないようにしてください。

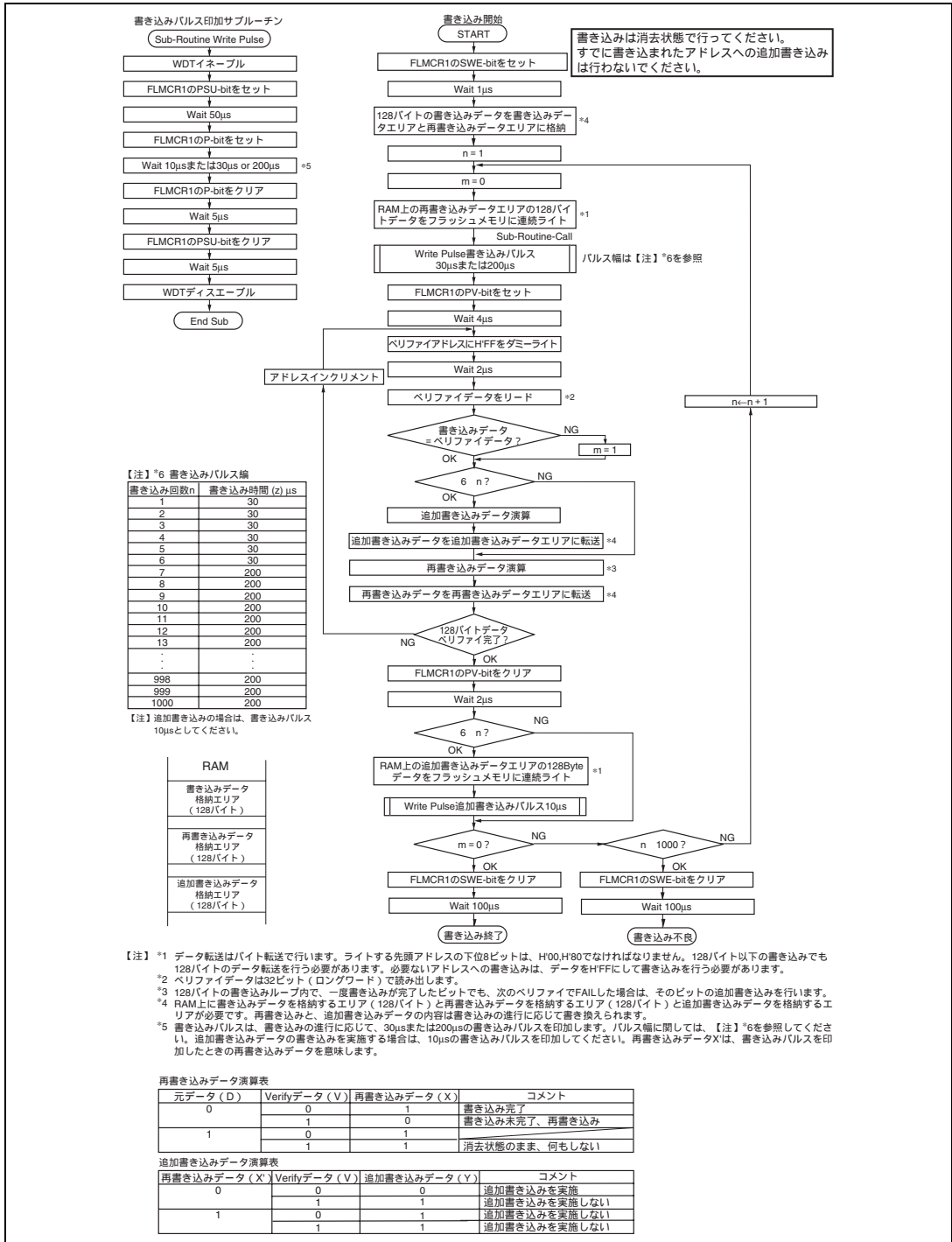


図 19.13 プログラム/プログラムペリファイフロー

19. 256KB フラッシュメモリ (F-ZTAT)

128 バイト書き込みのプログラム例

ウェイト時間の設定値 (ループ回数) は、 $f=60\text{MHz}$ 時の値です。異なる周波数の場合は、ウェイト時間 (μs) $\times f$ (MHz) $\div 4$ で求めてください。

使用レジスタと使用方法

R11 (入力) : 書き込みデータ格納アドレス
R12 (入力) : 書き込み先アドレス
R13 (出力) : OK (正常) or NG (異常)
R0-10,14 : ワーク

```
FLMCR1      .EQU  H'00
OK           .EQU  H'0
NG          .EQU  H'1
WAIT_X      .EQU  15      ; 1 $\mu$ S
WAIT_Y      .EQU  750     ; 50 $\mu$ S
WAIT_Z1     .EQU  450     ; 30 $\mu$ S (1~6 回目)
WAIT_Z5     .EQU  3000    ; 200 $\mu$ S (7~1000 回目)
WAIT_ZA     .EQU  150     ; 10 $\mu$ S (追加書き込み)
WAIT_A      .EQU  75      ; 5 $\mu$ S
WAIT_B      .EQU  75      ; 5 $\mu$ S
WAIT_C      .EQU  60      ; 4 $\mu$ S
WAIT_D      .EQU  30      ; 2 $\mu$ S
WAIT_E      .EQU  30      ; 2 $\mu$ S
WAIT_F      .EQU  1500    ; 100 $\mu$ S
WDT_TCSR    .EQU  H'FFFF1000
WDT_1M      .EQU  H'A57C
SWESET      .EQU  H'40     ; B'01000000
PSUSET      .EQU  H'50     ; B'01010000
PSET        .EQU  H'51     ; B'01010001
PCLEAR      .EQU  H'50     ; B'01010000
PSUCLEAR    .EQU  H'40     ; B'01000000
PVSET       .EQU  H'44     ; B'01000100
PVCLEAR     .EQU  H'40     ; B'01000000
SWECLEAR    .EQU  H'00     ; B'00000000
MAXVERIFY   .EQU  1000
;
FLASHPROGRAM .EQU  $
    MOV      R11,R3      ; 書き込みデータを
    MOV.L    #RDATA_BUFF,R0 ; ワークエリアへ退避
```

```

MOV.L    #ADATABUFF,R2
MOV      #32,R6
COPY_LOOP1 .EQU  $
MOV.L    @R3+,R1
MOV.L    R1,@R0
MOV.L    R1,@R2
ADD      #4,R0
ADD      #4,R2
DT       R6
BF       COPY_LOOP1
MOV.L    #H'FFFF0800,R0    ; GBR を初期化
LDC      R0,GBR
;
MOV.L    #WAIT_X,R2
MOV      #SWESET,R0
MOV.B    R0,@(FLMCR1,GBR) ; SWE をセット
WAIT_1   DT       R2      ; 1μS ウェイト
BF       WAIT_1
;
MOV      #1,R14            ; N(R14) を 1 で初期化
PROGRAM_LOOP .EQU  $
MOV      #0,R5            ; M(R5) を 0 で初期化
MOV.L    #128,R2          ; 128 バイトデータを連続ライト
MOV.L    #RDATABUFF,R3
MOV      R12,R6
WRITE_LOOP1 .EQU  $
MOV.B    @R3+,R1
MOV.B    R1,@R6
ADD      #1,R6
DT       R2
BF       WRITE_LOOP1
;
MOV.L    #WDT_TCSR,R0     ; WDT イネーブル
MOV.L    #WDT_1M,R1      ; 1.1ms 周期
MOV.W    R1,@R0
;
MOV.L    #WAIT_Y,R2

```

19. 256KB フラッシュメモリ (F-ZTAT)

```
        MOV          #PSUSET,R0          ; PSU をセット
        MOV.B       R0,@(FLMCR1,GBR)
WAIT_2  DT          R2                    ; 50μs ウェイト
        BF          WAIT_2

;
        MOV.L       #WAIT_Z1,R2         ; 1~6 回目
        MOV          #6,R3
        CMP/GE      R14,R3
        BT          UNDER7
        MOV.L       #WAIT_Z5,R2         ; 7~1000 回目
UNDER7  MOV          #PSET,R0            ; P をセット
        MOV.B       R0,@(FLMCR1,GBR)
WAIT_3  DT          R2                    ; 30μs or 200μs ウェイト
        BF          WAIT_3

;
        MOV.L       #WAIT_A,R2
        MOV          #PCLEAR,R0         ; P をクリア
        MOV.B       R0,@(FLMCR1,GBR)
WAIT_4  DT          R2                    ; 5μs ウェイト
        BF          WAIT_4

;
        MOV.L       #WAIT_B,R2
        MOV          #PSUCLEAR,R0       ; PSU をクリア
        MOV.B       R0,@(FLMCR1,GBR)
WAIT_5  DT          R2                    ; 5μs ウェイト
        BF          WAIT_5

;
        MOV.L       #WDT_TCSR,R0        ; WDT ディスエーブル
        MOV.W       #H'A55F,R1
        MOV.W       R1,@R0

;
        MOV.L       #WAIT_C,R2
        MOV          #PVSET,R0          ; PV をセット
        MOV.B       R0,@(FLMCR1,GBR)
WAIT_6  DT          R2                    ; 4μs ウェイト
        BF          WAIT_6
```

```

;
MOV.L    #ADATABUFF,R9
MOV.L    #RDATABUFF,R7
MOV      R11,R1
MOV      R12,R3
MOV      #32,R6
MOV.L    #H'FFFFFFFF,R4
;
VERIFYLOOP    .EQU    $
MOV.L    R4,@R3          ; ベリファイアドレスに H'FF をライト
MOV.L    R4,@R9          ; 追加書き込みデータ RAM (ADATABUFF) の初期化
MOV.L    #WAIT_D,R2
WAIT_7    DT      R2          ; 2μs ウェイト
BF      WAIT_7
;
MOV.L    @R3+,R2          ; ベリファイデータをリード
MOV.L    @R1+,R0          ; 書き込みデータをリード (元データ)
CMP/EQ   R2,R0            ; ベリファイチェック
BT      VERIFY_OK
MOV      #1,R5            ; ベリファイ NG なら M に 1 を代入
;
VERIFY_OK    .EQU    $
MOV      #6,R8            ; 書き込み回数 6 回以上か
CMP/GE   R14,R8
BF      NO_ADWRT
MOV.L    @R7,R10          ; 再書き込みデータをリード
OR       R2,R10           ; 追加書き込みデータ演算
MOV.L    R10,@R9          ; 追加書き込みデータ RAM (ADATABUFF) へ格納
;
NO_ADWRT    .EQU    $
MOV.L    R4,@R7          ; 再書き込みデータ RAM (RDATABUFF) の初期化
NOT      R2,R2            ; 再書き込みデータ演算
OR       R2,R0
MOV.L    R0,@R7          ; 再書き込みデータ RAM (RDATABUFF) へ格納
;
ADD      #4,R7
ADD      #4,R9

```

19. 256KB フラッシュメモリ (F-ZTAT)

```
DT          R6
BF          VERIFYLOOP
;
MOV.L      #WAIT_E, R2
MOV        #PVCLEAR, R0      ; PV をクリア
MOV.B      R0, @(FLMCR1, GBR)
WAIT_8     DT          R2      ; 2μs ウェイト
BF          WAIT_8
;
MOV        #6, R8            ;書き込み回数 6 回以上か
CMP/GE     R14, R8
BF          NO_ADWRT2
;
MOV.L      #128, R2         ; 128 バイトデータを追加書き込みデータ
MOV.L      #ADATABUFF, R3   ; RAM (ADATABUFF) に連続ライト
MOV        R12, R6
WRITE_LOOP2 .EQU $
MOV.B      @R3+, R1
MOV.B      R1, @R6
ADD        #1, R6
DT          R2
BF          WRITE_LOOP2
;
MOV.L      #WDT_TCSR, R0     ; WDT イネーブル
MOV.L      #WDT_1M, R1      ; 1.1ms 周期
MOV.W      R1, @R0
;
MOV.L      #WAIT_Y, R2
MOV        #PSUSET, R0      ; PSU をセット
MOV.B      R0, @(FLMCR1, GBR)
WAIT_9     DT          R2      ; 50μs ウェイト
BF          WAIT_9
;
MOV.L      #WAIT_ZA, R2     ; 追加書き込み 10μs
MOV        #PSET, R0        ; P をセット
MOV.B      R0, @(FLMCR1, GBR)
WAIT_10    DT          R2      ; 10μs ウェイト
```

```

        BF          WAIT_10
;
        MOV.L       #WAIT_A,R2
        MOV        #PCLEAR,R0          ; P をクリア
        MOV.B      R0,@(FLMCR1,GBR)
WAIT_11 DT        R2                    ; 5μS ウェイト
        BF          WAIT_11
;
        MOV.L       #WAIT_B,R2
        MOV        #PSUCLEAR,R0       ; PSU をクリア
        MOV.B      R0,@(FLMCR1,GBR)
WAIT_12 DT        R2                    ; 5μS ウェイト
        BF          WAIT_12
;
        MOV.L       #WDT_TCSR,R0      ; WDT ディスエーブル
        MOV.W      #H'A55F,R1
        MOV.W      R1,@R0
;
NO_ADWRT2 .EQU    $
        CMP/PL     R5                    ; M=0 ならば書き込み終了
        BF          PROGRAM_OK
        ADD        #1,R14
        MOV        #NG,R13              ; R13 に NG (リターン値) を代入
        MOV.L      #MAXVERIFY,R3       ; N が 1000 以上なら書き込み不良
        CMP/GT     R14,R3
        BF          PROGRAM_END
;
        BRA        PROGRAM_LOOP
        NOP
;
PROGRAM_OK .EQU    $
        MOV        #OK,R13              ; R13 に OK (リターン値) を代入
PROGRAM_END .EQU   $
        MOV        #SWECLEAR,R0        ; SWE のクリア
        MOV.B      R0,@(FLMCR1,GBR)
;
        MOV.L      #WAIT_F,R2

```

```

WAIT_13 DT          R2          ; 100μs ウェイト
                BF          WAIT_13
;
                RTS
                NOP
;
ADATABUFF          .RES.B 128    ; 追加書き込み RAM エリア
RDATABUFF          .RES.B 128    ; 再書き込み RAM エリア

```

19.7.3 イレースモード(対象アドレス:H'00000~H'07FFF のとき、n=1、対象アドレス:H'08000~H'3FFFF のとき、n=2)

フラッシュメモリの消去は1ブロックごとに、図 19.14 に示すイレース/イレースベリファイフロー(単一ブロック消去)チャートに沿って行ってください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ1 (FLMCR1) の SWE ビットを1にセット後、1μs以上の時間が経過してから、ブロック指定レジスタn (EBRn) で消去するフラッシュメモリのエリアを1ビット設定してください。次にプログラムの暴走などにより過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。その後、FLMCR1 の ESU ビットをセットすることで、イレースモードへの準備(イレースセットアップ)を行い、100μs以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが設定されている時間が消去時間となります。消去時間は10msを超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト(消去するメモリのデータをすべて0にする)を行う必要はありません。

19.7.4 イレースベリファイモード(対象アドレス:H'00000~H'07FFF のとき、n=1、対象アドレス:H'08000~H'3FFFF のとき、n=2)

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除(FLMCR1 の E ビットを解除後、10μs以上の時間が経過してから ESU ビットを解除)し、ウォッチドッグタイマを10μs以上の時間が経過してから解除し、FLMCR1 の EV ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは6μs以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す(ベリファイデータは32ビットで読み出す)とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、2μs置いてから行ってください。読み出したデータが消去(データがすべて1)されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、4μs以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを解除してください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを1ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

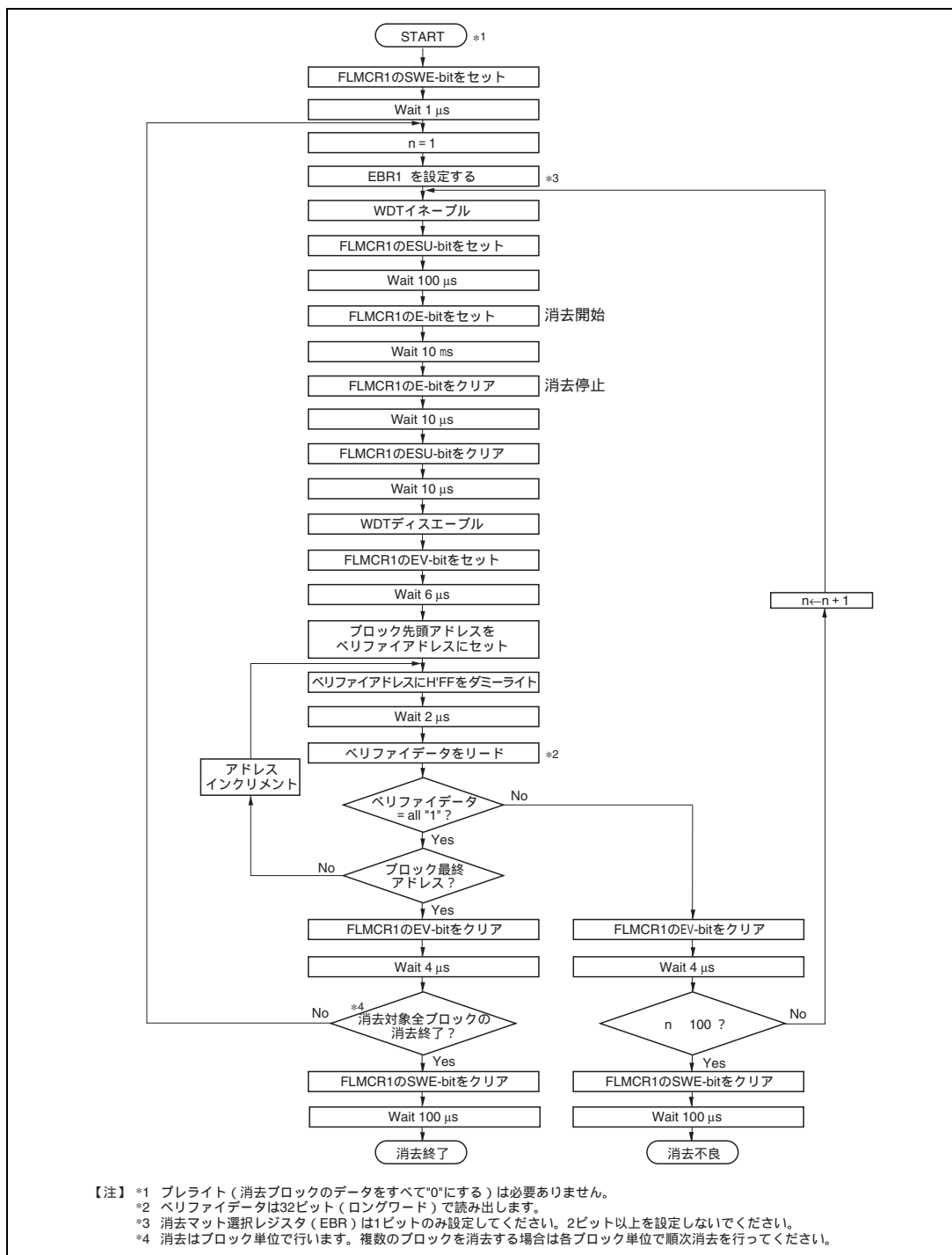


図 19.14 イレース/イレースペリファイフロー (単一ブロック消去)

19. 256KB フラッシュメモリ (F-ZTAT)

1 ブロック消去のプログラム例

ウェイト時間の設定値 (ループ回数) は、f=60MHz 時の値です。異なる周波数の場合は、ウェイト時間 (μs) × f (MHz) ÷ 4 で求めてください。

使用レジスタと使用方法

R5 (入力) : メモリブロックテーブルポインタ

R7 (出力) : OK (正常) or NG (異常)

R0-3、6、8-9 : ワーク

```
FLMCR1      .EQU  H'00
EBR1        .EQU  H'02
OK          .EQU  H'0
NG          .EQU  H'1
EWait_X     .EQU  15
EWait_Y     .EQU  1500
EWait_Z     .EQU  150000
EWait_a     .EQU  150
EWait_b     .EQU  150
EWait_c     .EQU  90
EWait_d     .EQU  30
EWait_e     .EQU  60
EWait_f     .EQU  1500
WDT_TCSR    .EQU  H'FFFF1000
WDT_4m      .EQU  H'A57D
SWESET      .EQU  B'01000000
ESUSET      .EQU  B'00100000
ESET        .EQU  B'00000010
ECLEAR      .EQU  B'11111101
ESUCLEAR    .EQU  B'11011111
EVSET       .EQU  B'00001000
EVCLEAR     .EQU  B'11110111
SWECLEAR    .EQU  B'10111111
MAXErase    .EQU  100
;
FlashErase  .EQU  $
            MOV.L  #H'FFFF0800,R0
            LDC   R0,GBR                ; GBR 初期化
            MOV.L  #1,R2
```

```

;
    MOV.L    #EWait_X,R3
    MOV.L    #FLMCR1,R0
    OR.B     #SWESET,@(R0,GBR)      ; SWE のセット
EWait_1 SUBC    R2,R3                ; 1μs ウェイト
    BF      EWait_1
;
    MOV.L    #0,R9                  ; n(R9) を 0 で初期化
;
    MOV.W    @(6,R5),R0
    MOV.W    R0,@(EBR1,GBR)         ; 消去メモリブロック (EBR1,2) のセット
    MOV.L    @R5,R6                 ; 消去メモリブロック先頭アドレス ER6 にセット
;
EraseLoop    .EQU    $
    MOV.L    #WDT_TCSR,R1           ; WDT イネーブル
    MOV.W    #WDT_4m,R3             ; 4.4ms 周期
    MOV.W    R3,@R1
;
    MOV.L    #EWait_Y,R3
    MOV.L    #FLMCR1,R0
    OR.B     #ESUSET,@(R0,GBR)     ; ESU のセット
EWait_2 SUBC    R2,R3                ; 100μs ウェイト
    BF      EWait_2
;
    MOV.L    #EWait_Z,R3
    OR.B     #ESET,@(R0,GBR)       ; E のセット
EWait_3 SUBC    R2,R3                ; 10ms ウェイト
    BF      EWait_3
;
    MOV.L    #EWait_a,R3
    AND.B    #ECLEAR,@(R0,GBR)     ; E のクリア
EWait_4 SUBC    R2,R3                ; 10μs ウェイト
    BF      EWait_4
;
    MOV.L    #EWait_b,R3
    AND.B    #ESUCLEAR,@(R0,GBR)   ; ESU のクリア
EWait_5 SUBC    R2,R3                ; 10μs ウェイト

```

19. 256KB フラッシュメモリ (F-ZTAT)

```
        BF      EWait_5
;
        MOV.L   #WDT_TCSR,R1          ; WDT デイスエーブル
        MOV.W   #H'A55F,R3
        MOV.W   R3,@R1
;
        MOV.L   #EWait_c,R3
        OR.B    #EVSET,@(R0,GBR)     ; EV のセット
EWait_6 SUBC   R2,R3                 ; 6μs ウェイト
        BF      EWait_6
;
BlockVerify_1 .EQU   $                ; 消去ベリファイ
        MOV.L   #H'FFFFFFFF,R8
        MOV.L   R8,@R6                ; H'FF をダミーライト
        MOV.L   #EWait_d,R3
EWait_7 SUBC   R2,R3                 ; 2μs ウェイト
        BF      EWait_7
;
        MOV.L   @R6+,R1                ; ベリファイデータリード
        CMP/EQ  R8,R1
        BF      BlockVerify_NG
        MOV.L   @(8,R5),R7
        CMP/EQ  R6,R7                 ; メモリブロックの終了アドレスチェック
        BF      BlockVerify_1
        MOV.L   #EWait_e,R3
        AND.B   #EVCLEAR,@(R0,GBR)   ; EV のクリア
EWait_8 SUBC   R2,R3                 ; 4μs ウェイト
        BF      EWait_8
;
        MOV.L   #OK,R7                 ; R7 に OK (リターン値) を代入
        BRA    FlashErase_end        ; ベリファイ OK
        NOP
;
BlockVerify_NG .EQU   $
        ADD.L   #1,R9                  ; ベリファイ NG なら n に n+1 を代入
        ADD.L   #-4,R6                 ; 次回ベリファイアドレス
        MOV.L   #EWait_e,R3
        AND.B   #EVCLEAR,@(R0,GBR)   ; EV のクリア
```

```

EWait_9 SUBC    R2,R3                ; 4μs ウェイト
        BF      EWait_9
;
        MOV.L   #MAXErase,R7        ; n > 100 なら消去不良
        CMP/EQ  R7,R9
        BF      EraseLoop
        MOV.L   #NG,R7              ; R7 に NG (リターン値) を代入
FlashErase_end .EQU    $
        MOV.L   #FLMCR1,R0
        AND.B   #SWECLEAR,@(R0,GBR) ; SWE のクリア
        MOV.L   #Ewait_f,R3
Ewait_10 SUBC   R2,R3                ; 100μs ウェイト
        BF      Ewait_10
;
        RTS
        NOP
;
; メモリブロックテーブル メモリブロック先頭アドレス : EBR 値
        .ALIGN 4
Flash_BlockData .EQU    $
EB0     .DATA.L H'00000000,H'00000100
EB1     .DATA.L H'00001000,H'00000200
EB2     .DATA.L H'00002000,H'00000400
EB3     .DATA.L H'00003000,H'00000800
EB4     .DATA.L H'00004000,H'00001000
EB5     .DATA.L H'00005000,H'00002000
EB6     .DATA.L H'00006000,H'00004000
EB7     .DATA.L H'00007000,H'00008000
EB8     .DATA.L H'00008000,H'00000001
EB9     .DATA.L H'00010000,H'00000002
EB10    .DATA.L H'00020000,H'00000004
EB11    .DATA.L H'00030000,H'00000008
Dummy   .DATA.L H'00040000

```

19.7.5 書き込み / 消去時の各ウェイト時間幅について

ユーザで用意する書き込み / 消去制御プログラムでの各種ウェイト時間幅については、以下の規定内で作成してください。

表 19.8 書き込み / 消去関係のウェイト幅規定

フロー区分	項目	記号	min	typ	max	単位	特記
書き込み関係	PSU ビットセット後ウェイト時間	tsp _{su}	50	50	-	μs	
	P ビットセット後ウェイト時間 (10μs)	tsp ₁₀	8	10	12	μs	追加書き込み時間 ウェイト
	P ビットセット後ウェイト時間 (30μs)	tsp ₃₀	28	30	32	μs	書き込み時間ウエ イト
	P ビットセット後ウェイト時間 (200μs)	tsp ₂₀₀	198	200	202	μs	書き込み時間ウエ イト
	P ビットクリア後ウェイト時間	tcp	5	5	-	μs	
	PSU ビットクリア後ウェイト時間	tcpsu	5	5	-	μs	
	PV ビットセット後ウェイト時間	tsp _v	4	4	-	μs	
	ダミーライト後ウェイト時間	tsp _{vr}	2	2	-	μs	
	PV ビットクリア後ウェイト時間	tcp _v	2	2	-	μs	
消去関係	ESU ビットセット後ウェイト時間	tse _{su}	100	100	-	μs	
	E ビットセット後ウェイト時間	tse	10	10	100	ms	消去時間ウェイト
	E ビットクリア後ウェイト時間	tce	10	10	-	μs	
	ESU ビットクリア後ウェイト時間	tcesu	10	10	-	μs	
	EV ビットセット後ウェイト時間	tse _v	6	6	-	μs	
	ダミーライト後ウェイト時間	tse _{vr}	2	2	-	μs	
	EV ビットクリア後ウェイト時間	tcev	4	4	-	μs	
その他共通	SWE ビットセット後ウェイト時間	tsswe	1	1	-	μs	
	SWE ビットクリア後ウェイト時間	tcswe	100	100	-	μs	

19.8 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトの2種類あります。

19.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2)の設定は初期化されます。エラープロテクト状態では、FLMCR1、EBR1、EBR2の設定は保持します(表 19.9 参照)。

表 19.9 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWE 端子プロテクト	・ FWE 端子にローレベルが入力されているときには、FLMCR1、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。		
リセット、スタンバイプロテクト	・ リセット (WDT のオーバフローリセットも含む) およびスタンバイ時は、FLMCR1、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 ・ RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子をローレベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子をローレベルに保持してください。		

【注】 は、プロテクトが有効な機能を示します。

19.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P ビットまたは E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません(表 19.10 参照)。

表 19.10 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	・ FLMCR1 の SWE ビットを 0 にクリアすることにより、全ブロックの書き込み/消去プロテクト状態になります(内蔵 RAM/外部メモリ上で実行してください)。		
ブロック指定プロテクト	・ ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能。 ・ EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。		
エミュレーションプロテクト	・ RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。		

【注】 は、プロテクトが有効な機能を示します。

19.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や、書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2のFLERビットが1にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、EBR1、EBR2の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。Pビット、Eビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PVビット、EVビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLERビットのセット条件は、

- (1) 書き込み/消去中にフラッシュメモリを読み出したとき（ベクタ・リードおよび命令フェッチを含む）
- (2) 書き込み/消去中の例外処理（リセット、ハードウェアスタンバイモードは除く）開始直後
- (3) 書き込み/消去中にSLEEP命令（ソフトウェアスタンバイを含む）を実行したとき
- (4) 書き込み/消去中にバス開放したとき

エラープロテクト解除は、リセットまたはハードウェアスタンバイのみで行われます。

図 19.15 にフラッシュメモリの状態遷移図を示します。

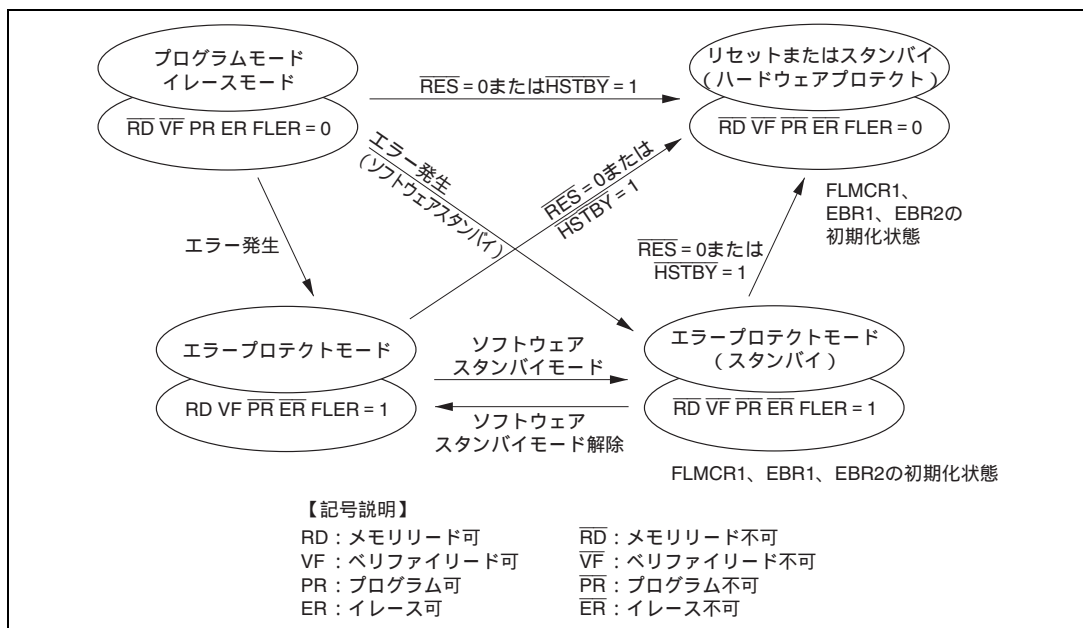


図 19.15 フラッシュメモリの状態遷移図

19.9 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 19.16 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

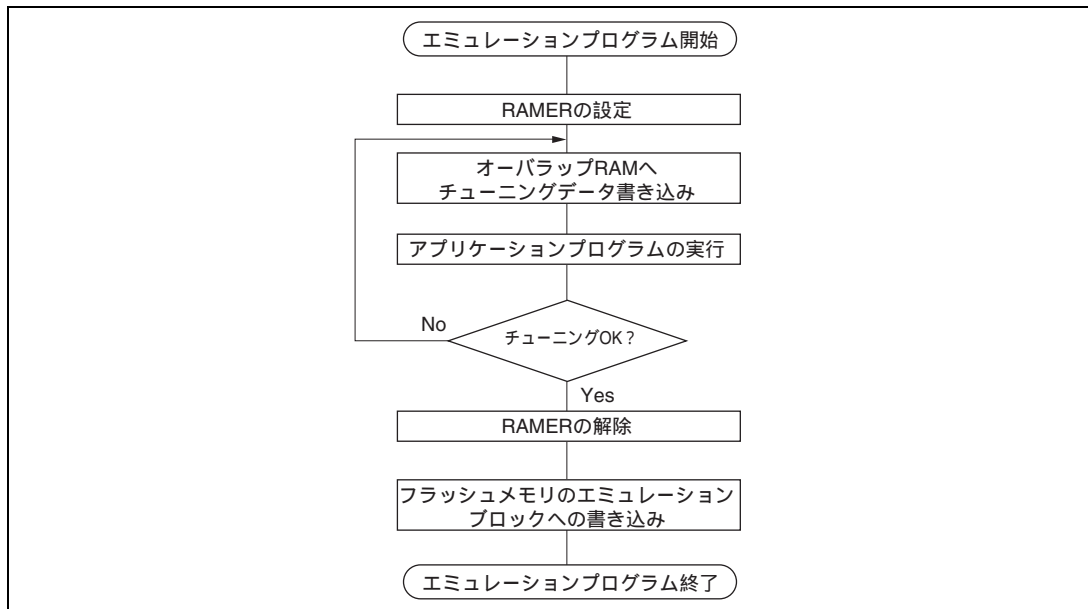


図 19.16 RAM によるエミュレーションフロー

【注】 RAM によるエミュレーションでは、フラッシュメモリを使用する場合と命令実行サイクル数が異なる場合があります。

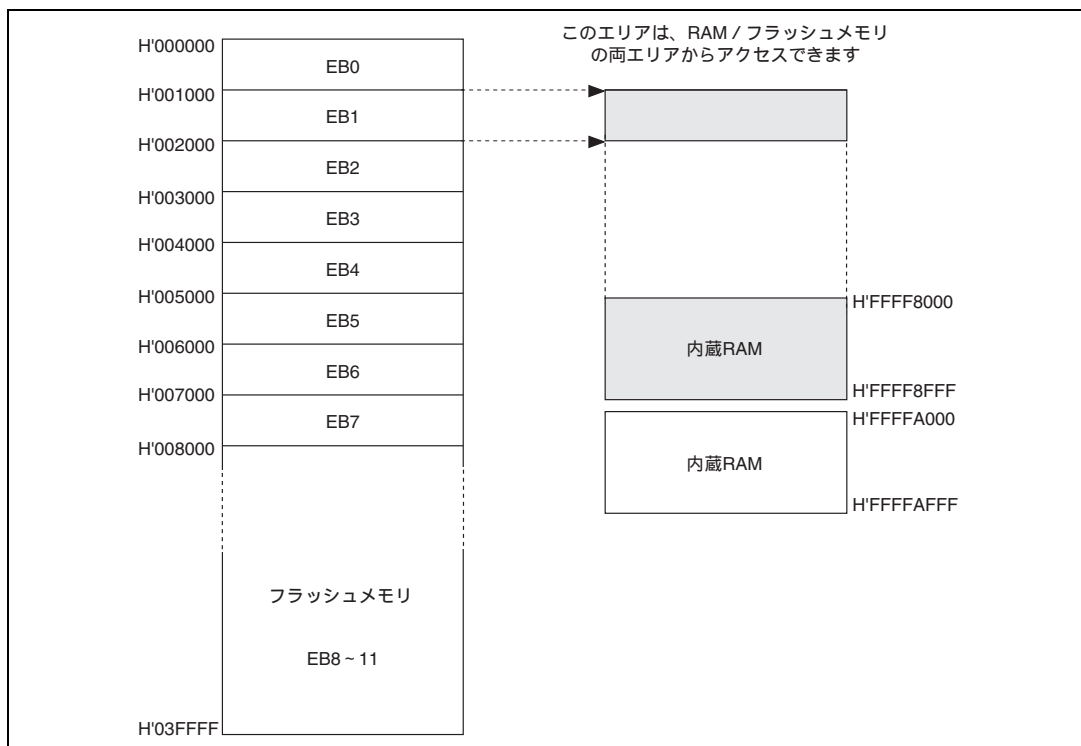


図 19.17 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB1) をオーバーラップさせる例

1. リアルタイムな書き換えを必要とするエリア (EB1) にRAM (H'FFF8000 ~ H'FFF8FFF) をオーバーラップさせるには、RAMERのRAMASビット、RAMSビット、RAM2~0ビットを0、1、0、0、1に設定してください。
2. リアルタイムな書き換えは、オーバーラップさせたRAMを使って行います。
3. 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB1) に書き込みます。

- 【注】
1. RAMS ビットを 1 にセットすると RAM2~0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。
 2. RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。

19.10 フラッシュメモリ書き込み / 消去時の注意

オンボードプログラムモード (ブートモード、ユーザプログラムモード) 時は、書き込み / 消去動作 (RAM エミュレーションを含む) を最優先とするため、NMI の入力を禁止してください。

19.11 フラッシュメモリのライターモード

プログラム / データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード / 自動消去モード / ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み / 自動消去を実行した後に、その詳細な内部信号を出力します。

ライターモードでは、モード端子を水晶発振・PLL2×4 モード (表 19.11 参照) に設定し、6MHz の水晶発振器を使用して 24MHz で動作させてください。

表 19.11 にライターモードの端子設定方法を示します。ライターモード時の端子名は図 19.19 を参照してください。

表 19.11 ライターモードの端子設定方法

端子名	設定
クロック端子 : MD5 ~ 3	MD5=1、MD4=0、MD3=1 (水晶発振・PLL2×4)
モード端子 : MD2 ~ 0	MD2=1、MD1=1、MD0=1
FWE 端子	ハイレベルを入力 (自動書き込み、自動消去時)
RES 端子	パワーオンリセット回路
XTAL、EXTAL、PLLVcc、PLLCAP2、PLLVss 端子	発振回路

19.11.1 ソケットアダプタの端子対応図

図 19.19 に示すようにソケットアダプタを LSI に取り付けてください。これによって、32 ピンにピン変換することができます。内蔵 ROM のメモリマップを図 19.18 に、ソケットアダプタの端子対応図を図 19.19 に示します。

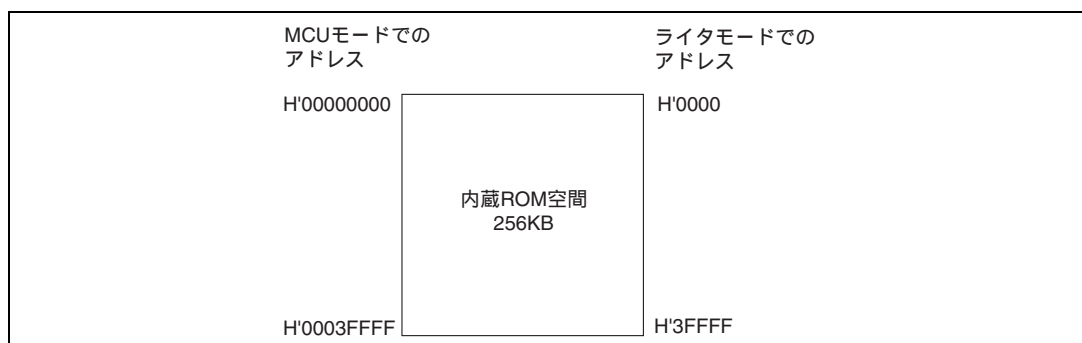


図 19.18 内蔵 ROM のメモリマップ

19. 256KB フラッシュメモリ (F-ZTAT)

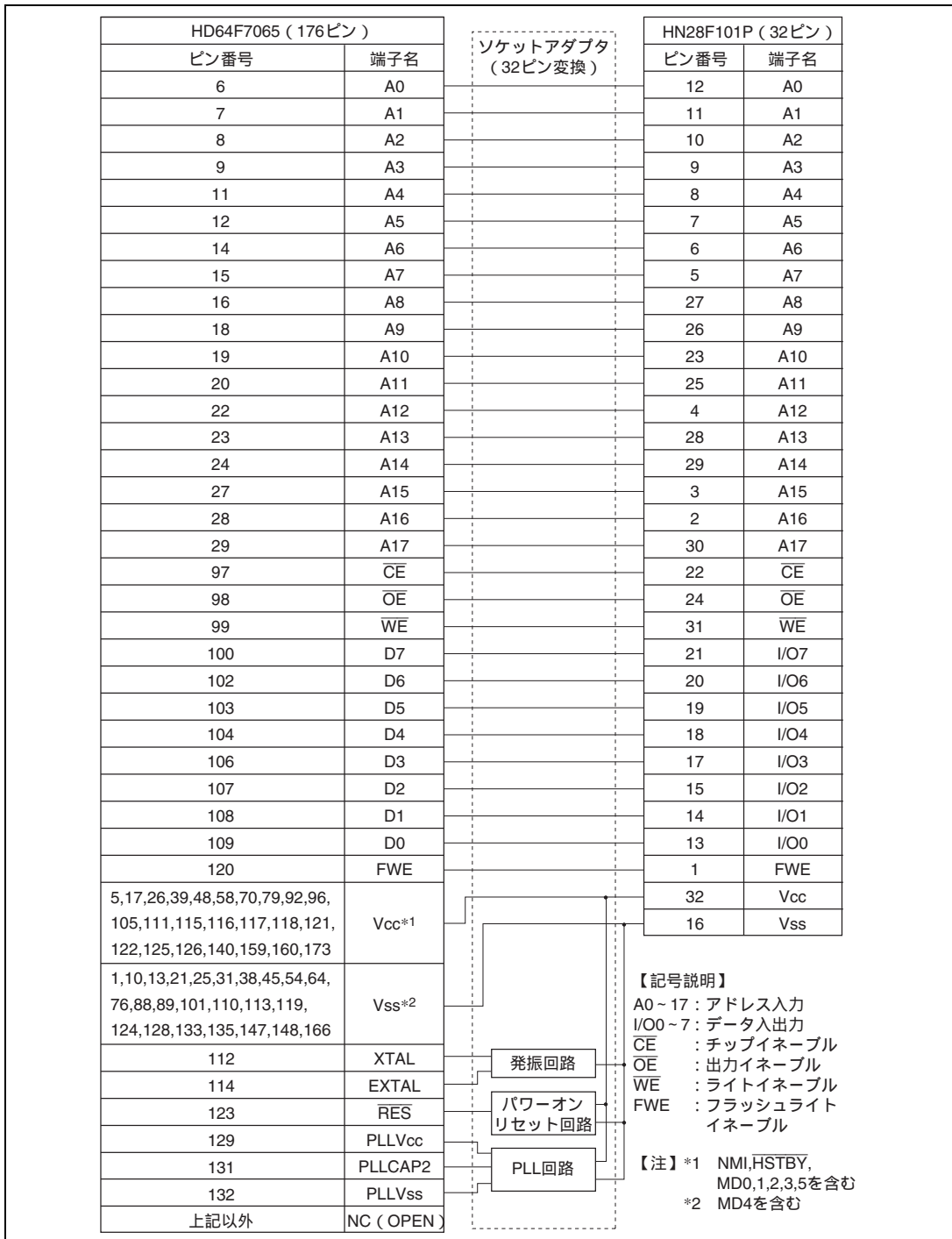


図 19.19 ソケットアダプタ端子対応図

19.11.2 ライタモードの動作

表 19.12 にライタモード時の各動作モードの設定方法、表 19.13 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は I/O6 の信号を読み出すことで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 19.12 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	\overline{CE}	\overline{OE}	WE	I/O7~0	A17~0
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-Z	Ain
コマンド書き込み	H or L	L	H	L	データ入力	*Ain
チップディスエーブル	H or L	H	X	X	Hi-Z	Ain

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. *Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。
 3. 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。

表 19.13 ライタモード時の各コマンド

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

- 【注】
1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
 2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。

19.11.3 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に移っています。
メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに移ります。

表 19.14 メモリ読み出しモード時の AC 特性

条件 : $V_{cc}=3.3V\pm 0.3V$ 、 $V_{ss}=0V$ 、 $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	-	μs	
\overline{CE} ホールド時間	t_{ceh}	0	-	ns	
\overline{CE} セットアップ時間	t_{ces}	0	-	ns	
データホールド時間	t_{dh}	50	-	ns	
データセットアップ時間	t_{ds}	50	-	ns	
書き込みパルス幅	t_{wep}	70	-	ns	
\overline{WE} 立ち上がり時間	t_r	-	30	ns	
\overline{WE} 立ち下がり時間	t_f	-	30	ns	

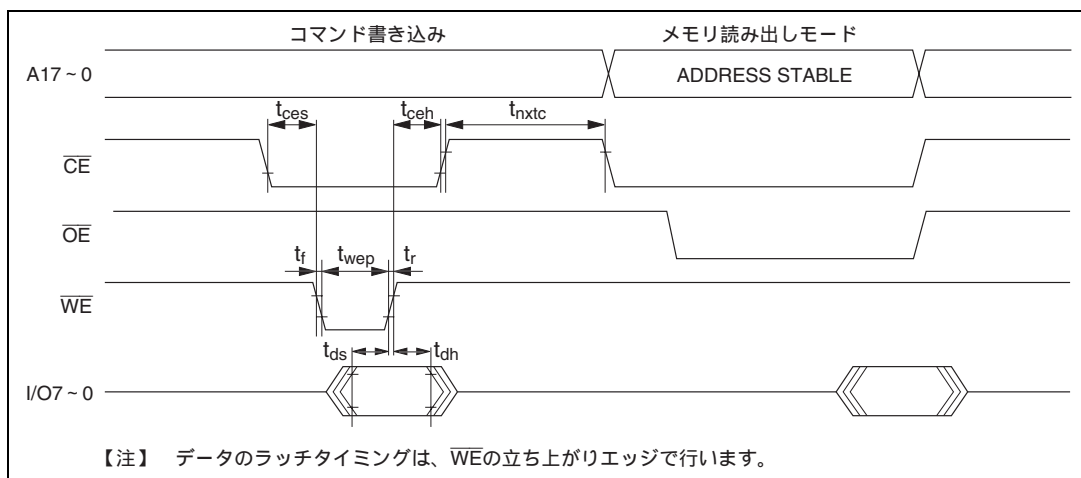


図 19.20 コマンド書き込み後メモリ読み出しタイミング波形

表 19.15 メモリ読み出しモードから他のモードへの遷移時の AC 特性

条件 : $V_{cc}=3.3V\pm 0.3V$ 、 $V_{ss}=0V$ 、 $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	-	μs	
CE ホールド時間	t_{ceh}	0	-	ns	
CE セットアップ時間	t_{ces}	0	-	ns	
データホールド時間	t_{dh}	50	-	ns	
データセットアップ時間	t_{ds}	50	-	ns	
書き込みパルス幅	t_{wep}	70	-	ns	
WE 立ち上がり時間	t_r	-	30	ns	
WE 立ち下がり時間	t_f	-	30	ns	

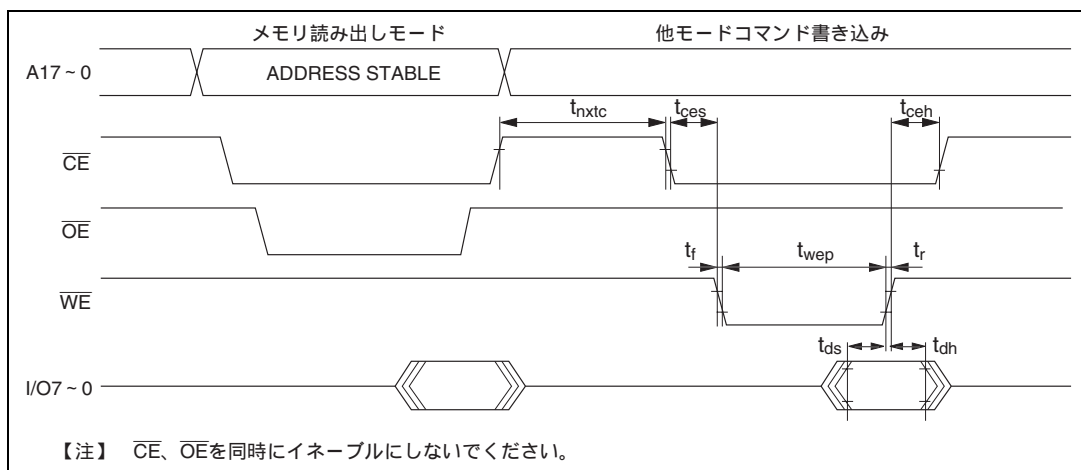
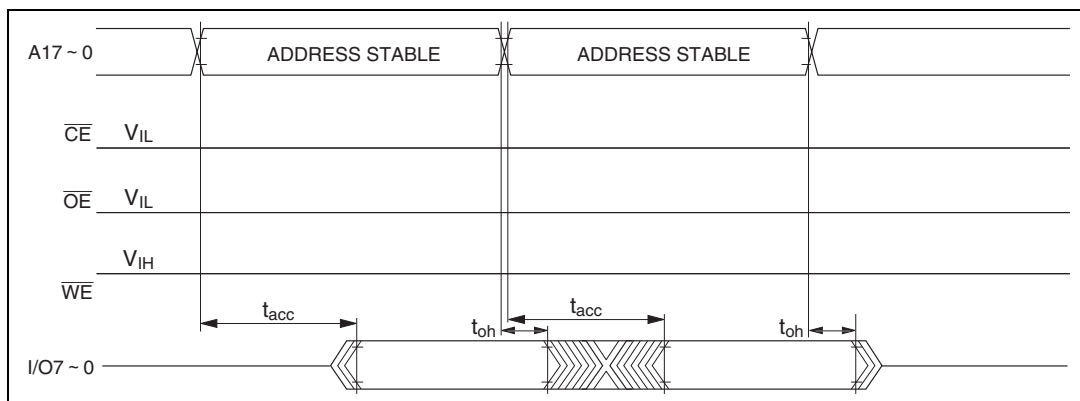
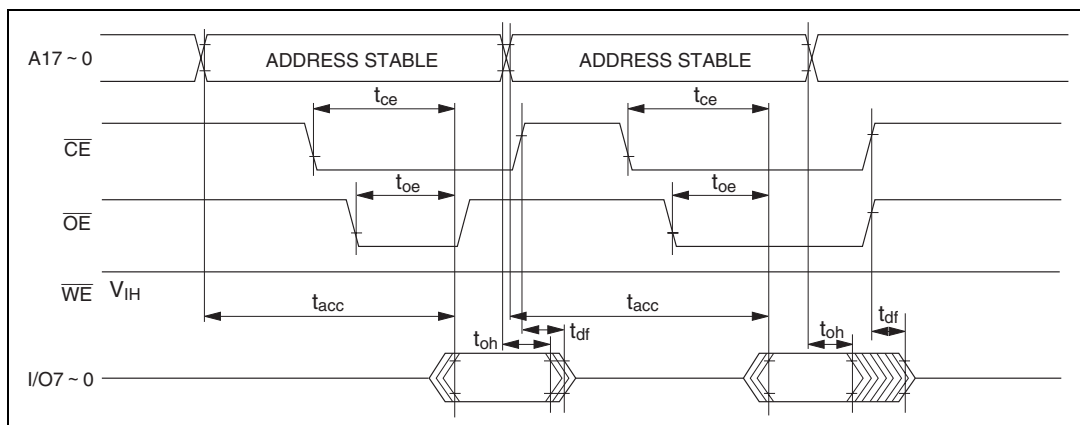


図 19.21 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 19.16 メモリ読み出しモード時の AC 特性

条件 : $V_{cc}=3.3V\pm 0.3V$ 、 $V_{ss}=0V$ 、 $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
アクセス時間	t_{acc}	-	20	μs	
CE 出力遅延時間	t_{ce}	-	150	ns	
OE 出力遅延時間	t_{oe}	-	150	ns	
出力ディスエーブル遅延時間	t_{df}	-	100	ns	
データ出力ホールド時間	t_{oh}	5	-	ns	

図 19.22 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ イネーブル状態リード時のタイミング波形図 19.23 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ クロック方式リード時のタイミング波形

19.11.4 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位8ビットは、H'00、H'80でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います(図19.24)。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。すでに書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
- (7) 自動書き込み正常終了の確認には、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認できます(I/O7のステータス出力は、自動書き込み動作終

- 了判定用です)。
- (8) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、CE、OEをイネーブルにすることにより読み出し可能となります。

表 19.17 自動書き込みモード時の AC 特性

条件 : $V_{cc}=3.3V\pm 0.3V$ 、 $V_{ss}=0V$ 、 $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	-	μs	
CE ホールド時間	t_{ceh}	0	-	ns	
CE セットアップ時間	t_{ces}	0	-	ns	
データホールド時間	t_{dh}	50	-	ns	
データセットアップ時間	t_{ds}	50	-	ns	
書き込みパルス幅	t_{wep}	70	-	ns	
ステータスポーリング開始時間	t_{wsts}	1	-	ms	
ステータスポーリングアクセス時間	t_{spa}	-	150	ns	
アドレスセットアップ時間	t_{as}	0	-	ns	
アドレスホールド時間	t_{ah}	60	-	ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
書き込みセットアップ時間	t_{pns}	100	-	ns	
書き込み終了セットアップ時間	t_{pnh}	100	-	ns	
WE 立ち上がり時間	t_r	-	30	ns	
WE 立ち下がり時間	t_f	-	30	ns	

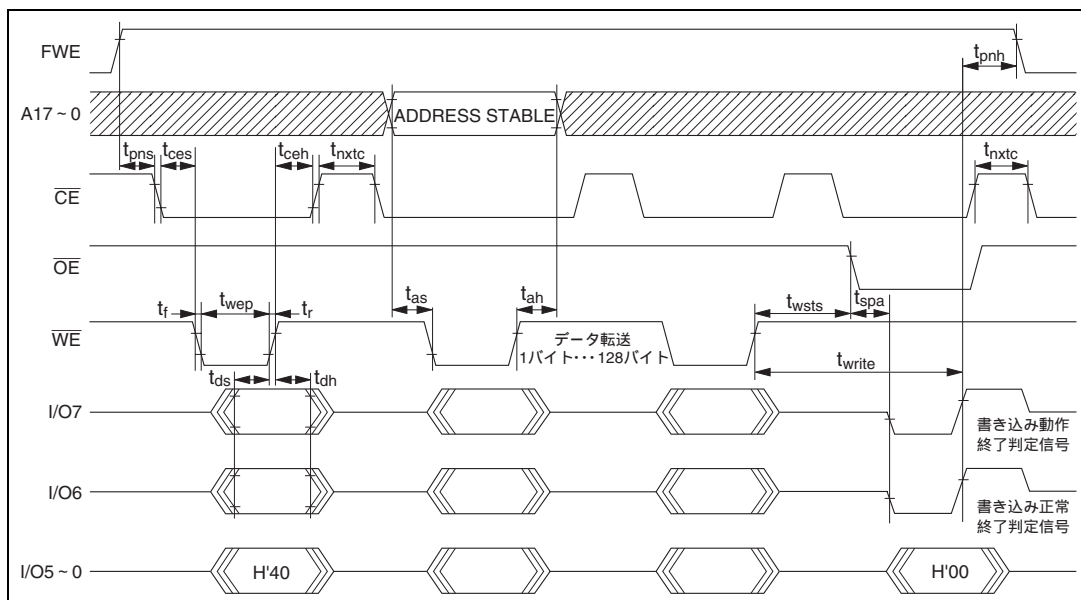


図 19.24 自動書き込みモードのタイミング波形

19.11.5 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認には、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (I/O7のステータス出力は、自動消去動作終了判定用です)。
- (4) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 19.18 自動消去モード時の AC 特性

条件 : $V_{cc}=3.3V\pm 0.3V$ 、 $V_{ss}=0V$ 、 $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	-	μs	
CE ホールド時間	t_{ceh}	0	-	ns	
CE セットアップ時間	t_{ces}	0	-	ns	
データホールド時間	t_{dh}	50	-	ns	
データセットアップ時間	t_{ds}	50	-	ns	
書き込みパルス幅	t_{wep}	70	-	ns	
ステータスポーリング開始時間	t_{wsts}	1	-	ms	
ステータスポーリングアクセス時間	t_{spa}	-	150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
消去セットアップ時間	t_{ens}	100	-	ns	
消去終了セットアップ時間	t_{enh}	100	-	ns	
WE 立ち上がり時間	t_r	-	30	ns	
WE 立ち下がり時間	t_f	-	30	ns	

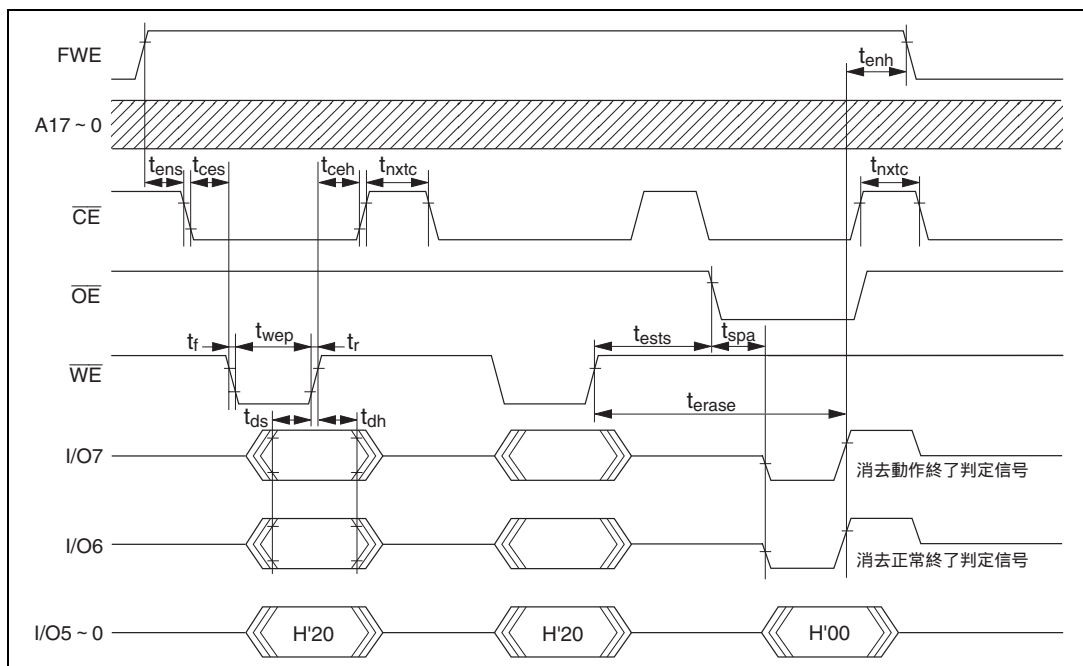


図 19.25 自動消去モードのタイミング波形

19.11.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を知らせるためのモードです。自動書き込みモード/自動消去モードで異常が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 19.19 ステータス読み出しモード時の AC 特性

条件 : $V_{cc}=3.3V\pm 0.3V$, $V_{ss}=0V$, $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
コマンド書き込み後読み出し時間	t_{nxtc}	20	-	μs	
CE ホールド時間	t_{ceh}	0	-	ns	
CE セットアップ時間	t_{ces}	0	-	ns	
データホールド時間	t_{dh}	50	-	ns	
データセットアップ時間	t_{ds}	50	-	ns	
書き込みパルス幅	t_{wep}	70	-	ns	
OE 出力遅延時間	t_{oe}	-	150	ns	
ディスエーブル遅延時間	t_{df}	-	100	ns	
CE 出力遅延時間	t_{ce}	-	150	ns	
WE 立ち上がり時間	t_r	-	30	ns	
WE 立ち下がり時間	t_f	-	30	ns	

19. 256KB フラッシュメモリ (F-ZTAT)

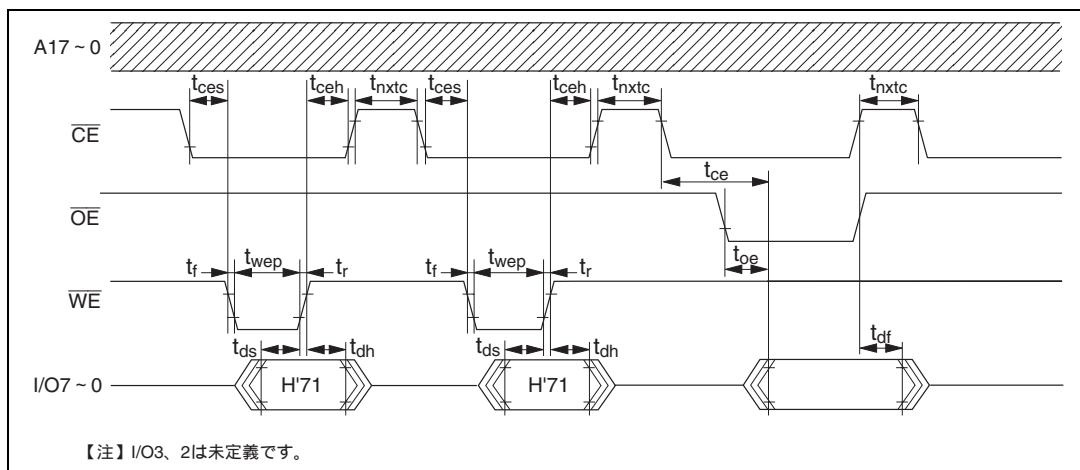


図 19.26 ステータス読み出しモードのタイミング波形

表 19.20 ステータス読み出しモードのリターンコマンド

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了判定	コマンドエラー	書き込みエラー	消去エラー			書き込み or 消去回数オーバ	有効アドレスエラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了 : 0 異常終了 : 1	コマンドエラー : 1 その他 : 0	書き込みエラー : 1 その他 : 0	消去エラー : 1 その他 : 0			回数オーバ時 : 1 その他 : 0	有効アドレスエラー : 1 その他 : 0

【注】I/O3、2は、未定義です。

19.11.7 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) I/O6のステータスポーリングは、自動書き込み / 自動消去モード時の正常 / 異常終了を示すフラグです。

表 19.21 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了		正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O5~0	0	0	0	0

19.11.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 19.22 コマンド待ち状態までの遷移時間規定

項目	記号	min	max	単位	特記
スタンバイ解除 (発振安定時間)	t_{osc1}	30	-	ms	
ライタモードセットアップ時間	t_{bmV}	10	-	ms	
Vcc ホールド時間	t_{dwn}	0	-	ms	

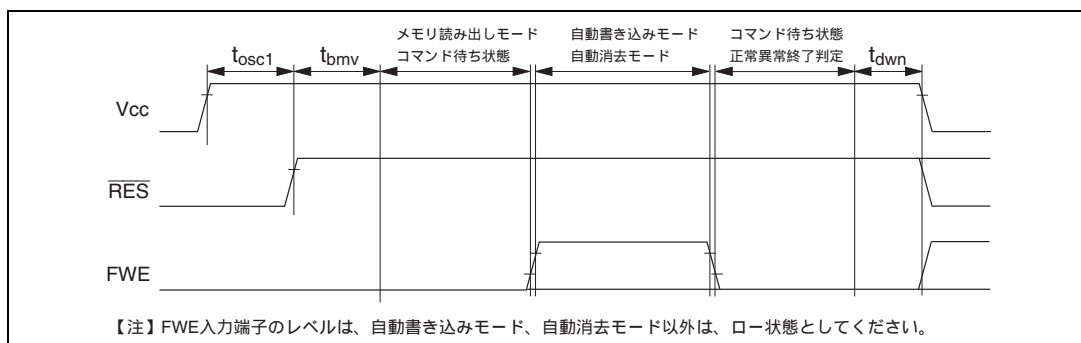


図 19.27 発振安定時間、ブートプログラム転送時間

19.11.9 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

- 【注】
1. ルネサス出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化(消去)レベルをチェック、補正するために自動消去の実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1回のみとします。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。

19.12 使用上の注意

- (1) 書き込み / 消去 / ベリファイ中 (FWE=1、SWE=1) に、FWE端子の解除およびSWEビットのクリアを行わないでください。
- (2) 書き込み / 消去 / ベリファイ中 (FWE=1、SWE=1) に、リセットまたはHSTBYを入れる場合は、100 μ s以上連続して入力してください。
- (3) 書き込み / 消去 / ベリファイモード (FWE=1、SWE=1) から、通常モード (FWE=0、SWE=0) に遷移した直後に、フラッシュメモリを読み出す場合 (リセットスタートを含む) は、100 μ s以上の待ち時間を置いてください。
- (4) フラッシュメモリモジュールのモジュールスタンバイ状態からの復帰をMSTPビットのクリア (「4.13 モジュールスタンバイ機能」を参照してください) で行う場合は、100 μ s以上の待ち時間を置いてから読み出してください。

19.13 F-ZTAT マイコンのマスク ROM 化時の注意事項

F-ZTAT 版からマスク ROM 版製品に変更するとき、F-ZTAT 用アプリケーションソフトを活用する場合には注意が必要です。

マスク ROM 版では、フラッシュメモリ用レジスタの存在するアドレス (表 19.3 参照) を読むと、値は不定になります。

F-ZTAT 版アプリケーションソフトをマスク ROM 版製品で使用する場合、FWE 端子状態の判定はできません。フラッシュメモリの書き換え (消去 / 書き込み) 部分および RAM エミュレーション部分が起動しないように、プログラムを変更してください。

また、マスク ROM 版で、ユーザプログラムモード / ブートモード / PROM モード (ライターモード) のモード端子設定 (FWE、MD2 ~ MD0) は行わないでください。

【注】 F-ZTAT 版製品、ROM サイズの異なる同一シリーズのマスク ROM 版製品はすべて対象となります。

20. 256KB マスク ROM

20.1 概要

本 LSI は、256K バイトのマスク ROM を内蔵しています。内蔵 ROM は、32 ビット幅のデータバスを介して、CPU とダイレクトメモリアクセスコントローラ (DMAC) に接続されています (図 20.1)。CPU、DMAC は 8、16 または 32 ビット幅で内蔵 ROM をアクセスすることができます。

内蔵 ROM は 64 ビット幅で 2 サイクルアクセスします。また、内蔵 ROM はバッファ経由で内部データバス (C バス) に接続されており、実質的に 32 ビット幅 1 サイクルアクセス性能でアクセスすることができます。

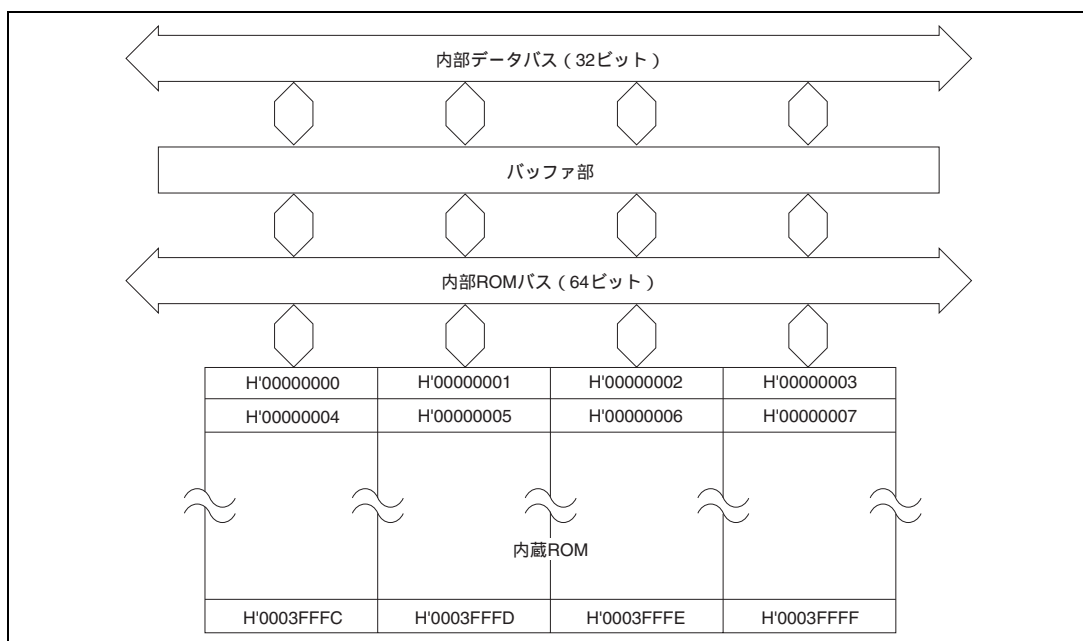


図 20.1 マスク ROM のブロック図 (256KB 版)

内蔵 ROM は、動作モードによって有効が無効が決まります。動作モードについての詳細は、「第 3 章 動作モード」を参照してください。内蔵 ROM を使う場合にはモード 0 かモード 1 を、使わない場合にはモード 2~4 を選んでください。内蔵 ROM は、メモリエリア 0 のアドレス H'00000000 ~ H'0003FFFF (256K 版) に割り付けられています。

21. XRAM、YRAM

21.1 概要

本 LSI はそれぞれ 4K バイトの XRAM、YRAM を内蔵しています。XRAM と YRAM はそれぞれ 16 ビット幅の X バス、Y バスを介して CPU、DSP に接続されており (図 21.1、図 21.2)、16 ビット幅で CPU、DSP とデータをやりとりすることができます。また、XRAM と YRAM は、32 ビット幅の内部データバス (CDB) を介して CPU に、32 ビット幅の内部データバス (IDB) を介してダイレクトメモリアクセスコントローラ (DMAC) に接続されており (図 21.1、図 21.2)、8、16、または 32 ビット幅で、XRAM および YRAM をアクセスすることができます。

XRAM と YRAM は、それぞれ X バス、Y バスを使って並行してアクセスすることができ、2 つのデータ転送命令は同時に実行することができます。XRAM と YRAM のデータは、常に 1 ステートでアクセスできます。したがって、高速アクセスが必要なデータエリアとしての使用に適しています。XRAM と YRAM の内容は、スリープモード、スタンバイモードでは保持されます。

XRAM と YRAM は、それぞれメモリアリアのアドレス H'FFFF8000 ~ H'FFFF8FFF、H'FFFA000 ~ H'FFFAFFF に割り付けられています。

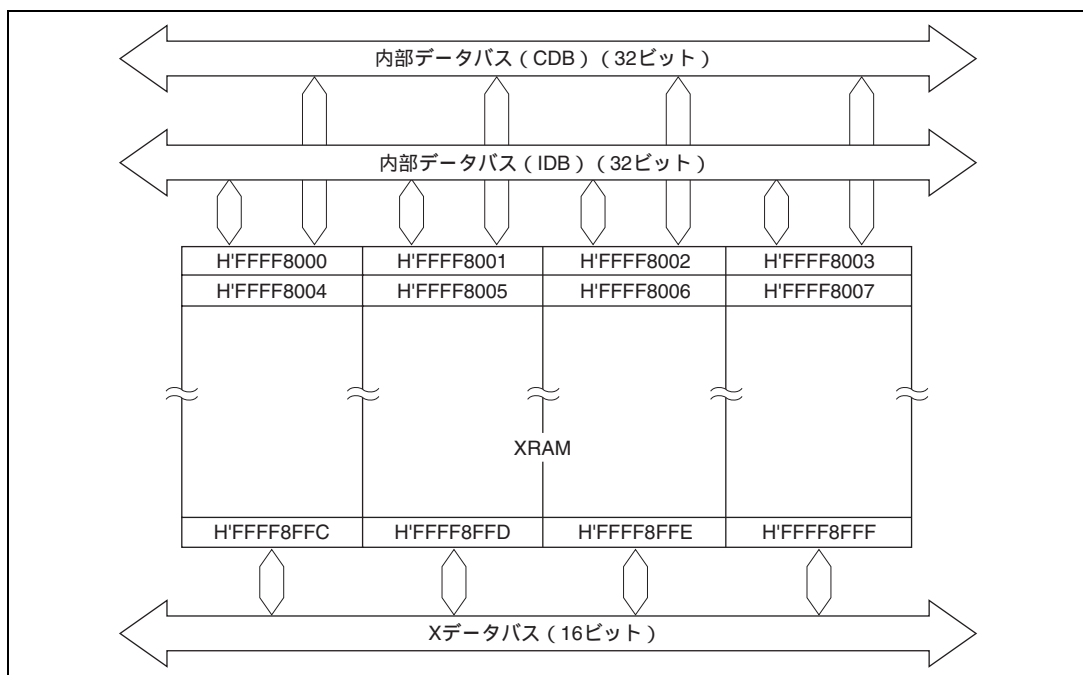


図 21.1 XRAM のブロック図

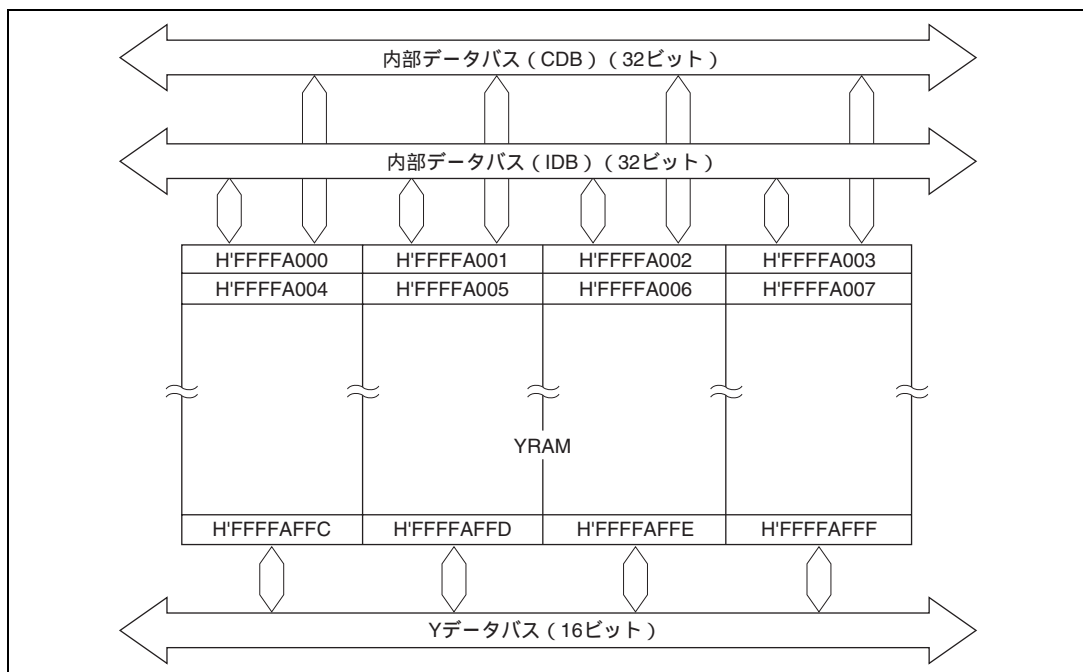


図 21.2 YRAM のブロック図

21.2 動作説明

アドレス H'FFF8000 ~ H'FFF8FFF をアクセスすると、XRAM がアクセスされ、アドレス H'FFFA000 ~ H'FFFAFFF をアクセスすると、YRAM がアクセスされます。

22. 電気的特性

22.1 絶対最大定格値

表 22.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	- 0.3 ~ + 4.3	V
	PV_{CC}	- 0.3 ~ + 7.0	V
入力電圧 (A/D ポート以外)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (A/D ポート)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 4.3	V
アナログ入力電圧	V_{AN}	- 0.3 ~ + $AV_{CC} + 0.3$	V
動作温度	T_{opr}	- 20 ~ + 75	°C
書き換え温度 (F-ZTAT 版のみ)	T_{we}	0 ~ 50	°C
保存温度	T_{stg}	- 55 ~ + 125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

22.2 電気的特性

22.2.1 DC 特性 (1)

表 22.2 DC 特性

条件 : $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 V_{CC} 、 $AV_{CC} = 3.3V \pm 0.3V$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目	記号	min	typ	max	単位	測定条件	
入力ハイレベル 電圧*1	RES、NMI、HSTBY	V_{IH}	$V_{CC} - 0.3$	-	$V_{CC} + 0.3$	V	
	EXTAL、CKIO		$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V	
	A/D ポート		2.6	-	$AV_{CC} + 0.3$	V	
	3V/5V 兼用端子		2.6	-	$PV_{CC} + 0.3$	V	
	その他の入力端子		2.6	-	$V_{CC} + 0.3$	V	
入力ローレベル 電圧*1	RES、NMI、HSTBY	V_{IL}	-0.3	-	0.5	V	
	その他の入力端子		-0.3	-	0.8	V	
シュミット トリガ入力特性	TIOC0A ~ TIOC5A、 TIOC0B ~ TIOC5B、 TIOC0C、TIOC3C、 TIOC0D、TIOC3D、 TCLKA、TCLKB、 TCLKC、TCLKD、 SCK0、SCK1、SCK2、 RxD0、RxD1、RxD2、 PCI	V_T^+	V_T^+ 4.0V (min) - 3V/5V 兼用端子で $PV_{CC} = 5V \pm 0.5V$ の場合				
			V_T^+ 2.6V (min) - 上記以外の場合				
		V_T^-	V_T^- 0.8V (max)				
		$V_T^+ - V_T^-$	0.2	-	-	V	
入力リーク電流	RES、NMI、HSTBY	$ I_{in} $	-	-	1.0	μA	
	A/D ポート		-	-	1.0	μA	
	その他の入力端子		-	-	1.0	μA	
スリープステート リーク電流 (オフ状態)	A25 ~ A0、D31 ~ D0、 CS5 ~ CS0、RDWR、 WRxx、RD、WR、 RASx、CASxxx	$ I_{TS} $	-	-	1.0	μA	
出力ハイレベル 電圧	3V/5V 兼用端子	V_{OH}	$PV_{CC} - 0.7$	-	-	V	$I_{OH} = -200\mu A$
	その他の出力端子		$V_{CC} - 0.7$	-	-	V	$I_{OH} = -200\mu A$
出力ローレベル 電圧	3V/5V 兼用端子	V_{OL}	-	-	0.6	V	$I_{OL} = 1.6mA$
	その他の出力端子		-	-	0.6	V	$I_{OL} = 1.6mA$
	PE17 ~ PE19、PE21 ~ PE23		-	-	1.5	V	$I_{OL} = 15mA$
入力容量	RES	C_{in}	-	-	60	pF	$V_{in} = 0V$
	NMI		-	-	30	pF	$f = 1MHz$
	その他の全入力端子		-	-	25	pF	$T_a = 25^\circ C$
消費電流 (HD64F7065S、 HD64F7065A) (F-ZTAT 版)	通常動作時	I_{CC}	-	230	290	mA	
	スリープ時		-	160	260	mA	
	スタンバイ時		-	5	100	μA	$T_a = 50^\circ C$
			-	-	800	μA	$50^\circ C < T_a$

項目		記号	min	typ	max	単位	測定条件
消費電流 (HD6437065A) (マスクROM版)	通常動作時	I_{CC}	-	170	250	mA	
	スリープ時		-	150	240	mA	
	スタンバイ時		-	5	100	μ A	$T_a = 50^\circ\text{C}$
			-	-	800	μ A	$50^\circ\text{C} < T_a$
ポート電源電流	動作中	PI_{CC}	-	5	10	mA	$PV_{CC} = 3.6\text{V}$
			-	7	15	mA	$PV_{CC} = 5.5\text{V}$
	スタンバイ時		-	0.2	0.25	mA	
アナログ電源電流		AI_{CC}	-	2.0	5.0	mA	A/D、D/A 変換中 ^{*2}
			-	0.1	0.15	mA	A/D、D/A 停止中 ^{*2}
RAM スタンバイ電圧		V_{RAM}	2.0	-	-	V	

【注】 *1 シュミットトリガ入力を除く。

*2 A/D、D/A 変換中の AI_{CC} は、D/A 変換器の DAE ビットを 1 にセットした場合のアナログ電源電流値。停止中は、A/D 変換器の ADST ビットが 0、D/A 変換器の DAOE1、DAOE0、DAE ビットが 0 の場合。

【使用上の注意】

- A/D 変換器を使用しないとき（スタンバイ時含む）に、 AV_{CC} 、 AV_{SS} 端子を解放しないでください。 AV_{CC} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。
- 消費電流値は、 $V_{IH\ min} = V_{CC} - 0.5\text{V}$ 、 $V_{IL\ max} = 0.5\text{V}$ の条件で、すべての出力端子を無負荷状態にした場合の値です（スタンバイ電流測定条件は、 $V_{IH} = V_{CC}/PV_{CC}$ 、 $V_{IL} = 0\text{V}$ の条件ですべての出力端子を無負荷状態にした場合の値です）。
- F-ZTAT 版とマスク ROM 版は、機能は同じであり、電気的特性はともに規格内にありますが、特性上の実力値や動作マージン、ノイズマージン、輻射ノイズなどは異なりますので、システムの設計時および F-ZTAT 版とマスク ROM 版の置き換えをするときには、ご注意ください。

22.2.2 DC 特性 (2)

表 22.3 出力許容電流値

条件： $V_{CC} = PLLV_{CC} = 3.3\text{V} \pm 0.3\text{V}$ 、 $PV_{CC} = 5.0\text{V} \pm 0.5\text{V}/3.3\text{V} \pm 0.3\text{V}$ 、 PV_{CC} 、 V_{CC} 、 $AV_{CC} = 3.3\text{V} \pm 0.3\text{V}$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0\text{V}$ 、 $T_a = -20 \sim +75^\circ\text{C}$

項目	記号	min	typ	max	単位
出力ローレベル許容電流 (1 端子あたり)	I_{OL}	-	-	2.0*	mA
出力ローレベル許容電流 (総和)	ΣI_{OL}	-	-	80	mA
出力ハイレベル許容電流 (1 端子あたり)	$-I_{OH}$	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	$\Sigma(-I_{OH})$	-	-	25	mA

【注】 * PE17～PE19、PE21～PE23 は $I_{OL} = 15\text{mA}$ (max)。ただし、これらの端子のうち同時に 2.0mA を超えて I_{OL} を流すのは 3 本以内にしてください。

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 22.3 の値を超えないようにしてください。

22.3 AC 特性測定条件

入力参照レベル ハイレベル : $V_{CC} - 0.3V$ 、ローレベル : $0.5V$

出力参照レベル ハイレベル : $2.0V$ 、ローレベル : $0.8V$

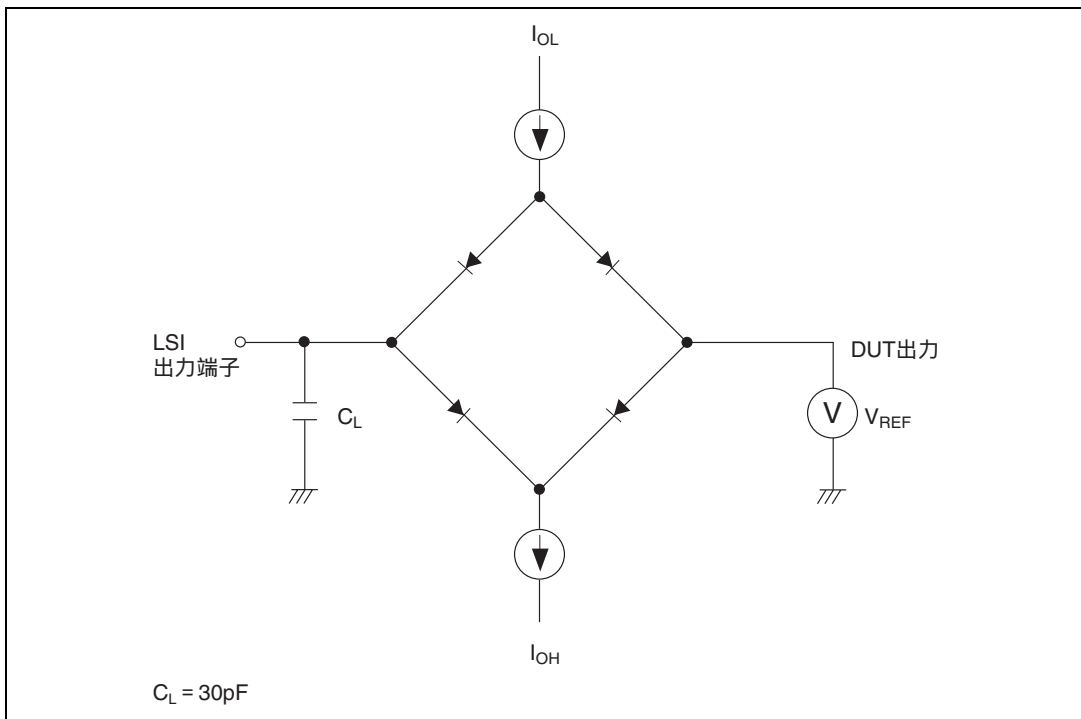


図 22.1 出力付加回路

22.3.1 クロックタイミング

表 22.4 クロックタイミング

条件 : $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC} V_{CC}$ 、 $AV_{CC} = 3.3V \pm 0.3V$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
動作周波数 (マスタクロック)	f_{op}	20	60	MHz	図 22.2
クロックサイクル時間	t_{cyc}	16.7	50	ns	
クロックローレベルパルス幅	t_{CL}	4.4	-	ns	
クロックハイレベルパルス幅	t_{CH}	4.4	-	ns	
クロック立ち上がり時間	t_{Cr}	-	4	ns	
クロック立ち下がり時間	t_{Cf}	-	4	ns	
EXTAL/CKIO クロック入力周波数	f_{EX}	5	30	MHz	図 22.3
EXTAL/CKIO クロック入力サイクル時間	t_{EXcyc}	33.3	200	ns	
EXTAL/CKIO クロック入力ローレベルパルス幅	t_{EXL}	11.6	-	ns	
EXTAL/CKIO クロック入力ハイレベルパルス幅	t_{EXH}	11.6	-	ns	
EXTAL/CKIO クロック入力立ち上がり時間	t_{EXr}	-	5	ns	
EXTAL/CKIO クロック入力立ち下がり時間	t_{EXf}	-	5	ns	
リセット発振安定時間	t_{OSC1}	10	-	ms	図 22.4
スタンバイ復帰発振安定時間	t_{OSC2}	10	-	ms	

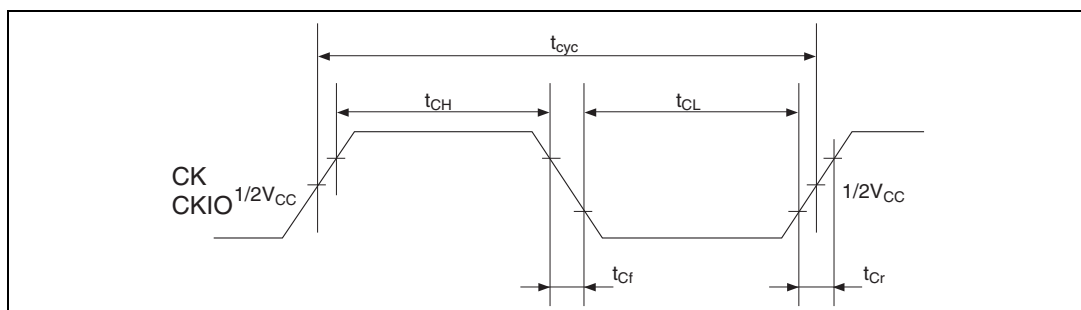


図 22.2 システムクロックタイミング

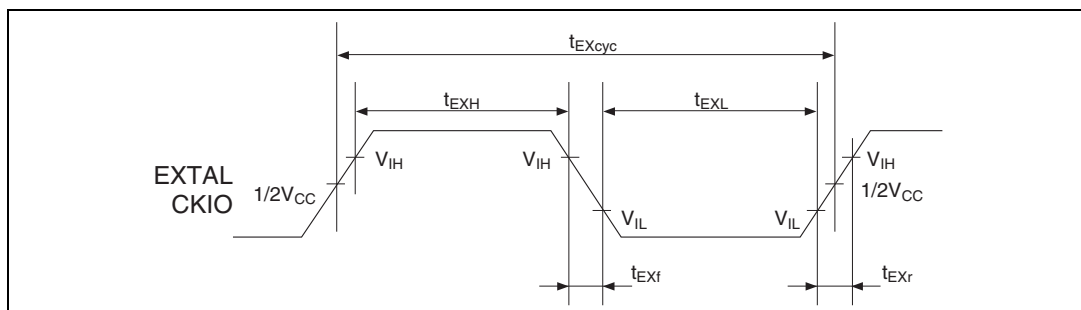


図 22.3 EXTAL クロック入力タイミング

22. 電気的特性

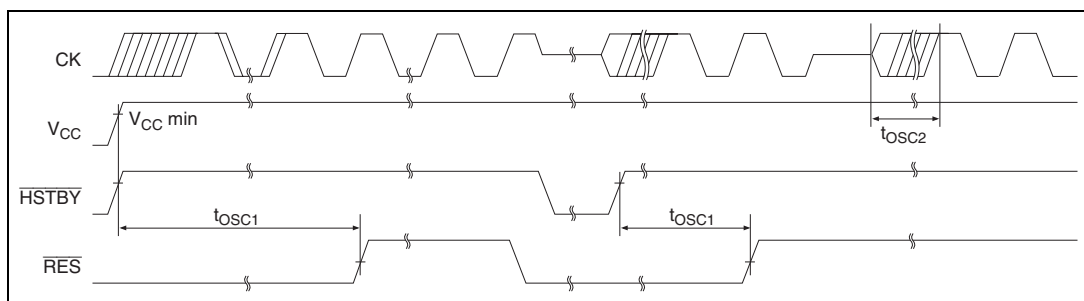


図 22.4 発振安定時間

22.3.2 制御信号タイミング

表 22.5 制御信号タイミング

条件 : $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC} = V_{CC}$ 、 $AV_{CC} = 3.3V \pm 0.3V$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
RES 立ち上がり、立ち下がり	$t_{RES\uparrow}$ 、 $t_{RES\downarrow}$	-	200	ns	図 22.5
RES パルス幅	t_{RESW}	40	-	t_{Cyc}^{*1}	
NMI 立ち上がり、立ち下がり	$t_{NMI\uparrow}$ 、 $t_{NMI\downarrow}$	-	200	ns	図 22.6
NMI パルス幅	t_{NMIW}	2.5	-	t_{Cyc}^{*2}	
IRQ パルス幅	t_{IRQW}	2.5	-	t_{Cyc}^{*2}	図 22.7
IRQOUT 出力遅延時間	t_{IRQOD}	-	35	ns	
バスリクエストセットアップ時間	t_{BRQS}	35	-	ns	図 22.8
バスアクノリッジ遅延時間 1	t_{BACKD1}	-	35	ns	
バスアクノリッジ遅延時間 2	t_{BACKD2}	-	35	ns	
バススリーステート遅延時間	t_{BZD}	-	35	ns	

【注】 *1 最も遅いモジュールクロック

*2 MφとCKEの遅い方のクロック

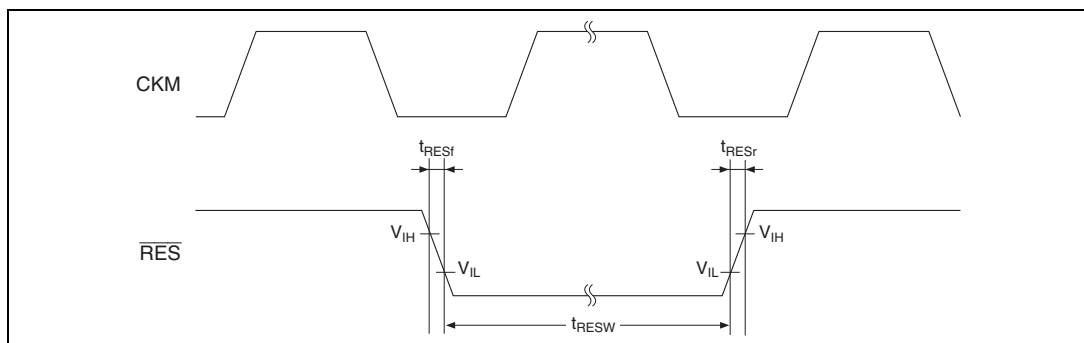


図 22.5 リセット入力タイミング

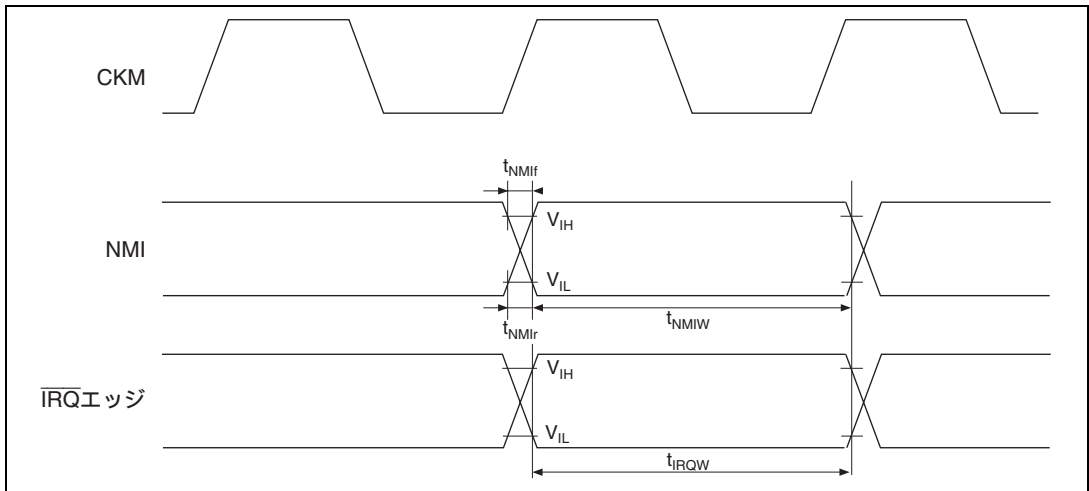


図 22.6 割り込み信号入力タイミング

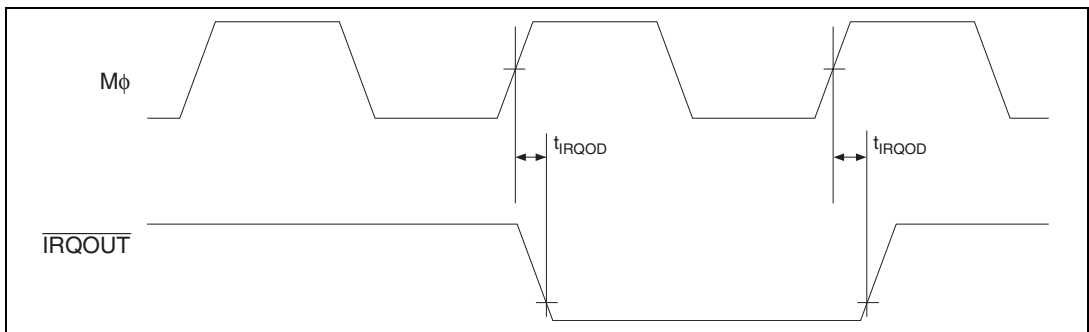


図 22.7 割り込み信号出力タイミング

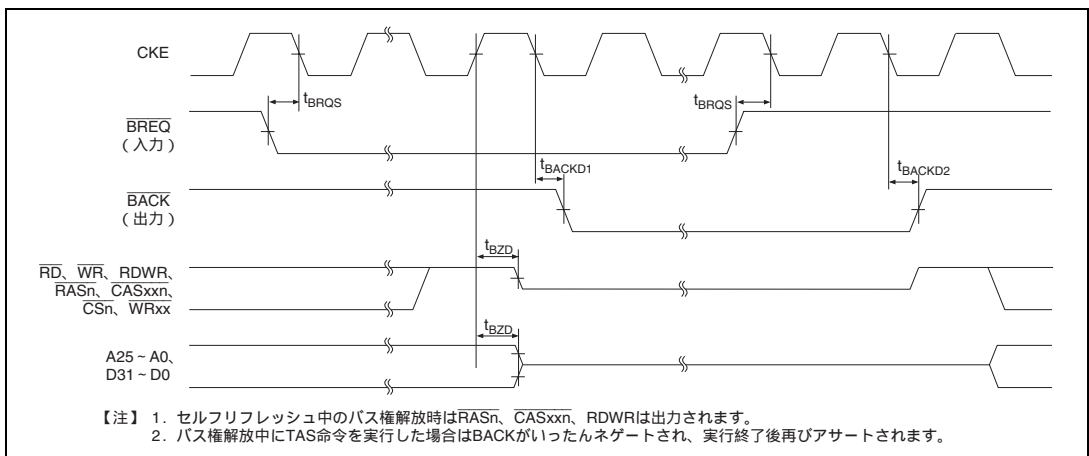


図 22.8 バス権解放タイミング

22.3.3 バスタイミング

表 22.6 バスタイミング

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC} \pm 10\%$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$)

項目	記号	min	max	単位	参照図
アドレス遅延時間	t_{AD}	2^{*3}	25	ns	図 22.9、図 22.10、 図 22.12、図 22.13、 図 22.14、図 22.15、 図 22.16、図 22.19、 図 22.20
CS 遅延時間 1	t_{CSD1}	2^{*3}	25	ns	図 22.16、図 22.19、 図 22.20
CS 遅延時間 2	t_{CSD2}	2^{*3}	25	ns	図 22.20
リードストロープ遅延時間 1	t_{RSD1}	2^{*3}	25	ns	図 22.9、図 22.10、 図 22.19、図 22.20
リードストロープ遅延時間 2	t_{RSD2}	2^{*3}	25	ns	図 22.19、図 22.20
リードデータセットアップ時間	t_{RDS}^{*4}	25	-	ns	図 22.9、図 22.10、 図 22.12、図 22.13、 図 22.14、図 22.15、 図 22.16、図 22.19、 図 22.20
リードデータホールド時間	t_{RDH}	0	-	ns	図 22.12、図 22.13、 図 22.14、図 22.15、 図 22.16、図 22.19、 図 22.20
ライトストロープ遅延時間 1	t_{WSD1}	2^{*3}	25	ns	図 22.9、図 22.10、 図 22.19、図 22.20
ライトストロープ遅延時間 2	t_{WSD2}	2^{*3}	25	ns	図 22.19、図 22.20
ライトデータ遅延時間	t_{WDD}	-	25	ns	図 22.9、図 22.10、 図 22.12、図 22.13、 図 22.14、図 22.15、 図 22.16、図 22.19、 図 22.20
ライトデータホールド時間	t_{WDH}	0	25^{*2}	ns	図 22.12、図 22.13、 図 22.14、図 22.15、 図 22.16、図 22.19、 図 22.20
WAIT セットアップ時間	t_{WTS}	25	-	ns	図 22.11、図 22.13、 図 22.20
WAIT ホールド時間	t_{WTH}	0	-	ns	図 22.20
RAS 遅延時間 1	t_{RASD1}	2^{*3}	25	ns	図 22.12、図 22.13、 図 22.14、図 22.15、 図 22.16、図 22.17、 図 22.18
RAS 遅延時間 2	t_{RASD2}	2^{*3}	25	ns	図 22.14、図 22.15、 図 22.16、図 22.17、 図 22.18
CAS 遅延時間 1	t_{CASD1}	2^{*3}	25	ns	図 22.16、図 22.17、 図 22.18
CAS 遅延時間 2	t_{CASD2}	2^{*3}	25	ns	図 22.18
リードデータアクセス時間	t_{ACC}^{*1}	$t_{cyc} \times (n+1.5) - 33$	-	ns	図 22.9、図 22.10
リードストロープからのアクセス時間	t_{OE}^{*1}	$t_{cyc} \times (n+1) - 33$	-	ns	図 22.12、図 22.14、 図 22.15
カラムアドレスからのアクセス時間	t_{AA}^{*1}	$t_{cyc} \times (n+1.5) - 33$	-	ns	図 22.12、図 22.14、 図 22.15
RAS からのアクセス時間	t_{RAC}^{*1}	$t_{cyc} \times (n+RCD+2) - 33$	-	ns	図 22.12、図 22.15
CAS からのアクセス時間	t_{CAC}^{*1}	$t_{cyc} \times (n+1) - 33$	-	ns	図 22.12、図 22.15
ロウアドレスホールド時間	t_{RAH}	$t_{cyc} \times (RCD+0.5) - 25$	-	ns	図 22.12、図 22.15
ロウアドレスセットアップ時間	t_{ASR}	$t_{cyc} \times 0.5 - 16.6$	-	ns	図 22.12、図 22.14、 図 22.15
データ入力セットアップ時間	t_{DS}	$t_{cyc} \times (m+0.5) - 25$	-	ns	図 22.12、図 22.14、 図 22.15
データ入力ホールド時間	t_{DH}	t_{cyc}	-	ns	図 22.15
リードライトストロープ遅延時間 1	t_{RWD1}	2^{*5}	25	ns	図 22.12、図 22.13、 図 22.14、図 22.15
リードライトストロープ遅延時間 2	t_{RWD2}	2^{*5}	25	ns	図 22.14、図 22.15
高速ページモード CAS プリチャージ時間	t_{CP}	$t_{cyc} - 25$	-	ns	図 22.15

項目	記号	min	max	単位	参照図
RAS プリチャージ時間	t_{RP}	$t_{cyc} \times (TPC+1.0)-25$	-	ns	図 22.12、図 22.15
CAS セットアップ時間	t_{CSR}	10	-	ns	図 22.17、図 22.18
AH 遅延時間 1	t_{AHD1}	2^{*5}	25	ns	図 22.19、図 22.20
AH 遅延時間 2	t_{AHD2}	2^{*5}	25	ns	
マルチプレクスアドレス遅延時間	t_{MAD}	2^{*5}	25	ns	
マルチプレクスアドレスホールド時間	t_{MAH}	0	-	ns	
DACK 遅延時間 1	t_{DACKD1}	2^{*5}	25	ns	図 22.9、図 22.10、 図 22.12、図 22.13、 図 22.14、図 22.15、 図 22.16、図 22.19、 図 22.20
WRxx 立ち下がりに対する An セットアップ時間	t_{AS}	0	-	ns	図 22.9、図 22.10
WRxx 立ち上がりに対する An ホールド時間	t_{WR}	5	-	ns	
WRxx 立ち上がりに対する Dn ホールド時間	t_{WRH}	0	-	ns	
バススタート遅延時間 1	t_{BSD1}	2^{*5}	25	ns	図 22.9、図 22.10、 図 22.12、図 22.13、 図 22.14、図 22.16、 図 22.19、図 22.20
バススタート遅延時間 2	t_{BSD2}	2^{*5}	25	ns	
バイトストローブ遅延時間 1	t_{xxBSD1}	2^{*5}	25	ns	図 22.9、図 22.10
バイトストローブ遅延時間 2	t_{xxBSD2}	2^{*5}	25	ns	
アウトプットイネーブル遅延時間 1	t_{OED1}	2^{*5}	25	ns	図 22.14、図 22.16
アウトプットイネーブル遅延時間 2	t_{OED2}	2^{*5}	25	ns	
カラムアドレスホールド時間(リード時)	t_{CAH}	$t_{cyc} \times (w+1.5)-15$	-	ns	図 22.12、図 22.13、 図 22.14、図 22.15
カラムアドレスホールド時間(ライト時)	t_{CAH}	$t_{cyc} \times (TCAS+0.5)-15$	-	ns	
カラムアドレスセットアップ時間 (リード時)	t_{ASC}	$t_{cyc} \times 0.5-17.5$	-	ns	
カラムアドレスセットアップ時間 (ライト時)	t_{ASC}	$t_{cyc} \times (w+0.5)-17.5$	-	ns	

- 【注】
1. n はウェイト数
 2. m は DRAM ライトサイクルウェイト数が 0 のとき 0、それ以外は 1
 3. RCD は DCR1 の RCD ビットの設定値
 4. TPC は DCR1 の TPC ビットの設定値
 5. TCAS は DCR2 の TCAS ビットの設定値
 6. w は CPU からライト時の DWW 設定数、DMAC シングルアドレスライト時の DDWW 設定数、WAIT 端子によるウェイト数
 7. t_{cyc} は CKE の周期 (min 33.3ns)
 - *1 アクセス時間が満足されていれば、 t_{rDS} は満足されている必要はありません。
 - *2 t_{WDH} (max) は参考値です。
 - *3 遅延時間の min 値は参考値です。
 - *4 t_{rDS} は参考値です。
 - *5 遅延時間の min 値は参考値です。

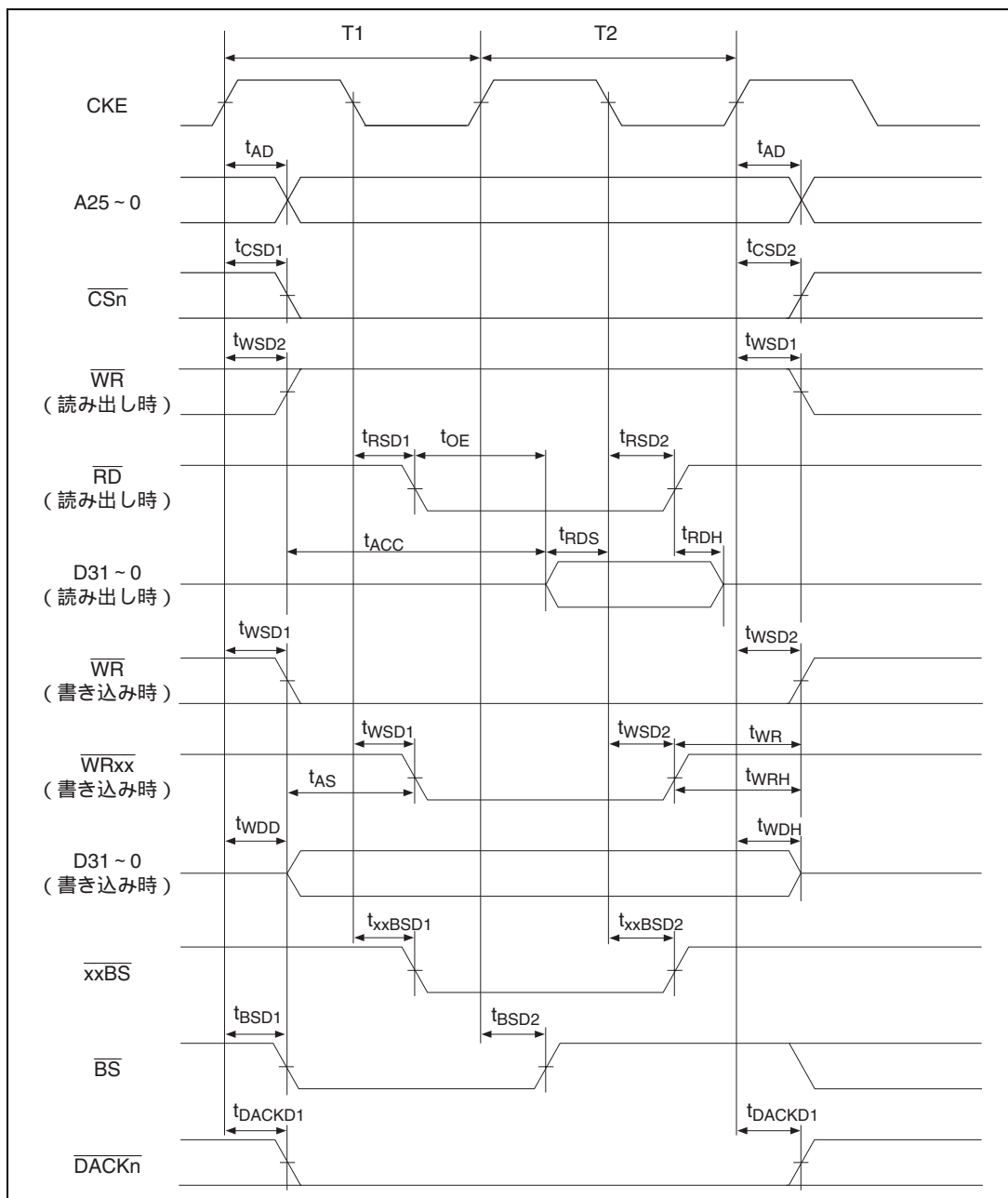


図 22.9 基本サイクル (ノーウェイト)

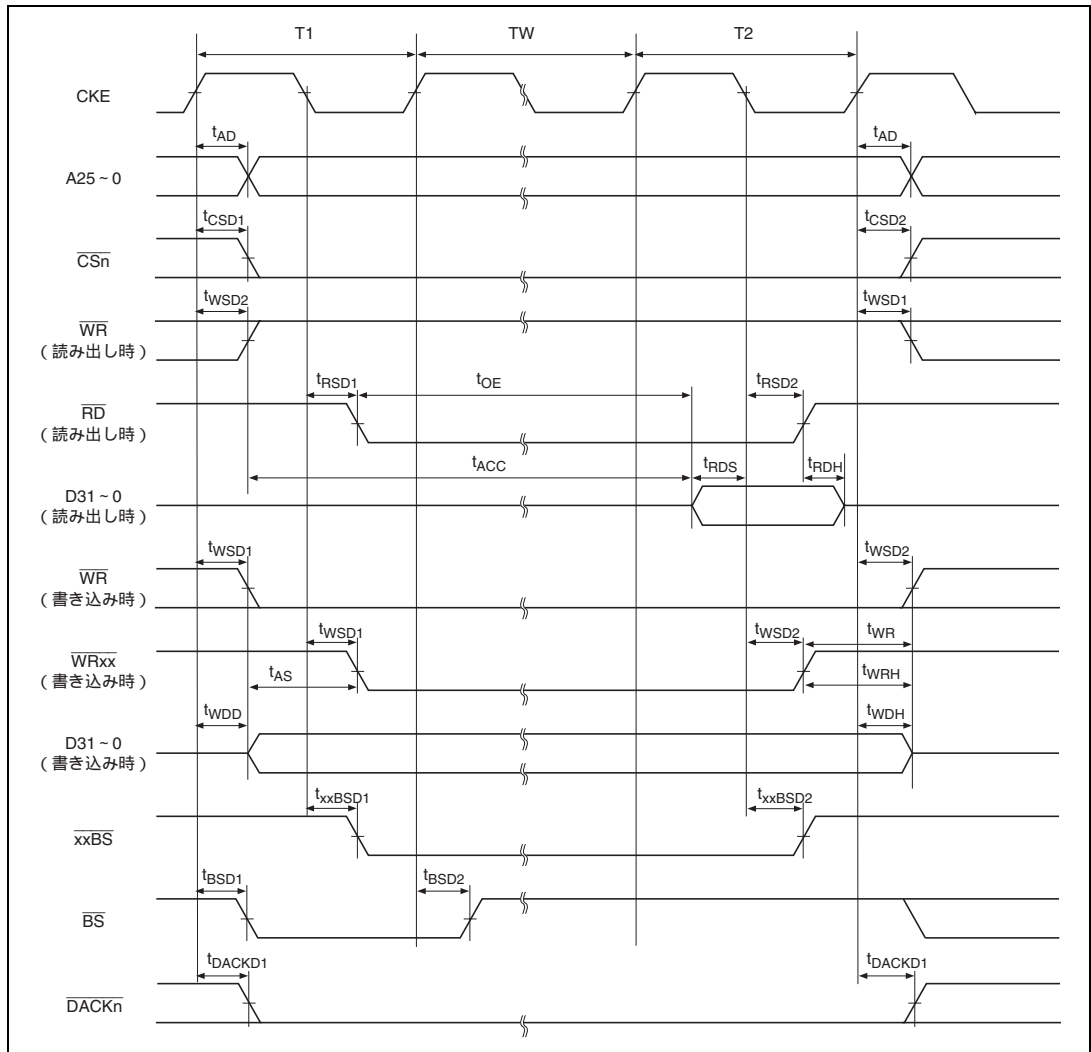


図 22.10 基本サイクル (ソフトウェアウェイト)

22. 電気的特性

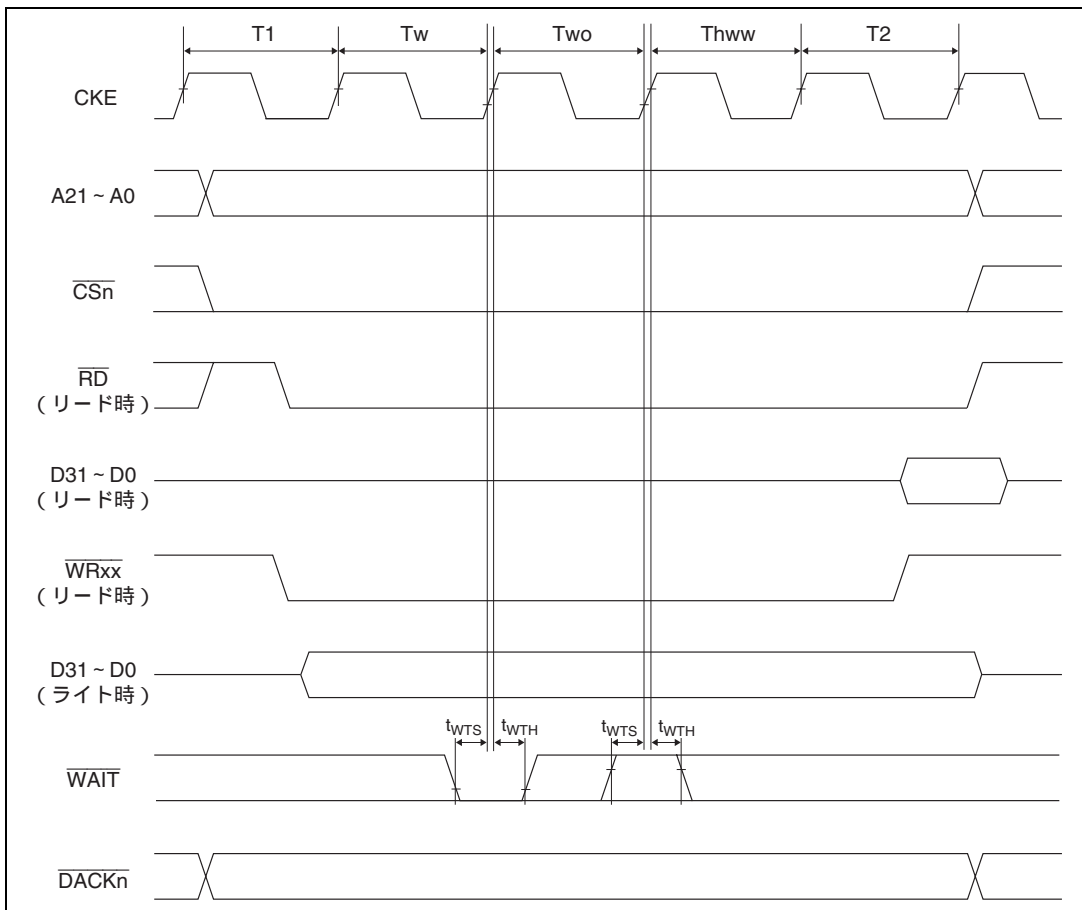


図 22.11 基本サイクル (1ソフトウェアウェイト + WAIT 信号によるウェイト、
WAIT 信号ネゲート後に 1ソフトウェアウェイト)

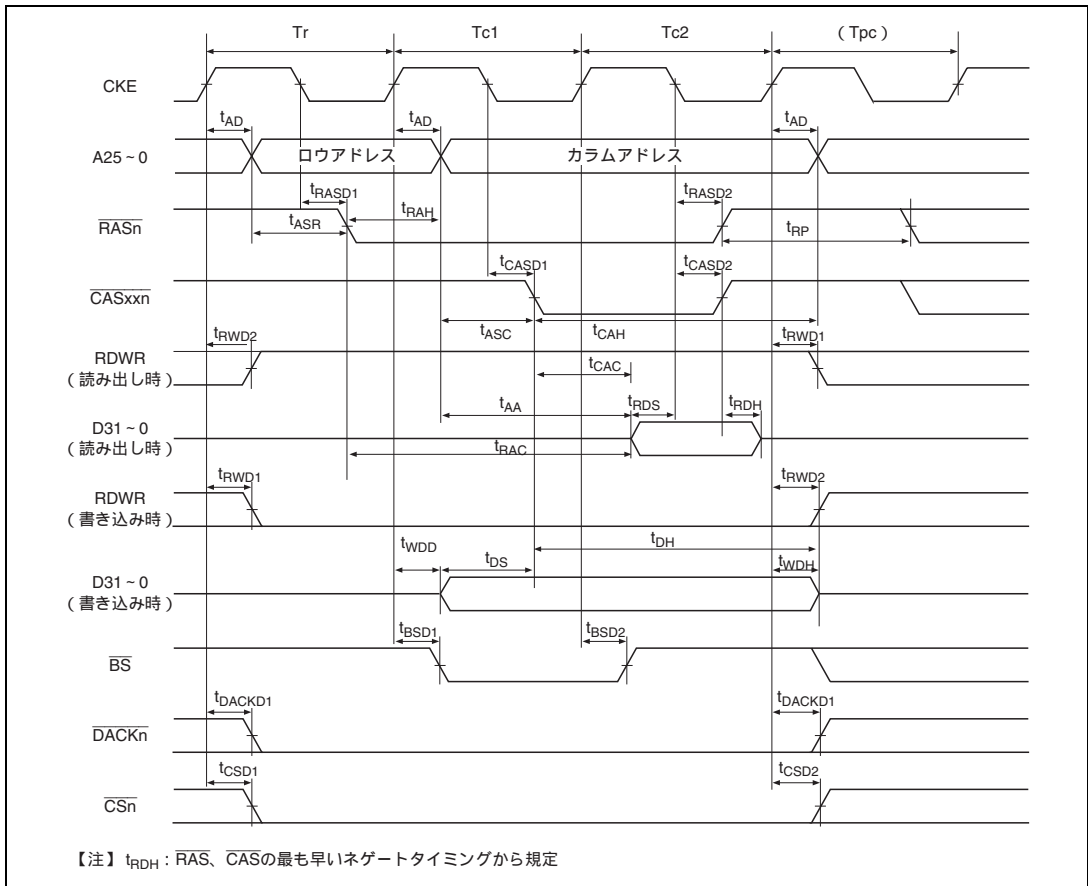


図 22.12 DRAM サイクル (ノーマルモード、ノーウェイト、TPC=0、RCD=0)

22. 電気的特性

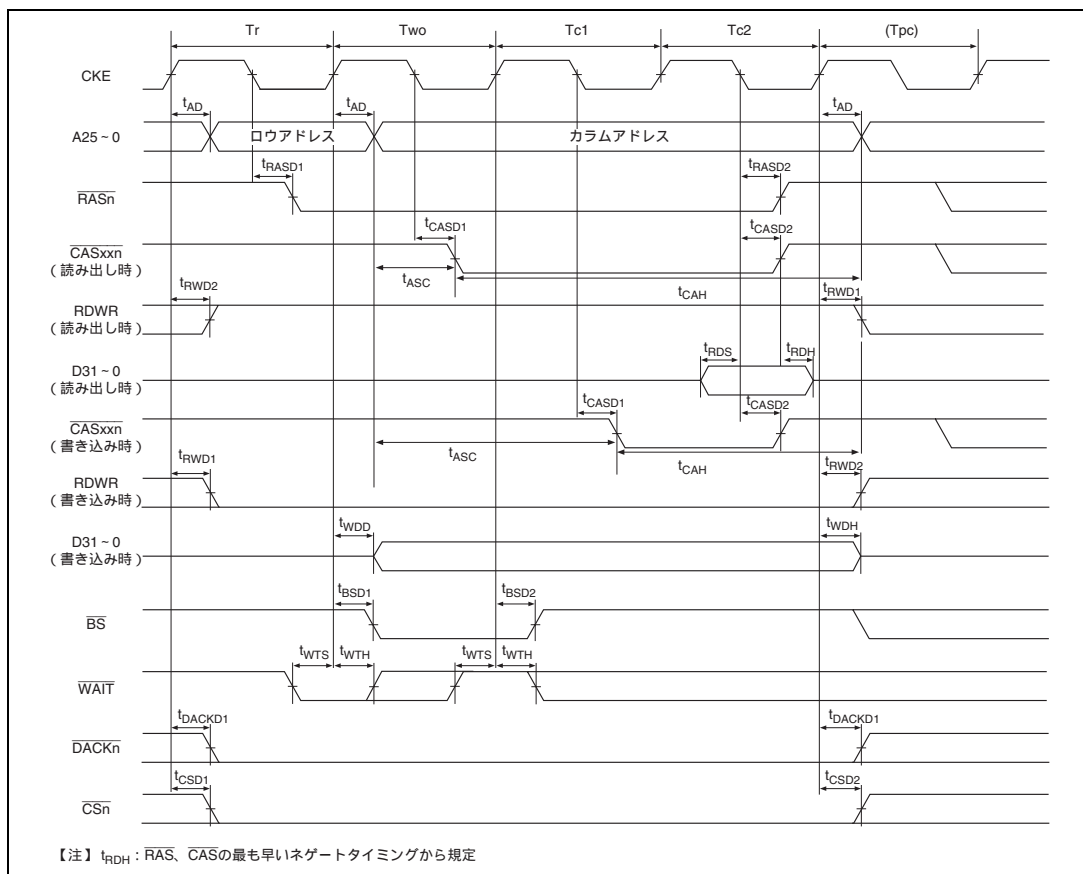


図 22.13 DRAM サイクル (ノーマルモード、WAIT 信号によるウェイト、TPC=0、RCD=0)

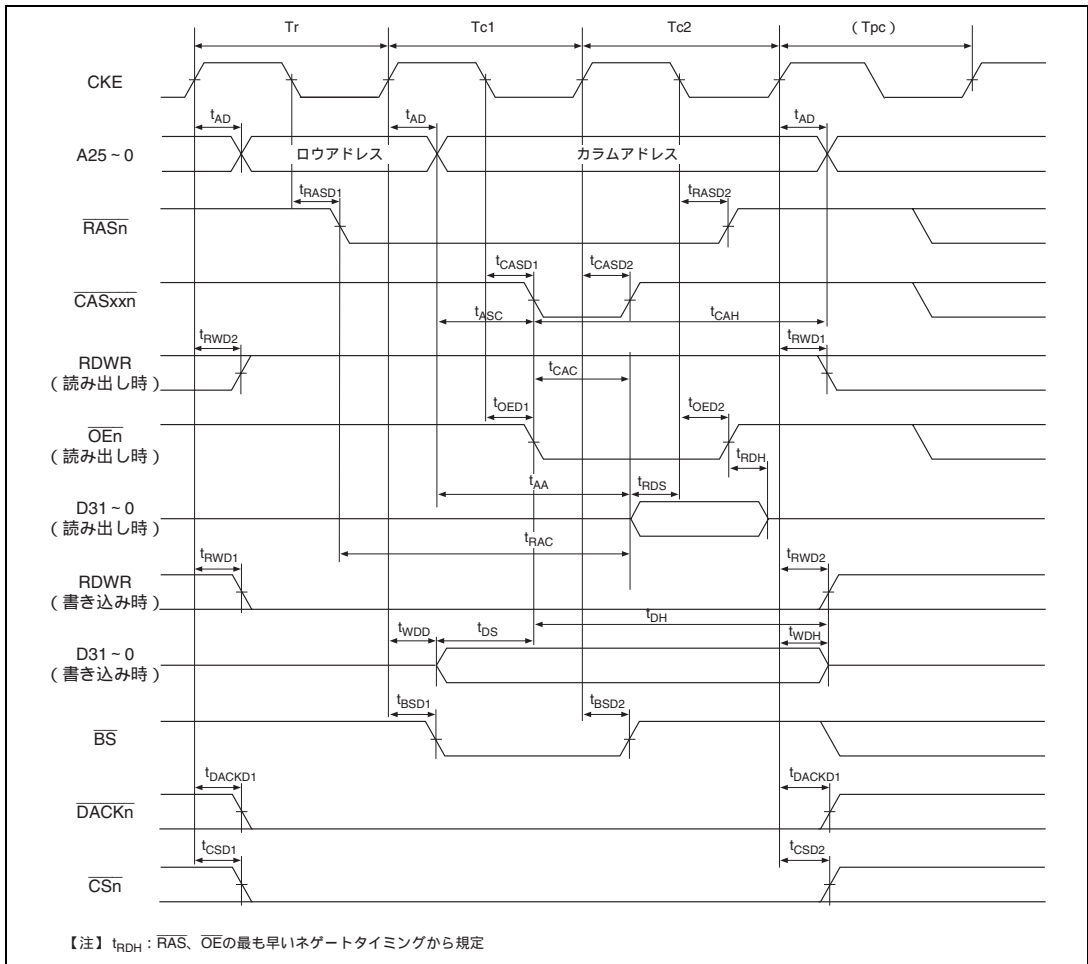


図 22.14 DRAM サイクル (EDO モード)

22. 電気的特性

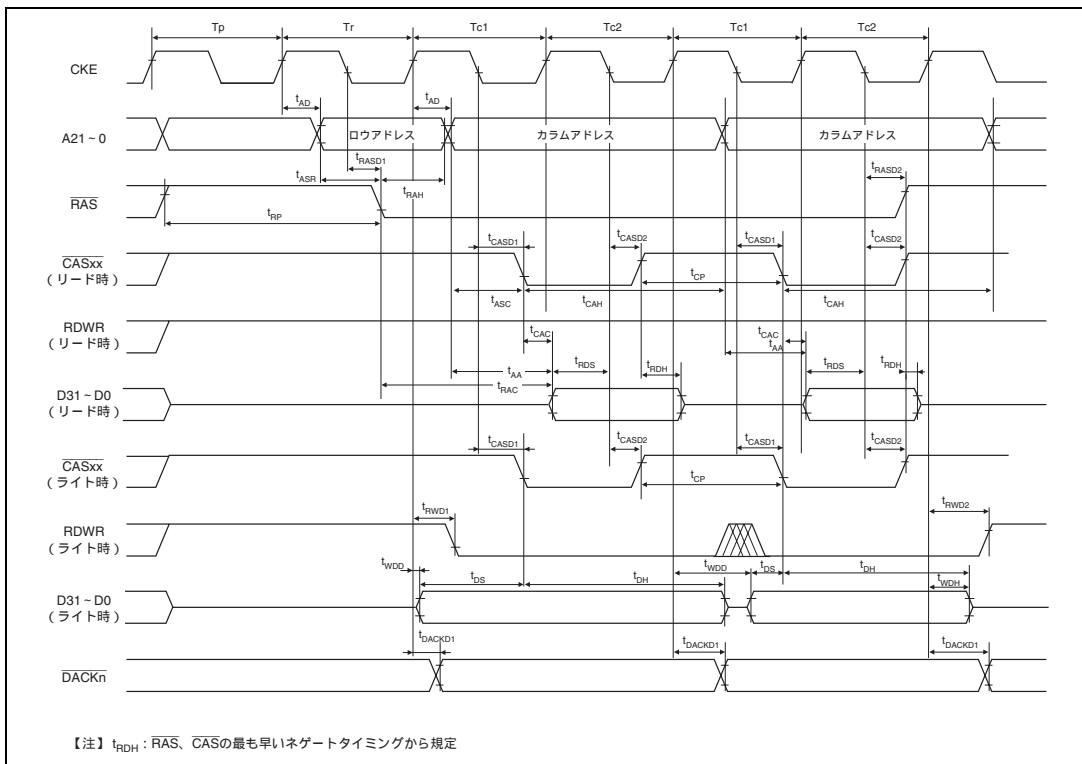


図 22.15 DRAM サイクル (高速ページモード)

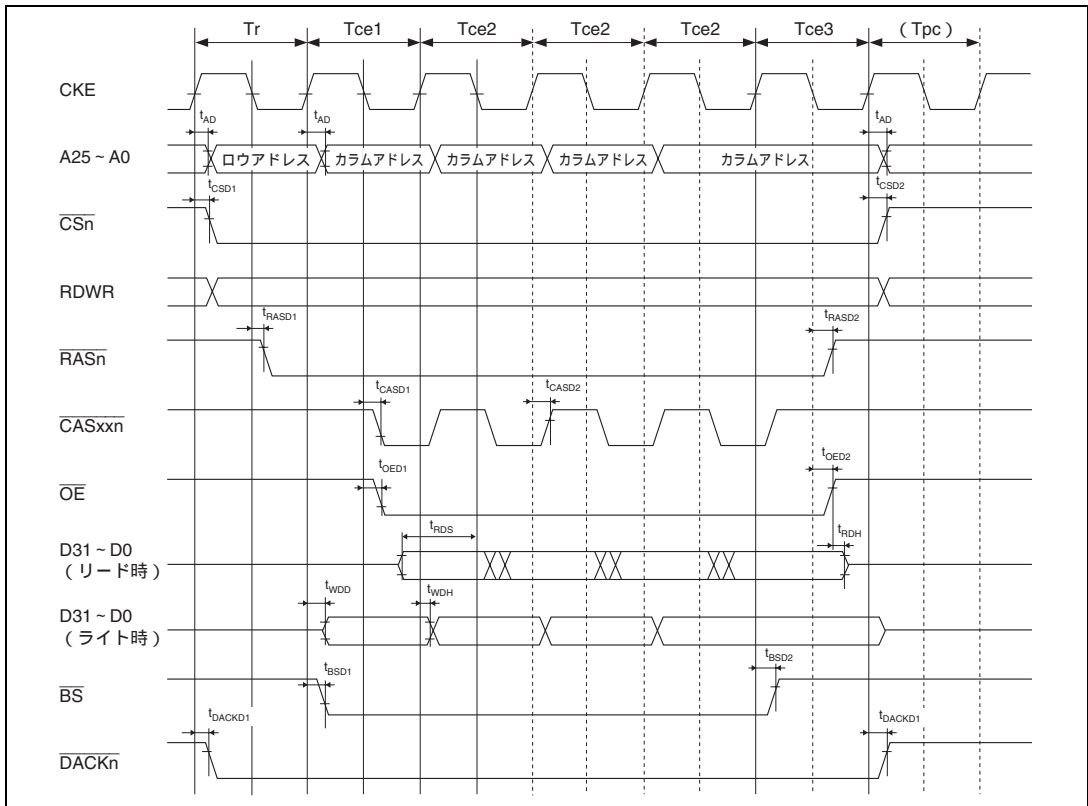


図 22.16 DRAM サイクル (EDO モード、バーストアクセス)

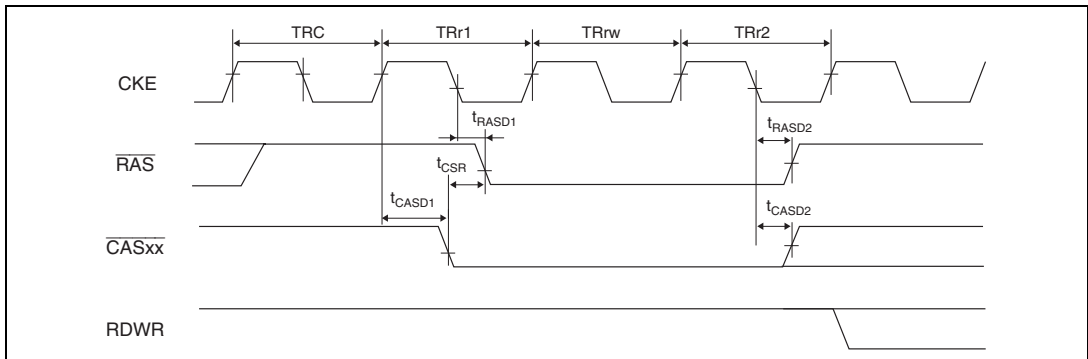


図 22.17 CAS ピフォア RAS リフレッシュ (TRAS1,0=0,0)

22. 電気的特性

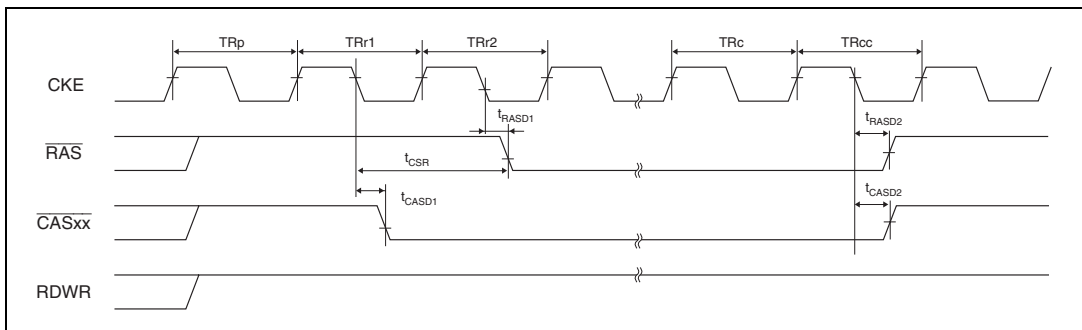


図 22.18 セルフリフレッシュ

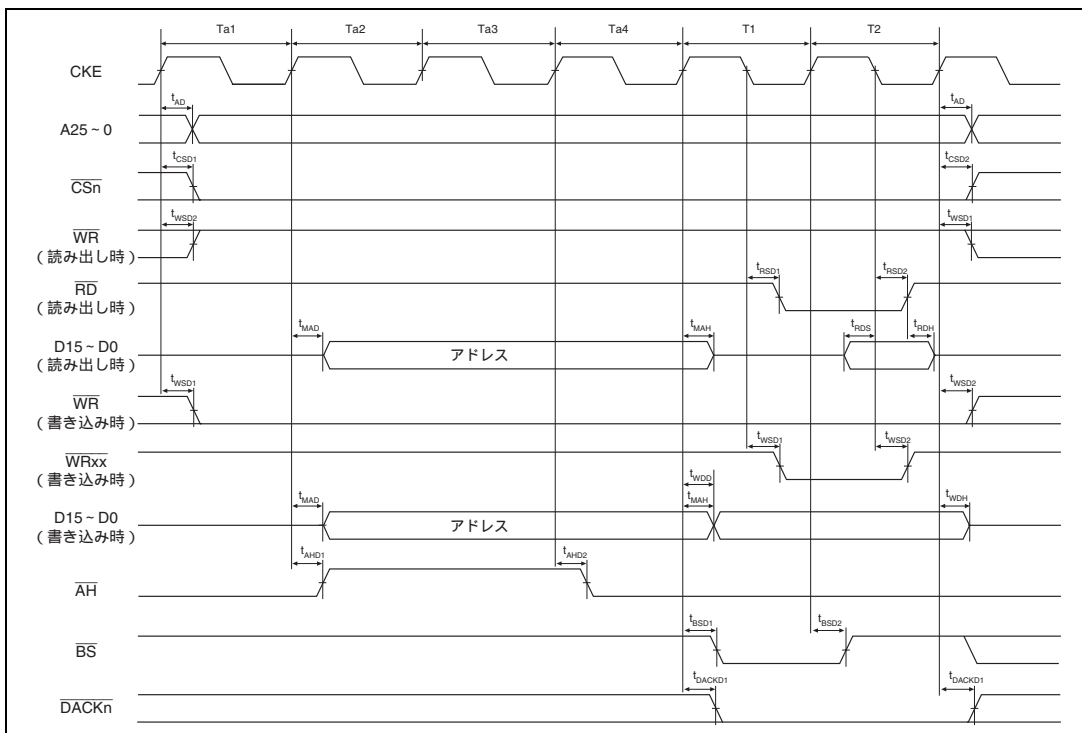


図 22.19 アドレス/データマルチプレクス I/O 空間サイクル
(1 ソフトウェアウェイト + 1 外部ウェイト)

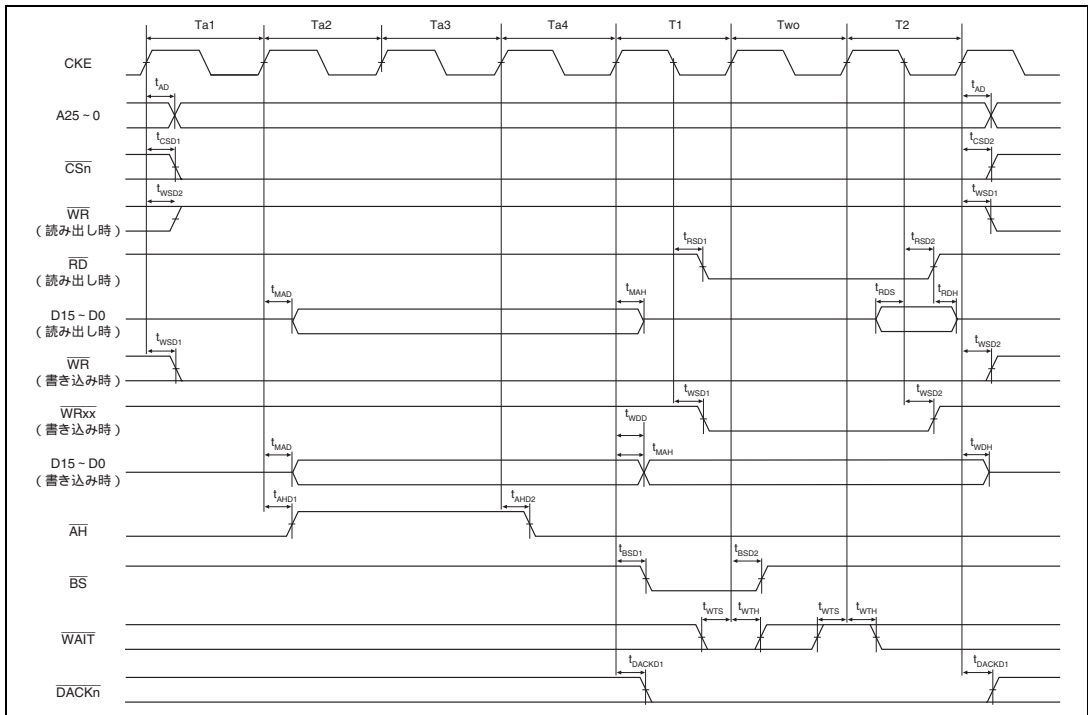


図 22.20 アドレス/データマルチプレクス I/O 空間サイクル (WAIT 信号によるウェイト)

22.3.4 ダイレクトメモリアクセスコントローラタイミング

表 22.7 ダイレクトメモリアクセスコントローラタイミング

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC} \pm 10\%$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
DREQ0、DREQ1 セットアップ時間	t_{DRQS}	16	-	ns	図 22.21、 図 22.23
DREQ0、DREQ1 ホールド時間	t_{DRQH}	16	-	ns	図 22.21
DREQ0、DREQ1 パルス時間	t_{DRQW}	2.5	-	t_{cyc}	図 22.22
DRAK 出力遅延時間	t_{DRAKD}	-	16	ns	図 22.23、 図 22.24
TEND 出力遅延時間	t_{TED}	-	16	ns	図 22.25

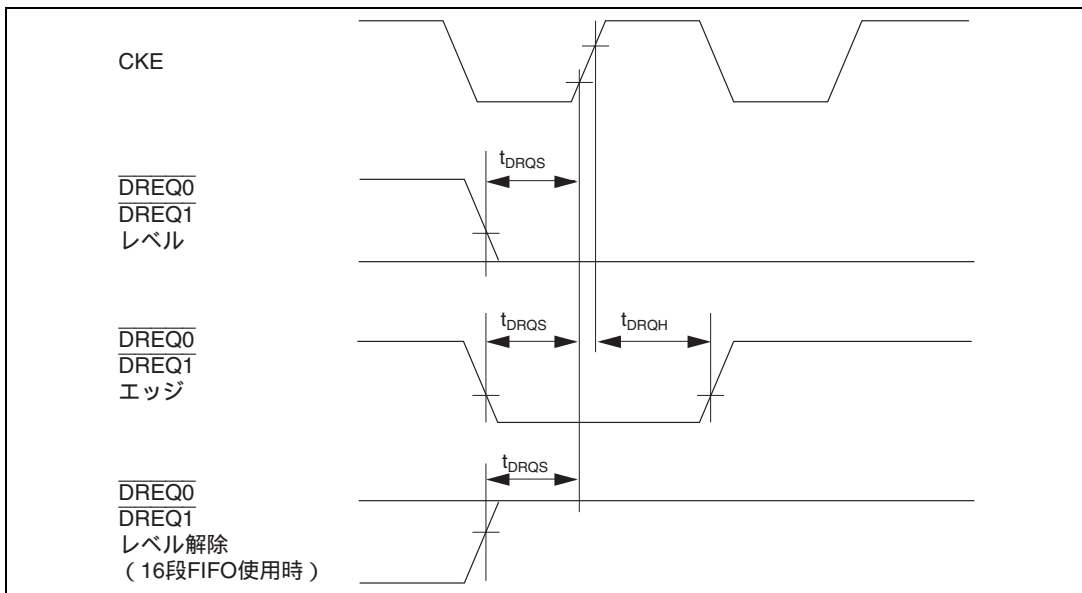


図 22.21 $\overline{\text{DREQ0}}$ 、 $\overline{\text{DREQ1}}$ 入力タイミング (1)

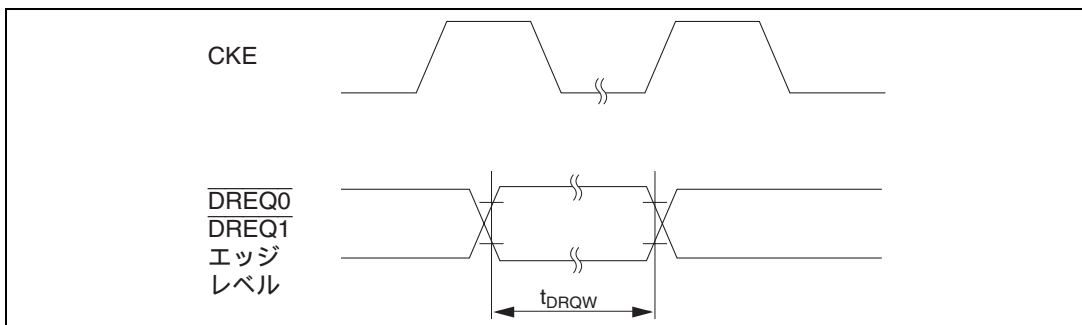


図 22.22 $\overline{\text{DREQ0}}$ 、 $\overline{\text{DREQ1}}$ 入力タイミング (2)

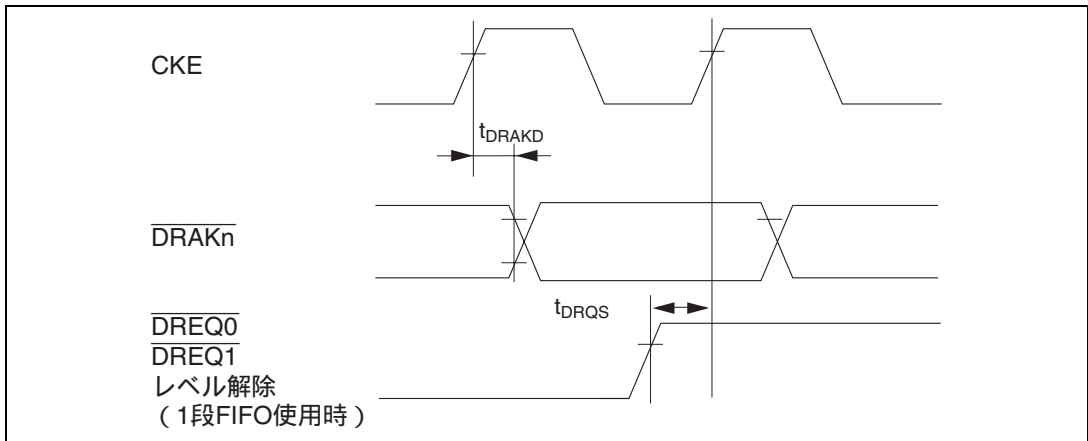


図 22.23 $\overline{\text{DREQ0}}$ 、 $\overline{\text{DREQ1}}$ 入力タイミング (3)

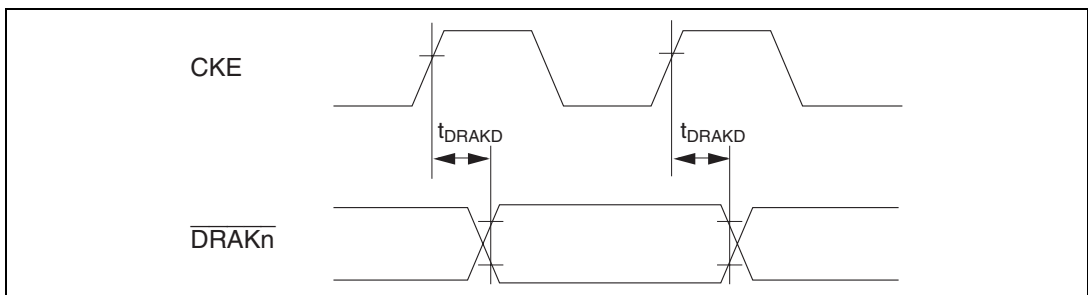


図 22.24 DRAK 出力遅延時間

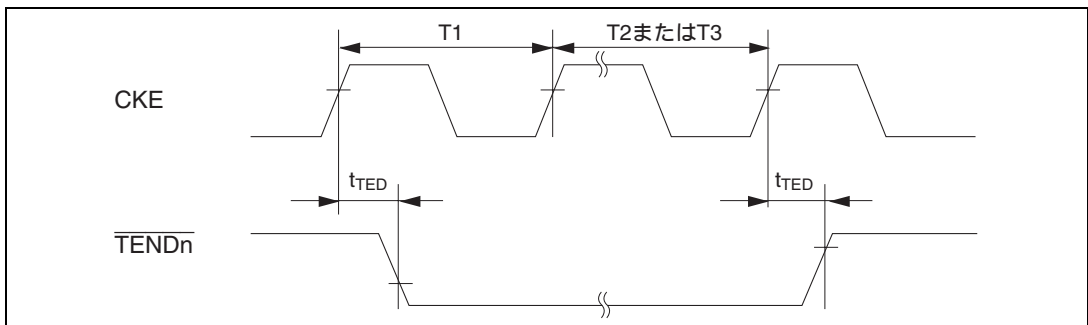


図 22.25 $\overline{\text{TEND}}$ 出力遅延時間

22.3.5 16ビットタイマパルスユニット (TPU) タイミング

表 22.8 16ビットタイマパルスユニット (TPU) タイミング

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC} \pm 10\%$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	100	ns	図 22.26
インプットキャプチャ入力セットアップ時間	t_{TICS}	35	-	ns	
タイマ入力セットアップ時間	t_{TCKS}	35	-	ns	図 22.27
タイマクロックパルス幅 (単エッジ指定)	$t_{TCKWH/L}$	1.5	-	t_{cyc}	
タイマクロックパルス幅 (両エッジ指定)	$t_{TCKWH/L}$	2.5	-	t_{cyc}	
タイマクロックパルス幅 (位相計数モード)	$t_{TCKWH/L}$	2.5	-	t_{cyc}	

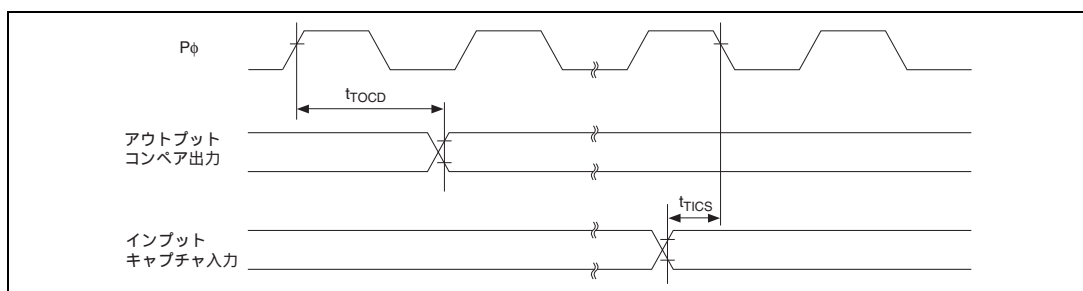


図 22.26 TPU 入出力タイミング

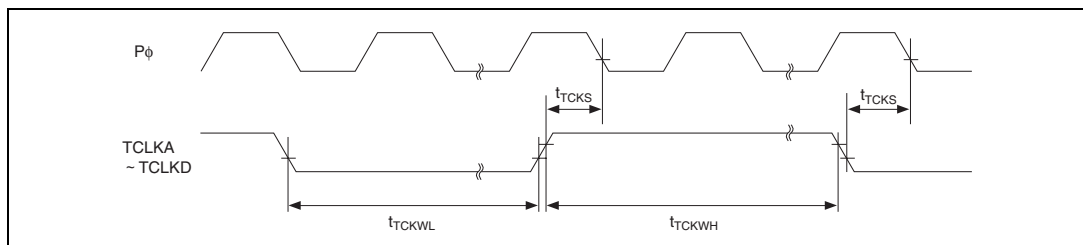


図 22.27 TPU クロック入力タイミング

22.3.6 モータマネージメントタイマ (MMT) タイミング

表 22.9 モータマネージメントタイマ (MMT) タイミング

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC} \pm 10\%$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
MMT 出力遅延時間	t_{MTOD}	-	100	ns	図 22.28
PCI 入力セットアップ時間	t_{PCIS}	35	-	ns	
PCI 入力パルス幅	t_{PCIW}	1.5	-	t_{cyc}	

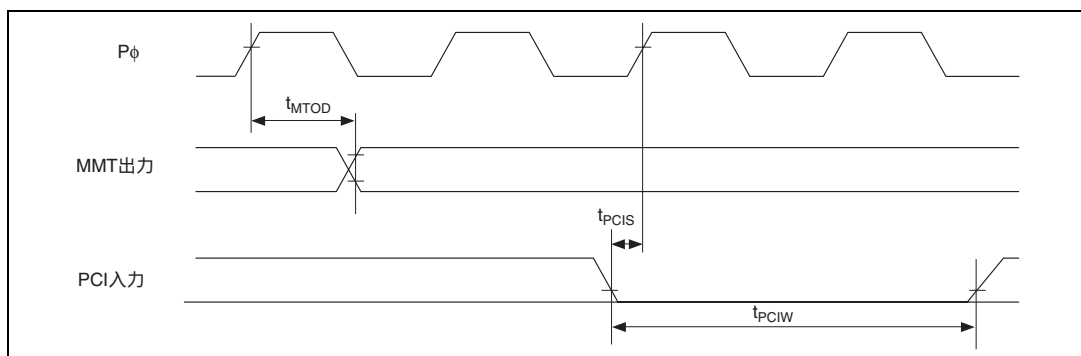


図 22.28 MMT 入出力タイミング

22.3.7 ポートアウトプットイネーブル (POE) タイミング

表 22.10 ポートアウトプットイネーブル (POE) タイミング

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC} \pm 10\%$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
POE 入力セットアップ時間	t_{POES}	35	-	ns	図 22.29
POE 入力パルス幅	t_{POEW}	1.5	-	t_{cyc}	

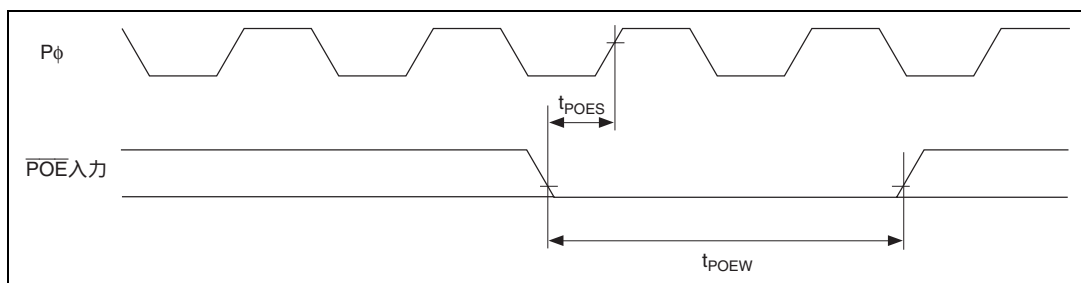


図 22.29 POE 入出力タイミング

22.3.8 I/O ポートタイミング

表 22.11 I/O ポートタイミング

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC} \pm 10\%$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
ポート出力データ遅延時間	t_{PWD}	-	100	ns	図 22.30
ポート入力ホールド時間	t_{PRH}	100	-	ns	
ポート入力セットアップ時間	t_{PRS}	100	-	ns	

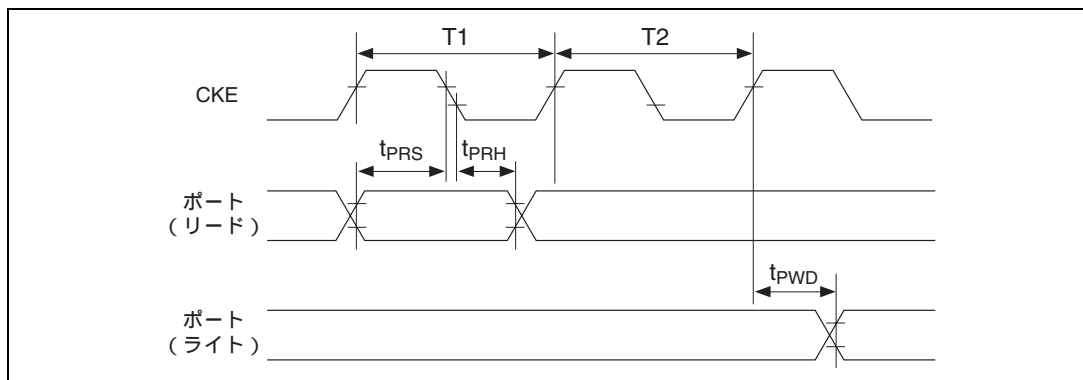


図 22.30 I/O ポート入出力タイミング

22.3.9 ウォッチドッグタイマタイミング

表 22.12 ウォッチドッグタイマタイミング

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC} \pm 10\%$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
WDTOVF 遅延時間	t_{WDOVF}	-	100	ns	図 22.31

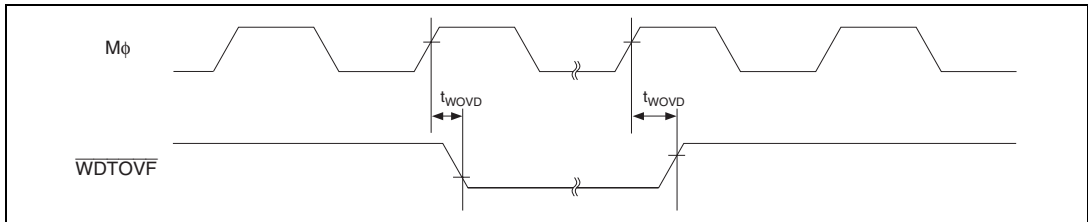


図 22.31 ウォッチドッグタイマタイミング

22.3.10 シリアルコミュニケーションインタフェースタイミング

表 22.13 シリアルコミュニケーションインタフェースタイミング

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC} \pm 10\%$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
入力クロックサイクル	t_{SCLC}	4	-	Pφ	図 22.32、 図 22.33
入力クロックサイクル (クロック同期)	t_{SCLC}	6	-	Pφ	
入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{SCLC}	
入力クロック立ち上がり時間	t_{SCKr}	-	1.5	Pφ	
入力クロック立ち下がり時間	t_{SCKf}	-	1.5	Pφ	
送信データ遅延時間 (クロック同期)	t_{TXD}	-	100	ns	図 22.33
受信データセットアップ時間 (クロック同期)	t_{RXS}	100	-	ns	
受信データホールド時間 (クロック同期)	t_{RXH}	100	-	ns	

【注】 SCI 出力端子をオープンドレイン出力に設定した場合は、特性はプルアップ抵抗に依存します。

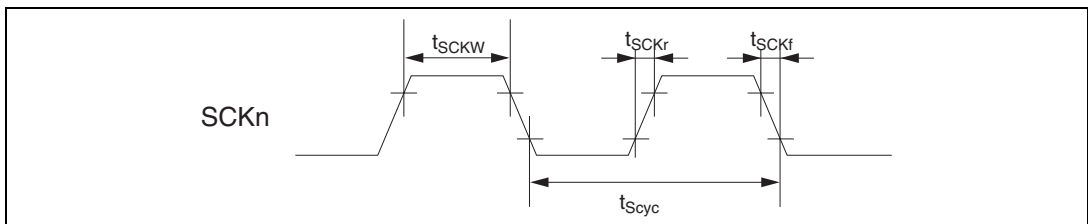


図 22.32 入力クロックタイミング

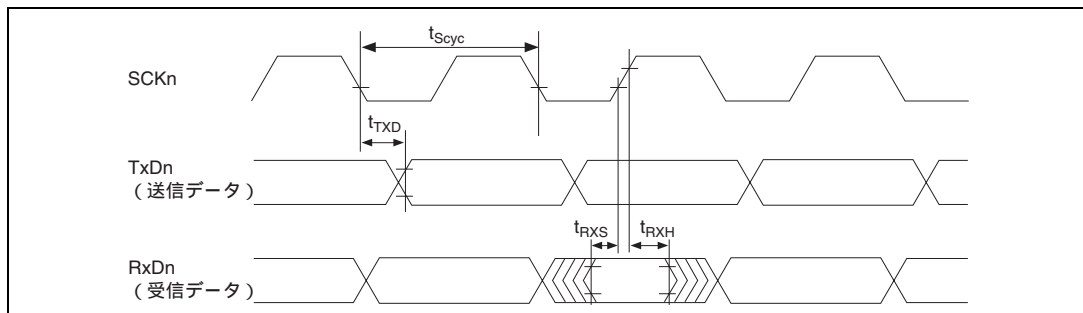


図 22.33 SCI 入出力タイミング (クロック同期式モード)

22.3.11 A/D 変換タイミング

表 22.14 A/D 変換タイミング

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC} \pm 10\%$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目		記号	min	typ	max	単位	参照図
外部トリガ入力パルス幅		t_{TRGW}	2	-	-	Pφ	図 22.34
外部トリガ入力開始遅延時間		t_{TRGS}	50	-	-	ns	
A/D 変換開始遅延時間	CKS = 0 のとき	t_d	10	-	17	Pφ	図 22.35
	CKS = 1 のとき		6	-	9	Pφ	
入力サンプリング時間	CKS = 0 のとき	t_{SPL}	-	64	-	Pφ	
	CKS = 1 のとき		-	32	-	Pφ	
A/D 変換時間	CKS = 0 のとき	t_{CONV}	259	-	266	Pφ	
	CKS = 1 のとき		131	-	134	Pφ	

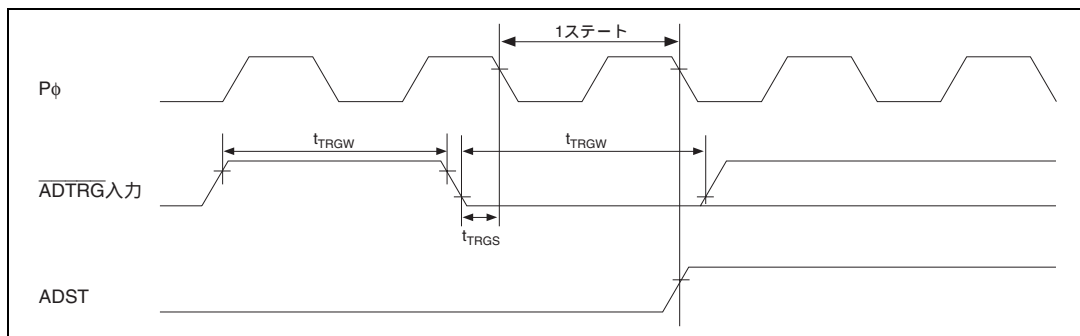


図 22.34 外部トリガ入力タイミング

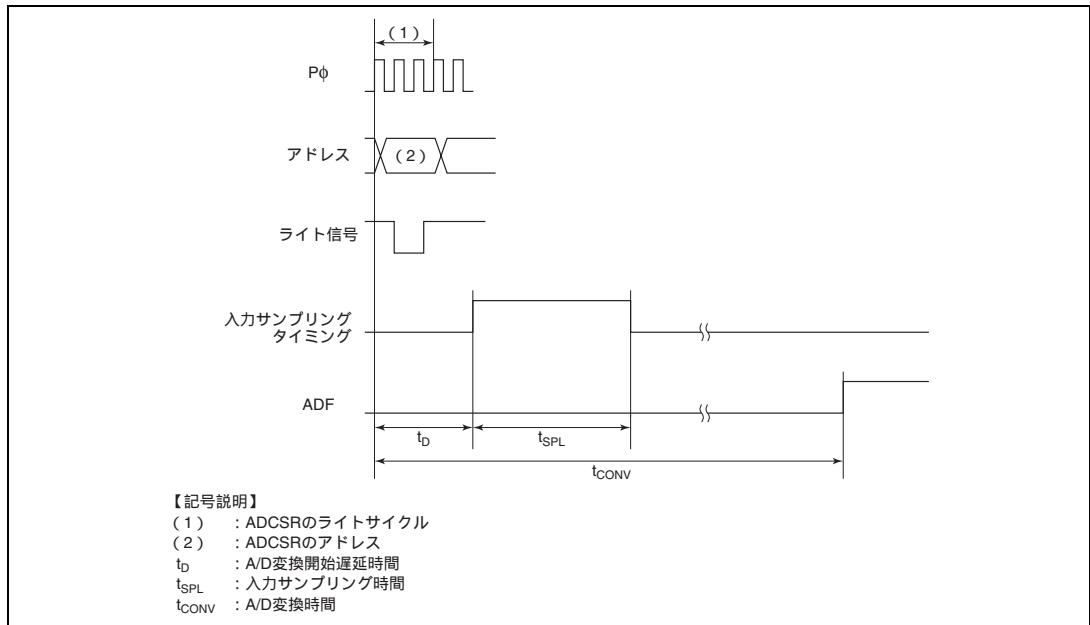


図 22.35 A/D 変換タイミング

22.3.12 A/D 変換特性

表 22.15 A/D 変換特性

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC} \pm 10\%$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目	20MHz			30MHz			単位
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
変換時間* ²	-	-	6.7 (CKS = 1)	-	-	8.9 (CKS = 0)	μs
アナログ入力容量	-	-	20	-	-	20	pF
許可信号源インピーダンス	-	-	1	-	-	1	kΩ
非直線性誤差* ²	-	-	± 3.5* ¹	-	-	± 3.5* ¹	LSB
オフセット誤差* ²	-	-	± 3.5* ¹	-	-	± 3.5* ¹	LSB
フルスケール誤差* ²	-	-	± 3.5* ¹	-	-	± 3.5* ¹	LSB
量子化誤差* ²	-	± 0.5* ¹	-	-	± 0.5* ¹	-	LSB
絶対精度	-	-	± 4	-	-	± 4	LSB

【注】 *1 参考値

*2 Pφ 20MHz : CKS = 0、1 とともに設定可

Pφ > 20MHz : CKS = 0 のみ設定可

22.3.13 D/A 変換特性

表 22.16 D/A 変換特性

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC} \pm 10\%$ 、
 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$

項目	30MHz			15MHz			単位	測定条件
	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	ビット	
変換時間	-	-	10	-	-	10	μs	負荷容量 20pF
絶対精度	-	± 2	± 4	-	± 2	± 4	LSB	負荷抵抗 2M Ω
	-	-	± 3	-	-	± 3	LSB	負荷抵抗 4M Ω

付録

A. 内蔵周辺モジュールレジスタ一覧

表 A.1 内蔵周辺モジュールレジスタ一覧

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 0080	ADDRA0H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
H'FFFF 0081	ADDRA0L	AD1	AD0	-	-	-	-	-	-	
H'FFFF 0082	ADDRB0H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFF 0083	ADDRB0L	AD1	AD0	-	-	-	-	-	-	
H'FFFF 0084	ADDRC0H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFF 0085	ADDRC0L	AD1	AD0	-	-	-	-	-	-	
H'FFFF 0086	ADDRD0H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFF 0087	ADDRD0L	AD1	AD0	-	-	-	-	-	-	
H'FFFF 0088 - H'FFFF 0097	-	-	-	-	-	-	-	-	-	
H'FFFF 0098	ADCSR0	ADF	ADIE	ADST	MULTI	CKS	-	CH1	CH0	
H'FFFF 0099	ADCR0	TRGE1	TRGE0	-	-	-	-	-	-	
H'FFFF 009A - H'FFFF 009F	-	-	-	-	-	-	-	-	-	
H'FFFF 00A0	ADDRA1H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFF 00A1	ADDRA1L	AD1	AD0	-	-	-	-	-	-	
H'FFFF 00A2	ADDRB1H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFF 00A3	ADDRB1L	AD1	AD0	-	-	-	-	-	-	
H'FFFF 00A4	ADDRC1H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFF 00A5	ADDRC1L	AD1	AD0	-	-	-	-	-	-	
H'FFFF 00A6	ADDRD1H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFF 00A7	ADDRD1L	AD1	AD0	-	-	-	-	-	-	
H'FFFF 00A8 - H'FFFF 00B7	-	-	-	-	-	-	-	-	-	
H'FFFF 00B8	ADCSR1	ADF	ADIE	ADST	MULTI	CKS	-	CH1	CH0	
H'FFFF 00B9	ADCR1	TRGE1	TRGE0	-	-	-	-	-	-	
H'FFFF 00BA - H'FFFF 00BF	-	-	-	-	-	-	-	-	-	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 00C0	DADR0									D/A
H'FFFF 00C1	DADR1									
H'FFFF 00C2	DACR	DAOE1	DAOE0	DAE	-	-	-	-	-	
H'FFFF 00C3 - H'FFFF 03FF	-	-	-	-	-	-	-	-	-	
H'FFFF 0400	TSTR	-	-	CST5	CST4	CST3	CST2	CST1	CST0	
H'FFFF 0401	TSYR	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
H'FFFF 0402 - H'FFFF 040F	-	-	-	-	-	-	-	-	-	
H'FFFF 0410	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'FFFF 0411	TMDR0	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
H'FFFF 0412	TIOR0H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFFF 0413	TIOR0L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
H'FFFF 0414	TIER0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
H'FFFF 0415	TSR0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
H'FFFF 0416	TCNT0									
H'FFFF 0417										
H'FFFF 0418	TGR0A									
H'FFFF 0419										
H'FFFF 041A	TGR0B									
H'FFFF 041B										
H'FFFF 041C	TGR0C									
H'FFFF 041D										
H'FFFF 041E	TGR0D									
H'FFFF 041F										
H'FFFF 0420	TCR1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'FFFF 0421	TMDR1	-	-	-	-	MD3	MD2	MD1	MD0	
H'FFFF 0422	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFFF 0423	-	-	-	-	-	-	-	-	-	
H'FFFF 0424	TIER1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
H'FFFF 0425	TSR1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
H'FFFF 0426	TCNT1									
H'FFFF 0427										
H'FFFF 0428	TGR1A									
H'FFFF 0429										
H'FFFF 042A	TGR1B									
H'FFFF 042B										
H'FFFF 042C - H'FFFF 042F	-	-	-	-	-	-	-	-	-	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 0430	TCR2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU
H'FFFF 0431	TMDR2	-	-	-	-	MD3	MD2	MD1	MD0	
H'FFFF 0432	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFFF 0433	-	-	-	-	-	-	-	-	-	
H'FFFF 0434	TIER2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
H'FFFF 0435	TSR2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
H'FFFF 0436	TCNT2									
H'FFFF 0437										
H'FFFF 0438	TGR2A									
H'FFFF 0439										
H'FFFF 043A	TGR2B									
H'FFFF 043B										
H'FFFF 043C - H'FFFF 043F	-	-	-	-	-	-	-	-	-	
H'FFFF 0440	TCR3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'FFFF 0441	TMDR3	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
H'FFFF 0442	TIOR3H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFFF 0443	TIOR3L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
H'FFFF 0444	TIER3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
H'FFFF 0445	TSR3	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
H'FFFF 0446	TCNT3									
H'FFFF 0447										
H'FFFF 0448	TGR3A									
H'FFFF 0449										
H'FFFF 044A	TGR3B									
H'FFFF 044B										
H'FFFF 044C	TGR3C									
H'FFFF 044D										
H'FFFF 044E	TGR3D									
H'FFFF 044F										
H'FFFF 0450	TCR4	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'FFFF 0451	TMDR4	-	-	-	-	MD3	MD2	MD1	MD0	
H'FFFF 0452	TIOR4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFFF 0453	-	-	-	-	-	-	-	-	-	
H'FFFF 0454	TIER4	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
H'FFFF 0455	TSR4	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
H'FFFF 0456	TCNT4									
H'FFFF 0457										

付録

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFF 0458	TGR4A									TPU	
H'FFFF 0459											
H'FFFF 045A	TGR4B										
H'FFFF 045B											
H'FFFF 045C - H'FFFF 045F	-	-	-	-	-	-	-	-	-		
H'FFFF 0460	TCR5	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		
H'FFFF 0461	TMDR5	-	-	-	-	MD3	MD2	MD1	MD0		
H'FFFF 0462	TIOR5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FFFF 0463	-	-	-	-	-	-	-	-	-		
H'FFFF 0464	TIER5	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FFFF 0465	TSR5	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FFFF 0466	TCNT5										
H'FFFF 0467											
H'FFFF 0468	TGR5A										
H'FFFF 0469											
H'FFFF 046A	TGR5B										
H'FFFF 046B											
H'FFFF 046C - H'FFFF 047F	-	-	-	-	-	-	-	-	-		
H'FFFF 0480	TMDR	-	-	-	-	OLSN	OLSP	MD1	MD0		MMT
H'FFFF 0481	-	-	-	-	-	-	-	-	-		
H'FFFF 0482	TCNR	TTGE	CST	RPRO	-	-	-	TGIEN	TGIEM		
H'FFFF 0483	-	-	-	-	-	-	-	-	-		
H'FFFF 0484	TSR	TCFD	-	-	-	-	-	TGFN	TGFM		
H'FFFF 0485	-	-	-	-	-	-	-	-	-		
H'FFFF 0486	TCNT										
H'FFFF 0487											
H'FFFF 0488	TPDR										
H'FFFF 0489											
H'FFFF 048A	TPBR										
H'FFFF 048B											
H'FFFF 048C	TDDR										
H'FFFF 048D											
H'FFFF 048E	-	-	-	-	-	-	-	-	-		
H'FFFF 048F	-	-	-	-	-	-	-	-	-		
H'FFFF 0490	TBRU										
H'FFFF 0491											

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 0492	TGRUU									MMT
H'FFFF 0493										
H'FFFF 0494	TGRU									
H'FFFF 0495										
H'FFFF 0496	TGRUD									
H'FFFF 0497										
H'FFFF 0498	TDCNT0									
H'FFFF 0499										
H'FFFF 049A	TDCNT1									
H'FFFF 049B										
H'FFFF 049C	TBRU									
H'FFFF 049D										
H'FFFF 049E	-	-	-	-	-	-	-	-	-	
H'FFFF 049F	-	-	-	-	-	-	-	-	-	
H'FFFF 04A0	TBRV									
H'FFFF 04A1										
H'FFFF 04A2	TGRVU									
H'FFFF 04A3										
H'FFFF 04A4	TGRV									
H'FFFF 04A5										
H'FFFF 04A6	TGRVD									
H'FFFF 04A7										
H'FFFF 04A8	TDCNT2									
H'FFFF 04A9										
H'FFFF 04AA	TDCNT3									
H'FFFF 04AB										
H'FFFF 04AC	TBRV									
H'FFFF 04AD										
H'FFFF 04AE	-	-	-	-	-	-	-	-	-	
H'FFFF 04AF	-	-	-	-	-	-	-	-	-	
H'FFFF 04B0	TBRW									
H'FFFF 04B1										
H'FFFF 04B2	TGRWU									
H'FFFF 04B3										
H'FFFF 04B4	TGRW									
H'FFFF 04B5										

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 04B6	TGRWD									MMT
H'FFFF 04B7										
H'FFFF 04B8	TDCNT4									
H'FFFF 04B9										
H'FFFF 04BA	TDCNT5									
H'FFFF 04BB										
H'FFFF 04BC	TBRW									
H'FFFF 04BD										
H'FFFF 04BE	-	-	-	-	-	-	-	-	-	
H'FFFF 04BF	-	-	-	-	-	-	-	-	-	
H'FFFF 04C0	CMSTR	-	-	-	-	-	-	STR1	STR0	
H'FFFF 04C1		-	-	-	-	-	-			
H'FFFF 04C2	CMCSR0	-	-	-	-	-	-	-	-	
H'FFFF 04C3		CMF	CMIE	-	-	-	-	CKS1	CKS0	
H'FFFF 04C4	CMCNT0									
H'FFFF 04C5										
H'FFFF 04C6	CMCOR0									
H'FFFF 04C7										
H'FFFF 04C8	CMCSR1	-	-	-	-	-	-	-	-	
H'FFFF 04C9		CMF	CMIE	-	-	-	-	CKS1	CKS0	
H'FFFF 04CA	CMCNT1									
H'FFFF 04CB										
H'FFFF 04CC	CMCOR1									
H'FFFF 04CD										
H'FFFF 04CE - H'FFFF 04DF	-	-	-	-	-	-	-	-	-	
H'FFFF 04E0	ICSR	POE3F	POE2F	POE1F	POE0F	-	-	-	PIE	POE
H'FFFF 04E1		POE3M1	POE3M0	POE2M1	POE2M0	POE1M1	POE1M0	POE0M1	POE0M0	
H'FFFF 04E2 - H'FFFF 04FF	-	-	-	-	-	-	-	-	-	
H'FFFF 0500	SCSMR0	C/A	CHR/ ICK3	PE/ICK2	O/E/ICK1	STOP/ ICK0	MP	CKS1	CKS0	SCI
H'FFFF 0501	-	-	-	-	-	-	-	-	-	
H'FFFF 0502	SCBRR0									
H'FFFF 0503	-	-	-	-	-	-	-	-	-	
H'FFFF 0504	SCSCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFF 0505	-	-	-	-	-	-	-	-	-	
H'FFFF 0506	SCFTDR0									

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 0507	-	-	-	-	-	-	-	-	-	SCI
H'FFFF 0508	SC1SSR0	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
H'FFFF 0509		TDFE	RDF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFF 050A	SC2SSR0	TLM	RLM	N1	N0	BRK	DR	EI	ER	
H'FFFF 050B	-	-	-	-	-	-	-	-	-	
H'FFFF 050C	SCFRDR0									
H'FFFF 050D	-	-	-	-	-	-	-	-	-	
H'FFFF 050E	SCFCR0	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
H'FFFF 050F	-	-	-	-	-	-	-	-	-	
H'FFFF 0510	SCFDR0	-	-	-	T4	T3	T2	T1	T0	
H'FFFF 0511		-	-	-	R4	R3	R2	R1	R0	
H'FFFF 0512	SCFER0	ED15	ED14	ED13	ED12	ED11	ED10	ED9	ED8	
H'FFFF 0513		ED7	ED6	ED5	ED4	ED3	ED2	ED1	ED0	
H'FFFF 0514	SCIMR0	IRMOD	PSEL	RIVS	-	-	-	-	-	
H'FFFF 0515 ~ H'FFFF 051F	-	-	-	-	-	-	-	-	-	
H'FFFF 0520	SCSMR1	C/A	CHR/ ICK3	PE/ICK2	O/E/ICK1	STOP/ ICK0	MP	CKS1	CKS0	
H'FFFF 0521	-	-	-	-	-	-	-	-	-	
H'FFFF 0522	SCBRR1									
H'FFFF 0523	-	-	-	-	-	-	-	-	-	
H'FFFF 0524	SCSCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFF 0525	-	-	-	-	-	-	-	-	-	
H'FFFF 0526	SCFTDR1									
H'FFFF 0527	-	-	-	-	-	-	-	-	-	
H'FFFF 0528	SC1SSR1	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
H'FFFF 0529		TDFE	RDF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFF 052A	SC2SSR1	TLM	RLM	N1	N0	BRK	DR	EI	ER	
H'FFFF 052B	-	-	-	-	-	-	-	-	-	
H'FFFF 052C	SCFRDR1									
H'FFFF 052D	-	-	-	-	-	-	-	-	-	
H'FFFF 052E	SCFCR1	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
H'FFFF 052F	-	-	-	-	-	-	-	-	-	
H'FFFF 0530	SCFDR1	-	-	-	T4	T3	T2	T1	T0	
H'FFFF 0531		-	-	-	R4	R3	R2	R1	R0	
H'FFFF 0532	SCFER1	ED15	ED14	ED13	ED12	ED11	ED10	ED9	ED8	
H'FFFF 0533		ED7	ED6	ED5	ED4	ED3	ED2	ED1	ED0	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 0534	SCIMR1	IRMOD	PSEL	RIVS	-	-	-	-	-	SCI
H'FFFF 0535 - H'FFFF 053F	-	-	-	-	-	-	-	-	-	
H'FFFF 0540	SCSMR2	C/A	CHR/ ICK3	PE/ICK2	O/E/ICK1	STOP/ ICK0	MP	CKS1	CKS0	
H'FFFF 0541	-	-	-	-	-	-	-	-	-	
H'FFFF 0542	SCBRR2									
H'FFFF 0543	-	-	-	-	-	-	-	-	-	
H'FFFF 0544	SCSCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFF 0545	-	-	-	-	-	-	-	-	-	
H'FFFF 0546	SCFTDR2									
H'FFFF 0547	-	-	-	-	-	-	-	-	-	
H'FFFF 0548	SC1SSR2	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
H'FFFF 0549		TDFE	RDF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFF 054A	SC2SSR2	TLM	RLM	N1	N0	BRK	DR	EI	ER	
H'FFFF 054B	-	-	-	-	-	-	-	-	-	
H'FFFF 054C	SCFRDR2									
H'FFFF 054D	-	-	-	-	-	-	-	-	-	
H'FFFF 054E	SCFDR2	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
H'FFFF 054F	-	-	-	-	-	-	-	-	-	
H'FFFF 0550	SCFDR2	-	-	-	T4	T3	T2	T1	T0	
H'FFFF 0551		-	-	-	R4	R3	R2	R1	R0	
H'FFFF 0552	SCFER2	ED15	ED14	ED13	ED12	ED11	ED10	ED9	ED8	
H'FFFF 0553		ED7	ED6	ED5	ED4	ED3	ED2	ED1	ED0	
H'FFFF 0554	SCIMR2	IRMOD	PSEL	RIVS	-	-	-	-	-	
H'FFFF 0555 - H'FFFF 07FF	-	-	-	-	-	-	-	-	-	
H'FFFF 0800	FLMCR1	FWE	SWE	ESU	PSU	EV	PV	E	P	FLASH
H'FFFF 0801	FLMCR2	FLER	-	-	-	-	-	-	-	
H'FFFF 0802	EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
H'FFFF 0803	EBR2	-	-	-	-	EB11	EB10	EB9	EB8	
H'FFFF 0804 - H'FFFF 0BFF	-	-	-	-	-	-	-	-	-	
H'FFFF 0C00	BCR	BRQE	BAS	HIZCNT	-	-	-	-	-	BSC
H'FFFF 0C01		-	-	-	-	-	-	-	-	
H'FFFF 0C02 - H'FFFF 0C0F	-	-	-	-	-	-	-	-	-	
H'FFFF 0C10	ACR1_0	ENDIAN	TP1	TP0	EXWE	-	SZ1	SZ0	IW2	
H'FFFF 0C11		IW1	IW0	SWH2	SWH1	SWH0	SWT2	SWT1	SWT0	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 0C12	ACR1_1	ENDIAN	TP1	TP0	EXWE	-	SZ1	SZ0	IW2	BSC
H'FFFF 0C13		IW1	IW0	SWH2	SWH1	SWH0	SWT2	SWT1	SWT0	
H'FFFF 0C14	ACR1_2	ENDIAN	TP1	TP0	EXWE	-	SZ1	SZ0	IW2	
H'FFFF 0C15		IW1	IW0	SWH2	SWH1	SWH0	SWT2	SWT1	SWT0	
H'FFFF 0C16	ACR1_3	ENDIAN	TP1	TP0	EXWE	-	SZ1	SZ0	IW2	
H'FFFF 0C17		IW1	IW0	SWH2	SWH1	SWH0	SWT2	SWT1	SWT0	
H'FFFF 0C18 - H'FFFF 0C1F	-	-	-	-	-	-	-	-	-	
H'FFFF 0C20	ACR1_4	ENDIAN	-	-	EXWE	-	-	-	-	
H'FFFF 0C21		-	-	-	-	-	-	-	-	
H'FFFF 0C22	ACR1_5	ENDIAN	-	-	EXWE	-	-	-	-	
H'FFFF 0C23		-	-	-	-	-	-	-	-	
H'FFFF 0C24 - H'FFFF 0C2F	-	-	-	-	-	-	-	-	-	
H'FFFF 0C30	WCR_0	W3	W2	W1	W0	DSWW3	DSWW2	DSWW1	DSWW0	
H'FFFF 0C31		DSWR3	DSWR2	DSWR1	DSWR0	HWW2	HWW1	HWW0	-	
H'FFFF 0C32	WCR_1	W3	W2	W1	W0	DSWW3	DSWW2	DSWW1	DSWW0	
H'FFFF 0C33		DSWR3	DSWR2	DSWR1	DSWR0	HWW2	HWW1	HWW0	-	
H'FFFF 0C34	WCR_2	W3	W2	W1	W0	DSWW3	DSWW2	DSWW1	DSWW0	
H'FFFF 0C35		DSWR3	DSWR2	DSWR1	DSWR0	HWW2	HWW1	HWW0	-	
H'FFFF 0C36	WCR_3	W3	W2	W1	W0	DSWW3	DSWW2	DSWW1	DSWW0	
H'FFFF 0C37		DSWR3	DSWR2	DSWR1	DSWR0	HWW2	HWW1	HWW0	-	
H'FFFF 0C38 - H'FFFF 0C3F	-	-	-	-	-	-	-	-	-	
H'FFFF 0C40	DCR1	TPC1	TPC0	TPCS2	TPCS1	TPCS0	RCD2	RCD1	RCD0	
H'FFFF 0C41		-	-	DWW1	DWW0	DWR1	DWR0	-	-	
H'FFFF 0C42	DCR2	DIW2	DIW1	DIW0	DDWW3	DDWW2	DDWW1	DDWW0	DDWR3	
H'FFFF 0C43		DDWR2	DDWR1	DDWR0	RDW	TCAS	-	-	-	
H'FFFF 0C44	DCR3	BE	RSD	EDO	DSZ1	DSZ0	AMX2	AMX1	AMX0	
H'FFFF 0C45		RFSH	RMD	-	-	-	-	-	-	
H'FFFF 0C46 - H'FFFF 0C67	-	-	-	-	-	-	-	-	-	
H'FFFF 0C68	RTCSR	CMF	CMIE	CKS2	CKS1	CKS0	OVF	OVIE	LMTS1	
H'FFFF 0C69		LMTS0	BREF2	BREF1	BREF0	TRAS2	TRAS1	TRAS0	-	
H'FFFF 0C6A	RTCNT	-	-	-	-	-	-	-	-	
H'FFFF 0C6B		RTCNT7	RTCNT6	RTCNT5	RTCNT4	RTCNT3	RTCNT2	RTCNT1	RTCNT0	
H'FFFF 0C6C	RTCOR	-	-	-	-	-	-	-	-	
H'FFFF 0C6D		RTCOR7	RTCOR6	RTCOR5	RTCOR4	RTCOR3	RTCOR2	RTCOR1	RTCOR0	
H'FFFF 0C6E	RFCR	-	-	-	-	RFCR11	RFCR10	RFCR9	RFCR8	
H'FFFF 0C6F		RFCR7	RFCR6	RFCR5	RFCR4	RFCR3	RFCR2	RFCR1	RFCR0	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 0C70	RAMER	-	-	-	-	-	-	-	-	FLASH
H'FFFF 0C71		-	-	-	RAMAS	RAMS	RAM2	RAM1	RAM0	
H'FFFF 0C72 - H'FFFF 0C7F	-	-	-	-	-	-	-	-	-	
H'FFFF 0C80	UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBC
H'FFFF 0C81		UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16	
H'FFFF 0C82	UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8	
H'FFFF 0C83		UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0	
H'FFFF 0C84	UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24	
H'FFFF 0C85		UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16	
H'FFFF 0C86	UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8	
H'FFFF 0C87		UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0	
H'FFFF 0C88	UBBR	UBIE	-	-	-	-	-	XYE	XY5	
H'FFFF 0C89		CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0	
H'FFFF 0C8A - H'FFFF 0FFF	-	-	-	-	-	-	-	-	-	
H'FFFF 1000	TCSR	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	WDT
H'FFFF 1001	TCNT* ¹	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0	
H'FFFF 1002	RSTCSR* ²	WOVF	RSTE	-	-	-	-	-	-	
H'FFFF 1003	RSTCSR* ³	WOVF	RSTE	-	-	-	-	-	-	
H'FFFF 1004	SBYCR	SBY	HIZ	-	-	-	-	-	-	
H'FFFF 1005 - H'FFFF 101F	-	-	-	-	-	-	-	-	-	
H'FFFF 1020	MSR	-	-	-	-	-	-	-	-	SYS
H'FFFF 1021		-	-	MD5	MD4	MD3	MD2	MD1	MD0	
H'FFFF 1022 - H'FFFF 1027	-	-	-	-	-	-	-	-	-	
H'FFFF 1028	FRQCR	CKIOOE	CKOE	-	-	-	-	-	-	
H'FFFF 1029		FR7	FR6	FR5	FR4	FR3	FR2	FR1	FR0	
H'FFFF 102A	MODECR	-	-	-	-	-	-	-	-	
H'FFFF 102B		-	-	-	ROMMD	-	-	-	-	
H'FFFF 102C - H'FFFF 102F	-	-	-	-	-	-	-	-	-	
H'FFFF 1030	MSTPCR1	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	
H'FFFF 1031		MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	
H'FFFF 1032	MSTPCR2	MSTP31	MSTP30	MSTP29	MSTP28	MSTP27	MSTP26	MSTP25	MSTP24	
H'FFFF 1033		MSTP23	MSTP22	MSTP21	MSTP20	MSTP19	MSTP18	MSTP17	MSTP16	
H'FFFF 1034	MCLKCR1	-	MCLK032	MCLK031	MCLK030	-	MCLK022	MCLK021	MCLK020	
H'FFFF 1035		-	MCLK012	MCLK011	MCLK010	-	MCLK002	MCLK001	MCLK000	
H'FFFF 1036	MCLKCR2	-	MCLK072	MCLK071	MCLK070	-	MCLK062	MCLK061	MCLK060	
H'FFFF 1037		-	MCLK052	MCLK051	MCLK050	-	MCLK042	MCLK041	MCLK040	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 1038	MCLKCR3	-	MCLK112	MCLK111	MCLK110	-	MCLK102	MCLK101	MCLK100	SYS
H'FFFF 1039		-	MCLK092	MCLK091	MCLK090	-	MCLK082	MCLK081	MCLK080	
H'FFFF 103A	MCLKCR4	-	MCLK152	MCLK151	MCLK150	-	MCLK142	MCLK141	MCLK140	
H'FFFF 103B		-	MCLK132	MCLK131	MCLK130	-	MCLK122	MCLK121	MCLK120	
H'FFFF 103C	MCLKCR5	-	-	MCLK191	MCLK190	-	-	MCLK181	MCLK180	
H'FFFF 103D		-	-	MCLK171	MCLK170	-	-	MCLK161	MCLK160	
H'FFFF 103E - H'FFFF 104F	-	-	-	-	-	-	-	-	-	
H'FFFF 1050	IPRA	IRQ0	IRQ0	IRQ0	IRQ0	IRQ1	IRQ1	IRQ1	IRQ1	INTC
H'FFFF 1051		IRQ2	IRQ2	IRQ2	IRQ2	IRQ3	IRQ3	IRQ3	IRQ3	
H'FFFF 1052	IPRB	IRQ4	IRQ4	IRQ4	IRQ4	IRQ5	IRQ5	IRQ5	IRQ5	
H'FFFF 1053		IRQ6	IRQ6	IRQ6	IRQ6	IRQ7	IRQ7	IRQ7	IRQ7	
H'FFFF 1054	IPRC	-	-	-	-	-	-	-	-	
H'FFFF 1055		-	-	-	-	-	-	-	-	
H'FFFF 1056	IPRD	-	-	-	-	-	-	-	-	
H'FFFF 1057		-	-	-	-	-	-	-	-	
H'FFFF 1058	IPRE	DMAC0	DMAC0	DMAC0	DMAC0	DMAC1	DMAC1	DMAC1	DMAC1	
H'FFFF 1059		DMAC2	DMAC2	DMAC2	DMAC2	DMAC3	DMAC3	DMAC3	DMAC3	
H'FFFF 105A	IPRF	-	-	-	-	-	-	-	-	
H'FFFF 105B		-	-	-	-	-	-	-	-	
H'FFFF 105C	IPRG	BSC	BSC	BSC	BSC	BSC	BSC	BSC	BSC	
H'FFFF 105D		WDT	WDT	WDT	WDT	-	-	-	-	
H'FFFF 105E	IPRH	TPU0	TPU0	TPU0	TPU0	TPU0	TPU0	TPU0	TPU0	
H'FFFF 105F		TPU1	TPU1	TPU1	TPU1	TPU1	TPU1	TPU1	TPU1	
H'FFFF 1060	IPRI	TPU2	TPU2	TPU2	TPU2	TPU2	TPU2	TPU2	TPU2	
H'FFFF 1061		TPU3	TPU3	TPU3	TPU3	TPU3	TPU3	TPU3	TPU3	
H'FFFF 1062	IPRJ	TPU4	TPU4	TPU4	TPU4	TPU4	TPU4	TPU4	TPU4	
H'FFFF 1063		TPU5	TPU5	TPU5	TPU5	TPU5	TPU5	TPU5	TPU5	
H'FFFF 1064	IPRK	SCI0	SCI0	SCI0	SCI0	SCI1	SCI1	SCI1	SCI1	
H'FFFF 1065		SCI2	SCI2	SCI2	SCI2	-	-	-	-	
H'FFFF 1066	IPRL	CMT	CMT	CMT	CMT	A/D	A/D	A/D	A/D	
H'FFFF 1067		MMT	MMT	MMT	MMT	POE	POE	POE	POE	
H'FFFF 1068 - H'FFFF 106D	-	-	-	-	-	-	-	-	-	
H'FFFF 106E	ICR1	NMIL	-	-	-	-	EXIMD	-	NMIE	
H'FFFF 106F		-	-	-	-	-	-	-	-	
H'FFFF 1070	ICR2	-	-	-	-	-	-	-	-	
H'FFFF 1071		IRQ7S	IRQ6S	IRQ5S	IRQ4S	IRQ3S	IRQ2S	IRQ1S	IRQ0S	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 1072	ISR	-	-	-	-	-	-	-	-	INTC
H'FFFF 1073		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
H'FFFF 1074 ~ H'FFFF 10EF	-	-	-	-	-	-	-	-	-	
H'FFFF 10F0	DMAOR	-	-	-	-	RC3	RC2	RC1	RC0	DMA
H'FFFF 10F1		-	-	-	-	-	AE	NMIF	DME	
H'FFFF 10F2 ~ H'FFFF 10FF	-	-	-	-	-	-	-	-	-	
H'FFFF 1100	SAR0									
H'FFFF 1101										
H'FFFF 1102										
H'FFFF 1103										
H'FFFF 1104	DAR0									
H'FFFF 1105										
H'FFFF 1106										
H'FFFF 1107										
H'FFFF 1108	DMATCR0									
H'FFFF 1109										
H'FFFF 110A										
H'FFFF 110B										
H'FFFF 110C	CHCR0	-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFF 110D		-	FIFOS	-	-	NDARE	NSARE	FCS	TES	
H'FFFF 110E		DM1	DM0	SM1	SM0	CHNE	RL	AM	AL	
H'FFFF 110F		TEND	DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF 1110	NSAR0									
H'FFFF 1111										
H'FFFF 1112										
H'FFFF 1113										
H'FFFF 1114	NDAR0									
H'FFFF 1115										
H'FFFF 1116										
H'FFFF 1117										
H'FFFF 1118	NDMATCR0									
H'FFFF 1119										
H'FFFF 111A										
H'FFFF 111B										
H'FFFF 111C	CHNCNT0									
H'FFFF 111D										
H'FFFF 111E										
H'FFFF 111F										

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 1120	SAR1									DMA
H'FFFF 1121										
H'FFFF 1122										
H'FFFF 1123										
H'FFFF 1124	DAR1									
H'FFFF 1125										
H'FFFF 1126										
H'FFFF 1127										
H'FFFF 1128	DMATCR1									
H'FFFF 1129										
H'FFFF 112A										
H'FFFF 112B										
H'FFFF 112C	CHCR1	-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFF 112D		-	FIFOS	-	-	NDARE	NSARE	FCS	TES	
H'FFFF 112E		DM1	DM0	SM1	SM0	CHNE	RL	AM	AL	
H'FFFF 112F		TEND	DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF 1130	NSAR1									
H'FFFF 1131										
H'FFFF 1132										
H'FFFF 1133										
H'FFFF 1134	NDAR1									
H'FFFF 1135										
H'FFFF 1136										
H'FFFF 1137										
H'FFFF 1138	NDMATCR1									
H'FFFF 1139										
H'FFFF 113A										
H'FFFF 113B										
H'FFFF 113C	CHNCNT1									
H'FFFF 113D										
H'FFFF 113E										
H'FFFF 113F										
H'FFFF 1140	SAR2									
H'FFFF 1141										
H'FFFF 1142										
H'FFFF 1143										

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 1144	DAR2									DMA
H'FFFF 1145										
H'FFFF 1146										
H'FFFF 1147										
H'FFFF 1148	DMATCR2									
H'FFFF 1149										
H'FFFF 114A										
H'FFFF 114B										
H'FFFF 114C	CHCR2	-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFF 114D		-	FIFOS	-	-	NDARE	NSARE	FCS	TES	
H'FFFF 114E		DM1	DM0	SM1	SM0	CHNE	RL	AM	AL	
H'FFFF 114F		TEND	DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF 1150	NSAR2									
H'FFFF 1151										
H'FFFF 1152										
H'FFFF 1153										
H'FFFF 1154	NDAR2									
H'FFFF 1155										
H'FFFF 1156										
H'FFFF 1157										
H'FFFF 1158	NDMATCR2									
H'FFFF 1159										
H'FFFF 115A										
H'FFFF 115B										
H'FFFF 115C	CHNCNT2									
H'FFFF 115D										
H'FFFF 115E										
H'FFFF 115F										
H'FFFF 1160	SAR3									
H'FFFF 1161										
H'FFFF 1162										
H'FFFF 1163										
H'FFFF 1164	DAR3									
H'FFFF 1165										
H'FFFF 1166										
H'FFFF 1167										

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 1168	DMATCR3									DMA
H'FFFF 1169										
H'FFFF 116A										
H'FFFF 116B										
H'FFFF 116C	CHCR3	-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFF 116D		-	FIFOS	-	-	NDARE	NSARE	FCS	TES	
H'FFFF 116E		DM1	DM0	SM1	SM0	CHNE	RL	AM	AL	
H'FFFF 116F		TEND	DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF 1170	NSAR3									
H'FFFF 1171										
H'FFFF 1172										
H'FFFF 1173										
H'FFFF 1174	NDAR3									
H'FFFF 1175										
H'FFFF 1176										
H'FFFF 1177										
H'FFFF 1178	NDMATCR3									
H'FFFF 1179										
H'FFFF 117A										
H'FFFF 117B										
H'FFFF 117C	CHNCNT3									
H'FFFF 117D										
H'FFFF 117E										
H'FFFF 117F										
H'FFFF 1180 - H'FFFF 11FF	-	-	-	-	-	-	-	-	-	PORT
H'FFFF 1200	PADRH	-	-	-	-	-	-	PA25DR	PA24DR	
H'FFFF 1201		PA23DR	PA22DR	PA21DR	PA20DR	PA19DR	PA18DR	PA17DR	PA16DR	
H'FFFF 1202	PADRL	PA15DR	PA14DR	PA13DR	PA12DR	-	-	PA9DR	PA8DR	
H'FFFF 1203		-	-	-	-	-	-	PA1DR	PA0DR	
H'FFFF 1204	PAIORH	-	-	-	-	-	-	PA25IOR	PA24IOR	
H'FFFF 1205		PA23IOR	PA22IOR	PA21IOR	PA20IOR	PA19IOR	PA18IOR	PA17IOR	PA16IOR	
H'FFFF 1206	PAIORL	PA15IOR	PA14IOR	PA13IOR	PA12IOR	-	-	PA9IOR	PA8IOR	
H'FFFF 1207		-	-	-	-	-	-	PA1IOR	PA0IOR	
H'FFFF 1208	PACRH1	-	-	-	-	-	-	-	-	
H'FFFF 1209		-	-	-	-	-	PA25MD	-	PA24MD	
H'FFFF 120A	PACRH2	-	PA23MD	-	PA22MD	-	PA21MD	-	PA20MD	
H'FFFF 120B		-	PA19MD	-	PA18MD	-	PA17MD	PA16MD1	PA16MD0	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 120C	PACRL1	PA15MD1	PA15MD0	-	PA14MD	-	PA13MD	-	PA12MD	PORT
H'FFFF 120D		-	-	-	-	-	PA9MD	-	PA8MD	
H'FFFF 120E	PACRL2	-	-	-	-	-	-	-	-	
H'FFFF 120F		-	-	-	-	-	PA1MD	-	PA0MD	
H'FFFF 1210	PBDRH	-	-	-	-	-	-	-	-	
H'FFFF 1211		PB23DR	PB22DR	PB21DR	PB20DR	PB19DR	PB18DR	PB17DR	PB16DR	
H'FFFF 1212	PBDRL	-	-	PB13DR	-	-	-	-	-	
H'FFFF 1213		PB7DR	PB6DR	-	-	-	-	-	-	
H'FFFF 1214	PBIORH	-	-	-	-	-	-	-	-	
H'FFFF 1215		PB23IOR	PB22IOR	PB21IOR	PB20IOR	PB19IOR	PB18IOR	PB17IOR	PB16IOR	
H'FFFF 1216	PBIORL	-	-	PB13IOR	-	-	-	-	-	
H'FFFF 1217		PB7IOR	PB6IOR	-	-	-	-	-	-	
H'FFFF 1218	PBCRH1	-	-	-	-	-	-	-	-	
H'FFFF 1219		-	-	-	-	-	-	-	-	
H'FFFF 121A	PBCRH2	PB23MD1	PB23MD0	PB22MD1	PB22MD0	-	PB21MD	-	PB20MD	
H'FFFF 121B		PB19MD1	PB19MD0	PB18MD1	PB18MD0	-	PB17MD	-	PB16MD	
H'FFFF 121C	PBCRL1	-	-	-	-	-	PB13MD	-	-	
H'FFFF 121D		-	-	-	-	-	-	-	-	
H'FFFF 121E	PBCRL2	-	PB7MD	-	PB6MD	-	-	-	-	
H'FFFF 121F		-	-	-	-	-	-	-	-	
H'FFFF 1220	PCDRH	-	-	-	-	-	-	PC25DR	PC24DR	
H'FFFF 1221		PC23DR	PC22DR	PC21DR	PC20DR	PC19DR	PC18DR	PC17DR	PC16DR	
H'FFFF 1222	PCDRL	PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR	
H'FFFF 1223		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
H'FFFF 1224	PCIORH	-	-	-	-	-	-	PC25IOR	PC24IOR	
H'FFFF 1225		PC23IOR	PC22IOR	PC21IOR	PC20IOR	PC19IOR	PC18IOR	PC17IOR	PC16IOR	
H'FFFF 1226	PCIORL	PC15IOR	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR	
H'FFFF 1227		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR	
H'FFFF 1228	PCCRH1	-	-	-	-	-	-	-	-	
H'FFFF 1229		-	-	-	-	PC25MD1	PC25MD0	PC24MD1	PC24MD0	
H'FFFF 122A	PCCRH2	PC23MD1	PC23MD0	PC22MD1	PC22MD0	PC21MD1	PC21MD0	PC20MD1	PC20MD0	
H'FFFF 122B		PC19MD1	PC19MD0	PC18MD1	PC18MD0	PC17MD1	PC17MD0	PC16MD1	PC16MD0	
H'FFFF 122C	PCCRL1	PC15MD1	PC15MD0	PC14MD1	PC14MD0	-	PC13MD	-	PC12MD	
H'FFFF 122D		-	PC11MD	-	PC10MD	-	PC9MD	-	PC8MD	
H'FFFF 122E	PCCRL2	-	PC7MD	-	PC6MD	-	PC5MD	-	PC4MD	
H'FFFF 122F		-	PC3MD	-	PC2MD	-	PC1MD	-	PC0MD	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 1230	PDDRH	PD31DR	PD30DR	PD29DR	PD28DR	PD27DR	PD26DR	PD25DR	PD24DR	PORT
H'FFFF 1231		PD23DR	PD22DR	PD21DR	PD20DR	PD19DR	PD18DR	PD17DR	PD16DR	
H'FFFF 1232	PDDRL	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	
H'FFFF 1233		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
H'FFFF 1234	PDIORH	PD31IOR	PD30IOR	PD29IOR	PD28IOR	PD27IOR	PD26IOR	PD25IOR	PD24IOR	
H'FFFF 1235		PD23IOR	PD22IOR	PD21IOR	PD20IOR	PD19IOR	PD18IOR	PD17IOR	PD16IOR	
H'FFFF 1236	PDIORL	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR	
H'FFFF 1237		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR	
H'FFFF 1238	PDCRH1	PD31MD1	PD31MD0	PD30MD1	PD30MD0	PD29MD1	PD29MD0	PD28MD1	PD28MD0	
H'FFFF 1239		PD27MD1	PD27MD0	PD26MD1	PD26MD0	PD25MD1	PD25MD0	PD24MD1	PD24MD0	
H'FFFF 123A	PDCRH2	PD23MD1	PD23MD0	PD22MD1	PD22MD0	PD21MD1	PD21MD0	PD20MD1	PD20MD0	
H'FFFF 123B		PD19MD1	PD19MD0	PD18MD1	PD18MD0	PD17MD1	PD17MD0	PD16MD1	PD16MD0	
H'FFFF 123C	PDCRL1	PD15MD1	PD15MD0	PD14MD1	PD14MD0	PD13MD1	PD13MD0	PD12MD1	PD12MD0	
H'FFFF 123D		PD11MD1	PD11MD0	PD10MD1	PD10MD0	PD9MD1	PD9MD0	PD8MD1	PD8MD0	
H'FFFF 123E	PDCRL2	-	PD7MD	-	PD6MD	-	PD5MD	-	PD4MD	
H'FFFF 123F		-	PD3MD	-	PD2MD	-	PD1MD	-	PD0MD	
H'FFFF 1240	PEDRH	-	-	-	-	-	-	-	-	
H'FFFF 1241		PE23DR	PE22DR	PE21DR	PE20DR	PE19DR	PE18DR	PE17DR	PE16DR	
H'FFFF 1242	PEDRL	PE15DR	PE14DR	PE13DR	PE12DR	-	-	-	-	
H'FFFF 1243		-	-	-	-	-	-	-	-	
H'FFFF 1244	PEIORH	-	-	-	-	-	-	-	-	
H'FFFF 1245		PE23IOR	PE22IOR	PE21IOR	PE20IOR	PE19IOR	PE18IOR	PE17IOR	PE16IOR	
H'FFFF 1246	PEIORL	PE15IOR	PE14IOR	PE13IOR	PE12IOR	-	-	-	-	
H'FFFF 1247		-	-	-	-	-	-	-	-	
H'FFFF 1248	PECRH1	-	-	-	-	-	-	-	-	
H'FFFF 1249		-	-	-	-	-	-	-	-	
H'FFFF 124A	PECRH2	PE23MD1	PE23MD0	PE22MD1	PE22MD0	PE21MD1	PE21MD0	PE20MD1	PE20MD0	
H'FFFF 124B		PE19MD1	PE19MD0	PE18MD1	PE18MD0	PE17MD1	PE17MD0	PE16MD1	PE16MD0	
H'FFFF 124C	PECRL	-	PE15MD	-	PE14MD	-	PE13MD	-	PE12MD	
H'FFFF 124D		-	-	-	-	-	-	-	-	
H'FFFF 124E	-	-	-	-	-	-	-	-		
H'FFFF 124F	-	-	-	-	-	-	-	-		
H'FFFF 1250	FCR	-	-	-	-	-	-	-	-	
H'FFFF 1251		-	-	-	-	-	SCIMD	IRQMD1	IRQMD0	
H'FFFF 1252 ~ H'FFFF 1261	-	-	-	-	-	-	-	-		
H'FFFF 1262	PFDRL	-	-	-	-	-	-	-		
H'FFFF 1263		PF7DR	PF6DR	PF5DR	-	PF3DR	PF2DR	PF1DR	-	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF 1264	-	-	-	-	-	-	-	-	-	PORT
H'FFFF 1265	-	-	-	-	-	-	-	-	-	
H'FFFF 1266	PFIORL	-	-	-	-	-	-	-	-	
H'FFFF 1267		PF7IOR	PF6IOR	PF5IOR	-	PF3IOR	PF2IOR	PF1IOR	-	
H'FFFF 1268 - H'FFFF 126B	-	-	-	-	-	-	-	-	-	
H'FFFF 126C	PFCRL1	-	-	-	-	-	-	-	-	
H'FFFF 126D		-	-	-	-	-	-	-	-	
H'FFFF 126E	PFCRL2	PF7MD1	PF7MD0	PF6MD1	PF6MD0	PF5MD1	PF5MD0	-	-	
H'FFFF 126F		PF3MD1	PF3MD0	PF2MD1	PF2MD0	PF1MD1	PF1MD0	-	-	
H'FFFF 1270	PGDR	PG31DR	PG30DR	PG29DR	-	-	-	-	-	
H'FFFF 1271		-	-	-	-	-	-	-	-	
H'FFFF 1272	-	-	-	-	-	-	-	-	-	
H'FFFF 1273	-	-	-	-	-	-	-	-	-	
H'FFFF 1274	PGIOR	PG31IOR	PG30IOR	PG29IOR	-	-	-	-	-	
H'FFFF 1275		-	-	-	-	-	-	-	-	
H'FFFF 1276	-	-	-	-	-	-	-	-	-	
H'FFFF 1277	-	-	-	-	-	-	-	-	-	
H'FFFF 1278	PGCRH1	-	PG31MD	-	PG30MD	-	PG29MD	-	-	
H'FFFF 1279		-	-	-	-	-	-	-	-	
H'FFFF 127A	PGCRH2	-	-	-	-	-	-	-	-	
H'FFFF 127B		-	-	-	-	-	-	-	-	
H'FFFF 127C - H'FFFF 1281	-	-	-	-	-	-	-	-	-	
H'FFFF 1282	PHDR	-	-	-	-	-	-	PH1DR	PH0DR	
H'FFFF 1283 - H'FFFF 1285	-	-	-	-	-	-	-	-	-	
H'FFFF 1286	PHIOR	-	-	-	-	-	-	-	-	
H'FFFF 1287		-	-	-	-	-	-	PH1IOR	PH0IOR	
H'FFFF 1288 - H'FFFF 128D	-	-	-	-	-	-	-	-	-	
H'FFFF 128E	PHCR	-	-	-	-	-	-	-	-	
H'FFFF 128F		-	-	-	-	-	PH1MD	-	PH0MD	
H'FFFF 1290	PIDR	PI7DR	PI6DR	PI5DR	PI4DR	PI3DR	PI2DR	PI1DR	PI0DR	
H'FFFF 1291 - H'FFFF 12FF	-	-	-	-	-	-	-	-	-	

【注】 *1 書き込みは、H'FFFF1000 になります。読み出しは、H'FFFF1001 になります。

*2 書き込みは、H'FFFF1002 になります。

*3 読み出しは、H'FFFF1003 になります。

B. 端子状態

B.1 リセット、低消費電力、バス権解放状態での端子状態

表 B.1 リセット、低消費電力、バス権解放状態での端子状態

端子機能		端子状態						
分類	端子名	リセット状態	低消費電力状態			バス権解放状態	バス権解放状態でのソフトウェアスタンバイ	バス権解放状態でのハードウェアスタンバイ
			ソフトウェアスタンバイ	ハードウェアスタンバイ	スリープ			
クロック	CKIO	I/O/Z *1*2	I/L/Z *1*2	I/L/Z *1*2	I/O/Z *1*2	I/O/Z *1*2	I/L/Z *1*2	I/L/Z *1*2
	EXTAL	I *1	I *1	I *1	I *1	I *1	I *1	I *1
	XTAL	O *1	O *1	O *1	O *1	O *1	O *1	O *1
	CK	O/Z*1*2	L/Z*1*2	L/Z*1*2	O/Z*1*2	O/Z*1*2	L/Z*1*2	L/Z*1*2
	PLLCAP1, PLLCAP2	I	I	I	I	I	I	I
システム制御	RES	I	I	I	I	I	I	I
	WDTOVF	H	H	Z	O	O	H	Z
	BREQ	Z	Z	Z	I	I	Z	Z
	BACK	Z	Z	Z	H	L	H	Z
	HSTBY	I	I	I	I	I	I	I
動作モード制御	MD0 ~ MD5	I	I	I	I	I	I	I
	FWE	I	I	I	I	I	I	I
割り込み	NMI	I	I	I	I	I	I	I
	PE23 ~ 21, PE19 ~ 17 の IRQ0 ~ IRQ7	Z	Z	Z	I	I	Z	Z
	上記以外の IRQ0 ~ IRQ7	Z	I	Z	I	I	I	Z
	IRQOUT	Z	H *4	Z	O	O	H *4	Z
アドレスバス	A0 ~ 25	O	Z	Z	O	Z	Z	Z
データバス	D0 ~ 31	Z	Z	Z	I/O	Z	Z	Z
バス制御	BS	H*5	Z	Z	O	Z	Z	Z
	CS0	H*5	Z	Z	O	Z	Z	Z
	CS1 ~ CS5	Z	Z	Z	O	Z	Z	Z
	RD	H*5	Z	Z	O	Z	Z	Z
	RDWR	Z	Z	Z	O	Z	Z	Z
	WRLL ~ HH/LLBS ~ HHBS	H*5	Z	Z	O	Z	Z	Z
	WAIT	Z	Z	Z	I	Z	Z	Z

端子機能		端子状態						
分類	端子名	リセット状態	低消費電力状態			バス権解放状態	バス権解放状態でのソフトウェアスタンバイ	バス権解放状態でのハードウェアスタンバイ
			ソフトウェアスタンバイ	ハードウェアスタンバイ	スリープ			
バス制御	WR	Z	Z	Z	O	Z	Z	Z
	RAS0、RAS1	Z	Z/O * ³	Z	O	Z/O * ³	Z/O * ³	Z
	CASHH0、CASHL0、CASLH0、CASLL0、CASHH1、CASHL1、CASLH1、CASLL1	Z	Z/O * ³	Z	O	Z/O * ³	Z/O * ³	Z
	OE0、OE1	Z	Z/O * ³	Z	O	Z/O * ³	Z/O * ³	Z
	AH	Z	Z	Z	O	Z	Z	Z
	DMAC	DREQ0、DREQ1	Z	Z	Z	I	I	Z
	DRAK0、DRAK1	Z	Z	Z	O	O	Z	Z
	DACK0、DACK1	Z	O* ⁴	Z	O	O	O* ⁴	Z
	TEND0、TEND1	Z	O* ⁴	Z	O	O	O* ⁴	Z
TPU	TCLKA ~ TCLKD	Z	Z	Z	I	I	Z	Z
	TIOC0A ~ TIOC0D	Z	K* ⁴	Z	I/O	I/O	K* ⁴	Z
	TIOC1A、TIOC1B	Z	K* ⁴	Z	I/O	I/O	K* ⁴	Z
	TIOC2A、TIOC2B	Z	K* ⁴	Z	I/O	I/O	K* ⁴	Z
	TIOC3A ~ TIOC3D	Z	K* ⁴	Z	I/O	I/O	K* ⁴	Z
	TIOC4A、TIOC4B	Z	K* ⁴	Z	I/O	I/O	K* ⁴	Z
	TIOC5A、TIOC5B	Z	K* ⁴	Z	I/O	I/O	K* ⁴	Z
MMT	PCIO	Z	K* ⁴	Z	I/O	I/O	K* ⁴	Z
	PUOA (PD20) ~ PUOB (PD24)	Z	O* ⁴	Z	O	O	O* ⁴	Z
	PVOA (PD21) ~ PVOB (PD25)	Z	O* ⁴	Z	O	O	O* ⁴	Z

端子機能		端子状態						
分類	端子名	リセット状態	低消費電力状態			バス権解放状態	バス権解放状態でのソフトウェアスタンバイ	バス権解放状態でのハードウェアスタンバイ
			ソフトウェアスタンバイ	ハードウェアスタンバイ	スリープ			
MMT	PWOA (PD22) ~ PWOB (PD26)	Z	O* ⁴	Z	O	O	O* ⁴	Z
	PUOA (PE17) ~ PUOB (PE21)	Z	Z* ⁶	Z	O	O	Z* ⁶	Z
	PVOA (PE18) ~ PVOB (PE22)	Z	Z* ⁶	Z	O	O	Z* ⁶	Z
	PWOA (PE19) ~ PWOB (PE23)	Z	Z* ⁶	Z	O	O	Z* ⁶	Z
	POE0 ~ POE3	Z	Z	Z	I	I	Z	Z
SCI	TxD0 ~ TxD2	Z	O* ⁴	Z	O	O	O* ⁴	Z
	RxD0 ~ RxD2	Z	Z	Z	I	I	Z	Z
	SCK0 ~ SCK2	Z	Z	Z	I/O	I/O	Z	Z
A/D変換器	AN0 ~ AN7	Z	Z	Z	I	I	Z	Z
	ADTRG	Z	Z	Z	I	I	Z	Z
D/A変換器	DA0 ~ DA1	Z	Z	Z	O	O	Z	Z
I/Oポート	PAn	Z	K* ⁴	Z	K	I/O	K* ⁴	Z
	PBn	Z	K* ⁴	Z	K	I/O	K* ⁴	Z
	PCn	Z	K* ⁴	Z	K	I/O	K* ⁴	Z
	PDn	Z	K* ⁴	Z	K	I/O	K* ⁴	Z
	PE23 ~ PE21, PE19 ~ PE17	Z	Z	Z	K	I/O	Z	Z
	上記以外の PEn	Z	K* ⁴	Z	K	I/O	K* ⁴	Z
	PFn	Z	K* ⁴	Z	K	I/O	K* ⁴	Z
	PGn	Z	K* ⁴	Z	K	I/O	K* ⁴	Z
	PHn	Z	K* ⁴	Z	K	I/O	K* ⁴	Z
PI n	Z	Z	Z	I	I	Z	Z	

【記号説明】

I: 入力

O: 出力

H: ハイレベル出力

L: ローレベル出力

Z: ハイインピーダンス

K: 入力端子はハイインピーダンス、出力端子は状態保持

【注】 *1 クロックモードに依存します。

*2 周波数制御レジスタ (FRQCR) の設定に従って Z または O になります。

*3 バスコントロールレジスタ (BCR) の設定に従って Z または O になります。

*4 スタンバイコントロールレジスタ (SBYCR) の設定に従って Z または O になります。

*5 内蔵 ROM 有効モード、およびシングルチップモード時は Z になります。

*6 PUOA, PVOA, PWOA, PUOB, PVOB, PWOB がマルチプレクスされている端子すべてが Z になります。

B.2 バス関連信号の端子状態

表 B.2 バス関連信号の端子状態 (1)

端子名	内蔵 ROM 空間	内蔵 RAM 空間	内蔵周辺モジュール			
			8ビット 空間	16ビット空間		
				上位バイト	下位バイト	ワード/ ロングワード
CS0 ~ CS5	H	H	H	H	H	H
RAS0、RAS1 *1	H	H	H	H	H	H
CASHH0、CASHH1 *2	H	H	H	H	H	H
CASHL0、CASHL1 *2	H	H	H	H	H	H
CASLH0、CASLH1 *2	H	H	H	H	H	H
CASLL0、CASLL1 *2	H	H	H	H	H	H
OE0、OE1	H	H	H	H	H	H
RDWR	R	H	H	H	H	H
	W	H	H	H	H	H
AH	L	L	L	L	L	L
BS	H	H	H	H	H	H
RD	R	H	H	H	H	H
	W		H	H	H	H
WR	R	H	H	H	H	H
	W		H	H	H	H
WRHH	R	H	H	H	H	H
	W		H	H	H	H
WRHL	R	H	H	H	H	H
	W		H	H	H	H
WRLH	R	H	H	H	H	H
	W		H	H	H	H
WRLL	R	H	H	H	H	H
	W		H	H	H	H
HHBS	R	H	H	H	H	H
	W		H	H	H	H
HLBS	R	H	H	H	H	H
	W		H	H	H	H
LHBS	R	H	H	H	H	H
	W		H	H	H	H
LLBS	R	H	H	H	H	H
	W		H	H	H	H
A25 ~ A0	アドレス*3	アドレス*3	アドレス*3	アドレス*3	アドレス*3	アドレス*3
D31 ~ D24	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D23 ~ D16	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D15 ~ D8	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D7 ~ D0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

【記号説明】

R：読み出し

W：書き込み

【注】 *1 RAS ダウンまたはリフレッシュ状態ではLにアサートされます。

*2 リフレッシュ状態ではLにアサートされます。

*3 以前にアクセスした外部空間のアドレス値を保持します。

表 B.2 バス関連信号の端子状態 (2)

端子名	外部通常空間						
	8ビット空間	16ビット空間				ワード/ロングワード	
		ビッグエンディアン		リトルエンディアン			
		上位バイト	下位バイト	上位バイト	下位バイト		
$\overline{CS0} \sim \overline{CS3}$		有効* ³	有効* ³	有効* ³	有効* ³	有効* ³	有効* ³
$\overline{CS4}, \overline{CS5}$		H	H	H	H	H	H
$\overline{RAS0}, \overline{RAS1}$ * ¹		H	H	H	H	H	H
$\overline{CASHH0}, \overline{CASHH1}$ * ²		H	H	H	H	H	H
$\overline{CASHL0}, \overline{CASHL1}$ * ²		H	H	H	H	H	H
$\overline{CASLH0}, \overline{CASLH1}$ * ²		H	H	H	H	H	H
$\overline{CASLL0}, \overline{CASLL1}$ * ²		H	H	H	H	H	H
$\overline{OE0}, \overline{OE1}$		H	H	H	H	H	H
RDWR	R	H	H	H	H	H	H
	W	H	H	H	H	H	H
\overline{AH}		L	L	L	L	L	L
\overline{BS}		有効* ⁴	有効* ⁴	有効* ⁴	有効* ⁴	有効* ⁴	有効* ⁴
\overline{RD}	R	L	L	L	L	L	L
	W	H	H	H	H	H	H
WR	R	H	H	H	H	H	H
	W	L	L	L	L	L	L
WRHH	R	H	H	H	H	H	H
	W	H	H	H	H	H	H
WRHL	R	H	H	H	H	H	H
	W	H	H	H	H	H	H
WRLH	R	H	H	H	H	H	H
	W	H	L	H	H	L	L
WRLL	R	H	H	H	H	H	H
	W	L	H	L	L	H	L
HHBS	R	H	H	H	H	H	H
	W	H	H	H	H	H	H
HLBS	R	H	H	H	H	H	H
	W	H	H	H	H	H	H
LHBS	R	H	L	H	H	L	L
	W	H	L	H	H	L	L
LLBS	R	L	H	L	L	H	L
	W	L	H	L	L	H	L
A25 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D23 ~ D16		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D15 ~ D8		Hi-Z	データ	Hi-Z	Hi-Z	データ	データ
D7 ~ D0		データ	Hi-Z	データ	データ	Hi-Z	データ

【記号説明】

R : 読み出し

W : 書き込み

- 【注】 *1 RAS ダウンまたはリフレッシュ状態ではLにアサートされます。
 *2 リフレッシュ状態ではLにアサートされます。
 *3 アクセスしたエリアに対するチップセレクト信号=L、それ以外のチップセレクト信号=H
 *4 BSのタイミングに従い、Lにアサートされます。

表 B.2 バス関連信号の端子状態 (3)

端子名		外部通常空間							
		32ビット空間							
		ビッグエンディアン				リトルエンディアン			
	最上位 バイト	1バイト 目	2バイト 目	最下位 バイト	最上位 バイト	1バイト 目	2バイト 目	最下位 バイト	
CS0 ~ CS3		有効*3	有効*3	有効*3	有効*3	有効*3	有効*3	有効*3	有効*3
CS4, CS5		H	H	H	H	H	H	H	H
RAS0, RAS1 *1		H	H	H	H	H	H	H	H
CASHH0, CASHH1 *2		H	H	H	H	H	H	H	H
CASHL0, CASHL1 *2		H	H	H	H	H	H	H	H
CASLH0, CASLH1 *2		H	H	H	H	H	H	H	H
CASLL0, CASLL1 *2		H	H	H	H	H	H	H	H
OE0, OE1		H	H	H	H	H	H	H	H
RDWR	R	H	H	H	H	H	H	H	H
	W	H	H	H	H	H	H	H	H
AH		L	L	L	L	L	L	L	L
BS		有効*4	有効*4	有効*4	有効*4	有効*4	有効*4	有効*4	有効*4
RD	R	L	L	L	L	L	L	L	L
	W	H	H	H	H	H	H	H	H
WR	R	H	H	H	H	H	H	H	H
	W	L	L	L	L	L	L	L	L
WRHH	R	H	H	H	H	H	H	H	H
	W	L	H	H	H	H	H	H	L
WRHL	R	H	H	H	H	H	H	H	H
	W	H	L	H	H	H	H	L	H
WRLH	R	H	H	H	H	H	H	H	H
	W	H	H	L	H	H	L	H	H
WRLL	R	H	H	H	H	H	H	H	H
	W	H	H	H	L	L	H	H	H
HHBS	R	L	H	H	H	H	H	H	L
	W	L	H	H	H	H	H	H	L
HLBS	R	H	L	H	H	H	H	L	H
	W	H	L	H	H	H	H	L	H
LHBS	R	H	H	L	H	H	L	H	H
	W	H	H	L	H	H	L	H	H
LLBS	R	H	H	H	L	L	H	H	H
	W	H	H	H	L	L	H	H	H
A25 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス

端子名	外部通常空間							
	32ビット空間							
	ビッグエンディアン				リトルエンディアン			
	最上位 バイト	1バイト 目	2バイト 目	最下位 バイト	最上位 バイト	1バイト 目	2バイト 目	最下位 バイト
D31 ~ D24	データ	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	データ
D23 ~ D16	Hi-Z	データ	Hi-Z	Hi-Z	Hi-Z	Hi-Z	データ	Hi-Z
D15 ~ D8	Hi-Z	Hi-Z	データ	Hi-Z	Hi-Z	データ	Hi-Z	Hi-Z
D7 ~ D0	Hi-Z	Hi-Z	Hi-Z	データ	データ	Hi-Z	Hi-Z	Hi-Z

【記号説明】

R : 読み出し

W : 書き込み

【注】 *1 RAS ダウンまたはリフレッシュ状態ではLにアサートされます。

*2 リフレッシュ状態ではLにアサートされます。

*3 アクセスしたエリアに対するチップセレクト信号=L、それ以外のチップセレクト信号=H

*4 BSのタイミングに従い、Lにアサートされます。

表 B.2 バス関連信号の端子状態 (4)

端子名	外部通常空間				
	32ビット空間				
	ビッグエンディアン		リトルエンディアン		ロングワード
	上位ワード	下位ワード	上位ワード	下位ワード	
CS0 ~ CS3	有効*3		有効*3		有効*3
CS4, CS5	H		H		H
RAS0, RAS1 *1	H		H		H
CASHH0, CASHH1 *2	H		H		H
CASHL0, CASHL1 *2	H		H		H
CASLH0, CASLH1 *2	H		H		H
CASLLO, CASLL1 *2	H		H		H
OE0, OE1	H		H		H
RDWR	R	H	H	H	H
	W	H	H	H	H
AH	L		L		L
BS	有効*4		有効*4		有効*4
RD	R	L	L	L	L
	W	H	H	H	H
WR	R	H	H	H	H
	W	L	L	L	L
WRHH	R	H	H	H	H
	W	L	H	H	L
WRHL	R	H	H	H	H
	W	L	H	H	L
WRLH	R	H	H	H	H
	W	H	L	L	L

端子名		外部通常空間				
		32 ビット空間				
		ビッグエンディアン		リトルエンディアン		ロングワード
		上位ワード	下位ワード	上位ワード	下位ワード	
WRLL	R	H	H	H	H	H
	W	H	L	L	H	L
HHBS	R	L	H	H	L	L
	W	L	H	H	L	L
HLBS	R	L	H	H	L	L
	W	L	H	H	L	L
LHBS	R	H	L	L	H	L
	W	H	L	L	H	L
LLBS	R	H	L	L	H	L
	W	H	L	L	H	L
A25 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24		データ	Hi-Z	Hi-Z	データ	データ
D23 ~ D16		データ	Hi-Z	Hi-Z	データ	データ
D15 ~ D8		Hi-Z	データ	データ	Hi-Z	データ
D7 ~ D0		Hi-Z	データ	データ	Hi-Z	データ

【記号説明】

R : 読み出し

W : 書き込み

- 【注】 *1 RAS ダウンまたはリフレッシュ状態ではLにアサートされます。
*2 リフレッシュ状態ではLにアサートされます。
*3 アクセスしたエリアに対するチップセレクト信号=L、それ以外のチップセレクト信号=H
*4 BSのタイミングに従い、Lにアサートされます。

表 B.2 バス関連信号の端子状態 (5)

端子名	マルチプレクス I/O 空間					
	8 ビット空間	16 ビット空間				ワード/ ロングワード
		ビッグエンディアン		リトルエンディアン		
		上位バイト	下位バイト	上位バイト	下位バイト	
$\overline{CS0}$	H	H	H	H	H	H
$\overline{CS1} \sim \overline{CS3}$	有効* ³	有効* ³	有効* ³	有効* ³	有効* ³	有効* ³
$\overline{CS4}$ 、 $\overline{CS5}$	H	H	H	H	H	H
$\overline{RAS0}$ 、 $\overline{RAS1}$ * ¹	H	H	H	H	H	H
$\overline{CASHH0}$ 、 $\overline{CASHH1}$ * ²	H	H	H	H	H	H
$\overline{CASHL0}$ 、 $\overline{CASHL1}$ * ²	H	H	H	H	H	H
$\overline{CASLH0}$ 、 $\overline{CASLH1}$ * ²	H	H	H	H	H	H
$\overline{CASLL0}$ 、 $\overline{CASLL1}$ * ²	H	H	H	H	H	H
$\overline{OE0}$ 、 $\overline{OE1}$	H	H	H	H	H	H
RDWR	R	H	H	H	H	H
	W	H	H	H	H	H
\overline{AH}	有効* ⁴	有効* ⁴	有効* ⁴	有効* ⁴	有効* ⁴	有効* ⁴
\overline{BS}	有効* ⁵	有効* ⁵	有効* ⁵	有効* ⁵	有効* ⁵	有効* ⁵
\overline{RD}	R	L	L	L	L	L
	W	H	H	H	H	H
WR	R	H	H	H	H	H
	W	L	L	L	L	L
WRHH	R	H	H	H	H	H
	W	H	H	H	H	H
WRHL	R	H	H	H	H	H
	W	H	H	H	H	H
WRLH	R	H	H	H	H	H
	W	H	L	H	L	L
WRLL	R	H	H	H	H	H
	W	L	H	L	H	L
HHBS	R	H	H	H	H	H
	W	H	H	H	H	H
HLBS	R	H	H	H	H	H
	W	H	H	H	H	H
LHBS	R	H	H	H	H	H
	W	H	H	H	H	H
LLBS	R	H	H	H	H	H
	W	H	H	H	H	H
A25 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D23 ~ D16	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D15 ~ D8	Hi-Z	アドレス/データ	アドレス	アドレス	アドレス/データ	アドレス/データ
D7 ~ D0	アドレス/データ	アドレス	アドレス/データ	アドレス/データ	アドレス	アドレス/データ

【記号説明】

R : 読み出し

W : 書き込み

【注】 *1 RAS ダウンまたはリフレッシュ状態では L にアサートされます。

- *2 リフレッシュ状態ではLにアサートされます。
 *3 アクセスしたエリアに対するチップセレクト信号=L、それ以外のチップセレクト信号=H
 *4 AHのタイミングに従い、Hに出力されます。
 *5 BSのタイミングに従い、Lにアサートされます。

表 B.2 バス関連信号の端子状態 (6)

端子名	DRAM 空間					
	8ビット空間	16ビット空間				ワード/ロングワード
		ビッグエンディアン		リトルエンディアン		
		上位バイト	下位バイト	上位バイト	下位バイト	
CS0 ~ CS3	H	H	H	H	H	H
CS4、CS5	有効* ³	有効* ³	有効* ³	有効* ³	有効* ³	有効* ³
RA0、RAS1 * ¹	有効* ⁴	有効* ⁴	有効* ⁴	有効* ⁴	有効* ⁴	有効* ⁴
CASHH0、CASHH1 * ²	H	H	H	H	H	H
CASHL0、CASHL1 * ²	H	H	H	H	H	H
CASLH0、CASLH1 * ²	H	有効* ⁴	H	H	有効* ⁴	有効* ⁴
CASLL0、CASLL1 * ²	有効* ⁴	H	有効* ⁴	有効* ⁴	H	有効* ⁴
OE0、OE1	有効* ⁵	有効* ⁵	有効* ⁵	有効* ⁵	有効* ⁵	有効* ⁵
RDWR	R	H	H	H	H	H
	W	L	L	L	L	L
AH	L	L	L	L	L	L
BS	有効* ⁶	有効* ⁶	有効* ⁶	有効* ⁶	有効* ⁶	有効* ⁶
RD	R	H	H	H	H	H
	W	H	H	H	H	H
WR	R	H	H	H	H	H
	W	H	H	H	H	H
WRHH	R	H	H	H	H	H
	W	H	H	H	H	H
WRHL	R	H	H	H	H	H
	W	H	H	H	H	H
WRLH	R	H	H	H	H	H
	W	H	H	H	H	H
WRLL	R	H	H	H	H	H
	W	H	H	H	H	H
HHBS	R	H	H	H	H	H
	W	H	H	H	H	H
HLBS	R	H	H	H	H	H
	W	H	H	H	H	H
LHBS	R	H	H	H	H	H
	W	H	H	H	H	H
LLBS	R	H	H	H	H	H
	W	H	H	H	H	H
A25 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D23 ~ D16	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D15 ~ D8	Hi-Z	データ	Hi-Z	Hi-Z	データ	データ
D7 ~ D0	データ	Hi-Z	データ	データ	Hi-Z	データ

【記号説明】

R : 読み出し
 W : 書き込み

- 【注】 *1 RAS ダウンまたはリフレッシュ状態ではLにアサートされます。
 *2 リフレッシュ状態ではLにアサートされます。
 *3 アクセスしたエリアに対するチップセレクト信号=L、それ以外のチップセレクト信号=H
 *4 DRAM アクセスのストロープ波形に従ったタイミングで、アクセスしたエリアに対する信号がLにアサートされ、それ以外の信号はHとなります。
 *5 EDO モード時のみ、OE のタイミングに従い、Lにアサートされます。
 *6 BS のタイミングに従い、Lにアサートされます。

表 B.2 バス関連信号の端子状態 (7)

端子名	DRAM 空間								
	32 ビット空間								
	ビッグエンディアン				リトルエンディアン				
	最上位 バイト	1バイト 目	2バイト 目	最下位 バイト	最上位 バイト	1バイト 目	2バイト 目	最下位 バイト	最下位 バイト
CS0 ~ CS3	H	H	H	H	H	H	H	H	H
CS4、CS5	有効*3	有効*3	有効*3	有効*3	有効*3	有効*3	有効*3	有効*3	有効*3
RAS0、RAS1 *1	有効*4	有効*4	有効*4	有効*4	有効*4	有効*4	有効*4	有効*4	有効*4
CASHH0、CASHH1 *2	有効*4	H	H	H	H	H	H	H	有効*4
CASHL0、CASHL1 *2	H	有効*4	H	H	H	H	有効*4	H	H
CASLH0、CASLH1 *2	H	H	有効*4	H	H	有効*4	H	H	H
CASLLO、CASLL1 *2	H	H	H	有効*4	有効*4	H	H	H	H
OE0、OE1	有効*5	有効*5	有効*5	有効*5	有効*5	有効*5	有効*5	有効*5	有効*5
RDWR	R	H	H	H	H	H	H	H	H
	W	L	L	L	L	L	L	L	L
AH	L	L	L	L	L	L	L	L	L
BS	有効*6	有効*6	有効*6	有効*6	有効*6	有効*6	有効*6	有効*6	有効*6
RD	R	H	H	H	H	H	H	H	H
	W	H	H	H	H	H	H	H	H
WR	R	H	H	H	H	H	H	H	H
	W	H	H	H	H	H	H	H	H
WRHH	R	H	H	H	H	H	H	H	H
	W	H	H	H	H	H	H	H	H
WRHL	R	H	H	H	H	H	H	H	H
	W	H	H	H	H	H	H	H	H
WRLH	R	H	H	H	H	H	H	H	H
	W	H	H	H	H	H	H	H	H
WRLL	R	H	H	H	H	H	H	H	H
	W	H	H	H	H	H	H	H	H
HHBS	R	H	H	H	H	H	H	H	H
	W	H	H	H	H	H	H	H	H
HLBS	R	H	H	H	H	H	H	H	H
	W	H	H	H	H	H	H	H	H
LHBS	R	H	H	H	H	H	H	H	H
	W	H	H	H	H	H	H	H	H
LLBS	R	H	H	H	H	H	H	H	H
	W	H	H	H	H	H	H	H	H
A25 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24	データ	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	データ

端子名	DRAM 空間							
	32 ビット空間							
	ビッグエンディアン				リトルエンディアン			
	最上位 バイト	1バイト 目	2バイト 目	最下位 バイト	最上位 バイト	1バイト 目	2バイト 目	最下位 バイト
D23 ~ D16	Hi-Z	データ	Hi-Z	Hi-Z	Hi-Z	Hi-Z	データ	Hi-Z
D15 ~ D8	Hi-Z	Hi-Z	データ	Hi-Z	Hi-Z	データ	Hi-Z	Hi-Z
D7 ~ D0	Hi-Z	Hi-Z	Hi-Z	データ	データ	Hi-Z	Hi-Z	Hi-Z

【記号説明】

R : 読み出し

W : 書き込み

【注】 *1 RAS ダウンまたはリフレッシュ状態ではLにアサートされます。

*2 リフレッシュ状態ではLにアサートされます。

*3 アクセスしたエリアに対するチップセレクト信号=L、それ以外のチップセレクト信号=H

*4 DRAM アクセスのストローク波形に従ったタイミングで、アクセスしたエリアに対する信号がLにアサートされ、それ以外の信号はHとなります。

*5 EDO モード時のみ、OE のタイミングに従い、L にアサートされます。

*6 BS のタイミングに従い、L にアサートされます。

表 B.2 バス関連信号の端子状態 (8)

端子名	DRAM 空間				
	32 ビット空間				
	ビッグエンディアン		リトルエンディアン		ロングワード
	上位ワード	下位ワード	上位ワード	下位ワード	
CS0 ~ CS3	H	H	H	H	H
CS4, CS5	有効*3	有効*3	有効*3	有効*3	有効*3
RAS0, RAS1 *1	有効*4	有効*4	有効*4	有効*4	有効*4
CASH0, CASH1 *2	有効*4	H	H	有効*4	有効*4
CASHL0, CASHL1 *2	有効*4	H	H	有効*4	有効*4
CASLH0, CASLH1 *2	H	有効*4	有効*4	H	有効*4
CASLL0, CASLL1 *2	H	有効*4	有効*4	H	有効*4
OE0, OE1	有効*5	有効*5	有効*5	有効*5	有効*5
RDWR	R	H	H	H	H
	W	L	L	L	L
AH	L	L	L	L	L
BS	有効*6	有効*6	有効*6	有効*6	有効*6
RD	R	H	H	H	H
	W	H	H	H	H
WR	R	H	H	H	H
	W	H	H	H	H
WRHH	R	H	H	H	H
	W	H	H	H	H
WRHL	R	H	H	H	H
	W	H	H	H	H
WRLH	R	H	H	H	H
	W	H	H	H	H

端子名		DRAM 空間				
		32 ビット空間				
		ビッグエンディアン		リトルエンディアン		ロングワード
		上位ワード	下位ワード	上位ワード	下位ワード	
WRLL	R	H	H	H	H	H
	W	H	H	H	H	H
HHBS	R	H	H	H	H	H
	W	H	H	H	H	H
HLBS	R	H	H	H	H	H
	W	H	H	H	H	H
LHBS	R	H	H	H	H	H
	W	H	H	H	H	H
LLBS	R	H	H	H	H	H
	W	H	H	H	H	H
A25 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24		データ	Hi-Z	Hi-Z	データ	データ
D23 ~ D16		データ	Hi-Z	Hi-Z	データ	データ
D15 ~ D8		Hi-Z	データ	データ	Hi-Z	データ
D7 ~ D0		Hi-Z	データ	データ	Hi-Z	データ

【記号説明】

R : 読み出し
W : 書き込み

- 【注】 *1 RAS ダウンまたはリフレッシュ状態ではLにアサートされます。
*2 リフレッシュ状態ではLにアサートされます。
*3 アクセスしたエリアに対するチップセレクト信号=L、それ以外のチップセレクト信号=H
*4 DRAM アクセスのストロブ波形に従ったタイミングで、アクセスしたエリアに対する信号がLにアサートされ、それ以外の信号はHとなります。
*5 EDO モード時のみ、OE のタイミングに従い、Lにアサートされます。
*6 BS のタイミングに従い、Lにアサートされます。

C. I/Oポートブロック図

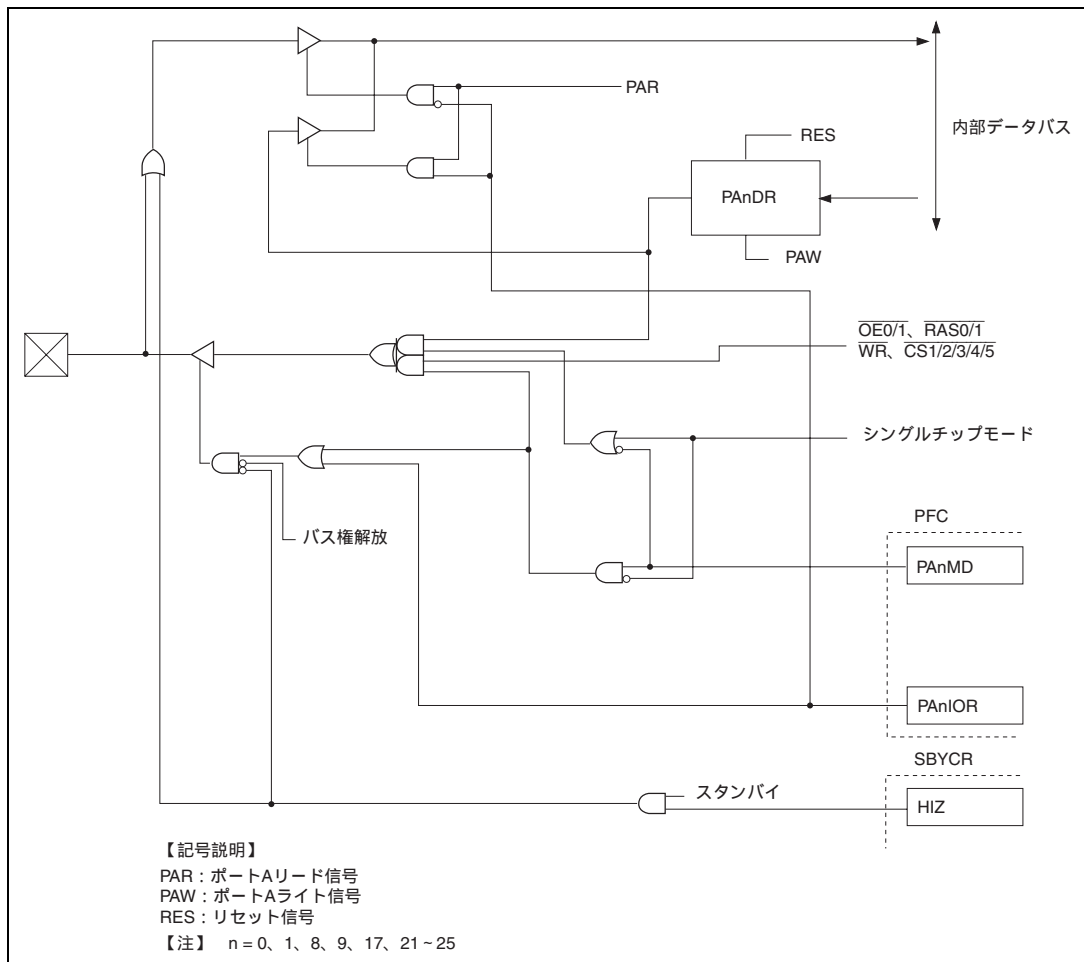


図 C.1 PAn/XXXX ブロック図

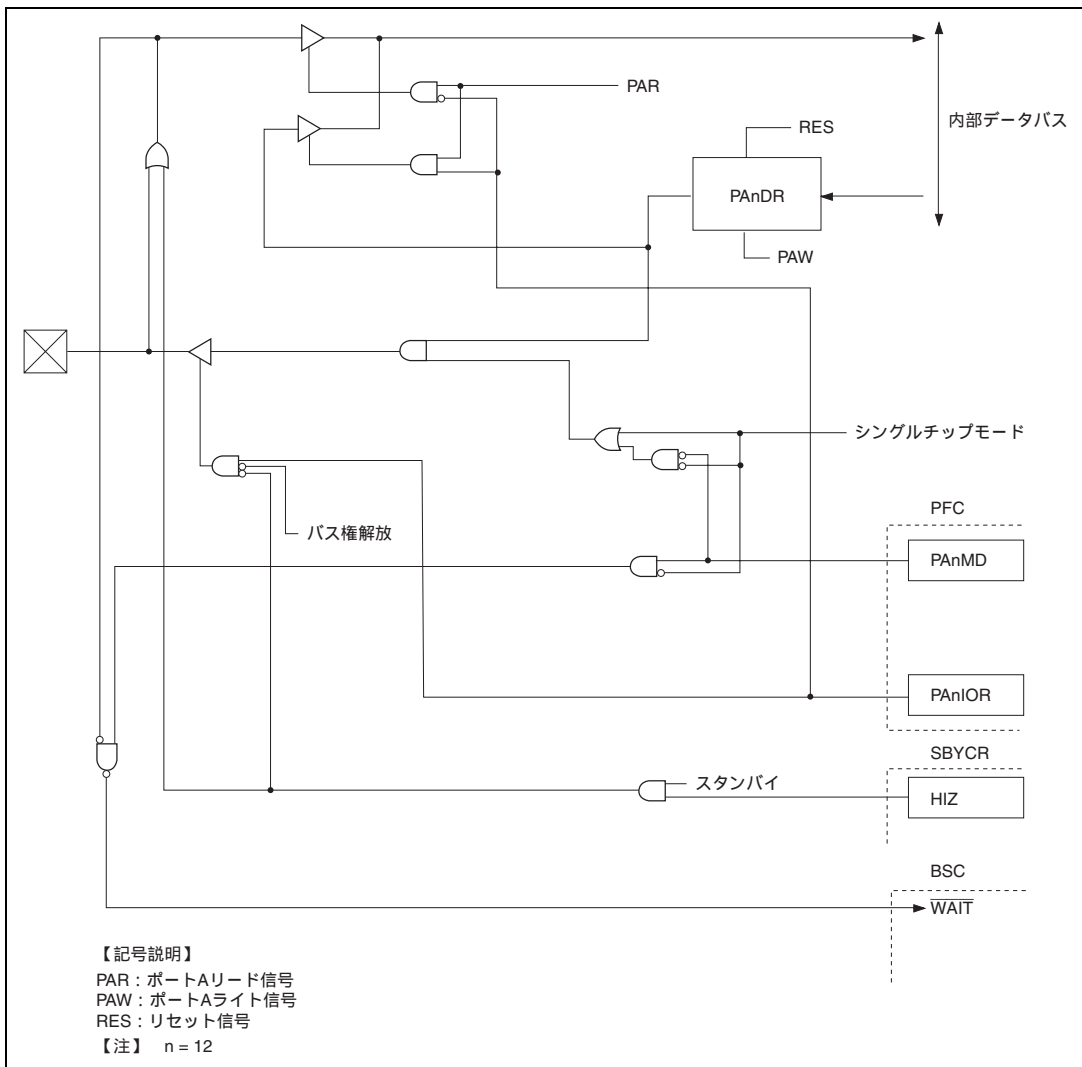


図 C.2 PA12/WAIT ブロック図

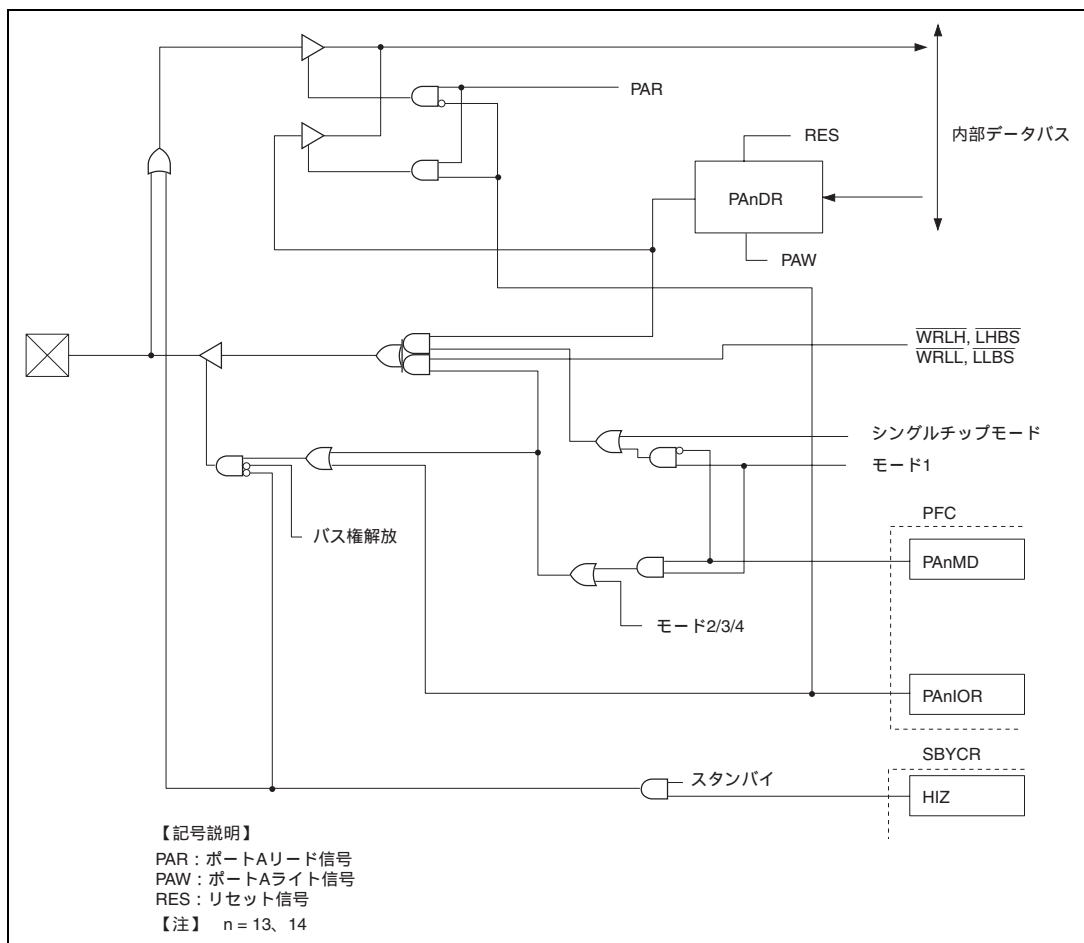


図 C.3 PA13/WRL/LLBS、PA14/WRLH/LHBS ブロック図

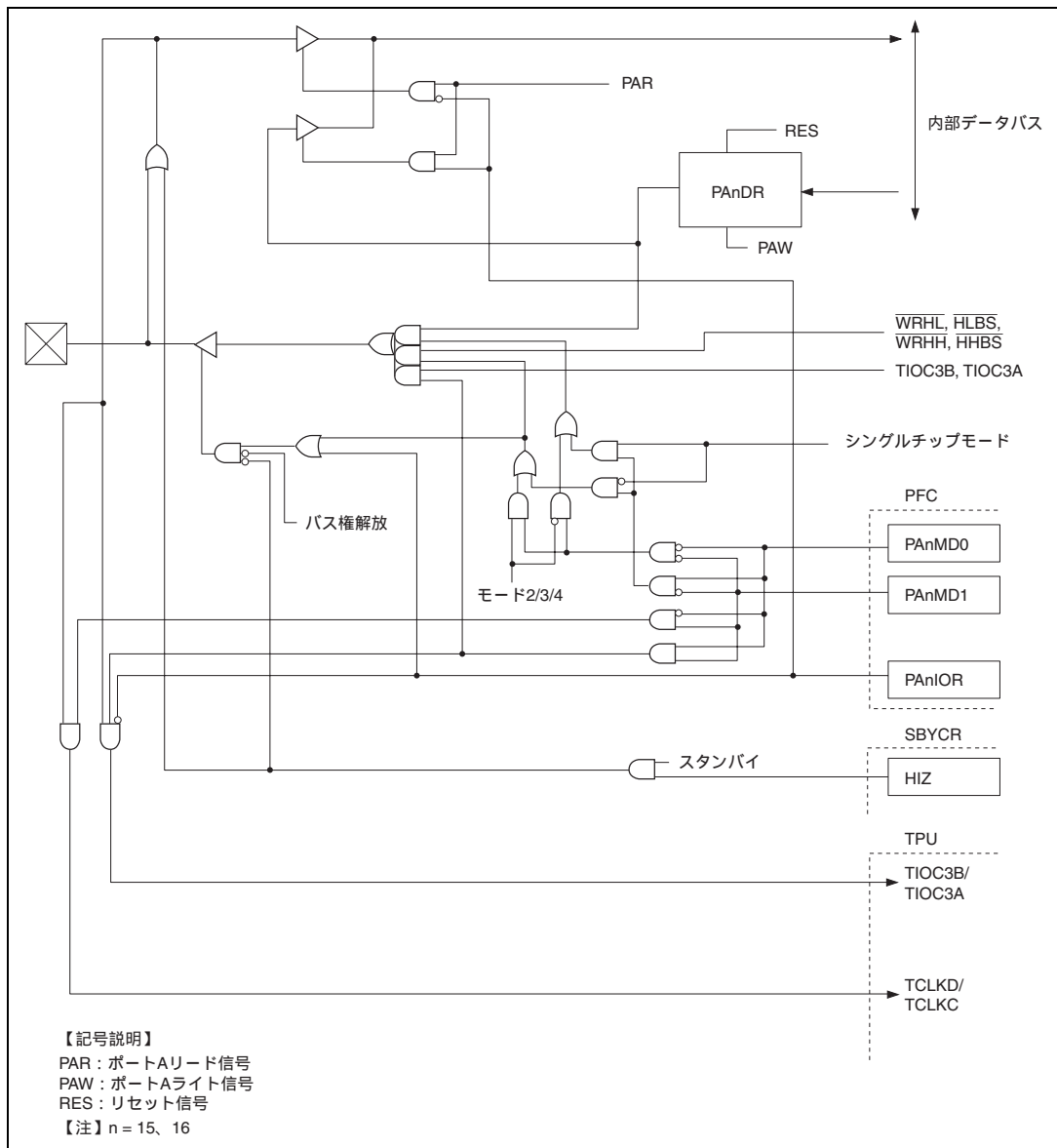


図 C.4 PA15/WRHL/HLBS/TCLKD/TIOC3B、PA16/WRHH/HHBS/TCLKC/TIOC3A ブロック図

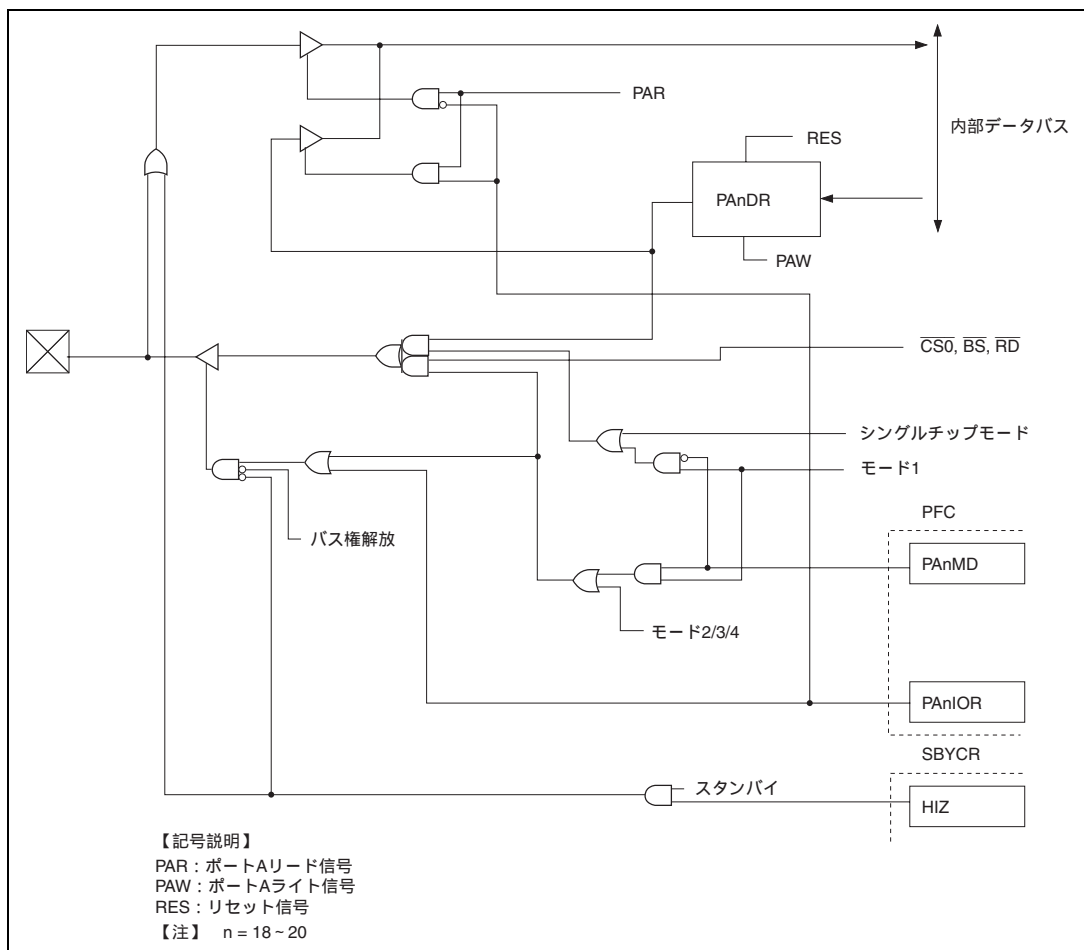


図 C.5 PA18/RD、PA19/BS、PA20/CS0 ブロック図

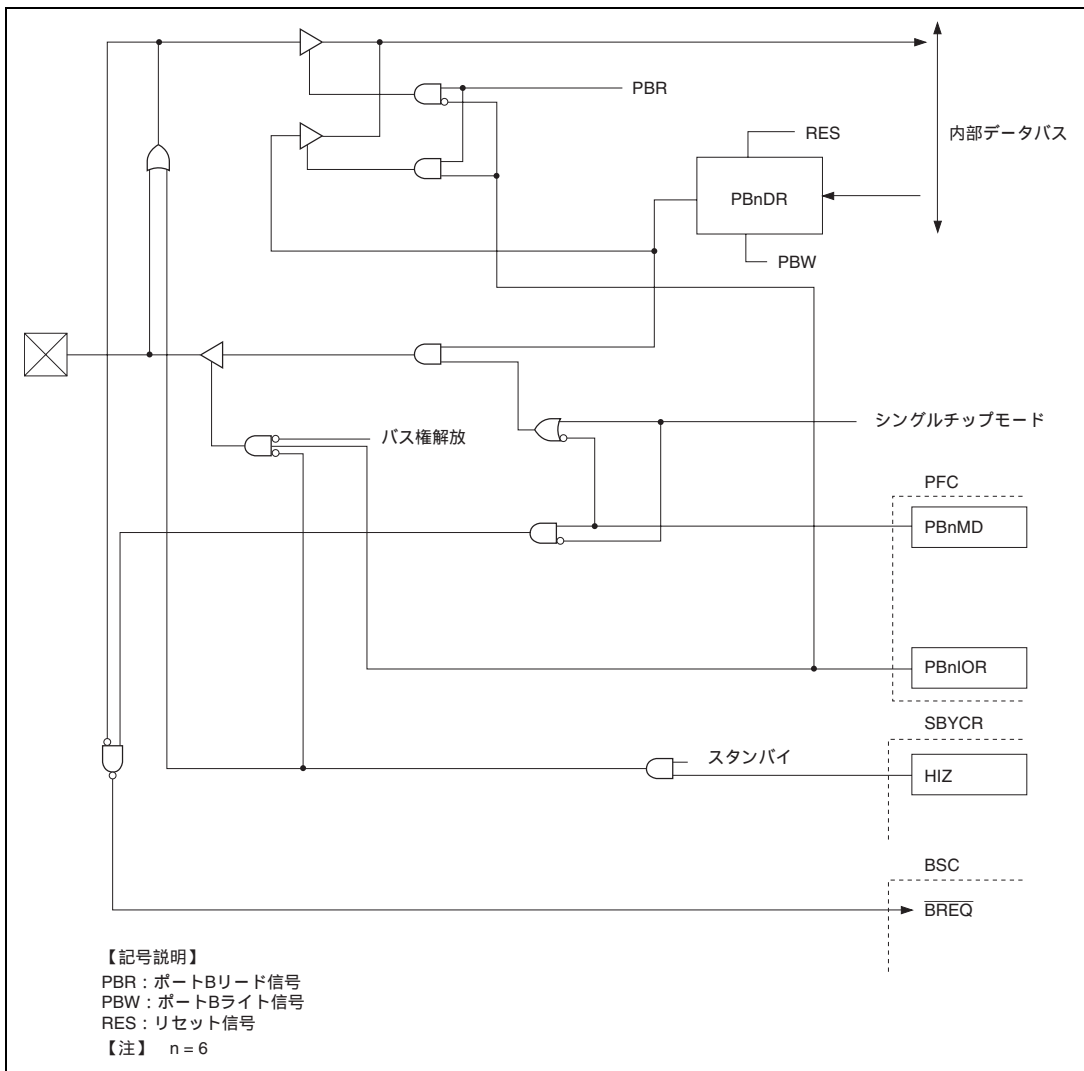


図 C.6 PB6/BREQ ブロック図

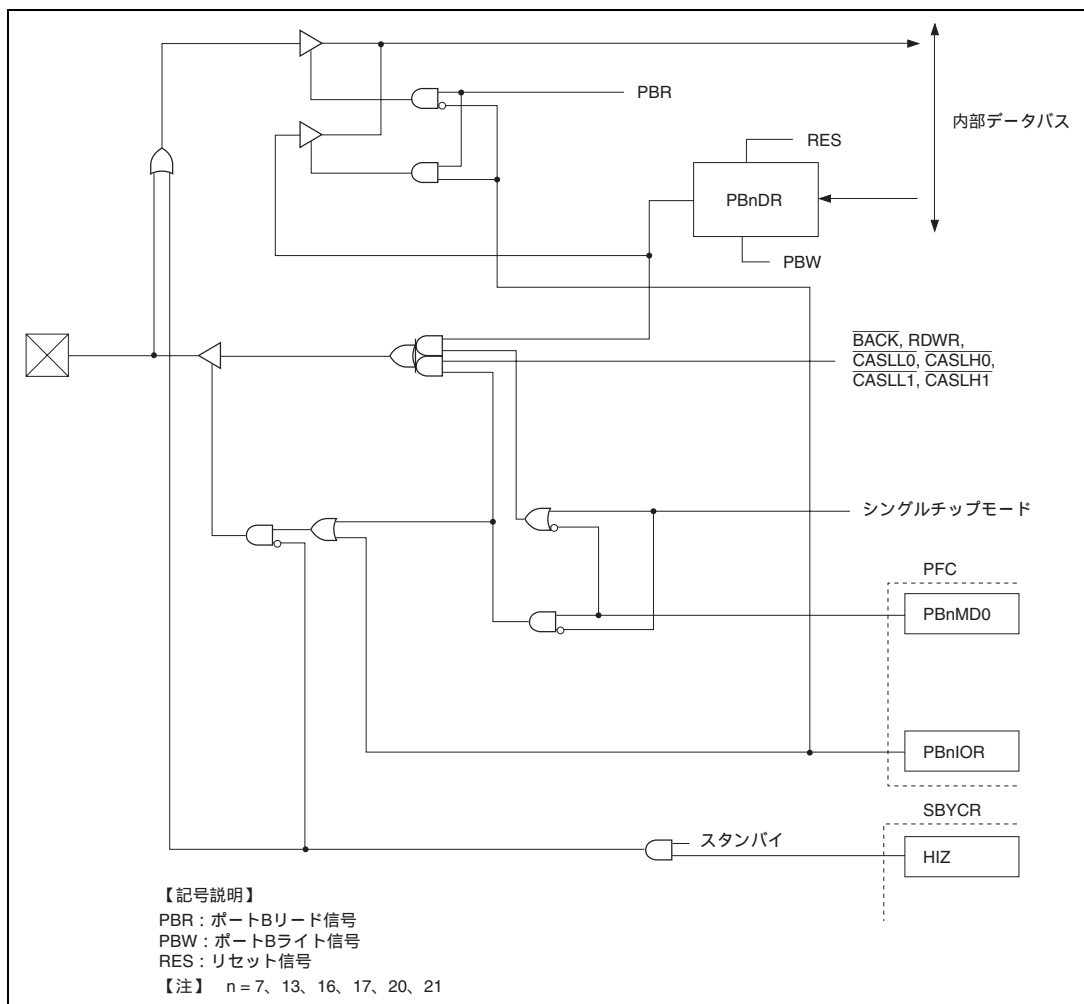


図 C.7 PBn/XXXX ブロック図

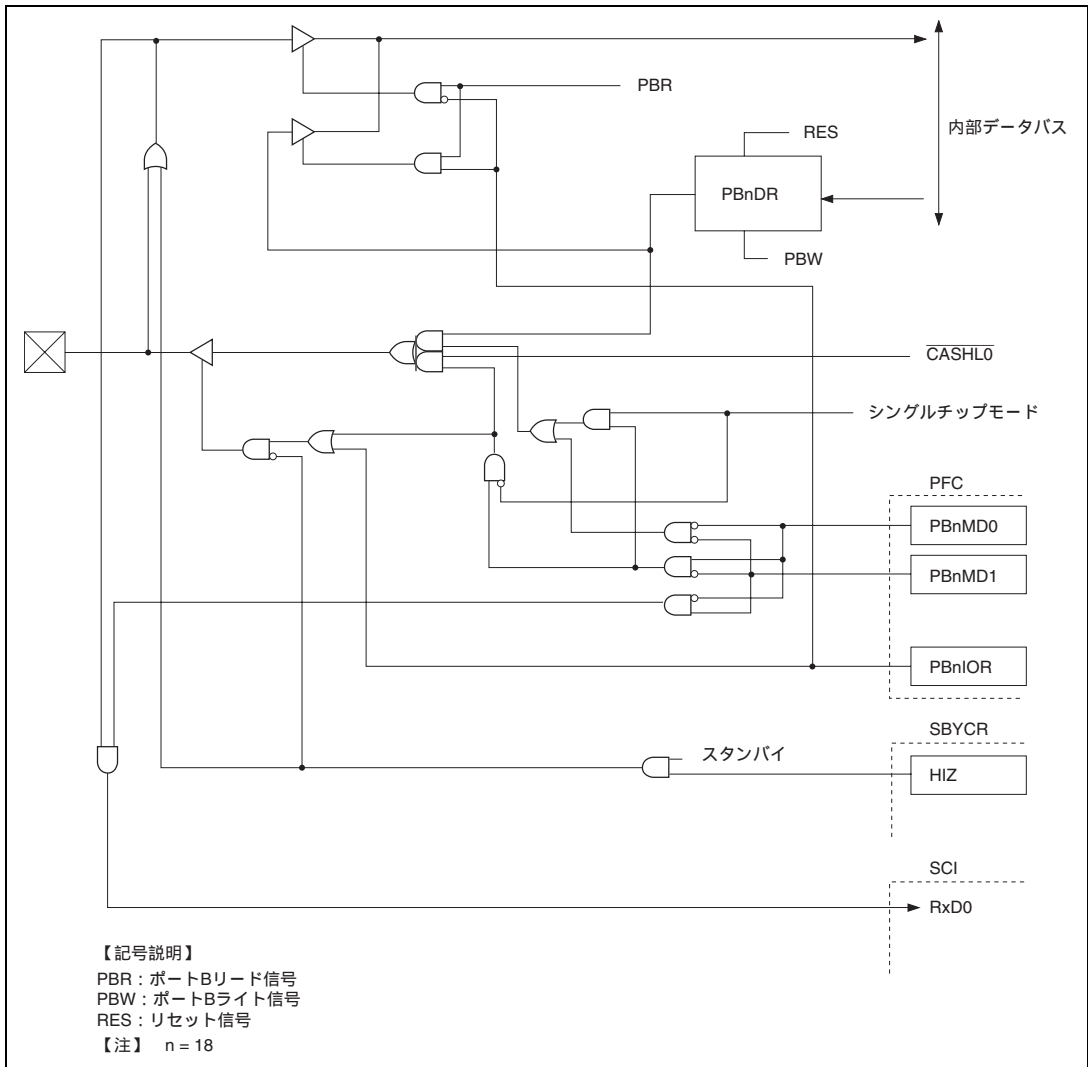


図 C.8 PB18/CASHL0/RxD0 ブロック図

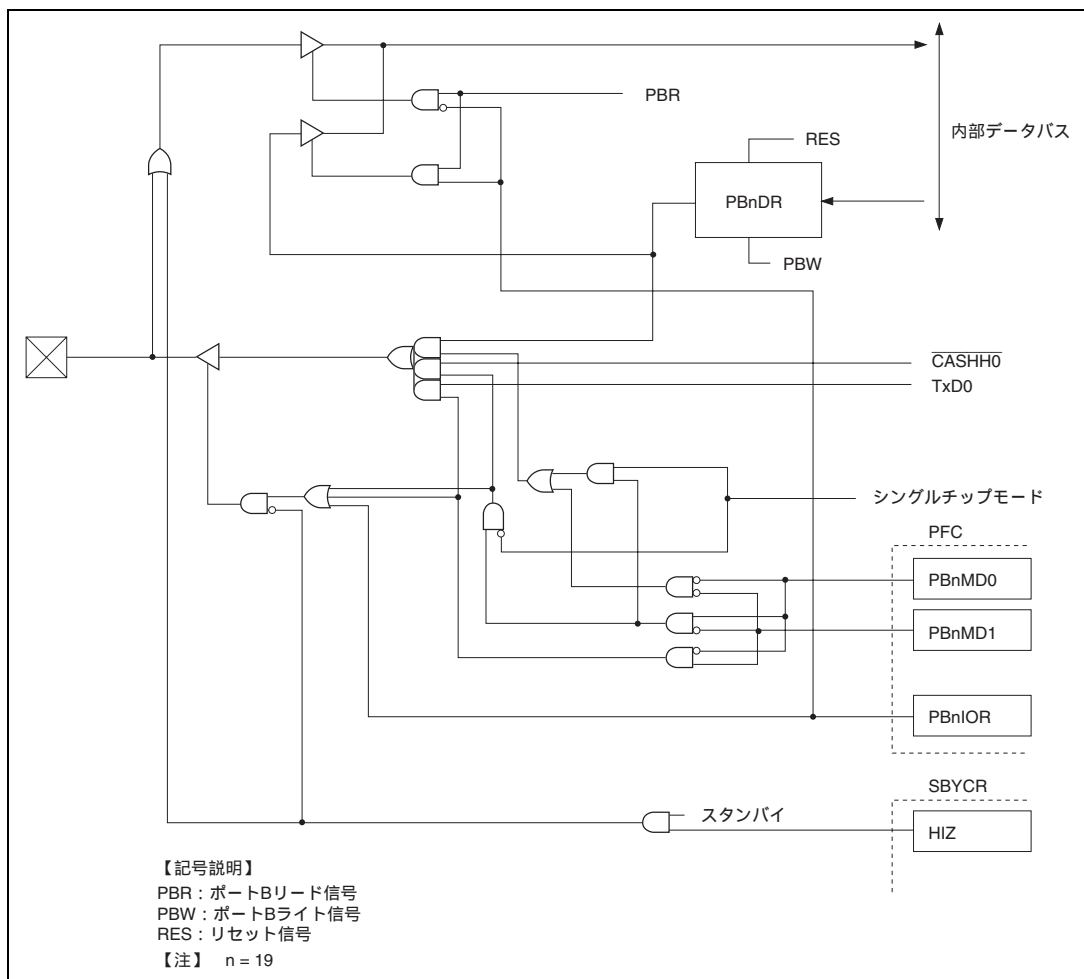


図 C.9 PB19/CASHH0/TxD0 ブロック図

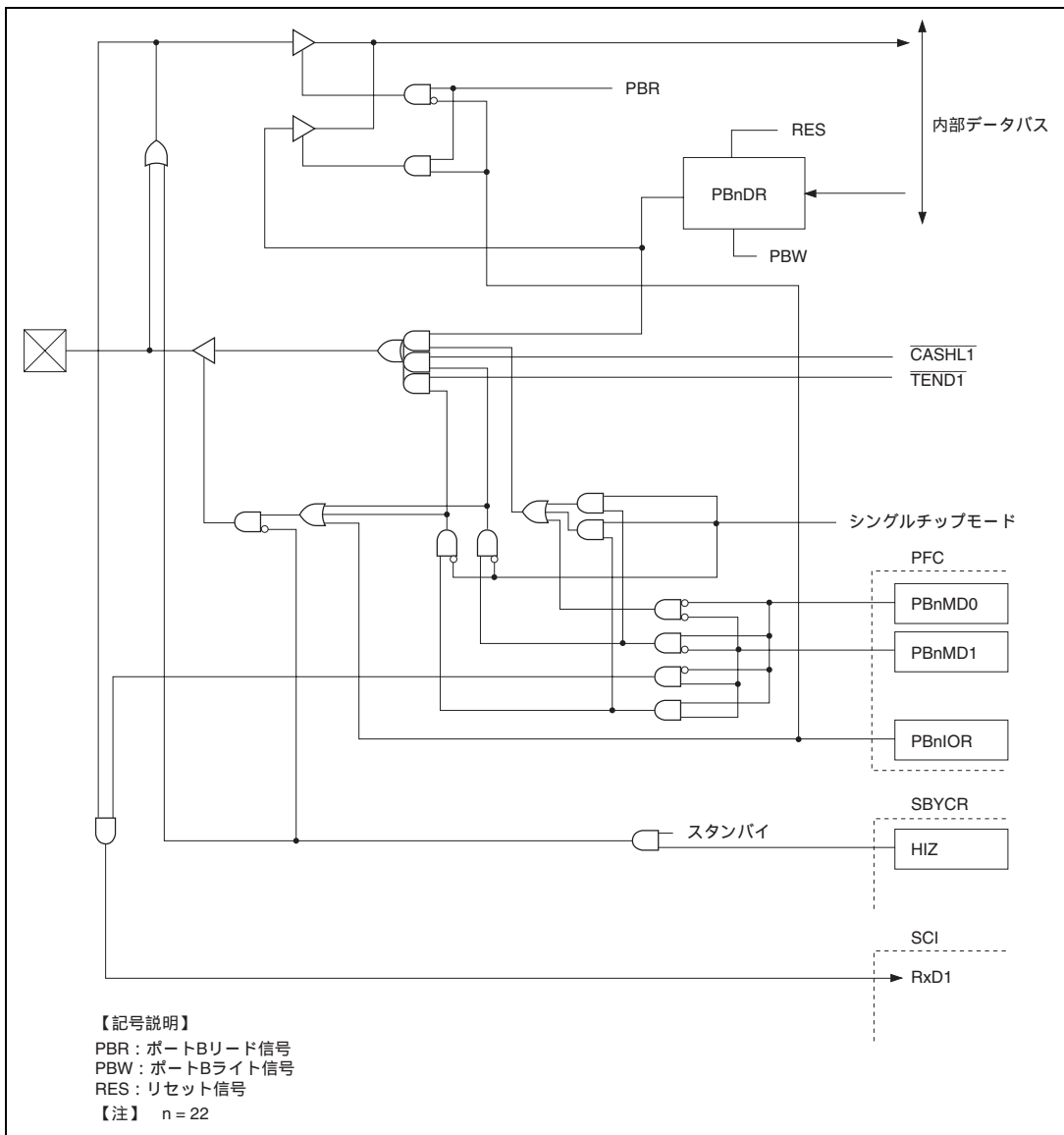


図 C.10 PB22/CASHL1/RxD1/TEND1 ブロック図

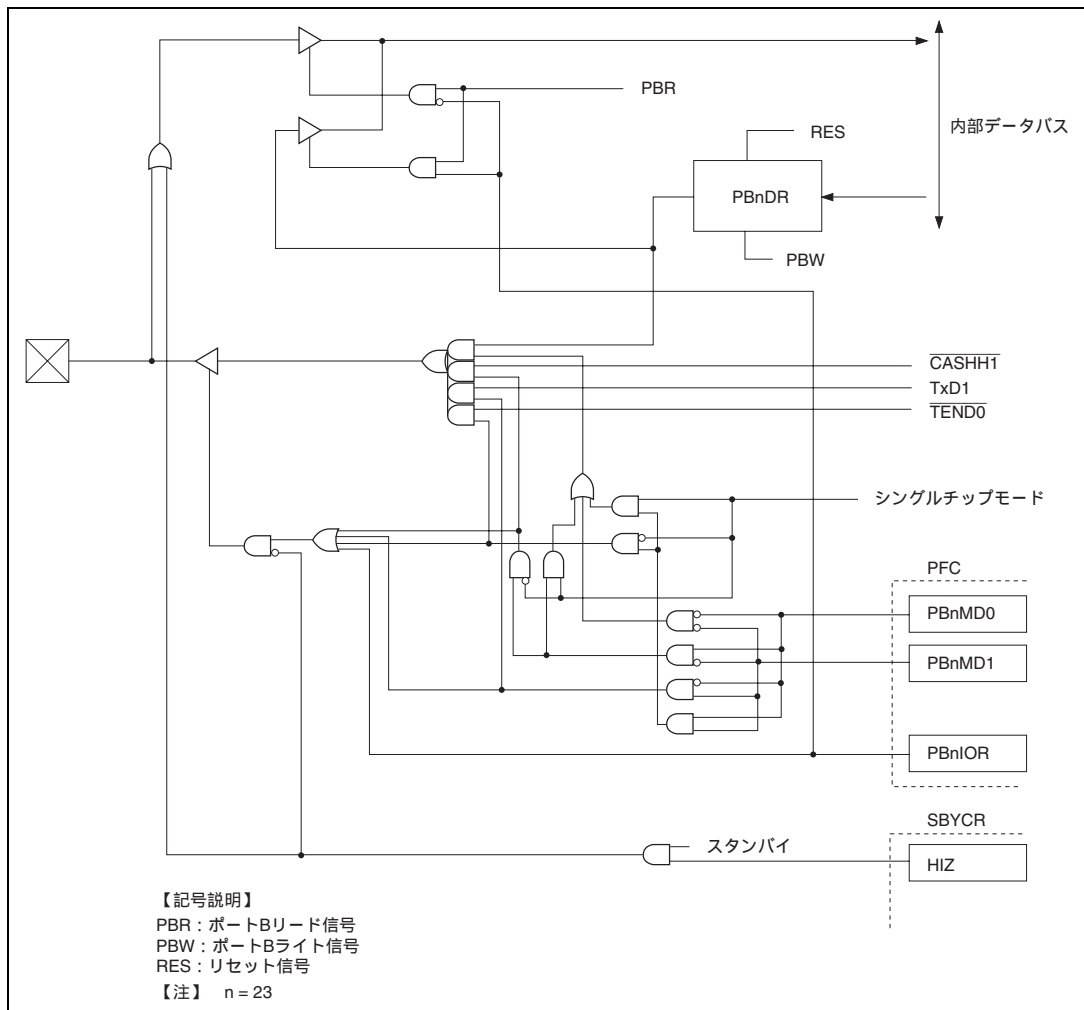


図 C.11 PB23/CASHH1/TxD1/TEND0 ブロック図

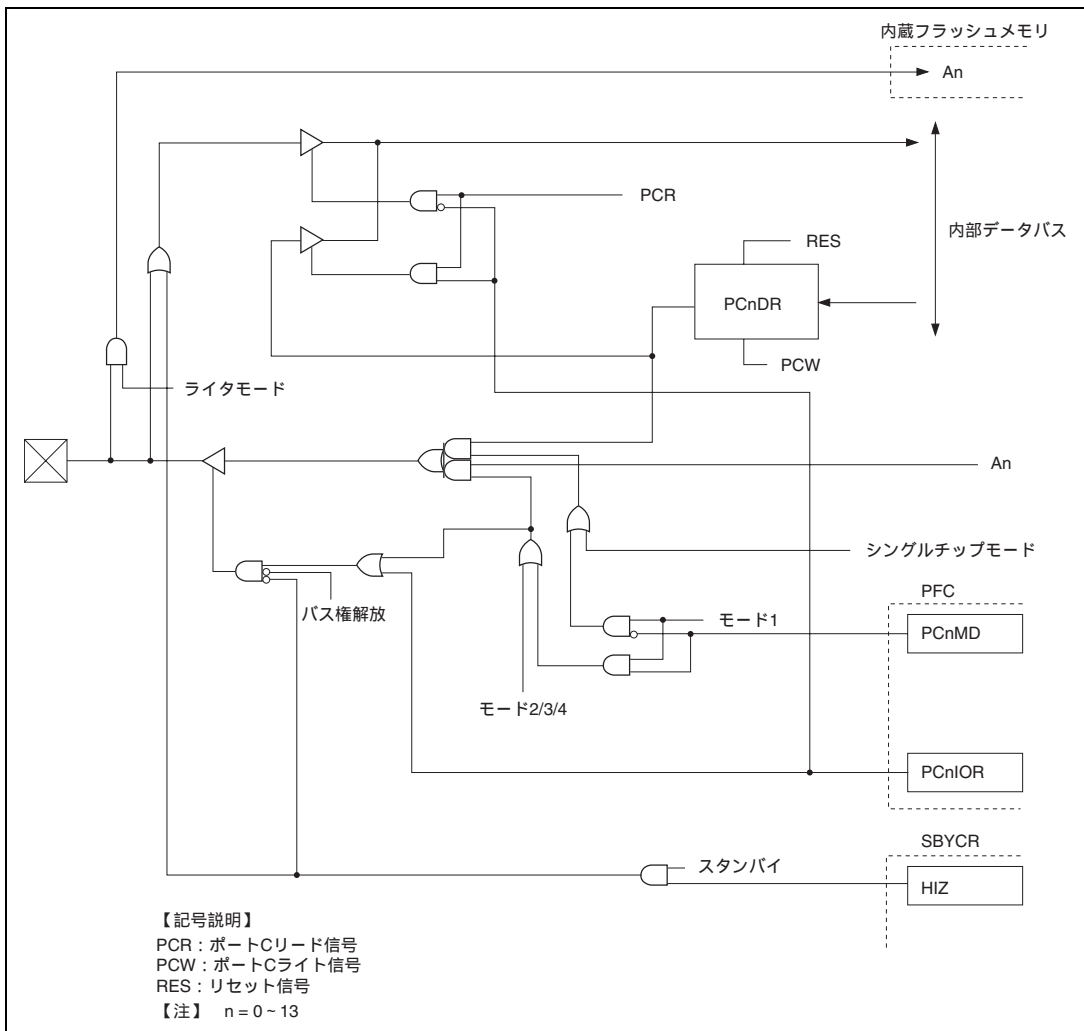


図 C.12 PCn/An ブロック図 (F-ZTAT 版)

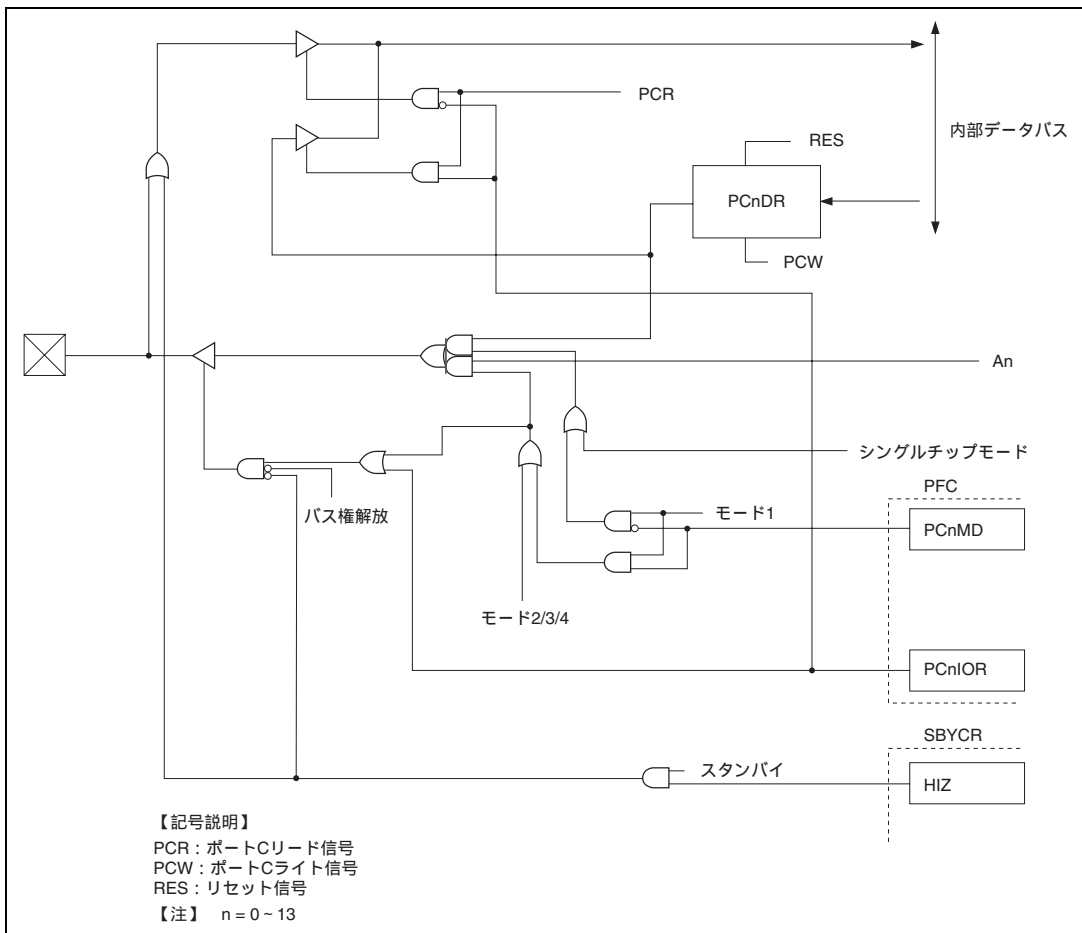


図 C.13 PCn/An ブロック図 (マスク ROM 版)

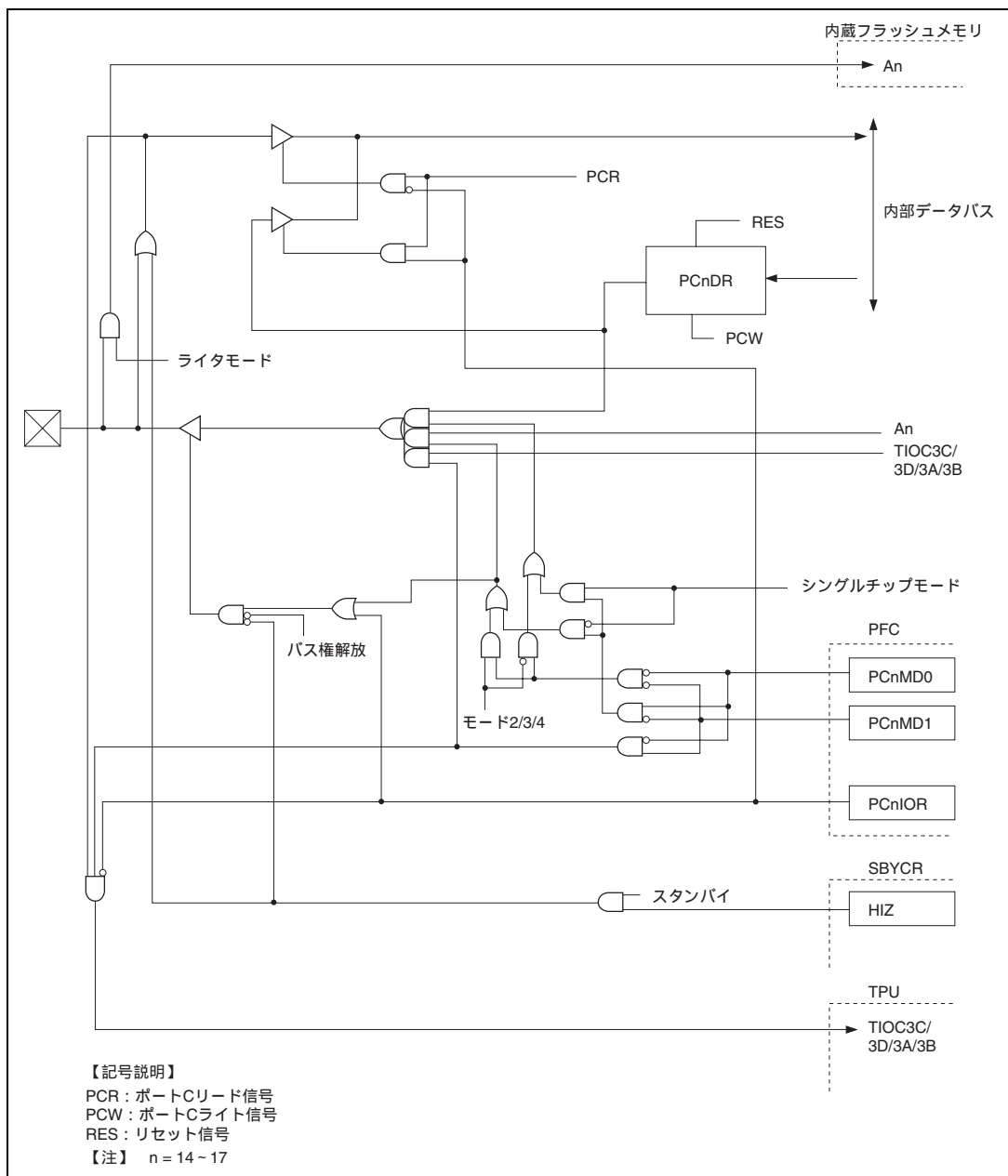


図 C.14 PC14/A14/TIOC3C、PC15/A15/TIOC3D、PC16/A16/TIOC3A、PC17/A17/TIOC3B
ブロック図 (F-ZTAT 版)

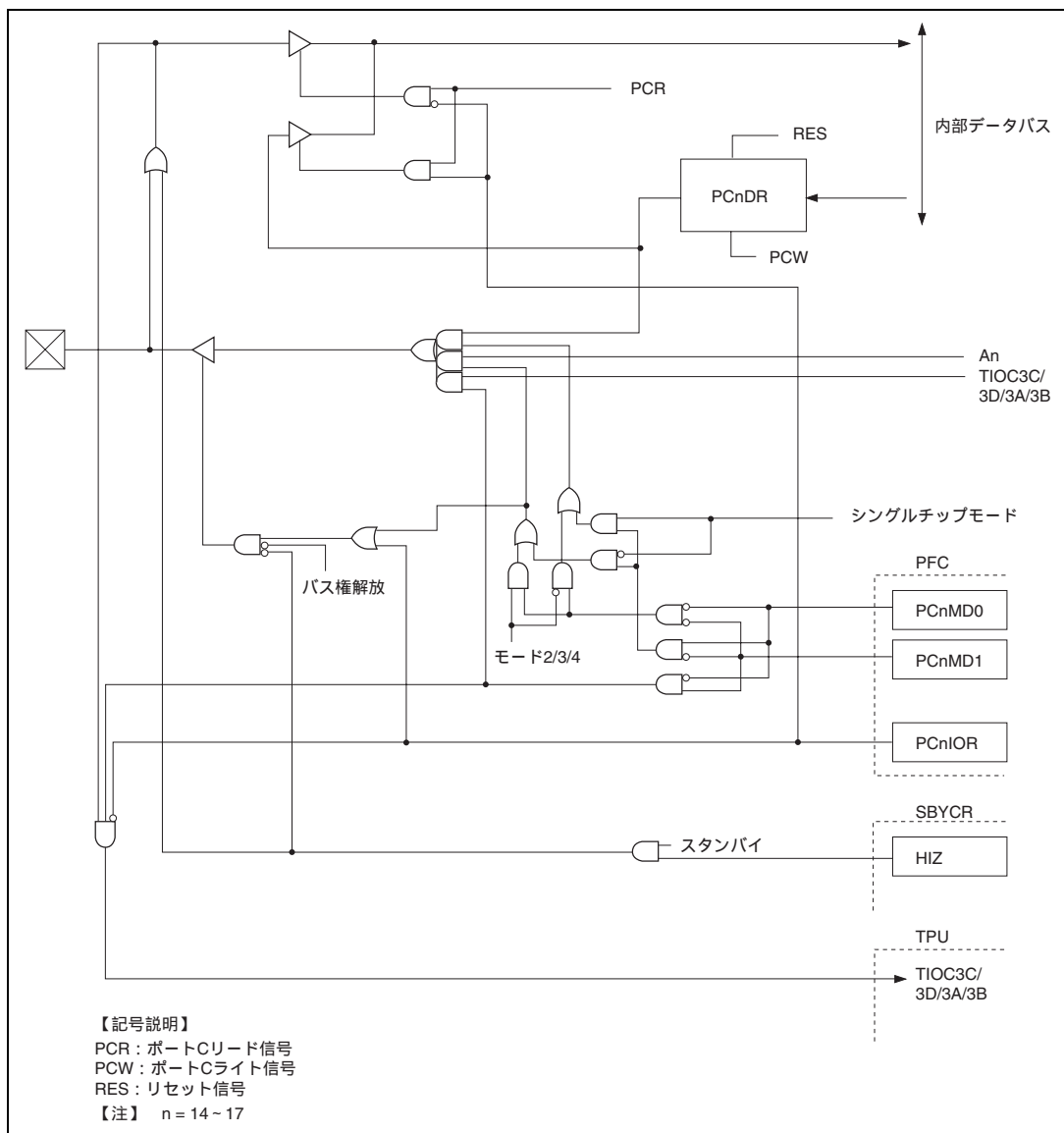


図 C.15 PC14/A14/TIOC3C、PC15/A15/TIOC3D、PC16/A16/TIOC3A、PC17/A17/TIOC3B
 ブロック図 (マスク ROM 版)

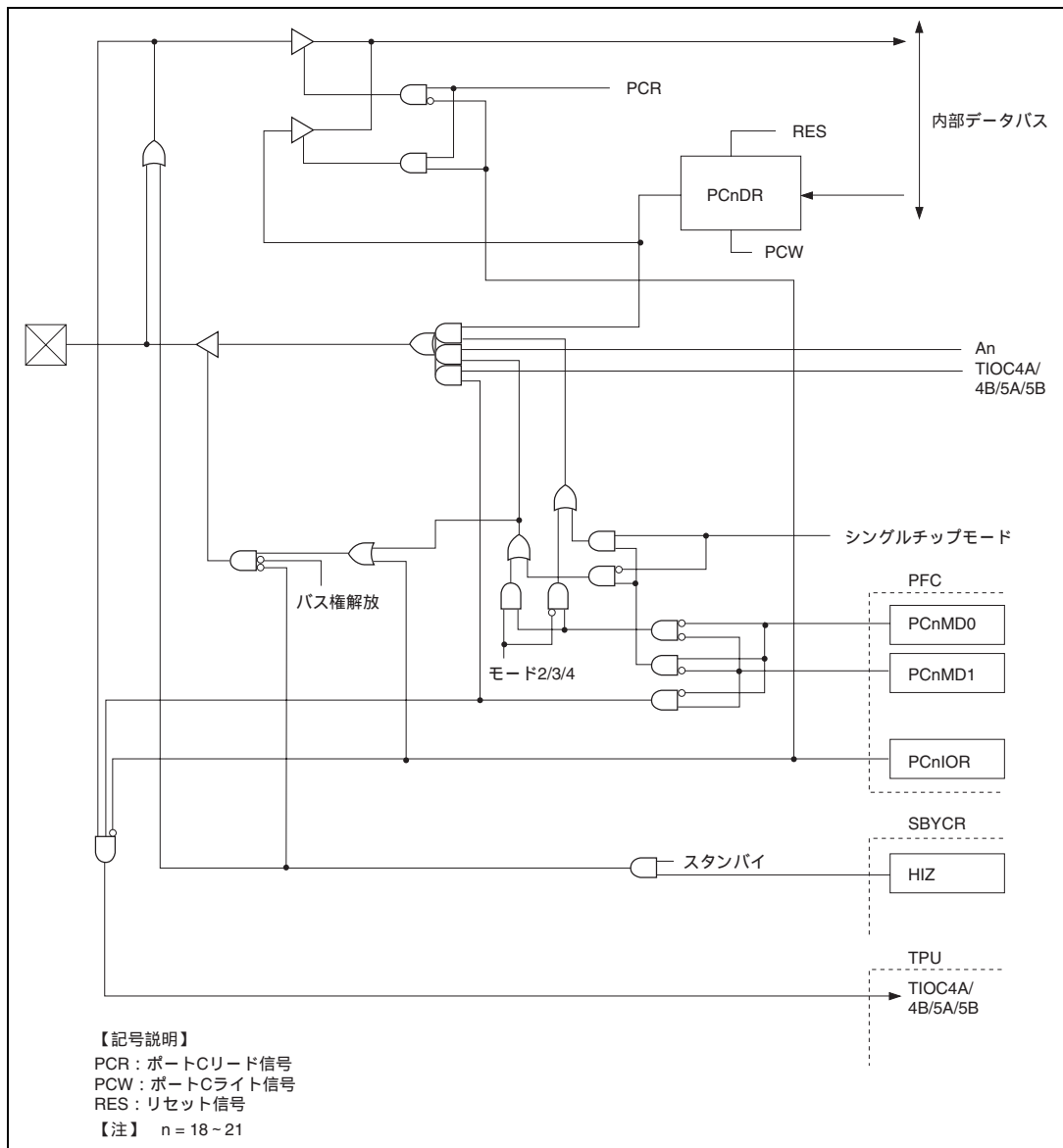


図 C.16 PC18/A18/TIOC4A、PC19/A19/TIOC4B、PC20/A20/TIOC5A、PC21/A21/TIOC5B
ブロック図

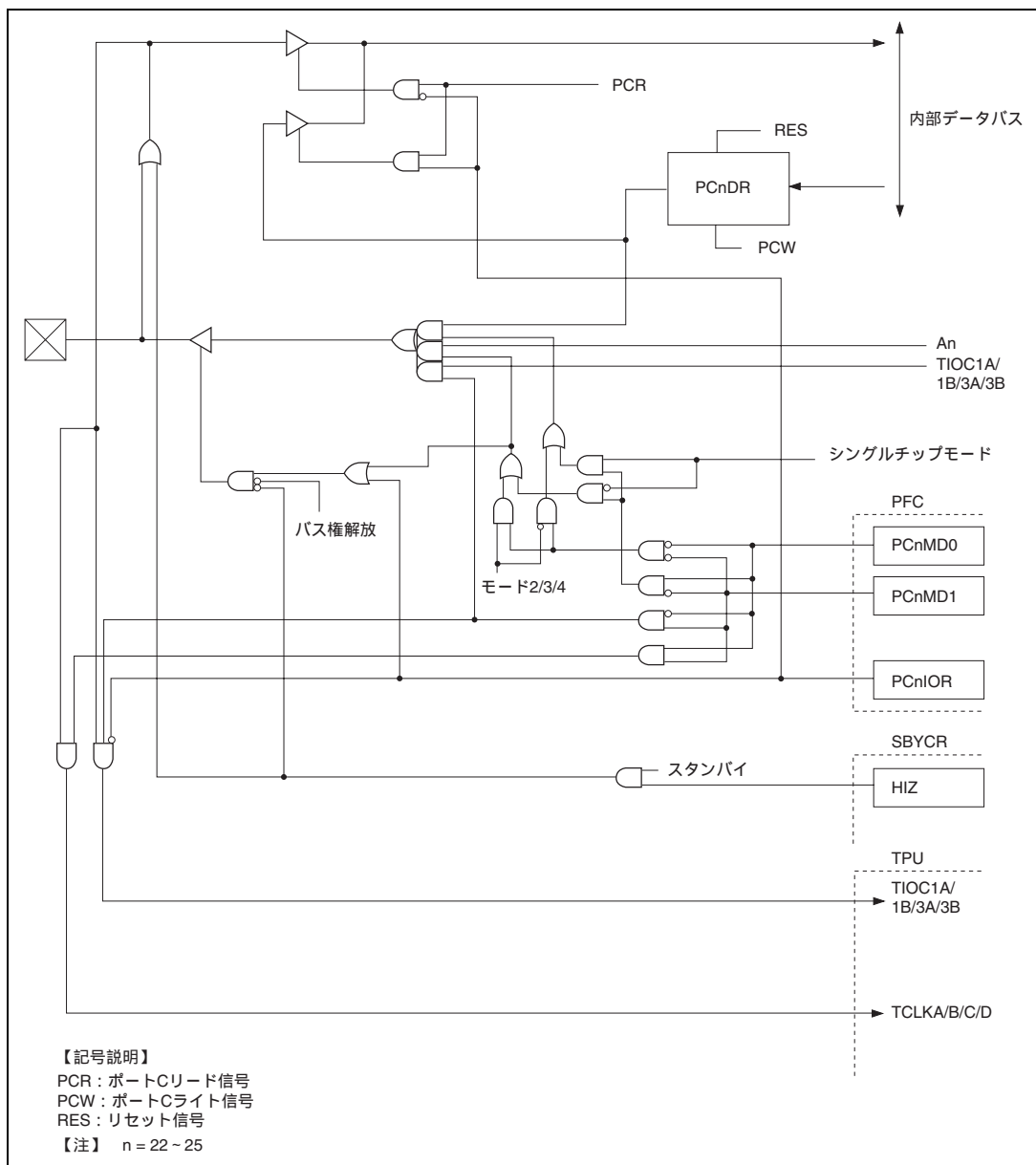


図 C.17 PC22/A22/TIOC1A/TCLKA、PC23/A23/TIOC1B/TCLKB、PC24/A24/TIOC3A/TCLKC、PC25/A25/TIOC3B/TCLKD ブロック図

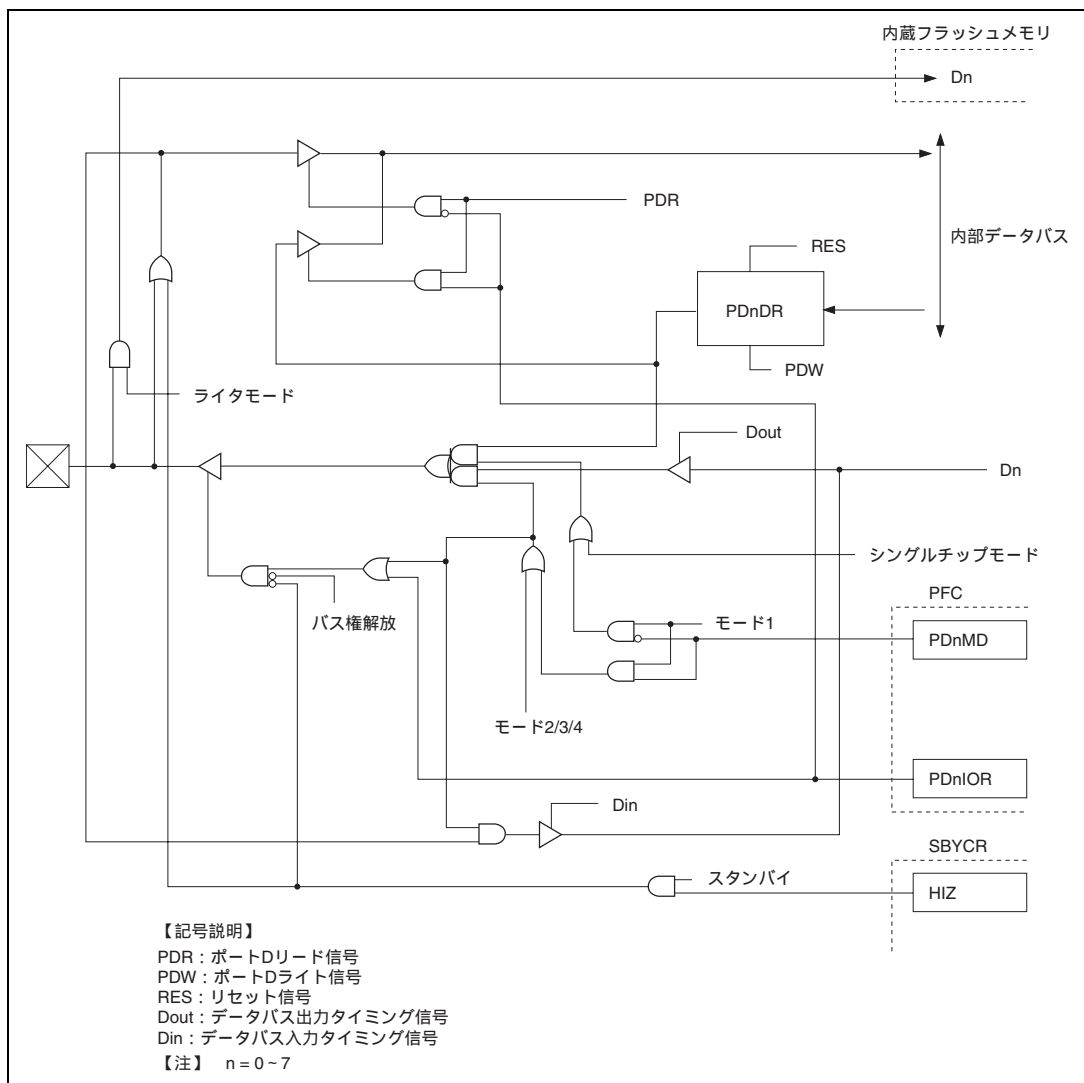


図 C.18 PDn/Dn ブロック図 (F-ZTAT 版)

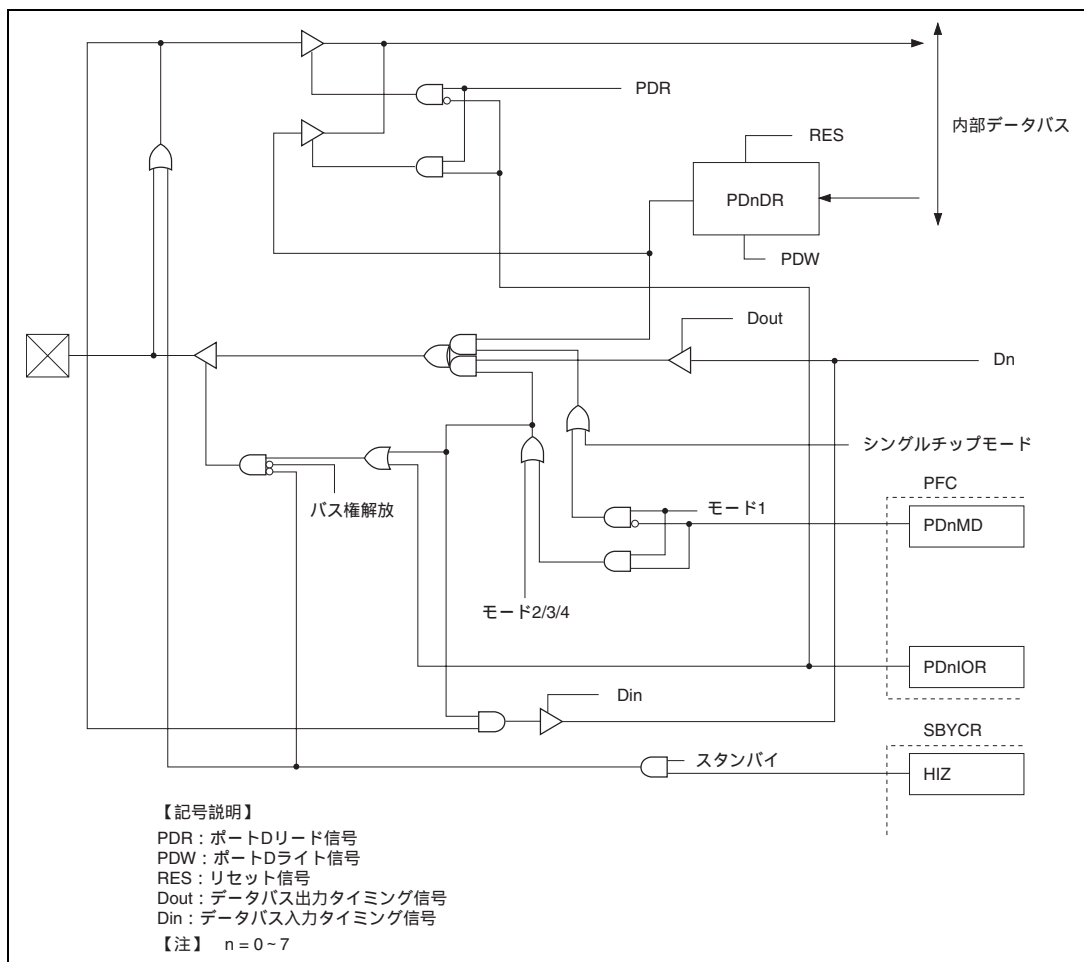


図 C.19 PDn/Dn ブロック図 (マスク ROM 版)

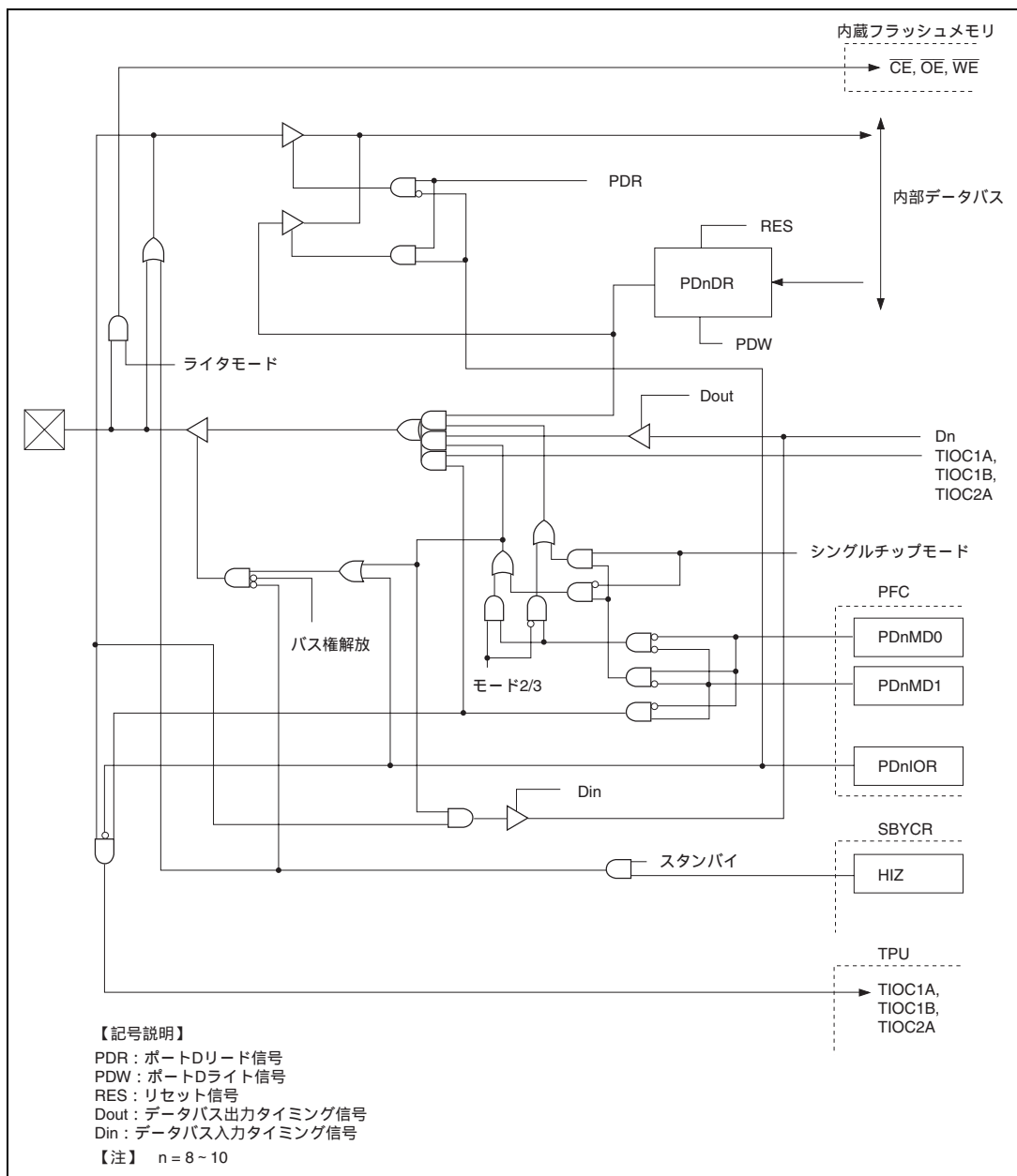


図 C.20 PD8/D8/TIOC1A、PD9/D9/TIOC1B、PD10/D10/TIOC2A ブロック図 (F-ZTAT 版)

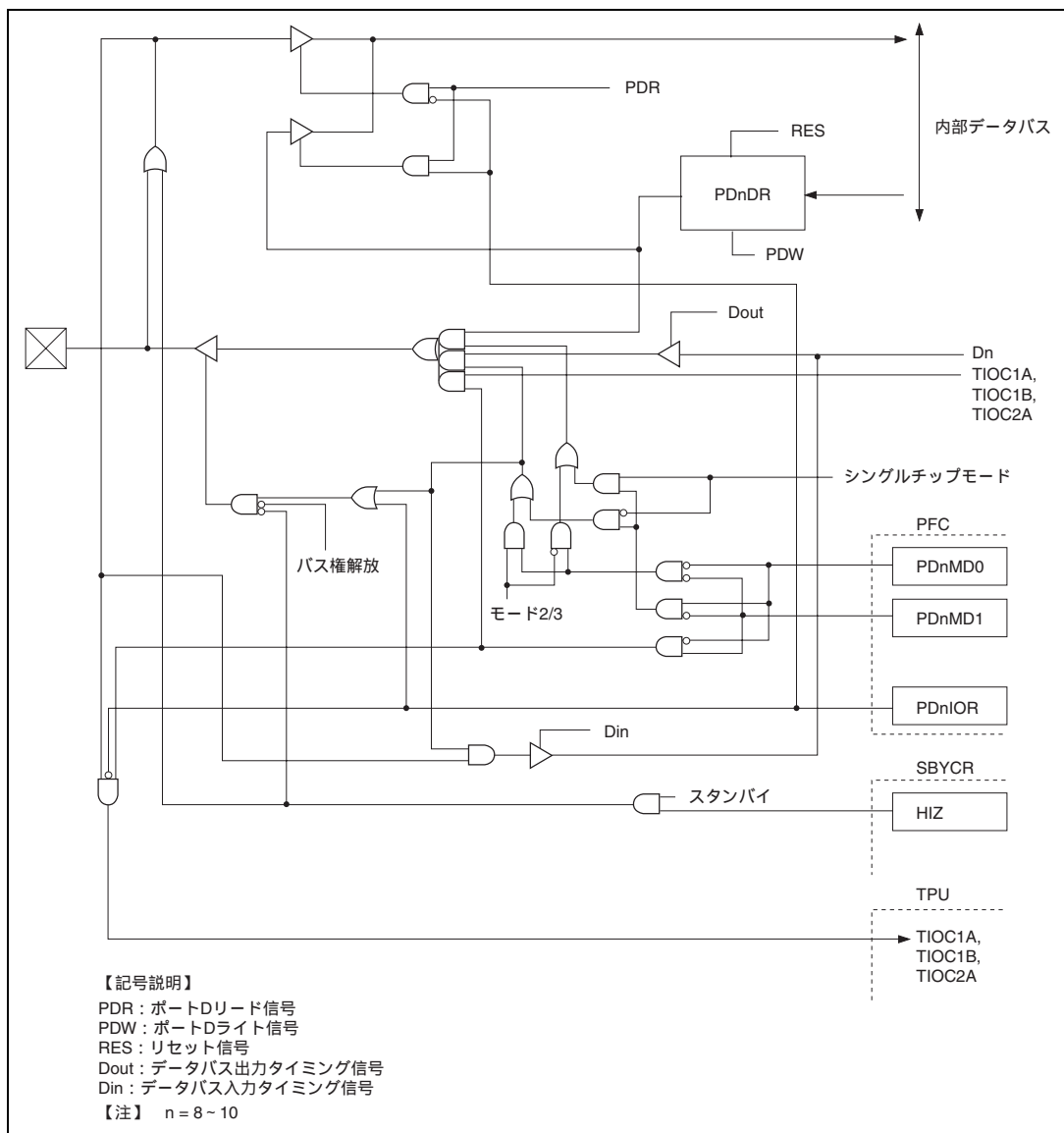


図 C.21 PD8/D8/TIOC1A、PD9/D9/TIOC1B、PD10/D10/TIOC2A ブロック図 (マスク ROM 版)

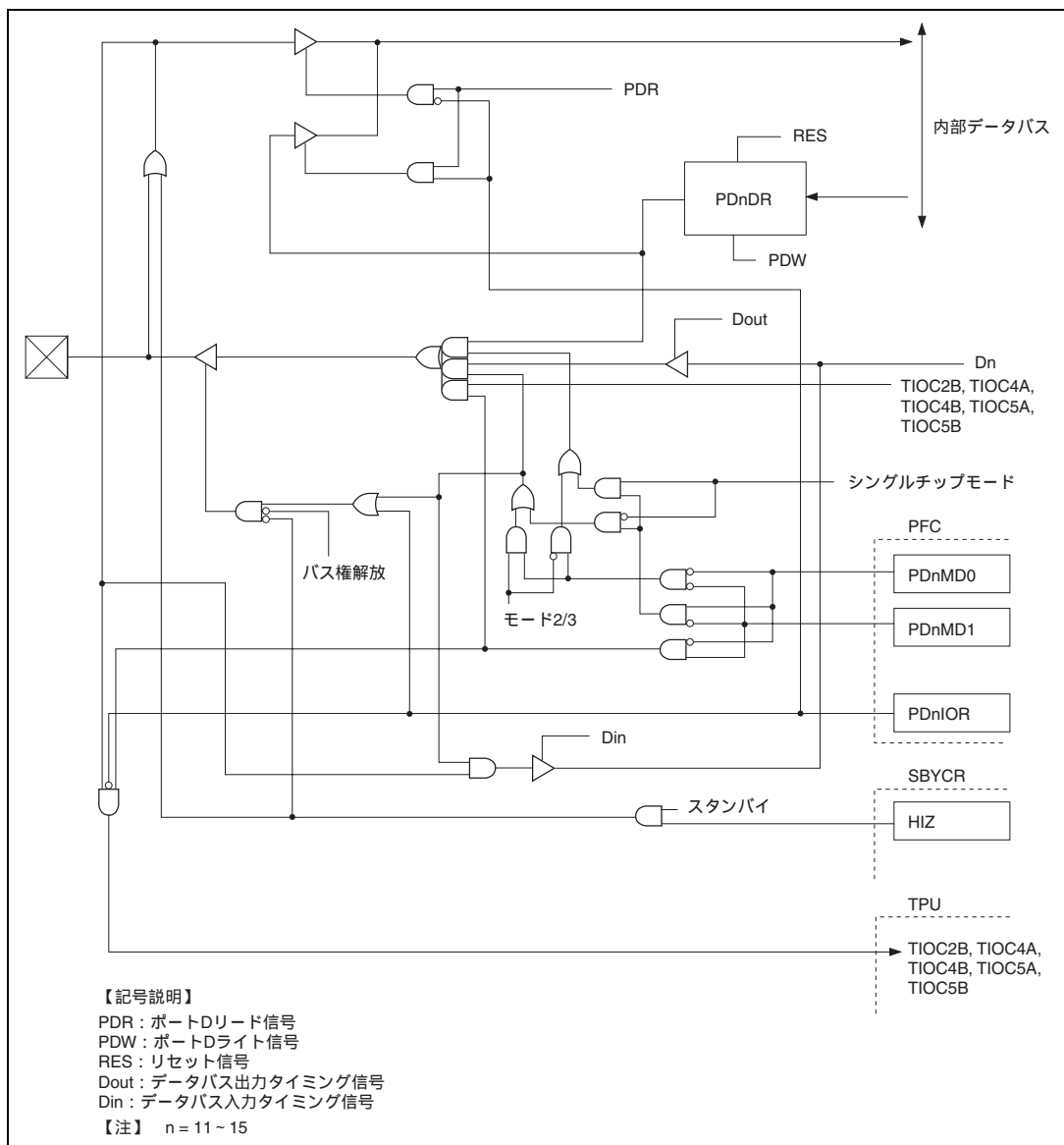


図 C.22 PD11/D11/TIOC2B、PD12/D12/TIOC4A、PD13/D13/TIOC4B、PD14/D14/TIOC5A、PD15/D15/TIOC5B ブロック図

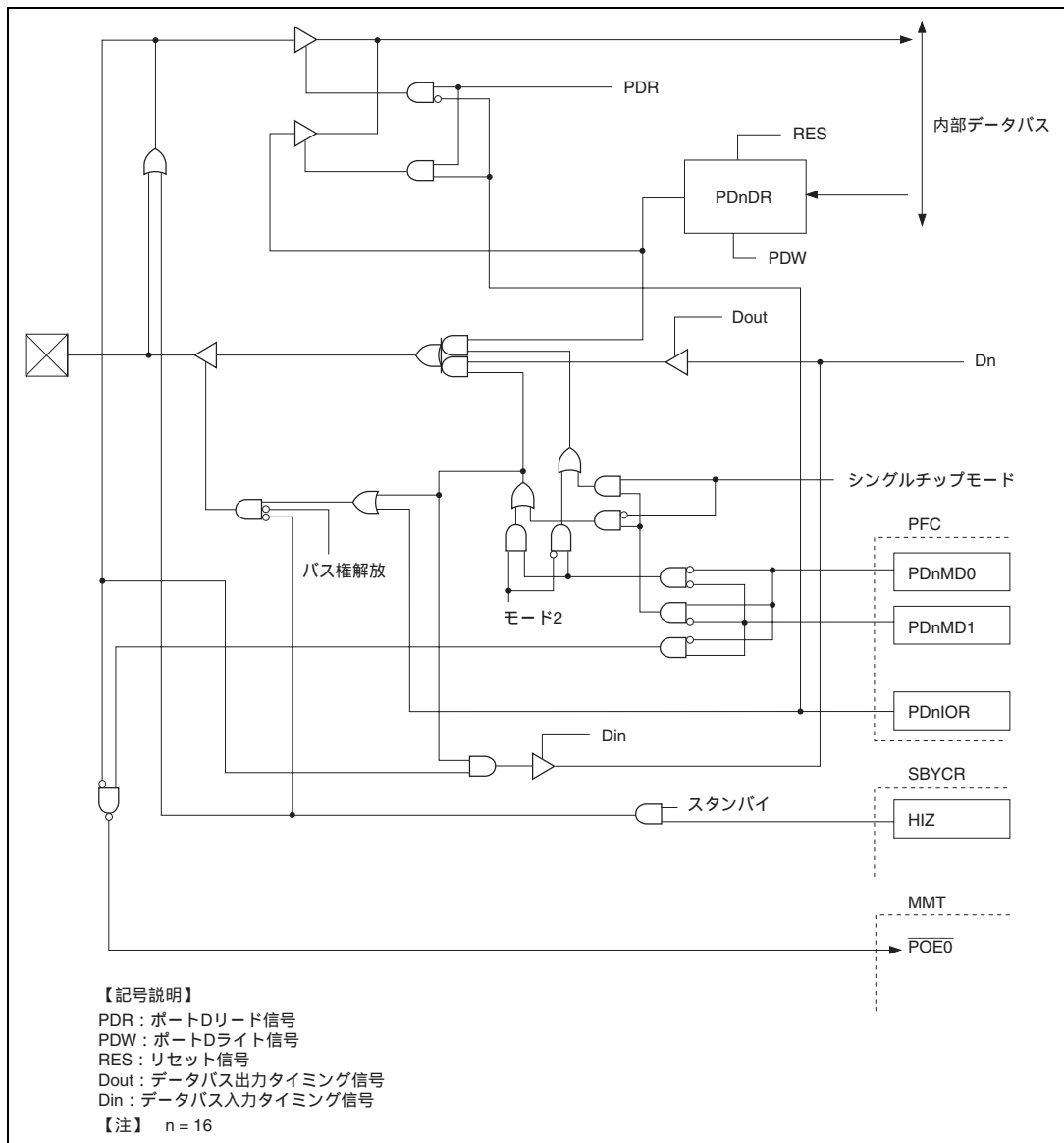


図 C.23 PD16/D16/POE0 ブロック図

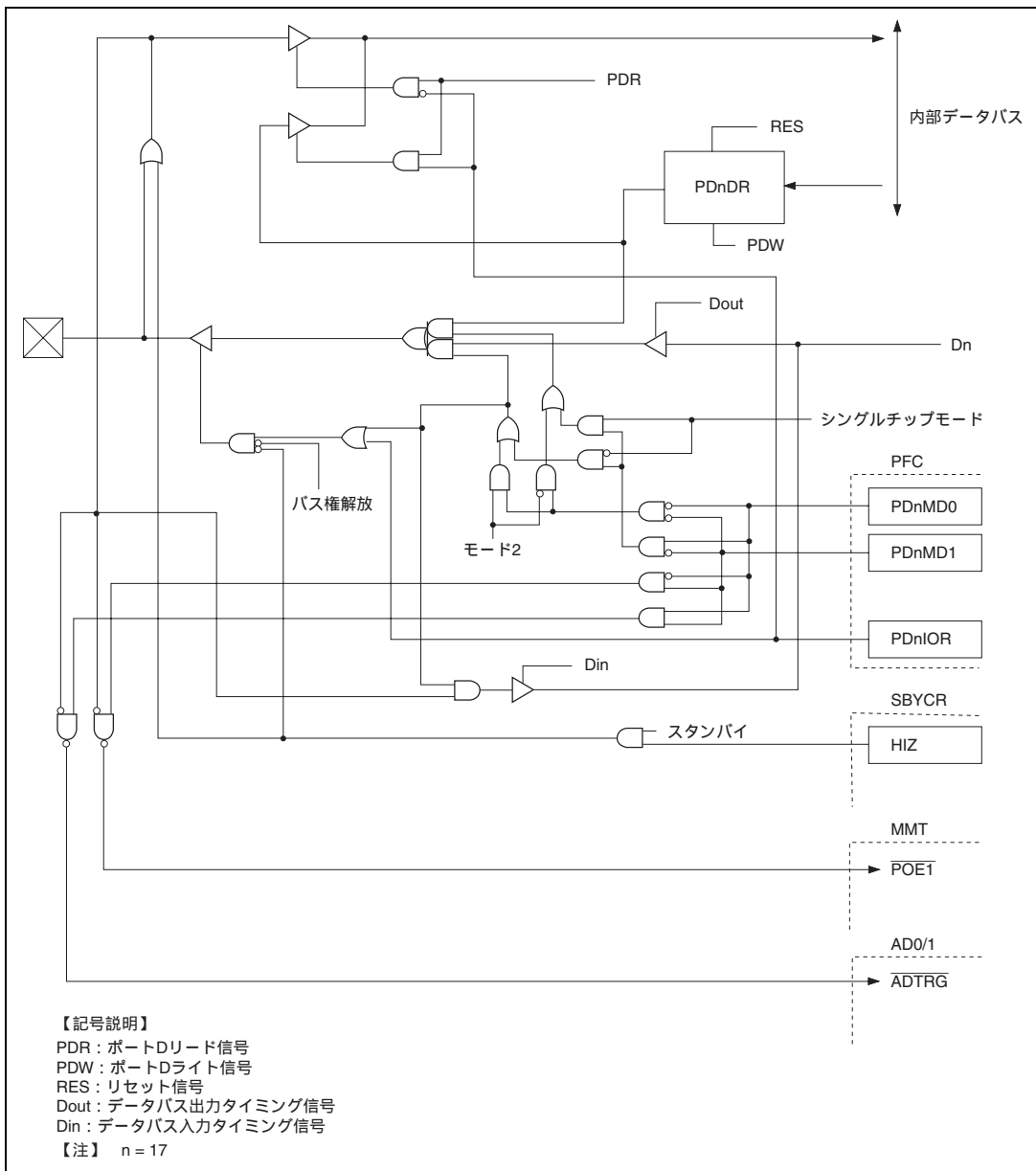


図 C.24 PD17/D17/POE1/ADTRG ブロック図

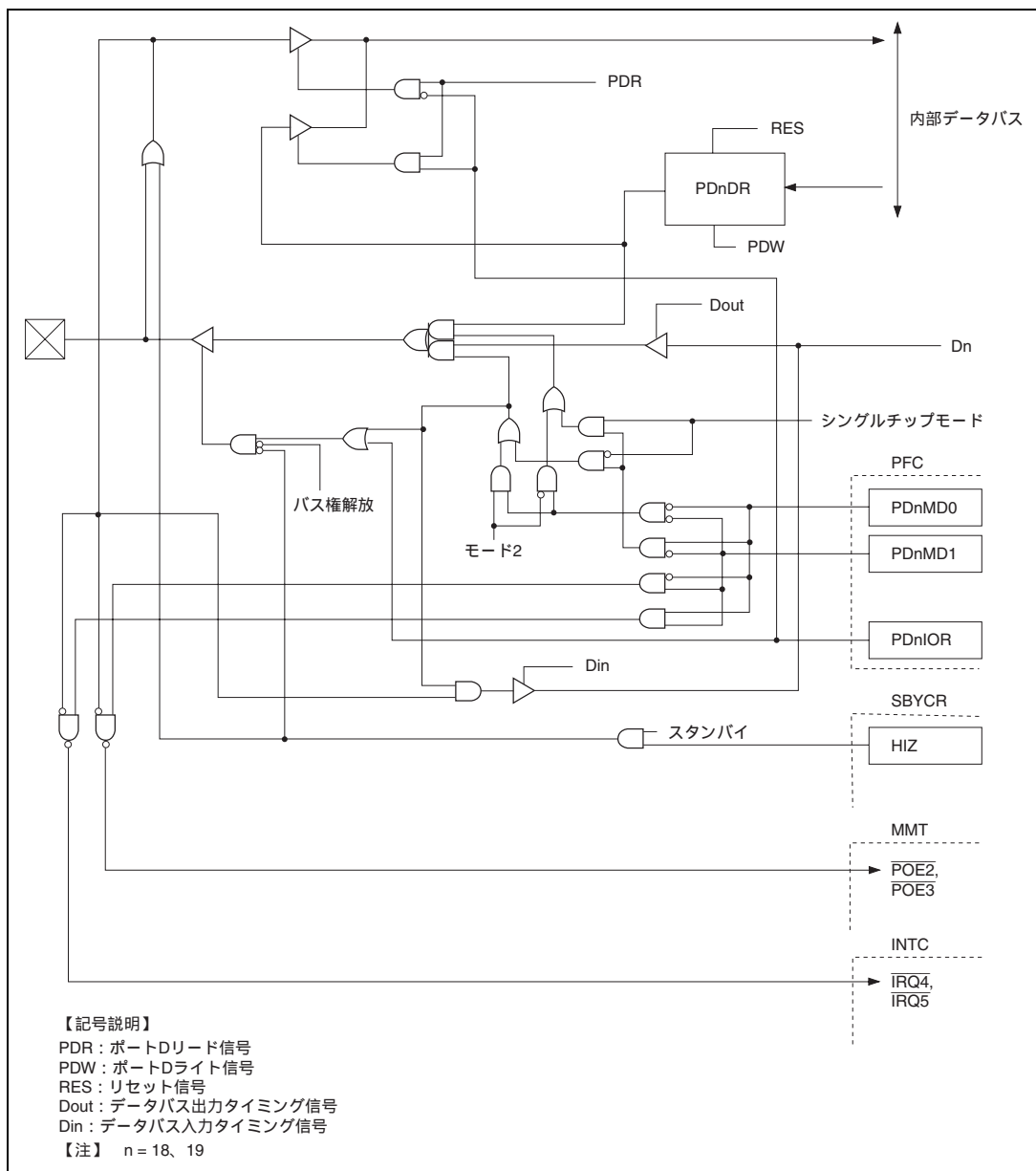


図 C.25 PD18/D18/POE2/IRQ4、PD19/D19/POE3/IRQ5 ブロック図

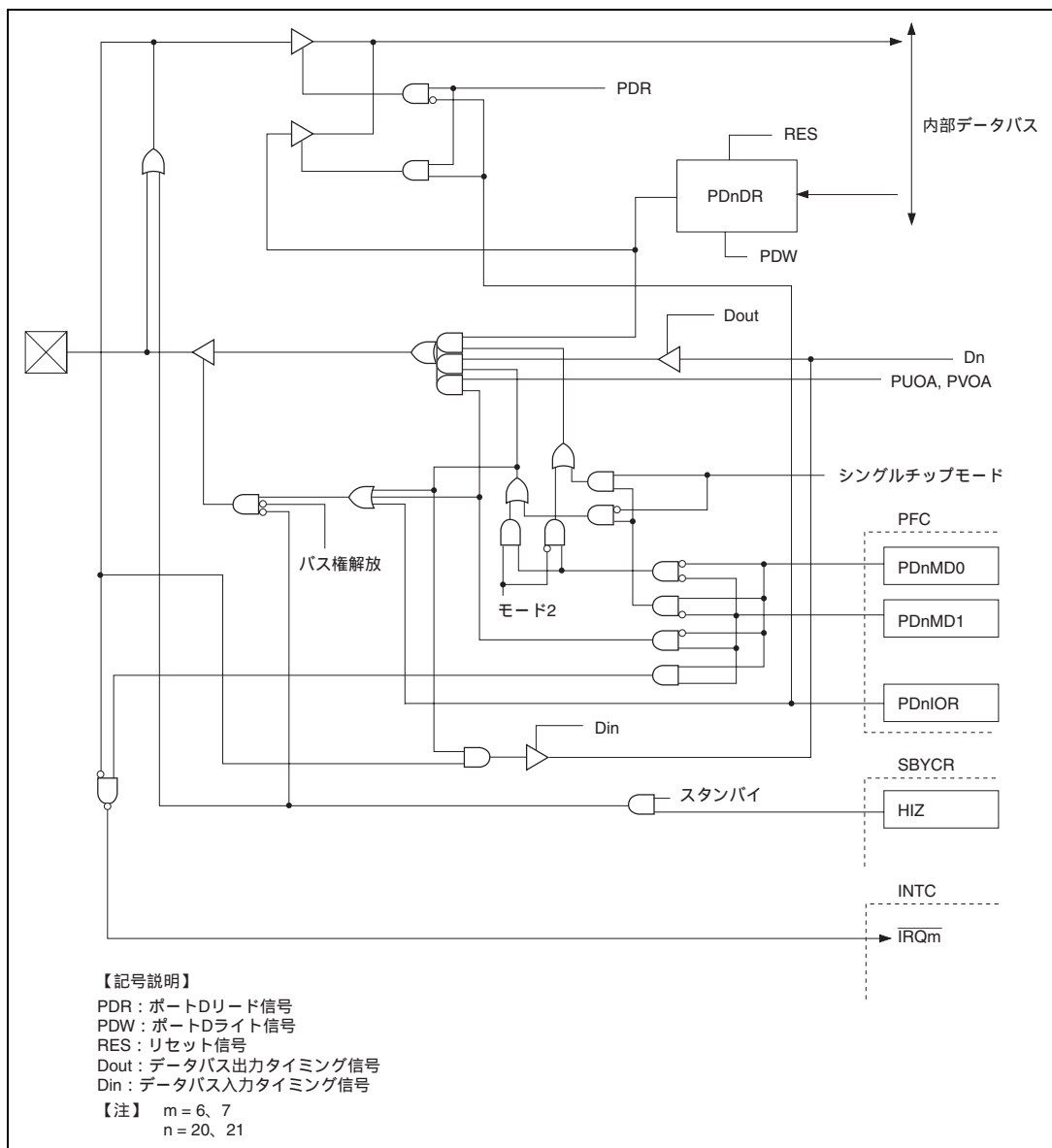


図 C.26 PD20/D20/PUOA/IRQ6、PD21/D21/PVOA/IRQ7 ブロック図

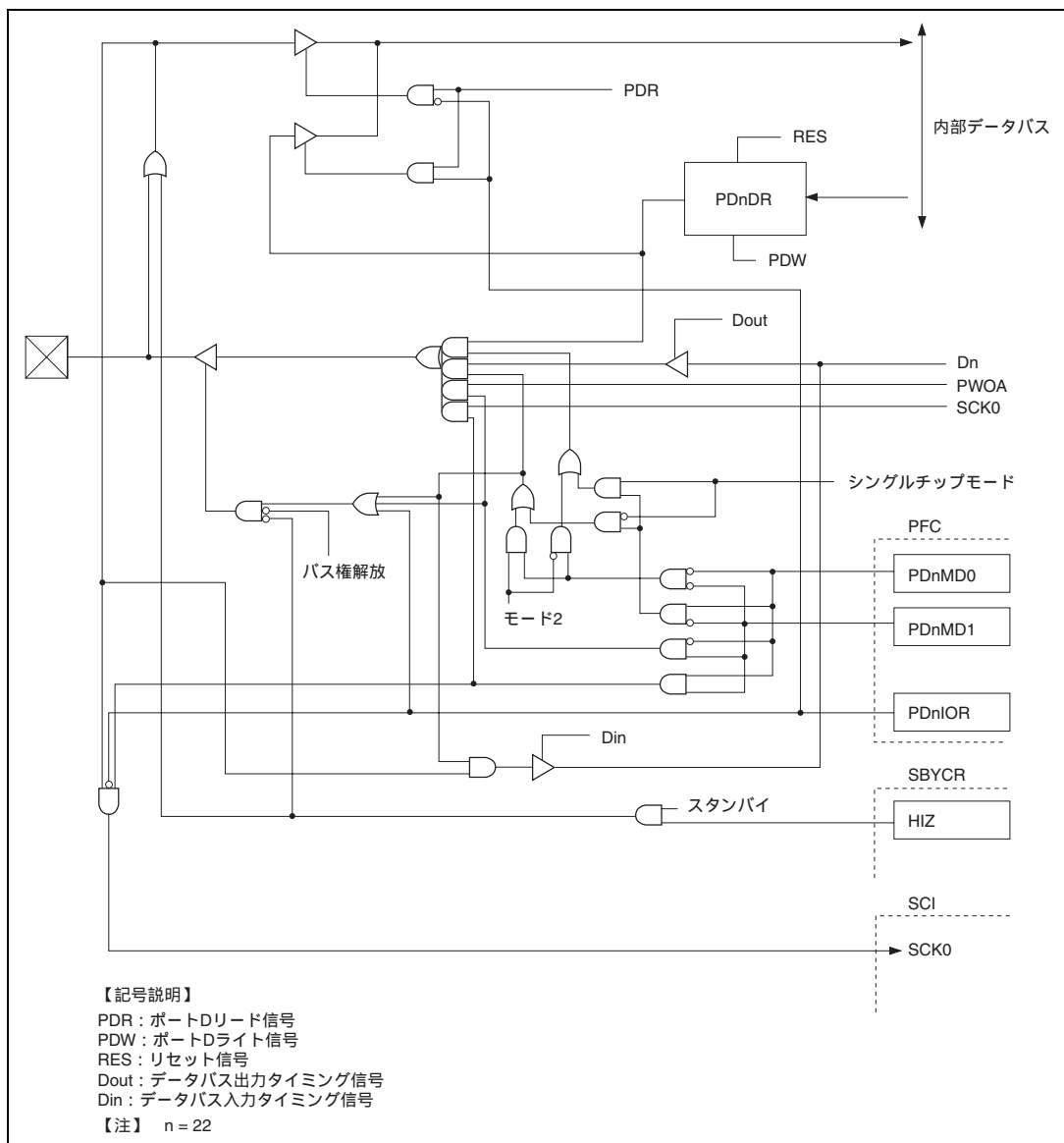


図 C.27 PD22/D22/PWOA/SCK0 ブロック図

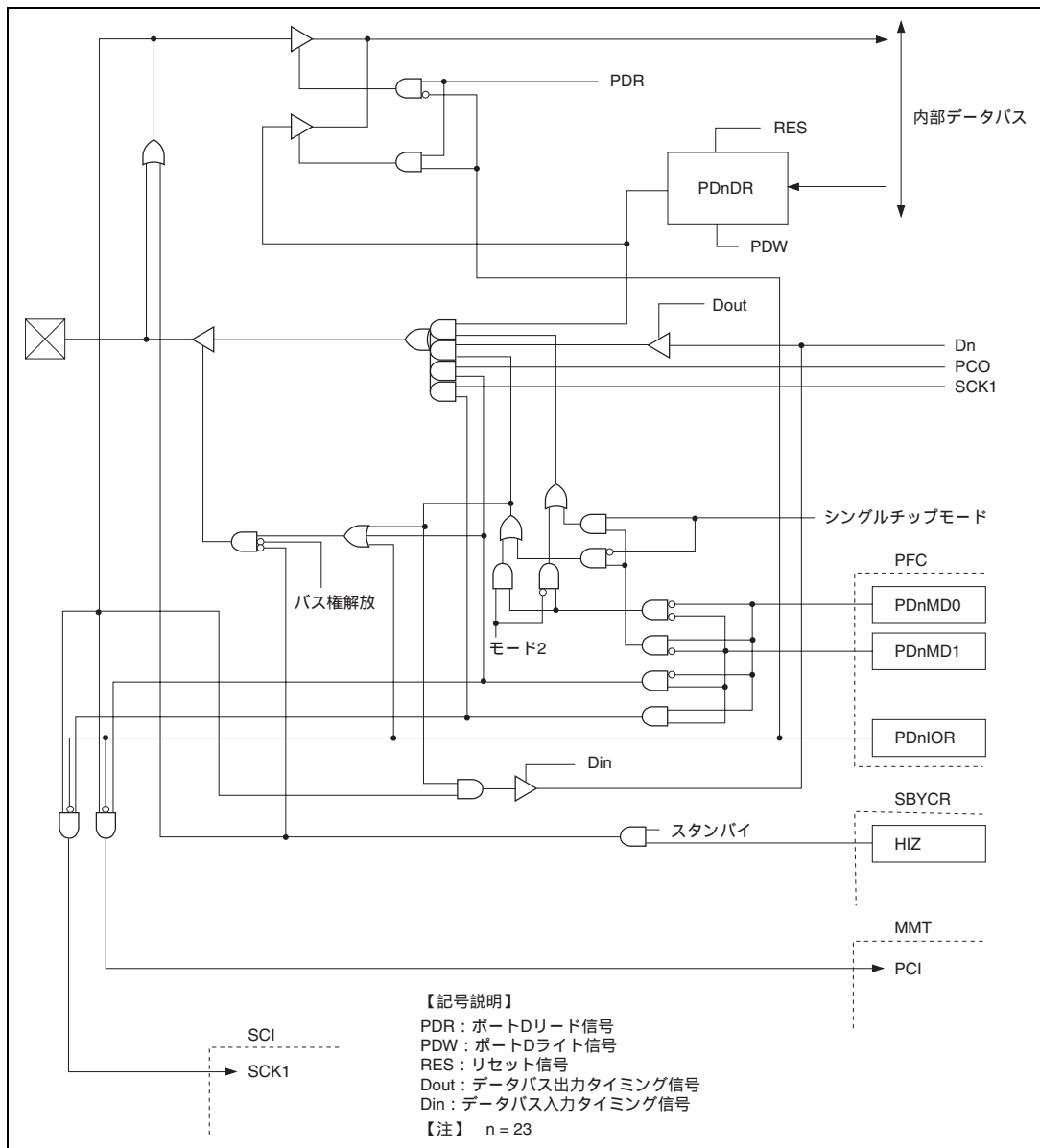


図 C.28 PD23/D23/PCO/PCI/SCK1 ブロック図

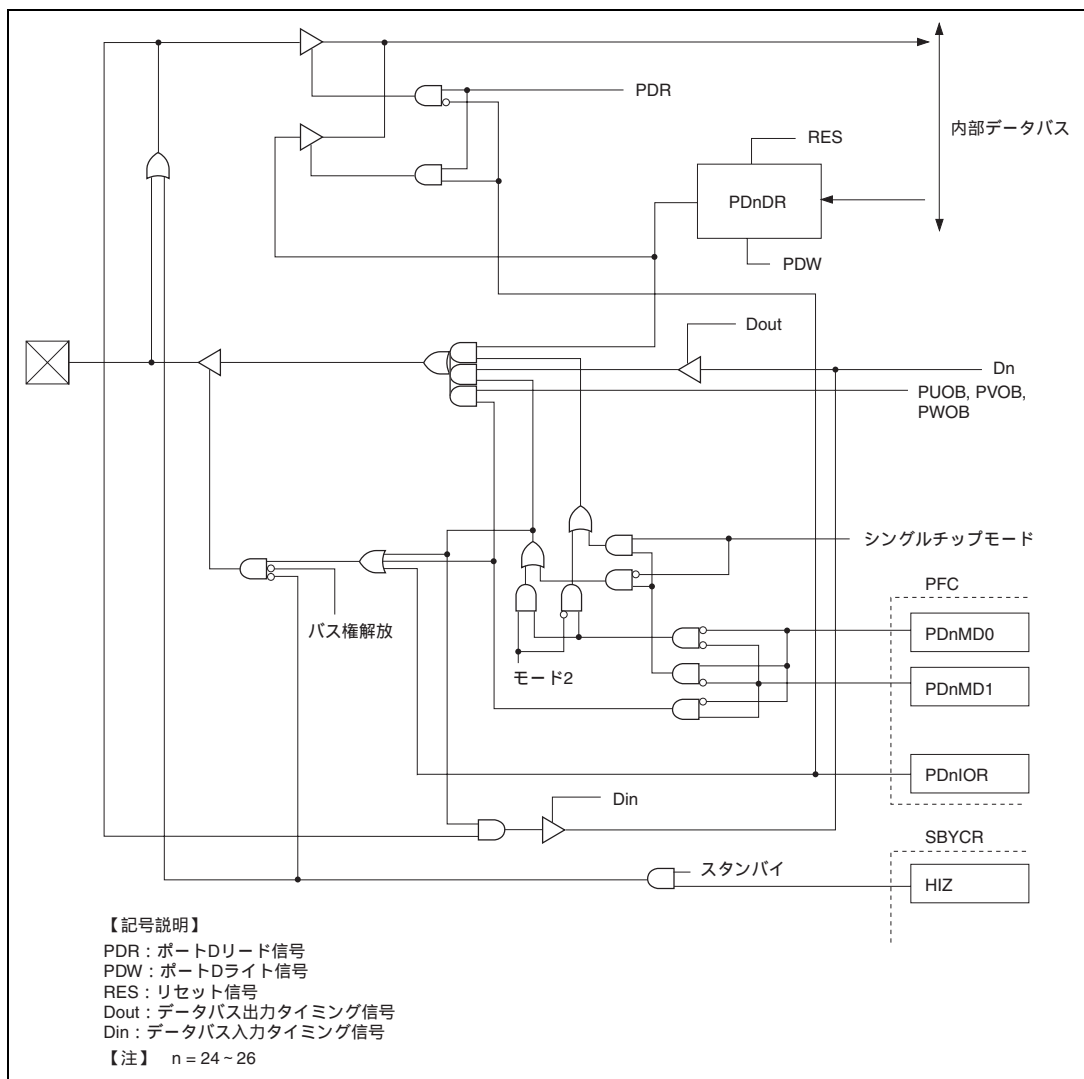


図 C.29 PD24/D24/PUOB、PD25/D25/PVOB、PD26/D26/PWOB ブロック図

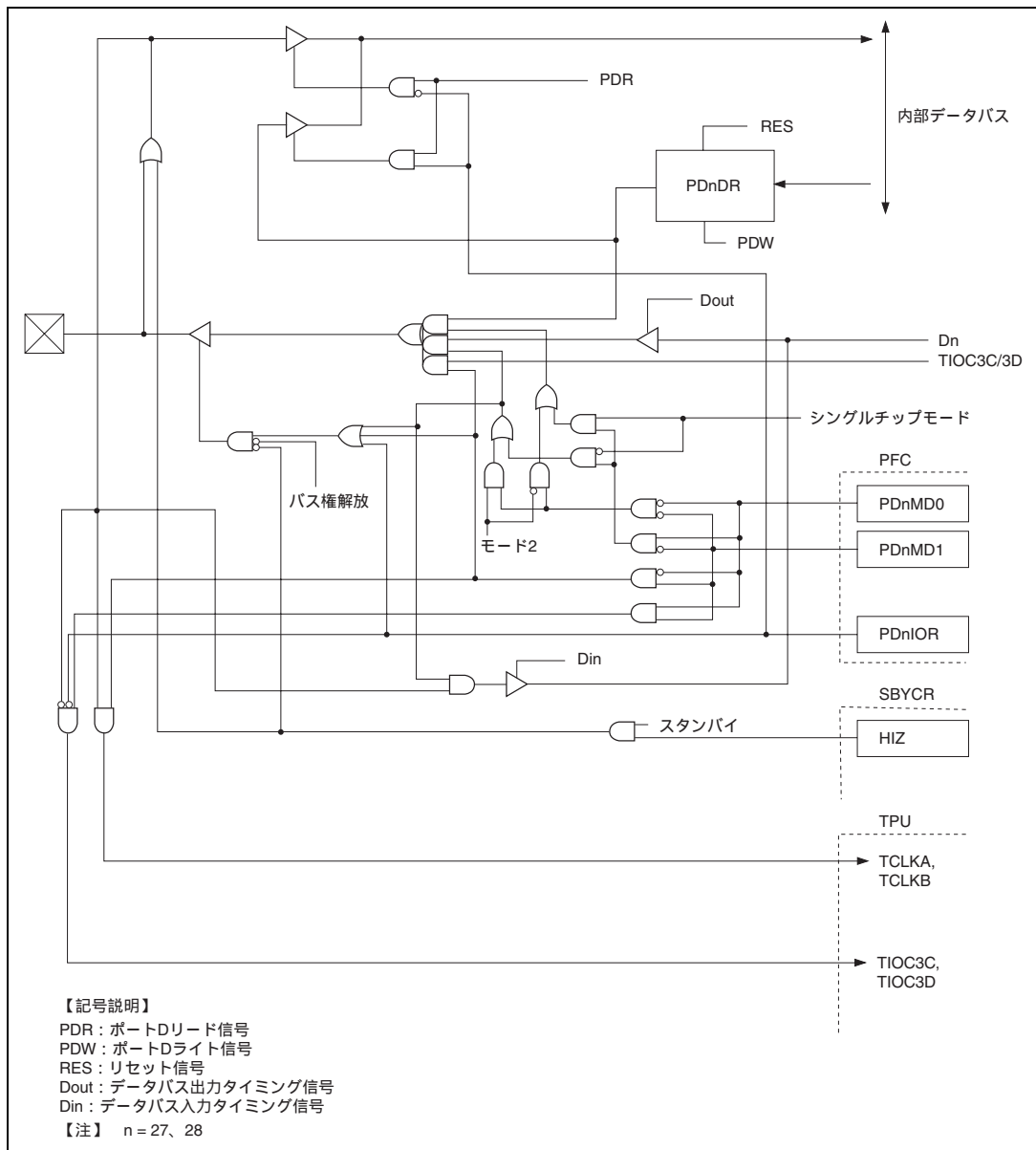


図 C.30 PD27/D27/TCLKA/TIOC3C、PD28/D28/TCLKB/TIOC3D ブロック図

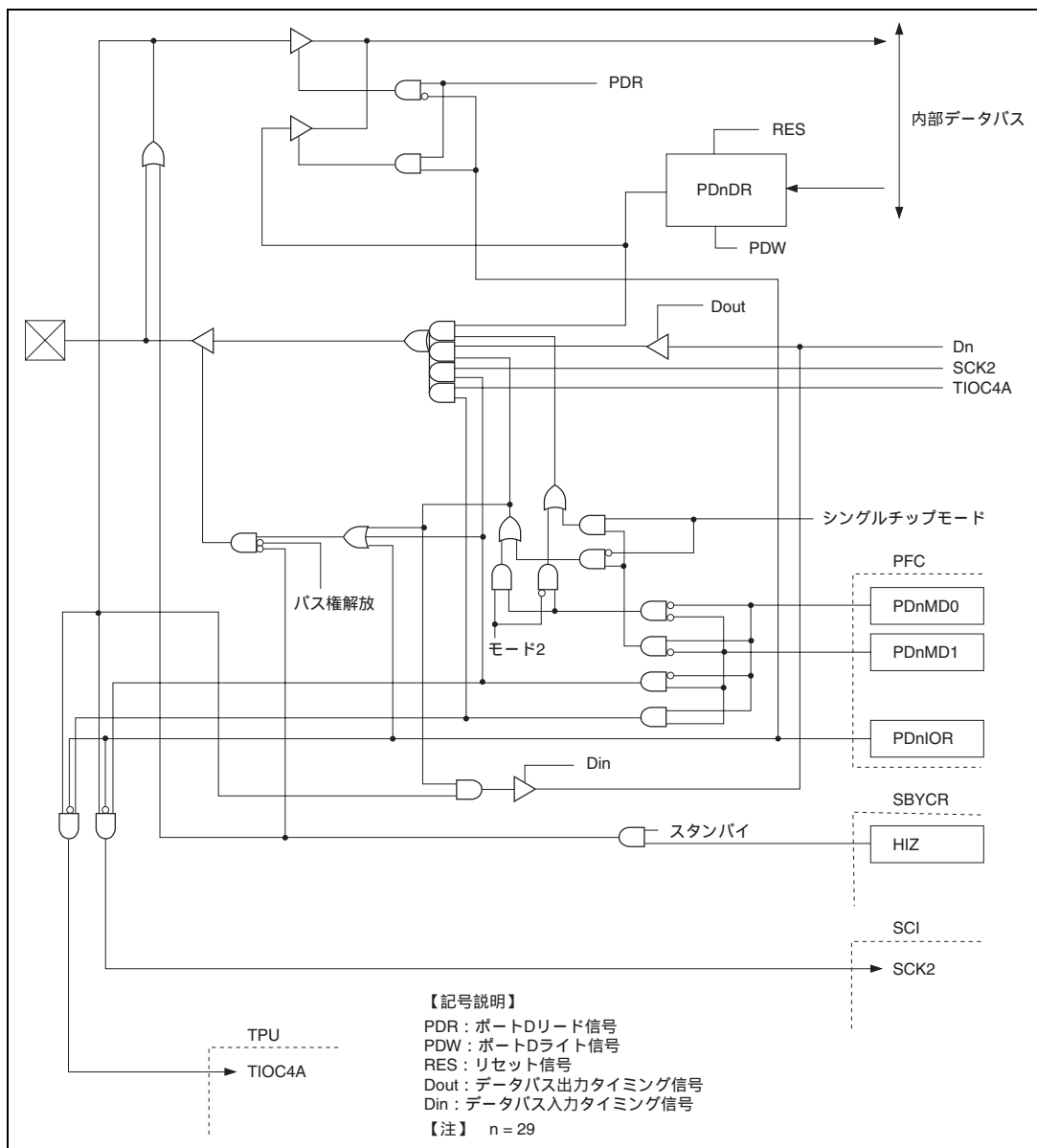


図 C.31 PD29/D29/SCK2/TIOC4A ブロック図

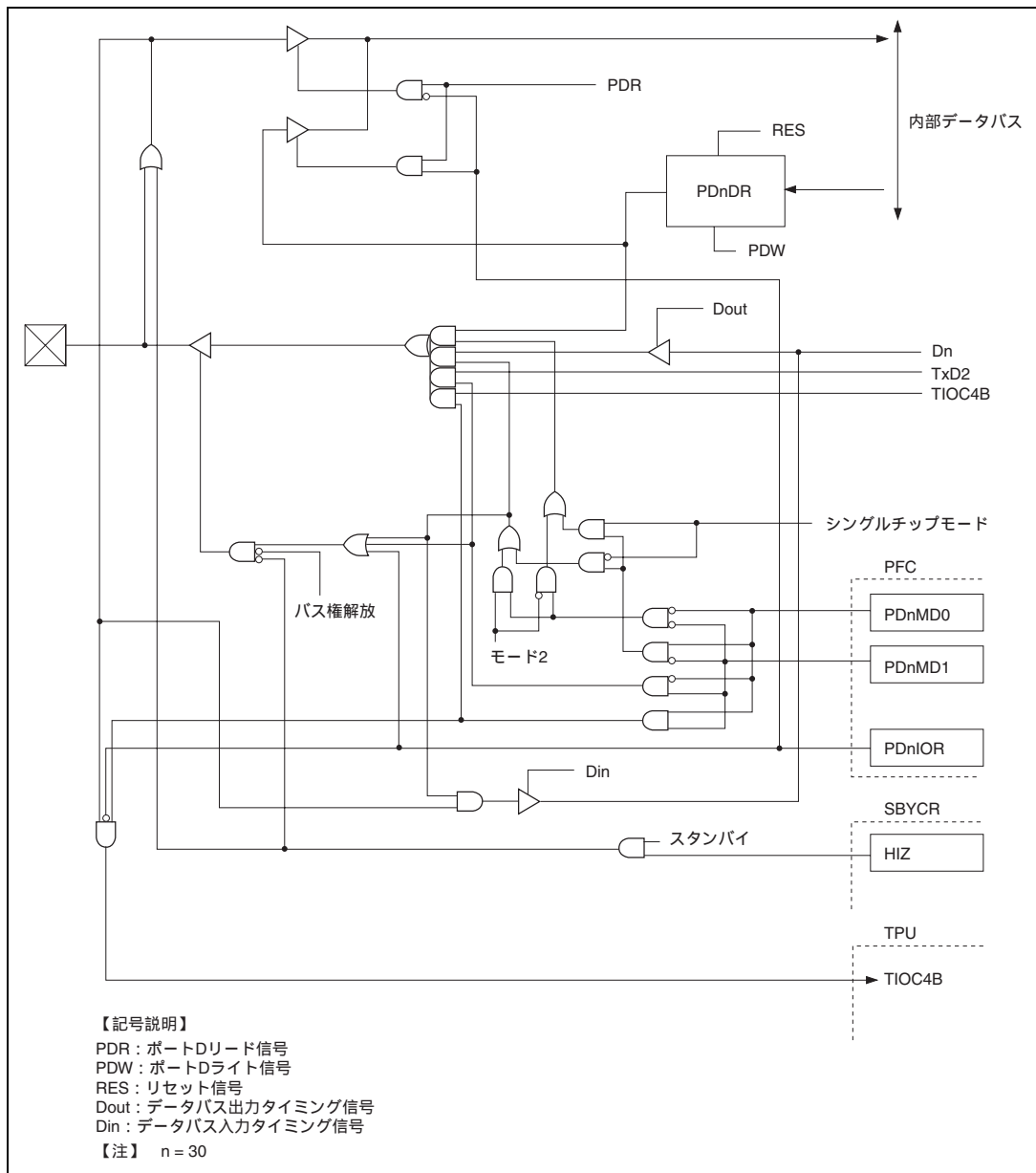


図 C.32 PD30/D30/TxD2/TIOC4B ブロック図

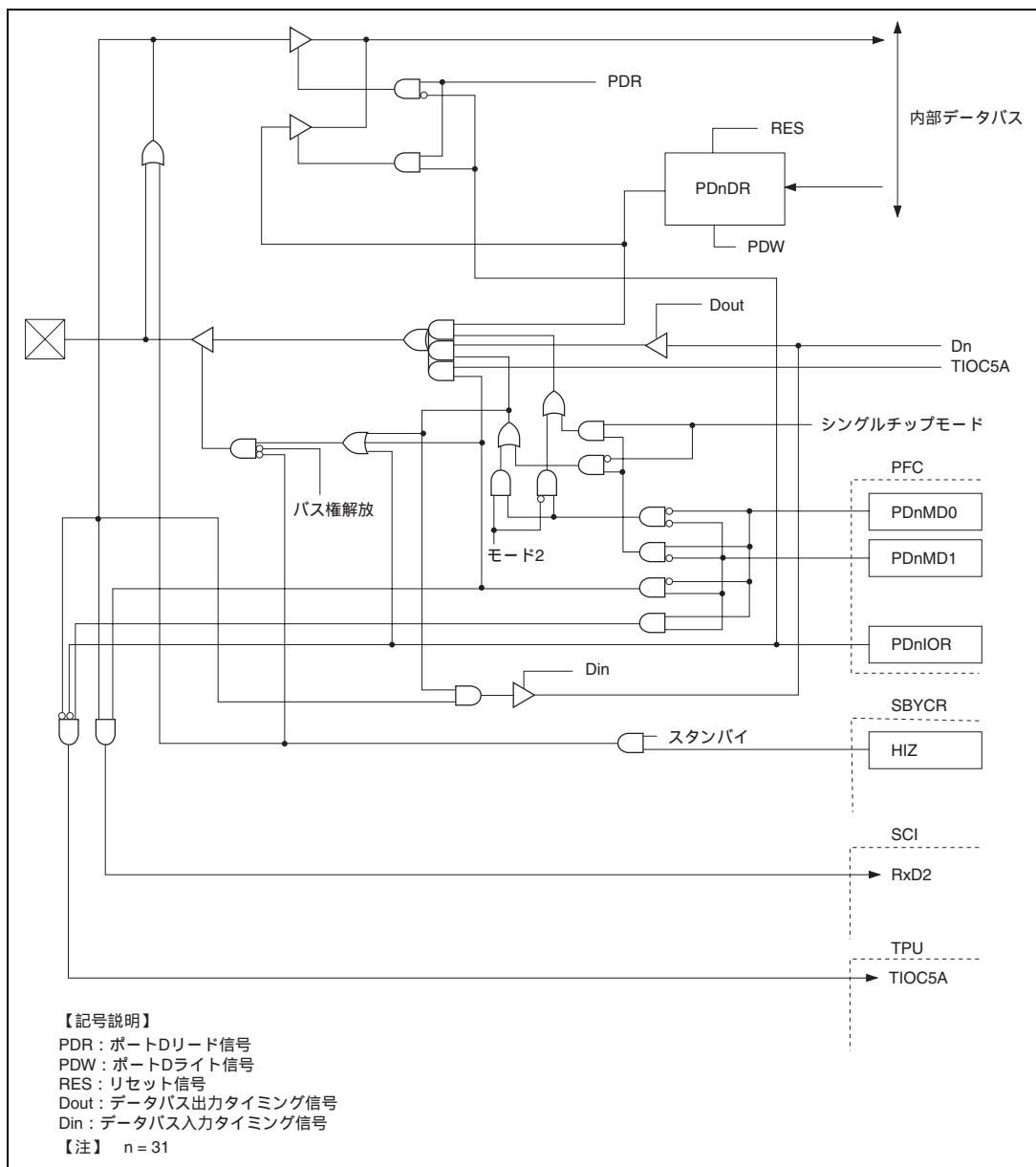


図 C.33 PD31/D31/RxD2/TIOC5A ブロック図

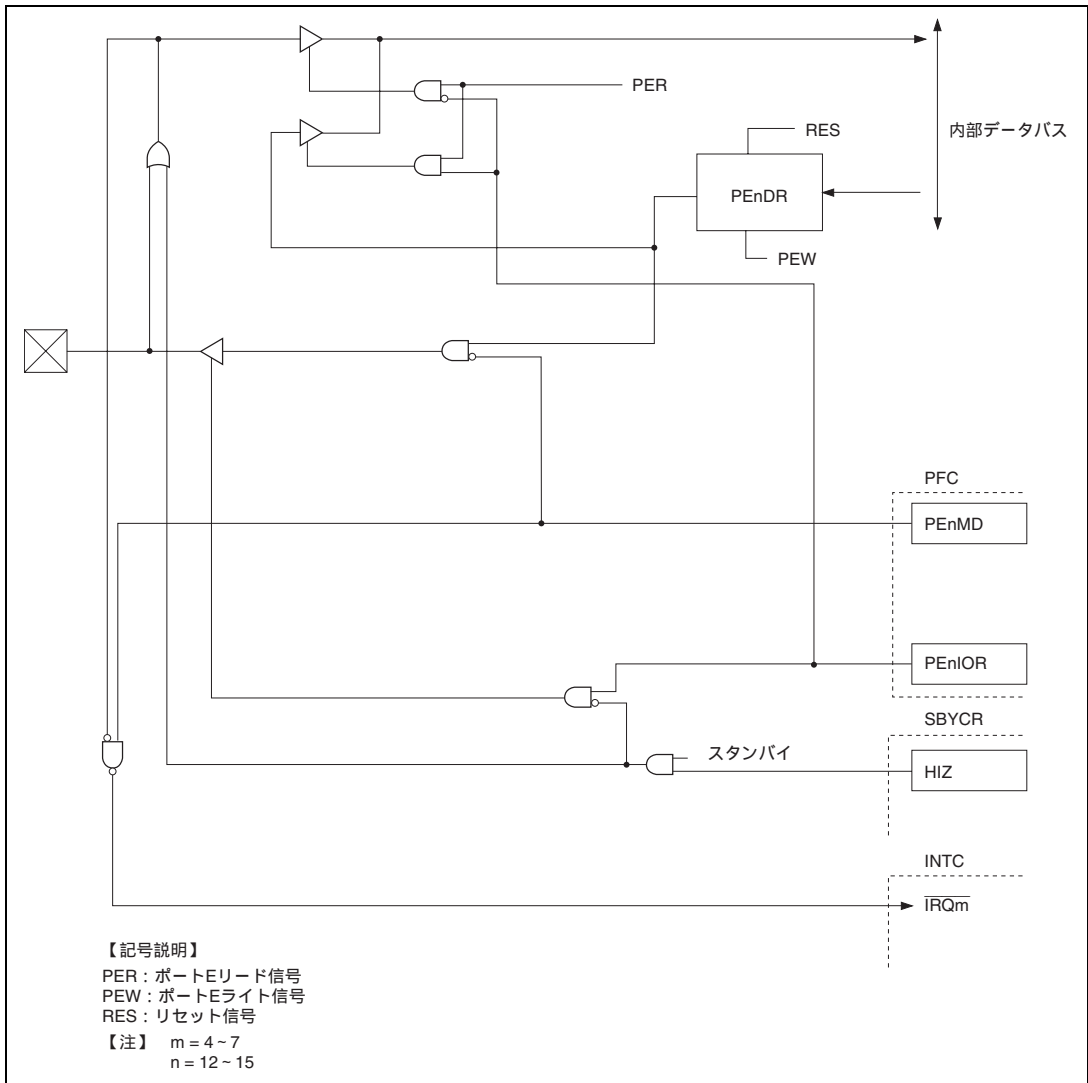


図 C.34 PEn/IRQm ブロック図

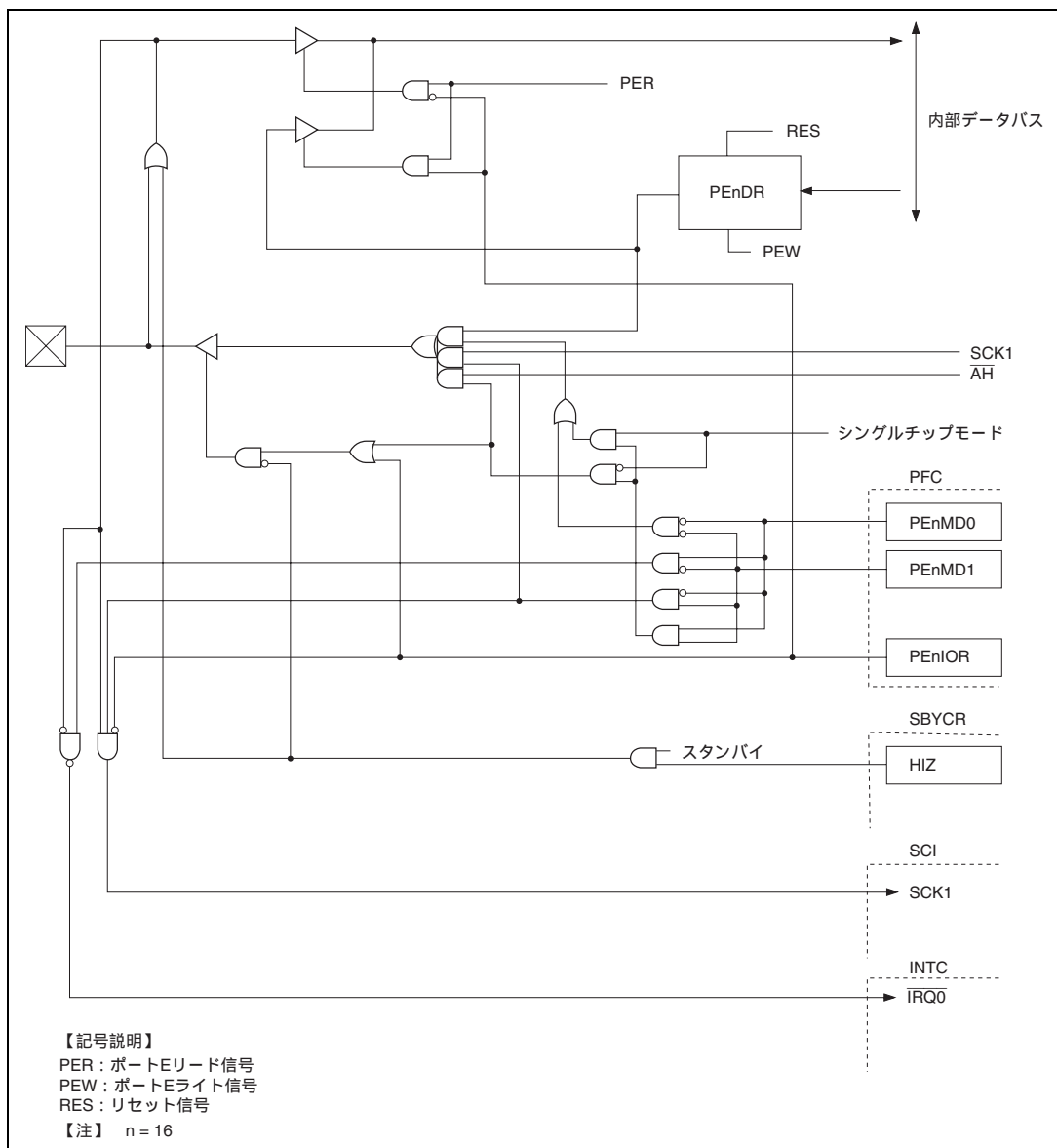


図 C.35 PE16/IRQ0/SCK1/AH ブロック図

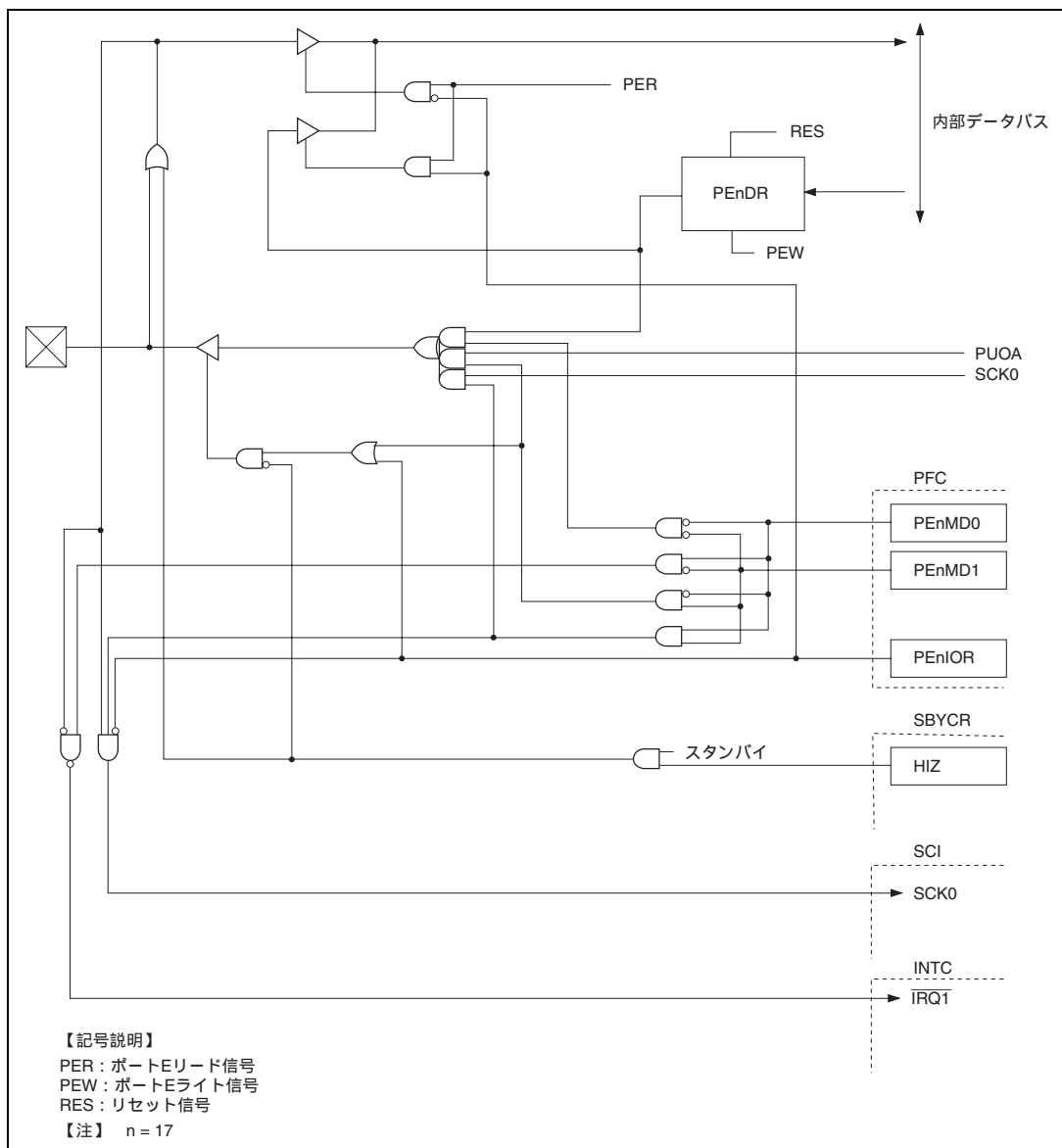


図 C.36 PE17/IRQ1/PUOA/SCK0 ブロック図

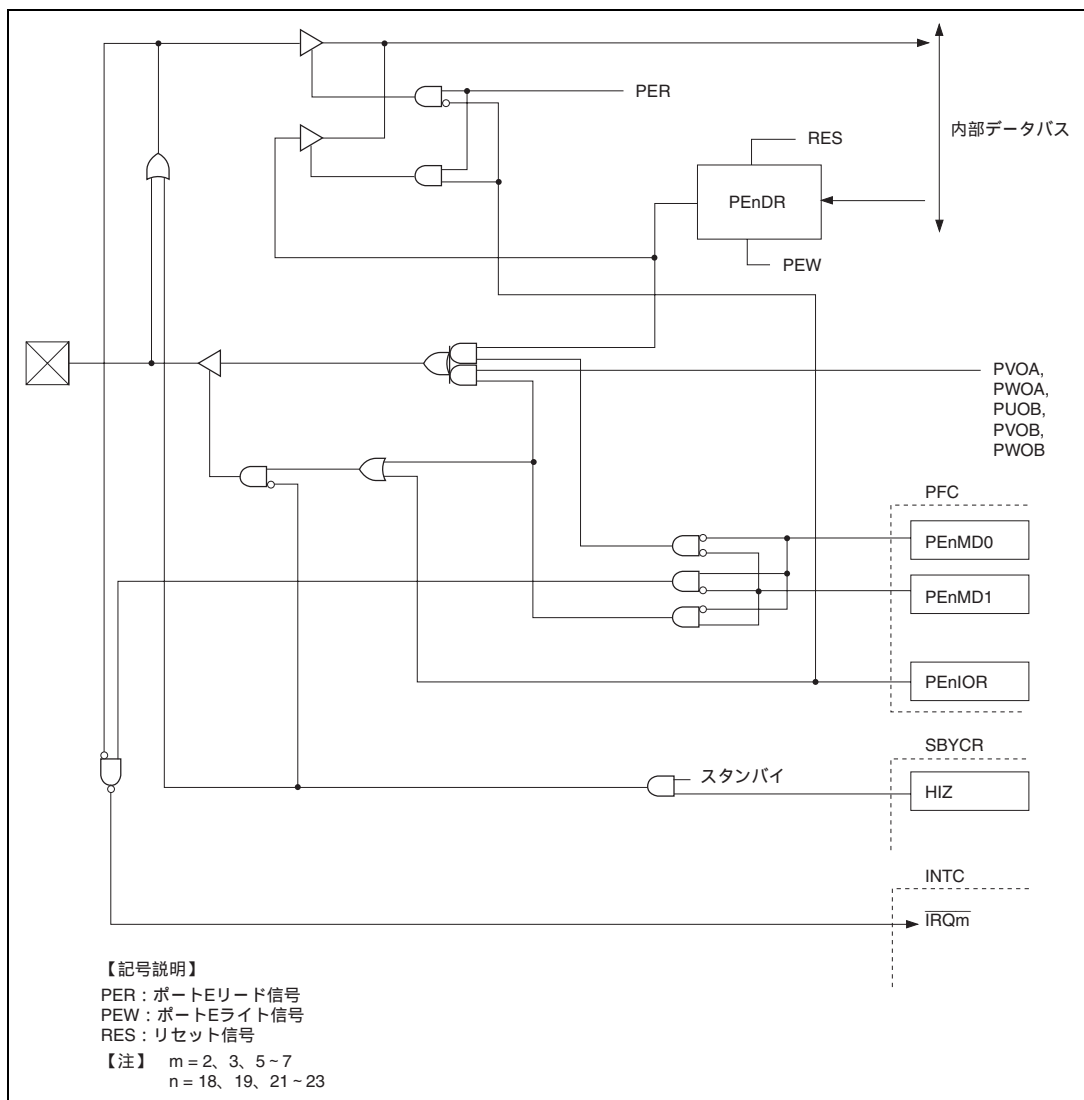


図 C.37 PE18/IRQ2/PVOA、PE19/IRQ3/PWOA、PE21/IRQ5/PUOB、PE22/IRQ6/PVOB、PE23/IRQ7/PWOB ブロック図

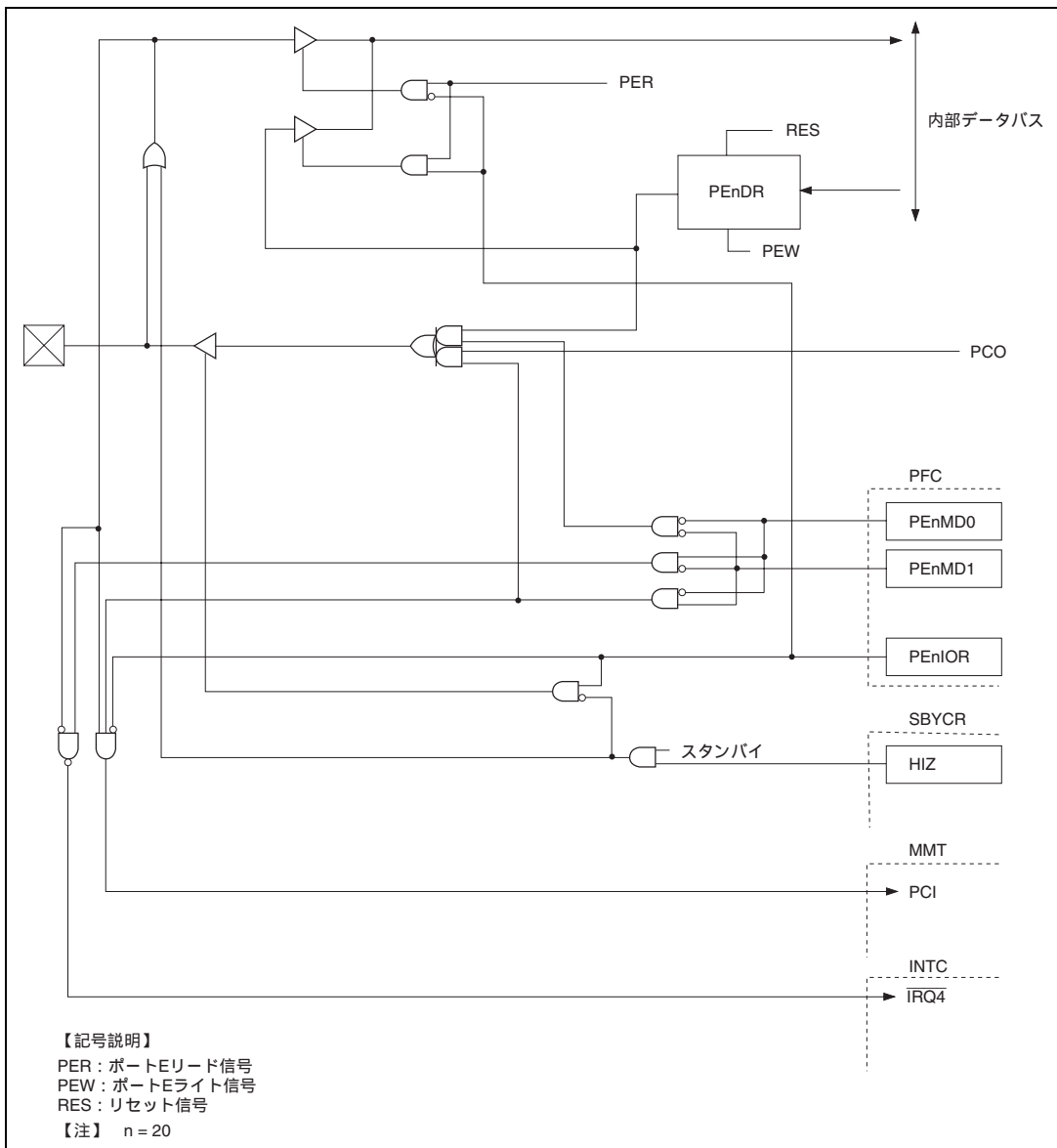


図 C.38 PE20/IRQ4/PCO/PCI ブロック図

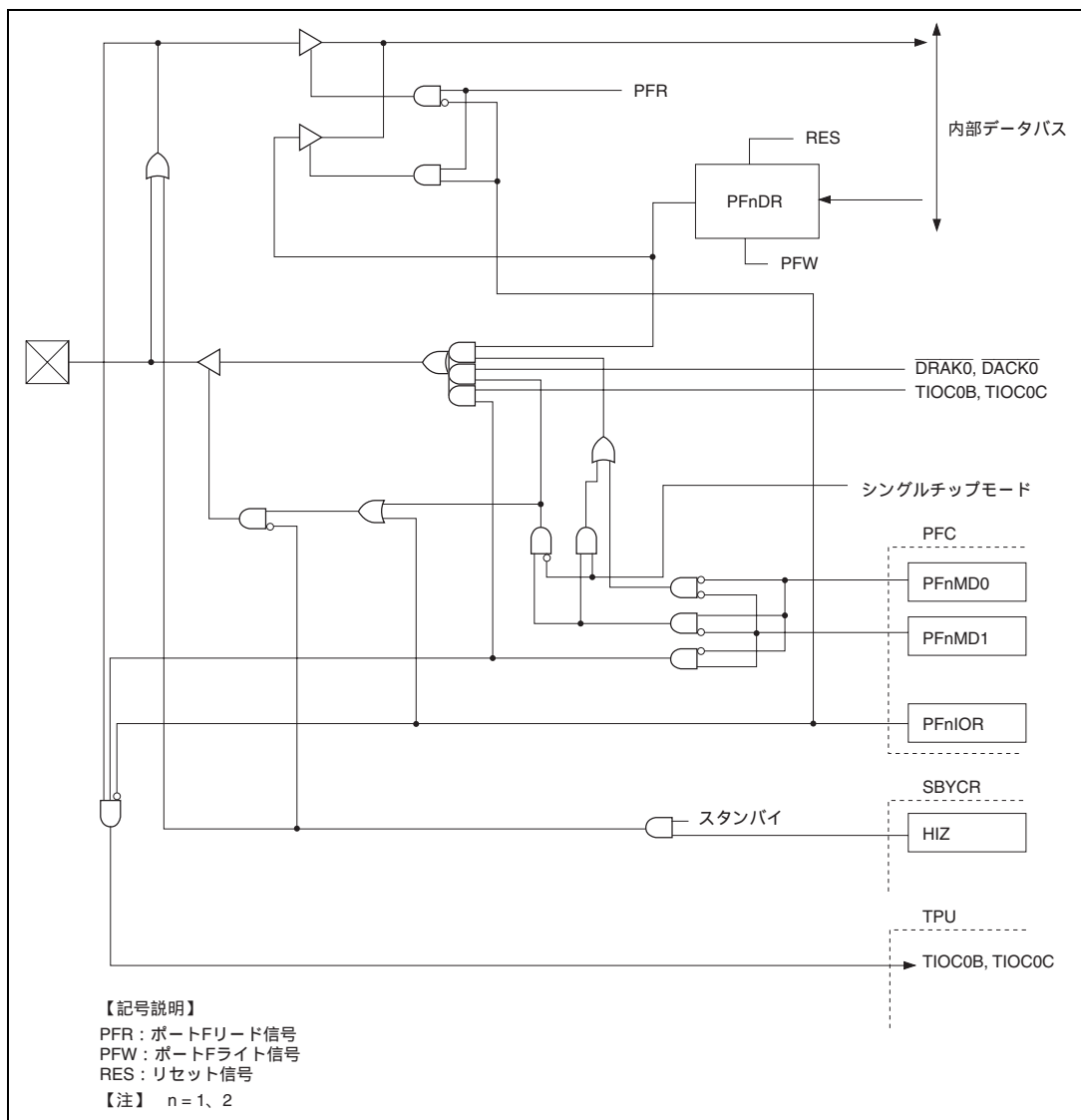


図 C.39 PF1/DACK0/TIOC0B、PF2/DRAK0/TIOC0C ブロック図

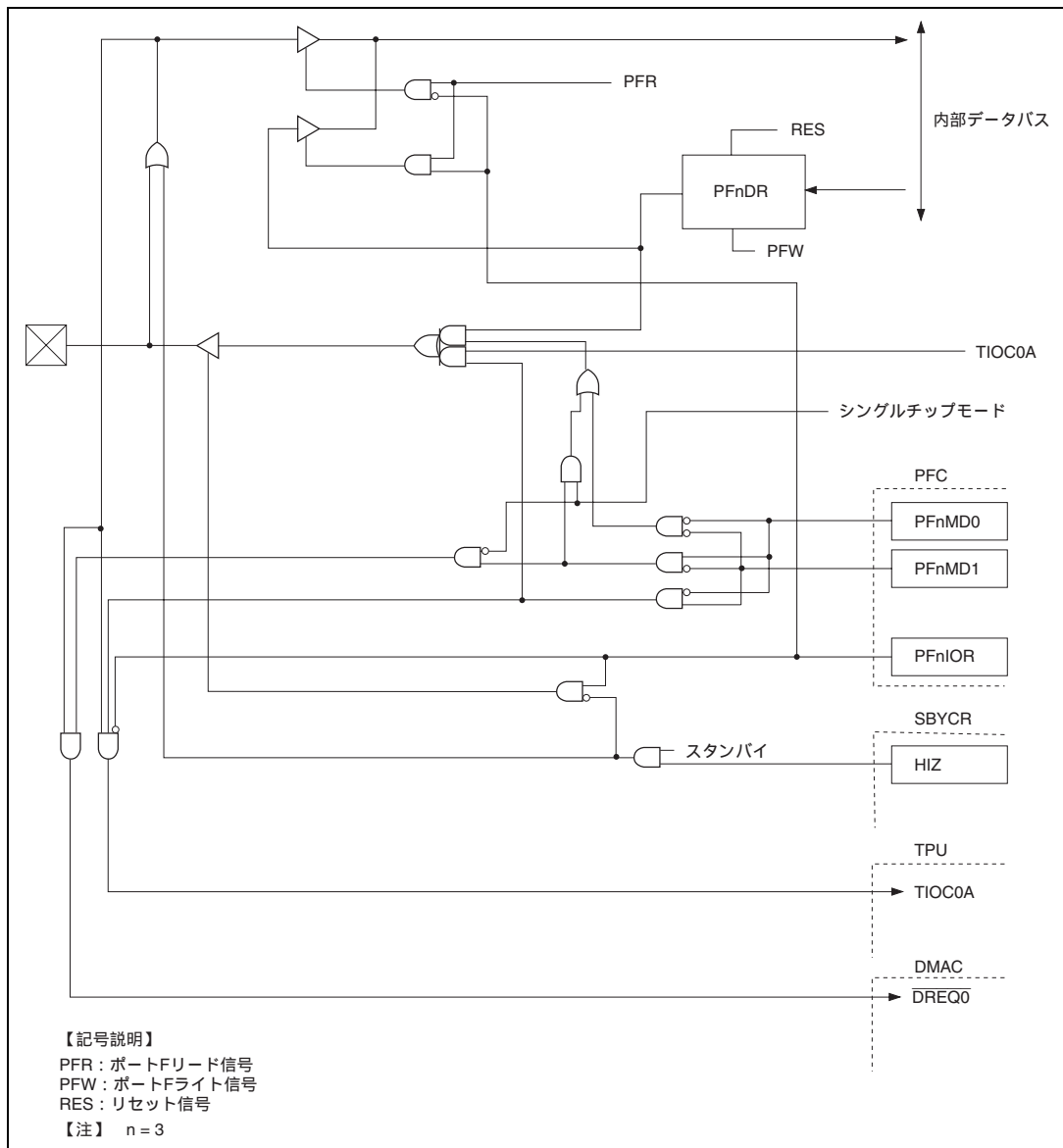


図 C.40 PF3/DREQ0/TIOC0A ブロック図

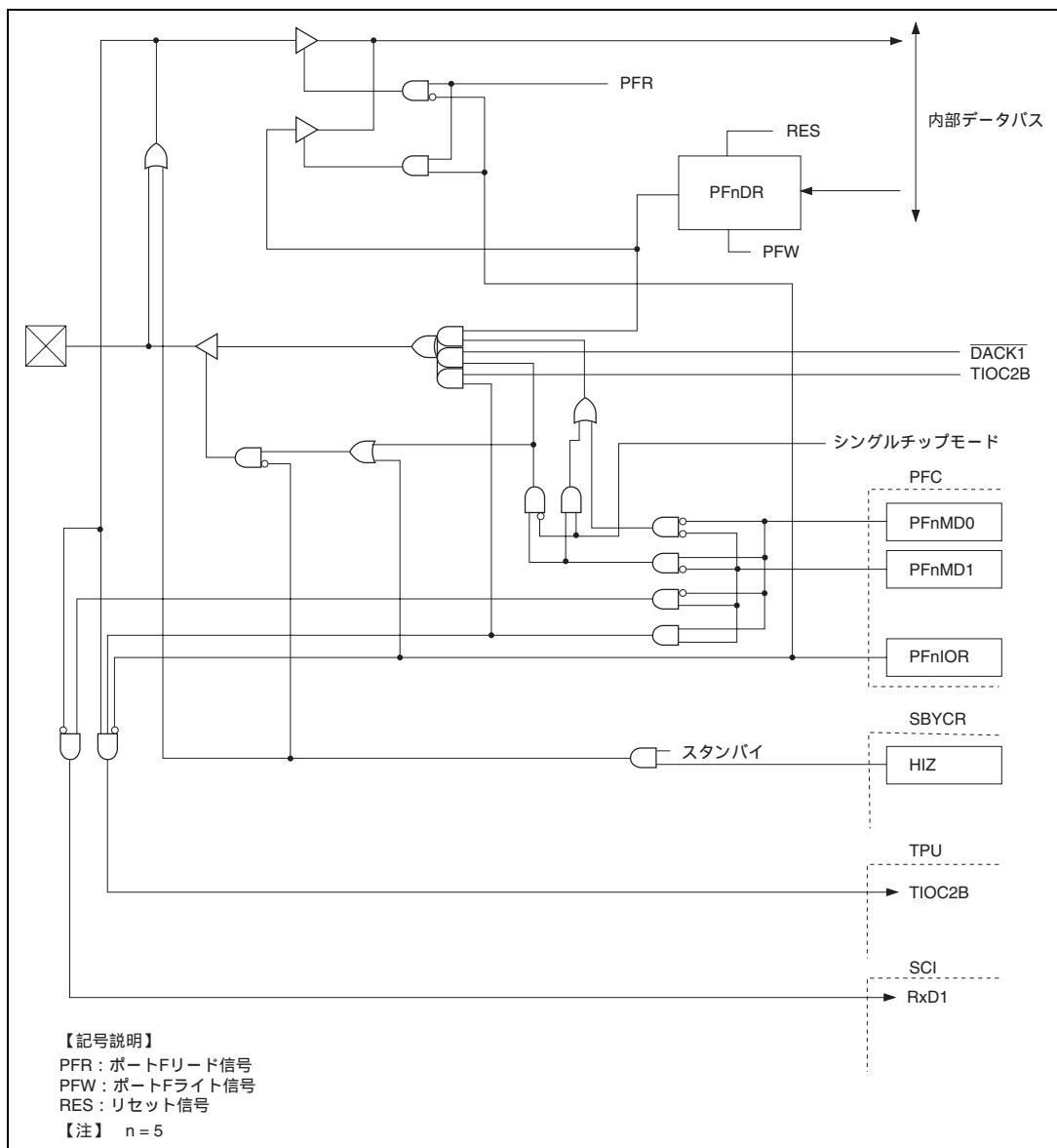


図 C.41 PF5/DACK1/RxD1/TIOC2B ブロック図

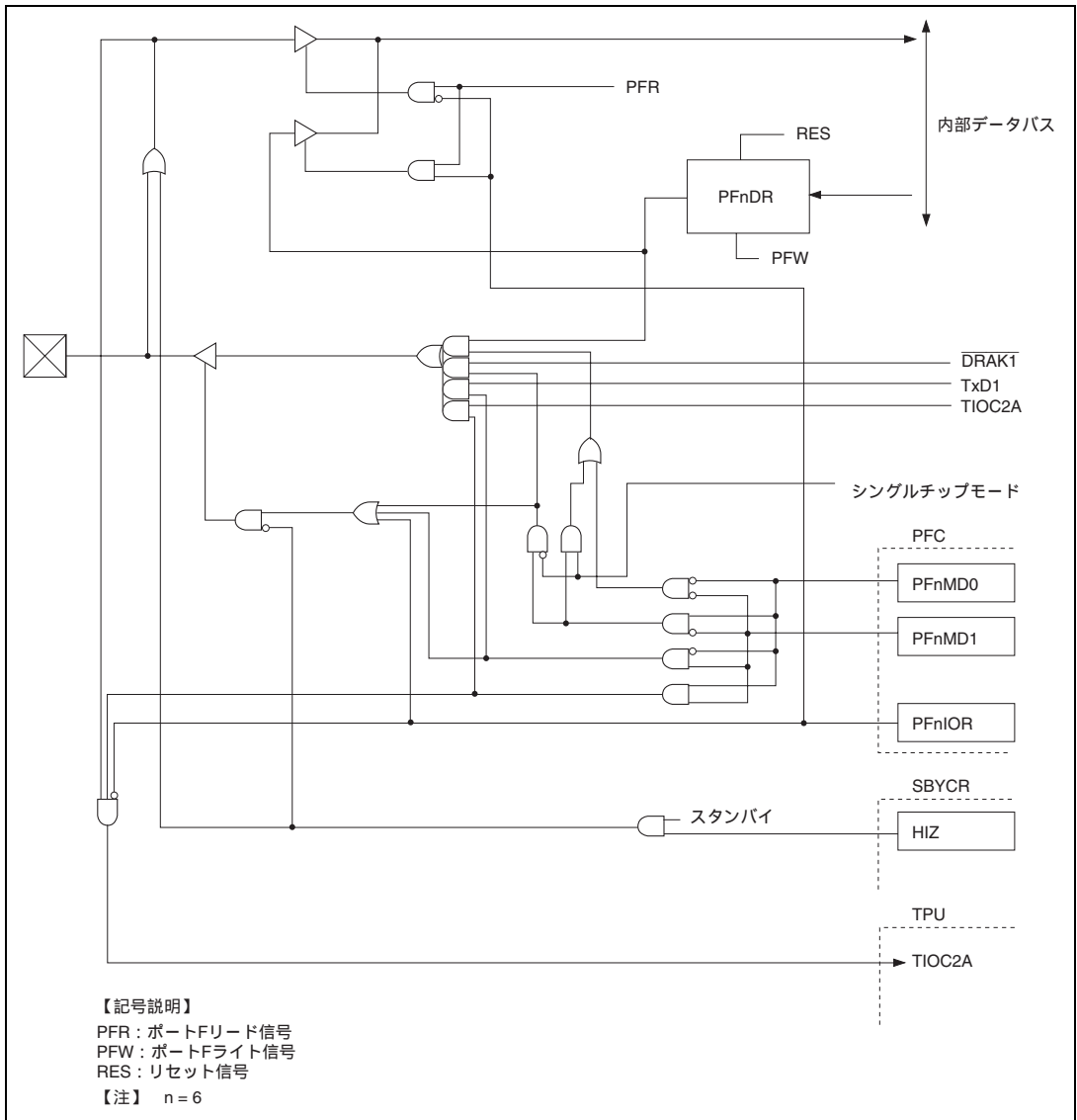


図 C.42 PF6/DRAK1/TxD1/TIOC2A ブロック図

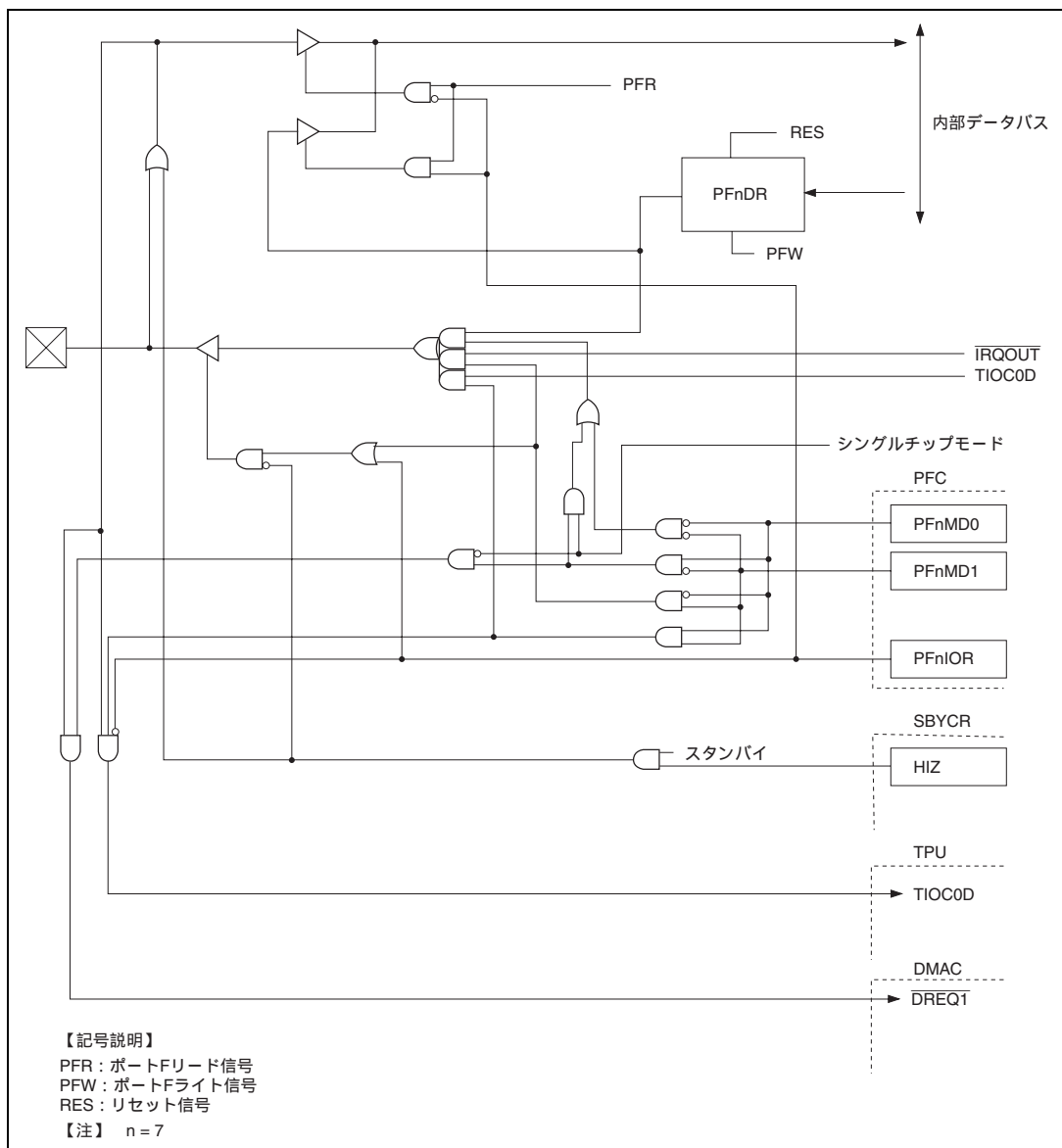


図 C.43 PF7/DREQ1/IRQOUT/TIOC0D ブロック図

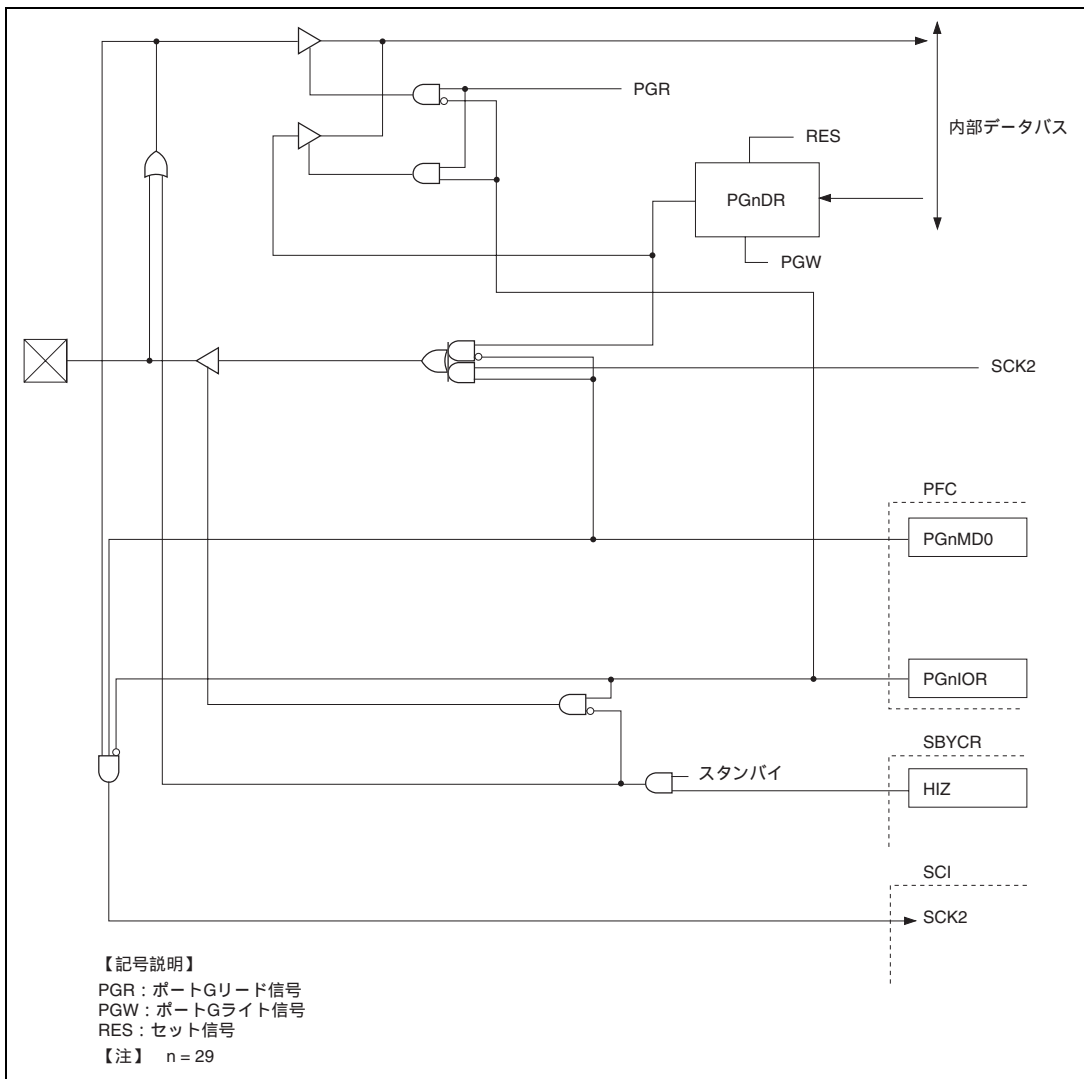


図 C.44 PG29/SCK2 ブロック図

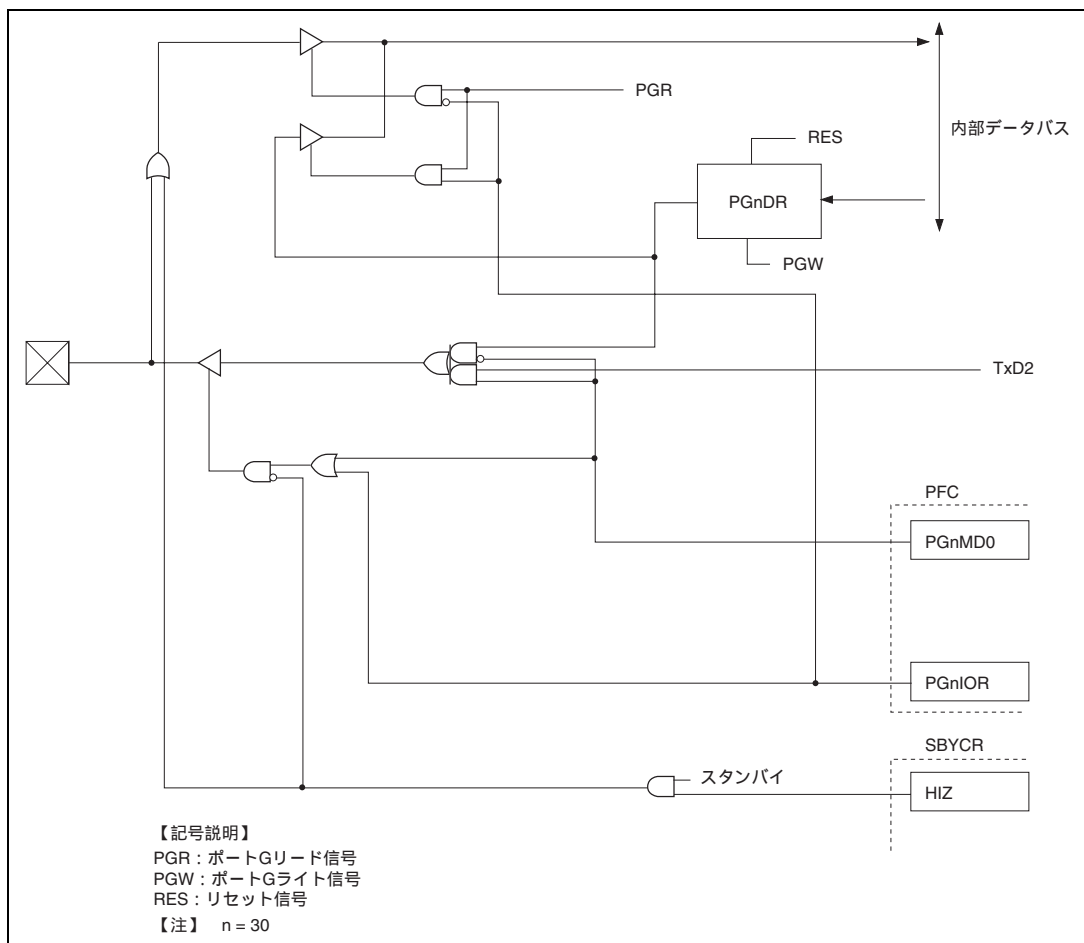


図 C.45 PG30/TxD2 ブロック図

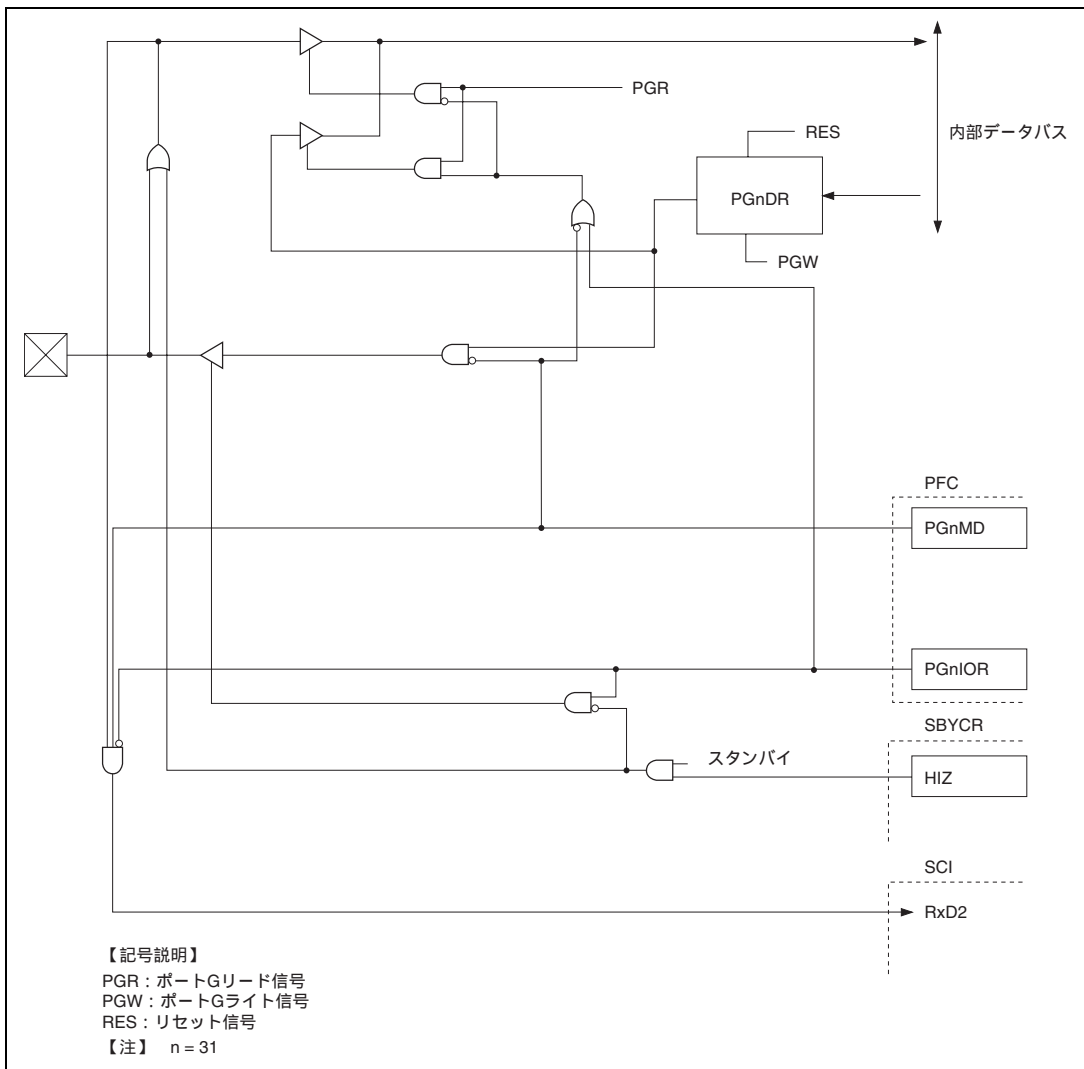


図 C.46 PG31/RxD2 ブロック図

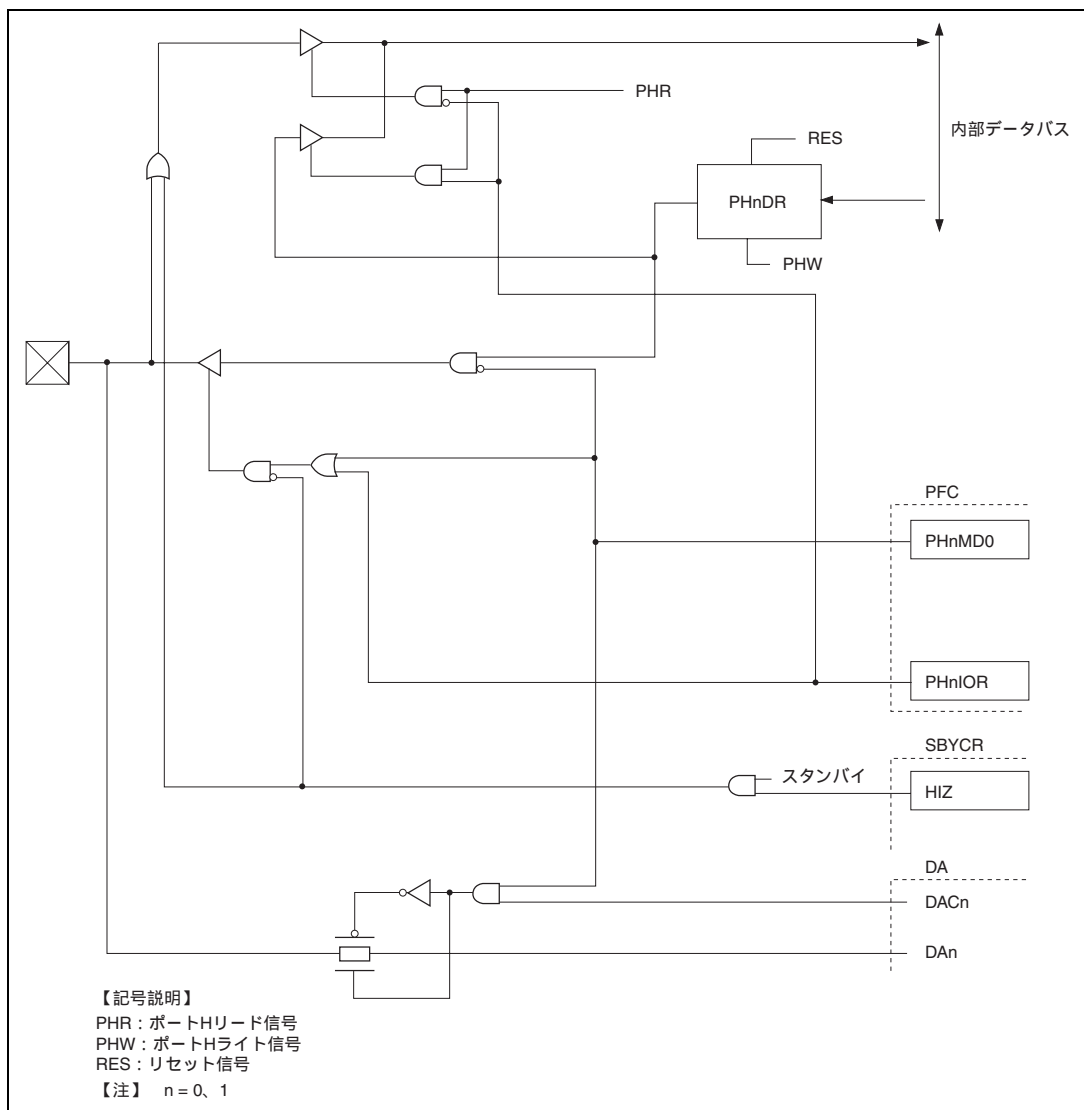


図 C.47 PHn/DAn ブロック図

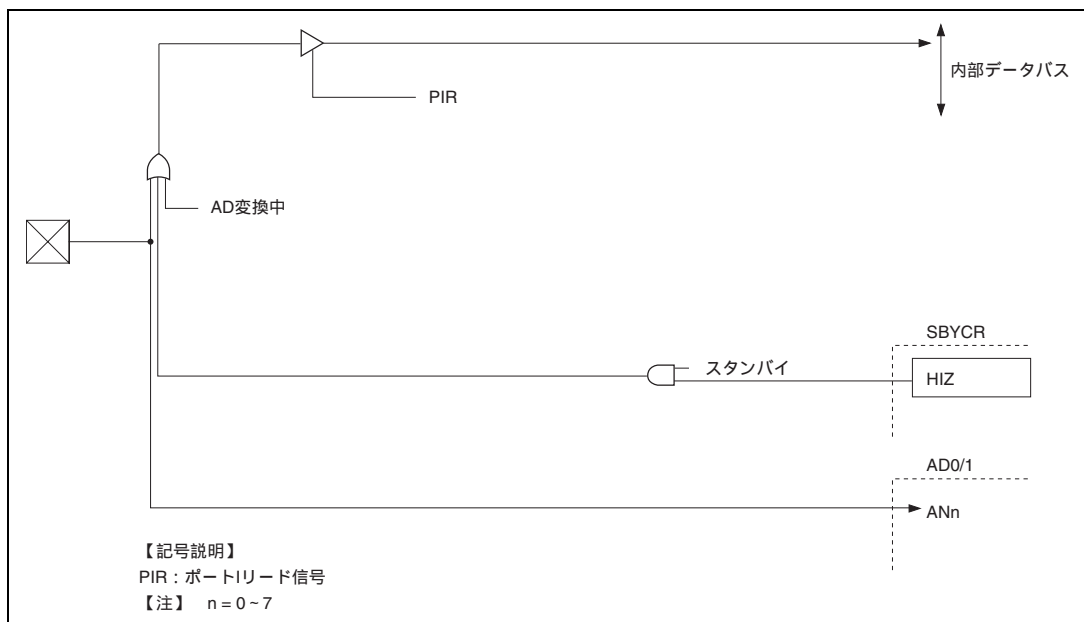


図 C.48 PIn/ANn ブロック図

D. ROM 発注手順

D.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 D.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 D.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

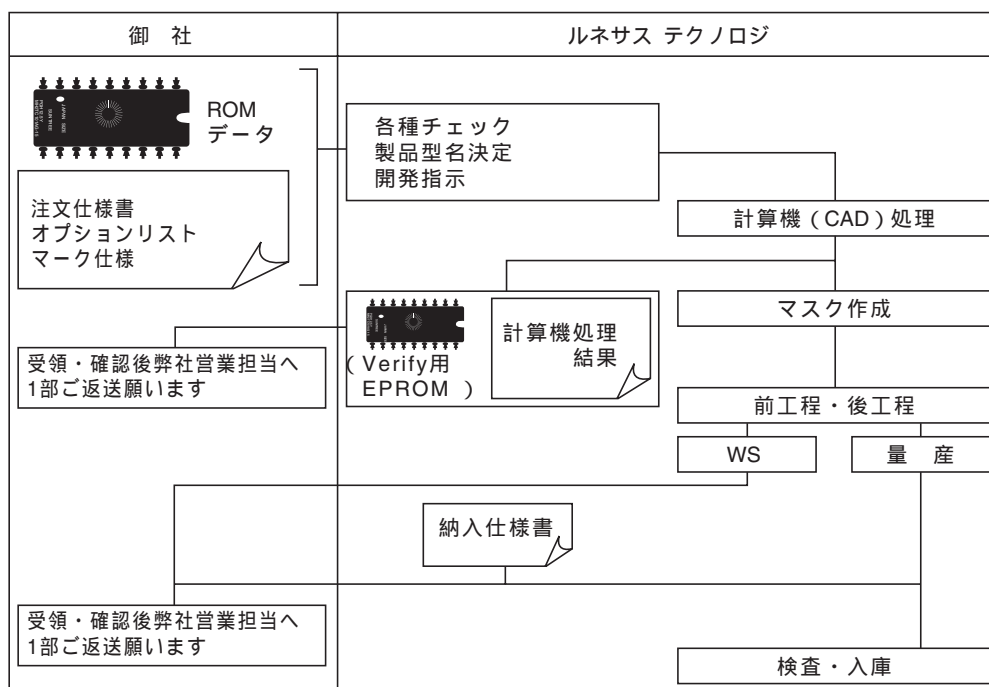


図 D.1 ROM 書き換え品開発の流れ

表 D.1 ROM 発注時に必要な提出物

発注媒体	EPROM、または F-ZTAT™
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *1 製品グループにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

D.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項に従って、EPROM、または F-ZTAT™マイコンで提出してください。なお、EPROM、または F-ZTAT™マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

E. HD64F7065S および HD64F7065A の「1D5」以前のロットの制限事項および注意事項

HD64F7065S では、各モジュール章末の「使用上の注意」以外に下記の制限事項および注意事項があります。なお、E.5 および E.6 の 2 項目につきましては、HD64F7065S の全ロット以外に、HD64F7065A の「1D5」以前のロットも該当いたします。E.1 ~ E.4 の 4 項目に該当するのは、HD64F7065S の全ロットのみです。

E.1 BSC の制限事項

- (1) マスタクロック (CKM) を分周した後のクロックM ϕ が、CKE (外部バスクロック) より速い場合、EDO DRAMバースト動作はサポートされません。
- (2) 外部WAIT端子によるウェイトサイクル制御を行う場合、8ビットバス幅の設定に限り以下の制限があります。
 - 外部8ビット空間でのアクセスサイズは、バイトアクセスまたはワードアクセスとしてください。
 - 外部8ビット空間で32ビットデータをアクセスする場合は、ワードアクセス2回で行ってください。
- (3) マスタクロック (CKM) が、30MHzを超える周波数のとき外部アクセスを行う場合、エリアコントロールレジスタ (ACR) のIW2 ~ IW0のサイクル間アイドル数は無効になります。この周波数帯でのサイクル間アイドル数は、0 ~ 7サイクルで不足になります。なお、以下の自動挿入アイドルサイクルは有効です。
 - 同一空間でリードサイクルからライトサイクルに切り替わった場合の2アイドルサイクル
 - リードサイクルから他空間のリードサイクルへ切り替わった場合の1アイドルサイクル
 - リードサイクルまたはライトサイクルから他空間へのライトサイクルへ切り替わった場合の2アイドルサイクル

E.2 DSP 命令と DMAC 転送の競合時の制限事項

内蔵 ROM 高速モードで、内蔵 ROM 上のプログラム実行中、以下の条件で不具合が発生する場合があります。

- (1) MOVX命令実行とDMACによる内蔵XRAMアクセスが競合
- (2) MOVS命令実行とDMACによる内蔵YRAMアクセスが競合

不具合現象は、MOVX または MOVS 命令の実行結果が正しくない場合があります。

ここで、内蔵 XRAM アクセス / 内蔵 YRAM アクセスとは、転送元 / 転送先のいずれかが内蔵 XRAM / 内蔵 YRAM である場合です。また、DMAC の転送モード (サイクルスチール / バースト) は無関係です。

E.3 端子状態に関する制限事項

ソフトウェアスタンバイ時に、PF7、PF6 の 2 端子について以下の状態となります。

- (1) PF7には、PF7/IRQOUT/TIOC0Dの機能がありますが、どの機能を選択していてもソフトウェアスタンバイ時には、ハイインピーダンス状態となります。
- (2) PF6には、PF6/TxD1/TIOC2Aの機能があります。本端子についても、上記と同様ソフトウェアスタンバイ時に、基本的にはハイインピーダンス状態となります。

ただし、PF6出力機能選択およびTxD1出力機能選択でハイレベル出力時に、ソフトウェアスタンバイに遷移するとハイレベル出力を保持します。

E.4 電気的特性に関する注意事項

外部空間アクセスにおいて、ライト信号 (\overline{WR}) が Low の期間、ピークで 1.5V max のノイズが発生する場合があります。

E.5 DMAC の制限事項

内蔵 DMAC の 4 チャンネル (ch0 ~ ch3) すべてにおいて、DMA 転送のオーバーランが発生する場合があります。

外部リクエストモード時および内蔵周辺モジュールリクエストモード時において、いったん DMA 転送が実行されると、DMAC トランスファカウントレジスタ (DMATCRn) およびネクストトランスファカウントレジスタ (NDMATCRn) が 0 となるまで、DMA 転送が継続して実行されることがあります。

なお、オートリクエストモードは該当しません。

DMAC が確実に停止する条件を以下に示します。

- チェーン転送をしない場合 (チェーン転送イネーブルビット CHNE=0) は、DMATCRn=0 となるまで
- チェーン転送をする場合 (チェーン転送イネーブルビット CHNE=1) は、DMATCRn=0 かつ NDMATCRn=0 となるまで

また、TEND 出力においても制限事項があります。「9.6 DMAC の制限事項」を参照してください。

E.6 乗算 / 積和命令および DSP 命令実行時の飽和演算モード切り替えに関する制限事項

乗算 / 積和命令による乗算器競合や、DSP 命令の連続実行によるレジスタ競合が発生し、命令の実行がストールされる状況において、乗算 / 積和命令および DSP 命令直後に SR (ステータスレジスタ) の S ビット (飽和演算ビット) を変化させると、命令実行順番が逆転してしまい、そのため、S ビット変更前に実行されるべき命令が S ビット変更後に実行され、誤った演算結果が得られてしまう場合があります。

S ビット変更の影響を受ける命令

積和命令 : MAC.W、MAC.L

DSP 命令 : ALU 算術演算命令、固定小数点乗算命令、算術シフト命令

以下に不具合の発生する例を示します。

(1) 乗算 / 積和命令の場合

```
DMULU.L R4, R10    ← MUL.L、DMULS.L、DMULU.L、MAC.Lが該当
MAC.L @R5+, @R5+   ← MAC.W、MAC.Lが該当、乗算器競合が発生し、命令実行を
                    ストールする条件発生
LDC R0, SR         ← 飽和演算モード変更
```

の DMULU.L 命令と の MAC.L 命令で乗算器競合が発生し、 の MAC.L 命令実行はストールされます。ところが、 の S ビットの変更はパイプライン動作のため、 の MAC.L 命令実行前に CPU 内で実行されてしまい、結果的に と の実行順番が逆転し、MAC.L 命令の演算結果が不正な結果となってしまいます。

(2) DSP 命令の場合

PSHA #1, A1

PINC X0, A0 MOVX.W A1, @R5

レジスタ競合が発生し、命令実行をストールする条件発生

LDC R0, SR

飽和演算モード変更

DSP 演算直後にその演算結果をストアするため、 の PSHA 命令と の MOVX 命令でレジスタ競合が発生し、 の PINC 命令実行はストールされます。

ところが、 の S ビットの変更はパイプライン動作のため、 の PINC 命令実行前に CPU 内で実行されてしまい、結果的に と の実行順番が逆転し、PINC 命令の演算結果が不正な結果となってしまいます。

本制限事項を回避するためには、以下の 3 つの方法のうちいずれかを行ってください。

(1) 積和命令および DSP 命令直後には SR レジスタアクセスを行わないでください。

(2) LDC Rn, SR 命令の直前に NOP 命令を挿入してください。

(3) 乗算器競合や DSP レジスタ競合が発生しない(ストールが発生しない)ようにしてください。

F. 型名一覧

表 F.1 SH7065 グループ型名一覧

製品分類	一般型名	製品型名	パッケージ	
SH7065	マスク ROM 版	HD6437065A	HD6437065A(***)F	176 ピン QFP (FP-176C)
	F-ZTAT 版	HD64F7065A	HD64F7065AF60	176 ピン QFP (FP-176)
		HD64F7065S	HD64F7065SF60	

【記号説明】(***)は ROM コードです。

G. 外形寸法図

SH7065 の外形寸法図 (FP-176、FP-176C) を図 G.1 に示します。

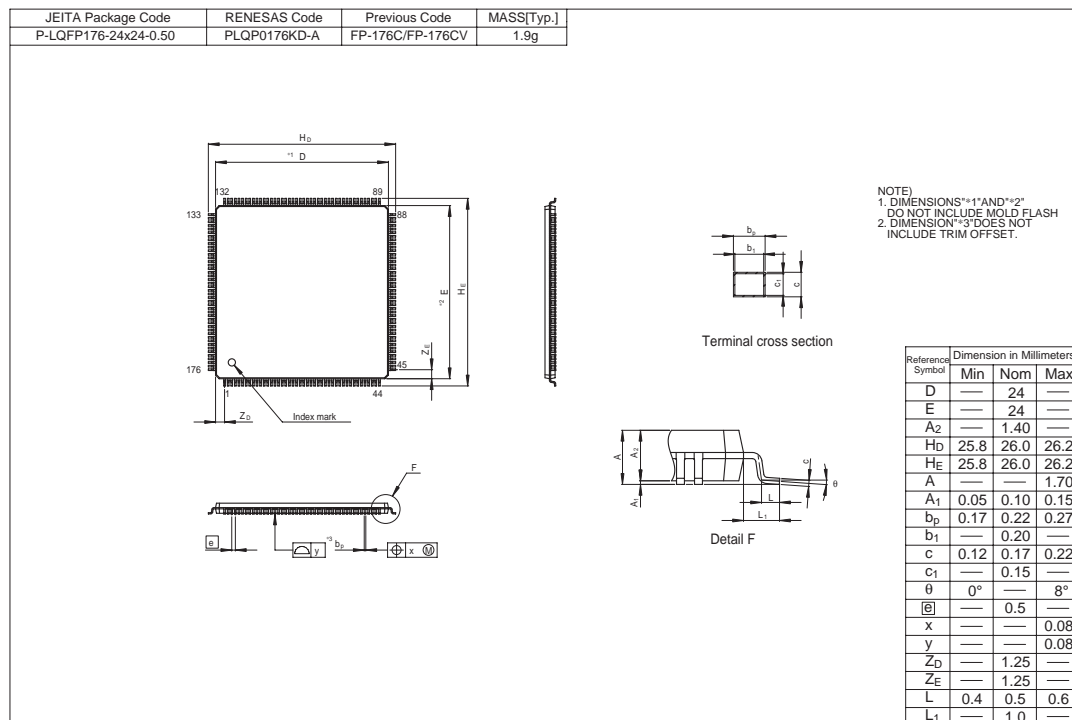


図 G.1 外形寸法図 (FP-176、FP-176C)

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH7065

発行年月日 1999年9月 第1版
2006年9月8日 Rev.5.00
発行 株式会社ルネサステクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

SH7065
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0364-0500