

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH7144グループ、 SH7145グループ

ハードウェアマニュアル

ルネサス32ビットRISCマイクロコンピュータ

SuperH™ RISC engineファミリ / SH7144シリーズ

SH7144	HD64F7144
	HD6437144
	HD6417144
SH7145	HD64F7145
	HD6437145
	HD6417145

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合は除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違えば、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください。（使用上の注意事項は必要により記載されます。）

7. レジスタ一覧
8. 電気的特性
9. 付録
 - 製品型名、外形寸法など
 - 本版で改訂された箇所（改訂版のみ適用）

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改定内容のすべてについて記載したものではありませんので、詳細については、本書の本文上
でご確認ください。

10. 索引

はじめに

SH7144 シリーズは、ルネサス テクノロジオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

対象者 このマニュアルは、SH7144 シリーズを用いた応用システムを設計するユーザを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7144 シリーズのハードウェア機能と電気的特性をユーザに理解していただくことを目的にしています。
なお、実行命令の詳細については、「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 対象製品と製品略称の表記について。
→ 本書では、下記の製品について説明をします。

製品分類と製品略称			基本製品型名
基本分類	内蔵 ROM 分類		
SH7144 (112 ピン版)	SH7144F	フラッシュメモリ版 (ROM 容量 256KB)	HD64F7144
	SH7144M	マスク ROM 版 (ROM 容量 256KB)	HD6437144
		ROM レス版	HD6417144
SH7145 (144 ピン版)	SH7145F	フラッシュメモリ版 (ROM 容量 256KB)	HD64F7145
	SH7145M	マスク ROM 版 (ROM 容量 256KB)	HD6437145
		ROM レス版	HD6417145

本書では、製品区分のために製品略称を使用しています。たとえば、112 ピン版製品を、基本分類略称の SH7144 で示し、144 ピン版製品は略称の SH7145 で示します。これらは、それぞれ内蔵 ROM によりフラッシュメモリ版とマスク ROM 版、および ROM レス版があります。フラッシュメモリ版を限定して示す場合、略称の後に F を付け、SH7144F のように表記することがあります。マスク ROM 版、および ROM レス版を限定して示す場合は、略称の後に M を付け、SH7144M のように表記することがあります。

- 代表品種
→ 本書では、HD64F7144 を代表品種として説明しています。したがって、本書を HD6437144、HD6417144、HD64F7145、HD6437145、HD6417145 のマニュアルとして使用する場合は、相違点の指示がない場合は、そのまま HD6437144、HD6417144、HD64F7145、HD6437145、HD6417145 と置き換えてご使用ください。

相違点の指示がある場合は、指示の品種に適用される仕様としてご使用ください。

- 機能全体を理解しようとするとき。

→ 目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき。

→ 別冊の「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき。

→ 本書の後ろに、「索引」があります。索引からページ番号を検索してください。

「第25章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : シリアルコミュニケーションなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2進数は B'xxxx、16進数は H'xxxx、10進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxx̄

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。

(<http://www.renesas.com/>)

- SH7144シリーズに関するユーザーズマニュアル

資料名	資料番号
SH7144 グループ、SH7145 グループ ハードウェアマニュアル	本マニュアル
SH-1/SH-2/SH-DSP ソフトウェアマニュアル	RJJ09B0228

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
C/C++ コンパイラ、アセンブラ、最適化リンケージエディタユーザーズマニュアル	RJJ10J1885
シミュレータ・デバッガ (Windows 版) ユーザーズマニュアル	ADJ - 702 - 353
High-performance Embedded Workshop ユーザーズマニュアル	RJJ10J2060

- アプリケーションノート

資料名	資料番号
C/C++ コンパイラ編	RJJ05B0557

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要	1-1
1.1 特長.....	1-1
1.2 内部ブロック図.....	1-3
1.3 ピン配置図.....	1-5
1.4 端子機能.....	1-7
2. CPU	2-1
2.1 特長.....	2-1
2.2 レジスタの構成.....	2-1
2.2.1 汎用レジスタ (Rn)	2-3
2.2.2 コントロールレジスタ.....	2-3
2.2.3 システムレジスタ	2-4
2.2.4 レジスタの初期値	2-4
2.3 データ形式.....	2-4
2.3.1 レジスタのデータ形式.....	2-4
2.3.2 メモリ上でのデータ形式.....	2-5
2.3.3 イミディエイトデータのデータ形式.....	2-5
2.4 命令の特長.....	2-6
2.4.1 RISC 方式.....	2-6
2.4.2 アドレッシングモード.....	2-9
2.4.3 命令形式.....	2-12
2.5 命令セット.....	2-15
2.5.1 分類順命令セット	2-15
2.6 処理状態.....	2-25
2.6.1 状態遷移.....	2-25
3. MCU 動作モード.....	3-1
3.1 動作モードの選択.....	3-1
3.2 入出力端子.....	3-2
3.3 各動作モードの説明.....	3-2
3.3.1 モード0 (MCU 拡張モード0)	3-2
3.3.2 モード1 (MCU 拡張モード1)	3-2
3.3.3 モード2 (MCU 拡張モード2)	3-2
3.3.4 モード3 (シングルチップモード)	3-2

3.3.5	クロックモード	3-3
3.4	アドレスマップ	3-3
3.5	本LSIの初期状態	3-4
3.6	動作モード変更時の注意事項	3-4
4.	クロック発振器	4-1
4.1	発振器	4-2
4.1.1	水晶発振子を接続する方法	4-2
4.1.2	外部クロックを入力する方法	4-3
4.2	発振停止検出機能	4-3
4.3	使用上の注意事項	4-4
4.3.1	発振子に関する注意事項	4-4
4.3.2	ボード設計上の注意	4-4
5.	例外処理	5-1
5.1	概要	5-1
5.1.1	例外処理の種類と優先順位	5-1
5.1.2	例外処理の動作	5-2
5.1.3	例外処理ベクタテーブル	5-2
5.2	リセット	5-4
5.2.1	リセットの種類	5-4
5.2.2	パワーオンリセット	5-4
5.2.3	マニュアルリセット	5-5
5.3	アドレスエラー	5-6
5.3.1	アドレスエラー発生要因	5-6
5.3.2	アドレスエラー例外処理	5-6
5.4	割り込み	5-7
5.4.1	割り込み要因	5-7
5.4.2	割り込み優先順位	5-7
5.4.3	割り込み例外処理	5-8
5.5	命令による例外	5-8
5.5.1	命令による例外の種類	5-8
5.5.2	トラップ命令	5-9
5.5.3	スロット不当命令	5-9
5.5.4	一般不当命令	5-9
5.6	例外処理が受け付けられない場合	5-10
5.6.1	遅延分岐命令の直後	5-10
5.6.2	割り込み禁止命令の直後	5-10
5.7	例外処理後のスタックの状態	5-11
5.8	使用上の注意	5-12

5.8.1	スタックポインタ (SP) の値	5-12
5.8.2	ベクタベースレジスタ (VBR) の値	5-12
5.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	5-12
6.	割り込みコントローラ (INTC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	レジスタの説明	6-3
6.3.1	割り込みコントロールレジスタ 1 (ICR1)	6-4
6.3.2	割り込みコントロールレジスタ 2 (ICR2)	6-5
6.3.3	IRQ ステータスレジスタ (ISR)	6-6
6.3.4	インタラプトプライオリティレジスタ A ~ J (IPRA ~ IPRJ)	6-7
6.4	割り込み要因	6-8
6.4.1	外部割り込み要因	6-8
6.4.2	内蔵周辺モジュール割り込み	6-9
6.4.3	ユーザブレイク割り込み	6-9
6.4.4	H-UDI 割り込み	6-9
6.5	割り込み例外処理ベクタテーブル	6-10
6.6	動作説明	6-13
6.6.1	割り込み動作の流れ	6-13
6.6.2	割り込み例外処理終了後のスタックの状態	6-15
6.7	割り込み応答時間	6-16
6.8	割り込み要求信号によるデータ転送	6-18
6.8.1	割り込み要求信号を DTC の起動要因、CPU の割り込み要因とし、 DMAC の起動要因としない場合	6-19
6.8.2	割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因、 DTC の起動要因としない場合	6-19
6.8.3	割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因、 DMAC の起動要因としない場合	6-19
6.8.4	割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因、 DMAC の起動要因としない場合	6-20
7.	ユーザブレイクコントローラ (UBC)	7-1
7.1	特長	7-1
7.2	各レジスタの説明	7-3
7.2.1	ユーザブレイクアドレスレジスタ (UBAR)	7-3
7.2.2	ユーザブレイクアドレスマスクレジスタ (UBAMR)	7-3
7.2.3	ユーザブレイクバスサイクルレジスタ (UBBR)	7-4
7.2.4	ユーザブレイクコントロールレジスタ (UBCR)	7-5
7.3	動作説明	7-6
7.3.1	ユーザブレイク動作の流れ	7-6

7.3.2	内蔵メモリの命令フェッチサイクルによるブレイク.....	7-8
7.3.3	退避するプログラムカウンタ (PC) の値.....	7-8
7.4	ユーザブレイク使用例.....	7-9
7.5	使用上の注意.....	7-12
7.5.1	2 命令同時フェッチ.....	7-12
7.5.2	分岐時の命令フェッチ.....	7-12
7.5.3	ユーザブレイクと例外処理の競合.....	7-13
7.5.4	非遅延分岐命令の飛び先でのブレイク.....	7-13
7.5.5	モジュールスタンバイモードの設定.....	7-13
8.	データトランスファコントローラ (DTC).....	8-1
8.1	特長.....	8-1
8.2	レジスタの説明.....	8-2
8.2.1	DTC モードレジスタ (DTMR).....	8-3
8.2.2	DTC ソースアドレスレジスタ (DTSAR).....	8-5
8.2.3	DTC デスティネーションアドレスレジスタ (DTDAR).....	8-5
8.2.4	DTC 初期アドレスレジスタ (DTIAR).....	8-5
8.2.5	DTC 転送カウントレジスタ A (DTCRA).....	8-5
8.2.6	DTC 転送カウントレジスタ B (DTCRB).....	8-5
8.2.7	DTC イネーブルレジスタ (DTER).....	8-6
8.2.8	DTC コントロール/ステータスレジスタ (DTC SR).....	8-6
8.2.9	DTC 情報ベースレジスタ (DTBR).....	8-7
8.3	動作説明.....	8-8
8.3.1	起動要因.....	8-8
8.3.2	レジスタ情報の配置と DTC ベクタテーブル.....	8-8
8.3.3	DTC の動作.....	8-11
8.3.4	割り込み要因.....	8-17
8.3.5	動作タイミング.....	8-17
8.3.6	DTC 実行ステート数.....	8-18
8.4	DTC使用手順.....	8-19
8.4.1	割り込みによる起動.....	8-19
8.4.2	ソフトウェアによる起動.....	8-19
8.4.3	DTC 使用例.....	8-20
8.5	使用上の注意事項.....	8-20
8.5.1	DTC による DMAC/DTC レジスタアクセス禁止.....	8-20
8.5.2	モジュールスタンバイモードの設定.....	8-20
8.5.3	内蔵 RAM.....	8-20
9.	バスステートコントローラ (BSC).....	9-1
9.1	概要.....	9-1

9.1.1	特長	9-1
9.2	入出力端子	9-3
9.3	レジスタ構成	9-3
9.4	アドレスマップ	9-4
9.5	レジスタの説明	9-6
9.5.1	バスコントロールレジスタ 1 (BCR1)	9-6
9.5.2	バスコントロールレジスタ 2 (BCR2)	9-8
9.5.3	ウェイトコントロールレジスタ 1 (WCR1)	9-11
9.5.4	ウェイトコントロールレジスタ 2 (WCR2)	9-12
9.5.5	RAM エミュレーションレジスタ (RAMER)	9-13
9.6	外部空間アクセス	9-13
9.6.1	基本タイミング	9-13
9.6.2	ウェイトステート制御	9-14
9.6.3	\overline{CS} アサート期間拡張	9-16
9.7	アクセスサイクル間ウェイト	9-17
9.7.1	データバス衝突防止	9-17
9.7.2	バスサイクル開始検出の容易化	9-18
9.8	バスアービトレーション	9-19
9.9	メモリ接続例	9-20
9.10	内蔵周辺I/Oレジスタのアクセス	9-23
9.11	バス権を解放しないサイクルについて	9-23
9.12	外部メモリへプログラムを配置したときのCPU動作	9-23
10.	ダイレクトメモリアクセスコントローラ (DMAC)	10-1
10.1	特長	10-1
10.2	入出力端子	10-3
10.3	レジスタの説明	10-3
10.3.1	DMA ソースアドレスレジスタ _{0~3} (SAR _{0~3})	10-4
10.3.2	DMA デスティネーションアドレスレジスタ _{0~3} (DAR _{0~3})	10-4
10.3.3	DMA トランスファカウンタレジスタ _{0~3} (DMATCR _{0~3})	10-4
10.3.4	DMA チャネルコントロールレジスタ _{0~3} (CHCR _{0~3})	10-5
10.3.5	DMA オペレーションレジスタ (DMAOR)	10-9
10.4	動作説明	10-11
10.4.1	動作説明	10-11
10.4.2	DMA 転送要求	10-13
10.4.3	チャネルの優先順位	10-15
10.4.4	DMA 転送の種類	10-18
10.4.5	バスサイクルのステート数と \overline{DREQ} 端子のサンプリングタイミング	10-28
10.4.6	ソースアドレスリロード機能	10-34
10.4.7	DMA 転送終了	10-35

10.4.8	CPU からの DMAC アクセス	10-36
10.5	使用例	10-37
10.5.1	内蔵 SCI と外部メモリとの DMA 転送例	10-37
10.5.2	外部 RAM と DACK 付外部デバイスとの DMA 転送例	10-37
10.5.3	A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン)	10-38
10.5.4	外部メモリと SCI 送信側との DMA 転送例 (インダイレクトアドレスオン)	10-40
10.6	使用上の注意	10-41
11.	マルチファンクションタイマパルスユニット (MTU)	11-1
11.1	特長	11-1
11.2	入出力端子	11-5
11.3	レジスタの説明	11-6
11.3.1	タイマコントロールレジスタ (TCR)	11-8
11.3.2	タイマモードレジスタ (TMDR)	11-11
11.3.3	タイマ I/O コントロールレジスタ (TIOR)	11-12
11.3.4	タイマインタラプトイネーブルレジスタ (TIER)	11-30
11.3.5	タイマステータスレジスタ (TSR)	11-31
11.3.6	タイマカウンタ (TCNT)	11-33
11.3.7	タイマジェネラルレジスタ (TGR)	11-33
11.3.8	タイマスタートレジスタ (TSTR)	11-34
11.3.9	タイマシンクロレジスタ (TSYR)	11-35
11.3.10	タイマアウトプットマスタイネーブルレジスタ (TOER)	11-36
11.3.11	タイマアウトプットコントロールレジスタ (TOCR)	11-37
11.3.12	タイマゲートコントロールレジスタ (TGCR)	11-38
11.3.13	タイマサブカウンタ (TCNTS)	11-40
11.3.14	タイマデッドタイムデータレジスタ (TDDR)	11-40
11.3.15	タイマ周期データレジスタ (TCDR)	11-40
11.3.16	タイマ周期バッファレジスタ (TCBR)	11-40
11.3.17	バスマスタとのインタフェース	11-40
11.4	動作説明	11-41
11.4.1	基本動作	11-41
11.4.2	同期動作	11-46
11.4.3	バッファ動作	11-48
11.4.4	カスケード接続動作	11-51
11.4.5	PWM モード	11-52
11.4.6	位相計数モード	11-56
11.4.7	リセット同期 PWM モード	11-63
11.4.8	相補 PWM モード	11-66
11.5	割り込み要因	11-87
11.5.1	割り込み要因と優先順位	11-87

11.5.2	DTC/DMAC の起動	11-88
11.5.3	A/D 変換器の起動	11-89
11.6	動作タイミング	11-89
11.6.1	入出力タイミング	11-89
11.6.2	割り込み信号タイミング	11-94
11.7	使用上の注意事項	11-97
11.7.1	モジュールスタンバイモードの設定	11-97
11.7.2	入力クロックの制限事項	11-97
11.7.3	周期設定上の注意事項	11-98
11.7.4	TCNT のライトとクリアの競合	11-98
11.7.5	TCNT のライトとカウントアップの競合	11-98
11.7.6	TGR のライトとコンペアマッチの競合	11-99
11.7.7	バッファレジスタのライトとコンペアマッチの競合	11-100
11.7.8	TGR のリードとインプットキャプチャの競合	11-101
11.7.9	TGR のライトとインプットキャプチャの競合	11-102
11.7.10	バッファレジスタのライトとインプットキャプチャの競合	11-103
11.7.11	カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合	11-103
11.7.12	相補 PWM モード停止時のカウンタ値	11-105
11.7.13	相補 PWM モードでのバッファ動作の設定	11-105
11.7.14	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	11-106
11.7.15	リセット同期 PWM モードのオーバフローフラグ	11-107
11.7.16	オーバフロー / アンダフローとカウンタクリアの競合	11-107
11.7.17	TCNT のライトとオーバフロー / アンダフローの競合	11-108
11.7.18	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項	11-109
11.7.19	PWM モード、リセット同期 PWM モードの出力レベル	11-109
11.7.20	モジュールスタンバイ時の割り込み	11-109
11.7.21	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ	11-109
11.7.22	バッファ動作設定上の注意事項	11-109
11.8	MTU出力端子の初期化方法	11-110
11.8.1	動作モード	11-110
11.8.2	リセットスタート時の動作	11-110
11.8.3	動作中の異常などによる再設定時の動作	11-110
11.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	11-111
11.9	ポートアウトプットイネーブル (POE)	11-133
11.9.1	特長	11-133
11.9.2	端子構成	11-135
11.9.3	レジスタの説明	11-135
11.9.4	動作説明	11-139
11.9.5	使用上の注意事項	11-141

12. ウォッチドッグタイマ (WDT)	12-1
12.1 特長	12-1
12.2 入出力端子	12-2
12.3 レジスタの説明	12-2
12.3.1 タイマカウンタ (TCNT)	12-3
12.3.2 タイマコントロール/ステータスレジスタ (TCSR)	12-3
12.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)	12-4
12.4 動作説明	12-5
12.4.1 ウォッチドッグタイマモード	12-5
12.4.2 インターバルタイマモード	12-6
12.4.3 ソフトウェアスタンバイモード解除時の動作	12-7
12.4.4 オーバフローフラグ (OVF) のセットタイミング	12-7
12.4.5 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	12-8
12.5 割り込み要因	12-8
12.6 使用上の注意事項	12-9
12.6.1 レジスタアクセス時の注意	12-9
12.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合	12-10
12.6.3 CKS2 ~ CKS0 ビットの書き換え	12-11
12.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え	12-11
12.6.5 WDTOVF 信号によるシステムのリセット	12-11
12.6.6 ウォッチドッグタイマモードでの内部リセット	12-12
12.6.7 ウォッチドッグタイマモードでのマニュアルリセット	12-12
12.6.8 WDTOVF 信号の使用上の注意	12-12
13. シリアルコミュニケーションインタフェース (SCI)	13-1
13.1 特長	13-1
13.2 入出力端子	13-3
13.3 レジスタの説明	13-3
13.3.1 レシーブシフトレジスタ (RSR)	13-5
13.3.2 レシーブデータレジスタ (RDR)	13-5
13.3.3 トランスミットシフトレジスタ (TSR)	13-5
13.3.4 トランスミットデータレジスタ (TDR)	13-5
13.3.5 シリアルモードレジスタ (SMR)	13-6
13.3.6 シリアルコントロールレジスタ (SCR)	13-8
13.3.7 シリアルステータスレジスタ (SSR)	13-11
13.3.8 シリアルディレクションコントロールレジスタ (SDCR)	13-16
13.3.9 ビットレートレジスタ (BRR)	13-17
13.4 調歩同期式モードの動作	13-25
13.4.1 送受信フォーマット	13-26
13.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン	13-27

13.4.3	クロック	13-28
13.4.4	SCI の初期化 (調歩同期式)	13-29
13.4.5	データ送信 (調歩同期式)	13-30
13.4.6	シリアルデータ受信 (調歩同期式)	13-32
13.5	マルチプロセッサ通信機能.....	13-35
13.5.1	マルチプロセッサシリアルデータ送信	13-36
13.5.2	マルチプロセッサシリアルデータ受信	13-37
13.6	クロック同期式モードの動作.....	13-40
13.6.1	クロック	13-40
13.6.2	SCI の初期化 (クロック同期式)	13-41
13.6.3	シリアルデータ送信 (クロック同期式)	13-42
13.6.4	シリアルデータ受信 (クロック同期式)	13-44
13.6.5	シリアルデータ送受信同時動作 (クロック同期式)	13-46
13.7	スマートカードインタフェース.....	13-48
13.7.1	接続例.....	13-48
13.7.2	データフォーマット (ブロック転送モード時を除く)	13-49
13.7.3	ブロック転送モード	13-50
13.7.4	受信データサンプリングタイミングと受信マージン.....	13-51
13.7.5	初期設定.....	13-52
13.7.6	シリアルデータ送信 (ブロック転送モードを除く)	13-53
13.7.7	クロック出力制御	13-56
13.8	割り込み要因.....	13-57
13.8.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	13-57
13.8.2	スマートカードインタフェースモードにおける割り込み.....	13-58
13.9	使用上の注意事項	13-59
13.9.1	TDR への書き込みと TDRE フラグの関係について.....	13-59
13.9.2	モジュールスタンバイモードの設定	13-59
13.9.3	ブレークの検出と処理について (調歩同期式モードのみ)	13-59
13.9.4	ブレークの送り出し (調歩同期式モードのみ)	13-59
13.9.5	受信エラーフラグと送信動作について (クロック同期式モードのみ)	13-59
13.9.6	DMAC、DTC の使用上の注意事項.....	13-60
13.9.7	クロック同期外部クロックモード時の注意事項	13-60
13.9.8	クロック同期内部クロックモード時の注意事項	13-60
14.	1°C バスインタフェース (IIC) 【オプション】	14-1
14.1	特長.....	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-3
14.3.1	1°C バスデータレジスタ (ICDR)	14-4
14.3.2	スレーブアドレスレジスタ (SAR)	14-5

14.3.3	第2スレーブアドレスレジスタ (SARX)	14-5
14.3.4	I ² C バスモードレジスタ (ICMR)	14-7
14.3.5	I ² C バスコントロールレジスタ (ICCR)	14-8
14.3.6	I ² C バスステータスレジスタ (ICSR)	14-15
14.3.7	シリアルコントロールレジスタ X (SCRX)	14-18
14.3.8	ICDRE フラグ (内部フラグ) の説明	14-20
14.4	動作説明	14-21
14.4.1	I ² C バスデータフォーマット	14-21
14.4.2	初期設定	14-23
14.4.3	マスタ送信動作	14-24
14.4.4	マスタ受信動作	14-28
14.4.5	スレーブ受信動作	14-35
14.4.6	スレーブ送信動作	14-43
14.4.7	IRIC セットタイミングと SCL 制御	14-47
14.4.8	DTC による動作	14-50
14.4.9	ノイズ除去回路	14-51
14.4.10	内部状態の初期化	14-52
14.5	使用上の注意事項	14-53
14.5.1	モジュールストップモードの設定	14-62
15.	A/D 変換器	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-4
15.3.1	A/D データレジスタ 0~7 (ADDR0 ~ ADDR7)	15-4
15.3.2	A/D コントロール/ステータスレジスタ_0、1 (ADCSR_0、1)	15-5
15.3.3	A/D コントロールレジスタ_0、1 (ADCR_0、1)	15-6
15.3.4	A/D トリガセレクトレジスタ (ADTSR)	15-7
15.4	動作説明	15-8
15.4.1	シングルモード	15-8
15.4.2	連続スキャンモード	15-8
15.4.3	1 サイクルスキャンモード	15-9
15.4.4	入力サンプリングと A/D 変換時間	15-9
15.4.5	MTU による A/D 変換器の起動	15-11
15.4.6	外部トリガ入力タイミング	15-11
15.5	割り込み要因と DTC、DMAC 転送要求	15-12
15.6	A/D 変換精度の定義	15-12
15.7	使用上の注意事項	15-14
15.7.1	モジュールスタンバイモードの設定	15-14
15.7.2	許容信号源インピーダンスについて	15-14

15.7.3	絶対精度への影響	15-14
15.7.4	アナログ電源端子他の設定範囲	15-15
15.7.5	ボード設計上の注意	15-15
15.7.6	ノイズ対策上の注意	15-15
16.	コンペアマッチタイマ (CMT)	16-1
16.1	特長	16-1
16.2	レジスタの説明	16-2
16.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	16-2
16.2.2	コンペアマッチタイマコントロール/ステータスレジスタ_0、1 (CMCSR_0、1)	16-3
16.2.3	コンペアマッチタイマカウンタ_0、1 (CMCNT_0、1)	16-3
16.2.4	コンペアマッチタイマコンスタントレジスタ_0、1 (CMCOR_0、1)	16-4
16.3	動作説明	16-4
16.3.1	周期カウント動作	16-4
16.3.2	CMCNT のカウントタイミング	16-4
16.4	割り込み	16-5
16.4.1	割り込み要因と DTC の起動	16-5
16.4.2	コンペアマッチフラグのセットタイミング	16-5
16.4.3	コンペアマッチフラグのクリアタイミング	16-6
16.5	使用上の注意	16-6
16.5.1	CMCNT の書き込みとコンペアマッチの競合	16-6
16.5.2	CMCNT のワード書き込みとカウントアップの競合	16-6
16.5.3	CMCNT のバイト書き込みとカウントアップの競合	16-7
17.	ピンファンクションコントローラ (PFC)	17-1
17.1	レジスタの説明	17-23
17.1.1	ポート A・IO レジスタ L、H (PAIORL、H)	17-23
17.1.2	ポート A コントロールレジスタ L2、1、H (PACRL2、1、PACRH)	17-24
17.1.3	ポート B・IO レジスタ (PBIOR)	17-30
17.1.4	ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)	17-31
17.1.5	ポート C・IO レジスタ (PCIOR)	17-33
17.1.6	ポート C コントロールレジスタ (PCCR)	17-33
17.1.7	ポート D・IO レジスタ L、H (PDIORL、H)	17-35
17.1.8	ポート D コントロールレジスタ L1、L2、H1、H2 (PDCRL1、L2、H1、H2)	17-36
17.1.9	ポート E・IO レジスタ L (PEIORL)	17-44
17.1.10	ポート E コントロールレジスタ L1、L2 (PECRL1、L2)	17-44
17.1.11	大電流ポートコントロールレジスタ (PPCR)	17-50
17.2	使用上の注意事項	17-51

18. I/Oポート.....	18-1
18.1 ポートA.....	18-1
18.1.1 レジスタの説明.....	18-3
18.1.2 ポートAデータレジスタH、L (PADRH、L)	18-3
18.2 ポートB.....	18-5
18.2.1 レジスタの説明.....	18-5
18.2.2 ポートBデータレジスタ (PBDR)	18-5
18.3 ポートC.....	18-7
18.3.1 レジスタの説明.....	18-7
18.3.2 ポートCデータレジスタ (PCDR)	18-8
18.4 ポートD.....	18-9
18.4.1 レジスタの説明.....	18-11
18.4.2 ポートDデータレジスタH、L (PDDRH、L)	18-11
18.5 ポートE.....	18-13
18.5.1 レジスタの説明.....	18-14
18.5.2 ポートEデータレジスタL (PEDRL)	18-15
18.6 ポートF.....	18-16
18.6.1 レジスタの説明.....	18-16
18.6.2 ポートFデータレジスタ (PFDR)	18-16
19. フラッシュメモリ (F-ZTAT 版)	19-1
19.1 特長.....	19-1
19.2 モード遷移図.....	19-3
19.3 ブロック構成.....	19-6
19.4 入出力端子.....	19-7
19.5 レジスタの説明.....	19-7
19.5.1 フラッシュメモリコントロールレジスタ1 (FLMCR1)	19-8
19.5.2 フラッシュメモリコントロールレジスタ2 (FLMCR2)	19-9
19.5.3 消去ブロック指定レジスタ1 (EBR1)	19-9
19.5.4 消去ブロック指定レジスタ2 (EBR2)	19-10
19.5.5 RAMエミュレーションレジスタ (RAMER)	19-10
19.6 オンボードプログラミング.....	19-11
19.6.1 ブートモード.....	19-12
19.6.2 ユーザプログラムモードでの書き込み / 消去	19-14
19.7 RAMによるフラッシュメモリのエミュレーション	19-15
19.8 書き込み / 消去プログラム.....	19-17
19.8.1 プログラム / プログラムベリファイ	19-17
19.8.2 イレース / イレースベリファイ.....	19-19
19.8.3 フラッシュメモリの書き込み / 消去時の割り込み	19-19
19.9 書き込み / 消去プロテクト.....	19-21

19.9.1	ハードウェアプロテクト.....	19-21
19.9.2	ソフトウェアプロテクト.....	19-21
19.9.3	エラープロテクト.....	19-22
19.10	ライターモード.....	19-22
19.11	使用上の注意事項.....	19-22
19.11.1	モジュールスタンバイモードの設定.....	19-22
19.11.2	F-ZTAT マイコンのマスク ROM 化.....	19-22
19.11.3	フラッシュメモリの書き込み / 消去時の注意事項.....	19-23
20.	マスク ROM.....	20-1
20.1	使用上の注意事項.....	20-1
21.	RAM.....	21-1
21.1	使用上の注意事項.....	21-1
22.	ユーザデバッグインタフェース (H-UDI).....	22-1
22.1	特長.....	22-1
22.2	入出力端子.....	22-3
22.3	レジスタの説明.....	22-3
22.3.1	インストラクションレジスタ (SDIR).....	22-4
22.3.2	ステータスレジスタ (SDSR).....	22-5
22.3.3	データレジスタ (SDDR).....	22-5
22.3.4	バイパスレジスタ (SDBPR).....	22-5
22.4	動作説明.....	22-6
22.4.1	H-UDI 割り込み.....	22-6
22.4.2	BYPASS モード.....	22-9
22.4.3	H-UDI のリセット.....	22-9
22.5	使用上の注意事項.....	22-9
23.	アドバンスドユーザデバッガ (AUD).....	23-1
23.1	特長.....	23-1
23.2	入出力端子.....	23-2
23.2.1	端子説明.....	23-2
23.3	ブランチトレースモード.....	23-4
23.3.1	動作説明.....	23-4
23.4	RAM モニタモード.....	23-5
23.4.1	通信プロトコル.....	23-5
23.4.2	動作説明.....	23-6
23.5	使用上の注意事項.....	23-7
23.5.1	初期化.....	23-7

23.5.2	ソフトウェアスタンバイ時の動作.....	23-7
23.5.3	PA15/CK 端子の設定.....	23-8
23.5.4	端子状態.....	23-8
23.5.5	AUD 起動シーケンス.....	23-8
23.5.6	PD22/AUDCK 端子を使用した RAM モニタ動作.....	23-9
23.5.7	E10A 使用時の AUD 関連端子の設定.....	23-9
24.	低消費電力状態.....	24-1
24.1	入出力端子.....	24-3
24.2	レジスタの説明.....	24-3
24.2.1	スタンバイコントロールレジスタ (SBYCR).....	24-3
24.2.2	システムコントロールレジスタ (SYSCR).....	24-5
24.2.3	モジュールスタンバイコントロールレジスタ 1、2 (MSTCR1、MSTCR2).....	24-6
24.3	動作説明.....	24-7
24.3.1	スリープモード.....	24-7
24.3.2	ソフトウェアスタンバイモード.....	24-8
24.3.3	モジュールスタンバイモード.....	24-10
24.4	使用上の注意事項.....	24-11
24.4.1	I/O ポートの状態.....	24-11
24.4.2	発振安定待機中の消費電流.....	24-11
24.4.3	内蔵周辺モジュールの割り込み.....	24-11
24.4.4	MSTCR1、2 のライト.....	24-11
24.4.5	スリープモード中の DMAC、DTC、AUD 動作.....	24-11
25.	レジスタ一覧.....	25-1
25.1	レジスタアドレス一覧 (アドレス順).....	25-2
25.2	レジスタビット一覧.....	25-11
25.3	各動作モードにおけるレジスタの状態.....	25-22
26.	電気的特性.....	26-1
26.1	絶対最大定格.....	26-1
26.2	DC特性.....	26-2
26.3	AC特性.....	26-4
26.3.1	AC 特性測定条件.....	26-4
26.3.2	クロックタイミング.....	26-5
26.3.3	制御信号タイミング.....	26-7
26.3.4	バスタイミング.....	26-10
26.3.5	ダイレクトメモリアクセスコントローラタイミング.....	26-14
26.3.6	マルチファンクションタイマパルスユニットタイミング.....	26-16
26.3.7	I/O ポートタイミング.....	26-17

26.3.8	ウォッチドッグタイマタイミング	26-18
26.3.9	シリアルコミュニケーションインタフェースタイミング	26-19
26.3.10	I ² C バスインタフェースタイミング	26-21
26.3.11	ポートアウトプットイネーブル (POE) タイミング	26-22
26.3.12	A/D 変換器タイミング	26-22
26.3.13	H-UDI タイミング	26-23
26.3.14	AUD タイミング	26-25
26.4	A/D変換器特性	26-27
26.5	フラッシュメモリ特性	26-28
付録	付録-1
A.	端子状態	付録-1
B.	バス関連信号の端子状態	付録-11
C.	型名一覧	付録-14
D.	I/Oポートブロック図	付録-15
E.	外形寸法図	付録-72
本版で改訂された箇所	改-1
索引	索引-1

図目次

1. 概要

図 1.1	SH7144 内部ブロック図	1-3
図 1.2	SH7145 内部ブロック図	1-4
図 1.3	SH7144 ピン配置図	1-5
図 1.4	SH7145 ピン配置図	1-6

2. CPU

図 2.1	CPU 内部レジスタ構成	2-2
図 2.2	レジスタのデータ形式	2-5
図 2.3	メモリ上でのデータ形式	2-5
図 2.4	処理状態の状態遷移図	2-25

3. MCU 動作モード

図 3.1	各動作モードのアドレスマップ	3-3
図 3.2	動作モード変更時のリセット入力タイミング	3-4

4. クロック発振器

図 4.1	クロック発振器のブロック図	4-1
図 4.2	水晶発振子の接続例	4-2
図 4.3	水晶発振子の等価回路	4-2
図 4.4	外部クロックの接続例	4-3
図 4.5	発振回路部のボード設計に関する注意事項	4-4
図 4.6	PLL 回路の外付け推奨回路	4-5

6. 割り込みコントローラ (INTC)

図 6.1	INTC のブロック図	6-2
図 6.2	IRQ0 ~ IRQ7 割り込み制御	6-9
図 6.3	割り込み動作フロー	6-14
図 6.4	割り込み例外処理終了後のスタック状態	6-15
図 6.5	IRQ 割り込みを受け付けるときのパイプライン動作例	6-17
図 6.6	割り込み制御ブロック図	6-18

7. ユーザブレイクコントローラ (UBC)

図 7.1	UBC のブロック図	7-2
-------	------------------	-----

図 7.2	ブレーク条件判定方式.....	7-7
8.	データトランスファコントローラ (DTC)	
図 8.1	DTC のブロック図.....	8-2
図 8.2	DTC 起動要因制御ブロック図.....	8-8
図 8.3	メモリ空間上での DTC レジスタ情報の配置.....	8-9
図 8.4	DTC ベクタアドレスと転送情報との対応.....	8-9
図 8.5	DTC 動作フローチャート.....	8-12
図 8.6	ノーマルモードのメモリマップ.....	8-13
図 8.7	リピートモードのメモリマップ.....	8-14
図 8.8	ブロック転送モードのメモリマップ.....	8-15
図 8.9	チェーン転送の動作.....	8-16
図 8.10	DTC の動作タイミング例 (ノーマルモード).....	8-17
9.	バスステートコントローラ (BSC)	
図 9.1	BSC のブロック図.....	9-2
図 9.2	アドレスフォーマット.....	9-4
図 9.3	外部空間アクセスの基本タイミング.....	9-13
図 9.4	外部空間アクセスのウェイトステートタイミング (ソフトウェアウェイトのみ).....	9-14
図 9.5	外部空間アクセスのウェイトステートタイミング (ソフトウェアウェイト 2 ステート + WAIT 信号によるウェイトステート).....	9-15
図 9.6	\overline{CS} アサート期間拡張機能.....	9-16
図 9.7	アイドルサイクル挿入例.....	9-17
図 9.8	同一空間連続アクセス時アイドルサイクル挿入例.....	9-18
図 9.9	バス権解放手順.....	9-20
図 9.10	8 ビットデータバス幅 ROM 接続例.....	9-20
図 9.11	16 ビットデータバス幅 ROM 接続例.....	9-21
図 9.12	32 ビットデータバス幅 ROM 接続例 (SH7145 のみ).....	9-21
図 9.13	8 ビットデータバス幅 SRAM 接続例.....	9-21
図 9.14	16 ビットデータバス幅 SRAM 接続例.....	9-22
図 9.15	32 ビットデータバス幅 SRAM 接続例 (SH7145 のみ).....	9-22
図 9.16	1 バスサイクル.....	9-23
10.	ダイレクトメモリアクセスコントローラ (DMAC)	
図 10.1	DMAC ブロック図.....	10-2
図 10.2	DMAC 転送フローチャート.....	10-12
図 10.3 (1)	ラウンドロビンモード.....	10-16
図 10.3 (2)	ラウンドロビンモードでのチャネル優先順位変更例.....	10-17
図 10.4	シングルアドレスモードでのデータの流れ.....	10-19
図 10.5	シングルアドレスモードでの DMA 転送タイミング.....	10-20

図 10.6	デュアルアドレスモード、直接アドレスの動作説明.....	10-21
図 10.7	デュアルアドレスモード、直接アドレスでのデータの流れ.....	10-22
図 10.8	デュアルアドレスモード、間接アドレスの動作説明 (外部メモリ空間が 16 ビット幅の場合)	10-23
図 10.9	デュアルアドレスモード、間接アドレスでの転送タイミング例	10-24
図 10.10	デュアルアドレスモード、間接アドレスでの転送タイミング例	10-25
図 10.11	サイクルスチールモードでの DMA 転送例.....	10-26
図 10.12	バーストモードでの DMA 転送例.....	10-26
図 10.13	複数チャンネルが動作する場合のバス状態	10-28
図 10.14	サイクルスチール、デュアル、レベル (最高速動作)	10-31
図 10.15	サイクルスチール、デュアル、レベル (通常動作)	10-31
図 10.16	サイクルスチール、シングル、レベル (最高速動作)	10-31
図 10.17	サイクルスチール、シングル、レベル (通常動作)	10-32
図 10.18	バースト、デュアル、レベル (最高速動作)	10-32
図 10.19	バースト、デュアル、レベル (通常動作)	10-32
図 10.20	バースト、シングル、レベル (最高速動作)	10-32
図 10.21	バースト、シングル、レベル (通常動作)	10-33
図 10.22	バースト、デュアル、エッジ.....	10-33
図 10.23	バースト、シングル、エッジ.....	10-33
図 10.24	ソースアドレスリロード機能図.....	10-34
図 10.25	ソースアドレスリロード機能タイムチャート	10-34

11. マルチファンクションタイムパルスユニット (MTU)

図 11.1	MTU のブロック図.....	11-4
図 11.2	相補 PWM モードの出力レベルの例	11-38
図 11.3	カウンタ動作設定手順例.....	11-41
図 11.4	フリーランニングカウンタの動作.....	11-42
図 11.5	周期カウンタの動作	11-43
図 11.6	コンペアマッチによる波形出力動作例.....	11-43
図 11.7	0 出力 / 1 出力の動作例.....	11-44
図 11.8	トグル出力の動作例	11-44
図 11.9	インプットキャプチャ動作の設定例	11-45
図 11.10	インプットキャプチャ動作例.....	11-46
図 11.11	同期動作の設定手順例.....	11-47
図 11.12	同期動作の動作例	11-48
図 11.13	コンペアマッチバッファ動作.....	11-49
図 11.14	インプットキャプチャバッファ動作.....	11-49
図 11.15	バッファ動作の設定手順例.....	11-49
図 11.16	バッファ動作例 (1)	11-50
図 11.17	バッファ動作例 (2)	11-51
図 11.18	カスケード接続動作設定手順.....	11-52

図 11.19	カスケード接続動作例.....	11-52
図 11.20	PWM モードの設定手順例.....	11-54
図 11.21	PWM モードの動作例.....	11-54
図 11.22	PWM モードの動作例.....	11-55
図 11.23	PWM モード動作例.....	11-56
図 11.24	位相計数モードの設定手順例.....	11-57
図 11.25	位相計数モード 1 の動作例.....	11-58
図 11.26	位相計数モード 2 の動作例.....	11-59
図 11.27	位相計数モード 3 の動作例.....	11-60
図 11.28	位相計数モード 4 の動作例.....	11-61
図 11.29	位相計数モードの応用例.....	11-62
図 11.30	リセット同期 PWM モードの設定手順例.....	11-64
図 11.31	リセット同期 PWM モードの動作例 (TOCR の OLSN = 1、OLSP = 1 に設定した場合).....	11-65
図 11.32	相補 PWM モード時のチャンネル 3、4 ブロック図.....	11-68
図 11.33	相補 PWM モードの設定手順例.....	11-69
図 11.34	相補 PWM モードのカウンタ動作.....	11-70
図 11.35	相補 PWM モード動作例.....	11-72
図 11.36	PWM 周期の変更例.....	11-74
図 11.37	相補 PWM モードのデータ更新例.....	11-75
図 11.38	相補 PWM モードの初期出力例 (1).....	11-76
図 11.39	相補 PWM モードの初期出力例 (2).....	11-77
図 11.40	相補 PWM モード波形出力例 (1).....	11-78
図 11.41	相補 PWM モード波形出力例 (2).....	11-79
図 11.42	相補 PWM モード波形出力例 (3).....	11-79
図 11.43	相補 PWM モード 0%、100%波形出力例 (1).....	11-80
図 11.44	相補 PWM モード 0%、100%波形出力例 (2).....	11-80
図 11.45	相補 PWM モード 0%、100%波形出力例 (3).....	11-81
図 11.46	相補 PWM モード 0%、100%波形出力例 (4).....	11-81
図 11.47	相補 PWM モード 0%、100%波形出力例 (5).....	11-82
図 11.48	PWM 出力に同期したトグル出力波形例.....	11-83
図 11.49	他のチャンネルに同期したカウンタクリア.....	11-83
図 11.50	外部入力による出力相の切り換え動作例 (1).....	11-84
図 11.51	外部入力による出力相の切り換え動作例 (2).....	11-85
図 11.52	UF、VF、WF ビット設定による出力相の切り換え動作例 (3).....	11-85
図 11.53	UF、VF、WF ビット設定による出力相の切り換え動作例 (4).....	11-86
図 11.54	内部クロック動作時のカウントタイミング.....	11-89
図 11.55	外部クロック動作時のカウントタイミング.....	11-89
図 11.56	外部クロック動作時のカウントタイミング (位相計数モード).....	11-90
図 11.57	アウトプットコンペア出力タイミング (ノーマルモード、PWM モード).....	11-90
図 11.58	アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード).....	11-91
図 11.59	インプットキャプチャ入力信号タイミング.....	11-91

図 11.60	カウンタクリアタイミング (コンペアマッチ)	11-92
図 11.61	カウンタクリアタイミング (インプットキャプチャ)	11-92
図 11.62	バッファ動作タイミング (コンペアマッチ)	11-93
図 11.63	バッファ動作タイミング (インプットキャプチャ)	11-93
図 11.64	TGI 割り込みタイミング (コンペアマッチ)	11-94
図 11.65	TGI 割り込みタイミング (インプットキャプチャ)	11-95
図 11.66	TCIV 割り込みのセットタイミング	11-95
図 11.67	TCIU 割り込みのセットタイミング	11-96
図 11.68	CPU によるステータスフラグのクリアタイミング	11-96
図 11.69	DTC/DMAC の起動によるステータスフラグのクリアタイミング	11-97
図 11.70	位相計数モード時の位相差、オーバーラップ、およびパルス幅	11-97
図 11.71	TCNT のライトとクリアの競合	11-98
図 11.72	TCNT のライトとカウントアップの競合	11-99
図 11.73	TGR のライトとコンペアマッチの競合	11-99
図 11.74	バッファレジスタのライトとコンペアマッチの競合 (チャンネル 0)	11-100
図 11.75	TGR のライトとコンペアマッチの競合 (チャンネル 3、4)	11-101
図 11.76	TGR のリードとインプットキャプチャの競合	11-102
図 11.77	TGR のライトとインプットキャプチャの競合	11-102
図 11.78	バッファレジスタのライトとインプットキャプチャの競合	11-103
図 11.79	カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合	11-104
図 11.80	相補 PWM モード停止時のカウンタ値	11-105
図 11.81	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	11-106
図 11.82	リセット同期 PWM モードのオーバフローフラグ	11-107
図 11.83	オーバフローとカウンタクリアの競合	11-108
図 11.84	TCNT のライトとオーバフローの競合	11-108
図 11.85	ノーマルモードで異常が発生し、ノーマルモードで復帰する場合	11-112
図 11.86	ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合	11-113
図 11.87	ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合	11-113
図 11.88	ノーマルモードで異常が発生し、位相計数モードで復帰する場合	11-114
図 11.89	ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合	11-115
図 11.90	ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合	11-116
図 11.91	PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合	11-116
図 11.92	PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合	11-117
図 11.93	PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合	11-118
図 11.94	PWM モード 1 で異常が発生し、位相計数モードで復帰する場合	11-118
図 11.95	PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合	11-119
図 11.96	PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合	11-120
図 11.97	PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合	11-120
図 11.98	PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合	11-121
図 11.99	PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合	11-122
図 11.100	PWM モード 2 で異常が発生し、位相計数モードで復帰する場合	11-122

図 11.101	位相計数モードで異常が発生し、ノーマルモードで復帰する場合	11-123
図 11.102	位相計数モードで異常が発生し、PWM モード 1 で復帰する場合	11-124
図 11.103	位相計数モードで異常が発生し、PWM モード 2 で復帰する場合	11-124
図 11.104	位相計数モードで異常が発生し、位相計数モードで復帰する場合	11-125
図 11.105	相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合	11-126
図 11.106	相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合	11-127
図 11.107	相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合	11-127
図 11.108	相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合	11-128
図 11.109	相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合	11-129
図 11.110	リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合	11-130
図 11.111	リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合	11-131
図 11.112	リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合	11-131
図 11.113	リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合	11-132
図 11.114	POE ブロック図	11-134
図 11.115	ローレベル検出動作	11-139
図 11.116	出力レベル検出動作	11-140
図 11.117	立ち下がりエッジ検出動作	11-141

12. ウォッチドッグタイマ (WDT)

図 12.1	WDT のブロック図	12-2
図 12.2	ウォッチドッグタイマモード時の動作	12-6
図 12.3	インターバルタイマモード時の動作	12-6
図 12.4	オーバフローフラグ (OVF) のセットタイミング	12-7
図 12.5	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	12-8
図 12.6	TCNT、TCSR への書き込み	12-9
図 12.7	RSTCSR への書き込み	12-10
図 12.8	TCNT のライトとカウントアップの競合	12-10
図 12.9	$\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例	12-11

13. シリアルコミュニケーションインタフェース (SCI)

図 13.1	SCI のブロック図	13-2
図 13.2	調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)	13-25
図 13.3	調歩同期式モードの受信データサンプリングタイミング	13-27
図 13.4	出カクロックと送信データの位相関係 (調歩同期式モード)	13-28
図 13.5	SCI の初期化フローチャートの例	13-29
図 13.6	調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	13-30
図 13.7	シリアル送信のフローチャートの例	13-31
図 13.8	SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	13-32
図 13.9	シリアル受信データフローチャートの例 (1)	13-33

図 13.9	シリアル受信データフローチャートの例 (2)	13-34
図 13.10	マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)	13-35
図 13.11	マルチプロセッサシリアル送信のフローチャートの例	13-36
図 13.12	SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)	13-37
図 13.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	13-38
図 13.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	13-39
図 13.14	クロック同期式通信のデータフォーマット (LSB ファーストの場合)	13-40
図 13.15	SCI の初期化フローチャートの例	13-41
図 13.16	クロック同期式モードの送信時の動作例	13-42
図 13.17	シリアル送信のフローチャートの例	13-43
図 13.18	SCI の受信時の動作例	13-44
図 13.19	シリアルデータ受信フローチャートの例	13-45
図 13.20	シリアル送受信同時動作のフローチャートの例	13-47
図 13.21	スマートカードインタフェース端子接続例	13-48
図 13.22	通常のスマートカードインタフェースのデータフォーマット	13-49
図 13.23	ダイレクトコンベンション (DIR = SINV = 0/ \bar{E} = 0)	13-49
図 13.24	インバースコンベンション (DIR = SINV = 0/ \bar{E} = 1)	13-50
図 13.25	スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)	13-51
図 13.26	SCI 送信モードの場合の再転送動作	13-54
図 13.27	送信動作時の TEND フラグ発生タイミング	13-54
図 13.28	送信処理フローの例	13-55
図 13.29	クロック出力固定タイミング	13-56
図 13.30	DMAC/DTC によるクロック同期式送信時の例	13-60

14. I²C バスインタフェース (IIC) 【オプション】

図 14.1	I ² C バスインタフェースのブロック図	14-2
図 14.2	I ² C バスインタフェース接続例 (本 LSI がマスタの場合)	14-3
図 14.3	I ² C バスデータフォーマット (I ² C バスフォーマット)	14-21
図 14.4	I ² C バスデータフォーマット (シリアルフォーマット)	14-21
図 14.5	I ² C バスタイミング	14-22
図 14.6	IIC の初期化フローチャートの例	14-23
図 14.7	マスタ送信モードフローチャート例	14-24
図 14.8	マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)	14-26
図 14.9	マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき)	14-27
図 14.10	マスタ受信モードフローチャート例 (HNDS=1)	14-28
図 14.11	マスタ受信モード動作タイミング例 (MLS=WAIT=0、HNDS=1 のとき)	14-30
図 14.12	マスタ受信モード動作停止条件発行タイミング例 (MLS=WAIT=0、HNDS=1 のとき)	14-30
図 14.13	マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1)	14-31

図 14.14	マスタ受信モード (1 バイトのみ受信) のフローチャート例 (WAIT=1)	14-32
図 14.15	マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)	14-34
図 14.16	マスタ受信モード停止条件発行動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)	14-35
図 14.17	スレーブ受信モードのフローチャート例 (HNDS=1)	14-36
図 14.18	スレーブ受信モード動作タイミング例 1 (MLS=0、HNDS=1 のとき)	14-38
図 14.19	スレーブ受信モード動作タイミング例 2 (MLS=0、HNDS=1 のとき)	14-39
図 14.20	スレーブ受信モードのフローチャート例 (HNDS=0)	14-40
図 14.21	スレーブ受信モード動作タイミング例 1 (MLS=ACKB=0、HNDS=0 のとき)	14-42
図 14.22	スレーブ受信モード動作タイミング例 2 (MLS=ACKB=0、HNDS=0 のとき)	14-43
図 14.23	スレーブ送信モードのフローチャート例	14-44
図 14.24	スレーブ送信モード動作タイミング例 (MLS=0 のとき)	14-46
図 14.25	IRIC フラグセットタイミングと SCL 制御 (1)	14-47
図 14.26	IRIC フラグセットタイミングと SCL 制御 (2)	14-48
図 14.27	IRIC フラグセットタイミングと SCL 制御 (3)	14-49
図 14.28	ノイズ除去回路のブロック図	14-51
図 14.29	マスタ受信データの読み出しにおける注意	14-56
図 14.30	再送のための開始条件命令発行フローチャートおよびタイミング	14-57
図 14.31	停止条件発行タイミング	14-58
図 14.32	ウェイト動作時 IRIC フラグクリアタイミング	14-59
図 14.33	WAIT=1 状態での IRIC フラグクリアタイミング	14-59
図 14.34	スレーブ送信モードでの ICDR リード、ICCR アクセスタイミング	14-60
図 14.35	スレーブモードでの TRS ビット設定タイミング	14-61

15. A/D 変換器

図 15.1	A/D 変換器のブロック図	15-2
図 15.2	A/D 変換タイミング	15-10
図 15.3	外部トリガ入力タイミング	15-11
図 15.4	A/D 変換精度の定義	15-13
図 15.5	A/D 変換精度の定義	15-13
図 15.6	アナログ入力回路の例	15-14
図 15.7	アナログ入力保護回路の例	15-16

16. コンペアマッチタイマ (CMT)

図 16.1	CMT のブロック図	16-1
図 16.2	カウンタの動作	16-4
図 16.3	カウントタイミング	16-4
図 16.4	CMF のセットタイミング	16-5
図 16.5	CPU による CMF のクリアタイミング	16-6
図 16.6	CMCNT の書き込みとコンペアマッチの競合	16-6
図 16.7	CMCNT のワード書き込みとカウントアップの競合	16-7

図 16.8	CMCNT のバイト書き込みとカウントアップの競合	16-7
18. I/O ポート		
図 18.1	ポート A (SH7144 の場合)	18-1
図 18.2	ポート A (SH7145 の場合)	18-2
図 18.3	ポート B	18-5
図 18.4	ポート C	18-7
図 18.5	ポート D (SH7144 の場合)	18-9
図 18.6	ポート D (SH7145 の場合)	18-10
図 18.7	ポート E (SH7144 の場合)	18-13
図 18.8	ポート E (SH7145 の場合)	18-14
図 18.9	ポート F	18-16
19. フラッシュメモリ (F-ZTAT 版)		
図 19.1	フラッシュメモリのブロック図	19-2
図 19.2	フラッシュメモリに関する状態遷移	19-3
図 19.3	ブートモード	19-4
図 19.4	ユーザプログラムモード	19-5
図 19.5	フラッシュメモリのブロック構成	19-6
図 19.6	ユーザプログラムモードにおける書き込み/消去例	19-14
図 19.7	RAM によるエミュレーションフロー	19-15
図 19.8	RAM のオーバーラップ例 (RAM[2:0]=b'000 の場合)	19-16
図 19.9	プログラム / プログラムベリファイフロー	19-18
図 19.10	イレース / イレースベリファイフロー	19-20
図 19.11	電源投入 / 切断タイミング (ブートモード)	19-26
図 19.12	電源投入 / 切断タイミング (ユーザプログラムモード)	19-27
図 19.13	モード遷移タイミング (例: ブートモード → ユーザモード ⇄ ユーザプログラムモード)	19-28
20. マスク ROM		
図 20.1	マスク ROM のブロック図	20-1
22. ユーザデバッグインタフェース (H-UDI)		
図 22.1	H-UDI のブロック図	22-2
図 22.2	データ入出力タイミングチャート (1)	22-7
図 22.3	データ入出力タイミングチャート (2)	22-8
図 22.4	データ入出力タイミングチャート (3)	22-8
図 22.5	シリアルデータ入出力	22-10
23. アドバンスドユーザデバッグ (AUD)		
図 23.1	AUD ブロック図	23-1

図 23.2	データ出力例 (32 ビット出力)	23-4
図 23.3	分岐が連続した場合の出力例	23-5
図 23.4	AUDATA 入力フォーマット	23-5
図 23.5	リード動作例 (バイトリード)	23-6
図 23.6	ライト動作例 (ロングワードライト)	23-7
図 23.7	エラー発生例 (ロングワードリード)	23-7
24.	低消費電力状態	
図 24.1	ソフトウェアスタンバイモード時の NMI タイミング (応用例)	24-10
26.	電気的特性	
図 26.1	出力負荷回路	26-4
図 26.2	システムクロックタイミング	26-5
図 26.3	EXTAL クロック入力タイミング	26-6
図 26.4	発振安定時間	26-6
図 26.5	リセット入力タイミング	26-8
図 26.6	割り込み信号入力タイミング	26-8
図 26.7	割り込み信号出力タイミング	26-9
図 26.8	バス権解放タイミング	26-9
図 26.9	基本サイクル (ノーウェイト)	26-11
図 26.10	基本サイクル (ソフトウェアウェイト)	26-12
図 26.11	基本サイクル (2 ソフトウェアウェイト + WAIT 信号によるウェイト)	26-13
図 26.12	$\overline{\text{DREQ}}_0$ 、 $\overline{\text{DREQ}}_1$ 入力タイミング (1)	26-14
図 26.13	$\overline{\text{DREQ}}_0$ 、 $\overline{\text{DREQ}}_1$ 入力タイミング (2)	26-15
図 26.14	DRAK 出力遅延時間	26-15
図 26.15	MTU 入出力タイミング	26-16
図 26.16	MTU クロック入力タイミング	26-16
図 26.17	I/O ポート入出力タイミング	26-17
図 26.18	ウォッチドッグタイマタイミング	26-18
図 26.19	入力クロックタイミング	26-19
図 26.20	SCI 入出力タイミング	26-20
図 26.21	I ² C バスインタフェースタイミング	26-21
図 26.22	$\overline{\text{POE}}$ 入力タイミング	26-22
図 26.23	外部トリガ入力タイミング	26-22
図 26.24	H-UDI クロックタイミング	26-23
図 26.25	H-UDI $\overline{\text{TRST}}$ タイミング	26-23
図 26.26	H-UDI 入出力タイミング	26-24
図 26.27	AUD リセットタイミング	26-26
図 26.28	ブランチトレース時タイミング	26-26
図 26.29	RAM モニタ時タイミング	26-27

付録

☒ D.1	PAn/RXDm	付録-15
☒ D.2	PAn/TXDm	付録-16
☒ D.3	PAn/SCKm/ $\overline{\text{DREQm/IRQm}}$	付録-17
☒ D.4	PAn/TCLKm/ $\overline{\text{CSx}}$	付録-18
☒ D.5	PAn/TCLKm/ $\overline{\text{IRQx}}$	付録-19
☒ D.6	PAn/機能 1	付録-20
☒ D.7	PA15/CK	付録-21
☒ D.8	PA16/ $\overline{\text{AUDSYNC}}$	付録-22
☒ D.9	PA17/ $\overline{\text{WAIT}}$	付録-23
☒ D.10	PA18/ $\overline{\text{BREQ/DRAK0}}$	付録-24
☒ D.11	PA19/ $\overline{\text{BACK/DRAK1}}$	付録-25
☒ D.12	PAn	付録-26
☒ D.13	PAn/機能 2	付録-27
☒ D.14	PBn/Am	付録-28
☒ D.15	PBn/ $\overline{\text{IRQm/POEm}}$ /機能 1	付録-29
☒ D.16	PBn/ $\overline{\text{IRQm/POEm}}$	付録-30
☒ D.17	PBn/ $\overline{\text{IRQm/POEm/CSx}}$	付録-31
☒ D.18	PB6/ $\overline{\text{IRQ4/A18/BACK}}$	付録-32
☒ D.19	PB7/ $\overline{\text{IRQ5/A19/BREQ}}$	付録-33
☒ D.20	PB8/ $\overline{\text{IRQ6/A20/WAIT}}$	付録-34
☒ D.21	PB9/ $\overline{\text{IRQ7/A21/ADTRG}}$	付録-35
☒ D.22	PCn/An	付録-36
☒ D.23	PDn/Dn	付録-37
☒ D.24	PDn/Dn/AUDATAm	付録-38
☒ D.25	PDn/Dn/機能 1	付録-39
☒ D.26	PDn/Dn/機能 2	付録-40
☒ D.27	PDn/Dn/ $\overline{\text{IRQm}}$	付録-41
☒ D.28	PDn/Dn/ $\overline{\text{IRQm/AUDATAm}}$	付録-42
☒ D.29	PDn/Dn/ $\overline{\text{IRQm}}$ /機能 1	付録-43
☒ D.30	PDn/Dn/ $\overline{\text{IRQm}}$ /機能 2	付録-44
☒ D.31	PDn/Dn/機能 3	付録-45
☒ D.32	PDn/Dn/機能 4	付録-46
☒ D.33	PDn/Dn/ $\overline{\text{CSm}}$	付録-47
☒ D.34	PEn/TIOCxx/機能 1	付録-48
☒ D.35	PEn/TIOCxx/機能 2	付録-49
☒ D.36	PEn/TIOCxx/SCKm	付録-50
☒ D.37	PE9/TIOC3B/SCK3	付録-51
☒ D.38	PE11/TIOC3D/RXD3	付録-52
☒ D.39	PE12/TIOC4A/TXD3	付録-53

☒ D.40	PE13/TIOC4B/ $\overline{\text{MRES}}$	付録-54
☒ D.41	PE14/TIOC4C/DACK0.....	付録-55
☒ D.42	PE15/TIOC4D/DACK1/ $\overline{\text{IRQOUT}}$	付録-56
☒ D.43	PE _n /TIOC _{xx} /機能 1/機能 2.....	付録-57
☒ D.44	PE1/TIOC0B/DRAK0/ $\overline{\text{TRST}}$	付録-58
☒ D.45	PE3/TIOC0D/DRAK1/TDO.....	付録-59
☒ D.46	PE0/TIOC0A/ $\overline{\text{DREQ0}}$ /AUDCK.....	付録-60
☒ D.47	PE1/TIOC0B/DRAK0/AUDMD.....	付録-61
☒ D.48	PE2/TIOC0C/ $\overline{\text{DREQ1}}$ / $\overline{\text{AUDRST}}$	付録-62
☒ D.49	PE _n /TIOC _{xx} /機能 1/AUDATA _m	付録-63
☒ D.50	PE4/TIOC1A/RXD3/AUDATA2.....	付録-64
☒ D.51	PE6/TIOC2A/SCK3/AUDATA0.....	付録-65
☒ D.52	PE8/TIOC3A/SCK2/TMS.....	付録-66
☒ D.53	PE9/TIOC3B/SCK3/ $\overline{\text{TRST}}$	付録-67
☒ D.54	PE10/TIOC3C/TXD2/TDI.....	付録-68
☒ D.55	PE11/TIOC3D/RXD3/TDO.....	付録-69
☒ D.56	PE12/TIOC4A/TXD3/TCK.....	付録-70
☒ D.57	PF _n /AN _n	付録-71
☒ E.1	FP-112B.....	付録-72
☒ E.2	FP-144F.....	付録-73

表目次

2. CPU

表 2.1	レジスタの初期値	2-4
表 2.2	ワードデータの符号拡張.....	2-6
表 2.3	遅延分岐命令	2-6
表 2.4	Tビット.....	2-7
表 2.5	イミディエイトデータによる参照.....	2-7
表 2.6	絶対アドレスによる参照.....	2-8
表 2.7	ディスプレイースメントによる参照.....	2-8
表 2.8	アドレッシングモードと実効アドレス.....	2-9
表 2.9	命令形式.....	2-12
表 2.10	命令の分類.....	2-15

3. MCU 動作モード

表 3.1	動作モードの選択	3-1
表 3.2	クロックモードの選択.....	3-2
表 3.3	端子構成	3-2

4. クロック発振器

表 4.1	各モジュールの動作クロック.....	4-1
表 4.2	ダンピング抵抗値（推奨値）.....	4-2
表 4.3	水晶発振子の特性	4-2

5. 例外処理

表 5.1	例外要因の種類と優先順位.....	5-1
表 5.2	例外要因検出と例外処理開始タイミング	5-2
表 5.3	例外処理ベクタテーブル.....	5-3
表 5.4	例外処理ベクタテーブルアドレスの算出法	5-4
表 5.5	リセット状態	5-4
表 5.6	バスサイクルとアドレスエラー	5-6
表 5.7	割り込み要因	5-7
表 5.8	割り込み優先順位	5-8
表 5.9	命令による例外の種類.....	5-8
表 5.10	遅延分岐命令、割り込み禁止命令の直後の例外要因発生.....	5-10
表 5.11	例外処理終了後のスタックの状態.....	5-11

6.	割り込みコントローラ (INTC)	
表 6.1	端子構成	6-3
表 6.2	割り込み要因とベクタアドレスおよび割り込み優先順位一覧	6-11
表 6.3	割り込み応答時間	6-16
8.	データトランスファコントローラ (DTC)	
表 8.1	割り込み要因と DTC ベクタアドレスおよび対応する DTE	8-10
表 8.2	ノーマルモードのレジスタ機能	8-13
表 8.3	リピートモードのレジスタ機能	8-14
表 8.4	ブロック転送モードのレジスタ機能	8-15
表 8.5	DTC の実行状態	8-18
表 8.6	実行状態に必要なステート数	8-18
9.	バスステートコントローラ (BSC)	
表 9.1	端子構成	9-3
表 9.2	アドレスマップ	9-5
表 9.3	内蔵周辺 I/O レジスタへのアクセス	9-23
10.	ダイレクトメモリアクセスコントローラ (DMAC)	
表 10.1	DMAC 端子構成	10-3
表 10.2	RS ビットによる外部リクエストモードの選択	10-13
表 10.3	RS ビットによる内蔵周辺モジュールリクエストモードの選択	10-14
表 10.4	サポートできる DMA 転送	10-18
表 10.5	DMA 転送区間とリクエストモード、バスモードなどの関連一覧	10-27
表 10.6	内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値	10-37
表 10.7	外部 RAM と DACK 付外部デバイス間転送の転送条件とレジスタ設定値	10-37
表 10.8	A/D 変換器 (A/D1) と内蔵メモリ間転送の転送条件とレジスタ設定値	10-38
表 10.9	DMAC 内部状態	10-39
表 10.10	外部メモリと SCI1 送信側間転送の転送条件とレジスタ設定値	10-40
11.	マルチファンクションタイムパルスユニット (MTU)	
表 11.1	MTU の機能一覧	11-2
表 11.2	端子構成	11-5
表 11.3	CCLR2 ~ CCLR0 (チャンネル 0、3、4)	11-8
表 11.4	CCLR2 ~ CCLR0 (チャンネル 1、2)	11-9
表 11.5	TPSC2 ~ TPSC0 (チャンネル 0)	11-9
表 11.6	TPSC2 ~ TPSC0 (チャンネル 1)	11-9
表 11.7	TPSC2 ~ TPSC0 (チャンネル 2)	11-10
表 11.8	TPSC2 ~ TPSC0 (チャンネル 3、4)	11-10
表 11.9	MD3 ~ MD0	11-12

表 11.10	TIORH_0 (チャンネル 0)	11-14
表 11.11	TIORL_0 (チャンネル 0)	11-15
表 11.12	TIOR_1 (チャンネル 1)	11-16
表 11.13	TIOR_2 (チャンネル 2)	11-17
表 11.14	TIORH_3 (チャンネル 3)	11-18
表 11.15	TIORL_3 (チャンネル 3)	11-19
表 11.16	TIORH_4 (チャンネル 4)	11-20
表 11.17	TIORL_4 (チャンネル 4)	11-21
表 11.18	TIORH_0 (チャンネル 0)	11-22
表 11.19	TIORL_0 (チャンネル 0)	11-23
表 11.20	TIOR_1 (チャンネル 1)	11-24
表 11.21	TIOR_2 (チャンネル 2)	11-25
表 11.22	TIORH_3 (チャンネル 3)	11-26
表 11.23	TIORL_3 (チャンネル 3)	11-27
表 11.24	TIORH_4 (チャンネル 4)	11-28
表 11.25	TIORL_4 (チャンネル 4)	11-29
表 11.26	出力レベルセレクト機能.....	11-37
表 11.27	出力レベルセレクト機能.....	11-37
表 11.28	出力レベルセレクト機能.....	11-39
表 11.29	レジスタの組み合わせ.....	11-48
表 11.30	カスケード接続組み合わせ.....	11-51
表 11.31	各 PWM 出力のレジスタと出力端子	11-53
表 11.32	位相計数モードクロック入力端子	11-57
表 11.33	位相計数モード 1 のアップ/ダウンカウント条件	11-58
表 11.34	位相計数モード 2 のアップ/ダウンカウント条件	11-59
表 11.35	位相計数モード 3 のアップ/ダウンカウント条件	11-60
表 11.36	位相計数モード 4 のアップ/ダウンカウント条件	11-61
表 11.37	リセット同期 PWM モード時の出力端子.....	11-63
表 11.38	リセット同期 PWM モード時のレジスタ設定.....	11-63
表 11.39	相補 PWM モード時の出力端子.....	11-66
表 11.40	相補 PWM モード時のレジスタ設定	11-67
表 11.41	初期設定の必要なレジスタとカウンタ	11-73
表 11.42	MTU 割り込み一覧.....	11-87
表 11.43	モード遷移の組み合わせ.....	11-111
表 11.44	端子構成	11-135
表 11.45	端子の組み合わせ	11-135

12. ウォッチドッグタイマ (WDT)

表 12.1	端子構成	12-2
表 12.2	WDT (インターバルタイマモード時) の割り込み要因.....	12-8

13. シリアルコミュニケーションインタフェース (SCI)

表 13.1	端子構成	13-3
表 13.2	BRR の設定値 N と実効ビットレート B_0 の関係	13-17
表 13.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(1)	13-18
表 13.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)	13-18
表 13.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)	13-19
表 13.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(4)	13-19
表 13.4	ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)	13-20
表 13.5	外部クロック入力時の最大ビットレート(調歩同期式モード)	13-21
表 13.6	ビットレートに対する BRR の設定例〔クロック同期式モード〕(1)	13-22
表 13.6	ビットレートに対する BRR の設定例〔クロック同期式モード〕(2)	13-22
表 13.6	ビットレートに対する BRR の設定例〔クロック同期式モード〕(3)	13-23
表 13.6	ビットレートに対する BRR の設定例〔クロック同期式モード〕(4)	13-23
表 13.7	外部クロック入力時の最大ビットレート(クロック同期式モード)	13-24
表 13.8	ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで $n=0$ 、 $S=372$ のとき)	13-24
表 13.9	各動作周波数における最大ビットレート (スマートカードインタフェースモードで $S=372$ のとき)	13-25
表 13.10	シリアル送信/受信フォーマット(調歩同期式モード)	13-26
表 13.11	SSR のステータスフラグの状態と受信データの処理	13-33
表 13.12	シリアルコミュニケーションインタフェースモードの割り込み要因	13-57
表 13.13	スマートカードインタフェースモードの割り込み要因	13-58

14. I²C バスインタフェース (IIC) 【オプション】

表 14.1	端子構成	14-3
表 14.2	転送フォーマット	14-6
表 14.3	転送レート	14-8
表 14.4	フラグと転送状態の関係(マスタモード)	14-13
表 14.5	フラグと転送状態の関係(スレーブモード)	14-14
表 14.6	I ² C バスデータフォーマット記号説明	14-22
表 14.7	DTC による動作例	14-50
表 14.8	I ² C バスタイミング(SCL、SDA 出力)	14-53
表 14.9	SCL 立ち上がり時間(t_{su})の許容範囲	14-54
表 14.10	I ² C バスタイミング(t_{su}/t_{sr} 影響最大の場合)	14-55

15. A/D 変換器

表 15.1	端子構成	15-3
表 15.2	チャンネルセレクト一覧表	15-6
表 15.3	A/D 変換時間(シングルモード)	15-10

表 15.4	A/D 変換時間 (スキャンモード)	15-10
表 15.5	A/D 変換器の割り込み要因	15-12
表 15.6	アナログ端子の規格	15-16
17. ピンファンクションコントローラ (PFC)		
表 17.1	マルチプレクス一覧表 (SH7144、ポート A)	17-1
表 17.2	マルチプレクス一覧表 (SH7144、ポート B)	17-2
表 17.3	マルチプレクス一覧表 (SH7144、ポート C)	17-2
表 17.4	マルチプレクス一覧表 (SH7144、ポート D)	17-3
表 17.5	マルチプレクス一覧表 (SH7144、ポート E)	17-4
表 17.6	マルチプレクス一覧表 (SH7144、ポート F)	17-4
表 17.7	マルチプレクス一覧表 (SH7145、ポート A)	17-5
表 17.8	マルチプレクス一覧表 (SH7145、ポート B)	17-5
表 17.9	マルチプレクス一覧表 (SH7145、ポート C)	17-6
表 17.10	マルチプレクス一覧表 (SH7145、ポート D)	17-7
表 17.11	マルチプレクス一覧表 (SH7145、ポート E)	17-8
表 17.12	マルチプレクス一覧表 (SH7145、ポート F)	17-8
表 17.13	動作モード別端子機能一覧 (SH7144- (1))	17-9
表 17.13	動作モード別端子機能一覧 (SH7144- (2))	17-12
表 17.14	動作モード別端子機能一覧 (SH7145- (1))	17-15
表 17.14	動作モード別端子機能一覧 (SH7145- (2))	17-19
表 17.15	複数端子に割り付けられている入力機能の伝搬形式	17-51
18. I/O ポート		
表 18.1	ポート A データレジスタ (PADR) の読み出し / 書き込み動作	18-4
表 18.2	ポート B データレジスタ (PBDR) の読み出し / 書き込み動作	18-6
表 18.3	ポート C データレジスタ (PCDR) の読み出し / 書き込み動作	18-8
表 18.4	ポート D データレジスタ (PDDR) の読み出し / 書き込み動作	18-12
表 18.5	ポート E データレジスタ L (PEDRL) の読み出し / 書き込み動作	18-15
表 18.6	ポート F データレジスタ (PFDR) の読み出し / 書き込み動作	18-17
19. フラッシュメモリ (F-ZTAT 版)		
表 19.1	ブートモードとユーザプログラムモードの相違点	19-3
表 19.2	端子構成	19-7
表 19.3	プログラミングモード選択方法	19-11
表 19.4	ブートモードの動作	19-13
表 19.5	ビットレート自動合わせ込みが可能な周辺クロック (Pφ) 周波数	19-13
22. ユーザデバッグインタフェース (H-UDI)		
表 22.1	端子構成	22-3

表 22.2	H-UDI レジスタのシリアル転送特性.....	22-4
23. アドバンストユーザデバッグ (AUD)		
表 23.1	端子構成	23-2
表 23.2	Ready フラグフォーマット	23-6
24. 低消費電力状態		
表 24.1	各モードでの本 LSI の内部状態.....	24-2
表 24.2	端子構成	24-3
26. 電气的特性		
表 26.1	絶対最大定格	26-1
表 26.2	DC 特性	26-2
表 26.3	出力許容電流値	26-3
表 26.4	クロックタイミング	26-5
表 26.5	制御信号タイミング	26-7
表 26.6	バスタイミング	26-10
表 26.7	ダイレクトメモリアクセスコントローラタイミング.....	26-14
表 26.8	マルチファンクションタイマパルスユニットタイミング.....	26-16
表 26.9	I/O ポートタイミング	26-17
表 26.10	ウォッチドッグタイマタイミング.....	26-18
表 26.11	シリアルコミュニケーションインタフェースタイミング.....	26-19
表 26.12	I ² C バスインタフェースタイミング.....	26-21
表 26.13	ポートアウトプットイネーブル (POE) タイミング.....	26-22
表 26.14	A/D 変換器タイミング.....	26-22
表 26.15	H-UDI タイミング.....	26-23
表 26.16	AUD タイミング.....	26-25
表 26.17	A/D 変換器特性	26-27
表 26.18	フラッシュメモリ特性.....	26-28
付録		
表 A.1	端子状態 (SH7144)	付録-1
表 A.2	端子状態 (SH7145)	付録-5
表 A.3	端子状態	付録-8
表 A.4	端子状態	付録-9
表 A.5	端子状態	付録-10
表 B.1	バス関連信号の端子状態 (1)	付録-11
表 B.1	バス関連信号の端子状態 (2)	付録-12
表 B.1	バス関連信号の端子状態 (3)	付録-13

1. 概要

SH7144 シリーズは、ルネサス テクノロジオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

SH7144 シリーズの CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令 1 ステート (1 システムクロックサイクル) で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに SH7144 シリーズはシステム構成に必要な周辺機能として、ダイレクトメモリアクセスコントローラ (DMAC)、大容量 ROM、RAM、タイマ、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。さらに、オプションとして、I²C バスインタフェース (IIC) を内蔵することができます。

また、SH7144 シリーズでは外部メモリアクセスサポート機能により、ROM や SRAM と直接接続が行えます。これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM はフラッシュメモリを内蔵した F-ZTAT™ (Flexible Zero Turn Around Time)* とマスク ROM 版があります。フラッシュメモリは SH7144 シリーズの書き込みをサポートしているライタを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み / 消去することもできます。これにより、ユーザサイドで LSI をボードに組み込んだままの書き換えが可能です。

【注】 * F-ZTAT は、(株)ルネサス テクノロジの商標です。

1.1 特長

- 32ビットRISC (Reduced Instruction Set Computer) タイプCPU
 - 命令長：16ビット固定長による、コード効率の向上
 - ロードストアアーキテクチャ (基本演算はレジスタ間で実行)
 - 汎用レジスタ：32ビット×16本
 - パイプライン：5段パイプライン方式
 - 乗算器内蔵：32×32→64乗算を2~4サイクル実行
 - 基本命令：62種類、C言語指向の命令セット
- 豊富な周辺機能
 - ダイレクトメモリアクセスコントローラ (DMAC)
 - データトランスファコントローラ (DTC)

1. 概要

マルチファンクションタイマパルスユニット (MTU)

コンペアマッチタイマ (CMT)

ウォッチドッグタイマ (WDT)

調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース (SCI)

I²Cバスインタフェース (IIC) 【オプション】

10ビットA/D変換器

クロック発振器

ユーザブレイクコントローラ (UBC)

ユーザデバッグインタフェース (H-UDI) *

アドバンストユーザデバッグ (AUD) *

【注】 * フラッシュメモリ版のみ搭載

• 内蔵メモリ

ROM	型名	ROM	RAM
フラッシュメモリ版	HD64F7144F50	256K バイト	8K バイト
	HD64F7145F50	256K バイト	8K バイト
マスク ROM 版	HD6437144F50	256K バイト	8K バイト
	HD6437145F50	256K バイト	8K バイト
ROM レス版	HD6417144F50	-	8K バイト
	HD6417145F50	-	8K バイト

• 汎用入出力ポート

型名	入出力ポート	入力ポート
HD64F7144F50/HD6437144F50/HD6417144F50	74 本	8 本
HD64F7145F50/HD6437145F50/HD6417145F50	98 本	8 本

• 各種低消費電力モードをサポート

• 小型パッケージ

型名	パッケージ	(コード)	ボディサイズ	ピンピッチ
HD64F7144F50/HD6437144F50/HD6417144F50	QFP-112	FP-112B	20.0 × 20.0mm	0.65mm
HD64F7145F50/HD6437145F50/HD6417145F50	LQFP-144	FP-144F	20.0 × 20.0mm	0.5mm

1.2 内部ブロック図

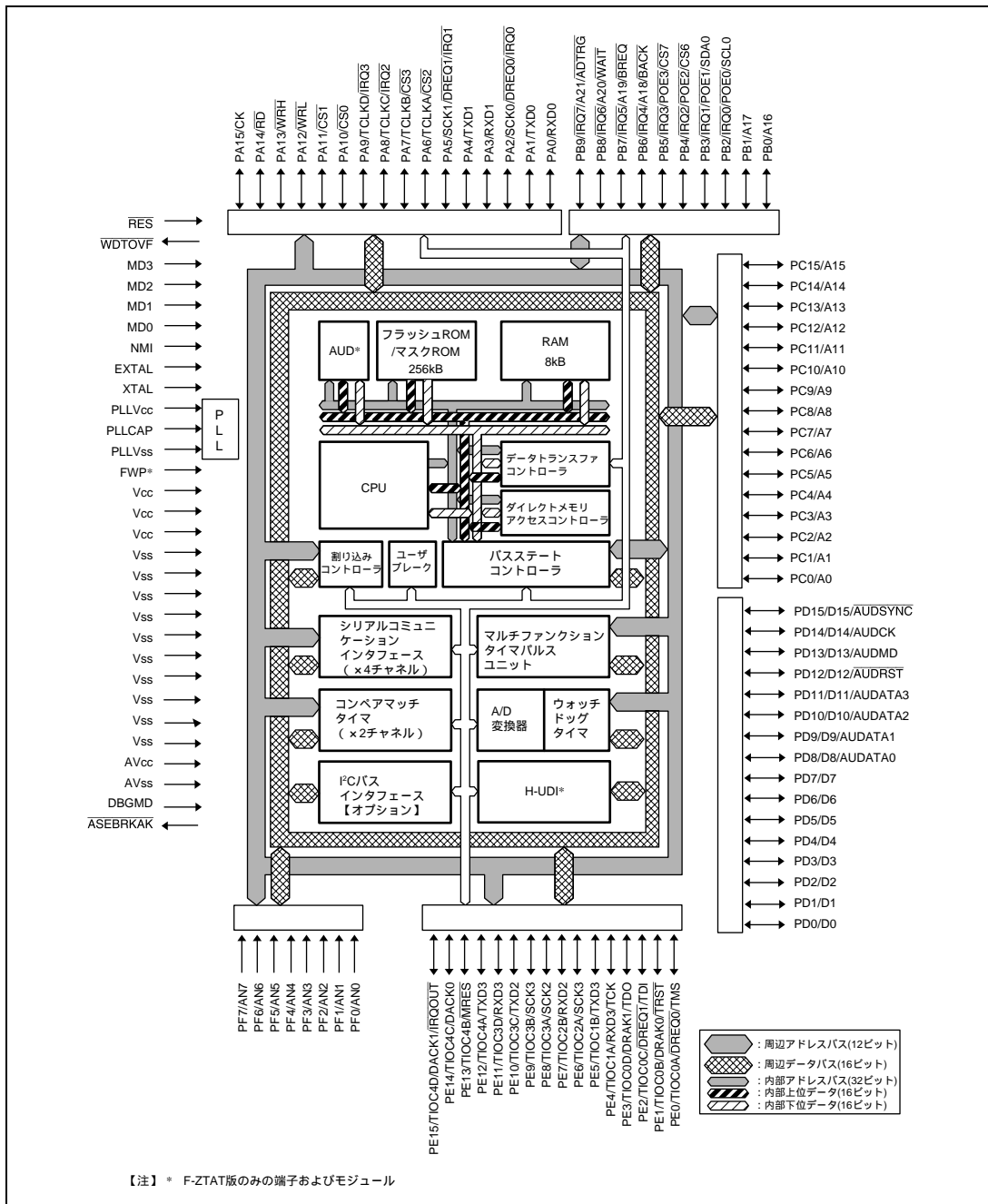


図 1.1 SH7144 内部ブロック図

1.3 ピン配置図

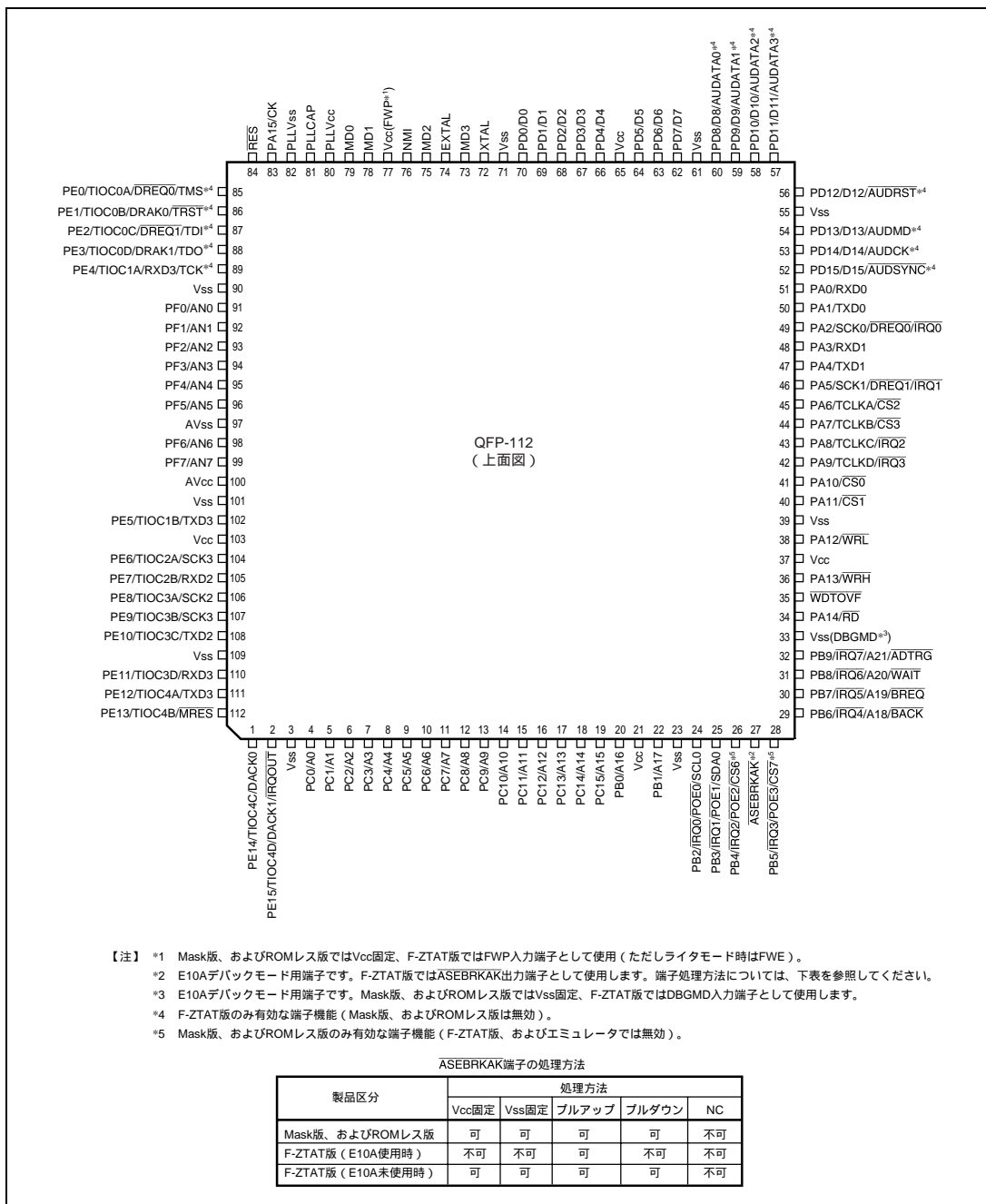


図 1.3 SH7144 ピン配置図

1. 概要

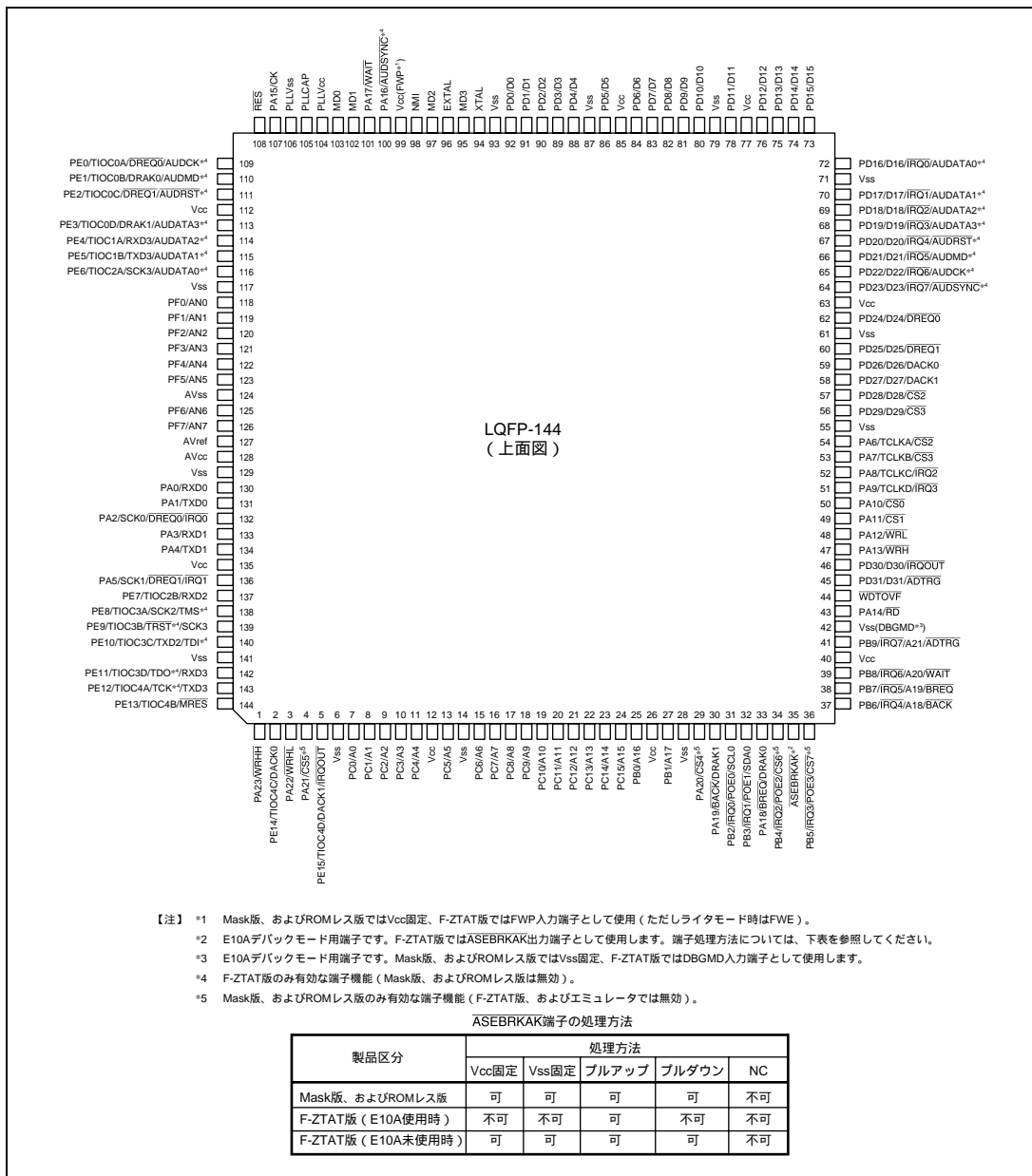


図 1.4 SH7145 ピン配置図

1.4 端子機能

分類	記号	入出力	名称	機能
電源	Vcc	入力	電源	電源端子です。すべての VCC 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランド端子です。すべての VSS 端子をシステム電源(0V)に接続してください。開放端子があると動作しません。
クロック	PLL Vcc	入力	PLL 用電源	内蔵 PLL 発振器用の電源端子です。
	PLL Vss	入力	PLL 用グランド	内蔵 PLL 発振器用のグランド端子です。
	PLL CAP	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。
	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 4 章 クロック発振器」を参照してください。
	XTAL	入力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 4 章 クロック発振器」を参照してください。
	CK	出力	システムクロック出力	外部デバイスにシステムクロックを供給します。
動作モードコントロール	MD3 ~ MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中には変化させないでください。
	FWP	入力	フラッシュメモリ書き込み阻止	フラッシュメモリ用の端子です。F-ZTAT 版のみとなります。フラッシュメモリの書き込み/消去をプロテクトすることができます。マスク ROM 版、および ROM レス版では Vcc 端子となります。
システム制御	RES	入力	パワーオンリセット	この端子が Low レベルになると、パワーオンリセット状態になります。
	MRES	入力	マニュアルリセット	この端子が Low レベルになると、マニュアルリセット状態になります。
	WDTOVF	出力	ウォッチドックタイマオーバーフロー	WDT からのオーバーフロー出力信号です。 ブルダウンが必要な場合は、1MΩ以上の抵抗を使用してください。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	出力	バス権要求アクリッジ	バス権を外部デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。

1. 概要

分類	記号	入出力	名称	機能
割り込み	NMI	入力	ノンマスク ブル割り込 み	ノンマスクブル割り込み要求端子です。使用しない場合は High または Low レベルに固定してください。
	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$	入力	割り込み 要求 7~0	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、 立ち上がり、立ち下がり、両エッジの選択が可能です。
	$\overline{\text{IRQOUT}}$	出力	割り込み 要求出力	割り込み要因が発生したことを示します。バスリリース中にも 割り込み発生を知ることができます。
アドレス バス	A21 ~ A0	出力	アドレス バス	アドレスを出力します。
データバス	SH7144 : D15 ~ D0 SH7145 : D31 ~ D0	入出力	データバス	SH7144 では、16 ビットの双方向バスです。 SH7145 では、32 ビットの双方向バスです。
バス制御	$\overline{\text{CS3}} \sim \overline{\text{CS0}}$	出力	チップセレ クト 3~0	外部メモリまたはデバイスのためのチップセレクト信号です。
	$\overline{\text{CS5}}, \overline{\text{CS4}}$ (SH7145 マス ク ROM 版、およ び ROM レス版 のみ)	出力	チップセレ クト 5、4	
	$\overline{\text{CS7}}, \overline{\text{CS6}}$ (マスク ROM 版、および ROM レス版のみ)	出力	チップセレ クト 7、6	
	$\overline{\text{RD}}$	出力	読み出し	外部のデバイスから読み出すことを示します。
	$\overline{\text{WRHH}}$ (SH7145 のみ)	出力	HH 側 書き込み	外部のデータのビット 31 ~ 24 に書き込みすることを示します。
	$\overline{\text{WRHL}}$ (SH7145 のみ)	出力	HL 側 書き込み	外部のデータのビット 23 ~ 16 に書き込みすることを示します。
	$\overline{\text{WRH}}$	出力	上位側 書き込み	外部のデータのビット 15 ~ 8 に書き込みすることを示します。
	$\overline{\text{WRL}}$	出力	下位側 書き込み	外部のデータのビット 7 ~ 0 に書き込みすることを示します。
$\overline{\text{WAIT}}$	入力	ウエイト	外部空間をアクセスするときのバスサイクルにウエイトサイク ルを挿入させる入力です。	

分類	記号	入出力	名称	機能
ダイレクト メモリアク セスコント ローラ (DMAC)	DREQ0	入力	DMA 転送 要求	外部からの DMA 転送要求の入力端子です。
	DREQ1			
	DRAK0 DRAK1	出力	DREQ 要求 受付	外部からの DMA 転送要求の入力サンプリング受け付けを出力します。
	DACK0 DACK1	出力	DMA 転送 ストロブ	外部からの DMA 転送要求の外部 I/O へのストロブを出力します。
マルチファンクション タイマパルスユニット (MTU)	TCLKA TCLKB TCLKC TCLKD	入力	MTU タイマ クロック 入力	タイマの外部クロック入力端子です。
	TIOC0A TIOC0B TIOC0C TIOC0D	入出力	MTU イン ットキャ ブチャ/ アウト ットコ ンペア (チャ ネル0)	TGRA_0 ~ TGRD_0 のインプットキャブチャ入力/アウトプット コンペア出力 / PWM 出力端子です。
	TIOC1A TIOC1B	入出力	MTU イン ットキャ ブチャ/ アウト ットコ ンペア (チャ ネル1)	TGRA_1, TGRB_1 のインプットキャブチャ入力/アウトプット コンペア出力 / PWM 出力端子です。
	TIOC2A TIOC2B	入出力	MTU イン ットキャ ブチャ/ アウト ットコ ンペア (チャ ネル2)	TGRA_2, TGRB_2 のインプットキャブチャ入力/アウトプット コンペア出力 / PWM 出力端子です。
	TIOC3A TIOC3B TIOC3C TIOC3D	入出力	MTU イン ットキャ ブチャ/ アウト ットコ ンペア (チャ ネル3)	TGRA_3 ~ TGRD_3 のインプットキャブチャ入力/アウトプット コンペア出力 / PWM 出力端子です。
	TIOC4A TIOC4B TIOC4C TIOC4D	入出力	MTU イン ットキャ ブチャ/ アウト ットコ ンペア (チャ ネル4)	TGRA_4, TGRB_4 のインプットキャブチャ入力/アウトプット コンペア出力 / PWM 出力端子です。

1. 概要

分類	記号	入出力	名称	機能
シリアルコミュニケーションインタフェース (SCI)	TXD3 ~ TXD0	出力	送信データ	データ出力端子です。
	RXD3 ~ RXD0	入力	受信データ	データ入力端子です。
	SCK3 ~ SCK0	入出力	シリアルクロック	クロック入出力端子です。
I ² C バスインタフェース【オプション】	SCL0	入出力	I ² C クロック入出力	I ² C バスのクロック入出力端子です。 バス駆動機能を持っています。 出力形式は NMOS オープンドレインです。
	SDA0	入出力	I ² C データ入出力	I ² C バスのデータ入出力端子です。 バス駆動機能を持っています。 出力形式は NMOS オープンドレインです。
MTU 出力制御	POE3 ~ POE0	入力	ポート出力制御	MTU 波形出力端子をハイインピーダンス状態にする要求信号の入力端子です。
A/D 変換器	AN7 ~ AN0	入力	アナログ入力端子	アナログ入力端子です。
	ADTRG	入力	A/D 変換トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
	AVref (SH7145 のみ)	入力	アナログリファレンス電源	アナログリファレンス電源です。 (SH7144 は、LSI 内部で AVcc に接続されています。)
	AVcc	入力	アナログ電源	A/D 変換器の電源端子です。A/D 変換器を使用しない場合はシステム電源 (Vcc) に接続してください。
	AVss	入力	アナロググランド	A/D 変換器のグランド端子です。システムの電源 (Vss) に接続してください。
I/O ポート	SH7144 PA15 ~ PA0 SH7145 PA23 ~ PA0	入出力	汎用ポート	SH7144 では、16 ビットの汎用入出力ポート端子です。 SH7145 では、24 ビットの汎用入出力ポート端子です。
	PB9 ~ PB0	入出力	汎用ポート	10 ビットの汎用入出力ポート端子です。
	PC15 ~ PC0	入出力	汎用ポート	16 ビットの汎用入出力ポート端子です。
	SH7144 PD15 ~ PD0 SH7145 PD31 ~ PD0	入出力	汎用ポート	SH7144 では、16 ビットの汎用入出力ポート端子です。 SH7145 では、32 ビットの汎用入出力ポート端子です。
	PE15 ~ PE0	入出力	汎用ポート	16 ビットの汎用入出力ポート端子です。
	PF7 ~ PF0	入力	汎用ポート	8 ビットの汎用入力ポート端子です。

分類	記号	入出力	名称	機能
ユーザデバッグインタフェース (H-UDI) (フラッシュ版のみ)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモードセレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。
アドバンストユーザデバッグ (AUD) (フラッシュ版のみ)	AUDATA3 ~ AUDATA0	入出力	AUD データ	ブランチトレースモード時は分岐先アドレス出力端子、RAM モニタモード時はモニタアドレス入力/データ入出力端子となります。
	AUDRST	入力	AUD リセット	リセット信号入力端子です。
	AUDMD	入力	AUD モード	モード選択信号入力端子です。 ブランチトレースモード時はローレベル、RAM モニタモード時はハイレベルを入力します。
	AUDCK	入出力	AUD クロック	ブランチトレースモード時は同期クロック出力端子、RAM モニタモード時は同期クロック入力端子となります。
	AUDSYNC	入出力	AUD 同期信号	ブランチトレースモード時はデータ先頭位置認識信号出力端子、RAM モニタモード時はデータ先頭位置認識信号入力端子となります。
E10 インタフェース (フラッシュ版のみ)	ASEBRKAK	出力	ブレークモードアノリッジ	E10A エミュレータがブレークモードに入ったことを示します。 E10A との接続については、「SH7144F E10A エミュレータユーザーズマニュアル」を参照してください。
	DBGMD	入力	デバッグモード	E10A エミュレータ機能を有効にします。 デバッグモード以外の通常動作時はローレベルを入力します。 デバッグモード時は、ユーザボード上でハイレベルを入力します。 E10A との接続については、「SH7144F E10A エミュレータユーザーズマニュアル」を参照してください。

【使用上の注意】

WDTOVF 端子はプルダウンしないでください。また、プルダウンが必要な場合は 1MΩ以上の抵抗値でプルダウンしてください。

1. 概要

2. CPU

2.1 特長

- 汎用レジスタ：32ビット×16本
- 基本命令：62種類
- アドレッシングモード：11種類
 - レジスタ直接 (Rn)
 - レジスタ間接 (@Rn)
 - ポストインクリメントレジスタ間接 (@Rn+)
 - プリデクリメントレジスタ間接 (@-Rn)
 - ディスプレースメント付きレジスタ間接 (@disp:4,Rn)
 - インデックス付きレジスタ間接 (@R0,Rn)
 - ディスプレースメント付きGBR間接 (@disp:8,GBR)
 - インデックス付きGBR間接 (@R0,GBR)
 - ディスプレースメント付きPC相対 (@disp:8,PC)
 - PC相対 (disp:8/disp:12/Rn)
 - イミディエイト (#imm:8)

2.2 レジスタの構成

レジスタは、汎用レジスタ (32ビット×16本)、コントロールレジスタ (32ビット×3本)、システムレジスタ (32ビット×4本) の3種類があります。

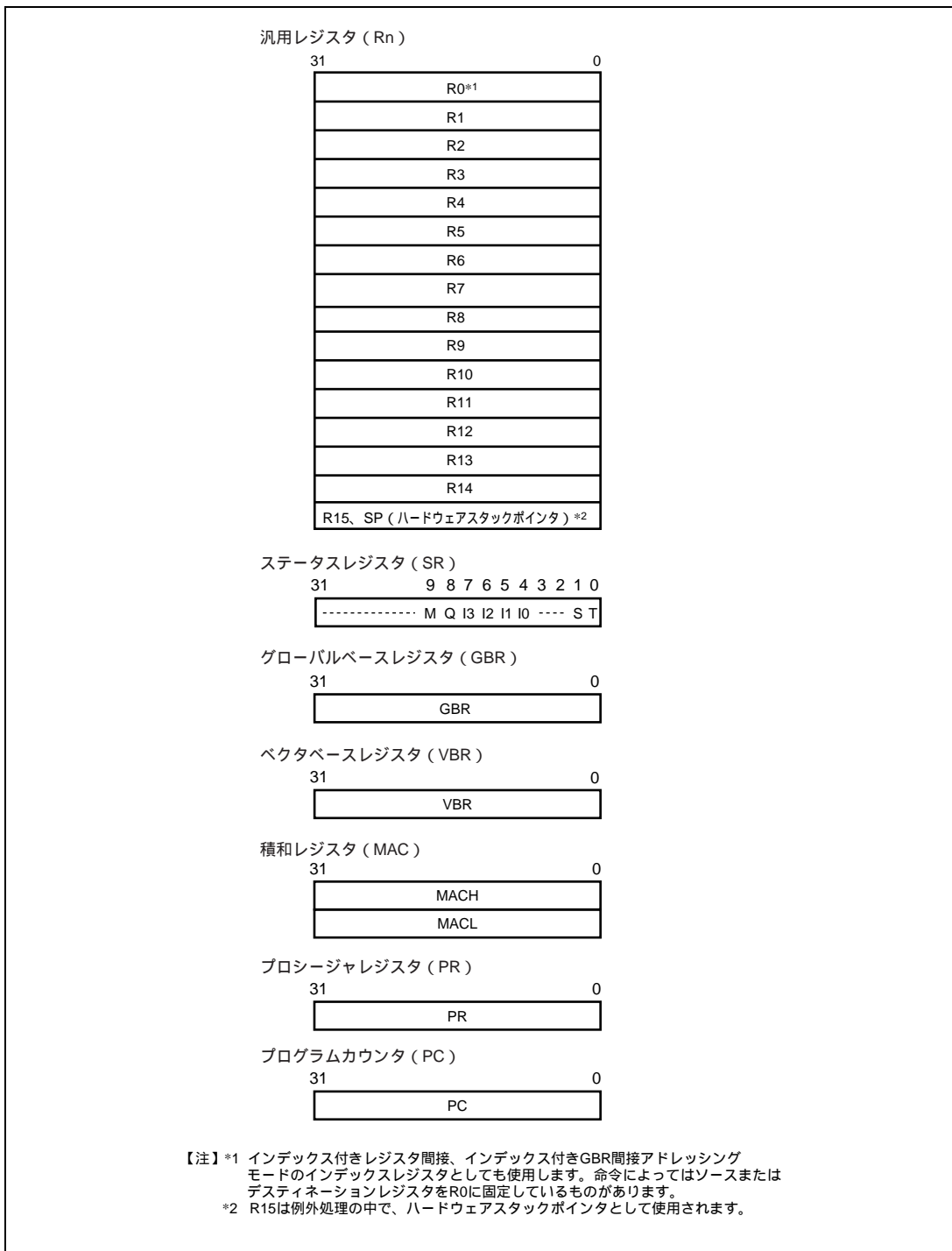


図 2.1 CPU 内部レジスタ構成

2.2.1 汎用レジスタ (Rn)

汎用レジスタ(Rn)は、32ビットの長さで、R0からR15までの16本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタがR0に固定されています。R15は、ハードウェアスタックポインタ(SP)として使われます。例外処理でのステータスレジスタ(SR)とプログラムカウンタ(PC)の退避、回復はR15を用いてスタックを参照を行います。

2.2.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ(SR)、グローバルベースレジスタ(GBR)、ベクタベースレジスタ(VBR)の3本があります。SRは処理の状態を表します。GBRはGBR間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBRは割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

(1) ステータスレジスタ (SR)

ビット	ビット名	初期値	R/W	説明
31~10		すべて0	R/W	リザーブビットです。 0が読み出されます。書き込みは必ず0を書き込んでください。
9	M	不定	R/W	DIV0U、DIV0S、DIV1命令で使います。
8	Q	不定	R/W	DIV0U、DIV0S、DIV1命令で使います。
7	I3	1	R/W	割り込みマスクビット
6	I2	1	R/W	
5	I1	1	R/W	
4	I0	1	R/W	
3, 2		すべて0	R/W	リザーブビットです。 0が読み出されます。書き込みは必ず0を書き込んでください。
1	S	不定	R/W	Sビット 積和命令で使います。
0	T	不定	R/W	Tビット 以下の命令では、真(1)、偽(0)を表します。 MOVT、CMP/cond、TAS、TST、BT (BT/S)、BF(BF/S)、SETT、CLRT 以下の命令では、キャリ、ポロー、オーバフロー、アンダフローなどを表します。 ADDV、ADDC、SUBV、SUBC、NEGC、DIV0U、DIV0S、DIV1、SHAR、SHAL、SHLR、SHLL、ROTR、ROTL、ROTCR、ROTCL

(2) グローバルベースレジスタ (GBR)

GBR間接アドレッシングモードのベースアドレスを示します。GBR間接アドレッシングモードは、内蔵周辺モジュールのレジスタ領域などのデータ転送と論理演算に使用します。

2. CPU

(3) ベクタベースレジスタ (VBR)

例外処理ベクタ領域のベースアドレスを示します。

2.2.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL の 2 本)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。

(1) 積和レジスタ (MAC)

乗算、積和演算の結果の格納レジスタです。

(2) プロシージャレジスタ (PR)

サブルーチンプロシージャからの戻り先アドレスの格納レジスタです。

(3) プログラムカウンタ (PC)

PC は現在実行中の命令の 4 バイト (2 命令) 先を示しています。

2.2.4 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区 分	レジスタ	初期値
汎用レジスタ	R0 ~ R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3 ~ I0 は 1111 (H'F)、予約ビットは 0、 その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.3 データ形式

2.3.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

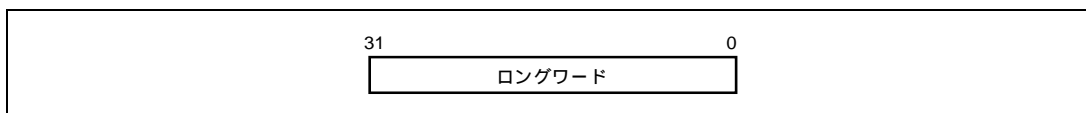


図 2.2 レジスタのデータ形式

2.3.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは $2n$ 番地から、ロングワードデータは $4n$ 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証されません。特に、ハードウェアスタックポインタ (SP、R15) が指し示すスタックにはプログラムカウンタ (PC) とステータスレジスタ (SR) をロングワードで保持しますので、ハードウェアスタックポインタの値が $4n$ になるように設定してください。

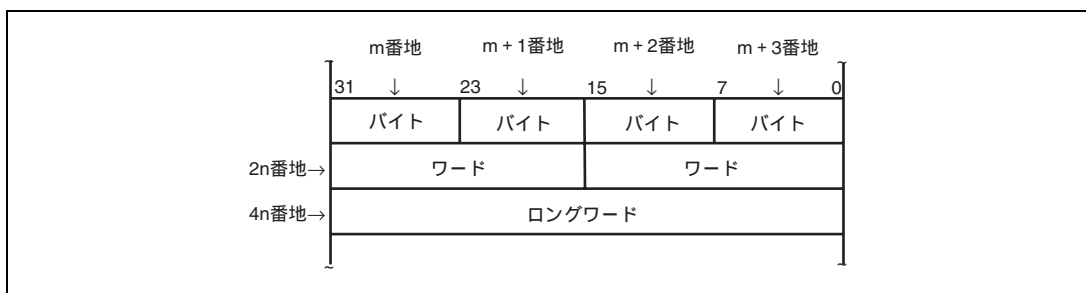


図 2.3 メモリ上でのデータ形式

2.3.3 イミディエイトデータのデータ形式

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照します。

2.4 命令の特長

2.4.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。40MHz 動作時、1 ステートは 25ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

本 LSI の CPU	説明	他の CPU の例
MOV.W @ (disp, PC), R1	32 ビットに符号拡張され、R1 は H'00001234 になります。 次に ADD 命令で演算されます。	ADD.W #H'1234, R0
ADD R1, R0		
.....		
.DATA.W H'1234		

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付分岐命令には遅延分岐命令と通常分岐命令の 2 通りがあります。

表 2.3 遅延分岐命令

本 LSI の CPU	説明	他の CPU の例
BRA TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1, R0
ADD R1, R0		BRA TRGET

(6) 乗算 / 積和演算

16×16→32の乗算を1、2ステート、16×16+64→64の積和演算を2、3ステートで実行します。32×32→64の乗算や、32×32+64→64の積和演算を2~4ステートで実行します。

(7) Tビット

比較結果はSRのTビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみTビットを変化させ、処理速度を向上させています。

表 2.4 Tビット

本 LSI の CPU	説 明	他の CPU の例
CMP/GE R1, R0	R0 R1 のとき Tビットがセットされます。	CMP.W R1, R0
BT TRGET0	R0 R1 のとき TRGET0 へ分岐します。	BGE TRGET0
BF TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #-1, R0	ADD では Tビットが変化しません。	SUB.W #1, R0
CMP/EQ #0, R0	R0 = 0 のとき Tビットがセットされます。	BEQ TRGET
BT TRGET	R0 = 0 のとき分岐します。	

(8) イミディエイトデータ

バイト(8ビット)のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令(MOV)で参照します。

表 2.5 イミディエイトデータによる参照

区 分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12, R0	MOV.B #H'12, R0
16 ビットイミディエイト	MOV.W @(disp, PC), R0	MOV.W#H'1234, R0
	.DATA.W H'1234	
32 ビットイミディエイト	MOV.L @(disp, PC), R0	MOV.L#H'12345678, R0
	.DATA.L H'12345678	

【注】 @(disp, PC)でイミディエイトデータを参照します。

2. CPU

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

区 分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @ (disp, PC), R1	MOV.B @ H'12345678, R0
	MOV.B @ R1, R0	
	
	.DATA.L H'12345678	

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(10) 16 ビット / 32 ビットディスプレイースメント

16 ビット、または 32 ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照

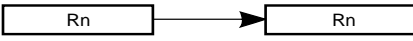
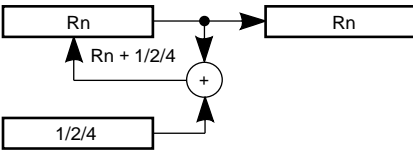
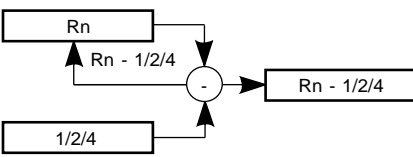
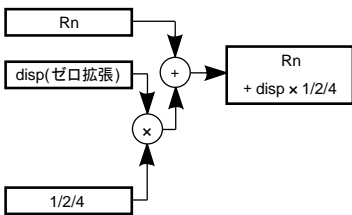
区 分	本 LSI の CPU	他の CPU の例
16 ビットディスプレイースメント	MOV.W @ (disp, PC), R0	MOV.W @ (H'1234, R1), R2
	MOV.W @ (R0, R1), R2	
	
	.DATA.W H'1234	

【注】 @ (disp, PC) でイミディエイトデータを参照します。

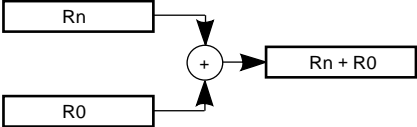
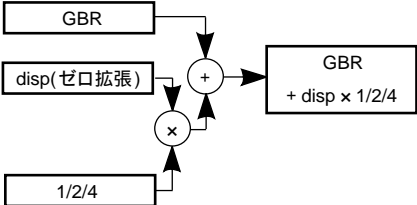
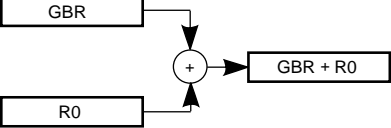
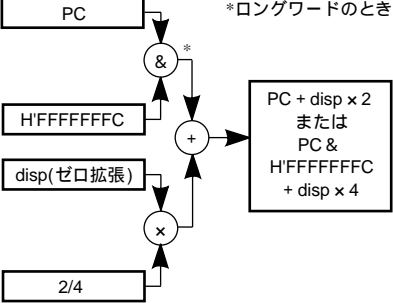
2.4.2 アドレッシングモード

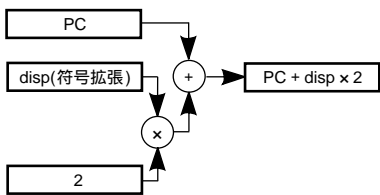
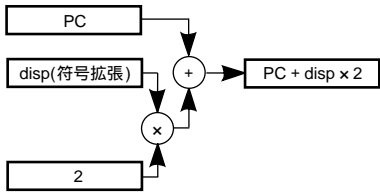
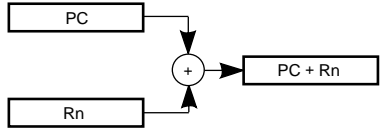
アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : $Rn + 1 \rightarrow Rn$ ワード : $Rn + 2 \rightarrow Rn$ ロングワード : $Rn + 4 \rightarrow Rn$
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : $Rn - 1 \rightarrow Rn$ ワード : $Rn - 2 \rightarrow Rn$ ロングワード : $Rn - 4 \rightarrow Rn$ (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@ (disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : $Rn + disp$ ワード : $Rn + disp \times 2$ ロングワード : $Rn + disp \times 4$

2. CPU

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
インデックス付きレジスタ間接	@ (R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイースメント付き GBR 間接	@ (disp: 8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@ (R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレイースメント付き PC 相対	@ (disp: 8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$

アドレッシング モード	表 記	実行アドレスの計算方法	計算式
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$
	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$
	Rn	<p>実行アドレスはレジスタ PC に Rn を加算した内容です。</p> 	$PC + Rn$
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

2.4.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式	ソースオペランド	デスティネーションオペランド	命令の例	
0 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{xxxx} & \text{xxxx} \\ \hline \end{array}$			NOP
n 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{xxxx} & \text{xxxx} \\ \hline \end{array}$		nnnn: レジスタ直接	MOVT Rn
		コントロールレジスタまたはシステムレジスタ	nnnn: レジスタ直接	STS MACH, Rn
		コントロールレジスタまたはシステムレジスタ	nnnn: プリデクリメントレジスタ間接	STC.L SR, @-Rn
m 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{mmmm} & \text{xxxx} & \text{xxxx} \\ \hline \end{array}$	mmmm: レジスタ直接	コントロールレジスタまたはシステムレジスタ	LDC Rm, SR
		mmmm: ポストインクリメントレジスタ間接	コントロールレジスタまたはシステムレジスタ	LDC.L @Rm+, SR
		mmmm: レジスタ間接		JMP @Rm
		mmmm: Rm を用いた PC 相対		BRAF Rm

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式	<div style="text-align: center;"> 15 xxxx nnnn mmmm xxxx 0 </div>	mmmm: レジスタ直接	nnnn: レジスタ直接	ADD Rm, Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接	MOV.L Rm, @Rn
		mmmm: ポストインクリメント レジスタ間接 (積和演算) nnnn: * ポストインクリメント レジスタ間接 (積和演算)	MACH, MACL	MAC.W @Rm+, @Rn+
		mmmm: ポストインクリメント レジスタ間接	nnnn: レジスタ直接	MOV.L @Rm+, Rn
		mmmm: レジスタ直接	nnnn: プリデクリメント レジスタ間接	MOV.L Rm, @-Rn
		mmmm: レジスタ直接	nnnn: インデックス付き レジスタ間接	MOV.L Rm, @(R0, Rn)

【注】 * 積和命令では nnnn は、ソースレジスタです。

2. CPU

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
md 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmmdddd: ディスプレースメント 付きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp, Rn),R0
nd4 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnnn} & \text{dddd} \\ \hline \end{array}$	R0 (レジスタ直接)	nnnndddd: ディスプレースメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmm: レジスタ直接	nnnndddd: ディスプレースメント 付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd: ディスプレースメント付 きレジスタ間接	nnnn: レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	dddddddd: ディスプレースメント付 き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	dddddddd: ディスプレースメント 付き GBR 間接	MOV.L R0,@(disp,GBR)
		dddddddd: ディスプレースメント付 き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
			dddddddd: PC 相対	BF label
d12 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{dddd} & \text{dddd} & \text{dddd} \\ \hline \end{array}$		dddddddddddd: PC 相対	BRA label (label=disp+pc)
nd8 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	dddddddd: ディスプレースメント 付き PC 相対	nnnn: レジスタ直接	MOV.L @(disp,PC),Rn
i 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiiii: イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiiii: イミディエイト	R0 (レジスタ直接)	AND #imm, R0
		iiiiiiii: イミディエイト		TRAPA #imm
ni 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiiii: イミディエイト	nnnn: レジスタ直接	ADD #imm, Rn

2.5 命令セット

2.5.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実行アドレスの転送	
		MOVT	Tビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2進加算	33
		ADDC	キャリ付き2進加算	
		ADDV	オーバーフロー付き2進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2進減算	
		SUBC	ポロー付き2進減算	
SUBV	アンダフロー付き2進減算			

2. CPU

分類	命令の種類	オペコード	機能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算のTビットセット	
		XOR	排他的論理和演算	
シフト命令	10	ROTL	1ビット左回転	14
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCLR	Tビット付き1ビット右回転	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T=0で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T=1で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	

分類	命令の種類	オペコード	機能	命令数
システム制御命令	11	CLRT	Tビットのクリア	31
		CLRMAC	MACレジスタのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RTE	例外処理からの復帰	
		SETT	Tビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
	計 62			142

2. CPU

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行 ステート	Tビット
<p>ニーモニックで表示しています。</p> <p>記号の説明 OP:Sz SRC, DEST OP:オペコード Sz:サイズ SRC:ソース DEST:デスティネーション Rm:ソースレジスタ Rn:デスティネーション レジスタ imm:イミディエイトデータ disp: ディスプレースメント^{*2}</p>	<p>MSB ↔ LSB の順で表示しています。</p> <p>記号の説明 mmmm:ソース レジスタ nnnn:デスティネーション レジスタ 0000: R0 0001: R1 1111: R15 iiii:イミディエイトデータ dddd:ディスプレースメント</p>	<p>動作の概略を表示しています。</p> <p>記号の説明 →, ←: 転送方向 (xx):メモリオペランド M/Q/T: SR 内のフラグ ビット &:ビットごとの論理積 :ビットごとの論理和 ^:ビットごとの排他的論理和 ~:ビットごとの論理否定 <<n:左nビットシフト >>n:右nビットシフト</p>	<p>ノーウェイトのときの値です。^{*1}</p>	<p>命令実行後の、Tビットの値を表示しています。</p> <p>記号の説明 :変化しない</p>

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令(メモリ→レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング(×1、×2、×4)されます。

詳しくは「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」を参照してください。

(1) データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット
MOV #imm, Rn	1110nnnniiiiiii	#imm → 符号拡張 → Rn	1	
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2+PC) → 符号拡張 → Rn	1	
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4+PC) → Rn	1	
MOV Rm, Rn	0110nnnnmmmm0011	Rm → Rn	1	
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm → (Rn)	1	
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm → (Rn)	1	
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm → (Rn)	1	
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) → 符号拡張 → Rn	1	
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) → 符号拡張 → Rn	1	
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) → Rn	1	
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn - 1 → Rn, Rm → (Rn)	1	
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn - 2 → Rn, Rm → (Rn)	1	
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn - 4 → Rn, Rm → (Rn)	1	
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) → 符号拡張 → Rn, Rm+1 → Rm	1	
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) → 符号拡張 → Rn, Rm+2 → Rm	1	
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) → Rn, Rm+4 → Rm	1	
MOV.B R0, @(disp, Rn)	10000000nnnndddd	R0 → (disp+Rn)	1	
MOV.W R0, @(disp, Rn)	10000001nnnndddd	R0 → (disp × 2+Rn)	1	
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmdddd	Rm → (disp × 4+Rn)	1	
MOV.B @(disp, Rm), R0	10000100mmmmdddd	(disp+Rm) → 符号拡張 → R0	1	
MOV.W @(disp, Rm), R0	10000101mmmmdddd	(disp × 2+Rm) → 符号拡張 → R0	1	
MOV.L @(disp, Rm), Rn	0101nnnnmmmmdddd	(disp × 4+Rm) → Rn	1	
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm → (R0+Rn)	1	
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm → (R0+Rn)	1	
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm → (R0+Rn)	1	
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) → 符号拡張 → Rn	1	
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) → 符号拡張 → Rn	1	
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) → Rn	1	
MOV.B R0, @(disp, GBR)	11000000dddddddd	R0 → (disp+GBR)	1	
MOV.W R0, @(disp, GBR)	11000001dddddddd	R0 → (disp × 2+GBR)	1	

2. CPU

命 令	命令コード	動 作	実行 ステート	Tビット
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0 → (disp × 4 + GBR)	1	
MOV.B @(disp, GBR), R0	11000100ddddddd	(disp + GBR) → 符号拡張 → R0	1	
MOV.W @(disp, GBR), R0	11000101ddddddd	(disp × 2 + GBR) → 符号拡張 → R0	1	
MOV.L @(disp, GBR), R0	11000110ddddddd	(disp × 4 + GBR) → R0	1	
MOVA @(disp, PC), R0	11000111ddddddd	disp × 4 + PC → R0	1	
MOVT Rn	0000nnnn00101001	T → Rn	1	
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm → 下位 2 バイトの上下バイト 交換 → Rn	1	
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm → 上下ワード交換 → Rn	1	
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm: Rn の中央 32 ビット → Rn	1	

(2) 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
ADD Rm, Rn	0011nnnnmmmm1100	Rn + Rm → Rn	1	
ADD #imm, Rn	0111nnnniiiiiii	Rn + imm → Rn	1	
ADDC Rm, Rn	0011nnnnmmmm1110	Rn + Rm + T → Rn, キャリ → T	1	キャリ
ADDV Rm, Rn	0011nnnnmmmm1111	Rn + Rm → Rn, オーバフロー → T	1	オーバ フロー
CMP/EQ #imm, R0	10001000iiiiiii	R0 = imm のとき 1 → T	1	比較結果
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn = Rm のとき 1 → T	1	比較結果
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn > Rm のとき 1 → T	1	比較結果
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn > Rm のとき 1 → T	1	比較結果
CMP/HL Rm, Rn	0011nnnnmmmm0110	無符号で Rn > Rm のとき 1 → T	1	比較結果
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn > Rm のとき 1 → T	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1 → T	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn = 0 のとき 1 → T	1	比較結果
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 → T	1	比較結果
DIV1 Rm, Rn	0011nnnnmmmm0100	1 ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm, Rn	0010nnnnmmmm0111	Rn の MSB → Q, Rm の MSB → M, M^Q → T	1	計算結果
DIV0U	000000000011001	0 → M/Q/T	1	0

命 令	命令コード	動 作	実行 ステート	Tビット
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm →MACH,MACL 32 × 32→64 ビット	2~4* ¹	
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm →MACH,MACL 32 × 32→64 ビット	2~4* ¹	
DT Rn	0100nnnn00010000	Rn - 1→Rn, Rn が 0 のとき 1→T Rn が 0 以外のとき 0→T	1	比較結果
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張→Rn	1	
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張→Rn	1	
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張→Rn	1	
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張→Rn	1	
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC →MAC 32 × 32 + 64→64 ビット	3/(2~4)* ¹	
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC →MAC 16 × 16 + 64→64 ビット	3/(2)* ¹	
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm →MACL 32 × 32→32 ビット	2~4* ¹	
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm →MACL 16 × 16→32 ビット	1~3* ¹	
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm →MACL 16 × 16→32 ビット	1~3* ¹	
NEG Rm, Rn	0110nnnnmmmm1011	0 - Rm→Rn	1	
NEGC Rm, Rn	0110nnnnmmmm1010	0 - Rm - T→Rn, ボロー→T	1	ボロー
SUB Rm, Rn	0011nnnnmmmm1000	Rn - Rm→Rn	1	
SUBC Rm, Rn	0011nnnnmmmm1010	Rn - Rm - T→Rn, ボロー→T	1	ボロー
SUBV Rm, Rn	0011nnnnmmmm1011	Rn - Rm→Rn, アンダフロー→T	1	オーバ フロー

【注】 *1 通常実行ステートを示します。()内の値は、前後の命令との競合関係による実行ステートです。

2. CPU

(3) 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
AND Rm, Rn	0010nnnnmmmm1001	$Rn \& Rm \rightarrow Rn$	1	
AND #imm, R0	11001001iiiiiii	$R0 \& imm \rightarrow R0$	1	
AND.B #imm, @(R0, GBR)	11001101iiiiiii	$(R0+GBR) \& imm \rightarrow (R0+GBR)$	3	
NOT Rm, Rn	0110nnnnmmmm0111	$\sim Rm \rightarrow Rn$	1	
OR Rm, Rn	0010nnnnmmmm1011	$Rn Rm \rightarrow Rn$	1	
OR #imm, R0	11001011iiiiiii	$R0 imm \rightarrow R0$	1	
OR.B #imm, @(R0, GBR)	11001111iiiiiii	$(R0+GBR) imm \rightarrow (R0+GBR)$	3	
TAS.B @Rn	0100nnnn00011011	(Rn) が 0 のとき 1→T, 1→MSB of (Rn)	4	テスト 結果
TST Rm, Rn	0010nnnnmmmm1000	$Rn \& Rm$, 結果が 0 のとき 1→T	1	テスト 結果
TST #imm, R0	11001000iiiiiii	$R0 \& imm$, 結果が 0 のとき 1→T	1	テスト 結果
TST.B #imm, @(R0, GBR)	11001100iiiiiii	$(R0+GBR) \& imm$, 結果が 0 のとき 1→T	3	テスト 結果
XOR Rm, Rn	0010nnnnmmmm1010	$Rn \wedge Rm \rightarrow Rn$	1	
XOR #imm, R0	11001010iiiiiii	$R0 \wedge imm \rightarrow R0$	1	
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	$(R0+GBR) \wedge imm \rightarrow (R0+GBR)$	3	

(4) シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	$T \leftarrow Rn \leftarrow MSB$	1	MSB
ROTR Rn	0100nnnn00000101	$LSB \rightarrow Rn \rightarrow T$	1	LSB
ROTCL Rn	0100nnnn00100100	$T \leftarrow Rn \leftarrow T$	1	MSB
ROTCR Rn	0100nnnn00100101	$T \rightarrow Rn \rightarrow T$	1	LSB
SHAL Rn	0100nnnn00100000	$T \leftarrow Rn \leftarrow 0$	1	MSB
SHAR Rn	0100nnnn00100001	$MSB \rightarrow Rn \rightarrow T$	1	LSB
SHLL Rn	0100nnnn00000000	$T \leftarrow Rn \leftarrow 0$	1	MSB
SHLR Rn	0100nnnn00000001	$0 \rightarrow Rn \rightarrow T$	1	LSB

命 令	命令コード	動 作	実行 ステート	Tビット
SHLL2 Rn	0100nnnn00001000	Rn << 2 → Rn	1	
SHLR2 Rn	0100nnnn00001001	Rn >> 2 → Rn	1	
SHLL8 Rn	0100nnnn00011000	Rn << 8 → Rn	1	
SHLR8 Rn	0100nnnn00011001	Rn >> 8 → Rn	1	
SHLL16 Rn	0100nnnn00101000	Rn << 16 → Rn	1	
SHLR16 Rn	0100nnnn00101001	Rn >> 16 → Rn	1	

(5) 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット
BF label	10001011dddddddd	T=0 のとき disp × 2+PC→PC, T=1 のとき nop	3/1 ^{*2}	
BF/S label	10001111dddddddd	遅延分岐、 T=0 のとき disp × 2+PC→PC, T=1 のとき nop	2/1 ^{*2}	
BT label	10001001dddddddd	T=1 のとき disp × 2+PC→PC, T=0 のとき nop	3/1 ^{*2}	
BT/S label	10001101dddddddd	遅延分岐、 T=1 のとき disp × 2+PC→PC, T=0 のとき nop	2/1 ^{*2}	
BRA label	1010dddddddddddd	遅延分岐、 disp × 2+PC→PC	2	
BRAF Rm	0000mmmm00100011	遅延分岐、 Rm+PC→PC	2	
BSR label	1011dddddddddddd	遅延分岐、 PC→PR, disp × 2+PC→PC	2	
BSRF Rm	0000mmmm00000011	遅延分岐、 PC→PR, Rm+PC→PC	2	
JMP @Rm	0100mmmm00101011	遅延分岐、 Rm→PC	2	
JSR @Rm	0100mmmm00001011	遅延分岐、 PC→PR, Rm→PC	2	
RTS	0000000000001011	遅延分岐、 PR→PC	2	

【注】 *2 分岐しないときは1ステートになります。

2. CPU

(6) システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット
CLRT	0000000000001000	0 → T	1	0
CLRMAC	0000000000101000	0 → MACH, MACL	1	
LDC Rm, SR	0100mmmm00001110	Rm → SR	1	LSB
LDC Rm, GBR	0100mmmm00001110	Rm → GBR	1	
LDC Rm, VBR	0100mmmm00101110	Rm → VBR	1	
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) → SR, Rm+4 → Rm	3	LSB
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) → GBR, Rm+4 → Rm	3	
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) → VBR, Rm+4 → Rm	3	
LDS Rm, MACH	0100mmmm00001010	Rm → MACH	1	
LDS Rm, MACL	0100mmmm00011010	Rm → MACL	1	
LDS Rm, PR	0100mmmm00101010	Rm → PR	1	
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) → MACH, Rm+4 → Rm	1	
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) → MACL, Rm+4 → Rm	1	
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) → PR, Rm+4 → Rm	1	
NOP	0000000000001001	無操作	1	
RTE	0000000000101011	遅延分岐、スタック領域 → PC/SR	4	
SETT	0000000000011000	1 → T	1	1
SLEEP	0000000000011011	スリープ	3 ^{*3}	
STC SR, Rn	0000nnnn00000010	SR → Rn	1	
STC GBR, Rn	0000nnnn00010010	GBR → Rn	1	
STC VBR, Rn	0000nnnn00100010	VBR → Rn	1	
STC.L SR, @-Rn	0100nnnn00000011	Rn - 4 → Rn, SR → (Rn)	2	
STC.L GBR, @-Rn	0100nnnn00010011	Rn - 4 → Rn, GBR → (Rn)	2	
STC.L VBR, @-Rn	0100nnnn00100011	Rn - 4 → Rn, VBR → (Rn)	2	
STS MACH, Rn	0000nnnn00001010	MACH → Rn	1	
STS MACL, Rn	0000nnnn00011010	MACL → Rn	1	
STS PR, Rn	0000nnnn00101010	PR → Rn	1	
STS.L MACH, @-Rn	0100nnnn00000010	Rn - 4 → Rn, MACH → (Rn)	1	
STS.L MACL, @-Rn	0100nnnn00010010	Rn - 4 → Rn, MACL → (Rn)	1	
STS.L PR, @-Rn	0100nnnn00100010	Rn - 4 → Rn, PR → (Rn)	1	
TRAPA #imm	11000011iiiiiiii	PC/SR → スタック領域、 (imm × 4 + VBR) → PC	8	

【注】 *3 スリープ状態に移移するまでのステート数です。

命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

2.6 処理状態

2.6.1 状態遷移

CPUの処理状態には、リセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.4に示します。

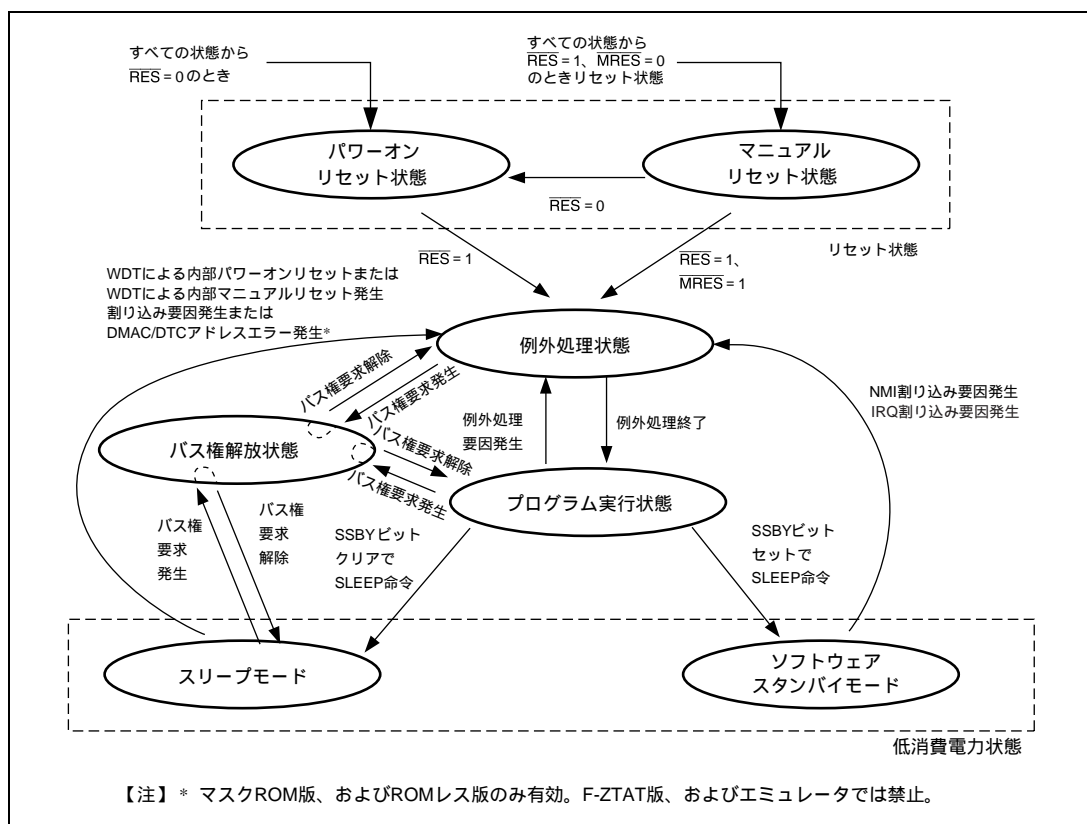


図 2.4 処理状態の状態遷移図

2. CPU

(1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RES}}$ 端子がローレベルになるとパワーオンリセット状態になります。 $\overline{\text{RES}}$ 端子がハイレベルで $\overline{\text{MRES}}$ 端子がローレベルのとき、マニュアルリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、またはソフトウェアスタンバイモードになります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、4 種類の動作モードと 4 種類のクロックモードがあります。

動作モードは、MD3~MD0、FWP 端子で設定します。表 3.1 にない組み合わせは設定しないでください。

なお、システムの電源投入時は、パワーオンリセット処理を必ず行うようにしてください。

表 3.1 動作モードの選択

動作モード 番号	端子設定					モード名	内蔵 ROM	CS0 空間および CS4 空間 のバス幅	
	FWP	MD3* ¹	MD2* ¹	MD1	MD0			SH7144	SH7145
モード 0	1	x	x	0	0	MCU 拡張モード 0	無効	8 ビット	16 ビット
モード 1	1	x	x	0	1	MCU 拡張モード 1	無効	16 ビット	32 ビット
モード 2	1	x	x	1	0	MCU 拡張モード 2	有効	BSC の BCR1 により設定	
モード 3	1	x	x	1	1	シングルチップモード	有効		
* ²	0	x	x	0	0	ブートモード* ²	有効	BSC の BCR1 により設定	
* ²	0	x	x	0	1				
* ²	0	x	x	1	0	ユーザプログラムモード* ²	有効	BSC の BCR1 により設定	
* ²	0	x	x	1	1				

【記号説明】 x : Don't care

【注】 *¹ MD3、MD2 端子は、クロックモードを選択する端子です。

*² フラッシュメモリのプログラミングモードです。F-ZTAT 版のみ対応します。

MCU 動作モードとして、MCU 拡張モードとシングルチップモードがあります。

フラッシュメモリにプログラムを書き込むモードとして、オンボードプログラミングモードであるブートモードとユーザプログラムモードがあります。

3. MCU 動作モード

MD2、MD3 端子入力により、クロックモードを選択します。

表 3.2 クロックモードの選択

クロック モード番号	端子設定		クロック比 (入力クロックを 1 とした場合)		
	MD3	MD2	システムクロック (ϕ)	周辺クロック ($P\phi$)	システムクロック 出力 (CK)
0	0	0	$\times 1$	$\times 1$	$\times 1$
1	0	1	$\times 2$	$\times 2$	$\times 2$
2	1	0	$\times 4$	$\times 4^*$	$\times 4$
3	1	1	$\times 4$	$\times 2$	$\times 4$

【注】 * $P\phi$ を 40MHz 以下とするため、入力クロック最大周波数は 10MHz となります。

3.2 入出力端子

動作モードに関連する端子構成を表 3.3 に示します。

表 3.3 端子構成

名称	入出力	機能
MD0	入力	動作モードを指定
MD1	入力	動作モードを指定
MD2	入力	クロックモードを指定
MD3	入力	クロックモードを指定
FWP	入力	内蔵フラッシュメモリの書き込み/消去のハードウェアプロテクト用端子

3.3 各動作モードの説明

3.3.1 モード 0 (MCU 拡張モード 0)

モード 0 では、CS0 空間および CS4 空間のバス幅が、SH7144 では 8 ビット、SH7145 では 16 ビットの外部メモリ空間となります。

3.3.2 モード 1 (MCU 拡張モード 1)

モード 1 では、CS0 空間および CS4 空間のバス幅が、SH7144 では 16 ビット、SH7145 では 32 ビットの外部メモリ空間となります。

3.3.3 モード 2 (MCU 拡張モード 2)

モード 2 では、内蔵 ROM が有効で、CS0 空間を使用することができます。

3.3.4 モード 3 (シングルチップモード)

シングルチップモードでは、すべてのポートを使用することができますが、外部アドレスは使用できません。

3.3.5 クロックモード

モード0~3のとき、入力周波数の1倍、2倍、4倍の周波数をシステムクロックとして使用できます。

3.4 アドレスマップ

各動作モードのアドレスマップを図3.1に示します。

モード0、1 【内蔵ROM無効】		モード2 【内蔵ROM有効】		モード3 【シングルチップ】	
H'00000000	CS0空間	H'00000000	内蔵ROM(256KB)	H'00000000	内蔵ROM(256KB)
H'003FFFFFFF		H'0003FFFF	リザーブ	H'0003FFFF	
H'00400000	CS1空間	H'00040000	CS0空間	H'00040000	リザーブ
H'007FFFFFFF		H'00200000	CS1空間	H'0007FFFFFF	
H'00800000	CS2空間	H'00400000		CS2空間	
H'00BFFFFFFF		H'000BFFFF	CS2空間	H'000BFFFFFF	
H'00C00000	CS3空間	H'00C00000		CS3空間	
H'00FFFFFFF		H'000FFFFFFF	CS3空間	H'00FFFFFFF	
H'01000000	CS4空間*	H'01000000		リザーブ	
H'013FFFFFFF		H'011FFFFFFF	CS4空間*	H'011FFFFFFF	
H'01400000	H'01200000	CS4空間*		H'01200000	
H'017FFFFFFF	CS5空間*		H'013FFFFFFF	CS5空間*	
H'01800000		H'01400000	CS5空間*	H'01400000	
H'01BFFFFFFF	CS6空間*	H'017FFFFFFF		CS6空間*	
H'01C00000		H'01800000	CS6空間*	H'01800000	
H'01BFFFFFFF	CS7空間*	H'01BFFFFFFF		CS7空間*	
H'01C00000		H'01C00000	CS7空間*	H'01C00000	
H'01FFFFFFF	リザーブ	H'01FFFFFFF		リザーブ	
H'02000000		リザーブ	H'02000000	リザーブ	
H'FFFF7FFF	周辺I/O		H'FFFF7FFF	周辺I/O	
H'FFFF8000		H'FFFF8000	周辺I/O	H'FFFF8000	
H'FFFFBFFF	リザーブ	H'FFFFBFFF	リザーブ	H'FFFFBFFF	
H'FFFFC000		H'FFFFC000	リザーブ	H'FFFFC000	
H'FFFFDFFF	内蔵RAM(8KB)	H'FFFFDFFF	内蔵RAM(8KB)	H'FFFFDFFF	
H'FFFFE000		H'FFFFE000	内蔵RAM(8KB)	H'FFFFE000	
H'FFFFFFF		H'FFFFFFF		H'FFFFFFF	

【注】 * CS4空間 - CS7空間はマスクROM版、およびROMレス版でのみ使用できます。
フラッシュメモリ版、およびエミュレータではリザーブとなります。

図 3.1 各動作モードのアドレスマップ

3.5 本 LSI の初期状態

本 LSI では、低消費電力化のため、初期状態では一部の内蔵モジュールがモジュールスタンバイ状態に設定されています。このため、これらのモジュールを動作させるには、モジュールスタンバイ状態を解除する必要があります。詳細は「第 24 章 低消費電力状態」を参照してください。

3.6 動作モード変更時の注意事項

本 LSI へ電源印加中に動作モードを変更する場合は、必ずパワーオンリセット状態（ $\overline{\text{RES}}$ 端子にローレベルを印加）で行ってください。なおクロックモードを変更する場合、クロックモード変更後にリセット発振安定時間 t_{osc1} を守る必要があります。

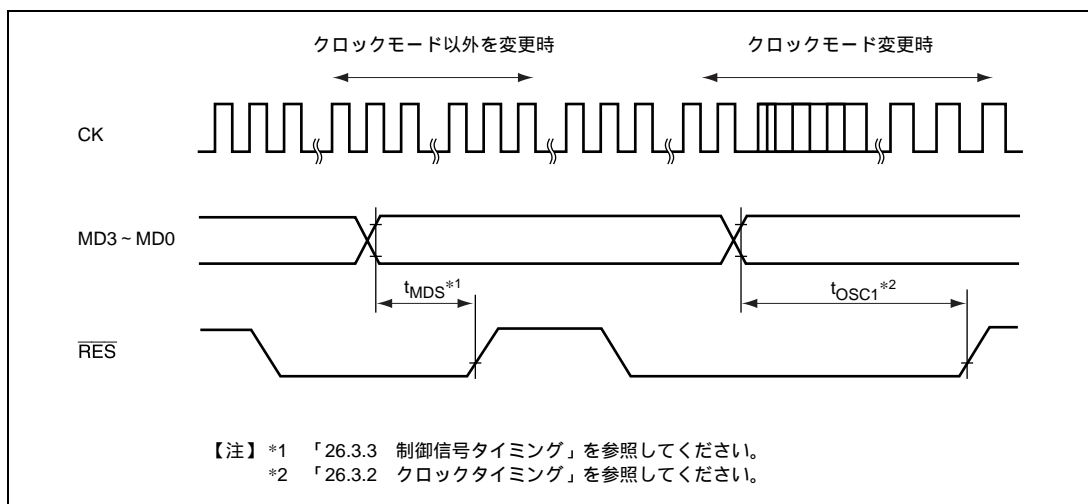


図 3.2 動作モード変更時のリセット入力タイミング

4. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック (ϕ)、周辺クロック ($P\phi$) を生成し、これらのクロックから内部クロック ($\phi/2 \sim \phi/8192$ 、 $P\phi/2 \sim P\phi/1024$) を生成します。クロック発振器は、発振器、PLL 回路、プリスケアラで構成されます。クロック発振器のブロック図を図 4.1 に示します。

発振器からの周波数は、PLL 回路により変更できます。

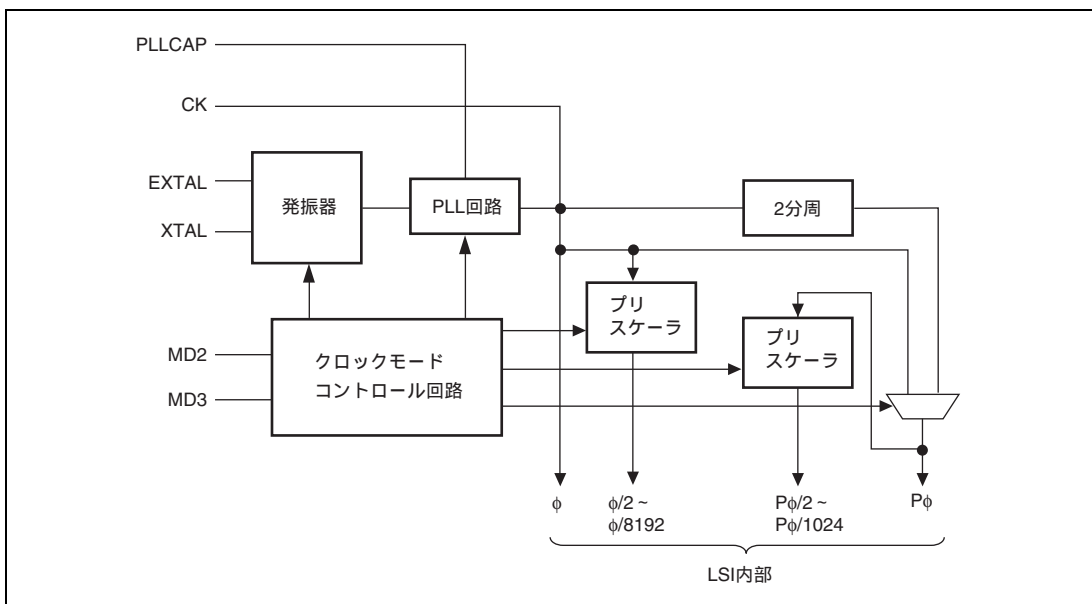


図 4.1 クロック発振器のブロック図

表 4.1 に各モジュールの動作クロックを示します。

表 4.1 各モジュールの動作クロック

動作クロック	該当モジュール	動作クロック	該当モジュール
システムクロック (ϕ)	CPU	周辺クロック ($P\phi$)	MTU
	UBC		POE
	DTC		SCI
	BSC		I ² C
	DMAC		A/D
	WDT		CMT
	AUD		H-UDI
	ROM		
	RAM		

4. クロック発振器

4.1 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

4.1.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 4.2 に示します。ダンピング抵抗 R_d は、表 4.2 に示すものを使用してください。また、水晶発振子は、周波数が発振 4 ~ 12.5MHz のものをお使いください。

なお、水晶と LSI の相性については、水晶メーカーとご相談いただきますようお願い致します。

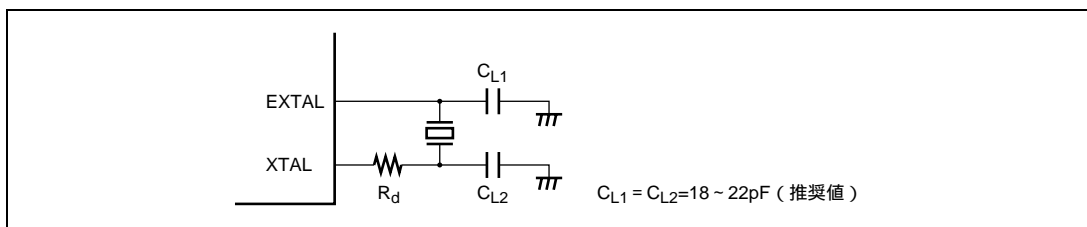


図 4.2 水晶発振子の接続例

表 4.2 ダンピング抵抗値 (推奨値)

周波数 (MHz)	4	8	10	12.5
R_d (Ω)	500	200	0	0

水晶発振子の等価回路を図 4.3 に示します。水晶発振子は表 4.3 に示す特性のものを使用してください。

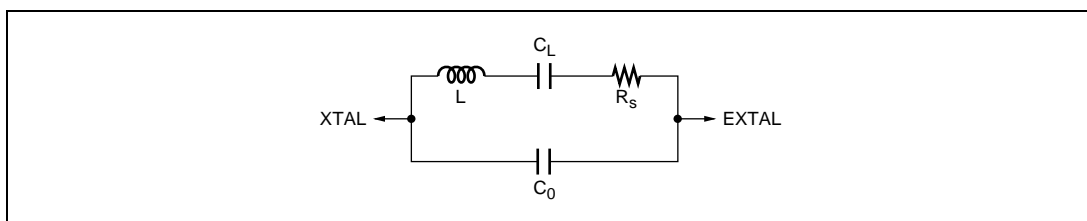


図 4.3 水晶発振子の等価回路

表 4.3 水晶発振子の特性

周波数 (MHz)	4	8	10	12.5
R_s max (Ω)	120	80	60	50
C_0 max (pF)	7			

4.1.2 外部クロックを入力する方法

外部クロック入力の接続例を図 4.4 に示します。図 4.4 のように、ソフトウェアスタンバイモード時に外部クロックを止める場合、ハイレベルになるようにしてください。動作時は、外部入力クロックの周波数は 4~12.5MHz にしてください。XTAL 端子の寄生容量は 10pF 以下にしてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時や、ソフトウェアスタンバイ解除時は、発振安定時間以上待つようにしてください。



図 4.4 外部クロックの接続例

4.2 発振停止検出機能

本 CPG には、何らかのシステムの異常により発振器が停止した場合に備え、クロックの停止を検出してタイマ端子を自動的にハイインピーダンス状態にする機能が備わっています。すなわち、EXTAL が変化しなかったことを検出した場合、大電流ポート (PE9/TIOC3B/SCK3/TRST*、PE11/TIOC3D/RXD3/TDO*、PE12/TIOC4A/TXD3/TCK*、PE13/TIOC4B/MRES、PE14/TIOC4C/DACK0、PE15/TIOC4D/DACK1/IRQOUT) の 6 端子を PFC の設定にかかわらずハイインピーダンスにすることができます。詳細は「17.1.11 大電流ポートコントロールレジスタ (PPCR)」を参照してください。

ソフトウェアスタンバイ状態でも、上記 6 端子は PFC の設定にかかわらずハイインピーダンスにすることができます。詳細は「17.1.11 大電流ポートコントロールレジスタ (PPCR)」を参照してください。ソフトウェアスタンバイ状態解除後は通常動作になります。また、ソフトウェアスタンバイ状態以外で発振が停止するような異常動作時には、その他の LSI 動作は不定となります。この場合、再度発振を開始しても、上記 6 端子を含めて LSI 動作は不定となります。

ただし、SH7145 では、E10A 使用時、PE9/TIOC3B/SCK3/TRST、PE11/TIOC3D/RXD3/TDO、PE12/TIOC4A/TXD3/TCK の 3 端子については、発振停止検出、およびソフトウェアスタンバイ状態でのハイインピーダンス機能は無効になります。

【注】 * SH7145 のみ

4.3 使用上の注意事項

4.3.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

4.3.2 ボード設計上の注意

本 LSI では輻射ノイズ対策を実施しておりますが、さらなる輻射ノイズ低減が必要な場合は、多層基板にし、システムグランド専用層を設けることをお勧めします。

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 4.5 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

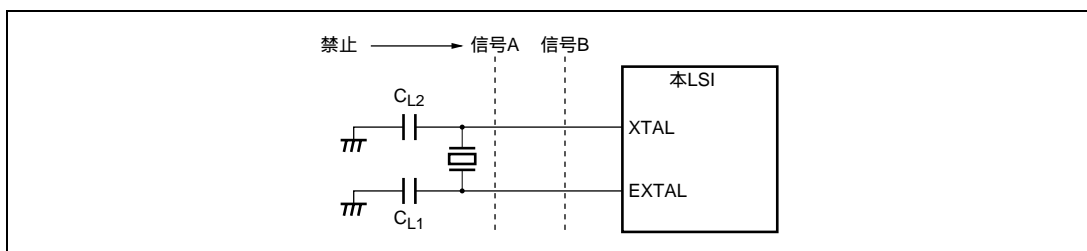


図 4.5 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 4.6 に示します。発振を安定させるための容量 C1 は、PLL_{CAP} 端子の近くに配置してください。また、他の信号線と交差させないでください。PLL_{V_{CC}}、PLL_{V_{SS}} と V_{CC}、V_{SS} はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CB と CPB を必ず挿入してください。

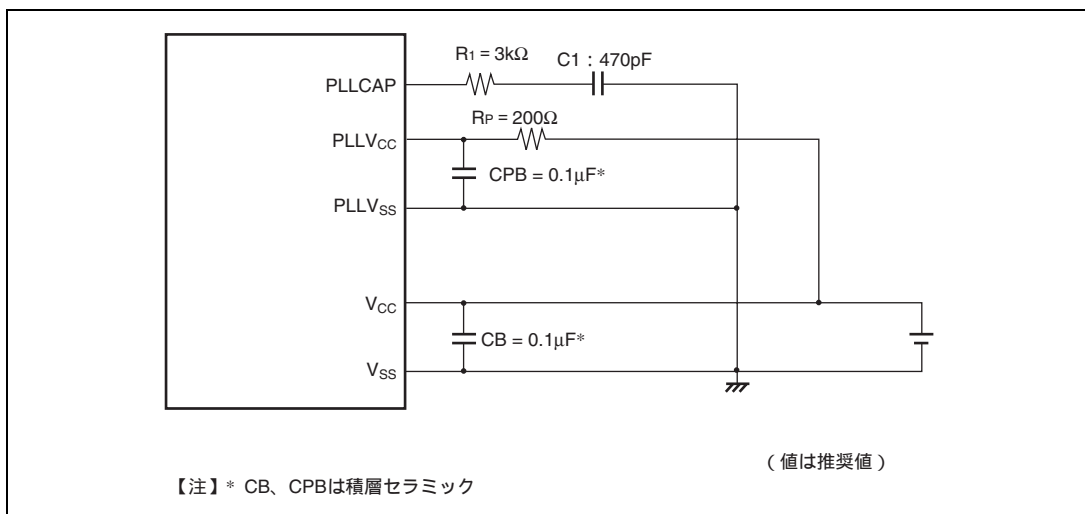


図 4.6 PLL 回路の外付け推奨回路

動作中の LSI からは原理的に電磁波が放出されます。本 LSI では、システムクロック (ϕ)、周辺クロック ($P\phi$) の低い方 (たとえば、 $\phi=40\text{MHz}$ 、 $P\phi=40\text{MHz}$ の場合は 40MHz) を基本波として、その高調波帯域に電磁波ピークがあります。FM/VHF 帯受信機など、電磁波障害に敏感な機器に隣接して本 LSI を使用される場合は、基板層数を 4 層以上にし、システムグランド専用層を設けることをお奨めします。

4. クロック発振器



5. 例外処理

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

例外処理		優先順位	
リセット	パワーオンリセット	高   低	
	マニュアルリセット		
アドレスエラー	CPU アドレスエラー、および AUD アドレスエラー*1		
	DMAC/DTC アドレスエラー		
割り込み	NMI		
	ユーザブレイク		
	H-UDI		
	IRQ		
	内蔵周辺モジュール		ダイレクトメモリアクセスコントローラ (DMAC)
			マルチファンクションタイムユニット (MTU)
			シリアルコミュニケーションインタフェース (SCI0、1)
			A/D 変換器 0、1 (A/D0、A/D1)
			データトランスファコントローラ (DTC)
			コンペアマッチタイム 0、1 (CMT0、CMT1)
			ウォッチドッグタイマ (WDT)
			入出力ポート (I/O) (MTU)
		シリアルコミュニケーションインタフェース 2、3 (SCI2、3)	
IIC バスインタフェース (IIC)			
命令	トラップ命令 (TRAPA 命令)		
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令*2 直後に配置された未定義コードまたは PC を書き換える命令*3)		

【注】 *1 F-ZTAT 版のみ

*2 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA_F

*3 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA_F

5. 例外処理

5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化、または WDT のオーバーフローで開始される
	マニュアルリセット	MRES 端子のローレベルからハイレベルへの変化で開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始される
割り込み		
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令（遅延スロット）以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時は H'00000000 番地、H'00000004 番地、マニュアルリセット時は H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を HF (B'1111) にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット (I3~I0) に書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます (リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます)。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
CPU アドレスエラー、および AUD アドレスエラー*1		9	H'00000024 ~ H'00000027
DMAC/DTC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
(システム予約)		13	H'00000034 ~ H'00000037
H-UDI		14	H'00000038 ~ H'0000003B
(システム予約)		15	H'0000003C ~ H'0000003F
		∴	∴
		31	H'0000007C ~ H'0000007F
トラップ命令 (ユーザベクタ)		32	H'00000080 ~ H'00000083
		∴	∴
		63	H'000000FC ~ H'000000FF
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
	IRQ4	68	H'00000110 ~ H'00000113
	IRQ5	69	H'00000114 ~ H'00000117
	IRQ6	70	H'00000118 ~ H'0000011B
	IRQ7	71	H'0000011C ~ H'0000011F
内蔵周辺モジュール*2		72	H'00000120 ~ H'00000123
		∴	∴
		255	H'000003FC ~ H'000003FF

【注】 *1 F-ZTAT 版のみ

*2 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは表 6.2 を参照してください。

5. 例外処理

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR：ベクタベースレジスタ

ベクタテーブルアドレスオフセット：表 5.3 を参照

ベクタ番号：表 5.3 を参照

5.2 リセット

5.2.1 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 5.5 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。また、パワーオンリセットで内蔵周辺モジュールのレジスタが初期化されるのに対し、マニュアルリセットでは初期化されません。

表 5.5 リセット状態

種類	リセット状態への遷移条件			内部状態		
	$\overline{\text{RES}}$	WDT オーバ フロー	$\overline{\text{MRES}}$	CPU/INTC	内蔵周辺 モジュール	POE、PFC、 IO ポート
パワーオンリセット	ロー	-	-	初期化	初期化	初期化
	ハイ	オーバ フロー	ハイ	初期化	初期化	初期化しない
マニュアルリセット	ハイ	-	ロー	初期化	初期化しない	初期化しない

5.2.2 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時またはソフトウェアスタンバイ時(クロックが停止している場合は)は発振安定時間の間、クロックが動作している場合は最低 25tcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。

2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) をH'00000000にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) をHF (B'1111) にセットします。
4. 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の TCNT がオーバーフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号では、MTU の POE (ポートアウトプットイネーブル) 機能のレジスタ、ピンファンクションコントローラ (PFC) のレジスタ、および I/O ポートのレジスタは初期化されません (外部からのパワーオンリセットのみで初期化されます)。

また、 $\overline{\text{RES}}$ 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。WDT によるパワーオンリセット処理が開始されると CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) をH'00000000にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) をHF (B'1111) にセットします。
4. 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

5.2.3 マニュアルリセット

$\overline{\text{RES}}$ 端子がハイレベルのとき $\overline{\text{MRES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低、ソフトウェアスタンバイ時 (クロックが停止している場合) は WDT で設定している発振安定時間より長く、クロックが動作している場合は最低 25 μs の間 $\overline{\text{MRES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化されます。内蔵周辺モジュールの各レジスタは初期化されません。バスサイクルの途中でマニュアルリセット状態にすると、バスサイクルの終了を待ってからマニュアルリセット例外処理を開始します。したがって、マニュアルリセットによってバスサイクルが途中で止まることはありません。ただし、 $\overline{\text{MRES}}$ をいったんローレベルにしたら、バスサイクルが終了し、マニュアルリセット状態に入るまで、ローレベルを保持してください (最長バスサイクル以上の間、ローレベルにしてください)。マニュアルリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

マニュアルリセット状態で、 $\overline{\text{MRES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU はパワーオンリセット例外処理と同じ手順で動作します。

5. 例外処理

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.6 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.6 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*以外から命令をフェッチ	なし (正常)
		内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU、DMAC、DTC、またはAUD	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	アドレスエラー発生
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生

【注】 * 内蔵周辺モジュール空間については、「第 9 章 バスステートコントローラ (BSC)」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. ステータスレジスタ (SR) をスタックに退避します。
2. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
3. 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

5.4 割り込み

5.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.7 に示すように NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールがあります。

表 5.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ (UBC)	1
H-UDI	ユーザデバッグインタフェース (H-UDI)	1
IRQ	IRQ0 ~ IRQ7 端子 (外部からの入力)	8
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ (DMAC)	4
	マルチファンクションタイマユニット (MTU)	23
	データトランスファコントローラ (DTC)	1
	コンペアマッチタイマ (CMT)	2
	A/D 変換器 (A/D0、A/D1)	2
	シリアルコミュニケーションインタフェース (SCI0 ~ 3)	16
	ウォッチドッグタイマ (WDT)	1
	入出力ポート (I/O ポート)	1
	IIC バスインタフェース (IIC)	1

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては表 6.2 を参照してください。

5.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合 (多重割り込み)、割り込みコントローラ (INTC) によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0 ~ 16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込み、および H-UDI の優先レベルは 15 です。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC のインタラプトプライオリティレジスタ A ~ J (IPRA ~ IPRJ) で自由に設定することができます (表 5.8)。設定できる優先レベルは 0 ~ 15 で、優先レベル 16 は設定できません。IPRA ~ IPRJ については「6.3.4 インタラプトプライオリティレジスタ A ~ J (IPRA ~ IPRJ)」を参照してください。

5. 例外処理

表 5.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレイク	15	優先レベル固定
H-UDI	15	優先レベル固定
IRQ	0 ~ 15	割り込み優先レベル設定レジスタ A~J (IPRA ~ IPRJ) により設定
内蔵周辺モジュール		

5.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は SR とプログラムカウンタ (PC) をスタックに退避し、受け付けた割り込みの優先レベル値を SR の I3 ~ I0 ビットに書き込みます。ただし、NMI の場合優先レベルは 16 ですが、I3 ~ I0 ビットに設定される値は HF (レベル 15) です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理については「6.6 動作説明」を参照してください。

5.5 命令による例外

5.5.1 命令による例外の種類

例外処理を起動する命令には、表 5.9 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 5.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後 (遅延スロット) に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令 : JMP, JSR, BRA, BSR, RTS, RTE, BF/S, BT/S, BSRF, BRAF PC を書き換える命令 : JMP, JSR, BRA, BSR, RTS, RTE, BT, BF, TRAPA, BF/S, BT/S, BSRF, BRAF
一般不当命令	遅延スロット以外にある未定義コード	

5.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. ステータスレジスタ (SR) をスタックに退避します。
2. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、TRAPA 命令の次命令の先頭アドレスです。
3. 例外サービスルーチンスタートアドレスを、TRAPA命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令が PC を書き換える命令のときも、この PC を書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

1. SRをスタックに退避します。
2. PCをスタックに退避します。退避するPCの値は、未定義コードまたはPCを書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
3. 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6 例外処理が受け付けられない場合

アドレスエラーおよび割り込みは、表 5.10 に示すように、遅延分岐命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.10 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

発生した時点	例外要因	
	アドレスエラー	割り込み
遅延分岐命令*1の直後	×	×
割り込み禁止命令*2の直後		×

【注】 : 受け付けられる

× : 受け付けられない

*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA_F

*2 割り込み禁止命令 : LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

5.6.1 遅延分岐命令の直後

遅延分岐命令直後（遅延スロット）に配置されている命令のデコード時は、アドレスエラーと割り込みの両方とも受け付けられません。遅延分岐命令とその直後（遅延スロット）にある命令は、必ず連続して実行され、この間に例外処理が行われることはありません。

5.6.2 割り込み禁止命令の直後

割り込み禁止命令直後の命令のデコード時は、割り込みは受け付けられません。アドレスエラーは受け付けられます。

5.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.11 に示すようになります。

表 5.11 例外処理終了後のスタックの状態

種類	スタックの状態		種類	スタックの状態	
アドレス エラー	SP →	実行済命令の 次命令アドレス (32ビット)	割り込み	SP →	実行済命令の 次命令アドレス (32ビット)
		SR (32ビット)			SR (32ビット)
トラップ 命令	SP →	TRAPA命令の 次命令アドレス (32ビット)	スロット 不当命令	SP →	遅延分岐命令の 飛び先アドレス (32ビット)
		SR (32ビット)			SR (32ビット)
一般不当 命令	SP →	一般不当命令の 次命令アドレス (32ビット)			
		SR (32ビット)			

5.8 使用上の注意

5.8.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けなくなっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ -4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。

6.1 特長

- 割り込み優先順位を16レベル設定可能
- NMIノイズキャンセラ機能
- 割り込みが発生したことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)

6. 割り込みコントローラ (INTC)

INTC のブロック図を図 6.1 に示します。

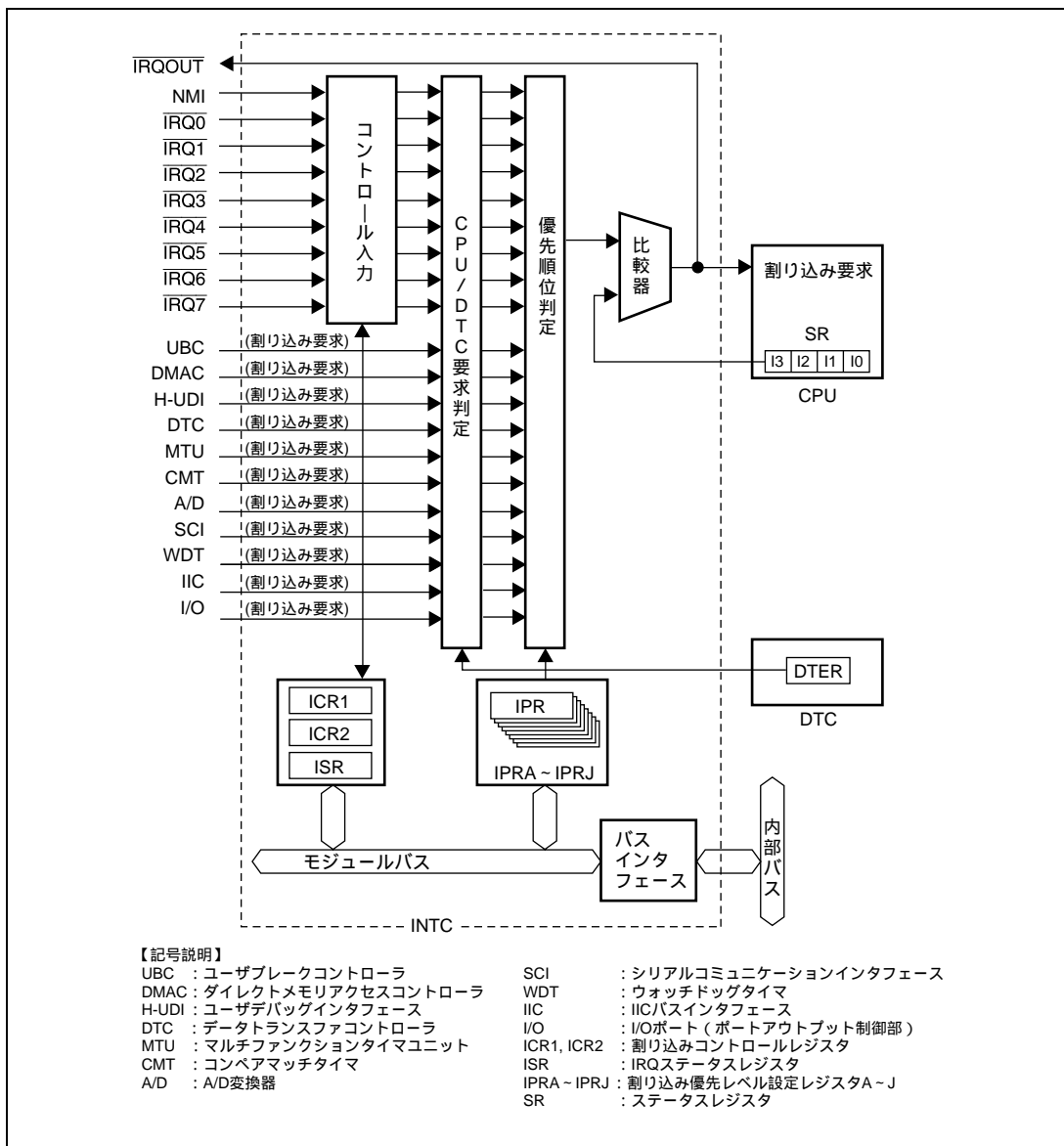


図 6.1 INTC のブロック図

6.2 入出力端子

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$	入力	マスク可能な割り込み要求信号を入力
割り込み要求出力端子	$\overline{\text{IRQOUT}}$	出力	割り込み要因の発生を知らせる信号を出力

6.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- 割り込みコントロールレジスタ1 (ICR1)
- 割り込みコントロールレジスタ2 (ICR2)
- IRQステータスレジスタ (ISR)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタH (IPRH)
- インタラプトプライオリティレジスタI (IPRI)
- インタラプトプライオリティレジスタJ (IPRJ)

6. 割り込みコントローラ (INTC)

6.3.1 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、16 ビットのレジスタで、外部割り込み入力端子 NMI と $\overline{IRQ0} \sim \overline{IRQ7}$ の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。

ビット	ビット名	初期値	R/W	説明
15	NMIL	1/0	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されている 1 : NMI 端子にハイレベルが入力されている
14~9		すべて 0	R	リザーブビットです。 リードすると常に 0 がリードされます。書き込む値も常に 0 にしてください。
8	NMIE	0	R/W	NMI エッジセレクト 0 : NMI 入力の立ち下がりがエッジで割り込み要求を検出 1 : NMI 入力の立ち上がりエッジで割り込み要求を検出
7	IRQ0S	0	R/W	IRQ0 センスセレクト IRQ0 割り込み要求の検出モードを設定します。 0 : $\overline{IRQ0}$ 入力のローレベルで割り込み要求を検出 1 : $\overline{IRQ0}$ 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)
6	IRQ1S	0	R/W	IRQ1 センスセレクト IRQ1 割り込み要求の検出モードを設定します。 0 : $\overline{IRQ1}$ 入力のローレベルで割り込み要求を検出 1 : $\overline{IRQ1}$ 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)
5	IRQ2S	0	R/W	IRQ2 センスセレクト IRQ2 割り込み要求の検出モードを設定します。 0 : $\overline{IRQ2}$ 入力のローレベルで割り込み要求を検出 1 : $\overline{IRQ2}$ 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)
4	IRQ3S	0	R/W	IRQ3 センスセレクト IRQ3 割り込み要求の検出モードを設定します。 0 : $\overline{IRQ3}$ 入力のローレベルで割り込み要求を検出 1 : $\overline{IRQ3}$ 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)
3	IRQ4S	0	R/W	IRQ4 センスセレクト IRQ4 割り込み要求の検出モードを設定します。 0 : $\overline{IRQ4}$ 入力のローレベルで割り込み要求を検出 1 : $\overline{IRQ4}$ 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)
2	IRQ5S	0	R/W	IRQ5 センスセレクト IRQ5 割り込み要求の検出モードを設定します。 0 : $\overline{IRQ5}$ 入力のローレベルで割り込み要求を検出 1 : $\overline{IRQ5}$ 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)
1	IRQ6S	0	R/W	IRQ6 センスセレクト IRQ6 割り込み要求の検出モードを設定します。 0 : $\overline{IRQ6}$ 入力のローレベルで割り込み要求を検出 1 : $\overline{IRQ6}$ 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)
0	IRQ7S	0	R/W	IRQ7 センスセレクト IRQ7 割り込み要求の検出モードを設定します。 0 : $\overline{IRQ7}$ 入力のローレベルで割り込み要求を検出 1 : $\overline{IRQ7}$ 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)

6.3.2 割り込みコントロールレジスタ 2 (ICR2)

ICR2 は、16 ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ のエッジ検出モードを設定します。ただし、割り込みコントロールレジスタ 1(ICR1)の IRQ0~7 センスセレクトビットで IRQ 検出モードがエッジ検出に設定されていた場合のみ有効です。IRQ 検出モードがローレベル検出に設定されていた場合、ICR2 の設定は無効です。

ビット	ビット名	初期値	R/W	説明
15	IRQ0ES1	0	R/W	IRQ0 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ0}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
14	IRQ0ES0	0	R/W	
13	IRQ1ES1	0	R/W	IRQ1 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ1}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
12	IRQ1ES0	0	R/W	
11	IRQ2ES1	0	R/W	IRQ2 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ2}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
10	IRQ2ES0	0	R/W	
9	IRQ3ES1	0	R/W	IRQ3 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ3}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
8	IRQ3ES0	0	R/W	
7	IRQ4ES1	0	R/W	IRQ4 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ4}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ4}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
6	IRQ4ES0	0	R/W	
5	IRQ5ES1	0	R/W	IRQ5 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ5}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ5}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
4	IRQ5ES0	0	R/W	

6. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明
3	IRQ6ES1	0	R/W	IRQ6 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ6}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ6}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ6}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
2	IRQ6ES0	0	R/W	
1	IRQ7ES1	0	R/W	IRQ7 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ7}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ7}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ7}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
0	IRQ7ES0	0	R/W	

6.3.3 IRQ ステータスレジスタ (ISR)

ISR は 16 ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ の割り込み要求のステータスを示します。IRQ 割り込みをエッジ検出に設定している場合、 $\text{IRQnF}=1$ をリード後 IRQnF に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

ビット	ビット名	初期値	R/W	説明
15~8		すべて 0	R	リザーブビットです。 リードすると常に 0 がリードされます。書き込む値も常に 0 にしてください。
7	IRQ0F	0	R/W	IRQ0 ~ IRQ7 フラグ IRQ0 ~ IRQ7 割り込み要求のステータスを表示します。 [セット条件] • ICR1 および ICR2 で選択した割り込み要因が発生したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき • 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき • IRQn 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のとき
6	IRQ1F	0	R/W	
5	IRQ2F	0	R/W	
4	IRQ3F	0	R/W	
3	IRQ4F	0	R/W	
2	IRQ5F	0	R/W	
1	IRQ6F	0	R/W	
0	IRQ7F	0	R/W	

6.3.4 インタラプトプライオリティレジスタ A~J (IPRA~IPRJ)

IPR は 16 ビットのリード/ライト可能な 10 本のレジスタで、NMI を除く割り込み要因の優先順位 (レベル 15~0) を設定します。各割り込み要因と IPR の対応については表 6.2 を参照してください。ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 から H'F の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。割り付けのないリザーブビットについては、H'0 (B'0000) を設定してください。

ビット	ビット名	初期値	R/W	説明
15	IPR15	0	R/W	対応する割り込み要因の優先順位を設定します。
14	IPR14	0	R/W	0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8
13	IPR13	0	R/W	0001 : 優先レベル 1 1001 : 優先レベル 9
12	IPR12	0	R/W	0010 : 優先レベル 2 1010 : 優先レベル 10
				0011 : 優先レベル 3 1011 : 優先レベル 11
				0100 : 優先レベル 4 1100 : 優先レベル 12
				0101 : 優先レベル 5 1101 : 優先レベル 13
				0110 : 優先レベル 6 1110 : 優先レベル 14
				0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)
11	IPR11	0	R/W	対応する割り込み要因の優先順位を設定します。
10	IPR10	0	R/W	0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8
9	IPR9	0	R/W	0001 : 優先レベル 1 1001 : 優先レベル 9
8	IPR8	0	R/W	0010 : 優先レベル 2 1010 : 優先レベル 10
				0011 : 優先レベル 3 1011 : 優先レベル 11
				0100 : 優先レベル 4 1100 : 優先レベル 12
				0101 : 優先レベル 5 1101 : 優先レベル 13
				0110 : 優先レベル 6 1110 : 優先レベル 14
				0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)
7	IPR7	0	R/W	対応する割り込み要因の優先順位を設定します。
6	IPR6	0	R/W	0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8
5	IPR5	0	R/W	0001 : 優先レベル 1 1001 : 優先レベル 9
4	IPR4	0	R/W	0010 : 優先レベル 2 1010 : 優先レベル 10
				0011 : 優先レベル 3 1011 : 優先レベル 11
				0100 : 優先レベル 4 1100 : 優先レベル 12
				0101 : 優先レベル 5 1101 : 優先レベル 13
				0110 : 優先レベル 6 1110 : 優先レベル 14
				0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)

6. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説 明
3	IPR3	0	R/W	対応する割り込み要因の優先順位を設定します。
2	IPR2	0	R/W	0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8
1	IPR1	0	R/W	0001 : 優先レベル 1 1001 : 優先レベル 9
0	IPR0	0	R/W	0010 : 優先レベル 2 1010 : 優先レベル 10
				0011 : 優先レベル 3 1011 : 優先レベル 11
				0100 : 優先レベル 4 1100 : 優先レベル 12
				0101 : 優先レベル 5 1101 : 優先レベル 13
				0110 : 優先レベル 6 1110 : 優先レベル 14
				0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)

【注】ビット名は一般名称で表記しています。レジスタ一覧表ではモジュール名で表記しています。

6.4 割り込み要因

6.4.1 外部割り込み要因

割り込み要因は、NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールの5つに分類されます。各割り込みの優先順位は優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

(1) NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ1(ICR1)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は15に設定されます。

(2) IRQ 割り込み

IRQ 割り込みは $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ7}}$ 端子からの入力による割り込みです。割り込みコントロールレジスタ1(ICR1)のIRQセンスセレクトビット(IRQ0S~IRQ7S)と、割り込みコントロールレジスタ2(ICR2)のIRQエッジセレクトビット(IRQ0ES[1:0]~IRQ7ES[1:0])の設定によって、端子ごとにローレベル検出あるいは立ち下がりエッジ検出または立ち上がりエッジを選択できます。また、割り込み優先レベル設定レジスタA、B(IPRA、IPRB)によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、 $\overline{\text{IRQ}}$ 端子がローレベルの期間INTCに割り込み要求信号が送られます。 $\overline{\text{IRQ}}$ 端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQステータスレジスタ(ISR)のIRQフラグ(IRQ0F~IRQ7F)を読み出しすることにより割り込み要求のレベルを確認できます。

IRQ 割り込みを立ち下がりエッジ検出に設定している場合、 $\overline{\text{IRQ}}$ 端子のハイレベルからローレベルの変化により割り込み要求が検出され、INTCに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQステータスレジスタ(ISR)のIRQフラグ(IRQ0F~IRQ7F)を読み出すことによりIRQ 割り込み要求が検出されているかどうかを確認でき、1読み出し後に0を書き込むこ

とにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は、受け付けた IRQ 割り込みの優先レベル値に設定されます。

IRQ7~IRQ0 割り込みのブロック図を図 6.2 に示します。

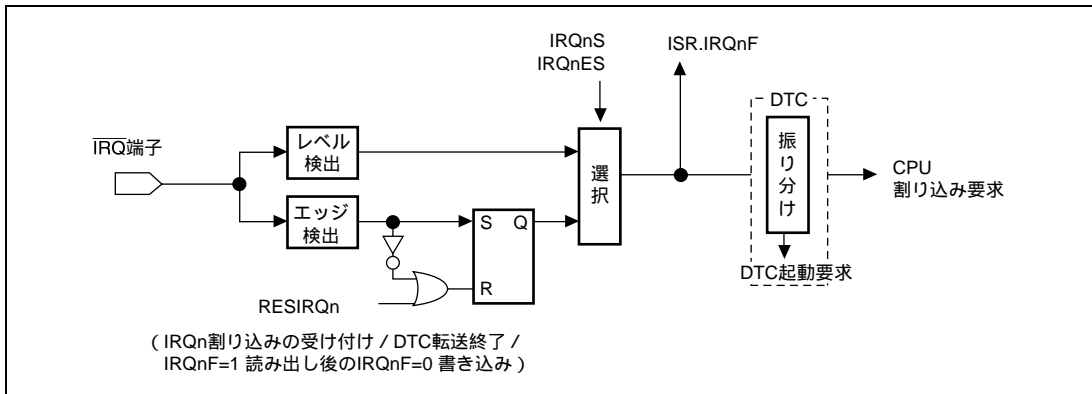


図 6.2 IRQ0~IRQ7 割り込み制御

6.4.2 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ A~J (IPRA~IPRJ) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.4.3 ユーザブ레이크割り込み

ユーザブ레이크割り込みは、ユーザブ레이크コントローラ (UBC) で設定したブ레이크条件が成立したときに発生する割り込みで、優先レベルは 15 です。ユーザブ레이크割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブ레이크例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は 15 に設定されます。ユーザブ레이크の詳細は、「第 7 章 ユーザブ레이크コントローラ (UBC)」を参照してください。

6.4.4 H-UDI 割り込み

ユーザデバッグインタフェース (H-UDI) 割り込みは、優先順位レベル 15 を持ち、H-UDI 割り込みのインストラクションをシリアル入力すると発生します。H-UDI 割り込みはエッジで検出され、受け付けられるまで保持されます。H-UDI 例外処理により、SR の I3~I0 は 15 に設定されます。H-UDI 割り込みについては、「第 22 章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

6.5 割り込み例外処理ベクタテーブル

表 6.2 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、表 5.4 を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A~J (IPRA ~ IPRJ) によって、端子またはモジュールごとに、優先レベル 0~15 の範囲で任意に設定できます。ただし、同一の IPR によって指定される複数の割り込み要因の優先順位は、ベクタ番号の小さい要因ほど高い優先に割り付けられており変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.2 に示すデフォルト優先順位に従って処理されます。

6. 割り込みコントローラ (INTC)

表 6.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因発生元	名称	ベクタ番号	ベクタテーブル先頭アドレス	IPR	デフォルト優先順位
外部端子	NMI	11	H'0000002C	-	高 ↑
ユーザブ레이크		12	H'00000030	-	
H-UDI		14	H'00000038	-	
-	システム予約	15	H'0000003C	-	
割り込み	IRQ0	64	H'00000100	IPRA15 ~ IPRA12	
	IRQ1	65	H'00000104	IPRA11 ~ IPRA8	
	IRQ2	66	H'00000108	IPRA7 ~ IPRA4	
	IRQ3	67	H'0000010C	IPRA3 ~ IPRA0	
	IRQ4	68	H'00000110	IPRB15 ~ IPRB12	
	IRQ5	69	H'00000114	IPRB11 ~ IPRB8	
	IRQ6	70	H'00000118	IPRB7 ~ IPRB4	
	IRQ7	71	H'0000011C	IPRB3 ~ IPRB0	
DMAC	DEI0	72	H'00000120	IPRC15 ~ IPRC12	
	DEI1	76	H'00000130	IPRC11 ~ IPRC8	
	DEI2	80	H'00000140	IPRC7 ~ IPRC4	
	DEI3	84	H'00000150	IPRC3 ~ IPRC0	
MTU チャンネル 0	TGIA_0	88	H'00000160	IPRD15 ~ IPRD12	
	TGIB_0	89	H'00000164		
	TGIC_0	90	H'00000168		
	TGID_0	91	H'0000016C		
	TCIV_0	92	H'00000170	IPRD11 ~ IPRD8	
MTU チャンネル 1	TGIA_1	96	H'00000180	IPRD7 ~ IPRD4	
	TGIB_1	97	H'00000184		
	TCIV_1	100	H'00000190	IPRD3 ~ IPRD0	
	TCIU_1	101	H'00000194		
MTU チャンネル 2	TGIA_2	104	H'000001A0	IPRE15 ~ IPRE12	
	TGIB_2	105	H'000001A4		
	TCIV_2	108	H'000001B0	IPRE11 ~ IPRE8	
	TCIU_2	109	H'000001B4		
MTU チャンネル 3	TGIA_3	112	H'000001C0	IPRE7 ~ IPRE4	
	TGIB_3	113	H'000001C4		
	TGIC_3	114	H'000001C8		
	TGID_3	115	H'000001CC		
	TCIV_3	116	H'000001D0	IPRE3 ~ IPRE0	
					低

6. 割り込みコントローラ (INTC)

割り込み要因発生元	名称	ベクタ番号	ベクタテーブル先頭アドレス	IPR	デフォルト優先順位
MTU チャンネル 4	TGIA_4	120	H'000001E0	IPRF15 ~ IPRF12	高 ↑
	TGIB_4	121	H'000001E4		
	TGIC_4	122	H'000001E8		
	TGID_4	123	H'000001EC		
	TCIV_4	124	H'000001F0	IPRF11 ~ IPRF8	
SCI チャンネル 0	ERI_0	128	H'00000200	IPRF7 ~ IPRF4	
	RXI_0	129	H'00000204		
	TXI_0	130	H'00000208		
	TEI_0	131	H'0000020C		
SCI チャンネル 1	ERI_1	132	H'00000210	IPRF3 ~ IPRF0	
	RXI_1	133	H'00000214		
	TXI_1	134	H'00000218		
	TEI_1	135	H'0000021C		
A/D	ADI0	136	H'00000220	IPRG15 ~ IPRG12	
	ADI1	137	H'00000224		
DTC	SWDTEND	140	H'00000230	IPRG11 ~ IPRG8	
CMT	CMI0	144	H'00000240	IPRG7 ~ IPRG4	
	CMI1	148	H'00000250	IPRG3 ~ IPRG0	
ウォッチドッグタイマ	ITI	152	H'00000260	IPRH15 ~ IPRH12	
	システム予約	153	H'00000264		
I/O (MTU)	MTUOEI	156	H'00000270	IPRH11 ~ IPRH8	
	システム予約	160 ~ 167	H'00000290 ~ H'0000029C	-	
SCI チャンネル 2	ERI_2	168	H'000002A0	IPRI15 ~ IPRI12	
	RXI_2	169	H'000002A4		
	TXI_2	170	H'000002A8		
	TEI_2	171	H'000002AC		
SCI チャンネル 3	ERI_3	172	H'000002B0	IPRI11 ~ IPRI8	
	RXI_3	173	H'000002B4		
	TXI_3	174	H'000002B8		
	TEI_3	175	H'000002BC		
	システム予約	176 ~ 188	H'000002C0 ~ H'000002FC		
IIC	ICI	192	H'00000300	IPRJ7 ~ IPRJ4	
-	システム予約	196 ~ 247	H'00000304 ~ H'000003DC		
					低

6.6 動作説明

6.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.3 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ A~J (IPRA ~ IPRJ) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 6.2 に示すデフォルト優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3~I0) とが比較されます。I3~I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3~I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
4. 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
5. 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図 6.5 参照)。
6. SR とプログラムカウンタ (PC) がスタックに退避されます。
7. SR の I3~I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
8. 受け付けられた割り込みがレベルセンスまたは内蔵周辺モジュールからの割り込みだった場合、 $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。なお、受け付けた割り込みがエッジセンスだった場合は、(5) で CPU が実行しようとしていた命令を割り込み例外処理に置き換えた時点で $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。ただし、割り込みコントローラが受け付け中の割り込みよりレベルの高い他の割り込みを受け付けているときは、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。
9. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (ISR) のアクセスにより取り下げることができます。
また、エッジ検出により保留されている割り込みはパワーオンリセットおよびマニュアルリセットでクリアされず。

6. 割り込みコントローラ (INTC)

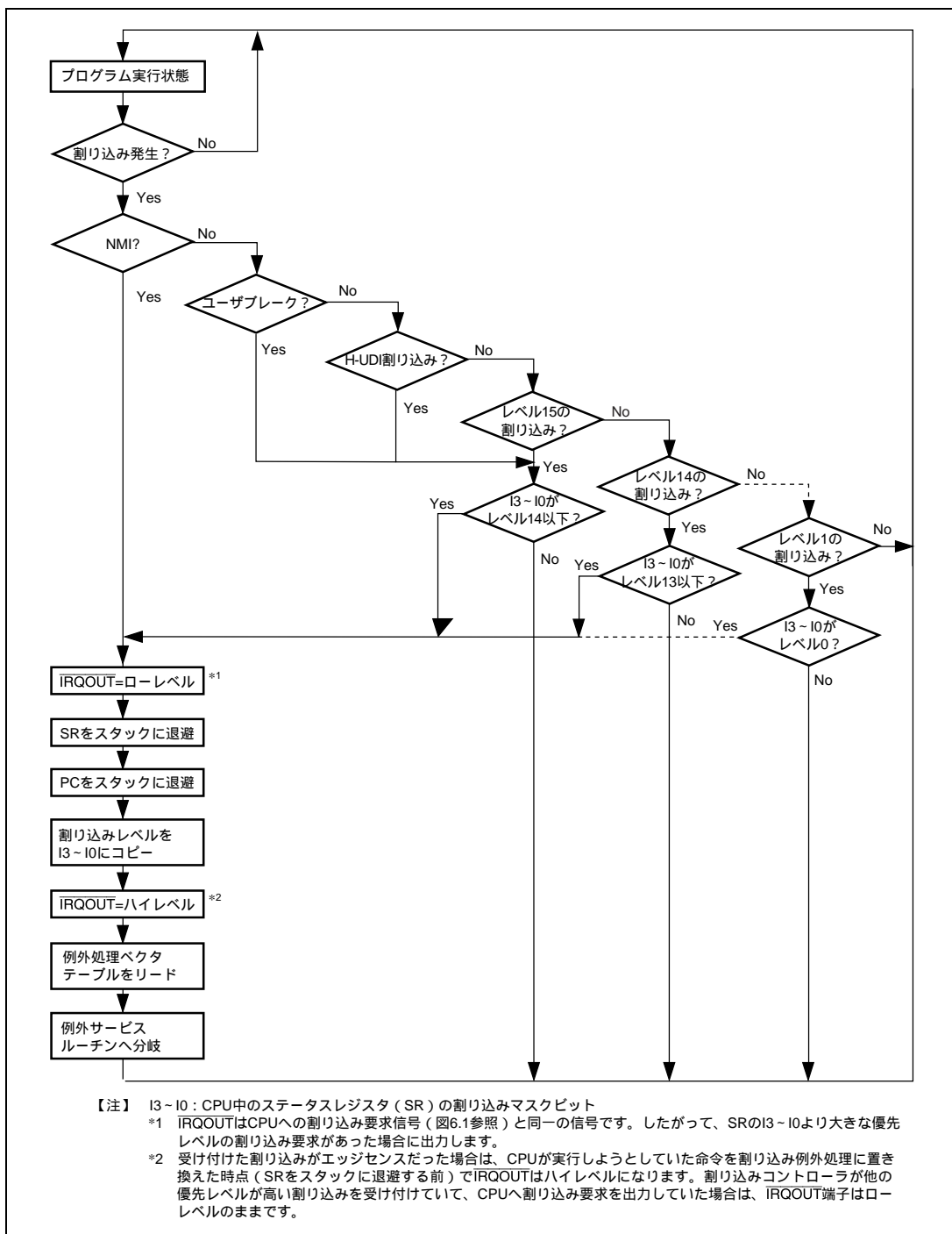


図 6.3 割り込み動作フロー

6.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.4 に示すようになります。

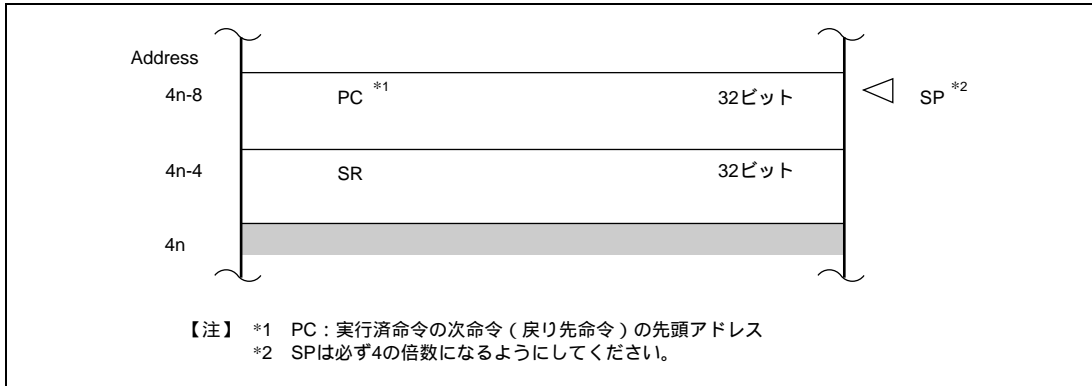


図 6.4 割り込み例外処理終了後のスタック状態

6. 割り込みコントローラ (INTC)

6.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.3 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 6.5 に示します。

表 6.3 割り込み応答時間

項目	ステート数		備考	
	NMI、周辺モジュール	IRQ		
DMAC/DTC の起動判定	0 または 1	1	DMAC/DTC 起動が可能な割り込み信号の場合、1 ステート必要です。	
優先順位判定および SR のマスクビットとの比較時間	2	3		
CPU が実行中のシーケンス終了までの待ち時間	X (0)		最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X=4+m1+m2+m3+m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。	
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	$5+m1+m2+m3$		SR、PC の退避とベクタアドレスのフェッチを行います。	
応答時間	合計	$(7 \text{ または } 8) + m1+m2+m3+X$	$9+m1+m2+m3+X$	
	最小時	10	12	50MHz 動作時： 0.20 ~ 0.24 μ s
	最大時	$12+2(m1+m2+m3)+m4$	$13+2(m1+m2+m3)+m4$	50MHz 動作時： 0.38 ~ 0.40 μ s*

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : SR の退避 (ロングワードライト)

m2 : PC の退避 (ロングワードライト)

m3 : ベクタアドレスリード (ロングワードリード)

m4 : 割り込みサービスルーチン先頭命令のフェッチ

* m1=m2=m3=m4=1 の場合

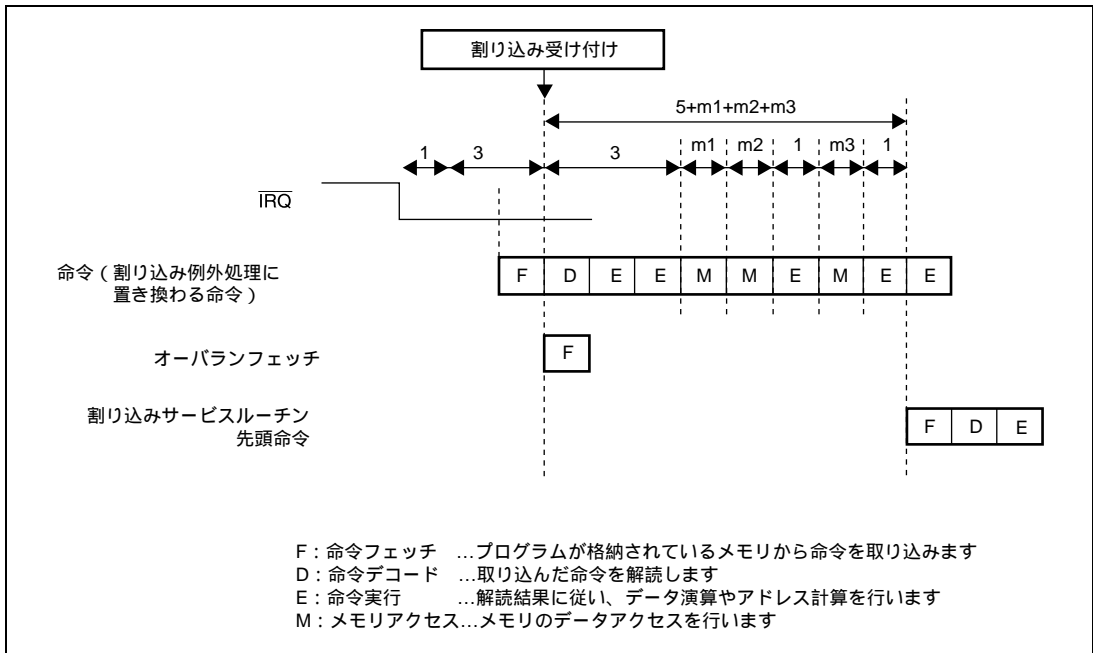


図 6.5 IRQ 割り込みを受け付けるときのパイプライン動作例

6.8 割り込み要求信号によるデータ転送

割り込み要求信号により、以下のデータ転送を行うことができます。

- DMACのみ起動、CPU割り込みは発生しない
- DTCのみ起動、CPU割り込みはDTCの設定による

割り込み要因の中で DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。マスク条件は次のように表されます。

$$\text{マスク条件} = \text{DME} \cdot (\text{DE0} \cdot \text{要因選択0} + \text{DE1} \cdot \text{要因選択1} + \text{DE2} \cdot \text{要因選択2} + \text{DE3} \cdot \text{要因選択3})$$

INTC は、対応する DTE のビットが 1 のときは CPU 割り込みをマスクします。DTE クリア条件と割り込み要因フラグクリア条件は次のように表されます。

$$\text{DTEクリア条件} = \text{DTC転送終了} \cdot \text{DTECLR}$$

$$\text{割り込み要因フラグクリア条件} = \text{DTC転送終了} \cdot \overline{\text{DTECLR}} + \text{DMAC転送終了}$$

ただし、DTECLR = DISEL + カウンタ0

制御ブロック図を図 6.6 に示します。

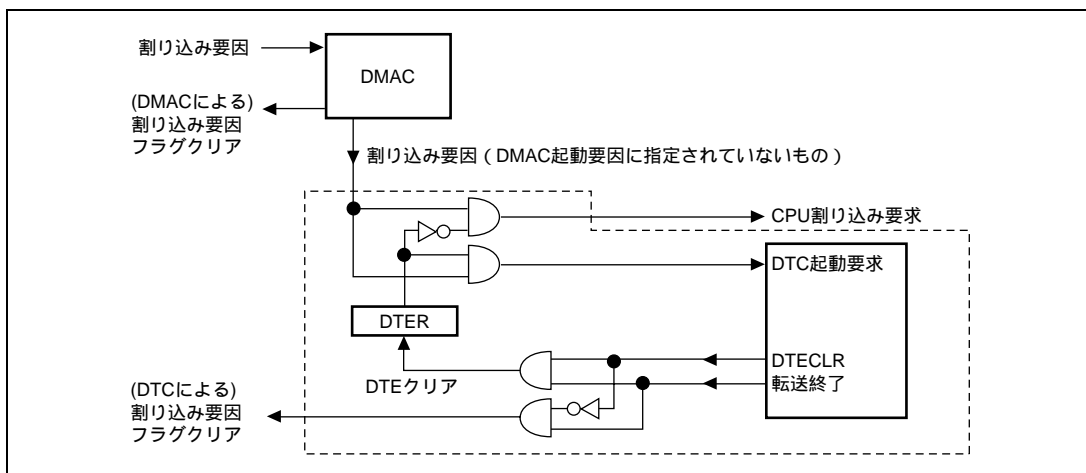


図 6.6 割り込み制御ブロック図

6.8.1 割り込み要求信号を DTC の起動要因、CPU の割り込み要因とし、DMAC の起動要因としない場合

1. DMACで要因を選択しないか、またはDMEビットを0にクリアします。
2. DTCは対応するDTEビット、およびDISELビットを1にセットします。
3. 割り込みが発生すると、DTCに起動要因が与えられます。
4. DTCは、データ転送を行うとDTEビットを0にクリアし、CPUに割り込みを要求します。起動要因はクリアしません。
5. CPUは割り込み処理ルーチンで、割り込み要因をクリアします。その後、転送カウンタの値を確認します。転送カウンタの値 = 0のとき、DTEビットを1にセットして、次のデータ転送を許可します。また、転送カウンタの値 = 0であれば、割り込み処理ルーチンで所要の終了処理をします。

6.8.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因、DTC の起動要因としない場合

1. DMACで要因を選択し、DME = 1にセットします。割り込み優先レベルレジスタの設定、DTCのレジスタ設定によらずCPU割り込み要因、DTC起動要因はマスクされます。
2. 割り込みが発生すると、DMACに起動要因が与えられます。
3. DMACは、転送時に起動要因をクリアします。

6.8.3 割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因、DMAC の起動要因としない場合

1. DMACで要因を選択しないか、またはDMEビットを0にクリアします。
2. DTCは対応するDTEビットを1にセットし、DISELビットを0にクリアします。
3. 割り込みが発生すると、DTCに起動要因が与えられます。
4. DTCは、データ転送を行うと、起動要因をクリアします。DTEビットは1に保持されているため、CPUには割り込みは要求されません。
5. ただし、転送カウンタ = 0のとき、DTEビットを0にクリアし、CPU に割り込みを要求します。
6. CPUは割り込み処理ルーチンで、所要の終了処理をします。

6.8.4 割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因、DMAC の起動要因としない場合

1. DMACで要因を選択しないか、またはDMEビットを0にクリアします。
2. DTCは対応するDTEビットを0にクリアします。
3. 割り込みが発生すると、CPUに割り込みを要求します。
4. CPUは割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

7. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、ユーザのプログラムデバッグを容易にする機能を提供します。UBC にブ레이크条件を設定すると、CPU または DMAC/DTC によるバスサイクルの内容に応じてユーザブ레이크割り込みが発生します。この機能により、高機能のセルフモニタデバッグの作成が容易で、大規模なインサーキットエミュレータを使用しなくても、手軽にプログラムをデバッグできます。

7.1 特長

- ブ레이크条件 : 5種類
アドレス
CPU サイクルまたは DMAC/DTC サイクル
命令フェッチまたはデータアクセス
読み出しまたは書き込み
オペランドサイズ (ロングワード、ワード、バイト)
- ブ레이크条件成立により、ユーザブ레이크割り込みを発生
- CPU の命令フェッチにブ레이크をかけると、その命令の手前でブ레이크
- モジュールスタンバイモード設定可能

7. ユーザブレイクコントローラ (UBC)

UBC のブロック図を図 7.1 に示します。

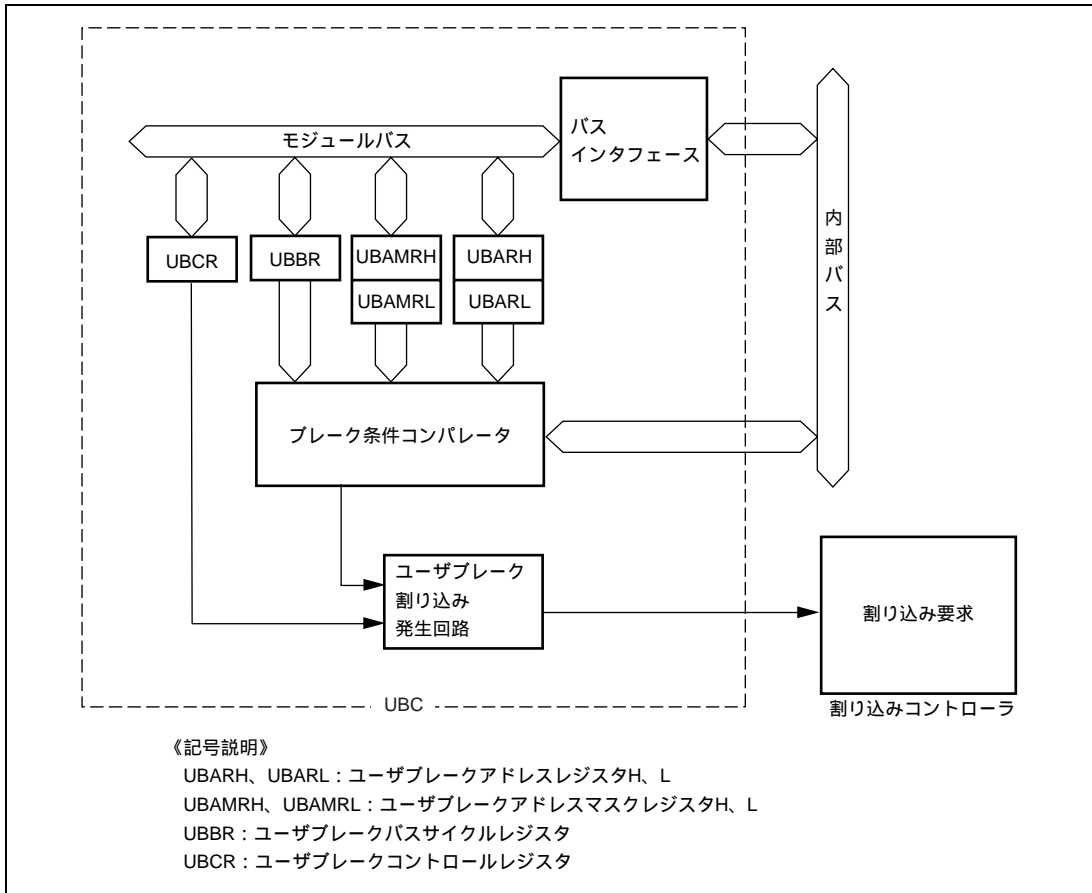


図 7.1 UBC のブロック図

7.2 各レジスタの説明

UBC には以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- ユーザブレイクアドレスレジスタ H (UBARH)
- ユーザブレイクアドレスレジスタ L (UBARL)
- ユーザブレイクアドレスマスクレジスタ H (UBAMRH)
- ユーザブレイクアドレスマスクレジスタ L (UBAMRL)
- ユーザブレイクパスサイクルレジスタ (UBBR)
- ユーザブレイクコントロールレジスタ (UBCR)

7.2.1 ユーザブレイクアドレスレジスタ (UBAR)

UBAR は、ユーザブレイクアドレスレジスタ H (UBARH) とユーザブレイクアドレスレジスタ L (UBARL) の 2 本で 1 組となっています。UBARH と UBARL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、UBARH はブレイク条件とするアドレスの上位側 (ビット 31 ~ 16) を指定し、UBARL はアドレスの下位側 (ビット 15 ~ 0) を指定します。UBAR の初期値は、H'00000000 です。

UBARH ビット 15 ~ 0 : ユーザブレイクアドレス 31 ~ 16 (UBA31 ~ UBA16) を指定

UBARL ビット 15 ~ 0 : ユーザブレイクアドレス 15 ~ 0 (UBA15 ~ UBA0) を指定

7.2.2 ユーザブレイクアドレスマスクレジスタ (UBAMR)

UBAMR は、ユーザブレイクアドレスマスクレジスタ H (UBAMRH) とユーザブレイクアドレスマスクレジスタ L (UBAMRL) の 2 本で 1 組となっています。UBAMRH と UBAMRL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。UBAMRH は UBARH に設定されているブレイクアドレスのどのビットをマスクするかを指定し、UBAMRL は UBARL に設定されているブレイクアドレスのどのビットをマスクするかを指定します。

UBAMRH ビット 15 ~ 0 : ユーザブレイクアドレスマスク 31 ~ 16 (UBM31 ~ UBM16) を指定

UBAMRL ビット 15 ~ 0 : ユーザブレイクアドレスマスク 15 ~ 0 (UBM15 ~ UBM0) を指定

ビット	ビット名	初期値	R/W	説明
UBAMRH 15 ~ 0	UBM31 ~ UBM16	すべて 0	R/W	ユーザブレイクアドレスマスク 31 ~ 16 0 : 対応する UBA ビットをブレイク条件に含む 1 : 対応する UBA ビットをブレイク条件に含まない
UBAMRL 15 ~ 0	UBM15 ~ UBM0	すべて 0	R/W	ユーザブレイクアドレスマスク 15 ~ 0 0 : 対応する UBA ビットをブレイク条件に含む 1 : 対応する UBA ビットをブレイク条件に含まない

7. ユーザブレイクコントローラ (UBC)

7.2.3 ユーザブレイクバスサイクルレジスタ (UBBR)

UBBR は読み出し / 書き込み可能な 16 ビットのレジスタで、4 種類のブレイク条件を設定します。

ビット	ビット名	初期値	R/W	説明
15~8		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 6	CP1 CP0	0 0	R/W R/W	CPU サイクル / DMAC、DTC サイクルセレクト 1、0 CPU サイクルまたは DMAC、DTC サイクルをブレイク条件に指定します。 00 : ユーザブレイク割り込みは発生させない 01 : CPU サイクルをブレイク条件とする 10 : DMAC、DTC サイクルをブレイク条件とする 11 : CPU サイクルと DMAC、DTC サイクルのどちらもブレイク条件とする
5 4	ID1 ID0	0 0	R/W R/W	命令フェッチ / データアクセスセレクト 1、0 命令フェッチサイクルまたはデータアクセスサイクルをブレイク条件に指定します。 00 : ユーザブレイク割り込みは発生させない 01 : 命令フェッチサイクルをブレイク条件とする 10 : データアクセスサイクルをブレイク条件とする 11 : 命令フェッチサイクルとデータアクセスサイクルのどちらもブレイク条件とする。
3 2	RW1 RW0	0 0	R/W R/W	リード / ライトセレクト 1、0 リードサイクルまたはライトサイクルをブレイク条件に指定します。 00 : ユーザブレイク割り込みは発生させない 01 : リードサイクルをブレイク条件とする 10 : ライトサイクルをブレイク条件とする 11 : リードサイクルとライトサイクルのどちらもブレイク条件とする
1 0	SZ1 SZ0	0 0	R/W R/W	オペランドサイズセレクト 1、0* ブレイク条件にするオペランドサイズを指定します。 00 : ブレイク条件にオペランドサイズを含まない 01 : バイトアクセスをブレイク条件とする 10 : ワードアクセスをブレイク条件とする 11 : ロングワードアクセスをブレイク条件とする

【注】 * 命令フェッチでブレイクをかける場合は、SZ0 ビットを 0 にしてください。すべての命令は、ワードサイズでアクセスされるものとみなされます (内蔵メモリに命令があって、1 回のバスサイクルで同時に 2 命令フェッチする場合もワードでアクセスされるものとみなされます)。
オペランドサイズは、命令の場合はワード、CPU / DMAC、DTC のデータアクセスはその指定したオペランドサイズで決まります。アクセスする空間のバス幅によって決まるものではありません。

7.2.4 ユーザブレークコントロールレジスタ (UBCR)

UBCR は、読み出し / 書き込み可能な 16 ビットのレジスタでユーザブレーク割り込みの禁止 / 許可を設定します。

ビット	ビット名	初期値	R/W	説明
15~1		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	UBID	0	R/W	ユーザブレークディスエーブル ユーザブレーク条件一致時にユーザブレーク割り込み要求の禁止 / 許可を指定します。 0 : ユーザブレーク割り込み要求を許可する 1 : ユーザブレーク割り込み要求を禁止する

7.3 動作説明

7.3.1 ユーザブレーク動作の流れ

ブレーク条件の設定からユーザブレーク割り込み例外処理までの流れを以下に示します。

1. ブレーク条件のうち、ユーザブレークアドレスをユーザブレークアドレスレジスタ (UBAR)、アドレスの中のマスクしたいビットをユーザブレークアドレスマスクレジスタ (UBAMR)、ブレークするバスサイクルの種類をユーザブレークバスサイクルレジスタ (UBBR) に設定してください。UBBRのCPUサイクル / DMAC、DTCサイクルセレクトビット (CP1、CP0)、命令フェッチ / データアクセスセレクトビット (ID1、ID0)、リード / ライトセレクトビット (RW1、RW0) のいずれか1組でも00 (ユーザブレーク割り込みは発生させない) にセットされていると、他の条件が一致してもユーザブレーク割り込みは発生しません。ユーザブレーク割り込みを使用したいときは、必ずこれら3組のビットすべてに条件を設定してください。
2. UBCは、設定した条件が成立したかどうかを図7.2に示す方式で判定します。ブレーク条件が成立すると、UBCは割り込みコントローラ (INTC) に、ユーザブレーク割り込み要求信号を送ります。
3. ユーザブレーク割り込み要求信号を受け取ると、INTCは優先順位の判定を行います。ユーザブレーク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) がレベル14以下のとき、受け付けられます。I3 ~ I0ビットがレベル15のとき、ユーザブレーク割り込みは受け付けられませんが、受け付けられるようになるまで保留されます。したがって、NMI例外処理では、I3 ~ I0ビットはレベル15になりますので、NMI例外サービスルーチン中はユーザブレーク割り込みは受け付けられません。ただし、NMI例外サービスルーチンの先頭でI3 ~ I0ビットをレベル14以下に変更すれば、それ以後ユーザブレーク割り込みが受け付けられるようになります。優先順位判定については、「第6章 割り込みコントローラ (INTC)」を参照してください。
4. INTCは、ユーザブレーク割り込みの要求信号をCPUに送ります。これを受け取ると、CPUはユーザブレーク割り込み例外処理を開始します。割り込み例外処理については、「6.6 動作説明」を参照してください。

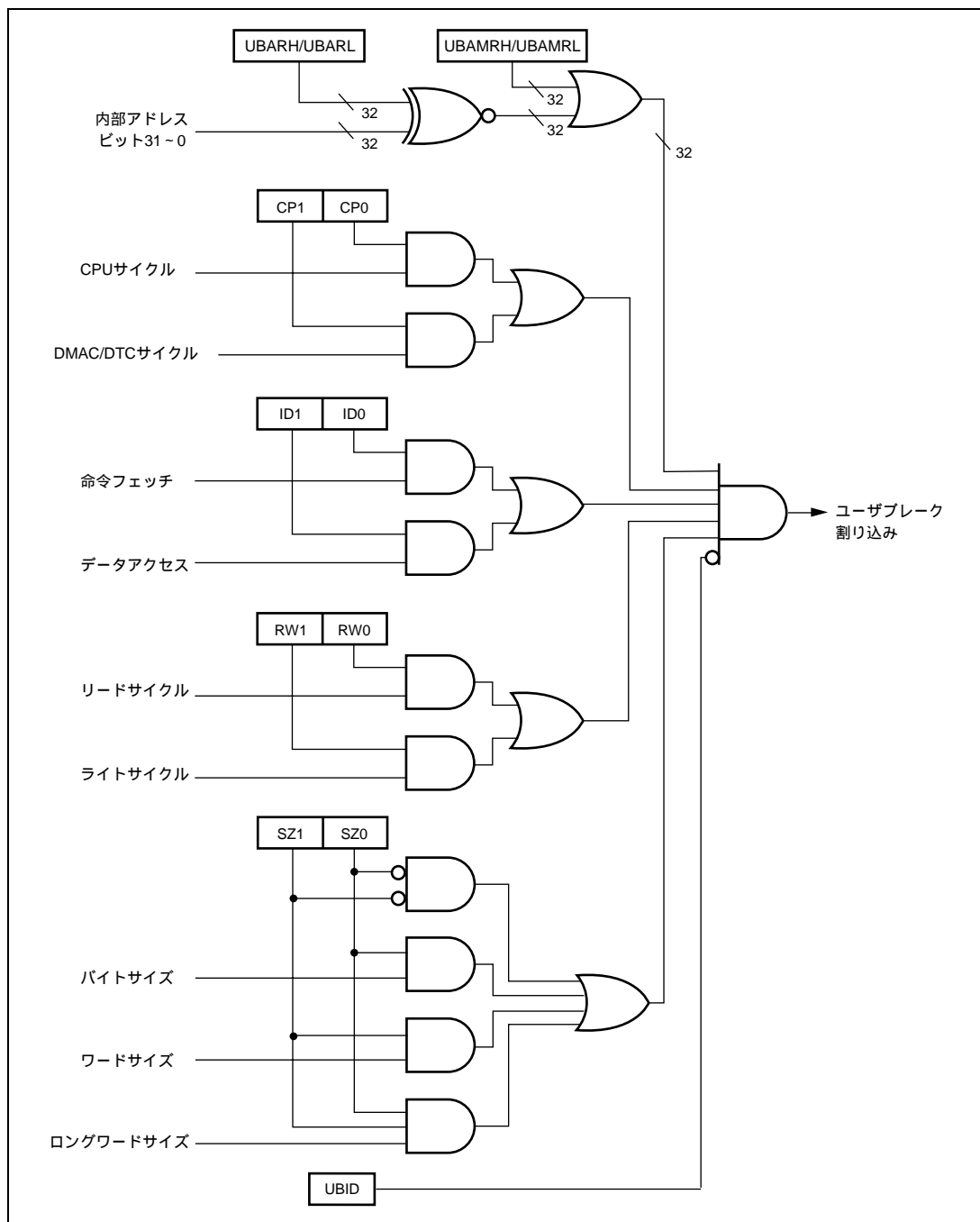


図 7.2 ブレイク条件判定方式

7.3.2 内蔵メモリの命令フェッチサイクルによるブレイク

内蔵メモリ(内蔵ROM、内蔵RAM)は、常に32ビットを1回のバスサイクルでアクセスします。したがって、命令を内蔵メモリからフェッチする場合、1回のバスサイクルで2命令が取り込まれます。このとき、1回のバスサイクルしか発生しませんが、両命令とも、それぞれの先頭アドレスをユーザブレイクアドレスレジスタ(UBAR)に設定することによって、独立してブレイクをかけることができます。言い換えると、1回のバスサイクルで取り込まれた2命令のうち、後半の命令でブレイクをかけたいとき、UBARにはその命令の先頭アドレスを設定してください。これにより、前半の命令を実行した後、ブレイクがかかるようになります。

7.3.3 退避するプログラムカウンタ(PC)の値

(1) 命令フェッチをブレイク条件に設定した場合

ユーザブレイク割り込み例外処理で退避されるプログラムカウンタ(PC)の値は、ブレイク条件に設定したアドレスです。このとき、フェッチされた命令は実行されず、その手前でユーザブレイク割り込みが発生します。ただし、遅延分岐命令直後(遅延スロット)に配置された命令のフェッチサイクルまたは割り込み禁止命令の次命令のフェッチサイクルをブレイク条件に設定した場合、ユーザブレイク割り込みはすぐには受け付けられず、ブレイク条件を設定した命令は実行されます。このとき、ユーザブレイク割り込みは、割り込みを受け付けられる命令が実行されてから受け付けられます。この場合、退避されるPCの値は、その割り込みを受け付けられる命令の次に実行されることになっていた命令の先頭アドレスです。

(2) データアクセス(CPU/DMAC、DTC)をブレイク条件に設定した場合

ユーザブレイク例外処理が起動した時点における実行済み命令の次命令の先頭アドレスが退避されます。データアクセス(CPU/DMAC、DTC)をブレイク条件に設定した場合、ブレイクがかかる場所は特定することができません。ブレイクするデータアクセスが発生した付近でフェッチしようとしていた命令がブレイクされます。

7.4 ユーザブ레이크使用例

(1) CPU 命令フェッチサイクルへのブ레이크条件設定

1. レジスタの設定 : UBARH = H'0000

UBARL = H'0404

UBBR = H'0054

UBCR = H'0000

設定された条件 : アドレス : H'00000404

バスサイクル : CPU、命令フェッチ、リード

(オペランドサイズは条件に含まない)

割り込み要求許可

アドレス H'00000404 にある命令の手前でユーザブ레이크割り込みが発生します。アドレス H'00000402 にある命令が割り込み受け付け可能ならば、この命令実行後、ユーザブ레이크例外処理を実行します。H'00000404 にある命令は実行されません。退避される PC の値は H'00000404 です。

2. レジスタの設定 : UBARH = H'0015

UBARL = H'389C

UBBR = H'0058

UBCR = H'0000

設定された条件 : アドレス : H'0015389C

バスサイクル : CPU、命令フェッチ、ライト

(オペランドサイズは条件に含まない)

割り込み要求許可

命令フェッチサイクルはライトサイクルではないので、ユーザブ레이크割り込みは発生しません。

3. レジスタの設定 : UBARH = H'0003

UBARL = H'0147

UBBR = H'0054

UBCR = H'0000

設定された条件 : アドレス : H'00030147

バスサイクル : CPU、命令フェッチ、リード

(オペランドサイズは条件に含まない)

割り込み要求許可

命令フェッチは偶数アドレスに対して行われるので、ユーザブ레이크割り込みは発生しません。ただし、分岐

7. ユーザブレイクコントローラ (UBC)

後初めて命令フェッチするアドレスがこの条件に設定した奇数アドレスの場合、アドレスエラー例外処理後、ユーザブレイク割り込み例外処理が行われます。

(2) CPU データアクセスサイクルへのブレイク条件設定

1. レジスタの設定 : UBARH = H'0012

UBARL = H'3456

UBBR = H'006A

UBCR = H'0000

設定された条件 : アドレス : H'00123456

バスサイクル : CPU、データアクセス、ライト、ワード

割り込み要求許可

アドレス H'00123456 にワードデータを書き込むと、ユーザブレイク割り込みが発生します。

2. レジスタの設定 : UBARH = H'00A8

UBARL = H'0391

UBBR = H'0066

UBCR = H'0000

設定された条件 : アドレス : H'00A80391

バスサイクル : CPU、データアクセス、リード、ワード

割り込み要求許可

ワードアクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

(3) DMAC/DTC サイクルへのブレーク条件設定

1. レジスタの設定 : UBARH = H'0076

UBARL = H'BCDC

UBBR = H'00A7

UBCR = H'0000

設定された条件 : アドレス : H'0076BCDC

バスサイクル : DMAC/DTC、データアクセス、リード、ロングワード

割り込み要求許可

アドレス H'0076BCDC からロングワードデータを読み出すと、ユーザブレーク割り込みが発生します。

2. レジスタの設定 : UBARH = H'0023

UBARL = H'45C8

UBBR = H'0094

UBCR = H'0000

設定された条件 : アドレス : H'002345C8

バスサイクル : DMAC/DTC、命令フェッチ、リード

(オペランドサイズは条件に含まない)

割り込み要求許可

DMAC/DTC サイクルでは命令フェッチは行われないので、ユーザブレーク割り込みは発生しません。

7.5 使用上の注意

7.5.1 2 命令同時フェッチ

命令フェッチの際、2 命令が同時に取り込まれる場合があります。このとき、この 2 命令のうち、後半命令のフェッチをブレイク条件に設定していた場合、前半命令のフェッチ直後に UBC の各レジスタを書き換えてブレイク条件を変更しても、後半命令の手前でユーザブレイク割り込みが発生します。

7.5.2 分岐時の命令フェッチ

条件分岐命令、TRAPA 命令で分岐する場合、命令フェッチと実行の順序は次のようになります。

1. 条件分岐命令で分岐する場合：BT、BF命令

TRAPA命令で分岐する場合：TRAPA命令

命令フェッチの順序 = 当該命令フェッチ→次命令オーバランフェッチ
→次々命令オーバランフェッチ→分岐先命令フェッチ

命令実行の順序 = 当該命令実行→分岐先命令実行

2. 遅延付き条件分岐命令で分岐する場合：BT/S、BF/S命令

命令フェッチの順序 = 当該命令フェッチ→次命令フェッチ (遅延スロット)
→次々命令オーバランフェッチ→分岐先命令フェッチ

命令実行の順序 = 当該命令実行→遅延スロット命令実行→分岐先命令実行

このように、条件分岐命令、TRAPA 命令で分岐する場合、次命令あるいは次々命令をオーバランフェッチしてから分岐先命令をフェッチします。ただし、ブレイクの対象となる命令は、命令がフェッチされ実行されることが確定したときに、はじめてブレイクするので、上記のようにオーバランフェッチされた命令は、ブレイクの対象となりません。

ただし、ブレイク条件として、命令フェッチブレイク以外にデータアクセスブレイクも含めていた場合は、命令のオーバランフェッチでもデータブレイク成立とみなしてブレイクがかかります。

7.5.3 ユーザブレイクと例外処理の競合

ある命令の命令フェッチにユーザブレイクを設定した状態で、その命令（またはその次の命令）のデコードステージにおいてユーザブレイクより優先度が高い例外処理が競合して受け付けられた場合、その例外処理サービスルーチンを終了した（RTE で戻った）後にユーザブレイク例外処理が発生しない場合があります。

すなわち、分岐(BRA、BRAFL、BT、BF、BT/S、BF/S、BSR、BSRF、JMP、JSR、RTS、RTE、例外処理)後の分岐先命令の命令フェッチにユーザブレイク条件をかけた状態で、その分岐先命令がユーザブレイク割り込みよりも優先度の高い例外処理を受け付けると、その例外処理サービスルーチンを終了した後のユーザブレイク例外処理は発生しません。

したがって、分岐後の分岐先命令のフェッチには、ユーザブレイク条件を設定しないでください。

7.5.4 非遅延分岐命令の飛び先でのブレイク

遅延スロットを持たない分岐命令（例外処理も含む）が、分岐を実行して飛び先命令にジャンプしたとき、その最初の飛び先命令のフェッチにユーザブレイク条件をかけていても、ユーザブレイクは発生しません。

7.5.5 モジュールスタンバイモードの設定

UBC は、モジュールスタンバイコントロールレジスタ 2 (MSTCR2) により、本モジュールの動作禁止 / 許可を設定することができます。モジュールスタンバイモードを解除することによりレジスタのアクセスが可能になります。

MSTCR2 の MSTP0 ビットを 1 にセットすると UBC のクロックが停止し、UBC はモジュールスタンバイモードになります。詳細は「第 24 章 低消費電力状態」を参照してください。

7. ユーザブレークコントローラ (UBC)

8. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 8.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用する際には、必ず SYSCR の RAME ビットを 1 にセットしてください。

8.1 特長

- 任意チャンネル数の転送可能
- 転送モード：3種類
ノーマルモード、リピートモード、ブロック転送モード
- 1つの起動要因で複数データの連続転送が可能 (チェイン転送)
- アドレス空間：32ビット指定
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワード/ロングワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールスタンバイモードの設定可能

8. データトランスファコントローラ (DTC)

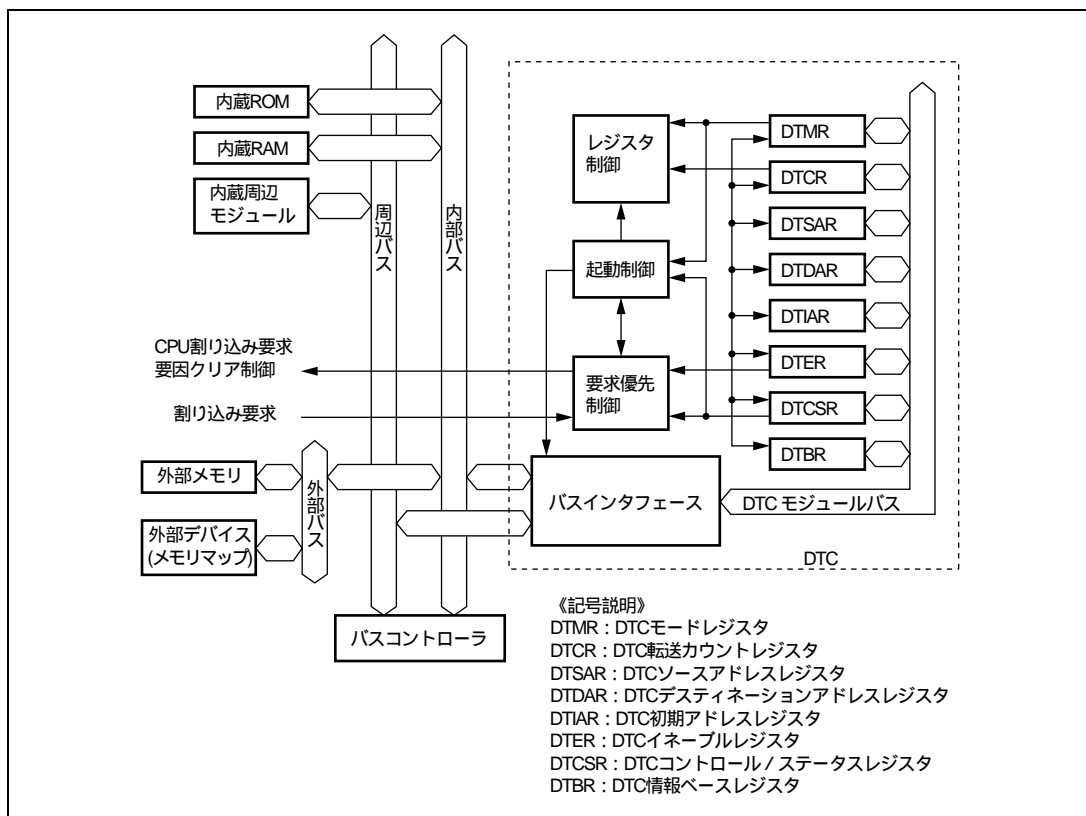


図 8.1 DTC のブロック図

8.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタ (DTMR)
- DTCソースアドレスレジスタ (DTSAR)
- DTCデスティネーションアドレスレジスタ (DTDAR)
- DTC初期アドレスレジスタ (DTIAR)
- DTC転送カウントレジスタA (DTCRA)
- DTC転送カウントレジスタB (DTCRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC 起動要因が発生すると内蔵 RAM 上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送して DTC 転送を行い、転送が終了するとこれらのレジスタの内容が RAM に戻されます。

- DTCイネーブルレジスタA (DTEA)
- DTCイネーブルレジスタB (DTEB)
- DTCイネーブルレジスタC (DTEC)
- DTCイネーブルレジスタD (DTEd)
- DTCイネーブルレジスタE (DTEE)
- DTCイネーブルレジスタG (DTEG)
- DTCコントロール/ステータスレジスタ (DTCSR)
- DTC情報ベースレジスタ (DTBR)

これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

8.2.1 DTC モードレジスタ (DTMR)

DTMR は 16 ビットのレジスタで、DTC の動作モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
15 14	SM1 SM0	不定 不定		ソースアドレスモード 1、0 データ転送後の DTSAR の動作を指定します。 0X : DTSAR は固定 10 : 転送後 DTSAR をインクリメント (Sz1,0=00 のとき +1、Sz1,0=01 のとき +2、Sz1,0=10 のとき +4) 11 : 転送後 DTSAR をデクリメント (Sz1,0=00 のとき -1、Sz1,0=01 のとき -2、Sz1,0=10 のとき -4)
13 12	DM1 DM0	不定 不定		デスティネーションアドレスモード 1、0 データ転送後の DTDAR の動作を指定します。 0X : DTDAR は固定 10 : 転送後 DTDAR をインクリメント (Sz1,0=00 のとき +1、Sz1,0=01 のとき +2、Sz1,0=10 のとき +4) 11 : 転送後 DTDAR をデクリメント (Sz1,0=00 のとき -1、Sz1,0=01 のとき -2、Sz1,0=10 のとき -4)
11 10	MD1 MD0	不定 不定		DTC モード 1、0 DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止

8. データトランスファコントローラ (DTC)

ビット	ビット名	初期値	R/W	説明
9 8	Sz1 Sz0	不定 不定		DTC データトランスファサイズ 1、0 転送データのサイズを指定します。 00 : バイト転送 01 : ワード転送 10 : ロングワード転送 11 : 設定禁止
7	DTS	不定		DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
6	CHNE	不定		DTC チェイン転送イネーブル このビットが 1 のときチェイン転送を行います。 0 : チェイン転送を解除 1 : チェイン転送に設定 CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTER のクリアは行いません。
5	DISEL	不定		DTC インタラプトセレクト このビットが 1 のとき DTC 転送のたびに CPU に対して割り込み要求を発生します。このビットが 0 のときは指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
4	NMIM	不定		DTC NMI モード DTC 転送中に NMI が入力された場合、転送を中断するかどうかを指定します。 0 : NMI により DTC 転送を中断します 1 : 実行中の転送が終了するまで DTC 転送を続行します
3~0		不定		リザーブビット DTC の動作に影響を与えません。ライトするときは常に 0 をライトしてください。

【記号説明】 X : Don't care

8.2.2 DTC ソースアドレスレジスタ (DTSAR)

DTSAR は 32 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレス、ロングワードの場合は 4 の倍数アドレスを指定してください。初期値は不定です。

8.2.3 DTC デスティネーションアドレスレジスタ (DTDAR)

DTDAR は 32 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレス、ロングワードの場合は 4 の倍数アドレスを指定してください。初期値は不定です。

8.2.4 DTC 初期アドレスレジスタ (DTIAR)

DTIAR は 32 ビットのレジスタで、リピートモードのときに転送元 / 転送先の初期アドレスを指定します。リピートモードにおいて、DTS ビットが 1 のとき、リピートエリアにおける転送元アドレスの初期アドレスを指定してください。DTS ビットが 0 のとき、リピートエリアにおける転送先アドレスの初期アドレスを指定してください。初期値は不定です。

8.2.5 DTC 転送カウントレジスタ A (DTCRA)

DTCRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、16 ビットの転送カウンタ (1 ~ 65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。転送回数は設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

リピートモードでは、上位 8 ビットの DTCRAH は転送回数を保持し、下位 8 ビットの DTCRAL は 8 ビット転送カウンタとして機能します。転送回数は、設定値が DTCRAH = DTCRAL = H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときは 256 回になります。

ブロック転送モードでは、16 ビットの転送カウンタとして機能します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。初期値は不定です。

8.2.6 DTC 転送カウントレジスタ B (DTCRB)

DTCRB は 16 ビットのレジスタで、ブロック転送モードのとき、ブロック長を指定します。ブロック長は、設定値が H'0001 のときは 1、H'FFFF のときは 65535 で、H'0000 のときは 65536 になります。初期値は不定です。

8. データトランスファコントローラ (DTC)

8.2.7 DTC イネーブルレジスタ (DTER)

DTER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTEA ~ DTEE、DTEG があります。各割り込み要因と DTE ビットの対応については表 8.1 を参照してください。

ビット	ビット名	初期値	R/W	説明
7	DTE*7	0	R/W	DTC 起動イネーブル7~0
6	DTE*6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。
5	DTE*5	0	R/W	[クリア条件]
4	DTE*4	0	R/W	• DTMR の DISEL ビットが 1 で 1 回のデータ転送を終了したとき
3	DTE*3	0	R/W	• 指定した回数の転送が終了したとき
2	DTE*2	0	R/W	• クリアするビットの 1 を読み出してから 0 を書き込み
1	DTE*1	0	R/W	DISEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされません。
0	DTE*0	0	R/W	[セット条件] • セットするビットの 0 を読み出してから 1 を書き込み

【注】 * DCT イネーブルレジスタ名称の最後の 1 文字が入ります。

例：DTEB では DTEB3 など。

8.2.8 DTC コントロール / ステータスレジスタ (DTCSR)

DTCSR は 16 ビットのレジスタで、ソフトウェアによる DTC 起動の許可 / 禁止の設定、およびソフトウェア起動による DTC ベクタアドレスを設定します。また、DTC 転送の状態も示します。

ビット	ビット名	初期値	R/W	説明
15~11		すべて 0	R	リザーブビットです。 DTC の動作に影響を与えません。ライトするときは常に 0 をライトしてください。
10	NMIF	0	R/(W)* ¹	NMI フラグビット NMI 割り込みが発生したことを示します。 0 : NMI 割り込みなし [クリア条件] NMIF ビットを読み出してから 0 を書き込む 1 : NMI 割り込み発生 NMIF ビットが 1 にセットされていると、DTER のビットに 1 を設定しても、DTC 転送は許可されません。ただし、すでに DTMR レジスタの NMIM ビットが 1 で転送が開始している場合、その転送は終了するまで実行されます。

8. データトランスファコントローラ (DTC)

ビット	ビット名	初期値	R/W	説明
9	AE	0	R/(W)* ¹	アドレスエラーフラグ DTCによるアドレスエラーが発生したことを示します。 0: DTCによるアドレスエラーなし [クリア条件] AE ビットを読み出してから 0 を書き込む 1: DTCによるアドレスエラー発生 AE ビットがセットされていると、DTER のビットに 1 を設定しても DTC 転送は許可されません。
8	SWDTE	0	R/W* ²	DTC ソフトウェア起動イネーブル このビットを 1 にセットすると DTC が起動します。 0: ソフトウェアによる DTC 起動を禁止 1: ソフトウェアによる DTC 起動を許可
7	DTVEC7	0	R/W	DTC ソフトウェア起動ベクタ 7~0 ソフトウェアによる DTC 起動ベクタアドレスの下位 8 ビットを設定します。 ベクタアドレスは、H'0400 + DTVEC[7:0]となります。DTVEC0 には必ず 0 を指定してください。たとえば、DTVEC7 ~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0410 となります。 SWDTE=0 のときだけライト可能です。
6	DTVEC6	0	R/W	
5	DTVEC5	0	R/W	
4	DTVEC4	0	R/W	
3	DTVEC3	0	R/W	
2	DTVEC2	0	R/W	
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

【注】 *1 1 読み出し後の 0 ライトのみ可能です。

*2 1 書き込みは常時可能ですが、0 書き込みは 1 読み出し後にのみ可能です。

8.2.9 DTC 情報ベースレジスタ (DTBR)

DTBR は、読み出し / 書き込み可能な 16 ビットのレジスタで、DTC 転送情報を格納するメモリアドレスの上位 16 ビットを指定します。DTBR のアクセスは、必ずワードまたはロングワード単位で行ってください。バイト単位でアクセスすると、書き込み時はレジスタの内容が不定になり、また読み出し時は不定値が読み出されます。初期値は不定です。

8.3 動作説明

8.3.1 起動要因

DTC は割り込み要求またはソフトウェアによる DTCSCR へのライト動作により起動します。起動する割り込み要因は DTER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTER の対応するビットをクリアします。たとえば RX1_2 の場合、起動要因フラグは、SCI チャンネル 2 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 8.2 に示します。割り込みコントローラの詳細は、「第 6 章 割り込みコントローラ (INTC)」を参照してください。

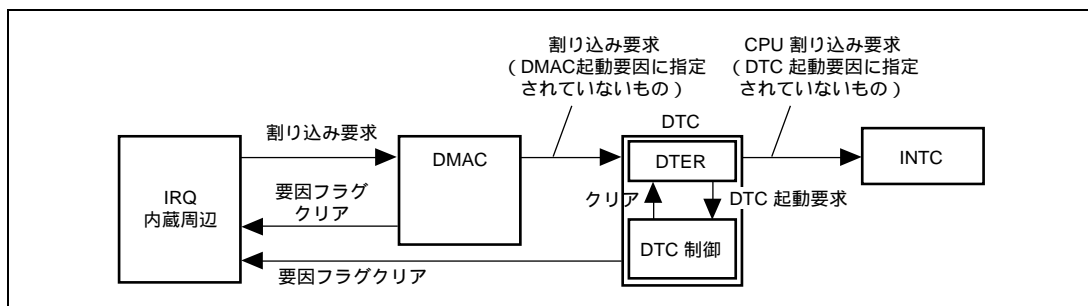


図 8.2 DTC 起動要因制御ブロック図

8.3.2 レジスタ情報の配置と DTC ベクタテーブル

メモリ空間上でのレジスタ情報の配置を図 8.3 に示します。レジスタ情報先頭アドレスは、上位 16 ビットを DTBR で、下位 16 ビットは DTC ベクタテーブルで指定します。

レジスタ情報先頭アドレスから、ノーマルモード時は DTMR、DTCRA、4 バイトの空き (DTC 動作に影響しません)、DTSAR、DTDAR の順に配置します。リピートモード時は、DTMR、DTCRA、DTIAR、DTSAR、DTDAR の順に配置します。ブロック転送モード時は、DTMR、DTCRA、2 バイトの空き (DTC 動作に影響しません)、DTCRB、DTSAR、DTDAR の順に配置します。

レジスタ情報を配置するアドレスは、通常は内蔵 RAM エリアを指定します。

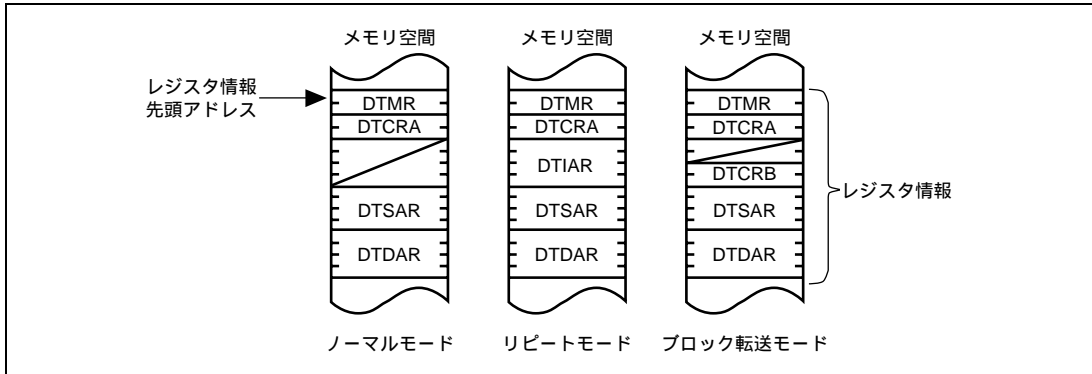


図 8.3 メモリ空間上での DTC レジスタ情報の配置

図 8.4 に、DTC ベクタアドレスとレジスタ情報配置の対応を示します。DTC 起動要因ごとに DTC ベクタテーブルが 2 バイトずつあり、レジスタ情報先頭アドレスを格納します。

表 8.1 に、起動要因とベクタアドレスの対応を示します。ソフトウェアによる起動の場合は、ベクタアドレスは $H'0400 + DTVEC[7:0]$ で計算されます。

DTC 起動により、ベクタテーブルからレジスタ情報先頭アドレスを読み出し、このレジスタ情報先頭アドレスから、メモリ空間に配置されたレジスタ情報を読み出します。レジスタ情報先頭アドレスには必ず 4 の倍数を指定してください。

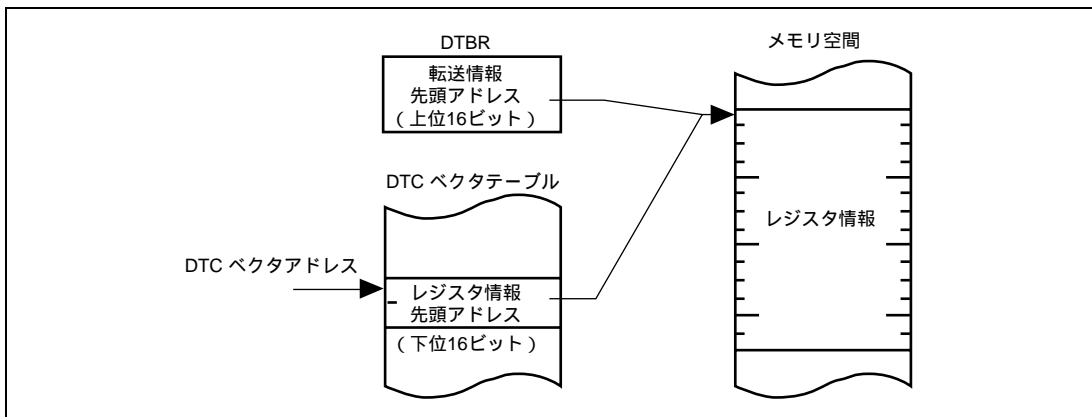


図 8.4 DTC ベクタアドレスと転送情報との対応

8. データトランスファコントローラ (DTC)

表 8.1 割り込み要因と DTC ベクタアドレスおよび対応する DTE

起動要因発生元	起動要因	DTC ベクタアドレス	DTE ビット	転送元	転送先	優先順
MTU (CH4)	TGIA_4	H'00000400	DTEA7	任意*	任意*	高 ↑
	TGIB_4	H'00000402	DTEA6	任意*	任意*	
	TGIC_4	H'00000404	DTEA5	任意*	任意*	
	TGID_4	H'00000406	DTEA4	任意*	任意*	
	TCIV_4	H'00000408	DTEA3	任意*	任意*	
MTU (CH3)	TGIA_3	H'0000040A	DTEA2	任意*	任意*	
	TGIB_3	H'0000040C	DTEA1	任意*	任意*	
	TGIC_3	H'0000040E	DTEA0	任意*	任意*	
	TGID_3	H'00000410	DTEB7	任意*	任意*	
MTU (CH2)	TGIA_2	H'00000412	DTEB6	任意*	任意*	
	TGIB_2	H'00000414	DTEB5	任意*	任意*	
MTU (CH1)	TGIA_1	H'00000416	DTEB4	任意*	任意*	
	TGIB_1	H'00000418	DTEB3	任意*	任意*	
MTU (CH0)	TGIA_0	H'0000041A	DTEB2	任意*	任意*	
	TGIB_0	H'0000041C	DTEB1	任意*	任意*	
	TGIC_0	H'0000041E	DTEB0	任意*	任意*	
	TGID_0	H'00000420	DTEC7	任意*	任意*	
A/D変換器(CH0)	ADI0	H'00000422	DTEC6	ADDR0	任意*	↓ 低
外部端子	IRQ0	H'00000424	DTEC5	任意*	任意*	
	IRQ1	H'00000426	DTEC4	任意*	任意*	
	IRQ2	H'00000428	DTEC3	任意*	任意*	
	IRQ3	H'0000042A	DTEC2	任意*	任意*	
	IRQ4	H'0000042C	DTEC1	任意*	任意*	
	IRQ5	H'0000042E	DTEC0	任意*	任意*	
	IRQ6	H'00000430	DTED7	任意*	任意*	
	IRQ7	H'00000432	DTED6	任意*	任意*	
CMT (CH0)	CMI0	H'00000434	DTED5	任意*	任意*	
CMT (CH1)	CMI1	H'00000436	DTED4	任意*	任意*	
SCI0	RXI_0	H'00000438	DTED3	RDR_0	任意*	
	TXI_0	H'0000043A	DTED2	任意*	TDR_0	
SCI1	RXI_1	H'0000043C	DTED1	RDR_1	任意*	
	TXI_1	H'0000043E	DTED0	任意*	TDR_1	
リザーブ		H'00000440 ~ 00000443				
A/D変換器(CH1)	ADI1	H'00000444	DTEE5	ADDR1	任意*	
リザーブ		H'00000446				

8. データトランスファコントローラ (DTC)

起動要因発生元	起動要因	DTC ベクタアドレス	DTE ビット	転送元	転送先	優先順
SCI2	RXI_2	H'00000448	DTEE3	RDR_2	任意*	高   低
	TXI_2	H'0000044A	DTEE2	任意*	TDR_2	
SCI3	RXI_3	H'0000044C	DTEE1	RDR_3	任意*	
	TXI_3	H'0000044E	DTEE0	任意*	TDR_3	
リザーブ		H'00000450 ~ H'0000045F				
IIC	ICI	H'00000460	DTEG7	ICDR(受信時)	任意*(受信時)	
				任意*(送信時)	ICDR(送信時)	
リザーブ		H'00000462 ~ H'0000049F				
ソフトウェア	DTCSR ライト	H'0400 + DTVEC[7:0]		任意*	任意*	

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、DTC を除く)

8.3.3 DTC の動作

DTC はレジスタ情報を内蔵 RAM に格納します。DTC が起動すると、内蔵 RAM からレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、DTMR の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。

転送元アドレスは 32 ビット長の DTSAR、転送先アドレスは 32 ビット長の DTDAR で指定します。DTSAR、DTDAR は転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

8. データトランスファコントローラ (DTC)

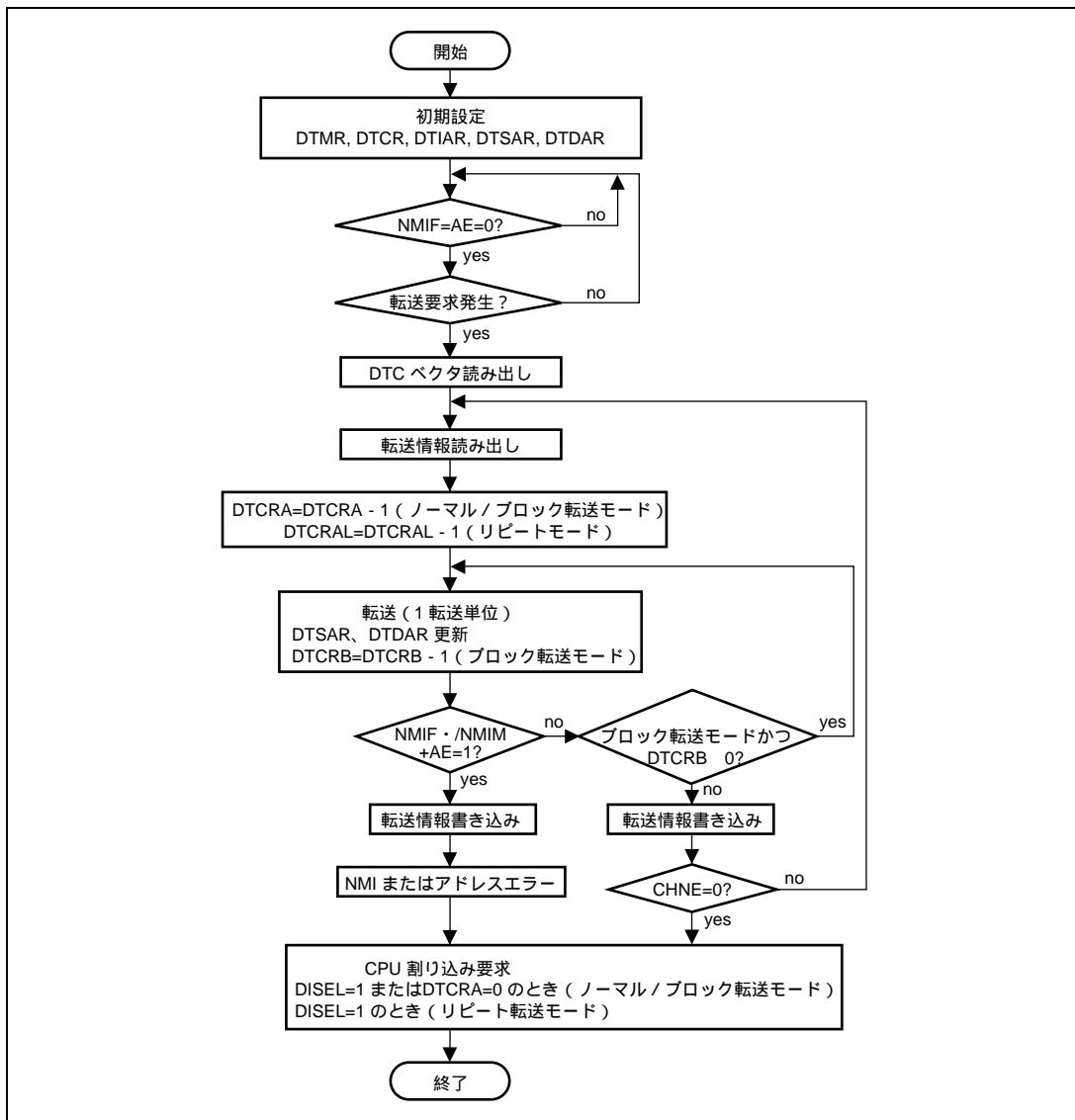


図 8.5 DTC 動作フローチャート

(1) ノーマルモード

1回の動作で、1バイト、1ワード、または1ロングワードの転送を行います。転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。ノーマルモードのレジスタ機能を表8.2に示します。また、ノーマルモードのメモリマップを図8.6に示します。

表 8.2 ノーマルモードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		DTCRA が 1 以外するとき	DTCRA が 1 のとき
DTMR	動作モードの制御	DTMR	DTMR
DTCRA	転送カウント	DTCRA - 1	DTCRA - 1 (=H'0000)
DTSAR	転送元アドレス	増加 / 減少 / 固定	増加 / 減少 / 固定
DTDAR	転送先アドレス	増加 / 減少 / 固定	増加 / 減少 / 固定

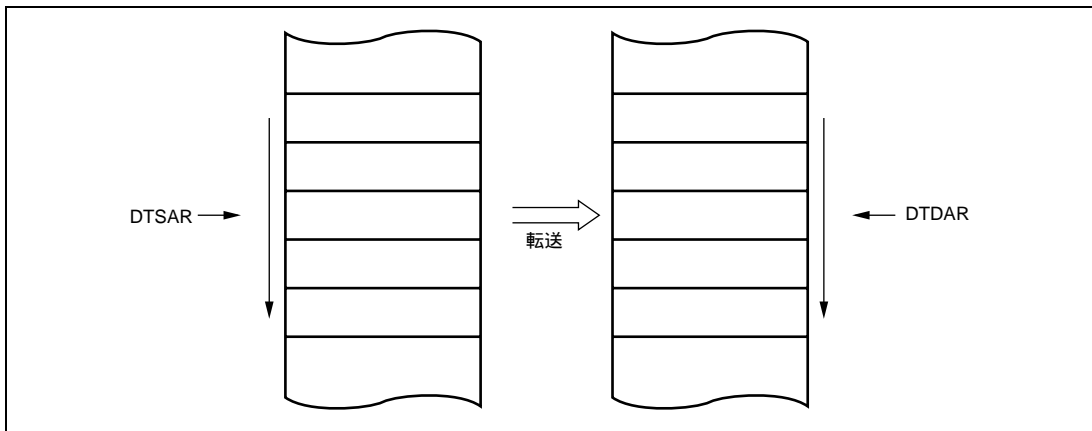


図 8.6 ノーマルモードのメモリマップ

8. データトランスファコントローラ (DTC)

(2) リピートモード

1回の動作で、1バイト、1ワード、または1ロングワードの転送を行います。転送元、転送先のいずれか一方をリピートエリアに指定します。表 8.3 にリピートモードにおけるレジスタ機能を示します。転送回数は 1~256 で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタが H'00 にならないので、DISEL = 0 の場合は CPU への割り込み要求は発生しません。図 8.7 にリピートモードのメモリマップを示します。

表 8.3 リピートモードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		DTCRA が 1 以外のとき	DTCRA が 1 のとき
DTMR	動作モードの制御	DTMR	DTMR
DTCRAH	転送カウンタ保存	DTCRAH	DTCRAH
DTCRAL	転送カウンタ	DTCRAL-1	DTCRAH
DTIAR	初期アドレス	(書き戻しません)	(書き戻しません)
DTSAR	転送元アドレス	増加 / 減少 / 固定	(DTS=0) 増加 / 減少 / 固定 (DTS=1) DTIAR
DTDAR	転送先アドレス	増加 / 減少 / 固定	(DTS=0) DTIAR (DTS=1) 増加 / 減少 / 固定

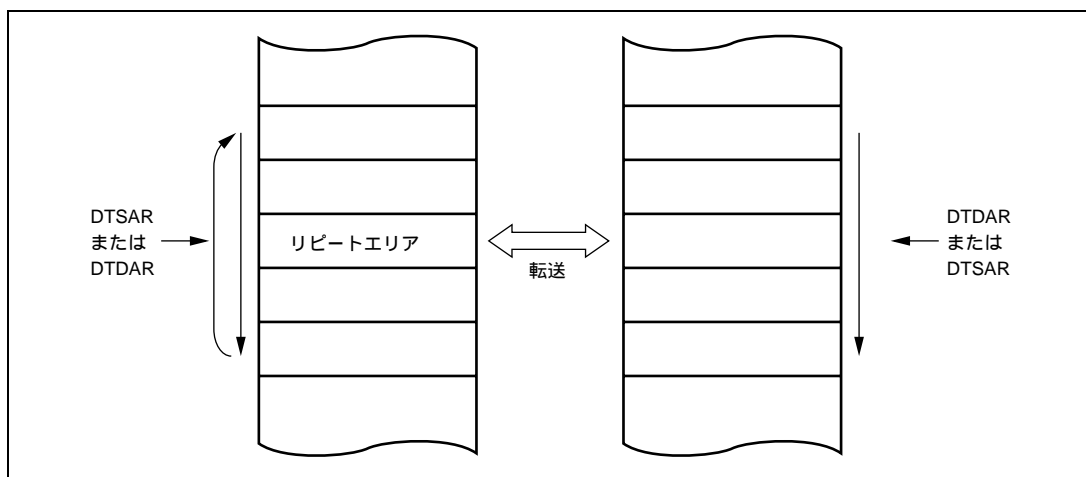


図 8.7 リピートモードのメモリマップ

(3) ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは1~65536で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数ブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。ブロック転送モードのレジスタ機能を表8.4に示します。また、ブロック転送モードのメモリマップを図8.8に示します。

表 8.4 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
DTMR	動作モードの制御	DTMR
DTCRA	転送カウンタ	DTCRA-1
DTCRB	ブロック長	(書き戻しません)
DTSAR	転送元アドレス	(DTS=0) 増加 / 減少 / 固定 (DTS=1) DTSARの初期値
DTDAR	転送先アドレス	(DTS=0) DTDARの初期値 (DTS=1) 増加 / 減少 / 固定

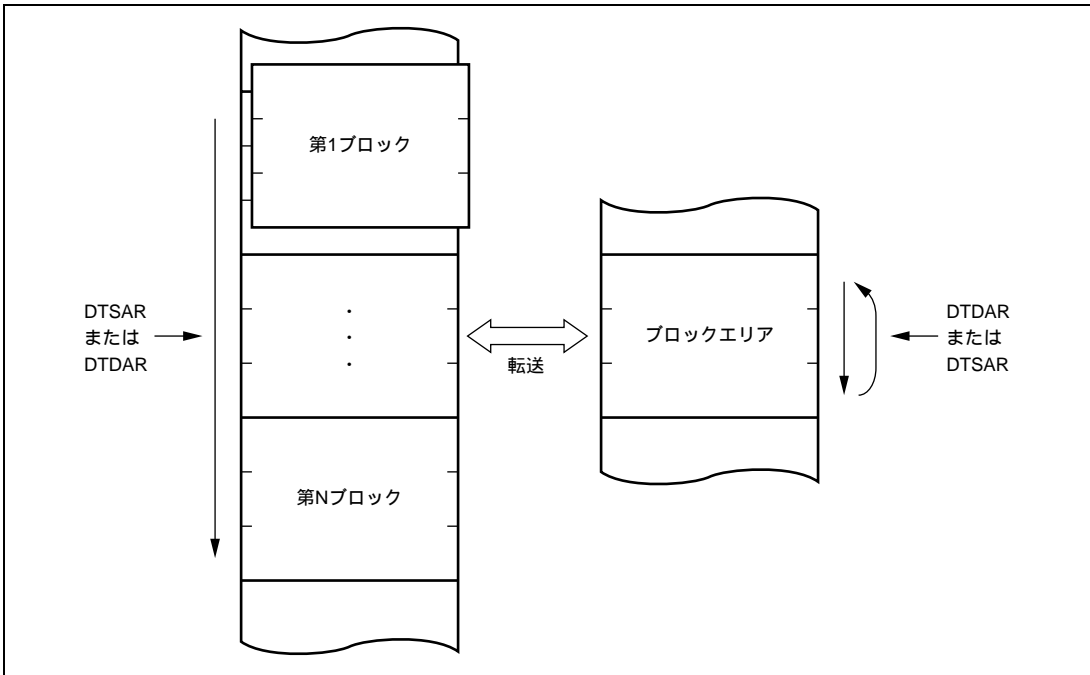


図 8.8 ブロック転送モードのメモリマップ

8. データトランスファコントローラ (DTC)

(4) チェイン転送

DTMR の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。DTSAR、DTDAR、DTMR、および DTCRA、DTCRB はおのおの独立に設定できます。

図 8.9 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

CHNE = 1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISSEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

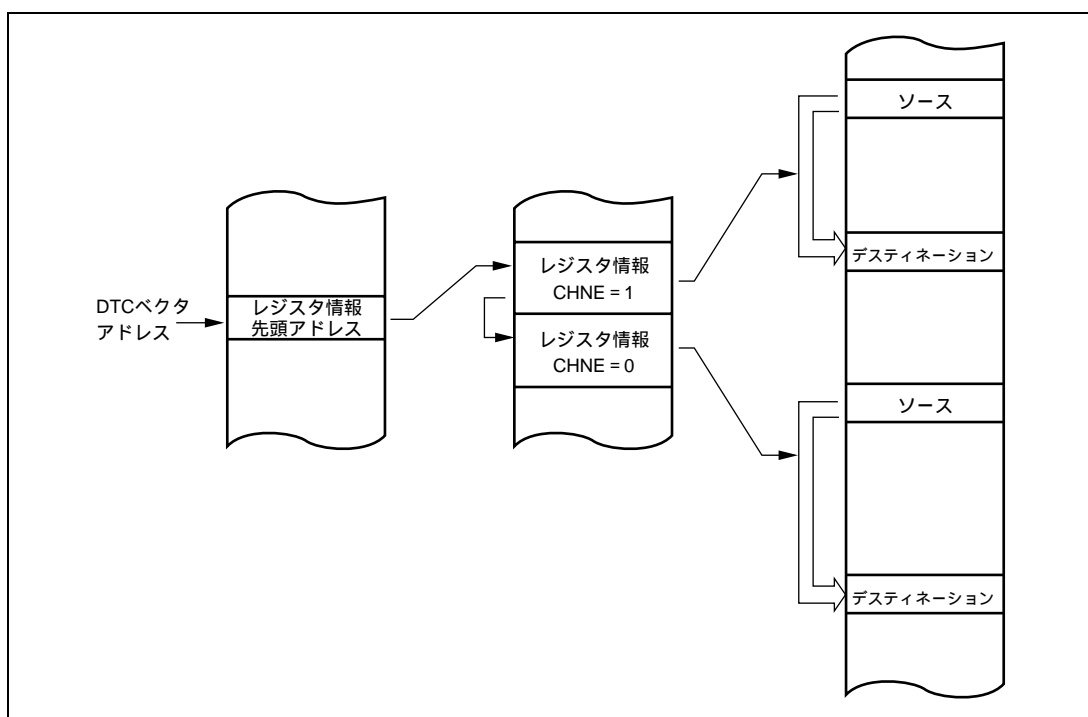


図 8.9 チェイン転送の動作

8.3.4 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

【注】DTCR が 2 以上の場合、SWDTE ビットは自動的にクリアされ、DTCR が 1 になったときに再び SWDTE がセットされます。

8.3.5 動作タイミング

内蔵 RAM 上にレジスタ情報を配置した場合、各モードとも転送情報読み出しに 4 サイクル、書き込みに 3 サイクル必要となります。

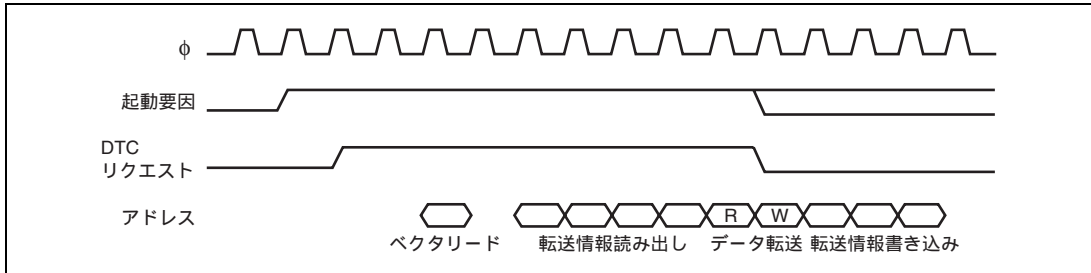


図 8.10 DTC の動作タイミング例 (ノーマルモード)

8. データトランスファコントローラ (DTC)

8.3.6 DTC 実行ステート数

表 8.5 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 8.6 に、実行状態に必要なステート数を示します。

表 8.5 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	7	1	1	1
リピート	1	7	1	1	1
ブロック転送	1	7	N	N	1

N : ブロックサイズ (DTCRB の初期設定値)

表 8.6 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス		
バス幅		32	32	8 または 16		8	16	32
アクセスステート		1	1	2 ^{*1}	3 ^{*2}	2	2	2
実行 状態	ベクタリード S _I	-	1	-	-	4	2	2
	レジスタ情報 リード/ライト S _J	1	1	-	-	8	4	2
	バイトデータリード S _K	1	1	2	3	2	2	2
	ワードデータリード S _K	1	1	2	3	4	2	2
	ロングワードデータリード S _K	1	1	4	6	8	4	2
	バイトデータライト S _L	1	1	2	3	2	2	2
	ワードデータライト S _L	1	1	2	3	4	2	2
	ロングワードデータライト S _L	1	1	4	6	8	4	2
内部動作 S _M		1						

【注】 *1 2 ステートアクセスモジュール : ポート、INT、CMT、SCI など

*2 3 ステートアクセスモジュール : WDT、UBC など

実行ステート数は次の計算式で計算されます。なお、Σは 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + \Sigma (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

8.4 DTC 使用手順

8.4.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. DTMR、DTCRA、DTSAR、DTDAR、DTCRB、DTIARのレジスタ情報をメモリ空間に設定します。
2. レジスタ情報の先頭アドレスを、DTBRレジスタとDTCベクタテーブルに設定します。
3. DTERの対応するビットを1にセットします。
4. 要因となる割り込みが発生すると、DTCが起動されます。
5. CPUに対して割り込みを要求しない場合は、割り込み要因はクリアされ、DTERはクリアされません。割り込みを要求する場合は、割り込み要因はクリアされず、DTERはクリアされます。
6. CPU割り込みルーチン内で割り込み要因をクリアします。引き続きDTC転送によるデータ転送を行う場合には、DTERを読み出して0であることを確認して、DTERを1にセットします。

8.4.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. DTMR、DTCRA、DTSAR、DTDAR、DTCRB、DTIARのレジスタ情報をメモリ空間に設定します。
2. レジスタ情報の先頭アドレスを、DTBRレジスタとDTCベクタテーブルに設定します。
3. SWDTE = 0を確認します。
4. SWDTEに1を、DTVECにベクタアドレスをライトします。
5. DTVECにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数 of データ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。
7. CPU割り込みルーチン内でSWDTEビットをクリアします。引き続きDTC転送によるデータ転送を行う場合には、SWDTEビットを読み出して0であることを確認して、SWDTEビットを1にセットします。このときDTVECにも引き続きDTC転送をするベクタアドレスをライトします。

8. データトランスファコントローラ (DTC)

8.4.3 DTC 使用例

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. DTMRはソースアドレス固定 (SM1 = SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ノーマルモード (MD1 = MD0 = 0)、バイトサイズ (Sz1 = Sz0 = 0) を設定します。DTSビットは任意の値とすることができます。起動要因1回につき1回の転送 (CHNE=0)、指定回数のデータ転送後にCPU割り込み要求 (DISEL=0) を設定します。DTSARはSCIのRDRのアドレス、DTDARはデータを格納するRAMの先頭アドレス、DTCRAは128 (H'0080) を設定します。DTCRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTBRとDTCベクタテーブルに設定します。
3. DTERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DTDARのインクリメント、DTCRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、DTCRAが0になると、RDRFフラグは1のまま保持され、DTERの該当ビットが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

8.5 使用上の注意事項

8.5.1 DTC による DMAC/DTC レジスタアクセス禁止

DTC を使用して、DMAC/DTC のレジスタアクセスをしないでください。

また、DMAC を使用して、DTC のレジスタアクセスをしないでください。

8.5.2 モジュールスタンバイモードの設定

DTC は、モジュールスタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。

MSTCR1 のMSTP25 ビットおよびMSTP24 ビットとともに1にセットすると、DTC のクロックが停止し、DTC はモジュールスタンバイモードとなります。ただし、DTC が起動中はMSTP25 ビットまたはMSTP24 ビットに1をライトしないでください。また、モジュールスタンバイモードに遷移する際は、DTER の各ビットを0にクリアしてください。

詳細は、「第 24 章 低消費電力状態」を参照してください。

8.5.3 内蔵 RAM

DTMR、DTSAR、DTDAR、DTCRA、DTCRB、DTIAR の各レジスタは、通常は内蔵 RAM に配置します。DTC を使用する場合は、SYSCR のRAME ビットを0にクリアしないでください。

9. バスステートコントローラ (BSC)

9.1 概要

バスステートコントローラ (BSC) はアドレス空間の分割、各種メモリに応じた制御信号の出力などを行います。これにより、外付け回路なしに SRAM、ROM などの本 LSI に直結することができます。

9.1.1 特長

- アドレス空間を4つに分割して管理

CS0空間、およびCS4空間は、内蔵ROM有効モードではそれぞれ最大リニア2Mバイト、内蔵ROM無効モードではそれぞれ最大4Mバイト

CS1空間～CS3空間、およびCS5空間～CS7空間はそれぞれ最大リニア4Mバイト

空間ごとに、バス幅 (8ビット、16ビットまたは32ビット) を選択可能

空間ごとに、ソフトウェアによるウェイトステートを挿入可能

外部メモリ空間アクセス時に $\overline{\text{WAIT}}$ 端子によるウェイトステートを挿入可能

各空間に接続するメモリに対応した制御信号を出力

- 内蔵ROM、RAMインタフェース

内蔵RAMは32ビットを1ステートでアクセス

内蔵ROMは32ビットを1ステートでアクセス

9. バスステートコントローラ (BSC)

BSCのブロック図を図9.1に示します。

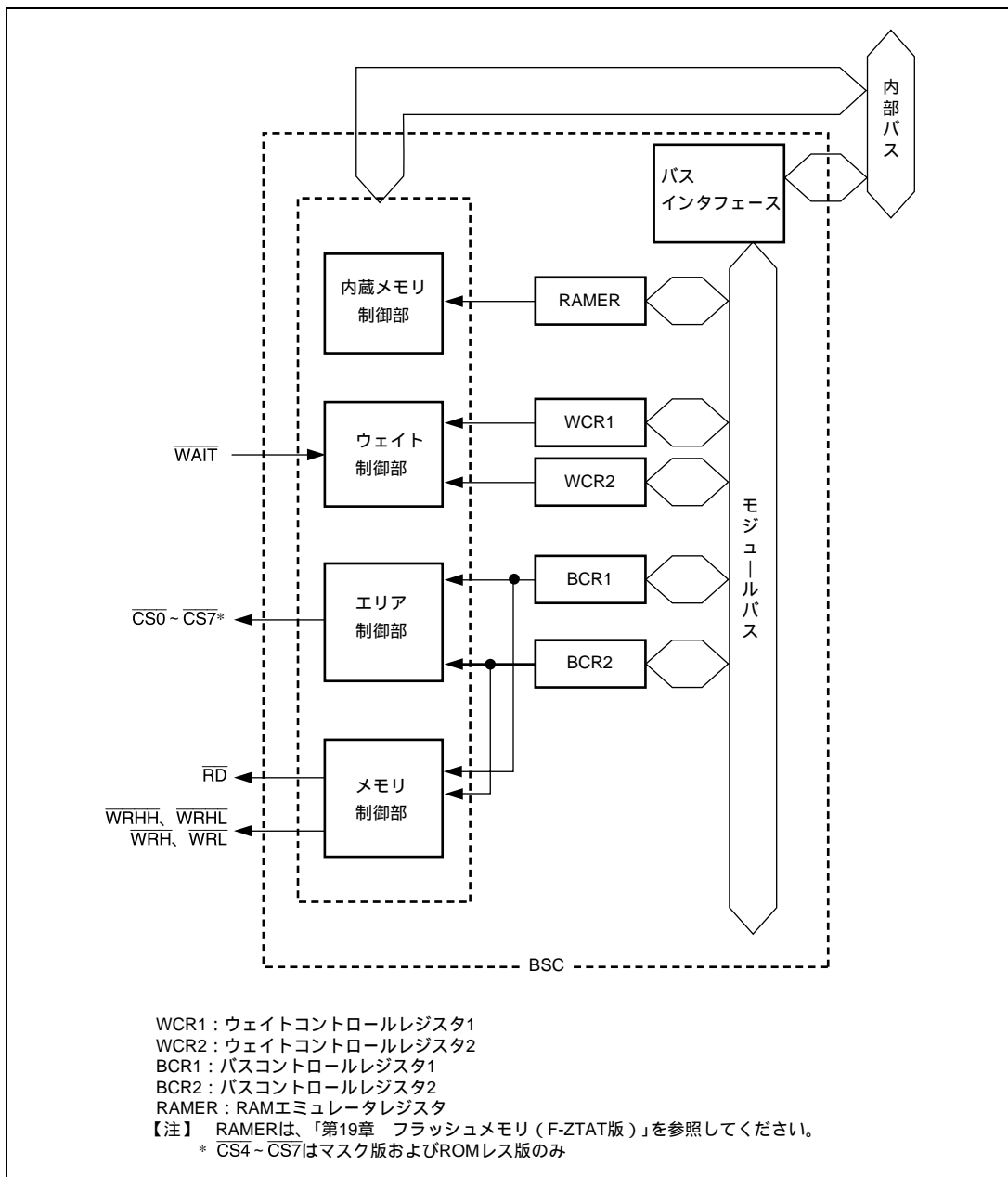


図 9.1 BSC のブロック図

9.2 入出力端子

バスステートコントローラの端子構成を表 9.1 に示します。

表 9.1 端子構成

名称	端子名	入出力	機能
アドレスバス	A21 ~ A0	出力	アドレス出力 (パワーオンリセットにより A21 ~ A18 は入力ポートになります)
データバス	D31 ~ D0	入出力	32 ビットのデータバス。
チップセレクト	$\overline{CS0}$ ~ $\overline{CS7}$ *	出力	チップセレクト
リード	\overline{RD}	出力	読み出しサイクルを示すストロープ
ライト	\overline{WRHH}	出力	最上位バイト (D31 ~ D24) への書き込みサイクルを示すストロープ
	\overline{WRHL}	出力	2 バイト目 (D23 ~ D16) への書き込みサイクルを示すストロープ
	\overline{WRH}	出力	3 バイト目 (D15 ~ D8) への書き込みサイクルを示すストロープ
	\overline{WRL}	出力	最下位バイト (D7 ~ D0) への書き込みサイクルを示すストロープ
ウェイト	\overline{WAIT}	入力	ウェイトステート要求信号
バス権要求	\overline{BREQ}	入力	バス解放要求入力
バス権要求 アクノリッジ	\overline{BACK}	出力	バス使用許可出力

【注】 * $\overline{CS4}$ ~ $\overline{CS7}$ はマスク版および ROM レス版のみ

9.3 レジスタ構成

バスステートコントローラには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については、「第 25 章 レジスタ一覧」を参照してください。これらのレジスタにより、ウェイトステート、バス幅、ROM、SRAM などのメモリとのインタフェース制御などを行います。

レジスタサイズはすべて 16 ビットです。

- バスコントロールレジスタ1 (BCR1)
- バスコントロールレジスタ2 (BCR2)
- ウェイトコントロールレジスタ1 (WCR1)
- ウェイトコントロールレジスタ2 (WCR2)
- RAMエミュレーションレジスタ (RAMER)

9.4 アドレスマップ

図 9.2 に、本 LSI で用いるアドレスのフォーマットを示します。

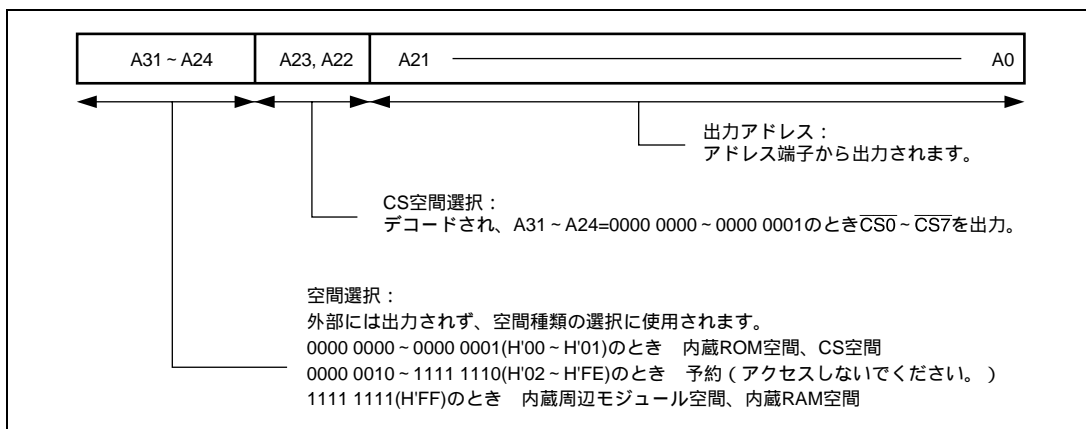


図 9.2 アドレスフォーマット

本 LSI では 32 ビットのアドレスを用います。

A31 ~ A24 ビットは空間種類の選択に使用されます。外部には出力されません。

A23、A22 ビットは A31 ~ A24 ビットが 00000000 ~ 00000001 のときデコードされ、エリアに対応するチップセレクト信号 ($\overline{CS0}$ ~ $\overline{CS7}$) となり、出力されます。

A21 ~ A0 は外部に出力されます。

表 9.2 にアドレスマップを示します。

表 9.2 アドレスマップ

● 内蔵ROM有効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'00000000 ~ H'0003FFFF	内蔵 ROM	内蔵 ROM	256kB	32 ビット
H'00040000 ~ H'001FFFFFFF	予約	予約		
H'00200000 ~ H'003FFFFFFF	CS0 空間	外部空間	2MB	8/16/32 ビット ^{*1}
H'00400000 ~ H'007FFFFFFF	CS1 空間	外部空間	4MB	8/16/32 ビット ^{*1}
H'00800000 ~ H'00BFFFFFFF	CS2 空間	外部空間	4MB	8/16/32 ビット ^{*1}
H'00C00000 ~ H'00FFFFFFF	CS3 空間	外部空間	4MB	8/16/32 ビット ^{*1}
H'01000000 ~ H'011FFFFFFF	予約	予約		
H'01200000 ~ H'013FFFFFFF	CS4 空間 ^{*3}	外部空間	2MB	8/16/32 ビット ^{*1}
H'01400000 ~ H'017FFFFFFF	CS5 空間 ^{*3}	外部空間	4MB	8/16/32 ビット ^{*1}
H'01800000 ~ H'01BFFFFFFF	CS6 空間 ^{*3}	外部空間	4MB	8/16/32 ビット ^{*1}
H'01C00000 ~ H'01FFFFFFF	CS7 空間 ^{*3}	外部空間	4MB	8/16/32 ビット ^{*1}
H'02000000 ~ H'FFFFFF7FFF	予約	予約		
H'FFFF8000 ~ H'FFFFBFFF	内蔵周辺モジュール	内蔵周辺モジュール	16KB	8/16 ビット
H'FFFFC000 ~ H'FFFFDFFF	予約	予約		
H'FFFFE000 ~ H'FFFFFFF	内蔵 RAM	内蔵 RAM	8KB	32 ビット

● 内蔵ROM無効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'00000000 ~ H'003FFFFFFF	CS0 空間	外部空間	4MB	8/16/32 ビット ^{*2}
H'00400000 ~ H'007FFFFFFF	CS1 空間	外部空間	4MB	8/16/32 ビット ^{*1}
H'00800000 ~ H'00BFFFFFFF	CS2 空間	外部空間	4MB	8/16/32 ビット ^{*1}
H'00C00000 ~ H'00FFFFFFF	CS3 空間	外部空間	4MB	8/16/32 ビット ^{*1}
H'01000000 ~ H'013FFFFFFF	CS4 空間 ^{*3}	外部空間	4MB	8/16/32 ビット ^{*2}
H'01400000 ~ H'017FFFFFFF	CS5 空間 ^{*3}	外部空間	4MB	8/16/32 ビット ^{*1}
H'01800000 ~ H'01BFFFFFFF	CS6 空間 ^{*3}	外部空間	4MB	8/16/32 ビット ^{*1}
H'01C00000 ~ H'01FFFFFFF	CS7 空間 ^{*3}	外部空間	4MB	8/16/32 ビット ^{*1}
H'02000000 ~ H'FFFFFF7FFF	予約	予約		
H'FFFF8000 ~ H'FFFFBFFF	内蔵周辺モジュール	内蔵周辺モジュール	16KB	8/16 ビット
H'FFFFC000 ~ H'FFFFDFFF	予約	予約		
H'FFFFE000 ~ H'FFFFFFF	内蔵 RAM	内蔵 RAM	8KB	32 ビット

【注】 予約空間はアクセスしないでください。アクセスした場合動作の保証はできません。シングルチップモードのとき、内蔵 ROM、内蔵 RAM、内蔵周辺モジュール以外の空間は使用できません。

*1 内蔵レジスタの設定で選択

*2 モード端子で選択 SH7144 (112 ピン) 8/16 ビット

SH7145 (144 ピン) 16/32 ビット

*3 CS4 空間 ~ CS7 空間はマスク ROM 版、および ROM レス版でのみ使用できます。フラッシュメモリ版、およびエミュレータでは予約となります。

9.5 レジスタの説明

9.5.1 バスコントロールレジスタ 1 (BCR1)

BCR1 は読み出し / 書き込み可能な 16 ビットのレジスタで、MTU の制御レジスタの書き込み許可指定と各 CS 空間のバスサイズ指定を行います。なお、SH7144 では、バスサイズ指定をワード (16 ビット) サイズ以下にしてください。

BCR1 のビット 7~0 はパワーオンリセット後の初期設定時に書き込みを行い、以後は値を変更しないでください。内蔵 ROM 有効モードの場合、レジスタの初期設定が終了するまで各 CS 空間はアクセスしないでください。内蔵 ROM 無効モードの場合、レジスタの初期設定が終了するまで CS0 空間以外、および CS4 空間以外の CS 空間はアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
15		0	R	予約ビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14		1	R	予約ビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
13	MTURWE	1	R/W	MTU 読み出し / 書き込みイネーブル 本ビットが 1 のとき、MTU の制御レジスタのアクセスを許可します。詳しくは、「第 11 章 マルチファンクションタイムパルスユニット (MTU)」を参照してください。 0 : MTU の制御レジスタのアクセスを禁止 1 : MTU の制御レジスタのアクセスを許可
12~8		すべて 0	R	予約ビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	A3LG	0	R/W	CS3 空間、および CS7 空間ロングサイズ指定 CS3 空間、および CS7 空間のバスサイズ指定を行います。SH7145 のみ有効です。 SH7144 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : 本レジスタ中の A3SZ ビットで設定される値に従います 1 : ロングワード (32 ビット) サイズ
6	A2LG	0	R/W	CS2 空間、および CS6 空間ロングサイズ指定 CS2 空間、および CS6 空間のバスサイズ指定を行います。SH7145 のみ有効です。 SH7144 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : 本レジスタ中の A2SZ ビットで設定される値に従います 1 : ロングワード (32 ビット) サイズ

9. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
5	A1LG	0	R/W	<p>CS1 空間、および CS5 空間ロングサイズ指定 CS1 空間、および CS5 空間のバスサイズ指定を行います。SH7145 のみ有効です。 SH7144 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : 本レジスタ中の A1SZ ビットで設定される値に従います 1 : ロングワード (32 ビット) サイズ</p>
4	A0LG	0	R/W	<p>CS0 空間、および CS4 空間ロングサイズ指定 CS0 空間、および CS4 空間のバスサイズ指定を行います。SH7145 のみ有効です。 SH7144 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : 本レジスタ中の A0SZ ビットで設定される値に従います 1 : ロングワード (32 ビット) サイズ</p> <p>【注】 A0LG は内蔵 ROM 有効モード時のみ有効であり、内蔵 ROM 無効モード時は、CS0 空間、および CS4 空間のバスサイズはモード端子によって指定されます。</p>
3	A3SZ	1	R/W	<p>CS3 空間、および CS7 空間サイズ指定 A3LG=0 時、CS3 空間、および CS7 空間のバスサイズ指定を行います。</p> <p>0 : バイト (8 ビット) サイズ 1 : ワード (16 ビット) サイズ</p> <p>【注】 A3LG=1 のときはこのビットは無視され、CS3 空間、および CS7 空間のバスサイズはロングワード (32 ビット) となります。</p>
2	A2SZ	1	R/W	<p>CS2 空間、および CS6 空間サイズ指定 A2LG=0 時、CS2 空間、および CS6 空間のバスサイズ指定を行います。</p> <p>0 : バイト (8 ビット) サイズ 1 : ワード (16 ビット) サイズ</p> <p>【注】 A2LG=1 のときはこのビットは無視され、CS2 空間、および CS6 空間のバスサイズはロングワード (32 ビット) となります。</p>
1	A1SZ	1	R/W	<p>CS1 空間、および CS5 空間サイズ指定 A1LG=0 時、CS1 空間、および CS5 空間のバスサイズ指定を行います。</p> <p>0 : バイト (8 ビット) サイズ 1 : ワード (16 ビット) サイズ</p> <p>【注】 A1LG=1 のときはこのビットは無視され、CS1 空間、および CS5 空間のバスサイズはロングワード (32 ビット) となります。</p>

9. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
0	A0SZ	1	R/W	<p>CS0 空間、および CS4 空間サイズ指定 A0LG=0 時、CS0 空間、および CS4 空間のバスサイズ指定を行います。</p> <p>0 : バイト (8 ビット) サイズ 1 : ワード (16 ビット) サイズ</p> <p>【注】A0SZ は内蔵 ROM 有効モード時のみ有効であり、内蔵 ROM 無効モード時は、CS0 空間、および CS4 空間のバスサイズはモード端子によって指定されます。また、内蔵 ROM 有効モード時でも、A0LG=1 のときはこのビットは無視され、CS0 空間、および CS4 空間のバスサイズはロングワード (32 ビット) となります。</p>

9.5.2 バスコントロールレジスタ 2 (BCR2)

BCR2 は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のアイドルサイクル数や \overline{CS} 信号のアサート期間の拡張を指定します。

ビット	ビット名	初期値	R/W	説明
15	IW31	1	R/W	<p>CS3 空間、および CS7 空間サイクル間アイドル指定</p> <p>CS3 空間、および CS7 空間のリードアクセス後に、(1) CS3 空間へのライトサイクルが続く場合、(2) CS7 空間へのライトサイクルが続く場合、(3) CS3 空間、および CS7 空間以外の CS 空間を連続してアクセスする場合に、アイドルサイクルの挿入を行います。</p> <p>00 : CS3 空間、および CS7 空間アクセス後アイドルサイクルなし 01 : CS3 空間、および CS7 空間アクセス後 1 アイドルサイクル 10 : CS3 空間、および CS7 空間アクセス後 2 アイドルサイクル 11 : CS3 空間、および CS7 空間アクセス後 3 アイドルサイクル</p>
14	IW30	1	R/W	
13	IW21	1	R/W	<p>CS2 空間、および CS6 空間サイクル間アイドル指定</p> <p>CS2 空間、および CS6 空間のリードアクセス後に、(1) CS2 空間へのライトサイクルが続く場合、(2) CS6 空間へのライトサイクルが続く場合、(3) CS2 空間、および CS6 空間以外の CS 空間を連続してアクセスする場合に、アイドルサイクルの挿入を行います。</p> <p>00 : CS2 空間、および CS6 空間アクセス後アイドルサイクルなし 01 : CS2 空間、および CS6 空間アクセス後 1 アイドルサイクル 10 : CS2 空間、および CS6 空間アクセス後 2 アイドルサイクル 11 : CS2 空間、および CS6 空間アクセス後 3 アイドルサイクル</p>
12	IW20	1	R/W	

9. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
11 10	IW11 IW10	1 1	R/W R/W	<p>CS1 空間、および CS5 空間サイクル間アイドル指定</p> <p>CS1 空間、および CS5 空間のリードアクセス後に、(1) CS1 空間へのライトサイクルが続く場合、(2) CS5 空間へのライトサイクルが続く場合、(3) CS1 空間、および CS5 空間以外の CS 空間を連続してアクセスする場合に、アイドルサイクルの挿入を行います。</p> <p>00 : CS1 空間、および CS5 空間アクセス後アイドルサイクルなし 01 : CS1 空間、および CS5 空間アクセス後 1 アイドルサイクル 10 : CS1 空間、および CS5 空間アクセス後 2 アイドルサイクル 11 : CS1 空間、および CS5 空間アクセス後 3 アイドルサイクル</p>
9 8	IW01 IW00	1 1	R/W R/W	<p>CS0 空間、および CS4 空間サイクル間アイドル指定</p> <p>CS0 空間、および CS4 空間のリードアクセス後に、(1) CS0 空間へのライトサイクルが続く場合、(2) CS4 空間へのライトサイクルが続く場合、(3) CS0 空間、および CS4 空間以外の CS 空間を連続してアクセスする場合に、アイドルサイクルの挿入を行います。</p> <p>00 : CS0 空間、および CS4 空間アクセス後アイドルサイクルなし 01 : CS0 空間、および CS4 空間アクセス後 1 アイドルサイクル 10 : CS0 空間、および CS4 空間アクセス後 2 アイドルサイクル 11 : CS0 空間、および CS4 空間アクセス後 3 アイドルサイクル</p>
7	CW3	1	R/W	<p>CS3 空間、および CS7 空間連続アクセス時アイドル指定</p> <p>CS3 空間を連続してアクセスする場合、CS3 信号をいったんネゲートすることにより、バスの切れ目をわかりやすくするために挿入します。なお、CS3 空間をアクセス後に CS7 空間をアクセスする場合にも、本ビットで設定されたアイドルサイクルが挿入されます。また、CS7 空間を連続してアクセスする場合、および CS7 空間をアクセス後に CS3 空間をアクセスする場合にも、本ビットで設定されたアイドルサイクルが挿入されます。</p> <p>0 : CS3 空間、および CS7 空間連続アクセス時アイドルサイクルなし 1 : CS3 空間、および CS7 空間連続アクセス時 1 アイドルサイクル</p> <p>ただし、読み出しの次に書き込みが続く場合、挿入されるアイドルサイクルは IW によって指定される値と CW によって指定される値のうち大きい方を使用します。</p>

9. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	CW2	1	R/W	<p>CS2 空間、および CS6 空間連続アクセス時アイドル指定</p> <p>CS2 空間を連続してアクセスする場合、$\overline{CS2}$ 信号をいったんネゲートすることにより、バスの切れ目をわかりやすくするために挿入します。なお、CS2 空間をアクセス後に CS6 空間をアクセスする場合にも、本ビットで設定されたアイドルサイクルが挿入されます。また、CS6 空間を連続してアクセスする場合、および CS6 空間をアクセス後に CS2 空間をアクセスする場合にも、本ビットで設定されたアイドルサイクルが挿入されます。</p> <p>0 : CS2 空間、および CS6 空間連続アクセス時アイドルサイクルなし 1 : CS2 空間、および CS6 空間連続アクセス時 1 アイドルサイクル</p> <p>ただし、読み出しの次に書き込みが続く場合、挿入されるアイドルサイクルは IW によって指定される値と CW によって指定される値のうち大きい方を使用します。</p>
5	CW1	1	R/W	<p>CS1 空間、および CS5 空間連続アクセス時アイドル指定</p> <p>CS1 空間を連続してアクセスする場合、$\overline{CS1}$ 信号をいったんネゲートすることにより、バスの切れ目をわかりやすくするために挿入します。なお、CS1 空間をアクセス後に CS5 空間をアクセスする場合にも、本ビットで設定されたアイドルサイクルが挿入されます。また、CS5 空間を連続してアクセスする場合、および CS5 空間をアクセス後に CS1 空間をアクセスする場合にも、本ビットで設定されたアイドルサイクルが挿入されます。</p> <p>0 : CS1 空間、および CS5 空間連続アクセス時アイドルサイクルなし 1 : CS1 空間、および CS5 空間連続アクセス時 1 アイドルサイクル</p> <p>ただし、読み出しの次に書き込みが続く場合、挿入されるアイドルサイクルは IW によって指定される値と CW によって指定される値のうち大きい方を使用します。</p>
4	CW0	1	R/W	<p>CS0 空間、および CS4 空間連続アクセス時アイドル指定</p> <p>CS0 空間を連続してアクセスする場合、$\overline{CS0}$ 信号をいったんネゲートすることにより、バスの切れ目をわかりやすくするために挿入します。なお、CS0 空間をアクセス後に CS4 空間をアクセスする場合にも、本ビットで設定されたアイドルサイクルが挿入されます。また、CS4 空間を連続してアクセスする場合、および CS4 空間をアクセス後に CS0 空間をアクセスする場合にも、本ビットで設定されたアイドルサイクルが挿入されます。</p> <p>0 : CS0 空間、および CS4 空間連続アクセス時アイドルサイクルなし 1 : CS0 空間、および CS4 空間連続アクセス時 1 アイドルサイクル</p> <p>ただし、読み出しの次に書き込みが続く場合、挿入されるアイドルサイクルは IW によって指定される値と CW によって指定される値のうち大きい方を使用します。</p>

9. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
3	SW3	1	R/W	CS3 空間、および CS7 空間 \overline{CS} アサート幅拡張指定 RD 信号、WRx 信号のアサート期間が $\overline{CS3}$ 信号、および $\overline{CS7}$ 信号のアサート期間からはみ出すことを防止するために挿入します。 0 : CS3 空間、および CS7 空間 \overline{CS} アサート拡張なし 1 : CS3 空間、および CS7 空間 \overline{CS} アサート拡張あり (バスサイクルの前後 1 サイクル挿入)
2	SW2	1	R/W	CS2 空間、および CS6 空間 \overline{CS} アサート幅拡張指定 RD 信号、WRx 信号のアサート期間が $\overline{CS2}$ 信号、および $\overline{CS6}$ 信号のアサート期間からはみ出すことを防止するために挿入します。 0 : CS2 空間、および CS6 空間 \overline{CS} アサート拡張なし 1 : CS2 空間、および CS6 空間 \overline{CS} アサート拡張あり (バスサイクルの前後 1 サイクル挿入)
1	SW1	1	R/W	CS1 空間、および CS5 空間 \overline{CS} アサート幅拡張指定 RD 信号、WRx 信号のアサート期間が $\overline{CS1}$ 信号、および $\overline{CS5}$ 信号のアサート期間からはみ出すことを防止するために挿入します。 0 : CS1 空間、および CS5 空間 \overline{CS} アサート拡張なし 1 : CS1 空間、および CS5 空間 \overline{CS} アサート拡張あり (バスサイクルの前後 1 サイクル挿入)
0	SW0	1	R/W	CS0 空間、および CS4 空間 \overline{CS} アサート幅拡張指定 RD 信号、WRx 信号のアサート期間が $\overline{CS0}$ 信号、および $\overline{CS4}$ 信号のアサート期間からはみ出すことを防止するために挿入します。 0 : CS0 空間、および CS4 空間 \overline{CS} アサート拡張なし 1 : CS0 空間、および CS4 空間 \overline{CS} アサート拡張あり

9.5.3 ウェイトコントロールレジスタ 1 (WCR1)

WCR1 は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のウェイトサイクル数 (0~15) を指定します。

ビット	ビット名	初期値	R/W	説明
15	W33	1	R/W	CS3 空間、および CS7 空間ウェイト指定
14	W32	1	R/W	CS3 空間、および CS7 空間アクセス時のウェイト数を指定します。
13	W31	1	R/W	0000 : ノーウェイト (外部ウェイト入力禁止)
12	W30	1	R/W	0001 : 1 ウェイト (外部ウェイト入力イネーブル) ~ 1111 : 15 ウェイト (外部ウェイト入力イネーブル)

9. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
11	W23	1	R/W	CS2 空間、および CS6 空間ウェイト指定
10	W22	1	R/W	CS2 空間、および CS6 空間アクセス時のウェイト数を指定します。
9	W21	1	R/W	0000 : ノーウェイト (外部ウェイト入力禁止)
8	W20	1	R/W	0001 : 1 ウェイト (外部ウェイト入力イネーブル) ~ 1111 : 15 ウェイト (外部ウェイト入力イネーブル)
7	W13	1	R/W	CS1 空間、および CS5 空間ウェイト指定
6	W12	1	R/W	CS1 空間、および CS5 空間アクセス時のウェイト数を指定します。
5	W11	1	R/W	0000 : ノーウェイト (外部ウェイト入力禁止)
4	W10	1	R/W	0001 : 1 ウェイト (外部ウェイト入力イネーブル) ~ 1111 : 15 ウェイト (外部ウェイト入力イネーブル)
3	W03	1	R/W	CS0 空間、および CS4 空間ウェイト指定
2	W02	1	R/W	CS0 空間、および CS4 空間アクセス時のウェイト数を指定します。
1	W01	1	R/W	0000 : ノーウェイト (外部ウェイト入力禁止)
0	W00	1	R/W	0001 : 1 ウェイト (外部ウェイト入力イネーブル) ~ 1111 : 15 ウェイト (外部ウェイト入力イネーブル)

9.5.4 ウェイトコントロールレジスタ 2 (WCR2)

WCR2 は読み出し / 書き込み可能な 16 ビットのレジスタで、DMA シングルアドレスモード転送時の CS 空間のアクセスサイクル数を指定します。

WCR2 を設定するまで、DMA シングルアドレス転送をしないでください。

ビット	ビット名	初期値	R/W	説明
15~4		すべて 0	R	予約ビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	DSW3	1	R/W	CS 空間 DMA シングルアドレスモードアクセス時、ウェイト指定
2	DSW2	1	R/W	DMA シングルアドレスモードアクセス時の CS 空間のウェイト (0~15)
1	DSW1	1	R/W	指定を行います。このビットは、WCR1 の W ビットと独立です。
0	DSW0	1	R/W	0000 : ノーウェイト (外部ウェイト入力禁止) 0001 : 1 ウェイト (外部ウェイト入力イネーブル) ~ 1111 : 15 ウェイト (外部ウェイト入力イネーブル)

9.5.5 RAM エミュレーションレジスタ (RAMER)

RAMER は読み出し書き込み可能な 16 ビットのレジスタで、フラッシュメモリのリアルタイムな書き換えをエミュレートする際に使用する RAM エリアを選択するレジスタです。詳細は、「9.5.5 RAM エミュレーションレジスタ (RAMER)」を参照してください。

9.6 外部空間アクセス

外部空間では、主に SRAM、ROM の直結を想定してストロープ信号を出力します。

9.6.1 基本タイミング

外部空間アクセスのバスサイクルは、2 ステートで行われます。図 9.3 に外部空間アクセスの基本タイミングを示します。

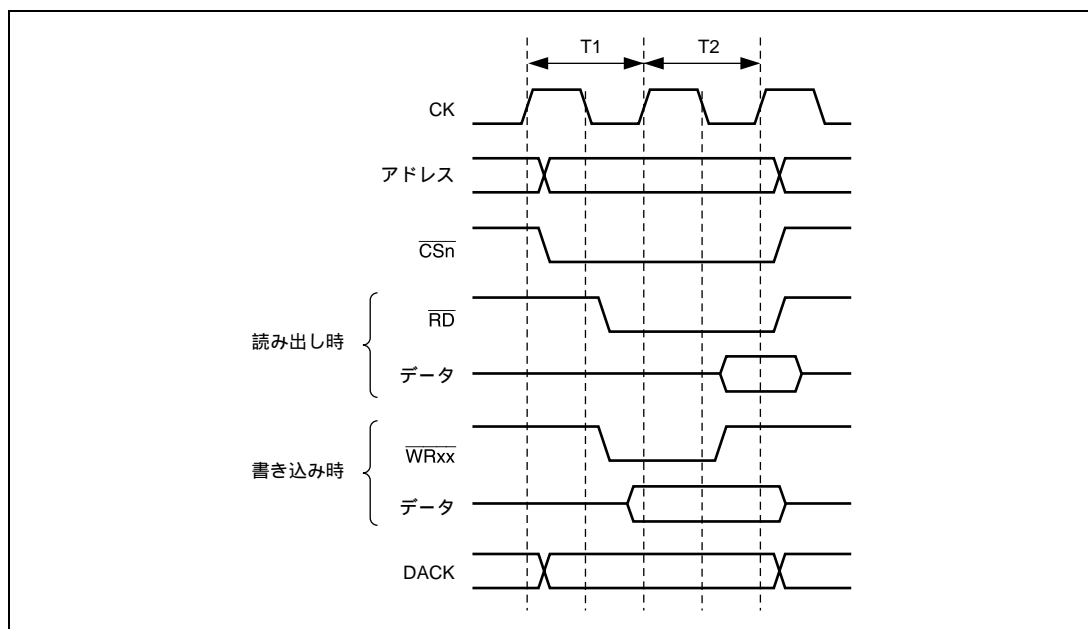


図 9.3 外部空間アクセスの基本タイミング

読み出し時は、オペランドサイズにかかわらず、 \overline{RD} 信号によりアクセスする空間 (アドレス) のデータバス幅全ビットを LSI に取り込み、内部に必要なバイトを選択して使用します。

書き込み時は、実際に書き込むバイト位置を \overline{WRHH} (ビット 31~24)、 \overline{WRHL} (ビット 23~16)、 \overline{WRH} (ビット 15~8)、 \overline{WRL} (ビット 7~0) の各信号で示します。

9.6.2 ウェイトステート制御

WCRの設定により、外部空間アクセスのウェイトステートの挿入を制御できます。図9.4に示すタイミングで、 T_w のサイクルがソフトウェアウェイトサイクルとして指定サイクル数だけ挿入されます。

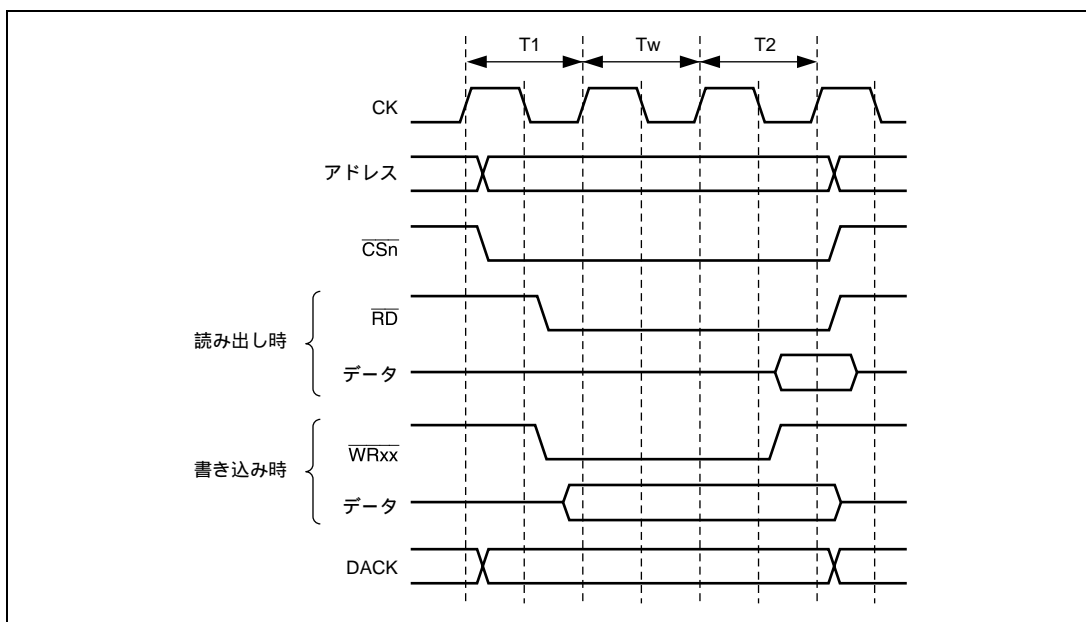


図 9.4 外部空間アクセスのウェイトステートタイミング (ソフトウェアウェイトのみ)

WCR によってソフトウェアによるウェイトを 1 ウェイト以上指定したときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 9.5 に示します。 $\overline{\text{WAIT}}$ 信号のサンプリングは、 T_w ステートから T_2 ステートに移行する際にクロックの立ち上がりのちょうど 1 サイクル前のクロックの立ち上がりで行われます。

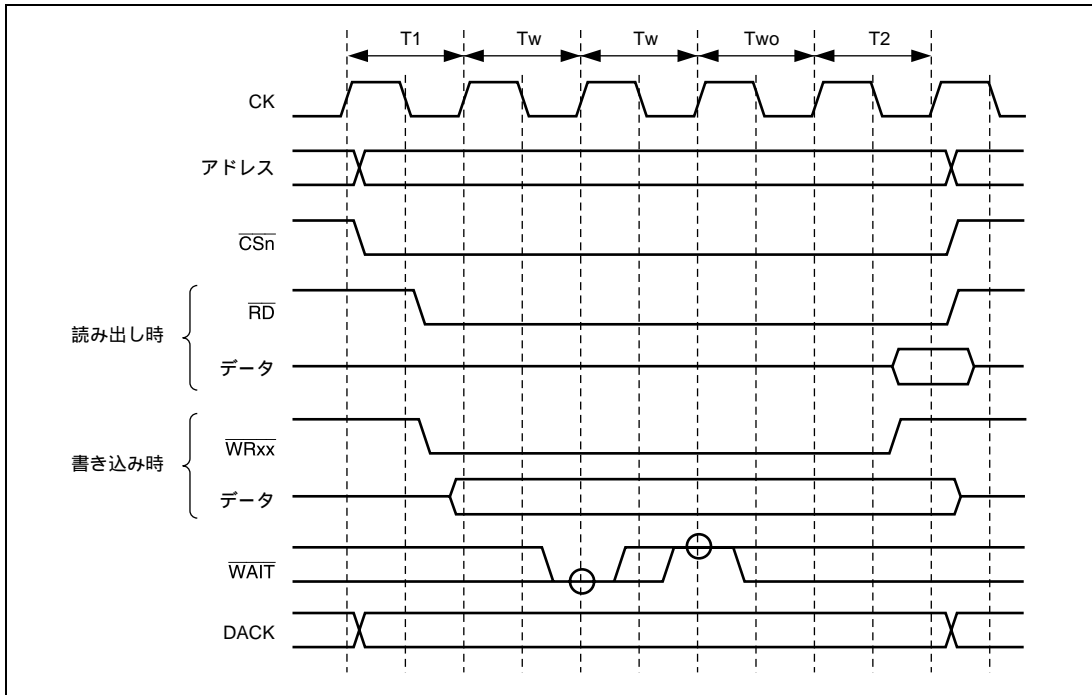


図 9.5 外部空間アクセスのウェイトステートタイミング
(ソフトウェアウェイト 2 ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート)

9.6.3 \overline{CS} アサート期間拡張

BCR2 の SW3 ~ SW0 ビットの設定により、 \overline{RD} 、 $\overline{WR_{xx}}$ のアサート期間が $\overline{CS_n}$ のアサート期間からはみ出さないようにアイドルサイクルを挿入することができます。これにより、外付け回路とフレキシブルなインタフェースがとれます。タイミングを図 9.6 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。このサイクルでは $\overline{CS_n}$ のみアサートされ、 \overline{RD} 、 $\overline{WR_{xx}}$ はアサートされません。また、データは Tf サイクルまで延ばされるので、書き込み動作の遅いデバイスなどに有効です。

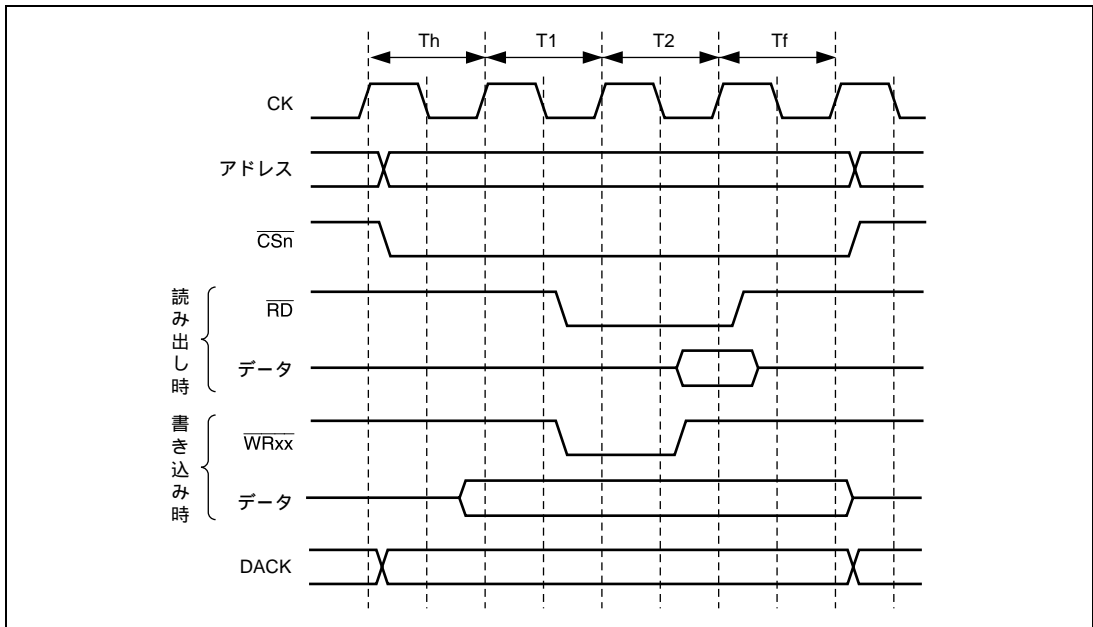


図 9.6 \overline{CS} アサート期間拡張機能

9.7 アクセスサイクル間ウェイト

低速なデバイスを読み出したとき、データバッファのオフが間に合わずに次アクセスのデータと衝突を起こすことがあります。メモリアクセスを行う際にデータ衝突の問題がある場合にはアクセスサイクル間にウェイトを挿入することができます。

また、バスサイクル開始の検出を容易にするために、同一 CS 空間の連続アクセス時にアクセスサイクル間にウェイトを挿入して、いったん \overline{CSn} 信号をネゲートすることができます。

9.7.1 データバス衝突防止

(1) リードアクセス後に同一 CS 空間へのライトサイクルが続く場合、(2) リードアクセス後に異なる CS 空間を連続してアクセスする場合、BCR2 の IW31 ~ IW00 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。アクセスサイクル間にもともとアイドルサイクルが存在する場合は、指定されたアイドルサイクル数からその空きサイクル数を除いたサイクルだけウェイトを挿入します。

図 9.7 にサイクル間アイドルの例を示します。この例では、 \overline{CSn} 空間のサイクル間アイドルに 1 を指定した場合に、 \overline{CSn} 空間の読み出しサイクルの直後に \overline{CSm} 空間の書き込みを行うとき、1 アイドルサイクルが挿入されることを図示しています。

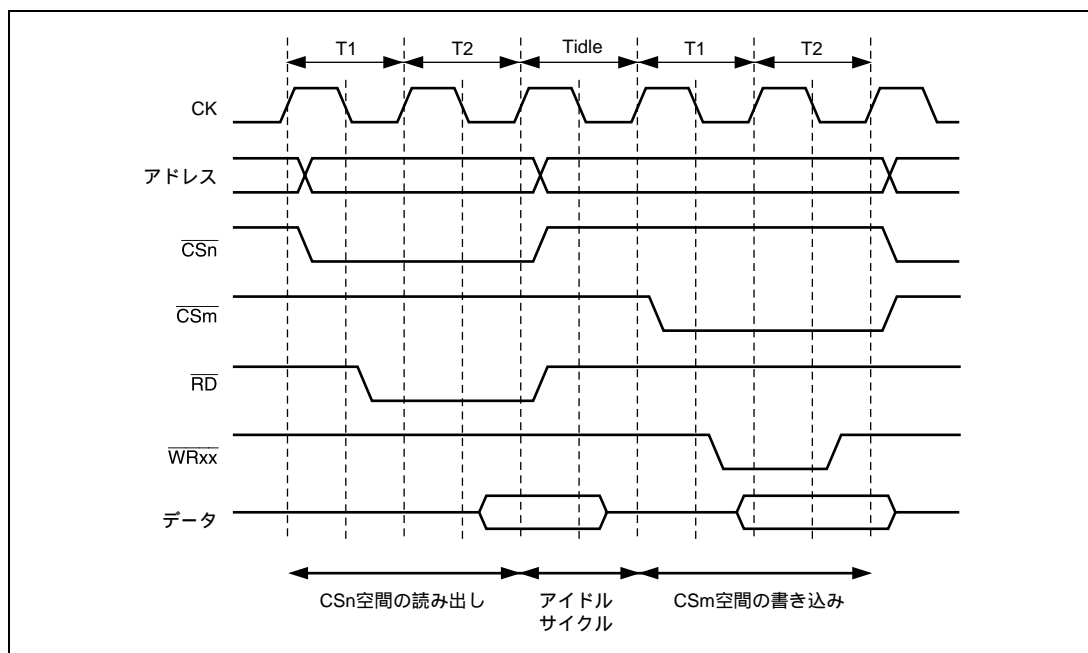


図 9.7 アイドルサイクル挿入例

9. バスステートコントローラ (BSC)

IW31、IW30 では CS3 空間、および CS7 空間を読み出した後に、他の外部空間を読み出す場合と、本 LSI が書き込みを行う場合に必要アイドルサイクル数を指定します。同様に IW21、IW20 では CS2 空間、および CS6 空間読み出し後の、IW11、IW10 では CS1 空間、および CS5 空間読み出し後の、IW01、IW00 では CS0 空間、および CS4 空間読み出し後のアイドルサイクル数を指定します。

9.7.2 バスサイクル開始検出の容易化

同一 CS 空間を連続してアクセスする場合、BCR2 の CW3 ~ CW0 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。ただし、読み出し後の書き込みサイクルの場合、挿入されるアイドルサイクルは IW ビットと CW ビットで定義されるアイドルサイクルのうち大きな値になります。アクセスサイクル間にもともとアイドルサイクルが存在する場合はウェイト挿入を行いません。

図 9.8 に例を示します。この例では CSn 空間を連続アクセスアイドル指定し、CSn 空間を連続して書き込んだ場合を示しています。

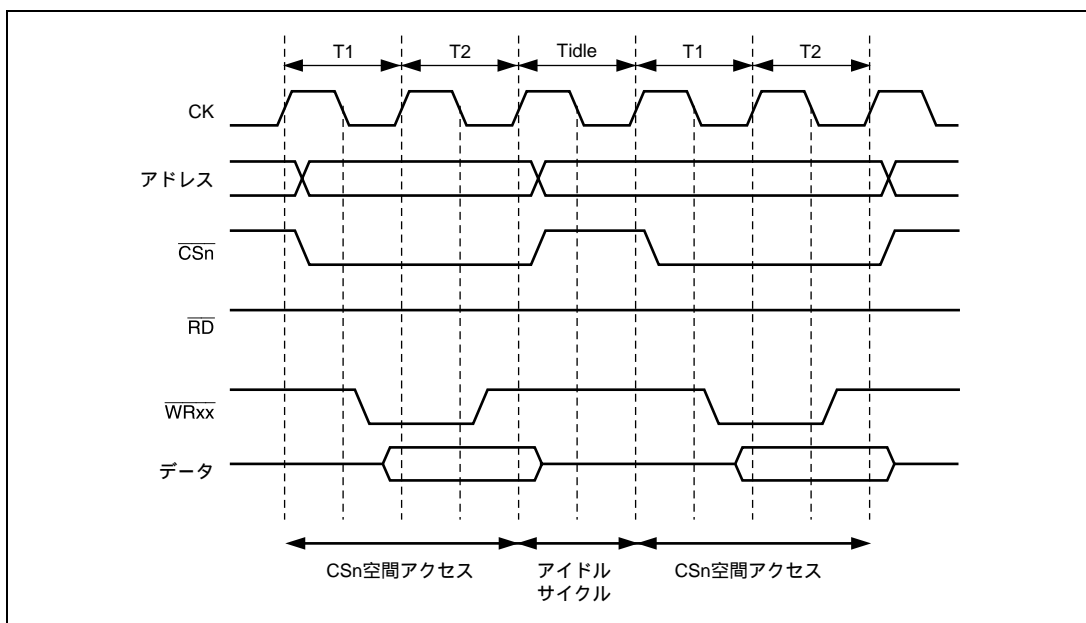


図 9.8 同一空間連続アクセス時アイドルサイクル挿入例

9.8 バスアービトレーション

本 LSI は、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えることができます。また、本 LSI 内部にも CPU と DMAC、DTC、AUD という 4 つのバスマスタがあります。これらのバスマスタに対するバス権委譲の優先順位は以下のとおりとなります。

外部デバイスによるバス権要求 > AUD > DTC > DMAC > CPU

AUD は、DTC のブロック転送中、および DMAC のバースト転送中はバス権を獲得せず、転送終了後バス権を取得します。AUD は、CPU がバス権を持っている状態では、DTC、および DMAC よりバス権委譲が優先されません。

DMAC のデュアルアドレスモードにおける読み出し、書き込み期間と、バースト転送中と、間接アドレス転送モード動作中は DTC の要求が来ても DMAC は動作し続けます。

外部デバイスによるバス権要求は、 $\overline{\text{BREQ}}$ 端子に入力してください。 $\overline{\text{BREQ}}$ 端子がアサートされると、本 LSI は実行中のバスサイクルが終わり次第、バスの解放を行います。バス権を解放したことを示す信号は、 $\overline{\text{BACK}}$ 端子から出力されます。

なお、TAS 命令実行中のリードサイクルとライトサイクルの間でのバスアービトレーションは行いません。また、データバス幅がアクセスサイズより小さいことによって生じる複数バスサイクル、たとえば 8 ビット幅のメモリにロングワードアクセスを行う場合のバスサイクル間にもバスアービトレーションは行いません。

本 LSI がバス権を解放中に、バス権を取り戻したいことがあります。割り込み要求が発生してその処理を行わなければならないときです。このため、本 LSI ではバス権要求信号として $\overline{\text{IRQOUT}}$ 端子を用意しています。本 LSI がバス権を取り戻す必要が生じた場合、 $\overline{\text{IRQOUT}}$ 信号をアサートできます。外部のバス解放要求をアサートしているデバイスは、この $\overline{\text{IRQOUT}}$ 信号のアサートを受けて、バス権を解放するために $\overline{\text{BREQ}}$ 信号をネゲートします。これによりバス権が本 LSI に戻り、本 LSI が処理を行います。 $\overline{\text{IRQOUT}}$ 端子のアサート条件は割り込み要因が発生して、その割り込み要求レベルがステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) よりも高い場合です。

図 9.9 に、バス権解放手順を示します。

9. バスステートコントローラ (BSC)

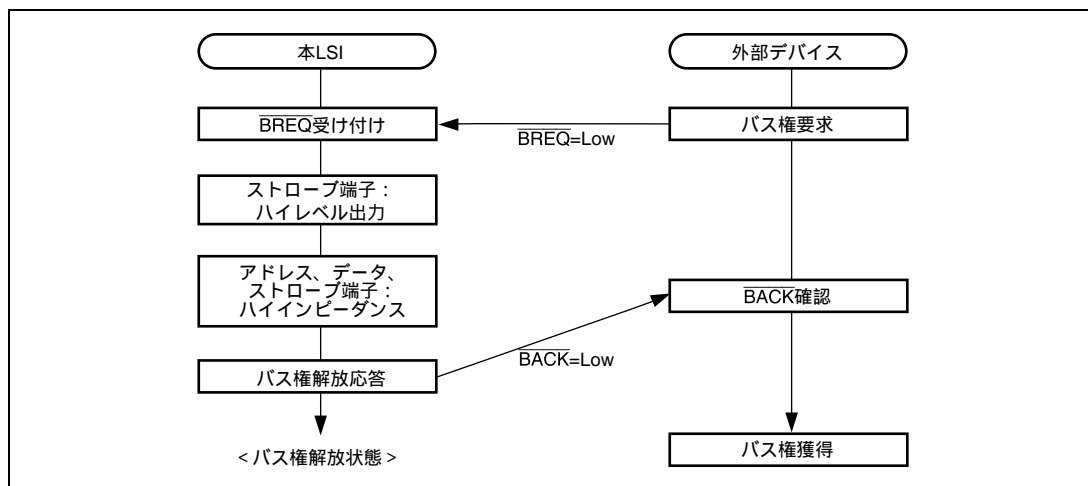


図 9.9 バス権解放手順

9.9 メモリ接続例

A21 ~ A18 は、パワーオンリセットによって入力ポートになるので、必要であればプルダウンするなどの処理を行ってください。

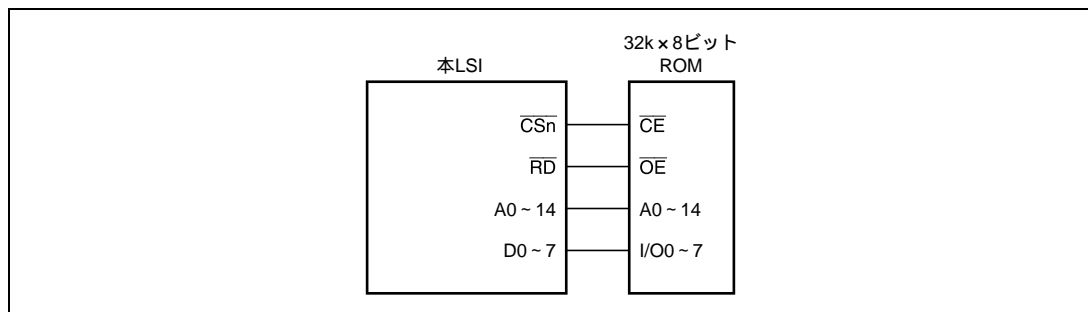


図 9.10 8ビットデータバス幅 ROM 接続例

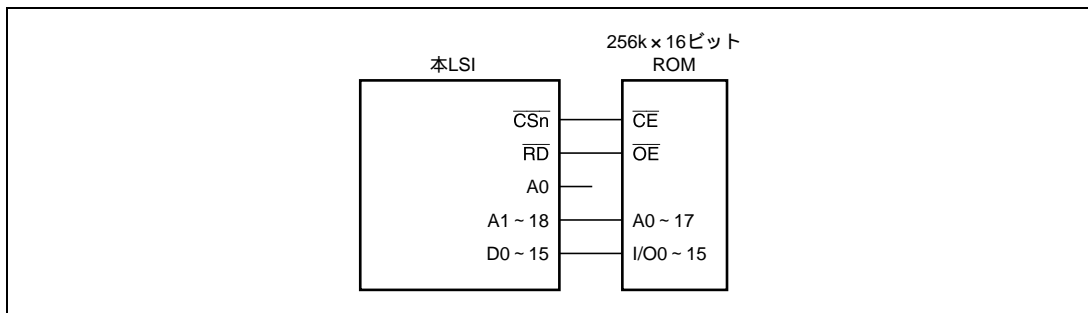


図 9.11 16 ビットデータバス幅 ROM 接続例

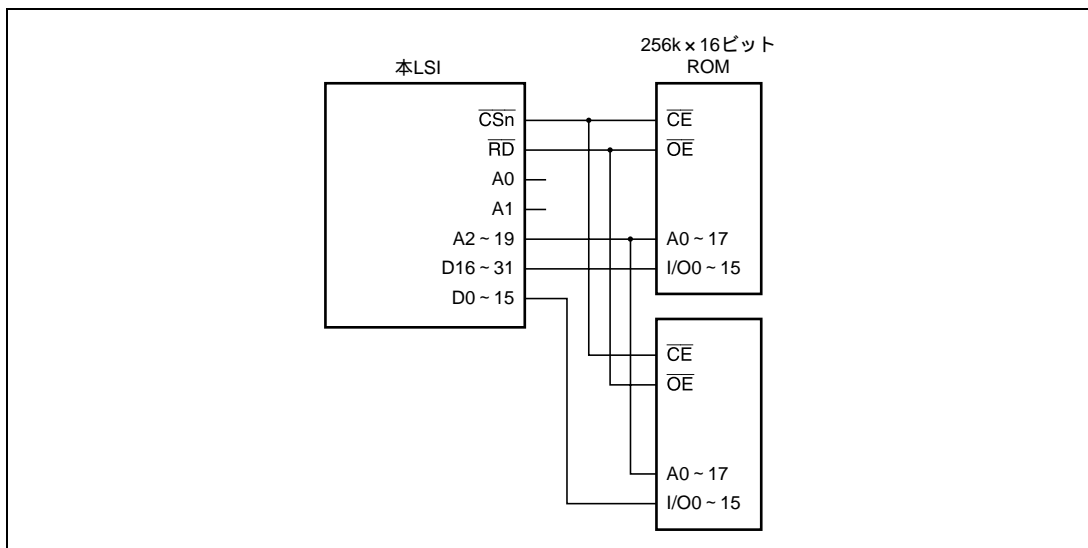


図 9.12 32 ビットデータバス幅 ROM 接続例 (SH7145 のみ)

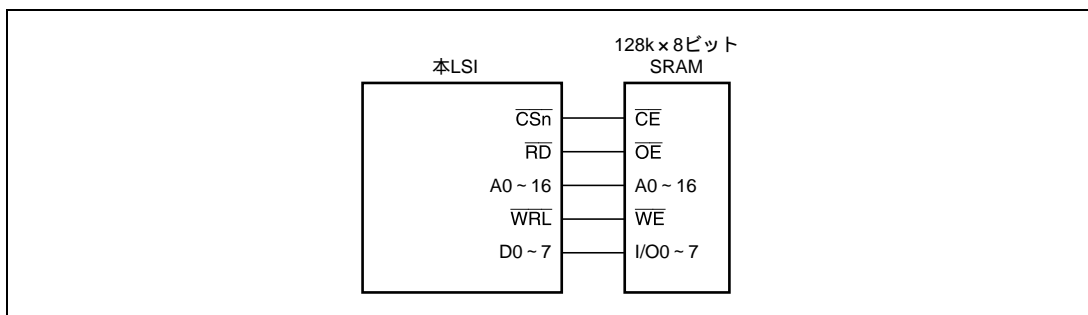


図 9.13 8 ビットデータバス幅 SRAM 接続例

9. バスステートコントローラ (BSC)

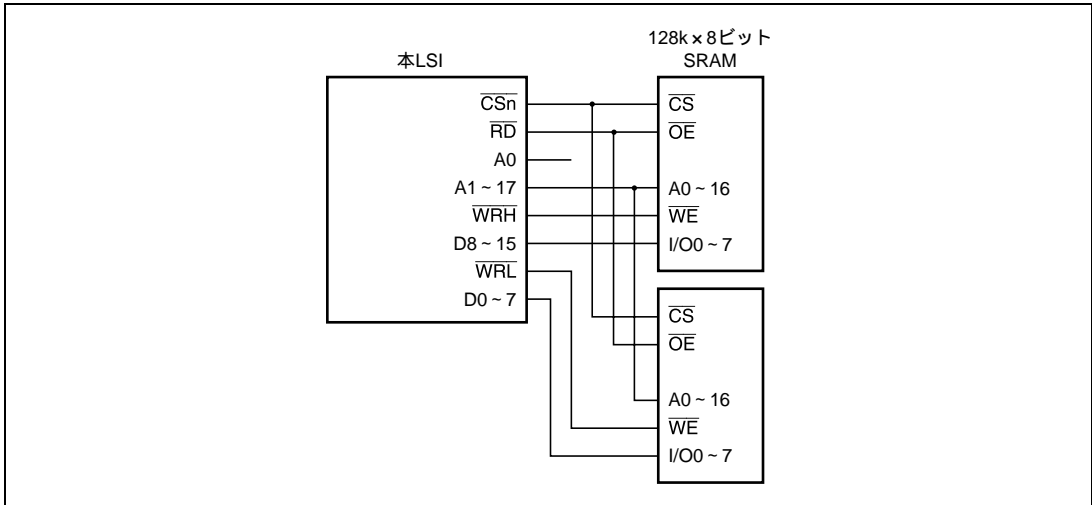


図 9.14 16 ビットデータバス幅 SRAM 接続例

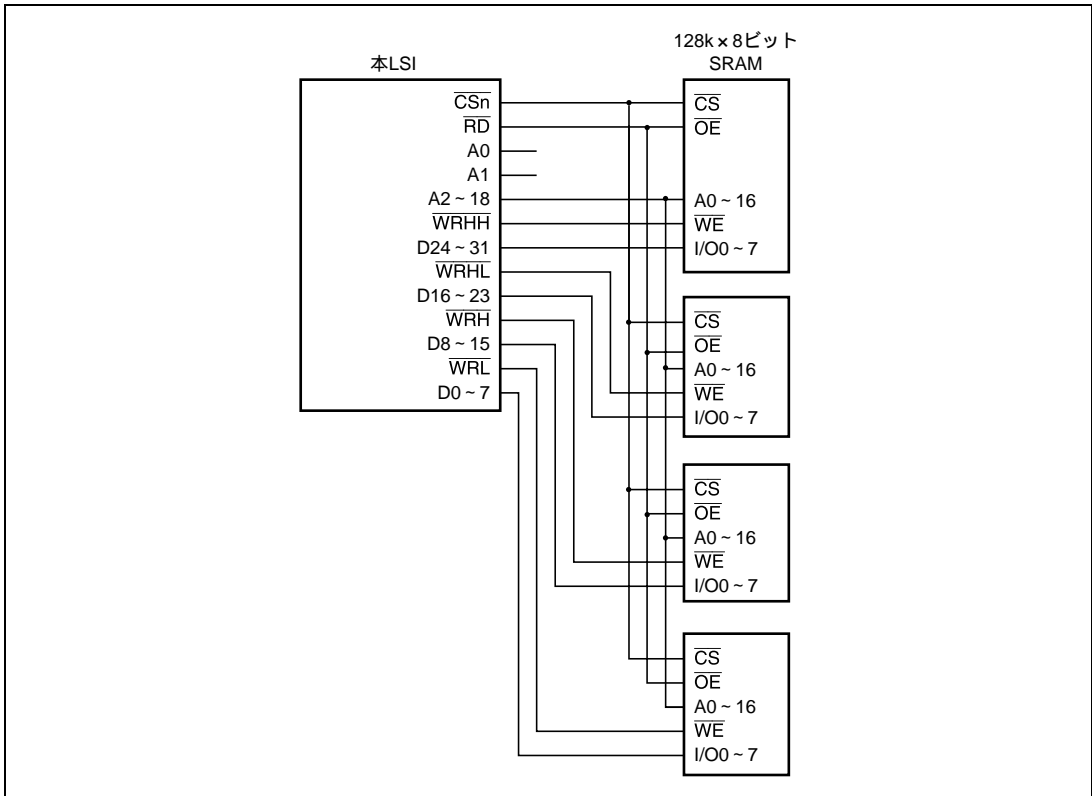


図 9.15 32 ビットデータバス幅 SRAM 接続例 (SH7145 のみ)

9.10 内蔵周辺 I/O レジスタのアクセス

内蔵周辺 I/O のレジスタは、バスステートコントローラから表 9.3 のようにアクセスされます。詳細は、「第 25 章 レジスタ一覧」を参照してください。

表 9.3 内蔵周辺 I/O レジスタへのアクセス

内蔵周辺 モジュール	SCI	MTU、 POE	INTC	PFC、 PORT	CMT	A/D	UBC	WDT	DMAC	DTC	IIC	H-UDI
接続バス幅	8 ビット	16 ビット	16 ビット	16 ビット	16 ビット	8 ビット	16 ビット	16 ビット	16 ビット	16 ビット	8 ビット	16 ビット
アクセス サイクル数	2cyc	2cyc	2cyc	2cyc	2cyc	3cyc	3cyc	3cyc	3cyc	3cyc	2cyc	2cyc

9.11 バス権を解放しないサイクルについて

1 バスサイクル中にバス権を解放することはありません。たとえば、8 ビット通常空間へのロングワードでのリード（もしくはライト）の場合、図 9.16 のように、8 ビット通常空間へのメモリアクセス 4 回が 1 つのバスサイクルとなります。その間に、バス権を解放することはありません。1 回のメモリアクセスが 2 ステートだとすると 8 ステートの間は、バス権を解放しません。

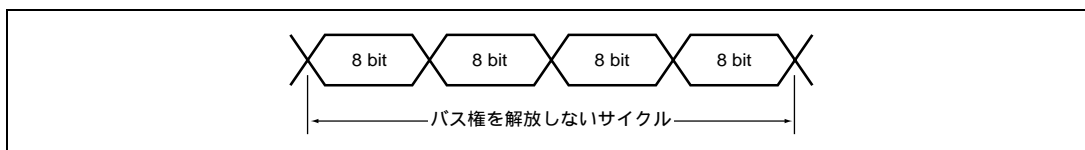


図 9.16 1 バスサイクル

9.12 外部メモリへプログラムを配置したときの CPU 動作

本 LSI は 1 回の命令フェッチで常に 2 ワード (2 命令分) をフェッチします。これはプログラムが外部メモリに配置されている場合や、その外部メモリのバス幅が 8 ビットまたは 16 ビットのときも同じです。

また、プログラムが分岐した直後のプログラムカウンタ値が奇数ワード ($2n+1$) 番地であるときや、分岐する直前のプログラムカウンタ値が偶数ワード ($2n$) 番地であるときも本 LSI はそれぞれのワード命令を含む 32 ビット (2 命令) 分を常にフェッチします。

9. バスステートコントローラ (BSC)

10. ダイレクトメモリアクセスコントローラ (DMAC)

本 LSI はダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (転送要求受付信号) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (DMAC、DTC、BSC、UBC を除く) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。

10.1 特長

- チャンネル数：4チャンネル
- アドレス空間：アーキテクチャ上は4GB
- 転送データ長：8ビット、16ビット、32ビットの中から選択可能
- 最大転送回数：16M (16777216) 回
- アドレスモード：
デュアルアドレスモード、シングルアドレスモードの選択可能
デュアルアドレスモード時直接アドレス転送モード、間接アドレス転送モードの指定可能
- チャンネル機能：各チャンネルごとに、設定可能な転送モードが異なります。
- チャンネル0、1：
デュアルアドレスモード、シングルアドレスモード対応外部リクエスト受け付け可能
- チャンネル2：
デュアルアドレスモードのみ対応、リロードする機能 (ソースアドレスリロード機能) 付き
- チャンネル3：
デュアルアドレスモードのみ対応、直接アドレス転送モード、間接アドレス転送モード指定可能
- 転送要求：外部リクエスト、内蔵モジュール、オートリクエストの選択が可能
外部リクエスト： $\overline{\text{DREQ}}$ 端子2本。ローレベル検出または立ち下がりエッジ検出の指定が可能
内蔵モジュール：SCI、A/Dなど内蔵モジュールの転送要求。SCIではSCI_0とSCI_1、A/DではA/D1が対象。
オートリクエスト：転送要求をDMAC内部で自動的に発生します。
- バスモード：サイクルスチールモードとバーストモードの選択可能
- 優先順位：優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：転送終了後、CPUに割り込み要求を発生可能
- モジュールスタンバイモードの設定可能

10. ダイレクトメモリアクセスコントローラ (DMAC)

図 10.1 に DMAC のブロック図を示します。

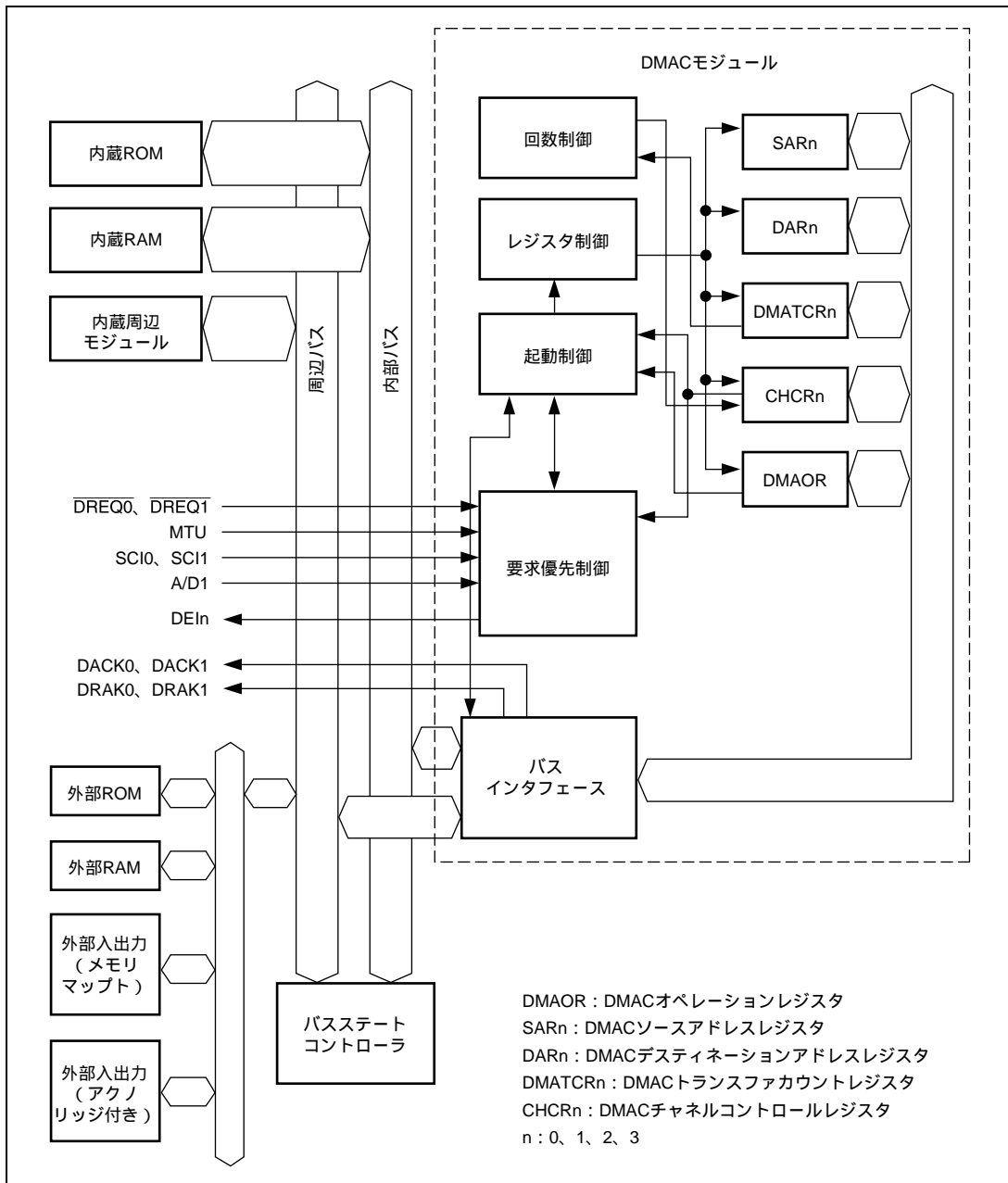


図 10.1 DMAC ブロック図

10.2 入出力端子

DMACの端子構成を表 10.1 に示します。

表 10.1 DMAC 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル0へのDMA転送要求入力
	DMA 転送要求受け付け	DACK0	出力	チャンネル0から外部デバイスへのDMA転送ストロブ出力
	DREQ0 受け付け確認	DRAK0	出力	外部からのDMA転送要求入力のサンプリング受け付け出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル1へのDMA転送要求入力
	DMA 転送要求受け付け	DACK1	出力	チャンネル1から外部デバイスへのDMA転送ストロブ出力
	DREQ1 受け付け確認	DRAK1	出力	外部からのDMA転送要求入力のサンプリング受け付け出力

10.3 レジスタの説明

レジスタには、以下のレジスタがあります。1チャンネルにつき4本のレジスタが割り当てられている他、DMAC全体の制御用のレジスタが1本あり、全体で計17本のレジスタがあります。レジスタのアドレスおよび各処理状態のレジスタの状態については「第25章 レジスタ一覧」を参照してください。

- DMAソースアドレスレジスタ_0 (SAR_0)
- DMAデスティネーションアドレスレジスタ_0 (DAR_0)
- DMAトランスファカウントレジスタ_0 (DMATCR_0)
- DMAチャンネルコントロールレジスタ_0 (CHCR_0)
- DMAソースアドレスレジスタ_1 (SAR_1)
- DMAデスティネーションアドレスレジスタ_1 (DAR_1)
- DMAトランスファカウントレジスタ_1 (DMATCR_1)
- DMAチャンネルコントロールレジスタ_1 (CHCR_1)
- DMAソースアドレスレジスタ_2 (SAR_2)
- DMAデスティネーションアドレスレジスタ_2 (DAR_2)
- DMAトランスファカウントレジスタ_2 (DMATCR_2)
- DMAチャンネルコントロールレジスタ_2 (CHCR_2)
- DMAソースアドレスレジスタ_3 (SAR_3)
- DMAデスティネーションアドレスレジスタ_3 (DAR_3)
- DMAトランスファカウントレジスタ_3 (DMATCR_3)

10. ダイレクトメモリアクセスコントローラ (DMAC)

- DMAチャンネルコントロールレジスタ₃ (CHCR₃)
- DMAオペレーションレジスタ (DMAOR)

10.3.1 DMA ソースアドレスレジスタ_{0~3} (SAR_{0~3})

SAR_{0~3} は読み出し、書き込み可能な 32 ビットのレジスタで、転送元のアドレスを指定します。カウント機能を持ち、DMA 動作中は次の転送元アドレスを示しています。シングルアドレスモードにおいて、DACK 付きデバイスを転送元に指定した場合、SAR の値は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

本レジスタを 16 ビットアクセスした場合、アクセスされなかった側の 16 ビット値は保持されます。

初期値は不定です。

10.3.2 DMA デスティネーションアドレスレジスタ_{0~3} (DAR_{0~3})

DAR_{0~3} は読み出し、書き込み可能な 32 ビットのレジスタで、転送先のアドレスを指定します。カウント機能を持ち、DMAC 動作中は次の転送先アドレスを示しています。シングルアドレスモードにおいて、DACK 付きデバイスを転送先に指定した場合、DAR の値は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

本レジスタを 16 ビットアクセスした場合、アクセスされなかった側の 16 ビット値は保持されます。

初期値は不定です。

10.3.3 DMA トランスファカウントレジスタ_{0~3} (DMATCR_{0~3})

DMATCR_{0~3} は読み出し、書き込み可能な 32 ビットのレジスタで、下位 24 ビットによりそのチャンネルの転送回数 (バイト数、ワード数、またはロングワード数) を指定します。転送回数は H'000001 を設定した場合 1 回ですが、H'000000 を設定すると最大値を設定したことになり、16777216 回実行されます。DMAC 動作中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

本レジスタを 16 ビットアクセスした場合、アクセスされなかった側の 16 ビット値は保持されます。

初期値は不定です。

10.3.4 DMA チャンネルコントロールレジスタ_0~3 (CHCR_0~3)

CHCR0~3 は読み出し、書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法等を指定します。

ビット	ビット名	初期値	R/W	説明
31~21		すべて 0	R	予約ビット 読み出すとデータは 0 です。書き込む値は常に 0 にしてください。
20	DI	0	(R/W)* ²	ダイレクト、インダイレクトセレクト チャンネル 3 のソースアドレスを直接アドレスモードで動作するか、間接アドレスモードで動作するかを指定するビットです。 0 : 直接アドレスモード 1 : 間接アドレスモード このビットは CHCR_3 でのみ有効です。CHCR_0、1、2 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	RO	0	(R/W)* ²	ソースアドレスリロードビット チャンネル 2 の転送時、ソースアドレス初期値のリロードを行うか否かの選択ビットです。 0 : ソースアドレスをリロードしない 1 : ソースアドレスをリロードする このビットは CHCR_2 でのみ有効です。CHCR_0、1、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18	RL	0	(R/W)* ²	リクエストチェックレベルビット \overline{DREQ} を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかを選択ビットです。 0 : ハイアクティブで出力 1 : ローアクティブで出力 このビットは CHCR_0、1 でのみ有効です。CHCR_2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17	AM	0	(R/W)*2	<p>アクノリッジモードビット</p> <p>デュアルアドレスモードで、DACKをデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。</p> <p>シングルアドレスモードでは、このビットの指定に関係なく、DACKは常に出力されます。</p> <p>0：読み出しサイクルでDACKを出力 1：書き込みサイクルでDACKを出力</p> <p>このビットはCHCR_0、1でのみ有効です。CHCR_2、3では、このビットを読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
16	AL	0	(R/W)*2	<p>アクノリッジレベル</p> <p>DACK (アクノリッジ) 信号をハイアクティブにするかローハイアクティブにするかを指定します。</p> <p>0：ハイアクティブで出力 1：ローアクティブで出力</p> <p>このビットはCHCR_0、1でのみ有効です。CHCR_2、3では、このビットを読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
15 14	DM1 DM0	0 0	R/W R/W	<p>デスティネーションアドレスモード1、0</p> <p>DMA転送先アドレスの増減を指定します。シングルアドレスモードでアドレス空間から外部デバイスにデータ転送する場合は、このビットの指定は無視されます。</p> <p>00：デスティネーションアドレスは固定 01：デスティネーションアドレスは増加 (8ビット転送時+1、16ビット転送時+2、32ビット転送時+4) 10：デスティネーションアドレスは減少 (8ビット転送時-1、16ビット転送時-2、32ビット転送時-4) 11：(設定禁止)</p>

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
13 12	SM1 SM0	0 0	R/W R/W	<p>ソースアドレスモード 1、0</p> <p>DMA 転送元アドレスの増減を指定します。シングルアドレスモードで外部デバイスからアドレス空間にデータ転送する場合は、このビットの指定は無視されます。</p> <p>00 : ソースアドレスは固定</p> <p>01 : ソースアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)</p> <p>10 : ソースアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)</p> <p>11 : (設定禁止)</p> <p>転送元が間接アドレスに指定されている場合、ソースアドレスレジスタ 3 (SAR_3) には、実際に転送したいデータの格納されているアドレスの値が、データとして保存されているアドレス (間接アドレス) を指定してください。</p> <p>間接アドレスモード時の SAR_3 の増減の指定も SM1、SM0 に従いますが、この場合は TS1、TS0 で指定した転送データのサイズにかかわらず、SAR_3 の増減値は+4、-4、または 0 固定になります。</p>
11 10 9 8	RS3 RS2 RS1 RS0	0 0 0 0	R/W R/W R/W R/W	<p>リソースセレクト 3、2、1、0</p> <p>転送要求元を指定します。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード</p> <p>0001 : (設定禁止)</p> <p>0010 : 外部リクエスト、シングルアドレスモード 外部アドレス空間→外部デバイス</p> <p>0011 : 外部リクエスト、シングルアドレスモード 外部デバイス→外部アドレス空間</p> <p>0100 : オートリクエスト</p> <p>0101 : (設定禁止)</p> <p>0110 : MTU (TGIA_0)</p> <p>0111 : MTU (TGIA_1)</p> <p>1000 : MTU (TGIA_2)</p> <p>1001 : MTU (TGIA_3)</p> <p>1010 : MTU (TGIA_4)</p> <p>1011 : A/D1 (ADI1)</p> <p>1100 : SCI0 (TXI_0)</p> <p>1101 : SCI0 (RXI_0)</p> <p>1110 : SCI1 (TXI_1)</p> <p>1111 : SCI1 (RXI_1)</p> <p>【注】 外部リクエストの指定は DMAC のチャンネル 0、1 のみ有効です。チャンネル 2、3 の場合、転送要求はどれにも設定されません。</p>

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
7		0	R	予約ビット 読み出すとデータは0です。書き込む値は常に0にしてください。
6	DS	0	(R/W)*2	DREQ セレクト 外部リクエストモードで使用する DREQ 端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定します。 0: ローレベル検出 1: 立ち下がりエッジ検出 このビットは CHCR_0、1 でのみ有効です。CHCR_2、3 では、このビットを読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 またチャンネル0、1でも、転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、このビットの指定は無視され、オートリクエスト以外は立ち下がりエッジ検出に固定されます。
5	TM	0	R/W	トランスミットモード 転送するときのバスモードを指定するビットです。 0: サイクルスチールモード 1: バーストモード
4	TS1	0	R/W	トランスミットサイズ 1、0 転送するデータのサイズを指定するビットです。 00: バイトサイズ (8 ビット) 01: ワードサイズ (16 ビット) 10: ロングワードサイズ (32 ビット) 11: (設定禁止)
3	TS0	0	R/W	
2	IE	0	R/W	インターラプトイネーブル このビットに1をセットしておく、DMATCR に指定した回数のデータ転送が終了したとき (TE=1 のとき) 割り込み要求を発生します。 0: DMATCR 指定転送回数終了時、割り込み要求を発生しない。 1: DMATCR 指定転送回数終了時、割り込み要求を発生する。

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
1	TE	0	R/(W)*1	<p>トランスファエンド</p> <p>DMATCR で指定した回数の転送が終了したとき 1 にセットされるビットです。このとき IE ビットが 1 にセットされている場合、割り込み要求を発生します。</p> <p>TE が 1 にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了された場合は、TE ビットは 1 にセットされません。このビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。</p> <p>0 : DMATCR 指定回数転送未終了 [クリア条件] TE=1 の読み出し後 0 書き込み パワーオンリセット、ソフトウェアスタンバイ</p> <p>1 : DMATCR 指定回数転送終了</p>
0	DE	0	R/W	<p>DMAC イネーブル</p> <p>対応するチャンネルの動作を許可するビットです。</p> <p>0 : 対応チャンネルの動作禁止 1 : 対応チャンネルの動作許可</p> <p>オートリクエストを指定 (RS3~0 で指定) した場合、このビットに 1 をセットすると転送に入ります。外部リクエスト、内蔵モジュールリクエストでは、このビットに 1 をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。</p> <p>DE ビットをセットしても TE が 1 の場合、DMAOR の DME が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。</p>

【注】 *1 TE ビットは、1 読み出し後の 0 書き込みのみ実行可能です。

*2 DI、RO、RL、AM、AL、DS ビットは、チャンネルにより存在しないビットがあります。

10.3.5 DMA オペレーションレジスタ (DMAOR)

DMAOR は読み出し、書き込み可能な 16 ビットのレジスタで、DMAC の転送モードを指定します。

ビット	ビット名	初期値	R/W	説明
15~10		すべて 0	R	<p>予約ビット</p> <p>読み出すとデータは 0 です。書き込む値は常に 0 にしてください。</p>

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
9 8	PR1 PR0	0 0	R/W R/W	<p>プライオリティモード 1、0</p> <p>同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。</p> <p>00 : CH0 > CH1 > CH2 > CH3 01 : CH0 > CH2 > CH3 > CH1 10 : CH2 > CH0 > CH1 > CH3 11 : ラウンドロビンモード</p>
7~3		すべて 0	R	<p>予約ビット</p> <p>読み出すとデータは 0 です。書き込む値は常に 0 にしてください。</p>
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。</p> <p>0 : アドレスエラーなし。DMA 転送許可状態。 [クリア条件] : AE=1 読み出し後 AE=0 書き込み 1 : アドレスエラーあり。DMA 転送禁止状態。 [セット条件] : DMAC によるアドレスエラーの発生</p> <p>CPU から AE に 1 を書き込むことはできません。クリアは、1 読み出し後の 0 書き込みのみ有効です。</p>
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。</p> <p>0 : NMI 入力なし。DMA 転送許可状態。 [クリア条件] : NMIF=1 読み出し後 NMIF=0 書き込み 1 : NMI 入力あり。DMA 転送禁止状態。 [セット条件] : NMI 割り込みの発生</p> <p>CPU から NMIF に 1 を書き込むことはできません。クリアは、1 読み出し後の 0 書き込みのみ有効です。</p>
0	DME	0	R/W	<p>DMAC マスタイネーブル</p> <p>DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。</p> <p>0 : 全チャンネルの動作禁止 1 : 全チャンネルの動作許可</p> <p>DME ビットをセットしても CHCR の TE が 1 または、DE が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

10.4 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。DMA 転送には、シングルアドレスモードとデュアルアドレスモードがあり、デュアルアドレスモードはさらに直接アドレス転送モードと間接アドレス転送モードがあります。バスモードはパーストモードとサイクルスチールモードを選択することができます。

10.4.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

1. 転送許可状態かどうか (DE=1、DME=1、TE=0、NMIF=0、AE=0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS0、TS1の設定により決定) を転送します。オートリクエストモードの場合はDEおよびDMEが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みが発生します。
4. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットが0にされても転送を中断します。図10.2に上記のフローチャートを示します。

10. ダイレクトメモリアクセスコントローラ (DMAC)

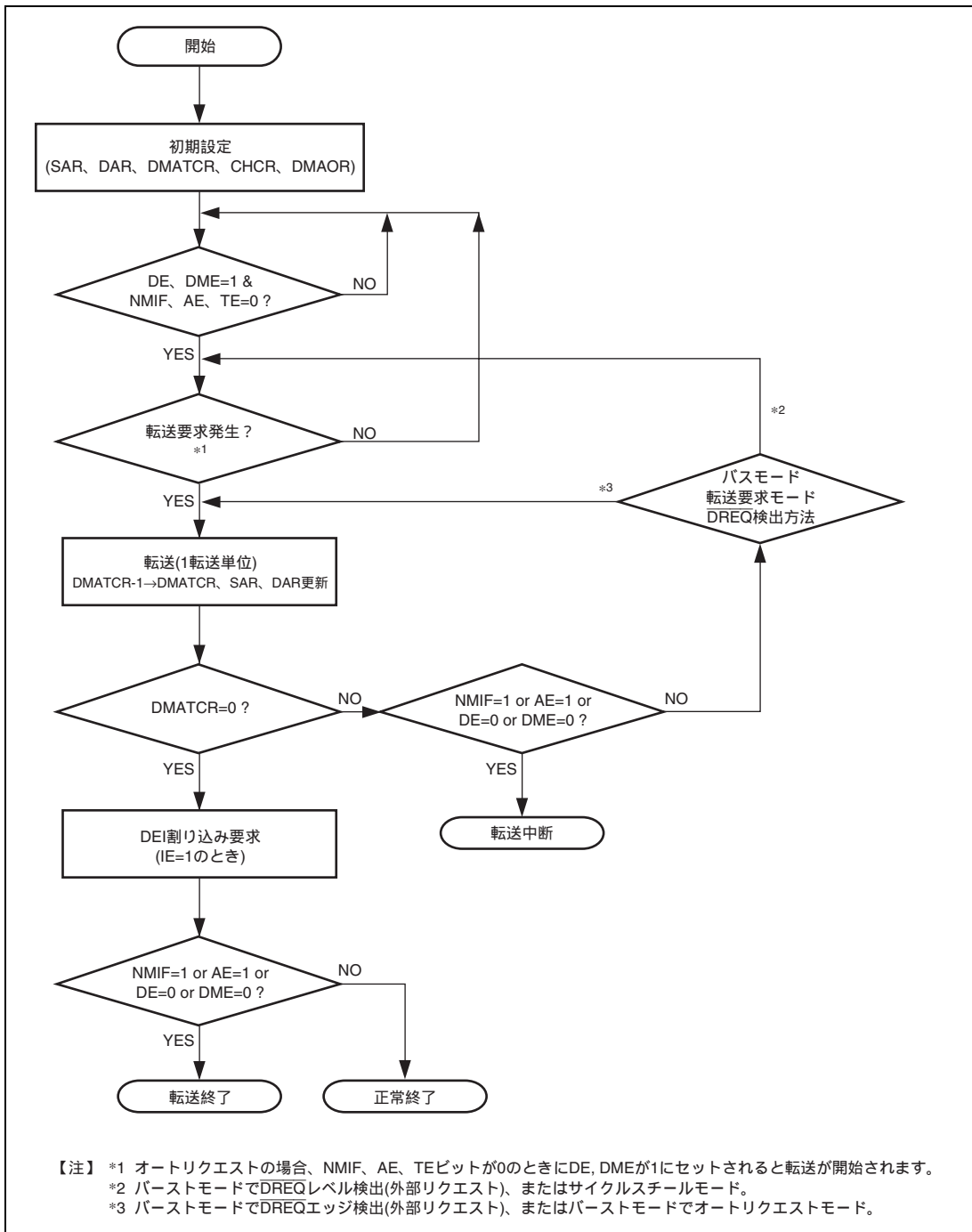


図 10.2 DMAC 転送フローチャート

10.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方できます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエスト、の3種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ_{0~3} (CHCR_{0~3}) の RS3 ~ RS0 ビットによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR_{0~3} の DE ビットおよび DMA オペレーションレジスタ (DMAOR) の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR_{0~3} の TE ビット、DMAOR の NMIF ビット、AE ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは本 LSI の外部デバイスからの転送要求信号 (\overline{DREQ}) によって転送を開始させるモードです。応用システムに応じて、表 10.2 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、NMIF=0、AE=0) に \overline{DREQ} が入力されると DMA 転送が開始されます。 \overline{DREQ} を立ち下がりエッジで検出するかローレベルで検出するかは、CHCR_{0~3} の DS ビットで選びます (DS=0 はレベル検出、DS=1 はエッジ検出)。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 10.2 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアル アドレスモード	任意*	任意*
0	0	1	0	シングル アドレスモード	外部メモリまたはメモリマッ プト外部デバイス	DACK 付き外部デバイス
0	0	1	1	シングル アドレスモード	DACK 付き外部デバイス	外部メモリまたはメモリマッ プト外部デバイス

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、DTC、BSC、UBC を除く)

10. ダイレクトメモリアクセスコントローラ (DMAC)

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本 LSI の内蔵周辺モジュールからの転送要求信号 (割り込み要求信号) によって転送を開始させるモードです。転送要求信号には表 10.3 に示すように、マルチファンクションタイムバルスユニット (MTU) からのコンペアマッチ割り込みおよびインプットキャプチャ割り込みの 5 種類、2 つのシリアルコミュニケーションインタフェース (SCI) からの、受信データフル割り込み (RXI)、送信データエンプティ割り込み (TXI)、A/D 変換器の A/D 変換終了割り込み (ADI1) の計 10 本があります。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、NMIF=0、AE=0) に転送要求信号が入力されると DMA 転送が開始されます。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。ただし転送要求を RXI (SCI の受信データフルによる転送要求) に設定した場合は転送元は SCI のレシーブデータレジスタ (RDR) でなければなりません。転送要求を TXI (SCI の送信データエンプティによる転送要求) に設定した場合は、転送先は SCI のトランスミットデータレジスタ (TDR) でなければなりません。また、転送要求を ADI1 (A/D 変換器のチャンネル 1 の A/D 変換終了による転送要求) に設定した場合は、データ転送元は A/D 変換器のレジスタでなければなりません。

表 10.3 RS ビットによる内蔵周辺モジュールリクエストモードの選択

RS3	RS2	RS1	RS0	DMAC 転送 要求元	DMAC 転送 要求信号	転送元	転送先	バスモード
0	1	1	0	MTU	TGIA_0	任意*	任意*	バースト/サイクルスチールモード
			1	MTU	TGIA_1	任意*	任意*	バースト/サイクルスチールモード
1	0	0	0	MTU	TGIA_2	任意*	任意*	バースト/サイクルスチールモード
			1	MTU	TGIA_3	任意*	任意*	バースト/サイクルスチールモード
		1	0	MTU	TGIA_4	任意*	任意*	バースト/サイクルスチールモード
			1	A/D1	ADI1	ADDR1	任意*	バースト/サイクルスチールモード
	1	0	0	SCI0 送信部	TXI_0	任意*	TDR0	バースト/サイクルスチールモード
			1	SCI0 受信部	RXI_0	RDR0	任意*	バースト/サイクルスチールモード
		1	0	SCI1 送信部	TXI_1	任意*	TDR1	バースト/サイクルスチールモード
			1	SCI1 受信部	RXI_1	RDR1	任意*	バースト/サイクルスチールモード

【注】 MTU : マルチファンクションタイムバルスユニット

SCI_0、SCI_1 : シリアルコミュニケーションインタフェースのチャンネル 0、1

ADDR1 : A/D 変換器のチャンネル 1 の A/D データレジスタ

TDR_0、TDR_1 : SCI_0、SCI_1 のトランスミットデータレジスタ

RDR_0、RDR_1 : SCI_0、SCI_1 のレシーブデータレジスタ

* 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、DTC、BSC、UBC を除く)

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する割り込み許可ビットをセットして、割り込み信号を出力させてください。

内蔵周辺モジュールの割り込み要求信号を DMA 転送要求信号として使用した場合、CPU に対する割り込みは発生しません。

表 10.3 の転送要求信号は、対応する DMA 転送が行われると、自動的に取り下げられます。これはサイクルスチールモードの場合 1 回の転送で、バーストモードの場合最後の転送時に行われます。

10.4.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 種類のモードから選択できます。モードの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す 3 種類があります。

- CH0 > CH1 > CH2 > CH3
- CH0 > CH2 > CH3 > CH1
- CH2 > CH0 > CH1 > CH3

これらの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで、1 転送単位 (バイト、ワード、またはロングワード) の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 10.3(1) に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 です。

10. ダイレクトメモリアクセスコントローラ (DMAC)

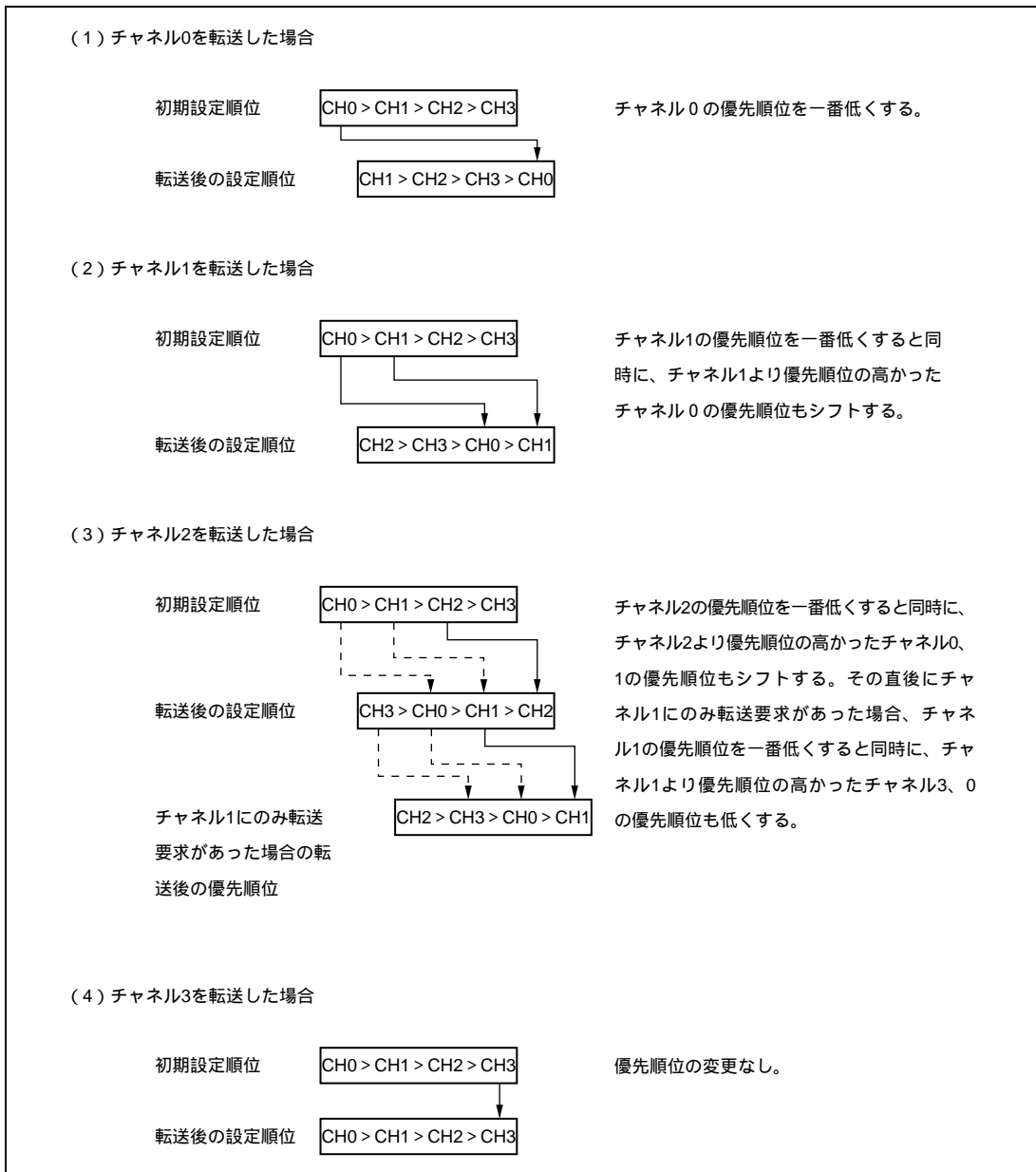


図 10.3 (1) ラウンドロビンモード

図 10.3 (2) にチャンネル0 とチャンネル3 に同時に転送要求が発生し、チャンネル0 の転送中にチャンネル1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

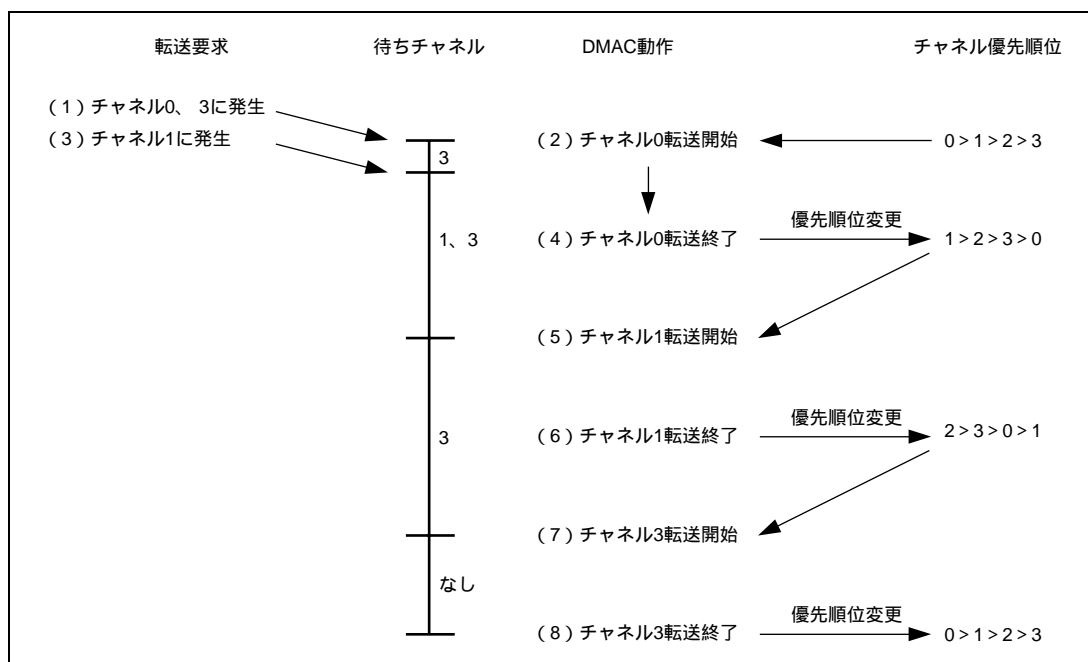


図 10.3 (2) ラウンドロビンモードでのチャンネル優先順位変更例

10. ダイレクトメモリアクセスコントローラ (DMAC)

10.4.4 DMA 転送の種類

DMAC がサポートできる転送は表 10.4 に示すとおりで、転送元か転送先いずれか一方をアクノリッジ信号でアクセスするシングルアドレスモードと、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードに分類されます。またデュアルアドレスモードには、出力したアドレスの値が、直接データ転送の対象アドレスとなる直接アドレスモードと、出力したアドレスの値がデータ転送対象のアドレスとならず、出力したアドレスに格納されている値が、転送対象のアドレスとなる間接アドレスモードがあります。具体的な転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 10.4 サポートできる DMA 転送

転送先 転送元	DACK 付 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付 外部デバイス	不可	シングル アドレスモード	シングル アドレスモード	不可	不可
外部メモリ	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
メモリマップト 外部デバイス	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
内蔵メモリ	不可	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
内蔵周辺 モジュール	不可	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード

【注】 デュアルアドレスモードは、直接アドレスモードと間接アドレスモードを含みます。

(1) アドレスモード

(a) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセスし、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは DMAC は、転送要求受け付け信号 DACK を、転送元か転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出してアクセスします。これにより、1つのバスサイクルで DMA 転送を行うことができます。たとえば図 10.4 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

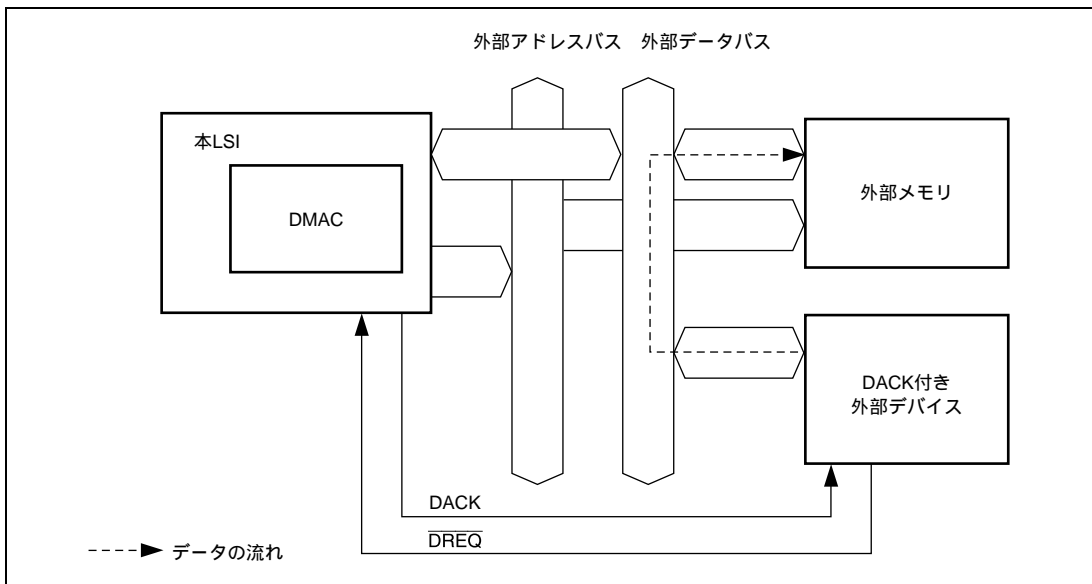


図 10.4 シングルアドレスモードでのデータの流れ

10. ダイレクトメモリアクセスコントローラ (DMAC)

シングルアドレスモードで可能な転送は、(1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、(2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は、外部リクエスト ($\overline{\text{DREQ}}$) のみです。

図 10.5 にシングルアドレスモードでの DMA 転送タイミングを示します。

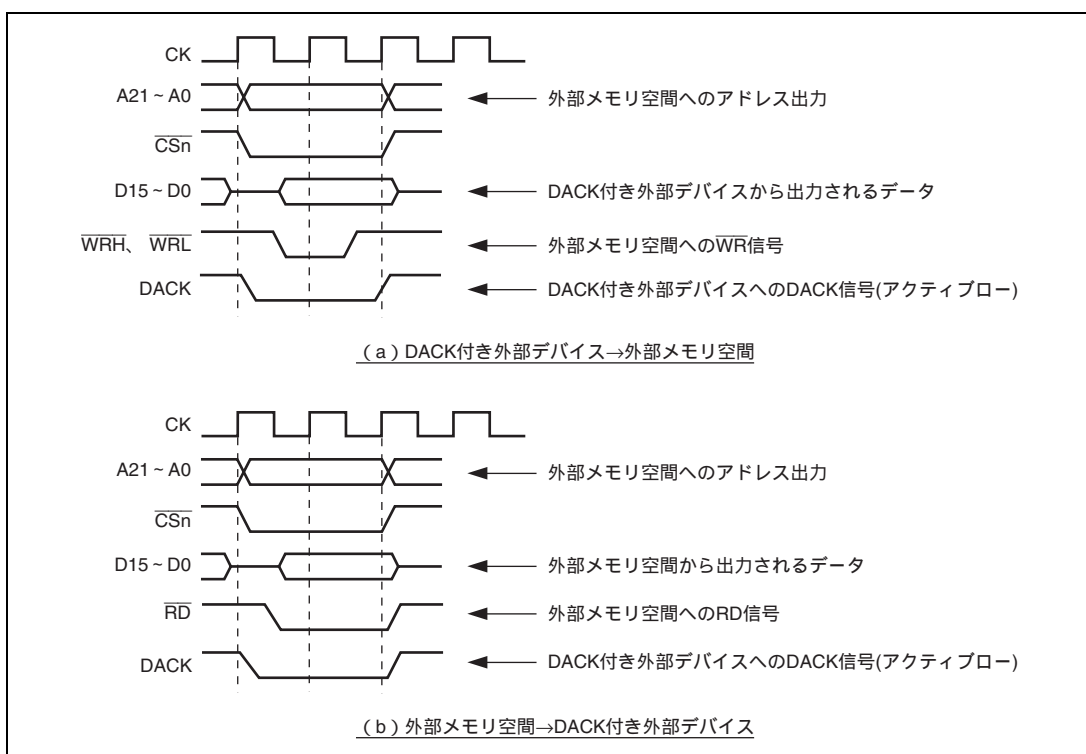


図 10.5 シングルアドレスモードでの DMA 転送タイミング

(b) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は内部でも外部でもかまいません。デュアルアドレスモードには(1)直接アドレス転送モード、(2)間接アドレス転送モードがあります。

1. 直接アドレス転送モード

データ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。このとき転送データは一時的にDMACに格納されます。図10.6のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また図10.7にこの場合のタイミング例を示します。

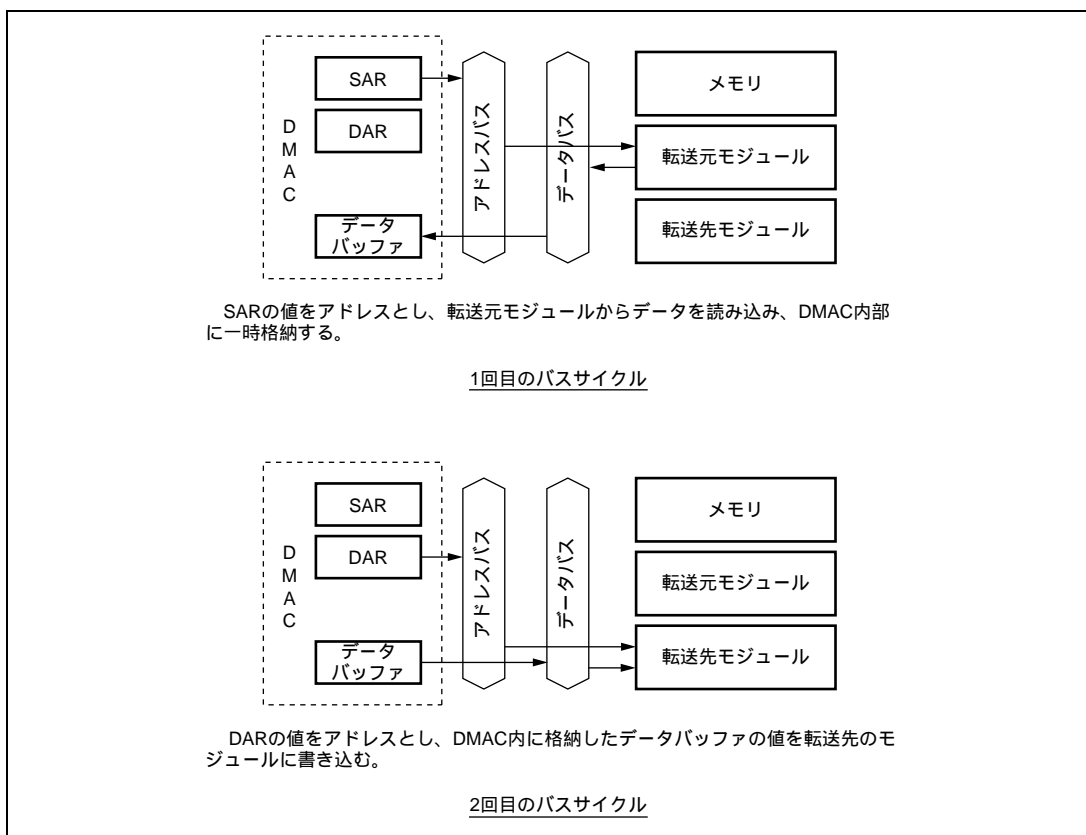


図 10.6 デュアルアドレスモード、直接アドレスの動作説明

10. ダイレクトメモリアクセスコントローラ (DMAC)

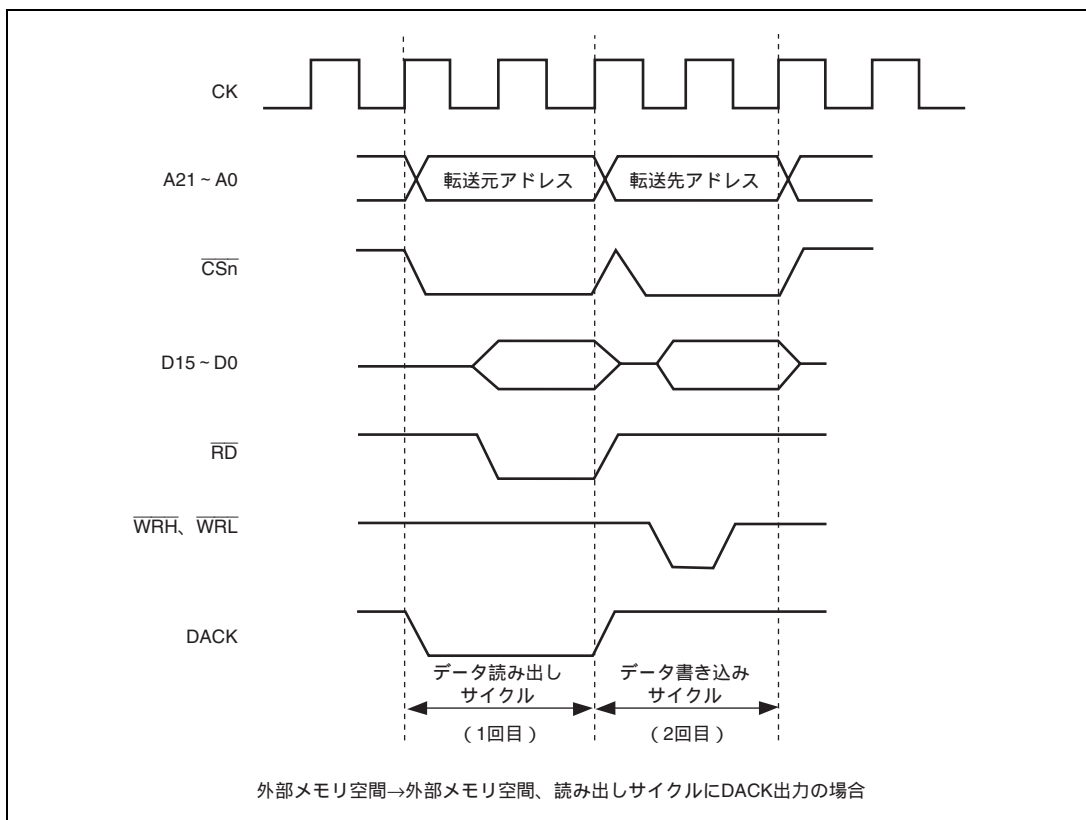


図 10.7 デュアルアドレスモード、直接アドレスでのデータの流れ

2. 間接アドレス転送モード

DMAC内部の転送元アドレスレジスタ (SAR3) に、実際に転送したいデータの格納されているメモリのアドレスが指定されている転送モードです。したがって、間接アドレス転送モードでは、まずDMAC内部の転送元アドレスレジスタに指定されたアドレスの値を読み出します。この値は、いったんDMAC内部に格納されます。次に、読み出した値をアドレスとして出力し、そのアドレスに格納されている値を再びDMAC内部に格納します。最後に転送先アドレスレジスタに指定されたアドレスに、後から読み出した値を書き込んで1回のDMA転送が終了します。

図10.8に、間接アドレスモードで、転送先、転送元、間接アドレスの格納先すべてが16ビット幅空間の外部メモリであり、転送データが16ビットまたは8ビットの場合の転送例を示します。また図10.9にタイミング例を示します。

間接アドレスモードでは、間接アドレスとして読み出したデータをアドレスバスに出力するまでに、1回のNOPサイクル (図10.9のCK1サイクル分) を必要とします。

なお転送データが32ビットサイズの場合、図10.9の3回目と4回目のバスサイクルが2回ずつ必要となり、全体で6回のバスサイクルと1回のNOPサイクルが必要になります。

10. ダイレクトメモリアクセスコントローラ (DMAC)

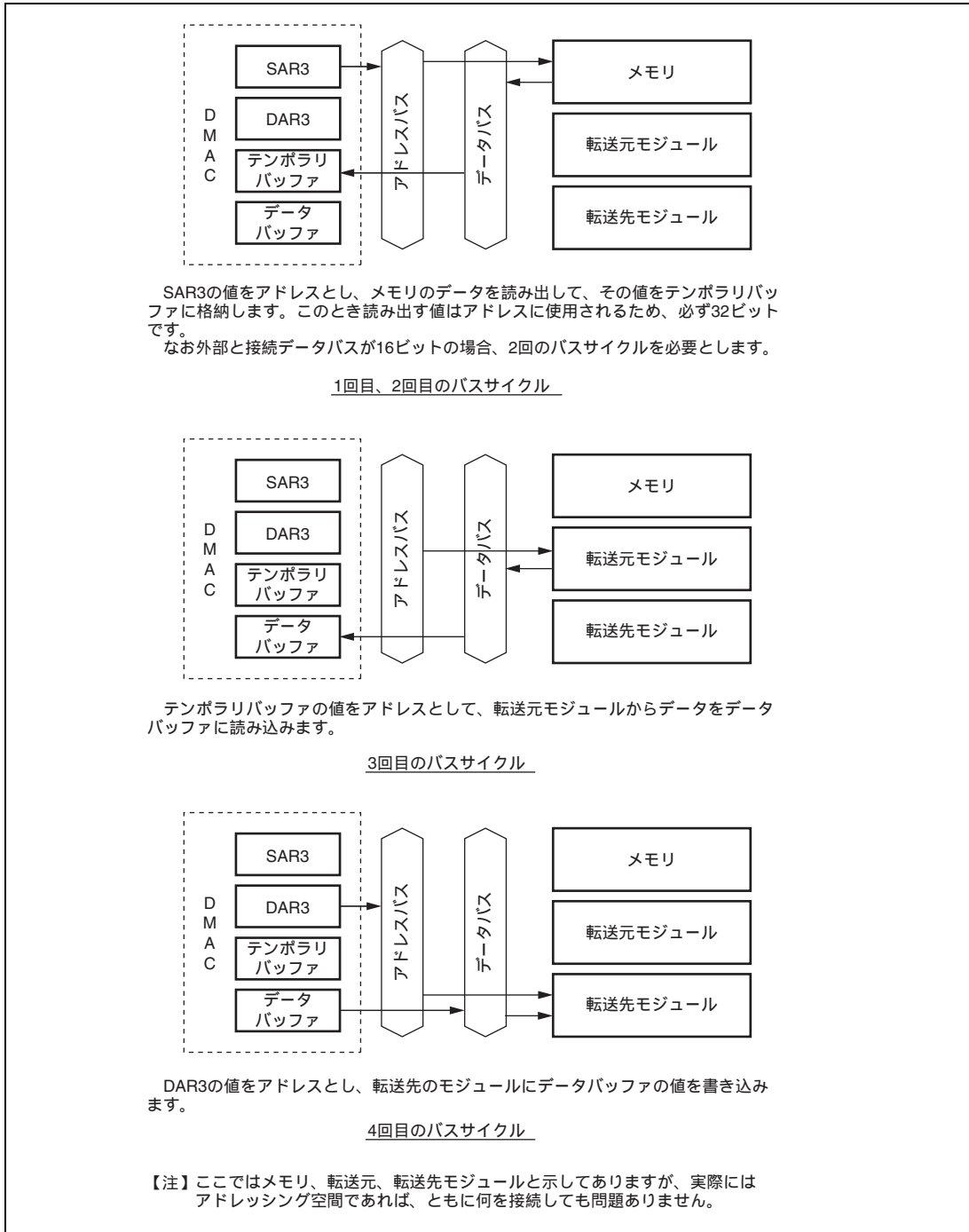


図 10.8 デュアルアドレスモード、間接アドレスの動作説明 (外部メモリ空間が 16 ビット幅の場合)

10. ダイレクトメモリアクセスコントローラ (DMAC)

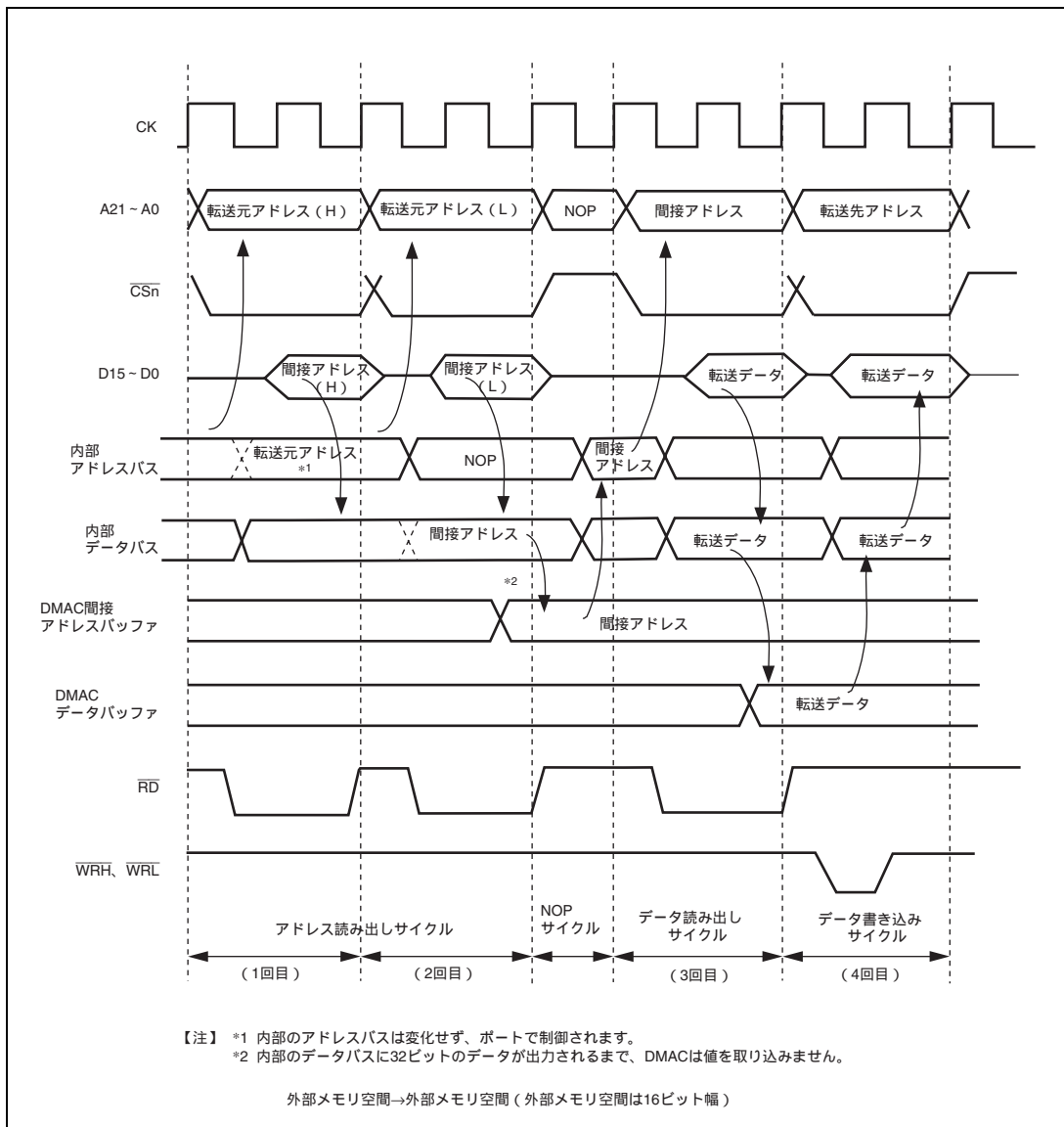


図 10.9 デュアルアドレスモード、間接アドレスでの転送タイミング例

図 10.10 に間接アドレスモードで、転送元、間接アドレスの格納先が内蔵メモリであり、転送先が 2 サイクルアクセス空間の内蔵周辺モジュールで、転送データが 8 ビットの場合のタイミング例を示します。

間接アドレスの格納先、転送元とも内蔵メモリなので、これらへのアクセスは 1 サイクルで実行できます。転送先が 2 サイクルアクセス空間なので、データの書き込みサイクルが 2 サイクル必要になります。この場合でも、間接アドレスとして読み出したデータをアドレスバスに出力までに、1 回の NOP サイクルを必要とします。

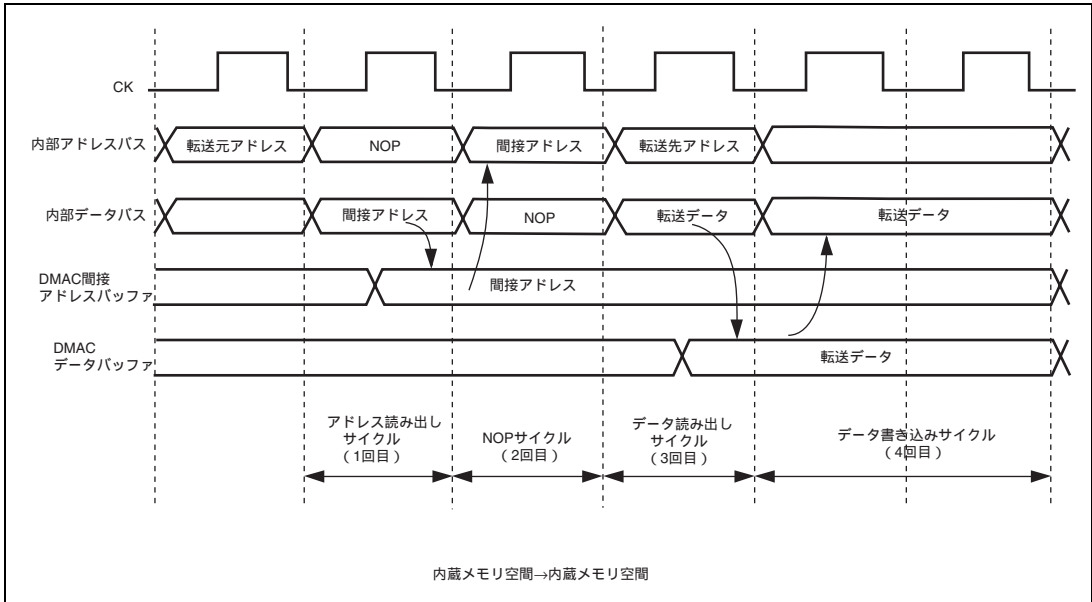


図 10.10 デュアルアドレスモード、間接アドレスでの転送タイミング例

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0 ~ CHCR3 の TM ビットによって行います。

(a) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (8 ビット、16 ビット、32 ビット) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 10.11 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- $\overline{\text{DREQ}}$ レベル検出

10. ダイレクトメモリアクセスコントローラ (DMAC)

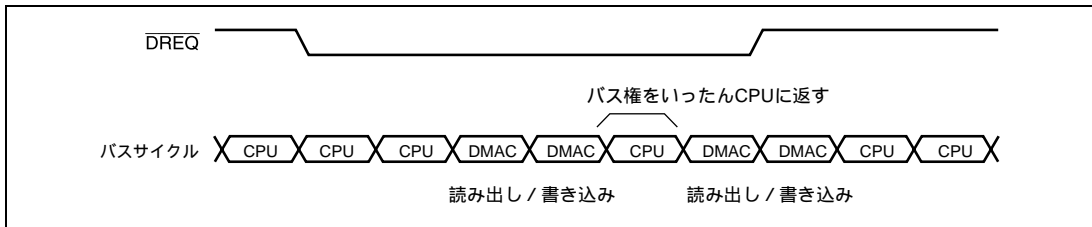


図 10.11 サイクルスチールモードでの DMA 転送例

(b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、 $\overline{\text{DREQ}}$ をローレベルで検出する場合には、 $\overline{\text{DREQ}}$ がハイレベルになると、転送終了条件が満たされていないにもかかわらず、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

図 10.12 にバーストモードでの DMA 転送タイミングを示します。図の例での転送条件は以下のとおりです。

- シングルアドレスモード
- $\overline{\text{DREQ}}$ レベル検出

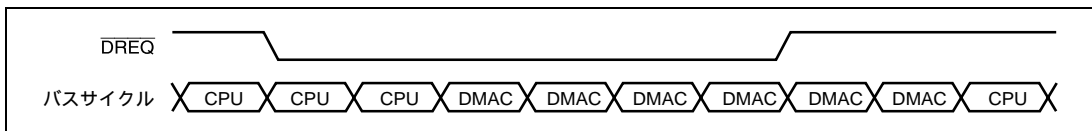


図 10.12 バーストモードでの DMA 転送例

10. ダイレクトメモリアクセスコントローラ (DMAC)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 10.5 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 10.5 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32	0、1
デュアル	外部メモリと外部メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	外部メモリとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	外部メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	外部メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	メモリマップト外部デバイスと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	内蔵メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	内蔵メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}

B：バースト

C：サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、SCI と A/D 変換器を転送要求元に指定するのは不可。
- *2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元も SCI または A/D 変換器の場合には、転送元または転送先がそれぞれ SCI か A/D 変換器である必要があります。
- *3 転送要求元が SCI の場合にはサイクルスチールのみ。
- *4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。
- *5 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ。

10. ダイレクトメモリアクセスコントローラ (DMAC)

(4) バスモードとチャンネルの優先順位

たとえばチャンネル1がバーストモードで転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、直ちにチャンネル0の転送を開始します。

このとき、優先順位の設定が固定モード(CH0>CH1)の場合、チャンネル0の設定がサイクルスチールでもバーストモードでもチャンネル0の転送がすべて終了してからチャンネル1の転送を継続します。

優先順位の設定がラウンドロビンモードの場合、チャンネル0の設定がサイクルスチールモードでもバーストモードであっても、チャンネル0が1転送単位の転送を行ったあと、チャンネル1が転送を再開します。その後もチャンネル1→チャンネル0→チャンネル1→チャンネル0というようにバス権を交互に入れ換えます。

優先順位の設定が固定モードでもラウンドロビンモードでも、チャンネル1がバーストモードなので、この間CPUにはバス権は渡りません。

ラウンドロビンモードの場合の例を図10.13に示します。

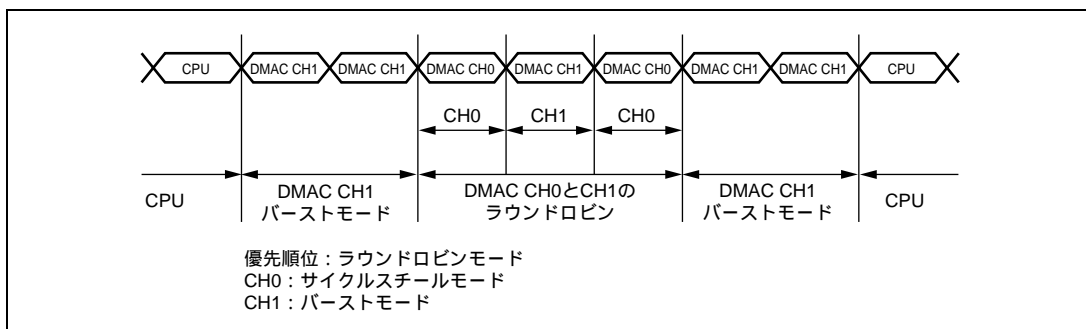


図 10.13 複数チャンネルが動作する場合のバス状態

10.4.5 バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMACがバスマスタのときのバスサイクルのステート数は、CPUがバスマスタのときと同様にバスステートコントローラ(BSC)で制御されます。詳しくは、「第9章 バスステートコントローラ(BSC)」を参照してください。

(2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミングと DRACK 信号

外部リクエストモードにおいて、 $\overline{\text{DREQ}}$ 端子は立ち下がりエッジまたはローレベル検出でサンプリングされ、 $\overline{\text{DREQ}}$ 入力が出検されると、最も早い場合で3ステート後にDMACのバスサイクルが発生し、DMA転送が行われます。ただしバーストモードでシングルアドレス動作を指定している場合には、最初にダミーサイクルが1バスサイクル分挿入されます。この場合実際のデータ転送は、2バスサイクル目からになります。2バスサイクル目以後は連続してデータ転送が行われます。ダミーサイクルは転送回数にはカウントされませんので、TCRを設定する際に、ダミーサイクルを意識する必要はありません。

2回目以後の $\overline{\text{DREQ}}$ サンプリングは、その1回目のサンプリングによって発生するDMAC転送の、1バスサイ

クル前の転送が始まることから開始されます。

なお DRAK は、転送モード、 $\overline{\text{DREQ}}$ 検出方法によらず、 $\overline{\text{DREQ}}$ 1 回のサンプリングにつき 1 回、1 サイクルのみ出力されます。バーストモード、エッジ検出の場合は、 $\overline{\text{DREQ}}$ のサンプリングが最初の 1 回だけなので、DRAK も最初の 1 回だけ出力されます。

したがって、DRAK 信号により $\overline{\text{DREQ}}$ 信号のネゲートタイミングを知ることができ、転送要求元と DMAC とのハンドシェイクを容易にとることが可能です。

(3) 動作説明

(a) サイクルスチールモード

サイクルスチールモードの場合、 $\overline{\text{DREQ}}$ サンプリングタイミングは、デュアルアドレスモードでもシングルアドレスモードでも、また $\overline{\text{DREQ}}$ 検出方法がレベルでもエッジでも同じです。

たとえば、図10.14 (サイクルスチールモード、デュアルアドレス、レベル検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所、すなわち CPU (3) の転送が始まる場所から開始されます。このとき $\overline{\text{DREQ}}$ が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

図10.15のように、CPUの転送サイクルが何サイクルであっても、DMAC転送の開始される1バスサイクル前の転送が始まる場所から次のサンプリングは開始されます。

図10.14はDACKを読み出し時に出力、図10.15はDACKを書き込み時に出力する例です。

図10.16、図10.17はサイクルスチールモードのシングルアドレスの場合です。この場合も1回目の $\overline{\text{DREQ}}$ サンプリングから、最も早い場合で3サイクル後に転送開始されます。2回目のサンプリングは、1回目のDMAC転送の開始される1バスサイクル前の転送が始まる場所から開始されます。シングルアドレスモードでは、DACK信号はDMACの転送期間中出力されます。

(b) バーストモード、デュアルアドレス、レベル検出

バーストモード、デュアルアドレス、レベル検出の場合の $\overline{\text{DREQ}}$ サンプリングタイミングを図10.18、図10.19に示します。

バーストモード、デュアルアドレス、レベル検出の場合、 $\overline{\text{DREQ}}$ サンプリングタイミングはサイクルスチールモードとほぼ同じです。

たとえば図10.18の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングも、1 回目の DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所から開始されます。バーストモードの場合、転送要求があるかぎり DMAC 転送が連続で行われるので、“DMAC 転送の開始される 1 バスサイクル前の転送” が DMAC の転送の場合があります。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

(c) バーストモード、シングルアドレス、レベル検出

バーストモード、シングルアドレス、レベル検出の場合の $\overline{\text{DREQ}}$ サンプリングタイミングを図10.20、図10.21に示します。

10. ダイレクトメモリアクセスコントローラ (DMAC)

バーストモード、シングルアドレス、レベル検出の場合、1回目のサンプリングが行われたタイミングから、最も早い場合で3サイクル後にダミーサイクルが1バスサイクル出力されます。この期間のデータは不定であり、DACKも出力されません。また、DMACの転送回数にもカウントされません。ダミーサイクルが1バスサイクル出力された後、実際のDMAC転送が開始されます。

2回目のサンプリングが始まる、“1回目のDMAC転送の開始される1バスサイクル前の転送”にもダミーサイクルはカウントしません。したがって2回目のサンプリングは、ダミーサイクルの始まるバスサイクルから行われるのではなく、CPU (3) のバスサイクルから開始されます。

その後 $\overline{\text{DREQ}}$ が連続でサンプリングされている限り、ダミーサイクルが挿入されることはありません。この間の $\overline{\text{DREQ}}$ サンプリングタイミングは、サイクルスチールモード同様DMAC転送の開始される1バスサイクル前の転送が始まることから開始されます。

図10.20の4回目のサンプリングのように、いったんDMAC転送がとぎれた場合、再びDMAC転送の最初にダミーサイクルが挿入されます。

DACKの出力期間は、サイクルスチールモードの場合と同じです。

(d) バーストモード、デュアルアドレス、エッジ検出

バーストモード、デュアルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の1回しか行いません。たとえば図10.22の場合、1回目のサンプリングが行われたタイミングから最も早い場合で3サイクル後にDMACの転送が始まります。その後DMATCRに設定した回数データ転送が終了するまで、DMAC転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。したがってDRAKも最初の1回出力されるだけで、以後は出力されません。

NMIやアドレスエラーが発生して停止した後DMAC転送を再開したい場合は、再びエッジ要求を入力してください。DRAKを1回出力した後、残りの転送を再開します。

バーストモードでもDACKの出力期間は、サイクルスチールモードの場合と同じです。

(e) バーストモード、シングルアドレス、エッジ検出

バーストモード、シングルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の1回しか行いません。たとえば図10.23の場合、1回目のサンプリングが行われたタイミングから最も早い場合で3サイクル後にダミーサイクルが1バスサイクル出力されます。この期間のデータは不定であり、DACKも出力されません。またDMACの転送回数にもカウントされません。ダミーサイクルが1バスサイクル出力された後、実際のDMAC転送が開始されます。その後DMATCRに設定した回数データ転送が終了するまで、DMAC転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。したがってDRAKも最初の1回出力されるだけで、以後は出力されません。

NMIやアドレスエラーが発生して停止した後DMAC転送を再開したい場合は、再びエッジ要求を入力してください。DRAKを1回出力し、ダミーサイクルを1バスサイクル出力した後、残りの転送を再開します。

バーストモードでもDACKの出力期間は、サイクルスチールモードの場合と同じです。

10. ダイレクトメモリアクセスコントローラ (DMAC)

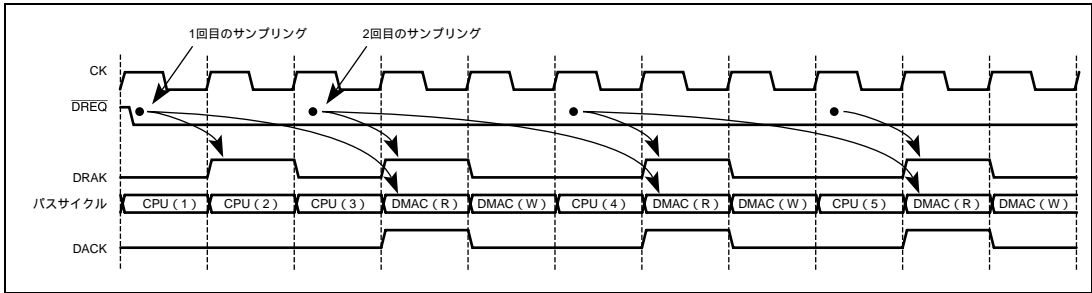


図 10.14 サイクルスチール、デュアル、レベル (最高速動作)

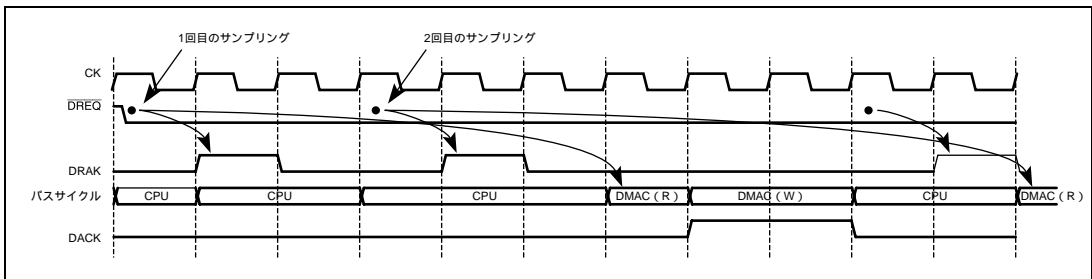


図 10.15 サイクルスチール、デュアル、レベル (通常動作)

【注】 サイクルスチール、デュアル動作では、 \overline{DREQ} 検出方法がレベルでもエッジでもサンプリングタイミングは同じです。

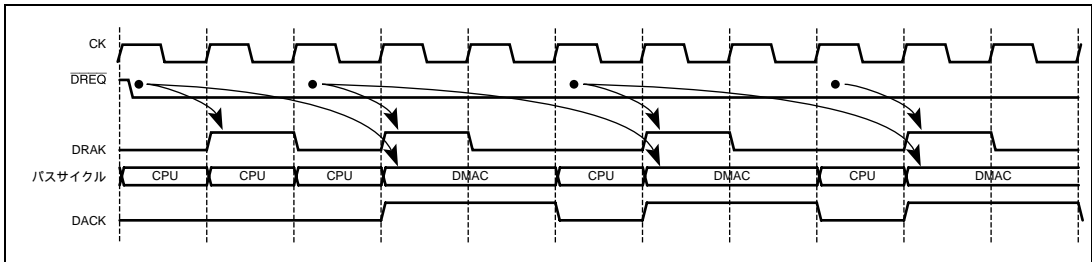


図 10.16 サイクルスチール、シングル、レベル (最高速動作)

10. ダイレクトメモリアクセスコントローラ (DMAC)

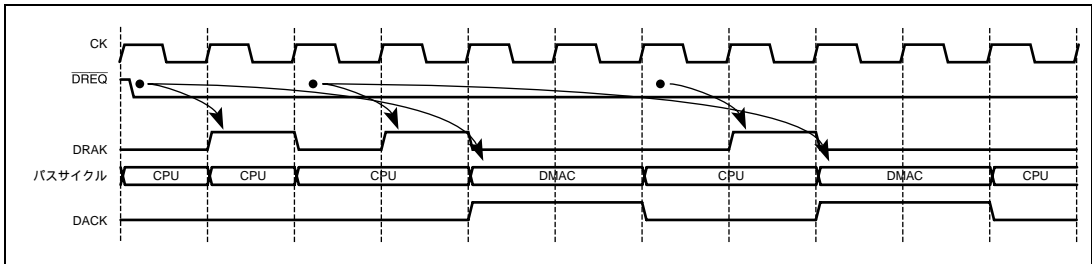


図 10.17 サイクルスチール、シングル、レベル (通常動作)

【注】 サイクルスチール、シングル動作では、 \overline{DREQ} 検出方法がレベルでもエッジでもサンプリングタイミングは同じです。

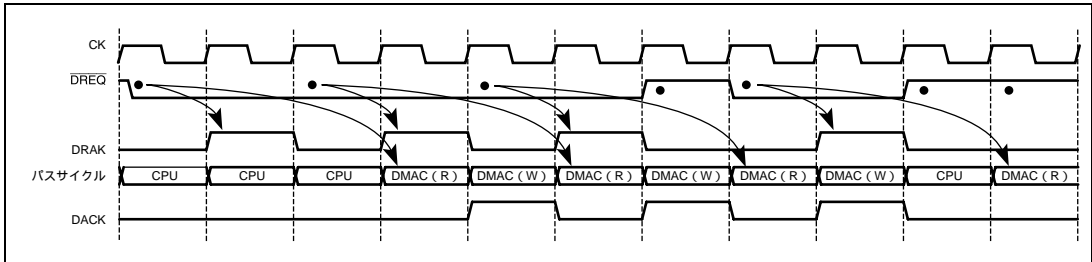


図 10.18 バースト、デュアル、レベル (最高速動作)

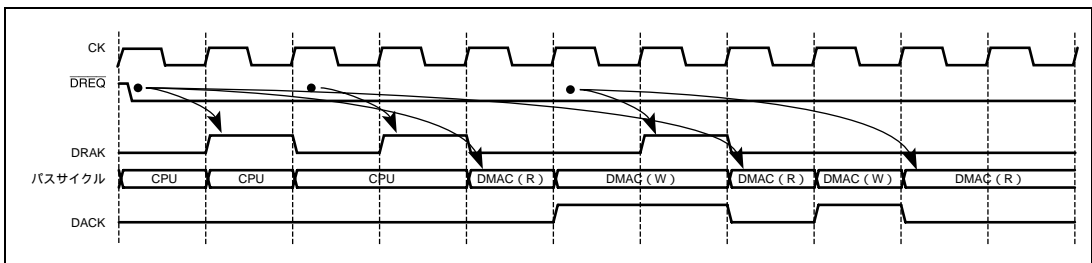


図 10.19 バースト、デュアル、レベル (通常動作)

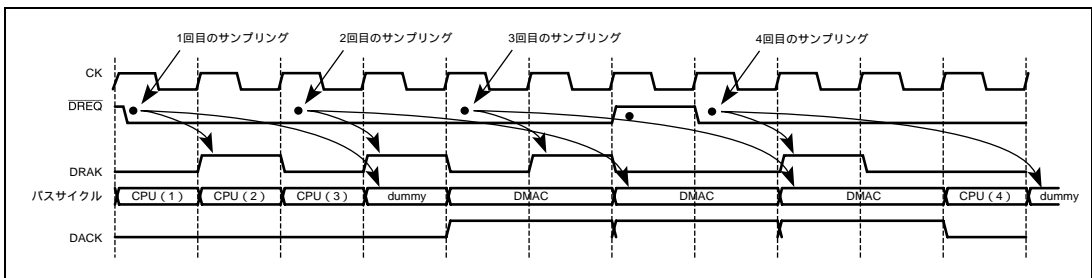


図 10.20 バースト、シングル、レベル (最高速動作)

10. ダイレクトメモリアクセスコントローラ (DMAC)

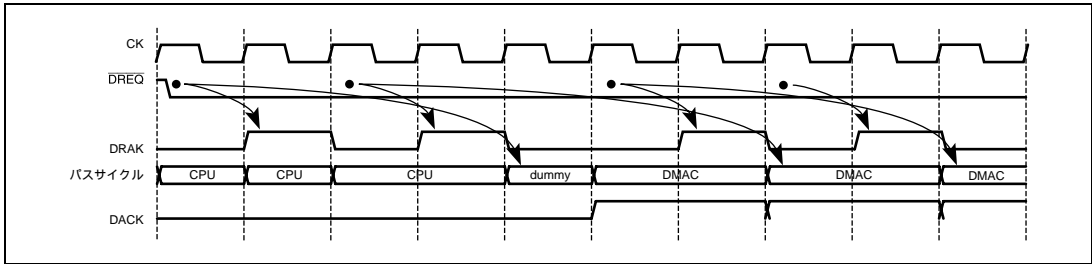


図 10.21 バースト、シングル、レベル (通常動作)

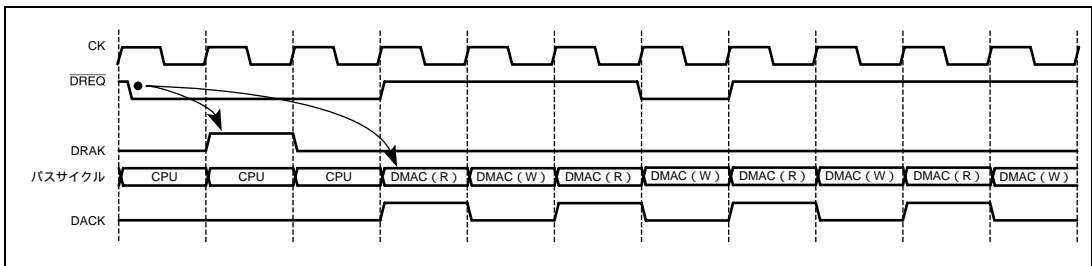


図 10.22 バースト、デュアル、エッジ

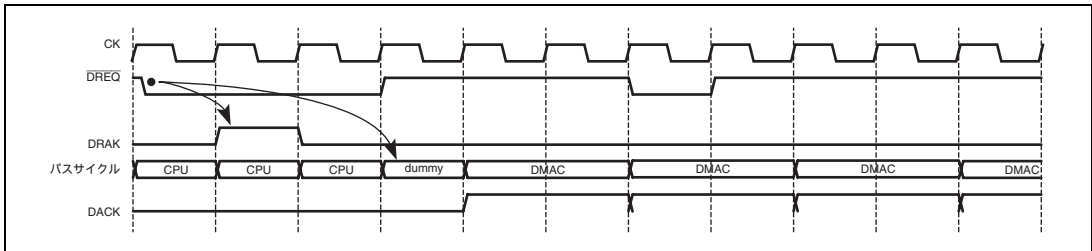


図 10.23 バースト、シングル、エッジ

10. ダイレクトメモリアクセスコントローラ (DMAC)

10.4.6 ソースアドレスリロード機能

チャンネル2はCHCR2のROビットを1にセットすることで、4回の転送ごとに、最初にソースアドレスレジスタ(SAR2)に設定した値に復帰するリロード機能があります。この動作を図10.24に示します。また図10.25に、チャンネル2のみ使用で、バーストモード、オートリクエスト、転送データサイズ16ビット、SAR2カウントアップ、DAR2固定状態で、リロード機能ON状態のタイムチャートを示します。

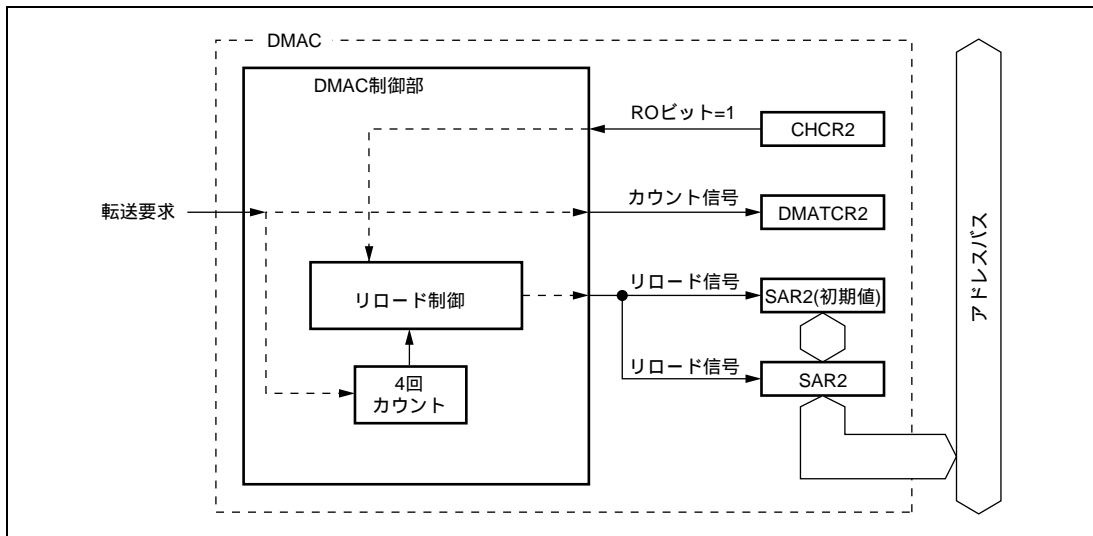


図 10.24 ソースアドレスリロード機能図

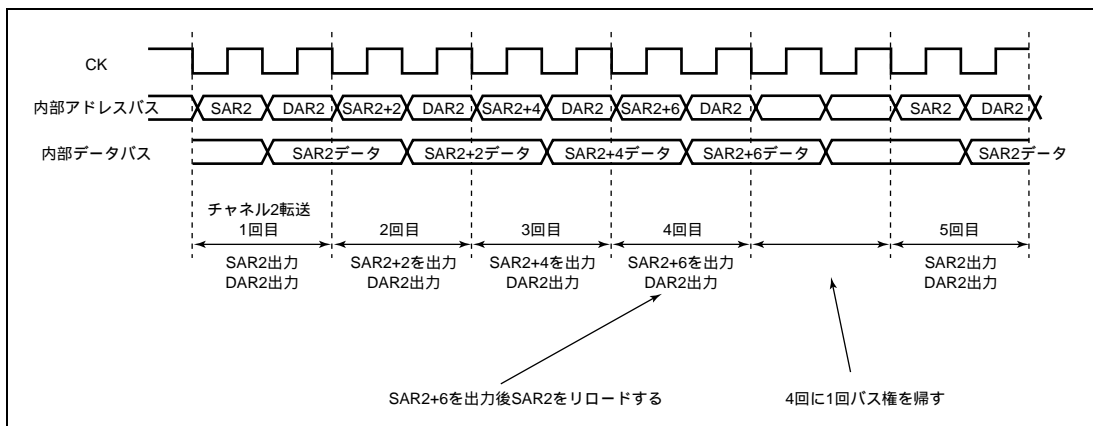


図 10.25 ソースアドレスリロード機能タイムチャート

転送データサイズが8ビット、16ビット、32ビットのいずれの場合でも、リロード機能は実行可能です。

転送回数を指定するDMATCR2は、リロード機能のオン、オフにかかわらず、1転送単位の転送終了ごとに1カウントダウンします。このためリロード機能をオンで使用する場合は、DMATCR2には、必ず4の倍数を指定してください。それ以外の値を設定した場合の動作は、保証しません。また、アドレスリロードのために4回転送したことをカウントしているカウンタは、リセットやソフトウェアスタンバイモードの他、DMAORのDMEビットのクリア、CHCR2のDEビットのクリア、転送終了フラグ(CHCR2のTEビット)のセット、NMI入力、AEフラグ(DMAC転送によるアドレスエラーの発生)のセットによってリセットされますが、SAR2、DAR2、DMATCR2などのレジスタはリセットされません。このため、これらの要因が発生すると、DMAC内部に初期化されたカウンタと、初期化されないレジスタが混在することになり、そのまま再スタートをかけると誤動作する場合があります。以上から、アドレスリロード機能使用中にTEのセット以外の上記の要因が発生した場合は、SAR2、DAR2、DMATCR2の設定から実行しなおしてください。

10.4.7 DMA 転送終了

DMA 転送終了条件は、1チャンネルずつの終了と全チャンネルの同時終了とで異なります。

(1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- DMAトランスファカウンタレジスタ(DMATCR)の値が0になる。
- DMAチャンネルコントロールレジスタ(CHCR)のDEビットを0にクリアする。

(a) DMATCR=0による転送終了

DMATCRの値が0になると、対応するチャンネルのDMA転送が終了し、CHCRのトランスファエンドフラグビット(TE)がセットされます。このときインタラプトイネーブルビット(IE)がセットされていると、CPUにDMAC割り込み(DEI)が要求されます。

(b) CHCRのDE=0による転送終了

CHCRのDMAイネーブルビット(DE)をクリアすると、対応するチャンネルのDMA転送が中断されます。この場合にはTEビットはセットされません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送を終了します。

- DMAオペレーションレジスタ(DMAOR)のNMIフラグビット(NMIF)またはアドレスエラーフラグビット(AE)が1になる。
- DMAORのDMAマスタイネーブルビット(DME)を0にクリアする。

(a) DMAORのNMIF=1またはAE=1による転送終了

NMI割り込みまたはDMACによるアドレスエラーが発生して、DMAORのNMIFビットまたはAEビットが1になると、すべてのチャンネルのDMA転送が中断されます。DMACがバス権を獲得し、転送を実行している間にこれらのフラグが1にセットされた場合DMACは実行中の転送処理を終了した時点で動作を中断し、バス権を他のバスマスタに渡します。したがって転送中にNMIFビットまたはAEビットが1になっても、DMAソース

10. ダイレクトメモリアクセスコントローラ (DMAC)

アドレスレジスタ (SAR)、DMAデスティネーションアドレスレジスタ (DAR)、DMAトランスファカウンタレジスタ (DMATCR) の値は更新されます。この場合はTEビットはセットされません。NMI割り込み、アドレスエラー処理終了後に転送を再開するためには、NMIFまたはAEフラグをクリアする必要があります。そのさい、再起動させたくないチャンネルは、対応するCHCRのDEビットをクリアしてください。

転送の中断は、1転送単位の処理が終了したところで発生します。デュアルアドレスモードの直接アドレス転送で、読み出し処理中にアドレスエラー、またはNMIフラグがセットされても、続く書き込み処理が終了してから中断されます。この場合も、SAR、DAR、DMATCRの値更新は行われます。同様にデュアルアドレスモードの間接アドレス転送でも、最後の書き込み処理が終了してから中断されます。

(b) DMAOR の DME=0 による転送終了

DMAORのDMEビットを0にクリアすると、全チャンネルのDMA転送が中断されます。この場合にはTEビットはセットされません。

10.4.8 CPU からの DMAC アクセス

DMACがアドレッシングされている空間は3サイクル空間です。したがってCPUがバスマスタとなってDMACをアクセスする場合の1バスサイクルは、最低システムクロック(ϕ)3サイクルを必要とします。またDMACはワード空間に配置されています。したがってDMACに対しワードサイズのアクセスを行った場合は1バスサイクルで終了しますが、ロングワードアクセスを行った場合は、自動的にワードアクセス2回に分割され、2バスサイクル=6基本クロックを必要とします。なお、この分割された2回のバスサイクルは連続で実行されます。ワードアクセスとワードアクセスの間に別のバスサイクルが挿入されることはありません。これは読み出しアクセスの場合も書き込みアクセスの場合も同じです。

10.5 使用例

10.5.1 内蔵 SCI と外部メモリとの DMA 転送例

内蔵シリアルコミュニケーションインタフェース、チャンネル0 (SCI0) の受信データを、DMAC のチャンネル3 を使って外部メモリに転送する例を考えます。

表 10.6 に転送条件と、各レジスタの設定値を示します。

表 10.6 内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 SCI0 の RDR0	SAR_3	H'FFFF81A5
転送先：外部メモリ	DAR_3	H'00400000
転送回数：64 回	DMATCR_3	H'00000040
転送元アドレス：固定	CHCR_3	H'00004D05
転送先アドレス：増加		
転送要求元：SCI0 (RDR0)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生		
チャンネル優先順位：0 > 1 > 2 > 3	DMAOR	H'0001

10.5.2 外部 RAM と DACK 付外部デバイスとの DMA 転送例

外部リクエスト、シングルアドレスモードで、転送元が外部メモリ、転送先が DACK 付き外部デバイスの場合の転送を、DMAC のチャンネル1 を使用して実行する例を示します。

表 10.7 に転送条件と、各レジスタの設定値を示します。

表 10.7 外部 RAM と DACK 付外部デバイス間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部 RAM	SAR_1	H'00400000
転送先：DACK 付外部デバイス	DAR_1	(DACK によりアクセス)
転送回数：32 回	DMATCR_1	H'00000020
転送元アドレス：減少	CHCR_1	H'00002269
転送先アドレス：(設定無効)		
転送要求元：外部端子 (DREQ1) エッジ検出		
バスモード：バースト		
転送単位：ワード		
転送終了時に割り込み要求なし		
チャンネル優先順位：2 > 0 > 1 > 3	DMAOR	H'0201

10. ダイレクトメモリアクセスコントローラ (DMAC)

10.5.3 A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン)

内蔵 A/D 変換器が転送元、内蔵メモリが転送先で、アドレスリロード機能オンの場合の例を考えます。

表 10.8 に転送条件と、各レジスタの設定値を示します。

表 10.8 A/D 変換器 (A/D1) と内蔵メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 A/D 変換器 (A/D1)	SAR_2	H'FFFF8428
転送先：内蔵メモリ	DAR_2	H'FFFFF000
転送回数：128 回 (リロード回数 32 回)	DMATCR_2	H'00000080
転送元アドレス：増加	CHCR_2	H'00085B25
転送先アドレス：増加		
転送要求元：A/D 変換器 (A/D1)		
バスモード：バースト		
転送単位：バイト		
転送終了時に割り込み要求発生		
チャンネル優先順位：0 > 2 > 3 > 1		

アドレスリロードをオンにすると、4 回の転送ごとに SAR の値が最初に設定した値に戻ります。上記の例では、A/D 変換器 (A/D1) から転送要求が入ると、まず A/D 変換器 (A/D1) の H'FFFF8428 のレジスタからバイトサイズのデータを読み出し、内蔵メモリの H'FFFFF000 番地にそのデータを書き込みます。バイトサイズの転送を行ったので、この時点で SAR、DAR の値はそれぞれ H'FFFF8429、H'FFFFF001 となっています。またバースト転送であるため、バス権を確保したままなので、データ転送を連続して進めていきます。

4 回の転送が終了すると、アドレスリロードオフの場合はそのまま 5 回目、6 回目と転送を続けて実行し、SAR の値は H'FFFF842B→H'FFFF842C→H'FFFF842D... と増加し続けますが、アドレスリロードオンの場合は 4 回目終了すると、DMAC 転送を中止し、CPU へのバス権要求信号をクリアします。このとき SAR 内に格納されている値は H'FFFF842B→H'FFFF842C ではなく、H'FFFF842B→H'FFFF8428 と最初に設定したアドレスに戻っています。DAR の値はアドレスリロードのオン/オフに関係なく、常に増加を続けます。

10. ダイレクトメモリアクセスコントローラ (DMAC)

以上から DMAC 内部は 4 回目の転送が終了した時点で、アドレスリロードオンの場合とオフの場合では、表 10.9 に示した状態となっています。

表 10.9 DMAC 内部状態

	アドレスリロードオン	アドレスリロードオフ
SAR	H'FFFF8428	H'FFFF842C
DAR	H'FFFFFF004	H'FFFFFF004
DMATCR	H'0000007C	H'0000007C
バス権	解放	保持
DMAC 動作	停止	処理続行中
割り込み	未発	未発
転送要求元フラグクリア	実行	未実行

- 【注】
1. 割り込みは、DMATCR の値が 0 になるまで実行し、CHCR の IE ビットが 1 にセットされていれば、アドレスリロードのオン / オフに関係なく発生します。
 2. 転送要求元フラグクリアは、DMATCR の値が 0 になるまで実行すれば、アドレスリロードのオン / オフに関係なく実行されます。
 3. アドレスリロード機能を使用する場合は、バーストモードを指定してください。サイクルスチールモードで実行すると正常に動作しない場合があります。
 4. アドレスリロード機能を使用する場合は、DMATCR の値は 4 の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。

アドレスリロードオンの状態で 5 回目以後の転送を実行したい場合は、再び転送要求元から、転送要求信号を発生させてください。

10. ダイレクトメモリアクセスコントローラ (DMAC)

10.5.4 外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)

DMAC のチャンネル 3 を使用して、転送元が間接アドレス指定外部メモリで、転送先が SCI1 の送信側の場合の例を考えます。

表 10.10 に転送条件と、各レジスタの設定値を示します。

表 10.10 外部メモリと SCI1 送信側間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR_3	H'00400000
H'00400000 番地に格納されている値	-	H'00450000
H'00450000 番地に格納されている値	-	H'55
転送先：内蔵 SCI_1、TDR_1	DAR_3	H'FFFF81B3
転送回数：10 回	DMATCR_3	H'0000000A
転送元アドレス：増加	CHCR_3	H'00101E01
転送先アドレス：固定		
転送要求元：SCI_1 (TDR_1)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生せず		
チャンネル優先順位：0 > 1 > 2 > 3	DMAOR	H'0001

インダイレクトアドレスをオンにすると、SAR に設定したアドレスに格納されたデータは、転送元のデータとしては使用されません。インダイレクトアドレスの場合、SAR のアドレスに格納された値を読み出した後、その読み出した値をもう一度アドレスとして使用し、そのとき読み出された値を転送元データとして使用し、その値を DAR に指定されたアドレスに格納します。

表の例では、SCI_1 の TDR_1 の転送要求が発生すると、まず SAR_3 にセットされている値である H'00400000 番地のアドレスを読み出しに行きます。この H'00400000 番地には H'00450000 が格納されており、DMAC はまず H'00450000 を読み出してきます。次に DMAC は、読み出した H'00450000 を再びアドレスとして使用し、H'00450000 番地に格納されている H'55 を読み出します。最後に DAR_3 に指定された H'FFFF81B3 番地に H'55 を書き込んで、1 回のインダイレクトアドレス転送が終了します。

インダイレクトアドレスでは、最初に実行する SAR_3 に設定されたアドレスからのデータ読み出しでは、転送データサイズの指定である TS0、TS1 ビットの指定とは無関係に、常にロングワードサイズの転送となります。ただし転送元アドレスの固定、増加、減少の指定は SM0、SM1 ビットに従います。したがって今回の例では、転送データサイズの指定がバイトサイズであるにもかかわらず、1 回の転送が終了した時点で SAR_3 の値は H'00400004 となります。書き込み動作は通常のデュアルアドレス転送の書き込み動作の場合とまったく同じです。

10.6 使用上の注意

1. DMAオペレーションレジスタ (DMAOR) はワード (16ビット) 単位のアクセスのみ可能です。DMAOR以外のレジスタは、すべてワード (16ビット) またはロングワード (32ビット) 単位のアクセスが可能です。
2. CHCR0 ~ CHCR3のRS0 ~ RS3ビット書き換える場合は、DEビットを0にしてから書き換えてください (CHCRを書き換える場合は、あらかじめDEビットを0に設定しておいてください)。
3. DMACが動作していないときにNMI割り込みが入力されても、DMAORのNMIFビットはセットされます。
4. ソフトウェアスタンバイモードにするときはDMAORのDMEビットを0にして、DMACが受け付けた転送要求分の処理がすべて終了してから行ってください。
5. 内蔵周辺モジュールのうちDMAC、DTC、BSC、UBCをDMACによりアクセスしないでください。
6. DMACに起動をかける場合は、CHCRの設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。
7. DMATCRのカウンタが0となってDMA転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ずDMATCRに0書き込みを実行してください。そうでないと正常に動作しない場合があります。
8. アドレスリロード機能を使用する場合、転送モードはバーストモードを指定してください。サイクルスチールモードでは正常に動作しない場合があります。
9. アドレスリロード機能を使用する場合、DMATCRの値は4の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。
10. 外部リクエストを立ち下がりエッジで検出する場合、DMACの設定を行うときには、外部リクエスト端子をハイレベルに保持しておいてください。
11. シングルアドレスモードで動作させる場合、アドレスは外部アドレスを設定してください。内部アドレスを設定すると、正常に動作しない場合があります。
12. DMACで未使用である、H'FFFF86B2 ~ H'FFFF86BFの空間はアクセスしないでください。誤動作する場合があります。

10. ダイレクトメモリアクセスコントローラ (DMAC)

11. マルチファンクションタイマパルスユニット (MTU)

本 LSI は、5 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット(MTU) を内蔵しています。ブロック図を図 11.1 に示します。

11.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相のPWM出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2はおのおの独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 23種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- CH0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ (ブラシレスDCモータ) 駆動モードが設定可能で、2種 (チョッピング、レベル) の波形出力が選択可能

11. マルチファンクションタイマパルスユニット (MTU)

表 11.1 MTU の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
カウントクロック	Pφ / 1 Pφ / 4 Pφ / 16 Pφ / 64 TCLKA TCLKB TCLKC TCLKD	Pφ / 1 Pφ / 4 Pφ / 16 Pφ / 64 Pφ / 256 TCLKA TCLKB	Pφ / 1 Pφ / 4 Pφ / 16 Pφ / 64 Pφ / 1024 TCLKA TCLKB TCLKC	Pφ / 1 Pφ / 4 Pφ / 16 Pφ / 64 Pφ / 256 Pφ / 1024 TCLKA TCLKB	Pφ / 1 Pφ / 4 Pφ / 16 Pφ / 64 Pφ / 256 Pφ / 1024 TCLKA TCLKB
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	-	-	TGRC_3 TGRD_3	TGRC_4 TGRD_4
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力				
	1 出力				
	トグル出力				
インプットキャプチャ機能					
同期動作					
PWM モード 1					
PWM モード 2				-	-
相補 PWM モード	-	-	-		
リセット PWM モード	-	-	-		
AC 同期モータ駆動モード		-	-		
位相計数モード	-			-	-
バッファ動作		-	-		

【記号説明】

: 可能

- : 不可

11. マルチファンクションタイマパルスユニット (MTU)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
DMAC の起動	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャと TCNT オーバーフロー/ アンダフロー
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ
割り込み要因	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 0A • コンペアマッチ / インプットキャプチャ 0B • コンペアマッチ / インプットキャプチャ 0C • コンペアマッチ / インプットキャプチャ 0D • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 1A • コンペアマッチ / インプットキャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 2A • コンペアマッチ / インプットキャプチャ 2B • オーバフロー • アンダフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 3A • コンペアマッチ / インプットキャプチャ 3B • コンペアマッチ / インプットキャプチャ 3C • コンペアマッチ / インプットキャプチャ 3D • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 4A • コンペアマッチ / インプットキャプチャ 4B • コンペアマッチ / インプットキャプチャ 4C • コンペアマッチ / インプットキャプチャ 4D • オーバフロー / アンダフロー

11. マルチファンクションタイマパルスユニット (MTU)

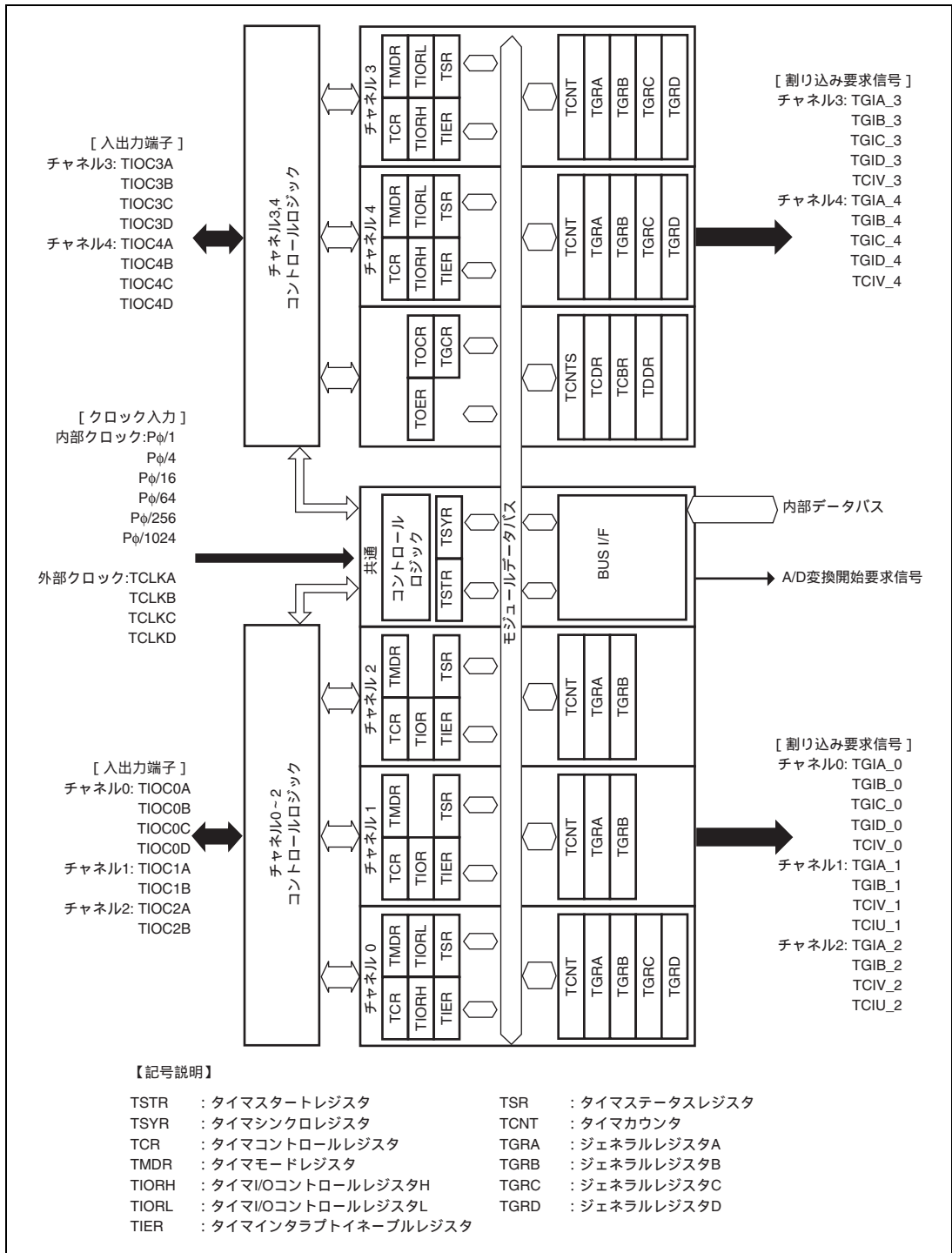


図 11.1 MTU のブロック図

11.2 入出力端子

表 11.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

11.3 レジスタの説明

MTU には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名についてはチャンネル 0 の TCR は TCR_0 と表記してあります。

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)
- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)
- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)

- タイマI/OコントロールレジスタH_3 (TIORH_3)
- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)
- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/OコントロールレジスタH_4 (TIORH_4)
- タイマI/OコントロールレジスタL_4 (TIORL_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)
- タイマジェネラルレジスタC_4 (TGRC_4)
- タイマジェネラルレジスタD_4 (TGRD_4)

共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

タイマ3/4 共通レジスタ

- タイマアウトプットマスタイネーブルレジスタ (TOER)
- タイマアウトプットコントロールレジスタ (TOCR)
- タイマゲートコントロールレジスタ (TGCR)
- タイマ周期データレジスタ (TCDR)
- タイマデッドタイムデータレジスタ (TDDR)
- タイマサブカウンタ (TCNTS)
- タイマ周期バッファレジスタ (TCBR)

11. マルチファンクションタイマパルスユニット (MTU)

11.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御する 8 ビットのリード/ライト可能なレジスタです。MTU には、チャンネル 0~4 に各 1 本、計 5 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 11.3、表 11.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0
3	CKEG0	0	R/W	<p>入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: $P_{\phi}/4$ の両エッジ = $P_{\phi}/2$ の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $P_{\phi}/4$ もしくはそれより遅い場合に有効です。入力クロックに $P_{\phi}/1$、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値となります。</p> <p>00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント</p> <p>【記号説明】X: Don't care</p>
2	TPSC2	0	R/W	タイマプリスケラ 2、1、0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 11.5~表 11.8 を参照してください。
0	TPSC0	0	R/W	

表 11.3 CCLR2~CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.4 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット7	ビット6	ビット5	説 明
	リザーブ*2	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

表 11.5 TPSC2~TPSC0 (チャンネル 0)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : $P\phi/1$ でカウント
	0	0	1	内部クロック : $P\phi/4$ でカウント
	0	1	0	内部クロック : $P\phi/16$ でカウント
	0	1	1	内部クロック : $P\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 11.6 TPSC2~TPSC0 (チャンネル 1)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : $P\phi/1$ でカウント
	0	0	1	内部クロック : $P\phi/4$ でカウント
	0	1	0	内部クロック : $P\phi/16$ でカウント
	0	1	1	内部クロック : $P\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : $P\phi/256$ でカウント
	1	1	1	TCNT_2 のオーバフロー / アンダフローでカウント

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.7 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : $P\phi/1$ でカウント
	0	0	1	内部クロック : $P\phi/4$ でカウント
	0	1	0	内部クロック : $P\phi/16$ でカウント
	0	1	1	内部クロック : $P\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : $P\phi/1024$ でカウント

【注】チャンネル2が位相計数モード時、この設定は無効になります。

表 11.8 TPSC2~TPSC0 (チャンネル3、4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : $P\phi/1$ でカウント
	0	0	1	内部クロック : $P\phi/4$ でカウント
	0	1	0	内部クロック : $P\phi/16$ でカウント
	0	1	1	内部クロック : $P\phi/64$ でカウント
	1	0	0	内部クロック : $P\phi/256$ でカウント
	1	0	1	内部クロック : $P\phi/1024$ でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

11.3.2 タイマモードレジスタ (TMDR)

TMDRは8ビットのリード/ライト可能なレジスタで、各チャンネルの動作モードの設定を行います。MTUには、各チャンネル1本、計5本のTMDRがあります。TMDRの設定は、TCNTの動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7、6	—	すべて1	—	リザーブ リードすると常に1がリードされます。ライトする値は常に1にしてください。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に0がリードされます。書き込み時は常に0をライトしてください。 0 : TGRB と TGRD は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に0がリードされます。書き込み時は常に0をライトしてください。 0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0 MD3~MD0 はタイマの動作モードを設定します。 詳細は表 11.9 を参照してください。
2	MD2	0	R/W	
1	MD1	0	R/W	
0	MD0	0	R/W	

11. マルチファンクションタイマパルスユニット (MTU)

表 11.9 MD3 ~ MD0

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2 (*1)
0	1	0	0	位相計数モード 1 (*2)
0	1	0	1	位相計数モード 2 (*2)
0	1	1	0	位相計数モード 3 (*2)
0	1	1	1	位相計数モード 4 (*2)
1	0	0	0	リセット同期 PWM モード (*3)
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1 (山で転送) (*3)
1	1	1	0	相補 PWM モード 2 (谷で転送) (*3)
1	1	1	1	相補 PWM モード 3 (山・谷で転送) (*3)

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

11.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御する 8 ビットのリード/ライト可能なレジスタです。MTU には、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、計 8 本の TIOR があります。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

11. マルチファンクションタイムパルスユニット (MTU)

• TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4

ビット	ビット名	初期値	R/W	説明
7	IOB3	0	R/W	I/O コントロール B3~0
6	IOB2	0	R/W	IOB3~IOB0 ビットは TGRB の機能を設定します。
5	IOB1	0	R/W	下記の表を参照してください。
4	IOB0	0	R/W	TIORH_0 : 表 11.10 TIOR_1 : 表 11.12 TIOR_2 : 表 11.13 TIORH_3 : 表 11.14 TIORH_4 : 表 11.16
3	IOA3	0	R/W	I/O コントロール A3~0
2	IOA2	0	R/W	IOA3~IOA0 は TGRA の機能を設定します。
1	IOA1	0	R/W	下記の表を参照してください。
0	IOA0	0	R/W	TIORH_0 : 表 11.18 TIOR_1 : 表 11.20 TIOR_2 : 表 11.21 TIORH_3 : 表 11.22 TIORH_4 : 表 11.24

• TIORL_0、TIORL_3、TIORL_4

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3~0
6	IOD2	0	R/W	IOD3~IOD0 ビットは TGRD の機能を設定します。
5	IOD1	0	R/W	下記の表を参照してください。
4	IOD0	0	R/W	TIORL_0 : 表 11.11 TIORL_3 : 表 11.15 TIORL_4 : 表 11.17
3	IOC3	0	R/W	I/O コントロール C3~0
2	IOC2	0	R/W	IOC3~IOC0 ビットは TGRC の機能を設定します。
1	IOC1	0	R/W	下記の表を参照してください。
0	IOC0	0	R/W	TIORL_0 : 表 11.19 TIORL_3 : 表 11.23 TIORL_4 : 表 11.25

11. マルチファンクションタイムパルスユニット (MTU)

表 11.10 TIORH_0 (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック TCNT_1のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 x: Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは0が出力されます。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.11 TIORL_0 (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

11. マルチファンクションタイムパルスユニット (MTU)

表 11.12 TIOR_1 (チャンネル1)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは0が出力されます。

11. マルチファンクションタイムパルスユニット (MTU)

表 11.13 TIOR_2 (チャンネル2)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは0が出力されず。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.14 TIORH_3 (チャンネル3)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは0が出力されず。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.15 TIORL_3 (チャンネル3)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は0 出力 コンペアマッチで0 出力
0	0	1	0		初期出力は0 出力 コンペアマッチで1 出力
0	0	1	1		初期出力は0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1 出力 コンペアマッチで0 出力
0	1	1	0		初期出力は1 出力 コンペアマッチで1 出力
0	1	1	1		初期出力は1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは0 が出力されます。

*2 TMDR_3のBFB ビットを1にセットしてTGRD_3をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.16 TIORH_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	TGRB_4 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.17 TIORL_4 (チャンネル4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ / アウトプットコンペアは発生しません。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.18 TIORH_0 (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.19 TIORL_0 (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOC0C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.20 TIOR_1 (チャンネル1)

ビット3	ビット2	ビット1	ビット1	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは0が出力されます。

11. マルチファンクションタイムパルスユニット (MTU)

表 11.21 TIOR_2 (チャンネル2)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.22 TIORH_3 (チャンネル3)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは0が出力されます。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.23 TIORL_3 (チャンネル3)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.24 TIORH_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.25 TIORL_4 (チャンネル4)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ* ²	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_4 の BFA ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

11. マルチファンクションタイマパルスユニット (MTU)

11.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は 8 ビットのリード/ライト可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。MTU には、各チャンネル 1 本、計 5 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6		1	R	リザーブ リードすると 1 がリードされます。ライトする値は常に 1 にしてください。
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

11. マルチファンクションタイムパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0: TGFB ビットによる割り込み要求 (TGIB) を禁止 1: TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0: TGFA ビットによる割り込み要求 (TGIA) を禁止 1: TGFA ビットによる割り込み要求 (TGIA) を許可

11.3.5 タイマステータスレジスタ (TSR)

TSR は 8 ビットのリード/ライト可能なレジスタで、各チャンネルのステータスの表示を行います。MTU には、各チャンネル 1 本、計 5 本の TSR があります。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、3、4 の TCNT のカウント方向を示すステータスフラグです。チャンネル 0 ではリザーブビットです。リードすると常に 1 がリードされます。ライトする値は常に 1 にしてください。 0: TCNT はダウンカウント 1: TCNT はアップカウント
6		1	R	リザーブ リードすると常に 1 がリードされます。ライトする値は常に 1 にしてください。
5	TCFU	0	R/(W)*	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 0、3、4 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。 [セット条件] TCNT の値がアンダフロー (H'0000→H'FFFF) したとき [クリア条件] TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき

11. マルチファンクションタイマパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
4	TCFV	0	R/(W)*	<p>オーバフローフラグ (TCFV)</p> <p>TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>TCNT の値がオーバフローしたとき (H'FFFF→H'0000)</p> <p>チャンネル 4 では相補 PWM モードで TCNT_4 の値がアンダフロー (H'0001→H'0000) したときにも本フラグがセットされます。</p> <p>[クリア条件]</p> <p>TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき</p> <p>チャンネル 4 では、TCIV 割り込みにより DTC が起動され、DTC の DTMR の DIESEL ビットが 0 のときにもクリアされます。</p>
3	TGFD	0	R/(W)*	<p>インプットキャプチャ / アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。</p> <p>[セット条件]</p> <p>TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき</p> <p>TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき</p> <p>[クリア条件]</p> <p>TGID 割り込みにより DTC が起動され、DTC の DTMR の DIESEL ビットが 0 のとき</p> <p>TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき</p>
2	TGFC	0	R/(W)*	<p>インプットキャプチャ / アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。</p> <p>[セット条件]</p> <p>TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき</p> <p>TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき</p> <p>[クリア条件]</p> <p>TGIC 割り込みにより DTC が起動され、DTC の DTMR の DIESEL ビットが 0 のとき</p> <p>TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき</p>

11. マルチファンクションタイムパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
1	TGFB	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき</p> <p>TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき</p> <p>[クリア条件]</p> <p>TGIB 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のとき TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき</p>
0	TGFA	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき</p> <p>TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき</p> <p>[クリア条件]</p> <p>TGIA 割り込みにより DMAC が起動されたとき</p> <p>TGIA 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のとき</p> <p>TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき</p>

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

11.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 5 本の TCNT があります。

TCNT は、リセット時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

11.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3、4 に各 4 本、チャンネル 1、2 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。TGR の初期値は、H'FFFF です。

11. マルチファンクションタイマパルスユニット (MTU)

11.3.8 タイマスタートレジスタ (TSTR)

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~4 の TCNT の動作/停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7	CST4	0	R/W	カウンタスタート 4、3 TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
6	CST3	0	R/W	
5~3		すべて 0	R	リザーブビットです。 リードすると常に 0 がリードされます。ライトする値は常に 0 としてください。
2	CST2	0	R/W	カウンタスタート 2~0 TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2 ~ TCNT_0 のカウント動作は停止 1 : TCNT_2 ~ TCNT_0 はカウント動作
1	CST1	0	R/W	
0	CST0	0	R/W	

11.3.9 タイマシンクロレジスタ (TSYR)

TSYR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SYNC4 SYNC3	0 0	R/W R/W	<p>タイマ同期 4、3</p> <p>他のチャンネルとの独立動作または同期動作を選択します。</p> <p>同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。</p> <p>同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。</p> <p>0 : TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係)</p> <p>1 : TCNT_4、TCNT_3 は同期動作</p> <p>TCNT の同期プリセット/同期クリアが可能</p>
5~3		すべて 0	R	<p>リザーブビットです。</p> <p>リードすると常に 0 がリードされます。ライトする値は常に 0 としてください。</p>
2 1 0	SYNC2 SYNC1 SYNC0	0 0 0	R/W R/W R/W	<p>タイマ同期 2~0</p> <p>他のチャンネルとの独立動作または同期動作を選択します。</p> <p>同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。</p> <p>同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。</p> <p>0 : TCNT_2 ~ TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係)</p> <p>1 : TCNT_2 ~ TCNT_0 は同期動作</p> <p>TCNT の同期プリセット/同期クリアが可能</p>

11. マルチファンクションタイマパルスユニット (MTU)

11.3.10 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと、正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。TOER レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 1	R	リザーブ リードすると 1 がリードされます。ライトする値は常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可

11.3.11 タイマアウトプットコントロールレジスタ (TOCR)

タイマアウトプットコントロールレジスタ (TOCR) は、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行います。TOCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブ リードすると 0 がリードされます。ライトする値は常に 0 にしてください。
6	PSYE	0	R/W	PWM 同期出力イネーブル PWM 周期に同期したトグル出力の許可 / 禁止を設定します。 0 : トグル出力を禁止 1 : トグル出力を許可
5~2		すべて 0	R	リザーブ リードすると 0 がリードされます。ライトする値は常に 0 にしてください。
1	OLSN	0	R/W	出力レベルセレクト N リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 11.26 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 11.27 を参照してください。

表 11.26 出力レベルセレクト機能

ビット 1	機能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル*	ローレベル	ハイレベル	ローレベル
1	ローレベル*	ハイレベル	ローレベル	ハイレベル

【注】 * 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 11.27 出力レベルセレクト機能

ビット 0	機能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 11.2 に示します。

11. マルチファンクションタイマパルスユニット (MTU)

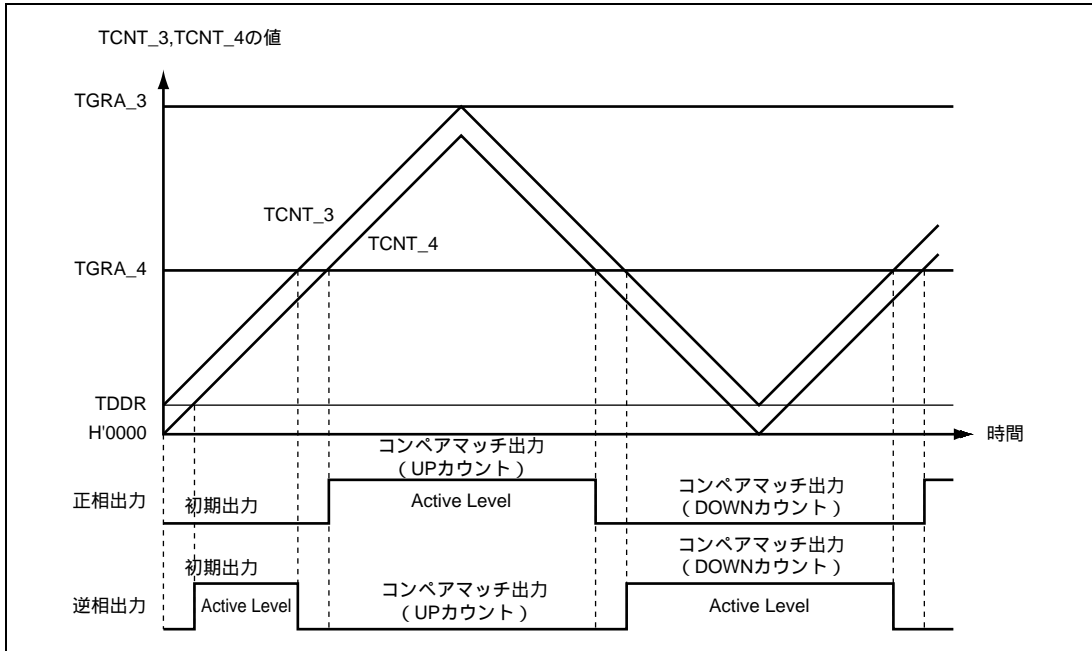


図 11.2 相補 PWM モードの出力レベルの例

11.3.12 タイマゲートコントロールレジスタ (TGCR)

タイマゲートコントロールレジスタ (TGCR) は、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モード / リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット	ビット名	初期値	R/W	説明
7		1	R	リザーブ リードすると 1 がリードされます。ライトする値は常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタ (TGCR) の機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力

11. マルチファンクションタイムパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説 明
4	P	0	R/W	ビット 4 : 正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を出力時、レベル出力をするか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0 : レベル出力 1 : リセット同期 PWM / 相補 PWM 出力
3	FB	0	R/W	外部フィードバック信号許可 正相 / 逆相の出力の切り換えを MTU / チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことによって行うかを選択します。 0 : 出力の切り換えは、外部入力 (入力元は、チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1 : 出力の切り換えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り換え 2~0
1	VF	0	R/W	正相 / 逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代りになります。表 11.28 を参照してください。
0	UF	0	R/W	

表 11.28 出力レベルセレクト機能

ビット 2	ビット 1	ビット 0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
			U 相	V 相	W 相	U 相	V 相	W 相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

11. マルチファンクションタイマパルスユニット (MTU)

11.3.13 タイマサブカウンタ (TCNTS)

タイマサブカウンタ (TCNTS) は相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

【注】 TCNTS の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

11.3.14 タイマデッドタイムデータレジスタ (TDDR)

タイマデッドタイムデータレジスタ (TDDR) は相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウンタ動作を開始します。TDDR の初期値は H'FFFF です。

【注】 TDDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

11.3.15 タイマ周期データレジスタ (TCDR)

タイマ周期データレジスタ (TCDR) は相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます (ダウンカウント→アップカウント)。TCDR の初期値は H'FFFF です。

【注】 TCDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

11.3.16 タイマ周期バッファレジスタ (TCBR)

タイマ周期バッファレジスタ (TCBR) は相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

【注】 TCBR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

11.3.17 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、およびタイマ周期データレジスタ (TCDR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

11.4 動作説明

11.4.1 基本動作

各チャンネルには、TCNTとTGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGRは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

MTUの外部端子の機能設定は必ずピンファンクションコントローラ(PFC)で行ってください。

(1) カウンタの動作

TSTRのCST0~CST4ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図11.3に示します。

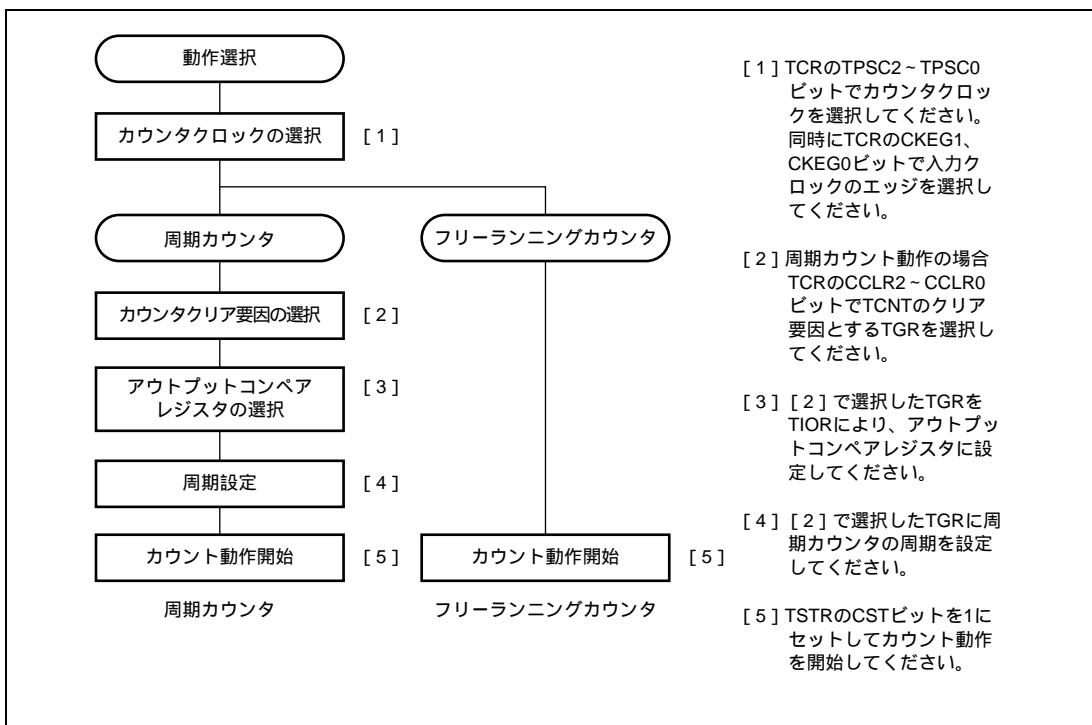


図 11.3 カウンタ動作設定手順例

11. マルチファンクションタイマパルスユニット (MTU)

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー (H'FFFF→H'0000) すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、MTU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 11.4 に示します。

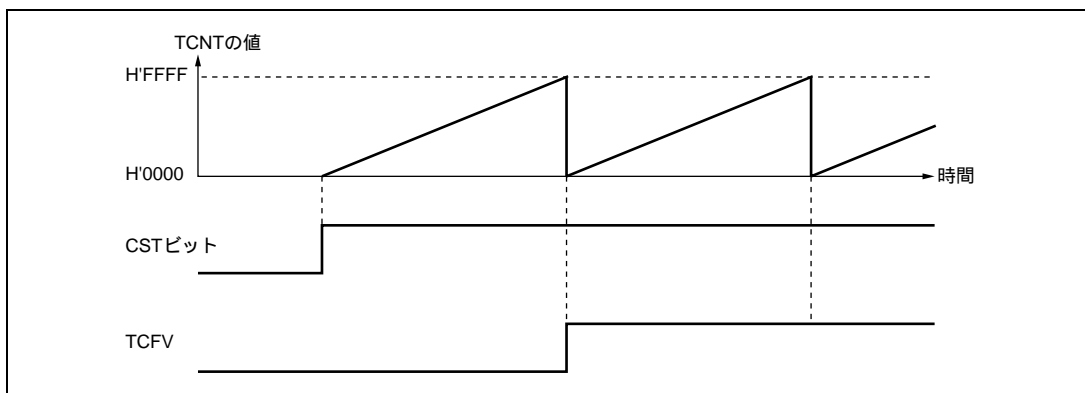


図 11.4 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2～CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、MTU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 11.5 に示します。

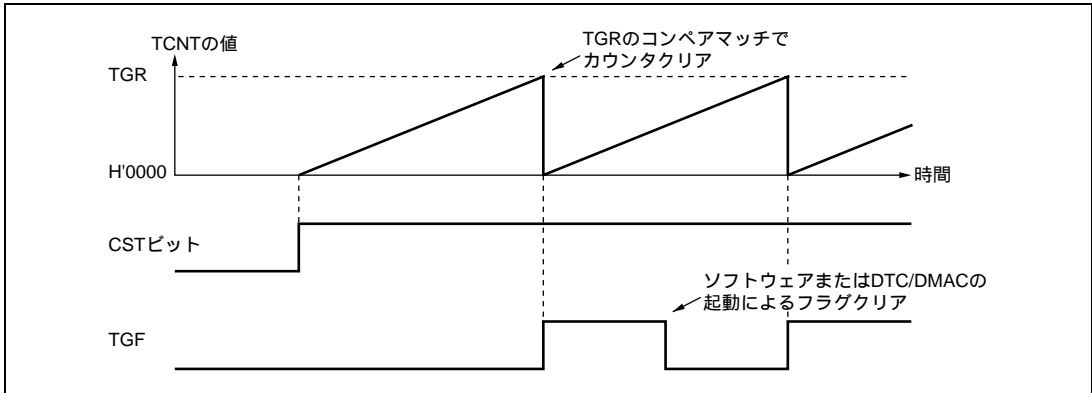


図 11.5 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 11.6 に示します。

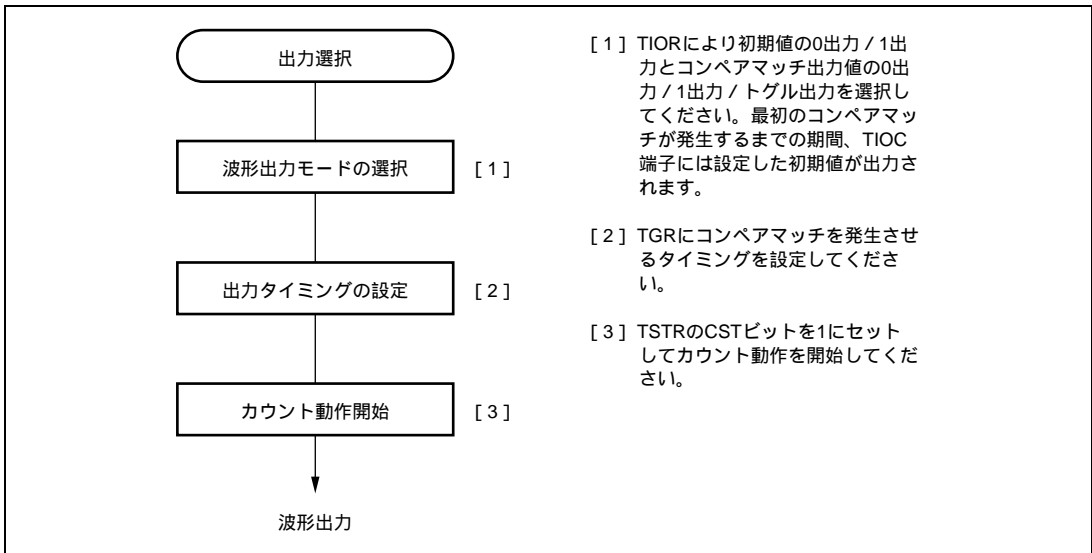


図 11.6 コンペアマッチによる波形出力動作例

11. マルチファンクションタイマパルスユニット (MTU)

(b) 波形出力動作例

0 出力 / 1 出力例を図 11.7 に示します。

TCNT をフリーランニングカウンタ動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

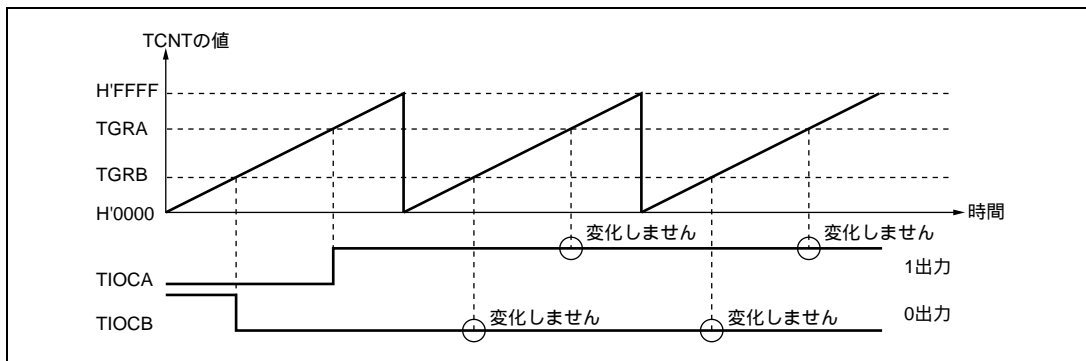


図 11.7 0 出力 / 1 出力の動作例

トグル出力の例を図 11.8 に示します。

TCNT を周期カウンタ動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

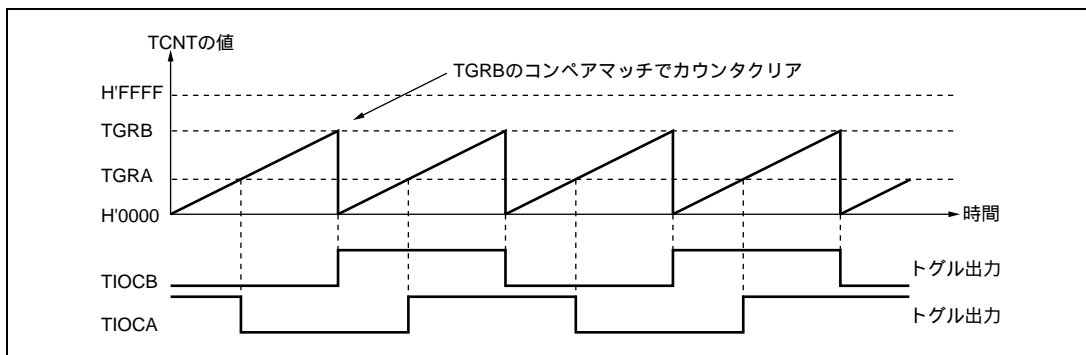


図 11.8 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに Pφ / 1 を選択しないでください。Pφ / 1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 11.9 に示します。

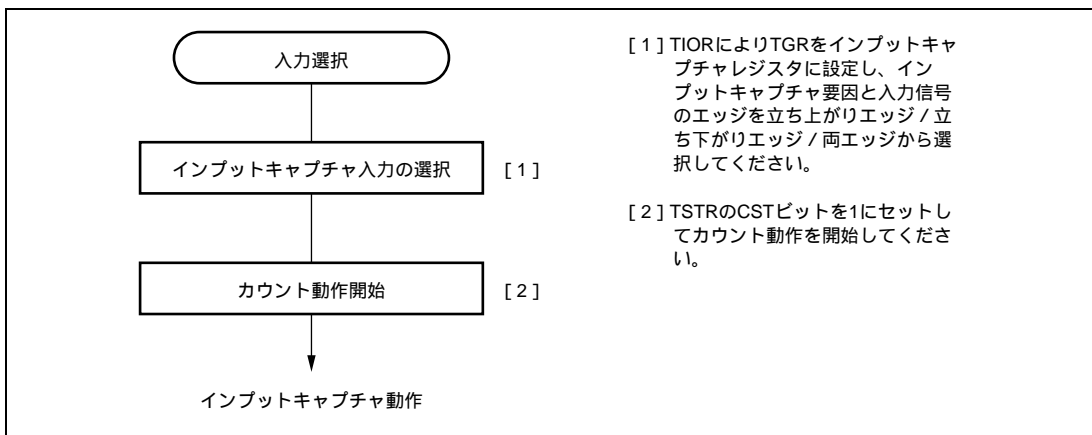


図 11.9 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 11.10 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

11. マルチファンクションタイマパルスユニット (MTU)

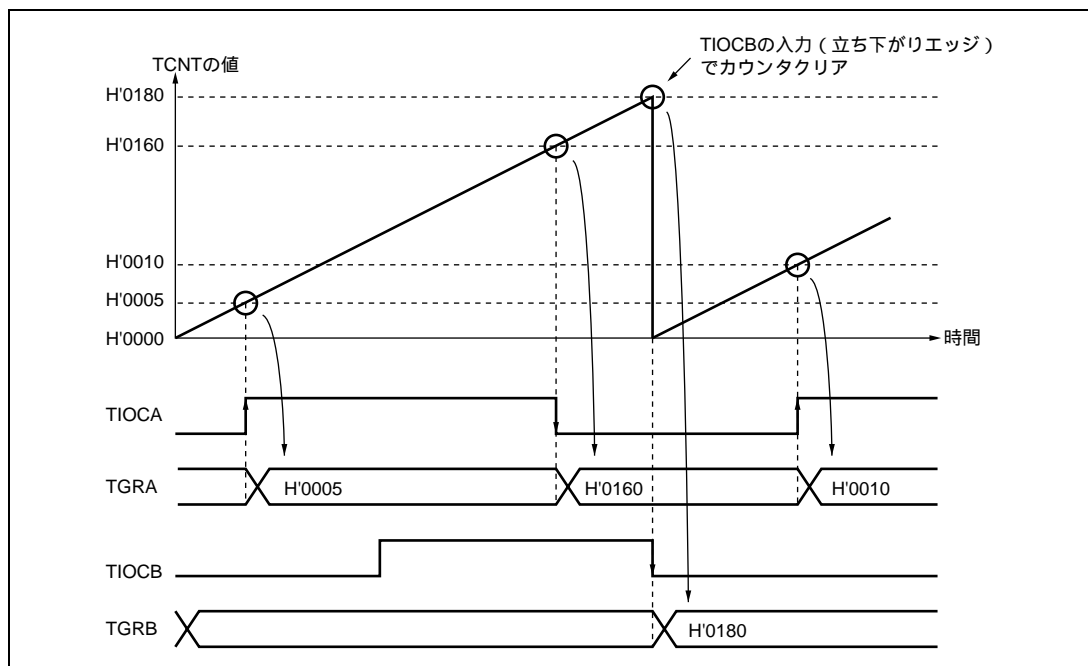


図 11.10 インプットキャプチャ動作例

11.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0~4 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 11.11 に示します。

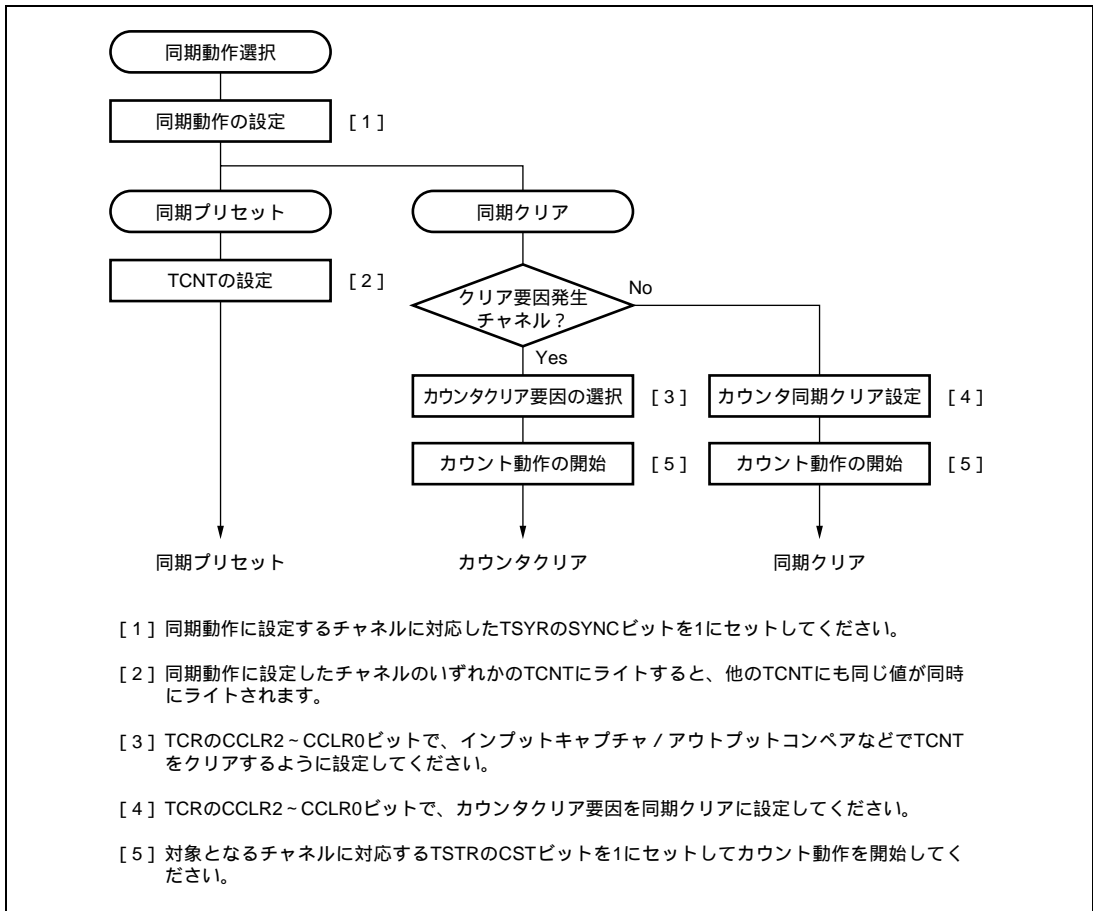


図 11.11 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 11.12 に示します。

チャンネル 0～2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0～2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「11.4.5 PWM モード」を参照してください。

11. マルチファンクションタイマパルスユニット (MTU)

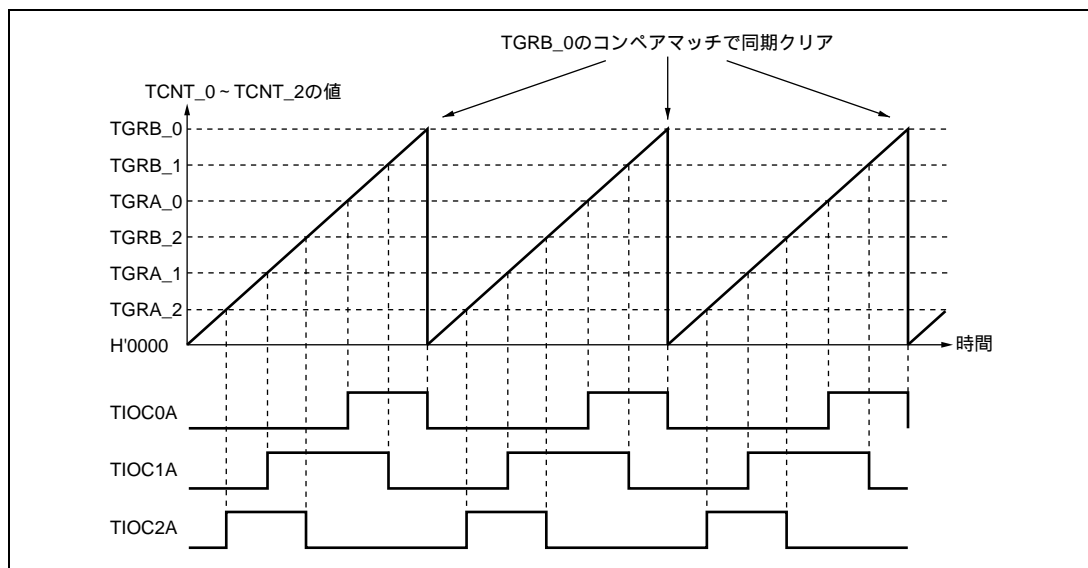


図 11.12 同期動作の動作例

11.4.3 バッファ動作

バッファ動作は、チャンネル0、3、4が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 11.29 にバッファ動作時のレジスタの組み合わせを示します。

表 11.29 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 11.13 に示します。

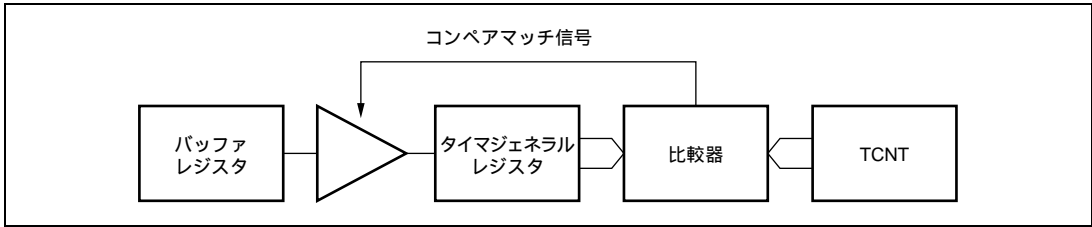


図 11.13 コンペアマッチバッファ動作

• TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 11.14 に示します。

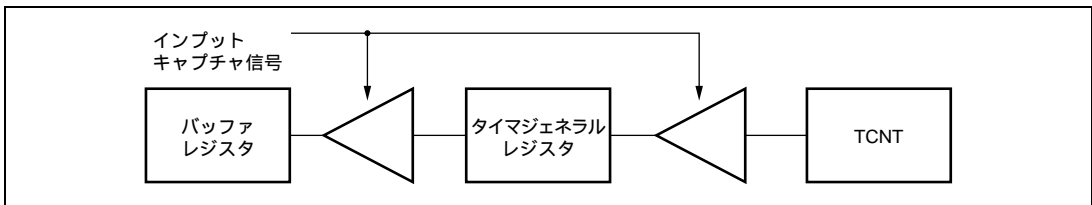


図 11.14 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 11.15 に示します。

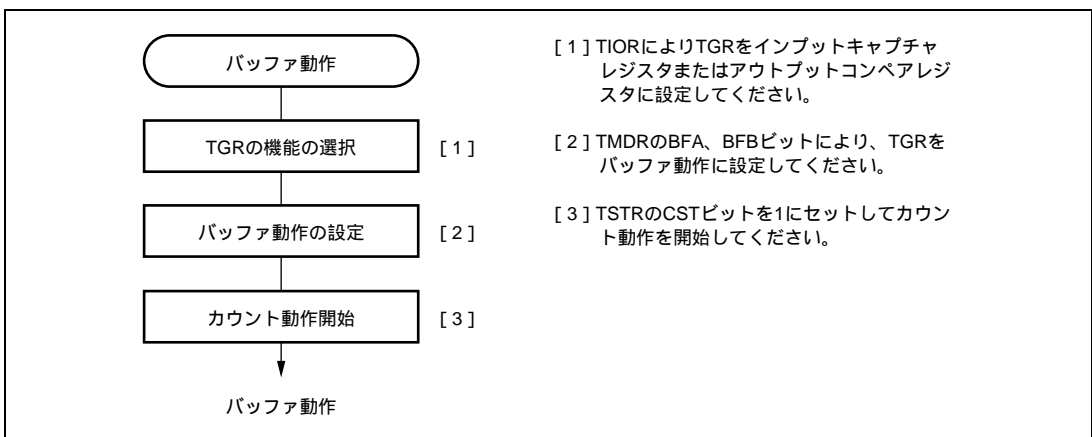


図 11.15 バッファ動作の設定手順例

11. マルチファンクションタイマパルスユニット (MTU)

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図11.16に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「11.4.5 PWMモード」を参照してください。

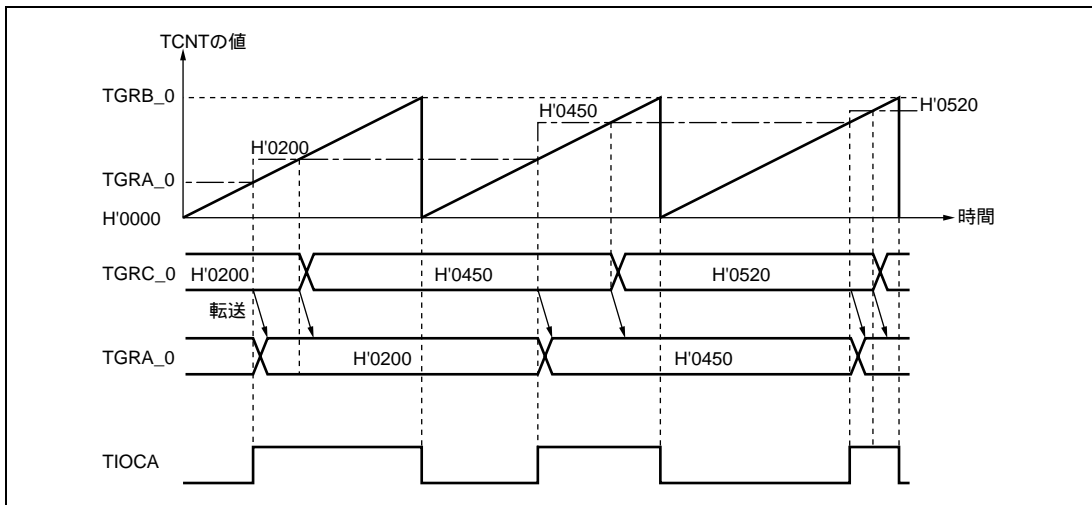


図 11.16 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRAを入力キャプチャレジスタに設定し、TGRAとTGRCをバッファ動作に設定したときの動作例を図11.17に示します。

TCNTはTGRAの入力キャプチャでカウンタクリア、TIOCA端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャAによりTCNTの値がTGRAに格納されると同時に、それまでTGRAに格納されていた値がTGRCに転送されます。

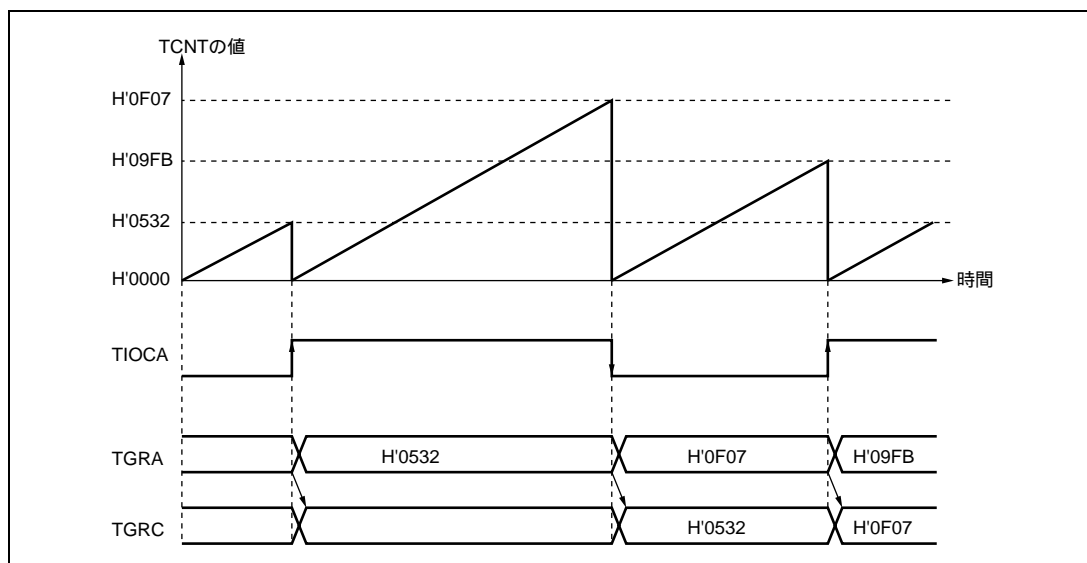


図 11.17 バッファ動作例 (2)

11.4.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1のカウンタクロックをTCRのTPSC2~TPSC0ビットでTCNT_2のオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表 11.30 にカスケード接続の組み合わせを示します。

【注】 チャンネル1を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 11.30 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	TCNT_1	TCNT_2

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 11.18 に示します。

11. マルチファンクションタイマパルスユニット (MTU)

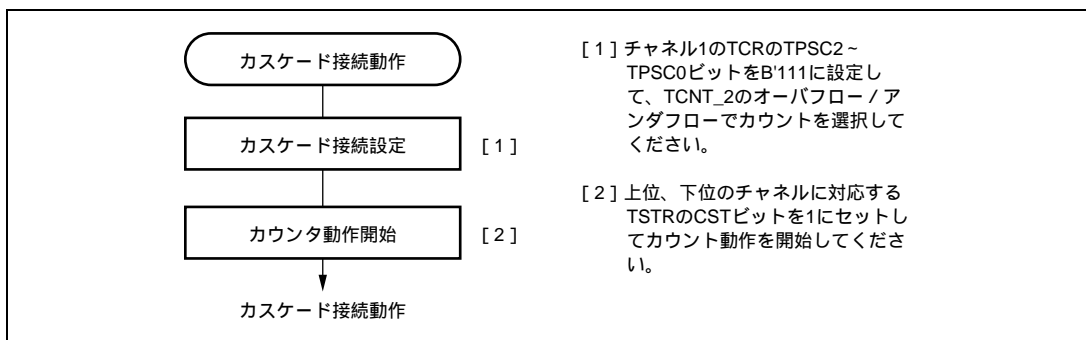


図 11.18 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、チャンネル2 を位相計数モードに設定したときの動作を図 11.19 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

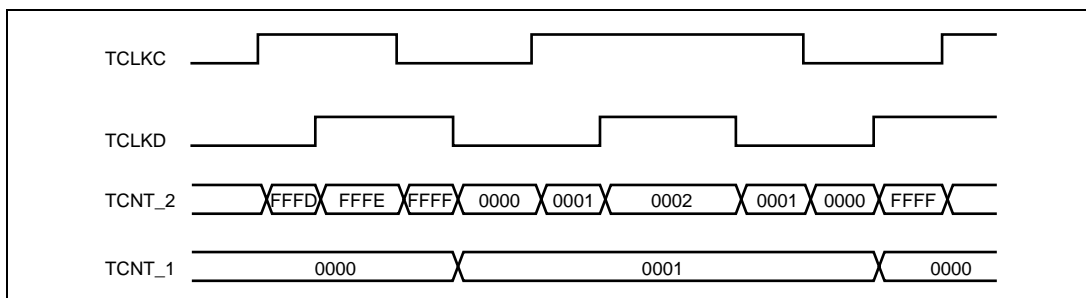


図 11.19 カスケード接続動作例

11.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

11. マルチファンクションタイマパルスユニット (MTU)

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOA で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOA で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 11.31 に示します。

表 11.31 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3		
	TGRC_3	TIOC3C	
	TGRD_3		
4	TGRA_4	TIOC4A	
	TGRB_4		
	TGRC_4	TIOC4C	
	TGRD_4		

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

11. マルチファンクションタイマパルスユニット (MTU)

(2) PWM モードの設定手順例

PWM モードの設定手順例を図 11.20 に示します。

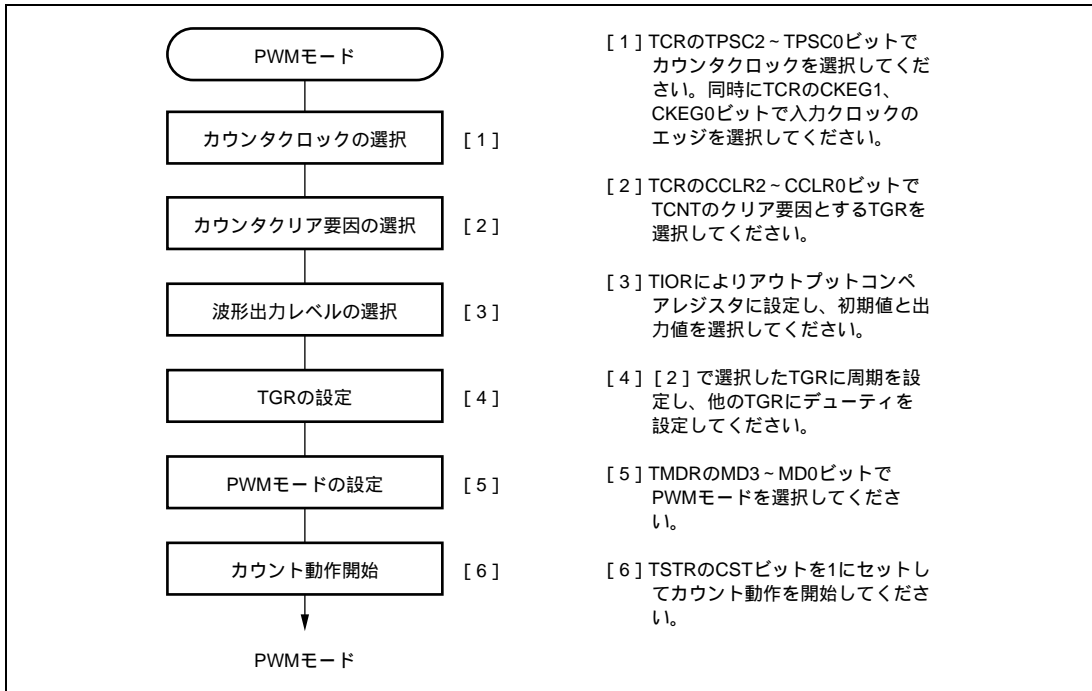


図 11.20 PWM モードの設定手順例

(3) PWM モードの動作例

PWM モード 1 の動作例を図 11.21 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

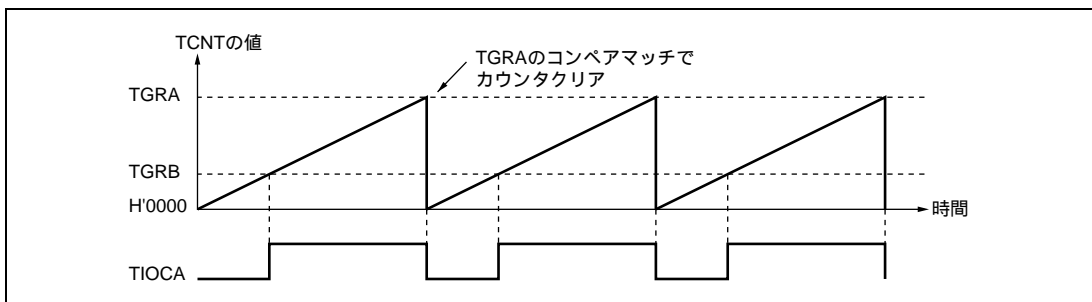


図 11.21 PWM モードの動作例

11. マルチファンクションタイマパルスユニット (MTU)

PWM モード 2 の動作例を図 11.22 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGR1B に設定した値が周期となり、他の TGR に設定した値がデューティになります。

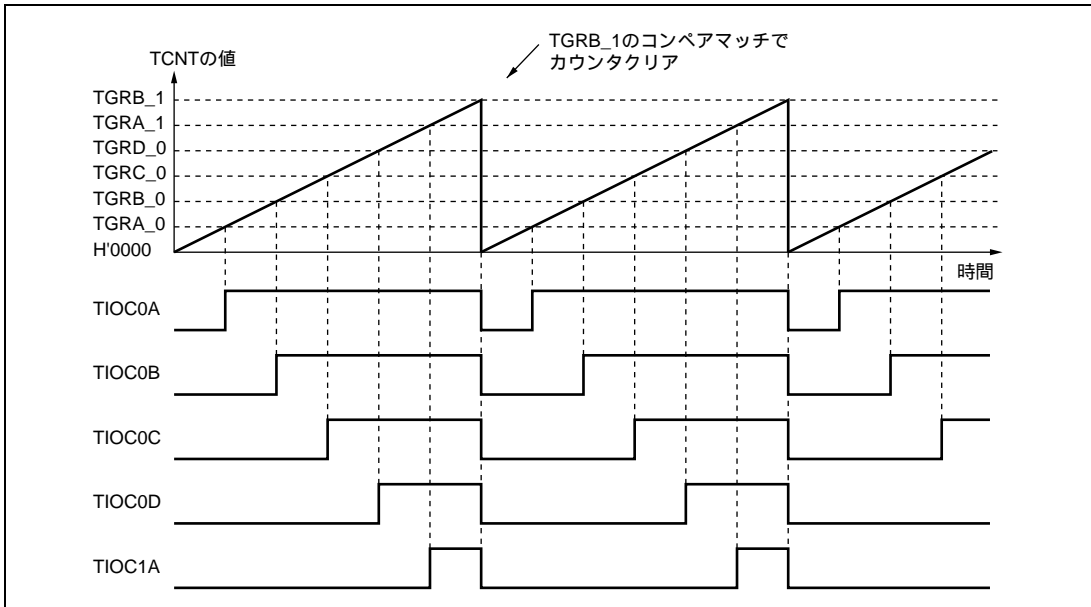


図 11.22 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 11.23 に示します。

11. マルチファンクションタイマパルスユニット (MTU)

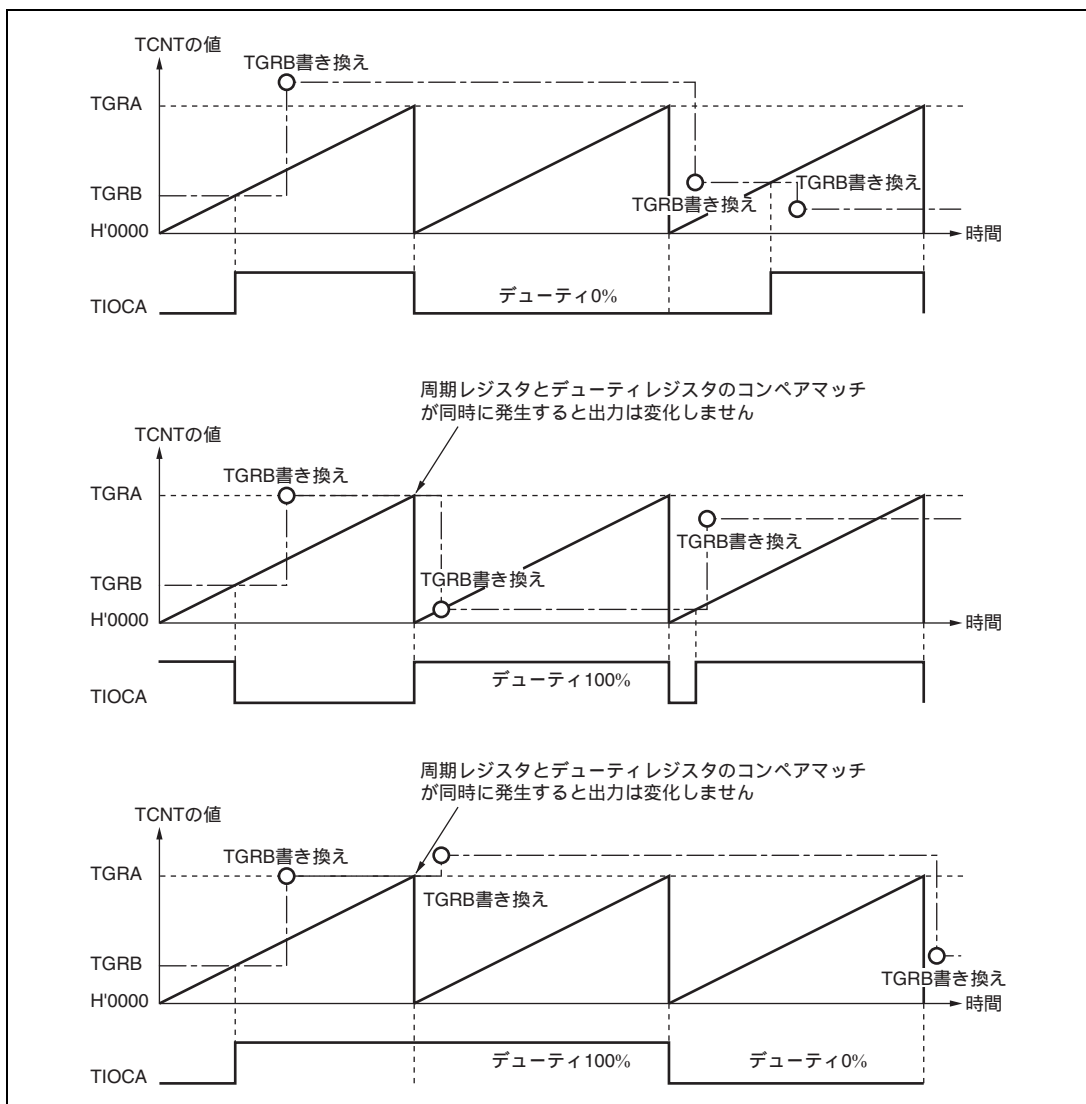


図 11.23 PWM モード動作例

11.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコーダパルスの入力として使用できます。

TCNTがアップカウント時、オーバフローが発生するとするとTSRのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表 11.32 に外部クロック端子とチャンネルの対応を示します。

表 11.32 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル1を位相計数モードとするとき	TCLKA	TCLKB
チャンネル2を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 11.24 に示します。

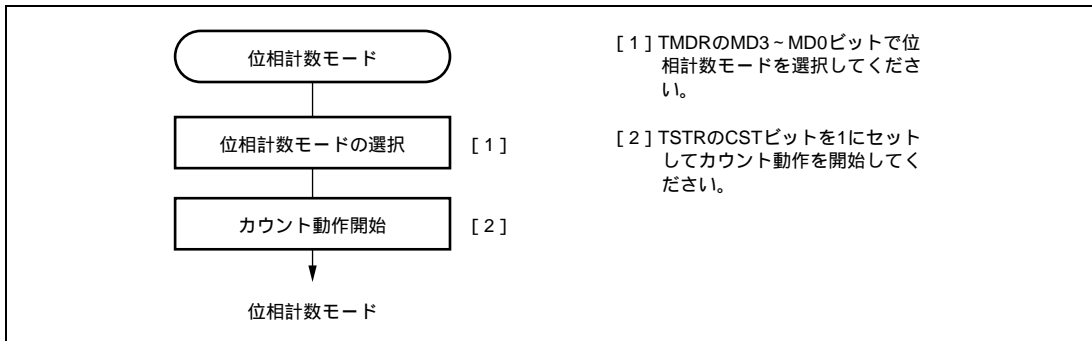


図 11.24 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図 11.25 に、TCNTのアップ/ダウンカウント条件を表 11.33 に示します。

11. マルチファンクションタイマパルスユニット (MTU)

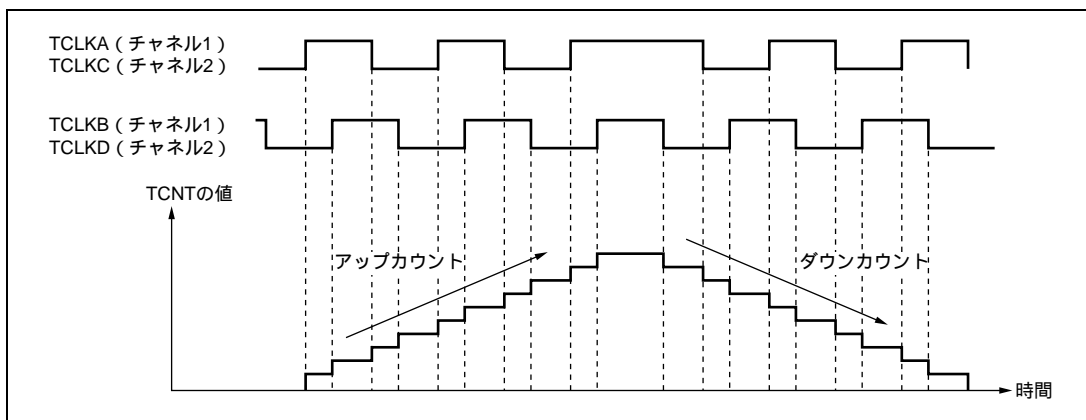


図 11.25 位相計数モード 1 の動作例

表 11.33 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 11.26 に、TCNT のアップ/ダウンカウント条件を表 11.34 に示します。

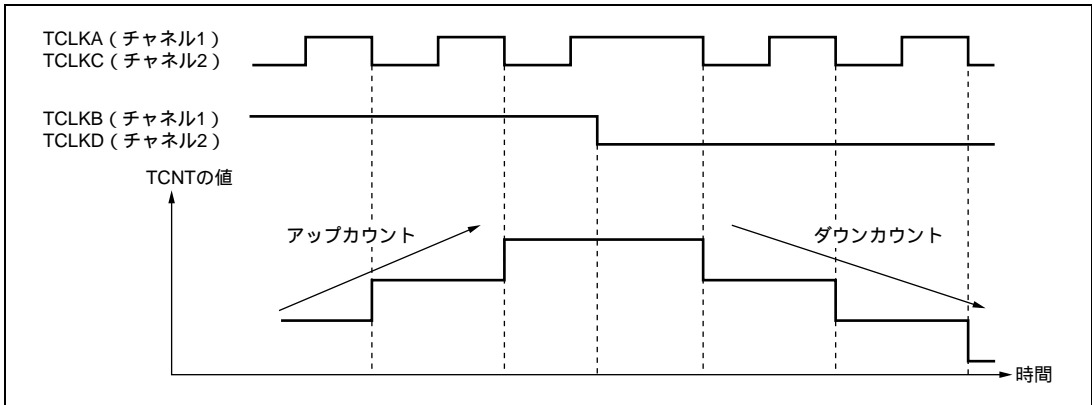


図 11.26 位相計数モード 2 の動作例

表 11.34 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)
	High レベル	アップカウント
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	High レベル	カウントしない (Don't care)
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

11. マルチファンクションタイマパルスユニット (MTU)

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 11.27 に、TCNT のアップ/ダウンカウント条件を表 11.35 に示します。

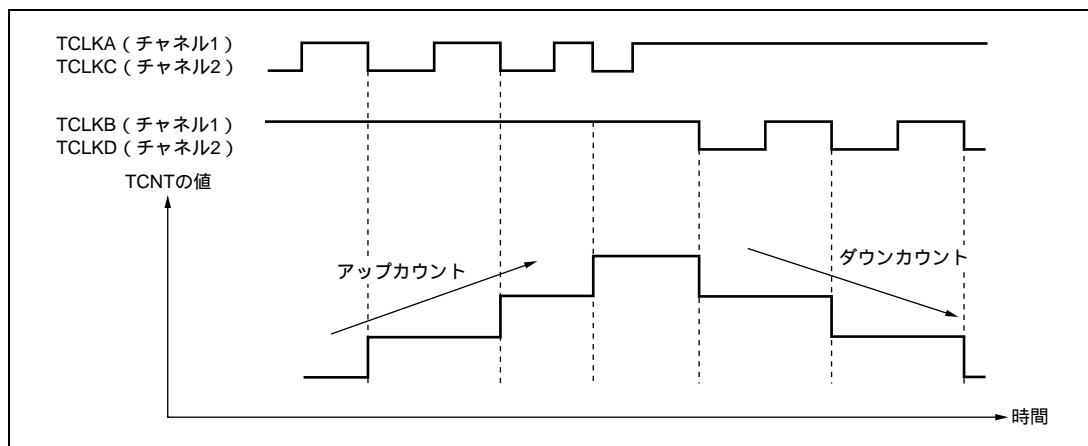


図 11.27 位相計数モード 3 の動作例

表 11.35 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	カウントしない (Don't care)

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 11.28 に、TCNT のアップ/ダウンカウント条件を表 11.36 に示します。

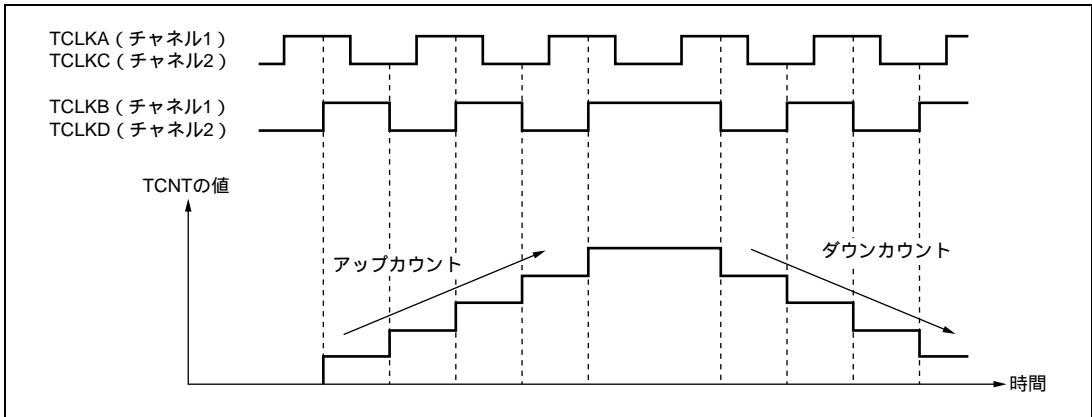


図 11.28 位相計数モード 4 の動作例

表 11.36 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

11. マルチファンクションタイムパルスユニット (MTU)

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図11.29に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

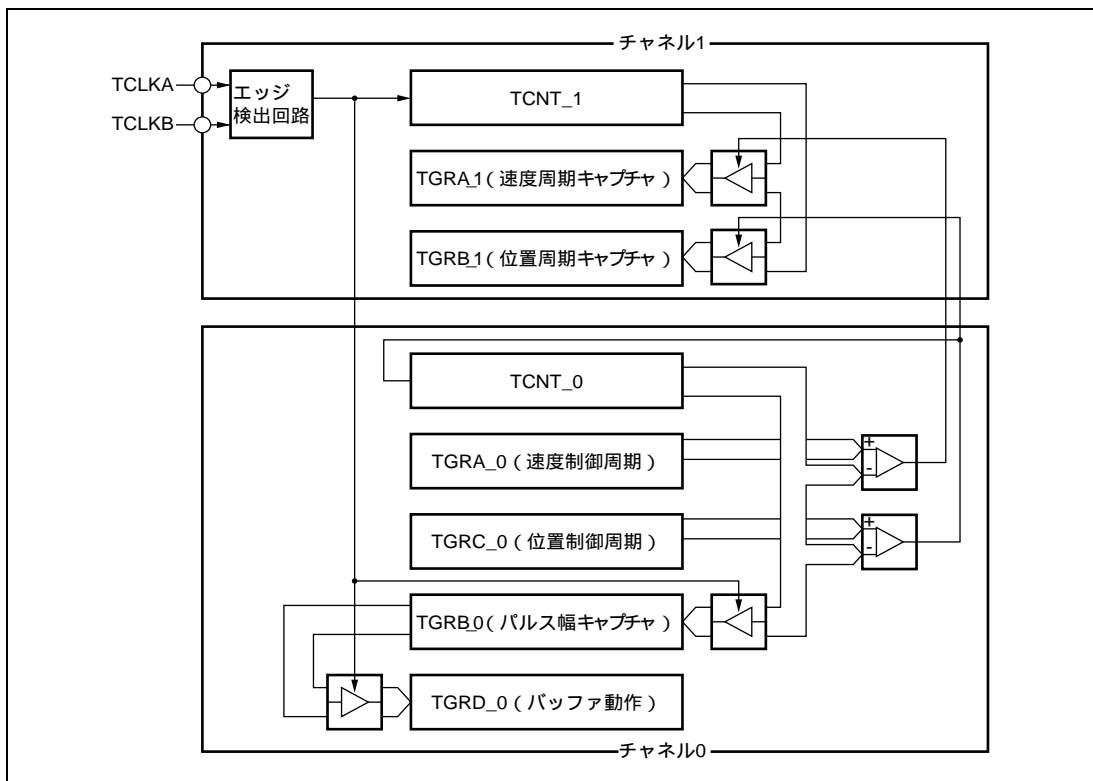


図 11.29 位相計数モードの応用例

11.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT_3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 11.37 に、使用するレジスタの設定を表 11.38 に示します。

表 11.37 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 11.38 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

11. マルチファンクションタイマパルスユニット (MTU)

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 11.30 に示します。



図 11.30 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 11.31 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

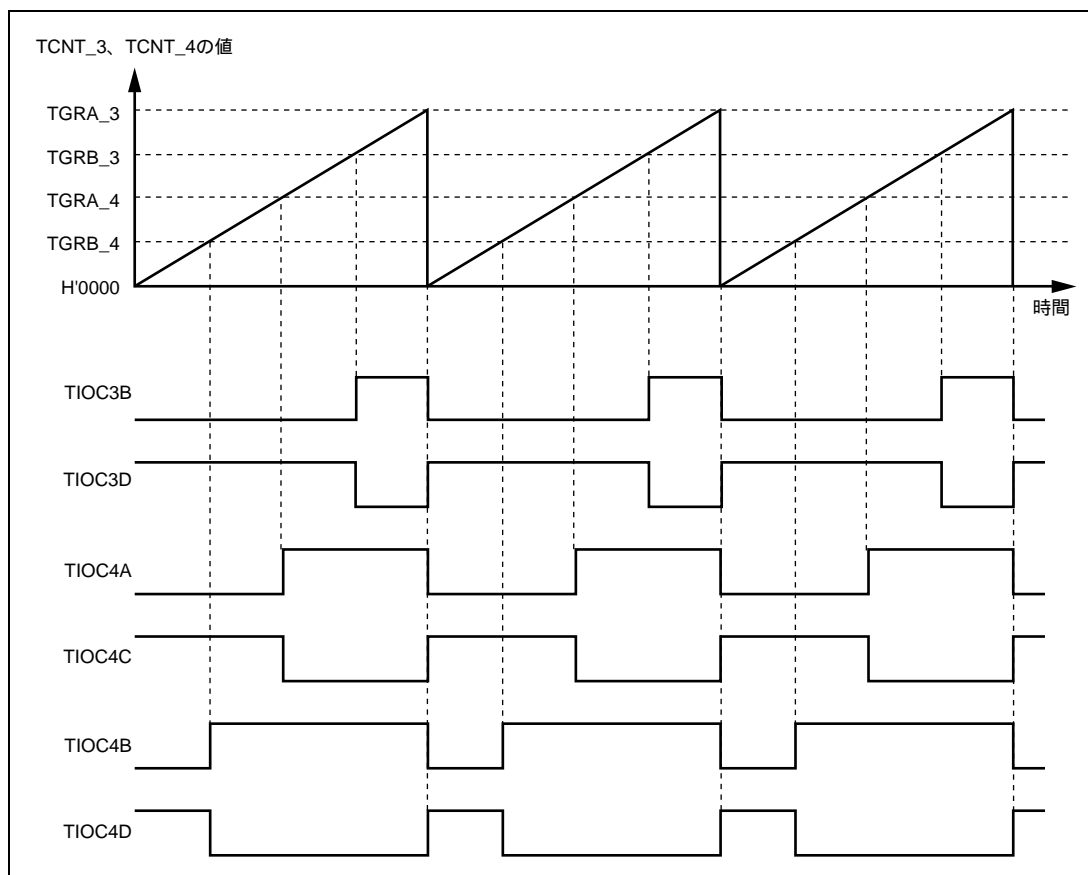


図 11.31 リセット同期 PWM モードの動作例 (TOCR の OLSN = 1、OLSP = 1 に設定した場合)

11. マルチファンクションタイマパルスユニット (MTU)

11.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 11.39 に、使用するレジスタの設定を表 11.40 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 11.39 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形)

【注】 * TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

11. マルチファンクションタイマパルスユニット (MTU)

表 11.40 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ / レジスタ	説明	CPU からの 読み出し / 書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	BSC/BCR1 の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	BSC/BCR1 の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	BSC/BCR1 の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し / 書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	BSC/BCR1 の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	BSC/BCR1 の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	BSC/BCR1 の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し / 書き込み可能
タイマデッドタイムデータレジスタ (TDDR)	TCNT_4 と TCNT_3 のオフセット値 (デッドタイムの値) を設定	BSC/BCR1 の設定*によりマスク可能	
タイマ周期データレジスタ (TCDR)	TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	BSC/BCR1 の設定*によりマスク可能	
タイマ周期バッファレジスタ (TCBR)	TCDR のバッファレジスタ	常に読み出し / 書き込み可能	
サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可	
テンポラリレジスタ 1 (TEMP1)	PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し / 書き込み不可	
テンポラリレジスタ 2 (TEMP2)	PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し / 書き込み不可	
テンポラリレジスタ 3 (TEMP3)	PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し / 書き込み不可	

【注】 * BSC/BCR1 (バスコントローラ / バスコントロールレジスタ 1 のビット 13 (MTURWE ビット) の設定によりアクセスの許可 / 禁止が可能です。

11. マルチファンクションタイマパルスユニット (MTU)

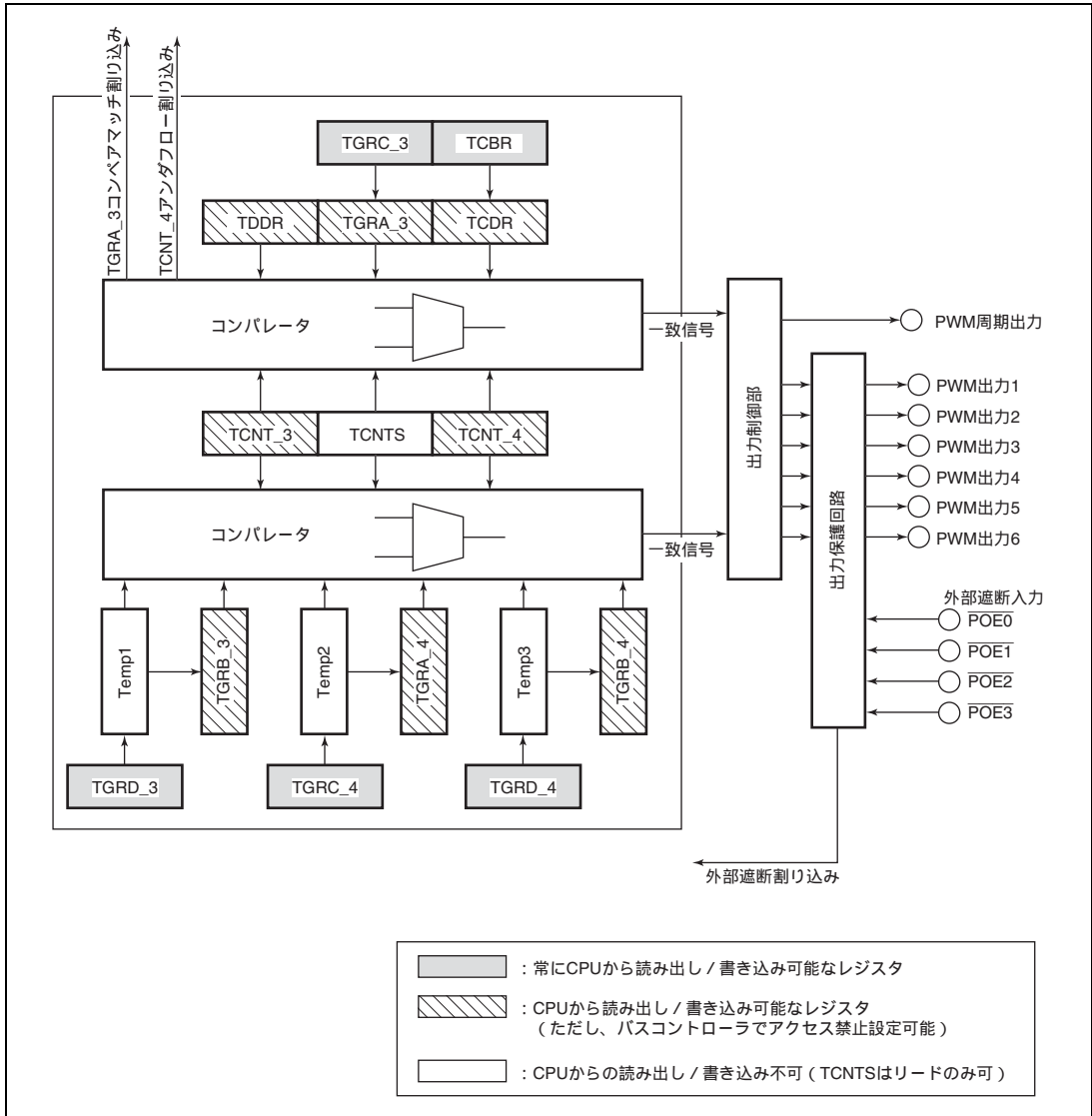


図 11.32 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 11.33 に示します。

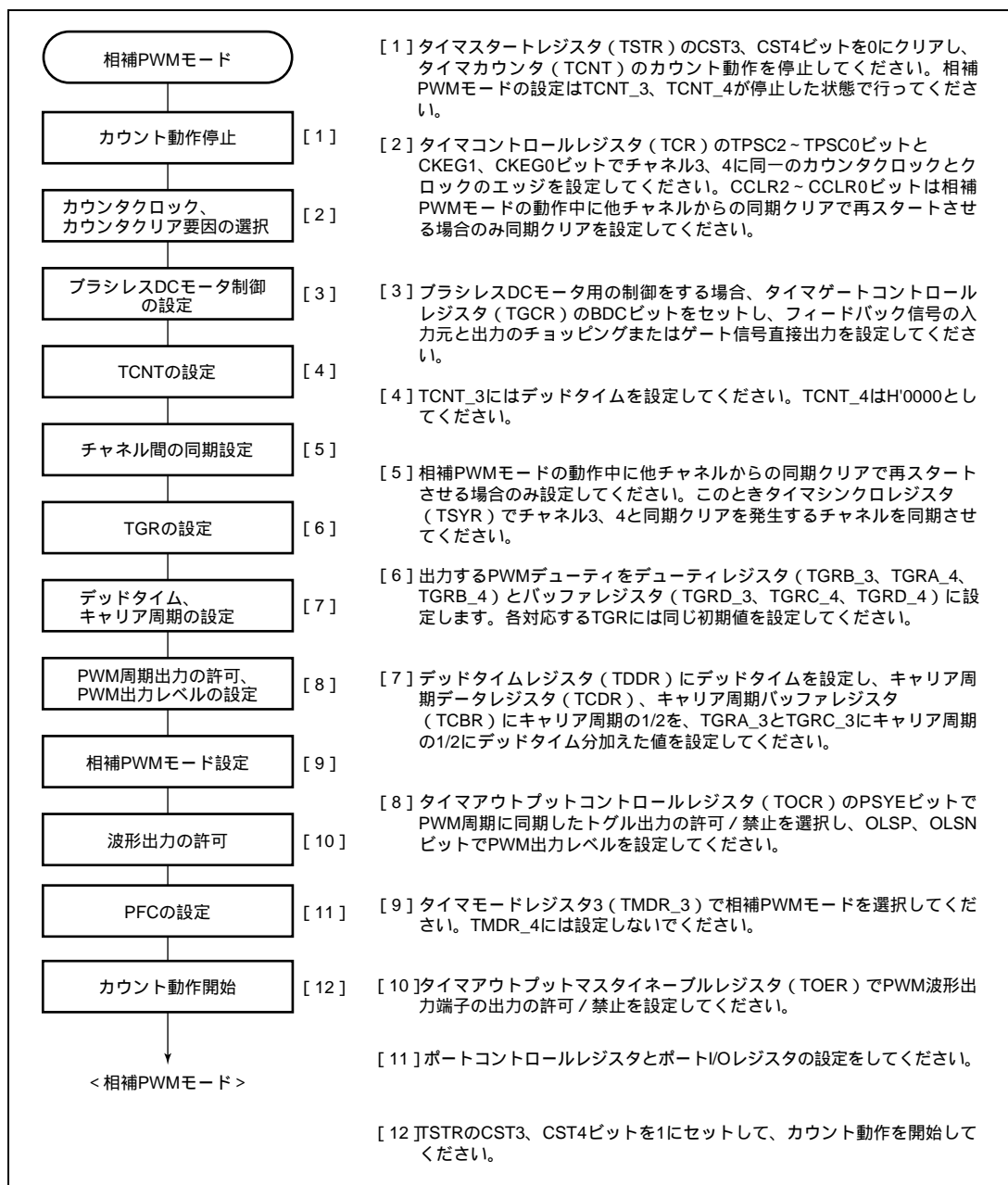


図 11.33 相補 PWM モードの設定手順例

11. マルチファンクションタイマパルスユニット (MTU)

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 11.34 に相補 PWM モードのカウンタの動作を示します。図 11.35 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4、および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り換わります。その後、TDDR と一致するとアップカウントに切り換わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCNT_3 と一致するとダウンカウントに切り換わります。この後、H'0000 と一致するとアップカウントに切り換わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCNTS と一致するとダウンカウントを開始し、TCNTS が TCNT_4 と一致するとアップカウントに切り換わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り換わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

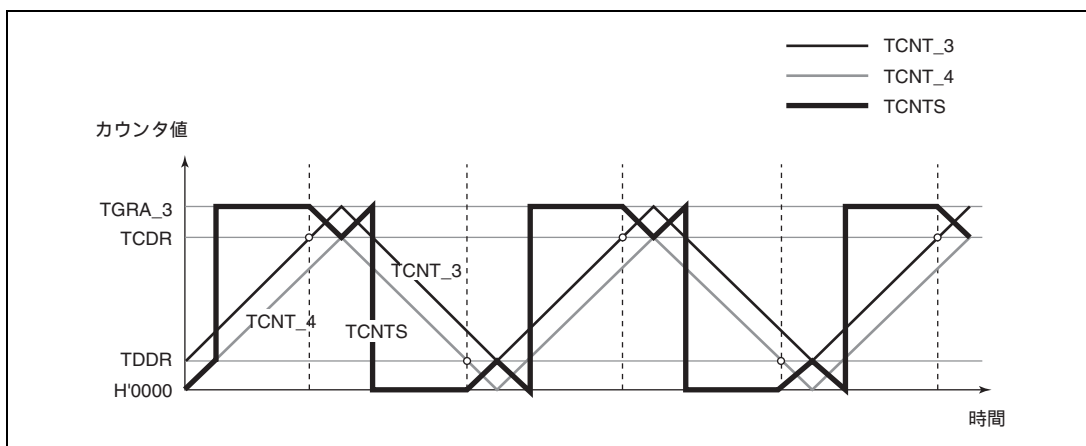


図 11.34 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタ、およびテンポラリレジスタの9本のレジスタを使用します。図 11.35 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し / 書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで選択できます。図 11.35 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 11.35 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタをもつことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4、および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

11. マルチファンクションタイマパルスユニット (MTU)

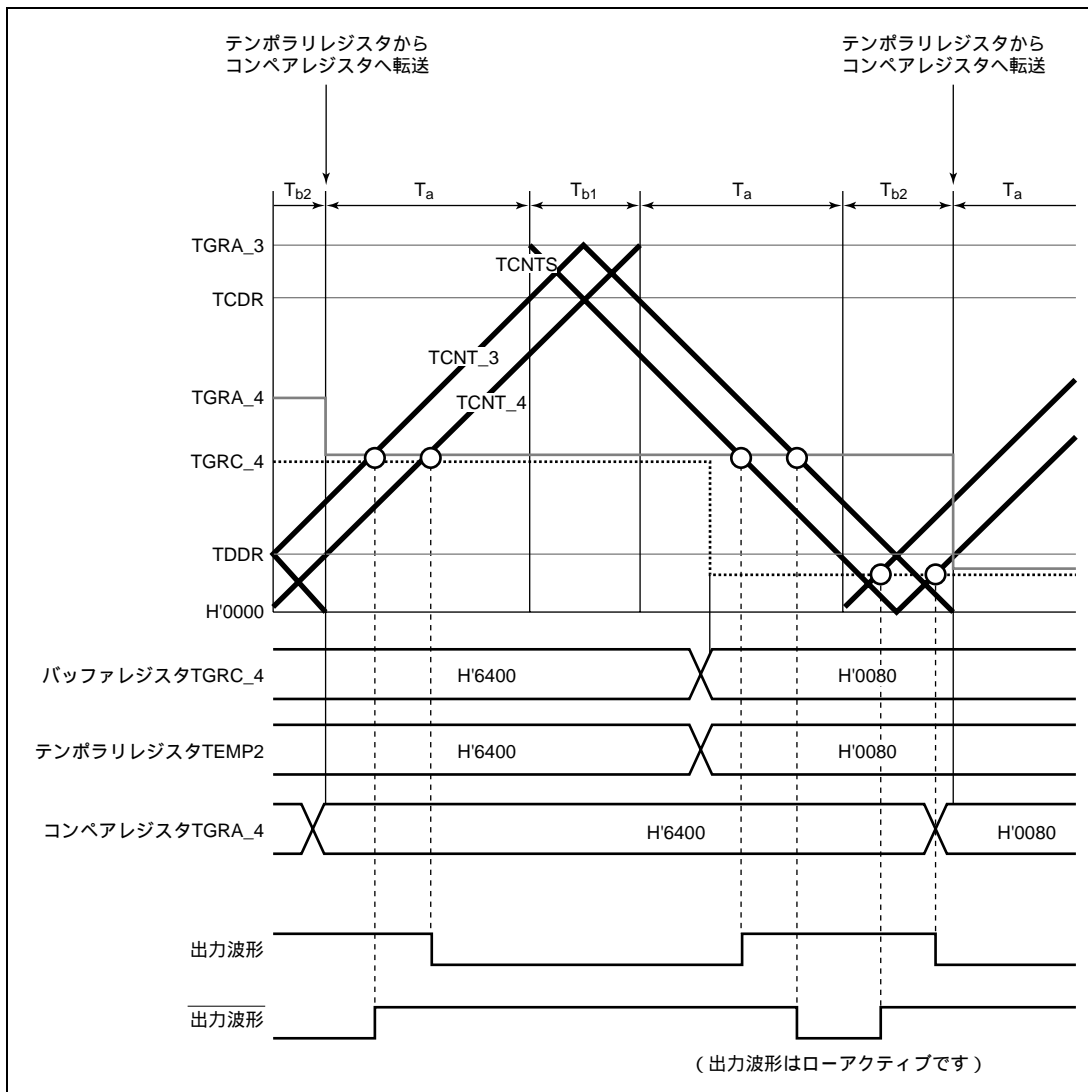


図 11.35 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。

タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRA_3 のバッファレジスタとして動作し、PWM キャリア周期の 1/2 + デッドタイム T_d を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の 1/2 を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

11. マルチファンクションタイマパルスユニット (MTU)

バッファレジスタ TGRD_3、TGRC_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にその対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 11.41 初期設定に必要なレジスタとカウンタ

レジスタ / カウンタ	設定値
TGRC_3	PWM キャリア周期の 1/2 + デッドタイム Td
TDDR	デッドタイム Td
TCBR	PWM キャリア周期の 1/2
TGRD_3、TGRC_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の 1/2 の値と TDDR に設定するデッドタイム Td の値の和としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

$$\text{TGRA}_3 \text{ の設定値} = \text{TCDR の設定値} + \text{TDDR の設定値}$$

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 11.36 に PWM 周期を山で変更する場合の動作例を示します。

11. マルチファンクションタイマパルスユニット (MTU)

なお、各バッファレジスタのデータの更新方法については、次の「(g) レジスタデータの更新」の項を参照してください。

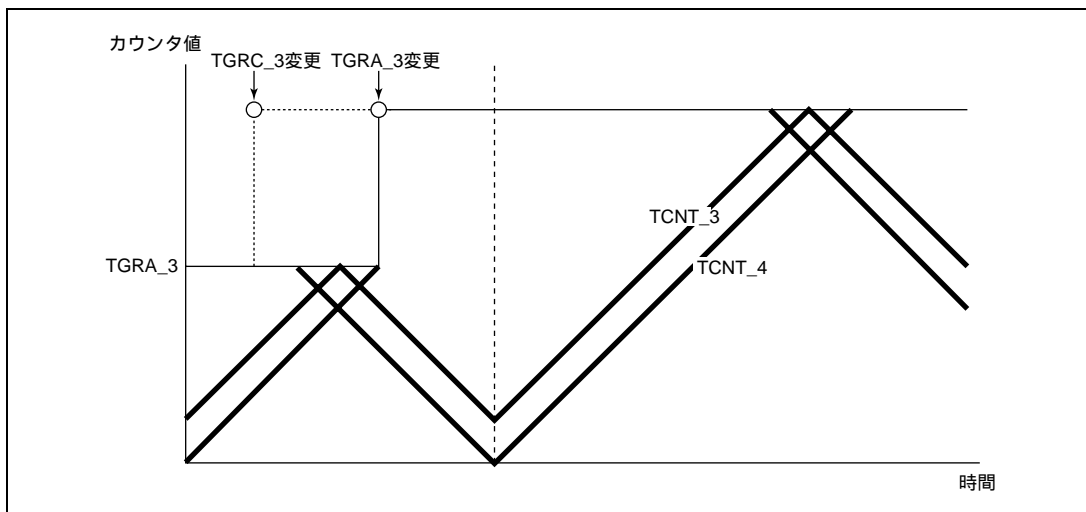


図 11.36 PWM 周期の変更例

(g) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 11.37 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

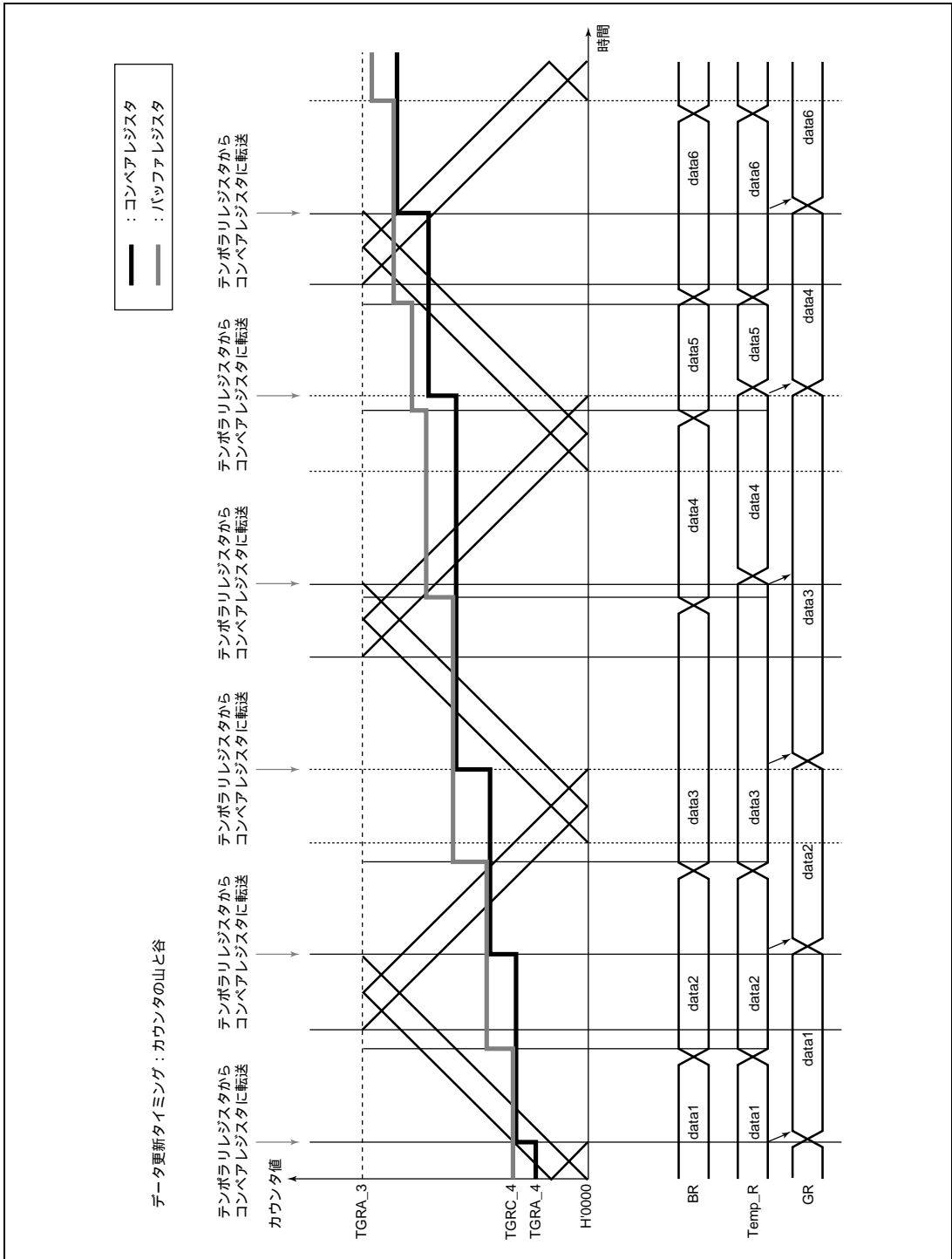


図 11.37 相補 PWM モードのデータ更新例

11. マルチファンクションタイマパルスユニット (MTU)

(h) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 11.38 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 11.39 に示します。

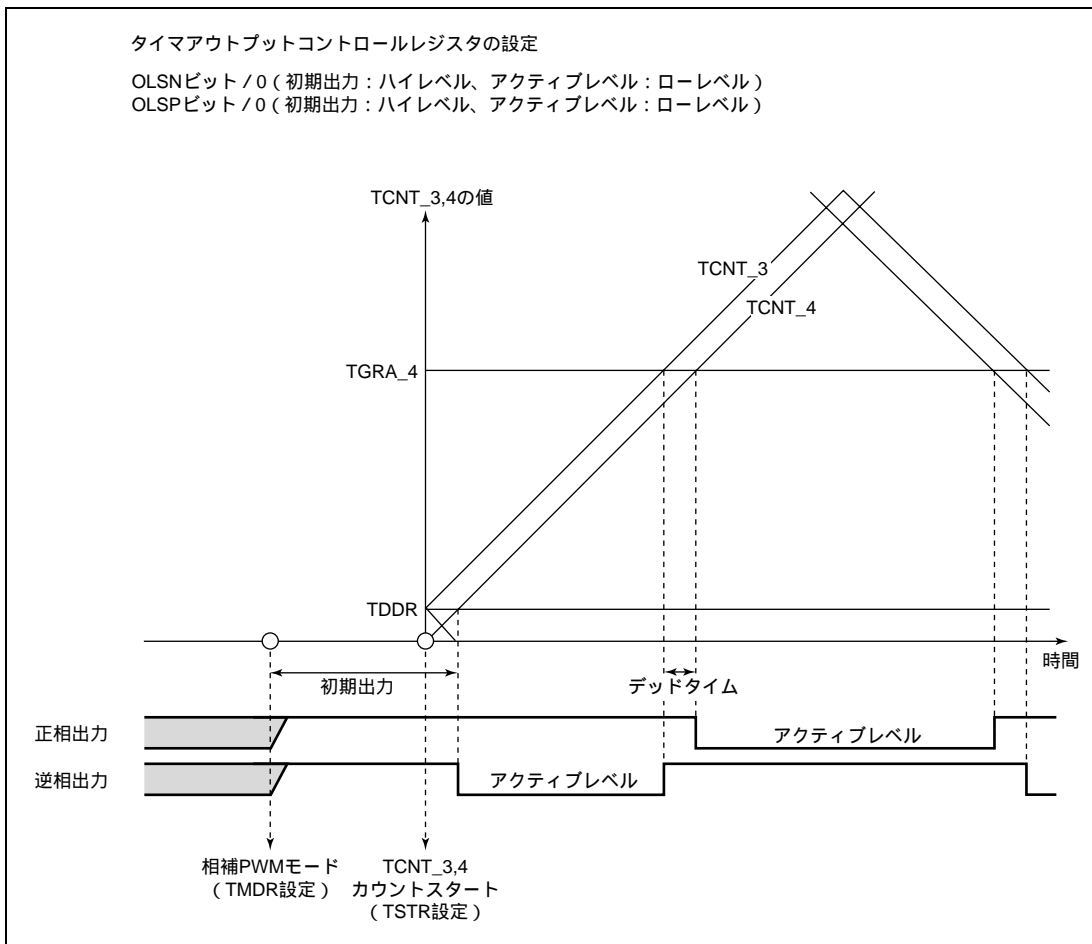


図 11.38 相補 PWM モードの初期出力例 (1)

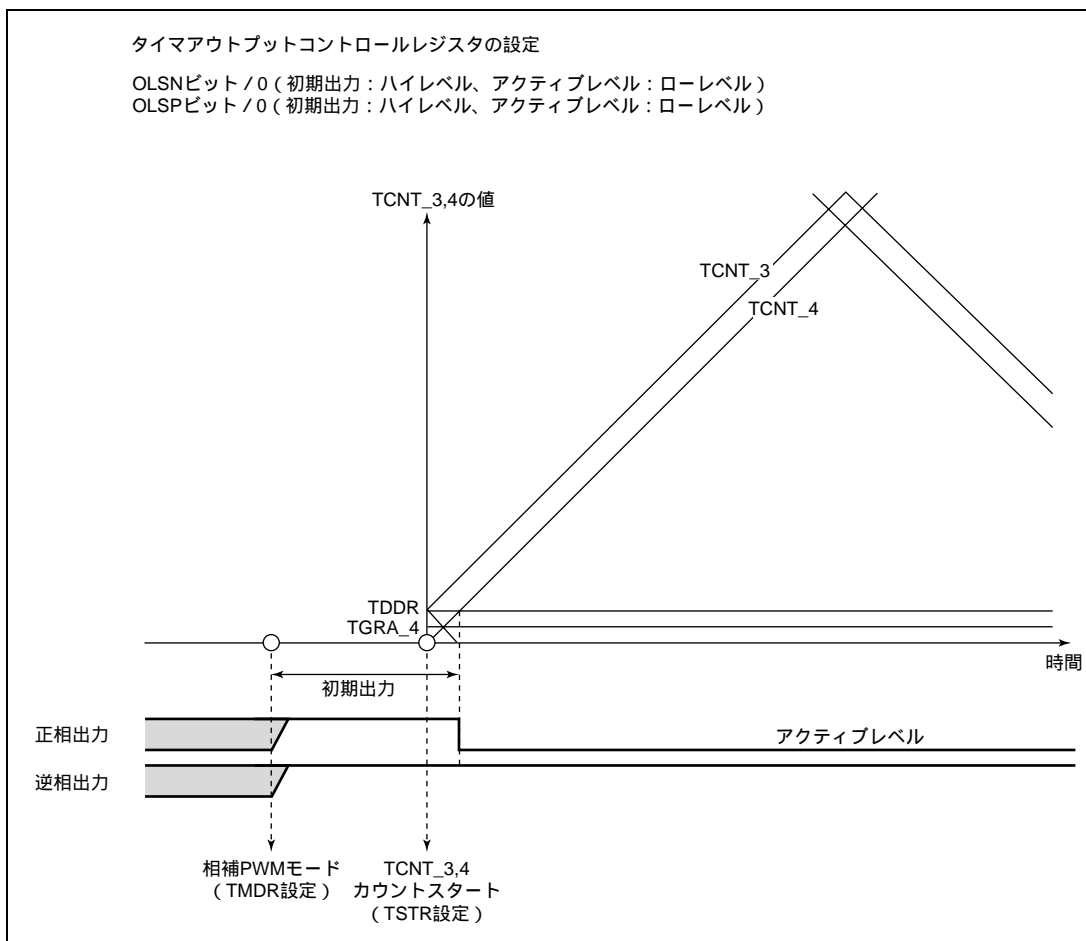


図 11.39 相補 PWM モードの初期出力例 (2)

(i) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとデータレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、データレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。

図 11.40 ~ 図 11.42 に相補 PWM モードの波形生成例を示します。

11. マルチファンクションタイマパルスユニット (MTU)

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 11.40 に示すように通常の場合のコンペアマッチは、a→b→c→d (または c→d→a'→b') の順番で発生します。

コンペアマッチが a→b→c→d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c→d→a'→b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 11.41 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を OFF します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 11.42 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

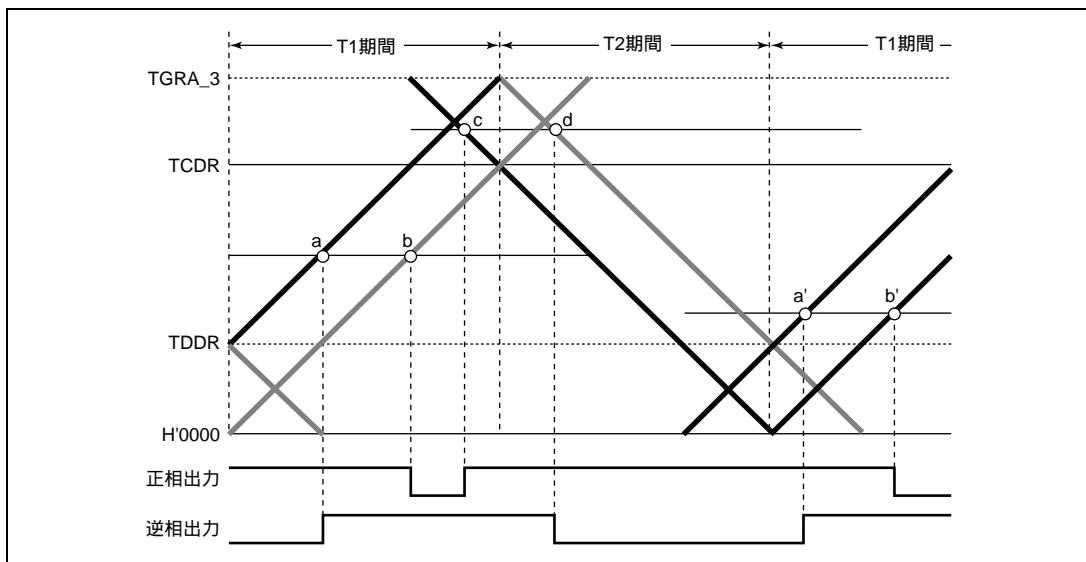


図 11.40 相補 PWM モード波形出力例 (1)

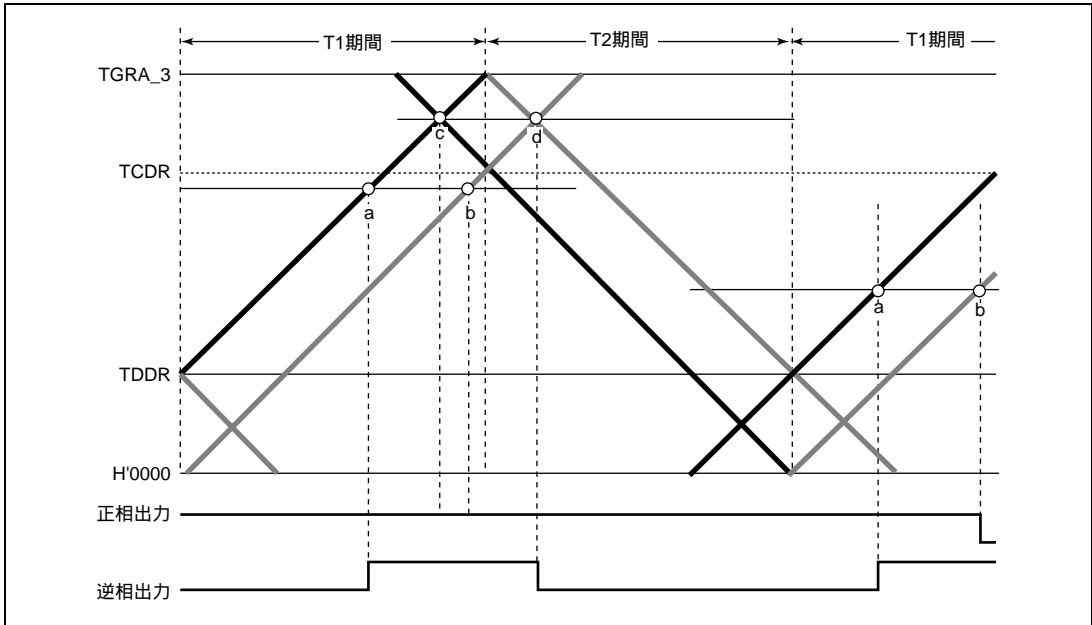


図 11.41 相補 PWM モード波形出力例 (2)

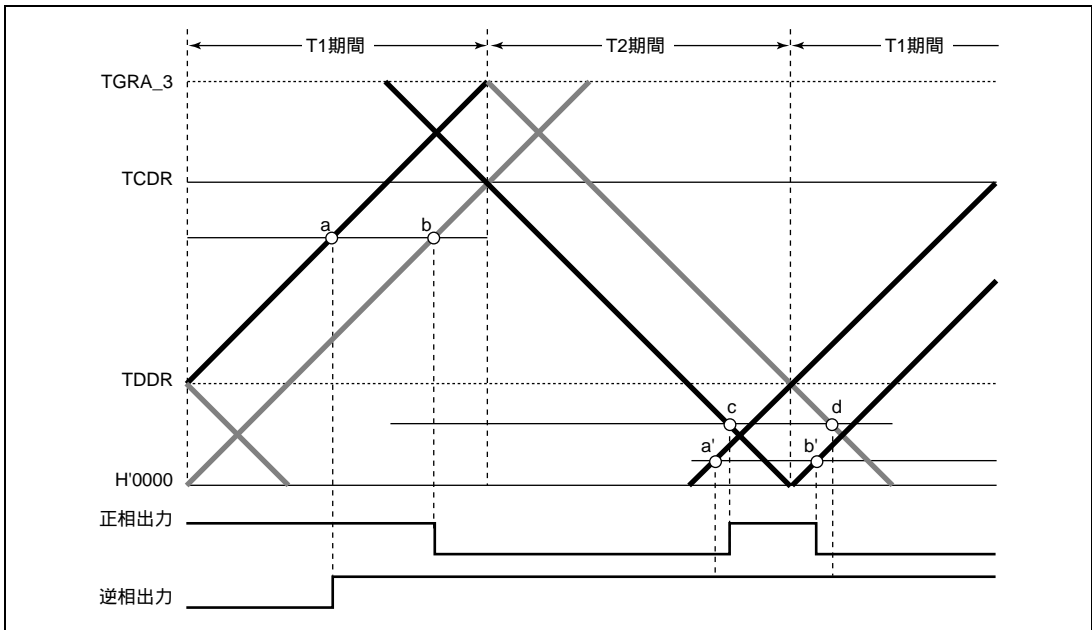


図 11.42 相補 PWM モード波形出力例 (3)

11. マルチファンクションタイマパルスユニット (MTU)

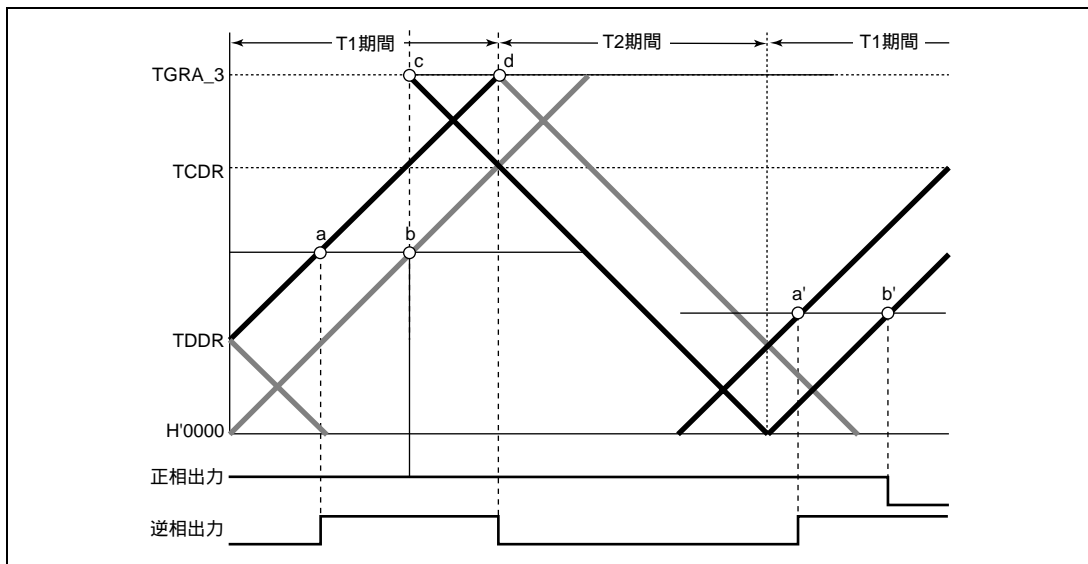


図 11.43 相補 PWM モード 0%、100%波形出力例 (1)

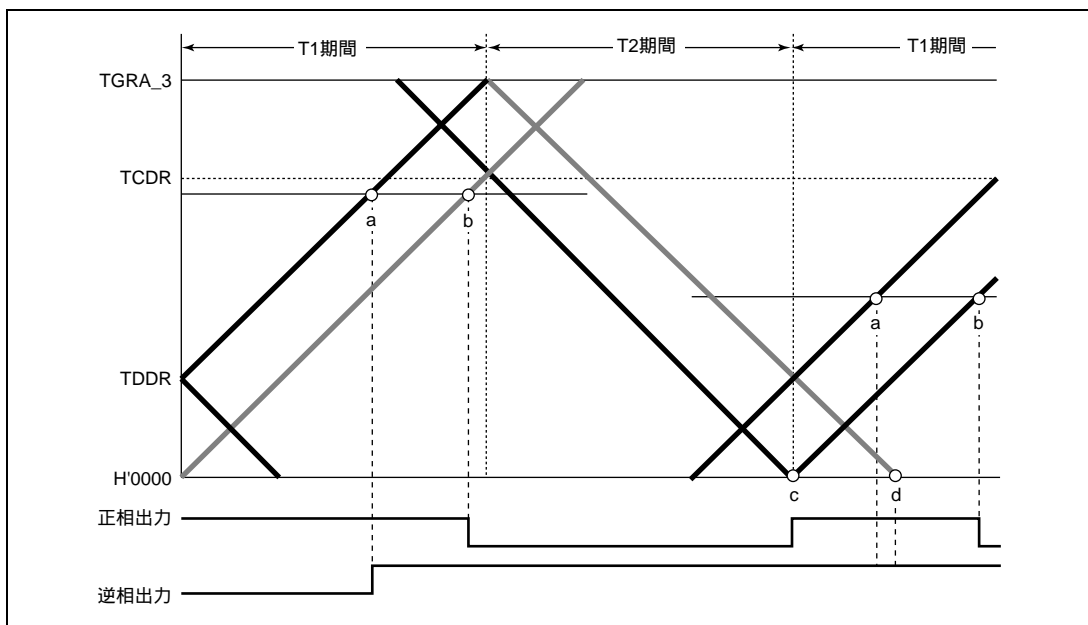


図 11.44 相補 PWM モード 0%、100%波形出力例 (2)

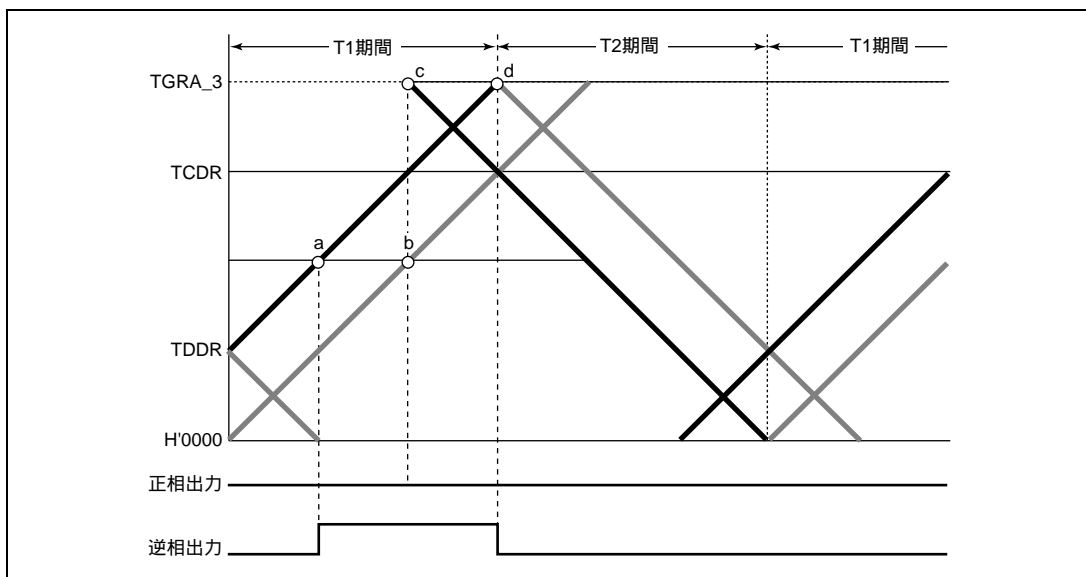


図 11.45 相補 PWM モード 0%、100%波形出力例 (3)

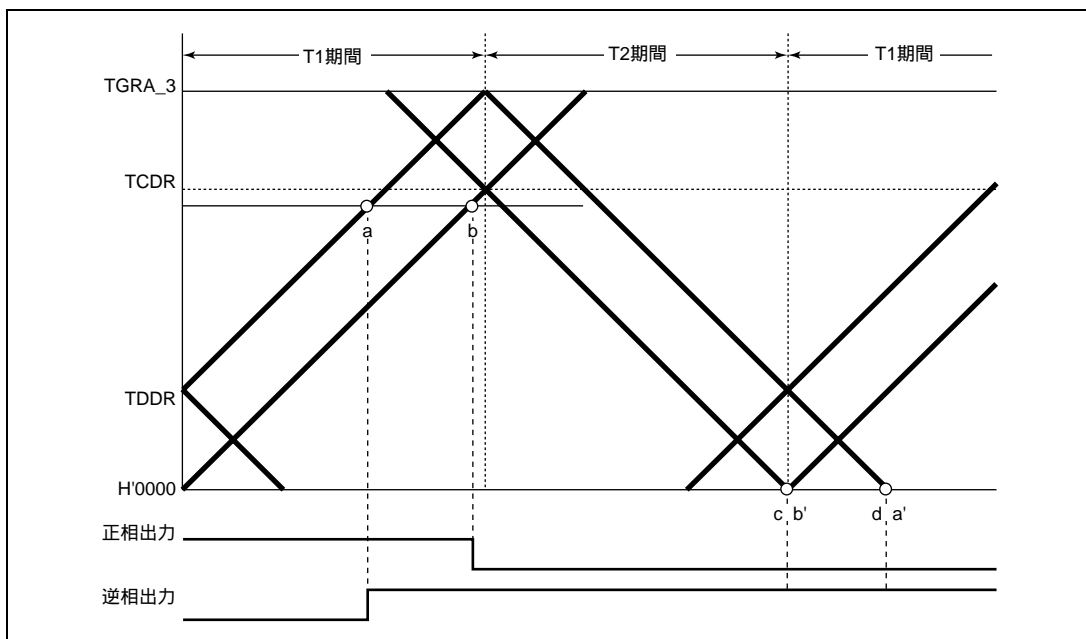


図 11.46 相補 PWM モード 0%、100%波形出力例 (4)

11. マルチファンクションタイマパルスユニット (MTU)

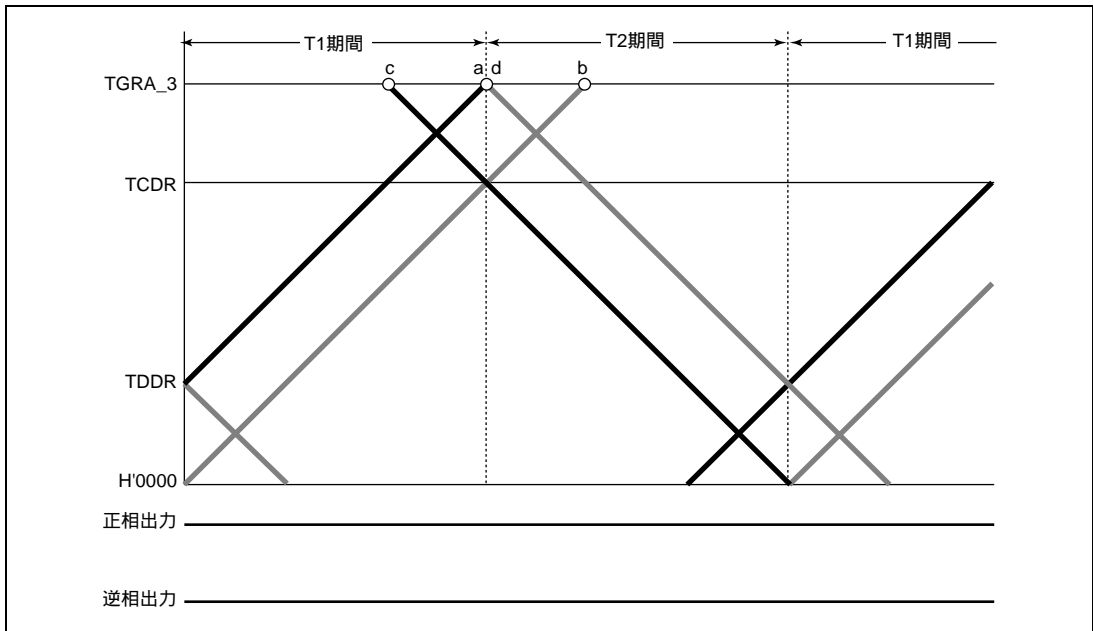


図 11.47 相補 PWM モード 0%、100% 波形出力例 (5)

(j) 相補 PWM モードのデューティ 0%、100% 出力

相補 PWM モードでは、デューティ 0%、100% を任意に出力可能です。図 11.43 ~ 図 11.47 に出力例を示します。

デューティ 100% 出力は、データレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100% ON 状態の波形です。また、デューティ 0% 出力は、データレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100% OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(k) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 11.48 に示します。

この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

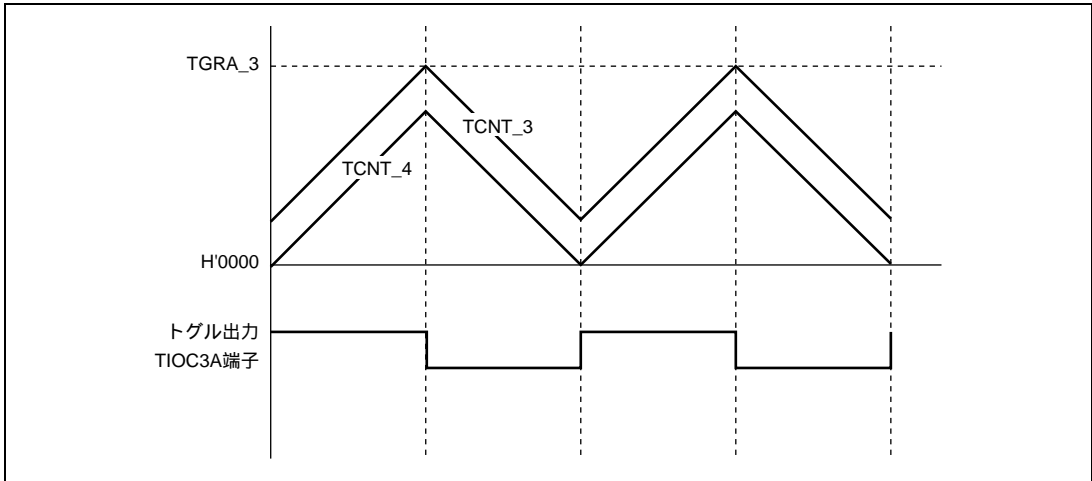


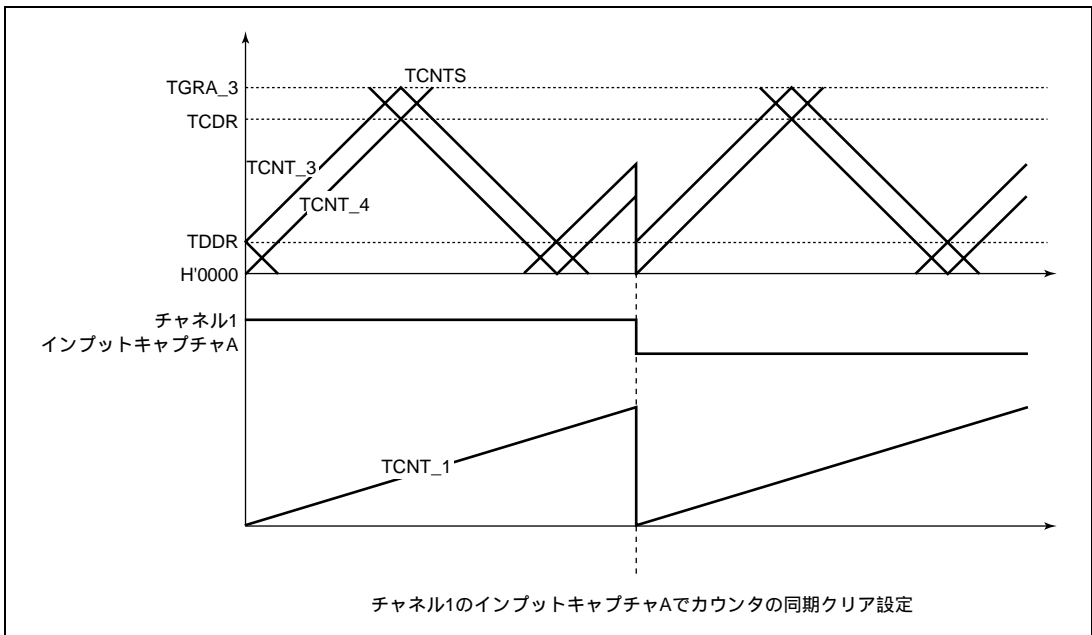
図 11.48 PWM 出力に同期したトグル出力波形例

(1) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 により同期クリアを選択することにより他のチャネルによる TCNT_3、TCNT_4、および TCNTS のクリアをすることが可能です。

図 11.49 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。



チャンネル1のインプットキャプチャAでカウンタの同期クリア設定

図 11.49 他のチャネルに同期したカウンタクリア

11. マルチファンクションタイマパルスユニット (MTU)

(m) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 11.50 ~ 図 11.53 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り換えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (PFC で設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り換わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り換わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この 6 相出力は N ビットまたは P ビットを 1 に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが 0 の場合は、レベル出力になります。

また、6 相出力のアクティブレベル (ON 出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ (TOCR) の OLSN ビット、OLSP ビットで設定できます。

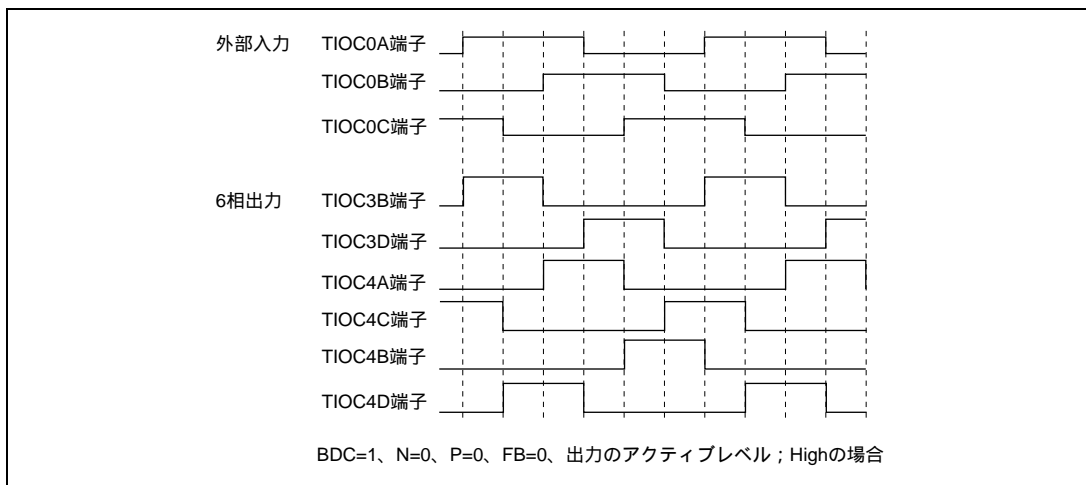


図 11.50 外部入力による出力相の切り換え動作例 (1)

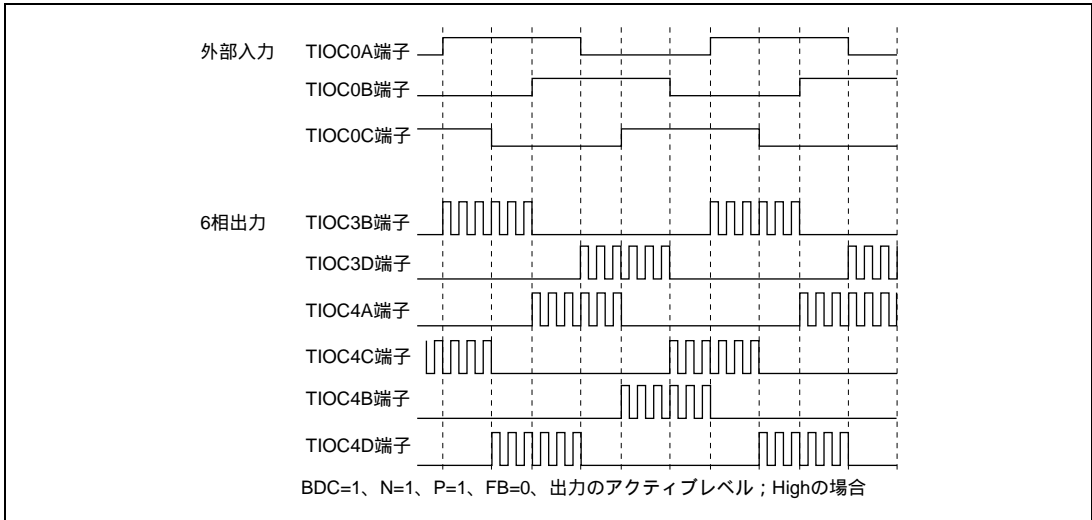


図 11.51 外部入力による出力相の切り換え動作例 (2)

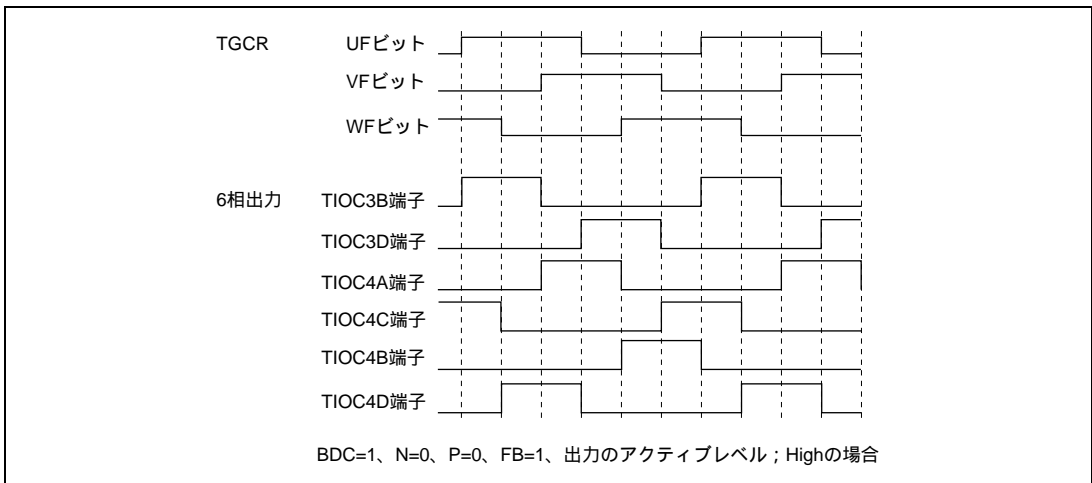


図 11.52 UF、VF、WF ビット設定による出力相の切り換え動作例 (3)

11. マルチファンクションタイマパルスユニット (MTU)

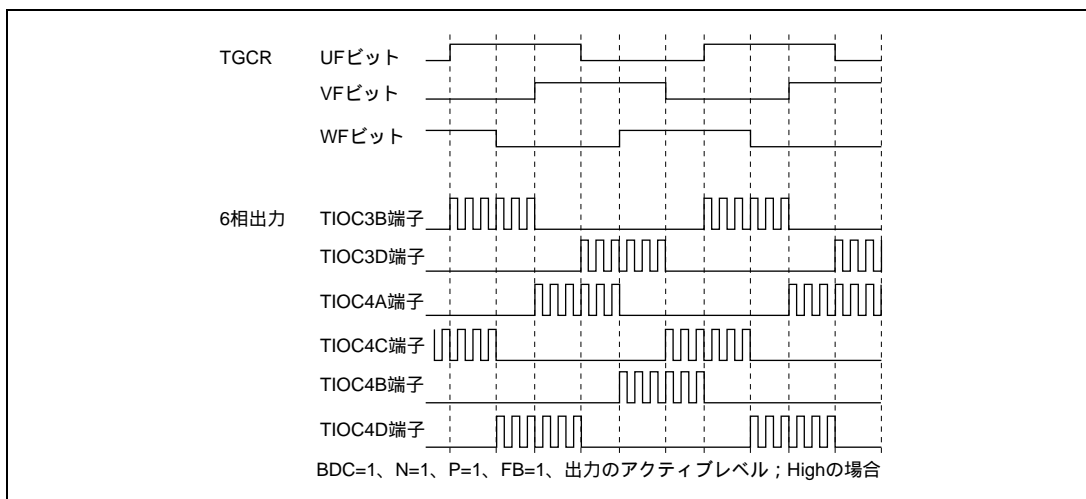


図 11.53 UF、VF、WF ビット設定による出力相の切り換え動作例 (4)

(n) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチか、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、PWM パルスの中心で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイムインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、バスコントローラのバスコントロールレジスタ I (BCR1) の MTURWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタはチャンネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIORL_3 および TIORL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。外部信号の入力端子は 4 本あります。

11. マルチファンクションタイマパルスユニット (MTU)

詳細は、「11.9 ポートアウトプットイネーブル (POE)」を参照してください。

(c) 発振停止時の PWM 出力の停止機能

6相 PWM 出力端子は、本 LSI に入力されているクロックが停止したことを検出して出力端子を自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、「4.2 発振停止検出機能」を参照してください。

11.5 割り込み要因

11.5.1 割り込み要因と優先順位

MTU の割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可 / 禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

表 11.42 に MTU の割り込み要因の一覧を示します。

表 11.42 MTU 割り込み一覧

チャネル	名称	割り込み要因	割り込みフラグ	DMAC の起動	DTC の起動	優先順位
0	TGIA_0	TGRA_0 のインプットキャプチャ / コンペアマッチ	TGFA_0	可	可	高 ↑
	TGIB_0	TGRB_0 のインプットキャプチャ / コンペアマッチ	TGFB_0	不可	可	
	TGIC_0	TGRC_0 のインプットキャプチャ / コンペアマッチ	TGFC_0	不可	可	
	TGID_0	TGRD_0 のインプットキャプチャ / コンペアマッチ	TGFD_0	不可	可	
	TCIV_0	TCNT_0 のオーバフロー	TCFV_0	不可	不可	
1	TGIA_1	TGRA_1 のインプットキャプチャ / コンペアマッチ	TGFA_1	可	可	↑ ↓ 低
	TGIB_1	TGRB_1 のインプットキャプチャ / コンペアマッチ	TGFB_1	不可	可	
	TCIV_1	TCNT_1 のオーバフロー	TCFV_1	不可	不可	
	TCIU_1	TCNT_1 のアンダフロー	TCFU_1	不可	不可	
2	TGIA_2	TGRA_2 のインプットキャプチャ / コンペアマッチ	TGFA_2	可	可	
	TGIB_2	TGRB_2 のインプットキャプチャ / コンペアマッチ	TGFB_2	不可	可	
	TCIV_2	TCNT_2 のオーバフロー	TCFV_2	不可	不可	
	TCIU_2	TCNT_2 のアンダフロー	TCFU_2	不可	不可	
3	TGIA_3	TGRA_3 のインプットキャプチャ / コンペアマッチ	TGFA_3	可	可	
	TGIB_3	TGRB_3 のインプットキャプチャ / コンペアマッチ	TGFB_3	不可	可	
	TGIC_3	TGRC_3 のインプットキャプチャ / コンペアマッチ	TGFC_3	不可	可	
	TGID_3	TGRD_3 のインプットキャプチャ / コンペアマッチ	TGFD_3	不可	可	
	TCIV_3	TCNT_3 のオーバフロー	TCFV_3	不可	不可	

11. マルチファンクションタイムパルスユニット (MTU)

チャネル	名称	割り込み要因	割り込みフラグ	DMACの起動	DTCの起動	優先順位
4	TGIA_4	TGRA_4のインプットキャプチャ/コンペアマッチ	TGFA_4	可	可	高 ↑ ↓ 低
	TGIB_4	TGRB_4のインプットキャプチャ/コンペアマッチ	TGFB_4	不可	可	
	TGIC_4	TGRC_4のインプットキャプチャ/コンペアマッチ	TGFC_4	不可	可	
	TGID_4	TGRD_4のインプットキャプチャ/コンペアマッチ	TGFD_4	不可	可	
	TCIV_4	TCNT_4のオーバフロー/アンダフロー	TCFV_4	不可	可	

【注】 リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ/コンペアマッチ割り込み

各チャネルのTGRのインプットキャプチャ/コンペアマッチの発生により、TSRのTGFフラグが1にセットされたとき、TIERのTGIEビットが1にセットされていれば、割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。MTUには、チャネル0、3、4に各4本、チャネル1、2に各2本、計16本のインプットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャネルのTCNTのオーバフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。MTUには、各チャネルに1本、計5本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。MTUには、チャネル1、2に各1本、計2本のアンダフロー割り込みがあります。

11.5.2 DTC/DMACの起動

(1) DTCの起動

各チャネルのTGRのインプットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「第8章 データトランスファコントローラ (DTC)」を参照してください。

MTUでは、チャネル0、3が各4本、チャネル1、2が各2本、チャネル4が各5本、計17本のインプットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

(2) DMACの起動

各チャネルのTGRAのインプットキャプチャ/コンペアマッチ割り込みによって、DMACを起動することができます。詳細は「第10章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

MTUでは、各チャネル1本、計5本のTGRAレジスタのインプットキャプチャ/コンペアマッチ割り込みをDMACの起動要因とすることができます。

11.5.3 A/D 変換器の起動

各チャンネルの TGRA の入力キャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA の入力キャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、MTU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

MTU では、各チャンネル 1 本、計 5 本の TGRA の入力キャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

11.6 動作タイミング

11.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.54 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 11.55 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 11.56 に示します。

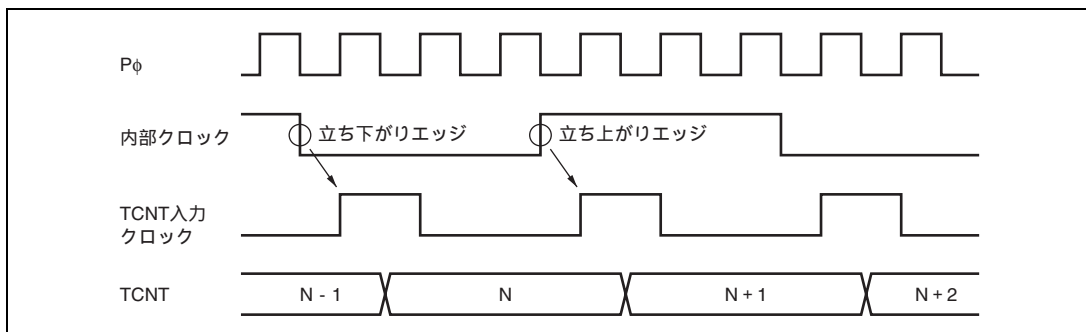


図 11.54 内部クロック動作時のカウントタイミング

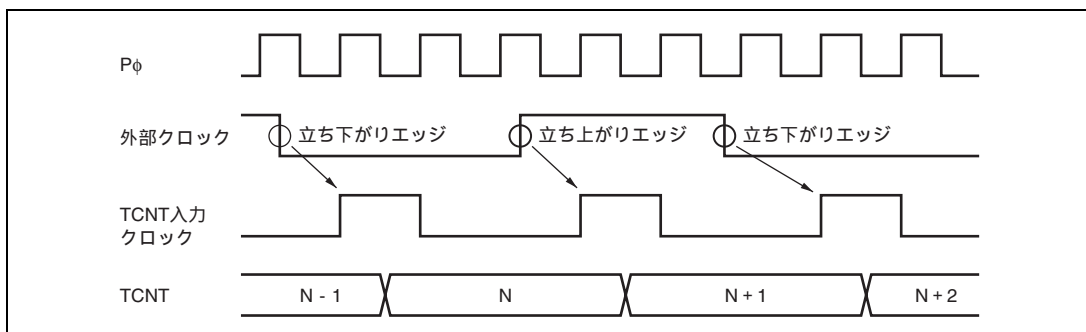


図 11.55 外部クロック動作時のカウントタイミング

11. マルチファンクションタイマパルスユニット (MTU)

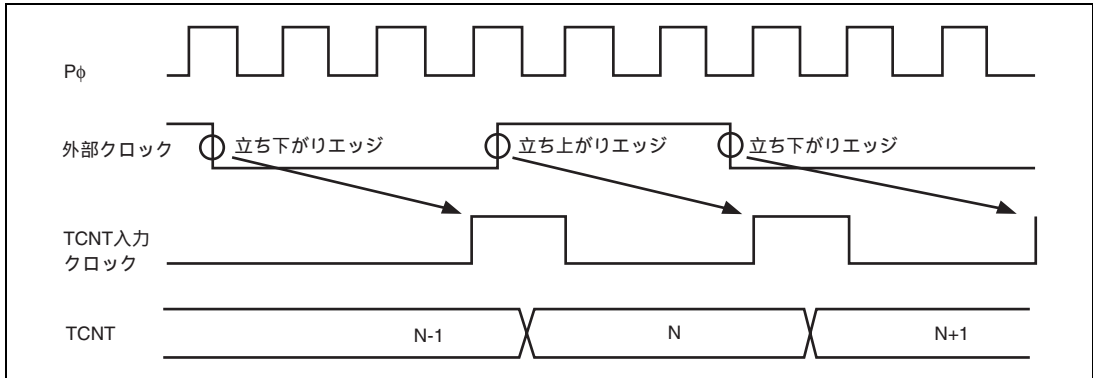


図 11.56 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 11.57 に、アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を図 11.58 に示します。

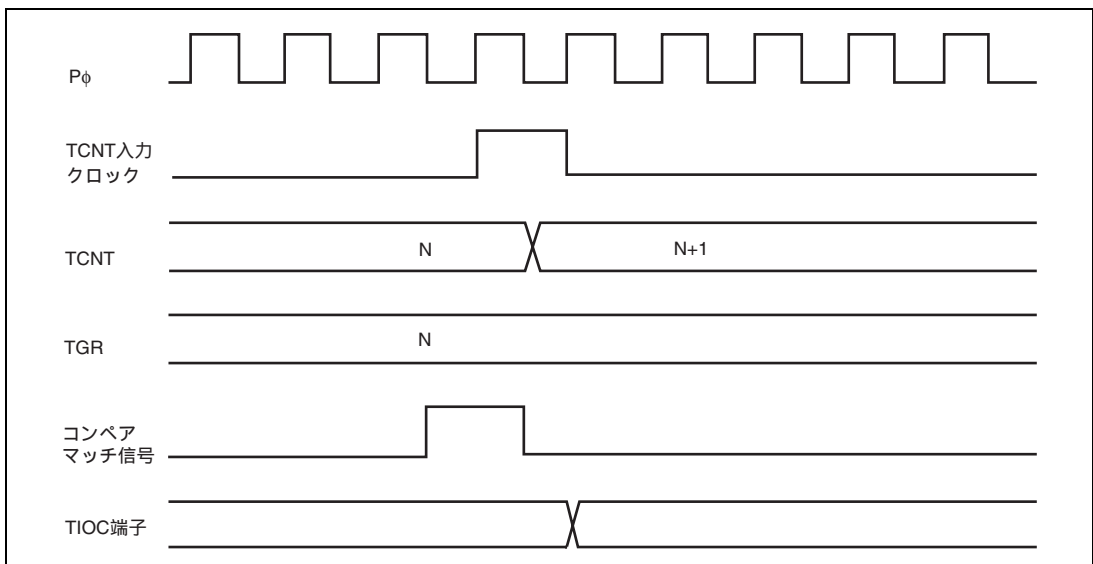


図 11.57 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

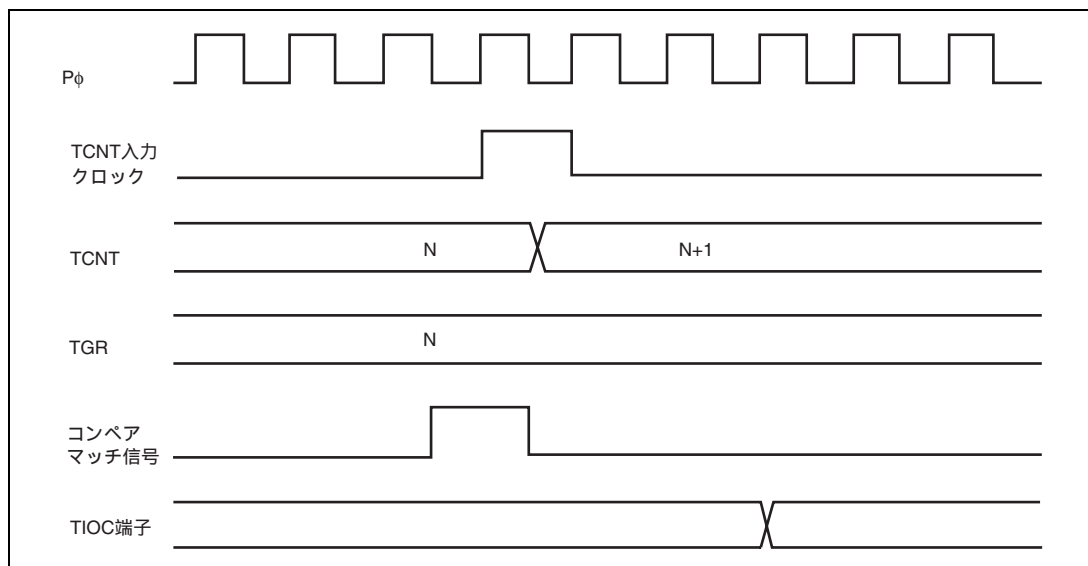


図 11.58 アウトputコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 11.59 に示します。

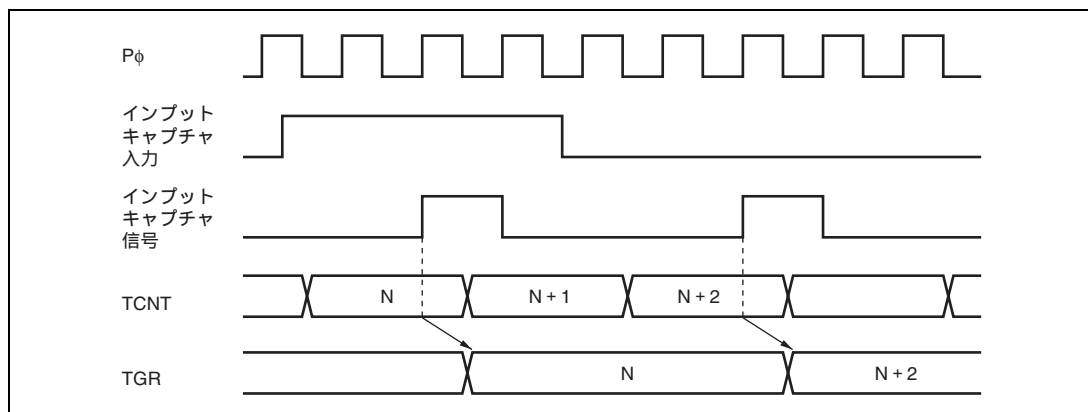


図 11.59 インพุットキャプチャ入力信号タイミング

11. マルチファンクションタイマパルスユニット (MTU)

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 11.60 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 11.61 に示します。

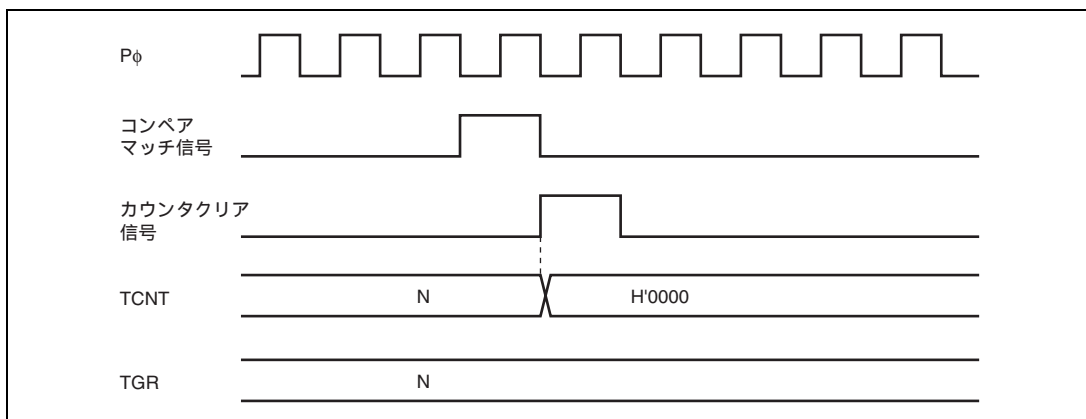


図 11.60 カウンタクリアタイミング (コンペアマッチ)

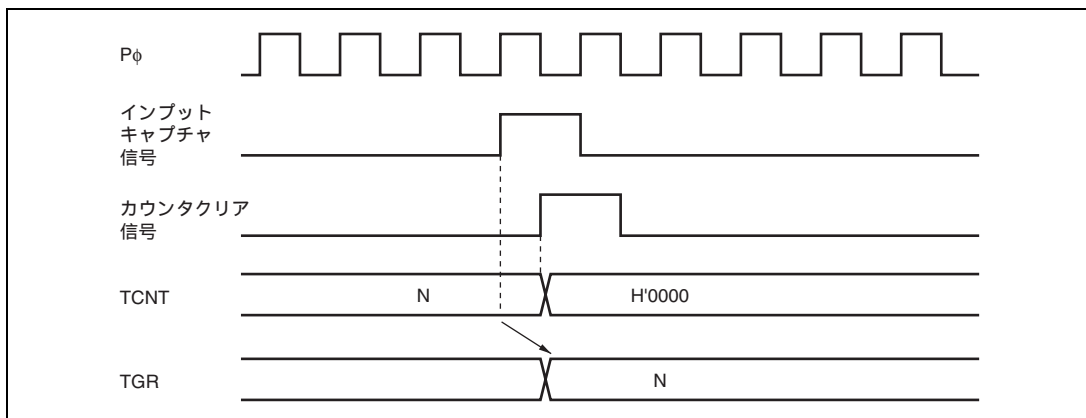


図 11.61 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 11.62、図 11.63 に示します。

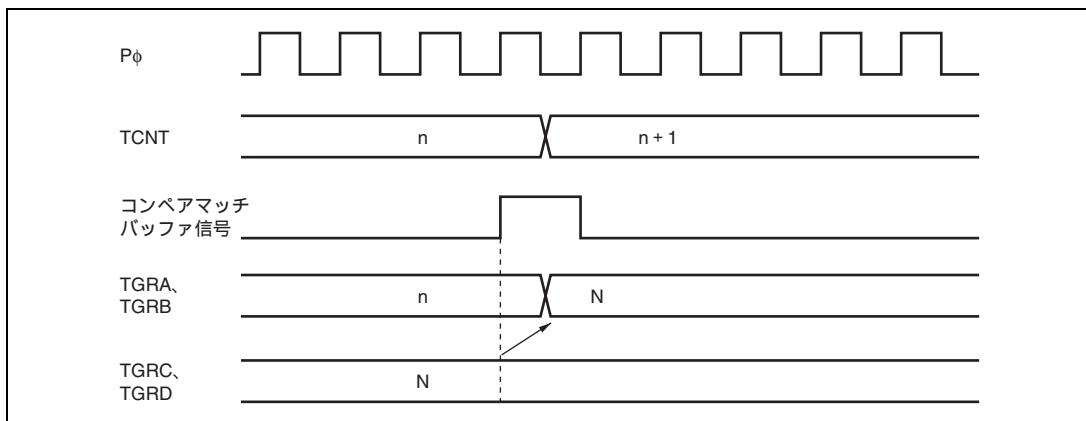


図 11.62 バッファ動作タイミング (コンペアマッチ)

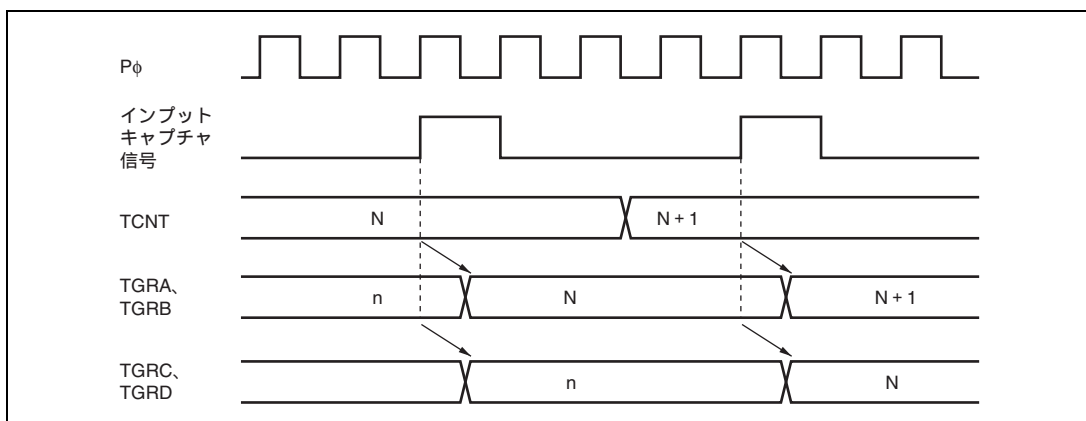


図 11.63 バッファ動作タイミング (インプットキャプチャ)

11.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.64 に示します。

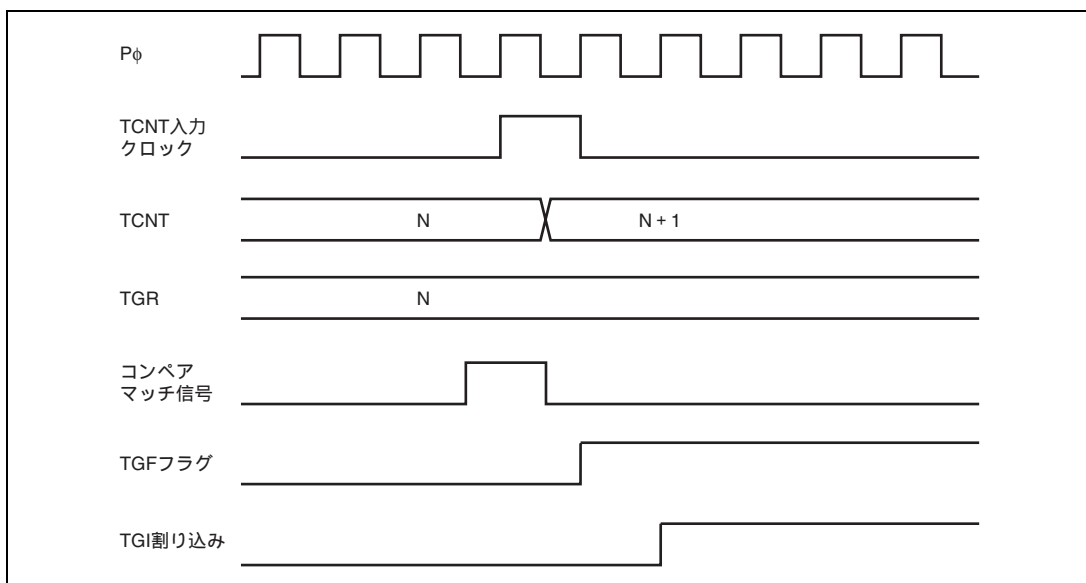


図 11.64 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.65 に示します。

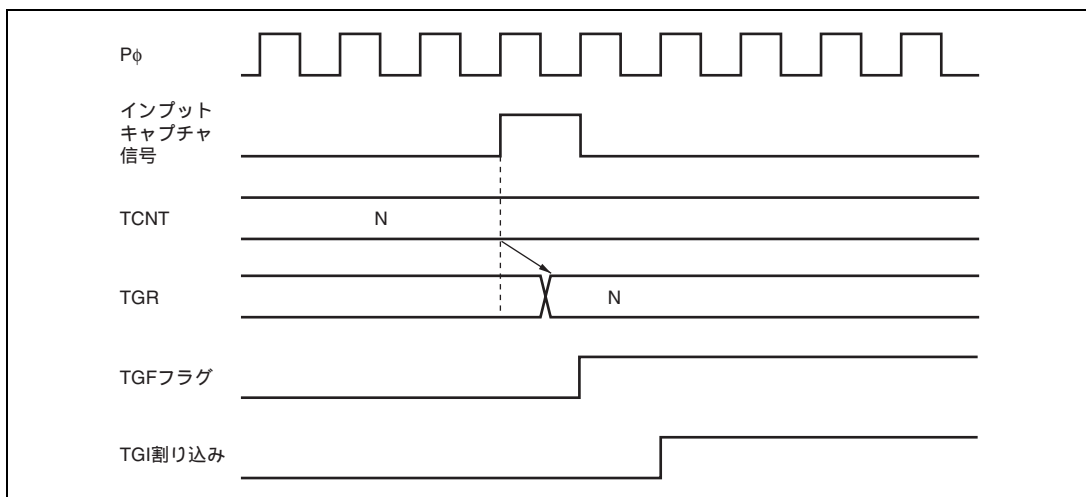


図 11.65 TGI 割り込みタイミング (インプットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 11.66 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 11.67 に示します。

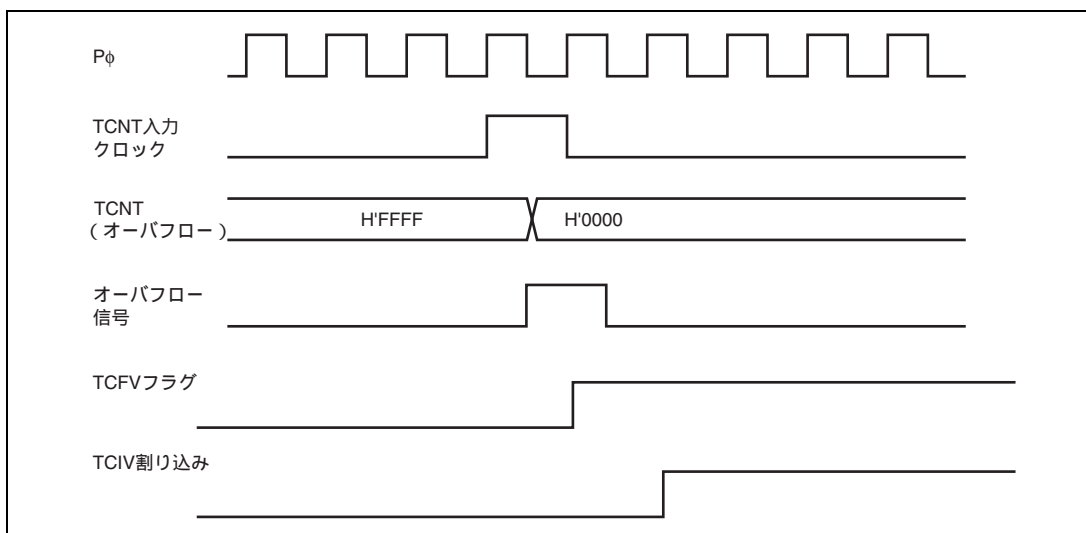


図 11.66 TCIV 割り込みのセットタイミング

11. マルチファンクションタイマパルスユニット (MTU)

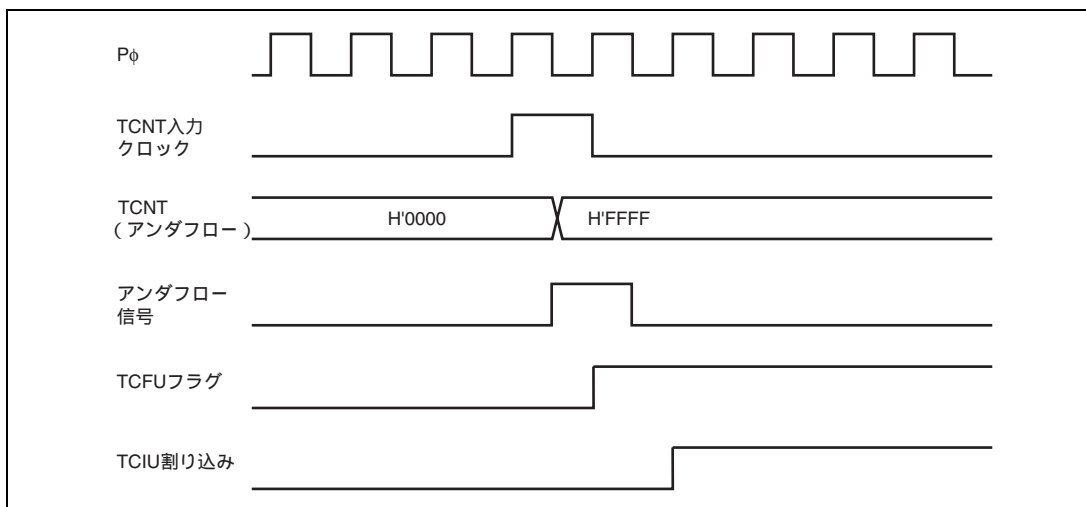


図 11.67 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTC/DMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図11.68に、DTC/DMACによるステータスフラグのクリアのタイミングを図11.69に示します。

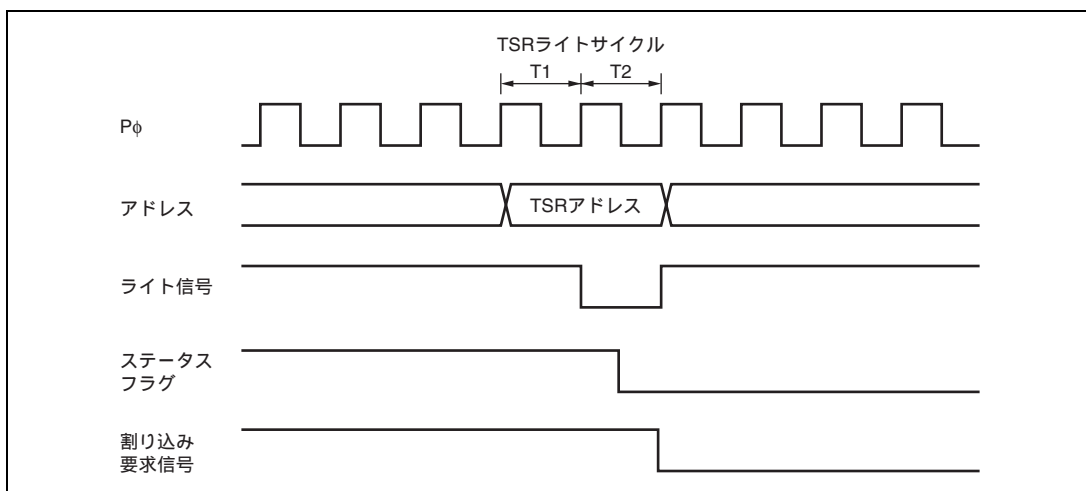


図 11.68 CPUによるステータスフラグのクリアタイミング

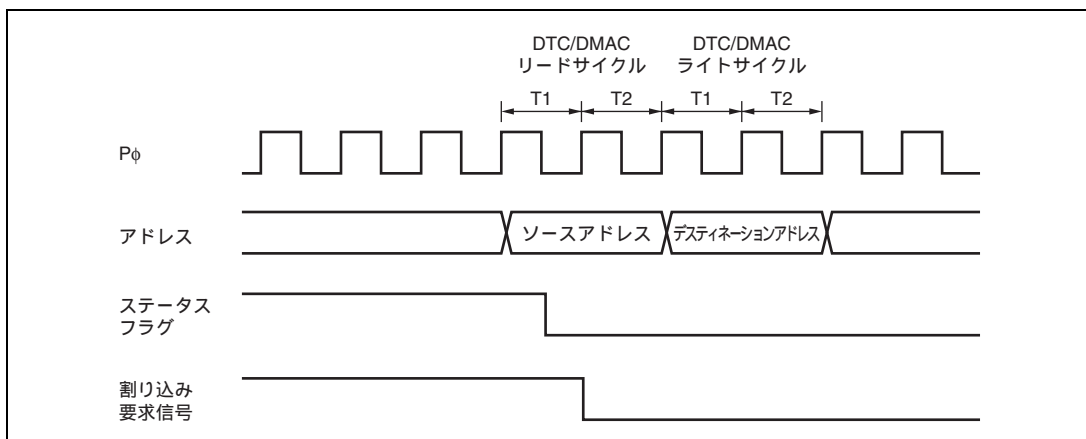


図 11.69 DTC/DMAC の起動によるステータスフラグのクリアタイミング

11.7 使用上の注意事項

11.7.1 モジュールスタンバイモードの設定

MTU は、モジュールスタンバイレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、MTU の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

11.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 11.70 に示します。

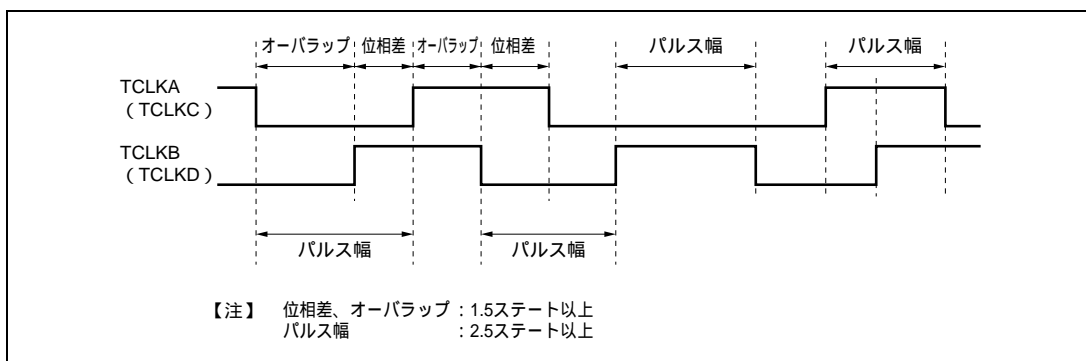


図 11.70 位相計数モード時の位相差、オーバーラップ、およびパルス幅

11. マルチファンクションタイマパルスユニット (MTU)

11.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{P\phi}{(N+1)}$$

f : カウンタ周波数

Pφ : 周辺クロック動作周波数

N : TGR の設定値

11.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 11.71 に示します。

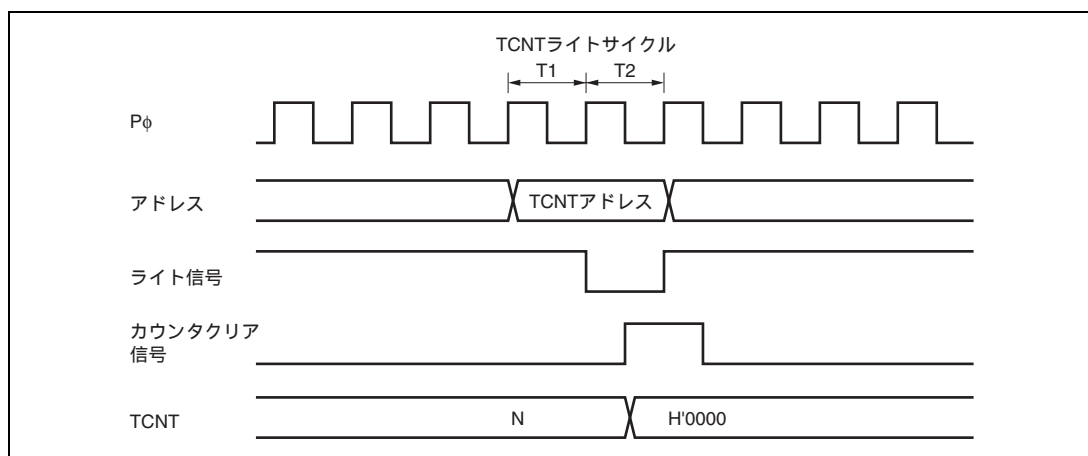


図 11.71 TCNT のライトとクリアの競合

11.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 11.72 に示します。

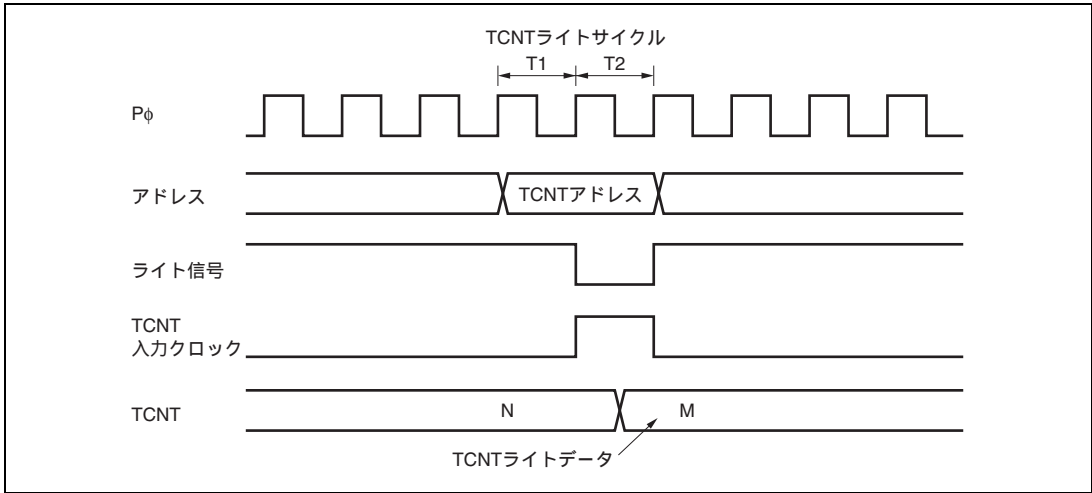


図 11.72 TCNT のライトとカウントアップの競合

11.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 11.73 に示します。

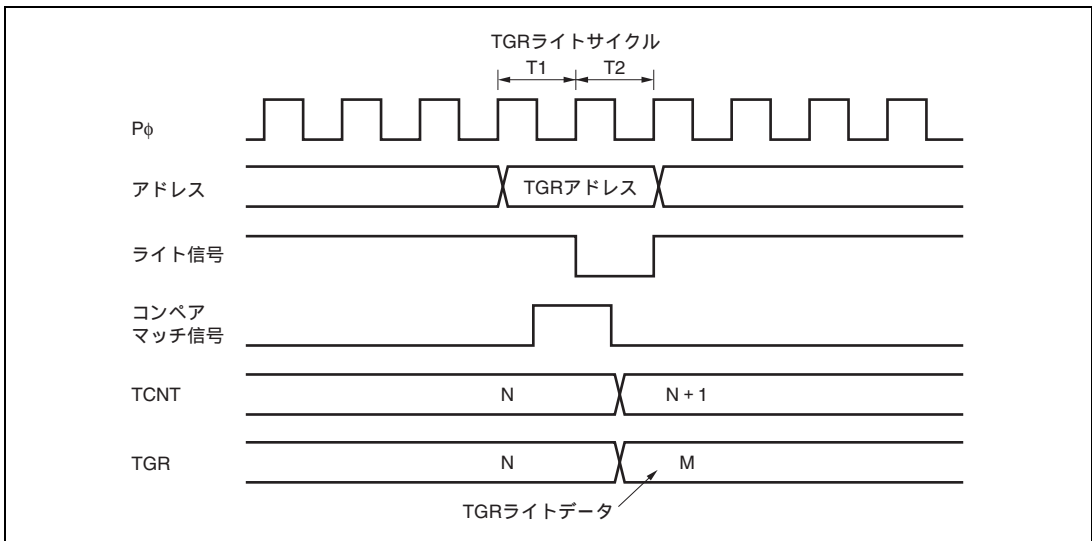


図 11.73 TGR のライトとコンペアマッチの競合

11. マルチファンクションタイムパルスユニット (MTU)

11.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはチャンネル 0 とチャンネル 3、4 では異なり、チャンネル 0 では書き込み後のデータ、チャンネル 3、4 では書き込み前のデータです。

このタイミングを図 11.74、図 11.75 に示します。

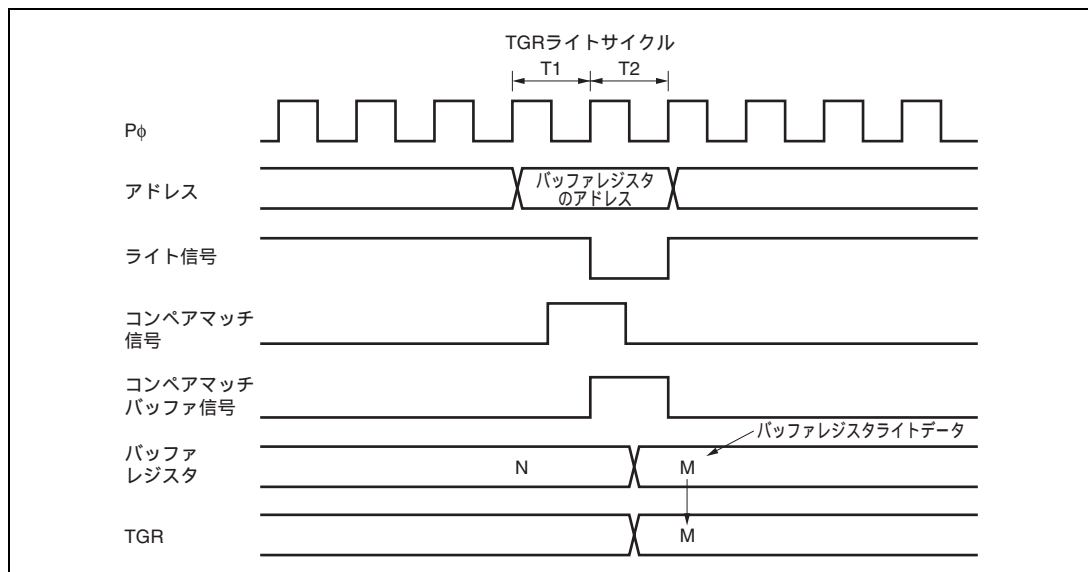


図 11.74 バッファレジスタのライトとコンペアマッチの競合 (チャンネル 0)

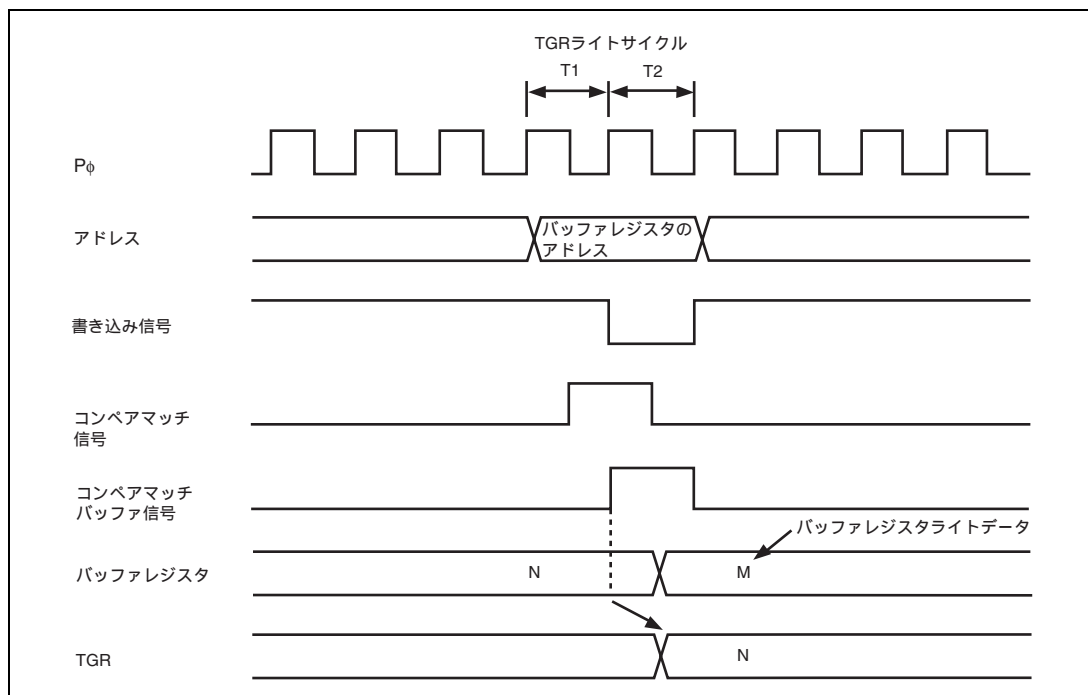


図 11.75 TGR のライトとコンペアマッチの競合 (チャンネル3、4)

11.7.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 11.76 に示します。

11. マルチファンクションタイマパルスユニット (MTU)

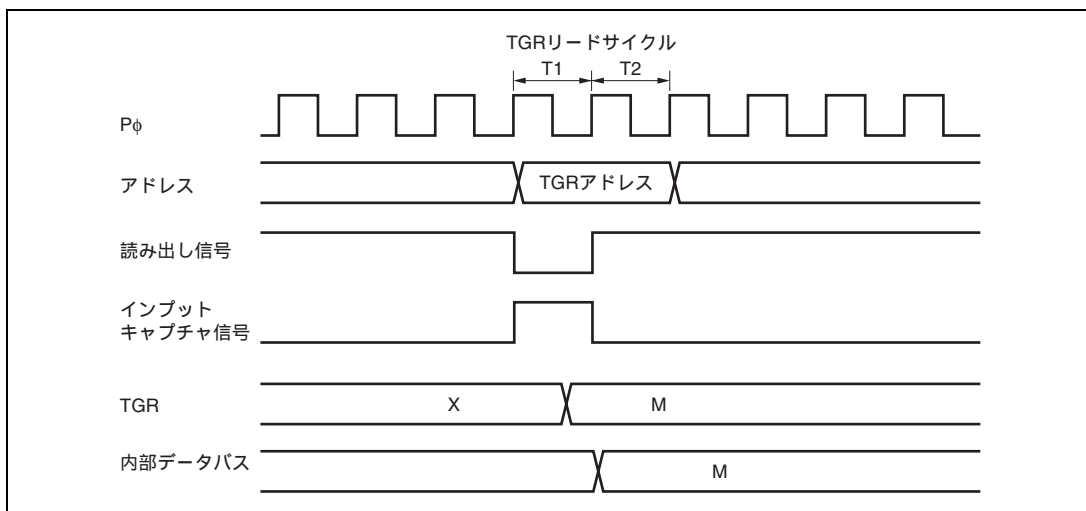


図 11.76 TGR のリードと入力キャプチャの競合

11.7.9 TGR のライトと入力キャプチャの競合

TGR のライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、TGR へのライトは行われず、入力キャプチャが優先されます。

このタイミングを図 11.77 に示します。

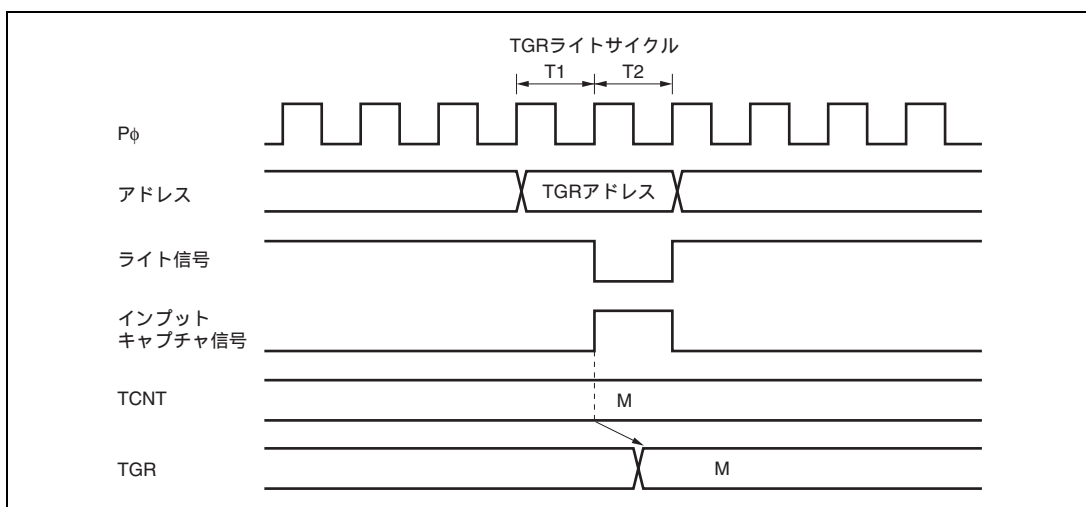


図 11.77 TGR のライトと入力キャプチャの競合

11.7.10 バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 11.78 に示します。

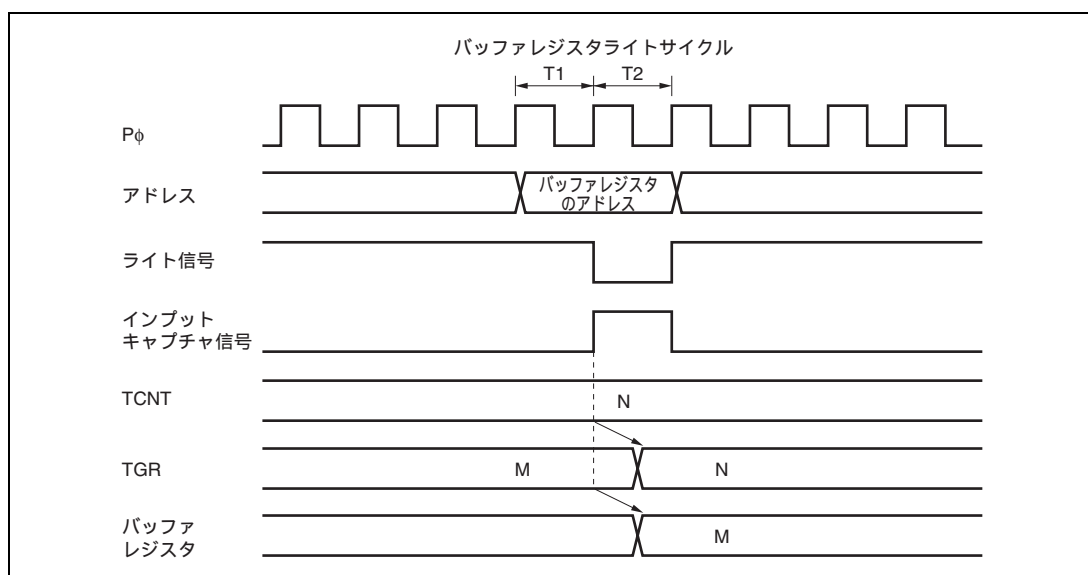


図 11.78 バッファレジスタのライトと入力キャプチャの競合

11.7.11 カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバフロー / アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 の入力キャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0 ~ D_0 は入力キャプチャ動作します。さらに TGRB_1 の入力キャプチャ要因に TGRC_0 のコンペアマッチ / 入力キャプチャを選択した場合には、TGRB_1 は入力キャプチャ動作します。

このタイミングを図 11.79 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

11. マルチファンクションタイマパルスユニット (MTU)

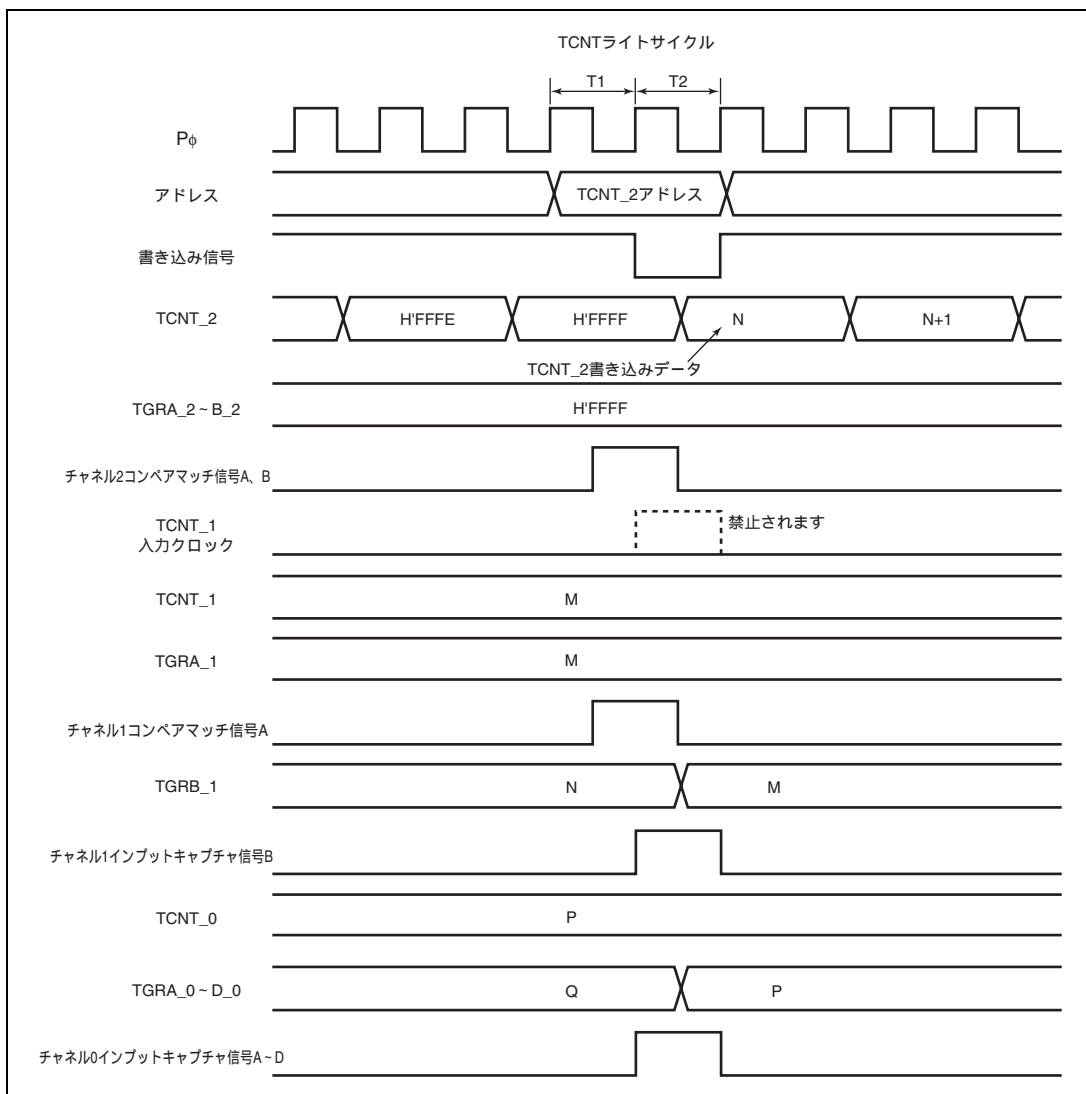


図 11.79 カスケード接続における TCNT_2 のライトとオーバーフロー / アンダフローの競合

11.7.12 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作しているときにカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 11.80 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

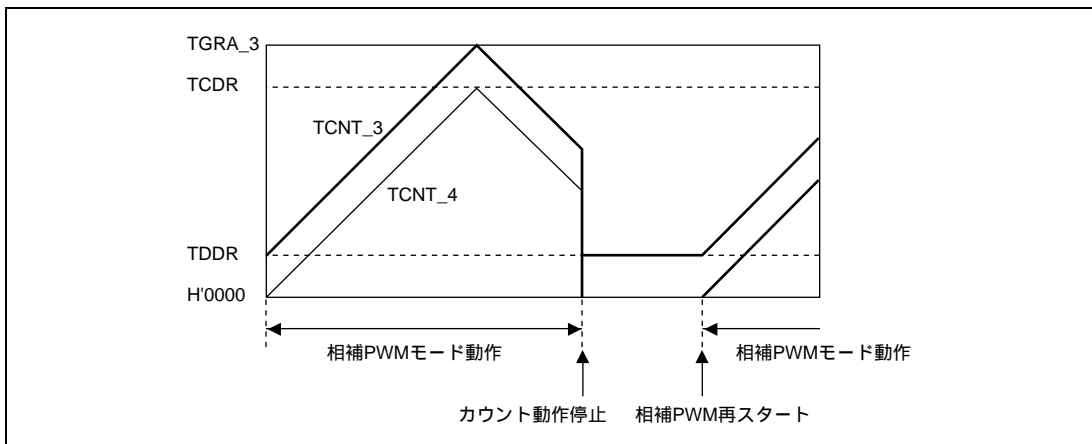


図 11.80 相補 PWM モード停止時のカウンタ値

11.7.13 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

11.7.14 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFD ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 11.81 に示します。

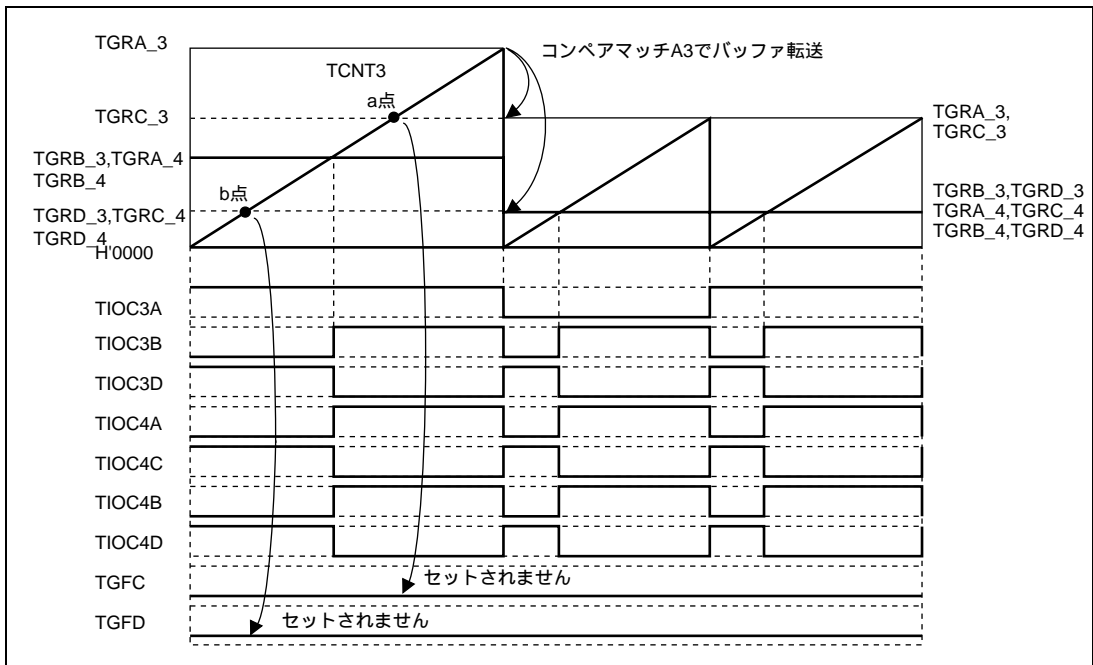


図 11.81 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

11.7.15 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 とともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 11.82 に示します。

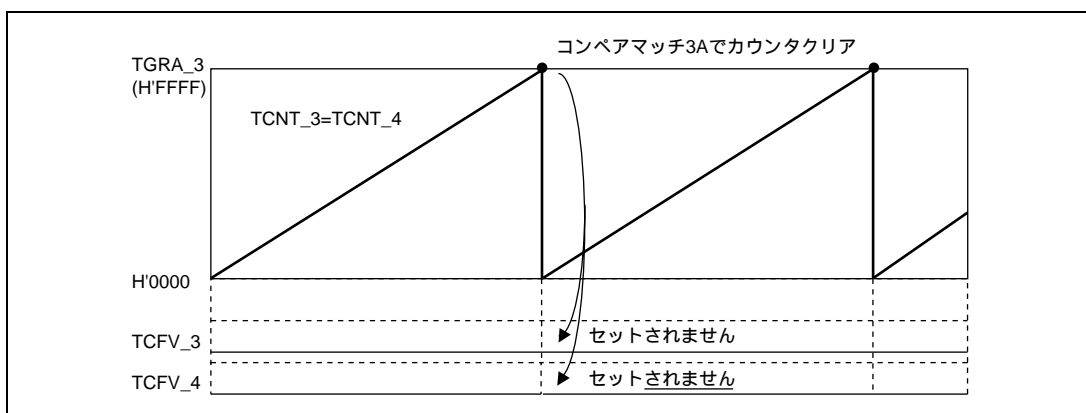


図 11.82 リセット同期 PWM モードのオーバーフローフラグ

11.7.16 オーバフロー / アンダフローとカウンタクリアの競合

オーバーフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 11.83 に示します。

11. マルチファンクションタイマパルスユニット (MTU)

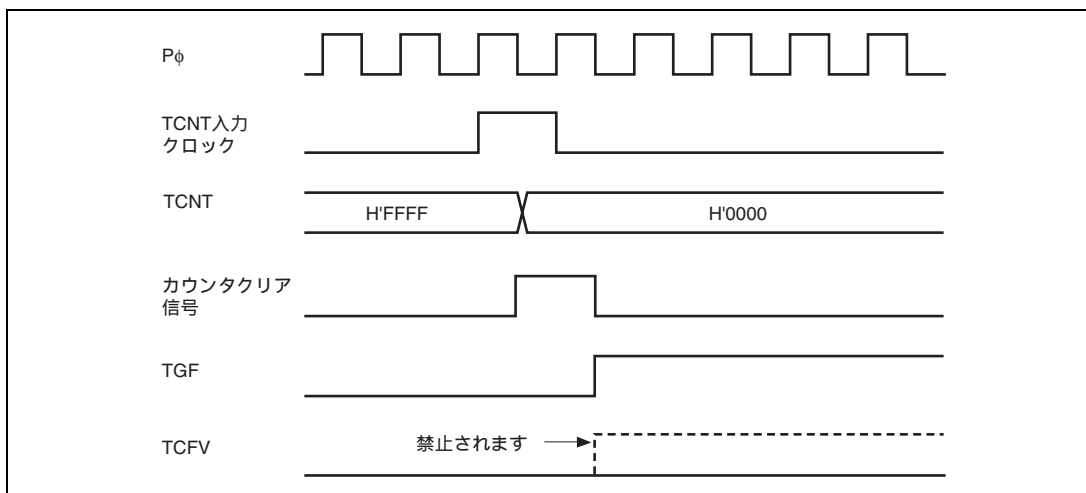


図 11.83 オーバフローとカウンタクリアの競合

11.7.17 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 11.84 に示します。

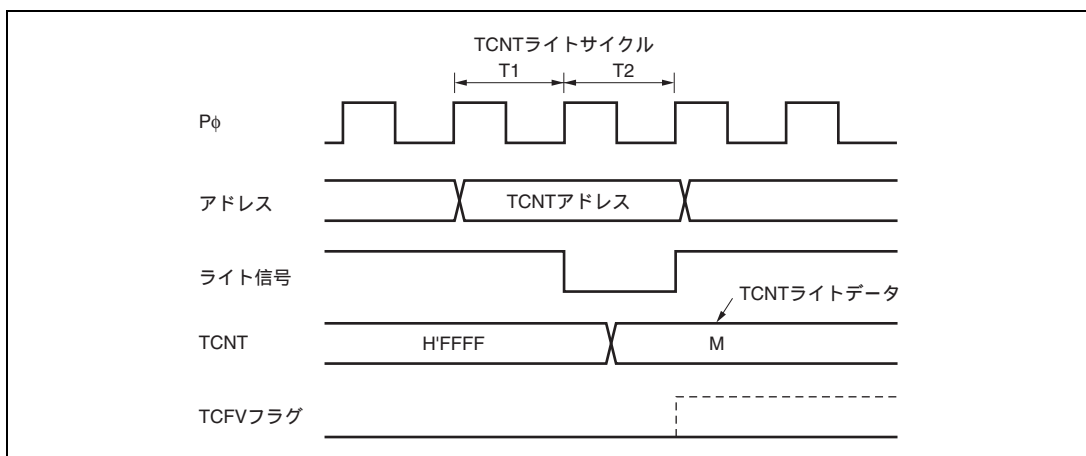


図 11.84 TCNT のライトとオーバフローの競合

11.7.18 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル3、4の通常動作またはPWMモード1からリセット同期PWMモードへ遷移する場合、出力端子(TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D)をハイレベルの状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期PWMモードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4レジスタにH'11を書いて出力端子をローレベルに初期化した後、レジスタの初期値H'00を設定してからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値H'00を設定してからリセット同期PWMモードに遷移してください。

11.7.19 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル3、4が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはタイマアウトプットコントロールレジスタ(TOCR)のOLSP、OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIORはH'00としてください。

11.7.20 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPUの割り込み要因、またはDTC/DMACの起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

11.7.21 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ1、2(TCNT_1とTCNT_2)をカスケード接続して、32ビットカウンタとして動作させている場合、TIOC1AとTIOC2A、またはTIOC1BとTIOC2Bに同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、またはTIOC1BとTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、TCNT_1(上位16ビットのカウンタ)がTCNT_2(下位16ビットのカウンタ)のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはTCNT_1=H'FFF1、TCNT_2=H'0000の値をTGRA_1とTGRA_2、もしくはTGRB_1とTGRB_2に転送すべきところを誤ってTCNT_1=H'FFF0、TCNT_2=H'0000の値を転送します。

11.7.22 バッファ動作設定上の注意事項

バッファ動作を設定する場合には、バッファレジスタとして使用するTGRC、TGRDに対応するタイマインタラプトイネーブルレジスタ(TIER)のTGIEC、TGIEDビットは0に設定してください。

11.8 MTU 出力端子の初期化方法

11.8.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、おのおのモードでの MTU 出力端子の初期化方法について示します。

11.8.2 リセットスタート時の動作

MTU の出力端子 (TIOC*) はリセットまたはスタンバイモード時に L に初期化されます。MTU の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU の端子の状態がポートに出力されます。リセット直後に PFC で MTU の出力を選択した場合、ポート出力には MTU 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU の出力端子の初期設定終了後に行ってください。

【注】 *にはチャンネル番号+ポート記号が入ります。

11.8.3 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り換え、アクティブレベルの反転を出力することにより行います。また、大電流端子に関してはポートアウトプットイネーブル (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 11.43 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 11.43 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	None
PCM	(17)	(18)	(19)	(20)	none	None
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

11.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマI/Oコントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合はTIORの設定により端子を初期化してください。
- PWMモード1ではTIOC*B (TIOC*D) 端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード1に遷移してください。
- PWMモード2では周期レジスタの端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード2遷移してください。
- ノーマルモードまたはPWMモード2ではTGRC、TGRDがバッファレジスタとして動作している場合、TIORを設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWMモード1ではTGRC、TGRDのいずれか一方がバッファレジスタとして動作している場合、TIORを設定してもTGRCの端子は初期化されません。TGRCの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移しTIORで初期化、TIORを初期値に戻したのちタイマアウトプットマスタイネーブルレジスタ (TOER) でチャンネル3、4を一度出力禁止としてください。その後モード設定手順 (TOCR設定、TMDR設定、TOER設定) に従い動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 11.43 の組み合わせ No.に従い端子の初期化手順を示します。なお、アクティブレベルはLとします。

11. マルチファンクションタイムパルスユニット (MTU)

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再起動する場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再起動する場合の説明図を図 11.85 に示します。

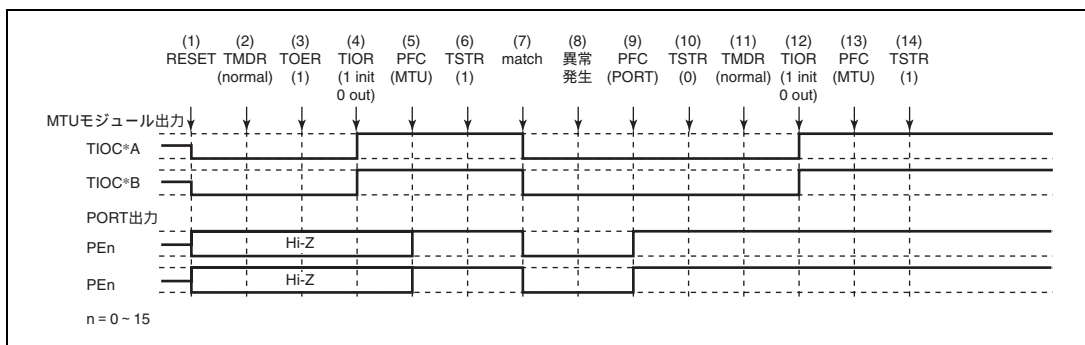


図 11.85 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) RESET により TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりローレベルを出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再起動する場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再起動します。

11. マルチファンクションタイムパルスユニット (MTU)

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.86 に示します。

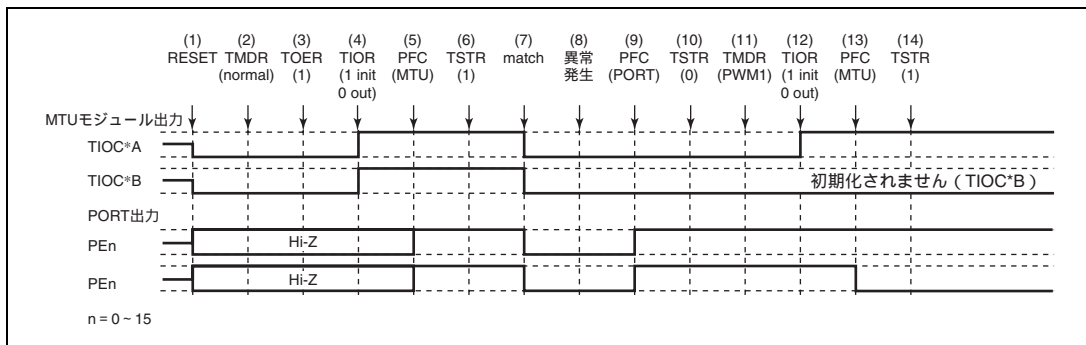


図 11.86 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 11.85 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 11.87 に示します。

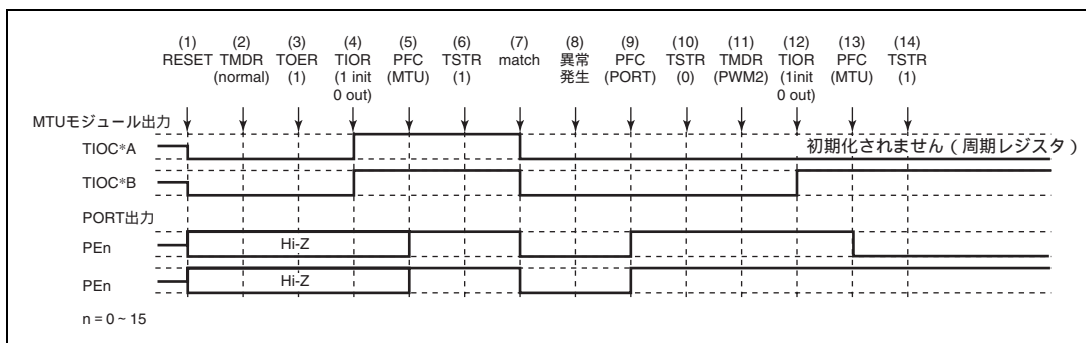


図 11.87 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 11.85 と共通です。

11. マルチファンクションタイマパルスユニット (MTU)

- (11) PWM モード 2 を設定します。
- (12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

- (4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作
ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 11.88 に示します。

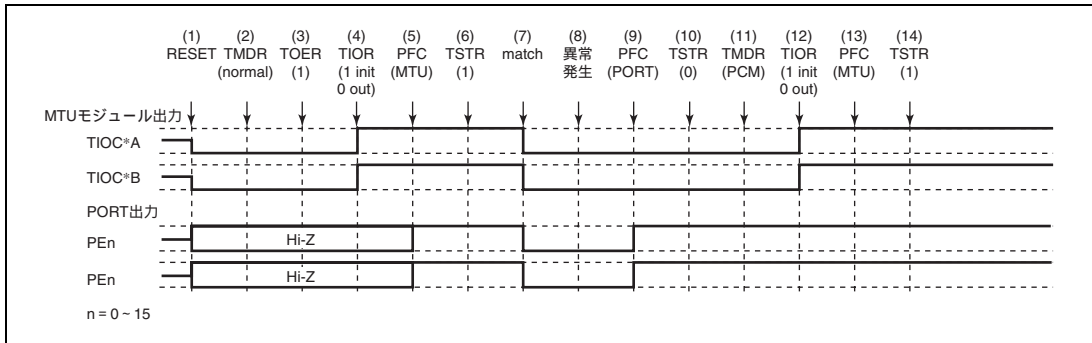


図 11.88 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 11.85 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

11. マルチファンクションタイマパルスユニット (MTU)

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.89 に示します。

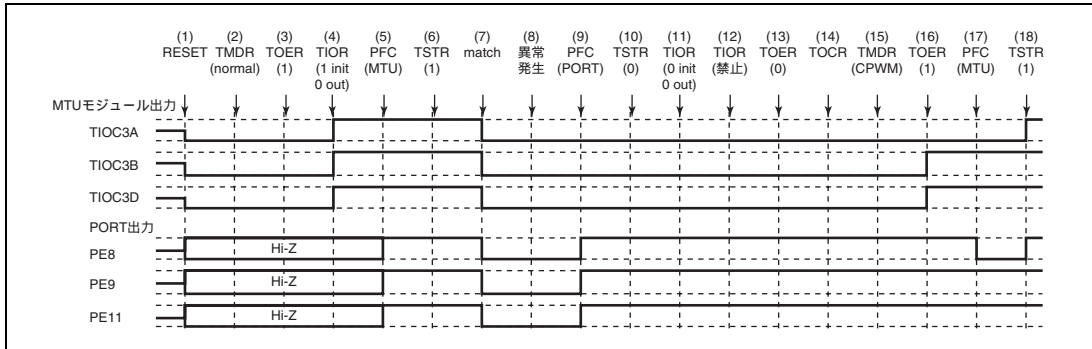


図 11.89 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 11.85 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) PFC で MTU 出力としてください。

(18) TSTR で再スタートします。

11. マルチファンクションタイマパルスユニット (MTU)

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 11.90 に示します。

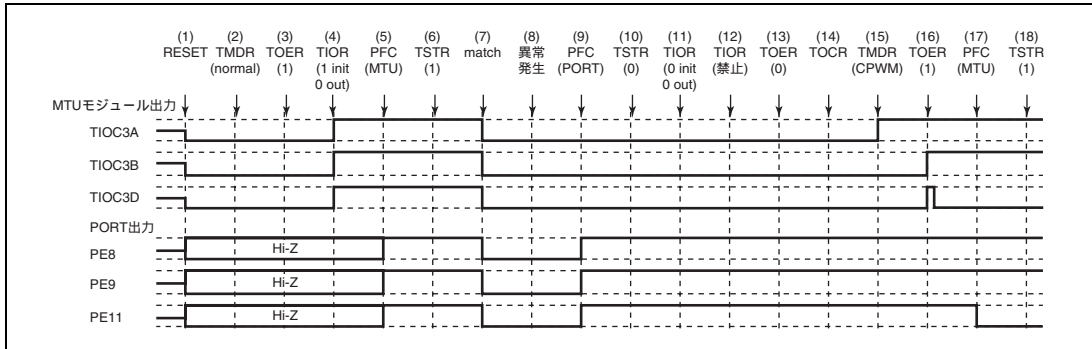


図 11.90 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (13) は図 11.89 と共通です。

(14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOER でチャネル 3、4 の出力を許可してください。

(17) PFC で MTU 出力としてください。

(18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.91 に示します。

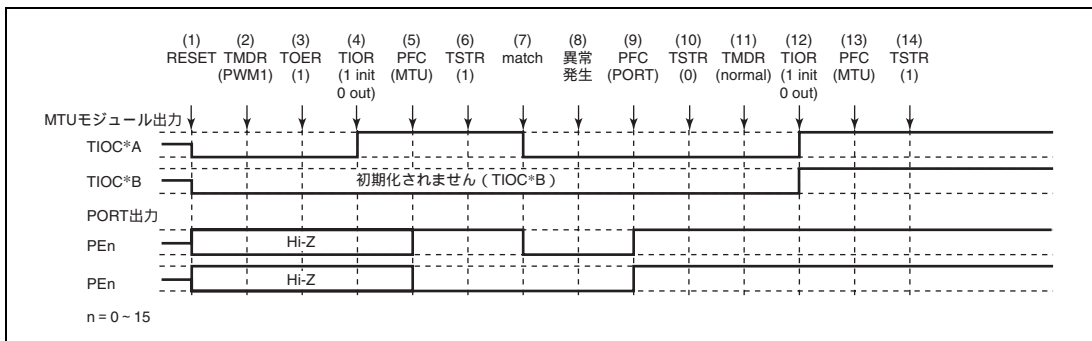


図 11.91 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

11. マルチファンクションタイマパルスユニット (MTU)

- (1) RESET により MTU 出力はローレベル、PORT はハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.92 に示します。

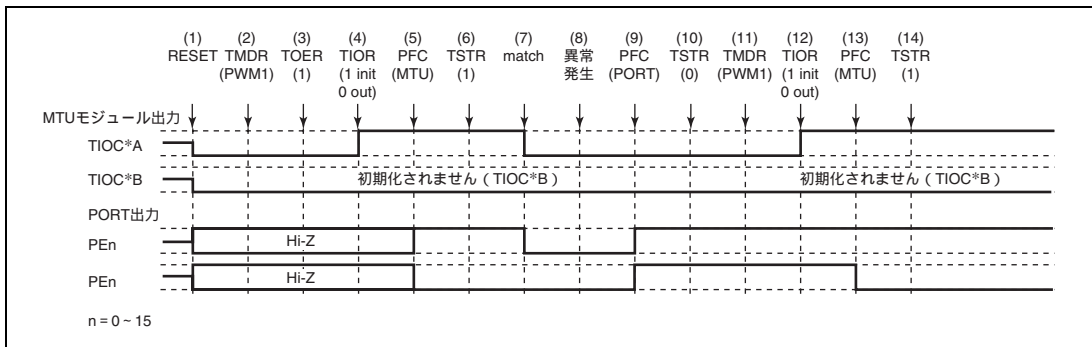


図 11.92 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 11.91 と共通です。
- (11) PWM モード 1 で再スタートする場合には必要ありません。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

11. マルチファンクションタイマパルスユニット (MTU)

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 11.93 に示します。

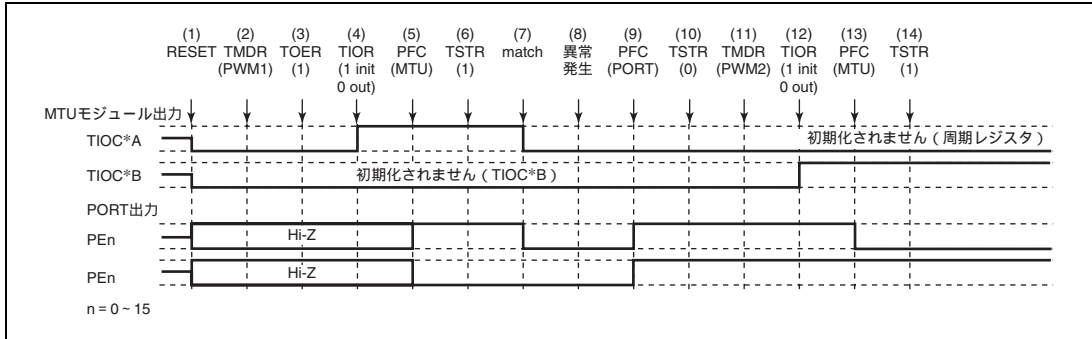


図 11.93 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 11.91 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 11.94 に示します。

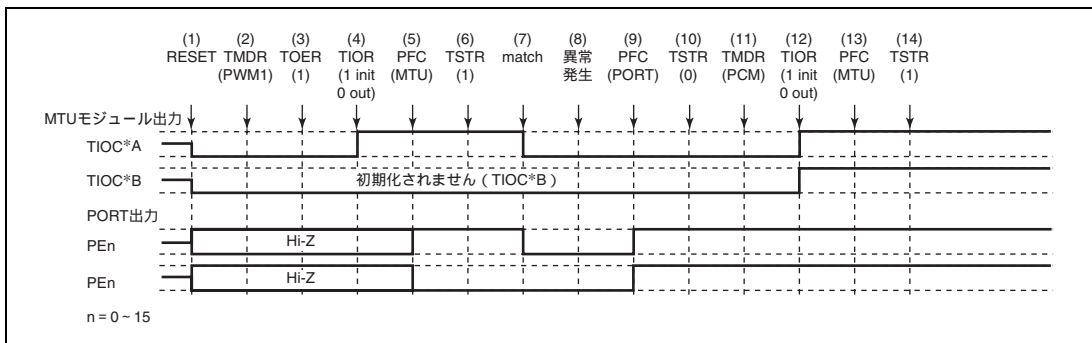


図 11.94 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

11. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (10) は図 11.91 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.95 に示します。

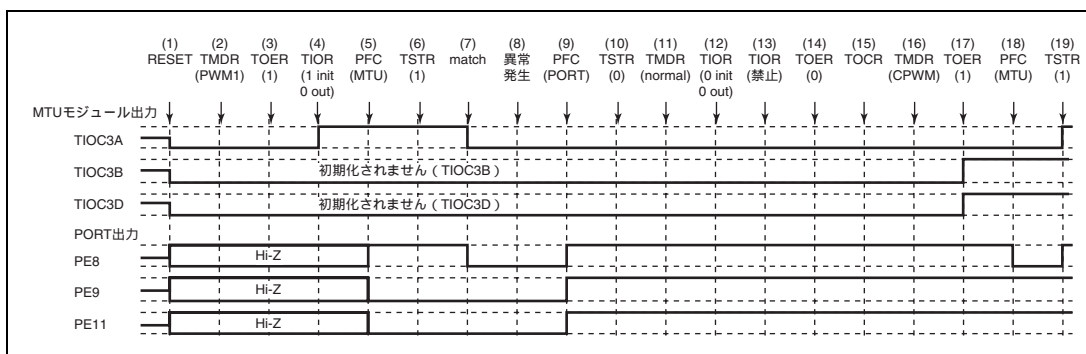


図 11.95 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 11.91 と共通です。
- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR で PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。
- (14) TOER でチャンネル 3、4 の出力を禁止してください。
- (15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (16) 相補 PWM を設定します。
- (17) TOER でチャンネル 3、4 の出力を許可してください。
- (18) PFC で MTU 出力としてください。
- (19) TSTR で再スタートします。

11. マルチファンクションタイマパルスユニット (MTU)

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 11.96 に示します。

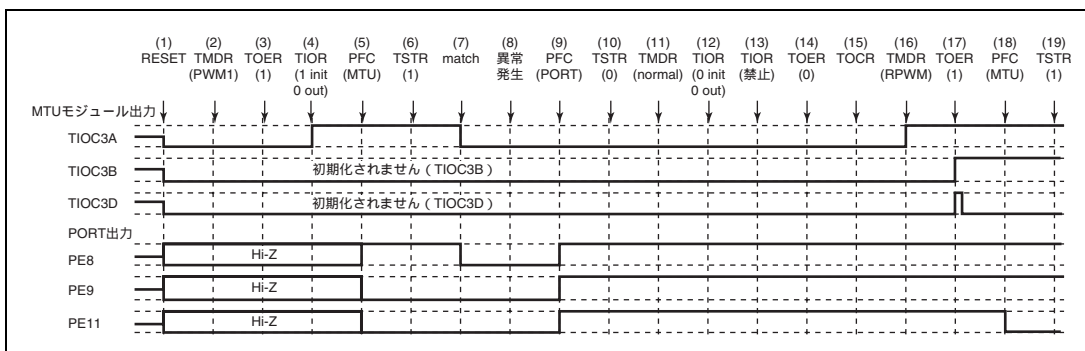


図 11.96 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 11.95 と共通です。

(15) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOER でチャネル 3、4 の出力を許可してください。

(18) PFC で MTU 出力としてください。

(19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.97 に示します。

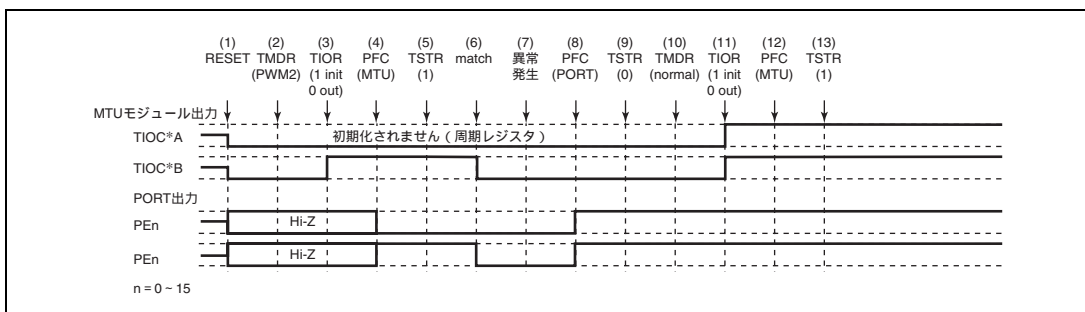


図 11.97 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

11. マルチファンクションタイマパルスユニット (MTU)

- (1) RESET により MTU 出力はローレベル、PORT はハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) PFC で MTU 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.98 に示します。

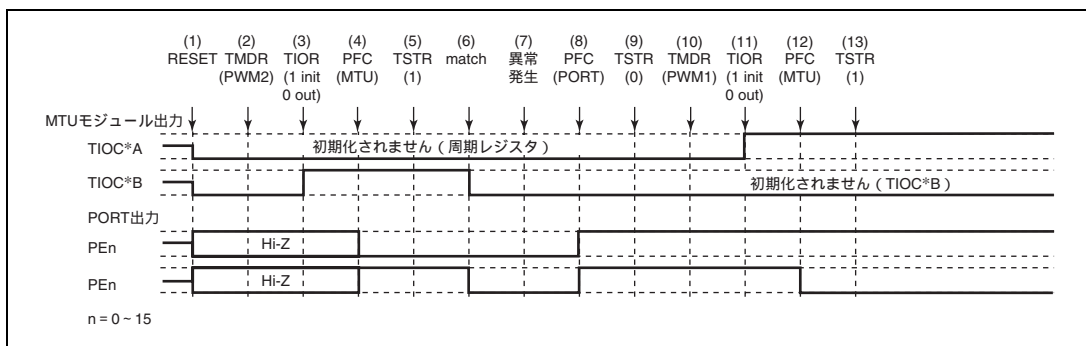


図 11.98 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 11.97 と共通です。
- (10) PWM モード 1 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

11. マルチファンクションタイマパルスユニット (MTU)

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 11.99 に示します。

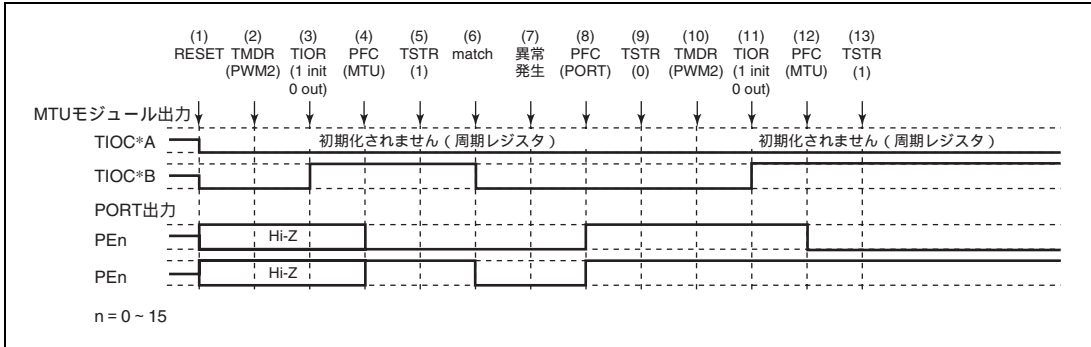


図 11.99 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 11.97 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU 出力としてください。

(13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 11.100 に示します。

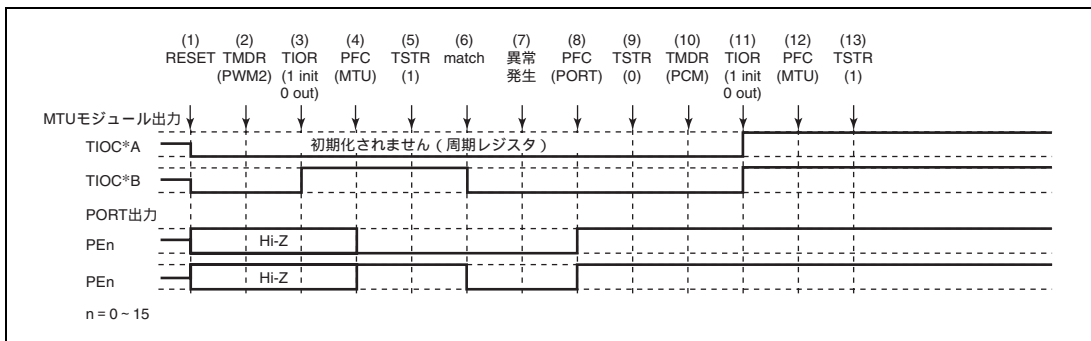


図 11.100 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 11.97 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作
 位相計数モードで異常が発生し、再設計後ノーマルモードで再スタートする場合の説明図を図 11.101 に示します。

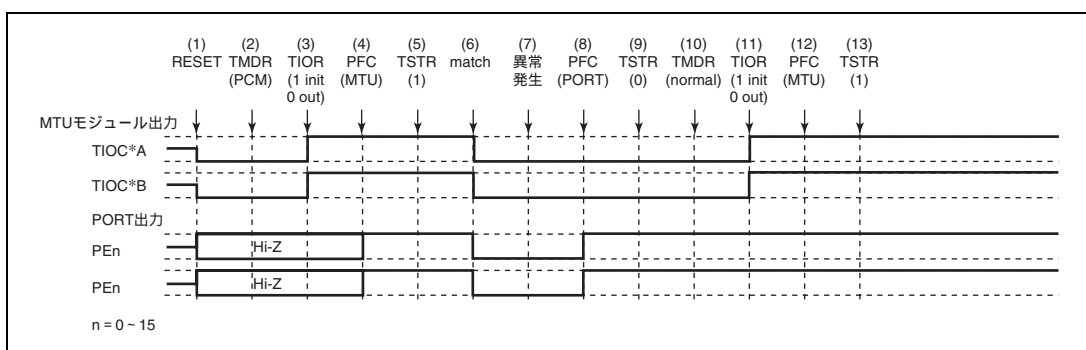


図 11.101 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力はローレベル、PORT はハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (4) PFC で MTU 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

11. マルチファンクションタイマパルスユニット (MTU)

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.102 に示します。

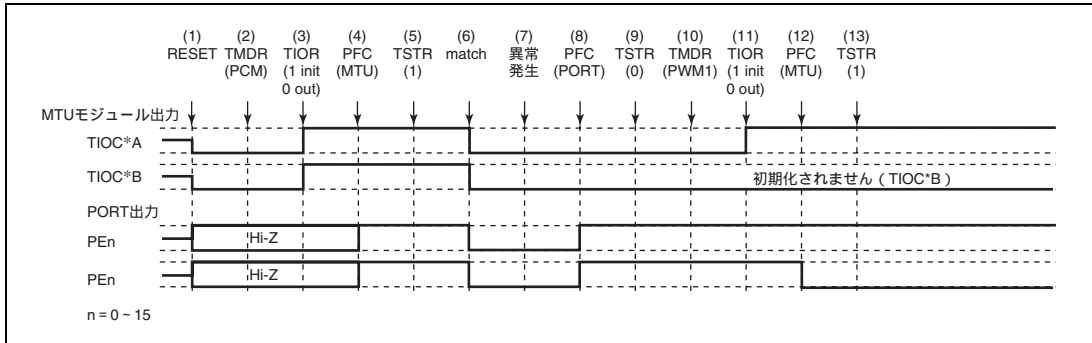


図 11.102 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 11.101 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU 出力としてください。

(13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 11.103 に示します。

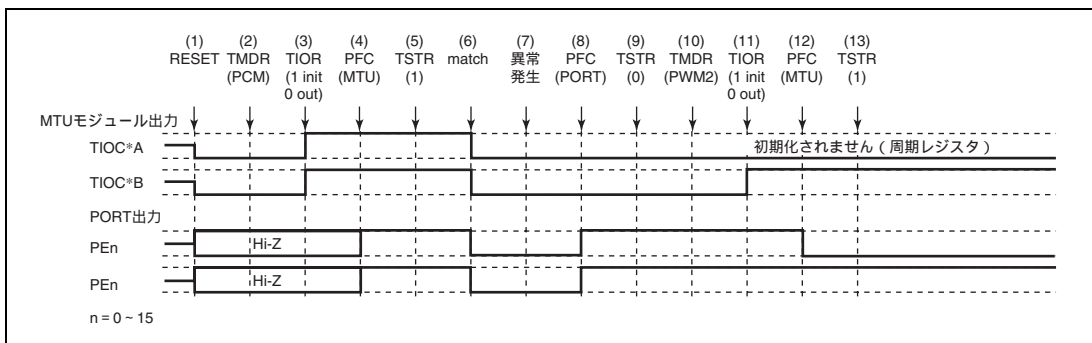


図 11.103 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

11. マルチファンクションタイムパルスユニット (MTU)

- (1) ~ (9) は図 11.101 と共通です。
- (10) PWM モード 2 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作
 位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 11.104 に示します。

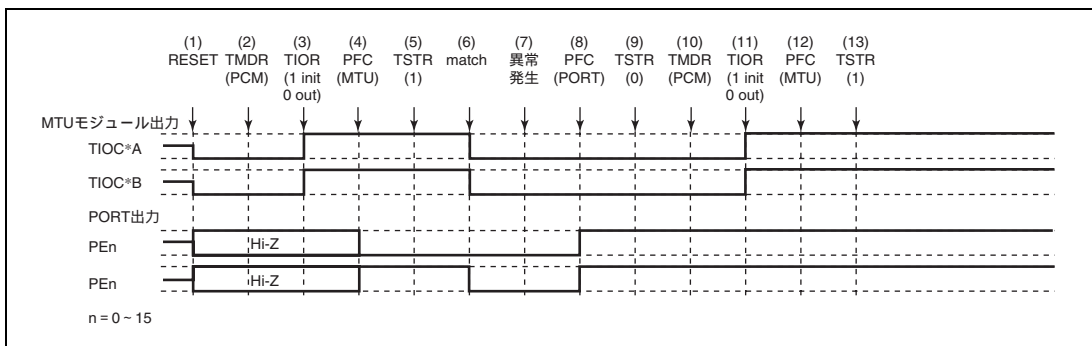


図 11.104 位相計数モードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 11.101 と共通です。
- (10) 位相計数モードで再スタートする場合には必要ありません。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

11. マルチファンクションタイムパルスユニット (MTU)

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.105 に示します。

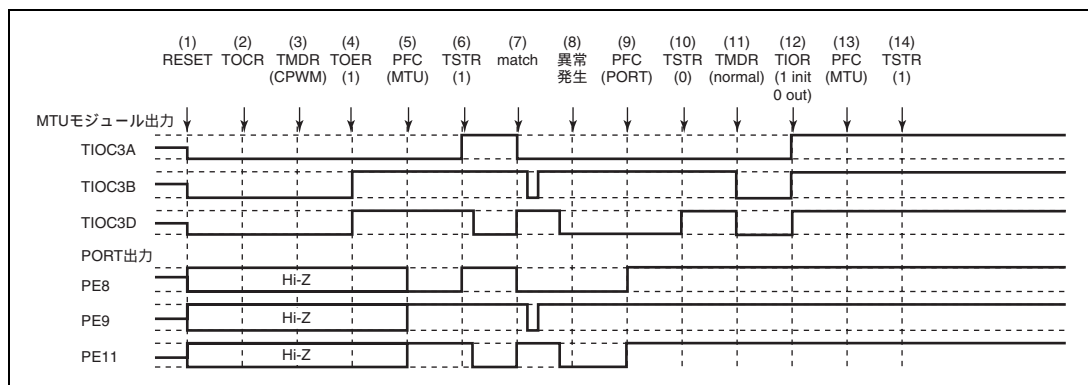


図 11.105 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力はローレベル、PORT はハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

11. マルチファンクションタイマパルスユニット (MTU)

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.106 に示します。

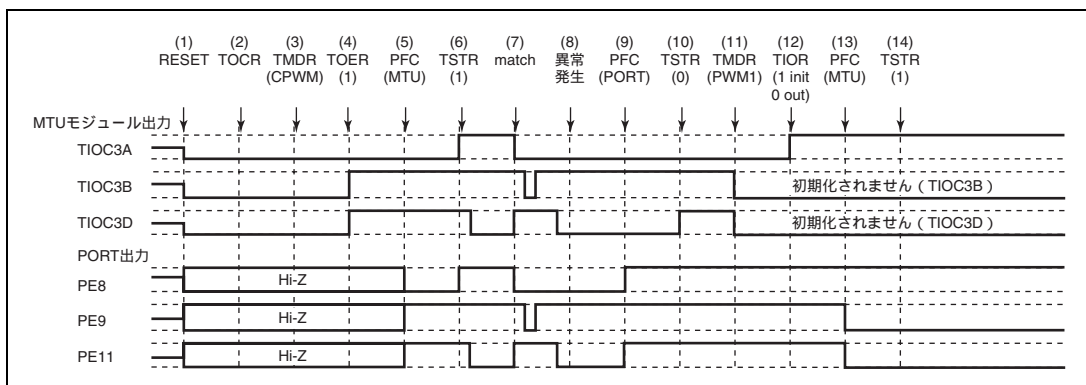


図 11.106 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 11.105 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力はローレベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.107 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

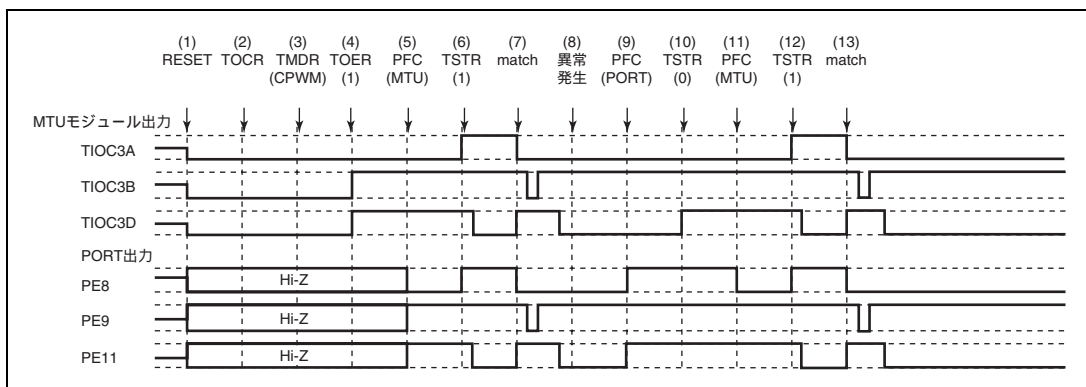


図 11.107 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

11. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (10) は図 11.105 と共通です。
- (11) PFC で MTU 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.108 示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

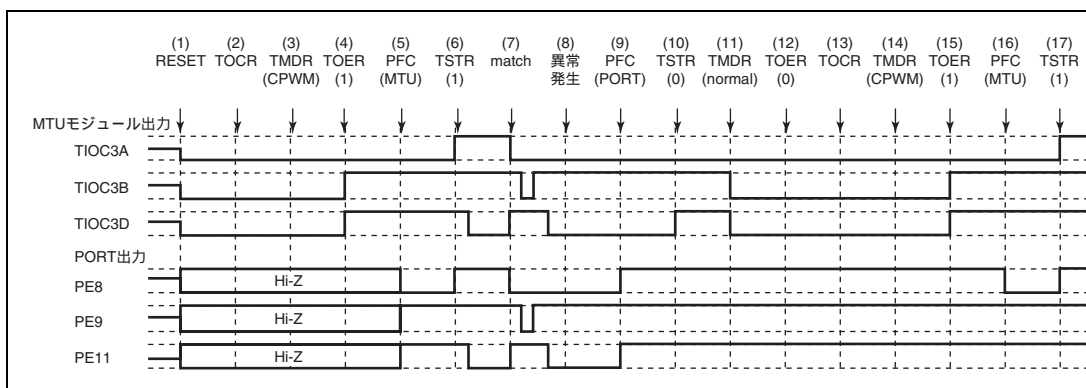


図 11.108 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 11.105 と共通です。
- (11) ノーマルモードを設定し新しい設定値を設定してください (MTU 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU 出力としてください。
- (17) TSTR で再スタートします。

11. マルチファンクションタイマパルスユニット (MTU)

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図
11.109 に示します。

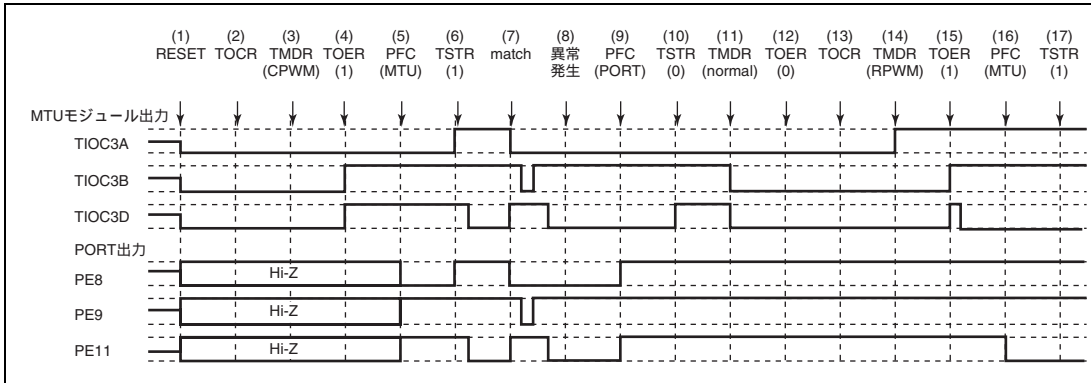


図 11.109 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 11.105 と共通です。
- (11) ノーマルモードを設定してください (MTU 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU 出力としてください。
- (17) TSTR で再スタートします。

11. マルチファンクションタイマパルスユニット (MTU)

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作
リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図
11.110 に示します。

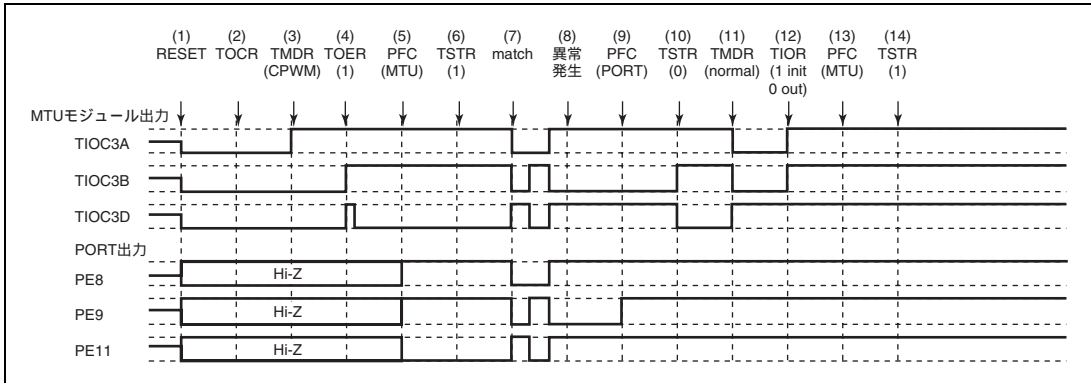


図 11.110 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力はローレベル、PORT はハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

11. マルチファンクションタイマパルスユニット (MTU)

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.111 に示します。

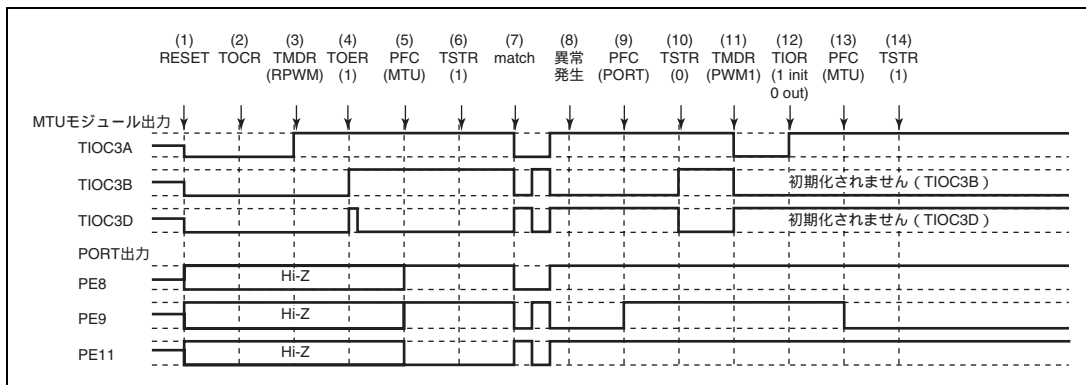


図 11.111 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 11.110 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は正相側がローレベル、逆相側がハイレベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.112 に示します。

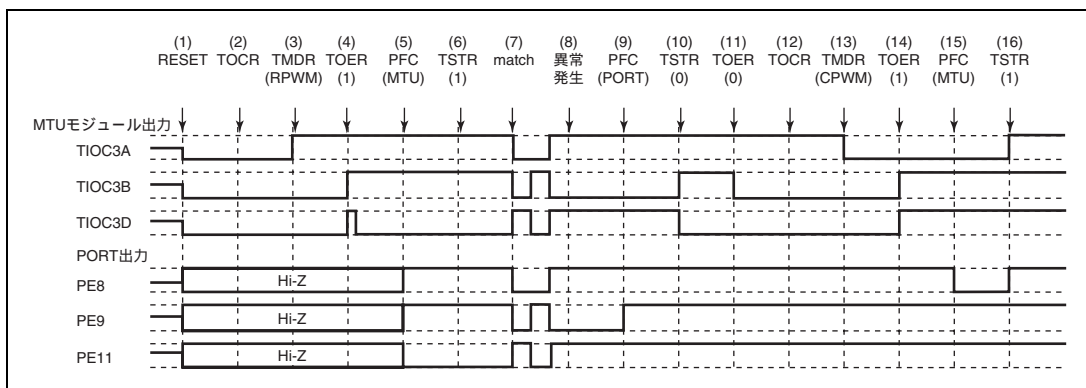


図 11.112 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

11. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (10) は図 11.110 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子はローレベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) PFC で MTU 出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 11.113 に示します。

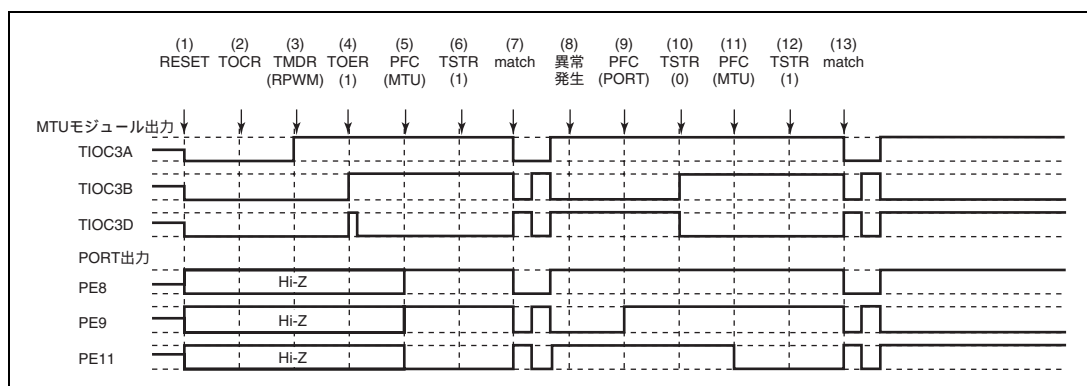


図 11.113 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 11.110 と共通です。
- (11) PFC で MTU 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

11.9 ポートアウトプットイネーブル (POE)

ポートアウトプットイネーブル (POE) は、 $\overline{\text{POE0}} \sim \overline{\text{POE3}}$ 端子の入力変化、または大電流端子 (PE9/TIOC3B/SCK3/ $\overline{\text{TRST}}$ 、PE11/TIOC3D/RXD3/TDO、PE12/TIOC4A/TXD3/TCK、PE13/TIOC4B/ $\overline{\text{MRES}}$ 、PE14/TIOC4C/DACK0、PE15/TIOC4D/DACK1/ $\overline{\text{IRQOUT}}$) の出力状態によって、大電流端子をハイインピーダンス状態にすることができます。また、同時に割り込み要求を発行することができます。

これとは別に、発振器が停止した場合とソフトウェアスタンバイ状態でも、大電流端子はその機能選択状態によらずハイインピーダンス状態にすることができます。詳細は「17.1.11 大電流ポートコントロールレジスタ (PPCR)」を参照してください。

ただし、SH7145 では E10A 使用時、PE9/TIOC3B/SCK3/ $\overline{\text{TRST}}$ 、PE11/TIOC3D/RXD3/TDO、PE12/TIOC4A/TXD3/TCK の 3 端子については、ポートアウトプットイネーブル、発振停止検出、およびソフトウェアスタンバイ状態でのハイインピーダンス機能は無効になります。

【注】 * SH7145 のみ。

11.9.1 特長

- $\overline{\text{POE0}} \sim \overline{\text{POE3}}$ の各入力端子に、立ち下がりエッジ、Pφ/8 × 16回、Pφ/16 × 16回、Pφ/128 × 16回のローレベルサンプリングの設定が可能
- $\overline{\text{POE0}} \sim \overline{\text{POE3}}$ 端子の立ち下がりエッジ、またはローレベルサンプリングによって、大電流端子をハイインピーダンス状態にできます。
- 大電流端子の出力レベルを比較し、同時にローレベル出力が1サイクル以上続いた場合、大電流端子をハイインピーダンス状態にできます。
- 入力レベルのサンプリング、および出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

POE は、図 11.114 のブロック図に示すように入力レベル検出回路と出力レベル検出回路から構成されます。

11. マルチファンクションタイマパルスユニット (MTU)

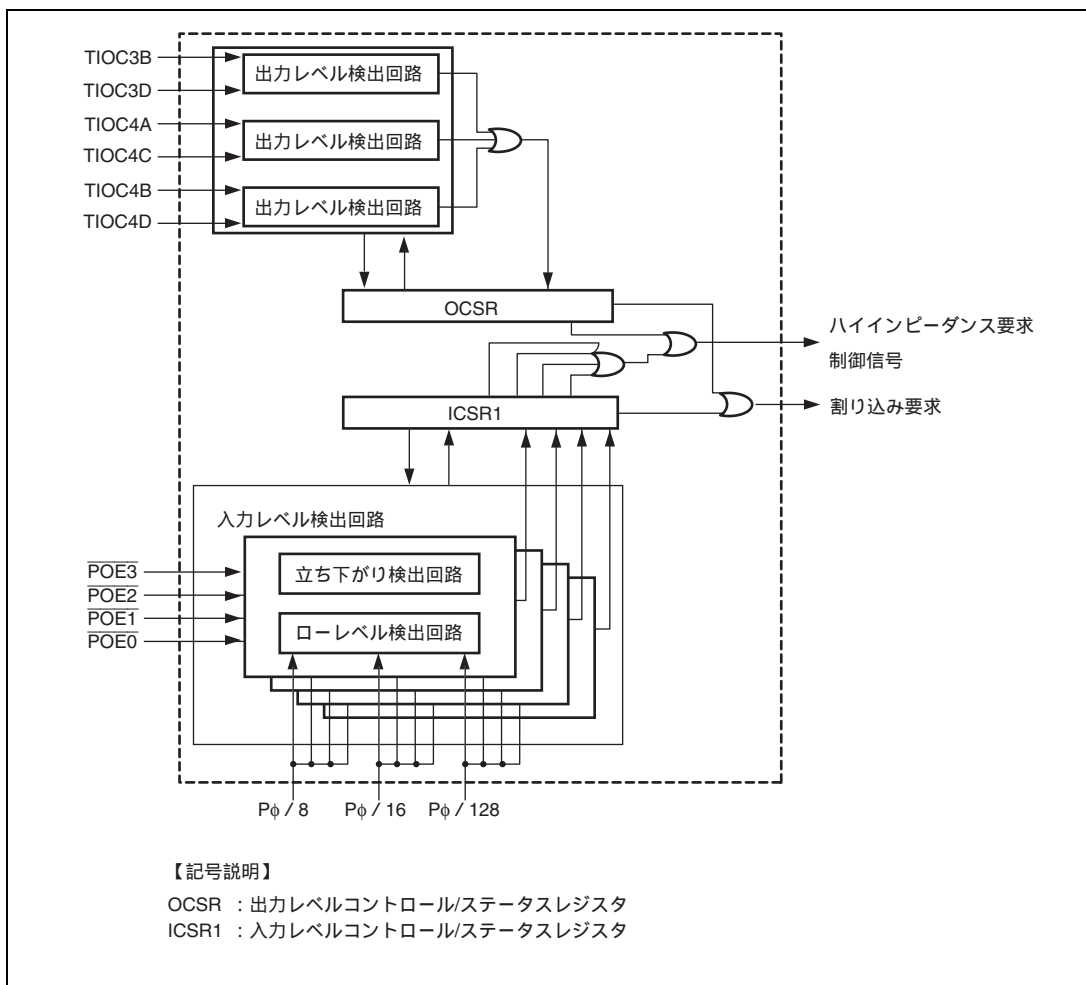


図 11.114 POE ブロック図

11.9.2 端子構成

表 11.44 端子構成

名称	名称	入出力	機能
ポートアウトプット イネーブル入力端子	POE0~ POE3	入力	大電流端子をハイインピーダンス状態にする要求信号を入力

表 11.45 に示す端子の組合せで出力レベルの比較を行います。

表 11.45 端子の組み合わせ

端子の組み合わせ	入出力	機能
PE9/TIOC3B と PE11/TIOC3D	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。
PE12/TIOC4A と PE14/TIOC4C	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。
PE13/TIOC4B/MRES と PE15/TIOC4D /IRQOUT	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。

11.9.3 レジスタの説明

POE には 2 本のレジスタがあります。入力レベルコントロール/ステータスレジスタ 1 (ICSR1) により、 $\overline{\text{POE0}}$ ~ $\overline{\text{POE3}}$ 端子の入力信号の検出の制御、割り込みの制御を行います。また、出力レベルコントロール/ステータスレジスタ (OCSR) により、出力の比較許可/禁止、割り込みの制御を行います。

(1) 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

ICSR1 は、読み出し/書き込み可能な 16 ビットのレジスタで、 $\overline{\text{POE0}}$ ~ $\overline{\text{POE3}}$ 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

ビット	ビット名	初期値	R/W	説明
15	POE3F	0	R/(W)*	POE3 フラグビット POE3 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] POE3F=1 の状態を読み出した後、POE3F に 0 を書き込んだとき。 [セット条件] $\overline{\text{POE3}}$ 端子に、ICSR1 のビット 7、6 で設定した入力が発生したとき。

11. マルチファンクションタイマパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
14	POE2F	0	R/(W)*	POE2 フラグビット $\overline{\text{POE2}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] $\overline{\text{POE2F}}=1$ の状態を読み出した後、POE2F に 0 を書き込んだとき。 [セット条件] $\overline{\text{POE2}}$ 端子に、ICSR1 のビット 5、4 で設定した入力が発生したとき。
13	POE1F	0	R/(W)*	POE1 フラグビット $\overline{\text{POE1}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] $\overline{\text{POE1F}}=1$ の状態を読み出した後、POE1F に 0 を書き込んだとき。 [セット条件] $\overline{\text{POE1}}$ 端子に、ICSR1 のビット 3、2 で設定した入力が発生したとき。
12	POE0F	0	R/(W)*	POE0 フラグビット $\overline{\text{POE0}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] $\overline{\text{POE0F}}=1$ の状態を読み出した後、POE0F に 0 を書き込んだとき。 [セット条件] $\overline{\text{POE0}}$ 端子に、ICSR1 のビット 1、0 で設定した入力が発生したとき。
11~9		すべて 0	R	リザーブ リードすると 0 がリードされます。ライトする値は常に 0 にしてください。
8	PIE	0	R/W	ポートインタラプトイネーブルビット ICSR1 の POE0F ~ POE3F ビットに、1 ビットでも 1 がセットされたとき、割り込み要求を許可または禁止します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可
7 6	POE3M1 POE3M0	0 0	R/W R/W	POE3 モードビット 1、0 $\overline{\text{POE3}}$ 端子の入力モードを選択します。 00 : $\overline{\text{POE3}}$ 入力の立ち上がりエッジで要求を受け付け 01 : $\overline{\text{POE3}}$ 入力のローレベルを $P\phi/8$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10 : $\overline{\text{POE3}}$ 入力のローレベルを $P\phi/16$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11 : $\overline{\text{POE3}}$ 入力のローレベルを $P\phi/128$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

11. マルチファンクションタイマパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
5 4	POE2M1 POE2M0	0 0	R/W R/W	<p>POE2 モードビット 1、0</p> <p>$\overline{\text{POE2}}$ 端子の入力モードを選択します。</p> <p>00 : $\overline{\text{POE2}}$ 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : $\overline{\text{POE2}}$ 入力のローレベルを Pϕ/8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : $\overline{\text{POE2}}$ 入力のローレベルを Pϕ/16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : $\overline{\text{POE2}}$ 入力のローレベルを Pϕ/128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
3 2	POE1M1 POE1M0	0 0	R/W R/W	<p>POE1 モードビット 1、0</p> <p>$\overline{\text{POE1}}$ 端子の入力モードを選択します。</p> <p>00 : $\overline{\text{POE1}}$ 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : $\overline{\text{POE1}}$ 入力のローレベルを Pϕ/8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : $\overline{\text{POE1}}$ 入力のローレベルを Pϕ/16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : $\overline{\text{POE1}}$ 入力のローレベルを Pϕ/128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
1 0	POE0M1 POE0M0	0 0	R/W R/W	<p>POE0 モードビット 1、0</p> <p>$\overline{\text{POE0}}$ 端子の入力モードを選択します。</p> <p>00 : $\overline{\text{POE0}}$ 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : $\overline{\text{POE0}}$ 入力のローレベルを Pϕ/8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : $\overline{\text{POE0}}$ 入力のローレベルを Pϕ/16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : $\overline{\text{POE0}}$ 入力のローレベルを Pϕ/128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

11. マルチファンクションタイマパルスユニット (MTU)

(2) 出力レベルコントロール/ステータスレジスタ (OCSR)

出力レベルコントロール/ステータスレジスタ (OCSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示します。

また、OSF に 1 がセットされると、大電流端子はハイインピーダンスになります。

ビット	ビット名	初期値	R/W	説明
15	OSF	0	R(W)*	出力短絡フラグビット 比較する 3 組の 2 相出力のうち 1 組でも同時に Low レベルになったことを示すフラグです。 [クリア条件] OSF=1 の状態を読み出した後、OSF に 0 を書き込んだとき。 [セット条件] 3 組の 2 相出力のうち 1 組でも同時に Low レベルになったとき。
14~10		すべて 0	R	リザーブ リードすると 0 がリードされます。ライトする値は常に 0 にしてください。
9	OCE	0	R/W	出力レベル比較許可ビット 出力レベルの比較開始を許可するビットです。このビットに 1 をセットする際は表 11.43 で示した出力端子の組み合わせに十分注意してください。同時に 0 出力になっている場合は、このビットをセットすると同時に OSF=1 となり、出力がハイインピーダンス状態になります。したがって、ポート E データレジスタ (PEDR) のビット 15~11、ビット 9 に 1 をセットするか、MTU の出力として比較する場合は PFC で MTU の出力端子に設定してから、このビットに 1 をセットしてください。また、出力として使用するとき以外は、このビットをセットしないでください。 また、OCE ビットに 1 をセットした場合、OSF=1 にセットされても OIE=0 であればハイインピーダンス要求を行いません。したがって、出力レベルの比較結果によりハイインピーダンス要求を発行させる場合は、必ず OIE ビットに 1 をセットしてください。OCE=1 かつ OIE=1 に設定するとハイインピーダンス要求と同時に割り込み要求も発行されますが、割り込みコントローラ (INTC) の設定により、この割り込みをマスクすることが可能です。 0: 出力レベルの比較を禁止 1: 出力レベルの比較を許可し、OSF=1 のとき出力ハイインピーダンス要求を行います。
8	OIE	0	R/W	出力短絡割り込みイネーブルビット OCSR の OSF ビットがセットされたとき、割り込みを要求します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~0		すべて 0	R	リザーブ リードすると 0 がリードされます。ライトする値は常に 0 にしてください。

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

11.9.4 動作説明

(1) 入力レベル検出動作

ICSR1 で設定した入力条件が、 $\overline{\text{POE}}$ 端子に 1 端子でも発生した場合、大電流端子をすべてハイインピーダンス状態にします。ただし、大電流端子が汎用入出力機能または MTU 機能が選択されている場合にのみハイインピーダンスになります。

(a) 立ち下がりエッジ検出

$\overline{\text{POE}}$ 端子にハイレベルからローレベルの変化が入力されたとき。

(b) ローレベル検出

図11.115にローレベル検出動作を示します。ICSR1で設定したサンプリングクロックで、16回連続したローレベルをサンプリングします。このとき、一度でもハイレベルを検出した場合は、受け付けられません。

なお、サンプリングは、 $\overline{\text{POE}}$ 端子の立ち下がりエッジを検出して開始されます。そのため、サンプリング終了後、再びPOE機能を使用する場合には、 $\overline{\text{POE}}$ 端子をいったんネゲートしてください。

また、サンプリングクロックから大電流端子がハイレベルになるタイミングは立ち下がりエッジ検出、ローレベル検出とも同じです。

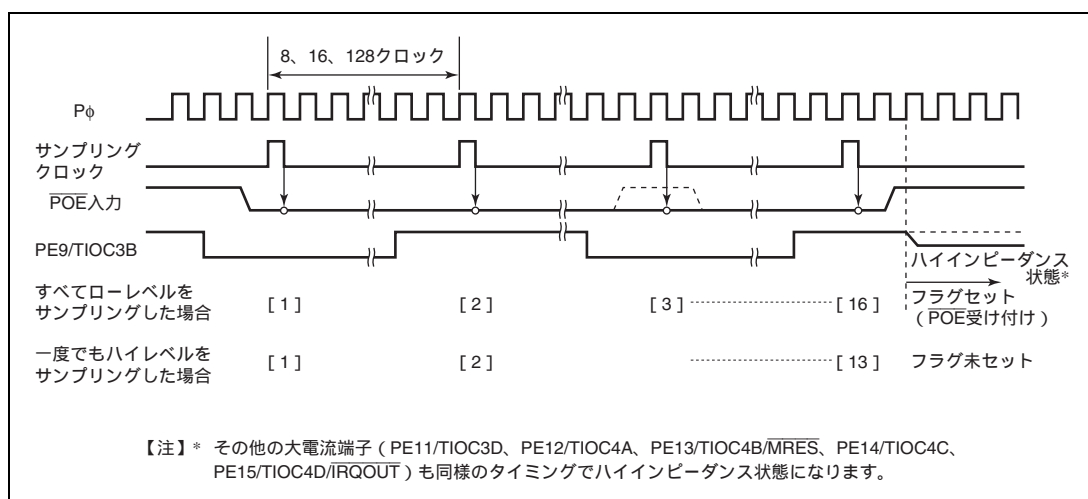


図 11.115 ローレベル検出動作

11. マルチファンクションタイマパルスユニット (MTU)

(2) 出力レベル比較動作

PE9/TIOC3B と PE11/TIOC3D の組み合わせを例に、出力レベル比較動作を図 11.116 に示します。他の端子の組み合わせについても同様です。

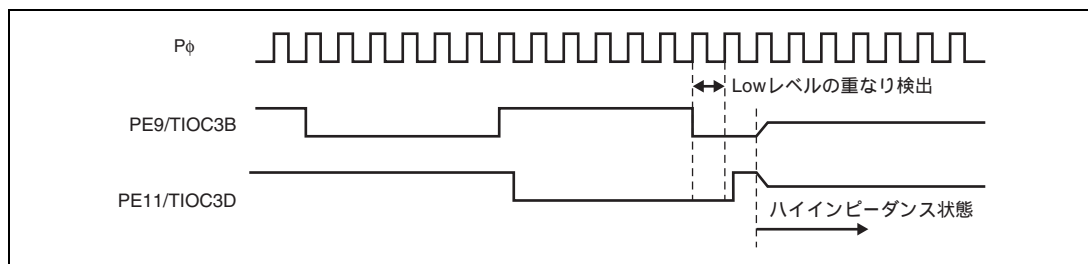


図 11.116 出力レベル検出動作

(3) ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、ICSR1 のビット 12 ~ 15 (POE0F ~ POE3F) のフラグをすべてクリアすることにより解除されます。

また、出力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、OCSR のビット 9 (OCE) をクリアし、出力レベルの比較を禁止してから、ビット 15 (OSF) のフラグをクリアすることにより解除されます。

ただし、OSF フラグをクリアしてハイインピーダンス状態から復帰する場合は必ず大電流端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D) から、High レベルを出力するようにしてから行ってください。High レベル出力は MTU 内のレジスタを設定することで行えます。

(4) POE タイミング

$\overline{\text{POE}}$ 入力から端子のハイインピーダンスまでのタイミング例を図 11.117 に示します。

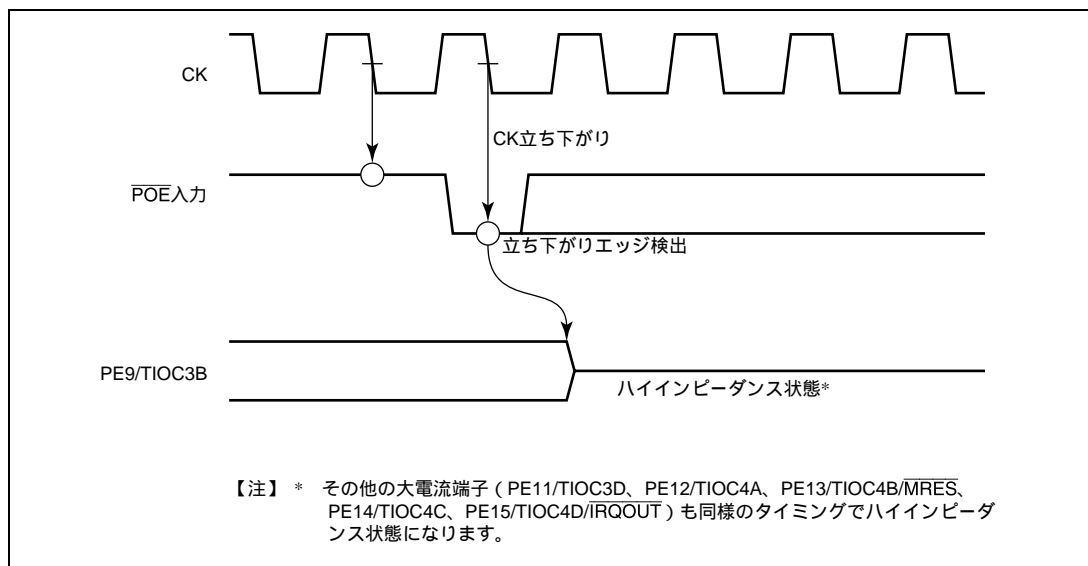


図 11.117 立ち下がりエッジ検出動作

11.9.5 使用上の注意事項

1. POEをレベル検出にするときは、最初にPOEの入力をハイレベルにしてください。
2. 入力レベルコントロール/ステータスレジスタ1 (ICSR1) のPOE3F~POE0Fビット、および出力レベルコントロール/ステータスレジスタ (OCSR) のOSFビットの0クリアの際は、ICSR1、ICSR2、OCSRの読み出しを行い、読み出した値が1であるビットのみを0クリアし、それ以外のビットについては1を書き込んでください。

11. マルチファンクションタイマパルスユニット (MTU)

12. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビット 1 チャンネルのタイマで、システムの監視を行うことができます。WDT は、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することもできます。

WDT として使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込み (ITI) を発生します。また、WDT はスタンバイモードの解除時にも使用されます。

WDT のブロック図を図 12.1 に示します。

12.1 特長

- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ 信号を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうか選択できます。この内部リセットは、パワーオンリセットまたは、マニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタがオーバーフローすると、インターバルタイマ割り込み (ITI) が発生します。
- ソフトウェアスタンバイモードの解除時に使用
- 8種類のカウンタ入力クロックを選択可能

12. ウォッチドッグタイマ (WDT)

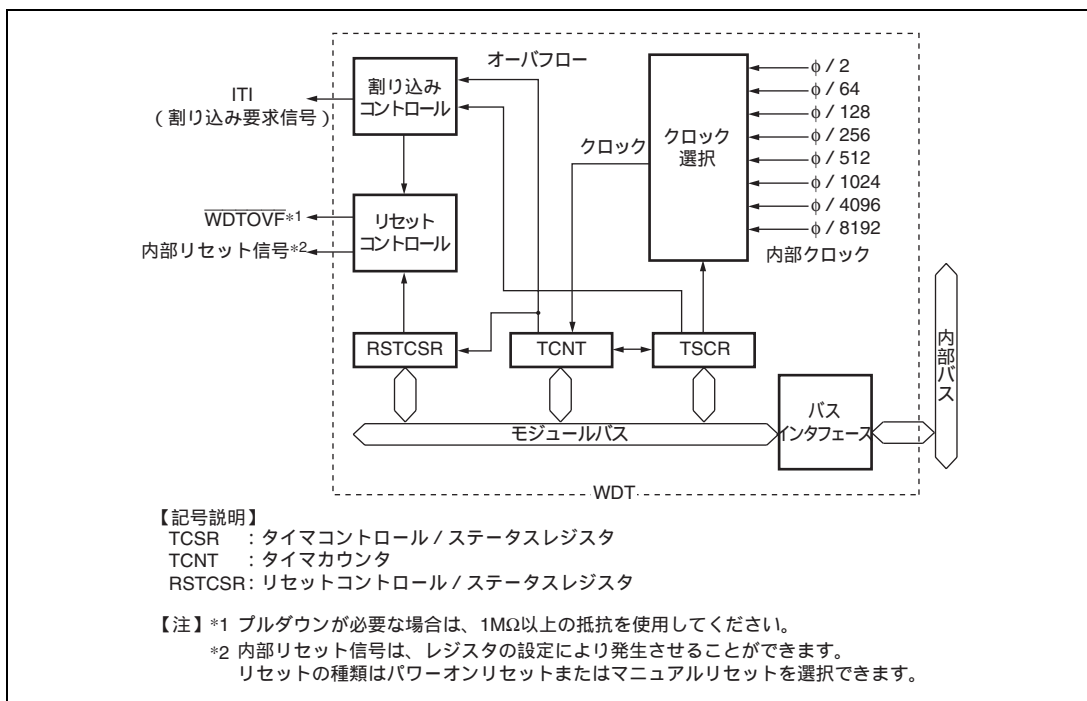


図 12.1 WDT のブロック図

12.2 入出力端子

表 12.1 端子構成

名称	略称	入出力	機能
ウォッチドッグタイマオーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

12.3 レジスタの説明

WDT には、以下のレジスタがあります。アドレスは「第 25 章 レジスタ一覧」を参照してください。TCSR、TCNT、RSTCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「12.6.1 レジスタアクセス時の注意」を参照してください。

- タイマコントロール/ステータスレジスタ (TCSR)
- タイマカウンタ (TCNT)
- リセットコントロール/ステータスレジスタ (RSTCSR)

12.3.1 タイマカウンタ (TCNT)

TCNTは、読み出し/書き込み可能な8ビットのアップカウンタです。タイマコントロール/ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) を1にすると、TCSRのCKS2~CKS0ビットで選択した内部クロックにより、TCNTはカウントアップを開始します。TCNTの値がオーバーフロー (H'FF→H'00) すると、TCSRのWT/ITビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 ($\overline{\text{WDTOVF}}$) またはインターバルタイマ割り込み (ITI) が発生します。TCNTの初期値はH'00です。

12.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSRは、リード/ライト可能な8ビットのレジスタで、TCNTに入力するクロック、モードの選択などを行います。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* ¹	<p>オーバーフローフラグ</p> <p>インターバルタイマモードでTCNTがオーバーフローしたことを示します。フラグをクリアする0ライトのみ可能です。ウォッチドッグタイマモードではセットされません。</p> <p>[セット条件]</p> <p>インターバルタイマモードでTCNTがオーバーフロー発生</p> <p>[クリア条件]</p> <p>OVFを読み出してから0を書き込んだとき、インターバルタイマモードでTMEビットに0を書き込んだとき</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNTがオーバーフローしたとき、インターバルタイマ割り込み (ITI) が発生するか、$\overline{\text{WDTOVF}}$ 信号が発生するかが決まります。</p> <p>0 : インターバルタイマモード TCNTがオーバーフローしたとき、CPUへインターバルタイマ割り込み (ITI) を要求</p> <p>1 : ウォッチドッグタイマモード TCNTがオーバーフローしたとき $\overline{\text{WDTOVF}}$ 信号を外部へ出力*</p> <p>【注】* ウォッチドッグタイマモードのとき、TCNTがオーバーフローした場合についての詳細は、「12.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>タイマ動作の開始または停止を設定します。</p> <p>0 : タイマディスエーブル TCNTをH'00に初期化し、カウントアップを停止</p> <p>1 : タイマイネーブル TCNTはカウントアップを開始。TCNTがオーバーフローすると、$\overline{\text{WDTOVF}}$ 信号または割り込みが発生</p>

12. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
4, 3		すべて 1	R	リザーブビット リードすると常に 1 がリードされます。ライトする値も常に 1 にしてください。
2	CKS2	0	R/W	クロックセレクト 2 ~ 0
1	CKS1	0	R/W	システムクロック (ϕ) を分周して得られる 8 種類の内部クロックから、TCNT に入力するクロックを選択します。() 内は $\phi=40\text{MHz}$ のときのオーバフロー周期を表します。* ²
0	CKS0	0	R/W	000 : クロック $\phi/2$ (周期 12.8 μs) 001 : クロック $\phi/64$ (周期 409.6 μs) 010 : クロック $\phi/128$ (周期 0.8ms) 011 : クロック $\phi/256$ (周期 1.6ms) 100 : クロック $\phi/512$ (周期 3.3ms) 101 : クロック $\phi/1024$ (周期 6.6ms) 110 : クロック $\phi/4096$ (周期 26.2ms) 111 : クロック $\phi/8192$ (周期 52.4ms)

【注】 *1 OVF ビットは、1 リード後の 0 ライトのみ実行可能です。

*2 オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

12.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、リード/ライト可能な 8 ビットのレジスタで、TCNT のオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の発生を制御します。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバフローフラグ ウォッチドッグタイマモードで、TCNT がオーバフローするとセットされます。インターバルタイマモードではセットされません。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバフローしたとき [クリア条件] WOVF を読み出してから WOVF に 0 を書き込む
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバフローにより本 LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバフローすると内部がリセットされます。

ビット	ビット名	初期値	R/W	説明
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで TCNT がオーバーフローして発生する、内部リセットの種類を選択します。 0 : パワーオンリセット 1 : マニュアルリセット
4~0		すべて 1	R	リザーブビット リードすると常に 1 がリードされます。ライトする値も常に 1 にしてください。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

12.4 動作説明

12.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマとして使用するときには、タイマコントロール/ステータスレジスタ (TCSR) の $\overline{WT/IT}$ ビットと TME ビットの両方を 1 に設定してください。また、タイマカウンタ (TCNT) がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号が外部に出力されます。この \overline{WDTOVF} 信号を用いて、システムをリセットすることができます。 \overline{WDTOVF} 信号は、128 ϕ クロックの間出力されます。

リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。このリセットは、RSTCSR の RSTS ビットの設定によってパワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、512 ϕ クロックの間出力されます。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

なお、WDT によるリセット信号により、(1) MTU の POE (ポートアウトプットイネーブル) 機能のレジスタ、(2) ピンファンクションコントローラ (PFC) のレジスタ、(3) I/O ポートのレジスタ、(4) ウォッチドッグタイマ (WDT) のリセットコントロール/ステータスレジスタ (RSTCSR) は初期化されませんが (外部からのパワーオンリセットのみで初期化されます)。

また、WDT の TCNT、および TCSR は、 \overline{MRES} 端子からのマニュアルリセットでは初期化されませんが、WDT のオーバーフローによる内部マニュアルリセットでは初期化されます。

12. ウォッチドッグタイマ (WDT)

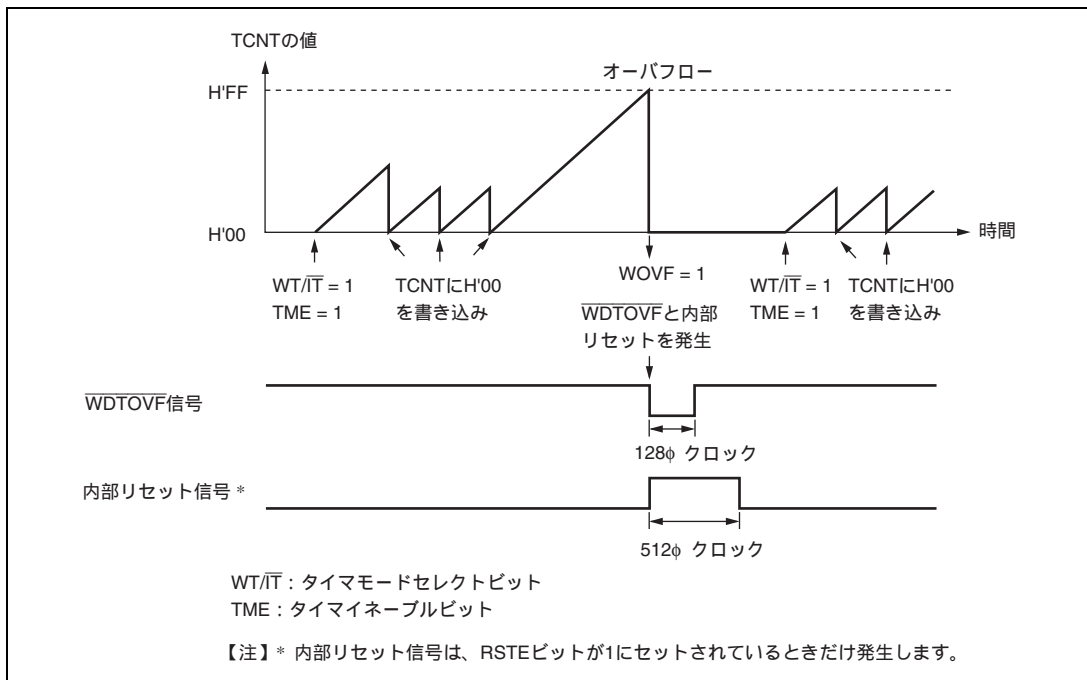


図 12.2 ウォッチドッグタイマモード時の動作

12.4.2 インターバルタイマモード

インターバルタイマとして使用するときは、タイマコントロール/ステータスレジスタ (TCSR) の WT/IT ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、タイマカウンタ (TCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

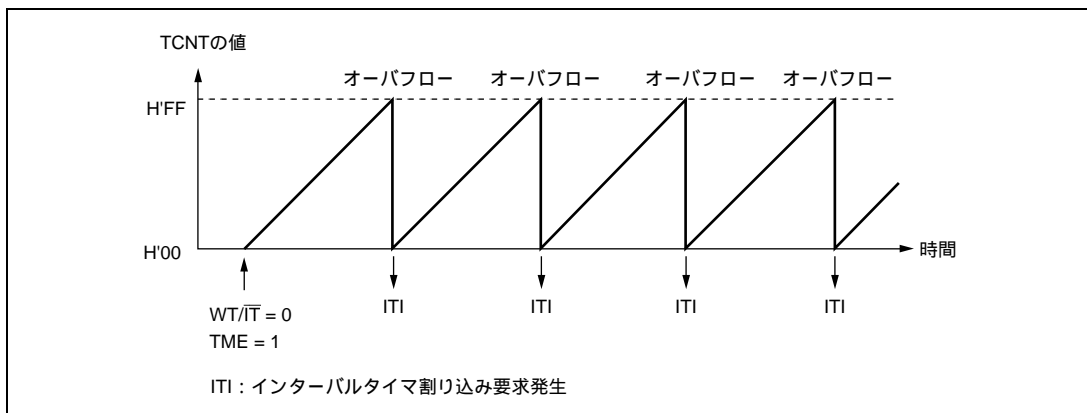


図 12.3 インターバルタイマモード時の動作

12.4.3 ソフトウェアスタンバイモード解除時の動作

WDT は、ソフトウェアスタンバイモードが NMI 割り込みまたは IRQ0 ~ IRQ7 割り込みで解除されるときに使用されます。ソフトウェアスタンバイモードを使用する場合は、WDT を次の (1) に示すように設定してください。

(1) ソフトウェアスタンバイモード遷移前の設定

ソフトウェアスタンバイモードに遷移する前に、必ずタイマコントロール/ステータスレジスタ (TCSR) の TME ビットを 0 にして、WDT を停止させてください。TME ビットが 1 になっていると、ソフトウェアスタンバイモードに遷移できません。また、タイマカウンタ (TCNT) のオーバフロー周期が発振安定時間以上になるように、TCSR の CKS2 ~ CKS0 ビットを設定してください。発振安定時間については、「26.3 AC 特性」を参照してください。

(2) ソフトウェアスタンバイモード解除時の動作

ソフトウェアスタンバイモードで NMI 信号または $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ 信号が入力されると、発振器が動作を開始し、TCNT はソフトウェアスタンバイモード遷移前に CKS2 ~ CKS0 ビットで選択しておいたクロックにより、カウントアップを開始します。TCNT がオーバフロー (H'FF → H'00) すると、クロックが安定し使用可能であると判断され、本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードについては、「第 24 章 低消費電力状態」を参照してください。

12.4.4 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでタイマカウンタ (TCNT) がオーバフローすると、タイマコントロール/ステータスレジスタ (TCSR) の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (ITI) が要求されます。このタイミングを図 12.4 に示します。

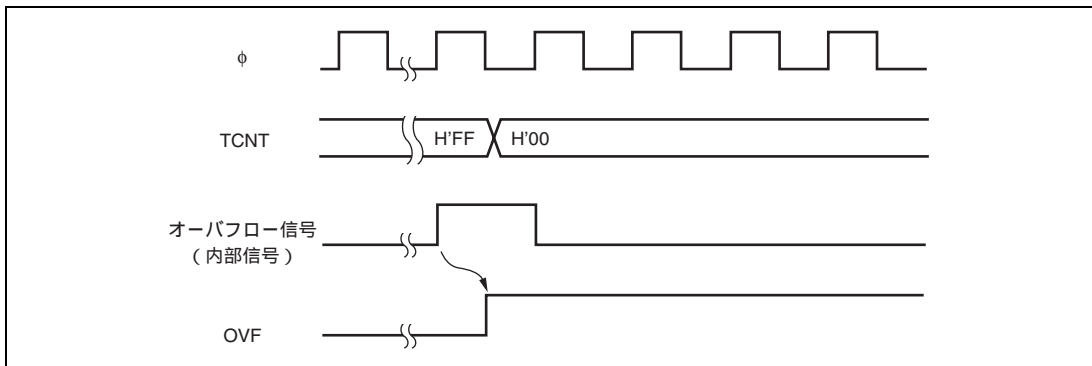


図 12.4 オーバフローフラグ (OVF) のセットタイミング

12. ウォッチドッグタイマ (WDT)

12.4.5 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでタイマカウンタ (TCNT) がオーバフローすると、リセットコントロール/ステータスレジスタ (RSTCSR) の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 12.5 に示します。

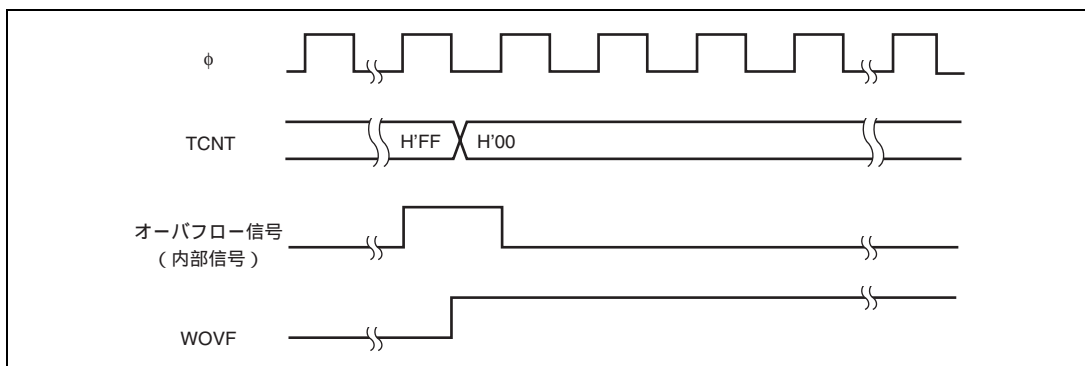


図 12.5 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

12.5 割り込み要因

インターバルタイマモード時、オーバフローによりインターバルタイマ割り込み (ITI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 12.2 WDT (インターバルタイマモード時) の割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC/DTC の起動
ITI	TCNT のオーバフロー	OVF	不可

12.6 使用上の注意事項

12.6.1 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR への書き込み

TCNT、TCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込みません。

書き込み時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 12.6 に示すように、TCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。TCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へ書き込まれます。

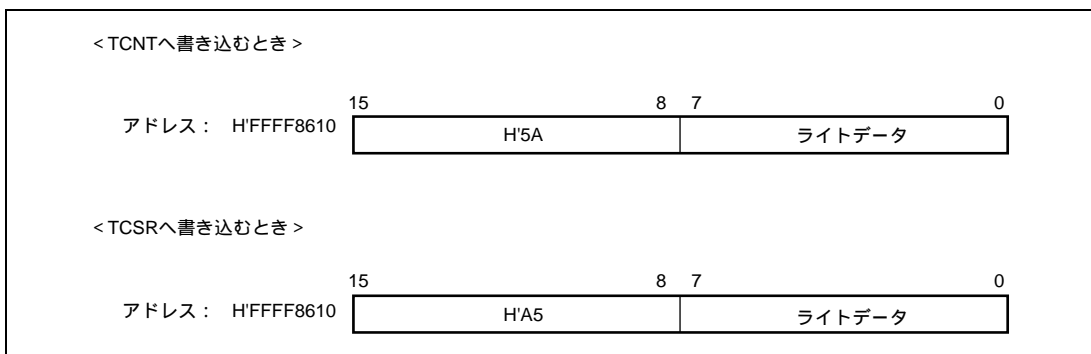


図 12.6 TCNT、TCSR への書き込み

(2) RSTCSR への書き込み

RSTCSR へ書き込むときは、アドレス H'FFFF8612 に対してワード転送を行ってください。バイト転送命令では、書き込みません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 12.7 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

12. ウォッチドッグタイマ (WDT)

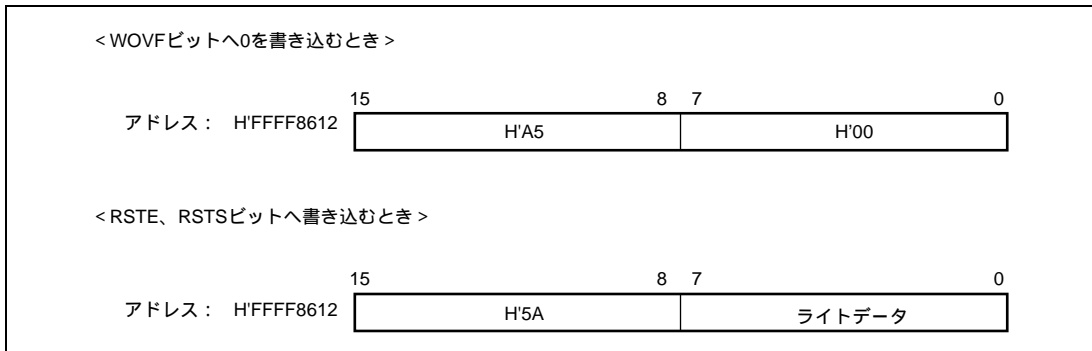


図 12.7 RSTCSR への書き込み

(3) TCNT、TCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。TCSR は、アドレス H'FFFF8610 に、TCNT は、アドレス H'FFFF8611 に、RSTCSR は、アドレス H'FFFF8613 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

12.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T3 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 12.8 に示します。

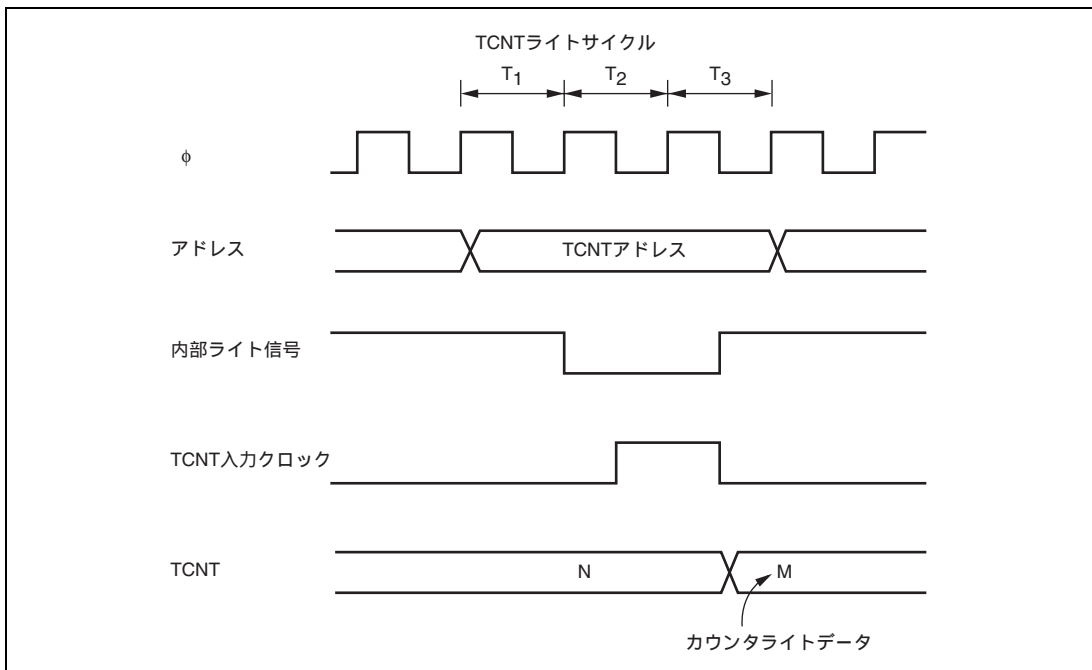


図 12.8 TCNT のライトとカウントアップの競合

12.6.3 CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.6.5 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 12.9 に示すような回路で行ってください。

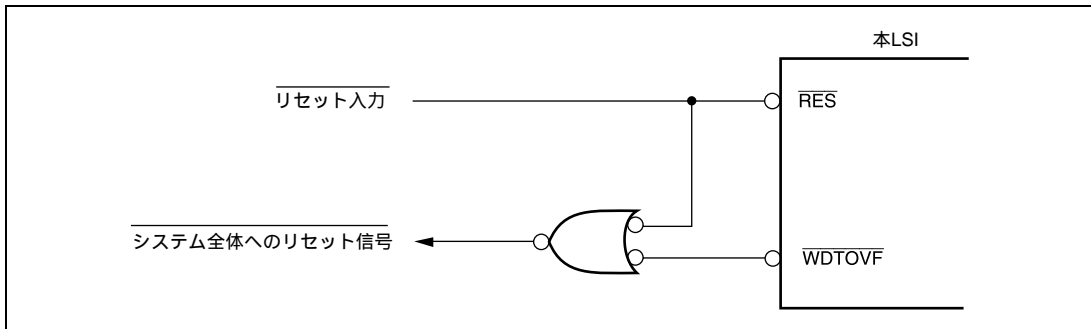


図 12.9 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

12. ウォッチドッグタイマ (WDT)

12.6.6 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

12.6.7 ウォッチドッグタイマモードでのマニュアルリセット

ウォッチドッグタイマモードで TCNT のオーバフローにより、内部リセットしたとき、マニュアルリセット発生時のバスサイクル終了を待ってから、マニュアルリセット例外処理に移行します。したがって、マニュアルリセットによりバスサイクルは保持されますが、バス権解放中にマニュアルリセットが発生すると CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してから CPU がバス権を獲得するまでの期間が内部マニュアルリセット期間である 512 サイクル以上であると内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

12.6.8 $\overline{\text{WDTOVF}}$ 信号の使用上の注意

$\overline{\text{WDTOVF}}$ 端子は、プルダウンしないでください。もし、プルダウンが必要な場合は、 $1\text{M}\Omega$ 以上の抵抗値でプルダウンしてください。

13. シリアルコミュニケーションインタフェース (SCI)

本 LSI は 4 チャンネルの独立したシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。

13.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ポーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。
- LSBファースト / MSBファースト選択可能* (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDMACまたはDTCを起動することができます。
- モジュールスタンバイモードの設定可能

調歩同期式モード

- データ長 : 7ビット / 8ビット選択可能
- ストップビット長 : 1ビット / 2ビット選択可能
- パリティ : 偶数パリティ / 奇数パリティ / パリティなしから選択可能
- マルチプロセッサ間通信が可能
- 受信エラーの検出 : パリティエラー、オーバーランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能

13. シリアルコミュニケーションインタフェース (SCI)

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

スマートカードインタフェース

- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート

【注】 * 本章では、LSB ファースト方式の例について説明しています。

図 13.1 に SCI のブロック図を示します。

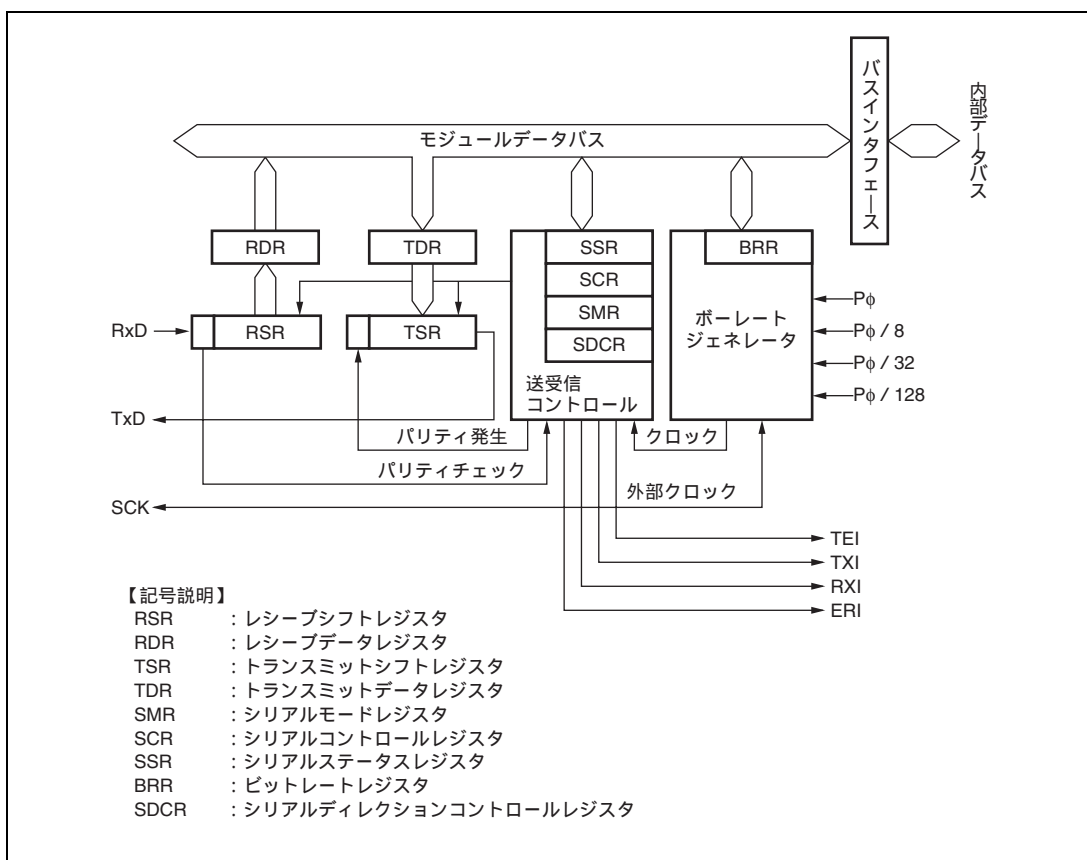


図 13.1 SCI のブロック図

13.2 入出力端子

SCI には、表 13.1 の入出力端子があります。

表 13.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子
3	SCK3	入出力	チャンネル3のクロック入出力端子
	RxD3	入力	チャンネル3の受信データ入力端子
	TxD3	出力	チャンネル3の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

13.3 レジスタの説明

SCI にはチャンネルごとに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。また、シリアルモードレジスタ (SMR)、シリアルコントロールレジスタ (SCR)、シリアルステータスレジスタ (SSR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

チャンネル0

- シリアルモードレジスタ_0 (SMR_0)
- ビットレートレジスタ_0 (BRR_0)
- シリアルコントロールレジスタ_0 (SCR_0)
- トランスミットデータレジスタ_0 (TDR_0)
- トランスミットシフトレジスタ_0 (TSR_0)
- シリアルステータスレジスタ_0 (SSR_0)
- レシーブデータレジスタ_0 (RDR_0)
- レシーブシフトレジスタ_0 (RSR_0)
- シリアルディレクションコントロールレジスタ_0 (SDCR_0)

13. シリアルコミュニケーションインタフェース (SCI)

チャンネル 1

- シリアルモードレジスタ_1 (SMR_1)
- ビットレートレジスタ_1 (BRR_1)
- シリアルコントロールレジスタ_1 (SCR_1)
- トランスミットデータレジスタ_1 (TDR_1)
- トランスミットシフトレジスタ_1 (TSR_1)
- シリアルステータスレジスタ_1 (SSR_1)
- レシーブデータレジスタ_1 (RDR_1)
- レシーブシフトレジスタ_1 (RSR_1)
- シリアルディレクションコントロールレジスタ_1 (SDCR_1)

チャンネル 2

- シリアルモードレジスタ_2 (SMR_2)
- ビットレートレジスタ_2 (BRR_2)
- シリアルコントロールレジスタ_2 (SCR_2)
- トランスミットデータレジスタ_2 (TDR_2)
- トランスミットシフトレジスタ_2 (TSR_2)
- シリアルステータスレジスタ_2 (SSR_2)
- レシーブデータレジスタ_2 (RDR_2)
- レシーブシフトレジスタ_2 (RSR_2)
- シリアルディレクションコントロールレジスタ_2 (SDCR_2)

チャンネル 3

- シリアルモードレジスタ_3 (SMR_3)
- ビットレートレジスタ_3 (BRR_3)
- シリアルコントロールレジスタ_3 (SCR_3)
- トランスミットデータレジスタ_3 (TDR_3)
- トランスミットシフトレジスタ_3 (TSR_3)
- シリアルステータスレジスタ_3 (SSR_3)
- レシーブデータレジスタ_3 (RDR_3)
- レシーブシフトレジスタ_3 (RSR_3)
- シリアルディレクションコントロールレジスタ_3 (SDCR_3)

13.3.1 レシーブシフトレジスタ(RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

13.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。初期値は H'00 です。

13.3.3 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

13.3.4 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データがライトされていれば TSR へ転送して送信を続けます。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。TDR の初期値は H'FF です。

13. シリアルコミュニケーションインタフェース (SCI)

13.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SDCRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) 本ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットでは本ビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。 1: 奇数パリティで送受信します。 送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時は本ビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) 本ビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/ \bar{E} ビットの設定は無効です。

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 00 : P ϕ クロック (n=0) 01 : P ϕ /8 クロック (n=1) 10 : P ϕ /32 クロック (n=2) 11 : P ϕ /128 クロック (n=3) 本ビットの設定値とポーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「13.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。
0	CKS0	0	R/W	

• スマートカードインタフェースモード (SDCRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード 本ビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「13.7.7 クロック出力制御」を参照してください。
6	BLK	0	R/W	本ビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「13.7.3 ブロック転送モード」を参照してください。スマートカードインタフェースでの受信では、本ビットは 1 にセットして使用してください。
5	PE	0	R/W	パリティネーブル (調歩同期式モードのみ有効) 本ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースでは本ビットは 1 にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおける本ビットの使用方法については「13.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3	BCP1	0	R/W	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を選択します。 00 : 32 クロック (S=32) 01 : 64 クロック (S=64) 10 : 372 クロック (S=372) 11 : 256 クロック (S=256) 詳細は、「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。S は「13.3.9 ビットレートレジスタ (BRR)」中の S の値を表します。
2	BCP0	0	R/W	

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	内蔵ボーレートジェネレータのクロックソースを選択します。 00 : P ϕ クロック (n=0) 01 : P ϕ /8 クロック (n=1) 10 : P ϕ /32 クロック (n=2) 11 : P ϕ /128 クロック (n=3) 本ビットの設定値とボーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「13.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

13.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「13.8 割り込み要因」を参照してください。SCR は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SDCRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル 本ビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル 本ビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、SSR の RDRF、FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、または RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル 本ビットを 1 にセットすると、送信動作が可能になります。 この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。本ビットを 0 にクリアすると、送信動作が禁止され、SSR の TDRE フラグは 1 に固定されます。

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>本ビットを1にセットすると、受信動作が可能になります。</p> <p>この状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。本ビットを0にクリアすると、受信動作が禁止されます。0にクリアしても、RDRF、FER、PER、ORERの各フラグは影響を受けず状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル(調歩同期式モードでSMRのMP=1のとき有効)</p> <p>本ビットを1にセットすると、マルチプロセッサビットが0の受信データは読みとばし、SSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1のデータを受信すると、本ビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「13.5 マルチプロセッサ通信機能」を参照してください。</p> <p>MPB=0を含む受信データを受信しているときは、RSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSRのMPBビットを1にセットし、MPIEビットを自動的に0にクリアし、RXI、ERI割り込み要求の発生(SCRのTIE、RIEビットが1にセットされている場合)とFER、ORERフラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>本ビットを1にセットするとTEI割り込み要求がイネーブルになります。</p> <p>TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル1、0</p> <p>クロックソースおよびSCK端子の機能を選択します。</p> <p>調歩同期式の場合</p> <ul style="list-style-type: none"> 00: 内部クロック / SCK端子は入力端子(入力端子は無視)または出力端子(出力レベルは不定) 01: 内部クロック / SCK端子はクロック出力(ビットレートと同じ周波数のクロックを出力) 10: 外部クロック / SCK端子はクロック入力(ビットレートの16倍の周波数のクロックを入力) 11: 外部クロック / SCK端子はクロック入力(ビットレートの16倍の周波数のクロックを入力) <p>クロック同期式の場合</p> <ul style="list-style-type: none"> 00: 内部クロック / SCK端子は同期クロック出力 01: 内部クロック / SCK端子は同期クロック出力 10: 外部クロック / SCK端子は同期クロック入力 11: 外部クロック / SCK端子は同期クロック入力

13. シリアルコミュニケーションインタフェース (SCI)

● スマートカードインタフェースモード (SDCRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	トランスミットインタラプトイネーブル 本ビットを1にセットすると、TXI 割り込み要求を許可します。 TXI 割り込み要求の解除は、SSR の TDRE フラグから1をリードした後、0にクリアするか、またはTIE ビットを0にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル 本ビットを1にセットすると、RXI および ERI 割り込み要求を許可します。 RXI、および ERI 割り込み要求の解除は、SSR の RDRF、FER、PER、ORER の各フラグから1をリードした後、0にクリアするか、またはRIE ビットを0にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル 本ビットを1にセットすると、送信動作が可能になります。 この状態で、TDR に送信データをライトして、SSR の TDRE フラグを0にクリアするとシリアル送信を開始します。なお、1にセットする前に必ずSMR の設定を行い、送信フォーマットを決定してください。本ビットを0にクリアすると、送信動作が禁止されSSR の TDRE フラグは1に固定されます。
4	RE	0	R/W	レシーブイネーブル 本ビットを1にセットすると、受信動作が可能になります。 この状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、1にセットする前に必ずSMR の設定を行い、受信フォーマットを決定してください。本ビットを0にクリアすると、受信動作が禁止されます。0にクリアしても、RDRF、FER、PER、ORER の各フラグは影響を受けず状態を保持します。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル(調歩同期式モードでSMRのMP=1のとき有効) スマートカードインタフェースでは本ビットには0をライトして使用してください。 MPB=0を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出とSSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSR の MPB ビットを1にセットし、MPIE ビットを自動的に0にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが1にセットされている場合)と FER、ORER フラグのセットが許可されます。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースでは本ビットには0をライトして使用してください。 TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0にクリアするか、TEIE ビットを0にクリアすることで行うことができます。

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル1、0
0	CKE0	0	R/W	SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「13.7.7 クロック出力制御」を参照してください。 SMR の GM=0 の場合 00 : 出力ディスエーブル (SCK 端子は入力端子 (入力端子は無視)、または出力端子 (出力レベルは不定)) 01 : クロック出力 1x : リザーブ SMR の GM=1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力

【記号説明】 x : Don't care

13.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。

SSR は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SDCRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • パワーオンリセットおよびソフトウェアスタンバイモード時 • SCR の TE が 0 のとき • TDR から TSR にデータが転送が行われ TDR にデータの書き込みが可能になったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込みにより、DMAC が起動されたとき • TXI 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のときに TDR へ送信データを転送したとき

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセットまたはソフトウェアスタンバイモード時 1の状態をリードした後、0をライトしたとき RXI 割り込みにより、DMAC が起動されたとき RXI 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが0のときに RDR からデータを転送したとき <p>SCR の RE をクリアしても RDR および RDRF フラグは影響を受けず状態を保持します。RDRF フラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)*	<p>オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1の状態でのデータを受信したとき <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセットまたはソフトウェアスタンバイモード時 1の状態をリードした後、0をライトしたとき <p>SCR の RE をクリアしても ORER は影響を受けず状態を保持します。</p>
4	FER	0	R/(W)*	<p>フレーミングエラー 調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ストップビットが0のとき <p>2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセットまたはソフトウェアスタンバイモード時 1の状態をリードした後、0をライトしたとき <p>SCR の RE をクリアしても FER は影響を受けず状態を保持します。</p>

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、PER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセットまたはソフトウェアスタンバイモード時 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても PER は影響を受けず状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>送信を終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセットまたはソフトウェアスタンバイモード時 SCR の TE が 0 のとき 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき TXI 割り込みにより DMAC が起動されたとき TXI 割り込みにより DTC が起動され、DTC の DTMR の DISSEL ビットが 0 のときに TDR へ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE が 0 のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

13. シリアルコミュニケーションインタフェース (SCI)

● スマートカードインタフェースモード (SDCRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説 明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセットおよびソフトウェアスタンバイモード時 • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込みにより DMAC が起動されたとき • TXI 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のときに TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセットまたはソフトウェアスタンバイモード時 • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込みにより、DMAC が起動されたとき • RXI 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のときに RDR からデータを転送したとき <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)*	<p>オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセットまたはソフトウェアスタンバイモード時 • 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても ORER は影響を受けず状態を保持します。</p>

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	ERS	0	R/(W)*	<p>エラーシグナルステータス</p> <p>送信時に受信側から送り返されるエラーシグナルのステータスを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセットまたはソフトウェアスタンバイモード時 1の状態をリードした後、0をライトしたとき <p>SCRのTEをクリアしてもERSは影響を受けず状態を保持します。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、PER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセットまたはソフトウェアスタンバイモード時 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしてもPERは影響を受けず状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データをTDRに転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセットまたはソフトウェアスタンバイモード時 SCRのTE=0かつESR=0のとき 1バイトのデータを送信して一定期間後、ESR=0かつTDRE=1のとき <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0のとき、送信開始から 2.5etu 後</p> <p>GM=0、BLK=1のとき、送信開始から 1.0etu 後</p> <p>GM=1、BLK=0のとき、送信開始から 1.5etu 後</p> <p>GM=1、BLK=1のとき、送信開始から 1.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき TXI割り込みにより、DMACが起動されたとき TXI割り込みによりDTCが起動され、DTCのDTMRのDISELビットが0のときにTDRへ送信データを転送したとき

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	MPB	0	R	マルチプロセッサビット スマートカードインタフェースでは使用しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ スマートカードインタフェースではこのビットには0をライトして使用してください。

【注】 * フラグをクリアするために0のみ書き込むことができます。

13.3.8 シリアルディレクションコントロールレジスタ (SDCR)

SDCR は、LSB ファースト / MSB ファーストの選択およびスマートカードインタフェースの設定を行います。シリアル通信モードによらず、8ビット長の場合 LSB ファースト / MSB ファーストの選択が可能です。7ビット長の場合 LSB ファーストを選択し、MSB ファーストの選択は行わないでください。本章の説明では、LSB ファーストの場合について説明しています。

ビット	ビット名	初期値	R/W	説明
7~4		すべて1	R	リザーブビットです。 書き込む値は常に1にしてください。0を書き込んだ場合、動作の保証はできません。
3	DIR	0	R/W	データトランスファディレクション シリアル / パラレル変換の方向を選択します。 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信 送受信フォーマットが8ビットデータの場合のみ有効です。7ビットデータの場合はLSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。本ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合はSMRのO/Eビットを反転してください。 本ビットはスマートカードインタフェースモードでのみ有効です。通常の調歩同期式またはクロック同期式モードでは0に設定してください。 0 : TDRの内容をそのまま送信、受信データをそのままRDRに格納 1 : TDRの内容を反転して送信、受信データを反転してRDRに格納
1		1	R	リザーブビットです。 読み出すと常に1が読み出されます。書き込みは無効です。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき1をセットします。 0 : 通常の調歩同期式またはクロック同期式モード 1 : スマートカードインタフェースモード

13.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N と実効ビットレート B_0 の関係を表 13.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 13.2 BRR の設定値 N と実効ビットレート B_0 の関係

モード	ビットレート	誤差
調歩同期式 (n=0)	$B_0 = \frac{P\phi \times 10^6}{32 \times 2^{2n} \times (N+1)}$	誤差 (%) = $\left(\frac{B_0}{B_1} - 1 \right) \times 100$
調歩同期式 (n=1~3)	$B_0 = \frac{P\phi \times 10^6}{32 \times 2^{2n+1} \times (N+1)}$	誤差 (%) = $\left(\frac{B_0}{B_1} - 1 \right) \times 100$
クロック同期式 (n=0)	$B_0 = \frac{P\phi \times 10^6}{4 \times 2^{2n} \times (N+1)}$	
クロック同期式 (n=1~3)	$B_0 = \frac{P\phi \times 10^6}{4 \times 2^{2n+1} \times (N+1)}$	
スマートカード インタフェース (n=0)	$B_0 = \frac{P\phi \times 10^6}{S \times 2^{2n+1} \times (N+1)}$	誤差 (%) = $\left(\frac{B_0}{B_1} - 1 \right) \times 100$
スマートカード インタフェース (n=1~3)	$B_0 = \frac{P\phi \times 10^6}{S \times 2^{2n+2} \times (N+1)}$	誤差 (%) = $\left(\frac{B_0}{B_1} - 1 \right) \times 100$

【注】 B_0 : 実効ビットレート (bit/s) レジスタ設定により決まる実際の転送速度

B_1 : 論理ビットレート (bit/s) システム目標仕様の転送速度

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

$P\phi$: 周辺クロック動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 13.3 に、各動作周波数における設定可能な最大ビットレートを表 13.4 に示します。クロック同期式モードにおける BRR の値 N の設定例を表 13.6 に示します。また、スマートカードインタフェースにおける BRR の値 N の設定例を表 13.8 に、各動作周波数における設定可能な最大ビットレートを表 13.9 に示します。詳細は「13.4.2 調歩同期式モードの受信データサンプリングタイム

13. シリアルコミュニケーションインタフェース (SCI)

ングと受信マージン」および「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 13.5、表 13.7 に外部クロック入力時の最大ビットレートを示します。

表 13.3 ビットレートに対する BRR の設定例〔調歩同期モード〕(1)

論理 ビット レート (bit/s)	動作周波数 P ϕ (MHz)														
	4			6			8			10			12		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	1	140	0.74	1	212	0.03	2	70	0.03	2	88	-0.25	2	106	-0.44
150	1	103	0.16	1	155	0.16	2	51	0.16	2	64	0.16	2	77	0.16
300	1	51	0.16	1	77	0.16	2	25	0.16	1	129	0.16	2	38	0.16
600	1	25	0.16	1	38	0.16	2	12	0.16	1	64	0.16	1	77	0.16
1200	1	12	0.16	0	155	0.16	1	25	0.16	1	32	-1.36	1	38	0.16
2400	0	51	0.16	0	77	0.16	1	12	0.16	0	129	0.16	0	155	0.16
4800	0	25	0.16	0	38	0.16	0	51	0.16	0	64	0.16	0	77	0.16
9600	0	12	0.16	0	19	-2.34	0	25	0.16	0	32	-1.36	0	38	0.16
14400	0	8	-3.55	0	12	0.16	0	16	2.12	0	21	-1.36	0	25	0.16
19200	0	6	-6.99	0	9	-2.34	0	12	0.16	0	15	1.73	0	19	-2.34
28800	0	3	8.51	0	6	-6.99	0	8	-3.55	0	10	-1.36	0	12	0.16
31250	0	3	0.00	0	5	0.00	0	7	0.00	0	9	0.00	0	11	0.00
38400	0	2	8.51	0	4	-2.34	0	6	-6.99	0	7	1.73	0	9	-2.34

表 13.3 ビットレートに対する BRR の設定例〔調歩同期モード〕(2)

論理 ビット レート (bit/s)	動作周波数 P ϕ (MHz)														
	14			16			18			20			22		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	123	0.23	2	141	0.03	2	159	-0.12	2	177	-0.25	2	194	0.16
150	2	90	0.16	2	103	0.16	2	116	0.16	2	129	0.16	2	142	0.16
300	2	45	-0.93	2	51	0.16	2	58	-0.69	2	64	0.16	2	71	-0.54
600	2	22	-0.93	1	103	0.16	1	116	0.16	1	129	0.16	1	142	0.16
1200	1	45	-0.93	1	51	0.16	1	58	-0.69	1	64	0.16	1	71	-0.54
2400	1	22	-0.93	0	207	0.16	0	233	0.16	1	32	-1.36	1	35	-0.54
4800	0	90	0.16	0	103	0.16	0	116	0.16	0	129	0.16	0	142	0.16
9600	0	45	-0.93	0	51	0.16	0	58	-0.69	0	64	0.16	0	71	-0.54
14400	0	29	1.27	0	34	-0.79	0	38	0.16	0	42	0.94	0	47	-0.54
19200	0	22	-0.93	0	25	0.16	0	28	1.02	0	32	-1.36	0	35	-0.54
28800	0	14	1.27	0	16	2.12	0	19	-2.34	0	21	-1.36	0	23	-0.54
31250	0	13	0.00	0	15	0.00	0	17	0.00	0	19	0.00	0	21	0.00
38400	0	10	3.57	0	12	0.16	0	14	-2.34	0	15	1.73	0	17	-0.54

13. シリアルコミュニケーションインタフェース (SCI)

表 13.3 ビットレートに対する BRR の設定例〔調歩同期モード〕(3)

論理 ビット レート (bit/s)	動作周波数 P _φ (MHz)														
	24			25			26			28			30		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	212	0.03	2	221	-0.02	2	230	-0.08	2	248	-0.17	3	66	-0.62
150	2	155	0.16	2	162	-0.15	2	168	0.16	2	181	0.16	2	194	0.16
300	2	77	0.16	2	80	0.47	2	84	-0.43	2	90	0.16	2	97	-0.35
600	1	155	0.16	1	162	-0.15	1	168	0.16	1	181	0.16	2	48	-0.35
1200	1	77	0.16	1	80	0.47	1	84	-0.43	1	90	0.16	1	97	-0.35
2400	1	38	0.16	1	40	-0.76	1	41	0.76	1	45	-0.93	1	48	-0.35
4800	0	155	0.16	0	162	-0.15	0	168	0.16	0	181	0.16	0	194	0.16
9600	0	77	0.16	0	80	0.47	0	84	-0.43	0	90	0.16	0	97	-0.35
14400	0	51	0.16	0	53	0.47	0	55	0.76	0	60	-0.39	0	64	0.16
19200	0	38	0.16	0	40	-0.76	0	41	0.76	0	45	-0.93	0	48	-0.35
28800	0	25	0.16	0	26	0.47	0	27	0.76	0	29	1.27	0	32	-1.36
31250	0	23	0.00	0	24	0.00	0	25	0.00	0	27	0.00	0	29	0.00
38400	0	19	-2.34	0	19	1.73	0	20	0.76	0	22	-0.93	0	23	1.73

表 13.3 ビットレートに対する BRR の設定例〔調歩同期モード〕(4)

論理 ビット レート (bit/s)	動作周波数 P _φ (MHz)														
	32			34			36			38			40		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	70	0.03	3	74	0.62	3	79	-0.12	3	83	0.40	3	88	-0.25
150	2	207	0.16	2	220	0.16	2	233	0.16	2	246	0.16	3	64	0.16
300	2	103	0.16	2	110	-0.29	2	116	0.16	2	123	-0.24	2	129	0.16
600	2	51	0.16	2	54	0.62	2	58	-0.69	2	61	-0.24	2	64	0.16
1200	1	103	0.16	1	110	-0.29	1	116	0.16	1	123	-0.24	1	129	0.16
2400	1	51	0.16	1	51	6.42	1	58	-0.69	1	61	-0.24	1	64	0.16
4800	0	207	0.16	0	220	0.16	0	234	-0.27	0	246	0.16	1	32	-1.36
9600	0	103	0.16	0	110	-0.29	0	116	0.16	0	123	-0.24	0	129	0.16
14400	0	68	0.64	0	73	-0.29	0	77	0.16	0	81	0.57	0	86	-0.22
19200	0	51	0.16	0	54	0.62	0	58	-0.69	0	61	-0.24	0	64	0.16
28800	0	34	-0.79	0	36	-0.29	0	38	0.16	0	40	0.57	0	42	0.94
31250	0	31	0.00	0	33	0.00	0	35	0.00	0	37	0.00	0	39	0.00
38400	0	25	0.16	0	27	-1.18	0	28	1.02	0	30	-0.24	0	32	-1.36

【注】誤差は、なるべく 1%以内になるように設定してください。

13. シリアルコミュニケーションインタフェース (SCI)

表 13.4 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

$P\phi$ (MHz)	n	N	最大ビットレート (bit/s)
4	0	0	125000
8	0	0	250000
10	0	0	312500
12	0	0	375000
14	0	0	437500
16	0	0	500000
18	0	0	562500
20	0	0	625000
22	0	0	687500
24	0	0	750000
25	0	0	781250
26	0	0	812500
28	0	0	875000
30	0	0	937500
32	0	0	1000000
34	0	0	1062500
36	0	0	1125000
38	0	0	1187500
40	0	0	1250000

13. シリアルコミュニケーションインタフェース (SCI)

表 13.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

P ϕ (MHz)	外部クロック (MHz)	最大ビットレート (bit/s)
4	1.0000	62500
6	1.5000	93750
8	2.0000	125000
10	2.5000	156250
12	3.0000	187500
14	3.5000	218750
16	4.0000	250000
18	4.5000	281250
20	5.0000	312500
22	5.5000	343750
24	6.0000	375000
25	6.2500	390625
26	6.5000	406250
28	7.0000	437500
30	7.5000	468750
32	8.0000	500000
34	8.5000	531250
36	9.0000	562500
38	9.5000	593750
40	10.0000	625000

13. シリアルコミュニケーションインタフェース (SCI)

表 13.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕(1)

論理 ビットレート (bit/s)	動作周波数 P ϕ (MHz)									
	4		6		8		10		12	
	n	N	n	N	n	N	n	N	n	N
250	2	124	2	187	2	249	3	77	3	93
500	1	249	2	93	2	124	2	155	2	187
1000	1	124	1	187	1	249	2	77	2	93
2500	1	49	1	74	1	99	1	124	1	149
5000	1	24	-	-	1	49	1	61	1	74
10000	0	99	0	149	1	24	0	249	-	-
25000	0	39	0	59	1	9	0	99	1	14
50000	0	19	0	29	1	4	0	49	0	59
100000	0	9	0	14	0	19	0	24	0	29
250000	0	3	0	5	0	7	0	9	0	11
500000	0	1	0	2	0	3	0	4	0	5
1000000	0	0*	-	-	0	1	-	-	0	2
2500000	-	-	-	-	-	-	0	0*	-	-
5000000	-	-	-	-	-	-	-	-	-	-

表 13.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕(2)

論理 ビットレート (bit/s)	動作周波数 P ϕ (MHz)									
	14		16		18		20		22	
	n	N	n	N	n	N	n	N	n	N
250	3	108	3	124	3	140	3	155	3	171
500	2	218	2	249	3	69	3	77	3	85
1000	2	108	2	124	2	140	2	155	3	42
2500	1	174	2	49	1	224	1	249	2	68
5000	1	86	2	24	1	112	1	124	1	137
10000	1	43	1	49	1	55	1	62	1	68
25000	0	139	1	19	0	179	1	24	0	219
50000	0	69	1	9	0	89	0	99	0	109
100000	0	34	1	4	0	44	0	49	0	54
250000	0	13	1	1	0	17	0	19	0	21
500000	0	6	1	0	0	8	0	9	0	10
1000000	-	-	0	3	-	-	0	4	-	-
2500000	-	-	-	-	-	-	0	1	-	-
5000000	-	-	-	-	-	-	0	0*	-	-

13. シリアルコミュニケーションインタフェース (SCI)

表 13.6 ビットレートに対する BRR の設定例 (クロック同期式モード) (3)

論理 ビットレート (bit/s)	動作周波数 P ϕ (MHz)									
	24		25		26		28		30	
	n	N	n	N	n	N	n	N	n	N
250	3	187	3	194	3	202	3	218	3	233
500	3	93	3	97	3	101	3	108	3	116
1000	2	187	2	194	2	202	2	218	2	233
2500	2	74	2	77	2	80	2	86	2	93
5000	1	149	1	155	1	162	1	174	1	187
10000	1	74	1	77	1	80	1	86	1	93
25000	1	29	0	249	-	-	1	34	-	-
50000	1	14	0	124	0	129	0	139	0	149
100000	0	59	0	62	0	64	0	69	0	74
250000	0	23	0	24	0	25	0	27	0	29
500000	0	11	-	-	0	12	0	13	0	14
1000000	0	5	-	-	-	-	0	6	-	-
2500000	-	-	-	-	-	-	-	-	0	2
5000000	-	-	-	-	-	-	-	-	-	-

表 13.6 ビットレートに対する BRR の設定例 (クロック同期式モード) (4)

論理 ビットレート (bit/s)	動作周波数 P ϕ (MHz)									
	32		34		36		38		40	
	n	N	n	N	n	N	n	N	n	N
250	3	249	-	-	-	-	-	-	-	-
500	3	124	3	132	3	140	3	147	3	155
1000	2	249	3	65	3	69	3	73	3	77
2500	2	99	2	105	2	112	2	118	2	124
5000	2	49	1	212	1	224	1	237	1	249
10000	2	24	1	105	1	112	1	118	1	124
25000	2	9	-	-	1	44	-	-	1	49
50000	2	4	0	169	0	179	0	189	1	24
100000	1	9	0	84	0	89	0	94	0	99
250000	1	3	0	33	0	35	0	37	0	39
500000	1	1	0	16	0	17	0	18	0	19
1000000	1	0	-	-	0	8	-	-	0	9
2500000	-	-	-	-	-	-	-	-	0	3
5000000	-	-	-	-	-	-	-	-	0	1

13. シリアルコミュニケーションインタフェース (SCI)

【記号説明】

- : 設定可能ですが誤差がでます。
- * : 連続送信 / 連続受信はできません。

表 13.7 外部クロック入力時の最大ビットレート (クロック同期モード)

P ϕ (MHz)	外部クロック (MHz)	最大ビットレート (bit/s)
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
22	3.6667	3666666.7
24	4.0000	4000000.0
25	4.1667	4166666.7
26	4.3333	4333333.3
28	4.6667	4666666.7
30	5.0000	5000000.0
32	5.3333	5333333.3
34	5.6667	5666666.7
36	6.0000	6000000.0
38	6.3333	6333333.3
40	6.6667	6666666.7

表 13.8 ビットレートに対する BRR の設定例
(スマートカードインタフェースモードで n=0、S=372 のとき)

ビット レート (bps)	動作周波数 P ϕ (MHz)													
	4		8		16		24		25		32		40	
	N	誤差(%)	N	誤差(%)	N	誤差(%)	N	誤差(%)	N	誤差(%)	N	誤差(%)	N	誤差(%)
9600	0	44	0	12	1	12	2	12	3	12	3	12	3	40

表 13.9 各動作周波数における最大ビットレート
(スマートカードインタフェースモードで S=372 のとき)

Pφ (MHz)	最大ビットレート (bps)	n	N
4	5376	0	0
8	10753	0	0
16	21505	0	0
24	32258	0	0
25	33602	0	0
32	43011	0	0
40	53763	0	0

13.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。1 フレームは、スタートビット (ローレベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (ローレベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCI はデータを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

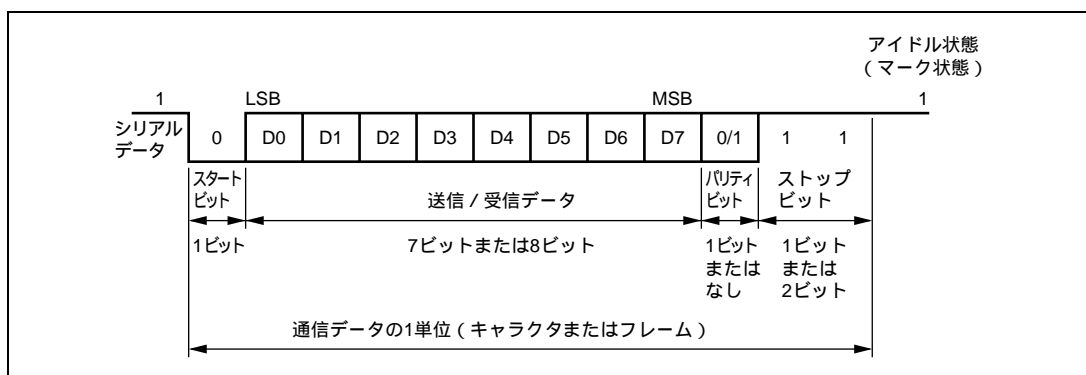


図 13.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

13. シリアルコミュニケーションインタフェース (SCI)

13.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 13.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「13.5 マルチプロセッサ通信機能」を参照してください。

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	X	1	0	S	8ビットデータ								MPB	STOP		
0	X	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	X	1	0	S	7ビットデータ							MPB	STOP			
1	X	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット
- X : Don't care

13.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図13.3に示すように受信データを基本クロックの8ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{(D - 0.5)}{N} - (L - 0.5)F \right\} \times 100 \quad [\%] \quad \cdots \text{式(1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5とすると、

$$M = \left\{ 0.5 - 1/(2 \times 16) \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

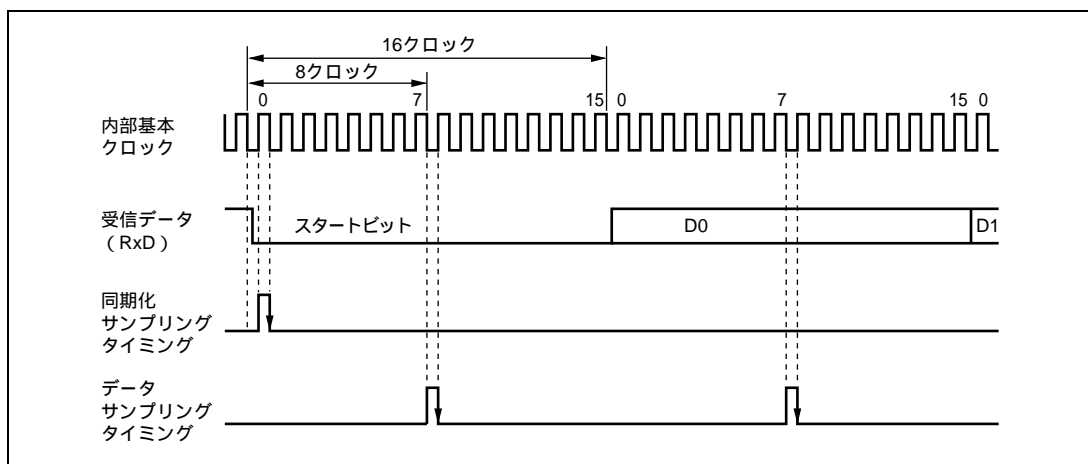


図 13.3 調歩同期式モードの受信データサンプリングタイミング

13.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図13.4に示すように送信データの中央でクロックが立ち上がります。

動作中にクロックは止めないでください。

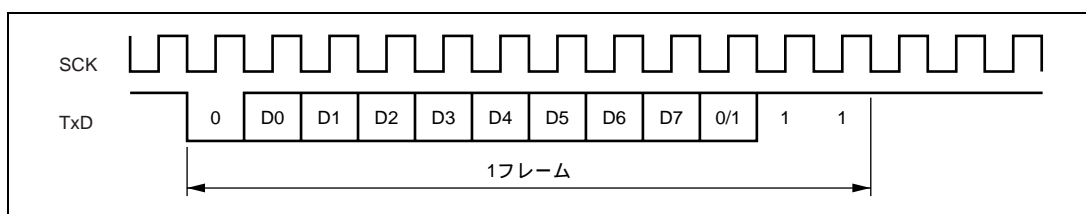


図 13.4 出力クロックと送信データの位相関係 (調歩同期式モード)

13.4.4 SCIの初期化 (調歩同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図13.5のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

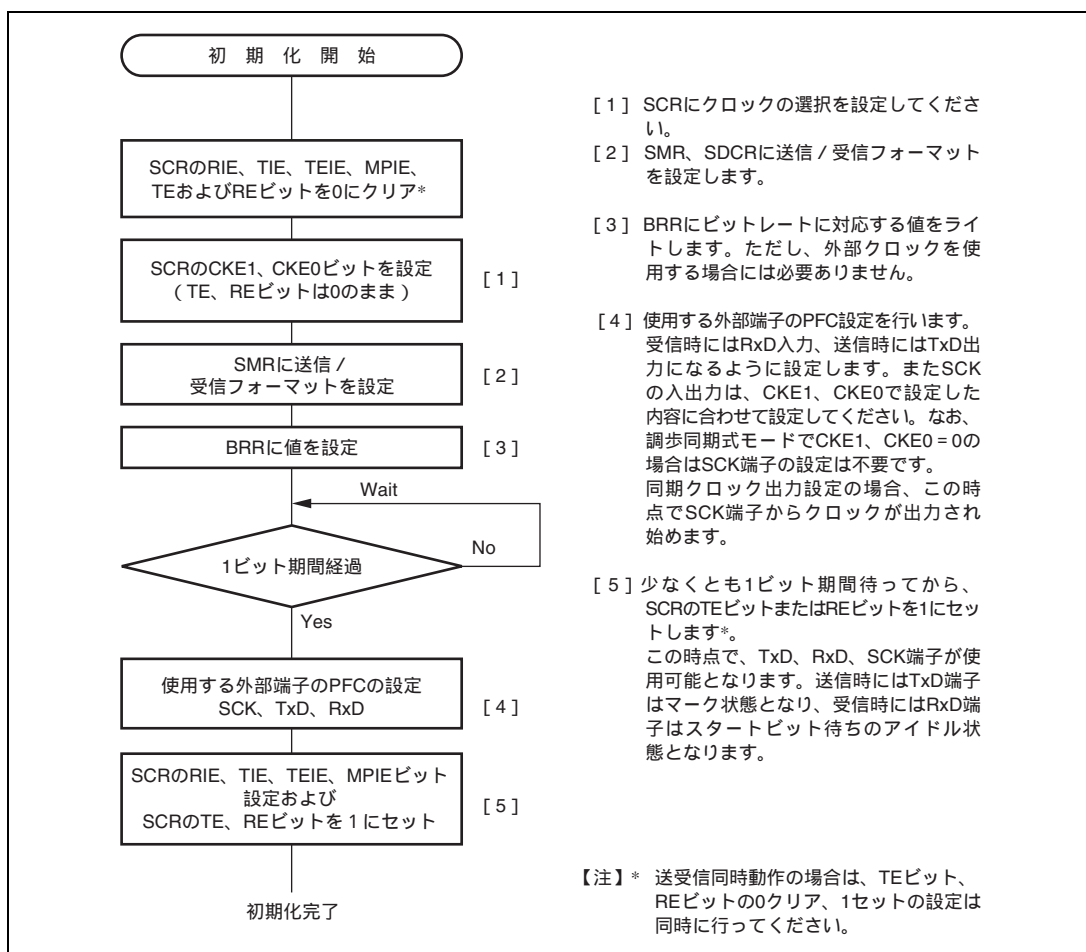


図 13.5 SCIの初期化フローチャートの例

13.4.5 データ送信 (調歩同期式)

図 13.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 13.7 にデータ送信のフローチャートの例を示します。

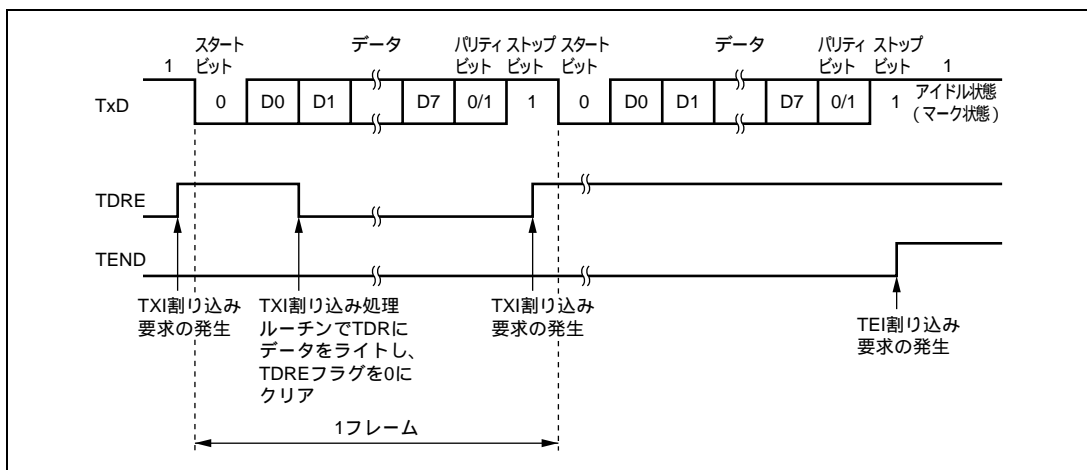


図 13.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

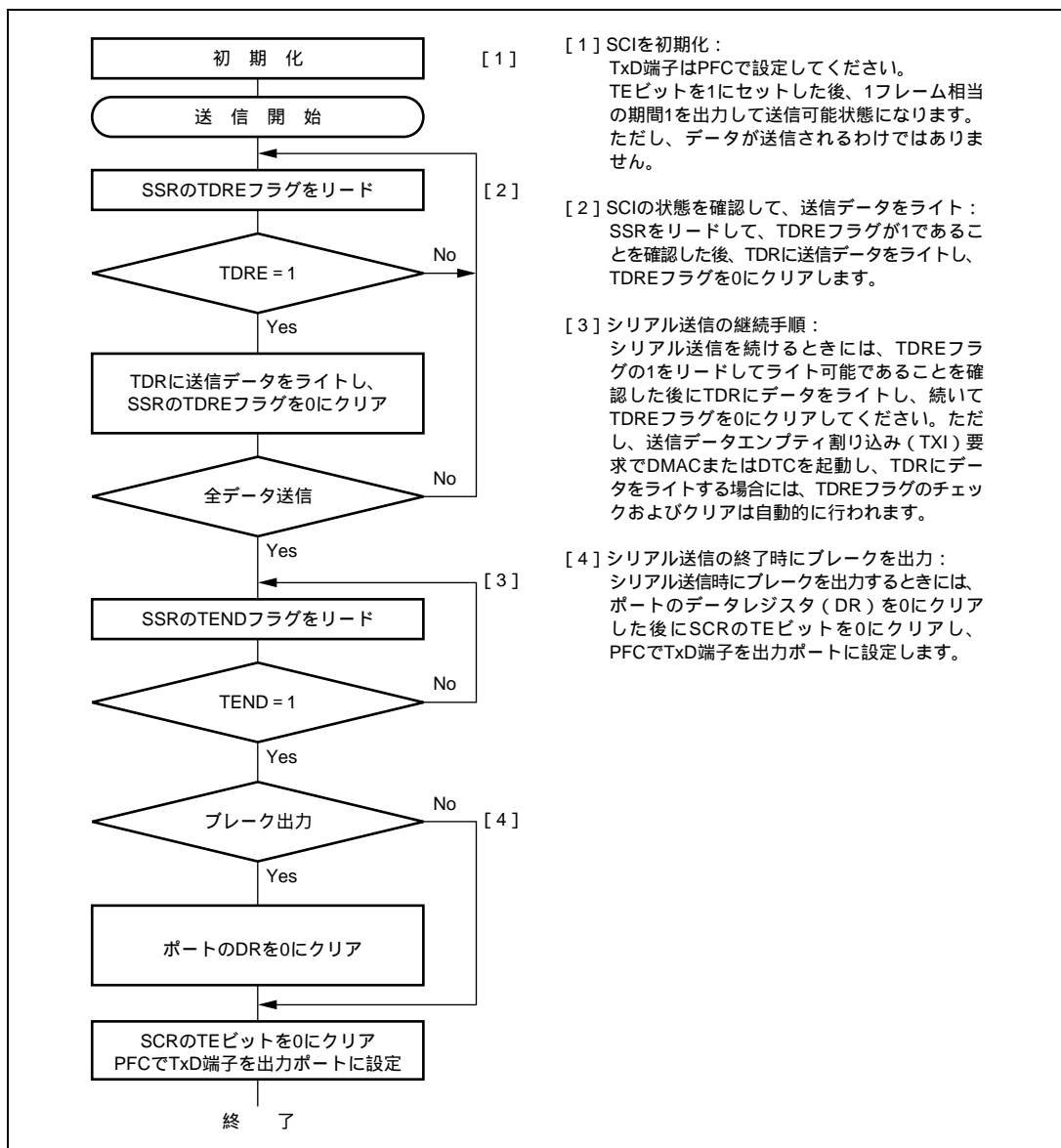


図 13.7 シリアル送信のフローチャートの例

13.4.6 シリアルデータ受信 (調歩同期式)

図 13.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのOERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

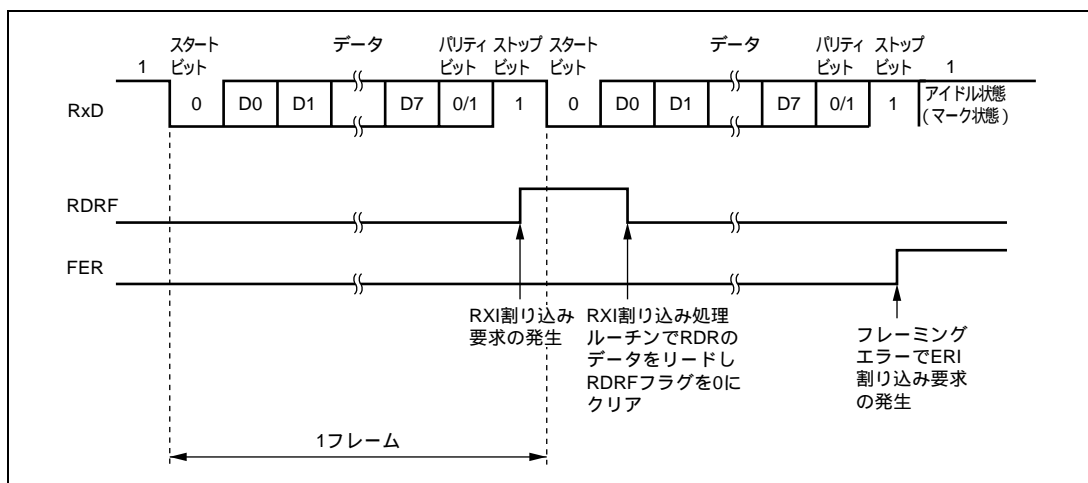


図 13.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 13.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 13.9 にデータ受信のためのフローチャートの例を示します。

表 13.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

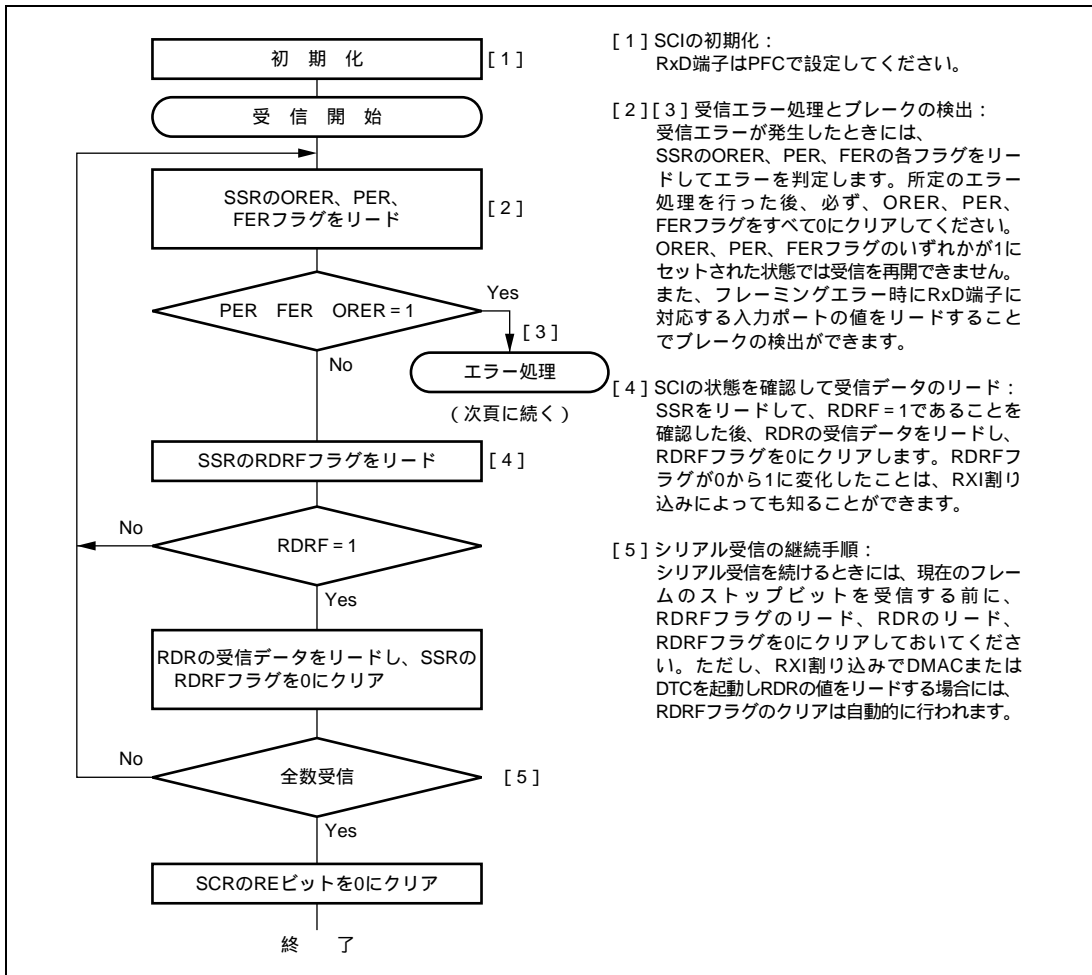


図 13.9 シリアル受信データフローチャートの例 (1)

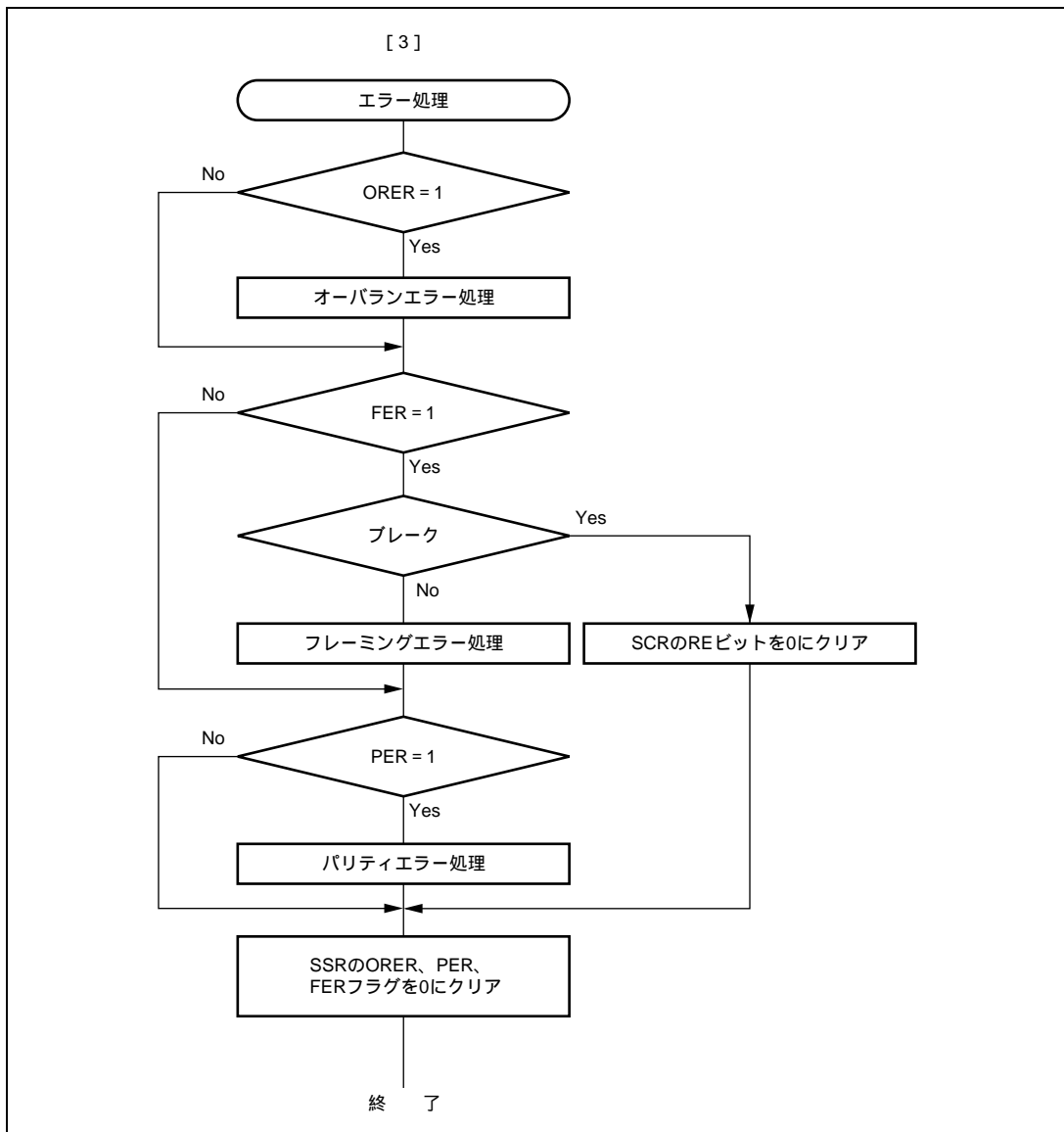


図 13.9 シリアル受信データフローチャートの例 (2)

13.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におのおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 13.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、OERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBRが1にセットされるとともにMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

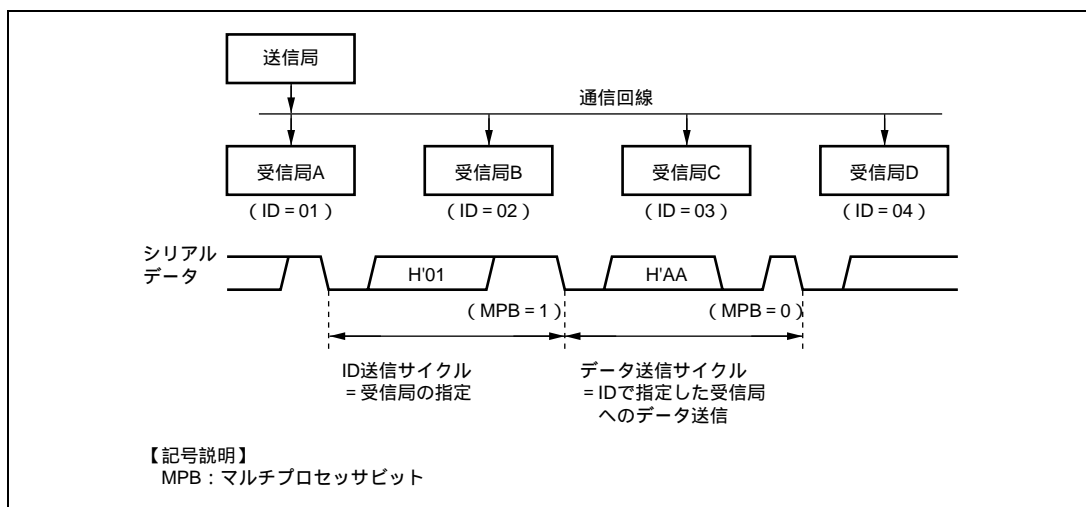


図 13.10 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

13.5.1 マルチプロセッサシリアルデータ送信

図 13.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

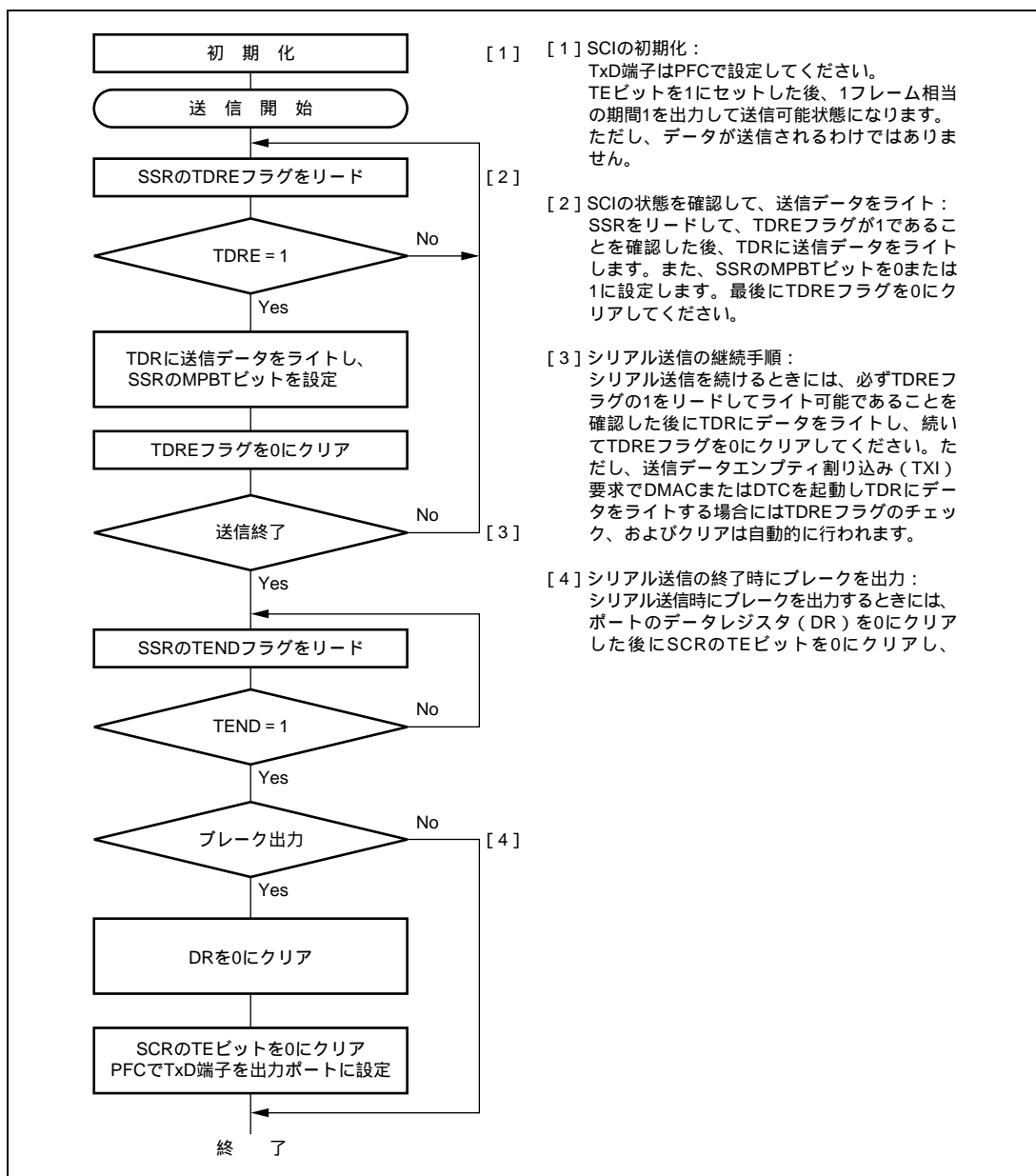


図 13.11 マルチプロセッサシリアル送信のフローチャートの例

13.5.2 マルチプロセッサシリアルデータ受信

図 13.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 13.12 に受信時の動作例を示します。

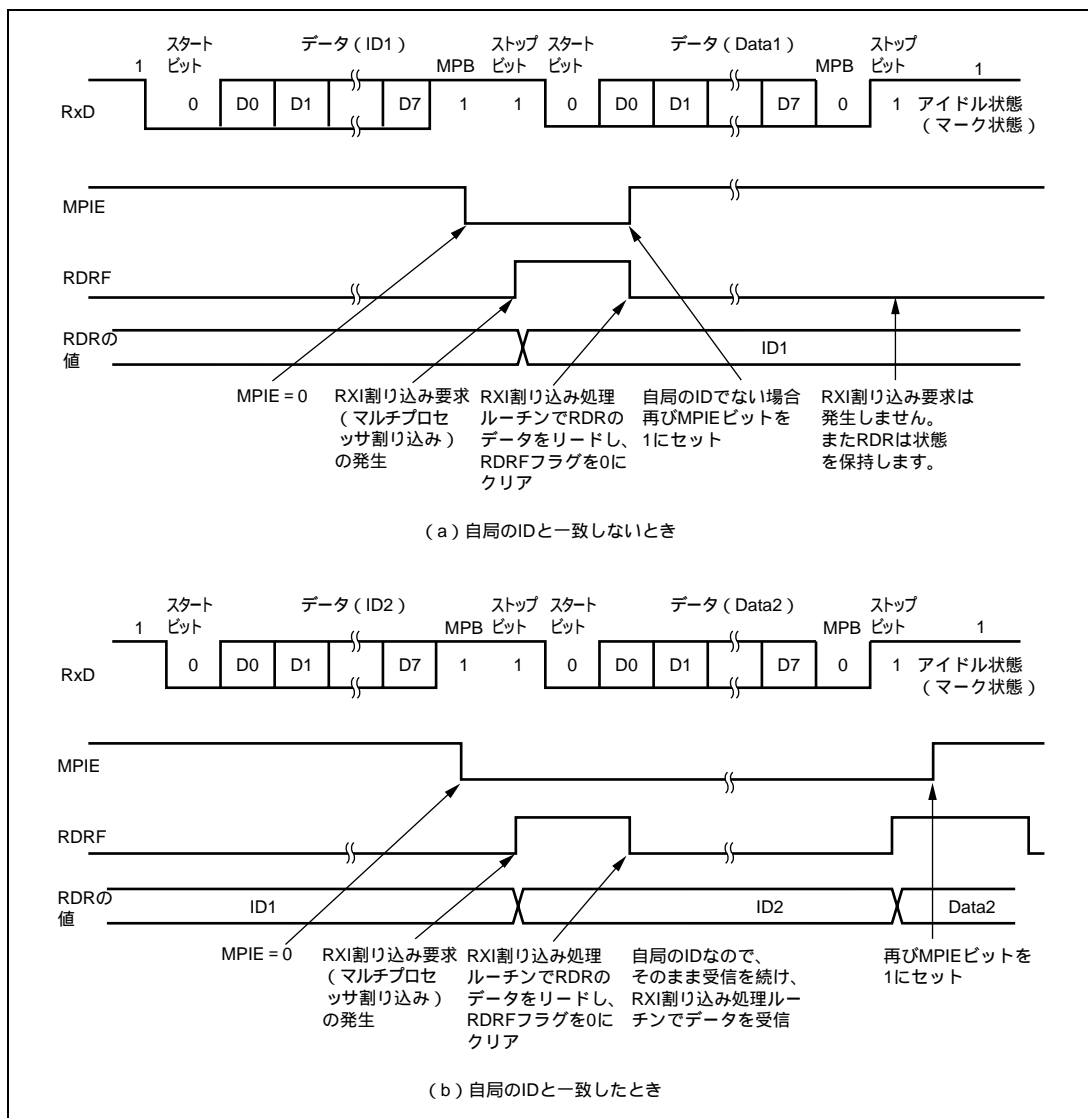


図 13.12 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

13. シリアルコミュニケーションインタフェース (SCI)

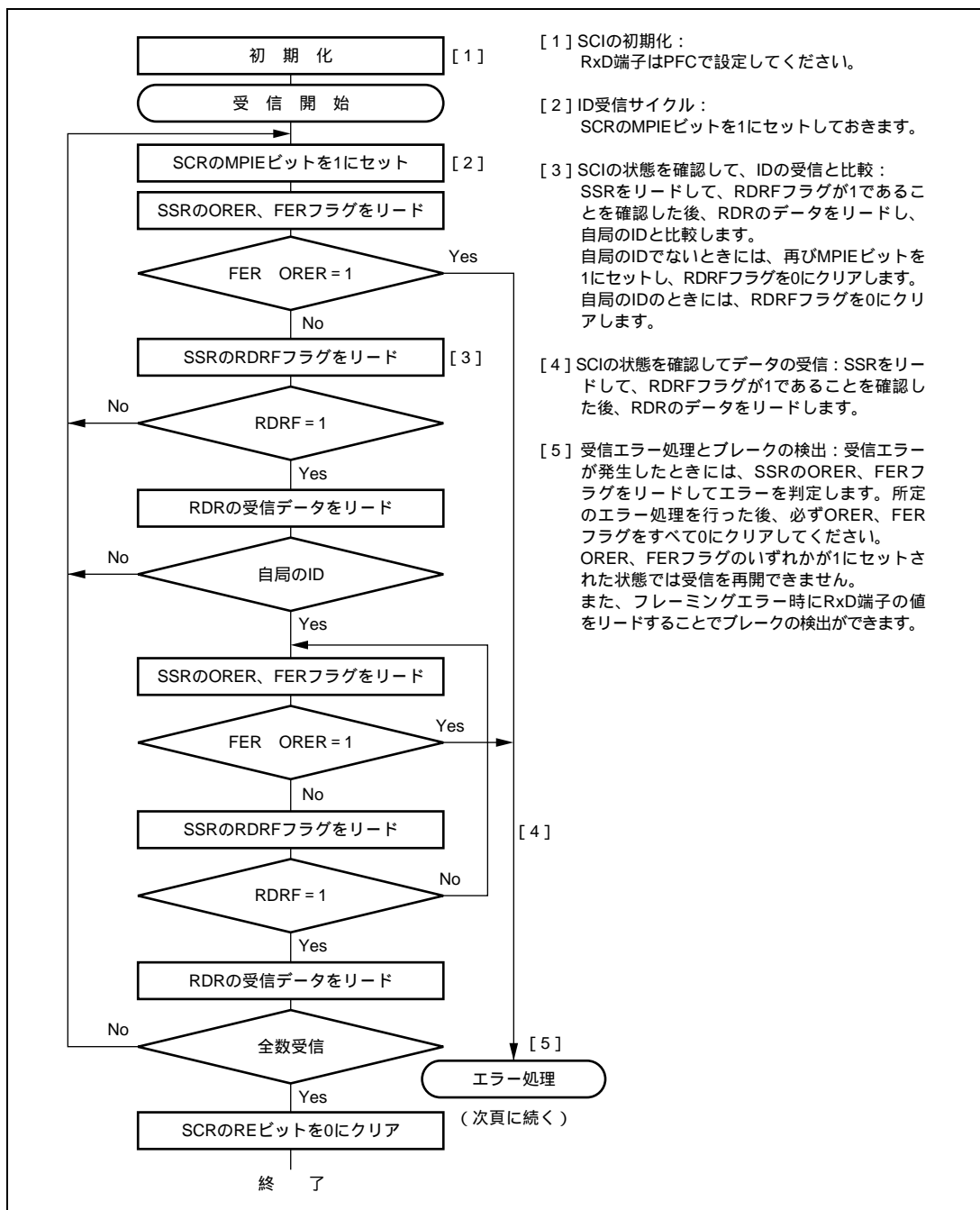


図 13.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

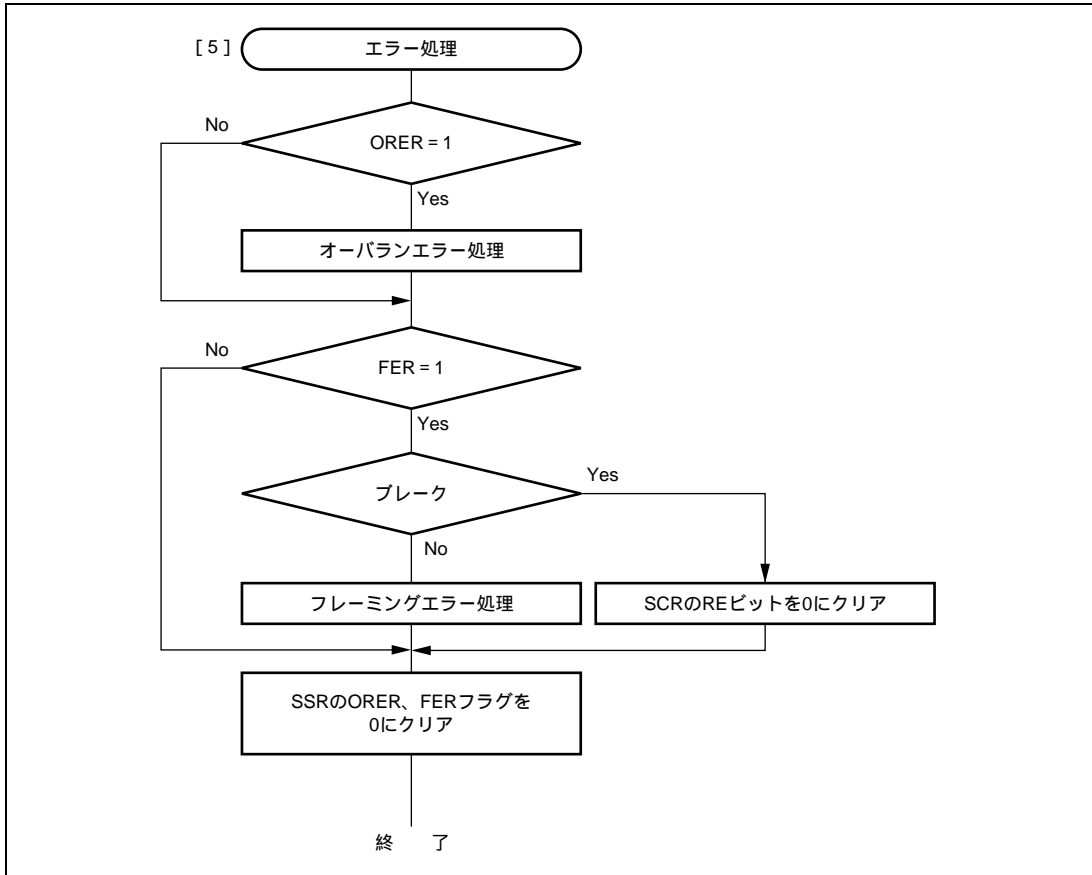


図 13.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

13.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 13.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保持します。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

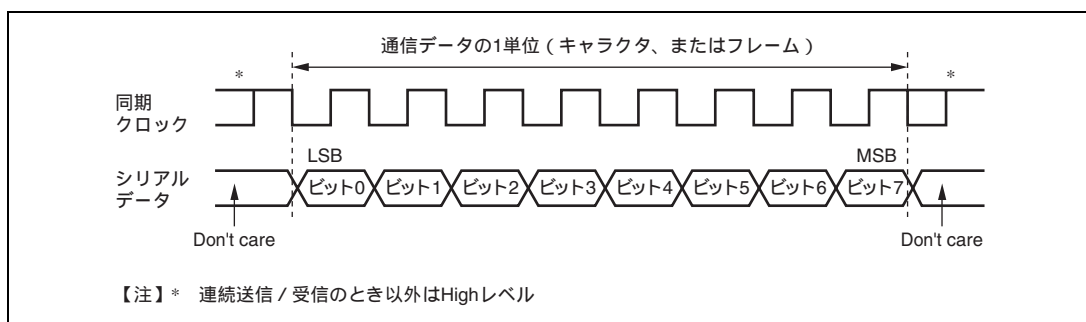


図 13.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

13.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。ただし受信のみの動作のときは、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期のクロックは出力されます。1 キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

13.6.2 SCIの初期化 (クロック同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図13.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、OERの各フラグ、およびRDRは初期化されませんので注意してください。

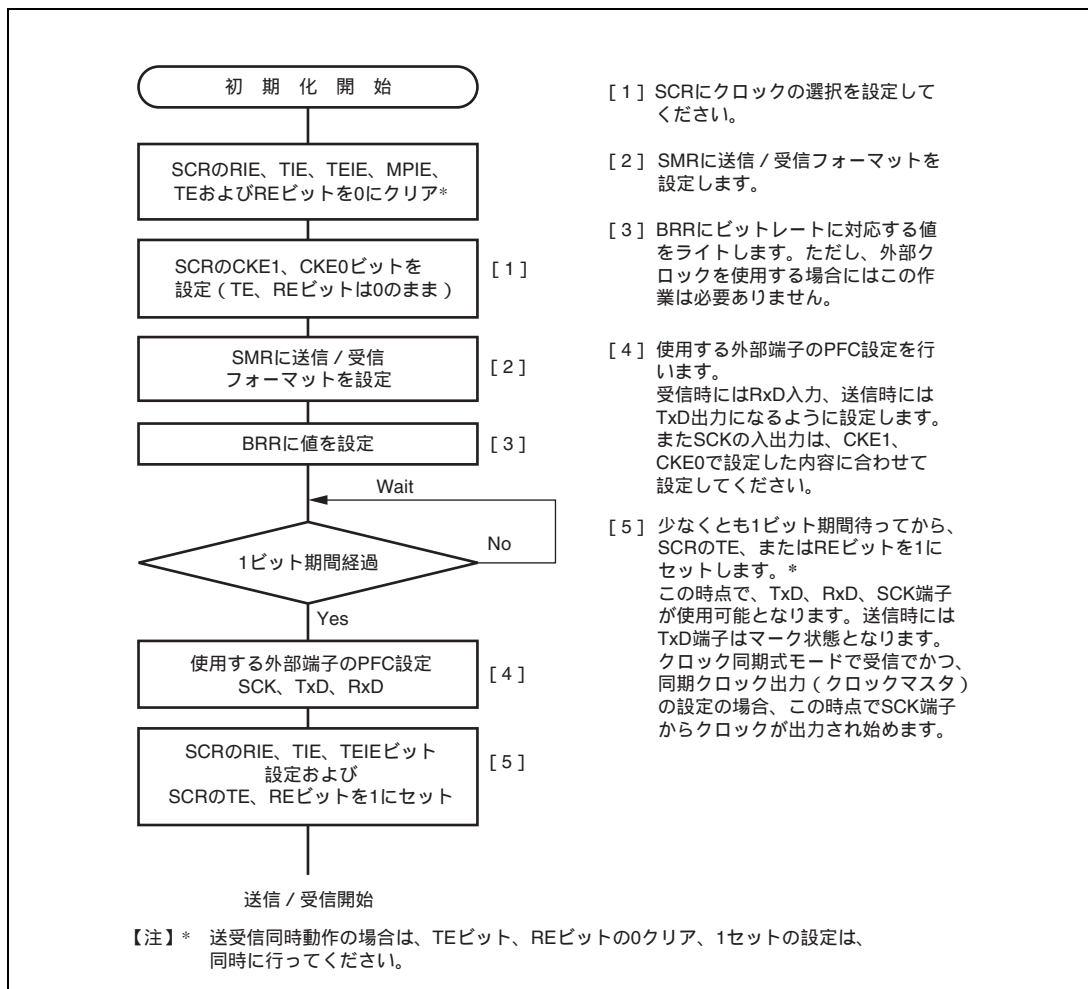


図 13.15 SCIの初期化フローチャートの例

13.6.3 シリアルデータ送信 (クロック同期式)

図 13.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCI は SSR の TDRE を監視し、クリアされると TDR にデータが書き込まれたと認識して TDR から TSR にデータを転送します。
2. TDR から TSR にデータを転送すると、TDRE を 1 にセットして送信を開始します。このとき、SCR の TIE が 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込みルーチンで、前に転送したデータの送信が終了するまでに TDR に次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDRE をチェックします。
5. TDRE が 0 であると次の送信データを TDR から TSR にデータを転送し、次のフレームの送信を開始します。
6. TDRE が 1 であると SSR の TEND に 1 をセットし、最終ビット出力状態を保持します。このとき SCR の TEIE が 1 にセットされていると TEI を発生します。SCK 端子は High レベルに固定されます。

図 13.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

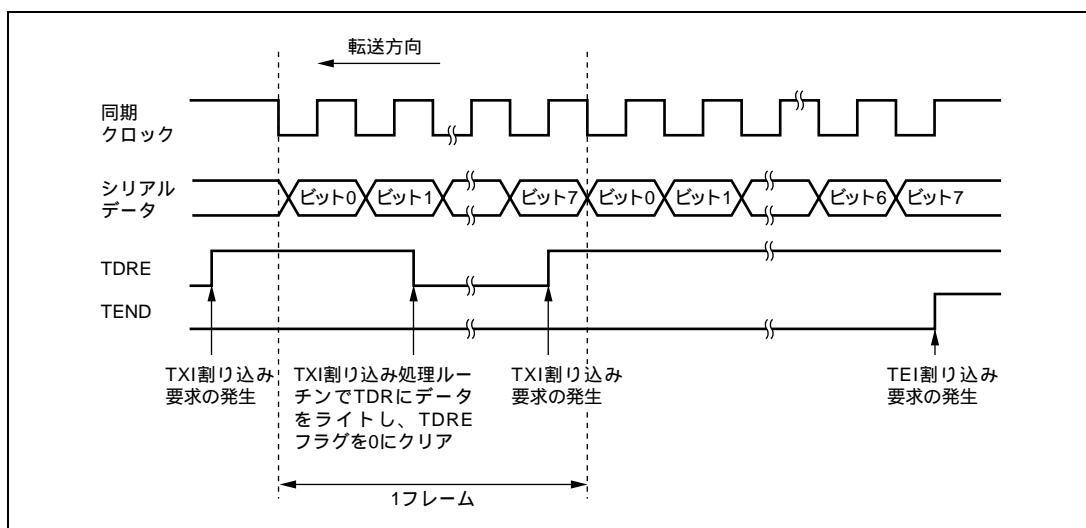


図 13.16 クロック同期式モードの送信時の動作例

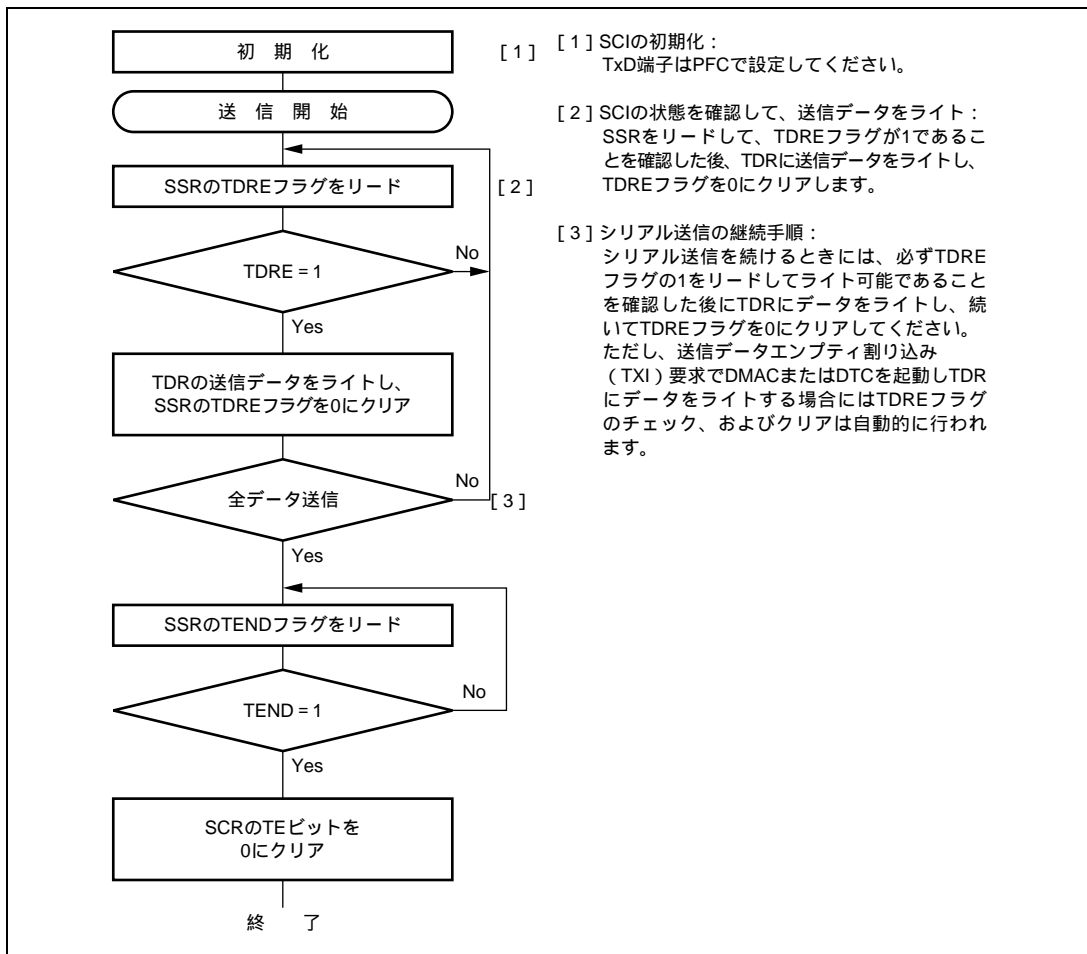


図 13.17 シリアル送信のフローチャートの例

13.6.4 シリアルデータ受信 (クロック同期式)

図 13.18 にクロック同期モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCI は同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データを RSR に取り込みます。
2. オーバランエラーが発生したとき (SSR の RDRF が 1 にセットされたまま次のデータを受信完了したとき) は SSR の ORER をセットします。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求が発生します。受信データは RDR に転送しません。RDRF は 1 にセットされた状態を保持します。
3. 正常に受信したときは SSR の RDRF をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

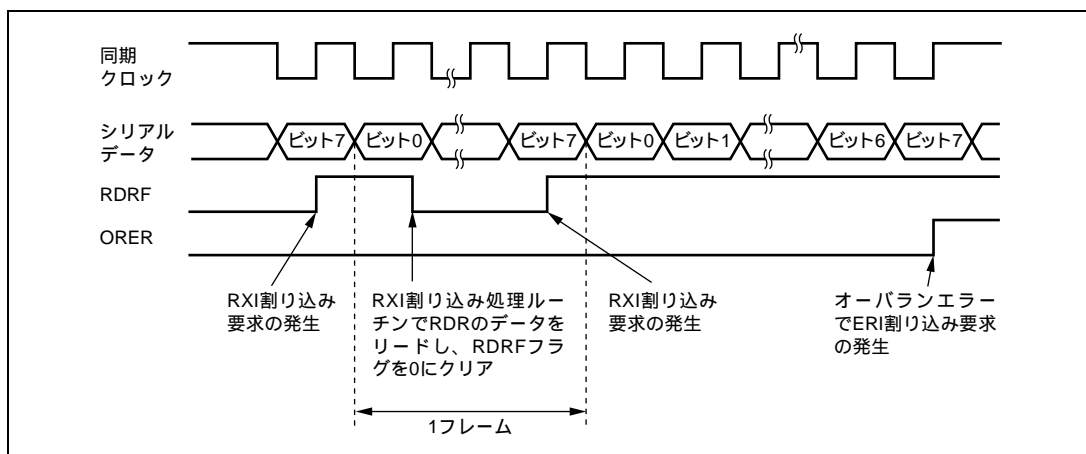


図 13.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.19 にデータ受信のためのフローチャートの例を示します。

内部クロックを選択し、受信のみの動作のときは、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックが出力されます。1 フレーム単位の受信動作を行いたいときは、送受信同時動作による 1 フレームだけのダミー送信も同時に行ってください。

13. シリアルコミュニケーションインタフェース (SCI)

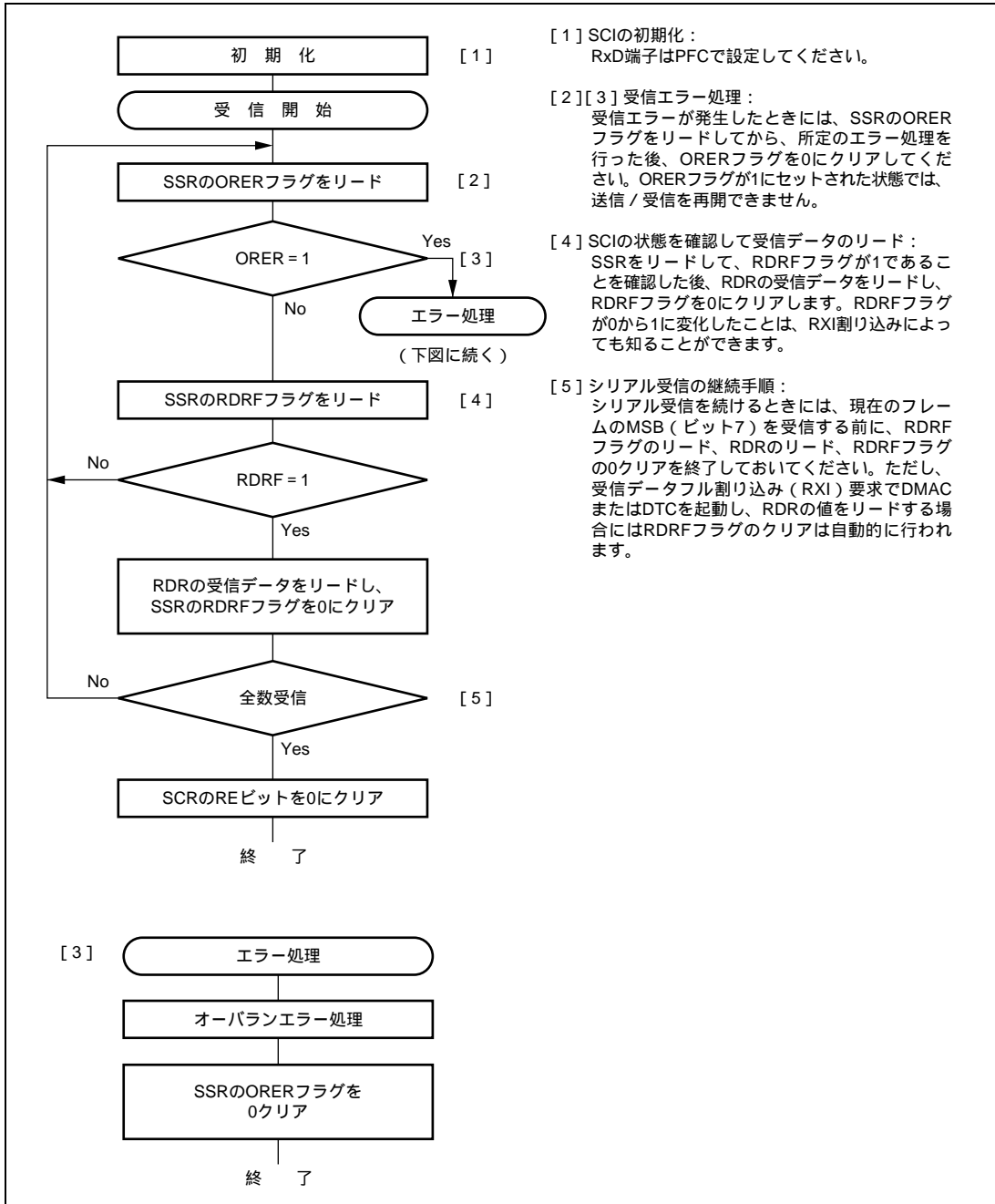


図 13.19 シリアルデータ受信フローチャートの例

13.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 13.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

13. シリアルコミュニケーションインタフェース (SCI)

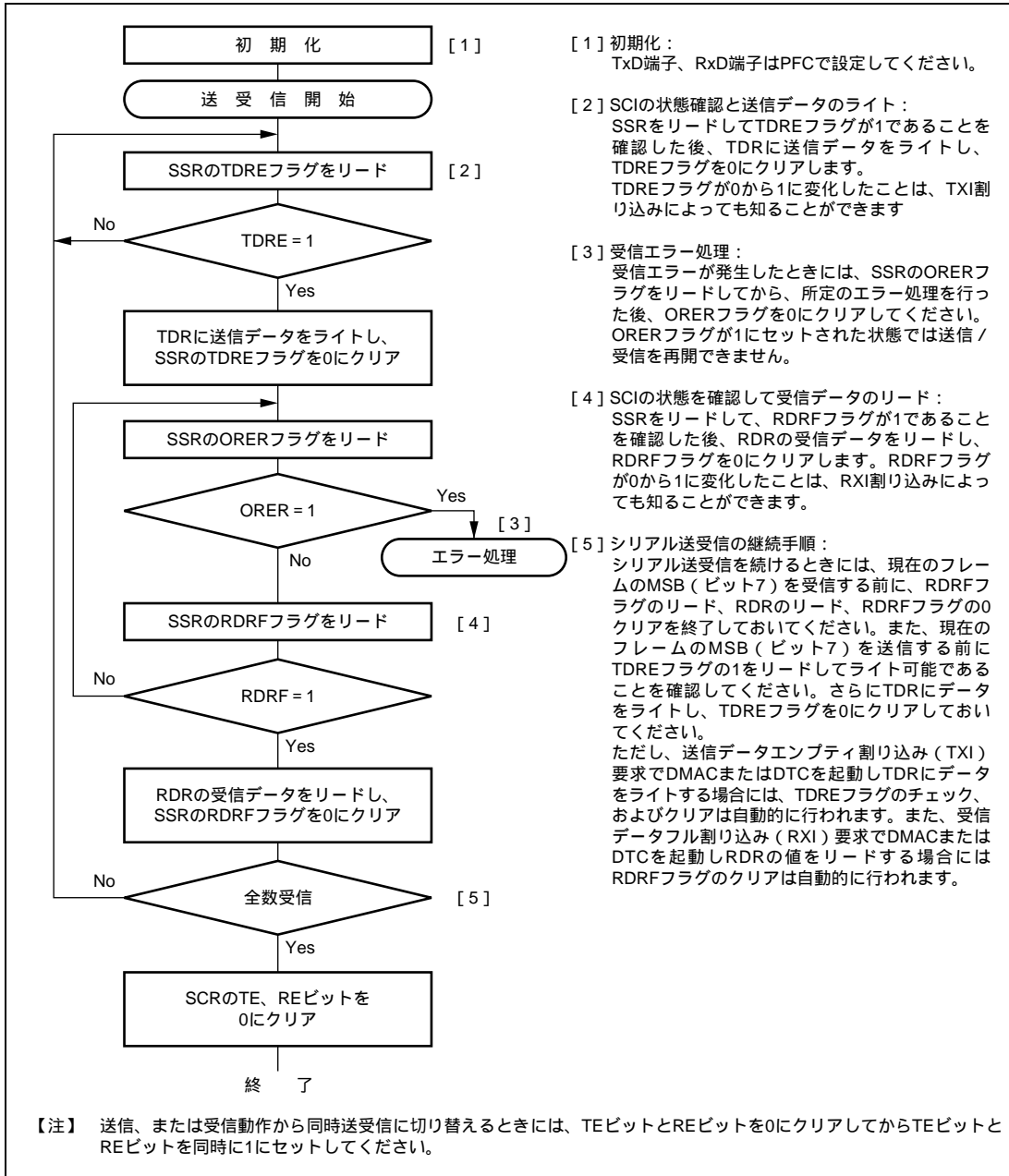


図 13.20 シリアル送受信同時動作のフローチャートの例

13.7 スマートカードインタフェース

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したICカード(スマートカード)とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

13.7.1 接続例

図 13.21 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われますが、TxD端子は常に出力となっています。したがって信号衝突を避けるために、(1)外付け回路にてTxD⇔I/Oのデータ方向の制御を行う、(2)送信時以外はTxD端子を入力ポートにする、などの制御をする必要がありますのでご注意ください。同様に、RxD端子は常に入力となっているので、プルアップ抵抗を接続するなどを行い、開放状態にならないようにしてください。SCIで生成するクロックをICカードに供給する場合は、SCK端子出力をICカードのCLK端子に入力してください。ICカードで、内部クロックを使用する場合は接続不要です。リセット信号の出力には本LSIの出力ポートを使用できます。端子としては、これ以外に通常、電源とグランドの接続が必要です。

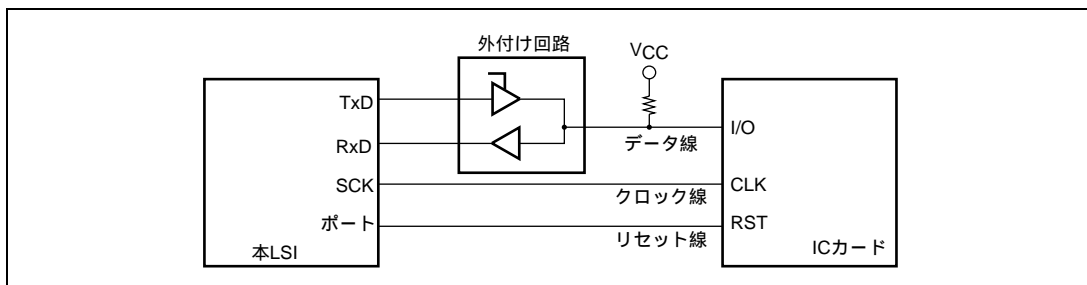


図 13.21 スマートカードインタフェース端子接続例

13.7.2 データフォーマット (ブロック転送モード時を除く)

図 13.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary time unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

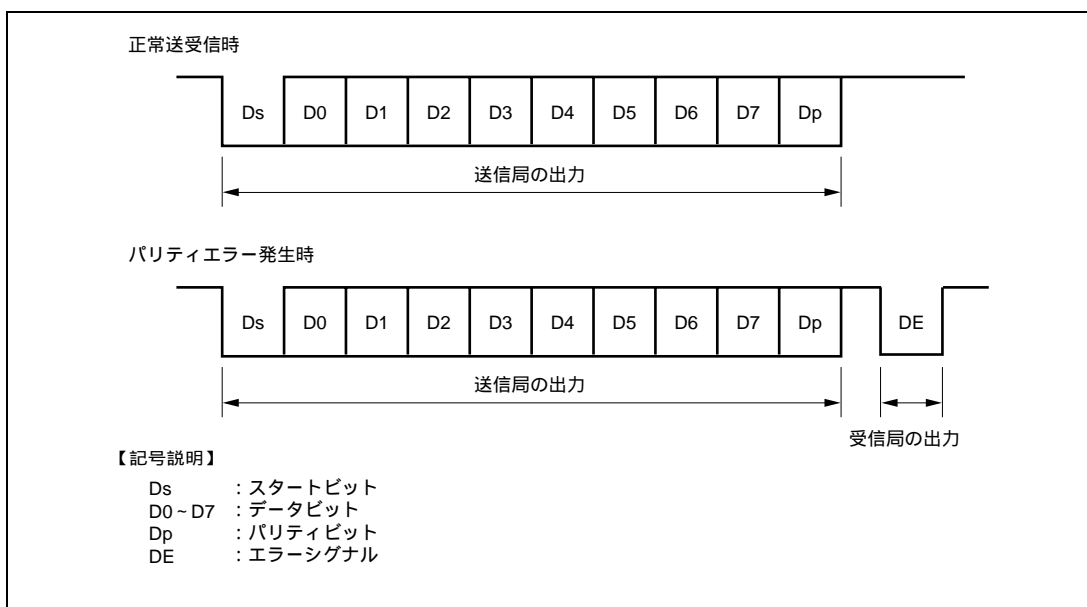


図 13.22 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインパースコンベンションタイプの2種類のICカードとの送受信は次のように行ってください。

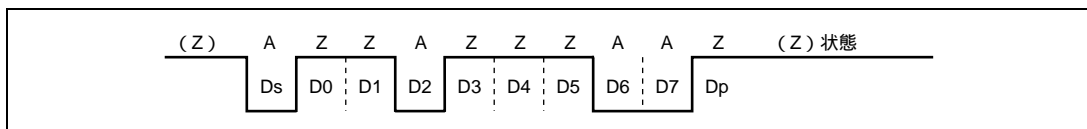


図 13.23 ダイレクトコンベンション (DIR = SINV = O/E = 0)

13. シリアルコミュニケーションインタフェース (SCI)

ダイレクトコンベンションタイプは上記の開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSDCRのDIRビット、SINVビットをともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRのO \bar{E} ビットには0をセットしてください。

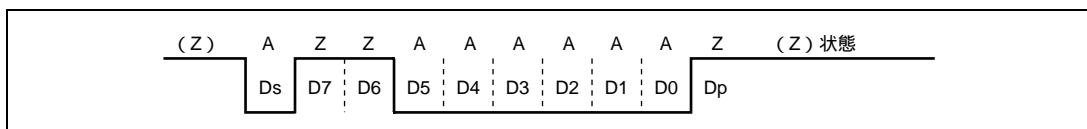


図 13.24 インバースコンベンション (DIR = SINV = O \bar{E} = 1)

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。上記の開始キャラクタではデータはH'3Fとなります。インバースコンベンションタイプではSDCRのDIRビット、SINVビットをともに1にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。本LSIでは、SINVビットはデータビットD7～D0のみ反転させます。このため、送受信ともSMRのO \bar{E} ビットに1を設定してパリティビットを反転させてください。

13.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1 t_{etu} 以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5 t_{etu} 後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

13.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図13.25に示すように受信データを基本クロックのそれぞれ16、32、186、128ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\%$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N=32、64、372、256)

D：クロックデューティ (D=0~1.0)

L：フレーム長 (L=10)

F：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

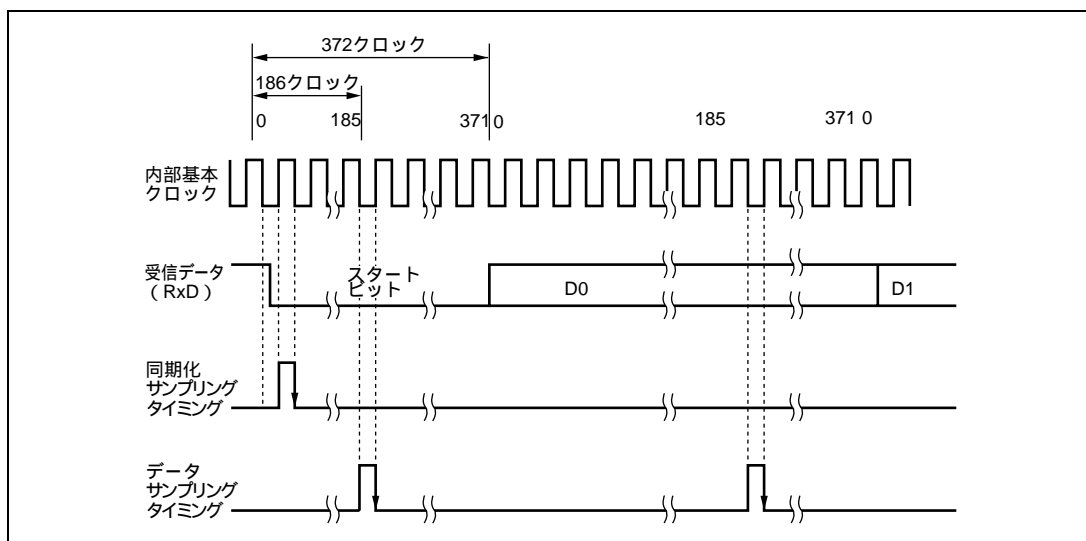


図 13.25 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

13.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのRIE、TIE、TEIE、MPIE、およびTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、O \bar{E} 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SDCRのSMIF、DIR、SINVビットを設定してください。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIEビットを設定してください。
8. 使用する外部端子 (SCK、TxD、RxD) のPFC設定を行います。
9. SCRのTE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE = 0、RE = 1 に設定してください。送信動作の完了は TEND フラグで確認できます。

13.7.6 シリアルデータ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 13.26 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 13.28 に示します。

これら一連の処理は TXI 割り込み要因によって DMAC または DTC を起動することで、自動的に行うことができます。

送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。

あらかじめ DMAC または DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC または DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC または DTC によるデータ転送時に自動的に 0 にクリアされます。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC または DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC または DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DMAC または DTC を使って送受信を行う場合は、必ず先に DMAC または DTC を設定し、許可状態にしてから SCI の設定を行ってください。

13. シリアルコミュニケーションインタフェース (SCI)

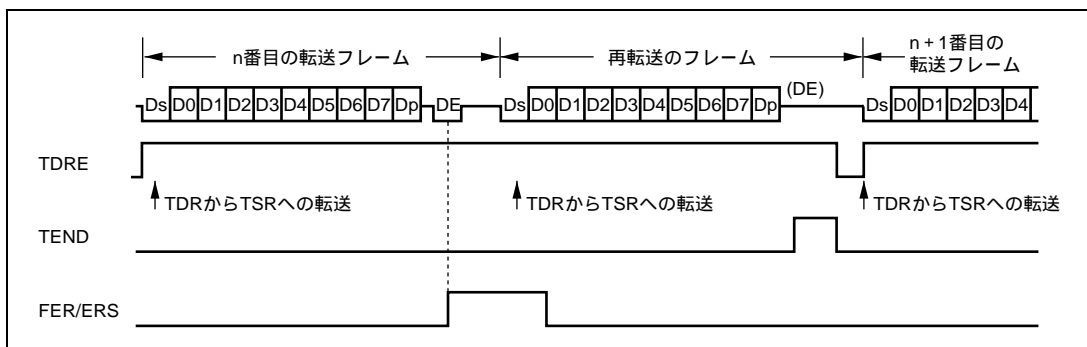


図 13.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 13.27 に TEND フラグ発生タイミングを示します。

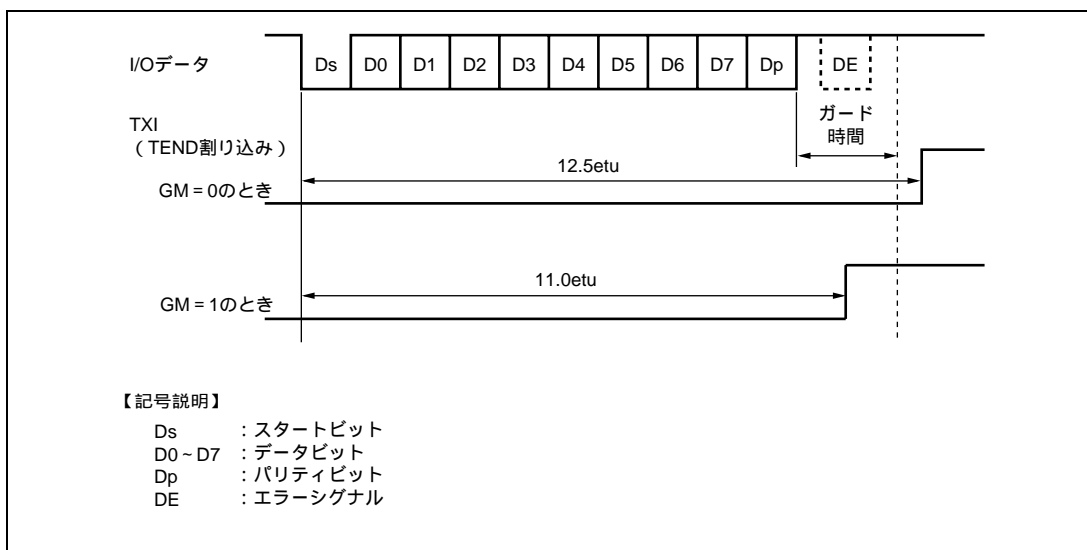


図 13.27 送信動作時の TEND フラグ発生タイミング

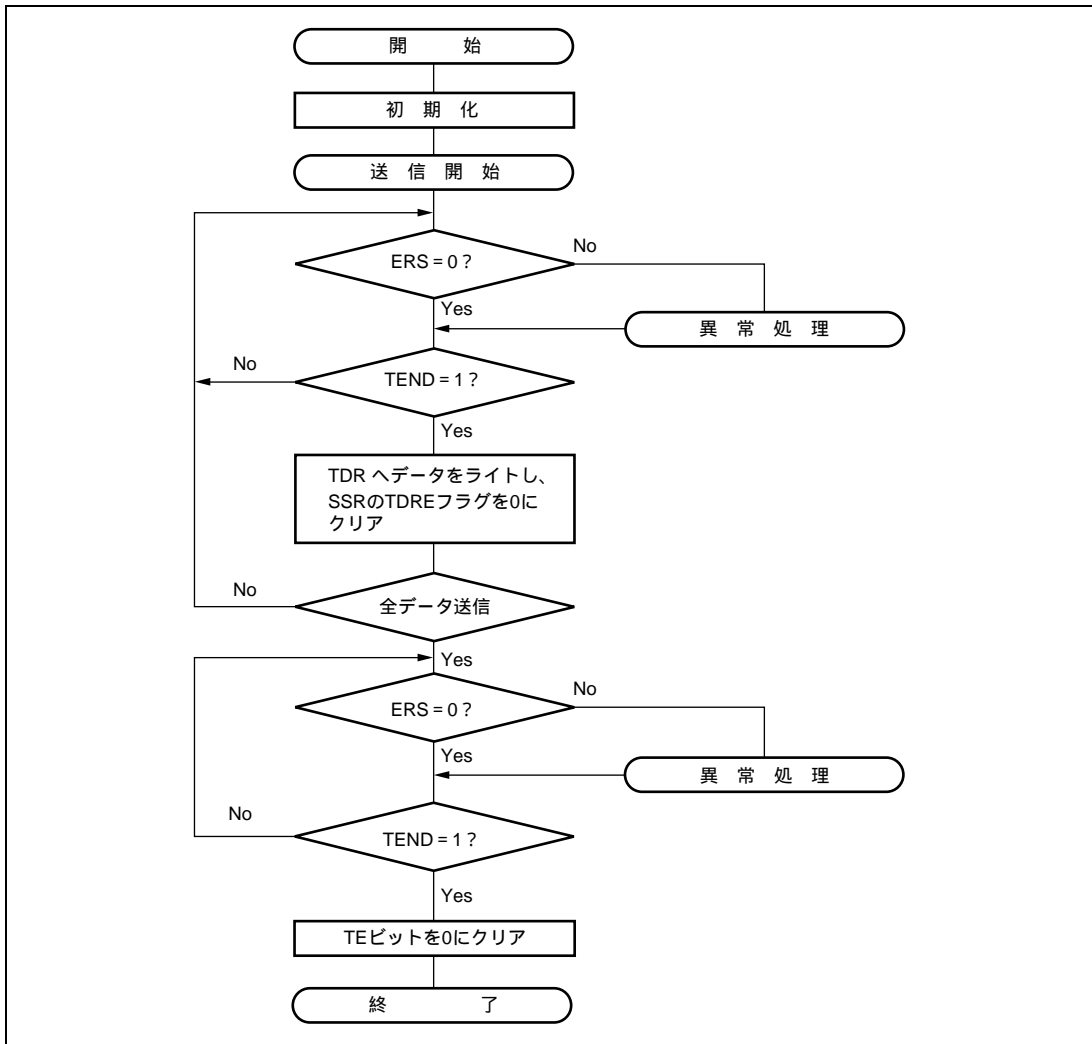


図 13.28 送信処理フローの例

スマートカードインタフェースモードにおけるデータ受信は、ブロック転送モードで行ってください。
詳細は「13.4 調歩同期式モードの動作」を参照してください。

13.7.7 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 13.29 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

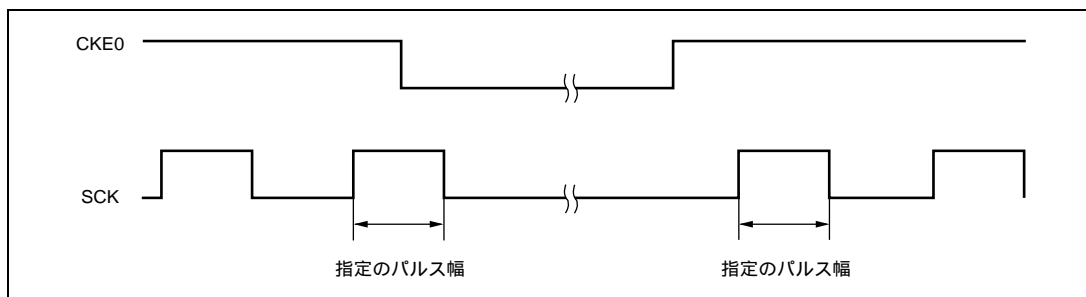


図 13.29 クロック出力固定タイミング

13.8 割り込み要因

13.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 13.12 にシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC または DTC を起動してデータ転送を行うことができます。TDRE フラグは DMAC または DTC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC または DTC を起動してデータ転送を行うことができます。RDRF フラグは DMAC または DTC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 13.12 シリアルコミュニケーションインタフェースモードの割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC/DTC の起動
0	ERI_0	受信エラー	ORER、FER、PER	不可
	RXI_0	受信データフル	RDRF	可
	TXI_0	送信データエンプティ	TDRE	可
	TEI_0	送信終了	TEND	不可
1	ERI_1	受信エラー	ORER、FER、PER	不可
	RXI_1	受信データフル	RDRF	可
	TXI_1	送信データエンプティ	TDRE	可
	TEI_1	送信終了	TEND	不可
2	ERI_2	受信エラー	ORER、FER、PER	不可
	RXI_2	受信データフル	RDRF	可
	TXI_2	送信データエンプティ	TDRE	可
	TEI_2	送信終了	TEND	不可
3	ERI_3	受信エラー	ORER、FER、PER	不可
	RXI_3	受信データフル	RDRF	可
	TXI_3	送信データエンプティ	TDRE	可
	TEI_3	送信終了	TEND	不可

13. シリアルコミュニケーションインタフェース (SCI)

13.8.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 13.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

【注】 ブロック転送モードの場合は、「13.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み」を参照してください。

表 13.13 スマートカードインタフェースモードの割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC/DTC の起動
0	ERI_0	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可
	RXI_0	受信データフル	RDRF	可
	TXI_0	送信データエンブティ	TEND	可
1	ERI_1	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可
	RXI_1	受信データフル	RDRF	可
	TXI_1	送信データエンブティ	TEND	可
2	ERI_2	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可
	RXI_2	受信データフル	RDRF	可
	TXI_2	送信データエンブティ	TEND	可
3	ERI_3	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可
	RXI_3	受信データフル	RDRF	可
	TXI_3	送信データエンブティ	TEND	可

13.9 使用上の注意事項

13.9.1 TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR) の TDRE ビットはトランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。

しかし、TDRE ビットが 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

13.9.2 モジュールスタンバイモードの設定

モジュールスタンバイコントロールレジスタにより、SCI の動作禁止 / 許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

13.9.3 ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

13.9.4 ブレークの送り出し (調歩同期式モードのみ)

TxD 端子は、I/O ポートのデータレジスタ (DR) とピンファンクションコントローラ (PFC) のポート IO レジスタ (IOR) により入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

PFC の設定を行うまではマーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

13.9.5 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

13.9.6 DMAC、DTC の使用上の注意事項

1. 同期クロックに外部クロックソースを使用する場合、DMACまたはDTCによるTDRの更新後、周辺クロック ($P\phi$) で5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります (図13.30)。
2. DMACまたはDTCにより、RDRの読み出しを行うときは必ず起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。

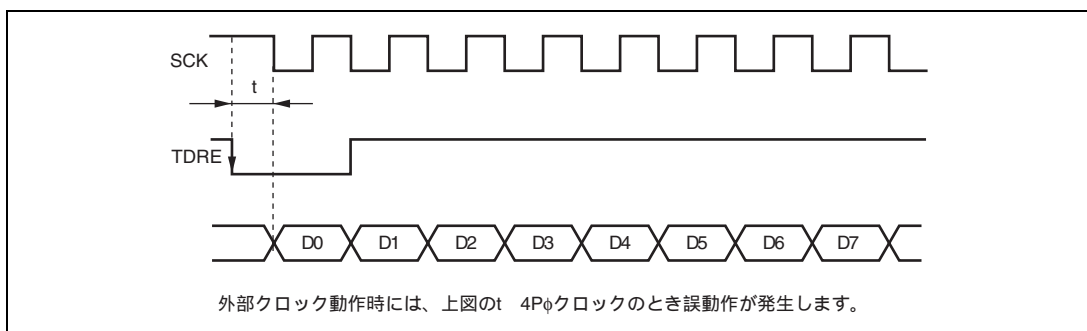


図 13.30 DMAC/DTC によるクロック同期式送信時の例

13.9.7 クロック同期外部クロックモード時の注意事項

1. $TE=RE=1$ に設定するのは、必ず外部クロック SCK が 1 のときにしてください。
2. $TE=1, RE=1$ に設定するのは、外部クロック SCK を 0→1 にしてから $4P\phi$ クロック以上経過してからにしてください。
3. 受信時において、RxD の D7 ビットの SCK 入力の立ち上がりエッジから $2.5 \sim 3.5P\phi$ クロック後に $RE=0$ にすると $RDRF=1$ になりますが、RDR へのコピーができませんので注意してください。

13.9.8 クロック同期内部クロックモード時の注意事項

受信時において、RxD の D7 ビットの SCK 出力の立ち上がりエッジから $1.5P\phi$ クロック後に $RE=0$ にすると $RDRF=1$ になりますが、RDR へのコピーができませんので注意してください。

14. I²C バスインタフェース (IIC) 【オプション】

I²C バスインタフェースはオプションです。本オプション機能を使用する場合には、次の点にご注意ください。
・マスク ROM 版では、オプション機能を使用する製品型名に W が付加されます。

本 LSI は、1 チャンネルの I²C バスインタフェースを内蔵しています。I²C バスインタフェースは、Philips 社の提唱している I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I²C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

14.1 特長

- アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能

I²C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作
クロック同期式シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用

- I²C バスフォーマットは、Philips 社提唱の I²C バスインタフェースに準拠
- I²C バスフォーマットで、スレーブアドレスを 2 通り設定可能
- I²C バスフォーマットで、マスタモード時、開始、停止条件の自動生成
- I²C バスフォーマットで、受信時、アクノリッジの出力レベルを選択可能
- I²C バスフォーマットで、送信時、アクノリッジビットの自動ロード機能
- I²C バスフォーマットで、マスタモード時のウェイトビット機能

アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグを 0 にクリアすることで解除。

- I²C バスフォーマットでのウェイト機能

データ転送後、SCL を Low レベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。

- 割り込み要因

データ転送終了時 (I²C バスフォーマットで送信モード遷移時、ICDR 内データ転送発生時、およびウェイト時を含む)

アドレス一致時：I²C バスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したとき、またはゼネラルコールアドレスを受信したとき (マスタ競合負け後のアドレス受信を含む)

アービトレーションロスト発生時

開始条件検出時 (マスタモード)

停止条件検出時 (スレーブモード時)

14. I²C バスインタフェース (IIC) 【オプション】

- マスタモード時、16種類の内部クロック選択可能
- バスを直接駆動 (SCL / SDA端子)
SCL0、SDA0の2端子は、NMOSオープンドレイン出力。

I²C バスインタフェースのブロック図を図 14.1 に示します。

入出力端子の外部回路接続例を、図 14.2 に示します。入出力端子は NMOS のみにより駆動されるため、見かけ上 NMOS オープンドレインと同様の動作をします。しかし、入出力端子に印加可能な電圧は、本 LSI 本の電源電圧に依存します。

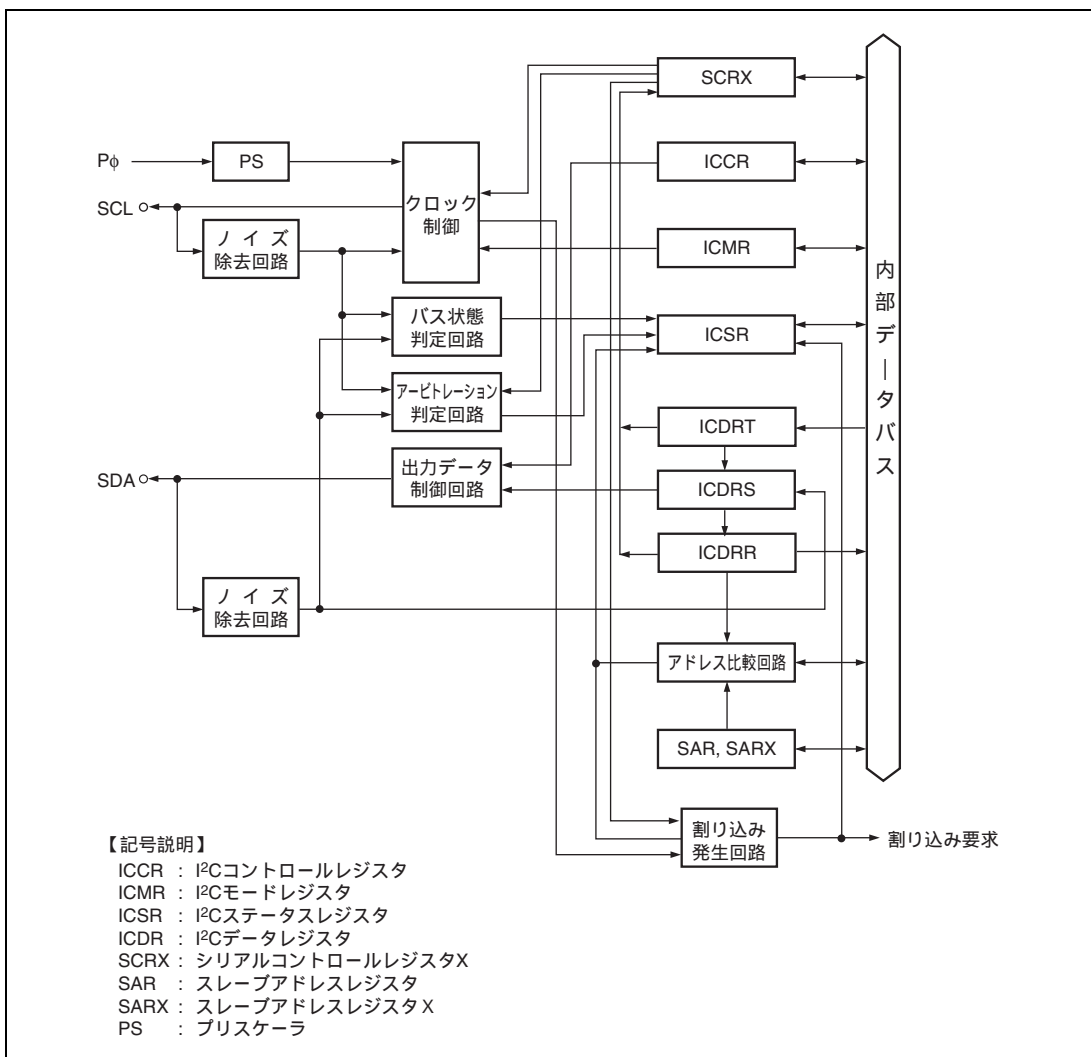
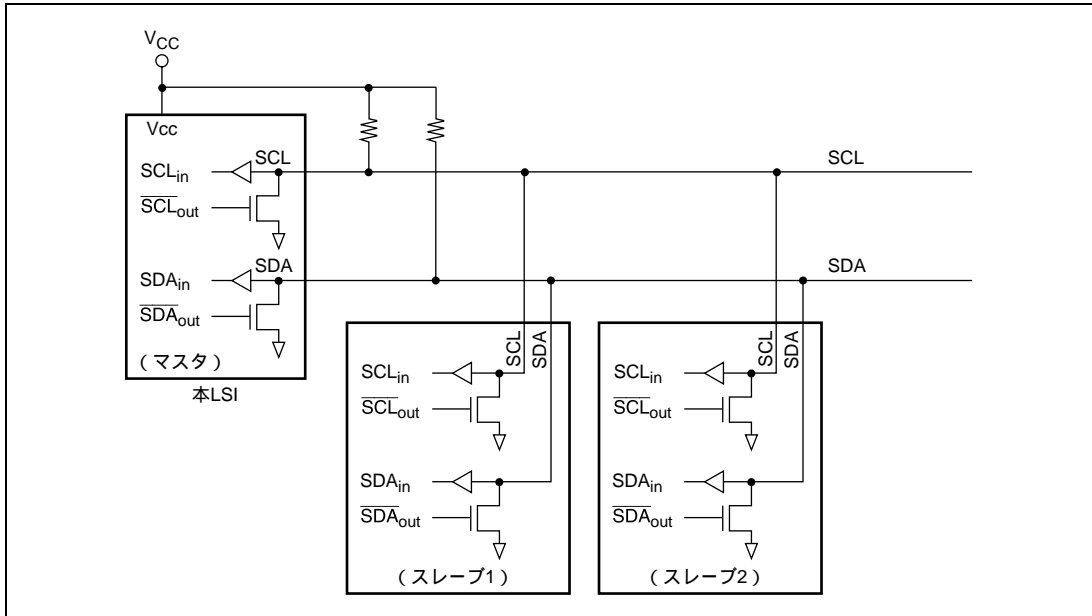


図 14.1 I²C バスインタフェースのブロック図

図 14.2 I²C バスインタフェース接続例 (本 LSI がマスタの場合)

14.2 入出力端子

I²C バスインタフェースで使用する端子を表 14.1 に示します。

表 14.1 端子構成

チャンネル	記号*	入出力	機能
0	SCL0	入出力	シリアルクロック入出力端子
	SDA0	入出力	シリアルデータの入出力端子

【注】 * 本文中ではそれぞれ SCL、SDA と略称します。

14.3 レジスタの説明

IIC にはチャンネルごとに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。ICDR と SARX、ICMR と SAR は同じアドレスに割り付けられており、ICCR の ICE ビットによりアクセスできるレジスタが変わります。ICE=0 のとき SAR と SARX、ICE=1 のとき ICMR と ICDR がアクセスできます。

- I²C バスコントロールレジスタ (ICCR)
- I²C バスステータスレジスタ (ICSR)
- I²C バスデータレジスタ (ICDR)
- I²C バスモードレジスタ (ICMR)
- スレーブアドレスレジスタ (SAR)

14. I²C バスインタフェース (IIC) 【オプション】

- 第2スレーブアドレスレジスタ (SARX)
- シリアルコントロールレジスタX (SCRX)

14.3.1 I²C バスデータレジスタ (ICDR)

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして機能します。ICDR は、内部的に、シフトレジスタ (ICDRS)、受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。3 本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、SCRX の ICDRF フラグ、内部フラグである ICDRE フラグなどの状態に影響を与えません。

送信データの ICDR へのライトは、I²C バスフォーマットのマスタ送信モードでは開始条件検出後に行ってください。開始条件を検出すると、それ以前のライトデータは無視されます。また、スレーブ送信モードでは、スレーブアドレスが一致し TRS ビットが 1 に自動的に切り替わった後にライトしてください。

送信モード (TRS=1) で ICDRT に次のデータがある場合 (ICDRE フラグが 0 の場合)、ICDRS で 1 フレームのデータを正常に送信終了後、自動的に ICDRT から ICDRS へデータが転送されます。ICDRE フラグが 1 で次の送信データのライトを待っている状態では、ICDR ライトにより自動的に ICDRT から ICDRS へデータが転送されます。受信モード (TRS=0) では ICDRT から ICDRS へデータ転送は行われません。受信モードでの ICDR への書き込みは行わないでください。

受信データの ICDR からの読み出しは、ICDRS から ICDRR へデータが転送された後で行います。

受信モードで ICDRR に以前のデータがない場合 (ICDRF フラグが 0 の場合)、ICDRS で 1 フレームのデータを正常に受信終了後、自動的に ICDRS から ICDRR にデータが転送されます。ICDRF フラグが 1 の状態で更に受信データを受け取っている場合、ICDR リードにより自動的に ICDRS から ICDRR へデータが転送されます。送信モードでは ICDRS から ICDRR へデータ転送は行われません。受信モードに設定した上でリードしてください。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS ビットが 0 のとき MSB 側に、MLS ビットが 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS ビットが 0 のとき LSB 側に、MLS ビットが 1 のとき MSB 側に詰めて格納されません。

ICDR は ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。ICDR のリセット時の値は不定です。

14.3.2 スレーブアドレスレジスタ (SAR)

SAR は転送フォーマットの設定およびスレーブアドレスを格納します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、FS ビットに 0 が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は ICCR の ICE ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVA6	0	R/W	スレーブアドレス 6~0 スレーブアドレスを設定します。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	フォーマットセレクト SARX の FSX ビットとの組み合わせで転送フォーマットを選択します。表 14.2 を参照してください。 なお、ゼネラルコールアドレスの認識を行う場合は、必ず本ビットを 0 に設定してください。

14.3.3 第 2 スレーブアドレスレジスタ (SARX)

SARX は転送フォーマットの設定および第 2 スレーブアドレスを格納します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SARX の上位 7 ビットを比較して一致したとき、FSX ビットに 0 が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は ICCR の ICE ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVAX6	0	R/W	第 2 スレーブアドレス 6~0 第 2 スレーブアドレスを設定します。
6	SVAX5	0	R/W	
5	SVAX4	0	R/W	
4	SVAX3	0	R/W	
3	SVAX2	0	R/W	
2	SVAX1	0	R/W	
1	SVAX0	0	R/W	
0	FSX	1	R/W	フォーマットセレクト X SAR の FS ビットとの組み合わせで転送フォーマットを選択します。表 14.2 を参照してください。

14. I²C バスインタフェース (IIC) 【オプション】

表 14.2 転送フォーマット

SAR	SARX	動作モード
FS	FSX	
0	0	I ² C バスフォーマット <ul style="list-style-type: none"> • SAR と SARX のスレーブアドレスを認識 • ゼネラルコールアドレスを認識
	1	I ² C バスフォーマット <ul style="list-style-type: none"> • SAR のスレーブアドレスを認識 • SARX のスレーブアドレスを無視 • ゼネラルコールアドレスを認識
1	0	I ² C バスフォーマット <ul style="list-style-type: none"> • SAR のスレーブアドレスを無視 • SARX のスレーブアドレスを認識 • ゼネラルコールアドレスを無視
	1	クロック同期式シリアルフォーマット <ul style="list-style-type: none"> • SAR と SARX のスレーブアドレスを無視 • ゼネラルコールアドレスを無視

- I²C バスフォーマット :
 アドレッシングフォーマットでアクノリッジビットあり
- クロック同期式シリアルフォーマット :
 ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用

14.3.4 I²C バスモードレジスタ (ICMR)

ICMR は転送フォーマットと転送レートを設定します。ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト 選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するとき、本ビットを 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット I ² C バスフォーマットでマスタモードのときのみ有効。 0: ウェイト状態は挿入されず、データとアクノリッジを連続して転送します。 1: データの最終ビットのクロック(8 クロック目)が立ち下がった後、ICCR の IRIC フラグは 1 にセットされ、ウェイト状態 (SCL=Low レベル) となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。 詳細は「14.4.7 IRIC セットタイミングと SCL 制御」を参照してください。
5	CKS2	0	R/W	転送クロック選択 2~0
4	CKS1	0	R/W	SCRX レジスタの IICX0 ビットとの組み合わせで転送クロックの周波数を選択します。マスタモード時に使用します。表 14.3 を参照してください。
3	CKS0	0	R/W	
2	BC2	0	R/W	ビットカウンタ 2~0
1	BC1	0	R/W	次に転送するフレームのビット数を指定します。設定は転送フレーム間で行ってください。また、000 以外を設定する場合は、SCL が Low 状態のときに行ってください。
0	BC0	0	R/W	ビットカウンタは、開始条件検出時 000 に初期化されます。また、データ転送終了後、再び 000 に戻ります。 I ² C バスフォーマット クロック同期式シリアルフォーマット 000 : 9 ビット 000 : 8 ビット 001 : 2 ビット 001 : 1 ビット 010 : 3 ビット 010 : 2 ビット 011 : 4 ビット 011 : 3 ビット 100 : 5 ビット 100 : 4 ビット 101 : 6 ビット 101 : 5 ビット 110 : 7 ビット 110 : 6 ビット 111 : 8 ビット 111 : 7 ビット

14. I²C バスインタフェース (IIC) 【オプション】

表 14.3 転送レート

SCRX ビット5	ビット5	ビット4	ビット3	クロック	転送レート					
					IICX	CKS2	CKS1	CKS0	P ϕ =10MHz	P ϕ =16MHz
0	0	0	0	P ϕ /28	357kHz	571kHz*	714kHz*	893kHz*	1.18MHz*	1.43MHz*
			1	P ϕ /40	250kHz	400kHz	500kHz*	625kHz*	825kHz*	1.00MHz*
		1	0	P ϕ /48	208kHz	333kHz	417kHz*	521kHz*	688kHz*	833kHz*
			1	P ϕ /64	156kHz	250kHz	313kHz	391kHz	516kHz*	625kHz*
	1	0	0	P ϕ /80	125kHz	200kHz	250kHz	313kHz	413kHz*	500kHz*
			1	P ϕ /100	100kHz	160kHz	200kHz	250kHz	330kHz	400kHz
		1	0	P ϕ /112	89.3kHz	143kHz	179kHz	223kHz	295kHz	357kHz
			1	P ϕ /128	78.1kHz	125kHz	156kHz	195kHz	258kHz	313kHz
1	0	0	0	P ϕ /56	179kHz	286kHz	357kHz	446kHz*	589kHz*	714kHz
			1	P ϕ /80	125kHz	200kHz	250kHz	313kHz	413kHz*	500kHz*
		1	0	P ϕ /96	104kHz	167kHz	208kHz	260kHz	344kHz	417kHz*
			1	P ϕ /128	78.1kHz	125kHz	156kHz	195kHz	258kHz	313kHz
	1	0	0	P ϕ /160	62.5kHz	100kHz	125kHz	156kHz	206kHz	250kHz
			1	P ϕ /200	50.0kHz	80.0kHz	100kHz	125kHz	165kHz	200kHz
		1	0	P ϕ /224	44.6kHz	71.4kHz	89.3kHz	112kHz	147kHz	177kHz
			1	P ϕ /256	39.1kHz	62.5kHz	78.1kHz	97.7kHz	129kHz	156kHz

【注】 * I²C バスインタフェース仕様 (通常モード: 最大 100kHz、高速モード: 最大 400kHz) の範囲外となります。
IICX = 0 で、周辺クロック ϕ の周波数が 16MHz を超える場合は、負荷条件などにより所定の転送レートが得られない場合があります。P ϕ が 16MHz を超える場合は、IICX = 1 でご使用ください。

14.3.5 I²C バスコントロールレジスタ (ICCR)

ICCR は I²C バスインタフェースの制御、および割り込みフラグの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェースイネーブル 0: 本モジュールは機能を停止し、内部状態をクリアします。 SAR および SARX がアクセス可能になります。 1: 本モジュールは転送動作可能状態となります。
6	IEIC	0	R/W	I ² C バスインタフェース割り込みイネーブル 0: I ² C バスインタフェースから CPU に対する割り込み要求を禁止 1: I ² C バスインタフェースから CPU に対する割り込み要求を許可

14. I²C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説 明
5 4	MST TRS	0 0	R/W R/W	<p>マスタ/スレーブ選択</p> <p>送信/受信選択</p> <p>00: スレーブ受信モード 01: スレーブ送信モード 10: マスタ受信モード 11: マスタ送信モード</p> <p>I²C バスフォーマットのマスタモードでバス競合負けをすると MST、TRS ビットはともにハードウェアによってリセットされ、スレーブ受信モードに変わります。また、I²C バスフォーマットのスレーブ受信モードのとき、開始条件直後の第1フレームの R/W ビットにより、ハードウェアで自動的に受信/送信モードが設定されます。</p> <p>転送中の TRS ビットの変更は、データ転送終了時まで保留され、転送終了後に切り替わります。</p> <p>[MST クリア条件]</p> <p>(1) ソフトウェアにより 0 をライトしたとき</p> <p>(2) I²C バスフォーマットのマスタモードで、バス競合負けしたとき</p> <p>[MST セット条件]</p> <p>(1) ソフトウェアにより 1 をライトしたとき (MST クリア条件(1)の場合)</p> <p>(2) MST=0 をリード後、1 をライトしたとき (MST クリア条件(2)の場合)</p> <p>[TRS クリア条件]</p> <p>(1) ソフトウェアにより 0 をライトしたとき (TRS セット条件(3)以外の場合)</p> <p>(2) TRS = 1 をリード後、0 をライトしたとき (TRS セット条件(3)の場合)</p> <p>(3) I²C バスフォーマットのマスタモードで、バス競合負けしたとき</p> <p>[TRS セット条件]</p> <p>(1) ソフトウェアにより 1 をライトしたとき (TRS クリア条件(3)以外の場合)</p> <p>(2) TRS = 0 をリード後、1 をライトしたとき (TRS クリア条件(3)の場合)</p> <p>(3) I²C バスフォーマットのスレーブモードで第1フレームのアドレス一致後に R/W ビットとして 1 を受信したとき</p>
3	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信したアクノリッジビットの内容を無視して連続的に転送を行います。受信したアクノリッジビットの内容は ICSR の ACKB ビットに反映されず、常に 0 となります。</p> <p>1: I²C バスフォーマットで受信したアクノリッジビットが 1 ならば転送を中断します。</p> <p>アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、意味をもたず 1 固定の場合があります。</p>

14. I²C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
2	BBSY	0	R/W	バスビジー
0	SCP	1	W	<p>開始条件 / 停止条件発行禁止ビット</p> <p>マスタモード時</p> <ul style="list-style-type: none"> • BBSY = 0 かつ SCP = 0 ライト : 停止条件発行 • BBSY = 1 かつ SCP = 0 ライト : 開始条件、再送開始条件発行 <p>スレーブモード時</p> <ul style="list-style-type: none"> • BBSY フラグのライトは無効 <p>[BBSY セット条件]</p> <ul style="list-style-type: none"> • SCL = High レベルの状態 で SDA が High レベルから Low レベルに変化し、開始条件が発行されたと認識したとき <p>[BBSY クリア条件]</p> <ul style="list-style-type: none"> • SCL = High レベルの状態 で SDA が Low レベルから High レベルに変化し、停止条件が発行されたと認識したとき <p>開始条件 / 停止条件の発行は、MOV 命令を用います。</p> <p>開始条件の発行に先立って、I²C バスインタフェースをマスタ送信モードに設定する必要があります。 BBSY = 1 かつ SCP = 0 をライトする以前に、MST = 1 かつ TRS = 1 を設定してください。</p> <p>BBSY フラグをリードすることにより、I²C バス (SCL, SDA) が占有されているか開放されているかを確認できます。</p> <p>SCP ビットは、リードすると常に 1 が読み出されます。また、0 をライトしてもデータは格納されません。</p>

14. I²C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説 明
1	IRIC	0	R/(W)*	<p>I²C バスインタフェース割り込み要求フラグ</p> <p>I²C バスインタフェースが CPU に対して割り込み要求を発生させたことを示します。</p> <p>SAR の FS ビットと SARX の FSX ビットおよび、ICMR の WAIT ビットの組み合わせにより IRIC フラグのセットタイミングが異なりますので、「14.4.7 IRIC セットタイミングと SCL 制御」を参照してください。また、ICCR の ACKE ビットの設定によっても、IRIC フラグがセットされる条件が異なります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • I²C バスフォーマットでマスタモード <ul style="list-style-type: none"> 開始条件を発行後、バスラインの状態から開始条件を検出したとき (第 1 フレーム送信のため ICDRE フラグが 1 にセットされたとき) WAIT=1 の場合、データとアクノリッジの間にウェイトを挿入したとき (送受信クロックの 8 クロック目の立ち下がりのとき) データ転送終了時 (ウェイト挿入なしで送受信クロックの 9 クロック目の立ち上がりのとき) バス競合負けの後、自分のスレーブアドレスを受信したとき (開始条件に続く第 1 フレーム) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき) バス競合負けし、AL フラグが 1 にセットされたとき • I²C バスフォーマットでスレーブモード <ul style="list-style-type: none"> スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASX フラグが 1 にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (送受信クロックの 9 クロック目の立ち上がりのとき) ゼネラルコールアドレスを検出したとき (R/W ビットとして 0 を受信し、ADZ フラグが 1 にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ受信終了時 (受信クロックの 9 クロック目の立ち上がりのとき) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき) STOPIM ビットが 0 の状態で停止条件を検出したとき (STOP または ESTP フラグが 1 にセットされたとき)

14. I²C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
1	IRIC	0	R/(W)*	<ul style="list-style-type: none"> • クロック同期式シリアルフォーマット データ転送終了時 (送受信クロックの8クロック目立ち上がりのとき) シリアルフォーマットで開始条件を検出したとき • すべての動作モードで、ICDRE または ICDRF フラグが1にセットされる条件が発生したとき 送信モードで開始条件を検出したとき (送信モードで開始条件を検出し ICDRE フラグが1にセットされたとき) ICDR レジスタバッファデータ転送時 (送信モードで ICDRT から ICDRS にデータが転送され ICDRE フラグが1にセットされたとき、または受信モードで ICDRS から ICDRR にデータが転送され ICDRF フラグが1にセットされたとき) <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRIC = 1 の状態でリードした後、0 をライトしたとき • DTC で ICDR をリード/ライトしたとき (クリア条件とならない場合もあるため、詳細は下記 DTC の動作説明参照)

【注】 * フラグを0にクリアするための0ライトのみ可能です。

DTC を利用すると IRIC フラグは自動的にクリアされ、CPU を介さない連続的な転送が可能です。

I²C バスフォーマットで IRIC = 1 となり割り込みが発生した場合には、IRIC = 1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に關しては注意が必要です。

ICDRE または ICDRF フラグがセットされたとき、IRTR フラグがセットされる場合とされない場合があります。DTC 起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I²C バスフォーマットでスレーブモードの場合に、スレーブアドレス (SVA) またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、ICDRE または ICDRF フラグがセットされていない場合があります。DTC を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード/ライトは完了しているため ICDRE または ICDRF フラグはクリアされています。各フラグと転送状態の関係を表 14.4 と表 14.5 に示します。

表 14.4 フラグと転送状態の関係 (マスタモード)

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
1	1	0	0	0	0	0↓	0	0↓	0↓	0	-	0	アイドル状態 (フラグクリア要)
1	1	1↑	0	0	1↑	0	0	0	0	0	-	1↑	開始条件検出
1	-	1	0	0	-	0	0	0	0	-	-	-	ウェイト状態
1	1	1	0	0	-	0	0	0	0	1↑	-	-	送信終了(ACK=1 かつ ACKB=1)
1	1	1	0	0	1↑	0	0	0	0	0	-	1↑	ICDRE=0 の状態から 送信終了
1	1	1	0	0	-	0	0	0	0	0	-	0↓	上記状態から ICDR ライト
1	1	1	0	0	-	0	0	0	0	0	-	1	ICDRE=1 の状態から 送信終了
1	1	1	0	0	-	0	0	0	0	0	-	0↓	上記状態から、または 開始条件検出後の ICDR ライト
1	1	1	0	0	1↑	0	0	0	0	0	-	1↑	上記状態から ICDRT→ ICDRS データ転送 (自動)
1	0	1	0	0	1↑	0	0	0	0	-	1↑	-	ICDRF=0 の状態から 受信終了
1	0	1	0	0	-	0	0	0	0	-	0↓	-	上記状態から ICDR リード
1	0	1	0	0	-	0	0	0	0	-	1	-	ICDRF=1 の状態から 受信終了
1	0	1	0	0	-	0	0	0	0	-	0↓	-	上記状態から ICDR リード
1	0	1	0	0	1↑	0	0	0	0	-	1↑	-	上記状態から ICDRS→ ICDRR データ転送 (自動)
0↓	0↓	1	0	0	-	0	1↑	0	0	-	-	-	アービトラージ ロスト
1	-	0↓	0	0	-	0	0	0	0	-	-	0↓	停止条件検出

【記号説明】

- 0 : 0 状態保持
- 1 : 1 状態保持
- : 以前の状態を保持
- 0↓ : 0 にクリア
- 1↑ : 1 にセット

14. I²C バスインタフェース (IIC) 【オプション】

表 14.5 フラグと転送状態の関係 (スレープモード)

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
0	0	0	0	0	0	0	0	0	0	0	-	0	アイドル状態 (フラグクリア要)
0	0	1↑	0	0	0	0↓	0	0	0	0	-	1↑	開始条件検出
0	1↑/0 (*)	1	0	0	0	0	-	1↑	0	0	1↑	1	第1フレームでSAR に一致(SARX SAR)
0	0	1	0	0	0	0	-	1↑	1↑	0	1↑	1	第1フレームでゼネ ラルコールアドレス に一致(SARX H' 00)
0	1↑/0 (*)	1	0	0	1↑	1↑	-	0	0	0	1↑	1	第1フレームでSARX に一致(SAR SARX)
0	1	1	0	0	-	-	-	-	0	1↑	-	-	送信終了(ACKE=1 かつ ACKB=1)
0	1	1	0	0	1↑/0 (**)	-	-	-	0	0	-	1↑	ICDRE=0の状態から 送信終了
0	1	1	0	0	-	-	0↓	0↓	0	0	-	0↓	上記状態から ICDR ライト
0	1	1	0	0	-	-	-	-	0	0	-	1	ICDRE=1の状態から 送信終了
0	1	1	0	0	-	-	0↓	0↓	0	0	-	0↓	上記状態から ICDR ライト
0	1	1	0	0	1↑/0 (**)	-	0	0	0	0	-	1↑	上記状態から ICDR →ICDRS データ転送 (自動)
0	0	1	0	0	1↑/0 (**)	-	-	-	-	-	1↑	-	ICDRF=0の状態から 受信終了
0	0	1	0	0	-	-	0↓	0↓	0↓	-	0↓	-	上記状態から ICDR リード
0	0	1	0	0	-	-	-	-	-	-	1	-	ICDRF=1の状態から 受信終了
0	0	1	0	0	-	-	0↓	0↓	0↓	-	0↓	-	上記状態から ICDR リード
0	0	1	0	0	1↑/0 (**)	-	0	0	0	-	1↑	-	上記状態から ICDRS →ICDRR データ転送 (自動)
0	-	0↓	1↑/0 (**)	0/1↑ (**)	-	-	-	-	-	-	-	0↓	停止条件検出

【記号説明】

- 0 : 0 状態保持
- 1 : 1 状態保持
- : 以前の状態を保持

0↓ : 0 にクリア

1↑ : 1 にセット

【注】 *1 アドレスに続く R/W ビットとして 1 を受信した場合に 1 にセット

*2 AASX ビットに 1 がセットされている場合に 1 にセット

*3 ESTP=1 のとき STOP=0、または STOP=1 のとき ESTP=0

14.3.6 I²C バスステータスレジスタ (ICSR)

ICSR はステータスフラグで構成されます。表 14.4、表 14.5 をあわせて参照してください。

ビット	ビット名	初期値	R/W	説明
7	ESTP	0	R/(W)*	エラー停止条件検出フラグ I ² C バスフォーマットでスレープモードのとき有効 [セット条件] • フレームの転送の途中で停止条件を検出したとき [クリア条件] • ESTP=1 の状態をリードした後、0 をライトしたとき • IRIC フラグが 0 にクリアされたとき
6	STOP	0	R/(W)*	正常停止条件検出フラグ I ² C バスフォーマットでスレープモードのとき有効 [セット条件] • フレームの転送の完了後に停止条件を検出したとき [クリア条件] • STOP=1 の状態をリードした後、0 をライトしたとき • IRIC フラグが 0 にクリアされたとき
5	IRTR	0	R/(W)*	I ² C バスインタフェース連続送受信割り込み要求フラグ I ² C バスインタフェースが CPU に対して割り込み要求を発生させており、その要因が DTC 起動可能な 1 フレームデータ送受信の終了であることを示します。IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。 [セット条件] • I ² C バスインタフェースでスレープモードのとき AASX=1 の状態で、ICDRE または ICDRF フラグが 1 にセットされたとき • I ² C バスインタフェースでマスタモード、クロック同期式シリアルフォーマットのとき ICDRE または ICDRF フラグが 1 にセットされたとき [クリア条件] • IRTR=1 の状態をリードした後、0 をライトしたとき • ICE=1 の状態で IRIC フラグが 0 にクリアされたとき

14. I²C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
4	AASX	0	R/(W)*	<p>第 2 スレーブアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SARX の SVAX6 ~ SVAX0 と一致したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードでかつ FSX = 0 で第 2 スレーブアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> AASX = 1 の状態をリードした後、0 をライトしたとき 開始条件を検出したとき マスタモードのとき
3	AL	0	R/(W)*	<p>アービトレーションロストフラグ</p> <p>マスタモード時にバス競合負けをしたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき マスタ送信モードで開始条件命令実行後、自分が SDA 端子を Low に立ち上げる前に他デバイスにより SDA 端子が Low に立ち下げられたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、データをリード (受信時) したとき AL = 1 の状態をリードした後、0 をライトしたとき
2	AAS	0	R/(W)*	<p>スレーブアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SAR の SVA6 ~ SVA0 と一致した場合、またはゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつ FS = 0 でスレーブアドレスまたはゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき AAS = 1 の状態をリードした後、0 をライトしたとき マスタモードのとき

14. I²C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
1	ADZ	0	R/(W)*	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームでゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつ、FSX=0 または FS=0 でゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき ADZ=1 の状態をリード後、0 をライトしたとき マスタモードのとき <p>FS=1 かつ FSX=0 でゼネラルコールアドレスを検出した場合、ADZ フラグは 1 にセットされますが、ゼネラルコールアドレスは認識されません (AAS フラグは 1 にセットされません)。</p>
0	ACKB	0	R/W	<p>アクノリッジビット</p> <p>アクノリッジデータを格納するビットです。</p> <p>送信モード</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 送信モードかつ ACKE=1 でアクノリッジビットとして 1 を受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 送信モードかつ ACKE=1 でアクノリッジビットとして 0 を受信したとき ACKE ビットに 0 をライトしたとき <p>受信モード</p> <p>0: データを受信した後、アクノリッジデータとして 0 を送出します。</p> <p>1: データを受信した後、アクノリッジデータとして 1 を送出します。</p> <p>本ビットをリードすると、送信時 (TRS=1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS=0 のとき) には設定した値が読み出されます。</p> <p>また、本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。ICSR レジスタのフラグをビット操作命令によって書き換えた場合は、ACKB ビットのリード値でアクノリッジデータの設定値を書き換えますので、再度アクノリッジデータを設定し直してください。</p> <p>マスタモードで送信動作を終了して停止条件を発行する場合、もしくはスレーブモードで送信動作を終了してマスタデバイスが停止条件を発行できるように SDA を開放する場合は、その前に ACKE ビットに 0 をライトして ACKB フラグを 0 にクリアしてください。</p>

【注】 * フラグを 0 にクリアするための 0 ライトのみ可能です。

14. I²C バスインタフェース (IIC) 【オプション】

14.3.7 シリアルコントロールレジスタ X (SCRX)

SCRX は I²C バスインタフェースの割り込み動作の許可/禁止、連続受信動作の許可/禁止、受信や送信状態の確認を行います。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビットです。 読み出すと 0 が読み出されます。書き込む値も常に 0 としてください。
5	IICX	0	R/W	I ² C トランスファレートセレクト I ² C バスモードレジスタ (ICMR) の CKS2 ~ CKS0 ビットと組み合わせて、マスターモードでの転送レートを選択します。転送レートについては、表 14.3 を参照してください。
4	IICE	0	R/W	I ² C マスタイネーブル I ² C バスインタフェースのレジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR) の CPU アクセスを制御します。 0: I ² C バスインタフェースのレジスタの CPU アクセスを禁止 1: I ² C バスインタフェースのレジスタの CPU アクセスを許可
3	HNDS	0	R/W	ハンドシェイク受信動作選択 受信モードで連続受信動作をするかどうかを選択します。 0: 連続受信動作を許可 1: 連続受信動作を禁止 HNDS ビットが 0 にクリアされているときは、ICDRF フラグが 0 の状態でデータを正常に受信終了した場合、引き続き受信動作を行います。 HNDS ビットが 1 にセットされているときは、ICDRF フラグが 0 の状態でデータを正常に受信終了した場合、SCL を Low レベルに固定し、次のデータ転送を禁止します。ICDR の受信データをリードすることにより SCL バスラインを開放し、次フレームの受信動作を行います。
2	-	0	R	リザーブビットです。 読み出すと 0 が読み出されます。書き込む値も常に 0 としてください。

14. I²C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
1	ICDRF	0	R	<p>受信データ読み出し要求フラグ</p> <p>受信モードでの ICDR (ICDRR) の状態を示すフラグです。</p> <p>0: ICDR (ICDRR) にあるデータはすでにリードされている、あるいは初期状態であることを示します。</p> <p>1: 正常に受信が完了し、データが ICDRS から ICDRR へ転送され、受信完了後にまだ読み出されていないことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • データが正常に受信され、ICDRS から ICDRR へデータが転送されたとき <p>(1) ICDRF=0 状態でデータ受信完了したとき (9クロック目立ち上がり)</p> <p>(2) ICDRF=1 状態でデータ受信完了後、受信モードで ICDR をリードしたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • ICDR(ICDRR)をリードしたとき • ICE ビットに 0 をライトしたとき <p>[セット条件] (2)の場合、ICDR(ICDRR)をリードしたときに一度 ICDRF は 0 クリアされますが、直ちに ICDRS から ICDRR へデータが転送されるため再び ICDRF は 1 にセットされます。</p> <p>なお、送信モード(TRS=1)で ICDR をリードしたときは、ICDRS から ICDRR へのデータ転送が行われませんので、正常なデータの読み出しができません。ICDR のデータを読み出すときは受信モード(TRS=0)で ICDR をリードしてください。</p>
0	STOIM	0	R/W	<p>停止条件割り込み要因マスク</p> <p>スレープモード動作時に停止条件検出での割り込み発生の許可 / 禁止を選択します。</p> <p>0: スレープモード動作時、停止条件検出(STOP=1 または ESTP=1)での IRIC フラグセットおよび割り込み発生を許可</p> <p>1: 停止条件検出での IRIC フラグセットおよび割り込み発生を禁止</p>

14. I²C バスインタフェース (IIC) 【オプション】

14.3.8 ICDRE フラグ (内部フラグ) の説明

ICDRE フラグは、次のような条件でセット/クリアされます。なお、ICDRE フラグは内部フラグですので、アクセスすることはできません。

ビット名	初期値	説明
ICDRE	0	<p>送信データ書き込み要求フラグ</p> <p>送信モードでの ICDR (ICDRT) の状態を示す内部フラグです。</p> <p>0 : ICDR (ICDRT) に次に送信するデータが書き込まれている、あるいは初期状態であることを示します。</p> <p>1 : 送信データが ICDRT から ICDRS へ転送され送信中である、あるいは開始条件を検出または送信完了しており、次の送信データをライトすることが可能な状態であることを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none">• I²C バスフォーマット、シリアルフォーマットでバスラインの状態から開始条件成立を検出したとき• ICDRT から ICDRS にデータが転送されたとき <p>(1) ICDRE=0 状態でデータ送信完了したとき(9 クロック目立ち上がり)</p> <p>(2) ICDRE = 1 状態でデータ送信完了後、送信モードで ICDR をライトしたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none">• ICDR(ICDRT)に送信データをライトしたとき• I²C バスフォーマットまたはシリアルフォーマットで停止条件を検出したとき• ICE ビットに 0 をライトしたとき <p>I²C バスフォーマットで ACKE ビットを 1 に設定し、アクノリッジビット判定を有効にしている場合、アクノリッジビットが 1 でデータ送信が完了した場合、ICDRE はセットされません。</p> <p>[セット条件] (2)の場合、ICDR(ICDRT)にライトしたときに一度 ICDRE は 0 クリアされますが、直ちに ICDRT から ICDRS へデータが転送されるため再び ICDRE は 1 にセットされます。</p> <p>なお、TRS=0 のときは ICDRE フラグの値は無効ですので、ICDR へのライト動作は行わないください。</p>

14.4 動作説明

I²C バスインタフェースには、I²C バスフォーマットとシリアルフォーマットがあります。

14.4.1 I²C バスデータフォーマット

I²C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 14.3 に示します。開始条件に続く第 1 フレームは必ず 9 ビット構成となります。

シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。これを図 14.5 に示します。また、I²C バスのタイミングを図 14.6 に示します。

図 14.3 ~ 図 14.5 の記号説明を表 14.6 に示します。

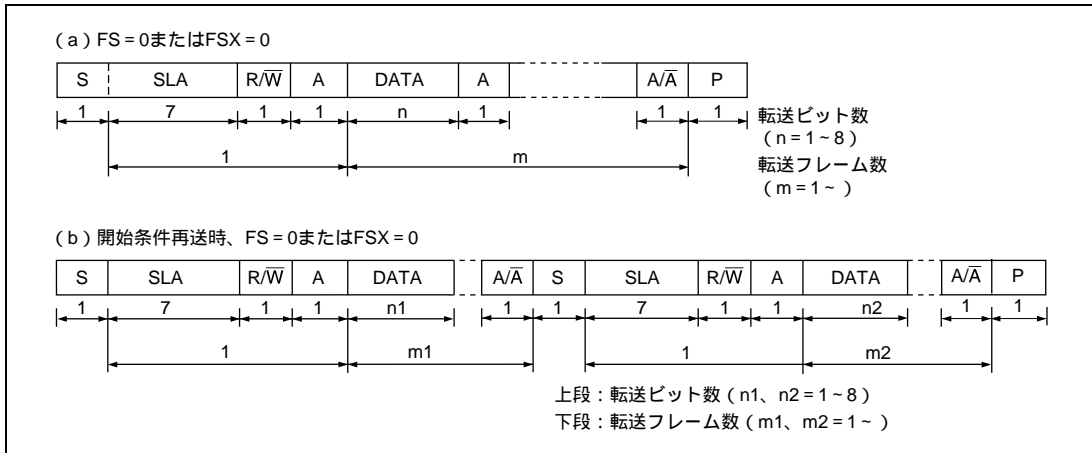


図 14.3 I²C バスデータフォーマット (I²C バスフォーマット)

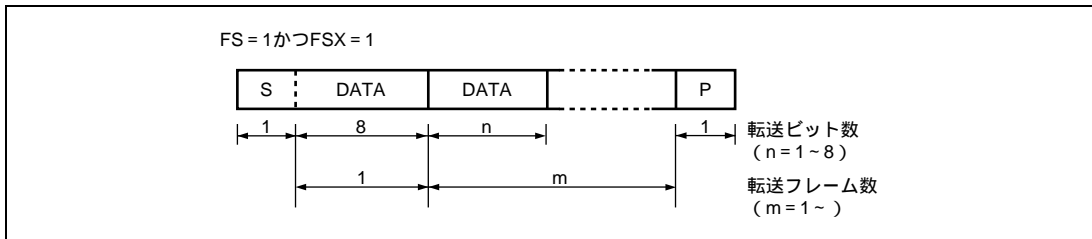


図 14.4 I²C バスデータフォーマット (シリアルフォーマット)

14. I²C バスインタフェース (IIC) 【オプション】

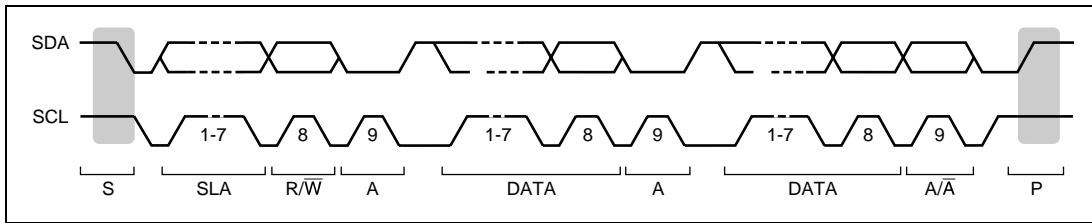


図 14.5 I²C バスタイミング

表 14.6 I²C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信 / 受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アックノリッジを示します。受信デバイスが SDA を Low レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアックノリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2 ~ BC0 ビットで設定します。また MSB ファースト / LSB ファーストの切り替えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。

14.4.2 初期設定

データ送信 / 受信を開始するとき、以下の手順に従い IIC を初期化してください。

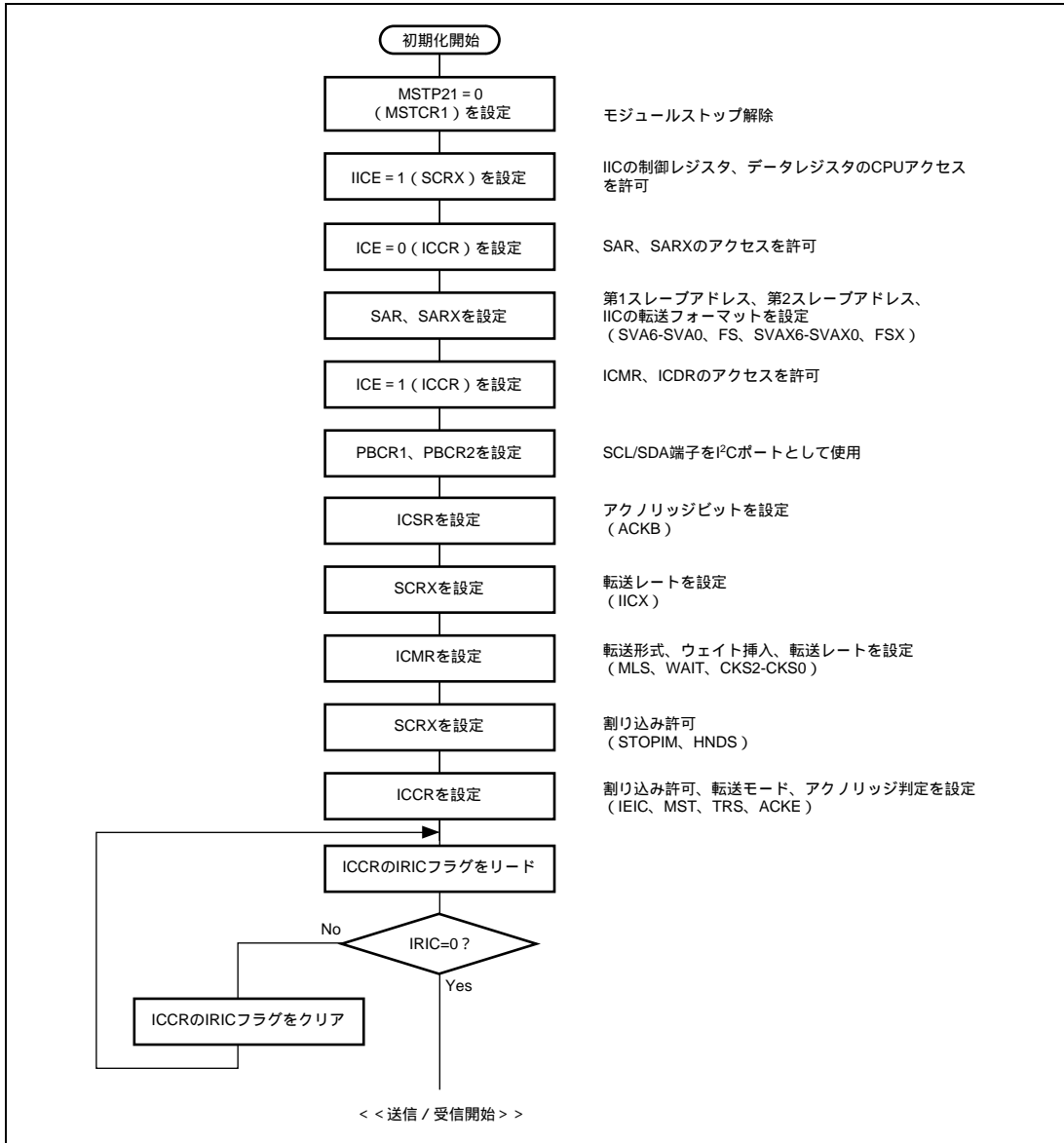


図 14.6 IIC の初期化フローチャートの例

【注】 ICMR レジスタの書き換えは、必ず送受信動作の終了後に行ってください。

送受信動作の途中で ICMR レジスタに対しライト動作を行うと、ビットカウンタ BC2-BC0 の値が不正に書き換えられ、正常に動作しなくなる恐れがあります。

14.4.3 マスタ送信動作

I²C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

図 14.7 にマスタ送信モードのフローチャート例を示します。

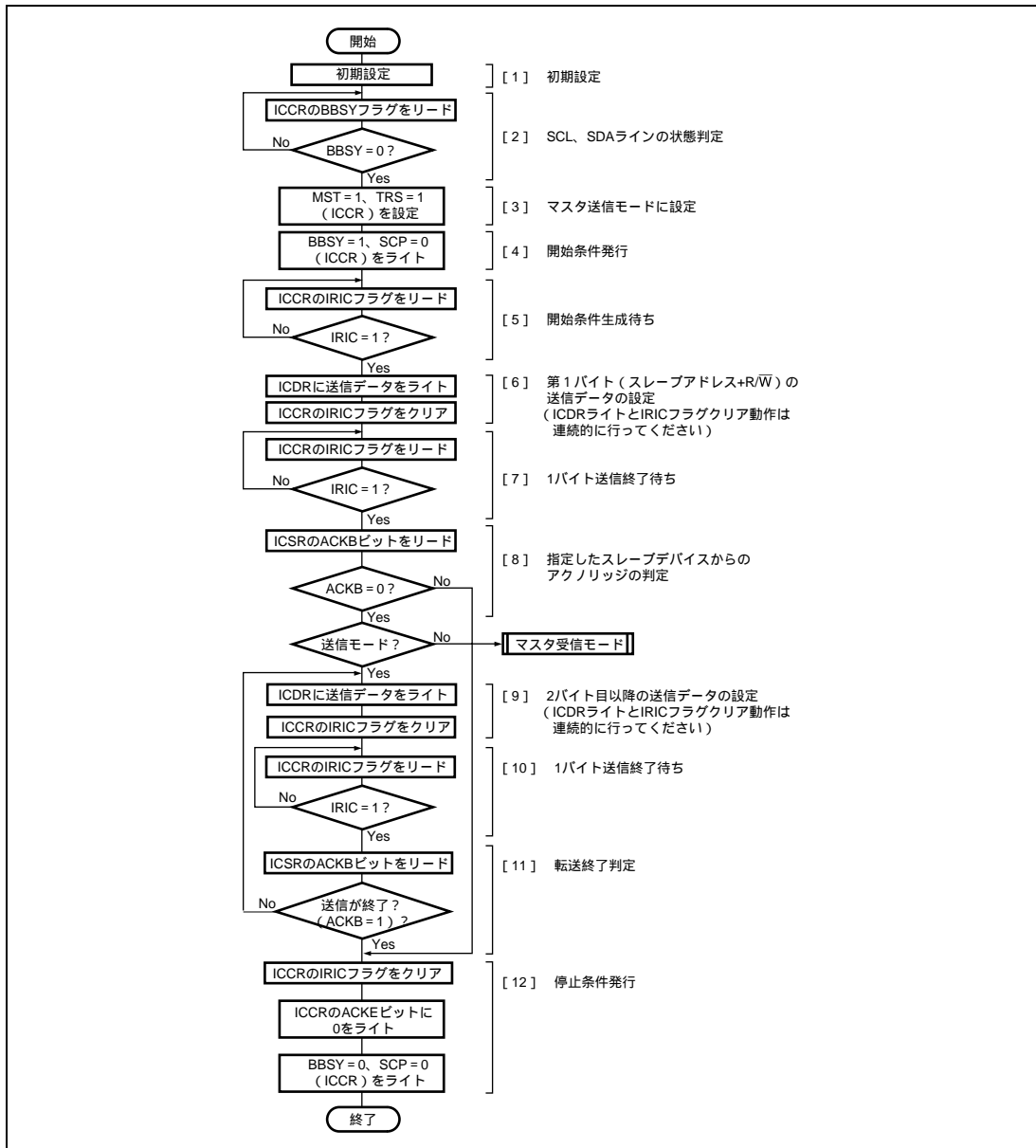


図 14.7 マスタ送信モードフローチャート例

以下に ICDR (ICDRT) のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

1. 「14.4.2 初期設定」に従い初期設定を行います。
2. ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
3. ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
4. ICCRにBBSY=1かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
5. 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
6. 開始条件を検出後、ICDRにデータ (スレーブアドレス+R \bar{W}) をライトします。
I²Cバスフォーマット (SARのFSビットまたはSARXのFSXビットが0のとき) では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信 / 受信の方向(R \bar{W})を示します。
次に転送終了を判断するためIRICフラグを0にクリアします。
ここでICDRのライトとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。
マスタデバイスは送信クロックとICDRにライトされたデータを順次送出します。選択された (スレーブアドレスが一致した) スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
7. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
8. ICSRのACKBビットをリードしてACKB=0であることを確認します。
スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、12.の送信終了処理を行い、再度送信動作をやり直してください。
9. ICDRに送信データをライトします。
次に転送終了を判断するためIRICフラグを0にクリアします。
ここで 6.同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。
次フレームの送信は内部クロックに同期して行われます。
10. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。

14. I²C バスインタフェース (IIC) 【オプション】

11. ICSRのACKBビットをリードします。

スレーブデバイスがアクノリッジを返しACKB=0となっていることを確認します。引き続きデータを送信する場合には、9.に戻り次の送信動作に移ります。スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、12.の送信終了処理を行います。

12. IRICフラグを0にクリアします。

ICCRのACKEビットに0をライトし、受信したACKBビットの内容を0にクリアします。

ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

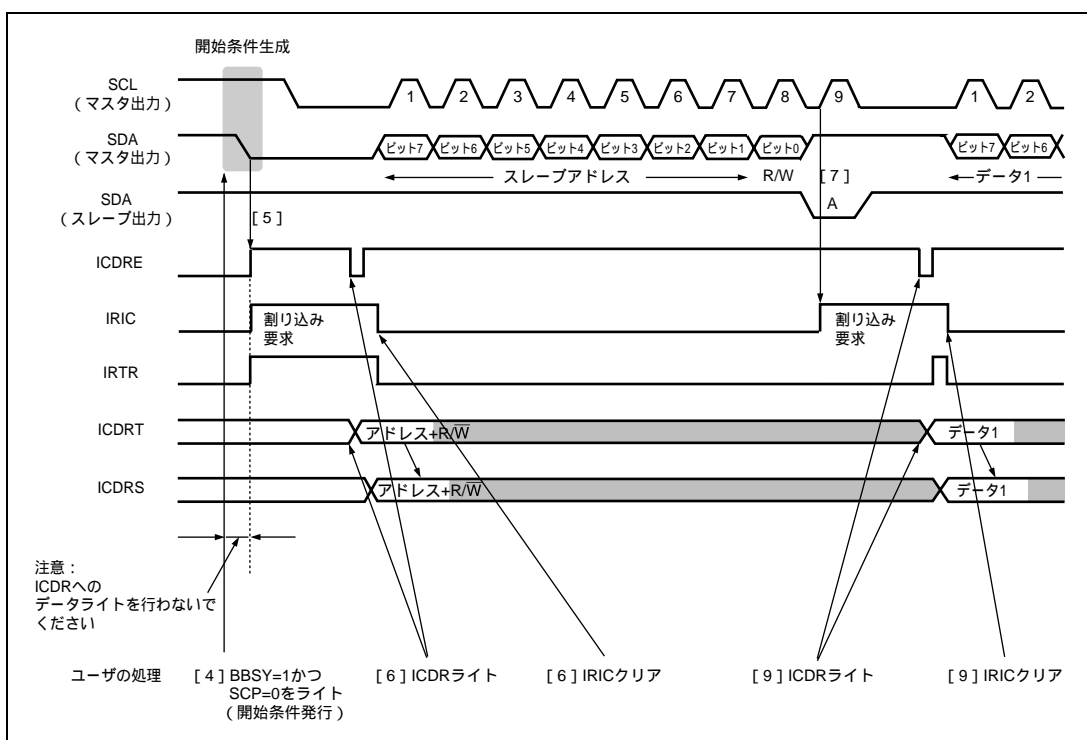


図 14.8 マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)

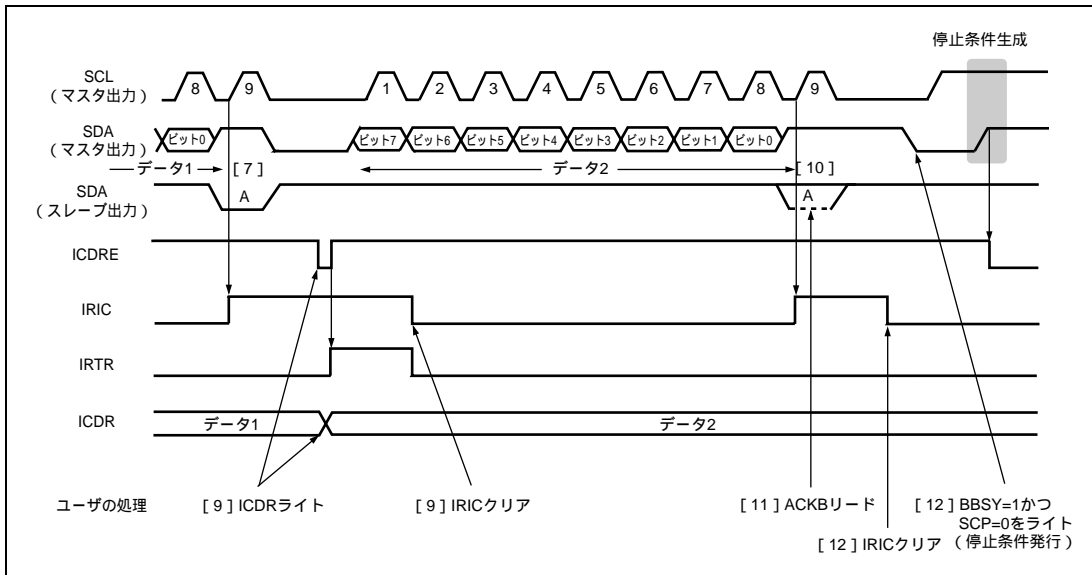


図 14.9 マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき)

14.4.4 マスタ受信動作

I²C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクリリッジを返します。スレーブデバイスはデータを送信します。

マスタデバイスは、マスタ送信モードにて開始条件発行後の第一フレームでスレーブアドレス + R \overline{W} (1: リード) のデータを送信し、スレーブデバイスを選択した後、受信動作に切り替えます。

(1) HNDS 機能を利用した受信動作 (HNDS=1)

図 14.10 にマスタ受信モードのフローチャート例 (HNDS=1) を示します。

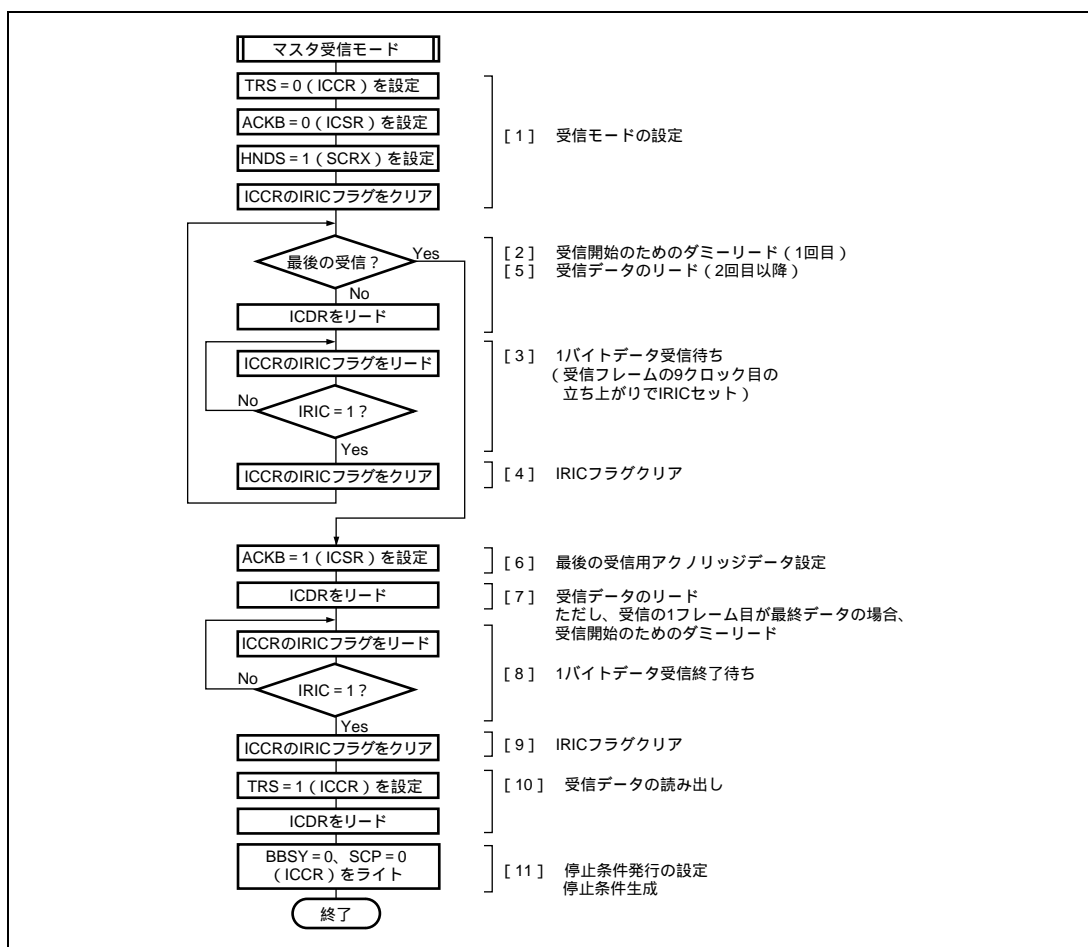


図 14.10 マスタ受信モードフローチャート例 (HNDS=1)

以下に HNDS ビット機能を利用し、データ受信ごとに SCL を Low に固定することで 1 バイトごとのデータ受信処理を行う受信手順と動作を示します。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)
SCRXのHNDSビットを1にセットします。
受信完了を判断するためIRICフラグを0にクリアします。
受信の1フレーム目が最後の受信データの場合は、6以降の終了処理を行ってください。
2. ICDRをリード(ダミーリード)すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。(受信クロックの立ち上がりに同期してSDA端子のデータをICDRSに順次格納します。)
3. 受信フレームの9クロック目でマスタデバイスはSDAをLowレベルにし、アクノリッジを返します。受信データは9クロック目の立ち上がりでICDRSからICDRRに転送され、ICDRF、IRIC、IRTRの各フラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。
マスタデバイスは受信クロックの9クロック目の立ち下がりからICDRのデータをリードするまでSCLをLowレベルにします。
4. 次の割り込みを判断するためIRICフラグを0にクリアします。
次のフレームが最後の受信データの場合は、6以降の終了処理を行ってください。
5. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスは次のデータ受信のため、引き続き受信クロックを出力します。

3から5を繰り返し行うことにより、データを受信することができます。
6. ACKBビットを1にセットします。(最後の受信用アクノリッジデータの設定)
7. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスはデータ受信のため、受信クロックを出力します。
8. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICDRF、IRIC、IRTRの各フラグが1にセットされます。
9. IRICフラグを0にクリアします。
10. TRSビットを1にセット後、ICDRの受信データをリードします。このとき、ICDRFフラグが0にクリアされません。
11. 停止条件生成のため、ICCRにBBSY=0かつSCP=0をライトします。
これによりSCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

14. I²C バスインタフェース (IIC) 【オプション】

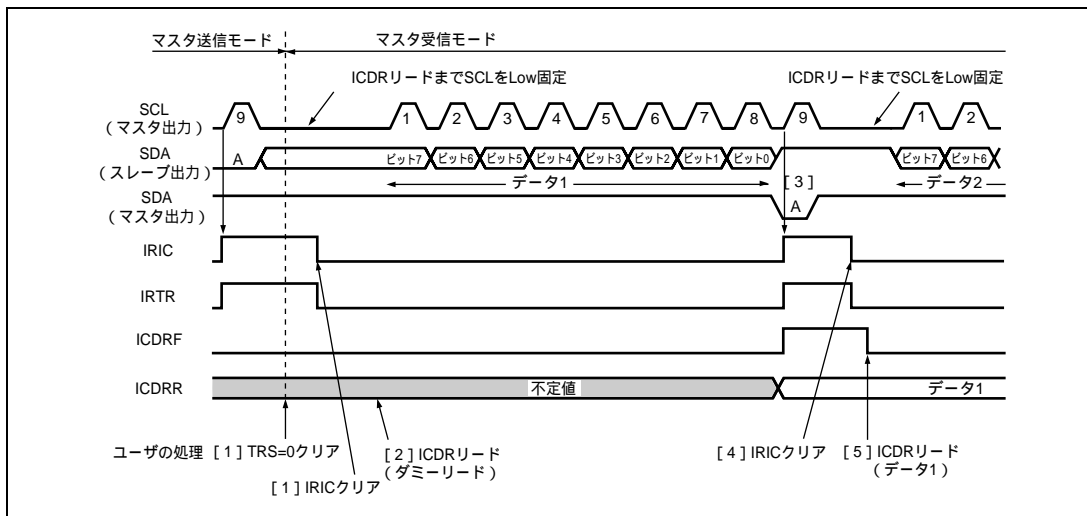


図 14.11 マスタ受信モード動作タイミング例 (MLS=WAIT=0、HNDS=1 のとき)

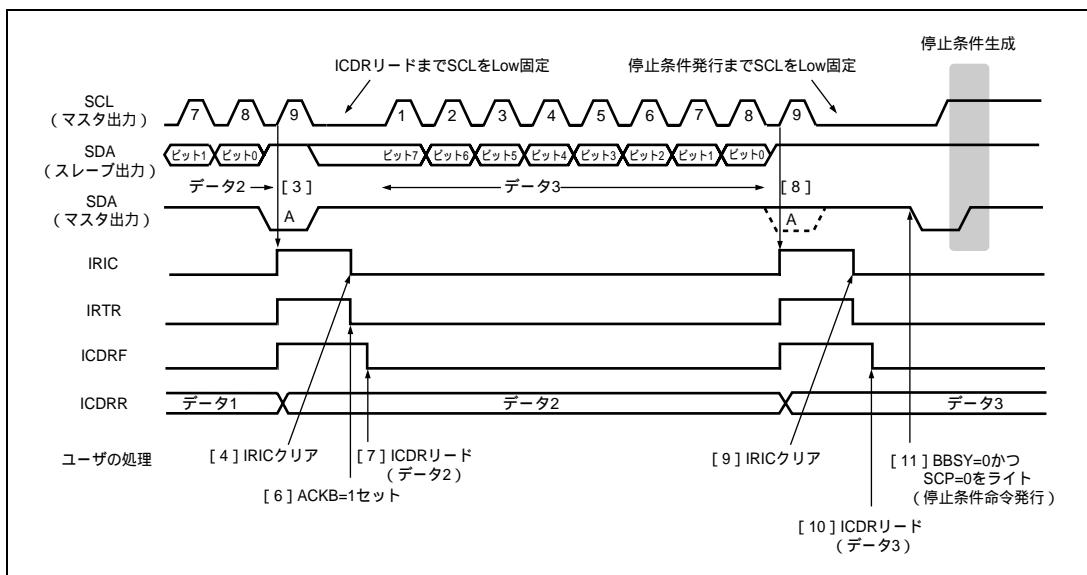


図 14.12 マスタ受信モード動作停止条件発行タイミング例 (MLS=WAIT=0、HNDS=1 のとき)

(2) ウェイトを利用した受信動作

図 14.13、図 14.14 にマスタ受信モードのフローチャート例 (WAIT=1) を示します。

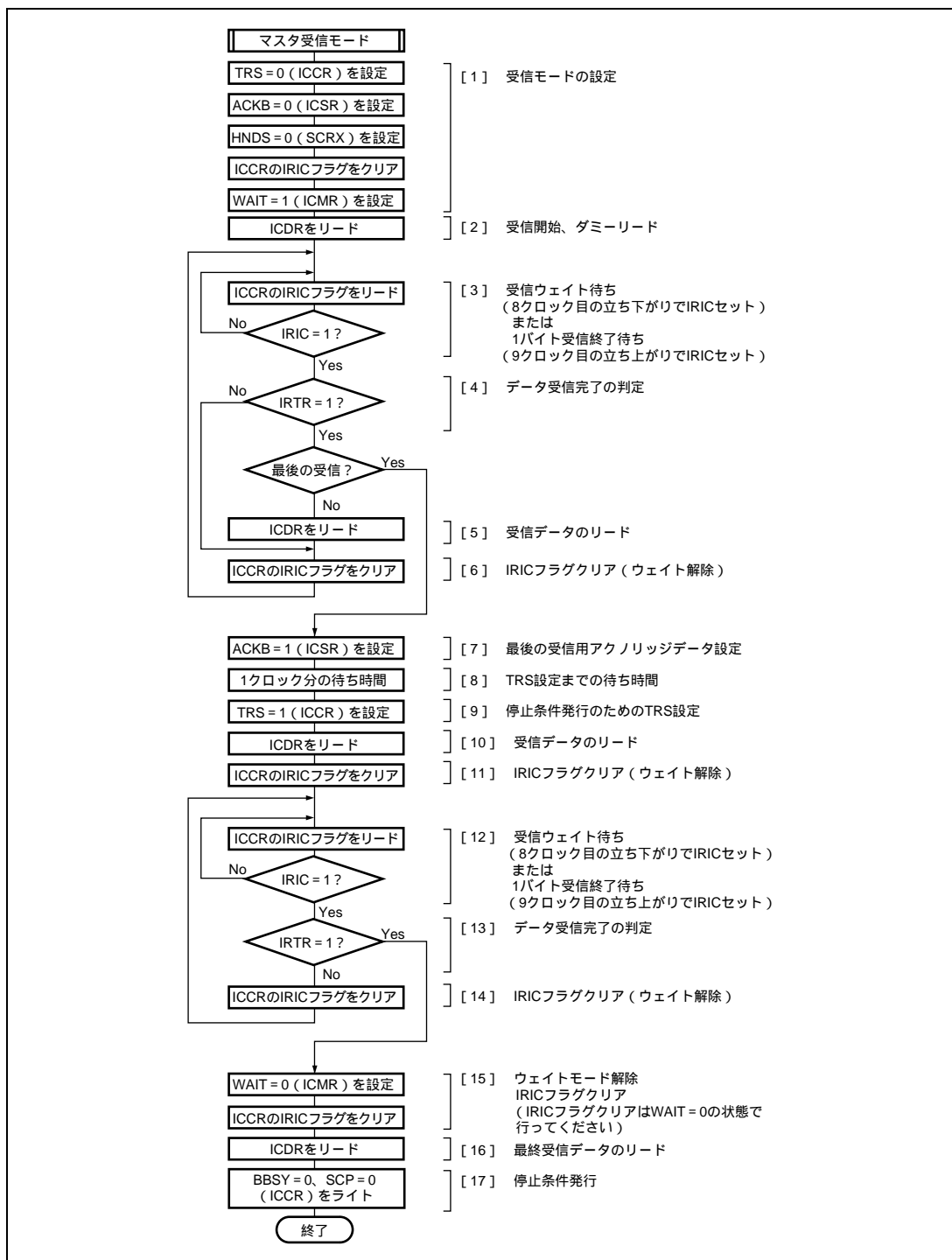


図 14.13 マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1)

14. I²C バスインタフェース (IIC) 【オプション】

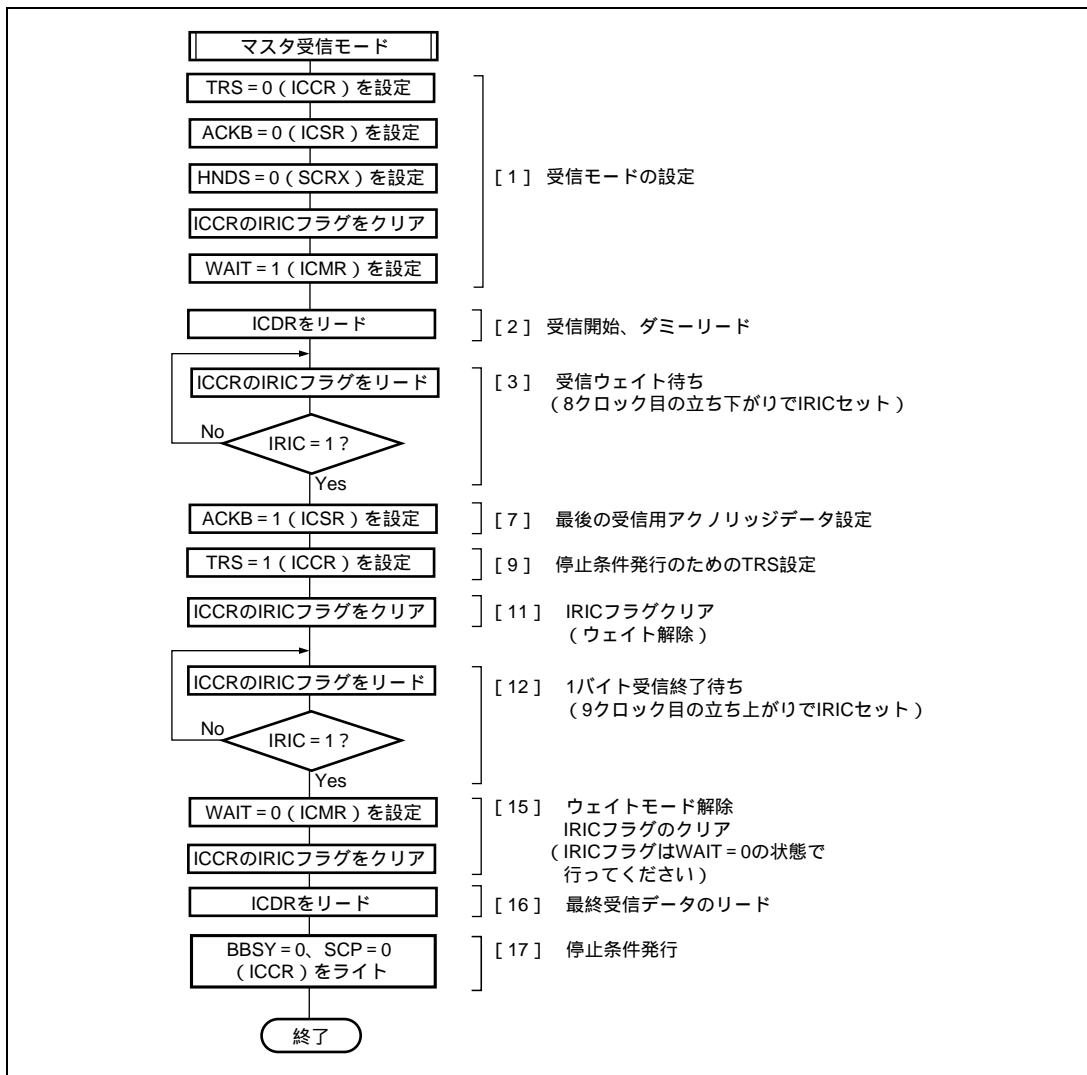


図 14.14 マスタ受信モード (1バイトのみ受信) のフローチャート例 (WAIT=1)

以下にウェイト動作 (WAIT ビット) を利用し、ICDR (ICDRR) のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

下記手順は複数バイト受信動作について説明しています。1 バイトのみ受信の場合は一部手順が省略されていますので、図 14.14 のフローチャートに従って動作を行ってください。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)
SCRXのHNDSビットを0にクリアします。(ハンドシェイク機能の解除)
IRICフラグを0にクリアし、その後ICMRのWAITビットを1にセットします。
2. ICDRをリード (ダミーリード) すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。
3. IRICフラグが以下の2条件で1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
 - (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
 - (2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。
IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。
4. ICSRのIRTRフラグをリードします。
IRTRフラグが0の場合は6.のIRICフラグクリアでウェイト解除を行います。
IRTRフラグが1で、次に受信するデータが最後の受信データの場合は、7.の終了処理を行ってください。
5. IRTRフラグが1の場合は、ICDRの受信データをリードします。
6. IRICフラグを0にクリアします。3.(1)の場合、マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。

3.から6.を繰り返し行うことにより、データを受信することができます。
7. ICSRのACKBビットを1にセットし、最後の受信用アクノリッジデータを設定します。
8. IRICフラグが1にセットされてから少なくとも1クロック分の待ち時間を取り、次の受信データの1クロック目が立ち上がるのを待ちます。
9. ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。ここで設定したTRSビットの値は次の9クロック目の立ち上がりエッジが入力されてから有効になります。
10. ICDRの受信データをリードします。
11. IRICフラグを0にクリアします。

14. I²C バスインタフェース (IIC) 【オプション】

12. IRICフラグが以下の2条件で1にセットされます。

(1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。

SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。

(2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。

IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。

13. ICSRのIRTRフラグをリードします。

IRTRフラグが0の場合は14.のIRICフラグクリアでウェイト解除を行います。

IRTRフラグが1で受信動作が完了している場合は、15.の停止条件発行処理を行ってください。

14. IRTRフラグが0の場合は、IRICフラグを0にクリアし、ウェイトを解除します。

受信動作の完了を検出するため12.のIRICフラグリードに戻ります。

15. ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。

その後、IRICフラグを0にクリアします。

IRICフラグのクリアはWAIT=0の状態で行ってください。

(IRICフラグを0にクリアした後にWAITビットを0にクリアし、停止条件発行命令を実行した場合、停止条件が正常に出力されない場合があります。)

16. ICDRにある最終受信データをリードします。

17. ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

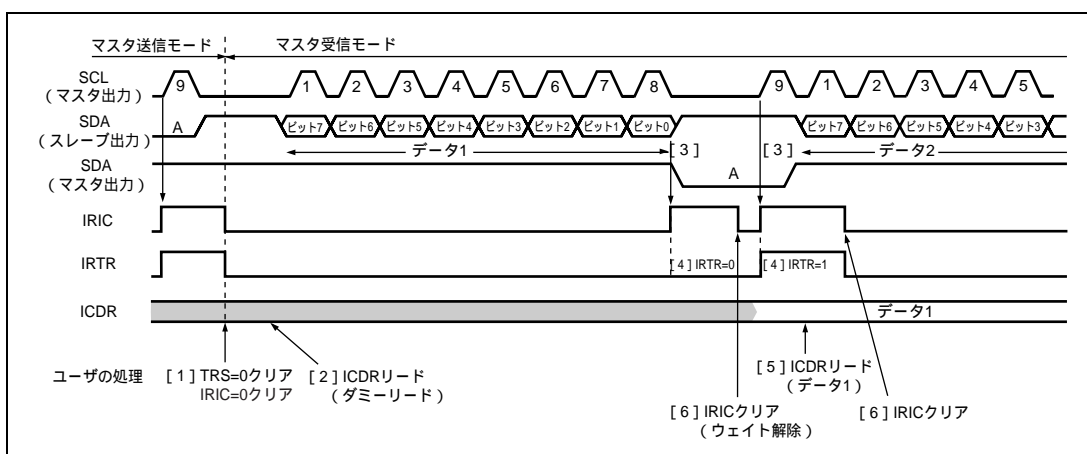


図 14.15 マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

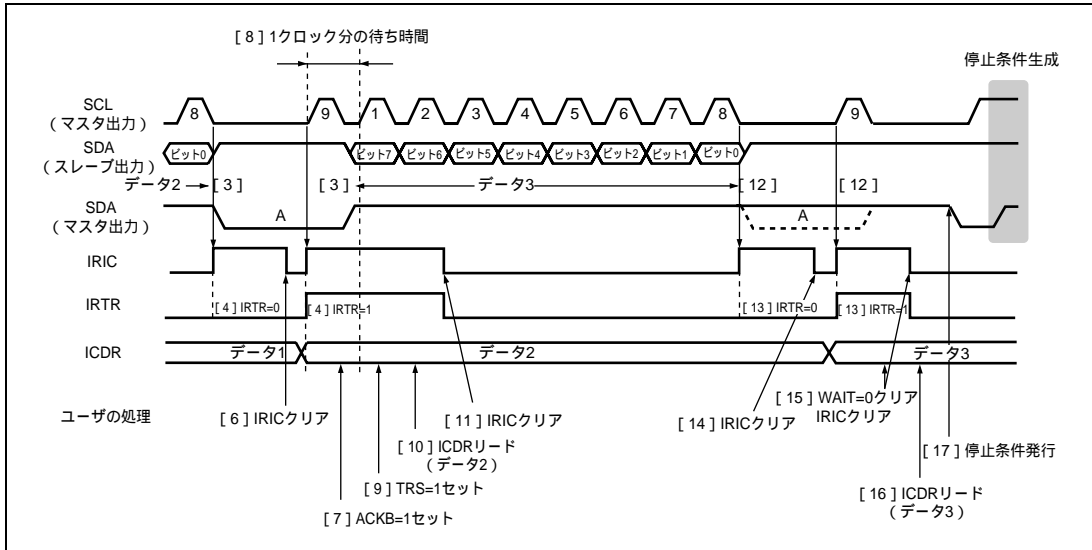


図 14.16 マスタ受信モード停止条件発行動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

14.4.5 スレーブ受信動作

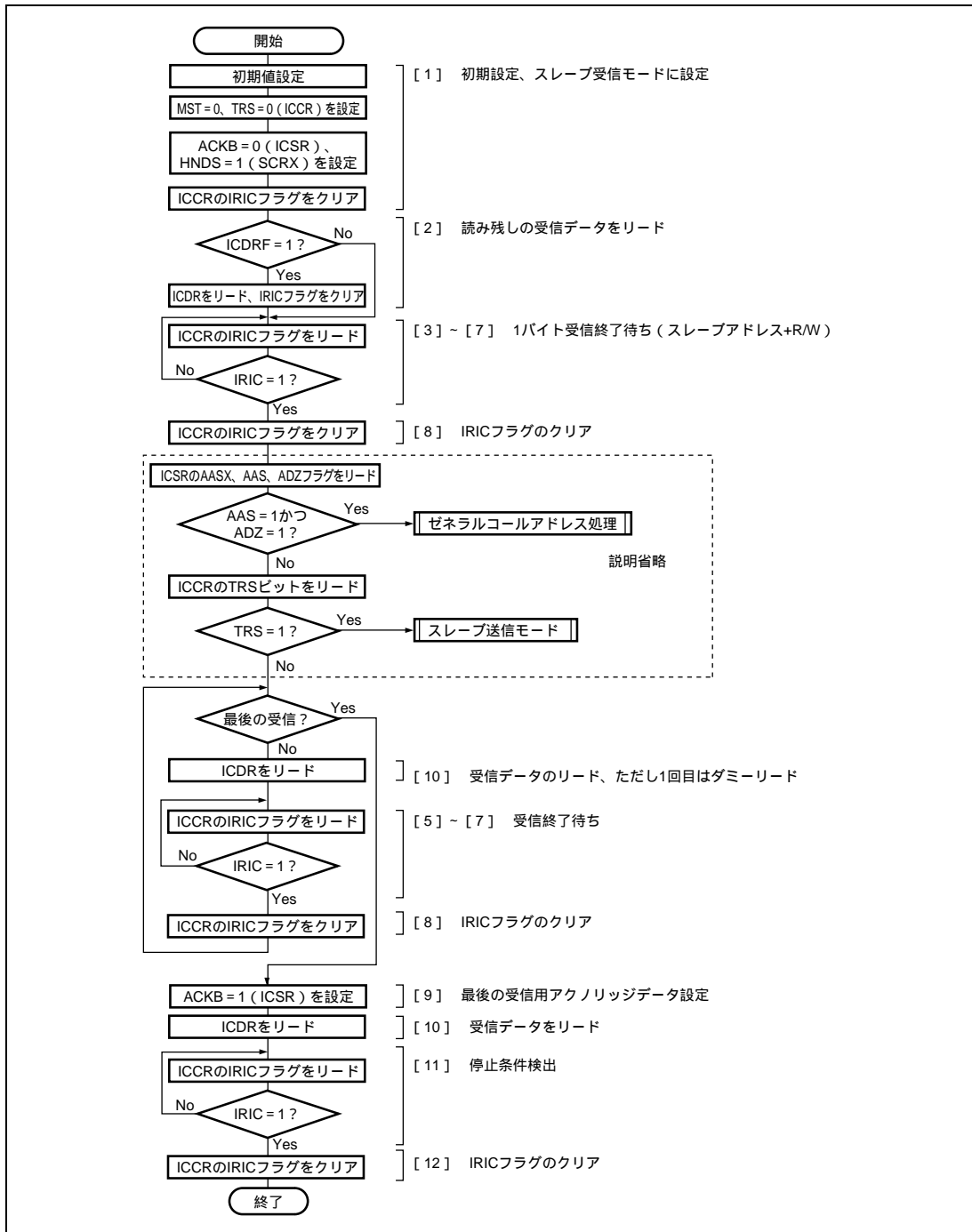
I²C バスフォーマットによるスレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

スレーブデバイスは、マスタが発行する開始条件後の第 1 フレームのスレーブアドレスと自分のアドレスを比較し、一致したときにマスタデバイスに指定されたスレーブデバイスとして動作します。

(1) HNDS 機能を利用した受信動作(HNDS=1)

図 14.17 にスレーブ受信モードのフローチャート例 (HNDS=1) を示します。

14. I²C バスインタフェース (IIC) 【オプション】



以下に HNDS ビット機能を利用し、データ受信ごとに SCL を Low に固定することで 1 バイトごとのデータ受信処理を行う受信手順と動作を示します。

1. 「14.4.2 初期設定」に従い初期設定を行います。

MST、TRS ビットをそれぞれ 0 にクリアしてスレーブ受信モードに設定します。また、HNDS ビットを 1 にセットし、ACKB ビットを 0 に設定します。受信完了を判断するため、ICCR の IRIC フラグを 0 にクリアします。

2. ICDRF フラグが 0 であることを確認します。もし ICDRF フラグが 1 にセットされているときは、ICDR をリードし、その後で IRIC フラグを 0 にクリアしておきます。
3. マスタデバイスの出力した開始条件を検出すると、ICCR の BBSY フラグが 1 にセットされます。マスタデバイスは、開始条件に引き続き 7 ビットのスレーブアドレスと送受信の方向 (R/W) のデータを送信クロックに合せ順次出力します。
4. 開始条件後の第 1 フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8 ビット目のデータ (R/W) が 0 のとき TRS ビットは 0 のまま変化せず、スレーブ受信動作を行います。8 ビット目のデータ (R/W) が 1 のとき TRS ビットは 1 にセットされ、スレーブ送信動作を行います。

なお、アドレスが一致しなかった場合は、次の開始条件の検出までデータ受信動作は行いません。

5. 受信フレームの 9 クロック目でスレーブデバイスは ACKB ビットに設定したデータをアクノリッジとして返します。
6. 9 クロック目の立ち上がりで IRIC フラグが 1 にセットされます。このとき、IEIC ビットが 1 にセットされていると、CPU に対し割り込み要求を発生します。
また、AASX ビットが 1 にセットされていると IRTR フラグも 1 にセットされます。
7. 9 クロック目の立ち上がりで、受信データは ICDRS から ICDRR に転送され、ICDRF フラグが 1 にセットされます。スレーブデバイスは受信クロックの 9 クロック目の立ち下がりから ICDR のデータをリードするまで SCL を Low レベルにします。
8. STOP ビットが 0 にクリアされていることを確認し、IRIC フラグを 0 にクリアします。
9. 次のフレームが最後の受信フレームのときは ACKB ビットを 1 にセットしておきます。
10. ICDR をリードすると、ICDRF フラグが 0 にクリアされ、SCL バスラインを開放します。これによりマスタデバイスは次のデータの転送が可能となります。

5. から 10. を繰り返し行うことにより、受信動作を継続できます。

11. 停止条件 (SCL が High レベルのとき、SDA が Low レベルから High レベルに変化) が検出されると、BBSY フラグが 0 にクリアされます。また、STOP ビットが 1 にセットされます。このとき STOPIM ビットが 0 にクリアされていると IRIC フラグは 1 にセットされます。

12. STOP ビットが 1 にセットされていることを確認し、IRIC フラグを 0 にクリアします。

14. I²C バスインタフェース (IIC) 【オプション】

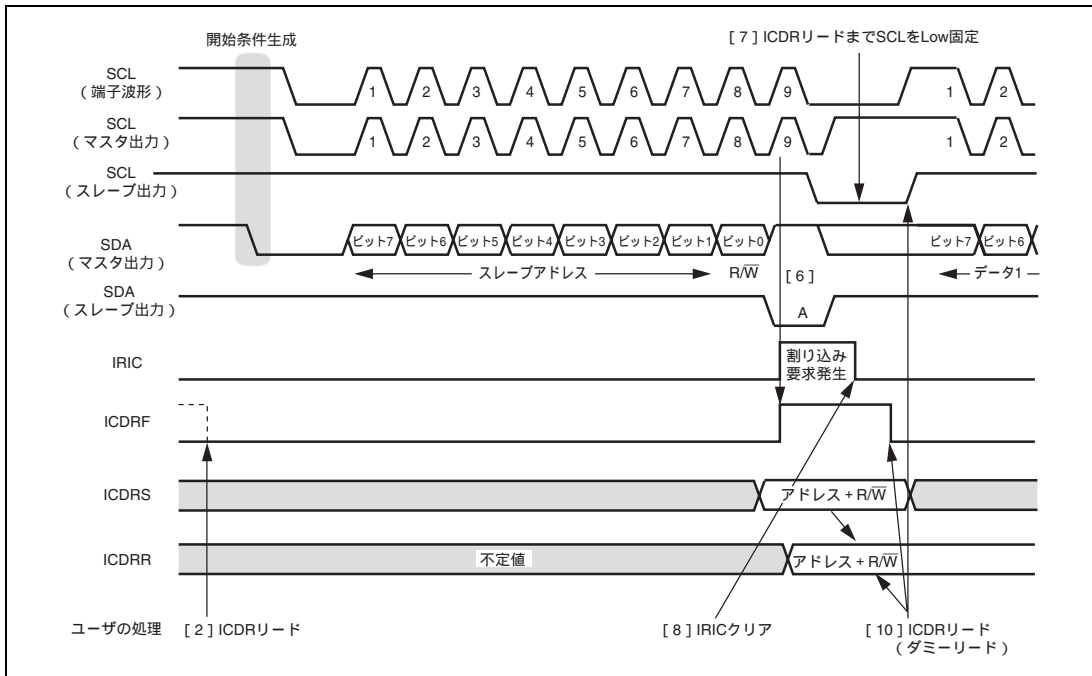


図 14.18 スレーブ受信モード動作タイミング例 1 ($MLS = 0$ 、 $HNDS = 1$ のとき)

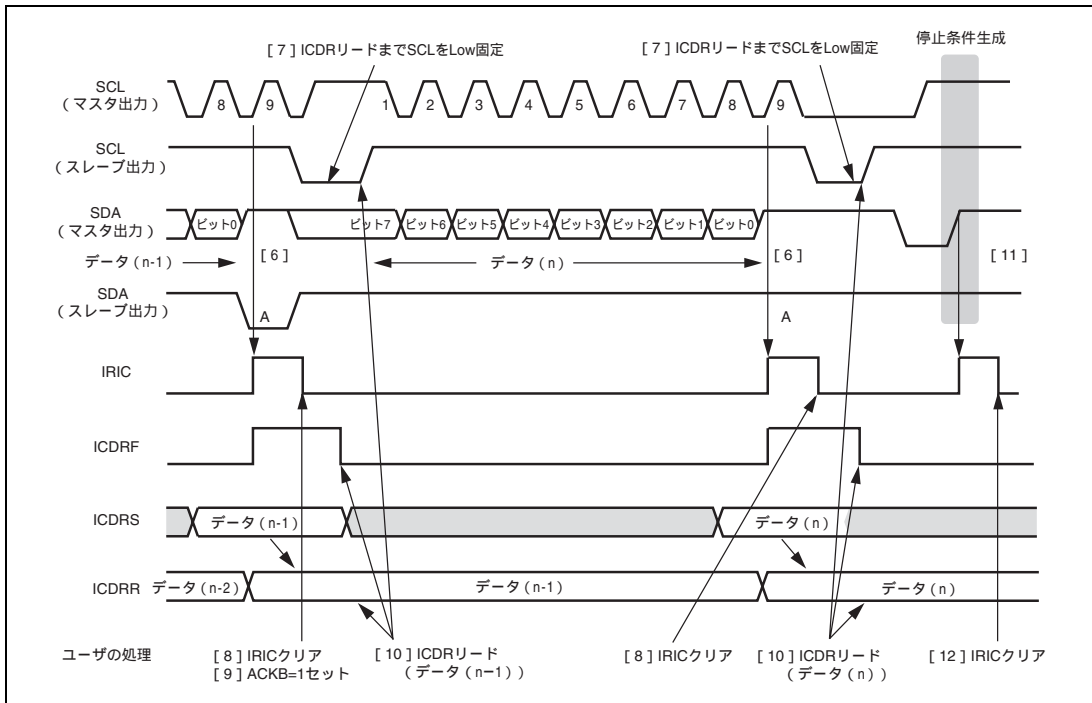
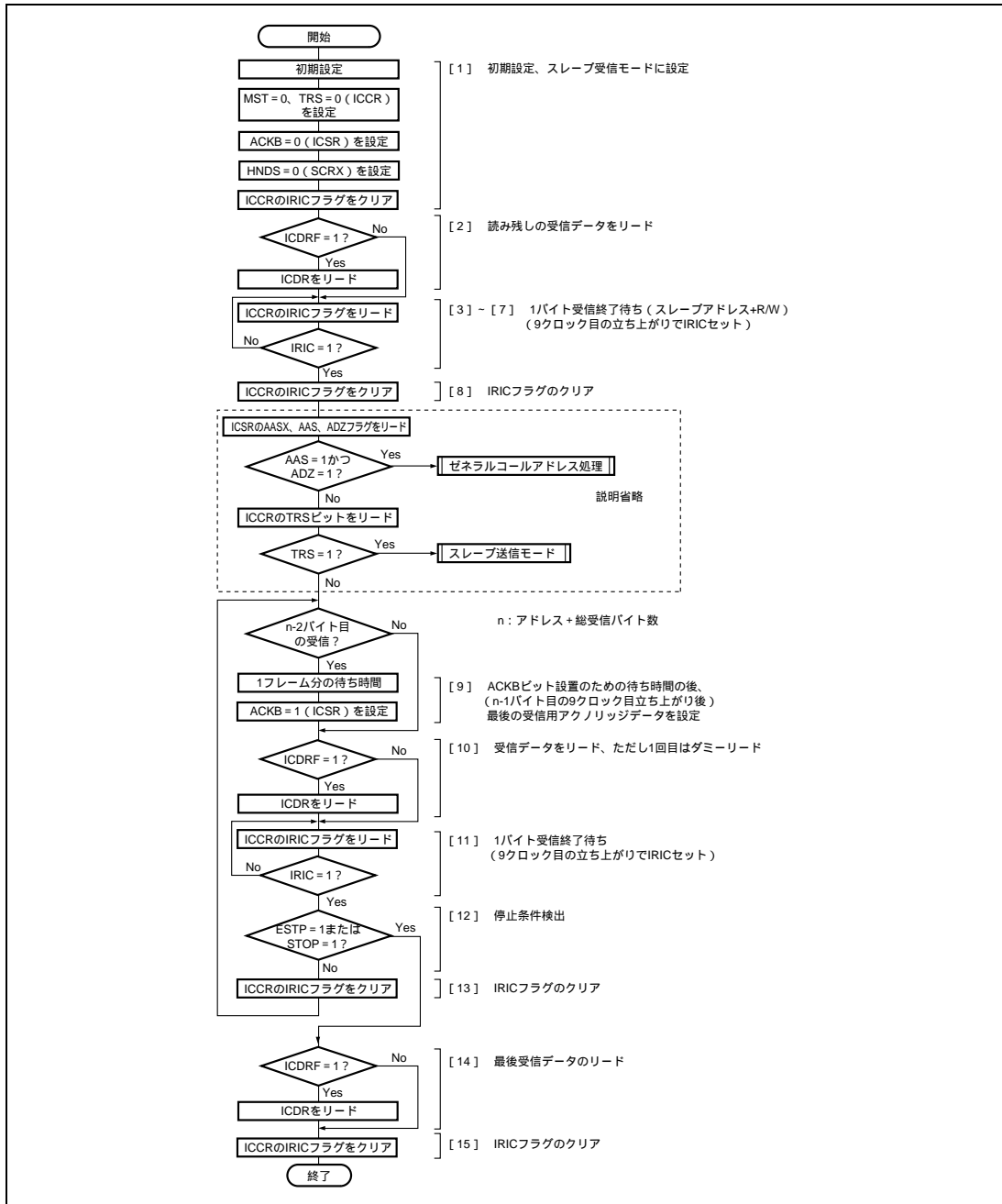


図 14.19 スレーブ受信モード動作タイミング例 2 (ML=0、HNS=1 のとき)

14. I²C バスインタフェース (IIC) 【オプション】

(2) 連続受信動作

図 14.20 にスレープ受信モードのフローチャート例 (HNDS=0) を示します。



以下にスレーブ受信モードの受信手順と動作を示します。

1. 「14.4.2 初期設定」に従い初期設定を行います。
MST、TRSビットをそれぞれ0にクリアしてスレーブ受信モードに設定します。また、HNDSビットを0にセットし、ACKBビットを0に設定します。受信完了を判断するため、ICCRのIRICフラグを0にクリアします。
2. ICDRFフラグが0であることを確認します。ICDRFフラグが1にセットされているときは、ICDRをリードし、その後でIRICフラグを0にクリアしておきます。
3. マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。マスタデバイスは、開始条件に引き続き7ビットのスレーブアドレスと送受信の方向 (R/ \bar{W}) のデータを送信クロックに合せ順次出力します。
4. 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ (R/ \bar{W}) が0のときTRSビットは0のまま変化せず、スレーブ受信動作を行います。8ビット目のデータ (R/ \bar{W}) が1のときTRSビットは1にセットされ、スレーブ送信動作を行います。
なお、アドレスが一致しなかった場合は、次の開始条件の検出までデータ受信動作は行いません。
5. 受信フレームの9クロック目でスレーブデバイスはACKBビットに設定したデータをアクノリッジとして返します。
6. 9クロック目の立ち上がりでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。
また、AASXビットが1にセットされているとIRTRフラグも1にセットされます。
7. 9クロック目の立ち上がりで、受信データはICDRSからICDRRに転送され、ICDRFフラグが1にセットされます。
8. STOPビットが0にクリアされていることを確認し、IRICフラグを0にクリアします。
9. 次にリードするデータが最後から2つ前の受信フレームのときはACKBビット設定のため最低1フレーム分の待ち時間を設けます。最後から1つ前の受信フレームの9クロック目が立ち上がった後にACKBビットを1にセットしておきます。
10. ICDRFフラグが1にセットされていることを確認し、ICDRをリードします。
ICDRをリードすると、ICDRFフラグが0にクリアされます。
11. 9クロック目の立ち上がりまたは、ICDRリード動作により受信データがICDRSからICDRRに転送されるとIRICフラグおよびICDRFフラグが1にセットされます。
12. 停止条件 (SCLがHighレベルのとき、SDAがLowレベルからHighレベルに変化) が検出されると、BBSYフラグが0にクリアされます。また、STOPフラグまたは、ESTPフラグが1にセットされます。このときSTOPIMビットが0にクリアされているとIRICフラグは1にセットされます。この場合は14.の最終受信データのリードを行います。

14. I²C バスインタフェース (IIC) 【オプション】

13. IRICフラグを0にクリアします。

9から13.を繰り返し行うことにより、受信動作を継続できます。

14. ICDRFフラグが1にセットされていることを確認し、ICDRをリードします。

15. IRICフラグを0にクリアします。

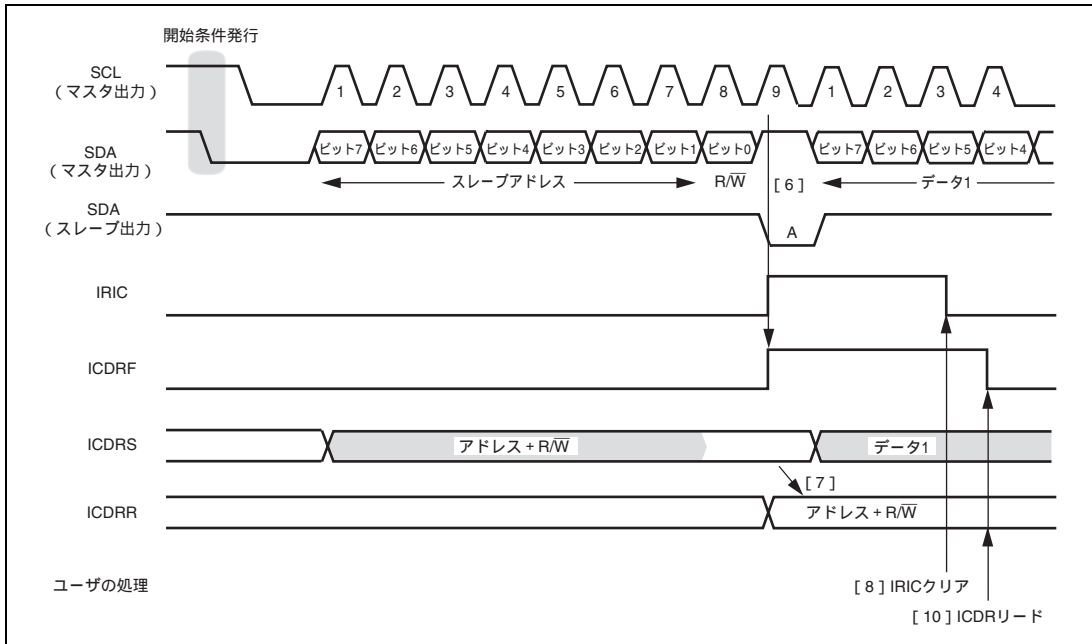


図 14.21 スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0、HNDS = 0 のとき)

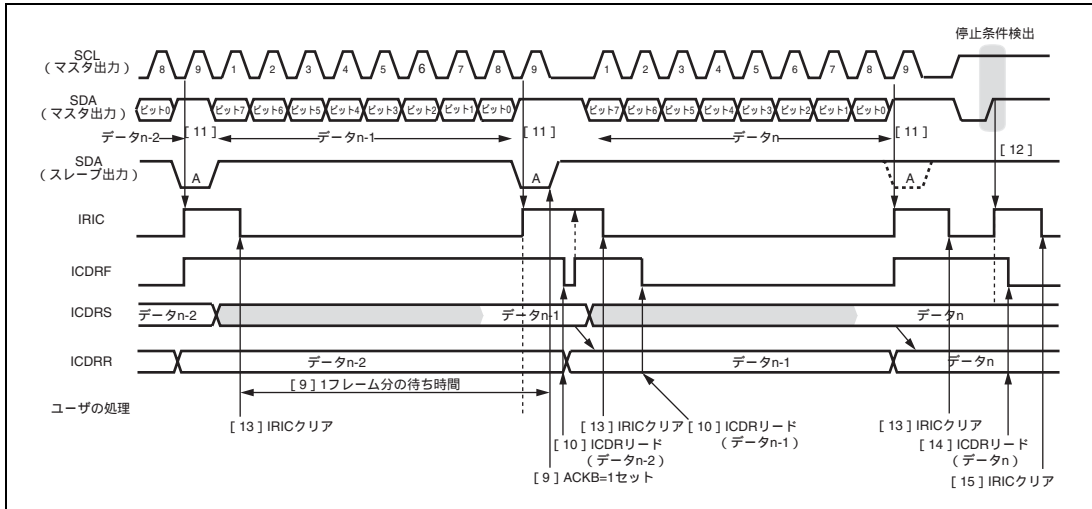


図 14.22 スレーブ受信モード動作タイミング例 2 (MLS = ACKB = 0、HNDS = 0 のとき)

14.4.6 スレーブ送信動作

スレーブ送信動作は、スレーブ受信モードで開始条件検出後の第 1 フレーム (アドレス受信フレーム) にてマスタが送信したアドレスと自分のアドレスが一致し、かつ 8 ビット目のデータ (R/ \bar{W}) が 1 (リード) のときに ICCR の TRS ビットが自動的に 1 にセットされ、スレーブ送信モードになります。

図 14.23 にスレーブ送信モードのフローチャート例を示します。

14. I²C バスインタフェース (IIC) 【オプション】

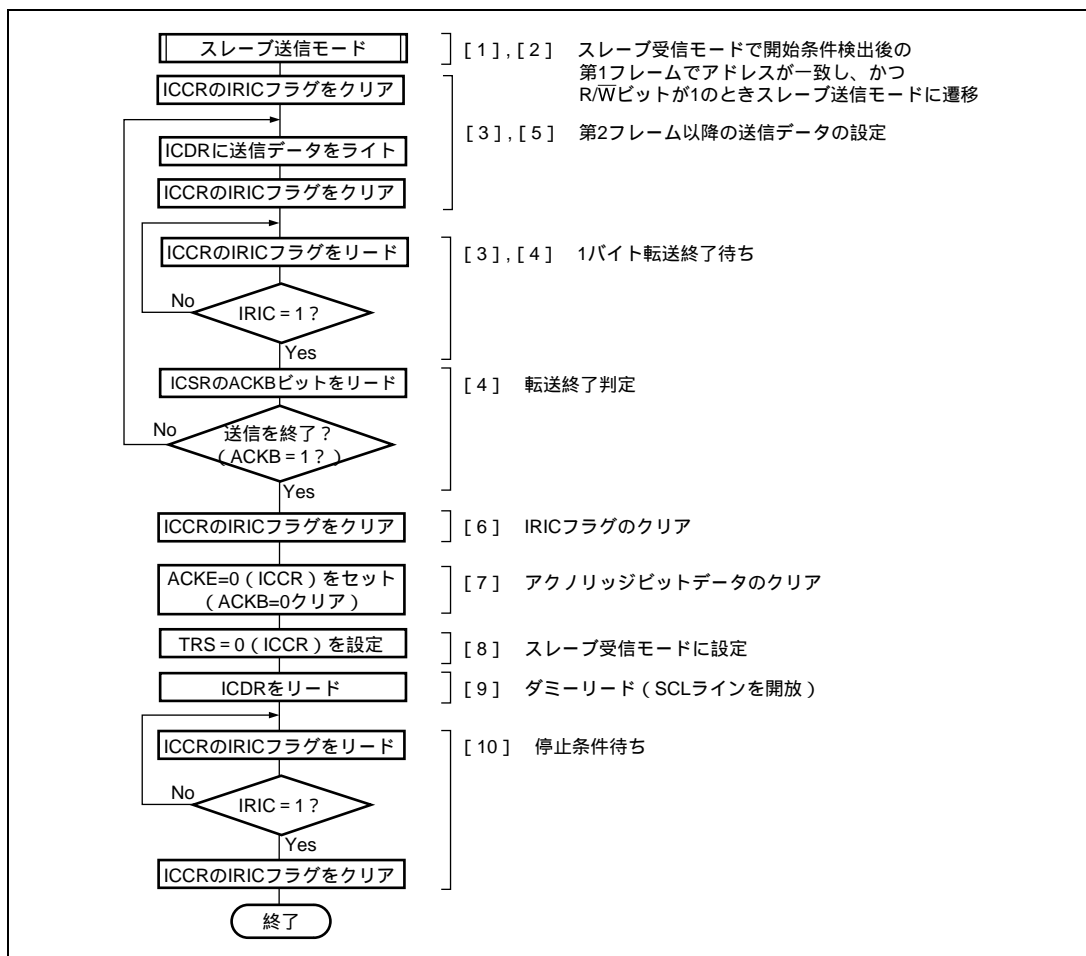


図 14.23 スレーブ送信モードのフローチャート例

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

1. スレーブ受信モードの初期設定を行い、自分のアドレス受信を待ちます。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。また、8ビット目のデータ (R/W) が1のときTRSビットが1にセットされ、自動的にスレーブ送信モードになります。9クロックの立ち上がりのタイミングでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされているとCPUに対し割り込み要求を発生します。このとき、ICDREフラグは1にセットされています。スレーブデバイスは送信クロックの9クロック目の立ち下がりからICDRにデータをライトするまでSCLをLowレベルにしマスタデバイスが次の転送クロックを出力できないようにします。

3. IRICフラグを0にクリア後、ICDRに送信データをライトします。このときICDREフラグは0にクリアされず。ライトされたデータはICDRSに転送され、ICDREフラグとIRICフラグが再び1にセットされます。スレーブデバイスはマスタデバイスが出力するクロックに従い、ICDRSに転送されたデータを順次送出します。送信完了を検知するためにIRICフラグを0にクリアします。ICDRレジスタライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。
 4. マスタデバイスは転送フレームの9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKBビットに格納されるので転送動作が正常に行われたかどうか確認することができます。1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。ICDREフラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、ICDREフラグとIRICフラグが再び1にセットされます。ICDREフラグが1にセットされていると、送信クロックの9クロック目の立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。
 5. 送信を続ける場合は、次に送信するデータをICDRにライトします。このときICDREフラグは0にクリアされます。送信完了を検知するためにIRICフラグを0にクリアします。ICDRレジスタライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。
- 4.から5.を繰り返し行うことにより、送信動作を継続できます。
6. IRICフラグを0にクリアします。
 7. 送信を終了する場合は、ICCRのACKEビットを0にクリアし、ACKBビットに格納されているアクノリッジビットの値を0にクリアします。
 8. 次のアドレス受信動作のため、TRSビットを0にクリアし、スレーブ受信モードに設定します。
 9. スレーブ側でSDAを開放するためにICDRをダミーリードします。
 10. SCLがHighレベルのときSDAがLowレベルからHighレベルに変化して停止条件を検出すると、ICCRのBBSYフラグが0にクリアされ、ICSRのSTOPフラグが1にセットされます。ICXRのSTOPIMビットが0の場合は、IRICフラグが1にセットされます。IRICフラグがセットされているときは、IRICフラグを0にクリアします。

14. I²C バスインタフェース (IIC) 【オプション】

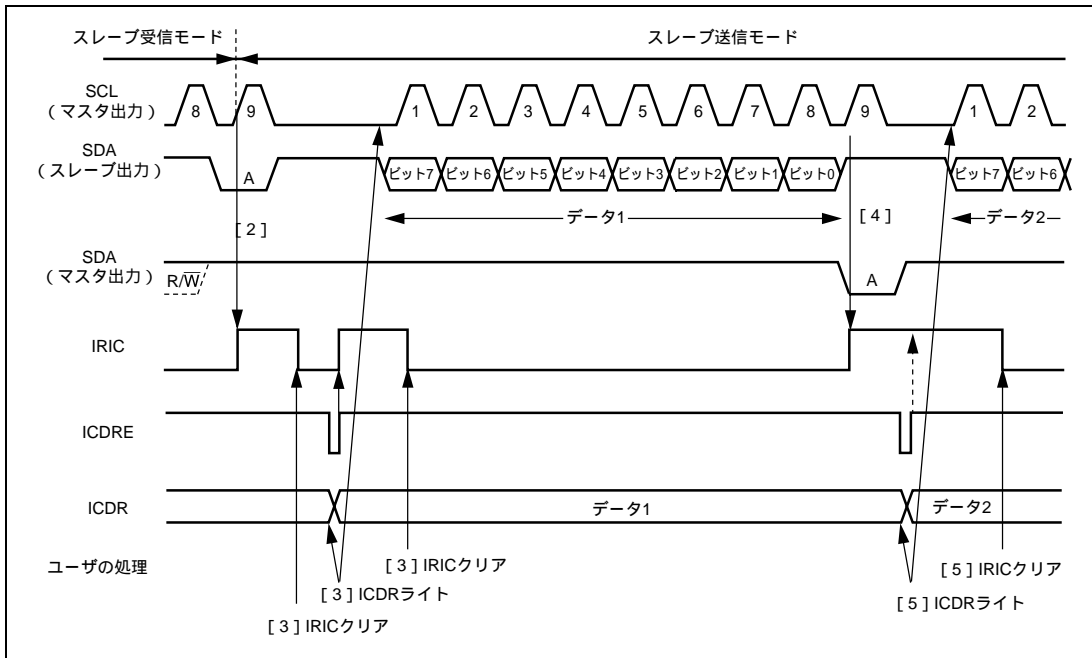


図 14.24 スレーブ送信モード動作タイミング例 (MLS=0 のとき)

14.4.7 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、ICDRE や ICDRF フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 14.25 ~ 図 14.27 に IRIC セットタイミングと SCL 制御を示します。

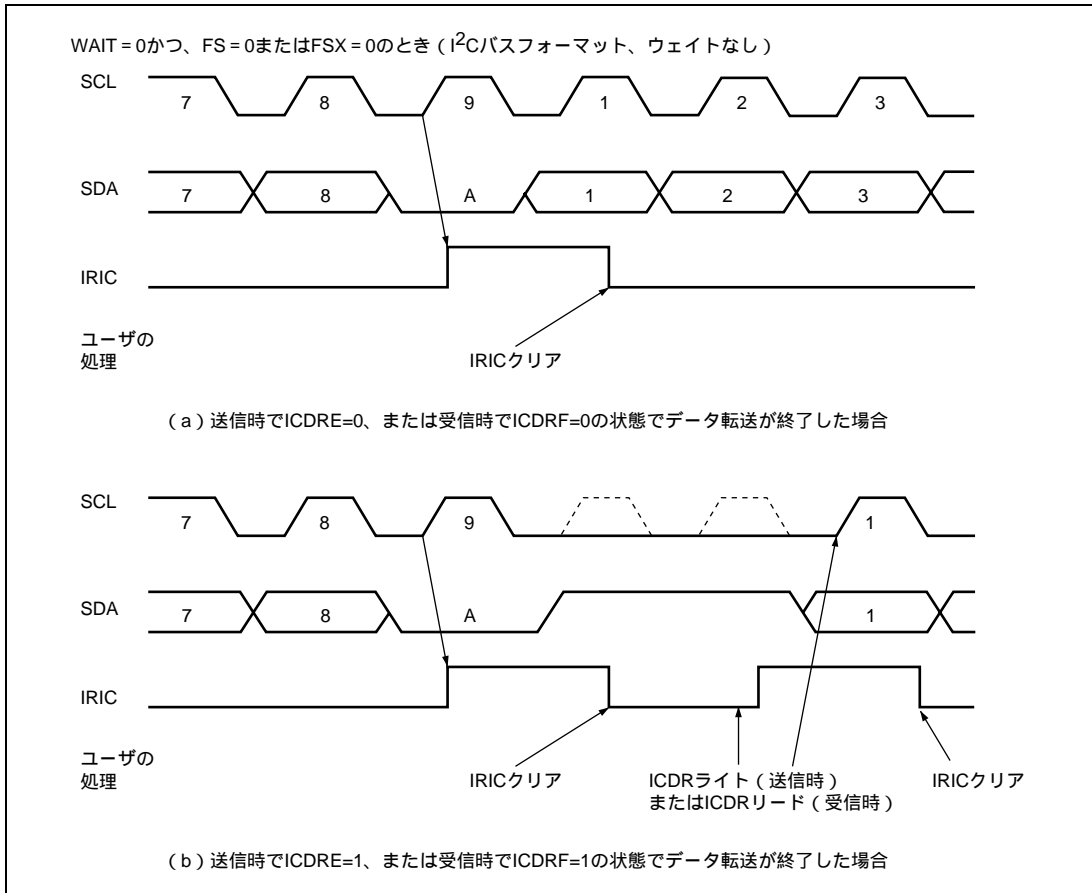


図 14.25 IRIC フラグセットタイミングと SCL 制御 (1)

14. I²C バスインタフェース (IIC) 【オプション】

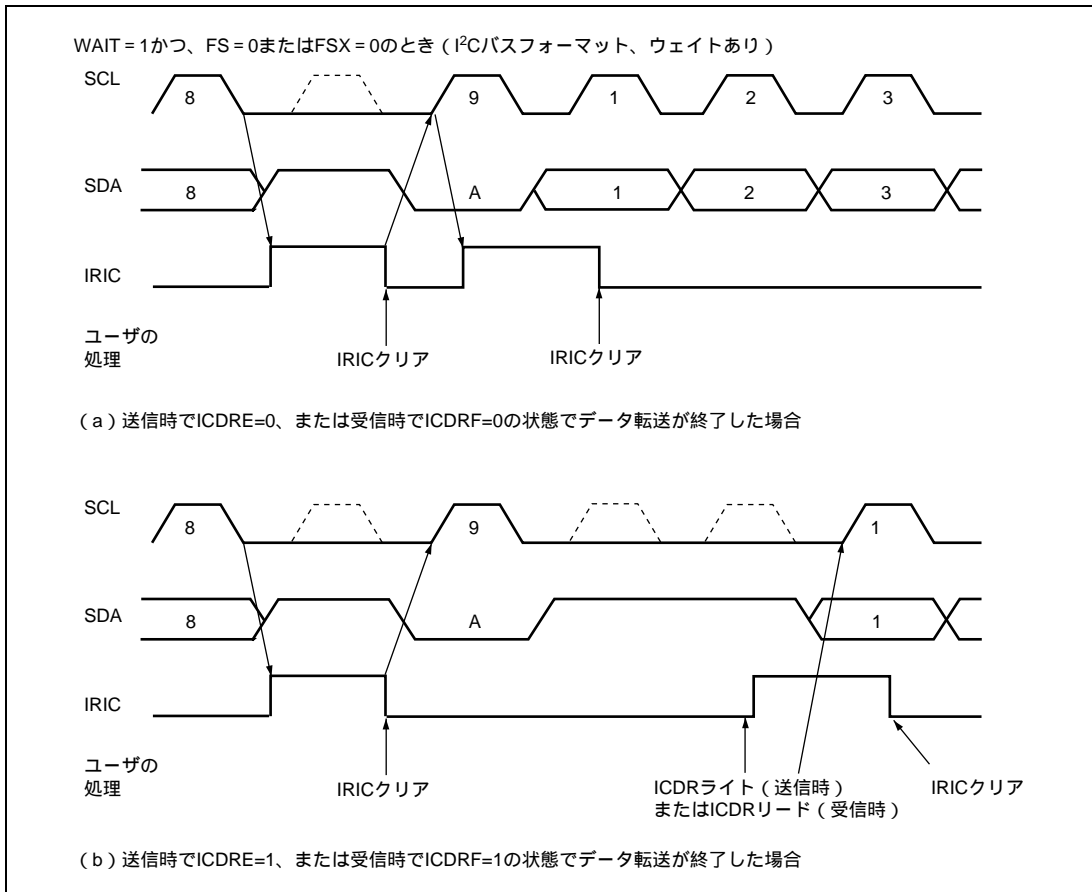


図 14.26 IRIC フラグセットタイミングと SCL 制御 (2)

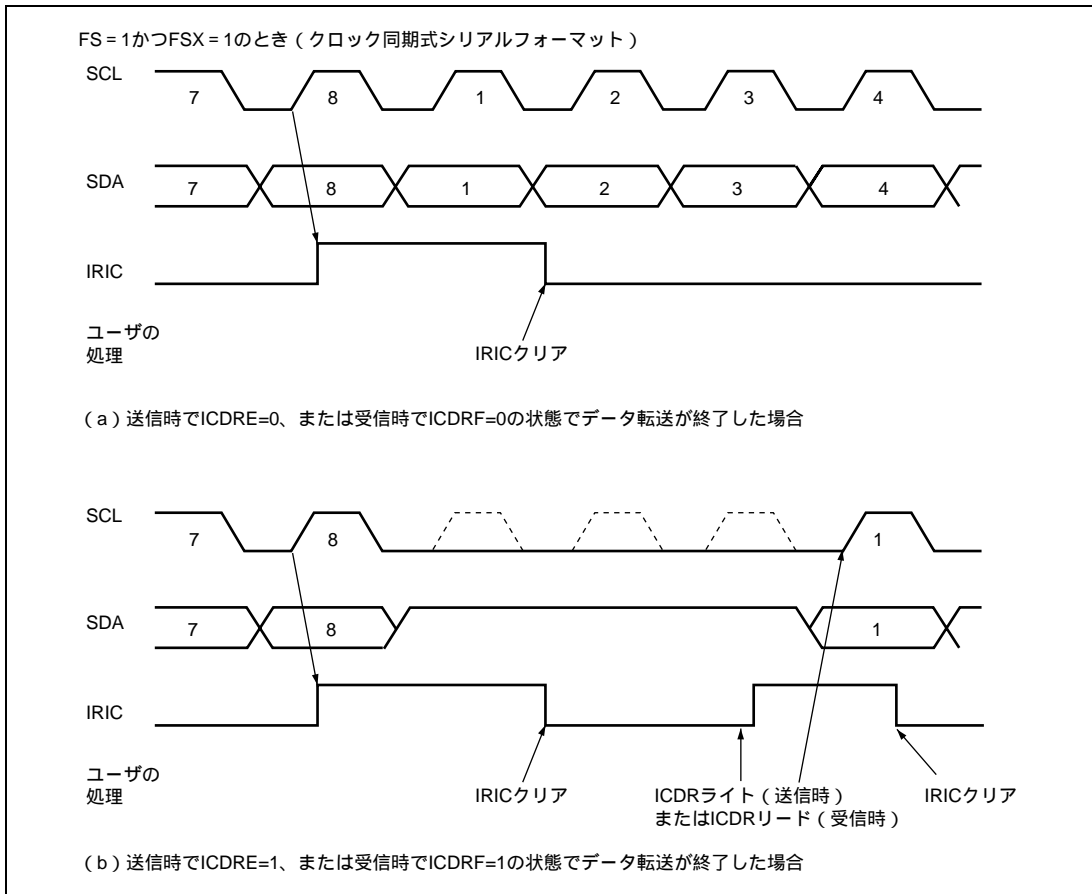


図 14.27 IRIC フラグセットタイミングと SCL 制御 (3)

14.4.8 DTC による動作

本 LSI では転送を連続的に行うために、DTC を利用することができます。DTC は、2 つある割り込みフラグ (IRIC と IRTR) のうち、IRTR フラグが 1 にセットされた場合に起動されます。ACKE ビットが 0 の場合、アクノリッジビットの内容にかかわらずデータ送信完了時に ICDRE フラグ、IRIC フラグと IRTR フラグがセットされます。ACKE ビットが 1 の場合、アクノリッジビットが 0 でデータ送信が完了すると ICDRE フラグ、IRIC フラグと IRTR フラグがセットされ、アクノリッジビットが 1 でデータ送信が完了すると IRIC フラグだけがセットされます。

DTC が起動されると、所定のデータ転送を実行した後、ICDRE フラグ、IRIC フラグと IRTR フラグを 0 にクリアします。そのため、データを連続的に転送している間は割り込みが発生しませんが、ACKE ビットが 1 の場合にアクノリッジビットが 1 でデータ送信が完了すると、DTC は起動されず、許可されていれば割り込みが発生します。

アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、全く意味をもたず 1 固定の場合があります。

I²C バスフォーマットでは、スレーブアドレスと R \bar{W} ビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

表 14.7 は、DTC を利用した処理の例を示します。スレーブモードでも転送データ数が判っていると仮定しています。

表 14.7 DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス + R \bar{W} ビット送信 / 受信	DTC で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード		CPU で処理 (ICDR リード)		
本体データ送信 / 受信	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
DTC 転送データ フレーム数設定	送信 : 実データ数 + 1 (+1 は、スレーブアドレス + R \bar{W} ビット分)	受信 : 実データ数	送信 : 実データ数	受信 : 実データ数

14.4.9 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 14.28 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

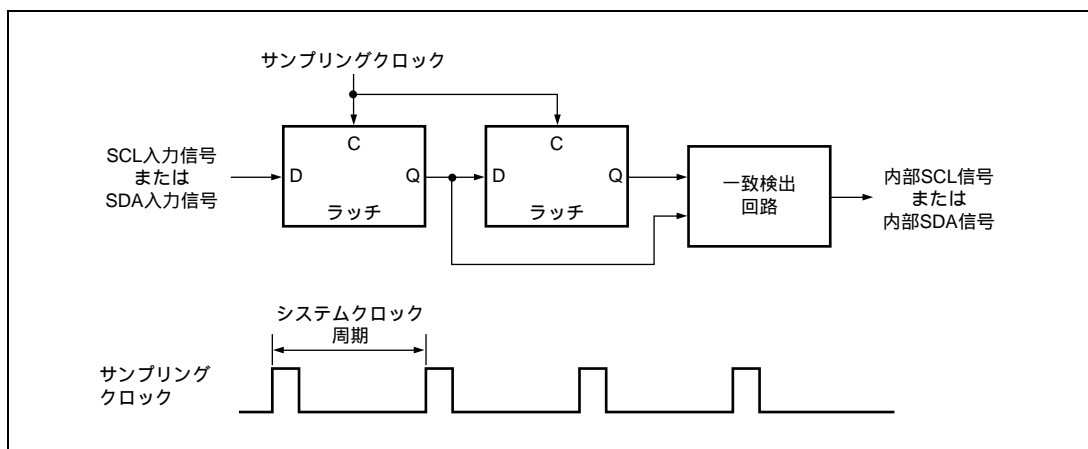


図 14.28 ノイズ除去回路のブロック図

14.4.10 内部状態の初期化

本 IIC モジュールは、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能をもっています。

初期化は、ICE ビットのクリアにより実行されます。

(1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- ICDRE、ICDRF 内部フラグ
- 送信 / 受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA 端子出力状態を保持するための内部ラッチ (ウェイト、クロック、データ出力など)

なお、以下の内容は初期化されません。

- レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、SCRX (ICDRE、ICDRF フラグ以外))
- ICMR、ICCR、ICSR 各レジスタのフラグのセット / クリアのためのレジスタリード情報保持用内部ラッチ
- ICMR のビットカウンタ (BC2 ~ BC0) の値
- 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

(2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグを 0 にクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグを 0 にクリアする処置が必要です。
- 送受信中にフラグのクリア設定を行うと、その時点で IIC モジュールは送受信を中止し SCL、SDA 端子を開放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、開放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

1. ICE ビットによる内部状態の初期化実行
2. BBSY ビットを 0 にクリアするための、停止条件発行命令実行 (BBSY = 0 かつ SCP = 0 ライト) および、転送レート の 2 クロック 分の 期間ウェイト
3. ICE ビットによる内部状態の初期化の再実行
4. IIC の各レジスタの初期化 (再設定)

14.5 使用上の注意事項

1. マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続的に発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を連続的に出力する場合は、開始条件生成のための命令を発行後、ポートをリードし、SCL、SDAがともにLowレベルになっていることを確認してください。その後、停止条件生成のための命令を発行してください。BBSY=1となったタイミングでは、まだSCLがLowレベルになっていない場合がありますのでご注意ください。
2. 次転送のスタート条件が次の2条件となっています。ICDRをリード/ライトする場合は注意してください。
 - ICE = 1かつTRS = 1かつICDRをライトしたとき (ICDRT→ICDRSの自動転送を含む)
 - ICE = 1かつTRS = 0かつICDRをリードしたとき (ICDRS→ICDRRの自動転送を含む)
3. SCL、SDA出力は、内部クロックに同期して表14.8に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり/立ち下がり時間によって定まります。

表 14.8 I²C バスタイミング (SCL、SDA 出力)

項 目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	t_{SCLO}	28t _{pcyc} ~ 256t _{pcyc}	ns	
SCL 出力 High パルス幅	t_{SCLHO}	0.5t _{SCLO}	ns	
SCL 出力 Low パルス幅	t_{SCLLO}	0.5t _{SCLO}	ns	
SDA 出力バスフリー時間	t_{BUFO}	0.5t _{SCLO} 1t _{pcyc}	ns	
開始条件出力ホールド時間	t_{STAO}	0.5t _{SCLO} 1t _{pcyc}	ns	
再送開始条件出力セットアップ時間	t_{STASO}	1t _{SCLO}	ns	
停止条件出力セットアップ時間	t_{STOSO}	0.5t _{SCLO} +2t _{pcyc}	ns	
データ出力セットアップ時間 (マスタ時)	t_{SDASO}	1t _{SCLLO} 3t _{pcyc}	ns	
データ出力セットアップ時間 (スレーブ時)		1t _{SCLL} (6t _{pcyc} または 12t _{pcyc} *)	ns	
データ出力ホールド時間	t_{SDAHO}	3t _{pcyc}	ns	

【注】 * IICX が 0 のとき 6 t_{pcyc}、IICX が 1 のとき 12 t_{pcyc} となります。

4. SCL、SDA入力、Pφに同期してサンプリングされます。そのため、ACタイミングは、Pφ周期t_{pcyc}に依存しています。Pφ周波数が5MHzに満たないと、I²CバスインタフェースのACタイミング仕様を満足しなくなりますのでご注意ください。

14. I²C バスインタフェース (IIC) 【オプション】

5. SCLの立ち上がり時間 t_{su} は、I²Cバスインタフェースの仕様で1000ns（高速モード時は300ns）以内と定められています。本I²Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間 t_{su} （Lowレベルから V_{IH} まで変化する時間）が、I²Cバスインタフェースの入力クロックで決まる時間を超えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表14.9に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 14.9 SCL 立ち上がり時間 (t_{su}) の許容範囲

IICX	t _{pcyc} 表示		時間表示 [ns]						
			I ² C バス仕様(max.)	Pφ= 10MHz	Pφ= 16MHz	Pφ= 20MHz	Pφ= 25MHz	Pφ= 33MHz	Pφ= 40MHz
0	7.5t _{pcyc}	標準モード	1000	750	468	375	300	227	188
		高速モード	300	←	←	←	←	227	188
1	17.5t _{pcyc}	標準モード	1000	←	←	875	700	530	438
		高速モード	300	←	←	←	←	←	←

6. SCL、SDAの立ち上がり、立ち下がり時間は、I²Cバスインタフェースの仕様で1000nsおよび300ns以内と定められています。一方、本I²CバスインタフェースのSCL、SDA出力タイミングは、表14.8に示すように t_{pcyc} によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI²Cバスインタフェースの仕様を満足しない場合があります。表14.10は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

t_{BUFO} はどの周波数でもI²Cバスインタフェースの仕様を満足しません。これに対しては、(a)停止条件発行後、開始条件の発行まで必要なインターバル(1μs程度)を確保するようプログラムする必要があります。あるいは、(b)I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時の t_{SCLLO} 、標準モード時の t_{STASO} では、 t_{sf}/t_{sf} をワーストケースとして計算した場合にI²Cバスインタフェースの仕様を満足しません。(a)プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、(b)転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、(c)I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

表 14.10 I²C バスタイミング (t_{Sr}/t_{Sf} 影響最大の場合)

項目	tpcyc 表示	時間表示 (最大転送レート時) [ns]								
		tSr/tSf 影響 (max.)	I ² C バス 仕様 (min.)	Pφ= 10MHz	Pφ= 16MHz	Pφ= 20MHz	Pφ= 25MHz	Pφ= 33MHz	Pφ= 40MHz	
t _{SCLHD}	0.5t _{SCLO} (-t _{Sr})	標準モード	-1000	4000	4000	4000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950	950	950	950
t _{SCLLO}	0.5t _{SCLO} (-t _{Sf})	標準モード	-250	4700	4750	4750	4750	4750	4750	4750
		高速モード	-250	1300	1000* ¹	1000* ¹	1000* ¹	1000* ¹	1000* ¹	1000* ¹
t _{SUFO}	0.5t _{SCLO} -1t _{POYC} (-t _{Sr})	標準モード	-1000	4700	3900* ¹	3938* ¹	3950* ¹	3960* ¹	3970* ¹	3975* ¹
		高速モード	-300	1300	850* ¹	888* ¹	900* ¹	910* ¹	920* ¹	925* ¹
t _{STAHO}	0.5t _{SCLO} -1t _{POYC} (-t _{Sf})	標準モード	-250	4000	4650	4688	4700	4710	4720	4725
		高速モード	-250	600	900	938	950	960	970	975
t _{STASO}	1t _{SCLO} (-t _{Sr})	標準モード	-1000	4700	9000	9000	9000	9000	9000	9000
		高速モード	-300	600	2200	2200	2200	2200	2200	2200
t _{STOSO}	0.5t _{SCLO} +2t _{POYC} (-t _{Sr})	標準モード	-1000	4000	4200	4125	4100	4080	4061	4050
		高速モード	-300	600	1150	1075	1050	1030	1011	1000
t _{SDASO} マスタ時	1t _{SCLLO} * ¹ -3t _{POYC} (-t _{Sr})	標準モード	-1000	250	3400	3513	3550	3580	3609	3625
		高速モード	-300	100	700	813	850	880	909	925
t _{SDASO} スレーブ時	1t _{SCLL} * ¹ -12t _{POYC} * ² (-t _{Sr})	標準モード	-1000	250	2500	2950	3100	3220	3336	3400
		高速モード	-300	100	-200* ¹	250	400	520	636	700
t _{SDAHD}	3t _{POYC}	標準モード	0	0	300	188	150	120	91	75
		高速モード	0	0	300	188	150	120	91	75

【注】 *1 I²C バスインタフェースの仕様を満足しません。以下の4つの対応などが必要です。

(1) 開始/停止条件発行のインターバルを確保する。(2) プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。(3) 転送レートを下げて調整する。(4) 入力タイミングが本出力タイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、IICX ビット、CKS2~CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合せ、I²C バスインタフェースの仕様を満足するか検討してください。

*2 IICX ビットが1のときです。IICX ビットを0に設定すると、(t_{SCLL}-6t_{POYC})となります。

*3 I²C バス仕様値 (標準モード: 4700ns min.、高速モード: 1300ns min.) で計算しています。

14. I²C バスインタフェース (IIC) 【オプション】

7. マスタ受信終了時におけるICDRリードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、TRSビットを1にセットし、ICCRのBBSY = 0かつSCP = 0をライトします。これにより、SCLがHighレベルのとき、SDAをLowレベルからHighレベルに変化させ、停止条件を生成します。この後で受信データはICDRのリードにより読み出すことができますが、バッファにデータが残っている場合、ICDRSの受信データはICDR (ICDRR) に転送されなくなりますので、第2バイト目のデータは、読み出すことができなくなります。

第2バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態 (TRSビットが0の状態) で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRレジスタのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認後に、TRSが0の状態でのICDRレジスタをリードしてください。

このとき、停止条件発行のための命令実行 (ICCRのBBSY = 0かつSCP = 0をライト) から実際に停止条件が生成されるまでの期間において、受信データ (ICDRのデータ) を読み出すと、次のマスタ送信時に正しくクロックが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後のMSTビットのクリアなど、送受信の動作モード、設定変更のためのIIC制御ビットの書き換えについては、必ず図14.29 (a) の期間中 (ICCRレジスタのBBSYビットの0クリア確認後) に行ってください。

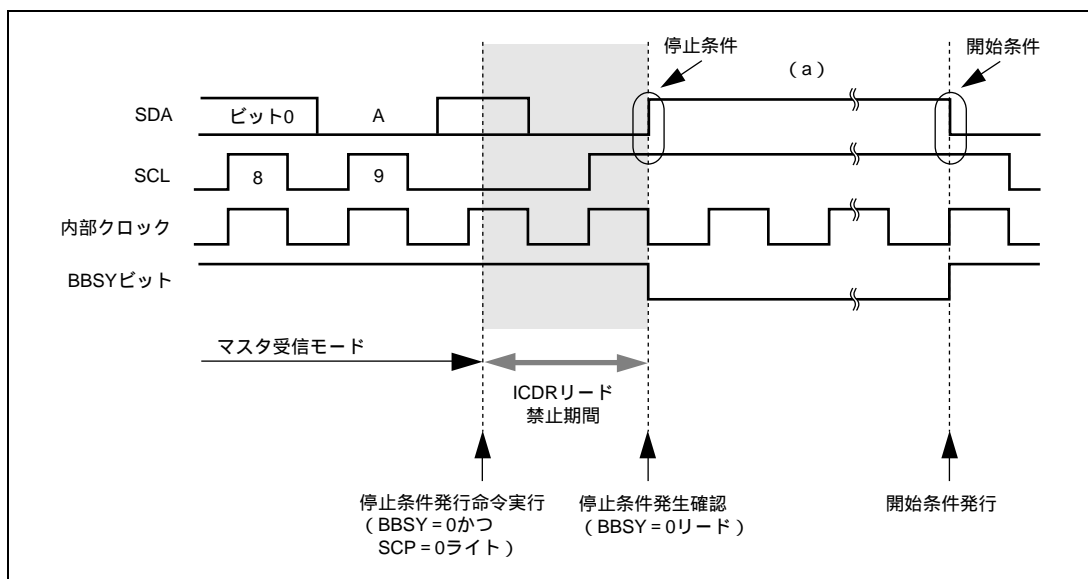


図 14.29 マスタ受信データの読み出しにおける注意

8. 再送のための開始条件発行時の注意事項

図14.30に、再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを示します。再送開始条件を発行し、開始条件が生成した後でICDRに送信データをライトしてください。

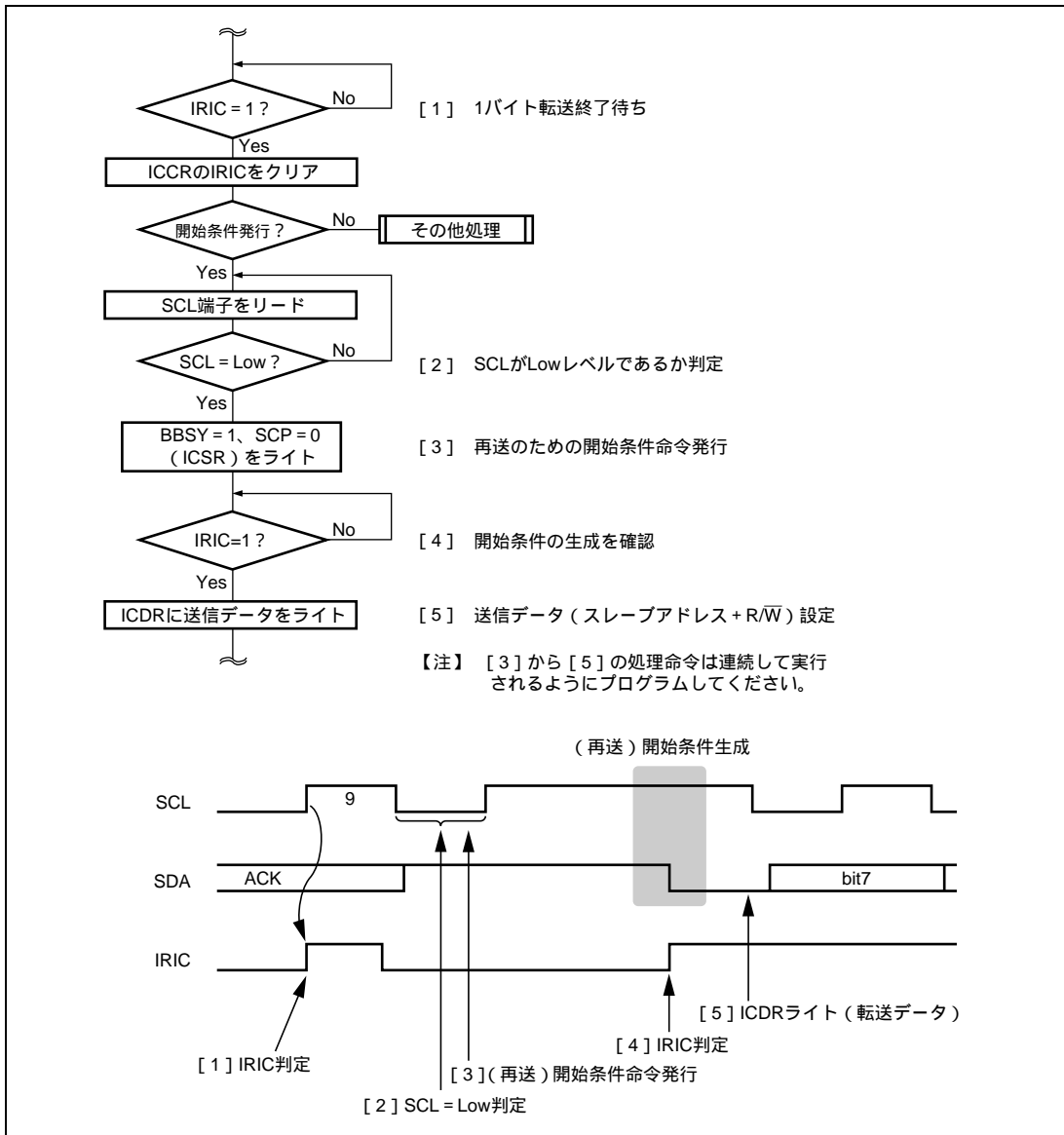


図 14.30 再送のための開始条件命令発行フローチャートおよびタイミング

14. I²C バスインタフェース (IIC) 【オプション】

9. I²Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように9クロック目の立ち上がり後にSCLをリードして、Lowを判定してから停止条件命令を発行してください。

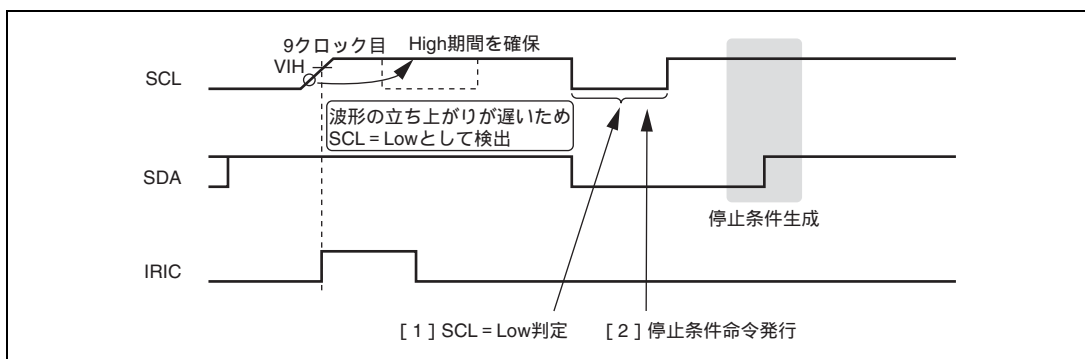


図 14.31 停止条件発行タイミング

10. ウェイト動作に関する注意事項

(a) 現象が発生する条件

以下の条件が重なったとき、ウェイト機能を使用したマスタモード動作において8クロック目の立ち下がり後にウェイトが入らず、9クロック目のクロックパルスが連続的に出力されることがあります。

- (1) マスタモード動作で、ICMRレジスタのWAITビットに1を設定してウェイト動作を行っている場合
- (2) 割り込みフラグIRICビットを、7クロック目の立ち下がりから8クロック目の立ち下がり間の期間に1から0にクリアした場合

(b) 不具合現象

本来8クロック目の立ち下がり後のウェイト状態でIRICフラグビットを1から0にクリアすることでウェイト状態が解除されます。

今回のケースでは7クロック目の立ち下がりから8クロック目の立ち下がり期間にIRICフラグビットをクリアした場合、IRICフラグクリアの情報が内部的に保持されてしまい、8クロック目立ち下がり時にウェイト動作が入った直後にウェイト状態が解除されてしまうものです。

(c) 制限事項

9クロック目立ち上がり時にIRICフラグが1にセットされたあと、7クロック目が立ち上がる前 (BC2~BC0カウンタの値が2以上のとき) にIRICフラグをクリアしてください。

もし割り込み処理等でIRICフラグクリアが遅れてBCカウンタの値が1または0になった場合は、BC2~BC0カウンタが0になったあとSCL端子が'L'状態になったことを確認してからIRICフラグをクリアしてください (図14.32参照)。

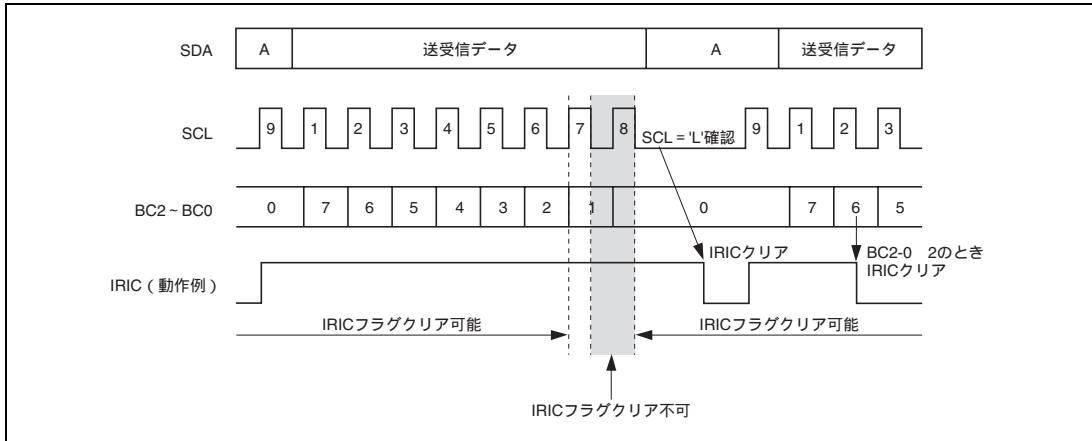


図 14.32 ウェイト動作時 IRIC フラグクリアタイミング

11. ウェイト機能使用時のIRICフラグクリアの注意事項

I²Cバスインタフェースのマスターモードでウェイト機能を使用しているときに、SCLの立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードして、SCLがLowに立ち下がったことを判定してからIRICフラグのクリアをしてください。

SCLがHigh期間を引き延ばしている最中にWAIT=1の状態ではIRICフラグを0にクリアすると、SCLが立ち下がる前にSDAの値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

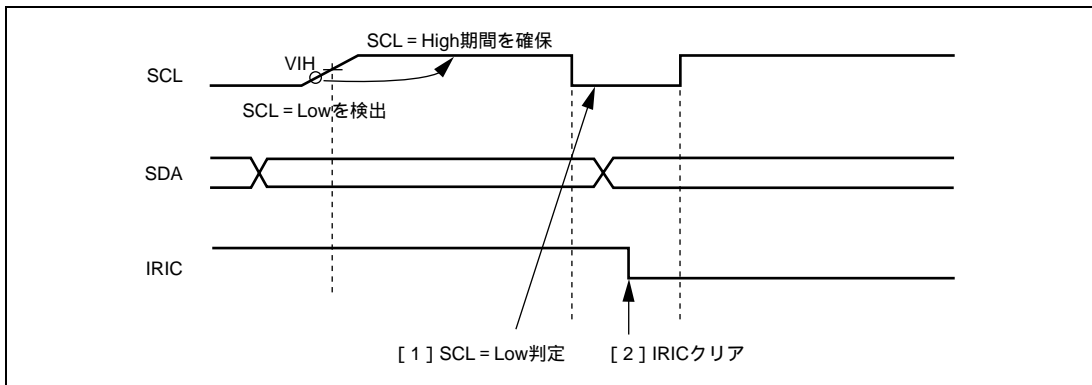


図 14.33 WAIT=1 状態での IRIC フラグクリアタイミング

14. I²C バスインタフェース (IIC) 【オプション】

12. スレーブ送信モードでのICDRリードとICCRアクセスの注意事項

I²Cバスインタフェースのスレーブモード送信動作では、図14.34の網がけ期間中にICDRのリードまたは、ICCRのリード/ライト動作を行わないようにしてください。

通常9クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- 次のスレーブアドレス受信動作が開始される前に、それまでに受信したICDRのリード動作および、ICCRのリード/ライト動作を完了させるようにしてください。
- ICMRのBC2~BC0ビットカウンタをモニタし、BC2~BC0=000(8クロック目または9クロック目)の場合は、2転送クロック期間以上の待ち時間を設けて、問題となる期間を避けてICDRのリードまたは、ICCRのリード/ライト動作を行ってください。

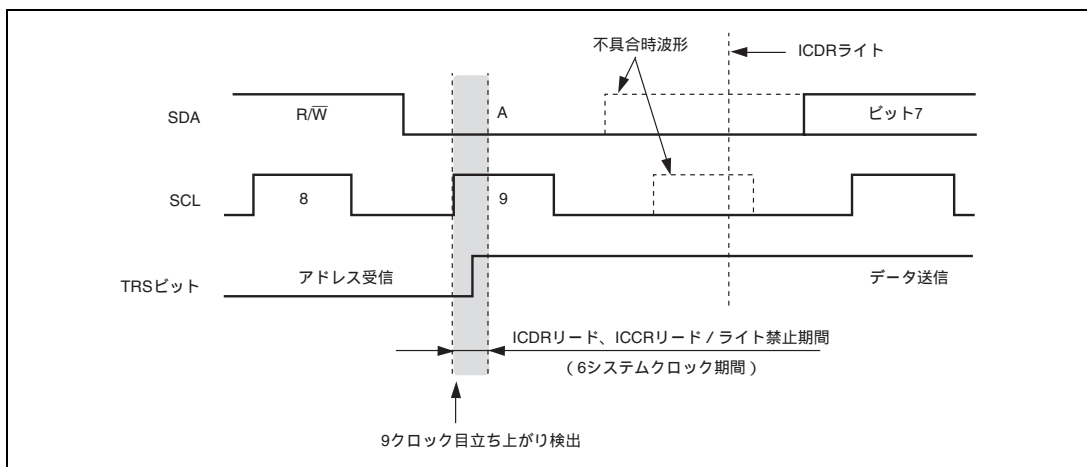


図 14.34 スレーブ送信モードでのICDRリード、ICCRアクセスタイミング

13. スレープモードでのTRSビット設定の注意事項

I²Cバスインタフェースのスレープモードでは、9クロック目の立ち上がりエッジ検出または、停止条件検出時から次にSCL端子に立ち上がりエッジを検出するまで（図14.35（a）の期間）は、ICCRのTRSビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間（図14.35（b）の期間）に設定されたTRSビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。

そのため、停止条件が入らない再送開始条件入力に続くアドレス受信動作時は、内部的なTRSビットの実効値は1（送信モード）のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行われません。

スレープモードのアドレス受信を行う場合は、図14.35（a）の期間中に、TRSビットを0クリアしてください。

スレープモード時のウェイト機能によるSCL端子のLow固定解除については、TRSビット0クリア後ICDRのダミーリードにより行います。

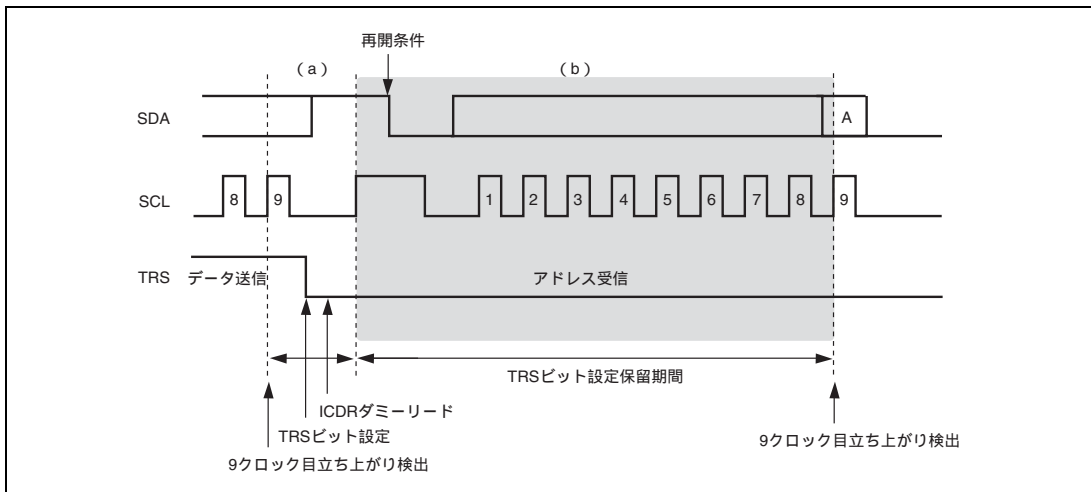


図 14.35 スレープモードでの TRS ビット設定タイミング

14. 送信モードでのICDRリードと受信モードでのICDRライトの注意事項

送信モード（TRS=1）でのICDRリード動作または、受信モード（TRS=0）でのICDRライト動作を行った場合、条件によっては送受信動作終了後のSCL端子のLow固定が行われず、正規のICDRのアクセス動作以前にクロックがSCLバスラインに出力される場合があります。

ICDRをアクセスするときは、受信モードに設定した後にリード動作を行うか、または送信モードに設定した後にライト動作を行うようにしてください。

14. I²C バスインタフェース (IIC) 【オプション】

15. スレーブモードでの ACKE ビットと TRS ビットの注意事項

I²C バスインタフェースにおいて、送信モード (TRS=1) でアクノリッジビットとして 1 を受信 (ACKB=1) した後に、その状態のままスレーブモードでアドレスを受信すると、アドレス不一致のときも 9 クロック目の立ち上がりで、割り込み動作が発生することがあります。

また、スレーブモードで送信モード (TRS=1) の状態でマスタデバイスから開始条件およびアドレスが送信された場合、ICDRE フラグセットおよびアクノリッジビットとして 1 を受信 (ACKB=1) することで IRIC フラグがセットされ、アドレス不一致のときも割り込み要因が発生することがあります。

I²C バスインタフェースモジュールでスレーブモード動作を行う際は、下記処置を行ってください。

- 一連の送信動作の終了時、最終送信データに対するアクノリッジビットとして 1 を受信した場合には、ICCR の ACKE ビットをいったん 0 にクリアすることで、ACKB ビットを 0 に初期化してください。
- スレーブモードで次の開始条件が入力される前に受信モード (TRS=0) にセットしてください。
スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、図 14.23 に従って送信を終了してください。

14.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、IIC の動作停止 / 許可を設定することが可能です。初期値では IIC の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

15. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しています。
ブロック図を図 15.1 に示します。

15.1 特長

- 分解能：10ビット
- 入力チャンネル：
8チャンネル（2個の独立したA/D変換モジュール内蔵）
- 変換時間：1チャンネル当たり5.4 μ s（P ϕ =25MHz動作時）、6.7 μ s（P ϕ =20MHz動作時）
- 動作モード：3種類
シングルモード：1チャンネルのA/D変換
連続スキャンモード：1～4チャンネルの繰り返しA/D変換
1サイクルスキャンモード：1～4チャンネルの連続A/D変換
- データレジスタ：
A/D変換結果は各入力チャンネルに対応した16ビットデータレジスタに格納
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
ソフトウェア
マルチファンクションタイマパルスユニット（MTU）による変換開始トリガを選択可能
外部トリガ信号
- 割り込み要因
A/D変換終了割り込み要求（ADI）を発生
- モジュールスタンバイモードの設定可能

15. A/D 変換器

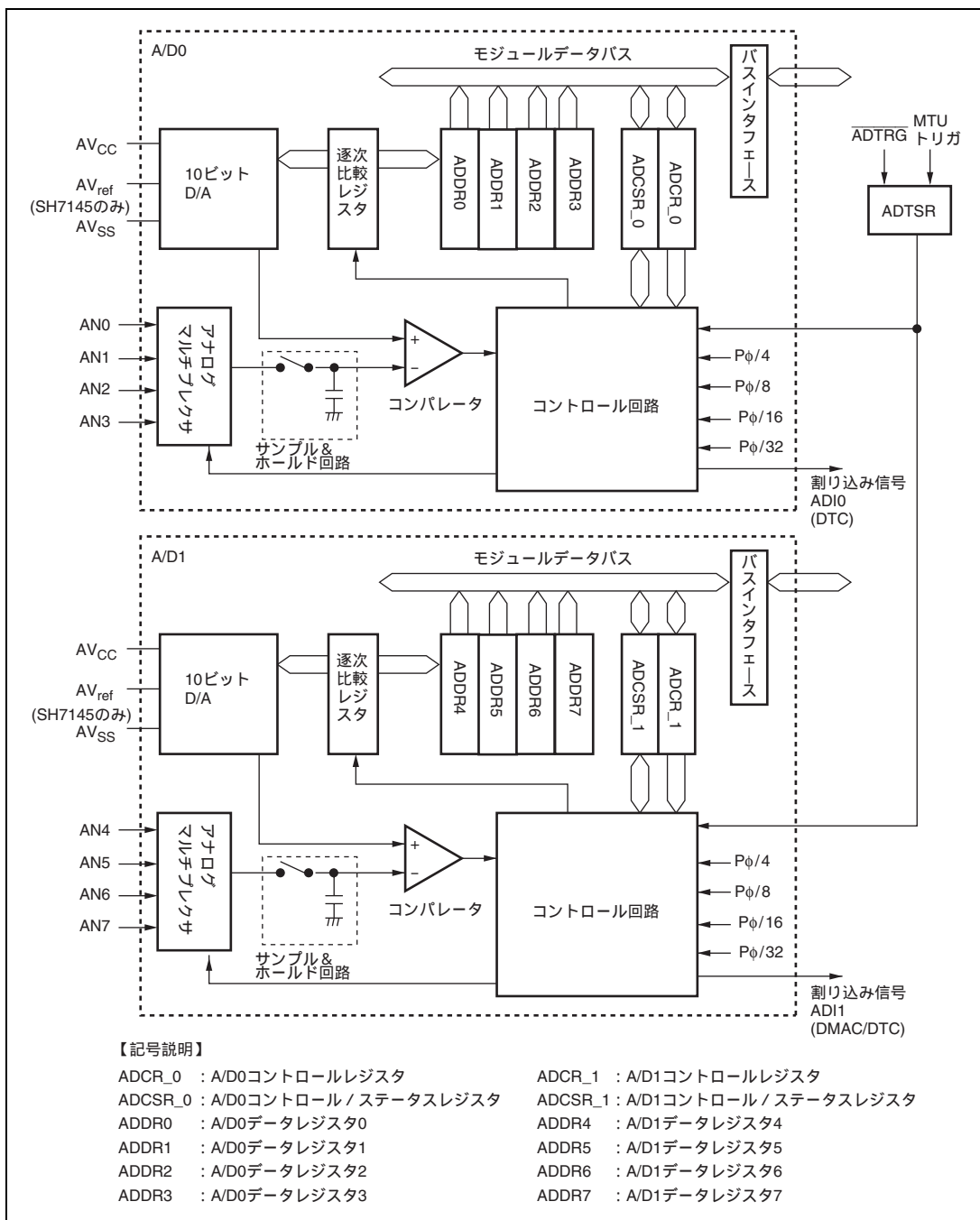


図 15.1 A/D 変換器のブロック図

15.2 入出力端子

A/D 変換器で使用する端子を表 15.1 に示します。本 LSI は 2 個の A/D 変換モジュールで構成され、それぞれのモジュールは独立に動作させることができます。また、入力チャネルは、4 チャネルごとのグループに分割されています。

使用可能な端子は、表 15.1 に示すようになります。

表 15.1 端子構成

モジュール区分	端子名	入出力	機 能
共通	AVcc	入力	アナログ部の電源端子および基準電圧
	AVref	入力	A/D 変換の基準電圧 (SH7145 のみ)
	AVss	入力	アナログ部のグラウンドおよび基準電圧
	ADTRG	入力	A/D 外部トリガ入力端子
A/D モジュール 0 (A/D0)	AN0	入力	アナログ入力端子 0
	AN1	入力	アナログ入力端子 1
	AN2	入力	アナログ入力端子 2
	AN3	入力	アナログ入力端子 3
A/D モジュール 1 (A/D1)	AN4	入力	アナログ入力端子 4
	AN5	入力	アナログ入力端子 5
	AN6	入力	アナログ入力端子 6
	AN7	入力	アナログ入力端子 7

【注】 端子ごとに、接続される A/D モジュールが異なります。モジュールごとに制御レジスタを持つので、それぞれ設定をしてください。

また、SH7144 では、AVref は LSI 内部で AVcc に接続されています。

15.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- A/Dデータレジスタ0 (ADDR0)
- A/Dデータレジスタ1 (ADDR1)
- A/Dデータレジスタ2 (ADDR2)
- A/Dデータレジスタ3 (ADDR3)
- A/Dデータレジスタ4 (ADDR4)
- A/Dデータレジスタ5 (ADDR5)
- A/Dデータレジスタ6 (ADDR6)
- A/Dデータレジスタ7 (ADDR7)
- A/Dコントロール/ステータスレジスタ_0 (ADCSR_0)
- A/Dコントロール/ステータスレジスタ_1 (ADCSR_1)
- A/Dコントロールレジスタ_0 (ADCR_0)
- A/Dコントロールレジスタ_1 (ADCR_1)
- A/Dトリガセレクトレジスタ (ADTSR)

15.3.1 A/D データレジスタ 0 ~ 7 (ADDR0 ~ ADDR7)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。各アナログ入力チャネルの変換結果は、対応する番号の ADDR に格納されます。（たとえば、AN4 の変換結果は A/D データレジスタ ADDR4 に格納されます。）

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイトのみリードしてください。

ADDR の初期値は H'0000 です。

15.3.2 A/D コントロール/ステータスレジスタ_0、1 (ADCSR_0、1)

ADCSR はモジュールごとに持ち、A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DTC または DMAC が起動され、DTC の DTMR ビットが 0 のときに ADDR からデータをリードしたとき
6	ADIE	0	R/W	A/D インタラプト(ADI)イネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。
5		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	ADM	0	R/W	A/D 動作モードセレクト A/D 変換の動作モードを選択します。 0 : シングルモード 1 : スキャンモード 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。
3		1	R	リザーブビットです。 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2		0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CH1	0	R/W	チャンネルセレクト 1、0
0	CH0	0	R/W	A/D 変換するアナログ入力チャンネルを選択します。表 15.2 参照。 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

15. A/D 変換器

表 15.2 チャンネルセレクト一覧表

ビット 1	ビット 0	アナログ入力チャンネル			
		シングルモード		スキャンモード	
		A/D0	A/D1	A/D0	A/D1
CH1	0	AN0	AN4	AN0	AN4
	1	AN1	AN5	AN0、1	AN4、5
0	0	AN2	AN6	AN0~2	AN4~6
	1	AN3	AN7	AN0~3	AN4~7

15.3.3 A/D コントロールレジスタ_0、1 (ADCR_0、1)

ADCR はモジュールごとに持ち、外部トリガによる A/D 変換開始制御および動作クロックの選択を行うレジスタです。

ビット	ビット名	初期値	R/W	説明
7	TRGE	0	R/W	トリガイネーブル ADTRG、MTU トリガによる A/D 変換開始を設定します。 0：トリガによる開始は無効 1：トリガによる開始は有効
6	CKS1	0	R/W	クロックセレクト 1、0 A/D 変換時間の設定を行います。 00：Pφ/32 01：Pφ/16 10：Pφ/8 11：Pφ/4 A/D 変換時間の切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。 CKS[1,0] = b'11 の設定は Pφ 25MHz まで可能です。
5	CKS0	0	R/W	
4	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードおよび 1 サイクルスキャンモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。連続スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモードまたはモジュールスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。

ビット	ビット名	初期値	R/W	説明
3	ADCS	0	R/W	A/D 連続スキャン スキャンモード時の 1 サイクルスキャン / 連続スキャンを選択するビットです。スキャンモード時のみ有効です。 0 : 1 サイクルスキャン 1 : 連続スキャン 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。
2~0		すべて 1	R	リザーブビットです。 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

15.3.4 A/D トリガセレクトレジスタ (ADTSR)

ADTSR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3 2	TRG1S1 TRG1S0	0 0	R/W R/W	AD トリガ 1 セレクト 1、0 トリガ信号による A/D1 モジュールの変換開始をイネーブルにします。 00 : 外部トリガ端子 ($\overline{\text{ADTRG}}$) または MTU のトリガを選択 01 : 外部トリガ端子 ($\overline{\text{ADTRG}}$) を選択 10 : MTU の変換開始トリガを選択 11 : 設定禁止 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の TRGE および ADST が 0 の状態で行ってください。
1 0	TRG0S1 TRG0S0	0 0	R/W R/W	AD トリガ 0 セレクト 1、0 トリガ信号による A/D0 モジュールの変換開始をイネーブルにします。 00 : 外部トリガ端子 ($\overline{\text{ADTRG}}$) または MTU のトリガを選択 01 : 外部トリガ端子 ($\overline{\text{ADTRG}}$) を選択 10 : MTU の変換開始トリガを選択 11 : 設定禁止 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の TRGE および ADST が 0 の状態で行ってください。

15.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。スキャンモードには、連続スキャンモードと 1 サイクルスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCR の ADST ビットが 0 の状態で行ってください。動作モードの変更と ADST ビットのセットは同時に行うことができます。

15.4.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、MTU、または外部トリガ入力によって ADCR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると変換を中止して A/D 変換器は待機状態になります。

15.4.2 連続スキャンモード

連続スキャンモードは指定されたチャネルのアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェア、MTU、または外部トリガ入力によって ADCR の ADST ビットが 1 にセットされると、グループのアナログ入力チャネル番号の小さい順（たとえば、AN0、AN1...3）に A/D 変換を実行します。
2. それぞれのチャネルの A/D 変換が終了すると A/D 変換結果は順次そのチャネルに対応する A/D データレジスタに転送されます。
3. 選択されたすべてのチャネルの A/D 変換が終了すると ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。A/D 変換器は再びグループの第 1 チャネルから A/D 変換を開始します。
4. ADST ビットは自動的にクリアされず、1 にセットされている間は 2、3 を繰り返します。ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。

15.4.3 1 サイクルスキャンモード

1 サイクルスキャンモードは指定されたチャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、MTU、または外部トリガ入力によって ADCR の ADST ビットが 1 にセットされると、グループのアナログ入力チャンネル番号の小さい順（たとえば、AN0、AN1...3）に A/D 変換を実行します。
2. それぞれのチャンネルの A/D 変換が終了すると A/D 変換結果は順次そのチャンネルに対応する A/D データレジスタに転送されます。
3. 選択されたすべてのチャンネルの A/D 変換が終了すると ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると変換を中止して A/D 変換器は待機状態になります。

15.4.4 入力サンプリングと A/D 変換時間

A/D 変換器には、モジュールごとにサンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間(t_D)時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 15.2 に示します。また、A/D 変換時間を表 15.3 に示します。

A/D 変換時間(t_{CONV})は、図 15.2 に示すように、 t_D と入力サンプリング時間(t_{SPL})を含めた時間となります。ここで t_D は、ADCR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 15.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 15.4 に示す値となります。

15. A/D 変換器

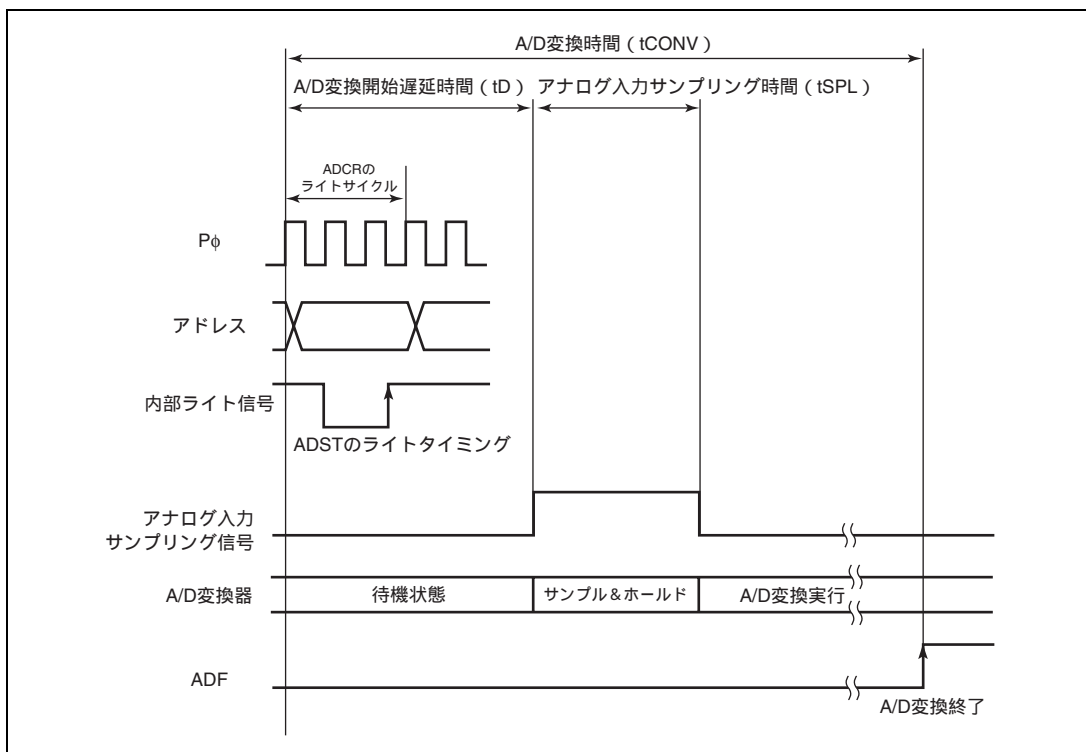


図 15.2 A/D 変換タイミング

表 15.3 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t _D	31	-	62	15	-	30	7	-	14	3	-	6
入力サンプリング時間	t _{SPL}	-	256	-	-	128	-	-	64	-	-	32	-
A/D 変換時間	t _{CONV}	1024	-	1055	515	-	530	259	-	266	131	-	134

【注】表中の数値の単位は Pφ に対するステートです。

表 15.4 A/D 変換時間 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	1024 (固定)
	1	512 (固定)
1	0	256 (固定)
	1	128 (固定)

15.4.5 MTU による A/D 変換器の起動

MTU の A/D 変換要求によって、A/D 変換器を独立に起動することができます。

MTU から A/D 変換器を起動するときには、A/D トリガセレクトレジスタ (ADTSR) および A/D コントロールレジスタ (ADCR) の設定を行います。この状態で MTU の A/D 変換要求が発生すると、ADST ビットが 1 にセットされます。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

15.4.6 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADTSR の TRGS1、TRGS0 ビットが 00 または 01 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 15.3 に示します。

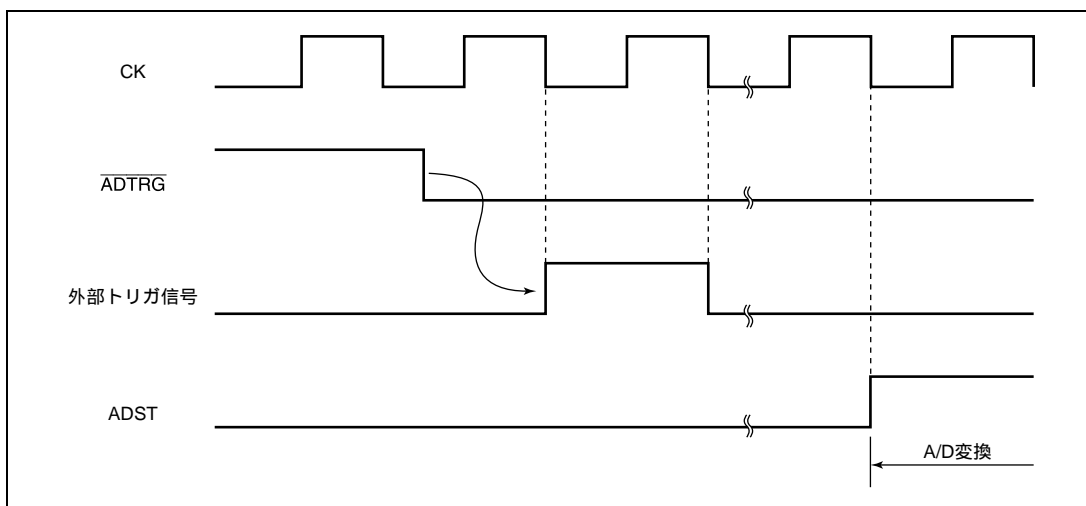


図 15.3 外部トリガ入力タイミング

15.5 割り込み要因と DTC、DMAC 転送要求

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みでデータトランスファコントローラ (DTC) またはダイレクトメモリアクセスコントローラ (DMAC) の起動ができます。ADI 割り込みで変換されたデータのリードを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。

ADI で DTC/DMAC を起動する場合、DTC/DMAC によるデータ転送時に ADCSR の ADF ビットは自動的にクリアされます。

表 15.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動
ADI0	A/D0 変換終了	ADCSR_0 の ADF	可	不可
ADI1	A/D1 変換終了	ADCSR_1 の ADF	可	可

15.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図15.4)

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'00) からB'000000001 (H'01) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.5)

- フルスケール誤差

デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.5)

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図15.5)。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

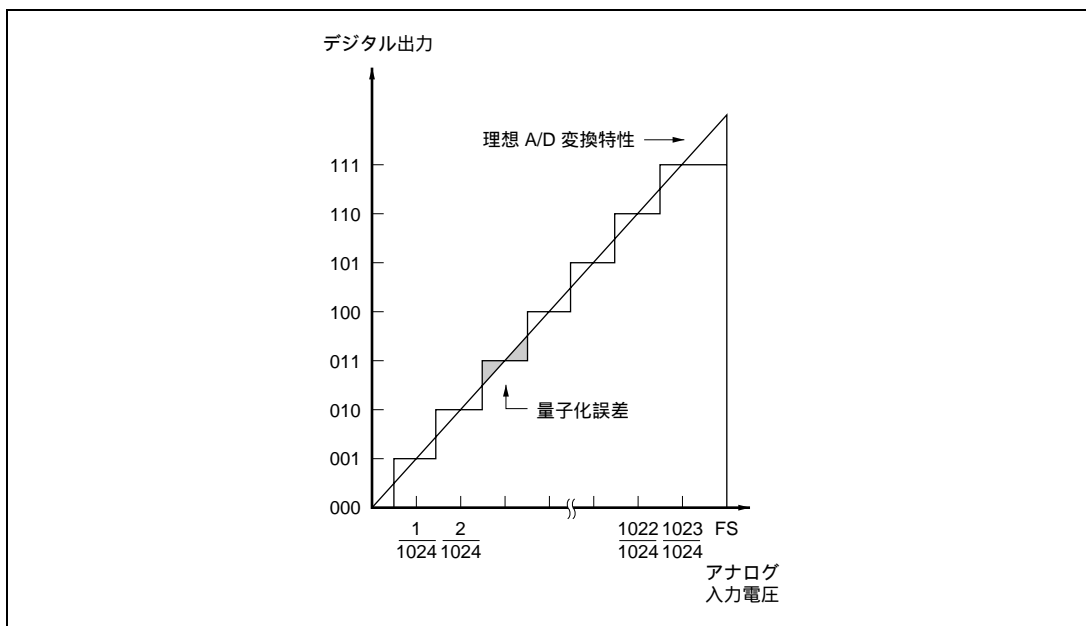


図 15.4 A/D 変換精度の定義

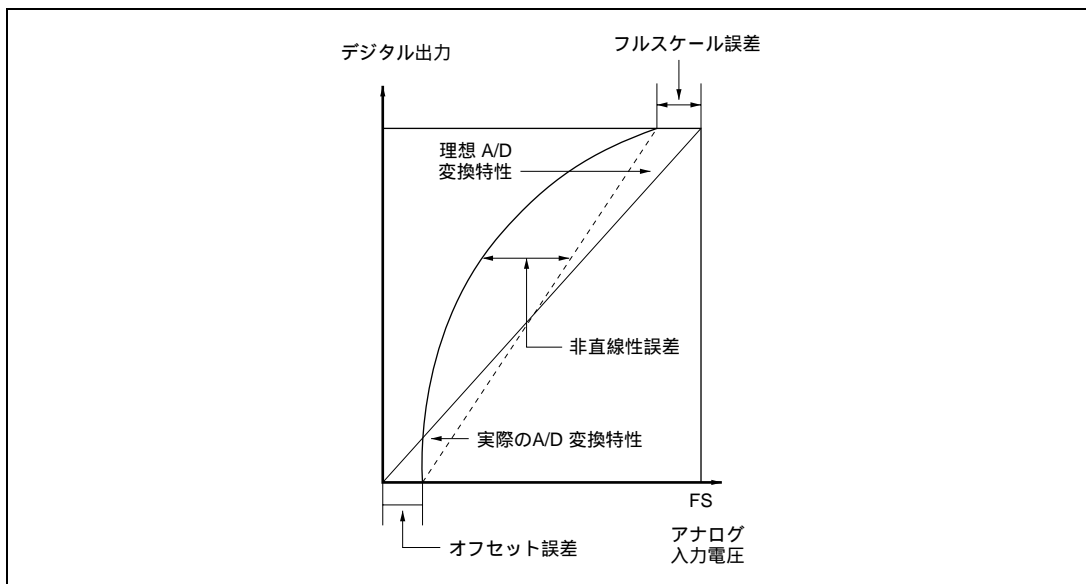


図 15.5 A/D 変換精度の定義

15.7 使用上の注意事項

15.7.1 モジュールスタンバイモードの設定

A/D 変換器は、モジュールスタンバイコントロールレジスタにより、本モジュールの禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止しています。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

15.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $1\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $1\text{k}\Omega$ を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 15.6）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

15.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルター回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

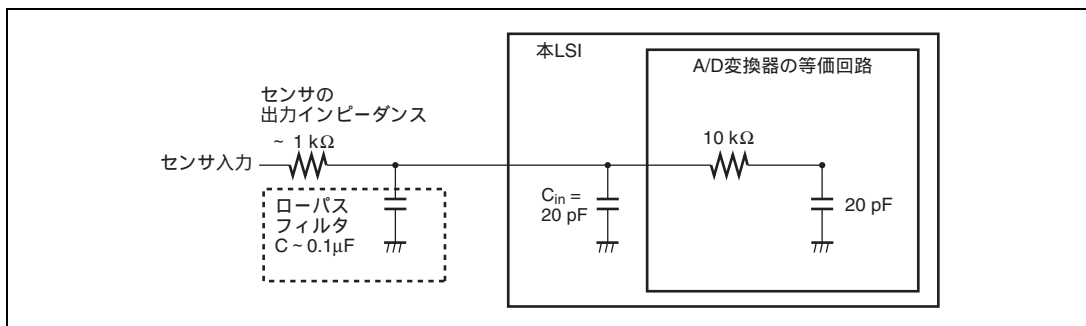


図 15.6 アナログ入力回路の例

15.7.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧(VANn)はAVss、VANn、AVccの範囲としてください。

- AVcc、AVssとVcc、Vssの関係

AVcc、AVssとVcc、Vssとの関係はAVcc = Vcc ± 0.3V、AVss = Vssとし、さらに、A/D変換器を使用しない場合もAVcc = Vcc、AVss = Vssとしてください。

- AVref入力電圧の設定範囲 (SH7145のみ)

AVref端子入力電圧は、AVref、AVccとしてください。

A/D変換器を使用しない場合、AVref = AVccとしてください。

15.7.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子(AN0~AN7)、アナログ電源電圧(AVcc)は、アナロググランド(AVss)で、デジタル回路と分離してください。さらに、アナロググランド(AVss)は、ボード上の安定したグランド(Vss)に一点接続してください。

15.7.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子(AN0~AN7)の破壊を防ぐために、図 15.7 に示すようにAVcc - AVss間に保護回路を接続してください。AVccに接続するバイパスコンデンサ、AN0~AN7に接続するフィルタ用のコンデンサは、必ずAVssに接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0~AN7の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどでA/D変換を頻繁に行う場合、A/D変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス(Rin)を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

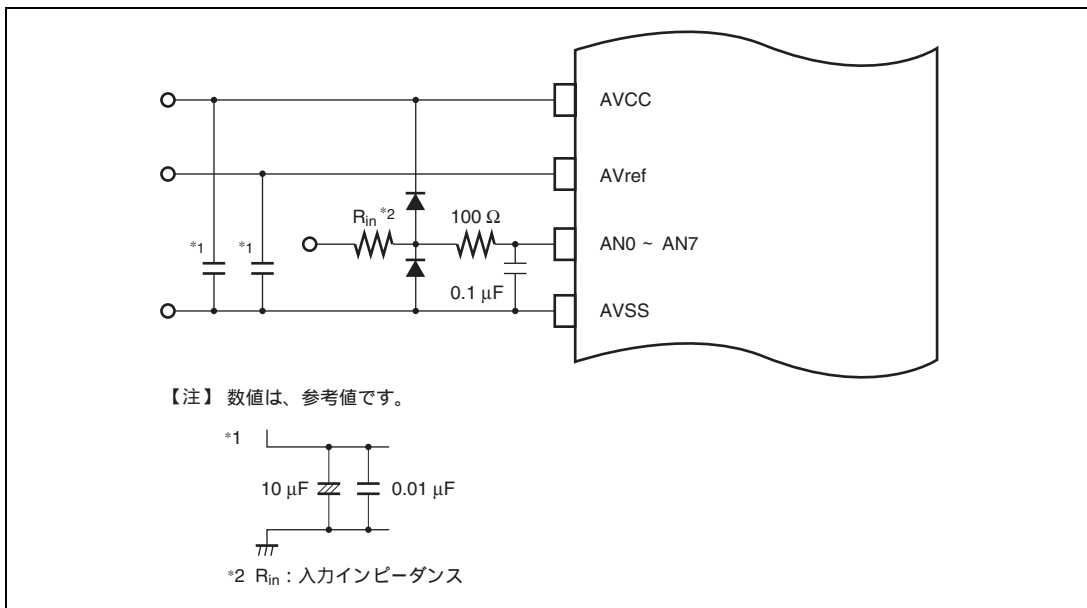


図 15.7 アナログ入力保護回路の例

表 15.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	1	k Ω

16. コンペアマッチタイマ (CMT)

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

16.1 特長

- 4種類のカウンタ入力クロックを選択可能
4種類の内部クロック ($P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$) の中から各チャンネル独立に選択できます。
- 割り込み要因
コンペアマッチ割り込みを各チャンネル独立に要求することができます。
- モジュールスタンバイモードの設定可能

CMT のブロック図を図 16.1 に示します。

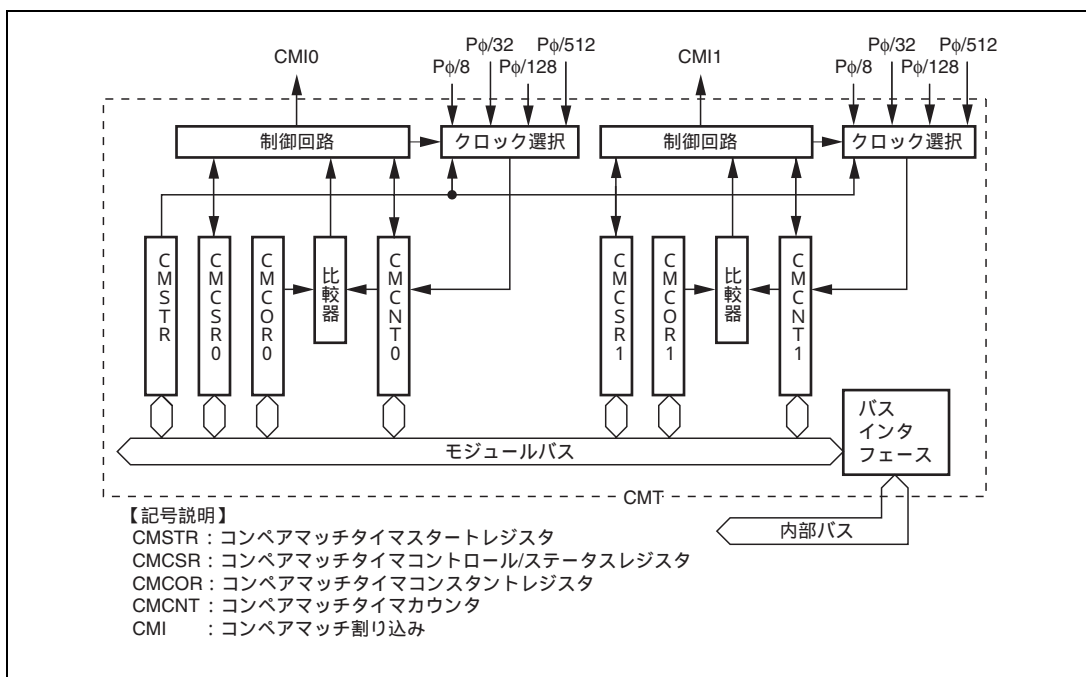


図 16.1 CMT のブロック図

16.2 レジスタの説明

CMT には以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- コンペアマッチタイマスタートレジスタ (CMSTR)
- コンペアマッチタイマコントロール/ステータスレジスタ_0 (CMCSR_0)
- コンペアマッチタイマカウンタ_0 (CMCNT_0)
- コンペアマッチタイマコンスタントレジスタ_0 (CMCOR_0)
- コンペアマッチタイマコントロール/ステータスレジスタ_1 (CMCSR_1)
- コンペアマッチタイマカウンタ_1 (CMCNT_1)
- コンペアマッチタイマコンスタントレジスタ_1 (CMCOR_1)

16.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR はチャンネル 0、1 のカウンタ (CMCNT) を動作させるか、停止させるかの設定を行います。CMSTR レジスタは 16 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明
15~2		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STR1	0	R/W	カウントスタート 1 コンペアマッチタイマカウンタ_1 を動作させるか、停止させるかを選択します。 0 : CMCNT_1 のカウント動作は停止 1 : CMCNT_1 はカウント動作
0	STR0	0	R/W	カウントスタート 0 コンペアマッチタイマカウンタ_0 を動作させるか、停止させるかを選択します。 0 : CMCNT_0 のカウント動作は停止 1 : CMCNT_0 はカウント動作

16.2.2 コンペアマッチタイマコントロール/ステータスレジスタ_0、1 (CMCSR_0、1)

CMCSR はコンペアマッチ発生の表示、割り込みの許可 / 禁止の設定、カウントアップに用いられるクロックの設定を行います。CMCSR レジスタは 16 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明
15~8		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。 0 : CMCNT と CMCOR の値が一致していない 1 : CMCNT と CMCOR の値が一致した [クリア条件] (1) CMF の 1 を読み出してから 0 を書き込む (2) CMI 割り込みにより DTC が起動され、DTC の DTMR の DIESEL ビットが 0 のときにデータを転送したとき
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0 : コンペアマッチ割り込み (CMI) を禁止 1 : コンペアマッチ割り込み (CMI) を許可
5~2		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1 0	CKS1 CKS0	0 0	R/W R/W	周辺クロック (P ϕ) を分周して得られる 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットを 1 にセットすると、CKS1、CKS0 で選択されたクロックにより CMCNT がカウントアップを開始します。 00 : P ϕ / 8 01 : P ϕ / 32 10 : P ϕ / 128 11 : P ϕ / 512

【注】 * フラグをクリアするための 0 ライトのみ可能です。

16.2.3 コンペアマッチタイマカウンタ_0、1 (CMCNT_0、1)

CMCNT は割り込み要求を発生させるためのアップカウンタとして使用します。

CMCNT レジスタは 16 ビットのレジスタです。初期値は H'0000 です。

16. コンペアマッチタイム (CMT)

16.2.4 コンペアマッチタイムコンスタントレジスタ_0、1 (CMCOR_0、1)

CMCOR は CMCNT とのコンペアマッチ周期を設定します。

CMCOR レジスタは 16 ビットのレジスタです。初期値は H'FFFF です。

16.3 動作説明

16.3.1 周期カウント動作

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR レジスタの STR ビットを 1 にセットすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。CMCNT カウンタの値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT カウンタは H'0000 にクリアされ、CMCSR レジスタの CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT カウンタは H'0000 から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図 16.2 に示します。

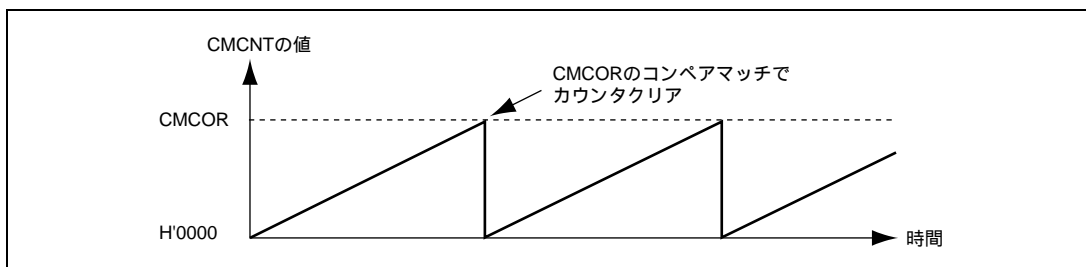


図 16.2 カウンタの動作

16.3.2 CMCNT のカウントタイミング

CMCSR の CKS1、CKS0 ビットにより、周辺クロック ($P\phi$) を分周した 4 種類の内部クロック ($P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$) が選択できます。このときのタイミングを図 16.3 に示します。

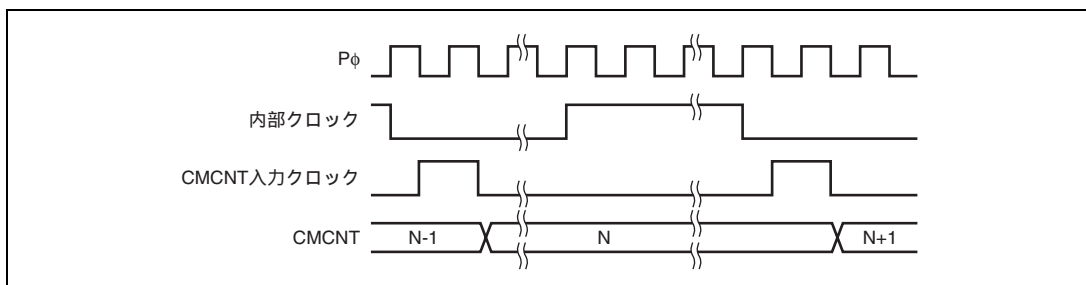


図 16.3 カウントタイミング

16.4 割り込み

16.4.1 割り込み要因と DTC の起動

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「第 6 章 割り込みコントローラ (INTC)」を参照してください。

また、割り込み要求をデータトランスファコントローラ (DTC) の起動要因とすることもできます。この場合、チャンネル間の優先順位は固定です。詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

16.4.2 コンペアマッチフラグのセットタイミング

CMCSR レジスタの CMF ビットは、CMCOR レジスタと CMCNT カウンタが一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタと CMCOR レジスタが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF ビットのセットタイミングを図 16.4 に示します。

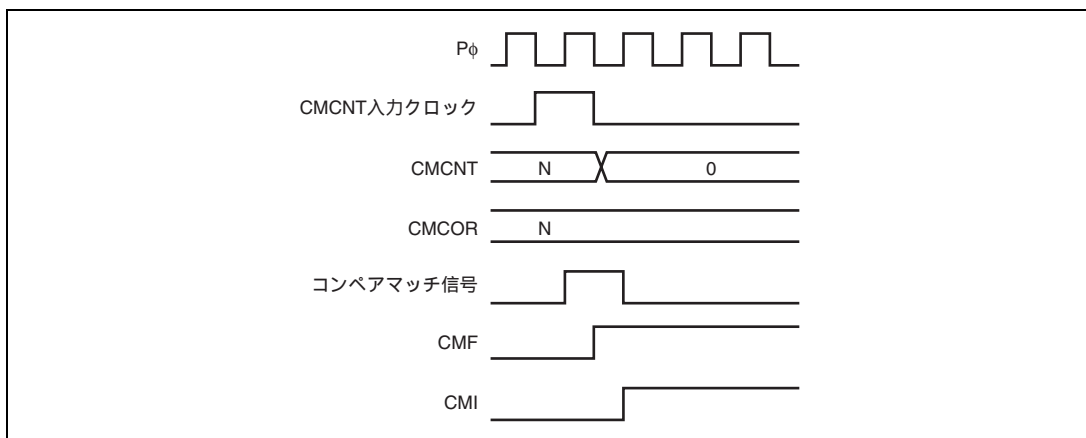


図 16.4 CMF のセットタイミング

16.4.3 コンペアマッチフラグのクリアタイミング

CMCSR レジスタの CMF ビットは、1 の状態を読み出したあとに 0 を書き込むか、DTC 転送後のクリア信号によりクリアされます。CPU による CMF ビットのクリアタイミングを図 16.5 に示します。

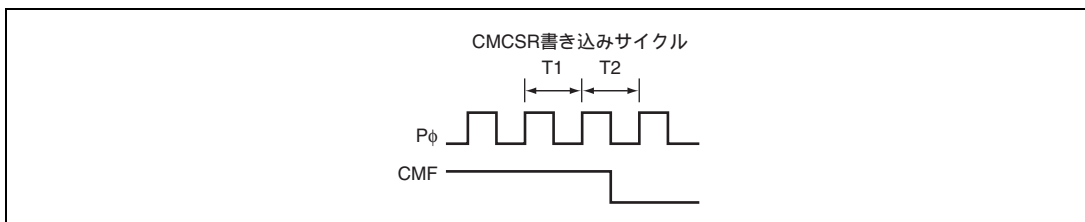


図 16.5 CPU による CMF のクリアタイミング

16.5 使用上の注意

16.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 16.6 に示します。

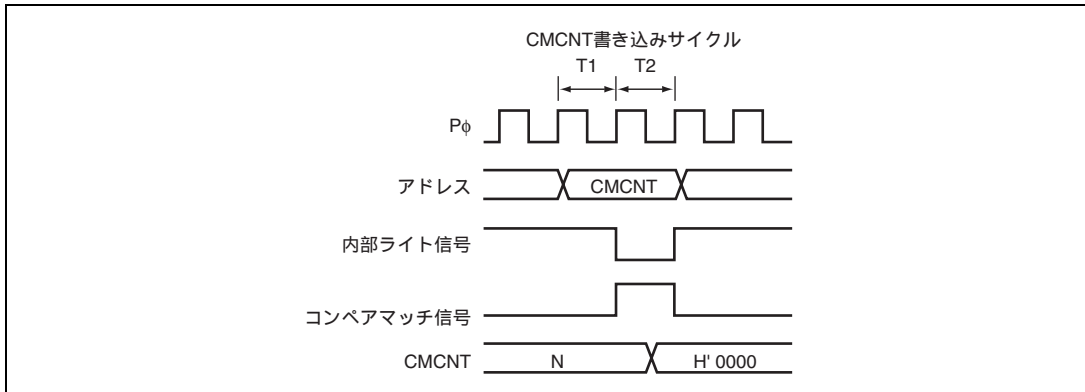


図 16.6 CMCNT の書き込みとコンペアマッチの競合

16.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 16.7 に示します。

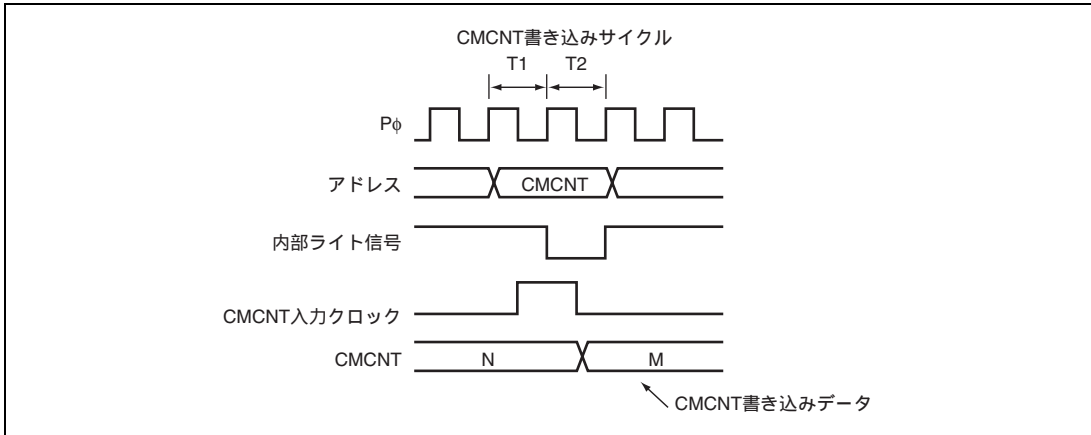


図 16.7 CMCNT のワード書き込みとカウントアップの競合

16.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNT(上位バイト)ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 16.8 に示します。

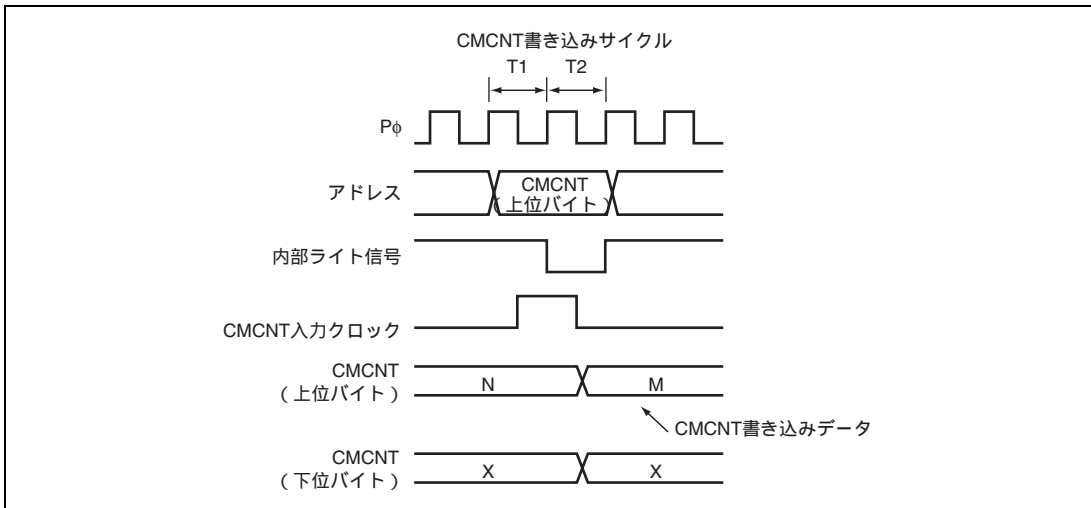


図 16.8 CMCNT のバイト書き込みとカウントアップの競合

17. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ(PFC)は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 17.1~表 17.12 に本 LSI のマルチプレクス端子を示します。

表 17.13、表 17.14 に動作モード別端子機能一覧を示します。

表 17.1 マルチプレクス一覧表 (SH7144、ポート A)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
A	PA0 入出力 (ボ - ト)	RXD0 入力 (SCI)	-	-
	PA1 入出力 (ボ - ト)	TXD0 出力 (SCI)	-	-
	PA2 入出力 (ボ - ト)	SCK0 入出力 (SCI)	DREQ0 入力 (DMAC)	IRQ0 入力 (INTC)
	PA3 入出力 (ボ - ト)	RXD1 入力 (SCI)	-	-
	PA4 入出力 (ボ - ト)	TXD1 出力 (SCI)	-	-
	PA5 入出力 (ボ - ト)	SCK1 入出力 (SCI)	DREQ1 入力 (DMAC)	IRQ1 入力 (INTC)
	PA6 入出力 (ボ - ト)	TCLKA 入力 (MTU)	CS2 出力 (BSC)	-
	PA7 入出力 (ボ - ト)	TCLKB 入力 (MTU)	CS3 出力 (BSC)	-
	PA8 入出力 (ボ - ト)	TCLKC 入力 (MTU)	IRQ2 入力 (INTC)	-
	PA9 入出力 (ボ - ト)	TCLKD 入力 (MTU)	IRQ3 入力 (INTC)	-
	PA10 入出力 (ボ - ト)	CS0 出力 (BSC)	-	-
	PA11 入出力 (ボ - ト)	CS1 出力 (BSC)	-	-
	PA12 入出力 (ボ - ト)	WRH 出力 (BSC)	-	-
	PA13 入出力 (ボ - ト)	WRH 出力 (BSC)	-	-
	PA14 入出力 (ボ - ト)	RD 出力 (BSC)	-	-
PA15 入出力 (ボ - ト)	CK 出力 (CPG)	-	-	

17. ピンファンクションコントローラ (PFC)

表 17.2 マルチプレクス一覧表 (SH7144、ポート B)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
B	PB0 入出力 (ボ - ト)	A16 出力 (BSC)	-	-	-
	PB1 入出力 (ボ - ト)	A17 出力 (BSC)	-	-	-
	PB2 入出力 (ボ - ト)	$\overline{\text{IRQ0}}$ 入力 (INTC)	POE0 入力 (ボ - ト)	-	SCL0 入出力 (IIC)
	PB3 入出力 (ボ - ト)	$\overline{\text{IRQ1}}$ 入力 (INTC)	POE1 入力 (ボ - ト)	-	SDA0 入出力 (IIC)
	PB4 入出力 (ボ - ト)	$\overline{\text{IRQ2}}$ 入力 (INTC)	POE2 入力 (ボ - ト)	CS6 出力 (BSC) *	-
	PB5 入出力 (ボ - ト)	$\overline{\text{IRQ3}}$ 入力 (INTC)	POE3 入力 (ボ - ト)	CS7 出力 (BSC) *	-
	PB6 入出力 (ボ - ト)	$\overline{\text{IRQ4}}$ 入力 (INTC)	A18 出力 (BSC)	BACK 出力 (BSC)	-
	PB7 入出力 (ボ - ト)	$\overline{\text{IRQ5}}$ 入力 (INTC)	A19 出力 (BSC)	BREQ 入力 (BSC)	-
	PB8 入出力 (ボ - ト)	$\overline{\text{IRQ6}}$ 入力 (INTC)	A20 出力 (BSC)	WAIT 入力 (BSC)	-
	PB9 入出力 (ボ - ト)	$\overline{\text{IRQ7}}$ 入力 (INTC)	A21 出力 (BSC)	ADTRG 入力 (A/D)	-

【注】 * マスク ROM 版、および ROM レス版のみ。

表 17.3 マルチプレクス一覧表 (SH7144、ポート C)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
C	PC0 入出力 (ボ - ト)	A0 出力 (BSC)	-	-
	PC1 入出力 (ボ - ト)	A1 出力 (BSC)	-	-
	PC2 入出力 (ボ - ト)	A2 出力 (BSC)	-	-
	PC3 入出力 (ボ - ト)	A3 出力 (BSC)	-	-
	PC4 入出力 (ボ - ト)	A4 出力 (BSC)	-	-
	PC5 入出力 (ボ - ト)	A5 出力 (BSC)	-	-
	PC6 入出力 (ボ - ト)	A6 出力 (BSC)	-	-
	PC7 入出力 (ボ - ト)	A7 出力 (BSC)	-	-
	PC8 入出力 (ボ - ト)	A8 出力 (BSC)	-	-
	PC9 入出力 (ボ - ト)	A9 出力 (BSC)	-	-
	PC10 入出力 (ボ - ト)	A10 出力 (BSC)	-	-

17. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
C	PC11 入出力 (ボ - ト)	A11 出力 (BSC)	-	-
	PC12 入出力 (ボ - ト)	A12 出力 (BSC)	-	-
	PC13 入出力 (ボ - ト)	A13 出力 (BSC)	-	-
	PC14 入出力 (ボ - ト)	A14 出力 (BSC)	-	-
	PC15 入出力 (ボ - ト)	A15 出力 (BSC)	-	-

表 17.4 マルチプレクス一覧表 (SH7144、ポート D)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
D	PD0 入出力 (ボ - ト)	D0 入出力 (BSC)	-	-
	PD1 入出力 (ボ - ト)	D1 入出力 (BSC)	-	-
	PD2 入出力 (ボ - ト)	D2 入出力 (BSC)	-	-
	PD3 入出力 (ボ - ト)	D3 入出力 (BSC)	-	-
	PD4 入出力 (ボ - ト)	D4 入出力 (BSC)	-	-
	PD5 入出力 (ボ - ト)	D5 入出力 (BSC)	-	-
	PD6 入出力 (ボ - ト)	D6 入出力 (BSC)	-	-
	PD7 入出力 (ボ - ト)	D7 入出力 (BSC)	-	-
	PD8 入出力 (ボ - ト)	D8 入出力 (BSC)	AUDATA0 入出力 (AUD) *	-
	PD9 入出力 (ボ - ト)	D9 入出力 (BSC)	AUDATA1 入出力 (AUD) *	-
	PD10 入出力 (ボ - ト)	D10 入出力 (BSC)	AUDATA2 入出力 (AUD) *	-
	PD11 入出力 (ボ - ト)	D11 入出力 (BSC)	AUDATA3 入出力 (AUD) *	-
	PD12 入出力 (ボ - ト)	D12 入出力 (BSC)	$\overline{\text{AUDRST}}$ 入力 (AUD) *	-
	PD13 入出力 (ボ - ト)	D13 入出力 (BSC)	AUDMD 入力 (AUD) *	-
	PD14 入出力 (ボ - ト)	D14 入出力 (BSC)	AUDCK 入出力 (AUD) *	-
PD15 入出力 (ボ - ト)	D15 入出力 (BSC)	$\overline{\text{AUDSYNC}}$ 入出力 (AUD) *	-	

【注】 * F-ZTAT 版のみ。

17. ピンファンクションコントローラ (PFC)

表 17.5 マルチプレクス一覧表 (SH7144、ポート E)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
E	PE0 入出力 (ボ - ト)	TIOC0A 入出力 (MTU)	$\overline{\text{DREQ0}}$ 入力 (DMAC)	TMS 入力 (H-UDI) *
	PE1 入出力 (ボ - ト)	TIOC0B 入出力 (MTU)	DRAK0 出力 (DMAC)	$\overline{\text{TRST}}$ 入力 (H-UDI) *
	PE2 入出力 (ボ - ト)	TIOC0C 入出力 (MTU)	$\overline{\text{DREQ1}}$ 入力 (DMAC)	TDI 入力 (H-UDI) *
	PE3 入出力 (ボ - ト)	TIOC0D 入出力 (MTU)	DRAK1 出力 (DMAC)	TDO 出力 (H-UDI) *
	PE4 入出力 (ボ - ト)	TIOC1A 入出力 (MTU)	RXD3 入力 (SCI)	TCK 入力 (H-UDI) *
	PE5 入出力 (ボ - ト)	TIOC1B 入出力 (MTU)	TXD3 出力 (SCI)	-
	PE6 入出力 (ボ - ト)	TIOC2A 入出力 (MTU)	SCK3 入出力 (SCI)	-
	PE7 入出力 (ボ - ト)	TIOC2B 入出力 (MTU)	RXD2 入力 (SCI)	-
	PE8 入出力 (ボ - ト)	TIOC3A 入出力 (MTU)	SCK2 入出力 (SCI)	-
	PE9 入出力 (ボ - ト)	TIOC3B 入出力 (MTU)	-	SCK3 入出力 (SCI)
	PE10 入出力 (ボ - ト)	TIOC3C 入出力 (MTU)	TXD2 出力 (SCI)	-
	PE11 入出力 (ボ - ト)	TIOC3D 入出力 (MTU)	-	RXD3 入力 (SCI)
	PE12 入出力 (ボ - ト)	TIOC4A 入出力 (MTU)	-	TXD3 出力 (SCI)
	PE13 入出力 (ボ - ト)	TIOC4B 入出力 (MTU)	$\overline{\text{MRES}}$ 入力 (INTC)	-
	PE14 入出力 (ボ - ト)	TIOC4C 入出力 (MTU)	DACK0 出力 (DMAC)	-
PE15 入出力 (ボ - ト)	TIOC4D 入出力 (MTU)	DACK1 出力 (DMAC)	$\overline{\text{IRQOUT}}$ 出力 (INTC)	

【注】 * F-ZTAT 版のみ。

表 17.6 マルチプレクス一覧表 (SH7144、ポート F)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
F	PF0 入力 (ボ - ト)	AN0 入力 (A/D)	-	-
	PF1 入力 (ボ - ト)	AN1 入力 (A/D)	-	-
	PF2 入力 (ボ - ト)	AN2 入力 (A/D)	-	-
	PF3 入力 (ボ - ト)	AN3 入力 (A/D)	-	-
	PF4 入力 (ボ - ト)	AN4 入力 (A/D)	-	-
	PF5 入力 (ボ - ト)	AN5 入力 (A/D)	-	-
	PF6 入力 (ボ - ト)	AN6 入力 (A/D)	-	-
	PF7 入力 (ボ - ト)	AN7 入力 (A/D)	-	-

17. ピンファンクションコントローラ (PFC)

表 17.7 マルチプレクス一覧表 (SH7145、ポート A)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
A	PA0 入出力 (ボ - ト)	RXD0 入力 (SCI)	-	-
	PA1 入出力 (ボ - ト)	TXD0 出力 (SCI)	-	-
	PA2 入出力 (ボ - ト)	SCK0 入出力 (SCI)	$\overline{\text{DREQ0}}$ 入力 (DMAC)	$\overline{\text{IRQ0}}$ 入力 (INTC)
	PA3 入出力 (ボ - ト)	RXD1 入力 (SCI)	-	-
	PA4 入出力 (ボ - ト)	TXD1 出力 (SCI)	-	-
	PA5 入出力 (ボ - ト)	SCK1 入出力 (SCI)	$\overline{\text{DREQ1}}$ 入力 (DMAC)	$\overline{\text{IRQ1}}$ 入力 (INTC)
	PA6 入出力 (ボ - ト)	TCLKA 入力 (MTU)	$\overline{\text{CS2}}$ 出力 (BSC)	-
	PA7 入出力 (ボ - ト)	TCLKB 入力 (MTU)	$\overline{\text{CS3}}$ 出力 (BSC)	-
	PA8 入出力 (ボ - ト)	TCLKC 入力 (MTU)	$\overline{\text{IRQ2}}$ 入力 (INTC)	-
	PA9 入出力 (ボ - ト)	TCLKD 入力 (MTU)	$\overline{\text{IRQ3}}$ 入力 (INTC)	-
	PA10 入出力 (ボ - ト)	$\overline{\text{CS0}}$ 出力 (BSC)	-	-
	PA11 入出力 (ボ - ト)	$\overline{\text{CS1}}$ 出力 (BSC)	-	-
	PA12 入出力 (ボ - ト)	$\overline{\text{WRL}}$ 出力 (BSC)	-	-
	PA13 入出力 (ボ - ト)	$\overline{\text{WRH}}$ 出力 (BSC)	-	-
	PA14 入出力 (ボ - ト)	$\overline{\text{RD}}$ 出力 (BSC)	-	-
	PA15 入出力 (ボ - ト)	CK 出力 (CPG)	-	-
	PA16 入出力 (ボ - ト)	-	-	AUDSYNC 入出力 (AUD)* ¹
	PA17 入出力 (ボ - ト)	$\overline{\text{WAIT}}$ 入力 (BSC)	-	-
	PA18 入出力 (ボ - ト)	$\overline{\text{BREQ}}$ 入力 (BSC)	DRAK0出力 (DMAC)	-
	PA19 入出力 (ボ - ト)	$\overline{\text{BACK}}$ 出力 (BSC)	DRAK1出力 (DMAC)	-
	PA20 入出力 (ボ - ト)	$\overline{\text{CS4}}$ 出力 (BSC)* ²	-	-
	PA21 入出力 (ボ - ト)	$\overline{\text{CS5}}$ 出力 (BSC)* ²	-	-
	PA22 入出力 (ボ - ト)	$\overline{\text{WRHL}}$ 出力 (BSC)	-	-
PA23 入出力 (ボ - ト)	$\overline{\text{WRHH}}$ 出力 (BSC)	-	-	

【注】 *1 F-ZTAT 版のみ。

*2 マスク ROM 版、および ROM レス版のみ。

表 17.8 マルチプレクス一覧表 (SH7145、ポート B)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
B	PB0 入出力 (ボ - ト)	A16 出力 (BSC)	-	-	-
	PB1 入出力 (ボ - ト)	A17 出力 (BSC)	-	-	-
	PB2 入出力 (ボ - ト)	$\overline{\text{IRQ0}}$ 入力 (INTC)	$\overline{\text{POE0}}$ 入力 (ボ - ト)	-	SCL0 入出力 (IIC)

17. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
B	PB3 入出力 (ボ - ト)	$\overline{\text{IRQ1}}$ 入力 (INTC)	POE1 入力 (ボ - ト)	-	SDA0 入出力 (IIC)
	PB4 入出力 (ボ - ト)	$\overline{\text{IRQ2}}$ 入力 (INTC)	POE2 入力 (ボ - ト)	CS6 出力 (BSC) *	-
	PB5 入出力 (ボ - ト)	$\overline{\text{IRQ3}}$ 入力 (INTC)	POE3 入力 (ボ - ト)	CS7 出力 (BSC) *	-
	PB6 入出力 (ボ - ト)	$\overline{\text{IRQ4}}$ 入力 (INTC)	A18 出力 (BSC)	BACK 出力 (BSC)	-
	PB7 入出力 (ボ - ト)	$\overline{\text{IRQ5}}$ 入力 (INTC)	A19 出力 (BSC)	BREQ 入力 (BSC)	-
	PB8 入出力 (ボ - ト)	$\overline{\text{IRQ6}}$ 入力 (INTC)	A20 出力 (BSC)	WAIT 入力 (BSC)	-
	PB9 入出力 (ボ - ト)	$\overline{\text{IRQ7}}$ 入力 (INTC)	A21 出力 (BSC)	ADTRG 入力 (A/D)	-

【注】 * マスク ROM 版、および ROM レス版のみ。

表 17.9 マルチプレクス一覧表 (SH7145、ポート C)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
C	PC0 入出力 (ボ - ト)	A0 出力 (BSC)	-	-
	PC1 入出力 (ボ - ト)	A1 出力 (BSC)	-	-
	PC2 入出力 (ボ - ト)	A2 出力 (BSC)	-	-
	PC3 入出力 (ボ - ト)	A3 出力 (BSC)	-	-
	PC4 入出力 (ボ - ト)	A4 出力 (BSC)	-	-
	PC5 入出力 (ボ - ト)	A5 出力 (BSC)	-	-
	PC6 入出力 (ボ - ト)	A6 出力 (BSC)	-	-
	PC7 入出力 (ボ - ト)	A7 出力 (BSC)	-	-
	PC8 入出力 (ボ - ト)	A8 出力 (BSC)	-	-
	PC9 入出力 (ボ - ト)	A9 出力 (BSC)	-	-
	PC10 入出力 (ボ - ト)	A10 出力 (BSC)	-	-
	PC11 入出力 (ボ - ト)	A11 出力 (BSC)	-	-
	PC12 入出力 (ボ - ト)	A12 出力 (BSC)	-	-
	PC13 入出力 (ボ - ト)	A13 出力 (BSC)	-	-
	PC14 入出力 (ボ - ト)	A14 出力 (BSC)	-	-
PC15 入出力 (ボ - ト)	A15 出力 (BSC)	-	-	

17. ピンファンクションコントローラ (PFC)

表 17.10 マルチプレクス一覧表 (SH7145、ポート D)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
D	PD0 入出力 (ボ - ト)	D0 入出力 (BSC)	-	-
	PD1 入出力 (ボ - ト)	D1 入出力 (BSC)	-	-
	PD2 入出力 (ボ - ト)	D2 入出力 (BSC)	-	-
	PD3 入出力 (ボ - ト)	D3 入出力 (BSC)	-	-
	PD4 入出力 (ボ - ト)	D4 入出力 (BSC)	-	-
	PD5 入出力 (ボ - ト)	D5 入出力 (BSC)	-	-
	PD6 入出力 (ボ - ト)	D6 入出力 (BSC)	-	-
	PD7 入出力 (ボ - ト)	D7 入出力 (BSC)	-	-
	PD8 入出力 (ボ - ト)	D8 入出力 (BSC)	-	-
	PD9 入出力 (ボ - ト)	D9 入出力 (BSC)	-	-
	PD10 入出力 (ボ - ト)	D10 入出力 (BSC)	-	-
	PD11 入出力 (ボ - ト)	D11 入出力 (BSC)	-	-
	PD12 入出力 (ボ - ト)	D12 入出力 (BSC)	-	-
	PD13 入出力 (ボ - ト)	D13 入出力 (BSC)	-	-
	PD14 入出力 (ボ - ト)	D14 入出力 (BSC)	-	-
	PD15 入出力 (ボ - ト)	D15 入出力 (BSC)	-	-
	PD16 入出力 (ボ - ト)	D16 入出力 (BSC)	$\overline{\text{IRQ0}}$ 入力 (INTC)	AUDATA0 入出力 (AUD) *
	PD17 入出力 (ボ - ト)	D17 入出力 (BSC)	$\overline{\text{IRQ1}}$ 入力 (INTC)	AUDATA1 入出力 (AUD) *
	PD18 入出力 (ボ - ト)	D18 入出力 (BSC)	$\overline{\text{IRQ2}}$ 入力 (INTC)	AUDATA2 入出力 (AUD) *
	PD19 入出力 (ボ - ト)	D19 入出力 (BSC)	$\overline{\text{IRQ3}}$ 入力 (INTC)	AUDATA3 入出力 (AUD) *
	PD20 入出力 (ボ - ト)	D20 入出力 (BSC)	$\overline{\text{IRQ4}}$ 入力 (INTC)	$\overline{\text{AUDRST}}$ 入力 (AUD) *
	PD21 入出力 (ボ - ト)	D21 入出力 (BSC)	$\overline{\text{IRQ5}}$ 入力 (INTC)	AUDMD 入力 (AUD) *
	PD22 入出力 (ボ - ト)	D22 入出力 (BSC)	$\overline{\text{IRQ6}}$ 入力 (INTC)	AUDCK 入出力 (AUD) *
	PD23 入出力 (ボ - ト)	D23 入出力 (BSC)	$\overline{\text{IRQ7}}$ 入力 (INTC)	$\overline{\text{AUDSYNC}}$ 入出力 (AUD) *
	PD24 入出力 (ボ - ト)	D24 入出力 (BSC)	$\overline{\text{DREQ0}}$ 入力 (DMAC)	-
	PD25 入出力 (ボ - ト)	D25 入出力 (BSC)	$\overline{\text{DREQ1}}$ 入力 (DMAC)	-
	PD26 入出力 (ボ - ト)	D26 入出力 (BSC)	DACK0 出力 (DMAC)	-
	PD27 入出力 (ボ - ト)	D27 入出力 (BSC)	DACK1 出力 (DMAC)	-
	PD28 入出力 (ボ - ト)	D28 入出力 (BSC)	$\overline{\text{CS2}}$ 出力 (BSC)	-
	PD29 入出力 (ボ - ト)	D29 入出力 (BSC)	$\overline{\text{CS3}}$ 出力 (BSC)	-
	PD30 入出力 (ボ - ト)	D30 入出力 (BSC)	$\overline{\text{IRQOUT}}$ 出力 (INTC)	-
	PD31 入出力 (ボ - ト)	D31 入出力 (BSC)	$\overline{\text{ADTRG}}$ 入力 (A/D)	-

【注】 * F-ZTAT 版のみ。

17. ピンファンクションコントローラ (PFC)

表 17.11 マルチプレクス一覧表 (SH7145、ポート E)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
E	PE0 入出力 (ボ - ト)	TIOC0A 入出力 (MTU)	$\overline{\text{DREQ0}}$ 入力 (DMAC)	AUDCK 入出力 (AUD) *
	PE1 入出力 (ボ - ト)	TIOC0B 入出力 (MTU)	DRAK0 出力 (DMAC)	AUDMD 入力 (AUD) *
	PE2 入出力 (ボ - ト)	TIOC0C 入出力 (MTU)	$\overline{\text{DREQ1}}$ 入力 (DMAC)	AUDRST 入力 (AUD) *
	PE3 入出力 (ボ - ト)	TIOC0D 入出力 (MTU)	DRAK1 出力 (DMAC)	AUDATA3 入出力 (AUD) *
	PE4 入出力 (ボ - ト)	TIOC1A 入出力 (MTU)	RXD3 入力 (SCI)	AUDATA2 入出力 (AUD) *
	PE5 入出力 (ボ - ト)	TIOC1B 入出力 (MTU)	TXD3 出力 (SCI)	AUDATA1 入出力 (AUD) *
	PE6 入出力 (ボ - ト)	TIOC2A 入出力 (MTU)	SCK3 入出力 (SCI)	AUDATA0 入出力 (AUD) *
	PE7 入出力 (ボ - ト)	TIOC2B 入出力 (MTU)	RXD2 入力 (SCI)	-
	PE8 入出力 (ボ - ト)	TIOC3A 入出力 (MTU)	SCK2 入出力 (SCI)	TMS 入力 (H-UDI) *
	PE9 入出力 (ボ - ト)	TIOC3B 入出力 (MTU)	$\overline{\text{TRST}}$ 入力 (H-UDI) *	SCK3 入出力 (SCI)
	PE10 入出力 (ボ - ト)	TIOC3C 入出力 (MTU)	TXD2 出力 (SCI)	TDI 入力 (H-UDI) *
	PE11 入出力 (ボ - ト)	TIOC3D 入出力 (MTU)	TDO 出力 (H-UDI) *	RXD3 入力 (SCI)
	PE12 入出力 (ボ - ト)	TIOC4A 入出力 (MTU)	TCK 入力 (H-UDI) *	TXD3 出力 (SCI)
	PE13 入出力 (ボ - ト)	TIOC4B 入出力 (MTU)	$\overline{\text{MRES}}$ 入力 (INTC)	-
	PE14 入出力 (ボ - ト)	TIOC4C 入出力 (MTU)	DACK0 出力 (DMAC)	-
PE15 入出力 (ボ - ト)	TIOC4D 入出力 (MTU)	DACK1 出力 (DMAC)	$\overline{\text{IRQOUT}}$ 出力 (INTC)	

【注】 * F-ZTAT 版のみ

表 17.12 マルチプレクス一覧表 (SH7145、ポート F)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
F	PF0 入力 (ボ - ト)	AN0 入力 (A/D)	-	-
	PF1 入力 (ボ - ト)	AN1 入力 (A/D)	-	-
	PF2 入力 (ボ - ト)	AN2 入力 (A/D)	-	-
	PF3 入力 (ボ - ト)	AN3 入力 (A/D)	-	-
	PF4 入力 (ボ - ト)	AN4 入力 (A/D)	-	-
	PF5 入力 (ボ - ト)	AN5 入力 (A/D)	-	-
	PF6 入力 (ボ - ト)	AN6 入力 (A/D)	-	-
	PF7 入力 (ボ - ト)	AN7 入力 (A/D)	-	-

17. ピンファンクションコントローラ (PFC)

表 17.13 動作モード別端子機能一覧 (SH7144-(1))

ピン番号	端子名			
	内蔵 ROM 無効 (MCU モード 0)		内蔵 ROM 無効 (MCU モード 1)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
21,37,65,103	Vcc	Vcc	Vcc	Vcc
3,23,39, 55,61,71,90, 101,109	Vss	Vss	Vss	Vss
100	AVcc	AVcc	AVcc	AVcc
97	AVss	AVss	AVss	AVss
80	PLLVcc	PLLVcc	PLLVcc	PLLVcc
81	PLLCAP	PLLCAP	PLLCAP	PLLCAP
82	PLLVss	PLLVss	PLLVss	PLLVss
1	PE14	PE14/TIOC4C/DACK0	PE14	PE14/TIOC4C/DACK0
2	PE15	PE15/TIOC4D/DACK1/IRQOUT	PE15	PE15/TIOC4D/DACK1/IRQOUT
4	A0	PC0/A0	A0	PC0/A0
5	A1	PC1/A1	A1	PC1/A1
6	A2	PC2/A2	A2	PC2/A2
7	A3	PC3/A3	A3	PC3/A3
8	A4	PC4/A4	A4	PC4/A4
9	A5	PC5/A5	A5	PC5/A5
10	A6	PC6/A6	A6	PC6/A6
11	A7	PC7/A7	A7	PC7/A7
12	A8	PC8/A8	A8	PC8/A8
13	A9	PC9/A9	A9	PC9/A9
14	A10	PC10/A10	A10	PC10/A10
15	A11	PC11/A11	A11	PC11/A11
16	A12	PC12/A12	A12	PC12/A12
17	A13	PC13/A13	A13	PC13/A13
18	A14	PC14/A14	A14	PC14/A14
19	A15	PC15/A15	A15	PC15/A15
20	A16	PB0/A16	A16	PB0/A16
22	A17	PB1/A17	A17	PB1/A17
24	PB2	PB2/IRQ0/POE0/SCL0	PB2	PB2/IRQ0/POE0/SCL0
25	PB3	PB3/IRQ1/POE1/SDA0	PB3	PB3/IRQ1/POE1/SDA0
26	PB4	PB4/IRQ2/POE2/CS6*3	PB4	PB4/IRQ2/POE2/CS6*3
27	ASEBRKAK*1	ASEBRKAK*1	ASEBRKAK*1	ASEBRKAK*1
28	PB5	PB5/IRQ3/POE3/CS7*3	PB5	PB5/IRQ3/POE3/CS7*3
29	PB6	PB6/IRQ4/A18/BACK	PB6	PB6/IRQ4/A18/BACK

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 無効 (MCU モード 0)		内蔵 ROM 無効 (MCU モード 1)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
30	PB7	PB7/IRQ5/A19/BREQ	PB7	PB7/IRQ5/A19/BREQ
31	PB8	PB8/IRQ6/A20/WAIT	PB8	PB8/IRQ6/A20/WAIT
32	PB9	PB9/IRQ7/A21/ADTRG	PB9	PB9/IRQ7/A21/ADTRG
33	DBGMD* ¹	DBGMD* ¹	DBGMD* ¹	DBGMD* ¹
34	RD	PA14/RD	RD	PA14/RD
35	WDTOVF	WDTOVF	WDTOVF	WDTOVF
36	WRH	PA13/WRH	WRH	PA13/WRH
38	WRL	PA12/WRL	WRL	PA12/WRL
40	CST	PA11/CST	CST	PA11/CST
41	CS0	PA10/CS0	CS0	PA10/CS0
42	PA9	PA9/TCLKD/IRQ3	PA9	PA9/TCLKD/IRQ3
43	PA8	PA8/TCLKC/IRQ2	PA8	PA8/TCLKC/IRQ2
44	PA7	PA7/TCLKB/CS3	PA7	PA7/TCLKB/CS3
45	PA6	PA6/TCLKA/CS2	PA6	PA6/TCLKA/CS2
46	PA5	PA5/SCK1/DREQ1/IRQ1	PA5	PA5/SCK1/DREQ1/IRQ1
47	PA4	PA4/TXD1	PA4	PA4/TXD1
48	PA3	PA3/RXD1	PA3	PA3/RXD1
49	PA2	PA2/SCK0/DREQ0/IRQ0	PA2	PA2/SCK0/DREQ0/IRQ0
50	PA1	PA1/TXD0	PA1	PA1/TXD0
51	PA0	PA0/RXD0	PA0	PA0/RXD0
52	PD15	PD15/D15/AUDSYNC* ¹	D15	PD15/D15/AUDSYNC* ¹
53	PD14	PD14/D14/AUDCK* ¹	D14	PD14/D14/AUDCK* ¹
54	PD13	PD13/D13/AUDMD* ¹	D13	PD13/D13/AUDMD* ¹
56	PD12	PD12/D12/AUDRST* ¹	D12	PD12/D12/AUDRST* ¹
57	PD11	PD11/D11/AUDATA3* ¹	D11	PD11/D11/AUDATA3* ¹
58	PD10	PD10/D10/AUDATA2* ¹	D10	PD10/D10/AUDATA2* ¹
59	PD9	PD9/D9/AUDATA1* ¹	D9	PD9/D9/AUDATA1* ¹
60	PD8	PD8/D8/AUDATA0* ¹	D8	PD8/D8/AUDATA0* ¹
62	D7	PD7/D7	D7	PD7/D7
63	D6	PD6/D6	D6	PD6/D6
64	D5	PD5/D5	D5	PD5/D5
66	D4	PD4/D4	D4	PD4/D4
67	D3	PD3/D3	D3	PD3/D3
68	D2	PD2/D2	D2	PD2/D2
69	D1	PD1/D1	D1	PD1/D1
70	D0	PD0/D0	D0	PD0/D0

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 無効 (MCU モード 0)		内蔵 ROM 無効 (MCU モード 1)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
72	XTAL	XTAL	XTAL	XTAL
73	MD3	MD3	MD3	MD3
74	EXTAL	EXTAL	EXTAL	EXTAL
75	MD2	MD2	MD2	MD2
76	NMI	NMI	NMI	NMI
77	FWP*1	FWP*1	FWP*1	FWP*1
78	MD1	MD1	MD1	MD1
79	MD0	MD0	MD0	MD0
83	CK	PA15/CK	CK	PA15/CK
84	RES	RES	RES	RES
85	PE0/ (TMS*1*2)	PE0/TIOC0A/DREQ0	PE0/ (TMS*1*2)	PE0/TIOC0A/DREQ0
86	PE1/ (TRST*1*2)	PE1/TIOC0B/DRAK0	PE1/ (TRST*1*2)	PE1/TIOC0B/DRAK0
87	PE2/ (TDI*1*2)	PE2/TIOC0C/DREQ1	PE2/ (TDI*1*2)	PE2/TIOC0C/DREQ1
88	PE3/ (TDO*1*2)	PE3/TIOC0D/DRAK1	PE3/ (TDO*1*2)	PE3/TIOC0D/DRAK1
89	PE4/ (TCK*1*2)	PE4/TIOC1A/RXD3	PE4/ (TCK*1*2)	PE4/TIOC1A/RXD3
91	PF0/AN0	PF0/AN0	PF0/AN0	PF0/AN0
92	PF1/AN1	PF1/AN1	PF1/AN1	PF1/AN1
93	PF2/AN2	PF2/AN2	PF2/AN2	PF2/AN2
94	PF3/AN3	PF3/AN3	PF3/AN3	PF3/AN3
95	PF4/AN4	PF4/AN4	PF4/AN4	PF4/AN4
96	PF5/AN5	PF5/AN5	PF5/AN5	PF5/AN5
98	PF6/AN6	PF6/AN6	PF6/AN6	PF6/AN6
99	PF7/AN7	PF7/AN7	PF7/AN7	PF7/AN7
102	PE5	PE5/TIOC1B/TXD3	PE5	PE5/TIOC1B/TXD3
104	PE6	PE6/TIOC2A/SCK3	PE6	PE6/TIOC2A/SCK3
105	PE7	PE7/TIOC2B/RXD2	PE7	PE7/TIOC2B/RXD2
106	PE8	PE8/TIOC3A/SCK2	PE8	PE8/TIOC3A/SCK2
107	PE9	PE9/TIOC3B/SCK3	PE9	PE9/TIOC3B/SCK3
108	PE10	PE10/TIOC3C/TXD2	PE10	PE10/TIOC3C/TXD2
110	PE11	PE11/TIOC3D/RXD3	PE11	PE11/TIOC3D/RXD3
111	PE12	PE12/TIOC4A/TXD3	PE12	PE12/TIOC4A/TXD3
112	PE13	PE13/TIOC4B/MRES	PE13	PE13/TIOC4B/MRES

【注】 *1 F-ZTAT 版のみ

*2 E10A 使用時 (DBGMD = H 時)、TMS、TRST、TDI、TDO、TCK に固定されます。

*3 マスク ROM 版、および ROM レス版のみ。

17. ピンファンクションコントローラ (PFC)

表 17.13 動作モード別端子機能一覧 (SH7144- (2))

ピン番号	端子名			
	内蔵 ROM 有効 (MCU モード 2)		シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
21,37,65,103	Vcc	Vcc	Vcc	Vcc
3,23,39, 55,61,71,90, 101,109	Vss	Vss	Vss	Vss
100	AVcc	AVcc	AVcc	AVcc
97	AVss	AVss	AVss	AVss
80	PLLvcc	PLLvcc	PLLvcc	PLLvcc
81	PLLCAP	PLLCAP	PLLCAP	PLLCAP
82	PLLvss	PLLvss	PLLvss	PLLvss
1	PE14	PE14/TIOC4C/DACK0	PE14	PE14/TIOC4C/DACK0
2	PE15	PE15/TIOC4D/DACK1/IRQOUT	PE15	PE15/TIOC4D/DACK1/IRQOUT
4	PC0	PC0/A0	PC0	PC0/A0
5	PC1	PC1/A1	PC1	PC1/A1
6	PC2	PC2/A2	PC2	PC2/A2
7	PC3	PC3/A3	PC3	PC3/A3
8	PC4	PC4/A4	PC4	PC4/A4
9	PC5	PC5/A5	PC5	PC5/A5
10	PC6	PC6/A6	PC6	PC6/A6
11	PC7	PC7/A7	PC7	PC7/A7
12	PC8	PC8/A8	PC8	PC8/A8
13	PC9	PC9/A9	PC9	PC9/A9
14	PC10	PC10/A10	PC10	PC10/A10
15	PC11	PC11/A11	PC11	PC11/A11
16	PC12	PC12/A12	PC12	PC12/A12
17	PC13	PC13/A13	PC13	PC13/A13
18	PC14	PC14/A14	PC14	PC14/A14
19	PC15	PC15/A15	PC15	PC15/A15
20	PB0	PB0/A16	PB0	PB0/A16
22	PB1	PB1/A17	PB1	PB1/A17
24	PB2	PB2/IRQ0/POE0/SCL0	PB2	PB2/IRQ0/POE0/SCL0
25	PB3	PB3/IRQ1/POE1/SDA0	PB3	PB3/IRQ1/POE1/SDA0
26	PB4	PB4/IRQ2/POE2/CS6*3	PB4	PB4/IRQ2/POE2/CS6*3
27	ASEBRKAK*1	ASEBRKAK*1	ASEBRKAK*1	ASEBRKAK*1
28	PB5	PB5/IRQ3/POE3/CS7*3	PB5	PB5/IRQ3/POE3/CS7*3
29	PB6	PB6/IRQ4/A18/BACK	PB6	PB6/IRQ4/A18/BACK

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 有効 (MCU モード 2)		シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
30	PB7	PB7/IRQ5/A19/BREQ	PB7	PB7/IRQ5/A19/BREQ
31	PB8	PB8/IRQ6/A20/WAIT	PB8	PB8/IRQ6/A20/WAIT
32	PB9	PB9/IRQ7/A21/ADTRG	PB9	PB9/IRQ7/A21/ADTRG
33	DBGMD* ¹	DBGMD * ¹	DBGMD * ¹	DBGMD * ¹
34	PA14	PA14/RD	PA14	PA14/RD
35	WDTOVF	WDTOVF	WDTOVF	WDTOVF
36	PA13	PA13/WRH	PA13	PA13/WRH
38	PA12	PA12/WRL	PA12	PA12/WRL
40	PA11	PA11/CS1	PA11	PA11/CS1
41	PA10	PA10/CS0	PA10	PA10/CS0
42	PA9	PA9/TCLKD/IRQ3	PA9	PA9/TCLKD/IRQ3
43	PA8	PA8/TCLKC/IRQ2	PA8	PA8/TCLKC/IRQ2
44	PA7	PA7/TCLKB/CS3	PA7	PA7/TCLKB/CS3
45	PA6	PA6/TCLKA/CS2	PA6	PA6/TCLKA/CS2
46	PA5	PA5/SCK1/DREQ1/IRQ1	PA5	PA5/SCK1/DREQ1/IRQ1
47	PA4	PA4/TXD1	PA4	PA4/TXD1
48	PA3	PA3/RXD1	PA3	PA3/RXD1
49	PA2	PA2/SCK0/DREQ0/IRQ0	PA2	PA2/SCK0/DREQ0/IRQ0
50	PA1	PA1/TXD0	PA1	PA1/TXD0
51	PA0	PA0/RXD0	PA0	PA0/RXD0
52	PD15	PD15/D15/AUDSYNC* ¹	PD15	PD15/D15/AUDSYNC* ¹
53	PD14	PD14/D14/AUDCK* ¹	PD14	PD14/D14/AUDCK* ¹
54	PD13	PD13/D13/AUDMD* ¹	PD13	PD13/D13/AUDMD* ¹
56	PD12	PD12/D12/AUDRST* ¹	PD12	PD12/D12/AUDRST* ¹
57	PD11	PD11/D11/AUDATA3* ¹	PD11	PD11/D11/AUDATA3* ¹
58	PD10	PD10/D10/AUDATA2* ¹	PD10	PD10/D10/AUDATA2* ¹
59	PD9	PD9/D9/AUDATA1* ¹	PD9	PD9/D9/AUDATA1* ¹
60	PD8	PD8/D8/AUDATA0* ¹	PD8	PD8/D8/AUDATA0* ¹
62	PD7	PD7/D7	PD7	PD7/D7
63	PD6	PD6/D6	PD6	PD6/D6
64	PD5	PD5/D5	PD5	PD5/D5
66	PD4	PD4/D4	PD4	PD4/D4
67	PD3	PD3/D3	PD3	PD3/D3
68	PD2	PD2/D2	PD2	PD2/D2
69	PD1	PD1/D1	PD1	PD1/D1
70	PD0	PD0/D0	PD0	PD0/D0

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 有効 (MCU モード 2)		シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
72	XTAL	XTAL	XTAL	XTAL
73	MD3	MD3	MD3	MD3
74	EXTAL	EXTAL	EXTAL	EXTAL
75	MD2	MD2	MD2	MD2
76	NMI	NMI	NMI	NMI
77	FWP* ¹	FWP* ¹	FWP* ¹	FWP* ¹
78	MD1	MD1	MD1	MD1
79	MD0	MD0	MD0	MD0
83	CK	PA15/CK	PA15	PA15/CK
84	RES	RES	RES	RES
85	PE0/ (TMS* ^{1*2})	PE0/TIOC0A/DREQ0	PE0/ (TMS* ^{1*2})	PE0/TIOC0A/DREQ0
86	PE1/ (TRST* ^{1*2})	PE1/TIOC0B/DRAK0	PE1/ (TRST* ^{1*2})	PE1/TIOC0B/DRAK0
87	PE2/ (TDI* ^{1*2})	PE2/TIOC0C/DREQ1	PE2/ (TDI* ^{1*2})	PE2/TIOC0C/DREQ1
88	PE3/ (TDO* ^{1*2})	PE3/TIOC0D/DRAK1	PE3/ (TDO* ^{1*2})	PE3/TIOC0D/DRAK1
89	PE4/ (TCK* ^{1*2})	PE4/TIOC1A/RXD3	PE4/ (TCK* ^{1*2})	PE4/TIOC1A/RXD3
91	PF0/AN0	PF0/AN0	PF0/AN0	PF0/AN0
92	PF1/AN1	PF1/AN1	PF1/AN1	PF1/AN1
93	PF2/AN2	PF2/AN2	PF2/AN2	PF2/AN2
94	PF3/AN3	PF3/AN3	PF3/AN3	PF3/AN3
95	PF4/AN4	PF4/AN4	PF4/AN4	PF4/AN4
96	PF5/AN5	PF5/AN5	PF5/AN5	PF5/AN5
98	PF6/AN6	PF6/AN6	PF6/AN6	PF6/AN6
99	PF7/AN7	PF7/AN7	PF7/AN7	PF7/AN7
102	PE5	PE5/TIOC1B/TXD3	PE5	PE5/TIOC1B/TXD3
104	PE6	PE6/TIOC2A/SCK3	PE6	PE6/TIOC2A/SCK3
105	PE7	PE7/TIOC2B/RXD2	PE7	PE7/TIOC2B/RXD2
106	PE8	PE8/TIOC3A/SCK2	PE8	PE8/TIOC3A/SCK2
107	PE9	PE9/TIOC3B/SCK3	PE9	PE9/TIOC3B/SCK3
108	PE10	PE10/TIOC3C/TXD2	PE10	PE10/TIOC3C/TXD2
110	PE11	PE11/TIOC3D/RXD3	PE11	PE11/TIOC3D/RXD3
111	PE12	PE12/TIOC4A/TXD3	PE12	PE12/TIOC4A/TXD3
112	PE13	PE13/TIOC4B/MRES	PE13	PE13/TIOC4B/MRES

【注】 *1 F-ZTAT 版のみ

*2 E10A 使用時 (DBGMD = H 時)、TMS、TRST、TDI、TDO、TCK に固定されます。

*3 マスク ROM 版、および ROM レス版のみ。

17. ピンファンクションコントローラ (PFC)

表 17.14 動作モード別端子機能一覧 (SH7145- (1))

ピン番号	端子名			
	内蔵 ROM 無効 (MCU モード 0)		内蔵 ROM 無効 (MCU モード 1)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
12,26,40,63, 77,85,112, 135	Vcc	Vcc	Vcc	Vcc
6,14,28,55, 61,71,79,87, 93,117,129, 141	Vss	Vss	Vss	Vss
128	AVcc	AVcc	AVcc	AVcc
127	AVREF	AVREF	AVREF	AVREF
124	AVss	AVss	AVss	AVss
104	PLLVcc	PLLVcc	PLLVcc	PLLVcc
105	PLLCAP	PLLCAP	PLLCAP	PLLCAP
106	PLLVss	PLLVss	PLLVss	PLLVss
1	PA23	PA23/WRHH	WRHH	PA23/WRHH
2	PE14	PE14/TIOC4C/DACK0	PE14	PE14/TIOC4C/DACK0
3	PA22	PA22/WRHL	WRHL	PA22/WRHL
4	PA21	PA21/CS5*3	PA21	PA21/CS5*3
5	PE15	PE15/TIOC4D/DACK1/IRQOUT	PE15	PE15/TIOC4D/DACK1/IRQOUT
7	A0	PC0/A0	A0	PC0/A0
8	A1	PC1/A1	A1	PC1/A1
9	A2	PC2/A2	A2	PC2/A2
10	A3	PC3/A3	A3	PC3/A3
11	A4	PC4/A4	A4	PC4/A4
13	A5	PC5/A5	A5	PC5/A5
15	A6	PC6/A6	A6	PC6/A6
16	A7	PC7/A7	A7	PC7/A7
17	A8	PC8/A8	A8	PC8/A8
18	A9	PC9/A9	A9	PC9/A9
19	A10	PC10/A10	A10	PC10/A10
20	A11	PC11/A11	A11	PC11/A11
21	A12	PC12/A12	A12	PC12/A12
22	A13	PC13/A13	A13	PC13/A13
23	A14	PC14/A14	A14	PC14/A14
24	A15	PC15/A15	A15	PC15/A15
25	A16	PB0/A16	A16	PB0/A16
27	A17	PB1/A17	A17	PB1/A17

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 無効 (MCU モード 0)		内蔵 ROM 無効 (MCU モード 1)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
29	PA20	PA20/CS4*3	PA20	PA20/CS4*3
30	PA19	PA19/BACK/DRAK1	PA19	PA19/BACK/DRAK1
31	PB2	PB2/IRQ0/POE0/SCL0	PB2	PB2/IRQ0/POE0/SCL0
32	PB3	PB3/IRQ1/POE1/SDA0	PB3	PB3/IRQ1/POE1/SDA0
33	PA18	PA18/BREQ/DRAK0	PA18	PA18/BREQ/DRAK0
34	PB4	PB4/IRQ2/POE2/CS6*3	PB4	PB4/IRQ2/POE2/CS6*3
35	ASEBRKAK*1	ASEBRKAK*1	ASEBRKAK*1	ASEBRKAK*1
36	PB5	PB5/IRQ3/POE3/CS7*3	PB5	PB5/IRQ3/POE3/CS7*3
37	PB6	PB6/IRQ4/A18/BACK	PB6	PB6/IRQ4/A18/BACK
38	PB7	PB7/IRQ5/A19/BREQ	PB7	PB7/IRQ5/A19/BREQ
39	PB8	PB8/IRQ6/A20/WAIT	PB8	PB8/IRQ6/A20/WAIT
41	PB9	PB9/IRQ7/A21/ADTRG	PB9	PB9/IRQ7/A21/ADTRG
42	DBGMD*1	DBGMD*1	DBGMD*1	DBGMD*1
43	RD	PA14/RD	RD	PA14/RD
44	WDTOVF	WDTOVF	WDTOVF	WDTOVF
45	PD31	PD31/D31/ADTRG	D31	PD31/D31/ADTRG
46	PD30	PD30/D30/IRQOUT	D30	PD30/D30/IRQOUT
47	WRH	PA13/WRH	WRH	PA13/WRH
48	WRL	PA12/WRL	WRL	PA12/WRL
49	CS1	PA11/CS1	CS1	PA11/CS1
50	CS0	PA10/CS0	CS0	PA10/CS0
51	PA9	PA9/TCLKD/IRQ3	PA9	PA9/TCLKD/IRQ3
52	PA8	PA8/TCLKC/IRQ2	PA8	PA8/TCLKC/IRQ2
53	PA7	PA7/TCLKB/CS3	PA7	PA7/TCLKB/CS3
54	PA6	PA6/TCLKA/CS2	PA6	PA6/TCLKA/CS2
56	PD29	PD29/D29/CS3	D29	PD29/D29/CS3
57	PD28	PD28/D28/CS2	D28	PD28/D28/CS2
58	PD27	PD27/D27/DACK1	D27	PD27/D27/DACK1
59	PD26	PD26/D26/DACK0	D26	PD26/D26/DACK0
60	PD25	PD25/D25/DREQ1	D25	PD25/D25/DREQ1
62	PD24	PD24/D24/DREQ0	D24	PD24/D24/DREQ0
64	PD23	PD23/D23/IRQ7/AUDSYNC*1	D23	PD23/D23/IRQ7/AUDSYNC*1
65	PD22	PD22/D22/IRQ6/AUDCK*1	D22	PD22/D22/IRQ6/AUDCK*1
66	PD21	PD21/D21/IRQ5/AUDMD*1	D21	PD21/D21/IRQ5/AUDMD*1
67	PD20	PD20/D20/IRQ4/AUDRST*1	D20	PD20/D20/IRQ4/AUDRST*1
68	PD19	PD19/D19/IRQ3/AUDATA3*1	D19	PD19/D19/IRQ3/AUDATA3*1

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 無効 (MCU モード 0)		内蔵 ROM 無効 (MCU モード 1)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
69	PD18	PD18/D18/ $\overline{\text{IRQ2}}$ /AUDATA2* ¹	D18	PD18/D18/ $\overline{\text{IRQ2}}$ /AUDATA2* ¹
70	PD17	PD17/D17/ $\overline{\text{IRQ1}}$ /AUDATA1* ¹	D17	PD17/D17/ $\overline{\text{IRQ1}}$ /AUDATA1* ¹
72	PD16	PD16/D16/ $\overline{\text{IRQ0}}$ /AUDATA0* ¹	D16	PD16/D16/ $\overline{\text{IRQ0}}$ /AUDATA0* ¹
73	D15	PD15/D15	D15	PD15/D15
74	D14	PD14/D14	D14	PD14/D14
75	D13	PD13/D13	D13	PD13/D13
76	D12	PD12/D12	D12	PD12/D12
78	D11	PD11/D11	D11	PD11/D11
80	D10	PD10/D10	D10	PD10/D10
81	D9	PD9/D9	D9	PD9/D9
82	D8	PD8/D8	D8	PD8/D8
83	D7	PD7/D7	D7	PD7/D7
84	D6	PD6/D6	D6	PD6/D6
86	D5	PD5/D5	D5	PD5/D5
88	D4	PD4/D4	D4	PD4/D4
89	D3	PD3/D3	D3	PD3/D3
90	D2	PD2/D2	D2	PD2/D2
91	D1	PD1/D1	D1	PD1/D1
92	D0	PD0/D0	D0	PD0/D0
94	XTAL	XTAL	XTAL	XTAL
95	MD3	MD3	MD3	MD3
96	EXTAL	EXTAL	EXTAL	EXTAL
97	MD2	MD2	MD2	MD2
98	NMI	NMI	NMI	NMI
99	FWP* ¹	FWP* ¹	FWP* ¹	FWP* ¹
100	PA16	PA16/AUDSYNC* ¹	PA16	PA16/AUDSYNC* ¹
101	PA17	PA17/WAIT	PA17	PA17/WAIT
102	MD1	MD1	MD1	MD1
103	MD0	MD0	MD0	MD0
107	CK	PA15/CK	CK	PA15/CK
108	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$
109	PE0	PE0/TIOC0A/ $\overline{\text{DREQ0}}$ /AUDCK* ¹	PE0	PE0/TIOC0A/ $\overline{\text{DREQ0}}$ /AUDCK* ¹
110	PE1	PE1/TIOC0B/DRAK0/AUDMD* ¹	PE1	PE1/TIOC0B/DRAK0/AUDMD* ¹
111	PE2	PE2/TIOC0C/ $\overline{\text{DREQ1}}$ /AUDRST* ¹	PE2	PE2/TIOC0C/ $\overline{\text{DREQ1}}$ /AUDRST* ¹
113	PE3	PE3/TIOC0D/DRAK1/AUDATA3* ¹	PE3	PE3/TIOC0D/DRAK1/AUDATA3* ¹
114	PE4	PE4/TIOC1A/RXD3/AUDATA2* ¹	PE4	PE4/TIOC1A/RXD3/AUDATA2* ¹

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 無効 (MCU モード 0)		内蔵 ROM 無効 (MCU モード 1)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
SH7145				
115	PE5	PE5/TIOC1B/TXD3/AUDATA1* ¹	PE5	PE5/TIOC1B/TXD3/AUDATA1* ¹
116	PE6	PE6/TIOC2A/SCK3/AUDATA0* ¹	PE6	PE6/TIOC2A/SCK3/AUDATA0* ¹
118	PF0/AN0	PF0/AN0	PF0/AN0	PF0/AN0
119	PF1/AN1	PF1/AN1	PF1/AN1	PF1/AN1
120	PF2/AN2	PF2/AN2	PF2/AN2	PF2/AN2
121	PF3/AN3	PF3/AN3	PF3/AN3	PF3/AN3
122	PF4/AN4	PF4/AN4	PF4/AN4	PF4/AN4
123	PF5/AN5	PF5/AN5	PF5/AN5	PF5/AN5
125	PF6/AN6	PF6/AN6	PF6/AN6	PF6/AN6
126	PF7/AN7	PF7/AN7	PF7/AN7	PF7/AN7
130	PA0	PA0/RXD0	PA0	PA0/RXD0
131	PA1	PA1/TXD0	PA1	PA1/TXD0
132	PA2	PA2/SCK0/DREQ0/IRQ0	PA2	PA2/SCK0/DREQ0/IRQ0
133	PA3	PA3/RXD1	PA3	PA3/RXD1
134	PA4	PA4/TXD1	PA4	PA4/TXD1
136	PA5	PA5/SCK1/DREQ1/IRQ1	PA5	PA5/SCK1/DREQ1/IRQ1
137	PE7	PE7/TIOC2B/RXD2	PE7	PE7/TIOC2B/RXD2
138	PE8/ (TMS* ^{1*2})	PE8/TIOC3A/SCK2	PE8/ (TMS* ^{1*2})	PE8/TIOC3A/SCK2
139	PE9/ (TRST* ^{1*2})	PE9/TIOC3B/SCK3	PE9/ (TRST* ^{1*2})	PE9/TIOC3B/SCK3
140	PE10/ (TDI* ^{1*2})	PE10/TIOC3C/TXD2	PE10/ (TDI* ^{1*2})	PE10/TIOC3C/TXD2
142	PE11/ (TDO* ^{1*2})	PE11/TIOC3D/RXD3	PE11/ (TDO* ^{1*2})	PE11/TIOC3D/RXD3
143	PE12/ (TCK* ^{1*2})	PE12/TIOC4A/TXD3	PE12/ (TCK* ^{1*2})	PE12/TIOC4A/TXD3
144	PE13	PE13/TIOC4B/MRES	PE13	PE13/TIOC4B/MRES

【注】 *1 F-ZTAT 版のみ

*2 E10A 使用時 (DBGMD = H 時)、TMS、TRST、TDI、TDO、TCK に固定されます。

*3 マスク ROM 版、および ROM レス版のみ。

17. ピンファンクションコントローラ (PFC)

表 17.14 動作モード別端子機能一覧 (SH7145-(2))

ピン番号	端子名			
	内蔵 ROM 有効 (MCU モード 2)		シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
12,26,40, 63,77,85, 112,135	Vcc	Vcc	Vcc	Vcc
6,14,28,55, 61,71,79, 87,93,117, 129,141	Vss	Vss	Vss	Vss
128	AVcc	AVcc	AVcc	AVcc
127	AVREF	AVREF	AVREF	AVREF
124	AVss	AVss	AVss	AVss
104	PLLVcc	PLLVcc	PLLVcc	PLLVcc
105	PLLCAP	PLLCAP	PLLCAP	PLLCAP
106	PLLVss	PLLVss	PLLVss	PLLVss
1	PA23	PA23/WRHH	PA23	PA23/WRHH
2	PE14	PE14/TIOC4C/DACK0	PE14	PE14/TIOC4C/DACK0
3	PA22	PA22/WRHL	PA22	PA22/WRHL
4	PA21	PA21/CS5*3	PA21	PA21/CS5*3
5	PE15	PE15/TIOC4D/DACK1/IRQOUT	PE15	PE15/TIOC4D/DACK1/IRQOUT
7	PC0	PC0/A0	PC0	PC0/A0
8	PC1	PC1/A1	PC1	PC1/A1
9	PC2	PC2/A2	PC2	PC2/A2
10	PC3	PC3/A3	PC3	PC3/A3
11	PC4	PC4/A4	PC4	PC4/A4
13	PC5	PC5/A5	PC5	PC5/A5
15	PC6	PC6/A6	PC6	PC6/A6
16	PC7	PC7/A7	PC7	PC7/A7
17	PC8	PC8/A8	PC8	PC8/A8
18	PC9	PC9/A9	PC9	PC9/A9
19	PC10	PC10/A10	PC10	PC10/A10
20	PC11	PC11/A11	PC11	PC11/A11
21	PC12	PC12/A12	PC12	PC12/A12
22	PC13	PC13/A13	PC13	PC13/A13
23	PC14	PC14/A14	PC14	PC14/A14
24	PC15	PC15/A15	PC15	PC15/A15
25	PB0	PB0/A16	PB0	PB0/A16
27	PB1	PB1/A17	PB1	PB1/A17

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 有効 (MCU モード 2)		シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
29	PA20	PA20/CS4*3	PA20	PA20/CS4*3
30	PA19	PA19/BACK/DRAK1	PA19	PA19/BACK/DRAK1
31	PB2	PB2/IRQ0/POE0/SCL0	PB2	PB2/IRQ0/POE0/SCL0
32	PB3	PB3/IRQ1/POE1/SDA0	PB3	PB3/IRQ1/POE1/SDA0
33	PA18	PA18/BREQ/DRAK0	PA18	PA18/BREQ/DRAK0
34	PB4	PB4/IRQ2/POE2/CS6*3	PB4	PB4/IRQ2/POE2/CS6*3
35	ASEBRKAK*1	ASEBRKAK*1	ASEBRKAK*1	ASEBRKAK*1
36	PB5	PB5/IRQ3/POE3/CS7*3	PB5	PB5/IRQ3/POE3/CS7*3
37	PB6	PB6/IRQ4/A18/BACK	PB6	PB6/IRQ4/A18/BACK
38	PB7	PB7/IRQ5/A19/BREQ	PB7	PB7/IRQ5/A19/BREQ
39	PB8	PB8/IRQ6/A20/WAIT	PB8	PB8/IRQ6/A20/WAIT
41	PB9	PB9/IRQ7/A21/ADTRG	PB9	PB9/IRQ7/A21/ADTRG
42	DBGMD*1	DBGMD*1	DBGMD*1	DBGMD*1
43	PA14	PA14/RD	PA14	PA14/RD
44	WDTOVF	WDTOVF	WDTOVF	WDTOVF
45	PD31	PD31/D31/ADTRG	PD31	PD31/D31/ADTRG
46	PD30	PD30/D30/IRQOUT	PD30	PD30/D30/IRQOUT
47	PA13	PA13/WRH	PA13	PA13/WRH
48	PA12	PA12/WRL	PA12	PA12/WRL
49	PA11	PA11/CS1	PA11	PA11/CS1
50	PA10	PA10/CS0	PA10	PA10/CS0
51	PA9	PA9/TCLKD/IRQ3	PA9	PA9/TCLKD/IRQ3
52	PA8	PA8/TCLKC/IRQ2	PA8	PA8/TCLKC/IRQ2
53	PA7	PA7/TCLKB/CS3	PA7	PA7/TCLKB/CS3
54	PA6	PA6/TCLKA/CS2	PA6	PA6/TCLKA/CS2
56	PD29	PD29/D29/CS3	PD29	PD29/D29/CS3
57	PD28	PD28/D28/CS2	PD28	PD28/D28/CS2
58	PD27	PD27/D27/DACK1	PD27	PD27/D27/DACK1
59	PD26	PD26/D26/DACK0	PD26	PD26/D26/DACK0
60	PD25	PD25/D25/DREQ1	PD25	PD25/D25/DREQ1
62	PD24	PD24/D24/DREQ0	PD24	PD24/D24/DREQ0
64	PD23	PD23/D23/IRQ7/AUDSYNC*1	PD23	PD23/D23/IRQ7/AUDSYNC*1
65	PD22	PD22/D22/IRQ6/AUDCK*1	PD22	PD22/D22/IRQ6/AUDCK*1
66	PD21	PD21/D21/IRQ5/AUDMD*1	PD21	PD21/D21/IRQ5/AUDMD*1
67	PD20	PD20/D20/IRQ4/AUDRST*1	PD20	PD20/D20/IRQ4/AUDRST*1
68	PD19	PD19/D19/IRQ3/AUDATA3*1	PD19	PD19/D19/IRQ3/AUDATA3*1

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 有効 (MCU モード 2)		シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
69	PD18	PD18/D18/IRQ2/AUDATA2* ¹	PD18	PD18/D18/IRQ2/AUDATA2* ¹
70	PD17	PD17/D17/IRQ1/AUDATA1* ¹	PD17	PD17/D17/IRQ1/AUDATA1* ¹
72	PD16	PD16/D16/IRQ0/AUDATA0* ¹	PD16	PD16/D16/IRQ0/AUDATA0* ¹
73	PD15	PD15/D15	PD15	PD15/D15
74	PD14	PD14/D14	PD14	PD14/D14
75	PD13	PD13/D13	PD13	PD13/D13
76	PD12	PD12/D12	PD12	PD12/D12
78	PD11	PD11/D11	PD11	PD11/D11
80	PD10	PD10/D10	PD10	PD10/D10
81	PD9	PD9/D9	PD9	PD9/D9
82	PD8	PD8/D8	PD8	PD8/D8
83	PD7	PD7/D7	PD7	PD7/D7
84	PD6	PD6/D6	PD6	PD6/D6
86	PD5	PD5/D5	PD5	PD5/D5
88	PD4	PD4/D4	PD4	PD4/D4
89	PD3	PD3/D3	PD3	PD3/D3
90	PD2	PD2/D2	PD2	PD2/D2
91	PD1	PD1/D1	PD1	PD1/D1
92	PD0	PD0/D0	PD0	PD0/D0
94	XTAL	XTAL	XTAL	XTAL
95	MD3	MD3	MD3	MD3
96	EXTAL	EXTAL	EXTAL	EXTAL
97	MD2	MD2	MD2	MD2
98	NMI	NMI	NMI	NMI
99	FWP* ¹	FWP* ¹	FWP* ¹	FWP* ¹
100	PA16	PA16/AUDSYNC* ¹	PA16	PA16/AUDSYNC* ¹
101	PA17	PA17/WAIT	PA17	PA17/WAIT
102	MD1	MD1	MD1	MD1
103	MD0	MD0	MD0	MD0
107	CK	PA15/CK	PA15	PA15/CK
108	RES	RES	RES	RES
109	PE0	PE0/TIOC0A/DREQ0/AUDCK* ¹	PE0	PE0/TIOC0A/DREQ0/AUDCK* ¹
110	PE1	PE1/TIOC0B/DRAK0/AUDMD* ¹	PE1	PE1/TIOC0B/DRAK0/AUDMD* ¹
111	PE2	PE2/TIOC0C/DREQ1/AUDRST* ¹	PE2	PE2/TIOC0C/DREQ1/AUDRST* ¹
113	PE3	PE3/TIOC0D/DRAK1/AUDATA3* ¹	PE3	PE3/TIOC0D/DRAK1/AUDATA3* ¹
114	PE4	PE4/TIOC1A/RXD3/AUDATA2* ¹	PE4	PE4/TIOC1A/RXD3/AUDATA2* ¹

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 有効 (MCU モード 2)		シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
115	PE5	PE5/TIOC1B/TXD3/AUDATA1* ¹	PE5	PE5/TIOC1B/TXD3/AUDATA1* ¹
116	PE6	PE6/TIOC2A/SCK3/AUDATA0* ¹	PE6	PE6/TIOC2A/SCK3/AUDATA0* ¹
118	PF0/AN0	PF0/AN0	PF0/AN0	PF0/AN0
119	PF1/AN1	PF1/AN1	PF1/AN1	PF1/AN1
120	PF2/AN2	PF2/AN2	PF2/AN2	PF2/AN2
121	PF3/AN3	PF3/AN3	PF3/AN3	PF3/AN3
122	PF4/AN4	PF4/AN4	PF4/AN4	PF4/AN4
123	PF5/AN5	PF5/AN5	PF5/AN5	PF5/AN5
125	PF6/AN6	PF6/AN6	PF6/AN6	PF6/AN6
126	PF7/AN7	PF7/AN7	PF7/AN7	PF7/AN7
130	PA0	PA0/RXD0	PA0	PA0/RXD0
131	PA1	PA1/TXD0	PA1	PA1/TXD0
132	PA2	PA2/SCK0/DREQ0/IRQ0	PA2	PA2/SCK0/DREQ0/IRQ0
133	PA3	PA3/RXD1	PA3	PA3/RXD1
134	PA4	PA4/TXD1	PA4	PA4/TXD1
136	PA5	PA5/SCK1/DREQ1/IRQ1	PA5	PA5/SCK1/DREQ1/IRQ1
137	PE7	PE7/TIOC2B/RXD2	PE7	PE7/TIOC2B/RXD2
138	PE8/ (TMS* ^{1*2})	PE8/TIOC3A/SCK2	PE8/ (TMS* ^{1*2})	PE8/TIOC3A/SCK2
139	PE9/ (TRST* ^{1*2})	PE9/TIOC3B/SCK3	PE9/ (TRST* ^{1*2})	PE9/TIOC3B/SCK3
140	PE10/ (TDI* ^{1*2})	PE10/TIOC3C/TXD2	PE10/ (TDI* ^{1*2})	PE10/TIOC3C/TXD2
142	PE11/ (TDO* ^{1*2})	PE11/TIOC3D/RXD3	PE11/ (TDO* ^{1*2})	PE11/TIOC3D/RXD3
143	PE12/ (TCK* ^{1*2})	PE12/TIOC4A/TXD3	PE12/ (TCK* ^{1*2})	PE12/TIOC4A/TXD3
144	PE13	PE13/TIOC4B/MRES	PE13	PE13/TIOC4B/MRES

【注】 *1 F-ZTAT 版のみ

*2 E10A 使用時 (DBGMD = H 時)、TMS、TRST、TDI、TDO、TCK に固定されます。

*3 マスク ROM 版、および ROM レス版のみ。

17.1 レジスタの説明

PFC には以下のレジスタがあります。レジスタのアドレスおよび各処理におけるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- ポートA・IOレジスタH (PAIORH)*
- ポートA・IOレジスタL (PAIORL)
- ポートAコントロールレジスタH (PACRH) *
- ポートAコントロールレジスタL2 (PACRL2)
- ポートAコントロールレジスタL1 (PACRL1)
- ポートB・IOレジスタ (PBIOR)
- ポートBコントロールレジスタ1 (PBCR1)
- ポートBコントロールレジスタ2 (PBCR2)
- ポートC・IOレジスタ (PCIOR)
- ポートCコントロールレジスタ (PCCR)
- ポートD・IOレジスタH (PDIORH) *
- ポートD・IOレジスタL (PDIORL)
- ポートDコントロールレジスタH1 (PDCRH1) *
- ポートDコントロールレジスタH2 (PDCRH2) *
- ポートDコントロールレジスタL1 (PDCRL1)
- ポートDコントロールレジスタL2 (PDCRL2)
- ポートE・IOレジスタL (PEIORL)
- ポートEコントロールレジスタL1 (PECRL1)
- ポートEコントロールレジスタL2 (PECRL2)
- 大電流ポートコントロールレジスタ (PPCR)

【注】* SH7145 のみ設定可能なレジスタです。SH7144 では無効となります。

17.1.1 ポート A・IO レジスタ L、H (PAIORL、H)

PAIORL、PAIORH は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PA23IOR ~ PA0IOR ビットが、それぞれ、PA23 ~ PA0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PAIORL はポート A の端子機能が汎用入出力 (PA15 ~ PA0) および SCI の SCK0、SCK1 入出力の場合に有効でそれ以外の場合は無効です。PAIORH はポート A の端子機能が汎用入出力 (PA23 ~ PA16) の場合に有効でそれ以外の場合は無効です。

PAIORL および PAIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ただし、PAIORH のビット 7 ~ 0 は SH7144 では無効となります。

17. ピンファンクションコントローラ (PFC)

PAIORH のビット 15~8 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PAIORL、PAIORH の初期値はともに H'0000 です。

17.1.2 ポート A コントロールレジスタ L2、1、H (PACRL2、1、PACRH)

PACRL2、1、PACRH は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。

(1) ポート A コントロールレジスタ L2、1、H (PACRL2、1、H) SH7144 の場合

レジスタ	ビット	ビット名	初期値	R/W	説明
PACRH	15,13		すべて 0	R	リザーブビットです。
PACRH	11,9		すべて 0	R	読み出すと常に 0 が読み出されます。
PACRH	14,12		すべて 0	R/W	書き込む値も常に 0 にしてください。
PACRH	10,8		すべて 0	R/W	
PACRH	7~4, 2~0		すべて 0	R/W	
PACRH	3		0	R	
PACRL1	15, 13, 11, 9, 7, 5		すべて 0	R	
PACRL2	9, 7, 3, 1		すべて 0	R	
PACRL1	14	PA15MD	0* ¹	R/W	PA15 モードビット PA15/CK 端子の機能を選びます。 0 : PA15 入出力 (ポ - ト) 1 : CK 出力 (CPG)
PACRL1	12	PA14MD	0* ²	R/W	PA14 モードビット PA14/ \overline{RD} 端子の機能を選びます。 0 : PA14 入出力 (ポ - ト) 1 : \overline{RD} 出力 (BSC)
PACRL1	10	PA13MD	0* ²	R/W	PA13 モードビット PA13/ \overline{WRH} 端子の機能を選びます。 0 : PA13 入出力 (ポ - ト) 1 : \overline{WRH} 出力 (BSC)
PACRL1	8	PA12MD	0* ²	R/W	PA12 モードビット PA12/ \overline{WRL} 端子の機能を選びます。 0 : PA12 入出力 (ポ - ト) 1 : \overline{WRL} 出力 (BSC)

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PACRL1	6	PA11MD	0* ²	R/W	PA11 モードビット PA11/ $\overline{\text{CS1}}$ 端子の機能を選びます。 0 : PA11 入出力 (ボ - ト) 1 : $\overline{\text{CS1}}$ 出力 (BSC)
PACRL1	4	PA10MD	0* ²	R/W	PA10 モードビット PA10/ $\overline{\text{CS0}}$ 端子の機能を選びます。 0 : PA10 入出力 (ボ - ト) 1 : $\overline{\text{CS0}}$ 出力 (BSC)
PACRL1	3	PA9MD1	0	R/W	PA9 モードビット PA9/TCLKD/ $\overline{\text{IRQ3}}$ 端子の機能を選びます。 00 : PA9 入出力 (ボ - ト) 01 : TCLKD 入力 (MTU) 10 : $\overline{\text{IRQ3}}$ 入力 (INTC) 11 : 設定禁止
PACRL1	2	PA9MD0	0	R/W	
PACRL1	1	PA8MD1	0	R/W	PA8 モードビット PA8/TCLKC/ $\overline{\text{IRQ2}}$ 端子の機能を選びます。 00 : PA8 入出力 (ボ - ト) 01 : TCLKC 入力 (MTU) 10 : $\overline{\text{IRQ2}}$ 入力 (INTC) 11 : 設定禁止
PACRL1	0	PA8MD0	0	R/W	
PACRL2	15	PA7MD1	0	R/W	PA7 モードビット PA7/TCLKB/ $\overline{\text{CS3}}$ 端子の機能を選びます。 00 : PA7 入出力 (ボ - ト) 01 : TCLKB 入力 (MTU) 10 : $\overline{\text{CS3}}$ 出力 (BSC) 11 : 設定禁止
PACRL2	14	PA7MD0	0	R/W	
PACRL2	13	PA6MD1	0	R/W	PA6 モードビット PA6/TCLKA/ $\overline{\text{CS2}}$ 端子の機能を選びます。 00 : PA6 入出力 (ボ - ト) 01 : TCLKA 入力 (MTU) 10 : $\overline{\text{CS2}}$ 出力 (BSC) 11 : 設定禁止
PACRL2	12	PA6MD0	0	R/W	
PACRL2	11	PA5MD1	0	R/W	PA5 モードビット PA5/SCK1/ $\overline{\text{DREQ1}}$ / $\overline{\text{IRQ1}}$ 端子の機能を選びます。 00 : PA5 入出力 (ボ - ト) 01 : SCK1 入出力 (SCI) 10 : $\overline{\text{DREQ1}}$ 入力 (DMAC) 11 : $\overline{\text{IRQ1}}$ 入力 (INTC)
PACRL2	10	PA5MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PACRL2	8	PA4MD	0	R/W	PA4 モードビット PA4/TXD1 端子の機能を選びます。 0 : PA4 入出力 (ボ - ト) 1 : TXD1 出力 (SCI)
PACRL2	6	PA3MD	0	R/W	PA3 モードビット PA3/RXD1 端子の機能を選びます。 0 : PA3 入出力 (ボ - ト) 1 : RXD1 入力 (SCI)
PACRL2	5	PA2MD1	0	R/W	PA2 モードビット PA2/SCK0/ $\overline{\text{DREQ0}}$ / $\overline{\text{IRQ0}}$ 端子の機能を選びます。 00 : PA2 入出力 (ボ - ト) 01 : SCK0 入出力 (SCI) 10 : $\overline{\text{DREQ0}}$ 入力 (DMAC) 11 : $\overline{\text{IRQ0}}$ 入力 (INTC)
PACRL2	4	PA2MD0	0	R/W	
PACRL2	2	PA1MD	0	R/W	PA1 モードビット PA1/TXD0 端子の機能を選びます。 0 : PA1 入出力 (ボ - ト) 1 : TXD0 出力 (SCI)
PACRL2	0	PA0MD	0	R/W	PA0 モードビット PA0/RXD0 端子の機能を選びます。 0 : PA0 入出力 (ボ - ト) 1 : RXD0 入力 (SCI)

【注】 *1 内蔵 ROM 有効 / 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

17. ピンファンクションコントローラ (PFC)

(2) ポートAコントロールレジスタL2、1、H (PACRL2、1、H) SH7145の場合

レジスタ	ビット	ビット名	初期値	R/W	説明
PACRH	15		0	R	リザーブビットです。
PACRH	13		0	R	読み出すと常に0が読み出されます。
PACRH	11		0	R	書き込む値も常に0にしてください。
PACRH	9		0	R	
PACRH	3		0	R	
PACRL1	15、13、11、 9、7、5		すべて0	R	
PACRL2	9、7、3、1		すべて0	R	
PACRH	14	PA23MD	0* ³	R/W	PA23 モードビット PA23/ $\overline{\text{WRHH}}$ 端子の機能を選びます。 0: PA23 入出力 (ポ - ト) 1: $\overline{\text{WRHH}}$ 出力 (BSC)
PACRH	12	PA22MD	0* ³	R/W	PA22 モードビット PA22/ $\overline{\text{WRHL}}$ 端子の機能を選びます。 0: PA22 入出力 (ポ - ト) 1: $\overline{\text{WRHL}}$ 出力 (BSC)
PACRH	10	PA21MD	0	R/W	PA21 モードビット PA21/ $\overline{\text{CS5}}$ 端子の機能を選びます。 0: PA21 入出力 (ポ - ト) 1: $\overline{\text{CS5}}$ 出力 (BSC) * ⁴
PACRH	8	PA20MD	0	R/W	PA20 モードビット PA20/ $\overline{\text{CS4}}$ 端子の機能を選びます。 0: PA20 入出力 (ポ - ト) 1: $\overline{\text{CS4}}$ 出力 (BSC) * ⁴
PACRH	7	PA19MD1	0	R/W	PA19 モードビット
PACRH	6	PA19MD0	0	R/W	PA19/ $\overline{\text{BACK}}$ /DRAK1 端子の機能を選びます。 00: PA19 入出力 (ポ - ト) 01: $\overline{\text{BACK}}$ 出力 (BSC) 10: DRAK1 出力 (DMAC) 11: 設定禁止
PACRH	5	PA18MD1	0	R/W	PA18 モードビット
PACRH	4	PA18MD0	0	R/W	PA18/ $\overline{\text{BREQ}}$ /DRAK0 端子の機能を選びます。 00: PA18 入出力 (ポ - ト) 01: $\overline{\text{BREQ}}$ 入力 (BSC) 10: DRAK0 出力 (DMAC) 11: 設定禁止

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PACRH	2	PA17MD	0	R/W	PA17 モードビット PA17/ $\overline{\text{WAIT}}$ 端子の機能を選びます。 0 : PA17 入出力 (ポ - ト) 1 : $\overline{\text{WAIT}}$ 入力 (BSC)
PACRH PACRH	1 0	PA16MD1 PA16MD0	0 0	R/W R/W	PA16 モードビット PA16/ $\overline{\text{AUDSYNC}}$ 端子の機能を選びます。 00 : PA16 入出力 (ポ - ト) 01 : 設定禁止 10 : 設定禁止 11 : $\overline{\text{AUDSYNC}}$ 入出力 (AUD)* ¹
PACRL1	14	PA15MD	0* ²	R/W	PA15 モードビット PA15/ $\overline{\text{CK}}$ 端子の機能を選びます。 0 : PA15 入出力 (ポ - ト) 1 : $\overline{\text{CK}}$ 出力 (CPG)
PACRL1	12	PA14MD	0* ³	R/W	PA14 モードビット PA14/ $\overline{\text{RD}}$ 端子の機能を選びます。 0 : PA14 入出力 (ポ - ト) 1 : $\overline{\text{RD}}$ 出力 (BSC)
PACRL1	10	PA13MD	0* ³	R/W	PA13 モードビット PA13/ $\overline{\text{WRH}}$ 端子の機能を選びます。 0 : PA13 入出力 (ポ - ト) 1 : $\overline{\text{WRH}}$ 出力 (BSC)
PACRL1	8	PA12MD	0* ³	R/W	PA12 モードビット PA12/ $\overline{\text{WRL}}$ 端子の機能を選びます。 0 : PA12 入出力 (ポ - ト) 1 : $\overline{\text{WRL}}$ 出力 (BSC)
PACRL1	6	PA11MD	0* ³	R/W	PA11 モードビット PA11/ $\overline{\text{CS1}}$ 端子の機能を選びます。 0 : PA11 入出力 (ポ - ト) 1 : $\overline{\text{CS1}}$ 出力 (BSC)
PACRL1	4	PA10MD	0* ³	R/W	PA10 モードビット PA10/ $\overline{\text{CS0}}$ 端子の機能を選びます。 0 : PA10 入出力 (ポ - ト) 1 : $\overline{\text{CS0}}$ 出力 (BSC)

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PACRL1 PACRL1	3 2	PA9MD1 PA9MD0	0 0	R/W R/W	PA9 モードビット PA9/TCLKD/IRQ3 端子の機能を選びます。 00 : PA9 入出力 (ボ - ト) 01 : TCLKD 入力 (MTU) 10 : IRQ3 入力 (INTC) 11 : 設定禁止
PACRL1 PACRL1	1 0	PA8MD1 PA8MD0	0 0	R/W R/W	PA8 モードビット PA8/TCLKC/IRQ2 端子の機能を選びます。 00 : PA8 入出力 (ボ - ト) 01 : TCLKC 入力 (MTU) 10 : IRQ2 入力 (INTC) 11 : 設定禁止
PACRL2 PACRL2	15 14	PA7MD1 PA7MD0	0 0	R/W R/W	PA7 モードビット PA7/TCLKB/CS3 端子の機能を選びます。 00 : PA7 入出力 (ボ - ト) 01 : TCLKB 入力 (MTU) 10 : CS3 出力 (BSC) 11 : 設定禁止
PACRL2 PACRL2	13 12	PA6MD1 PA6MD0	0 0	R/W R/W	PA6 モードビット PA6/TCLKA/CS2 端子の機能を選びます。 00 : PA6 入出力 (ボ - ト) 01 : TCLKA 入力 (MTU) 10 : CS2 出力 (BSC) 11 : 設定禁止
PACRL2 PACRL2	11 10	PA5MD1 PA5MD0	0 0	R/W R/W	PA5 モードビット PA5/SCK1/DREQ1/IRQ1 端子の機能を選びます。 00 : PA5 入出力 (ボ - ト) 01 : SCK1 入出力 (SCI) 10 : DREQ1 入力 (DMAC) 11 : IRQ1 入力 (INTC)
PACRL2	8	PA4MD	0	R/W	PA4 モードビット PA4/TXD1 端子の機能を選びます。 0 : PA4 入出力 (ボ - ト) 1 : TXD1 出力 (SCI)

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PACRL2	6	PA3MD	0	R/W	PA3 モードビット PA3/RXD1 端子の機能を選びます。 0 : PA3 入出力 (ポ - ト) 1 : RXD1 入力 (SCI)
PACRL2	5	PA2MD1	0	R/W	PA2 モードビット PA2/SCK0/DREQ0/IRQ0 端子の機能を選びます。 00 : PA2 入出力 (ポ - ト) 01 : SCK0 入出力 (SCI) 10 : DREQ0 入力 (DMAC) 11 : IRQ0 入力 (INTC)
PACRL2	4	PA2MD0	0	R/W	
PACRL2	2	PA1MD	0	R/W	PA1 モードビット PA1/TXD0 端子の機能を選びます。 0 : PA1 入出力 (ポ - ト) 1 : TXD0 出力 (SCI)
PACRL2	0	PA0MD	0	R/W	PA0 モードビット PA0/RXD0 端子の機能を選びます。 0 : PA0 入出力 (ポ - ト) 1 : RXD0 入力 (SCI)

- 【注】 *1 F-ZTAT 版のみ。マスク版、および ROM レス版は設定禁止。
 *2 内蔵 ROM 有効 / 無効外部拡張モード時、初期値は 1 になります。
 *3 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。
 *4 マスク版、および ROM レス版のみ。F-ZTAT 版、およびエミュレータでは設定禁止。

17.1.3 ポート B・IO レジスタ (PBIOR)

PBIOR は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB9IOR ~ PB0IOR ビットが、それぞれ、PB9 端子 ~ PB0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PBIOR はポート B の端子機能が汎用入出力 (PB9 ~ PB0) の場合に有効で、それ以外の場合は無効です

PBIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIOR のビット 15 ~ 10 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PBIOR の初期値は H'0000 です。

17.1.4 ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)

PBCR1、PBCR2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。

• ポート B コントロールレジスタ 1、2 (PBCR1、2)

レジスタ	ビット	ビット名	初期値	R/W	説明
PBCR1	15、14		すべて 0	R	リザーブビットです。
PBCR1	13、12		すべて 0	R/W	読み出すと常に 0 が読み出されます。
PBCR1	9~4		すべて 0	R	書き込む値も常に 0 にしてください。
PBCR2	3、1		すべて 0	R	
PBCR1	3	PB9MD1	0	R/W	PB9 モードビット
PBCR1	2	PB9MD0	0	R/W	PB9/ $\overline{\text{IRQ7}}$ /A21/ $\overline{\text{ADTRG}}$ 端子の機能を選びます。 00 : PB9 入出力 (ポ - ト) 01 : $\overline{\text{IRQ7}}$ 入力 (INTC) 10 : A21 出力 (BSC) 11 : $\overline{\text{ADTRG}}$ 入力 (A/D)
PBCR1	1	PB8MD1	0	R/W	PB8 モードビット
PBCR1	0	PB8MD0	0	R/W	PB8/ $\overline{\text{IRQ6}}$ /A20/ $\overline{\text{WAIT}}$ 端子の機能を選びます。 00 : PB8 入出力 (ポ - ト) 01 : $\overline{\text{IRQ6}}$ 入力 (INTC) 10 : A20 出力 (BSC) 11 : $\overline{\text{WAIT}}$ 入力 (BSC)
PBCR2	15	PB7MD1	0	R/W	PB7 モードビット
PBCR2	14	PB7MD0	0	R/W	PB7/ $\overline{\text{IRQ5}}$ /A19/ $\overline{\text{BREQ}}$ 端子の機能を選びます。 00 : PB7 入出力 (ポ - ト) 01 : $\overline{\text{IRQ5}}$ 入力 (INTC) 10 : A19 出力 (BSC) 11 : $\overline{\text{BREQ}}$ 入力 (BSC)
PBCR2	13	PB6MD1	0	R/W	PB6 モードビット
PBCR2	12	PB6MD0	0	R/W	PB6/ $\overline{\text{IRQ4}}$ /A18/ $\overline{\text{BACK}}$ 端子の機能を選びます。 00 : PB6 入出力 (ポ - ト) 01 : $\overline{\text{IRQ4}}$ 入力 (INTC) 10 : A18 出力 (BSC) 11 : $\overline{\text{BACK}}$ 出力 (BSC)

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PBCR2	11	PB5MD1	0	R/W	PB5 モードビット PB5/ $\overline{\text{IRQ3}}$ / $\overline{\text{POE3}}$ / $\overline{\text{CS7}}$ 端子の機能を選びます。 00 : PB5 入出力 (ボ - ト) 01 : $\overline{\text{IRQ3}}$ 入力 (INTC) 10 : $\overline{\text{POE3}}$ 入力 (ボ - ト) 11 : $\overline{\text{CS7}}$ 出力 (BSC) * ²
PBCR2	10	PB5MD0	0	R/W	
PBCR2	9	PB4MD1	0	R/W	PB4 モードビット PB4/ $\overline{\text{IRQ2}}$ / $\overline{\text{POE2}}$ / $\overline{\text{CS6}}$ 端子の機能を選びます。 00 : PB4 入出力 (ボ - ト) 01 : $\overline{\text{IRQ2}}$ 入力 (INTC) 10 : $\overline{\text{POE2}}$ 入力 (ボ - ト) 11 : $\overline{\text{CS6}}$ 出力 (BSC) * ²
PBCR2	8	PB4MD0	0	R/W	
PBCR1	11	PB3MD2	0	R/W	PB3 モードビット PB3/ $\overline{\text{IRQ1}}$ / $\overline{\text{POE1}}$ / $\overline{\text{SDA0}}$ 端子の機能を選びます。 000 : PB3 入出力 (ボ - ト) 001 : $\overline{\text{IRQ1}}$ 入力 (INTC) 010 : $\overline{\text{POE1}}$ 入力 (ボ - ト) 011 : 設定禁止 100 : SDA0 入出力 (IIC) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
PBCR2	7	PB3MD1	0	R/W	
PBCR2	6	PB3MD0	0	R/W	
PBCR1	10	PB2MD2	0	R/W	PB2 モードビット PB2/ $\overline{\text{IRQ0}}$ / $\overline{\text{POE0}}$ / $\overline{\text{SCL0}}$ 端子の機能を選びます。 000 : PB2 入出力 (ボ - ト) 001 : $\overline{\text{IRQ0}}$ 入力 (INTC) 010 : $\overline{\text{POE0}}$ 入力 (ボ - ト) 011 : 設定禁止 100 : SCL0 入出力 (IIC) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
PBCR2	5	PB2MD1	0	R/W	
PBCR2	4	PB2MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PBCR2	2	PB1MD	0* ¹	R/W	PB1 モードビット PB1/A17 端子の機能を選びます。 0 : PB1 入出力 (ポ - ト) 1 : A17 出力 (BSC)
PBCR2	0	PB0MD	0* ¹	R/W	PB0 モードビット PB0/A16 端子の機能を選びます。 0 : PB0 入出力 (ポ - ト) 1 : A16 出力 (BSC)

【注】 *1 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*2 マスク版、および ROM レス版のみ。F-ZTAT 版、およびエミュレータでは設定禁止。

17.1.5 ポート C・IO レジスタ (PCIOR)

PCIOR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PC15IOR ~ PC0IOR ビットが、それぞれ、PC15 ~ PC0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PCIOR はポート C の端子機能が汎用入出力 (PC15 ~ PC0) の場合に有効でそれ以外の場合は無効です。

PCIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIOR の初期値は H'0000 です。

17.1.6 ポート C コントロールレジスタ (PCCR)

PCCR は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にあるマルチプレクス端子の機能を選びます。

• ポート C コントロールレジスタ (PCCR)

レジスタ	ビット	ビット名	初期値	R/W	説明
PCCR	15	PC15MD	0*	R/W	PC15 モードビット PC15/A15 端子の機能を選びます。 0 : PC15 入出力 (ポ - ト) 1 : A15 出力 (BSC)
PCCR	14	PC14MD	0*	R/W	PC14 モードビット PC14/A14 端子の機能を選びます。 0 : PC14 入出力 (ポ - ト) 1 : A14 出力 (BSC)

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PCCR	13	PC13MD	0*	R/W	PC13 モードビット PC13/A13 端子の機能を選びます。 0 : PC13 入出力 (ポ - ト) 1 : A13 出力 (BSC)
PCCR	12	PC12MD	0*	R/W	PC12 モードビット PC12/A12 端子の機能を選びます。 0 : PC12 入出力 (ポ - ト) 1 : A12 出力 (BSC)
PCCR	11	PC11MD	0*	R/W	PC11 モードビット PC11/A11 端子の機能を選びます。 0 : PC11 入出力 (ポ - ト) 1 : A11 出力 (BSC)
PCCR	10	PC10MD	0*	R/W	PC10 モードビット PC10/A10 端子の機能を選びます。 0 : PC10 入出力 (ポ - ト) 1 : A10 出力 (BSC)
PCCR	9	PC9MD	0*	R/W	PC9 モードビット PC9/A9 端子の機能を選びます。 0 : PC9 入出力 (ポ - ト) 1 : A9 出力 (BSC)
PCCR	8	PC8MD	0*	R/W	PC8 モードビット PC8/A8 端子の機能を選びます。 0 : PC8 入出力 (ポ - ト) 1 : A8 出力 (BSC)
PCCR	7	PC7MD	0*	R/W	PC7 モードビット PC7/A7 端子の機能を選びます。 0 : PC7 入出力 (ポ - ト) 1 : A7 出力 (BSC)
PCCR	6	PC6MD	0*	R/W	PC6 モードビット PC6/A6 端子の機能を選びます。 0 : PC6 入出力 (ポ - ト) 1 : A6 出力 (BSC)
PCCR	5	PC5MD	0*	R/W	PC5 モードビット PC5/A5 端子の機能を選びます。 0 : PC5 入出力 (ポ - ト) 1 : A5 出力 (BSC)

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PCCR	4	PC4MD	0*	R/W	PC4 モードビット PC4/A4 端子の機能を選びます。 0 : PC4 入出力 (ポ - ト) 1 : A4 出力 (BSC)
PCCR	3	PC3MD	0*	R/W	PC3 モードビット PC3/A3 端子の機能を選びます。 0 : PC3 入出力 (ポ - ト) 1 : A3 出力 (BSC)
PCCR	2	PC2MD	0*	R/W	PC2 モードビット PC2/A2 端子の機能を選びます。 0 : PC2 入出力 (ポ - ト) 1 : A2 出力 (BSC)
PCCR	1	PC1MD	0*	R/W	PC1 モードビット PC1/A1 端子の機能を選びます。 0 : PC1 入出力 (ポ - ト) 1 : A1 出力 (BSC)
PCCR	0	PC0MD	0*	R/W	PC0 モードビット PC0/A0 端子の機能を選びます。 0 : PC0 入出力 (ポ - ト) 1 : A0 出力 (BSC)

【注】 * 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

17.1.7 ポート D・IO レジスタ L、H (PDIORL、H)

PDIORL、PDIORH は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD31IOR ~ PD0IOR ビットが、それぞれ、PD31 ~ PD0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PDIORL はポート D の端子機能が汎用入出力 (PD15 ~ PD0) の場合に有効でそれ以外の場合は無効です。PDIORH はポート D の端子機能が汎用入出力 (PD31 ~ PD16) の場合に有効でそれ以外の場合は無効です。

PDIORL および PDIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ただし、PDIORH のビット 15 ~ 0 は SH7144 では無効となります。

PDIOR の初期値は H'0000 です。

17. ピンファンクションコントローラ (PFC)

17.1.8 ポート D コントロールレジスタ L1、L2、H1、H2 (PDCRL1、L2、H1、H2)

PDCRL1、PDCRL2、PDCRH1、PDCRH2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。

(1) ポート D コントロールレジスタ L1、L2、H1、H2 (PDCRL1、L2、H1、H2) SH7144 の場合

レジスタ	ビット	ビット名	初期値	R/W	説明
PDCRH1	15~0		すべて 0	R/W	リザーブビットです。
PDCRH2	15~0		すべて 0	R/W	読み出すと常に 0 が読み出されます。
PDCRL2	7~0		すべて 0	R	書き込む値も常に 0 にしてください。
PDCRL2	15	PD15MD1	0	R/W	PD15 モードビット
PDCRL1	15	PD15MD0	0* ²	R/W	PD15/D15/AUDSYN \bar{C} 端子の機能を選びます。 00 : PD15 入出力 (ポ - ト) 01 : D15 入出力 (BSC) 10 : AUDSYN \bar{C} 入出力 (AUD) * ¹ 11 : 設定禁止
PDCRL2	14	PD14MD1	0	R/W	PD14 モードビット
PDCRL1	14	PD14MD0	0* ²	R/W	PD14/D14/AUDCK 端子の機能を選びます。 00 : PD14 入出力 (ポ - ト) 01 : D14 入出力 (BSC) 10 : AUDCK 入出力 (AUD) * ¹ 11 : 設定禁止
PDCRL2	13	PD13MD1	0	R/W	PD13 モードビット
PDCRL1	13	PD13MD0	0* ²	R/W	PD13/D13/AUDMD 端子の機能を選びます。 00 : PD13 入出力 (ポ - ト) 01 : D13 入出力 (BSC) 10 : AUDMD 入力 (AUD) * ¹ 11 : 設定禁止
PDCRL2	12	PD12MD1	0	R/W	PD12 モードビット
PDCRL1	12	PD12MD0	0* ²	R/W	PD12/D12/AUDRST 端子の機能を選びます。 00 : PD12 入出力 (ポ - ト) 01 : D12 入出力 (BSC) 10 : AUDRST 入力 (AUD) * ¹ 11 : 設定禁止

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PDCRL2 PDCRL1	11 11	PD11MD1 PD11MD0	0 0* ²	R/W R/W	PD11 モードビット PD11/D11/AUDATA3 端子の機能を選びます。 00 : PD11 入出力 (ポ - ト) 01 : D11 入出力 (BSC) 10 : AUDATA3 入出力 (AUD) * ¹ 11 : 設定禁止
PDCRL2 PDCRL1	10 10	PD10MD1 PD10MD0	0 0* ²	R/W R/W	PD10 モードビット PD10/D10/AUDATA2 端子の機能を選びます。 00 : PD10 入出力 (ポ - ト) 01 : D10 入出力 (BSC) 10 : AUDATA2 入出力 (AUD) * ¹ 11 : 設定禁止
PDCRL2 PDCRL1	9 9	PD9MD1 PD9MD0	0 0* ²	R/W R/W	PD9 モードビット PD9/D9/AUDATA1 端子の機能を選びます。 00 : PD9 入出力 (ポ - ト) 01 : D9 入出力 (BSC) 10 : AUDATA1 入出力 (AUD) * ¹ 11 : 設定禁止
PDCRL2 PDCRL1	8 8	PD8MD1 PD8MD0	0 0* ²	R/W R/W	PD8 モードビット PD8/D8/AUDATA0 端子の機能を選びます。 00 : PD8 入出力 (ポ - ト) 01 : D8 入出力 (BSC) 10 : AUDATA0 入出力 (AUD) * ¹ 11 : 設定禁止
PDCRL1	7	PD7MD	0* ³	R/W	PD7 モードビット PD7/D7 端子の機能を選びます。 0 : PD7 入出力 (ポ - ト) 1 : D7 入出力 (BSC)
PDCRL1	6	PD6MD	0* ³	R/W	PD6 モードビット PD6/D6 端子の機能を選びます。 0 : PD6 入出力 (ポ - ト) 1 : D6 入出力 (BSC)
PDCRL1	5	PD5MD	0* ³	R/W	PD5 モードビット PD5/D5 端子の機能を選びます。 0 : PD5 入出力 (ポ - ト) 1 : D5 入出力 (BSC)

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PDCRL1	4	PD4MD	0* ³	R/W	PD4 モードビット PD4/D4 端子の機能を選びます。 0 : PD4 入出力 (ポ - ト) 1 : D4 入出力 (BSC)
PDCRL1	3	PD3MD	0* ³	R/W	PD3 モードビット PD3/D3 端子の機能を選びます。 0 : PD3 入出力 (ポ - ト) 1 : D3 入出力 (BSC)
PDCRL1	2	PD2MD	0* ³	R/W	PD2 モードビット PD2/D2 端子の機能を選びます。 0 : PD2 入出力 (ポ - ト) 1 : D2 入出力 (BSC)
PDCRL1	1	PD1MD	0* ³	R/W	PD1 モードビット PD1/D1 端子の機能を選びます。 0 : PD1 入出力 (ポ - ト) 1 : D1 入出力 (BSC)
PDCRL1	0	PD0MD	0* ³	R/W	PD0 モードビット PD0/D0 端子の機能を選びます。 0 : PD0 入出力 (ポ - ト) 1 : D0 入出力 (BSC)

【注】 *1 F-ZTAT 版のみ。マスク版、および ROM レス版は設定禁止。

*2 内蔵 ROM 無効 16 ビット外部拡張モード時、初期値は 1 になります。

*3 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

(2) ポート D コントロールレジスタ L1、L2、H1、H2 (PDCRL1、L2、H1、H2) SH7145 の場合

レジスタ	ビット	ビット名	初期値	R/W	説明
PDCRL2	7-0	-	すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。
PDCRH1	15	PD31MD1	0	R/W	PD31 モードビット
PDCRH1	14	PD31MD0	0* ²	R/W	PD31/D31/ $\overline{\text{ADTRG}}$ 端子の機能を選びます。 00 : PD31 入出力 (ポ - ト) 01 : D31 入出力 (BSC) 10 : $\overline{\text{ADTRG}}$ 入力 (A/D) 11 : 設定禁止

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PDCRH1 PDCRH1	13 12	PD30MD1 PD30MD0	0 0* ²	R/W R/W	PD30 モードビット PD30/D30/IRQOUT 端子の機能を選びます。 00 : PD30 入出力 (ボ - ト) 01 : D30 入出力 (BSC) 10 : IRQOUT 出力 (INTC) 11 : 設定禁止
PDCRH1 PDCRH1	11 10	PD29MD1 PD29MD0	0 0* ²	R/W R/W	PD29 モードビット PD29/D29/CS3 端子の機能を選びます。 00 : PD29 入出力 (ボ - ト) 01 : D29 入出力 (BSC) 10 : CS3 出力 (BSC) 11 : 設定禁止
PDCRH1 PDCRH1	9 8	PD28MD1 PD28MD0	0 0* ²	R/W R/W	PD28 モードビット PD28/D28/CS2 端子の機能を選びます。 00 : PD28 入出力 (ボ - ト) 01 : D28 入出力 (BSC) 10 : CS2 出力 (BSC) 11 : 設定禁止
PDCRH1 PDCRH1	7 6	PD27MD1 PD27MD0	0 0* ²	R/W R/W	PD27 モードビット PD27/D27/DACK1 端子の機能を選びます。 00 : PD27 入出力 (ボ - ト) 01 : D27 入出力 (BSC) 10 : DACK1 出力 (DMAC) 11 : 設定禁止
PDCRH1 PDCRH1	5 4	PD26MD1 PD26MD0	0 0* ²	R/W R/W	PD26 モードビット PD26/D26/DACK0 端子の機能を選びます。 00 : PD26 入出力 (ボ - ト) 01 : D26 入出力 (BSC) 10 : DACK0 出力 (DMAC) 11 : 設定禁止
PDCRH1 PDCRH1	3 2	PD25MD1 PD25MD0	0 0* ²	R/W R/W	PD25 モードビット PD25/D25/DREQ1 端子の機能を選びます。 00 : PD25 入出力 (ボ - ト) 01 : D25 入出力 (BSC) 10 : DREQ1 入力 (DMAC) 11 : 設定禁止

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PDCRH1 PDCRH1	1 0	PD24MD1 PD24MD0	0 0* ²	R/W R/W	PD24 モードビット PD24/D24/DREQ0 端子の機能を選びます。 00 : PD24 入出力 (ボ - ト) 01 : D24 入出力 (BSC) 10 : $\overline{\text{DREQ0}}$ 入力 (DMAC) 11 : 設定禁止
PDCRH2 PDCRH2	15 14	PD23MD1 PD23MD0	0 0* ²	R/W R/W	PD23 モードビット PD23/D23/ $\overline{\text{IRQ7}}$ /AUDSYNC 端子の機能を選びます。 00 : PD23 入出力 (ボ - ト) 01 : D23 入出力 (BSC) 10 : $\overline{\text{IRQ7}}$ 入力 (INTC) 11 : $\overline{\text{AUDSYNC}}$ 入出力 (AUD) * ¹
PDCRH2 PDCRH2	13 12	PD22MD1 PD22MD0	0 0* ²	R/W R/W	PD22 モードビット PD22/D22/ $\overline{\text{IRQ6}}$ /AUDCK 端子の機能を選びます。 00 : PD22 入出力 (ボ - ト) 01 : D22 入出力 (BSC) 10 : $\overline{\text{IRQ6}}$ 入力 (INTC) 11 : AUDCK 入出力 (AUD) * ¹
PDCRH2 PDCRH2	11 10	PD21MD1 PD21MD0	0 0* ²	R/W R/W	PD21 モードビット PD21/D21/ $\overline{\text{IRQ5}}$ /AUDMD 端子の機能を選びます。 00 : PD21 入出力 (ボ - ト) 01 : D21 入出力 (BSC) 10 : $\overline{\text{IRQ5}}$ 入力 (INTC) 11 : AUDMD 入力 (AUD) * ¹
PDCRH2 PDCRH2	9 8	PD20MD1 PD20MD0	0 0* ²	R/W R/W	PD20 モードビット PD20/D20/ $\overline{\text{IRQ4}}$ /AUDRST 端子の機能を選びます。 00 : PD20 入出力 (ボ - ト) 01 : D20 入出力 (BSC) 10 : $\overline{\text{IRQ4}}$ 入力 (INTC) 11 : $\overline{\text{AUDRST}}$ 入力 (AUD) * ¹
PDCRH2 PDCRH2	7 6	PD19MD1 PD19MD0	0 0* ²	R/W R/W	PD19 モードビット PD19/D19/ $\overline{\text{IRQ3}}$ /AUDATA3 端子の機能を選びます。 00 : PD19 入出力 (ボ - ト) 01 : D19 入出力 (BSC) 10 : $\overline{\text{IRQ3}}$ 入力 (INTC) 11 : AUDATA3 入出力 (AUD) * ¹

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PDCRH2 PDCRH2	5 4	PD18MD1 PD18MD0	0 0* ²	R/W R/W	PD18 モードビット PD18/D18/ $\overline{\text{IRQ2}}$ /AUDATA2 端子の機能を選びます。 00 : PD18 入出力 (ボ - ト) 01 : D18 入出力 (BSC) 10 : $\overline{\text{IRQ2}}$ 入力 (INTC) 11 : AUDATA2 入出力 (AUD) * ¹
PDCRH2 PDCRH2	3 2	PD17MD1 PD17MD0	0 0* ²	R/W R/W	PD17 モードビット PD17/D17/ $\overline{\text{IRQ1}}$ /AUDATA1 端子の機能を選びます。 00 : PD17 入出力 (ボ - ト) 01 : D17 入出力 (BSC) 10 : $\overline{\text{IRQ1}}$ 入力 (INTC) 11 : AUDATA1 入出力 (AUD) * ¹
PDCRH2 PDCRH2	1 0	PD16MD1 PD16MD0	0 0* ²	R/W R/W	PD16 モードビット PD16/D16/ $\overline{\text{IRQ0}}$ /AUDATA0 端子の機能を選びます。 00 : PD16 入出力 (ボ - ト) 01 : D16 入出力 (BSC) 10 : $\overline{\text{IRQ0}}$ 入力 (INTC) 11 : AUDATA0 入出力 (AUD) * ¹
PDCRL2 PDCRL1	15 15	PD15MD1 PD15MD0	0 0* ³	R/W R/W	PD15 モードビット PD15/D15 端子の機能を選びます。 00 : PD15 入出力 (ボ - ト) 01 : D15 入出力 (BSC) 10 : 設定禁止 11 : 設定禁止
PDCRL2 PDCRL1	14 14	PD14MD1 PD14MD0	0 0* ³	R/W R/W	PD14 モードビット PD14/D14 端子の機能を選びます。 00 : PD14 入出力 (ボ - ト) 01 : D14 入出力 (BSC) 10 : 設定禁止 11 : 設定禁止
PDCRL2 PDCRL1	13 13	PD13MD1 PD13MD0	0 0* ³	R/W R/W	PD13 モードビット PD13/D13 端子の機能を選びます。 00 : PD13 入出力 (ボ - ト) 01 : D13 入出力 (BSC) 10 : 設定禁止 11 : 設定禁止

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PDCRL2 PDCRL1	12 12	PD12MD1 PD12MD0	0 0* ³	R/W R/W	PD12 モードビット PD12/D12 端子の機能を選びます。 00 : PD12 入出力 (ボ - ト) 01 : D12 入出力 (BSC) 10 : 設定禁止 11 : 設定禁止
PDCRL2 PDCRL1	11 11	PD11MD1 PD11MD0	0 0* ³	R/W R/W	PD11 モードビット PD11/D11 端子の機能を選びます。 00 : PD11 入出力 (ボ - ト) 01 : D11 入出力 (BSC) 10 : 設定禁止 11 : 設定禁止
PDCRL2 PDCRL1	10 10	PD10MD1 PD10MD0	0 0* ³	R/W R/W	PD10 モードビット PD10/D10 端子の機能を選びます。 00 : PD10 入出力 (ボ - ト) 01 : D10 入出力 (BSC) 10 : 設定禁止 11 : 設定禁止
PDCRL2 PDCRL1	9 9	PD9MD1 PD9MD0	0 0* ³	R/W R/W	PD9 モードビット PD9/D9 端子の機能を選びます。 00 : PD9 入出力 (ボ - ト) 01 : D9 入出力 (BSC) 10 : 設定禁止 11 : 設定禁止
PDCRL2 PDCRL1	8 8	PD8MD1 PD8MD0	0 0* ³	R/W R/W	PD8 モードビット PD8/D8 端子の機能を選びます。 00 : PD8 入出力 (ボ - ト) 01 : D8 入出力 (BSC) 10 : 設定禁止 11 : 設定禁止
PDCRL1	7	PD7MD	0* ³	R/W	PD7 モードビット PD7/D7 端子の機能を選びます。 0 : PD7 入出力 (ボ - ト) 1 : D7 入出力 (BSC)
PDCRL1	6	PD6MD	0* ³	R/W	PD6 モードビット PD6/D6 端子の機能を選びます。 0 : PD6 入出力 (ボ - ト) 1 : D6 入出力 (BSC)

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PDCRL1	5	PD5MD	0* ³	R/W	PD5 モードビット PD5/D5 端子の機能を選びます。 0 : PD5 入出力 (ポ - ト) 1 : D5 入出力 (BSC)
PDCRL1	4	PD4MD	0* ³	R/W	PD4 モードビット PD4/D4 端子の機能を選びます。 0 : PD4 入出力 (ポ - ト) 1 : D4 入出力 (BSC)
PDCRL1	3	PD3MD	0* ³	R/W	PD3 モードビット PD3/D3 端子の機能を選びます。 0 : PD3 入出力 (ポ - ト) 1 : D3 入出力 (BSC)
PDCRL1	2	PD2MD	0* ³	R/W	PD2 モードビット PD2/D2 端子の機能を選びます。 0 : PD2 入出力 (ポ - ト) 1 : D2 入出力 (BSC)
PDCRL1	1	PD1MD	0* ³	R/W	PD1 モードビット PD1/D1 端子の機能を選びます。 0 : PD1 入出力 (ポ - ト) 1 : D1 入出力 (BSC)
PDCRL1	0	PD0MD	0* ³	R/W	PD0 モードビット PD0/D0 端子の機能を選びます。 0 : PD0 入出力 (ポ - ト) 1 : D0 入出力 (BSC)

【注】 *1 F-ZTAT 版のみ。マスク版、および ROM レス版は設定禁止。

*2 内蔵 ROM 無効 32 ビット外部拡張モード時、初期値は 1 となります。

*3 内蔵 ROM 無効外部拡張モード時、初期値は 1 となります。

17. ピンファンクションコントローラ (PFC)

17.1.9 ポート E・IO レジスタ L (PEIORL)

PEIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選びます。PE15IOR ~ PE0IOR ビットが、それぞれ、PE15 端子 ~ PE0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PEIORL はポート E の端子機能が汎用入出力 (PE15 ~ PE0) および MTU の TIOC 入出力、SCI の SCK2、SCK3 入出力の場合に有効でそれ以外の場合は無効です。

PEIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIORL の初期値は H'0000 です。

17.1.10 ポート E コントロールレジスタ L1、L2 (PECRL1、L2)

PECRL1、PECRL2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にあるマルチプレクス端子の機能を選びます。

(1) ポート E コントロールレジスタ L1、L2 (PECRL1、L2) SH7144 の場合

レジスタ	ビット	ビット名	初期値	R/W	説明
PECRL1	15	PE15MD1	0	R/W	PE15 モードビット PE15/TIOC4D/DACK1/ $\overline{\text{IRQOUT}}$ 端子の機能を選びます。 00 : PE15 入出力 (ボ - ト) 01 : TIOC4D 入出力 (MTU) 10 : DACK1 出力 (DMAC) 11 : $\overline{\text{IRQOUT}}$ 出力 (INTC)
PECRL1	14	PE15MD0	0	R/W	
PECRL1	13	PE14MD1	0	R/W	PE14 モードビット PE14/TIOC4C/DACK0 端子の機能を選びます。 00 : PE14 入出力 (ボ - ト) 01 : TIOC4C 入出力 (MTU) 10 : DACK0 出力 (DMAC) 11 : 設定禁止
PECRL1	12	PE14MD0	0	R/W	
PECRL1	11	PE13MD1	0	R/W	PE13 モードビット PE13/TIOC4B/ $\overline{\text{MRES}}$ 端子の機能を選びます。 00 : PE13 入出力 (ボ - ト) 01 : TIOC4B 入出力 (MTU) 10 : $\overline{\text{MRES}}$ 入力 (INTC) 11 : 設定禁止
PECRL1	10	PE13MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PECRL1	9	PE12MD1	0	R/W	PE12 モードビット PE12/TIOC4A/TXD3 端子の機能を選びます。 00 : PE12 入出力 (ボ - ト) 01 : TIOC4A 入出力 (MTU) 10 : 設定禁止 11 : TXD3 出力 (SCI)
PECRL1	8	PE12MD0	0	R/W	
PECRL1	7	PE11MD1	0	R/W	PE11 モードビット PE11/TIOC3D/RXD3 端子の機能を選びます。 00 : PE11 入出力 (ボ - ト) 01 : TIOC3D 入出力 (MTU) 10 : 設定禁止 11 : RXD3 入力 (SCI)
PECRL1	6	PE11MD0	0	R/W	
PECRL1	5	PE10MD1	0	R/W	PE10 モードビット PE10/TIOC3C/TXD2 端子の機能を選びます。 00 : PE10 入出力 (ボ - ト) 01 : TIOC3C 入出力 (MTU) 10 : TXD2 出力 (SCI) 11 : 設定禁止
PECRL1	4	PE10MD0	0	R/W	
PECRL1	3	PE9MD1	0	R/W	PE9 モードビット PE9/TIOC3B/SCK3 端子の機能を選びます。 00 : PE9 入出力 (ボ - ト) 01 : TIOC3B 入出力 (MTU) 10 : 設定禁止 11 : SCK3 入出力 (SCI)
PECRL1	2	PE9MD0	0	R/W	
PECRL1	1	PE8MD1	0	R/W	PE8 モードビット PE8/TIOC3A/SCK2 端子の機能を選びます。 00 : PE8 入出力 (ボ - ト) 01 : TIOC3A 入出力 (MTU) 10 : SCK2 入出力 (SCI) 11 : 設定禁止
PECRL1	0	PE8MD0	0	R/W	
PECRL2	15	PE7MD1	0	R/W	PE7 モードビット PE7/TIOC2B/RXD2 端子の機能を選びます。 00 : PE7 入出力 (ボ - ト) 01 : TIOC2B 入出力 (MTU) 10 : RXD2 入力 (SCI) 11 : 設定禁止
PECRL2	14	PE7MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PECRL2	13	PE6MD1	0	R/W	PE6 モードビット PE6/TIOC2A/SCK3 端子の機能を選びます。 00 : PE6 入出力 (ポ - ト) 01 : TIOC2A 入出力 (MTU) 10 : SCK3 入出力 (SCI) 11 : 設定禁止
PECRL2	12	PE6MD0	0	R/W	
PECRL2	11	PE5MD1	0	R/W	PE5 モードビット PE5/TIOC1B/TXD3 端子の機能を選びます。 00 : PE5 入出力 (ポ - ト) 01 : TIOC1B 入出力 (MTU) 10 : TXD3 出力 (SCI) 11 : 設定禁止
PECRL2	10	PE5MD0	0	R/W	
PECRL2	9	PE4MD1	0	R/W	PE4 モードビット PE4/TIOC1A/RXD3/TCK 端子の機能を選びます。E10A 使用時 (DBGMD = H 時) は TCK 入力*に固定されます。 00 : PE4 入出力 (ポ - ト) 01 : TIOC1A 入出力 (MTU) 10 : RXD3 入力 (SCI) 11 : 設定禁止
PECRL2	8	PE4MD0	0	R/W	
PECRL2	7	PE3MD1	0	R/W	PE3 モードビット PE3/TIOC0D/DRAK1/TDO 端子の機能を選びます。E10A 使用時 (DBGMD = H 時) は TDO 出力*に固定されます。 00 : PE3 入出力 (ポ - ト) 01 : TIOC0D 入出力 (MTU) 10 : DRAK1 出力 (DMAC) 11 : 設定禁止
PECRL2	6	PE3MD0	0	R/W	
PECRL2	5	PE2MD1	0	R/W	PE2 モードビット PE2/TIOC0C/DREQ $\bar{1}$ /TDI 端子の機能を選びます。E10A 使用時 (DBGMD = H 時) は TDI 入力*に固定されます。 00 : PE2 入出力 (ポ - ト) 01 : TIOC0C 入出力 (MTU) 10 : DREQ $\bar{1}$ 入力 (DMAC) 11 : 設定禁止
PECRL2	4	PE2MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PECRL2	3	PE1MD1	0	R/W	PE1 モードビット PE1/TIOC0B/DRAK0/TRST 端子の機能を選びます。E10A 使用時 (DBGMD = H 時) は TRST 入力*に固定されます。 00 : PE1 入出力 (ボ - ト) 01 : TIOC0B 入出力 (MTU) 10 : DRAK0 出力 (DMAC) 11 : 設定禁止
PECRL2	2	PE1MD0	0	R/W	
PECRL2	1	PE0MD1	0	R/W	PE0 モードビット PE0/TIOC0A/DREQ0/TMS 端子の機能を選びます。E10A 使用時 (DBGMD = H 時) は TMS 入力*に固定されます。 00 : PE0 入出力 (ボ - ト) 01 : TIOC0A 入出力 (MTU) 10 : DREQ0 入力 (DMAC) 11 : 設定禁止
PECRL2	0	PE0MD0	0	R/W	

【注】 * F-ZTAT 版のみ。マスク版、および ROM レス版は設定禁止。

(2) ポート E コントロールレジスタ L1、L2 (PECRL1、L2) SH7145 の場合

レジスタ	ビット	ビット名	初期値	R/W	説明
PECRL1	15	PE15MD1	0	R/W	PE15 モードビット PE15/TIOC4D/DACK1/IRQOUT 端子の機能を選びます。 00 : PE15 入出力 (ボ - ト) 01 : TIOC4D 入出力 (MTU) 10 : DACK1 出力 (DMAC) 11 : IRQOUT 出力 (INTC)
PECRL1	14	PE15MD0	0	R/W	
PECRL1	13	PE14MD1	0	R/W	PE14 モードビット PE14/TIOC4C/DACK0 端子の機能を選びます。 00 : PE14 入出力 (ボ - ト) 01 : TIOC4C 入出力 (MTU) 10 : DACK0 出力 (DMAC) 11 : 設定禁止
PECRL1	12	PE14MD0	0	R/W	
PECRL1	11	PE13MD1	0	R/W	PE13 モードビット PE13/TIOC4B/MRES 端子の機能を選びます。 00 : PE13 入出力 (ボ - ト) 01 : TIOC4B 入出力 (MTU) 10 : MRES 入力 (INTC) 11 : 設定禁止
PECRL1	10	PE13MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PECRL1	9	PE12MD1	0	R/W	PE12 モードビット
PECRL1	8	PE12MD0	0	R/W	PE12/TIOC4A/TCK/TXD3 端子の機能を選びます。E10A 使用時 (DBGMD = H 時) は TCK 入力*に固定されます。 00 : PE12 入出力 (ボ - ト) 01 : TIOC4A 入出力 (MTU) 10 : 設定禁止 11 : TXD3 出力 (SCI)
PECRL1	7	PE11MD1	0	R/W	PE11 モードビット
PECRL1	6	PE11MD0	0	R/W	PE11/TIOC3D/TDO/RXD3 端子の機能を選びます。E10A 使用時 (DBGMD = H 時) は TDO 出力*に固定されます。 00 : PE11 入出力 (ボ - ト) 01 : TIOC3D 入出力 (MTU) 10 : 設定禁止 11 : RXD3 入力 (SCI)
PECRL1	5	PE10MD1	0	R/W	PE10 モードビット
PECRL1	4	PE10MD0	0	R/W	PE10/TIOC3C/TXD2/TDI 端子の機能を選びます。E10A 使用時 (DBGMD = H 時) は TDI 入力*に固定されます。 00 : PE10 入出力 (ボ - ト) 01 : TIOC3C 入出力 (MTU) 10 : TXD2 出力 (SCI) 11 : 設定禁止
PECRL1	3	PE9MD1	0	R/W	PE9 モードビット
PECRL1	2	PE9MD0	0	R/W	PE9/TIOC3B/TRST/SCK3 端子の機能を選びます。E10A 使用時 (DBGMD = H 時) は TRST 入力*に固定されます。 00 : PE9 入出力 (ボ - ト) 01 : TIOC3B 入出力 (MTU) 10 : 設定禁止 11 : SCK3 入出力 (SCI)
PECRL1	1	PE8MD1	0	R/W	PE8 モードビット
PECRL1	0	PE8MD0	0	R/W	PE8/TIOC3A/SCK2/TMS 端子の機能を選びます。E10A 使用時 (DBGMD = H 時) は TMS 入力*に固定されます。 00 : PE8 入出力 (ボ - ト) 01 : TIOC3A 入出力 (MTU) 10 : SCK2 入出力 (SCI) 11 : 設定禁止

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PECRL2 PECRL2	15 14	PE7MD1 PE7MD0	0 0	R/W R/W	PE7 モードビット PE7/TIOC2B/RXD2 端子の機能を選びます。 00 : PE7 入出力 (ポ - ト) 01 : TIOC2B 入出力 (MTU) 10 : RXD2 入力 (SCI) 11 : 設定禁止
PECRL2 PECRL2	13 12	PE6MD1 PE6MD0	0 0	R/W R/W	PE6 モードビット PE6/TIOC2A/SCK3/AUDATA0 端子の機能を選びます。 00 : PE6 入出力 (ポ - ト) 01 : TIOC2A 入出力 (MTU) 10 : SCK3 入出力 (SCI) 11 : AUDATA0 入出力 (AUD)*
PECRL2 PECRL2	11 10	PE5MD1 PE5MD0	0 0	R/W R/W	PE5 モードビット PE5/TIOC1B/TXD3/AUDATA1 端子の機能を選びます。 00 : PE5 入出力 (ポ - ト) 01 : TIOC1B 入出力 (MTU) 10 : TXD3 出力 (SCI) 11 : AUDATA1 入出力 (AUD)*
PECRL2 PECRL2	9 8	PE4MD1 PE4MD0	0 0	R/W R/W	PE4 モードビット PE4/TIOC1A/RXD3/AUDATA2 端子の機能を選びます。 00 : PE4 入出力 (ポ - ト) 01 : TIOC1A 入出力 (MTU) 10 : RXD3 入力 (SCI) 11 : AUDATA2 入出力 (AUD)*
PECRL2 PECRL2	7 6	PE3MD1 PE3MD0	0 0	R/W R/W	PE3 モードビット PE3/TIOC0D/DRAK1/AUDATA3 端子の機能を選びます。 00 : PE3 入出力 (ポ - ト) 01 : TIOC0D 入出力 (MTU) 10 : DRAK1 出力 (DMAC) 11 : AUDATA3 入出力 (AUD)*
PECRL2 PECRL2	5 4	PE2MD1 PE2MD0	0 0	R/W R/W	PE2 モードビット PE2/TIOC0C/DREQ1/AUDRST 端子の機能を選びます。 00 : PE2 入出力 (ポ - ト) 01 : TIOC0C 入出力 (MTU) 10 : DREQ1 入力 (DMAC) 11 : $\overline{\text{AUDRST}}$ 入力 (AUD)*

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PECRL2	3	PE1MD1	0	R/W	PE1 モードビット PE1/TIOC0B/DRAK0/AUDMD 端子の機能を選びます。 00 : PE1 入出力 (ボ - ト) 01 : TIOC0B 入出力 (MTU) 10 : DRAK0 出力 (DMAC) 11 : AUDMD 入力 (AUD)*
PECRL2	2	PE1MD0	0	R/W	
PECRL2	1	PE0MD1	0	R/W	PE0 モードビット PE0/TIOC0A/DREQ0/AUDCK 端子の機能を選びます。 00 : PE0 入出力 (ボ - ト) 01 : TIOC0A 入出力 (MTU) 10 : DREQ0 入力 (DMAC) 11 : AUDCK 入出力 (AUD)*
PECRL2	0	PE0MD0	0	R/W	

【注】 * F-ZTAT 版のみ。マスク版、および ROM レス版では設定禁止。

17.1.11 大電流ポートコントロールレジスタ (PPCR)

PPCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、大電流ポート (PE9/TIOC3B/SCK3/TRST*、PE11/TIOC3D/RXD3/TDO*、PE12/TIOC4A/TXD3/TCK*、PE13/TIOC4B/MRES、PE14/TIOC4C/DACK0、PE15/TIOC4D/DACK1/IRQOUT) の 6 端子の制御を行います。

なお、本レジスタはエミュレータではサポートされません。エミュレータではリード値は常に不定となります。

【注】 * SH7145 のみ

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。
0	MZIZE	0	R/W	大電流ポートハイインピーダンス 発振停止検出時、およびソフトウェアスタンバイモード時、大電流ポートを PFC の設定にかかわらずハイインピーダンスにするかを選択します。 0 : ハイインピーダンスにする 1 : ハイインピーダンスにしない 本ビットを 1 にした場合、発振停止検出時は端子状態を保持します。ソフトウェアスタンバイモード時は、「付録 A. 端子状態」を参照してください。

17.2 使用上の注意事項

1. 本LSIでは、同一機能が複数の端子にマルチプレクス機能として割り付けられています。これは、端子機能の選択自由度を向上させるとともに、ボードの設計を容易にすることを目的としていますが、1つの機能を2端子以上で使用する場合は、次の点に注意して使用してください。

- 端子機能が入力機能の場合

複数の端子から入力される信号は、ORもしくはAND論理によって1つの信号となり、LSI内部へ伝搬されます。そのため、他の同一機能の端子の入力状態によっては、入力した信号とは異なる信号がLSI内部へ伝搬することがあります。表17.15に複数の端子に割り付けられている入力機能の伝搬形式を示します。以下のいずれかの機能を2つ以上の端子で使用する場合、伝搬形式を考慮し、信号の極性に注意して使用してください。

表 17.15 複数端子に割り付けられている入力機能の伝搬形式

製品	OR 型	AND 型
SH7144	SCK3、RXD3	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ3}}$ 、 $\overline{\text{DREQ0}}$ 、 $\overline{\text{DREQ1}}$
SH7145	SCK3、RXD3、AUDMD*、AUDATA0～AUDATA3*	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ 、 $\overline{\text{DREQ0}}$ 、 $\overline{\text{DREQ1}}$ 、BREQ、WAIT、ADTRG、AUDRST*、AUDSYNC*、AUDCK*

【注】 * F-ZTAT 版のみ

OR型：複数の端子から入力される信号は、OR論理によって1つの信号となり、LSI内部に伝搬します。

AND型：複数の端子から入力される信号は、AND論理によって1つの信号となり、LSI内部に伝搬します。

- 端子機能が出力機能の場合

選択したすべての端子から同一機能を出力することができます。

2. 入出力ポートと $\overline{\text{DREQ}}$ または $\overline{\text{IRQ}}$ がマルチプレクスされている端子で、ポート入力がローレベル状態から $\overline{\text{DREQ}}$ または $\overline{\text{IRQ}}$ エッジ検出に切り換えた場合、当該のエッジが検出されます。
3. 表17.13、表17.14のPFCで設定可能な機能以外に設定をしないでください。指定機能以外に設定した場合、動作は保障されません。
4. 端子機能の選択をする場合は、ポートコントロールレジスタ (PBCR1、PBCR2、PDCRL1、PDCRL2) を設定した後、ポートIOレジスタ (PBIOR、PDIORL) を設定してください。
ただし、ポートA、ポートC、ポートDのPD31～PD16、ポートEとマルチプレクスされている端子機能を選択する場合は、ポートコントロールレジスタ (PACRH、PACRL1、PACRL2、PCCR、PDCRH1、PDCRH2、PECRL1、PECRL2)、ポートIOレジスタ (PAIORH、PAIORL、PCIOR、PDIORH、PEIORL) の設定順を特に気にする必要はありません。
5. 外部空間使用時は、バスコントロールレジスタ1 (BCR1) で設定されるCS空間のバスサイズに応じて、必ず次のとおりにデータ入出力端子を設定してください。
 - CS空間がバイト (8ビット) サイズのとき、D7～D0まですべてをデータ入出力端子に設定してください。
 - CS空間がワード (16ビット) サイズのとき、D15～D0まですべてをデータ入出力端子に設定してください。

17. ピンファンクションコントローラ (PFC)

- CS空間がロングワード (32ビット) サイズのとき、D31 ~ D0まですべてをデータ入出力端子に設定してください。
これ以外の設定で外部空間をリードした場合、正しいデータを取り込むことができません。なお、本注意事項はCS0 ~ CS7空間すべてに該当します。
6. 端子が汎用出力で1出力に設定 (ポートコントロールレジスタが汎用入出力、ポートI/Oレジスタが1、ポートデータレジスタが1) された状態で、 $\overline{\text{RES}}$ 端子によるパワーオンリセットを投入すると、パワーオンリセット突入の瞬間に、端子にローレベルが発生する場合があります。このローレベル発生を抑える場合は、ポートI/Oレジスタを0 (汎用入力) に設定してから、パワーオンリセットを投入してください。
- なお、WDTのオーバーフローによる内部パワーオンリセットでは、上記ローレベルが発生することはありません。

18. I/O ポート

SH7144 のポートは、A、B、C、D、E、F の 6 本から構成されています。ポート A は 16 ビット、ポート B は 10 ビット、ポート C は 16 ビット、ポート D は 16 ビット、ポート E は 16 ビットの入出力ポートです。ポート F は 8 ビットの入力専用ポートです。

SH7145 のポートは、A、B、C、D、E、F の 6 本から構成されています。ポート A は 24 ビット、ポート B は 10 ビット、ポート C は 16 ビット、ポート D は 32 ビット、ポート E は 16 ビットの入出力ポートです。ポート F は 8 ビットの入力専用ポートです。

それぞれのポートの端子は、すべて、その他の機能とを兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC) で行います。

ポートはそれぞれ、端子のデータを格納するためのデータレジスタをもっています。

18.1 ポート A

SH7144 のポート A は、図 18.1 に示すような、16 本の端子を持つ入出力ポートです。

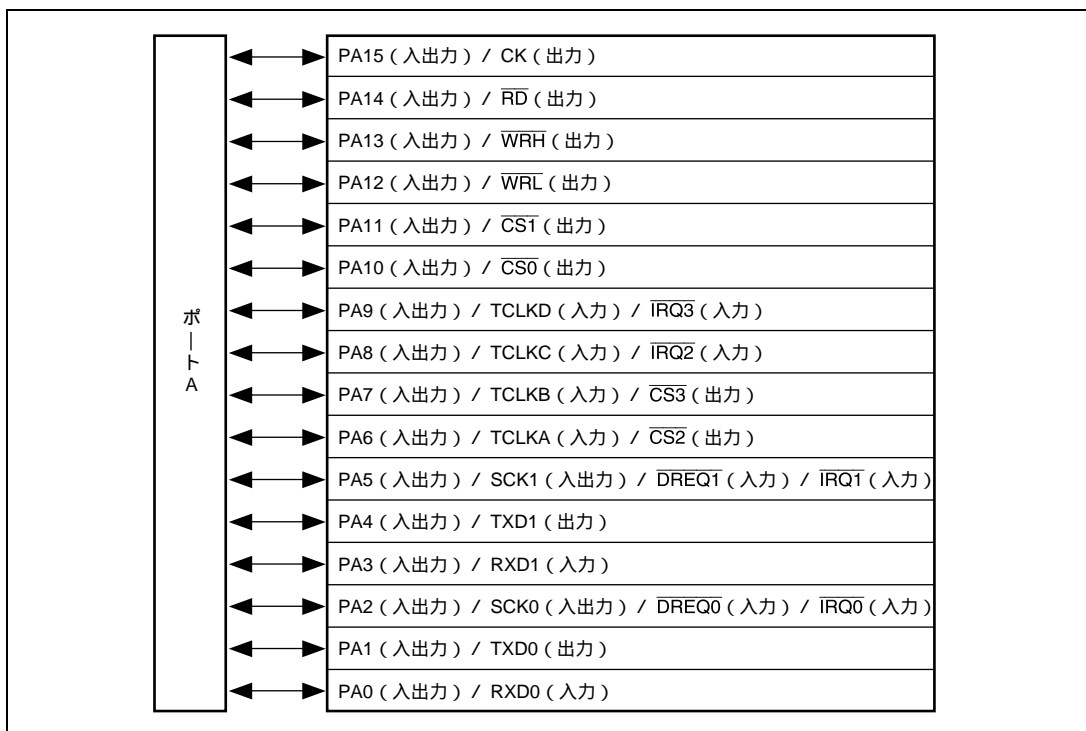


図 18.1 ポート A (SH7144 の場合)

18. I/O ポート

SH7145 のポート A は、図 18.2 に示すような、24 本の端子を持つ入出力ポートです。

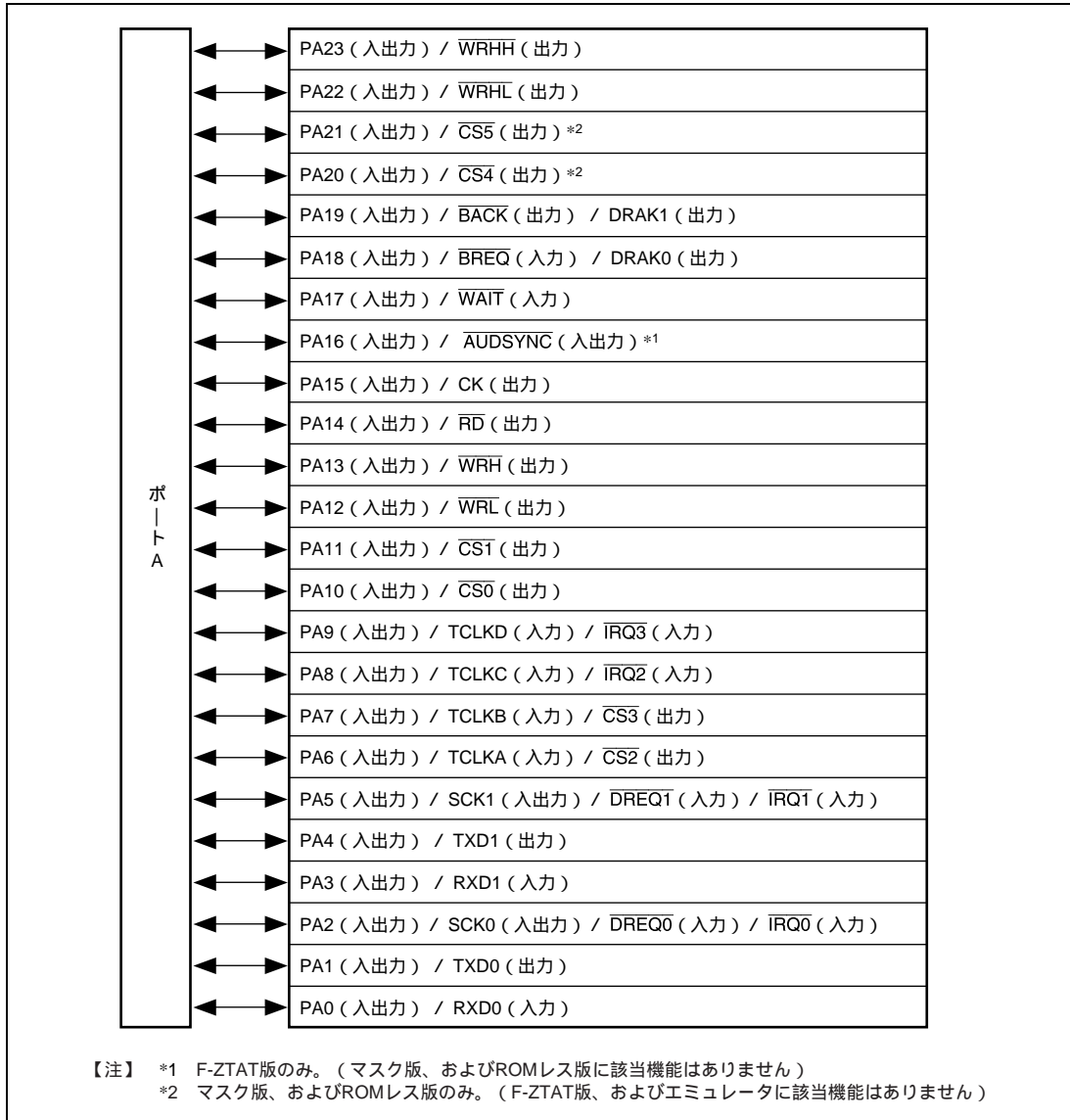


図 18.2 ポート A (SH7145 の場合)

18.1.1 レジスタの説明

ポート A は SH7144 では 16 ビット、SH7145 では 24 ビットの入出力ポートです。ポート A には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- ポートAデータレジスタH (PADRH)
- ポートAデータレジスタL (PADRL)

18.1.2 ポート A データレジスタ H、L (PADRH、L)

PADRH および PADRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。SH7144 では PA15DR ~ PA0DR ビットは、それぞれ、PA15 ~ PA0 端子（兼用機能については記述を省略）に対応しています。SH7145 では PA23DR ~ PA0DR ビットは、それぞれ PA23 ~ PA0 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PADRH または PADRL に値を書き込むと端子からその値が出力され、PADRH または PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRH または PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRH または PADRL に値を書き込むと、PADRH または PADRL にその値を書き込みますが、端子の状態には影響しません。表 18.1 にポート A データレジスタ L の読み出し / 書き込み動作を示します。

• PADRH

ビット	ビット名	初期値	R/W	説明
15~8		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PA23DR	0	R/W	表 18.1 参照*
6	PA22DR	0	R/W	
5	PA21DR	0	R/W	
4	PA20DR	0	R/W	
3	PA19DR	0	R/W	
2	PA18DR	0	R/W	
1	PA17DR	0	R/W	
0	PA16DR	0	R/W	

【注】 * SH7144 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。

18. I/O ポート

• PADRL

ビット	ビット名	初期値	R/W	説明
15	PA15DR	0	R/W	表 18.1 参照
14	PA14DR	0	R/W	
13	PA13DR	0	R/W	
12	PA12DR	0	R/W	
11	PA11DR	0	R/W	
10	PA10DR	0	R/W	
9	PA9DR	0	R/W	
8	PA8DR	0	R/W	
7	PA7DR	0	R/W	
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

表 18.1 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

• PADRH のビット 7~0 および PADRL のビット 15~0

PAIORH、L	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PADRH、L の値	書き込み値が端子から出力される
	汎用出力以外	PADRH、L の値	PADRH、L に書き込めるが、端子の状態に影響しない

18.2 ポート B

ポート B は、図 18.3 に示すような 10 本の端子を持つ入出力ポートです。



図 18.3 ポート B

18.2.1 レジスタの説明

ポート B は、10 ビットの入出力ポートです。ポート B には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- ポート B データレジスタ (PBDR)

18.2.2 ポート B データレジスタ (PBDR)

PBDR は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB9DR ~ PB0DR ビットは、それぞれ、PB9 ~ PB0 端子 (兼用機能については記述を省略) に対応しています。

端子機能が汎用出力の場合には、PBDR に値を書き込むと端子からその値が出力され、PBDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR に値を書き込むと、PBDR にその値を書き込みますが、端子の状態には影響しません。表 18.2 にポート B データレジスタの読み出し/書き込み動作を示します。

18. I/O ポート

ビット	ビット名	初期値	R/W	説明
15~10		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PB9DR	0	R/W	表 18.2 参照
8	PB8DR	0	R/W	
7	PB7DR	0	R/W	
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

表 18.2 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作

• PBDR のビット 9~0

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

18.3 ポート C

ポート C は、図 18.4 に示すような 16 本の端子を持つ入出力ポートです。

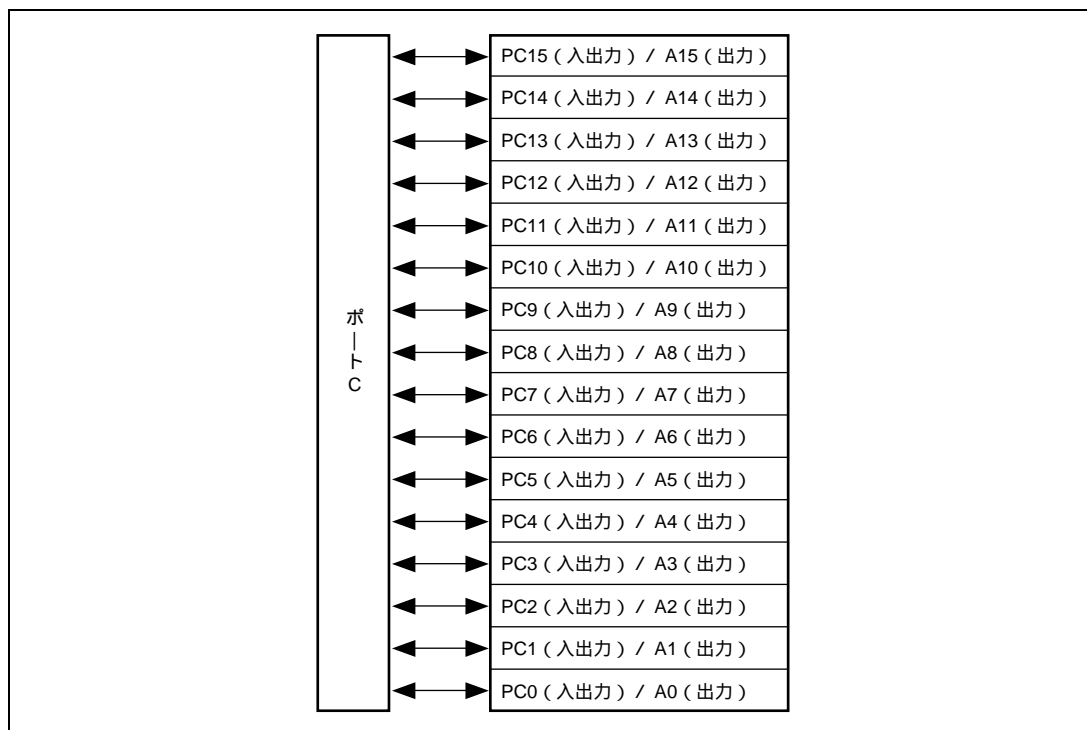


図 18.4 ポート C

18.3.1 レジスタの説明

ポート C は、16 ビットの入出力ポートです。ポート C には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- ポート C データレジスタ (PCDR)

18.3.2 ポート C データレジスタ (PCDR)

PCDR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC15DR ~ PC0DR ビットは、それぞれ、PC15 ~ PC0 端子 (兼用機能については記述を省略) に対応しています。

端子機能が汎用出力の場合には、PCDR に値を書き込むと端子からその値が出力され、PCDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PCDR に値を書き込むと、PCDR にその値を書き込みますが、端子の状態には影響しません。表 18.3 にポート C データレジスタの読み出し / 書き込み動作を示します。

- PCDR

ビット	ビット名	初期値	R/W	説明
15	PC15DR	0	R/W	表 18.3 参照
14	PC14DR	0	R/W	
13	PC13DR	0	R/W	
12	PC12DR	0	R/W	
11	PC11DR	0	R/W	
10	PC10DR	0	R/W	
9	PC9DR	0	R/W	
8	PC8DR	0	R/W	
7	PC7DR	0	R/W	
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

表 18.3 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作

- PCDR のビット 15 ~ 0

PCIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDR の値	書き込み値が端子から出力される
	汎用出力以外	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない

18.4 ポート D

SH7144 のポート D は、図 18.5 に示すような、16 本の端子を持つ入出力ポートです。

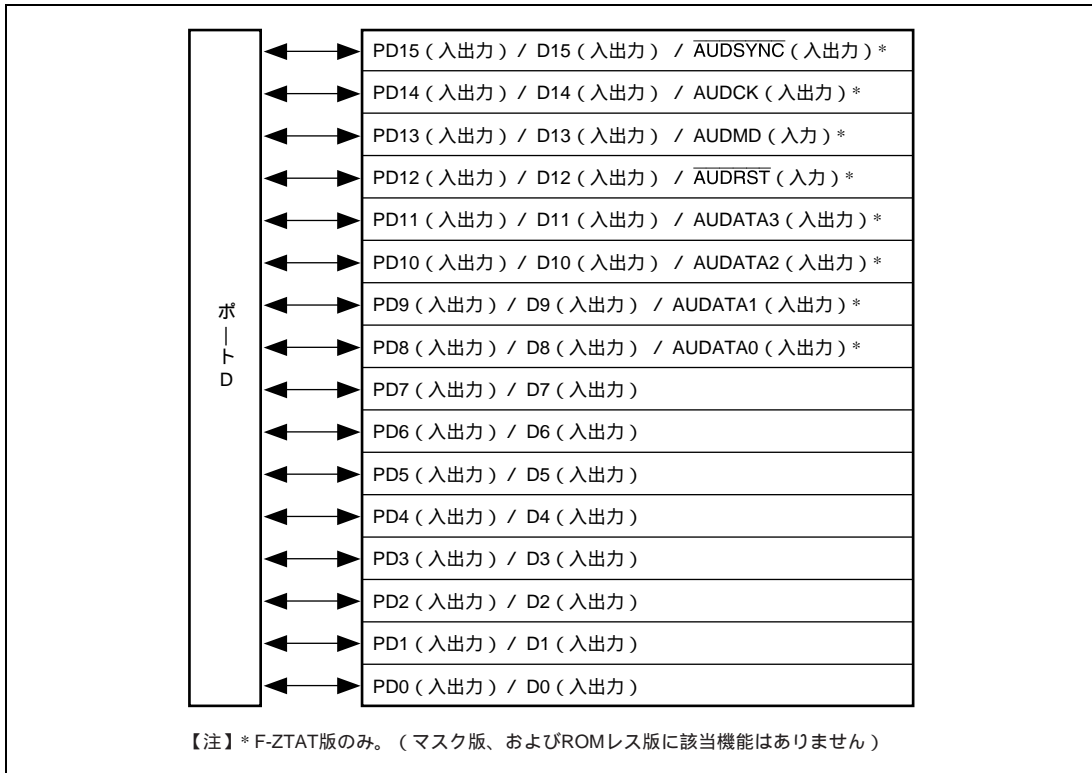


図 18.5 ポート D (SH7144 の場合)

18. I/O ポート

SH7145 のポート D は、図 18.6 に示すような、32 本の端子を持つ入出力ポートです。

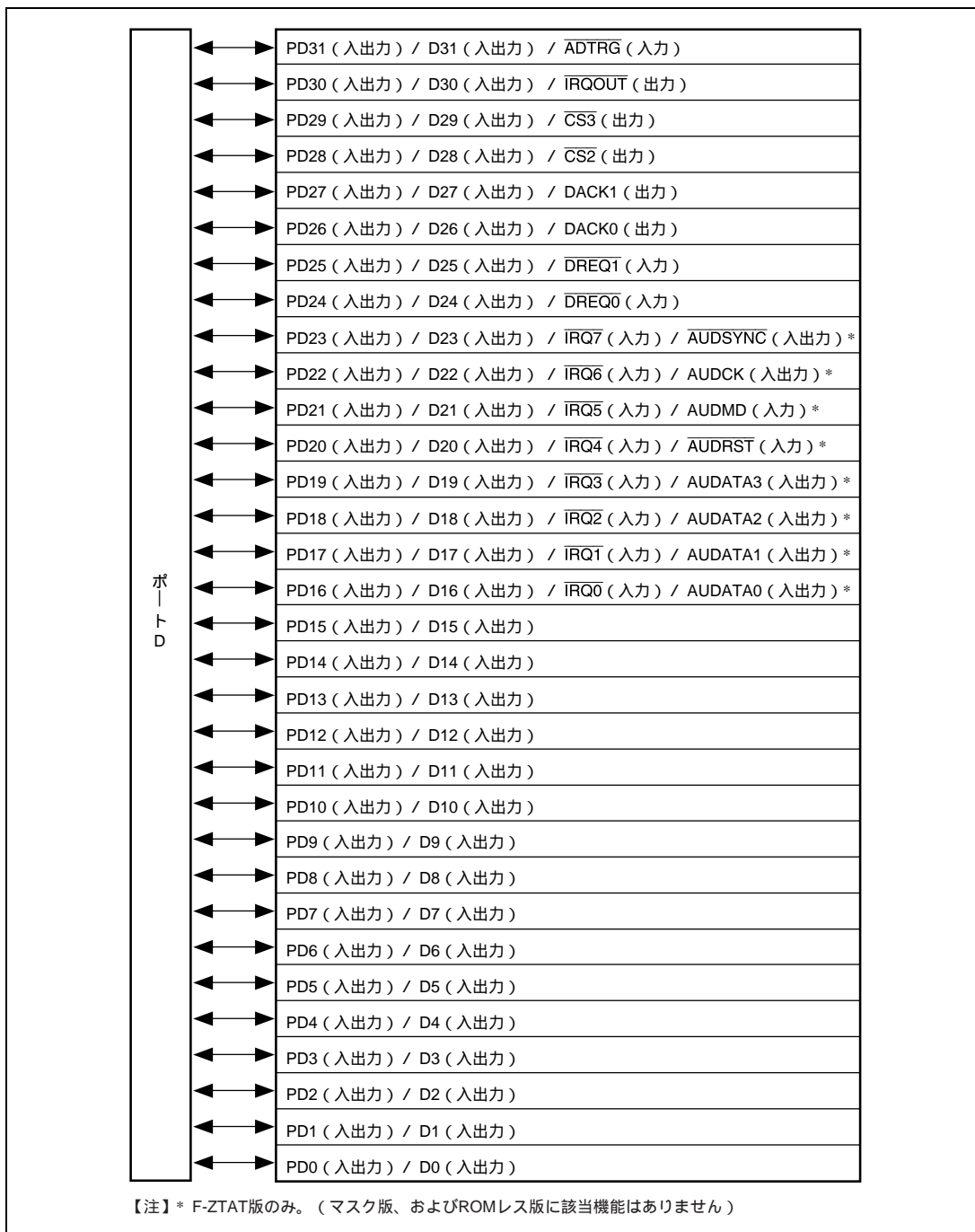


図 18.6 ポート D (SH7145 の場合)

18.4.1 レジスタの説明

ポートDは、SH7144では16ビット、SH7145では32ビットの入出力ポートです。ポートDには以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第25章 レジスタ一覧」を参照してください。

- ポートDデータレジスタH (PDDRH)
- ポートDデータレジスタL (PDDRL)

18.4.2 ポートDデータレジスタH、L (PDDRH、L)

PDDRHおよびPDDRLは、読み出し/書き込み可能な16ビットのレジスタで、ポートDのデータを格納します。SH7144ではPD15DR~PD0DRビットは、それぞれ、PD15~PD0端子(兼用機能については記述を省略)に対応しています。SH7145ではPD31DR~PD0DRビットは、それぞれPD31~PD0端子(兼用機能については記述を省略)に対応しています。

端子機能が汎用出力の場合には、PDDRHまたはPDDRLに値を書き込むと端子からその値が出力され、PDDRHまたはPDDRLを読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRHまたはPDDRLを読み出すとレジスタの値ではなく端子の状態が直接読み出されます。またPDDRHまたはPDDRLに値を書き込むと、PDDRHまたはPDDRLにその値を書き込みますが、端子の状態には影響しません。表18.4にポートDデータレジスタLの読み出し/書き込み動作を示します。

• PDDRH

ビット	ビット名	初期値	R/W	説明
15	PD31DR	0	R/W	表 18.4 参照*
14	PD30DR	0	R/W	
13	PD29DR	0	R/W	
12	PD28DR	0	R/W	
11	PD27DR	0	R/W	
10	PD26DR	0	R/W	
9	PD25DR	0	R/W	
8	PD24DR	0	R/W	
7	PD23DR	0	R/W	
6	PD22DR	0	R/W	
5	PD21DR	0	R/W	
4	PD20DR	0	R/W	
3	PD19DR	0	R/W	
2	PD18DR	0	R/W	
1	PD17DR	0	R/W	
0	PD16DR	0	R/W	

【注】 * SH7144ではリザーブビットです。読み出すと常に0が読み出されます。書き込む値も0にしてください。

18. I/O ポート

• PDDRL

ビット	ビット名	初期値	R/W	説明
15	PD15DR	0	R/W	表 18.4 参照
14	PD14DR	0	R/W	
13	PD13DR	0	R/W	
12	PD12DR	0	R/W	
11	PD11DR	0	R/W	
10	PD10DR	0	R/W	
9	PD9DR	0	R/W	
8	PD8DR	0	R/W	
7	PD7DR	0	R/W	
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

表 18.4 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

• PDDRH のビット 15~0 および PDDRL のビット 15~0

PDIORH、L	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDRH、L の値	書き込み値が端子から出力される
	汎用出力以外	PDDRH、L の値	PDDRH、L に書き込めるが、端子の状態に影響しない

18.5 ポート E

SH7144 のポート E は、図 18.7 に示すような、16 本の端子を持つ入出力ポートです。

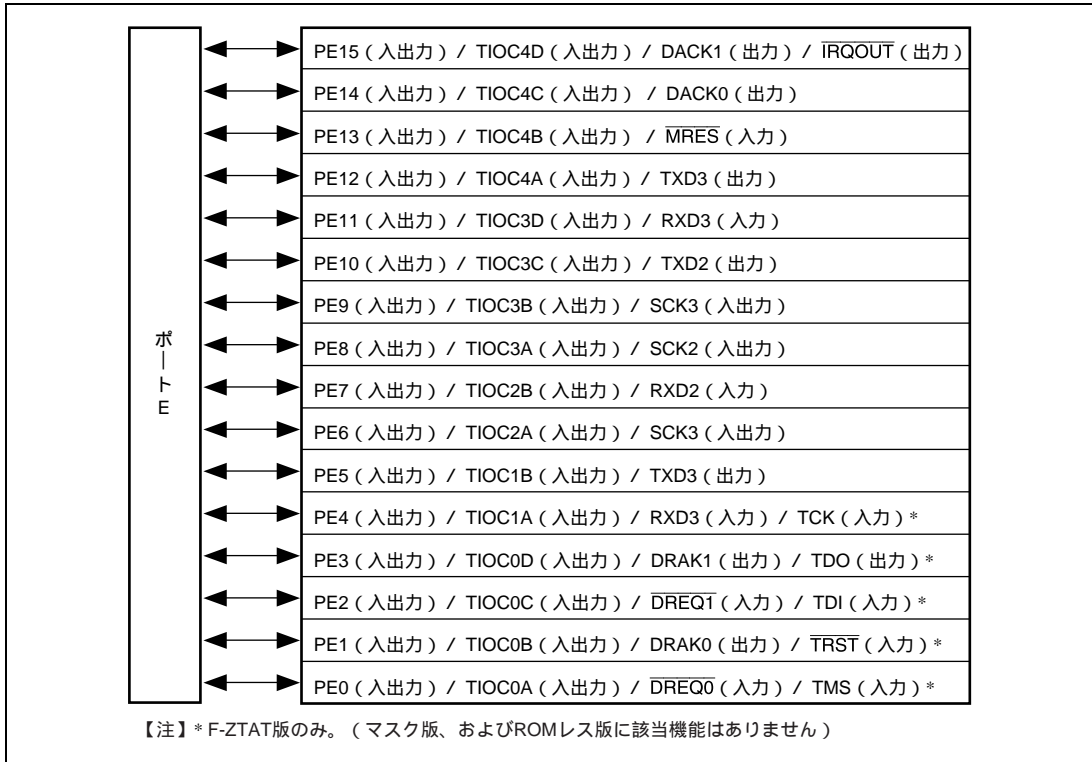


図 18.7 ポート E (SH7144 の場合)

18. I/O ポート

SH7145 のポート E は、図 18.8 に示すような、16 本の端子を持つ入出力ポートです。

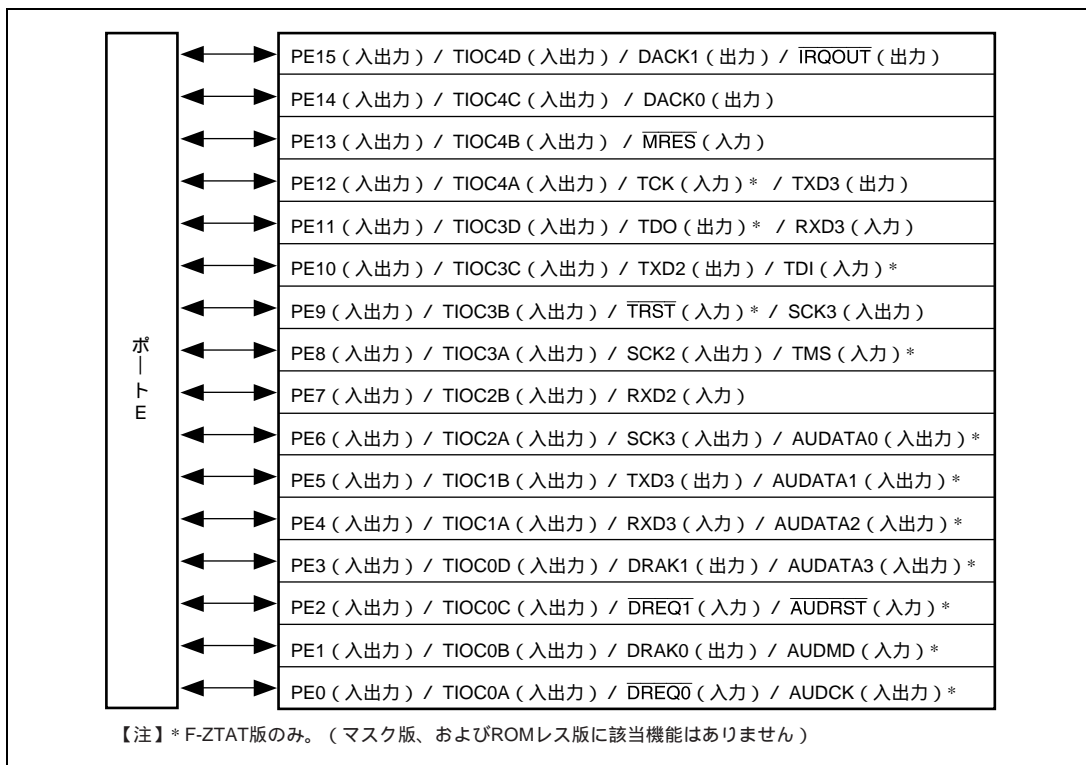


図 18.8 ポート E (SH7145 の場合)

18.5.1 レジスタの説明

ポート E には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- ポート E データレジスタ L (PEDRL)

18.5.2 ポート E データレジスタ L (PEDRL)

PEDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE15DR ~ PE0DR ビットは、それぞれ、PE15 ~ PE0 端子(兼用機能については記述を省略)に対応しています。

端子機能が汎用出力の場合には、PEDRL に値を書き込むと端子からその値が出力され、PEDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDRL に値を書き込むと、PEDRL にその値を書き込みますが、端子の状態には影響しません。表 18.5 にポート E データレジスタの読み出し / 書き込み動作を示します。

• PEDRL

ビット	ビット名	初期値	R/W	説明
15	PE15DR	0	R/W	表 18.5 参照
14	PE14DR	0	R/W	
13	PE13DR	0	R/W	
12	PE12DR	0	R/W	
11	PE11DR	0	R/W	
10	PE10DR	0	R/W	
9	PE9DR	0	R/W	
8	PE8DR	0	R/W	
7	PE7DR	0	R/W	
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

表 18.5 ポート E データレジスタ L (PEDRL) の読み出し / 書き込み動作

• PEDRL のビット 15 ~ 0

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDRL の値	書き込み値が端子から出力される
	汎用出力以外	PEDRL の値	PEDRL に書き込めるが、端子の状態に影響しない

18.6 ポート F

ポート F は、図 18.9 に示すような、8 本の端子を持つ入力専用ポートです。

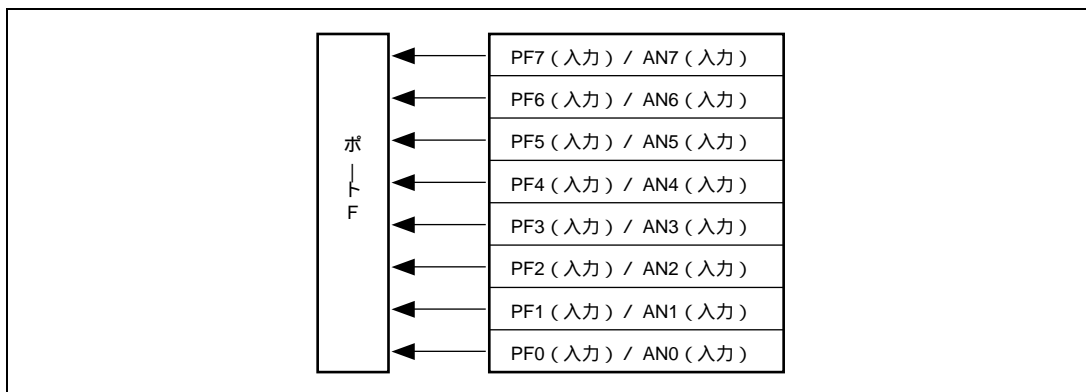


図 18.9 ポート F

18.6.1 レジスタの説明

ポート F は 8 ビットの入力ポートです。ポート F には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- ポート F データレジスタ (PFDR)

18.6.2 ポート F データレジスタ (PFDR)

PFDR は、読み出し専用の 8 ビットのレジスタで、ポート F のデータを格納します。PF7DR ~ PF0DR ビットはそれぞれ PF7 ~ PF0 端子に対応しています (兼用機能については記述を省略)。

これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D 変換器のアナログ入力をサンプリングしている間は 1 が読み出されます。表 18.6 にポート F データレジスタの読み出し / 書き込み動作を示します。

- PFDR

ビット	ビット名	初期値	R/W	説明
7	PF7DR	0/1*	R	表 18.6 参照
6	PF6DR	0/1*	R	
5	PF5DR	0/1*	R	
4	PF4DR	0/1*	R	
3	PF3DR	0/1*	R	
2	PF2DR	0/1*	R	
1	PF1DR	0/1*	R	
0	PF0DR	0/1*	R	

【注】 * 外部端子の状態に依存します。

表 18.6 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作

PFDR のビット 7~0

端子機能	読み出し	書き込み
汎用入力	端子の状態が読み出される	無視される (端子の状態に影響しない)
ANn 入力	1 が読み出される	無視される (端子の状態に影響しない)

19. フラッシュメモリ (F-ZTAT 版)

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。

フラッシュメモリのブロック図を図 19.1 に示します。

19.1 特長

- 容量 : 256kバイト

- 書き込み / 消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは64kバイト×3ブロック、32kバイト×1ブロック、4kバイト×8ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

「26.5 フラッシュメモリ特性」を参照してください。

- オンボードプログラミングモード : 2種類

ブートモード

ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み / 消去ができます。このほか、通常のユーザプログラムモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ライタモード

オンボードプログラミングのほかにPROMライタを用いて書き込み / 消去を行うライタモードがあります。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み / 消去プロテクト

フラッシュメモリの書き込み / 消去 / ベリファイに対するプロテクトを設定できます。

19. フラッシュメモリ (F-ZTAT 版)

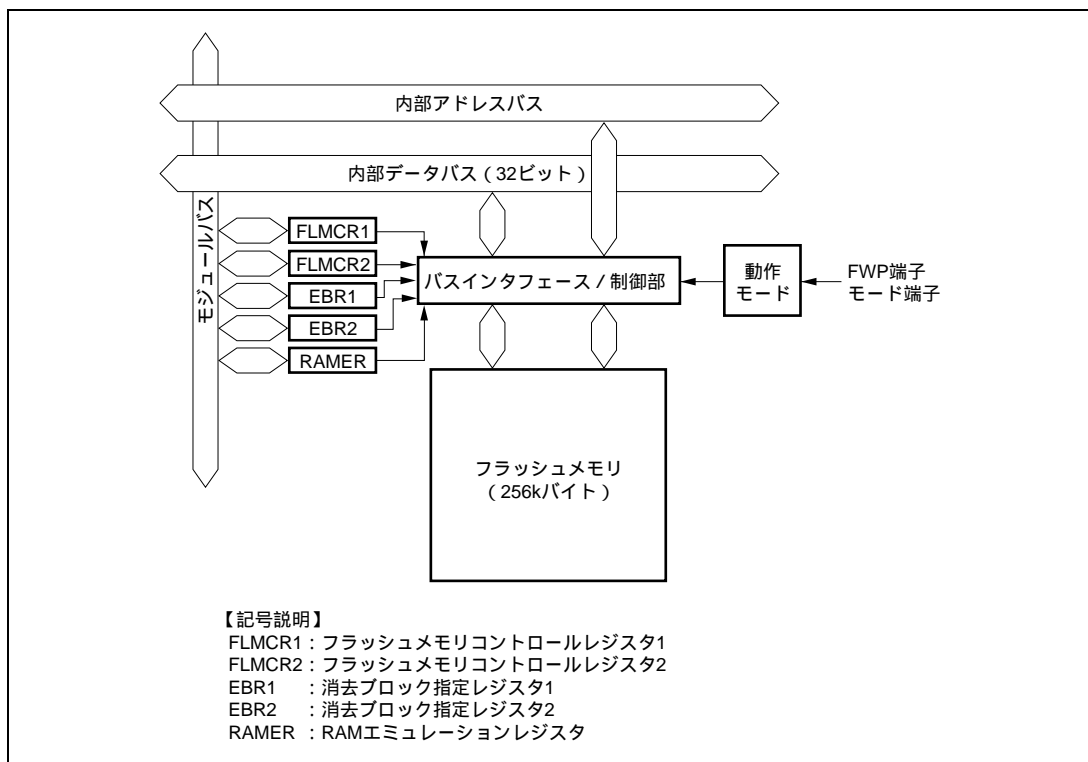


図 19.1 フラッシュメモリのブロック図

19.2 モード遷移図

リセット状態でモード端子とFWP端子を設定しリセットスタートすると、本LSIは図19.2に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライタモードがあります。

表19.1にブートモードとユーザプログラムモードの相違点を示します。図19.3にブートモードを、図19.4にユーザプログラムモードを示します。

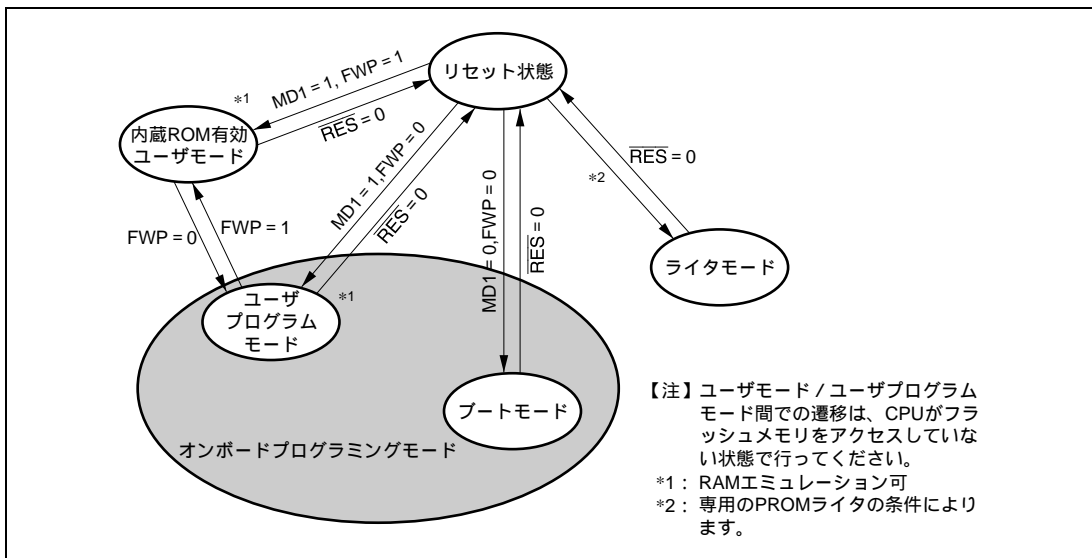


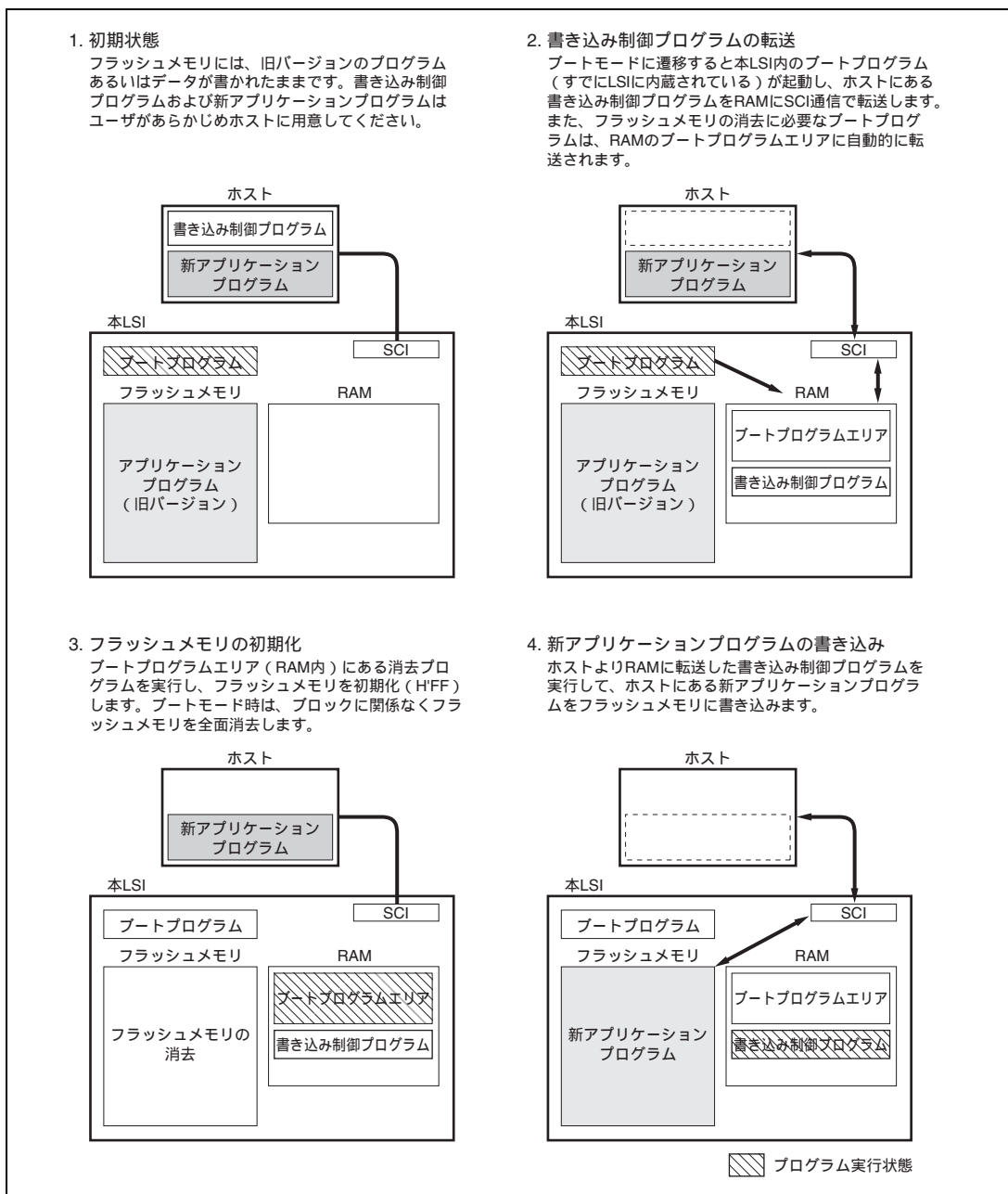
図 19.2 フラッシュメモリに関する状態遷移

表 19.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム/ プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイ エミュレーション

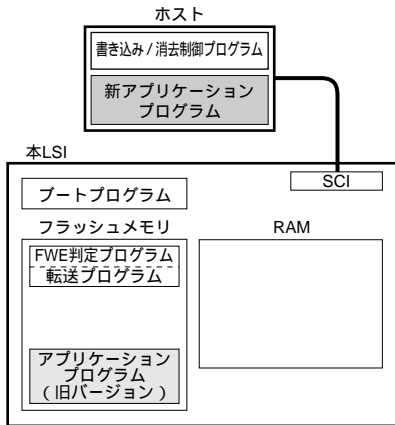
【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

19. フラッシュメモリ (F-ZTAT 版)



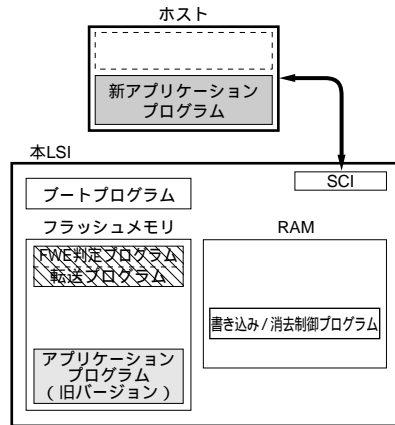
1. 初期状態

(1) ユーザプログラムモードに移移したことを確認するFWE判定プログラム、(2) フラッシュメモリから内蔵RAMに書き込み / 消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3) 書き込み / 消去制御プログラムはホストまたはフラッシュメモリに用意してください。



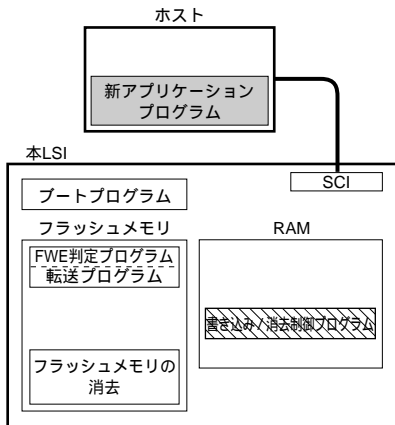
2. 書き込み / 消去制御プログラムの転送

ユーザプログラムモードに移移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み / 消去制御プログラムをRAMに転送します。



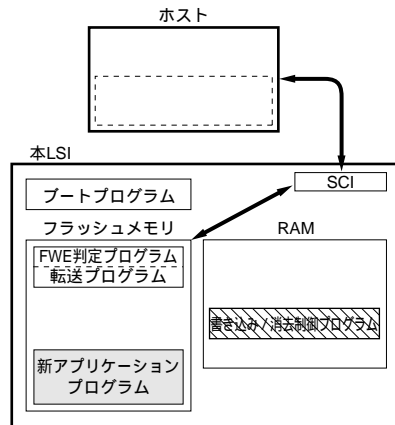
3. フラッシュメモリの初期化

RAM上の書き込み / 消去プログラムを実行し、フラッシュメモリを初期化 (HFF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

図 19.4 ユーザプログラムモード

19.3 ブロック構成

図 19.5 に 256k バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 64k バイト (3 ブロック)、32k バイト (1 ブロック)、4k バイト (8 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

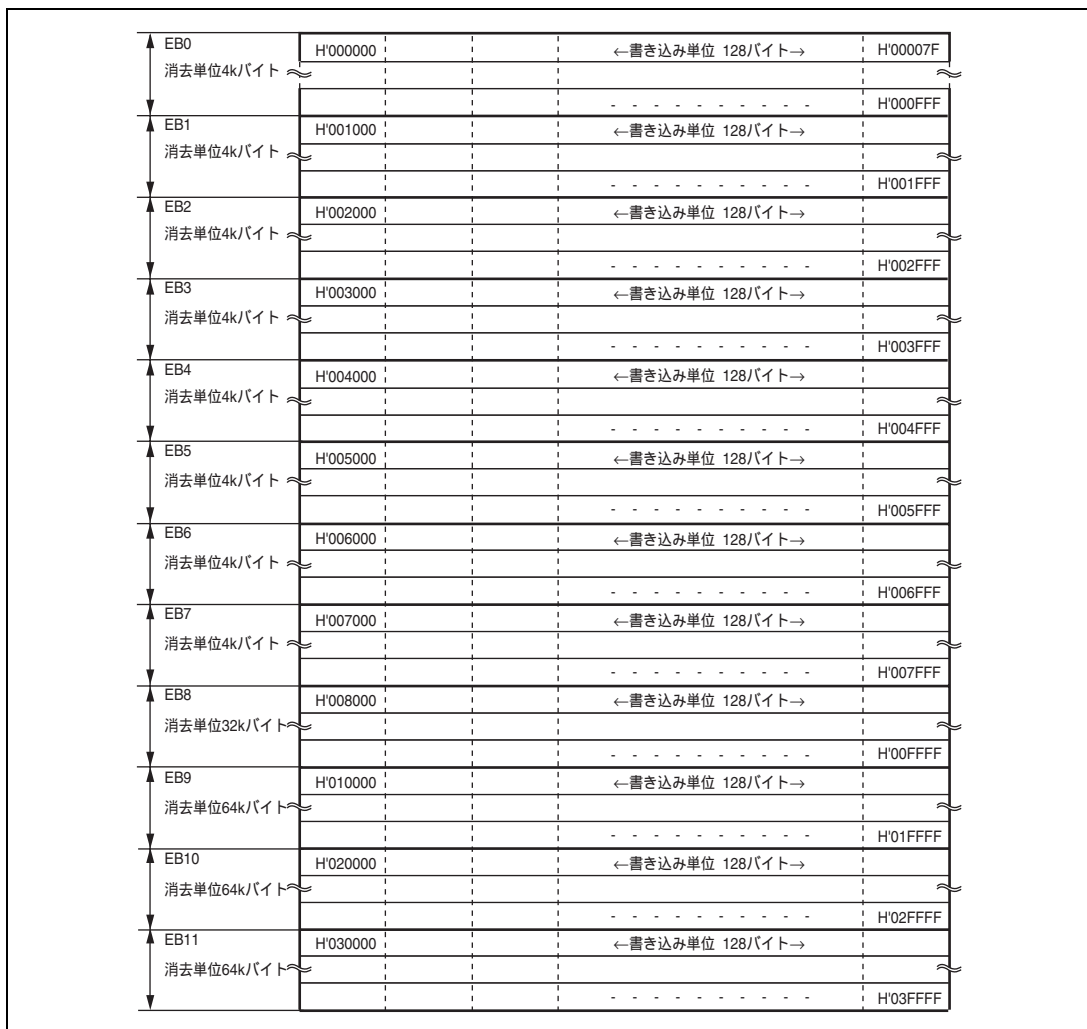


図 19.5 フラッシュメモリのブロック構成

19.4 入出力端子

フラッシュメモリは表 19.2 に示す端子により制御されます。

表 19.2 端子構成

端子名	入出力	機能
RES	入力	リセット
FWP* ¹	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
MD1	入力	本 LSI の動作モードを設定
MD0	入力	本 LSI の動作モードを設定
TxD1 (PA4) * ²	出力	シリアル送信データ出力
RxD1 (PA3) * ²	入力	シリアル受信データ入力

【注】 *1 E10A 使用時 (DBGMD = H 時) は、FWP 端子の状態にかかわらず、フラッシュの書き込み / 消去のプロテクトはできません。

*2 ブートモードでは、SCI の端子は固定されており、PA3 および PA4 の端子が使用されます。

19.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。これらのレジスタのアドレスおよび処理状態によるレジスタの初期化については「第 25 章 レジスタ一覧」を参照してください。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)
- RAMエミュレーションレジスタ (RAMER)

19.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「19.8 書き込み / 消去プログラム」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	FWE	1/0	R	フラッシュライトイネーブルビット* FWP 端子の入力レベルが反映されます。FWP 端子がローレベルのとき 1、ハイレベルのとき 0 となります。
6	SWE	0	R/W	ソフトウェアライトイネーブル FWE=1 の状態でこのビットが 1 のときフラッシュメモリの書き込み / 消去が可能となります。本ビットが 0 のときこのレジスタの他のビットと EBR1 および EBR2 の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ FWE=1、SWE=1 の状態でこのビットを 1 にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。
4	PSU	0	R/W	プログラムセットアップ FWE=1、SWE=1 の状態でこのビットを 1 にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。
3	EV	0	R/W	イレースベリファイ FWE=1、SWE=1 の状態でこのビットを 1 にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ FWE=1、SWE=1 の状態でこのビットを 1 にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース FWE=1、SWE=1、ESU=1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム FWE=1、SWE=1、PSU=1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

【注】 * E10A 使用時 (DBGMD=H 時) は、常に 1 となります。

19.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み / 消去の状態を表示します。

ビット	ビット名	初期値	R/W	説 明
7	FLEP	0	R	このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「19.9.3 エラープロテクト」を参照してください。
6~0		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。

19.5.3 消去ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去ブロックを指定するレジスタです。FWP 端子にハイレベルが入力されているとき、および FWP 端子にローレベルが入力されていても FLMCR1 の SWE ビットが 0 のときは EBR1 は H'00 に初期化されます。EBR1 は EBR2 と合わせて、1 ビットのみ設定してください。(2 ビット以上同時に 1 に設定しないでください。) 設定すると EBR1 と EBR2 はともに 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説 明
7	EB7	0	R/W	このビットが 1 のとき EB7 (H'007000 ~ H'007FFF) の 4k バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 (H'006000 ~ H'006FFF) の 4k バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 (H'005000 ~ H'005FFF) の 4k バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 (H'004000 ~ H'004FFF) の 4k バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 (H'003000 ~ H'003FFF) の 4k バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 (H'002000 ~ H'002FFF) の 4k バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 (H'001000 ~ H'001FFF) の 4k バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 (H'000000 ~ H'000FFF) の 4k バイトが消去対象となります。

19.5.4 消去ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。FWP 端子にハイレベルが入力されているとき、および FWP 端子にローレベルが入力されていても FLMCR1 の SWE ビットが 0 のときは EBR2 は H'00 に初期化されます。EBR2 は EBR1 と合わせて、1 ビットのみ設定してください。(2 ビット以上同時に 1 に設定しないでください。) 設定すると EBR2 は EBR1 とともに 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説 明
7~4		0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。ライトする値も常に 0 としてください。
3	EB11	0	R/W	このビットが 1 のとき EB11 (H'030000 ~ H'03FFFF) の 64k バイトが消去対象となります。
2	EB10	0	R/W	このビットが 1 のとき EB10 (H'020000 ~ H'02FFFF) の 64k バイトが消去対象となります。
1	EB9	0	R/W	このビットが 1 のとき EB 9 (H'010000 ~ H'01FFFF) の 64k バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB 8 (H'008000 ~ H'00FFFF) の 32k バイトが消去対象となります。

19.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAM の一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。RAMER の設定は、ユーザモード、ユーザプログラムモードで行ってください。エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

ビット	ビット名	初期値	R/W	説 明
15~4		0	R	リザーブビットです。読み出すと常に 0 が読み出されます。
3	RAMS	0	R/W	RAM セレクト RAM によるフラッシュメモリのエミュレーション選択ビットです。このビットが 1 のとき、RAM の一部がフラッシュメモリにオーバーラップされ、フラッシュメモリは全ブロック書き込み / 消去プロテクト状態となります。 このビットが 0 のとき、RAM エミュレーション機能は無効です。

ビット	ビット名	初期値	R/W	説 明
2	RAM2	0	R/W	フラッシュメモリエリア選択
1	RAM1	0	R/W	RAMS が 1 のとき、RAM と重ね合わせるフラッシュメモリのエリアを選択します。 000 : H'00000000 ~ H'00000FFF (EB0) 001 : H'00001000 ~ H'00001FFF (EB1) 010 : H'00002000 ~ H'00002FFF (EB2) 011 : H'00003000 ~ H'00003FFF (EB3) 100 : H'00004000 ~ H'00004FFF (EB4) 101 : H'00005000 ~ H'00005FFF (EB5) 110 : H'00006000 ~ H'00006FFF (EB6) 111 : H'00007000 ~ H'00007FFF (EB7)
0	RAM0	0	R/W	

19.6 オンボードプログラミング

フラッシュメモリの書き込み / 消去を行うためのモードとしてオンボードで書き込み / 消去ができるブートモードと PROM ライタで書き込み / 消去を行うライタモードがあります。このほかユーザモードでもオンボードで書き込み / 消去を行うユーザプログラムモードがあります。リセット状態からリセットスタートすると本 LSI は MD 端子、FWP 端子によって表 19.3 のように異なるモードへ遷移します。

ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SCI1 を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザプログラムモードで書き込み / 消去ができなくなった場合の強制復帰等に使用できます。ユーザプログラムモードではユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックを消去し書き換えることができます。

表 19.3 プログラミングモード選択方法

MD1	MD0	FWP	リセット解除後の LSI の状態	
0	0	0	ブートモード	拡張モード
	1			シングルチップモード
1	0		ユーザプログラムモード	拡張モード
	1			シングルチップモード

19.6.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 19.4 に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「19.8 書き込み/消去プログラム」に沿ったものを用意してください。
2. SCI_1は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のローレベル期間を測定してビットレートを計算し、SCI_1のビットレートをホストのビットレートに合わせ込みます。リセット解除はRxD端子がハイレベルの状態で行ってください。必要に応じてRxD端子およびTxD端子は、ボード上でプルアップしてください。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表19.5の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'FFFE800 ~ H'FFFFFFF番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するときSCI_1は送受信動作を終了 (SCR.RE=0、TE=0) しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TxD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をローレベルにして最低25ステート経過後、MD端子を設定してリセットを解除してください。WDTのオーバーフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でMD端子の入力レベルを変化させないでください。
9. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

表 19.4 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐 <div style="border: 1px solid black; border-radius: 15px; padding: 5px; display: inline-block;">ブートプログラム起動</div>
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信 ↓ H'00を正常に受信したらH'55送信 ↓ H'AA受信	H'00,H'00・・・H'00 ↓ H'00 ↓ H'55 ↓ H'AA	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI_1のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信 ↓ H'55を受信したらホストへH'AAを送信
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信 ↓ 書き込み制御プログラムを1バイトごとに送信(N回繰り返し)	上位バイト、下位バイト ↓ エコーバック ↓ H'XX ↓ エコーバック	受信した2バイトデータをホストへエコーバック ↓ 受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し)
フラッシュメモリ消去	↓ ブートプログラム消去エラー ↓ H'AA受信	↓ H'FF ↓ H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)
			↓ 内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 19.5 ビットレート自動合わせ込みが可能な周辺クロック (Pφ) 周波数

ホストのビットレート	本LSIの周辺クロック周波数範囲
9600bps	4 ~ 40MHz
19200bps	8 ~ 40MHz

19.6.2 ユーザプログラムモードでの書き込み / 消去

ユーザプログラムモードではユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み / 消去プログラムを書き込んでおくか、書き込み / 消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み / 消去中はフラッシュメモリを読み出せないため、書き込み / 消去プログラムは内蔵RAM、または外部メモリ上で実行してください。図 19.6 にユーザモードでの書き込み / 消去手順の例を示します。書き込み / 消去プログラムは「19.8 書き込み / 消去プログラム」に沿ったものを用意してください。

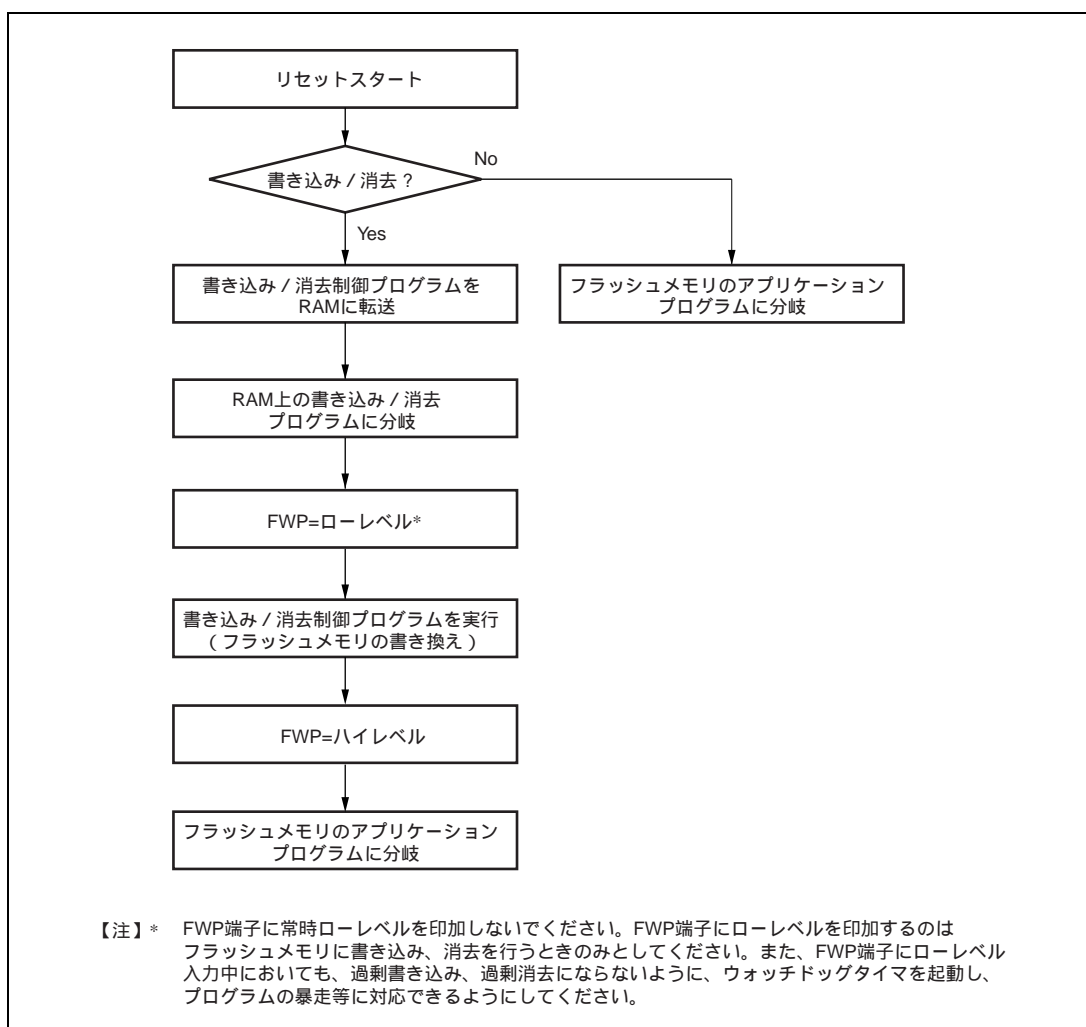


図 19.6 ユーザプログラムモードにおける書き込み/消去例

19.7 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムにエミュレートできるよう、RAM エミュレーションレジスタ (RAMER) によりフラッシュメモリの一部のブロックに RAM をオーバーラップさせて使用することができるようになっています。エミュレーション可能なモードはユーザモードおよびユーザプログラムモードです。図 19.7 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

1. RAMERを設定してリアルタイムな書き換えを必要とするエリアにRAMをオーバーラップさせます。
2. オーバーラップさせたRAMを使ってエミュレートします。
3. 書き換えデータ確定後、RAMSピットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間に書き込みます。

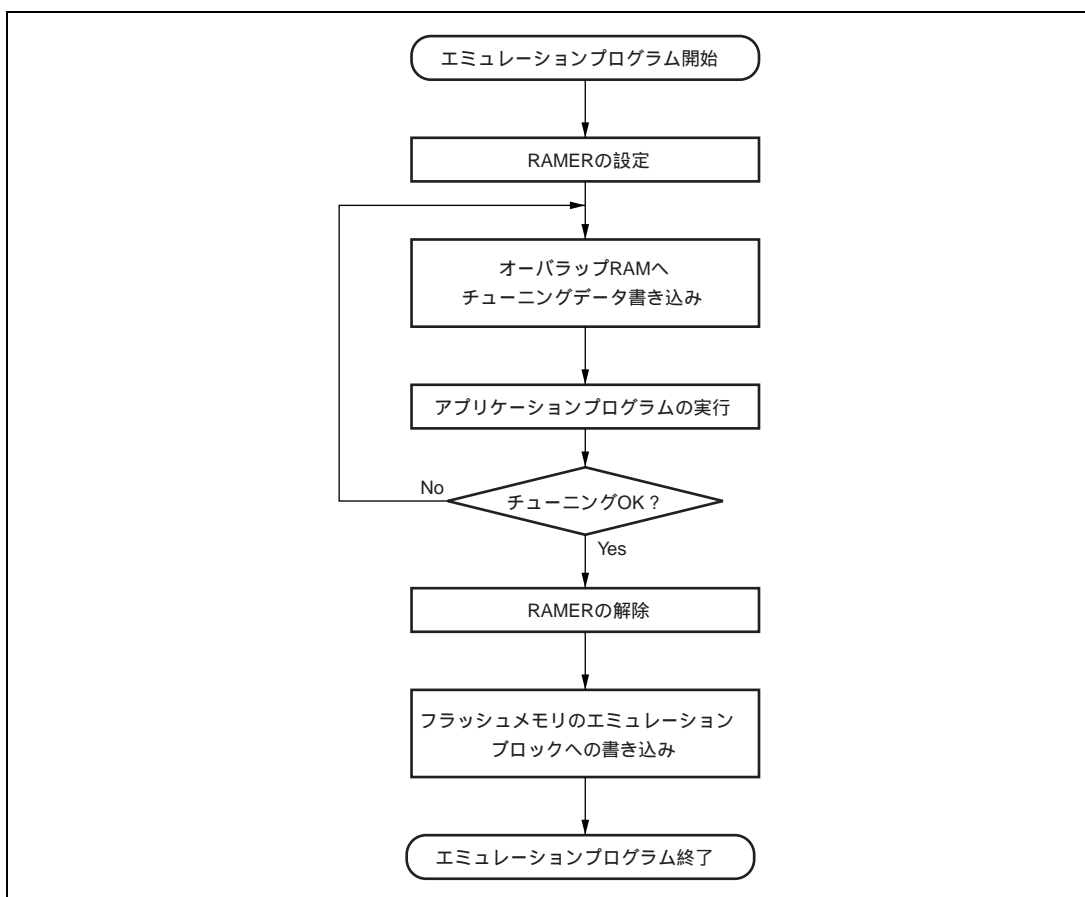


図 19.7 RAM によるエミュレーションフロー

19. フラッシュメモリ (F-ZTAT 版)

フラッシュメモリのブロックをオーバーラップさせる例を図 19.8 に示します。

1. オーバーラップさせるRAMのエリアはH'FFFE000 ~ H'FFFEFFFの4kバイトに固定されています。
2. オーバーラップできるフラッシュメモリのエリアは4kバイトのEB0 ~ EB7のうちの1ブロックで、RAMERにより選択できます。
3. オーバーラップさせたRAMのエリアはフラッシュメモリ内のアドレスとものRAMのアドレスの両方からアクセスできます。
4. RAMERのRAMSビットが1にセットされている間、フラッシュメモリは全ブロック書き込み / 消去プロテクト状態となり (エミュレーションプロテクト)、FLMCR1のPビットまたはEビットをセットしてもプログラムモード、イレースモードへは遷移しません。
5. RAMエリアは消去アルゴリズムに沿ったプログラムを実行しても消去されません。
6. ブロックEB0はベクタテーブルを含みます。RAMエミュレーションする場合、オーバーラップRAMにはベクタテーブルが必要となります。

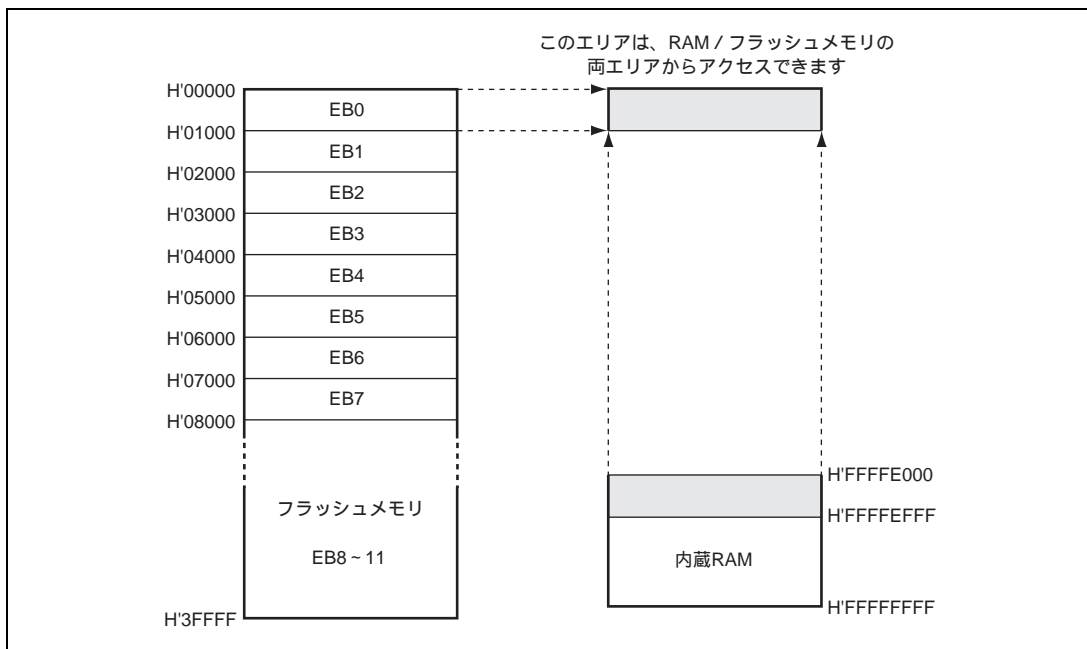


図 19.8 RAM のオーバーラップ例 (RAM[2:0]=b'000 の場合)

19.8 書き込み / 消去プログラム

オンボードでのフラッシュメモリの書き込み / 消去は CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリは FLMCR1、FLMCR2 の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザーモードでの書き込み / 消去プログラムではこれらのモードを組み合わせで書き込み / 消去を行います。フラッシュメモリへの書き込みは「19.8.1 プログラム / プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「19.8.2 イレース / イレースベリファイ」に沿って行ってください。

19.8.1 プログラム / プログラムベリファイ

フラッシュメモリへの書き込みは、図 19.9 に示すプログラム / プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算は図19.9に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は図19.9に従ってください。
6. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバーフロー周期は6.6ms程度としてください。
7. ベリファイアドレスへのダミーライトは、読み出すアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
8. 同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、最大書き込み回数 (N) を超えないようにしてください。

19. フラッシュメモリ (F-ZTAT 版)

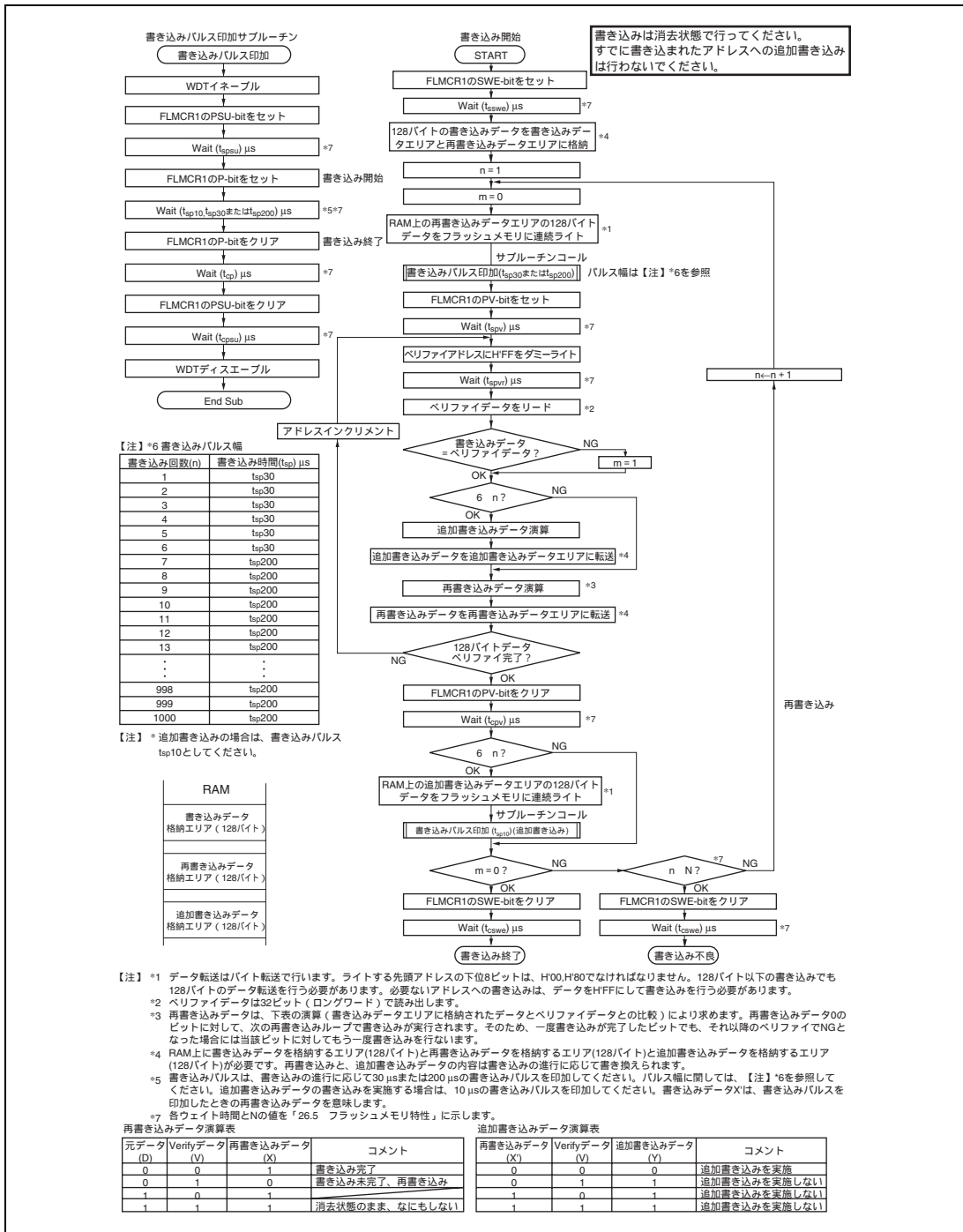


図 19.9 プログラム/プログラムペリファイフロー

19.8.2 イレース / イレースベリファイ

消去は図 19.10 のイレース / イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト (消去するメモリ全データをすべて0にする) を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ1、消去ブロック指定レジスタ2 (EBR1、EBR2) により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は19.8ms程度としてください。
5. ベリファイアドレスへのダミーライトは、読み出したアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース / イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が最大消去回数 (N) を超えないようにしてください。

19.8.3 フラッシュメモリの書き込み / 消去時の割り込み

フラッシュメモリへの書き込み / 消去中またはブートプログラム実行中は以下の理由から NMI を含むすべての割り込み要求を禁止してください。

1. 書き込み / 消去中に割り込みが発生すると、正常な書き込み / 消去アルゴリズムに沿った動作が保証できなくなります。
2. ベクタアドレスが書き込まれる前、または書き込み / 消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走します。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなります。

19. フラッシュメモリ (F-ZTAT 版)

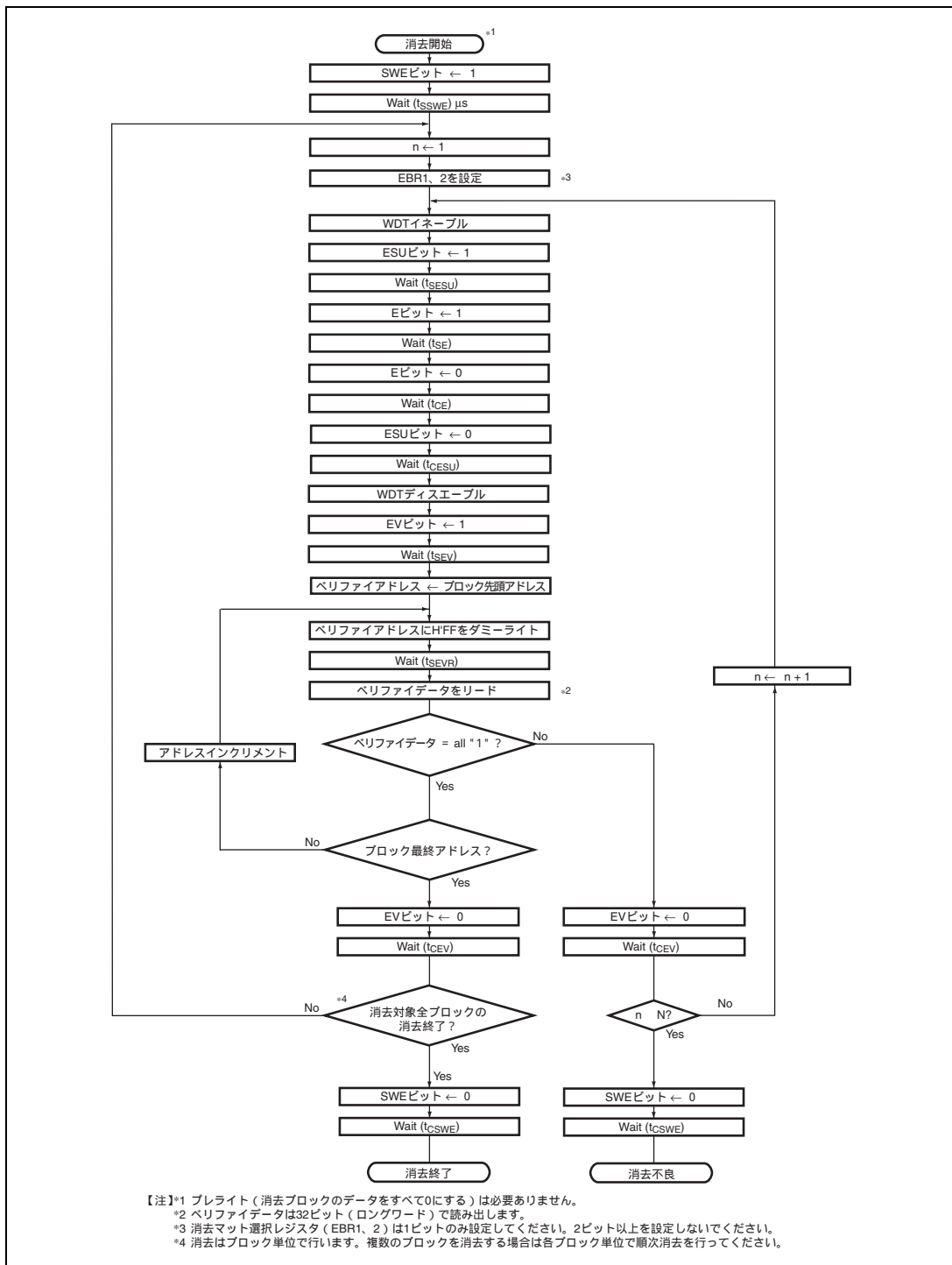


図 19.10 イレース/イレースベリファイフロー

19.9 書き込み / 消去プロテクト

フラッシュメモリに対する書き込み / 消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

19.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、フラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定が初期化されます。

項目	説明	機能	
		書き込み	消去
FWP 端子プロテクト	<ul style="list-style-type: none"> FWP 端子にハイレベルが入力されているときには、FLMCR1、EBR1、EBR2 は初期化され、書き込み / 消去プロテクト状態になります。* 		
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> リセット (WDT のオーバフローリセットも含む) およびスタンバイ時は、FLMCR1、EBR1、EBR2 は初期化され、書き込み / 消去プロテクト状態になります。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子をローレベルに保持しないとリセット状態になりません。また、動作中にリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。 		

【注】 * E10A 使用時 (DBGMD = H 時) は、FWP 端子によるプロテクトはできません。

19.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み / 消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ1 (EBR1) の設定により、ブロックごとに消去プロテクトが可能です。EBR1 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE ビットを 0 にクリアすることにより、全ブロックの書き込み / 消去プロテクト状態になります (内蔵 RAM / 外部メモリ上で実行してください)。 		
ブロック指定プロテクト	<ul style="list-style-type: none"> ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能。 EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 		
エミュレーションプロテクト	<ul style="list-style-type: none"> RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み / 消去プロテクト状態になります。 		

19.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み / 消去中に CPU の暴走や書き込み / 消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み / 消去動作を中断した状態です。書き込み / 消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み / 消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み / 消去中のリセットを除く例外処理開始
- 書き込み / 消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ペリファイモードへの遷移は可能です。エラープロテクト状態は、パワーオンリセットによってのみ解除できます。

19.10 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス テクノロジ 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT256V3A) をサポートしているライタを使用してください。

19.11 使用上の注意事項

19.11.1 モジュールスタンバイモードの設定

フラッシュメモリは、モジュールスタンバイコントロールレジスタ (MSTCR1) により、フラッシュメモリのアクセスの禁止 / 許可を設定することが可能です。初期値では、フラッシュメモリのアクセスを許可します。モジュールスタンバイモードを設定することにより、フラッシュメモリのアクセスが禁止されます。詳細は「第 24 章 低消費電力状態」を参照してください。

19.11.2 F-ZTAT マイコンのマスク ROM 化

F-ZTAT 版からマスク ROM 版製品に変更するとき、F-ZTAT 用アプリケーションソフトを活用する場合には注意が必要です。

マスク ROM 版では、フラッシュメモリ用レジスタの存在するアドレス (「25.1 レジスタアドレス一覧 (アドレス順)」を参照) を読むと、値は不定になります。

F-ZTAT 版アプリケーションソフトをマスク ROM 版製品で使用する場合、FWP 端子状態の判定はできません。フラッシュメモリの書き換え (消去 / 書き込み) 部分および RAM エミュレーション部分が起動しないように、プログラムを変更してください。

また、マスク ROM 版で、ブートモードのモード端子設定は行わないでください。

【注】 F-ZTAT 版製品、ROM サイズの異なる同一シリーズのマスク ROM 版製品はすべて対象となります。

19.11.3 フラッシュメモリの書き込み / 消去時の注意事項

オンボードプログラミングモード、RAM エミュレーション機能およびライターモード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み / 消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊に至ることがあります。

EPROM ライタは、ルネサステクノロジ 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているものを使用してください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊に至ることがあります。

(2) 電源投入 / 切断時の注意 (図 19.11 ~ 図 19.13 参照)

FWP 端子への Low レベル印加は Vcc 確定後に行ってください。また、Vcc を切断する前に FWP 端子を High レベルにしてください。Vcc 電源の印加 / 切断時は FWP 端子を Vcc レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電などによる電源の切断、再投入時にも満足するようにしてください。

(3) FWP の印加 / 解除の注意 (図 19.11 ~ 図 19.13 参照)

FWP 端子に Low レベルを印加したまま Vcc 電源の印加 / 切断を行う時、RESET 端子の電圧が Low レベルから浮き上がると、誤書き込みや誤消去が起こる場合があります。FWP の印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWP 端子を Vcc レベルに固定し、プロテクト状態としてください。FWP の印加 / 解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。

- Vcc電圧が定格電圧の範囲で安定している状態でFWPを印加してください。
- ブートモードでは、FWPの印加 / 解除はリセット中に行ってください。
- ブートモードでFWP=Lowレベルの状態電源を印加する場合は、Vccレベルが上昇中もRESET端子のレベルが確実にLowレベルになっていることを確認して行うようにしてください。リセット用ICなどを用いる場合は、Vcc上昇中に一時的にRESET端子のレベルが $1/2V_{cc}$ 以上になる場合があるので注意してください。
- ユーザプログラムモードでは、リセットの状態にかかわらず、FWP = Highレベル / Lowレベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWP入力の切り替えが可能です。
- プログラムが暴走していない状態でFWPを印加してください。
- FWPの解除はFLMCR1のSWE、ESU、PSU、EV、PV、P、Eビットをクリアした状態で行ってください。FWPの印加 / 解除時に、誤ってSWE、ESU、PSU、EV、PV、P、Eビットをセットしないでください。

19. フラッシュメモリ (F-ZTAT 版)

(4) FWP 端子に常時 Low レベルを印加しないでください。

FWP 端子に Low レベルを印加した状態でプログラムが暴走すると、誤書き込みや誤消去が起こる場合があります。FWP 端子に Low レベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWP 端子に常時 Low レベルを印加するようなシステム構成は避けてください。また、Low レベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走などに対応できるようにしてください。

(5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P ビット、E ビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。

(6) SWE ビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後 100 μ s 以上待ってから行ってください。

SWE ビットをセットするとフラッシュメモリのデータを書き換えることができますが、ベリファイ(プログラム/イレース中のベリファイ)以外の目的で、フラッシュメモリをアクセスしないでください。また、プログラム/イレース/ベリファイ中に SWE ビットのクリアを行わないでください。FWP 端子に Low レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータ読み出しは、SWE ビットをクリアした後に行ってください。

ただし、フラッシュメモリ空間とオーバーラップした RAM エリアについては、SWE ビットのセット/クリアにかかわらずリード/ライト可能です。

(7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

FWP 印加状態では書き込み/消去動作を再優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは 1 回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(9) 書き込み前に、必ず、正しく EPROM ライタに装着されていることを確認してください。

EPROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(10) マイコン動作中や書き込み中はソケットアダプタや製品に手を触れないでください。

マイコン動作中や書き込み中に書き換え用コネクタに手や物が接触すると、FWP 端子や RESET 端子に一時的なノイズが入ったり、接触不良などにより、誤書き込みや誤消去が起こる場合があります。

(11) 電源投入時は、リセット状態にしてください。

RESET 端子を "H" のまま V_{CC} 電源を印加すると、モード信号が正しく取り込まれないため、マイコンが暴走し、FWP 端子が "L" の場合は、誤書き込みや誤消去が起こる場合があります。

(12) 動作中にリセットを入れる場合は、SWE の Low 期間で入れてください。

SWE ビットクリア後 100 μ s 以上待ってからリセットを入れてください。

(13) 書き込み器使用時は、メーカー指定の電源投入順序を守ってください。

書き込み器を用いて、オンボード書き込みを行う場合、書き込み器メーカー指定の電源投入順序に従わなかった場合、誤書き込みや誤消去が起こる場合があります。

19. フラッシュメモリ (F-ZTAT 版)

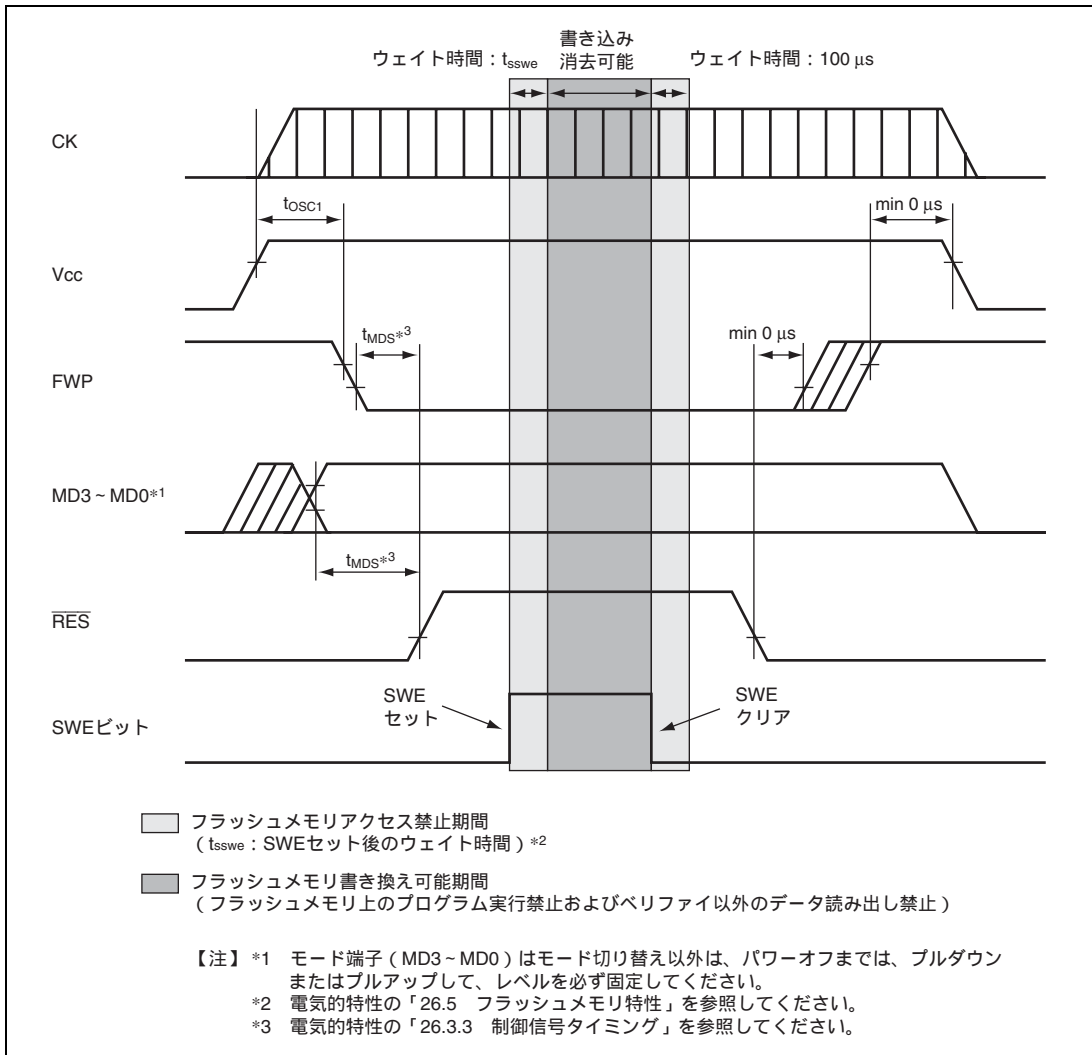


図 19.11 電源投入/切断タイミング (ブートモード)

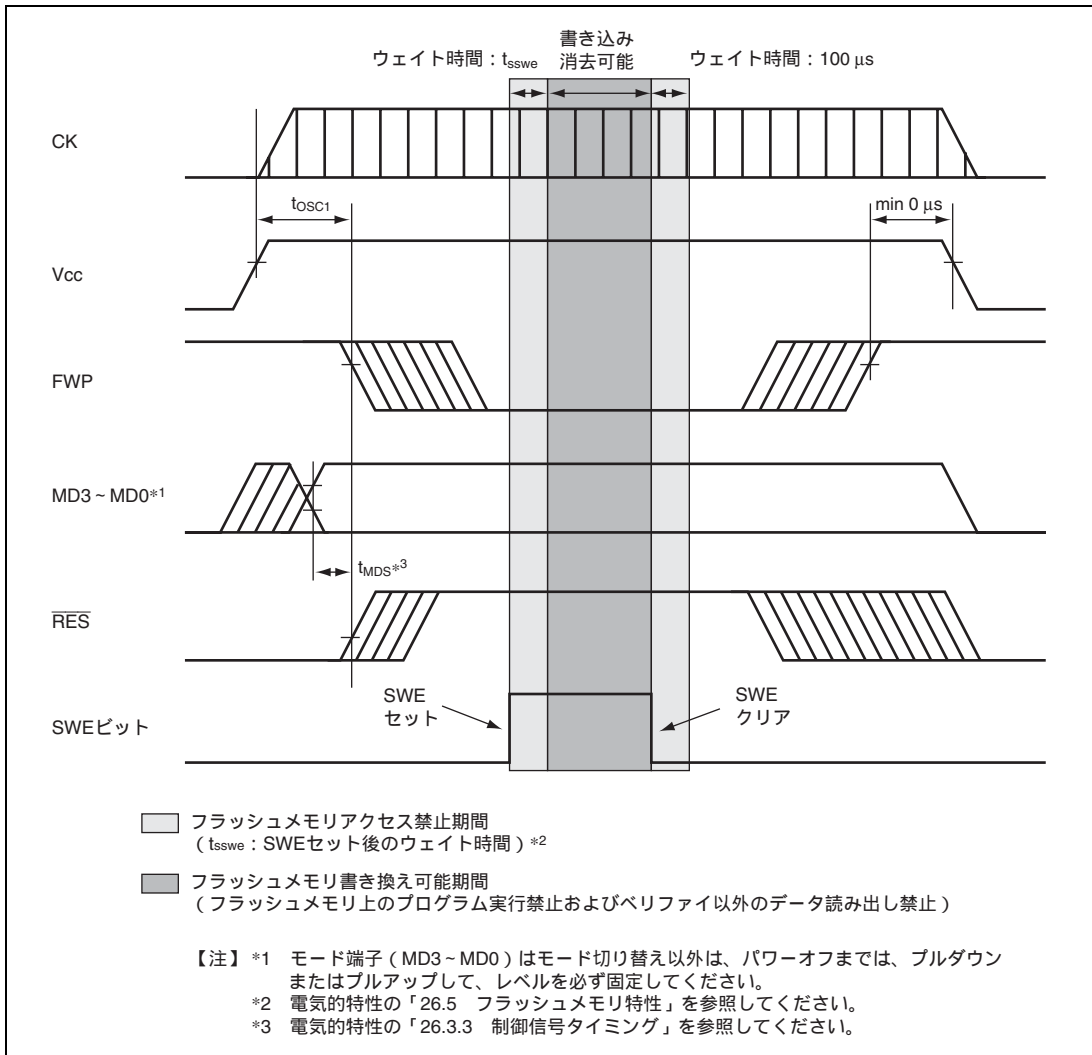


図 19.12 電源投入 / 切断タイミング (ユーザプログラムモード)

19. フラッシュメモリ (F-ZTAT 版)

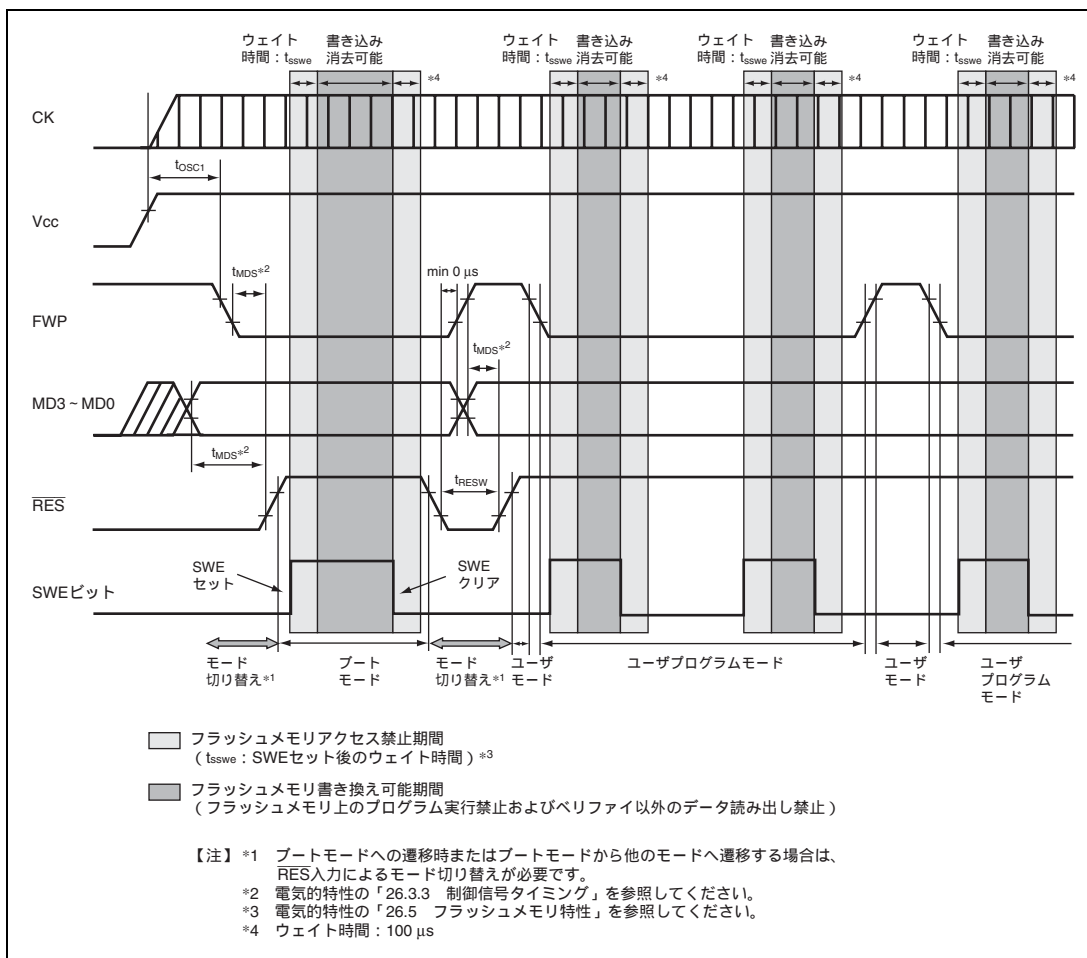


図 19.13 モード遷移タイミング (例: ブートモード→ユーザモード⇄ユーザプログラムモード)

20. マスク ROM

本 LSI は、256k バイトのマスク ROM を内蔵しています。内蔵 ROM は、32 ビット幅のデータバスを介して、CPU とダイレクトメモリアクセスコントローラ (DMAC) とデータトランスファコントローラ (DTC) に接続されています (図 20.1)。CPU、DMAC、DTC は 8、16、または 32 ビット幅で内蔵 ROM をアクセスすることができます。内蔵 ROM のデータは、常に 1 ステートでアクセスできます。

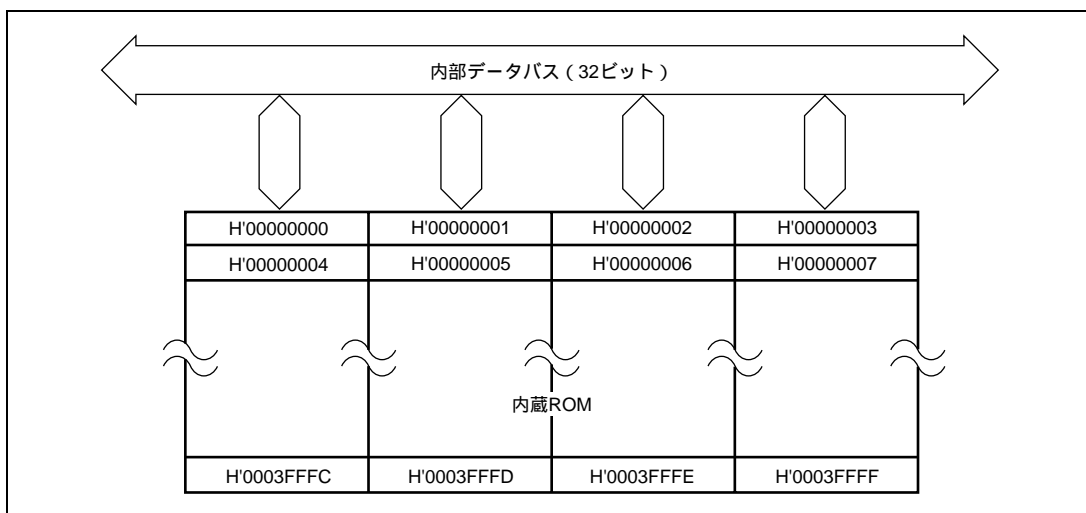


図 20.1 マスク ROM のブロック図

内蔵 ROM は、動作モードによって有効か無効が決まります。動作モードは、表 3.1 のようにモード設定端子 FWP、MD3 ~ MD0 で選びます。内蔵 ROM を使う場合にはモード 2 かモード 3 を、使わない場合にはモード 0 かモード 1 を選んでください。内蔵 ROM は、メモリアリア 0 のアドレス H'00000000 ~ H'0003FFFF に割り付けられています。

20.1 使用上の注意事項

- モジュールスタンバイモードの設定

マスク ROM は、モジュールスタンバイコントロールレジスタ (MSTCR1) により、マスク ROM のアクセスの禁止 / 許可を設定することが可能です。初期値では、マスク ROM のアクセスを許可します。モジュールスタンバイモードを設定することにより、マスク ROM のアクセスが禁止されます。詳細は「第 24 章 低消費電力状態」を参照してください。

21. RAM

本 LSI は高速スタティック RAM を内蔵しています。内蔵 RAM は、32 ビット幅のデータバスを介して、CPU、ダイレクトメモリアクセスコントローラ (DMAC)、データトランスファコントローラ (DTC) およびアドバンスドユーザデバッガ (AUD) * に接続されており、8、16、または 32 ビット幅で、内蔵 RAM をアクセスすることができます。内蔵 RAM のデータは、常に 1 ステートでアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータエリアとしての使用に適しています。内蔵 RAM は、アドレス H'FFFFE000 ~ H'FFFFFFF に割り付けられています。内蔵 RAM の内容は、スリープモード、スタンバイモード、パワーオンリセット、マニュアルリセットでは保持されます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「24.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

【注】 * AUD は F-ZTAT 版のみ接続されています。

21.1 使用上の注意事項

- モジュールスタンバイモードの設定

RAM は、モジュールスタンバイコントロールレジスタにより、RAM のアクセスの禁止 / 許可を設定することが可能です。初期値では、RAM のアクセスを許可します。モジュールスタンバイモードを設定することにより、RAM のアクセスが禁止されます。詳細は「第 24 章 低消費電力状態」を参照してください。

22. ユーザデバッグインタフェース (H-UDI)

本 LSI の F-ZTAT 版では、ユーザデバッグインタフェース (H-UDI) を搭載しています。H-UDI は、データ転送と割り込み要求の機能を備えており、外部信号の制御でシリアル転送を行います。

22.1 特長

- 5本のテスト信号 (TCK、TDI、TDO、TMS、および $\overline{\text{TRST}}$)
- TAPコントローラ
- インストラクション : 2種類

BYPASSモード (IEEE 1149.1に対応したテストモード)

H-UDI割り込み (INTCへのH-UDI割り込みを要求)

【注】本 LSI では、BYPASS モード以外のテストモードはサポートしていません。

22. ユーザデバッグインタフェース (H-UDI)

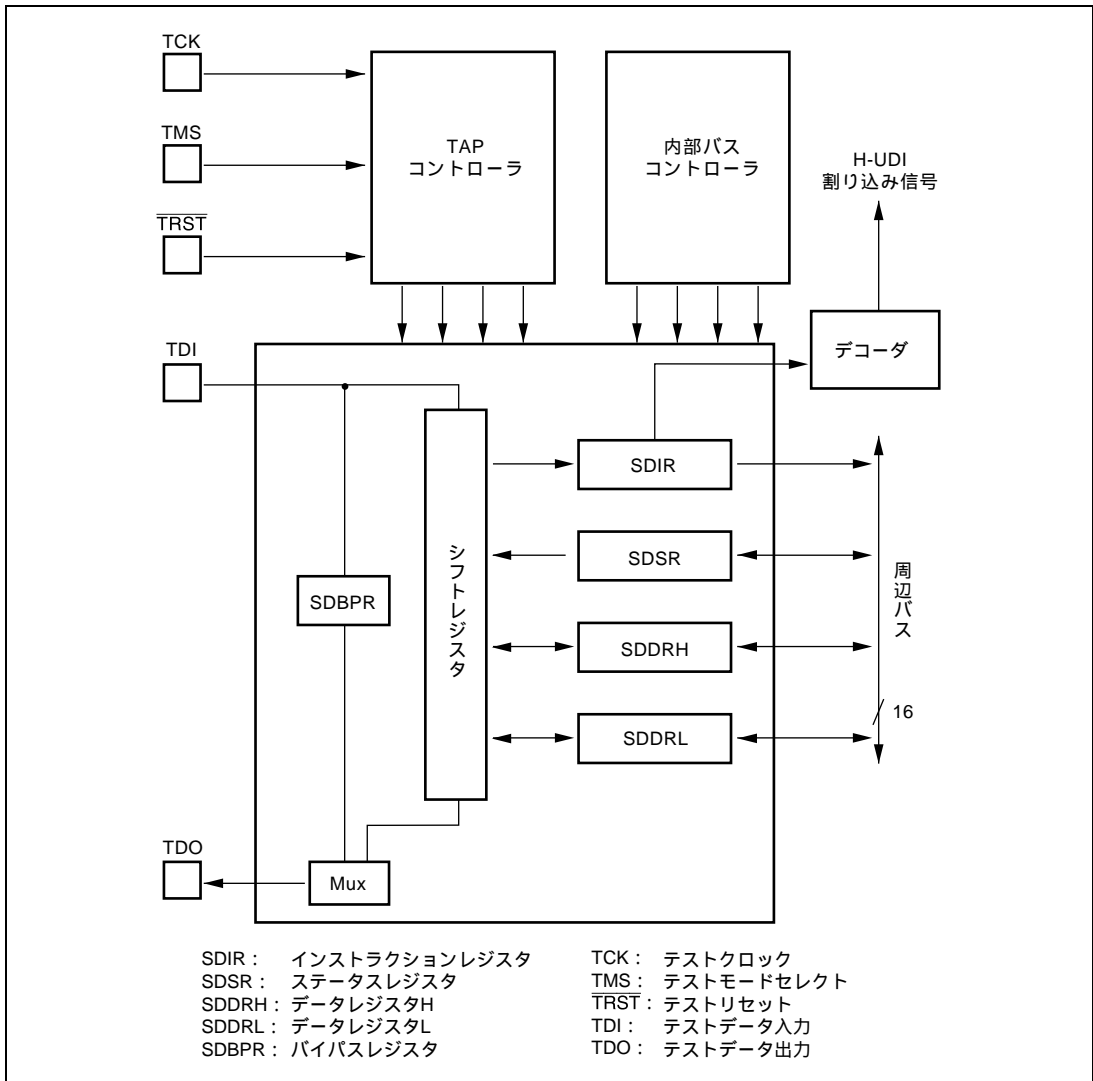


図 22.1 H-UDI のブロック図

22.2 入出力端子

表 22.1 に H-UDI の端子構成を示します。

表 22.1 端子構成

名称	略称	入出力	機能
テストクロック	TCK	入力	テストクロック入力 H-UDI に独立にクロックを供給します。TCK への入力クロックはそのまま H-UDI へ供給しているため、デューティ比 50% に近いクロック波形を入力してください (詳しくは「第 26 章 電気的特性」を参照してください)。
テストモード セレクト	TMS	入力	テストモードセレクト入力信号 TCK の立ち上がりでサンプリングされます。TMS は TAP コントローラの内部ステートを制御します。
テストデータ入力	TDI	入力	シリアルデータ入力 H-UDI レジスタに対するインストラクションとデータのシリアル入力を行います。TDI は TCK の立ち上がりでサンプリングされます。
テストデータ出力	TDO	出力	シリアルデータ出力 H-UDI レジスタからのインストラクションとデータのシリアル出力を行います。転送は TCK に同期して行われます。TDO は出力していない場合、ハイインピーダンス状態です。
テストリセット	TRST	入力	テストリセット入力信号 H-UDI を非同期に初期化する信号。

22.3 レジスタの説明

H-UDI には以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- インストラクションレジスタ (SDIR)
- ステータスレジスタ (SDSR)
- データレジスタ H (SDDRH)
- データレジスタ L (SDDRL)
- バイパスレジスタ (SDBPR)

インストラクションとデータは、テストデータ入力端子 (TDI) からシリアル転送によりインストラクションレジスタ (SDIR) とデータレジスタ (SDDR) へ入力できます。ステータスレジスタ (SDSR)、SDDR からのデータはテストデータ出力端子 (TDO) を通じて出力できます。バイパスレジスタ (SDBPR) は 1 ビットのレジスタで、BYPASS モード時 TDI と TDO はこのレジスタに接続されます。SDBPR を除くすべてのレジスタは CPU によるアクセスが可能です。表 22.2 に各 H-UDI レジスタの可能なシリアル転送の種類を示します。

22. ユーザデバッグインタフェース (H-UDI)

表 22.2 H-UDI レジスタのシリアル転送特性

レジスタ	シリアル入力	シリアル出力
SDIR	可能	不可
SDSR	不可	可能
SDDRH	可能	可能
SDDRL	可能	可能
SDBPR	可能	可能

22.3.1 インストラクションレジスタ (SDIR)

SDIR は、CPU による読み出し専用の 16 ビットのレジスタです。H-UDI のインストラクションは、TDI からのシリアル入力によって SDIR に転送することができます。SDIR は $\overline{\text{TRST}}$ 信号によって初期化できますが、ソフトウェアスタンバイモードでは初期化されません。

SDIR に転送するインストラクションは、4 ビット長でなければなりません。4 ビットを超えるインストラクションを入力すると SDIR にはシリアルデータの最後の 4 ビットを格納します。

ビット	ビット名	初期値	R/W	説明
15	TS3	1	R	テストセットビット
14	TS2	1	R	0XXX : 設定禁止
13	TS1	1	R	100X : 設定禁止
12	TS0	1	R	1010 : H-UDI 割り込み 1011 : 設定禁止 110X : 設定禁止 1110 : 設定禁止 1111 : BYPASS モード 【記号説明】X : Don't care
11~0		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

22.3.2 ステータスレジスタ (SDSR)

SDSR は、CPU による読み出し / 書き込み可能な 16 ビットレジスタです。SDSR は TDO から出力可能ですが、シリアルデータは TDI を通じて SDCSR に書き込むことはできません。SDTRF ビットは 1 ビットシフトによって出力されます。2 ビットシフトの場合、SDTRF ビットがまず出力され、続いて予約ビットが出力されます。

SDSR は $\overline{\text{TRST}}$ 信号入力によって初期化されますが、ソフトウェアスタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15~12		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込み値は常に 0 にしてください。
11		1	R	リザーブビットです 読み出すと常に 1 が読み出されます。書き込み値は常に 1 にしてください。
10~1		すべて 0	R	リザーブビットです 読み出すと常に 0 が読み出されます。書き込み値は常に 0 にしてください。
0	SDTRF	1	R/W	シリアルデータ転送制御フラグ H-UDI レジスタに対して CPU からアクセスできるかどうかを示します。 SDTRF ビットは $\overline{\text{TRST}}$ 信号によって初期化されますが、ソフトウェアスタンバイモードでは初期化されません。 0 : SDDR へのシリアル転送終了。SDDR へのアクセス可能 1 : SDDR へのシリアル転送中。

22.3.3 データレジスタ (SDDR)

SDDR は、データレジスタ H (SDDRH) とデータレジスタ L (SDDRL) から構成されます。

SDDRH と SDDRL は、CPU による読み出し / 書き込み可能な 16 ビットレジスタです。SDDR は外部とのシリアルデータの転送のため TDO および TDI に接続されます。

32 ビットデータはシリアルデータ転送時に入力および出力されます。32 ビットより大きなデータが入力されると SDDR には最後の 32 ビットのみ格納されます。シリアルデータは SDDR の MSB (SDDRH の 15 ビット) から入力され、LSB (SDDRL の 0 ビット) から出力されます。

このレジスタはリセット、ソフトウェアスタンバイモード、および $\overline{\text{TRST}}$ 信号によって初期化されません。初期値は不定です。

22.3.4 バイパスレジスタ (SDBPR)

SDBPR は 1 ビットシフトレジスタです。バイパスモードでは、SDBPR は TDI と TDO に接続され、ボードテストから本 LSI はバイパスされます。SDBPR は CPU による読み出し / 書き込みは行えません。

22.4 動作説明

22.4.1 H-UDI 割り込み

SDIR へ H-UDI 割り込みのインストラクションが、TDI を経由して転送されると割り込みが発生します。H-UDI 割り込みのサービスルーチンにより、データ転送を制御することが可能です。転送は SDDR を介して、行うことができます。

外部と H-UDI の間のデータ入出力制御は、外部と内部で SDSR の SDTRF ビットを観測することで行います。内部での SDTRF ビットの観測は、CPU で SDSR を読み出して行うこととなります。

H-UDI 割り込みおよびシリアル転送の手順は次のとおりです。

1. インストラクションがシリアル転送によりSDIRへ入力され、H-UDI割り込み要求が発生します。
2. H-UDI割り込み要求が発行された後、外部でSDSRのSDTRFビットを観測します。SDTRF = 1がTDOから出力されたことを観測した後、SDDRにシリアルデータを転送します。
3. SDDRへのシリアル転送が完了すると、SDTRFビットが0にクリアされ、CPUによるSDDRへのアクセスが可能となります。SDDRへのアクセス終了後、SDSRのSDTRFビットを1に設定することで、SDDRのシリアル転送が可能となります。
4. 外部と内部で、常にSDSRのSDTRFビットを観測することにより、外部とH-UDIのシリアルデータ転送が可能となります。

図 22.2、図 22.3、図 22.4 に外部と H-UDI 間のデータ転送のタイミングを示します。

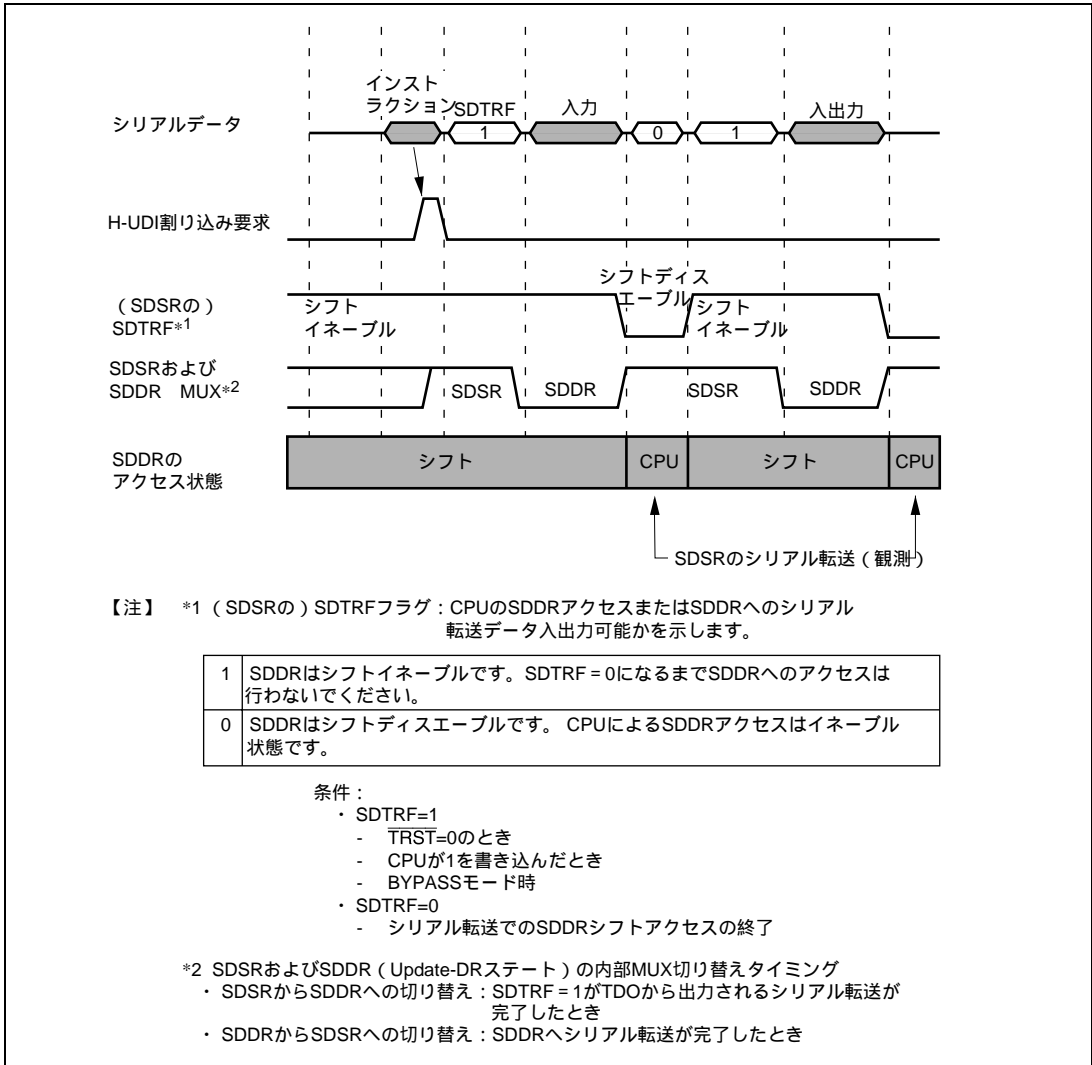


図 22.2 データ入出力タイミングチャート (1)

22. ユーザデバッグインタフェース (H-UDI)

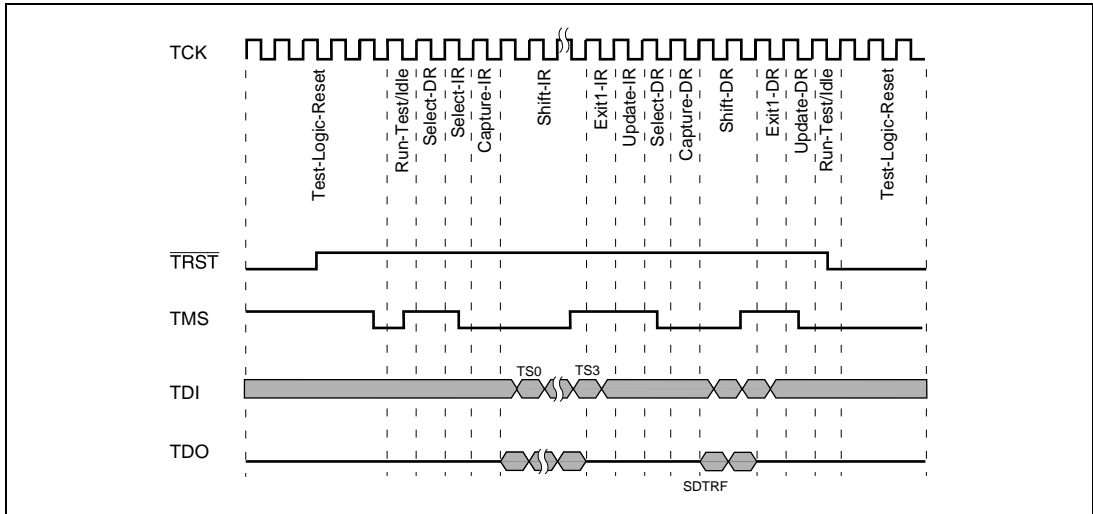


図 22.3 データ入出力タイミングチャート (2)

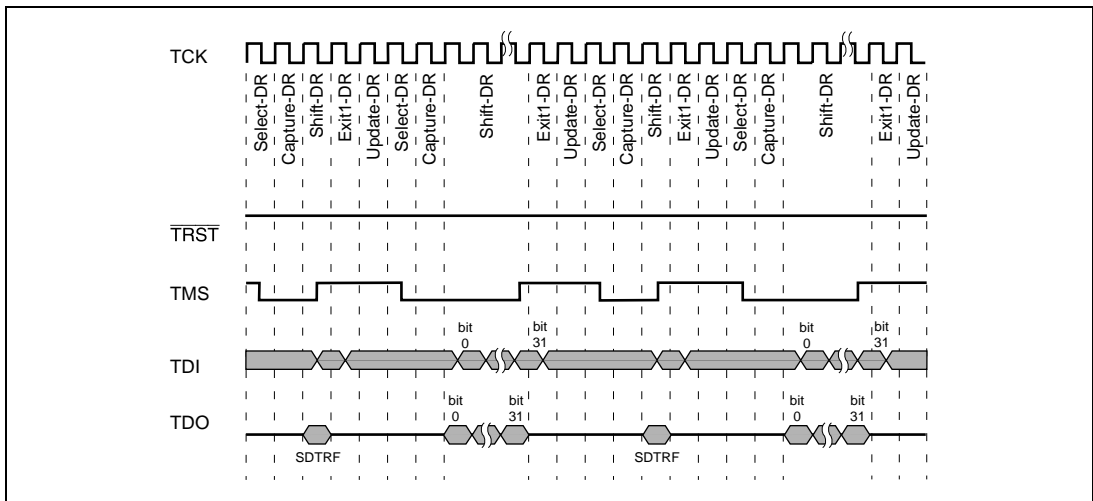


図 22.4 データ入出力タイミングチャート (3)

22.4.2 BYPASS モード

BYPASS モードは、バウンダリスキャンテスト時、本 LSI をバイパスするために利用できます。b'1111 を SDIR へ転送することによって BYPASS モードになります。BYPASS モードでは TDI と TDO には SDBPR が接続されません。

22.4.3 H-UDI のリセット

H-UDI は以下のときにリセットされます。

- $\overline{\text{TRST}}$ 信号を0に保持する。
- $\overline{\text{TRST}}=1$ のとき、TMS=1の状態では5クロック以上のTCKを入力する。

22.5 使用上の注意事項

- ソフトウェアスタンバイモードではレジスタは初期化されません。ソフトウェアスタンバイモード時に $\overline{\text{TRST}}$ を0に設定するとBYPASSモードになります。
- TCKの周波数は周辺モジュールクロック (P ϕ)の周波数よりも低くなければなりません。詳しくは「第26章 電气的特性」を参照してください。
- シリアル転送時のデータ入出力はLSBから開始します。図22.5にシリアルデータ入出力を示します。
- H-UDIシリアル転送シーケンスがくずれした場合、必ず $\overline{\text{TRST}}$ のリセットを行ってください。このとき、転送動作にかかわらず、再度転送し直してください。
- TDOの出力タイミングはTCKの立ち上がりからになります。
- Shift-IR時、TDOからの出力データ下位2ビット (IRステータスワード) が01にならない場合があります。
- 32ビット以上シリアル転送した場合、32ビット分を超えてTDOから出力されるシリアルデータは無視してください。
- TDI端子は、ハイインピーダンス状態にならないようにしてください。

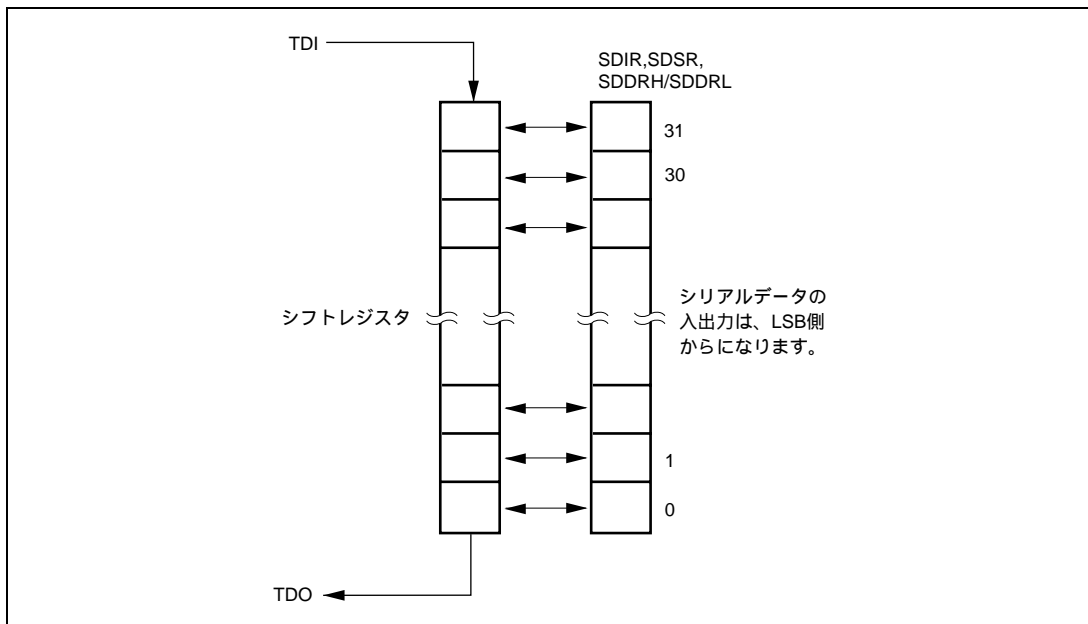


図 22.5 シリアルデータ入出力

23. アドバンストユーザデバッグ (AUD)

本 LSI の F-ZTAT 版は、アドバンストユーザデバッグ (AUD) を搭載しています。AUD を用いてトレースデータ取得や内蔵 RAM データのモニタリング / チューニング等簡易エミュレータを構築することが可能です。

AUD は、システムコントロールレジスタ (SYSCR) の AUDSRST ビットにより、有効または無効の制御が可能です。SYSCR については「24.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

23.1 特長

- 8本の入出力端子
データバス (AUDATA3 ~ 0)
AUDリセット ($\overline{\text{AUDRST}}$)
AUD同期信号 ($\overline{\text{AUDSYNC}}$)
AUDクロック (AUDCK)
AUDモード (AUDMD)
- 2つのモード
ブランチトレースモード
RAMモニタモード

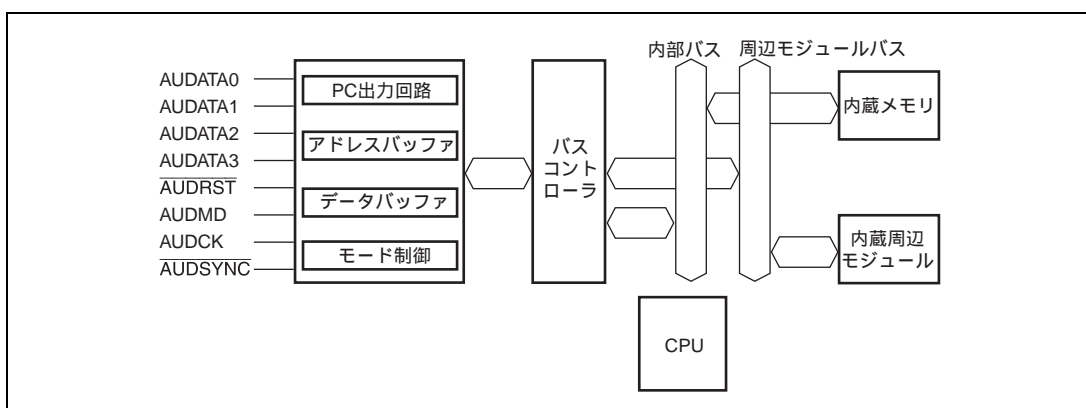


図 23.1 AUD ブロック図

23. アドバンストユーザデバッグ (AUD)

23.2 入出力端子

AUD は、表 23.1 に示す入出力端子を持っています。

表 23.1 端子構成

名称	略称	機能	
		ブランチトレースモード	RAM モニタモード
AUD データ	AUDATA3~0	分岐先アドレス出力	モニタアドレス / データ入出力
AUD リセット	AUDRST	AUD リセット入力	AUD リセット入力
AUD モード	AUDMD	モード選択入力 (L)	モード選択入力 (H)
AUD クロック	AUDCK	同期クロック ($\phi/2$) 出力	同期クロック入力
AUD 同期信号	AUDSYNC	データ先頭位置認識信号出力	データ先頭位置認識信号入力

23.2.1 端子説明

(1) 共通に使用する端子

端子	説明
AUDMD	本端子への入力レベルを切り替えることにより、モードを選択します。 L: ブランチトレースモード H: RAM モニタモード 本端子の入力切り替えは $\overline{\text{AUDRST}}$ が L の状態で実施してください。
AUDRST	本端子に L を入力することで AUD 内のバッファ、ロジックの初期化を行います。 L 入力時は AUD がリセット状態となり、AUD 内のバッファおよびロジックはリセットされます。AUDMD のレベル確定後 H に戻すと選択されたモードで動作します。

(2) ブランチトレースモードでの端子説明

端子	説明
AUDCK	本端子は動作周波数の 1/2 ($\phi/2$) を出力します。 AUDATA の同期をとるためのクロックです。
AUDSYN \bar{C}	本端子は AUDATA からの出力が有効かそうでないかを示します。 H : 有効なアドレスデータを出力していないとき L : 有効なアドレスを出力しているとき
AUDATA3 ~ AUDATA0	<ul style="list-style-type: none"> • $\overline{\text{AUDSYN}} = \text{L}$ のとき 内部でプログラム分岐または割り込み分岐が発生すると AUD は $\overline{\text{AUDSYN}}$ をアサートし分岐先アドレスを出力します。出力は A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の順です。 • $\overline{\text{AUDSYN}} = \text{H}$ のとき 分岐先アドレス出力待ち状態時は常に 0011 を出力します。 分岐発生時は AUDATA3、2 = 10 を出力し、AUDATA1、0 には、前回フル出力したアドレスと今回出力するアドレスとの比較により、4/8/16/32 ビットのどれだけのアドレスを出力するかを示します。 【AUDATA1,0 の設定】 00 : アドレスの A31 ~ A4 までが一致したことを示し、以下 A3 ~ A0 の 4 ビットのアドレスを出力することを示します。出力回数は 1 回です。 01 : アドレスの A31 ~ A8 までが一致したことを示し、以下 A3 ~ A0、A7 ~ 4 の 8 ビットのアドレスを出力することを示します。出力回数は 2 回です。 10 : アドレスの A31 ~ A16 までが一致したことを示し、以下 A3 ~ A0、A7 ~ 4、A11 ~ 8、A15 ~ 12 の 16 ビットのアドレスを出力することを示します。出力回数は 4 回です。 11 : 上記のいずれにも該当しなかったことを示し、以下 A3 ~ A0、A7 ~ 4、A11 ~ 8、A15 ~ 12、A19 ~ 16、A23 ~ 20、A27 ~ 24、A31 ~ 28 の 32 ビットのアドレスを出力することを示します。出力回数は 8 回です。

(3) RAM モニタモードでの端子説明

端子	説明
AUDCK	本端子は外部クロック入力です。デバッグに使用するクロックを入力してください。入力できる周波数は動作周波数の 1/4 以下です。
AUDSYN \bar{C}	本端子は外部から AUDATA にコマンドが入力されて、必要なデータが準備できるまでアサートしないでください。詳しくは後述のプロトコルを参照してください。
AUDATA3 ~ AUDATA0	外部からコマンドを入力すると Ready 送信後データを出力します。出力は $\overline{\text{AUDSYN}}$ がネゲートされてから開始します。詳しくは後述のプロトコルを参照してください。

23.3 ブランチトレースモード

本モードは、ユーザプログラムにおいて分岐が発生したときに、分岐先アドレスを出力する機能です。分岐には分岐命令実行と割り込み / 例外処理による分岐がありますが、本機能はこれらを区別しません。

23.3.1 動作説明

$\overline{\text{AUDRST}}$ をアサートして AUDMD を L に設定してから $\overline{\text{AUDRST}}$ をネゲートするとブランチトレースモードで動作を開始します。

図 23.2 にデータ出力例を示します。

ユーザプログラムが分岐なしで実行されている場合、AUDATA は AUDCK に同期して常に 0011 を出力します。

分岐が発生した場合には、PC が分岐先アドレスから実行開始後、前回フル出力（途中で後に発生した分岐によって出力の中断がなかった場合の出力）したアドレスと今回の分岐アドレスの比較によって、AUDATA から 1000（4 ビット出力時）or 1001（8 ビット出力時）or 1010（16 ビット出力時）or 1011（32 ビット出力時）を 1 クロック分出力してから $\overline{\text{AUDSYNC}}$ をアサートして分岐先アドレスを出力します。なお、比較アドレスの初期値は H'00000000 です。

アドレスを出力するサイクルが終了すると、 $\overline{\text{AUDSYNC}}$ をネゲートし、同時に AUDATA から 0011 を出力します。

分岐先アドレス出力中に次の分岐が発生した場合には、後に発生した分岐を優先して出力します。このとき $\overline{\text{AUDSYNC}}$ をネゲートし AUDATA は再度 10xx を出力してからアドレスを出力します（図 23.3）。比較されるアドレスは前回フル出力されたアドレスであり、中断されたアドレスではないので注意してください。これは、中断されたアドレスでは上位アドレスを知ることができないためです。

なお、PC が分岐先アドレスの実行開始の AUDATA が 10xx を出力するまでの期間は AUDCK 基準で 1.5 or 2 ブロックです。

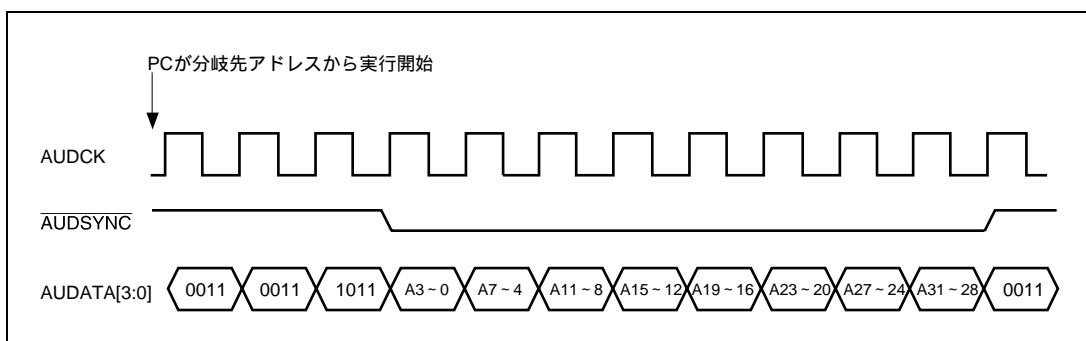


図 23.2 データ出力例（32 ビット出力）

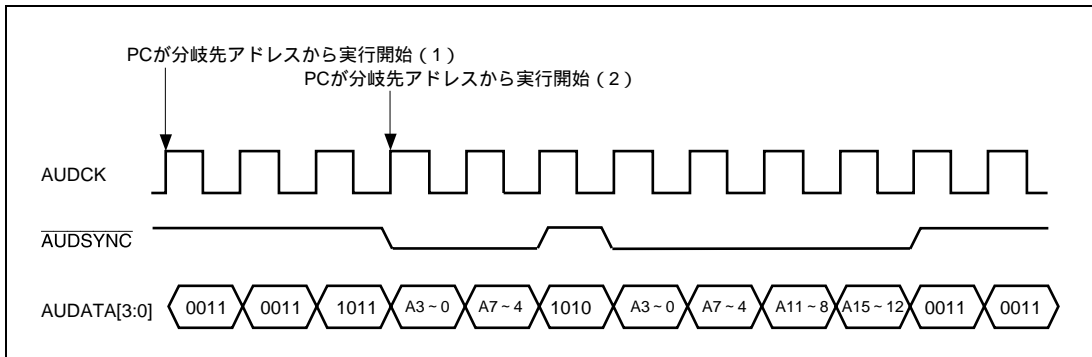


図 23.3 分岐が連続した場合の出力例

23.4 RAM モニタモード

本モードは、内部 / 外部バスに接続されているすべてのモジュールを読み出し / 書き込みする機能です。本機能により RAM モニタ / チューニングができます。

- 外部からAUDATAにアドレスを書き込むと、そのアドレスに対応したデータを出力。
また、AUDATAにアドレスとデータを書き込むと、そのアドレスにデータが転送されます。

23.4.1 通信プロトコル

AUDはAUDSYNCがアサートされるとAUDATAを取り込みます。AUDATAは以下のフォーマットで入力してください。

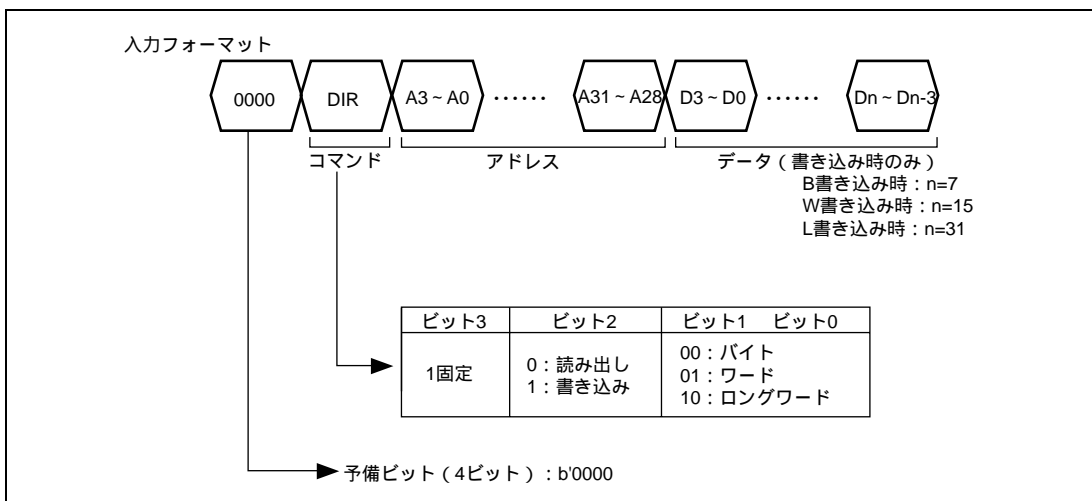


図 23.4 AUDATA 入力フォーマット

23.4.2 動作説明

$\overline{\text{AUDRST}}$ をアサートした状態で AUDMD を H にして $\overline{\text{AUDRST}}$ をネゲートすると、RAM モニタモードで動作を開始します。

図 23.5 にリード動作の例を、図 23.6 にライト動作の例を示します。

$\overline{\text{AUDSYNC}}$ がアサートされると、 AUDATA から入力を開始します。図 23.4 に示すフォーマットでコマンド、アドレス、データ（書き込み時のみ）が入力されると、指定されたアドレスの読み出し / 書き込みを実行を開始します。内部実行中は AUD は Not Ready (0000) を返します。実行が完了すると、Ready フラグ (0001) を返します (図 23.5、図 23.6)。表 23.2 に Ready フラグのフォーマットを示します。

読み出し時は、このフラグの検出後、 $\overline{\text{AUDSYNC}}$ をネゲートすると指定されたサイズのデータを出力します (図 23.5)。

DIR に上記以外のコマンドが入力された場合、 AUD はコマンドエラーとして処理を無効にし、Ready フラグ内のビット 1 を 1 にセットします。また、 DIR 内で指定されたコマンドによる読み出し / 書き込み動作がバスエラーを起こすとき、処理を無効にし Ready フラグ内ビット 2 を 1 にセットします (図 23.7)。

以下にバスエラー条件を示します。

- $4n+1$ 、 $4n+3$ 番地にワードアクセス
- $4n+1$ 、 $4n+2$ 、 $4n+3$ 番地にロングワードアクセス
- 内蔵I/O 8bit空間をロングワードでアクセス
- シングルチップモード時に外部空間をアクセス

表 23.2 Ready フラグフォーマット

ビット3	ビット2	ビット1	ビット0
0 固定	0 : 正常状態 1 : バスエラー発生	0 : 正常状態 1 : コマンドエラー発生	0 : not Ready 1 : Ready

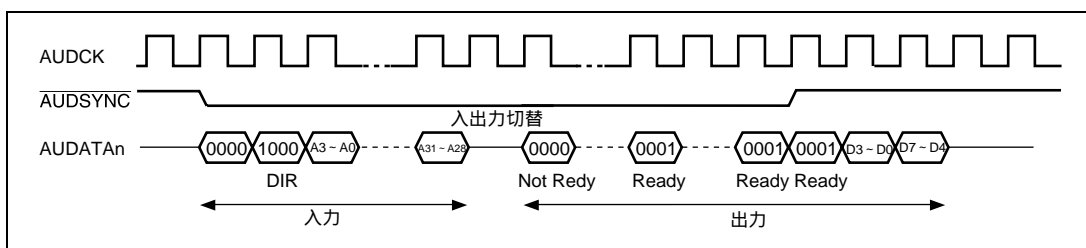


図 23.5 リード動作例 (バイトリード)

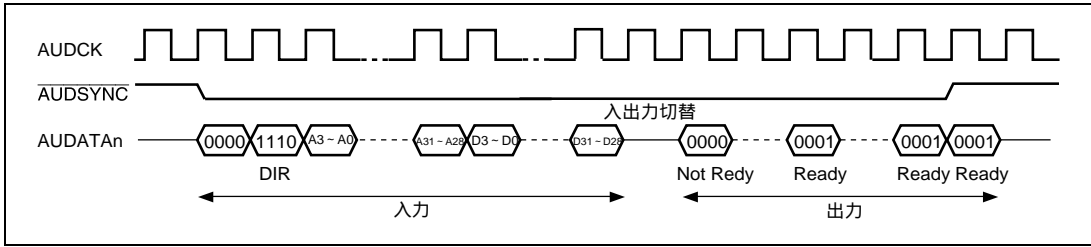


図 23.6 ライト動作例 (ロングワードライト)

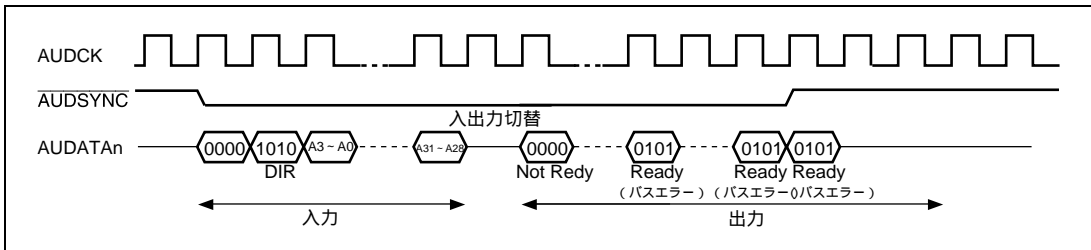


図 23.7 エラー発生例 (ロングワードリード)

23.5 使用上の注意事項

23.5.1 初期化

本デバッガに内蔵しているバッファおよび処理状態は、以下の条件に入ると初期化されます。

- パワーオンリセット
- $\overline{\text{AUDRST}}$ 端子にLレベル印加
- SYSCRレジスタのAUDSRSTビットを0にクリアしたとき (「24.2.2 システムコントロールレジスタ (SYSCR)」参照)
- MSTCR2レジスタのMSTP3ビットに1をセットしたとき (「24.2.3 モジュールスタンバイコントロールレジスタ1、2 (MSTCR1、MSTCR2)」参照)

23.5.2 ソフトウェアスタンバイ時の動作

本デバッガはソフトウェアスタンバイでは初期化されません。ただし、ソフトウェアスタンバイ時はLSIの内部は止まっているので、

- AUDMD=H (RAMモニタ) 時: Readyが返らない (not Readyを連続して返す)
ただし、外部入力クロックで動作しているので、プロトコルは継続。
- AUDMD=L (ブランチトレース) 時: 停止。ただし、ソフトウェアスタンバイ解除で動作継続。

23.5.3 PA15/CK 端子の設定

接続するデバッグツールによっては、AUDCK 信号を CK 信号から生成する仕様のもがあります。デバッグツールのマニュアルを確認して、ピンファンクションコントローラ (PFC) の設定を決めてください。

23.5.4 端子状態

(1) モジュールスタンバイ

AUDMD	Z
AUDCK	Z
$\overline{\text{AUDSYNC}}$	Z
AUDATA	Z

(2) $\overline{\text{AUDRST}}=L$ 入力時

AUDMD	入力
AUDCK	(1) AUDMD=H 時: 入力 (2) AUDMD=L 時: H 出力
$\overline{\text{AUDSYNC}}$	(1) AUDMD=H 時: 入力 (2) AUDMD=L 時: H 出力
$\overline{\text{AUDRST}}$	L 入力
AUDATA	(1) AUDMD=H 時: 入力 (2) AUDMD=L 時: H 出力

(3) 通常動作 / ソフトウェアスタンバイ

AUDSRST=1	
AUDMD	入力
AUDCK	(1) AUDMD=H 時: 入力 (2) AUDMD=L 時: 出力
$\overline{\text{AUDSYNC}}$	(1) AUDMD=H 時: 入力 (2) AUDMD=L 時: 出力
$\overline{\text{AUDRST}}$	H 入力
AUDATA	(1) AUDMD=H 時: 入出力 (2) AUDMD=L 時: 出力

23.5.5 AUD 起動シーケンス

下記シーケンスに従ってください。

PFC で AUD 端子を選択した後、 $\overline{\text{AUDRST}}$ 端子を Low レベルに保ったまま、AUDCK 端子へクロック入力 (最低 3 クロック) してください。その後 SYSCR の AUD リセットビット AUDSRST をセットして、AUD リセットを解除してください。なお、 $\overline{\text{AUDRST}}$ 端子への Low レベル入力、AUDCK 端子へのクロック入力は、PFC による AUD 端子選択に先じて開始してもかまいません。

23.5.6 PD22/AUDCK 端子を使用した RAM モニタ動作

RAM モニタ機能で PD22/AUDCK 端子を使用する場合、PE3/AUDATA3、PE4/AUDATA2、PE5/AUDATA1、PE6/AUDATA0、PA16/AUDSYNC 端子は使用できません。PD22/AUDCK 端子を使用する場合は、必ず PD19/AUDATA3、PD18/AUDATA2、PD17/AUDATA1、PD16/AUDATA0、PD23/AUDSYNC 端子を使用してください。

23.5.7 E10A 使用時の AUD 関連端子の設定

SH7145 で E10A の AUD 機能を使用する場合、ポート D とマルチプレクスされている AUD 関連端子を使用してください。

24. 低消費電力状態

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、通常動作モードの他、

- スリープモード
- ソフトウェアスタンバイモード
- モジュールスタンバイモード

の低消費電力状態があります。スリープモードは CPU の状態、モジュールスタンバイモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは組み合わせて設定することができます。

リセット後は、通常動作モードになっています。

表 24.1 に、各モードでの内部動作状態を示します。

24. 低消費電力状態

表 24.1 各モードでの本 LSI の内部状態

機能		通常動作	スリープ	モジュールスタンバイ	ソフトウェアスタンバイ
システムクロック発振器		動作	動作		停止
CPU		動作	停止 (保持)		停止 (保持)
外部割り込み	NMI	動作	動作		動作
	IRQ0-7				
周辺機能	UBC	動作	動作	停止 (リセット)	停止 (保持)
	DMAC			停止 (リセット)	停止 (リセット)
	DTC				
	IIC				
	I/Oポート	動作	動作		停止 (保持)
	WDT	動作	動作		停止 (保持)
	SCI	動作	動作	停止 (リセット)	停止 (リセット)
	A/D				
	MTU				
	CMT				
	H-UDI	動作	動作	停止 (保持)	停止 (保持)
	AUD	動作	動作	停止 (リセット)	停止 (リセット)
	ROM				
RAM	動作	動作	停止 (保持)	停止 (保持)	

- 【注】
1. 停止（保持）は、内部レジスタ値保持。内部状態は動作中断。
 2. 停止（リセット）は、内部レジスタ値および内部状態を初期化。
 3. モジュールスタンバイモード時は、停止設定をしたモジュールのみ停止（リセットまたは保持）。
 4. 内蔵周辺モジュールのレジスタの中には、モジュールスタンバイモード、およびソフトウェアスタンバイモードによって初期化されるものとされないものがあります。「25.3 各動作モードにおけるレジスタの状態」を参照してください。
 5. ソフトウェアスタンバイモード時の I/O ポートの状態は、SBYCR のポートハイインピーダンスビット（HIZ）で設定します。「24.2.1 スタンバイコントロールレジスタ（SBYCR）」を参照してください。端子状態は、「付録 A. 端子状態」を参照してください。

24.1 入出力端子

低消費電力モードに関連する端子を表 24.2 に示します。

表 24.2 端子構成

端子名	入出力	機能
RES	入力	パワーオンリセット入力端子
MRES	入力	マニュアルリセット入力端子

24.2 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 25 章 レジスタ一覧」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- システムコントロールレジスタ (SYSCR)
- モジュールスタンバイコントロールレジスタ1 (MSTCR1)
- モジュールスタンバイコントロールレジスタ2 (MSTCR2)

24.2.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 0 : SLEEP 命令実行後、スリープモードに遷移 1 : SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール/ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) が 1 のとき) には、SSBY ビットは 1 にセットできません。ソフトウェアスタンバイモードへ遷移するときは、必ず TME ビットを 0 にクリアして WDT を停止させてから、SSBY ビットをセットしてください。
6	Hi-Z	0	R/W	ポートハイインピーダンス ソフトウェアスタンバイモード時に、I/O ポートの端子状態を保持するかハイインピーダンスにするかを選択します。 0 : ソフトウェアスタンバイモード時に、端子状態を保持する 1 : ソフトウェアスタンバイモード時に、端子状態をハイインピーダンス WDT の TCSR の TME ビットが 1 にセットされていると、Hi-Z ビットは 1 にセットできません。I/O ポートの端子状態をハイインピーダンスにするときは、必ず TME ビットを 0 にクリアしてから Hi-Z ビットをセットしてください。

24. 低消費電力状態

ビット	ビット名	初期値	R/W	説明
5		0	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~2		すべて1	R	リザーブビットです。 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
1	IRQEH	1	R/W	IRQ7~4 イネーブル IRQ7~4 割り込みによるソフトウェアスタンバイモードの解除を有効にします。 0: ソフトウェアスタンバイモードの解除を有効にする 1: ソフトウェアスタンバイモードの解除を無効にする
0	IRQEL	1	R/W	IRQ3~0 イネーブル IRQ3~0 割り込みによるソフトウェアスタンバイモードの解除を有効にします。 0: ソフトウェアスタンバイモードの解除を有効にする 1: ソフトウェアスタンバイモードの解除を無効にする

24.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのリード/ライト可能なレジスタで、AUD ソフトウェアリセット制御と、内蔵 RAM へのアクセスの許可/禁止を設定します。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 1	R	リザーブビットです。 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5~2		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	AUDSRST	0	R/W	AUD ソフトウェアリセット AUD のリセットをソフトウェアで制御します。本ビットに 0 をライトすると AUD モジュールはパワーオンリセット状態になります。 0 : AUD リセット状態にする 1 : AUD のリセットを解除する
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効 本ビットを 0 にクリアすると内蔵 RAM はアクセスできません。このとき、内蔵 RAM からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM へのライトは無視されます。 なお、本ビットを 0 にクリアして内蔵 RAM を無効にする場合、SYSCR へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。 本ビットを 1 にセットして内蔵 RAM を有効にする場合、SYSCR へのライト命令の直後に SYSCR のリード命令を置いてください。もし、SYSCR ライト命令の直後に内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

24.2.3 モジュールスタンバイコントロールレジスタ 1、2 (MSTCR1、MSTCR2)

MSTCR は 16 ビットのリード/ライト可能な 2 本のレジスタで、モジュールスタンバイモードの制御を行います。1 のとき対応するモジュールはモジュールスタンバイモードになり、クリアするとモジュールスタンバイモードは解除されます。

• MSTCR1

ビット	ビット名	初期値	R/W	対象モジュール
15~12		すべて 1	R	リザーブビットです。 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
11	MSTP27	0	R/W	内蔵 RAM
10	MSTP26	0	R/W	内蔵 ROM
9	MSTP25	0	R/W	データトランスファコントローラ (DTC)
8	MSTP24	0	R/W	ダイレクトメモリアクセスコントローラ (DMAC) MSTP25 および MSTP24 には同じ設定をします。モジュールスタンバイ設定時には、b'11 をライトし、解除時は b'00 をライトします。
7、6		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MSTP21	1	R/W	I ² C バスインタフェース (IIC)
4		1	R	リザーブビットです。 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	MSTP19	1	R/W	シリアルコミュニケーションインタフェース 3 (SCL_3)
2	MSTP18	1	R/W	シリアルコミュニケーションインタフェース 2 (SCL_2)
1	MSTP17	1	R/W	シリアルコミュニケーションインタフェース 1 (SCL_1)
0	MSTP16	1	R/W	シリアルコミュニケーションインタフェース 0 (SCL_0)

• MSTCR2

ビット	ビット名	初期値	R/W	対象モジュール
15、14		すべて 1	R	リザーブビットです。 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
13	MSTP13	1	R/W	マルチファンクションタイムバルスユニット (MTU)
12	MSTP12	1	R/W	コンペアマッチタイマ (CMT)
11~8		すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7、6		すべて 1	R	リザーブビットです。 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	対象モジュール
5	MSTP5	1	R/W	A/D変換器(A/D1)
4	MSTP4	1	R/W	A/D変換器(A/D0)
3	MSTP3	0	R/W	アドバンスドユーザデバッグ(AUD)*
2	MSTP2	0	R/W	ユーザデバッグインタフェース(H-UDI)*
1		0	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MSTP0	0	R/W	ユーザブ레이크コントローラ(UBC)

【注】 * E10A 使用時 (DBGMD = H 時) は、本ビットの読み書きはできますが、設定値に関係なく AUD、H-UDI は常時動作します。

24.3 動作説明

24.3.1 スリープモード

(1) スリープモードへの遷移

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

なお、スリープモード中は、DMAC、DTC、AUD によるデータアクセスを行わないでください。

(2) スリープモードの解除

スリープモードは、以下の条件により解除されます。

- パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子をハイレベルにすると、CPU はリセット例外処理を開始します。

また、WDT による内部パワーオンリセットが発生した場合も、スリープモードは解除されます。

- マニュアルリセットによる解除

$\overline{\text{RES}}$ 端子がハイレベルのとき、 $\overline{\text{MRES}}$ 端子をローレベルにすると本 LSI は、マニュアルリセット状態に遷移し、スリープモードは解除されます。

また、WDT による内部マニュアルリセットが発生した場合も、スリープモードは解除されます。

24.3.2 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

SBYCRのSSBYビットを1にセットした状態でSLEEP命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPUのレジスタ内容と内蔵RAMのデータは、規定の電圧が与えられている限り保持されます。内蔵周辺モジュールのレジスタの中には、初期化されるものとされないものがあります（「25.3 各動作モードにおけるレジスタの状態」を参照してください）。I/Oポートの状態は、SBYCRのポートハイインピーダンスビット（Hi-Z）で、保持またはハイインピーダンスを選択することができます。その他の端子状態については「付録A. 端子状態」を参照してください。本モードでは、発振器が停止するため、消費電力は著しく低減します。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の条件により解除されます。

- NMI割り込み入力による解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラ（INTC）の割り込みコントロールレジスタ1（ICR1）のNMIエッジセレクトビット（NMIE）で選択）が検出されると、クロックの発振が開始されます。このクロックはウォッチドッグタイマ（WDT）だけに供給されます。

ソフトウェアスタンバイモードに遷移する前にWDTのタイマコントロールレジスタ/ステータスレジスタ（TCSR）のクロックセレクトビット（CKS2～CKS0）に設定しておいた時間が経過すると、WDTオーバーフローが発生します。このオーバーフロー発生によって、クロックが安定したと判断され、本LSI全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI例外処理が開始されます。

NMI割り込みによってソフトウェアスタンバイモードを解除する場合、WDTのオーバーフロー周期が発振安定時間以上になるように、CKS2～CKS0ビットを設定してください。

なお、立ち下がりエッジに設定したNMI端子で、ソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき（クロック停止時）のNMI端子のレベルがハイレベルに、かつソフトウェアスタンバイ復帰時（発振安定後のクロック起動時）のNMI端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき（クロック停止時）のNMI端子のレベルがローレベルに、かつソフトウェアスタンバイ復帰時（発振安定後のクロック起動時）のNMI端子のレベルがハイレベルになるようにしてください。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をローレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでローレベルに保持してください。 $\overline{\text{RES}}$ 端子をハイレベルにすると、CPUはリセット例外処理を開始します。

- IRQ割り込み入力による解除

スタンバイコントロールレジスタ (SBYCR) のIRQELビット、IRQEHビットが1に設定されている場合、 $\overline{\text{IRQ}}$ 端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ1 (ICR1) のIRQ7S ~ IRQ0Sビット、割り込みコントロールレジスタ2 (ICR2) のIRQ7ES[1:0] ~ IRQ0ES[1:0]ビットで選択) が検出されると、クロックの発振が開始されます*。このクロックはウォッチドッグタイマ (WDT) だけに供給されます。ソフトウェアスタンバイモードに遷移する前にCPUのステータスレジスタ (SR) に設定されている割り込みマスクレベルより、IRQ割り込み優先レベルを高く設定する必要があります。

ソフトウェアスタンバイモードに遷移する前にWDTのタイマコントロールレジスタ / ステータスレジスタ (TCSR) のクロックセレクトビット (CKS2 ~ CKS0) に設定しておいた時間が経過すると、WDTオーバーフローが発生します。このオーバーフロー発生によって、クロックが安定したと判断され、本LSI全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、IRQ例外処理が開始されます。

IRQ割り込みによってソフトウェアスタンバイモードを解除する場合、WDTのオーバーフロー周期が発振安定時間以上になるように、CKS2 ~ CKS0ビットを設定してください。

なお、立ち下がりエッジ、または立ち上がり / 立ち下がり両エッジに設定した $\overline{\text{IRQ}}$ 端子で、ソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき (クロック停止時) の $\overline{\text{IRQ}}$ 端子のレベルがハイレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) に $\overline{\text{IRQ}}$ 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した $\overline{\text{IRQ}}$ 端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき (クロック停止時) の $\overline{\text{IRQ}}$ 端子のレベルがローレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) に $\overline{\text{IRQ}}$ 端子のレベルがハイレベルになるようにしてください。

【注】 * $\overline{\text{IRQ}}$ 端子が立ち下がりエッジ検出、または立ち上がり / 立ち下がり両エッジ検出に設定されている場合、立ち下がりエッジの検出でクロックの発振が開始されます。 $\overline{\text{IRQ}}$ 端子が立ち上がりエッジ検出に設定されている場合、立ち上がりエッジの検出でクロックの発振が開始されます。 $\overline{\text{IRQ}}$ 端子をローレベル検出に設定しないでください。

(3) ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 24.1 に示します。

割り込みコントロールレジスタ 1 (ICR1) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 1 にセットして SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

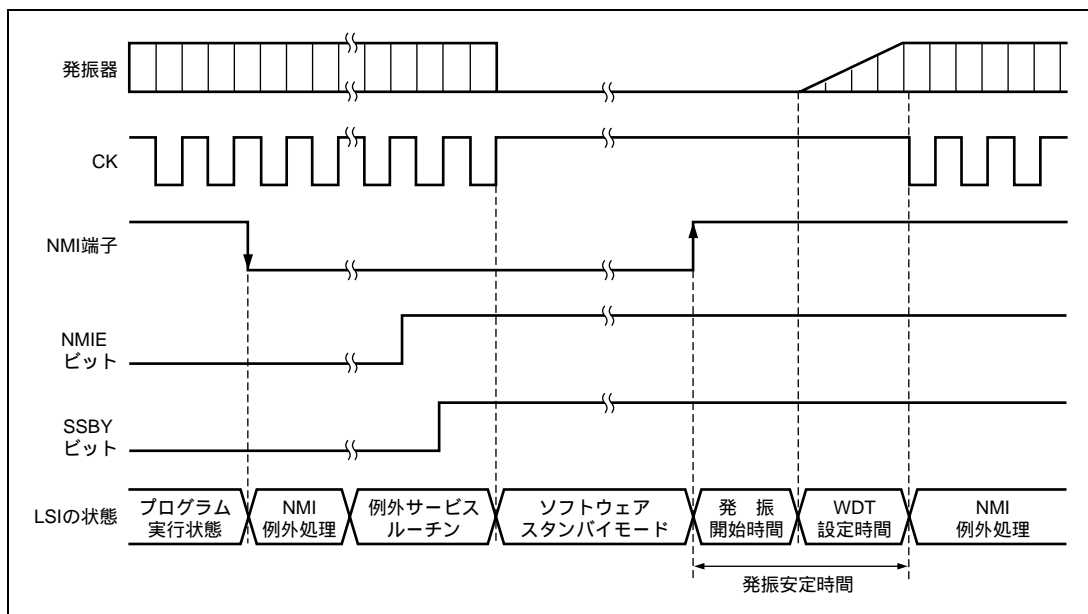


図 24.1 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

24.3.3 モジュールスタンバイモード

モジュールスタンバイモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールスタンバイモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールスタンバイモードは解除され、バスサイクルの終了時点でモジュールは動作可能となります。モジュールスタンバイモードに遷移したモジュールの中には、レジスタ値が初期化されるものがありますので、再度モジュールを動作させる場合は、レジスタの再設定を行ってください。

リセット解除後は、 $\bar{F}C$ 、SCI、MTU、CMT、A/D 変換器がモジュールスタンバイモードになっています。

モジュールスタンバイモードに設定されたモジュールのレジスタは、リード/ライトできません。

24.4 使用上の注意事項

24.4.1 I/O ポートの状態

SBYCR のポートハイインピーダンスビット (Hi-Z) を 0 にクリアした状態でソフトウェアスタンバイモードに遷移すると、I/O ポートの状態が保持されます。したがって、ハイレベルを出力している場合、出力電流分の消費電流は低減されません。

24.4.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

24.4.3 内蔵周辺モジュールの割り込み

モジュールスタンバイモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールスタンバイとすると、CPU の割り込み要因または DMAC/DTC の起動要因のクリアができません。

事前に割り込みを禁止するなど設定してからモジュールスタンバイモードとしてください。

24.4.4 MSTCR1、2 のライト

MSTCR1、2 は CPU のみでライトしてください。

24.4.5 スリープモード中の DMAC、DTC、AUD 動作

スリープモード中は、DMAC、DTC、AUD によるデータアクセスを行わないでください。

25. レジスタ一覧

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧(アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載します。
- リザーブアドレスは、レジスタ名称部を「-」で表記しています。
リザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. ビット構成一覧

- 「レジスタアドレス一覧(アドレス順)」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モード別レジスタの状態

- 「レジスタアドレス一覧(アドレス順)」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

25.1 レジスタアドレス一覧 (アドレス順)

アクセスサイズは、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

ただし、B:8 ビットアクセス時、W:16 ビットアクセス時、L:32 ビットアクセス時の値です。

【注】 未定義・リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
			H'FFFF8000 ~ H'FFFF819F			
シリアルモードレジスタ_0	SMR_0	8	H'FFFF81A0	SCI	8、16	P ₀ 基準
ビットレートレジスタ_0	BRR_0	8	H'FFFF81A1	(チャンネル 0)	8	B:2
シリアルコントロールレジスタ_0	SCR_0	8	H'FFFF81A2		8、16	W:4
トランスミットデータレジスタ_0	TDR_0	8	H'FFFF81A3		8	
シリアルステータスレジスタ_0	SSR_0	8	H'FFFF81A4		8、16	
レシーブデータレジスタ_0	RDR_0	8	H'FFFF81A5		8	
シリアルディレクションコントロールレジスタ_0	SDCR_0	8	H'FFFF81A6		8	
			H'FFFF81A7 ~ H'FFFF81AF			
シリアルモードレジスタ_1	SMR_1	8	H'FFFF81B0	SCI	8、16	
ビットレートレジスタ_1	BRR_1	8	H'FFFF81B1	(チャンネル 1)	8	
シリアルコントロールレジスタ_1	SCR_1	8	H'FFFF81B2		8、16	
トランスミットデータレジスタ_1	TDR_1	8	H'FFFF81B3		8	
シリアルステータスレジスタ_1	SSR_1	8	H'FFFF81B4		8、16	
レシーブデータレジスタ_1	RDR_1	8	H'FFFF81B5		8	
シリアルディレクションコントロールレジスタ_1	SDCR_1	8	H'FFFF81B6		8	
			H'FFFF81B7 ~ H'FFFF81BF			
シリアルモードレジスタ_2	SMR_2	8	H'FFFF81C0	SCI	8、16	
ビットレートレジスタ_2	BRR_2	8	H'FFFF81C1	(チャンネル 2)	8	
シリアルコントロールレジスタ_2	SCR_2	8	H'FFFF81C2		8、16	
トランスミットデータレジスタ_2	TDR_2	8	H'FFFF81C3		8	
シリアルステータスレジスタ_2	SSR_2	8	H'FFFF81C4		8、16	
レシーブデータレジスタ_2	RDR_2	8	H'FFFF81C5		8	
シリアルディレクションコントロールレジスタ_2	SDCR_2	8	H'FFFF81C6		8	
			H'FFFF81C7 ~ H'FFFF81CF			
シリアルモードレジスタ_3	SMR_3	8	H'FFFF81D0	SCI	8、16	
ビットレートレジスタ_3	BRR_3	8	H'FFFF81D1	(チャンネル 3)	8	
シリアルコントロールレジスタ_3	SCR_3	8	H'FFFF81D2		8、16	
トランスミットデータレジスタ_3	TDR_3	8	H'FFFF81D3		8	

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
シリアルステータスレジスタ_3	SSR_3	8	H'FFF81D4	SCI	8, 16	P ₀ 基準
レシーブデータレジスタ_3	RDR_3	8	H'FFF81D5	(チャネル3)	8	B:2
シリアルディレクションコントロールレジスタ_3	SDCR_3	8	H'FFF81D6		8	W:4
			H'FFF81D7 ~ H'FFF81FF			
タイマコントロールレジスタ_3	TCR_3	8	H'FFF8200	MTU	8, 16, 32	P ₀ 基準
タイマコントロールレジスタ_4	TCR_4	8	H'FFF8201	(チャネル3, 4)	8	B:2
タイマモードレジスタ_3	TMDR_3	8	H'FFF8202		8, 16	W:2
タイマモードレジスタ_4	TMDR_4	8	H'FFF8203		8	L:4
タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FFF8204		8, 16, 32	
タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FFF8205		8	
タイマ I/O コントロールレジスタ H_4	TIORH_4	8	H'FFF8206		8, 16	
タイマ I/O コントロールレジスタ L_4	TIORL_4	8	H'FFF8207		8	
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFF8208		8, 16, 32	
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFF8209		8	
タイマアウトプットマスタイネーブルレジスタ	TOER	8	H'FFF820A		8, 16	
タイマアウトプットコントロールレジスタ	TOCR	8	H'FFF820B		8	
			H'FFF820C			
タイマゲートコントロールレジスタ	TGCR	8	H'FFF820D		8	
			H'FFF820E			
			H'FFF820F			
タイマカウンタ_3	TCNT_3	16	H'FFF8210		16, 32	
タイマカウンタ_4	TCNT_4	16	H'FFF8212		16	
タイマ周期データレジスタ	TCDR	16	H'FFF8214		16, 32	
タイマデッドタイムデータレジスタ	TDDR	16	H'FFF8216		16	
タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFF8218		16, 32	
タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFF821A		16	
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFF821C		16, 32	
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFF821E		16	
タイマサブカウンタ	TCNTS	16	H'FFF8220		16, 32	
タイマ周期バッファレジスタ	TCBR	16	H'FFF8222		16	
タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFF8224	MTU	16, 32	
タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFF8226	(チャネル3, 4)	16	
タイマジェネラルレジスタ C_4	TGRC_4	16	H'FFF8228		16, 32	
タイマジェネラルレジスタ D_4	TGRD_4	16	H'FFF822A		16	
タイマステータスレジスタ_3	TSR_3	8	H'FFF822C		8, 16	
タイマステータスレジスタ_4	TSR_4	8	H'FFF822D		8	

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
			H'FFF822E ~ H'FFF823F			P ϕ 基準 B:2 W:2 L:4
タイマスタートレジスタ	TSTR	8	H'FFF8240	MTU (共通)	8, 16	P ϕ 基準
タイマシンクロレジスタ	TSYR	8	H'FFF8241		8	B:2
			H'FFF8242 ~ H'FFF825F			W:2
タイマコントロールレジスタ_0	TCR_0	8	H'FFF8260	MTU	8, 16, 32	P ϕ 基準
タイマモードレジスタ_0	TMDR_0	8	H'FFF8261	(チャンネル0)	8	B:2
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFF8262		8, 16	W:2
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFF8263		8	L:4
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFF8264		8, 16, 32	
タイマステータスレジスタ_0	TSR_0	8	H'FFF8265		8	
タイマカウンタ_0	TCNT_0	16	H'FFF8266		16	
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFF8268		16, 32	
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFF826A		16	
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFF826C		16, 32	
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFF826E		16	
			H'FFF8270 ~ H'FFF827F			
タイマコントロールレジスタ_1	TCR_1	8	H'FFF8280	MTU	8, 16	
タイマモードレジスタ_1	TMDR_1	8	H'FFF8281	(チャンネル1)	8	
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFF8282		8	
			H'FFF8283			
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFF8284		8, 16, 32	
タイマステータスレジスタ_1	TSR_1	8	H'FFF8285		8	
タイマカウンタ_1	TCNT_1	16	H'FFF8286		16	
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFF8288		16, 32	
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFF828A		16	
			H'FFF828C ~ H'FFF829F			
タイマコントロールレジスタ_2	TCR_2	8	H'FFF82A0	MTU(チャンネル2)	8, 16	

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
タイマモードレジスタ_2	TMDR_2	8	H'FFF82A1	MTU (チャンネル2)	8	φ基準
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFF82A2 H'FFF82A3		8	B:2 W:2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFF82A4		8, 16, 32	L:4
タイマステータスレジスタ_2	TSR_2	8	H'FFF82A5		8	
タイマカウンタ_2	TCNT_2	16	H'FFF82A6		16	
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFF82A8		16, 32	
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFF82AA		16	
			H'FFF82AC ~ H'FFF833F			
			H'FFF8340 ~ H'FFF8347	INTC		φ基準 B:2
インタラプトプライオリティレジスタ A	IPRA	16	H'FFF8348		8, 16, 32	W:2
インタラプトプライオリティレジスタ B	IPRB	16	H'FFF834A		8, 16	L:4
インタラプトプライオリティレジスタ C	IPRC	16	H'FFF834C		8, 16, 32	
インタラプトプライオリティレジスタ D	IPRD	16	H'FFF834E		8, 16	
インタラプトプライオリティレジスタ E	IPRE	16	H'FFF8350		8, 16, 32	
インタラプトプライオリティレジスタ F	IPRF	16	H'FFF8352		8, 16	
インタラプトプライオリティレジスタ G	IPRG	16	H'FFF8354		8, 16, 32	
インタラプトプライオリティレジスタ H	IPRH	16	H'FFF8356		8, 16	
割り込みコントロールレジスタ 1	ICR1	16	H'FFF8358		8, 16, 32	
IRQ ステータスレジスタ	ISR	16	H'FFF835A		8, 16	
インタラプトプライオリティレジスタ I	IPRI	16	H'FFF835C		8, 16, 32	
インタラプトプライオリティレジスタ J	IPRJ	16	H'FFF835E		8, 16	
			H'FFF8360 ~ H'FFF8365			
割り込みコントロールレジスタ 2	ICR2	16	H'FFF8366		8, 16	
			H'FFF8368 ~ H'FFF837F			
ポート A・データレジスタ H	PADRH	16	H'FFF8380	I/O	8, 16, 32	φ基準
ポート A・データレジスタ L	PADRL	16	H'FFF8382		8, 16	B:2
ポート A・IO レジスタ H	PAIORH	16	H'FFF8384	PFC	8, 16, 32	W:2
ポート A・IO レジスタ L	PAIORL	16	H'FFF8386		8, 16	L:4
ポート A コントロールレジスタ H	PACRH	16	H'FFF8388 H'FFF838A		8, 16, 32	
ポート A コントロールレジスタ L1	PACRL1	16	H'FFF838C		8, 16, 32	
ポート A コントロールレジスタ L2	PACRL2	16	H'FFF838E		8, 16	

25. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
ポート B・データレジスタ	PBDR	16	H'FFFF8390	I/O	8, 16, 32	φ基準
ポート C・データレジスタ	PCDR	16	H'FFFF8392		8, 16	B:2
ポート B・IO レジスタ	PBIOR	16	H'FFFF8394	PFC	8, 16, 32	W:2
ポート C・IO レジスタ	PCIOR	16	H'FFFF8396		8, 16	L:4
ポート B コントロールレジスタ 1	PBCR1	16	H'FFFF8398		8, 16, 32	
ポート B コントロールレジスタ 2	PBCR2	16	H'FFFF839A		8, 16	
ポート C コントロールレジスタ 2	PCCR	16	H'FFFF839C		8, 16, 32	
			H'FFFF839E ~ H'FFFF839F			
ポート D・データレジスタ H	PDDRH	16	H'FFFF83A0	I/O	8, 16, 32	
ポート D・データレジスタ L	PDDRL	16	H'FFFF83A2		8, 16	
ポート D・IO レジスタ H	PDIORH	16	H'FFFF83A4	PFC	8, 16, 32	
ポート D・IO レジスタ L	PDIORL	16	H'FFFF83A6		8, 16	
ポート D コントロールレジスタ H1	PDCRH1	16	H'FFFF83A8		8, 16, 32	
ポート D コントロールレジスタ H2	PDCRH2	16	H'FFFF83AA		8, 16	
ポート D コントロールレジスタ L1	PDCRL1	16	H'FFFF83AC		8, 16, 32	
ポート D コントロールレジスタ L2	PDCRL2	16	H'FFFF83AE		8, 16	
ポート E・データレジスタ L	PEDRL	16	H'FFFF83B0	I/O	8, 16, 32	
			H'FFFF83B2			
ポート F・データレジスタ	PFDR	8	H'FFFF83B3	I/O	8	
ポート E・IO レジスタ L	PEIORL	16	H'FFFF83B4	PFC	8, 16, 32	
			H'FFFF83B6 ~ H'FFFF83B7			
ポート E コントロールレジスタ L1	PECRL1	16	H'FFFF83B8	PFC	8, 16, 32	
ポート E コントロールレジスタ L2	PECRL2	16	H'FFFF83BA		8, 16	
			H'FFFF83BC ~ H'FFFF83BF			
入力レベルコントロール / ステータスレジスタ 1	ICSR1	16	H'FFFF83C0	POE	8, 16, 32	φ基準
出力レベルコントロール / ステータスレジスタ	OCSR	16	H'FFFF83C2		8, 16	B:2 W:2 L:4
			H'FFFF83C4 ~ H'FFFF83CF			

25. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
コンペアマッチタイマスタートレジスタ	CMSTR	16	H'FFF83D0	CMT	8、16、32	P ₀ 基準
コンペアマッチタイムコントロール /ステータスレジスタ_0	CMCSR_0	16	H'FFF83D2		8、16	B:2 W:2
コンペアマッチタイムカウンタ_0	CMCNT_0	16	H'FFF83D4		8、16、32	L:4
コンペアマッチタイムコンスタントレジスタ_0	CMCOR_0	16	H'FFF83D6		8、16	
コンペアマッチタイムコントロール /ステータスレジスタ_1	CMCSR_1	16	H'FFF83D8		8、16、32	
コンペアマッチタイムカウンタ_1	CMCNT_1	16	H'FFF83DA		8、16	
コンペアマッチタイムコンスタントレジスタ_1	CMCOR_1	16	H'FFF83DC		8、16	
			H'FFF83DE ~ H'FFF841F			
A/D データレジスタ 0	ADDR0	16	H'FFF8420	A/D	8、16	P ₀ 基準
A/D データレジスタ 1	ADDR1	16	H'FFF8422	(チャンネル 0)	8、16	B:3
A/D データレジスタ 2	ADDR2	16	H'FFF8424		8、16	W:6
A/D データレジスタ 3	ADDR3	16	H'FFF8426		8、16	
A/D データレジスタ 4	ADDR4	16	H'FFF8428	A/D	8、16	
A/D データレジスタ 5	ADDR5	16	H'FFF842A	(チャンネル 1)	8、16	
A/D データレジスタ 6	ADDR6	16	H'FFF842C		8、16	
A/D データレジスタ 7	ADDR7	16	H'FFF842E		8、16	
			H'FFF8430 ~ H'FFF847F			
A/D コントロール / ステータスレジスタ_0	ADCSR_0	8	H'FFF8480	A/D	8、16	
A/D コントロール / ステータスレジスタ_1	ADCSR_1	8	H'FFF8481		8	
			H'FFF8482 ~ H'FFF8487			
A/D コントロールレジスタ_0	ADCR_0	8	H'FFF8488	A/D	8、16	
A/D コントロールレジスタ_1	ADCR_1	8	H'FFF8489		8	
			H'FFF848A ~ H'FFF857F			
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FFF8580	FLASH	8、16	φ基準
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FFF8581	(F-ZTAT 版のみ)	8	B:3
消去ブロック指定レジスタ 1	EBR1	8	H'FFF8582		8、16	W:6
消去ブロック指定レジスタ 2	EBR2	8	H'FFF8583		8	
			H'FFF8584 ~ H'FFF85FF			

25. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
ユーザブ레이크アドレスレジスタ H	UBARH	16	H'FFFF8600	UBC	8、16、32	φ基準
ユーザブ레이크アドレスレジスタ L	UBARL	16	H'FFFF8602		8、16	B:3
ユーザブ레이크アドレスマスクレジスタ H	UBAMRH	16	H'FFFF8604		8、16、32	W:3
ユーザブ레이크アドレスマスクレジスタ L	UBAMRL	16	H'FFFF8606		8、16	L:6
ユーザブ레이크バスサイクルレジスタ	UBBR	16	H'FFFF8608		8、16、32	
ユーザブ레이크コントロールレジスタ	UBCR	16	H'FFFF860A		8、16	
			H'FFFF860C ~ H'FFFF860F			
タイマコントロール/ステータスレジスタ	TCSR	8	H'FFFF8610	WDT	8 ^{*2} /16 ^{*1}	φ基準
タイマカウンタ	TCNT ^{*1}	8	H'FFFF8610	*1 : WRITE 時	16	B:3
タイマカウンタ	TCNT ^{*2}	8	H'FFFF8611	*2 : READ 時	8	W:3
リセットコントロール/ステータスレジスタ	RSTCSR ^{*1}	8	H'FFFF8612		16	
リセットコントロール/ステータスレジスタ	RSTCSR ^{*2}	8	H'FFFF8613		8	
スタンバイコントロールレジスタ	SBYCR	8	H'FFFF8614	低消費電力状態	8	φ基準 B:3
			H'FFFF8615 ~ H'FFFF8617			
システムコントロールレジスタ	SYSCR	8	H'FFFF8618	低消費電力状態	8	Pφ基準
			H'FFFF8619 ~ H'FFFF861B			
						B:3 W:3
モジュールスタンバイコントロールレジスタ 1	MSTCR1	16	H'FFFF861C		8、16、32	L:6
モジュールスタンバイコントロールレジスタ 2	MSTCR2	16	H'FFFF861E		8、16	
バスコントロールレジスタ 1	BCR1	16	H'FFFF8620	BSC	8、16、32	φ基準
バスコントロールレジスタ 2	BCR2	16	H'FFFF8622		8、16	B:3
ウェイトコントロールレジスタ 1	WCR1	16	H'FFFF8624		8、16、32	W:3
ウェイトコントロールレジスタ 2	WCR2	16	H'FFFF8626		8、16	L:6
RAM エミュレーションレジスタ	RAMER	16	H'FFFF8628	FLASH (F-ZTAT 版のみ)	8、16	φ基準 B:3 W:3
			H'FFFF862A ~ H'FFFF86AF			
DMA オペレーションレジスタ	DMAOR	16	H'FFFF86B0	DMAC 共通	8、16	φ基準
			H'FFFF86B2 ~ H'FFFF86BF			
						W:3 L:6
DMA ソースアドレスレジスタ_0	SAR_0	32	H'FFFF86C0	DMAC	8、16、32	
DMA デスティネーションアドレスレジスタ_0	DAR_0	32	H'FFFF86C4	(チャンネル 0)	8、16、32	
DMA トランスファカウンタレジスタ_0	DMATCR_0	32	H'FFFF86C8		8、16、32	
DMA チャネルコントロールレジスタ_0	CHCR_0	32	H'FFFF86CC		8、16、32	

25. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
DMA ソースアドレスレジスタ_1	SAR_1	32	H'FFFF86D0	DMAC	8, 16, 32	φ基準
DMA デスティネーションアドレスレジスタ_1	DAR_1	32	H'FFFF86D4	(チャンネル 1)	8, 16, 32	W:3
DMA トランスファカウントレジスタ_1	DMATCR_1	32	H'FFFF86D8		8, 16, 32	L:6
DMA チャネルコントロールレジスタ_1	CHCR_1	32	H'FFFF86DC		8, 16, 32	
DMA ソースアドレスレジスタ_2	SAR_2	32	H'FFFF86E0	DMAC	8, 16, 32	
DMA デスティネーションアドレスレジスタ_2	DAR_2	32	H'FFFF86E4	(チャンネル 2)	8, 16, 32	
DMA トランスファカウントレジスタ_2	DMATCR_2	32	H'FFFF86E8		8, 16, 32	
DMA チャネルコントロールレジスタ_2	CHCR_2	32	H'FFFF86EC		8, 16, 32	
DMA ソースアドレスレジスタ_3	SAR_3	32	H'FFFF86F0	DMAC	8, 16, 32	
DMA デスティネーションアドレスレジスタ_3	DAR_3	32	H'FFFF86F4	(チャンネル 3)	8, 16, 32	
DMA トランスファカウントレジスタ_3	DMATCR_3	32	H'FFFF86F8		8, 16, 32	
DMA チャネルコントロールレジスタ_3	CHCR_3	32	H'FFFF86FC		8, 16, 32	
DTC イネーブルレジスタ A	DTEA	8	H'FFFF8700	DTC	8, 16, 32	φ基準
DTC イネーブルレジスタ B	DTEB	8	H'FFFF8701		8	B:3
DTC イネーブルレジスタ C	DTEC	8	H'FFFF8702		8, 16	W:3
DTC イネーブルレジスタ D	DTED	8	H'FFFF8703		8	L:6
			H'FFFF8704 ~ H'FFFF8705			
DTC コントロール / ステータスレジスタ	DTCSR	16	H'FFFF8706		8, 16, 32	
DTC 情報ベースレジスタ	DTBR	16	H'FFFF8708		8, 16	
			H'FFFF870A ~ H'FFFF870F			
DTC イネーブルレジスタ E	DTEE	8	H'FFFF8710		8, 16	
			H'FFFF8711			
DTC イネーブルレジスタ G	DTEG	8	H'FFFF8712		8, 16	
			H'FFFF8713 ~ H'FFFF87EF			
シリアルコントロールレジスタ X	SCRX	8	H'FFFF87F0	IIC 【オプション】	8	Pφ基準 B:3
			H'FFFF87F1 ~ H'FFFF87F3			
AD トリガセレクトレジスタ	ADTSR	8	H'FFFF87F4	A/D	8	Pφ基準 B:3
			H'FFFF87F5 ~ H'FFFF87F7			
大電流ポートコントロールレジスタ	PPCR	8	H'FFFF87F8	ポート E	8	Pφ基準 B:3
			H'FFFF87F9 ~ H'FFFF8807			

25. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
IIC バスコントロールレジスタ	ICCR	8	H'FFFF8808	IIC	8, 16	P ₀ 基準
IIC バスステータスレジスタ	ICSR	8	H'FFFF8809 H'FFFF880A ~ H'FFFF880D	【オプション】	8	B:2 W:4
IIC バスデータレジスタ	ICDR	8	H'FFFF880E*		8, 16	
第2スレーブアドレスレジスタ	SARX	8	H'FFFF880E*		8, 16	
IIC バスモードレジスタ	ICMR	8	H'FFFF880F*		8	
スレーブアドレスレジスタ	SAR	8	H'FFFF880F* H'FFFF8810 ~ H'FFFF8A4F		8	
インストラクションレジスタ	SDIR	16	H'FFFF8A50	H-UDI (F-ZTAT 版のみ)	8, 16, 32	P ₀ 基準 B:2
ステータスレジスタ	SDSR	16	H'FFFF8A52		8, 16	W:2
データレジスタH	SDDRH	16	H'FFFF8A54		8, 16, 32	L:4
データレジスタL	SDDRL	16	H'FFFF8A56 H'FFFF8A58 ~ H'FFFFBFFF		8, 16	

【注】 * IIC バスコントロールレジスタ 0 の ICE ビットによって、リード/ライトできるレジスタが変わります。
ICE=0 のとき、第2スレーブアドレスレジスタ 0、スレーブアドレスレジスタ 0 となります。
ICE=1 のとき、IIC バスデータレジスタ 0、IIC バスモードレジスタ 0 となります。

25.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SMR_0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル0)
BRR_0									
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_0									
SSR_0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_0									
SDCR_0					DIR	SINV		SMIF	
SMR_1	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	
BRR_1									
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_1									
SSR_1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_1									
SDCR_1					DIR	SINV		SMIF	
SMR_2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	
BRR_2									
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2									
SSR_2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_2									
SDCR_2					DIR	SINV		SMIF	
SMR_3	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	
BRR_3									
SCR_3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_3									
SSR_3	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_3									
SDCR_3					DIR	SINV		SMIF	
-	-	-	-	-	-	-	-	-	
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	MTU (チャンネル3, 4)
TCR_4	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_3	-	-	BFB	BFA	MD3	MD2	MD1	MD0	

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TMDR_4	-	-	BFB	BFA	MD3	MD2	MD1	MD0	MTU
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	(チャンネル3、4)
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIORH_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_4	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TIER_4	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TOER	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B	
TOCR	-	PSYE	-	-	-	-	OLSN	OLSP	
TGCR	-	BDC	N	P	FB	WF	VF	UF	
TCNT_3	_____								
TCNT_4	_____								
TCDR	_____								
TDDR	_____								
TGRA_3	_____								
TGRB_3	_____								
TGRA_4	_____								
TGRB_4	_____								
TCNTS	_____								
TCBR	_____								
TGRC_3	_____								
TGRD_3	_____								
TGRC_4	_____								

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TGRD_4									MTU (チャンネル3、4)
TSR_3	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TSR_4	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TSTR	CST4	CST3	-	-	-	CST2	CST1	CST0	
TSYR	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	MTU (チャンネル0)
TMDR_0	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0									
TGRA_0									
TGRB_0									
TGRC_0									
TGRD_0									
TCR_1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	MTU (チャンネル1)
TMDR_1	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_1									
TGRA_1									
TGRB_1									
TCR_2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	MTU (チャンネル2)
TMDR_2	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	MTU
TSR_2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	(チャンネル2)
TCNT_2									
TGRA_2									
TGRB_2									
-	-	-	-	-	-	-	-	-	-
IPRA	IRQ0	IRQ0	IRQ0	IRQ0	IRQ1	IRQ1	IRQ1	IRQ1	INTC
	IRQ2	IRQ2	IRQ2	IRQ2	IRQ3	IRQ3	IRQ3	IRQ3	
IPRB	IRQ4	IRQ4	IRQ4	IRQ4	IRQ5	IRQ5	IRQ5	IRQ5	
	IRQ6	IRQ6	IRQ6	IRQ6	IRQ7	IRQ7	IRQ7	IRQ7	
IPRC	DMAC0	DMAC0	DMAC0	DMAC0	DMAC1	DMAC1	DMAC1	DMAC1	
	DMAC2	DMAC2	DMAC2	DMAC2	DMAC3	DMAC3	DMAC3	DMAC3	
IPRD	MTU0	MTU0	MTU0	MTU0	MTU0	MTU0	MTU0	MTU0	
	MTU1	MTU1	MTU1	MTU1	MTU1	MTU1	MTU1	MTU1	
IPRE	MTU2	MTU2	MTU2	MTU2	MTU2	MTU2	MTU2	MTU2	
	MTU3	MTU3	MTU3	MTU3	MTU3	MTU3	MTU3	MTU3	
IPRF	MTU4	MTU4	MTU4	MTU4	MTU4	MTU4	MTU4	MTU4	
	SCI0	SCI0	SCI0	SCI0	SCI1	SCI1	SCI1	SCI1	
IPRG	A/D0,1	A/D0,1	A/D0,1	A/D0,1	DTC	DTC	DTC	DTC	
	CMT0	CMT0	CMT0	CMT0	CMT1	CMT1	CMT1	CMT1	
IPRH	WDT	WDT	WDT	WDT	I/O(MTU)	I/O(MTU)	I/O(MTU)	I/O(MTU)	
	-	-	-	-	-	-	-	-	
ICR1	NMIL	-	-	-	-	-	-	NMIE	
	IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S	
ISR	-	-	-	-	-	-	-	-	
	IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F	
IPRI	SCI2	SCI2	SCI2	SCI2	SCI3	SCI3	SCI3	SCI3	
	-	-	-	-	-	-	-	-	
IPRJ	-	-	-	-	-	-	-	-	
	IIC	IIC	IIC	IIC	-	-	-	-	
ICR2	IRQ0ES1	IRQ0ES0	IRQ1ES1	IRQ1ES0	IRQ2ES1	IRQ2ES0	IRQ3ES1	IRQ3ES0	
	IRQ4ES1	IRQ4ES0	IRQ5ES1	IRQ5ES0	IRQ6ES1	IRQ6ES0	IRQ7ES1	IRQ7ES0	
-	-	-	-	-	-	-	-	-	-

25. レジスタ一覧

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
PADRH	-	-	-	-	-	-	-	-	ポート A
	PA23DR	PA22DR	PA21DR	PA20DR	PA19DR	PA18DR	PA17DR	PA16DR	
PADRL	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR	
	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
PAIORH	-	-	-	-	-	-	-	-	
	PA23IOR	PA22IOR	PA21IOR	PA20IOR	PA19IOR	PA18IOR	PA17IOR	PA16IOR	
PAIORL	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR	
	PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR	
PACRH	-	PA23MD	-	PA22MD	-	PA21MD	-	PA20MD	
	PA19MD1	PA19MD0	PA18MD1	PA18MD0	-	PA17MD	PA16MD1	PA16MD0	
PACRL1	-	PA15MD	-	PA14MD	-	PA13MD	-	PA12MD	
	-	PA11MD	-	PA10MD	PA9MD1	PA9MD0	PA8MD1	PA8MD0	
PACRL2	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0	-	PA4MD	
	-	PA3MD	PA2MD1	PA2MD0	-	PA1MD	-	PA0MD	
PBDR	-	-	-	-	-	-	PB9DR	PB8DR	ポート B
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
PCDR	PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR	ポート C
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
PBIOR	-	-	-	-	-	-	PB9IOR	PB8 IOR	ポート B
	PB7IOR	PB6 IOR	PB5IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR	
PCIOR	PC15IOR	PC14 IOR	PC13IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9IOR	PC8 IOR	ポート C
	PC7IOR	PC6 IOR	PC5IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR	
PBCR1	-	-	-	-	PB3MD2	PB2MD2	-	-	ポート B
	-	-	-	-	PB9MD1	PB9MD0	PB8MD1	PB8MD0	
PBCR2	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0	
	PB3MD1	PB3MD0	PB2MD1	PB2MD0	-	PB1MD	-	PB0MD	
PCCR	PC15MD	PC14MD	PC13MD	PC12MD	PC11MD	PC10MD	PC9MD	PC8MD	ポート C
	PC7MD	PC6MD	PC5MD	PC4MD	PC3MD	PC2MD	PC1MD	PC0MD	
PDDRH	PD31DR	PD30DR	PD29DR	PD28DR	PD27DR	PD26DR	PD25DR	PD24DR	ポート D
	PD23DR	PD22DR	PD21DR	PD20DR	PD19DR	PD18DR	PD17DR	PD16DR	
PDDRL	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PDIORH	PD31IOR	PD30IOR	PD29IOR	PD28IOR	PD27IOR	PD26IOR	PD25IOR	PD24IOR	
	PD23IOR	PD22IOR	PD21IOR	PD20IOR	PD19IOR	PD18IOR	PD17IOR	PD16IOR	
PDIORL	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR	
	PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR	

25. レジスタ一覧

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
PDCRH1	PD31MD1	PD31MD0	PD30MD1	PD30MD0	PD29MD1	PD29MD0	PD28MD1	PD28MD0	ポート D
	PD27MD1	PD27MD0	PD26MD1	PD26MD0	PD25MD1	PD25MD0	PD24MD1	PD24MD0	
PDCRH2	PD23MD1	PD23MD0	PD22MD1	PD22MD0	PD21MD1	PD21MD0	PD20MD1	PD20MD0	
	PD19MD1	PD19MD0	PD18MD1	PD18MD0	PD17MD1	PD17MD0	PD16MD1	PD16MD0	
PDCRL1	PD15MD0	PD14MD0	PD13MD0	PD12MD0	PD11MD0	PD10MD0	PD9MD0	PD8MD0	
	PD7MD	PD6MD	PD5MD	PD4MD	PD3MD	PD2MD	PD1MD	PD0MD	
PDCRL2	PD15MD1	PD14MD1	PD13MD1	PD12MD1	PD11MD1	PD10MD1	PD9MD1	PD8MD1	
	-	-	-	-	-	-	-	-	
PEDRL	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	ポート E
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	ポート F
PEIORL	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR	ポート E
	PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR	
PECRL1	PE15MD1	PE15MD0	PE14MD1	PE14MD0	PE13MD1	PE13MD0	PE12MD1	PE12MD0	
	PE11MD1	PE11MD0	PE10MD1	PE10MD0	PE9MD1	PE9MD0	PE8MD1	PE8MD0	
PECRL2	PE7MD1	PE7MD0	PE6MD1	PE6MD0	PE5MD1	PE5MD0	PE4MD1	PE4MD0	
	PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0	
-	-	-	-	-	-	-	-	-	-
ICSR1	POE3F	POE2F	POE1F	POE0F	-	-	-	PIE	MTU
	POE3M1	POE3M0	POE2M1	POE2M0	POE1M1	POE1M0	POE0M1	POE0M0	
OCSR	OSF	-	-	-	-	-	OCE	OIE	
	-	-	-	-	-	-	-	-	
-	-	-	-	-	-	-	-	-	-
CMSTR	-	-	-	-	-	-	-	-	CMT
	-	-	-	-	-	-	STR1	STR0	
CMCSR_0	-	-	-	-	-	-	-	-	
	CMF	CMIE	-	-	-	-	CKS1	CKS0	
CMCNT_0									
CMCOR_0									
CMCSR_1	-	-	-	-	-	-	-	-	
	CMF	CMIE	-	-	-	-	CKS1	CKS0	
CMCNT_1									

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
CMCOR_1									CMT
-	-	-	-	-	-	-	-	-	-
ADDR0	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
	AD1	AD0	-	-	-	-	-	-	
ADDR1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDR2	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDR3	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDR4	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDR5	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDR6	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDR7	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADCSR_0	ADF	ADIE	-	ADM	-	-	CH1	CH0	
ADCSR_1	ADF	ADIE	-	ADM	-	-	CH1	CH0	
ADCR_0	TRGE	CKS1	CKS0	ADST	ADCS	-	-	-	
ADCR_1	TRGE	CKS1	CKS0	ADST	ADCS	-	-	-	
-	-	-	-	-	-	-	-	-	-
FLMCR1	FWE	SWE	ESU	PSU	EV	PV	E	P	FLASH
FLMCR2	FLER	-	-	-	-	-	-	-	(F-ZTAT 版のみ)
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
EBR2	-	-	-	-	EB11	EB10	EB9	EB8	
-	-	-	-	-	-	-	-	-	-
UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBC
	UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16	
UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8	
	UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0	
UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24	
	UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16	

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8	UBC
	UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0	
UBBR	-	-	-	-	-	-	-	-	
	CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0	
UBCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	UBID	
-	-	-	-	-	-	-	-	-	-
TCSR * ¹	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	WDT
TCNT * ¹									*1: ライト時
TCNT * ²									*2: リード時
RSTCSR * ¹									
RSTCSR * ²	WOVF	RSTE	RSTS	-	-	-	-	-	
-	-	-	-	-	-	-	-	-	-
SBYCR	SSBY	Hi-Z	-	-	-	-	IRQEH	IRQEL	低消費電力
SYSCR	-	-	-	-	-	-	AUDSRST	RAME	状態
MSTCR1	-	-	-	-	MSTP27	MSTP26	MSTP25	MSTP24	
	-	-	MSTP21	-	MSTP19	MSTP18	MSTP17	MSTP16	
MSTCR2	-	-	MSTP13	MSTP12	-	-	-	-	
	-	-	MSTP5	MSTP4	MSTP3	MSTP2	-	MSTP0	
-	-	-	-	-	-	-	-	-	-
BCR1	-	-	MTURWE	-	-	-	-	-	BSC
	A3LG	A2LG	A1LG	A0LG	A3SZ	A2SZ	A1SZ	A0SZ	
BCR2	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	
	CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0	
WCR1	W33	W32	W31	W30	W23	W22	W21	W20	
	W13	W12	W11	W10	W03	W02	W01	W00	
WCR2	-	-	-	-	-	-	-	-	
	-	-	-	-	DSW3	DSW2	DSW1	DSW0	
-	-	-	-	-	-	-	-	-	-
RAMER	-	-	-	-	-	-	-	-	FLASH (F-ZTAT 版のみ)
	-	-	-	-	RAMS	RAM2	RAM1	RAM0	
-	-	-	-	-	-	-	-	-	-
DMAOR	-	-	-	-	-	-	PR1	PR0	DMAC
	-	-	-	-	-	AE	NMIF	DME	

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SAR_0									DMAC
									(チャンネル0)
DAR_0									
DMATCR_0	-	-	-	-	-	-	-	-	
CHCR_0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	DS	TM	TS1	TS0	IE	TE	DE	
SAR_1									DMAC
									(チャンネル1)
DAR_1									
DMATCR_1	-	-	-	-	-	-	-	-	
CHCR_1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	DS	TM	TS1	TS0	IE	TE	DE	
SAR_2									DMAC
									(チャンネル2)

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
DAR_2									DMAC (チャンネル2)
DMATCR_2	-	-	-	-	-	-	-	-	
CHCR_2	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TM	TS1	TS0	IE	TE	DE	
SAR_3									DMAC (チャンネル3)
DAR_3									
DMATCR_3	-	-	-	-	-	-	-	-	
CHCR_3	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TM	TS1	TS0	IE	TE	DE	
-	-	-	-	-	-	-	-	-	-
DTEA	DTEA7	DTEA6	DTEA5	DTEA4	DTEA3	DTEA2	DTEA1	DTEA0	DTC
DTEB	DTEB7	DTEB6	DTEB5	DTEB4	DTEB3	DTEB2	DTEB1	DTEB0	
DTEC	DTEC7	DTEC6	DTEC5	DTEC4	DTEC3	DTEC2	DTEC1	DTEC0	
DTED	DTED7	DTED6	DTED5	DTED4	DTED3	DTED2	DTED1	DTED0	
DTC SR	-	-	-	-	-	NMIF	AE	SWDTE	
	DTVEC7	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
DTBR									DTC
DTEE	-	-	DTEE5	-	DTEE3	DTEE2	DTEE1	DTEE0	
DTEG	DTEG7	-	-	-	-	-	-	-	
-	-	-	-	-	-	-	-	-	-
SCRX	-	-	IICX	IICE	HNDS	-	ICDRF	STOPIM	IIC【オプション】
-	-	-	-	-	-	-	-	-	-
ADTSR	-	-	-	-	TRG1S1	TRG1S0	TRG0S1	TRG0S0	A/D
-	-	-	-	-	-	-	-	-	-
PPCR	-	-	-	-	-	-	-	MZIZE	ポートE
-	-	-	-	-	-	-	-	-	-
ICCR	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC【オプション】
ICSR	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	
ICDR	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
SARX	SVARX6	SVARX5	SVARX4	SVARX3	SVARX2	SVARX1	SVARX0	FSX	
ICMR	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
-	-	-	-	-	-	-	-	-	-
SDIR	TS3	TS2	TS1	TS0	-	-	-	-	H-UDI
	-	-	-	-	-	-	-	-	(F-ZTAT 版のみ)
SDSR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	SDTRF	
SDDRH									
SDDRL									

25. レジスタ一覧

25.3 各動作モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
SMR_0	初期化	保持	初期化	初期化	保持	SCI (チャンネル 0)
BRR_0	初期化	保持	初期化	初期化	保持	
SCR_0	初期化	保持	初期化	初期化	保持	
TDR_0	初期化	保持	初期化	初期化	保持	
SSR_0	初期化	保持	初期化	初期化	保持	
RDR_0	初期化	保持	初期化	初期化	保持	
SDCR_0	初期化	保持	初期化	初期化	保持	
SMR_1	初期化	保持	初期化	初期化	保持	SCI (チャンネル 1)
BRR_1	初期化	保持	初期化	初期化	保持	
SCR_1	初期化	保持	初期化	初期化	保持	
TDR_1	初期化	保持	初期化	初期化	保持	
SSR_1	初期化	保持	初期化	初期化	保持	
RDR_1	初期化	保持	初期化	初期化	保持	
SDCR_1	初期化	保持	初期化	初期化	保持	
SMR_2	初期化	保持	初期化	初期化	保持	SCI (チャンネル 2)
BRR_2	初期化	保持	初期化	初期化	保持	
SCR_2	初期化	保持	初期化	初期化	保持	
TDR_2	初期化	保持	初期化	初期化	保持	
SSR_2	初期化	保持	初期化	初期化	保持	
RDR_2	初期化	保持	初期化	初期化	保持	
SDCR_2	初期化	保持	初期化	初期化	保持	
SMR_3	初期化	保持	初期化	初期化	保持	SCI (チャンネル 3)
BRR_3	初期化	保持	初期化	初期化	保持	
SCR_3	初期化	保持	初期化	初期化	保持	
TDR_3	初期化	保持	初期化	初期化	保持	
SSR_3	初期化	保持	初期化	初期化	保持	
RDR_3	初期化	保持	初期化	初期化	保持	
SDCR_3	初期化	保持	初期化	初期化	保持	
TCR_3	初期化	保持	初期化	初期化	保持	MTU (チャンネル 3,4)
TCR_4	初期化	保持	初期化	初期化	保持	
TMDR_3	初期化	保持	初期化	初期化	保持	
TMDR_4	初期化	保持	初期化	初期化	保持	
TIORH_3	初期化	保持	初期化	初期化	保持	

25. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TIORL_3	初期化	保持	初期化	初期化	保持	MTU (チャンネル 3,4)
TIORH_4	初期化	保持	初期化	初期化	保持	
TIORL_4	初期化	保持	初期化	初期化	保持	
TIER_3	初期化	保持	初期化	初期化	保持	
TIER_4	初期化	保持	初期化	初期化	保持	
TOER	初期化	保持	初期化	初期化	保持	
TOCR	初期化	保持	初期化	初期化	保持	
TGCR	初期化	保持	初期化	初期化	保持	
TCNT_3	初期化	保持	初期化	初期化	保持	
TCNT_4	初期化	保持	初期化	初期化	保持	
TCDR	初期化	保持	初期化	初期化	保持	
TDDR	初期化	保持	初期化	初期化	保持	
TGRA_3	初期化	保持	初期化	初期化	保持	
TGRB_3	初期化	保持	初期化	初期化	保持	
TGRA_4	初期化	保持	初期化	初期化	保持	
TGRB_4	初期化	保持	初期化	初期化	保持	
TCNTS	初期化	保持	初期化	初期化	保持	
TCBR	初期化	保持	初期化	初期化	保持	
TGRC_3	初期化	保持	初期化	初期化	保持	
TGRD_3	初期化	保持	初期化	初期化	保持	
TGRC_4	初期化	保持	初期化	初期化	保持	
TGRD_4	初期化	保持	初期化	初期化	保持	
TSR_3	初期化	保持	初期化	初期化	保持	
TSR_4	初期化	保持	初期化	初期化	保持	
TSTR	初期化	保持	初期化	初期化	保持	
TSYR	初期化	保持	初期化	初期化	保持	
TCR_0	初期化	保持	初期化	初期化	保持	MTU (チャンネル 0)
TMDR_0	初期化	保持	初期化	初期化	保持	
TIORH_0	初期化	保持	初期化	初期化	保持	
TIORL_0	初期化	保持	初期化	初期化	保持	
TIER_0	初期化	保持	初期化	初期化	保持	
TSR_0	初期化	保持	初期化	初期化	保持	
TCNT_0	初期化	保持	初期化	初期化	保持	
TGRA_0	初期化	保持	初期化	初期化	保持	
TGRB_0	初期化	保持	初期化	初期化	保持	

25. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
TGRC_0	初期化	保持	初期化	初期化	保持	MTU (チャンネル 0)	
TGRD_0	初期化	保持	初期化	初期化	保持		
TCR_1	初期化	保持	初期化	初期化	保持	MTU (チャンネル 1)	
TMDR_1	初期化	保持	初期化	初期化	保持		
TIOR_1	初期化	保持	初期化	初期化	保持		
TIER_1	初期化	保持	初期化	初期化	保持		
TSR_1	初期化	保持	初期化	初期化	保持		
TCNT_1	初期化	保持	初期化	初期化	保持		
TGRA_1	初期化	保持	初期化	初期化	保持		
TGRB_1	初期化	保持	初期化	初期化	保持		
TCR_2	初期化	保持	初期化	初期化	保持	MTU (チャンネル 2)	
TMDR_2	初期化	保持	初期化	初期化	保持		
TIOR_2	初期化	保持	初期化	初期化	保持		
TIER_2	初期化	保持	初期化	初期化	保持		
TSR_2	初期化	保持	初期化	初期化	保持		
TCNT_2	初期化	保持	初期化	初期化	保持		
TGRA_2	初期化	保持	初期化	初期化	保持		
TGRB_2	初期化	保持	初期化	初期化	保持		
IPRA	初期化	初期化	保持		保持	INTC	
IPRB	初期化	初期化	保持		保持		
IPRC	初期化	初期化	保持		保持		
IPRD	初期化	初期化	保持		保持		
IPRE	初期化	初期化	保持		保持		
IPRF	初期化	初期化	保持		保持		
IPRG	初期化	初期化	保持		保持		
IPRH	初期化	初期化	保持		保持		
ICR1	初期化	初期化	保持		保持		
ISR	初期化	初期化	保持		保持		
IPRI	初期化	初期化	保持		保持		
IPRJ	初期化	初期化	保持		保持		
ICR2	初期化	初期化	保持		保持		
PADRH	初期化	保持	保持		保持		ポート A
PADRL	初期化	保持	保持		保持		
PAIORH	初期化	保持	保持		保持		
PAIORL	初期化	保持	保持		保持		

25. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
PACRH	初期化	保持	保持		保持	ポート A
PACRL1	初期化	保持	保持		保持	
PACRL2	初期化	保持	保持		保持	
PBDR	初期化	保持	保持		保持	ポート B
PCDR	初期化	保持	保持		保持	ポート C
PBIOR	初期化	保持	保持		保持	ポート B
PCIOR	初期化	保持	保持		保持	ポート C
PBCR1	初期化	保持	保持		保持	ポート B
PBCR2	初期化	保持	保持		保持	
PCCR	初期化	保持	保持		保持	ポート C
PDDRH	初期化	保持	保持		保持	ポート D
PDDRL	初期化	保持	保持		保持	
PDIORH	初期化	保持	保持		保持	
PDIORL	初期化	保持	保持		保持	
PDCRH1	初期化	保持	保持		保持	
PDCRH2	初期化	保持	保持		保持	
PDCRL1	初期化	保持	保持		保持	
PDCRL2	初期化	保持	保持		保持	
PEDRL	初期化	保持	保持		保持	ポート E
PFDR	保持	保持	保持		保持	ポート F
PEIORL	初期化	保持	保持		保持	ポート E
PECRL1	初期化	保持	保持		保持	
PECRL2	初期化	保持	保持		保持	
ICSR1	初期化	保持	保持	保持	保持	POE
OCSR	初期化	保持	保持	保持	保持	
CMSTR	初期化	保持	初期化	初期化	保持	CMT
CMCSR_0	初期化	保持	初期化	初期化	保持	
CMCNT_0	初期化	保持	初期化	初期化	保持	
CMCOR_0	初期化	保持	初期化	初期化	保持	
CMCSR_1	初期化	保持	初期化	初期化	保持	
CMCNT_1	初期化	保持	初期化	初期化	保持	
CMCOR_1	初期化	保持	初期化	初期化	保持	
ADDR0	初期化	保持	初期化	初期化	保持	A/D
ADDR1	初期化	保持	初期化	初期化	保持	
ADDR2	初期化	保持	初期化	初期化	保持	
ADDR3	初期化	保持	初期化	初期化	保持	

25. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
ADDR4	初期化	保持	初期化	初期化	保持	A/D
ADDR5	初期化	保持	初期化	初期化	保持	
ADDR6	初期化	保持	初期化	初期化	保持	
ADDR7	初期化	保持	初期化	初期化	保持	
ADCSR_0	初期化	保持	初期化	初期化	保持	
ADCSR_1	初期化	保持	初期化	初期化	保持	
ADCR_0	初期化	保持	初期化	初期化	保持	
ADCR_1	初期化	保持	初期化	初期化	保持	
FLMCR1	初期化	保持	初期化	初期化	保持	FLASH
FLMCR2	初期化	保持	初期化	初期化	保持	(F-ZTAT 版のみ)
EBR1	初期化	保持	初期化	初期化	保持	
EBR2	初期化	保持	初期化	初期化	保持	
UBARH	初期化	保持	保持	初期化	保持	UBC
UBARL	初期化	保持	保持	初期化	保持	
UBAMRH	初期化	保持	保持	初期化	保持	
UBAMRL	初期化	保持	保持	初期化	保持	
UBBR	初期化	保持	保持	初期化	保持	
UBCR	初期化	保持	保持	初期化	保持	
TCSR	初期化	保持 ^{*1}	保持		保持	WDT
TCNT	初期化	保持 ^{*1}	保持		保持	
RSTCSR	初期化 ^{*2}	保持	初期化		保持	
SBYCR	初期化	保持 ^{*1}	保持		保持	低消費電力状態
SYSCR	初期化	保持	保持		保持	
MSTCR1	初期化	保持	保持		保持	
MSTCR2	初期化	保持	保持		保持	
BCR1	初期化	保持	保持		保持	BSC
BCR2	初期化	保持	保持		保持	
WCR1	初期化	保持	保持		保持	
WCR2	初期化	保持	保持		保持	
RAMER	初期化	保持	保持		保持	FLASH (F-ZTAT 版のみ)
DMAOR	初期化	保持	初期化	初期化	保持	DMAC (共通)
SAR_0	初期化	保持	初期化	初期化	保持	DMAC
DAR_0	初期化	保持	初期化	初期化	保持	(チャンネル0)
DMATCR_0	初期化	保持	初期化	初期化	保持	
CHCR_0	初期化	保持	初期化	初期化	保持	

25. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
SAR_1	初期化	保持	初期化	初期化	保持	DMAC (チャンネル1)	
DAR_1	初期化	保持	初期化	初期化	保持		
DMATCR_1	初期化	保持	初期化	初期化	保持		
CHCR_1	初期化	保持	初期化	初期化	保持	DMAC (チャンネル2)	
SAR_2	初期化	保持	初期化	初期化	保持		
DAR_2	初期化	保持	初期化	初期化	保持		
DMATCR_2	初期化	保持	初期化	初期化	保持	DMAC (チャンネル3)	
CHCR_2	初期化	保持	初期化	初期化	保持		
SAR_3	初期化	保持	初期化	初期化	保持		
DAR_3	初期化	保持	初期化	初期化	保持	DMAC (チャンネル3)	
DMATCR_3	初期化	保持	初期化	初期化	保持		
CHCR_3	初期化	保持	初期化	初期化	保持		
DTEA	初期化	保持	初期化	初期化	保持	DTC	
DTEB	初期化	保持	初期化	初期化	保持		
DTEC	初期化	保持	初期化	初期化	保持		
DTED	初期化	保持	初期化	初期化	保持		
DTCSR	初期化	保持	初期化	初期化	保持		
DTBR	保持	保持	保持	保持	保持		
DTEE	初期化	保持	初期化	初期化	保持		
DTEG	初期化	保持	初期化	初期化	保持		
SCRX	初期化	保持	保持	保持	保持		IIC【オプション】
ADTSR	初期化	保持	保持	保持	保持		A/D
PPCR	初期化	保持	保持	-	保持		ポートE
ICCR	初期化	保持	保持	保持	保持		IIC【オプション】
ICSR	初期化	保持	保持	保持	保持		
ICDR	初期化	保持	保持	保持	保持		
SARX	初期化	保持	保持	保持	保持		
ICMR	初期化	保持	保持	保持	保持		
SAR	初期化	保持	保持	保持	保持		
SDIR	初期化	保持	保持	保持	保持	H-UDI	
SDSR	初期化	保持	保持	保持	保持	(F-ZTAT 版のみ)	
SDDRH	保持	保持	保持	保持	保持		
SDDRL	保持	保持	保持	保持	保持		

【注】 *1 WDT のオーバーフローによる内部マニュアルリセットでは初期化されません。

*2 WDT のオーバーフローによる内部パワーオンリセットでは初期化されません。

26. 電気的特性

26.1 絶対最大定格

絶対最大定格を表 26.1 に示します。

表 26.1 絶対最大定格

項 目	記号	定格値	単位	
電源電圧	V _{cc}	-0.3 ~ +4.3	V	
入力電圧 (A/D ポート以外)	V _{in}	-0.3 ~ V _{cc} +0.3	V	
入力電圧 (A/D ポート)	V _{in}	-0.3 ~ AV _{cc} +0.3	V	
アナログ電源電圧	AV _{cc}	-0.3 ~ +4.3	V	
アナログ基準電圧 (SH7145 のみ)	AV _{ref}	-0.3 ~ AV _{cc} +0.3	V	
アナログ入力電圧	V _{AN}	-0.3 ~ AV _{cc} +0.3	V	
動作温度 (フラッシュメモリの W/E 除く)	標準品	Topr	-20 ~ +75	°C
	広温度範囲品		-40 ~ +85	°C
動作温度 (フラッシュメモリの W/E)	TWEopr	-20 ~ +75	°C	
保存温度	Tstg	-55 ~ +125	°C	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

26.2 DC 特性

表 26.2 DC 特性

条件：Vcc = PLLVcc = 3.3V±0.3V、AVcc = 3.3V±0.3V、AVcc = Vcc±0.3V、AVref = 3.0 ~ AVcc、Vss = PLLVss = AVss = 0V、
Ta = -20 ~ +75°C (標準品)、Ta = -40 ~ +85°C (広温度範囲品)、フラッシュメモリの W/E 時は Ta = -20 ~ +75°C

項 目		記号	min	typ	max	単位	測定条件
入力ハイレベル 電圧 (シュミット トリガ入力端子を 除く)	RES、MRES、NMI、FWP、MD3 ~ MD0、 DBGMD	VIH	Vcc-0.5	-	Vcc + 0.3	V	
	EXTAL		Vcc-0.5	-	Vcc + 0.3	V	
	アナログ兼用ポート		2.2	-	AVcc + 0.3	V	
	その他の入力端子		2.2	-	Vcc + 0.3	V	
入力ローレベル電 圧 (シュミットトリ ガ入力端子を除く)	RES、MRES、NMI、FWP、MD3 ~ MD0、 EXTAL、DBGMD	VIL	-0.3	-	0.5	V	
	その他の入力端子		-0.3	-	0.8	V	
シュミットトリガ 入力電圧	IRQ7 ~ IRQ0、POE3 ~ POE0、TCLKA ~ TCLKD、TIOC0A ~ TIOC0D、TIOC1A ~ TIOC1B、TIOC2A ~ TIOC2B、TIOC3A ~ TIOC3D、TIOC4A ~ TIOC4D、SCK3 ~ SCK0、 RXD3 ~ RXD0	Vt+ (VIH)	Vcc-0.5	-	-	V	
		Vt- (VIL)	-	-	0.5	V	
		Vt+ - Vt-	0.2	-	-	V	
入力リーク電流	RES、MRES、NMI、FWP、MD3 ~ MD0、 DBGMD	lin	-	-	1.0	μA	
	アナログ兼用ポート		-	-	1.0	μA	
	その他の入力端子		-	-	1.0	μA	
スリーステート リーク電流 (オフ状態)	ポート A、B、C、D、E	Itsi	-	-	1.0	μA	
出力ハイレベル 電圧	全出力端子	VOH	Vcc-0.5	-	-	V	IOH = -200μA
出力ローレベル 電圧	全出力端子	VOL	-	-	0.4	V	IOL = 1.6mA
	PE9、PE11 ~ PE15		-	-	0.8	V	IOL = 15mA

項 目		記号	min	typ	max	単位	測定条件
入力容量	RES	Cin	-	-	20	pF	Vin = 0V
	NMI		-	-	20	pF	f = 1MHz
	その他の全入力端子		-	-	20	pF	Ta = 25°C
消費電流*	通常動作時	クロック 1 : 1	-	150	210	mA	f = 40MHz
			クロック 1 : 1/2	-	160	220	mA
	スリープ時	クロック 1 : 1	-	110	170	mA	f = 40MHz
			クロック 1 : 1/2	-	120	180	mA
	スタンバイ時		-	3	50	μA	Ta = 50°C
			-	-	500	μA	50°C < Ta
	書き込み動作時	クロック 1 : 1	-	150	210	mA	Vcc = 3.3V f = 40MHz
クロック 1 : 1/2			-	160	220	mA	Vcc = 3.3V f = 50MHz
アナログ電源電流	A/D 変換中	Alcc	-	2	5	mA	
	A/D 変換待機時		-	-	2	mA	
	スタンバイ時		-	-	5	μA	
リファレンス 電源電流	A/D 変換中	Alref	-	-	2	mA	
	A/D 変換待機時		-	-	2	mA	
	スタンバイ時		-	-	5	μA	
RAM スタンバイ電圧		V _{RAM}	2.0	-	-	V	V _{CC}

【使用上の注意】

A/D 変換器を使用しないときに、AV_{CC}、AV_{SS} 端子を開放しないでください。

* 消費電流は、V_{IHmin} = V_{CC} - 0.5V、V_{IL} = 0.5V の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 26.3 出力許容電流値

条件：V_{CC} = PLLV_{CC} = 3.3V ± 0.3V、AV_{CC} = 3.3V ± 0.3V、AV_{CC} = V_{CC} ± 0.3V、AV_{ref} = 3.0 ~ AV_{CC}、V_{SS} = PLLV_{SS} = AV_{SS} = 0V、
Ta = -20 ~ +75°C (標準品)、Ta = -40 ~ +85°C (広温度範囲品)、フラッシュメモリの W/E 時は Ta = -20 ~ +75°C

項 目	記号	min	typ	max	単位
出力ローレベル許容電流 (1 端子あたり)	I _{OL}	-	-	2.0*	mA
出力ローレベル許容電流 (総和)	Σ I _{OL}	-	-	80	mA
出力ハイレベル許容電流 (1 端子あたり)	-I _{OH}	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	Σ -I _{OH}	-	-	25	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 26.3 の値を超えないようにしてください。

【注】 * PE9、PE11 ~ PE15 は I_{OL} = 15mA (max)。ただし、これらの端子のうち同時に 2.0mA を超えて I_{OL} を流すものは 3 本以内にしてください。

26.3 AC 特性

26.3.1 AC 特性測定条件

入力参照レベル High レベル : V_{IH} min 値、Low レベル : V_{IL} max 値

出力参照レベル High レベル : 2.0V、Low レベル : 0.8V

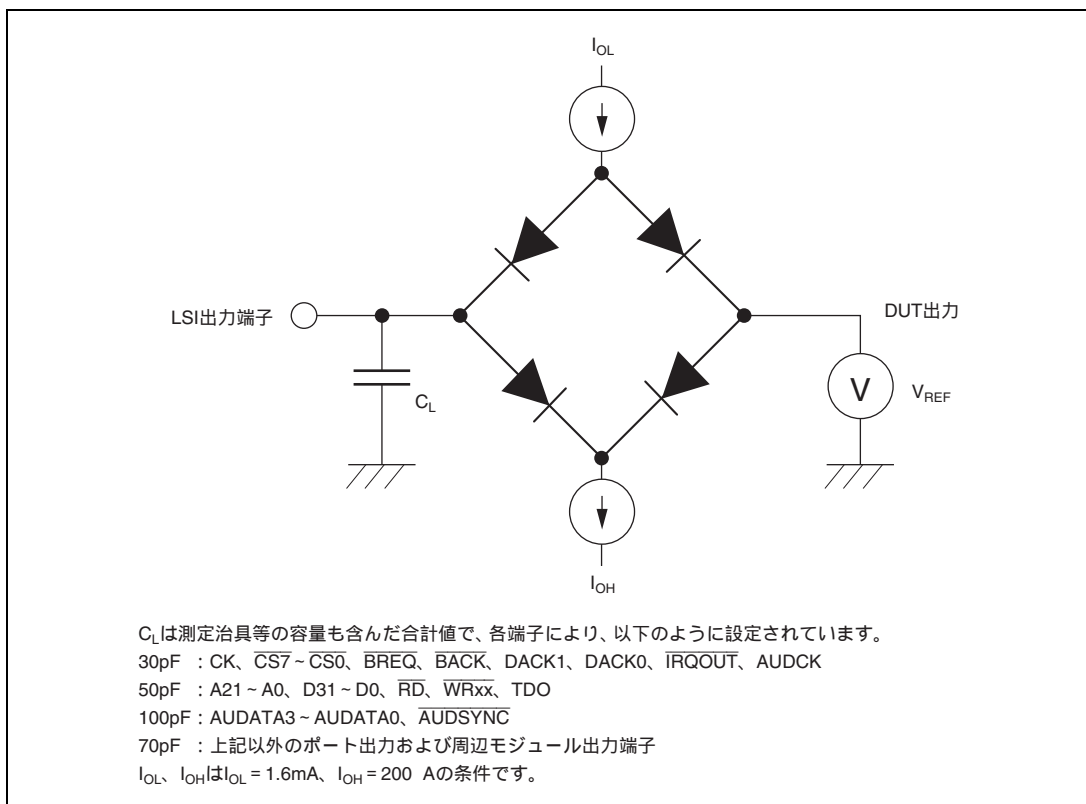


図 26.1 出力負荷回路

26.3.2 クロックタイミング

表 26.4 にクロックタイミングを示します。

表 26.4 クロックタイミング

条件：V_{CC} = PLLV_{CC} = 3.3V±0.3V、AV_{CC} = 3.3V±0.3V、AV_{CC} = V_{CC}±0.3V、AV_{ref} = 3.0 - AV_{CC}、V_{SS} = PLLV_{SS} = AV_{SS} = 0V、
Ta = -20 ~ +75°C (標準品)、Ta = -40 ~ +85°C (広温度範囲品)、フラッシュメモリの W/E 時は Ta = -20 ~ +75°C

項目	記号	min	max	単位	参照図
動作周波数	f _{op}	4	50	MHz	図 26.2
クロックサイクル時間	t _{cyc}	20	250	ns	
クロックローパルス幅	t _{CL}	1/2t _{cyc} - 5	-	ns	
クロックハイパルス幅	t _{CH}	1/2t _{cyc} - 5	-	ns	
クロック立ち上がり時間	t _{CR}	-	5	ns	
クロック立ち下がり時間	t _{CF}	-	5	ns	
EXTAL クロック入力周波数	f _{EX}	4	12.5	MHz	図 26.3
EXTAL クロック入力サイクル時間	t _{EXcyc}	80	250	ns	
EXTAL クロック入力ローレベルパルス幅	t _{EXL}	35	-	ns	
EXTAL クロック入力ハイレベルパルス幅	t _{EXH}	35	-	ns	
EXTAL クロック入力立ち上がり時間	t _{EXR}	-	5	ns	
EXTAL クロック入力立ち下がり時間	t _{EXF}	-	5	ns	
リセット発振安定時間	t _{OSC1}	10	-	ms	図 26.4
スタンバイ復帰発振安定時間	t _{OSC2}	10	-	ms	
周辺モジュールクロックサイクル時間	t _{pcyc}	25	500	ns	

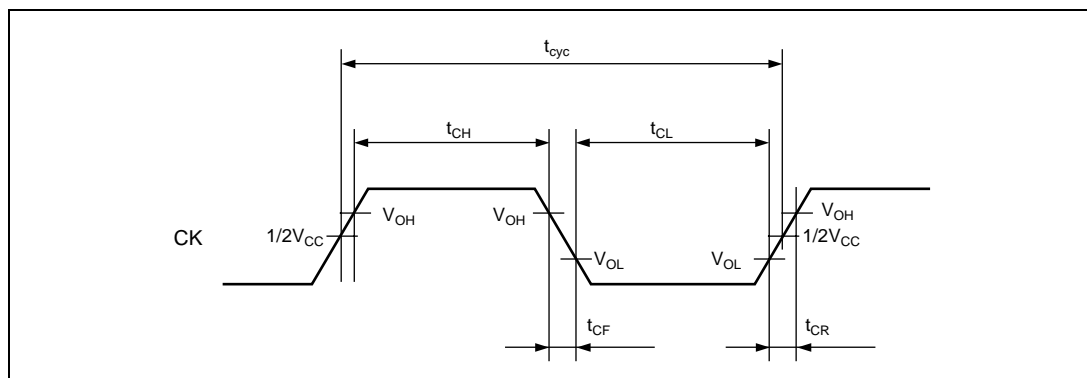


図 26.2 システムクロックタイミング

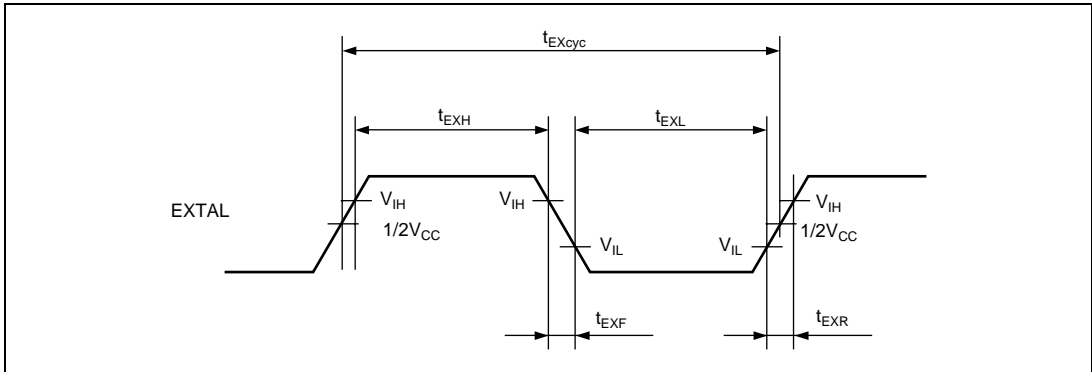


図 26.3 EXTAL クロック入力タイミング

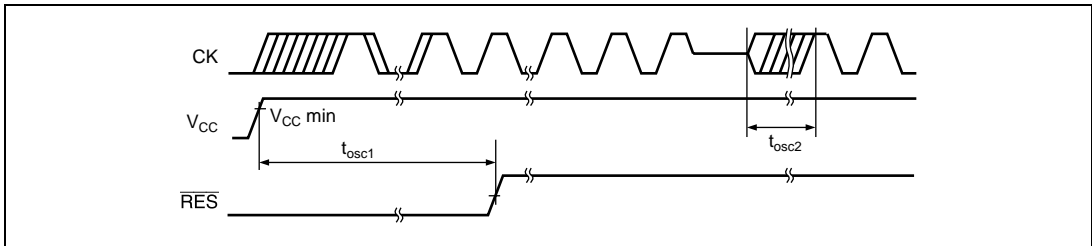


図 26.4 発振安定時間

26.3.3 制御信号タイミング

表 26.5 に制御信号タイミングを示します。

表 26.5 制御信号タイミング

条件：V_{cc} = PLLV_{cc} = 3.3V±0.3V、AV_{cc} = 3.3V±0.3V、AV_{cc} = V_{cc}±0.3V、AV_{ref} = 3.0 - AV_{cc}、V_{ss} = PLLV_{ss} = AV_{ss} = 0V、
Ta = -20 ~ +75°C (標準品)、Ta = -40 ~ +85°C (広温度範囲品)、フラッシュメモリの W/E 時は Ta = -20 ~ +75°C

項目	記号	min	max	単位	参照図	
RES 立ち上がり、立ち下がり時間	tRESr, tRESf	-	200	ns	図 26.5	
RES パルス幅	tRESW	25	-	t _{cyc}		
RES セットアップ時間	tRESS	35	-	ns		
MRES パルス幅	tMRESW	20	-	t _{cyc}		
MRES セットアップ時間	tMRESS	35	-	ns		
MD3 ~ MD0 セットアップ時間	tMDS	20	-	t _{cyc}		
NMI 立ち上がり、立ち下がり時間	tNMIr, tNMIf	-	200	ns	図 26.6	
NMI セットアップ時間	tNMIS	35	-	ns		
NMI ホールド時間	tNMIH	35	-	ns		
IRQ3 ~ IRQ0 セットアップ時間* (エッジ検出時)	tIRQES	19	-	ns		
IRQ3 ~ IRQ0 セットアップ時間* (レベル検出時)	tIRQLS	19	-	ns		
IRQ7 ~ IRQ0 ホールド時間	tIRQEH	19	-	ns	図 26.7	
IRQOUT 出力遅延時間	tIRQOD	-	100	ns		
バスリクエストセットアップ時間	tBRQS	19	-	ns		図 26.8
バスアクノリッジ遅延時間 1	tBACKD1	-	35	ns		
バスアクノリッジ遅延時間 2	tBACKD2	-	35	ns		
バススリーステート遅延時間	tBZD	-	35	ns		

【使用上の注意】

- * RES、MRES、NMI、および IRQ7 ~ IRQ0 信号は非同期入力ですが、ここに示されたセットアップが守られた場合クロックの立ち上がり (RES、MRES の場合) またはクロックの立ち下がり (NMI、IRQ7 ~ IRQ0 の場合) で変化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち上がり、または立ち下がりまで認識が遅れることがあります。

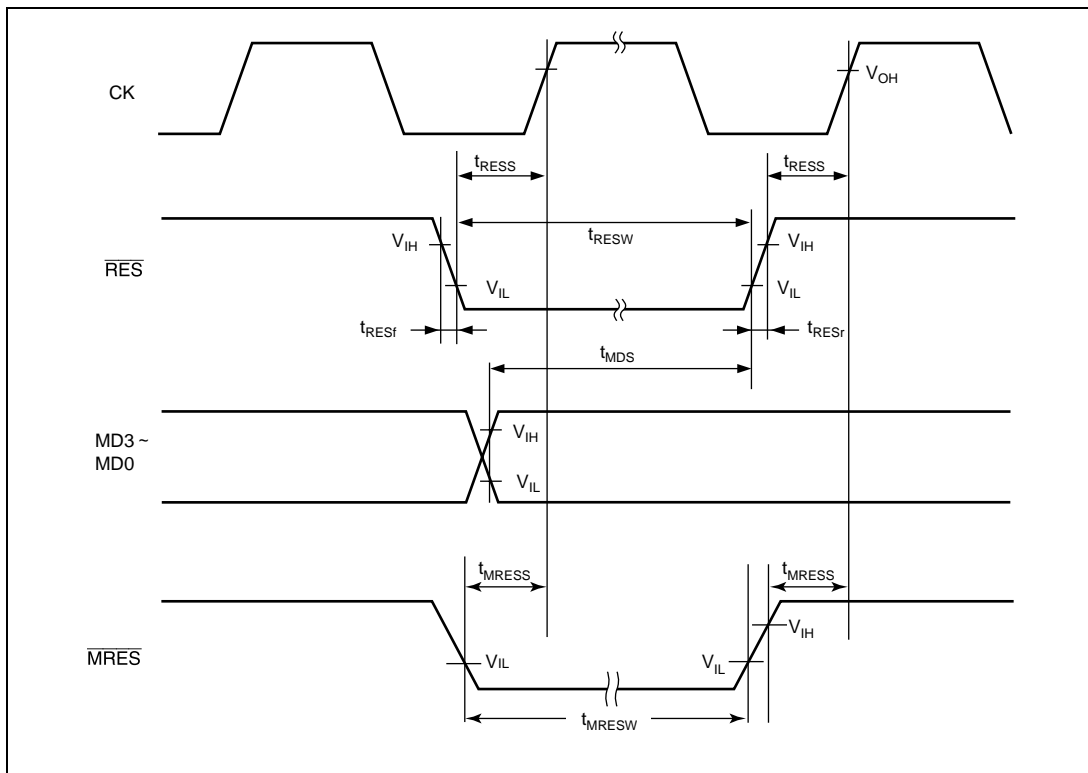


図 26.5 リセット入力タイミング

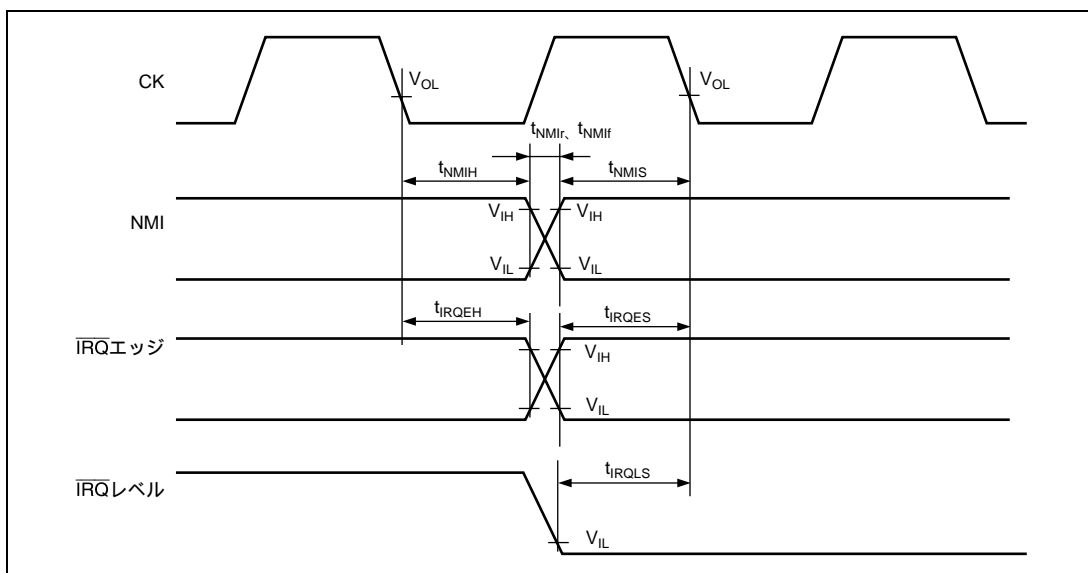


図 26.6 割り込み信号入力タイミング

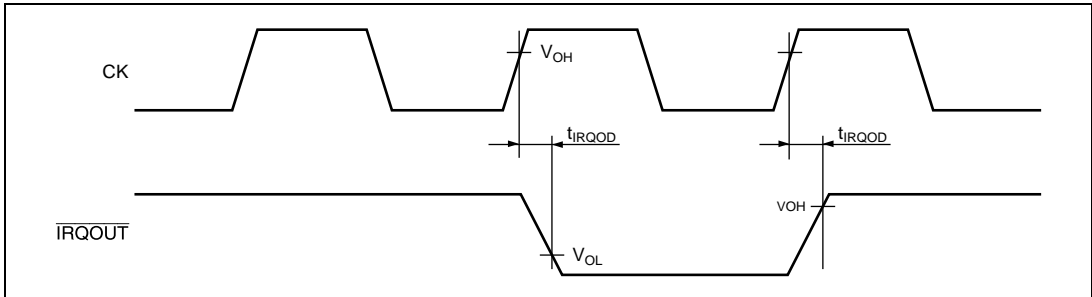


図 26.7 割り込み信号出力タイミング

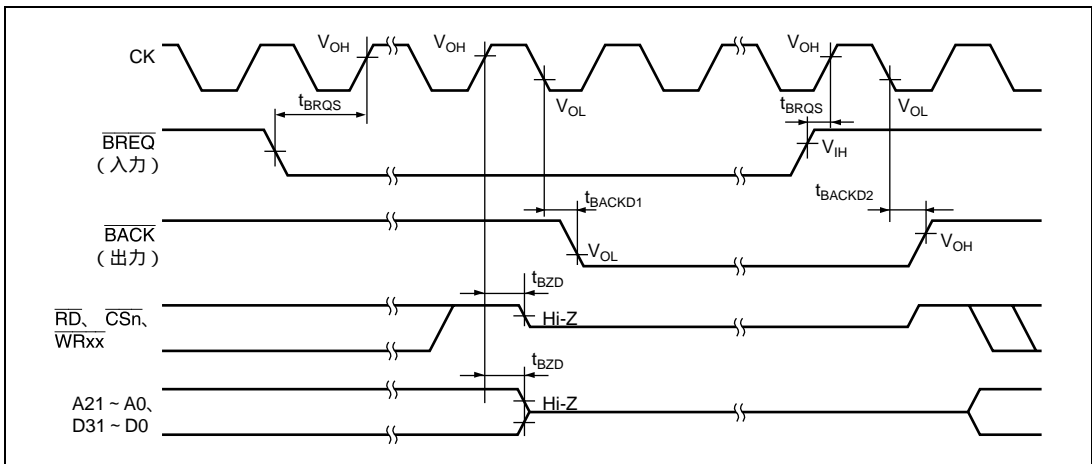


図 26.8 バス権解放タイミング

26. 電気的特性

26.3.4 バスタイミング

表 26.6 にバスタイミングを示します。

表 26.6 バスタイミング

条件：V_{cc} = PLLV_{cc} = 3.3V±0.3V、AV_{cc} = 3.3V±0.3V、AV_{cc} = V_{cc}±0.3V、AV_{ref} = 3.0 - AV_{cc}、V_{ss} = PLLV_{ss} = AV_{ss} = 0V、
Ta = -20 ~ +75°C (標準品)、Ta = -40 ~ +85°C (広温度範囲品)、フラッシュメモリの W/E 時は Ta = -20 ~ +75°C

項目	記号	min	max	単位	参照図
アドレス遅延時間	tAD	-	25	ns	図 26.9、 図 26.10
$\overline{\text{CS}}$ 遅延時間 1	tCSD1	-	28	ns	
$\overline{\text{CS}}$ 遅延時間 2	tCSD2	-	28	ns	
リードストロープ遅延時間 1	tRSD1	-	25	ns	
リードストロープ遅延時間 2	tRSD2	-	25	ns	
リードデータセットアップ時間	tRDS	15	-	ns	
リードデータホールド時間	tRDH	0	-	ns	
ライトストロープ遅延時間 1	tWSD1	-	25	ns	
ライトストロープ遅延時間 2	tWSD2	-	25	ns	
ライトデータ遅延時間	tWDD	-	30	ns	
ライトデータホールド時間	tWDH	0	-	ns	
WAIT セットアップ時間	tWTS	12	-	ns	
WAIT ホールド時間	tWTH	3	-	ns	
リードデータアクセス時間	tACC* ⁵	$t_{\text{cyc}} \times (n + 2) - 35^{*1*2}$	-	ns	図 26.9、 図 26.10
リードストロープからのアクセス時間	tOE* ⁵	$t_{\text{cyc}} \times (n + 1.5) - 33^{*1}$	-	ns	
アドレスセットアップ時間 (リード時)	tASR	0* ³	-	ns	
アドレスセットアップ時間 (ライト時)	tASW	0* ³	-	ns	
アドレス保持時間 (ライト時)	tWR	5* ⁴	-	ns	
ライトデータホールド時間	tWRH	0* ³	-	ns	
DACK 遅延時間	tDACKD	-	28	ns	

【注】 *1 n はウェイト数

*2 $\overline{\text{CS}}$ アサート期間拡張時は、 $t_{\text{cyc}} \times (n + 3) - 35$

*3 $\overline{\text{CS}}$ アサート期間拡張時は、 t_{cyc}

*4 $\overline{\text{CS}}$ アサート期間拡張時は、 $5 + t_{\text{cyc}}$

*5 アクセス時間が満足されていれば、tRDS は満足されている必要はありません。

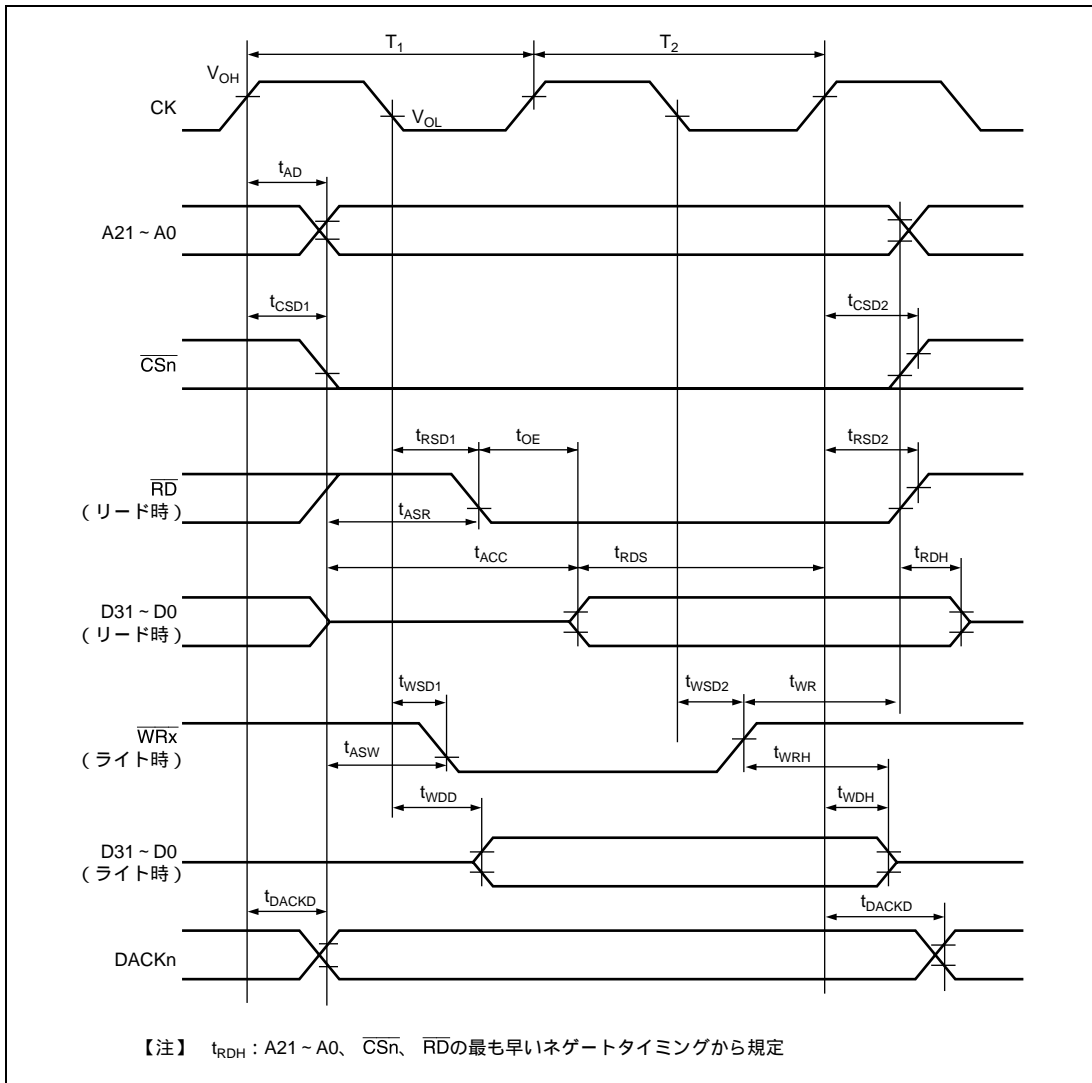


図 26.9 基本サイクル (ノーウェイト)

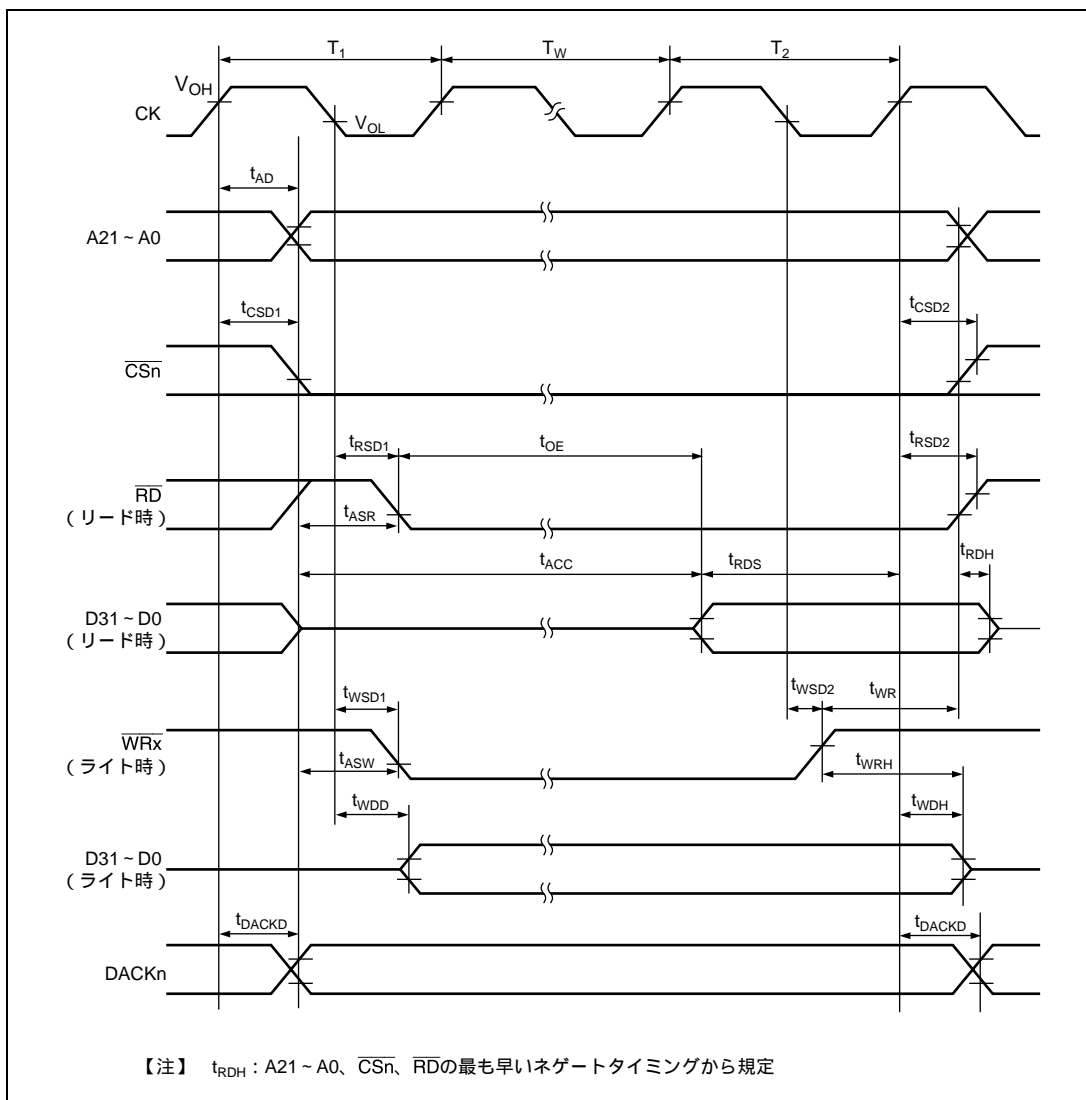


図 26.10 基本サイクル (ソフトウェアウェイト)

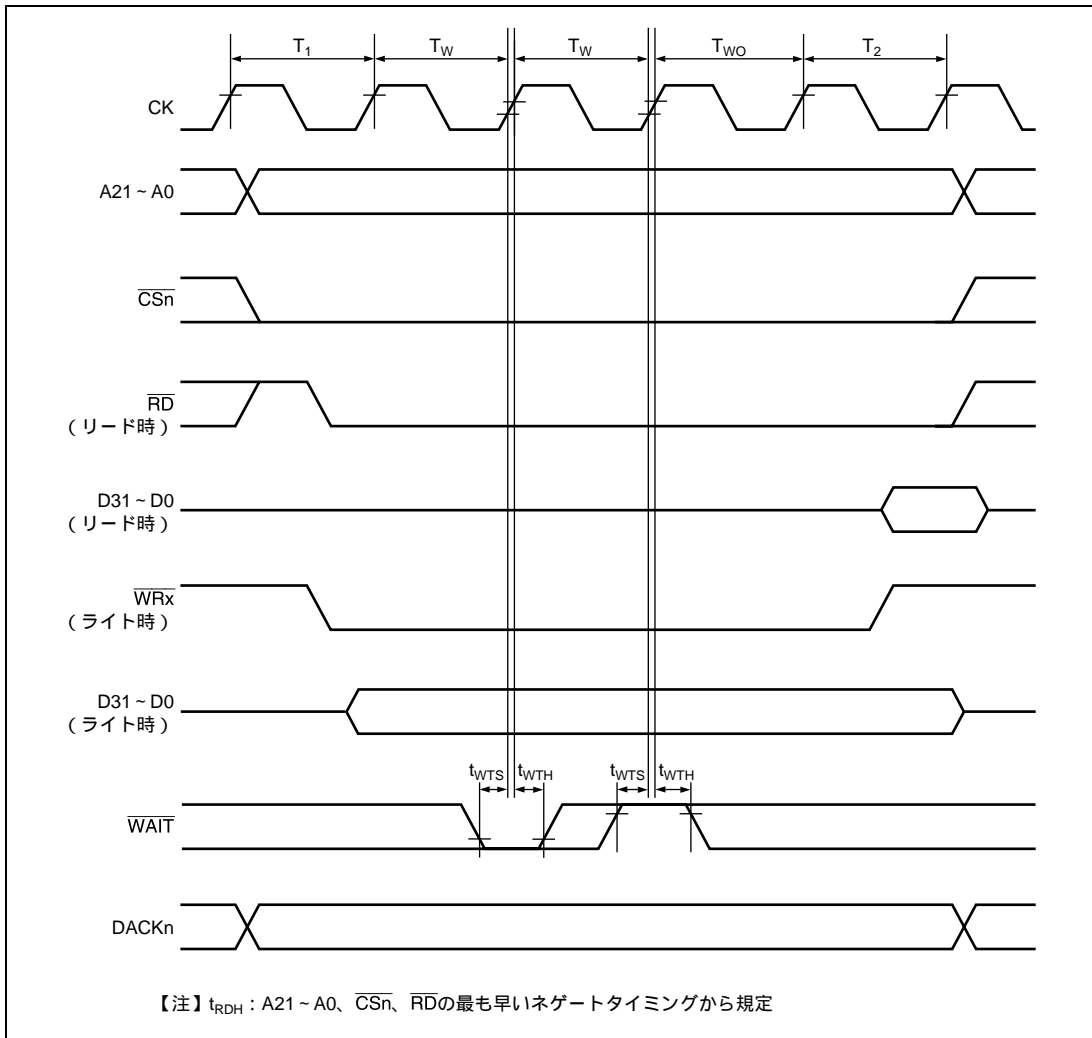


図 26.11 基本サイクル (2ソフトウェアウェイト + WAIT 信号によるウェイト)

26.3.5 ダイレクトメモリアクセスコントローラタイミング

表 26.7 にダイレクトメモリアクセスコントローラタイミングを示します。

表 26.7 ダイレクトメモリアクセスコントローラタイミング

条件 : $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $AV_{CC} = 3.3V \pm 0.3V$ 、 $AV_{CC} = V_{CC} \pm 0.3V$ 、 $AV_{ref} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$ (標準品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲品)、フラッシュメモリの W/E 時は $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
DREQ0、DREQ1 セットアップ時間	t_{DRQS}	10	-	ns	図 26.12
DREQ0、DREQ1 ホールド時間	t_{DRQH}	$1.5t_{cyc} - 10$	-	ns	
DREQ0、DREQ1 パルス幅	t_{DROW}	1.5	-	t_{cyc}	図 26.13
DRAK0、DRAK1 出力遅延時間	t_{DRAKD}	-	30	ns	図 26.14

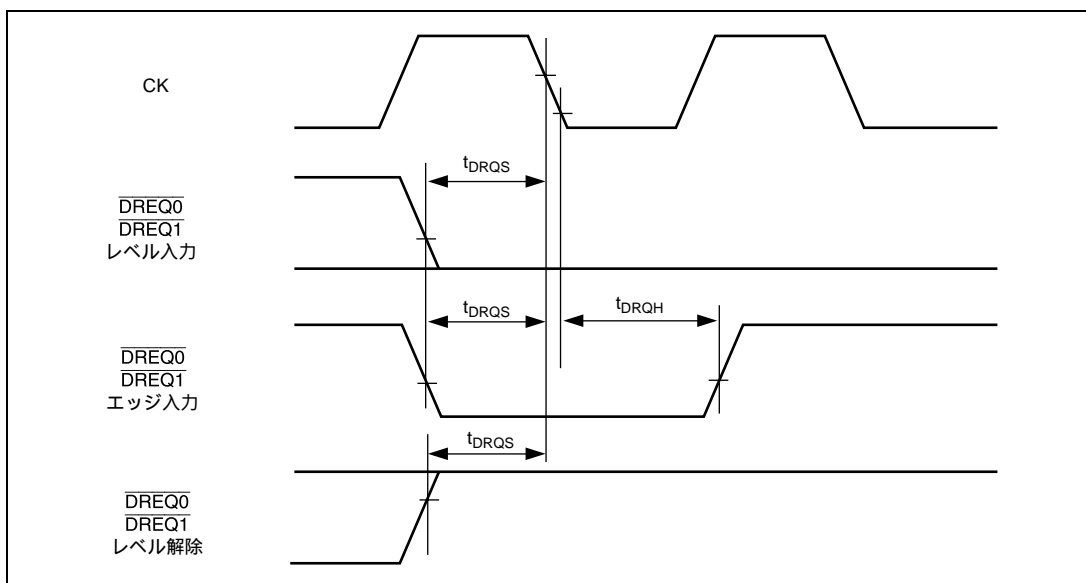


図 26.12 DREQ0、DREQ1 入力タイミング (1)

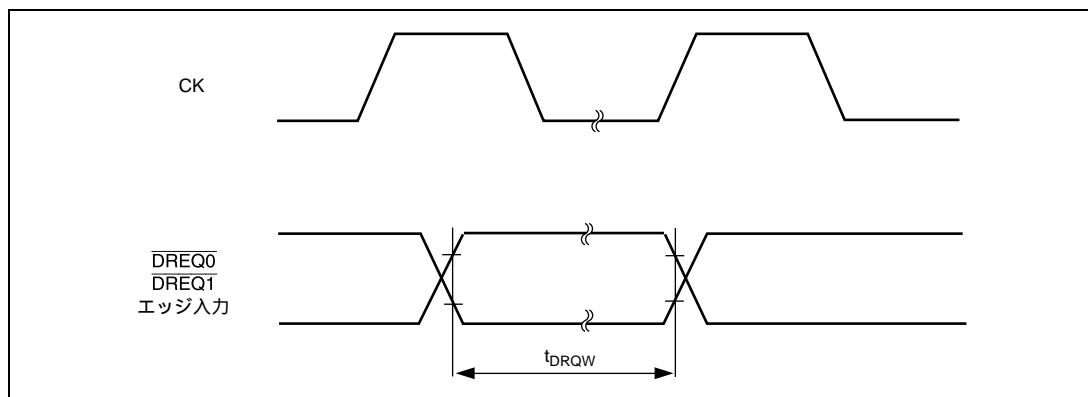
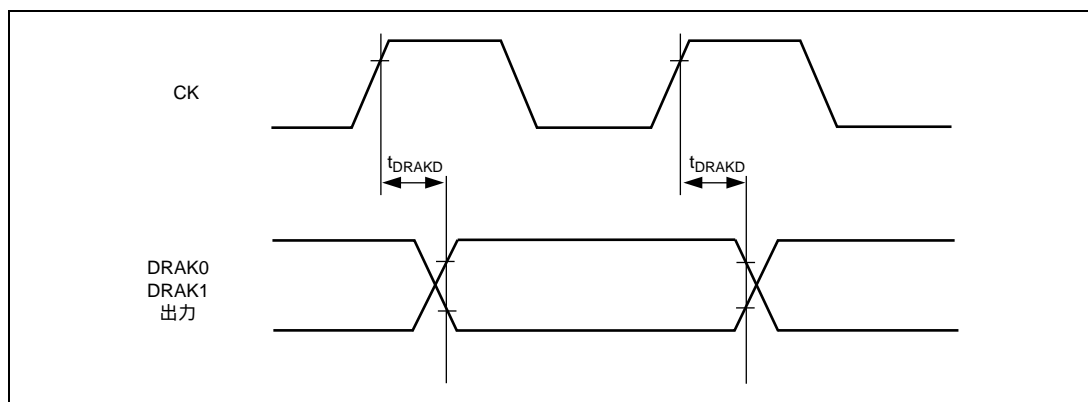
図 26.13 $\overline{DREQ0}$ 、 $\overline{DREQ1}$ 入力タイミング (2)

図 26.14 DRAK 出力遅延時間

26.3.6 マルチファンクションタイマパルスユニットタイミング

表 26.8 にマルチファンクションタイマパルスユニットタイミングを示します。

表 26.8 マルチファンクションタイマパルスユニットタイミング

条件 : $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $AV_{cc} = 3.3V \pm 0.3V$ 、 $AV_{cc} = V_{cc} \pm 0.3V$ 、 $AV_{ref} = 3.0 \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -20 \sim +75^\circ C$ (標準品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲品)、フラッシュメモリの W/E 時は $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	100	ns	図 26.15
インプットキャプチャ入力セットアップ時間	t_{TICS}	19	-	ns	
タイマ入力セットアップ時間	t_{TCKS}	19	-	ns	図 26.16
タイマクロックパルス幅 (単エッジ指定)	t_{TCKWHL}	1.5	-	$t_{p_{cyc}}$	
タイマクロックパルス幅 (両エッジ指定)	t_{TCKWHL}	2.5	-	$t_{p_{cyc}}$	
タイマクロックパルス幅 (位相計数モード)	t_{TCKWHL}	2.5	-	$t_{p_{cyc}}$	

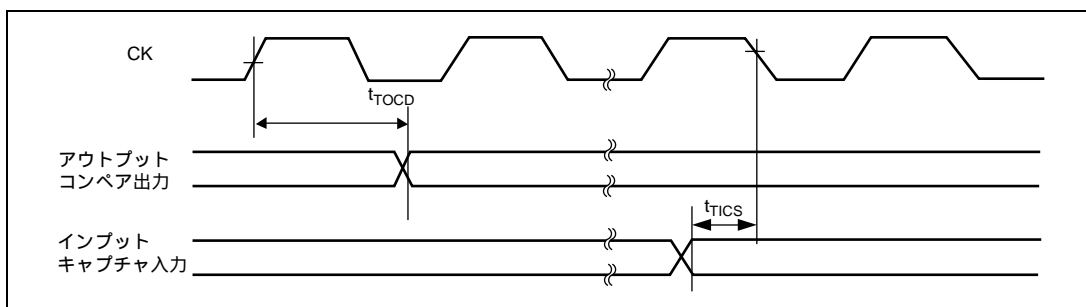


図 26.15 MTU 入出力タイミング

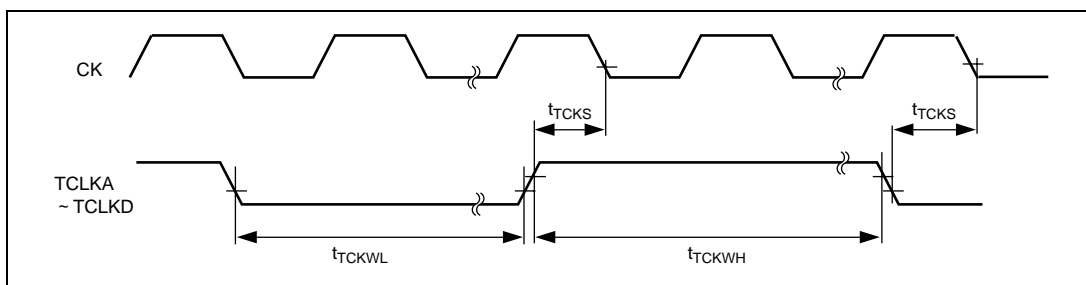


図 26.16 MTU クロック入力タイミング

26.3.7 I/O ポートタイミング

表 26.9 に I/O ポートタイミングを示します。

表 26.9 I/O ポートタイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $AV_{CC} = 3.3V \pm 0.3V$ 、 $AV_{CC} = V_{CC} \pm 0.3V$ 、 $AV_{ref} = 3.0 - AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75^\circ C$ (標準品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲品)、フラッシュメモリの W/E 時は $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
ポート出力データ遅延時間	t_{PWD}	-	100	ns	図 26.17
ポート入力ホールド時間	t_{PRH}	19	-	ns	
ポート入力セットアップ時間	t_{PRS}	19	-	ns	

【使用上の注意】

ポート入力信号は非同期入力ですが、図 26.17 に示された 2 ステート間隔の CK クロック立ち下がりで変化が生じたものとして判定されます。図示のセットアップを守れない場合はそれから 2 ステート後のクロックの立ち下がりまで認識が遅れることがあります。

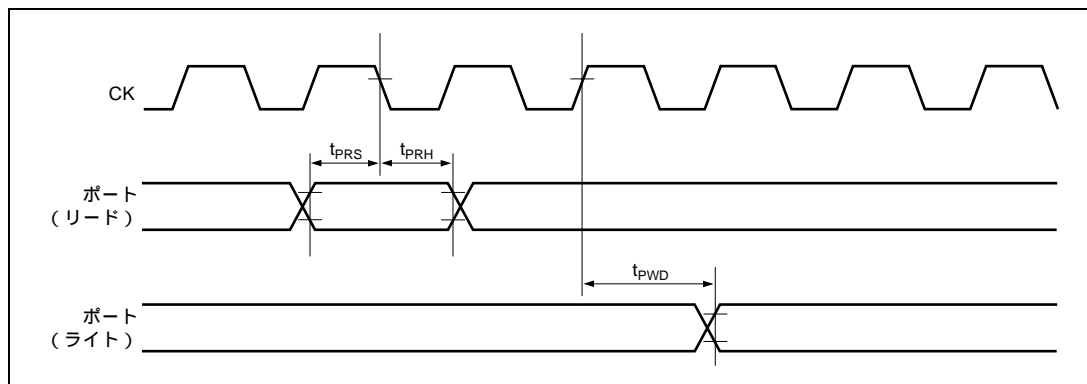


図 26.17 I/O ポート入出力タイミング

26.3.8 ウォッチドッグタイマタイミング

表 26.10 にウォッチドッグタイマタイミングを示します。

表 26.10 ウォッチドッグタイマタイミング

条件：V_{CC} = PLLV_{CC} = 3.3V±0.3V、AV_{CC} = 3.3V±0.3V、AV_{CC} = V_{CC}±0.3V、AV_{ref} = 3.0 ~ AV_{CC}、V_{SS} = PLLV_{SS} = AV_{SS} = 0V、
 Ta = -20 ~ +75°C (標準品)、Ta = -40 ~ +85°C (広温度範囲品)、フラッシュメモリの W/E 時は Ta = -20 ~ +75°C

項目	記号	min	max	単位	参照図
WDTOVF 遅延時間	t _{WOVD}	-	100	ns	図 26.18

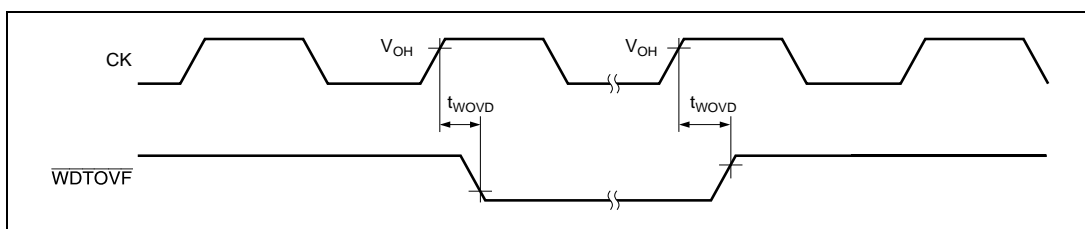


図 26.18 ウォッチドッグタイマタイミング

26.3.9 シリアルコミュニケーションインタフェースタイミング

表 26.11 にシリアルコミュニケーションインタフェースタイミングを示します。

表 26.11 シリアルコミュニケーションインタフェースタイミング

条件：V_{cc} = PLLV_{cc} = 3.3V±0.3V、AV_{cc} = 3.3V±0.3V、AV_{cc} = V_{cc}±0.3V、AV_{ref} = 3.0 ~ AV_{cc}、V_{ss} = PLLV_{ss} = AV_{ss} = 0V、
Ta = -20 ~ +75°C（標準品）、Ta = -40 ~ +85°C（広温度範囲品）、フラッシュメモリの W/E 時は Ta = -20 ~ +75°C

項目	記号	min	max	単位	参照図	
入力クロックサイクル（調歩同期）	t _{syc}	4	-	t _{pyc}	図 26.19	
入力クロックサイクル（クロック同期）	t _{syc}	6	-	t _{pyc}		
入力クロックパルス幅	t _{sckw}	0.4	0.6	t _{syc}		
入力クロック立ち上がり時間	t _{sckr}	-	1.5	t _{pyc}		
入力クロック立ち下がり時間	t _{sckf}	-	1.5	t _{pyc}		
送信データ遅延時間	調歩同期	t _{TxD}	-	100	図 26.20	
受信データセットアップ時間		t _{RxS}	100	-		ns
受信データホールド時間		t _{RxH}	100	-		ns
送信データ遅延時間	クロック同期	t _{TxD}	-	t _{pyc} +43	ns	
受信データセットアップ時間		(SCK 入力時)	t _{RxS}	t _{pyc} +25		ns
受信データホールド時間		t _{RxH}	t _{pyc} +25	-		ns
送信データ遅延時間	クロック同期	t _{TxD}	-	65	ns	
受信データセットアップ時間		(SCK 出力時)	t _{RxS}	0.5t _{pyc} +50		ns
受信データホールド時間		t _{RxH}	1.5t _{pyc}	-		ns

【使用上の注意】

調歩同期モードでは非同期入出力ですが、図 26.20 に示すように、受信データは CK クロック立ち上がり（2 クロック間隔）で変化が生じたものとして判定され、送信信号は CK クロック立ち上がり（2 クロック間隔）基準に変化します。

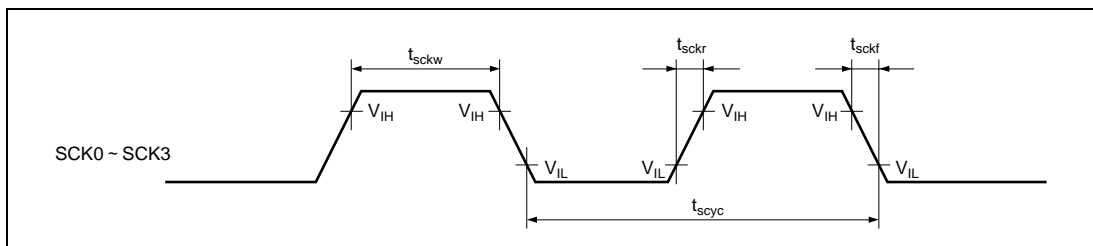


図 26.19 入力クロックタイミング

26. 電気的特性

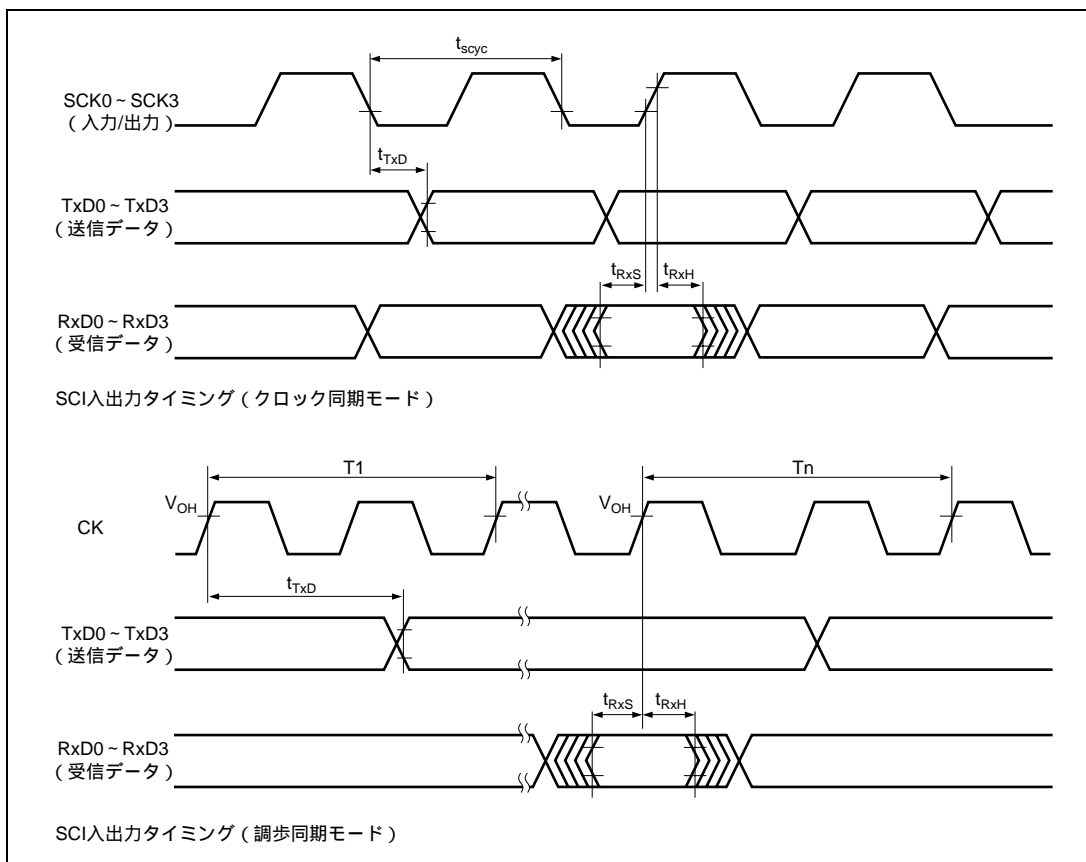


図 26.20 SCI 入出力タイミング

26.3.10 I²C バスインタフェースタイミング

表 26.12 に I²C バスインタフェースのタイミングを示します。

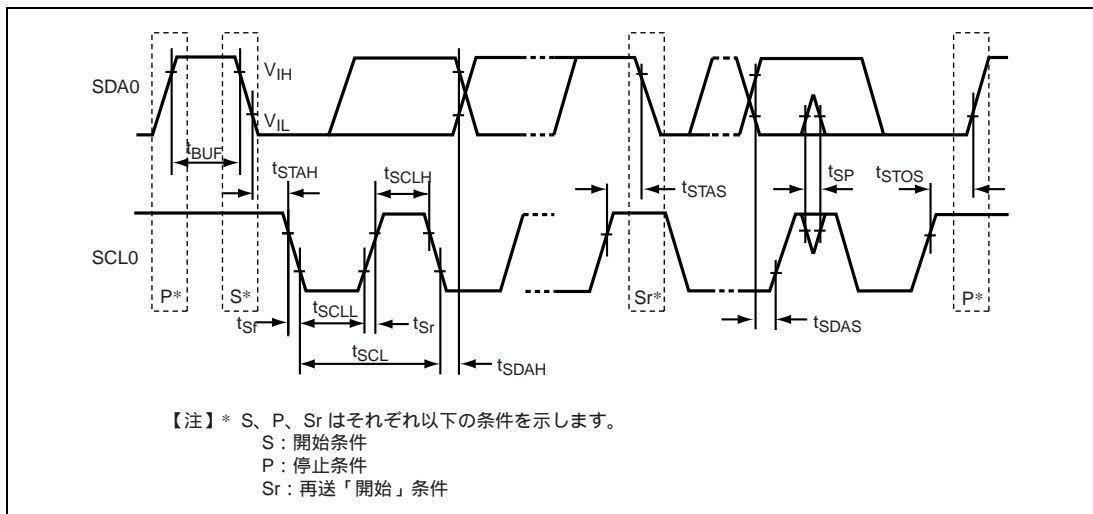
表 26.12 I²C バスインタフェースタイミング

条件：V_{cc} = PLLV_{cc} = 3.3V±0.3V、AV_{cc} = 3.3V±0.3V、AV_{cc} = V_{cc}±0.3V、AV_{ref} = 3.0 ~ AV_{cc}、V_{ss} = PLLV_{ss} = AV_{ss} = 0V、
Ta = -20 ~ +75°C (標準品)、Ta = -40 ~ +85°C (広温度範囲品)、フラッシュメモリの W/E 時は Ta = -20 ~ +75°C

項目	記号	min	typ	max	単位	参照図
SCL 入力サイクル時間	t _{SCL}	12 t _{pcyc} * ¹			ns	図 26.21
SCL 入力 High パルス幅	t _{SCLH}	3 t _{pcyc}			ns	
SCL 入力 Low パルス幅	t _{SCLL}	5 t _{pcyc}			ns	
SCL、SDA 入力立ち上がり時間	t _{Sr}			7.5 t _{pcyc} * ²	ns	
SCL、SDA 入力立ち下がり時間	t _{Sf}			300	ns	
SCL、SDA 入力スパイクパルス除去時間	t _{SP}			1 t _{pcyc}	ns	
SDA 入力バスフリー時間	t _{BUF}	5 t _{pcyc}			ns	
開始条件入力ホールド時間	t _{STAH}	3 t _{pcyc}			ns	
再送開始条件入力セットアップ時間	t _{STAS}	3 t _{pcyc}			ns	
停止条件入力セットアップ時間	t _{STOS}	3 t _{pcyc}			ns	
データ入力セットアップ時間	t _{SDAS}	35			ns	
データ入力ホールド時間	t _{SDAH}	0			ns	
SCL、SDA の容量性負荷	C _b			400	pF	

【注】 *1 t_{pcyc}(ns) = 1/(IIC モジュールへ供給する P_φ (MHz))

*2 I²C モジュールで使用するクロックの選択により、17.5 t_{pcyc} とすることが可能です。詳細は「14.5 使用上の注意事項」を参照してください。

図 26.21 I²C バスインタフェースタイミング

26.3.11 ポートアウトプットイネーブル (POE) タイミング

表 26.13 にポートアウトプットイネーブル (POE) のタイミングを示します。

表 26.13 ポートアウトプットイネーブル (POE) タイミング

条件 : $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $AV_{cc} = 3.3V \pm 0.3V$ 、 $AV_{cc} = V_{cc} \pm 0.3V$ 、 $AV_{ref} = 3.0 \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -20 \sim +75^\circ C$ (標準品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲品)、フラッシュメモリの W/E 時は $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
POE 入力セットアップ時間	tPOES	100	-	ns	図 26.22
POE 入力パルス幅	tPOEW	1.5	-	t _{pcyc}	

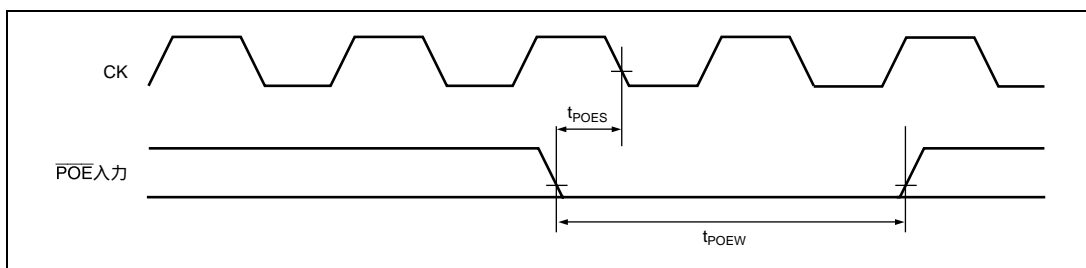


図 26.22 POE 入力タイミング

26.3.12 A/D 変換器タイミング

表 26.14 に A/D 変換器タイミングを示します。

表 26.14 A/D 変換器タイミング

条件 : $V_{cc} = PLLV_{cc} = 3.3V \pm 0.3V$ 、 $AV_{cc} = 3.3V \pm 0.3V$ 、 $AV_{cc} = V_{cc} \pm 0.3V$ 、 $AV_{ref} = 3.0 \sim AV_{cc}$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、 $T_a = -20 \sim +75^\circ C$ (標準品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲品)、フラッシュメモリの W/E 時は $T_a = -20 \sim +75^\circ C$

項目	記号	min	typ	max	単位	参照図
外部トリガ入力開始遅延時間	tTRGS	50	-	-	ns	図 26.23

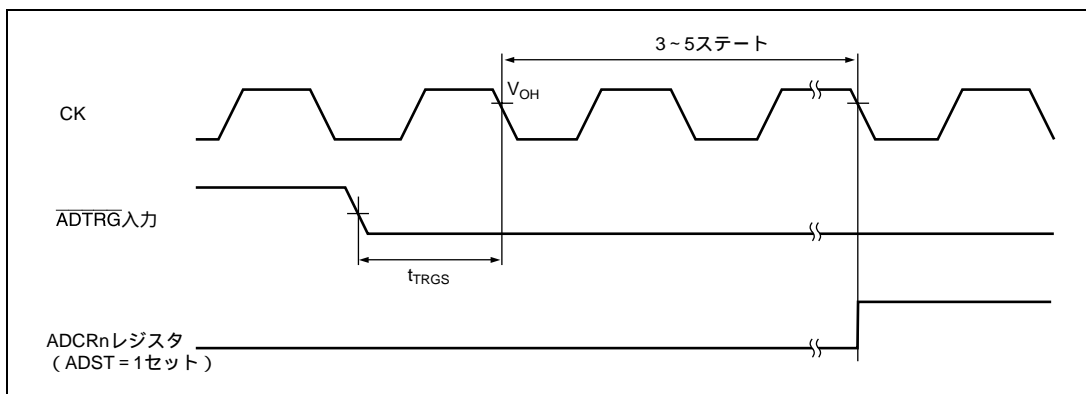


図 26.23 外部トリガ入力タイミング

26.3.13 H-UDI タイミング

表 26.15 に H-UDI タイミングを示します。

表 26.15 H-UDI タイミング

条件 : $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $AV_{CC} = 3.3V \pm 0.3V$ 、 $AV_{CC} = V_{CC} \pm 0.3V$ 、 $AV_{ref} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +75^\circ C$ (標準品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲品)、フラッシュメモリの W/E 時は $T_a = -20 \sim +75^\circ C$

項目	記号	min	max	単位	参照図
TCK クロックサイクル	t_{CYC}	60*	500	ns	図 26.24
TCK クロックハイレベル幅	t_{TCKH}	0.4	0.6	t_{CYC}	
TCK クロックローレベル幅	t_{TCKL}	0.4	0.6	t_{CYC}	
TRST パルス幅	t_{TRSW}	20	-	t_{CYC}	図 26.25
TRST セットアップ時間	t_{TRSS}	30	-	ns	
TMS セットアップ時間	t_{TMSS}	15	-	ns	図 26.26
TMS ホールド時間	t_{TMSH}	10	-	ns	
TDI セットアップ時間	t_{TDIS}	15	-	ns	
TDI ホールド時間	t_{TDIH}	10	-	ns	
TDO 遅延時間	t_{TDOD}	-	30	ns	

【注】 * ただし、 $2 \times t_{CYC}$ を下回らないでください。

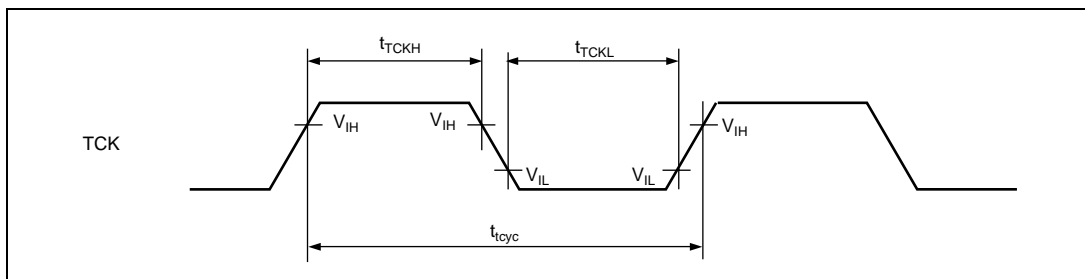


図 26.24 H-UDI クロックタイミング

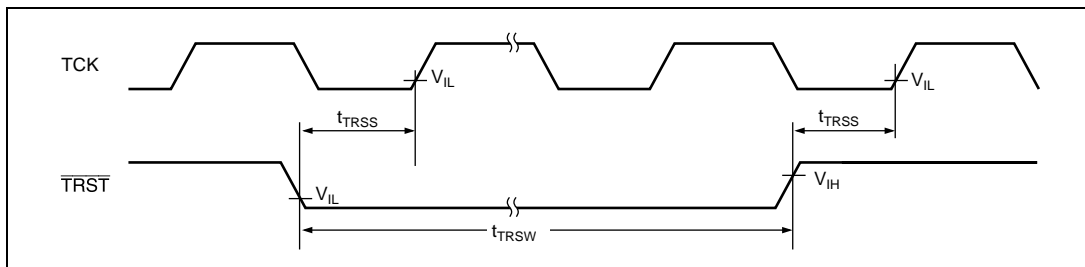


図 26.25 H-UDI TRST タイミング

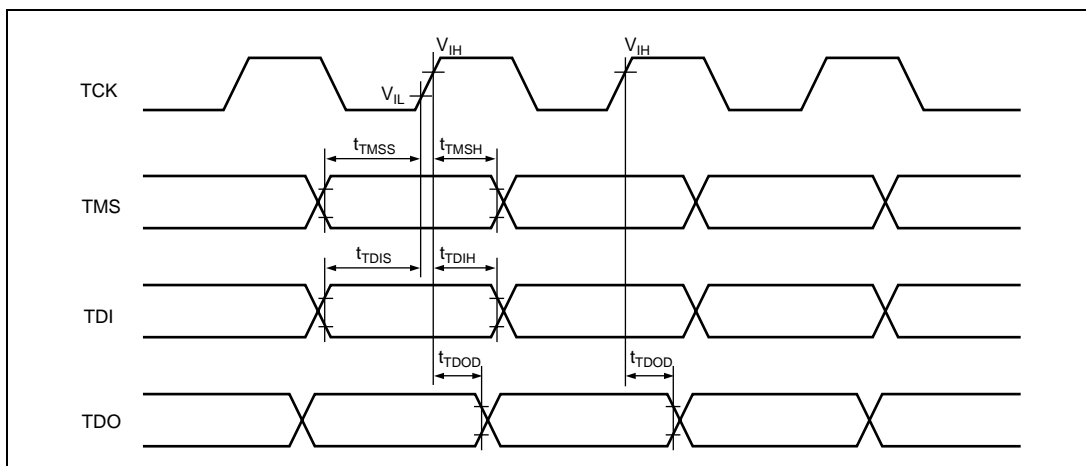


図 26.26 H-UDI 入出力タイミング

26.3.14 AUD タイミング

表 26.16 に AUD タイミングを示します。

表 26.16 AUD タイミング

条件：V_{cc} = PLLV_{cc} = 3.3V±0.3V、AV_{cc} = 3.3V±0.3V、AV_{cc} = V_{cc}±0.3V、AV_{ref} = 3.0 - AV_{cc}、V_{ss} = PLLV_{ss} = AV_{ss} = 0V、
Ta = -20 ~ +75°C (標準品)、Ta = -40 ~ +85°C (広温度範囲品)、フラッシュメモリの W/E 時は Ta = -20 ~ +75°C

項 目	記号	min	max	単位	参照図	
AUDRST パルス幅 (ブランチトレース時)	tAUDRSTW	20	-	t _{cyc}	図 26.27	
AUDRST パルス幅 (RAM モニタ時)	tAUDRSTW	5	-	t _{RM CYC}		
AUDMD セットアップ時間 (ブランチトレース時)	tAUDMDS	20	-	t _{cyc}		
AUDMD セットアップ時間 (RAM モニタ時)	tAUDMDS	5	-	t _{RM CYC}		
ブランチトレースクロックサイクル	tBTCYC	2	2	t _{cyc}	図 26.28	
ブランチトレースクロックデューティ	tBTCKW	40	60	%		
ブランチトレースデータ遅延時間	tBTDD	-	11	ns		
ブランチトレースデータホールド時間	tBTDH	-10	-	ns		
ブランチトレース SYNC 遅延時間	tBTSD	-	10	ns		
ブランチトレース SYNC ホールド時間	tBTSH	-10	-	ns		
RAM モニタクロックサイクル	t _{RM CYC}	80	-	ns	図 26.29	
RAM モニタクロック Low パルス幅	t _{RM CKW}	35	-	ns		
RAM モニタ出力データ遅延時間	t _{RM DD}	7	t _{RM CYC} -20	ns		
RAM モニタ出力データホールド時間	t _{RM DH}	5	-	ns		
RAM モニタ入力データセットアップ時間	t _{RM DS}	10	-	ns		
RAM モニタ入力データ ホールド時間	PE3/AUDATA3、 PE4/AUDATA2	t _{RM DH}	15+t _{RM CYC} -t _{RM CKW}	-		ns
	その他の AUDATA 端子		15	-		ns
RAM モニタ SYNC セットアップ時間	t _{RM SS}	10	-	ns		
RAM モニタ SYNC ホールド時間	PA16/AUDSYNC	t _{RM SH}	13+t _{RM CYC} -t _{RM CKW}	-		ns
	その他の AUDSYNC 端子		13	-		ns

負荷条件：AUDCK (出力時) : CL = 30pF
 AUDSYNC : CL = 100pF
 AUDATA3~0 : CL = 100pF

26. 電気的特性

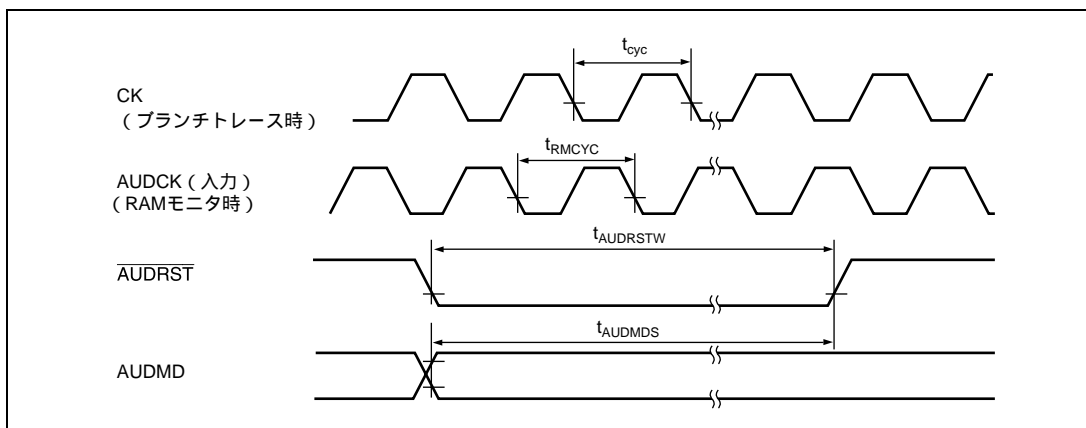


図 26.27 AUD リセットタイミング

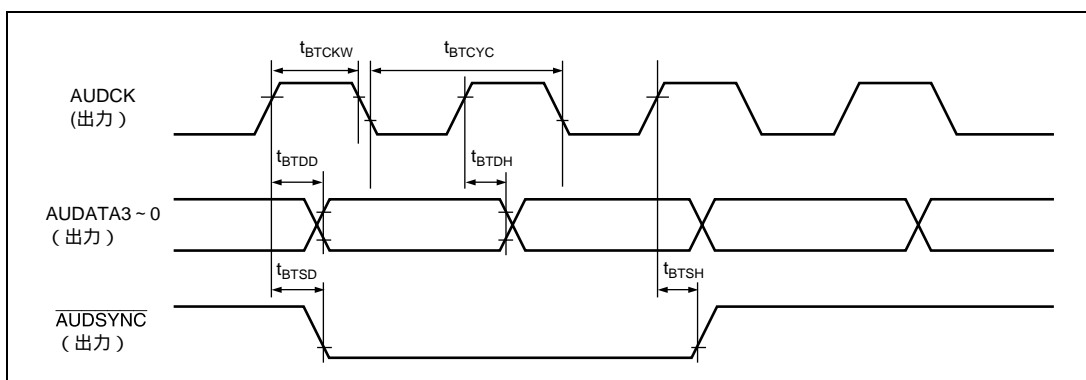


図 26.28 ブランチトレース時タイミング

26.5 フラッシュメモリ特性

表 26.18 にフラッシュメモリ特性を示します。

表 26.18 フラッシュメモリ特性

条件：V_{CC} = PLLV_{CC} = 3.3V±0.3V、AV_{CC} = 3.3V±0.3V、AV_{CC} = V_{CC}±0.3V、AV_{REF} = 3.0 ~ AV_{CC}、V_{SS} = PLLV_{SS} = AV_{SS} = 0V、
Ta = -20 ~ +75°C (標準品^{*6})、Ta = -40 ~ +85°C (広温度範囲品^{*6})、フラッシュメモリの W/E 時は Ta = -20 ~ +75°C

項目	記号	min	typ	max	単位	特記	
書き込み時間 ^{*1*} ^{*2*} ^{*4}	t _P	-	10	200	ms/128バイト		
消去時間 ^{*1*} ^{*3*} ^{*5}	t _E	-	100	1200	ms/ブロック		
書き換え回数	N _{WEC}	100 ^{*7}	10000 ^{*8}	-	回	標準品	
	N _{WEC}	-	-	100	回	広温度範囲品	
データ保持時間	t _{DRP}	10 ^{*9}	-	-	年		
書き込み時	SWE ビットセット後のウェイト時間 ^{*1}	t _{SSWE}	1	1	-	μs	
	PSU ビットセット後のウェイト時間 ^{*1}	t _{SPSU}	50	50	-	μs	
	P ビットセット後のウェイト時間 ^{*1*} ^{*4}	t _{SP0}	28	30	32	μs	書き込み時間 ウェイト
		t _{SP200}	198	200	202	μs	書き込み時間 ウェイト
		t _{SP10}	8	10	12	μs	追加書き込み 時間ウェイト
	P ビットクリア後のウェイト時間 ^{*1}	t _{CP}	5	5	-	μs	
	PSU ビットクリア後のウェイト時間 ^{*1}	t _{CPSU}	5	5	-	μs	
	PV ビットセット後のウェイト時間 ^{*1}	t _{SPV}	4	4	-	μs	
	H'FF ダミーライト後のウェイト時間 ^{*1}	t _{SPVR}	2	2	-	μs	
	PV ビットクリア後のウェイト時間 ^{*1}	t _{CPV}	2	2	-	μs	
	SWE ビットクリア後のウェイト時間 ^{*1}	t _{CSWE}	100	100	-	μs	
	最大書き込み回数 ^{*1*} ^{*4}	N	-	-	1000	回	
消去時	SWE ビットセット後のウェイト時間 ^{*1}	t _{SSWE}	1	1	-	μs	
	ESU ビットセット後のウェイト時間 ^{*1}	t _{SESU}	100	100	-	μs	
	E ビットセット後のウェイト時間 ^{*1*} ^{*5}	t _{SE}	10	10	100	ms	消去時間 ウェイト
	E ビットクリア後のウェイト時間 ^{*1}	t _{CE}	10	10	-	μs	
	ESU ビットクリア後のウェイト時間 ^{*1}	t _{CESU}	10	10	-	μs	
	EV ビットセット後のウェイト時間 ^{*1}	t _{SEV}	20	20	-	μs	
	H'FF ダミーライト後のウェイト時間 ^{*1}	t _{SEVR}	2	2	-	μs	
	EV ビットクリア後のウェイト時間 ^{*1}	t _{CEV}	4	4	-	μs	
	SWE ビットクリア後のウェイト時間 ^{*1}	t _{CSWE}	100	100	-	μs	
最大消去回数 ^{*1*} ^{*5}	N	12	-	120	回		

- 【注】
- *1 各時間の設定は、書き込み/消去のアルゴリズムに従い行ってください。
 - *2 128 バイト単位の書き込み時間(フラッシュメモリコントロールレジスタ(FLMCR1)のPビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。)
 - *3 1ブロックを消去する時間(FLMCR1のEビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。)
 - *4 128 バイト書き込みアルゴリズムにおいて書き込み時間の最大値($t_p(\max)$)を規定するために、最大書き込み回数(N)の値はmax値(1000)を設定してください。
またPビットセット後のウェイト時間は、下記のように書き込み回数カウンタ(n)の回数によって切り替えてください。
書き込み回数カウンタ(n) 1~6回の場合 $t_{sp30} = 30\mu\text{s}$
書き込み回数カウンタ(n) 7~1000回の場合 $t_{sp200} = 200\mu\text{s}$
〔追加書き込み時〕
書き込み回数カウンタ(n) 1~6回の場合 $t_{sp10} = 10\mu\text{s}$
 - *5 消去時間の最大値($t_e(\max)$)に対して、Eビットセット後のウェイト時間(t_{se})と最大消去回数(N)は以下の関係にあります。
 $t_e(\max) = E$ ビットセット後のウェイト時間(t_{se}) × 最大消去回数(N)
消去時間の最大値を規定するために、(t_{se})および(N)の値は上記計算式を満たすように設定してください。
(例) $t_{se} = 100\text{ms}$ の場合、N = 12 回
(例) $t_{se} = 10\text{ms}$ の場合、N = 120 回
 - *6 標準品、広温度範囲品と製品型名との対応については、「付録C. 型名一覧」を参照してください。
 - *7 書き換え後のすべての特性を保障する min 回数です(保障は1~min値の範囲です)。
 - *8 25°Cのときの参考値(通常この値までの書き換えは機能するという目安です)。
 - *9 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

付録

A. 端子状態

MCU 動作モードにより、端子の初期値は異なります。詳しくは「第 17 章 ピンファンクションコントローラ (PFC)」を参照してください。

表 A.1 端子状態 (SH7144)

端子機能		端子状態								
分類	端子名	リセット状態				マニュアル	低消費電力状態		バス権 解放 状態	バス権 解放状態での ソフトウェア スタンバイ
		パワーオン					ソフトウェア スタンバイ	スリープ		
		ROM なし 拡張		ROM あり 拡張	シングル チップ					
		8bit	16bit							
クロック	CK	O		Z	O	H* ¹	O	O	O	
	XTAL	O				O	L	O	L	
	EXTAL	I				I	I	I	I	
	PLLCAP	I				I	I	I	I	
システム 制御	RES	I				I	I	I	I	
	MRES	Z				I	Z	I	Z	
	WDTOVF	O* ²				O	O	O	O	
	BREQ	Z				I	Z	I	I	
	BACK	Z				O	Z	O	L	
動作モード 制御	MD0 ~ MD3	I				I	I	I	I	
	DBGMD	I				I	I	I	I	
	FWP	I				I	I	I	I	
割り込み	NMI	I				I	I	I	I	
	IRQ0 ~ IRQ3	Z				I	Z* ³	I	Z* ³	
	IRQ4 ~ IRQ7	Z				I	Z* ⁴	I	Z* ⁴	
	IRQOUT	Z				O	Z* ⁶ (PPCR の MZONE = 0 のとき) H* ¹ (PPCR の MZONE = 1 のとき)	O	Z* ⁶ (PPCR の MZONE = 0 のとき) H* ¹ (PPCR の MZONE = 1 のとき)	

付録

端子機能		端子状態								
分類	端子名	リセット状態				低消費電力状態			バス種 解放 状態	バス種 解放状態での ソフトウェア スタンバイ
		パワーオン			マニュアル	ソフト ウェア スタンバイ	スリープ			
		ROM なし 拡張		ROM あり チップ 拡張						
		8bit	16bit							
アドレス	A0 - A17	O		Z		O	Z	O	Z	Z
バス	A18 - A21	Z				O	Z	O	Z	Z
データバス	D0 - D15	Z				I/O	Z	I/O	Z	Z
バス制御	WAIT	Z				I	Z	I	Z	Z
	CS0 - CS1	H	Z			O	Z	O	Z	Z
	CS2 - CS3, CS6 - CS7	Z				O	Z	O	Z	Z
	RD	H	Z			O	Z	O	Z	Z
	WRH, WRL	H	Z			O	Z	O	Z	Z
DMAC	DREQ0, DREQ1	Z				I	Z	I	I	Z
	DRAK0, DRAK1	Z				O	O* ¹	O	O	O* ¹
	DACK0, DACK1	Z				O	Z (PPCR の MZONE = 0 のとき) O* ¹ (PPCR の MZONE = 1 のとき)	O	O	Z (PPCR の MZONE = 0 のとき) O* ¹ (PPCR の MZONE = 1 のとき)
MTU	TCLKA - TCLKD	Z				I	Z	I	I	Z
	TIOC0A - TIOC0D	Z				I/O	K* ¹	I/O	I/O	K* ¹
	TIOC1A, TIOC1B									
	TIOC2A, TIOC2B									
	TIOC3A, TIOC3C									
	TIOC3B, TIOC3D	Z				I/O	Z (PPCR の MZONE = 0 のとき) K* ¹ (PPCR の MZONE = 1 のとき)	I/O	I/O	Z (PPCR の MZONE = 0 のとき) K* ¹ (PPCR の MZONE = 1 のとき)
TIOC4A - TIOC4D										
ポート制御	POE0 - POE3	Z				I	Z	I	I	Z

端子機能		端子状態								
分類	端子名	リセット状態				低消費電力状態			バス種 解放 状態	バス種 解放状態での ソフトウェア スタンバイ
		パワーオン			マニュアル	ソフト ウェア スタンバイ	スリープ			
		ROM なし 拡張		ROM あり 拡張				シングル チップ		
		8bit	16bit							
SCI	SCK0 - SCK2, SCK3(PE6) SCK3(PE9)	Z			I/O	Z	I/O	I/O	Z	
	RXD0 - RXD2, RXD3(PE4) RXD3(PE11)	Z			I	Z	I	I	Z	
	TXD0 - TXD2, TXD3(PE5)	Z			O	O ^{*1}	O	O	O ^{*1}	
	TXD3(PE12)	Z			O	Z ^{*6} (PPCR の MZONE = 0 のとき) O ^{*1} (PPCR の MZONE = 1 のとき)	O	O	Z ^{*6} (PPCR の MZONE = 0 のとき) O ^{*1} (PPCR の MZONE = 1 のとき)	
A/D 変換器	AN0 - AN7	Z			I	Z	I	I	Z	
	ADTRG	Z			I	Z	I	I	Z	
I ² C	SCL0	Z			I/O	Z	I/O	I/O	Z	
	SDA0	Z			I/O	Z	I/O	I/O	Z	
I/O ポート	PA0 - PA15	Z			I/O	K ^{*1}	I/O	I/O	K ^{*1}	
	PB0 - PB9									
	PC0 - PC15									
	PD0 - PD15									
	PE0 - PE8, PE10									
	PE9, PE11 - PE15	Z			I/O	Z (PPCR の MZONE = 0 のとき) K ^{*1} (PPCR の MZONE = 1 のとき)	I/O	I/O	Z (PPCR の MZONE = 0 のとき) K ^{*1} (PPCR の MZONE = 1 のとき)	
PF0 - PF7	Z			I	Z	I	I	Z		

【記号説明】

I: 入力

O: 出力

H: ハイレベル出力

L: ローレベル出力

Z: ハイインピーダンス

K: 入力端子はハイインピーダンス、出力端子は状態保持

表 A.2 端子状態 (SH7145)

端子機能		端子状態								
分類	端子名	リセット状態				低消費電力状態		バス権 解放 状態	バス権 解放状態での ソフトウェア スタンバイ	
		パワーオン			マニュアル	ソフト ウェア スタンバイ	スリープ			
		ROM なし 拡張		ROM あり 拡張						シングル チップ
		16bit	32bit							
クロック	CK	O		Z	O	H* ¹	O	O	O	
	XTAL	O			O	L	O	O	L	
	EXTAL	I			I	I	I	I	I	
	PLLCAP	I			I	I	I	I	I	
システム 制御	RES	I			I	I	I	I	I	
	MRRES	Z			I	Z	I	I	Z	
	WDTOVF	O* ²			O	O	O	O	O	
	BREQ	Z			I	Z	I	I	I	
	BACK	Z			O	Z	O	L	L	
動作モード 制御	MD0 ~ MD3	I			I	I	I	I	I	
	DBGMD	I			I	I	I	I	I	
	FWP	I			I	I	I	I	I	
割り込み	NMI	I			I	I	I	I	I	
	IRQ0 ~ IRQ3	Z			I	Z* ³	I	I	Z* ³	
	IRQ4 ~ IRQ7	Z			I	Z* ⁴	I	I	Z* ⁴	
	IRQOUT(PD30)	Z			O	H* ¹	O	O	H* ¹	
	IRQOUT(PE15)	Z			O	Z* ⁶ (PPCR の MZONE = 0 のとき) H* ¹ (PPCR の MZONE = 1 のとき)	O	O	Z* ⁶ (PPCR の MZONE = 0 のとき) H* ¹ (PPCR の MZONE = 1 のとき)	
アドレス バス	A0 ~ A17	O	Z		O	Z	O	Z	Z	
	A18 ~ A21	Z			O	Z	O	Z	Z	
データバス	D0 ~ D31	Z			I/O	Z	I/O	Z	Z	

付録

端子機能		端子状態									
分類	端子名	リセット状態				マニュアル	低消費電力状態		バス種 解放 状態	バス種 解放状態での ソフトウェア スタンバイ	
		パワーオン			ROM あり 拡張		シングル チップ	ソフト ウェア スタンバイ			スリープ
		ROM なし 拡張		ROM あり 拡張							
		16bit	32bit								
バス制御	WAIT	Z				I	Z	I	Z	Z	
	CS0 - CS1	H		Z		O	Z	O	Z	Z	
	CS2 - CS7	Z				O	Z	O	Z	Z	
	RD	H		Z		O	Z	O	Z	Z	
	WRH, WRL	H		Z		O	Z	O	Z	Z	
	WRHH, WRHL	Z	H	Z		O	Z	O	Z	Z	
DMAC	DREQ0, DREQ1	Z				I	Z	I	I	Z	
	DRAK0, DRAK1	Z				O	O* ¹	O	O	O* ¹	
	DACK0(PD26), DACK1(PD27)	Z				O	O* ^{1*5}	O	O	O* ^{1*5}	
	DACK0(PE14), DACK1(PE15)	Z				O	Z (PPCR の MZONE = 0 のとき) O* ¹ (PPCR の MZONE = 1 のとき)	O	O	Z (PPCR の MZONE = 0 のとき) O* ¹ (PPCR の MZONE = 1 のとき)	
MTU	TCLKA - TCLKD	Z				I	Z	I	I	Z	
	TIOC0A - TIOC0D	Z				I/O	K* ¹	I/O	I/O	K* ¹	
	TIOC1A, TIOC1B										
	TIOC2A, TIOC2B										
	TIOC3A, TIOC3C										
	TIOC3B, TIOC3D	Z				I/O	Z (PPCR の MZONE = 0 のとき) K* ¹ (PPCR の MZONE = 1 のとき)	I/O	I/O	Z (PPCR の MZONE = 0 のとき) K* ¹ (PPCR の MZONE = 1 のとき)	
	TIOC4A - TIOC4D										
ポート制御	POE0 - POE3	Z				I	Z	I	I	Z	

端子機能		端子状態								
分類	端子名	リセット状態				マニュアル	低消費電力状態		バス種 解放 状態	バス種 解放状態での ソフトウェア スタンバイ
		パワーオン			シングル チップ		ソフト ウェア スタンバイ	スリープ		
		ROM なし 拡張		ROM あり 拡張						
		16bit	32bit							
SCI	SCK0 - SCK2, SCK3(PE6) SCK3(PE9)	Z			I/O	Z	I/O	I/O	Z	
	RXD0 - RXD2, RXD3(PE4) RXD3(PE11)	Z			I	Z	I	I	Z	
	TXD0 - TXD2, TXD3(PE5)	Z			O	O* ¹	O	O	O* ¹	
	TXD3(PE12)	Z			O	Z* ⁶ (PPCR の MZONE = 0 のとき) O* ¹ (PPCR の MZONE = 1 のとき)	O	O	Z* ⁶ (PPCR の MZONE = 0 のとき) O* ¹ (PPCR の MZONE = 1 のとき)	
A/D 変換器	AN0 - AN7	Z			I	Z	I	I	Z	
	ADTRG	Z			I	Z	I	I	Z	
I ² C	SCL0	Z			I/O	Z	I/O	I/O	Z	
	SDA0	Z			I/O	Z	I/O	I/O	Z	
I/O ポート	PA0 - PA23	Z			I/O	K* ¹	I/O	I/O	K* ¹	
	PB0 - PB9									
	PC0 - PC15									
	PD0 - PD31									
	PE0 - PE8, PE10									
	PE9, PE11 - PE15	Z			I/O	Z (PPCR の MZONE = 0 のとき) K* ¹ (PPCR の MZONE = 1 のとき)	I/O	I/O	Z (PPCR の MZONE = 0 のとき) K* ¹ (PPCR の MZONE = 1 のとき)	
	PF0 - PF7	Z			I	Z	I	I	Z	

【記号説明】

I: 入力

O: 出力

H: ハイレベル出力

L: ローレベル出力

Z: ハイインピーダンス

K: 入力端子はハイインピーダンス、出力端子は状態保持

表 A.3 端子状態

端子機能		端子状態						
分類	端子名	リセット状態				低消費電力状態		何も接続していない
		パワーオン (DBGMD=L時)	パワーオン (DBGMD=H時)	マニュアル	テストリセット	ソフトウェア スタンバイ	スリープ	
H-UDI	TMS	Z	I	I	I	I	I	禁止
	$\overline{\text{TRST}}$	Z	I	I	I	I	I	禁止
	TDI	Z	I	I	I	I	I	禁止
	TDO	Z	O/Z	O/Z	Z	O/Z	O/Z	O/Z
	TCK	Z	I	I	I	I	I	禁止

表 A.4 端子状態

端子機能		端子状態						
分類	端子名	リセット状態			低消費電力状態			何も接続 していない
		パワー オン	マニュアル	AUD リセット	ソフトウェア スタンバイ	スリープ	AUD モジュール スタンバイ	
AUD	AUDRST	Z	H 入力	L 入力	H 入力	H 入力	Z	禁止
	AUDMD	Z	I	I	I	I	Z	禁止
	AUDATA0 ~ AUDATA3	Z	AUDMD=H 時:I/O AUDMD=L 時:O	AUDMD=H 時:I AUDMD=L 時:H	AUDMD=H 時:I/O AUDMD=L 時:O	AUDMD=H 時:I/O AUDMD=L 時:O	Z	禁止
	AUDCK	Z	AUDMD=H 時:I AUDMD=L 時:O	AUDMD=H 時:I AUDMD=L 時:H	AUDMD=H 時:I AUDMD=L 時:O	AUDMD=H 時:I AUDMD=L 時:O	Z	禁止
	AUDSYNC	Z	AUDMD=H 時:I AUDMD=L 時:O	AUDMD=H 時:I AUDMD=L 時:H	AUDMD=H 時:I AUDMD=L 時:O	AUDMD=H 時:I AUDMD=L 時:O	Z	禁止

表 A.5 端子状態

端子機能		端子状態				
分類	端子名	リセット状態			低消費電力状態	
		パワーオン (DBGMD=L 時)	パワーオン (DBGMD=H 時)	マニュアル	ソフトウェア スタンバイ	スリープ
動作モード制御	ASEBRKAK	Z	O	O	O	O

【記号説明】

I: 入力

O: 出力

H: ハイレベル出力

L: ローレベル出力

Z: ハイインピーダンス

K: 入力端子はハイインピーダンス、出力端子は状態保持

- 【注】 *1 SBYCR の Hi-Z ビットを 1 にすると、出力端子はハイインピーダンスになります。
- *2 パワーオンリセット中は入力になります。誤動作防止のためプルアップしてください。また、プルダウンが必要な場合は、1MΩ以上の抵抗値でプルダウンしてください。
- *3 SBYCR の IRQEL ビットを 0 にすると、端子は入力になります。
- *4 SBYCR の IRQEH ビットを 0 にすると、端子は入力になります。
- *5 エミュレータでは、ハイインピーダンスになります。
- *6 エミュレータでは、SBYCR の Hi-Z ビットを 0 にすると出力になります。

B. バス関連信号の端子状態

表 B.1 バス関連信号の端子状態 (1)

端子名		内蔵 ROM 空間	内蔵 RAM 空間	内蔵周辺モジュール			
				8 ビット空間	16 ビット空間		
					上位バイト	下位バイト	ワード/ ロングワード
CS0 ~ CS7		H	H	H	H	H	H
RD	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
WRHH	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
WRHL	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
WRH	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
WRL	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
A21 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D23 ~ D16		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D15 ~ D8		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D7 ~ D0		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスしたエリアに対応するチップセレクト信号 = L、それ以外のチップセレクト信号 = H

表 B.1 バス関連信号の端子状態 (2)

端子名		外部通常空間			
		8ビット空間	16ビット空間		
			上位バイト	下位バイト	ワード/ロングワード
CS0 ~ CS7		有効	有効	有効	有効
RD	R	L	L	L	L
	W	H	H	H	H
WRHH	R	H	H	H	H
	W	H	H	H	H
WRHL	R	H	H	H	H
	W	H	H	H	H
WRH	R	H	H	H	H
	W	H	L	H	L
WRL	R	H	H	H	H
	W	L	H	L	L
A21 ~ A0		アドレス	アドレス	アドレス	アドレス
D31 ~ D24		Hi-Z	Hi-Z	Hi-Z	Hi-Z
D23 ~ D16		Hi-Z	Hi-Z	Hi-Z	Hi-Z
D15 ~ D8		Hi-Z	データ	Hi-Z	データ
D7 ~ D0		データ	Hi-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスしたエリアに対応するチップセレクト信号=L、それ以外のチップセレクト信号=H

表 B.1 バス関連信号の端子状態 (3)

端子名		外部通常空間						
		32 ビット空間						
		最上位バイト	2 バイト目	3 バイト目	最下位バイト	上位ワード	下位ワード	ロングワード
CS0 ~ CS7		有効	有効	有効	有効	有効	有効	有効
RD	R	L	L	L	L	L	L	L
	W	H	H	H	H	H	H	H
WRHH	R	H	H	H	H	H	H	H
	W	L	H	H	H	L	H	L
WRHL	R	H	H	H	H	H	H	H
	W	H	L	H	H	L	H	L
WRH	R	H	H	H	H	H	H	H
	W	H	H	L	H	H	L	L
WRL	R	H	H	H	H	H	H	H
	W	H	H	H	L	H	L	L
A21 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D31 ~ D24		データ	Hi-Z	Hi-Z	Hi-Z	データ	Hi-Z	データ
D23 ~ D16		Hi-Z	データ	Hi-Z	Hi-Z	データ	Hi-Z	データ
D15 ~ D8		Hi-Z	Hi-Z	データ	Hi-Z	Hi-Z	データ	データ
D7 ~ D0		Hi-Z	Hi-Z	Hi-Z	データ	Hi-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスしたエリアに対応するチップセレクト信号=L、それ以外のチップセレクト信号=H

C. 型名一覧

製品分類			製品型名	パッケージ (パッケージコード)
SH7144	フラッシュメモリ版	標準品	HD64F7144F50	QFP-112 (FP-112B)
		広温度範囲品	HD64F7144FW50	
	マスク ROM 版	標準品	HD6437144F50	
		広温度範囲品	HD6437144FW50	
		ℓ°C バスインタフェース 機能品	HD6437144WF50	
		ℓ°C バスインタフェース 機能 / 広温度範囲品	HD6437144WFW50	
	ROM レス版	標準品	HD6417144F50	
		広温度範囲品	HD6417144FW50	
SH7145	フラッシュメモリ版	標準品	HD64F7145F50	LQFP-144 (FP-144F)
		広温度範囲品	HD64F7145FW50	
	マスク ROM 版	標準品	HD6437145F50	
		広温度範囲品	HD6437145FW50	
		ℓ°C バスインタフェース 機能品	HD6437145WF50	
		ℓ°C バスインタフェース 機能 / 広温度範囲品	HD6437145WFW50	
	ROM レス版	標準品	HD6417145F50	
		広温度範囲品	HD6417145FW50	

D. I/O ポートブロック図

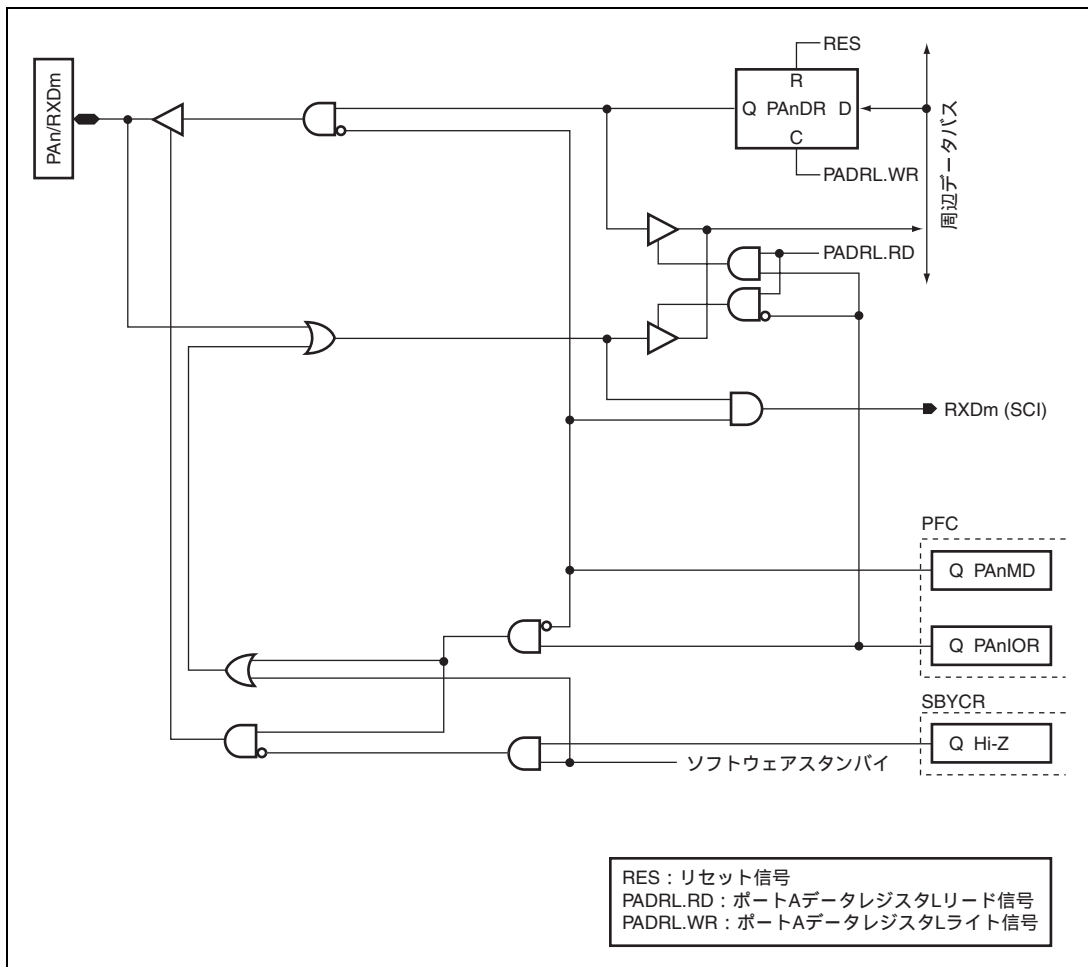


図 D.1 PA0/RXDm

対象端子	図中の表記		対象製品			
	PAn	RXDm	SH7144		SH7145	
			F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA0/RXD0	PA0	RXD0 (SCI)				
PA3/RXD1	PA3	RXD1 (SCI)				

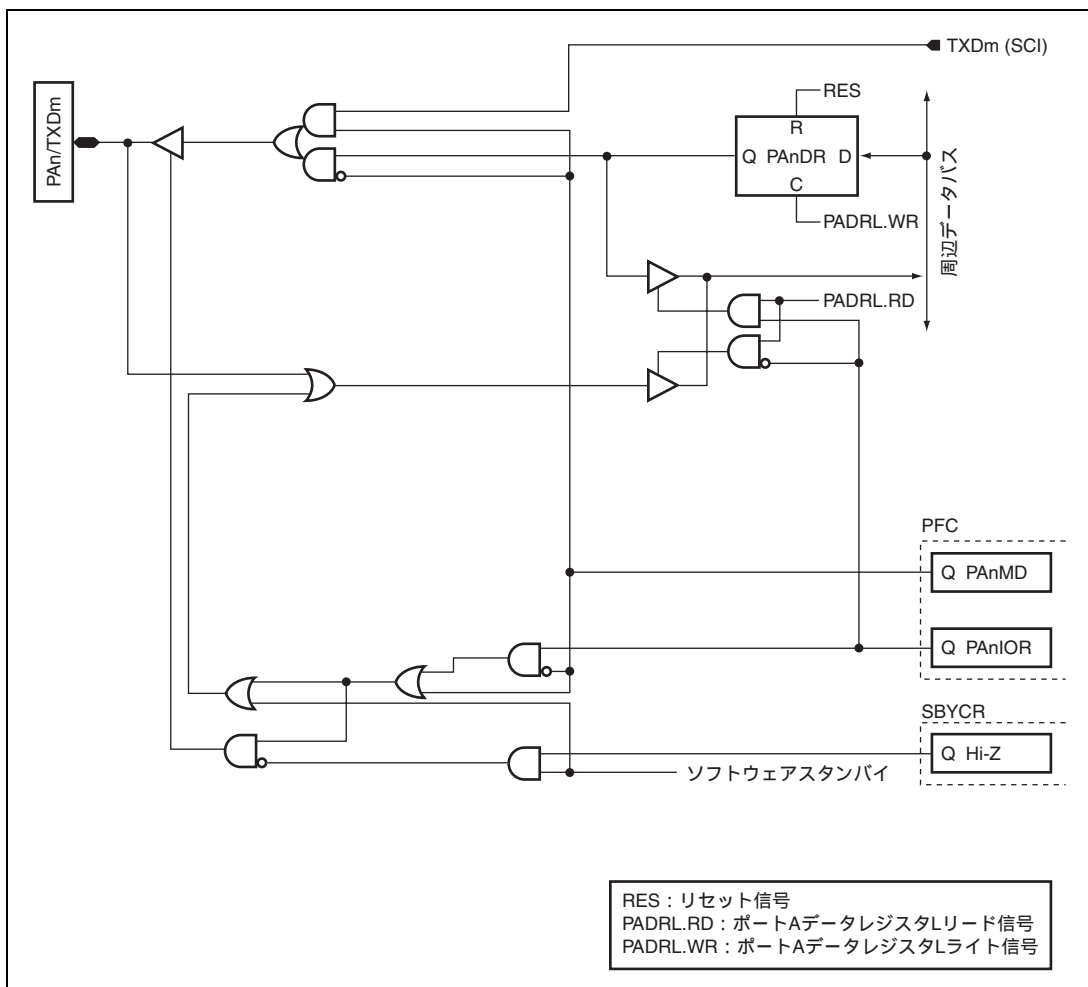


図 D.2 PAn/TXDm

対象端子	図中の表記		対象製品			
	PAn	TXDm	SH7144		SH7145	
			F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA1/TXD0	PA1	TXD0 (SCI)				
PA4/TXD1	PA4	TXD1 (SCI)				

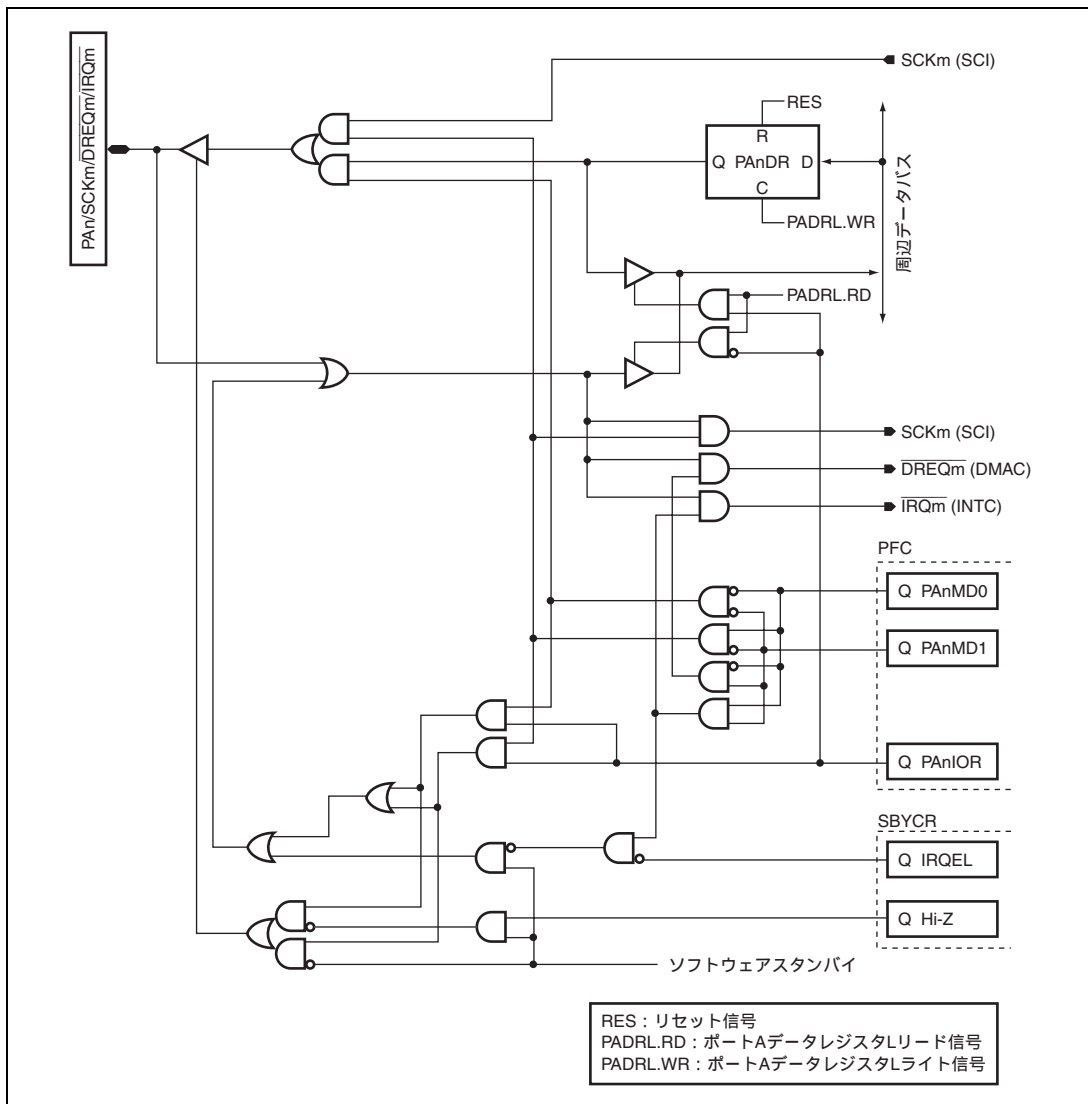


図 D.3 PA n/SCK m/DREQ m/IRQ m

対象端子	図中の表記				対象製品			
	PAn	SCKm	DREQm	IRQm	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA2/SCK0/DREQ0/IRQ0	PA2	SCK0 (SCI)	DREQ0 (DMAC)	IRQ0 (INTC)				
PA5/SCK1/DREQ1/IRQ1	PA5	SCK1 (SCI)	DREQ1 (DMAC)	IRQ1 (INTC)				

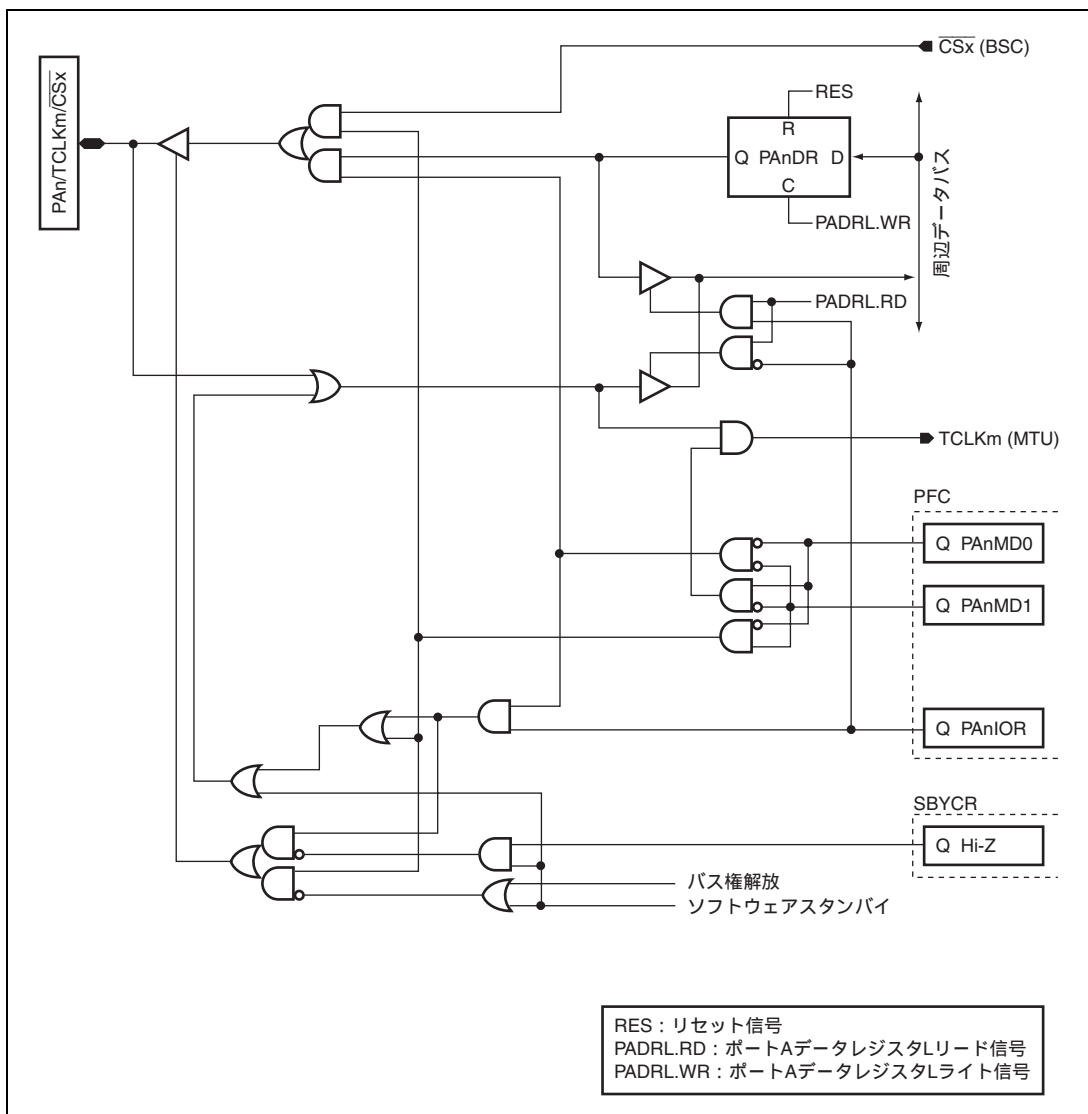


図 D.4 PAn/TCLKm/CSx

対象端子	図中の表記			対象製品			
	PAn	TCLKm	CSx	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA6/TCLKA/CS2	PA6	TCLKA (MTU)	CS2 (BSC)				
PA7/TCLKB/CS3	PA7	TCLKB (MTU)	CS3 (BSC)				

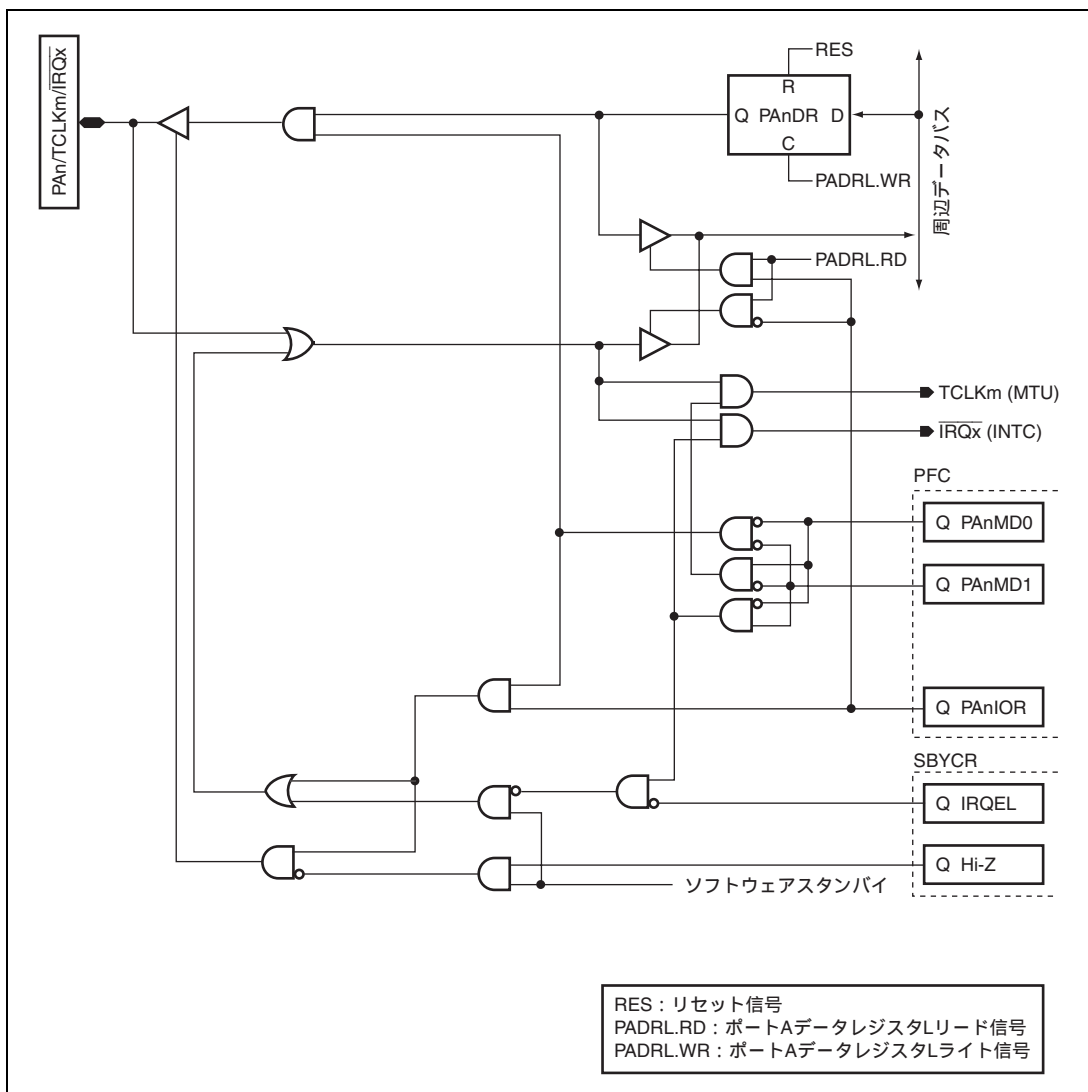


図 D.5 PAn/TCLKm/IRQx

対象端子	図中の表記			対象製品			
	PAn	TCLKm	IRQx	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA8/TCLKC/IRQ2	PA8	TCLKC (MTU)	IRQ2 (INTC)				
PA9/TCLKD/IRQ3	PA9	TCLKD (MTU)	IRQ3 (INTC)				

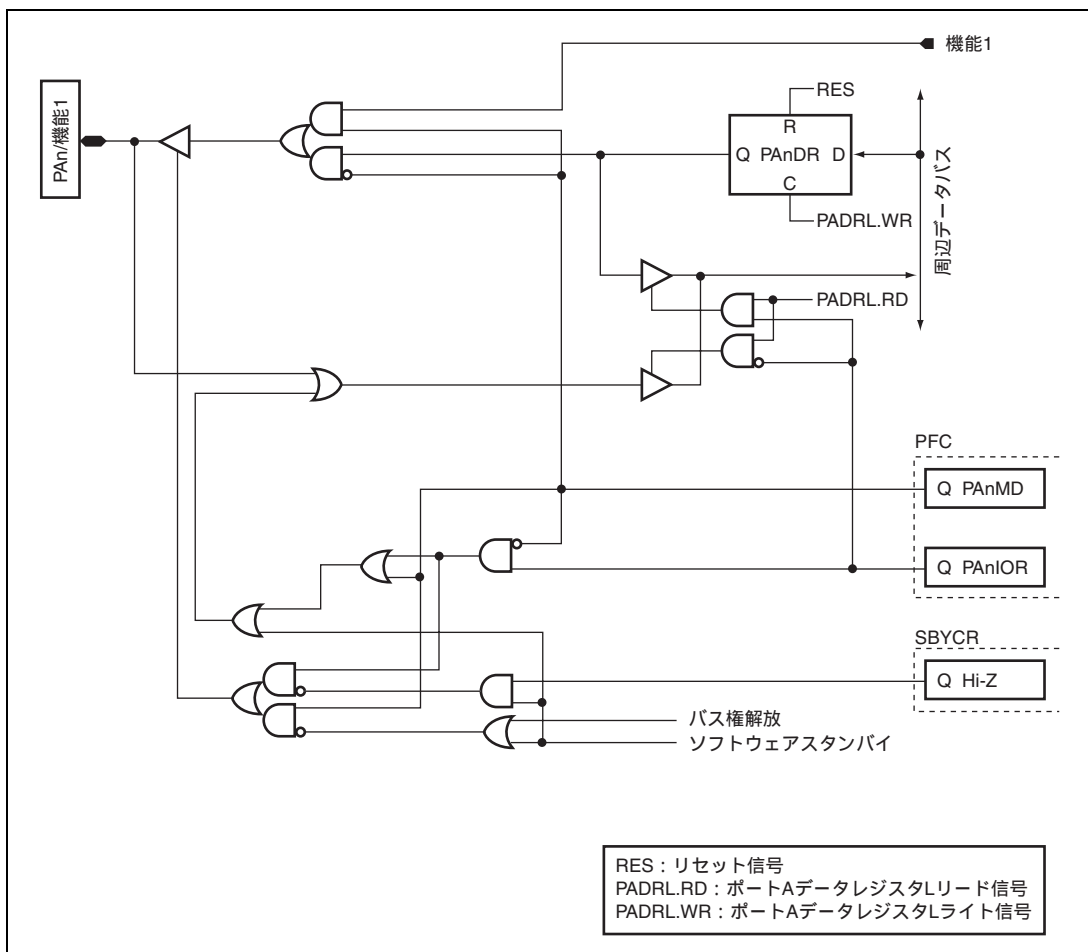


図 D.6 PAn/機能 1

対象端子	図中の表記		対象製品			
	PAn	機能 1	SH7144		SH7145	
			F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA10/ $\overline{CS0}$	PA10	$\overline{CS0}$ (BSC)				
PA11/ $\overline{CS1}$	PA11	$\overline{CS1}$ (BSC)				
PA12/ \overline{WRL}	PA12	\overline{WRL} (BSC)				
PA13/ \overline{WRH}	PA13	\overline{WRH} (BSC)				
PA14/ \overline{RD}	PA14	\overline{RD} (BSC)				

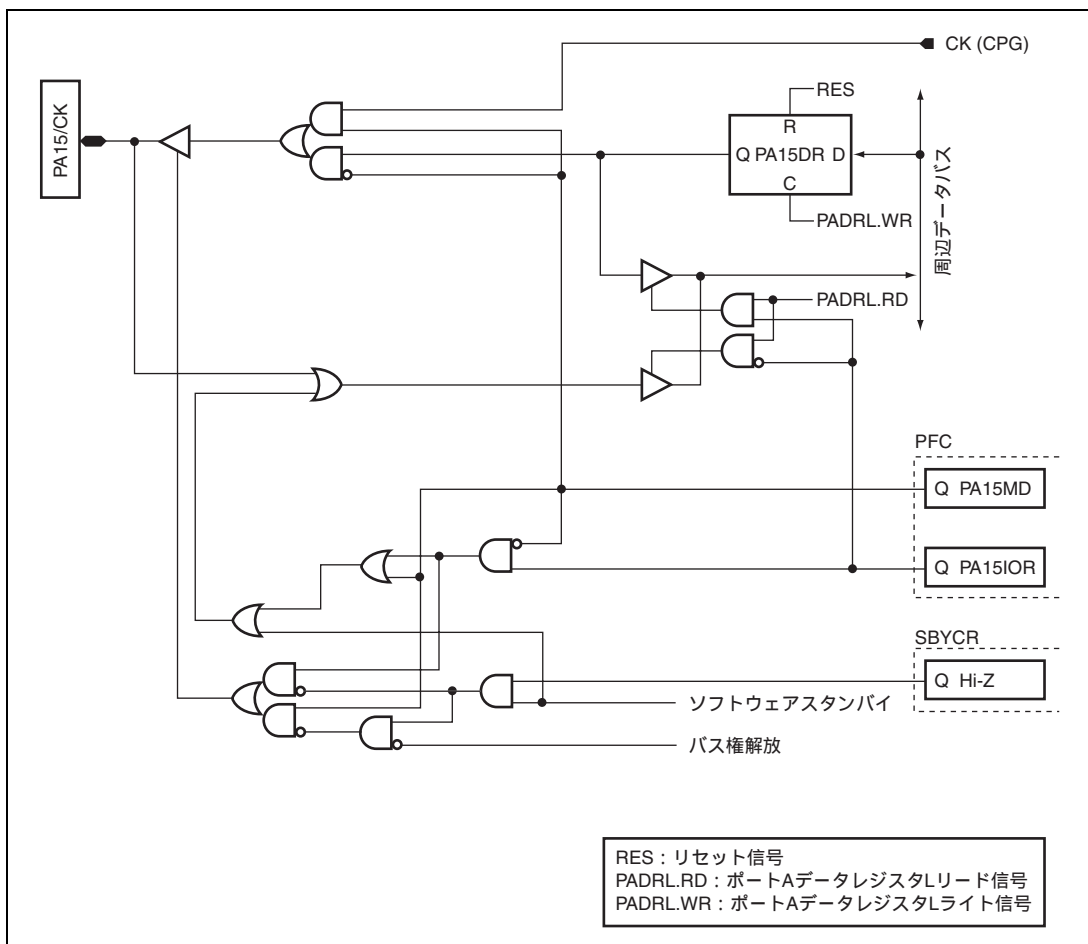


図 D.7 PA15/CK

対象端子	図中の表記		対象製品			
	PA15	CK	SH7144		SH7145	
			F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA15/CK	PA15	CK (CPG)				

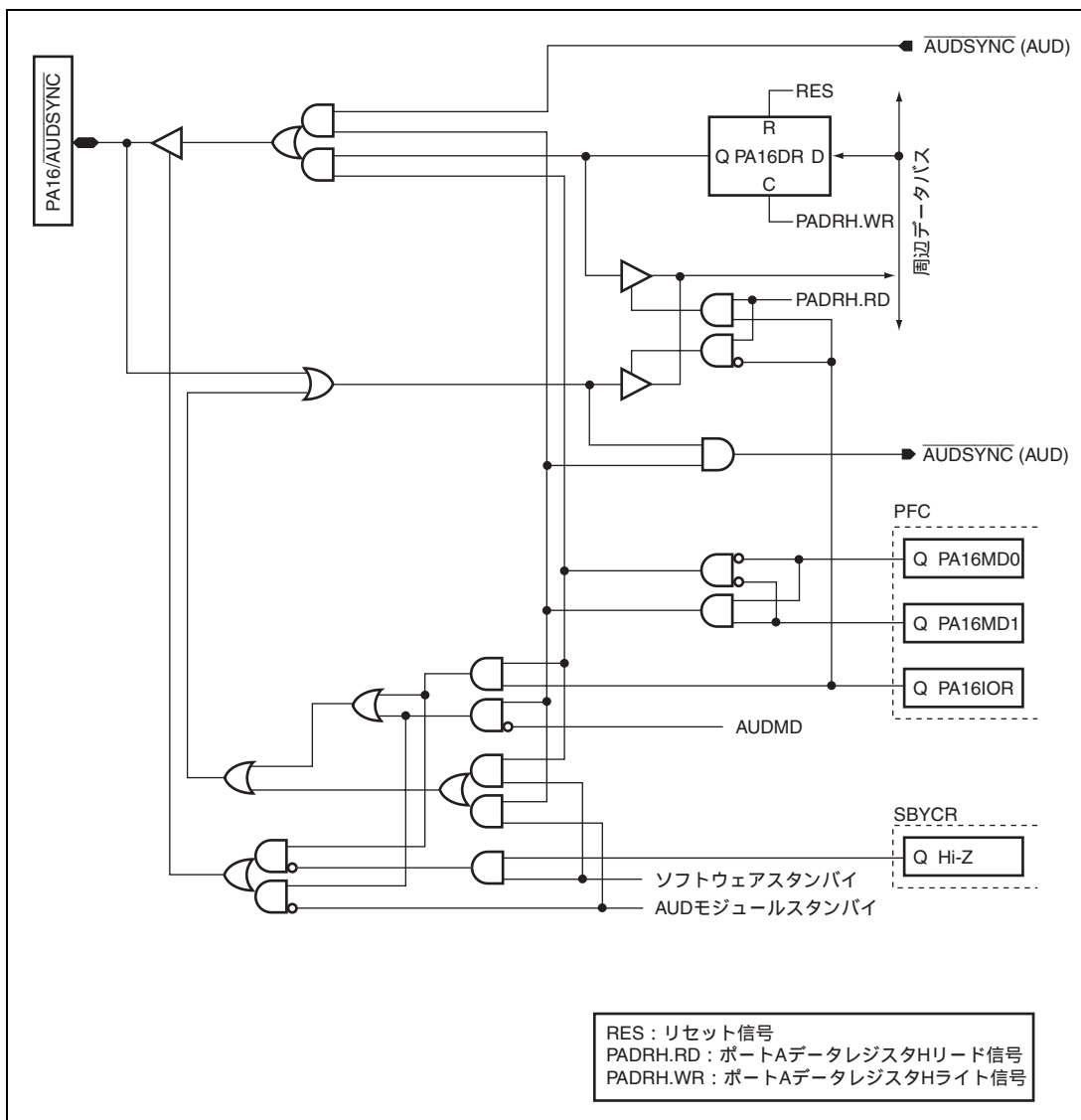


図 D.8 PA16/AUDSYNC

対象端子	図中の表記		対象製品			
	PA16	AUDSYNC	SH7144		SH7145	
			F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA16/AUDSYNC	PA16	AUDSYNC (AUD)				

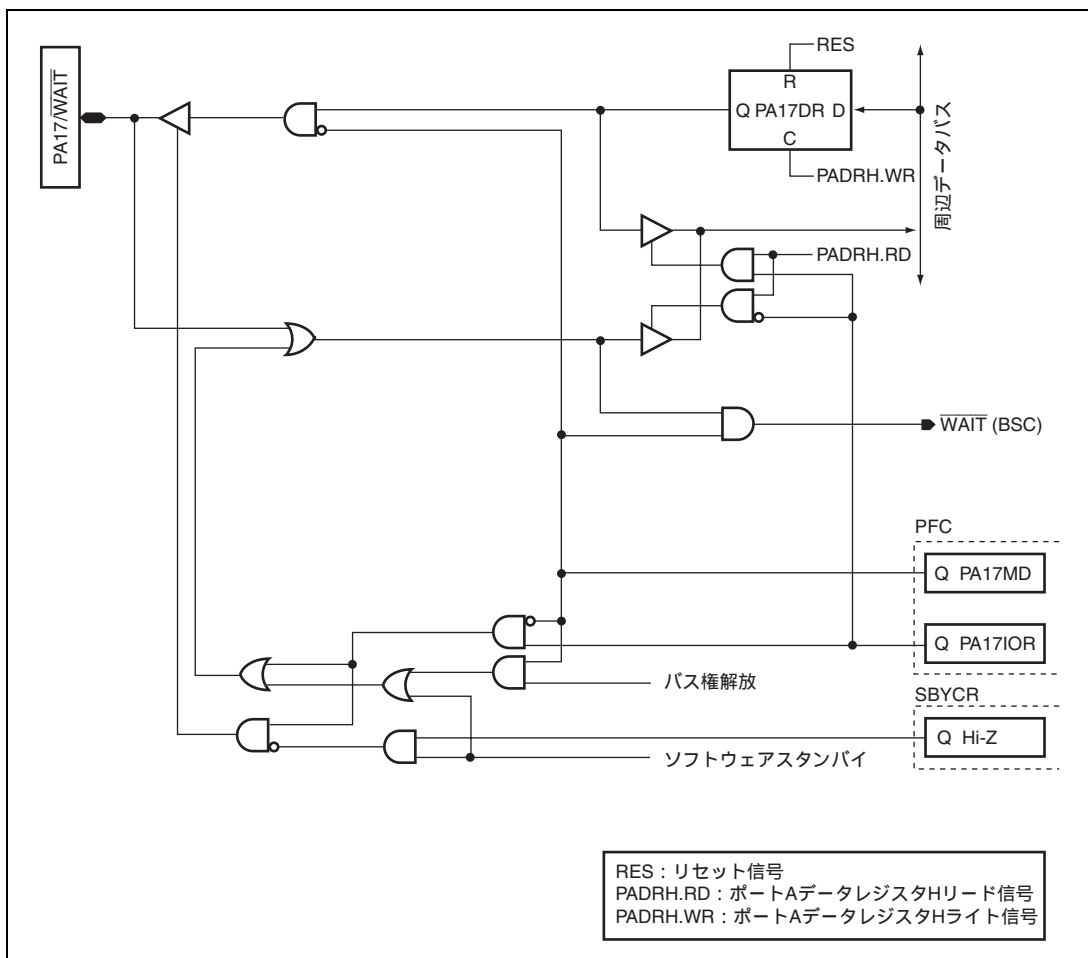


図 D.9 PA17/WAIT

対象端子	図中の表記		対象製品			
	PA17	WAIT	SH7144		SH7145	
			F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA17/WAIT	PA17	WAIT (BSC)				

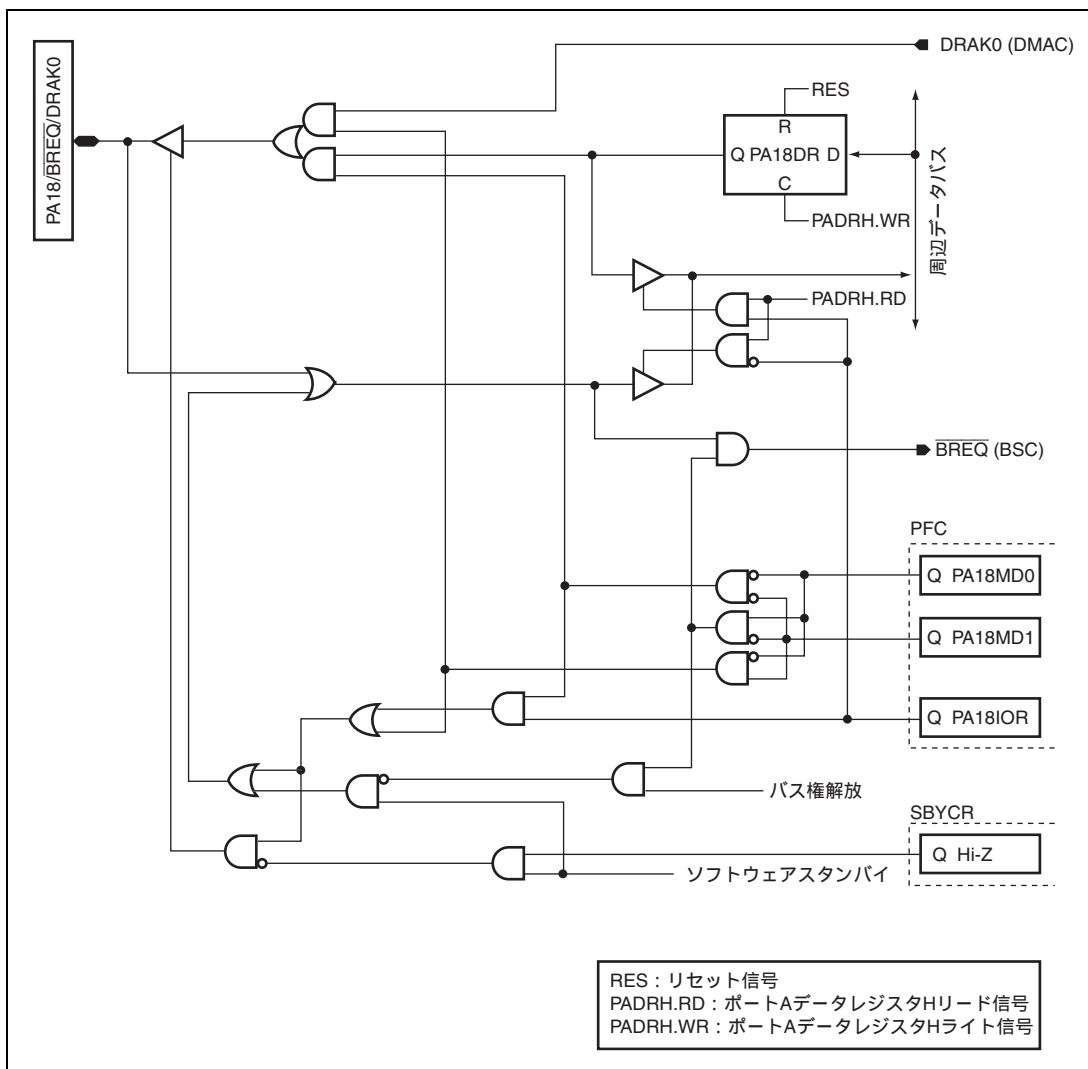


図 D.10 PA18/BREQ/DRAK0

対象端子	図中の表記			対象製品			
	PA18	BREQ	DRAK0	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA18/BREQ/DRAK0	PA18	BREQ (BSC)	DRAK0(DMAC)				

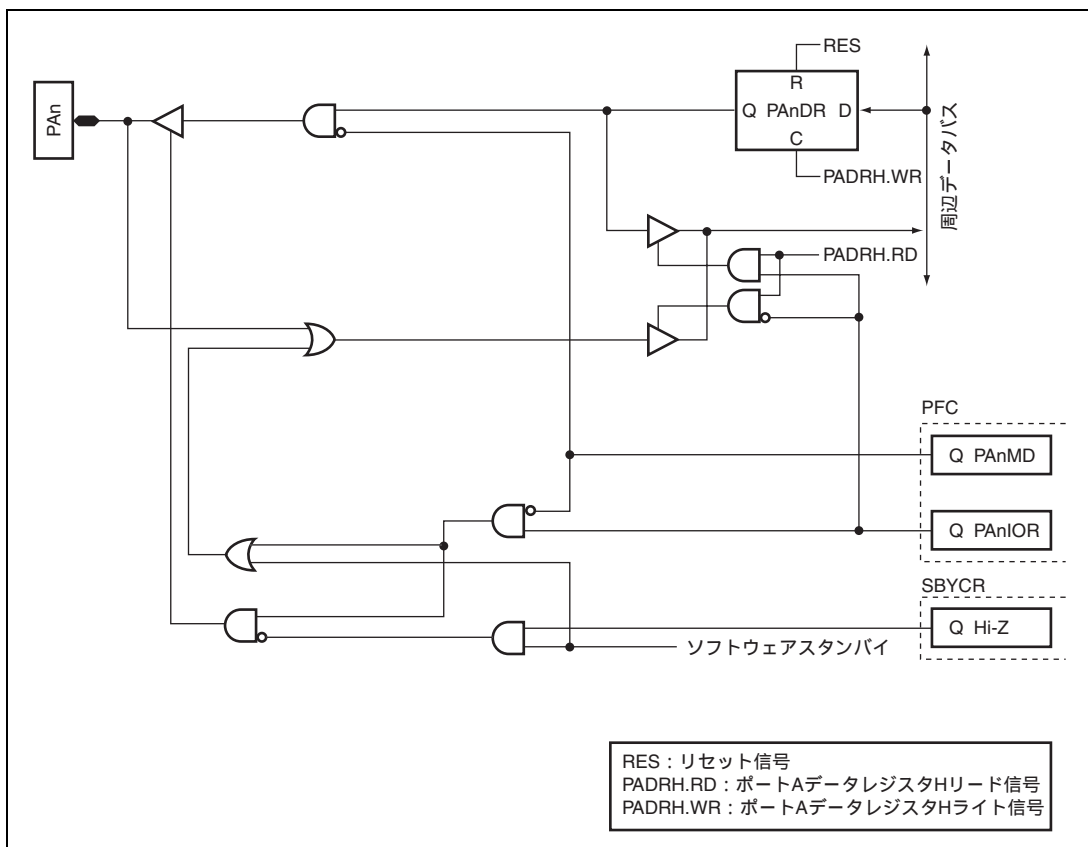


図 D.12 PAn

対象端子	図中の表記		対象製品			
	PAn	PAnMD	SH7144		SH7145	
			F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA16	PA16	PA16MD0				
PA20	PA20	PA20MD				
PA21	PA21	PA21MD				

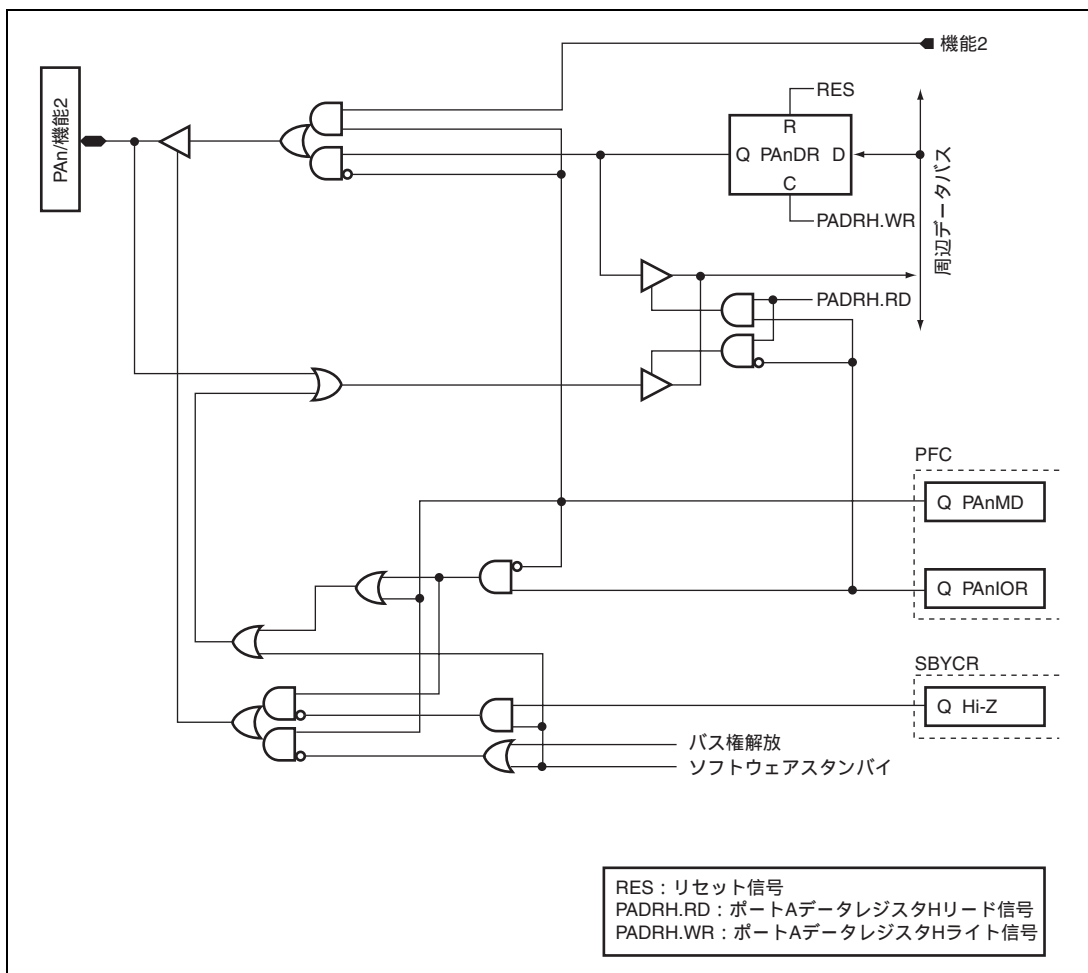


図 D.13 PAn/機能 2

対象端子	図中の表記		対象製品			
	PAn	機能 2	SH7144		SH7145	
			F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PA20/ $\overline{CS4}$	PA20	$\overline{CS4}$ (BSC)				
PA21/ $\overline{CS5}$	PA21	$\overline{CS5}$ (BSC)				
PA22/ \overline{WRHL}	PA22	\overline{WRHL} (BSC)				
PA23/ \overline{WRHH}	PA23	\overline{WRHH} (BSC)				

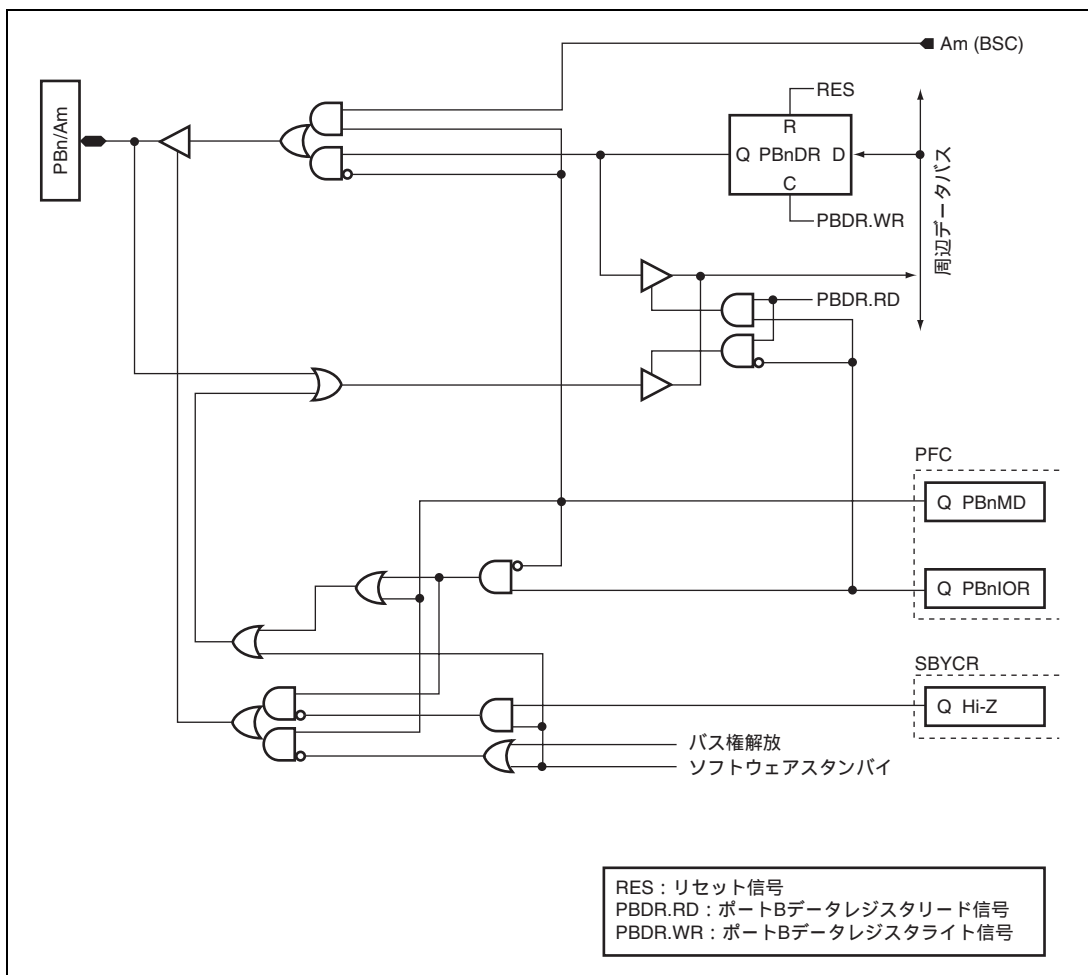


図 D.14 PBn/Am

対象端子	図中の表記		対象製品			
	PBn	Am	SH7144		SH7145	
			F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PB0/A16	PB0	A16 (BSC)				
PB1/A17	PB1	A17 (BSC)				

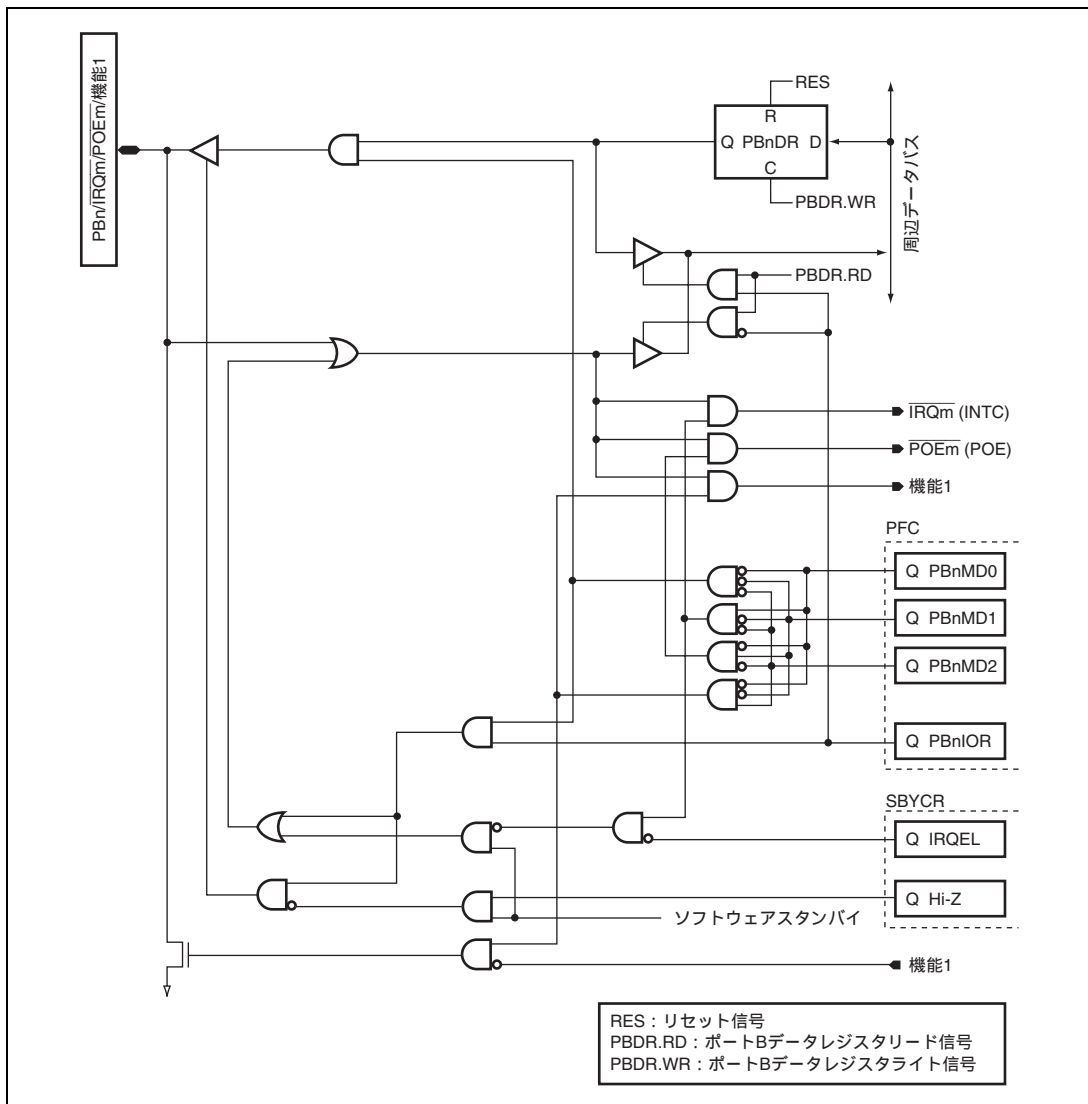


図 D.15 PBn/IRQm/POEm/機能 1

対象端子	図中の表記				対象製品			
	PBn	IRQm	POEm	機能 1	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PB2/IRQ0/POE0/SCL0	PB2	IRQ0 (INTC)	POE0 (POE)	SCL0 (IIC)				
PB3/IRQ1/POE1/SDA0	PB3	IRQ1 (INTC)	POE1 (POE)	SDA0 (IIC)				

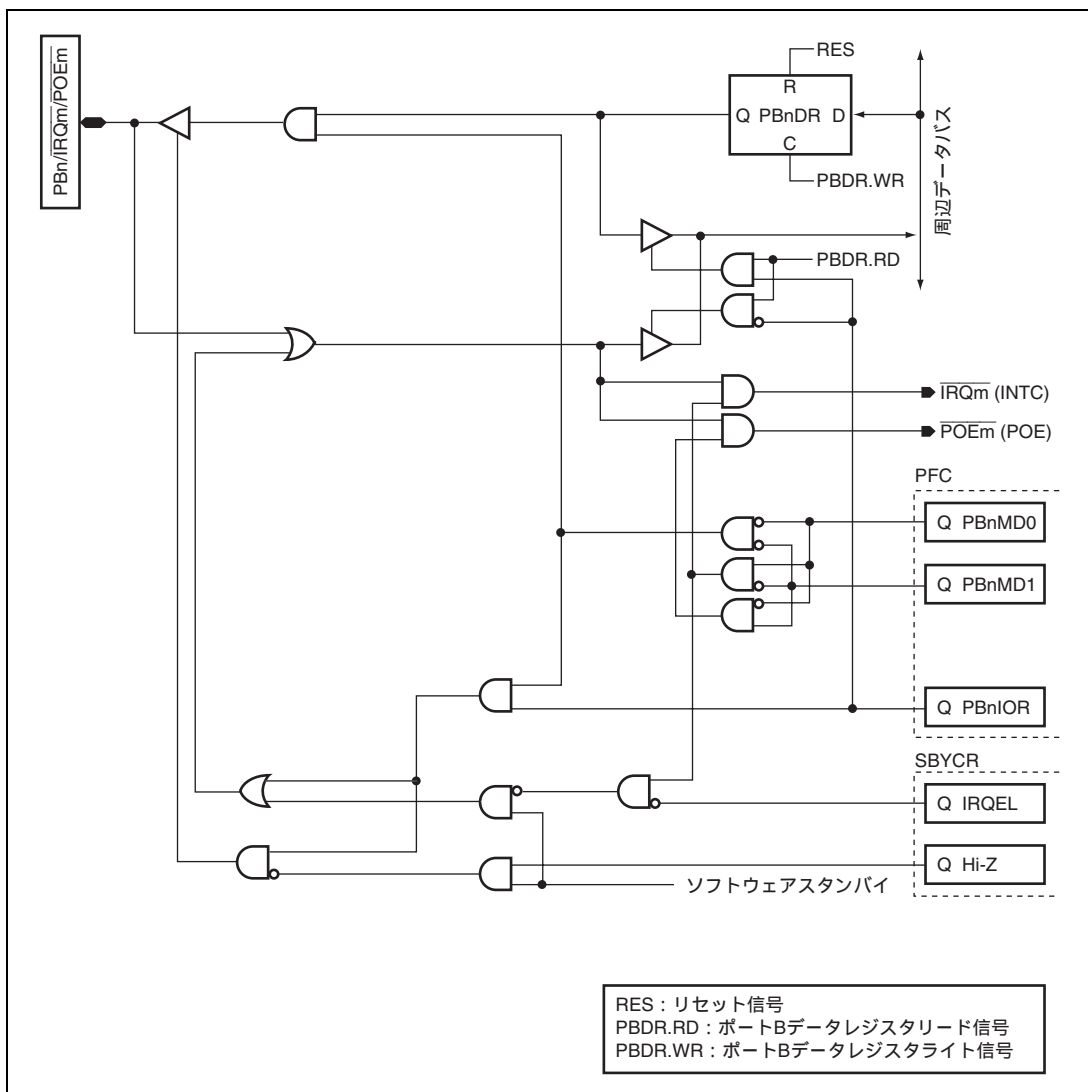


図 D.16 PBn/IRQm/POEm

対象端子	図中の表記			対象製品			
	PBn	IRQm	POEm	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PB4/IRQ2/POE2	PB4	IRQ2 (INTC)	POE2 (POE)		-		-
PB5/IRQ3/POE3	PB5	IRQ3 (INTC)	POE3 (POE)		-		-

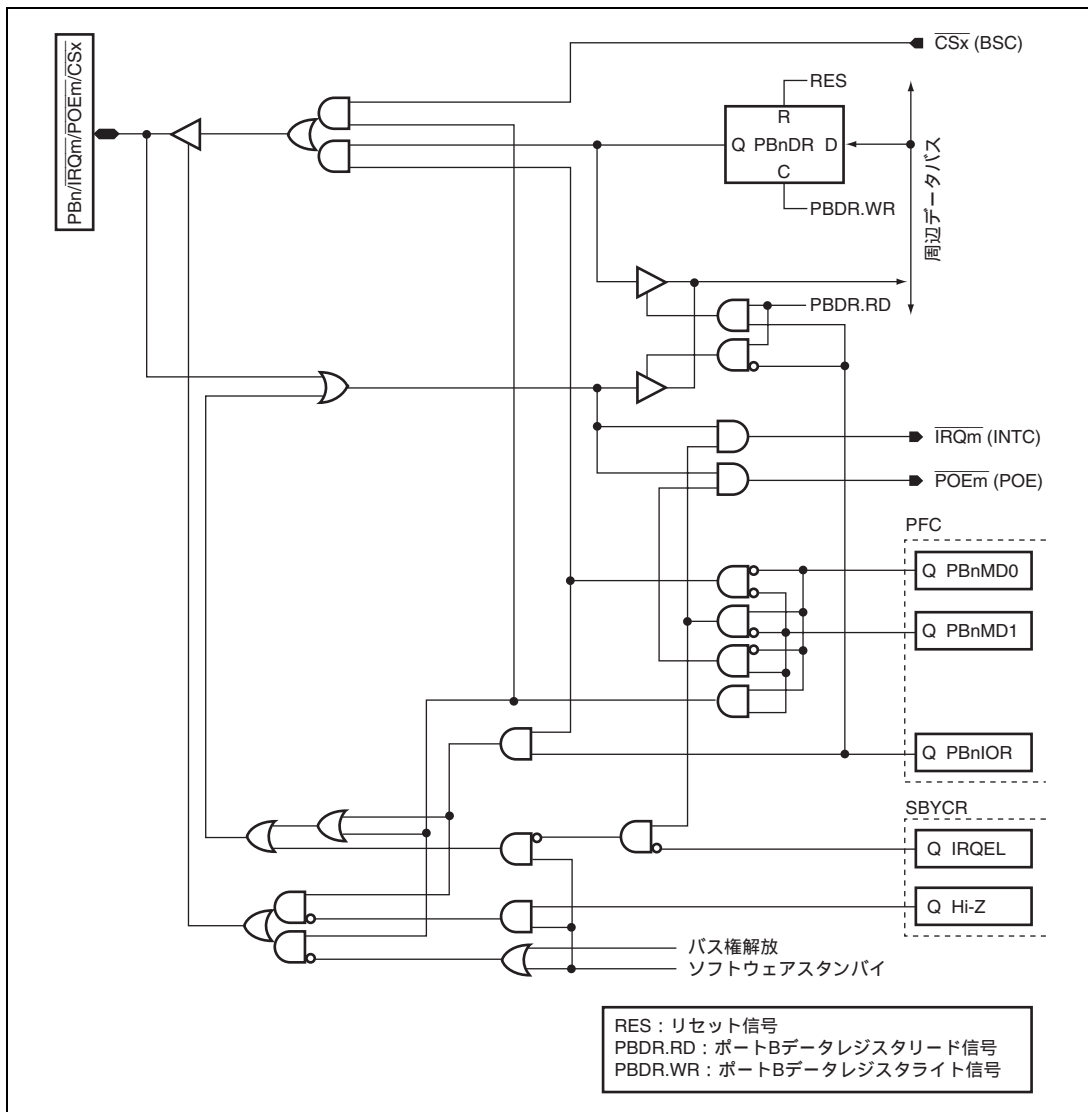


図 D.17 PBn/IRQm/POEm/CSx

対象端子	図中の表記				対象製品			
	PBn	IRQm	POEm	CSx	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PB4/IRQ2/POE2/CS6	PB4	IRQ2 (INTC)	POE2 (POE)	CS6 (BSC)	-		-	
PB5/IRQ3/POE3/CS7	PB5	IRQ3 (INTC)	POE3 (POE)	CS7 (BSC)	-		-	

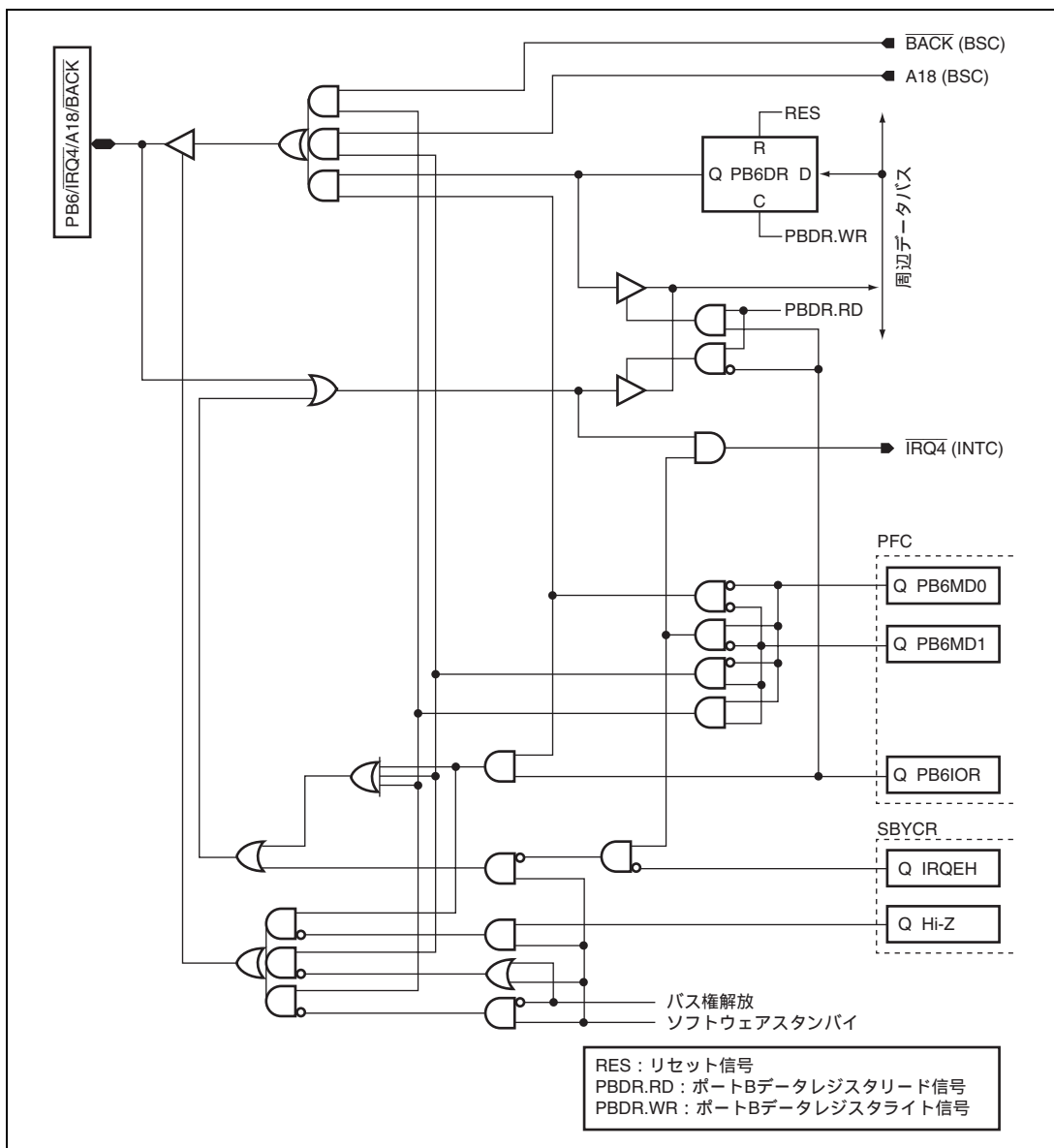


図 D.18 PB6/IRQ4/A18/BACK

対象端子	図中の表記				対象製品			
	PB6	IRQ4	A18	BACK	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PB6/IRQ4/A18/BACK	PB6	IRQ4 (INTC)	A18 (BSC)	BACK (BSC)				

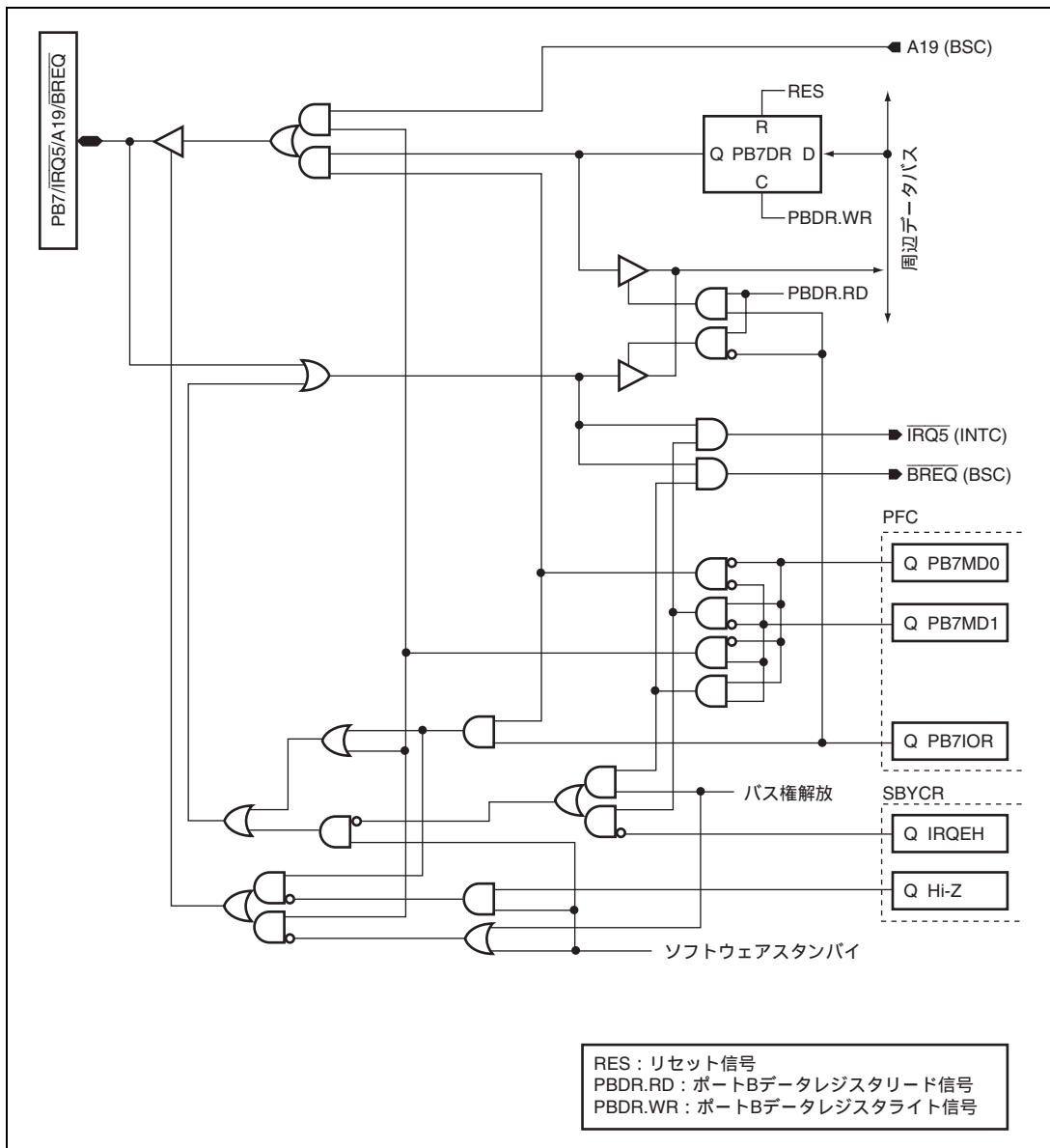


図 D.19 PB7/IRQ5/A19/BREQ

対象端子	図中の表記				対象製品			
	PB7	IRQ5	A19	BREQ	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PB7/IRQ5/A19/BREQ	PB7	IRQ5 (INTC)	A19 (BSC)	BREQ (BSC)				

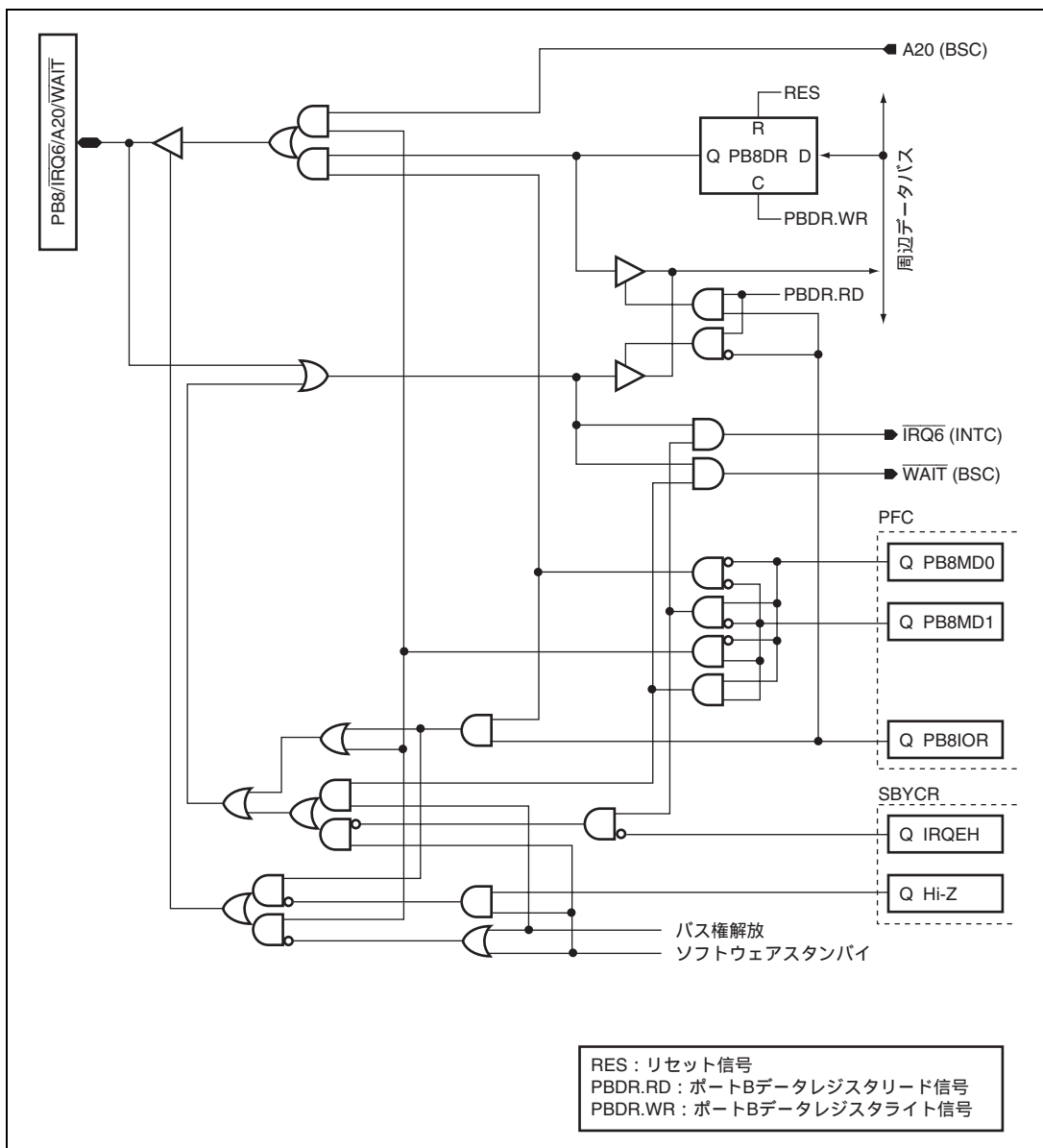


図 D.20 PB8/IRQ6/A20/WAIT

対象端子	図中の表記				対象製品			
	PB8	IRQ6	A20	WAIT	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PB8/IRQ6/A20/WAIT	PB8	IRQ6 (INTC)	A20 (BSC)	WAIT (BSC)				

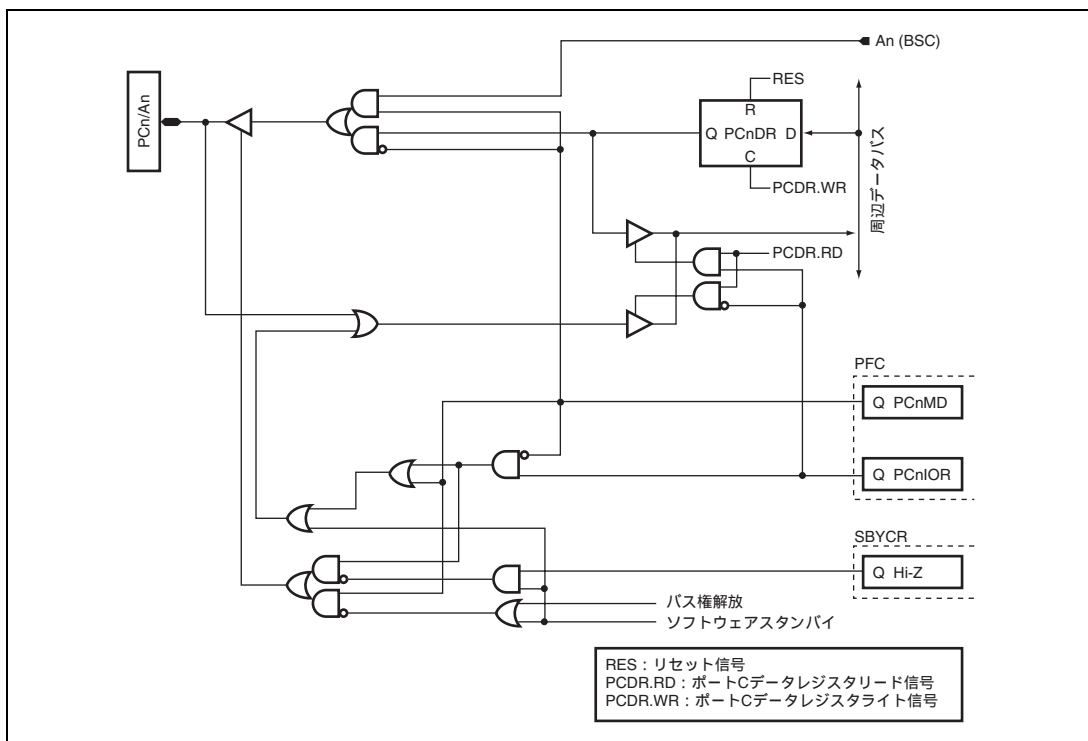


図 D.22 PCn/An

対象端子	図中の表記		対象製品			
	PCn	An	SH7144		SH7145	
			F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PC0/A0	PC0	A0 (BSC)				
PC1/A1	PC1	A1 (BSC)				
PC2/A2	PC2	A2 (BSC)				
PC3/A3	PC3	A3 (BSC)				
PC4/A4	PC4	A4 (BSC)				
PC5/A5	PC5	A5 (BSC)				
PC6/A6	PC6	A6 (BSC)				
PC7/A7	PC7	A7 (BSC)				
PC8/A8	PC8	A8 (BSC)				
PC9/A9	PC9	A9 (BSC)				
PC10/A10	PC10	A10 (BSC)				
PC11/A11	PC11	A11 (BSC)				
PC12/A12	PC12	A12 (BSC)				
PC13/A13	PC13	A13 (BSC)				
PC14/A14	PC14	A14 (BSC)				
PC15/A15	PC15	A15 (BSC)				

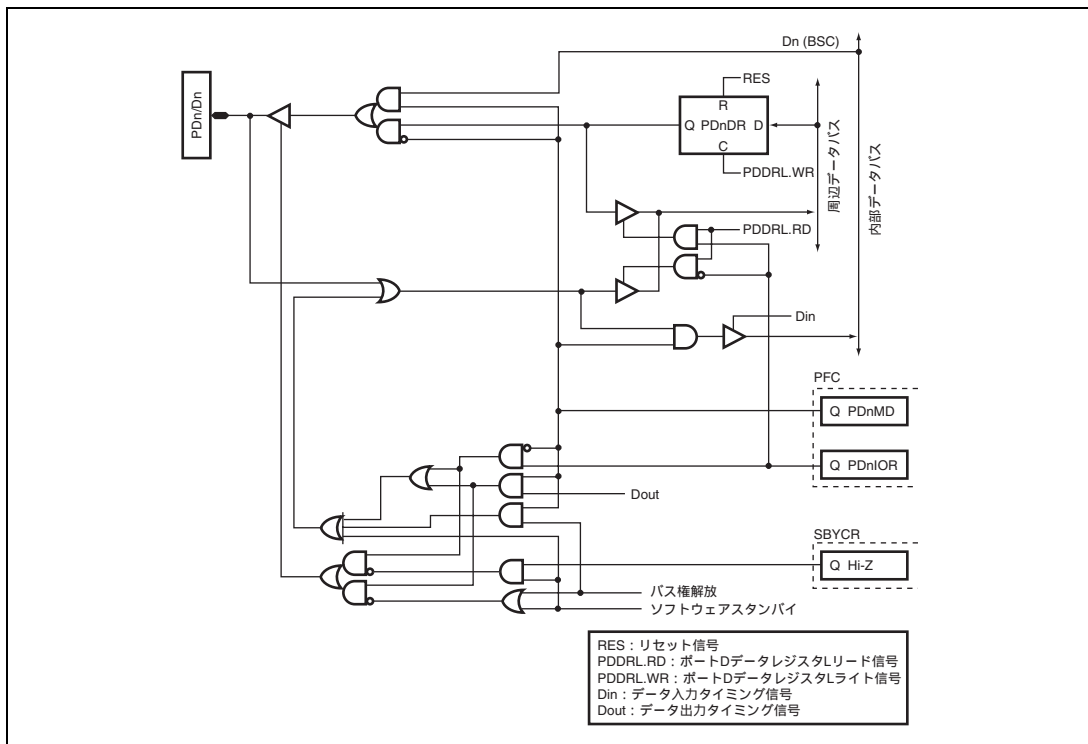


図 D.23 PDn/Dn

対象端子	図中の表記			対象製品			
	PDn	Dn	PDnMD	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PD0/D0	PD0	D0 (BSC)	PD0MD				
PD1/D1	PD1	D1 (BSC)	PD1MD				
PD2/D2	PD2	D2 (BSC)	PD2MD				
PD3/D3	PD3	D3 (BSC)	PD3MD				
PD4/D4	PD4	D4 (BSC)	PD4MD				
PD5/D5	PD5	D5 (BSC)	PD5MD				
PD6/D6	PD6	D6 (BSC)	PD6MD				
PD7/D7	PD7	D7 (BSC)	PD7MD				
PD8/D8	PD8	D8 (BSC)	PD8MD0				
PD9/D9	PD9	D9 (BSC)	PD9MD0				
PD10/D10	PD10	D10 (BSC)	PD10MD0				
PD11/D11	PD11	D11 (BSC)	PD11MD0				
PD12/D12	PD12	D12 (BSC)	PD12MD0				
PD13/D13	PD13	D13 (BSC)	PD13MD0				
PD14/D14	PD14	D14 (BSC)	PD14MD0				
PD15/D15	PD15	D15 (BSC)	PD15MD0				

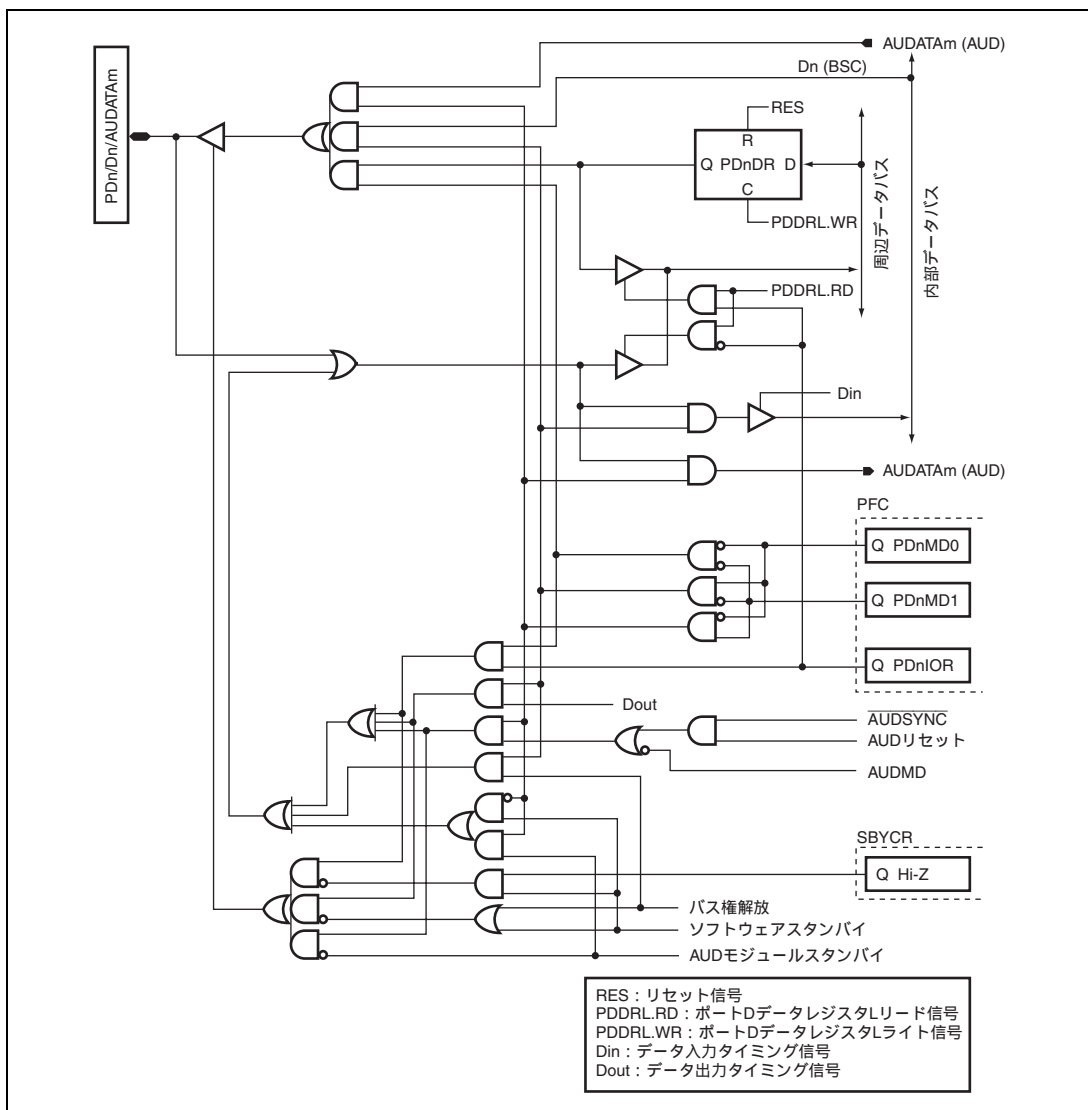


図 D.24 PDn/Dn/AUDATAm

対象端子	図中の表記			対象製品			
	PDn	Dn	AUDATAm	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PD8/D8/AUDATA0	PD8	D8 (BSC)	AUDATA0 (AUD)				
PD9/D9/AUDATA1	PD9	D9 (BSC)	AUDATA1 (AUD)				
PD10/D10/AUDATA2	PD10	D10 (BSC)	AUDATA2 (AUD)				
PD11/D11/AUDATA3	PD11	D11 (BSC)	AUDATA3 (AUD)				

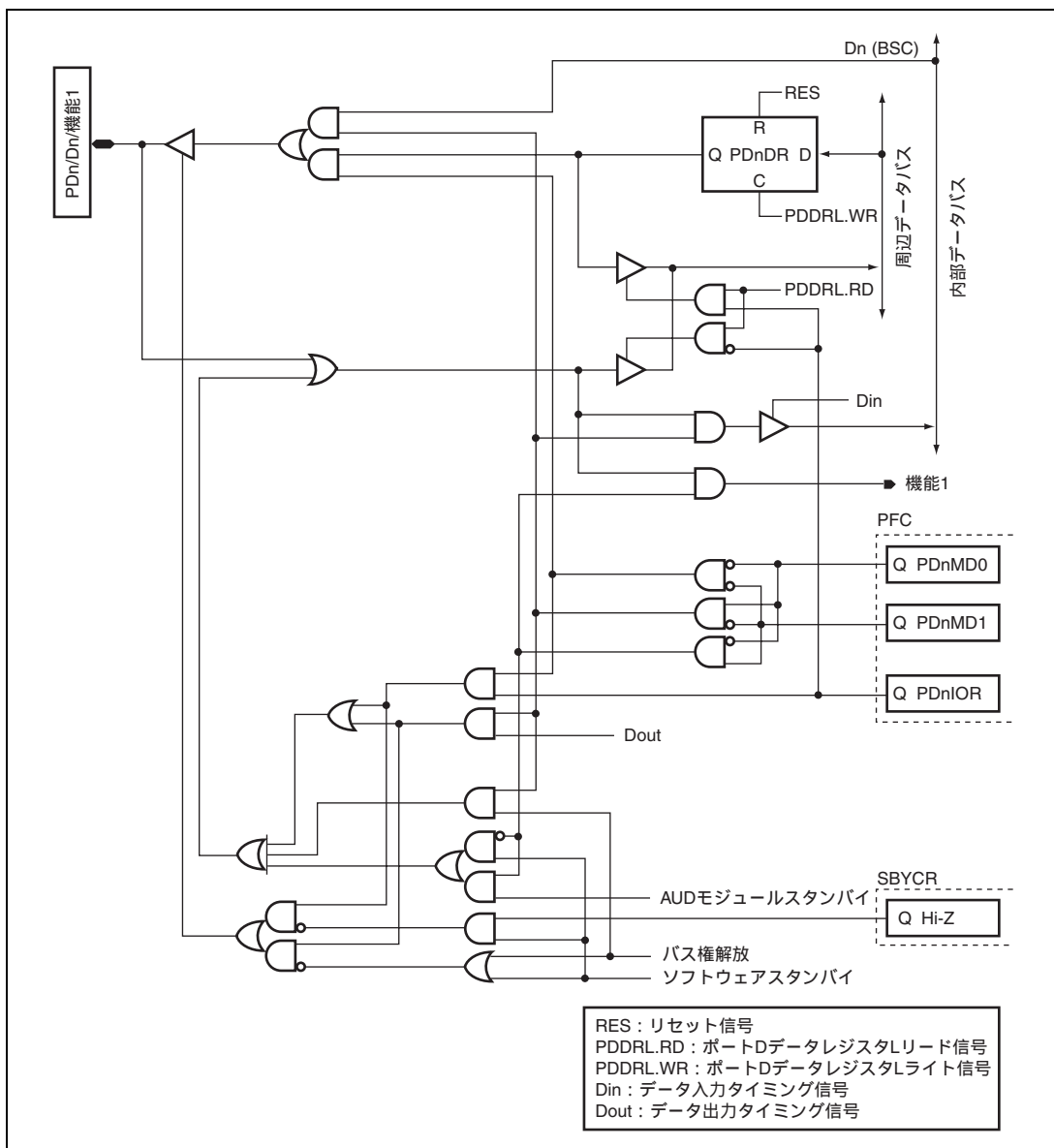


図 D.25 PDn/Dn/機能 1

対象端子	図中の表記			対象製品			
	PDn	Dn	機能 1	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PD12/D12/AUDRST	PD12	D12 (BSC)	AUDRST (AUD)				
PD13/D13/AUDMD	PD13	D13 (BSC)	AUDMD (AUD)				

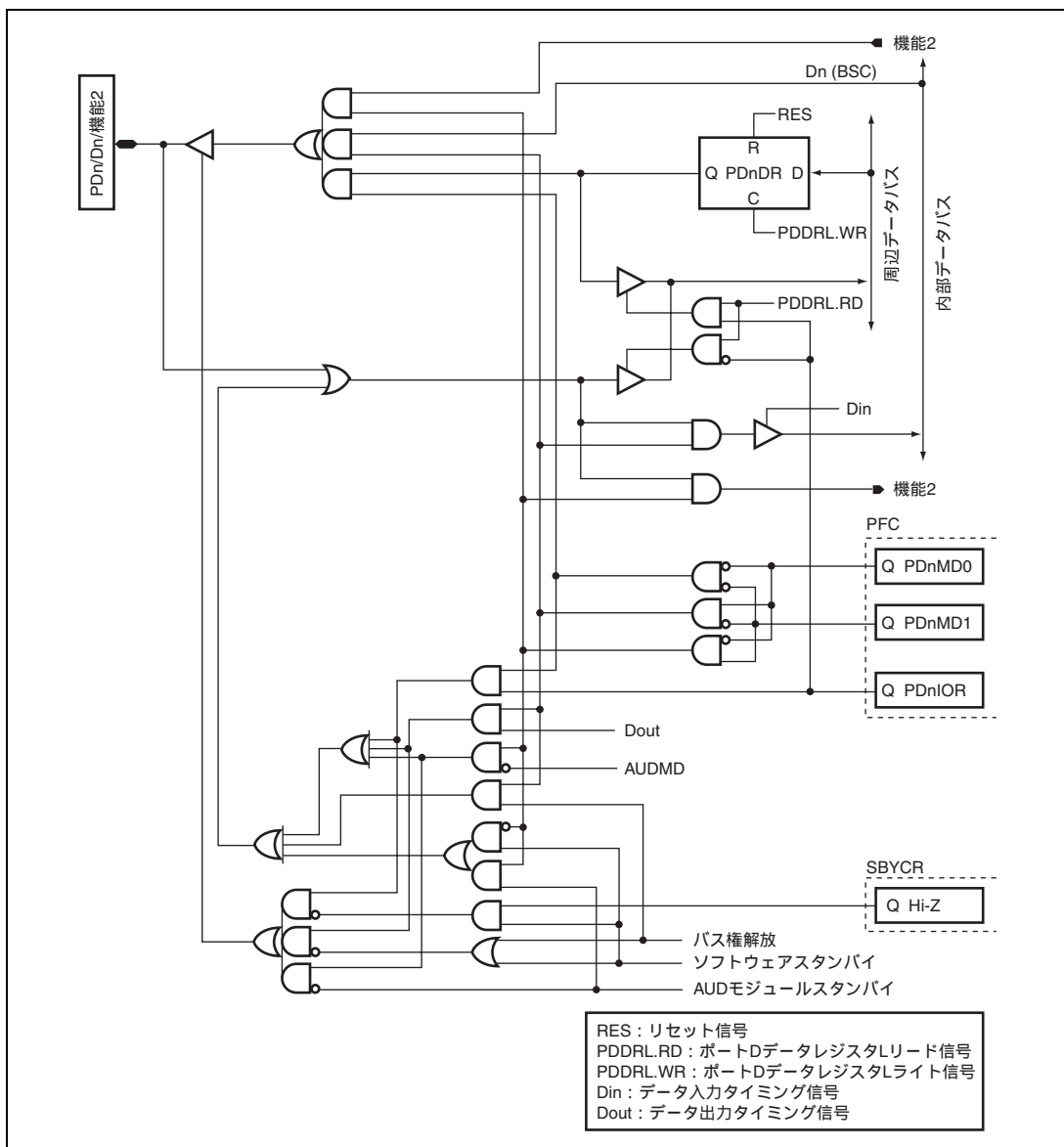


図 D.26 PDn/Dn/機能 2

対象端子	図中の表記			対象製品			
	PDn	Dn	機能 2	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PD14/D14/AUDCK	PD14	D14 (BSC)	AUDCK (AUD)				
PD15/D15/AUDSYNC	PD15	D15 (BSC)	AUDSYNC (AUD)				

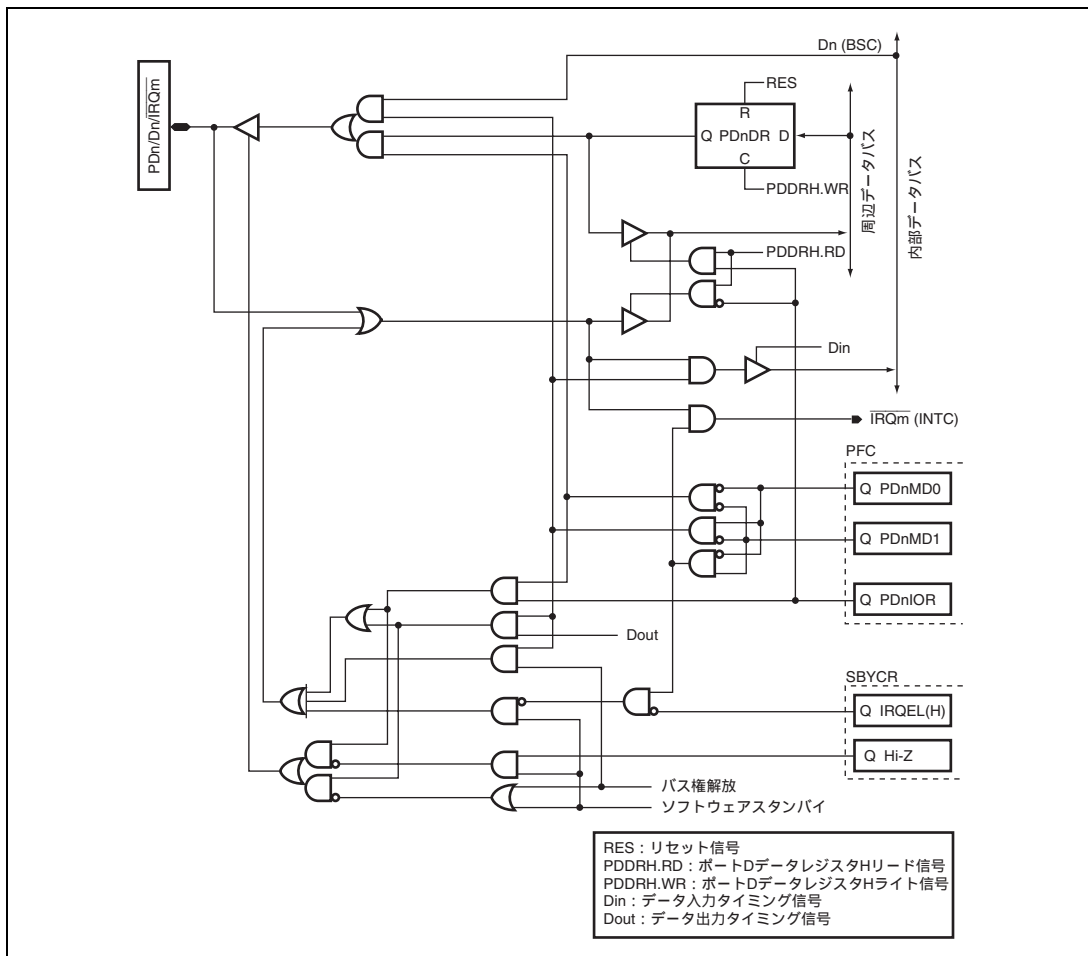


図 D.27 PDn/Dn/IRQm

対象端子	図中の表記			対象製品			
	PDn	Dn	IRQm	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PD16/D16/IRQ0	PD16	D16 (BSC)	IRQ0 (INTC)				
PD17/D17/IRQ1	PD17	D17 (BSC)	IRQ1 (INTC)				
PD18/D18/IRQ2	PD18	D18 (BSC)	IRQ2 (INTC)				
PD19/D19/IRQ3	PD19	D19 (BSC)	IRQ3 (INTC)				
PD20/D20/IRQ4	PD20	D20 (BSC)	IRQ4 (INTC)				
PD21/D21/IRQ5	PD21	D21 (BSC)	IRQ5 (INTC)				
PD22/D22/IRQ6	PD22	D22 (BSC)	IRQ6 (INTC)				
PD23/D23/IRQ7	PD23	D23 (BSC)	IRQ7 (INTC)				

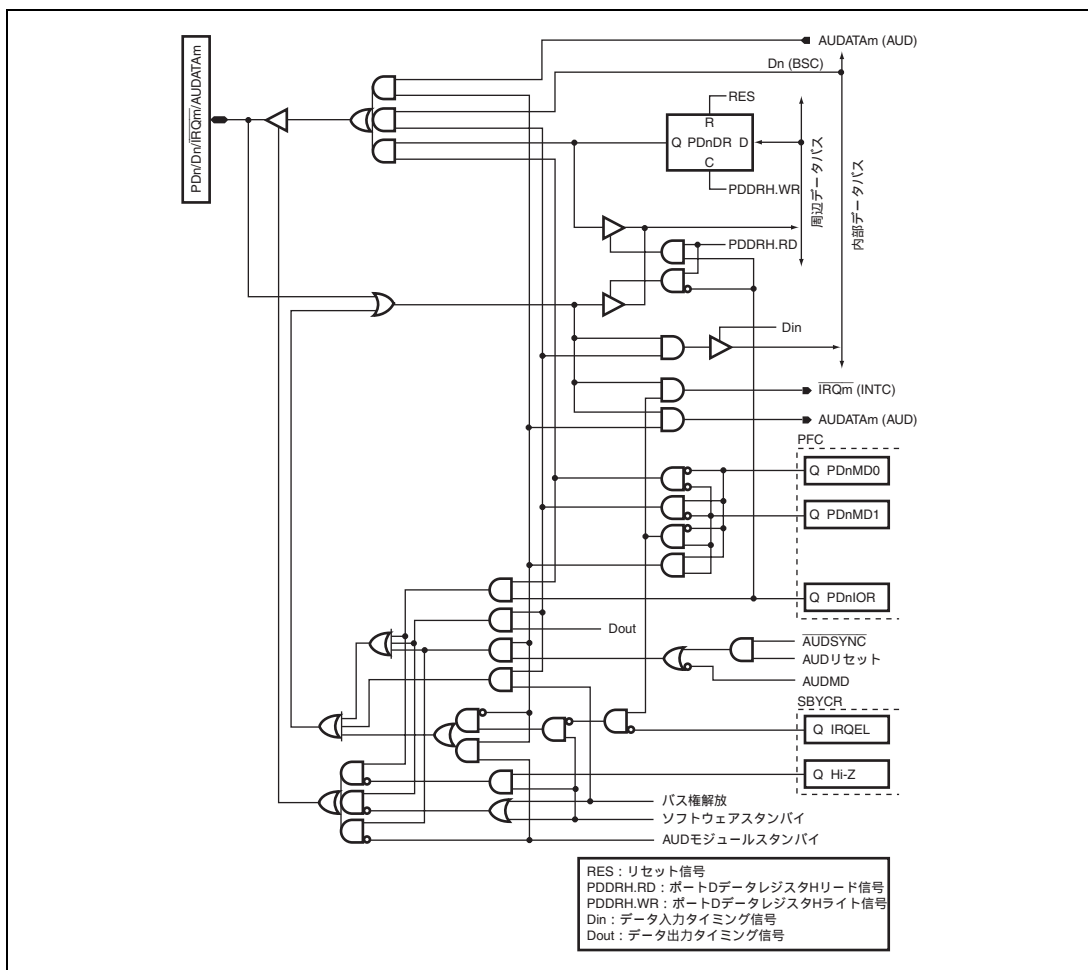


図 D.28 PDn/Dn/IRQm/AUDATAm

対象端子	図中の表記				対象製品			
	PDn	Dn	IRQm	AUDATAm	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PD16/D16/IRQ0/AUDATA0	PD16	D16 (BSC)	IRQ0 (INTC)	AUDATA0 (AUD)				
PD17/D17/IRQ1/AUDATA1	PD17	D17 (BSC)	IRQ1 (INTC)	AUDATA1 (AUD)				
PD18/D18/IRQ2/AUDATA2	PD18	D18 (BSC)	IRQ2 (INTC)	AUDATA2 (AUD)				
PD19/D19/IRQ3/AUDATA3	PD19	D19 (BSC)	IRQ3 (INTC)	AUDATA3 (AUD)				

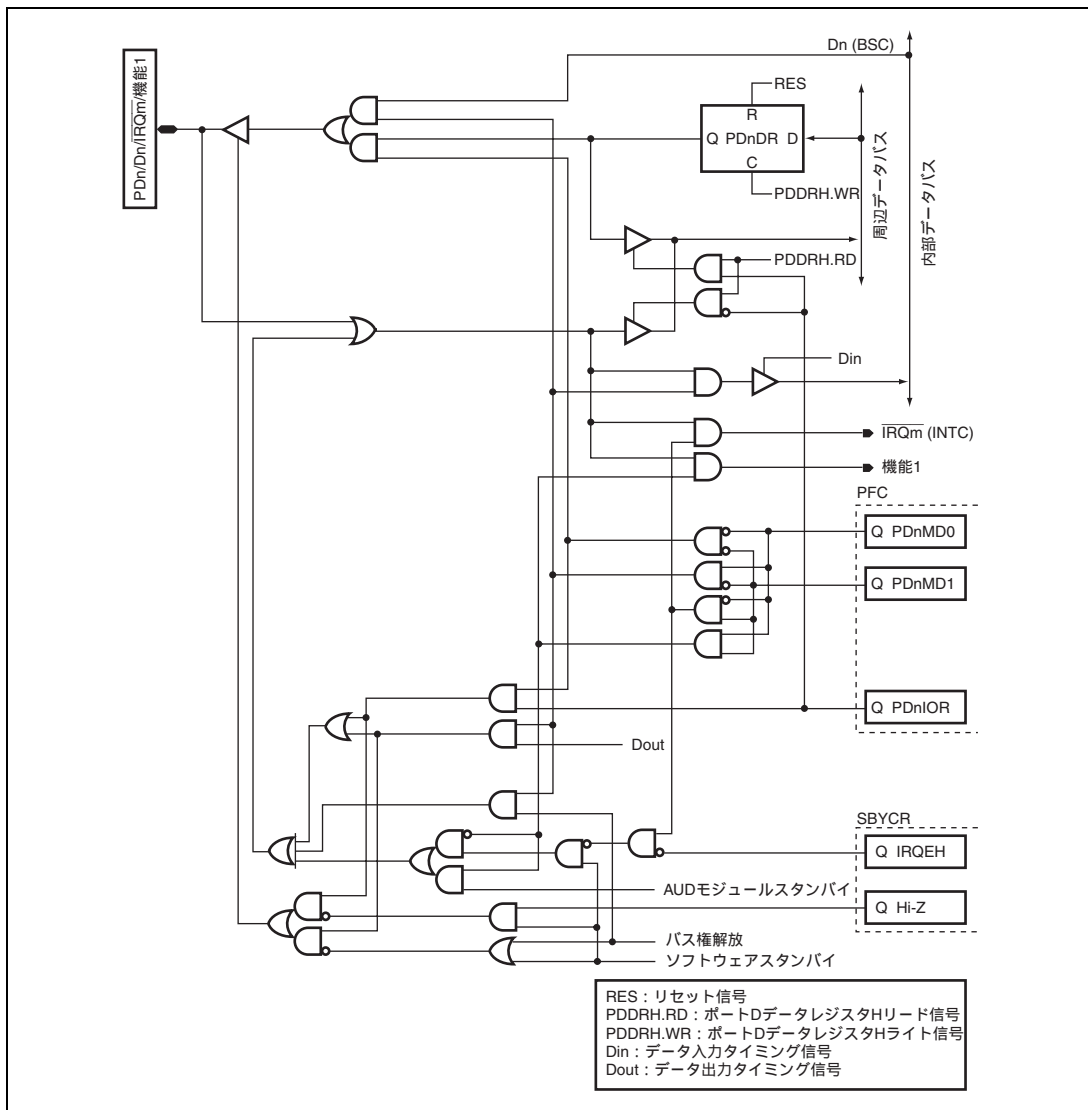


図 D.29 PDn/Dn/IRQm/機能 1

対象端子	図中の表記				対象製品			
	PDn	Dn	IRQm	機能 1	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PD20/D20/IRQ4/AUDRST	PD20	D20 (BSC)	IRQ4 (INTC)	AUDRST (AUD)				
PD21/D21/IRQ5/AUDMD	PD21	D21 (BSC)	IRQ5 (INTC)	AUDMD (AUD)				

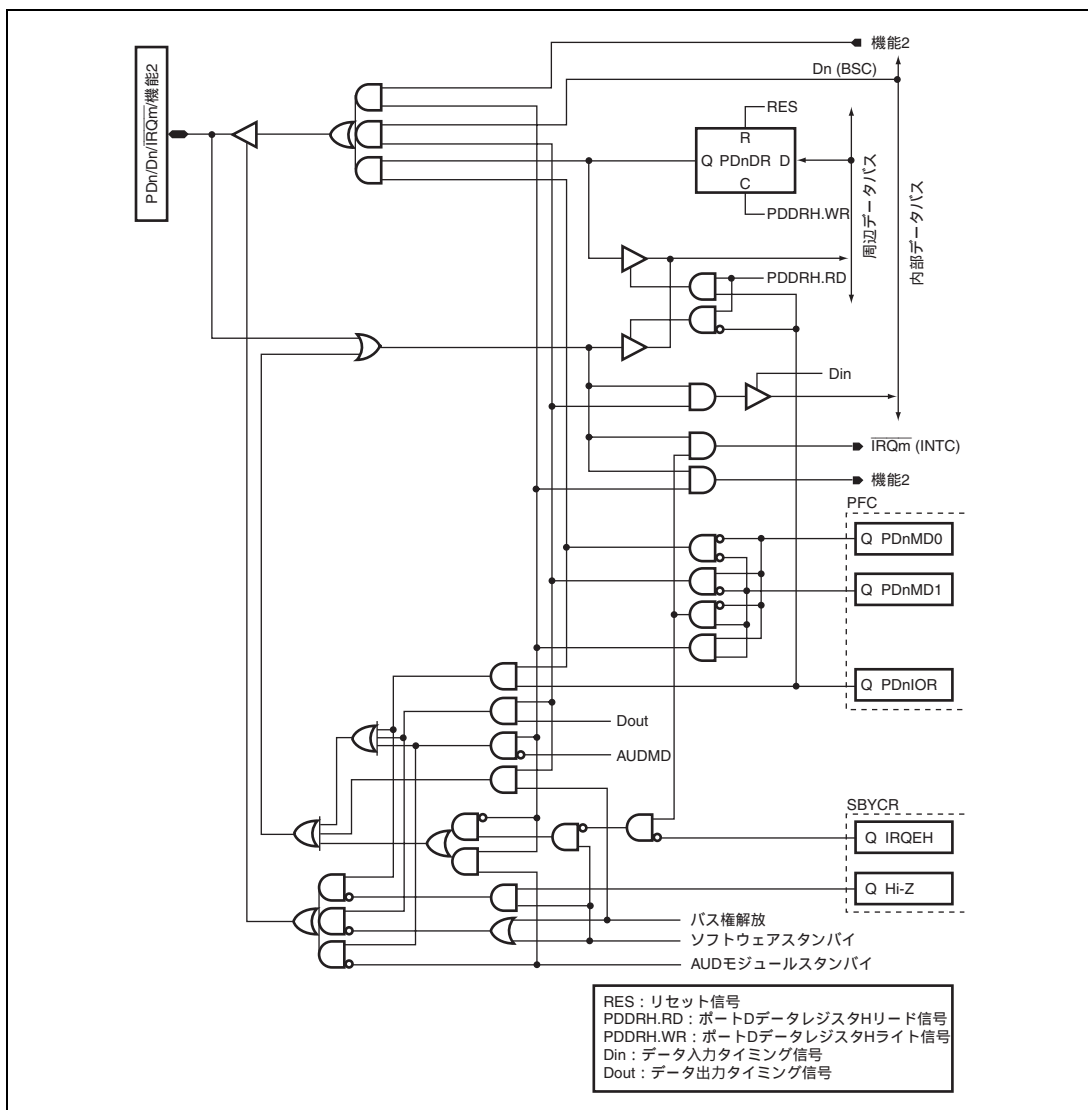


図 D.30 PDn/Dn/IRQm/機能 2

対象端子	図中の表記				対象製品			
	PDn	Dn	IRQm	機能 2	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PD22/D22/IRQ6/AUDCK	PD22	D22 (BSC)	IRQ6 (INTC)	AUDCK (AUD)				
PD23/D23/IRQ7/ AUDSYNC	PD23	D23 (BSC)	IRQ7 (INTC)	AUDSYNC (AUD)				

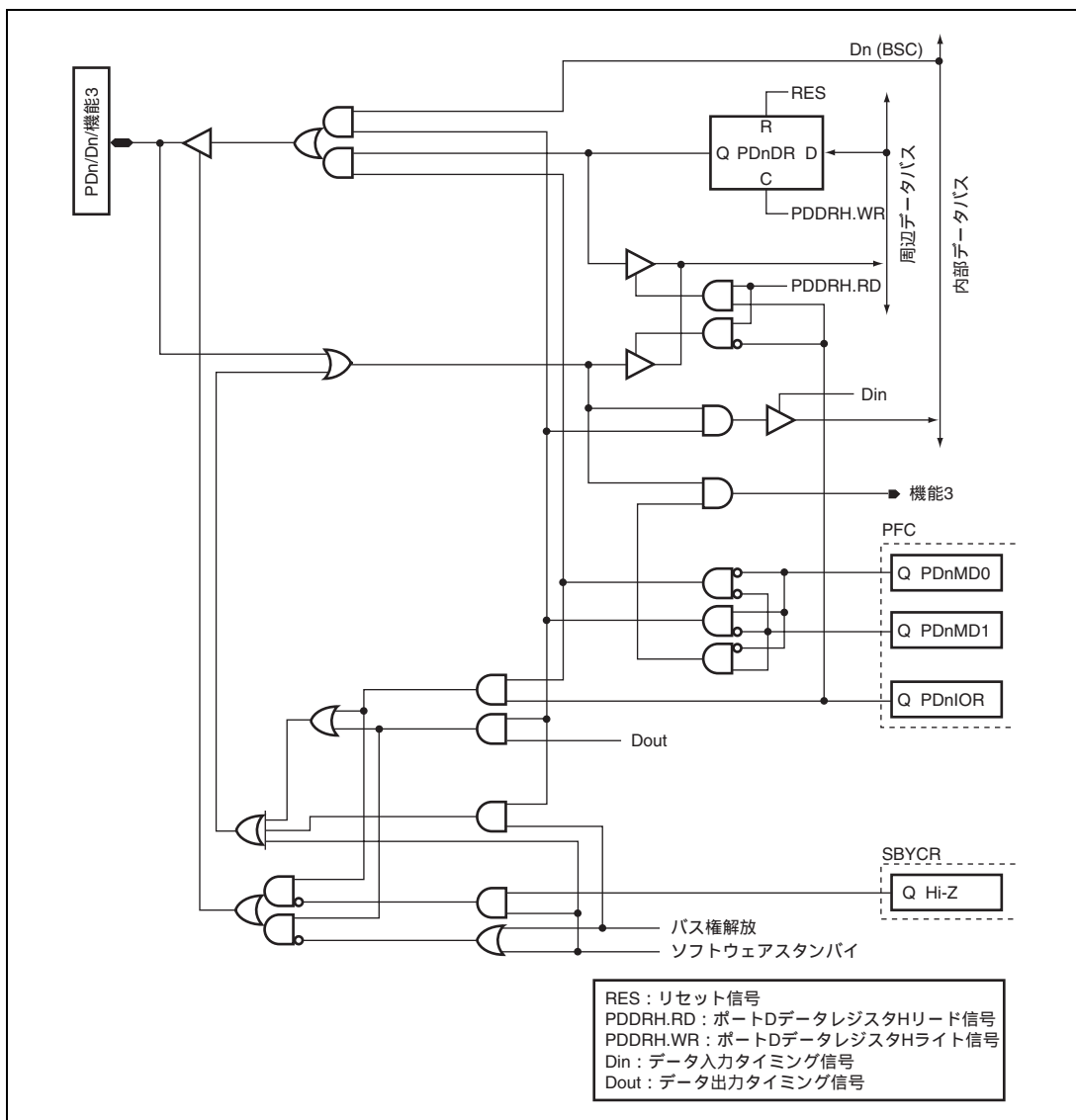


図 D.31 PDn/Dn/機能 3

対象端子	図中の表記			対象製品			
	PDn	Dn	機能 3	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PD24/D24/DREQ0	PD24	D24 (BSC)	DREQ0 (DMAC)				
PD25/D25/DREQ1	PD25	D25 (BSC)	DREQ1 (DMAC)				
PD31/D31/ADTRG	PD31	D31 (BSC)	ADTRG (A/D)				

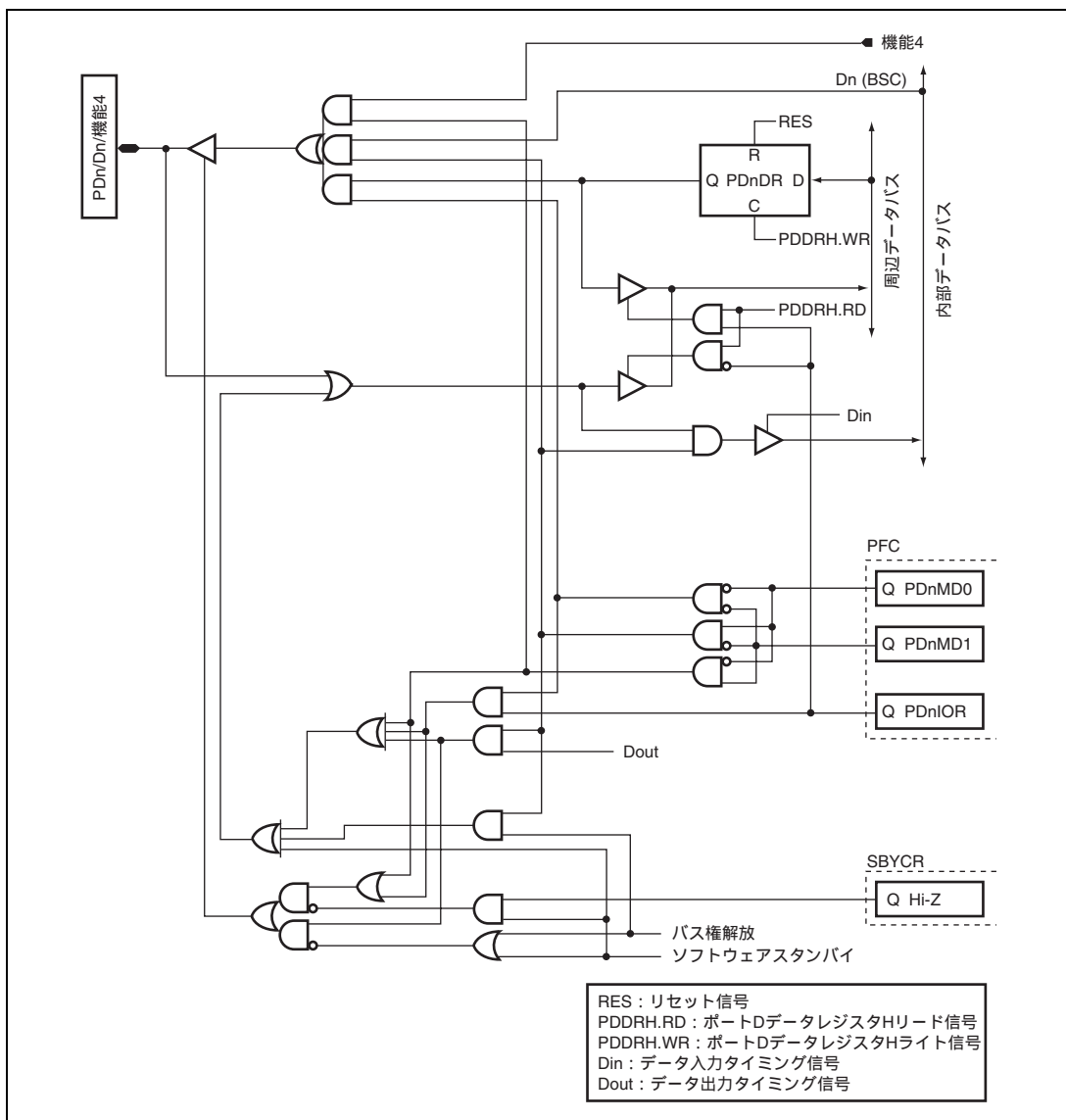


図 D.32 PDn/Dn/機能 4

対象端子	図中の表記			対象製品			
	PDn	Dn	機能 4	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PD26/D26/DACK0	PD26	D26 (BSC)	DACK0 (DMAC)				
PD27/D27/DACK1	PD27	D27 (BSC)	DACK1 (DMAC)				
PD30/D30/IRQOUT	PD30	D30 (BSC)	IRQOUT (INTC)				

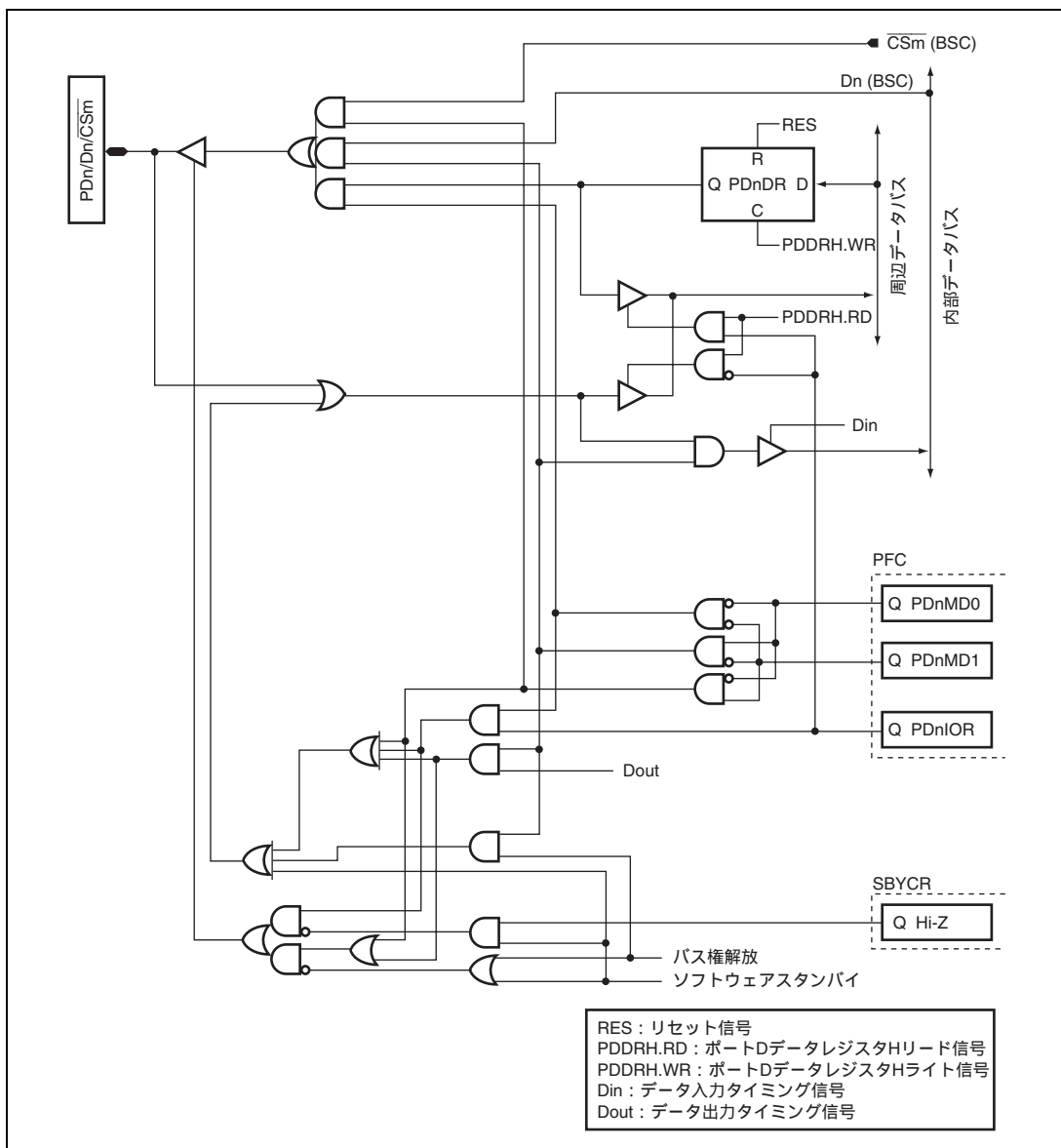


図 D.33 PDn/Dn/CSm

対象端子	図中の表記			対象製品			
	PDn	Dn	CSm	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PD28/D28/CS2	PD28	D28 (BSC)	CS2 (BSC)				
PD29/D29/CS3	PD29	D29 (BSC)	CS3 (BSC)				

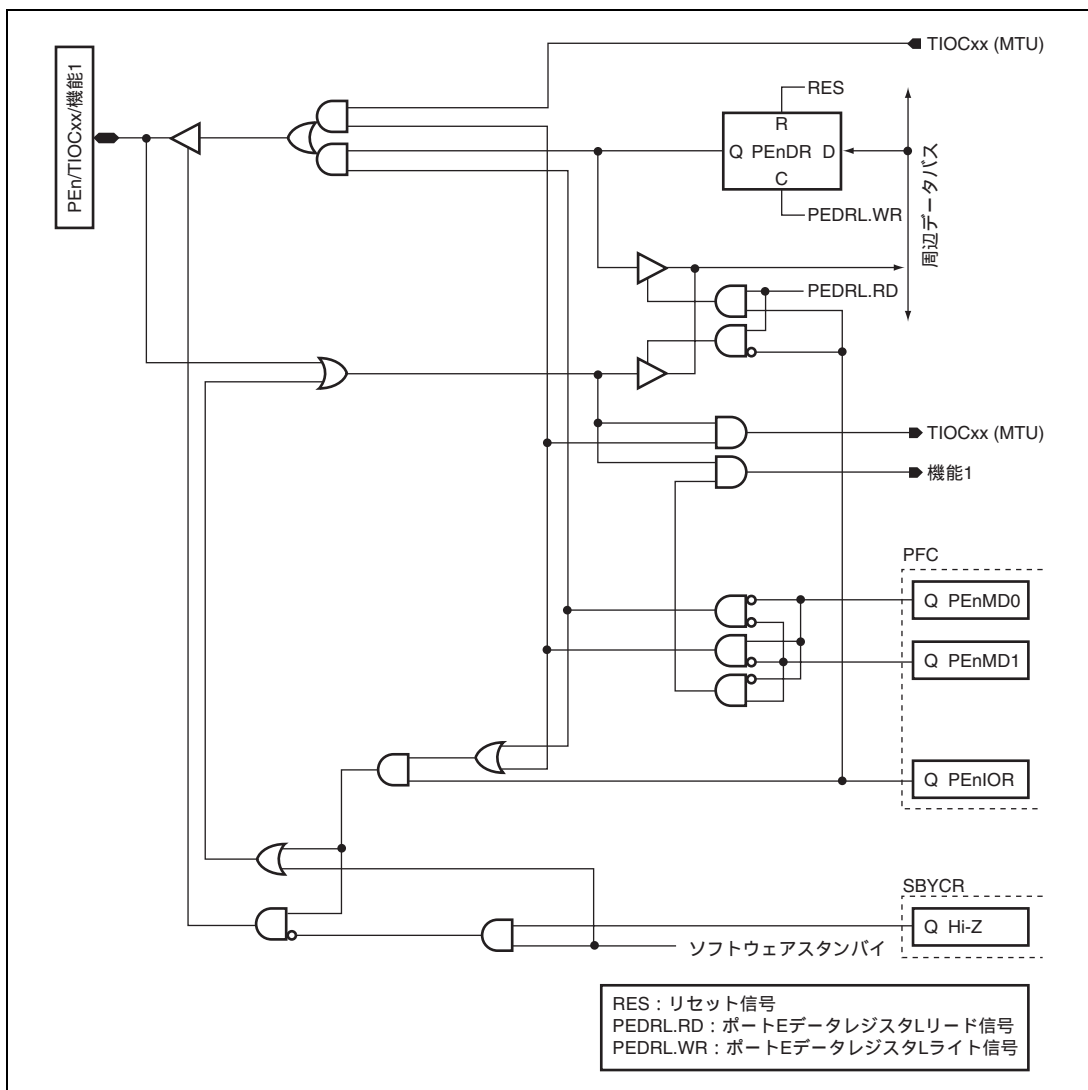


図 D.34 PEn/TIOCxx/機能 1

対象端子	図中の表記			対象製品			
	PEn	TIOCxx	機能 1	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE0/TIOC0A/DREQ0	PE0	TIOC0A(MTU)	DREQ0(DMAC)				
PE2/TIOC0C/DREQ1	PE2	TIOC0C(MTU)	DREQ1(DMAC)				
PE4/TIOC1A/RXD3	PE4	TIOC1A(MTU)	RXD3 (SCI)				
PE7/TIOC2B/RXD2	PE7	TIOC2B(MTU)	RXD2 (SCI)				

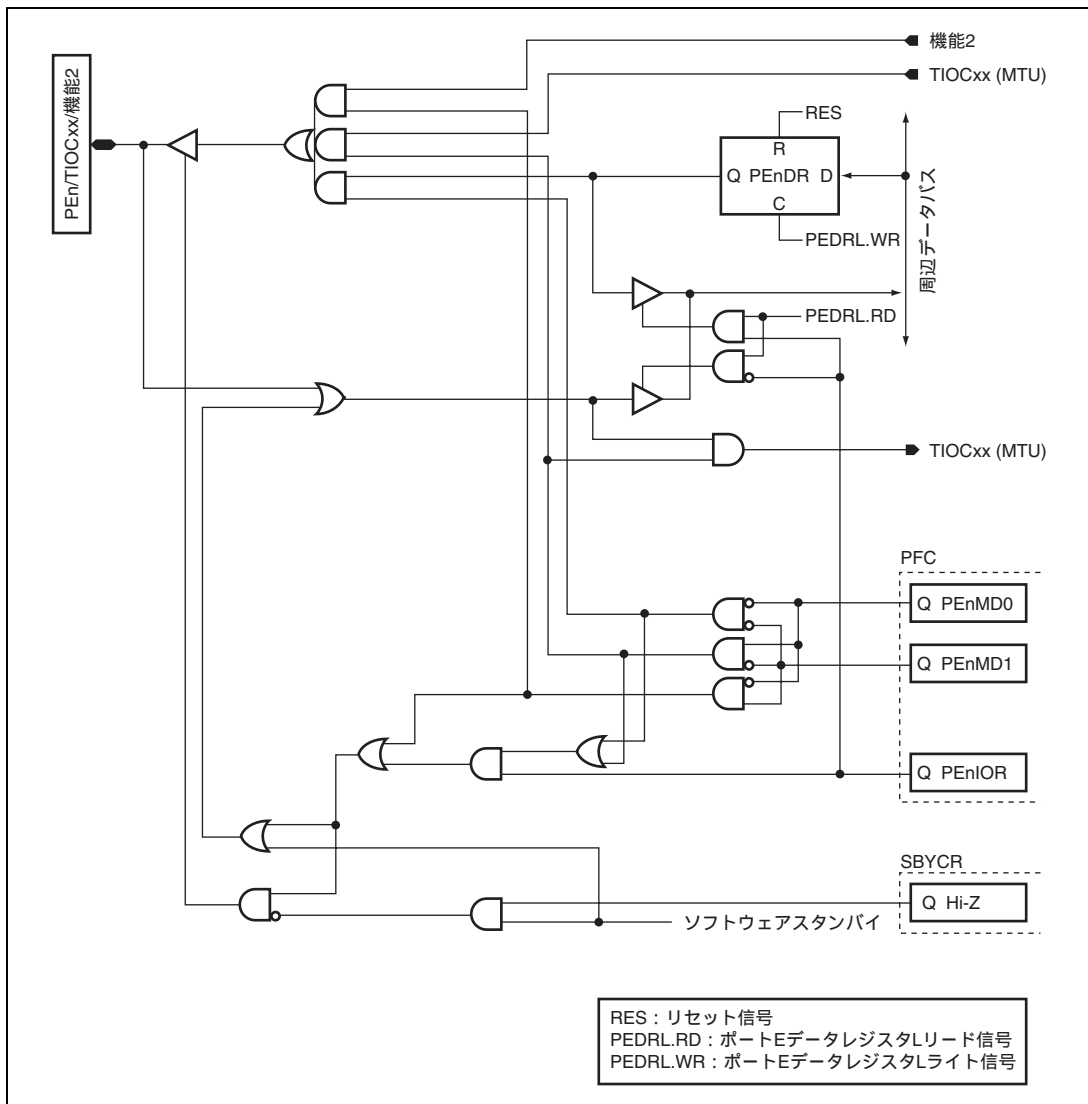


図 D.35 PE n/TIOCxx/機能 2

対象端子	図中の表記			対象製品			
	PE n	TIOCxx	機能 2	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE1/TIOC0B/DRAK0	PE1	TIOC0B(MTU)	DRAK0(DMAC)				
PE3/TIOC0D/DRAK1	PE3	TIOC0D(MTU)	DRAK1(DMAC)				
PE5/TIOC1B/TXD3	PE5	TIOC1B(MTU)	TXD3 (SCI)				
PE10/TIOC3C/TXD2	PE10	TIOC3C(MTU)	TXD2 (SCI)				

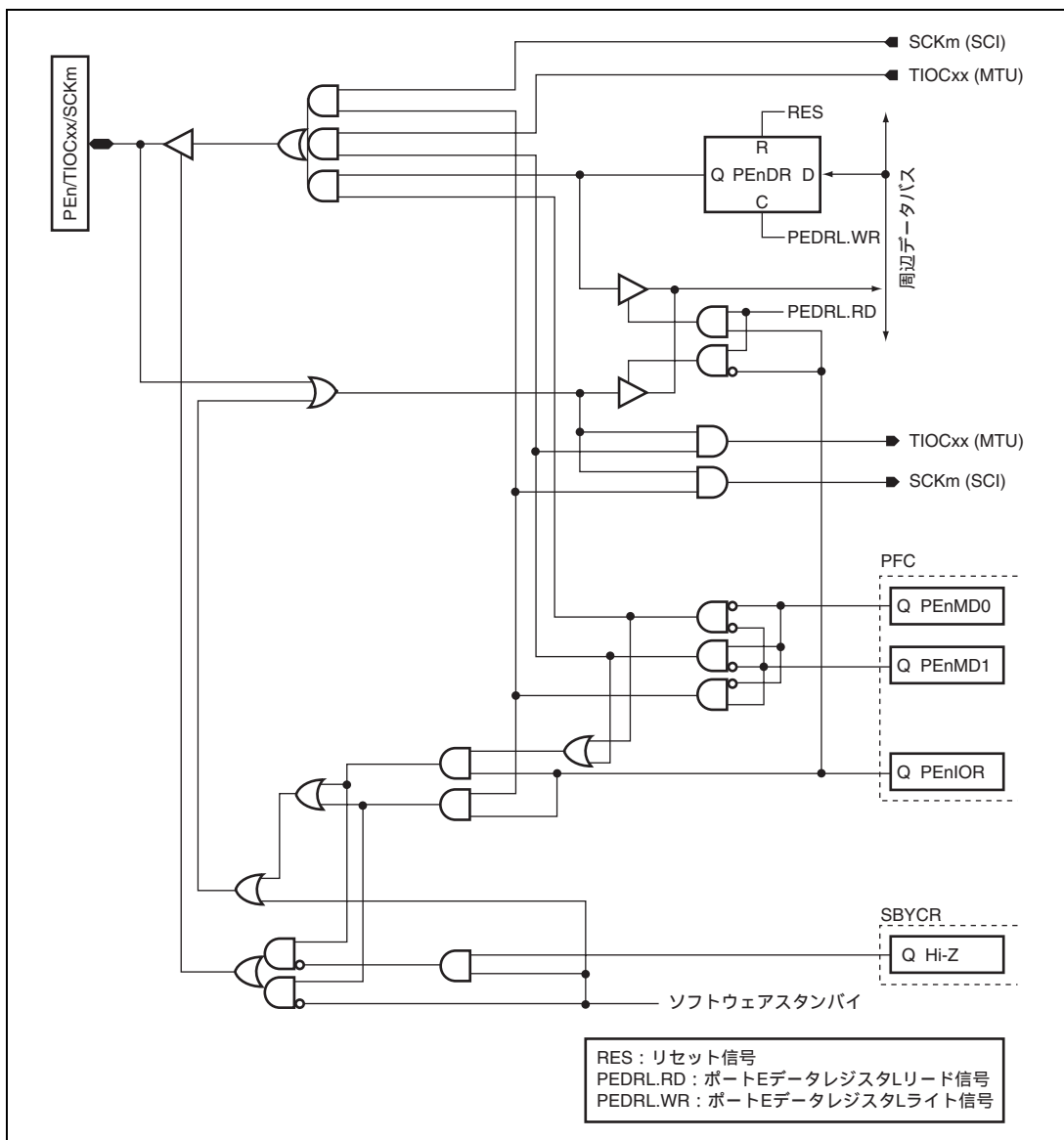


図 D.36 PEn/TIOCxx/SCKm

対象端子	図中の表記			対象製品			
	PEn	TIOCxx	SCKm	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE6/TIOC2A/SCK3	PE6	TIOC2A(MTU)	SCK3 (SCI)				
PE8/TIOC3A/SCK2	PE8	TIOC3A(MTU)	SCK2 (SCI)				

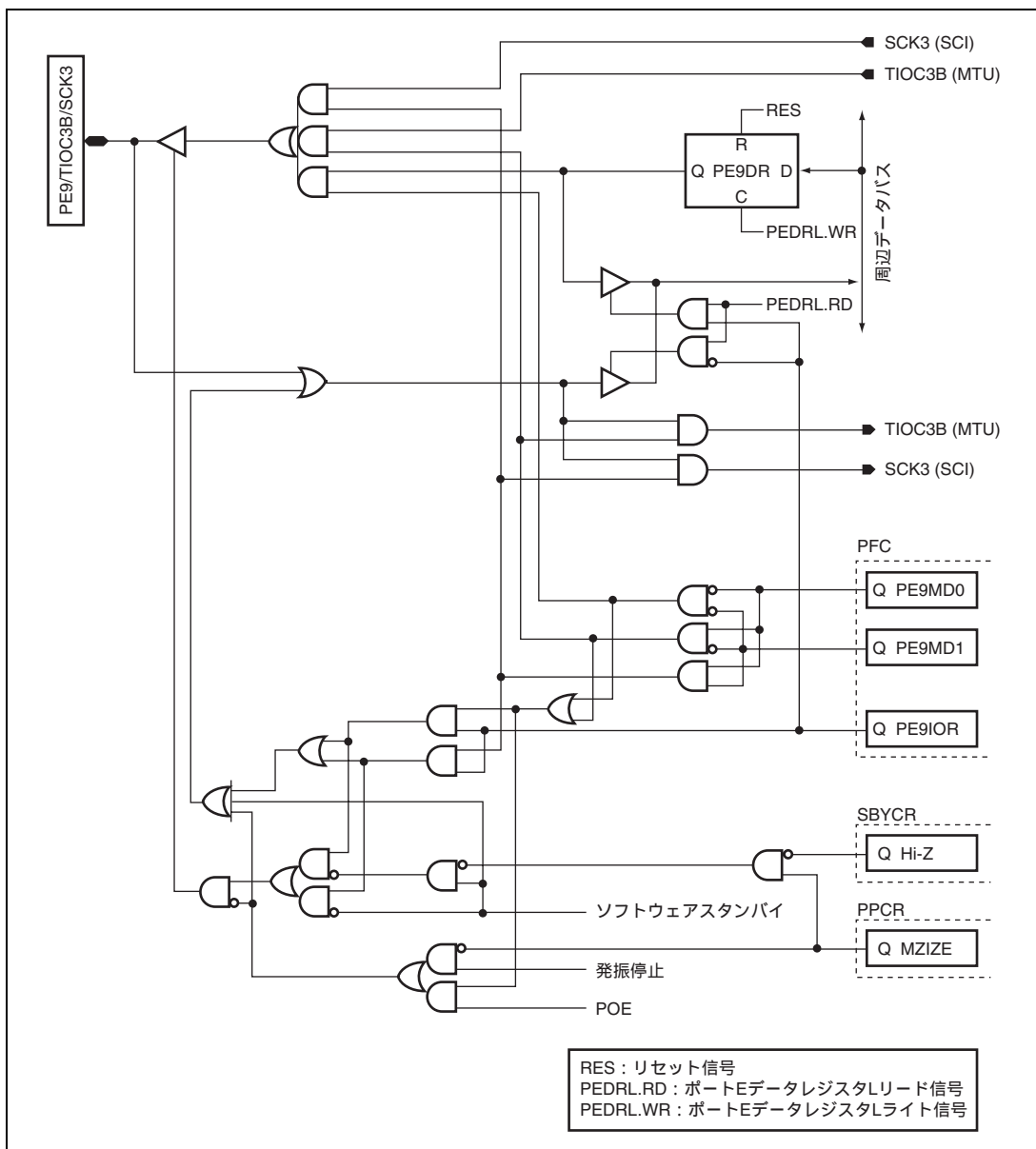


図 D.37 PE9/TIOC3B/SCK3

対象端子	図中の表記			対象製品			
	PE9	TIOC3B	SCK3	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE9/TIOC3B/SCK3	PE9	TIOC3B(MTU)	SCK3 (SCI)				

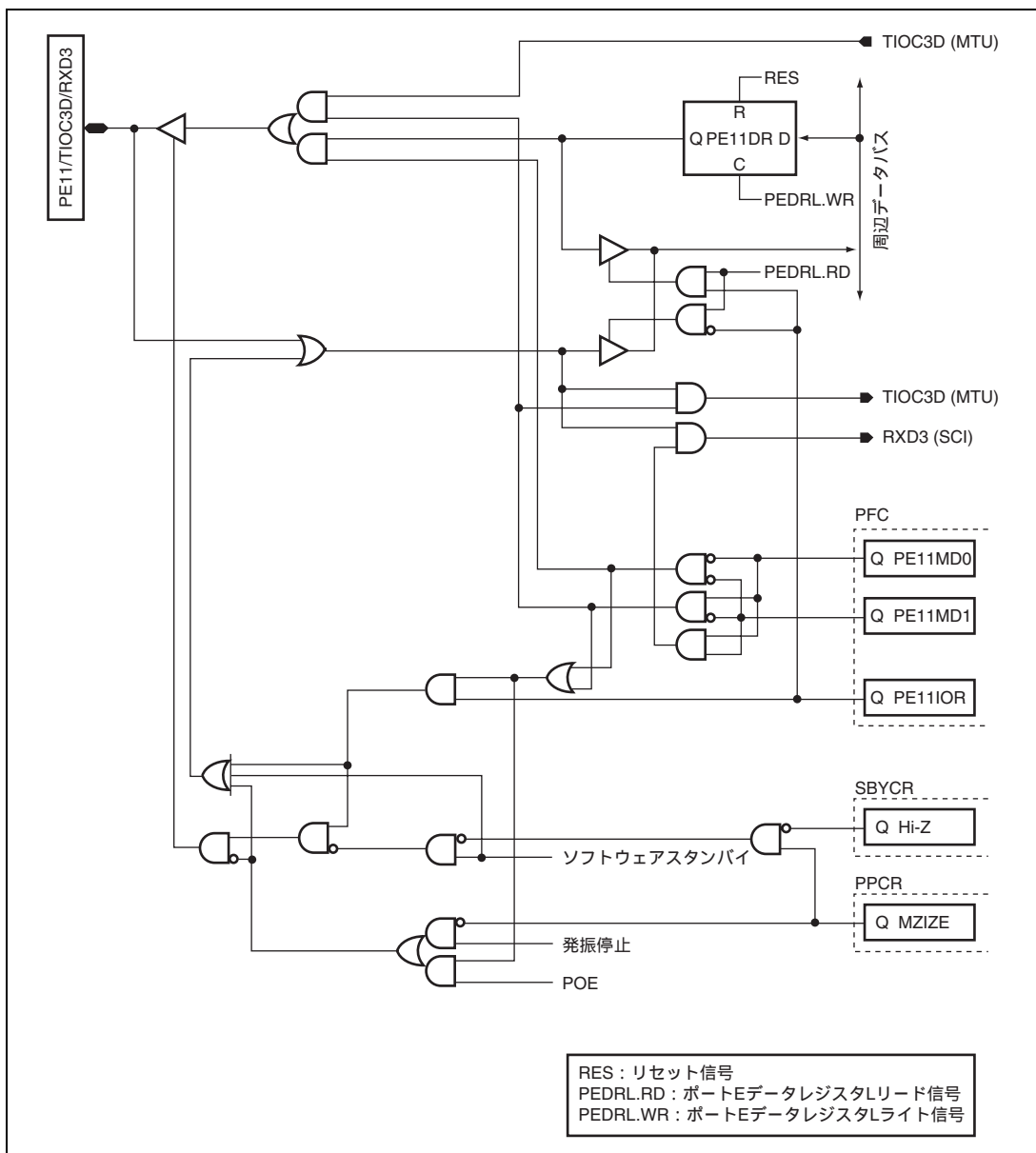


図 D.38 PE11/TIOC3D/RXD3

対象端子	図中の表記			対象製品			
	PE11	TIOC3D	RXD3	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE11/TIOC3D/RXD3	PE11	TIOC3D(MTU)	RXD3 (SCI)				

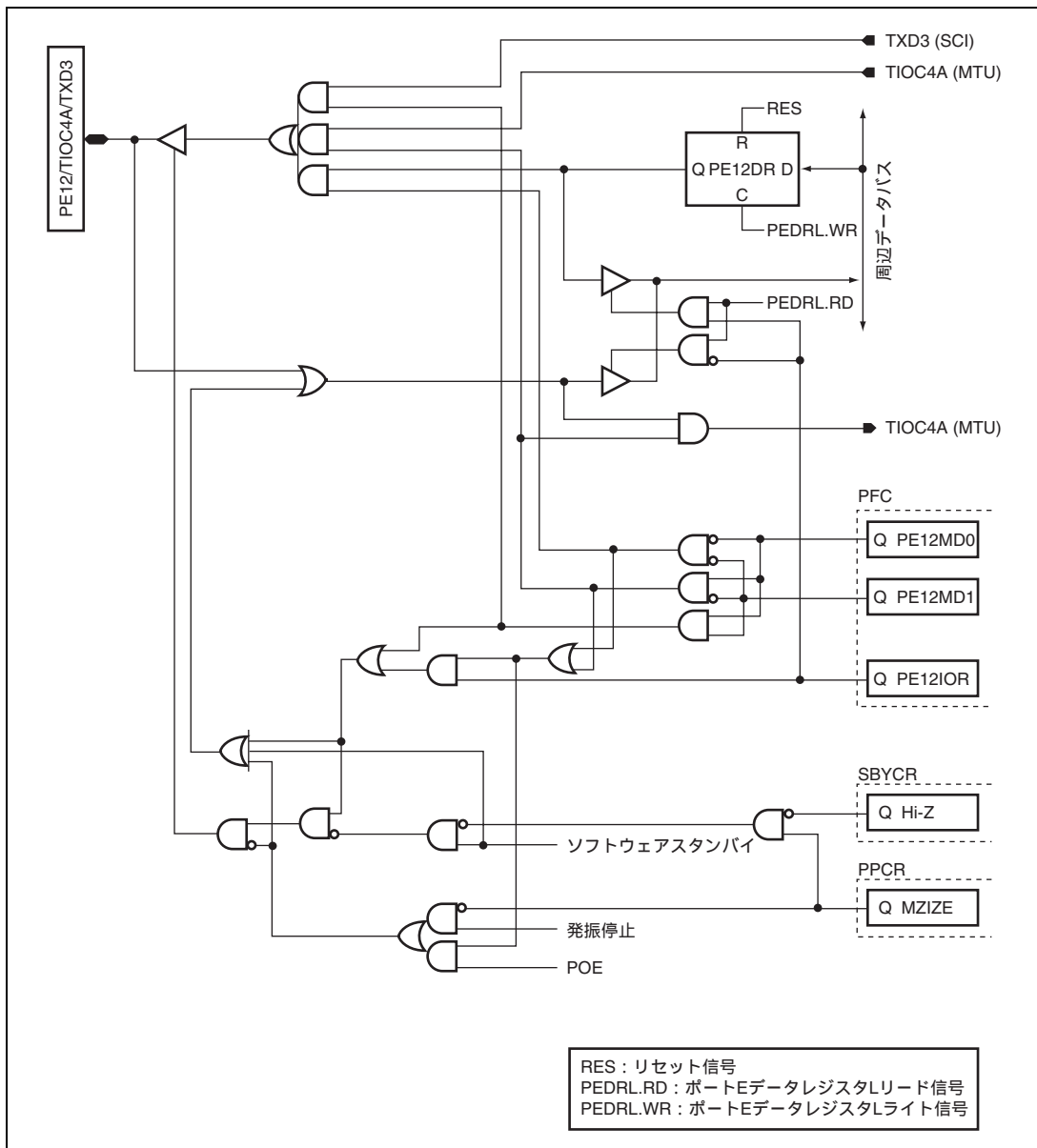


図 D.39 PE12/TIOC4A/TXD3

対象端子	図中の表記			対象製品			
	PE12	TIOC4A	TXD3	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE12/TIOC4A/TXD3	PE12	TIOC4A(MTU)	TXD3 (SCI)				

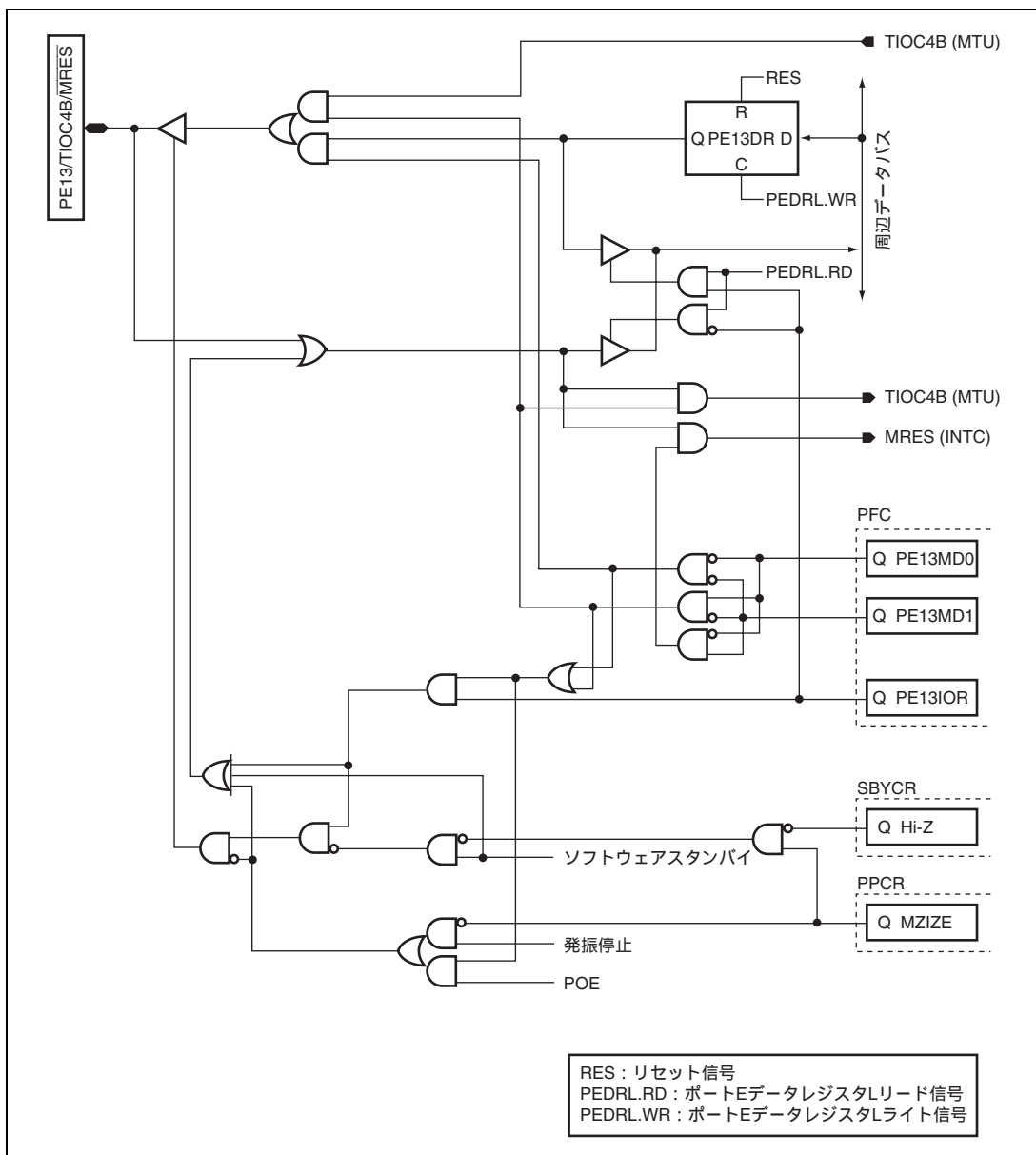


図 D.40 PE13/TIOC4B/MRES

対象端子	図中の表記			対象製品			
	PE13	TIOC4B	MRES	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE13/TIOC4B/MRES	PE13	TIOC4B(MTU)	MRES (INTC)				

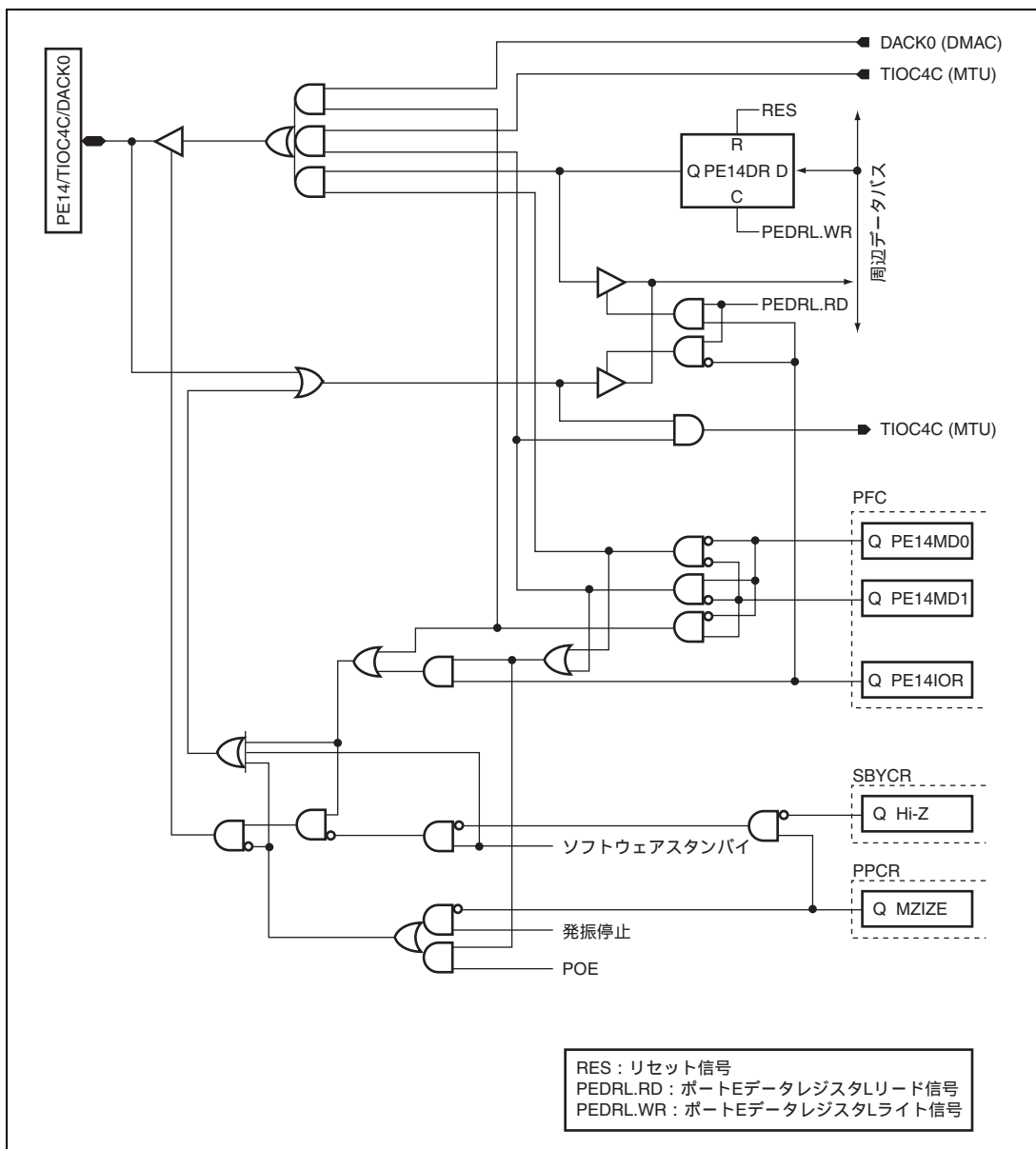


図 D.41 PE14/TIOC4C/DACK0

対象端子	図中の表記			対象製品			
	PE14	TIOC4C	DACK0	SH7144		SH7145	
				F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE14/TIOC4C/DACK0	PE14	TIOC4C(MTU)	DACK0(DMAC)				

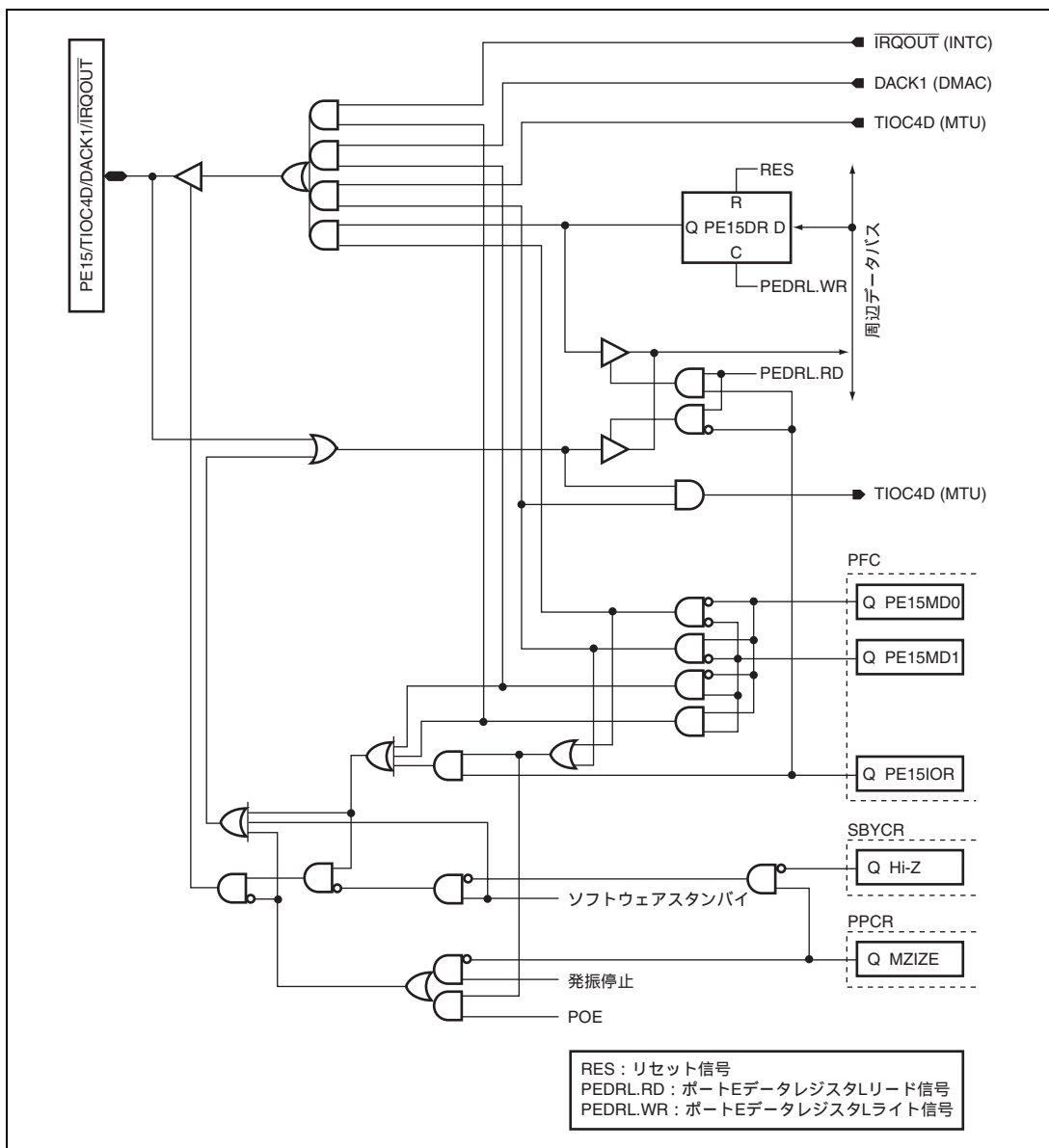


図 D.42 PE15/TIOC4D/DACK1/IRQOUT

対象端子	図中の表記				対象製品			
	PE15	TIOC4D	DACK1	IRQOUT	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE15/TIOC4D/DACK1/ IRQOUT	PE15	TIOC4D (MTU)	DACK1 (DMAC)	IRQOUT (INTC)				

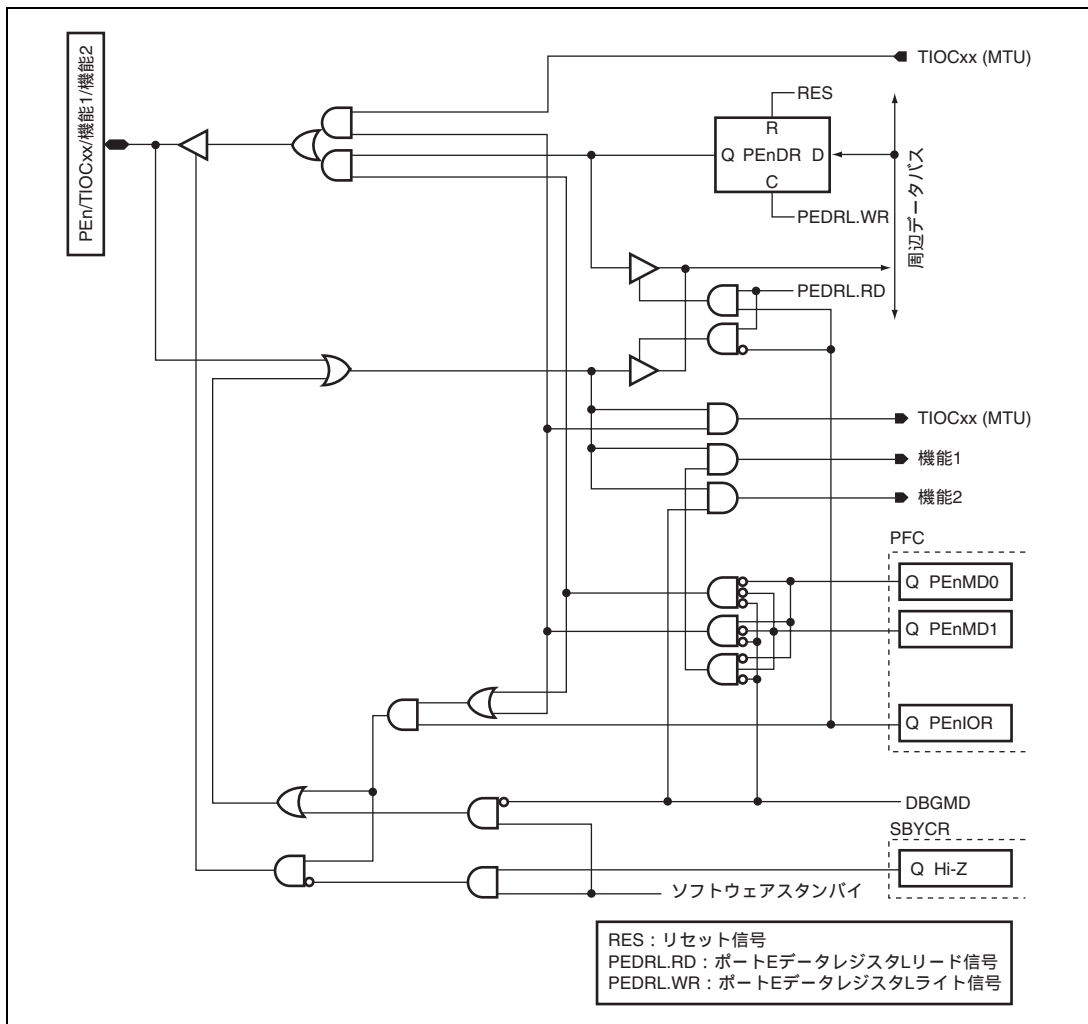


図 D.43 PEEn/TIOCxx/機能1/機能2

対象端子	図中の表記				対象製品			
	PEn	TIOCxx	機能 1	機能 2	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE0/TIOC0A/DREQ0/TMS	PE0	TIOC0A (MTU)	DREQ0 (DMAC)	TMS (H-UDI)				
PE2/TIOC0C/DREQ1/TDI	PE2	TIOC0C (MTU)	DREQ1 (DMAC)	TDI (H-UDI)				
PE4/TIOC1A/RXD3/TCK	PE4	TIOC1A (MTU)	RXD3 (SCI)	TCK (H-UDI)				

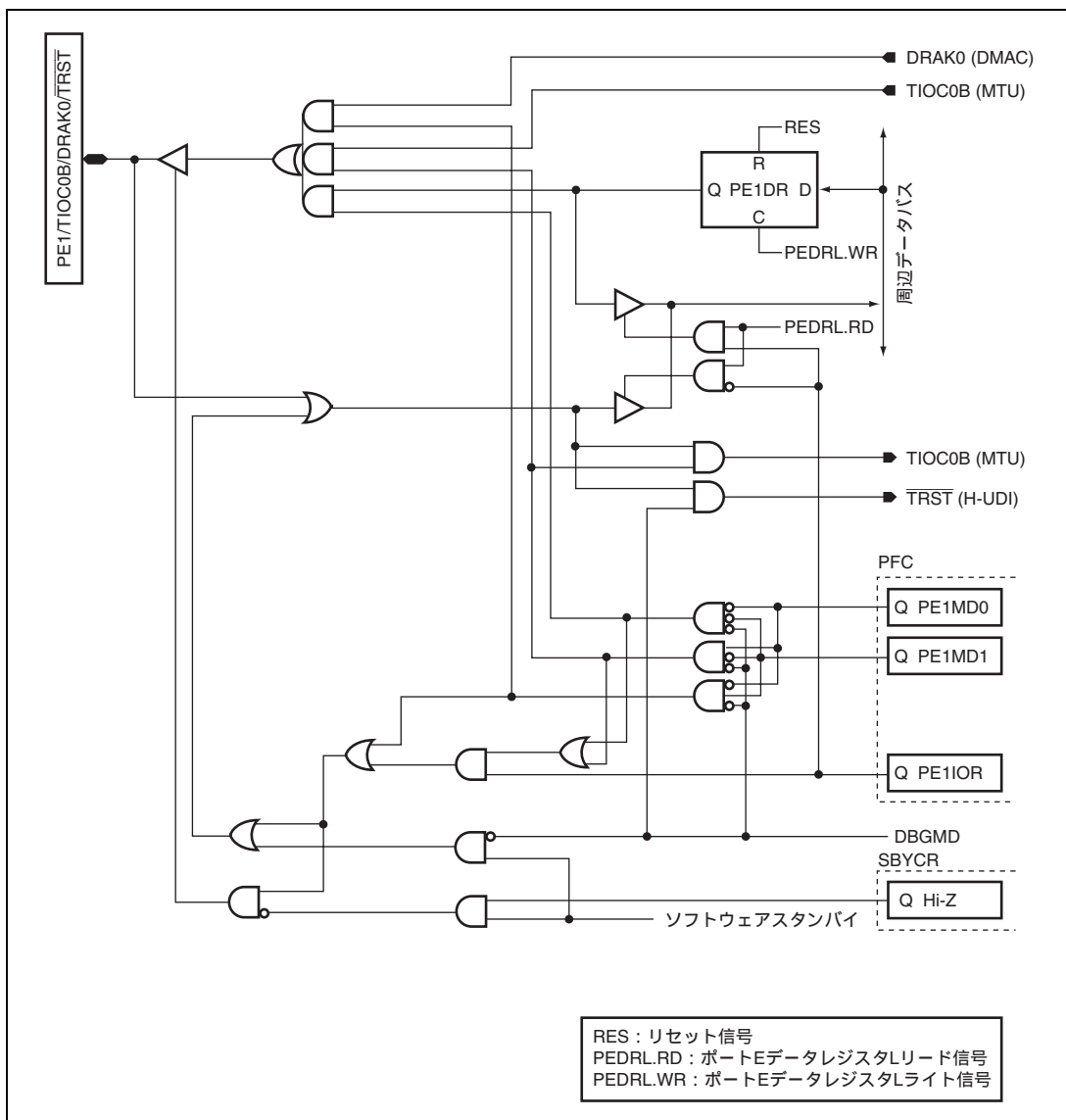


図 D.44 PE1/TIOC0B/DRAK0/TRST

対象端子	図中の表記				対象製品			
	PE1	TIOC0B	DRAK0	TRST	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE1/TIOC0B/DRAK0/TRST	PE1	TIOC0B (MTU)	DRAK0 (DMAC)	TRST (H-UDI)				

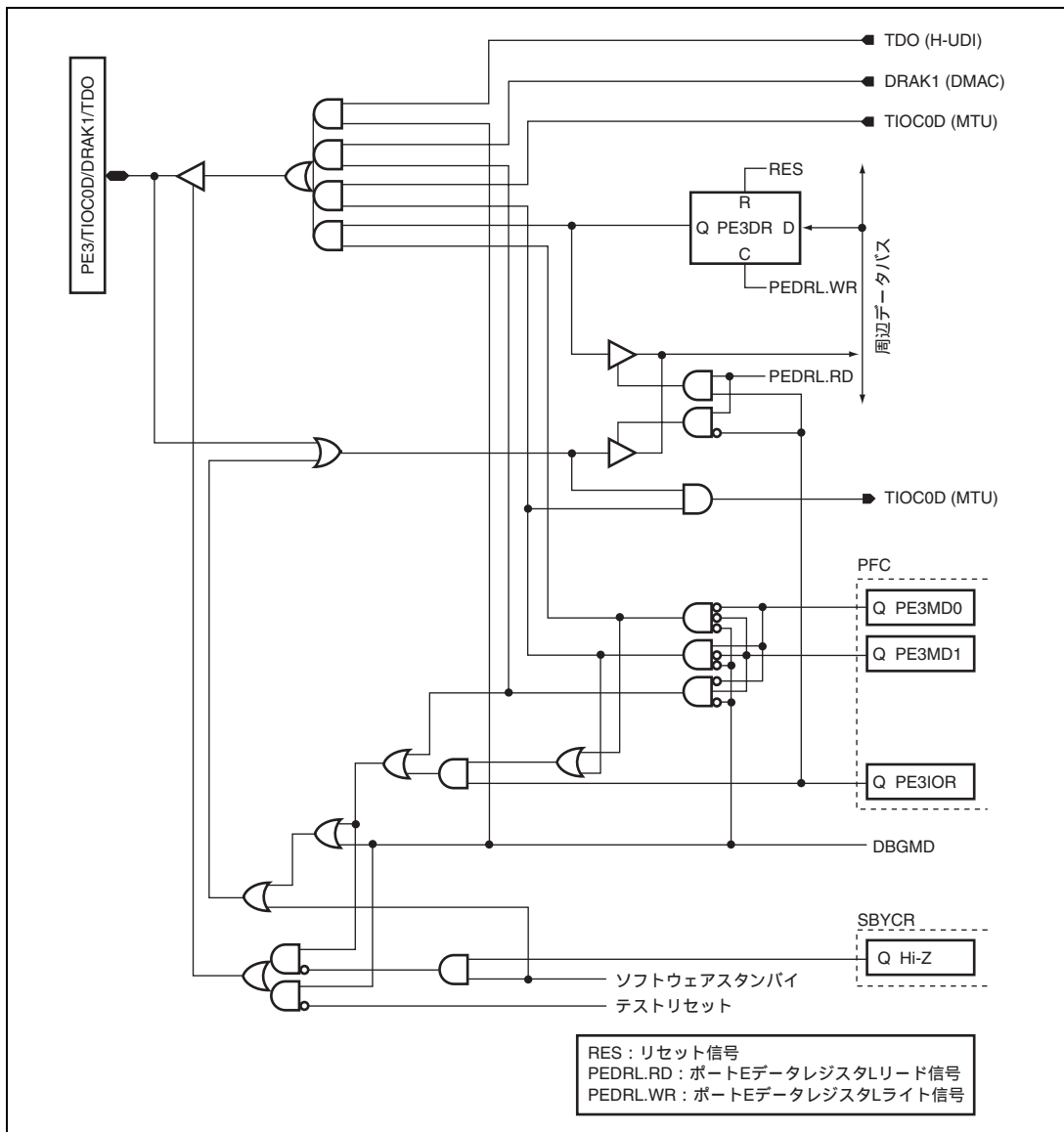


図 D.45 PE3/TIOC0D/DRAK1/TDO

対象端子	図中の表記				対象製品			
	PE3	TIOC0D	DRAK1	TDO	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE3/TIOC0D/DRAK1/TDO	PE3	TIOC0D (MTU)	DRAK1 (DMAC)	TDO (H-UDI)				

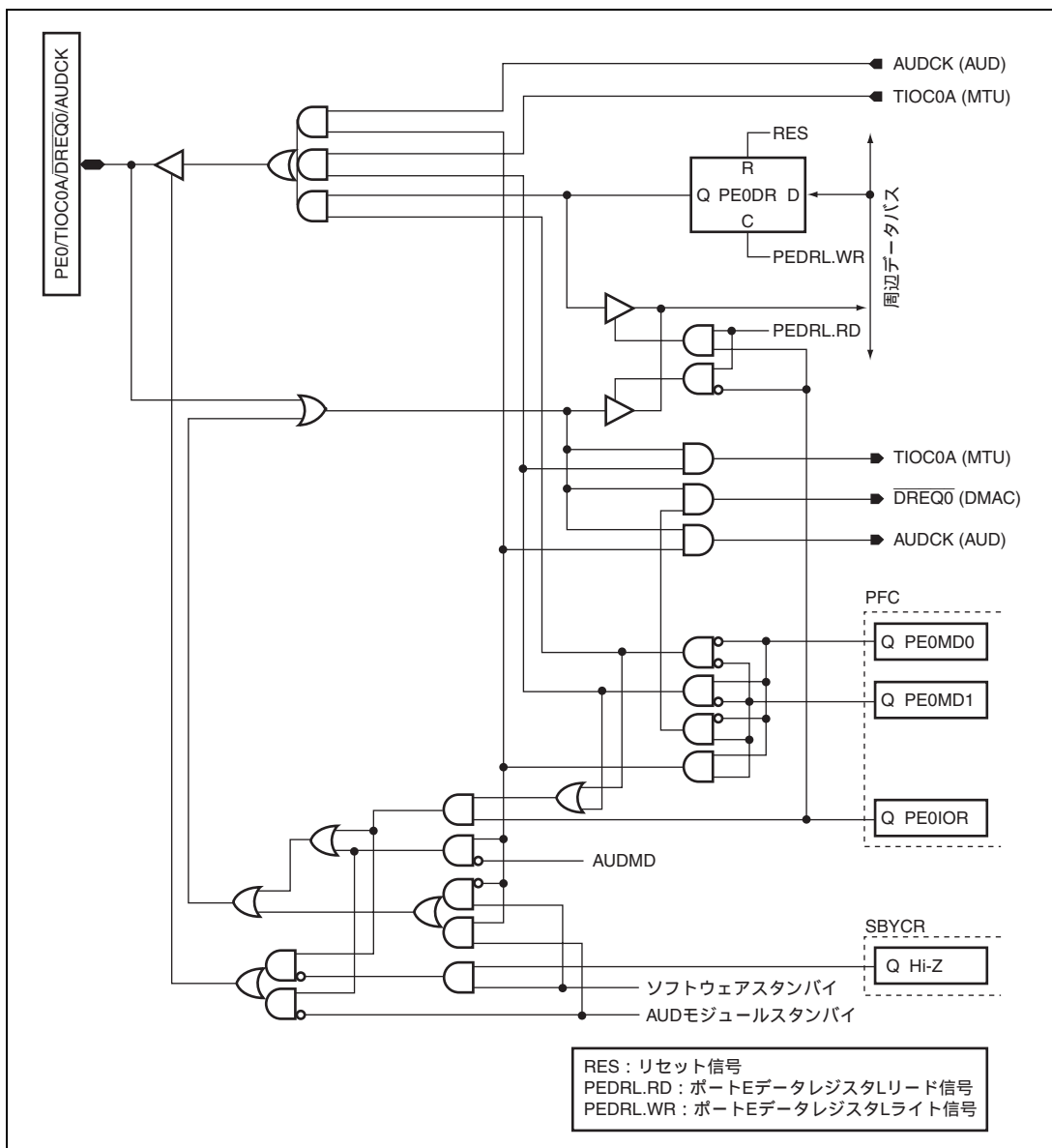


図 D.46 PE0/TIOC0A/DREQ0/AUDCK

対象端子	図中の表記				対象製品			
	PE0	TIOC0A	DREQ0	AUDCK	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE0/TIOC0A/DREQ0/ AUDCK	PE0	TIOC0A (MTU)	DREQ0 (DMAC)	AUDCK (AUD)				

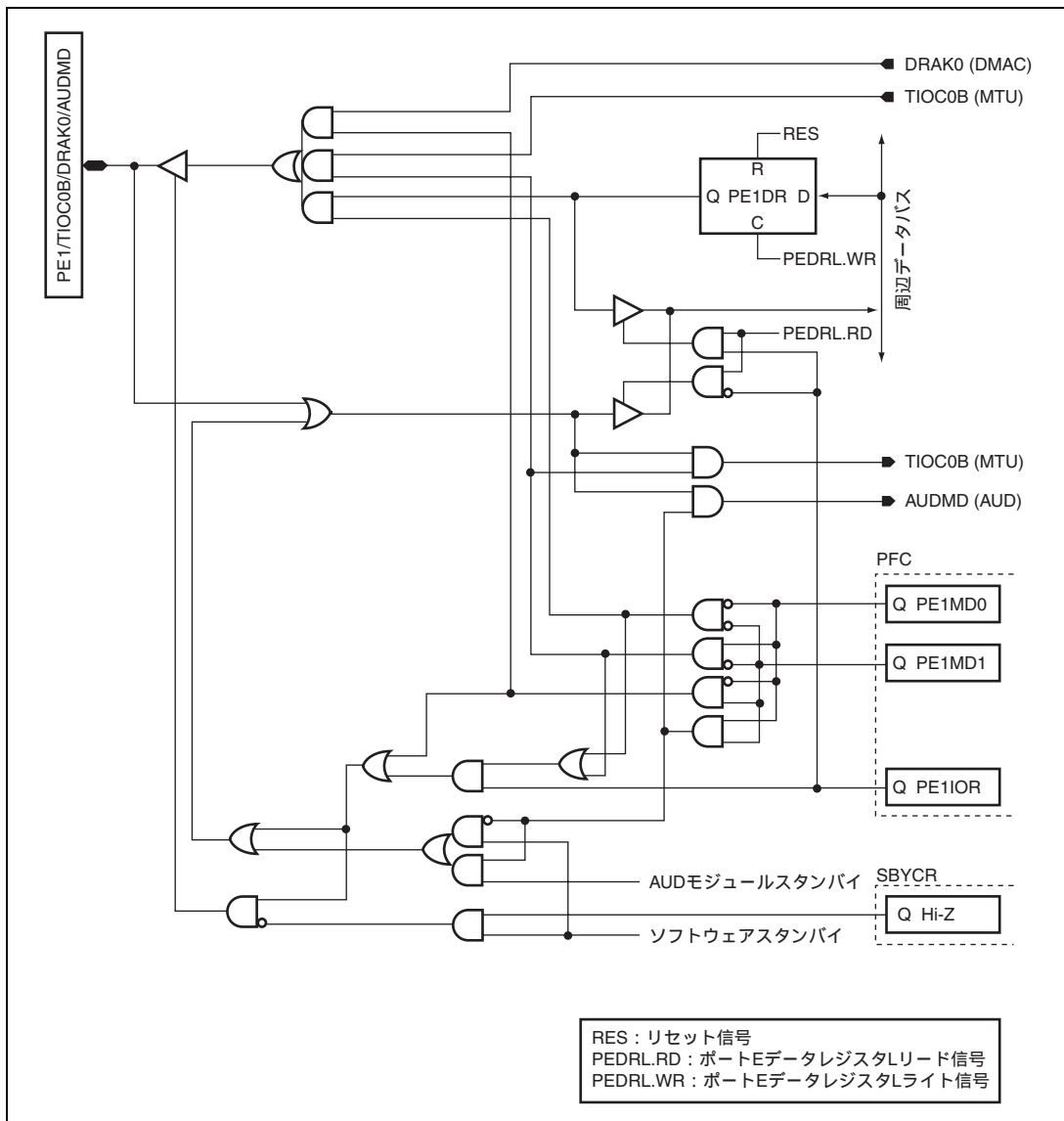


図 D.47 PE1/TIOC0B/DRAK0/AUDMD

対象端子	図中の表記				対象製品			
	PE1	TIOC0B	DRAK0	AUDMD	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE1/TIOC0B/DRAK0/ AUDMD	PE1	TIOC0B (MTU)	DRAK0 (DMAC)	AUDMD (AUD)				

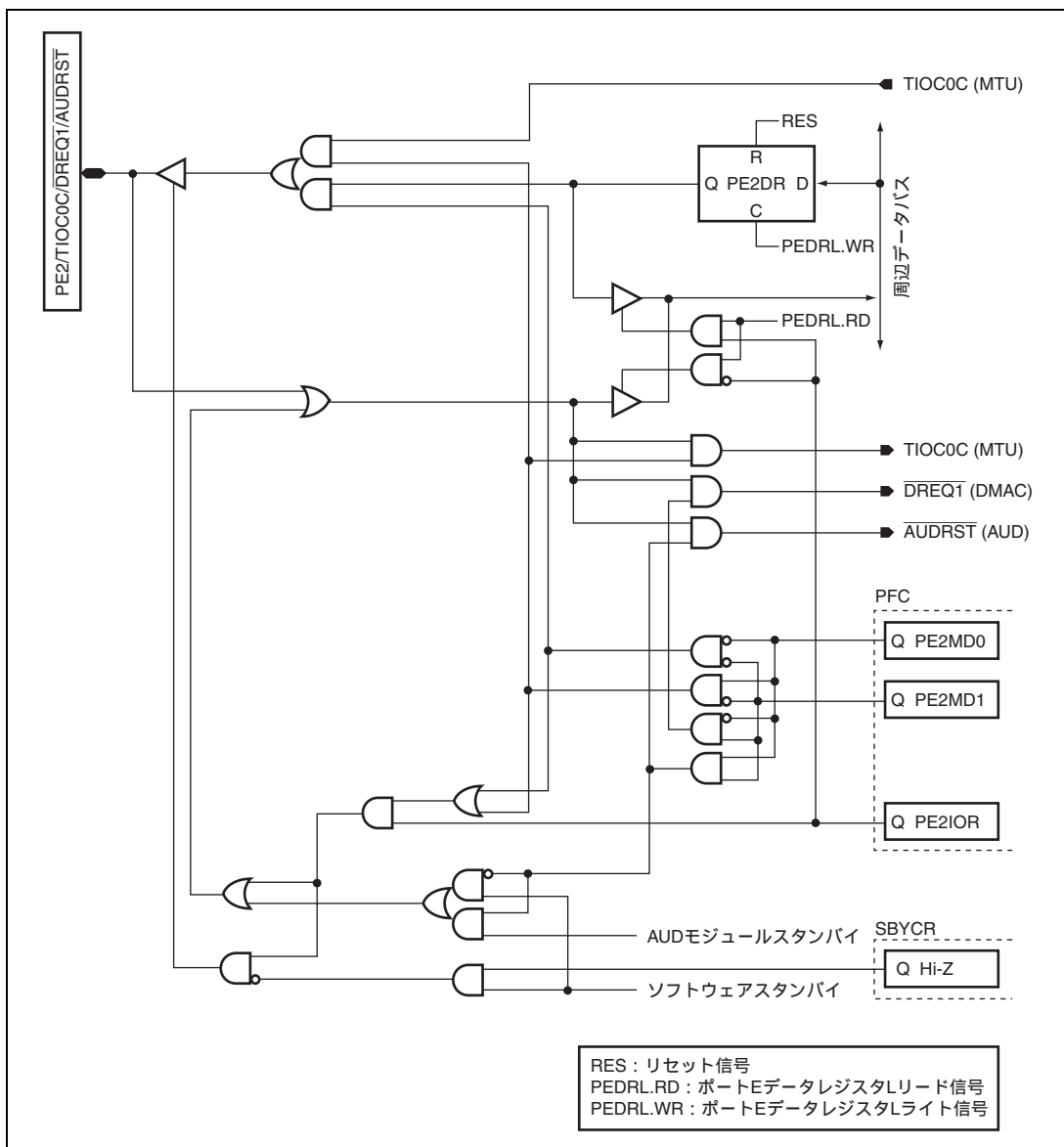


図 D.48 PE2/TIOC0C/DREQ1/AUDRST

対象端子	図中の表記				対象製品			
	PE2	TIOC0C	DREQ1	AUDRST	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE2/TIOC0C/DREQ1/ AUDRST	PE2	TIOC0C (MTU)	DREQ1 (DMAC)	AUDRST (AUD)				

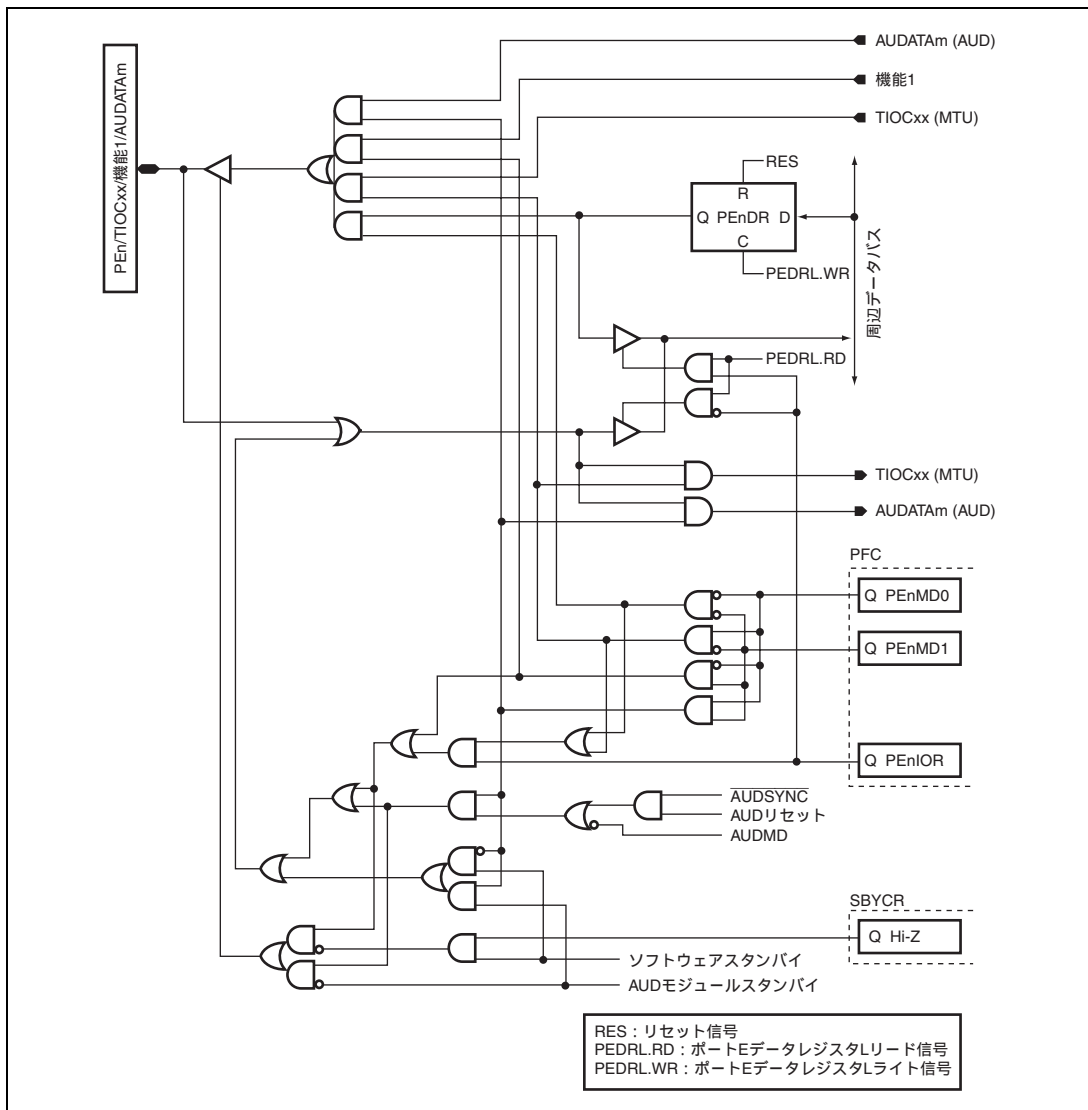


図 D.49 PEn/TIOCxx/機能 1/AUDATAm

対象端子	図中の表記				対象製品			
	PEn	TIOCxx	機能 1	AUDATAm	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE3/TIOC0D/DRAK1/ AUDATA3	PE3	TIOC0D (MTU)	DRAK1 (DMAC)	AUDATA3 (AUD)				
PE5/TIOC1B/TXD3/ AUDATA1	PE5	TIOC1B (MTU)	TXD3 (SCI)	AUDATA1 (AUD)				

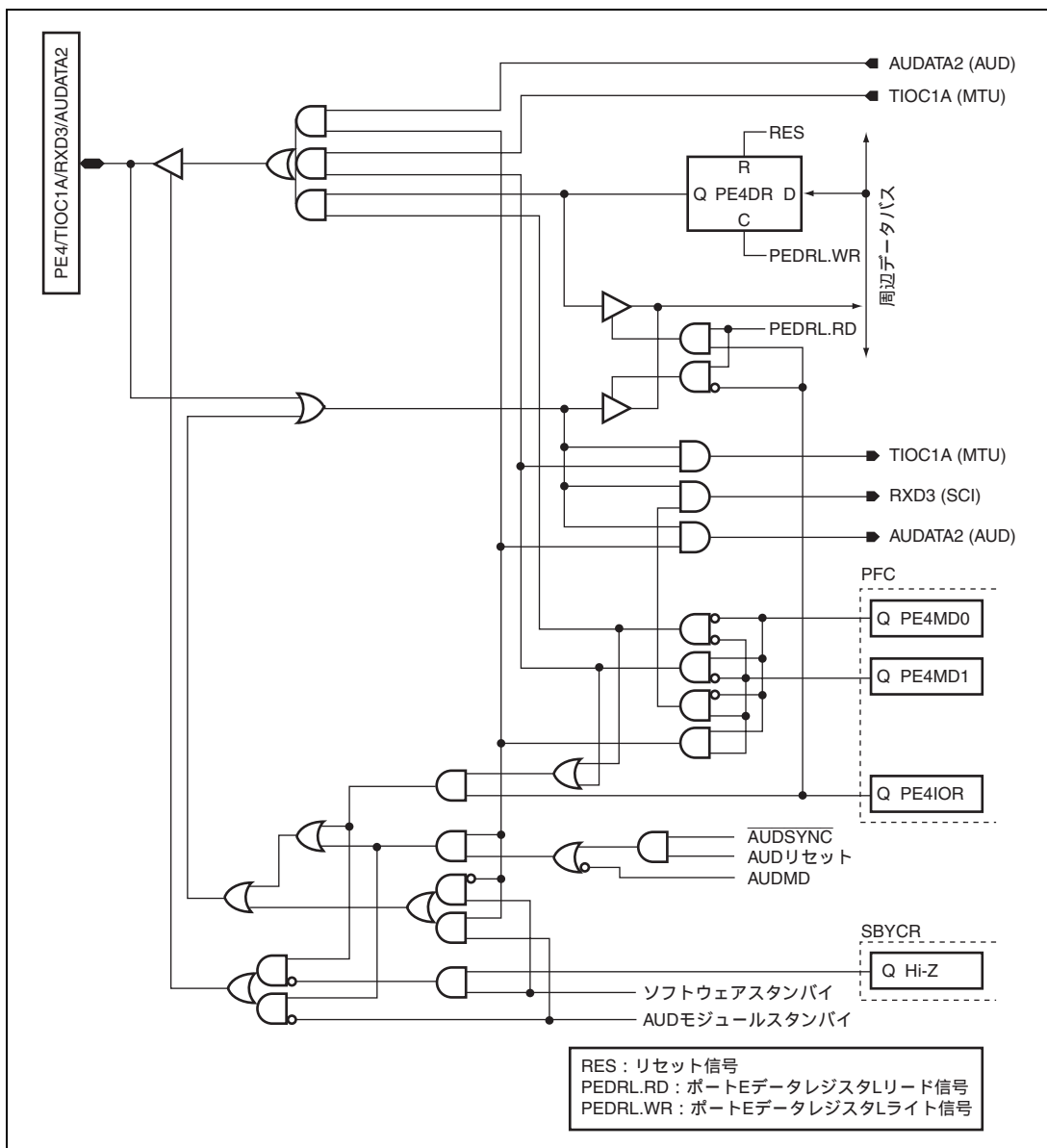


図 D.50 PE4/TIOC1A/RXD3/AUDATA2

対象端子	図中の表記				対象製品			
	PE4	TIOC1A	RXD3	AUDATA2	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE4/TIOC1A/RXD3/ AUDATA2	PE4	TIOC1A (MTU)	RXD3 (SCI)	AUDATA2 (AUD)				

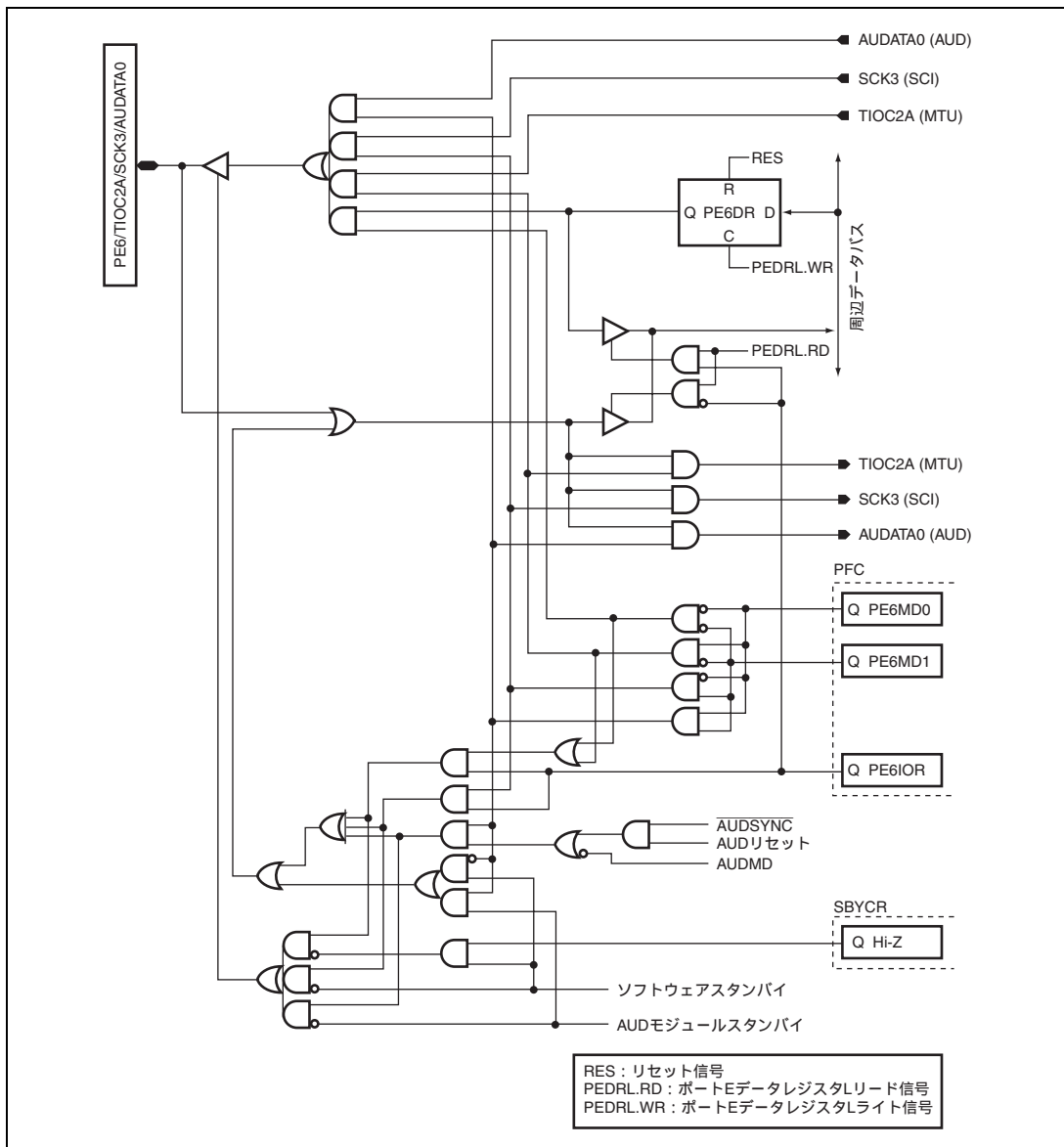


図 D.51 PE6/TIOC2A/SCK3/AUDATA0

対象端子	図中の表記				対象製品			
	PE6	TIOC2A	SCK3	AUDATA0	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE6/TIOC2A/SCK3/ AUDATA0	PE6	TIOC2A (MTU)	SCK3 (SCI)	AUDATA0 (AUD)				

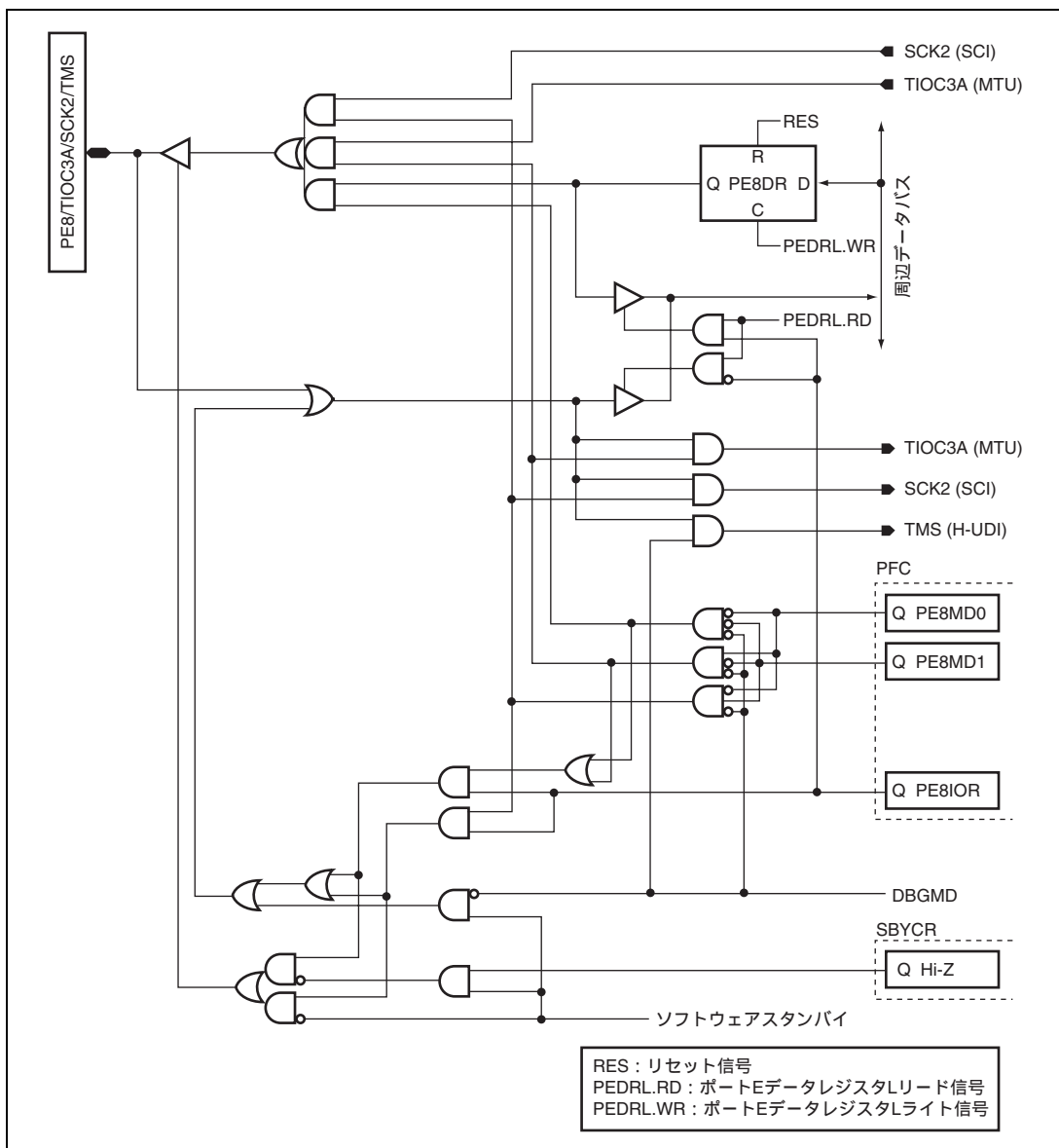


図 D.52 PE8/TIOC3A/SCK2/TMS

対象端子	図中の表記				対象製品			
	PE8	TIOC3A	SCK2	TMS	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE8/TIOC3A/SCK2/TMS	PE8	TIOC3A (MTU)	SCK2 (SCI)	TMS (H-UDI)				

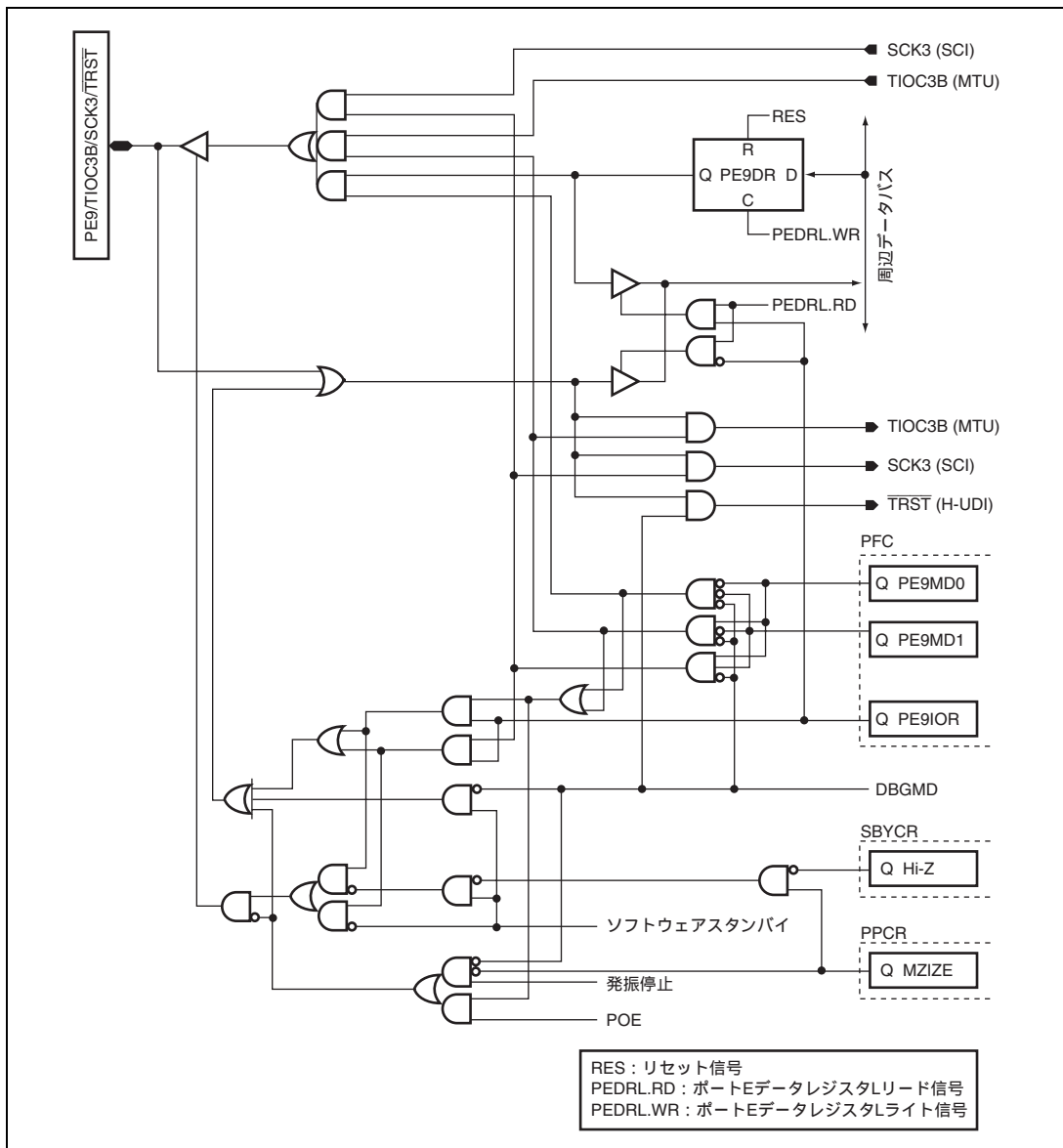


図 D.53 PE9/TIOC3B/SCK3/TRST

対象端子	図中の表記				対象製品			
	PE9	TIOC3B	SCK3	TRST	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE9/TIOC3B/SCK3/TRST	PE9	TIOC3B (MTU)	SCK3 (SCI)	TRST (H-UDI)				

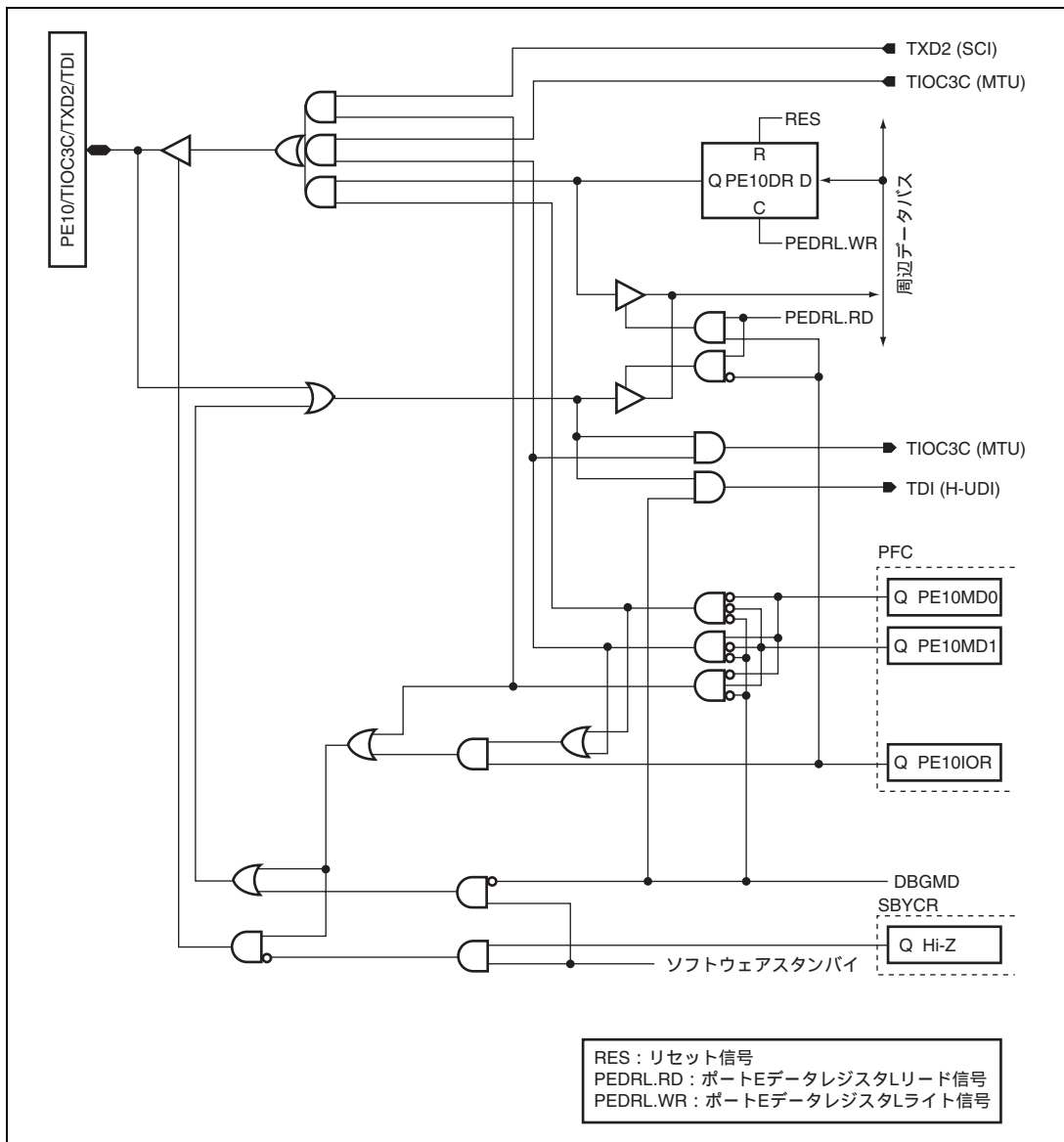


図 D.54 PE10/TIOC3C/TXD2/TDI

対象端子	図中の表記				対象製品			
	PE10	TIOC3C	TXD2	TDI	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE10/TIOC3C/TXD2/TDI	PE10	TIOC3C (MTU)	TXD2 (SCI)	TDI (H-UDI)				

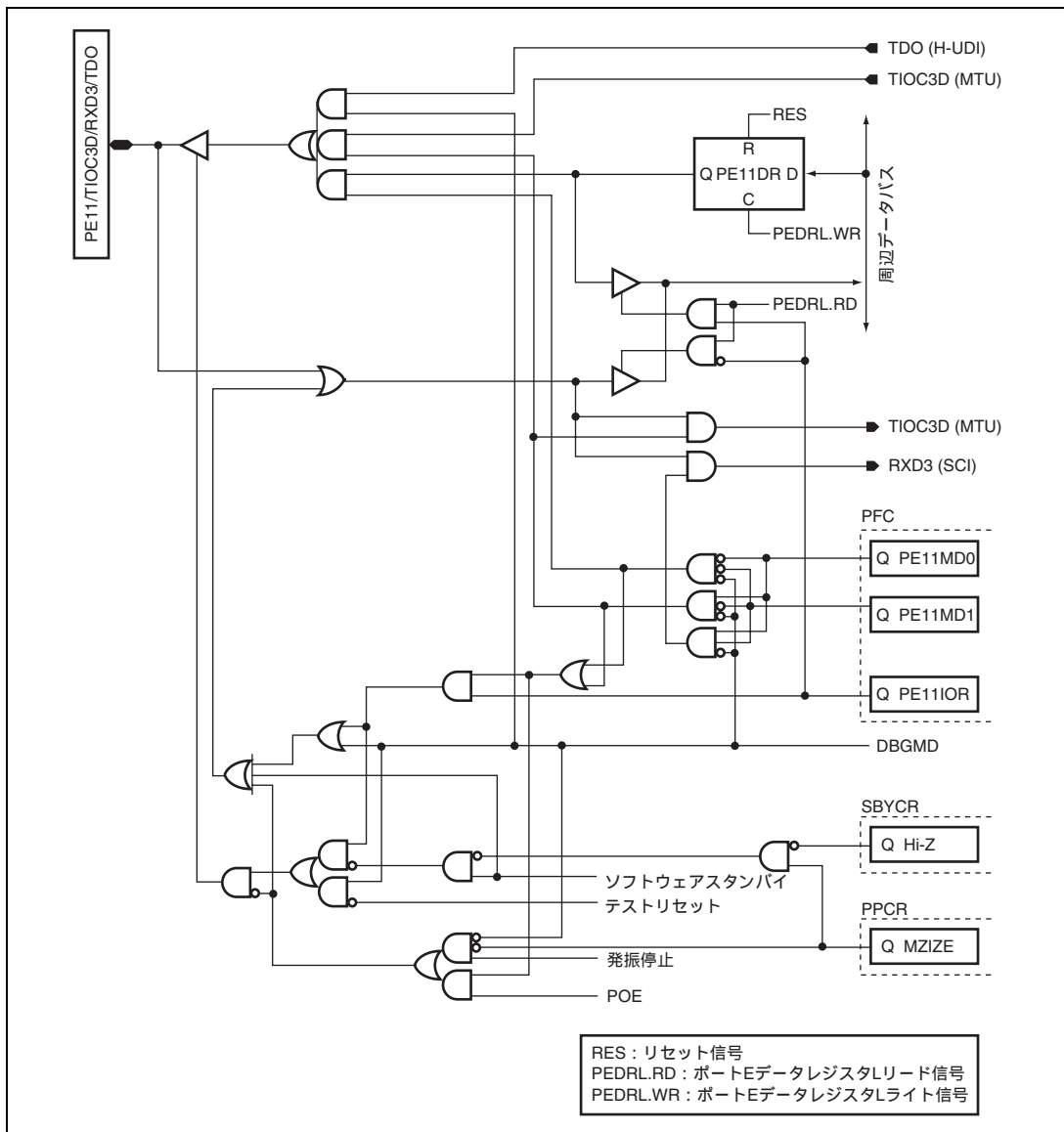


図 D.55 PE11/TIOC3D/RXD3/TDO

対象端子	図中の表記				対象製品			
	PE11	TIOC3D (MTU)	RXD3 (SCI)	TDO (H-UDI)	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE11/TIOC3D/RXD3/TDO	PE11	TIOC3D (MTU)	RXD3 (SCI)	TDO (H-UDI)				

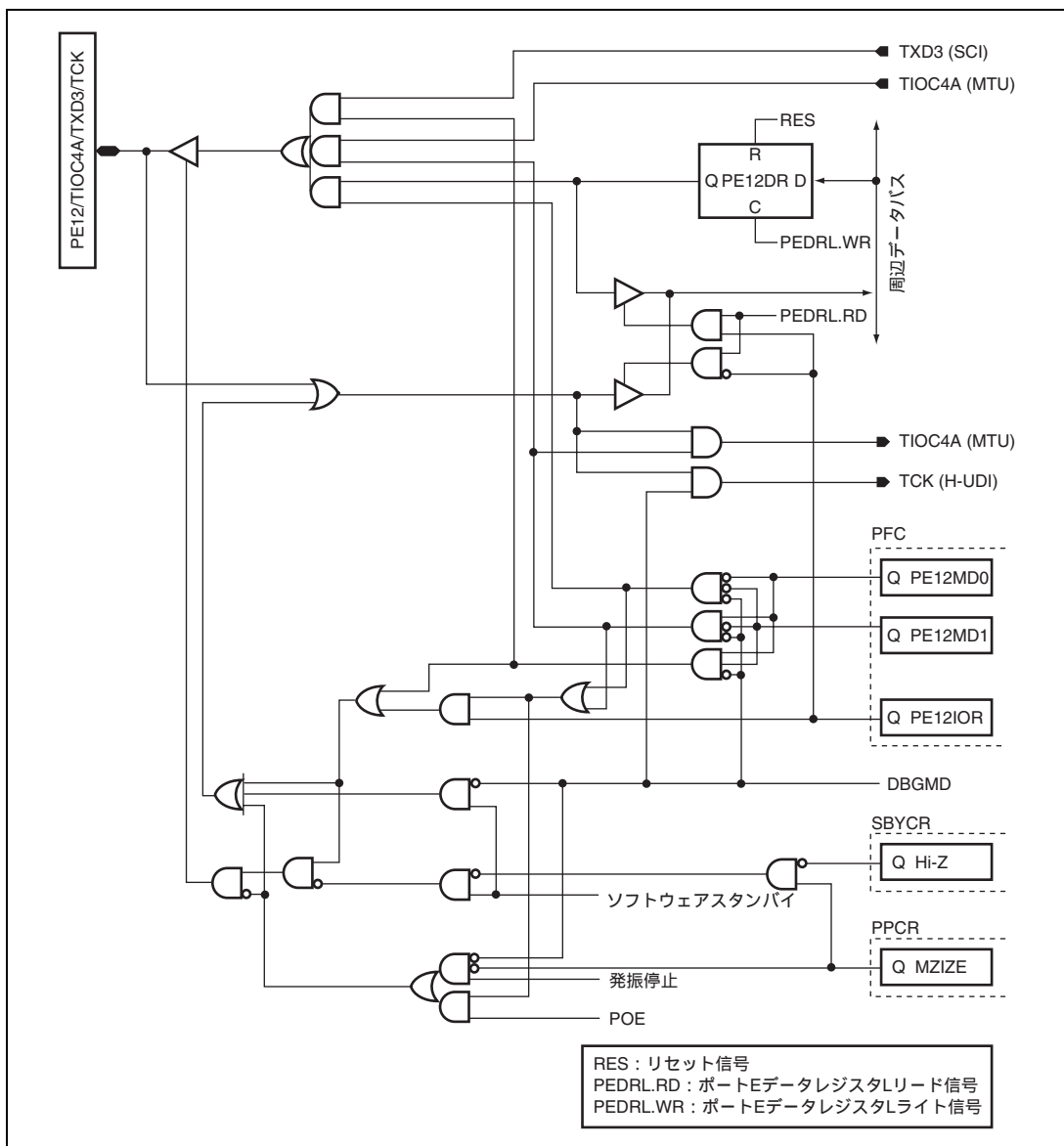


図 D.56 PE12/TIOC4A/TXD3/TCK

対象端子	図中の表記				対象製品			
	PE12	TIOC4A	TXD3	TCK	SH7144		SH7145	
					F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PE12/TIOC4A/TXD3/TCK	PE12	TIOC4A (MTU)	TXD3 (SCI)	TCK (H-UDI)				

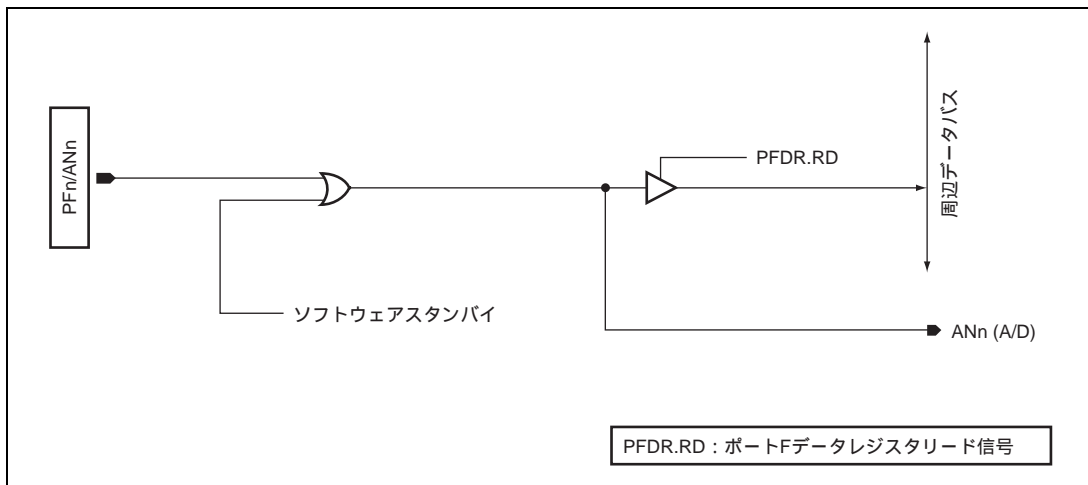


図 D.57 PFn/ANn

対象端子	図中の表記		対象製品			
	PFn	ANn	SH7144		SH7145	
			F-ZTAT 版	マスク版 ROM レス版	F-ZTAT 版	マスク版 ROM レス版
PF0/AN0	PF0	AN0 (A/D)				
PF1/AN1	PF1	AN1 (A/D)				
PF2/AN2	PF2	AN2 (A/D)				
PF3/AN3	PF3	AN3 (A/D)				
PF4/AN4	PF4	AN4 (A/D)				
PF5/AN5	PF5	AN5 (A/D)				
PF6/AN6	PF6	AN6 (A/D)				
PF7/AN7	PF7	AN7 (A/D)				

E. 外形寸法図

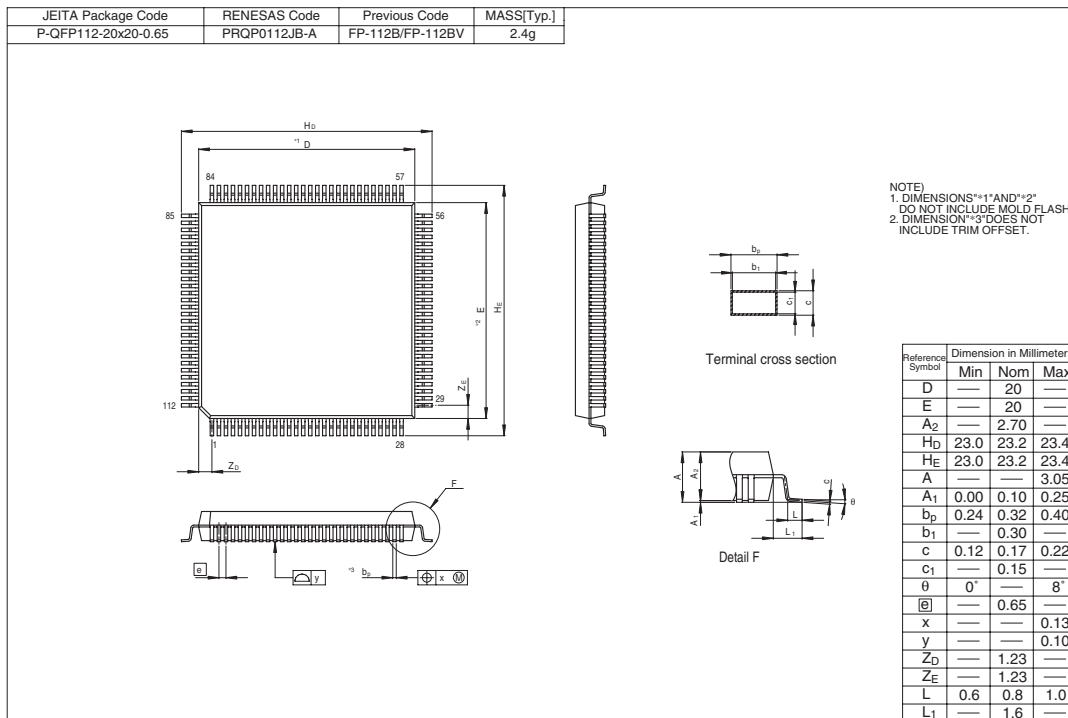
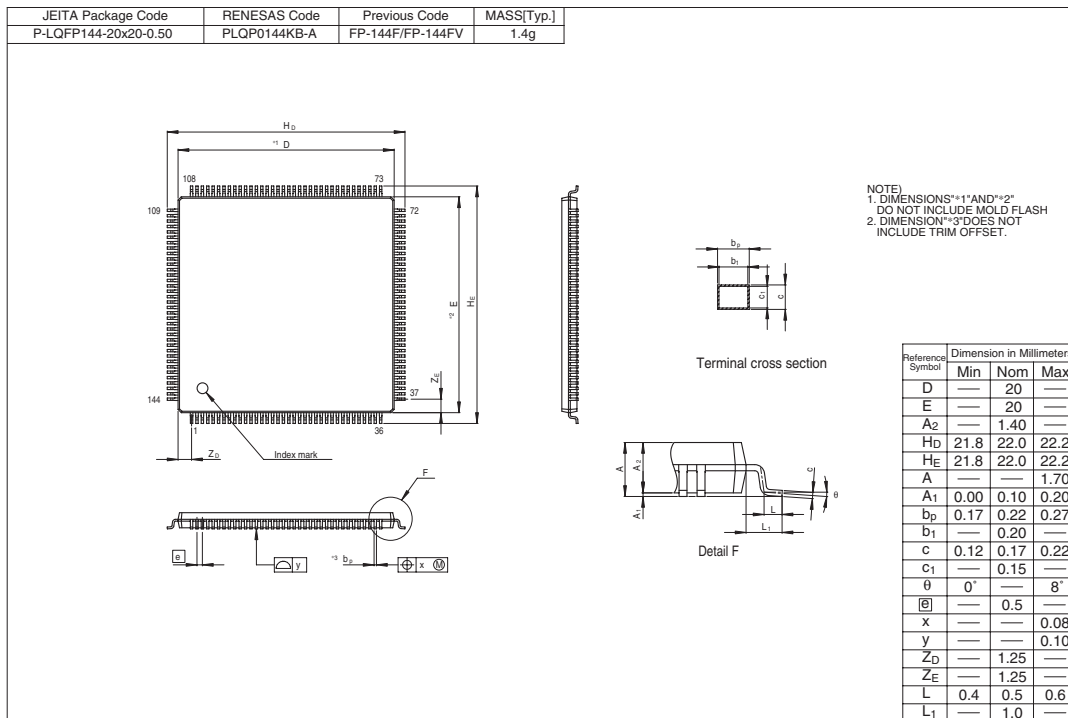


図 E.1 FP-112B



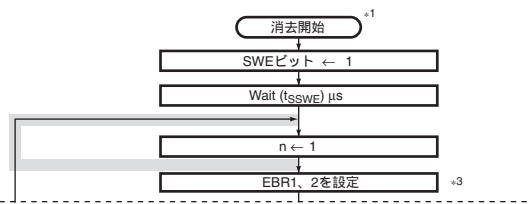
☒ E.2 FP-144F

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）												
5.1.3 例外処理ベクタテーブル 表 5.3 例外処理ベクタテーブル	5-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th>例外要因</th> <th>ベクタ番号</th> <th>ベクタテーブルアドレスオフセット</th> </tr> </thead> <tbody> <tr> <td>内蔵周辺モジュール^{※2}</td> <td>72</td> <td>H'00000120 ~ H'00000123</td> </tr> <tr> <td></td> <td>⋮</td> <td>⋮</td> </tr> <tr> <td></td> <td>255</td> <td>H'000003FC ~ H'000003FF</td> </tr> </tbody> </table>	例外要因	ベクタ番号	ベクタテーブルアドレスオフセット	内蔵周辺モジュール ^{※2}	72	H'00000120 ~ H'00000123		⋮	⋮		255	H'000003FC ~ H'000003FF
例外要因	ベクタ番号	ベクタテーブルアドレスオフセット												
内蔵周辺モジュール ^{※2}	72	H'00000120 ~ H'00000123												
	⋮	⋮												
	255	H'000003FC ~ H'000003FF												
11.4.5 PWM モード 図 11.23 PWM モード動作例	11-56	<p>図を修正</p>												
11.4.8 相補 PWM モード 図 11.34 相補PWMモードのカウンタ動作	11-70	<p>図を修正</p>												
11.7.16 オーバフロー/アンダフローとカウンタクリアの競合 図 11.83 オーバフローとカウンタクリアの競合	11-108	<p>図を修正</p>												

修正項目	ページ	修正内容（詳細はマニュアル参照）
11.7.16 オーバフロー / アンダフローとカウンタクリアの競合 図 11.84 TCNT のライトとオーバフローの競合	11-108	図を修正
11.7.22 バッファ動作設定上の注意事項	11-109	新規追加
12. ウォッチドッグタイマ (WDT) 12.1 特長	12-1	説明を差し替え
13.3.7 シリアルステータスレジスタ (SSR) • スマートカードインタフェースモード (SDCR の SMIF=1 のとき)	13-16	注を追加 【注】* フラグをクリアするために 0 のみ書き込むことができます。
13.4.4 SCI の初期化 (調歩同期式) 図 13.5 SCI の初期化フローチャートの例	13-29	図を差し替え
13.6.1 クロック	13-40	説明を追加 同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。ただし受信のみの動作のときは、オーバーランエラーが発生するか、RE ビットを 0 にクリアするまで同期のクロックは出力されます。1 キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。
13.6.2 SCI の初期化 (クロック同期式) 図 13.15 SCI の初期化フローチャートの例	13-41	図を差し替え

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																												
14.3.4 I ² C バスモードレジスタ (ICMR) 表 14.3 転送レート	14-8	<p>表を修正</p> <table border="1" style="width: 100%; text-align: center;"> <thead> <tr> <th colspan="6">転送レート</th> </tr> <tr> <th>Pϕ=10MHz</th> <th>Pϕ=16MHz</th> <th>Pϕ=20MHz</th> <th>Pϕ=25MHz</th> <th>Pϕ=33MHz</th> <th>Pf=40MHz</th> </tr> </thead> <tbody> <tr> <td>357kHz</td> <td>571kHz*</td> <td>714kHz*</td> <td>893kHz*</td> <td>1.18MHz*</td> <td>1.43MHz*</td> </tr> <tr> <td>250kHz</td> <td>400kHz</td> <td>500kHz*</td> <td>625kHz*</td> <td>825kHz*</td> <td>1.00MHz*</td> </tr> <tr> <td>208kHz</td> <td>333kHz</td> <td>417kHz*</td> <td>521kHz*</td> <td>688kHz*</td> <td>833kHz*</td> </tr> <tr> <td>156kHz</td> <td>250kHz</td> <td>313kHz</td> <td>391kHz</td> <td>516kHz*</td> <td>625kHz*</td> </tr> <tr> <td>125kHz</td> <td>200kHz</td> <td>250kHz</td> <td>313kHz</td> <td>413kHz*</td> <td>500kHz*</td> </tr> <tr> <td>100kHz</td> <td>160kHz</td> <td>200kHz</td> <td>250kHz</td> <td>330kHz</td> <td>400kHz</td> </tr> <tr> <td>89.3kHz</td> <td>143kHz</td> <td>179kHz</td> <td>223kHz</td> <td>295kHz</td> <td>357kHz</td> </tr> <tr> <td>78.1kHz</td> <td>125kHz</td> <td>156kHz</td> <td>195kHz</td> <td>258kHz</td> <td>313kHz</td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】* I²C バスインタフェース仕様（通常モード：最大 100kHz、高速モード：最大 400kHz）の範囲外となります。</p> <p>IICX = 0 で、周辺クロックϕの周波数が 16MHz を超える場合は、負荷条件などにより所定の転送レートが得られない場合があります。Pϕ が 16MHz を超える場合は、IICX = 1 でご使用ください。</p>	転送レート						P ϕ =10MHz	P ϕ =16MHz	P ϕ =20MHz	P ϕ =25MHz	P ϕ =33MHz	Pf=40MHz	357kHz	571kHz*	714kHz*	893kHz*	1.18MHz*	1.43MHz*	250kHz	400kHz	500kHz*	625kHz*	825kHz*	1.00MHz*	208kHz	333kHz	417kHz*	521kHz*	688kHz*	833kHz*	156kHz	250kHz	313kHz	391kHz	516kHz*	625kHz*	125kHz	200kHz	250kHz	313kHz	413kHz*	500kHz*	100kHz	160kHz	200kHz	250kHz	330kHz	400kHz	89.3kHz	143kHz	179kHz	223kHz	295kHz	357kHz	78.1kHz	125kHz	156kHz	195kHz	258kHz	313kHz
転送レート																																																														
P ϕ =10MHz	P ϕ =16MHz	P ϕ =20MHz	P ϕ =25MHz	P ϕ =33MHz	Pf=40MHz																																																									
357kHz	571kHz*	714kHz*	893kHz*	1.18MHz*	1.43MHz*																																																									
250kHz	400kHz	500kHz*	625kHz*	825kHz*	1.00MHz*																																																									
208kHz	333kHz	417kHz*	521kHz*	688kHz*	833kHz*																																																									
156kHz	250kHz	313kHz	391kHz	516kHz*	625kHz*																																																									
125kHz	200kHz	250kHz	313kHz	413kHz*	500kHz*																																																									
100kHz	160kHz	200kHz	250kHz	330kHz	400kHz																																																									
89.3kHz	143kHz	179kHz	223kHz	295kHz	357kHz																																																									
78.1kHz	125kHz	156kHz	195kHz	258kHz	313kHz																																																									
14.5 使用上の注意事項 10. ウェイト動作に関する注意事項	14-58 ~ 14-59	「10. ウェイト動作に関する注意事項」を追加																																																												
15.3.2 A/D コントロール/ステータスレジスタ_0、1 (ADCSR_0、1)	15-5	<p>説明を修正</p> <table border="1" style="width: 100%; text-align: center;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>ADF</td> <td>0</td> <td>R/(W)*</td> <td>A/Dエンドフラグ A/D変換の終了を示すステータスフラグです。 【セット条件】 • シングルモードでA/D変換が終了したとき • スキャンモードで選択されたすべてのチャンネルのA/D変換が終了したとき 【クリア条件】 • 1の状態をリードした後、0をライトしたとき • AD割り込みによりDTCまたはDMACが起動され、DTCのDTMRビットが0のときにADDRからデータをリードしたとき</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	ADF	0	R/(W)*	A/Dエンドフラグ A/D変換の終了を示すステータスフラグです。 【セット条件】 • シングルモードでA/D変換が終了したとき • スキャンモードで選択されたすべてのチャンネルのA/D変換が終了したとき 【クリア条件】 • 1の状態をリードした後、0をライトしたとき • AD割り込みによりDTCまたはDMACが起動され、DTCのDTMRビットが0のときにADDRからデータをリードしたとき																																																		
ビット	ビット名	初期値	R/W	説明																																																										
7	ADF	0	R/(W)*	A/Dエンドフラグ A/D変換の終了を示すステータスフラグです。 【セット条件】 • シングルモードでA/D変換が終了したとき • スキャンモードで選択されたすべてのチャンネルのA/D変換が終了したとき 【クリア条件】 • 1の状態をリードした後、0をライトしたとき • AD割り込みによりDTCまたはDMACが起動され、DTCのDTMRビットが0のときにADDRからデータをリードしたとき																																																										
16.2.2 コンペアマッチタイムコントロール/ステータスレジスタ_0、1 (CMCSR_0、1)	16-3	<p>説明を修正</p> <table border="1" style="width: 100%; text-align: center;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>CMF</td> <td>0</td> <td>R/(W)*</td> <td>コンペアマッチフラグ コンペアマッチタイムカウンタ (CMCNT) とコンペアマッチタイムコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。 0 : CMCNTとCMCORの値が一致していない 1 : CMCNTとCMCORの値が一致した 【クリア条件】 (1) CMFの1を読み出してから0を書き込む (2) CM割り込みによりDTCが起動され、DTCのDTMRのDISELビットが0のときにデータを転送したとき</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	CMF	0	R/(W)*	コンペアマッチフラグ コンペアマッチタイムカウンタ (CMCNT) とコンペアマッチタイムコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。 0 : CMCNTとCMCORの値が一致していない 1 : CMCNTとCMCORの値が一致した 【クリア条件】 (1) CMFの1を読み出してから0を書き込む (2) CM割り込みによりDTCが起動され、DTCのDTMRのDISELビットが0のときにデータを転送したとき																																																		
ビット	ビット名	初期値	R/W	説明																																																										
7	CMF	0	R/(W)*	コンペアマッチフラグ コンペアマッチタイムカウンタ (CMCNT) とコンペアマッチタイムコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。 0 : CMCNTとCMCORの値が一致していない 1 : CMCNTとCMCORの値が一致した 【クリア条件】 (1) CMFの1を読み出してから0を書き込む (2) CM割り込みによりDTCが起動され、DTCのDTMRのDISELビットが0のときにデータを転送したとき																																																										
19.1 特長	19-1	<p>説明を修正</p> <ul style="list-style-type: none"> 書き換え回数 <p>「26.5 フラッシュメモリ特性」を参照してください。</p>																																																												

修正項目	ページ	修正内容（詳細はマニュアル参照）																												
19.8.3 フラッシュメモリの書き込み / 消去時の割り込み 図 19.10 イレース / イレースベリファイフロー	19-20	図を修正 																												
19.11.3 フラッシュメモリの書き込み / 消去時の注意事項	19-23 ~ 19-25	説明を差し替え																												
23.5.7 E10A 使用時の AUD 関連端子の設定	23-9	新規追加																												
24.3.1 スリープモード (1) スリープモードへの遷移 • 割り込みによる解除（マスク版、および ROM レス版のみ） • DMAC/DTC アドレスエラーによる解除（マスク版、および ROM レス版のみ）	24-7	説明を削除 なお、  スリープモード中は、DMAC、DTC、AUD によるデータアクセスを行わないでください。 「• 割り込みによる解除（マスク版、および ROM レス版のみ）」 「• DMAC/DTC アドレスエラーによる解除（マスク版、および ROM レス版のみ）」を削除																												
24.4.5 スリープモード中の DMAC、DTC、AUD 動作	24-11	説明を削除  スリープモード中は、DMAC、DTC、AUD によるデータアクセスを行わないでください。																												
26.2 DC 特性 表 26.2 DC 特性	26-2	表を修正 <table border="1" data-bbox="583 1120 1207 1255"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>シュミットトリカ入力電圧</td> <td>IRG7 - IRQ0, POE3 - POE0, TCLKA - TCLKD, TIOC0A - TIOC0D, TIOC1A - TIOC1B, TIOC2A - TIOC2B, TIOC3A - TIOC3D, TIOC4A - TIOC4D, SCK3 - SCK0, RXD3 - RXD0</td> <td>V_{IH}</td> <td>Vcc-0.5</td> <td>-</td> <td>-</td> <td>V</td> </tr> <tr> <td></td> <td></td> <td>V_{IL}</td> <td>-</td> <td>-</td> <td>0.5</td> <td>V</td> </tr> <tr> <td></td> <td></td> <td>V_{T+} - V_{T-}</td> <td>0.2</td> <td>-</td> <td>-</td> <td>V</td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	測定条件	シュミットトリカ入力電圧	IRG7 - IRQ0, POE3 - POE0, TCLKA - TCLKD, TIOC0A - TIOC0D, TIOC1A - TIOC1B, TIOC2A - TIOC2B, TIOC3A - TIOC3D, TIOC4A - TIOC4D, SCK3 - SCK0, RXD3 - RXD0	V_{IH}	Vcc-0.5	-	-	V			V_{IL}	-	-	0.5	V			V_{T+} - V_{T-}	0.2	-	-	V
項目	記号	min	typ	max	単位	測定条件																								
シュミットトリカ入力電圧	IRG7 - IRQ0, POE3 - POE0, TCLKA - TCLKD, TIOC0A - TIOC0D, TIOC1A - TIOC1B, TIOC2A - TIOC2B, TIOC3A - TIOC3D, TIOC4A - TIOC4D, SCK3 - SCK0, RXD3 - RXD0	V_{IH}	Vcc-0.5	-	-	V																								
		V_{IL}	-	-	0.5	V																								
		V_{T+} - V_{T-}	0.2	-	-	V																								
26.4 A/D 変換器特性 表 26.17 A/D 変換器特性	26-27	表を修正 <table border="1" data-bbox="583 1294 1207 1391"> <thead> <tr> <th>項目</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>非直線性誤差（参考値）</td> <td>-</td> <td>-</td> <td>$\pm 3.0^{+0.4}/\pm 5.0^{+0.5}$</td> <td>LSB</td> </tr> <tr> <td>オフセット誤差（参考値）</td> <td>-</td> <td>-</td> <td>$\pm 3.0^{+0.4}/\pm 5.0^{+0.5}$</td> <td>LSB</td> </tr> <tr> <td>フルスケール誤差（参考値）</td> <td>-</td> <td>-</td> <td>$\pm 3.0^{+0.4}/\pm 5.0^{+0.5}$</td> <td>LSB</td> </tr> </tbody> </table>	項目	min	typ	max	単位	非直線性誤差（参考値）	-	-	$\pm 3.0^{+0.4}/\pm 5.0^{+0.5}$	LSB	オフセット誤差（参考値）	-	-	$\pm 3.0^{+0.4}/\pm 5.0^{+0.5}$	LSB	フルスケール誤差（参考値）	-	-	$\pm 3.0^{+0.4}/\pm 5.0^{+0.5}$	LSB								
項目	min	typ	max	単位																										
非直線性誤差（参考値）	-	-	$\pm 3.0^{+0.4}/\pm 5.0^{+0.5}$	LSB																										
オフセット誤差（参考値）	-	-	$\pm 3.0^{+0.4}/\pm 5.0^{+0.5}$	LSB																										
フルスケール誤差（参考値）	-	-	$\pm 3.0^{+0.4}/\pm 5.0^{+0.5}$	LSB																										
26.5 フラッシュメモリ特性 表 26.18 フラッシュメモリ特性	26-28 ~ 26-29	表を差し替え																												
E. 外形寸法図 図 E.1 FP-112B	付録-72	図を差し替え																												
図 E.2 FP-144F	付録-73	図を差し替え																												

索引

A/D 変換器	15-1	スレーブデバイス	14-35
1 サイクルスキャンモード	15-9	マスタデバイス	14-24
A/D 変換時間	15-9	MCU 動作モード	3-1
シングルモード	15-8	アドレスマップ	3-3
許容信号源インピーダンス	15-14	クロックモード	3-2
連続スキャンモード	15-8	RAM	21-1
CPU	2-1	アドバンストユーザデバッグ (AUD)	23-1
CPU の処理状態	2-25	RAM モニタモード	23-5
RISC 方式	2-6	ブランチトレースモード	23-4
アドレッシングモード	2-9	ウォッチドッグタイマ (WDT)	
イミディエイトデータのデータ形式	2-5	RSTCSR への書き込み	12-9
グローバルベースレジスタ (GBR)	2-3	TCNT、TCSR、RSTCSR からの読み出し	12-10
コントロールレジスタ	2-3	TCNT、TCSR への書き込み	12-9
システムレジスタ	2-4	インターバルタイマモード	12-6
ステータスレジスタ (SR)	2-3	ウォッチドッグタイマモード	12-5
データ形式	2-4	クロック発振器	4-1
バイトデータ	2-5	システムクロック (ϕ)	4-1
バス権解放状態	2-26	外部クロック入力	4-3
プログラムカウンタ (PC)	2-4	水晶発振子	4-2
プログラム実行状態	2-26	内部クロック	4-1
プロシージャレジスタ (PR)	2-4	発振停止検出機能	4-3
ベクタベースレジスタ (VBR)	2-4	コンペアマッチタイマ (CMT)	16-1
メモリ上でのデータ形式	2-5	周期カウンタ	16-4
リセット状態	2-26	シリアルコミュニケーションインタフェース (SCI)	13-1
レジスタのデータ形式	2-4	クロック同期式通信	13-40
ロングワードデータ	2-5	スマートカードインタフェース	13-48
ワードデータ	2-5	マルチプロセッサ通信機能	13-35
実効アドレス	2-9	調歩同期式シリアル通信	13-25
積和レジスタ (MAC)	2-4	ダイレクトメモリアクセスコントローラ (DMAC)	10-1
遅延分岐命令	2-6	オートリクエストモード	10-13
低消費電力状態	2-26	サイクルスチールモード	10-25
汎用レジスタ (Rn)	2-3	シングルアドレスモード	10-18
例外処理状態	2-26	デュアルアドレスモード	10-18
IO ポート	18-1	バーストモード	10-26
I ² C バスインタフェース (IIC)	14-1	ラウンドロビンモード	10-15
I ² C バスフォーマット	14-21	外部リクエストモード	10-13
シリアルフォーマット	14-21	固定モード	10-15

内蔵周辺モジュールリクエストモード.....	10-14	ADDR	15-4, 25-7, 25-17, 25-25
データトランスファコントローラ (DTC)	8-1	ADTSR	15-7, 25-9, 25-21, 25-27
DTC のソフトウェア起動	8-19	BCR1	9-6, 25-8, 25-18, 25-26
DTC の割り込み起動	8-19	BCR2	9-8, 25-8, 25-18, 25-26
DTC ベクタテーブル	8-8	BRR	13-17, 25-2, 25-11, 25-22
チェイン転送	8-16	CHCR	10-5, 25-8, 25-19, 25-26
ノーマルモード	8-13	CMCNT	16-3, 25-7, 25-16, 25-25
ブロック転送モード	8-15	CMCOR	16-4, 25-7, 25-16, 25-25
リピートモード	8-14	CMCSR	16-3, 25-7, 25-16, 25-25
バスステートコントローラ (BSC)	9-1	CMSTR	16-2, 25-7, 25-16, 25-25
アドレスマップ	9-4	DAR	10-4, 25-8, 25-19, 25-26
バスアービトラーション	9-19	DMAOR	10-9, 25-8, 25-18, 25-26
バスマスタ	9-19	DMATCR	10-4, 25-8, 25-19, 25-26
ピンファンクションコントローラ (PFC)	17-1	DTBR	8-7, 25-9, 25-21, 25-27
マルチプレクス端子	17-1	DTCRA	8-5
動作モード別端子機能	17-1	DTCRB	8-5
フラッシュメモリ	19-1	DTCSR	8-6, 25-9, 25-20, 25-27
RAM エミュレーション	19-15	DTDAR	8-5
エラープロテクト	19-22	DTER	8-6, 25-9, 25-20, 25-27
オンボードプログラミング	19-11	DTIAR	8-5
ソフトウェアプロテクト	19-21	DTMR	8-3
ハードウェアプロテクト	19-21	DTSAR	8-5
ブートモード	19-12	EBR1	19-9, 25-7, 25-17, 25-26
ブロック構成	19-6	EBR2	19-10, 25-7, 25-17, 25-26
ユーザプログラムモード	19-14	FLMCR1	19-8, 25-7, 25-17, 25-26
マスク ROM	20-1	FLMCR2	19-9, 25-7, 25-17, 25-26
マルチファンクションタイムパルスユニット (MTU)	11-1	ICCR	14-8, 25-10, 25-21, 25-27
PWM モード	11-52	ICDR	14-4, 25-10, 25-21, 25-27
インプットキャプチャ	11-45	ICMR	14-7, 25-10, 25-21, 25-27
カスケード接続動作	11-51	ICR1	6-4, 25-5, 25-14, 25-24
コンペアマッチ	11-43	ICR2	6-5, 25-5, 25-14, 25-24
バッファ動作	11-48	ICSR	14-15, 25-10, 25-21, 25-27
フリーランニングカウンタ	11-42	ICSR1	11-135, 25-6, 25-16, 25-25
ポートアウトプットイネーブル (POE)	11-133	IPR	6-7, 25-5, 25-14, 25-24
リセット同期 PWM モード	11-63	ISR	6-6, 25-5, 25-14, 25-24
位相計数モード	11-56	MSTCR	24-6, 25-8, 25-18, 25-26
相補 PWM モード	11-66	OCSR	11-138, 25-6, 25-16, 25-25
同期動作	11-46	PACR	17-24, 25-5, 25-15, 25-25
ユーザデバッグインタフェース (H-UDI)	22-1	PADR	18-3, 25-5, 25-15, 25-24
ユーザブレークコントローラ (UBC)	7-1	PAIOR	17-23, 25-5, 25-15, 25-24
レジスタ		PBCR	17-31, 25-6, 25-15, 25-25
ADCR	15-6, 25-7, 25-17, 25-26	PBDR	18-5, 25-6, 25-15, 25-25
ADCSR	15-5, 25-7, 25-17, 25-26	PBIOR	17-30, 25-6, 25-15, 25-25

PCCR	17-33, 25-6, 25-15, 25-25	TIER	11-30, 25-3, 25-12, 25-23
PCDR	18-8, 25-6, 25-15, 25-25	TIOR	11-12, 25-3, 25-12, 25-22
PCIOR	17-33, 25-6, 25-15, 25-25	TMDR	11-11, 25-3, 25-11, 25-22
PDCR	17-36, 25-6, 25-16, 25-25	TOCR	11-37, 25-3, 25-12, 25-23
PDDR	18-11, 25-6, 25-15, 25-25	TOER	11-36, 25-3, 25-12, 25-23
PDIOR	17-35, 25-6, 25-15, 25-25	TSR (MTU)	11-31, 25-3, 25-13, 25-23
PECR	17-44, 25-6, 25-16, 25-25	TSR (SCI)	13-5
PEDR	18-15, 25-6, 25-16, 25-25	TSTR	11-34, 25-4, 25-13, 25-23
PEIOR	17-44, 25-6, 25-16, 25-25	TSYR	11-35, 25-4, 25-13, 25-23
PFDR	18-16, 25-6, 25-16, 25-25	UBAMR	7-3, 25-8, 25-17, 25-26
PPCR	17-50, 25-9, 25-21, 25-27	UBAR	7-3, 25-8, 25-17, 25-26
RAMER	19-10, 25-8, 25-18, 25-26	UBBR	7-4, 25-8, 25-18, 25-26
RDR	13-5, 25-2, 25-11, 25-22	UBCR	7-5, 25-8, 25-18, 25-26
RSR	13-5	WCR1	9-11, 25-8, 25-18, 25-26
RSTCSR	12-4, 25-8, 25-18, 25-26	WCR2	9-12, 25-8, 25-18, 25-26
SAR (DMAC)	10-4, 25-8, 25-19, 25-26	レジスター一覧	25-1
SAR (IIC)	14-5, 25-10, 25-21, 25-27	ビット構成	25-1
SARX	14-5, 25-10, 25-21, 25-27	レジスタアドレス	25-1
SBYCR	24-3, 25-8, 25-18, 25-26	レジスタの状態	25-1
SCR	13-8, 25-2, 25-11, 25-22	割り込みコントローラ (INTC)	6-1
SCRX	14-18, 25-9, 25-21, 25-27	IRQ 割り込み	6-8
SDBPR	22-5	NMI 割り込み	6-8
SDCR	13-16, 25-2, 25-11, 25-22	ベクタテーブル	6-10
SDDR	22-5, 25-10, 25-21, 25-27	ベクタ番号	6-10
SDIR	22-4, 25-10, 25-21, 25-27	ユーザデバッグインタフェース(H-UDI)割り込み	6-9
SDSR	22-5, 25-10, 25-21, 25-27	ユーザブ레이크割り込み	6-9
SMR	13-6, 25-2, 25-11, 25-22	割り込み応答時間	6-16
SSR	13-11, 25-2, 25-11, 25-22	内蔵周辺モジュール割り込み	6-9
SYSCR	24-5, 25-8, 25-18, 25-26	絶対最大定格	26-1
TCBR	11-40, 25-3, 25-12, 25-23	低消費電力状態	24-1
TCDR	11-40, 25-3, 25-12, 25-23	スリープモード	24-7
TCNT (MTU)	11-33, 25-3, 25-12, 25-23	ソフトウェアスタンバイモード	24-8
TCNT (WDT)	12-3, 25-8, 25-18, 25-26	モジュールスタンバイモード	24-10
TCNTS	11-40, 25-3, 25-12, 25-23	例外処理	5-1
TCR	11-8, 25-3, 25-11, 25-22	アドレスエラー例外処理	5-6
TCSR	12-3, 25-8, 25-18, 25-26	スロット不当命令例外処理	5-9
TDDR	11-40, 25-3, 25-12, 25-23	トラップ命令例外処理	5-9
TDR	13-5, 25-2, 25-11, 25-22	パワーオンリセット	5-4
TGCR	11-38, 25-3, 25-12, 25-23	マニュアルリセット	5-5
TGRA	11-33, 25-3, 25-12, 25-23	一般不当命令例外処理	5-9
TGRB	11-33, 25-3, 25-12, 25-23	割り込み例外処理	5-7
TGRC	11-33, 25-3, 25-12, 25-23	例外処理ベクタテーブル	5-2
TGRD	11-33, 25-3, 25-12, 25-23		

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH7144グループ、SH7145グループ

発行年月日 2001年9月 第1版
2008年3月27日 Rev.4.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平宇田町120番地ラトブ	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
鳥	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

SH7144 グループ、SH7145 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0026-0400