

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7146 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ

SuperH™ RISC engine ファミリ

SH7146	R5F7146
	R5M7146
SH7149	R5F7149
	R5M7149

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - CPUおよびシステム制御系
 - 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、 等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認のうえ設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスター一覧
8. 電気的特性
9. 付録
 - 製品型名、外形寸法図など
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

SH7146/49 は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

対象者 このマニュアルは、SH7146/49 を用いた応用システムを設計するユーザを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7146/49 のハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。
なお、実行命令の詳細については、「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき
目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき
別冊の「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」を参照してください。
- レジスタ名がわかっていて、詳細機能を知りたいとき
本書の後ろに、「索引」があります。索引からページ番号を検索してください。
「第23章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : シリアルコミュニケーションなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2進数は B'xxxx、16進数は H'xxxx、10進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxxx

関連資料一覧 ウェブサイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://japan.renesas.com/>)

- SH7146/49に関するユーザズマニュアル

資料名	資料番号
SH7146 グループ ハードウェアマニュアル	本マニュアル
SH-1/SH-2/SH-DSP ソフトウェアマニュアル	RJJ09B0228

- 開発ツール関連ユーザズマニュアル

資料名	資料番号
SuperH RISC engine C/C++コンパイラ、アセンブラ、最適化リンケージエディタ V.9.00 ユーザズマニュアル	RJJ10B0156
SuperH RISC engine High-performance Embedded Workshop 3 ユーザズマニュアル	RJJ10B0028
SuperH RISC engine High-performance Embedded Workshop 3 チュートリアル	RJJ10B0026

- アプリケーションノート

資料名	資料番号
SuperH RISC engine C/C++コンパイラパッケージアプリケーションノート	RJJ05B0557

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	SH7146/49の特長	1-1
1.2	ブロック図	1-6
1.3	ピン配置図	1-7
1.4	端子機能	1-9
2.	CPU	2-1
2.1	特長	2-1
2.2	レジスタの構成	2-2
2.2.1	汎用レジスタ (Rn)	2-3
2.2.2	コントロールレジスタ	2-3
2.2.3	システムレジスタ	2-4
2.2.4	レジスタの初期値	2-5
2.3	データ形式	2-6
2.3.1	レジスタのデータ形式	2-6
2.3.2	メモリ上でのデータ形式	2-6
2.3.3	イミディエイトデータのデータ形式	2-6
2.4	命令の特長	2-7
2.4.1	RISC 方式	2-7
2.4.2	アドレッシングモード	2-9
2.4.3	命令形式	2-12
2.5	命令セット	2-15
2.5.1	分類順命令セット	2-15
2.5.2	データ転送命令	2-18
2.5.3	算術演算命令	2-19
2.5.4	論理演算命令	2-21
2.5.5	シフト命令	2-21
2.5.6	分岐命令	2-22
2.5.7	システム制御命令	2-23
2.6	処理状態	2-25
3.	MCU 動作モード	3-1
3.1	動作モードの選択	3-1
3.2	入出力端子	3-2

3.3	各動作モードの説明	3-3
3.3.1	モード0 (MCU 拡張モード0)	3-3
3.3.2	モード1 (MCU 拡張モード1)	3-3
3.3.3	モード2 (MCU 拡張モード2)	3-3
3.3.4	モード3 (シングルチップモード)	3-3
3.4	アドレスマップ	3-4
3.5	本LSIの初期状態	3-6
3.6	動作モード変更時の注意事項	3-6
4.	クロック発振器 (CPG)	4-1
4.1	特長	4-1
4.2	入出力端子	4-5
4.3	クロック動作モード	4-6
4.4	レジスタの説明	4-10
4.4.1	周波数制御レジスタ (FRQCR)	4-10
4.4.2	発振停止検出制御レジスタ (OSCCR)	4-12
4.5	周波数変更方法	4-13
4.6	発振器	4-14
4.6.1	水晶発振子を接続する方法	4-14
4.6.2	外部クロックを入力する方法	4-15
4.7	発振停止検出機能	4-16
4.8	使用上の注意事項	4-17
4.8.1	発振子に関する注意事項	4-17
4.8.2	ボード設計上の注意事項	4-17
5.	例外処理	5-1
5.1	概要	5-1
5.1.1	例外処理の種類と優先順位	5-1
5.1.2	例外処理の動作	5-2
5.1.3	例外処理ベクタテーブル	5-3
5.2	リセット	5-5
5.2.1	リセットの種類	5-5
5.2.2	パワーオンリセット	5-5
5.2.3	マニュアルリセット	5-6
5.3	アドレスエラー	5-7
5.3.1	アドレスエラー発生要因	5-7
5.3.2	アドレスエラー例外処理	5-7
5.4	割り込み	5-8
5.4.1	割り込み要因	5-8
5.4.2	割り込み優先順位	5-9

5.4.3	割り込み例外処理	5-9
5.5	命令による例外	5-10
5.5.1	命令による例外の種類	5-10
5.5.2	トラップ命令	5-10
5.5.3	スロット不当命令	5-11
5.5.4	一般不当命令	5-11
5.6	例外処理の受け付け	5-12
5.7	例外処理後のスタックの状態	5-13
5.8	使用上の注意事項	5-14
5.8.1	スタックポインタ (SP) の値	5-14
5.8.2	ベクタベースレジスタ (VBR) の値	5-14
5.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	5-14
5.8.4	スロット不当命令例外処理に関する注意事項	5-15
6.	割り込みコントローラ (INTC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	レジスタの説明	6-4
6.3.1	割り込みコントロールレジスタ 0 (ICR0)	6-5
6.3.2	IRQ コントロールレジスタ (IRQCR)	6-5
6.3.3	IRQ ステータスレジスタ (IRQSR)	6-7
6.3.4	インタラプトプライオリティレジスタ A、D~F、H~L (IPRA、IPRD~IPRF、IPRH~IPRL)	6-10
6.4	割り込み要因	6-12
6.4.1	外部割り込み要因	6-12
6.4.2	内蔵周辺モジュール割り込み	6-13
6.4.3	ユーザブレイク割り込み	6-13
6.5	割り込み例外処理ベクタテーブル	6-14
6.6	動作説明	6-17
6.6.1	割り込み動作の流れ	6-17
6.6.2	割り込み例外処理終了後のスタックの状態	6-19
6.7	割り込み応答時間	6-20
6.8	割り込み要求信号によるデータ転送	6-21
6.8.1	割り込み要求信号を DTC の起動要因、CPU の割り込み要因とする場合	6-22
6.8.2	割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因としない場合	6-22
6.8.3	割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因としない場合	6-22
6.9	使用上の注意事項	6-23
7.	ユーザブレイクコントローラ (UBC)	7-1
7.1	特長	7-1

7.2	入出力端子	7-3
7.3	レジスタの説明	7-4
7.3.1	ブ레이크アドレスレジスタ A (BARA)	7-4
7.3.2	ブ레이크アドレスマスクレジスタ A (BAMRA)	7-5
7.3.3	ブ레이크バスサイクルレジスタ A (BBRA)	7-5
7.3.4	ブ레이크データレジスタ A (BDRA) (F-ZTAT 版のみ)	7-7
7.3.5	ブ레이크データマスクレジスタ A (BDMRA) (F-ZTAT 版のみ)	7-8
7.3.6	ブ레이크アドレスレジスタ B (BARB)	7-9
7.3.7	ブ레이크アドレスマスクレジスタ B (BAMRB)	7-9
7.3.8	ブ레이크データレジスタ B (BDRB) (F-ZTAT 版のみ)	7-10
7.3.9	ブ레이크データマスクレジスタ B (BDMRB) (F-ZTAT 版のみ)	7-11
7.3.10	ブ레이크バスサイクルレジスタ B (BBRB)	7-12
7.3.11	ブ레이크コントロールレジスタ (BRCR)	7-13
7.3.12	実行回数ブ레이크レジスタ (BETR) (F-ZTAT 版のみ)	7-17
7.3.13	ブランチソースレジスタ (BRSR) (F-ZTAT 版のみ)	7-17
7.3.14	ブランチデスティネーションレジスタ (BRDR) (F-ZTAT 版のみ)	7-18
7.4	動作説明	7-19
7.4.1	ユーザブ레이크動作の流れ	7-19
7.4.2	命令フェッチサイクルでのユーザブ레이크	7-20
7.4.3	データアクセスサイクルでのユーザブ레이크	7-20
7.4.4	シーケンシャルブ레이크	7-21
7.4.5	退避されるプログラムカウンタの値	7-22
7.4.6	PC トレース	7-23
7.4.7	使用例	7-23
7.5	使用上の注意事項	7-28
8.	データトランスファコントローラ (DTC)	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-3
8.2.1	DTC モードレジスタ A (MRA)	8-4
8.2.2	DTC モードレジスタ B (MRB)	8-5
8.2.3	DTC ソースアドレスレジスタ (SAR)	8-6
8.2.4	DTC デスティネーションアドレスレジスタ (DAR)	8-6
8.2.5	DTC 転送カウントレジスタ A (CRA)	8-7
8.2.6	DTC 転送カウントレジスタ B (CRB)	8-7
8.2.7	DTC イネーブルレジスタ A ~ E (DTCERA ~ DTCERE)	8-8
8.2.8	DTC コントロールレジスタ (DTCCR)	8-9
8.2.9	DTC ベクタベースレジスタ (DTCVBR)	8-10
8.2.10	バス機能拡張レジスタ (BSCEHR)	8-10
8.3	起動要因	8-11

8.4	転送情報の配置とDTCベクタテーブル.....	8-12
8.5	動作説明.....	8-16
8.5.1	転送情報リードスキップ機能.....	8-20
8.5.2	転送情報ライトバックスキップ機能.....	8-20
8.5.3	ノーマル転送モード.....	8-21
8.5.4	リピート転送モード.....	8-22
8.5.5	ブロック転送モード.....	8-23
8.5.6	チェーン転送.....	8-24
8.5.7	動作タイミング.....	8-25
8.5.8	DTCの実行ステート.....	8-28
8.5.9	DTCのバス権解放タイミング.....	8-30
8.5.10	DTC起動の優先順位設定.....	8-32
8.6	割り込みによるDTCの起動.....	8-33
8.7	DTC使用例.....	8-34
8.7.1	ノーマル転送.....	8-34
8.7.2	カウンタ=0のときのチェーン転送.....	8-34
8.8	割り込み要因.....	8-36
8.9	使用上の注意事項.....	8-37
8.9.1	モジュールスタンバイモードの設定.....	8-37
8.9.2	内蔵RAM.....	8-37
8.9.3	DTCEビットの設定.....	8-37
8.9.4	チェーン転送.....	8-37
8.9.5	転送情報先頭アドレス/ソースアドレス/デスティネーションアドレス.....	8-37
8.9.6	DTCによるDTCレジスタのアクセス.....	8-37
8.9.7	IRQ割り込みをDTC転送要因にした場合の注意事項.....	8-37
8.9.8	SCIをDTC起動要因とする場合の注意事項.....	8-38
8.9.9	割り込み要因フラグのクリア.....	8-38
8.9.10	NMI割り込みとDTC起動の競合.....	8-38
8.9.11	DTC起動要求が途中で取り下げられた場合の動作.....	8-38
9.	バスステートコントローラ (BSC).....	9-1
9.1	特長.....	9-1
9.2	入出力端子.....	9-3
9.3	エリアの概要.....	9-4
9.3.1	空間分割.....	9-4
9.3.2	アドレスマップ.....	9-4
9.4	レジスタの説明.....	9-6
9.4.1	共通コントロールレジスタ (CMNCR).....	9-6
9.4.2	CSn空間バスコントロールレジスタ (CSnBCR) (n=0, 1).....	9-7
9.4.3	CSn空間ウェイトコントロールレジスタ (CSnWCR) (n=0, 1).....	9-10

9.4.4	バス機能拡張レジスタ (BSCEHR)	9-12
9.5	動作説明	9-15
9.5.1	エンディアン / アクセスサイズとデータアライメント	9-15
9.5.2	通常空間インタフェース	9-16
9.5.3	アクセスウェイト制御	9-20
9.5.4	\overline{CS}_n アサート期間拡張	9-22
9.5.5	アクセスサイクル間ウェイト	9-23
9.5.6	バスアービトラージ	9-25
9.5.7	その他	9-29
9.5.8	CPU から内蔵 FLASH、内蔵 RAM へのアクセス	9-30
9.5.9	CPU から内蔵周辺 I/O レジスタへのアクセス	9-30
9.5.10	CPU から外部メモリへのアクセス	9-32
10.	マルチファンクションタイムパルスユニット 2 (MTU2)	10-1
10.1	特長	10-1
10.2	入出力端子	10-6
10.3	レジスタの説明	10-8
10.3.1	タイマコントロールレジスタ (TCR)	10-11
10.3.2	タイマモードレジスタ (TMDR)	10-15
10.3.3	タイマ I/O コントロールレジスタ (TIOR)	10-17
10.3.4	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	10-36
10.3.5	タイマインタラプトイネーブルレジスタ (TIER)	10-37
10.3.6	タイマステータスレジスタ (TSR)	10-41
10.3.7	タイマバッファ動作転送モードレジスタ (TBTM)	10-47
10.3.8	タイマインプットキャプチャコントロールレジスタ (TICCR)	10-48
10.3.9	タイマシンクロクリアレジスタ (TSYCR)	10-49
10.3.10	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	10-50
10.3.11	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)	10-52
10.3.12	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)	10-52
10.3.13	タイマカウンタ (TCNT)	10-53
10.3.14	タイマジェネラルレジスタ (TGR)	10-53
10.3.15	タイマスタートレジスタ (TSTR)	10-54
10.3.16	タイマシンクロレジスタ (TSYR)	10-56
10.3.17	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	10-57
10.3.18	タイマリードライトイネーブルレジスタ (TRWER)	10-59
10.3.19	タイマアウトプットマスタイネーブルレジスタ (TOER)	10-60
10.3.20	タイマアウトプットコントロールレジスタ 1 (TOCR1)	10-61
10.3.21	タイマアウトプットコントロールレジスタ 2 (TOCR2)	10-63
10.3.22	タイマアウトプットレベルバッファレジスタ (TOLBR)	10-66
10.3.23	タイマゲートコントロールレジスタ (TGCR)	10-67

10.3.24	タイマサブカウンタ (TCNTS)	10-68
10.3.25	タイマデッドタイムデータレジスタ (TDDR)	10-68
10.3.26	タイマ周期データレジスタ (TCDR)	10-69
10.3.27	タイマ周期バッファレジスタ (TCBR)	10-69
10.3.28	タイマ割り込み間引き設定レジスタ (TITCR)	10-70
10.3.29	タイマ割り込み間引き回数カウンタ (TITCNT)	10-71
10.3.30	タイマバッファ転送設定レジスタ (TBTER)	10-72
10.3.31	タイマデッドタイムイネーブルレジスタ (TDER)	10-73
10.3.32	タイマ波形コントロールレジスタ (TWCR)	10-74
10.3.33	バスマスタとのインタフェース.....	10-75
10.4	動作説明	10-76
10.4.1	基本動作	10-76
10.4.2	同期動作	10-82
10.4.3	バッファ動作	10-84
10.4.4	カスケード接続動作	10-88
10.4.5	PWM モード.....	10-92
10.4.6	位相計数モード	10-97
10.4.7	リセット同期 PWM モード.....	10-103
10.4.8	相補 PWM モード.....	10-106
10.4.9	A/D 変換開始要求ディレイド機能.....	10-141
10.4.10	MTU2 - MTU2S の同期動作.....	10-145
10.4.11	外部パルス幅測定機能.....	10-150
10.4.12	デッドタイム補償用機能.....	10-151
10.4.13	相補 PWM の「山 / 谷」での TCNT キャプチャ動作.....	10-153
10.5	割り込み要因	10-154
10.5.1	割り込み要因と優先順位.....	10-154
10.5.2	DTC の起動.....	10-156
10.5.3	A/D 変換器の起動	10-156
10.6	動作タイミング	10-158
10.6.1	入出力タイミング	10-158
10.6.2	割り込み信号タイミング.....	10-165
10.7	使用上の注意事項	10-170
10.7.1	モジュールスタンバイモードの設定	10-170
10.7.2	入力クロックの制限事項.....	10-170
10.7.3	周期設定上の注意事項.....	10-170
10.7.4	TCNT のライトとクリアの競合	10-171
10.7.5	TCNT のライトとカウントアップの競合.....	10-171
10.7.6	TGR のライトとコンペアマッチの競合.....	10-172
10.7.7	バッファレジスタのライトとコンペアマッチの競合.....	10-173
10.7.8	バッファレジスタのライトと TCNT クリアの競合.....	10-174
10.7.9	TGR のリードとインプットキャプチャの競合	10-175

10.7.10	TGR のライトとインプットキャプチャの競合	10-176
10.7.11	バッファレジスタのライトとインプットキャプチャの競合.....	10-177
10.7.12	カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合	10-177
10.7.13	相補 PWM モード停止時のカウンタ値.....	10-179
10.7.14	相補 PWM モードでのバッファ動作の設定.....	10-179
10.7.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ.....	10-180
10.7.16	リセット同期 PWM モードのオーバフローフラグ.....	10-181
10.7.17	オーバフロー / アンダフローとカウンタクリアの競合.....	10-182
10.7.18	TCNT のライトとオーバフロー / アンダフローの競合.....	10-182
10.7.19	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項.....	10-183
10.7.20	相補 PWM モード、リセット同期 PWM モードの出力レベル.....	10-183
10.7.21	モジュールスタンバイ時の割り込み.....	10-183
10.7.22	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ	10-183
10.7.23	相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項.....	10-184
10.8	MTU2出力端子の初期化方法.....	10-186
10.8.1	動作モード	10-186
10.8.2	リセットスタート時の動作.....	10-186
10.8.3	動作中の異常などによる再設定時の動作	10-187
10.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	10-187
11.	マルチファンクションタイマパルスユニット 2S (MTU2S)	11-1
11.1	入出力端子	11-3
11.2	レジスタの説明	11-4
12.	ポートアウトプットイネーブル (POE)	12-1
12.1	特長.....	12-1
12.2	入出力端子	12-3
12.3	レジスタの説明	12-4
12.3.1	入力レベルコントロール / ステータスレジスタ 1 (ICSR1)	12-4
12.3.2	出力レベルコントロール / ステータスレジスタ 1 (OCSR1)	12-7
12.3.3	入力レベルコントロール / ステータスレジスタ 2 (ICSR2)	12-8
12.3.4	出力レベルコントロール / ステータスレジスタ 2 (OCSR2)	12-11
12.3.5	入力レベルコントロール / ステータスレジスタ 3 (ICSR3)	12-12
12.3.6	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	12-13
12.3.7	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	12-14
12.3.8	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	12-15
12.4	動作説明.....	12-18
12.4.1	入力レベル検出動作	12-19
12.4.2	出力レベル比較動作	12-20
12.4.3	ハイインピーダンス状態からの解除	12-21

12.5	割り込み	12-22
12.6	使用上の注意事項	12-23
12.6.1	ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態	12-23
13.	ウォッチドッグタイマ (WDT)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-4
13.3.1	ウォッチドッグタイマカウンタ (WTCNT)	13-4
13.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	13-5
13.3.3	レジスタアクセス時の注意	13-7
13.4	動作説明	13-8
13.4.1	ソフトウェアスタンバイ解除の手順	13-8
13.4.2	ウォッチドッグタイマモードの使用法	13-8
13.4.3	インターバルタイマモードの使用法	13-9
13.5	割り込み要因	13-10
13.6	使用上の注意事項	13-10
13.6.1	WTCNT の設定値	13-10
14.	シリアルコミュニケーションインタフェース (SCI)	14-1
14.1	特長	14-1
14.2	入出力端子	14-4
14.3	レジスタの説明	14-5
14.3.1	レシーブシフトレジスタ (SCRSR)	14-6
14.3.2	レシーブデータレジスタ (SCRDR)	14-6
14.3.3	トランスミットシフトレジスタ (SCTSR)	14-6
14.3.4	トランスミットデータレジスタ (SCTDR)	14-7
14.3.5	シリアルモードレジスタ (SCSMR)	14-7
14.3.6	シリアルコントロールレジスタ (SCSCR)	14-9
14.3.7	シリアルステータスレジスタ (SCSSR)	14-12
14.3.8	シリアルポートレジスタ (SCSPTR)	14-16
14.3.9	シリアルディレクションコントロールレジスタ (SCSDCR)	14-17
14.3.10	ビットレートレジスタ (SCBRR)	14-18
14.4	動作説明	14-25
14.4.1	概要	14-25
14.4.2	調歩同期式モード時の動作	14-27
14.4.3	クロック同期式モード時の動作	14-36
14.4.4	マルチプロセッサ通信機能	14-45
14.4.5	マルチプロセッサシリアルデータ送信	14-46
14.4.6	マルチプロセッサシリアルデータ受信	14-47

14.5	SCIの割り込み要因とDTC	14-50
14.6	シリアルポートレジスタ (SCSPTR) とSCI端子との関係	14-51
14.7	使用上の注意事項	14-52
14.7.1	SCTDR への書き込みと TDRE フラグの関係について	14-52
14.7.2	複数の受信エラーが同時に発生した場合の動作について	14-52
14.7.3	ブレークの検出と処理について	14-53
14.7.4	ブレークの送り出し	14-53
14.7.5	調歩同期モードの受信データサンプリングタイミングと受信マージン	14-53
14.7.6	DTC 使用上の注意事項	14-54
14.7.7	クロック同期外部クロックモード時の注意事項	14-55
14.7.8	モジュールスタンバイモードの設定	14-55
15.	A/D 変換器 (ADC)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-4
15.3.1	A/D データレジスタ 0、2、4、6、8~15 (ADDR0、ADDR2、ADDR4、ADDR6、ADDR8~ADDR15)	15-5
15.3.2	A/D コントロール/ステータスレジスタ_0~2 (ADCSR_0~2)	15-5
15.3.3	A/D コントロールレジスタ_0~2 (ADCR_0~2)	15-7
15.3.4	A/D トリガセレクトレジスタ_0、1 (ADTSR_0、1)	15-10
15.4	動作説明	15-15
15.4.1	シングルモード	15-15
15.4.2	連続スキャンモード	15-15
15.4.3	1 サイクルスキャンモード	15-16
15.4.4	入力サンプリングと A/D 変換時間	15-17
15.4.5	MTU2、MTU2S による A/D 変換器の起動	15-19
15.4.6	外部トリガ入力タイミング	15-19
15.4.7	2 チャンネルスキャン	15-20
15.5	割り込み要因とDTC転送要求	15-21
15.6	A/D変換精度の定義	15-22
15.7	使用上の注意事項	15-24
15.7.1	モジュールスタンバイモードの設定	15-24
15.7.2	許容信号源インピーダンスについて	15-24
15.7.3	絶対精度への影響	15-24
15.7.4	アナログ電源端子などの設定範囲	15-25
15.7.5	ボード設計上の注意事項	15-25
15.7.6	ノイズ対策上の注意事項	15-25

16.	コンペアマッチタイマ (CMT)	16-1
16.1	特長	16-1
16.2	レジスタの説明	16-2
16.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	16-2
16.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	16-3
16.2.3	コンペアマッチカウンタ (CMCNT)	16-4
16.2.4	コンペアマッチコンスタントレジスタ (CMCOR)	16-4
16.3	動作説明	16-5
16.3.1	期間カウント動作	16-5
16.3.2	CMCNT カウントタイミング	16-5
16.4	割り込み	16-6
16.4.1	CMT の割り込み要因と DTC	16-6
16.4.2	コンペアマッチフラグのセットタイミング	16-6
16.4.3	コンペアマッチフラグのクリアタイミング	16-6
16.5	使用上の注意事項	16-7
16.5.1	モジュールスタンバイモードの設定	16-7
16.5.2	CMCNT の書き込みとコンペアマッチの競合	16-7
16.5.3	CMCNT のワード書き込みとカウントアップの競合	16-8
16.5.4	CMCNT のバイト書き込みとカウントアップの競合	16-9
16.5.5	CMCNT と CMCOR のコンペアマッチ	16-10
17.	ピンファンクションコントローラ (PFC)	17-1
17.1	レジスタの説明	17-15
17.1.1	ポート A ・ IO レジスタ L (PAIORL)	17-16
17.1.2	ポート A コントロールレジスタ L1 ~ L4 (PACRL1 ~ PACRL4)	17-16
17.1.3	ポート B ・ IO レジスタ L、H (PBIORL、PBIORH)	17-26
17.1.4	ポート B コントロールレジスタ L1、L2、H1 (PBCRL1、PBCRL2、PBCRH1)	17-27
17.1.5	ポート D ・ IO レジスタ L (PDIORL) (SH7149 のみ)	17-32
17.1.6	ポート D コントロールレジスタ L1 ~ L4 (PDCRL1 ~ PDCRL4) (SH7149 のみ)	17-33
17.1.7	ポート E ・ IO レジスタ L、H (PEIORL、PEIORH)	17-38
17.1.8	ポート E コントロールレジスタ L1 ~ L4、H1、H2 (PECRL1 ~ PECRL4、PECRH1、PECRH2)	17-39
17.1.9	IRQOUT 機能コントロールレジスタ (IFCR)	17-51
17.2	使用上の注意事項	17-52
18.	I/O ポート	18-1
18.1	ポート A	18-2
18.1.1	レジスタの説明	18-4
18.1.2	ポート A データレジスタ L (PADRL)	18-4
18.1.3	ポート A ポートレジスタ L (PAPRL)	18-5

18.2	ポートB	18-6
18.2.1	レジスタの説明	18-7
18.2.2	ポートB データレジスタ H、L (PBDRH、PBDRL)	18-7
18.2.3	ポートB ポートレジスタ H、L (PBPRH、PBPRL)	18-9
18.3	ポートD (SH7149のみ)	18-11
18.3.1	レジスタの説明	18-12
18.3.2	ポートD データレジスタ L (PDDRL)	18-13
18.3.3	ポートD ポートレジスタ L (PDPRL)	18-14
18.4	ポートE	18-15
18.4.1	レジスタの説明	18-17
18.4.2	ポートE データレジスタ H、L (PEDRH、PEDRL)	18-17
18.4.3	ポートE ポートレジスタ H、L (PEPRH、PEPRL)	18-19
18.5	ポートF	18-21
18.5.1	レジスタの説明	18-22
18.5.2	ポートF データレジスタ L (PFDRL)	18-23
19.	フラッシュメモリ	19-1
19.1	特長	19-1
19.2	概要	19-3
19.2.1	ブロック図	19-3
19.2.2	動作モード	19-4
19.2.3	モード比較	19-6
19.2.4	フラッシュメモリ構成	19-7
19.2.5	ブロック分割	19-8
19.2.6	書き込み / 消去インタフェース	19-9
19.3	入出力端子	19-11
19.4	レジスタの説明	19-11
19.4.1	レジスタ一覧	19-11
19.4.2	書き込み / 消去インタフェースレジスタ	19-13
19.4.3	書き込み / 消去インタフェースパラメータ	19-20
19.4.4	RAM エミュレーションレジスタ (RAMER)	19-30
19.5	オンボードプログラミングモード	19-32
19.5.1	ブートモード	19-32
19.5.2	ユーザプログラムモード	19-36
19.5.3	ユーザブートモード	19-45
19.6	プロテクト	19-50
19.6.1	ハードウェアプロテクト	19-50
19.6.2	ソフトウェアプロテクト	19-51
19.6.3	エラープロテクト	19-51
19.7	RAMによるフラッシュメモリのエミュレーション	19-53

19.8	使用上の注意事項	19-56
19.8.1	ユーザマットとユーザブートマットの切り替え	19-56
19.8.2	書き込み / 消去手続き実行中の割り込み	19-57
19.8.3	その他のご注意	19-59
19.9	付録	19-61
19.9.1	ブートモードの標準シリアル通信インタフェース仕様	19-61
19.9.2	手順プログラム、または書き込みデータの格納可能領域	19-85
19.10	ライターモード	19-91
20.	マスク ROM	20-1
20.1	使用上の注意事項	20-2
20.1.1	モジュールスタンバイモードの設定	20-2
21.	RAM	21-1
21.1	使用上の注意事項	21-2
21.1.1	モジュールスタンバイモードの設定	21-2
21.1.2	アドレスエラー	21-2
21.1.3	RAM の初期値	21-2
22.	低消費電力モード	22-1
22.1	特長	22-1
22.1.1	低消費電力モードの種類	22-1
22.2	入出力端子	22-3
22.3	レジスタの説明	22-4
22.3.1	スタンバイコントロールレジスタ 1 (STBCR1)	22-4
22.3.2	スタンバイコントロールレジスタ 2 (STBCR2)	22-5
22.3.3	スタンバイコントロールレジスタ 3 (STBCR3)	22-6
22.3.4	スタンバイコントロールレジスタ 4 (STBCR4)	22-7
22.3.5	スタンバイコントロールレジスタ 5 (STBCR5)	22-8
22.3.6	スタンバイコントロールレジスタ 6 (STBCR6)	22-9
22.3.7	RAM コントロールレジスタ (RAMCR)	22-10
22.4	スリープモード	22-11
22.4.1	スリープモードへの遷移	22-11
22.4.2	スリープモードの解除	22-11
22.5	ソフトウェアスタンバイモード	22-12
22.5.1	ソフトウェアスタンバイモードへの遷移	22-12
22.5.2	ソフトウェアスタンバイモードの解除	22-13
22.6	ディープソフトウェアスタンバイモード	22-14
22.6.1	ディープソフトウェアスタンバイモードへの遷移	22-14
22.6.2	ディープソフトウェアスタンバイモードの解除	22-14

22.7	モジュールスタンバイ機能.....	22-15
22.7.1	モジュールスタンバイ機能への遷移.....	22-15
22.7.2	モジュールスタンバイ機能の解除.....	22-15
22.8	使用上の注意事項.....	22-16
22.8.1	発振安定待機中の消費電流.....	22-16
22.8.2	SLEEP 命令実行時.....	22-16
23.	レジスタ一覧.....	23-1
23.1	レジスタアドレス一覧（アドレス順）.....	23-2
23.2	レジスタビット一覧.....	23-12
23.3	各動作モードにおけるレジスタの状態.....	23-27
24.	電気的特性.....	24-1
24.1	絶対最大定格.....	24-1
24.2	DC特性.....	24-2
24.3	AC特性.....	24-5
24.3.1	クロックタイミング.....	24-5
24.3.2	制御信号タイミング.....	24-7
24.3.3	AC バスタイミング仕様.....	24-10
24.3.4	マルチファンクションタイマパルスユニット 2 (MTU2) タイミング.....	24-16
24.3.5	マルチファンクションタイマパルスユニット 2S (MTU2S) タイミング.....	24-17
24.3.6	I/O ポートタイミング.....	24-18
24.3.7	ウォッチドッグタイマ (WDT) タイミング.....	24-18
24.3.8	シリアルコミュニケーションインタフェース (SCI) タイミング.....	24-19
24.3.9	ポートアウトプットイネーブル (POE) タイミング.....	24-21
24.3.10	UBC トリガタイミング.....	24-21
24.3.11	A/D 変換器タイミング.....	24-22
24.3.12	AC 特性測定条件.....	24-23
24.4	A/D変換器特性.....	24-24
24.5	フラッシュメモリ特性.....	24-24
24.6	使用上の注意事項.....	24-25
24.6.1	V_{CL} コンデンサ接続方法.....	24-25
付録	付録-1
A.	端子状態.....	付録-1
B.	未使用端子の処理.....	付録-7
C.	バス関連信号の端子状態.....	付録-8
D.	型名一覧.....	付録-9
E.	外形寸法図.....	付録-10

本版で改訂された箇所..... 改訂-1

索引 索引-1

1. 概要

1.1 SH7146/49 の特長

本 LSI は、ルネサス エレクトロニクスの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU は、RISC (Reduced Instruction Set Computer) 方式の命令セットを持っており、基本命令は 1 命令 1 ステート (1 システムクロックサイクル) で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに本 LSI は、システム構成に必要な周辺機能として、大容量 ROM、RAM、データトランスファコントローラ (DTC)、タイマ、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。

また、本 LSI では外部メモリアクセスサポート機能により、メモリや周辺 LSI と直接接続を行えます。

これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM はフラッシュメモリを内蔵した F-ZTAT™ (Flexible Zero Turn Around Time) 版*とマスク ROM 版があります。フラッシュメモリは本 LSI の書き込みをサポートしているライターを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み / 消去することもできます。これにより、ユーザサイドで LSI をボードに組み込んだままの書き換えが可能です。

本 LSI の特長を表 1.1 に示します。

【注】 * F-ZTAT™ は (株) ルネサス エレクトロニクスの商標です。

表 1.1 SH7146/49 の特長

項目	特 長
CPU	<ul style="list-style-type: none"> • 32 ビット RISC (Reduced Instruction Set Computer) タイプ CPU • 命令長 : 16 ビット固定による、コード効率の向上 • ロードストアアーキテクチャ (基本演算はレジスタ間で実行) • 汎用レジスタ : 32 ビット × 16 本 • パイプライン : 5 段パイプライン方式 • 乗算器内蔵 : 32 × 32 64 乗算を 2 ~ 5 サイクル実行 • 基本命令 : 62 種類、C 言語指向の命令セット <p>【注】 スロット不当命令の仕様が従来の SH-2 と異なる点があるのでご注意ください。詳細は「5.8.4 スロット不当命令例外処理に関する注意事項」を参照してください。</p>
動作モード	<ul style="list-style-type: none"> • 動作モード <ul style="list-style-type: none"> シングルチップモード 拡張 ROM 有効モード (SH7149 のみ) 拡張 ROM 無効モード (SH7149 のみ) • 処理状態 <ul style="list-style-type: none"> プログラム実行状態 例外処理状態 バス権解放状態 (SH7149 のみ) • 低消費電力状態 <ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード ディープソフトウェアスタンバイモード モジュールスタンバイモード
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"> • アドレス、データ値、アクセスタイプ、データサイズはすべてブレイク条件として設定可能 • シーケンシャルブレイク機能をサポート • 2 本のブレイクチャネル • マスク ROM 版では L バス命令フェッチアドレスブレイクのみ (2 チャネル)
内蔵 ROM	<ul style="list-style-type: none"> • 256K バイト
内蔵 RAM	<ul style="list-style-type: none"> • 8K バイト
バスステート コントローラ (BSC)	<ul style="list-style-type: none"> • それぞれ最大 64M バイトの 2 つの領域 (CS0、CS1) のアドレス空間をサポート (SH7149 のみ) • 外部バス 8 ビット (SH7149 のみ) • 外部バス 16 ビット (SH7149 のみ) • 各エリアには独立に次の機能を設定可能 : <ul style="list-style-type: none"> バスサイズ (8、16 ビット) アクセスウェイトサイクル数 アイドルウェイトサイクル設定 SRAM をサポート • 該当する領域にチップセレクト信号を出力

項目	特 長
データ転送ファ コントローラ (DTC) (F-ZTAT 版のみ)	<ul style="list-style-type: none"> • 周辺 I/O の割り込み要求により、CPU と独立したデータ転送が可能 • 割り込み要因ごとに転送モードを設定可能 (メモリ上に転送モードを設定) • 1 つの起動要因に対して、複数のデータ転送が可能 • 豊富な転送モード ノーマルモード/リピートモード/ブロック転送モードの選択可能 • 転送単位をバイト/ワード/ロングワードに設定可能 • DTC を起動した割り込みを CPU に要求 1 回のデータ転送の終了後に、CPU に対する割り込みを発生可能 • 指定したデータ転送のすべての終了後に、CPU に割り込みを発生可能
割り込み コントローラ (INTC)	<ul style="list-style-type: none"> • 5 本の外部割り込み端子 (NMI、IRQ3 ~ IRQ0) • 内蔵周辺割り込み: モジュールごとに優先順位を設定 • ベクタアドレス: 割り込み要因ごとに固有のベクタアドレス
ユーザデバッグ インタフェース (H-UDI) (F-ZTAT 版のみ)	<ul style="list-style-type: none"> • E10A エミュレータのサポート
アドバンストユーザ デバッグ (AUD) (E10A フル機能対応 F-ZTAT 版のみ)	<ul style="list-style-type: none"> • E10A エミュレータのサポート
クロック発振器 (CPG)	<ul style="list-style-type: none"> • クロックモード: 入力クロックを外部入力、水晶発振子から選択可能 • 5 種類のクロックを生成 CPU クロック: 80MHz (Max.) バスクロック: 40MHz (Max.) 周辺クロック: 40MHz (Max.) MTU2 専用クロック: 40MHz (Max.) MTU2S 専用クロック: 80MHz (Max.)
ウォッチドッグ タイマ (WDT)	<ul style="list-style-type: none"> • 1 チャンネルのウォッチドッグタイマ • 割り込み要求可能

項目	特 長
マルチファンクションタイムパルスユニット 2 (MTU2)	<ul style="list-style-type: none"> • 16 ビットタイマ 6 チャンネルをベースに最大 16 種類のパルス入出力、および 3 本のパルス入力が可能 • 21 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • 総数 21 本の独立したコンパレータ • 8 種類のカウンタ入力クロックを選択可能 • インプットキャプチャ機能 • パルス出力モード <ul style="list-style-type: none"> トグル / PWM / 相補 PWM / リセット同期 PWM • 複数カウンタの同期化機能 • 相補 PWM 出力モード <ul style="list-style-type: none"> 6 相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWM デューティを 0~100%任意に設定可能 出力 OFF 機能 A/D 変換要求ディレイド機能 デッドタイム補償用機能 山・谷割り込み間引き機能 • リセット同期 PWM モード <ul style="list-style-type: none"> 任意デューティの正相・逆相 PWM 波形を 3 相出力 • 位相計数モード <ul style="list-style-type: none"> 2 相エンコーダ計数処理が可能
マルチファンクションタイムパルスユニット 2S (MTU2S)	<ul style="list-style-type: none"> • MTU2 のチャンネル 3、4、5 のみのサブセット版 • 最大 80MHz で動作可能
ポートアウトプットイネーブル (POE)	<ul style="list-style-type: none"> • MTU2/MTU2S 波形出力端子のハイインピーダンス制御
コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • 16 ビットカウンタ • コンペアマッチ割り込み発生 • 2 チャンネル
シリアルコミュニケーションインタフェース (SCI)	<ul style="list-style-type: none"> • クロック同期 / 調歩同期モード • 3 チャンネル
A/D 変換器 (ADC)	<ul style="list-style-type: none"> • 10 ビット x 12 チャンネル • 外部トリガ、MTU2/MTU2S による変換要求可能 • サンプル&ホールド機能 3 ユニット内蔵 (同時に 3 チャンネルサンプリング可能)
I/O ポート	<ul style="list-style-type: none"> • 45 本の汎用入出力端子と、12 本の汎用入力端子 (SH7146) • 63 本の汎用入出力端子と、12 本の汎用入力端子 (SH7149) • 入出力兼用ポートはビットごとに入出力切り替え可能

項目	特 長
パッケージ	<ul style="list-style-type: none">• LQFP1414-80 (0.65 ピッチ) (SH7146)• LQFP1414-100 (0.5 ピッチ) (SH7149)
電源電圧	<ul style="list-style-type: none">• Vcc : 4.0 ~ 5.5V、AVcc : 4.0 ~ 5.5V

1.2 ブロック図

図 1.1 に SH7146/49 のブロック図を示します。

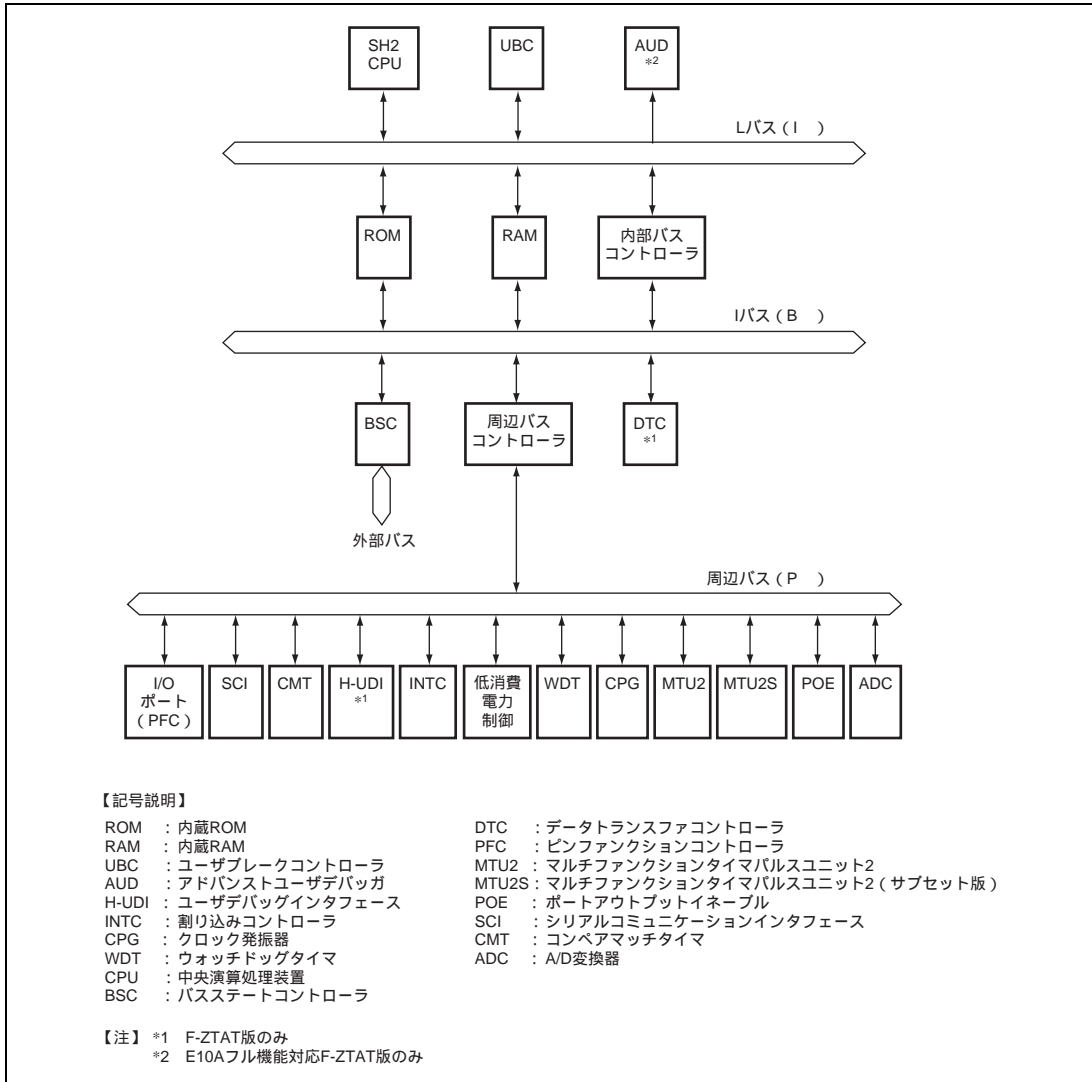


図 1.1 SH7146/49 のブロック図

1.3 ピン配置図

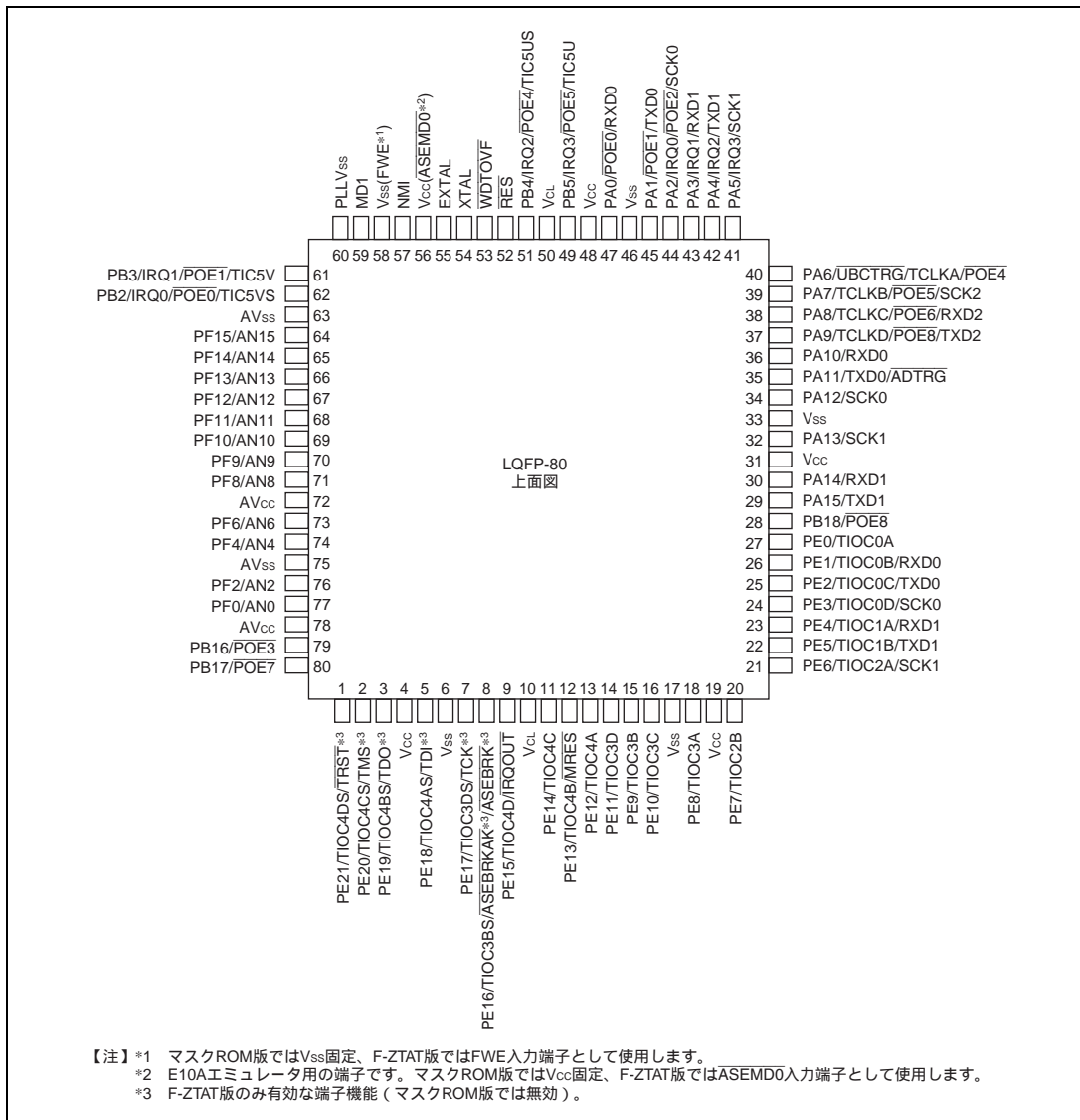


図 1.2 SH7146 ピン配置図

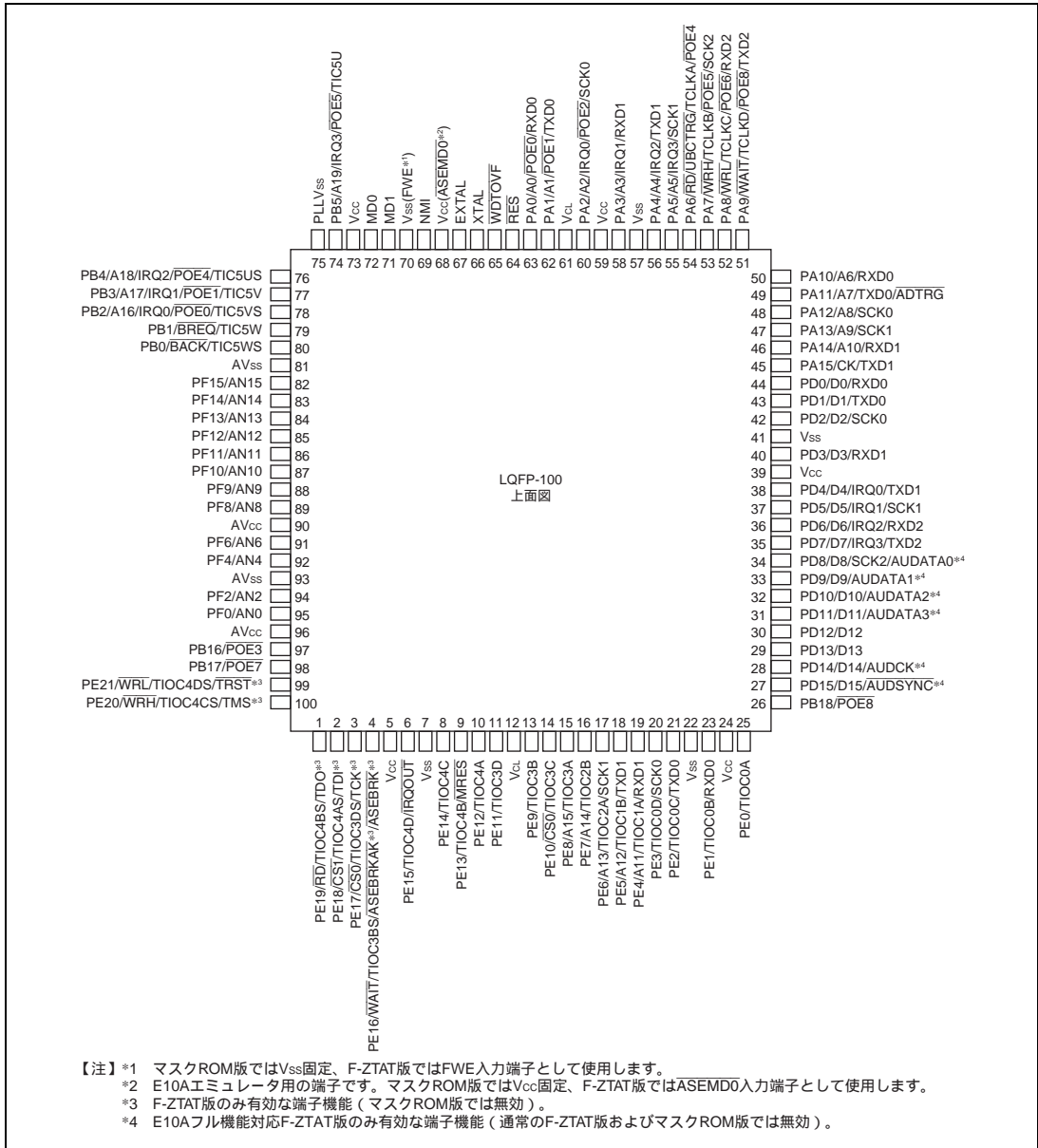


図 1.3 SH7149 (LQFP 版) ピン配置図

1.4 端子機能

各端子の機能を表 1.2 に示します。

表 1.2 端子機能

分類	端子名	入出力	名称	機能
電源	Vcc	入力	電源	電源端子です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	Vcl	出力	内部降圧電源	内部降圧電源用の外付け容量端子です。すべての Vcl 端子を 0.47 μ F のコンデンサを介して Vss に接続してください (端子近くに配置)。
クロック	PLLvss	入力	PLL 用グランド	内蔵 PLL 発振器用のグランド端子です。
	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CK	出力	システムクロック	外部デバイスにシステムクロックを供給します。 SH7146 では端子がありません。
動作モード コントロール	MD1、MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中には変化させないでください。 SH7146 では MD1 のみとなります。
	FWE	入力	フラッシュメモリ 書き込みイネーブル	フラッシュメモリ用の端子です。フラッシュメモリの書き込み / 消去をプロテクトすることができます。
システム制御	RES	入力	パワーオン リセット	この端子がローレベルになると、パワーオンリセット状態になります。
	MRES	入力	マニュアル リセット	この端子がローレベルになると、マニュアルリセット状態になります。
	WDOVF	出力	ウォッチドッグ タイマーバフロー	WDT からのオーバフロー出力信号です。 ブルダウンが必要な場合は、1M 以上の抵抗を使用してください。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。 SH7146 では端子がありません。
	BACK	出力	バス権要求 アクノリッジ	バス権を外部デバイスに解放したことを示します。 BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。 SH7146 では端子がありません。

分類	端子名	入出力	名称	機能
割り込み	NMI	入力	ノンマスクابل 割り込み	ノンマスクابل割り込み要求端子です。使用しない場合はハイまたはローレベルに固定してください。
	IRQ3 ~ IRQ0	入力	割り込み要求 3 ~ 0	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
	IRQOUT	出力	割り込み要求出力	割り込み要因が発生したことを示します。バスリリース中にも割り込み発生を知ることができます。
アドレスバス	A19 ~ A0	出力	アドレスバス	アドレスを出力します。 SH7146 では端子がありません。
データバス	D15 ~ D0	入出力	データバス	16 ビットの双方向バスです。 SH7146 では端子がありません。
バス制御	CS1, CS0	出力	チップセレクト 1, 0	外部メモリまたはデバイスのためのチップセレクト信号です。 SH7146 では端子がありません。
	\overline{RD}	出力	読み出し	外部のデバイスから読み出すことを示します。 SH7146 では端子がありません。
	WRH	出力	上位側書き込み	外部のデータのビット 15 ~ 8 に書き込みすることを示します。 SH7146 では端子がありません。
	WRL	出力	下位側書き込み	外部のデータのビット 7 ~ 0 に書き込みすることを示します。 SH7146 では端子がありません。
	WAIT	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。 SH7146 では端子がありません。
マルチ ファンクション タイマパルス ユニット 2 (MTU2)	TCLKA, TCLKB, TCLKC, TCKLD	入力	MTU2 タイマクロック入力	タイマの外部クロック入力端子です。
	TIOC0A, TIOC0B, TIOC0C, TIOC0D	入出力	MTU2 インพุット キャプチャ / アウト プットコンペア (チャンネル 0)	TGRA_0 ~ TGRD_0 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC1A, TIOC1B	入出力	MTU2 インพุット キャプチャ / アウト プットコンペア (チャンネル 1)	TGRA_1, TGRB_1 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。

分類	端子名	入出力	名称	機能
マルチ ファンクション タイマパルス ユニット2 (MTU2)	TIOC2A、 TIOC2B	入出力	MTU2 インพุット キャプチャ/アウト プットコンペア (チャンネル2)	TGRA_2、TGRB_2のインพุットキャプチャ入力/ア ウトプットコンペア出力/PWM 出力端子です。
	TIOC3A、 TIOC3B、 TIOC3C、 TIOC3D	入出力	MTU2 インพุット キャプチャ/アウト プットコンペア (チャンネル3)	TGRA_3~TGRD_3のインพุットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
	TIOC4A、 TIOC4B、 TIOC4C、 TIOC4D	入出力	MTU2 インพุット キャプチャ/アウト プットコンペア (チャンネル4)	TGRA_4~TGRD_4のインพุットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
	TIC5U、TIC5V、 TIC5W	入力	MTU2 インพุット キャプチャ (チャンネル5)	TGRU_5、TGRV_5、TGRW_5のインพุットキャプ チャ入力端子です。 SH7146 では TIC5U、TIC5V となります。
マルチ ファンクション タイマパルス ユニット2S (MTU2S)	TIOC3BS、 TIOC3DS	入出力	MTU2S インพุット キャプチャ/アウト プットコンペア (チャンネル3)	TGRB_3S、TGRD_3Sのインพุットキャプチャ入力 /アウトプットコンペア出力/PWM 出力端子です。
	TIOC4AS、 TIOC4BS、 TIOC4CS、 TIOC4DS	入出力	MTU2S インพุット キャプチャ/アウト プットコンペア (チャンネル4)	TGRA_4S~TGRD_4Sのインพุットキャプチャ入力 /アウトプットコンペア出力/PWM 出力端子です。
	TIC5US、 TIC5VS、 TIC5WS	入力	MTU2S インพุット キャプチャ (チャンネル5)	TGRU_5S、TGRV_5S、TGRW_5Sのインพุットキャ プチャ入力端子です。 SH7146 では TIC5US、TIC5VS となります。
ポート アウトプット イネーブル(POE)	POE8~POE0	入力	ポート出力制御	MTU2/MTU2S 波形出力端子をハイインピーダンス状 態にする要求信号の入力端子です。 PB16/POE3 端子、PB17/POE7 端子、PB18/POE8 端 子については、PFC で POE 機能が選択されている場 合、端子に何も入力されないときは内部でブルアップ します。
シリアルコミュニ ケーション インタフェース (SCI)	TXD2~TXD0	出力	送信データ	送信データ用の端子です。
	RXD2~RXD0	入力	受信データ	受信データ用の端子です。
	SCK2~SCK0	入出力	シリアルクロック	クロック入出力端子です。

分類	端子名	入出力	名称	機能
A/D 変換器 (ADC)	AN15 ~ AN8、 AN6、AN4、 AN2、AN0	入力	アナログ入力端子	アナログ入力端子です。
	$\overline{\text{ADTRG}}$	入力	A/D 変換トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
	AVcc	入力	アナログ電源	A/D 変換器の電源端子です。A/D 変換器を使用しない場合はシステム電源 (Vcc) に接続してください。すべての AVcc 端子をシステム電源 (Vcc) に接続してください。開放端子があると動作しません。
	AVss	入力	アナロググランド	A/D 変換器のグランド端子です。システムの電源 (0V) に接続してください。すべての AVss 端子をシステムの電源 (0V) に接続してください。開放端子があると動作しません。
I/O ポート	PA15 ~ PA0	入出力	汎用ポート	16 ビットの汎用入出力ポート端子です。
	PB18 ~ PB16、 PB5 ~ PB0	入出力	汎用ポート	9 ビットの汎用入出力ポート端子です。 SH7146 では PB18 ~ PB16、PB5 ~ PB2 となります。
	PD15 ~ PD0	入出力	汎用ポート	16 ビットの汎用入出力ポート端子です。 SH7146 では端子がありません。
	PE21 ~ PE0	入出力	汎用ポート	22 ビットの汎用入出力ポート端子です。
	PF15 ~ PF8、 PF6、PF4、 PF2、PF0	入力	汎用ポート	12 ビットの汎用入力ポート端子です。
ユーザブ레이크 コントローラ (UBC)	$\overline{\text{UBCTR}}\overline{\text{G}}$	出力	ユーザブ레이크 トリガ出力	UBC 条件一致のトリガ出力端子です。
ユーザデバッグ インタフェース (H-UDI) (F-ZTAT 版のみ)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	$\overline{\text{TRST}}$	入力	テストリセット	初期化信号入力端子です。
アドバンスト ユーザデバッグ (AUD) (SH7149 の E10A フル機能対応 F-ZTAT 版のみ)	AUDATA3 ~ AUDATA0	出力	AUD データ	分岐先アドレス出力端子です。
	AUDCK	出力	AUD クロック	同期クロック出力端子です。
	AUDSYNC	出力	AUD 同期信号	データ先頭位置認識信号出力端子です。

分類	端子名	入出力	名称	機能
E10A インタフェース (F-ZTAT 版のみ)	$\overline{\text{ASEMDO}}$	入力	ASE モード	ASE モードを設定します。 本端子にローレベルを入力すると ASE モードになり、 ハイレベルを入力すると通常モードになります。ASE モードでは、エミュレータ専用の機能が使用可能にな ります。何も入力されないときは内部でプルアップし ます。
	$\overline{\text{ASEBRK}}$	入力	ブレーク要求	E10A エミュレータブレーク入力です。
	$\overline{\text{ASEBRKAK}}$	出力	ブレークモード アクノリッジ	E10A エミュレータがブレークモードに入ったことを 示します。

【使用上の注意】

$\overline{\text{WDTOVF}}$ 端子はプルダウンしないでください。プルダウンが必要な場合は、1M Ω 以上の抵抗でプルダウンしてください。

2. CPU

2.1 特長

- 汎用レジスタ：32ビット×16本
- 基本命令：62種類
- アドレッシングモード：11種類

レジスタ直接 (Rn)

レジスタ間接 (@Rn)

ポストインクリメントレジスタ間接 (@Rn+)

プリデクリメントレジスタ間接 (@-Rn)

ディスプレイメント付きレジスタ間接 (@disp:4,Rn)

インデックス付きレジスタ間接 (@R0,Rn)

ディスプレイメント付きGBR間接 (@disp:8,GBR)

インデックス付きGBR間接 (@R0,GBR)

ディスプレイメント付きPC相対 (@disp:8,PC)

PC相対 (disp:8/disp:12/Rn)

イミディエイト (#imm:8)

2.2 レジスタの構成

レジスタは、汎用レジスタ（32ビット×16本）、コントロールレジスタ（32ビット×3本）、システムレジスタ（32ビット×4本）の3種類があります。

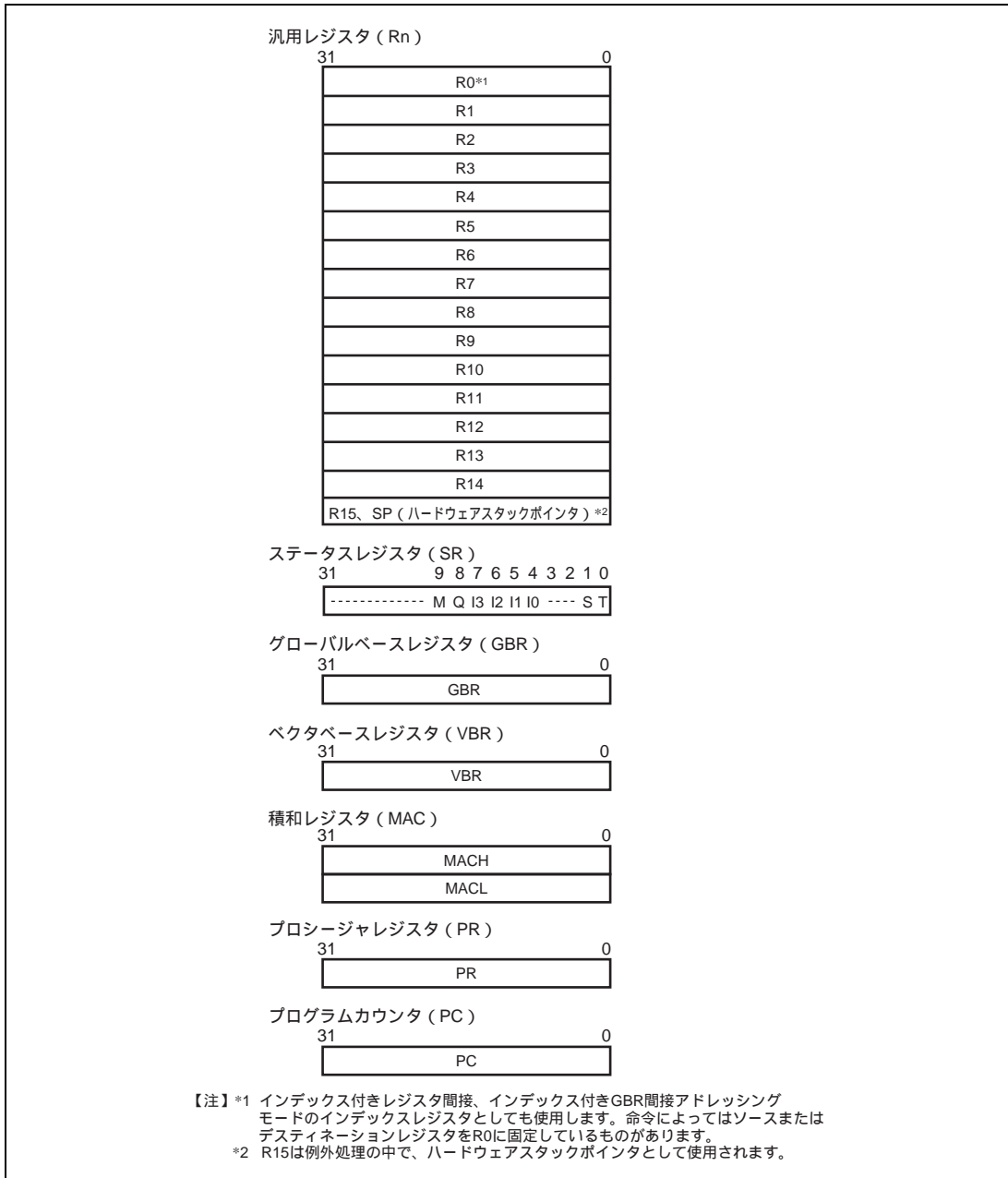


図 2.1 CPU 内部レジスタ構成

2.2.1 汎用レジスタ (Rn)

汎用レジスタ(Rn)は、32ビットの長さで、R0からR15までの16本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタがR0に固定されています。R15は、ハードウェアスタックポインタ(SP)として使われます。例外処理でのステータスレジスタ(SR)とプログラムカウンタ(PC)の退避、回復はR15を用いてスタックを参照し行います。

2.2.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ(SR)、グローバルベースレジスタ(GBR)、ベクタベースレジスタ(VBR)の3本があります。SRは処理の状態を表します。GBRはGBR間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBRは割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

(1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	M	Q	I[3:0]				-	-	S	T
初期値:	0	0	0	0	0	0	不定	不定	1	1	1	1	0	0	不定	不定
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 0が読み出されます。書き込みは必ず0を書き込んでください。
9	M	不定	R/W	DIV0U、DIV0S、DIV1命令で使います。
8	Q	不定	R/W	DIV0U、DIV0S、DIV1命令で使います。
7~4	I[3:0]	1111	R/W	割り込みマスクビット
3, 2	-	すべて0	R	リザーブビット 0が読み出されます。書き込みは必ず0を書き込んでください。
1	S	不定	R/W	Sビット 積和命令で使います。

ビット	ビット名	初期値	R/W	説明
0	T	不定	R/W	<p>Tビット</p> <p>以下の命令では、真(1)、偽(0)を表します。</p> <p>MOVT、CMP/cond、TAS、TST、BT (BT/S)、BF(BF/S)、SETT、CLRT</p> <p>以下の命令では、キャリ、ポロー、オーバフロー、アンダフローなどを表します。</p> <p>ADDV、ADDC、SUBV、SUBC、NEGC、DIV0U、DIV0S、DIV1、SHAR、SHAL、SHLR、SHLL、ROTR、ROTL、ROTCR、ROTCL</p>

(2) グローバルベースレジスタ (GBR)

GBR 間接アドレッシングモードのベースアドレスを示します。GBR 間接アドレッシングモードは、内蔵周辺モジュールのレジスタ領域などのデータ転送と論理演算に使用します。

(3) ベクタベースレジスタ (VBR)

例外処理ベクタ領域のベースアドレスを示します。

2.2.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL の 2 本)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。

(1) 積和レジスタ (MACH、MACL)

乗算、積和演算の結果の格納レジスタです。

(2) プロシージャレジスタ (PR)

サブルーチンプロシージャからの戻り先アドレスの格納レジスタです。

(3) プログラムカウンタ (PC)

PC は現在実行中の命令の 4 バイト (2 命令) 先を示しています。

2.2.4 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0 ~ R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3~I0 は 1111 (HF)、リザーブビットは 0、その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.3 データ形式

2.3.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

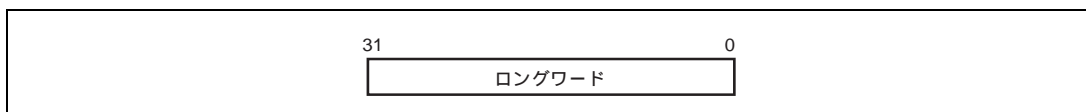


図 2.2 レジスタのデータ形式

2.3.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは $2n$ 番地から、ロングワードデータは $4n$ 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証されません。特に、ハードウェアスタックポインタ (SP, R15) が指し示すスタックにはプログラムカウンタ (PC) とステータスレジスタ (SR) をロングワードで保持しますので、ハードウェアスタックポインタの値が $4n$ になるように設定してください。

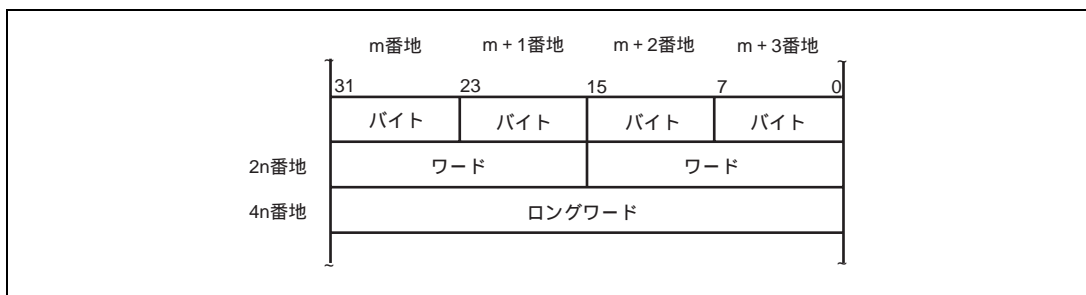


図 2.3 メモリ上でのデータ形式

2.3.3 イミディエイトデータのデータ形式

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。

MOV, ADD, CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST, AND, OR, XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照します。

2.4 命令の特長

2.4.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

本 LSI の CPU	説 明	他の CPU の例
MOV.W @ (disp, PC), R1	32 ビットに符号拡張され、R1 は H'00001234 になります。 次に ADD 命令で演算されます。	ADD.W #H'1234, R0
ADD R1, R0		
.....		
.DATA.W H'1234		

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付分岐命令には遅延分岐命令と通常分岐命令の 2 通りがあります。

表 2.3 遅延分岐命令

本 LSI の CPU	説 明	他の CPU の例
BRA TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1, R0
ADD R1, R0		BRA TRGET

(6) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2~3 ステートで実行します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2~4 ステートで実行します。

(7) T ビット

比較結果は SR の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

本 LSI の CPU	説明	他の CPU の例
CMP/GE R1, R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1, R0
BT TRGET0	R0 R1 のとき TRGET0 へ分岐します。	BGE TRGET0
BF TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #-1, R0	ADD では T ビットが変化しません。	SUB.W #1, R0
CMP/EQ #0, R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	R0 = 0 のとき分岐します。	

(8) イミディエイトデータ

バイト(8ビット)のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令 (MOV) で参照します。

表 2.5 イミディエイトデータによる参照

区 分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12, R0	MOV.B #H'12, R0
16 ビットイミディエイト	MOV.W @(disp, PC), R0	MOV.W #H'1234, R0
DATA.W H'1234	
32 ビットイミディエイト	MOV.L @(disp, PC), R0	MOV.L #H'12345678, R0
DATA.L H'12345678	

【注】 @(disp, PC)でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

区 分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @ (disp, PC), R1	MOV.B @ H'12345678, R0
	MOV.B @ R1, R0	
	
	.DATA.L H'12345678	

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(10) 16 ビット / 32 ビットディスプレースメント

16 ビット、または 32 ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照

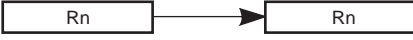
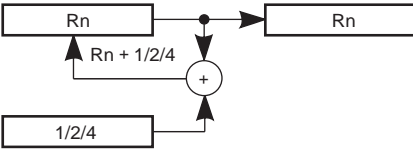
区 分	本 LSI の CPU	他の CPU の例
16 ビットディスプレースメント	MOV.W @ (disp, PC), R0	MOV.W @ (H'1234, R1), R2
	MOV.W @ (R0, R1), R2	
	
	.DATA.W H'1234	

【注】 @ (disp, PC) でイミディエイトデータを参照します。

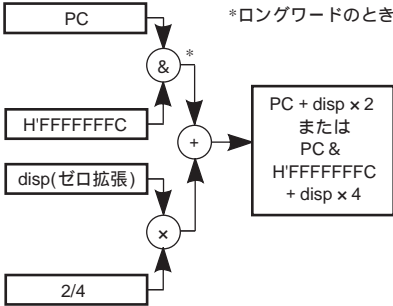
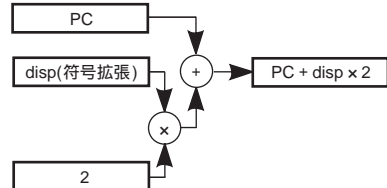
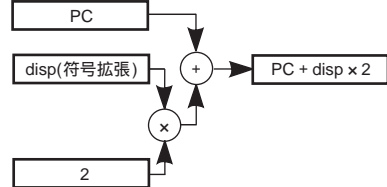
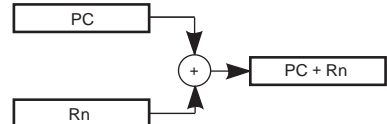
2.4.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト: Rn + 1 Rn ワード: Rn + 2 Rn ロングワード: Rn + 4 Rn

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
プリデクリメントレジスタ間接	@ - Rn	<p>実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。</p>	<p>バイト : $Rn - 1$ Rn ワード : $Rn - 2$ Rn ロングワード : $Rn - 4$ Rn (計算後の Rn で命令実行)</p>
ディスプレースメント付きレジスタ間接	@ (disp:4, Rn)	<p>実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>	<p>バイト : $Rn + disp$ ワード : $Rn + disp \times 2$ ロングワード : $Rn + disp \times 4$</p>
インデックス付きレジスタ間接	@ (R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p>	$Rn + R0$
ディスプレースメント付き GBR 間接	@ (disp: 8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>	<p>バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$</p>
インデックス付き GBR 間接	@ (R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p>	$GBR + R0$

アドレッシング モード	命令 フォーマット	実行アドレスの計算方法	計算式
ディスプレイースメント 付き PC 相対	@ (disp: 8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p>  <p style="text-align: right;">*ロングワードのとき</p>	ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$
	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$
	Rn	<p>実行アドレスはレジスタ PC に Rn を加算した内容です。</p> 	$PC + Rn$

アドレッシング モード	命令 フォーマット	実行アドレスの計算方法	計算式
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張 後、4 倍します。	-

2.4.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式		-	-	NOP
n 形式		-	nnnn: レジスタ直接	MOV _T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接	STS MACH, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: プリデクリメン ト レジスタ間接	STC.L SR, @-Rn
m 形式		mmmm: レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm, SR
		mmmm: ポストインク リメントレジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+, SR
		mmmm: レジスタ間接	-	JMP @Rm
		mmmm: Rm を用いた PC 相対	-	BRAF Rm

命令形式	ソースオペランド	デスティネーション オペランド	命令の例	
nm 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{xxxx} \\ \hline \end{array}$	mmmm: レジスタ直接	nnnn: レジスタ直接	ADD Rm, Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接	MOV.L Rm, @Rn
		mmmm: ポストインクリメント レジスタ間接 (積和演算) nnnn: * ポストインクリメント レジスタ間接 (積和演算)	MACH, MACL	MAC.W @Rm+, @Rn+
		mmmm: ポストインクリメント レジスタ間接	nnnn: レジスタ直接	MOV.L @Rm+, Rn
		mmmm: レジスタ直接	nnnn: プリデクリメント レジスタ間接	MOV.L Rm, @-Rn
		mmmm: レジスタ直接	nnnn: インデックス付き レジスタ間接	MOV.L Rm, @(R0, Rn)
md 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmmdddd: ディスプレイースメント 付きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp, Rm), R0
nd4 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnnn} & \text{dddd} \\ \hline \end{array}$	R0 (レジスタ直接)	nnnndddd: ディスプレイースメント 付きレジスタ間接	MOV.B R0, @(disp, Rn)
nmd 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmm: レジスタ直接	nnnndddd: ディスプレイースメント 付きレジスタ間接	MOV.L Rm, @(disp, Rn)
		mmmmdddd: ディスプレイースメント付き レジスタ間接	nnnn: レジスタ直接	MOV.L @(disp, Rm), Rn
d 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	dddddddd: ディスプレイースメント付き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp, GBR), R0
		R0 (レジスタ直接)	dddddddd: ディスプレイースメント 付き GBR 間接	MOV.L R0, @(disp, GBR)
		dddddddd: ディスプレイースメント付き PC 相対	R0 (レジスタ直接)	MOVA @(disp, PC), R0
		-	dddddddd: PC 相対	BF label

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
d12 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{dddd} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	-	ddddddddddd: PC 相対	BRA label (label=disp+pc)
nd8 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	ddddddd: ディスプレイメント 付き PC 相対	nnnn: レジスタ直接	MOV.L @(disp,PC),Rn
i 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiii: イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii: イミディエイト	R0 (レジスタ直接)	AND #imm, R0
		iiiiiii: イミディエイト	-	TRAPA #imm
ni 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiii: イミディエイト	nnnn: レジスタ直接	ADD #imm, Rn

【注】 * 積和命令では nnnn はソースレジスタです。

2.5 命令セット

2.5.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実行アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	ポロー付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			

分類	命令の種類	オペコード	機能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	
シフト命令	10	ROTL	1 ビット左回転	14
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCLR	T ビット付き 1 ビット右回転	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T=0 で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T=1 で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	

分類	命令の種類	オPCODE	機能	命令数
システム制御命令	11	CLRT	T ビットのクリア	31
		CLRMAC	MAC レジスタのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
	計 62			142

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行ステート	T ビット
ニーモニックで表示していません。	MSB LSB の順で表示しています。	動作の概略を表示していません。	ノーウェイトのときの値です。*1	命令実行後の、T ビットの値を表示しています。
記号の説明 OP:Sz SRC, DEST OP:オPCODE Sz:サイズ SRC:ソース DEST:デスティネーション Rm:ソースレジスタ Rn:デスティネーションレジスタ imm:イミディエイトデータ disp: ディスプレースメント*2	記号の説明 mmmm:ソースレジスタ nnnn:デスティネーションレジスタ 0000: R0 0001: R1 1111: R15 iiii:イミディエイトデータ dddd:ディスプレースメント	記号の説明 、 : 転送方向 (xx):メモリオペランド M/Q/T: SR 内のフラグ ビット &:ビットごとの論理積 :ビットごとの論理和 ^: ビットごとの排他的論理和 ~:ビットごとの論理否定 <<n:左 n ビットシフト >>n:右 n ビットシフト		記号の説明 :変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令 (メモリ レジスタ) のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング (x1、x2、x4) されます。

詳細は「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」を参照してください。

2.5.2 データ転送命令

表 2.11 データ転送命令

命令	命令コード	動作	実行 ステート	Tビット
MOV #imm, Rn	1110nnnniiiiiii	#imm 符号拡張 Rn	1	-
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2+PC) 符号拡張 Rn	1	-
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4+PC) Rn	1	-
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	-
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	-
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	-
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	-
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	-
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	-
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	-
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn - 1 Rn, Rm (Rn)	1	-
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn - 2 Rn, Rm (Rn)	1	-
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn - 4 Rn, Rm (Rn)	1	-
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm	1	-
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm	1	-
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm	1	-
MOV.B R0, @(disp, Rn)	10000000nnnndddd	R0 (disp+Rn)	1	-
MOV.W R0, @(disp, Rn)	10000001nnnndddd	R0 (disp × 2+Rn)	1	-
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmdddd	Rm (disp × 4+Rn)	1	-
MOV.B @(disp, Rm), R0	10000100mmmmdddd	(disp+Rm) 符号拡張 R0	1	-
MOV.W @(disp, Rm), R0	10000101mmmmdddd	(disp × 2+Rm) 符号拡張 R0	1	-
MOV.L @(disp, Rm), Rn	0101nnnnmmmmdddd	(disp × 4+Rm) Rn	1	-
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0+Rn)	1	-
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0+Rn)	1	-
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0+Rn)	1	-
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn	1	-
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn	1	-
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) Rn	1	-
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0 (disp+GBR)	1	-
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0 (disp × 2+GBR)	1	-

命令	命令コード	動作	実行 状態	Tビット
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0 (disp × 4+GBR)	1	-
MOV.B @(disp, GBR), R0	11000100ddddddd	(disp+GBR) 符号拡張 R0	1	-
MOV.W @(disp, GBR), R0	11000101ddddddd	(disp × 2+GBR) 符号拡張 R0	1	-
MOV.L @(disp, GBR), R0	11000110ddddddd	(disp × 4+GBR) R0	1	-
MOVA @(disp, PC), R0	11000111ddddddd	disp × 4+PC R0	1	-
MOVT Rn	0000nnnn00101001	T Rn	1	-
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm 下位2バイトの上下バイト 交換 Rn	1	-
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	-
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm: Rn の中央 32 ビット Rn	1	-

2.5.3 算術演算命令

表 2.12 算術演算命令

命令	命令コード	動作	実行 状態	Tビット
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm Rn	1	-
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm Rn	1	-
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T Rn, キャリ T	1	キャリ
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm Rn, オーバフロー T	1	オーバ フロー
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1 T	1	比較結果
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1 T	1	比較結果
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T	1	比較結果
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T	1	比較結果
CMP/HI Rm, Rn	0011nnnnmmmm0110	無符号で Rn > Rm のとき 1 T	1	比較結果
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn > Rm のとき 1 T	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1 T	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T	1	比較結果
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T	1	比較結果
DIV1 Rm, Rn	0011nnnnmmmm0100	1 ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm, Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M^Q T	1	計算結果
DIV0U	0000000000011001	0 M/Q/T	1	0

命令	命令コード	動作	実行 ステート	Tビット
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH,MACL 32 × 32 64 ビット	2~5*	-
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH,MACL 32 × 32 64 ビット	2~5*	-
DT Rn	0100nnnn00010000	Rn - 1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	1	比較結果
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 Rn	1	-
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 Rn	1	-
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 Rn	1	-
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 Rn	1	-
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 32 × 32 + 64 64 ビット	2~5*	-
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 16 × 16 + 64 64 ビット	2~4*	-
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm MACL 32 × 32 32 ビット	2~5*	-
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MACL 16 × 16 32 ビット	1~3*	-
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MACL 16 × 16 32 ビット	1~3*	-
NEG Rm, Rn	0110nnnnmmmm1011	0 - Rm Rn	1	-
NEGC Rm, Rn	0110nnnnmmmm1010	0 - Rm - T Rn, ボロー T	1	ボロー
SUB Rm, Rn	0011nnnnmmmm1000	Rn - Rm Rn	1	-
SUBC Rm, Rn	0011nnnnmmmm1010	Rn - Rm - T Rn, ボロー T	1	ボロー
SUBV Rm, Rn	0011nnnnmmmm1011	Rn - Rm Rn, アンダフロー T	1	オーバ フロー

【注】 * 通常実行ステートを示します。

2.5.4 論理演算命令

表 2.13 論理演算命令

命令	命令コード	動作	実行 ステート	Tビット
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rn Rn	1	-
AND #imm, R0	11001001iiiiiii	R0 & imm R0	1	-
AND.B #imm, @(R0, GBR)	11001101iiiiiii	(R0+GBR) & imm (R0+GBR)	3	-
NOT Rm, Rn	0110nnnnmmmm0111	~Rm Rn	1	-
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm Rn	1	-
OR #imm, R0	11001011iiiiiii	R0 imm R0	1	-
OR.B #imm, @(R0, GBR)	11001111iiiiiii	(R0+GBR) imm (R0+GBR)	3	-
TAS.B @Rn	0100nnnn00011011	(Rn) が 0 のとき 1 T, 1 MSB of (Rn)	4	テスト 結果
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が 0 のとき 1 T	1	テスト 結果
TST #imm, R0	11001000iiiiiii	R0 & imm, 結果が 0 のとき 1 T	1	テスト 結果
TST.B #imm, @(R0, GBR)	11001100iiiiiii	(R0+GBR) & imm, 結果が 0 のとき 1 T	3	テスト 結果
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	-
XOR #imm, R0	11001010iiiiiii	R0 ^ imm R0	1	-
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	(R0+GBR) ^ imm (R0+GBR)	3	-

2.5.5 シフト命令

表 2.14 シフト命令

命令	命令コード	動作	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB
SHLL2 Rn	0100nnnn00001000	Rn << 2 Rn	1	-
SHLR2 Rn	0100nnnn00001001	Rn >> 2 Rn	1	-

命令	命令コード	動作	実行 ステート	Tビット
SHLL8 Rn	0100nnnn00011000	Rn << 8 Rn	1	-
SHLR8 Rn	0100nnnn00011001	Rn >> 8 Rn	1	-
SHLL16 Rn	0100nnnn00101000	Rn << 16 Rn	1	-
SHLR16 Rn	0100nnnn00101001	Rn >> 16 Rn	1	-

2.5.6 分岐命令

表 2.15 分岐命令

命令	命令コード	動作	実行 ステート	Tビット
BF label	10001011dddddddd	T=0 のとき disp × 2+PC PC, T=1 のとき nop	3/1*	-
BF/S label	10001111dddddddd	遅延分岐、 T=0 のとき disp × 2+PC PC, T=1 のとき nop	2/1*	-
BT label	10001001dddddddd	T=1 のとき disp × 2+PC PC, T=0 のとき nop	3/1*	-
BT/S label	10001101dddddddd	遅延分岐、 T=1 のとき disp × 2+PC PC, T=0 のとき nop	2/1*	-
BRA label	1010dddddddddddd	遅延分岐、disp × 2+PC PC	2	-
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC PC	2	-
BSR label	1011dddddddddddd	遅延分岐、PC PR, disp × 2+PC PC	2	-
BSRF Rm	0000mmmm00000011	遅延分岐、PC PR, Rm+PC PC	2	-
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC	2	-
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC	2	-
RTS	0000000000001011	遅延分岐、PR PC	2	-

【注】 * 分岐しないときは1ステートになります。

2.5.7 システム制御命令

表 2.16 システム制御命令

命令	命令コード	動作	実行 ステート	Tビット
CLRT	00000000000001000	0 T	1	0
CLRMACH	00000000000101000	0 MACH, MACL	1	-
LDC Rm, SR	0100mmmm00001110	Rm SR	6	LSB
LDC Rm, GBR	0100mmmm00011110	Rm GBR	4	-
LDC Rm, VBR	0100mmmm00101110	Rm VBR	4	-
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	8	LSB
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	4	-
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	4	-
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	-
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	-
LDS Rm, PR	0100mmmm00101010	Rm PR	1	-
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	-
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	-
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	-
NOP	00000000000001001	無操作	1	-
RTE	00000000000101011	遅延分岐、スタック領域 PC/SR	5	-
SETT	0000000000011000	1 T	1	1
SLEEP	0000000000011011	スリープ	4*	-
STC SR, Rn	0000nnnn00000010	SR Rn	1	-
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	-
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	-
STC.L SR, @-Rn	0100nnnn00000011	Rn - 4 Rn, SR (Rn)	1	-
STC.L GBR, @-Rn	0100nnnn00010011	Rn - 4 Rn, GBR (Rn)	1	-
STC.L VBR, @-Rn	0100nnnn00100011	Rn - 4 Rn, VBR (Rn)	1	-
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	-
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	-
STS PR, Rn	0000nnnn00101010	PR Rn	1	-
STS.L MACH, @-Rn	0100nnnn00000010	Rn - 4 Rn, MACH (Rn)	1	-
STS.L MACL, @-Rn	0100nnnn00010010	Rn - 4 Rn, MACL (Rn)	1	-
STS.L PR, @-Rn	0100nnnn00100010	Rn - 4 Rn, PR (Rn)	1	-

命令	命令コード	動作	実行 ステート	Tビット
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、 (imm×4+VBR) PC	8	-

【注】 * スリープ状態に移るまでのステート数です。

命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合などの条件により、命令実行ステート数は増加します。

(1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RES}}$ 端子がローレベルのとき、パワーオンリセット状態になります。 $\overline{\text{RES}}$ 端子がハイレベルで $\overline{\text{MRES}}$ 端子がローレベルのとき、マニュアルリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときの一時的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードになります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には 4 種類の MCU 動作モードと、3 種類の内蔵フラッシュメモリ書き込み用のモードがあります。

動作モードは、FWE 端子、MD1 端子、MD0 端子の組み合わせで設定します。

本 LSI にて設定可能な動作モードの組み合わせを表 3.1 に示します。この表以外の組み合わせは設定しないでください。

なお、システムの電源投入時は、パワーオンリセット処理を必ず行うようにしてください。

MCU 動作モードとしては、MCU 拡張モード 0~2 とシングルチップモードがあります。

内蔵フラッシュメモリ書き込み用のモードには、オンボードプログラミングモードであるブートモード、ユーザブートモード、ユーザプログラムモードがあります。

表 3.1 動作モードの選択

MCU 動作モード	端子設定			モード名	内蔵 ROM	CS0 空間のバス幅	
	FWE	MD1	MD0*1			SH7146	SH7149
モード 0	0	0	0	MCU 拡張モード 0	無効	-	8
モード 1	0	0	1	MCU 拡張モード 1	無効	-	16
モード 2	0	1	0	MCU 拡張モード 2	有効	-	BSC の CS0BCR により設定
モード 3	0	1	1	シングルチップモード	有効	-	
モード 4*2	1	0	0	ブートモード	有効	-	
モード 5*2	1	0	1	ユーザブートモード	有効	-	BSC の CS0BCR により設定
モード 6*2	1	1	0	ユーザプログラムモード	有効	-	BSC の CS0BCR により設定
モード 7*2	1	1	1		有効	-	

【注】 *1 SH7146 には、MD0 端子はありません。FWE 端子と MD1 端子の組み合わせで以下の動作モードのみをサポートします。

シングルチップモード : FWE 端子 = 0、MD1 端子 = 1

ブートモード : FWE 端子 = 1、MD1 端子 = 0

ユーザプログラムモード : FWE 端子 = 1、MD1 端子 = 1

*2 フラッシュメモリのプログラミングモードです。

3.2 入出力端子

動作モードに関連する端子構成を表 3.2 に示します。

表 3.2 端子構成

名称	入出力	機能
MD0	入力	動作モードを指定
MD1	入力	動作モードを指定
FWE	入力	内蔵フラッシュメモリの書き込み / 消去のハードウェアイネーブル用端子

3.3 各動作モードの説明

3.3.1 モード 0 (MCU 拡張モード 0)

モード 0 では、CS0 空間のバス幅が、SH7149 では 8 ビットの外部メモリ空間となります。

3.3.2 モード 1 (MCU 拡張モード 1)

モード 1 では、CS0 空間のバス幅が、SH7149 では 16 ビットの外部メモリ空間となります。

3.3.3 モード 2 (MCU 拡張モード 2)

モード 2 では、内蔵 ROM が有効で、CS0 空間を使用することができます。

3.3.4 モード 3 (シングルチップモード)

シングルチップモードでは、すべてのポートを使用することができますが、外部アドレスは使用できません。

3.4 アドレスマップ

各動作モードのアドレスマップを図 3.1、図 3.2 に示します。

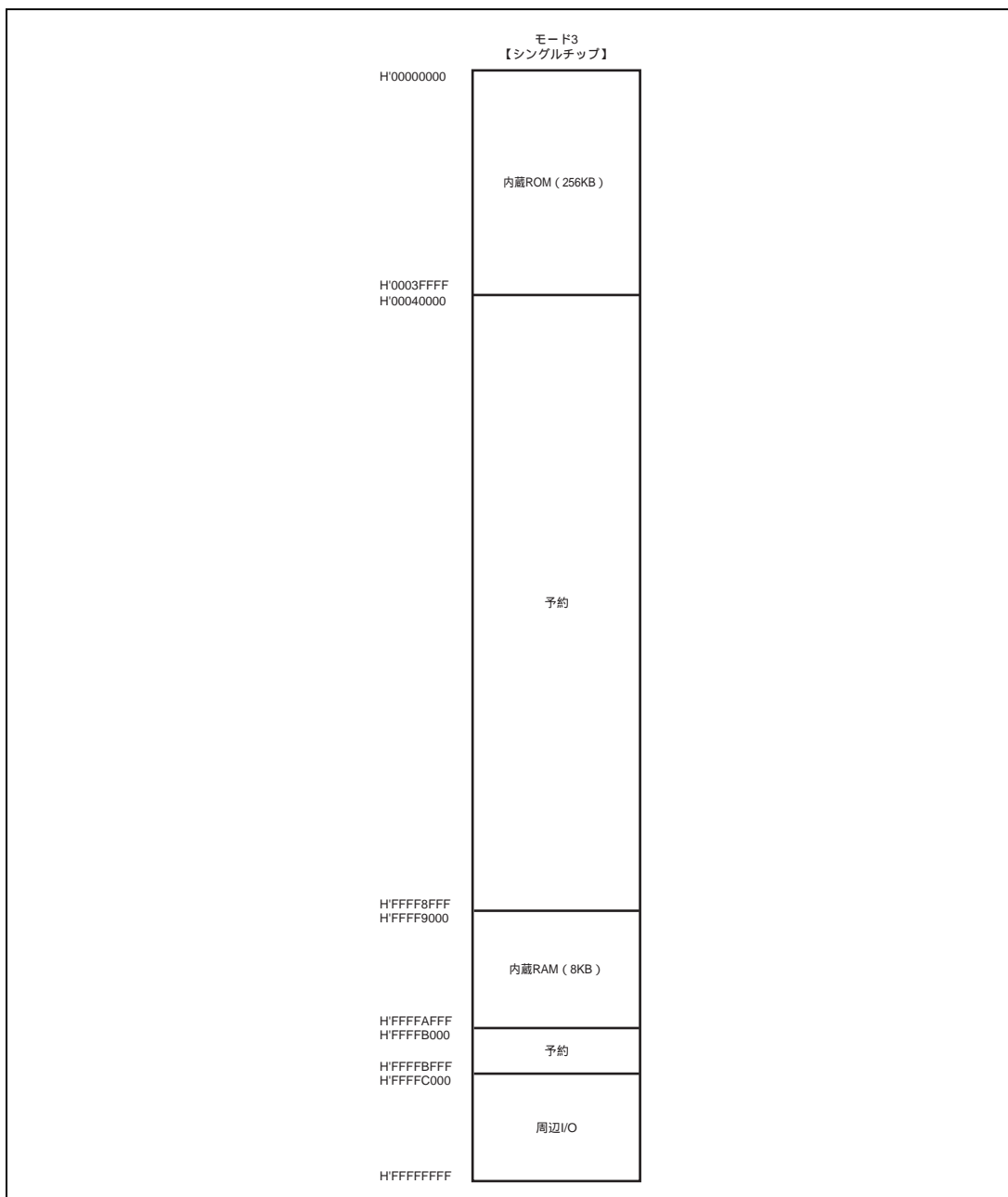


図 3.1 SH7146 の各動作モードのアドレスマップ

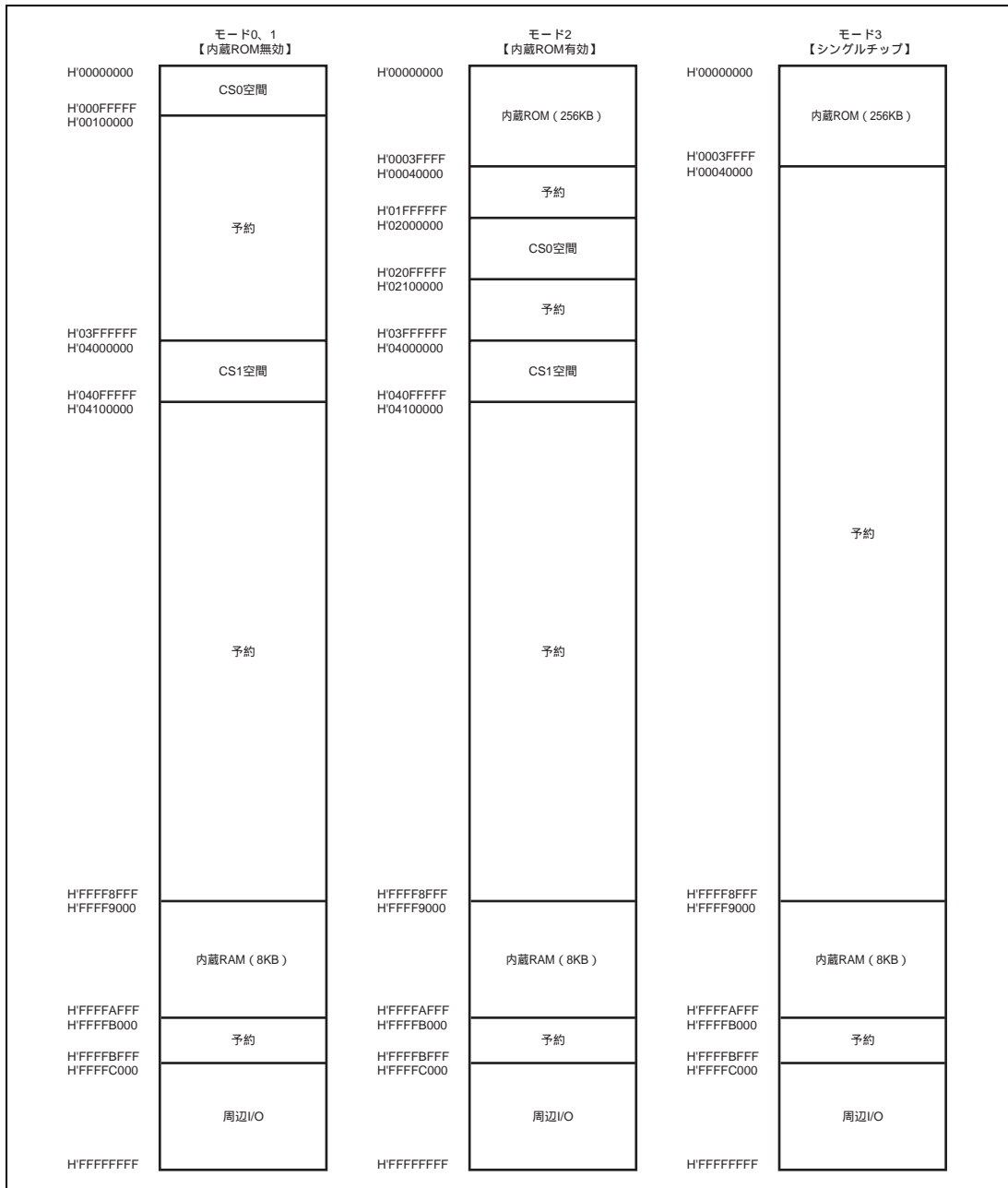


図 3.2 SH7149 の各動作モードのアドレスマップ

3.5 本 LSI の初期状態

本 LSI では、低消費電力化のため、初期状態では一部の内蔵モジュールがモジュールスタンバイ状態に設定されています。このため、これらのモジュールを動作させるには、モジュールスタンバイ状態を解除する必要があります。詳細は「第 22 章 低消費電力モード」を参照してください。

3.6 動作モード変更時の注意事項

本 LSI へ電源印加中に動作モードを変更する場合は、必ずパワーオンリセット状態 ($\overline{\text{RES}}$ 端子にローレベルを印加) で行ってください。

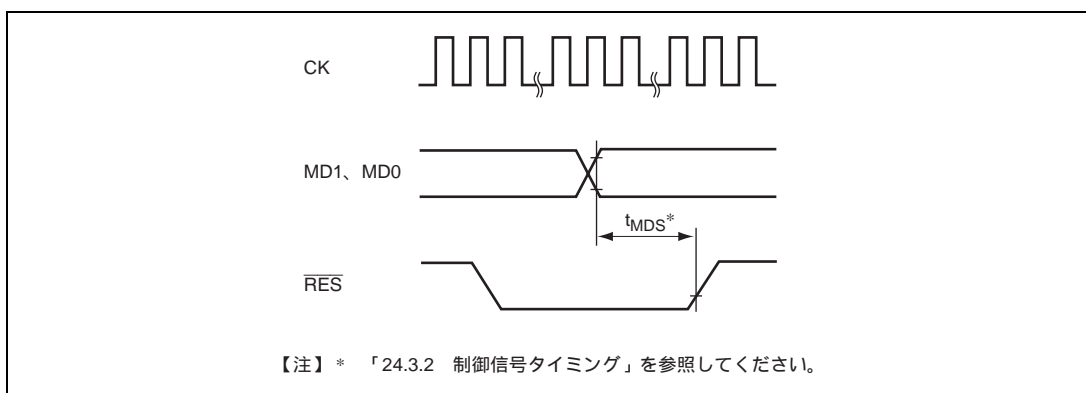


図 3.3 動作モード変更時のリセット入力タイミング

4. クロック発振器 (CPG)

本 LSI は、クロック発振器 (CPG) を内蔵しています。

CPG は、内部クロック (I)、バスクロック (B)、周辺クロック (P)、および MTU2S、MTU2 モジュール用クロック (MI、MP) の生成と、低消費電力モードの制御を行います。

4.1 特長

- 5種類のクロックを独立して生成可能
CPUで使用する内部クロック (I)と、周辺モジュールで使用する周辺クロック (P)、さらに外部バスインタフェースで使用するバスクロック (B = CK) を独立に生成できます。
また、内蔵のMTU2Sモジュール用にMTU2Sクロック (MI)、MTU2モジュール用にMTU2クロック (MP) を独立に生成することができます。
- 周波数変更機能
CPG内部の分周回路により、内部クロック (I)、バスクロック (B)、周辺クロック (P) およびMTU2Sクロック (MI) とMTU2クロック (MP) の周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。
- 低消費電力モードの制御
スリープモード、スタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。
- 発振停止検出機能
何らかの理由でクロック入力端子からのクロック供給が停止した場合、自動的にタイマ端子をハイインピーダンス状態にすることができます。

図 4.1 にクロック発振器のブロック図を示します。

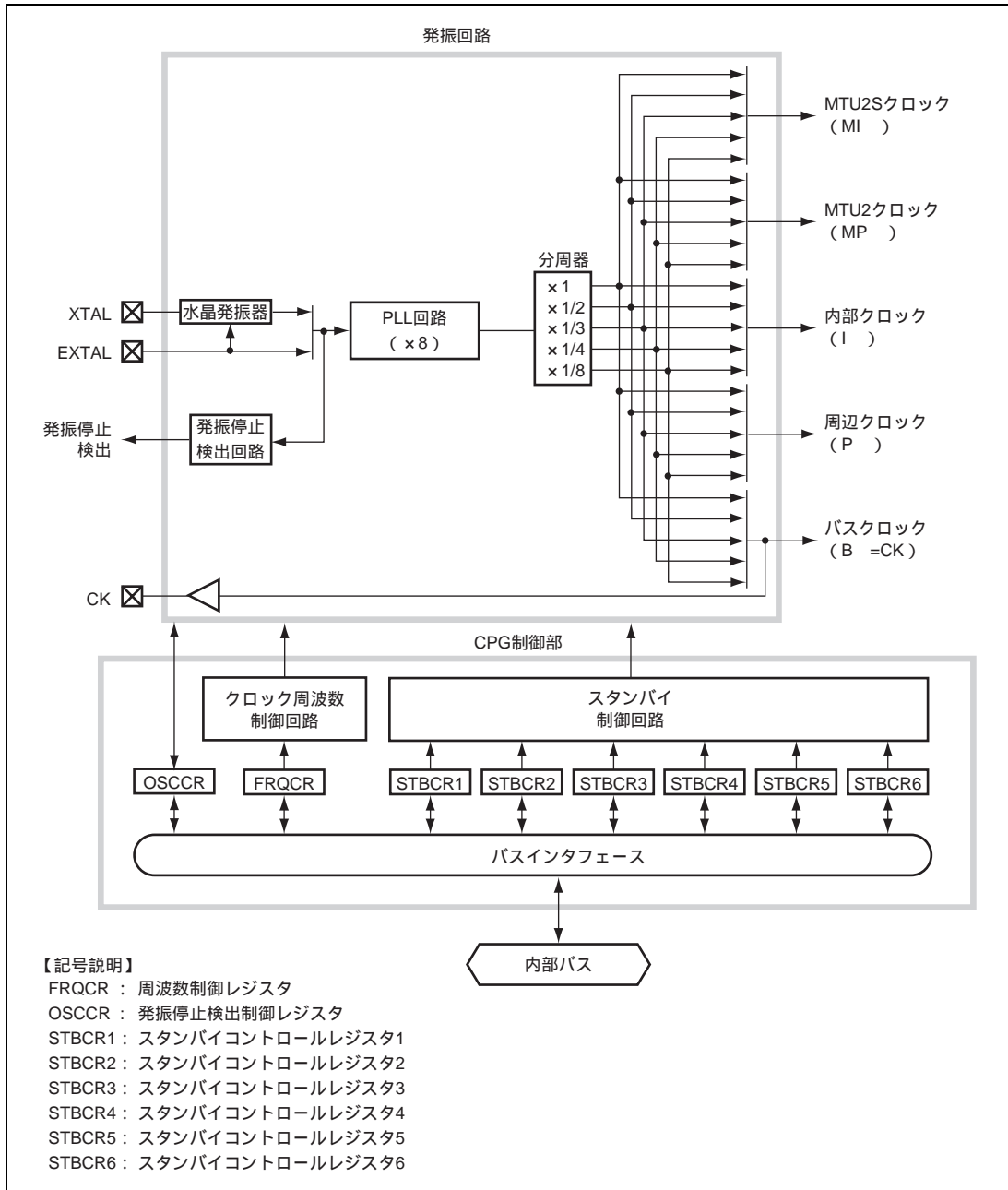


図 4.1 クロック発振器のブロック図

クロック発振器の各ブロックは、次のように機能します。

(1) PLL 回路

PLL 回路は、水晶発振器または EXTAL 端子からの入力クロック周波数を 8 倍に逡倍する機能を持ちます。逡倍率は常に 8 倍に固定されます。

(2) 水晶発振器

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。

(3) 分周器

分周器は、内部クロック (I)、バスクロック (B)、周辺クロック (P)、および MTU2S クロック (MI) と MTU2 クロック (MP) で使用する動作周波数のクロックを生成する機能を持ちます。

動作周波数は、PLL 回路の出力周波数に対して、1 倍、1/2 倍、1/3 倍、1/4 倍、1/8 倍の選択が可能です。

分周率の設定は、周波数制御レジスタ (FRQCR) で設定します。

(4) 発振停止検出回路

水晶発振器の異常を検出する回路です。

(5) クロック周波数制御回路

クロック周波数制御回路は、周波数制御レジスタ (FRQCR) の設定により、クロック周波数を制御します。

(6) スタンバイ制御回路

スタンバイ制御回路は、スリープ/スタンバイモード時の内蔵発振回路および他のモジュールの状態を制御します。

(7) 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) には、内部クロック (I)、バスクロック (B)、周辺クロック (P)、および MTU2S クロック (MI) と MTU2 クロック (MP) の周波数分周率の各制御ビットが割り当てられています。

(8) 発振停止検出制御レジスタ (OSCCR)

発振停止検出制御レジスタ (OSCCR) には、発振停止検出フラグと外部端子へのフラグ出力選択ビットが割り当てられています。

(9) スタンバイコントロールレジスタ 1~6 (STBCR1~STBCR6)

スタンバイコントロールレジスタ (STBCR) には、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 22 章 低消費電力モード」を参照してください。

表 4.1 に各モジュールの動作クロックを示します。

表 4.1 各モジュールの動作クロック

動作クロック	該当モジュール	動作クロック	該当モジュール
内部クロック (I)	CPU	周辺クロック (P)	POE
	UBC		SCI
	ROM		A/D
	RAM		CMT
			WDT
バスクロック (B)	BSC	MTU2 クロック (MP)	MTU2
	DTC	MTU2S クロック (MI)	MTU2S

4.2 入出力端子

CPG の端子構成と機能を表 4.2 に示します。

表 4.2 クロック発振器の端子構成と機能

名称	端子名	入出力	機能
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。
	EXTAL	入力	水晶発振子を接続します。または外部クロック入力端子として使用します。
クロック出力端子	CK	出力	外部クロック出力端子として使用します。

【注】 クロック出力端子 (CK) を使用する場合、ピンファンクションコントローラ (PFC) による端子の設定が必要な場合があります。詳細は、「第 17 章 ピンファンクションコントローラ (PFC)」をご覧ください。

4.3 クロック動作モード

本 LSI のクロック動作モードを表 4.3 に示します。

表 4.3 クロック動作モード

モード	クロック入出力		PLL 回路	分周器への入力
	供給源	出力		
1	EXTAL 入力 水晶発振子	CK*	ON (× 8)	× 8

【注】 * CK 端子よりクロック出力をする場合は PFC の設定が必要になります。
PFC の設定については「第 17 章 ビンファンクションコントローラ (PFC)」を参照してください。

- モード1

EXTAL 端子から外部クロックを入力し、PLL 回路で周波数を 8 倍に逡倍して本 LSI 内部に供給するので、外部で生成するクロック周波数が低くてすみます。入力クロック周波数は 5MHz から 12.5MHz まで使用でき、内部クロック (I) の周波数レンジとしては 10MHz から 80MHz となります。

最大動作周波数 : I = 80MHz、B = 40MHz、P = 40MHz、MI = 80MHz、MP = 40MHz、

表 4.4 に、FRQCR で設定可能な分周率の設定を示します。

表 4.4 FRQCR による分周率の設定

PLL 通倍率	FRQCR の分周率設定					クロック比					クロック周波数 (MHz) *					
	I ϕ	B ϕ	P ϕ	MI ϕ	MP ϕ	I ϕ	B ϕ	P ϕ	MI ϕ	MP ϕ	入力クロック	I ϕ	B ϕ	P ϕ	MI ϕ	MP ϕ
× 8	1/8	1/8	1/8	1/8	1/8	1	1	1	1	1	10	10	10	10	10	10
	1/4	1/8	1/8	1/8	1/8	2	1	1	1	1		20	10	10	10	10
	1/4	1/8	1/8	1/4	1/8	2	1	1	2	1		20	10	10	20	10
	1/4	1/4	1/8	1/8	1/8	2	2	1	1	1		20	20	10	10	10
	1/4	1/4	1/8	1/4	1/8	2	2	1	2	1		20	20	10	20	10
	1/4	1/4	1/8	1/4	1/4	2	2	1	2	2		20	20	10	20	20
	1/4	1/4	1/4	1/4	1/4	2	2	2	2	2		20	20	20	20	20
	1/3	1/3	1/3	1/3	1/3	8/3	8/3	8/3	8/3	8/3		26	26	26	26	26
	1/2	1/8	1/8	1/8	1/8	4	1	1	1	1		40	10	10	10	10
	1/2	1/8	1/8	1/4	1/8	4	1	1	2	1		40	10	10	20	10
	1/2	1/8	1/8	1/2	1/8	4	1	1	4	1		40	10	10	40	10
	1/2	1/4	1/8	1/8	1/8	4	2	1	1	1		40	20	10	10	10
	1/2	1/4	1/8	1/4	1/8	4	2	1	2	1		40	20	10	20	10
	1/2	1/4	1/8	1/4	1/4	4	2	1	2	2		40	20	10	20	20
	1/2	1/4	1/8	1/2	1/8	4	2	1	4	1		40	20	10	40	10
	1/2	1/4	1/8	1/2	1/4	4	2	1	4	2		40	20	10	40	20
	1/2	1/4	1/4	1/4	1/4	4	2	2	2	2		40	20	20	20	20
	1/2	1/4	1/4	1/2	1/4	4	2	2	4	2		40	20	20	40	20
	1/2	1/2	1/8	1/8	1/8	4	4	1	1	1		40	40	10	10	10
	1/2	1/2	1/8	1/4	1/8	4	4	1	2	1		40	40	10	20	10
	1/2	1/2	1/8	1/4	1/4	4	4	1	2	2		40	40	10	20	20
	1/2	1/2	1/8	1/2	1/8	4	4	1	4	1		40	40	10	40	10
	1/2	1/2	1/8	1/2	1/4	4	4	1	4	2		40	40	10	40	20
	1/2	1/2	1/8	1/2	1/2	4	4	1	4	4		40	40	10	40	40
	1/2	1/2	1/4	1/4	1/4	4	4	2	2	2		40	40	20	20	20
	1/2	1/2	1/4	1/2	1/4	4	4	2	4	2		40	40	20	40	20
	1/2	1/2	1/4	1/2	1/2	4	4	2	4	4		40	40	20	40	40
	1/2	1/2	1/2	1/2	1/2	4	4	4	4	4		40	40	40	40	40
	1/1	1/8	1/8	1/8	1/8	8	1	1	1	1		80	10	10	10	10
	1/1	1/8	1/8	1/4	1/8	8	1	1	2	1		80	10	10	20	10
	1/1	1/8	1/8	1/2	1/8	8	1	1	4	1		80	10	10	40	10
	1/1	1/8	1/8	1/1	1/8	8	1	1	8	1		80	10	10	80	10
1/1	1/4	1/8	1/8	1/8	8	2	1	1	1	80	20	10	10	10		
1/1	1/4	1/8	1/4	1/8	8	2	1	2	1	80	20	10	20	10		
1/1	1/4	1/8	1/4	1/4	8	2	1	2	2	80	20	10	20	20		

PLL 逡倍率	FRQCR の分周率設定					クロック比					クロック周波数 (MHz) *					
	I ϕ	B ϕ	P ϕ	MI ϕ	MP ϕ	I ϕ	B ϕ	P ϕ	MI ϕ	MP ϕ	入力クロック	I ϕ	B ϕ	P ϕ	MI ϕ	MP ϕ
× 8	1/1	1/4	1/8	1/2	1/8	8	2	1	4	1	10	80	20	10	40	10
	1/1	1/4	1/8	1/2	1/4	8	2	1	4	2		80	20	10	40	20
	1/1	1/4	1/8	1/1	1/8	8	2	1	8	1		80	20	10	80	10
	1/1	1/4	1/8	1/1	1/4	8	2	1	8	2		80	20	10	80	20
	1/1	1/4	1/4	1/4	1/4	8	2	2	2	2		80	20	20	20	20
	1/1	1/4	1/4	1/2	1/4	8	2	2	4	2		80	20	20	40	20
	1/1	1/4	1/4	1/1	1/4	8	2	2	8	2		80	20	20	80	20
	1/1	1/3	1/3	1/3	1/3	8	8/3	8/3	8/3	8/3		80	26	26	26	26
	1/1	1/3	1/3	1/1	1/3	8	8/3	8/3	8	8/3		80	26	26	80	26
	1/1	1/2	1/8	1/8	1/8	8	4	1	1	1		80	40	10	10	10
	1/1	1/2	1/8	1/4	1/8	8	4	1	2	1		80	40	10	20	10
	1/1	1/2	1/8	1/4	1/4	8	4	1	2	2		80	40	10	20	20
	1/1	1/2	1/8	1/2	1/8	8	4	1	4	1		80	40	10	40	10
	1/1	1/2	1/8	1/2	1/4	8	4	1	4	2		80	40	10	40	20
	1/1	1/2	1/8	1/2	1/2	8	4	1	4	4		80	40	10	40	40
	1/1	1/2	1/8	1/1	1/8	8	4	1	8	1		80	40	10	80	10
	1/1	1/2	1/8	1/1	1/4	8	4	1	8	2	80	40	10	80	20	
	1/1	1/2	1/8	1/1	1/2	8	4	1	8	4	80	40	10	80	40	
	1/1	1/2	1/4	1/4	1/4	8	4	2	2	2	80	40	20	20	20	
	1/1	1/2	1/4	1/2	1/4	8	4	2	4	2	80	40	20	40	20	
	1/1	1/2	1/4	1/2	1/2	8	4	2	4	4	80	40	20	40	40	
	1/1	1/2	1/4	1/1	1/4	8	4	2	8	2	80	40	20	80	20	
	1/1	1/2	1/4	1/1	1/2	8	4	2	8	4	80	40	20	80	40	
	1/1	1/2	1/2	1/2	1/2	8	4	4	4	4	80	40	40	40	40	
	1/1	1/2	1/2	1/1	1/2	8	4	4	8	4	80	40	40	80	40	
	1/1	1/1	1/4	1/4	1/4	8	8	2	2	2	5	40	40	10	10	10
	1/1	1/1	1/4	1/2	1/4	8	8	2	4	2		40	40	10	20	10
	1/1	1/1	1/4	1/2	1/2	8	8	2	4	4		40	40	10	20	20
	1/1	1/1	1/4	1/1	1/4	8	8	2	8	2		40	40	10	40	10
	1/1	1/1	1/4	1/1	1/2	8	8	2	8	4		40	40	10	40	20
	1/1	1/1	1/4	1/1	1/1	8	8	2	8	8		40	40	10	40	40
	1/1	1/1	1/3	1/3	1/3	8	8	8/3	8/3	8/3		40	40	13	13	13
1/1	1/1	1/3	1/1	1/3	8	8	8/3	8	8/3	40		40	13	40	13	
1/1	1/1	1/3	1/1	1/1	8	8	8/3	8	8	40		40	13	40	40	
1/1	1/1	1/2	1/2	1/2	8	8	4	4	4	40		40	20	20	20	

PLL 逡倍率	FRQCR の分周率設定					クロック比					クロック周波数 (MHz) *					
	I ϕ	B ϕ	P ϕ	MI ϕ	MP ϕ	I ϕ	B ϕ	P ϕ	MI ϕ	MP ϕ	入力クロック	I ϕ	B ϕ	P ϕ	MI ϕ	MP ϕ
× 8	1/1	1/1	1/2	1/1	1/2	8	8	4	8	4	5	40	40	20	40	20
	1/1	1/1	1/2	1/1	1/1	8	8	4	8	8		40	40	20	40	40
	1/1	1/1	1/1	1/1	1/1	8	8	8	8	8		40	40	40	40	40

【注】 * クロック周波数は、入力クロックの周波数を仮定した場合の値です。

- PLL 回路の逡倍率は × 8 のみです。分周器の分周率には、× 1、× 1/2、× 1/3、× 1/4、× 1/8 が選択できます。これらは設定するクロックごとに、周波数制御レジスタで設定します。
- PLL 回路の出力周波数は、水晶発振子からの入力、または EXTAL 端子からの入力クロックの周波数に、PLL 回路の 8 倍の逡倍率を掛けた周波数になります。
- 分周器の入力は、常に PLL 回路の出力になります。
- 内部クロック (I) の周波数は、水晶発振子からの入力、または EXTAL 端子からの入力クロックの周波数に、PLL 回路の 8 倍の逡倍率と分周器の分周率を掛けた周波数になります。
内部クロック (I) の周波数は、最大動作周波数 (80MHz) 以下になるように設定してください。
- バスクロック (B) の周波数は、水晶発振子からの入力、または EXTAL 端子からの入力クロックの周波数に、PLL 回路の 8 倍の逡倍率と分周器の分周率を掛けた周波数になります。
バスクロック (B) の周波数は、40MHz 以下、および内部クロック (I) の周波数以下に設定してください。
- 周辺クロック (P) の周波数は、水晶発振子からの入力、または EXTAL 端子からの入力クロックの周波数に、PLL 回路の 8 倍の逡倍率と分周器の分周率を掛けた周波数になります。
周辺クロック (P) の周波数は、40MHz 以下、およびバスクロック (B) の周波数以下に設定してください。
- MTU2S および MTU2 を使用する場合、MTU2S クロック (MI) は内部クロック (I) の周波数以下、かつ MTU2 クロック (MP) の周波数以上になるように設定してください。また、MTU2 クロック (MP) は MTU2S クロック (MI) の周波数以下、バスクロック (B) の周波数以下、かつ周辺クロック (P) の周波数以上になるように設定してください。
MTU2S クロック (MI) および MTU2 クロック (MP) の周波数は、水晶発振子からの入力、または EXTAL 端子からの入力クロックの周波数に、PLL 回路の 8 倍の逡倍率と分周器の分周率を掛けた周波数になります。
- CK 端子の周波数は常にバスクロック (B) の周波数と等しくなります。

4.4 レジスタの説明

CPG には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 4.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
周波数制御レジスタ	FRQCR	R/W	H'36DB	H'FFFE800	16
発振停止検出制御レジスタ	OSCCR	R/W	H'00	H'FFFE814	8

4.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し/書き込み可能な 16 ビットのレジスタで、内部クロック (I)、バスクロック (B)、周辺クロック (P)、MTU2S クロック (MI)、MTU2 クロック (MP) の周波数分周率の指定ができます。FRQCR はワードアクセスのみ可能です。

このレジスタは、パワーオンリセット時 (WDT オーバフローによるパワーオンリセットは除く) のみ初期化され、初期値は H'36DB となります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	IFC[2:0]			BFC[2:0]			PFC[2:0]			MIFC[2:0]			MPFC[2:0]		
初期値:	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	IFC[2:0]	011	R/W	内部クロック (I) 周波数の分周率 PLL 回路の出力周波数に対しての内部クロック (I) の分周率を指定します。設定禁止の値を設定した場合、以後の動作は保証しません。 000 : ×1 倍 001 : ×1/2 倍 010 : ×1/3 倍 011 : ×1/4 倍 100 : ×1/8 倍 上記以外 : 設定禁止

ビット	ビット名	初期値	R/W	説 明
11~9	BFC[2:0]	011	R/W	<p>バスクロック (B) 周波数の分周率</p> <p>PLL 回路の出力周波数に対してのバスクロック (B) の分周率を指定します。設定禁止の値を設定した場合、以後の動作は保証しません。</p> <p>000 : ×1 倍 001 : ×1/2 倍 010 : ×1/3 倍 011 : ×1/4 倍 100 : ×1/8 倍 上記以外 : 設定禁止</p>
8~6	PFC[2:0]	011	R/W	<p>周辺クロック (P) 周波数の分周率</p> <p>PLL 回路の出力周波数に対しての周辺クロック (P) の分周率を指定します。設定禁止の値を設定した場合、以後の動作は保証しません。</p> <p>000 : ×1 倍 001 : ×1/2 倍 010 : ×1/3 倍 011 : ×1/4 倍 100 : ×1/8 倍 上記以外 : 設定禁止</p>
5~3	MIFC[2:0]	011	R/W	<p>MTU2S クロック (MI) 周波数の分周率</p> <p>PLL 回路の出力周波数に対しての MTU2S クロック (MI) の分周率を指定します。設定禁止の値を設定した場合、以後の動作は保証しません。</p> <p>000 : ×1 倍 001 : ×1/2 倍 010 : ×1/3 倍 011 : ×1/4 倍 100 : ×1/8 倍 上記以外 : 設定禁止</p>
2~0	MPFC[2:0]	011	R/W	<p>MTU2 クロック (MP) 周波数の分周率</p> <p>PLL 回路の出力周波数に対しての MTU2 クロック (MP) の分周率を指定します。設定禁止の値を設定した場合、以後の動作は保証しません。</p> <p>000 : ×1 倍 001 : ×1/2 倍 010 : ×1/3 倍 011 : ×1/4 倍 100 : ×1/8 倍 上記以外 : 設定禁止</p>

4.4.2 発振停止検出制御レジスタ (OSCCR)

OSCCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、発振停止検出フラグと外部端子へのフラグ出力の選択を行います。OSCCR はバイトアクセスのみ可能です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	OSC STOP	-	OSC ERS
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	OSCSTOP	0	R	発振停止検出フラグ [セット条件] <ul style="list-style-type: none"> • 通常動作中にクロック入力の停止が検出されたとき • ソフトウェアスタンバイモードに移したとき [クリア条件] <ul style="list-style-type: none"> • RES 端子からのパワーオンリセット • ソフトウェアスタンバイモードから復帰するとき
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	OSCERS	0	R/W	発振停止検出フラグ出力選択 WDTOVF 端子から発振停止検出フラグ信号を出力するかを選択します。 0 : WDTOVF 端子から WDT オーバフロー信号のみを出力します。 1 : WDTOVF 端子から WDT オーバフロー信号と発振停止検出フラグ信号を出力します。

4.5 周波数変更方法

分周器の分周率を変えることによって、内部クロック、バスクロック、および周辺クロックの周波数と、MTU2S クロック、MTU2 クロックの周波数を変更することができます。これらは周波数制御レジスタ (FRQCR) によってソフトウェアで制御します。以下にこれらの方法について示します。

1. 初期状態では、IFC2 ~ IFC0 = H'011 (× 1/4倍)、BFC2 ~ BFC0 = H'011 (× 1/4倍)、PFC2 ~ PFC0 = H'011 (× 1/4倍)、MIFC2 ~ MIFC0 = H'011 (× 1/4倍)、MPFC2 ~ MPFC0 = H'011 (× 1/4倍) になっています。
2. CPU、内蔵ROM、内蔵RAM以外のモジュールを停止させます。
3. IFC2 ~ IFC0、BFC2 ~ BFC0、PFC2 ~ PFC0、MIFC2 ~ MIFC0、MPFC2 ~ MPFC0ビットを目的とする値に設定します。PLL回路の周波数通倍率は × 8倍で一定のため、分周率の設定のみで周波数は決まります。このときの周波数の設定は、内部クロック (I) バスクロック (B) 周辺クロック (P) となるように設定してください。また、MTU2SクロックおよびMTU2クロックを使用する場合は、内部クロック (I) MTU2Sクロック (MI) MTU2クロック (MP) 周辺クロック (P) かつバスクロック (B) MTU2クロック (MP) となるように設定してください。

なお、FRQCRの書き換え処理は内蔵ROMまたは内蔵RAM上でプログラムを実行させてください。

4. FRQCR書き換え命令発行後、(1 ~ 24n) cyc + 11B + 7P 後に切り替わります。

n : FRQCRのBFCビットで設定した分周率 (1、1/2、1/3、1/4、1/8)

cyc : EXTALをPLLで8通倍したクロック

【注】 (1 ~ 24n) は内部状態により変わります。

4.6 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

4.6.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 4.2 に示します。ダンピング抵抗 R_d は、表 4.6 に示すものを使用してください。また、水晶発振子は、周波数が発振 5 ~ 12.5MHz のものをお使いください。

なお、水晶と LSI の相性については、水晶メーカーとご相談いただきますようお願い致します。

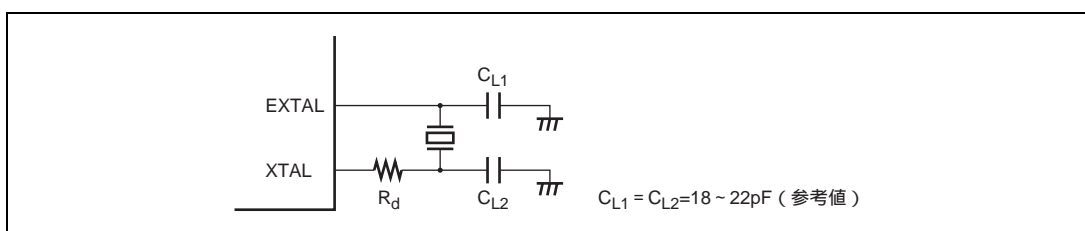


図 4.2 水晶発振子の接続例

表 4.6 ダンピング抵抗値 (参考値)

周波数 (MHz)	5	8	10	12.5
R_d () (参考値)	500	200	0	0

水晶発振子の等価回路を図 4.3 に示します。水晶発振子は表 4.7 に示す特性のものを使用してください。

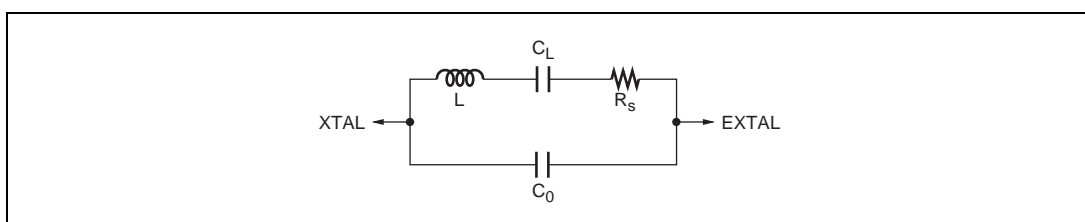


図 4.3 水晶発振子の等価回路

表 4.7 水晶発振子の特性

周波数 (MHz)	5	8	10	12.5
R_s Max. () (参考値)	120	80	60	50
C_0 Max. (pF) (参考値)	7			

4.6.2 外部クロックを入力する方法

外部クロック入力の接続例を図 4.4 に示します。ソフトウェアスタンバイモード時に外部クロックを止める場合、ハイレベルになるようにしてください。動作時は、外部入力クロックの周波数は 5 ~ 12.5MHz にしてください。XTAL 端子の寄生容量は 10pF 以下にしてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時やソフトウェアスタンバイ解除時は、発振安定時間以上待つようにしてください。



図 4.4 外部クロックの接続例

4.7 発振停止検出機能

本 CPG には、何らかのシステムの異常により発振器が停止した場合に備え、クロックの停止を検出する機能が備わっています。

EXTAL 入力が一定期間変化しないことを検出すると、OSCCR レジスタの OSCSTOP ビットを 1 にセットし、 $\overline{\text{RES}}$ 端子からのパワーオンリセット、またはソフトウェアスタンバイモード解除までその状態を保持します。このとき、OSCERS ビットが 1 に設定されていると、 $\overline{\text{WDTOVF}}$ 端子から発振停止検出フラグ信号を出力します。また、大電流ポート (MTU2 の TIOC3B、TIOC3D、TIOC4A ~ TIOC4D、MTU2S の TIOC3BS、TIOC3DS、TIOC4AS ~ TIOC4DS がマルチプレクスされている端子) を PFC の設定にかかわらずハイインピーダンスにすることができます。詳細は「付録 A. 端子状態」を参照してください。

ソフトウェアスタンバイ状態でも、上記端子はハイインピーダンスにすることができます。詳細は「付録 A. 端子状態」を参照してください。ソフトウェアスタンバイ状態解除後は通常動作になります。また、ソフトウェアスタンバイ状態以外で発振が停止するような異常動作時には、その他の LSI 動作は不定となります。この場合、再度発振を開始しても、上記端子を含めて LSI 動作は不定となります。

なお、EXTAL 入力に変化しない場合でも、本 LSI の PLL 回路は 100kHz ~ 10MHz (温度、動作電圧により変動します) で発振を続けます。

4.8 使用上の注意事項

4.8.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

4.8.2 ボード設計上の注意事項

本 LSI では輻射ノイズ対策を実施しておりますが、さらなる輻射ノイズ低減が必要な場合は、多層基板にし、システムグランド専用層を設けることをお勧めします。

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 4.5 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

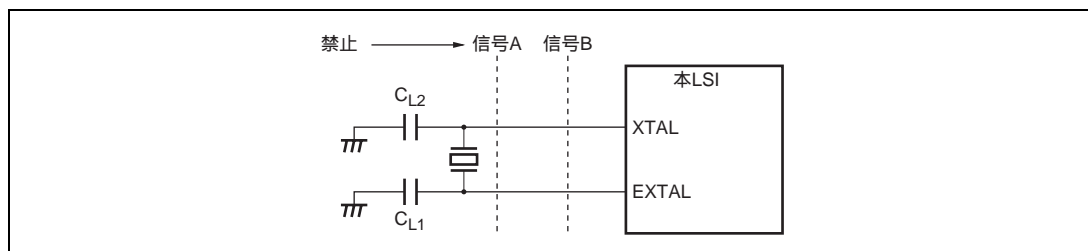


図 4.5 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 4.6 に示します。PLL_{VSS} と V_{CC}、V_{SS} はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CB と CPB を必ず挿入してください。

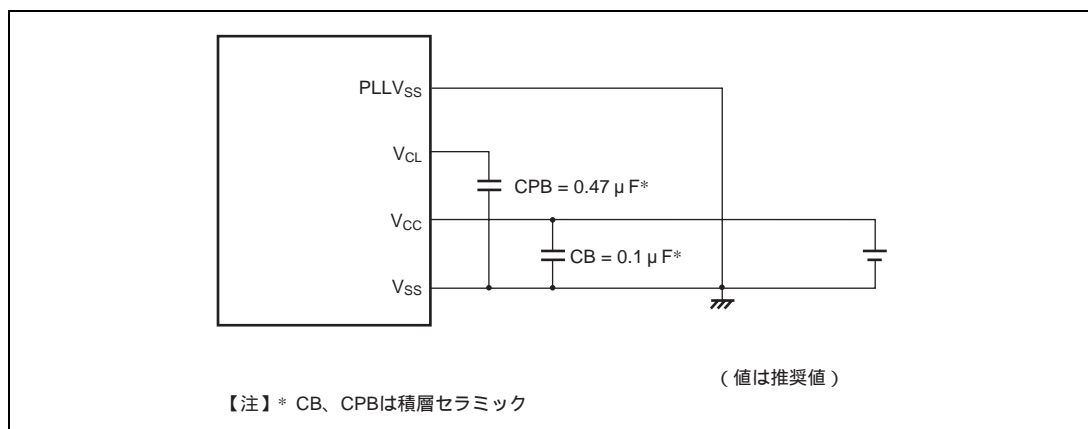


図 4.6 PLL 回路の外付け推奨回路



5. 例外処理

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

	例外処理	優先順位
リセット	パワーオンリセット	高   低
	マニュアルリセット	
割り込み	ユーザブレーク（命令実行前ブレーク）	
アドレスエラー	CPU アドレスエラー（命令フェッチ）	
命令	一般不当命令（未定義コード）	
	スロット不当命令（遅延分岐命令*1直後に配置された未定義コードまたは PC を書き換える命令*2）	
	トラップ命令（TRAPA 命令）	
アドレスエラー	CPU アドレスエラー（データアクセス）	
割り込み	ユーザブレーク（命令実行後ブレーク、またはオペランドブレーク）	
アドレスエラー	DTC アドレスエラー（データアクセス）	
割り込み	NMI	
	IRQ	
	内蔵周辺モジュール	

【注】 *1 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA_F

*2 PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA_F、LDC Rm,SR、LDC.L@Rm+,SR

5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	\overline{RES} 端子のローレベルからハイレベルへの変化、または WDT のオーバフローで開始される
	マニュアルリセット	\overline{MRES} 端子のローレベルからハイレベルへの変化、または WDT のオーバフローで開始される
アドレスエラー		命令のデコードステージ時に検出され、この前までに実行中の命令が完了後開始される
割り込み		
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令(遅延スロット)以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令(遅延スロット)に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時は H'00000000 番地、H'00000004 番地、マニュアルリセット時は H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を HF (B'1111) にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット (I3~I0) に書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DTC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
(システム予約)		13	H'00000034 ~ H'00000037
		⋮	⋮
		31	H'0000007C ~ H'0000007F
トラップ命令 (ユーザベクタ)		32	H'00000080 ~ H'00000083
		⋮	⋮
		63	H'000000FC ~ H'000000FF

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
(システム予約)		68	H'00000110 ~ H'00000113
		69	H'00000114 ~ H'00000117
		70	H'00000118 ~ H'0000011B
		71	H'0000011C ~ H'0000011F
内蔵周辺モジュール*		72	H'00000120 ~ H'00000123
		⋮	⋮
		255	H'000003FC ~ H'000003FF

【注】 * 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは「第6章 割り込みコントローラ (INTC)」の表 6.3 を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR: ベクタベースレジスタ

ベクタテーブルアドレスオフセット: 表 5.3 を参照

ベクタ番号: 表 5.3 を参照

5.2 リセット

5.2.1 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 5.5 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。また、パワーオンリセットで内蔵周辺モジュールのレジスタが初期化されるのに対し、マニュアルリセットでは初期化されません。

表 5.5 リセット状態

種類	リセット状態への遷移条件			内部状態		
	RES	WDT オーバフロー	MRES	CPU/INTC	内蔵周辺モジュール	POE、PFC、I/O ポート
パワーオンリセット	ロー	-	-	初期化	初期化	初期化
	ハイ	オーバフロー	ハイ	初期化	初期化	初期化
マニュアルリセット	ハイ	オーバフローしていない	ロー	初期化	初期化しない	初期化しない

5.2.2 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時またはスタンバイ時（クロックが停止している場合）は発振安定時間の間、クロックが動作している場合は最低 20 t_{cy} の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ（PC）の初期値（実行開始アドレス）を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ（SP）の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ（VBR）をH'00000000にクリアし、ステータスレジスタ（SR）の割り込みマスクビット（I3～I0）をHF（B'1111）にセットします。
4. 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の WTCNT がオーバーフローするとパワーオンリセット状態になります。

このとき、WDT によるリセットでは、クロック発振器 (CPG) の周波数制御レジスタ (FRQCR)、ウォッチドッグタイマ (WDT) のレジスタは初期化されません ($\overline{\text{RES}}$ 端子からのパワーオンリセットのみで初期化されます)。

また、 $\overline{\text{RES}}$ 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子によるリセットが優先され、WTCSR の WOVF ビットは 0 にクリアされます。WDT によるパワーオンリセット処理が開始されると CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を HF (B'1111) にセットします。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

5.2.3 マニュアルリセット

$\overline{\text{RES}}$ 端子がハイレベルのとき $\overline{\text{MRES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低、ソフトウェアスタンバイ時 (クロックが停止している場合) は WDT で設定している発振安定時間より長く、クロックが動作している場合は最低 20 tcy の間 $\overline{\text{MRES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化されます。内蔵周辺モジュールの各レジスタは初期化されません。バスサイクルの途中でマニュアルリセット状態にすると、バスサイクルの終了を待ってからマニュアルリセット例外処理を開始します。したがって、マニュアルリセットによってバスサイクルが途中で止まることはありません。ただし、 $\overline{\text{MRES}}$ をいったんローレベルにしたら、バスサイクルが終了し、マニュアルリセット状態に入るまで、ローレベルを保持してください (最長バスサイクル以上の間、ローレベルにしてください)。マニュアルリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

マニュアルリセット状態で、 $\overline{\text{MRES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU はパワーオンリセット例外処理と同じ手順で動作します。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.6 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.6 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間以外から命令をフェッチ	なし (正常)
		内蔵周辺モジュール空間から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU または DTC	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間でアクセス	なし (正常)
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間でアクセス	なし (正常)
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間でアクセス	なし (正常)
シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生		

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. ステータスレジスタ (SR) をスタックに退避します。
2. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、本例外を発生させた命令のアドレスです。ただし、本例外を発生させた命令が遅延スロットに配置されている場合は、直前の遅延分岐命令のアドレスが退避されます。
3. 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

5.4 割り込み

5.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.7 に示すように NMI、ユーザブレイク、IRQ、内蔵周辺モジュールがあります。

表 5.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ (UBC)	1
IRQ	IRQ0 ~ IRQ3 端子 (外部からの入力)	4
内蔵周辺モジュール	マルチファンクションタイマパルスユニット 2 (MTU2)	28
	マルチファンクションタイマパルスユニット 2S (MTU2S)	13
	データトランスファコントローラ (DTC)	1
	ウォッチドッグタイマ (WDT)	1
	A/D 変換器 (A/D_0、A/D_1、A/D_2)	3
	コンペアマッチタイマ (CMT_0、CMT_1)	2
	シリアルコミュニケーションインタフェース (SCI_0、SCI_1、SCI_2)	12
	ポートアウトプットイネーブル (POE)	3

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 6 章 割り込みコントローラ (INTC)」の表 6.3 を参照してください。

5.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル0～16の値で表され、優先レベル0が最低で、優先レベル16が最高です。NMI割り込みは、優先レベル16のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブ레이크割り込みの優先レベルは15です。IRQ割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTCのインタラプトプライオリティレジスタA、D～F、H～L（IPRA、IPRD～IPRF、IPRH～IPRL）で自由に設定することができます（表5.8）。設定できる優先レベルは0～15で、優先レベル16は設定できません。IPRA、IPRD～IPRF、IPRH～IPRLについては「6.3.4 インタラプトプライオリティレジスタA、D～F、H～L（IPRA、IPRD～IPRF、IPRH～IPRL）」を参照してください。

表 5.8 割り込み優先順位

種類	優先レベル	備 考
NMI	16	優先レベル固定、マスク不可能
ユーザブ레이크	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタA、D～F、H～L （IPRA、IPRD～IPRF、IPRH～IPRL）により設定
内蔵周辺モジュール		

5.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ（INTC）によって優先順位が判定されます。NMIは常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ（SR）の割り込みマスクビット（I3～I0）に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPUはSRとプログラムカウンタ（PC）をスタックに退避し、受け付けた割り込みの優先レベル値をSRのI3～I0ビットに書き込みます。ただし、NMIの場合優先レベルは16ですが、I3～I0ビットに設定される値はHF（レベル15）です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理については「6.6 動作説明」を参照してください。

5.5 命令による例外

5.5.1 命令による例外の種類

例外処理を起動する命令には、表 5.9 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 5.9 命令による例外の種類

種類	要因となる命令	備 考
トラップ命令	TRAPA	
スロット不当命令*	遅延分岐命令直後（遅延スロット）に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、LDC Rm,SR、LDC.L@Rm+,SR
一般不当命令*	遅延スロット以外にある未定義コード	

【注】 * H'F000 ~ H'FFFF 以外の未定義命令をデコードした場合には動作を保証しません。

5.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. ステータスレジスタ（SR）をスタックに退避します。
2. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、TRAPA命令の次命令の先頭アドレスです。
3. 例外サービスルーチンスタートアドレスを、TRAPA命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令が PC を書き換える命令のときも、この PC を書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

1. SRをスタックに退避します。
2. PCをスタックに退避します。退避するPCの値は、未定義コードまたはPCを書き換える命令の直前にある遅延分岐命令のアドレスです。
3. 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6 例外処理の受け付け

リセットを除くすべての例外要因は表 5.10 に示すように遅延スロット、または割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.10 遅延スロット、割り込み禁止命令直後の例外要因発生

発生した時点	例外要因				
	アドレスエラー	一般不当命令	スロット不当命令	トラップ命令	割り込み
遅延スロット	x ^{*2}	-	x ^{*2}	-	x ^{*3}
割り込み禁止命令 ^{*1} の直後					x ^{*4}

【記号説明】 : 受け付けられる。

x : 受け付けられない。

- : あり得ないケースです。

【注】 *1 割り込み禁止命令 : LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

*2 遅延分岐命令実行前に受け付けられます。ただし、RTE 命令の遅延スロットでアドレスエラー、スロット不当命令が発生すると動作は保証されません。

*3 遅延分岐後（遅延スロット命令と遅延分岐先命令の間）に受け付けられます。

*4 割り込み禁止命令の直後の命令実行後（割り込み禁止命令の直後の命令とさらにその次の命令の間）に受け付けられます。

5.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.11 に示すようになります。

表 5.11 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレス エラー (例外発生 の原因とな った命令が 遅延スロッ トにある場 合)	<p>遅延分岐命令の アドレス (32ビット)</p> <p>SR (32ビット)</p>	アドレス エラー (前記以外 の場合)	<p>例外の原因となった(32ビット) 命令のアドレス</p> <p>SR (32ビット)</p>
割り込み	<p>実行済命令の 次命令アドレス (32ビット)</p> <p>SR (32ビット)</p>	トラップ 命令	<p>TRAPA命令の 次命令アドレス (32ビット)</p> <p>SR (32ビット)</p>
スロット 不当命令	<p>遅延分岐命令の アドレス (32ビット)</p> <p>SR (32ビット)</p>	一般不当 命令	<p>一般不当命令の アドレス (32ビット)</p> <p>SR (32ビット)</p>

5.8 使用上の注意事項

5.8.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けなくなっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ -4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値に対して下位 2 ビットを 0 に丸めたものが出力されます。このとき、スタッキングされたライトデータは不定です。

5.8.4 スロット不当命令例外処理に関する注意事項

本 LSI のスロット不当命令例外処理の仕様で、従来の SH-2 と異なる点があります。

- 従来のSH-2 : LDC Rm,SR、LDC.L @Rm+,SRをスロット不当命令の対象としません。
- 本LSI : LDC Rm,SR、LDC.L @Rm+,SRをスロット不当命令の対象とします。

本件に関する弊社ソフトウェア製品の対応状況を以下に示します。

(1) コンパイラ

V.4以降のコンパイラは、当該命令を遅延スロットに配置しません。

(2) μ ITRON 仕様リアルタイム OS

(a) HI7000/4、HI-SH7

OS 内には、当該命令は遅延スロットに存在しません。

(b) HI7000

OS 内に当該命令が遅延スロットに存在するため、本 LSI ではスロット不当命令が発生します。

(c) その他

アセンブラで記述した場合やオブジェクトのミドルウェアを導入する場合、本 LSI ではスロット不当命令が発生する可能性があります。

6. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。

6.1 特長

- 割り込み優先順位を16レベル設定可能
- NMIノイズキャンセラ機能
- 割り込みが発生したことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)

図 6.1 に INTC のブロック図を示します。

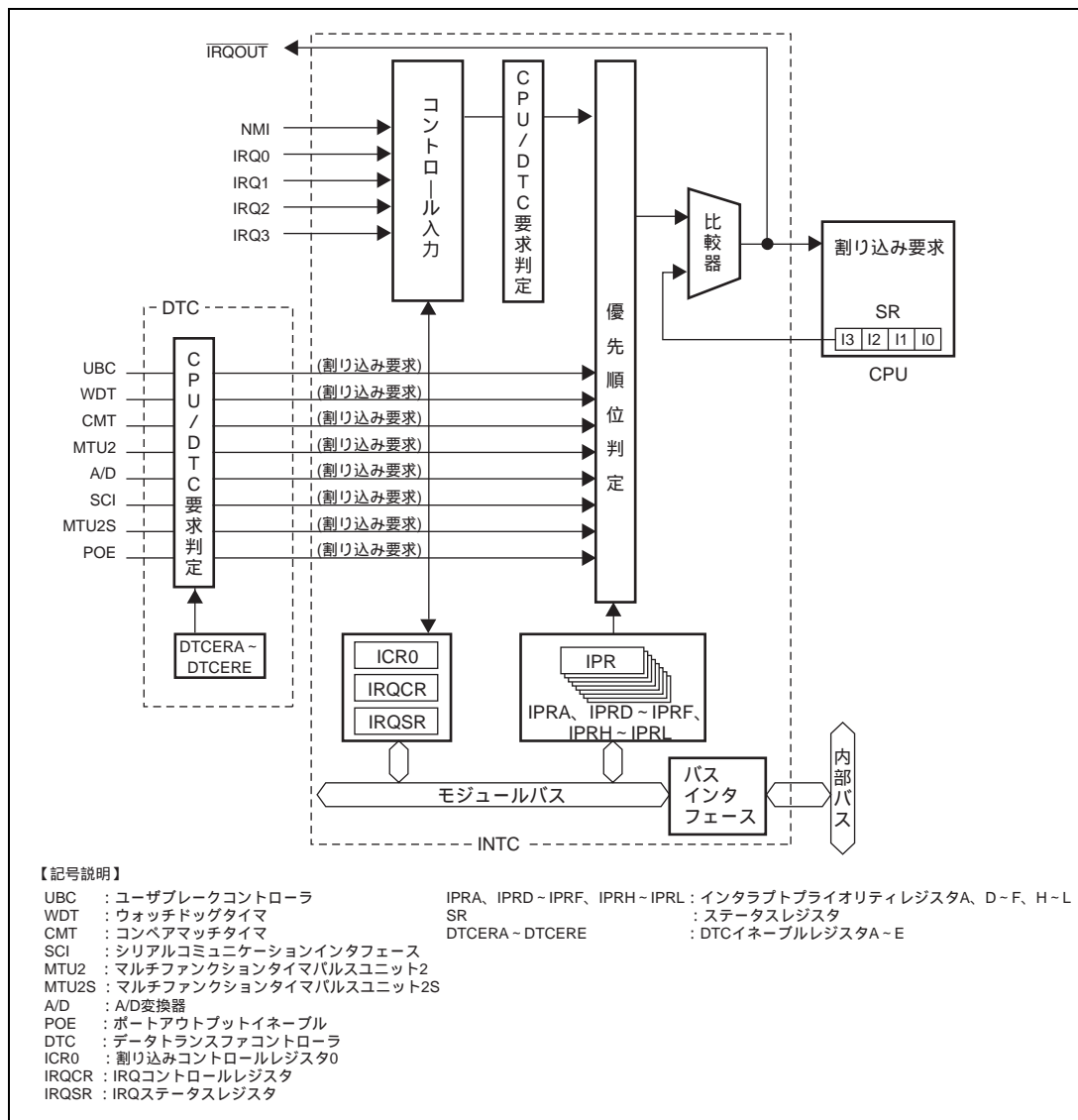


図 6.1 INTC のブロック図

6.2 入出力端子

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	端子名	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ0 ~ IRQ3	入力	マスク可能な割り込み要求信号を入力
割り込み要求出力端子	$\overline{\text{IRQOUT}}$	出力	割り込み要因の発生を知らせる信号を出力

6.3 レジスタの説明

INTC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 6.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みコントロールレジスタ 0	ICR0	R/W	H'x000	H'FFFFFFE900	8、16
IRQ コントロールレジスタ	IRQCR	R/W	H'0000	H'FFFFFFE902	8、16
IRQ ステータスレジスタ	IRQSR	R/W	H'Fx00	H'FFFFFFE904	8、16
インタラプトプライオリティレジスタ A	IPRA	R/W	H'0000	H'FFFFFFE906	8、16
インタラプトプライオリティレジスタ D	IPRD	R/W	H'0000	H'FFFFFFE982	16
インタラプトプライオリティレジスタ E	IPRE	R/W	H'0000	H'FFFFFFE984	16
インタラプトプライオリティレジスタ F	IPRF	R/W	H'0000	H'FFFFFFE986	16
インタラプトプライオリティレジスタ H	IPRH	R/W	H'0000	H'FFFFFFE98A	16
インタラプトプライオリティレジスタ I	IPRI	R/W	H'0000	H'FFFFFFE98C	16
インタラプトプライオリティレジスタ J	IPRJ	R/W	H'0000	H'FFFFFFE98E	16
インタラプトプライオリティレジスタ K	IPRK	R/W	H'0000	H'FFFFFFE990	16
インタラプトプライオリティレジスタ L	IPRL	R/W	H'0000	H'FFFFFFE992	16

6.3.1 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIE	-	-	-	-	-	-	-	-
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

【注】* NMI端子がハイレベルのとき1、ローレベルのとき0です。

ビット	ビット名	初期値	R/W	説明
15	NMIL	*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0: NMI 端子にローレベルが入力されている 1: NMI 端子にハイレベルが入力されている
14~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	NMIE	0	R/W	NMI エッジセレクト 0: NMI 入力の立ち下がりがエッジで割り込み要求を検出 1: NMI 入力の立ち上がりがエッジで割り込み要求を検出
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

6.3.2 IRQ コントロールレジスタ (IRQCR)

IRQCR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ0~IRQ3 の入力信号検出モードを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
7 6	IRQ31S IRQ30S	0 0	R/W R/W	IRQ3 センスセレクト IRQ3 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00 : IRQ3 入力のローレベルで割り込み要求を検出 01 : IRQ3 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ3 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ3 入力の両エッジで割り込み要求を検出
5 4	IRQ21S IRQ20S	0 0	R/W R/W	IRQ2 センスセレクト IRQ2 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00 : IRQ2 入力のローレベルで割り込み要求を検出 01 : IRQ2 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ2 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ2 入力の両エッジで割り込み要求を検出
3 2	IRQ11S IRQ10S	0 0	R/W R/W	IRQ1 センスセレクト IRQ1 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00 : IRQ1 入力のローレベルで割り込み要求を検出 01 : IRQ1 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ1 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ1 入力の両エッジで割り込み要求を検出
1 0	IRQ01S IRQ00S	0 0	R/W R/W	IRQ0 センスセレクト IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00 : IRQ0 入力のローレベルで割り込み要求を検出 01 : IRQ0 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ0 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ0 入力の両エッジで割り込み要求を検出

6.3.3 IRQ ステータスレジスタ (IRQSR)

IRQSR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ0 ~ IRQ3 状態と割り込み要求のステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	IRQ3L	IRQ2L	IRQ1L	IRQ0L	-	-	-	-	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	1	1	1	1	*	*	*	*	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

【注】* 対応するIRQ端子がハイレベルのとき1、ローレベルのとき0です。

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
11	IRQ3L	*	R	IRQ3 の端子状態を示します。 0: IRQ3 端子にローレベルが入力されている 1: IRQ3 端子にハイレベルが入力されている
10	IRQ2L	*	R	IRQ2 の端子状態を示します。 0: IRQ2 端子にローレベルが入力されている 1: IRQ2 端子にハイレベルが入力されている
9	IRQ1L	*	R	IRQ1 の端子状態を示します。 0: IRQ1 端子にローレベルが入力されている 1: IRQ1 端子にハイレベルが入力されている
8	IRQ0L	*	R	IRQ0 の端子状態を示します。 0: IRQ0 端子にローレベルが入力されている 1: IRQ0 端子にハイレベルが入力されている
7~4	-	すべて0	R	リザーブビット • 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
3	IRQ3F	0	R/W	<p>IRQ3 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合</p> <p>0 : IRQ3 割り込み要求なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ3 端子へのハイレベル入力 <p>1 : IRQ3 割り込み要求あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ3 端子へのローレベル入力 <p>エッジ検出を設定している場合</p> <p>0 : IRQ3 割り込み要求を未検出</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ3F = 1 の状態を読み出した後の 0 書き込み • IRQ3 割り込みの受け付け <p>1 : IRQ3 割り込み要求を検出済み</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ3 端子での指定エッジ検出
2	IRQ2F	0	R/W	<p>IRQ2 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合</p> <p>0 : IRQ2 割り込み要求なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ2 端子へのハイレベル入力 <p>1 : IRQ2 割り込み要求あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ2 端子へのローレベル入力 <p>エッジ検出を設定している場合</p> <p>0 : IRQ2 割り込み要求を未検出</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ2F = 1 の状態を読み出した後の 0 書き込み • IRQ2 割り込みの受け付け <p>1 : IRQ2 割り込み要求を検出済み</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ2 端子での指定エッジ検出

ビット	ビット名	初期値	R/W	説明
1	IRQ1F	0	R/W	<p>IRQ1 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合</p> <p>0: IRQ1 割り込み要求なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ1 端子へのハイレベル入力 <p>1: IRQ1 割り込み要求あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ1 端子へのローレベル入力 <p>エッジ検出を設定している場合</p> <p>0: IRQ1 割り込み要求を未検出</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ1F = 1 の状態を読み出した後の 0 書き込み • IRQ1 割り込みの受け付け <p>1: IRQ1 割り込み要求を検出済み</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ1 端子での指定エッジ検出
0	IRQ0F	0	R/W	<p>IRQ0 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合</p> <p>0: IRQ0 割り込み要求なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ0 端子へのハイレベル入力 <p>1: IRQ0 割り込み要求あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ0 端子へのローレベル入力 <p>エッジ検出を設定している場合</p> <p>0: IRQ0 割り込み要求を未検出</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ0F = 1 の状態を読み出した後の 0 書き込み • IRQ0 割り込みの受け付け <p>1: IRQ0 割り込み要求を検出済み</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ0 端子での指定エッジ検出

【注】 * 対応する IRQ 端子がハイレベルのとき 1、ローレベルのとき 0 です。

6.3.4 インタラプトプライオリティレジスタ A、D~F、H~L (IPRA、IPRD~IPRF、IPRH~IPRL)

IPR は、16 ビットの読み出し / 書き込み可能な 9 本のレジスタで、NMI を除く割り込み要因の優先順位 (レベル 15~0) を設定します。各割り込み要因と IPR の対応については表 6.3 を参照してください。ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 から HF の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。割り付けのないリザーブビットについては、H'0 (B'0000) を設定してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IPR[15:12]				IPR[11:8]				IPR[7:4]				IPR[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~12	IPR[15:12]	0000	R/W	対応する割り込み要因の優先順位を設定します。 0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8 0001 : 優先レベル 1 1001 : 優先レベル 9 0010 : 優先レベル 2 1010 : 優先レベル 10 0011 : 優先レベル 3 1011 : 優先レベル 11 0100 : 優先レベル 4 1100 : 優先レベル 12 0101 : 優先レベル 5 1101 : 優先レベル 13 0110 : 優先レベル 6 1110 : 優先レベル 14 0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)
11~8	IPR[11:8]	0000	R/W	対応する割り込み要因の優先順位を設定します。 0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8 0001 : 優先レベル 1 1001 : 優先レベル 9 0010 : 優先レベル 2 1010 : 優先レベル 10 0011 : 優先レベル 3 1011 : 優先レベル 11 0100 : 優先レベル 4 1100 : 優先レベル 12 0101 : 優先レベル 5 1101 : 優先レベル 13 0110 : 優先レベル 6 1110 : 優先レベル 14 0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)

ビット	ビット名	初期値	R/W	説明
7~4	IPR[7:4]	0000	R/W	<p>対応する割り込み要因の優先順位を設定します。</p> <p>0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8 0001 : 優先レベル 1 1001 : 優先レベル 9 0010 : 優先レベル 2 1010 : 優先レベル 10 0011 : 優先レベル 3 1011 : 優先レベル 11 0100 : 優先レベル 4 1100 : 優先レベル 12 0101 : 優先レベル 5 1101 : 優先レベル 13 0110 : 優先レベル 6 1110 : 優先レベル 14 0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)</p>
3~0	IPR[3:0]	0000	R/W	<p>対応する割り込み要因の優先順位を設定します。</p> <p>0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8 0001 : 優先レベル 1 1001 : 優先レベル 9 0010 : 優先レベル 2 1010 : 優先レベル 10 0011 : 優先レベル 3 1011 : 優先レベル 11 0100 : 優先レベル 4 1100 : 優先レベル 12 0101 : 優先レベル 5 1101 : 優先レベル 13 0110 : 優先レベル 6 1110 : 優先レベル 14 0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)</p>

【注】 ビット名は一般名称で表記しています。レジスタ一覧表ではモジュール名で表記しています。

6.4 割り込み要因

6.4.1 外部割り込み要因

割り込み要因は、ユーザブレイク、NMI、IRQ、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

(1) NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ0(ICR0)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は15に設定されます。

(2) IRQ3~IRQ0 割り込み

IRQ 割り込みはIRQ0~IRQ3 端子からの入力による割り込みです。IRQ コントロールレジスタ(IRQCR)のIRQ センスセレクトビット(IRQ3IS、IRQ30S~IRQ0IS、IRQ00S)の設定によって、端子ごとにローレベル検出、立ち下がりエッジ検出、立ち上がりエッジ検出、または両エッジ検出を選択できます。また、インタラプトプライオリティレジスタA(IPRA)によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ 端子がローレベルの期間INTCに割り込み要求信号が送られます。IRQ 端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQ ステータスレジスタ(IRQSR)のIRQ フラグ(IRQ3F~IRQ0F)を読み出しすることにより割り込み要求の有無を確認できます。

IRQ 割り込みを立ち下がりエッジ(立ち上がりエッジ、両エッジ)検出に設定している場合、IRQ 端子のハイレベルからローレベル(ローレベルからハイレベル、ローレベルからハイレベルあるいはハイレベルからローレベル)の変化により割り込み要求が検出され、INTCに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQ ステータスレジスタ(IRQSR)のIRQ フラグ(IRQ3F~IRQ0F)を読み出すことによりIRQ 割り込み要求が検出されているかどうかを確認でき、1読み出し後に0を書き込むことによりIRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は、受け付けたIRQ 割り込みの優先レベル値に設定されます。

IRQ3~IRQ0 割り込みのブロック図を図6.2に示します。

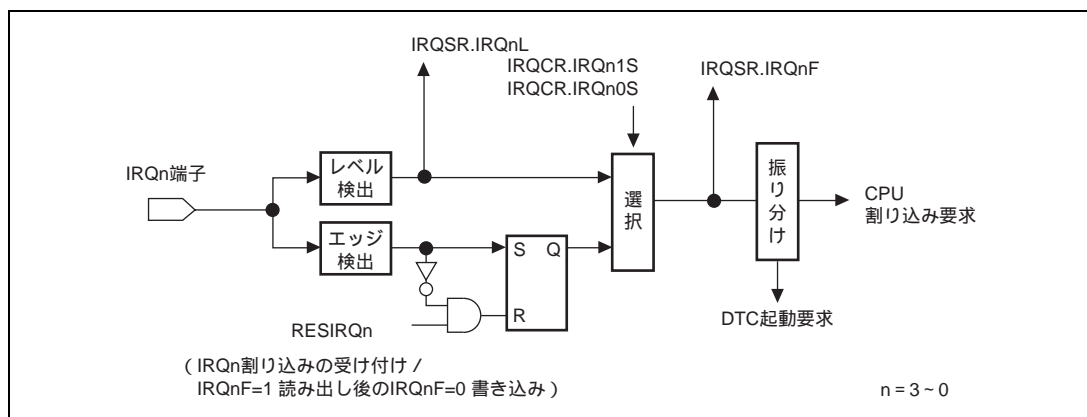


図 6.2 IRQ0 ~ IRQ3 割り込み制御

6.4.2 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、インタラプトプライオリティレジスタ D ~ F、H ~ L (IPRD ~ IPRF、IPRH ~ IPRL) によって、モジュールごとに優先レベル 0 ~ 15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.4.3 ユーザブ레이크割り込み

ユーザブ레이크割り込みは、ユーザブ레이크コントローラ (UBC) で設定したブ레이크条件が成立したときに発生する割り込みで、優先レベルは 15 です。ユーザブ레이크割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブ레이크例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) は 15 に設定されます。ユーザブ레이크の詳細は、「第 7 章 ユーザブ레이크コントローラ (UBC)」を参照してください。

割り込み要因発生元	名 称	ベクタ 番号	ベクタテーブル 先頭アドレス	IPR	デフォルト 優先順位
WDT	ITI	196	H'00000310	IPRJ3 ~ IPRJ0	高   低
A/D_0、A/D_1	ADI_0	200	H'00000320	IPRK15 ~ IPRK12	
	ADI_1	201	H'00000324		
A/D_2	ADI_2	204	H'00000330	IPRK11 ~ IPRK8	
SCL_0	ERI_0	216	H'00000360	IPRL15 ~ IPRL12	
	RXI_0	217	H'00000364		
	TXI_0	218	H'00000368		
	TEI_0	219	H'0000036C		
SCL_1	ERI_1	220	H'00000370	IPRL11 ~ IPRL8	
	RXI_1	221	H'00000374		
	TXI_1	222	H'00000378		
	TEI_1	223	H'0000037C		
SCL_2	ERI_2	224	H'00000380	IPRL7 ~ IPRL4	
	RXI_2	225	H'00000384		
	TXI_2	226	H'00000388		
	TEI_2	227	H'0000038C		

6.6 動作説明

6.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.3 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、インタラプトプライオリティレジスタA、D ~ F、H ~ L (IPRA、IPRD ~ IPRF、IPRH ~ IPRL) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表6.3に示すデフォルト優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
5. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます。
6. SRとプログラムカウンタ (PC) がスタックに退避されます。
7. SRのI3 ~ I0ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
8. 受け付けられた割り込みがレベルセンスまたは内蔵周辺モジュールからの割り込みだった場合、 $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。なお、受け付けた割り込みがエッジセンスだった場合は、5.でCPUが実行しようとしていた命令を割り込み例外処理に置き換えた時点で $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されません。ただし、割り込みコントローラが受け付け中の割り込みよりレベルの高い他の割り込みを受け付けているときは、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。
9. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。また、クリアしたはずの割り込み要因を誤って再度受け付けないようにするため、クリア後に割り込み要因フラグをリードし、割り込み要因フラグがクリアされたことを確認した後、RTE 命令を実行してください。

- * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (IRQSR) のアクセスにより取り下げることができます。また、エッジ検出により保留されている割り込みは、パワーオンリセットおよびマニュアルリセットでクリアされます。

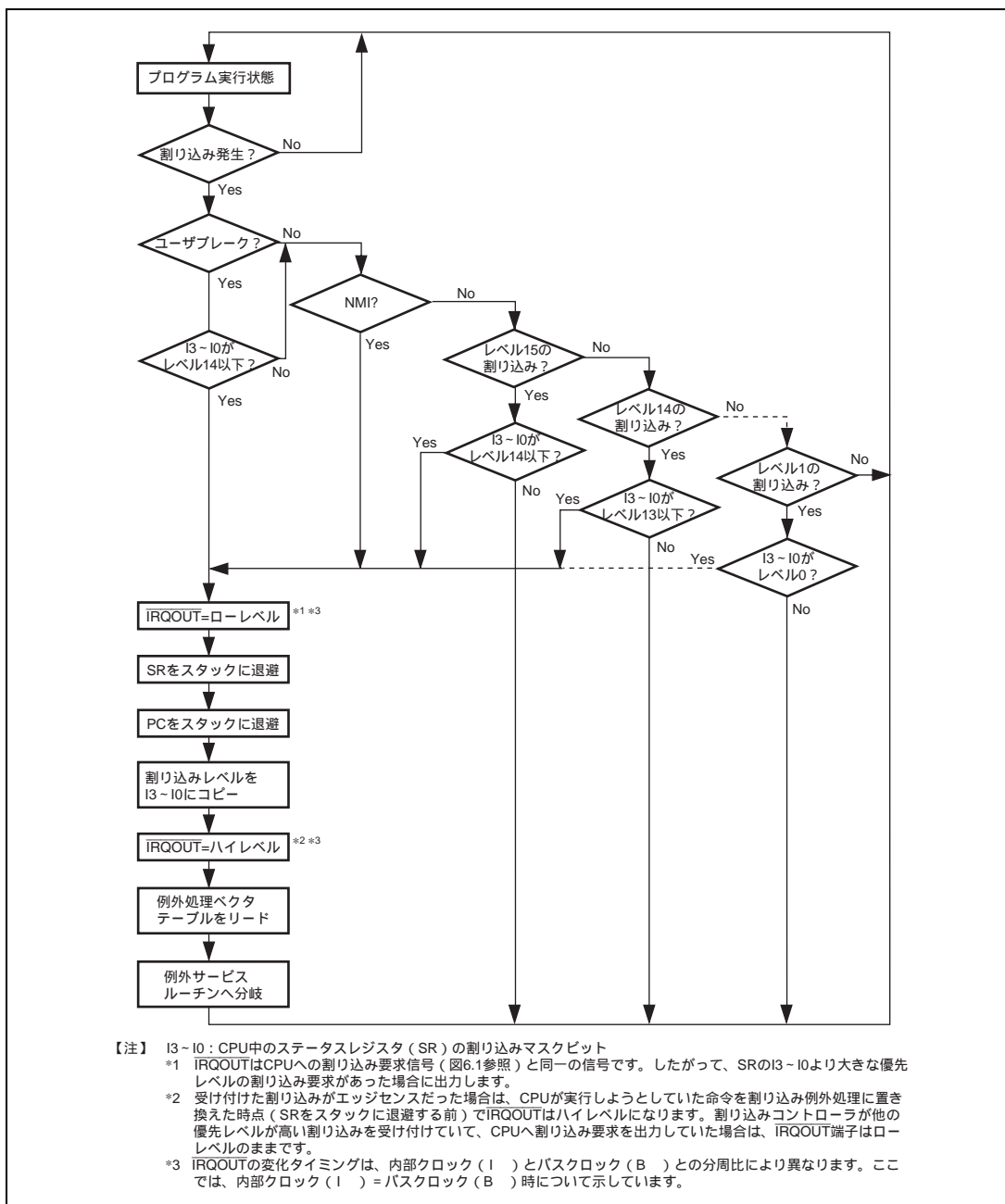


図 6.3 割り込み動作フロー

6.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.4 に示すようになります。

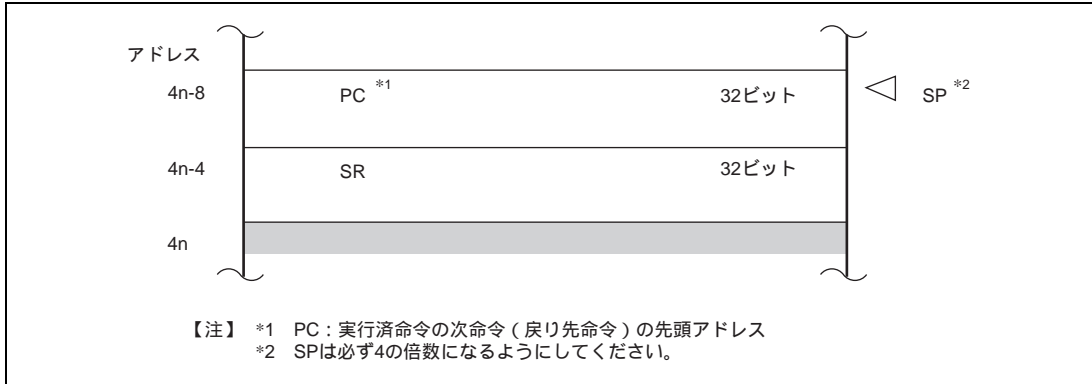


図 6.4 割り込み例外処理終了後のスタック状態

6.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.4 に示します。

表 6.4 割り込み応答時間

項 目	ステート数			備 考	
	NMI	IRQ	周辺モジュール		
DTC の起動判定	-	$2 \times Bcyc$	$1 \times Pcyc$		
優先順位判定および SR のマスクビットとの比較時間	$1 \times lcycc + 2 \times Pcyc$	$1 \times lcycc + 1 \times Pcyc$	$1 \times lcycc + 2 \times Pcyc$		
CPU が実行中のシーケンス終了までの待ち時間	$X (0)$			最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X = 7 \times lcycc + m1 + m2 + m3 + m4$ 。 ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。	
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	$8 \times lcycc + m1 + m2 + m3$			SR、PC の退避とベクタアドレスのフェッチを行います。	
応答時間	合計	$9 \times lcycc + 2 \times Pcyc + m1 + m2 + m3 + X$	$9 \times lcycc + 1 \times Pcyc + 2 \times Bcyc + m1 + m2 + m3 + X$	$9 \times lcycc + 3 \times Pcyc + m1 + m2 + m3 + X$	
	最小時*	$12 \times lcycc + 2 \times Pcyc$	$12 \times lcycc + 1 \times Pcyc + 2 \times Bcyc$	$12 \times lcycc + 3 \times Pcyc$	SR、PC、ベクタテーブルがすべて内蔵 RAM にある場合。
	最大時	$16 \times lcycc + 2 \times Pcyc + 2(m1 + m2 + m3) + m4$	$16 \times lcycc + 1 \times Pcyc + 2 \times Bcyc + 2(m1 + m2 + m3) + m4$	$16 \times lcycc + 3 \times Pcyc + 2(m1 + m2 + m3) + m4$	

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

- m1 : SR の退避 (ロングワードライト)
- m2 : PC の退避 (ロングワードライト)
- m3 : ベクタアドレスリード (ロングワードリード)
- m4 : 割り込みサービスルーチン先頭命令のフェッチ

* m1=m2=m3=m4=1 × lcycc の場合

6.8 割り込み要求信号によるデータ転送

割り込み要求信号により、以下のデータ転送を行うことができます。

- DTCを起動、CPU割り込みはDTCの設定による

割り込み要因の中で INTC は、対応する DTCE のビットが 1 のときは CPU 割り込みをマスクします。DTCE クリア条件と割り込み要因フラグクリア条件は次のように表されます。

DTCEクリア条件 = DTC転送終了・DTCECLR

割り込み要因フラグクリア条件 = DTC転送終了・ $\overline{DTCECLR}$

ただし、DTCECLR = DISEL + カウンタ0

制御ブロック図を図 6.5、図 6.6 に示します。

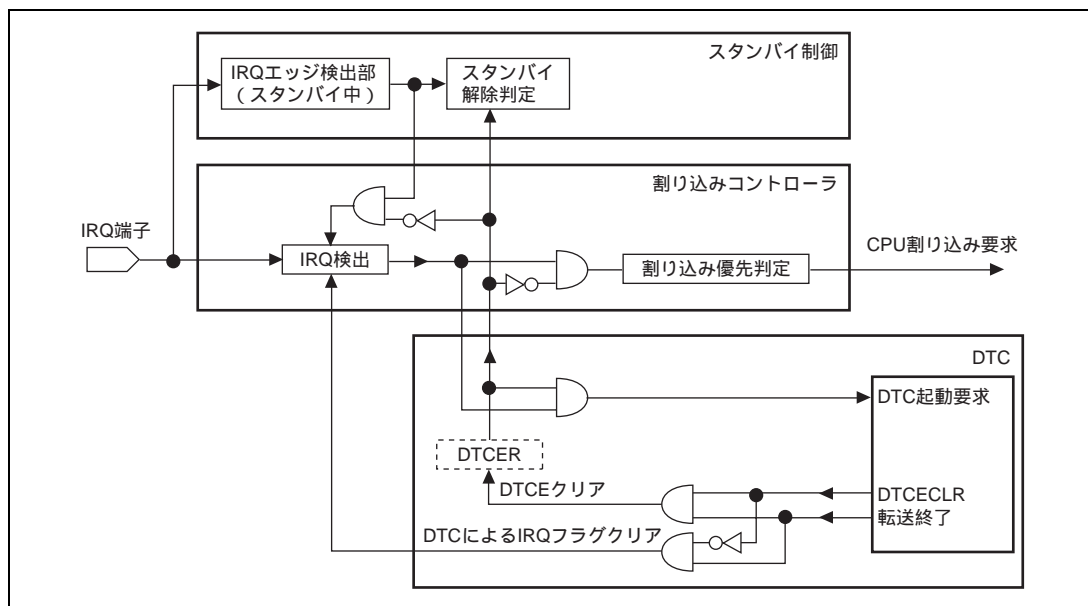


図 6.5 IRQ 割り込み制御ブロック図

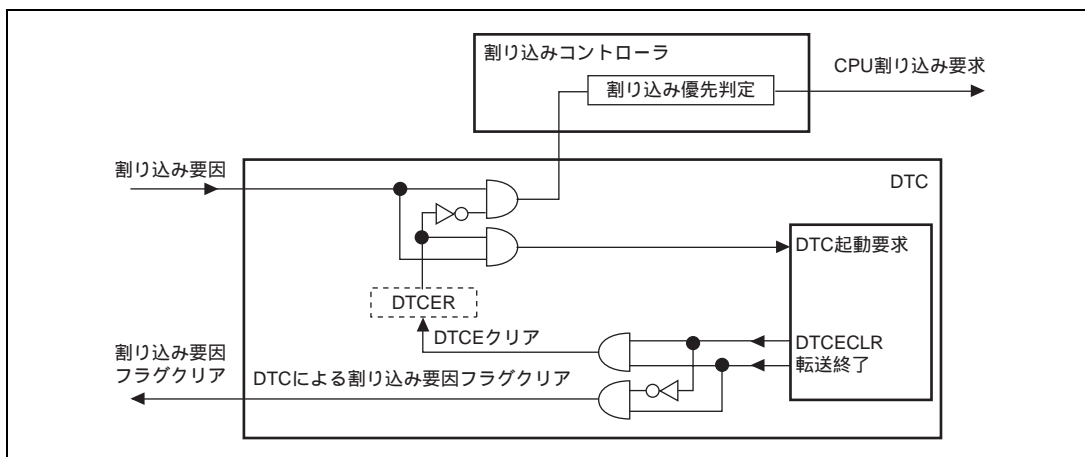


図 6.6 周辺モジュールからの割り込み制御ブロック図

6.8.1 割り込み要求信号を DTC の起動要因、CPU の割り込み要因とする場合

1. DTCの対応するDTCEビット、およびDISELビットを1にセットします。
2. 割り込みが発生すると、DTCに起動要因が与えられます。
3. DTCは、データ転送を行うとDTCEビットを0にクリアし、CPUに割り込みを要求します。起動要因はクリアしません。
4. CPUは割り込み処理ルーチンで、割り込み要因をクリアします。その後、転送カウンタの値を確認します。転送カウンタの値 = 0のとき、DTCEビットを1にセットして、次のデータ転送を許可します。また、転送カウンタの値 = 0であれば、割り込み処理ルーチンで所要の終了処理をします。

6.8.2 割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因としない場合

1. DTCの対応するDTCEビットを1にセットし、DISELビットを0にクリアします。
2. 割り込みが発生すると、DTCに起動要因が与えられます。
3. DTCは、データ転送を行うと、起動要因をクリアします。DTCEビットは1に保持されているため、CPUには割り込みは要求されません。
4. ただし、転送カウンタ = 0のとき、DTCEビットを0にクリアし、CPUに割り込みを要求します。
5. CPUは割り込み処理ルーチンで、所要の終了処理をします。

6.8.3 割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因としない場合

1. DTCの対応するDTCEビットを0にクリアします。
2. 割り込みが発生すると、CPUに割り込みを要求します。
3. CPUは割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

6.9 使用上の注意事項

割り込み要因フラグは、割り込みハンドラ中でクリアしてください。また、クリアしたはずの割り込み要因を誤って再度受け付けないようにするため、クリア後に割り込み要因フラグをリードし、割り込み要因フラグがクリアされたことを確認した後、RTE 命令を実行してください。

7. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはデータの読み出し / 書き込み、データのサイズ、データの内容、アドレスの値、命令フェッチのときの停止タイミングがあります。

なお、マスク ROM 版では、L バス命令フェッチアドレスブ레이크 (2 チャンネル) のみとなります。

7.1 特長

1. 次のようなブ레이크比較条件を設定できます。

ブ레이크チャンネル数 : 2チャンネル (チャンネルAとB)

ユーザブ레이크は、チャンネルA、B独立に、または連続した (シーケンシャル) 1つの条件として設定することができます。 (シーケンシャルブ레이크設定 : チャンネルAのブ레이크条件が一致した後チャンネルBのブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき。)

- アドレス
アドレス32ビットの比較はビットごとにマスク可能です。
2本のアドレスバス (Lバスアドレス (LAB)、Iバスアドレス (IAB)) の1つを選択できます。
 - データ
32ビットマスク可能。
2本のデータバス (Lバスデータ (LDB)、Iバスデータ (IDB)) の1つを選択可能です。
 - バスサイクル
命令フェッチまたはデータアクセス。
 - 読み出しまたは書き込み
 - オペランドサイズ
バイト、ワード、およびロングワードをサポート。
2. ユーザ指定のユーザブ레이크割り込み例外処理ルーチンを実行可能。
 3. 命令フェッチサイクルにおいて、ユーザブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
 4. ブ레이크条件 (チャンネルBに対してのみ) として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。
 5. 8組の分岐元 / 分岐先バッファをサポート。

図 7.1 に UBC のブロック図を示します。

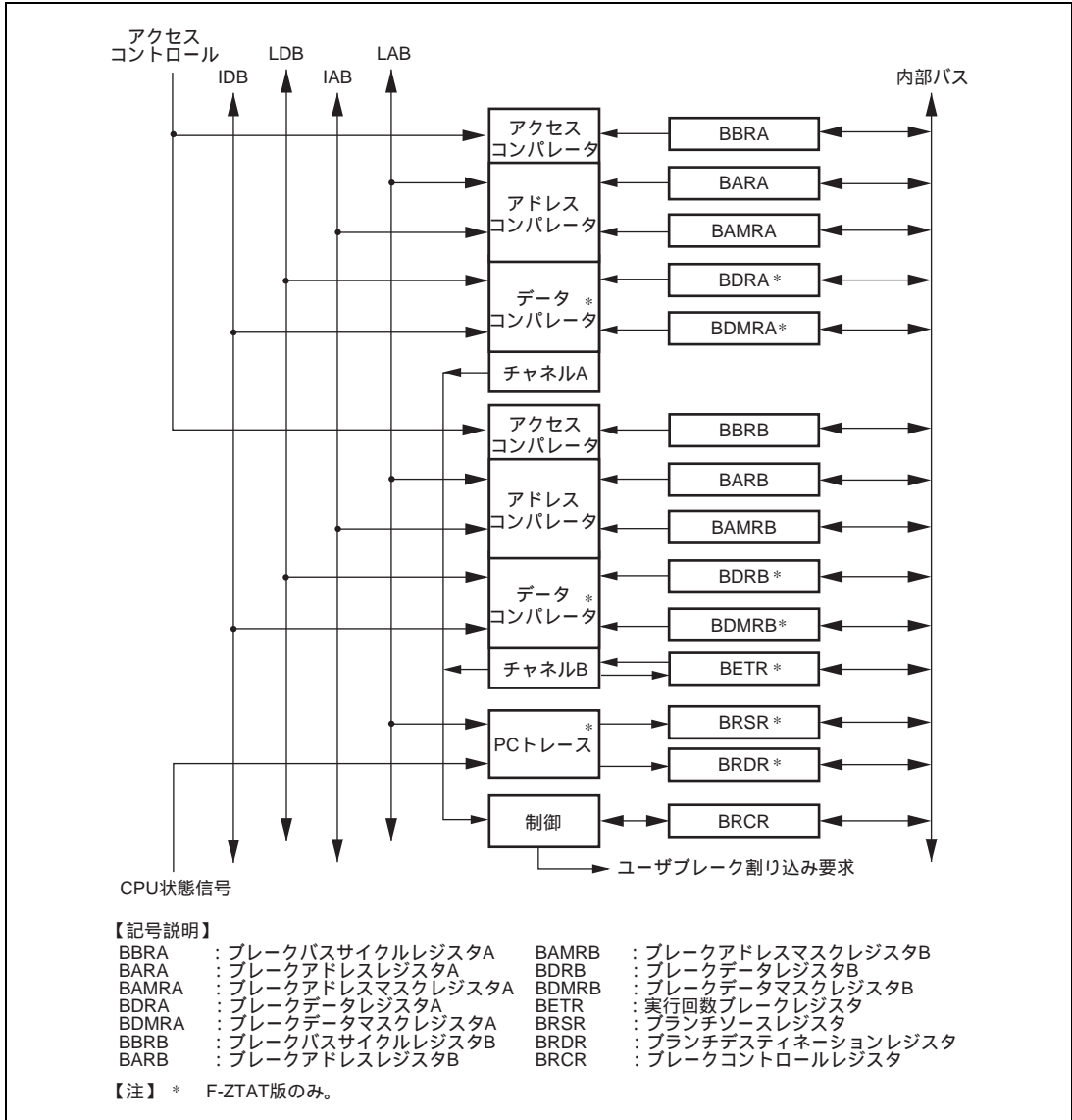


図 7.1 UBC のブロック図

7.2 入出力端子

UBC の端子を表 7.1 に示します。

表 7.1 端子構成

名称	端子名	入出力	機能
ユーザブレークトリガ出力	UBCTRG	出力	UBC 条件一致のトリガ出力端子です。

7.3 レジスタの説明

UBC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 7.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ブ레이크アドレスレジスタ A	BARA	R/W	H'00000000	H'FFFFFF300	32
ブ레이크アドレスマスクレジスタ A	BAMRA	R/W	H'00000000	H'FFFFFF304	32
ブ레이크バスサイクルレジスタ A	BBRA	R/W	H'0000	H'FFFFFF308	16
ブ레이크データレジスタ A	BDRA*	R/W	H'00000000	H'FFFFFF310	32
ブ레이크データマスクレジスタ A	BDMRA*	R/W	H'00000000	H'FFFFFF314	32
ブ레이크アドレスレジスタ B	BARB	R/W	H'00000000	H'FFFFFF320	32
ブ레이크アドレスマスクレジスタ B	BAMRB	R/W	H'00000000	H'FFFFFF324	32
ブ레이크バスサイクルレジスタ B	BBRB	R/W	H'0000	H'FFFFFF328	16
ブ레이크データレジスタ B	BDRB*	R/W	H'00000000	H'FFFFFF330	32
ブ레이크データマスクレジスタ B	BDMRB*	R/W	H'00000000	H'FFFFFF334	32
ブ레이크コントロールレジスタ	BRCR	R/W	H'00000000	H'FFFFFF3C0	32
ブランチソースレジスタ	BRSR*	R	H'0xxxxxxx	H'FFFFFF3D0	32
ブランチデスティネーションレジスタ	BRDR*	R	H'0xxxxxxx	H'FFFFFF3D4	32
実行回数ブ레이크レジスタ	BETR*	R/W	H'0000	H'FFFFFF3DC	16

【注】 * F-ZTAT 版のみ。

7.3.1 ブ레이크アドレスレジスタ A (BARA)

BARA は、32 ビットの読み出し / 書き込み可能なレジスタです。BARA は、チャンネル A のブ레이크条件とするアドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAA31~ BAA0	すべて 0	R/W	ブ레이크アドレス A チャンネル A のブ레이크条件を指定する LAB または IAB のアドレスを格納します。

7.3.2 ブレークアドレスマスクレジスタ A (BAMRA)

BAMRA は、32 ビットの読み出し / 書き込み可能なレジスタです。BAMRA は、BARA によって指定されるブレークアドレスビットのうちマスクするビットを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAMA31	BAMA30	BAMA29	BAMA28	BAMA27	BAMA26	BAMA25	BAMA24	BAMA23	BAMA22	BAMA21	BAMA20	BAMA19	BAMA18	BAMA17	BAMA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAMA15	BAMA14	BAMA13	BAMA12	BAMA11	BAMA10	BAMA9	BAMA8	BAMA7	BAMA6	BAMA5	BAMA4	BAMA3	BAMA2	BAMA1	BAMA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAMA31 ~ BAMA0	すべて 0	R/W	<p>ブレークアドレスマスク A</p> <p>BARA (BAA31 ~ BAA0) によって指定されるチャンネル A のブレークアドレスビットのうちマスクするビットを指定します。</p> <p>0: ブレークアドレスビット BAA_n は、ブレーク条件に含まれる</p> <p>1: ブレークアドレスビット BAA_n はマスクされ、ブレーク条件に含まれない</p> <p>【注】 n = 31 ~ 0</p>

7.3.3 ブレークバスサイクルレジスタ A (BBRA)

BBRA は、チャンネル A のブレーク条件として (1) I バスサイクルのバスマスタ、(2) L バスサイクルまたは I バスサイクル、(3) 命令フェッチまたはデータアクセス、(4) 読み出しまたは書き込み、および (5) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CPA2*	CPA1*	CPA0*	CDA1*	CDA0	IDA1*	IDA0	RWA1*	RWA0	SZA1*	SZA0*
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * マスクROM版ではリザーブビットとなります。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10 9 8	CPA2* CPA1* CPA0*	0 0 0	R/W R/W R/W	Iバスのバスマスタセレクト A チャンネル A ブレーク条件のバスサイクルとして Iバスを選択した場合のバスマスタを選択します。バスサイクルとして Lバスを選択した場合、本ビットは無効となります。 000: 条件比較を行わない xx1: ブレーク条件に CPU サイクルを含めます x1x: 設定禁止 1xx: ブレーク条件に DTC サイクルを含めます
7 6	CDA1* CDA0	0 0	R/W R/W	Lバスサイクル / Iバスサイクルセレクト A チャンネル A ブレーク条件のバスサイクルとして Lバスサイクルまたは Iバスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、Lバスサイクル 10: ブレーク条件は、Iバスサイクル 11: ブレーク条件は、Lバスサイクル
5 4	IDA1* IDA0	0 0	R/W R/W	命令フェッチ / データアクセスセレクト A チャンネル A ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、命令フェッチサイクル 10: ブレーク条件は、データアクセスサイクル 11: ブレーク条件は、命令フェッチサイクルまたはデータアクセスサイクル
3 2	RWA1* RWA0	0 0	R/W R/W	読み出し / 書き込みセレクト A チャンネル A ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、読み出しサイクル 10: ブレーク条件は、書き込みサイクル 11: ブレーク条件は、読み出しサイクルまたは書き込みサイクル
1 0	SZA1* SZA0*	0 0	R/W R/W	オペランドサイズセレクト A チャンネル A ブレーク条件のバスサイクルのオペランドサイズを選択します。 00: ブレーク条件には、オペランドサイズを含まない 01: ブレーク条件は、バイトアクセス 10: ブレーク条件は、ワードアクセス 11: ブレーク条件は、ロングワードアクセス 【注】 オペランドサイズを指定する場合、アドレス境界とオペランドサイズを一致させてください。

【記号説明】 x : Don't care

【注】 * マスク ROM 版ではリザーブビットとなります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.3.4 ブレークデータレジスタ A (BDRA) (F-ZTAT 版のみ)

BDRA は、32 ビットの読み出し / 書き込み可能なレジスタです。ブ레이크条件 A の対象とするデータバスは 2 種類あり、ブ레이크バスサイクルレジスタ A (BBRA) の制御ビット CDA1、CDA0 により選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDA31	BDA30	BDA29	BDA28	BDA27	BDA26	BDA25	BDA24	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BDA31~ BDA0	すべて 0	R/W	ブ레이크データビット A チャンネル A のブ레이크条件を指定するデータを格納します。 BBRA により I バスを選択した場合は、BDA31~BDA0 に IDB のブ레이크データを指定します。 BBRA により L バスを選択した場合は、BDA31~BDA0 に LDB のブ레이크データを指定します。

- 【注】
1. ブ레이크条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 2. ブ레이크条件としてバイトサイズを指定する場合は、BDRA におけるブ레이크データとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。

7.3.5 ブレークデータマスクレジスタ A (BDMRA) (F-ZTAT 版のみ)

BDMRA は、32 ビットの読み出し / 書き込み可能なレジスタです。BDMRA は、BDRA で指定するブレークデータビットのうちマスクするビットを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDMA31	BDMA30	BDMA29	BDMA28	BDMA27	BDMA26	BDMA25	BDMA24	BDMA23	BDMA22	BDMA21	BDMA20	BDMA19	BDMA18	BDMA17	BDMA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDMA15	BDMA14	BDMA13	BDMA12	BDMA11	BDMA10	BDMA9	BDMA8	BDMA7	BDMA6	BDMA5	BDMA4	BDMA3	BDMA2	BDMA1	BDMA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BDMA31 ~ BDMA0	すべて 0	R/W	<p>ブレークデータマスク A</p> <p>BDRA (BDA31 ~ BDA0) によって指定されるチャネル A のブレークデータビットのうちマスクするビットを指定します。</p> <p>0: ブレークデータビット BDA_n は、ブレーク条件に含まれる</p> <p>1: ブレークデータビット BDA_n はマスクされ、ブレーク条件に含まれない</p> <p>【注】 n = 31 ~ 0</p>

- 【注】 1. ブレーク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
2. ブレーク条件としてバイトサイズを指定する場合は、BDMRA におけるブレークマスクデータとして、ビット 15 ~ 8 とビット 7 ~ 0 に同一のバイトデータをセットしてください。

7.3.6 ブレークアドレスレジスタ B (BARB)

BARB は、32 ビットの読み出し / 書き込み可能なレジスタです。BARB はチャンネル B のブレイク条件とするアドレスを指定します。ブレイク条件 B の対象となるアドレスバスは 2 種類あり、ブレイクバスサイクルレジスタ B (BBRB) の制御ビット CDB1、CDB0 により選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAB31~ BAB0	すべて 0	R/W	ブレイクアドレス B チャンネル B のブレイク条件を指定するアドレスを指定します。 BBRB により I バスまたは L バスを選択した場合は、BAB31~BAB0 に IAB または LAB のアドレスを指定します。

7.3.7 ブレイクアドレスマスクレジスタ B (BAMRB)

BAMRB は、32 ビットの読み出し / 書き込み可能なレジスタです。BAMRB は、BARB によって指定されるブレイクアドレスビットのうちマスクするビットを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAMB31	BAMB30	BAMB29	BAMB28	BAMB27	BAMB26	BAMB25	BAMB24	BAMB23	BAMB22	BAMB21	BAMB20	BAMB19	BAMB18	BAMB17	BAMB16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAMB15	BAMB14	BAMB13	BAMB12	BAMB11	BAMB10	BAMB9	BAMB8	BAMB7	BAMB6	BAMB5	BAMB4	BAMB3	BAMB2	BAMB1	BAMB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAMB31~ BAMB0	すべて 0	R/W	ブレイクアドレスマスク B BARB (BAB31~BAB0) によって指定されるチャンネル B のブレイクアドレスビットのうちマスクするビットを指定します。 0: ブレイクアドレスビット BABn は、ブレイク条件に含まれる 1: ブレイクアドレスビット BABn はマスクされ、ブレイク条件に含まれない 【注】 n = 31~0

7.3.8 ブレークデータレジスタ B (BDRB) (F-ZTAT 版のみ)

BDRB は、32 ビットの読み出し / 書き込み可能なレジスタです。ブレーク条件 B の対象とするデータバスは 2 種類あり、ブレークバスサイクルレジスタ B (BBRB) の制御ビット CDB1、CDB0 により選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BDB31~ BDB0	すべて 0	R/W	ブレークデータビット B チャンネル B のブレーク条件を指定するデータを格納します。 BBRB により I バスを選択した場合は、BDB31~BDB0 に IDB のブレークデータを指定します。 BBRB により L バスを選択した場合は、BDB31~BDB0 に LDB のブレークデータを指定します。

- 【注】
1. ブレーク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 2. ブレーク条件としてバイトサイズを指定する場合は、BDRB におけるブレークデータとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。

7.3.9 ブ레이크データマスクレジスタ B (BDMRB) (F-ZTAT 版のみ)

BDMRB は、32 ビットの読み出し / 書き込み可能なレジスタです。BDMRB は、BDRB で指定するブ레이크データビットのうちマスクするビットを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BDMB31 ~ BDMB0	すべて 0	R/W	ブ레이크データマスク B BDRB (BDB31 ~ BDB0) によって指定されるチャンネル B のブ레이크データビットのうちマスクするビットを指定します。 0: ブ레이크データビット BDBn は、ブ레이크条件に含まれる 1: ブ레이크データビット BDBn はマスクされ、ブ레이크条件に含まれない 【注】 n = 31 ~ 0

- 【注】
1. ブ레이크条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 2. ブ레이크条件としてバイトサイズを指定する場合は、BDMRB におけるブ레이크マスクデータとして、ビット 15 ~ 8 とビット 7 ~ 0 に同一のバイトデータをセットしてください。

7.3.10 ブレークバスサイクルレジスタ B (BBRB)

BBRB は、チャンネル B のブレーク条件として (1) I バスサイクルのバスマスタ、(2) L バスサイクルまたは I バスサイクル、(3) 命令フェッチまたはデータアクセス、(4) 読み出しまたは書き込み、および (5) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CPB2*	CPB1*	CPB0*	CDB1*	CDB0	IDB1*	IDB0	RWB1*	RWB0	SZB1*	SZB0*
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* マスクROM版ではリザーブビットとなります。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	CPB2*	0	R/W	Iバスのバスマスタセレクト B チャンネル B ブレーク条件のバスサイクルとして Iバスを選択した場合のバスマスタを選択します。バスサイクルとして Lバスを選択した場合、本ビットは無効となります。 000: 条件比較を行わない xx1: ブレーク条件に CPU サイクルを含めます x1x: 設定禁止 1xx: ブレーク条件に DTC サイクルを含めます
9	CPB1*	0	R/W	
8	CPB0*	0	R/W	
7	CDB1*	0	R/W	Lバスサイクル/Iバスサイクルセレクト B チャンネル B ブレーク条件のバスサイクルとして Lバスサイクルまたは Iバスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、Lバスサイクル 10: ブレーク条件は、Iバスサイクル 11: ブレーク条件は、Lバスサイクル
6	CDB0	0	R/W	
5	IDB1*	0	R/W	命令フェッチ/データアクセスセレクト B チャンネル B ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、命令フェッチサイクル 10: ブレーク条件は、データアクセスサイクル 11: ブレーク条件は、命令フェッチサイクルまたはデータアクセスサイクル
4	IDB0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	RWB1*	0	R/W	読み出し / 書き込みセレクト B チャンネル B ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00 : 条件比較を行わない 01 : ブレーク条件は、読み出しサイクル 10 : ブレーク条件は、書き込みサイクル 11 : ブレーク条件は、読み出しサイクルまたは書き込みサイクル
2	RWB0	0	R/W	
1	SZB1*	0	R/W	オペランドサイズセレクト B チャンネル B ブレーク条件のバスサイクルのオペランドサイズを選択します。 00 : ブレーク条件は、オペランドサイズを含まない 01 : ブレーク条件は、バイトアクセス 10 : ブレーク条件は、ワードアクセス 11 : ブレーク条件は、ロングワードアクセス 【注】 オペランドサイズを設定する場合、アドレス境界とオペランドサイズを一致させてください。
0	SZB0*	0	R/W	

【記号説明】 x : Don't care

【注】 * マスク ROM 版ではリザーブビットとなります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.3.11 ブレークコントロールレジスタ (BRCR)

BRCR は次の条件を設定します。

1. チャンネル A、B を 2 つの独立したチャンネル条件か、あるいは 1 つの連続した条件として使用するかを指定します。
2. ユーザブレイクを命令実行の前に設定するか後に設定するかを指定します。
3. チャンネル B 比較条件に実行回数を含めるかどうかを指定します。
4. チャンネル A、B 比較条件にデータバスの値を含めるかどうかを指定します。
5. PC トレースをイネーブルにします。
6. $\overline{\text{UBCTR}}\text{G}$ 出力のパルス幅を選択します。
7. チャンネル A、B 比較条件一致時に、ユーザブレイク割り込みを要求するかどうかを指定します。

BRCR は、ブレーク条件一致フラグと種々のブレーク条件をセットするためのビットを持つ 32 ビットの読み出し / 書き込み可能なレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	UTRGW[1:0]	UBIDB	-	UBIDA	-	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCM FCA	SCM FCB	SCM FDA*	SCM FDB*	PCTE*	PCBA	-	-	DBEA*	PCBB	DBEB*	-	SEQ*	-	-	ETBE*
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R/W	R	R	R/W

【注】* マスクROM版ではリザーブビットとなります。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21, 20	UTRGW[1:0]	00	R/W	UBCTRG 出力パルス幅セレクト ブレイク条件一致時の UBCTRG 出力のパルス幅を選択します。 00 : 設定禁止 01 : UBCTRG 出力パルス幅を $3 \sim 4t_{\text{Bocyc}}$ にする 10 : UBCTRG 出力パルス幅を $7 \sim 8t_{\text{Bocyc}}$ にする 11 : UBCTRG 出力パルス幅を $15 \sim 16t_{\text{Bocyc}}$ にする 【注】 t_{Bocyc} は外部バスクロック ($B = CK$) の周期を示します。
19	UBIDB	0	R/W	ユーザブレイクディスエーブル B チャンネル B のブレイク条件を満足したときに、ユーザブレイク割り込み要求を禁止するかどうかを選択します。 0 : ブレイク条件を満足したときに、ユーザブレイク割り込み要求を許可する 1 : ブレイク条件を満足したときに、ユーザブレイク割り込み要求を禁止する
18	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17	UBIDA	0	R/W	ユーザブレイクディスエーブル A チャンネル A のブレイク条件を満足したときに、ユーザブレイク割り込み要求を禁止するかどうかを選択します。 0 : ブレイク条件を満足したときに、ユーザブレイク割り込み要求を許可する 1 : ブレイク条件を満足したときに、ユーザブレイク割り込み要求を禁止する
16	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
15	SCMFCA	0	R/W	Lバスサイクル条件一致フラグ A チャンネル A にセットしたブレーク条件の Lバスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル A に対する Lバスサイクル条件不一致 1: チャンネル A に対する Lバスサイクル条件一致
14	SCMFCE	0	R/W	Lバスサイクル条件一致フラグ B チャンネル B にセットしたブレーク条件の Lバスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル B に対する Lバスサイクル条件不一致 1: チャンネル B に対する Lバスサイクル条件一致
13	SCMFDA*	0	R/W	Iバスサイクル条件一致フラグ A チャンネル A にセットしたブレーク条件の Iバスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル A に対する Iバスサイクル条件不一致 1: チャンネル A に対する Iバスサイクル条件一致
12	SCMFDE*	0	R/W	Iバスサイクル条件一致フラグ B チャンネル B にセットしたブレーク条件の Iバスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル B に対する Iバスサイクル条件不一致 1: チャンネル B に対する Iバスサイクル条件一致
11	PCTE*	0	R/W	PC トレースイネーブル 0: PC トレースを禁止 1: PC トレースを許可
10	PCBA	0	R/W	PC ブレークセレクト A チャンネル A に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0: チャンネル A の PC ブレークを命令実行前に設定 1: チャンネル A の PC ブレークを命令実行後に設定
9、8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	DBEA*	0	R/W	データブレークイネーブル A データバス条件がチャンネル A のブレーク条件に含まれるかどうかを選択します。 0: データバス条件がチャンネル A のブレーク条件に含まれない 1: データバス条件がチャンネル A のブレーク条件に含まれる

ビット	ビット名	初期値	R/W	説明
6	PCBB	0	R/W	PC ブレークセレクト B チャンネル B に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル B の PC ブレークを命令実行前に設定 1 : チャンネル B の PC ブレークを命令実行後に設定
5	DBEB*	0	R/W	データブレークイネーブル B データバス条件がチャンネル B のブレーク条件に含まれるかどうかを選択します。 0 : データバス条件がチャンネル B のブレーク条件に含まれない 1 : データバス条件がチャンネル B のブレーク条件に含まれる
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SEQ*	0	R/W	シーケンス条件セレクト チャンネル A および B の 2 つの条件が独立した条件であるか連続した条件であるかを選択します。 0 : 独立した条件下でチャンネル A とチャンネル B を比較 1 : 連続した条件下でチャンネル A とチャンネル B を比較 (チャンネル A、次にチャンネル B)
2、1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ETBE*	0	R/W	実行回数ブレークイネーブル チャンネル B に対してのみ実行回数ブレーク条件を有効にします。このビットが 1 の場合、生じたブレーク条件の数が BETR レジスタで指定した実行回数と等しくなったときユーザブレーク割り込みを要求します。 0 : チャンネル B の実行回数ブレーク条件を無効にする 1 : チャンネル B の実行回数ブレーク条件を有効にする

【注】 * マスク ROM 版ではリザーブビットとなります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.3.12 実行回数ブ레이크レジスタ (BETR) (F-ZTAT 版のみ)

BETR は、16 ビットの読み出し / 書き込み可能なレジスタです。チャンネル B の実行回数ブ레이크条件を有効にすると、このレジスタはブ레이크を行う回数を指定します。最大値は $2^{12} - 1$ 回です。ブ레이크条件を満たすたびに BETR は 1 ずつデクリメントされます。BETR が H'0001 になった後、ブ레이크条件を満たすとユーザブ레이크割り込みを要求します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	BET[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	BET[11:0]	すべて 0	R/W	実行回数

7.3.13 ブランチソースレジスタ (BRSR) (F-ZTAT 版のみ)

BRSR は、32 ビットの読み出し専用レジスタです。BRSR は、分岐元命令のアドレスのビット 27~0 を格納します。BRSR は、分岐発生時に 1 にセットされるフラグビットを持っています。このフラグビットは、BRSR の読み出し時、PC トレース禁止状態からの許可設定時、パワーオンリセット、またはマニュアルリセットで 0 にクリアされます。その他のビットは、リセットによっては初期化されません。8 本の BRSR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SVF	-	-	-	BSA27	BSA26	BSA25	BSA24	BSA23	BSA22	BSA21	BSA20	BSA19	BSA18	BSA17	BSA16
初期値:	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSA15	BSA14	BSA13	BSA12	BSA11	BSA10	BSA9	BSA8	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	SVF	0	R	BRSR 有効フラグ 分岐元のアドレスが格納されているかどうかを示します。このフラグは分岐発生時に 1 にセットされます。このフラグは、BRSR を読み出した場合、PC トレース禁止の状態から許可に設定した場合、パワーオンリセットのいずれかの条件で 0 にクリアされます。 0 : BRSR レジスタの値は無効 1 : BRSR レジスタの値は有効

ビット	ビット名	初期値	R/W	説明
30~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27~0	BSA27~ BSA0	不定	R	分岐元アドレス これらのビットは分岐元アドレスのビット27~0を格納します。

7.3.14 ブランチデスティネーションレジスタ (BRDR) (F-ZTAT 版のみ)

BRDR は、32 ビットの読み出し専用レジスタです。BRDR は、分岐先命令のアドレスのビット 27~0 を格納します。BRDR は、分岐発生時に 1 に設定されるフラグビットを持っています。このフラグビットは、BRDR の読み出し時、PC トレース禁止状態からの許可設定時、パワーオンリセット、またはマニュアルリセットで 0 にクリアされます。その他のビットはリセットによっては初期化されません。8 本の BRDR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DVF	-	-	-	BDA27	BDA26	BDA25	BDA24	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16
初期値:	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	DVF	0	R	BRDR 有効フラグ 分岐先アドレスが格納されているかどうかを示します。このフラグは分岐発生時に 1 にセットされます。このフラグは、BRDR を読み出した場合、PC トレース禁止の状態から許可に設定した場合、パワーオンリセットのいずれかの条件で 0 にクリアされます。 0 : BRDR レジスタの値は無効 1 : BRDR レジスタの値は有効
30~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27~0	BDA27~ BDA0	不定	R	分岐先アドレス これらのビットは分岐先アドレスのビット27~0を格納します。

7.4 動作説明

7.4.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは次のとおりです。

1. ブレイクアドレスは、ブレイクアドレスレジスタ (BARAまたはBARB) にセットします。マスクするアドレスは、ブレイクアドレスマスクレジスタ (BAMRAまたはBAMRB) にセットします。ブレイクデータは、ブレイクデータレジスタ (BDRAまたはBDRB) にセットします。マスクするデータは、ブレイクデータマスクレジスタ (BDMRAまたはBDMRB) にセットします。バスブレイク条件は、ブレイクバスサイクルレジスタ (BBRAまたはBBRB) にセットします。BBRAまたはBBRBの3つの制御ビットペア、すなわちLバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでもB'00の場合は、ユーザブレイクは発生しません。ブレイク制御は、BRCRのビットにセットします。他のすべてのブレイク関連レジスタの設定後にBBRAまたはBBRBの設定を行ってください。
2. ブレイク条件を満足すると、UBCはユーザブレイク割り込み要求をCPUに通知するとともに、それぞれのチャンネルに対するLバス条件一致フラグ (SCMFCAまたはSCMFCB) およびIバス条件一致フラグ (SCMFDAまたはSCMFDB) をセットします。
3. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFCA、SCMFDA、SCMFCB、SCMFDB) を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためには、まず0を書き込み、フラグをリセットしてください。
4. チャンネルAおよびチャンネルBに設定したブレイク条件一致がほぼ同時に発生する場合があります。CPUに通知するユーザブレイク割り込み要求は1つだけであっても、これらの2つの条件一致フラグは2つともセットされる場合があります。
5. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
 - Iバスには、CPUおよびDTCが接続されています。UBCはBBRAレジスタのCPA2~CPA0ビット、およびBBRBレジスタのCPB2~CPB0ビットで選択したバスマスタの生成するバスサイクルを監視し、条件一致比較を行います。
 - CPUのLバス上での命令フェッチに起因したIバスサイクル (リードフィルサイクルを含む) をIバスでの命令フェッチサイクル、それ以外をデータアクセスサイクルと定義します。
 - DTCが発行するIバスサイクルは、データアクセスサイクルのみです。
 - Iバスにブレイク条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でユーザブレイクを受け付けるかを一意に決定することはできません。

7.4.2 命令フェッチサイクルでのユーザブレイク

1. ブレイクバスサイクルレジスタ (BBRAまたはBBRB) に「Lバス / 命令フェッチ / 読み出し / ワード、ロングワード、またはオペランドサイズを含まない」が設定されると、ブレイク条件はLバスの命令フェッチになります。命令実行の前にユーザブレイクするか後にユーザブレイクするかは、該当するチャンネルに対するブレイクコントロールレジスタ (BRCR) のPCBAまたはPCBBビットで選択できます。ブレイク条件として命令フェッチサイクルを設定する場合は、ブレイクアドレスレジスタ (BARAまたはBARB) のLSBを0にクリアしてください。このビットが1にセットされているとユーザブレイクは発生しません。
2. 命令フェッチによるユーザブレイクがその命令を実行する前に行われるように設定されている状態でブレイク条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でユーザブレイクが 발생합니다。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。遅延分岐命令の遅延スロットに対してこの種のブレイク条件が設定されると、遅延分岐命令の実行前にユーザブレイクが発生します。

【注】 遅延分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレイク条件でユーザブレイクが命令実行後に起こるように設定している場合は、ブレイク条件と一致した命令が実行され、次の命令の実行前にユーザブレイクが発生します。実行前のユーザブレイクの場合と同様、これはオーバランフェッチ命令では使用できません。遅延分岐命令およびその遅延スロットに対してこの種のブレイク条件が設定されると、分岐先の最初の命令までユーザブレイクは発生しません。
4. 命令フェッチサイクルが設定されるとブレイクデータレジスタ (BDRAまたはBDRB) は、無視されます。したがって、命令フェッチサイクルのユーザブレイクにはブレイクデータを設定することはできません。
5. 命令フェッチサイクルでのユーザブレイクにおいてIバスを設定した場合は、Iバス上の命令フェッチサイクルに対する条件判定が行われます。詳細は、「7.4.1 ユーザブレイク動作の流れ」の5.の項を参照してください。

7.4.3 データアクセスサイクルでのユーザブレイク

1. データアクセスブレイクにおいて、ブレイク条件としてLバスを指定した場合は、実行された命令によりアクセスされたアドレス (およびデータ) に対して条件比較を行いユーザブレイクを発生します。ブレイク条件としてIバスを指定した場合は、Iバス上のCPUを含めたすべてのバスマスタが発行するデータアクセスサイクルのアドレス (およびデータ) に対して条件比較を行いユーザブレイクを発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「7.4.1 ユーザブレイク動作の流れ」の5.の項を参照してください。
2. 表7.3にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 7.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレイクアドレスレジスタのビット 31~2 とアドレスバスのビット 31~2 を比較
ワード	ブレイクアドレスレジスタのビット 31~1 とアドレスバスのビット 31~1 を比較
バイト	ブレイクアドレスレジスタのビット 31~0 とアドレスバスのビット 31~0 を比較

これは、たとえばブレイクアドレスレジスタ (BARA/BARB) にアドレス H'00001003 を設定するとき、ブレイク条件を満足するバスサイクルには、(他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

3. ブレイク条件にデータ値が含まれる場合

ブレイク条件にデータ値が含まれる場合は、ブレイクバスサイクルレジスタ (BBRA または BBRB) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレイク条件に含まれる場合は、アドレス条件とデータ条件が一致するときユーザブレイクが発生します。この場合、バイトデータを指定するためには、ブレイクデータレジスタ (BDRA または BDRB) とブレイクデータマスクレジスタ (BDMRA または BDMRB) のビット 15~8、ビット 7~0 の 2 バイトに同じデータをセットします。ワードまたはバイトのオペランドサイズを選択すると、BDRA または BDRB と BDMRA または BDMRB のビット 31~16 は無視されます。

4. Lバスを選択している場合は、条件が一致した命令の実行を完了し、次の命令を実行する直前にユーザブレイクが発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令の次の命令の実行完了後になる場合もあります。Iバスを選択している場合は、ユーザブレイクの発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のユーザブレイクが発生した場合は、分岐先の最初の命令までユーザブレイクは発生しません。

7.4.4 シーケンシャルブレイク

1. BRRCRのSEQビットを1にセットすると、チャンネルAブレイク条件が一致した後、チャンネルBブレイク条件が一致するときにシーケンシャルブレイクが発生します。チャンネルAブレイク条件が一致する前にチャンネルBブレイク条件が一致すると、ユーザブレイクは発生しません。また、チャンネルAとチャンネルBのブレイク条件が同時に一致したときも、シーケンシャルブレイクは発生しません。シーケンシャルブレイク指定時、チャンネルA条件が一致し、かつチャンネルB条件が一致していないときにチャンネルA一致をクリアしたい場合は、BRRCRレジスタのSEQビットに0を書き込み、チャンネルAの条件一致フラグにも0を書き込みクリアしてください。
2. シーケンシャルブレイク指定では、Lバス、Iバスを選択でき、実行回数ブレイク条件も指定することができます。たとえば、実行回数ブレイク条件を指定すると、チャンネルAブレイク条件一致後、チャンネルBブレイク条件がBETR = H'0001のときに一致するとブレイク条件が満たされます。

7.4.5 退避されるプログラムカウンタの値

ユーザブレイク発生時は、実行を再開すべき命令のアドレスをスタックに退避し、例外処理状態に移行します。ブレイク条件としてLバスを指定している場合は、ユーザブレイクの発生する命令を一意に決定することができます (ブレイク条件にデータを含む場合を除く)。ブレイク条件としてIバスを指定している場合は、ユーザブレイクの発生する命令を一意に決定することはできません。

1. 命令フェッチを (命令実行前) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にユーザブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスがスタックに退避されます。

2. 命令フェッチを (命令実行後) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にユーザブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

3. データアクセス (アドレスのみ) をブレイク条件として指定する場合

スタックには、ブレイク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にユーザブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスがスタックに退避されます。

4. データアクセス (アドレス + データ) をブレイク条件として指定する場合

データ値がブレイク条件に追加されると、ブレイク条件に一致した命令の次の命令か、その次の命令のアドレスがスタックに退避されます。ユーザブレイクが発生する場所は正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスがスタックに退避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にユーザブレイクが生じるときがあります。この場合もスタックには、分岐先のアドレスが退避されます。

7.4.6 PC トレース

1. PCトレースは、BRCRのPCTEを1にセットすることによってイネーブルになります。分岐（分岐命令および割り込み例外）が発生すると、分岐元アドレスと分岐先アドレスがそれぞれBRSRとBRDRに格納されます。
2. BRSR、BRDRに格納される値は、分岐の種類によってそれぞれ次のようになります。
 - 分岐命令により分岐が生じる場合は、分岐命令のアドレスがBRSRに、分岐先命令のアドレスがBRDRに格納されます。
 - 割り込みや一般例外により分岐が生じる場合は、例外発生により保存されるスタックの値がBRSRに、例外処理ルーチンの先頭アドレスがBRDRに格納されます。
3. BRSRとBRDRは、8組のキュー構造からなっています。PCトレースレジスタに格納されたアドレスの読み出し時、キューの先頭を最初に読み出します。BRSRとBRDRはリードポインタを共有します。BRSR、BRDRの順で読み出してください。キューはBRDRの読み出し後のみシフトされます。BRCRのPCTEビットをオフからオンに切り替えると、キューの値は無効になります。
4. 8組のキューはAUDと共通化していますので、STBCR5のMSTP25ビットを0に設定し、STBCR6のAUDSRSTビットを1に設定した後、BRCRのPCTEビットを1に設定してください。AUDはE10Aフル機能対応F-ZTAT版のみの機能ですが、本設定は、通常のF-ZTAT版においても同様に行ってください。

7.4.7 使用例

(1) Lバス命令フェッチサイクルに指定したブレイク条件

(例 1-1)

- レジスタ指定

BARA = H'00000404、BAMRA = H'00000000、BBRA = H'0054、BDRA = H'00000000、BDMRA = H'00000000、
BARB = H'00008010、BAMRB = H'00000006、BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、
BRCR = H'00000400

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00000404、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレス H'00000404 の命令実行後、またはアドレス H'00008010 ~ H'00008016 の命令の実行前に発生します。

(例 1-2)

- レジスタ指定

BARA = H'00037226、BAMRA = H'00000000、BBRA = H'0056、BDRA = H'00000000、BDMRA = H'00000000、
BARB = H'0003722E、BAMRB = H'00000000、BBRB = H'0056、BDRB = H'00000000、BDMRB = H'00000000、
BRCR = H'00000008

指定条件：チャンネル A / チャンネル B シーケンシャルモード

<チャンネル A>

アドレス：H'00037226、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 読み出し / ワード

<チャンネル B>

アドレス：H'0003722E、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 読み出し / ワード

アドレス H'00037226 の命令が実行された後、アドレス H'0003722E の命令実行前にユーザブレイクが発生します。

(例 1-3)

- レジスタ指定

BARA = H'00027128、BAMRA = H'00000000、BBRA = H'005A、BDRA = H'00000000、BDMRA = H'00000000、
BARB = H'00031415、BAMRB = H'00000000、BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、
BRCR = H'00000000

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00027128、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル B>

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネル A では、命令フェッチは書き込みサイクルではないのでユーザブレイクは発生しません。チャンネル B では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(例 1-4)

- レジスタ指定

BARA = H'00037226、BAMRA = H'00000000、BBRA = H'005A、BDRA = H'00000000、BDMRA = H'00000000、
BARB = H'0003722E、BAMRB = H'00000000、BBRB = H'0056、BDRB = H'00000000、BDMRB = H'00000000、
BRRCR = H'00000008

指定条件：チャンネル A / チャンネル B シーケンシャルモード

<チャンネル A>

アドレス：H'00037226、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル B>

アドレス：H'0003722E、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 読み出し / ワード

チャンネル A で命令フェッチは書き込みサイクルではないので、シーケンシャル条件一致は生じません。したがって、ユーザブレイクは発生しません。

(例 1-5)

- レジスタ指定

BARA = H'00000500、BAMRA = H'00000000、BBRA = H'0057、BDRA = H'00000000、BDMRA = H'00000000、
BARB = H'00001000、BAMRB = H'00000000、BBRB = H'0057、BDRB = H'00000000、BDMRB = H'00000000、
BRRCR = H'00000001、BETR = H'0005

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00000500、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

実行回数ブレイクイネーブル (5 回)

<チャンネル B>

アドレス：H'00001000、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

チャンネル A では、ユーザブレイクはアドレス H'00000500 の命令を 4 回実行した後、5 回目の命令実行前に発生します。チャンネル B では、ユーザブレイクはアドレス H'00001000 の命令の実行前に発生します。

(例 1-6)

- レジスタ指定

BARA = H'00008404、BAMRA = H'00000FFF、BBRA = H'0054、BDRA = H'00000000、BDMRA = H'00000000、
BARB = H'00008010、BAMRB = H'00000006、BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、
BRCR = H'00000400

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00008404、アドレスマスク：H'00000FFF

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレス H'00008000 ~ H'00008FFE の命令の実行後、またはアドレス H'00008010 ~ H'00008016 の命令の実行前に生じます。

(2) L パスデータアクセスサイクルに指定したブレイク条件

(例 2-1)

- レジスタ指定

BARA = H'00123456、BAMRA = H'00000000、BBRA = H'0064、BDRA = H'12345678、BDMRA = H'FFFFFFFF、
BARB = H'000ABCDE、BAMRB = H'000000FF、BBRB = H'006A、BDRB = H'0000A512、BDMRB = H'00000000、
BRCR = H'00000080

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00123456、アドレスマスク：H'00000000

データ：H'12345678、データマスク：H'FFFFFFFF

バスサイクル：L パス / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス：H'000ABCDE、アドレスマスク：H'000000FF

データ：H'0000A512、データマスク：H'00000000

バスサイクル：L パス / データアクセス / 書き込み / ワード

チャンネル A では、ユーザブレイクは、アドレス H'00123454 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで発生します。チャンネル B では、ユーザブレイクは H'000ABC00 ~ H'000ABCFE にワード H'A512 を書き込むときに発生します。

(3) Iバスデータアクセスサイクルに指定されたブレイク条件

(例 3-1)

• レジスタ指定

BARA = H'00314154、BAMRA = H'00000000、BBRA = H'0194、BDRA = H'12345678、BDMRA = H'FFFFFFF、
BARB = H'00055555、BAMRB = H'00000000、BBRB = H'01A9、BDRB = H'00007878、BDMRB = H'0000F0F0、
BRBR = H'00000080

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00314154、アドレスマスク：H'00000000

データ：H'12345678、データマスク：H'FFFFFFF

バスサイクル：Iバス (CPU サイクル) / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス：H'00055555、アドレスマスク：H'00000000

データ：H'00000078、データマスク：H'0000000F

バスサイクル：Iバス (CPU サイクル) / データアクセス / 書き込み / バイト

チャンネル A では、ユーザブレイクは外部メモリ空間のアドレス H'00314156 に対する命令フェッチで発生します。チャンネル B では、ユーザブレイクは CPU がバイトデータ H'7x を外部メモリ空間のアドレス H'00055555 に書き込むときに発生します。

7.5 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、バス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のユーザブレイクが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはLバスサイクルとバスサイクルを同じチャンネルで監視することはできません。
3. シーケンシャルブレイクの指定においての注意事項は次のとおりです。

シーケンシャルブレイクの設定時、Aチャンネル一致が発生後Bチャンネル一致が発生するとき、条件一致が発生します。したがって、チャンネルA一致とチャンネルB一致が同時に発生するバスサイクルが設定されてもユーザブレイクは発生しません。
4. ユーザブレイクと他の例外が同一命令で発生した場合は、「第5章 例外処理」の表5.1に定められた優先順位で判定が行われます。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
 - 命令実行前ブレイクは他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外（命令実行前ブレイクを含む）と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません（ただし、5項に示す例外事項があります）。例外処理により再実行型の例外要因が解消され、同命令が再実行されて完了する時点で改めてユーザブレイクが発生し、フラグがセットされます。
 - 命令実行後ブレイクやデータアクセスブレイクが、より優先度の高い完了型の例外（TRAPA）と同時に発生した場合は、ユーザブレイクは発生しませんが、条件一致を示すフラグはセットされます。
5. 4項の例外事項として、次の注意事項があります。

データアクセスによりCPUアドレスエラーが発生する命令において命令実行後ブレイクやデータアクセスブレイクが成立する場合は、ユーザブレイク割り込みに優先してCPUアドレスエラーが発生します。この際、UBCの条件一致フラグもセットされます。
6. 遅延スロットでユーザブレイクが発生する場合は、次の注意事項があります。

RTE命令の遅延スロット命令に対して命令実行前ブレイクを設定した場合は、RTE命令の分岐先の実行前までユーザブレイクは発生しません。
7. UBCモジュールスタンバイ時は、ユーザブレイク機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合、その値は保証されません。
8. SLEEP命令および遅延スロットがSLEEP命令となる分岐命令には、命令実行後ブレイクを設定しないでください。また、SLEEP命令およびSLEEP命令の1～2命令前には、データアクセスブレイクを設定しないでください。
9. UBCはDTCまたはDMACが動作中の場合には、CPUによる外部空間アクセスをバス上で正しく判定できません。上記の条件で外部空間アクセスをバスで判定する場合には、全バスマスタを選択してください。この場合バスマスタを特定した条件判定はできなくなります。ただし、データ値からバスマスタを推定できる場合は、データを判定条件に含めることでバスマスタを推定することができます。

8. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込み要求によって起動され、データ転送を行うことができます。

8.1 特長

- 任意チャンネル数の転送が可能
- チェイン転送 (一つの起動要因に対して複数のデータ転送) が可能
指定された回数のデータ転送後にのみチェイン転送が可能 (カウンタ = 0 のとき)
- 転送モード : 3種類
ノーマル転送モード、リピート転送モード、ブロック転送モードの選択が可能
転送元、転送先アドレスのインクリメント、デクリメント、固定の選択が可能
- 転送元、転送先アドレスを32ビットで指定でき、4Gバイトのアドレス空間を直接指定可能
- データ転送のデータサイズをバイト、ワード、ロングワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
1回のデータ転送終了後にCPUに対する割り込み要求を発生可能
指定したデータ転送終了後にCPUに対する割り込み要求を発生可能
- 転送情報のリードスキップを指定可能
- 固定を選択した転送元アドレス、転送先アドレスはライトバックスキップを実行
- モジュールストップモードの設定可能
- ショートアドレスモードの設定が可能
- バス権解放タイミングを5種類から選択可能
- DTC起動時の優先順位を2種類から選択可能

図 8.1 に DTC のブロック図を示します。DTC の転送情報は、データ領域に配置可能です*。

【注】 * 転送情報を内蔵 RAM に配置した場合、必ず RAMCR の RAME ビットを 1 にセットしてください。

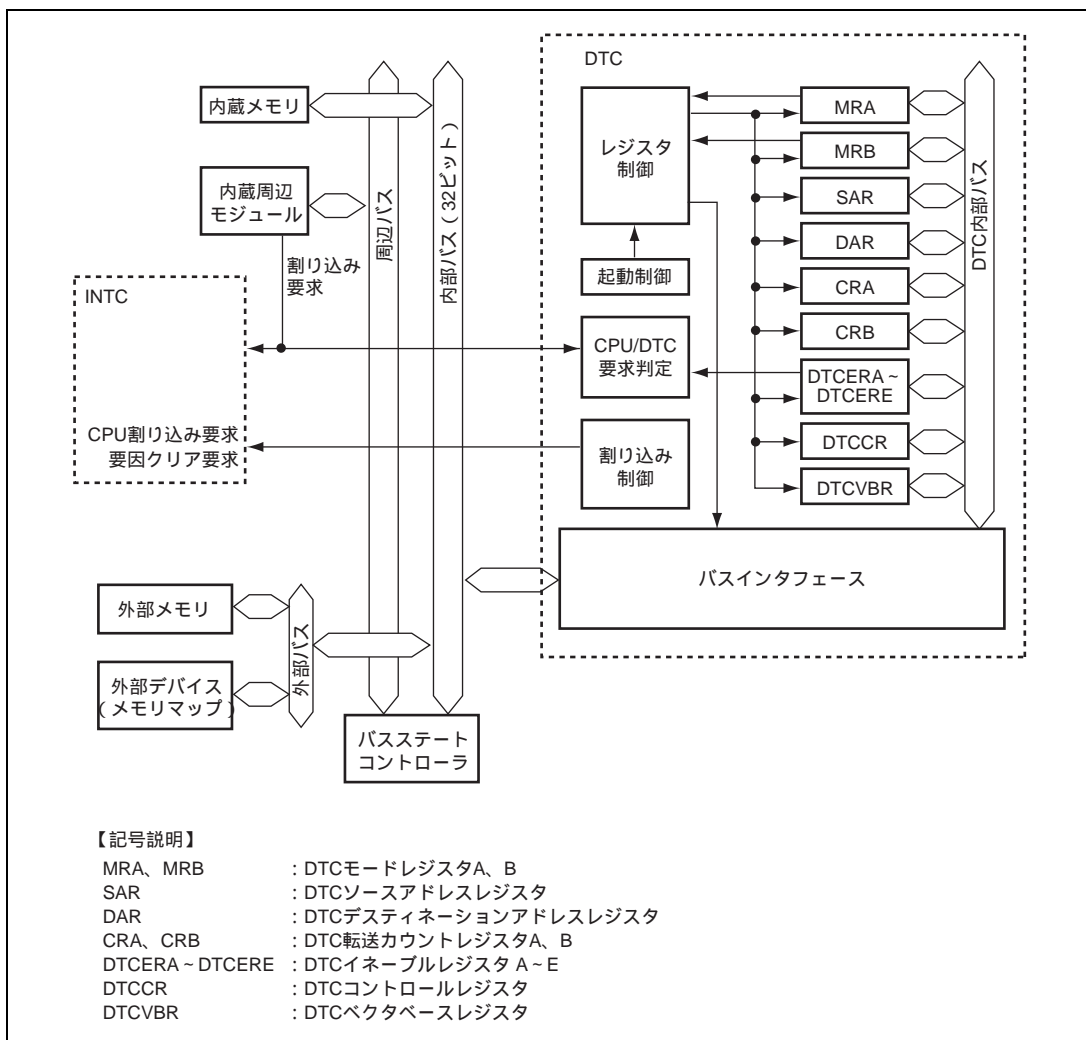


図 8.1 DTC のブロック図

8.2 レジスタの説明

DTC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

MRA、MRB、SAR、DAR、CRA、CRB の 6 本のレジスタは、CPU から直接アクセスすることはできません。データ領域に転送情報として配置します。DTC 起動要因が発生すると、起動要因ごとに決められたベクタアドレスに従って転送情報の先頭アドレスを読み出し、任意の転送情報を DTC 内に転送してデータ転送を行います。データ転送が終了すると、これらのレジスタの内容がライトバックされます。

一方、DTCERA ~ DTCERE、DTCCR、DTCVBR は CPU から直接アクセスできます。

表 8.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
DTC イネーブルレジスタ A	DTCERA	R/W	H'0000	H'FFFFCC80	8、16
DTC イネーブルレジスタ B	DTCERB	R/W	H'0000	H'FFFFCC82	8、16
DTC イネーブルレジスタ C	DTCERC	R/W	H'0000	H'FFFFCC84	8、16
DTC イネーブルレジスタ D	DTCERD	R/W	H'0000	H'FFFFCC86	8、16
DTC イネーブルレジスタ E	DTCERE	R/W	H'0000	H'FFFFCC88	8、16
DTC コントロールレジスタ	DTCCR	R/W	H'00	H'FFFFCC90	8
DTC ベクタベースレジスタ	DTCVBR	R/W	H'00000000	H'FFFFCC94	8、16、32
バス機能拡張レジスタ	BSCEHR	R/W	H'0000	H'FFFFE89A	8、16

8.2.1 DTC モードレジスタ A (MRA)

MRA は、DTC の動作モードの選択を行います。MRA は、CPU から直接アクセスすることができません。

ビット:	7	6	5	4	3	2	1	0
	MD[1:0]	Sz[1:0]	SM[1:0]	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
7、6	MD[1:0]	不定	-	DTC モード 1、0 DTC の転送モードを指定します。 00: ノーマル転送モード 01: リピート転送モード 10: ブロック転送モード 11: 設定禁止
5、4	Sz[1:0]	不定	-	DTC データトランスファサイズ 1、0 転送データのサイズを指定します。 00: バイトサイズ転送 01: ワードサイズ転送 10: ロングワードサイズ転送 11: 設定禁止
3、2	SM[1:0]	不定	-	ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0x: SAR は固定 (SAR のライトバックはスキップされます。) 10: 転送後 SAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11: 転送後 SAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
1、0	-	不定	-	リザーブビット 書き込む値は常に 0 にしてください。

【注】 x: Don't care

8.2.2 DTC モードレジスタ B (MRB)

MRB は、DTC の動作モードの選択を行います。MRB は、CPU から直接アクセスできません。

ビット:	7	6	5	4	3	2	1	0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定	-	DTC チェイン転送イネーブル チェイン転送を指定します。チェイン転送の詳細は「8.5.6 チェイン転送」を参照してください。チェイン転送の条件の選択は CHNS ビットで行います。 0: チェイン転送禁止 1: チェイン転送許可
6	CHNS	不定	-	DTC チェイン転送セレクト チェイン転送の条件を選択します。次の転送がチェイン転送の場合、指定した転送回数の終了判定、起動要因フラグまたは DTCER のクリアは行いません。 0: 連続してチェイン転送を行う 1: 転送カウンタ=0 のときのみチェイン転送を行う
5	DISEL	不定	-	DTC インタラプトセレクト このビットが 1 のとき、1 回のデータ転送もしくは 1 回のブロックデータ転送のたびに CPU に対して割り込み要求を発生します。このビットが 0 のときは指定された回数のデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
4	DTS	不定	-	DTC 転送モードセレクト リピート転送モードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。 0: デスティネーション側がリピート領域またはブロック領域 1: ソース側がリピート領域またはブロック領域
3, 2	DM[1:0]	不定	-	デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0x: DAR は固定 (DAR のライトバックはスキップされます。) 10: 転送後 DAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11: 転送後 DAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
1, 0	-	不定	-	リザーブビット 書き込む値は常に 0 にしてください。

【注】 x: Don't care

8.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 32 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。

SAR は、CPU から直接アクセスすることはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

8.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 32 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。

DAR は、CPU から直接アクセスすることはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

8.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマル転送モードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) されます。カウンタ値が H'0000 になると、起動要因に対応する DTCE_n ビット (n=15~0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

リピート転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は 1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると CRAH の内容が転送されます。転送回数は、設定値が CRAH=CRAL=H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときは 256 回になります。

ブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256 バイト、1~256 ワード、または 1~256 ロングワード) として機能します。CRAL は 1 回のデータ転送を行うたびに 1 バイト (または 1 ワード、1 ロングワード) ごとにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。ブロックサイズは設定値が CRAH=CRAL=H'01 のときは 1 バイト (または 1 ワード、1 ロングワード)、H'FF のときは 255 バイト (または 255 ワード、255 ロングワード) で、H'00 のときは 256 バイト (または 256 ワード、256 ロングワード) になります。

CRA は、CPU から直接アクセスすることはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

8.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送回数カウンタ (1~65536) として機能し、1 回のブロックデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると、起動要因に対応する DTCE_n ビット (n=15~0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

ノーマル転送モードおよびリピート転送モードでは、CRB は使用しません。CRB は、CPU から直接アクセスすることはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

8.2.7 DTC イネーブルレジスタ A ~ E (DTCERA ~ DTCERE)

DTCEER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA ~ DTCERE があります。各割り込み要因と DTCE ビットの対応については表 8.2 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DTCE15	0	R/W	DTC 起動イネーブル 15-0
14	DTCE14	0	R/W	1 をセットすると、対応する割り込み要因が DTC 起動要因として選択されます。
13	DTCE13	0	R/W	[クリア条件]
12	DTCE12	0	R/W	• クリアするビットの 1 の状態をリードした後、0 をライトしたとき
11	DTCE11	0	R/W	• MRB の DISEL ビットが 1 で、1 回のデータ転送を終了したとき
10	DTCE10	0	R/W	• 指定した回数の転送が終了したとき
9	DTCE9	0	R/W	DISEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされ
8	DTCE8	0	R/W	ません。
7	DTCE7	0	R/W	[セット条件]
6	DTCE6	0	R/W	• セットするビットの 0 を読み出してから 1 を書き込み
5	DTCE5	0	R/W	
4	DTCE4	0	R/W	
3	DTCE3	0	R/W	
2	DTCE2	0	R/W	
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	

8.2.8 DTC コントロールレジスタ (DTCCR)

DTCCR は、転送情報リードスキップを設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	RRS	RCHNE	-	-	ERR
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	RRS	0	R/W	DTC 転送情報リードスキップイネーブル ベクタアドレスのリードと転送情報のリードを制御します。DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。ベクタ番号の値が一致し、このビットが1のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を実施します。前回の起動がチェーン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。 ただし、バス機能拡張レジスタ (BSCEHR) の DTPR ビットを1に設定した場合は、本ビットの設定にかかわらず、転送情報リードスキップを行いません。 0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき転送情報リードスキップを行う
3	RCHNE	0	R/W	DTC リピート転送後チェーン転送イネーブル リピート転送において、転送カウンタ=0でのチェーン転送を許可/禁止します。リピート転送では、転送カウンタ (CRAL) =0 となった場合、CRAL は CRAH で指定した値に書き戻されるため、転送カウンタ=0でのチェーン転送は発生しません。このビットを1にセットすることで、転送カウンタの書き戻し時のチェーン転送が許可されます。 0: リピート転送後のチェーン転送を禁止 1: リピート転送後のチェーン転送を許可
2, 1	-	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
0	ERR	0	R/(W)*	転送停止フラグ DTC アドレスエラーまたは NMI 割り込み要求が発生したことを示すフラグです。DTC 起動中に DTC アドレスエラーまたは NMI 割り込み要求が発生すると、DTC のバス権解放時にバス権を解放後、DTC アドレスエラーまたは NMI 割り込み処理が実行されます。DTC は、データ転送後、転送情報ライト状態で停止します。 0: 割り込み要求なし 1: 割り込み要求発生 [クリア条件] • 1の状態をリードした後、0をライトしたとき

8.2.9 DTC ベクタベースレジスタ (DTCVBR)

DTCVBR は 32 ビットのレジスタで、ベクタテーブルアドレス算出時のベースアドレスを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~12		すべて0	R/W	ビット 11~0 は読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	-	すべて0	R	

8.2.10 バス機能拡張レジスタ (BSCEHR)

BSCEHR は 16 ビットのレジスタで、DTC のバス権解放のタイミングなどを設定します。DTC による転送動作を優先的に行ったり、DTC 起動サイクル数を減少させるときに有効な機能を設定できます。詳細については「9.4.4 バス機能拡張レジスタ (BSCEHR)」を参照してください。

8.3 起動要因

DTC は、割り込み要求により起動します。起動する割り込み要因は、DTCER で選択します。対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると CPU の割り込み要因となります。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。

8.4 転送情報の配置と DTC ベクタテーブル

転送情報は、データ領域上に配置します。転送情報の先頭アドレスは、 $4n$ 番地としてください。 $4n$ 番地以外を指定した場合、下位 2 ビットを無視してアクセスします ($[1:0] = B'00$)。データ領域上での転送情報の配置を図 8.2 に示します。すべての DTC 転送の転送元 / 転送先が内蔵 RAM と内蔵周辺モジュールである場合に限り、「9.4.4 バス機能拡張レジスタ (BSCEHR)」の DTSA ビットを 1 にセットすることでショートアドレスモードを選択することができます。

通常、転送情報リードに 4 ロングワード必要ですが、ショートアドレスモードを選択することで転送情報リードを 3 ロングワードに省略でき、DTC 起動時間を短縮することができます。

DTC は、起動要因別にベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報をリードします。DTC ベクタテーブルと転送情報の対応を図 8.3 に示します。

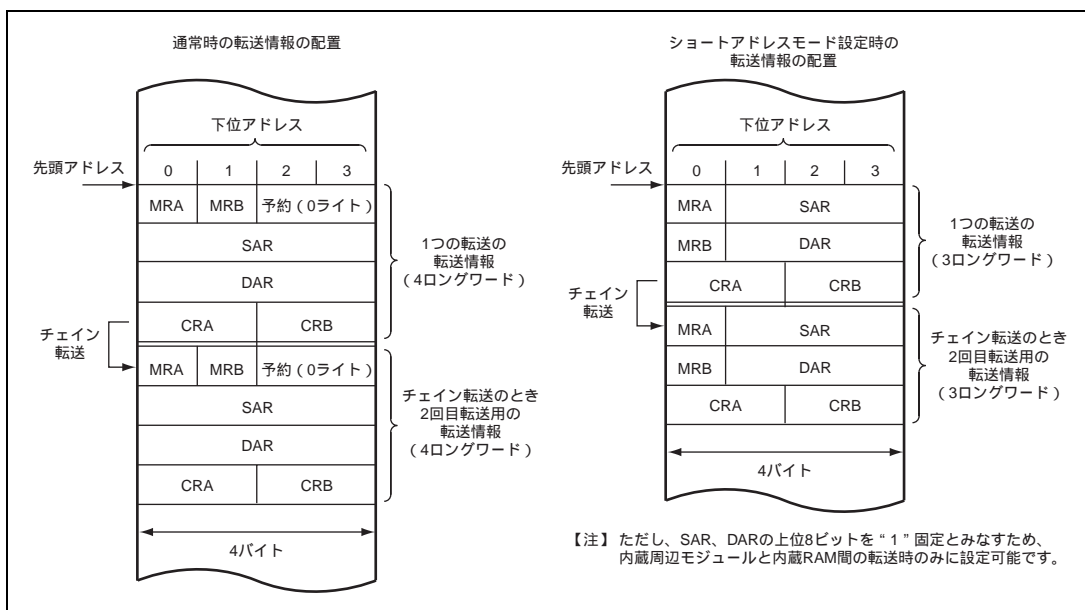


図 8.2 データ領域上での転送情報の配置

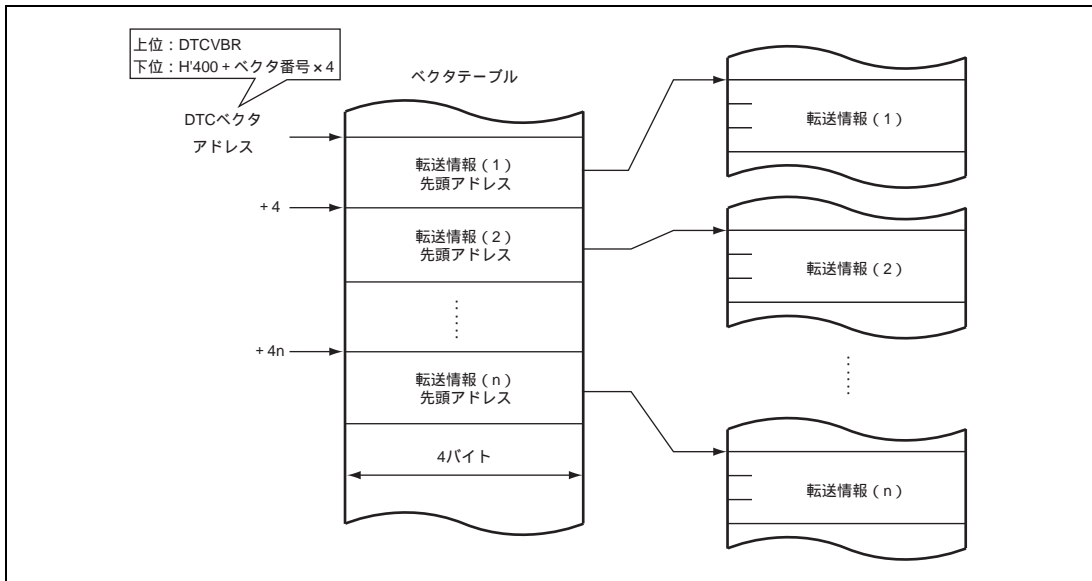


図 8.3 DTC ベクタテーブルと転送情報の対応

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス オフセット	DTCE ^{*1}	転送元	転送先	優先 順位
MTU2S_5	TGIU_5S	176	H'6C0	DTCERD10	任意 ^{*2}	任意 ^{*2}	高 ↑ ↓ 低
	TGIV_5S	177	H'6C4	DTCERD9	任意 ^{*2}	任意 ^{*2}	
	TGIW_5S	178	H'6C8	DTCERD8	任意 ^{*2}	任意 ^{*2}	
CMT_0	CMI_0	184	H'6E0	DTCERD7	任意 ^{*2}	任意 ^{*2}	
CMT_1	CMI_1	188	H'6F0	DTCERD6	任意 ^{*2}	任意 ^{*2}	
A/D_0、A/D_1	ADI_0	200	H'720	DTCERD5	ADDR0 ~ ADDR3	任意 ^{*2}	
	ADI_1	201	H'724	DTCERD4	ADDR4 ~ ADDR7	任意 ^{*2}	
A/D_2	ADI_2	204	H'730	DTCERD3	ADDR8 ~ ADDR15	任意 ^{*2}	
SCL_0	RXL_0	217	H'764	DTCERE15	SCRDR_0	任意 ^{*2}	
	TXI_0	218	H'768	DTCERE14	任意 ^{*2}	SCTDR_0	
SCL_1	RXL_1	221	H'774	DTCERE13	SCRDR_1	任意 ^{*2}	
	TXI_1	222	H'778	DTCERE12	任意 ^{*2}	SCTDR_1	
SCL_2	RXL_2	225	H'784	DTCERE11	SCRDR_2	任意 ^{*2}	
	TXI_2	226	H'788	DTCERE10	任意 ^{*2}	SCTDR_2	

- 【注】 *1 対応する割り込み要因のない DTCE ビットは、リザーブビットとなります。0 をライトしてください。
ソフトウェアスタンバイ状態を割り込みにより解除する場合は、対応する DTCE ビットに 0 をライトしてください。
- *2 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DTC、BSC、UBC、FLASH を除く)。
ただし、転送元もしくは転送先の少なくともどちらか片方は必ず内蔵周辺モジュールに設定してください。
外部メモリ、メモリマップト外部デバイス、内蔵メモリ間の転送はできません。

8.5 動作説明

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。転送情報をデータ領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。DTC が起動すると、データ領域から転送情報をリードしてデータ転送を行い、データ転送後の転送情報をライトバックします。

DTC は、転送元アドレスを SAR、転送先アドレスを DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメント、あるいは固定されます。

DTC の転送モードを表 8.3 に示します。

表 8.3 DTC の転送モード

転送モード	1 回の転送要求で 転送可能なデータサイズ	メモリアドレスの増減	転送回数
ノーマル転送モード	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1 ~ 65536 回
リピート転送モード* ¹	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1 ~ 256 回* ³
ブロック転送モード* ²	CRAH で指定したブロックサイズ (1 ~ 256 バイト/ワード/ロングワード)	1、2 または 4 増減・固定	1 ~ 65536 回* ⁴

【注】 *1 ソースまたはデスティネーションのいずれかをリピートエリアに設定

*2 ソースまたはデスティネーションのいずれかをブロックエリアに設定

*3 指定回数転送後、初期状態を回復して動作を継続

*4 1 回は 1 ブロックサイズを示します

また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェイン転送)。MRB の CHNS ビットの設定で、転送カウンタ = 0 のときにチェイン転送を行う設定も可能です。

DTC の動作フローチャートを図 8.4 に示します。DTC 転送の条件 (チェイン転送を含む) を表 8.4 に示します (第 2 の転送から第 3 の転送を行う組み合わせは省略してあります)。

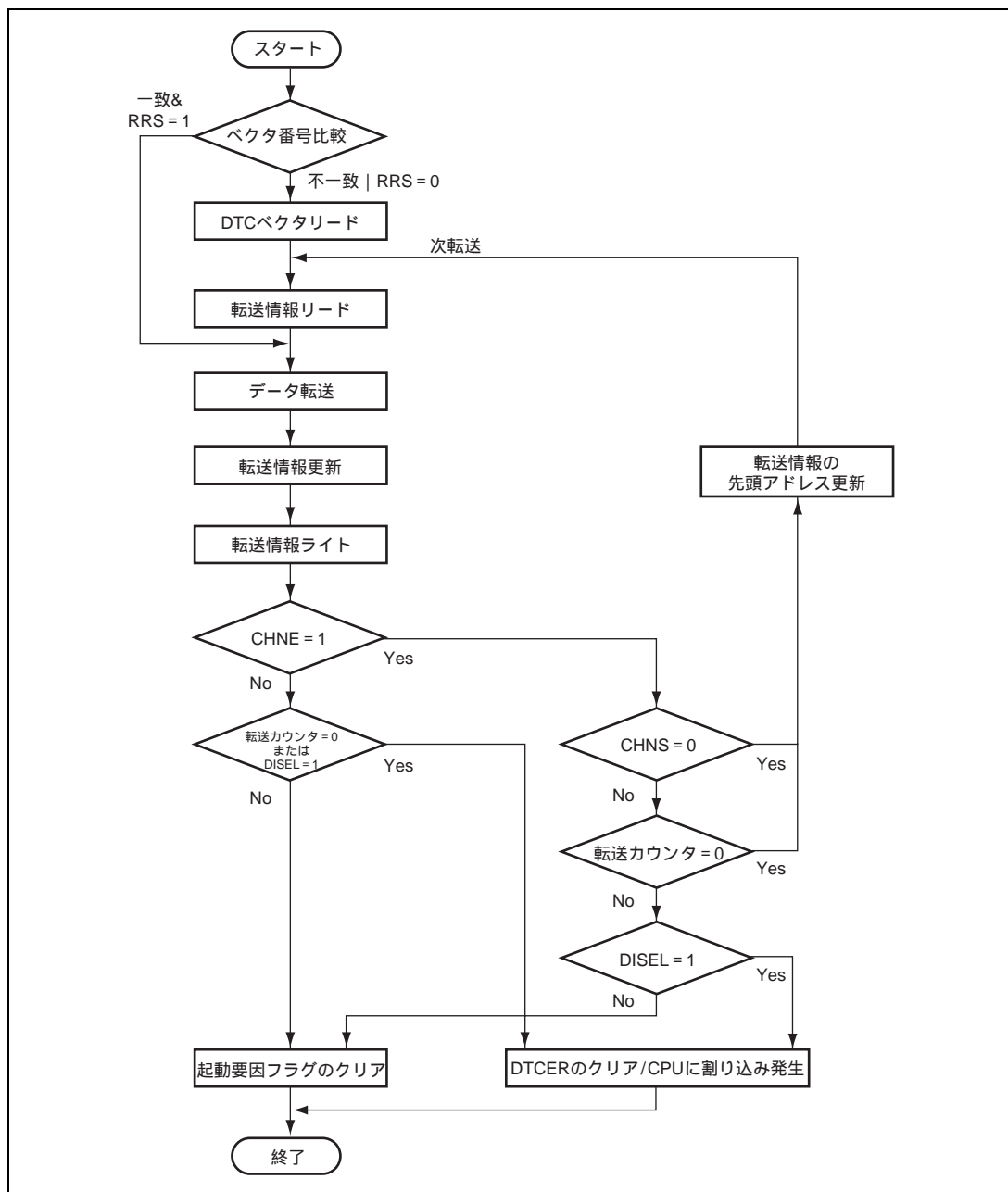


図 8.4 DTC 動作フローチャート

表 8.4 DTC 転送の条件 (チェーン転送を含む)

転送 モード	第 1 回転送					第 2 回転送					DTC 転送
	CHNE	CHNS	RCHNE	DISEL	転送 カウンタ*1	CHNE	CHNS	RCHNE	DISEL	転送 カウンタ*1	
ノーマル	0	-	-	0	0 以外	-	-	-	-	-	第 1 回転送で終了
	0	-	-	0	0	-	-	-	-	-	第 1 回転送で終了
	0	-	-	1	-	-	-	-	-	-	CPU へ割り込み要求
	1	0	-	-	-	0	-	-	0	0 以外	第 2 回転送で終了
						0	-	-	0	0	第 2 回転送で終了
						0	-	-	1	-	CPU へ割り込み要求
	1	1	-	0	0 以外	-	-	-	-	-	第 1 回転送で終了
	1	1	-	1	0 以外	-	-	-	-	-	第 1 回転送で終了 CPU へ割り込み要求
	1	1	-	-	0	0	-	-	0	0 以外	第 2 回転送で終了
						0	-	-	0	0	第 2 回転送で終了
0						-	-	1	-	CPU へ割り込み要求	
リピート	0	-	-	0	-	-	-	-	-	-	第 1 回転送で終了
	0	-	-	1	-	-	-	-	-	-	第 1 回転送で終了 CPU へ割り込み要求
	1	0	-	-	-	0	-	-	0	-	第 2 回転送で終了
						0	-	-	1	-	第 2 回転送で終了 CPU へ割り込み要求
	1	1	-	0	0 以外	-	-	-	-	-	第 1 回転送で終了
	1	1	-	1	0 以外	-	-	-	-	-	第 1 回転送で終了 CPU へ割り込み要求
	1	1	0	0	0 ^{*2}	-	-	-	-	-	第 1 回転送で終了
	1	1	0	1	0 ^{*2}	-	-	-	-	-	第 1 回転送で終了 CPU へ割り込み要求
	1	1	1	-	0 ^{*2}	0	-	-	0	-	第 2 回転送で終了
						0	-	-	1	-	第 2 回転送で終了 CPU へ割り込み要求

転送 モード	第 1 回転送					第 2 回転送					DTC 転送
	CHNE	CHNS	RCHNE	DISEL	転送 カウンタ*1	CHNE	CHNS	RCHNE	DISEL	転送 カウンタ*1	
ブロック	0	-	-	0	0 以外	-	-	-	-	-	第 1 回転送で終了
	0	-	-	0	0	-	-	-	-	-	第 1 回転送で終了
	0	-	-	1	-	-	-	-	-	-	CPU へ割り込み要求
	1	0	-	-	-	0	-	-	0	0 以外	第 2 回転送で終了
						0	-	-	0	0	第 2 回転送で終了
						0	-	-	1	-	CPU へ割り込み要求
	1	1	-	0	-	-	-	-	-	-	第 1 回転送で終了
	1	1	-	1	0 以外	-	-	-	-	-	第 1 回転送で終了
	1	1	-	1	0	0	-	-	0	0 以外	第 2 回転送で終了
						0	-	-	0	0	第 2 回転送で終了
0						-	-	1	-	CPU へ割り込み要求	

【注】 *1 ノーマル転送モード：CRA、リピート転送モード：CRAL、ブロック転送モード：CRB

*2 CRAL の内容が CRAH の内容に書き換わるときを示します。

8.5.1 転送情報リードスキップ機能

DTCの RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。DTC ベクタ番号は、常に前回起動のベクタ番号と比較します。比較結果が一致し、RRS=1 のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェーン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。転送情報リードスキップのタイミングチャートを図 8.5 に示します。

ベクタテーブルと転送情報を更新する場合には、一度 RRS=0 に設定し、ベクタテーブルと転送情報を更新した後、RRS ビットを設定してください。RRS=0 にすると、保持されていたベクタ番号は破棄され、次の起動時に更新されたベクタテーブルおよび転送情報がリードされます。

ただし、バス機能拡張レジスタ (BSCEHR) の DTPR ビットが 1 の場合は、本機能は常に無効となります。

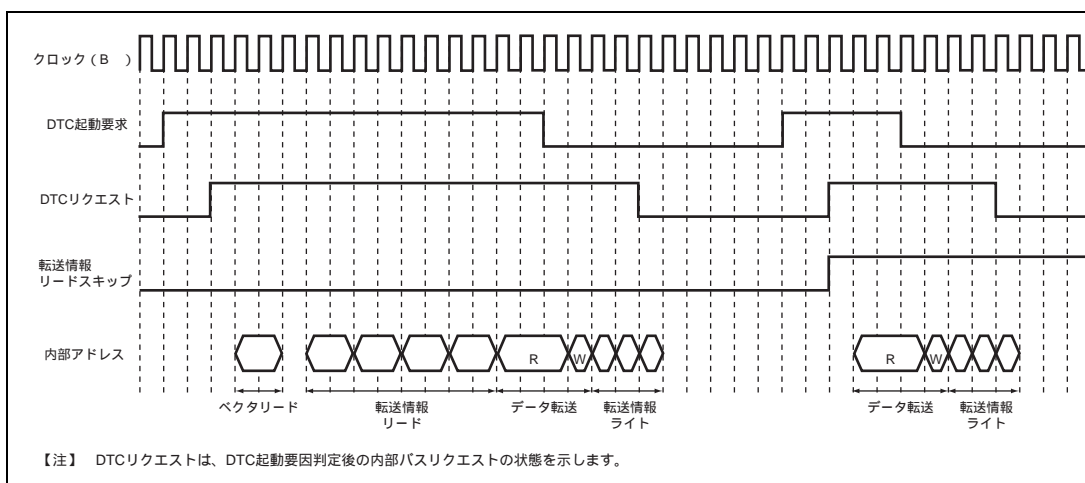


図 8.5 転送情報リードスキップのタイミングチャート

(内蔵周辺モジュールからの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

8.5.2 転送情報ライトバックスキップ機能

MRA の SM1 ビットと MRB の DM1 ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。転送情報ライトバックスキップの条件とライトバックスキップされるレジスタを表 8.5 に示します。CRA、CRB は、必ずライトバックされます。また、MRA、MRB は必ずライトバックスキップされます。

表 8.5 転送情報ライトバックスキップの条件とライトバックスキップされるレジスタ

SM1	DM1	SAR	DAR
0	0	スキップ	スキップ
0	1	スキップ	ライトバック
1	0	ライトバック	スキップ
1	1	ライトバック	ライトバック

8.5.3 ノーマル転送モード

1つの起動要因で、1バイト、1ワードまたは1ロングワードのデータ転送を行います。転送回数は1~65536です。転送元アドレスと転送先アドレスは、増加、減少または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。

ノーマル転送モードのレジスタ機能を表8.6に、ノーマル転送モードのメモリマップを図8.6に示します。

表 8.6 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	増加 / 減少 / 固定*
DAR	転送先アドレス	増加 / 減少 / 固定*
CRA	転送カウント A	CRA-1
CRB	転送カウント B	更新されません

【注】 * 転送情報のライトバックはスキップされます。

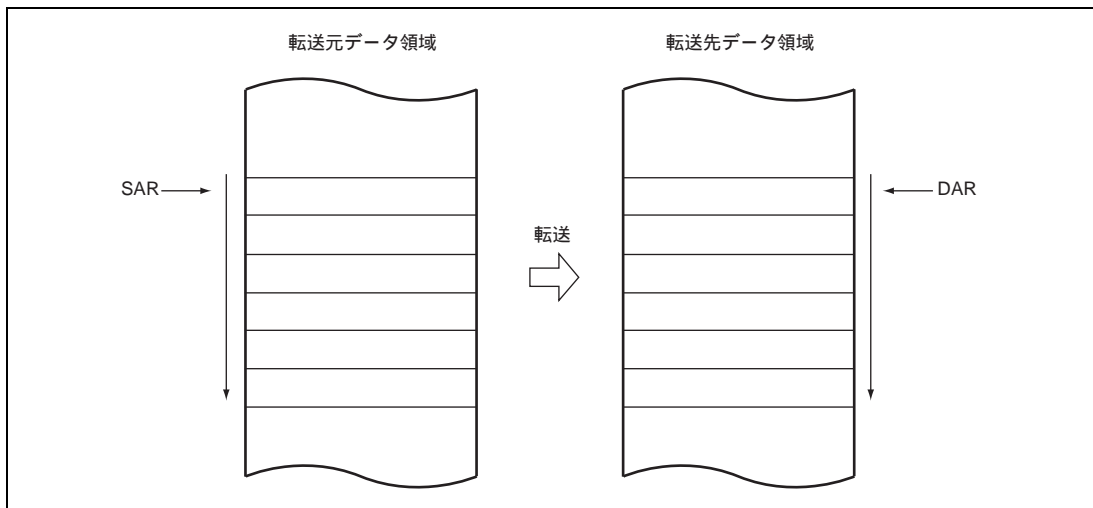


図 8.6 ノーマル転送モードのメモリマップ

8.5.4 リピート転送モード

1つの起動要因で、1バイト、1ワードまたは1ロングワードのデータ転送を行います。MRBのDTSビットにより、転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。リピート転送モードでは、転送カウンタ (CRAL) が H'00 になると CRAL は CRAH で設定した値に更新されます。このため、転送カウンタは H'00 にならないので、DISEL = 0 のときに、CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 8.7 に、リピート転送モードのメモリマップを図 8.7 に示します。

表 8.7 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	増加 / 減少 / 固定*	(DTS = 0) 増加 / 減少 / 固定* (DTS = 1) SAR の初期値
DAR	転送先アドレス	増加 / 減少 / 固定*	(DTS = 0) DAR の初期値 (DTS = 1) 増加 / 減少 / 固定*
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL-1	CRAH
CRB	転送カウンタ B	更新されません	更新されません

【注】 * 転送情報のライトバックはスキップされます。

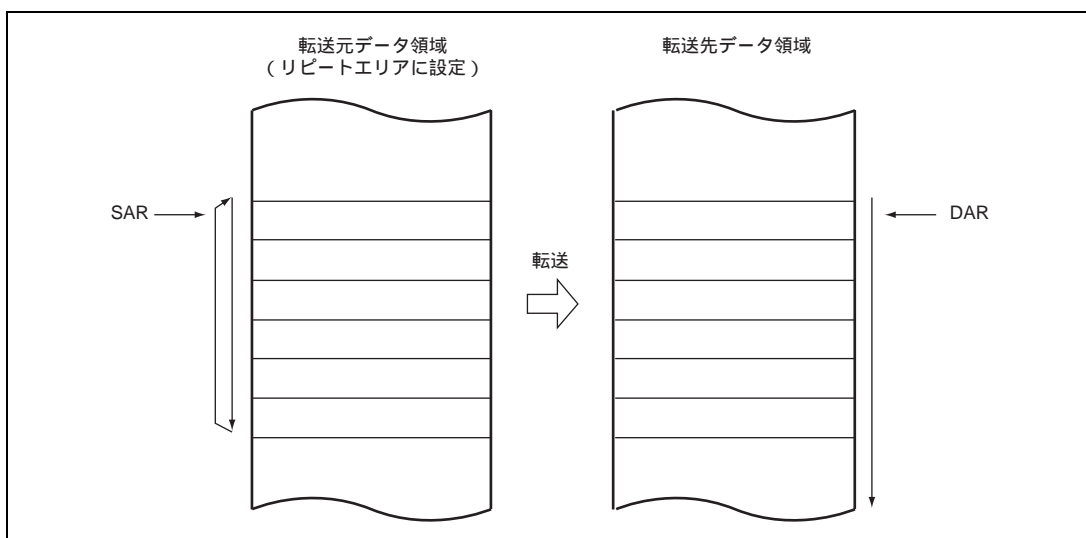


図 8.7 リピート転送モードのメモリマップ (転送元をリピートエリアに指定した場合)

8.5.5 ブロック転送モード

1つの起動要因で、1ブロックのブロックデータ転送を行います。MRBのDTSビットにより、転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは1~256バイト(または1~256ワード、1~256ロングワード)です。1ブロックのブロックデータ転送が終了すると、ブロックサイズカウンタ(CRAL)とブロックエリアに指定したアドレスレジスタ(DTS=1のときSAR、DTS=0のときDAR)の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。転送回数は1~65536です。指定回数ブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

ブロック転送モードのレジスタ機能を表8.8に、ブロック転送モードのメモリマップを図8.8に示します。

表 8.8 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	(DTS=0) 増加/減少/固定* (DTS=1) SARの初期値
DAR	転送先アドレス	(DTS=0) DARの初期値 (DTS=1) 増加/減少/固定*
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB-1

【注】 * 転送情報のライトバックはスキップされます。

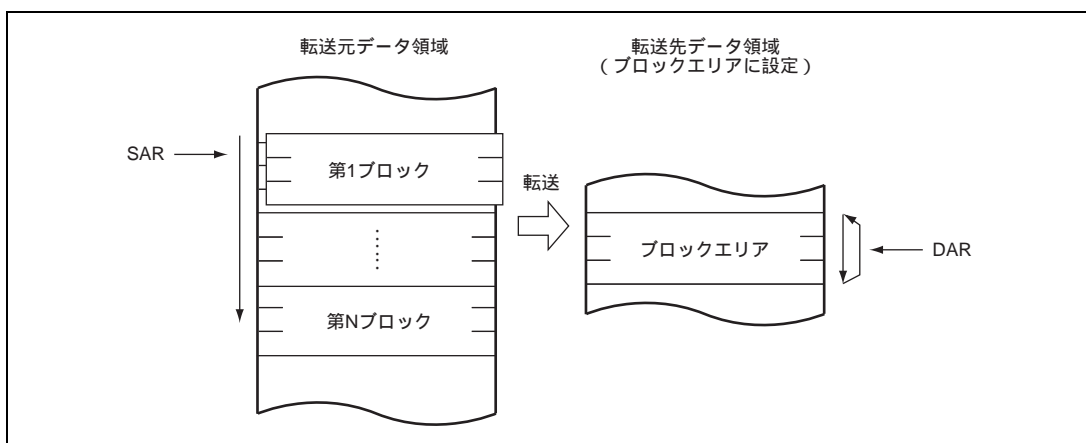


図 8.8 ブロック転送モードのメモリマップ (転送先をブロックエリアに指定した場合)

8.5.6 チェイン転送

MRBのCHNEビットを1にセットすると、1つの起動要因で複数のデータ転送を連続して行うことができます。また、MRBのCHNEビット、CHNSビットをそれぞれ1にセットすると、転送カウンタ=0のときのみチェーン転送を行います。データ転送を定義するSAR、DAR、CRA、CRBおよびMRA、MRBはそれぞれ独立に設定できます。チェーン転送の動作を図8.9に示します。

CHNE=1に設定したデータ転送では、指定した転送回数の終了によるCPUへの割り込み要求や、DISEL=1によるCPUへの割り込み要求は発生しません。また、CHNE=1の転送は、起動要因となった割り込み要因フラグおよびDTCERに影響を与えません。

リピート転送モードでは、DTCCRのRCHNEビット、MRBのCHNE、CHNSビットをそれぞれ1にセットすると、転送カウンタ=1の転送後にチェーン転送を行うことができます。

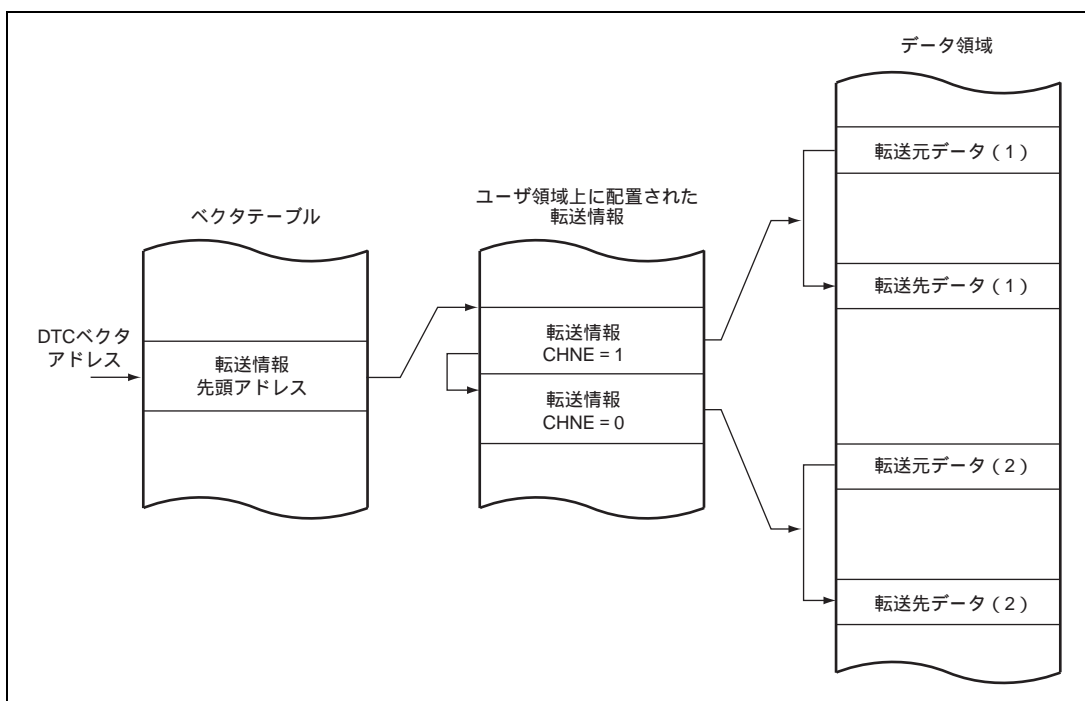


図 8.9 チェイン転送の動作

8.5.7 動作タイミング

DTC の動作タイミングを図 8.10～図 8.15 に示します。

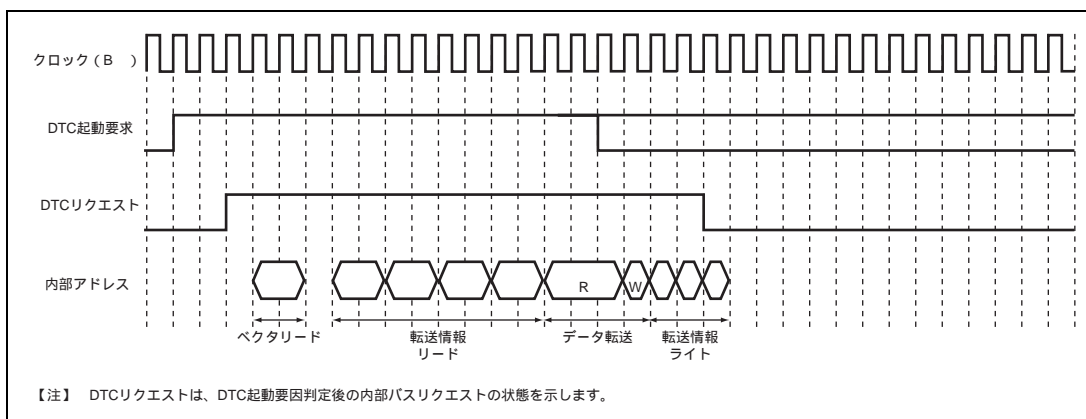


図 8.10 DTC の動作タイミング例【ノーマル転送、リピート転送】

(内蔵周辺モジュールからの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

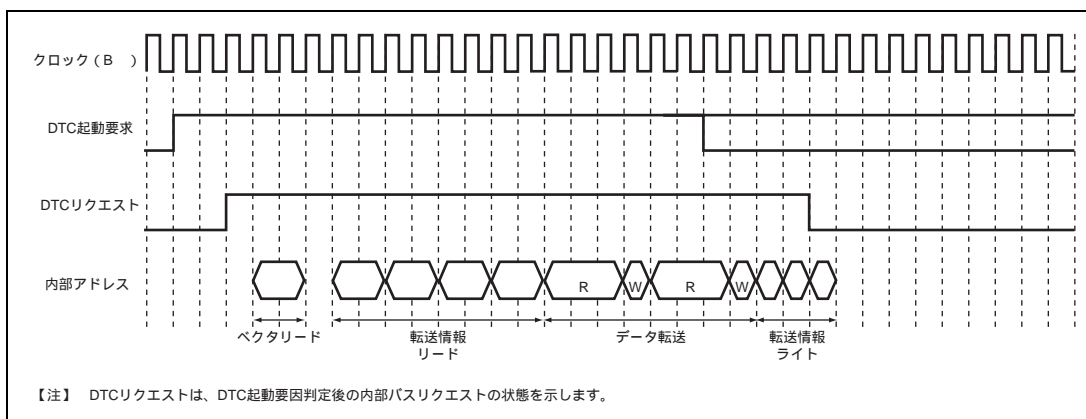


図 8.11 DTC の動作タイミング例【ブロック転送、ブロックサイズ=2】

(内蔵周辺モジュールからの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

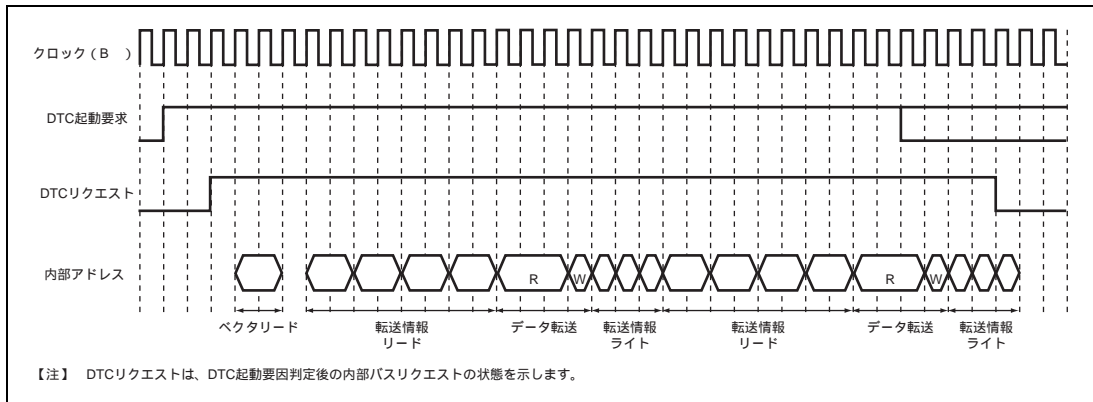


図 8.12 DTC の動作タイミング例【チェーン転送】

(内蔵周辺モジュールからの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

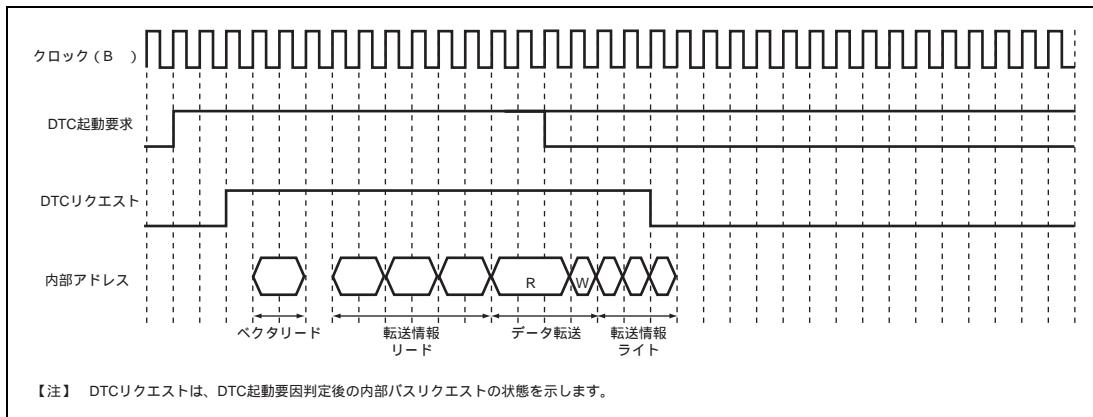


図 8.13 DTC の動作タイミング例【ショートアドレスモード：ノーマル転送、リピート転送】

(内蔵周辺モジュールからの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

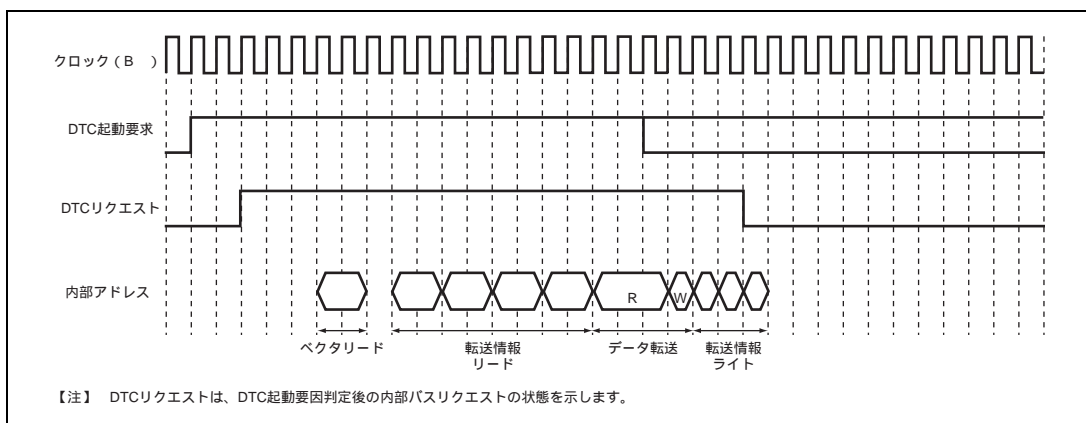


図 8.14 DTC の動作タイミング例【ノーマル転送、リピート転送、DTPR = 1】

(内蔵周辺モジュールからの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

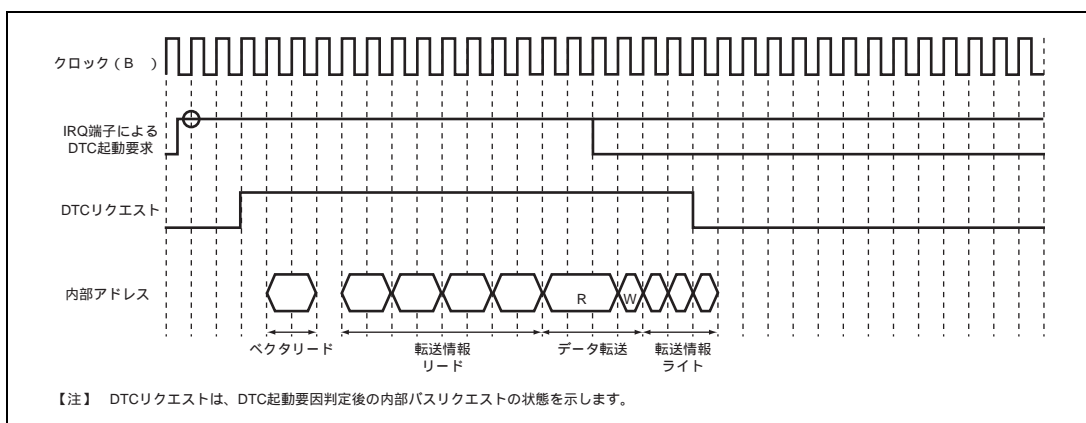


図 8.15 DTC の動作タイミング例【ノーマル転送、リピート転送】

(IRQ からの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

8.5.8 DTC の実行ステート

DTC の 1 回のデータ転送の実行状態を表 8.9 に示します。また、実行状態に必要なステート数を表 8.10 に示します。

表 8.9 DTC の実行状態

モード	ベクタリード I		転送情報リード J			転送情報ライト K			データリード L	データライト M	内部動作 N	
	1	0 ^{*1}	4	3 ^{*4}	0 ^{*1}	3	2 ^{*2}	1 ^{*3}			1	1
ノーマル	1	0 ^{*1}	4	3 ^{*4}	0 ^{*1}	3	2 ^{*2}	1 ^{*3}	1	1	1	0 ^{*1}
リピート	1	0 ^{*1}	4	3 ^{*4}	0 ^{*1}	3	2 ^{*2}	1 ^{*3}	1	1	1	0 ^{*1}
ブロック	1	0 ^{*1}	4	3 ^{*4}	0 ^{*1}	3	2 ^{*2}	1 ^{*3}	1・P	1・P	1	0 ^{*1}

- 【注】 *1 転送情報リードスキップのとき
 *2 SAR もしくは DAR が固定モードのとき
 *3 SAR と DAR が固定モードのとき
 *4 ショートアドレスモードのとき
 P: ブロックサイズ (CRAH、CRAL の初期設定)

表 8.10 実行状態に必要なステート数

アクセス対象		内蔵 RAM* ¹ / ROM* ²	内蔵 I/O レジスタ	外部デバイス* ⁴	
バス幅		32 ビット	16 ビット	8 ビット	16 ビット
アクセスステート		1B ~ 3B * ¹ * ²	2P	2B	2B
実行 状態	ベクタリード S_i	1B ~ 3B * ¹ * ²	-	9B	5B
	転送情報リード S_j	1B ~ 3B * ¹	-	9B	5B
	転送情報ライト S_k	1B ~ 3B * ¹	-	2B * ⁵	2B * ⁵
	バイトデータリード S_L	1B ~ 3B * ¹	1B + 2P * ³	3B	3B
	ワードデータリード S_L	1B ~ 3B * ¹	1B + 2P * ³	5B	3B
	ロングワードデータリード S_L	1B ~ 3B * ¹	1B + 4P * ³	9B	5B
	バイトデータライト S_M	1B ~ 3B * ¹	1B + 2P * ³	2B * ⁵	2B * ⁵
	ワードデータライト S_M	1B ~ 3B * ¹	1B + 2P * ³	2B * ⁵	2B * ⁵
	ロングワードデータライト S_M	1B ~ 3B * ¹	1B + 4P * ³	2B * ⁵	2B * ⁵
内部動作 S_N			1		

【注】 *1 内蔵 RAM が対象です。I : B 比によりサイクル数が異なります。

	リード	ライト
I : B = 1:1 のとき	3B	3B
I : B = 1:1/2 のとき	2B	1B
I : B = 1:1/3 のとき	2B	1B
I : B = 1:1/4 以下のとき	1B	1B

*2 内蔵 ROM が対象です。I : B 比によりサイクル数が異なります。サイクル数は内蔵 RAM と同等です。ベクタリードのみ可能です。

*3 表中は最速のケースです。内部バス状態によって、遅い場合は 1B が 1P となります。

*4 BSC レジスタ設定により異なります。表中は、ウェイト = 0 で、CSnWCR の WM ビット = 1 の例です。

*5 バスの状態により異なります。

ブロック転送時のようにライトが頻発するケースで外部ウェイトが大きいときや、外部バスが使用されている場合は、ライトバッファを有効に使用できないためサイクル数は増加します。

ライトバッファの詳細については、「9.5.7 (2) LSI 内部バスマスタからみたアクセス」を参照してください。

実行ステート数は、次の計算式で計算されます。

なお、 N は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \cdot S_i + (J \cdot S_j + K \cdot S_k + L \cdot S_L + M \cdot S_M) + N \cdot S_N$$

8.5.9 DTC のバス権解放タイミング

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。DTC がバス権を解放するのは、ベクタリードの後、ベクタリード後の NOP 発行時、転送情報のリード後、1 回のデータ転送後、転送情報ライトバック後です。転送情報リード中、1 回のデータ転送中、転送情報ライトバック中にはバス権を解放しません。

バス機能拡張レジスタ (BSCEHR) でバス権解放タイミングの設定が可能です。詳細については、「9.4.4 バス機能拡張レジスタ (BSCEHR)」を参照してください。設定によるバス権解放タイミングの違いを表 8.11 に示します。ただし、設定 1 ~ 設定 5 以外の設定および DTC 起動中の設定変更は行わないでください。

タイミングチャートを図 8.16 に示します。

表 8.11 DTC のバス権解放タイミング

設定	バス機能拡張レジスタ (BSCEHR) 設定					バス権解放タイミング (: バス権を解放する、x : バス権を解放しない)					
	DTLOCK	CSSTP1	CSSTP2	CSSTP3	DTBST	ベクタ リード後	NOP 発行時 ^{*1}	転送情報 リード後	1 回の 転送後	転送情報ライト後	
										通常時	連続転送時
設定 1	1	0	*3	1	0						
設定 2	0	0	0	*3	0	x		x	x		
設定 3	0	1	*3	*3	0	x	x	x	x		
設定 4 ^{*2}	0	1	*3	*3	1	x	x	x	x		x
設定 5	1	1	*3	1	0		x				

【注】 *1 ベクタリード後の CPU からの外部アクセス要求のみに対し、バス権を解放します。

*2 設定 4 では、以下の制限があります。

- ・周波数制御レジスタ (FRQCR) によるクロック設定は、I : B : P : MI : MP = 8 : 4 : 4 : 4 : 4、4 : 2 : 2 : 2 : 2、または 2 : 1 : 1 : 1 : 1 にしてください。

- ・ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください。

- ・転送情報は内蔵 RAM に配置してください。

- ・転送元および転送先は、内蔵 RAM と内蔵周辺モジュール間または外部メモリと内蔵周辺モジュール間としてください。

*3 Don't care

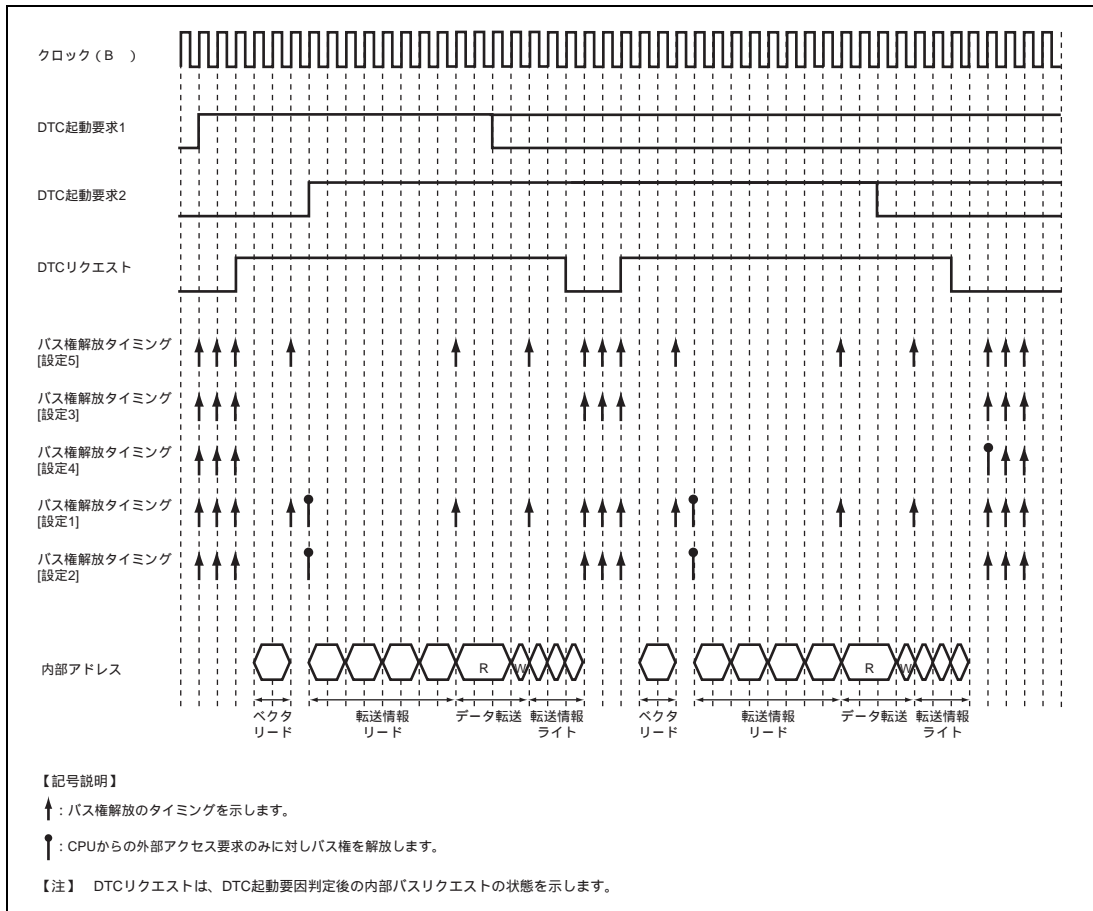


図 8.16 DTC の動作タイミング例【ノーマル転送 2 要因の競合の場合】

(内蔵周辺モジュールからの起動、I : B : P = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

8.5.10 DTC 起動の優先順位設定

バス機能拡張レジスタ (BSCEHR) の DTPR ビットの設定にて、DTC が起動する前に複数の DTC 起動要求が発生した場合、最初に要求のあった起動要求から転送を開始するか、DTC 起動優先順位に従って転送を開始するかを選択できます。ただし、DTC 起動中に複数の DTC 起動要求が発生した場合には、DTC 起動優先順位に従って次の転送が行われます。DTC の起動優先順位の動作例を図 8.17 に示します。

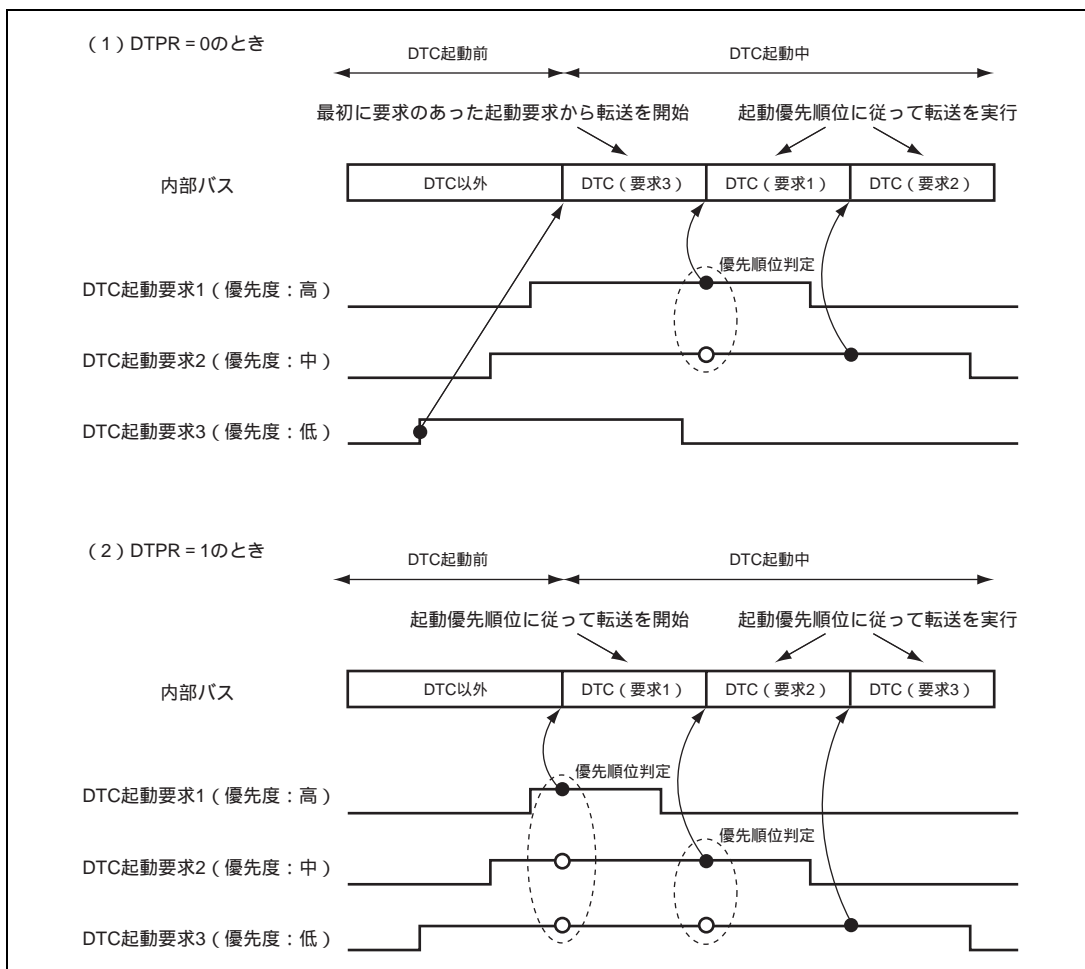


図 8.17 DTC の起動優先順位の動作例

8.6 割り込みによる DTC の起動

DTC の割り込み起動による使用手順を図 8.18 に示します。

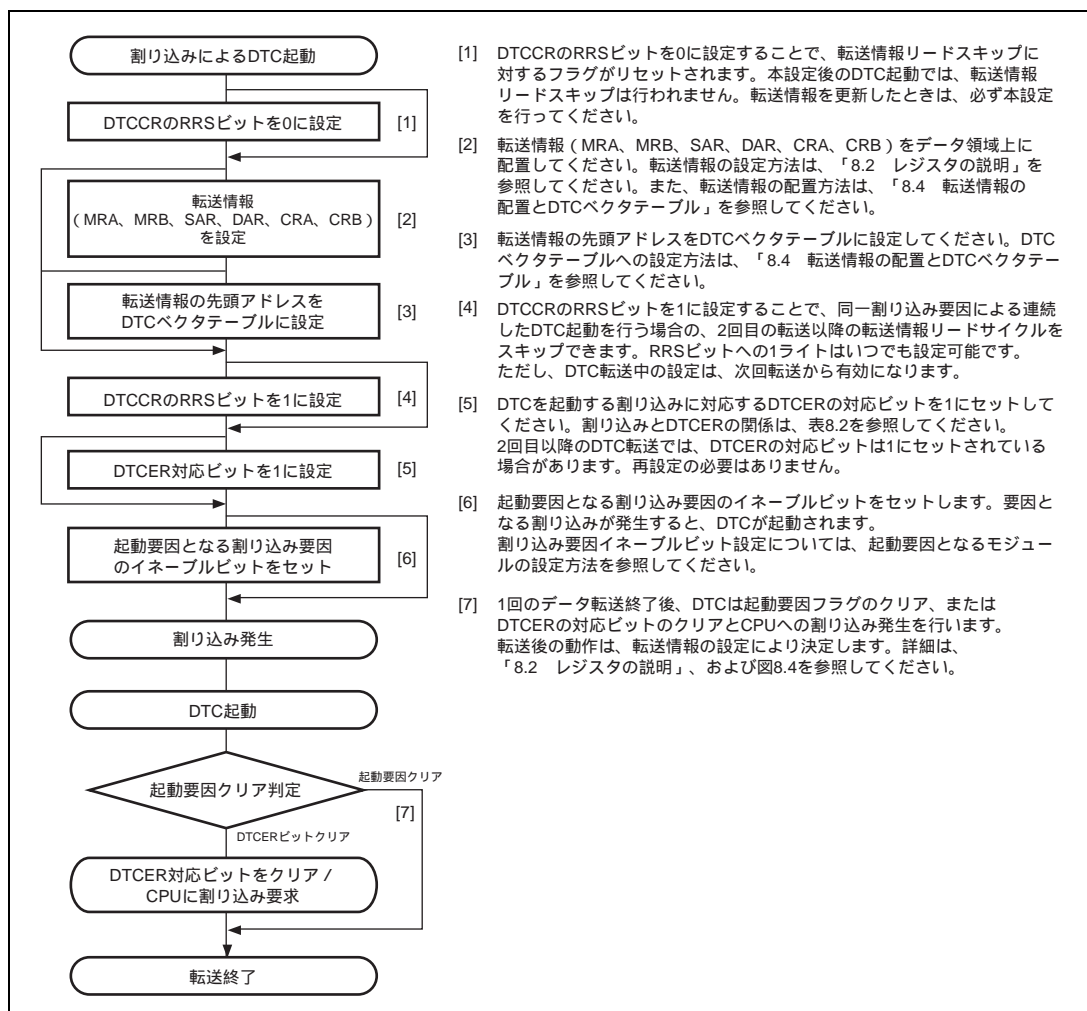


図 8.18 割り込みによる DTC 起動方法

8.7 DTC 使用例

8.7.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 ($SM1 = SM0 = 0$)、デスティネーションアドレスインクリメント ($DMI = 1$, $DM0 = 0$)、ノーマル転送モード ($MD1 = MD0 = 0$)、バイトサイズ ($Sz1 = Sz0 = 0$) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 ($CHNE = 0$, $DISEL = 0$) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. RXI割り込み用の転送情報の先頭アドレスを、DTCベクタテーブルに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

8.7.2 カウンタ = 0 のときのチェイン転送

カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって、転送回数が256回以上のリピート転送を行うことができます。

128K バイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス H'0000 から始まるように設定するものとします。カウンタ = 0 のときのチェイン転送を図 8.19 に示します。

1. 第1のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、 $CRA = H'0000$ (65,536回)、 $CHNE = 1$, $CHNS = 1$, $DISEL = 0$ とってください。
2. 第1のデータ転送の転送先アドレスの65,536回ごとの先頭アドレスの上位8ビットアドレスを別の領域 (ROM など) に用意してください。たとえば、入力バッファをH'200000 ~ H'21FFFFとするときには、H'21、H'20を用意します。
3. 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピート転送モード (ソース側をリピート領域) とします。転送先は第1の転送情報領域のDARの上位8ビットとします。このとき $CHNE = DISEL = 0$ とってください。上記入力バッファをH'200000 ~ H'21FFFFとする場合には、転送カウンタ = 2とってください。
4. 割り込みによって第1のデータ転送を65,536回実行します。第1のデータ転送の転送カウンタが0になると、第

- 2のデータ転送が起動されます。第1のデータ転送の転送先アドレス上位8ビットをH'21に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは、H'0000になっています。
- 引き続き割り込みによって第1のデータ転送を、第1のデータ転送で指定した65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送先アドレス上位8ビットをH'20に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタはH'0000になっています。
 - 上記4、5を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPUには割り込みを要求しません。

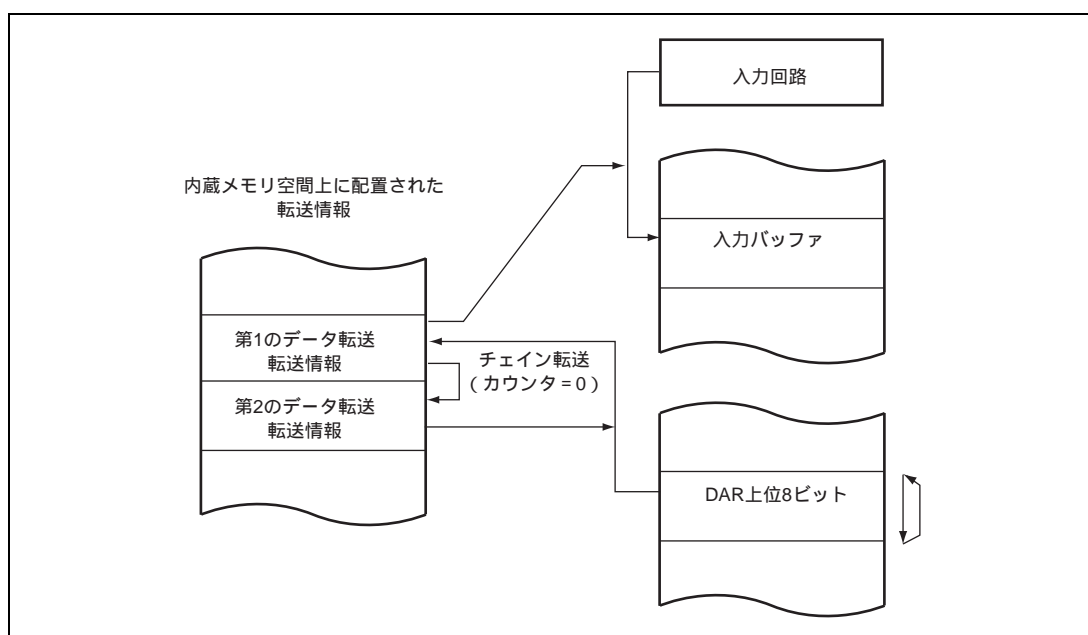


図 8.19 カウンタ=0 時のチェーン転送

8.8 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DIESEL ビットが 1 にセットされた 1 回のデータ転送もしくは 1 回のブロックデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。詳細は「6.8 割り込み要求信号によるデータ転送」を参照してください。

8.9 使用上の注意事項

8.9.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、DTC の動作禁止 / 許可を設定することができます。初期値では DTC の動作禁止状態です。モジュールスタンバイモードに設定することにより DTC の動作は禁止されますが、レジスタのアクセスについては禁止されません。ただし、DTC が起動中はモジュールスタンバイモードに設定しないでください。また、ソフトウェアスタンバイモードおよびモジュールスタンバイモードに遷移する場合は、すべての DTCE レジスタをクリアしてください。詳細は「第 22 章 低消費電力モード」を参照してください。

8.9.2 内蔵 RAM

転送情報は、内蔵 RAM に配置可能です。この場合は、RAMCR の RAME ビットを 0 にクリアしないでください。

8.9.3 DTCE ビットの設定

DTCE ビットの設定は、割り込みを禁止して当該レジスタの 0 リード後に 1 ライトを行うことにより設定できます。なお、DTC 転送中には DTCE ビットの変更は行わないでください。

8.9.4 チェイン転送

チェイン転送が実行された場合には、連結された最後のデータ転送時に起動要因または DTCE のクリアを行います。一方、SCI および A/D 変換器の割り込み / 起動要因は、所定のレジスタがリード / ライトされたときにクリアされます。

8.9.5 転送情報先頭アドレス / ソースアドレス / デスティネーションアドレス

ベクタテーブルへ指定する転送情報先頭アドレスは、必ず 4n 番地を指定してください。
また、転送情報は内蔵 RAM もしくは外部メモリ空間に配置してください。

8.9.6 DTC による DTC レジスタのアクセス

DTC を使用して DTC のレジスタアクセスを行わないでください。

8.9.7 IRQ 割り込みを DTC 転送要因にした場合の注意事項

- 当該 IRQ 割り込みによるソフトウェアスタンバイの解除は行わないでください。
- ソフトウェアスタンバイ中に発生した IRQ のエッジでの DTC 転送は行わないでください。
- IRQ をローレベル検出した場合、DTC の転送終了により CPU に割り込みを発生させる (転送カウンタ = 0、または DISEL = 1) ときには、CPU が割り込みを受け付けるまで IRQ 端子をローレベルに保持してください。

8.9.8 SCI を DTC 起動要因とする場合の注意事項

SCI の TXI 割り込みにより DTC を起動する場合、SCI の TEND フラグを転送終了フラグとして使用しないでください。

8.9.9 割り込み要因フラグのクリア

DTC 転送終了後に発生する割り込みについても、通常の割り込みと同様に、割り込み要因フラグは割り込みハンドラ中でクリアしてください。詳細は「6.9 使用上の注意事項」を参照してください。

8.9.10 NMI 割り込みと DTC 起動の競合

NMI 割り込みと DTC 起動が競合した場合には NMI 割り込みが優先されますので、ERR ビットは 1 にセットされて DTC は起動されません。

なお、NMI による DTC 停止判定には $1 \times Bcyc + 3 \times Pcyc$ 、IRQ による DTC 起動判定には $2 \times Bcyc$ 、周辺モジュールからの DTC 起動判定には $1 \times Pcyc$ を要します。

8.9.11 DTC 起動要求が途中で取り下げられた場合の動作

DTC は起動要求を受け付けた後は、ライトバック終了までの一連の DTC 処理が終了するまで、次の起動要求を受け付けません。

9. バスステートコントローラ (BSC)

外部バスコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM などの各種メモリおよび外部デバイスを直接接続することができます。

9.1 特長

1. 外部アドレス空間

- CS0、CS1の各空間をそれぞれ最大1Mバイトまでサポート
- 空間ごとに、データバス幅 (8ビット、16ビット) を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト (同一空間または別空間)、リード - リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

2. 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

図 9.1 に BSC のブロック図を示します。

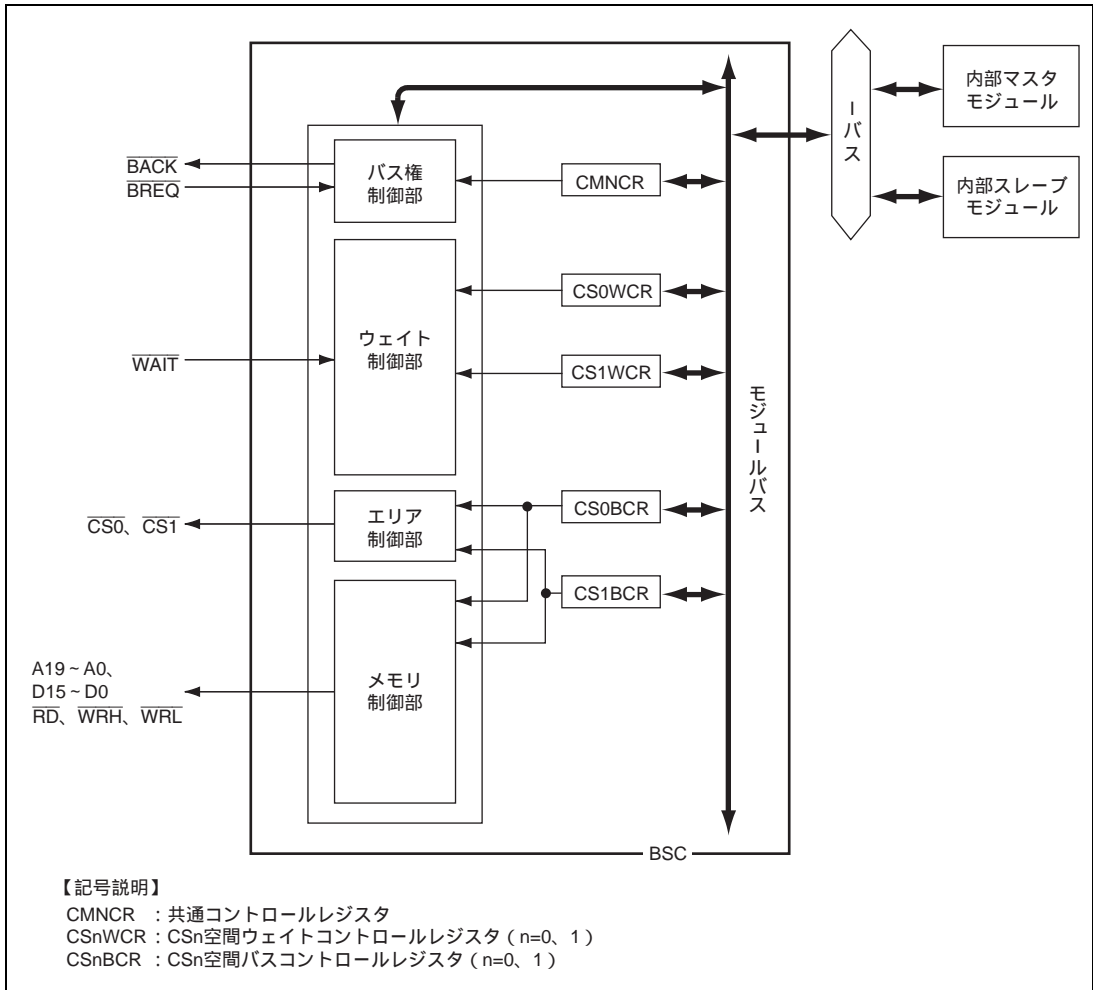


図 9.1 BSC のブロック図

9.2 入出力端子

BSC の端子構成を表 9.1 に示します。

表 9.1 端子構成

端子名	入出力	機能
A19 ~ A0	出力	アドレスバス
D15 ~ D0	入出力	データバス
$\overline{CS0}$ 、 $\overline{CS1}$	出力	チップセレクト
RD	出力	リードパルス信号 (リードデータ出力許可信号)
WRH	出力	D15 ~ D8 対応のバイト書き込み指示
\overline{WRL}	出力	D7 ~ D0 対応のバイト書き込み指示
WAIT	入力	外部ウェイト入力
\overline{BREQ}	入力	バス権要求入力
BACK	出力	バス使用許可出力

9.3 エリアの概要

9.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しています。

本 LSI は、表 9.2~表 9.4 に示すように 2 空間にそれぞれ各種メモリを接続でき、おののに対応してチップセレクト信号 ($\overline{CS0}$ 、 $\overline{CS1}$) を出力します。エリア 0 のアクセス時には $\overline{CS0}$ がアサートされます。

9.3.2 アドレスマップ

外部アドレス空間は合計 2M バイトあり、これを 2 空間に分割して使用します。接続されるメモリの種類およびデータバス幅は、各空間ごとに指定します。全体の空間のアドレスマップを表 9.2~表 9.4 に示します。

表 9.2 アドレスマップ (シングルチップモード時)

アドレス	空間	メモリ種類	サイズ	バス幅
H'00000000 ~ H'0003FFFF	内蔵 ROM		256K バイト	32 ビット
H'00040000 ~ H'FFFF8FFF	予約			
H'FFFF9000 ~ H'FFFFAFFF	内蔵 RAM		8K バイト	32 ビット
H'FFFFB000 ~ H'FFFFBFFF	予約			
H'FFFC0000 ~ H'FFFFFFF	内蔵周辺モジュール		16K バイト	8/16 ビット

【注】 予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。内蔵 ROM、内蔵 RAM、内蔵周辺モジュール以外の空間は使用できません。

表 9.3 アドレスマップ (SH7149、内蔵 ROM 有効モード時)

アドレス	空間	メモリ種類	サイズ	バス幅
H'00000000 ~ H'0003FFFF	内蔵 ROM		256K バイト	32 ビット
H'00040000 ~ H'01FFFFFF	予約			
H'02000000 ~ H'020FFFFFF	CS0 空間	通常空間	1M バイト	8/16 ビット*
H'02100000 ~ H'03FFFFFF	予約			
H'04000000 ~ H'040FFFFFF	CS1 空間	通常空間	1M バイト	8/16 ビット*
H'04100000 ~ H'FFFF8FFF	予約			
H'FFFF9000 ~ H'FFFFAFFF	内蔵 RAM		8K バイト	32 ビット
H'FFFFB000 ~ H'FFFFBFFF	予約			
H'FFFC0000 ~ H'FFFFFFF	内蔵周辺モジュール		16K バイト	8/16 ビット

【注】 予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。シングルチップモードのとき、内蔵 ROM、内蔵 RAM、内蔵周辺モジュール以外の空間は使用できません。

* レジスタで選択

表 9.4 アドレスマップ (SH7149、内蔵 ROM 無効モード時)

アドレス	空間	メモリ種類	サイズ	バス幅
H'00000000 ~ H'000FFFFFFF	CS0 空間	通常空間	1M バイト	8/16 ビット* ¹
H'001FFFFFFF ~ H'03FFFFFFF	予約			
H'04000000 ~ H'040FFFFFFF	CS1 空間	通常空間	1M バイト	8/16 ビット* ²
H'04100000 ~ H'FFFF8FFF	予約			
H'FFFF9000 ~ H'FFFFAFFF	内蔵 RAM		8K バイト	32 ビット
H'FFFFB000 ~ H'FFFFBFFF	予約			
H'FFFFC000 ~ H'FFFFFFF	内蔵周辺モジュール		16K バイト	8/16 ビット

【注】 予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。

*1 モード端子で選択

*2 レジスタで選択

9.4 レジスタの説明

BSC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については、「第 23 章 レジスタ一覧」を参照してください。

メモリとのインタフェースの設定が終了するまでは、CS0 空間以外はアクセスしないでください。

表 9.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
共通コントロールレジスタ	CMNCR	R/W	H'00001010	H'FFFFFF00	32
CS0 空間バスコントロールレジスタ	CS0BCR	R/W	H'36DB0600	H'FFFFFF04	32
CS1 空間バスコントロールレジスタ	CS1BCR	R/W	H'36DB0600	H'FFFFFF08	32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'00000500	H'FFFFFF028	32
CS1 空間ウェイトコントロールレジスタ	CS1WCR	R/W	H'00000500	H'FFFFFF02C	32
バス機能拡張レジスタ	BSCEHR	R/W	H'0000	H'FFFFE89A	8、16

9.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は、各エリアに共通の制御を行う 32 ビットのレジスタです。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	HIZMEM	-
初期値 :	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
11~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1	HIZMEM	0	R/W	Hi-Zメモリコントロール 本ビットは、A19~A0、 \overline{CSn} 、 \overline{WRxx} 、 \overline{RD} のソフトウェアスタンバイモード時の端子状態を指定します。バス解放時は、本ビットにかかわらずハイインピーダンスになります。 0: ソフトウェアスタンバイモード時にハイインピーダンス 1: ソフトウェアスタンバイモード時にドライブ
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

9.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、1)

CSnBCR は、各空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。

レジスタの初期設定が終了するまでは、エリア0以外の外部メモリをアクセスしないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	IWW[1:0]	-	IWRWD[1:0]	-	IWRWS[1:0]	-	IWRRD[1:0]	-	IWRRS[1:0]	-	-	-	-	-
初期値:	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W:	R	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	BSZ[1:0]	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1*	1*	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R

【注】* 内蔵ROM無効時、CS0BCRは、バス幅を指定する外部端子 (MD0とMD1) の値をパワーオンリセット時にサンプリングします。

ビット	ビット名	初期値	R/W	説明
31、30	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29、28	IWW[1:0]	11	R/W	ライト - リード/ライト - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。 00: アイドルサイクルなし 01: 1 アイドルサイクル挿入 10: 2 アイドルサイクル挿入 11: 4 アイドルサイクル挿入
27	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
26、25	IWRWD[1:0]	11	R/W	別空間リード - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - ライトサイクルの場合です。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入
24	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23、22	IWRWS[1:0]	11	R/W	同一空間リード - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - ライトサイクルの場合です。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入
21	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20、19	IWRRD[1:0]	11	R/W	別空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入
18	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	IWRRS[1:0]	11	R/W	同一空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10、9	BSZ[1:0]	11*	R/W	データバス幅指定 本ビットは、空間のデータバス幅を指定します。 00：予約（設定不可） 01：8ビット 10：16ビット 11：設定禁止 【注】 内蔵 ROM 無効時、エリア0のデータバス幅は、外部入力端子で設定します。CS0BCRのBSZ1、0ビットの設定は無視されます。
8~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 * 内蔵 ROM 無効時、CS0BCR は、バス幅を指定する外部端子 (MD0 と MD1) の値をパワーオンリセット時にサンプリングします。

9.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0, 1)

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行います。対象となるエリアをアクセスする前に設定してください。また、CSnWCR レジスタは、CSnBCR レジスタを設定後に設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	WW[2:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 このビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR3~WR0 設定 (リードアクセスウェイト) と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、CSn アサート RD、WRxx アサート遅延サイクル数 このビットは、アドレス、CSn アサートから RD、WRxx アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>リードアクセスウェイトサイクル数</p> <p>このビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>このビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>RD、WR\overline{xx} ネゲート アドレス、CS\overline{n} ネゲート遅延サイクル数</p> <p>このビットは、RD、WR\overline{xx} ネゲートから、アドレス、CS\overline{n} ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

9.4.4 バス機能拡張レジスタ (BSCEHR)

BSCEHR は 16 ビットのレジスタで、DTC のバス権解放のタイミングなどを設定します。DTC による転送動作を優先的に行ったり、DTC 起動サイクル数を減少させるときに有効な機能を設定できます。

DTLOCK、CSSTP1、DTBST ビットの組み合わせによる DTC 動作の違いについては、「8.5.9 DTC のバス権解放タイミング」を参照してください。

CSSTP2 ビットをセットすることで、DTLOCK ビットが 0 の場合の DTC 転送の性能を向上させることができます。また、CSSTP3 ビットの設定で、DTC 転送と CPU からの外部空間アクセスの優先順位を選択することができます。

DTSA ビットをセットすることで、DTC のショートアドレスモードを実現できます。ショートアドレスモードの詳細については、「8.4 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTPR ビットでは、DTC が起動する前に複数の DTC 起動要因が発生した場合の DTC 起動優先順位の設定が可能です。

なお、本レジスタは、DTC 起動中には変更しないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTLOCK	CSSTP1	-	CSSTP2	DTBST	DTSA	CSSTP3	DTPR	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	DTLOCK	0	R/W	DTC ロックイネーブル DTC がバス権を解放するタイミングを選択します。 0: ベクタリード後の NOP 発行時と転送情報ライトバック後にバス権を解放します。 1: ベクタリード後、ベクタリード後の NOP 発行時、転送情報リード後、1 回のデータ転送後、転送情報ライトバック後にバス権を解放します。
14	CSSTP1	0	R/W	DTC NOP 発行時のバス権解放選択 DTC 起動時のベクタリード後の NOP 発行時に、CPU からの外部空間アクセス要求に対してバス権を解放するかしないかを選択します。 ただし、CSSTP2 ビットが 1 の場合は、本ビットの設定にかかわらず、常にバス権を解放しません。 0: DTC NOP 発行時にバス権を解放する 1: DTC NOP 発行時にバス権を解放しない
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12	CSSTP2	0	R/W	<p>DTC 転送中のバス権解放選択</p> <p>DLOCK ビットが 0 の場合の DTC 転送時に、CPU からの外部空間アクセス要求に対して、1 回のデータ転送ごとにバス権を解放するかしないかを選択します。</p> <p>0 : DLOCK ビットおよび CSSTP1 ビットがともに 0 の場合 : ベクタリード後の NOP 発行時にバス権を解放する</p> <p>DLOCK ビットが 0、CSSTP1 ビットが 1 の場合 : 1 回のデータ転送ごとにバス権を解放する</p> <p>1 : 全データ転送終了後にバス権を解放する</p>
11	DTBST	0	R/W	<p>DTC パーストイネーブル</p> <p>DTC に複数の起動要求が発生した場合に、バス権を解放せずに連続して DTC を起動します。</p> <p>0 : 1 つの DTC 起動要因が終了することによりバス権を解放します。</p> <p>1 : すべての DTC 起動要因が終了するまでバス権を解放せずに連続して DTC を起動します。</p> <p>【注】本ビットを 1 に設定する場合は、以下の制限があります。</p> <ol style="list-style-type: none"> 1. 周波数制御レジスタ (FRQCR) によるクロック設定は、I :B :P :MI :MP =8:4:4:4:4、4:2:2:2:2、または 2:1:1:1:1 にしてください 2. ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください 3. 転送情報は内蔵 RAM に配置してください 4. 転送元および転送先は、内蔵 RAM と内蔵周辺モジュール間または外部メモリと内蔵周辺モジュール間としてください
10	DTSA	0	R/W	<p>DTC ショートアドレスモード</p> <p>DTC の転送情報リードを、3 ロングワード分で実現するモードです。</p> <p>0 : 転送情報リードを 4 ロングワード分で行います。転送情報の配置は図 8.2 の通常モード時の配置となります。</p> <p>1 : 転送情報リードを 3 ロングワード分で行います。転送情報の配置は図 8.2 のショートアドレスモード時の配置となります。</p> <p>【注】SAR、DAR の上位 8 ビットを 1 とみなすため、内蔵周辺モジュールと内蔵 RAM 間の転送時のみ使用可能です。</p>
9	CSSTP3	0	R/W	<p>CPU による外部メモリアクセス優先選択</p> <p>DTC 転送時、CPU からの外部空間アクセスを優先するかどうかを選択します。</p> <p>0 : DTC 転送を優先</p> <p>1 : CPU からの外部空間アクセスを優先</p> <p>【注】本ビットが 0 のとき、CPU からの内蔵 I/O アクセスとその直後に発行される CPU からの外部空間アクセスの間には、1B の NOP が入ります。</p>

ビット	ビット名	初期値	R/W	説明
8	DTPR	0	R/W	<p>DTC 起動の優先順位指定</p> <p>DTC が起動する前に複数の DTC 起動要求が発生した場合、最初に要求のあった起動要求から転送を開始するか、DTC 起動優先順位に従って転送を開始するかを選択します。</p> <p>ただし、DTC 起動中に複数の DTC 起動要求が発生した場合には、DTC 起動優先順位に従って次の転送が行われます。</p> <p>0 : 最初に要求のあった DTC 起動要求から転送を開始する</p> <p>1 : DTC 起動優先順位に従って転送を開始する</p> <p>【注】本ビットを 1 に設定する場合は、以下の制限があります。</p> <ol style="list-style-type: none"> 1. ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください 2. 転送情報は内蔵 RAM に配置してください 3. 転送情報リードスキップ機能は常に無効となります
7~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

9.5 動作説明

9.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSB) が 0 番地側になるビッグエンディアンをサポートしています。

また、データバス幅は、8 ビットおよび 16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅にあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

デバイスのデータ幅とアクセスの単位との関係を表 9.6、表 9.7 に示します。

表 9.6 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストロープ信号	
		D15~D8	D7~D0	$\overline{\text{WRH}}$	$\overline{\text{WRL}}$
0 番地バイトアクセス		データ 7~0	-	アサート	-
1 番地バイトアクセス		-	データ 7~0	-	アサート
2 番地バイトアクセス		データ 7~0	-	アサート	-
3 番地バイトアクセス		-	データ 7~0	-	アサート
0 番地ワードアクセス		データ 15~8	データ 7~0	アサート	アサート
2 番地ワードアクセス		データ 15~8	データ 7~0	アサート	アサート
0 番地ロングワードアクセス	1 回目 (0 番地)	データ 31~24	データ 23~16	アサート	アサート
	2 回目 (2 番地)	データ 15~8	データ 7~0	アサート	アサート

表 9.7 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストロープ信号	
		D15~D8	D7~D0	$\overline{\text{WRH}}$	$\overline{\text{WRL}}$
0 番地バイトアクセス		-	データ 7~0	-	アサート
1 番地バイトアクセス		-	データ 7~0	-	アサート
2 番地バイトアクセス		-	データ 7~0	-	アサート
3 番地バイトアクセス		-	データ 7~0	-	アサート
0 番地ワードアクセス	1 回目 (0 番地)	-	データ 15~8	-	アサート
	2 回目 (1 番地)	-	データ 7~0	-	アサート
2 番地ワードアクセス	1 回目 (2 番地)	-	データ 15~8	-	アサート
	2 回目 (3 番地)	-	データ 7~0	-	アサート
0 番地ロングワードアクセス	1 回目 (0 番地)	-	データ 31~24	-	アサート
	2 回目 (1 番地)	-	データ 23~16	-	アサート
	3 回目 (2 番地)	-	データ 15~8	-	アサート
	4 回目 (3 番地)	-	データ 7~0	-	アサート

9.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、主にバイト選択端子のないSRAMの直結を考慮してストロブ信号を出力します。図9.2に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2サイクルで終了します。

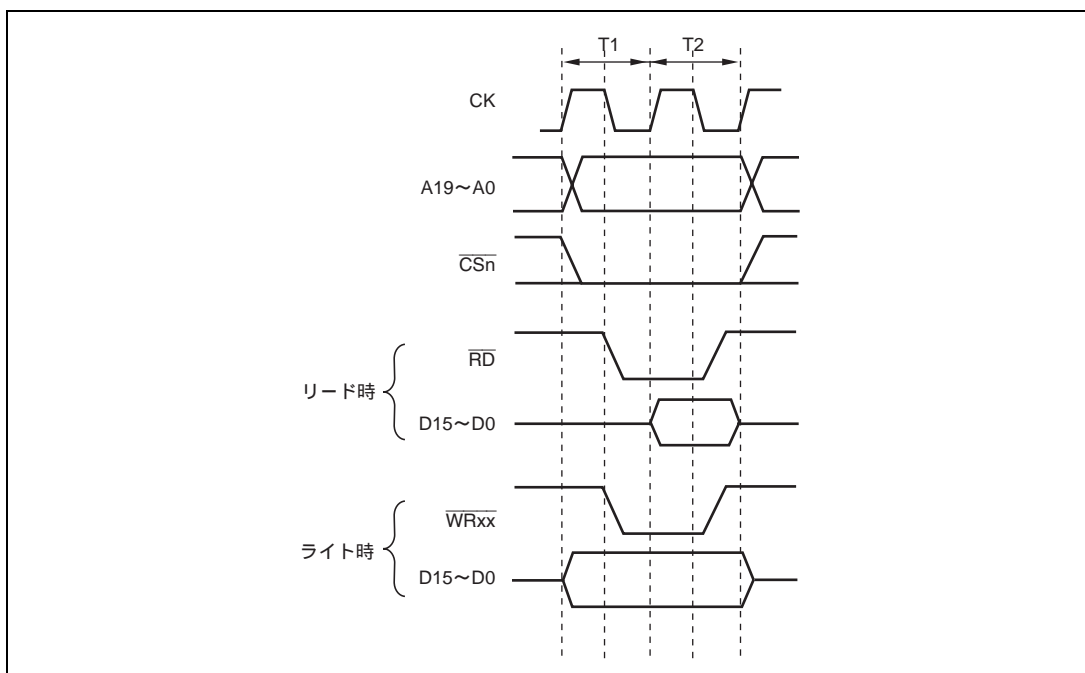


図 9.2 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、16ビットデバイスでは16ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの $\overline{WR_{xx}}$ 信号のみがアサートされます。

データバスにバッファを設ける場合には、 \overline{RD} を用いてリードデータの出力制御を行う必要があります。

図9.3、図9.4に通常空間連続アクセスの例を示します。CSnWCR.WMビットを0に設定すると、外部ウェイトを評価するために1サイクル T_{nop} が挿入されます(図9.3)。しかし、CSnWCR.WMビットを1に設定すると、外部ウェイトが無視され T_{nop} サイクルの挿入を抑制することができます。(図9.4)

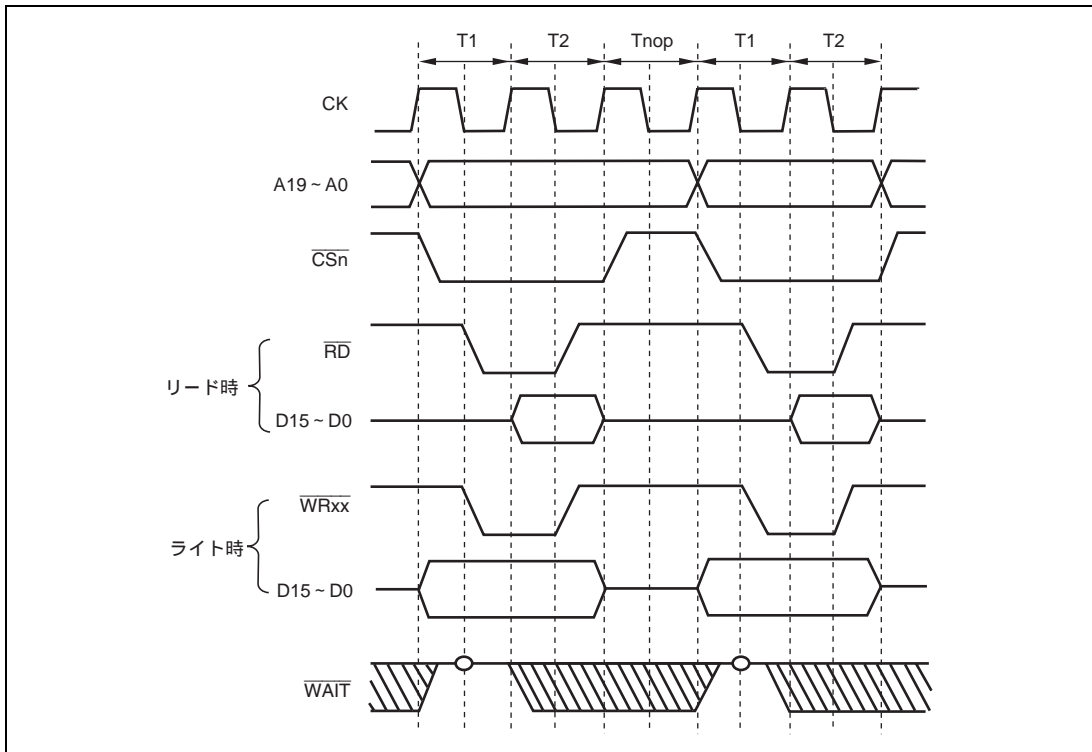


図 9.3 通常空間連続アクセス例 1

バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット=0
 (アクセスウェイト 0、サイクル間ウェイト 0)

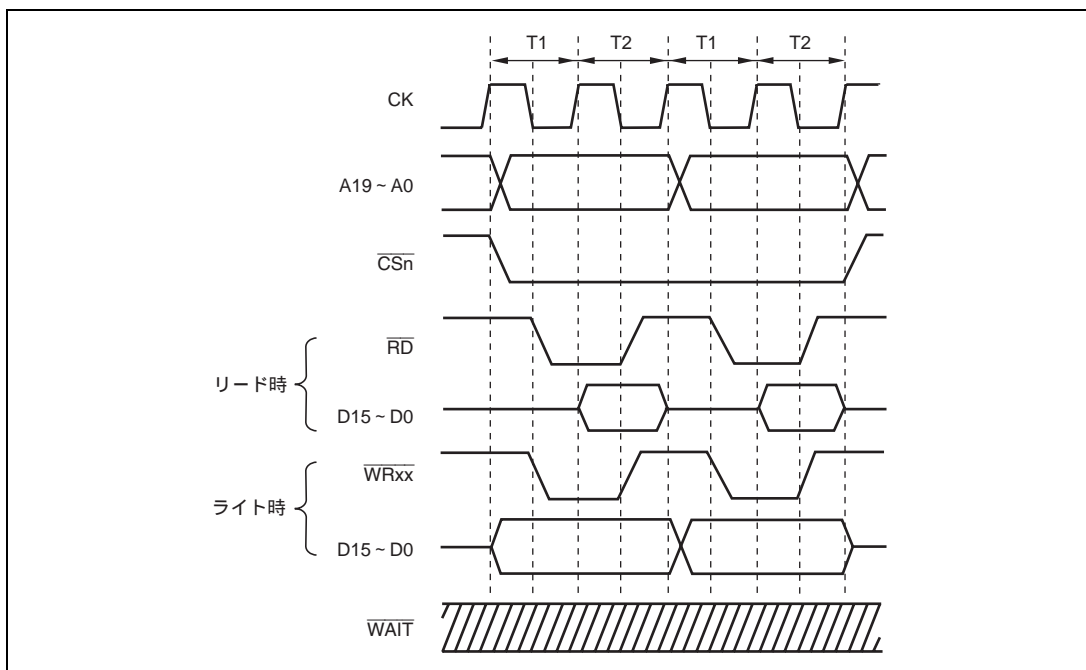


図 9.4 通常空間連続アクセス例 2

バス幅 16 ビット、ロングワードアクセス、 $\overline{CSnWCR.WM}$ ビット = 1
 (アクセスウェイト 0、サイクル間ウェイト 0)

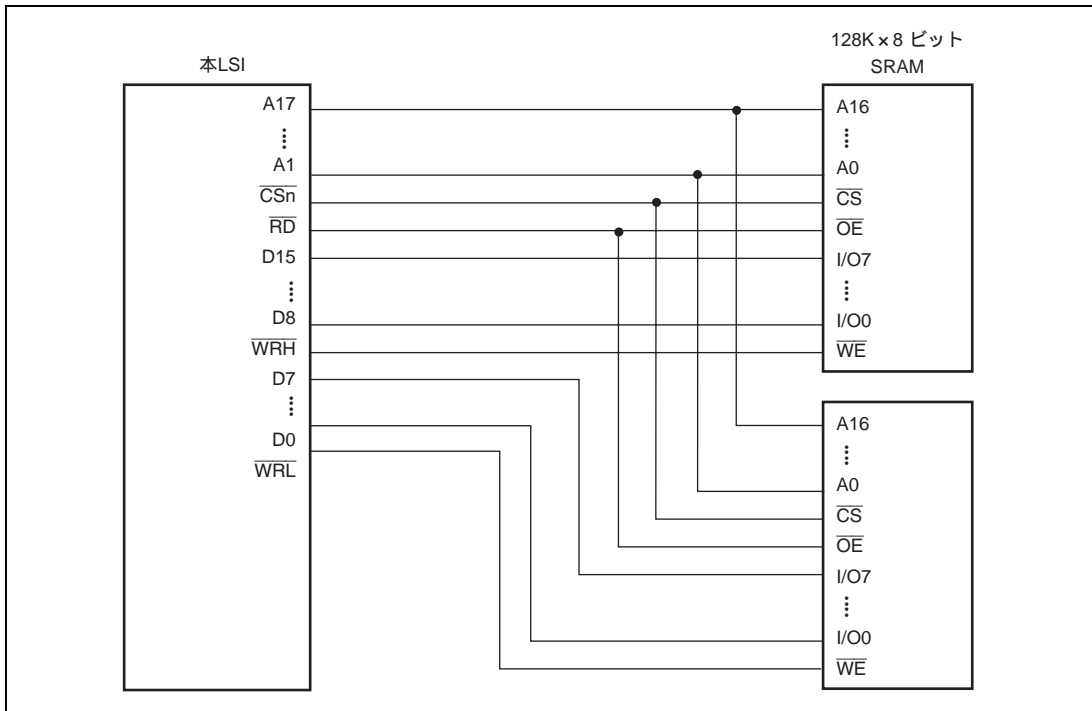


図 9.5 16 ビットデータ幅 SRAM 接続例

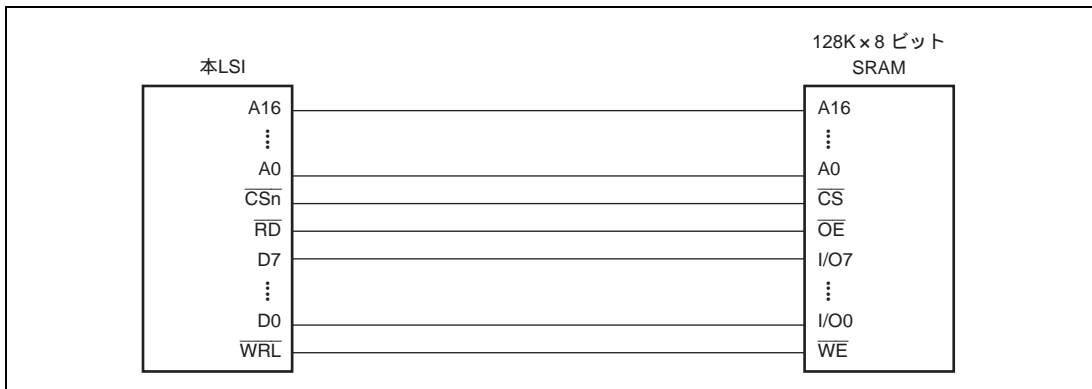


図 9.6 8 ビットデータ幅 SRAM 接続例

9.5.3 アクセスウェイト制御

CSnWCR の WR3、WR2、WR1、および WR0 ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。図 9.7 に示す通常空間のアクセスでは、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

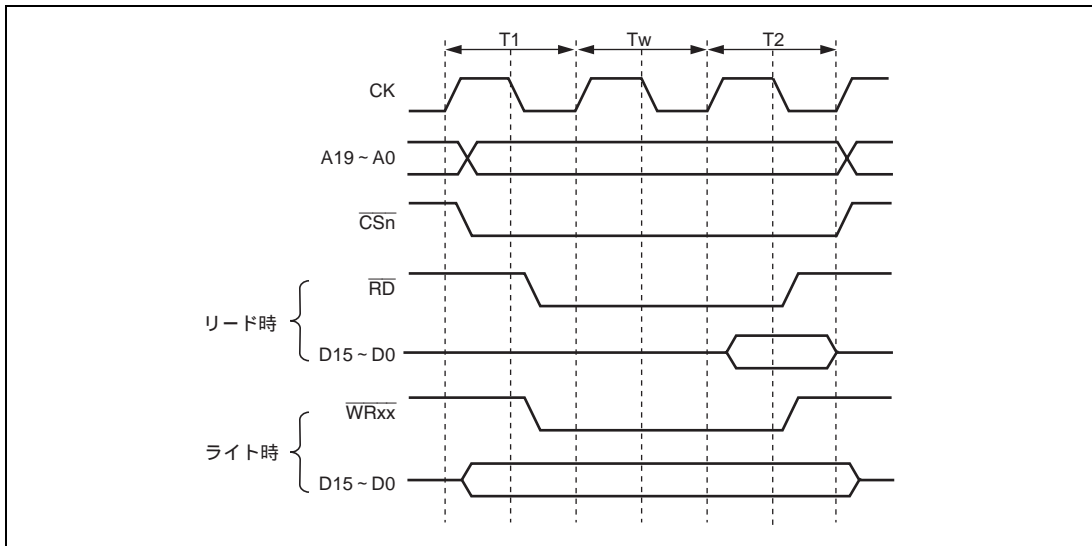


図 9.7 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 9.8 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CK の立ち下がりによってサンプリングされます。

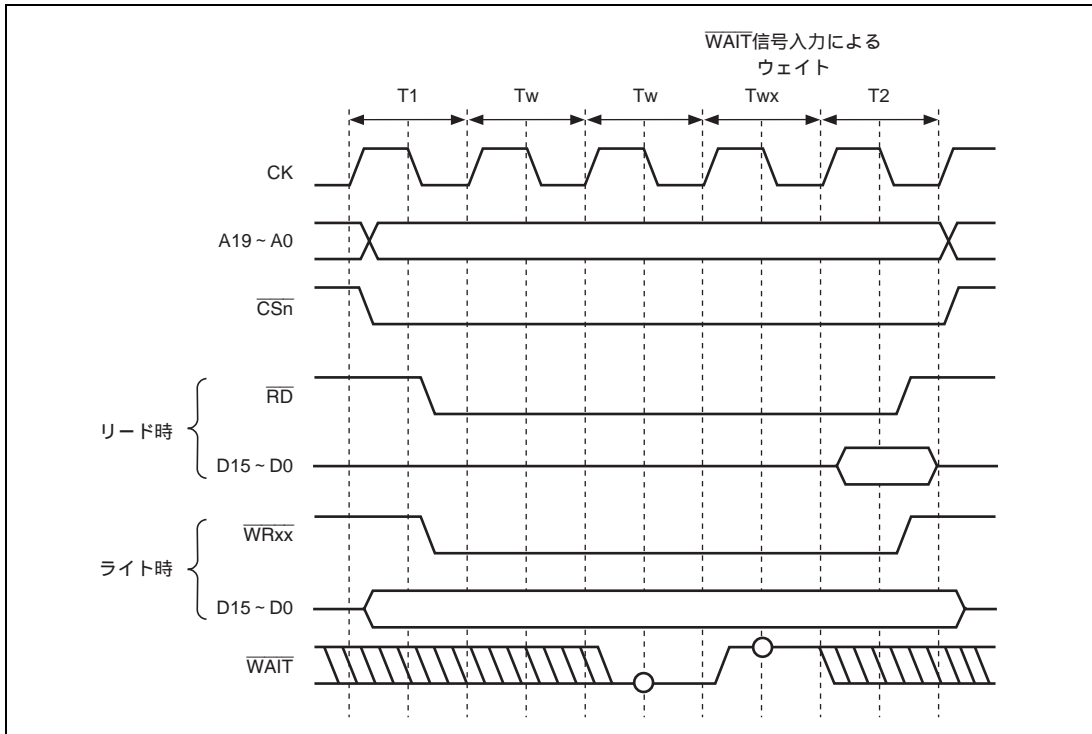


図 9.8 通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入)

9.5.4 \overline{CSn} アサート期間拡張

\overline{CSnWCR} の SW1 と SW0 ビットの設定により、 \overline{CSn} アサートから \overline{RD} と \overline{WRxx} アサートまでのサイクル数を指定できます。また、HW1 と HW0 ビットの設定により、 \overline{RD} と \overline{WRxx} ネゲートから \overline{CSn} ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 9.9 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 \overline{RD} と \overline{WRxx} 以外はアサートされますが、 \overline{RD} と \overline{WRxx} はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

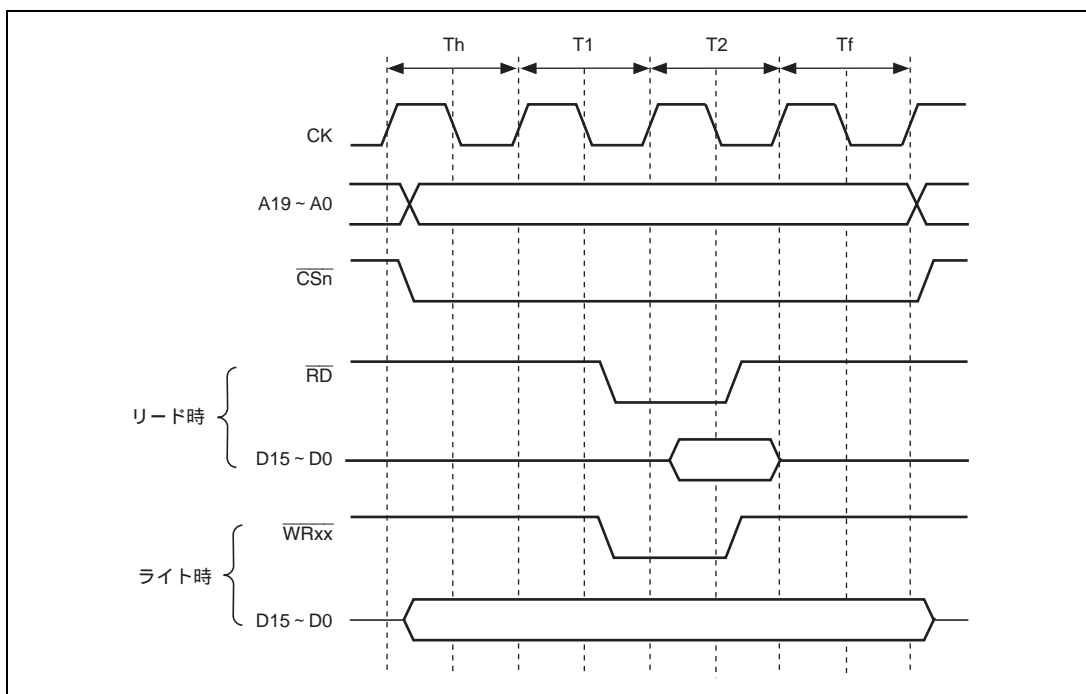


図 9.9 \overline{CSn} アサート期間拡張

9.5.5 アクセスサイクル間ウェイト

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こしたりする場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間のウェイトを挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間ウェイトのサイクル数は、CSnBCR の IWW[1:0]ビット、IWRWD[1:0]ビット、IWRWS[1:0]ビット、IWRRD[1:0]ビット、IWRRS[1:0]ビットで指定します。アクセスサイクル間ウェイト (アイドルサイクル) は、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合

上記で示したアクセスサイクル間ウェイトのアイドルサイクル以外に、内部バスとのインタフェースやマルチプレクスされた端子 ($\overline{WR_{xx}}$) の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。

6. 内部バスとのインタフェースに伴う、外部バスのアイドルサイクル

(a) 外部バスがアイドルもしくはリードサイクル後のライトアクセス直前に、1アイドルサイクルを挿入します。

(b) 外部バスのリードサイクル終了時、リードデータを内部バスに転送するために、1アイドルサイクルを挿入します。

リードサイクル直後のライトサイクルでは、上記 (a) と合わせて2~3サイクルのアイドルサイクルを挿入します。

表9.8、表9.9に、挿入されるアイドルサイクルの最小数を示します。表中の「CSnBCRのアイドル設定」は、IWW、IWRWD、IWRWS、IWRRD、IWRRSで設定するアイドルサイクル数を示します。

表 9.8 通常空間インタフェースの CPU アクセス間のアイドルサイクル最小数

BSC レジスタ設定		バス幅以下サイズのアクセス				バス幅を超えるサイズのアクセス					
CSnWCR.WM の 設定	CSnBCR の アイドル設定	リード	ライト	リード	ライト	連続	連続	リード	ライト	リード	ライト
		リード	ライト	ライト	リード	リード* ¹	ライト* ¹	リード* ²	ライト* ²	ライト* ²	リード* ²
1	0	1, 1, 1, 1	0, 0, 0, 0	3, 3, 3, 4	0, 0, 0, 0	0, 0, 0, 0	0, 0, 0, 0	1, 1, 1, 1	0, 0, 0, 0	3, 3, 3, 4	0, 0, 0, 0
0	0	1, 1, 1, 1	1, 1, 1, 1	3, 3, 3, 4	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	3, 3, 3, 4	1, 1, 1, 1
1	1	1, 1, 1, 1	1, 1, 1, 1	3, 3, 3, 4	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	3, 3, 3, 4	1, 1, 1, 1
0	1	1, 1, 1, 1	1, 1, 1, 1	3, 3, 3, 4	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	3, 3, 3, 4	1, 1, 1, 1
1	2	2, 2, 2, 2	2, 2, 2, 2	3, 3, 3, 4	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	3, 3, 3, 4	2, 2, 2, 2
0	2	2, 2, 2, 2	2, 2, 2, 2	3, 3, 3, 4	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	3, 3, 3, 4	2, 2, 2, 2
1	4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4
0	4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4

【注】 表中のアイドルサイクル最小数は、順に I : B が 4 : 1、3 : 1、2 : 1、1 : 1 の場合を示します。

*1 16 ビットバス幅時の 32 ビットアクセスでの 0 番地ワードアクセスと 2 番地ワードアクセス間の最小アイドルサイクル数、8 ビットバス幅時の 16 ビットアクセスでの 0 番地バイトアクセスと 1 番地バイトアクセス間の最小アイドルサイクル数、8 ビットバス幅時の 32 ビットアクセスでの 0 番地バイトアクセスと 1 番地バイトアクセスと 2 番地バイトアクセスと 3 番地バイトアクセス間の最小アイドルサイクル数

*2 上記以外

表 9.9 通常空間インタフェースの DTC 転送時のアクセス間アイドルサイクル最小数

BSC レジスタ設定		バス幅以下サイズのアクセス		バス幅を超えるサイズのアクセス			
CSnWCR.WM の 設定	CSnBCR の アイドル設定	リード	ライト	連続	リード	連続	ライト
		ライト	リード	リード* ¹	ライト* ²	ライト* ¹	リード* ²
1	0	2	0	0	2	0	0
0	0	2	1	1	2	1	1
1	1	2	1	1	2	1	1
0	1	2	1	1	2	1	1
1	2	2	2	2	2	2	2
0	2	2	2	2	2	2	2
1	4	4	4	4	4	4	4
0	4	4	4	4	4	4	4

【注】 DTC は B 動作なのでクロック比変更には関係しません。

*1 16 ビットバス幅時の 32 ビットアクセスでの 0 番地ワードアクセスと 2 番地ワードアクセス間の最小アイドルサイクル数、8 ビットバス幅時の 16 ビットアクセスでの 0 番地バイトアクセスと 1 番地バイトアクセス間の最小アイドルサイクル数、8 ビットバス幅時の 32 ビットアクセスでの 0 番地バイトアクセスと 1 番地バイトアクセスと 2 番地バイトアクセスと 3 番地バイトアクセス間の最小アイドルサイクル数

*2 上記以外

9.5.6 バスアービトレーション

本 LSI は、通常状態でバス権を有し、外部デバイスからのバス権要求を受けてバスの解放を行います。また、本 LSI 内部にも CPU と DTC という 2 つのバスマスタがあります。これらのバスマスタに対するバス権委譲の優先順位は以下のとおりとなります。

外部デバイスによるバス権要求 ($\overline{\text{BREQ}}$) > CPU > DTC > CPU

ただし、DTC がバス権を要求している状態で、CPU が連続してバス権を獲得することはありません。

バス機能拡張レジスタ (BSCEHR) の CSSTP2 ビットが 1 の場合は、CPU からの外部空間アクセス要求は、バス機能拡張レジスタ (BSCEHR) の DTLOCK ビットが 0 の場合の DTC 転送要求よりも優先度が低くなります。

また、「9.5.7 (2) LSI 内部バスマスタからみたアクセス」に記述されているライトバッファの動作上、CPU からの外部空間アクセスがライトの場合とリードの場合で、CPU と DTC のアービトレーションが異なります。図 9.10 に、CPU からの外部空間アクセス中に DTC 起動要求が発生した場合のバスアービトレーションを示します。

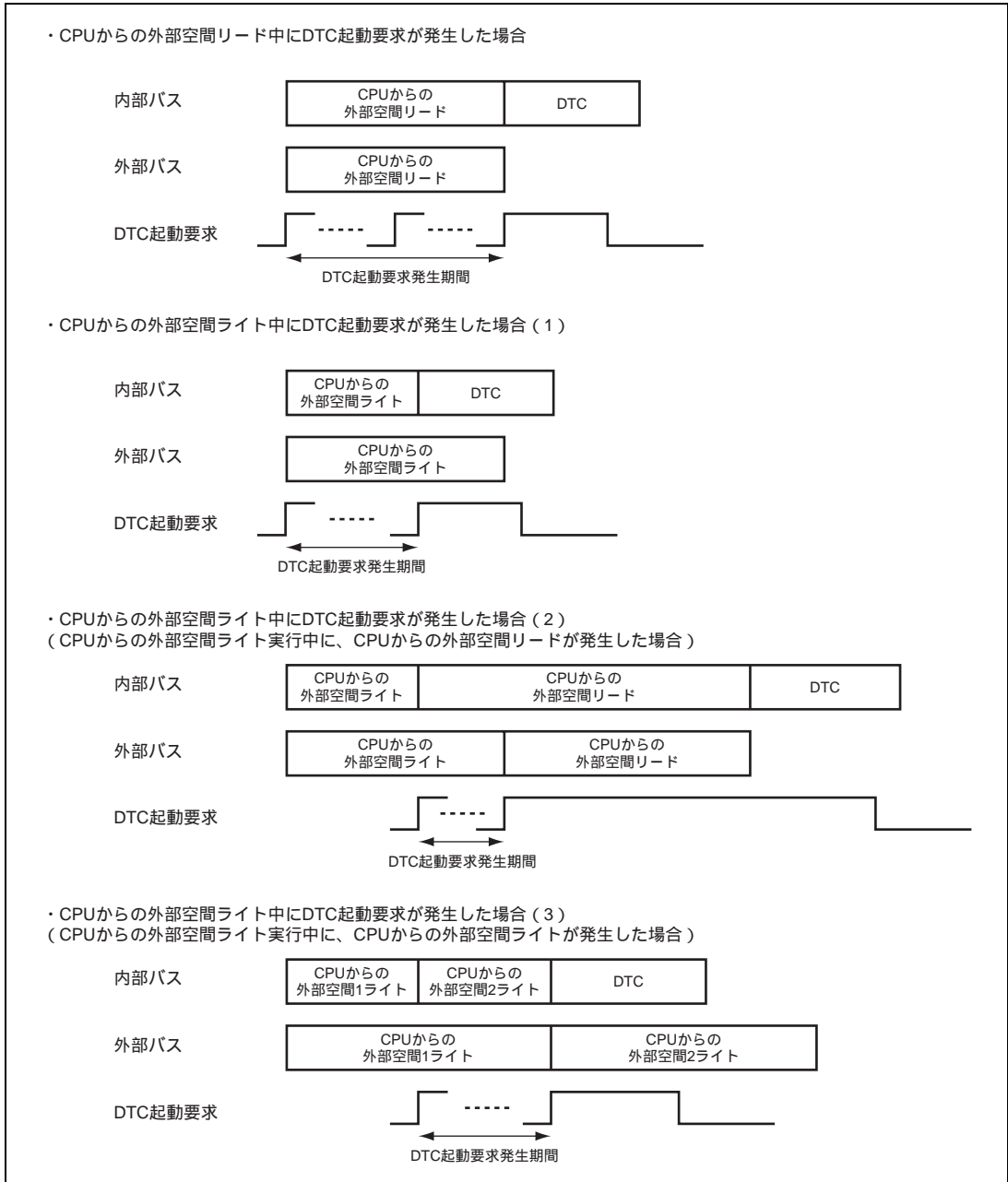


図 9.10 CPU からの外部空間アクセス中に DTC 起動要求が発生した場合のバスアービトレーション

なおバスアービトレーションが行われない状態を以下に示します。

1. TAS命令のリードサイクルとライトサイクル間
2. データバス幅がアクセスサイズよりも小さいことによって生じる複数のバスサイクル(たとえば8ビットデータバス幅のメモリにロングワードアクセスを行う場合のバスサイクル間)

外部デバイスにバス権を受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号をネゲート状態にします。バス権を受け取る場合にも、バス制御信号はネゲート状態からドライブを開始します。バス制御信号のハイインピーダンス状態での外来ノイズによる誤動作を防ぐために、これらの制御信号にはブルアップ抵抗が必要となります。

外部デバイスとのバス権の受け渡しはバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていないければ、直ちにバス権の解放を行います。バスサイクルの最中の場合、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI 外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、 \overline{CS}_n 信号その他のバス制御信号を見て、直ちにバスが解放されるかどうかを判断することはできません。

\overline{BREQ} および \overline{BACK} のハンドシェイクによる外部バス解放には、少なからずオーバーヘッドが存在します。スリープモジュールのタスクが多い場合は一度のバス権獲得により、複数回のバスサイクルを実行するようにシステム設計を行ってください。バス権の受け渡しに必要なサイクルを減らすことによりシステム設計が容易になります。

外部デバイスからのバス権要求を受けない限りバス権を保有しています。外部からのバス権要求 \overline{BREQ} のアサート(ローレベル)を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 \overline{BACK} をアサート(ローレベル)します。外部デバイスがバスを解放したことを示す \overline{BREQ} のネゲート(ハイレベル)を受けて \overline{BACK} をネゲート(ハイレベル)し、バスの使用を再開します。

なお、本 LSI は外部にバス権を解放中でも、外部デバイスへのアクセスが発生しないかぎり処理を続行します。その後、外部デバイスへのアクセスが発生したところでバス権復帰待ち状態となります。

また、バスを解放している間は、スリープモード、ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードに遷移することはできません。

具体的なバス解放シーケンスは、次のとおりです。まず、CK の立ち上がりに同期してアドレスバスおよび、データバスをハイインピーダンスにします。この 0.5 サイクル後にバス使用許可信号を CK の立ち下がりに同期してアサートします。これに続く CK の立ち上がりで、 \overline{CS}_n などのバス制御信号をハイインピーダンスにします。これらのバス制御信号は、遅くともハイインピーダンスにする 1 サイクル前には、ハイレベルにされています。バス権要求信号のサンプリングは、CK の立ち上がりで行います。

外部デバイスからバス権を再獲得するときのシーケンスは、次のとおりです。 \overline{BREQ} のネゲートを CK の立ち下がりで検出すると、1.5 サイクル後にバス制御信号は、ハイレベルでドライブを開始します。これに続く CK の立ち上がりで、バス使用許可信号をネゲートします。アドレスバスおよびデータバスのドライブを開始するのは、これに続く CK の立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはアドレスおよびデータ信号をドライブするのと同じ CK の立ち上がりからです。バスアービトレーションタイミングを図 9.11 に示します。

バス権要求 ($\overline{\text{BREQ}}$ のローレベルアサート) 後のバス権解放 ($\overline{\text{BREQ}}$ のハイレベルネゲート) は、バス使用許可 ($\overline{\text{BACK}}$ のローレベルアサート) 後に行ってください。 $\overline{\text{BACK}}$ アサート前に $\overline{\text{BREQ}}$ をネゲートすると、 $\overline{\text{BREQ}}$ ネゲートタイミングによっては $\overline{\text{BACK}}$ が 1 サイクルだけアサートされ、外部デバイスと本 LSI 間でバスの衝突が発生する可能性があります。

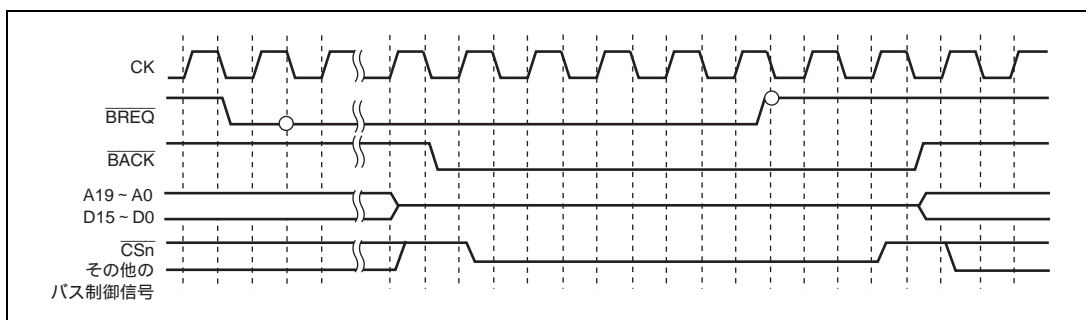


図 9.11 バスアービトレーション

DTC へのバスアービトレーション実行においては、途中 NOP 挿入などされることなく、連続でバスアクセス処理を続けます。

9.5.7 その他

(1) リセット

バスステートコントローラは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時には、バスサイクルの途中であるなしにかかわらず直ちにすべての信号をネゲートし、出力バッファをオフにします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行され、その後はアクセス待ちの状態になります。なお、マニュアルリセット信号のアサート中は $\overline{\text{BREQ}}$ によるアービトレーション要求を受け付けません。

(2) LSI 内部バスマスタからみたアクセス

本 LSI の内部は、L バス、I バス、および周辺バスの 3 つのバスに分割されています。CPU は L バスに、DTC、およびバスステートコントローラは I バスに、低速な周辺モジュールは周辺バスにそれぞれ接続されています。また、内蔵メモリは L バスと I バスの双方に接続されています。

外部空間および内蔵周辺モジュールのアクセスの場合は、I バスを介してアクセスサイクルが起動されます。したがって、CPU が内蔵メモリをアクセスしている場合には、CPU とのバスアービトレーションを発生させることなく、DTC の起動が可能となります。

バスステートコントローラには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても I バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

DTC からのアクセスでも同様にバスステートコントローラのライトバッファは働きます。

なお、ライトバッファの動作中に BSC のレジスタを変更すると、正しいアクセスができなくなりますので、ライトアクセス直後に BSC のレジスタの変更は行わないでください。ライトアクセス直後に BSC のレジスタの変更が必要な場合は、ライトデータのダミーリードを実行し、ライトアクセスが終了したことを確認してから BSC のレジスタを変更してください。

9.5.8 CPU から内蔵 FLASH、内蔵 RAM へのアクセス

内蔵 FLASH の読み出しは I クロックに同期して 1 クロックでアクセスされます。書き込み、消去については「第 19 章 フラッシュメモリ」を参照してください。内蔵 RAM の読み出し / 書き込みは I クロックに同期して 1 クロックでアクセスされます。詳細は、「第 21 章 RAM」を参照してください。

9.5.9 CPU から内蔵周辺 I/O レジスタへのアクセス

表 9.10 に CPU から内蔵周辺 I/O レジスタへアクセスする場合のアクセスサイクル数を示します。

表 9.10 内蔵周辺 I/O レジスタへのアクセスサイクル数

	アクセスサイクル数
ライト	$(3+n) \times I + (1+m) \times B + 2 \times P$
リード	$(3+n) \times I + (1+m) \times B + 2 \times P + 2 \times I$

【注】 1. I :B = 8:1 のとき n=0~7

I :B = 4:1 のとき n=0~3

B :P = 4:1 のとき m=0~3

I :B = 3:1 のとき n=0~2

B :P = 3:1 のとき m=0~2

I :B = 2:1 のとき n=0~1

B :P = 2:1 のとき m=0~1

I :B = 1:1 のとき n=0

B :P = 1:1 のとき m=0

n、m は内部の実行状態に依存します。

2. MI、MP のクロック比はアクセスサイクル数に影響を与えません。

本製品は同期式論理を採用しており、バス構成は階層バス構造を持っています。各バスへのデータ入出力は、L バスは I、I バスは B、周辺バスは P クロックの立ち上がり同期して行います。図 9.12 に I :B :P = 4:2:2 で周辺バス接続幅 16 ビットの P² サイクルアクセスのレジスタにバイトサイズのデータのライトアクセスタイミングの一例を示します。CPU は、内蔵周辺 I/O レジスタアクセスの場合、L バスにデータ出力後、I バスへのデータ転送準備に I で 3 サイクル期間を必要とします。この 3 サイクルの後、B の立ち上がりエッジに同期して I バスにデータを転送することができますが、I :B = 4:2 の場合は B 1 クロックの間に I が 2 クロックあります。このため I :B = 2:1 のときは、 $(3+n) \times I$ 、n=0~1 の期間で L バスから I バスへ転送されます (図の例では $3 \times I$)。データが L バスに乗るタイミングと B の立ち上がりエッジのタイミングの関係はプログラムの実行状態に依存します。図の例では n=0、m=0 であるため、アクセス期間は $3 \times I + 1 \times B + 2 \times P$ となります。

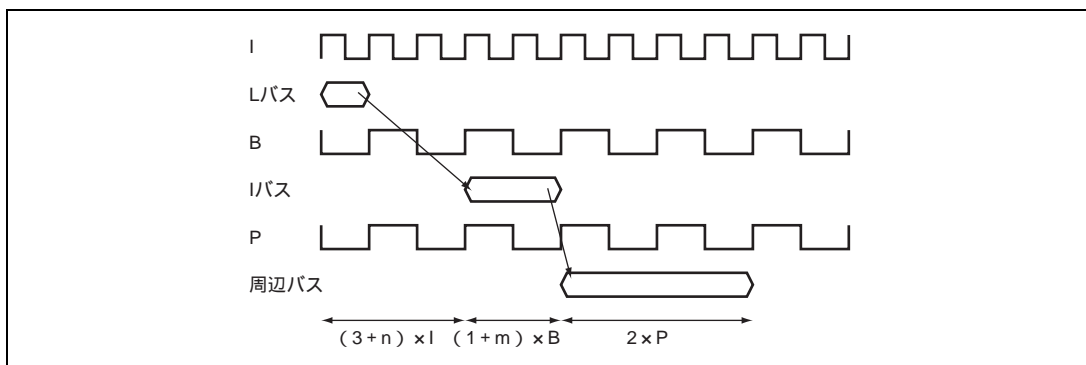


図 9.12 I :B :P = 4:2:2 の場合の内蔵周辺 I/O レジスタへのライトアクセスタイミング

図 9.13 に I :B :P = 4:2:1 の場合の周辺バスへのリードアクセスタイミングの一例を示します。Lバスから周辺バスまでの転送はライトの場合と同様に行われますが、リードの場合は周辺バスに読み出した値を CPU まで転送する必要があります。周辺バスから Iバス、Iバスから Lバスへの転送も各バスクロックの立ち上がり同期して行われますが、I :B :P のため、実際には $2 \times I$ 期間を必要とします。図の例では $n=0$ 、 $m=1$ であるため、アクセス期間は $3 \times I + 2 \times B + 2 \times P + 2 \times I$ となります。

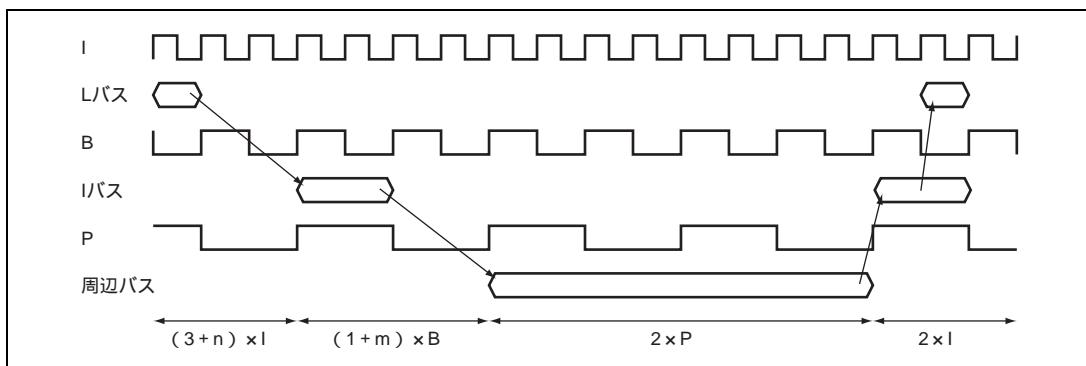


図 9.13 I :B :P = 4:2:1 の場合の内蔵周辺 I/O レジスタへのリードアクセスタイミング

9.5.10 CPU から外部メモリへのアクセス

表 9.11 に CPU から外部アクセスする場合のアクセスサイクル数を示します。外部アクセスサイクルは、表 9.11 に示したクロック比、アクセスサイズ、LSI の外部バス幅のほかにウェイト挿入設定などにより変化します。ウェイト挿入設定などの詳細に関しては、「9.4 レジスタの説明」を参照してください。

表 9.11 外部アクセスサイクル数

外部バス幅	アクセスサイズ	ライト/リード	アクセスサイクル数
8 ビット	バイト	ライト	$(1+n) \times I + (3+m) \times B$
		リード	$(1+n) \times I + (3+m) \times B + 1 \times I$
	ワード	ライト	$(1+n) \times I + (3+m) \times B + 1 \times (2+o) \times B$
		リード	$(1+n) \times I + (3+m) \times B + 1 \times (2+o) \times B + 1 \times I$
	ロングワード	ライト	$(1+n) \times I + (3+m) \times B + 3 \times (2+o) \times B$
		リード	$(1+n) \times I + (3+m) \times B + 3 \times (2+o) \times B + 1 \times I$
16 ビット	バイト/ワード	ライト	$(1+n) \times I + (3+m) \times B$
		リード	$(1+n) \times I + (3+m) \times B + 1 \times I$
	ロングワード	ライト	$(1+n) \times I + (3+m) \times B + 1 \times (2+o) \times B$
		リード	$(1+n) \times I + (3+m) \times B + 1 \times (2+o) \times B + 1 \times I$

【注】 n : I : $B = 8:1$ のとき $n=0\sim7$

I : $B = 4:1$ のとき $n=0\sim3$

I : $B = 3:1$ のとき $n=0\sim2$

I : $B = 2:1$ のとき $n=0\sim1$

I : $B = 1:1$ のとき $n=0$

m, o : m : ウェイト設定、 o : ウェイト設定+アイドル設定など。

詳細は、「9.4 レジスタの説明」を参照してください。

本製品は同期式論理を採用しており、バス構成は階層バス構造を持っています。各バスへのデータ入出力は、L バスは I 、I バスと外部バスは B の立ち上がりに同期して行います。図 9.14 に $I : B = 2:1$ で、外部バス 8 ビット幅でワードデータをライトアクセスする場合のタイミング例を示します。CPU が L バスにデータ出力後、 B の立ち上がりエッジに同期して I バスにデータを転送します。 $I : B = 2:1$ の場合は B 1 クロックの間に I が 2 クロックがあります。このため $I : B = 2:1$ のときは、 $(1+n) \times I$ 、 $n=0\sim1$ の期間で L バスから I バスへ転送されます（図の例では $2 \times I$ ）。データが L バスに乗るタイミングと B の立ち上がりエッジのタイミングの関係はプログラムの実行状態に依存します。I バスに乗ったデータは、 B 1 サイクル後に外部バスに転送されます。1 回の外部アクセスは最速 2 サイクルで行われますが、BSC レジスタの設定により延長されます（アクセスサイクル計算式の m, o ）。図 9.14 の例では 8 ビットのバス幅に対してワードデータライトを行うため、2 回の外部アクセスが必要になります。図の例では $n=1, m=0, o=0$ であるため、アクセス期間は $2 \times I + 3 \times B + 2 \times B$ となります。

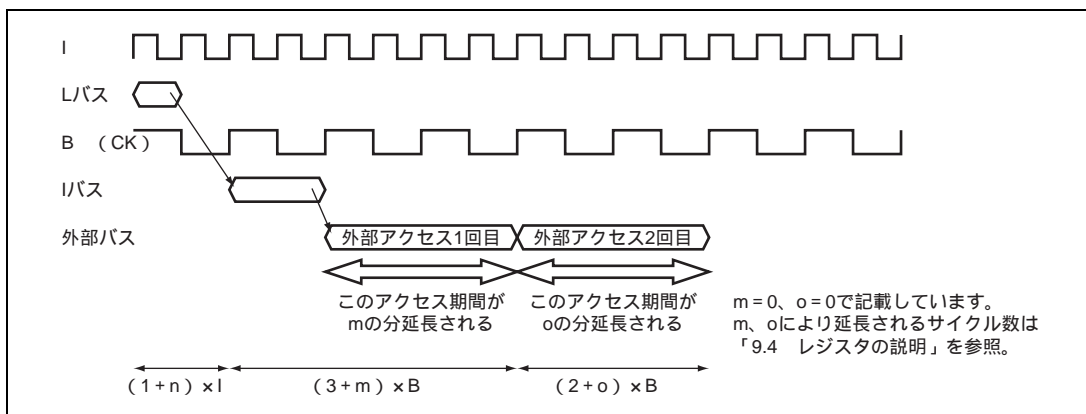


図 9.14 I :B = 2:1、外部バス幅 8 ビットで、ワードデータを外部メモリにライトアクセスするタイミング

図 9.15 に I :B = 4:1 で、外部バス幅 データ幅条件でリードアクセスする場合のタイミング例を示します。L バスから外部バスまでの転送はライトの場合と同様に行われますが、リードの場合は外部バスに読み出した値を CPU まで転送する必要があります。外部バスから I バス、I バスから L バスへの転送も各バスクロックの立ち上がりで同期して行われます。実際の動作では、外部バスから L バスまでの転送は 1 期間で処理されます。図の例では $n=2$ 、 $m=0$ 、 $o=0$ であるため、アクセス期間は $3 \times I + 3 \times B + 1 \times I$ となります。

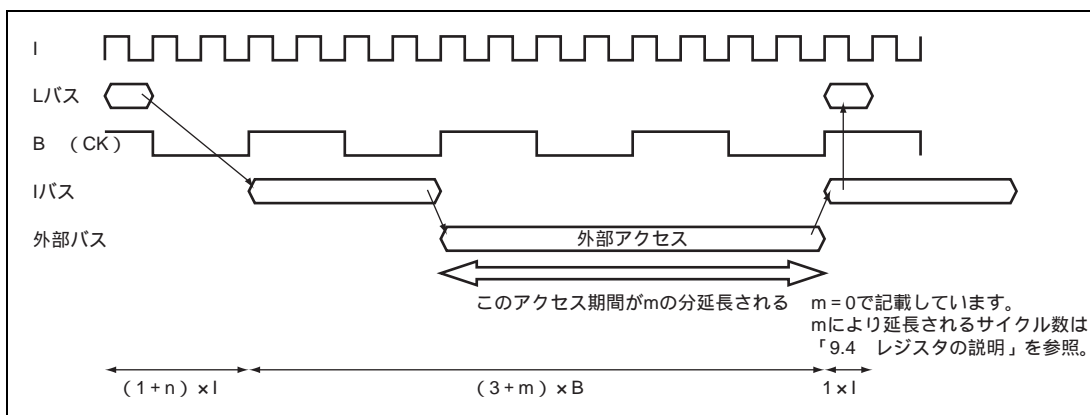


図 9.15 I :B = 4:1、外部バス幅 データ幅条件でリードアクセスする場合のタイミング例

DTC によるアクセスは、CPU からのアクセスサイクル数から L バスアクセスに必要な I 分を削除したサイクル数になります。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 (MTU2) を内蔵しています。

10.1 特長

- 最大16本のパルス入出力、3本のパルス入力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能 (チャンネル5は4種類)
- チャンネル0~4は次の動作を設定可能: コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相のPWM出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 28種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- CH0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ (ブラシレスDCモータ) 駆動モードが設定可能で、2種 (チョッピング、レベル) の波形出力が選択可能
- CH5により、デッドタイム補償用カウンタ機能が可能
- 相補PWMモード時、カウンタの山/谷での割り込み、およびA/D変換器の変換スタートトリガを間引くことが可能

表 10.1 MTU2 の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	MP /1 MP /4 MP /16 MP /64 TCLKA TCLKB TCLKC TCLKD	MP /1 MP /4 MP /16 MP /64 MP /256 TCLKA TCLKB	MP /1 MP /4 MP /16 MP /64 MP /1024 TCLKA TCLKB TCLKC	MP /1 MP /4 MP /16 MP /64 MP /256 MP /1024 TCLKA TCLKB	MP /1 MP /4 MP /16 MP /64 MP /256 MP /1024 TCLKA TCLKB	MP /1 MP /4 MP /16 MP /64 MP /256 MP /1024 TCLKA TCLKB
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0 TGRE_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRU_5 TGRV_5 TGRW_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0 TGRF_0	-	-	TGRC_3 TGRD_3	TGRC_4 TGRD_4	-
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D	入力端子 TIC5U TIC5V TIC5W
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力					-
	1 出力					-
	トグル出力					-
インプットキャプチャ機能						
同期動作						-
PWM モード 1						-
PWM モード 2				-	-	-
相補 PWM モード	-	-	-			-
リセット PWM モード	-	-	-			-
AC 同期モータ駆動モード		-	-			-
位相計数モード	-			-	-	-
バッファ動作		-	-			-
デッドタイム補償用 カウンタ機能	-	-	-	-	-	

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DTC の起動	TGR の コンペアマッチ または インプット キャブチャ	TGR の コンペアマッチ または インプット キャブチャ	TGR の コンペアマッチ または インプット キャブチャ	TGR の コンペアマッチ または インプット キャブチャ	TGR の コンペアマッチ または インプット キャブチャと TCNT オーバフロー/ アンダフロー	TGR の コンペアマッチ または インプット キャブチャ
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャブチャ TGRE_0 の コンペアマッチ	TGRA_1 の コンペアマッチ または インプット キャブチャ	TGRA_2 の コンペアマッチ または インプット キャブチャ	TGRA_3 の コンペアマッチ または インプット キャブチャ	TGRA_4 の コンペアマッチ または インプット キャブチャ 相補 PWM モード時 TCNT_4 の アンダフロー (谷)	-
割り込み要因	7 要因 <ul style="list-style-type: none"> • コンペアマッ チ / インプッ トキャブチャ 0A • コンペアマッ チ / インプッ トキャブチャ 0B • コンペアマッ チ / インプッ トキャブチャ 0C • コンペアマッ チ / インプッ トキャブチャ 0D • コンペアマッ チ 0E • コンペアマッ チ 0F • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッ チ / インプッ トキャブチャ 1A • コンペアマッ チ / インプッ トキャブチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッ チ / インプッ トキャブチャ 2A • コンペアマッ チ / インプッ トキャブチャ 2B • オーバフロー • アンダフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッ チ / インプッ トキャブチャ 3A • コンペアマッ チ / インプッ トキャブチャ 3B • コンペアマッ チ / インプッ トキャブチャ 3C • コンペアマッ チ / インプッ トキャブチャ 3D • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッ チ / インプッ トキャブチャ 4A • コンペアマッ チ / インプッ トキャブチャ 4B • コンペアマッ チ / インプッ トキャブチャ 4C • コンペアマッ チ / インプッ トキャブチャ 4D • オーバフロー / アンダフロー 	3 要因 <ul style="list-style-type: none"> • コンペアマッ チ / インプッ トキャブチャ 5U • コンペアマッ チ / インプッ トキャブチャ 5V • コンペアマッ チ / インプッ トキャブチャ 5W

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
A/D 変換開始要求 ディレイド機能	-	-	-	-	<ul style="list-style-type: none"> • TADCORA_4 と TCNT_4 の 一致で、A/D 変 換開始要求 • TADCORB_4 と TCNT_4 の 一致で、A/D 変 換開始要求 	-
割り込み間引き機能	-	-	-	<ul style="list-style-type: none"> • TGRA_3 のコ ンペアマッチ 割り込みを間 引き 	<ul style="list-style-type: none"> • TCIV_4 割り込 みを間引き 	-

【記号説明】

: 可能

- : 不可

図 10.1 に MTU2 のブロック図を示します。

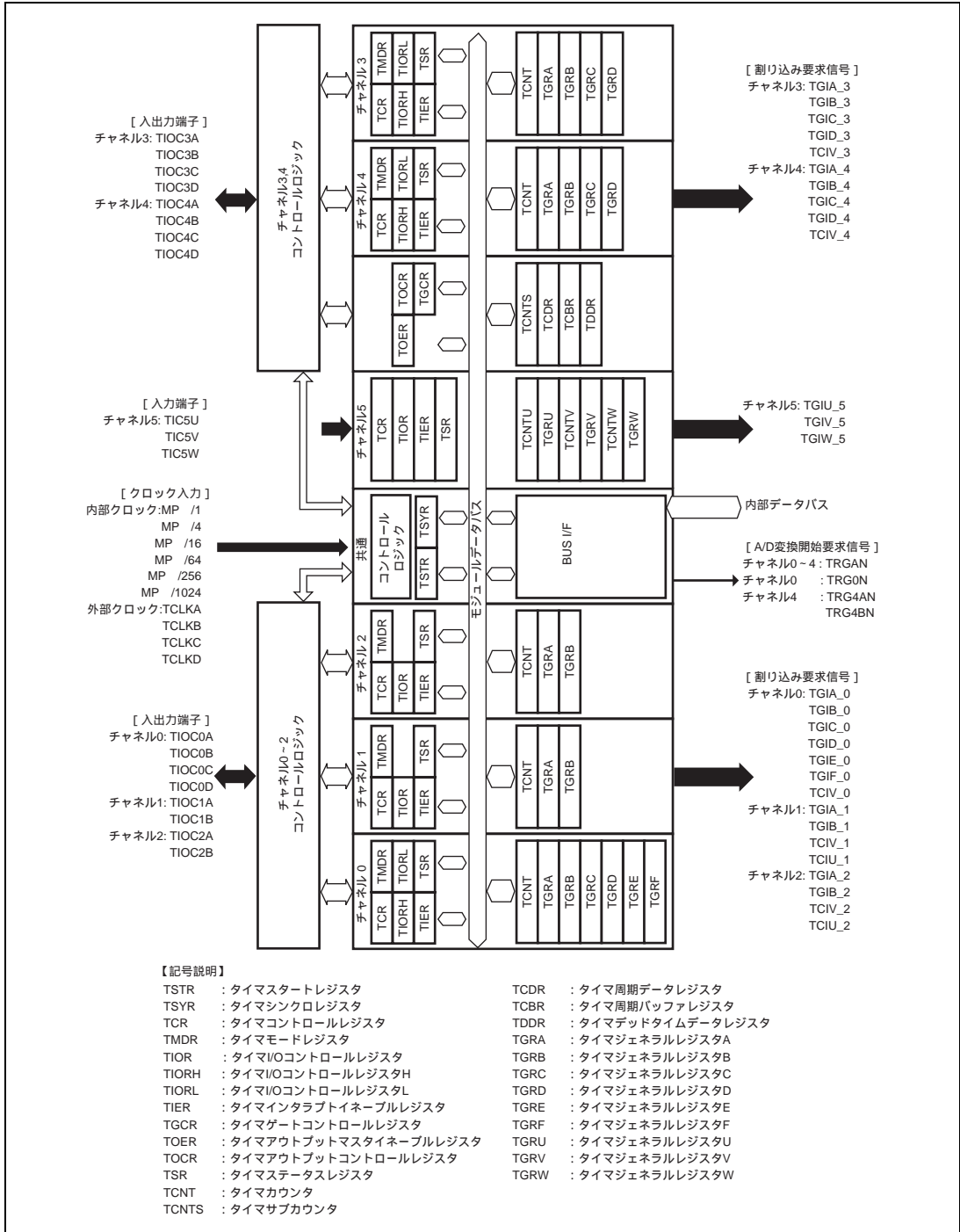


図 10.1 MTU2 のブロック図

10.2 入出力端子

表 10.2 端子構成

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

チャンネル	端子名	入出力	機能
5	TIC5U	入力	TGRU_5 のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5V	入力	TGRV_5 のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5W	入力	TGRW_5 のインプットキャプチャ入力 / 外部パルス入力端子

10.3 レジスタの説明

MTU2 には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名についてはチャンネル 0 の TCR は TCR_0 と表記してあります。

表 10.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
タイマコントロールレジスタ_3	TCR_3	R/W	H'00	H'FFFC200	8、16、32
タイマコントロールレジスタ_4	TCR_4	R/W	H'00	H'FFFC201	8
タイマモードレジスタ_3	TMDR_3	R/W	H'00	H'FFFC202	8、16
タイマモードレジスタ_4	TMDR_4	R/W	H'00	H'FFFC203	8
タイマ I/O コントロールレジスタ H_3	TIORH_3	R/W	H'00	H'FFFC204	8、16、32
タイマ I/O コントロールレジスタ L_3	TIORL_3	R/W	H'00	H'FFFC205	8
タイマ I/O コントロールレジスタ H_4	TIORH_4	R/W	H'00	H'FFFC206	8、16
タイマ I/O コントロールレジスタ L_4	TIORL_4	R/W	H'00	H'FFFC207	8
タイマインタラプトイネーブルレジスタ_3	TIER_3	R/W	H'00	H'FFFC208	8、16
タイマインタラプトイネーブルレジスタ_4	TIER_4	R/W	H'00	H'FFFC209	8
タイマアウトプットマスタイネーブルレジスタ	TOER	R/W	H'C0	H'FFFC20A	8
タイマゲートコントロールレジスタ	TGCR	R/W	H'80	H'FFFC20D	8
タイマアウトプットコントロールレジスタ 1	TOCR1	R/W	H'00	H'FFFC20E	8、16
タイマアウトプットコントロールレジスタ 2	TOCR2	R/W	H'00	H'FFFC20F	8
タイマカウンタ_3	TCNT_3	R/W	H'0000	H'FFFC210	16、32
タイマカウンタ_4	TCNT_4	R/W	H'0000	H'FFFC212	16
タイマ周期データレジスタ	TCDR	R/W	H'FFFF	H'FFFC214	16、32
タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FFFC216	16
タイマジェネラルレジスタ A_3	TGRA_3	R/W	H'FFFF	H'FFFC218	16、32
タイマジェネラルレジスタ B_3	TGRB_3	R/W	H'FFFF	H'FFFC21A	16
タイマジェネラルレジスタ A_4	TGRA_4	R/W	H'FFFF	H'FFFC21C	16、32
タイマジェネラルレジスタ B_4	TGRB_4	R/W	H'FFFF	H'FFFC21E	16
タイマサブカウンタ	TCNTS	R	H'0000	H'FFFC220	16、32
タイマ周期バッファレジスタ	TGBR	R/W	H'FFFF	H'FFFC222	16
タイマジェネラルレジスタ C_3	TGRC_3	R/W	H'FFFF	H'FFFC224	16、32
タイマジェネラルレジスタ D_3	TGRD_3	R/W	H'FFFF	H'FFFC226	16
タイマジェネラルレジスタ C_4	TGRC_4	R/W	H'FFFF	H'FFFC228	16、32
タイマジェネラルレジスタ D_4	TGRD_4	R/W	H'FFFF	H'FFFC22A	16
タイマステータスレジスタ_3	TSR_3	R/W	H'C0	H'FFFC22C	8、16
タイマステータスレジスタ_4	TSR_4	R/W	H'C0	H'FFFC22D	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
タイマ割り込み間引き設定レジスタ	TITCR	R/W	H'00	H'FFFC230	8、16
タイマ割り込み間引き回数カウンタ	TITCNT	R	H'00	H'FFFC231	8
タイマバッファ転送設定レジスタ	TBTER	R/W	H'00	H'FFFC232	8
タイマデッドタイムイネーブルレジスタ	TDER	R/W	H'01	H'FFFC234	8
タイマアウトプットレベルバッファレジスタ	TOLBR	R/W	H'00	H'FFFC236	8
タイマバッファ動作転送モードレジスタ_3	TBTM_3	R/W	H'00	H'FFFC238	8、16
タイマバッファ動作転送モードレジスタ_4	TBTM_4	R/W	H'00	H'FFFC239	8
タイマ A/D 変換開始要求コントロールレジスタ	TADCR	R/W	H'0000	H'FFFC240	16
タイマ A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	R/W	H'FFFF	H'FFFC244	16、32
タイマ A/D 変換開始要求周期設定レジスタ B_4	TADCORB_4	R/W	H'FFFF	H'FFFC246	16
タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	R/W	H'FFFF	H'FFFC248	16、32
タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	R/W	H'FFFF	H'FFFC24A	16
タイマ波形コントロールレジスタ	TWCR	R/W	H'00	H'FFFC260	8
タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFC280	8、16
タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFC281	8
タイマカウンタシンクロスタートレジスタ	TCSYSTR	R/W	H'00	H'FFFC282	8
タイマリードライトイネーブルレジスタ	TRWER	R/W	H'01	H'FFFC284	8
タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FFFC300	8、16、32
タイマモードレジスタ_0	TMDR_0	R/W	H'00	H'FFFC301	8
タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FFFC302	8、16
タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FFFC303	8
タイマインタラプトイネーブルレジスタ_0	TIER_0	R/W	H'00	H'FFFC304	8、16、32
タイマステータスレジスタ_0	TSR_0	R/W	H'C0	H'FFFC305	8
タイマカウンタ_0	TCNT_0	R/W	H'0000	H'FFFC306	16
タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FFFC308	16、32
タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FFFC30A	16
タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FFFC30C	16、32
タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FFFC30E	16
タイマジェネラルレジスタ E_0	TGRE_0	R/W	H'FFFF	H'FFFC320	16、32
タイマジェネラルレジスタ F_0	TGRF_0	R/W	H'FFFF	H'FFFC322	16
タイマインタラプトイネーブルレジスタ 2_0	TIER2_0	R/W	H'00	H'FFFC324	8、16
タイマステータスレジスタ 2_0	TSR2_0	R/W	H'C0	H'FFFC325	8
タイマバッファ動作転送モードレジスタ_0	TBTM_0	R/W	H'00	H'FFFC326	8
タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FFFC380	8、16
タイマモードレジスタ_1	TMDR_1	R/W	H'00	H'FFFC381	8
タイマ I/O コントロールレジスタ_1	TIOR_1	R/W	H'00	H'FFFC382	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
タイマインタラプトイネーブルレジスタ_1	TIER_1	R/W	H'00	H'FFFC384	8、16、32
タイマステータスレジスタ_1	TSR_1	R/W	H'C0	H'FFFC385	8
タイマカウンタ_1	TCNT_1	R/W	H'0000	H'FFFC386	16
タイマジェネラルレジスタ A_1	TGRA_1	R/W	H'FFFF	H'FFFC388	16、32
タイマジェネラルレジスタ B_1	TGRB_1	R/W	H'FFFF	H'FFFC38A	16
タイマインプットキャプチャコントロールレジスタ	TICCR	R/W	H'00	H'FFFC390	8
タイマコントロールレジスタ_2	TCR_2	R/W	H'00	H'FFFC400	8、16
タイマモードレジスタ_2	TMDR_2	R/W	H'00	H'FFFC401	8
タイマ I/O コントロールレジスタ_2	TIOR_2	R/W	H'00	H'FFFC402	8
タイマインタラプトイネーブルレジスタ_2	TIER_2	R/W	H'00	H'FFFC404	8、16、32
タイマステータスレジスタ_2	TSR_2	R/W	H'C0	H'FFFC405	8
タイマカウンタ_2	TCNT_2	R/W	H'0000	H'FFFC406	16
タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FFFC408	16、32
タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FFFC40A	16
タイマカウンタ U_5	TCNTU_5	R/W	H'0000	H'FFFC480	16、32
タイマジェネラルレジスタ U_5	TGRU_5	R/W	H'FFFF	H'FFFC482	16
タイマコントロールレジスタ U_5	TCRU_5	R/W	H'00	H'FFFC484	8
タイマ I/O コントロールレジスタ U_5	TIORU_5	R/W	H'00	H'FFFC486	8
タイマカウンタ V_5	TCNTV_5	R/W	H'0000	H'FFFC490	16、32
タイマジェネラルレジスタ V_5	TGRV_5	R/W	H'FFFF	H'FFFC492	16
タイマコントロールレジスタ V_5	TCRV_5	R/W	H'00	H'FFFC494	8
タイマ I/O コントロールレジスタ V_5	TIORV_5	R/W	H'00	H'FFFC496	8
タイマカウンタ W_5	TCNTW_5	R/W	H'0000	H'FFFC4A0	16、32
タイマジェネラルレジスタ W_5	TGRW_5	R/W	H'FFFF	H'FFFC4A2	16
タイマコントロールレジスタ W_5	TCRW_5	R/W	H'00	H'FFFC4A4	8
タイマ I/O コントロールレジスタ W_5	TIORW_5	R/W	H'00	H'FFFC4A6	8
タイマステータスレジスタ_5	TSR_5	R/W	H'00	H'FFFC4B0	8
タイマインタラプトイネーブルレジスタ_5	TIER_5	R/W	H'00	H'FFFC4B2	8
タイマスタートレジスタ_5	TSTR_5	R/W	H'00	H'FFFC4B4	8
タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	R/W	H'00	H'FFFC4B6	8

10.3.1 タイマコントロールレジスタ (TCR)

TCR は、各チャンネルの TCNT を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。MTU2 には、チャンネル 0~4 に各 1 本、チャンネル 5 には TCRU/V/W_5 の 3 本、計 8 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	CCLR[2:0]	000	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 10.4、表 10.5 を参照してください。
4、3	CKEG[1:0]	00	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: MP /4 の両エッジ = MP /2 の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが MP /4 もしくはそれより遅い場合に有効です。入力クロックに MP /1、あるいは他のチャンネルのオーバフロー / アンダフローを選択した場合、値は書き込めますが、動作は初期値となります。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1x: 両エッジでカウント
2~0	TPSC[2:0]	000	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 10.6 ~ 表 10.10 を参照してください。

【記号説明】 x : Don't care

表 10.4 CCLR2~CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

表 10.5 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ* ²	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込みは無効です。

表 10.6 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : MP /1 でカウント
	0	0	1	内部クロック : MP /4 でカウント
	0	1	0	内部クロック : MP /16 でカウント
	0	1	1	内部クロック : MP /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 10.7 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : MP /1 でカウント
	0	0	1	内部クロック : MP /4 でカウント
	0	1	0	内部クロック : MP /16 でカウント
	0	1	1	内部クロック : MP /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : MP /256 でカウント
	1	1	1	TCNT_2 のオーバフロー / アンダフローでカウント

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

表 10.8 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : MP /1 でカウント
	0	0	1	内部クロック : MP /4 でカウント
	0	1	0	内部クロック : MP /16 でカウント
	0	1	1	内部クロック : MP /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : MP /1024 でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

表 10.9 TPSC2~TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : MP /1 でカウント
	0	0	1	内部クロック : MP /4 でカウント
	0	1	0	内部クロック : MP /16 でカウント
	0	1	1	内部クロック : MP /64 でカウント
	1	0	0	内部クロック : MP /256 でカウント
	1	0	1	内部クロック : MP /1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

表 10.10 TPSC1、TPSC0 (チャンネル 5)

チャンネル	ビット 1	ビット 0	説 明
	TPSC1	TPSC0	
5	0	0	内部クロック : MP /1 でカウント
	0	1	内部クロック : MP /4 でカウント
	1	0	内部クロック : MP /16 でカウント
	1	1	内部クロック : MP /64 でカウント

【注】 チャンネル 5 では、ビット 7~2 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10.3.2 タイマモードレジスタ (TMDR)

TMDR は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。MTU2 には、チャンネル 0~4 に各 1 本、計 5 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	BFE	BFB	BFA	MD[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BFE	0	R/W	バッファ動作 E TGRE_0 と TGRF_0 を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。 チャンネル 1、2、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0: TGRE_0 と TGRF_0 は通常動作 1: TGRE_0 と TGRF_0 はバッファ動作
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ / アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGF D がセットされますので、タイムインタラプトイネーブルレジスタ_3/4 (TIER_3/4) の TGIED ビットは 0 にしてください。 TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0: TGRB と TGRD は通常動作 1: TGRB と TGRD はバッファ動作

ビット	ビット名	初期値	R/W	説明
4	BFA	0	R/W	<p>バッファ動作 A</p> <p>TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、チャンネル 4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGFC がセットされますので、タイマインタラプトイネーブルレジスタ_4 (TIER_4) の TGIEC ビットは 0 にしてください。</p> <p>TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作</p>
3~0	MD[3:0]	0000	R/W	<p>モード 3~0</p> <p>MD3 ~ MD0 はタイマの動作モードを設定します。</p> <p>詳細は表 10.11 を参照してください。</p>

表 10.11 MD3~MD0 ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2* ¹
0	1	0	0	位相計数モード 1* ²
0	1	0	1	位相計数モード 2* ²
0	1	1	0	位相計数モード 3* ²
0	1	1	1	位相計数モード 4* ²
1	0	0	0	リセット同期 PWM モード* ³
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1 (山で転送)* ³
1	1	1	0	相補 PWM モード 2 (谷で転送)* ³
1	1	1	1	相補 PWM モード 3 (山・谷で転送)* ³

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

10.3.3 タイマ I/O コントロールレジスタ (TIOR)

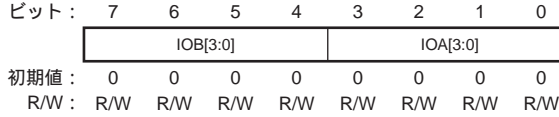
TIOR は、TGR を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。MTU2 には、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、チャンネル 5 には TIORU/V/W_5 の 3 本、計 11 本の TIOR があります。

TIOR は TMDR の設定が、通常動作、PWM モード、位相計数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

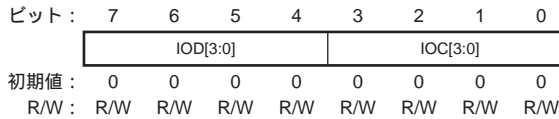
TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

• TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4



ビット	ビット名	初期値	R/W	説明
7~4	IOB[3:0]	0000	R/W	I/O コントロール B3~B0 IOB3~IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 10.12 TIOR_1 : 表 10.14 TIOR_2 : 表 10.15 TIORH_3 : 表 10.16 TIORH_4 : 表 10.18
3~0	IOA[3:0]	0000	R/W	I/O コントロール A3~A0 IOA3~IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 10.20 TIOR_1 : 表 10.22 TIOR_2 : 表 10.23 TIORH_3 : 表 10.24 TIORH_4 : 表 10.26

• TIORL_0、TIORL_3、TIORL_4



ビット	ビット名	初期値	R/W	説明
7~4	IOD[3:0]	0000	R/W	I/O コントロール D3~D0 IOD3~IOD0 ビットは TGRD の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 10.13 TIORL_3 : 表 10.17 TIORL_4 : 表 10.19
3~0	IOC[3:0]	0000	R/W	I/O コントロール C3~C0 IOC3~IOC0 ビットは TGRC の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 10.21 TIORL_3 : 表 10.25 TIORL_4 : 表 10.27

- TIORU_5、TIORV_5、TIORW_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	IOC[4:0]				
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	IOC[4:0]	00000	R/W	I/O コントロール C4~C0 IOC4~IOC0 ビットは TGRU/V/W_5 の機能を設定します。 詳細については表 10.28 を参照してください。

表 10.12 TIORH_0 (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは0が出力されます。

表 10.13 TIORL_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 10.14 TIOR_1 (チャンネル 1)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 10.15 TIOR_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 10.16 TIORH_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 10.17 TIORL_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 10.18 TIORH_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	TGRB_4 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 10.19 TIORL_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TIOC4D 端子の機能
0	0	0	0	アウトプットコンペア レジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ / アウトプットコンペアは発生しません。

表 10.20 TIORH_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 10.21 TIORL_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOC0C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 10.22 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 10.23 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 10.24 TIORH_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 10.25 TIORL_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペア レジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャ レジスタ* ²
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 10.26 TIORH_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 10.27 TIORL_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ* ²
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_4 の BFA ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 10.28 TIORU_5、TIORV_5、TIORW_5 (チャンネル 5)

ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC4	IOC3	IOC2	IOC1	IOC0	TGRU_5、TGRV_5、 TGRW_5 の機能	TIC5U、TIC5V、TIC5W 端子の機能
0	0	0	0	0	コンペアマッチ レジスタ	コンペアマッチ
0	0	0	0	1		設定禁止
0	0	0	1	x		設定禁止
0	0	1	x	x		設定禁止
0	1	x	x	x		設定禁止
1	0	0	0	0	インプットキャプチャ レジスタ	設定禁止
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定禁止
1	1	0	0	0		設定禁止
1	1	0	0	1		外部入力信号の Low パルス幅測定用 相補 PWM モードの谷でキャプチャ
1	1	0	1	0		外部入力信号の Low パルス幅測定用 相補 PWM モードの山でキャプチャ
1	1	0	1	1		外部入力信号の Low パルス幅測定用 相補 PWM モードの山と谷でキャプチャ
1	1	1	0	0		設定禁止
1	1	1	0	1		外部入力信号の High パルス幅測定用 相補 PWM モードの谷でキャプチャ
1	1	1	1	0		外部入力信号の High パルス幅測定用 相補 PWM モードの山でキャプチャ
1	1	1	1	1	外部入力信号の High パルス幅測定用 相補 PWM モードの山と谷でキャプチャ	

【記号説明】 x : Don't care

10.3.4 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

TCNTCMPCLR は、8 ビットの読み出し / 書き込み可能なレジスタで、TCNTU_5、TCNTV_5、TCNTW_5 のクリア要求を設定することができます。MTU2 には、チャンネル 5 に 1 本の TCNTCMPCLR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMP CLR5U	CMP CLR5V	CMP CLR5W
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CMPCLR5U	0	R/W	TCNT コンペアクリア 5U TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 クリア要求を許可または禁止します。 0: TCNTU_5 と TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 の H'0000 クリアを禁止 1: TCNTU_5 と TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 の H'0000 クリアを許可
1	CMPCLR5V	0	R/W	TCNT コンペアクリア 5V TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 クリア要求を許可または禁止します。 0: TCNTV_5 と TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 の H'0000 クリアを禁止 1: TCNTV_5 と TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 の H'0000 クリアを許可
0	CMPCLR5W	0	R/W	TCNT コンペアクリア 5W TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 クリア要求を許可または禁止します。 0: TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 の H'0000 クリアを禁止 1: TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 の H'0000 クリアを許可

10.3.5 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~5 に各 1 本、計 7 本の TIER があります。

- TIER_0、TIER_1、TIER_2、TIER_3、TIER_4

ビット:	7	6	5	4	3	2	1	0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 相補 PWM モードで、TCNT_4 のアンダフロー（谷）による A/D 変換要求の発生を許可または禁止します。 チャンネル 0~3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を禁止 1 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を許可
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されません。書き込む値も常に 0 にしてください。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可

ビット	ビット名	初期値	R/W	説明
3	TGIED	0	R/W	<p>TGR インタラプトイネーブル D</p> <p>チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可</p>
2	TGIEC	0	R/W	<p>TGR インタラプトイネーブル C</p> <p>チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可</p>
1	TGIEB	0	R/W	<p>TGR インタラプトイネーブル B</p> <p>TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。</p> <p>0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可</p>
0	TGIEA	0	R/W	<p>TGR インタラプトイネーブル A</p> <p>TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。</p> <p>0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可</p>

- TIER2_0

ビット:	7	6	5	4	3	2	1	0
	TTGE2	-	-	-	-	-	TGIEF	TGIEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を禁止する 1: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を許可する
6~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGIEF	0	R/W	TGR インタラプトイネーブル F TCNT_0 と TGRF_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGFE ビットによる割り込み要求 (TGIF) を禁止 1: TGFE ビットによる割り込み要求 (TGIF) を許可
0	TGIEE	0	R/W	TGR インタラプトイネーブル E TCNT_0 と TGRE_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGEE ビットによる割り込み要求 (TGIE) を禁止 1: TGEE ビットによる割り込み要求 (TGIE) を許可

• TIER_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TGIE5U	0	R/W	TGR インタラプトイネーブル 5U TSR_5 の CMFU5 ビットに1がセットされたとき、CMFU5 ビットによる割り込み要求 (TGIU_5) を許可または禁止します。 0: TGIU_5 割り込み要求を禁止 1: TGIU_5 割り込み要求を許可
1	TGIE5V	0	R/W	TGR インタラプトイネーブル 5V TSR_5 の CMFV5 ビットに1がセットされたとき、CMFV5 ビットによる割り込み要求 (TGIV_5) を許可または禁止します。 0: TGIV_5 割り込み要求を禁止 1: TGIV_5 割り込み要求を許可
0	TGIE5W	0	R/W	TGR インタラプトイネーブル 5W TSR_5 の CMFW5 ビットに1がセットされたとき、CMFW5 ビットによる割り込み要求 (TGIW_5) を許可または禁止します。 0: TGIW_5 割り込み要求を禁止 1: TGIW_5 割り込み要求を許可

10.3.6 タイマステータスレジスタ (TSR)

TSR は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルのステータスの表示を行います。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~5 に各 1 本、計 7 本の TSR があります。

- TSR_0、TSR_1、TSR_2、TSR_3、TSR_4

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	TCFD	1	R	カウント方向フラグ チャンネル 1~4 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCFU	0	R/(W)*1	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [セット条件] • TCNT の値がアンダフロー (H'0000 H'FFFF) したとき [クリア条件] • TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき*2
4	TCFV	0	R/(W)*1	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [セット条件] • TCNT の値がオーバフローしたとき (H'FFFF H'0000) チャンネル 4 では相補 PWM モードで TCNT_4 の値がアンダフロー (H'0001 H'0000) したときにも本フラグがセットされます。 [クリア条件] • TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき*2 チャンネル 4 では、TCIV 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときにもクリアされます。

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき*²
2	TGFC	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき*²
1	TGFB	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき*²

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき*²

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 1 を読み出した後、0 を書き込む前に次のフラグセットが発生した場合は、0 を書き込んでもフラグはクリアされませんので、再度 1 を読み出して 0 を書き込んでください。

- TSR2_0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TGFF	TGFE
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	TGFF	0	R/(W)*1	コンペアマッチフラグF TCNT_0とTGRF_0のコンペアマッチの発生を示すステータスフラグです。 [セット条件] • TGRF_0をコンペアレジスタとして機能している場合、TCNT_0=TGRF_0になったとき [クリア条件] • TGFF=1の状態ではTGFFをリード後、TGFFに0をライトしたとき*2
0	TGFE	0	R/(W)*1	コンペアマッチフラグE TCNT_0とTGRE_0のコンペアマッチの発生を示すステータスフラグです。 [セット条件] • TGRE_0をコンペアレジスタとして機能している場合、TCNT_0=TGRE_0になったとき [クリア条件] • TGFE=1の状態ではTGFEをリード後、TGFEに0をライトしたとき*2

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 1を読み出した後、0を書き込む前に次のコンペアマッチによるフラグセットが発生した場合は、0を書き込んで
もフラグはクリアされませんので、再度1を読み出して0を書き込んでください。

• TSR_5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMFU5	CMFV5	CMFW5
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/(W)*1	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	CMFU5	0	R/(W)*1	<p>コンペアマッチ/インプットキャプチャフラグ U5</p> <p>TGRU_5 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための0ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRU_5 がコンペアマッチレジスタとして機能している場合、TCNTU_5 = TGRU_5 になったとき • TGRU_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTU_5 の値が TGRU_5 に転送されたとき • TGRU_5 が外部入力信号のパルス幅測定として機能している場合、TCNTU_5 の値が TGRU_5 に転送されたとき*2 <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIU_5 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが0のとき • CMFU5 = 1 の状態で CMFU5 をリード後、CMFU5 に0をライトしたとき
1	CMFV5	0	R/(W)*1	<p>コンペアマッチ/インプットキャプチャフラグ V5</p> <p>TGRV_5 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための0ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRV_5 がコンペアマッチレジスタとして機能している場合、TCNTV_5 = TGRV_5 になったとき • TGRV_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTV_5 の値が TGRV_5 に転送されたとき • TGRV_5 が外部入力信号のパルス幅測定として機能している場合、TCNTV_5 の値が TGRV_5 に転送されたとき*2 <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIV_5 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが0のとき • CMFV5 = 1 の状態で CMFV5 をリード後、CMFV5 に0をライトしたとき

ビット	ビット名	初期値	R/W	説明
0	CMFW5	0	R/(W)*1	<p>コンペアマッチ/インプットキャプチャフラグ W5</p> <p>TGRW_5 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRW_5 がコンペアマッチレジスタとして機能している場合、TCNTW_5 = TGRW_5 になったとき • TGRW_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTW_5 の値が TGRW_5 に転送されたとき • TGRW_5 が外部入力信号のパルス幅測定として機能している場合、TCNTW_5 の値が TGRW_5 に転送されたとき*2 <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIW_5 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • CMFW5 = 1 の状態で CMFW5 をリード後、CMFW5 に 0 をライトしたとき

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 転送するタイミングは、タイマ I/O コントロールレジスタ U_5/V_5/W_5 (TIORU_5/V_5/W_5) の IOC ビットで設定します。

10.3.7 タイマバッファ動作転送モードレジスタ (TBTM)

TBTM は、8 ビットの読み出し / 書き込み可能なレジスタで、PWM モード時のバッファレジスタからタイムジェネラルレジスタへの転送タイミングの設定を行います。MTU2 には、チャンネル 0、3、4 に各 1 本、計 3 本の TBTM があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TTSE	TTSB	TTSA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TTSE	0	R/W	タイミングセレクト E バッファ動作時の TGRF_0 から TGRE_0 への転送タイミングを設定します。チャンネル 3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。なお、チャンネル 0 を PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0: チャンネル 0 のコンペアマッチ E 発生時 1: TCNT_0 クリア時
1	TTSB	0	R/W	タイミングセレクト B 各チャンネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ B 発生時 1: 各チャンネルの TCNT クリア時
0	TTSA	0	R/W	タイミングセレクト A 各チャンネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ A 発生時 1: 各チャンネルの TCNT クリア時

10.3.8 タイマインプットキャプチャコントロールレジスタ (TICCR)

TICCR は、8 ビットの読み出し / 書き込み可能なレジスタで、TCNT_1 と TCNT_2 のカスケード接続時のインプットキャプチャ条件を制御します。MTU2 には、チャンネル 1 に 1 本の TICCR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	I2BE	I2AE	I1BE	I1AE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	I2BE	0	R/W	インプットキャプチャイネーブル TGRB_1 のインプットキャプチャ条件に TIOC2B 端子を追加する / しないを選択します。 0: TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加しない 1: TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加する
2	I2AE	0	R/W	インプットキャプチャイネーブル TGRA_1 のインプットキャプチャ条件に TIOC2A 端子を追加する / しないを選択します。 0: TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加しない 1: TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加する
1	I1BE	0	R/W	インプットキャプチャイネーブル TGRB_2 のインプットキャプチャ条件に TIOC1B 端子を追加する / しないを選択します。 0: TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加しない 1: TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加する
0	I1AE	0	R/W	インプットキャプチャイネーブル TGRA_2 のインプットキャプチャ条件に TIOC1A 端子を追加する / しないを選択します。 0: TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加しない 1: TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加する

10.3.9 タイマシンクロクリアレジスタ (TSYCR)

TSYCR は、8 ビットの読み出し / 書き込み可能なレジスタで、MTU2 からの MTU2S の TCNT_3、TCNT_4 の同期クリア条件の設定を行います。MTU2S には、チャンネル 3 に 1 本の TSYCR があります。ただし MTU2 には TSYCR はありません。

ビット:	7	6	5	4	3	2	1	0
	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CE0A	0	R/W	クリアイネーブル 0A MTU2 の TSR_0 の TGFA フラグセットでのクリア禁止 / 許可を設定します。 0 : TSR_0 の TGFA フラグセットでのクリア禁止 1 : TSR_0 の TGFA フラグセットでのクリア許可
6	CE0B	0	R/W	クリアイネーブル 0B MTU2 の TSR_0 の TGFB フラグセットでのクリア禁止 / 許可を設定します。 0 : TSR_0 の TGFB フラグセットでのクリア禁止 1 : TSR_0 の TGFB フラグセットでのクリア許可
5	CE0C	0	R/W	クリアイネーブル 0C MTU2 の TSR_0 の TGFC フラグセットでのクリア禁止 / 許可を設定します。 0 : TSR_0 の TGFC フラグセットでのクリア禁止 1 : TSR_0 の TGFC フラグセットでのクリア許可
4	CE0D	0	R/W	クリアイネーブル 0D MTU2 の TSR_0 の TGFD フラグセットでのクリア禁止 / 許可を設定します。 0 : TSR_0 の TGFD フラグセットでのクリア禁止 1 : TSR_0 の TGFD フラグセットでのクリア許可
3	CE1A	0	R/W	クリアイネーブル 1A MTU2 の TSR_1 の TGFA フラグセットでのクリア禁止 / 許可を設定します。 0 : TSR_1 の TGFA フラグセットでのクリア禁止 1 : TSR_1 の TGFA フラグセットでのクリア許可
2	CE1B	0	R/W	クリアイネーブル 1B MTU2 の TSR_1 の TGFB フラグセットでのクリア禁止 / 許可を設定します。 0 : TSR_1 の TGFB フラグセットでのクリア禁止 1 : TSR_1 の TGFB フラグセットでのクリア許可
1	CE2A	0	R/W	クリアイネーブル 2A MTU2 の TSR_2 の TGFA フラグセットでのクリア禁止 / 許可を設定します。 0 : TSR_2 の TGFA フラグセットでのクリア禁止 1 : TSR_2 の TGFA フラグセットでのクリア許可

ビット	ビット名	初期値	R/W	説明
0	CE2B	0	R/W	クリアイネーブル 2B MTU2 の TSR_2 の TGFB フラグセットでのクリア禁止 / 許可を設定します。 0 : TSR_2 の TGFB フラグセットでのクリア禁止 1 : TSR_2 の TGFB フラグセットでのクリア許可

10.3.10 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

TADCR は、16 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。MTU2 には、チャンネル 4 に 1 本の TADCR があります。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]	-	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
初期値	0	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*
R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* 相補PWMモード以外では、1に設定しないでください。

ビット	ビット名	初期値	R/W	説明
15, 14	BF[1:0]	00	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 10.29 を参照してください。
13~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	UT4AE	0	R/W	アップカウント TRG4AN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可
6	DT4AE	0*	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
5	UT4BE	0	R/W	アップカウント TRG4BN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可

ビット	ビット名	初期値	R/W	説明
4	DT4BE	0*	R/W	<p>ダウンカウント TRG4BN イネーブル</p> <p>TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。</p> <p>0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止</p> <p>1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可</p>
3	ITA3AE	0*	R/W	<p>TGIA_3 割り込み間引き運動イネーブル</p> <p>A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。</p> <p>0 : TGIA_3 割り込み間引き機能と連動しない</p> <p>1 : TGIA_3 割り込み間引き機能と連動する</p>
2	ITA4VE	0*	R/W	<p>TCIV_4 割り込み間引き運動イネーブル</p> <p>A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。</p> <p>0 : TCIV_4 割り込み間引き機能と連動しない</p> <p>1 : TCIV_4 割り込み間引き機能と連動する</p>
1	ITB3AE	0*	R/W	<p>TGIA_3 割り込み間引き運動イネーブル</p> <p>A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。</p> <p>0 : TGIA_3 割り込み間引き機能と連動しない</p> <p>1 : TGIA_3 割り込み間引き機能と連動する</p>
0	ITB4VE	0*	R/W	<p>TCIV_4 割り込み間引き運動イネーブル</p> <p>A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。</p> <p>0 : TCIV_4 割り込み間引き機能と連動しない</p> <p>1 : TCIV_4 割り込み間引き機能と連動する</p>

- 【注】
1. TADCR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
 2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。
 3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。
- * 相補 PWM モード以外では、1 に設定しないでください。

表 10.29 BF1、BF0 ビットによる転送タイミングの設定

ビット7	ビット6	説 明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタから周期設定レジスタへ転送する* ¹
1	0	TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する* ²
1	1	TCNT_4 の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する* ²

【注】 *1 相補 PWM モードでは TCNT_4 の山、リセット同期 PWM モードでは TCNT_3 が TGRA_3 とコンペアマッチしたとき、PWM モード 1 / 通常動作モードでは TCNT_4 が TGRA_4 とコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

*2 相補 PWM モード以外では設定禁止です。

10.3.11 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)

TADCORA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TCNT_4 と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCORA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.12 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)

TADCOBRA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TADCORA/B_4 のバッファレジスタから山か谷で TADCORA/B_4 に転送します。

TADCOBRA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCOBRA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.13 タイマカウンタ (TCNT)

TCNT は、16 ビットの読み出し / 書き込み可能なカウンタです。チャンネル 0~4 に各 1 本、チャンネル 5 に TCNTU/V/W_5 の 3 本、計 8 本の TCNT があります。

TCNT は、リセット時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.14 タイマジェネラルレジスタ (TGR)

TGR は、16 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 0 に 6 本、チャンネル 1、2 に各 2 本、チャンネル 3、4 に各 4 本、チャンネル 5 に 3 本、計 21 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD はアウトプットコンペア / インプットキャプチャ兼用のレジスタです。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

TGRE_0、TGRF_0 はコンペアレジスタとして機能し、TCNT_0 と TGRE_0 が一致したとき、A/D 変換開始要求を発生することができます。TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE - TGRF になります。

TGRU_5、TGRV_5、TGRW_5 はコンペアマッチ / インプットキャプチャ / 外部パルス幅測定兼用のレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、H'FFFFです。

10.3.15 タイマスタートレジスタ (TSTR)

TSTR は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~4 の TCNT の動作 / 停止を選択します。

TSTR_5 は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 5 の TCNTU/V/W_5 の動作 / 停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

- TSTR

ビット:	7	6	5	4	3	2	1	0
	CST4	CST3	-	-	-	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CST4	0	R/W	カウンタスタート 4、3
6	CST3	0	R/W	TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2~TCNT_0 のカウント動作は停止 1 : TCNT_2~TCNT_0 はカウント動作

• TSTR_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CSTU5	CSTV5	CSTW5
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	CSTU5	0	R/W	カウンタスタート U5 TCNTU_5 の動作または停止を選択します。 0 : TCNTU_5 のカウンタ動作は停止 1 : TCNTU_5 のカウンタ動作
1	CSTV5	0	R/W	カウンタスタート V5 TCNTV_5 の動作または停止を選択します。 0 : TCNTV_5 のカウンタ動作は停止 1 : TCNTV_5 のカウンタ動作
0	CSTW5	0	R/W	カウンタスタート W5 TCNTW_5 の動作または停止を選択します。 0 : TCNTW_5 のカウンタ動作は停止 1 : TCNTW_5 のカウンタ動作

10.3.16 タイマシンクロレジスタ (TSYR)

TSYR は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SYNC4	0	R/W	タイマ同期 4、3
6	SYNC3	0	R/W	<p>他のチャンネルとの独立動作または同期動作を選択します。</p> <p>同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。</p> <p>同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。</p> <p>0 : TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係)</p> <p>1 : TCNT_4、TCNT_3 は同期動作 TCNT の同期プリセット / 同期クリアが可能</p>
5~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	<p>同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。</p> <p>同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。</p> <p>0 : TCNT_2 ~ TCNT_0 は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係)</p> <p>1 : TCNT_2 ~ TCNT_0 は同期動作 TCNT の同期プリセット / 同期クリアが可能</p>

10.3.17 タイマカウンタシンクロナスタートレジスタ (TCSYSTR)

TCSYSTR は、8 ビットの読み出し / 書き込み可能なレジスタで、MTU2 と MTU2S のカウンタの同期スタートを行います。ただし MTU2S には TCSYSTR はありません。

ビット:	7	6	5	4	3	2	1	0
	SCH0	SCH1	SCH2	SCH3	SCH4	-	SCH3S	SCH4S
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R/(W)*	R/(W)*

【注】* レジスタをセットするために1を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	SCH0	0	R/(W)*	シンクロナスタート MTU2 の TCNT_0 のシンクロナスタートを制御します。 0 : MTU2 の TCNT_0 をシンクロナスタートしない 1 : MTU2 の TCNT_0 をシンクロナスタートする [クリア条件] • SCH0 = 1 の状態で、MTU2 の TSTR の CST0 ビットに 1 をセットしたとき
6	SCH1	0	R/(W)*	シンクロナスタート MTU2 の TCNT_1 のシンクロナスタートを制御します。 0 : MTU2 の TCNT_1 をシンクロナスタートしない 1 : MTU2 の TCNT_1 をシンクロナスタートする [クリア条件] • SCH1 = 1 の状態で、MTU2 の TSTR の CST1 ビットに 1 をセットしたとき
5	SCH2	0	R/(W)*	シンクロナスタート MTU2 の TCNT_2 のシンクロナスタートを制御します。 0 : MTU2 の TCNT_2 をシンクロナスタートしない 1 : MTU2 の TCNT_2 をシンクロナスタートする [クリア条件] • SCH2 = 1 の状態で、MTU2 の TSTR の CST2 ビットに 1 をセットしたとき
4	SCH3	0	R/(W)*	シンクロナスタート MTU2 の TCNT_3 のシンクロナスタートを制御します。 0 : MTU2 の TCNT_3 をシンクロナスタートしない 1 : MTU2 の TCNT_3 をシンクロナスタートする [クリア条件] • SCH3 = 1 の状態で、MTU2 の TSTR の CST3 ビットに 1 をセットしたとき

ビット	ビット名	初期値	R/W	説 明
3	SCH4	0	R/(W)*	シンクロスタート MTU2 の TCNT_4 のシンクロスタートを制御します。 0 : MTU2 の TCNT_4 をシンクロスタートしない 1 : MTU2 の TCNT_4 をシンクロスタートする [クリア条件] • SCH4 = 1 の状態で、MTU2 の TSTR の CST4 ビットに 1 をセットしたとき
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SCH3S	0	R/(W)*	シンクロスタート MTU2S の TCNT_3S のシンクロスタートを制御します。 0 : MTU2S の TCNT_3S をシンクロスタートしない 1 : MTU2S の TCNT_3S をシンクロスタートする [クリア条件] • SCH3S = 1 の状態で、MTU2S の TSTRS の CST3 ビットに 1 をセットしたとき
0	SCH4S	0	R/(W)*	シンクロスタート MTU2S の TCNT_4S のシンクロスタートを制御します。 0 : MTU2S の TCNT_4S をシンクロスタートしない 1 : MTU2S の TCNT_4S をシンクロスタートする [クリア条件] • SCH4S = 1 の状態で、MTU2S の TSTRS の CST4 ビットに 1 をセットしたとき

【注】 * レジスタをセットするために 1 を書き込むことのみ可能です。

10.3.18 タイマリードライトイネーブルレジスタ (TRWER)

TRWER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3、4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RWE
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RWE	1	R/W	リードライトイネーブル 誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。 0 : レジスタのリードライトを禁止する 1 : レジスタのリードライトを許可する [クリア条件] • RWE = 1 の状態で RWE をリード後、RWE に 0 をライトしたとき

- 誤書き込み防止の対象レジスタ / カウンタ

TCR_3、4、TMDR_3、4、TIORH_3、4、TIORL_3、4、TIER_3、4、TGRA_3、4、TGRB_3、4、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と TCNT_3、4 の計 22 レジスタです。

10.3.19 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットの読み出し / 書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。

ビット:	7	6	5	4	3	2	1	0
	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可

【注】 * 非アクティブレベルは、タイマアウトプットコントロールレジスタ 1/2 (TOCR1/2) の設定によります。詳細は、「10.3.20 タイマアウトプットコントロールレジスタ 1 (TOCR1)」、「10.3.21 タイマアウトプットコントロールレジスタ 2 (TOCR2)」を参照してください。なお、相補 PWM モード / リセット同期 PWM モード以外で MTU2 出力する場合は 1 に設定してください。0 に設定した場合はローレベルが出力されます。

10.3.20 タイマアウトプットコントロールレジスタ 1 (TOCR1)

TOCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/(W)*	R/W	R/W	R/W

【注】* パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PSYE	0	R/W	PWM 同期出力イネーブル PWM 周期に同期したトグル出力の許可 / 禁止を設定します。 0: トグル出力を禁止 1: トグル出力を許可
5、4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TOCL	0	R/(W)*	TOC レジスタ書き込み禁止ビット* ¹ TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止
2	TOCS	0	R/W	TOC セレクトビット 相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0: TOCR1 の設定を有効にする 1: TOCR2 の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクト N* ² リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 10.30 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P* ² リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 10.31 を参照してください。

【注】 *1 TOCL ビットを 1 に設定することにより、CPU 暴走時の誤書き込みを防止することができます。

*2 TOCS ビットを 0 に設定することにより、本設定が有効になります。

表 10.30 出力レベルセレクト機能

ビット 1	機 能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 10.31 出力レベルセレクト機能

ビット 0	機 能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 10.2 に示します。

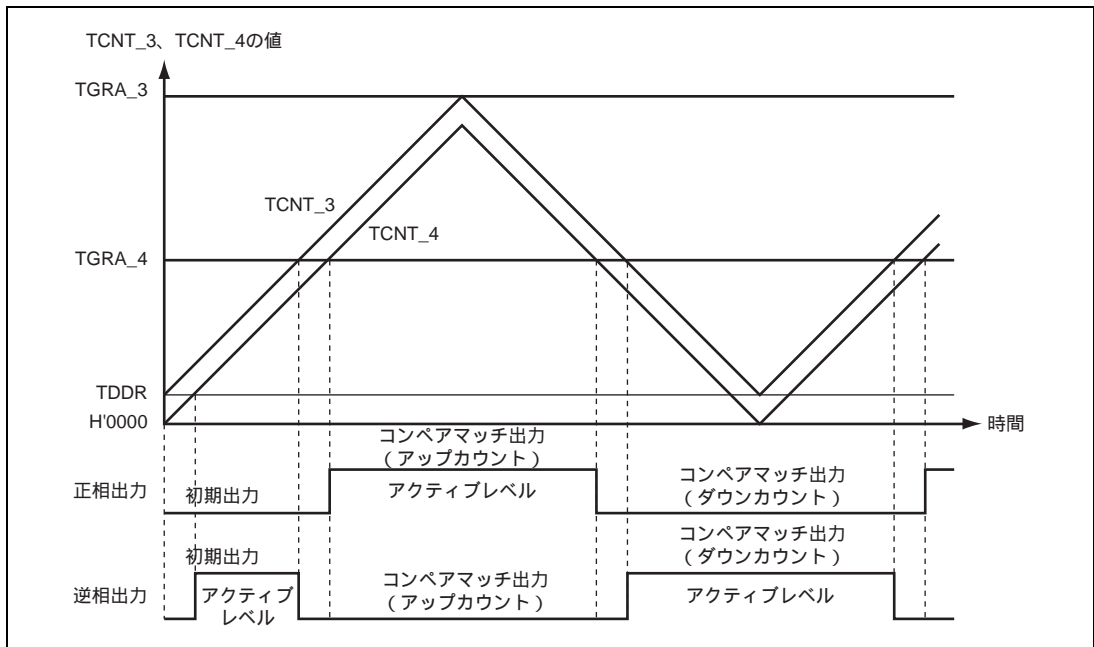


図 10.2 相補 PWM モードの出力レベルの例

10.3.21 タイマアウトプットコントロールレジスタ 2 (TOCR2)

TOCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 10.32 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 10.33 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 10.34 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 10.35 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 10.36 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 10.37 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 10.38 を参照してください。

【注】 * TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。

表 10.32 BF1、BF0 ビットの設定

ビット7	ビット6	説 明	
BF1	BF0	相補 PWM モード時	リセット PWM モード時
0	0	バッファレジスタ (TOLBR) から TOCR2 へ転送しない	バッファレジスタ (TOLBR) から TOCR2 へ転送しない
0	1	TCNT_4 の山でバッファレジスタ (TOLBR) から TOCR2 へ転送する	TCNT_3/4 カウンタクリア時にバッファレジスタ (TOLBR) から TOCR2 へ転送する
1	0	TCNT_4 の谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止
1	1	TCNT_4 の山と谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止

表 10.33 TIOC4D 出力レベルセレクト機能

ビット5	機 能			
OLS3N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 10.34 TIOC4B 出力レベルセレクト機能

ビット4	機 能			
OLS3P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 10.35 TIOC4C 出力レベルセレクト機能

ビット3	機 能			
OLS2N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 10.36 TIOC4A 出力レベルセレクト機能

ビット 2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 10.37 TIOC3D 出力レベルセレクト機能

ビット 1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 10.38 TIOC4B 出力レベルセレクト機能

ビット 0	機 能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

10.3.22 タイマアウトプットレベルバッファレジスタ (TOLBR)

TOLBR は TOCR2 のバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	OLS3N	0	R/W	TOCR2 の OLS3N ビットにバッファ転送する値を設定してください。
4	OLS3P	0	R/W	TOCR2 の OLS3P ビットにバッファ転送する値を設定してください。
3	OLS2N	0	R/W	TOCR2 の OLS2N ビットにバッファ転送する値を設定してください。
2	OLS2P	0	R/W	TOCR2 の OLS2P ビットにバッファ転送する値を設定してください。
1	OLS1N	0	R/W	TOCR2 の OLS1N ビットにバッファ転送する値を設定してください。
0	OLS1P	0	R/W	TOCR2 の OLS1P ビットにバッファ転送する値を設定してください。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 10.3 に示します。

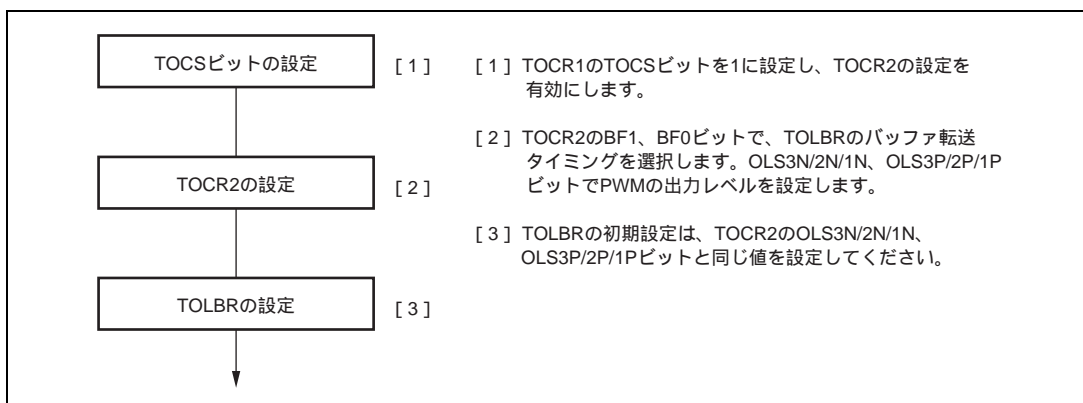


図 10.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

10.3.23 タイマゲートコントロールレジスタ (TGCR)

TGCR は、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モード / リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット:	7	6	5	4	3	2	1	0
	-	BDC	N	P	FB*	WF	VF	UF
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタの機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
4	P	0	R/W	正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
3	FB*	0	R/W	外部フィードバック信号許可 正相 / 逆相の出力の切り替えを MTU2 / チャネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことによって行うかを選択します。 0: 出力の切り替えは、外部入力 (入力元は、チャネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1: 出力の切り替えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り替え 2~0 正相 / 逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代りになります。表 10.39 を参照してください。
1	VF	0	R/W	
0	UF	0	R/W	

【注】 * MTU2S で BDC ビットに 1 を設定した場合、FB ビットには 0 を設定しないでください。

表 10.39 出力レベルセレクト機能

ビット2	ビット1	ビット0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
WF	VF	UF	U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

10.3.24 タイマサブカウンタ (TCNTS)

TCNTS は、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.25 タイマデッドタイムデータレジスタ (TDDR)

TDDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。TDDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.26 タイマ周期データレジスタ (TCDR)

TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます (ダウンカウント アップカウント)。TCDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.27 タイマ周期バッファレジスタ (TCBR)

TCBR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.28 タイマ割り込み間引き設定レジスタ (TITCR)

TITCR は、8 ビットの読み出し / 書き込み可能なレジスタで、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。MTU2 には 1 本の TITCR があります。

ビット:	7	6	5	4	3	2	1	0
	T3AEN	3ACOR[2:0]		T4VEN	4VCOR[2:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	T3AEN	0	R/W	T3AEN TGIA_3 割り込みの間引きの禁止 / 許可を設定します。 0 : TGIA_3 割り込みの間引きを禁止する 1 : TGIA_3 割り込みの間引きを許可する
6~4	3ACOR[2:0]	000	R/W	TGIA_3 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 10.40 を参照してください。
3	T4VEN	0	R/W	T4VEN TCIV_4 割り込みの間引きの禁止 / 許可を設定します。 0 : TCIV_4 割り込みの間引きを禁止する 1 : TCIV_4 割り込みの間引きを許可する
2~0	4VCOR[2:0]	000	R/W	TCIV_4 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 10.41 を参照してください。

【注】 * 割り込み間引き回수에 0 を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 に設定して間引き回数カウンタ (TITCNT) をクリアしてください。

表 10.40 3ACOR2~3ACOR0 ビットによる割り込み間引き回数の設定

ビット 6	ビット 5	ビット 4	説 明
3ACOR2	3ACOR1	3ACOR0	
0	0	0	TGIA_3 の割り込み間引きを行わない
0	0	1	TGIA_3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA_3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA_3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA_3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA_3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA_3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA_3 の割り込み間引き回数を 7 回に設定

表 10.41 4VCOR2~4VCOR0 ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
4VCOR2	4VCOR1	4VCOR0	
0	0	0	TCIV_4 の割り込み間引きを行わない
0	0	1	TCIV_4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV_4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV_4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV_4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV_4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV_4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV_4 の割り込み間引き回数を 7 回に設定

10.3.29 タイマ割り込み間引き回数カウンタ (TITCNT)

TITCNT は、8 ビットの読み出し可能なカウンタです。MTU2 には 1 本の TITCNT があります。TITCNT は、TCNT_3 および TCNT_4 のカウント動作停止後も、値を保持します。

ビット:	7	6	5	4	3	2	1	0
	-	3ACNT[2:0]			-	4VCNT[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	3ACNT[2:0]	000	R	TGIA_3 割り込みカウンタ TITCR の T3AEN ビットに 1 を設定時、TGIA_3 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 3ACOR2 ~ 3ACOR0 と TITCNT の 3ACNT2 ~ 3ACNT0 が一致したとき • TITCR の T3AEN ビットが 0 のとき • TITCR の 3ACOR2 ~ 3ACOR0 が 0 のとき
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説 明
2~0	4VCNT[2:0]	000	R	TCIV_4 割り込みカウンタ TITCR の T4VEN ビットに 1 を設定時、TCIV_4 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 4VCOR2~4VCOR0 と TITCNT の 4VCNT2~4VCNT0 が一致したとき • TITCR の T4VEN ビットが 0 のとき • TITCR の 4VCOR2~4VCOR0 が 0 のとき

【注】 TITCNT の値をクリアするには、TITCR の T3AEN ビットと T4VEN ビットを 0 にクリアしてください。

10.3.30 タイマバッファ転送設定レジスタ (TBTER)

TBTER は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑止する / しない、または割り込み間引き機能と連動する / しないを設定します。MTU2 には 1 本の TBTER があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BTE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	BTE[1:0]	00	R/W	相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑止する / しない、または割り込み間引き機能と連動する / しないを設定します。詳細は表 10.42 を参照してください。

【注】 * 対象バッファレジスタ
TGRC_3、TGRD_3、TGRC_4、TGRD_4、TCBR

表 10.42 BTE1、BTE0 ビットの設定

ビット 1	ビット 0	説 明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑制しない*1 また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑制する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する*2
1	1	設定禁止

【注】 *1 TMDR の MD3 ~ MD0 の設定に従い転送します。詳細は「10.4.8 相補 PWM モード」を参照してください。

*2 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ずバッファ転送を割り込み間引きと連動しない設定 (タイマバッファ転送レジスタ (TBTER) の BTE1 を 0 に設定) にしてください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

10.3.31 タイマデッドタイムイネーブルレジスタ (TDER)

TDER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。MTU2 には 1 本の TDER があります。TDER の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TDER
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TDER	1	R/(W)	デッドタイムイネーブルレジスタ デッドタイムの生成をする / しないを設定します。 0 : デッドタイムを生成しない 1 : デッドタイムを生成する* [クリア条件] • TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたとき

【注】 * TDDR 1 に設定してください。

10.3.32 タイマ波形コントロールレジスタ (TWCR)

TWCR は、8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モードで TNCT_3、TNCT_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCE	-	-	-	-	-	SCC	WRE
初期値:	0*	0	0	0	0	0	0	0
R/W:	R/(W)	R	R	R	R	R	R/(W)	R/(W)

【注】* 相補PWMモード1のとき以外は、1に設定しないでください。

ビット	ビット名	初期値	R/W	説明
7	CCE	0*	R/(W)	<p>コンペアマッチクリアイネーブル</p> <p>相補 PWM モードで、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。</p> <p>0 : TGRA_3 のコンペアマッチによるカウンタクリアをしない</p> <p>1 : TGRA_3 のコンペアマッチによるカウンタクリアをする</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • CCE = 0 の状態で CCE をリード後、CCE に 1 をライトしたとき
6~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	SCC	0	R/(W)	<p>同期クリアコントロール</p> <p>相補 PWM モードで MTU2 - MTU2S カウンタ同期クリアが発生したときに、MTU2S の TCNT_3、TCNT_4 をクリアする / しないを設定します。</p> <p>本機能を使用する際は、MTU2S を相補 PWM モードに設定してください。</p> <p>また、カウンタ動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。</p> <p>SCC ビットの設定により MTU2 からの同期クリアが無効になるのは、谷の Tb 区間以外で同期クリアが発生したときのみです。TCNT_3、TCNT_4 スタート直後を含む谷の Tb 区間で同期クリアが発生した場合は、MTU2S の TCNT_3、TCNT_4 がクリアされます。</p> <p>相補 PWM モードの谷の Tb 区間については、図 10.40 を参照してください。</p> <p>MTU2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : MTU2 - MTU2S 同期クリア機能による MTU2S の TCNT_3、TCNT_4 のクリア有効</p> <p>1 : MTU2 - MTU2S 同期クリア機能による MTU2S の TCNT_3、TCNT_4 のクリア無効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCC = 0 の状態で SCC をリード後、SCC に 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
0	WRE	0	R/(W)	<p>初期出力抑止イネーブル</p> <p>相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。</p> <p>相補 PWM モードの谷の Tb 区間については、図 10.40 を参照してください。</p> <p>0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき

【注】 * 相補 PWM モード 1 のとき以外は、1 に設定しないでください。

10.3.33 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、タイマ周期データレジスタ (TCDR)、タイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (TADCOR)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

10.4 動作説明

10.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

MTU2 の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

(1) カウンタの動作

TSTR の CST0 ~ CST4 ビット、TSTR_5 の CSTU5、CSTV5、CSTW5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.4 に示します。

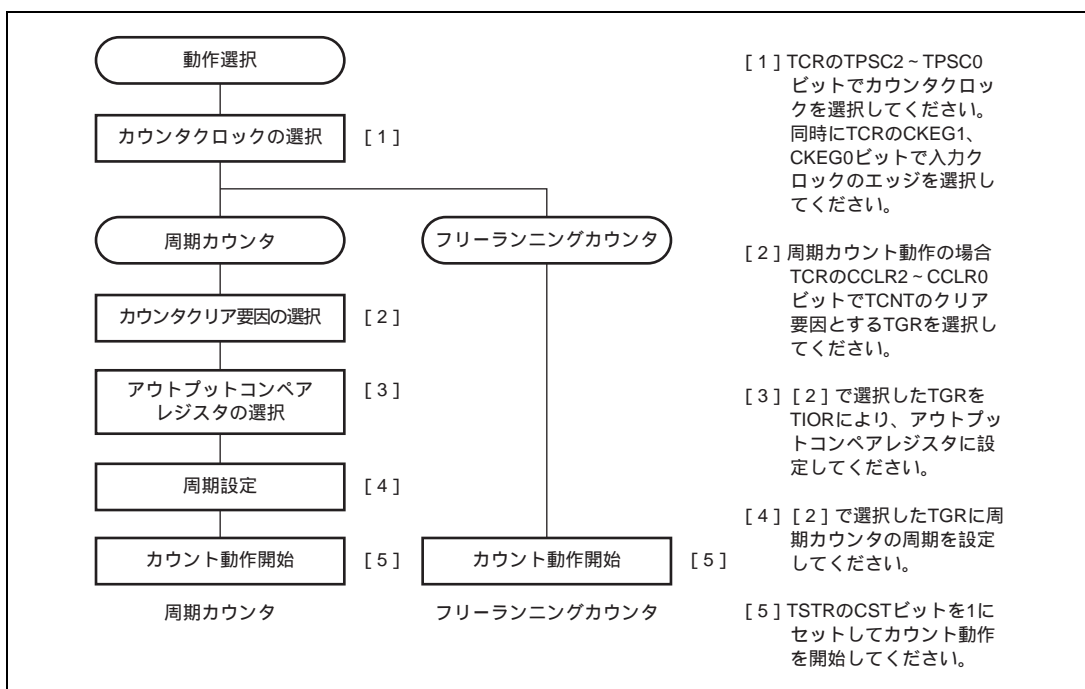


図 10.4 カウンタ動作設定手順例

(b) フリーランニングカウント動作と周期カウント動作

MTU2 の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 10.5 に示します。

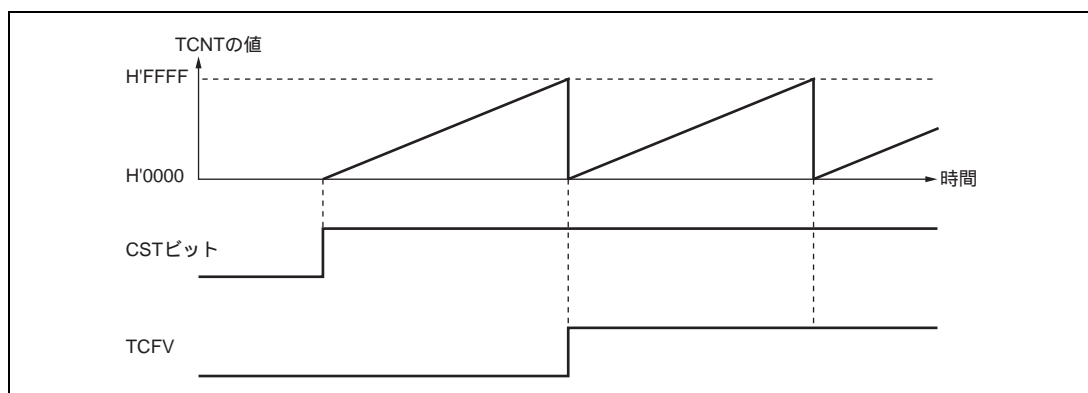


図 10.5 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 10.6 に示します。

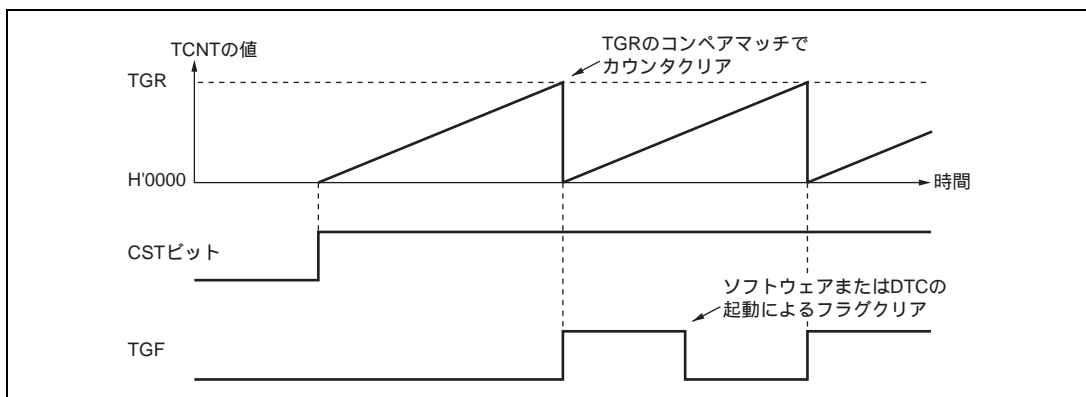


図 10.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTU2 は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.7 に示します。

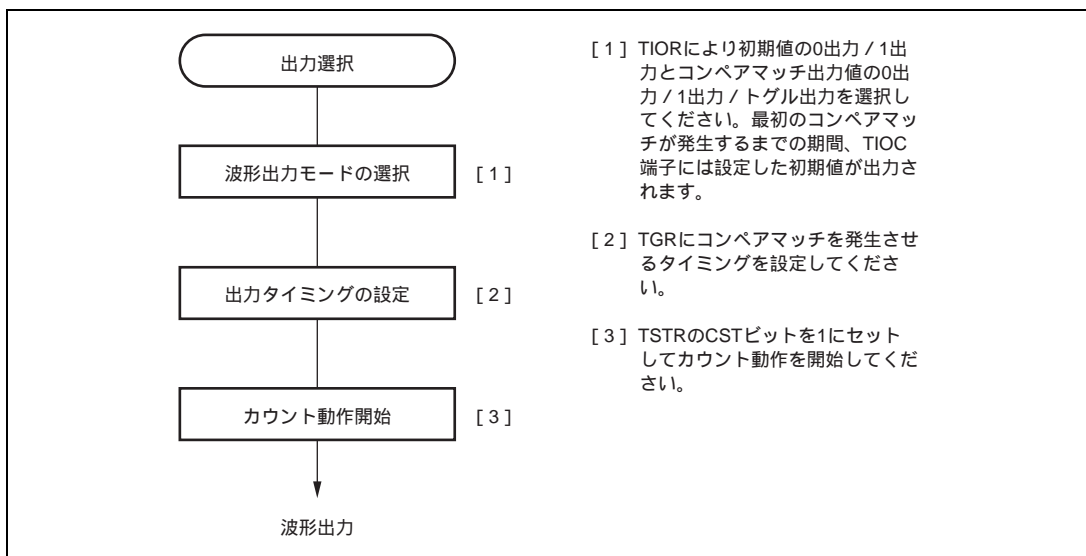


図 10.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 10.8 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

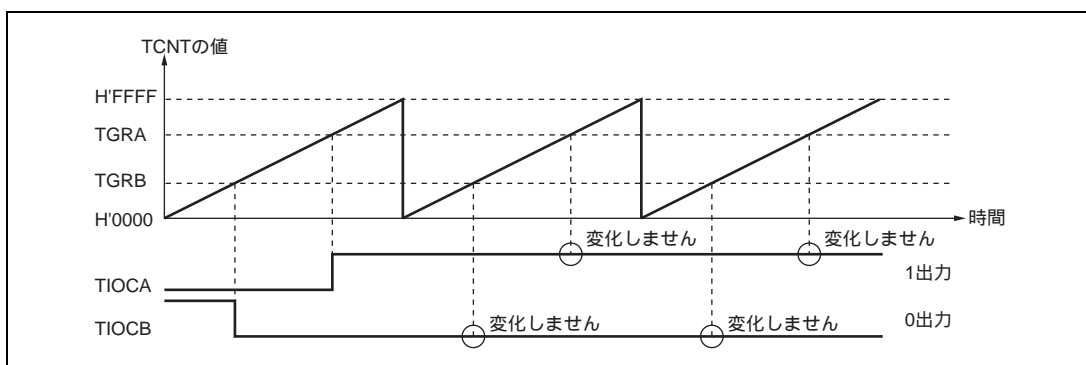


図 10.8 0 出力 / 1 出力の動作例

トグル出力の例を図 10.9 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

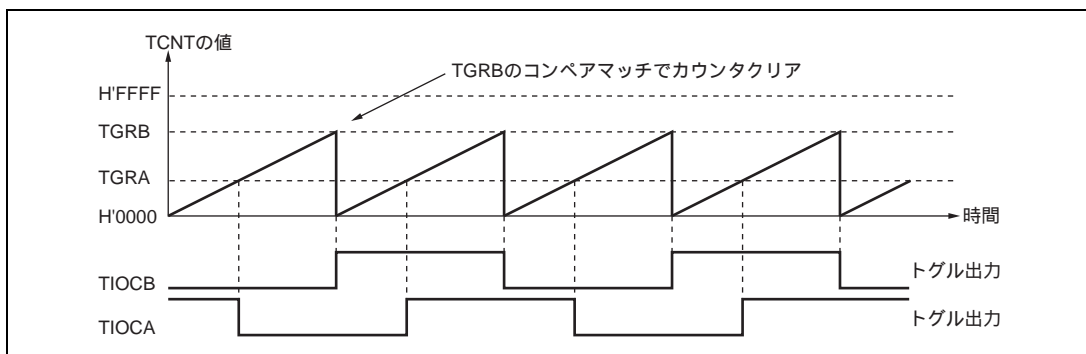


図 10.9 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに MP / 1 を選択しないでください。MP / 1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.10 に示します。

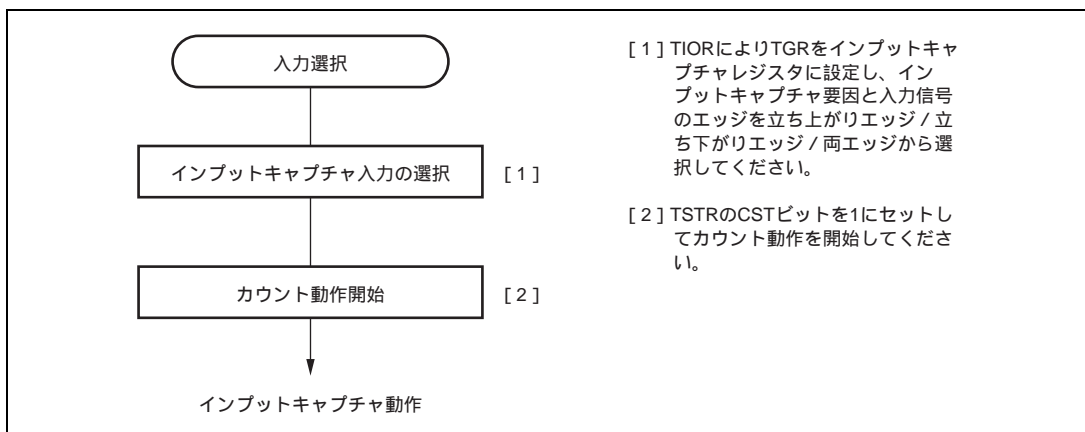


図 10.10 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.11 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

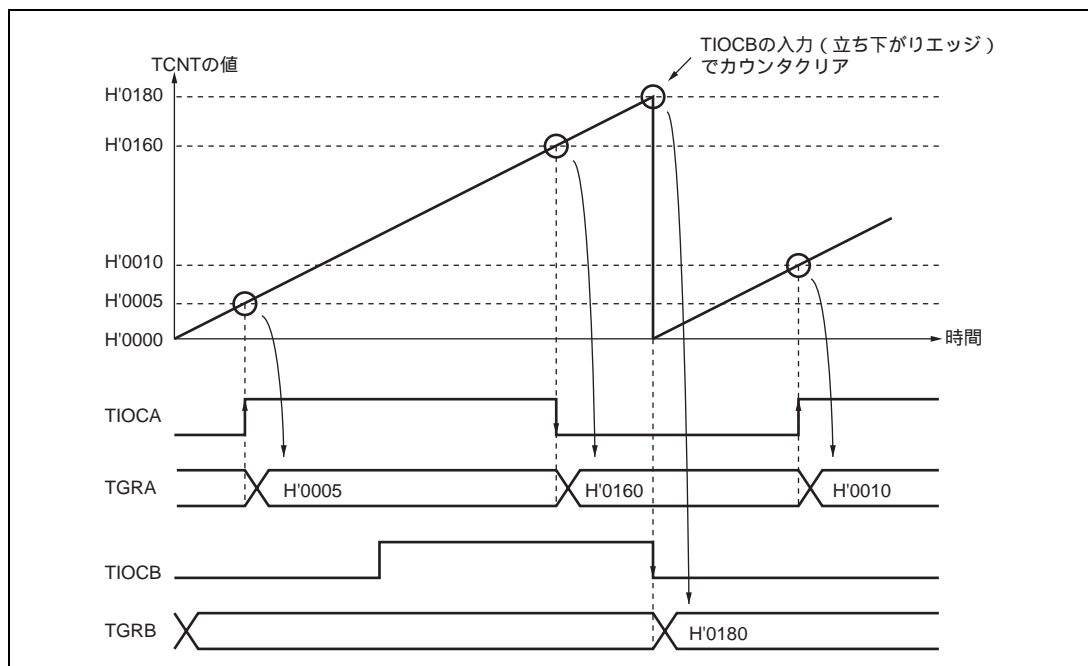


図 10.11 インพุットキャプチャ動作例

10.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0~4 はすべて同期動作の設定が可能です。

チャンネル 5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.12 に示します。

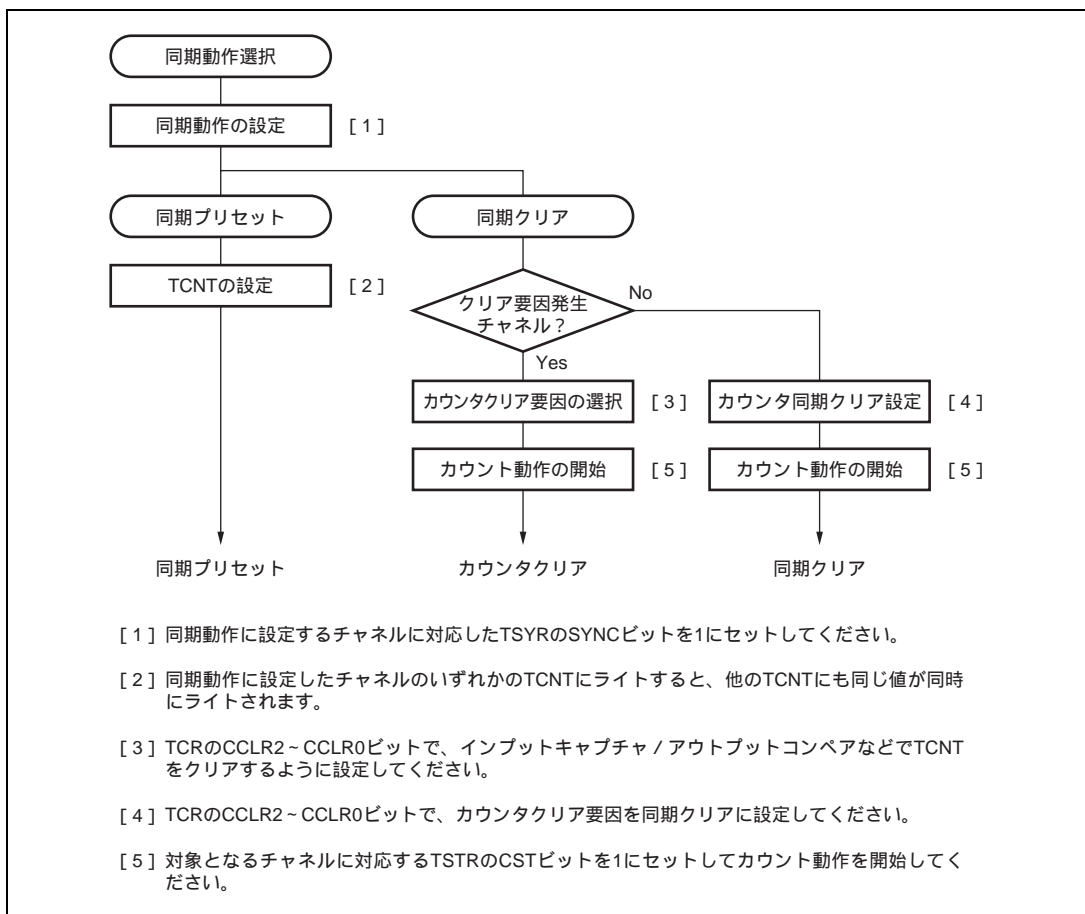


図 10.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 10.13 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「10.4.5 PWM モード」を参照してください。

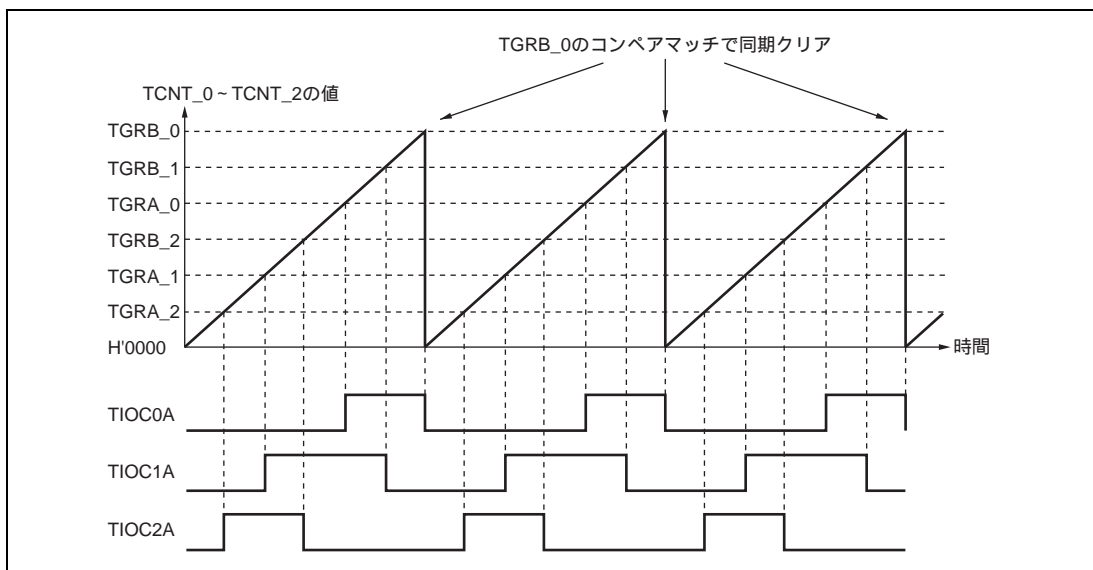


図 10.13 同期動作の動作例

10.4.3 バッファ動作

バッファ動作は、チャンネル0、3、4が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。また、チャンネル0はTGRFもバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

【注】 TGRE_0はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 10.43 にバッファ動作時のレジスタの組み合わせを示します。

表 10.43 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
	TGRE_0	TGRF_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 10.14 に示します。

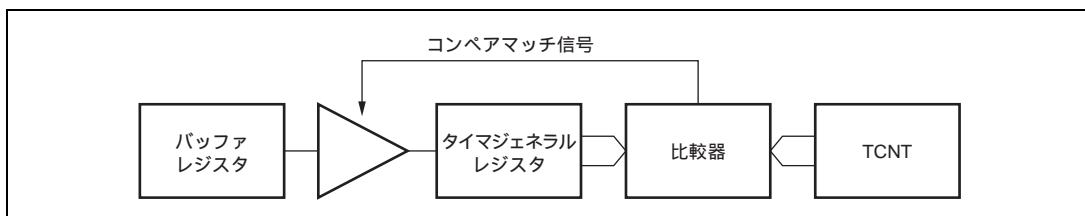


図 10.14 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 10.15 に示します。

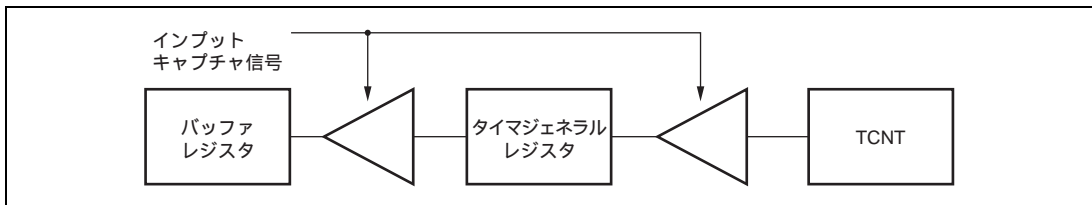


図 10.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.16 に示します。

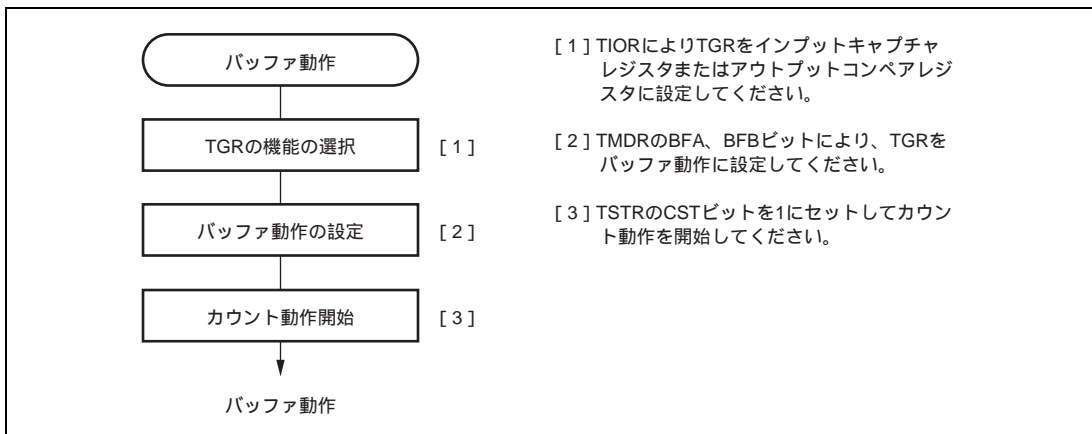


図 10.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 10.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、TBTM の TTSA ビットは 0 に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「10.4.5 PWM モード」を参照してください。

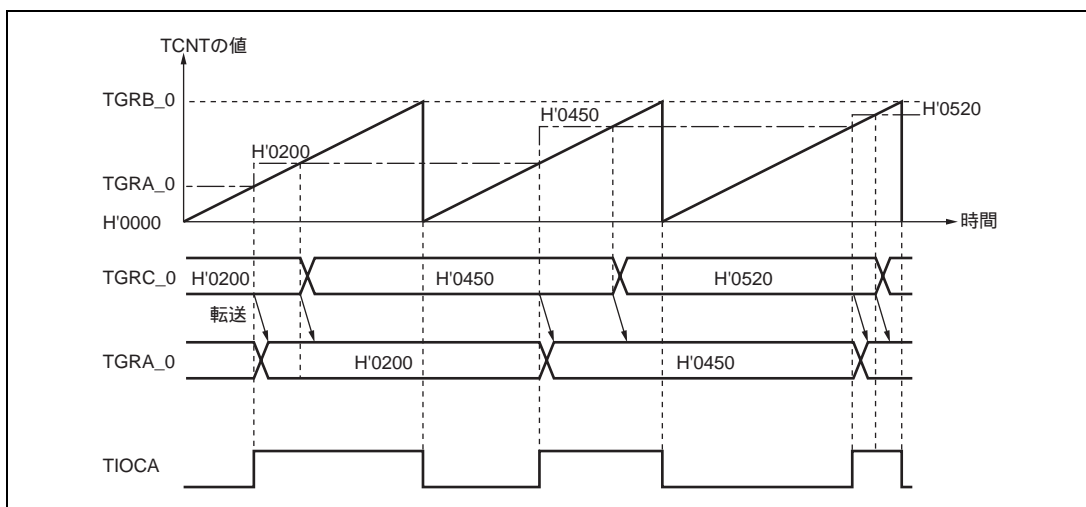


図 10.17 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.18 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

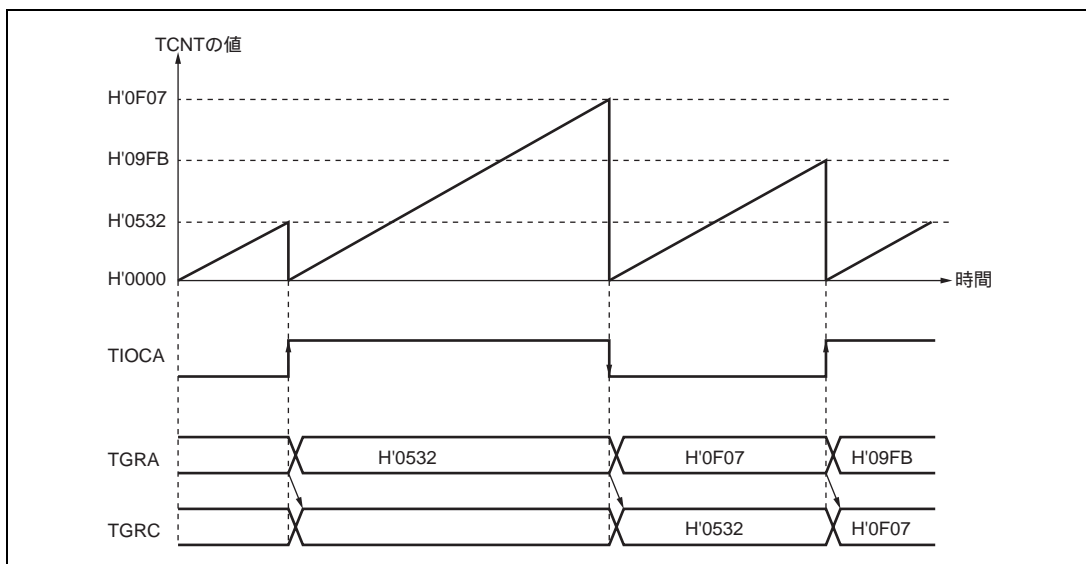


図 10.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (TBTM_0、TBTM_3、TBTM_4) を設定することで、チャンネル 0 では PWM モード 1、2 時の、チャンネル 3、4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (初期値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNTがオーバーフローしたとき (H'FFFF H'0000)
- カウンタ動作中、TCNTにH'0000がライトされたとき
- TCRのCCLR2~CCLR0ビットで設定したクリア要因で、TCNTがH'0000になったとき

【注】 TBTM の設定は TCNT が停止した状態で行ってください。

チャンネル 0 を PWM モード 1 に設定し、TGRA_0 と TGRC_0 をバッファ動作に設定した場合の動作例を図 10.19 に示します。TCNT_0 はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力、TBTM_0 の TTSA ビットは 1 に設定しています。

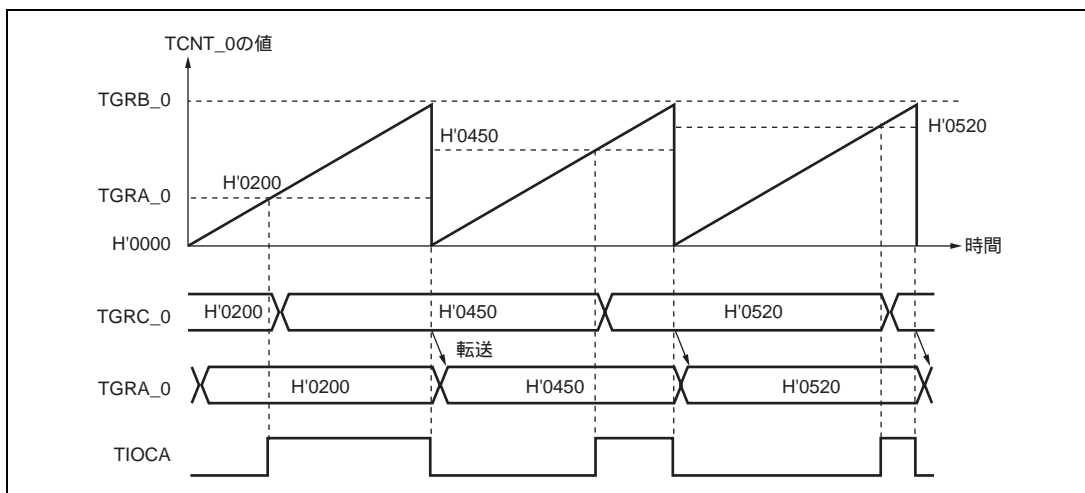


図 10.19 TGRC_0 から TGRA_0 のバッファ転送タイミングを TCNT_0 クリア時に選択した場合の動作例

10.4.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT_2 のオーバフロー / アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 10.44 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.44 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2

カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。カスケード接続時のインプットキャプチャについては「10.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。

TICCR 設定値とインプットキャプチャ入力端子の対応を表 10.45 に示します。

表 10.45 TICCR 設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
TCNT_1 から TGRA_1 への インプットキャプチャ	I2AE ビット = 0 (初期値)	TIOC1A
	I2AE ビット = 1	TIOC1A、TIOC2A
TCNT_1 から TGRB_1 への インプットキャプチャ	I2BE ビット = 0 (初期値)	TIOC1B
	I2BE ビット = 1	TIOC1B、TIOC2B
TCNT_2 から TGRA_2 への インプットキャプチャ	I1AE ビット = 0 (初期値)	TIOC2A
	I1AE ビット = 1	TIOC2A、TIOC1A
TCNT_2 から TGRB_2 への インプットキャプチャ	I1BE ビット = 0 (初期値)	TIOC2B
	I1BE ビット = 1	TIOC2B、TIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.20 に示します。

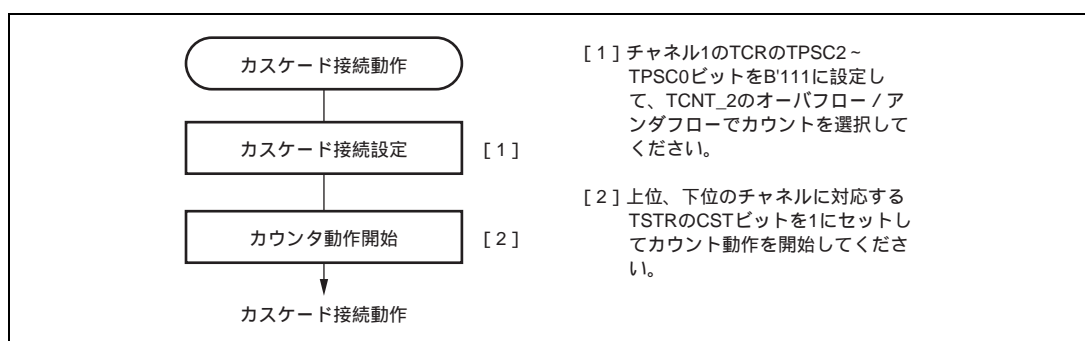


図 10.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、チャンネル2 を位相計数モードに設定したときの動作を図 10.21 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

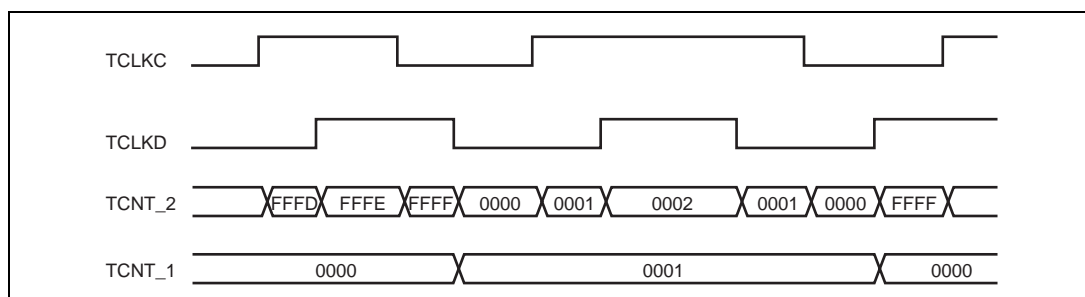


図 10.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加した場合の動作を図 10.22 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、(TIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOC1A と TIOC2A の両方の立ち上がりエッジが TGRA_1 の入力キャプチャ条件に設定されます。また、TGRA_2 の入力キャプチャ条件は TIOC2A の立ち上がりエッジとなります。

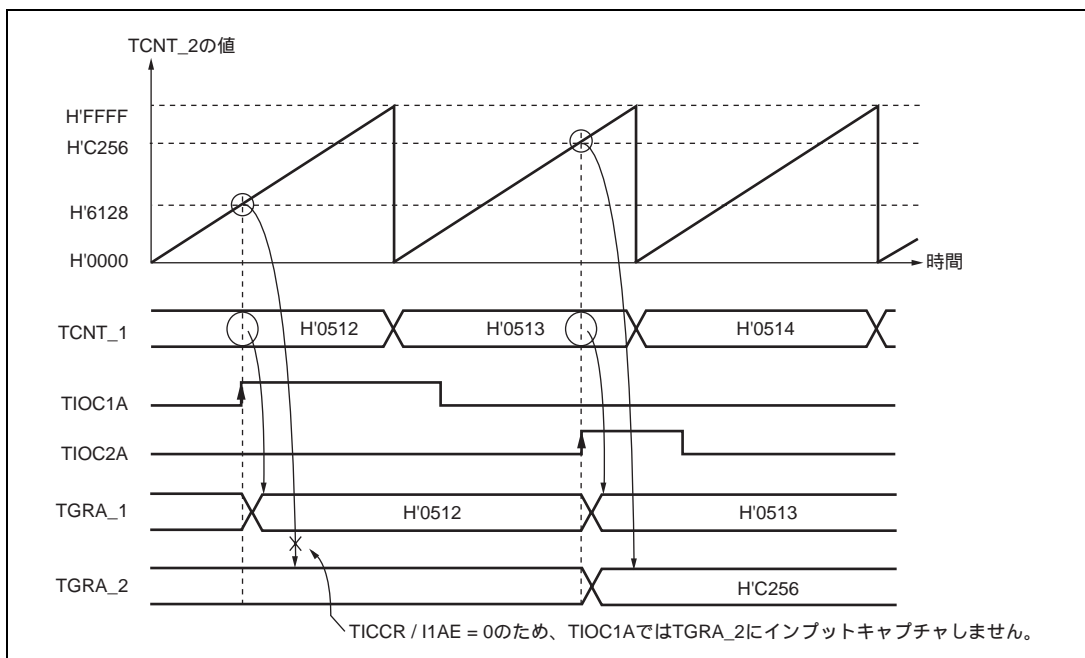


図 10.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットと I1AE に 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加し、TIOC1A 端子を TGRA_2 の入力キャプチャ条件に追加した場合の動作を図 10.23 に示します。この例では TIOR_1、TIOR_2 の IOA0 ~ IOA3 の設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、TIOC1A と TIOC2A 入力の OR が TGRA_1 および TGRA_2 の入力キャプチャ条件となります。

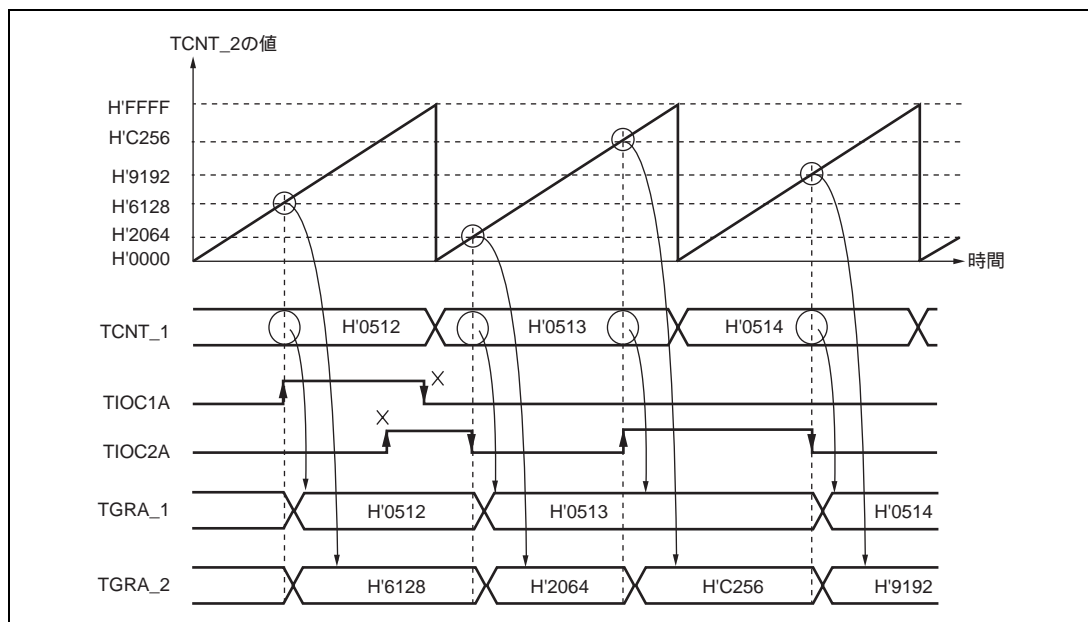


図 10.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加した場合の動作を図 10.24 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、TGRA_0 のコンペアマッチ / 入力キャプチャの発生で入力キャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOR_1 の設定が TGRA_0 のコンペアマッチ / 入力キャプチャの発生で入力キャプチャのため、TICCR の I2AE ビットを 1 にセットしても TIOC2A のエッジが TGRA_1 の入力キャプチャ条件になることはありません。

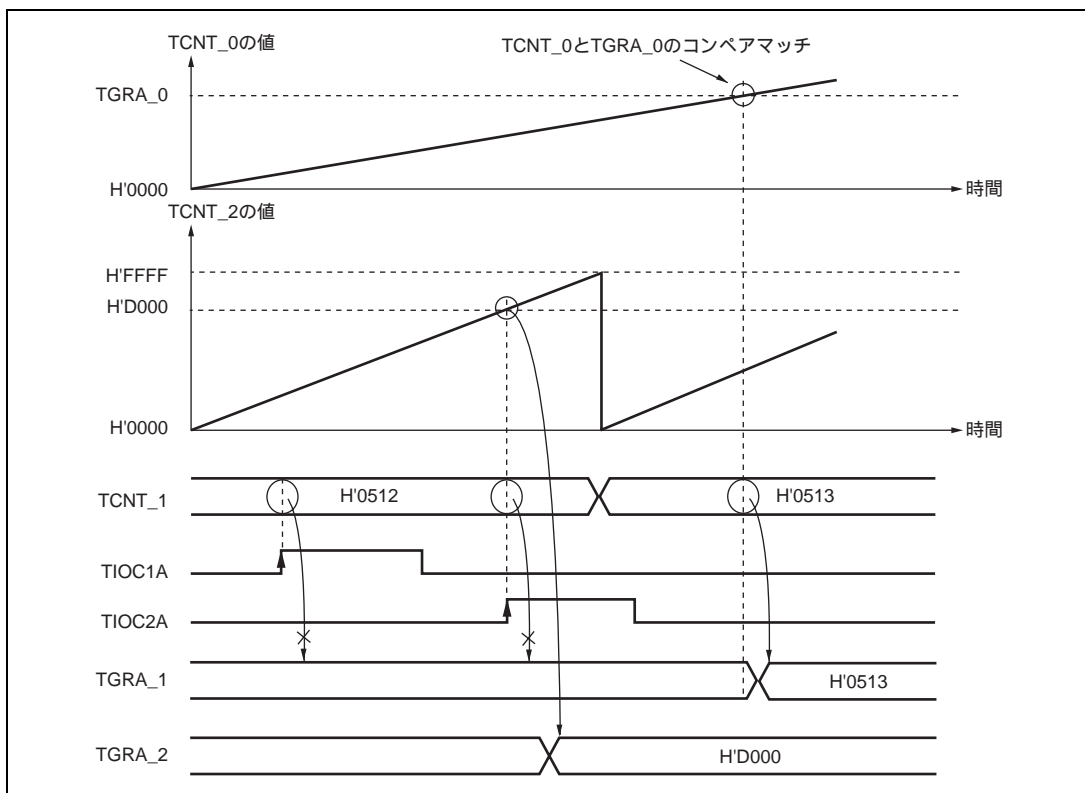


図 10.24 カスケード接続動作例 (d)

10.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOCR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOCR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.46 に示します。

表 10.46 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3		
	TGRC_3	TIOC3C	
	TGRD_3		
4	TGRA_4	TIOC4A	
	TGRB_4		
	TGRC_4	TIOC4C	
	TGRD_4		

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(2) PWM モードの設定手順例

PWM モードの設定手順例を図 10.25 に示します。

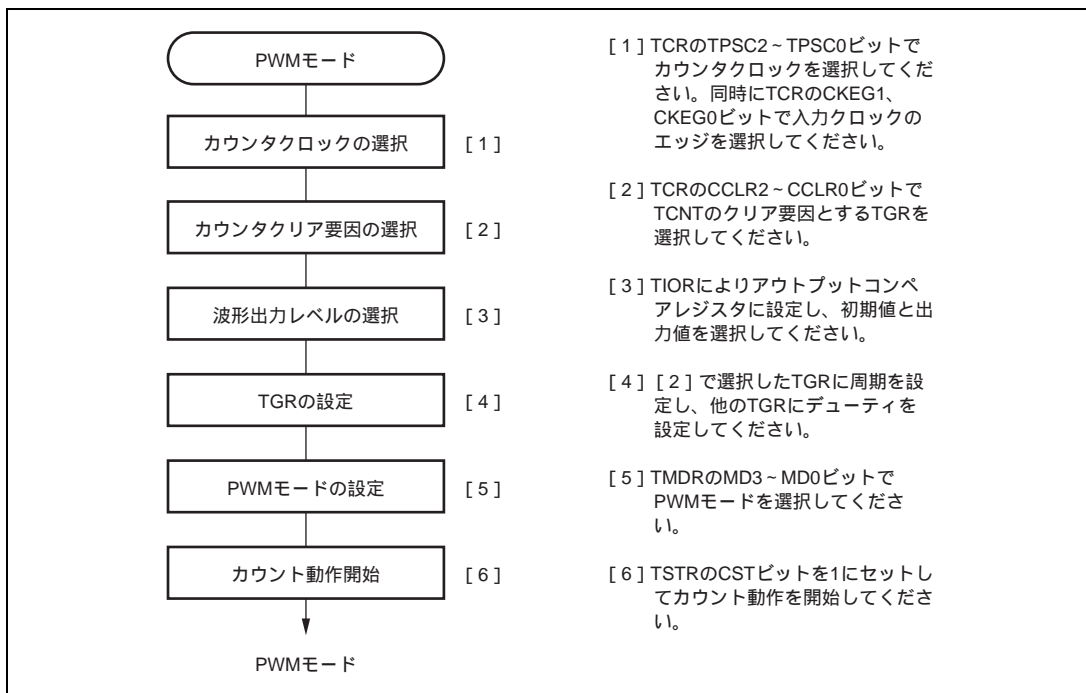


図 10.25 PWM モードの設定手順例

(3) PWM モードの動作例

PWM モード 1 の動作例を図 10.26 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

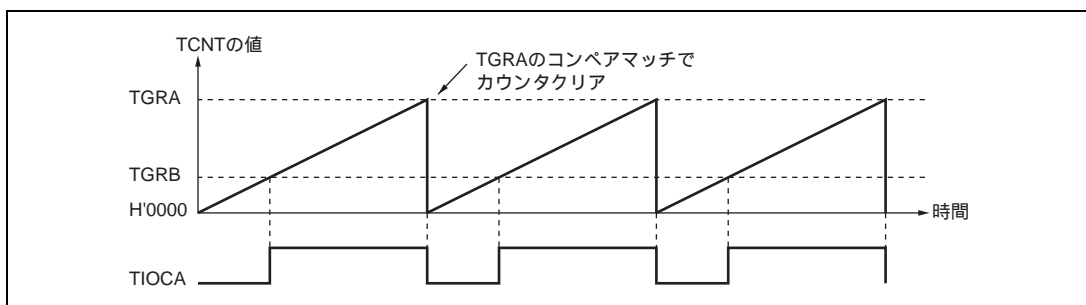


図 10.26 PWM モードの動作例

PWM モード 2 の動作例を図 10.27 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGR1B に設定した値が周期となり、他の TGR に設定した値がデューティになります。

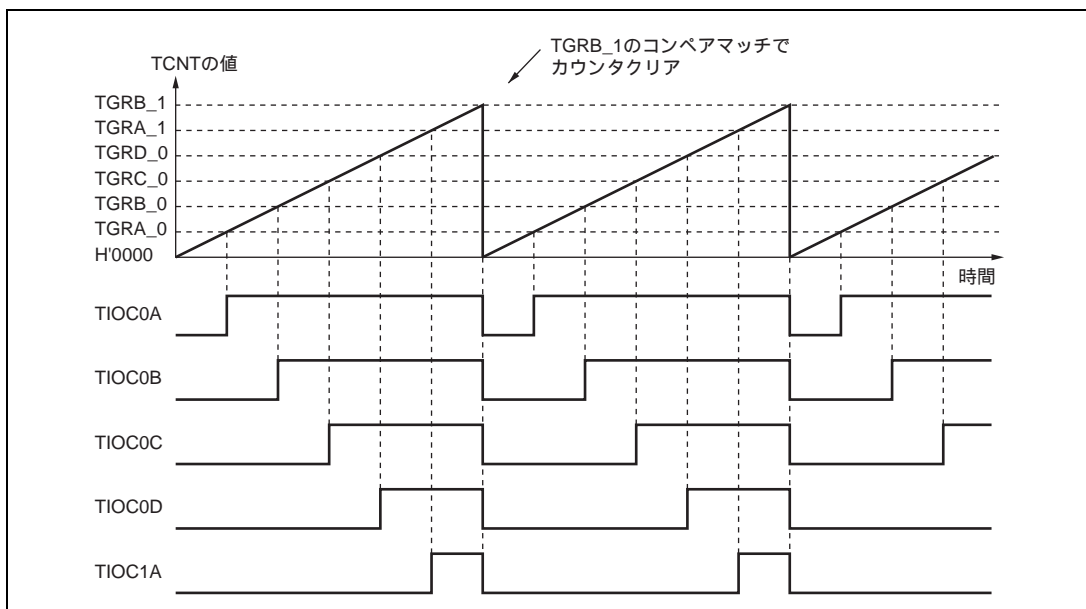


図 10.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 10.28 に示します。

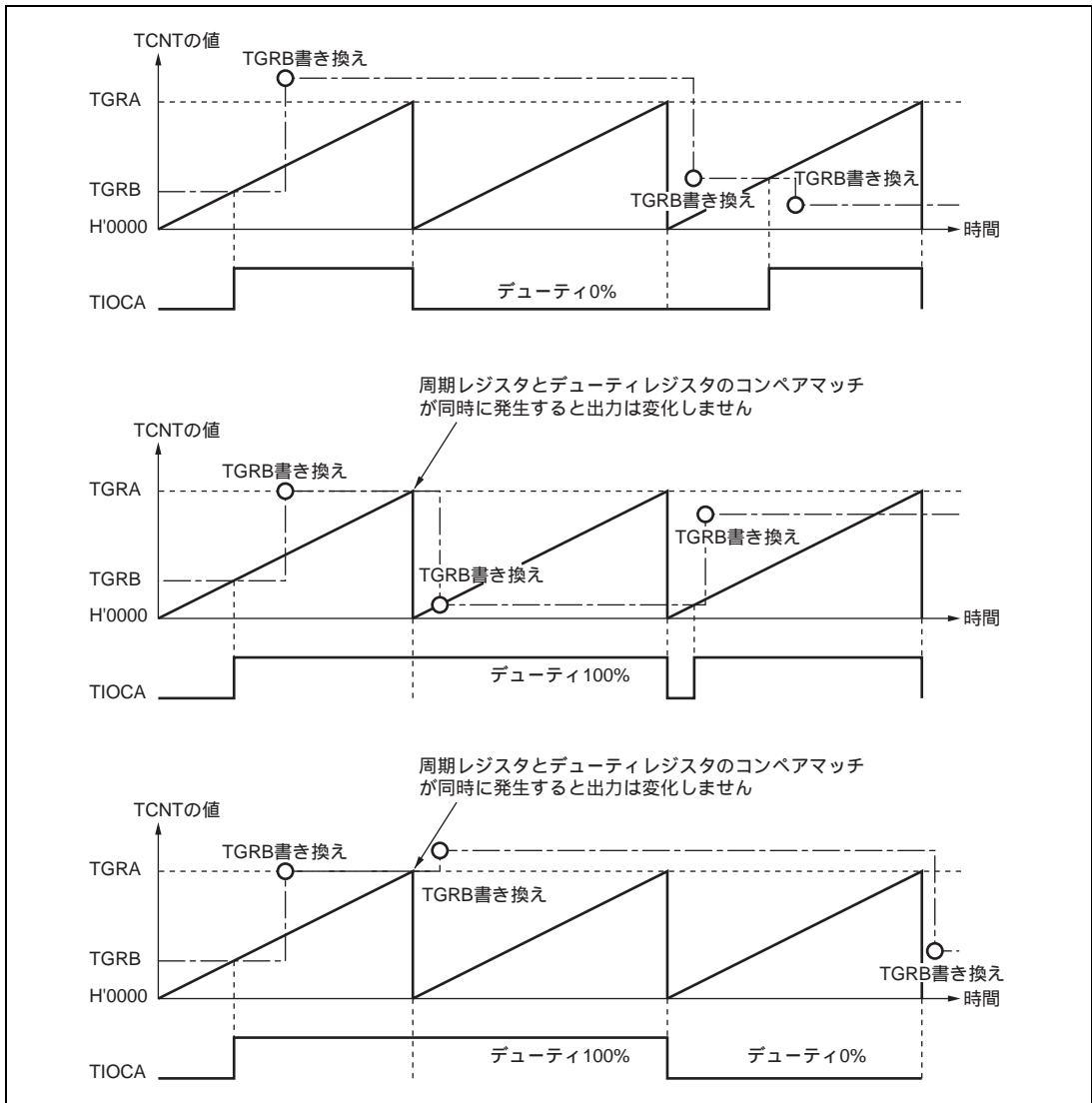


図 10.28 PWM モード動作例

10.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 10.47 に外部クロック端子とチャンネルの対応を示します。

表 10.47 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.29 に示します。

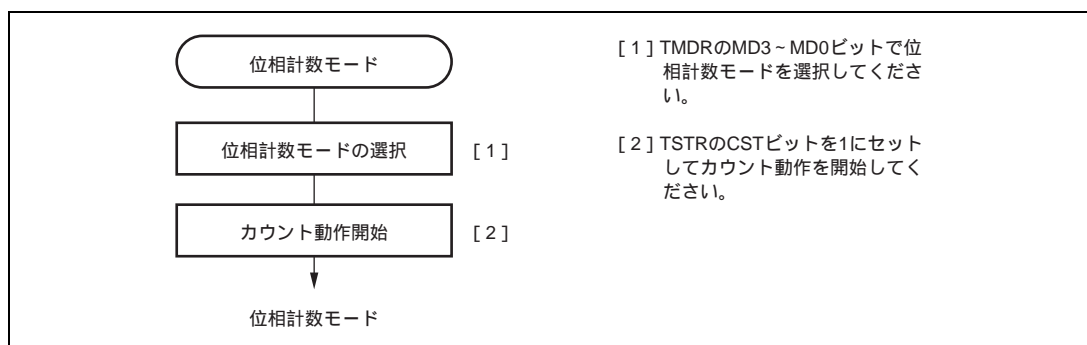


図 10.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4 つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 10.30 に、TCNT のアップ/ダウンカウント条件を表 10.48 に示します。

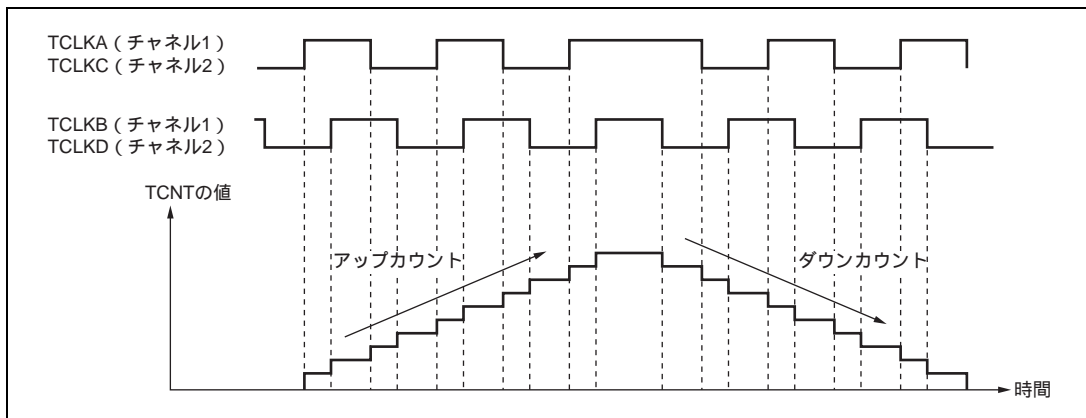


図 10.30 位相計数モード 1 の動作例

表 10.48 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 10.31 に、TCNT のアップ/ダウンカウント条件を表 10.49 に示します。

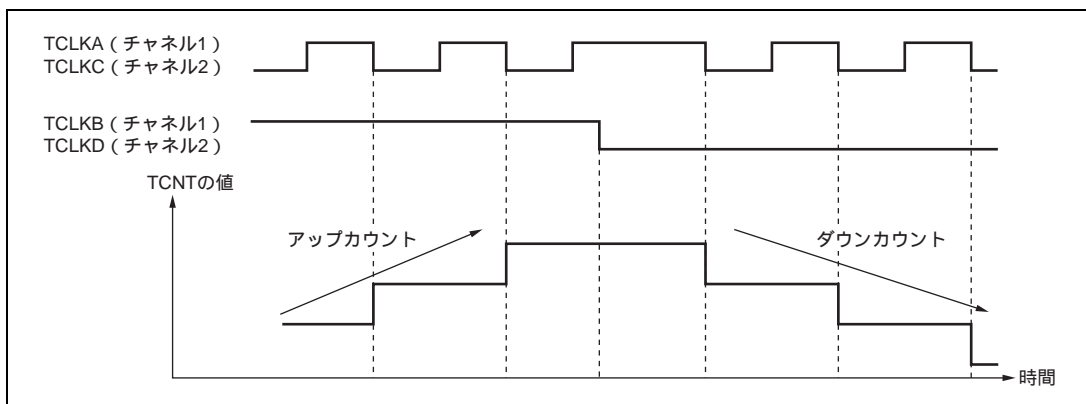


図 10.31 位相計数モード 2 の動作例

表 10.49 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	カウントしない (Don't care)
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 10.32 に、TCNT のアップ / ダウンカウント条件を表 10.50 に示します。

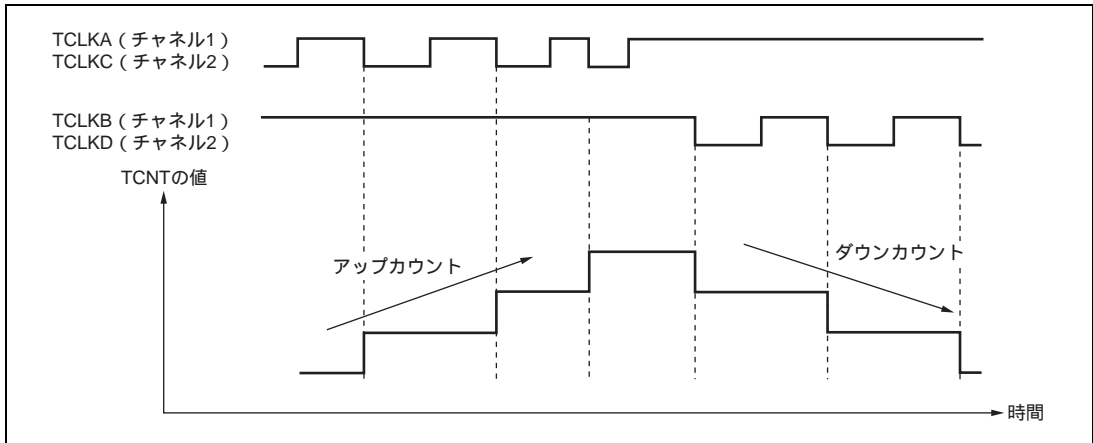


図 10.32 位相計数モード 3 の動作例

表 10.50 位相計数モード 3 のアップ / ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)
	High レベル	アップカウント
High レベル		ダウンカウント
Low レベル		カウントしない (Don't care)
	High レベル	カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 10.33 に、TCNT のアップ/ダウンカウント条件を表 10.51 に示します。

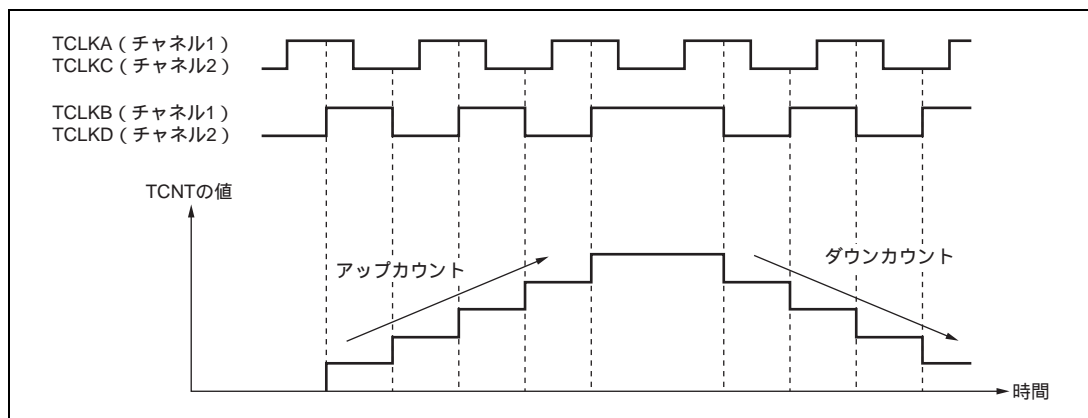


図 10.33 位相計数モード 4 の動作例

表 10.51 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図10.34に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

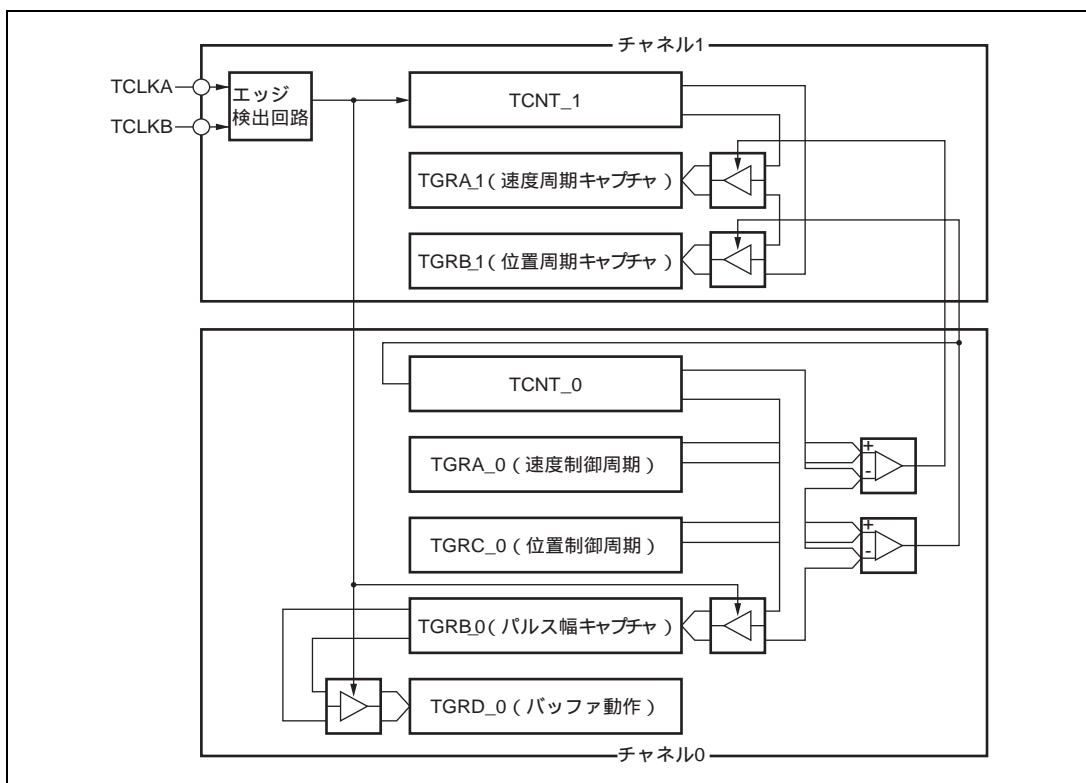


図 10.34 位相計数モードの応用例

10.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT_3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 10.52 に、使用するレジスタの設定を表 10.53 に示します。

表 10.52 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 10.53 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 10.35 に示します。



図 10.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 10.36 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

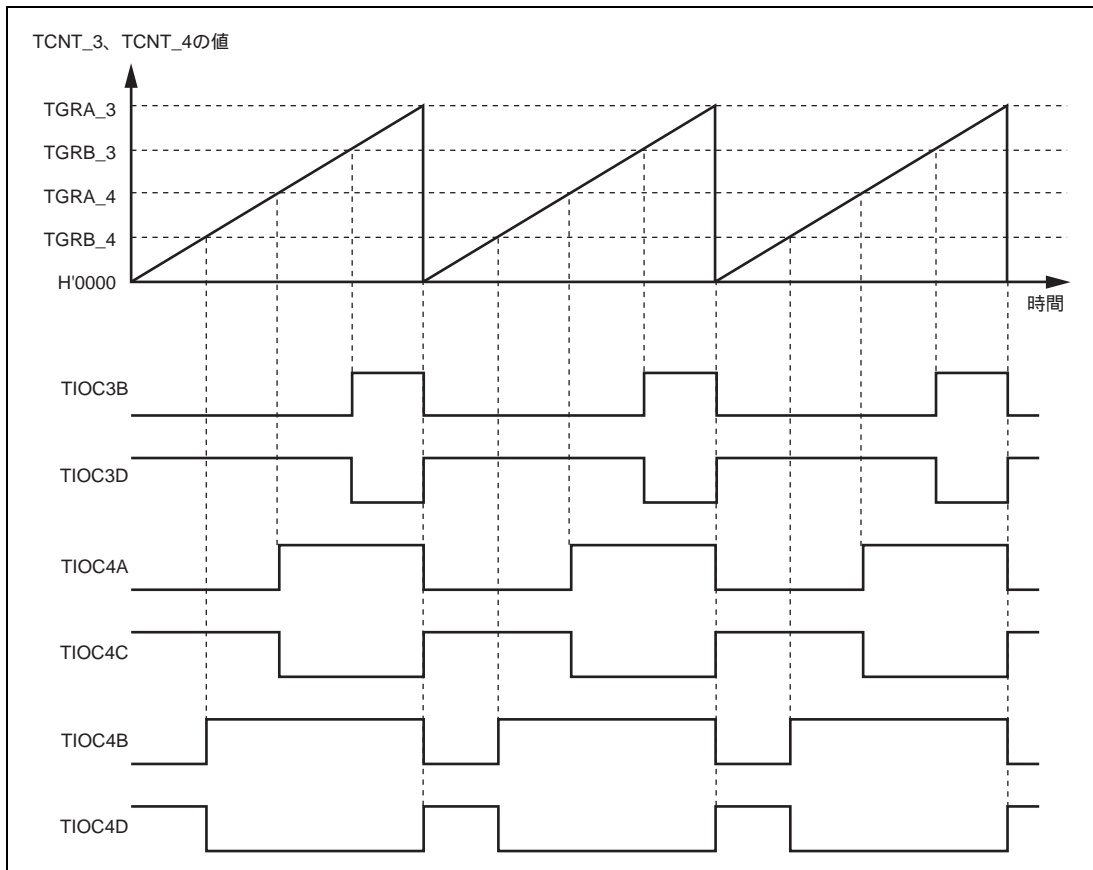


図 10.36 リセット同期 PWM モードの動作例 (TOCR の OLSN = 1、OLSP = 1 に設定した場合)

10.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 10.54 に、使用するレジスタの設定を表 10.55 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 10.54 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

【注】 * TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 10.55 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ / レジスタ	説明	CPU からの読み出し / 書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	TRWER の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し / 書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し / 書き込み可能

チャンネル	カウンタ / レジスタ	説明	CPU からの 読み出し / 書き込み
	タイマデッドタイムデータ レジスタ (TDDR)	TCNT_4 と TCNT_3 のオフセット値(デッドタイムの値)を設定	TRWER の設定*によりマスク可能
	タイマ周期データレジスタ (TCDR)	TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	TRWER の設定*によりマスク可能
	タイマ周期バッファレジスタ (TCBR)	TCDR のバッファレジスタ	常に読み出し / 書き込み可能
	サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可能
	テンポラリレジスタ 1 (TEMP1)	PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し / 書き込み不可
	テンポラリレジスタ 2 (TEMP2)	PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し / 書き込み不可
	テンポラリレジスタ 3 (TEMP3)	PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し / 書き込み不可

【注】 * TRWER (タイマリードライトイネーブルレジスタ) の設定によりアクセスの許可 / 禁止が可能です。

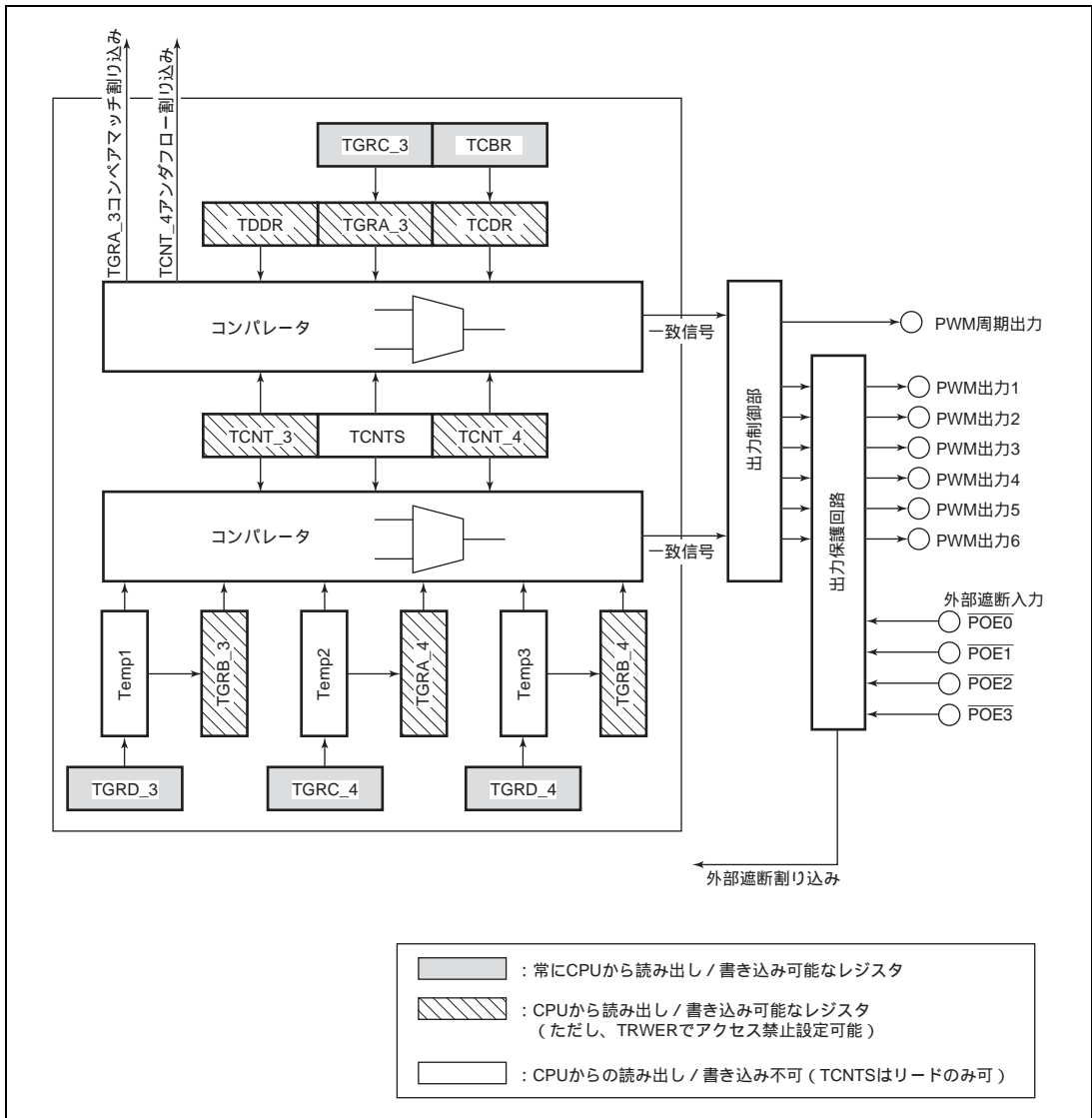


図 10.37 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 10.38 に示します。



図 10.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 10.39 に相補 PWM モードのカウンタの動作を示します。図 10.40 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り替わります。その後、TDDR と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り替わります。この後、H'0000 と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCNTS と一致するとダウンカウントを開始し、TCNTS が TCNTS と一致するとアップカウントに切り替わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り替わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

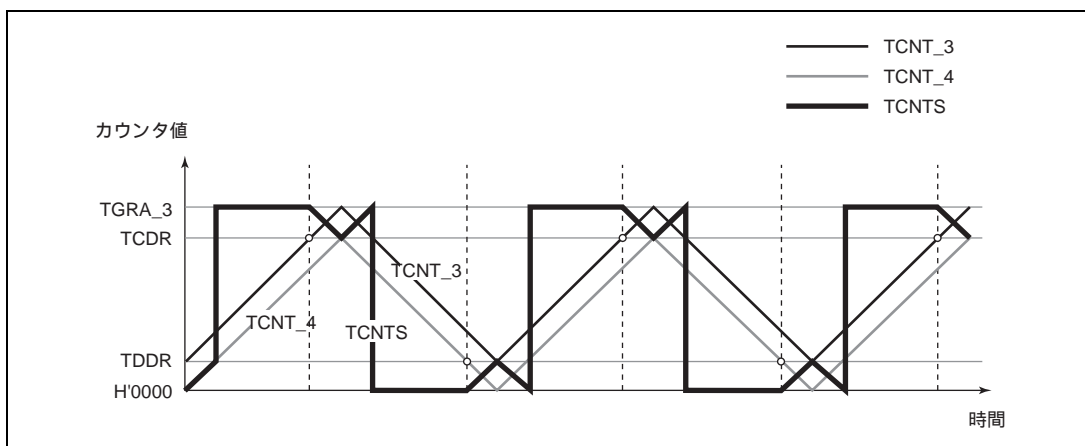


図 10.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 10.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し / 書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで選択できます。図 10.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 10.40 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

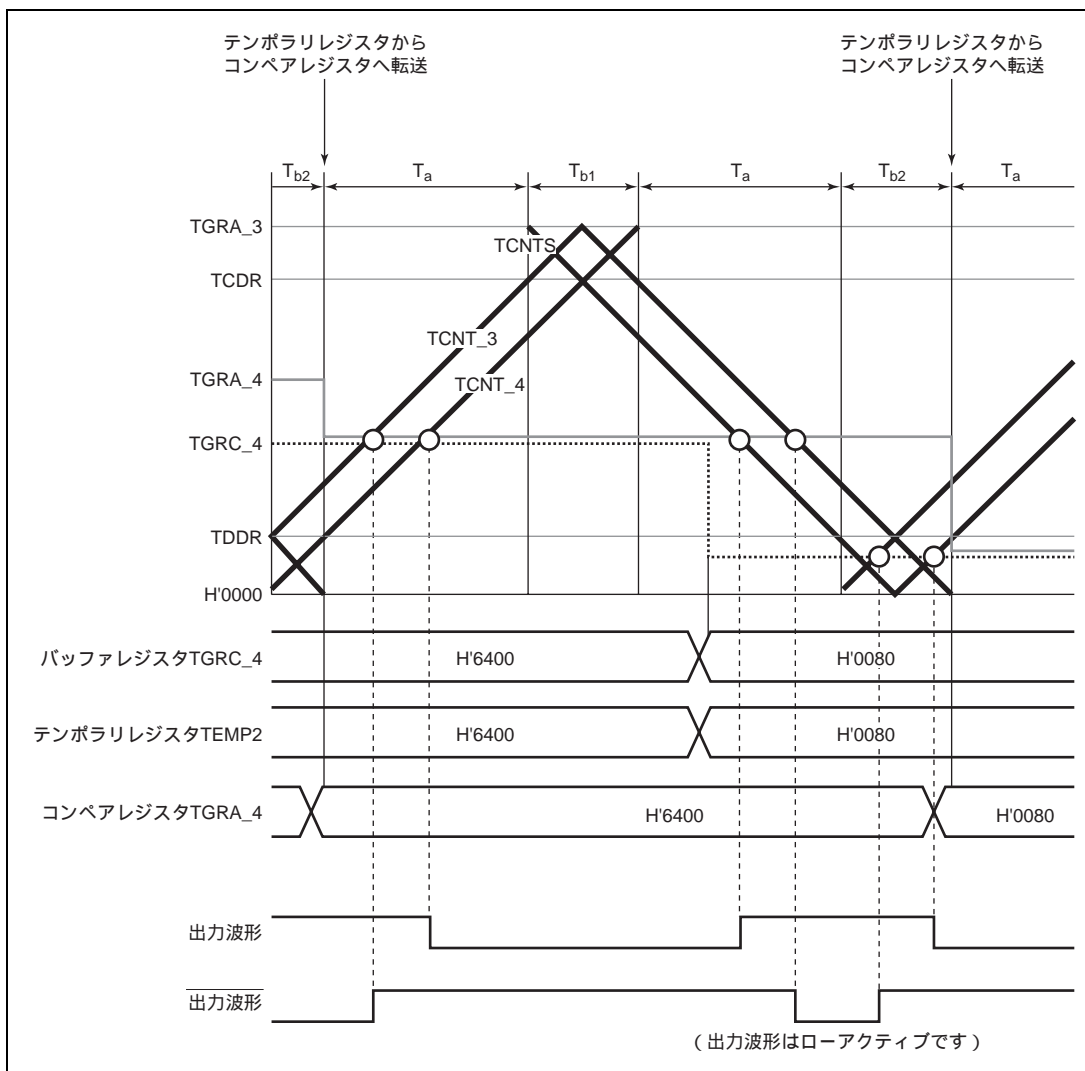


図 10.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定の必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRA_3 のバッファレジスタとして動作し、PWM キャリア周期の $1/2 +$ デッドタイム T_d を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定し、TGRC_3、TGRA_3 には、PWM キャリア周期の $1/2+1$ を、TDDR には 1 を設定します。

バッファレジスタ TGRD_3、TGRC_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 10.56 初期設定に必要なレジスタとカウンタ

レジスタ / カウンタ	設定値
TGRC_3	PWM キャリア周期の $1/2 + \text{デッドタイム Td}$ (TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$)
TDDR	デッドタイム Td (TDER でデッドタイム生成をなしに設定した場合 1)
TCBR	PWM キャリア周期の $1/2$
TGRD_3、TGRC_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の $1/2$ の値と TDDR に設定するデッドタイム Td の値の和としてください。ただし、TDER でデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2+1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定します。TDER は、TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたときのみ、0 に設定できません。

TGRA_3、TGRC_3 には PWM キャリア周期の $1/2+1$ を設定し、タイマデッドタイムデータレジスタ (TDDR) には 1 を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 10.41 にデッドタイムを生成しない場合の動作例を示します。

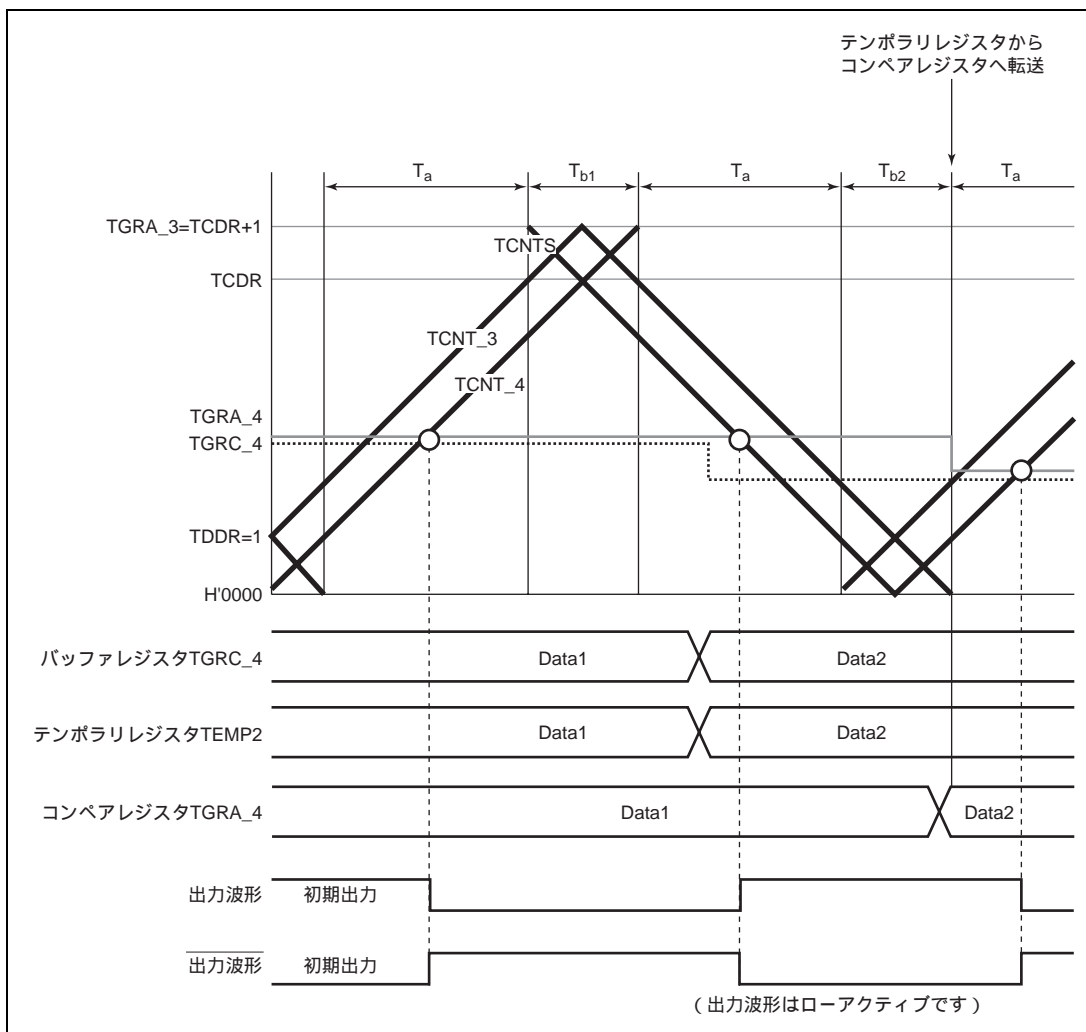


図 10.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：TGRA_3 の設定値 = TCDR の設定値 + TDDR の設定値

デッドタイム生成なし：TGRA_3 の設定値 = TCDR の設定値 + 1

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。

TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 10.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

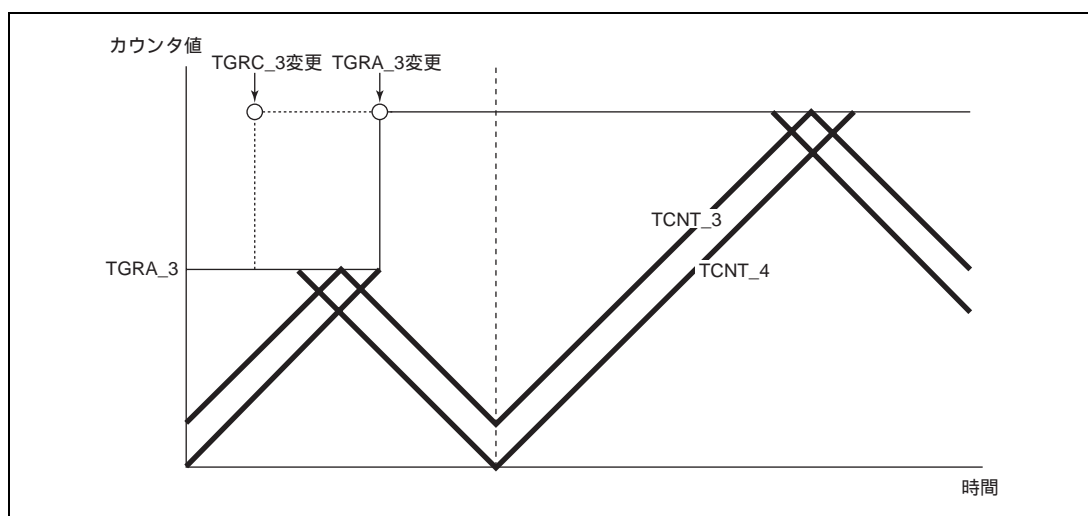


図 10.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 10.43 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

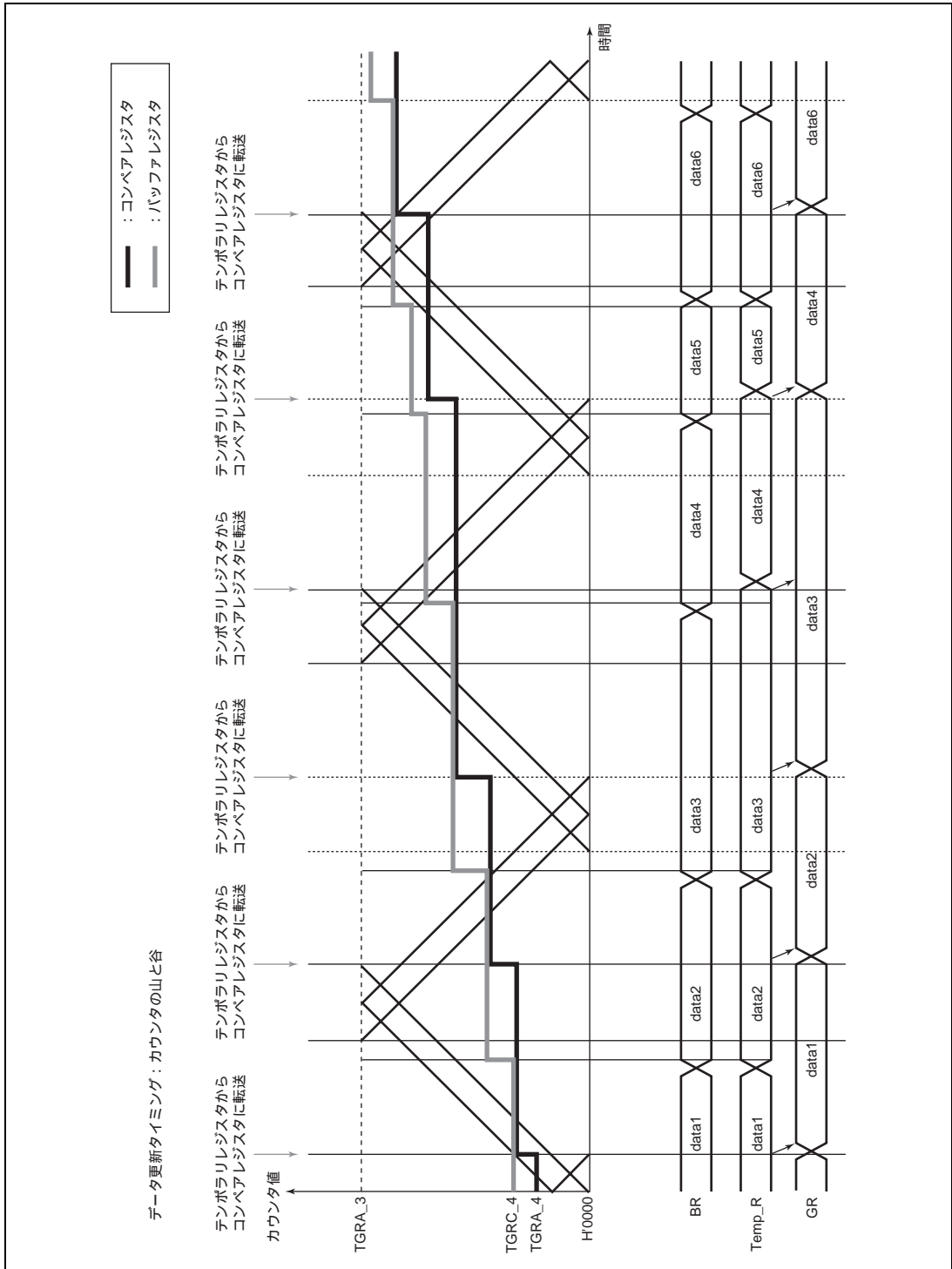


図 10.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 10.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 10.45 に示します。

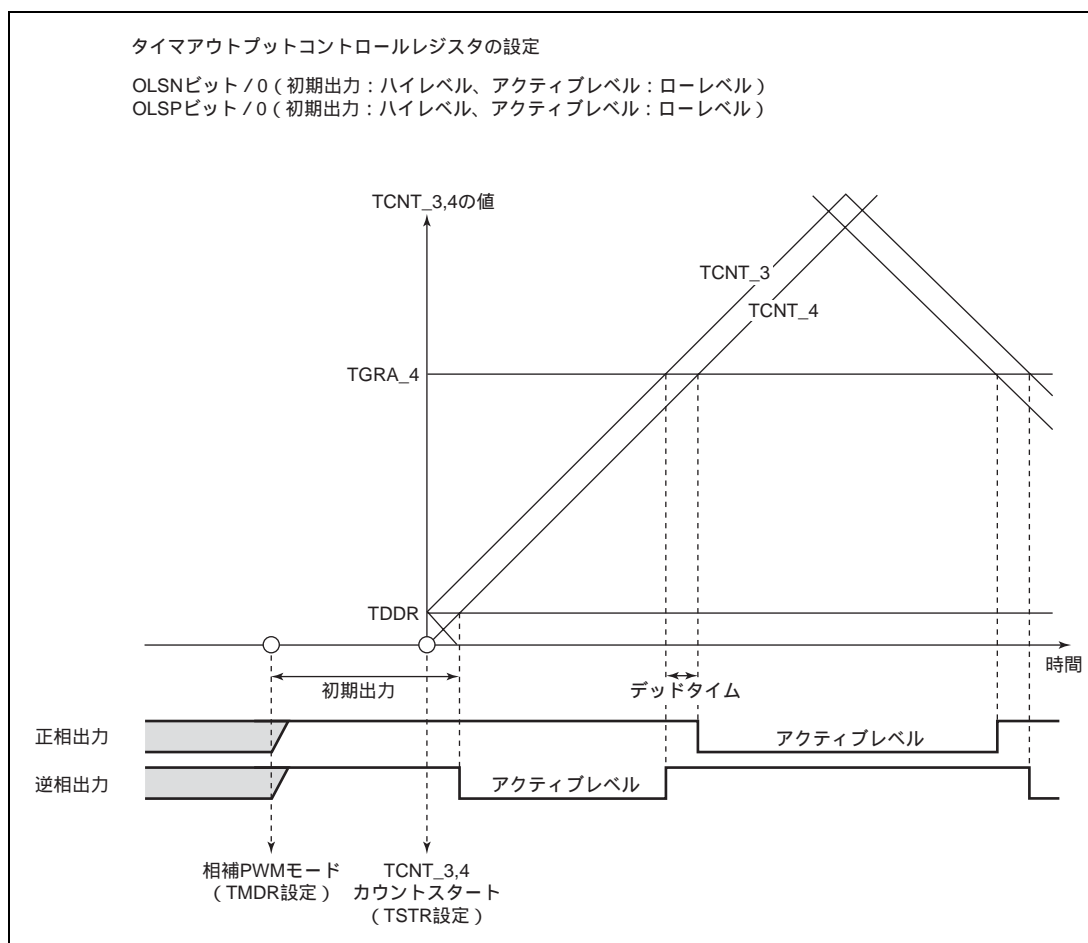


図 10.44 相補 PWM モードの初期出力例 (1)

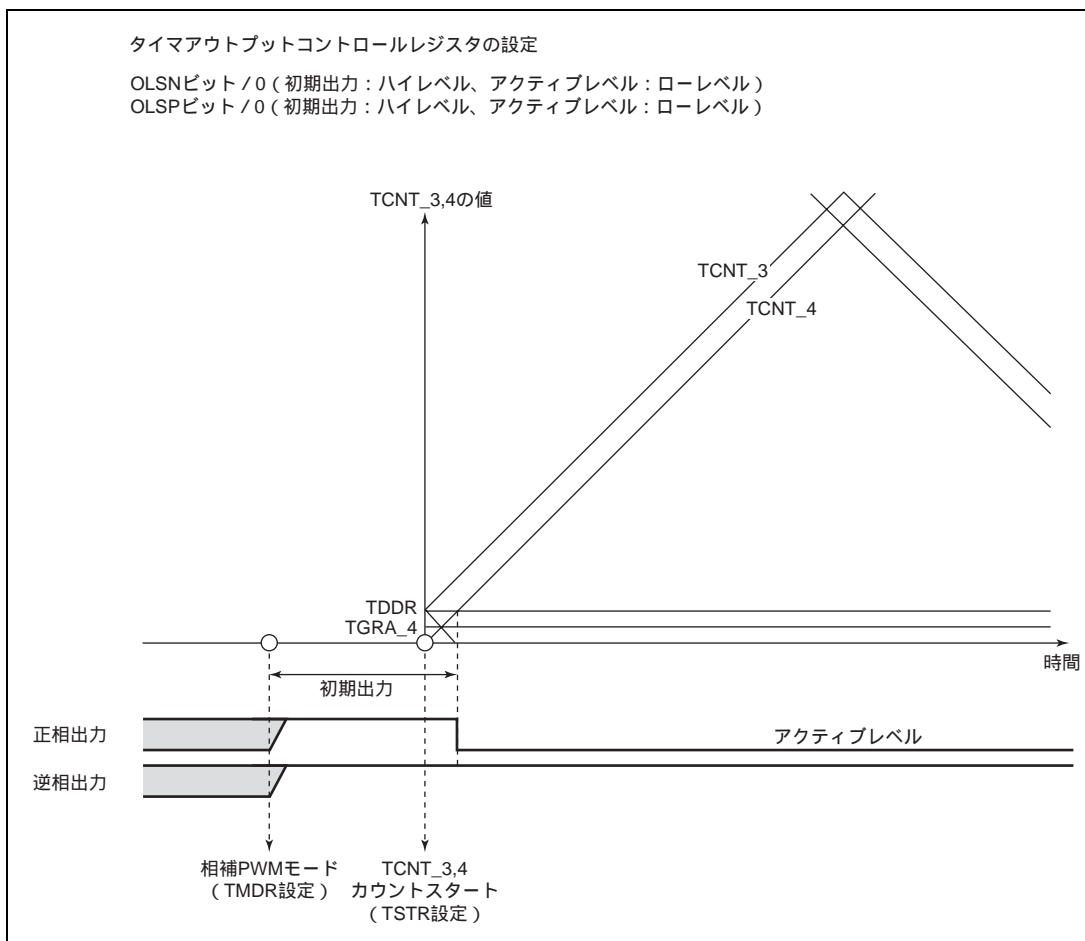


図 10.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバラップ時間を持った PWM 波形を 3 相出力します。このノンオーバラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとデータレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、データレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 10.46 ~ 図 10.48 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 10.46 に示すように通常の場合のコンペアマッチは、a b c d (または c d a' b') の順番で発生します。

コンペアマッチが a b c d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c d a' b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 10.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を OFF します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 10.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

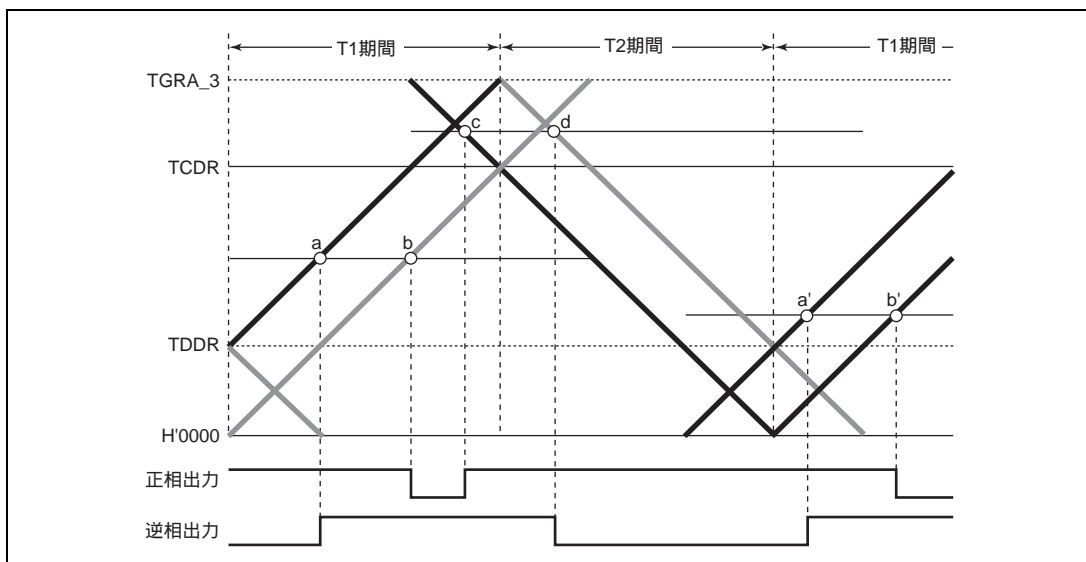


図 10.46 相補 PWM モード波形出力例 (1)

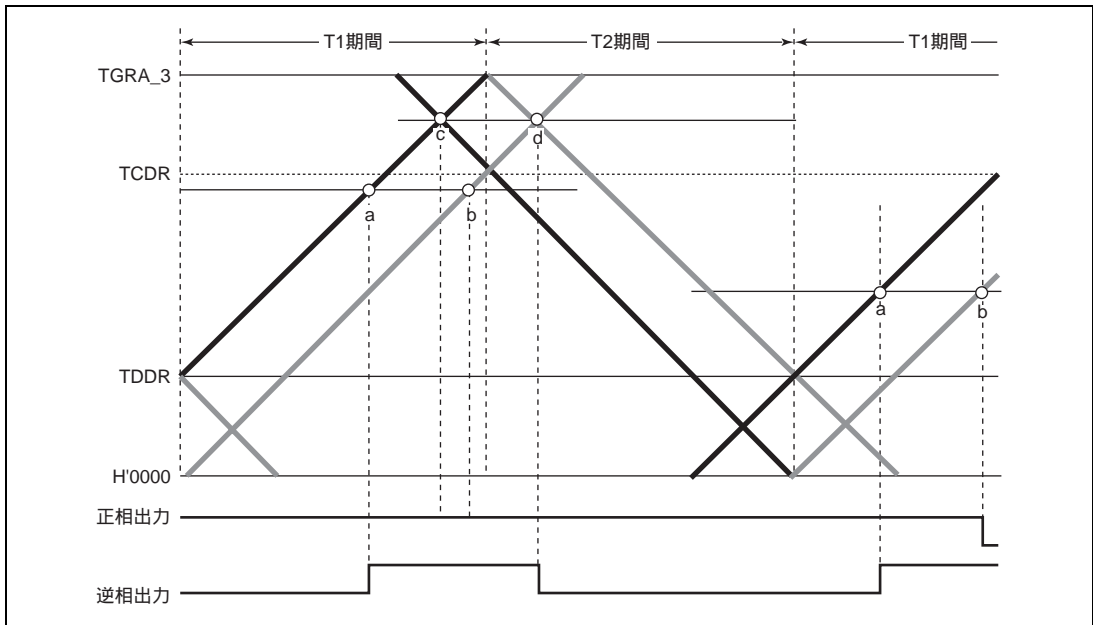


図 10.47 相補 PWM モード波形出力例 (2)

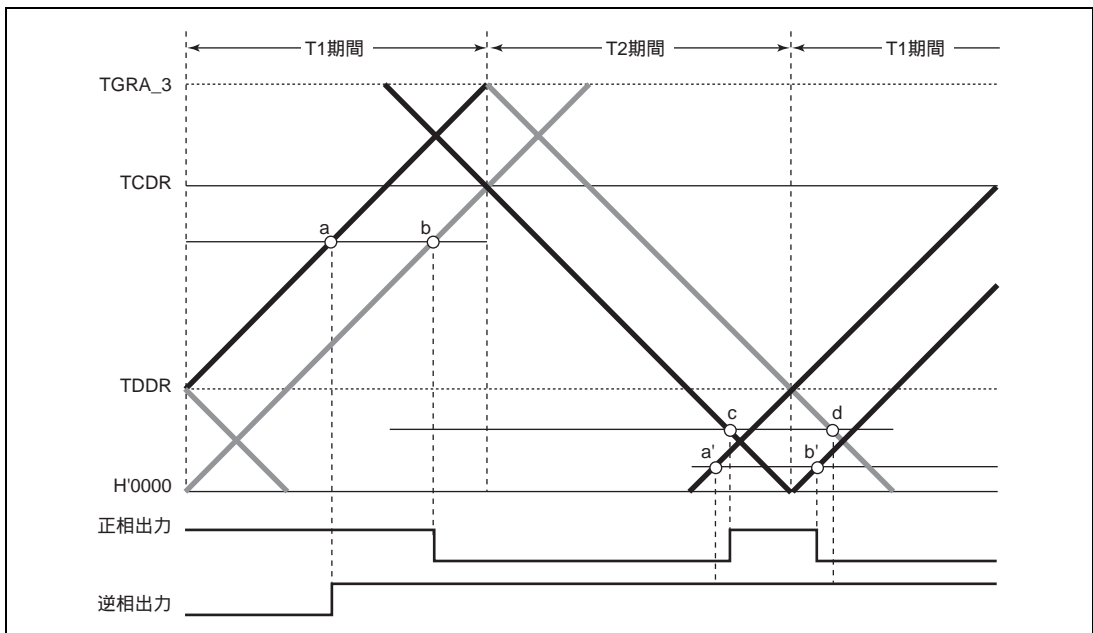


図 10.48 相補 PWM モード波形出力例 (3)

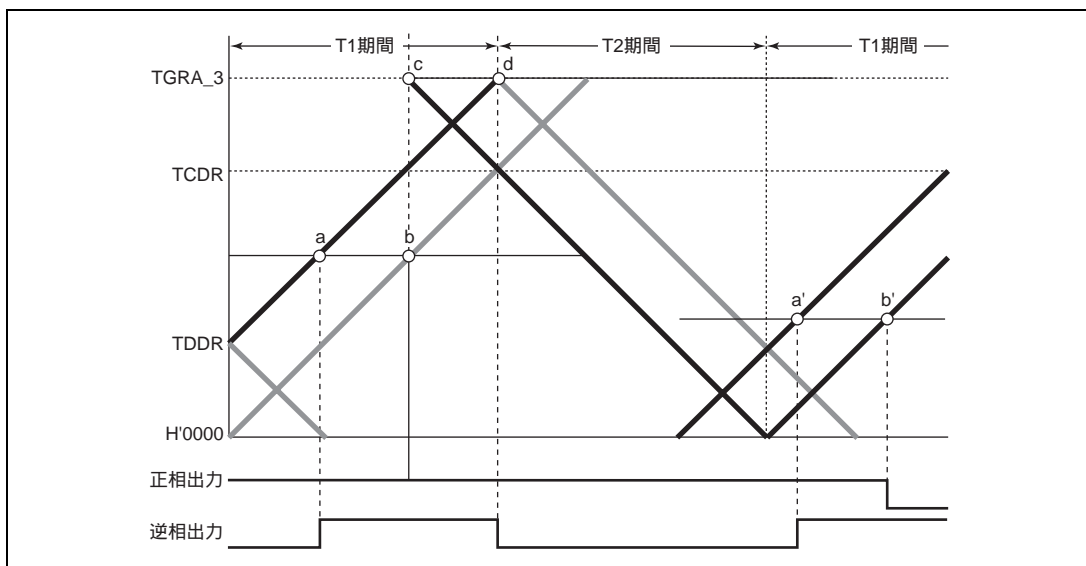


図 10.49 相補 PWM モード 0%、100%波形出力例 (1)

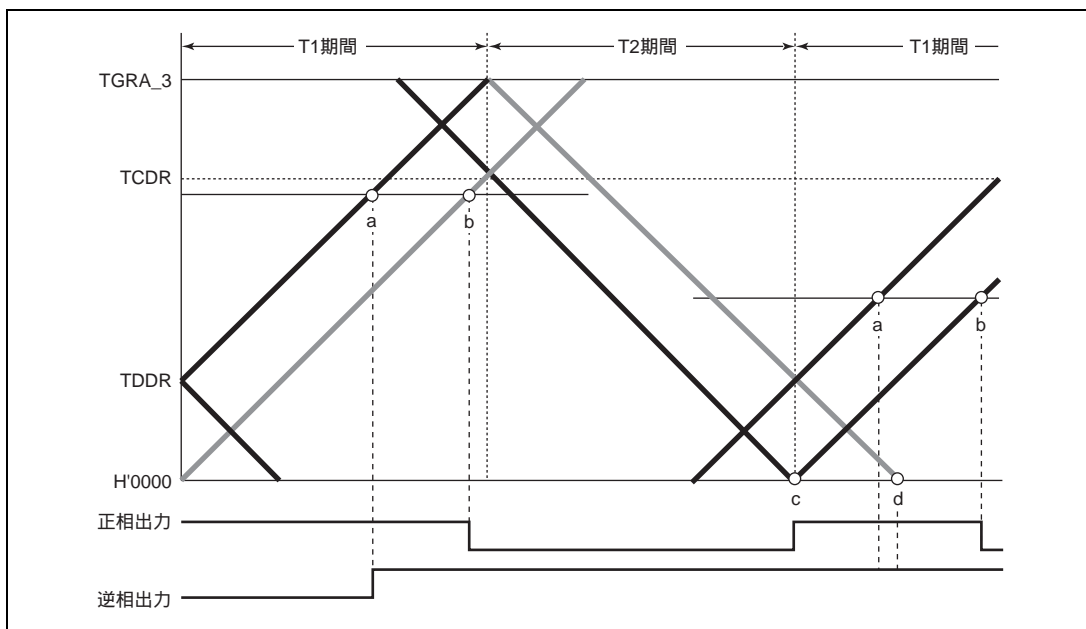


図 10.50 相補 PWM モード 0%、100%波形出力例 (2)

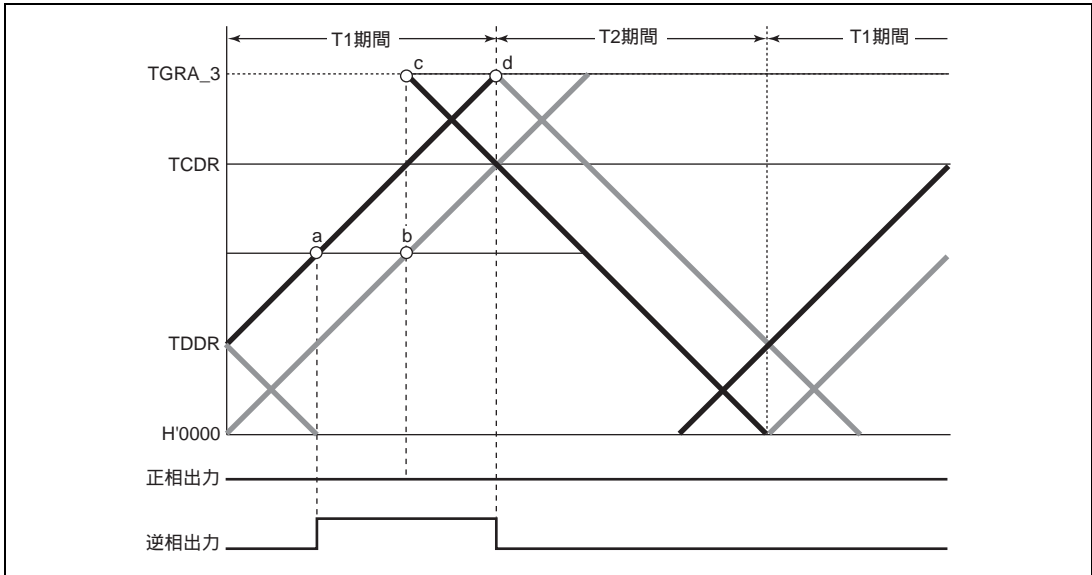


図 10.51 相補 PWM モード 0%、100%波形出力例 (3)

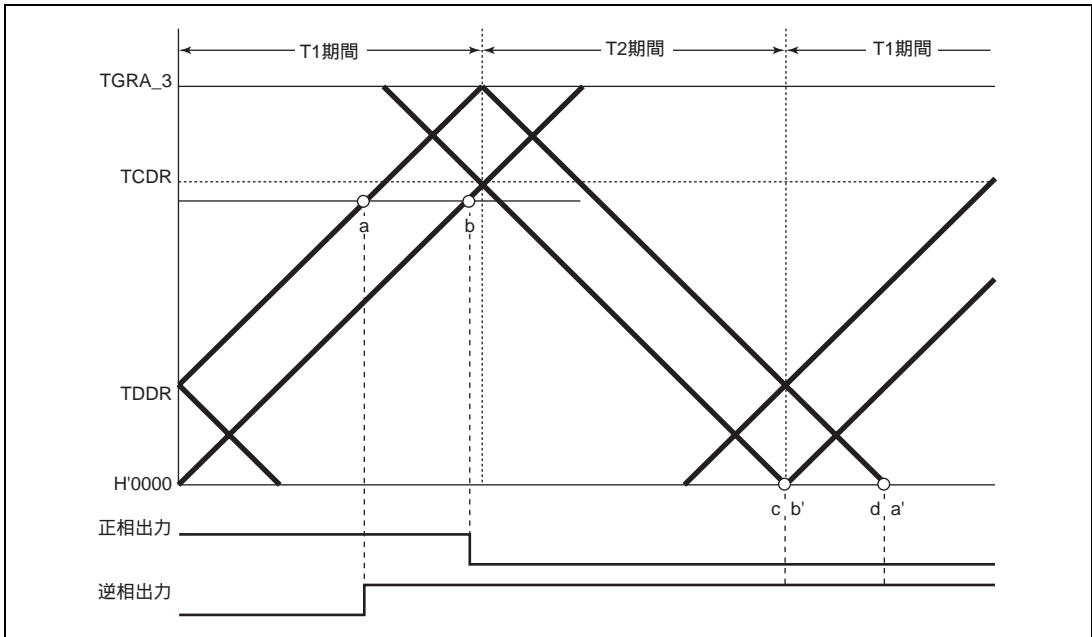


図 10.52 相補 PWM モード 0%、100%波形出力例 (4)

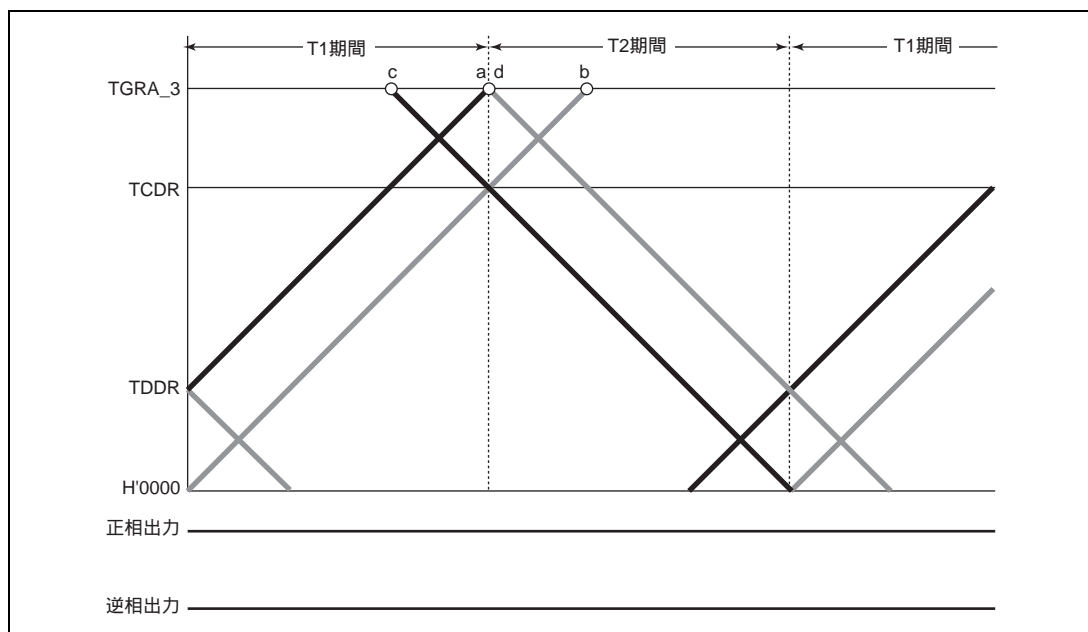


図 10.53 相補 PWM モード 0%、100% 波形出力例 (5)

(k) 相補 PWM モードのデューティ 0%、100% 出力

相補 PWM モードでは、デューティ 0%、100% を任意に出力可能です。図 10.49 ~ 図 10.53 に出力例を示します。デューティ 100% 出力は、データレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100% ON 状態の波形です。また、デューティ 0% 出力は、データレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100% OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(l) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 10.54 に示します。この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

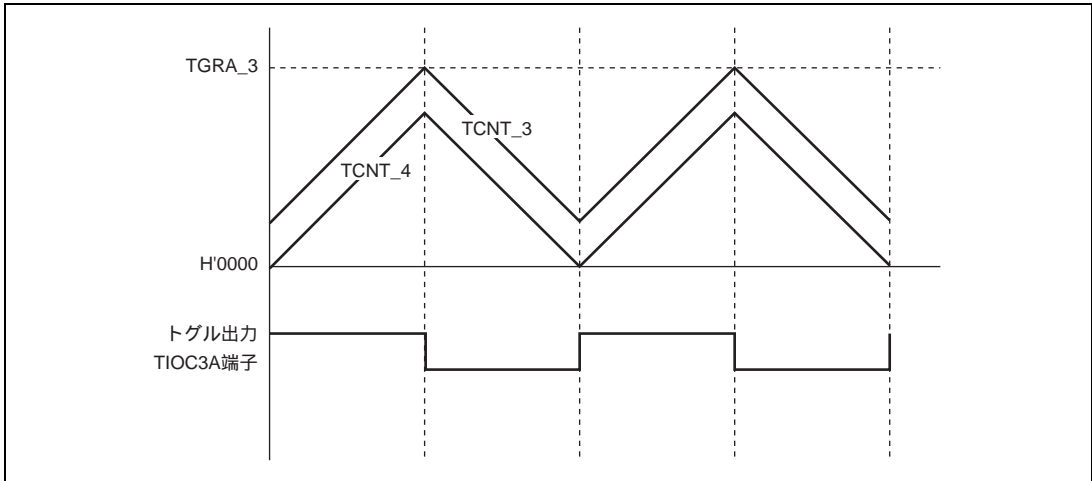


図 10.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 により同期クリアを選択することにより他のチャネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。

図 10.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

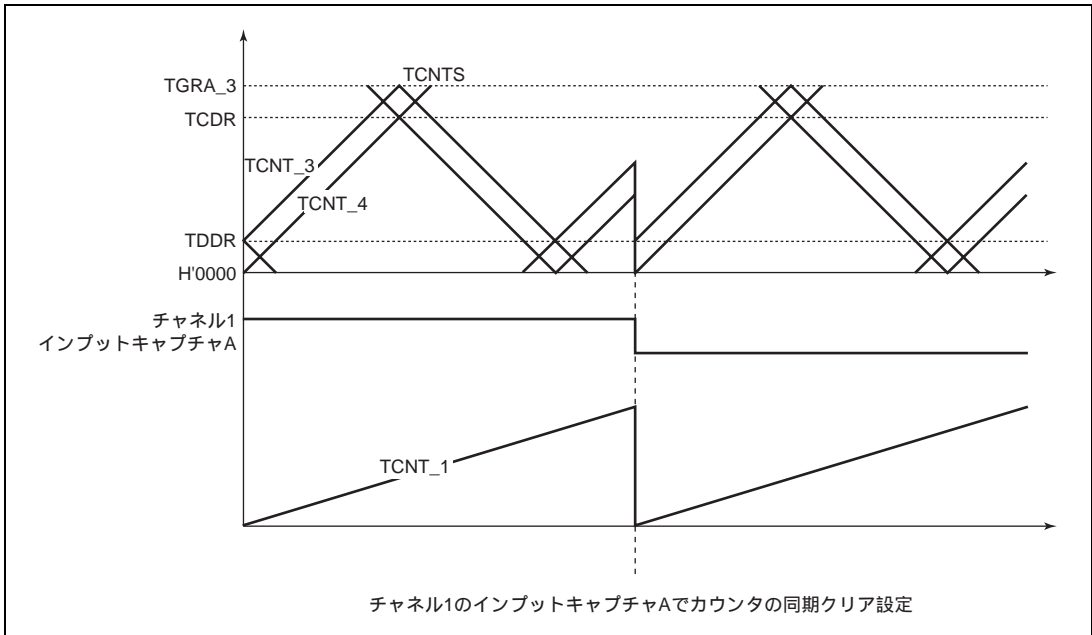


図 10.55 他のチャネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを 1 に設定することにより、相補 PWM モードの谷の T_b 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑止することができます。

WRE ビットを 1 に設定することで初期出力を抑止することができるのは、同期クリアが図 10.56 の、のような谷の T_b 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の T_b 区間であっても、図 10.56 ので示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

初期出力を抑止する場合、コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、「10.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」を参照してください。

本機能は MTU2、MTU2S のどちらでも使用することができます。MTU2、MTU2S のカウンタクリア要因はそれぞれ、MTU2 では MTU2 のチャンネル 0~2 からの同期クリア、MTU2S では MTU2 のチャンネル 0~2 のフラグセット（コンペアマッチ/インプットキャプチャ）です。

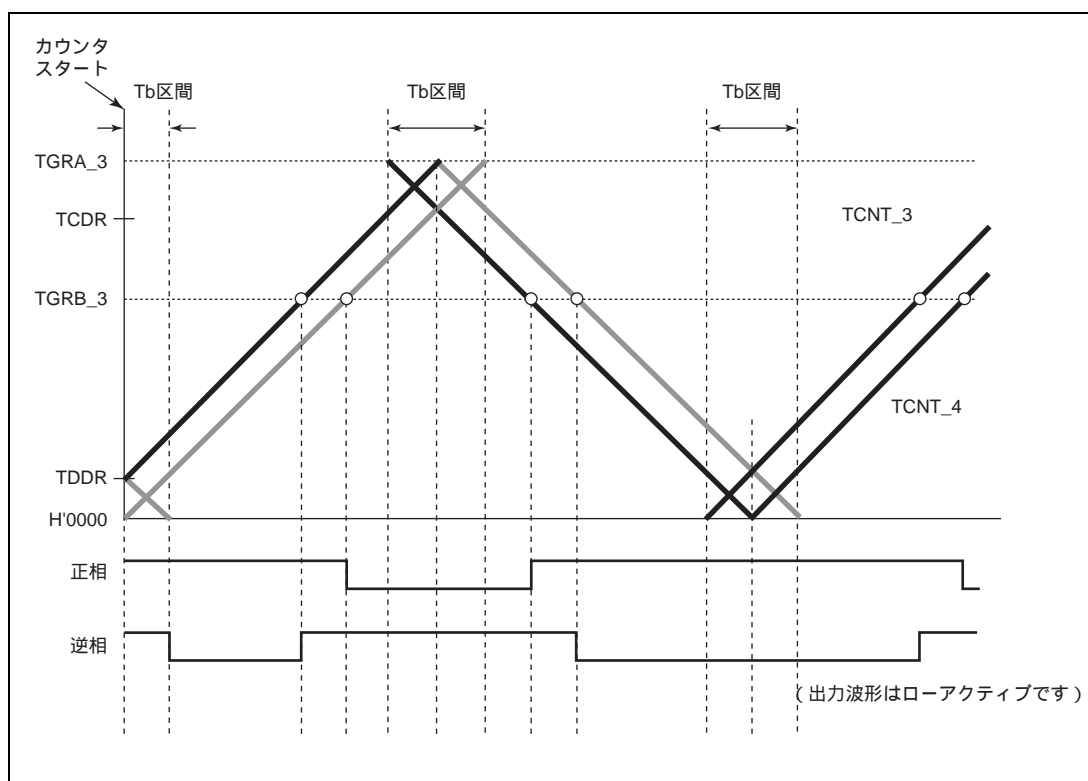


図 10.56 同期カウンタクリアタイミング

- 相補PWMモードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 10.57 に示します。

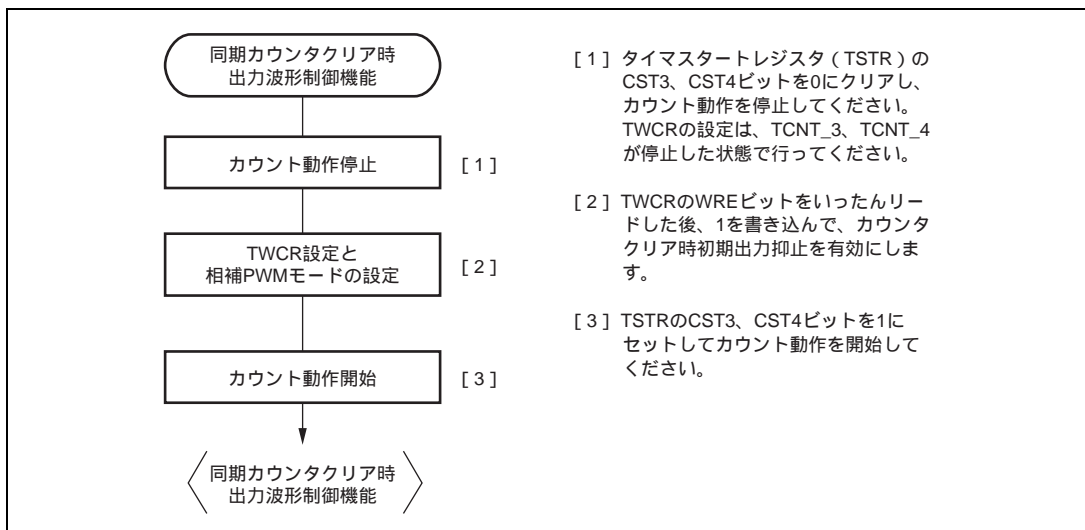


図 10.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補PWMモードでの同期カウンタクリア時出力波形制御動作例

図 10.58 ~ 図 10.61 に、TWCRC の WRE ビットを 1 に設定した状態で MTU2 を相補 PWM 動作をさせ、同期カウンタクリアをした場合の動作例を示します。ここで、図 10.58 ~ 図 10.61 の同期カウンタクリアのタイミングは、それぞれ図 10.56 の 、 、 、 で示したタイミングです。

この例は、MTU2S では TWCRC の SCC ビットを 0、WRE ビットを 1 に設定した状態で MTU2S を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

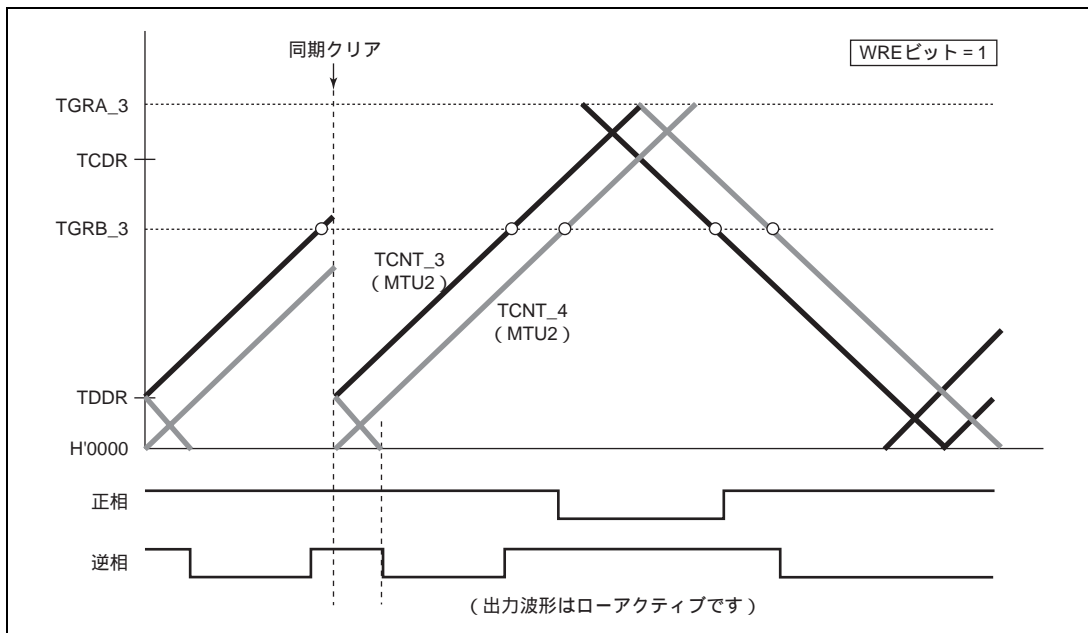


図 10.58 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 10.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット = 1)

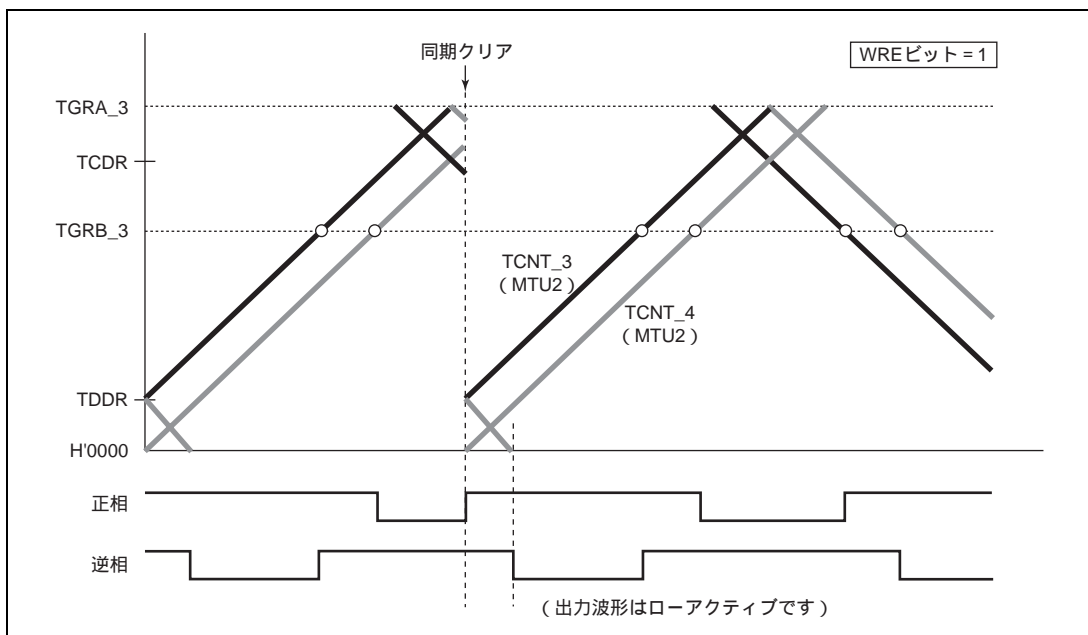


図 10.59 山の Tb 区間で同期クリアが発生した場合
(図 10.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット = 1)

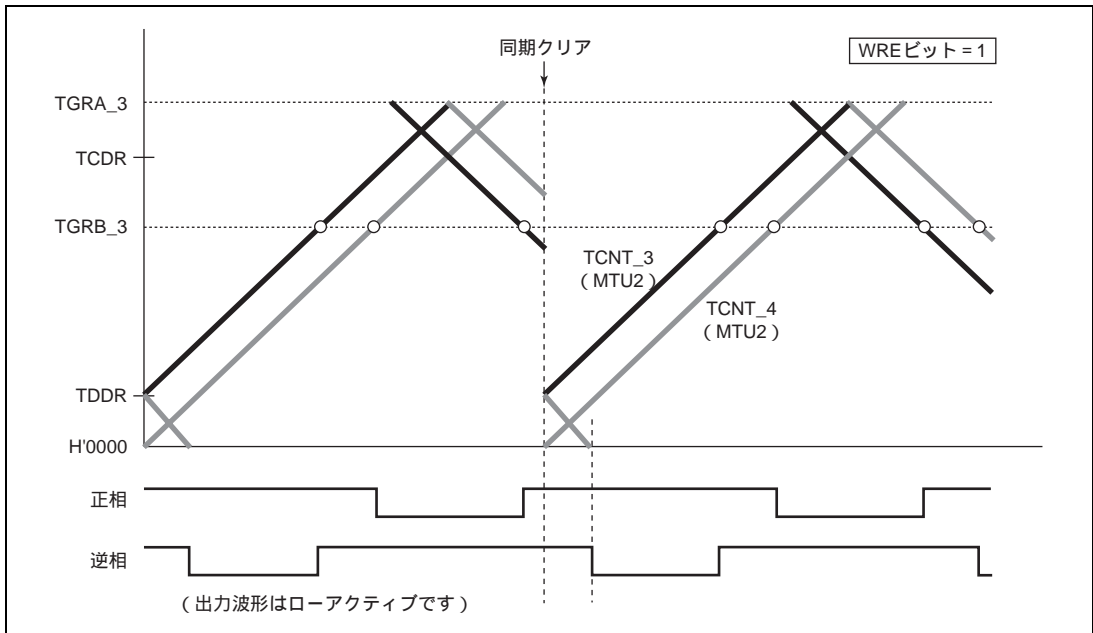


図 10.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 10.56 のタイミング、TWCR レジスタの WRE ビット = 1)

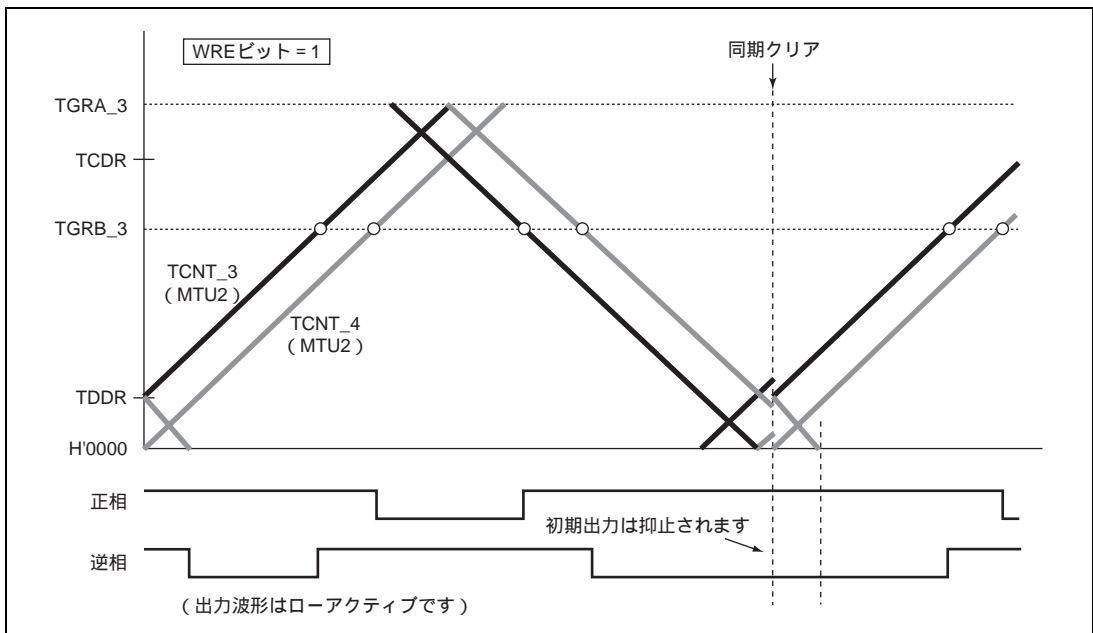


図 10.61 谷の Tb 区間で同期クリアが発生した場合
(図 10.56 のタイミング、TWCR レジスタの WRE ビット = 1)

(o) MTU2 - MTU2S カウンタ同期クリアの抑止機能

MTU2S では、TWCR レジスタの SCC ビットを 1 に設定することにより、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU2 からの同期クリアが抑止できるのは、図 10.62 で示す区間です。

また、本機能を使用する際は、MTU2S を相補 PWM モードに設定してください。

MTU2 からの同期クリアについての詳細は、「10.4.10(2) MTU2 フラグセット要因を利用した MTU2S カウンタクリア (MTU2 - MTU2S カウンタ同期クリア)」を参照してください。

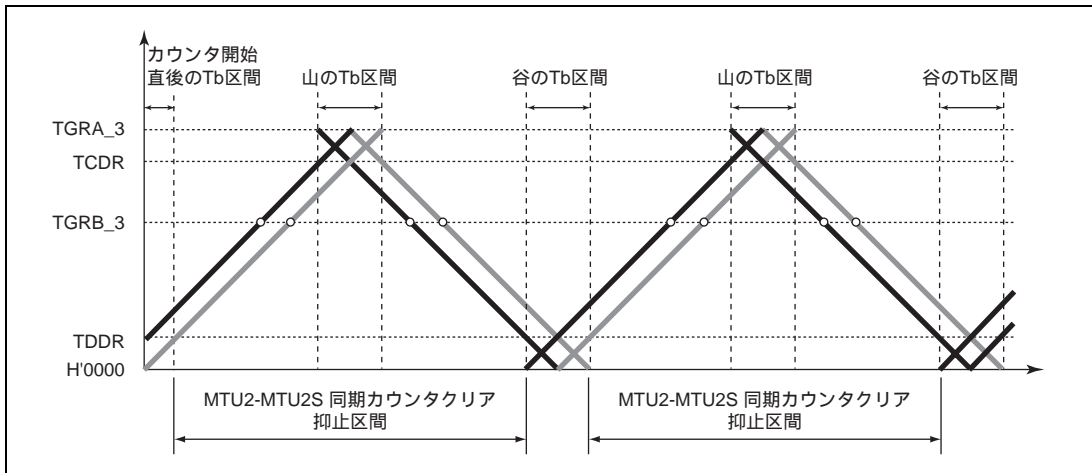


図 10.62 TWCR の SCC ビットセットによる、MTU2 - MTU2S 同期クリア抑止区間

- MTU2 - MTU2S同期カウンタクリア抑止機能の設定手順例

MTU2 - MTU2S 同期カウンタクリア抑止機能の設定手順例を図 10.63 に示します。

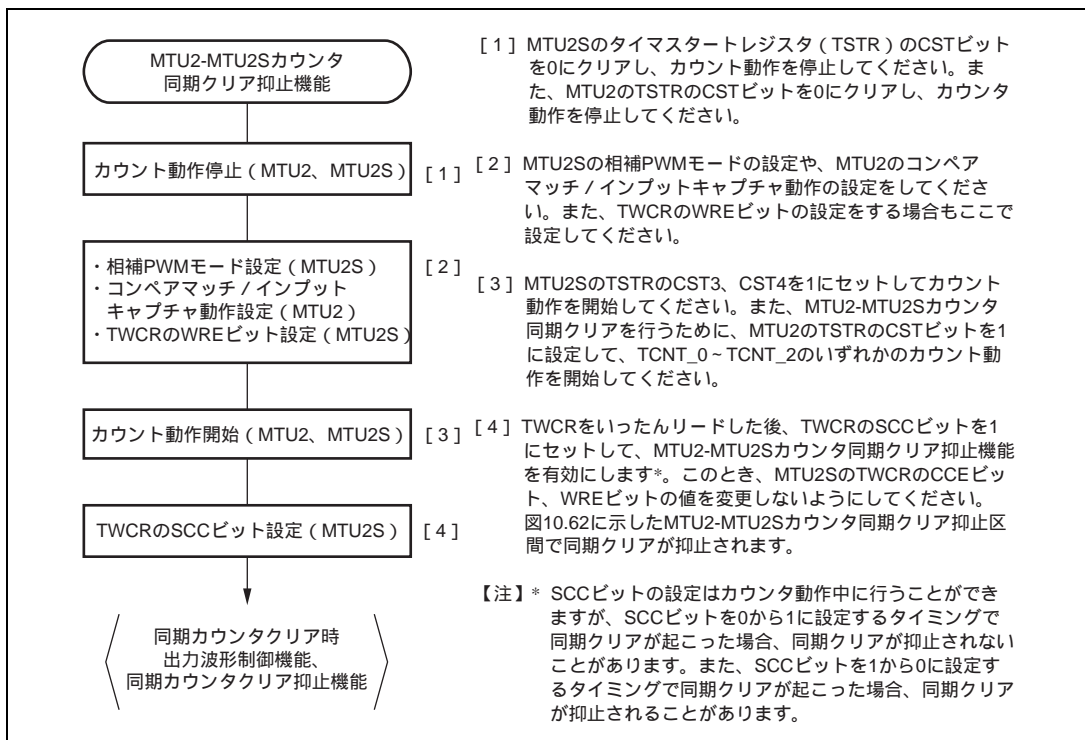


図 10.63 MTU2 - MTU2S 同期カウンタクリア抑止機能の設定手順例

- MTU2 - MTU2S同期カウンタクリア抑止機能の動作例

図 10.64 ~ 図 10.67 に、MTU2S の TWCR の SCC ビットを 1 に設定して MTU2S を相補 PWM 動作をさせ、MTU2 - MTU2S カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 10.64 ~ 図 10.67 の同期カウンタクリアのタイミングは、それぞれ図 10.56 の 、 、 で示したタイミングです。また、この例では MTU2S の TWCR の WRE ビットは 1 に設定しています。

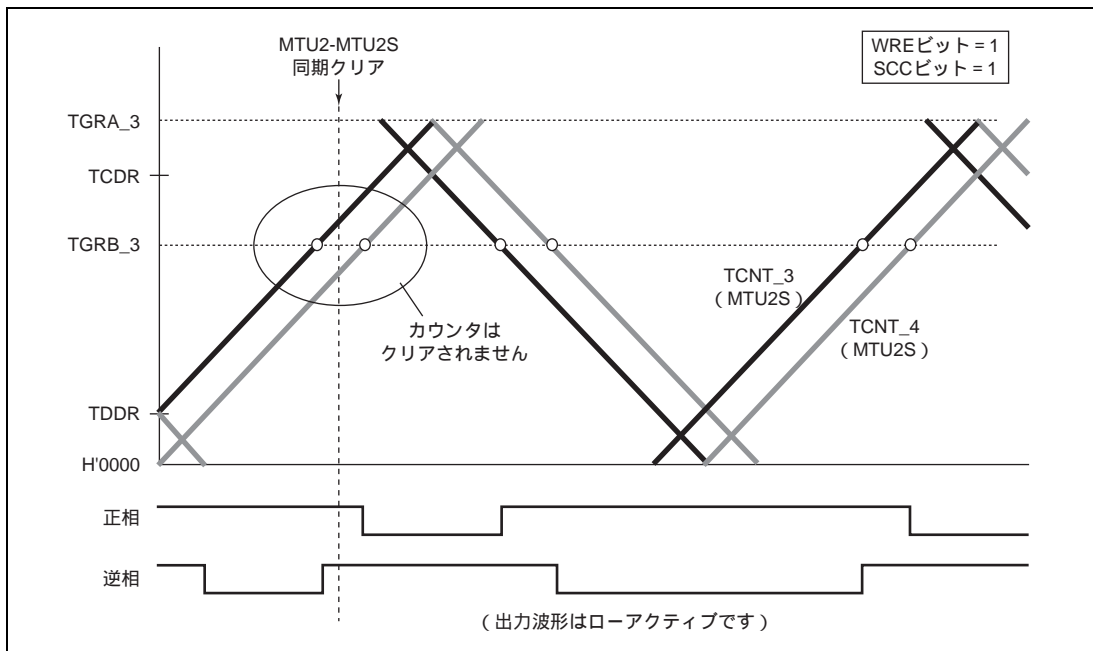


図 10.64 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 10.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

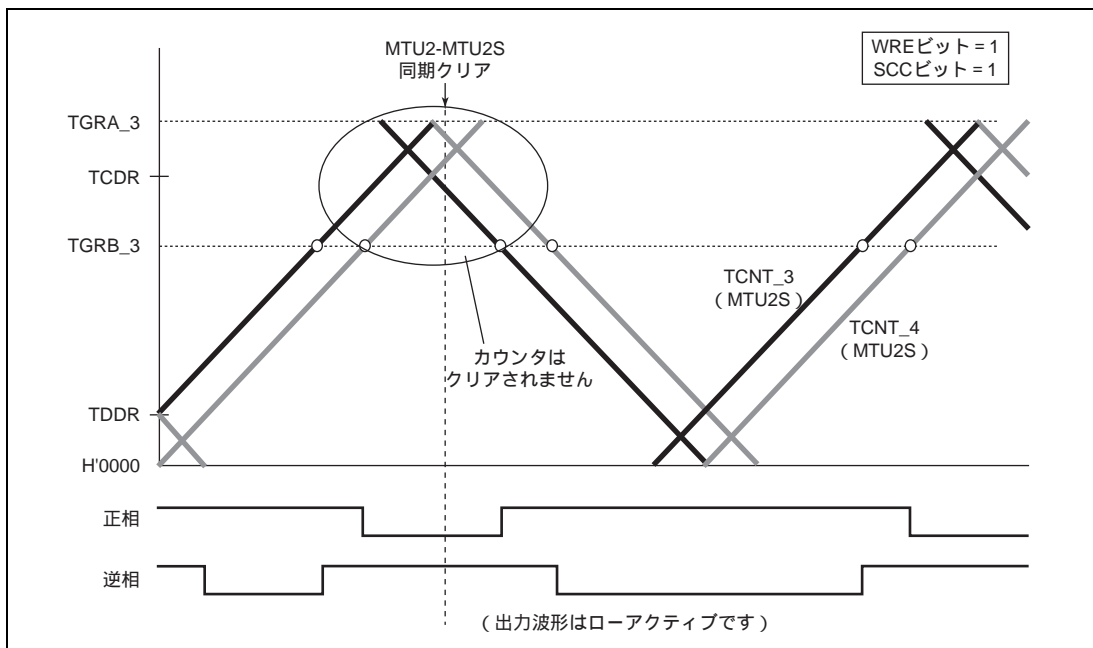


図 10.65 山の Tb 区間で同期クリアが発生した場合
(図 10.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

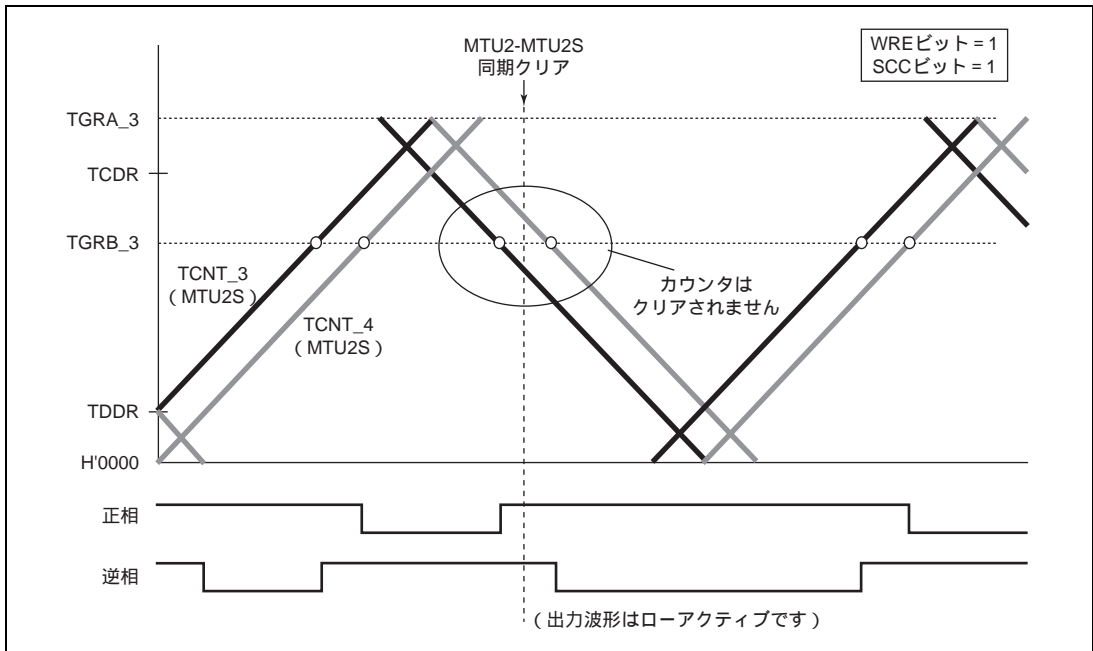


図 10.66 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 10.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

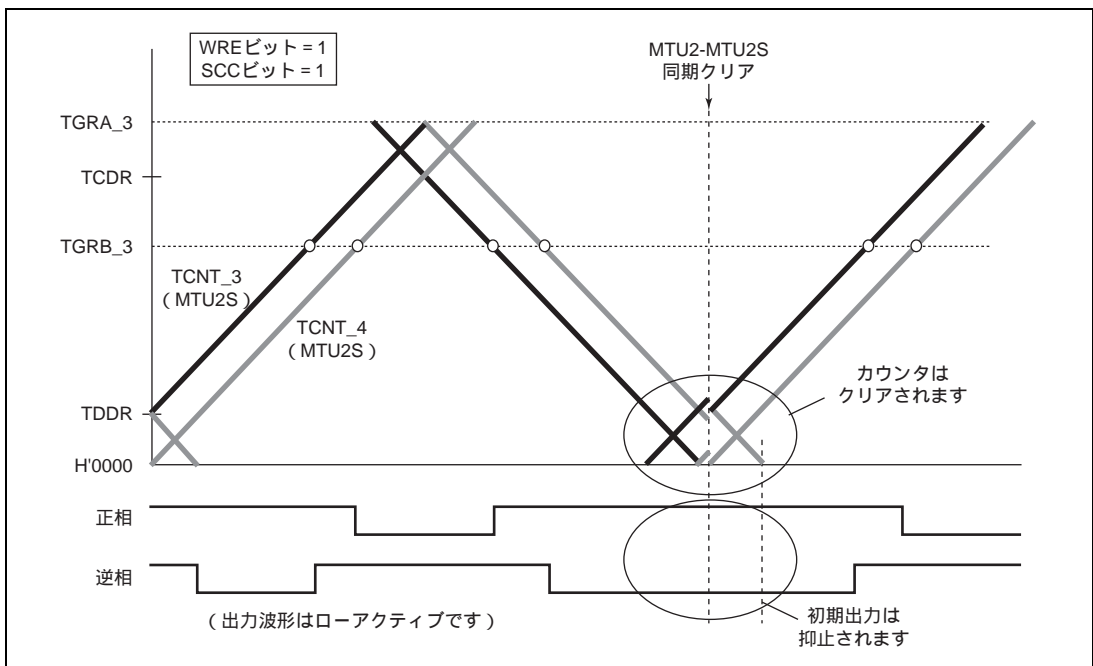


図 10.67 谷の Tb 区間で同期クリアが発生した場合
 (図 10.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

(p) TGRA_3 のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCR) の CCE ビットを設定することにより、TGRA_3 のコンペアマッチで TCNT_3、TCNT_4 および TCNTS をクリアすることが可能です。

図 10.68 に動作例を示します。

- 【注】
1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
 2. 他のチャンネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYR) の SYNC0 ~ SYNC4 ビットを 1、タイマシンクロクリアレジスタ (TSYCR) の CE0A/B/C/D、CE1A/B/C/D ビットを 1 に設定しないでください)
 3. PWM デューティは、H'0000 を設定しないでください。
 4. タイマアウトプットコントロールレジスタ 1 (TOCR1) の PSYE ビットを 1 に設定しないでください。

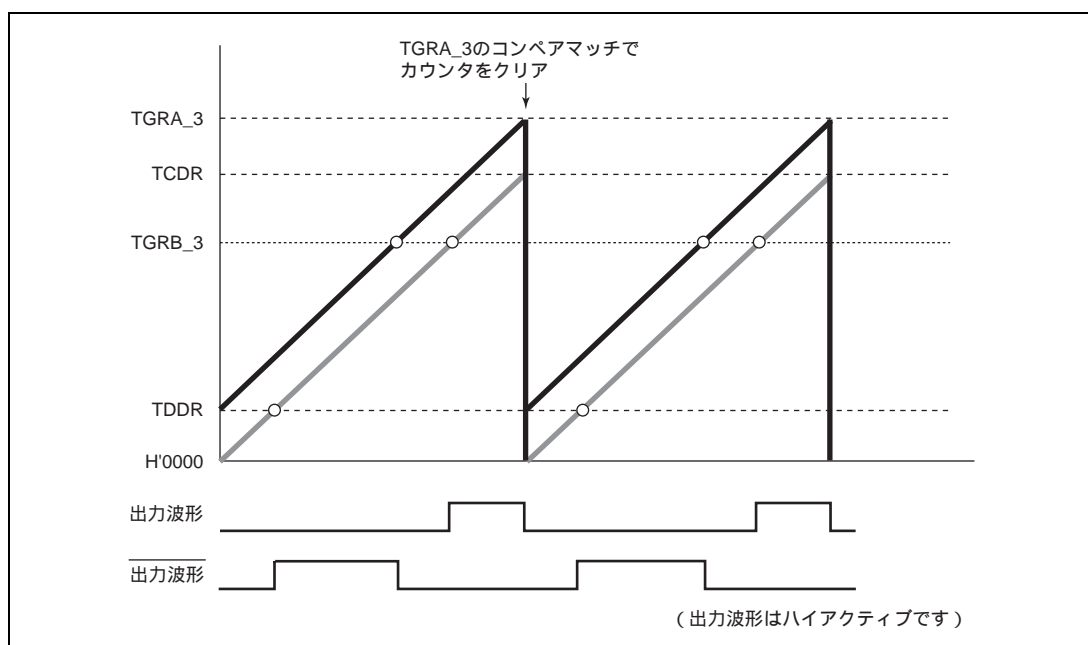


図 10.68 TGRA_3 のコンペアマッチにおけるカウンタクリアの動作例

(q) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 10.69 ~ 図 10.72 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (PFC で設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この6相出力はNビットまたはPビットを1に設定することにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。NビットまたはPビットが0の場合は、レベル出力になります。

また、6相出力のアクティブレベル(ON出力時レベル)は、NビットおよびPビットの設定にかかわらず、タイムアウトビットコントロールレジスタ(TOCR)のOLSNビット、OLSPビットで設定できます。

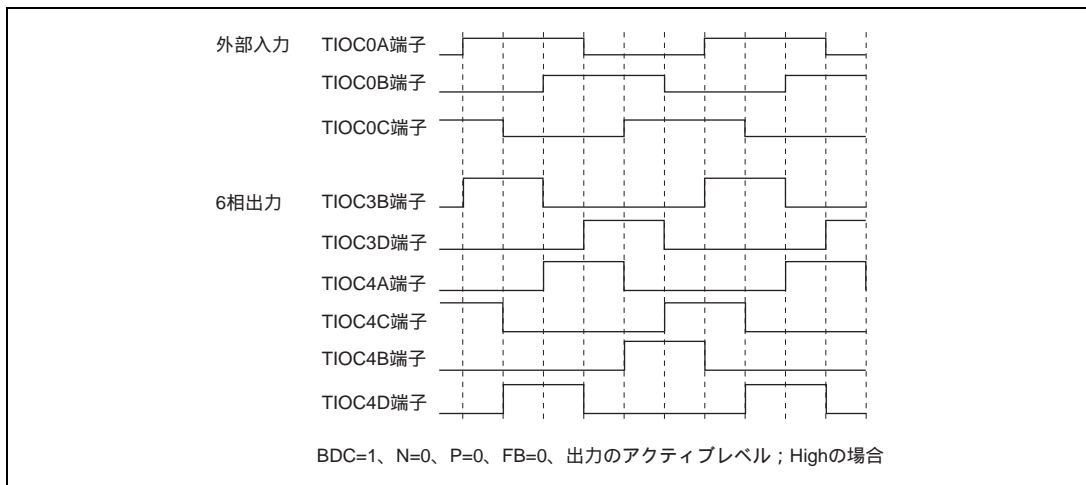


図 10.69 外部入力による出力相の切り替え動作例(1)

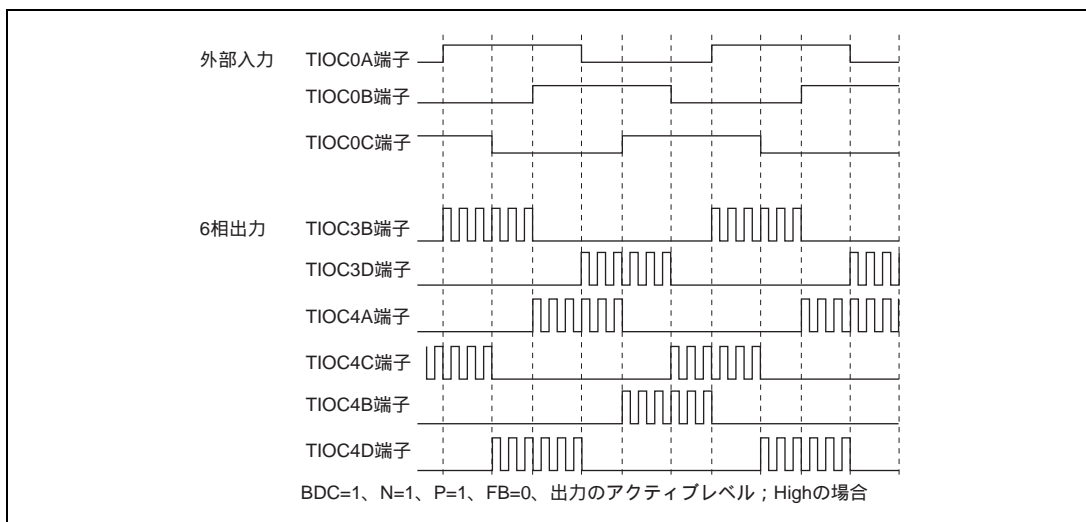


図 10.70 外部入力による出力相の切り替え動作例(2)

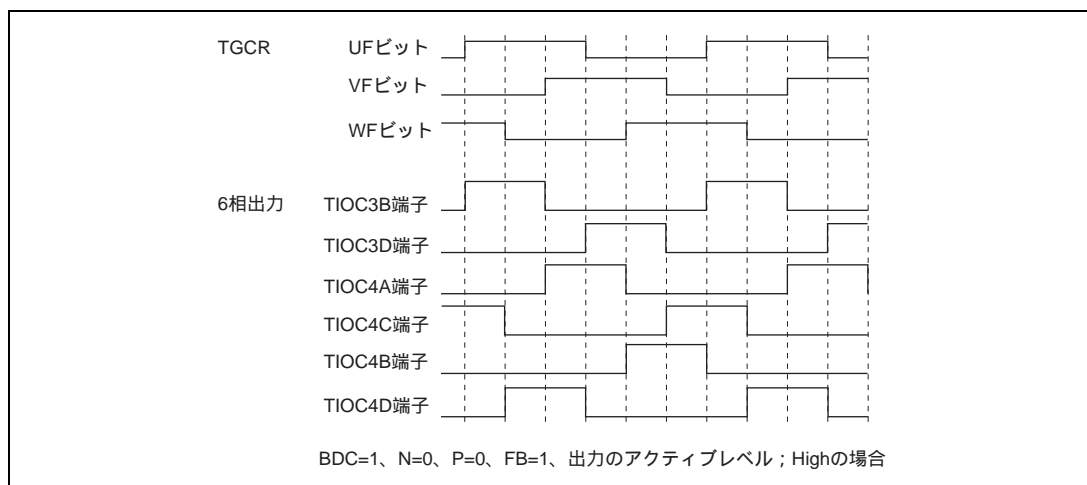


図 10.71 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

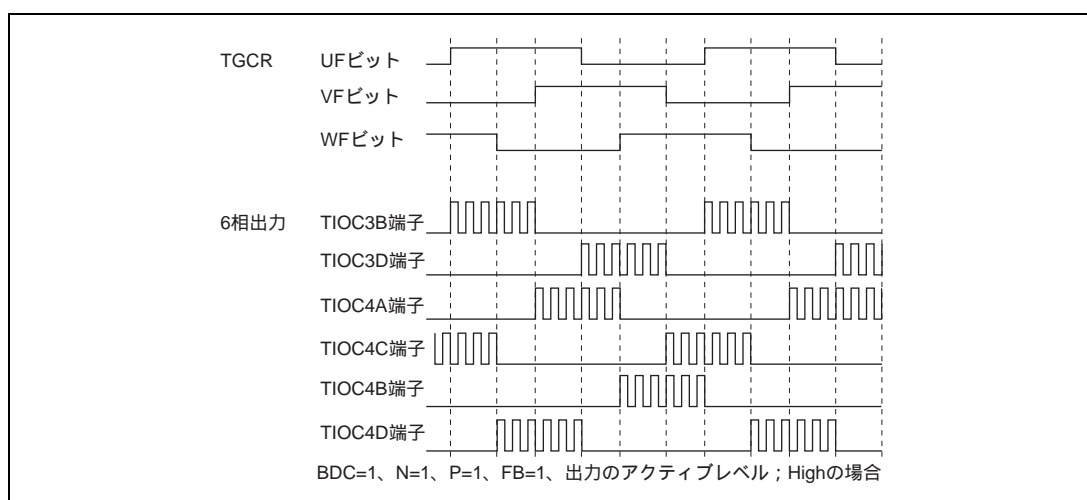


図 10.72 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(r) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチ、TCNT_4 のアンダフロー（谷）、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、TCNT_3 の山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイマインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。TCNT_4 のアンダフロー（谷）の A/D 変換の開始要求は、TIER_4 の TTGE2 ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

チャンネル 3 とチャンネル 4 の TGIA_3 (山の割り込み)、および TCIV_4 (谷の割り込み) は、タイマ割り込み間

引き設定レジスタ (TITCR) を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTER) を設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「10.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ (TITCR) の設定は、TIER_3、TIER_4 レジスタの設定で TGIA_3 と TCIV_4 割り込み要求を禁止した状態、かつコンペアマッチによる TGFA_3、TCFV_4 フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 10.73 に示します。また、割り込み間引き回数の変更可能期間を図 10.74 に示します。

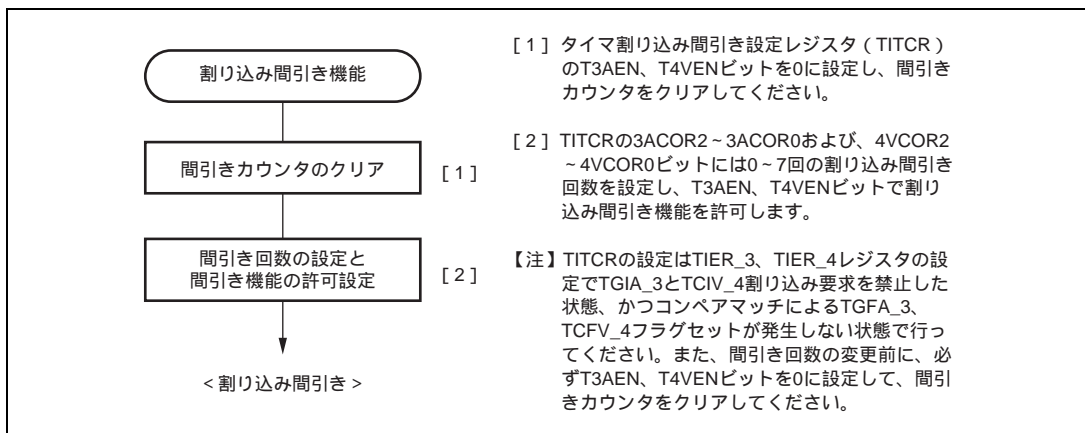


図 10.73 割り込み間引き機能の設定手順例

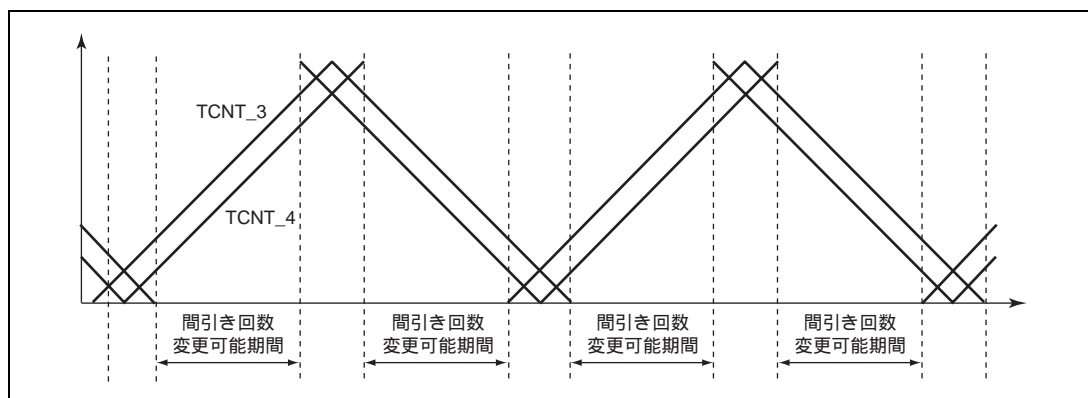


図 10.74 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ (TITCR) の 3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを 1 に設定した場合、TGIA_3 割り込み間引きの動作例を図 10.75 に示します。

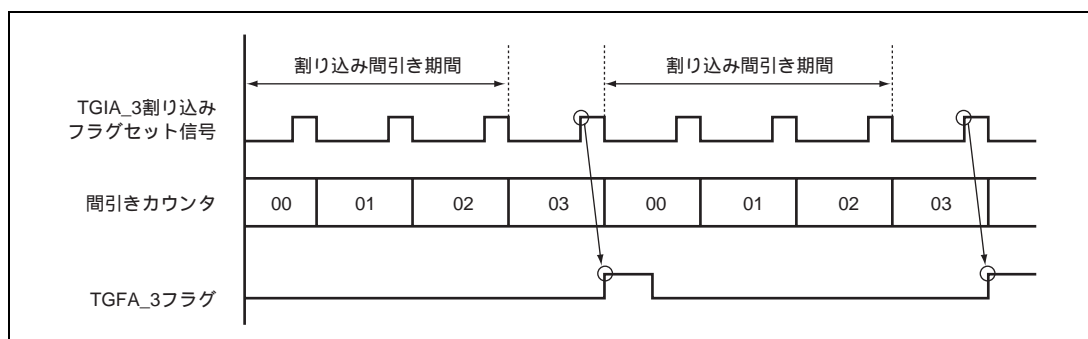


図 10.75 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ (TBTER) レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例を図 10.76 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例を図 10.77 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN ビットを 1 に設定した場合、T4VEN ビットを 1 に設定した場合、T3AEN/T4VEN ビットを 1 に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 10.78 に示します。

【注】 本機能は、割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送設定レジスタ (TBTER) の BTE1 を 0 に設定）してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

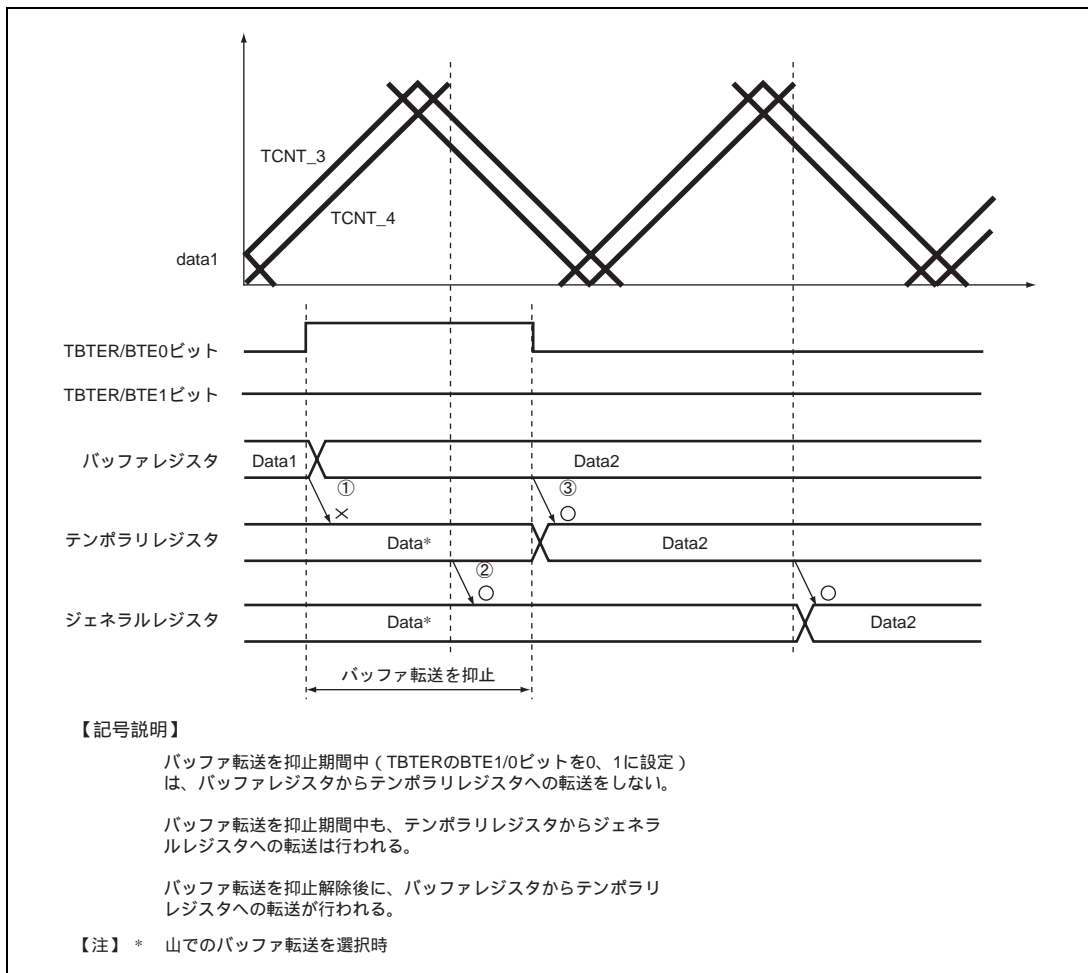


図 10.76 バッファ転送を抑制する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例

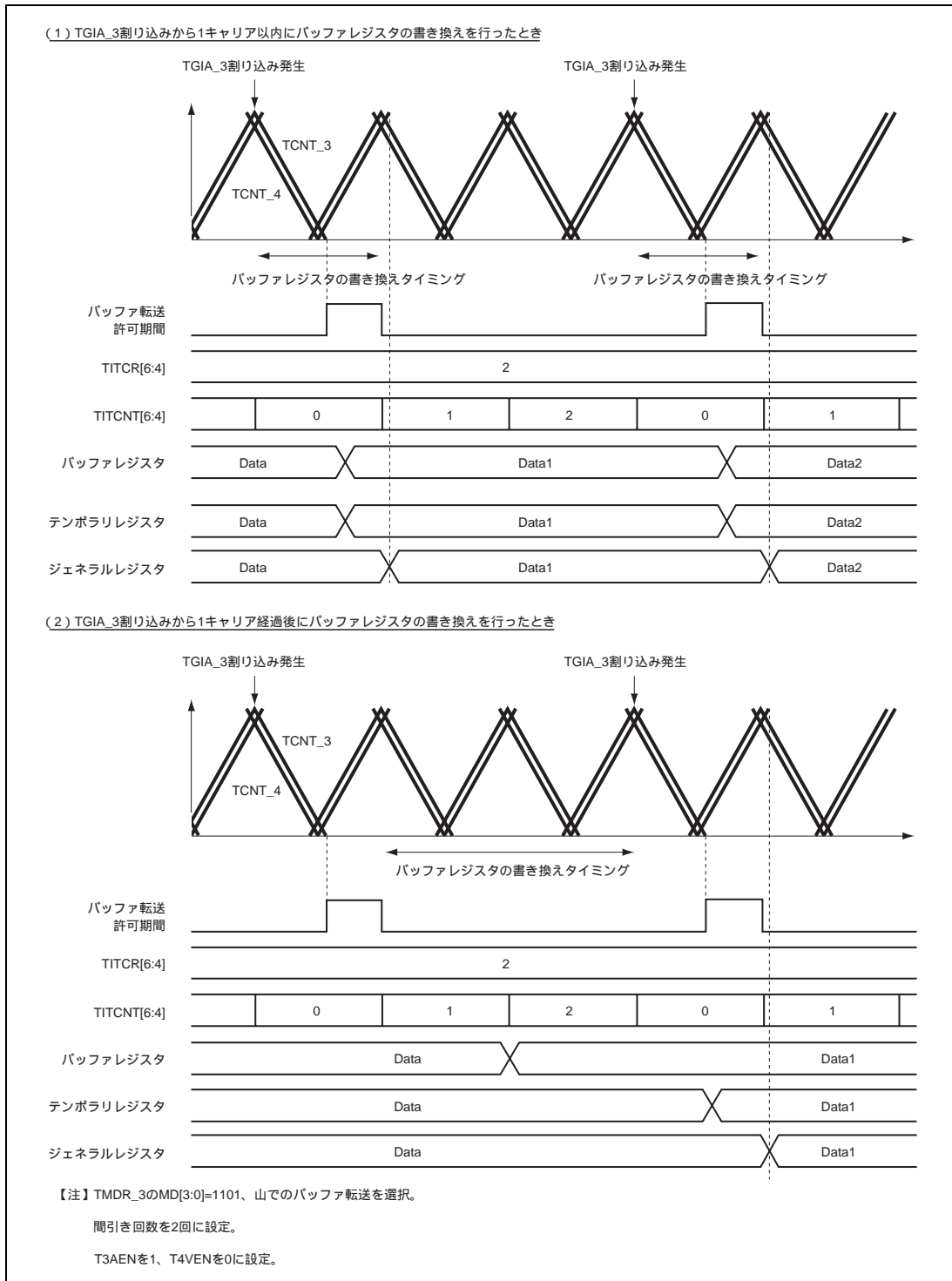


図 10.77 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例

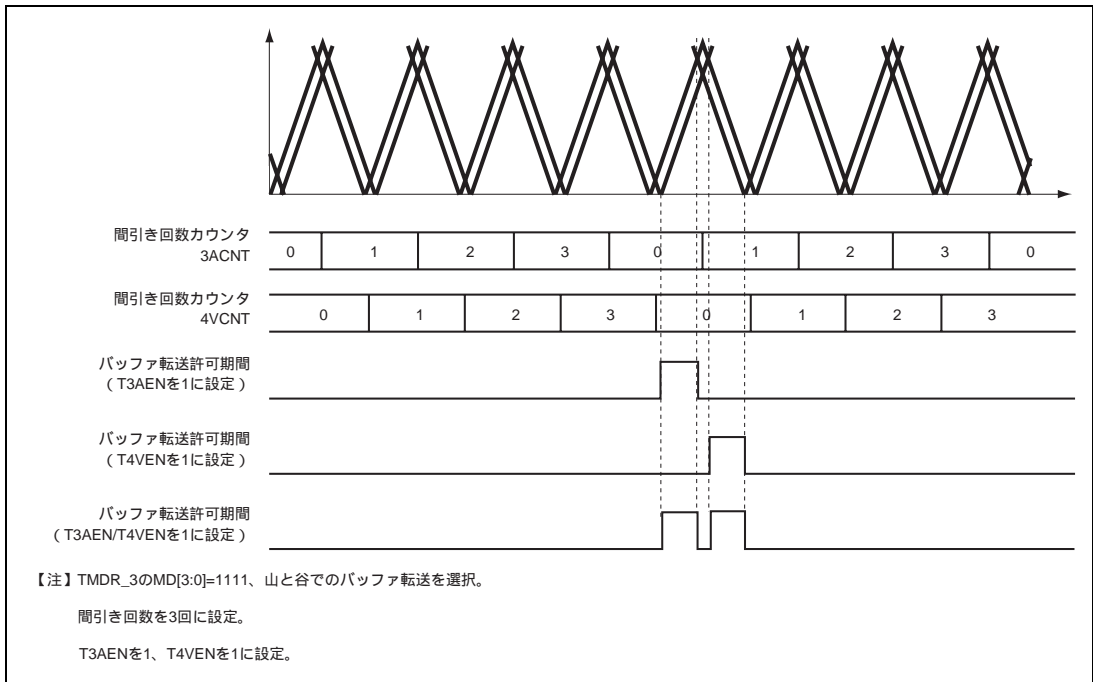


図 10.78 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ (TRWER) の RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタはチャンネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIORL_3 および TIORL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。

詳細は、「第 12 章 ポートアウトプットイネーブル (POE)」を参照してください。

(c) 発振停止時の PWM 出力の停止機能

6 相 PWM 出力端子は、本 LSI に入力されているクロックが停止したことを検出して出力端子を自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、「4.7 発振停止検出機能」を参照してください。

10.4.9 A/D 変換開始要求ディレイド機能

チャンネル 4 のタイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 起動要求用周期レジスタ (TADCORA_4、TADCORB_4)、タイマ A/D 起動要求用周期バッファレジスタ (TADCOBRA_4、TADCOBRB_4) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、TCNT_4 と TADCORA_4、TADCORB_4 を比較し、TCNT_4 と TADCORA_4、TADCORB_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

(a) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 10.79 に示します。

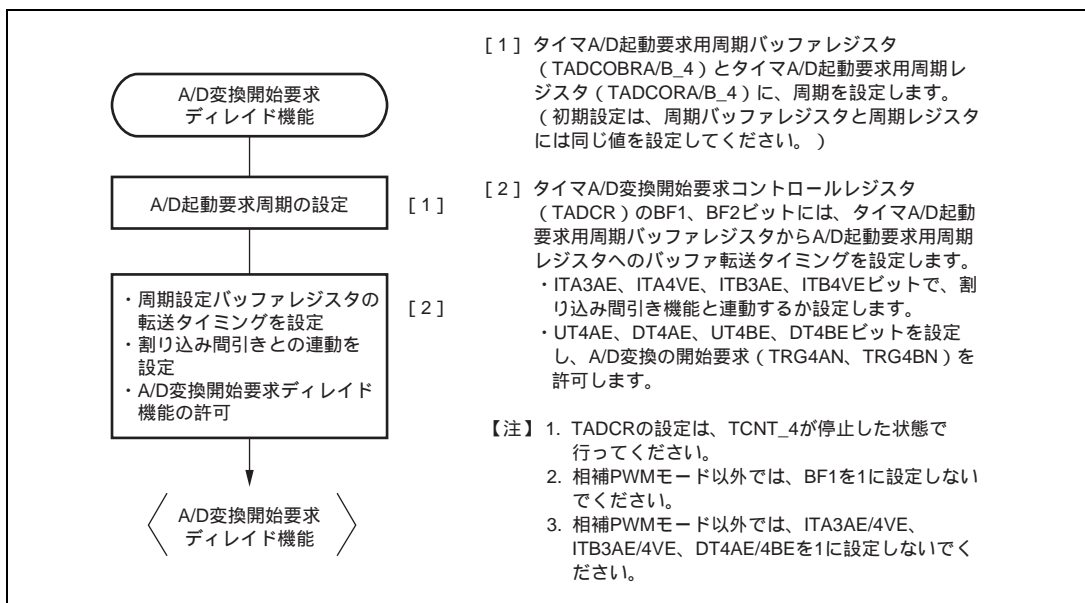


図 10.79 A/D 変換開始要求ディレイド機能の設定手順例

(b) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを TCNT_4 の谷に設定し、TCNT_4 のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 10.80 に示します。

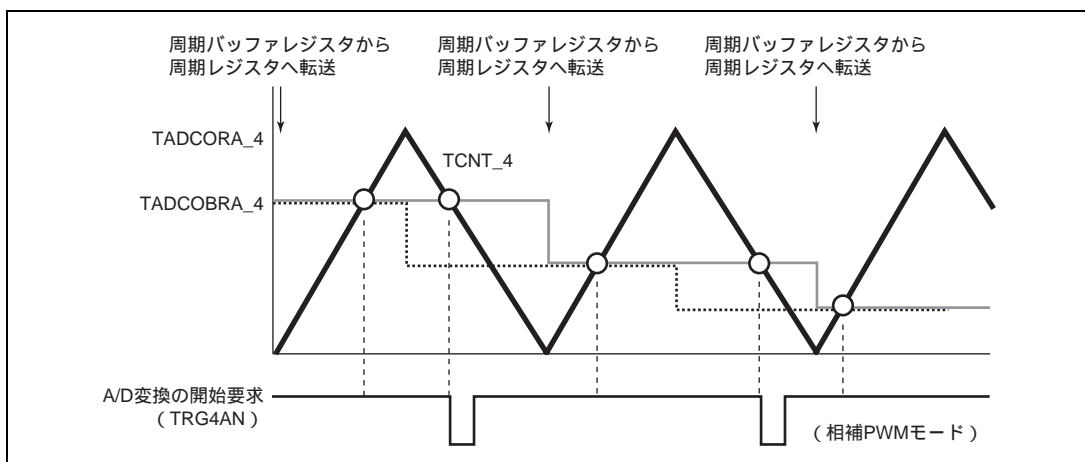


図 10.80 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(c) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (TADCORA/B_4) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (TADCOBRA/B_4) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ (TADCR_4) の BF1、BF0 ビットを設定することにより選択することができます。

(d) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT_4 のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 10.81 に示します。

また、TCNT_4 のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 10.82 に示します。

【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。

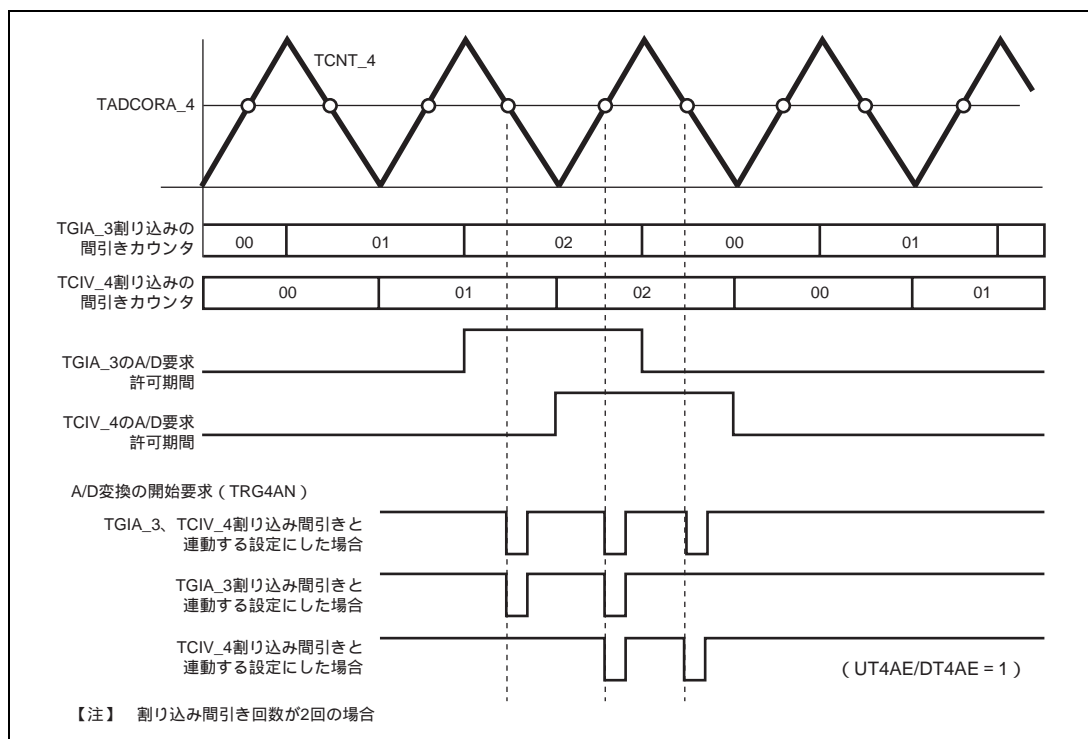


図 10.81 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

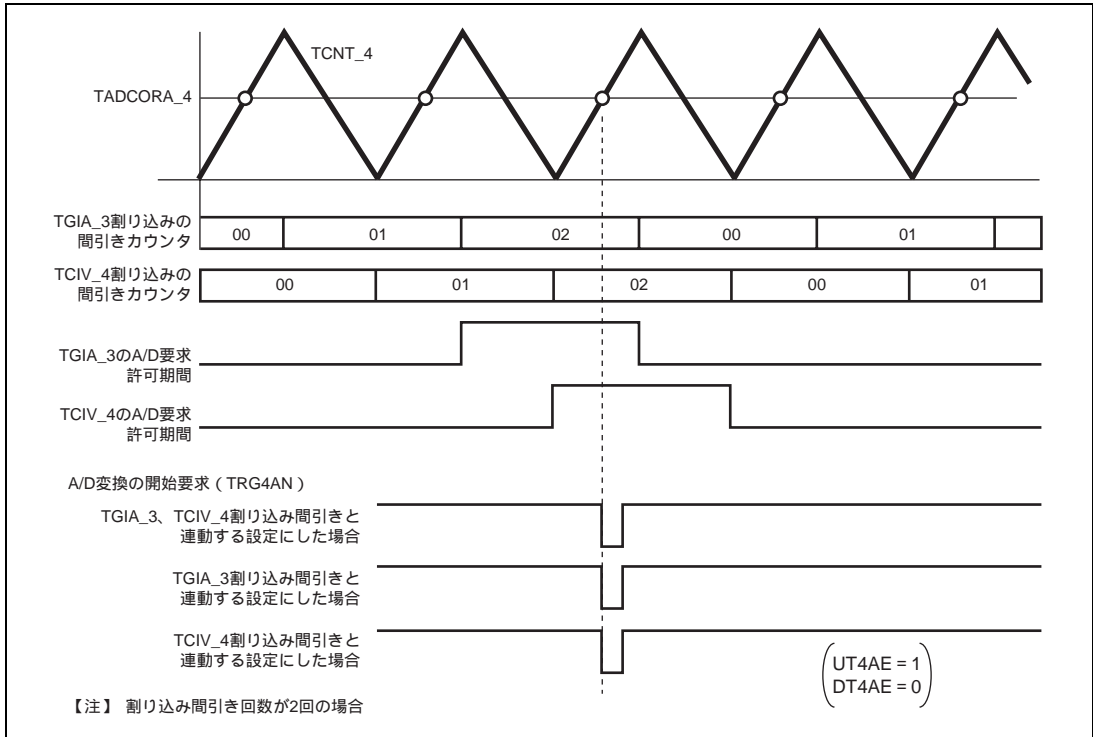


図 10.82 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

10.4.10 MTU2 - MTU2S の同期動作

(1) MTU2 - MTU2S カウンタ同期スタート

MTU2 の TCSYSTR レジスタを設定することにより、異なるクロック系で動作する MTU2 と MTU2S のカウンタを同期スタートすることができます。

(a) MTU2 - MTU2S カウンタ同期スタートの設定手順例

カウンタ同期スタートの設定手順例を図 10.83 に示します。

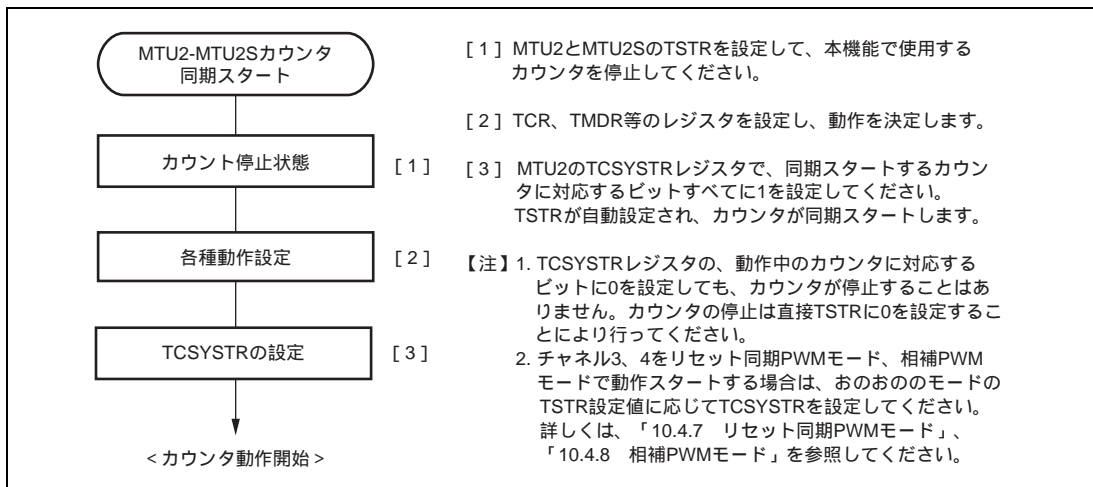


図 10.83 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 10.84 (1)、図 10.84 (2)、図 10.84 (3)、図 10.84 (4) に、それぞれ MTU2 と MTU2S のクロック周波数比が 1:1、1:2、1:3、1:4 の場合のカウンタ同期スタート動作例を示します。

これらの例では、カウントクロックを MP /1 に設定しています。

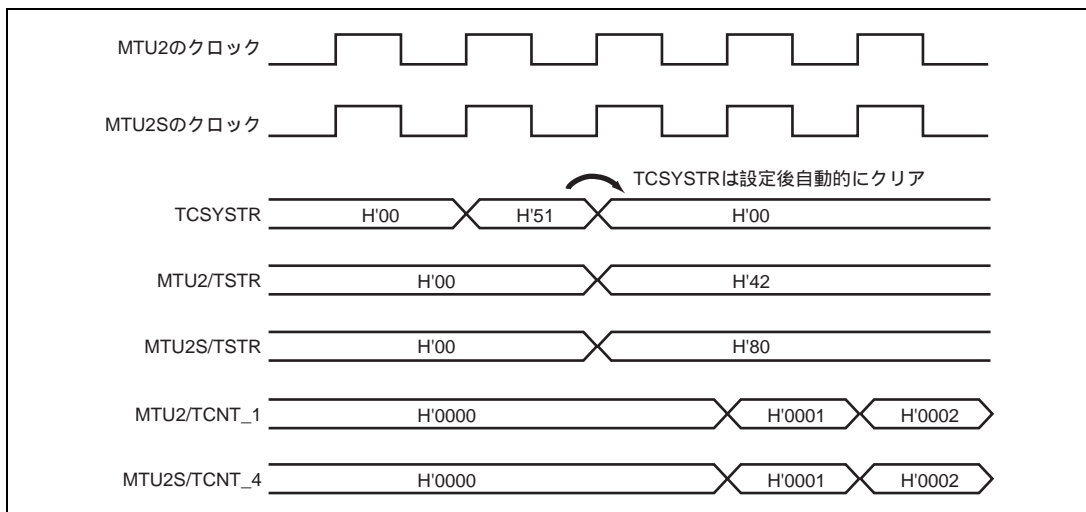


図 10.84 (1) カウンタ同期スタート動作例 (MTU2 と MTU2S のクロック周波数比 1:1)

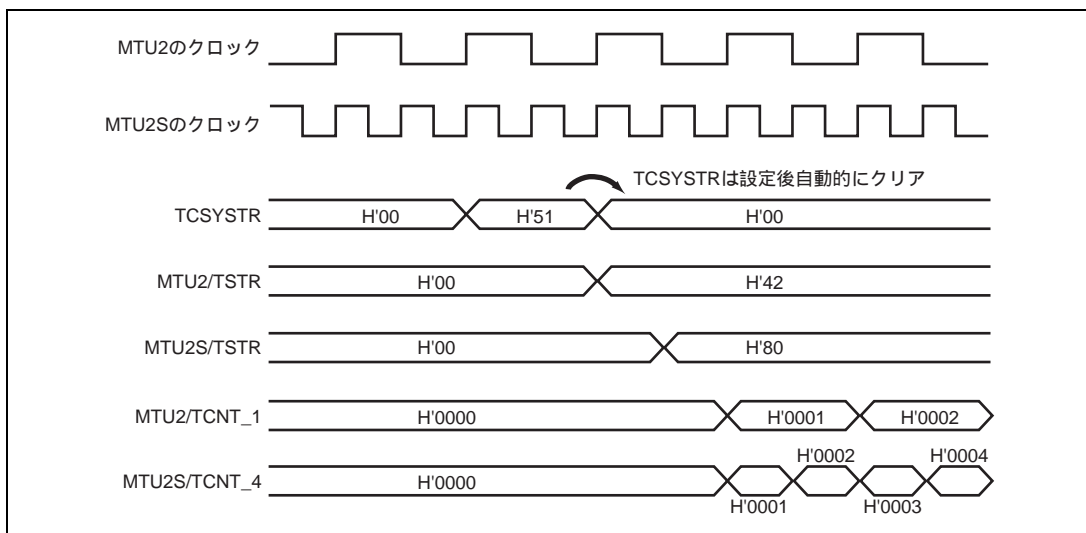


図 10.84 (2) カウンタ同期スタート動作例 (MTU2 と MTU2S のクロック周波数比 1:2)

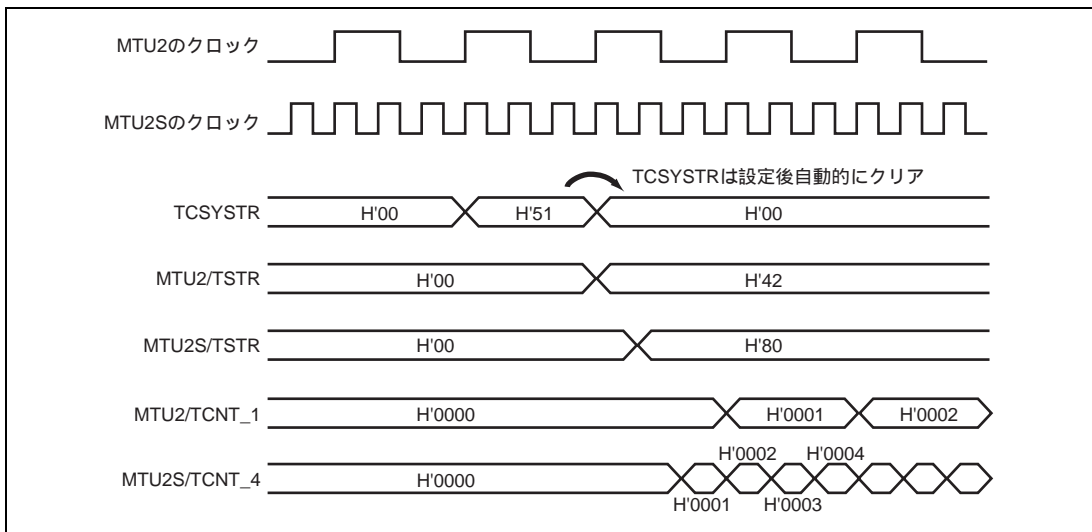


図 10.84 (3) カウンタ同期スタート動作例 (MTU2 と MTU2S のクロック周波数比 1:3)

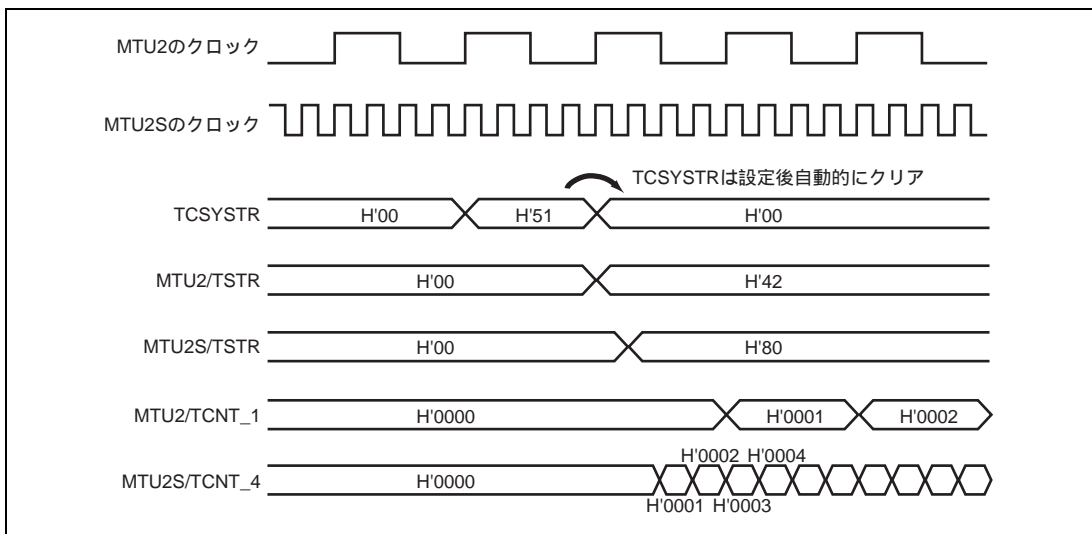


図 10.84 (4) カウンタ同期スタート動作例 (MTU2 と MTU2S のクロック周波数比 1:4)

(2) MTU2 フラグセット要因を利用した MTU2S カウンタクリア (MTU2 - MTU2S カウンタ同期クリア)

MTU2S は TSYCR_3 レジスタを設定することにより、MTU2 の TSR_0 ~ TSR_2 のフラグセット要因を利用して、カウンタクリアすることができます。

(a) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例

MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例を図 10.85 に示します。



図 10.85 MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例

(b) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例

MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例を図 10.86 (1)、図 10.86 (2) に示します。

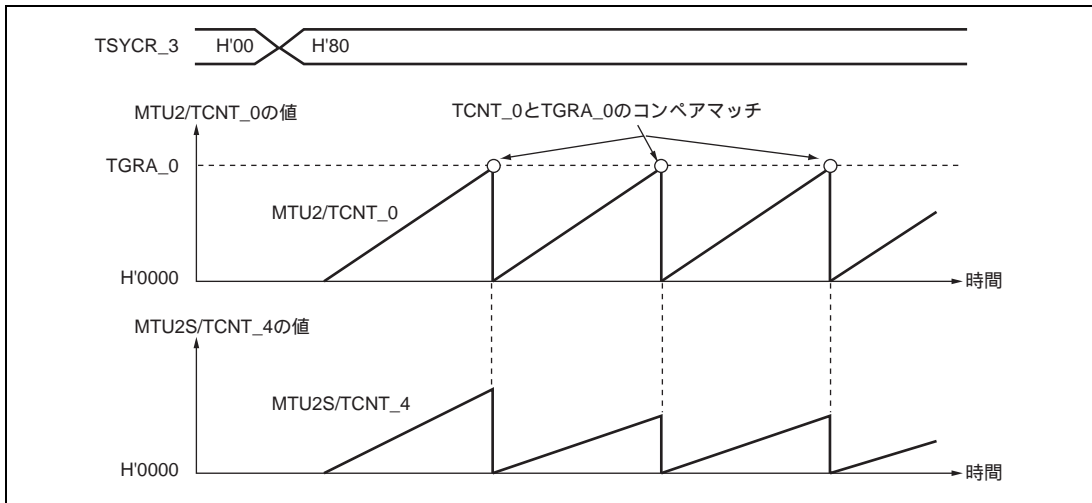


図 10.86 (1) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例 (1)

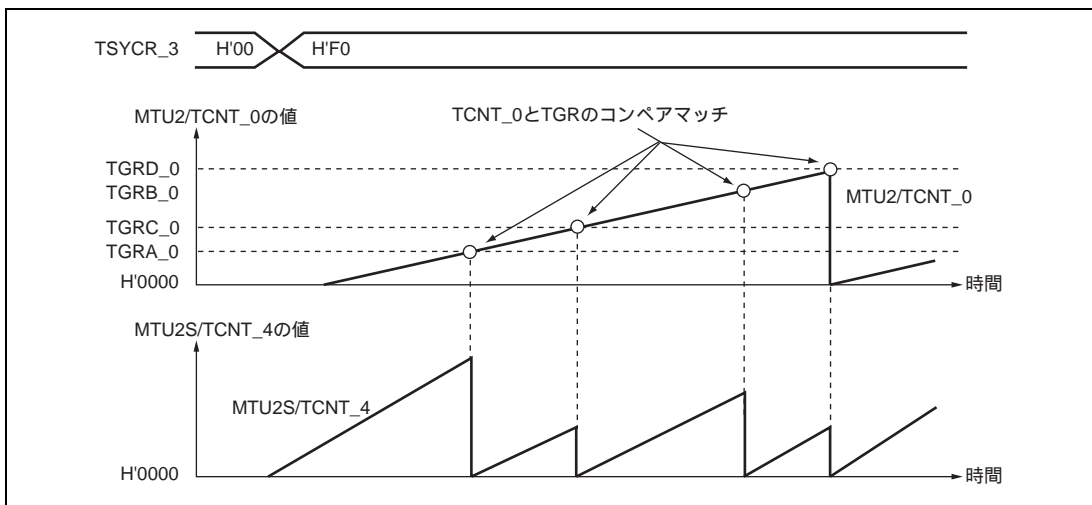


図 10.86 (2) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例 (2)

10.4.11 外部パルス幅測定機能

チャンネル 5 は、最大 3 本の外部パルス幅を測定することができます。

(1) 外部パルス幅測定の設定手順例

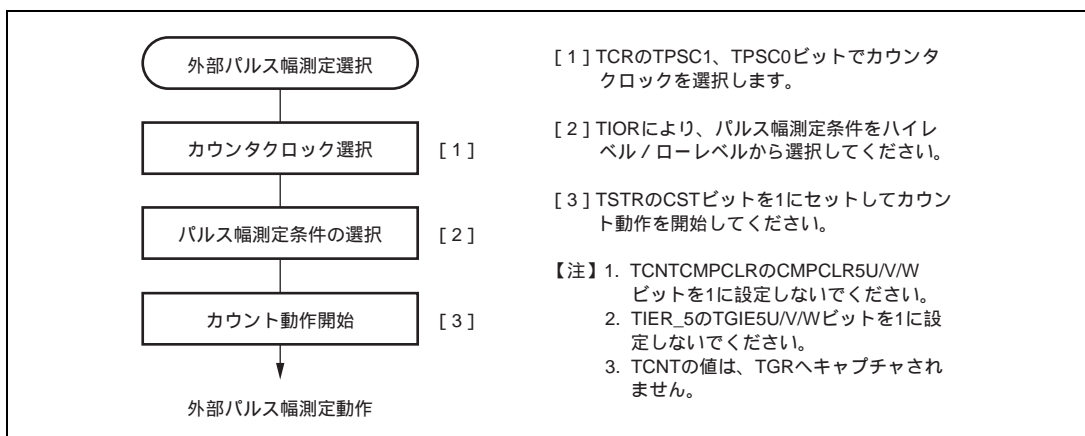


図 10.87 外部パルス幅測定の設定手順例

(2) 外部パルス幅測定動作例

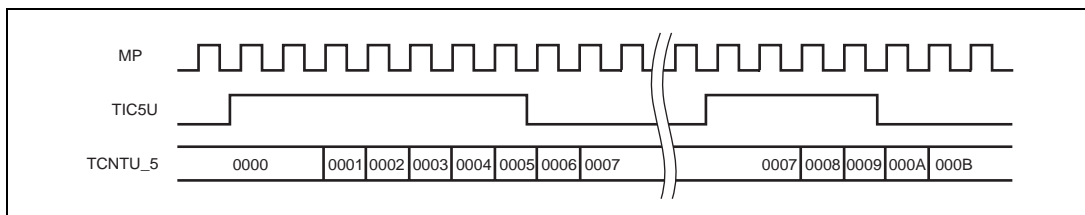


図 10.88 外部パルス幅測定動作例 (ハイパルス幅測定)

10.4.12 デッドタイム補償機能

出力波形の遅れを測定してデューティに反映することで、外部パルス幅測定機能を相補 PWM 動作時の PWM 出力波形に対するデッドタイム補償機能として使用することができます。

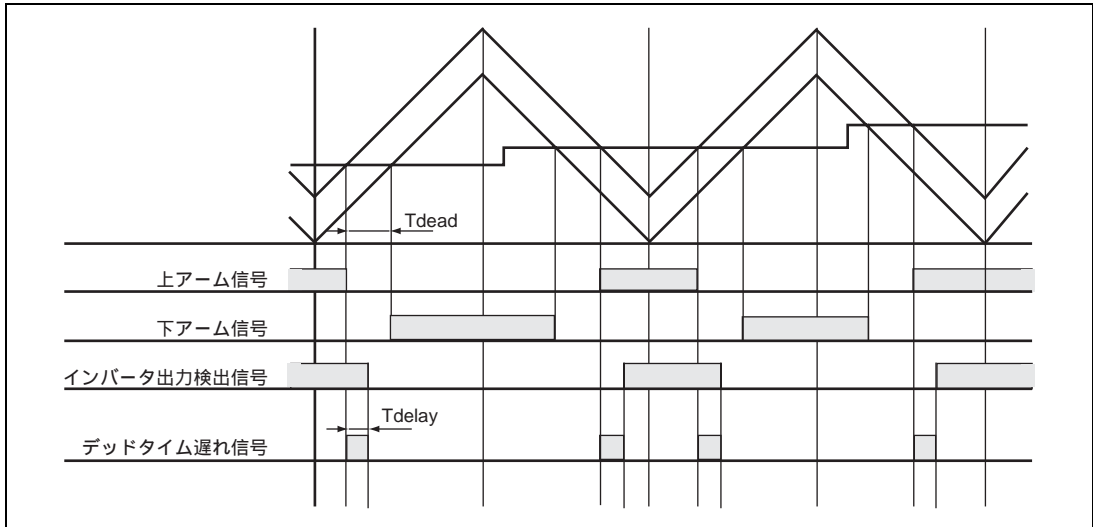


図 10.89 相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

チャンネル 5 の 3 本のカウンタを使用したデッドタイム補償機能の設定手順例を図 10.90 に示します。

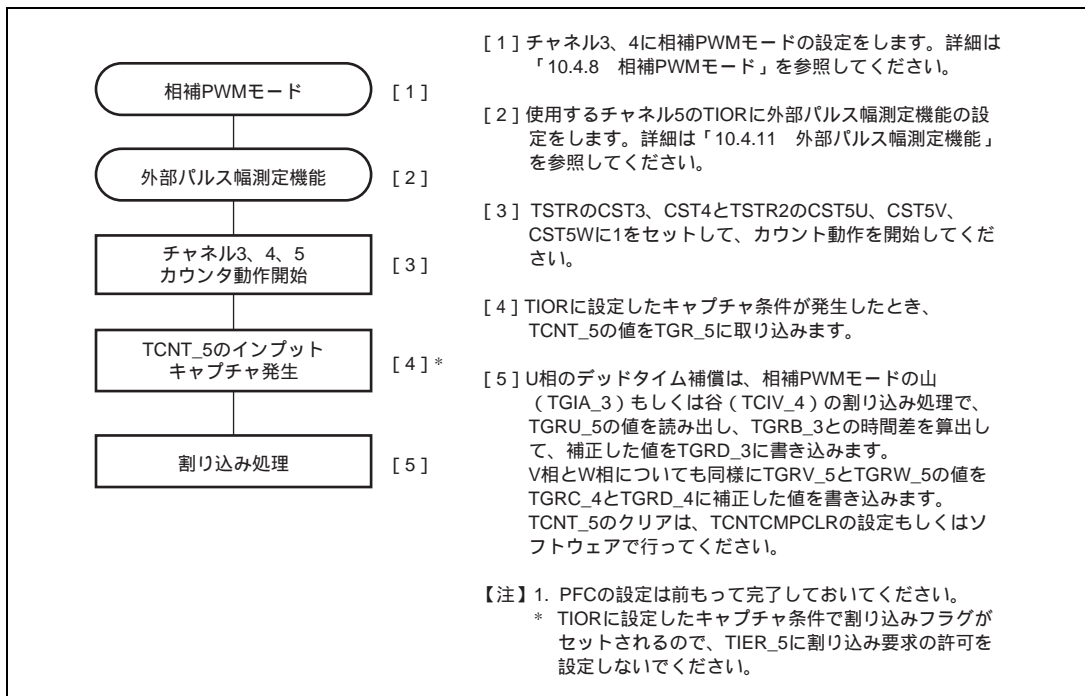


図 10.90 デッドタイム補償機能の設定手順例

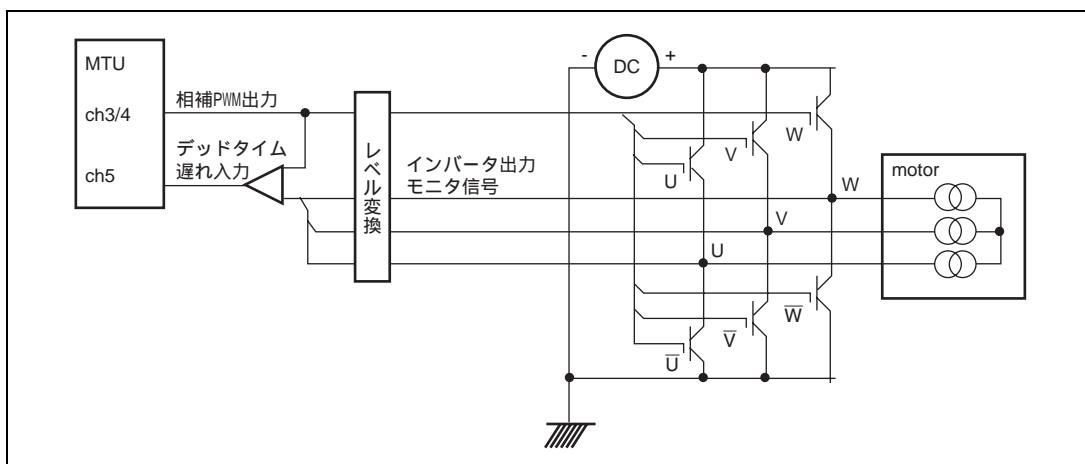


図 10.91 モータ制御回路構成例

10.4.13 相補 PWM の「山/谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 10.92 は TCNT はフリーランでクリアせずを使用し、設定した「山、谷」で TGR にキャプチャを行った動作例です。

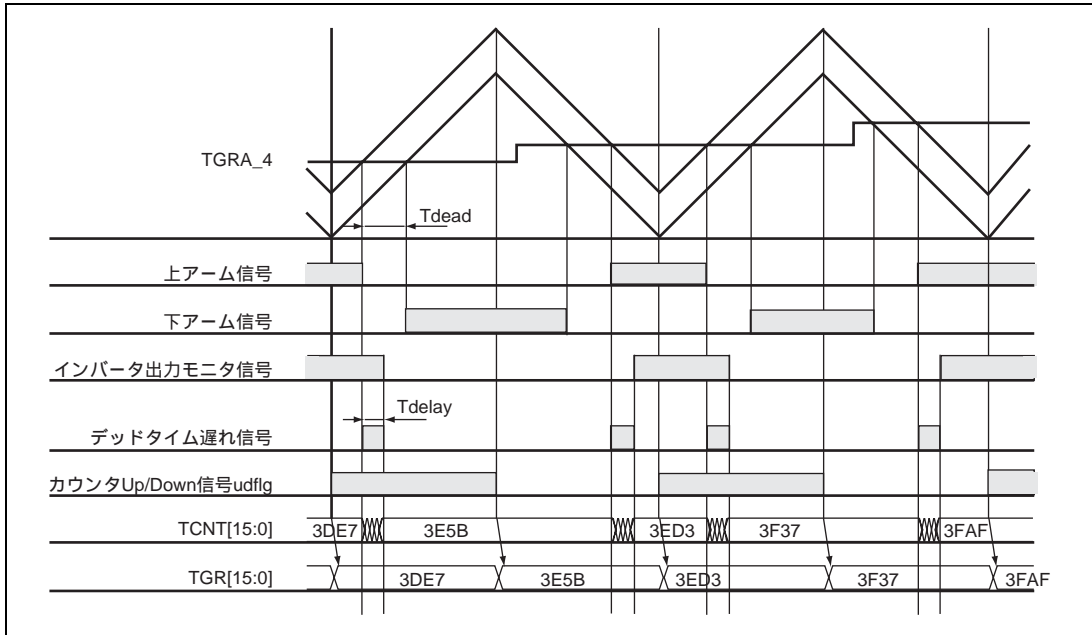


図 10.92 相補 PWM の「山/谷」での TCNT キャプチャ動作

10.5 割り込み要因

10.5.1 割り込み要因と優先順位

MTU2 の割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可 / 禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

表 10.57 に MTU2 の割り込み要因の一覧を示します。

表 10.57 MTU2 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
0	TGIA_0	TGRA_0 のインプットキャプチャ / コンペアマッチ	TGFA_0	可	高 ↑
	TGIB_0	TGRB_0 のインプットキャプチャ / コンペアマッチ	TGFB_0	可	
	TGIC_0	TGRC_0 のインプットキャプチャ / コンペアマッチ	TGFC_0	可	
	TGID_0	TGRD_0 のインプットキャプチャ / コンペアマッチ	TGFD_0	可	
	TCIV_0	TCNT_0 のオーバフロー	TCFV_0	不可	
	TGIE_0	TGRE_0 のコンペアマッチ	TGFE_0	不可	
	TGIF_0	TGRF_0 のコンペアマッチ	TGFF_0	不可	
1	TGIA_1	TGRA_1 のインプットキャプチャ / コンペアマッチ	TGFA_1	可	↑ ↓ 低
	TGIB_1	TGRB_1 のインプットキャプチャ / コンペアマッチ	TGFB_1	可	
	TCIV_1	TCNT_1 のオーバフロー	TCFV_1	不可	
	TCIU_1	TCNT_1 のアンダフロー	TCFU_1	不可	
2	TGIA_2	TGRA_2 のインプットキャプチャ / コンペアマッチ	TGFA_2	可	
	TGIB_2	TGRB_2 のインプットキャプチャ / コンペアマッチ	TGFB_2	可	
	TCIV_2	TCNT_2 のオーバフロー	TCFV_2	不可	
	TCIU_2	TCNT_2 のアンダフロー	TCFU_2	不可	
3	TGIA_3	TGRA_3 のインプットキャプチャ / コンペアマッチ	TGFA_3	可	
	TGIB_3	TGRB_3 のインプットキャプチャ / コンペアマッチ	TGFB_3	可	
	TGIC_3	TGRC_3 のインプットキャプチャ / コンペアマッチ	TGFC_3	可	
	TGID_3	TGRD_3 のインプットキャプチャ / コンペアマッチ	TGFD_3	可	
	TCIV_3	TCNT_3 のオーバフロー	TCFV_3	不可	

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
4	TGIA_4	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可	高 ↑ ↓ 低
	TGIB_4	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	可	
	TGIC_4	TGRC_4 のインプットキャプチャ / コンペアマッチ	TGFC_4	可	
	TGID_4	TGRD_4 のインプットキャプチャ / コンペアマッチ	TGFD_4	可	
	TCIV_4	TCNT_4 のオーバフロー / アンダフロー	TCFV_4	可	
5	TGIU_5	TGRU_5 のインプットキャプチャ / コンペアマッチ	TGFU_5	可	低
	TGIV_5	TGRV_5 のインプットキャプチャ / コンペアマッチ	TGFV_5	可	
	TGIW_5	TGRW_5 のインプットキャプチャ / コンペアマッチ	TGFW_5	可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 0 に 6 本、チャンネル 3、4 に各 4 本、チャンネル 1、2 に各 2 本、チャンネル 5 に各 3 本、計 21 本のインプットキャプチャ / コンペアマッチ割り込みがあります。チャンネル 0 の TGFE_0、TGFF_0 フラグは、インプットキャプチャではセットされません。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、各チャンネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

10.5.2 DTC の起動

各チャンネルの TGR のインプットキャプチャ / コンペアマッチ割り込み、チャンネル 4 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

MTU2 では、チャンネル 0、3 が各 4 本、チャンネル 1、2 が各 2 本、チャンネル 4 が 5 本、チャンネル 5 が 3 本、計 20 本のインプットキャプチャ / コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

10.5.3 A/D 変換器の起動

MTU2 では、次の 3 種類の方法で A/D 変換器を起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 10.58 に示します。

(1) TGRA のインプットキャプチャ / コンペアマッチと、相補 PWM モード時の TCNT_4 の谷での A/D 起動

各チャンネルの TGRA のインプットキャプチャ / コンペアマッチによって、A/D 変換器を起動することができます。また、TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせた場合は、TCNT_4 が谷 (TCNT_4 = H'0000) になったときも A/D 変換器を起動することができます。

次に示す条件で、A/D 変換器に対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA のインプットキャプチャ / コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていた場合
- TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせ、TCNT_4 が谷 (TCNT_4 = H'0000) になった場合

これらのとき A/D 変換器側で MTU2 の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) TCNT_0 と TGRE_0 のコンペアマッチによる A/D 起動

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D 変換器を起動することができます。

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチの発生により、TSR2_0 の TGFE フラグが 1 にセットされたとき、TIER2_0 の TTGE2 ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D 変換器側で MTU2 の変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ (TADCR) の TAD4AE、TAD4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。詳細は「10.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4AN が選択されていれば、A/D 変換が開始されます。また、TRG4BN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4BN が選択されていれば、A/D 変換が開始されます。

表 10.58 各割り込み要因と A/D 変換開始要求の対応

対 象	割り込み要因	A/D 変換開始要求
TGRA_0 と TCNT_0	インプットキャプチャ/コンペアマッチ	TRGAN
TGRA_1 と TCNT_1		
TGRA_2 と TCNT_2		
TGRA_3 と TCNT_3		
TGRA_4 と TCNT_4		
TCNT_4	相補 PWM モード時の TCNT_4 の谷	
TGRE_0 と TCNT_0	コンペアマッチ	TRG0N
TADCORA と TCNT_4		TRG4AN
TADCORB と TCNT_4		TRG4BN

10.6 動作タイミング

10.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.93、図 10.94 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 10.95 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 10.96 に示します。

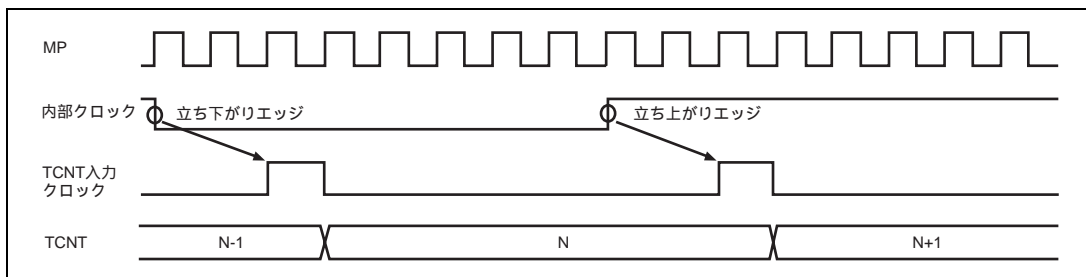


図 10.93 内部クロック動作時のカウントタイミング (チャンネル 0~4)

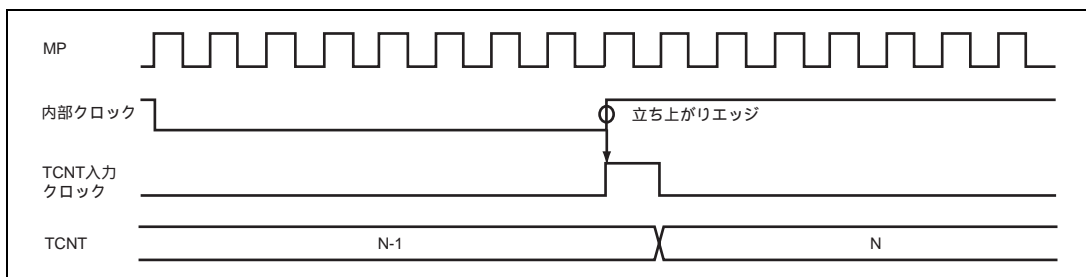


図 10.94 内部クロック動作時のカウントタイミング (チャンネル 5)

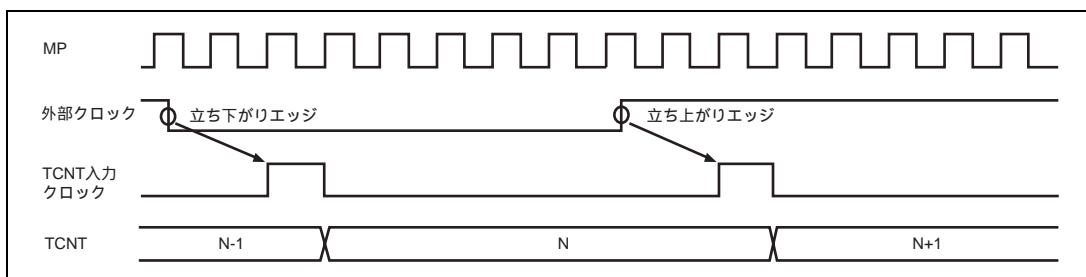


図 10.95 外部クロック動作時のカウントタイミング (チャンネル 0~4)

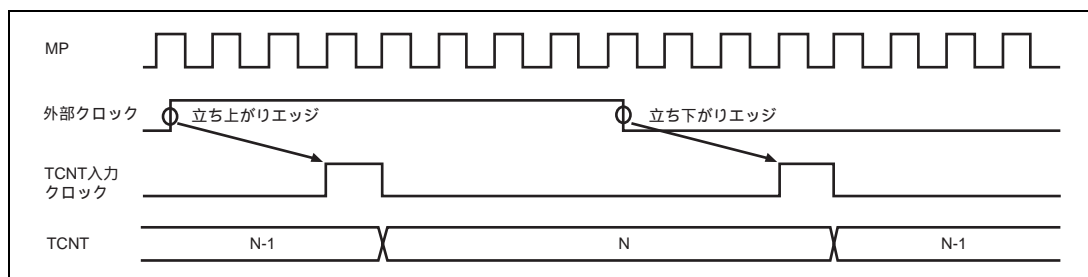


図 10.96 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 10.97 に、アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を図 10.98 に示します。

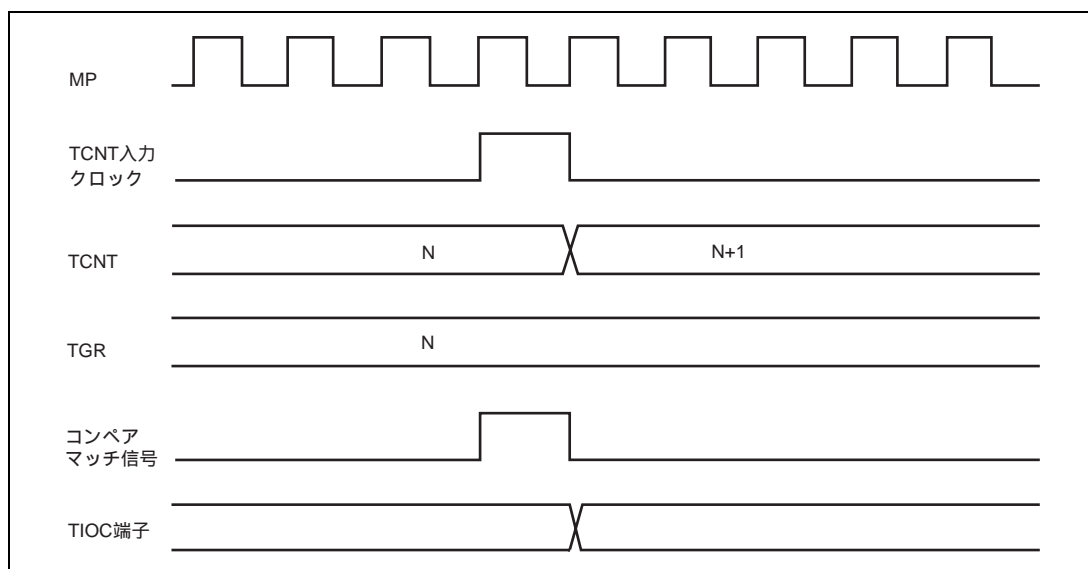


図 10.97 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

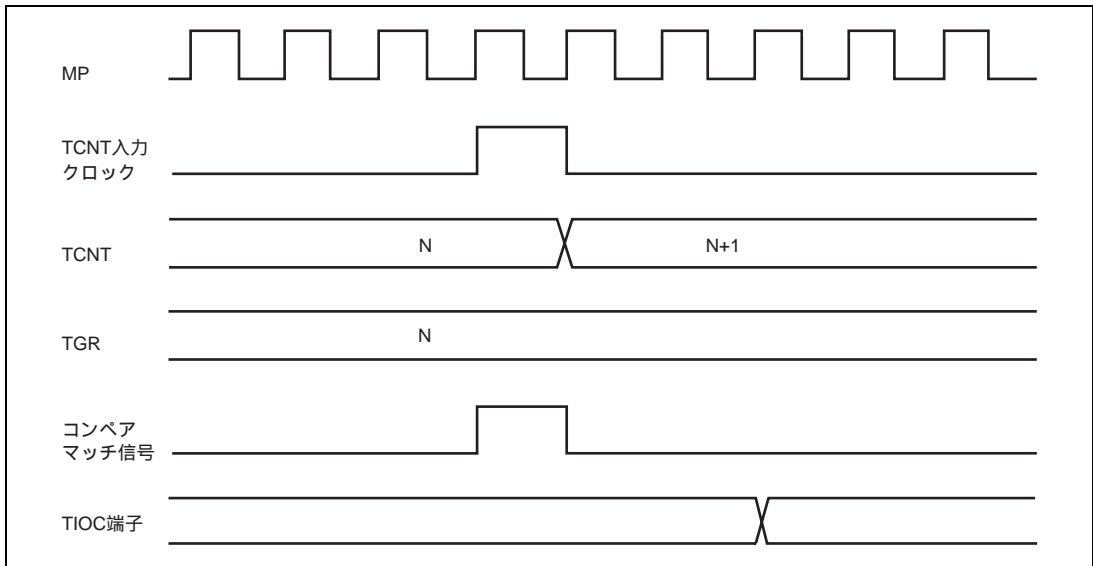


図 10.98 アウトputコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 10.99 に示します。

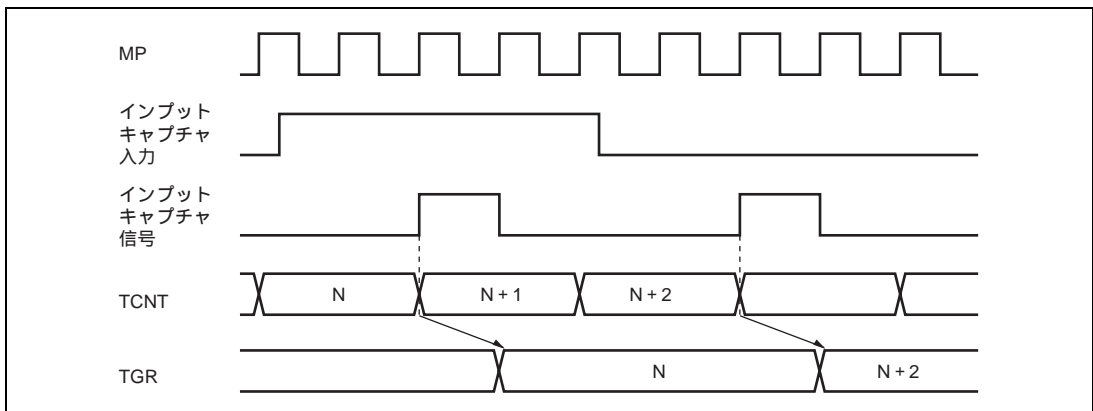


図 10.99 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.100、図 10.101 に示します。
 インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.102 に示します。

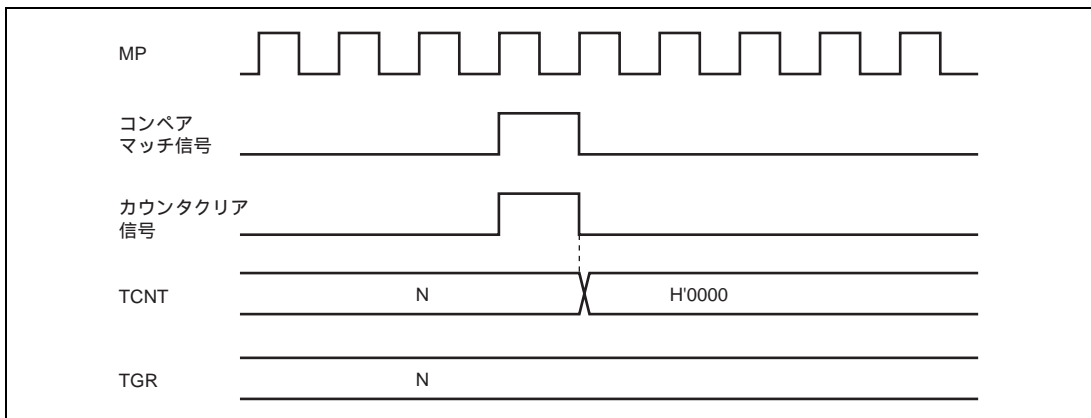


図 10.100 カウンタクリアタイミング (コンペアマッチ) (チャンネル 0~4)

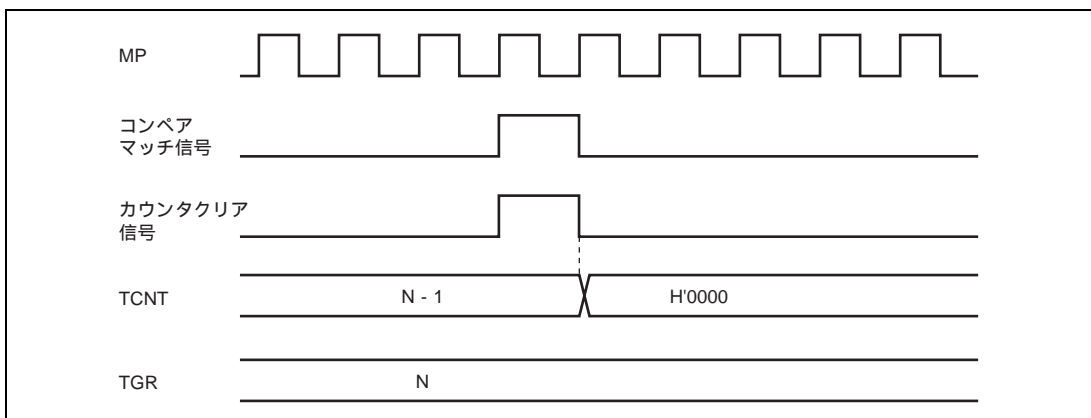


図 10.101 カウンタクリアタイミング (コンペアマッチ) (チャンネル 5)

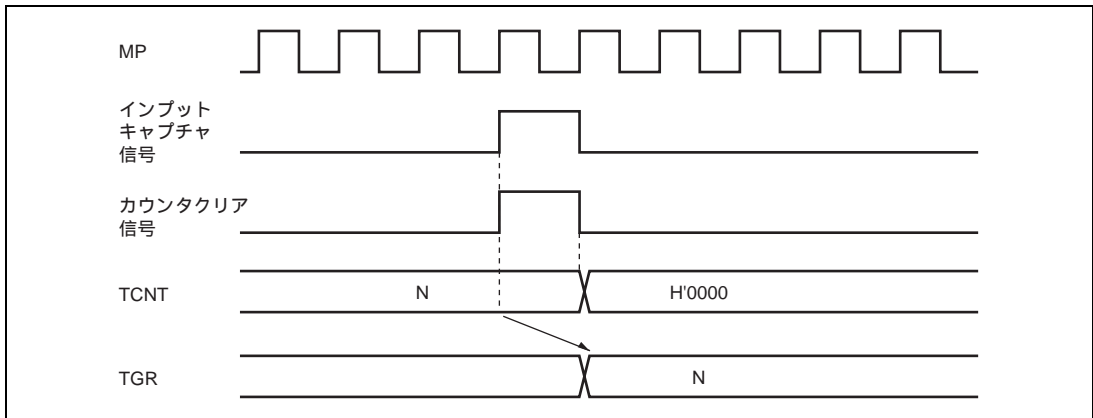


図 10.102 カウンタクリアタイミング (インプットキャプチャ) (チャンネル 0~5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.103~図 10.105 に示します。

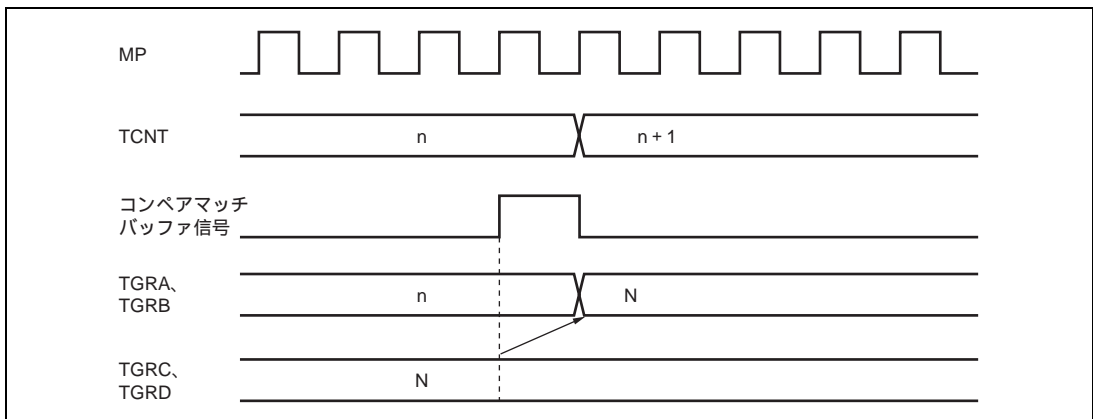


図 10.103 バッファ動作タイミング (コンペアマッチ)

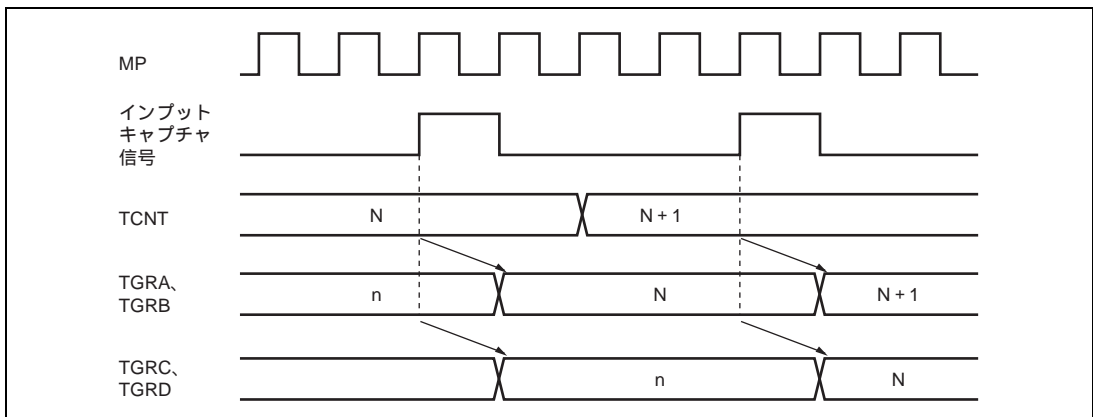


図 10.104 バッファ動作タイミング (インプットキャプチャ)

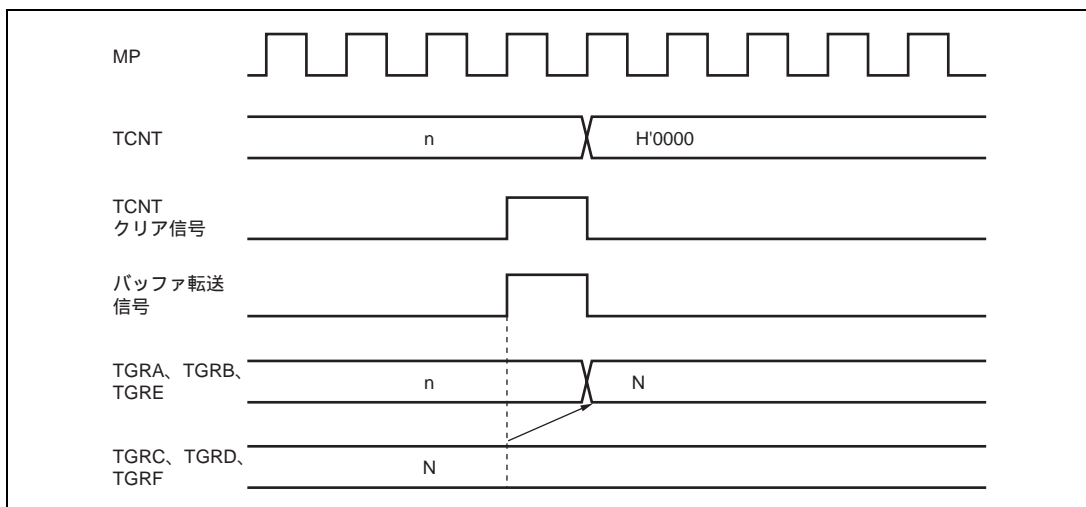


図 10.105 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 10.106 ~ 図 10.108 に示します。

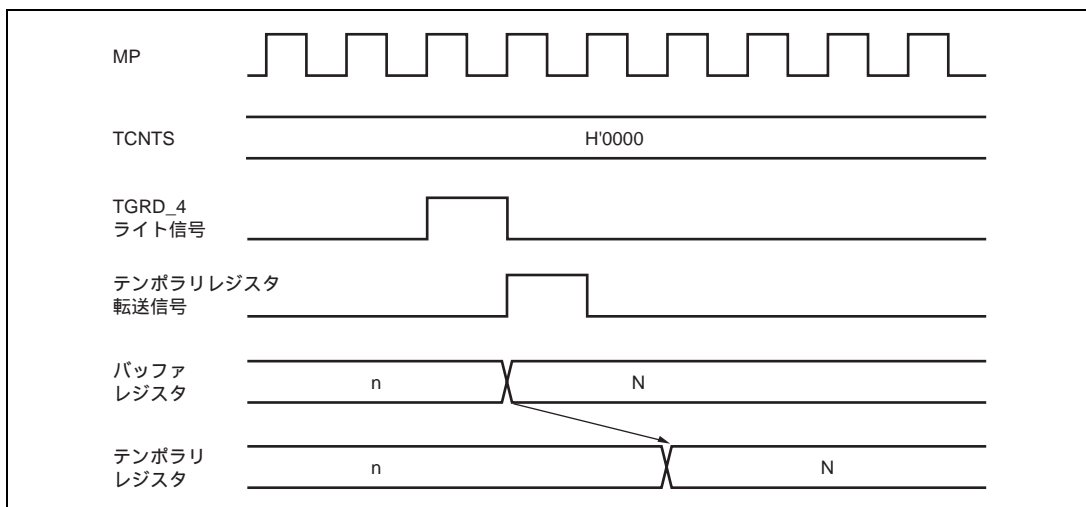


図 10.106 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 停止中)

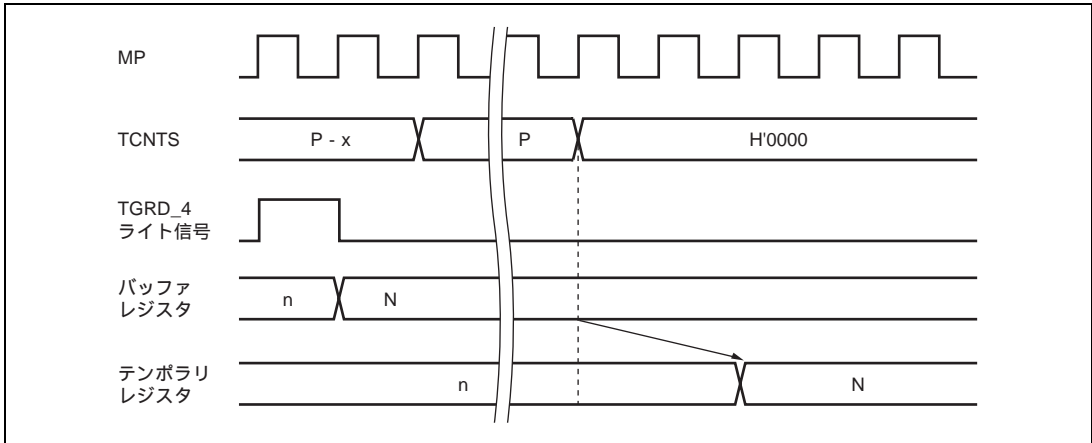


図 10.107 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 動作中)

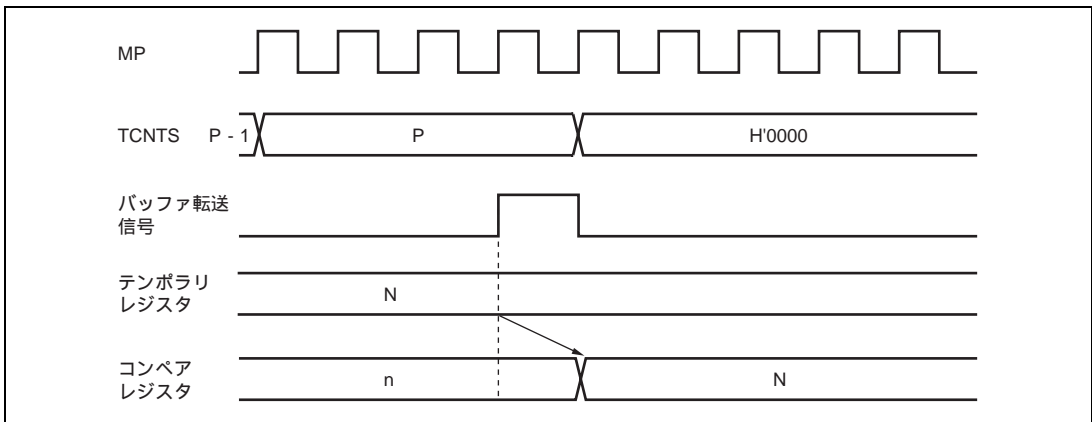


図 10.108 テンポラリレジスタからコンペアレジスタへの転送タイミング

10.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.109、図 10.110 に示します。

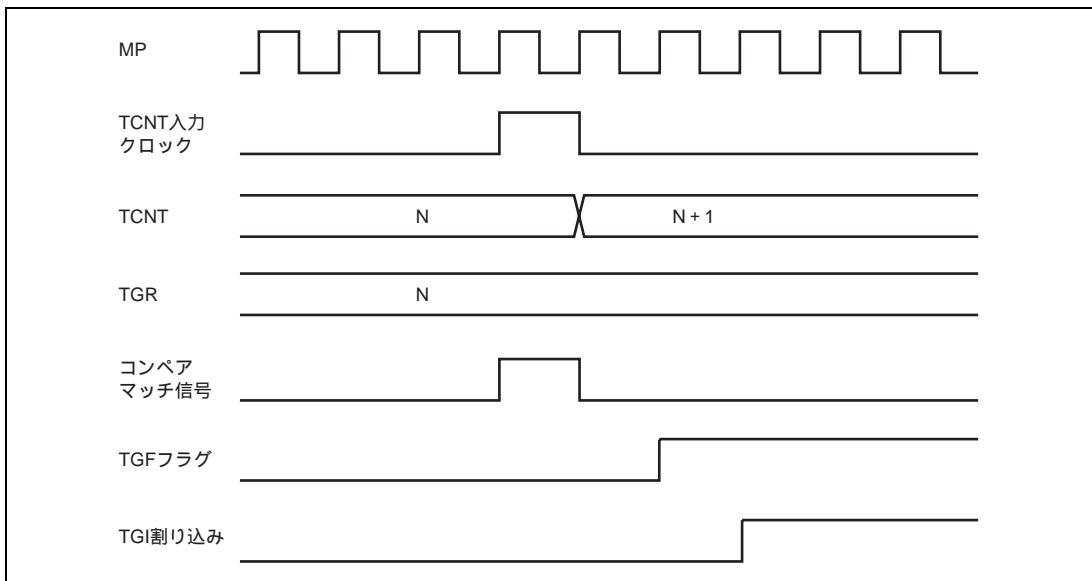


図 10.109 TGI 割り込みタイミング (コンペアマッチ) (チャンネル0~4)

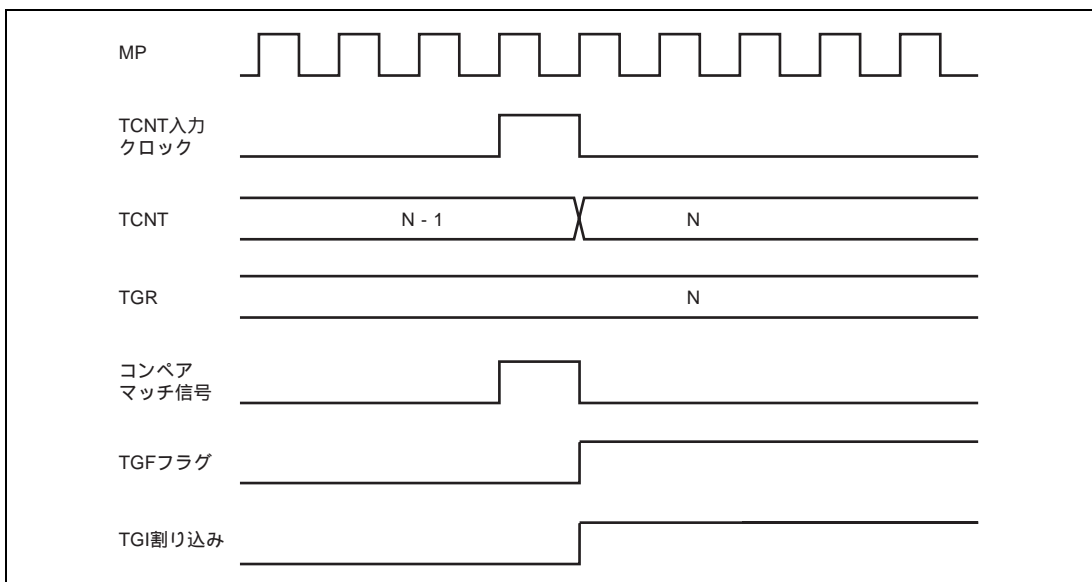


図 10.110 TGI 割り込みタイミング (コンペアマッチ) (チャンネル5)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.111、図 10.112 に示します。

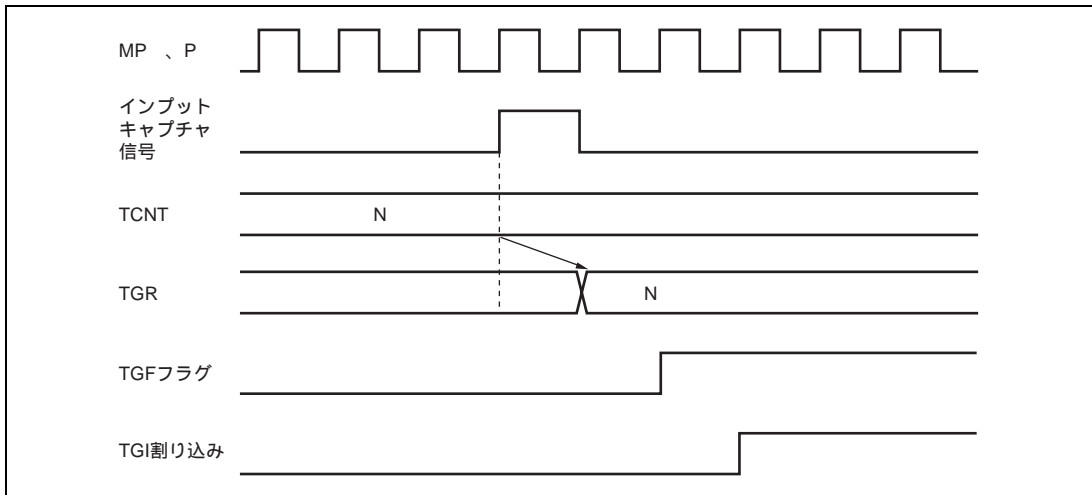


図 10.111 TGI 割り込みタイミング (インพุットキャプチャ) (チャンネル 0~4)

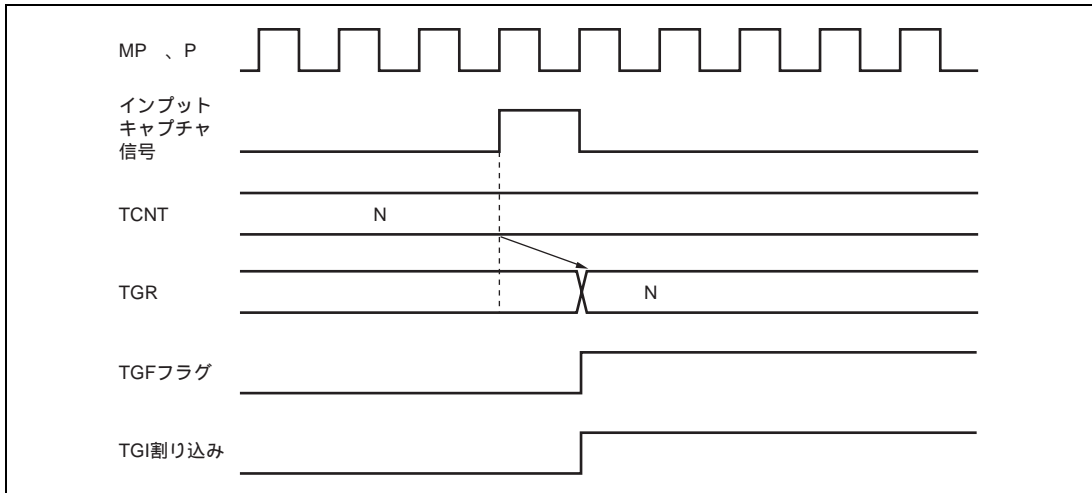


図 10.112 TGI 割り込みタイミング (インพุットキャプチャ) (チャンネル 5)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.113 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.114 に示します。

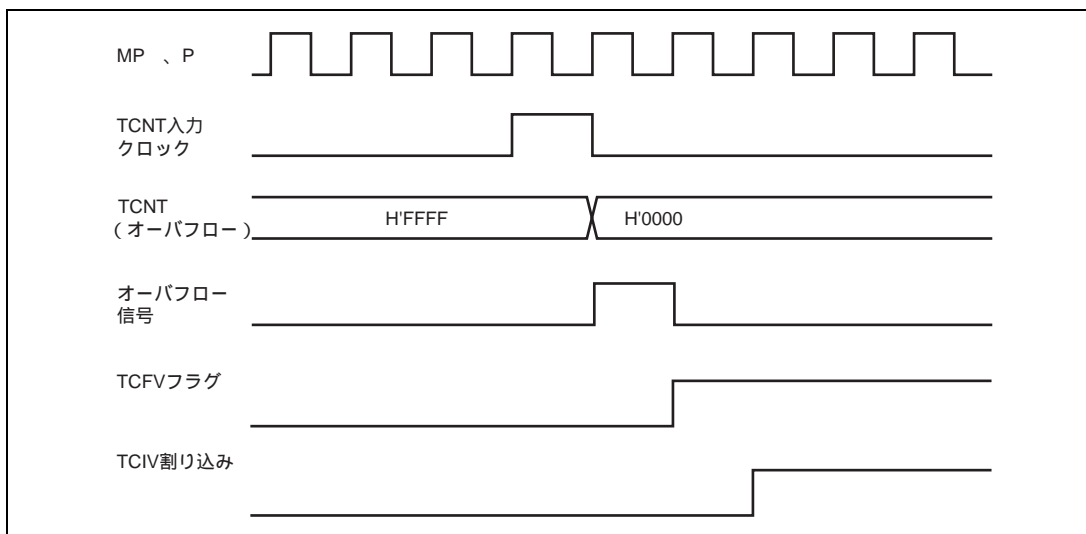


図 10.113 TCIV 割り込みのセットタイミング

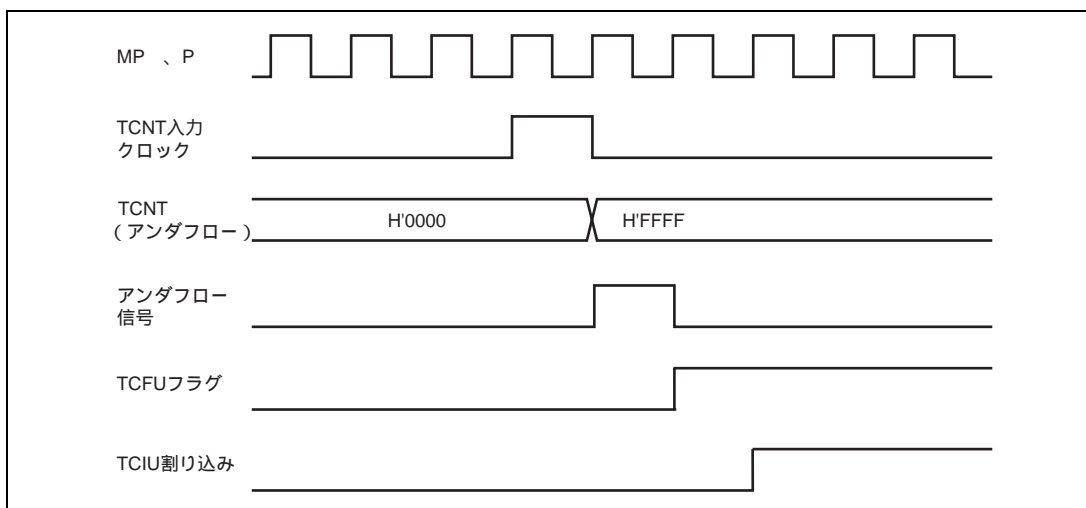


図 10.114 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTCを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図10.115、図10.116に、DTCによるステータスフラグのクリアのタイミングを図10.117、図10.118に示します。

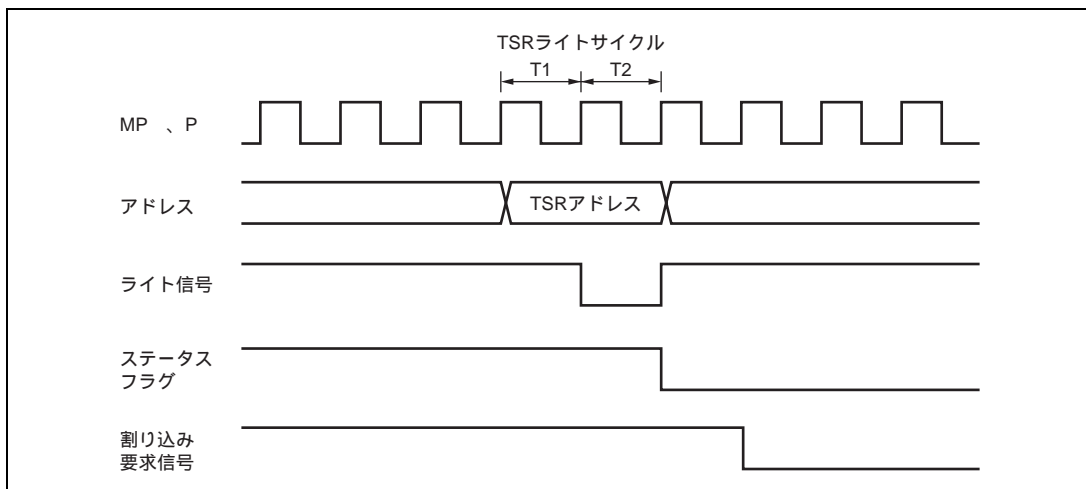


図 10.115 CPUによるステータスフラグのクリアタイミング (チャンネル0~4)

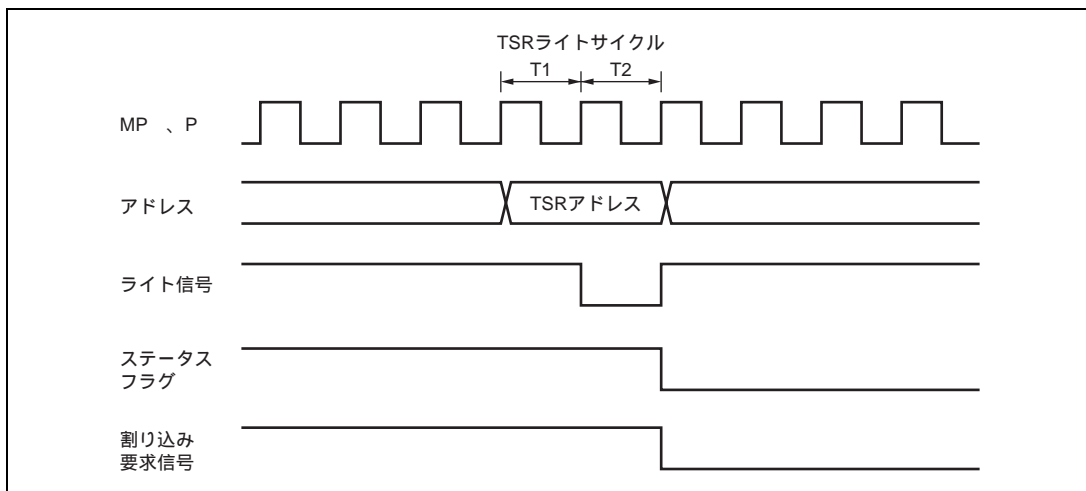


図 10.116 CPUによるステータスフラグのクリアタイミング (チャンネル5)

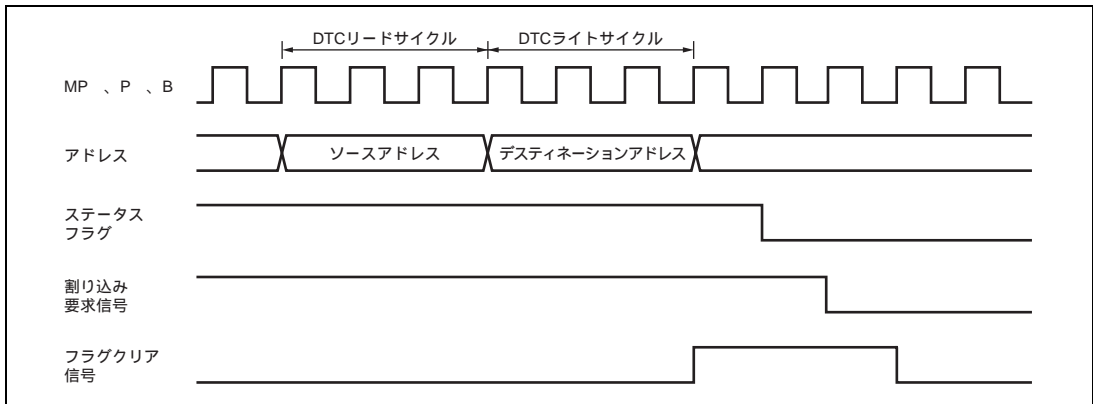


図 10.117 DTC の起動によるステータスフラグのクリアタイミング (チャンネル 0~4)

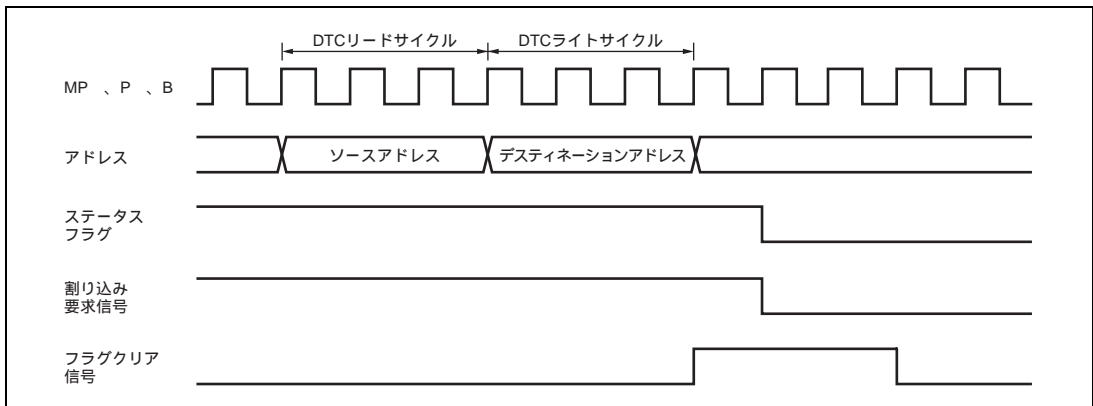


図 10.118 DTC の起動によるステータスフラグのクリアタイミング (チャンネル 5)

10.7 使用上の注意事項

10.7.1 モジュールスタンバイモードの設定

MTU2 は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、MTU2 の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力モード」を参照してください。

10.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 10.119 に示します。

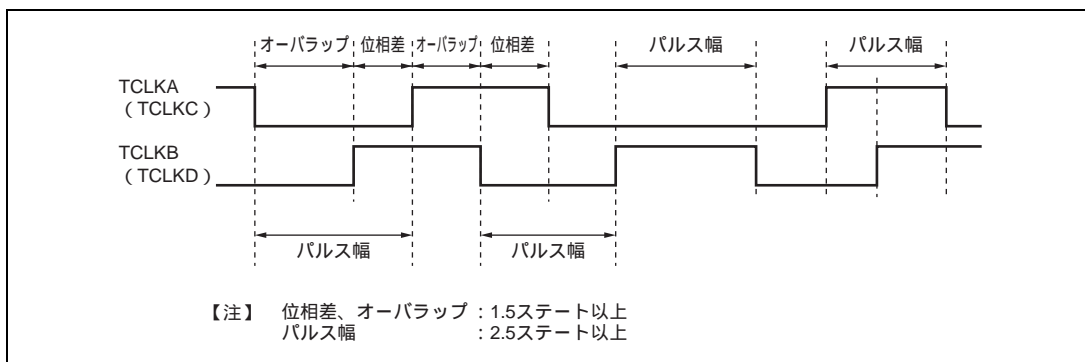


図 10.119 位相計数モード時の位相差、オーバーラップ、およびパルス幅

10.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- チャンネル0～4の場合

$$f = \frac{MP}{(N+1)}$$

- チャンネル5の場合

$$f = \frac{MP}{N}$$

f : カウンタ周波数

MP : MTU2 クロック動作周波数

N : TGR の設定値

10.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 10.120 に示します。

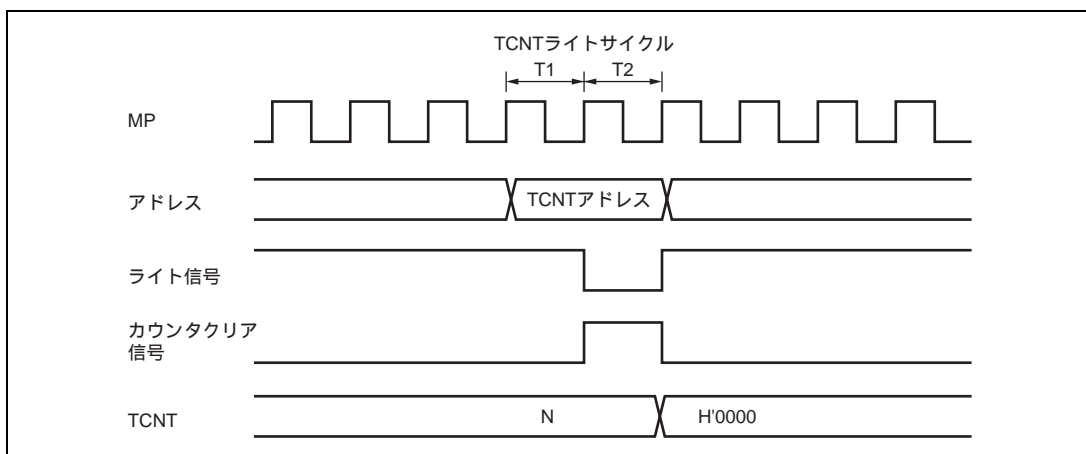


図 10.120 TCNT のライトとクリアの競合

10.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 10.121 に示します。

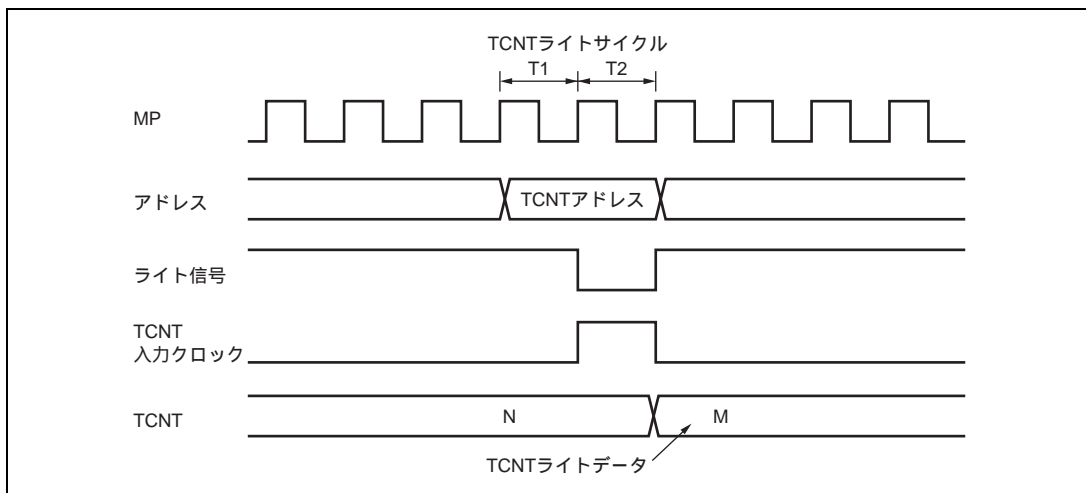


図 10.121 TCNT のライトとカウントアップの競合

10.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 10.122 に示します。

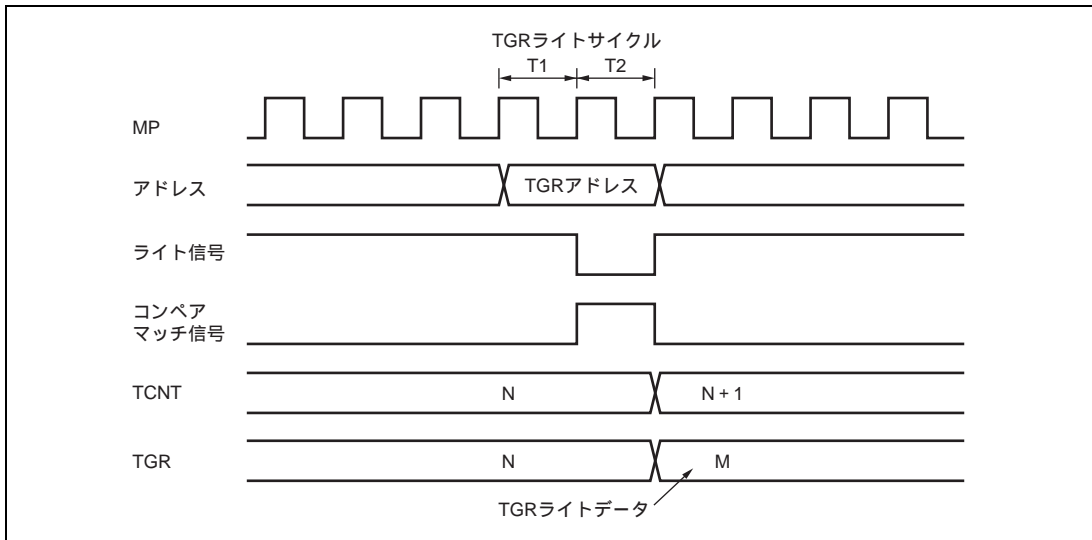


図 10.122 TGR のライトとコンペアマッチの競合

10.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 10.123 に示します。

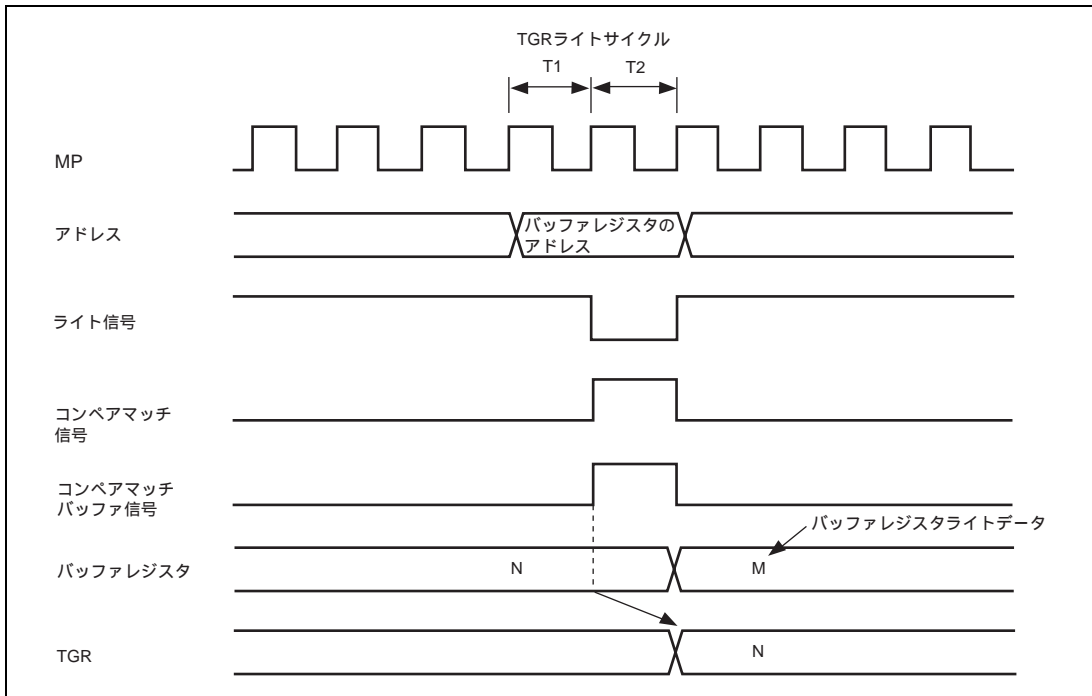


図 10.123 バッファレジスタのライトとコンペアマッチの競合

10.7.8 バッファレジスタのライトと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって転送されるデータは書き込み前のデータです。

このタイミングを図 10.124 に示します。

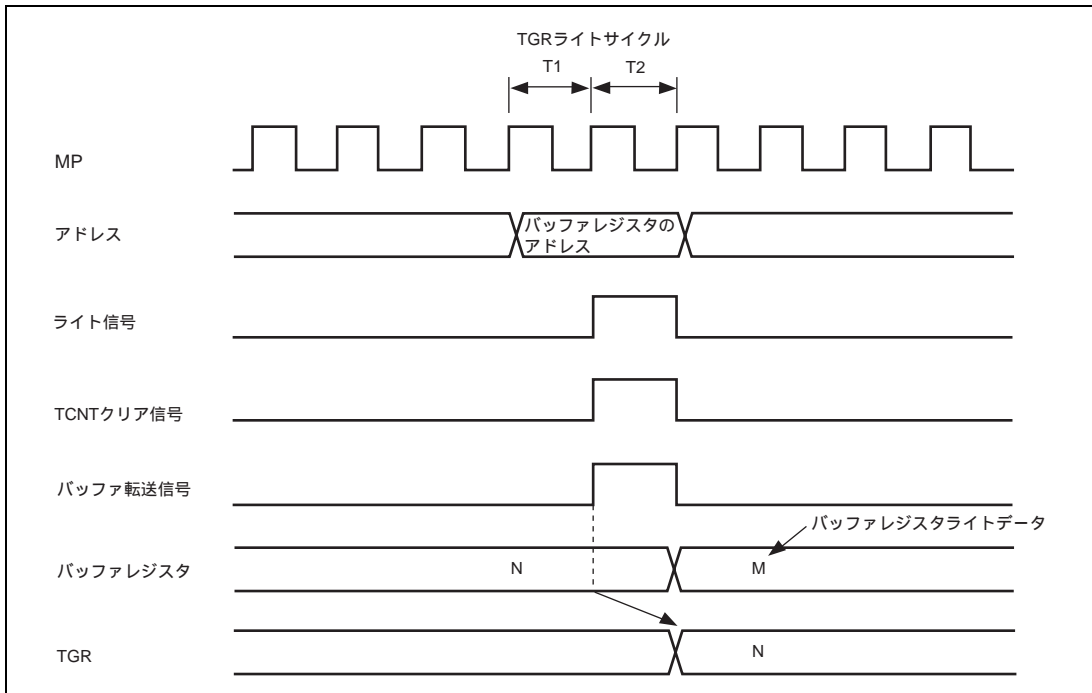


図 10.124 バッファレジスタのライトと TCNT クリアの競合

10.7.9 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータは、チャンネル 0~4 ではインプットキャプチャ転送前のデータとなり、チャンネル 5 ではインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.125、図 10.126 に示します。

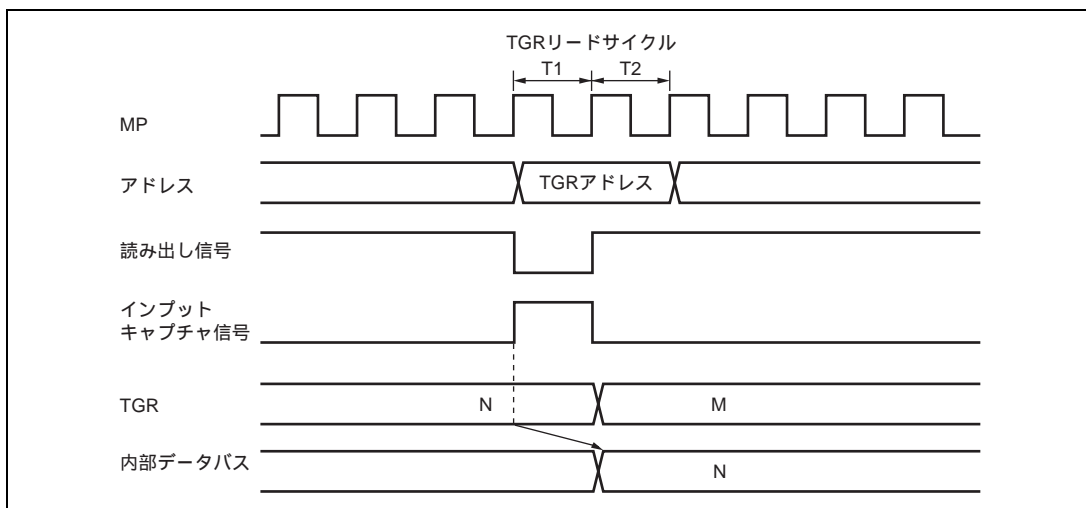


図 10.125 TGR のリードとインプットキャプチャの競合 (チャンネル 0~4)

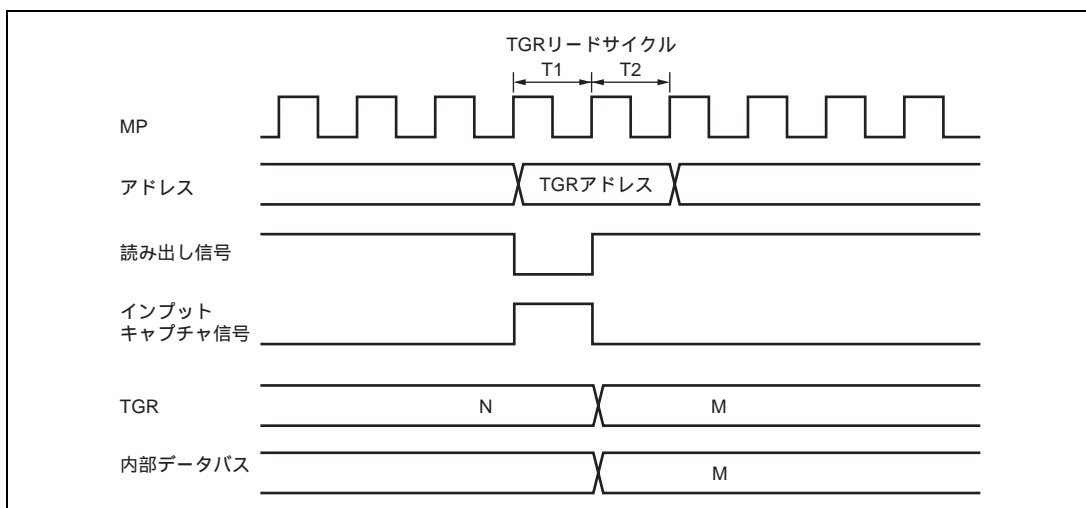


図 10.126 TGR のリードとインプットキャプチャの競合 (チャンネル 5)

10.7.10 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、チャンネル 0~4 では TGR へのライトは行われず、インプットキャプチャが優先され、チャンネル 5 では TGR へのライトが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 10.127、図 10.128 に示します。

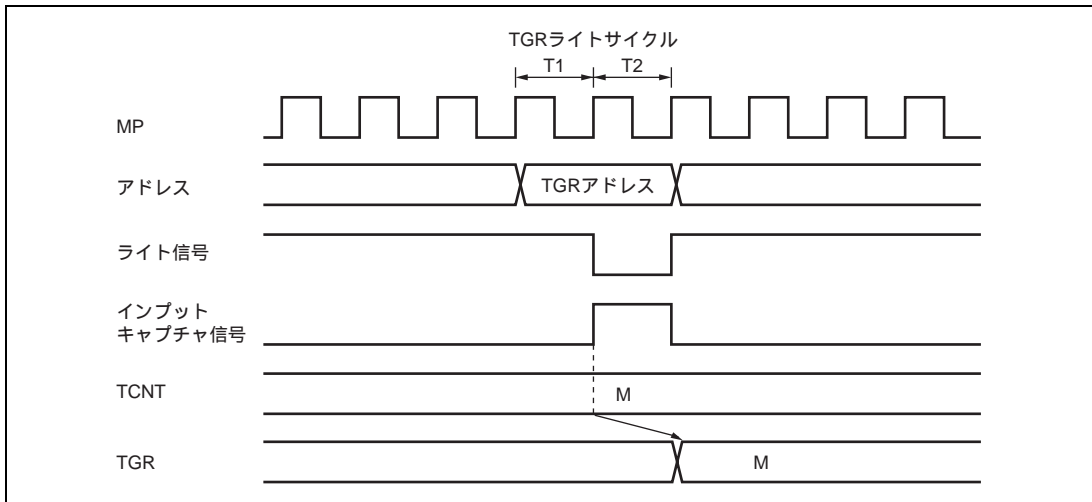


図 10.127 TGR のライトとインプットキャプチャの競合 (チャンネル 0~4)

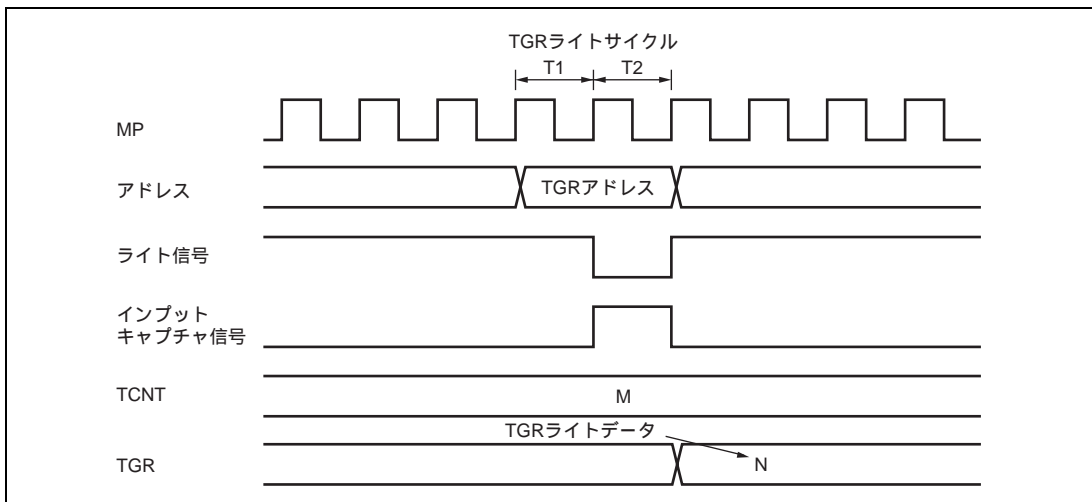


図 10.128 TGR のライトとインプットキャプチャの競合 (チャンネル 5)

10.7.11 バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 10.129 に示します。

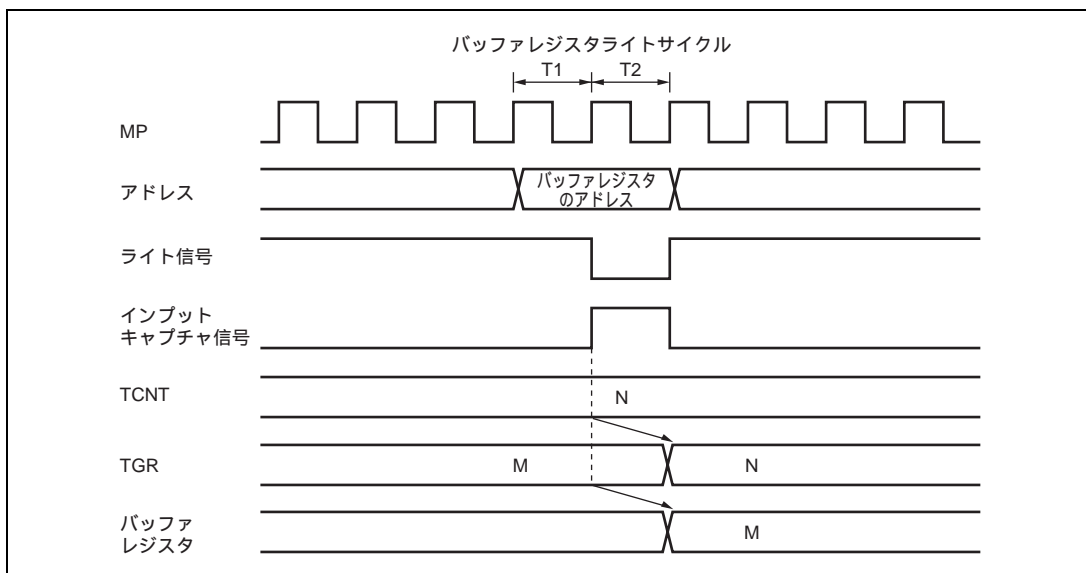


図 10.129 バッファレジスタのライトと入力キャプチャの競合

10.7.12 カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバフロー / アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 の入力キャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0 ~ D_0 は入力キャプチャ動作します。さらに TGRB_1 の入力キャプチャ要因に TGRC_0 のコンペアマッチ / 入力キャプチャを選択した場合には、TGRB_1 は入力キャプチャ動作します。

このタイミングを図 10.130 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

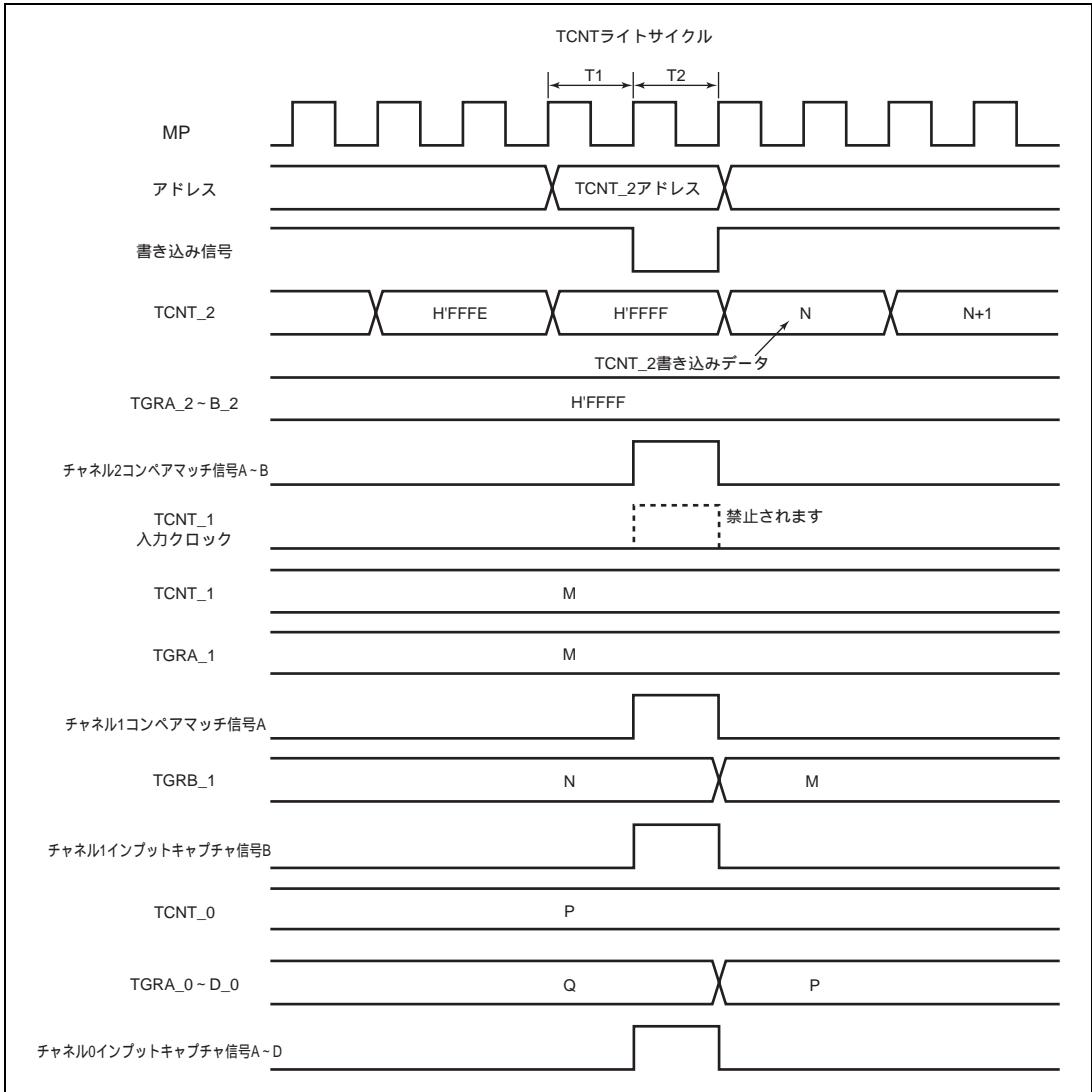


図 10.130 カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合

10.7.13 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作しているときにカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 10.131 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

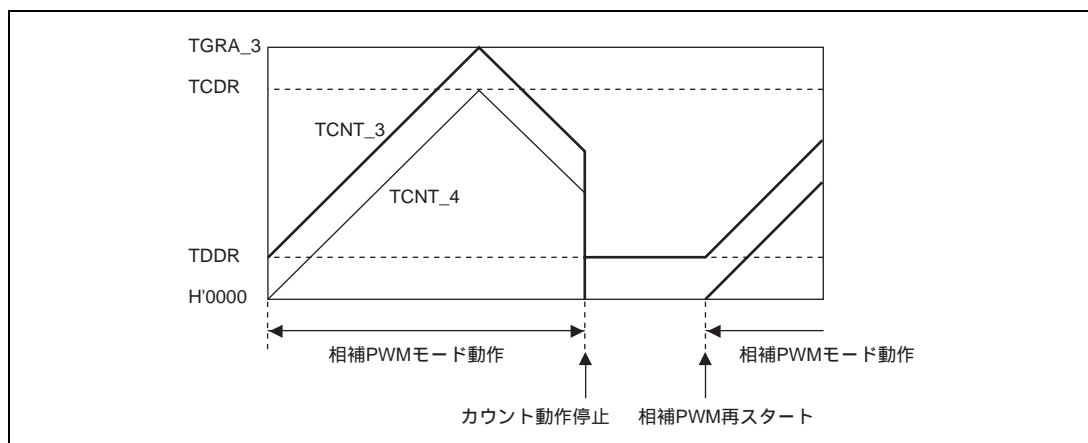


図 10.131 相補 PWM モード停止時のカウンタ値

10.7.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

10.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定するには、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFD ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 10.132 に示します。

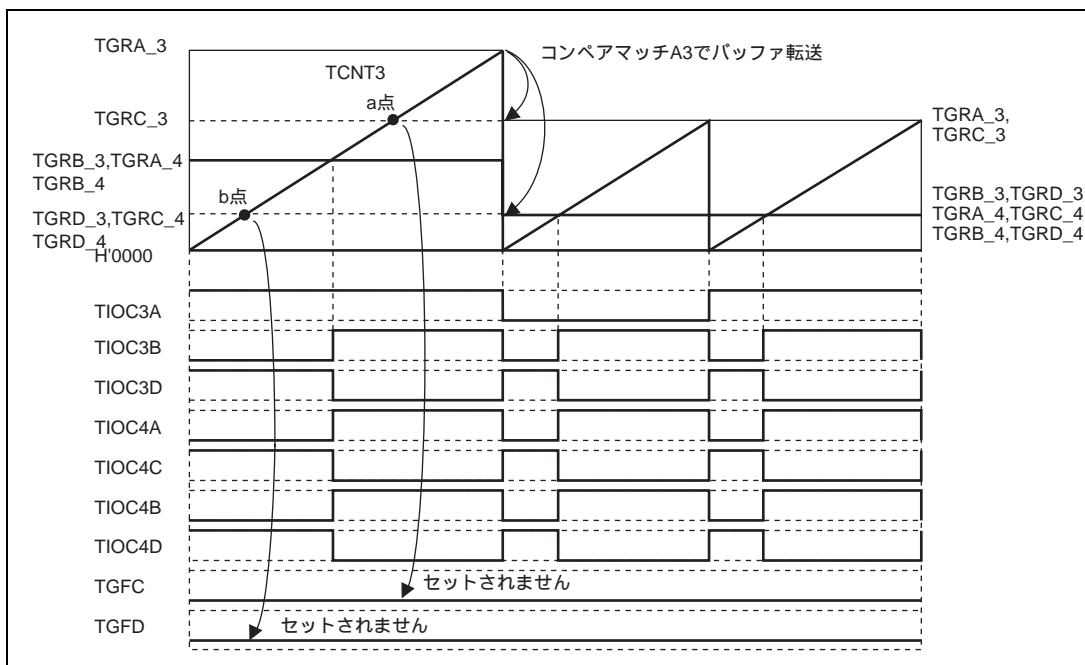


図 10.132 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

10.7.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 ともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 10.133 に示します。

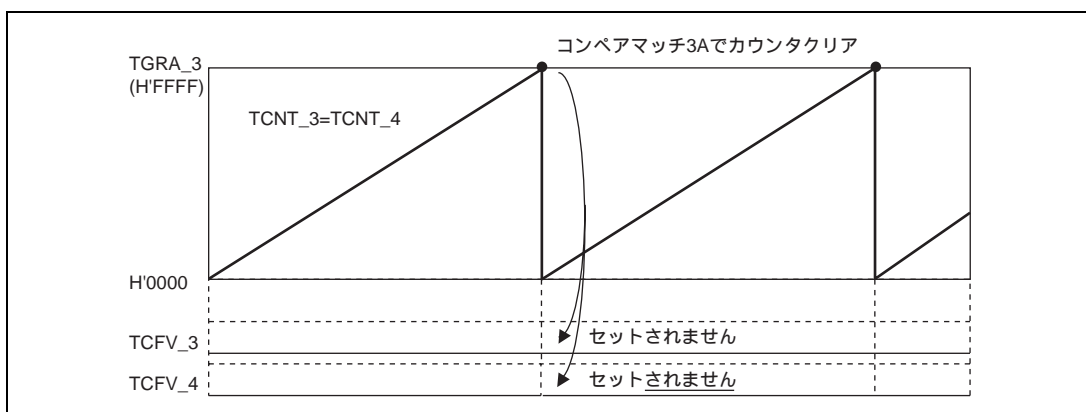


図 10.133 リセット同期 PWM モードのオーバーフローフラグ

10.7.17 オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.134 に示します。

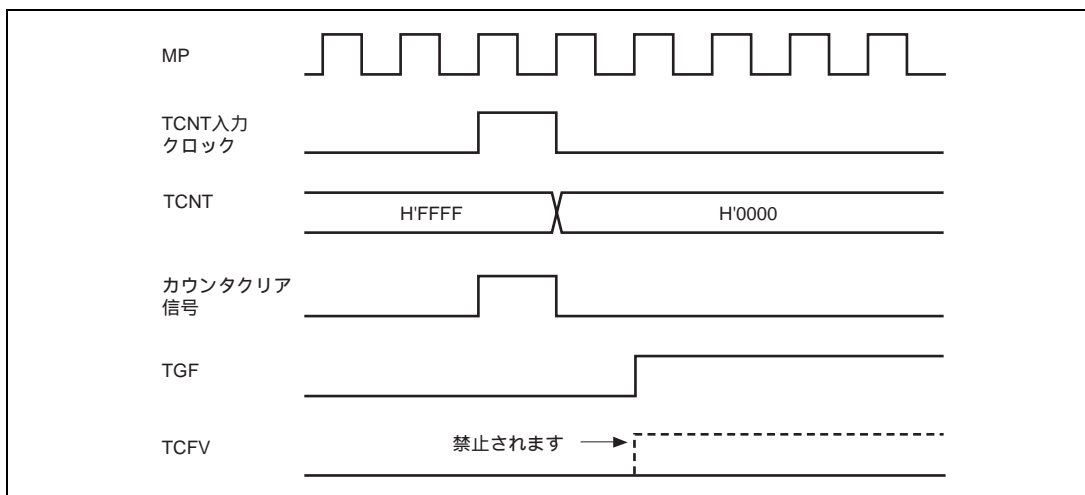


図 10.134 オーバフローとカウンタクリアの競合

10.7.18 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 10.135 に示します。

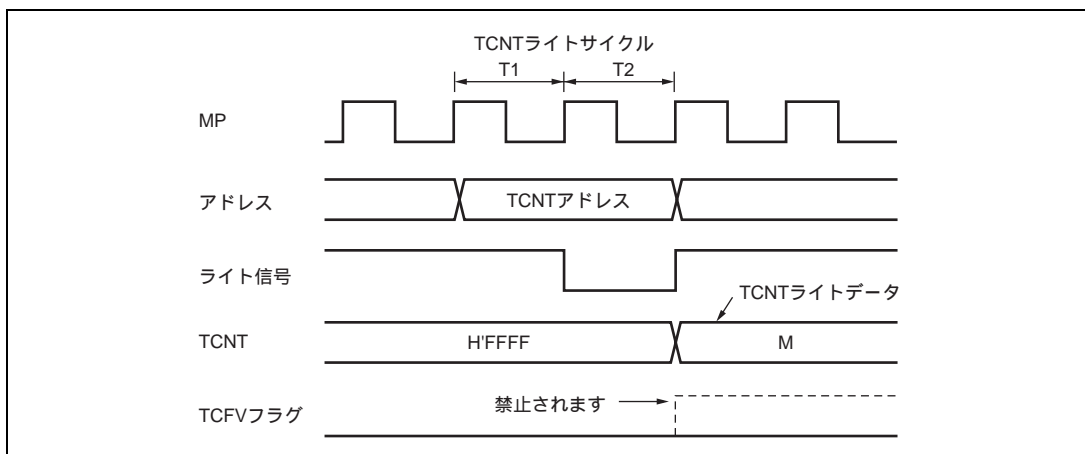


図 10.135 TCNT のライトとオーバフローの競合

10.7.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル3、4の通常動作またはPWMモード1からリセット同期PWMモードへ遷移する場合、出力端子(TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D)をハイレベルの状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期PWMモードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4レジスタにH'11を書いて出力端子をローレベルに初期化した後、レジスタの初期値H'00を設定してからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値H'00を設定してからリセット同期PWMモードに遷移してください。

10.7.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル3、4が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはタイマアウトプットコントロールレジスタ(TOCR)のOLSP、OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIORはH'00としてください。

10.7.21 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPUの割り込み要因、またはDTCの起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

10.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ1、2(TCNT_1とTCNT_2)をカスケード接続して、32ビットカウンタとして動作させている場合、TIOC1AとTIOC2A、またはTIOC1BとTIOC2Bに同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、またはTIOC1BとTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、TCNT_1(上位16ビットのカウンタ)がTCNT_2(下位16ビットのカウンタ)のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはTCNT_1=H'FFF1、TCNT_2=H'0000の値をTGRA_1とTGRA_2、もしくはTGRB_1とTGRB_2に転送すべきところを誤ってTCNT_1=H'FFF0、TCNT_2=H'0000の値を転送します。

MTU2では1本のインプットキャプチャ入力でTCNT_1とTCNT_2を同時にキャプチャできる機能を追加しており、本機能を使用すれば、TCNT_1とTCNT_2のキャプチャタイミングのずれなく、32ビットカウンタの取り込みを行うことができます。詳細は、「10.3.8 タイマインプットキャプチャコントロールレジスタ(TICCR)」をご覧ください。

10.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項

相補 PWM モードにて、同期カウンタクリア時出力波形制御を有効(TWCR レジスタの WRE=1)とした状態で、条件(1)、条件(2)のいずれかを満たすと、下記の現象が発生します。

- PWM出力端子のデッドタイムが短くなる(もしくは消失)。
- PWM逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される。

条件(1) 初期出力の抑止期間 にて、PWM 出力がデッドタイム期間中に、同期クリアする(図 10.136)。

条件(2) 初期出力の抑止期間 、にて、TGRB_3 TDDR、TGRA_4 TDDR、TGRB_4 TDDR のいずれかが成立する状態で、同期クリアする(図 10.137)。

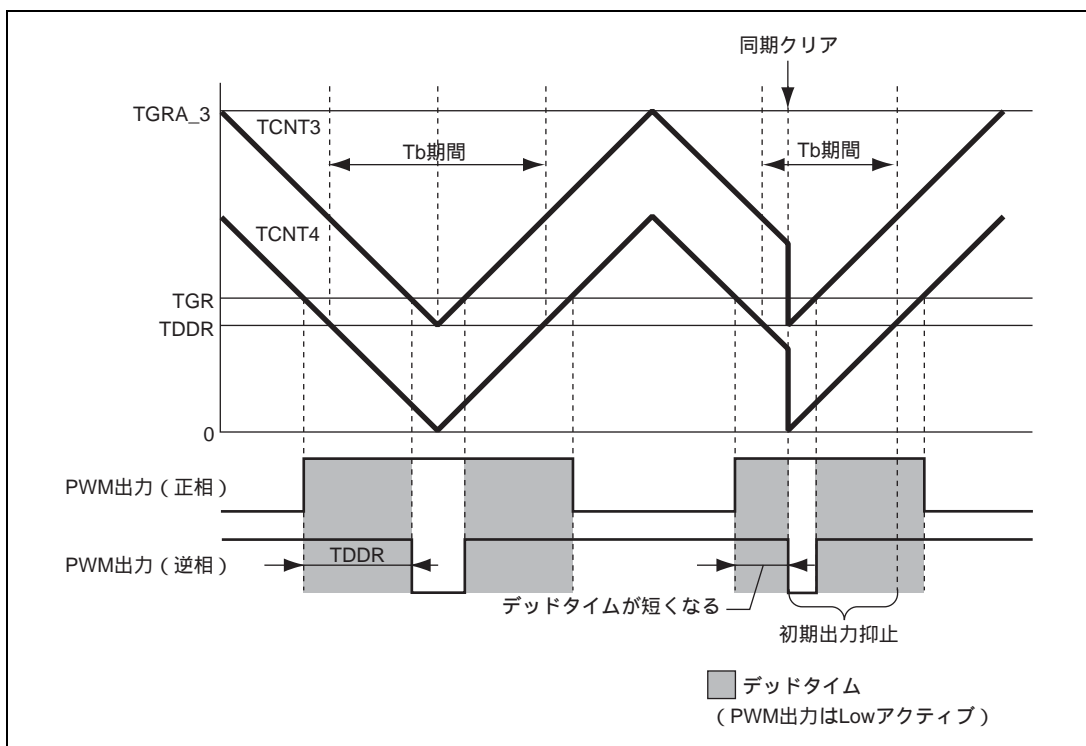


図 10.136 条件(1)の同期クリア例

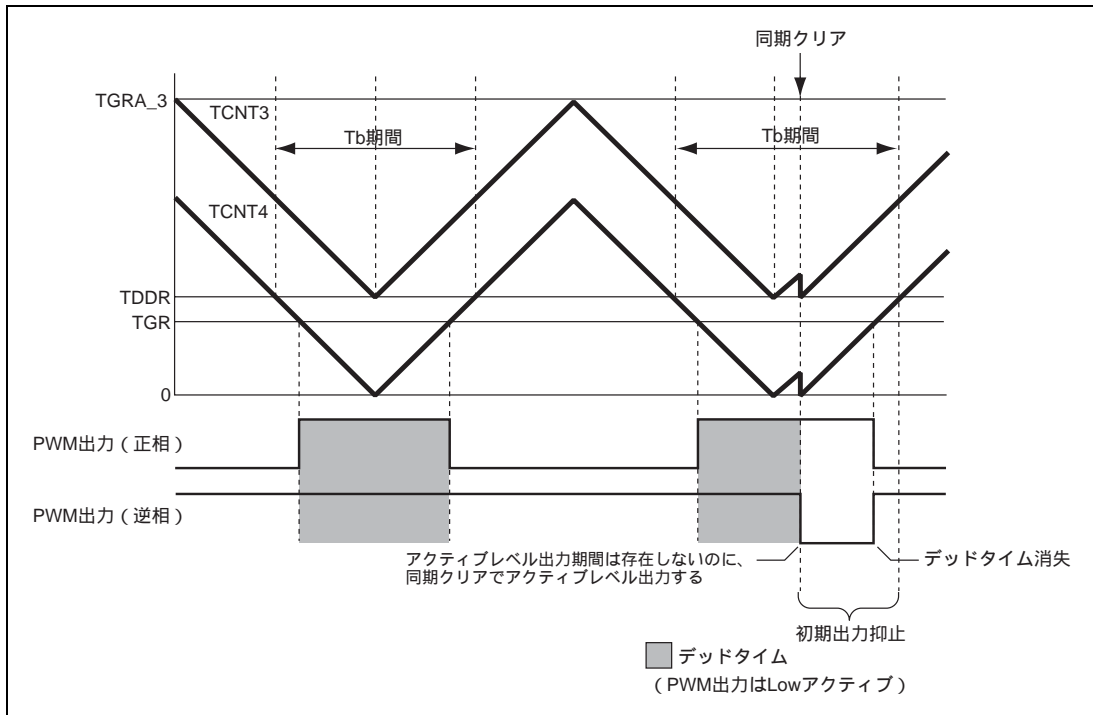


図 10.137 条件 (2) の同期クリア例

本現象は下記の方法により、回避することができます。

コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定した状態で、同期クリアする。

10.8 MTU2 出力端子の初期化方法

10.8.1 動作モード

MTU2 には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、各モードでの MTU2 出力端子の初期化方法について示します。

10.8.2 リセットスタート時の動作

MTU2 の出力端子 (TIOC*) はリセットまたはスタンバイモード時に L に初期化されます。MTU2 の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU2 の端子の状態がポートに出力されます。リセット直後に PFC で MTU2 の出力を選択した場合、ポート出力には MTU2 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU2 の出力端子の初期設定終了後に行ってください。

【注】 * チャンネル番号+ポート記号が入ります。

10.8.3 動作中の異常などによる再設定時の動作

MTU2 の動作中に異常が発生した場合、システムで MTU2 の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り替え、アクティブレベルの反転を出力することにより行います。また、大電流端子に関してはポートアウトブットイネーブル (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU2 には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 10.59 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 10.59 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

10.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では TIOC*B (TIOC*D) 端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 1 に遷移してください。
- PWM モード 2 では周期レジスタの端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 2 に遷移してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、TIOR を設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、TIOR を設定しても TGRC の端子は初期化されません。TGRC の端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタインエーブルレジスタ (TOER) でチャンネル3、4を一度出力禁止としてください。その後モード設定手順 (TOCR設定、TMDR設定、TOER設定) に従い動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 10.59 の組み合わせ No.に従い端子の初期化手順を示します。なお、アクティブレベルは L とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.138 に示します。

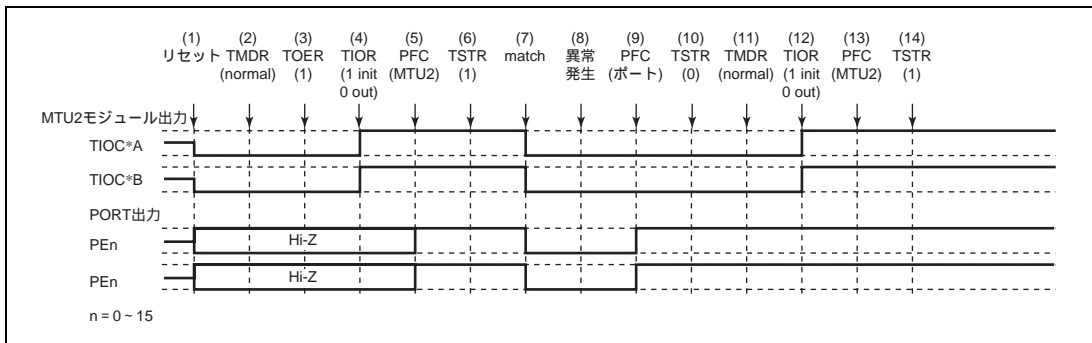


図 10.138 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりローレベルを出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.139 に示します。

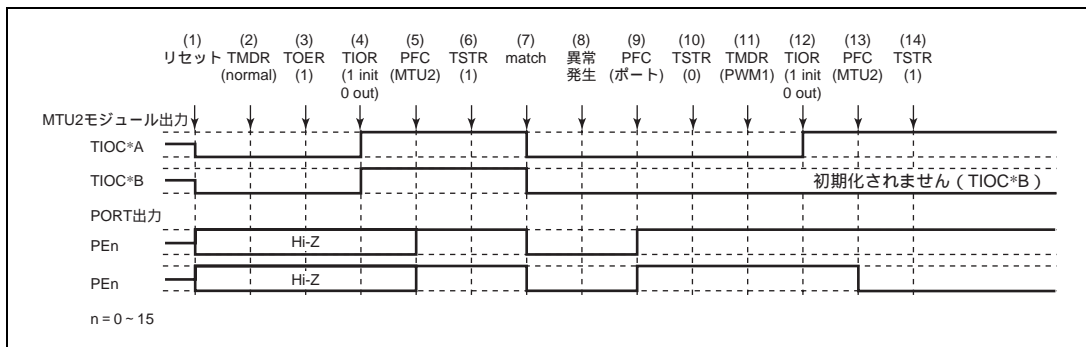


図 10.139 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 10.138 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.140 に示します。

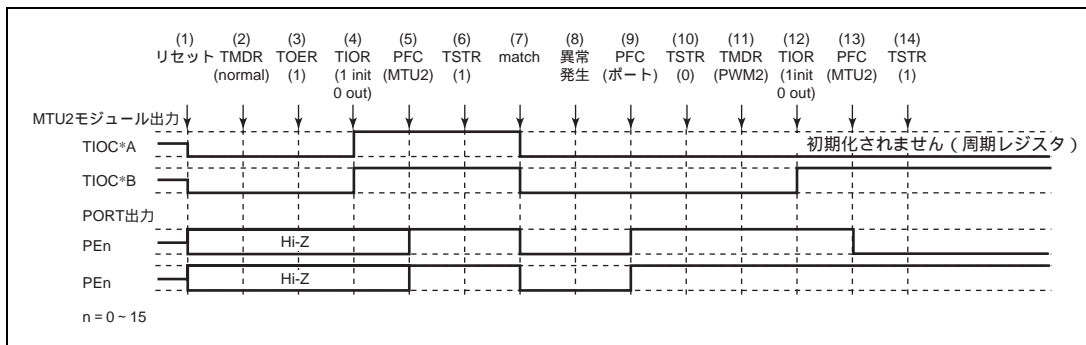


図 10.140 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 10.138 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再起動する場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再起動する場合の説明図を図 10.141 に示します。

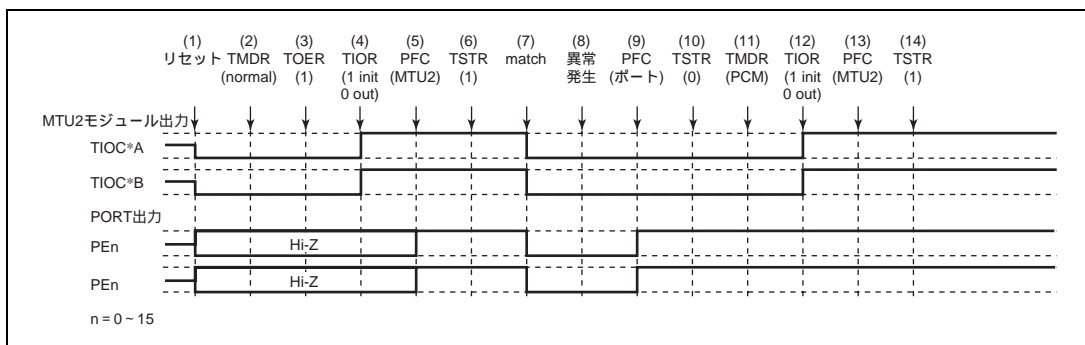


図 10.141 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 10.138 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR で端子を初期化してください。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再起動します。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.142 に示します。

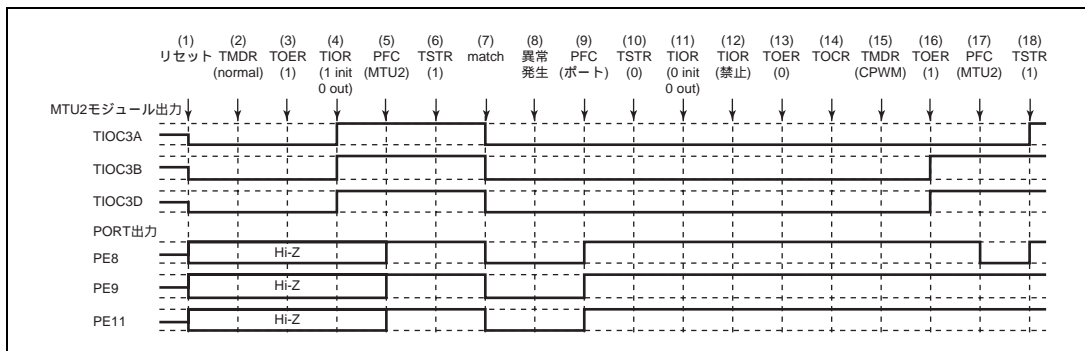


図 10.142 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 10.138 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) PFC で MTU2 出力としてください。

(18) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
 ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.143 に示します。

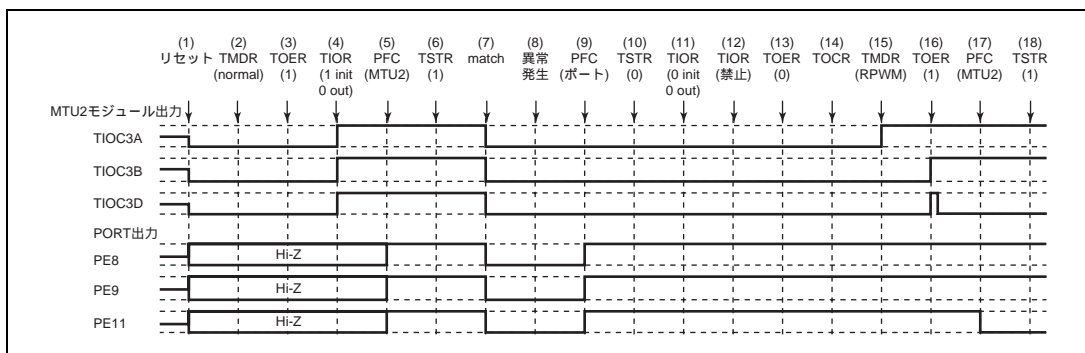


図 10.143 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 10.138 と共通です。
- (14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) PFC で MTU2 出力としてください。
- (18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.144 に示します。

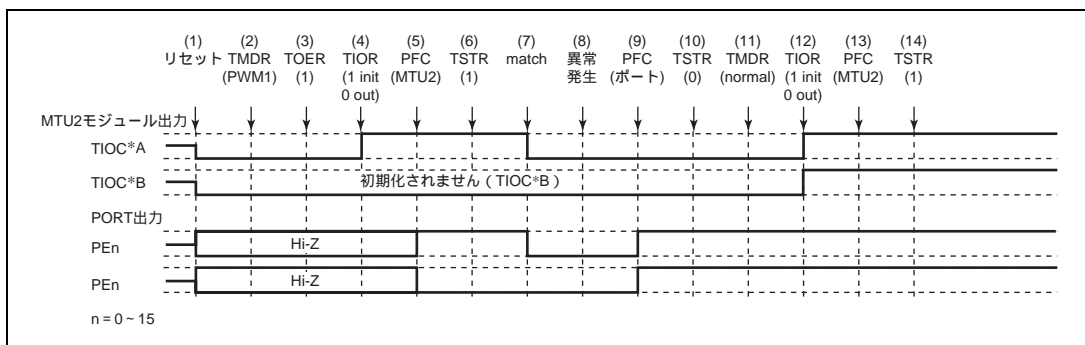


図 10.144 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.145 に示します。

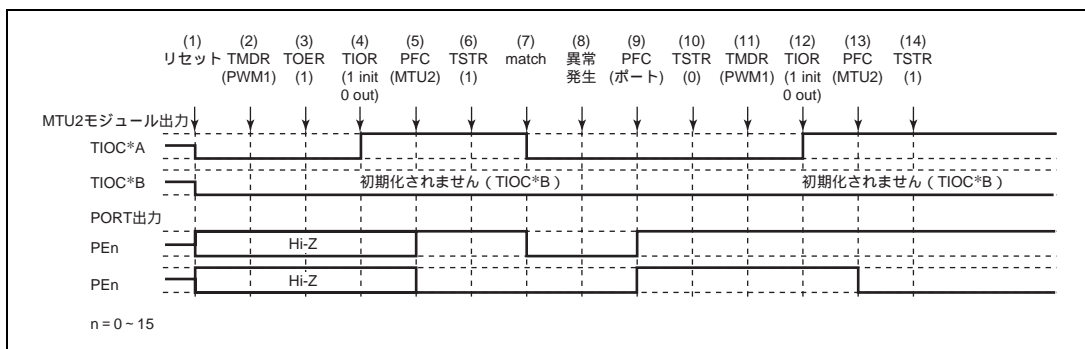


図 10.145 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 10.144 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.146 に示します。

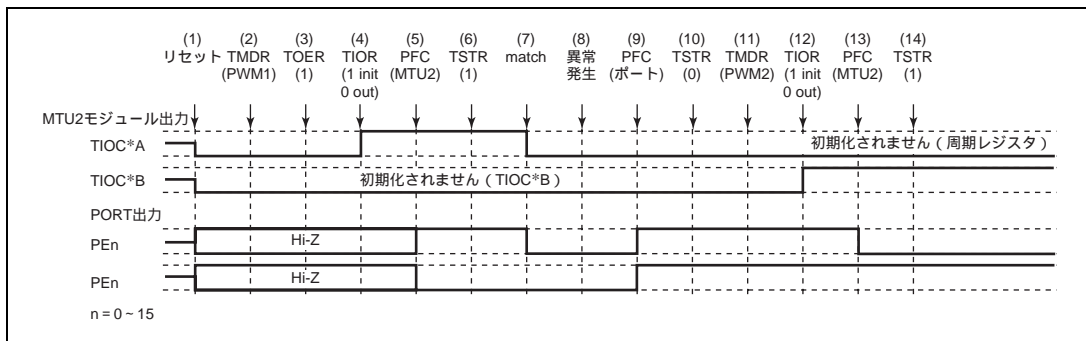


図 10.146 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 10.144 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0 ~ 2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.147 に示します。

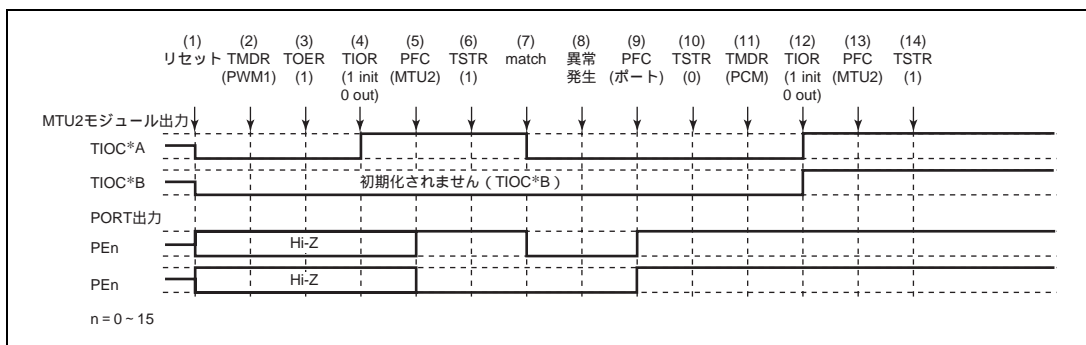


図 10.147 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 10.144 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR で端子を初期化してください。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.148 に示します。

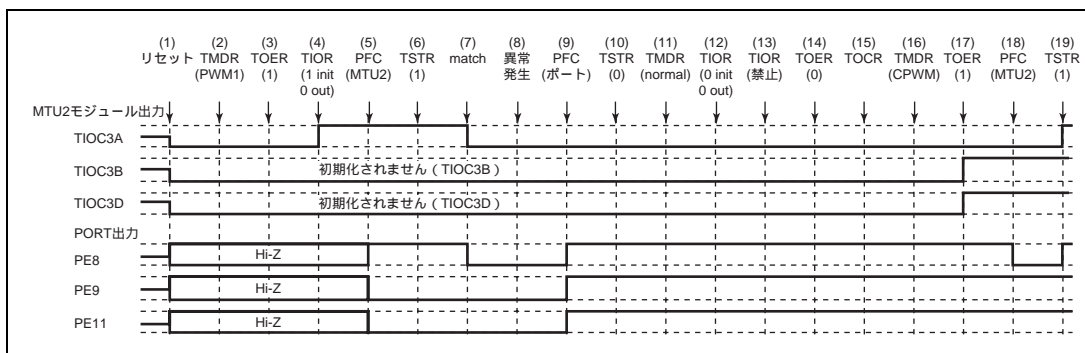


図 10.148 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 10.144 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) TIOR で PWM モード 1 の波形生成部を初期化してください。

(13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。

(14) TOER でチャンネル 3、4 の出力を禁止してください。

(15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) 相補 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.149 に示します。

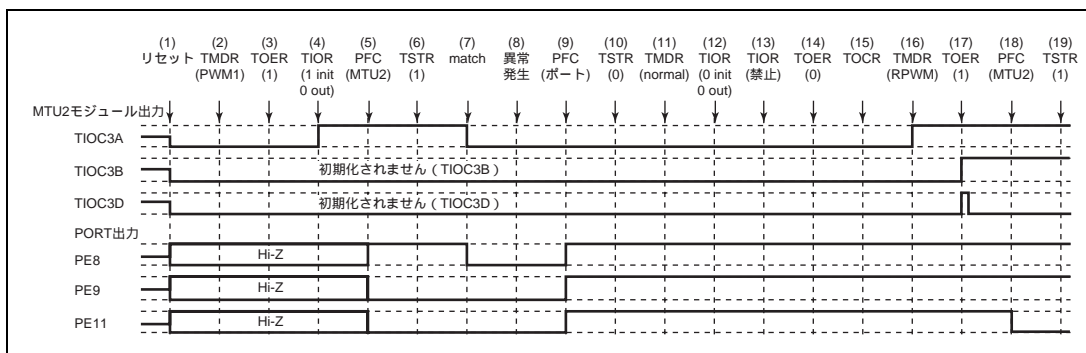


図 10.149 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 10.148 と共通です。

(15) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.150 に示します。

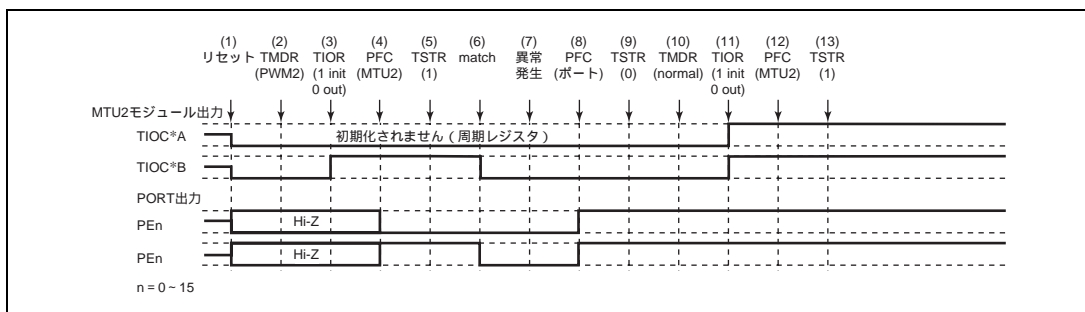


図 10.150 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.151 に示します。

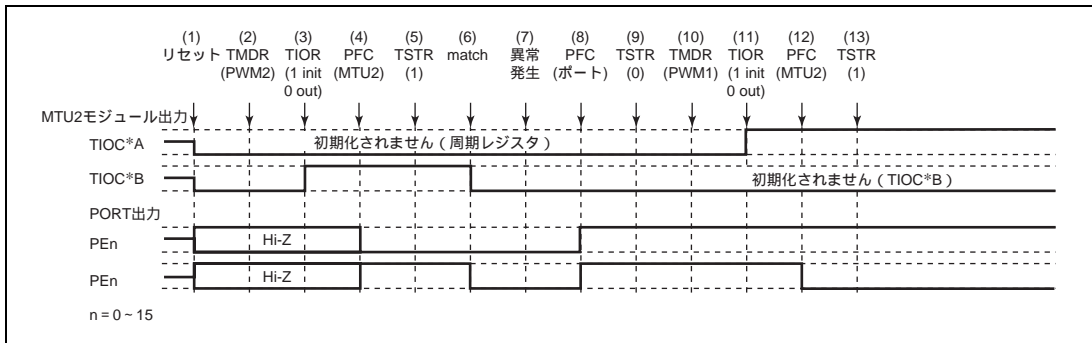


図 10.151 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 10.150 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.152 に示します。

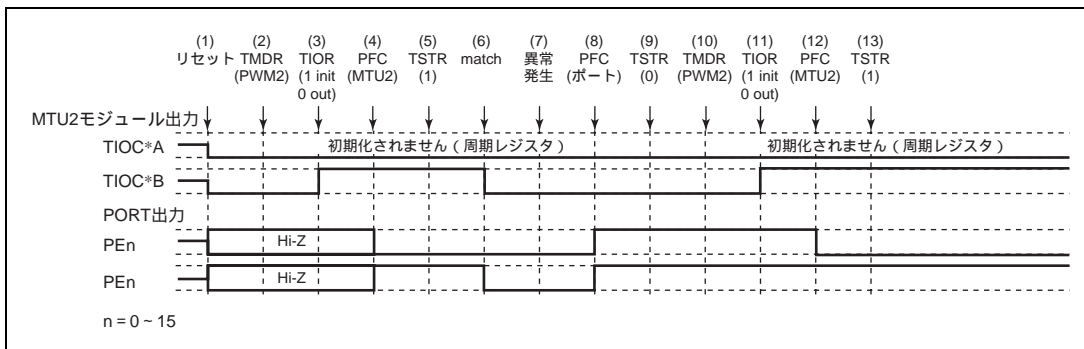


図 10.152 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 10.150 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.153 に示します。

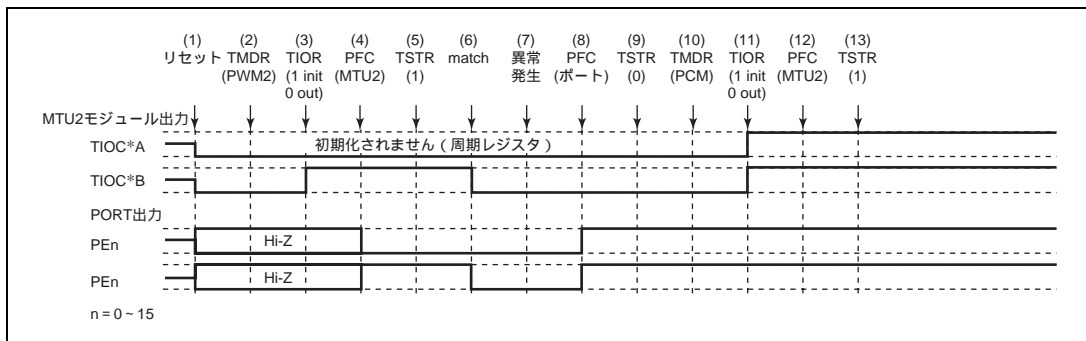


図 10.153 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 10.150 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.154 に示します。

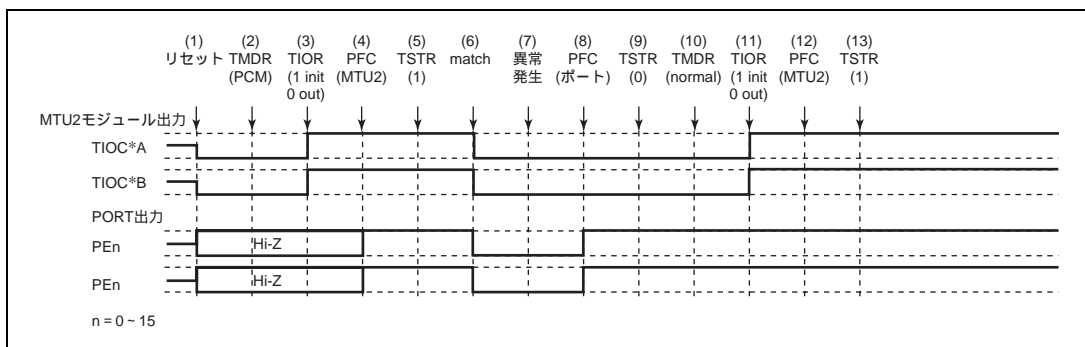


図 10.154 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.155 に示します。

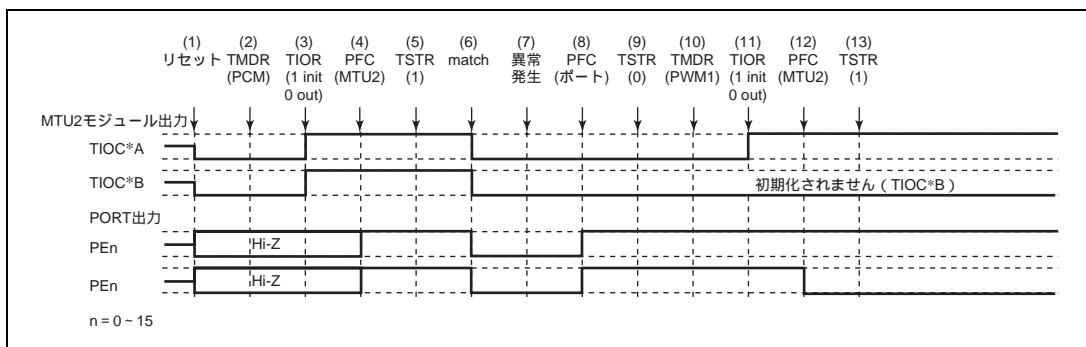


図 10.155 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 10.154 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 10.156 に示します。

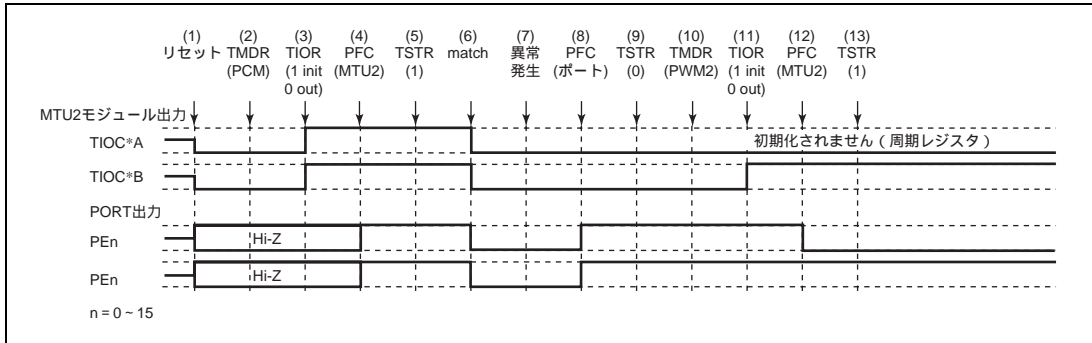


図 10.156 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 10.154 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.157 に示します。

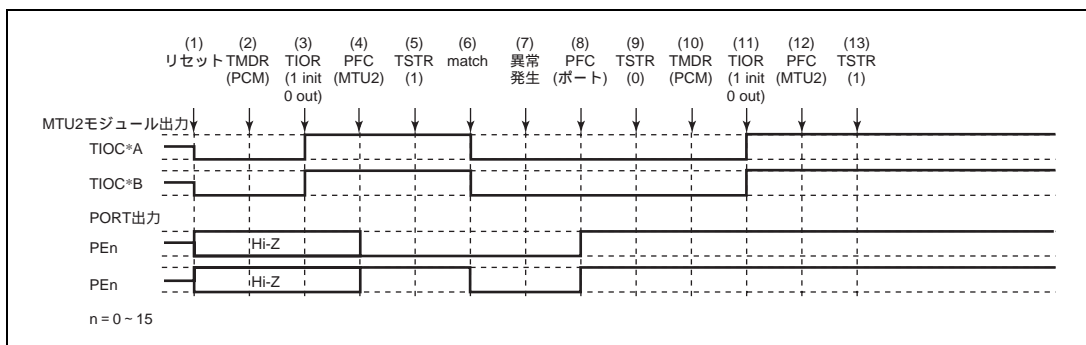


図 10.157 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 10.154 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再起動する場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再起動する場合の説明図を図 10.158 に示します。

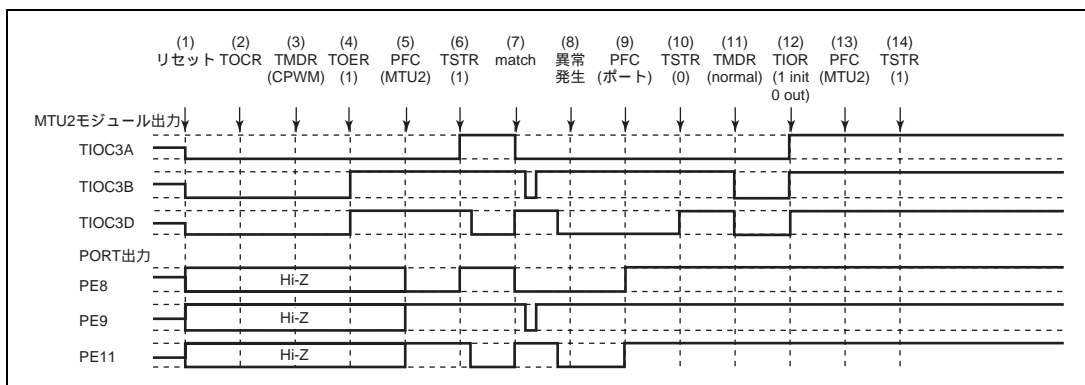


図 10.158 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再起動します。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.159 に示します。

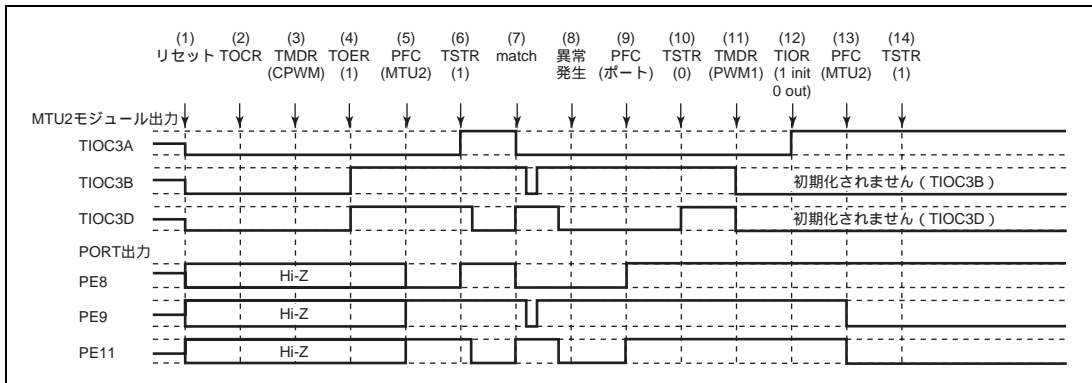


図 10.159 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 10.158 と共通です。
- (11) PWM モード 1 を設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作
 相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.160 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

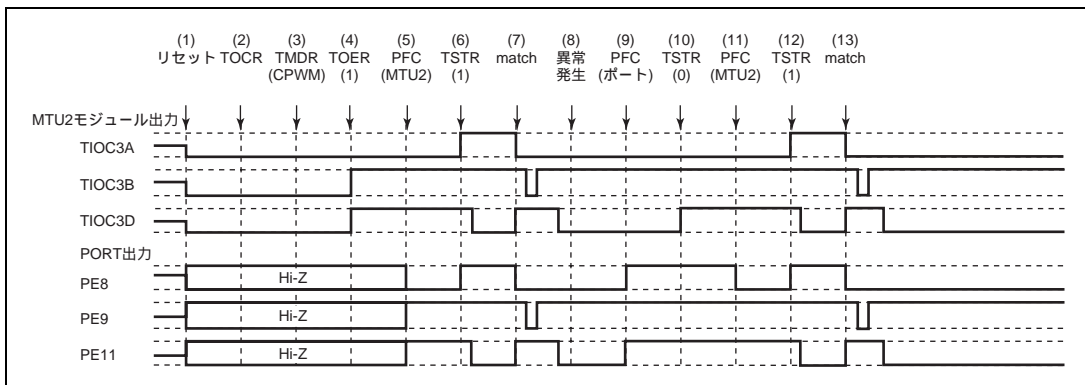


図 10.160 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 10.158 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.161 に示
します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

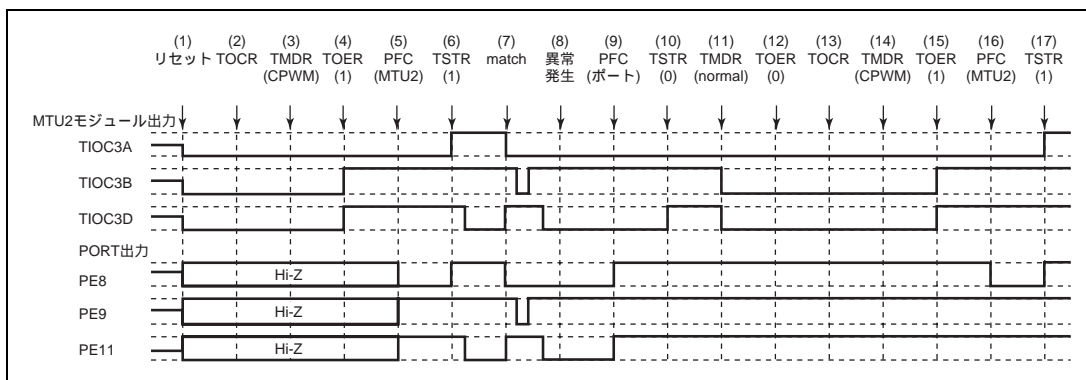


図 10.161 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 10.158 と共通です。
- (11) ノーマルモードを設定し新しい設定値を設定してください (MTU2 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU2 出力としてください。
- (17) TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図
10.162 に示します。

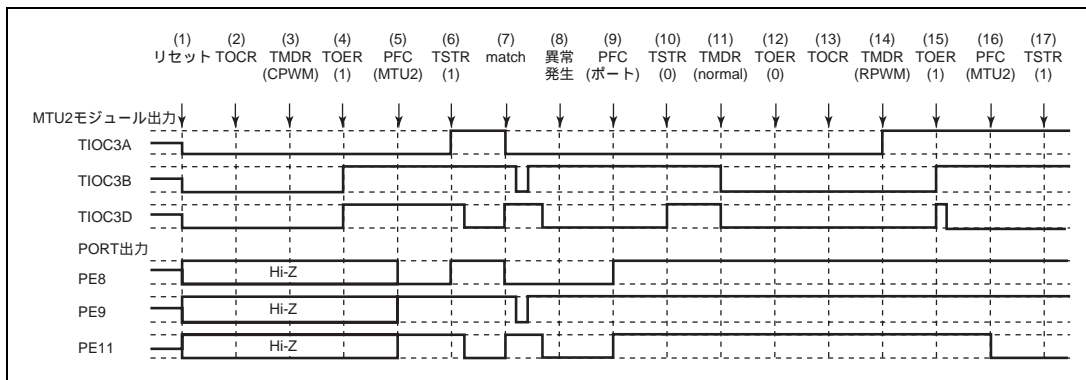


図 10.162 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 10.158 と共通です。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU2 出力としてください。
- (17) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作
リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図
10.163 に示します。

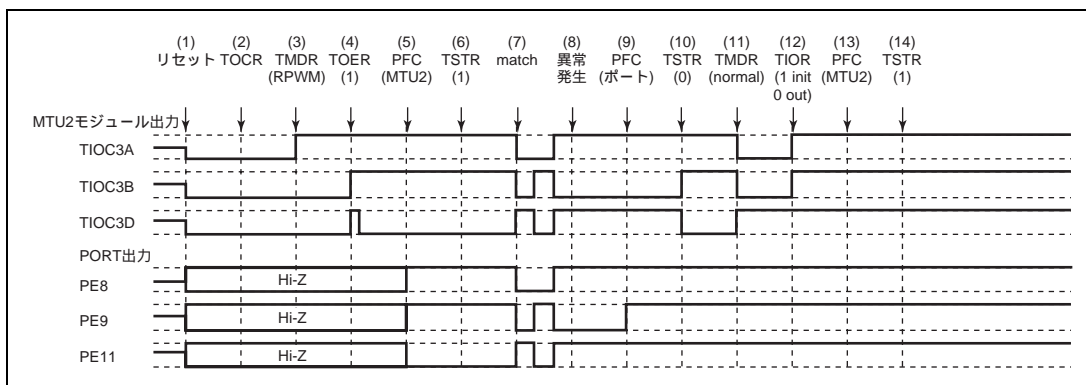


図 10.163 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.164 に示します。

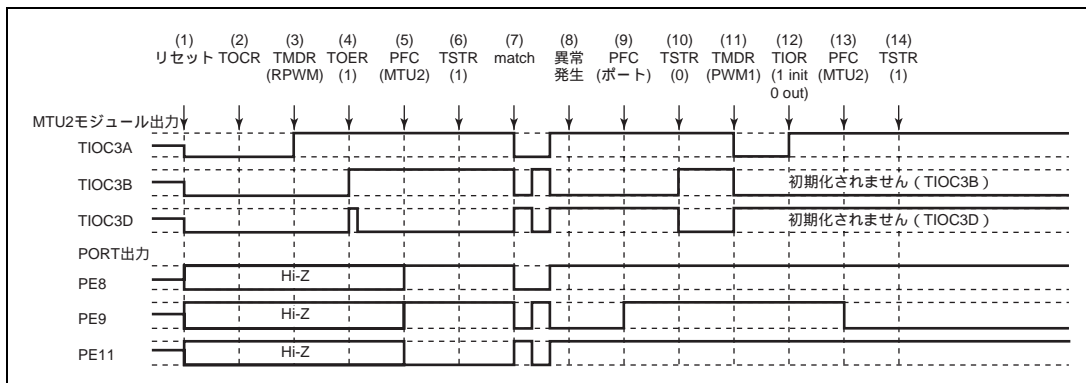


図 10.164 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 10.163 と共通です。

(11) PWM モード 1 を設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図
 10.165 に示します。

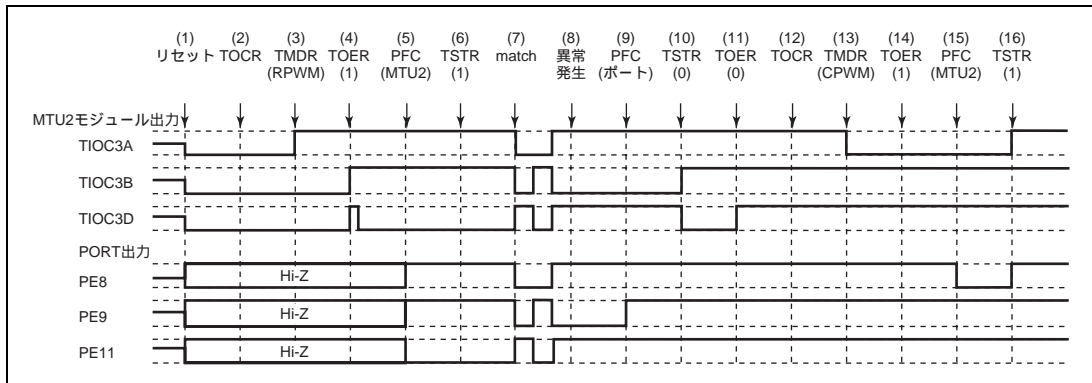


図 10.165 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 10.163 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU2 の周期出力端子はローレベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) PFC で MTU2 出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.166 に示します。

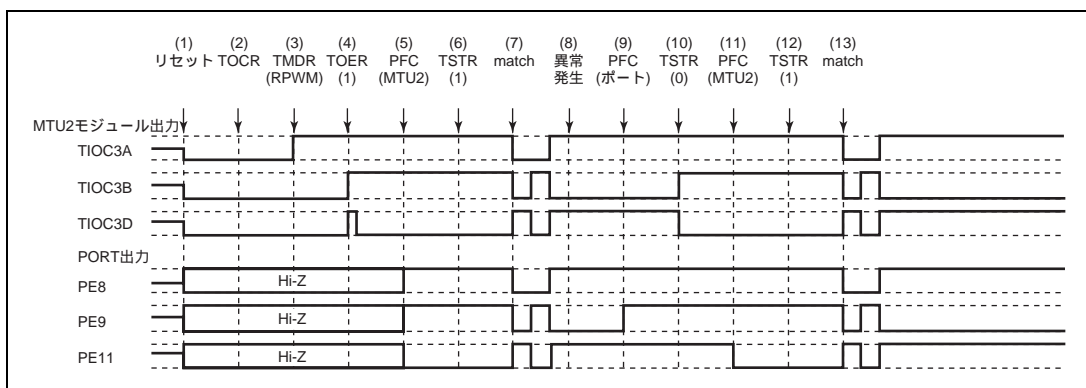


図 10.166 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 10.163 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

11. マルチファンクションタイマパルスユニット 2S (MTU2S)

本 LSI は、3 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2S (MTU2S) を内蔵しています。MTU2S は MTU2 のチャンネル 3、4、5 を内蔵したモジュールですので、詳細は「第 10 章 マルチファンクションタイマパルスユニット 2 (MTU2)」を参照してください。なお、MTU2 と区別するため、入出力端子名、およびレジスタ名の末尾に「S」を追加し、たとえば TIOC3A は TIOC3AS、TGRA_3 は TGRA_3S などと表記してあります。

MTU2S は相補 PWM モードの出力のみ 80MHz 動作まで可能です。その他の機能については 40MHz 動作まで可能です。

表 11.1 MTU2S の機能一覧

項 目	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	MI / 1 MI / 4 MI / 16 MI / 64 MI / 256 MI / 1024	MI / 1 MI / 4 MI / 16 MI / 64 MI / 256 MI / 1024	MI / 1 MI / 4 MI / 16 MI / 64
ジェネラルレジスタ (TGR)	TGRA_3S TGRB_3S	TGRA_4S TGRB_4S	TGRU_5S TGRV_5S TGRW_5S
ジェネラルレジスタ/ バッファレジスタ	TGRC_3S TGRD_3S	TGRC_4S TGRD_4S	-
入出力端子	TIOC3BS TIOC3DS	TIOC4AS TIOC4BS TIOC4CS TIOC4DS	入力端子 TIC5US TIC5VS TIC5WS
カウンタクリア機能	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ
コンペア マッチ出力	0 出力		-
	1 出力		-
	トグル出力		-
インプットキャプチャ機能			
同期動作			-
PWM モード 1	-	-	-
PWM モード 2	-	-	-
相補 PWM モード			-

項 目	チャンネル3	チャンネル4	チャンネル5
リセットPWMモード			-
AC同期モータ駆動モード	-	-	-
位相計数モード	-	-	-
バッファ動作			-
デッドタイム補償用 カウンタ機能	-	-	
DTCの起動	TGRのコンペアマッチ またはインプットキャプチャ	TGRのコンペアマッチ またはインプットキャプチャ とTCNTオーバフロー/アンダ フロー	TGRのコンペアマッチ またはインプットキャプチャ
A/D変換開始トリガ	TGRA_3Sのコンペアマッチ またはインプットキャプチャ	TGRA_4Sのコンペアマッチ またはインプットキャプチャ 相補PWMモード時 TCNT_4Sのアンダフロー(谷)	-
割り込み要因	5要因 <ul style="list-style-type: none"> • コンペアマッチ/インプットキャプチャ 3AS • コンペアマッチ/インプットキャプチャ 3BS • コンペアマッチ/インプットキャプチャ 3CS • コンペアマッチ/インプットキャプチャ 3DS <ul style="list-style-type: none"> • オーバフロー 	5要因 <ul style="list-style-type: none"> • コンペアマッチ/インプットキャプチャ 4AS • コンペアマッチ/インプットキャプチャ 4BS • コンペアマッチ/インプットキャプチャ 4CS • コンペアマッチ/インプットキャプチャ 4DS <ul style="list-style-type: none"> • オーバフロー/アンダフロー 	3要因 <ul style="list-style-type: none"> • コンペアマッチ/インプットキャプチャ 5US • コンペアマッチ/インプットキャプチャ 5VS • コンペアマッチ/インプットキャプチャ 5WS
A/D変換開始要求 ディレイド機能	-	<ul style="list-style-type: none"> • TADCORA_4SとTCNT_4Sの一致で、A/D変換開始要求 • TADCORB_4SとTCNT_4Sの一致で、A/D変換開始要求 	-
割り込み間引き機能	<ul style="list-style-type: none"> • TGRA_3Sのコンペアマッチ 割り込みを間引き 	<ul style="list-style-type: none"> • TCIV_4S 割り込みを間引き 	-

【記号説明】

: 可能

- : 不可

11.1 入出力端子

表 11.2 端子構成

チャンネル	端子名	入出力	機能
3	TIOC3BS	入出力	TGRB_3S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3DS	入出力	TGRD_3S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOC4AS	入出力	TGRA_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4BS	入出力	TGRB_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4CS	入出力	TGRC_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4DS	入出力	TGRD_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
5	TIC5US	入力	TGRU_5S のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5VS	入力	TGRV_5S のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5WS	入力	TGRW_5S のインプットキャプチャ入力 / 外部パルス入力端子

11.2 レジスタの説明

MTU2S には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名についてはチャンネル 3 の TCR は TCR_3S と表記してあります。

表 11.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
タイマコントロールレジスタ_3S	TCR_3S	R/W	H'00	H'FFFFC600	8、16、32
タイマコントロールレジスタ_4S	TCR_4S	R/W	H'00	H'FFFFC601	8
タイマモードレジスタ_3S	TMDR_3S	R/W	H'00	H'FFFFC602	8、16
タイマモードレジスタ_4S	TMDR_4S	R/W	H'00	H'FFFFC603	8
タイマ I/O コントロールレジスタ H_3S	TIORH_3S	R/W	H'00	H'FFFFC604	8、16、32
タイマ I/O コントロールレジスタ L_3S	TIORL_3S	R/W	H'00	H'FFFFC605	8
タイマ I/O コントロールレジスタ H_4S	TIORH_4S	R/W	H'00	H'FFFFC606	8、16
タイマ I/O コントロールレジスタ L_4S	TIORL_4S	R/W	H'00	H'FFFFC607	8
タイマインタラプトイネーブルレジスタ_3S	TIER_3S	R/W	H'00	H'FFFFC608	8、16
タイマインタラプトイネーブルレジスタ_4S	TIER_4S	R/W	H'00	H'FFFFC609	8
タイマアウトプットマスタイネーブルレジスタ S	TOERS	R/W	H'C0	H'FFFFC60A	8
タイマゲートコントロールレジスタ S	TGCRS	R/W	H'80	H'FFFFC60D	8
タイマアウトプットコントロールレジスタ 1S	TOCR1S	R/W	H'00	H'FFFFC60E	8、16
タイマアウトプットコントロールレジスタ 2S	TOCR2S	R/W	H'00	H'FFFFC60F	8
タイマカウンタ_3S	TCNT_3S	R/W	H'0000	H'FFFFC610	16、32
タイマカウンタ_4S	TCNT_4S	R/W	H'0000	H'FFFFC612	16
タイマ周期データレジスタ S	TCDRS	R/W	H'FFFF	H'FFFFC614	16、32
タイマデッドタイムデータレジスタ S	TDDRS	R/W	H'FFFF	H'FFFFC616	16
タイマジェネラルレジスタ A_3S	TGRA_3S	R/W	H'FFFF	H'FFFFC618	16、32
タイマジェネラルレジスタ B_3S	TGRB_3S	R/W	H'FFFF	H'FFFFC61A	16
タイマジェネラルレジスタ A_4S	TGRA_4S	R/W	H'FFFF	H'FFFFC61C	16、32
タイマジェネラルレジスタ B_4S	TGRB_4S	R/W	H'FFFF	H'FFFFC61E	16
タイマサブカウンタ S	TCNTSS	R	H'0000	H'FFFFC620	16、32
タイマ周期バッファレジスタ S	TCBRS	R/W	H'FFFF	H'FFFFC622	16
タイマジェネラルレジスタ C_3S	TGRC_3S	R/W	H'FFFF	H'FFFFC624	16、32
タイマジェネラルレジスタ D_3S	TGRD_3S	R/W	H'FFFF	H'FFFFC626	16
タイマジェネラルレジスタ C_4S	TGRC_4S	R/W	H'FFFF	H'FFFFC628	16、32
タイマジェネラルレジスタ D_4S	TGRD_4S	R/W	H'FFFF	H'FFFFC62A	16
タイマステータスレジスタ_3S	TSR_3S	R/W	H'C0	H'FFFFC62C	8、16
タイマステータスレジスタ_4S	TSR_4S	R/W	H'C0	H'FFFFC62D	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
タイマ割り込み間引き設定レジスタ S	TITCRS	R/W	H'00	H'FFFC630	8、16
タイマ割り込み間引き回数カウンタ S	TITCNTS	R	H'00	H'FFFC631	8
タイマバッファ転送設定レジスタ S	TBTERS	R/W	H'00	H'FFFC632	8
タイマデッドタイムイネーブルレジスタ S	TDERS	R/W	H'01	H'FFFC634	8
タイマアウトプットレベルバッファレジスタ S	TOLBRS	R/W	H'00	H'FFFC636	8
タイマバッファ動作転送モードレジスタ_3S	TBTM_3S	R/W	H'00	H'FFFC638	8、16
タイマバッファ動作転送モードレジスタ_4S	TBTM_4S	R/W	H'00	H'FFFC639	8
タイマ A/D 変換開始要求コントロールレジスタ S	TADCRS	R/W	H'0000	H'FFFC640	16
タイマ A/D 変換開始要求周期設定レジスタ A_4S	TADCORA_4S	R/W	H'FFFF	H'FFFC644	16、32
タイマ A/D 変換開始要求周期設定レジスタ B_4S	TADCORB_4S	R/W	H'FFFF	H'FFFC646	16
タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4S	TADCOBRA_4S	R/W	H'FFFF	H'FFFC648	16、32
タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4S	TADCOBRB_4S	R/W	H'FFFF	H'FFFC64A	16
タイマシンククリアレジスタ S	TSYCRS	R/W	H'00	H'FFFC650	8
タイマ波形コントロールレジスタ S	TWCRS	R/W	H'00	H'FFFC660	8
タイマスタートレジスタ S	TSTRS	R/W	H'00	H'FFFC680	8、16
タイマシンククロレジスタ S	TSYRS	R/W	H'00	H'FFFC681	8
タイマリードライトイネーブルレジスタ S	TRWERS	R/W	H'01	H'FFFC684	8
タイマカウンタ U_5S	TCNTU_5S	R/W	H'0000	H'FFFC880	16、32
タイマジェネラルレジスタ U_5S	TGRU_5S	R/W	H'FFFF	H'FFFC882	16
タイマコントロールレジスタ U_5S	TCRU_5S	R/W	H'00	H'FFFC884	8
タイマ I/O コントロールレジスタ U_5S	TIORU_5S	R/W	H'00	H'FFFC886	8
タイマカウンタ V_5S	TCNTV_5S	R/W	H'0000	H'FFFC890	16、32
タイマジェネラルレジスタ V_5S	TGRV_5S	R/W	H'FFFF	H'FFFC892	16
タイマコントロールレジスタ V_5S	TCRV_5S	R/W	H'00	H'FFFC894	8
タイマ I/O コントロールレジスタ V_5S	TIORV_5S	R/W	H'00	H'FFFC896	8
タイマカウンタ W_5S	TCNTW_5S	R/W	H'0000	H'FFFC8A0	16、32
タイマジェネラルレジスタ W_5S	TGRW_5S	R/W	H'FFFF	H'FFFC8A2	16
タイマコントロールレジスタ W_5S	TCRW_5S	R/W	H'00	H'FFFC8A4	8
タイマ I/O コントロールレジスタ W_5S	TIORW_5S	R/W	H'00	H'FFFC8A6	8
タイマステータスレジスタ_5S	TSR_5S	R/W	H'00	H'FFFC8B0	8
タイマインタラプトイネーブルレジスタ_5S	TIER_5S	R/W	H'00	H'FFFC8B2	8
タイマスタートレジスタ_5S	TSTR_5S	R/W	H'00	H'FFFC8B4	8
タイマコンペアマッチクリアレジスタ S	TCNTCMPCLRS	R/W	H'00	H'FFFC8B6	8

12. ポートアウトプットイネーブル (POE)

ポートアウトプットイネーブル (POE)は、 $\overline{POE0} \sim \overline{POE8}$ 端子の入力変化、大電流端子 (MTU2 の TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D、MTU2S の TIOC3BS、TIOC3DS、TIOC4AS、TIOC4BS、TIOC4CS、TIOC4DS がマルチプレクスされている端子) の出力状態、またはレジスタ設定によって、大電流端子および MTU2 の CH0 端子 (TIOC0A、TIOC0B、TIOC0C、TIOC0D がマルチプレクスされている端子) をハイインピーダンス状態にすることができます。また、同時に割り込み要求を発行することができます。

12.1 特長

- $\overline{POE0} \sim \overline{POE8}$ の各入力端子に、立ち下がりエッジ、P /8×16回、P /16×16回、P /128×16回のローレベルサンプリングの設定が可能です。
- $\overline{POE0} \sim \overline{POE8}$ 端子の立ち下がりエッジ、またはローレベルサンプリングによって、大電流端子およびMTU2のCH0端子をハイインピーダンス状態にできます。
- 大電流端子の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、大電流端子をハイインピーダンス状態にできます。
- POEのレジスタ書き込みをすることで、大電流端子およびMTU2のCH0端子をハイインピーダンス状態にできます。
- 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

POE は、図 12.1 のブロック図に示すように入力レベル検出回路、出力レベル比較回路、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。

これとは別に、発振器が停止した場合とソフトウェアスタンバイ状態でも、大電流端子をハイインピーダンス状態にすることができます。詳細は「付録 A. 端子状態」を参照してください。

図 12.1 に POE のブロック図を示します。

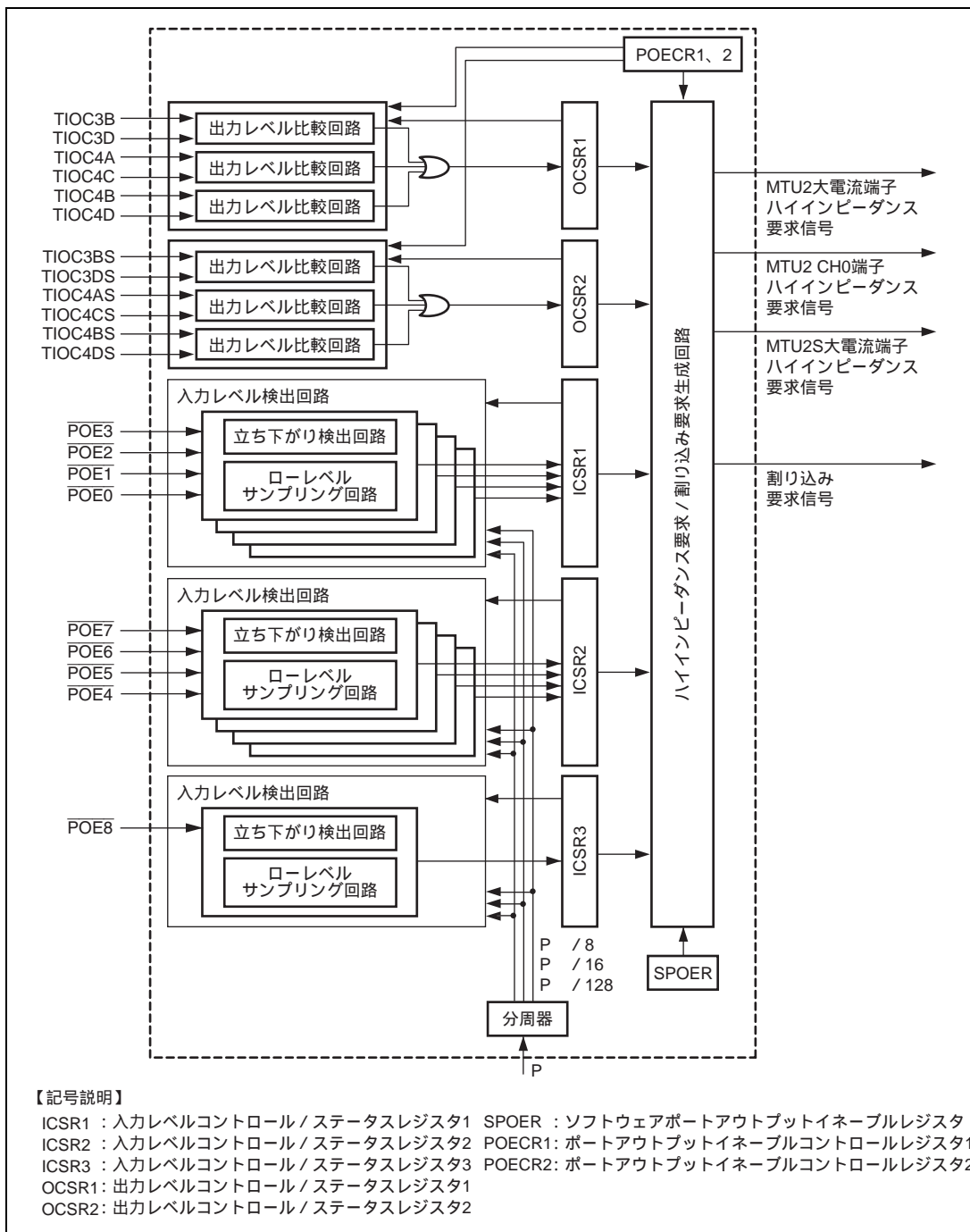


図 12.1 POE のブロック図

12.2 入出力端子

表 12.1 端子構成

名称	端子名	入出力	機能
ポートアウトプットイネーブル入力端子 0~3	POE0~POE3	入力	MTU2 用の大電流端子をハイインピーダンス状態にする要求信号を入力*
ポートアウトプットイネーブル入力端子 4~7	POE4~POE7	入力	MTU2S 用の大電流端子をハイインピーダンス状態にする要求信号を入力*
ポートアウトプットイネーブル入力端子 8	POE8	入力	MTU2 用の CH0 端子をハイインピーダンス状態にする要求信号を入力*

【注】 * PB16/POE3 端子、PB17/POE7 端子、PB18/POE8 端子については、PFC で POE 機能が選択されている場合、端子に何も入力されないときは内部でプルアップします。

表 12.2 に示す端子の組み合わせで出力レベルの比較を行います。

表 12.2 端子の組み合わせ

端子の組み合わせ	入出力	機能
PE9/TIOC3B と PE11/TIOC3D	出力	周辺クロック (P) 1 サイクル以上同時にアクティブレベル出力 (MTU2 のタイマアウトプットコントロールレジスタ (TOCR) の出力レベルセレクト P (OLSP) ビットが 0 のときはローレベル出力、1 のときはハイレベル出力) が続いた場合、MTU2 用の大電流端子をハイインピーダンス状態にします。ピンファンクションコントローラの設定で、MTU2 の出力機能または汎用出力機能に設定しているとき、上記アクティブレベル比較を行います。それ以外の機能に設定しているときは、比較を行いません。 どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE のレジスタにて設定できます。
PE12/TIOC4A と PE14/TIOC4C	出力	
PE13/TIOC4B と PE15/TIOC4D	出力	
PE16/TIOC3BS と PE17/TIOC3DS	出力	周辺クロック (P) 1 サイクル以上同時にアクティブレベル出力 (MTU2S のタイマアウトプットコントロールレジスタ (TOCR) の出力レベルセレクト P (OLSP) ビットが 0 のときはローレベル出力、1 のときはハイレベル出力) が続いた場合、MTU2S 用の大電流端子をハイインピーダンス状態にします。ピンファンクションコントローラの設定で、MTU2S の出力機能または汎用出力機能に設定しているとき、上記アクティブレベル比較を行います。それ以外の機能に設定しているときは、比較を行いません。 どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE のレジスタにて設定できます。
PE18/TIOC4AS と PE20/TIOC4CS	出力	
PE19/TIOC4BS と PE21/TIOC4DS	出力	

12.3 レジスタの説明

POE には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 12.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
入力レベルコントロール/ステータスレジスタ 1	ICSR1	R/W	H'0000	H'FFFFD000	8、16、32
出力レベルコントロール/ステータスレジスタ 1	OCSR1	R/W	H'0000	H'FFFFD002	8、16
入力レベルコントロール/ステータスレジスタ 2	ICSR2	R/W	H'0000	H'FFFFD004	8、16、32
出力レベルコントロール/ステータスレジスタ 2	OCSR2	R/W	H'0000	H'FFFFD006	8、16
入力レベルコントロール/ステータスレジスタ 3	ICSR3	R/W	H'0000	H'FFFFD008	8、16
ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	R/W	H'00	H'FFFFD00A	8
ポートアウトプットイネーブルコントロールレジスタ 1	POECR1	R/W	H'00	H'FFFFD00B	8
ポートアウトプットイネーブルコントロールレジスタ 2	POECR2	R/W	H'7700	H'FFFFD00C	8、16

12.3.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

ICSR1 は、読み出し/書き込み可能な 16 ビットのレジスタで、 $\overline{POE0} \sim \overline{POE3}$ 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POE3F	POE2F	POE1F	POE0F	-	-	-	PIE1	POE3M[1:0]	POE2M[1:0]	POE1M[1:0]	POE0M[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R	R	R/W	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	POE3F	0	R/(W)*1	<p>POE3 フラグビット</p> <p>$\overline{POE3}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> POE3F=1 の状態を読み出した後、POE3F に 0 を書き込んだとき (ICSR1 のビット 7、6 で立ち下がりエッジに設定している場合) POE3 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE3F=1 の状態を読み出した後、POE3F に 0 を書き込んだとき (ICSR1 のビット 7、6 でローレベルサンプリングに設定している場合) <p>[セット条件]</p> <ul style="list-style-type: none"> $\overline{POE3}$ 端子に、ICSR1 のビット 7、6 で設定した入力が発生したとき

ビット	ビット名	初期値	R/W	説明
14	POE2F	0	R/(W)* ¹	<p>POE2 フラグビット</p> <p>$\overline{\text{POE2}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> POE2F=1 の状態を読み出した後、POE2F に 0 を書き込んだとき (ICSR1 のビット 5、4 で立ち下がりエッジに設定している場合) POE2 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE2F=1 の状態を読み出した後、POE2F に 0 を書き込んだとき (ICSR1 のビット 5、4 でローレベルサンプリングに設定している場合) <p>[セット条件]</p> <ul style="list-style-type: none"> $\overline{\text{POE2}}$ 端子に、ICSR1 のビット 5、4 で設定した入力が発生したとき
13	POE1F	0	R/(W)* ¹	<p>POE1 フラグビット</p> <p>$\overline{\text{POE1}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> POE1F=1 の状態を読み出した後、POE1F に 0 を書き込んだとき (ICSR1 のビット 3、2 で立ち下がりエッジに設定している場合) POE1 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE1F=1 の状態を読み出した後、POE1F に 0 を書き込んだとき (ICSR1 のビット 3、2 でローレベルサンプリングに設定している場合) <p>[セット条件]</p> <ul style="list-style-type: none"> $\overline{\text{POE1}}$ 端子に、ICSR1 のビット 3、2 で設定した入力が発生したとき
12	POE0F	0	R/(W)* ¹	<p>POE0 フラグビット</p> <p>$\overline{\text{POE0}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> POE0F=1 の状態を読み出した後、POE0F に 0 を書き込んだとき (ICSR1 のビット 1、0 で立ち下がりエッジに設定している場合) POE0 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE0F=1 の状態を読み出した後、POE0F に 0 を書き込んだとき (ICSR1 のビット 1、0 でローレベルサンプリングに設定している場合) <p>[セット条件]</p> <ul style="list-style-type: none"> $\overline{\text{POE0}}$ 端子に、ICSR1 のビット 1、0 で設定した入力が発生したとき
11~9	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	PIE1	0	R/W	<p>ポートインタラプトイネーブルビット 1</p> <p>ICSR1 の POE0F ~ POE3F ビットに、1 ビットでも 1 がセットされたとき、割り込み要求をするかどうかを指定します。</p> <p>0 : 割り込み要求を禁止</p> <p>1 : 割り込み要求を許可</p>

ビット	ビット名	初期値	R/W	説明
7、6	POE3M[1:0]	00	R/W* ²	<p>POE3 モードビット 1、0</p> <p>POE3 端子の入力モードを選択します。</p> <p>00 : POE3 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE3 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE3 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE3 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
5、4	POE2M[1:0]	00	R/W* ²	<p>POE2 モードビット 1、0</p> <p>POE2 端子の入力モードを選択します。</p> <p>00 : POE2 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE2 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE2 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE2 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
3、2	POE1M[1:0]	00	R/W* ²	<p>POE1 モードビット 1、0</p> <p>POE1 端子の入力モードを選択します。</p> <p>00 : POE1 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE1 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE1 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE1 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
1、0	POE0M[1:0]	00	R/W* ²	<p>POE0 モードビット 1、0</p> <p>POE0 端子の入力モードを選択します。</p> <p>00 : POE0 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE0 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE0 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE0 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です

*2 パワーオンリセット後、1 回のみ書き込み可能です。

12.3.2 出力レベルコントロール / ステータスレジスタ 1 (OCSR1)

OCSR1 は、読み出し / 書き込み可能な 16 ビットのレジスタで、出力レベルの比較許可 / 禁止、割り込みの許可 / 禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSF1	-	-	-	-	-	OCE1	OIE1	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R	R	R	R	R	R/W*2	R/W	R	R	R	R	R	R	R	R

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	OSF1	0	R/(W)*1	出力短絡フラグビット 1 MTU2 用の比較する 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったことを示すフラグです。 [クリア条件] • OSF1=1 の状態を読み出した後、OSF1 に 0 を書き込んだとき [セット条件] • 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったとき
14~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	OCE1	0	R/W*2	出力短絡ハイインピーダンスイネーブルビット 1 OCSR1 の OSF1 ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0: 端子をハイインピーダンスにしません。 1: 端子をハイインピーダンスにします。
8	OIE1	0	R/W	出力短絡割り込みイネーブルビット 1 OCSR1 の OSF1 ビットがセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.3.3 入力レベルコントロール / ステータスレジスタ 2 (ICSR2)

ICSR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、 $\overline{POE4} \sim \overline{POE7}$ 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POE7F	POE6F	POE5F	POE4F	-	-	-	PIE2	POE7M[1:0]	POE6M[1:0]	POE5M[1:0]	POE4M[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R	R	R/W	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	POE7F	0	R/(W)*1	<p>POE7 フラグビット</p> <p>$\overline{POE7}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> POE7F=1 の状態を読み出した後、POE7F に 0 を書き込んだとき (ICSR2 のビット 7、6 で立ち下がりエッジに設定している場合) POE7 入力の高レベルを P /8、16、128 クロックでサンプリングした後で、POE7F=1 の状態を読み出した後、POE7F に 0 を書き込んだとき (ICSR2 のビット 7、6 でローレベルサンプリングに設定している場合) <p>[セット条件]</p> <ul style="list-style-type: none"> $\overline{POE7}$ 端子に、ICSR2 のビット 7、6 で設定した入力が発生したとき
14	POE6F	0	R/(W)*1	<p>POE6 フラグビット</p> <p>$\overline{POE6}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> POE6F=1 の状態を読み出した後、POE6F に 0 を書き込んだとき (ICSR2 のビット 5、4 で立ち下がりエッジに設定している場合) POE6 入力の高レベルを P /8、16、128 クロックでサンプリングした後で、POE6F=1 の状態を読み出した後、POE6F に 0 を書き込んだとき (ICSR2 のビット 5、4 でローレベルサンプリングに設定している場合) <p>[セット条件]</p> <ul style="list-style-type: none"> $\overline{POE6}$ 端子に、ICSR2 のビット 5、4 で設定した入力が発生したとき

ビット	ビット名	初期値	R/W	説明
13	POE5F	0	R/(W)* ¹	<p>POE5 フラグビット</p> <p>POE5 端子にハイインピーダンス要求が入力されたことを示すフラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> POE5F=1 の状態を読み出した後、POE5F に 0 を書き込んだとき (ICSR2 のビット 3、2 で立ち下がりエッジに設定している場合) POE5 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE5F=1 の状態を読み出した後、POE5F に 0 を書き込んだとき (ICSR2 のビット 3、2 でローレベルサンプリングに設定している場合) <p>[セット条件]</p> <ul style="list-style-type: none"> POE5 端子に、ICSR2 のビット 3、2 で設定した入力が発生したとき
12	POE4F	0	R/(W)* ¹	<p>POE4 フラグビット</p> <p>POE4 端子にハイインピーダンス要求が入力されたことを示すフラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> POE4F=1 の状態を読み出した後、POE4F に 0 を書き込んだとき (ICSR2 のビット 1、0 で立ち下がりエッジに設定している場合) POE4 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE4F=1 の状態を読み出した後、POE4F に 0 を書き込んだとき (ICSR2 のビット 1、0 でローレベルサンプリングに設定している場合) <p>[セット条件]</p> <ul style="list-style-type: none"> POE4 端子に、ICSR2 のビット 1、0 で設定した入力が発生したとき
11~9	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	PIE2	0	R/W	<p>ポートインタラプトイネーブルビット 2</p> <p>ICSR2 の POE4F ~ POE7F ビットに、1 ビットでも 1 がセットされたとき、割り込み要求をするかどうかを指定します。</p> <p>0 : 割り込み要求を禁止</p> <p>1 : 割り込み要求を許可</p>
7、6	POE7M[1:0]	00	R/W* ²	<p>POE7 モードビット 1、0</p> <p>POE7 端子の入力モードを選択します。</p> <p>00 : POE7 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE7 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE7 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE7 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

ビット	ビット名	初期値	R/W	説明
5、4	POE6M[1:0]	00	R/W*2	<p>POE6 モードビット 1、0</p> <p>POE6 端子の入力モードを選択します。</p> <p>00 : POE6 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE6 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE6 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE6 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
3、2	POE5M[1:0]	00	R/W*2	<p>POE5 モードビット 1、0</p> <p>POE5 端子の入力モードを選択します。</p> <p>00 : POE5 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE5 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE5 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE5 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
1、0	POE4M[1:0]	00	R/W*2	<p>POE4 モードビット 1、0</p> <p>POE4 端子の入力モードを選択します。</p> <p>00 : POE4 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE4 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE4 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE4 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 パワーオンリセット後、1 回のみ書き込み可能です。

12.3.4 出力レベルコントロール / ステータスレジスタ 2 (OCSR2)

OCSR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、出力レベルの比較許可 / 禁止、割り込みの許可 / 禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSF2	-	-	-	-	-	OCE2	OIE2	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R	R	R	R	R	R/W*2	R/W	R	R	R	R	R	R	R	R

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	OSF2	0	R/(W)*1	出力短絡フラグビット 2 MTU2S 用の比較する 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったことを示すフラグです。 [クリア条件] • OSF2=1 の状態を読み出した後、OSF2 に 0 を書き込んだとき [セット条件] • 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったとき
14~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	OCE2	0	R/W*2	出力短絡ハイインピーダンスイネーブルビット 2 OCSR2 の OSF2 ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0: 端子をハイインピーダンスにしません。 1: 端子をハイインピーダンスにします。
8	OIE2	0	R/W	出力短絡割り込みイネーブルビット 2 OCSR2 の OSF2 ビットがセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.3.5 入力レベルコントロール / ステータスレジスタ 3 (ICSR3)

ICSR3 は、読み出し / 書き込み可能な 16 ビットのレジスタで、 $\overline{POE8}$ 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	POE8F	-	-	POE8E	PIE3	-	-	-	-	-	-	-	POE8M[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R(W)*1	R	R	R/W*2	R/W	R	R	R	R	R	R	R/W*2	R/W*2

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15-13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	POE8F	0	R(W)*1	POE8 フラグビット $\overline{POE8}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] <ul style="list-style-type: none"> POE8F=1 の状態を読み出した後、POE8F に 0 を書き込んだとき (ICSR3 のビット 1、0 で立ち下がりエッジに設定している場合) POE8 入力の高レベルを P /8、16、128 クロックでサンプリングした後、POE8F=1 の状態を読み出した後、POE8F に 0 を書き込んだとき (ICSR3 のビット 1、0 でローレベルサンプリングに設定している場合) [セット条件] <ul style="list-style-type: none"> $\overline{POE8}$ 端子に、ICSR3 のビット 1、0 で設定した入力が発生したとき
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	POE8E	0	R/W*2	POE8 ハイインピーダンスイネーブルセット ICSR3 の POE8F ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0: 端子をハイインピーダンスにしません。 1: 端子をハイインピーダンスにします。
8	PIE3	0	R/W	ポートインタラプトイネーブルビット 3 ICSR3 の POE8 ビットに 1 がセットされたとき、割り込み要求をするかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7-2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
1, 0	POE8M[1:0]	00	R/W*2	<p>POE8 モードビット 1、0</p> <p>POE8 端子の入力モードを選択します。</p> <p>00 : POE8 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE8 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE8 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE8 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 パワーオンリセット後、1 回のみ書き込み可能です。

12.3.6 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

SPOER は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	MTU2S HIZ	MTU2 CH0HIZ	MTU2 CH34HIZ
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	MTU2SHIZ	0	R/W	<p>MTU2S 出力ハイインピーダンス</p> <p>MTU2S 用の大電流端子をハイインピーダンスにする制御を行います。</p> <p>0 : ハイインピーダンス状態にしません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • MTU2SHIZ=1 の状態を読み出した後、MTU2SHIZ に 0 を書き込んだとき <p>1 : ハイインピーダンス状態にします。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • MTU2SHIZ に 1 を書き込んだとき

ビット	ビット名	初期値	R/W	説明
1	MTU2CH0HIZ	0	R/W	<p>MTU2CH0 出力ハイインピーダンス</p> <p>MTU2 の CH0 用の端子をハイインピーダンスにする制御を行います。</p> <p>0 : ハイインピーダンス状態にしません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • MTU2CH0HIZ=1 の状態を読み出した後、MTU2CH0HIZ に 0 を書き込んだとき <p>1 : ハイインピーダンス状態にします。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • MTU2CH0HIZ に 1 を書き込んだとき
0	MTU2CH34HIZ	0	R/W	<p>MTU2CH3、4 出力ハイインピーダンス</p> <p>MTU2 用の大電流端子をハイインピーダンスにする制御を行います。</p> <p>0 : ハイインピーダンス状態にしません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • MTU2CH34HIZ=1 の状態を読み出した後、MTU2CH34HIZ に 0 を書き込んだとき <p>1 : ハイインピーダンス状態にします。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • MTU2CH34HIZ に 1 を書き込んだとき

12.3.7 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

POECR1 は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MTU2 PE3ZE	MTU2 PE2ZE	MTU2 PE1ZE	MTU2 PE0ZE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W*	R/W*	R/W*	R/W*

【注】 * パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
3	MTU2PE3ZE	0	R/W*	<p>MTU2 PE3 ハイインピーダンスイネーブル</p> <p>POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PE3/TIOC0D をハイインピーダンス状態にするかどうかを設定します。</p> <p>0 : ハイインピーダンスにしません。</p> <p>1 : ハイインピーダンスにします。</p>

ビット	ビット名	初期値	R/W	説明
2	MTU2PE2ZE	0	R/W*	MTU2 PE2 ハイインピーダンスイネーブル POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PE2/TIOC0C をハイインピーダンス状態にするかどうかを設定します。 0 : ハイインピーダンスにしません。 1 : ハイインピーダンスにします。
1	MTU2PE1ZE	0	R/W*	MTU2 PE1 ハイインピーダンスイネーブル POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PE1/TIOC0B をハイインピーダンス状態にするかどうかを設定します。 0 : ハイインピーダンスにしません。 1 : ハイインピーダンスにします。
0	MTU2PE0ZE	0	R/W*	MTU2 PE0 ハイインピーダンスイネーブル POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PE0/TIOC0A をハイインピーダンス状態にするかどうかを設定します。 0 : ハイインピーダンスにしません。 1 : ハイインピーダンスにします。

【注】 * パワーオンリセット後、1 回のみ書き込み可能です。

12.3.8 ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)

POECR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	MTU2 P1CZE	MTU2 P2CZE	MTU2 P3CZE	-	MTU2S P1CZE	MTU2S P2CZE	MTU2S P3CZE	-	-	-	-	-	-	-	-
初期値 :	0	1	1	1	0	1	1	1	0	0	0	0	0	0	0	0
R/W :	R	R/W*	R/W*	R/W*	R	R/W*	R/W*	R/W*	R	R	R	R	R	R	R	R

【注】 * パワーオンリセット後、1 回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	MTU2P1CZE	1	R/W*	MTU2 ポート 1 出力比較 / ハイインピーダンスイネーブル MTU2 用の大電流端子の PE9/TIOC3B と PE11/TIOC3D について、出力レベル比較を行うかどうか、また、OCE1 ビットが 1 のときに OSF1 ビットがセットされたとき、または POE0F、POE1F、POE2F、POE3F、MTU2CH34HIZ ビットのうちどれか 1 つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0 : 出力レベル比較を行わず、ハイインピーダンスにしません。 1 : 出力レベル比較を行い、ハイインピーダンスにします。

ビット	ビット名	初期値	R/W	説 明
13	MTU2P2CZE	1	R/W*	<p>MTU2 ポート 2 出力比較 / ハイインピーダンスイネーブル</p> <p>MTU2 用の大電流端子の PE12/TIOC4A と PE14/TIOC4C について、出力レベル比較を行うかどうか、また、OCE1 ビットが 1 のときに OSF1 ビットがセットされたとき、または POE0F、POE1F、POE2F、POE3F、MTU2CH34HIZ ビットのうちどれか 1 つでもセットされたときにハイインピーダンス状態にするかどうか設定します。</p> <p>0 : 出力レベル比較を行わず、ハイインピーダンスにしません。 1 : 出力レベル比較を行い、ハイインピーダンスにします。</p>
12	MTU2P3CZE	1	R/W*	<p>MTU2 ポート 3 出力比較 / ハイインピーダンスイネーブル</p> <p>MTU2 用の大電流端子の PE13/TIOC4B と PE15/TIOC4D について、出力レベル比較を行うかどうか、また、OCE1 ビットが 1 のときに OSF1 ビットがセットされたとき、または POE0F、POE1F、POE2F、POE3F、MTU2CH34HIZ ビットのうちどれか 1 つでもセットされたときにハイインピーダンス状態にするかどうか設定します。</p> <p>0 : 出力レベル比較を行わず、ハイインピーダンスにしません。 1 : 出力レベル比較を行い、ハイインピーダンスにします。</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10	MTU2SP1CZE	1	R/W*	<p>MTU2S ポート 1 出力比較 / ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PE16/TIOC3BS と PE17/TIOC3DS について、出力レベル比較を行うかどうか、また、OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または POE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか 1 つでもセットされたときにハイインピーダンス状態にするかどうか設定します。</p> <p>0 : 出力レベル比較を行わず、ハイインピーダンスにしません。 1 : 出力レベル比較を行い、ハイインピーダンスにします。</p>
9	MTU2SP2CZE	1	R/W*	<p>MTU2S ポート 2 出力比較 / ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PE18/TIOC4AS と PE20/TIOC4CS について、出力レベル比較を行うかどうか、また、OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または POE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか 1 つでもセットされたときにハイインピーダンス状態にするかどうか設定します。</p> <p>0 : 出力レベル比較を行わず、ハイインピーダンスにしません。 1 : 出力レベル比較を行い、ハイインピーダンスにします。</p>

ビット	ビット名	初期値	R/W	説 明
8	MTU2SP3CZE	1	R/W*	<p>MTU2S ポート 3 出力比較 / ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PE19/TIOC4BS と PE21/TIOC4DS について、出力レベル比較を行うかどうか、また、OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または POE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか 1 つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0 : 出力レベル比較を行わず、ハイインピーダンスにしません。</p> <p>1 : 出力レベル比較を行い、ハイインピーダンスにします。</p>
7-0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 * パワーオンリセット後、1 回のみ書き込み可能です。

12.4 動作説明

表 12.4 に、ハイインピーダンス制御の対象となる端子と、ハイインピーダンスになる条件を示します。

表 12.4 ハイインピーダンス制御の対象と条件

端 子	条 件	条件詳細
MTU2 用の大電流端子 (PE9/TIOC3B、PE11/TIOC3D)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2P1CZE・ ((POE3F+POE2F+POE1F+POE0F)+ (OSF1・OCE1)+(MTU2CH34HIZ))
MTU2 用の大電流端子 (PE12/TIOC4A、PE14/TIOC4C)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2P2CZE・ ((POE3F+POE2F+POE1F+POE0F)+ (OSF1・OCE1)+(MTU2CH34HIZ))
MTU2 用の大電流端子 (PE13/TIOC4B、PE15/TIOC4D)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2P3CZE・ ((POE3F+POE2F+POE1F+POE0F)+ (OSF1・OCE1)+(MTU2CH34HIZ))
MTU2S 用の大電流端子 (PE16/TIOC3BS、PE17/TIOC3DS)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2SP1CZE・ ((POE4F+POE5F+POE6F+POE7F)+ (OSF2・OCE2)+(MTU2SHIZ))
MTU2S 用の大電流端子 (PE18/TIOC4AS、PE20/TIOC4CS)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2SP2CZE・ ((POE4F+POE5F+POE6F+POE7F)+ (OSF2・OCE2)+(MTU2SHIZ))
MTU2S 用の大電流端子 (PE19/TIOC4BS、PE21/TIOC4DS)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2SP3CZE・ ((POE4F+POE5F+POE6F+POE7F)+ (OSF2・OCE2)+(MTU2SHIZ))
MTU2 用の CH0 端子 (PE0/TIOC0A)	入力レベル検出動作または SPOER レジスタ設定	MTU2PE0ZE ((POE8F・POE8E)+(MTU2CH0HIZ))
MTU2 用の CH0 端子 (PE1/TIOC0B)	入力レベル検出動作または SPOER レジスタ設定	MTU2PE1ZE ((POE8F・POE8E)+(MTU2CH0HIZ))
MTU2 用の CH0 端子 (PE2/TIOC0C)	入力レベル検出動作または SPOER レジスタ設定	MTU2PE2ZE ((POE8F・POE8E)+(MTU2CH0HIZ))
MTU2 用の CH0 端子 (PE3/TIOC0D)	入力レベル検出動作または SPOER レジスタ設定	MTU2PE3ZE ((POE8F・POE8E)+(MTU2CH0HIZ))

12.4.1 入力レベル検出動作

ICSR1 ~ ICSR3 で設定した入力条件が、 $\overline{\text{POE0}} \sim \overline{\text{POE8}}$ 端子に発生した場合、大電流端子および MTU2 の CH0 用端子を高インピーダンス状態にします。ただし大電流端子および MTU2 の CH0 用端子が汎用入出力機能または MTU2、MTU2S 機能が選択されている場合にのみ高インピーダンスになります。

(1) 立ち下がりエッジ検出

$\overline{\text{POE0}} \sim \overline{\text{POE8}}$ 端子にハイレベルからローレベルの変化が入力されたとき、大電流端子および MTU2 の CH0 用端子を高インピーダンス状態にします。

$\overline{\text{POE0}} \sim \overline{\text{POE8}}$ 端子入力から端子の高インピーダンスまでのタイミング例を図 12.2 に示します。

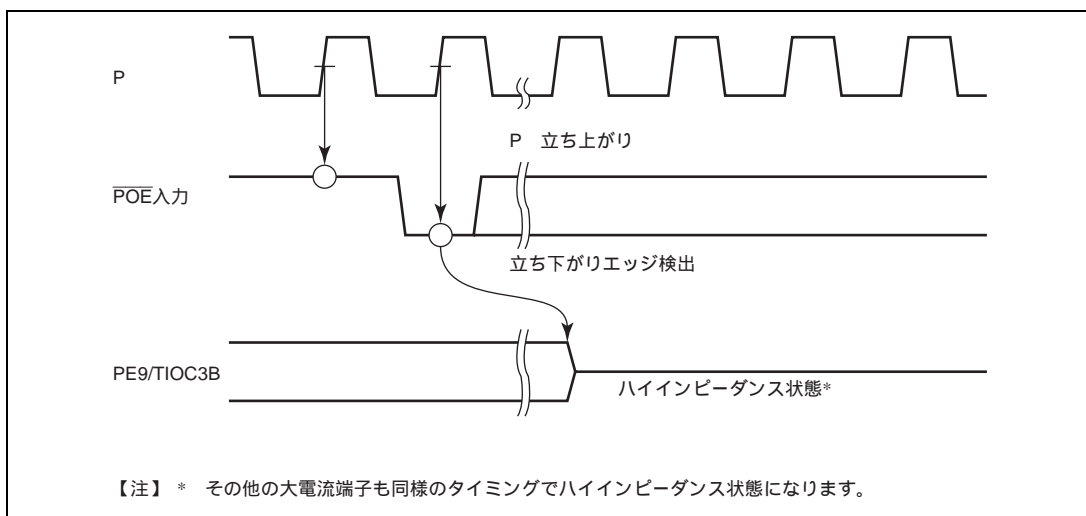


図 12.2 立ち下がりエッジ検出動作

(2) ローレベル検出

図 12.3 にローレベル検出動作を示します。ICSR1 ~ ICSR3 で設定したサンプリングクロックで、16 回連続したローレベルをサンプリングします。このとき、一度でもハイレベルを検出した場合は、受け付けられません。

また、サンプリングクロックから大電流端子がハイインピーダンス状態になるタイミングは立ち下がりエッジ検出、ローレベル検出とも同じです。

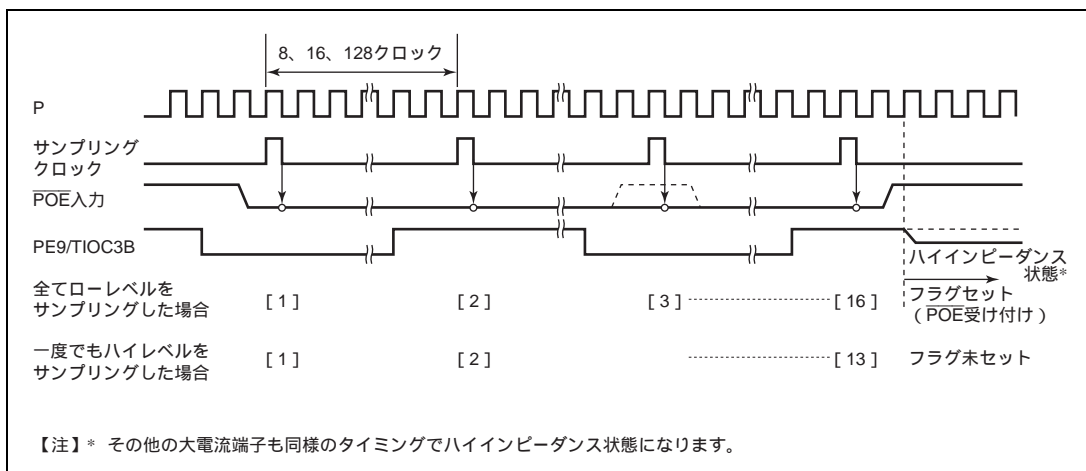


図 12.3 ローレベル検出動作

12.4.2 出力レベル比較動作

TIOC3B と TIOC3D の組み合わせを例に、出力レベル比較動作を図 12.4 に示します。他の端子の組み合わせについても同様です。

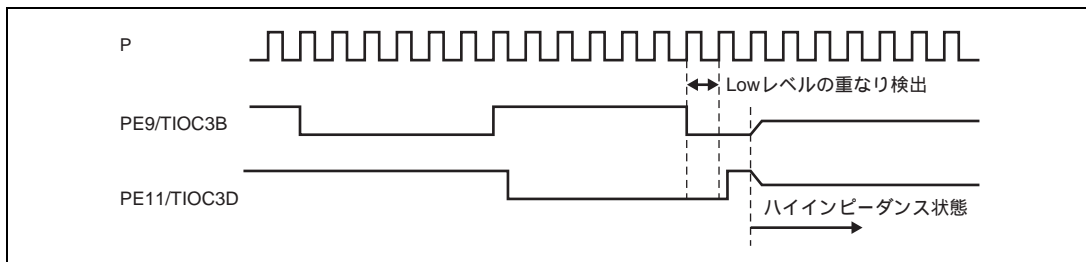


図 12.4 出力レベル比較動作

12.4.3 ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻るか、ICSR1 ~ ICSR3 のビット 12 ~ 15 (POE0F ~ POE8F) のフラグをクリアすることにより解除されます。ただし、ICSR1 ~ ICSR3 のビット 0 ~ 7 でローレベルサンプリングに設定している場合には、POE 端子からハイレベルを入力してハイレベルをサンプリングした後でないと、フラグに対して 0 書き込みを行っても無効となりフラグはクリアされません。

出力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻るか、OCSR1、OCSR2 のビット 15 (OCF1、2) のフラグをクリアすることにより解除されます。ただし、大電流端子から、非アクティブレベルを出力するようにした後でないと、フラグに対して 0 書き込みを行っても無効となりフラグはクリアされません。非アクティブレベル出力は MTU2、MTU2S 内のレジスタを設定することで行えます。

12.5 割り込み

POE は入力レベル検出動作または出力レベル比較動作において条件が一致したときに、割り込み要求を出して割り込みを発生することができます。表 12.5 に、割り込みの種類と、割り込み要求を出す条件を示します。

表 12.5 割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条 件
OEI1	アウトブットイネーブル 割り込み 1	POE3F、POE2F、POE1F、POE0F、 OSF1	PIE1・(POE3F+POE2F+POE1F+POE0F)+ OIE1・OSF1
OEI3	アウトブットイネーブル 割り込み 3	POE8F	PIE3・POE8F
OEI2	アウトブットイネーブル 割り込み 2	POE4F、POE5F、POE6F、POE7F、 OSF2	PIE2・(POE4F+POE5F+POE6F+POE7F)+ OIE2・OSF2

12.6 使用上の注意事項

12.6.1 ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態

ウォッチドッグタイマ (WDT) からパワーオンリセットが発行されると、I/O ポートはピンファンクションコントローラ (PFC) が初期化され初期値である汎用入力になりますが、ポートアウトプットイネーブル (POE) による端子のハイインピーダンス処理中に WDT からパワーオンリセットが発行されると、汎用入力に切り替わるまでの周辺クロック (P) 1 サイクル期間、端子状態は出力となります。

MTU2、MTU2S の短絡検出によるハイインピーダンス処理中に WDT からパワーオンリセットが発行された場合も、同じ状態となります。

図 12.5 にタイマ出力選択時の POE 入力によるハイインピーダンス処理中に WDT からパワーオンリセットが発行されたときの状態を示します。

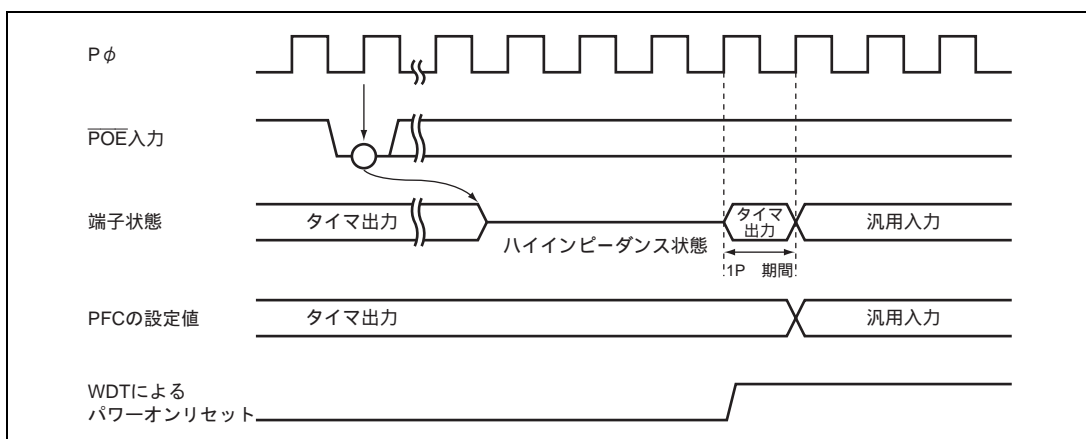


図 12.5 ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態

13. ウォッチドッグタイマ (WDT)

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などにより、カウンタの値が書き換えられずにオーバーフローすると本 LSI 内部をリセットすることができます。

WDT は 1 チャネルのタイマであり、周辺クロックを入力とし、ソフトウェアスタンバイモードの解除の際に、クロック安定時間のカウンタ用としても使用します。また、インターバルタイマとしても使用可能です。

13.1 特長

- クロック安定時間の確保に使用可能
ソフトウェアスタンバイモードの解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、内部リセットを発生
カウンタオーバーフローにより、内部をリセットします。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウント入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($\times 1 \sim \times 1/4096$) から選択できます。
- リセットの種類として、パワーオンリセットとマニュアルリセットから選択できます。

図 13.1 に WDT のブロック図を示します。

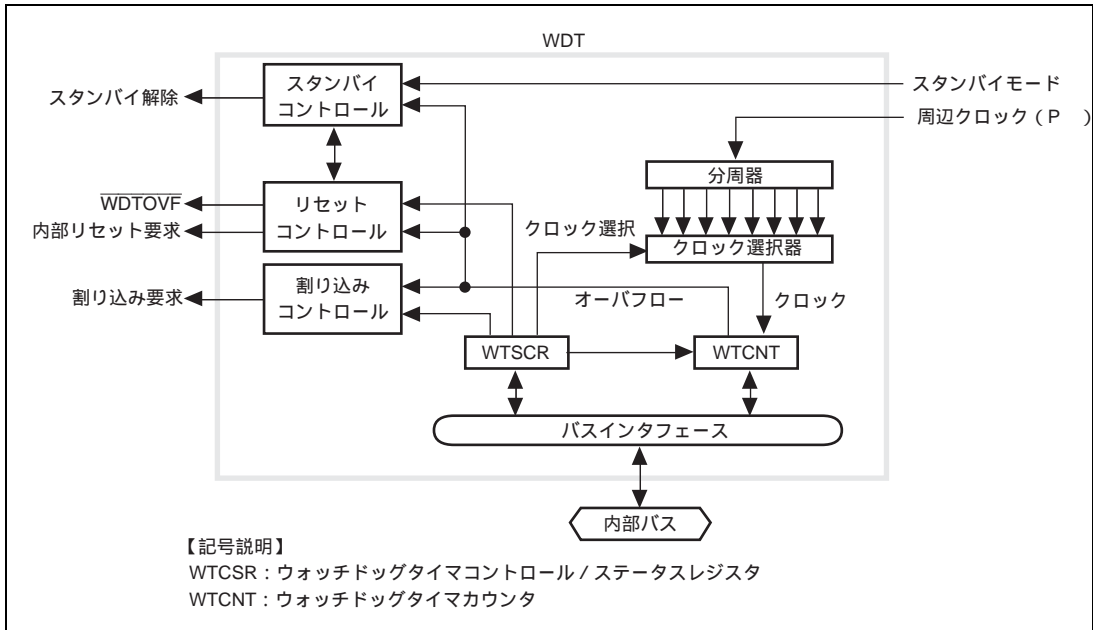


図 13.1 WDT のブロック図

13.2 入出力端子

WDT の端子機能を表 13.1 に示します。

表 13.1 WDT の端子構成

名称	端子名	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のオーバーフロー発生により、内部リセットが発生し、WTCSR の CKS2 ~ CKS0 で設定した 1 クロックサイクル期間、本端子よりローが出力されます。

13.3 レジスタの説明

WDT には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 13.2 レジスタ構成

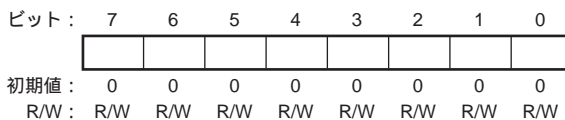
レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'00	H'FFFFE810	8、16
ウォッチドッグタイマコントロール /ステータスレジスタ	WTCSR	R/W	H'00	H'FFFFE812	8、16

13.3.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し / 書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときリセットが発生し、インターバルタイマモードのとき割り込みが発生します。WTCNT カウンタは WDT オーバフローによる内部リセットでは初期化されません。RES 端子によるパワーオンリセット時のみ、H'00 に初期化されます。

WTCNT カウンタへの書き込みは上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは「13.3.3 レジスタアクセス時の注意」を参照してください。



13.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバーフローフラグおよびイネーブルビットから成ります。

WTCSR レジスタは WDT オーバフローによる内部リセット時には値は保持されます。 \overline{RES} 端子によるパワーオンリセット時のみ、H'00 に初期化されます。ソフトウェアスタンバイ解除時のクロック安定時間のカウントに使用するときには、カウンタオーバーフロー後、値は保持されます。

WTCSR レジスタへの書き込みは上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは「13.3.3 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	TME	WT/IT	RSTS	WOVF	IOVF	CKS[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードの解除時に WDT を使用する場合には、このビットを 0 にしてください。 0: タイマディスエーブル。カウントアップを停止、WTCNT の値は保持 1: タイマイネーブル
6	WT/IT	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0: インターバルタイマモード 1: ウォッチドッグタイマモード 【注】 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われないことがあります。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。 0: パワーオンリセット 1: マニュアルリセット
4	WOVF	0	R/W	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードではセットされません。 0: オーバフローなし 1: ウォッチドッグタイマモードで WTCNT がオーバーフローした

ビット	ビット名	初期値	R/W	説明
3	IOVF	0	R/W	<p>インターバルタイムオーバーフロー</p> <p>インターバルタイムモードで WTCNT がオーバーフローしたことを示します。ウォッチドッグタイムモードではセットされません。</p> <p>0 : オーバーフローなし</p> <p>1 : インターバルタイムモードで WTCNT がオーバーフローした</p>
2~0	CKS[2:0]	000	R/W	<p>クロックセレクト 2~0</p> <p>周辺クロック (P) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。括弧内に示すオーバーフロー周期は、周辺クロック P = 40MHz の場合の値です。</p> <p>000 : P (6.4 μs)</p> <p>001 : P /4 (25.6 μs)</p> <p>010 : P /16 (102.4 μs)</p> <p>011 : P /32 (204.8 μs)</p> <p>100 : P /64 (409.6 μs)</p> <p>101 : P /256 (1.64 ms)</p> <p>110 : P /1024 (6.55 ms)</p> <p>111 : P /4096 (26.21 ms)</p> <p>【注】 WDT の動作中に CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換える場合は必ず WDT を停止させてください。</p>

13.3.3 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で書き込みを行ってください。

- WTCNT、WTCSRへ書き込む時は、必ずワード転送命令を使用してください。バイト転送、ロングワード転送では、書き込みません。

図 13.2 に示すように、WTCNTへ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSRへ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

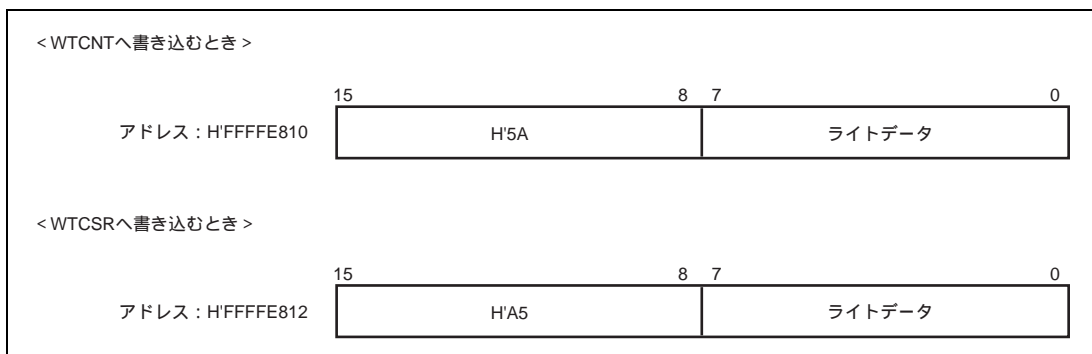


図 13.2 WTCNT、WTCSR への書き込み

13.4 動作説明

13.4.1 ソフトウェアスタンバイ解除の手順

WDT はソフトウェアスタンバイモードを NMI 割り込みまたは外部割り込み (IRQ) で解除する場合に使用します。この手順を以下に示します。(リセットで解除する場合 WDT は動作しないため、クロックが安定するまで $\overline{\text{RES}}$ 端子をローレベルに保ってください。)

1. ソフトウェアスタンバイモードへ遷移前に、必ず WTCSR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR レジスタの CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. SLEEP 命令実行によりソフトウェアスタンバイモードに遷移し、クロックは停止します。
4. NMI 端子や IRQ 端子への入力レベルに変化があると、エッジ検出により WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始し、本 LSI が動作を再開します。このとき、WTCSR レジスタの WOVF フラグはセットされません。

13.4.2 ウォッチドッグタイマモードの使用法

ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローするたびに WTCSR レジスタの RSTS ビットで選択された種類の内部リセットが発生し、 $\overline{\text{WDTOVF}}$ 端子がアサートされます。

1. WTCSR レジスタの WT/IT ビットに 1 を設定し、RSTS ビットにリセットのタイプ、CKS2 ~ CKS0 にカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定します。
2. WTCSR レジスタの TME ビットに 1 をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタを書き換えてください。
4. カウンタがオーバーフローすると、WDT は WTCSR レジスタの WOVF フラグを 1 にセットし、CKS2 ~ CKS0 ビットで設定されたカウントクロックの 1 サイクル期間、 $\overline{\text{WDTOVF}}$ 端子がアサートされます。また、RSTS ビットで指定されたタイプのリセットが発生します。その後カウンタはカウントを続行します。

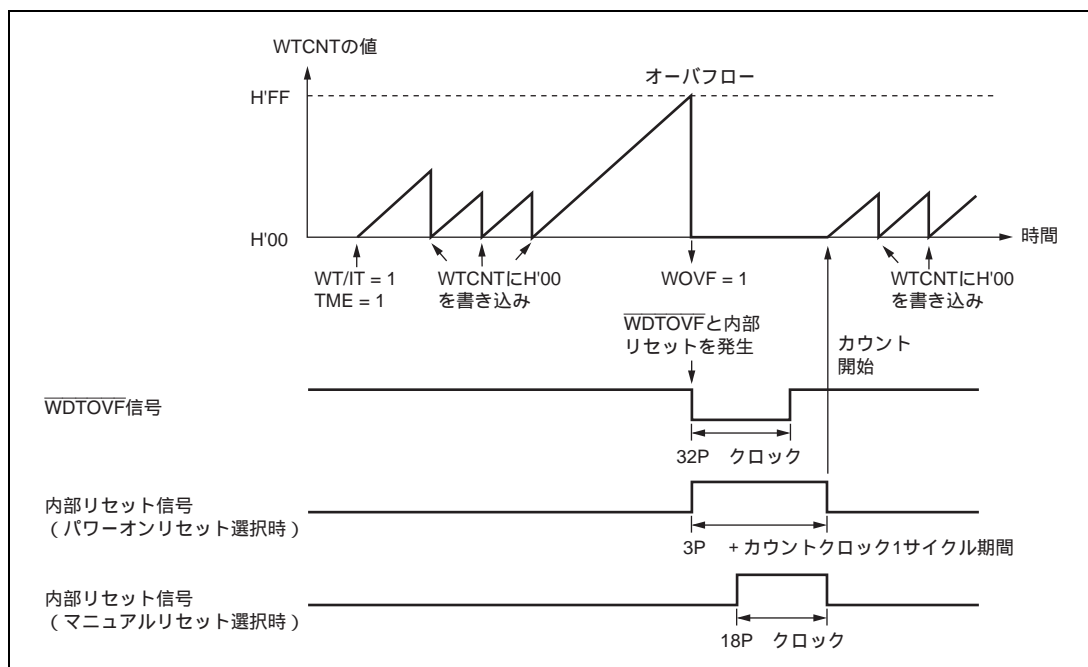


図 13.3 ウォッチドッグタイマモード時の動作
(CKS0~CKS2 で WTCNT のカウントクロックを $P/32$ に設定時)

13.4.3 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRレジスタのWT/ITビットに0をセットし、CKS2~CKS0ビットにカウントクロックの種類、WTCNTカウンタにカウンタの初期値を設定します。
2. WTCSRレジスタのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRレジスタのIOVFフラグに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

13.5 割り込み要因

WDT の割り込み要因にはインターバルタイマ割り込み (ITI) があります。

表 13.3 に割り込み要因を示します。割り込み要因は、ウォッチドッグタイマコントロールステータスレジスタ (WTCNT) のインターバルタイマオーバーフローフラグビット (IOVF) に 1 がセットされているとき、インターバルタイマ割り込み (ITI) が発生します。

割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 13.3 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグビット
ITI	インターバルタイマ割り込み	—	インターバルタイマオーバーフローフラグ (IOVF)

13.6 使用上の注意事項

13.6.1 WTCNT の設定値

インターバルタイマモードで WTCNT に H'FF を設定した場合、1 カウントクロック後の H'FF H'00 ではオーバーフローが発生せず、257 カウントクロック後の H'FF H'00 でオーバーフローが発生します。

ウォッチドッグタイマモードで WTCNT に H'FF を設定した場合には、1 カウントクロック後の H'FF H'00 でオーバーフローが発生します。

14. シリアルコミュニケーションインタフェース (SCI)

本 LSI は 3 チャンネルの独立したシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

14.1 特長

- シリアル通信モードを調歩同期モード、またはクロック同期モードから選択可能
- 調歩同期モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信 LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサ間通信が可能

受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出

ブレイクの検出 : フレーミングエラー発生時に RXD 端子のレベルを直接読み出すことによりブレイクを検出できます。

- クロック同期モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能

- LSBファースト / MSBファースト選択可能 (調歩同期7ビットデータ除く)

- 4種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ要求と受信データフル要求により、データトランスファコントローラ (DTC) を起動させてデータの転送を行うことができます。

- モジュールスタンバイモードの設定可能

図 14.1 に SCI のブロック図を示します。

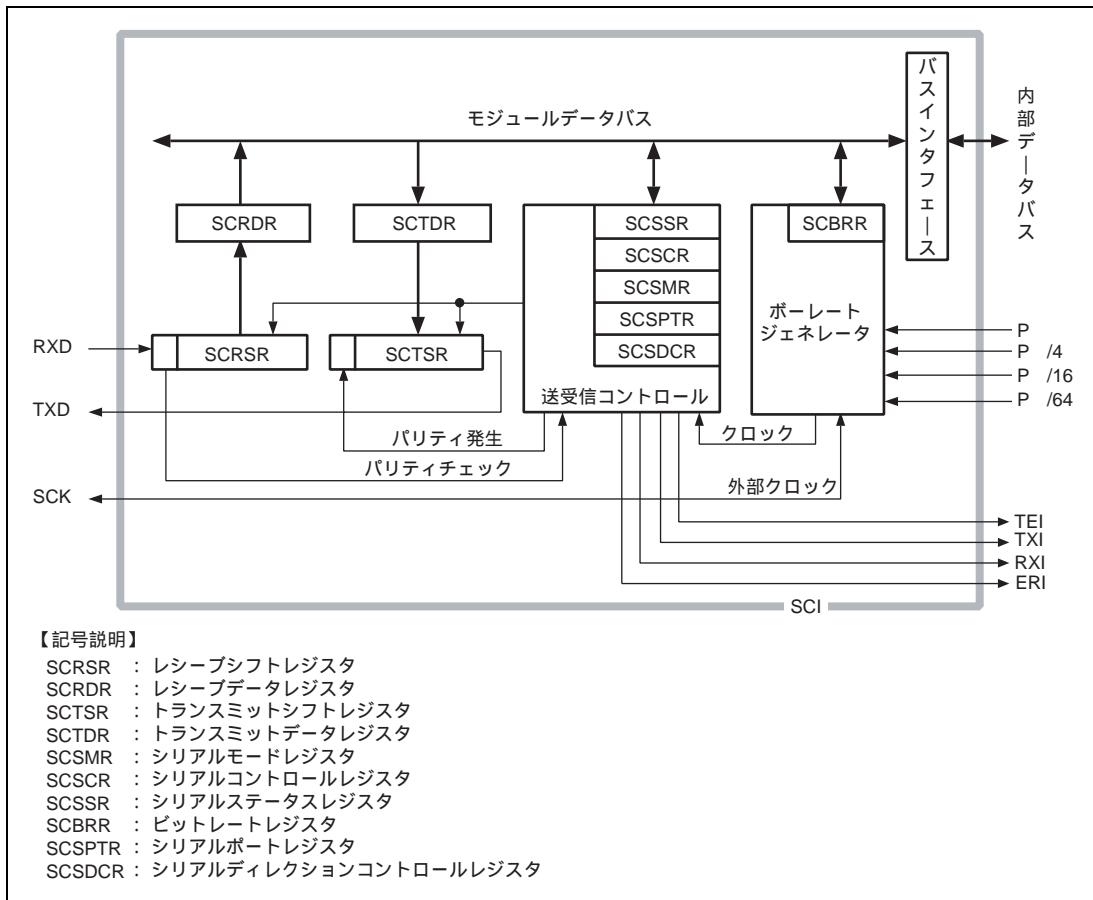


図 14.1 SCI のブロック図

14.2 入出力端子

SCIには、表 14.1 の入出力端子があります。

表 14.1 端子構成

チャンネル	端子名*	入出力	機 能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RXD0	入力	チャンネル0の受信データ入力端子
	TXD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RXD1	入力	チャンネル1の受信データ入力端子
	TXD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RXD2	入力	チャンネル2の受信データ入力端子
	TXD2	出力	チャンネル2の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RXD、TXD と略称します。

14.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第23章 レジスタ一覧」を参照してください。

表 14.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'00	H'FFFFFFC000	8
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FF	H'FFFFFFC002	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'00	H'FFFFFFC004	8
	トランスミットデータレジスタ_0	SCTDR_0	-	-	H'FFFFFFC006	8
	シリアルステータスレジスタ_0	SCSSR_0	R/W	H'84	H'FFFFFFC008	8
	レシーブデータレジスタ_0	SCRDR_0	-	-	H'FFFFFFC00A	8
	シリアルディレクション コントロールレジスタ_0	SCSDCR_0	R/W	H'F2	H'FFFFFFC00C	8
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0x	H'FFFFFFC00E	8
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'00	H'FFFFFFC080	8
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FF	H'FFFFFFC082	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'00	H'FFFFFFC084	8
	トランスミットデータレジスタ_1	SCTDR_1	-	-	H'FFFFFFC086	8
	シリアルステータスレジスタ_1	SCSSR_1	R/W	H'84	H'FFFFFFC088	8
	レシーブデータレジスタ_1	SCRDR_1	-	-	H'FFFFFFC08A	8
	シリアルディレクション コントロールレジスタ_1	SCSDCR_1	R/W	H'F2	H'FFFFFFC08C	8
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0x	H'FFFFFFC08E	8
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'00	H'FFFFFFC100	8
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FF	H'FFFFFFC102	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'00	H'FFFFFFC104	8
	トランスミットデータレジスタ_2	SCTDR_2	-	-	H'FFFFFFC106	8
	シリアルステータスレジスタ_2	SCSSR_2	R/W	H'84	H'FFFFFFC108	8
	レシーブデータレジスタ_2	SCRDR_2	-	-	H'FFFFFFC10A	8
	シリアルディレクション コントロールレジスタ_2	SCSDCR_2	R/W	H'F2	H'FFFFFFC10C	8
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0x	H'FFFFFFC10E	8

14.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCI は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	-	-	-	-	-	-	-	-									
R/W:	-	-	-	-	-	-	-	-									

14.3.2 レシーブデータレジスタ (SCRDR)

SCRDR は、受信したシリアルデータを格納するレジスタです。

SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。その後、SCRSR は受信可能になります。

このように、SCRSR と SCRDR はダブルバッファになっているため連続した受信動作が可能です。

SCRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	-	-	-	-	-	-	-	-									
R/W:	-	-	-	-	-	-	-	-									

14.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (SCTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR から SCTSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされている場合には、SCTDR から SCTSR へのデータ転送は行いません。

CPU から直接 SCTSR の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	-	-	-	-	-	-	-	-									
R/W:	-	-	-	-	-	-	-	-									

14.3.4 トランスミットデータレジスタ (SCTDR)

SCTDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCTSR のシリアルデータ送信中に SCTDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

SCTDR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

14.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクターレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。7 ビットデータを選択した場合、トランスミットデータレジスタ (SCTDR) の MSB (ビット 7) は送信されません。 0 : 8 ビットデータ 1 : 7 ビットデータ

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。</p> <p>0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに1をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの設定は無効です。</p> <p>0: 偶数パリティ 1: 奇数パリティ</p> <p>偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。</p> <p>奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0: 1ストップビット*¹ 1: 2ストップビット*²</p> <p>なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。</p> <p>【注】*¹ 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。 *² 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>

ビット	ビット名	初期値	R/W	説明
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) マルチプロセッサ機能を許可 / 禁止します。マルチプロセッサモードでは PE、O/E ビットの設定は無効です。 0 : マルチプロセッサモードを禁止 1 : マルチプロセッサモードを許可
1, 0	CKS[1:0]	00	R/W	クロックセレクト 1, 0 内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で P /4、P /16、P /64 の 4 種類からクロックソースを選択できます。 クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「14.3.10 ビットレートレジスタ (SCBRR)」を参照してください。 00 : P クロック 01 : P /4 クロック 10 : P /16 クロック 11 : P /64 クロック 【注】 P : 周辺クロック

14.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) にシリアル送信データが転送されシリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 TXI の解除は、TDRE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。 0 : 送信データエンプティ割り込み (TXI) 要求を禁止 1 : 送信データエンプティ割り込み (TXI) 要求を許可

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>シリアル受信データがレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へ転送されて SCSSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。</p> <p>RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または FER、PER、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。</p> <p>0: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止</p> <p>1: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCI のシリアル送信動作の開始を許可 / 禁止します。</p> <p>0: 送信動作を禁止*¹</p> <p>1: 送信動作を許可*²</p> <p>【注】 *1 SCSSR の TDRE フラグは 1 に固定されます。</p> <p>*2 この状態で、SCTDR に送信データを書き込んで、SCSSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。</p> <p>なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR) の設定を行い送信フォーマットを決定してください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCI のシリアル受信動作の開始を許可 / 禁止します。</p> <p>0: 受信動作を禁止*¹</p> <p>1: 受信動作を許可*²</p> <p>【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*2 この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>なお、RE ビットを 1 にセットする前に必ず SCSMR の設定を行い、受信フォーマットを決定してください。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期モードで SCSMR の MP=1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 のデータは読みとばし、SCSSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「14.4.4 マルチプロセッサ通信機能」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>MSB データ送出時に有効な送信データが SCTDR がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。</p> <p>TEI の解除は、SCSSR の TDRE フラグの 1 を読み出した後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p> <p>0 : 送信終了割り込み (TEI) 要求を禁止 1 : 送信終了割り込み (TEI) 要求を許可</p>
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル 1, 0</p> <p>SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。</p> <p>クロック同期式モードで同期クロック出力に設定する場合は SCSMR の C/\bar{A} ビットを 1 に設定してから CKE1、CKE0 ビットを設定してください。SCI のクロックソースの選択についての詳細は表 14.14 を参照してください。</p> <p>調歩同期式モード</p> <p>00 : 内部クロック / SCK 端子は入力端子 (入力信号は無視) 01 : 内部クロック / SCK 端子はクロック出力*¹ 10 : 外部クロック / SCK 端子はクロック入力*² 11 : 外部クロック / SCK 端子はクロック入力*²</p> <p>クロック同期式モード</p> <p>00 : 内部クロック / SCK 端子は同期クロック出力 01 : 内部クロック / SCK 端子は同期クロック出力 10 : 外部クロック / SCK 端子は同期クロック入力 11 : 外部クロック / SCK 端子は同期クロック入力</p> <p>【注】 *1 ビットレートの 16 倍の周波数のクロックを出力 *2 ビットレートの 16 倍の周波数のクロックを入力</p>

14.3.7 シリアルステータスレジスタ (SCSSR)

SCSSR は、SCI の動作状態を示すステータスフラグを内蔵した 8 ビットのレジスタです。

SCSSR は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND フラグは読み出し専用であり、書き込むことはできません。

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ SCTDR に次のシリアル送信データを書き込むことが可能になったことを示します。 0 : SCTDR に有効な送信データが書き込まれていることを表示 [クリア条件] <ul style="list-style-type: none"> • TDRE = 1 の状態を読み出した後、0 を書き込んだとき • TXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SCTDR へ送信データを転送したとき 1 : SCTDR に有効な送信データがないことを表示 [セット条件] <ul style="list-style-type: none"> • パワーオンリセット、スタンバイモード時 • SCSCR の TE ビットが 0 のとき • SCTDR から SCTSR にデータ転送が行われ SCTDR にデータの書き込みが可能になったとき

ビット	ビット名	初期値	R/W	説明
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル</p> <p>受信したデータがレシーブデータレジスタ (SCRDR) に格納されていることを示します。</p> <p>0 : SCRDR に有効な受信データが格納されていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、スタンバイモード時 • RDRF = 1 の状態を読み出した後、0 を書き込んだとき • RXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SCRDR からデータを転送したとき <p>1 : SCRDR に有効な受信データが格納されていることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • シリアル受信が正常終了し、SCRSR から SCRDR へ受信データが転送されたとき <p>【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには SCRDR および RDRF フラグは影響を受けず以前の状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)*	<p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを示します。</p> <p>0 : 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、スタンバイモード時 • ORER = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : 受信時にオーバーランエラーが発生したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF = 1 の状態で次のシリアル受信を完了したとき <p>【注】 *¹ SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*² SCRDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、スタンバイモード時 • FER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*² <p>【注】 *1 SCSCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCRDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、スタンバイモード時 • PER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にパリティエラーが発生したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信時の受信データとパリティビットを合わせた 1 の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき <p>【注】 *1 SCSCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 パリティエラーが発生したときの受信データは SCRDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。</p>

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>TEND フラグは読み出し専用ですので、書き込むことはできません。</p> <p>0 : 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき 1 : 送信を終了したことを表示 <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、スタンバイモード時 SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき <p>【注】 TXI 割り込みにより DTC を起動して SCTDR ヘデータを書き込んだ場合には TEND フラグは不定となりますので、TEND フラグを送信終了フラグとして使用しないでください。</p>
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCSCR の RE が 0 のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

14.3.8 シリアルポートレジスタ (SCSPTR)

SCSPTR は、シリアルコミュニケーションインタフェース (SCI) の端子にマルチプレクスされたポートの入出力およびデータを制御します。TXD 端子へ出力データを書き込むことができ、シリアル送受信のブレークを制御します。またビット 3 およびビット 2 で SCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。ビット 7 は RXI 割り込みの許可 / 禁止を制御します。SCSPTR は、8 ビットで、常に CPU による読み出し / 書き込みが可能です。なお、SCI 端子の値を読み出す場合は、ポートレジスタを使用してください。詳細は「第 18 章 I/O ポート」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	EIO	-	-	-	SPB1IO	SPB1DT	SPB0IO	SPB0DT
初期値:	0	0	0	0	0	不定	0	1
R/W:	R/W	-	-	-	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	EIO	0	R/W	エラー割り込みオンリー EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ RXI 割り込みを要求しません。このビットは RXI 割り込みの許可 / 禁止を設定します。 0: RIE ビットが RXI と ERI 割り込みを許可 / 禁止する RIE ビットが 1 のとき、RXI と ERI 割り込みが INTC へ送られる 1: RIE ビットが 1 のとき、ERI 割り込みだけが INTC へ送られる
6~4	-	すべて 0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SPB1IO	0	R/W	シリアルポートクロックポート入出力 シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SPB1DT ビットで設定した値を出力する場合は、SCSMR の C/ \bar{A} ビットと SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0: SCK 端子に SPB1DT ビットの値を出力しない 1: SCK 端子に SPB1DT ビットの値を出力する
2	SPB1DT	不定	R/W	シリアルポートクロックポートデータ シリアルポートの SCK 端子の出力データを指定します。出力有効であるかは SPB1IO ビットで指定します (詳細は SPB1IO ビットの説明を参照)。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。 0: 出力データがローレベル 1: 出力データがハイレベル
1	SPB0IO	0	R/W	シリアルポートブレーク出力 SPB0DT ビット、SCSCR の TE ビットとあわせて、TXD 端子を制御します。

ビット	ビット名	初期値	R/W	説明																				
0	SPB0DT	1	R/W	<p>シリアルポートブ레이크データ</p> <p>SPB0IO ビット、SCSCR の TE ビットとあわせて、TXD 端子を制御します。ただし、ピンファンクションコントローラ (PFC) で TXD 端子機能を選択しておく必要があります。</p> <table border="1"> <thead> <tr> <th>SCSCR の TE ビット 設定値</th> <th>SPB0IO ビット 設定値</th> <th>SPB0DT ビット 設定値</th> <th>TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>*</td> <td>SPB0DT 出力無効状態 (初期状態)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ハイレベル出力</td> </tr> <tr> <td>1</td> <td>*</td> <td>*</td> <td>シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table> <p>【注】* Don't care</p>	SCSCR の TE ビット 設定値	SPB0IO ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態	0	0	*	SPB0DT 出力無効状態 (初期状態)	0	1	0	ローレベル出力	0	1	1	ハイレベル出力	1	*	*	シリアルコア論理に従って送信データ出力
SCSCR の TE ビット 設定値	SPB0IO ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態																					
0	0	*	SPB0DT 出力無効状態 (初期状態)																					
0	1	0	ローレベル出力																					
0	1	1	ハイレベル出力																					
1	*	*	シリアルコア論理に従って送信データ出力																					

14.3.9 シリアルディレクションコントロールレジスタ (SCSDCR)

SCSDCR は、DIR ビットにより LSB ファースト / MSB ファーストの選択を行います。シリアル通信モードによらず、8 ビット長の場合のみ LSB ファースト / MSB ファーストの選択が可能です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	DIR	-	-	-
初期値:	1	1	1	1	0	0	1	0
R/W:	R	R	R	R	R/W	R	R	R

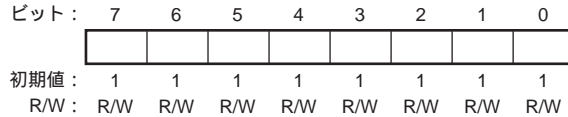
ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>
3	DIR	0	R/W	<p>データトランスファディレクション</p> <p>シリアル / パラレル変換フォーマットを選択します。送信 / 受信フォーマットが 8 ビットの場合に有効です。</p> <p>0: SCTDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして SCRDR に格納</p> <p>1: SCTDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCRDR に格納</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	-	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>
0	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

14.3.10 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。

SCBRR の設定値は以下の計算式で求められます。



〔調歩同期式モード〕

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)

(電気的特性を満足する設定値としてください)

P : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、表 14.3 を参照してください)

表 14.3 SCSMR の設定値

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 14.4 ~ 表 14.6 に調歩同期式モードの SCBRR の設定例を、表 14.7 ~ 表 14.9 にクロック同期式モードの SCBRR の設定例を示します。

表 14.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (1)

ビットレート (bit/s)	P (MHz)																	
	10			12			14			16			18			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	177	-0.25	2	212	0.03	2	248	-0.17	3	70	0.03	3	79	-0.12	3	88	-0.25
150	2	129	0.16	2	155	0.16	2	181	0.16	2	207	0.16	2	233	0.16	3	64	0.16
300	2	64	0.16	2	77	0.16	2	90	0.16	2	103	0.16	2	116	0.16	2	129	0.16
600	1	129	0.16	1	155	0.16	1	181	0.16	1	207	0.16	1	233	0.16	2	64	0.16
1200	1	64	0.16	1	77	0.16	1	90	0.16	1	103	0.16	1	116	0.16	1	129	0.16
2400	0	129	0.16	0	155	0.16	0	181	0.16	0	207	0.16	0	233	0.16	1	64	0.16
4800	0	64	0.16	0	77	0.16	0	90	0.16	0	103	0.16	0	116	0.16	0	129	0.16
9600	0	32	-1.36	0	38	0.16	0	45	-0.93	0	51	0.16	0	58	-0.69	0	64	0.16
14400	0	21	-1.36	0	25	0.16	0	29	1.27	0	34	-0.79	0	38	0.16	0	42	0.94
19200	0	15	1.73	0	19	-2.34	0	22	-0.93	0	25	0.16	0	28	1.02	0	32	-1.36
28800	0	10	-1.36	0	12	0.16	0	14	1.27	0	16	2.12	0	19	-2.34	0	21	-1.36
31250	0	9	0.00	0	11	0.00	0	13	0.00	0	15	0.00	0	17	0.00	0	19	0.00
38400	0	7	1.73	0	9	-2.34	0	10	3.57	0	12	0.16	0	14	-2.34	0	15	1.73

表 14.5 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (2)

ビットレート (bit/s)	P (MHz)																	
	22			24			26			28			30			32		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	97	-0.35	3	106	-0.44	3	114	0.36	3	123	0.23	3	132	0.13	3	141	0.03
150	3	71	-0.54	3	77	0.16	3	84	-0.43	3	90	0.16	3	97	-0.35	3	103	0.16
300	2	142	0.16	2	155	0.16	2	168	0.16	2	181	0.16	2	194	0.16	2	207	0.16
600	2	71	-0.54	2	77	0.16	2	84	-0.43	2	90	0.16	2	97	-0.35	2	103	0.16
1200	1	142	0.16	1	155	0.16	1	168	0.16	1	181	0.16	1	194	0.16	1	207	0.16
2400	1	71	-0.54	1	77	0.16	1	84	-0.43	1	90	0.16	1	97	-0.35	1	103	0.16
4800	0	142	0.16	0	155	0.16	0	168	0.16	0	181	0.16	0	194	0.16	0	207	0.16
9600	0	71	-0.54	0	77	0.16	0	84	-0.43	0	90	0.16	0	97	-0.35	0	103	0.16
14400	0	47	-0.54	0	51	0.16	0	55	0.76	0	60	-0.39	0	64	0.16	0	68	0.64
19200	0	35	-0.54	0	38	0.16	0	41	0.76	0	45	-0.93	0	48	-0.35	0	51	0.16
28800	0	23	-0.54	0	25	0.16	0	27	0.76	0	29	1.27	0	32	-1.36	0	34	-0.79
31250	0	21	0.00	0	23	0.00	0	25	0.00	0	27	0.00	0	29	0.00	0	31	0.00
38400	0	17	-0.54	0	19	-2.34	0	20	0.76	0	22	-0.93	0	23	1.73	0	25	0.16

表 14.6 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (3)

ビットレート (bit/s)	P (MHz)											
	34			36			38			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	150	-0.05	3	159	-0.12	3	168	-0.19	3	177	-0.25
150	3	110	-0.29	3	116	0.16	3	123	-0.24	3	129	0.16
300	2	220	0.16	2	233	0.16	2	246	0.16	3	64	0.16
600	2	110	-0.29	2	116	0.16	2	123	-0.24	2	129	0.16
1200	1	220	0.16	1	233	0.16	1	246	0.16	2	64	0.16
2400	1	110	-0.29	1	116	0.16	1	123	-0.24	1	129	0.16
4800	0	220	0.16	0	233	0.16	0	246	0.16	1	64	0.16
9600	0	110	-0.29	0	116	0.16	0	123	-0.24	0	129	0.16
14400	0	73	-0.29	0	77	0.16	0	81	0.57	0	86	-0.22
19200	0	54	0.62	0	58	-0.69	0	61	-0.24	0	64	0.16
28800	0	36	-0.29	0	38	0.16	0	40	0.57	0	42	0.94
31250	0	33	0.00	0	35	0.00	0	37	0.00	0	39	0.00
38400	0	27	-1.18	0	28	1.02	0	30	-0.24	0	32	-1.36

表 14.7 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (1)

ビットレート (bit/s)	P (MHz)											
	10		12		14		16		18		20	
	n	N	n	N	n	N	n	N	n	N	n	N
250	3	155	3	187	3	218	3	249				
500	3	77	3	93	3	108	3	124	3	140	3	155
1000	2	155	2	187	2	218	2	249	3	69	3	77
2500	1	249	2	74	2	87	2	99	2	112	2	124
5000	1	124	1	149	1	174	1	199	1	224	1	249
10000	0	249	1	74	1	87	1	99	1	112	1	124
25000	0	99	0	119	0	139	0	159	0	179	0	199
50000	0	49	0	59	0	69	0	79	0	89	0	99
100000	0	24	0	29	0	34	0	39	0	44	0	49
250000	0	9	0	11	0	13	0	15	0	17	0	19
500000	0	4	0	5	0	6	0	7	0	8	0	9
1000000	-	-	0	2	-	-	0	3	-	-	0	4
2500000	0	0*	-	-	-	-	-	-	-	-	0	1
5000000			-	-	-	-	-	-	-	-	0	0*

表 14.8 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (2)

ビットレート (bit/s)	P (MHz)											
	22		24		26		28		30		32	
	n	N	n	N	n	N	n	N	n	N	n	N
250												
500	3	171	3	187	3	202	3	218	3	233	3	249
1000	3	85	3	93	3	101	3	108	3	116	3	124
2500	2	137	2	149	2	162	2	174	2	187	2	199
5000	2	68	2	74	2	80	2	87	2	93	2	99
10000	1	137	1	149	1	162	1	174	1	187	1	199
25000	0	219	0	239	1	64	1	69	1	74	1	79
50000	0	109	0	119	0	129	0	139	0	149	0	159
100000	0	54	0	59	0	64	0	69	0	74	0	79
250000	0	21	0	23	0	25	0	27	0	29	0	31
500000	0	10	0	11	0	12	0	13	0	14	0	15
1000000	-	-	0	5	-	-	0	6	-	-	0	7
2500000	-	-	-	-	-	-	-	-	0	2	-	-
5000000	-	-	-	-	-	-	-	-	-	-	-	-

表 14.9 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (3)

ビットレート (bit/s)	P (MHz)							
	34		36		38		40	
	n	N	n	N	n	N	n	N
250								
500								
1000	3	132	3	140	3	147	3	155
2500	2	212	2	224	2	237	2	249
5000	2	105	2	112	2	118	2	124
10000	1	212	1	224	1	237	1	249
25000	1	84	1	89	1	94	1	99
50000	0	169	0	179	0	189	0	199
100000	0	84	0	89	0	94	0	99
250000	0	33	0	35	0	37	0	39
500000	0	16	0	17	0	18	0	19
1000000	-	-	0	8	-	-	0	9
2500000	-	-	-	-	-	-	0	3
5000000	-	-	-	-	-	-	0	1

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がです。

* : 連続送信 / 受信はできません。

表 14.10 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 14.11 と表 14.12 に外部クロック入力時の最大ビットレートを示します。

表 14.10 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

P (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
10	312500	0	0
12	375000	0	0
14	437500	0	0
16	500000	0	0
18	562500	0	0
20	625000	0	0
22	687500	0	0
24	750000	0	0
26	812500	0	0
28	875000	0	0
30	937500	0	0
32	1000000	0	0
34	1062500	0	0
36	1125000	0	0
38	1187500	0	0
40	1250000	0	0

表 14.11 外部クロック入力時の最大ビットレート (調歩同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10	2.5000	156250
12	3.0000	187500
14	3.5000	218750
16	4.0000	250000
18	4.5000	281250
20	5.0000	312500
22	5.5000	343750
24	6.0000	375000
26	6.5000	406250
28	7.0000	437500
30	7.5000	468750
32	8.0000	500000
34	8.5000	531250
36	9.0000	562500
38	9.5000	593750
40	10.0000	625000

表 14.12 外部クロック入力時の最大ビットレート (クロック同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
22	3.6667	3666666.7
24	4.0000	4000000.0
26	4.3333	4333333.3
28	4.6667	4666666.7
30	5.0000	5000000.0
32	5.3333	5333333.3
34	5.6667	5666666.7
36	6.0000	6000000.0
38	6.3333	6333333.3
40	6.6667	6666666.7

14.4 動作説明

14.4.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 14.13 に示します。また、SCI のクロックソースは、SCSMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 14.14 に示します。

(1) 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCIのクロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、ビットレートの16倍の周波数のクロックを出力することが可能
外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ポーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信/受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIのクロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 14.13 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値				モード	SCI の送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティビット	ストップビット長
C/A	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
	1	0	0		7 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビットデータ	なし	なし

【記号説明】 x : Don't care

表 14.14 SCSMR、SCSCR の設定と SCI のクロックソースの選択

SCSMR	SCSCR の設定値		モード	クロックソース	SCK 端子の機能
ビット 7	ビット 1	ビット 0			
C/A	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI は SCK 端子を使用しません
		1			ビットレートの 16 倍の周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

14.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 14.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

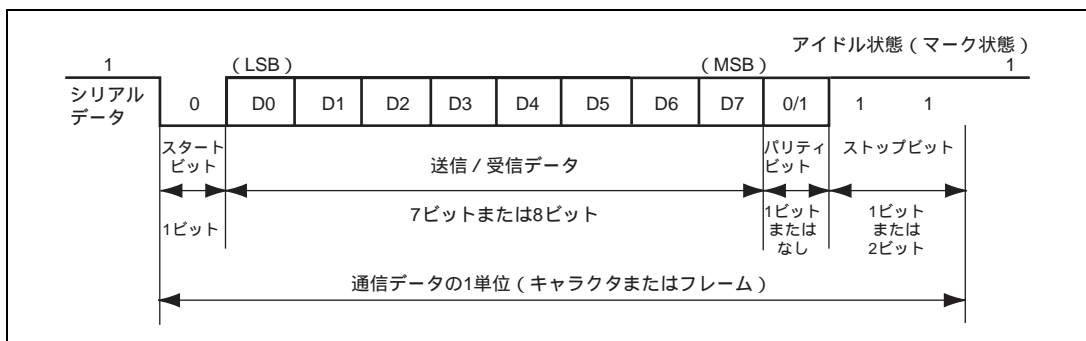


図 14.2 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 14.15 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 14.15 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	x	1	0	S	8ビットデータ								MPB	STOP			
0	x	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	x	1	0	S	7ビットデータ							MPB	STOP				
1	x	1	1	S	7ビットデータ							MPB	STOP	STOP			

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセスサビット
- x : Don't care

(2) クロック

SCIの送受信クロックは、SCSMRの C/\bar{A} ビットとシリアルコントロールレジスタ(SCSCR)のCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表14.14を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの16倍です。

(3) データの送信 / 受信動作

- SCIの初期化 (調歩同期式モード)

データの送信 / 受信前には、まずSCSCRのTEビット、およびREビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは、1にセットされ、トランスミットシフトレジスタ(SCTSR)が初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびレシーブデータレジスタ(SCRDR)の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実にになりますので初期化を含めた動作中にクロックを止めないでください。

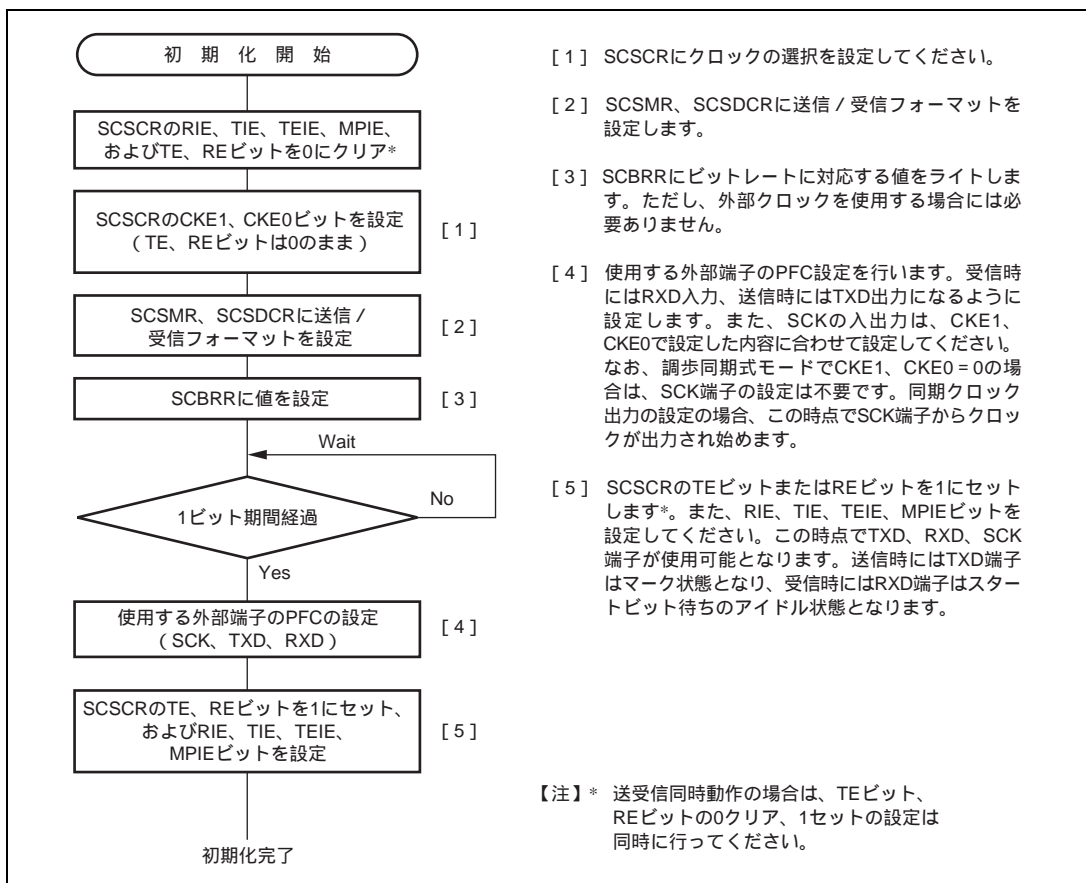


図 14.3 SCI の初期化フローチャートの例

• シリアルデータ送信 (調歩同期モード)

図 14.4 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順に従って行ってください。

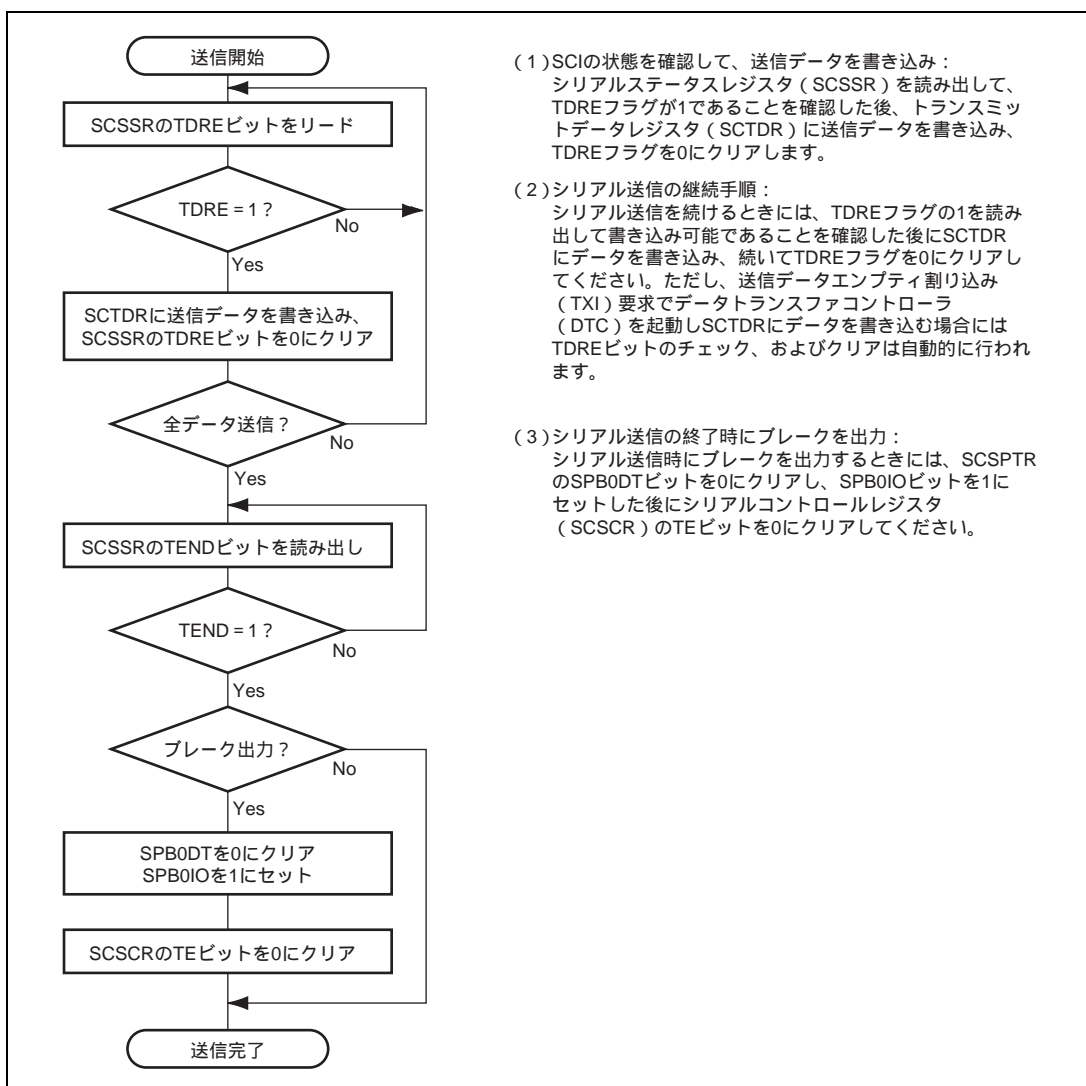


図 14.4 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ (SCSSR) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR) にデータが書き込まれたと認識し、SCTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。
2. SCTDRからSCTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信データエンプロティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TXD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
- (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
- (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

3. SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとシリアルステータスレジスタ (SCSSR) のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCRのTEIEビットが1にセットされているとTEI要求を発生します。

調歩同期式モードでの送信時の動作例を図 14.5 に示します。

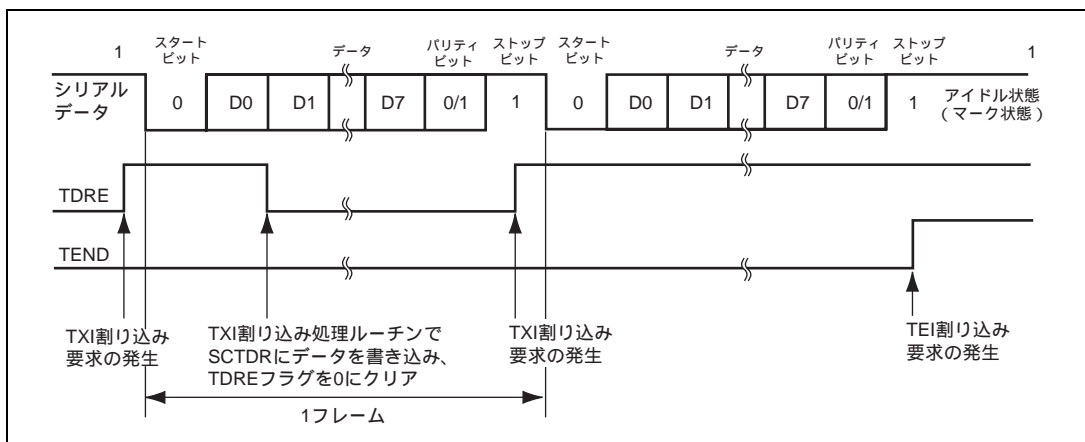


図 14.5 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

● シリアルデータ受信 (調歩同期式モード)

図 14.6 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従って行ってください。

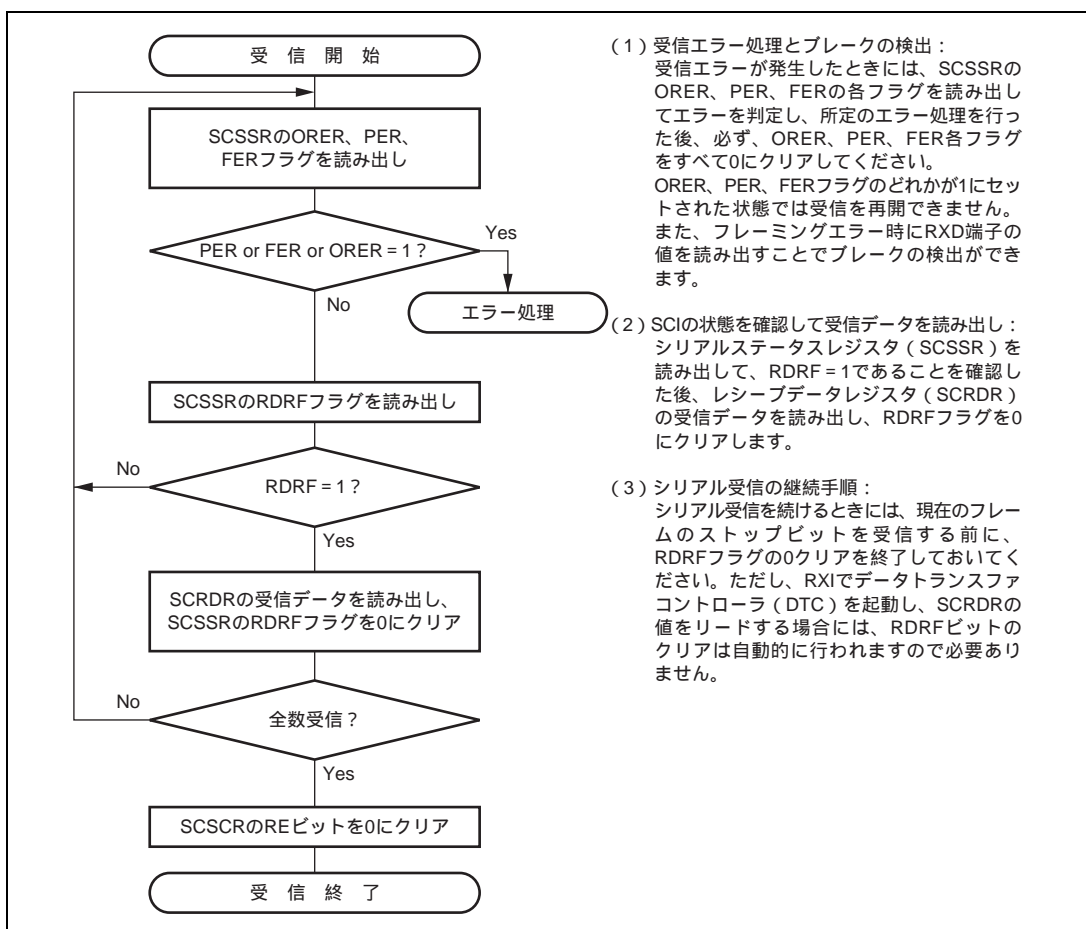


図 14.6 シリアル受信のフローチャートの例 (1)

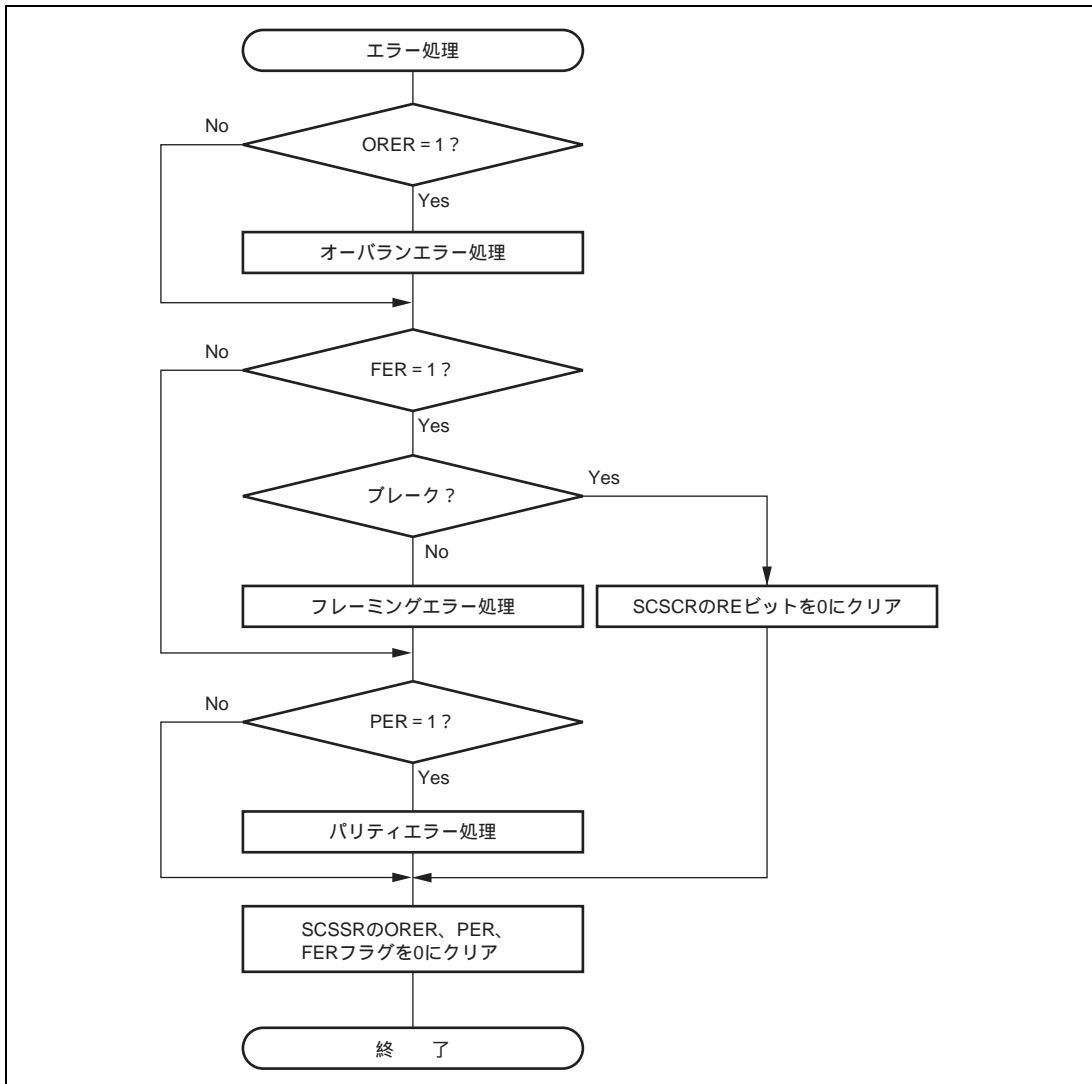


図 14.6 シリアル受信のフローチャートの例 (2)

SCI は受信時に以下のように動作します。

1. SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCSSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがシリアルモードレジスタ (SCSMR) の $O\bar{E}$ ビットで設定した偶数 / 奇数パリティになっているかを確認します。
- (b) ストップビットチェック：ストップビットが1であるかを確認します。
ただし、2ストップビットの場合、1ビット目のストップビットのみを確認します。
- (c) ステータスチェック：RDRF フラグが0であり、受信データをレシーブシフトレジスタ (SCRDR) から SCRDR に転送できる状態であるかを確認します。

以上のチェックがすべてパスしたとき、RDRF フラグが1にセットされ、SCRDR に受信データが格納されます。エラーチェックで受信エラーが発生すると表 14.16 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが1にセットされませんので、必ずエラーフラグを0にクリアしてください。

- 4. RDRFフラグが1になったとき、SCSPTRのEIOビットが0に、SCSCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER、PER、FERフラグのどれかが1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

表 14.16 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SCSSR の RDRF フラグが1にセットされたまま次のデータ受信を完了したとき	SCRDR から SCRDR に受信データは転送されません
フレーミングエラー	FER	ストップビットが0のとき	SCRDR から SCRDR に受信データが転送されません
パリティエラー	PER	SCSMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	SCRDR から SCRDR に受信データが転送されません

調歩同期式モード受信時の動作例を図 14.7 に示します。

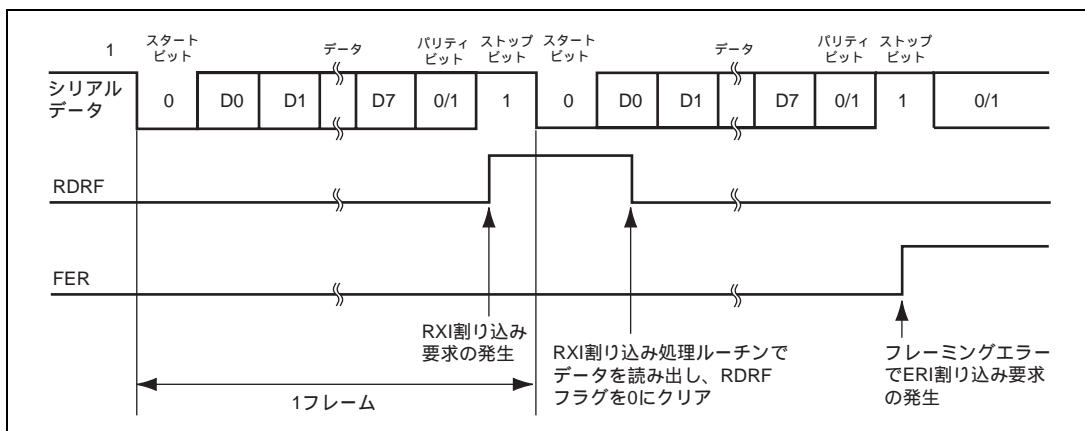


図 14.7 SCI の受信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビットの例)

14.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 14.8 に示します。

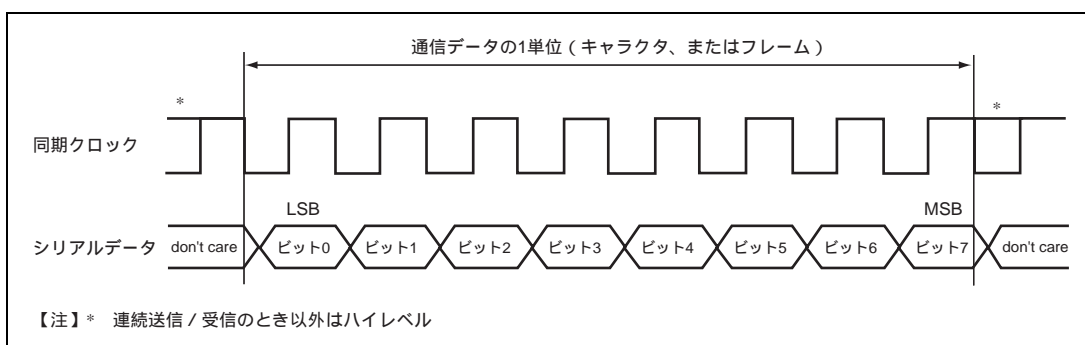


図 14.8 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCI は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の C/\bar{A} ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 14.14 を参照してください。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。

同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信動作のみの場合は、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックは出力されます。n キャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用するときは、RE=1 かつ TE=1 としてから、n キャラクタ数のダミーデータ送信と同時に n キャラクタ数の受信を行うという手順でしてください。

(3) データの送信 / 受信動作

- SCI の初期化 (クロック同期式モード)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) の TE、および RE ビットを 0 にクリアした後、以下の手順で SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、トランスミットシフトレジスタ (SCTSR) が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、およびレシーブデータレジスタ (SCRDR) の内容は保持されますので注意してください。

図 14.9 に SCI の初期化フローチャートの例を示します。

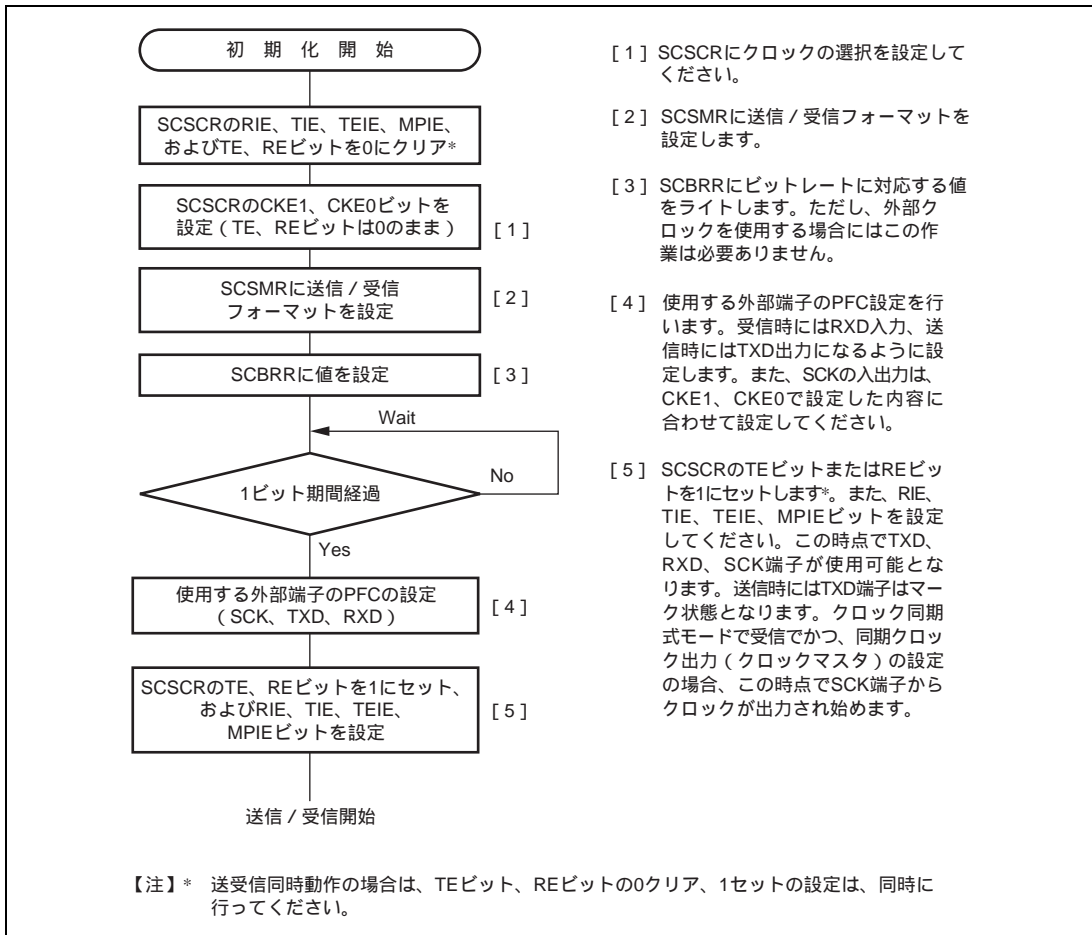


図 14.9 SCI の初期化フローチャートの例

- シリアルデータ送信 (クロック同期式モード)

図 14.10 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順で行ってください。

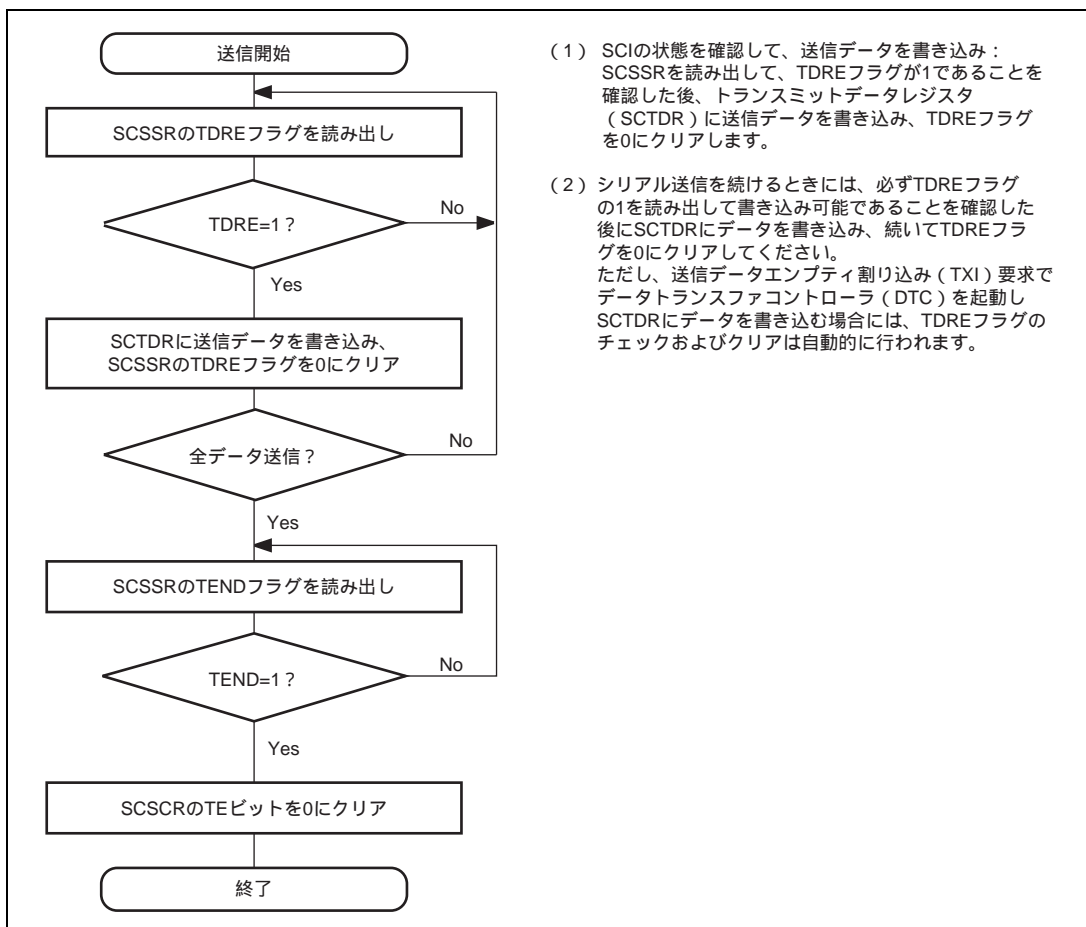


図 14.10 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ (SCSSR) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR) にデータが書き込まれたと認識し、SCTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。
2. SCTDRからSCTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、シリアルコントロールレジスタ (SCSCR) の送信データエンプティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTXD端子から送り出されます。
3. SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが1であるとシリアルステータスレジスタ (SCSSR) のTENDフラグを1にセットし、MSB (ビット7) を送り出した後、トランスミットデータ端子 (TXD端子) は状態を保持します。
このときSCSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み要求 (TEI) を発生します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図 14.11 に SCI の送信時の動作例を示します。

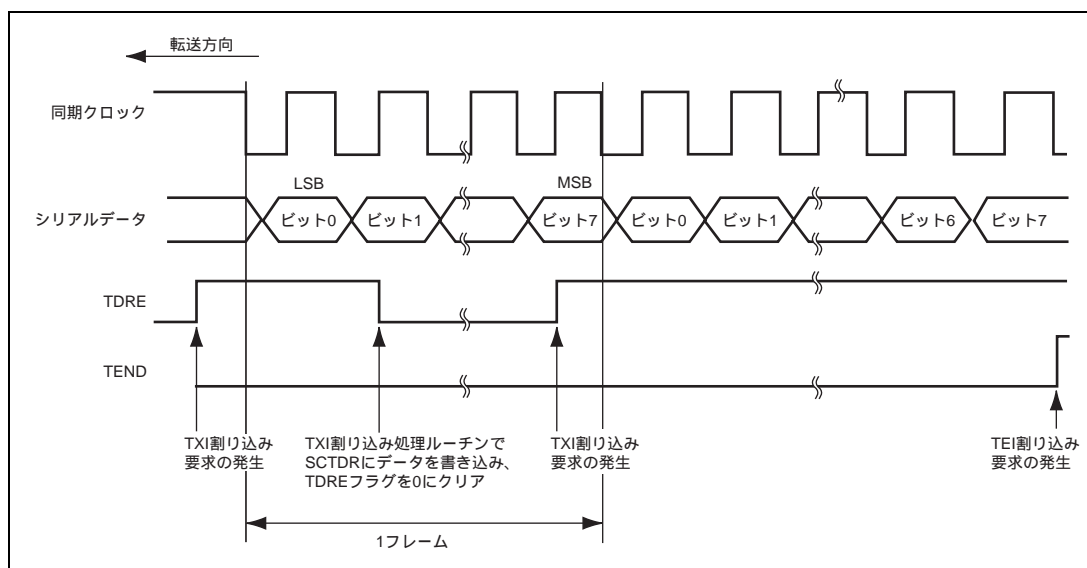


図 14.11 SCI の送信時の動作例

- シリアルデータ受信 (クロック同期式モード)

図 14.12 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、受信動作が行えません。

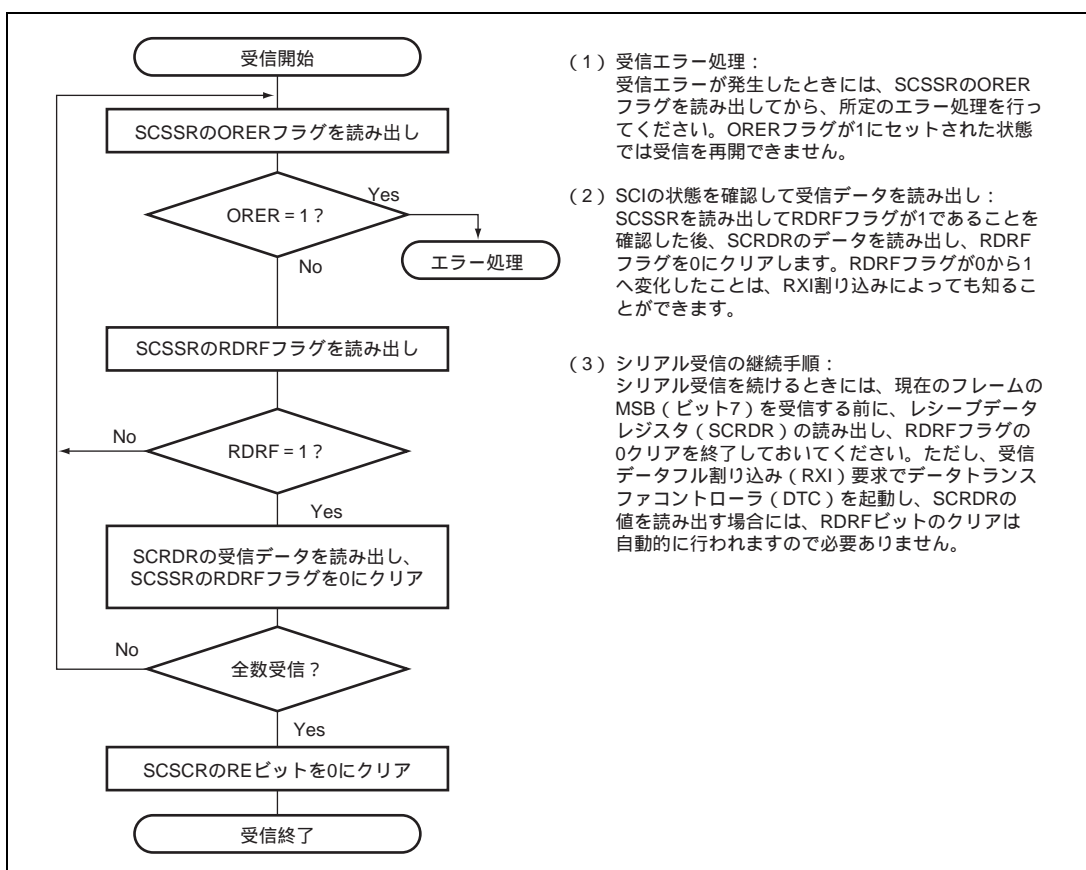


図 14.12 シリアルデータ受信フローチャートの例 (1)

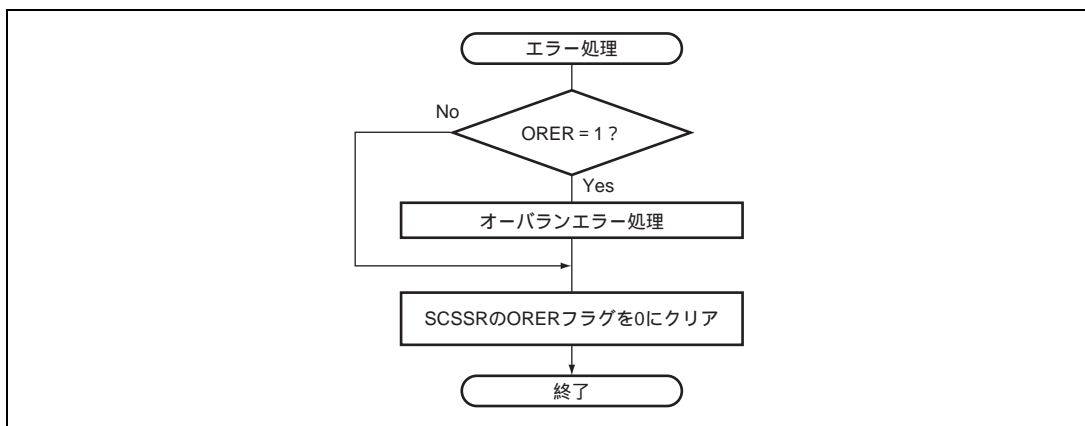


図 14.12 シリアルデータ受信フローチャートの例 (2)

SCI は受信時に以下のように動作します。

- SCIは同期クロックの入力または出力に同期して受信を開始します。
- 受信したデータをレシーブシフトレジスタ (SCRSR) のLSBからMSBの順に格納します。
受信後、SCIはRDRFフラグが0であり、受信データをSCRSRからレシーブデータレジスタ (SCRDR) に転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFフラグが1にセットされ、SCRDRに受信データが格納されます。
エラーチェックで受信エラーが発生すると表14.16のように動作し、この状態では以後の送信、受信動作ができません。
また、受信時にRDRFフラグが1にセットされませんので、必ずフラグを0にクリアしてください。
- RDRFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 14.13 に SCI の受信時の動作例を示します。

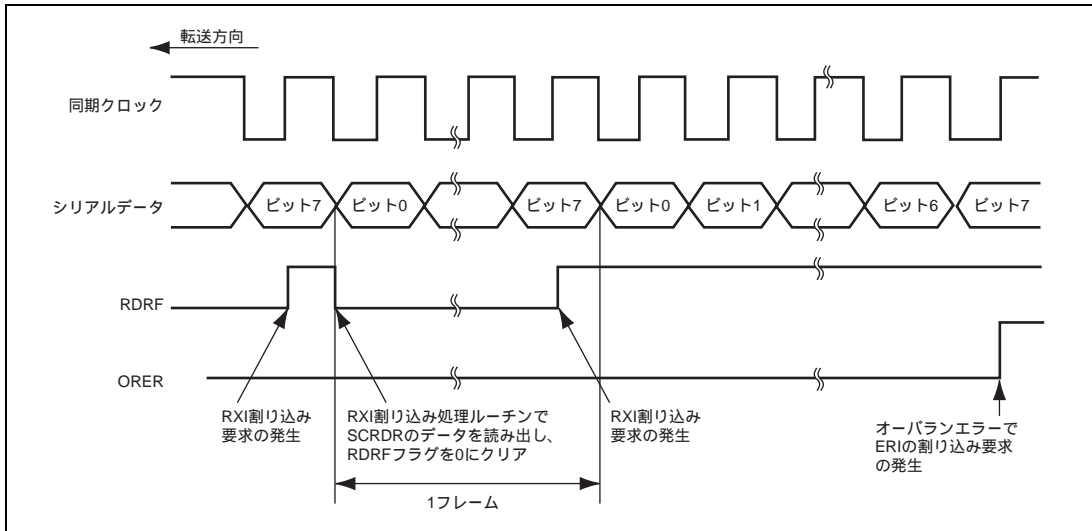


図 14.13 SCI の受信時の動作例

● シリアルデータ送受信同時動作 (クロック同期式モード)

図 14.14 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、SCI を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

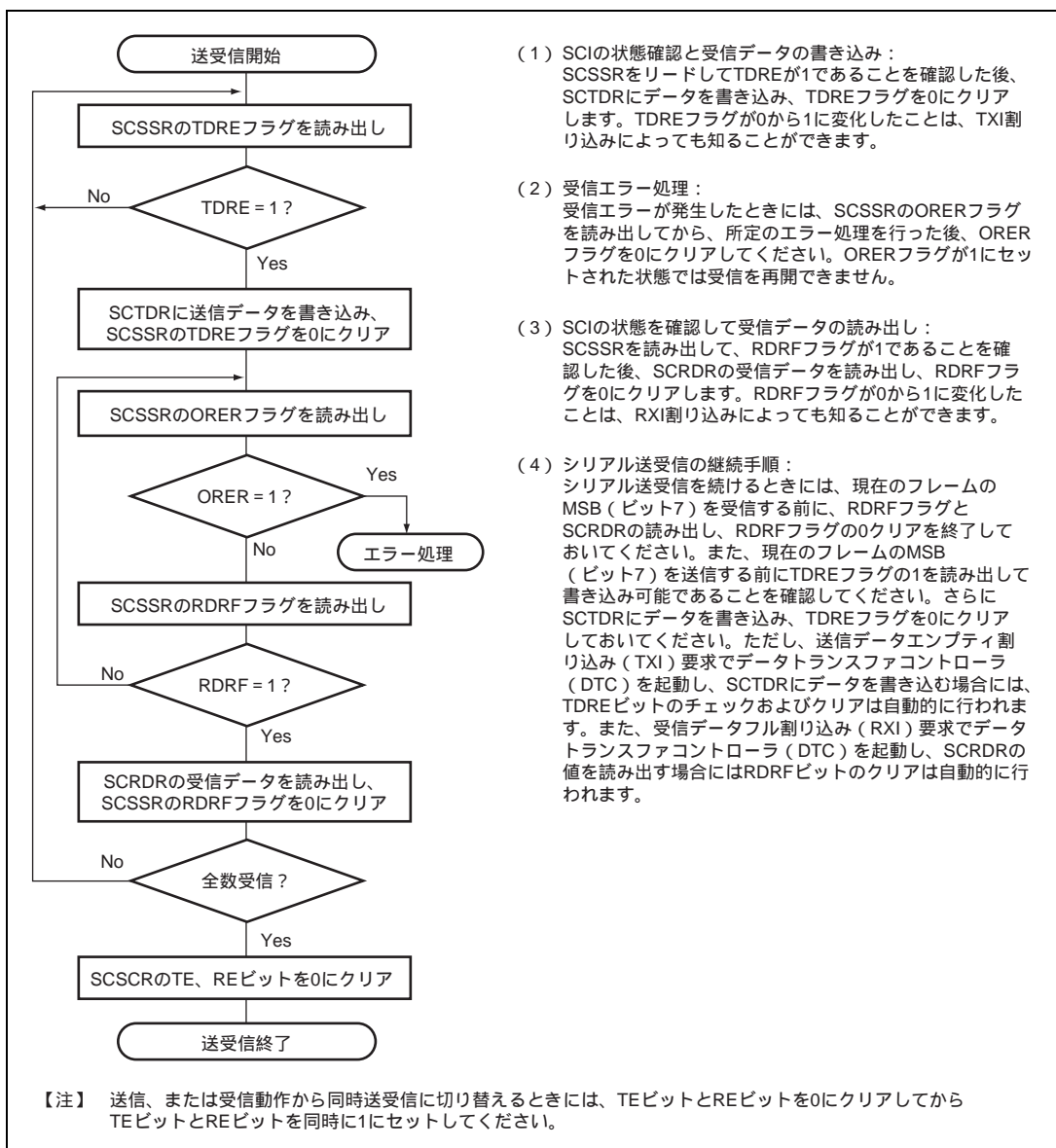


図 14.14 シリアルデータ送受信フローチャートの例

14.4.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におのおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 14.15 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCSCR に MPBIE ビットが設けてあります。MPBIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで SCRSR から SCRDR への受信データの転送、および受信エラーの検出と SCSSR の RDRF、FER、OER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SCSSR の MPBR が 1 にセットされるとともに MPBIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCSCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

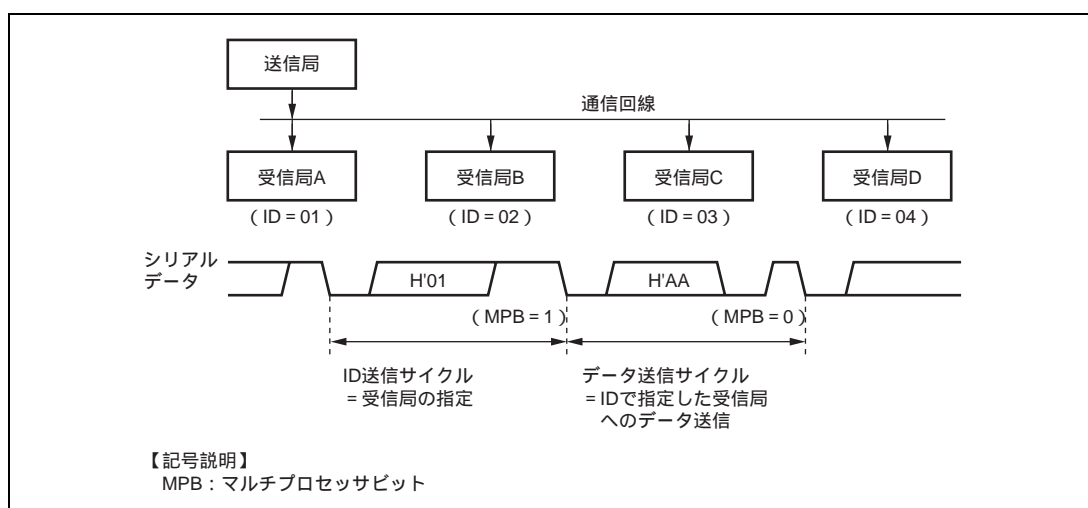


図 14.15 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

14.4.5 マルチプロセッサシリアルデータ送信

図 14.16 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SCSSR の MPBT を 1 にセットして送信してください。実際に ID が送信されるまで MPBT を 1 に保持してください。データ送信サイクルでは SCSSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期モードの動作と同じです。

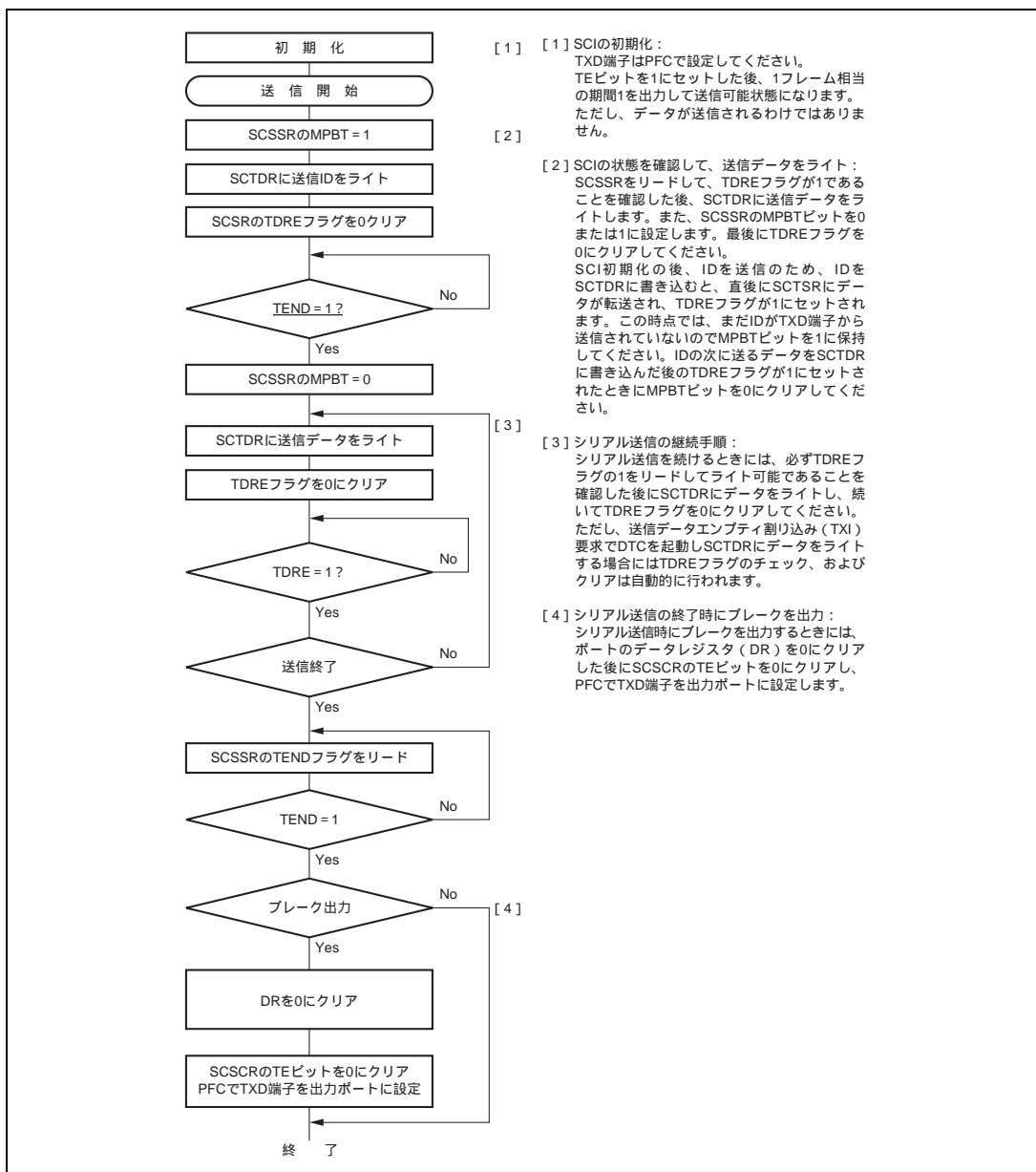


図 14.16 マルチプロセッサシリアル送信のフローチャートの例

14.4.6 マルチプロセッサシリアルデータ受信

図 14.18 にマルチプロセッサデータ受信のフローチャートの例を示します。SCSCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを SCRDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期モードの動作と同じです。図 14.17 に受信時の動作例を示します。

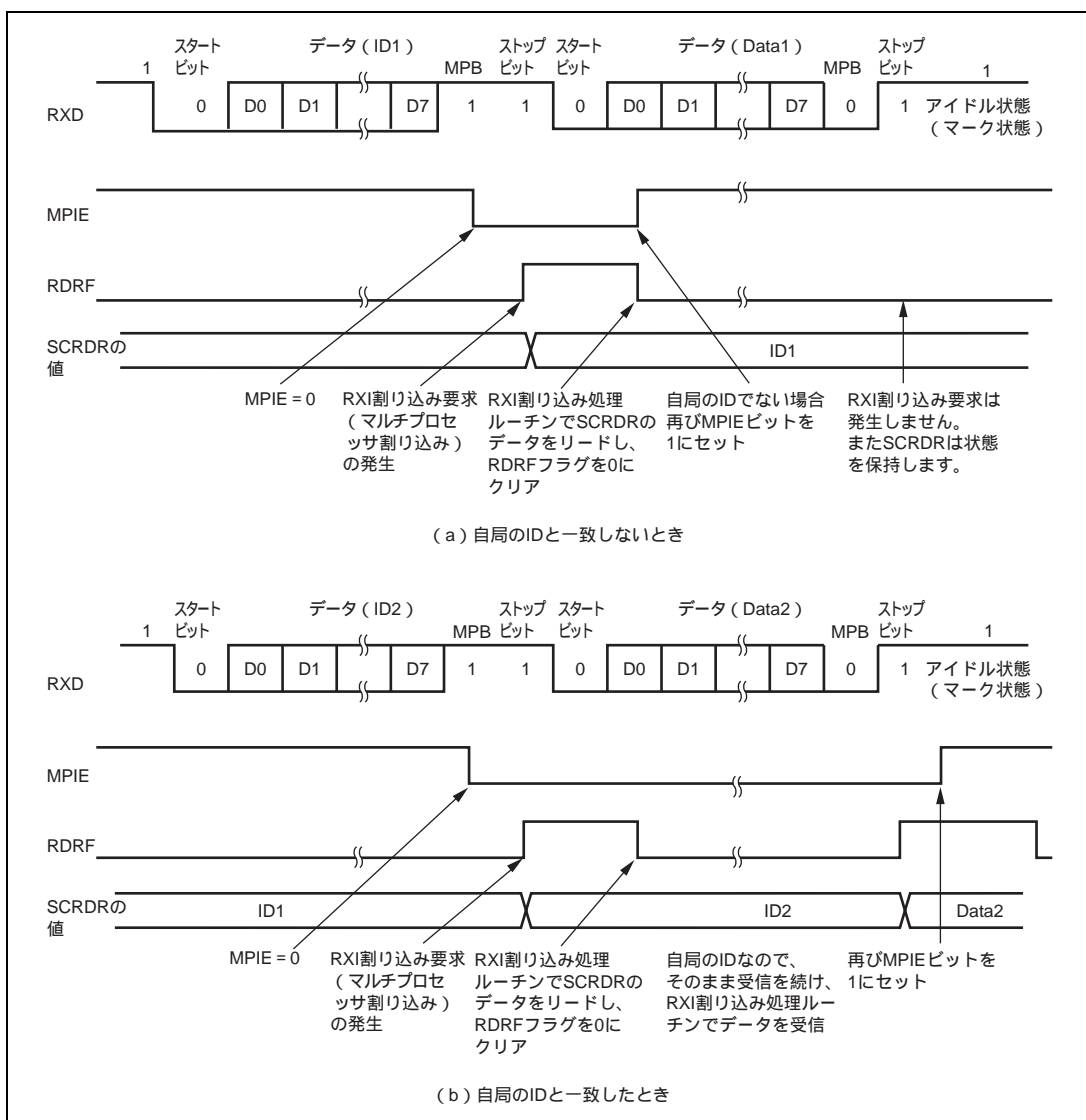


図 14.17 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

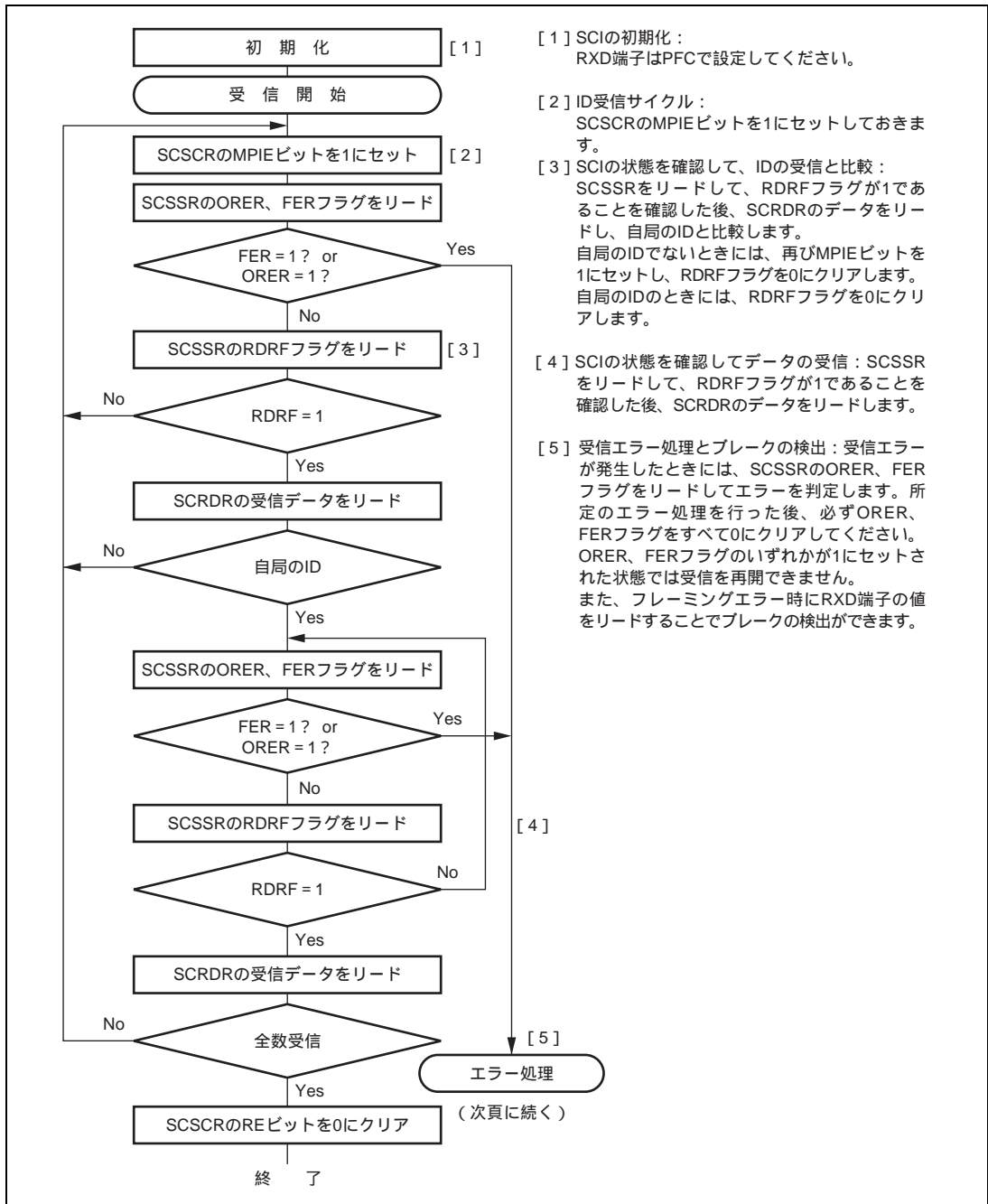


図 14.18 マルチプロセッサシリアル受信のフローチャートの例 (1)

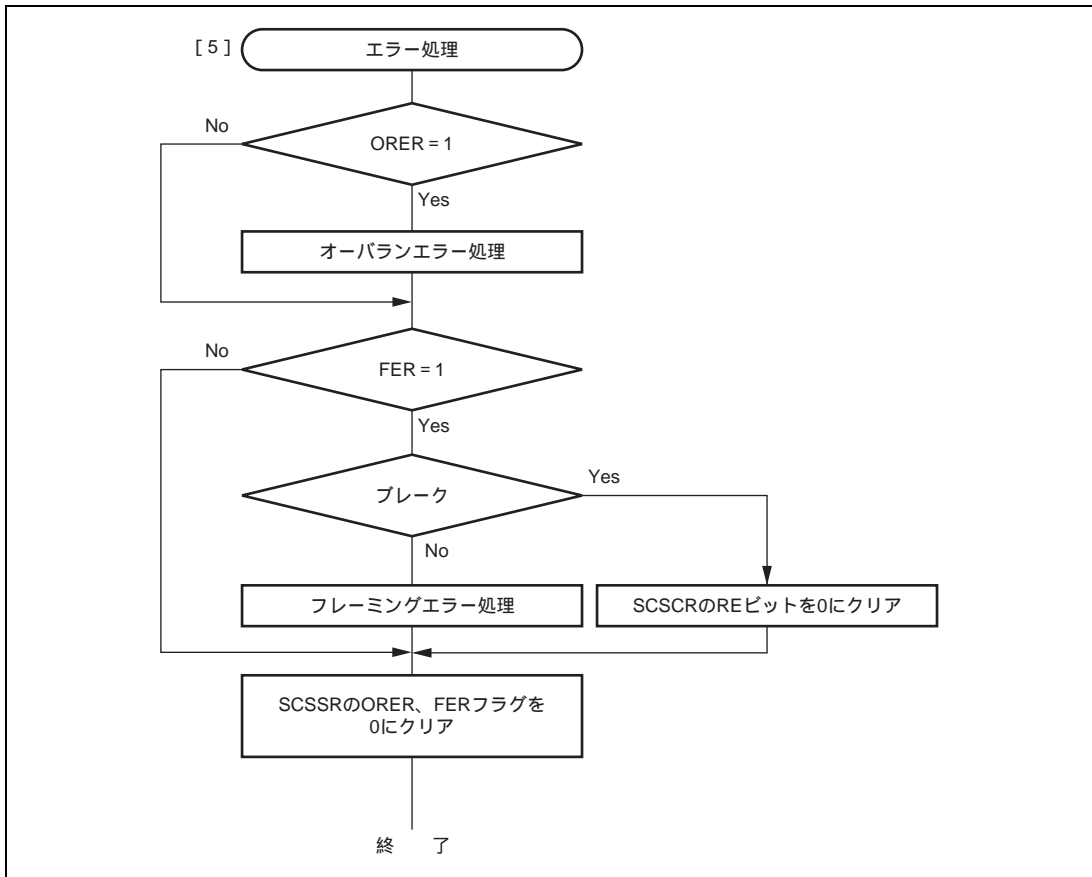


図 14.18 マルチプロセッサシリアル受信のフローチャートの例 (2)

14.5 SCI の割り込み要因と DTC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 14.17 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、TEIE ビット、および SCSPTR の EIO ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされると、TDR エンプティ要求が発生します。TDR エンプティ要求で、データトランスファコントローラ (DTC) を起動してデータ転送を行うことができます。TDRE フラグは DTC によるトランスミットデータレジスタ (SCTDR) への書き込みが行われると自動的に 0 にクリアされます。

SCSSR の RDRF フラグが 1 にセットされると、RDR フル要求が発生します。RDR フル要求で、DTC を起動して、データ転送を行うことができます。

RDRF フラグは DTC によるレシーブデータレジスタ (SCRDR) の読み出しが行われると、自動的に 0 にクリアされます。

また、SCSSR の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DTC の起動はできません。

データ受信処理において、RXI 割り込み要求の発生を禁止にし、ERI 割り込み要求の発生のみ許可にすることも可能です。

この場合、RIE ビットを 1 に設定するとともに、SCSPTR の EIO ビットを 1 にセットしてください。ただし、EIO ビットを 1 に設定すると、ERI 割り込み要求が発生しないため、DTC による受信データの転送は行われません。

さらに、SCSSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で DTC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 14.17 SCI 割り込み要因

割り込み要因	内 容	DTC の起動
ERI	受信エラー (ORER、FER、PER) による割り込み	不可
RXI	受信データフル (RDRF) による割り込み	可
TXI	送信データエンプティ (TDRE) による割り込み	可
TEI	送信終了 (TEND) による割り込み	不可

14.6 シリアルポートレジスタ (SCSPTR) と SCI 端子との関係

SCSPTR と SCI 端子との関係を図 14.19、図 14.20 に示します。

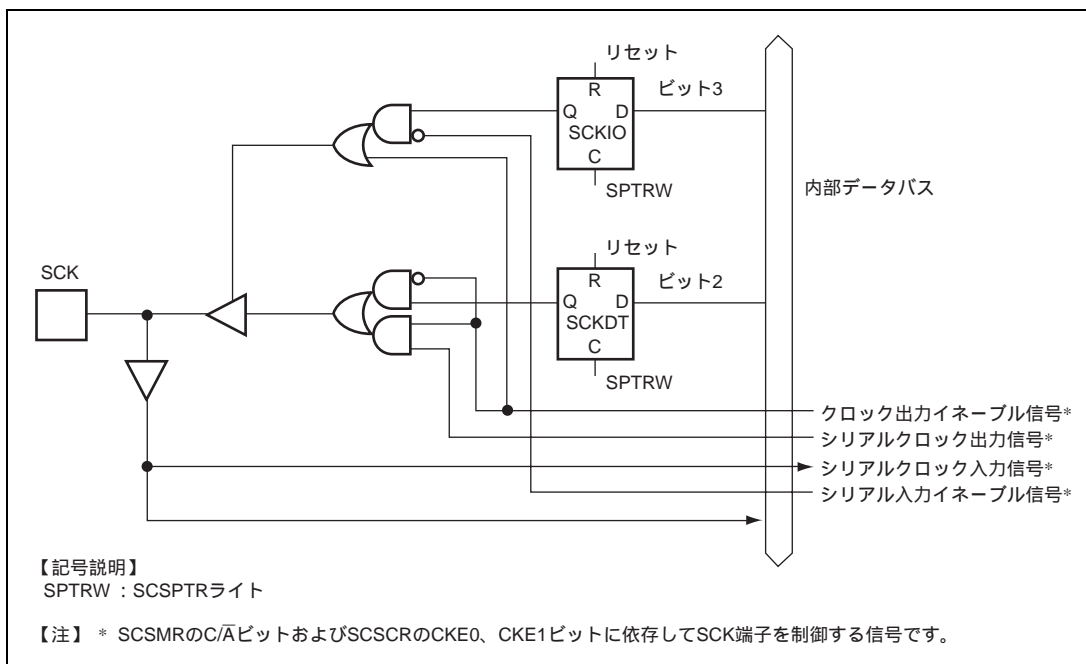


図 14.19 SCKIO ビット、SCKDT ビットと SCK 端子との関係

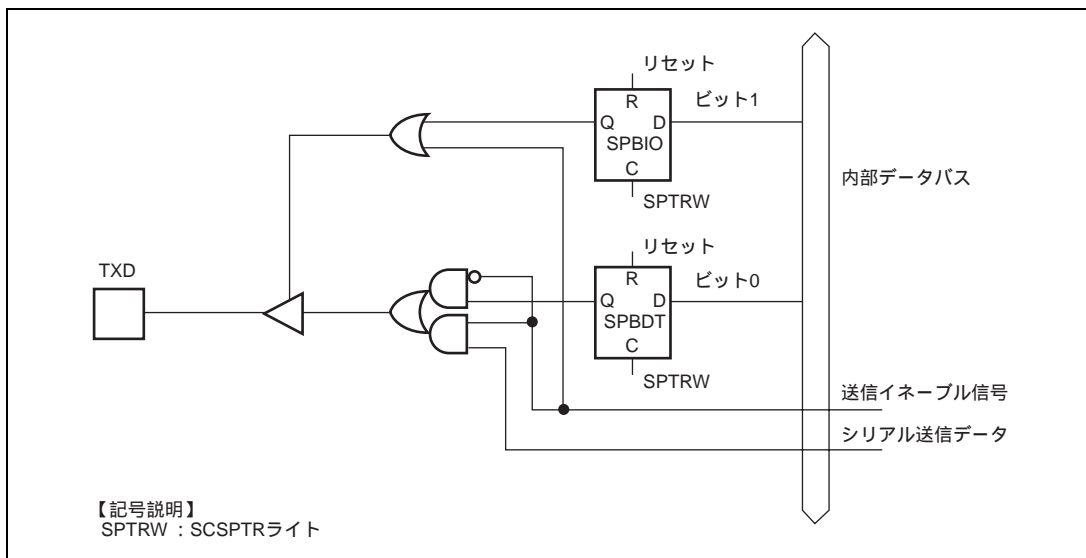


図 14.20 SPBIO ビット、SPBDT ビットと TXD 端子との関係

14.7 使用上の注意事項

14.7.1 SCTDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SCSSR) の TDRE フラグはトランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が SCTDR から SCTSR にデータを転送すると、TDRE フラグが 1 にセットされます。

SCTDR へのデータの書き込みは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCTDR に書き込むと、SCTDR に格納されていたデータは、まだ SCTSR に転送されていないため失われてしまいます。したがって SCTDR への送信データの書き込みは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

14.7.2 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SCSSR の各ステータスフラグの状態は、表 14.18 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へのデータ転送は行われず、受信データは失われます。

表 14.18 SCSSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SCSSR のステータスフラグ				受信データ転送 SCRSR SCRDR
	RDRF	ORER	FER	PER	
オーバランエラー	1	1	0	0	×
フレーミングエラー	0	0	1	0	
パリティエラー	0	0	0	1	
オーバランエラー + フレーミングエラー	1	1	1	0	×
オーバランエラー + パリティエラー	1	1	0	1	×
フレーミングエラー + パリティエラー	0	0	1	1	
オーバランエラー + フレーミングエラー + パリティエラー	1	1	1	1	×

【記号説明】

: SCRSR SCRDR に受信データを転送します。

× : SCRSR SCRDR に受信データを転送しません。

14.7.3 ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RXD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RXD 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後は、SCRDR への受信データの転送は停止しますが、受信動作は続けています。

14.7.4 ブレークの送り出し

TXD 端子は、シリアルポートレジスタ (SCSPTR) の SPB0IO、SPB0DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TXD 端子として機能しません。この間は、マーク状態は SPB0DT ビットの値で代替えされます。このため、最初は SPB0IO と SPB0DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB0DT ビットを 0 にクリア (ローレベル) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子からは 0 が出力されます。

14.7.5 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 14.21 に示します。

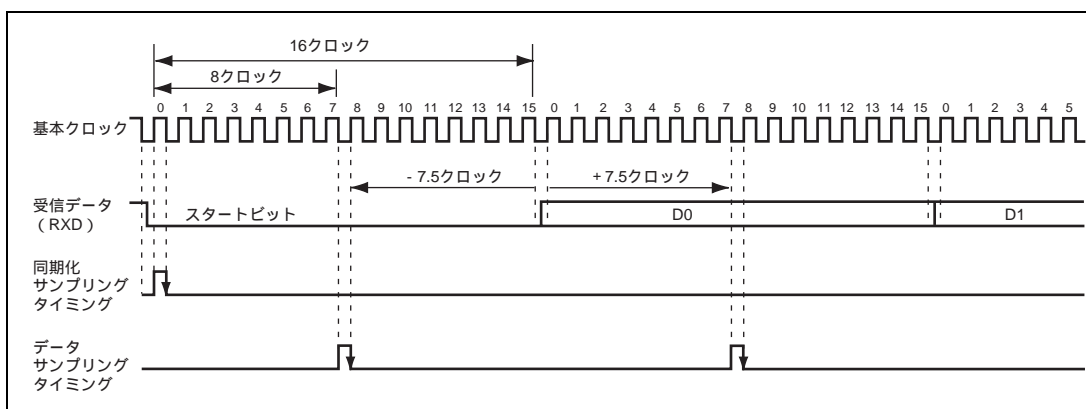


図 14.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100[\%] \quad \dots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\%$$

$$= 46.875\%$$

...式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

14.7.6 DTC 使用上の注意事項

- (1) 同期クロックに外部クロックソースを使用する場合、DTC による SCTDR の更新後、周辺動作クロックで 5 サイクル以上経過した後に外部クロックを入力してください。SCTDR の更新後 4 サイクル以内に送信クロックを入力すると誤動作することがあります (図 14.22 参照)。

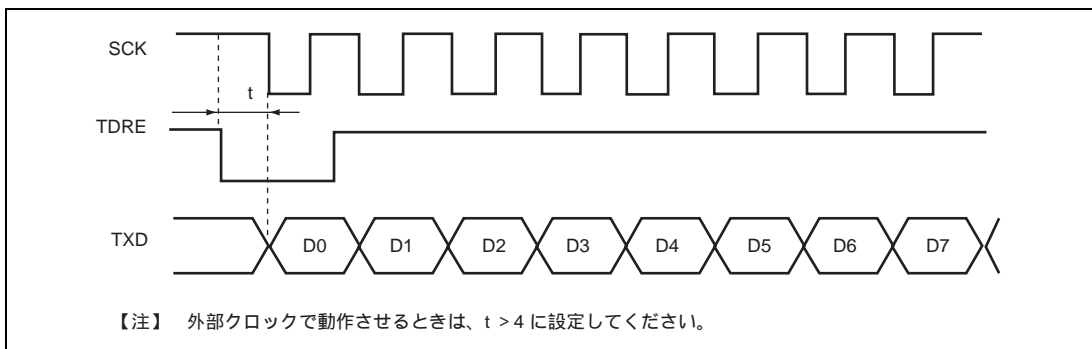


図 14.22 DTC による同期クロック転送例

- (2) TXI 割り込みにより DTC を起動して SCTDR ヘデータを書き込んだ場合には TEND フラグは不定となりますので、TEND フラグを送信終了フラグとして使用しないでください。

14.7.7 クロック同期外部クロックモード時の注意事項

TE = 1、RE = 1 に設定するのは、外部クロック SCK を 0 1 にしてから周辺動作クロック 4 クロック以上経過してからにしてください。

TE = RE = 1 に設定するのは、必ず外部クロック SCK が 1 のときにしてください。

14.7.8 モジュールスタンバイモードの設定

SCI は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力モード」を参照してください。

15. A/D 変換器 (ADC)

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しています。

15.1 特長

- 分解能：10ビット
- 入力チャンネル：12チャンネル（3個の独立したA/D変換モジュール内蔵）
- 変換時間：1チャンネル当たり2.0 μ s（ $f_{clk}=25$ MHz動作時）
- 動作モード：3種類
 - シングルモード：1チャンネルのA/D変換
 - 連続スキャンモード：最大8チャンネルの繰り返しA/D変換
 - 1サイクルスキャンモード：最大8チャンネルの連続A/D変換
- データレジスタ：A/D変換結果は各入力チャンネルに対応した16ビットデータレジスタに格納
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - マルチファンクションタイマパルスユニット2 (MTU2) またはマルチファンクションタイマパルスユニット2S (MTU2S) による変換開始トリガを選択可能
 - 外部トリガ信号
- 割り込み要因：A/D変換終了割り込み要求 (ADI) を発生
- モジュールスタンバイモードの設定可能

図 15.1 に A/D 変換器のブロック図を示します。

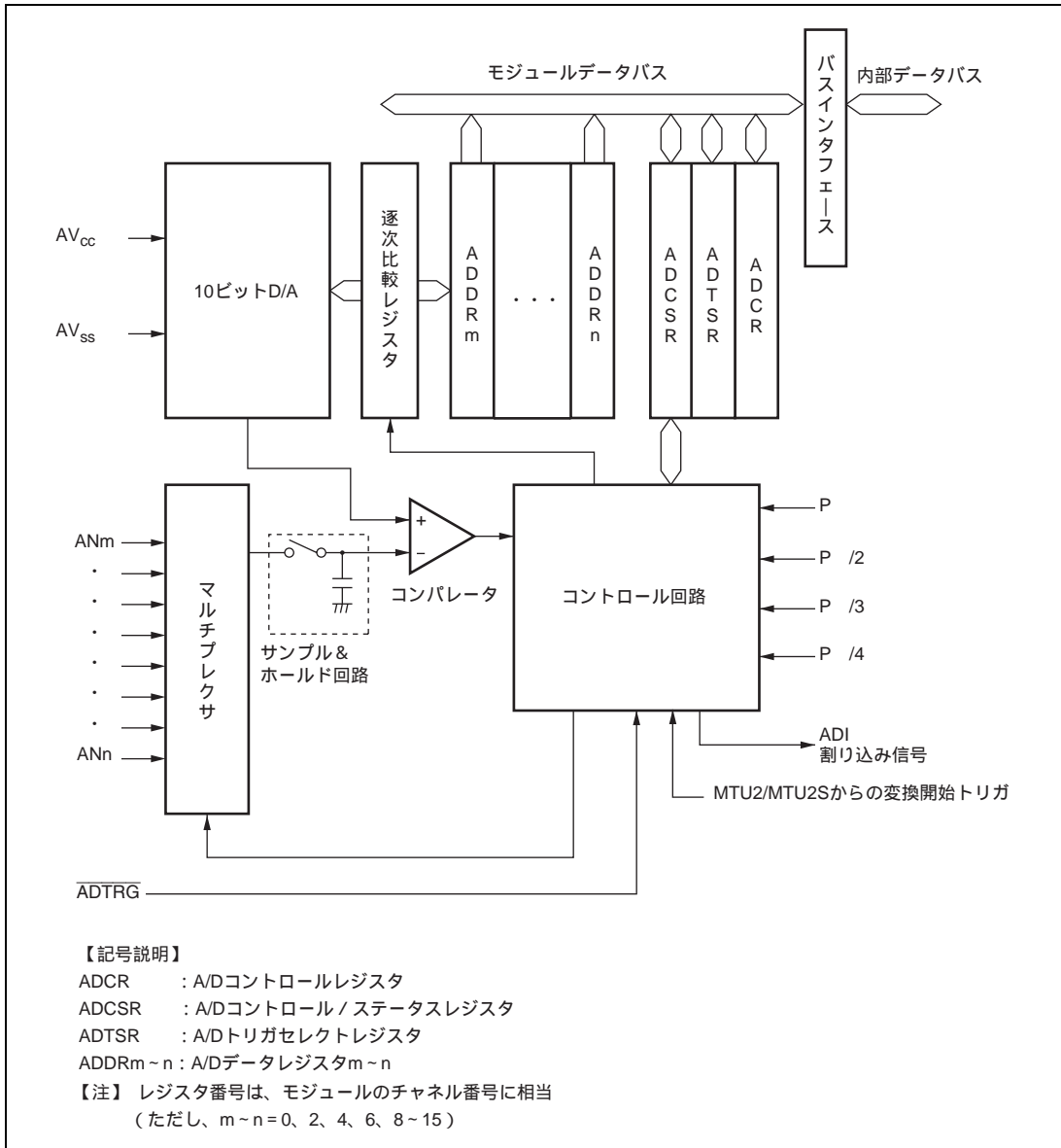


図 15.1 A/D 変換器のブロック図 (1 モジュール当たり)

15.2 入出力端子

A/D 変換器で使用する端子を表 15.1 に示します。3 個の A/D 変換モジュールで構成され、それぞれのモジュールは独立に動作させることができます。また、A/D モジュール 0、1 の入力チャネルは、2 チャネルごとのグループに分割されています。

表 15.1 端子構成

モジュール区分	端子名	入出力	機 能
共通	AVcc	入力	アナログ部の電源端子および基準電圧
	AVss	入力	アナログ部のグランドおよび基準電圧
	$\overline{\text{ADTRG}}$	入力	A/D 外部トリガ入力端子
A/D モジュール 0 (A/D_0)	AN0	入力	アナログ入力端子 0 (グループ 0)
	AN2	入力	アナログ入力端子 2 (グループ 1)
A/D モジュール 1 (A/D_1)	AN4	入力	アナログ入力端子 4 (グループ 0)
	AN6	入力	アナログ入力端子 6 (グループ 1)
A/D モジュール 2 (A/D_2)	AN8	入力	アナログ入力端子 8
	AN9	入力	アナログ入力端子 9
	AN10	入力	アナログ入力端子 10
	AN11	入力	アナログ入力端子 11
	AN12	入力	アナログ入力端子 12
	AN13	入力	アナログ入力端子 13
	AN14	入力	アナログ入力端子 14
	AN15	入力	アナログ入力端子 15

【注】 端子ごとに、接続される A/D モジュールが異なります。モジュールごとに制御レジスタを持つので、それぞれ設定をしてください。

15.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 15.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ 0	ADDR0	R	H'0000	H'FFFFC900	16
A/D データレジスタ 2	ADDR2	R	H'0000	H'FFFFC904	16
A/D コントロール/ステータスレジスタ_0	ADCSR_0	R/W	H'0000	H'FFFFC910	16
A/D コントロールレジスタ_0	ADCR_0	R/W	H'0000	H'FFFFC912	16
A/D データレジスタ 4	ADDR4	R	H'0000	H'FFFFC980	16
A/D データレジスタ 6	ADDR6	R	H'0000	H'FFFFC984	16
A/D コントロール/ステータスレジスタ_1	ADCSR_1	R/W	H'0000	H'FFFFC990	16
A/D コントロールレジスタ_1	ADCR_1	R/W	H'0000	H'FFFFC992	16
A/D データレジスタ 8	ADDR8	R	H'0000	H'FFFFCA00	16
A/D データレジスタ 9	ADDR9	R	H'0000	H'FFFFCA02	16
A/D データレジスタ 10	ADDR10	R	H'0000	H'FFFFCA04	16
A/D データレジスタ 11	ADDR11	R	H'0000	H'FFFFCA06	16
A/D データレジスタ 12	ADDR12	R	H'0000	H'FFFFCA08	16
A/D データレジスタ 13	ADDR13	R	H'0000	H'FFFFCA0A	16
A/D データレジスタ 14	ADDR14	R	H'0000	H'FFFFCA0C	16
A/D データレジスタ 15	ADDR15	R	H'0000	H'FFFFCA0E	16
A/D コントロール/ステータスレジスタ_2	ADCSR_2	R/W	H'0000	H'FFFFCA10	16
A/D コントロールレジスタ_2	ADCR_2	R/W	H'0000	H'FFFFCA12	16
A/D トリガセレクトレジスタ 0	ADTSR_0	R/W	H'0000	H'FFFFE890	8、16
A/D トリガセレクトレジスタ 1	ADTSR_1	R/W	H'0000	H'FFFFE892	8、16

15.3.1 A/D データレジスタ 0、2、4、6、8~15 (ADDR0、ADDR2、ADDR4、ADDR6、ADDR8~ADDR15)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。各アナログ入力チャネルの変換結果は、対応する番号の ADDR に格納されます。たとえば、AN4 の変換結果は A/D データレジスタ (ADDR4) に格納されます。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットは、リードすると常に 0 がリードされます。

ADDR の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6		すべて 0	R	ビットデータ (10 ビット)
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

15.3.2 A/D コントロール/ステータスレジスタ_0~2 (ADCSR_0~2)

ADCSR は、モジュールごとであり、A/D 変換動作を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DTC が起動され、ADDR をリードしたとき

ビット	ビット名	初期値	R/W	説明
14	ADIE	0	R/W	A/D インタラプト (ADI) イネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。 動作モードの切り替えは、ADST が 0 の状態で行ってください。
13, 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	TRGE	0	R/W	トリガイネーブル ADTRG、MTU2 トリガまたは MTU2S トリガによる A/D 変換開始を設定します。 0 : トリガによる開始は無効 1 : トリガによる開始は有効 動作モードの切り替えは、ADST が 0 の状態で行ってください。
10	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	CONADF	0	R/W	ADF コントロール 2 チャネルスキャンモード時の ADF の動作を制御します。本ビットは 2 チャネルスキャンモード時かつトリガによる A/D 変換開始 (TRGE=1) の設定時のみ有効です。シングルモード、4 チャネルスキャンモード、8 チャネルスキャンモードでは無視されます。 0 : グループ 0 トリガ、グループ 1 トリガそれぞれの変換終了時に ADF がセットされます。 1 : グループ 0 トリガ、グループ 1 トリガ両方の変換終了時に ADF がセットされます。なお、トリガの順番には影響されません。 動作モードの切り替えは、ADST が 0 の状態で行ってください。
8	STC	0	R/W	ステートコントロール CKSL1、CKSL0 と組み合わせて A/D 変換時間の設定を行います。 0 : 50 ステート 1 : 64 ステート A/D 変換時間の切り替えは、ADST が 0 の状態で行ってください。
7, 6	CKSL[1:0]	00	R/W	クロックセレクト 1、0 A/D 変換時間の設定を行います。 00 : P /4 01 : P /3 10 : P /2 11 : P A/D 変換時間の切り替えは、ADST が 0 の状態で行ってください。 CKSL[1:0] = B'11 の設定は P 25[MHz]まで可能です。

ビット	ビット名	初期値	R/W	説明
5、4	ADM[1:0]	00	R/W	A/D モード 1、0 A/D 変換の動作モードを選択します。2 チャンルスキャンモードは A/D モジュール 0、A/D モジュール 1 にて使用可能です。A/D モジュール 2 では設定しないでください。 00 : シングルモード 01 : 4 チャンルスキャンモード 10 : 8 チャンルスキャンモード 11 : 2 チャンルスキャンモード 動作モードの切り替えは、ADST が 0 の状態で行ってください。
3	ADCS	0	R/W	A/D 連続スキャン スキャンモード時の 1 サイクルスキャン / 連続スキャンを選択するビットです。スキャンモード時のみ有効です。 0 : 1 サイクルスキャン 1 : 連続スキャン 動作モードの切り替えは、ADST が 0 の状態で行ってください。
2~0	CH[2:0]	000	R/W	チャンネルセレクト 2~0 A/D 変換するアナログ入力チャンネルを選択します (表 15.3 参照)。 動作モードの切り替えは、ADST が 0 の状態で行ってください。

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

15.3.3 A/D コントロールレジスタ_0~2 (ADCR_0~2)

ADCR は、モジュールごとにあり、A/D 変換動作を制御します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	ADST	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
13	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードおよび 1 サイクルスキャンモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。連続スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモード、またはモジュールスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
12~0	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

表 15.3 チャンネルセレクトー覧表

- シングルモード

ビット2	ビット1	ビット0	アナログ入力チャンネル		
CH2	CH1	CH0	シングルモード		
			A/D_0	A/D_1	A/D_2
0	0	0	AN0	AN4	AN8
		1	設定禁止	設定禁止	AN9
	1	0	AN2	AN6	AN10
		1	設定禁止	設定禁止	AN11
1	0	0			AN12
		1			AN13
	1	0			AN14
		1			AN15

- 2チャンネルスキャンモード

ビット2	ビット1	ビット0	アナログ入力チャンネル							
CH2	CH1	CH0	ソフトウェア起動時			ソフトウェア起動以外				
			A/D_0	A/D_1	A/D_2	A/D_0		A/D_1		A/D_2
						グループ0	グループ1	グループ0	グループ1	
0	0	0	AN0	AN4	設定禁止	AN0	AN2	AN4	AN6	設定禁止
		1	設定禁止	設定禁止		設定禁止	設定禁止	設定禁止	設定禁止	
	1	0	AN2	AN6						
		1	設定禁止	設定禁止						
1	0	0								
		1								
	1	0								
		1								

【注】 2、4、8チャンネルスキャンモードに設定した場合でも、動作するのはCH[2:0]で選択したチャンネルだけです。たとえば、連続スキャンモードで8チャンネルスキャンモードに設定しても、CH[2:0]=000を設定した場合、AN8の変換を連続で実行します。

● 4チャンネルスキャンモード

ビット2	ビット1	ビット0	アナログ入力チャンネル		
CH2	CH1	CH0	4チャンネルスキャンモード*		
			A/D_0	A/D_1	A/D_2
0	0	0	AN0	AN4	AN8
		1	設定禁止	設定禁止	AN8、AN9
	1	AN8 ~ AN10			
1	0	0	設定禁止	設定禁止	AN8 ~ AN11
		1			AN12
	1	0			AN12、AN13
		1			AN12 ~ AN14
		1	AN12 ~ AN15		

【注】 * ADCS ビットにより連続スキャン/1サイクルスキャンを設定することが可能です。

2、4、8チャンネルスキャンモードに設定した場合でも、動作するのはCH[2:0]で選択したチャンネルだけです。たとえば、連続スキャンモードで8チャンネルスキャンモードに設定しても、CH[2:0]=000を設定した場合、AN8の変換を連続で実行します。

● 8チャンネルスキャンモード

ビット2	ビット1	ビット0	アナログ入力チャンネル	
CH2	CH1	CH0	8チャンネルスキャンモード*	
			A/D_2	
0	0	0	AN8	
		1	AN8、AN9	
	1	0	AN8 ~ AN10	
1		AN8 ~ AN11		
1	0	0	AN8 ~ AN12	
		1	AN8 ~ AN13	
	1	0	AN8 ~ AN14	
		1	AN8 ~ AN15	

【注】 * ADCS ビットにより連続スキャン/1サイクルスキャンを設定することが可能です。

2、4、8チャンネルスキャンモードに設定した場合でも、動作するのはCH[2:0]で選択したチャンネルだけです。たとえば、連続スキャンモードで8チャンネルスキャンモードに設定しても、CH[2:0]=000を設定した場合、AN8の変換を連続で実行します。

15.3.4 A/D トリガセレクトレジスタ_0、1 (ADTSR_0、1)

ADTSR は、外部トリガによる A/D 変換開始をイネーブルにします。

特に、2 チャンネルスキャンモードでは、A/D モジュール 0 および A/D モジュール 1 内の 2 チャンネルをグループ 0 とグループ 1 の 2 グループに分け、それぞれ独立の A/D トリガを指定することができます。

• ADTSR_0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRG11S[3:0]				TRG01S[3:0]				TRG1S[3:0]				TRG0S[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	TRG11S[3:0]	0000	R/W	<p>A/D トリガ 1 グループ 1 セレクト 3、2、1、0</p> <p>A/D モジュール 1 の 2 チャンネルスキャンモード時のグループ 1 に対する外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。</p> <p>0000 : 外部トリガ端子 ($\overline{\text{ADTRG}}$) の入力</p> <p>0001 : MTU2 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0010 : MTU2 CH0 コンペアマッチ (TRG0N)</p> <p>0011 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)</p> <p>0100 : MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0101 : MTU2S 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0110 : 設定禁止</p> <p>0111 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)</p> <p>1000 : MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>1001 : 設定禁止</p> <p>101x : 設定禁止</p> <p>11xx : 設定禁止</p> <p>セレクトの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。</p> <p>2 チャンネルスキャンモード時において、グループ 0 とグループ 1 の変換要求が同時に発生しないように、グループ 0 とグループ 1 の変換要求はそれぞれ違う要因を指定してください。</p>

【記号説明】 x : Don't care

ビット	ビット名	初期値	R/W	説 明
11~8	TRG01S[3:0]	0000	R/W	<p>A/D トリガ 0 グループ 1 セレクト 3、2、1、0</p> <p>A/D モジュール 0 の 2 チャネルスキャンモード時のグループ 1 に対する外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。</p> <p>0000 : 外部トリガ端子 (\overline{ADTRG}) の入力</p> <p>0001 : MTU2 各チャネルの TGRA のインプットキャプチャ/コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0010 : MTU2 CH0 コンペアマッチ (TRG0N)</p> <p>0011 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)</p> <p>0100 : MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0101 : MTU2S 各チャネルの TGRA のインプットキャプチャ/コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0110 : 設定禁止</p> <p>0111 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)</p> <p>1000 : MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>1001 : 設定禁止</p> <p>101x : 設定禁止</p> <p>11xx : 設定禁止</p> <p>セレクトの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。</p> <p>2 チャネルスキャンモード時において、グループ 0 とグループ 1 の変換要求が同時に発生しないように、グループ 0 とグループ 1 の変換要求はそれぞれ違う要因を指定してください。</p>

【記号説明】 x : Don't care

ビット	ビット名	初期値	R/W	説 明
7~4	TRG1S[3:0]	0000	R/W	<p>A/D トリガ 1 セレクト 3、2、1、0</p> <p>A/D モジュール 1 の外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。2 チャネルスキャンモード時では、グループ 0 に対する外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。</p> <p>0000 : 外部トリガ端子 ($\overline{\text{ADTRG}}$) の入力</p> <p>0001 : MTU2 各チャンネルの TGRA のインプットキャプチャ / コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0010 : MTU2 CH0 コンペアマッチ (TRG0N)</p> <p>0011 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)</p> <p>0100 : MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0101 : MTU2S 各チャンネルの TGRA のインプットキャプチャ / コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0110 : 設定禁止</p> <p>0111 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)</p> <p>1000 : MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>1001 : 設定禁止</p> <p>101x : 設定禁止</p> <p>11xx : 設定禁止</p> <p>セレクタの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。</p> <p>2 チャネルスキャンモード時において、グループ 0 とグループ 1 の変換要求が同時に発生しないように、グループ 0 とグループ 1 の変換要求はそれぞれ違う要因を指定してください。</p>

【記号説明】 x : Don't care

ビット	ビット名	初期値	R/W	説 明
3~0	TRG0S[3:0]	0000	R/W	<p>A/D トリガ 0 セレクト 3、2、1、0</p> <p>A/D モジュール 0 の外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。2 チャネルスキャンモード時では、グループ 0 に対する外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。</p> <p>0000 : 外部トリガ端子 ($\overline{\text{ADTRG}}$) の入力</p> <p>0001 : MTU2 各チャネルの TGRA のインプットキャプチャ / コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0010 : MTU2 CH0 コンペアマッチ (TRG0N)</p> <p>0011 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)</p> <p>0100 : MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0101 : MTU2S 各チャネルの TGRA のインプットキャプチャ / コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0110 : 設定禁止</p> <p>0111 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)</p> <p>1000 : MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>1001 : 設定禁止</p> <p>101x : 設定禁止</p> <p>11xx : 設定禁止</p> <p>セレクトの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。</p> <p>2 チャネルスキャンモード時において、グループ 0 とグループ 1 の変換要求が同時に発生しないように、グループ 0 とグループ 1 の変換要求はそれぞれ違う要因を指定してください。</p>

【記号説明】 x : Don't care

• ADTSR_1

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TRG2S[3:0]				-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~12	TRG2S[3:0]	0000	R/W	<p>A/D トリガ 2 セレクト 3、2、1、0</p> <p>A/D モジュール 2 の外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。</p> <p>0000 : 外部トリガ端子 ($\overline{\text{ADTRG}}$) の入力</p> <p>0001 : MTU2 各チャンネルの TGRA のインプットキャプチャ / コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0010 : MTU2 CH0 コンペアマッチ (TRG0N)</p> <p>0011 : MTU2 A/D 変換開始要求ディレイド (TRG4AN)</p> <p>0100 : MTU2 A/D 変換開始要求ディレイド (TRG4BN)</p> <p>0101 : MTU2S 各チャンネルの TGRA のインプットキャプチャ / コンペアマッチ、相補 PWM モード時の TCNT_4 の谷 (TRGAN)</p> <p>0110 : 設定禁止</p> <p>0111 : MTU2S A/D 変換開始要求ディレイド (TRG4AN)</p> <p>1000 : MTU2S A/D 変換開始要求ディレイド (TRG4BN)</p> <p>1001 : 設定禁止</p> <p>101x : 設定禁止</p> <p>11xx : 設定禁止</p> <p>セレクタの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。</p>
11~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【記号説明】 x : Don't care

15.4 動作説明

A/D変換器は逐次比較方式で分解能は10ビットです。動作モードにはシングルモードとスキャンモードがあります。スキャンモードには、連続スキャンモードと1サイクルスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるためADCRのADSTビットが0の状態で行ってください。

15.4.1 シングルモード

シングルモードは、指定された1チャンネルのアナログ入力を以下のように1回A/D変換します。

1. ソフトウェア、MTU2、MTU2Sまたは外部トリガ入力によってADCRのADSTビットが1にセットされると、選択されたチャンネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると、変換を中止してA/D変換器は待機状態になります。

15.4.2 連続スキャンモード

連続スキャンモードは指定されたチャンネル(最大8チャンネル)のアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェア、MTU2、MTU2Sまたは外部トリガ入力によってADCRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順(例えば、AN8、AN9...AN15)にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びグループの第1チャンネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアすると、A/D変換を中止し、A/D変換器は待機状態になります。

15.4.3 1 サイクルスキャンモード

1 サイクルスキャンモードは、指定されたチャンネル (最大 8 チャンネル) のアナログ入力を、以下のように 1 回 A/D 変換します。

1. ソフトウェア、MTU2、MTU2Sまたは外部トリガ入力によってADCRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順 (例えば、AN8、AN9...AN15) にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットは、変換が終了すると自動的にクリアされて、A/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると、変換を中止して、A/D変換器は待機状態になります。

15.4.4 入力サンプリングと A/D 変換時間

A/D 変換器には、モジュールごとにサンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間(t_D)経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 15.2 に示します。また、A/D 変換時間を表 15.4 に示します。

A/D 変換時間(t_{CONV})は、図 15.2 に示すように、 t_D と入力サンプリング時間(t_{SPL})を含めた時間となります。ここで t_D は、ADCR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 15.4 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 15.5 に示す値となります。

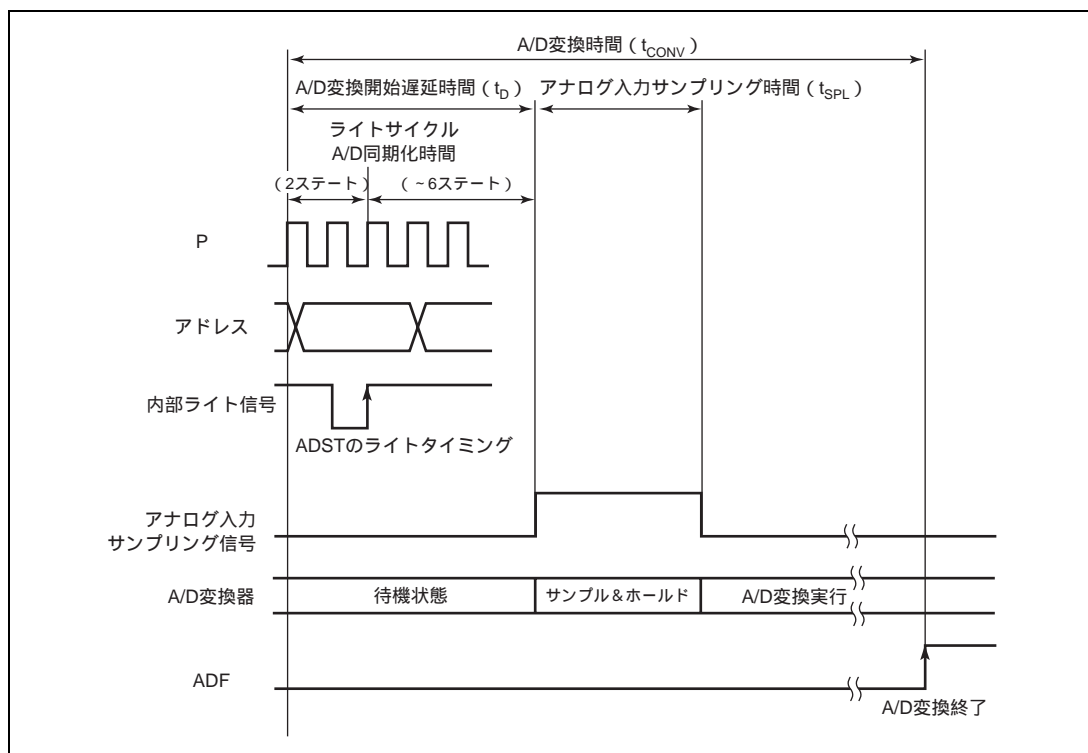


図 15.2 A/D 変換タイミング

表 15.4 A/D 変換時間 (シングルモード)

項 目	記号	STC = 0											
		CKSL1 = 0						CKSL1 = 1					
		CKSL0 = 0			CKSL0 = 1			CKSL0 = 0			CKSL0 = 1		
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
A/D 変換開始遅延時間	t_D	2	-	6	2	-	5	2	-	4	2	-	3
入力サンプリング時間	t_{SPL}	-	24	-	-	18	-	-	12	-	-	6	-
A/D 変換時間	t_{CONV}	202	-	206	152	-	155	102	-	104	52	-	53

項 目	記号	STC = 1											
		CKSL1 = 0						CKSL1 = 1					
		CKSL0 = 0			CKSL0 = 1			CKSL0 = 0			CKSL0 = 1		
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
A/D 変換開始遅延時間	t_D	2	-	6	2	-	5	2	-	4	2	-	3
入力サンプリング時間	t_{SPL}	-	36	-	-	27	-	-	18	-	-	9	-
A/D 変換時間	t_{CONV}	258	-	262	194	-	197	130	-	132	66	-	67

【注】 表中の数値の単位は P に対するステートです。

表 15.5 A/D 変換時間 (スキャンモード)

STC	CKSL1	CKSL0	変換時間 (ステート)	変換時間計算例	
				P = 25MHz 時	P = 40MHz 時
0	0	0	200 (固定)	8 μ s	5 μ s
		1	150 (固定)	6 μ s	3.8 μ s
	1	0	100 (固定)	4 μ s	2.5 μ s
		1	50 (固定)	2 μ s	設定禁止
1	0	0	256 (固定)	10.2 μ s	6.4 μ s
		1	192 (固定)	7.7 μ s	4.8 μ s
	1	0	128 (固定)	5.1 μ s	3.2 μ s
		1	64 (固定)	2.6 μ s	設定禁止

15.4.5 MTU2、MTU2S による A/D 変換器の起動

MTU2、MTU2S のインターバルタイマの A/D 変換要求によって、A/D 変換器を独立に起動することができます。

MTU2、MTU2S から A/D 変換器を起動するときには、A/D コントロール/ステータスレジスタ (ADCSR) の TRGE ビットを 1 にして、A/D トリガセレクトレジスタ (ADTSR) の設定を行います。この状態で MTU2、MTU2S のインターバルタイマの A/D 変換要求が発生すると、ADST ビットを 1 にセットします。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

15.4.6 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、A/D コントロール/ステータスレジスタ (ADCSR) の TRGE ビットを 1 にして、A/D トリガセレクトレジスタ_{0、1} (ADTSR₀、ADTSR₁) の設定が外部トリガ端子の入りに設定されているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 15.3 に示します。

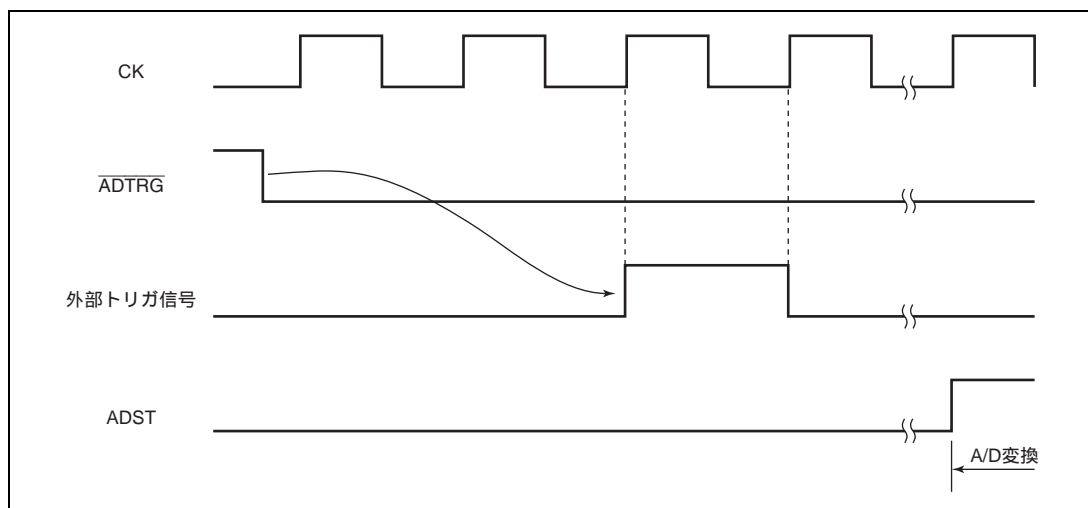


図 15.3 外部トリガ入力タイミング

15.4.7 2チャンネルスキャン

2チャンネルスキャンモードは2チャンネルのアナログ入力をグループ0とグループ1に分けており、グループ0とグループ1に個別のトリガによる起動要因を選択できます。2チャンネルスキャンモードの変換終了割り込みは、グループ0もしくはグループ1の終了とグループ0とグループ1の終了後を選択できます。トリガによる変換開始を行う場合、ADTSRのグループ0とグループ1に別々の要因を設定してください。なお、グループ0の変換中にグループ1の変換要求が発生した場合、グループ1の変換要求は無視されます。グループ0のA/D変換開始要求にMTU2のTRG4AN、グループ1のA/D変換開始要求にMTU2のTRG4BNを設定した場合の動作例を図15.4に示します。

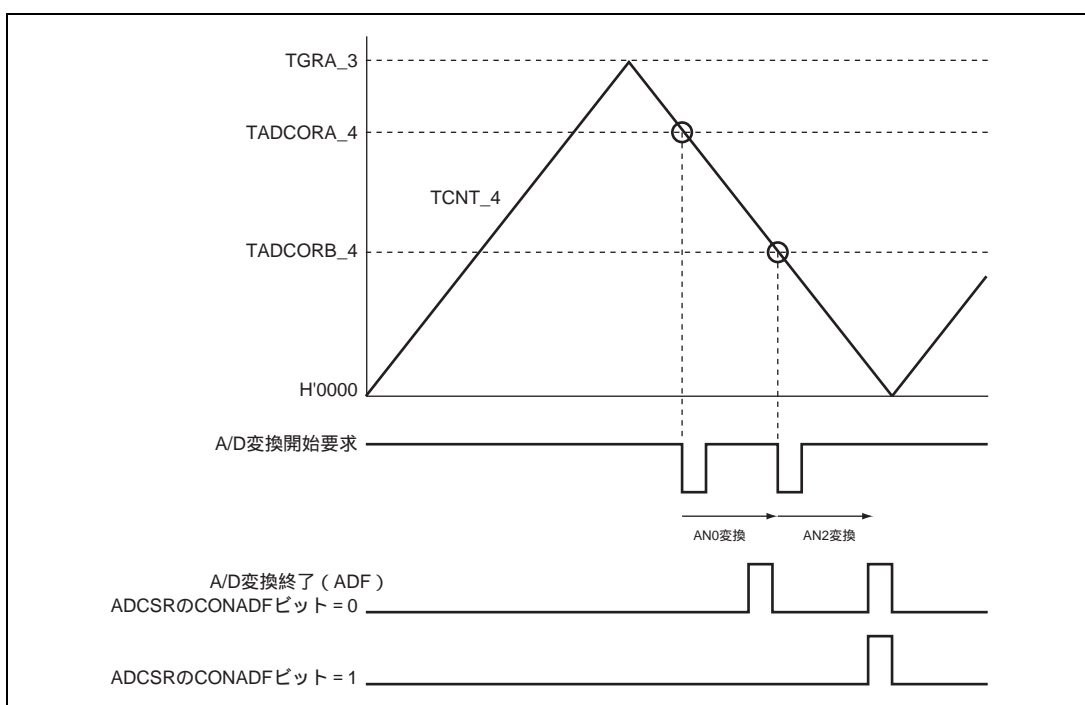


図 15.4 2チャンネルスキャンの動作例

15.5 割り込み要因と DTC 転送要求

A/D 変換器は、A/D 変換終了割り込み要求 (ADI) を発生することができます。A/D コントロールステータスレジスタ (ADCSR) の ADIE ビットを 1 にセットすると ADI を許可、0 にクリアすると ADI を禁止することができます。

また、ADI 発生時に DTC を起動することができます。このとき、CPU への割り込みは発生しません。

ADI で DTC を起動する場合、DTC によるデータ転送時に ADCSR の ADF ビットは自動的にクリアされます。DTC で、ADI 割り込みで変換されたデータのリードを行うと、連続変換がソフトウェアの負担なく実現できます。

表 15.6 A/D 変換器の割り込み要因

名 称	割り込み要因	割り込みフラグ	DTC の起動
ADI0	A/D_0 変換終了	ADCSR_0 の ADF	可
ADI1	A/D_1 変換終了	ADCSR_1 の ADF	可
ADI2	A/D_2 変換終了	ADCSR_2 の ADF	可

15.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図15.5)。

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'00) からB'000000001 (H'01) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.6)。

- フルスケール誤差

デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.6)。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図15.6)。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

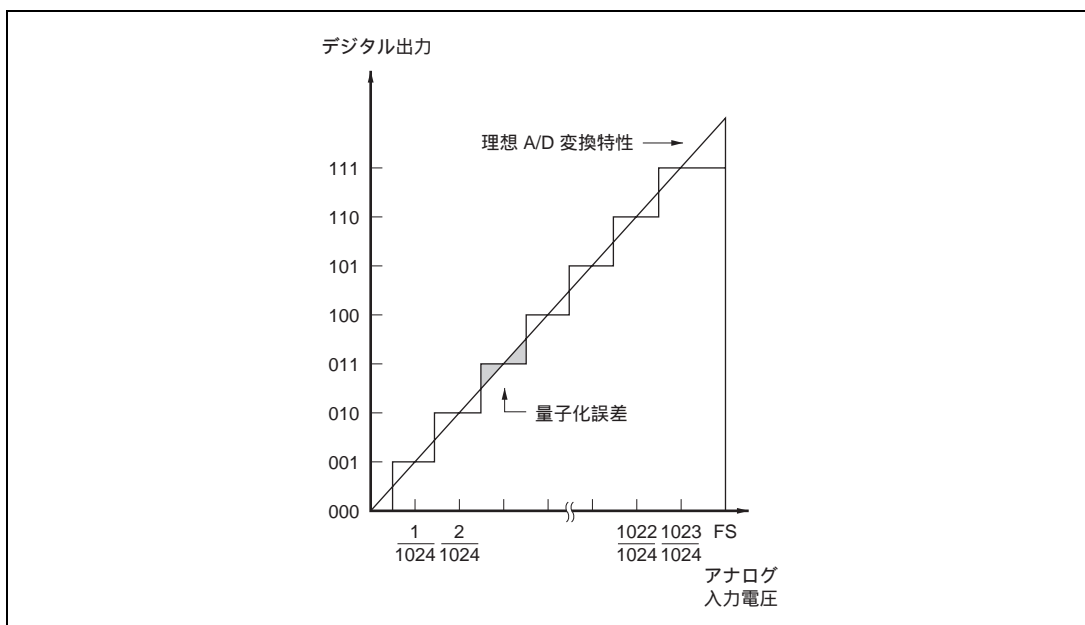


図 15.5 A/D 変換精度の定義

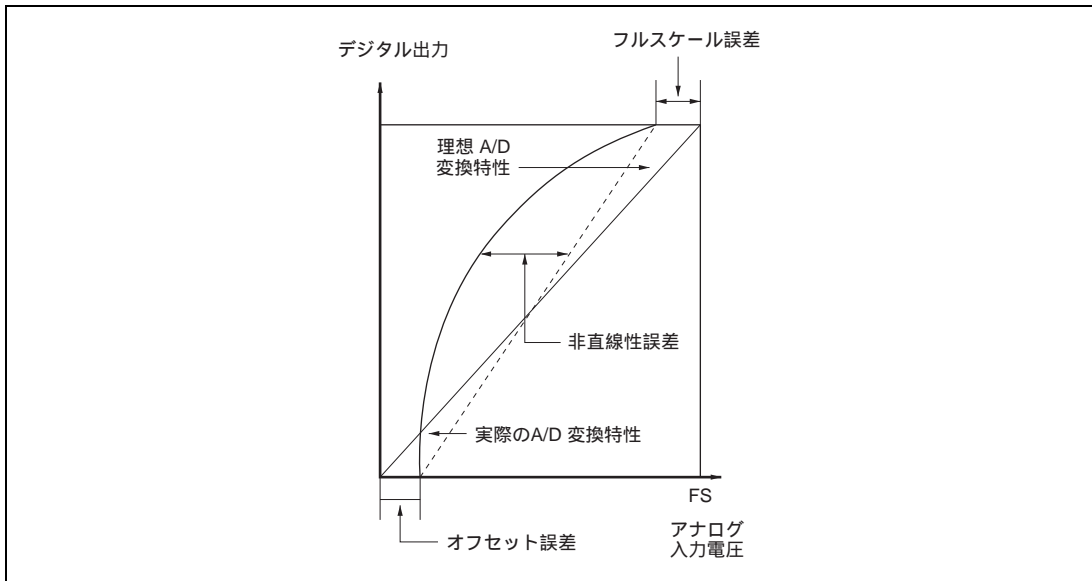


図 15.6 A/D 変換精度の定義

15.7 使用上の注意事項

15.7.1 モジュールスタンバイモードの設定

A/D 変換器は、スタンバイコントロールレジスタにより、本モジュールの禁止 / 許可を設定することが可能です。初期値では、A/D 変換器の動作は停止しています。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力モード」を参照してください。

15.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $1k$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $1k$ を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（例えば $5mV/\mu s$ 以上）には追従できないことがあります（図 15.7）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

15.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交差したり、アンテナとならないように注意してください。

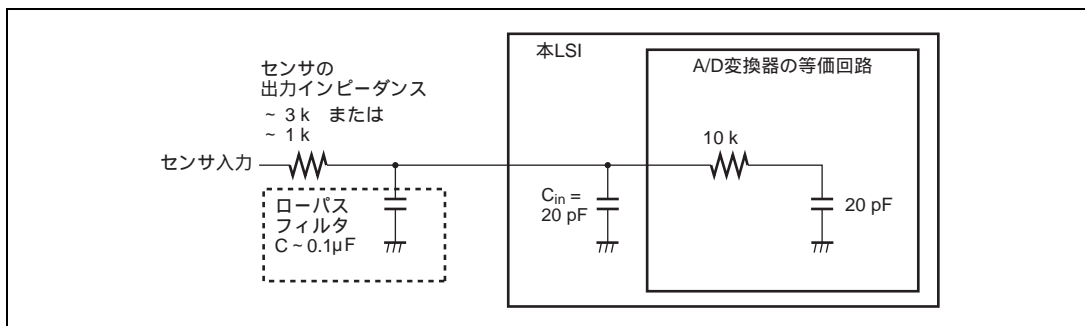


図 15.7 アナログ入力回路の例

15.7.4 アナログ電源端子などの設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧はAVss、VAN、AVccの範囲としてください。

- AVcc、AVssとVcc、Vssの関係

AVcc、AVssとVcc、Vssとの関係はAVss = Vssとし、さらに、A/D変換器を使用しないときもAVcc、AVss端子をオープンにしないでください。

15.7.5 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子 (AN0 ~ AN15)、アナログ電源電圧 (AVcc) は、アナロググランド (AVss) で、デジタル回路と分離してください。さらに、アナロググランド (AVss) は、ボード上の安定したグランド (Vss) に一点接続してください。

15.7.6 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子 (AN0 ~ AN15) の破壊を防ぐために、図 15.8 に示すように AVcc - AVss 間に保護回路を接続してください。AVcc に接続するバイパスコンデンサ、AN0 ~ AN15 に接続するフィルタ用のコンデンサは、必ず AVss に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0 ~ AN15 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が、入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

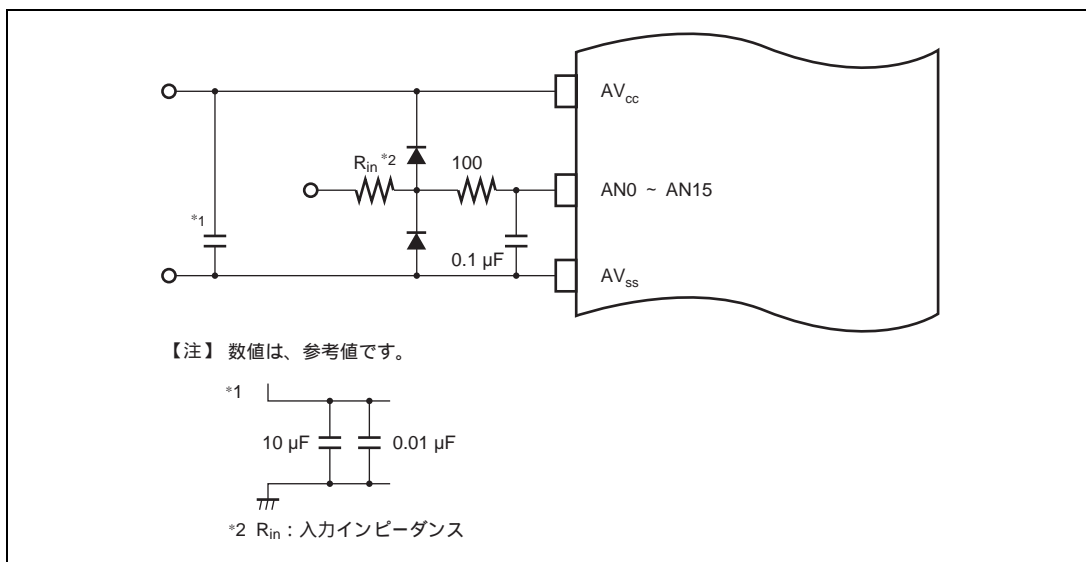


図 15.8 アナログ入力保護回路の例

表 15.7 アナログ端子の規格

項目	Min.	Max.	単位	条件
アナログ入力容量	-	20	pF	-
許容信号源インピーダンス	-	3	k	P 20MHz
		1		P > 20MHz

16. コンペアマッチタイマ (CMT)

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

16.1 特長

- 4種類のカウンタ入力クロックを2チャンネル独立で選択可能
4種類の内部クロック (P /8、P /32、P /128、P /512) を選択可能
- コンペアマッチ時、割り込み要求可能
- モジュールスタンバイモードの設定可能

図 16.1 に CMT のブロック図を示します。

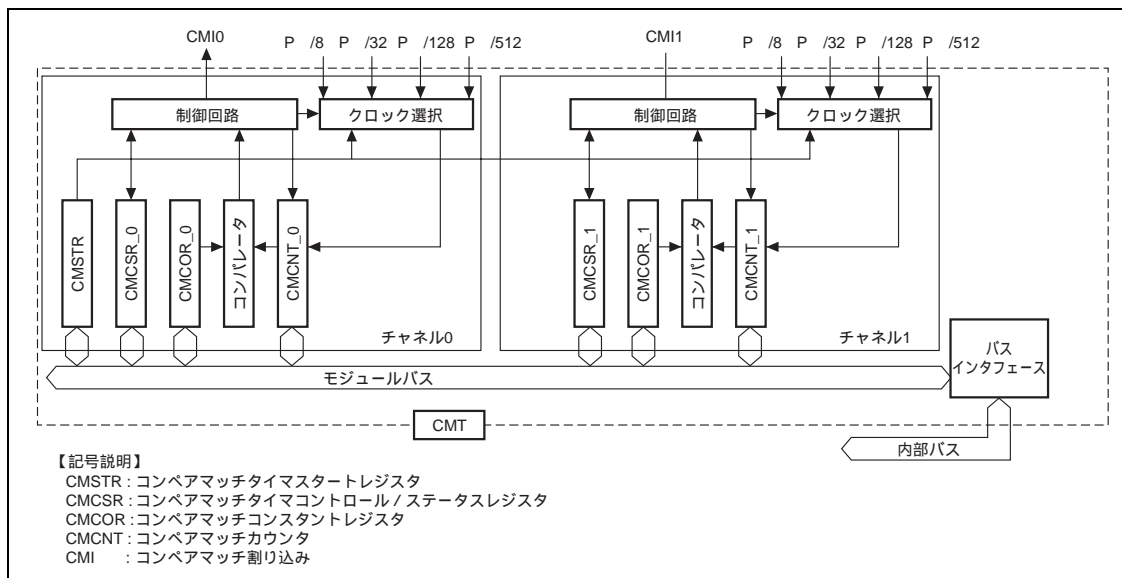


図 16.1 CMT のブロック図

16.2 レジスタの説明

CMT には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。なお本章中では、チャンネル数を省略しています。

表 16.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
コンペアマッチタイムスタートレジスタ	CMSTR	R/W	H'0000	H'FFFFCE00	8、16、32
コンペアマッチタイムコントロール /ステータスレジスタ_0	CMCSR_0	R/W	H'0000	H'FFFFCE02	8、16
コンペアマッチカウンタ_0	CMCNT_0	R/W	H'0000	H'FFFFCE04	8、16、32
コンペアマッチコンスタントレジスタ_0	CMCOR_0	R/W	H'FFFF	H'FFFFCE06	8、16
コンペアマッチタイムコントロール /ステータスレジスタ_1	CMCSR_1	R/W	H'0000	H'FFFFCE08	8、16、32
コンペアマッチカウンタ_1	CMCNT_1	R/W	H'0000	H'FFFFCE0A	8、16
コンペアマッチコンスタントレジスタ_1	CMCOR_1	R/W	H'FFFF	H'FFFFCE0C	8、16、32

16.2.1 コンペアマッチタイムスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ (CMCNT) の動作 / 停止を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STR1	0	R/W	カウントスタート 1 コンペアマッチカウンタ_1 の動作 / 停止を選択します。 0 : CMCNT_1 はカウントを停止 1 : CMCNT_1 はカウントを開始
0	STR0	0	R/W	カウントスタート 0 コンペアマッチカウンタ_0 の動作 / 停止を選択します。 0 : CMCNT_0 はカウントを停止 1 : CMCNT_0 はカウントを開始

16.2.2 コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込み、およびカウンタ入力クロックの設定を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	CKS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	(R/W)*1	R/W	R	R	R	R	R/W	R/W

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	CMF	0	(R/W)*1	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0: CMCNT と CMCOR の値は不一致 [クリア条件] • CMF = 1 を読み出した後に 0 を書き込んだとき*2 • CMI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが0のときに CMT のレジスタがアクセスされたとき [セット条件] 1: CMCNT と CMCOR の値が一致
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0: コンペアマッチ割り込み (CMI) を禁止 1: コンペアマッチ割り込み (CMI) を許可
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	CKS[1:0]	00	R/W	クロックセレクト 1、0 周辺動作クロック (P) を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS1、CKS0 ビットにより選択されたクロックでカウントを開始します。 00: P /8 01: P /32 10: P /128 11: P /512

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 1を読み出した後、0を書き込む前に次のコンペアマッチによるフラグセットが発生した場合は、0を書き込んでフラグはクリアされませんので、再度1を読み出して0を書き込んでください。

16.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入力クロックが CMCSR の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3 動作説明

16.3.1 期間カウント動作

内部クロックが CMCSR の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT は H'0000 からカウントアップを再開します。

図 16.2 にコンペアマッチカウンタ動作を示します。

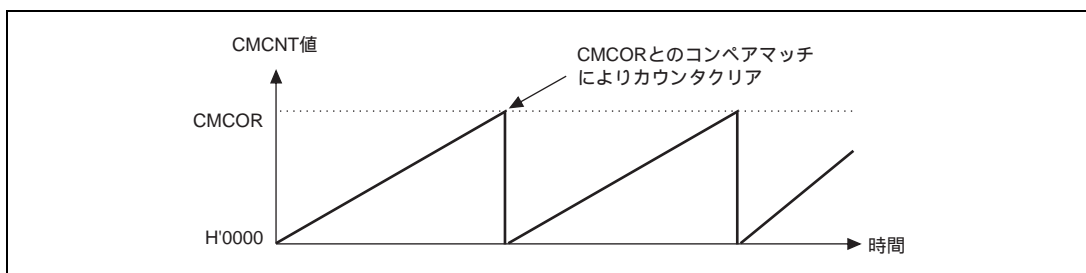


図 16.2 カウンタ動作

16.3.2 CMCNT カウントタイミング

クロック (P) を分周して得られた 4 種類のクロック ($P/8$ 、 $P/32$ 、 $P/128$ 、 $P/512$) のうち 1 つを CMCSR の CKS1、CKS0 ビットにより選択することができます。図 16.3 にそのタイミングを示します。

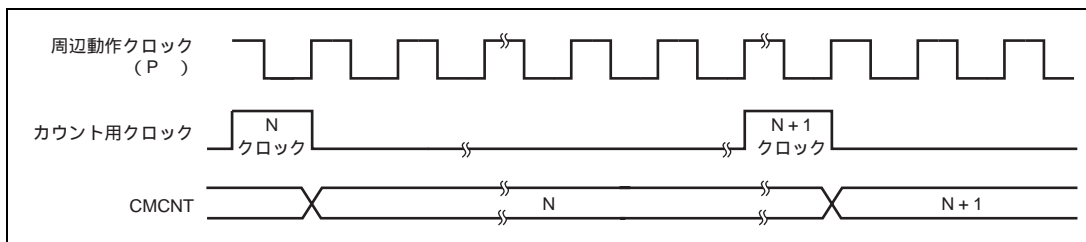


図 16.3 カウントタイミング

16.4 割り込み

16.4.1 CMT の割り込み要因と DTC

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ (CMF) が 1 にセットされ、かつ割り込み許可ビット (CMIE) が 1 にセットされているとき、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

また、割り込み要求をデータトランスファコントローラ (DTC) の起動要因とすることもできます。この場合、チャンネル間の優先順位は固定です。詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。表 16.2 に CMT の割り込み要因を示します。

表 16.2 割り込み要因

チャンネル	割り込み要因	割り込み許可ビット	割り込みフラグビット	DTC の起動	優先順位
0	CML_0	CMIE	CMF	可	高
1	CML_1	CMIE	CMF	可	低

16.4.2 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致するとコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) で発生します。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 16.4 に CMF ビットのセットタイミングを示します。

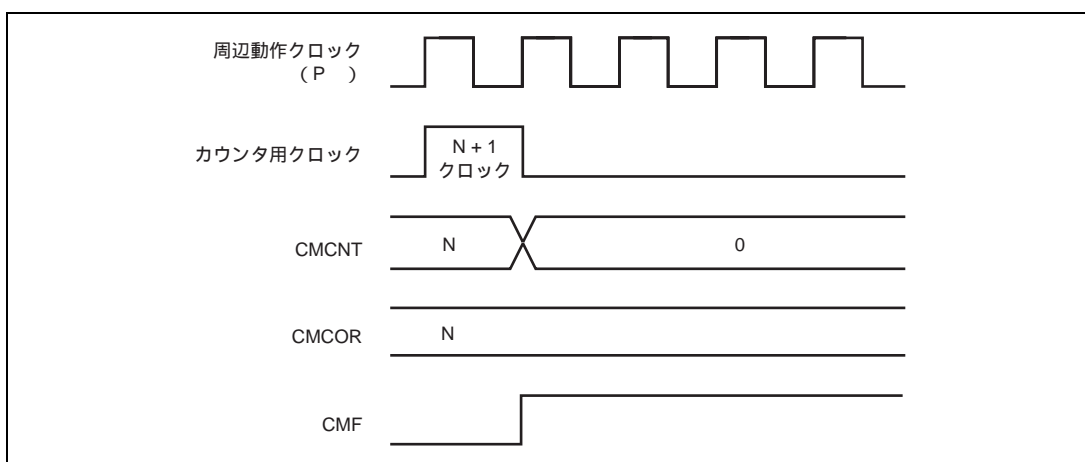


図 16.4 CMF セットタイミング

16.4.3 コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、CMF = 1 を読み出した後に 0 を書き込むことでクリアされます。

16.5 使用上の注意事項

16.5.1 モジュールスタンバイモードの設定

CMT はスタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、CMT の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 22 章 低消費電力モード」を参照してください。

16.5.2 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 16.5 に示します。

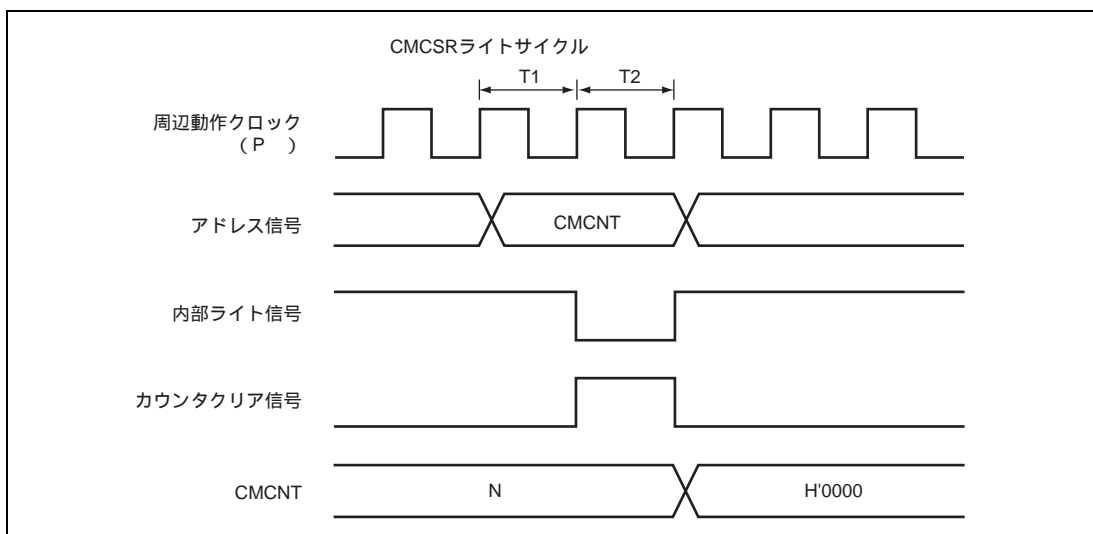


図 16.5 CMCNT の書き込みとコンペアマッチの競合

16.5.3 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 16.6 に示します。

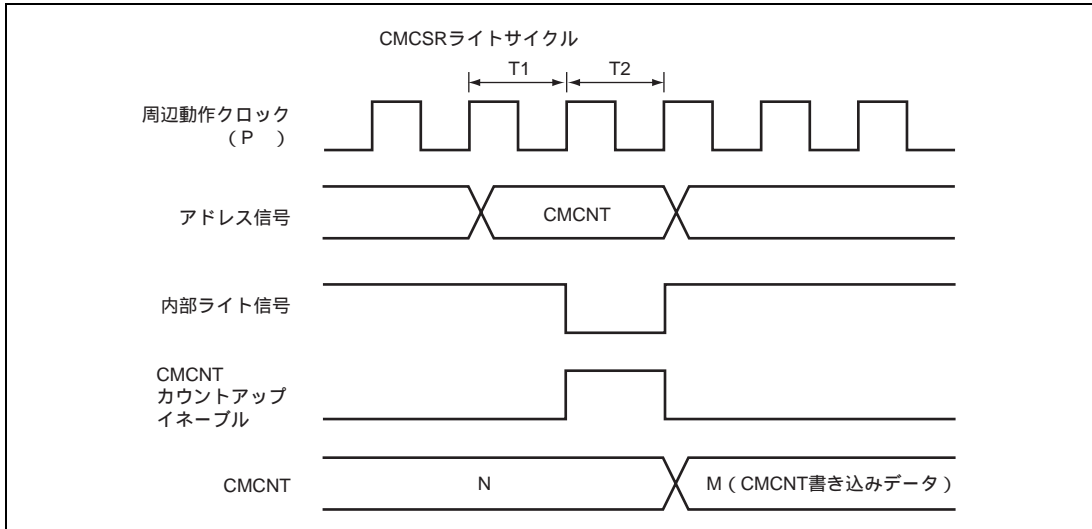


図 16.6 CMCNT のワード書き込みとカウントアップの競合

16.5.4 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 16.7 に示します。

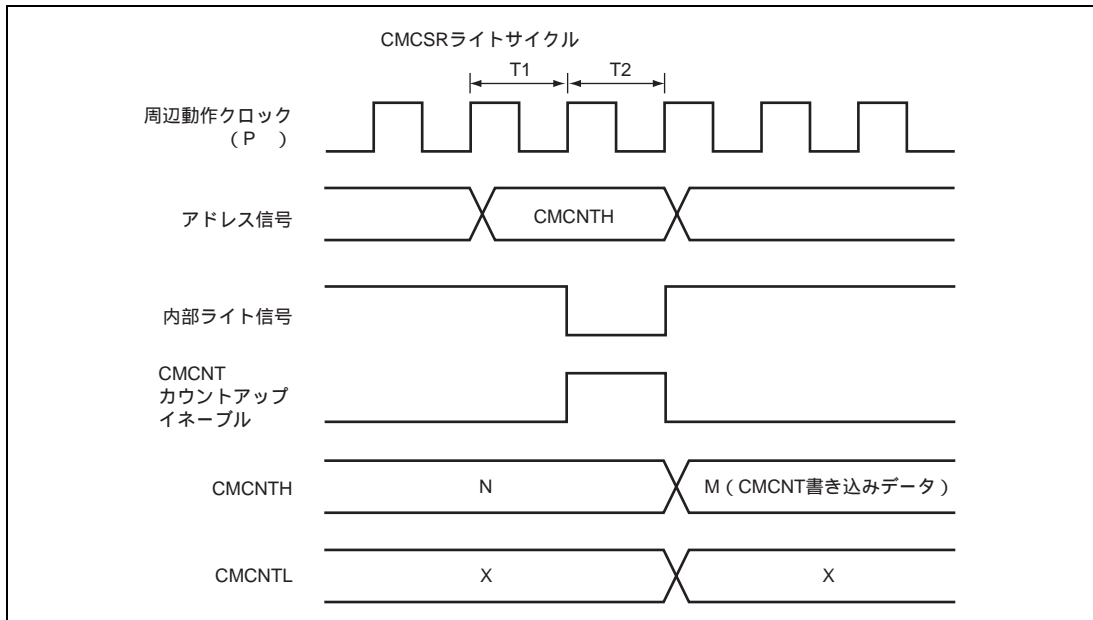


図 16.7 CMCNT のバイト書き込みとカウントアップの競合

16.5.5 CMCNT と CMCOR のコンペアマッチ

CMCNT のカウント動作停止状態で CMCNT と CMCOR に同じ値を設定しないでください。

CMCNT のカウント動作停止状態で CMCNT と CMCOR に同じ値を設定すると、CMCSR の CMF ビットは 1 にセットされ、CMCNT は H'0000 にクリアされます。

17. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 17.1 ~ 表 17.8 に本 LSI のマルチプレクス端子を示します。

表 17.9 ~ 表 17.11 に動作モード別端子機能一覧を示します。

表 17.1 マルチプレクス一覧表 (SH7146、ポート A)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
A	PA0 入出力 (ボ - ト)	POE0 入力 (POE)	RXD0 入力 (SCI)	-
	PA1 入出力 (ボ - ト)	POE1 入力 (POE)	TXD0 出力 (SCI)	-
	PA2 入出力 (ボ - ト)	IRQ0 入力 (INTC)	POE2 入力 (POE)	SCK0 入出力 (SCI)
	PA3 入出力 (ボ - ト)	IRQ1 入力 (INTC)	RXD1 入力 (SCI)	-
	PA4 入出力 (ボ - ト)	IRQ2 入力 (INTC)	TXD1 出力 (SCI)	-
	PA5 入出力 (ボ - ト)	IRQ3 入力 (INTC)	SCK1 入出力 (SCI)	-
	PA6 入出力 (ボ - ト)	$\overline{UBCTR\overline{G}}$ 出力 (UBC)	TCLKA 入力 (MTU2)	$\overline{POE4}$ 入力 (POE)
	PA7 入出力 (ボ - ト)	TCLKB 入力 (MTU2)	POE5 入力 (POE)	SCK2 入出力 (SCI)
	PA8 入出力 (ボ - ト)	TCLKC 入力 (MTU2)	$\overline{POE6}$ 入力 (POE)	RXD2 入力 (SCI)
	PA9 入出力 (ボ - ト)	TCLKD 入力 (MTU2)	POE8 入力 (POE)	TXD2 出力 (SCI)
	PA10 入出力 (ボ - ト)	RXD0 入力 (SCI)	-	-
	PA11 入出力 (ボ - ト)	TXD0 出力 (SCI)	$\overline{ADTR\overline{G}}$ 入力 (A/D)	-
	PA12 入出力 (ボ - ト)	SCK0 入出力 (SCI)	-	-
	PA13 入出力 (ボ - ト)	SCK1 入出力 (SCI)	-	-
	PA14 入出力 (ボ - ト)	RXD1 入力 (SCI)	-	-
PA15 入出力 (ボ - ト)	TXD1 出力 (SCI)	-	-	

表 17.2 マルチプレクス一覧表 (SH7149、ポート A)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
A	PA0 入出力 (ボ - ト)	A0 出力 (BSC)	$\overline{POE0}$ 入力 (POE)	RXD0 入力 (SCI)	-
	PA1 入出力 (ボ - ト)	A1 出力 (BSC)	$\overline{POE1}$ 入力 (POE)	TXD0 出力 (SCI)	-
	PA2 入出力 (ボ - ト)	A2 出力 (BSC)	IRQ0 入力 (INTC)	$\overline{POE2}$ 入力 (POE)	SCK0 入出力 (SCI)
	PA3 入出力 (ボ - ト)	A3 出力 (BSC)	IRQ1 入力 (INTC)	RXD1 入力 (SCI)	-
	PA4 入出力 (ボ - ト)	A4 出力 (BSC)	IRQ2 入力 (INTC)	TXD1 出力 (SCI)	-
	PA5 入出力 (ボ - ト)	A5 出力 (BSC)	IRQ3 入力 (INTC)	SCK1 入出力 (SCI)	-
	PA6 入出力 (ボ - ト)	\overline{RD} 出力 (BSC)	$\overline{UBCTR\overline{G}}$ 出力 (UBC)	TCLKA 入力 (MTU2)	$\overline{POE4}$ 入力 (POE)
	PA7 入出力 (ボ - ト)	\overline{WRH} 出力 (BSC)	TCLKB 入力 (MTU2)	$\overline{POE5}$ 入力 (POE)	SCK2 入出力 (SCI)
	PA8 入出力 (ボ - ト)	\overline{WRL} 出力 (BSC)	TCLKC 入力 (MTU2)	$\overline{POE6}$ 入力 (POE)	RXD2 入力 (SCI)
	PA9 入出力 (ボ - ト)	\overline{WAIT} 入力 (BSC)	TCLKD 入力 (MTU2)	$\overline{POE8}$ 入力 (POE)	TXD2 出力 (SCI)
	PA10 入出力 (ボ - ト)	A6 出力 (BSC)	RXD0 入力 (SCI)	-	-
	PA11 入出力 (ボ - ト)	A7 出力 (BSC)	TXD0 出力 (SCI)	$\overline{ADTR\overline{G}}$ 入力 (A/D)	-
	PA12 入出力 (ボ - ト)	A8 出力 (BSC)	SCK0 入出力 (SCI)	-	-
	PA13 入出力 (ボ - ト)	A9 出力 (BSC)	SCK1 入出力 (SCI)	-	-
	PA14 入出力 (ボ - ト)	A10 出力 (BSC)	RXD1 入力 (SCI)	-	-
PA15 入出力 (ボ - ト)	CK 出力 (CPG)	TXD1 出力 (SCI)	-	-	

表 17.3 マルチプレクス一覧表 (SH7146、ポート B)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
B	PB2 入出力 (ボ - ト)	IRQ0 入力 (INTC)	$\overline{POE0}$ 入力 (POE)	TIC5VS 入力 (MTU2S)
	PB3 入出力 (ボ - ト)	IRQ1 入力 (INTC)	$\overline{POE1}$ 入力 (POE)	TIC5V 入力 (MTU2)
	PB4 入出力 (ボ - ト)	IRQ2 入力 (INTC)	$\overline{POE4}$ 入力 (POE)	TIC5US 入力 (MTU2S)
	PB5 入出力 (ボ - ト)	IRQ3 入力 (INTC)	$\overline{POE5}$ 入力 (POE)	TIC5U 入力 (MTU2)
	PB16 入出力 (ボ - ト)	$\overline{POE3}$ 入力 (POE)	-	-
	PB17 入出力 (ボ - ト)	$\overline{POE7}$ 入力 (POE)	-	-
	PB18 入出力 (ボ - ト)	$\overline{POE8}$ 入力 (POE)	-	-

表 17.4 マルチプレクス一覧表 (SH7149、ポート B)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
B	PB0 入出力 (ボ - ト)	BACK 出力 (BSC)	TIC5WS 入力 (MTU2S)	-	-
	PB1 入出力 (ボ - ト)	BREQ 入力 (BSC)	TIC5W 入力 (MTU2)	-	-
	PB2 入出力 (ボ - ト)	A16 出力 (BSC)	IRQ0 入力 (INTC)	POE0 入力 (POE)	TIC5VS 入力 (MTU2S)
	PB3 入出力 (ボ - ト)	A17 出力 (BSC)	IRQ1 入力 (INTC)	POE1 入力 (POE)	TIC5V 入力 (MTU2)
	PB4 入出力 (ボ - ト)	A18 出力 (BSC)	IRQ2 入力 (INTC)	POE4 入力 (POE)	TIC5US 入力 (MTU2S)
	PB5 入出力 (ボ - ト)	A19 出力 (BSC)	IRQ3 入力 (INTC)	POE5 入力 (POE)	TIC5U 入力 (MTU2)
	PB16 入出力 (ボ - ト)	POE3 入力 (POE)	-	-	-
	PB17 入出力 (ボ - ト)	POE7 入力 (POE)	-	-	-
	PB18 入出力 (ボ - ト)	POE8 入力 (POE)	-	-	-

表 17.5 マルチプレクス一覧表 (SH7149、ポート D)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
D	PD0 入出力 (ボ - ト)	D0 入出力 (BSC)	RXD0 入力 (SCI)	-
	PD1 入出力 (ボ - ト)	D1 入出力 (BSC)	TXD0 出力 (SCI)	-
	PD2 入出力 (ボ - ト)	D2 入出力 (BSC)	SCK0 入出力 (SCI)	-
	PD3 入出力 (ボ - ト)	D3 入出力 (BSC)	RXD1 入力 (SCI)	-
	PD4 入出力 (ボ - ト)	D4 入出力 (BSC)	IRQ0 入力 (INTC)	TXD1 出力 (SCI)
	PD5 入出力 (ボ - ト)	D5 入出力 (BSC)	IRQ1 入力 (INTC)	SCK1 入出力 (SCI)
	PD6 入出力 (ボ - ト)	D6 入出力 (BSC)	IRQ2 入力 (INTC)	RXD2 入力 (SCI)
	PD7 入出力 (ボ - ト)	D7 入出力 (BSC)	IRQ3 入力 (INTC)	TXD2 出力 (SCI)
	PD8 入出力 (ボ - ト)	D8 入出力 (BSC)	SCK2 入出力 (SCI)	AUDATA0 出力 (AUD) *
	PD9 入出力 (ボ - ト)	D9 入出力 (BSC)	AUDATA1 出力 (AUD) *	-
	PD10 入出力 (ボ - ト)	D10 入出力 (BSC)	AUDATA2 出力 (AUD) *	-
	PD11 入出力 (ボ - ト)	D11 入出力 (BSC)	AUDATA3 出力 (AUD) *	-
	PD12 入出力 (ボ - ト)	D12 入出力 (BSC)	-	-
	PD13 入出力 (ボ - ト)	D13 入出力 (BSC)	-	-
	PD14 入出力 (ボ - ト)	D14 入出力 (BSC)	AUDCK 出力 (AUD) *	-
	PD15 入出力 (ボ - ト)	D15 入出力 (BSC)	AUDSYNC 出力 (AUD) *	-

【注】 * E10A フル機能対応 F-ZTAT 版のみ。

表 17.6 マルチプレクス一覧表 (SH7146、ポート E)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
E	PE0 入出力 (ボ - ト)	TIOC0A 入出力 (MTU2)	-	-
	PE1 入出力 (ボ - ト)	TIOC0B 入出力 (MTU2)	RXD0 入力 (SCI)	-
	PE2 入出力 (ボ - ト)	TIOC0C 入出力 (MTU2)	TXD0 出力 (SCI)	-
	PE3 入出力 (ボ - ト)	TIOC0D 入出力 (MTU2)	SCK0 入出力 (SCI)	-
	PE4 入出力 (ボ - ト)	TIOC1A 入出力 (MTU2)	RXD1 入力 (SCI)	-
	PE5 入出力 (ボ - ト)	TIOC1B 入出力 (MTU2)	TXD1 出力 (SCI)	-
	PE6 入出力 (ボ - ト)	TIOC2A 入出力 (MTU2)	SCK1 入出力 (SCI)	-
	PE7 入出力 (ボ - ト)	TIOC2B 入出力 (MTU2)	-	-
	PE8 入出力 (ボ - ト)	TIOC3A 入出力 (MTU2)	-	-
	PE9 入出力 (ボ - ト)	TIOC3B 入出力 (MTU2)	-	-
	PE10 入出力 (ボ - ト)	TIOC3C 入出力 (MTU2)	-	-
	PE11 入出力 (ボ - ト)	TIOC3D 入出力 (MTU2)	-	-
	PE12 入出力 (ボ - ト)	TIOC4A 入出力 (MTU2)	-	-
	PE13 入出力 (ボ - ト)	TIOC4B 入出力 (MTU2)	MRES 入力 (INTC)	-
	PE14 入出力 (ボ - ト)	TIOC4C 入出力 (MTU2)	-	-
	PE15 入出力 (ボ - ト)	TIOC4D 入出力 (MTU2)	IRQOUT 出力 (INTC)	-
	PE16 入出力 (ボ - ト)	TIOC3BS 入出力 (MTU2S)	ASEBRKAK 出力 (E10A) *	ASEBRK 入力 (E10A) *
	PE17 入出力 (ボ - ト)	TIOC3DS 入出力 (MTU2S)	TCK 入力 (H-UDI) *	-
	PE18 入出力 (ボ - ト)	TIOC4AS 入出力 (MTU2S)	TDI 入力 (H-UDI) *	-
	PE19 入出力 (ボ - ト)	TIOC4BS 入出力 (MTU2S)	TDO 出力 (H-UDI) *	-
	PE20 入出力 (ボ - ト)	TIOC4CS 入出力 (MTU2S)	TMS 入力 (H-UDI) *	-
PE21 入出力 (ボ - ト)	TIOC4DS 入出力 (MTU2S)	TRST 入力 (H-UDI) *	-	

【注】 * F-ZTAT 版のみ。

表 17.7 マルチプレクス一覧表 (SH7149、ポート E)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
E	PE0 入出力 (ボ - ト)	TIOC0A 入出力 (MTU2)	-	-	-
	PE1 入出力 (ボ - ト)	TIOC0B 入出力 (MTU2)	RXD0 入力 (SCI)	-	-
	PE2 入出力 (ボ - ト)	TIOC0C 入出力 (MTU2)	TXD0 出力 (SCI)	-	-
	PE3 入出力 (ボ - ト)	TIOC0D 入出力 (MTU2)	SCK0 入出力 (SCI)	-	-
	PE4 入出力 (ボ - ト)	A11 出力 (BSC)	TIOC1A 入出力 (MTU2)	RXD1 入力 (SCI)	-
	PE5 入出力 (ボ - ト)	A12 出力 (BSC)	TIOC1B 入出力 (MTU2)	TXD1 出力 (SCI)	-
	PE6 入出力 (ボ - ト)	A13 出力 (BSC)	TIOC2A 入出力 (MTU2)	SCK1 入出力 (SCI)	-
	PE7 入出力 (ボ - ト)	A14 出力 (BSC)	TIOC2B 入出力 (MTU2)	-	-
	PE8 入出力 (ボ - ト)	A15 出力 (BSC)	TIOC3A 入出力 (MTU2)	-	-
	PE9 入出力 (ボ - ト)	TIOC3B 入出力 (MTU2)	-	-	-
	PE10 入出力 (ボ - ト)	$\overline{CS0}$ 出力 (BSC)	TIOC3C 入出力 (MTU2)	-	-
	PE11 入出力 (ボ - ト)	TIOC3D 入出力 (MTU2)	-	-	-
	PE12 入出力 (ボ - ト)	TIOC4A 入出力 (MTU2)	-	-	-
	PE13 入出力 (ボ - ト)	TIOC4B 入出力 (MTU2)	\overline{MRES} 入力 (INTC)	-	-
	PE14 入出力 (ボ - ト)	TIOC4C 入出力 (MTU2)	-	-	-
	PE15 入出力 (ボ - ト)	TIOC4D 入出力 (MTU2)	\overline{IRQOUT} 出力 (INTC)	-	-
	PE16 入出力 (ボ - ト)	\overline{WAIT} 入力 (BSC)	TIOC3BS 入出力 (MTU2S)	$\overline{ASEBRKAK}$ 出力 (E10A)*	\overline{ASEBRK} 入力 (E10A)*
	PE17 入出力 (ボ - ト)	$\overline{CS0}$ 出力 (BSC)	TIOC3DS 入出力 (MTU2S)	TCK 入力 (H-UDI)*	-
	PE18 入出力 (ボ - ト)	$\overline{CS1}$ 出力 (BSC)	TIOC4AS 入出力 (MTU2S)	TDI 入力 (H-UDI)*	-
	PE19 入出力 (ボ - ト)	\overline{RD} 出力 (BSC)	TIOC4BS 入出力 (MTU2S)	TDO 出力 (H-UDI)*	-
	PE20 入出力 (ボ - ト)	\overline{WRH} 出力 (BSC)	TIOC4CS 入出力 (MTU2S)	TMS 入力 (H-UDI)*	-
PE21 入出力 (ボ - ト)	\overline{WRL} 出力 (BSC)	TIOC4DS 入出力 (MTU2S)	\overline{TRST} 入力 (H-UDI)*	-	

【注】 * F-ZTAT 版のみ。

表 17.8 マルチプレクス一覧表 (ポート F)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)
F	PF0 入力 (ボ - ト)	AN0 入力 (A/D)
	PF2 入力 (ボ - ト)	AN2 入力 (A/D)
	PF4 入力 (ボ - ト)	AN4 入力 (A/D)
	PF6 入力 (ボ - ト)	AN6 入力 (A/D)
	PF8 入力 (ボ - ト)	AN8 入力 (A/D)
	PF9 入力 (ボ - ト)	AN9 入力 (A/D)
	PF10 入力 (ボ - ト)	AN10 入力 (A/D)
	PF11 入力 (ボ - ト)	AN11 入力 (A/D)
	PF12 入力 (ボ - ト)	AN12 入力 (A/D)
	PF13 入力 (ボ - ト)	AN13 入力 (A/D)
	PF14 入力 (ボ - ト)	AN14 入力 (A/D)
	PF15 入力 (ボ - ト)	AN15 入力 (A/D)

【注】 A/D 変換中は AN 入力機能が有効となります。

表 17.9 動作モード別端子機能一覧 (SH7146)

ピン番号	端子名	
	シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能
4,19,31,48	Vcc	Vcc
6,17,33,46	Vss	Vss
10,50	Vcl	Vcl
72,78	AVcc	AVcc
63,75	AVss	AVss
60	PLLVss	PLLVss
55	EXTAL	EXTAL
54	XTAL	XTAL
59	MD1	MD1
58	FWE* ¹	FWE* ¹
52	RES	RES
53	WDTOVF	WDTOVF
57	NMI	NMI
56	ASEMD0* ¹	ASEMD0* ¹
47	PA0	PA0/POE0/RXD0
45	PA1	PA1/POE1/TXD0
44	PA2	PA2/IRQ0/POE2/SCK0
43	PA3	PA3/IRQ1/RXD1
42	PA4	PA4/IRQ2/TXD1
41	PA5	PA5/IRQ3/SCK1
40	PA6	PA6/UBCTR \overline{G} /TCLKA/POE4
39	PA7	PA7/TCLKB/POE5/SCK2
38	PA8	PA8/TCLKC/POE6/RXD2
37	PA9	PA9/TCLKD/POE8/TXD2
36	PA10	PA10/RXD0
35	PA11	PA11/TXD0/ \overline{ADTRG}
34	PA12	PA12/SCK0
32	PA13	PA13/SCK1
30	PA14	PA14/RXD1
29	PA15	PA15/TXD1
62	PB2	PB2/IRQ0/POE0/TIC5VS
61	PB3	PB3/IRQ1/POE1/TIC5V
51	PB4	PB4/IRQ2/POE4/TIC5US
49	PB5	PB5/IRQ3/POE5/TIC5U

ピン番号	端子名	
	シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能
79	$\overline{\text{POE3}}$	PB16/ $\overline{\text{POE3}}$
80	$\overline{\text{POE7}}$	PB17/ $\overline{\text{POE7}}$
28	$\overline{\text{POE8}}$	PB18/ $\overline{\text{POE8}}$
27	PE0	PE0/TIOC0A
26	PE1	PE1/TIOC0B/RXD0
25	PE2	PE2/TIOC0C/TXD0
24	PE3	PE3/TIOC0D/SCK0
23	PE4	PE4/TIOC1A/RXD1
22	PE5	PE5/TIOC1B/TXD1
21	PE6	PE6/TIOC2A/SCK1
20	PE7	PE7/TIOC2B
18	PE8	PE8/TIOC3A
15	PE9	PE9/TIOC3B
16	PE10	PE10/TIOC3C
14	PE11	PE11/TIOC3D
13	PE12	PE12/TIOC4A
12	PE13	PE13/TIOC4B/ $\overline{\text{MRES}}$
11	PE14	PE14/TIOC4C
9	PE15	PE15/TIOC4D/ $\overline{\text{IRQOUT}}$
8	PE16/ (ASEBRKAK/ $\overline{\text{ASEBRK}}^{*2}$)	PE16/TIOC3BS
7	PE17/ (TCK ^{*2})	PE17/TIOC3DS
5	PE18/ (TDI ^{*2})	PE18/TIOC4AS
3	PE19/ (TDO ^{*2})	PE19/TIOC4BS
2	PE20/ (TMS ^{*2})	PE20/TIOC4CS
1	PE21/ ($\overline{\text{TRST}}^{*2}$)	PE21/TIOC4DS
77	PF0/AN0	PF0/AN0
76	PF2/AN2	PF2/AN2
74	PF4/AN4	PF4/AN4
73	PF6/AN6	PF6/AN6
71	PF8/AN8	PF8/AN8
70	PF9/AN9	PF9/AN9
69	PF10/AN10	PF10/AN10
68	PF11/AN11	PF11/AN11
67	PF12/AN12	PF12/AN12
66	PF13/AN13	PF13/AN13

ピン番号	端子名	
	シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能
65	PF14/AN14	PF14/AN14
64	PF15/AN15	PF15/AN15

【注】 *1 F-ZTAT 版のみ。

*2 F-ZTAT 版のみ。E10A 使用時 (ASEMD0=L 時)、TMS、TRST、TDI、TDO、TCK、ASEBRKAK/ASEBRK に固定されます。

表 17.10 動作モード別端子機能一覧 (SH7149 (1))

ピン番号	端子名			
	内蔵 ROM 無効 (MCU モード 0)		内蔵 ROM 無効 (MCU モード 1)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
5,24,39, 59,73	Vcc	Vcc	Vcc	Vcc
7,22,41,57	Vss	Vss	Vss	Vss
12,61	Vcl	Vcl	Vcl	Vcl
90,96	AVcc	AVcc	AVcc	AVcc
81,93	AVss	AVss	AVss	AVss
75	PLLvss	PLLvss	PLLvss	PLLvss
67	EXTAL	EXTAL	EXTAL	EXTAL
66	XTAL	XTAL	XTAL	XTAL
72	MD0	MD0	MD0	MD0
71	MD1	MD1	MD1	MD1
70	FWE* ¹	FWE* ¹	FWE* ¹	FWE* ¹
64	RES	RES	RES	RES
65	WDTOVF	WDTOVF	WDTOVF	WDTOVF
69	NMI	NMI	NMI	NMI
68	ASEMD0* ¹	ASEMD0* ¹	ASEMD0* ¹	ASEMD0* ¹
63	A0	PA0/A0/POE0/RXD0	A0	PA0/A0/POE0/RXD0
62	A1	PA1/A1/POE1/TXD0	A1	PA1/A1/POE1/TXD0
60	A2	PA2/A2/IRQ0/POE2/SCK0	A2	PA2/A2/IRQ0/POE2/SCK0
58	A3	PA3/A3/IRQ1/RXD1	A3	PA3/A3/IRQ1/RXD1
56	A4	PA4/A4/IRQ2/TXD1	A4	PA4/A4/IRQ2/TXD1
55	A5	PA5/A5/IRQ3/SCK1	A5	PA5/A5/IRQ3/SCK1
54	RD	PA6/RD/UBCTRG/TCLKA/POE4	RD	PA6/RD/UBCTRG/TCLKA/POE4
53	PA7	PA7/WRH/TCLKB/POE5/SCK2	WRH	PA7/WRH/TCLKB/POE5/SCK2
52	WRL	PA8/WRL/TCLKC/POE6/RXD2	WRL	PA8/WRL/TCLKC/POE6/RXD2
51	PA9	PA9/WAIT/TCLKD/POE8/TXD2	PA9	PA9/WAIT/TCLKD/POE8/TXD2

ピン番号	端子名			
	内蔵 ROM 無効 (MCU モード 0)		内蔵 ROM 無効 (MCU モード 1)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
50	A6	PA10/A6/RXD0	A6	PA10/A6/RXD0
49	A7	PA11/A7/TXD0/ADTRG	A7	PA11/A7/TXD0/ADTRG
48	A8	PA12/A8/SCK0	A8	PA12/A8/SCK0
47	A9	PA13/A9/SCK1	A9	PA13/A9/SCK1
46	A10	PA14/A10/RXD1	A10	PA14/A10/RXD1
45	CK	PA15/CK/TXD1	CK	PA15/CK/TXD1
80	PB0	PB0/BACK/TIC5WS	PB0	PB0/BACK/TIC5WS
79	PB1	PB1/BREQ/TIC5W	PB1	PB1/BREQ/TIC5W
78	A16	PB2/A16/IRQ0/POE0/TIC5VS	A16	PB2/A16/IRQ0/POE0/TIC5VS
77	A17	PB3/A17/IRQ1/POE1/TIC5V	A17	PB3/A17/IRQ1/POE1/TIC5V
76	PB4	PB4/A18/IRQ2/POE4/TIC5US	PB4	PB4/A18/IRQ2/POE4/TIC5US
74	PB5	PB5/A19/IRQ3/POE5/TIC5U	PB5	PB5/A19/IRQ3/POE5/TIC5U
97	POE3	PB16/POE3	POE3	PB16/POE3
98	POE7	PB17/POE7	POE7	PB17/POE7
26	POE8	PB18/POE8	POE8	PB18/POE8
44	D0	PD0/D0/RXD0	D0	PD0/D0/RXD0
43	D1	PD1/D1/TXD0	D1	PD1/D1/TXD0
42	D2	PD2/D2/SCK0	D2	PD2/D2/SCK0
40	D3	PD3/D3/RXD1	D3	PD3/D3/RXD1
38	D4	PD4/D4/IRQ0/TXD1	D4	PD4/D4/IRQ0/TXD1
37	D5	PD5/D5/IRQ1/SCK1	D5	PD5/D5/IRQ1/SCK1
36	D6	PD6/D6/IRQ2/RXD2	D6	PD6/D6/IRQ2/RXD2
35	D7	PD7/D7/IRQ3/TXD2	D7	PD7/D7/IRQ3/TXD2
34	PD8/ (AUDATA0 ^{*3})	PD8/D8/SCK2	D8/ (AUDATA0 ^{*3})	PD8/D8/SCK2
33	PD9/ (AUDATA1 ^{*3})	PD9/D9	D9/ (AUDATA1 ^{*3})	PD9/D9
32	PD10/ (AUDATA2 ^{*3})	PD10/D10	D10/ (AUDATA2 ^{*3})	PD10/D10
31	PD11/ (AUDATA3 ^{*3})	PD11/D11	D11/ (AUDATA3 ^{*3})	PD11/D11
30	PD12	PD12/D12	D12	PD12/D12
29	PD13	PD13/D13	D13	PD13/D13
28	PD14/ (AUDCK ^{*3})	PD14/D14	D14/ (AUDCK ^{*3})	PD14/D14
27	PD15/ (AUDSYNC ^{*3})	PD15/D15	D15/ (AUDSYNC ^{*3})	PD15/D15
25	PE0	PE0/TIOC0A	PE0	PE0/TIOC0A
23	PE1	PE1/TIOC0B/RXD0	PE1	PE1/TIOC0B/RXD0
21	PE2	PE2/TIOC0C/TXD0	PE2	PE2/TIOC0C/TXD0
20	PE3	PE3/TIOC0D/SCK0	PE3	PE3/TIOC0D/SCK0

ピン番号	端子名			
	内蔵 ROM 無効 (MCU モード 0)		内蔵 ROM 無効 (MCU モード 1)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
19	A11	PE4/A11/TIOC1A/RXD1	A11	PE4/A11/TIOC1A/RXD1
18	A12	PE5/A12/TIOC1B/TXD1	A12	PE5/A12/TIOC1B/TXD1
17	A13	PE6/A13/TIOC2A/SCK1	A13	PE6/A13/TIOC2A/SCK1
16	A14	PE7/A14/TIOC2B	A14	PE7/A14/TIOC2B
15	A15	PE8/A15/TIOC3A	A15	PE8/A15/TIOC3A
13	PE9	PE9/TIOC3B	PE9	PE9/TIOC3B
14	$\overline{CS0}$	PE10/ $\overline{CS0}$ /TIOC3C	$\overline{CS0}$	PE10/ $\overline{CS0}$ /TIOC3C
11	PE11	PE11/TIOC3D	PE11	PE11/TIOC3D
10	PE12	PE12/TIOC4A	PE12	PE12/TIOC4A
9	PE13	PE13/TIOC4B/MRES	PE13	PE13/TIOC4B/MRES
8	PE14	PE14/TIOC4C	PE14	PE14/TIOC4C
6	PE15	PE15/TIOC4D/ \overline{IRQOUT}	PE15	PE15/TIOC4D/ \overline{IRQOUT}
4	PE16/ ($\overline{ASEBRKAK}$ / \overline{ASEBRK}^{*2})	PE16/ \overline{WAIT} /TIOC3BS	PE16/ ($\overline{ASEBRKAK}$ / \overline{ASEBRK}^{*2})	PE16/ \overline{WAIT} /TIOC3BS
3	PE17/ (TCK *2)	PE17/ $\overline{CS0}$ /TIOC3DS	PE17/ (TCK *2)	PE17/ $\overline{CS0}$ /TIOC3DS
2	PE18/ (TDI *2)	PE18/ $\overline{CS1}$ /TIOC4AS	PE18/ (TDI *2)	PE18/ $\overline{CS1}$ /TIOC4AS
1	PE19/ (TDO *2)	PE19/ \overline{RD} /TIOC4BS	PE19/ (TDO *2)	PE19/ \overline{RD} /TIOC4BS
100	PE20/ (TMS *2)	PE20/ \overline{WRH} /TIOC4CS	PE20/ (TMS *2)	PE20/ \overline{WRH} /TIOC4CS
99	PE21/ (\overline{TRST}^{*2})	PE21/ \overline{WRL} /TIOC4DS	PE21/ (\overline{TRST}^{*2})	PE21/ \overline{WRL} /TIOC4DS
95	PF0/AN0	PF0/AN0	PF0/AN0	PF0/AN0
94	PF2/AN2	PF2/AN2	PF2/AN2	PF2/AN2
92	PF4/AN4	PF4/AN4	PF4/AN4	PF4/AN4
91	PF6/AN6	PF6/AN6	PF6/AN6	PF6/AN6
89	PF8/AN8	PF8/AN8	PF8/AN8	PF8/AN8
88	PF9/AN9	PF9/AN9	PF9/AN9	PF9/AN9
87	PF10/AN10	PF10/AN10	PF10/AN10	PF10/AN10
86	PF11/AN11	PF11/AN11	PF11/AN11	PF11/AN11
85	PF12/AN12	PF12/AN12	PF12/AN12	PF12/AN12
84	PF13/AN13	PF13/AN13	PF13/AN13	PF13/AN13
83	PF14/AN14	PF14/AN14	PF14/AN14	PF14/AN14
82	PF15/AN15	PF15/AN15	PF15/AN15	PF15/AN15

【注】 *1 F-ZTAT 版のみ。

*2 F-ZTAT 版のみ。E10A 使用時 ($\overline{ASEMD0} = L$ 時)、TMS、 \overline{TRST} 、TDI、TDO、TCK、 $\overline{ASEBRKAK}/\overline{ASEBRK}$ に固定されます。

*3 E10A フル機能対応 F-ZTAT 版のみ。E10A の AUD 機能を使用時、AUD 機能に固定されます。

表 17.11 動作モード別端子機能一覧 (SH7149 (2))

ピン番号	端子名			
	内蔵 ROM 有効 (MCU モード 2)		シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
5,24,39, 59,73	Vcc	Vcc	Vcc	Vcc
7,22,41,57	Vss	Vss	Vss	Vss
12,61	Vcl	Vcl	Vcl	Vcl
90,96	AVcc	AVcc	AVcc	AVcc
81,93	AVss	AVss	AVss	AVss
75	PLLvss	PLLvss	PLLvss	PLLvss
67	EXTAL	EXTAL	EXTAL	EXTAL
66	XTAL	XTAL	XTAL	XTAL
72	MD0	MD0	MD0	MD0
71	MD1	MD1	MD1	MD1
70	FWE* ¹	FWE* ¹	FWE* ¹	FWE* ¹
64	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$
65	$\overline{\text{WDTOVF}}$	$\overline{\text{WDTOVF}}$	$\overline{\text{WDTOVF}}$	$\overline{\text{WDTOVF}}$
69	NMI	NMI	NMI	NMI
68	$\overline{\text{ASEMD0}}^*1$	$\overline{\text{ASEMD0}}^*1$	$\overline{\text{ASEMD0}}^*1$	$\overline{\text{ASEMD0}}^*1$
63	PA0	PA0/A0/POE0/RXD0	PA0	PA0/POE0/RXD0
62	PA1	PA1/A1/ $\overline{\text{POE1}}$ /TXD0	PA1	PA1/ $\overline{\text{POE1}}$ /TXD0
60	PA2	PA2/A2/IRQ0/ $\overline{\text{POE2}}$ /SCK0	PA2	PA2/IRQ0/ $\overline{\text{POE2}}$ /SCK0
58	PA3	PA3/A3/IRQ1/RXD1	PA3	PA3/IRQ1/RXD1
56	PA4	PA4/A4/IRQ2/TXD1	PA4	PA4/IRQ2/TXD1
55	PA5	PA5/A5/IRQ3/SCK1	PA5	PA5/IRQ3/SCK1
54	PA6	PA6/ $\overline{\text{RD}}$ / $\overline{\text{UBCTR}}\overline{\text{G}}$ /TCLKA/ $\overline{\text{POE4}}$	PA6	PA6/ $\overline{\text{UBCTR}}\overline{\text{G}}$ /TCLKA/ $\overline{\text{POE4}}$
53	PA7	PA7/ $\overline{\text{WRH}}$ /TCLKB/ $\overline{\text{POE5}}$ /SCK2	PA7	PA7/TCLKB/ $\overline{\text{POE5}}$ /SCK2
52	PA8	PA8/ $\overline{\text{WRL}}$ /TCLKC/ $\overline{\text{POE6}}$ /RXD2	PA8	PA8/TCLKC/ $\overline{\text{POE6}}$ /RXD2
51	PA9	PA9/ $\overline{\text{WAIT}}$ /TCLKD/ $\overline{\text{POE8}}$ /TXD2	PA9	PA9/TCLKD/ $\overline{\text{POE8}}$ /TXD2
50	PA10	PA10/A6/RXD0	PA10	PA10/RXD0
49	PA11	PA11/A7/TXD0/ $\overline{\text{ADTR}}\overline{\text{G}}$	PA11	PA11/TXD0/ $\overline{\text{ADTR}}\overline{\text{G}}$
48	PA12	PA12/A8/SCK0	PA12	PA12/SCK0
47	PA13	PA13/A9/SCK1	PA13	PA13/SCK1
46	PA14	PA14/A10/RXD1	PA14	PA14/RXD1
45	CK	PA15/CK/TXD1	PA15	PA15/TXD1
80	PB0	PB0/ $\overline{\text{BACK}}$ /TIC5WS	PB0	PB0/TIC5WS
79	PB1	PB1/ $\overline{\text{BREQ}}$ /TIC5W	PB1	PB1/TIC5W

ピン番号	端子名			
	内蔵 ROM 有効 (MCU モード 2)		シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
78	PB2	PB2/A16/IRQ0/POE0/TIC5VS	PB2	PB2/IRQ0/POE0/TIC5VS
77	PB3	PB3/A17/IRQ1/POE1/TIC5V	PB3	PB3/IRQ1/POE1/TIC5V
76	PB4	PB4/A18/IRQ2/POE4/TIC5US	PB4	PB4/IRQ2/POE4/TIC5US
74	PB5	PB5/A19/IRQ3/POE5/TIC5U	PB5	PB5/IRQ3/POE5/TIC5U
97	POE3	PB16/POE3	POE3	PB16/POE3
98	POE7	PB17/POE7	POE7	PB17/POE7
26	POE8	PB18/POE8	POE8	PB18/POE8
44	PD0	PD0/D0/RXD0	PD0	PD0/RXD0
43	PD1	PD1/D1/TXD0	PD1	PD1/TXD0
42	PD2	PD2/D2/SCK0	PD2	PD2/SCK0
40	PD3	PD3/D3/RXD1	PD3	PD3/RXD1
38	PD4	PD4/D4/IRQ0/TXD1	PD4	PD4/IRQ0/TXD1
37	PD5	PD5/D5/IRQ1/SCK1	PD5	PD5/IRQ1/SCK1
36	PD6	PD6/D6/IRQ2/RXD2	PD6	PD6/IRQ2/RXD2
35	PD7	PD7/D7/IRQ3/TXD2	PD7	PD7/IRQ3/TXD2
34	PD8/ (AUDATA0 ^{*3})	PD8/D8/SCK2	PD8/ (AUDATA0 ^{*3})	PD8/SCK2
33	PD9/ (AUDATA1 ^{*3})	PD9/D9	PD9/ (AUDATA1 ^{*3})	PD9
32	PD10/ (AUDATA2 ^{*3})	PD10/D10	PD10/ (AUDATA2 ^{*3})	PD10
31	PD11/ (AUDATA3 ^{*3})	PD11/D11	PD11/ (AUDATA3 ^{*3})	PD11
30	PD12	PD12/D12	PD12	PD12
29	PD13	PD13/D13	PD13	PD13
28	PD14/ (AUDCK ^{*3})	PD14/D14	PD14/ (AUDCK ^{*3})	PD14
27	PD15/ (AUDSYNC ^{*3})	PD15/D15	PD15/ (AUDSYNC ^{*3})	PD15
25	PE0	PE0/TIOC0A	PE0	PE0/TIOC0A
23	PE1	PE1/TIOC0B/RXD0	PE1	PE1/TIOC0B/RXD0
21	PE2	PE2/TIOC0C/TXD0	PE2	PE2/TIOC0C/TXD0
20	PE3	PE3/TIOC0D/SCK0	PE3	PE3/TIOC0D/SCK0
19	PE4	PE4/A11/TIOC1A/RXD1	PE4	PE4/TIOC1A/RXD1
18	PE5	PE5/A12/TIOC1B/TXD1	PE5	PE5/TIOC1B/TXD1
17	PE6	PE6/A13/TIOC2A/SCK1	PE6	PE6/TIOC2A/SCK1
16	PE7	PE7/A14/TIOC2B	PE7	PE7/TIOC2B
15	PE8	PE8/A15/TIOC3A	PE8	PE8/TIOC3A
13	PE9	PE9/TIOC3B	PE9	PE9/TIOC3B
14	PE10	PE10/CS0/TIOC3C	PE10	PE10/TIOC3C
11	PE11	PE11/TIOC3D	PE11	PE11/TIOC3D

ピン番号	端子名			
	内蔵 ROM 有効 (MCU モード 2)		シングルチップモード (MCU モード 3)	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
10	PE12	PE12/TIOC4A	PE12	PE12/TIOC4A
9	PE13	PE13/TIOC4B/MRES	PE13	PE13/TIOC4B/MRES
8	PE14	PE14/TIOC4C	PE14	PE14/TIOC4C
6	PE15	PE15/TIOC4D/IRQOUT	PE15	PE15/TIOC4D/IRQOUT
4	PE16/ (ASEBRKAK /ASEBRK ^{*2})	PE16/WAIT/TIOC3BS	PE16/ (ASEBRKAK /ASEBRK ^{*2})	PE16/TIOC3BS
3	PE17/ (TCK ^{*2})	PE17/CS0/TIOC3DS	PE17/ (TCK ^{*2})	PE17/TIOC3DS
2	PE18/ (TDI ^{*2})	PE18/CS1/TIOC4AS	PE18/ (TDI ^{*2})	PE18/TIOC4AS
1	PE19/ (TDO ^{*2})	PE19/RD/TIOC4BS	PE19/ (TDO ^{*2})	PE19/TIOC4BS
100	PE20/ (TMS ^{*2})	PE20/WRH/TIOC4CS	PE20/ (TMS ^{*2})	PE20/TIOC4CS
99	PE21/ (TRST ^{*2})	PE21/WRL/TIOC4DS	PE21/ (TRST ^{*2})	PE21/TIOC4DS
95	PF0/AN0	PF0/AN0	PF0/AN0	PF0/AN0
94	PF2/AN2	PF2/AN2	PF2/AN2	PF2/AN2
92	PF4/AN4	PF4/AN4	PF4/AN4	PF4/AN4
91	PF6/AN6	PF6/AN6	PF6/AN6	PF6/AN6
89	PF8/AN8	PF8/AN8	PF8/AN8	PF8/AN8
88	PF9/AN9	PF9/AN9	PF9/AN9	PF9/AN9
87	PF10/AN10	PF10/AN10	PF10/AN10	PF10/AN10
86	PF11/AN11	PF11/AN11	PF11/AN11	PF11/AN11
85	PF12/AN12	PF12/AN12	PF12/AN12	PF12/AN12
84	PF13/AN13	PF13/AN13	PF13/AN13	PF13/AN13
83	PF14/AN14	PF14/AN14	PF14/AN14	PF14/AN14
82	PF15/AN15	PF15/AN15	PF15/AN15	PF15/AN15

- 【注】 *1 F-ZTAT 版のみ。
- *2 F-ZTAT 版のみ。E10A 使用時 (ASEMD0=L 時)、TMS、TRST、TDI、TDO、TCK、ASEBRKAK/ASEBRK に固定されます。
- *3 E10A フル機能対応 F-ZTAT 版のみ。E10A の AUD 機能を使用時、AUD 機能に固定されます。

17.1 レジスタの説明

PFC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 17.12 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A・IO レジスタ L	PAIORL	R/W	H'0000	H'FFFFD106	8、16
ポート A コントロールレジスタ L4	PACRL4	R/W	H'0000*	H'FFFFD110	8、16、32
ポート A コントロールレジスタ L3	PACRL3	R/W	H'0000*	H'FFFFD112	8、16
ポート A コントロールレジスタ L2	PACRL2	R/W	H'0000*	H'FFFFD114	8、16、32
ポート A コントロールレジスタ L1	PACRL1	R/W	H'0000*	H'FFFFD116	8、16
ポート B・IO レジスタ H	PBIORH	R/W	H'0000	H'FFFFD184	8、16、32
ポート B・IO レジスタ L	PBIORL	R/W	H'0000	H'FFFFD186	8、16
ポート B コントロールレジスタ H1	PBCRH1	R/W	H'0111	H'FFFFD18E	8、16
ポート B コントロールレジスタ L2	PBCRL2	R/W	H'0000	H'FFFFD194	8、16、32
ポート B コントロールレジスタ L1	PBCRL1	R/W	H'0000*	H'FFFFD196	8、16
ポート D・IO レジスタ L	PDIORL	R/W	H'0000	H'FFFFD286	8、16
ポート D コントロールレジスタ L4	PDCRL4	R/W	H'0000*	H'FFFFD290	8、16、32
ポート D コントロールレジスタ L3	PDCRL3	R/W	H'0000*	H'FFFFD292	8、16
ポート D コントロールレジスタ L2	PDCRL2	R/W	H'0000*	H'FFFFD294	8、16、32
ポート D コントロールレジスタ L1	PDCRL1	R/W	H'0000*	H'FFFFD296	8、16
ポート E・IO レジスタ H	PEIORH	R/W	H'0000	H'FFFFD304	8、16、32
ポート E・IO レジスタ L	PEIORL	R/W	H'0000	H'FFFFD306	8、16
ポート E コントロールレジスタ H2	PECRH2	R/W	H'0000	H'FFFFD30C	8、16、32
ポート E コントロールレジスタ H1	PECRH1	R/W	H'0000	H'FFFFD30E	8、16
ポート E コントロールレジスタ L4	PECRL4	R/W	H'0000	H'FFFFD310	8、16、32
ポート E コントロールレジスタ L3	PECRL3	R/W	H'0000*	H'FFFFD312	8、16
ポート E コントロールレジスタ L2	PECRL2	R/W	H'0000*	H'FFFFD314	8、16、32
ポート E コントロールレジスタ L1	PECRL1	R/W	H'0000	H'FFFFD316	8、16
IRQOUT 機能コントロールレジスタ	IFCR	R/W	H'0000	H'FFFFD322	8、16

【注】 * SH7149 の場合、内蔵 ROM 有効 / 無効外部拡張モード時は初期値が異なります。詳細については、本章中の各レジスタの説明を参照してください。

17.1.1 ポート A・IO レジスタ L (PAIORL)

PAIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PA15IOR ~ PA0IOR ビットが、それぞれ PA15 ~ PA0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PAIORL はポート A の端子機能が汎用入出力 (PA15 ~ PA0) の場合に有効でそれ以外の場合は無効です。

PAIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORL の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

17.1.2 ポート A コントロールレジスタ L1 ~ L4 (PACRL1 ~ PACRL4)

PACRL1 ~ PACRL4 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。

(1) SH7146 の場合

- ポート A コントロールレジスタ L4 (PACRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA15 MD2	PA15 MD1	PA15 MD0	-	PA14 MD2	PA14 MD1	PA14 MD0	-	PA13 MD2	PA13 MD1	PA13 MD0	-	PA12 MD2	PA12 MD1	PA12 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PA15MD2	0	R/W	PA15 モードビット
13	PA15MD1	0	R/W	PA15/TXD1 端子の機能を選びます。
12	PA15MD0	0	R/W	000 : PA15 入出力 (ポ - ト) 110 : TXD1 出力 (SCI) 上記以外 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PA14MD2	0	R/W	PA14 モードビット
9	PA14MD1	0	R/W	PA14/RXD1 端子の機能を選びます。
8	PA14MD0	0	R/W	000 : PA14 入出力 (ポ - ト) 110 : RXD1 入力 (SCI) 上記以外 : 設定禁止

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PA13MD2	0	R/W	PA13 モードビット PA13/SCK1 端子の機能を選びます。 000 : PA13 入出力 (ポ - ト) 110 : SCK1 入出力 (SCI) 上記以外 : 設定禁止
5	PA13MD1	0	R/W	
4	PA13MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PA12MD2	0	R/W	PA12 モードビット PA12/SCK0 端子の機能を選びます。 000 : PA12 入出力 (ポ - ト) 110 : SCK0 入出力 (SCI) 上記以外 : 設定禁止
1	PA12MD1	0	R/W	
0	PA12MD0	0	R/W	

● ポートAコントロールレジスタL3 (PACRL3)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA11 MD2	PA11 MD1	PA11 MD0	-	PA10 MD2	PA10 MD1	PA10 MD0	-	PA9 MD2	PA9 MD1	PA9 MD0	-	PA8 MD2	PA8 MD1	PA8 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PA11MD2	0	R/W	PA11 モードビット PA11/TXD0/ADTRG 端子の機能を選びます。 000 : PA11 入出力 (ポ - ト) 010 : ADTRG 入力 (A/D) 110 : TXD0 出力 (SCI) 上記以外 : 設定禁止
13	PA11MD1	0	R/W	
12	PA11MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PA10MD2	0	R/W	PA10 モードビット PA10/RXD0 端子の機能を選びます。 000 : PA10 入出力 (ポ - ト) 110 : RXD0 入力 (SCI) 上記以外 : 設定禁止
9	PA10MD1	0	R/W	
8	PA10MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PA9MD2	0	R/W	PA9 モードビット PA9/TCLKD/TXD2 端子の機能を選びます。 000 : PA9 入出力 (ボ - ト) 001 : TCLKD 入力 (MTU2) 110 : TXD2 出力 (SCI) 111 : $\overline{\text{POE8}}$ 入力 (POE) 上記以外 : 設定禁止
5	PA9MD1	0	R/W	
4	PA9MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PA8MD2	0	R/W	PA8 モードビット PA8/TCLKC/ $\overline{\text{POE6}}$ /RXD2 端子の機能を選びます。 000 : PA8 入出力 (ボ - ト) 001 : TCLKC 入力 (MTU2) 110 : RXD2 入力 (SCI) 111 : $\overline{\text{POE6}}$ 入力 (POE) 上記以外 : 設定禁止
1	PA8MD1	0	R/W	
0	PA8MD0	0	R/W	

- ポートAコントロールレジスタL2 (PACRL2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA7 MD2	PA7 MD1	PA7 MD0	-	PA6 MD2	PA6 MD1	PA6 MD0	-	PA5 MD2	PA5 MD1	PA5 MD0	-	PA4 MD2	PA4 MD1	PA4 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PA7MD2	0	R/W	PA7 モードビット PA7/TCLKB/ $\overline{\text{POE5}}$ /SCK2 端子の機能を選びます。 000 : PA7 入出力 (ボ - ト) 001 : TCLKB 入力 (MTU2) 110 : SCK2 入出力 (SCI) 111 : $\overline{\text{POE5}}$ 入力 (POE) 上記以外 : 設定禁止
13	PA7MD1	0	R/W	
12	PA7MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
10	PA6MD2	0	R/W	PA6 モードビット PA6/UBCTRG/TCLKA/POE4 端子の機能を選びます。 000 : PA6 入出力 (ボ - ト) 001 : TCLKA 入力 (MTU2) 101 : UBCTRG 出力 (UBC) 111 : POE4 入力 (POE) 上記以外 : 設定禁止
9	PA6MD1	0	R/W	
8	PA6MD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PA5MD2	0	R/W	PA5 モードビット PA5/IRQ3/SCK1 端子の機能を選びます。 000 : PA5 入出力 (ボ - ト) 001 : SCK1 入出力 (SCI) 111 : IRQ3 入力 (INTC) 上記以外 : 設定禁止
5	PA5MD1	0	R/W	
4	PA5MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PA4MD2	0	R/W	PA4 モードビット PA4/IRQ2/TXD1 端子の機能を選びます。 000 : PA4 入出力 (ボ - ト) 001 : TXD1 出力 (SCI) 111 : IRQ2 入力 (INTC) 上記以外 : 設定禁止
1	PA4MD1	0	R/W	
0	PA4MD0	0	R/W	

● ポートAコントロールレジスタL1 (PACRL1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA3 MD2	PA3 MD1	PA3 MD0	-	PA2 MD2	PA2 MD1	PA2 MD0	-	PA1 MD2	PA1 MD1	PA1 MD0	-	PA0 MD2	PA0 MD1	PA0 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
14	PA3MD2	0	R/W	PA3 モードビット PA3/IRQ1/RXD1 端子の機能を選びます。 000 : PA3 入出力 (ボ - ト) 001 : RXD1 入力 (SCI) 111 : IRQ1 入力 (INTC) 上記以外 : 設定禁止
13	PA3MD1	0	R/W	
12	PA3MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PA2MD2	0	R/W	PA2 モードビット PA2/IRQ0/ $\overline{POE2}$ /SCK0 端子の機能を選びます。 000 : PA2 入出力 (ボ - ト) 001 : SCK0 入出力 (SCI) 011 : IRQ0 入力 (INTC) 111 : $\overline{POE2}$ 入力 (POE) 上記以外 : 設定禁止
9	PA2MD1	0	R/W	
8	PA2MD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PA1MD2	0	R/W	PA1 モードビット PA1/ $\overline{POE1}$ /TXD0 端子の機能を選びます。 000 : PA1 入出力 (ボ - ト) 001 : TXD0 出力 (SCI) 111 : $\overline{POE1}$ 入力 (POE) 上記以外 : 設定禁止
5	PA1MD1	0	R/W	
4	PA1MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PA0MD2	0	R/W	PA0 モードビット PA0/ $\overline{POE0}$ /RXD0 端子の機能を選びます。 000 : PA0 入出力 (ボ - ト) 001 : RXD0 入力 (SCI) 111 : $\overline{POE0}$ 入力 (POE) 上記以外 : 設定禁止
1	PA0MD1	0	R/W	
0	PA0MD0	0	R/W	

(2) SH7149 の場合

• ポートAコントロールレジスタL4 (PACRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA15 MD2	PA15 MD1	PA15 MD0	-	PA14 MD2	PA14 MD1	PA14 MD0	-	PA13 MD2	PA13 MD1	PA13 MD0	-	PA12 MD2	PA12 MD1	PA12 MD0
初期値:	0	0	0	0*1	0	0*2	0	0	0	0*2	0	0	0	0*2	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】*1 内蔵ROM有効 / 無効外部拡張モード時、初期値は1になります。

*2 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PA15MD2	0	R/W	PA15 モードビット PA15/CK/TXD1 端子の機能を選びます。 000 : PA15 入出力 (ポ - ト) 001 : CK 出力 (CPG) *3 110 : TXD1 出力 (SCI) 上記以外 : 設定禁止
13	PA15MD1	0	R/W	
12	PA15MD0	0*1	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PA14MD2	0*2	R/W	PA14 モードビット PA14/A10/RXD1 端子の機能を選びます。 000 : PA14 入出力 (ポ - ト) 100 : A10 出力 (BSC) *3 110 : RXD1 入力 (SCI) 上記以外 : 設定禁止
9	PA14MD1	0	R/W	
8	PA14MD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PA13MD2	0*2	R/W	PA13 モードビット PA13/A9/SCK1 端子の機能を選びます。 000 : PA13 入出力 (ポ - ト) 100 : A9 出力 (BSC) *3 110 : SCK1 入出力 (SCI) 上記以外 : 設定禁止
5	PA13MD1	0	R/W	
4	PA13MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2	PA12MD2	0* ²	R/W	PA12 モードビット PA12/A8/SCK0 端子の機能を選びます。 000 : PA12 入出力 (ポ - ト) 100 : A8 出力 (BSC) * ³ 110 : SCK0 入出力 (SCI) 上記以外 : 設定禁止
1	PA12MD1	0	R/W	
0	PA12MD0	0	R/W	

【注】 *1 内蔵 ROM 有効 / 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*3 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

● ポートAコントロールレジスタL3 (PACRL3)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA11 MD2	PA11 MD1	PA11 MD0	-	PA10 MD2	PA10 MD1	PA10 MD0	-	PA9 MD2	PA9 MD1	PA9 MD0	-	PA8 MD2	PA8 MD1	PA8 MD0
初期値 :	0	0* ¹	0	0	0	0* ¹	0	0	0	0	0	0	0	0* ¹	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 *1 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PA11MD2	0* ¹	R/W	PA11 モードビット PA11/A7/TXD0/ADTRG $\bar{}$ 端子の機能を選びます。 000 : PA11 入出力 (ポ - ト) 010 : $\overline{\text{ADTRG}}$ 入力 (A/D) 100 : A7 出力 (BSC) * ² 110 : TXD0 出力 (SCI) 上記以外 : 設定禁止
13	PA11MD1	0	R/W	
12	PA11MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PA10MD2	0* ¹	R/W	PA10 モードビット PA10/A6/RXD0 端子の機能を選びます。 000 : PA10 入出力 (ポ - ト) 100 : A6 出力 (BSC) * ² 110 : RXD0 入力 (SCI) 上記以外 : 設定禁止
9	PA10MD1	0	R/W	
8	PA10MD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
6	PA9MD2	0	R/W	PA9 モードビット PA9/WAIT/TCLKD/TXD2 端子の機能を選びます。 000 : PA9 入出力 (ボ - ト) 001 : TCLKD 入力 (MTU2) 100 : WAIT 入力 (BSC) *2 110 : TXD2 出力 (SCI) 111 : POE8 入力 (POE) 上記以外 : 設定禁止
5	PA9MD1	0	R/W	
4	PA9MD0	0	R/W	
3	-	0	R	
2	PA8MD2	0*1	R/W	PA8 モードビット PA8/WRL/TCLKC/POE6/RXD2 端子の機能を選びます。 000 : PA8 入出力 (ボ - ト) 001 : TCLKC 入力 (MTU2) 100 : WRL 出力 (BSC) *2 110 : RXD2 入力 (SCI) 111 : POE6 入力 (POE) 上記以外 : 設定禁止
1	PA8MD1	0	R/W	
0	PA8MD0	0	R/W	

【注】 *1 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

● ポートAコントロールレジスタL2 (PACRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA7 MD2	PA7 MD1	PA7 MD0	-	PA6 MD2	PA6 MD1	PA6 MD0	-	PA5 MD2	PA5 MD1	PA5 MD0	-	PA4 MD2	PA4 MD1	PA4 MD0
初期値:	0	0*1	0	0	0	0	0*2	0*2	0	0*2	0	0	0	0*2	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 *1 内蔵ROM無効16ビット外部拡張モード時、初期値は1になります。

*2 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
14	PA7MD2	0* ¹	R/W	PA7 モードビット PA7/WRH/TCLKB/POE5/SCK2 端子の機能を選びます。 000 : PA7 入出力 (ボ - ト) 001 : TCLKB 入力 (MTU2) 100 : WRH 出力 (BSC) * ³ 110 : SCK2 入出力 (SCI) 111 : POE5 入力 (POE) 上記以外 : 設定禁止
13	PA7MD1	0	R/W	
12	PA7MD0	0	R/W	
11	-	0	R	
10	PA6MD2	0	R/W	PA6 モードビット PA6/RD/UBCTRГ/TCLKA/POE4 端子の機能を選びます。 000 : PA6 入出力 (ボ - ト) 001 : TCLKA 入力 (MTU2) 011 : RD 出力 (BSC) * ³ 101 : UBCTRГ 出力 (UBC) 111 : POE4 入力 (POE) 上記以外 : 設定禁止
9	PA6MD1	0* ²	R/W	
8	PA6MD0	0* ²	R/W	
7	-	0	R	
6	PA5MD2	0* ²	R/W	PA5 モードビット PA5/A5/IRQ3/SCK1 端子の機能を選びます。 000 : PA5 入出力 (ボ - ト) 001 : SCK1 入出力 (SCI) 100 : A5 出力 (BSC) * ³ 111 : IRQ3 入力 (INTC) 上記以外 : 設定禁止
5	PA5MD1	0	R/W	
4	PA5MD0	0	R/W	
3	-	0	R	
2	PA4MD2	0* ²	R/W	PA4 モードビット PA4/A4/IRQ2/TXD1 端子の機能を選びます。 000 : PA4 入出力 (ボ - ト) 001 : TXD1 出力 (SCI) 100 : A4 出力 (BSC) * ³ 111 : IRQ2 入力 (INTC) 上記以外 : 設定禁止
1	PA4MD1	0	R/W	
0	PA4MD0	0	R/W	

【注】 *1 内蔵 ROM 無効 16 ビット外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*3 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

● ポートAコントロールレジスタL1 (PACRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA3 MD2	PA3 MD1	PA3 MD0	-	PA2 MD2	PA2 MD1	PA2 MD0	-	PA1 MD2	PA1 MD1	PA1 MD0	-	PA0 MD2	PA0 MD1	PA0 MD0
初期値:	0	0*1	0	0	0	0*1	0	0	0	0*1	0	0	0	0*1	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】*1 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PA3MD2	0*1	R/W	PA3 モードビット PA3/A3/IRQ1/RXD1 端子の機能を選びます。 000 : PA3 入出力 (ボ - ト) 001 : RXD1 入力 (SCI) 100 : A3 出力 (BSC) *2 111 : IRQ1 入力 (INTC) 上記以外 : 設定禁止
13	PA3MD1	0	R/W	
12	PA3MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PA2MD2	0*1	R/W	PA2 モードビット PA2/A2/IRQ0/POE2/SCK0 端子の機能を選びます。 000 : PA2 入出力 (ボ - ト) 001 : SCK0 入出力 (SCI) 011 : IRQ0 入力 (INTC) 100 : A2 出力 (BSC) *2 111 : POE2 入力 (POE) 上記以外 : 設定禁止
9	PA2MD1	0	R/W	
8	PA2MD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PA1MD2	0*1	R/W	PA1 モードビット PA1/A1/POE1/TXD0 端子の機能を選びます。 000 : PA1 入出力 (ボ - ト) 001 : TXD0 出力 (SCI) 100 : A1 出力 (BSC) *2 111 : POE1 入力 (POE) 上記以外 : 設定禁止
5	PA1MD1	0	R/W	
4	PA1MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2	PA0MD2	0*1	R/W	PA0 モードビット
1	PA0MD1	0	R/W	PA0/A0/POE0/RXD0 端子の機能を選びます。
0	PA0MD0	0	R/W	000 : PA0 入出力 (ボ - ト) 001 : RXD0 入力 (SCI) 100 : A0 出力 (BSC) *2 111 : POE0 入力 (POE) 上記以外 : 設定禁止

【注】 *1 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

17.1.3 ポート B・IO レジスタ L、H (PBIORL、PBIORH)

PBIORL、PBIORH は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB18IOR ~ PB16IOR ビット、PB5IOR ~ PB0IOR ビットが、それぞれ、PB18 ~ PB16 端子、PB5 端子 ~ PB0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PBIORL はポート B の端子機能が汎用入出力 (PB5 ~ PB0) の場合に有効で、それ以外の場合は無効です。PBIORH はポート B の端子機能が汎用入出力 (PB18 ~ PB16) の場合に有効で、それ以外の場合は無効です。

PBIORL および PBIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ただし、SH7146 では PBIORL のビット 1、0 は無効となります。

PBIORL のビット 15 ~ 6、および PBIORH のビット 15 ~ 3 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PBIORL、PBIORH の初期値はともに H'0000 です。

(1) ポート B・IO レジスタ H (PBIORH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PB18 IOR	PB17 IOR	PB16 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

(2) ポート B・IO レジスタ L (PBIORL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

17.1.4 ポート B コントロールレジスタ L1、L2、H1 (PBCRL1、PBCRL2、PBCRH1)

PBCRL1、PBCRL2、PBCRH1 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。

(1) SH7146 の場合

- ポートBコントロールレジスタH1 (PBCRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PB18 MD	-	-	-	PB17 MD	-	-	-	PB16 MD
初期値:	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W*	R	R	R	R/W*	R	R	R	R/W*

【注】* パワーオンリセット後、1回のみ書き込みが可能です。POE機能を初期値として選択する場合にも、必ず再書き込みを行ってください。

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PB18MD	1	R/W*	PB18 モードビット PB18/ $\overline{\text{POE8}}$ 端子の機能を選びます。 0: PB18 入出力 (ポ - ト) 1: $\overline{\text{POE8}}$ 入力 (POE)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PB17MD	1	R/W*	PB17 モードビット PB17/ $\overline{\text{POE7}}$ 端子の機能を選びます。 0: PB17 入出力 (ポ - ト) 1: $\overline{\text{POE7}}$ 入力 (POE)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PB16MD	1	R/W*	PB16 モードビット PB16/ $\overline{\text{POE3}}$ 端子の機能を選びます。 0: PB16 入出力 (ポ - ト) 1: $\overline{\text{POE3}}$ 入力 (POE)

- ポートBコントロールレジスタL2 (PBCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PB5 MD2	PB5 MD1	PB5 MD0	-	PB4 MD2	PB4 MD1	PB4 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PB5MD2	0	R/W	PB5 モードビット PB5/IRQ3/POE5/TIC5U 端子の機能を選びます。 000: PB5 入出力 (ポ - ト) 001: IRQ3 入力 (INTC) 011: TIC5U 入力 (MTU2) 111: POE5 入力 (POE) 上記以外: 設定禁止
5	PB5MD1	0	R/W	
4	PB5MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PB4MD2	0	R/W	PB4 モードビット PB4/IRQ2/POE4/TIC5US 端子の機能を選びます。 000: PB4 入出力 (ポ - ト) 001: IRQ2 入力 (INTC) 011: TIC5US 入力 (MTU2S) 111: POE4 入力 (POE) 上記以外: 設定禁止
1	PB4MD1	0	R/W	
0	PB4MD0	0	R/W	

- ポートBコントロールレジスタL1 (PBCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB3 MD2	PB3 MD1	PB3 MD0	-	PB2 MD2	PB2 MD1	PB2 MD0	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
14	PB3MD2	0	R/W	PB3 モードビット PB3/IRQ1/POE1/TIC5V 端子の機能を選びます。 000 : PB3 入出力 (ボ - ト) 001 : IRQ1 入力 (INTC) 010 : POE1 入力 (POE) 011 : TIC5V 入力 (MTU2) 上記以外 : 設定禁止
13	PB3MD1	0	R/W	
12	PB3MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PB2MD2	0	R/W	PB2 モードビット PB2/IRQ0/POE0/TIC5VS 端子の機能を選びます。 000 : PB2 入出力 (ボ - ト) 001 : IRQ0 入力 (INTC) 010 : POE0 入力 (POE) 011 : TIC5VS 入力 (MTU2S) 上記以外 : 設定禁止
9	PB2MD1	0	R/W	
8	PB2MD0	0	R/W	
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(2) SH7149 の場合

- ポートBコントロールレジスタH1 (PBCRH1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PB18 MD	-	-	-	PB17 MD	-	-	-	PB16 MD
初期値 :	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	1
R/W :	R	R	R	R	R	R	R	R/W*	R	R	R	R/W*	R	R	R	R/W*

【注】* パワーオンリセット後、1回のみ書き込みが可能です。POE機能を初期値として選択する場合にも、必ず再書き込みを行ってください。

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PB18MD	1	R/W*	PB18 モードビット PB18/POE8 端子の機能を選びます。 0 : PB18 入出力 (ボ - ト) 1 : POE8 入力 (POE)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
4	PB17MD	1	R/W*	PB17 モードビット PB17/ $\overline{\text{POE7}}$ 端子の機能を選びます。 0 : PB17 入出力 (ボ - ト) 1 : $\overline{\text{POE7}}$ 入力 (POE)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PB16MD	1	R/W*	PB16 モードビット PB16/ $\overline{\text{POE3}}$ 端子の機能を選びます。 0 : PB16 入出力 (ボ - ト) 1 : $\overline{\text{POE3}}$ 入力 (POE)

【注】 * パワーオンリセット後、1 回のみ書き込みが可能です。POE 機能を初期値として選択する場合にも、必ず再書き込みを行ってください。

● ポートBコントロールレジスタL2 (PBCRL2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PB5 MD2	PB5 MD1	PB5 MD0	-	PB4 MD2	PB4 MD1	PB4 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PB5MD2	0	R/W	PB5 モードビット PB5/A19/IRQ3/ $\overline{\text{POE5}}$ /TIC5U 端子の機能を選びます。 000 : PB5 入出力 (ボ - ト) 001 : IRQ3 入力 (INTC) 011 : TIC5U 入力 (MTU2) 101 : A19 出力 (BSC)* 111 : $\overline{\text{POE5}}$ 入力 (POE) 上記以外 : 設定禁止
5	PB5MD1	0	R/W	
4	PB5MD0	0	R/W	
3	-	0	R	

ビット	ビット名	初期値	R/W	説明
2	PB4MD2	0	R/W	PB4 モードビット PB4/A18/IRQ2/ $\overline{POE4}$ /TIC5US 端子の機能を選びます。 000 : PB4 入出力 (ボ - ト) 001 : IRQ2 入力 (INTC) 011 : TIC5US 入力 (MTU2S) 101 : A18 出力 (BSC) * 111 : $\overline{POE4}$ 入力 (POE) 上記以外 : 設定禁止
1	PB4MD1	0	R/W	
0	PB4MD0	0	R/W	

【注】 * 内蔵ROM有効/無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

• ポートBコントロールレジスタL1 (PBCRL1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB3 MD2	PB3 MD1	PB3 MD0	-	PB2 MD2	PB2 MD1	PB2 MD0	-	PB1 MD2	PB1 MD1	PB1 MD0	-	PB0 MD2	PB0 MD1	PB0 MD0
初期値 :	0	0*1	0	0*1	0	0*1	0	0*1	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 *1 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PB3MD2	0*1	R/W	PB3 モードビット PB3/A17/IRQ1/ $\overline{POE1}$ /TIC5V 端子の機能を選びます。 000 : PB3 入出力 (ボ - ト) 001 : IRQ1 入力 (INTC) 010 : $\overline{POE1}$ 入力 (POE) 011 : TIC5V 入力 (MTU2) 101 : A17 出力 (BSC) * ² 上記以外 : 設定禁止
13	PB3MD1	0	R/W	
12	PB3MD0	0*1	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PB2MD2	0*1	R/W	PB2 モードビット PB2/A16/IRQ0/ $\overline{POE0}$ /TIC5VS 端子の機能を選びます。 000 : PB2 入出力 (ボ - ト) 001 : IRQ0 入力 (INTC) 010 : $\overline{POE0}$ 入力 (POE) 011 : TIC5VS 入力 (MTU2S) 101 : A16 出力 (BSC) * ² 上記以外 : 設定禁止
9	PB2MD1	0	R/W	
8	PB2MD0	0*1	R/W	

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PB1MD2	0	R/W	PB1 モードビット PB1/ $\overline{\text{BREQ}}$ /TIC5W 端子の機能を選びます。 000 : PB1 入出力 (ポ - ト) 011 : TIC5W 入力 (MTU2) 101 : $\overline{\text{BREQ}}$ 入力 (BSC) * ² 上記以外 : 設定禁止
5	PB1MD1	0	R/W	
4	PB1MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PB0MD2	0	R/W	PB0 モードビット PB0/ $\overline{\text{BACK}}$ /TIC5WS 端子の機能を選びます。 000 : PB0 入出力 (ポ - ト) 011 : TIC5WS 入力 (MTU2S) 101 : $\overline{\text{BACK}}$ 出力 (BSC) * ² 上記以外 : 設定禁止
1	PB0MD1	0	R/W	
0	PB0MD0	0	R/W	

【注】 *1 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

17.1.5 ポート D・IO レジスタ L (PDIORL) (SH7149 のみ)

PDIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD15IOR ~ PD0IOR ビットが、それぞれ PD15 ~ PD0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PDIORL は、ポート D の端子機能が汎用入出力 (PD15 ~ PD0) の場合に有効でそれ以外の場合は無効です。

PDIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ただし、SH7146 では PDIORL は無効となります。

PDIORL の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

17.1.6 ポート D コントロールレジスタ L1~L4 (PDCRL1~PDCRL4) (SH7149 のみ)

PDCRL1~PDCRL4 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。ただし、SH7146 では PDCRL1~PDCRL4 は無効となります。

- ポートDコントロールレジスタL4 (PDCRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD15 MD1	PD15 MD0	-	-	PD14 MD1	PD14 MD0	-	-	PD13 MD1	PD13 MD0	-	-	PD12 MD1	PD12 MD0
初期値:	0	0	0	0*1	0	0	0	0*1	0	0	0	0*1	0	0	0	0*1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

【注】*1 内蔵ROM無効16ビット外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13 12	PD15MD1 PD15MD0	0 0*1	R/W R/W	PD15 モードビット PD15/D15/AUDSYNC 端子の機能を選びます。E10A の AUD 機能を使用時は、 AUDSYNC 出力に固定されます。 00: PD15 入出力 (ポ - ト) 01: D15 入出力 (BSC) *2 上記以外: 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9 8	PD14MD1 PD14MD0	0 0*1	R/W R/W	PD14 モードビット PD14/D14/AUDCK 端子の機能を選びます。E10A の AUD 機能を使用時は、 AUDCK 出力に固定されます。 00: PD14 入出力 (ポ - ト) 01: D14 入出力 (BSC) *2 上記以外: 設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5 4	PD13MD1 PD13MD0	0 0*1	R/W R/W	PD13 モードビット PD13/D13 端子の機能を選びます。 00: PD13 入出力 (ポ - ト) 01: D13 入出力 (BSC) *2 上記以外: 設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1	PD12MD1	0	R/W	PD12 モードビット
0	PD12MD0	0*1	R/W	PD12/D12 端子の機能を選びます。 00 : PD12 入出力 (ボ - ト) 01 : D12 入出力 (BSC) *2 上記以外 : 設定禁止

【注】 *1 内蔵 ROM 無効 16 ビット外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

● ポートDコントロールレジスタL3 (PDCRL3)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD11 MD1	PD11 MD0	-	PD10 MD2	PD10 MD1	PD10 MD0	-	PD9 MD2	PD9 MD1	PD9 MD0	-	PD8 MD2	PD8 MD1	PD8 MD0
初期値 :	0	0	0	0*1	0	0	0	0*1	0	0	0	0*1	0	0	0	0*1
R/W :	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 *1 内蔵ROM無効16ビット外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PD11MD1	0	R/W	PD11 モードビット
12	PD11MD0	0*1	R/W	PD11/D11/AUDATA3 端子の機能を選びます。E10A の AUD 機能を使用時は、AUDATA3 出力に固定されます。 00 : PD11 入出力 (ボ - ト) 01 : D11 入出力 (BSC) *2 上記以外 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PD10MD2	0	R/W	PD10 モードビット
9	PD10MD1	0	R/W	PD10/D10/AUDATA2 端子の機能を選びます。E10A の AUD 機能を使用時は、AUDATA2 出力に固定されます。
8	PD10MD0	0*1	R/W	000 : PD10 入出力 (ボ - ト) 001 : D10 入出力 (BSC) *2 上記以外 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
6	PD9MD2	0	R/W	PD9 モードビット PD9/D9/AUDATA1 端子の機能を選びます。E10A の AUD 機能を使用時は、AUDATA1 出力に固定されます。 000 : PD9 入出力 (ポ - ト) 001 : D9 入出力 (BSC) * ² 上記以外 : 設定禁止
5	PD9MD1	0	R/W	
4	PD9MD0	0* ¹	R/W	
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PD8MD2	0	R/W	PD8 モードビット PD8/D8/SCK2/AUDATA0 端子の機能を選びます。E10A の AUD 機能を使用時は、AUDATA0 出力に固定されます。 000 : PD8 入出力 (ポ - ト) 001 : D8 入出力 (BSC) * ² 110 : SCK2 入出力 (SCI) 上記以外 : 設定禁止
1	PD8MD1	0	R/W	
0	PD8MD0	0* ¹	R/W	

【注】 *¹ 内蔵 ROM 無効 16 ビット外部拡張モード時、初期値は 1 になります。

*² 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

● ポートDコントロールレジスタL2 (PDCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD7 MD2	PD7 MD1	PD7 MD0	-	PD6 MD2	PD6 MD1	PD6 MD0	-	PD5 MD2	PD5 MD1	PD5 MD0	-	PD4 MD2	PD4 MD1	PD4 MD0
初期値:	0	0	0	0*	0	0	0	0*	0	0	0	0*	0	0	0	0*
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 * 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PD7MD2	0	R/W	PD7 モードビット PD7/D7/IRQ3/TXD2 端子の機能を選びます。 000 : PD7 入出力 (ポ - ト) 001 : D7 入出力 (BSC) * ² 100 : IRQ3 入力 (INTC) 110 : TXD2 出力 (SCI) 上記以外 : 設定禁止
13	PD7MD1	0	R/W	
12	PD7MD0	0* ¹	R/W	
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10	PD6MD2	0	R/W	PD6 モードビット PD6/D6/IRQ2/RXD2 端子の機能を選びます。 000 : PD6 入出力 (ボ - ト) 001 : D6 入出力 (BSC) * ² 100 : IRQ2 入力 (INTC) 110 : RXD2 入力 (SCI) 上記以外 : 設定禁止
9	PD6MD1	0	R/W	
8	PD6MD0	0* ¹	R/W	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PD5MD2	0	R/W	PD5 モードビット PD5/D5/IRQ1/SCK1 端子の機能を選びます。 000 : PD5 入出力 (ボ - ト) 001 : D5 入出力 (BSC) * ² 100 : IRQ1 入力 (INTC) 110 : SCK1 入出力 (SCI) 上記以外 : 設定禁止
5	PD5MD1	0	R/W	
4	PD5MD0	0* ¹	R/W	
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PD4MD2	0	R/W	PD4 モードビット PD4/D4/IRQ0/TXD1 端子の機能を選びます。 000 : PD4 入出力 (ボ - ト) 001 : D4 入出力 (BSC) * ² 100 : IRQ0 入力 (INTC) 110 : TXD1 出力 (SCI) 上記以外 : 設定禁止
1	PD4MD1	0	R/W	
0	PD4MD0	0* ¹	R/W	

【注】 *¹ 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*² 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

• ポートDコントロールレジスタL1 (PDCRL1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD3 MD2	PD3 MD1	PD3 MD0	-	PD2 MD2	PD2 MD1	PD2 MD0	-	PD1 MD2	PD1 MD1	PD1 MD0	-	PD0 MD2	PD0 MD1	PD0 MD0
初期値 :	0	0	0	0* ¹	0	0	0	0* ¹	0	0	0	0* ¹	0	0	0	0* ¹
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 * 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
14	PD3MD2	0	R/W	PD3 モードビット PD3/D3/RXD1 端子の機能を選びます。 000 : PD3 入出力 (ボ - ト) 001 : D3 入出力 (BSC) * ² 110 : RXD1 入力 (SCI) 上記以外 : 設定禁止
13	PD3MD1	0	R/W	
12	PD3MD0	0* ¹	R/W	
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PD2MD2	0	R/W	PD2 モードビット PD2/D2/SCK0 端子の機能を選びます。 000 : PD2 入出力 (ボ - ト) 001 : D2 入出力 (BSC) * ² 110 : SCK0 入出力 (SCI) 上記以外 : 設定禁止
9	PD2MD1	0	R/W	
8	PD2MD0	0* ¹	R/W	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PD1MD2	0	R/W	PD1 モードビット PD1/D1/TXD0 端子の機能を選びます。 000 : PD1 入出力 (ボ - ト) 001 : D1 入出力 (BSC) * ² 110 : TXD0 出力 (SCI) 上記以外 : 設定禁止
5	PD1MD1	0	R/W	
4	PD1MD0	0* ¹	R/W	
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PD0MD2	0	R/W	PD0 モードビット PD0/D0/RXD0 端子の機能を選びます。 000 : PD0 入出力 (ボ - ト) 001 : D0 入出力 (BSC) * ² 110 : RXD0 入力 (SCI) 上記以外 : 設定禁止
1	PD0MD1	0	R/W	
0	PD0MD0	0* ¹	R/W	

【注】 *1 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

17.1.7 ポート E・IO レジスタ L、H (PEIORL、PEIORH)

PEIORL、PEIORH は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選びます。PE21IOR ~ PE0IOR ビットが、それぞれ、PE21 端子 ~ PE0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PEIORL はポート E の端子機能が汎用入出力 (PE15 ~ PE0) および MTU2 の TIOC 入出力の場合に有効でそれ以外の場合は無効です。PEIORH はポート E の端子機能が汎用入出力 (PE21 ~ PE16) および MTU2S の TIOC 入出力の場合に有効でそれ以外の場合は無効です。

PEIORL および PEIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIORH のビット 15 ~ 6 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

PEIORL、PEIORH の初期値はともに H'0000 です。

(1) ポート E・IO レジスタ H (PEIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PE21 IOR	PE20 IOR	PE19 IOR	PE18 IOR	PE17 IOR	PE16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート E・IO レジスタ L (PEIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 IOR	PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

17.1.8 ポート E コントロールレジスタ L1~L4、H1、H2 (PECRL1~PECRL4、PECRH1、PECRH2)

PECRL1~PECRL4、PECRH1、PECRH2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にあるマルチプレクス端子の機能を選びます。

(1) SH7146 の場合

- ポート E コントロールレジスタ H2 (PECRH2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PE21 MD1	PE21 MD0	-	-	PE20 MD1	PE20 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5 4	PE21MD1 PE21MD0	0 0	R/W R/W	PE21 モードビット PE21/TIOC4DS/TRST 端子の機能を選びます。F-ZTAT 版では E10A 使用時 (ASEMD0=L 時) は TRST 入力に固定されます。 00: PE21 入出力 (ポ - ト) 01: TIOC4DS 入出力 (MTU2S) 上記以外: 設定禁止
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1 0	PE20MD1 PE20MD0	0 0	R/W R/W	PE20 モードビット PE20/TIOC4CS/TMS 端子の機能を選びます。F-ZTAT 版では E10A 使用時 (ASEMD0=L 時) は TMS 入力に固定されます。 00: PE20 入出力 (ポ - ト) 01: TIOC4CS 入出力 (MTU2S) 上記以外: 設定禁止

● ポートEコントロールレジスタH1 (PECRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PE19 MD1	PE19 MD0	-	-	PE18 MD1	PE18 MD0	-	-	PE17 MD1	PE17 MD0	-	PE16 MD2	PE16 MD1	PE16 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13 12	PE19MD1 PE19MD0	0 0	R/W R/W	PE19 モードビット PE19/TIOC4BS/TDO 端子の機能を選びます。F-ZTAT 版では E10A 使用時 (ASEMD0=L 時) は TDO 出力に固定されます。 00: PE19 入出力 (ポ - ト) 01: TIOC4BS 入出力 (MTU2S) 上記以外: 設定禁止
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 8	PE18MD1 PE18MD0	0 0	R/W R/W	PE18 モードビット PE18/TIOC4AS/TDI 端子の機能を選びます。F-ZTAT 版では E10A 使用時 (ASEMD0=L 時) は TDI 入力に固定されます。 00: PE18 入出力 (ポ - ト) 01: TIOC4AS 入出力 (MTU2S) 上記以外: 設定禁止
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5 4	PE17MD1 PE17MD0	0 0	R/W R/W	PE17 モードビット PE17/TIOC3DS/TCK 端子の機能を選びます。F-ZTAT 版では E10A 使用時 (ASEMD0=L 時) は TCK 入力に固定されます。 00: PE17 入出力 (ポ - ト) 01: TIOC3DS 入出力 (MTU2S) 上記以外: 設定禁止
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 1 0	PE16MD2 PE16MD1 PE16MD0	0 0 0	R/W R/W R/W	PE16 モードビット PE16/TIOC3BS/ASEBRKAK/ASEBRK 端子の機能を選びます。F-ZTAT 版では E10A 使用時 (ASEMD0=L 時) は ASEBRKAK 出力/ASEBRK 入力に固定されます。 000: PE16 入出力 (ポ - ト) 001: TIOC3BS 入出力 (MTU2S) 上記以外: 設定禁止

● ポートEコントロールレジスタL4 (PECRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE15 MD2	PE15 MD1	PE15 MD0	-	PE14 MD2	PE14 MD1	PE14 MD0	-	-	PE13 MD1	PE13 MD0	-	PE12 MD2	PE12 MD1	PE12 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PE15MD2	0	R/W	PE15 モードビット PE15/TIOC4D/IRQOUT 端子の機能を選びます。 000: PE15 入出力 (ポ - ト) 001: TIOC4D 入出力 (MTU2) 011: IRQOUT 出力 (INTC) 上記以外: 設定禁止
13	PE15MD1	0	R/W	
12	PE15MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PE14MD2	0	R/W	PE14 モードビット PE14/TIOC4C 端子の機能を選びます。 000: PE14 入出力 (ポ - ト) 001: TIOC4C 入出力 (MTU2) 上記以外: 設定禁止
9	PE14MD1	0	R/W	
8	PE14MD0	0	R/W	
7, 6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	PE13MD1	0	R/W	PE13 モードビット PE13/TIOC4B/MRES 端子の機能を選びます。 00: PE13 入出力 (ポ - ト) 01: TIOC4B 入出力 (MTU2) 10: MRES 入力 (INTC) 上記以外: 設定禁止
4	PE13MD0	0	R/W	
3	-	0	R	
2	PE12MD2	0	R/W	PE12 モードビット PE12/TIOC4A 端子の機能を選びます。 000: PE12 入出力 (ポ - ト) 001: TIOC4A 入出力 (MTU2) 上記以外: 設定禁止
1	PE12MD1	0	R/W	
0	PE12MD0	0	R/W	

● ポートEコントロールレジスタL3 (PECRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE11 MD2	PE11 MD1	PE11 MD0	-	PE10 MD2	PE10 MD1	PE10 MD0	-	PE9 MD2	PE9 MD1	PE9 MD0	-	PE8 MD2	PE8 MD1	PE8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PE11MD2	0	R/W	PE11 モードビット PE11/TIOC3D 端子の機能を選びます。 000: PE11 入出力 (ポ - ト) 001: TIOC3D 入出力 (MTU2) 上記以外: 設定禁止
13	PE11MD1	0	R/W	
12	PE11MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PE10MD2	0	R/W	PE10 モードビット PE10/TIOC3C 端子の機能を選びます。 000: PE10 入出力 (ポ - ト) 001: TIOC3C 入出力 (MTU2) 上記以外: 設定禁止
9	PE10MD1	0	R/W	
8	PE10MD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PE9MD2	0	R/W	PE9 モードビット PE9/TIOC3B 端子の機能を選びます。 000: PE9 入出力 (ポ - ト) 001: TIOC3B 入出力 (MTU2) 上記以外: 設定禁止
5	PE9MD1	0	R/W	
4	PE9MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PE8MD2	0	R/W	PE8 モードビット PE8/TIOC3A 端子の機能を選びます。 000: PE8 入出力 (ポ - ト) 001: TIOC3A 入出力 (MTU2) 上記以外: 設定禁止
1	PE8MD1	0	R/W	
0	PE8MD0	0	R/W	

● ポートEコントロールレジスタL2 (PECRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE7 MD2	PE7 MD1	PE7 MD0	-	PE6 MD2	PE6 MD1	PE6 MD0	-	PE5 MD2	PE5 MD1	PE5 MD0	-	PE4 MD2	PE4 MD1	PE4 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PE7MD2	0	R/W	PE7モードビット PE7/TIOC2B 端子の機能を選びます。 000: PE7 入出力 (ボ - ト) 001: TIOC2B 入出力 (MTU2) 上記以外: 設定禁止
13	PE7MD1	0	R/W	
12	PE7MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PE6MD2	0	R/W	PE6モードビット PE6/TIOC2A/SCK1 端子の機能を選びます。 000: PE6 入出力 (ボ - ト) 001: TIOC2A 入出力 (MTU2) 110: SCK1 入出力 (SCI) 上記以外: 設定禁止
9	PE6MD1	0	R/W	
8	PE6MD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PE5MD2	0	R/W	PE5モードビット PE5/TIOC1B/TXD1 端子の機能を選びます。 000: PE5 入出力 (ボ - ト) 001: TIOC1B 入出力 (MTU2) 110: TXD1 出力 (SCI) 上記以外: 設定禁止
5	PE5MD1	0	R/W	
4	PE5MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PE4MD2	0	R/W	PE4モードビット PE4/TIOC1A/RXD1 端子の機能を選びます。 000: PE4 入出力 (ボ - ト) 001: TIOC1A 入出力 (MTU2) 110: RXD1 入力 (SCI) 上記以外: 設定禁止
1	PE4MD1	0	R/W	
0	PE4MD0	0	R/W	

● ポートEコントロールレジスタL1 (PECRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE3 MD2	PE3 MD1	PE3 MD0	-	PE2 MD2	PE2 MD1	PE2 MD0	-	PE1 MD2	PE1 MD1	PE1 MD0	-	-	PE0 MD1	PE0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PE3MD2	0	R/W	PE3モードビット PE3/TIOC0D/SCK0 端子の機能を選びます。 000: PE3 入出力 (ポ - ト) 001: TIOC0D 入出力 (MTU2) 110: SCK0 入出力 (SCI) 上記以外: 設定禁止
13	PE3MD1	0	R/W	
12	PE3MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PE2MD2	0	R/W	PE2モードビット PE2/TIOC0C/TXD0 端子の機能を選びます。 000: PE2 入出力 (ポ - ト) 001: TIOC0C 入出力 (MTU2) 110: TXD0 出力 (SCI) 上記以外: 設定禁止
9	PE2MD1	0	R/W	
8	PE2MD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PE1MD2	0	R/W	PE1モードビット PE1/TIOC0B/RXD0 端子の機能を選びます。 000: PE1 入出力 (ポ - ト) 001: TIOC0B 入出力 (MTU2) 110: RXD0 入力 (SCI) 上記以外: 設定禁止
5	PE1MD1	0	R/W	
4	PE1MD0	0	R/W	
3, 2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	PE0MD1	0	R/W	PE0モードビット PE0/TIOC0A 端子の機能を選びます。 00: PE0 入出力 (ポ - ト) 01: TIOC0A 入出力 (MTU2) 上記以外: 設定禁止
0	PE0MD0	0	R/W	

(2) SH7149 の場合

• ポートEコントロールレジスタH2 (PECRH2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PE21 MD1	PE21 MD0	-	-	PE20 MD1	PE20 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5 4	PE21MD1 PE21MD0	0 0	R/W R/W	PE21 モードビット PE21/ $\overline{\text{WRL}}$ /TIOC4DS/ $\overline{\text{TRST}}$ 端子の機能を選びます。F-ZTAT 版では E10A 使用時 ($\overline{\text{ASEMD0}} = \text{L}$ 時) は $\overline{\text{TRST}}$ 入力に固定されます。 00: PE21 入出力 (ポ - ト) 01: TIOC4DS 入出力 (MTU2S) 10: $\overline{\text{WRL}}$ 出力 (BSC)* 上記以外: 設定禁止
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	PE20MD1 PE20MD0	0 0	R/W R/W	PE20 モードビット PE20/ $\overline{\text{WRH}}$ /TIOC4CS/TMS 端子の機能を選びます。F-ZTAT 版では E10A 使用時 ($\overline{\text{ASEMD0}} = \text{L}$ 時) は TMS 入力に固定されます。 00: PE20 入出力 (ポ - ト) 01: TIOC4CS 入出力 (MTU2S) 10: $\overline{\text{WRH}}$ 出力 (BSC)* 上記以外: 設定禁止

【注】 * 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

• ポートEコントロールレジスタH1 (PECRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PE19 MD1	PE19 MD0	-	-	PE18 MD1	PE18 MD0	-	-	PE17 MD1	PE17 MD0	-	PE16 MD2	PE16 MD1	PE16 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
13 12	PE19MD1 PE19MD0	0 0	R/W R/W	PE19 モードビット PE19/ \overline{RD} /TIOC4BS/TDO 端子の機能を選びます。F-ZTAT 版では E10A 使用時 ($\overline{ASEMD0} = L$ 時) は TDO 出力に固定されます。 00 : PE19 入出力 (ボ - ト) 01 : TIOC4BS 入出力 (MTU2S) 10 : \overline{RD} 出力 (BSC) * 上記以外 : 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9 8	PE18MD1 PE18MD0	0 0	R/W R/W	PE18 モードビット PE18/ $\overline{CS1}$ /TIOC4AS/TDI 端子の機能を選びます。F-ZTAT 版では E10A 使用時 ($\overline{ASEMD0} = L$ 時) は TDI 入力に固定されます。 00 : PE18 入出力 (ボ - ト) 01 : TIOC4AS 入出力 (MTU2S) 10 : $\overline{CS1}$ 出力 (BSC) * 上記以外 : 設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5 4	PE17MD1 PE17MD0	0 0	R/W R/W	PE17 モードビット PE17/ $\overline{CS0}$ /TIOC3DS/TCK 端子の機能を選びます。F-ZTAT 版では E10A 使用時 ($\overline{ASEMD0} = L$ 時) は TCK 入力に固定されます。 00 : PE17 入出力 (ボ - ト) 01 : TIOC3DS 入出力 (MTU2S) 10 : $\overline{CS0}$ 出力 (BSC) * 上記以外 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 1 0	PE16MD2 PE16MD1 PE16MD0	0 0 0	R/W R/W R/W	PE16 モードビット PE16/ \overline{WAIT} /TIOC3BS/ $\overline{ASEBRKAK}$ / \overline{ASEBRK} 端子の機能を選びます。F-ZTAT 版では E10A 使用時 ($\overline{ASEMD0} = L$ 時) は $\overline{ASEBRKAK}$ 出力/ \overline{ASEBRK} 入力に固定されます。 000 : PE16 入出力 (ボ - ト) 001 : TIOC3BS 入出力 (MTU2S) 010 : \overline{WAIT} 入力 (BSC) * 上記以外 : 設定禁止

【注】 * 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

● ポートEコントロールレジスタL4 (PECRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE15 MD2	PE15 MD1	PE15 MD0	-	PE14 MD2	PE14 MD1	PE14 MD0	-	-	PE13 MD1	PE13 MD0	-	PE12 MD2	PE12 MD1	PE12 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PE15MD2	0	R/W	PE15 モードビット PE15/TIOC4D/IRQOUT 端子の機能を選びます。 000: PE15 入出力 (ポ - ト) 001: TIOC4D 入出力 (MTU2) 011: IRQOUT 出力 (INTC) 上記以外: 設定禁止
13	PE15MD1	0	R/W	
12	PE15MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PE14MD2	0	R/W	PE14 モードビット PE14/TIOC4C 端子の機能を選びます。 000: PE14 入出力 (ポ - ト) 001: TIOC4C 入出力 (MTU2) 上記以外: 設定禁止
9	PE14MD1	0	R/W	
8	PE14MD0	0	R/W	
7, 6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	PE13MD1	0	R/W	PE13 モードビット PE13/TIOC4B/MRES 端子の機能を選びます。 00: PE13 入出力 (ポ - ト) 01: TIOC4B 入出力 (MTU2) 10: MRES 入力 (INTC) 上記以外: 設定禁止
4	PE13MD0	0	R/W	
3	-	0	R	
2	PE12MD2	0	R/W	PE12 モードビット PE12/TIOC4A 端子の機能を選びます。 000: PE12 入出力 (ポ - ト) 001: TIOC4A 入出力 (MTU2) 上記以外: 設定禁止
1	PE12MD1	0	R/W	
0	PE12MD0	0	R/W	

● ポートEコントロールレジスタL3 (PECRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	PE11 MD2	PE11 MD1	PE11 MD0	-	PE10 MD2	PE10 MD1	PE10 MD0	-	PE9 MD2	PE9 MD1	PE9 MD0	-	PE8 MD2	PE8 MD1	PE8 MD0	
初期値:	0	0	0	0	0	0*1	0	0	0	0	0	0	0	0	0*1	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PE11MD2	0	R/W	PE11モードビット PE11/TIOC3D端子の機能を選びます。 000: PE11入出力 (ポ - ト) 001: TIOC3D入出力 (MTU2) 上記以外: 設定禁止
13	PE11MD1	0	R/W	
12	PE11MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PE10MD2	0*1	R/W	PE10モードビット PE10/ $\overline{CS0}$ /TIOC3C端子の機能を選びます。 000: PE10入出力 (ポ - ト) 001: TIOC3C入出力 (MTU2) 100: $\overline{CS0}$ 出力 (BSC)*2 上記以外: 設定禁止
9	PE10MD1	0	R/W	
8	PE10MD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PE9MD2	0	R/W	PE9モードビット PE9/TIOC3B端子の機能を選びます。 000: PE9入出力 (ポ - ト) 001: TIOC3B入出力 (MTU2) 上記以外: 設定禁止
5	PE9MD1	0	R/W	
4	PE9MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PE8MD2	0*1	R/W	PE8モードビット PE8/A15/TIOC3A端子の機能を選びます。 000: PE8入出力 (ポ - ト) 001: TIOC3A入出力 (MTU2) 100: A15出力 (BSC)*2 上記以外: 設定禁止
1	PE8MD1	0	R/W	
0	PE8MD0	0	R/W	

【注】 *1 内蔵ROM無効外部拡張モード時、初期値は1になります。

*2 内蔵ROM有効/無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

● ポートEコントロールレジスタL2 (PECRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE7 MD2	PE7 MD1	PE7 MD0	-	PE6 MD2	PE6 MD1	PE6 MD0	-	PE5 MD2	PE5 MD1	PE5 MD0	-	PE4 MD2	PE4 MD1	PE4 MD0
初期値:	0	0*	0	0	0	0*	0	0	0	0*	0	0	0	0*	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】* 内蔵ROM無効外部拡張モード時、初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PE7MD2	0* ¹	R/W	PE7 モードビット PE7/A14/TIOC2B 端子の機能を選びます。 000 : PE7 入出力 (ポ - ト) 001 : TIOC2B 入出力 (MTU2) 100 : A14 出力 (BSC) * ² 上記以外 : 設定禁止
13	PE7MD1	0	R/W	
12	PE7MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PE6MD2	0* ¹	R/W	PE6 モードビット PE6/A13/TIOC2A/SCK1 端子の機能を選びます。 000 : PE6 入出力 (ポ - ト) 001 : TIOC2A 入出力 (MTU2) 100 : A13 出力 (BSC) * ² 110 : SCK1 入出力 (SCI) 上記以外 : 設定禁止
9	PE6MD1	0	R/W	
8	PE6MD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PE5MD2	0* ¹	R/W	PE5 モードビット PE5/A12/TIOC1B/TXD1 端子の機能を選びます。 000 : PE5 入出力 (ポ - ト) 001 : TIOC1B 入出力 (MTU2) 100 : A12 出力 (BSC) * ² 110 : TXD1 出力 (SCI) 上記以外 : 設定禁止
5	PE5MD1	0	R/W	
4	PE5MD0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2	PE4MD2	0*1	R/W	PE4 モードビット PE4/A11/TIOC1A/RXD1 端子の機能を選びます。 000 : PE4 入出力 (ボ - ト) 001 : TIOC1A 入出力 (MTU2) 100 : A11 出力 (BSC) *2 110 : RXD1 入力 (SCI) 上記以外 : 設定禁止
1	PE4MD1	0	R/W	
0	PE4MD0	0	R/W	

【注】 *1 内蔵 ROM 無効外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 有効 / 無効外部拡張モード時のみ有効な機能です。シングルチップモードでは設定しないでください。

● ポートEコントロールレジスタL1 (PECRL1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE3 MD2	PE3 MD1	PE3 MD0	-	PE2 MD2	PE2 MD1	PE2 MD0	-	PE1 MD2	PE1 MD1	PE1 MD0	-	-	PE0 MD1	PE0 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PE3MD2	0	R/W	PE3 モードビット PE3/TIOC0D/SCK0 端子の機能を選びます。 000 : PE3 入出力 (ボ - ト) 001 : TIOC0D 入出力 (MTU2) 110 : SCK0 入出力 (SCI) 上記以外 : 設定禁止
13	PE3MD1	0	R/W	
12	PE3MD0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PE2MD2	0	R/W	PE2 モードビット PE2/TIOC0C/TXD0 端子の機能を選びます。 000 : PE2 入出力 (ボ - ト) 001 : TIOC0C 入出力 (MTU2) 110 : TXD0 出力 (SCI) 上記以外 : 設定禁止
9	PE2MD1	0	R/W	
8	PE2MD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
6	PE1MD2	0	R/W	PE1 モードビット PE1/TIOC0B/RXD0 端子の機能を選びます。 000 : PE1 入出力 (ポ - ト) 001 : TIOC0B 入出力 (MTU2) 110 : RXD0 入力 (SCI) 上記以外 : 設定禁止
5	PE1MD1	0	R/W	
4	PE1MD0	0	R/W	
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PE0MD1	0	R/W	PE0 モードビット PE0/TIOC0A 端子の機能を選びます。 00 : PE0 入出力 (ポ - ト) 01 : TIOC0A 入出力 (MTU2) 上記以外 : 設定禁止
0	PE0MD0	0	R/W	

17.1.9 IRQOUT 機能コントロールレジスタ (IFCR)

IFCR は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート E コントロールレジスタ L4 (PECRL4) により、マルチプレクス機能が IRQOUT 出力に設定された場合、その出力を制御するために使用します。PECRL4 の設定が他の機能になっている場合、このレジスタの設定は端子の機能に影響を与えません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	IRQ MD1	IRQ MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	IRQMD1	0	R/W	ポート E IRQOUT 端子機能選択 PECRL4 のビット 14、13、12 (PE15MD2、PE15MD1、PE15MD0) が (0、1、1) に設定されている場合の IRQOUT 端子機能を選びます。 00 : 割り込み要求受け付け出力 01 : 設定禁止 10 : 割り込み要求受け付け出力 11 : 常にハイレベル出力
0	IRQMD0	0	R/W	

17.2 使用上の注意事項

1. 本LSIでは、同一機能が複数の端子にマルチプレクス機能として割り付けられています。これは、端子機能の選択自由度を向上させるとともにボードの設定を容易にすることを目的としていますが、1つの機能を2端子以上で使用する場合は次の点に注意して使用してください。

- 端子機能が入力機能の場合

複数の端子から入力される信号は、ORもしくはAND論理によって1つの信号となり、LSI内部へ伝搬されます。そのため他の同一機能である端子の入力状態によっては、入力した信号とは異なる信号がLSI内部へ伝搬することがあります。表17.13に複数の端子に割り付けられている入力機能の伝搬形式を示します。以下のいずれかの機能を2つ以上の端子で使用する場合、伝搬形式を考慮し、信号の極性に注意して使用してください。

表 17.13 複数端子に割り付けられている入力機能の伝搬形式

OR 型	AND 型
SCK0 ~ SCK2, RXD0 ~ RXD2	IRQ0 ~ IRQ3, $\overline{\text{WAIT}}$, POE0, POE1, POE4 ~ POE5, POE8

OR型：複数の端子から入力される信号は、OR論理によって1つの信号となり、LSI内部に伝搬します。

AND型：複数の端子から入力される信号は、AND論理によって1つの信号となり、LSI内部に伝搬します。

- 端子機能が出力機能の場合

選択したすべての端子から同一機能を出力することができます。

2. 入出力ポートとIRQがマルチプレクスされている端子で、ポート入力がローレベル状態からIRQエッジ検出に切り換えた場合、当該エッジが検出されます。
3. 表17.9 ~ 表17.11のPFCで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
4. シングルチップモード (MCU動作モード3) におけるPFCの設定について

シングルチップモードにおいて、PFCでアドレスバス、データバス、バス制御信号、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 、CKを選択しないでください。選択した場合、アドレスバスについてはハイレベルもしくはローレベル出力、データバスについてはハイインピーダンス出力、その他の出力信号はハイレベル出力となります。 $\overline{\text{BREQ}}$ と $\overline{\text{WAIT}}$ は入力となりますのでオープンにしないでください。ただし、バス権要求入力と外部ウェイトは無効です。

18. I/O ポート

SH7146 のポートは、A、B、E、F の 4 本から構成されています。ポート A は 16 ビット、ポート B は 7 ビット、ポート E は 22 ビットの入出力ポートです。ポート F は 12 ビットの入力専用ポートです。

SH7149 のポートは、A、B、D、E、F の 5 本から構成されています。ポート A は 16 ビット、ポート B は 9 ビット、ポート D は 16 ビット、ポート E は 22 ビットの入出力ポートです。ポート F は 12 ビットの入力専用ポートです。

それぞれのポートの端子は、すべて、そのほかの機能とを兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC) で行います。

ポートはそれぞれ、端子のデータを格納するためのデータレジスタをもっています。

18.1 ポート A

SH7146 のポート A は、図 18.1 に示すような、16 本の端子を持つ入出力ポートです。

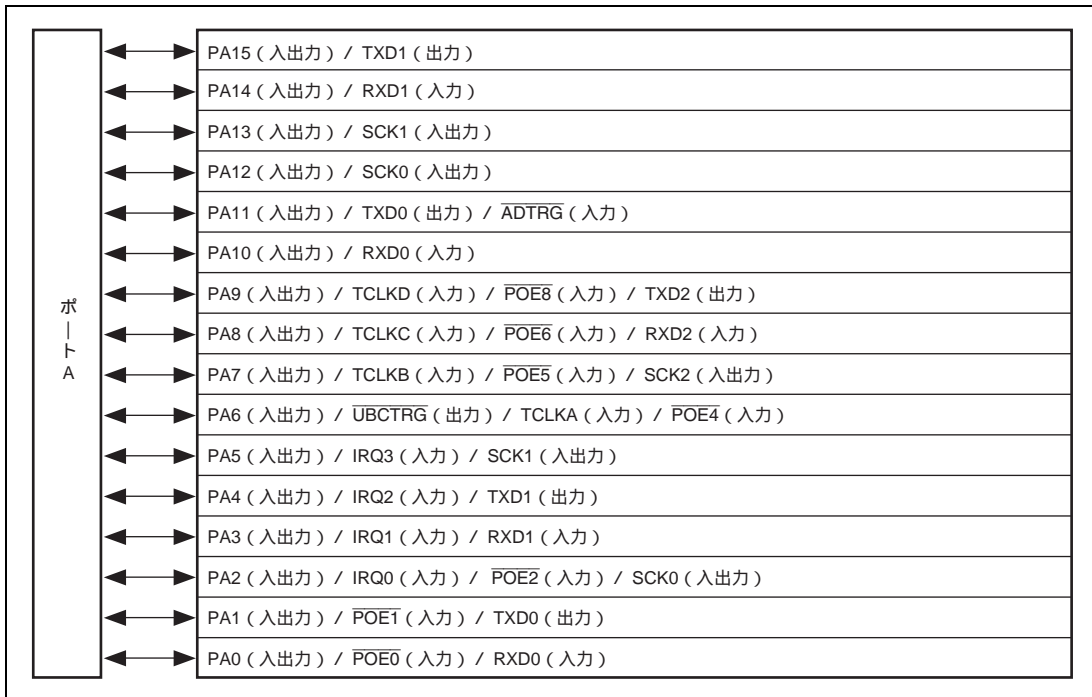


図 18.1 ポート A (SH7146 の場合)

SH7149 のポート A は、図 18.2 に示すような、16 本の端子を持つ入出力ポートです。

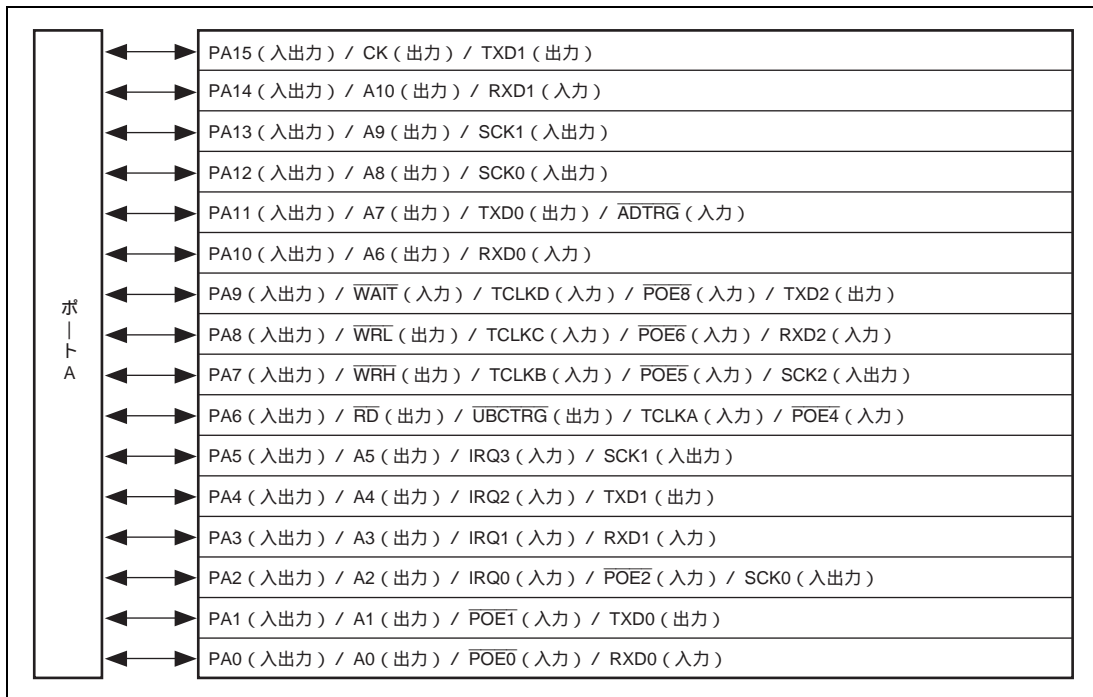


図 18.2 ポート A (SH7149 の場合)

18.1.1 レジスタの説明

ポート A は 16 ビットの入出力ポートです。ポート A には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 18.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ L	PADRL	R/W	H'0000	H'FFFFD102	8、16
ポート A ポートレジスタ L	PAPRL	R	H'xxxx	H'FFFFD11E	8、16

18.1.2 ポート A データレジスタ L (PADRL)

PADRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA15DR ~ PA0DR ビットは、それぞれ PA15 ~ PA0 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PADRL に値を書き込むと端子からその値が出力され、PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRL に値を書き込むと、PADRL にその値を書き込めますが、端子の状態には影響しません。表 18.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 DR	PA14 DR	PA13 DR	PA12 DR	PA11 DR	PA10 DR	PA9 DR	PA8 DR	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PA15DR	0	R/W	表 18.2 参照
14	PA14DR	0	R/W	
13	PA13DR	0	R/W	
12	PA12DR	0	R/W	
11	PA11DR	0	R/W	
10	PA10DR	0	R/W	
9	PA9DR	0	R/W	
8	PA8DR	0	R/W	
7	PA7DR	0	R/W	
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

表 18.2 ポート A データレジスタ L (PADRL) の読み出し / 書き込み動作

- PADRLのビット15~0

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PADRL の値	書き込み値が端子から出力される
	汎用出力以外	PADRL の値	PADRL に書き込めるが、端子の状態に影響しない

18.1.3 ポート A ポートレジスタ L (PAPRL)

PAPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。PA15PR ~ PA0PR ビットは、それぞれ PA15 ~ PA0 端子（兼用機能については記述を省略）に対応しています。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 PR	PA14 PR	PA13 PR	PA12 PR	PA11 PR	PA10 PR	PA9 PR	PA8 PR	PA7 PR	PA6 PR	PA5 PR	PA4 PR	PA3 PR	PA2 PR	PA1 PR	PA0 PR
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PA15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PA14PR	端子の状態	R	
13	PA13PR	端子の状態	R	
12	PA12PR	端子の状態	R	
11	PA11PR	端子の状態	R	
10	PA10PR	端子の状態	R	
9	PA9PR	端子の状態	R	
8	PA8PR	端子の状態	R	
7	PA7PR	端子の状態	R	
6	PA6PR	端子の状態	R	
5	PA5PR	端子の状態	R	
4	PA4PR	端子の状態	R	
3	PA3PR	端子の状態	R	
2	PA2PR	端子の状態	R	
1	PA1PR	端子の状態	R	
0	PA0PR	端子の状態	R	

18.2 ポート B

SH7146 のポート B は、図 18.3 に示すような、7本の端子を持つ入出力ポートです。

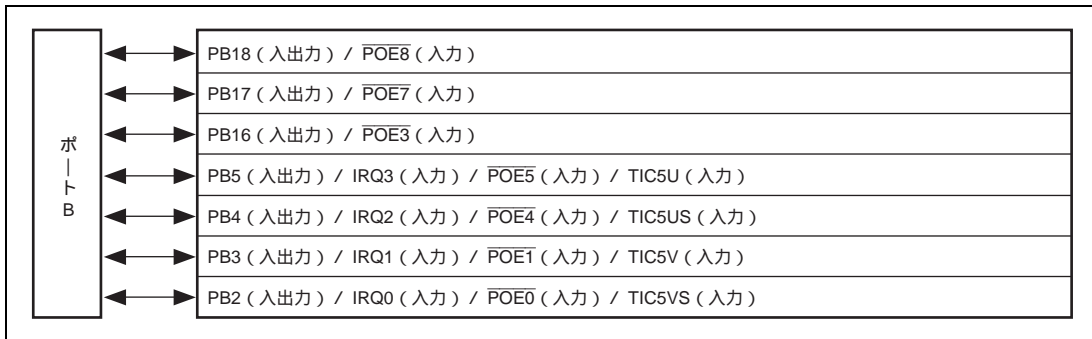


図 18.3 ポート B (SH7146 の場合)

SH7149 のポート B は、図 18.4 に示すような、9本の端子を持つ入出力ポートです。

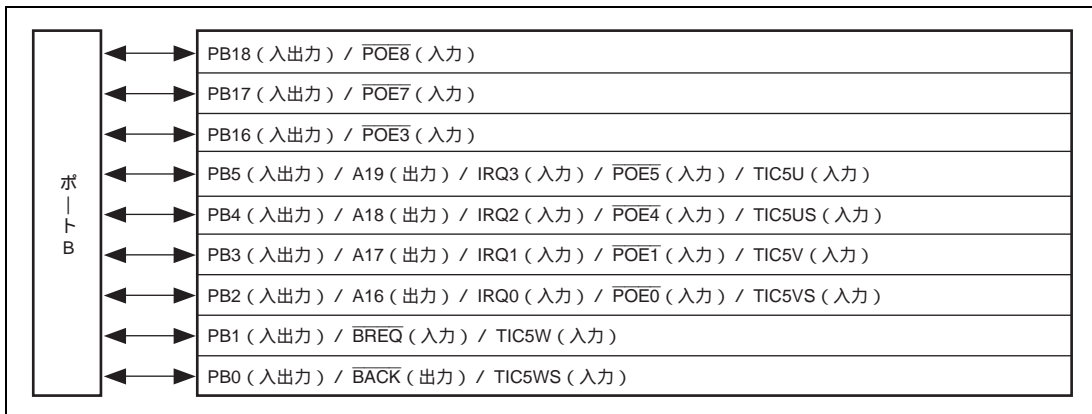


図 18.4 ポート B (SH7149 の場合)

18.2.1 レジスタの説明

ポート B は SH7146 では 7 ビット、SH7149 では 9 ビットの入出力ポートです。ポート B には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 18.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ H	PBDRH	R/W	H'0000	H'FFFFD180	8、16、32
ポート B データレジスタ L	PBDRL	R/W	H'0000	H'FFFFD182	8、16
ポート B ポートレジスタ H	PBPRH	R	H'000x	H'FFFFD19C	8、16、32
ポート B ポートレジスタ L	PBPRL	R	H'00xx	H'FFFFD19E	8、16

18.2.2 ポート B データレジスタ H、L (PBDRH、PBDRL)

PBDRH および PBDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。SH7146 では PB18DR ~ PB16DR ビット、PB5DR ~ PB2DR ビットは、それぞれ PB18 ~ PB16 端子、PB5 ~ PB2 端子 (兼用機能については記述を省略) に対応しています。SH7149 では PB18DR ~ PB16DR ビット、PB5DR ~ PB0DR ビットは、それぞれ PB18 ~ PB16 端子、PB5 ~ PB0 端子 (兼用機能については記述を省略) に対応しています。

端子機能が汎用出力の場合には、PBDRH または PBDRL に値を書き込むと端子からその値が出力され、PBDRH または PBDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDRH または PBDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDRH または PBDRL に値を書き込むと、PBDRH または PBDRL にその値を書き込みますが、端子の状態には影響しません。表 18.4 にポート B データレジスタの読み出し / 書き込み動作を示します。

- PBDRH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PB18 DR	PB17 DR	PB16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PB18DR	0	R/W	表 18.4 参照
1	PB17DR	0	R/W	
0	PB16DR	0	R/W	

- PBDRL (SH7146の場合)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PB5 DR	PB4 DR	PB3 DR	PB2 DR	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	PB5DR	0	R/W	表 18.4 参照
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1、0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- PBDRL (SH7149の場合)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	PB5DR	0	R/W	表 18.4 参照
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

表 18.4 ポートBデータレジスタ(PBDR)の読み出し/書き込み動作

- PBDRHのビット2~0およびPBDRLのビット9~0

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDRH、Lに書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDRH、Lに書き込めるが、端子の状態に影響しない
1	汎用出力	PBDRH、Lの値	書き込み値が端子から出力される
	汎用出力以外	PBDRH、Lの値	PBDRH、Lに書き込めるが、端子の状態に影響しない

18.2.3 ポート B ポートレジスタ H、L (PBPRH、PBPLR)

PBPRH および PBPLR は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。SH7146 では PB18PR ~ PB16PR ビット、PB5PR ~ PB2PR ビットは、それぞれ PB18 ~ PB16 端子、PB5 ~ PB2 端子(兼用機能については記述を省略)に対応しています。SH7149 では PB18PR ~ PB16PR ビット、PB5PR ~ PB0PR ビットは、それぞれ PB18 ~ PB16 端子、PB5 ~ PB0 端子(兼用機能については記述を省略)に対応しています。

- PBPRH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PB18 PR	PB17 PR	PB16 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PB18PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
1	PB17PR	端子の状態	R	
0	PB16PR	端子の状態	R	

- PBPLR (SH7146の場合)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PB5 PR	PB4 PR	PB3 PR	PB2 PR	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	*	*	*	*	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PB5PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
4	PB4PR	端子の状態	R	
3	PB3PR	端子の状態	R	
2	PB2PR	端子の状態	R	
1, 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- PBPR (SH7149の場合)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PB5 PR	PB4 PR	PB3 PR	PB2 PR	PB1 PR	PB0 PR
初期値:	0	0	0	0	0	0	0	0	0	0	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	PB5PR	端子の状態	R	PFCの設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
4	PB4PR	端子の状態	R	
3	PB3PR	端子の状態	R	
2	PB2PR	端子の状態	R	
1	PB1PR	端子の状態	R	
0	PB0PR	端子の状態	R	

18.3 ポート D (SH7149 のみ)

SH7149 のポート D は、図 18.5 に示すような、16 本の端子を持つ入出力ポートです。

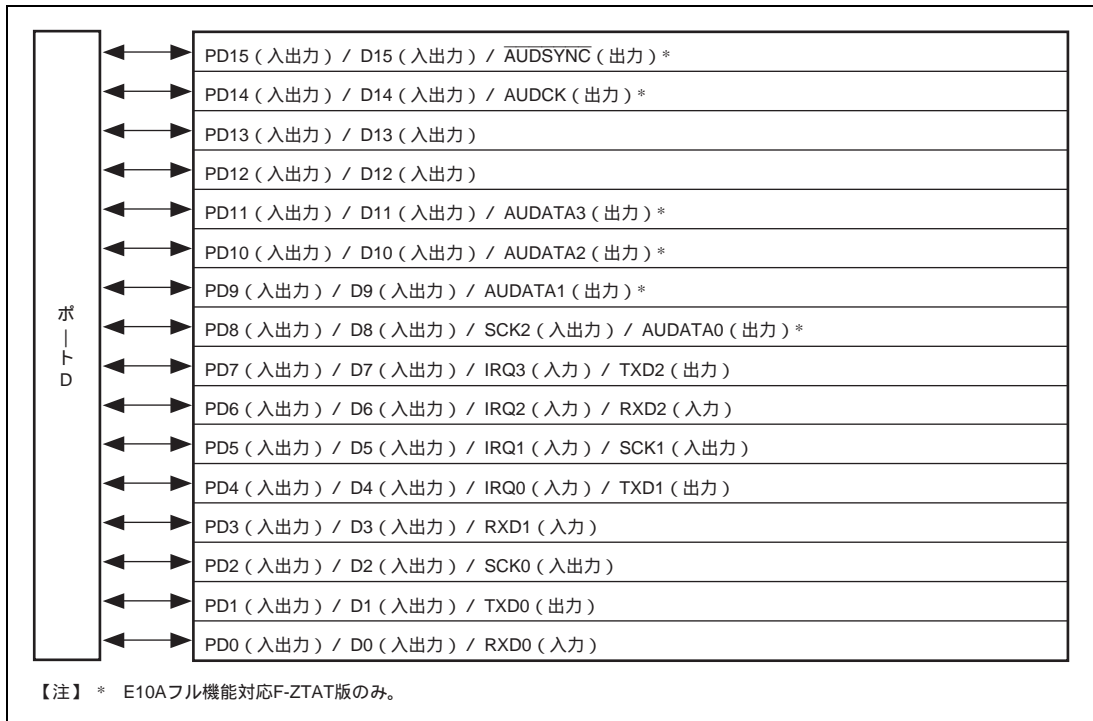


図 18.5 ポート D

18.3.1 レジスタの説明

ポートDは16ビットの入出力ポートです。ただしSH7146にはポートDはありません。ポートDには以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第23章 レジスタ一覧」を参照してください。

表 18.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポートDデータレジスタL	PDDRL	R/W	H'0000	H'FFFFD282	8、16
ポートDポートレジスタL	PDPRL	R	H'xxxx	H'FFFFD29E	8、16

18.3.2 ポート D データレジスタ L (PDDRL)

PDDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD15DR ~ PD0DR ビットは、それぞれ PD15 ~ PD0 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDRL に値を書き込むと、PDDRL にその値を書き込みますが、端子の状態には影響しません。表 18.6 にポート D データレジスタ L の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PD15DR	0	R/W	表 18.6 参照
14	PD14DR	0	R/W	
13	PD13DR	0	R/W	
12	PD12DR	0	R/W	
11	PD11DR	0	R/W	
10	PD10DR	0	R/W	
9	PD9DR	0	R/W	
8	PD8DR	0	R/W	
7	PD7DR	0	R/W	
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

表 18.6 ポート D データレジスタ L (PDDRL) の読み出し / 書き込み動作

- PDDRLのビット15~0

PDIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDRL の値	書き込み値が端子から出力される
	汎用出力以外	PDDRL の値	PDDRL に書き込めるが、端子の状態に影響しない

18.3.3 ポートDポートレジスタL (PDPRL)

PDPRLは、それぞれ読み出しのみ可能な16ビットのレジスタで、PFCの設定にかかわらず常に端子の状態を読み出すことができます。PD15PR～PD0PRビットは、それぞれPD15～PD0端子（兼用機能については記述を省略）に対応しています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 PR	PD14 PR	PD13 PR	PD12 PR	PD11 PR	PD10 PR	PD9 PR	PD8 PR	PD7 PR	PD6 PR	PD5 PR	PD4 PR	PD3 PR	PD2 PR	PD1 PR	PD0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PD15PR	端子の状態	R	PFCの設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PD14PR	端子の状態	R	
13	PD13PR	端子の状態	R	
12	PD12PR	端子の状態	R	
11	PD11PR	端子の状態	R	
10	PD10PR	端子の状態	R	
9	PD9PR	端子の状態	R	
8	PD8PR	端子の状態	R	
7	PD7PR	端子の状態	R	
6	PD6PR	端子の状態	R	
5	PD5PR	端子の状態	R	
4	PD4PR	端子の状態	R	
3	PD3PR	端子の状態	R	
2	PD2PR	端子の状態	R	
1	PD1PR	端子の状態	R	
0	PD0PR	端子の状態	R	

18.4 ポート E

SH7146 のポート E は、図 18.6 に示すような、22 本の端子を持つ入出力ポートです。

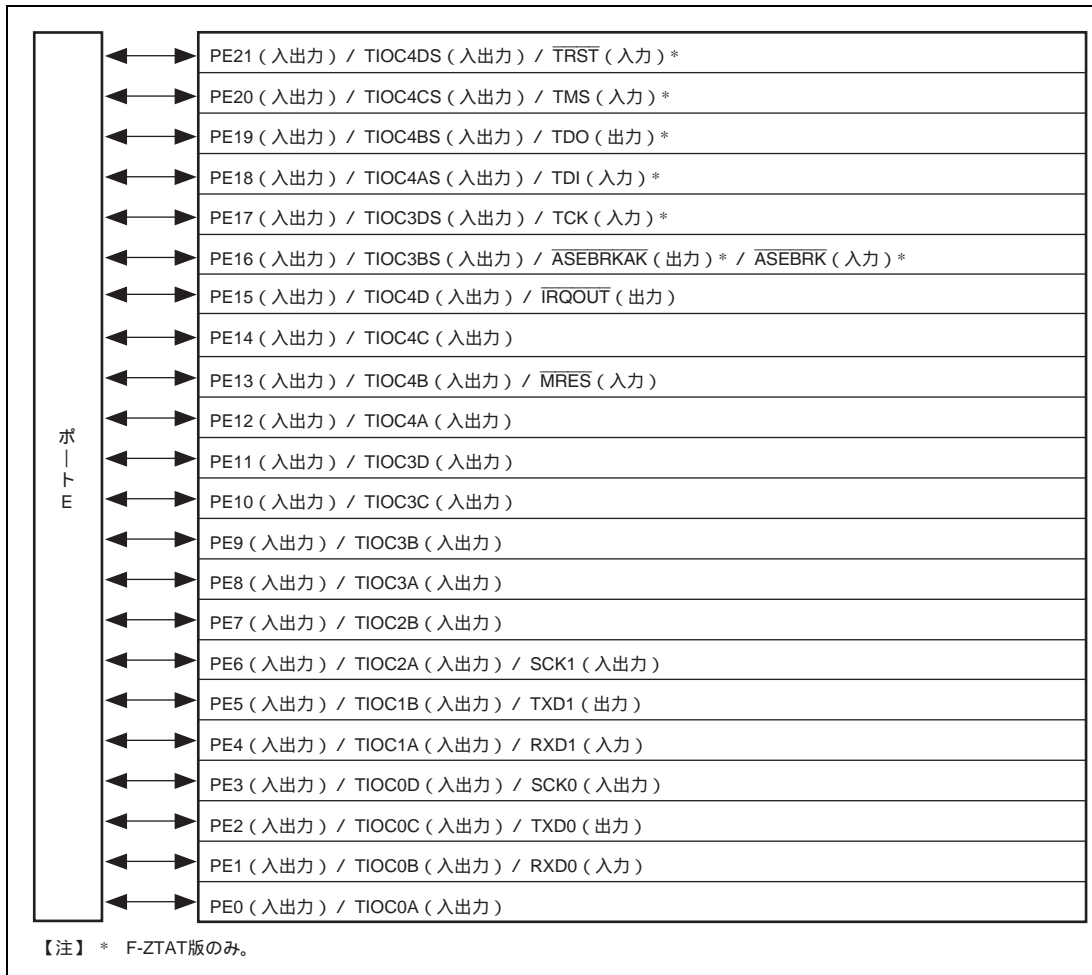


図 18.6 ポート E (SH7146 の場合)

SH7149のポートEは、図18.7に示すような、22本の端子を持つ入出力ポートです。

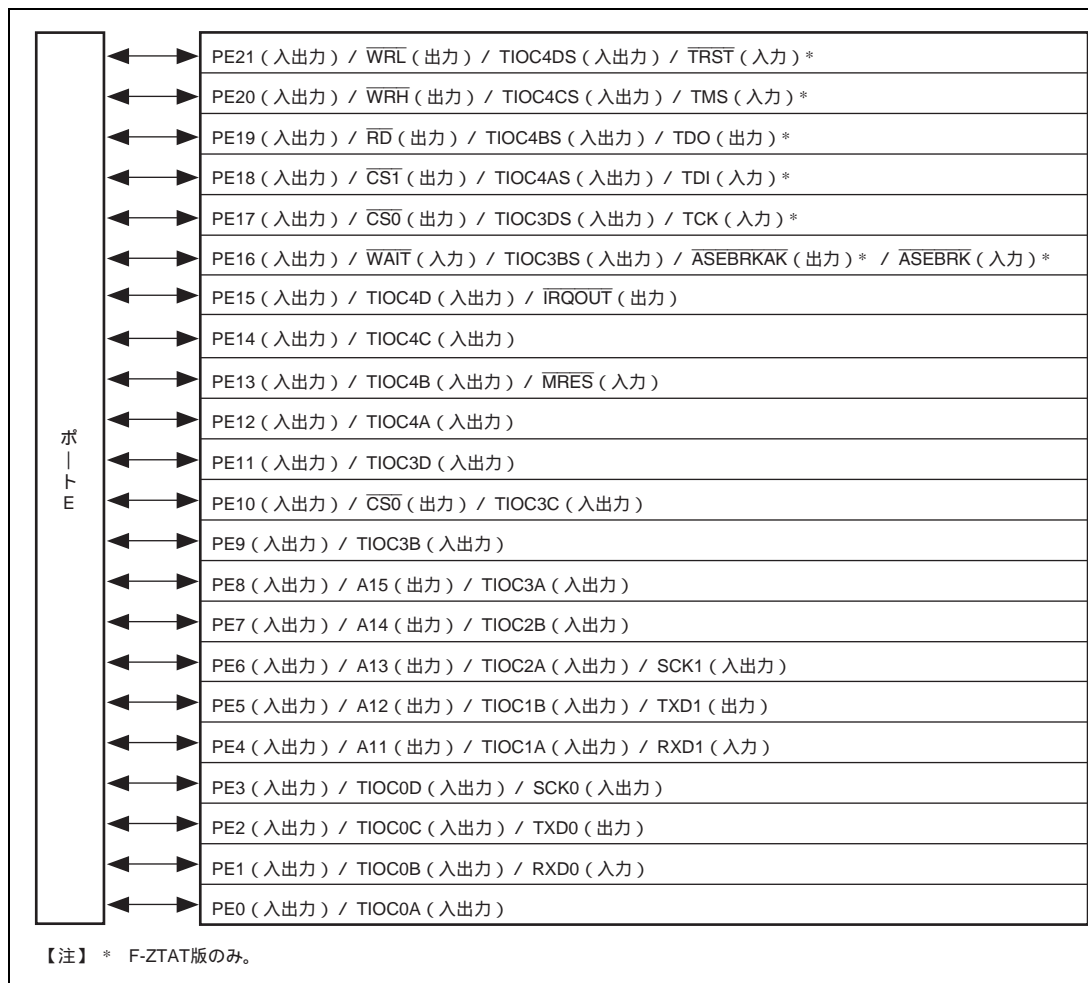


図 18.7 ポート E (SH7149 の場合)

18.4.1 レジスタの説明

ポート E は 22 ビットの入出力ポートです。ポート E には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 18.7 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ H	PEDRH	R/W	H'0000	H'FFFFD300	8、16、32
ポート E データレジスタ L	PEDRL	R/W	H'0000	H'FFFFD302	8、16
ポート E ポートレジスタ H	PEPRH	R	H'00xx	H'FFFFD31C	8、16、32
ポート E ポートレジスタ L	PEPRL	R	H'00xx	H'FFFFD31E	8、16

18.4.2 ポート E データレジスタ H、L (PEDRH、PEDRL)

PEDRH および PEDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE21DR ~ PE0DR ビットはそれぞれ PE21 ~ PE0 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PEDRH または PEDRL に値を書き込むと端子からその値が出力され、PEDRH または PEDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDRH または PEDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDRH または PEDRL に値を書き込むと、PEDRH または PEDRL にその値を書き込めますが、端子の状態には影響しません。表 18.8 にポート E データレジスタの読み出し / 書き込み動作を示します。

- PEDRH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PE21 DR	PE20 DR	PE19 DR	PE18 DR	PE17 DR	PE16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PE21DR	0	R/W	表 18.8 参照
4	PE20DR	0	R/W	
3	PE19DR	0	R/W	
2	PE18DR	0	R/W	
1	PE17DR	0	R/W	
0	PE16DR	0	R/W	

- PEDRL

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PE15 DR	PE14 DR	PE13 DR	PE12 DR	PE11 DR	PE10 DR	PE9 DR	PE8 DR	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR
初期値： 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W： R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	PE15DR	0	R/W	表 18.8 参照
14	PE14DR	0	R/W	
13	PE13DR	0	R/W	
12	PE12DR	0	R/W	
11	PE11DR	0	R/W	
10	PE10DR	0	R/W	
9	PE9DR	0	R/W	
8	PE8DR	0	R/W	
7	PE7DR	0	R/W	
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

表 18.8 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

- PEDRHのビット5~0およびPEDRLのビット15~0

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDRH、L の値	書き込み値が端子から出力される
	汎用出力以外	PEDRH、L の値	PEDRH、L に書き込めるが、端子の状態に影響しない

18.4.3 ポート E ポートレジスタ H、L (PEPRH、PEPRL)

PEPRH、PEPRL は、それぞれ読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。PE21PR ~ PE0PR ビットはそれぞれ PE21 ~ PE0 端子 (兼用機能については記述を省略) に対応しています。

- PEPRH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PE21 PR	PE20 PR	PE19 PR	PE18 PR	PE17 PR	PE16 PR
初期値:	0	0	0	0	0	0	0	0	0	0	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PE21PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
4	PE20PR	端子の状態	R	
3	PE19PR	端子の状態	R	
2	PE18PR	端子の状態	R	
1	PE17PR	端子の状態	R	
0	PE16PR	端子の状態	R	

- PEPRL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 PR	PE14 PR	PE13 PR	PE12 PR	PE11 PR	PE10 PR	PE9 PR	PE8 PR	PE7 PR	PE6 PR	PE5 PR	PE4 PR	PE3 PR	PE2 PR	PE1 PR	PE0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	PE15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PE14PR	端子の状態	R	
13	PE13PR	端子の状態	R	
12	PE12PR	端子の状態	R	
11	PE11PR	端子の状態	R	
10	PE10PR	端子の状態	R	
9	PE9PR	端子の状態	R	
8	PE8PR	端子の状態	R	
7	PE7PR	端子の状態	R	
6	PE6PR	端子の状態	R	
5	PE5PR	端子の状態	R	
4	PE4PR	端子の状態	R	
3	PE3PR	端子の状態	R	
2	PE2PR	端子の状態	R	
1	PE1PR	端子の状態	R	
0	PE0PR	端子の状態	R	

18.5 ポート F

ポート F は、図 18.8 に示すような、12 本の端子を持つ入力専用ポートです。

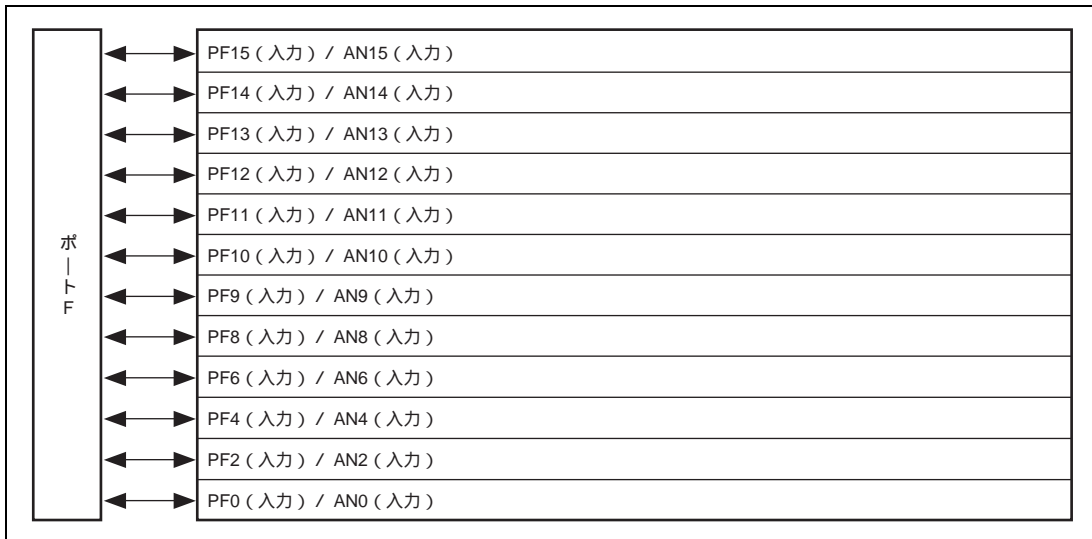


図 18.8 ポート F

18.5.1 レジスタの説明

ポート F は 12 ビットの入力ポートです。ポート F には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 18.9 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ L	PFDR_L	R	H'xxxx	H'FFFFD382	8、16

18.5.2 ポート F データレジスタ L (PFDR L)

PFDR L は、読み出し専用の 16 ビットのレジスタで、ポート F のデータを格納します。PF15DR ビット、PF6DR ビット、PF4DR ビット、PF2DR ビット、PF0DR ビットはそれぞれ PF15 ~ PF8 端子、PF6 端子、PF4 端子、PF2 端子、PF0 端子に対応しています (兼用機能については記述を省略)。

これらのビットに値を書き込んででも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D 変換器のアナログ入力をサンプリングしている間は 1 が読み出されます。表 18.10 にポート F データレジスタの読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15 DR	PF14 DR	PF13 DR	PF12 DR	PF11 DR	PF10 DR	PF9 DR	PF8 DR	-	PF6 DR	-	PF4 DR	-	PF2 DR	-	PF0 DR
初期値:	*	*	*	*	*	*	*	*	0	*	0	*	0	*	0	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PF15DR	端子の状態	R	表 18.10 参照
14	PF14DR	端子の状態	R	
13	PF13DR	端子の状態	R	
12	PF12DR	端子の状態	R	
11	PF11DR	端子の状態	R	
10	PF10DR	端子の状態	R	
9	PF9DR	端子の状態	R	
8	PF8DR	端子の状態	R	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PF6DR	端子の状態	R	表 18.10 参照
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PF4DR	端子の状態	R	表 18.10 参照
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PF2DR	端子の状態	R	表 18.10 参照
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PF0DR	端子の状態	R	表 18.10 参照

表 18.10 ポート F データレジスタ L (PFDR L) の読み出し / 書き込み動作

- PFDR Lのビット15~0

端子機能	読み出し	書き込み
汎用入力	端子の状態が読み出される	無視される (端子の状態に影響しない)
ANn 入力	1 が読み出される	無視される (端子の状態に影響しない)

19. フラッシュメモリ

本 LSI は 256KB のフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

19.1 特長

- LSI起動モードに合わせた2種類のフラッシュメモリマツト

内蔵しているフラッシュメモリには、同一アドレス空間に配置される2種類のメモリ空間(以下メモリマツトと呼びます)があり、起動時のモード設定により、どちらのメモリマツトから起動するかを選択できます。また、起動後もバンク切り替え方式でマツトを切り替えることも可能です。

ユーザモードでパワーオンリセット時に起動するユーザマツト : 256KB

ユーザブートモードでパワーオンリセット時に起動するユーザブートマツト : 12KB

- 3種類のオンボードプログラミングモードと、1種類のオフボードプログラミングモード

オンボードプログラミングモード :

ブートモード

内蔵SCIインタフェースを使用するプログラムモードで、ユーザマツトとユーザブートマツトの書き換えができます。本モードでは、ホストと本LSI間のビットレートを自動で合わせることができます。

ユーザプログラムモード

任意のインタフェースで、ユーザマツトの書き換えができます。

ユーザブートモード

任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマツトの書き換えが可能です。

オフボードプログラミングモード :

ライターモード

PROMライターを用いたライターモードで、ユーザマツトとユーザブートマツトの書き換えが可能です。

- 内蔵プログラムのダウンロードによる書き込み / 消去インタフェース

本LSIでは専用の書き込み / 消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードした後、引数パラメータを設定するだけで書き込み / 消去が可能です。さらに、ユーザブランチをサポートしています。

ユーザブランチ：

書き込み処理は128バイト単位で実施しますが、書き込みパルス印加、ベリファイ読み出しなどいくつかのステップから構成されています。消去も1分割ブロック単位で実施しますが、いくつかの処理ステップから構成されています。このステップの合間にユーザ処理ルーチンの実行が可能な設定を行うことができ、この設定をユーザブランチ付きと呼びます。

- 内蔵RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリと内蔵RAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

- プロテクトモード

レジスタ設定によるソフトウェアプロテクトと、FWE端子によるハードウェアプロテクトの2種類のモードがあり、フラッシュメモリの書き込み / 消去に対するプロテクト状態を設定することができます。

また、書き込み / 消去中の暴走などの異常発生を検出した場合、エラープロテクト状態に遷移し、書き込み / 消去処理を中断する機能があります。

- 書き込み / 消去時間

フラッシュメモリの書き込み時間は、128バイト同時書き込みにて t_{rms} (Typ.)、1バイト当たり換算にて $t_r/128ms$ 、消去時間はブロック当たり t_{es} (Typ.)です。

- 書き換え回数

フラッシュメモリの書き換えは、 N_{wec} まで可能です。

- 書き込み / 消去時の動作周波数

書き込み / 消去時の動作周波数は最大40MHz (P)です。

19.2 概要

19.2.1 ブロック図

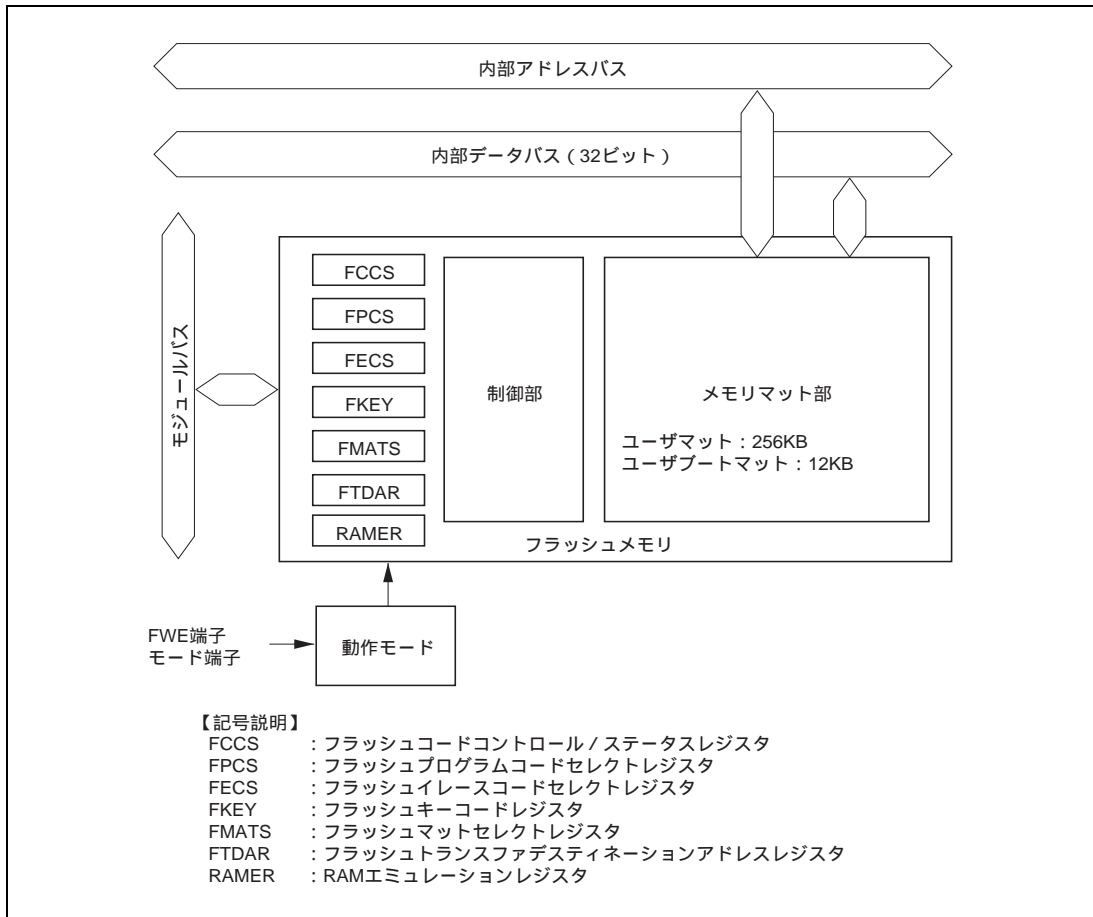


図 19.1 フラッシュメモリのブロック図

19.2.2 動作モード

リセット状態で各モード端子と FWE 端子を設定しリセットリリースすると、マイコンは図 19.2 に示すような各動作モードへ遷移します。各モード端子と FWE 端子の設定は、表 19.1 をご覧ください。

- ROM無効モードではフラッシュメモリの読み出し / 書き込み / 消去はできません。
また、書き込み / 消去インタフェースレジスタの書き込みはできません。読み出すと常にH00が読み出されます。
- ユーザモードではフラッシュメモリの読み出しはできますが、書き込み / 消去はできません。
- オンボードでフラッシュメモリの読み出し / 書き込み / 消去ができるのは、ユーザプログラムモード、ユーザブートモード、ブートモードです。
- ライターモードでは、PROMライターを利用してフラッシュメモリの読み出し / 書き込み / 消去を行います。

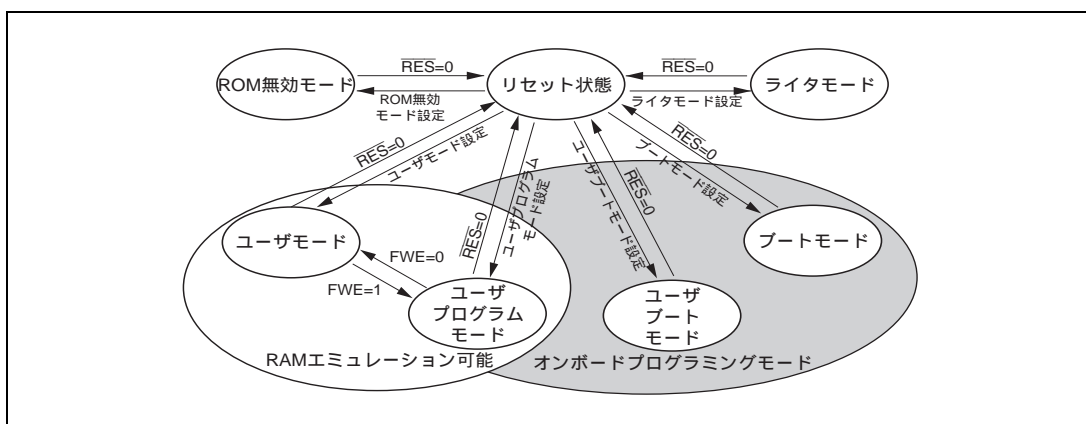


図 19.2 フラッシュメモリに関するモード遷移図

表 19.1 (1) FWE 端子、MD 端子設定と動作モード (SH7146 の場合)

端子	リセット 状態	ユーザモード	ユーザプログ ラムモード	ブートモード	ライタ モード
RES	0	1	1	1	専用の PROM ライタの条件 によります
FWE	0/1	0	1	1	
MD1	0/1	1	1	0	

【注】 * SH7146 では外部バス拡張モード、およびユーザブートモードはありません。

表 19.1 (2) FWE 端子、MD 端子設定と動作モード (SH7149 の場合)

端子	リセット 状態	ROM 無効 モード	ユーザ モード	ユーザプログ ラムモード	ユーザブート モード	ブート モード	ライタ モード
RES	0	1	1	1	1	1	専用の PROM ライタの条件 によります
FWE	0/1	0	0	1	1	1	
MD0	0/1	0/1* ¹	0/1* ²	0/1* ²	1	0	
MD1	0/1	0	1	1	0	0	

【注】 *1 MD0=0 : 8 ビット幅の外部バス、MD0=1 : 16 ビット幅の外部バス

*2 MD0=0 : 外部バス使用可能、MD0=1 : シングルチップモード (外部バス使用不可)

19.2.3 モード比較

ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードについての書き込み / 消去関連項目の比較表を表 19.2 に示します。

表 19.2 プログラミングモードの比較

	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード
書き込み / 消去環境	オンボードプログラミング			オフボードプログラミング
書き込み / 消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット
書き込み / 消去制御	コマンド方式	書き込み / 消去 インタフェース	書き込み / 消去 インタフェース	-
全面消去	(自動)			(自動)
ブロック分割消去	*1			×
書き込みデータ転送	ホストから SCI 経由	任意のデバイス から RAM 経由	任意のデバイス から RAM 経由	ライター経由
ユーザブランチ機能	×			×
RAM エミュレーション	×		×	×
リセットスタート時の起動 マット	組み込みプログラム 格納マット	ユーザマット	ユーザブート マット*2	組み込みプログラム 格納マット
ユーザモードへの遷移	モード設定変更 & リセット	FWE 設定変更	モード設定変更 & リセット	-

【注】 *1 いったん全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 いったん組み込みプログラム格納マットから起動し、フラッシュ関連レジスタのチェックが実行された後、ユーザブートマットのリセットベクタから起動します。

- ユーザブートマットの書き込み / 消去は、ブートモードとライターモードでのみ可能です。
- ブートモードでは、いったんユーザマットとユーザブートマットが全面消去されます。その後、コマンド方式でユーザマットまたはユーザブートマットの書き込みができますが、この状態になるまではマット内容の読み出しはできません。
- ユーザブートマットだけ書き込んでユーザマットの書き換えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマットだけ書き換えるなどの使い方が可能です。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

19.2.4 フラッシュメモリ構成

本 LSI のフラッシュメモリは、256KB のユーザマットと 12KB のユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2 つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS レジスタによるマット切り替えが必要です。

ユーザマット/ユーザブートマットの読み出しは ROM 有効モードであればどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードとライタモードでのみ可能です。

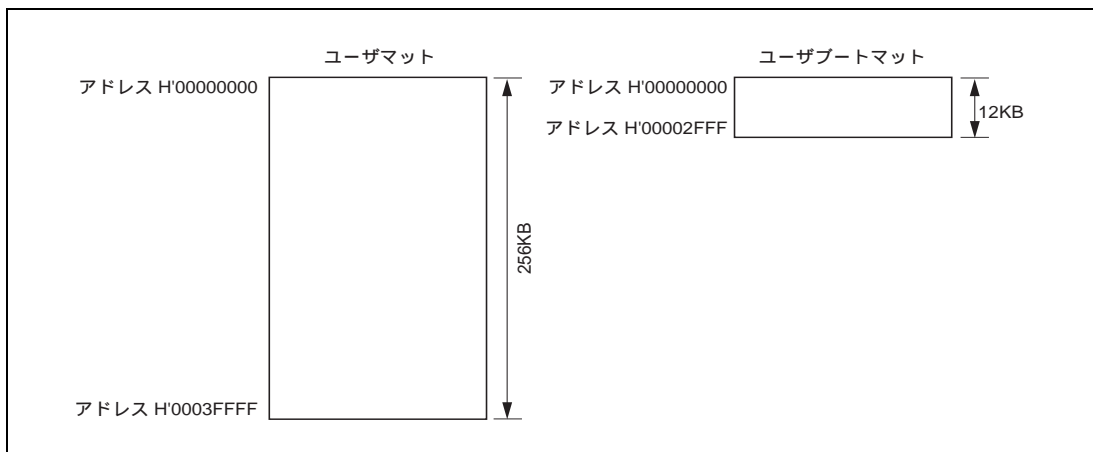


図 19.3 フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。12KB 以上の空間のユーザブートマットをアクセスしないようにしてください。12KB を超えるユーザブートマットを読み出した場合、不定値が読み出されます。

19.2.5 ブロック分割

ユーザマツトは、図 19.4 に示すように 64KB (3 ブロック)、32KB (1 ブロック)、4KB (8 ブロック) に分割されています。この分割ブロック単位に消去ができ、消去時に EB0 ~ EB11 の消去ブロック番号で指定します。

4KB 分割の 8 ブロックが RAM エミュレーション可能な領域です。

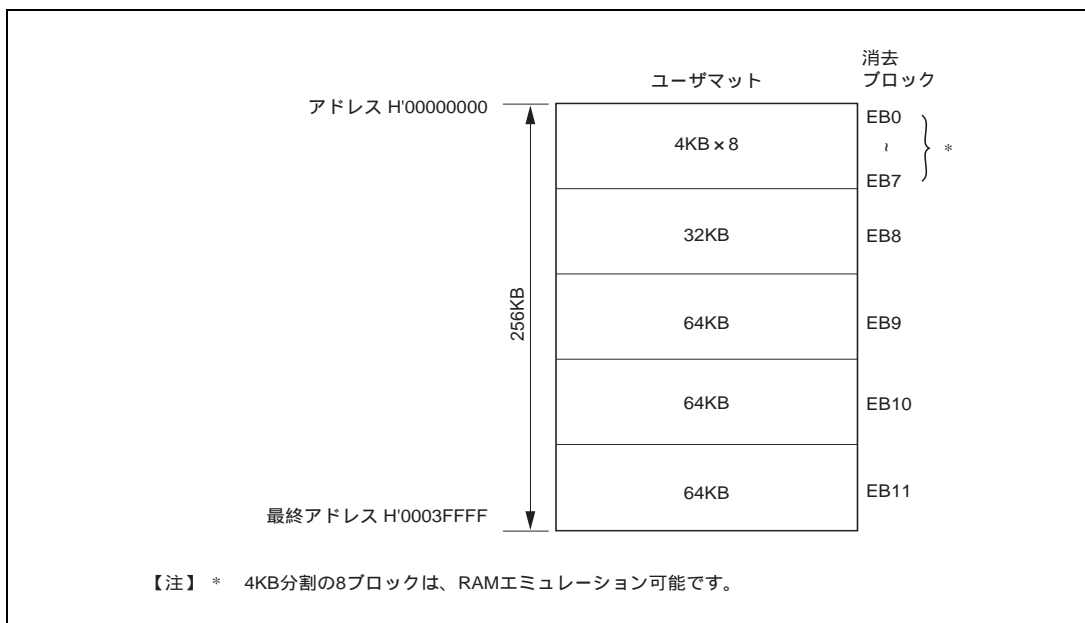


図 19.4 ユーザマツトのブロック分割

19.2.6 書き込み / 消去インタフェース

書き込み / 消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス / データ、消去ブロックなどをインタフェースレジスタ / パラメータで指定して行います。

ユーザプログラムモード / ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「19.5.2 ユーザプログラムモード」で説明します。

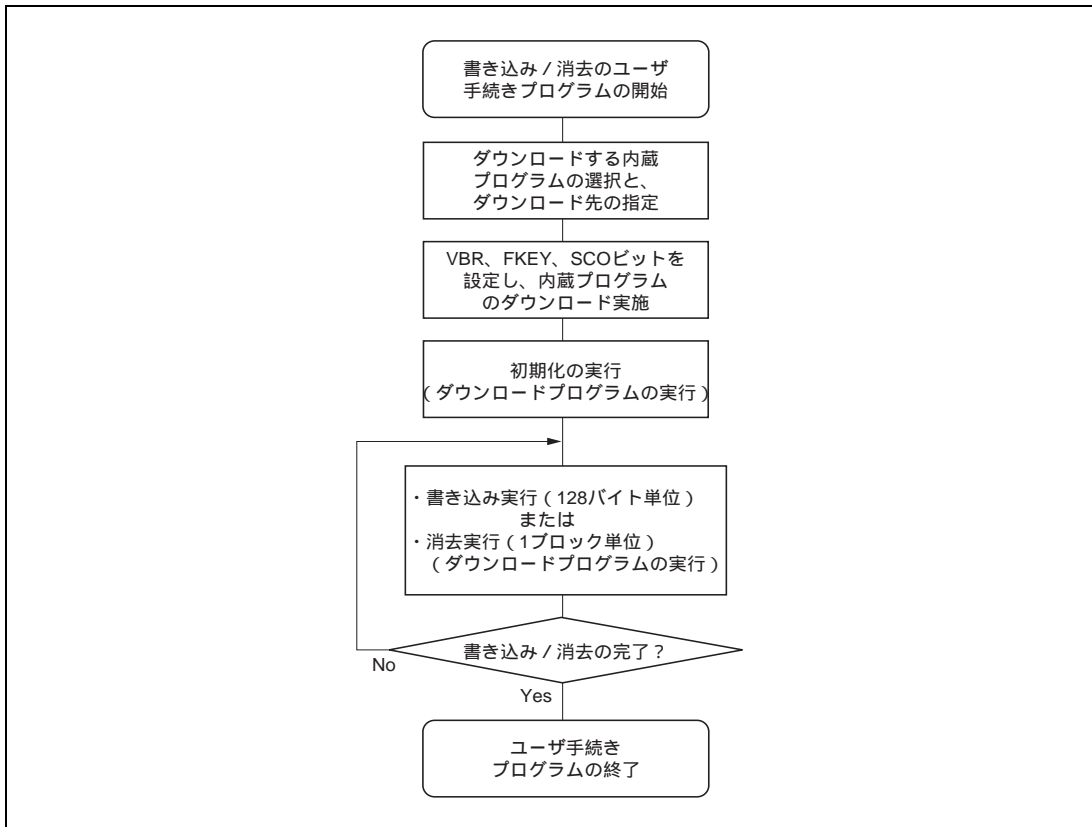


図 19.5 ユーザ手続きプログラムの概要

(1) ダウンロードする内蔵プログラムの選択とダウンロード先の指定

本 LSI には、書き込み関係 / 消去関係のプログラムが内蔵されており、内蔵 RAM 上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み / 消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスは FTDAR レジスタで指定することができます。

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、CPU の VBR レジスタを H'84000000 に設定後、書き込み / 消去インタフェースレジスタのフラッシュキーコードレジスタ (FKEY) とフラッシュコードコントロール / ステータスレジスタ (FCCS) の SCO ビットの設定を行うことで自動的に行われます。

ダウンロード中はフラッシュメモリマットが組み込みプログラム格納領域と入れ替わります。また、書き込み / 消去時はフラッシュメモリの読み出しはできないため、ダウンロード以降書き込み / 消去完了までの一連の手続きプログラムはフラッシュメモリ以外 (内蔵 RAM 上など) で実行するようにしてください。

ダウンロードの結果は、書き込み / 消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

なお、VBR は、ダウンロード終了後には、変更可能です。

(3) 書き込み / 消去の初期化

書き込み / 消去の実行前に、動作周波数とユーザブランチの設定を行います。ユーザブランチ先は内蔵フラッシュメモリ領域以外かつダウンロードされた内蔵プログラム領域以外としてください。これらの設定は書き込み / 消去インタフェースパラメータで行います。

(4) 書き込み / 消去の実行

書き込み / 消去を実施するためには、FWE 端子をハイレベルに設定しユーザプログラムモードにする必要があります。

書き込みでは書き込みデータ / 書き込み先アドレスの指定を 128 バイト単位で行います。

消去では消去ブロックの指定を 1 消去ブロック単位で行います。

これらの指定を書き込み / 消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み / 消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。

書き込み / 消去処理中の割り込み処理については、制限・注意点があります。詳細は「19.8.2 書き込み / 消去手続き実行中の割り込み」をご覧ください。

(5) 引き続き、書き込み / 消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で処理が終わらない場合、書き込みアドレス / データ、消去ブロック番号を更新して書き込み / 消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵 RAM 上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

19.3 入出力端子

フラッシュメモリは表 19.3 に示す端子により制御されます。

表 19.3 端子構成

名称	端子名	入出力	機能
パワーオンリセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュ書き換えのハードウェアプロテクト
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0*	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TXD1 (PA4)	出力	シリアル送信データ出力 (ブートモードで使用)
レシーブデータ	RXD1 (PA3)	入力	シリアル受信データ入力 (ブートモードで使用)

【注】 * SH7146 ではモード 0 はありません。

19.4 レジスタの説明

19.4.1 レジスタ一覧

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ/パラメータを表 19.4 に示します。

フラッシュメモリのアクセスには読み出しモード/書き込みモードなどいくつかの動作モードがあります。また、メモリマットもユーザマットとユーザブートマットがあり、それぞれの動作モード、マット選択で専用のレジスタ/パラメータが割り当てられています。動作モードと使用レジスタ/パラメータの対応表を表 19.5 に示します。

表 19.4 (1) レジスタ構成

レジスタ名	略称*4	R/W	初期値	アドレス	アクセスサイズ
フラッシュコードコントロール/ステータスレジスタ	FCCS	R、W*1	H'00*2 H'80*2	H'FFFFCC00	8
フラッシュプログラムコードセレクトレジスタ	FPCS	R/W	H'00	H'FFFFCC01	8
フラッシュイレースコードセレクトレジスタ	FECS	R/W	H'00	H'FFFFCC02	8
フラッシュキーコードレジスタ	FKEY	R/W	H'00	H'FFFFCC04	8
フラッシュマットセレクトレジスタ	FMATS	R/W	H'00*3 H'AA*3	H'FFFFCC05	8
フラッシュトランスファデスティネーションアドレスレジスタ	FTDAR	R/W	H'00	H'FFFFCC06	8
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFFFF108	16

- 【注】 *1 SCO ビット以外は、読み出し専用です。SCO ビットは、書き込み専用です（読み出しは、常に 0）。
- *2 FWE 端子にローレベルが入力されているときの FWE ビットの初期値は 0 です。
FWE 端子にハイレベルが入力されているときの FWE ビットの初期値は 1 です。
- *3 ユーザモード、ユーザプログラムモードで起動時の初期値は H'00 です。
ユーザブートモードで起動時の初期値は H'AA です。
- *4 RAMER レジスタを除くレジスタは、バイトアクセスのみ有効です。
RAMER レジスタは、バイト/ワードアクセスとも可能です。

表 19.4 (2) パラメータ構成

パラメータ名	略称	R/W	初期値	割り当て	アクセスサイズ
ダウンロードバスフェイルリザルト	DPFR	R/W	不定	内蔵 RAM*	8、16、32
フラッシュバスフェイルリザルト	FPFR	R/W	不定	CPU の R0	8、16、32
フラッシュマルチパーバスアドレスエリア	FMPAR	R/W	不定	CPU の R5	8、16、32
フラッシュマルチパーバスデータ デスティネーションエリア	FMPDR	R/W	不定	CPU の R4	8、16、32
フラッシュイレースブロックセレクト	FEBS	R/W	不定	CPU の R4	8、16、32
フラッシュプログラムイレース 周波数コントロール	FPEFEQ	R/W	不定	CPU の R4	8、16、32
フラッシュユーザブランチアドレスセット	FUBRA	R/W	不定	CPU の R5	8、16、32

- 【注】 * FTDAR レジスタで指定した内蔵 RAM エリアの先頭アドレスの 1 バイトが有効です。

表 19.5 使用レジスタ/パラメータと対象モード

		ダウン ロード	初期化	書き込み	消去	読み出し	RAM エミュ レーション
書き込み/消去 インタフェース レジスタ	FCCS		-	-	-	-	-
	FPCS		-	-	-	-	-
	PECS		-	-	-	-	-
	FKEY		-			-	-
	FMATS	-	-	(* ¹)	(* ¹)	(* ²)	-
	FTDAR		-	-	-	-	-
書き込み/消去 インタフェース パラメータ	DPFR		-	-	-	-	-
	FPFR	-				-	-
	FPEFEQ	-		-	-	-	-
	FUBRA	-		-	-	-	-
	FMPAR	-	-		-	-	-
	FMPDR	-	-		-	-	-
	FEBS	-	-	-		-	-
RAM エミュレーション	RAMER	-	-	-	-	-	

- 【注】 *1 ユーザブートモードでの、ユーザマットへの書き込み/消去時に設定が必要です。
- *2 起動モードと読み出し対象マットの組み合わせで設定が必要な場合があります。

19.4.2 書き込み / 消去インタフェースレジスタ

書き込み / 消去インタフェースレジスタについて説明します。すべて 8 ビットのレジスタでバイトアクセスのみ可能です。

(1) フラッシュコードコントロール / ステータスレジスタ (FCCS)

FCCS は、FWE 端子状態のモニタ、フラッシュメモリの書き込み / 消去実行中のエラー発生へのモニタ、および内蔵プログラムのダウンロードを要求するビットから構成されています。

ビット:	7	6	5	4	3	2	1	0
	FWE	MAT	-	FLER	-	-	-	SCO
初期値:	1/0	1/0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	(R)/W

ビット	ビット名	初期値	R/W	説明
7	FWE	1/0	R	フラッシュライトイネーブルビット FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトする FWE 端子に入力されているレベルをモニタするビットです。初期値は、FWE 端子状態により 0 または 1 になります。 0: FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態) 1: FWE 端子にハイレベルが入力されているとき
6	MAT	1/0	R	マットビット ユーザマット / ユーザブートマットのどちらが選択されているかを示すビットです。 0: ユーザマットが選択されているとき 1: ユーザブートマットが選択されているとき
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4	FLER	0	R	<p>フラッシュメモリエラー</p> <p>フラッシュメモリへの書き込み / 消去実行中にエラーが発生したことを示すビットです。FLER=1 にセットさせると、フラッシュメモリはエラープロテクト状態に遷移します。</p> <p>なお、FLER=1 になった場合は、フラッシュメモリ内部に高電圧が印加されていますので、フラッシュメモリへのダメージを低減するために、通常より長い 100μs のリセット入力期間の後にリセットリリースしてください。</p> <p>0: フラッシュメモリは正常に動作しています。フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) は無効</p> <p>[クリア条件]</p> <p>パワーオンリセットのとき</p> <p>1: フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効</p> <p>[セット条件]</p> <p>「19.6.3 エラープロテクト」を参照してください。</p>
3~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
0	SCO	0	(R)/W	<p>ソースプログラムコピーオペレーション</p> <p>内蔵の書き換え/消去プログラムを、内蔵 RAM にダウンロードする要求ビットです。本ビットに 1 を書き込むと、FPCS / FECS レジスタで選択した内蔵プログラムが、FTDAR レジスタで指定された内蔵 RAM の領域に自動的にダウンロードされます。本ビットに 1 を書き込むためには、RAM エミュレーション状態の解除、FKEY レジスタへの H'A5 の書き込み、および内蔵 RAM 上での実行が必要です。本ビットに 1 を書き込んだ直後には、4 個の NOP 命令を必ず実行するようにしてください。</p> <p>ダウンロード中の割り込みについては「19.8.2 書き込み/消去手続き実行中の割り込み」、ダウンロード時間については「19.8.3 その他のご注意」を参照してください。なお、ダウンロード完了時点では本ビットは 0 クリアされているため、本ビットの 1 状態を読み出すことはできません。</p> <p>SCO ビットによるダウンロードは、内蔵プログラム格納領域へのバンク切り替えを伴った特殊な割り込み処理を行いますので、ダウンロード要求 (SCO = 1 にする) 前に、VBR の値を H'84000000 に設定してください。VBR の設定を行わないと暴走します。ダウンロード完了が確認できたら、VBR の変更は可能です。また、SCO 機能を使用する場合は、FWE 端子がハイレベルのモードを使用してください。</p> <p>0 : 内蔵されている書き込み/消去プログラムの内蔵 RAM へのダウンロードは行いません。</p> <p>[クリア条件]</p> <p>ダウンロードが完了するとクリアされます。</p> <p>1 : 内蔵されている書き込み/消去プログラムの内蔵 RAM へのダウンロードリクエストが発生します。</p> <p>[セット条件]</p> <p>以下の条件がすべて満足されている状態で、1 を書き込んだとき</p> <ul style="list-style-type: none"> • FKEY レジスタに H'A5 が書かれていること • 内蔵 RAM 上で実行中であること • RAM エミュレーションモードではないこと (RAMER の RAMS = 0 であること)

(2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、書き込み関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PPVS
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PPVS	0	R/W	プログラムパルスシングル 書き込みプログラムを選択します。 0: 内蔵の書き込みプログラムを選択しません。 [クリア条件] 転送が終了するとクリアされます。 1: 内蔵の書き込みプログラムを選択します。

(3) フラッシュイレースコードセレクトレジスタ (FECS)

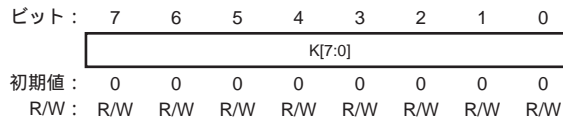
FECS は、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	EPVB
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	EPVB	0	R/W	イレースパルスベリファイブロック 消去プログラムを選択します。 0: 内蔵の消去プログラムを選択しません。 [クリア条件] 転送が終了するとクリアされます。 1: 内蔵の消去プログラムを選択します。

(4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロードとフラッシュメモリの書き込み / 消去を許可するソフトウェアプロテクトのレジスタです。内蔵プログラムのダウンロード実施のための SCO ビットへの 1 書き込み前、およびダウンロードした書き込み / 消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。



ビット	ビット名	初期値	R/W	説 明
7~0	K[7:0]	すべて 0	R/W	<p>キーコード</p> <p>H'A5 を書き込んだ場合にのみ、SCO ビットを書き込みが有効になります。H'A5 以外の値が FKEY レジスタに書かれている場合、SCO ビットに 1 を書き込むことができないため、内蔵 RAM へのダウンロードができません。</p> <p>H'5A を書き込んだ場合のみ、フラッシュメモリの書き込み / 消去が可能になります。内蔵の書き込み / 消去プログラムを実行しても、H'5A 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み / 消去はできません。</p> <p>H'A5: SCO ビットを書き込みを許可します。(H'A5 以外では SCO ビットのセットはできません)</p> <p>H'5A: 書き込み / 消去を許可します。(H'5A 以外ではソフトウェアプロテクト状態)</p> <p>H'00: 初期値</p>

(5) フラッシュマツトセレクトレジスタ (FMATS)

FMATS は、ユーザマツト/ユーザブツトマツトのどちらを選択するかを指定するレジスタです。

ビット: 7 6 5 4 3 2 1 0

MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0
-----	-----	-----	-----	-----	-----	-----	-----

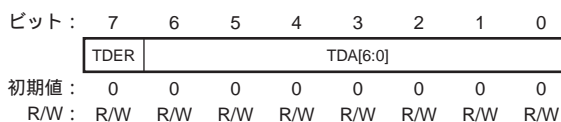
初期値: 0/1 0 0/1 0 0/1 0 0/1 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7	MS7	0/1	R/W	マツトセレクト
6	MS6	0	R/W	<p>H'AA 以外の場合はユーザマツト選択状態、H'AA が書かれている状態はユーザブツトマツト選択状態です。内蔵 RAM 上での命令で FMATS に値を書き込むことによりマツト切り替えが発生します。</p> <p>マツト切り替えは、必ず「19.8.1 ユーザマツトとユーザブツトマツトの切り替え」に従ってください。(ユーザプログラムモードでのユーザブツトマツトの書き換えは、FMATS でユーザブツトマツトを選択してもできません。ユーザブツトマツトの書き換えは、ブツトモードかライタモードで実施してください)</p> <p>H'AA : ユーザブツトマツトを選択します。(H'AA 以外ではユーザマツト選択状態となります)ユーザブツトモードで起動した場合の初期値です。</p> <p>H'00 : ユーザブツトモード以外で起動した場合の初期値です。(ユーザマツト選択状態です)</p> <p>【注】 [書き込み可能条件] 内蔵 RAM 上での実行状態であること</p>
5	MS5	0/1	R/W	
4	MS4	0	R/W	
3	MS3	0/1	R/W	
2	MS2	0	R/W	
1	MS1	0/1	R/W	
0	MS0	0	R/W	

(6) フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。

FCCS レジスタの SCO ビットに 1 を書き込む前に、本レジスタの設定を行ってください。初期値は H'00 で、内蔵 RAM のアドレス (H'FFFF9000) を示しています。



ビット	ビット名	初期値	R/W	説明
7	TDER	0	R/W	<p>トランスファデスティネーションアドレス設定エラー</p> <p>ビット 6~0 (TDA6~TDA0) で指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセットされます。アドレス指定のエラー判定は、FCCS レジスタの SCO ビットを 1 にして、ダウンロード処理が実行されたときに、TDA6~TDA0 の値が H'00~H'02 の範囲にあるかどうかを判定します。SCO ビットを 1 に設定する前に、FTDAR レジスタの値を本ビットの値を 0 にすることも含めて、H'00~H'02 の範囲に設定してください。</p> <p>0: TDA6~TDA0 の設定は、正常値</p> <p>1: TDER、TDA6~TDA0 の設定値が H'03~H'FF であり、ダウンロードは中断したことを示します。</p>
6~0	TDA[6:0]	すべて 0	R/W	<p>トランスファデスティネーションアドレス</p> <p>ダウンロード先頭アドレスを指定します。設定可能な値は H'00~H'02 で、2KB 単位で内蔵 RAM 上のダウンロード先頭アドレスを指定できます。</p> <p>H'03~H'7F の値を設定しないでください。この値が設定された場合、ダウンロード処理において、本レジスタのビット 7: TDER を 1 に設定し、内蔵プログラムのダウンロードは実行されません。</p> <p>H'00: ダウンロード先頭アドレスを H'FFFF9000 に設定</p> <p>H'01: ダウンロード先頭アドレスを H'FFFF9800 に設定</p> <p>H'02: ダウンロード先頭アドレスを H'FFFFA000 に設定</p> <p>H'03~H'7F: 設定しないでください。設定された場合、ダウンロードにおいてビット 7: TDER が 1 になり、ダウンロード処理は中断されます。</p>

19.4.3 書き込み / 消去インタフェースパラメータ

書き込み / 消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、ユーザブランチ先アドレス、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果をやりとりするものです。このパラメータは、CPU の汎用レジスタ (R4、R5 と R0) や内蔵 RAM 領域を使用します。初期値は不定です。

ダウンロードではすべての CPU のレジスタは保存され、初期化、内蔵プログラム実行では、R0 以外の CPU のレジスタが保存されます。R0 は、処理結果の戻り値が記入されます。レジスタの保存やワーク領域としてスタック領域を使用しますので、処理開始においてはスタック領域の確保をお願いします。(使用スタック領域サイズは、最大 128 バイトです)

書き込み / 消去インタフェースパラメータは、次の 4 項目で使用します。

1. ダウンロード制御
2. 書き込み / 消去実行前の初期化実行
3. 書き込み実行
4. 消去実行

それぞれごとに使用するパラメータは異なります。対応表を表 19.6 に示します。

ここで、FPFR パラメータは初期化処理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明の部分をご覧ください。

表 19.6 使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードバスフェイルリザルト	DPFR		-	-	-	R/W	不定	内蔵 RAM*
フラッシュバスフェイルリザルト	FPFR	-				R/W	不定	CPU の R0
フラッシュプログラムイレース周波数コントロール	FPEFEQ	-		-	-	R/W	不定	CPU の R4
フラッシュユーザブランチアドレスセット	FUBRA	-		-	-	R/W	不定	CPU の R5
フラッシュマルチパーパスアドレスエリア	FMPAR	-	-		-	R/W	不定	CPU の R5
フラッシュマルチパーパスデータデスティネーションエリア	FMPDR	-	-		-	R/W	不定	CPU の R4
フラッシュイレースブロックセレクト	FEBS	-	-	-		R/W	不定	CPU の R4

【注】 * FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

(1) ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は、FTDAR レジスタで指定した先頭アドレスから 3KB 分の領域です。内蔵 RAM のアドレスマップについては、図 19.10 を参照してください。

ダウンロード制御は先述の書き込み / 消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されます。

- ダウンロードパスフェイルリザルトパラメータ (DPFR : FTDARレジスタで指定した内蔵RAMの先頭アドレス1バイト)

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断してください。SCOビットを1にできたかの確認ができないため、ダウンロード開始前 (SCOビットを1にセットする前) に、FTDARレジスタで指定した内蔵RAMの先頭アドレスの1バイトをダウンロードの戻り値以外 (H'FF など) にして、確実な判断ができるようにしてください。ダウンロード結果のチェック方法については「19.5.2 (2.5)」項もご覧ください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	SS	FK	SF
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	不定	R/W	未使用ビット 値 0 が戻されます。
2	SS	不定	R/W	ソースセレクトエラー検出ビット 1回の操作では、ダウンロード可能な内蔵プログラムは1種類のみ指定できません。2種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。 0 : ダウンロードプログラムの選択は正常 1 : ダウンロードエラー発生 (多重選択または、マッピングされていない選択が行われた)
1	FK	不定	R/W	フラッシュキーレジスタエラー検出ビット FKEY レジスタの値が、H'A5 であるかどうかをチェックした結果を返すビットです。 0 : FKEY レジスタの設定値は正常 (FKEY = H'A5) 1 : FKEY レジスタの設定値エラー (FKEY は H'A5 以外の値)
0	SF	不定	R/W	サクセス / フェイルビット ダウンロードが正常に終了したかどうかを戻すビットです。 0 : ダウンロードは正常終了 (エラーなし) 1 : ダウンロードが異常終了 (エラーが発生している)

(2) 書き込み / 消去の初期化

ダウンロードされる書き込み / 消去の内蔵プログラムには、初期化プログラムも含まれています。

書き込み / 消去では決められた時間幅のウェイトループを CPU 命令で構成しています。このため、CPU の動作周波数を設定する必要があります。また、ユーザブランチ機能をサポートしていますので、ユーザブランチ先アドレスの設定も必要です。

これらの設定をダウンロードした書き込み / 消去プログラムのパラメータとして設定するのが初期化プログラムです。

- フラッシュプログラムイレース周波数コントロールパラメータ (FPEFEQ : CPUの汎用レジスタR4)

CPUの動作周波数を設定するパラメータです。

本LSIの動作周波数範囲は、「表24.4 最大動作周波数」をご覧ください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	F0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	不定	R/W	未使用ビット 値 0 を設定してください。
15~0	F15~F0	不定	R/W	周波数設定ビット CPUの動作周波数を設定します。設定値は以下のように算出してください。 <ol style="list-style-type: none"> 1. MHz 単位で表現した動作周波数を小数点第 3 位で四捨五入し、小数点第 2 位までとする。 2. 100 倍した値を 2 進数に変換し、FPEFEQ パラメータ (汎用レジスタ R4) に書き込む。具体例として、CPU の動作周波数が 28.882MHz の場合には、以下のようになります。 3. 28.882 の小数点第 3 位を四捨五入し、28.88。 4. $28.88 \times 100 = 2888$ を 2 進数変換し、B'0000、B'1011、B'0100、B'1000 (H'0B48) を R4 に設定。

• フラッシュユーザブランチアドレスセットパラメータ (FUBRA : CPUの汎用レジスタR5)

ユーザブランチ先のアドレスを設定するパラメータです。書き込み / 消去実行時のある決まった処理単位ごとに、設定したユーザプログラムを実行することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	UA31	UA30	UA29	UA28	UA27	UA26	UA25	UA24	UA23	UA22	UA21	UA20	UA19	UA18	UA17	UA16
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UA15	UA14	UA13	UA12	UA11	UA10	UA9	UA8	UA7	UA6	UA5	UA4	UA3	UA2	UA1	UA0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	UA31 ~ UA0	不定	R/W	<p>ユーザブランチ先アドレス</p> <p>ユーザブランチが必要ない場合には、H'00000000 を設定してください。ユーザブランチ先は、内蔵フラッシュメモリ以外または内蔵プログラムが転送されている RAM 領域以外または外部バス空間としてください。実行コードのない領域にブランチして暴走しないように注意し、内蔵プログラムのダウンロード領域やスタック領域を破壊しないようにしてください。暴走やダウンロード領域 / スタック領域の破壊が発生した場合フラッシュメモリの値の保証ができません。ユーザブランチ先の処理では、内蔵プログラムのダウンロード、初期化、書き込み / 消去プログラムを起動しないでください。ユーザブランチ先から復帰時の書き込み / 消去の保証ができません。また、すでに準備していた書き込みデータを書き換えないでください。</p> <p>汎用レジスタ R8 から R15 は保存してください。汎用レジスタ R0 から R7 は保存せずに使うことができます。</p> <p>さらに、ユーザブランチ先の処理で書き込み / 消去インタフェースレジスタの書き換えや、RAM エミュレーションモードへの遷移を行わないでください。</p> <p>ユーザブランチ処理終了後は、RTS 命令で書き込み / 消去プログラムに戻ってください。</p> <p>ユーザブランチ処理の実行間隔については「19.8.3 (2) ユーザブランチ処理の間隔」をご覧ください。</p>

• フラッシュパスフェイルリザルトパラメータ (FPFR : CPUの汎用レジスタR0)

ここでは初期化処理結果の戻り値としてのFPFRについて説明します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	BR	FQ	SF
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	不定	R/W	未使用ビット 値0が戻されます。
2	BR	不定	R/W	ユーザブランチエラー検出ビット 指定されたユーザブランチ先アドレスが、ダウンロードされている書き込み / 消去関係プログラムの格納領域以外であるかをチェックした結果を戻します。 0 : ユーザブランチアドレス設定は正常値 1 : ユーザブランチアドレス設定が異常値
1	FQ	不定	R/W	周波数エラー検出ビット 指定された CPU 動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。 0 : 動作周波数の設定は正常値 1 : 動作周波数の設定が異常値
0	SF	不定	R/W	サクセス / フェイルビット 初期化が正常に終了したかどうかを戻すビットです。 0 : 初期化は正常終了 (エラーなし) 1 : 初期化が異常終了 (エラーが発生している)

(3) 書き込み実行

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡すことが必要です。

1. ユーザマット上の書き込み先の先頭アドレスを汎用レジスタR5に設定してください。このパラメータをFMPAR(フラッシュマルチパースアドレスエリアパラメータ)と呼びます。
書き込みデータは常に128バイト単位ですので、ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位8ビット(A7~A0)が、H'00またはH'80のいずれかとしてください。
2. ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータはCPUのMOV.B命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。
書き込みたいデータが128バイトに満たない場合でも、ダミーコード(H'FF)を埋め込んで128バイトの書き込みデータを準備してください。
準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタR4に設定してください。このパラメータをFMPDR(フラッシュマルチパースデータデスティネーションエリアパラメータ)と呼びます。

書き込み処理のための手続きの詳細については、「19.5.2 ユーザプログラムモード」で述べます。

- フラッシュマルチパースアドレスエリアパラメータ(FMPAR: CPUの汎用レジスタR5)

ユーザマット上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは128バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーはFPFRパラメータのビット1:WAビットに反映されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MOA31	MOA30	MOA29	MOA28	MOA27	MOA26	MOA25	MOA24	MOA23	MOA22	MOA21	MOA20	MOA19	MOA18	MOA17	MOA16
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MOA15	MOA14	MOA13	MOA12	MOA11	MOA10	MOA9	MOA8	MOA7	MOA6	MOA5	MOA4	MOA3	MOA2	MOA1	MOA0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MOA31~MOA0	不定	R/W	MOA31~MOA0 ユーザマット上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマットの先頭アドレスから連続128バイトの書き込みが行われます。よって、指定する書き込み先の先頭アドレスは128バイト境界となり、MOA6~MOA0は常に0になります。

- フラッシュマルチパスデータデスティネーションエリアパラメータ (FMPDR : CPUの汎用レジスタR4)
ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーは、FPFRパラメータのビット2 : WDビットに反映されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MOD31	MOD30	MOD29	MOD28	MOD27	MOD26	MOD25	MOD24	MOD23	MOD22	MOD21	MOD20	MOD19	MOD18	MOD17	MOD16
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MOD15	MOD14	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MOD31~MOD0	不定	R/W	MOD31~MOD0 ユーザマットへの書き込みデータが格納されている領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに書き込まれます。

- フラッシュパスフェイルリザルトパラメータ (FPFR : CPUの汎用レジスタR0)

ここでは書き込み処理結果の戻り値としてのFPFRについて説明します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	MD	EE	FK	-	WD	WA	SF
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	不定	R/W	未使用ビット 値 0 が戻されます。

ビット	ビット名	初期値	R/W	説明
6	MD	不定	R/W	書き込みモード関連設定エラー検出ビット FWE 端子への入力値がハイレベルであることと、エラープロテクト状態でないことのチェック結果を返します。 FWE 端子がローレベルであったり、エラープロテクト状態になっている場合、1が書き込まれます。これらの状態は、FCCS レジスタのビット7: FWE や、ビット4: FLER の各ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「19.6.3 エラープロテクト」を参照してください。 0: FWE、FLER 状態は正常 (FWE=1、FLER=0) 1: FWE=0、または FLER=1 であり、書き込みできない状態
5	EE	不定	R/W	書き込み実行時エラー検出ビット ユーザマットが消去されていないために、指定データを書き込めなかったり、ユーザランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。これらが原因で、本ビットが1になった場合、ユーザマットは途中で書き換えられている可能性が高いため、エラーになる原因を取り除いた後、消去から実施しなおしてください。また、FMATS レジスタの値がH'AA となっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、書き換えられてはいません。 ユーザブートマットの書き込みは、ブートモードまたはライターモードで実施してください。 0: 書き込み処理は正常終了 1: 書き込み処理が異常終了 (書き込み結果は保証できない)
4	FK	不定	R/W	フラッシュキーレジスタエラー検出ビット 書き込み処理開始前に FKEY レジスタの値をチェックした結果を戻します。 0: FKEY レジスタの設定値は正常 (FKEY = H'5A) 1: FKEY レジスタの設定値エラー (FKEY は H'5A 以外の値)
3	-	不定	R/W	未使用ビット 値0が戻されます。
2	WD	不定	R/W	ライトデータアドレスエラー検出ビット 書き込みデータの格納先の先頭アドレスとして、フラッシュメモリ領域のアドレスが指定された場合にはエラーとなります。 0: 書き込みデータアドレス設定は正常値 1: 書き込みデータアドレス設定が異常値
1	WA	不定	R/W	ライトアドレスエラー検出ビット 書き込み先の先頭アドレスとして、以下が指定された場合にはエラーとなります。 • フラッシュメモリの領域以外が書き込み先アドレスとして指定された場合 • 指定されたアドレスが、128 バイト境界でない (A6~A0 が0でない) 場合 0: 書き込み先アドレスの設定は正常値 1: 書き込み先アドレスの設定が異常値

ビット	ビット名	初期値	R/W	説明
0	SF	不定	R/W	サクセス/フェイルビット 書き込み処理が正常に終了したかどうかを戻すビットです。 0: 正常終了(エラーなし) 1: 異常終了(エラーが発生している)

(4) 消去実行

フラッシュメモリの消去実行においては、ユーザマット上の消去ブロック番号をダウンロードした消去プログラムに渡すことが必要です。これを、FEBS パラメータ (汎用レジスタ R4) に設定します。

0~15 のブロック番号から 1 ブロックを指定します。

消去処理のための手続きの詳細については、「19.5.2 ユーザプログラムモード」で述べます。

- フラッシュイレースブロックセレクトパラメータ (FEBS : CPUの汎用レジスタR4)

消去ブロック番号を指定します。複数のブロック番号の指定はできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	EBS[7:0]							
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	不定	R/W	未使用ビット 値 0 を設定してください。
7~0	EBS[7:0]	不定	R/W	0~11 の範囲で消去ブロック番号を設定します。0 は EB0 ブロック、11 は EB11 ブロックに対応します。0~11 (H'00~H'0B) 以外の設定ではエラーになります。

• フラッシュパスフェイルリザルトパラメータ (FPFR : CPUの汎用レジスタR0)

ここでは消去処理結果の戻り値としてのFPFRについて説明します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	MD	EE	FK	EB	-	-	SF
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	不定	R/W	未使用ビット 値0が戻されます。
6	MD	不定	R/W	消去モード関連設定エラー検出ビット FWE 端子への入力値がハイレベルであることと、エラープロテクト状態でないことのチェック結果を返します。FWE 端子がローレベルであったり、エラープロテクト状態になっている場合、1が書き込まれます。これらの状態は、FCCS レジスタのビット7 : FWE や、ビット4 : FLER の各ビットで確認できます。 なお、エラープロテクト状態への遷移条件につきましては、「19.6.3 エラープロテクト」を参照してください。 0 : FWE、FLER 状態は正常 (FWE=1、FLER=0) 1 : FWE=0、または FLER=1 であり、消去できない状態
5	EE	不定	R/W	消去実行時エラー検出ビット ユーザマットの消去ができなかったり、ユーザブランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。これらが原因で、本ビットが1になった場合、ユーザマットは途中まで消去されている可能性が高いため、エラーになる原因を取り除いた後、再度消去を実施しなおしてください。 また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、消去されはしません。ユーザブートマットの消去は、ブートモードまたはライターモードで実施してください。 0 : 消去処理は正常終了 1 : 消去処理が異常終了 (消去結果は保証できない)
4	FK	不定	R/W	フラッシュキーレジスタエラー検出ビット 消去処理開始前に FKEY レジスタの値をチェックした結果を戻します。 0 : FKEY レジスタの設定値は正常 (FKEY = H'5A) 1 : FKEY レジスタの設定値エラー (FKEY は H'5A 以外の値)

ビット	ビット名	初期値	R/W	説明
3	EB	不定	R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかのチェック結果です。 0：消去ブロック番号の設定は正常値 1：消去ブロック番号の設定が異常値
2、1	-	不定	R/W	未使用ビット 値0が戻されます。
0	SF	不定	R/W	サクセス/フェイルビット 消去処理が正常に終了したかどうかを戻すビットです。 0：正常終了（エラーなし） 1：異常終了（エラーが発生している）

19.4.4 RAM エミュレーションレジスタ (RAMER)

RAMER は、ユーザマットのリアルタイムな書き換えをエミュレートするときに、内蔵 RAM の一部と重ね合わせるユーザマットのエリアを設定するレジスタです。RAM エミュレーションはユーザモード、ユーザプログラムモードで行ってください。

ユーザマットエリアの分割法は、表 19.7 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象マットをアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	RAMS	RAM[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	RAMS	0	R/W	RAM セレクト RAM によるユーザマットのエミュレーション選択/非選択を設定するビットです。RAMS=1 のときは、ユーザマット全ブロックが書き込み/消去プロテクト状態となります。 0：エミュレーション非選択 ユーザマット全ブロックの書き込み/消去プロテクト無効 1：エミュレーション選択 ユーザマット全ブロックの書き込み/消去プロテクト有効
2~0	RAM[2:0]	000	R/W	ユーザマットエリア選択 ビット3とともに使用し、内蔵 RAM と重ね合わせるユーザマットのエリアを選択します。（表 19.7 参照）

表 19.7 RAM エリアとユーザマットエリアの重ね合わせ

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFFFFFA000 ~ H'FFFFFFAFFF	RAM エリア (4KB)	0	x	x	x
H'00000000 ~ H'00000FFF	EB0 (4KB)	1	0	0	0
H'00001000 ~ H'00001FFF	EB1 (4KB)	1	0	0	1
H'00002000 ~ H'00002FFF	EB2 (4KB)	1	0	1	0
H'00003000 ~ H'00003FFF	EB3 (4KB)	1	0	1	1
H'00004000 ~ H'00004FFF	EB4 (4KB)	1	1	0	0
H'00005000 ~ H'00005FFF	EB5 (4KB)	1	1	0	1
H'00006000 ~ H'00006FFF	EB6 (4KB)	1	1	1	0
H'00007000 ~ H'00007FFF	EB7 (4KB)	1	1	1	1

【注】 x : Don't care

19.5 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去を行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはユーザプログラムモードとユーザブートモード、ブートモードの3種類の動作モードがあります。

各モードへ遷移する端子の設定方法は、表 19.1 をご覧ください。また、フラッシュメモリに対する各モードへの状態遷移図は図 19.2 を参照してください。

19.5.1 ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み/消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ビットレートの自動調整実施後、制御コマンド方式でホストとの通信を行います。

図 19.6 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 19.1 をご覧ください。ブートモードでの NMI およびその他の割り込みは無視されますが、発生させないようにしてください。また、ブートモード動作中は AUD は使用できませんのでご注意ください。

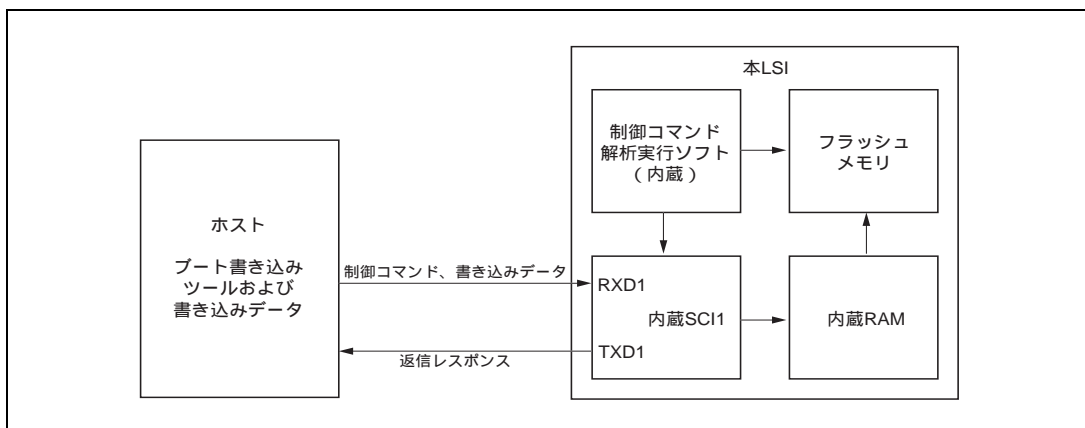


図 19.6 ブートモード時のシステム構成図

(1) ホストの SCI インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 送信 / 受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図 (H'00 を 1 バイト) をホストへ送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 9,600bps または 19,200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 19.8 に示します。このシステムクロックの範囲内でブートモードを起動してください。なお、ブートモードでは、各内部クロックの分周率が $\times 1/3$ 倍の設定はサポートしていません。

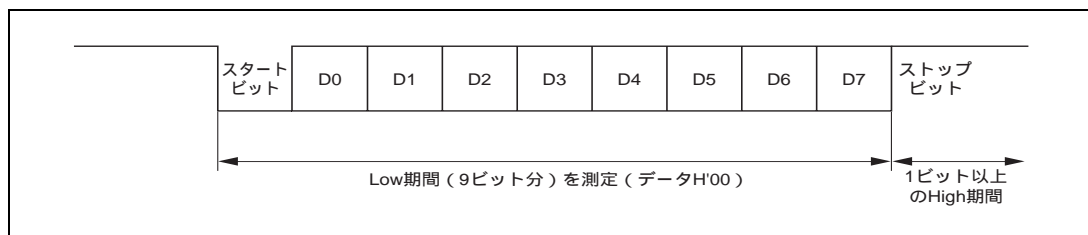


図 19.7 SCI ビットレートの自動合わせ込み動作

表 19.8 本 LSI の自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能な 周辺クロック (P) の周波数
9,600bps	10 ~ 40MHz
19,200bps	10 ~ 40MHz

【注】 ブートモードでは、各内部クロックの分周率が $\times 1/3$ 倍の設定はサポートしていません。

(2) 状態遷移図

ブートモード起動後の状態遷移図の概要を図 19.8 に示します。ブートモードについての詳細は、「19.9.1 ブートモードの標準シリアル通信インタフェース仕様」を参照してください。

1. ビットレート合わせ込み

ブートモード起動後、ホストとのSCIインタフェースのビットレート合わせ込みを行います。

2. 問い合わせ選択コマンド待ち

ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート情報などの問い合わせに対して、必要情報をホストに送信します。

3. 全ユーザマットおよびユーザブートマットの自動消去

問い合わせ選択が完了し、書き込み消去ステータス遷移コマンドを送信すると、すべてのユーザマットとユーザブートマットを自動消去します。

4. 書き込み/消去コマンド待ち

- 「書き込み選択コマンド」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスをHFFFFFFFと設定して送信してください。これにより書き込みデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。
- 「消去選択コマンド」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号をHFFと設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードでいったん書き込んだ後に、リセットスタートせずに特定のブロックのみを書き換える場合に使用してください。1回の操作で書き込みができる場合には、書き込み/消去/他コマンド待ち状態に遷移する前に全ブロックの消去が行われていますので、本消去操作は必要ありません。
- 書き込み/消去以外に、ユーザマット/ユーザブートマットのサムチェック、ユーザマット/ユーザブートマットのブランクチェック(消去チェック)、ユーザマット/ユーザブートマットのメモリリード、および現在のステータス情報の取得のコマンドがあります。

ユーザマット/ユーザブートマットのメモリ読み出しは、すべてのユーザマット/ユーザブートマットを自動消去した後に書き込んだデータについての読み出ししかできませんのでご注意ください。

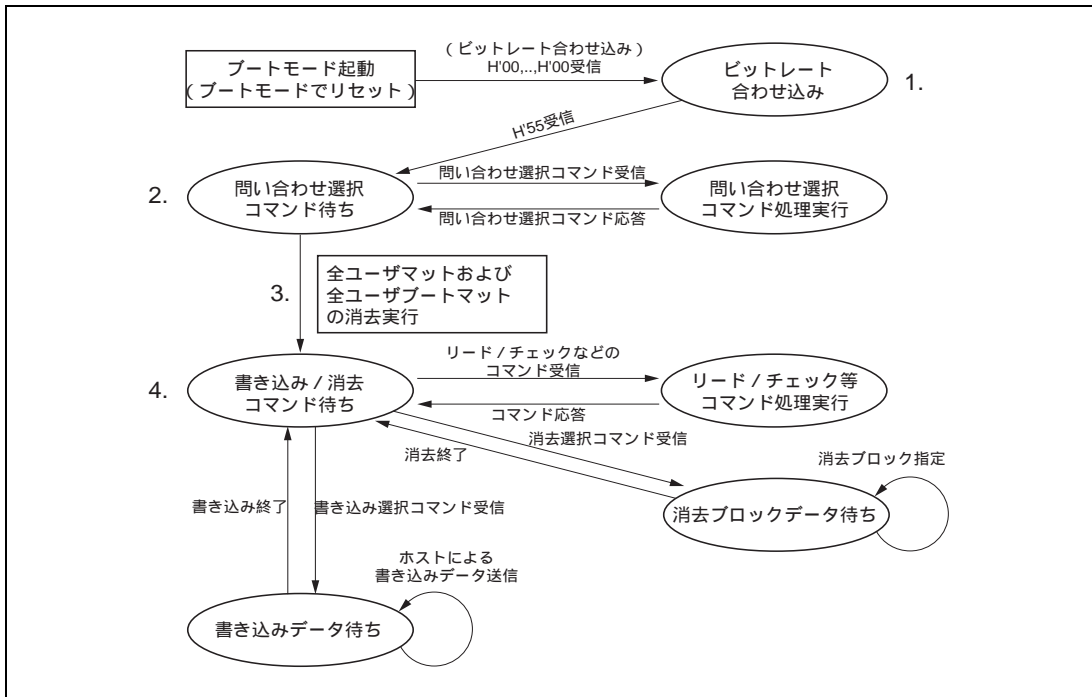


図 19.8 ブートモードの状態遷移の概略図

19.5.2 ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み/消去ができます。(ユーザブートマットの書き込み/消去はできません。)

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み/消去を実施します。

概略フローを図 19.9 に示します。

なお、書き込み/消去処理中はフラッシュメモリ内部には高電圧が印加されていますので、書き込み/消去処理中にはリセットへの遷移は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、100 μ s の通常より長いリセット入力期間のあとにリセットリソースしてください。

書き込み手順につきましては、後述「(2) ユーザプログラムモードでの書き込み手順」を、消去手順につきましては「(3) ユーザプログラムモードでの消去手順」をご覧ください。

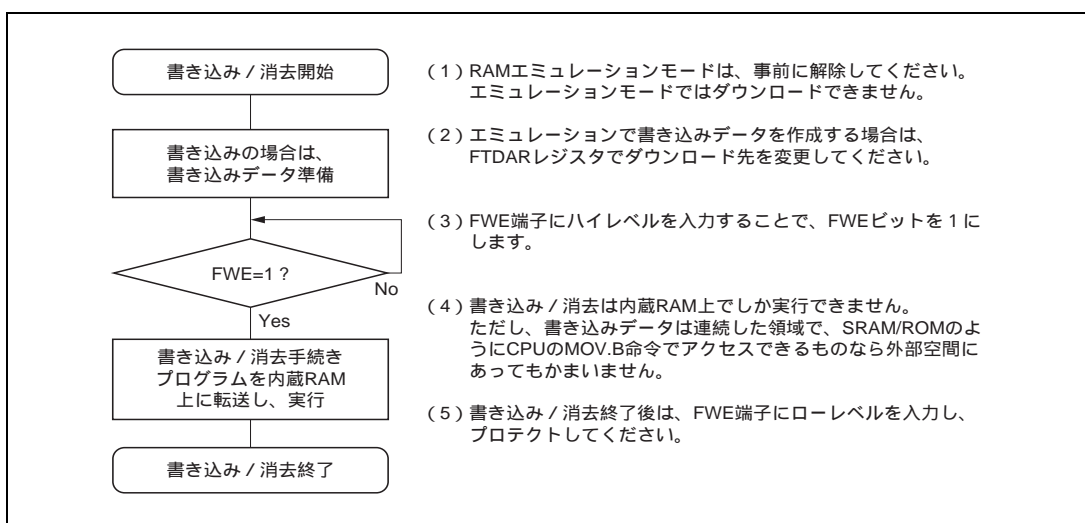


図 19.9 書き込み/消去概略フロー

(1) 書き込み / 消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み / 消去の手順、結果の判定などのユーザで作成してもらう手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複することのないように、内蔵 RAM 上の領域管理に気を付けてください。

図 19.10 にダウンロードされるプログラムの領域を示します。

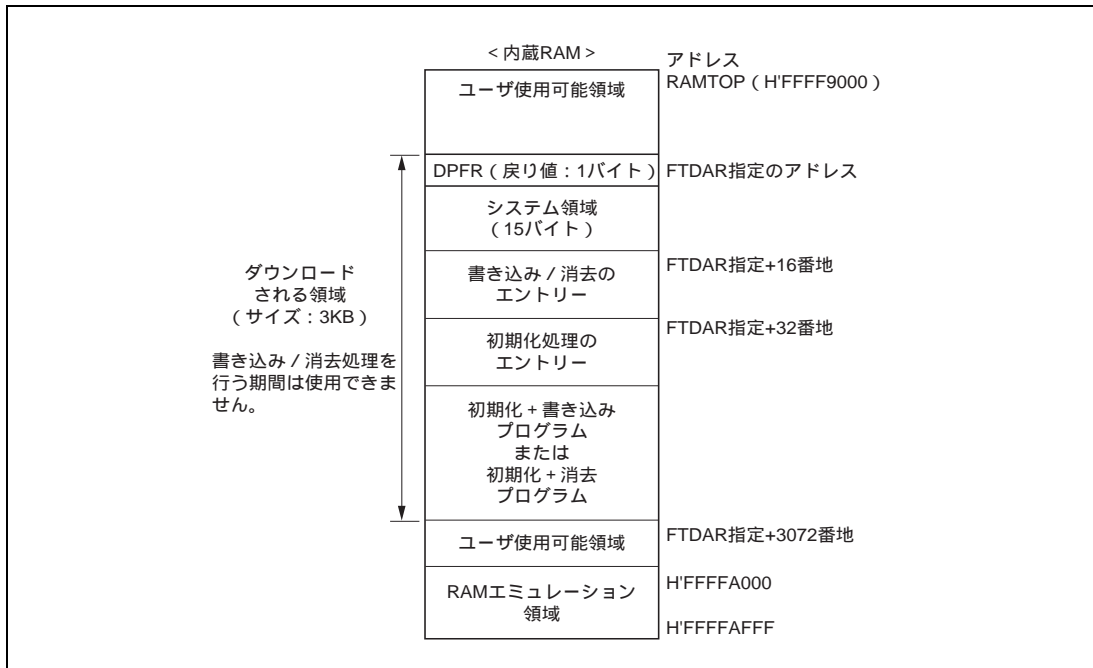


図 19.10 ダウンロード後の内蔵 RAM マップ

(2) ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を図 19.11 に示します。

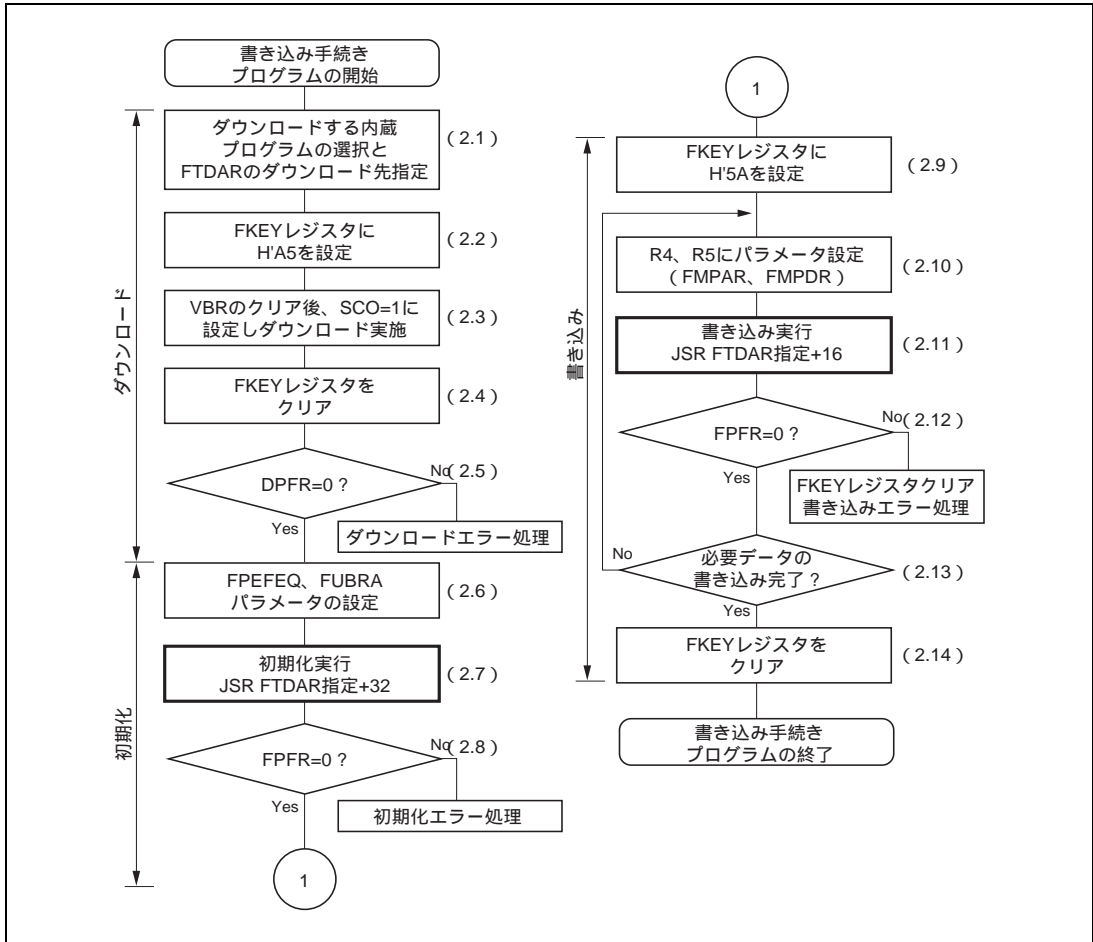


図 19.11 書き込み手順

書き込み手順の詳細を説明します。手続きプログラムは、書き込み対象のフラッシュメモリ以外で実行してください。特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で実行するようにしてください。また、周波数制御レジスタ (FRQCR) による内部クロック (I)、バスクロック (B)、周辺クロック (P) の分周率の設定は、すべて 1/4 (初期値)としてください。

書き込み / 消去プログラムのダウンロードが終了し、SCO ビットが 0 にクリアされた後は、周波数制御レジスタ (FRQCR) の設定は任意の値に変更可能です。

ユーザの手続きプログラムのステップごとの実行可能な領域 (内蔵 RAM、ユーザマツト、外部空間など) を「19.9.2 手順プログラム、または書き込みデータの格納可能領域」に示します。

以下の説明は、ユーザマツト上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できているという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 128 バイトの書き込みを行います。128 バイトを超える書き込みを行う場合は、書き込み先アドレス / 書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。

128 バイト未満の書き込みの場合も無効データを埋め込んで 128 バイトにそろえる必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

(2.1) ダウンロードする内蔵プログラムの選択とダウンロード先を指定します。

FPCS レジスタの PPVS ビットを 1 に設定すると書き込みプログラムが選択されます。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFR パラメータのソースセレクト検出ビット (SS) にダウンロードエラーが報告されます。

FTDAR レジスタにて、ダウンロード先の先頭アドレスを指定します。

(2.2) FKEY レジスタに H'A5 を書き込みます。

プロテクトのために FKEY レジスタに H'A5 を書き込まないとダウンロード要求の SCO ビットに 1 を書き込むことができません。

(2.3) VBR レジスタを設定し、FCCS レジスタの SCO ビットに 1 を書き込んで、ダウンロードを実行します。

SCO ビットのセットの前に必ず VBR レジスタを H'84000000 に設定してください。

SCO ビットに 1 を書き込むためには、以下の条件がすべて満足されている必要があります。

1. RAM エミュレーションモードが解除されていること。
2. FKEY レジスタに H'A5 が書き込まれていること。
3. SCO ビット書き込みが内蔵 RAM 上で実行されていること。

SCO ビットが 1 になると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCO = 0 にクリアされていますので、ユーザ手続きプログラムでは SCO = 1 の確認ができません。

ダウンロード結果の確認は、DPFR パラメータの戻り値での確認のみとなりますので、SCO = 1 にする前に、DPFR パラメータとなる FTDAR で指定した内蔵 RAM の先頭の 1 バイトを戻り値以外 (H'FF など) に設定して誤判定の発生を防いでください。

ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、VBR は H'84000000 に設定されている必要があります。また SCO = 1 を設定する命令の直後には 4 個の NOP 命令を実行してください。

1. ユーザマット空間を内蔵プログラム格納領域に切り替えます。
2. ダウンロードプログラム選択条件と、FTDARでの指定アドレスなどをチェック後、FTDARで指定された内蔵RAMへの転送処理を行います。
3. FPCSレジスタ、FECSレジスタ、FCCSレジスタのSCOビットを0クリアします。
4. DPFRパラメータに戻り値を設定します。
5. 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。

ダウンロードが完了し、ユーザ手続きプログラムに戻った後は、VBR の再設定は可能です。

ダウンロードにおける注意事項について以下に述べます。

ダウンロード処理では、CPU の汎用レジスタは値が保存されます。

ダウンロード処理中は、割り込みを発生させないでください。ダウンロードと割り込みにつきましては「19.8.2 書き込み / 消去手続き実行中の割り込み」をご覧ください。

最大 128 バイトのスタック領域を使用しますので、SCO = 1 にする前に 128 バイト以上のスタック領域を確保しておいてください。

ダウンロード中に DTC によるフラッシュメモリのアクセスが発生した場合は、動作保証ができませんので、DTC によるアクセスが発生しないようにご注意ください。

(2.4) プロテクトのために、FKEY レジスタを H'00 にクリアします。

(2.5) DPFR パラメータの値をチェックしダウンロード結果を確認します。

ダウンロード結果の確認方法は、以下を推奨いたします。

1. DPFRパラメータ (FTDARで指定したダウンロード先の先頭アドレスの1バイト) の値をチェックします。値がH'00ならば、ダウンロードは正常に行われています。H'00以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。
2. DPFRパラメータの値が、ダウンロード実行前に設定した値 (H'FFなど) と同じであった場合は、FTDARのダウンロード先アドレス設定の異常が考えられますので、FTDARのビット7 : TDERビットを確認してください。
3. DPFRパラメータの値が、ダウンロード実行前の設定値と異っている場合は、DPFRパラメータのビット2 : SSビットや、ビット1 : FKビットにて、ダウンロードプログラムの選択やFKEYレジスタ設定が正常であったかの確認をしてください。

(2.6) 初期化のために FPEFEQ と FUBRA パラメータに動作周波数とユーザブランチ先を設定します。

1. FPEFEQパラメータ（汎用レジスタ：R4）に、現在のCPUクロックの周波数を設定します。FPEFEQパラメータの設定可能範囲は、「24.3.1 クロックタイミング」をご覧ください。

この範囲以外の周波数が設定された場合、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。周波数の設定方法は、「19.4.3 書き込み/消去インタフェースパラメータ」の「・フラッシュプログラムイレース周波数コントロールパラメータ（FPEFEQ：CPUの汎用レジスタR4）」の説明をご覧ください。

2. FUBRAパラメータ（汎用レジスタ：R5）に、ユーザブランチ先の先頭アドレスを設定します。

ユーザブランチ処理が必要ない場合、FUBRAには値0を設定してください。

ユーザブランチを行う場合、ブランチ先は書き込み対象のフラッシュメモリ以外で実行するようにしてください。また、ダウンロードされた内蔵プログラムの領域への設定もできません。

ユーザブランチ処理からはRTS命令で書き込み処理に戻ってください。

「19.4.3 書き込み/消去インタフェースパラメータ」の「・フラッシュユーザブランチアドレスセットパラメータ（FUBRA：CPUの汎用レジスタR5）」の説明をご覧ください。

(2.7) 初期化の実行

初期化プログラムは書き込みプログラムのダウンロード時にいっしょに内蔵RAM上にダウンロードされています。FTDAR 設定のダウンロード先頭アドレス + 32 バイトからの領域に、初期化プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+32, R1	;	エントリーアドレスを R1 に設定
JSR	@R1	;	初期化ルーチンをコール
NOP			

1. 初期化プログラムではR0以外の汎用レジスタは保存されます。
2. R0はFPFRパラメータの戻り値です。
3. 初期化プログラムではスタック領域を使用しますので、128バイト以上のスタック領域をRAM上に確保しておいてください。
4. 初期化プログラム実行中の割り込み受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。

(2.8) 初期化プログラムの戻り値 FPFR（汎用レジスタ R0）を判定します。

(2.9) FKEY レジスタに H'5A を設定し、ユーザマットへの書き込みができるようにしてください。

(2.10) 書き込みに必要なパラメータの設定を行います。

ユーザマットの書き込み先の先頭アドレス (FMPAR) を汎用レジスタ R5 に、書き込みデータ格納領域の先頭アドレス (FMPDR) を汎用レジスタの R4 に設定します。

1. FMPAR設定

FMPARは書き込み先頭アドレスの指定ですので、ユーザマットエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータFPFRにはエラーが報告されます。また、128バイト単位ですので下位8ビット (MOA7~MOA0) が、H'00かH'80の128バイト境界である必要があります。

2. FMPDR設定

書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送してから書き込むようにしてください。

(2.11) 書き込み処理の実行

FTDARで指定したダウンロード先の先頭アドレス + 16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16, R1	;	エントリーアドレスを R1 に設定
JSR	@R1	;	書き込みルーチンをコール
NOF			

1. 書き込みプログラムではR0以外の汎用レジスタは保存されます。
2. R0はFPFRパラメータの戻り値です。
3. 書き込みプログラムではスタック領域を使用しますので、128バイト以上のスタック領域をRAM上に確保しておいてください。

(2.12) 書き込みプログラムの戻り値 FPFR (汎用レジスタ R0) を判定します。

(2.13) 必要データの書き込みが完了したかを判断します。

128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRの設定更新を行い上記(2.10)~(2.13)の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポインタの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

(2.14) 書き込みが終了したら FKEY レジスタをクリアして、ソフトウェアプロテクトをかけてください。

ユーザマットへの書き込み完了直後、パワーオンリセットで再起動する場合は通常より長い100 μ s以上のリセット実施期間 (RES=0の期間) を設けてください。

(3) ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 19.12 に示します。

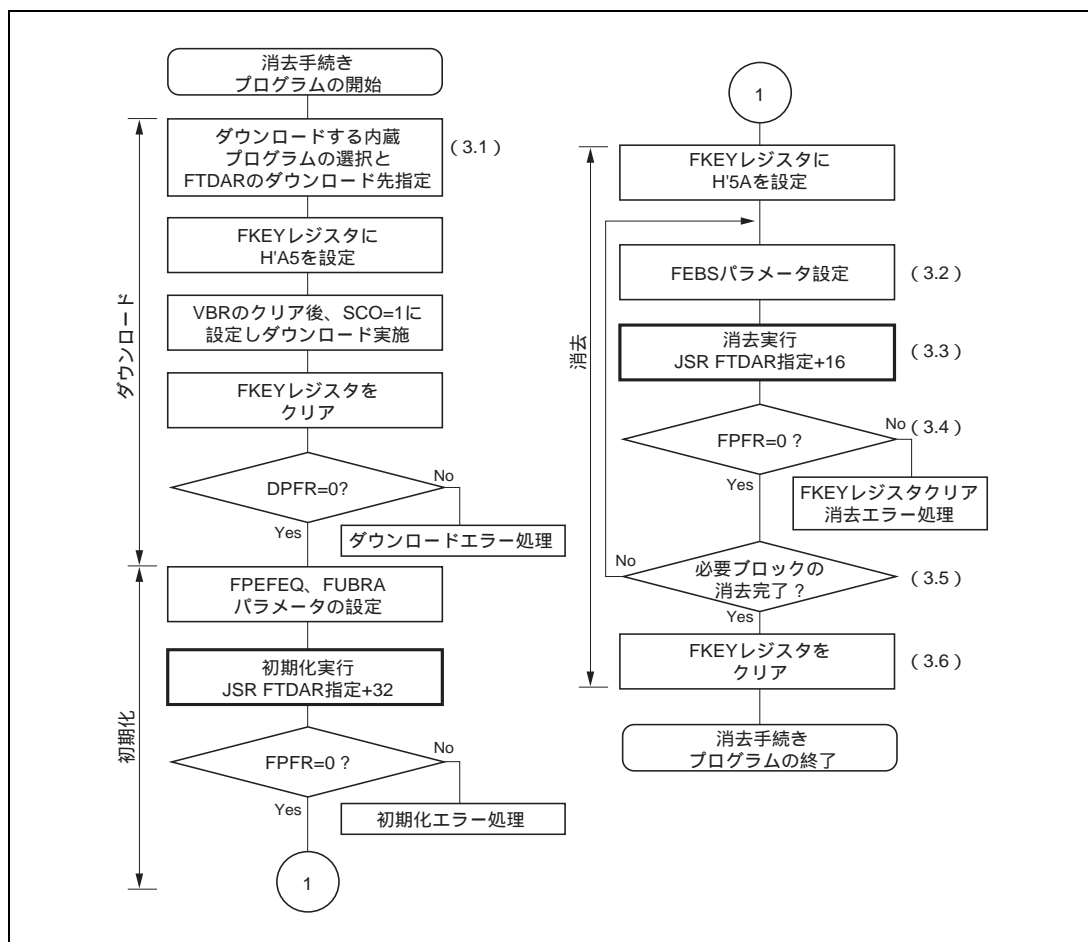


図 19.12 消去手順

消去手順の詳細を説明します。手順プログラムは、消去対象のフラッシュメモリ以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で動作するようにしてください。また、周波数制御レジスタ (FRQCR) による内部クロック (I)、バスクロック (B)、周辺クロック (P) の分周率の設定は、すべて $\times 1/4$ (初期値) としてください。

書き込み / 消去プログラムのダウンロードが終了し、SCO ビットが 0 にクリアされた後は、周波数制御レジスタ (FRQCR) の設定は任意の値に変更可能です。

ユーザの手続きプログラムのステップごとの実行可能な領域 (内蔵 RAM、ユーザマツト、外部空間など) を「19.9.2 手順プログラム、または書き込みデータの格納可能領域」に示します。

ダウンロードされる内蔵プログラムの領域については、図 19.10 のダウンロード後の内蔵 RAM マップを参照ください。

1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、図 19.4 を参照してください。
2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

(3.1) ダウンロードする内蔵プログラムの選択とダウンロード先アドレスを指定します。

FECS レジスタの EPVB ビットを 1 に設定します。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFR パラメータのソースセレクトエラー検出ビット (SS) にダウンロードエラーが報告されます。

FTDAR レジスタにて、ダウンロード先の先頭アドレスを指定します。

FKEY レジスタの設定以降のダウンロード、初期化などの手続きは、書き込み手順と同じですので、「19.5.2 (2) ユーザプログラムモードでの書き込み手順」をご覧ください。

消去プログラム用のパラメータ設定以降を以下に示します。

(3.2) 消去に必要な FEBS パラメータの設定を行います。

ユーザマットの消去ブロック番号をフラッシュイレースブロックセレクトパラメータ FEBS(汎用レジスタ R4) に設定します。ユーザマットの分割ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータ FPFR にエラーが報告されます。

(3.3) 消去処理の実行

書き込みと同様に、FTDAR で指定したダウンロード先の先頭アドレス + 16 バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16, R1	;	エントリーアドレスを R1 に設定
JSR	@R1	;	消去ルーチンをコール
NOF			

1. 消去プログラムでは R0 以外の汎用レジスタは保存されます。
2. R0 は FPFR パラメータの戻り値です。
3. 消去プログラムではスタック領域を使用しますので、128 バイト以上のスタック領域を RAM 上に確保しておいてください。

(3.4) 消去プログラムの戻り値 FPFR (汎用レジスタ R0) を判定します。

(3.5) 必要ブロックの消去が完了したかを判断します。

複数ブロックの消去を実施する場合、FEBS パラメータの更新設定を行い上記 (3.2) ~ (3.5) の処理を繰り返します。消去済みブロックに対しての消去は可能です。

(3.6) 消去が終了したら FKEY レジスタをクリアして、ソフトウェアプロテクトをかけてください。

ユーザマットの消去完了直後、パワーオンリセットで再起動する場合は通常より長い 100 μ s 以上のリセット実施期間 ($\overline{RES}=0$ の期間) を設けてください。

19.5.3 ユーザブートモード

本 LSI にはユーザプログラムモード、ブートモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCI を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み/消去が可能なマットはユーザマットだけです。ユーザブートマットの書き込み/消去は、ブートモードまたはライターモードで行ってください。

(1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は表 19.1 をご覧ください。

ユーザブートモードでリセットスタートすると、フラッシュ関連レジスタのチェックルーチンが走行します。このルーチンが使用する RAM 容量は H'FFFF9800 番地からの約 1.2KB 分とスタックとして使用する H'FFFFAFFC 番地からの 4 バイト分です。この間の NMI およびその他の割り込みは受け付けられません。また、この間は AUD は使用できません。本期間は、40MHz の内部周波数で動作する場合、約 100 μ s です。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、フラッシュマットセレクトレジスタ FMATS には H'AA が設定されています。

(2) ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATS レジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの書き込み手続きを図 19.13 に示します。

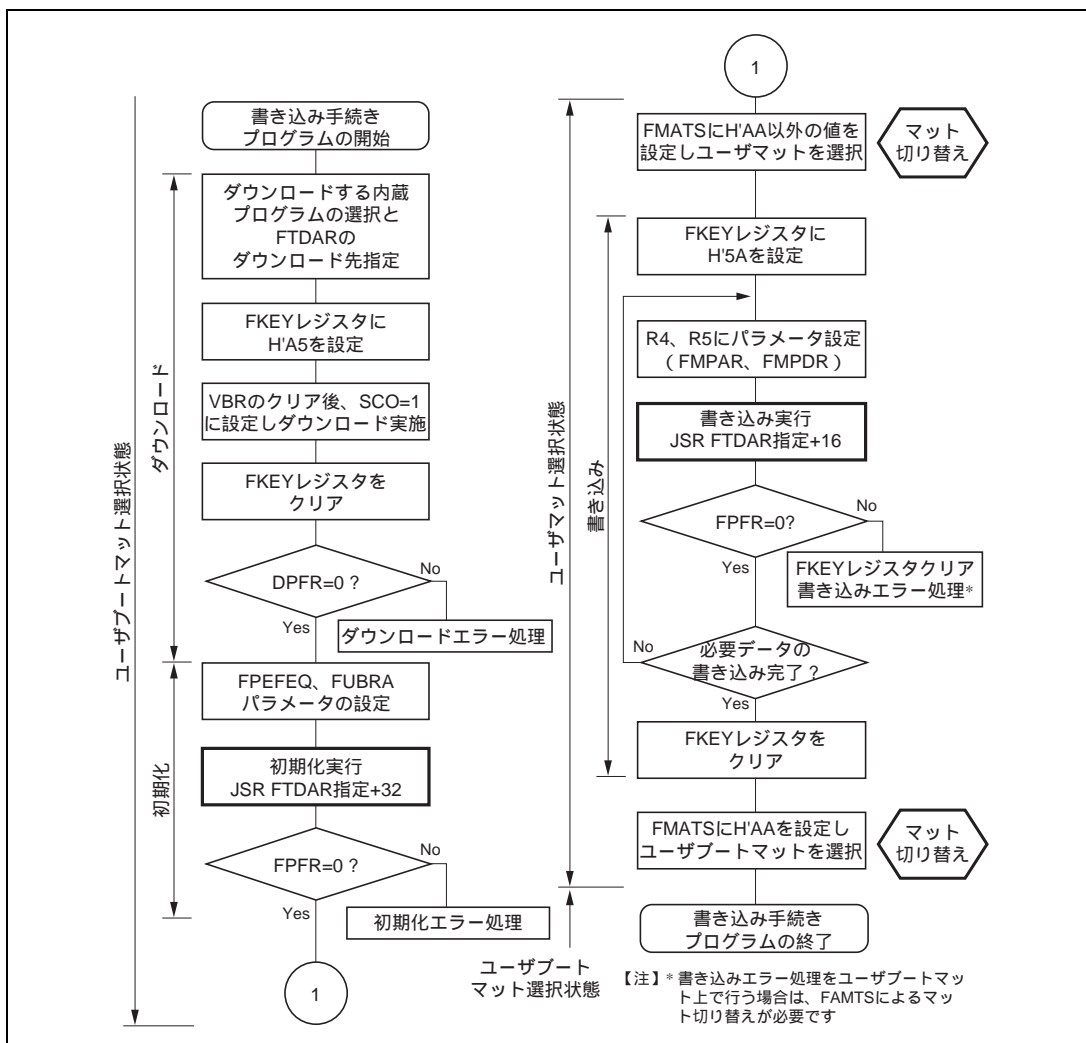


図 19.13 ユーザブートモードでのユーザマットへの書き込み手順

図 19.13 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間だけ、ユーザマットとユーザブートマットを切り替えます。書き込み処理中は、ユーザブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で実行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り替えを行います。

マット切り替えは、FMATS レジスタへ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「19.8.1 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「19.9.2 手順プログラム、または書き込みデータの格納可能領域」に示します。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATSレジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 19.14 に示します。

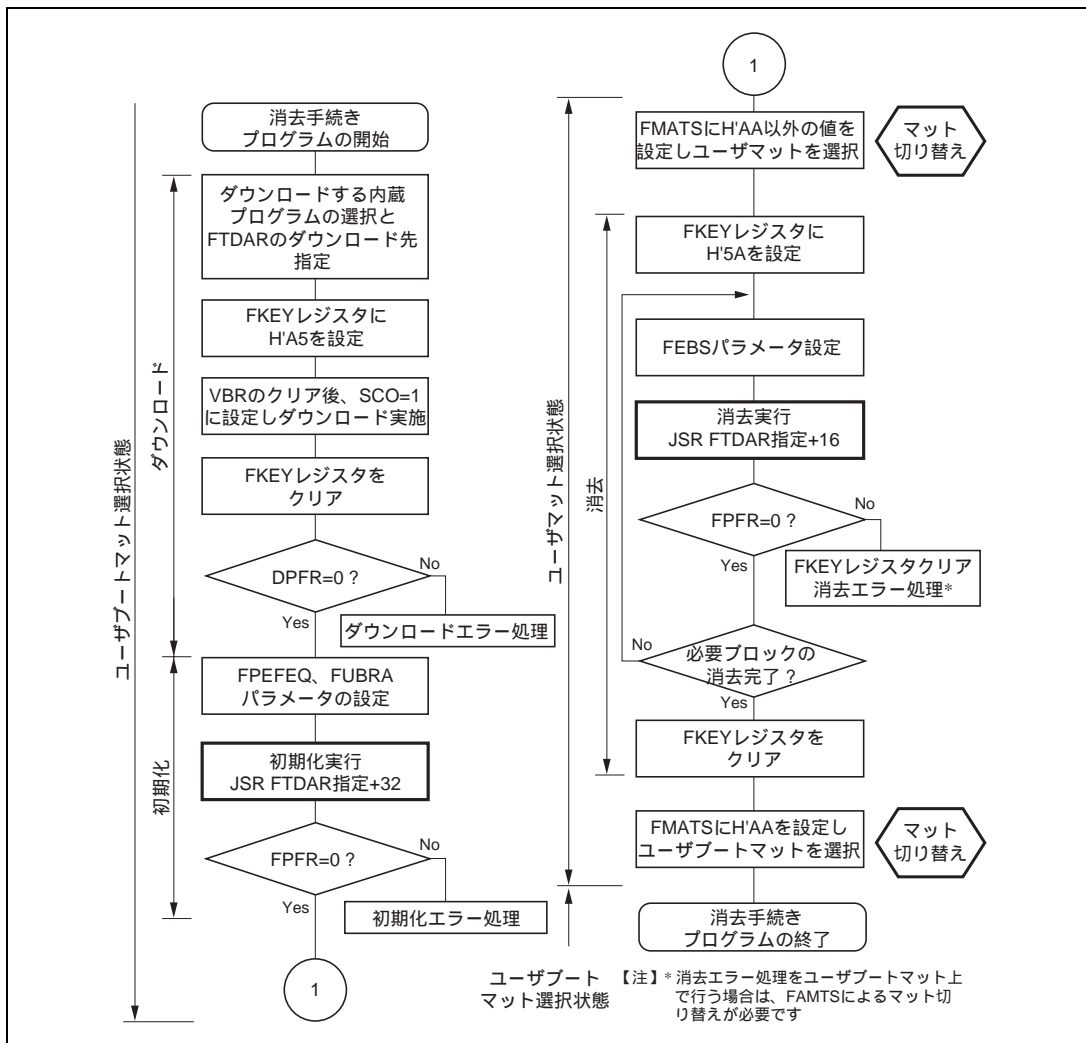


図 19.14 に示したように、ユーザプログラムモードとユーザブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATS レジスタへ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「19.8.1 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「19.9.2 手順プログラム、または書き込みデータの格納可能領域」に示します。

19.6 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ハードウェアプロテクトとソフトウェアプロテクトとエラープロテクトの3種類あります。

19.6.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み/消去プログラムを起動してもユーザマットの書き込み/消去はできず、書き込み/消去エラーがFPFRパラメータで報告されます。

表 19.9 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
FWE 端子プロテクト	<ul style="list-style-type: none"> FWE 端子に Low レベルが入力されているときには、FCCS レジスタの FWE ビットがクリアされ、書き込み/消去プロテクト状態になります。 	-	
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、書き込み/消去インタフェースレジスタが初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。書き込み/消去動作中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。 		

19.6.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み / 消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクト、RAM エミュレーションレジスタによるプロテクトがあります。

表 19.10 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	• FCCS レジスタの SCO ビットを 0 にクリアすることにより、書き込み / 消去のプログラムのダウンロードができないため、書き込み / 消去プロテクト状態になります。		
FKEY レジスタプロテクト	• FKEY レジスタにキーコードを書き込まないと、ダウンロードと書き込み / 消去ができません。ダウンロードと書き込み / 消去では、異なったキーコードの設定が必要です。		
エミュレーションプロテクト	• RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、書き込み / 消去プロテクト状態になります。		

19.6.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や規定の書き込み / 消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FCCS レジスタの FLER ビットが 1 にセットされエラープロテクト状態に遷移し、書き込み / 消去は中断されます。

FLER ビットのセット条件を以下に示します。

1. 書き込み / 消去中にフラッシュメモリの当該バンク領域を読み出したとき (ベクタリードおよび命令フェッチを含む)
2. 書き込み / 消去中に SLEEP 命令を実行したとき (ソフトウェアスタンバイを含む)

エラープロテクトの解除 (FLER ビットのクリア) は、パワーオンリセットのみで行われます。

なお、この場合のリセット入力期間は、通常より長い 100 μ s の期間のあとにリセットリリースしてください。フラッシュメモリには書き込み / 消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。このため、リセット期間を延長して印加電圧を抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 19.15 にエラープロテクト状態への状態遷移図を示します。

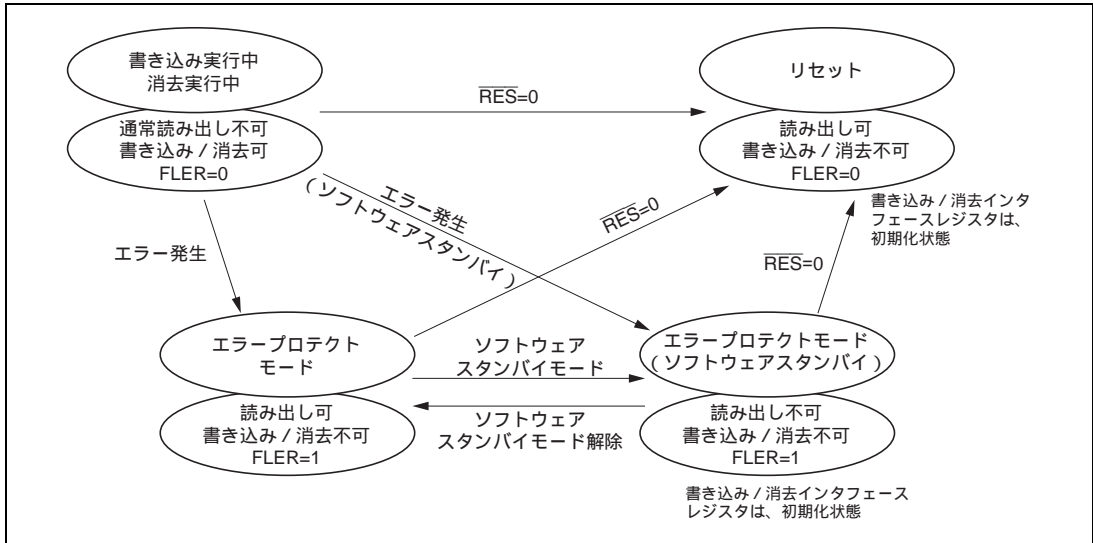


図 19.15 エラープロテクト状態への状態遷移図

19.7 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリ (ユーザマツト) のエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後、ユーザマツトのエリアとここに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモードおよびユーザプログラムモードです。

図 19.16 にユーザマツトのリアルタイムな書き換えをエミュレートする例を示します。

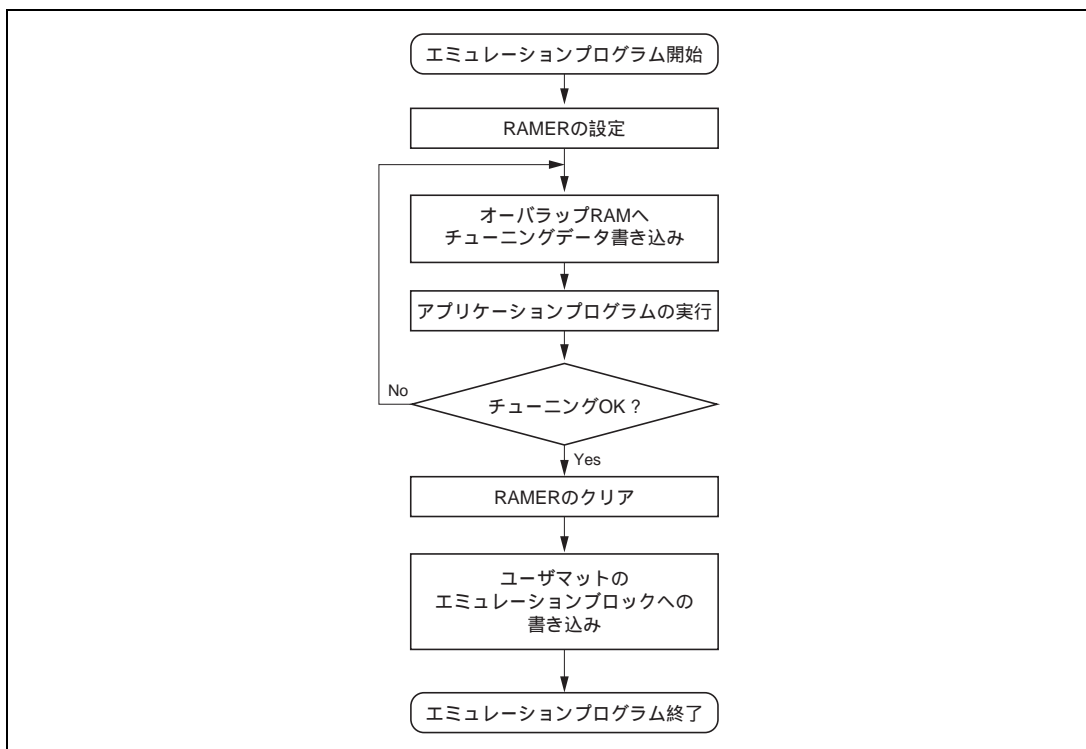


図 19.16 RAM によるエミュレーション

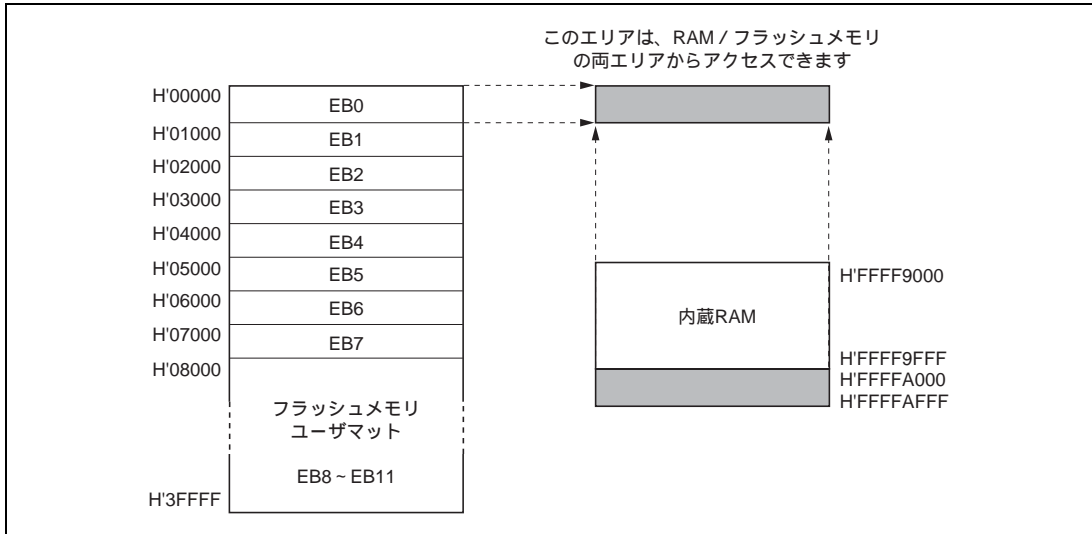


図 19.17 RAM のオーバーラップ動作例

図 19.17 にフラッシュメモリのブロックエリア EB0 をオーバーラップさせる例を示します。

エミュレーション可能なフラッシュメモリの領域は、ユーザマップの EB0 ~ EB7 の 8 エリアから RAMER レジスタの RAM2 ~ RAM0 ビットで選択した 1 エリアです。

- リアルタイムな書き換えを必要とするエリア EB0 に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビットを 1、RAM2 ~ RAM0 ビットを 0、0、0 に設定してください。
- リアルタイムな書き換えは、オーバーラップさせた RAM を使って行います。

ユーザマップへの書き込み / 消去実行においては、内蔵プログラムのダウンロードを含む一連の手続きプログラムの実行が必要です。このときに、オーバーラップしていた RAM 領域とダウンロードされる内蔵プログラムの領域が重複しないように、FTDAR レジスタを使用してダウンロード領域を設定してください。

図 19.18 に、エミュレーション完了後のデータをユーザマップの EB0 領域に書き込む例を示します。

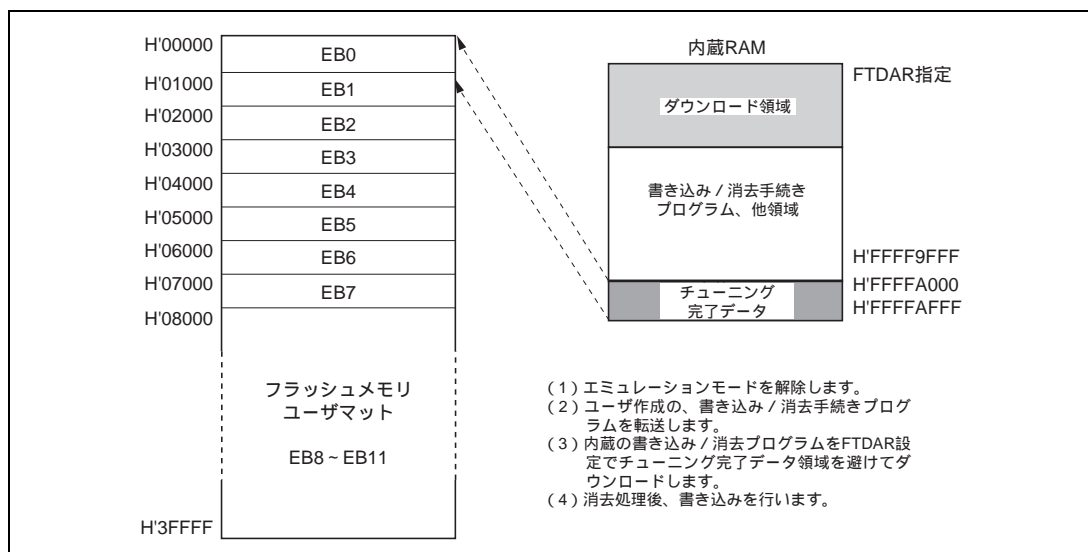


図 19.18 チューニング完了データの書き込み例

- 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。エミュレーションモードが解除され、エミュレーションプロテクトも解除されます。
- ユーザ作成の書き込み / 消去手続きプログラムをRAM上に転送します。
- RAM上の書き込み / 消去手続きプログラムを起動し、マイコン内蔵の書き込み / 消去プログラムをRAM上にダウンロードします。
このとき、FTDARレジスタ設定により、チューニング完了データ領域とダウンロード領域が重複しないようにダウンロード先頭アドレスを指定してください。
- ユーザマットのEB0エリアが消去されていない場合は、消去処理を行った後に書き込みを行ってください。書き込み処理のパラメータFMPAR、FMPDRにチューニング完了データを指定して書き込み処理を行います。

【注】 RAMS ビットを 1 にすると RAM2 ~ RAM0 の値にかかわらず、フラッシュメモリの全ブロックが書き込み / 消去プロテクト状態となります (エミュレーションプロテクト)。実際に書き込み / 消去を実施する場合は RAMS ビットをクリアしてください。
ユーザブートマット選択時にも RAM エミュレーションを行うことは可能ですが、ユーザブートマットの消去 / 書き込みはブートモード、またはライターモードでしか行うことができません。

19.8 使用上の注意事項

19.8.1 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ0番地からのアドレスに割り当てられているため、以下の手順が必要です。

(ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。)

1. FMATSレジスタによるマット切り替えは、必ず内蔵RAM上で実行してください。
SHマイコンでは実行命令のプリフェッチを行いますので、例えばユーザマット上でプログラム実行中にマット切り替えを行った場合、ユーザマット上の命令コードをプリフェッチするか、切り替え後のユーザブートマット上の命令をプリフェッチするかで不安定動作になることがあります。
2. 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATSレジスタ書き換えの直後には、同じく内蔵RAM上で4個のNOP命令を実行してください。
(切り替えを行っている最中のフラッシュメモリをアクセスしないためです)
3. 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。マット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、マット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。
4. マット切り替え完了後は、各種割り込みのベクターテーブルエリアも切り替わっていますので注意してください。
マット切り替え前後で同じ割り込み処理を実施する場合や、割り込み発生を禁止できない場合は、内蔵RAM上に割り込み処理ルーチンを転送しておき、かつ割り込みベクターテーブルもVBRレジスタの設定により内蔵RAM上に設定するなどをお願いします。この場合、VBRレジスタの変更と割り込み発生との競合についてもご注意ください。
5. ユーザマットとユーザブートマットはメモリサイズが異なります。12KB以上の空間のユーザブートマットをアクセスしないようにしてください。12KB空間以上をアクセスした場合、不定値が読み出されます。

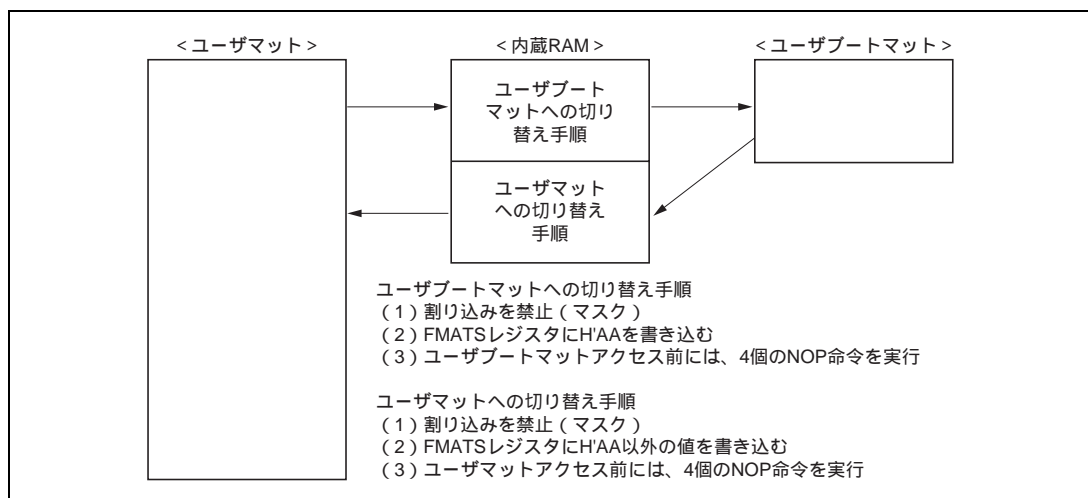


図 19.19 ユーザマット/ユーザブートマットの切り替え

19.8.2 書き込み / 消去手続き実行中の割り込み

(1) 内蔵プログラムのダウンロード実行

(1.1) VBR の変更

内蔵プログラムをダウンロードする前に、VBR レジスタを H'84000000 にする必要があります。VBR を H'84000000 以外の設定で使用している場合、VBR を H'84000000 に設定すると割り込みベクタテーブルがユーザマット (FMATS = H'AA 時) またはユーザブートマット (FMATS = H'AA 時) になります。

また、VBR 変更と割り込み発生が競合した場合、VBR 変更前後のどちらのベクタテーブルが参照されるかで問題が発生する可能性があります。

よって、割り込みとの競合が発生する可能性のある場合、ユーザマットまたはユーザブートマットの先頭部分にも、VBR = H'00000000 (初期値) のときに参照されるベクタテーブルを準備してください。

(1.2) SCO ダウンロード要求と割り込み要求

内蔵の書き込み / 消去プログラムを、FCCS レジスタの SCO ビットを 1 にしてダウンロードする操作は、マット切り替えを伴った特殊な割り込みを発生させます。SCO ダウンロード要求と割り込み要求の競合時の動作について説明します。

1. SCOダウンロード要求と割り込み要求の競合

FCCSレジスタのSCOビットを1に設定する命令の実行と、割り込み受け付けの競合タイミングを図19.20に示します。

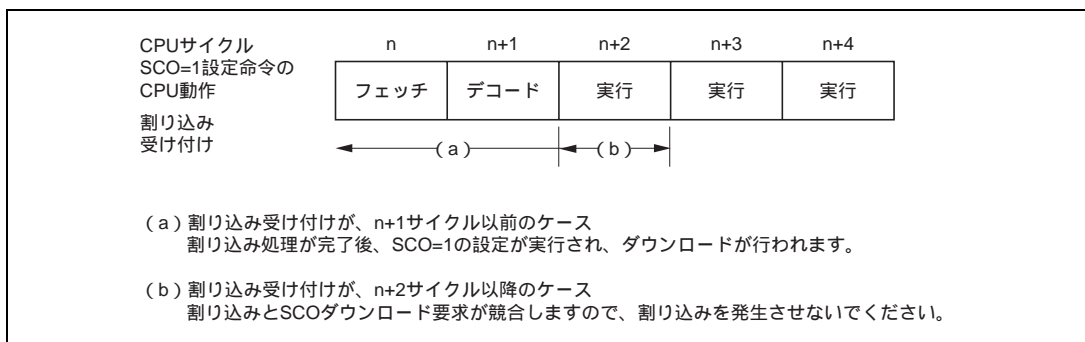


図 19.20 SCO ダウンロード要求と割り込み要求の競合タイミング

2. ダウンロード中に発生した割り込み要求

SCOダウンロード実行中は、割り込みを発生させないでください。

(2) 書き込み / 消去処理中の割り込み

ダウンロードした内蔵プログラムでの書き込み / 消去実行中の割り込み処理は、リアルタイムで可能ですが、以下の制限事項や注意事項があります。

- 書き込み / 消去中のフラッシュメモリは、ユーザマツト / ユーザブートマツトともにアクセスできません。割り込みベクタテーブルや割り込み処理ルーチンは、内蔵RAMや外部メモリなどに準備してください。割り込み処理ルーチンの中でも、書き込み / 消去中のフラッシュメモリをアクセスしないでください。フラッシュメモリを読み出した場合、読み出した値の保証はできません。また、書き込み / 消去中にフラッシュメモリの当該バンクをアクセスすると、エラープロテクトに遷移しますので、書き込み / 消去処理は中断します。当該バンク以外をアクセスした場合は、エラープロテクトに遷移しませんが、読み出した値の保証はできません。
- FMPDRパラメータで指定している書き込みデータを変更しないでください。書き込みデータを割り込み処理で準備する場合は、別領域に準備し、書き込み完了の確認後にFMPDRの領域に移るかFMPDRを準備した別領域に変更する手順としてください。
- 割り込み処理ルーチンの中では、本章のフラッシュ関連レジスタや、ダウンロードした内蔵プログラム領域を破壊しないようにしてください。また、割り込み処理でRAMエミュレーションにしたり、SCO要求による内蔵プログラムのダウンロードや、書き込み / 消去を多重実行しないでください。
- 割り込み処理ルーチンの先頭で、CPUのレジスタを退避し、戻る前に復帰させてください。
- 割り込み処理ルーチンで、スリープ状態やソフトウェアスタンバイ状態に遷移すると、エラープロテクト状態となり、書き込み / 消去は中断されます。

また、リセット状態に遷移した場合は、フラッシュメモリへのダメージを低減するために、100 μ s以上のリセット状態の後で、リセットリリースしてください。

19.8.3 その他のご注意

(1) 内蔵プログラムのダウンロード実行時間

初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ 3KB 以内です。よって、CPU クロック周波数が、20MHz の場合、それぞれ最大で約 10ms のダウンロード時間となります。

(2) ユーザブランチ処理の間隔

ユーザブランチ処理が実行される間隔は、書き込み / 消去で異なります。また、処理フェーズによっても異なります。表 19.11 に、CPU クロック周波数 80MHz の場合の最大起動間隔を示します。

表 19.11 ユーザブランチ処理の起動間隔

	最大間隔
書き込み処理	約 2ms
消去処理	約 15ms

ただし、CPU クロック 80MHz 動作時における最初のユーザブランチ処理までの時間の最大値は表 19.12 のようになります。

表 19.12 ユーザブランチ処理時間

	最大
書き込み処理	約 2ms
消去処理	約 15ms

(3) DTC でのフラッシュ関連レジスタへの書き込み

ダウンロード要求の FCCS レジスタの SCO ビットや、マット切り替えの FMATS レジスタは、内蔵 RAM 上で命令実行中ならば、DTC からでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行され RAM を破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、ご注意ください。

(4) 割り込み無視状態

以下のモード、または期間では、割り込みが発生しても無視され、実行も割り込み要因の保持もされません。

- ブートモード動作中
- ライタモード動作中

(5) ユーザマットが 256KB の製品での書き込み時の注意事項

ユーザマットが 256KB の製品で 256KB 以上への書き込みを行った場合、256KB 目以降に書き込まれた内容は保証されませんのでご注意ください。

(6) 従来の F-ZTAT SH マイコンとの書き込み / 消去プログラムの互換性

SCO 転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み / 消去プログラムは、本 LSI では動作しません。

本 LSI でのフラッシュメモリへの書き込み / 消去は、必ず内蔵プログラムをダウンロードして実施してください。

(7) WDT による暴走などのモニタ

従来の F-ZTAT SH マイコンと異なり、ダウンロードされる内蔵プログラムによる書き込み / 消去中は WDT による暴走などへの対応は、実施していません。

必要に応じて、書き込み / 消去の実行時間を考慮した WDT での対応を実施してください。(ユーザブランチループの使用、定期的なタイマ割り込みの使用など)

19.9 付録

19.9.1 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストと LSI 内蔵の SCI を使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

- ステータス

ブートプログラムは 3 つのステータスを持ちます。

1. ビットレート合わせ込みステータス

ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。

2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み消去ステータス遷移コマンドで書き込み消去ステータスに遷移します。書き込み消去ステータスに遷移する前に、ブートプログラムは消去プログラムを RAM 上に転送し、ユーザマットとユーザブートマットを消去します。

3. 書き込み消去ステータス

書き込み消去を行うステータスです。ホストからのコマンドに従って、書き込み / 消去プログラムを RAM に転送し、書き込み / 消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムの処理フローを図 19.21 に示します。

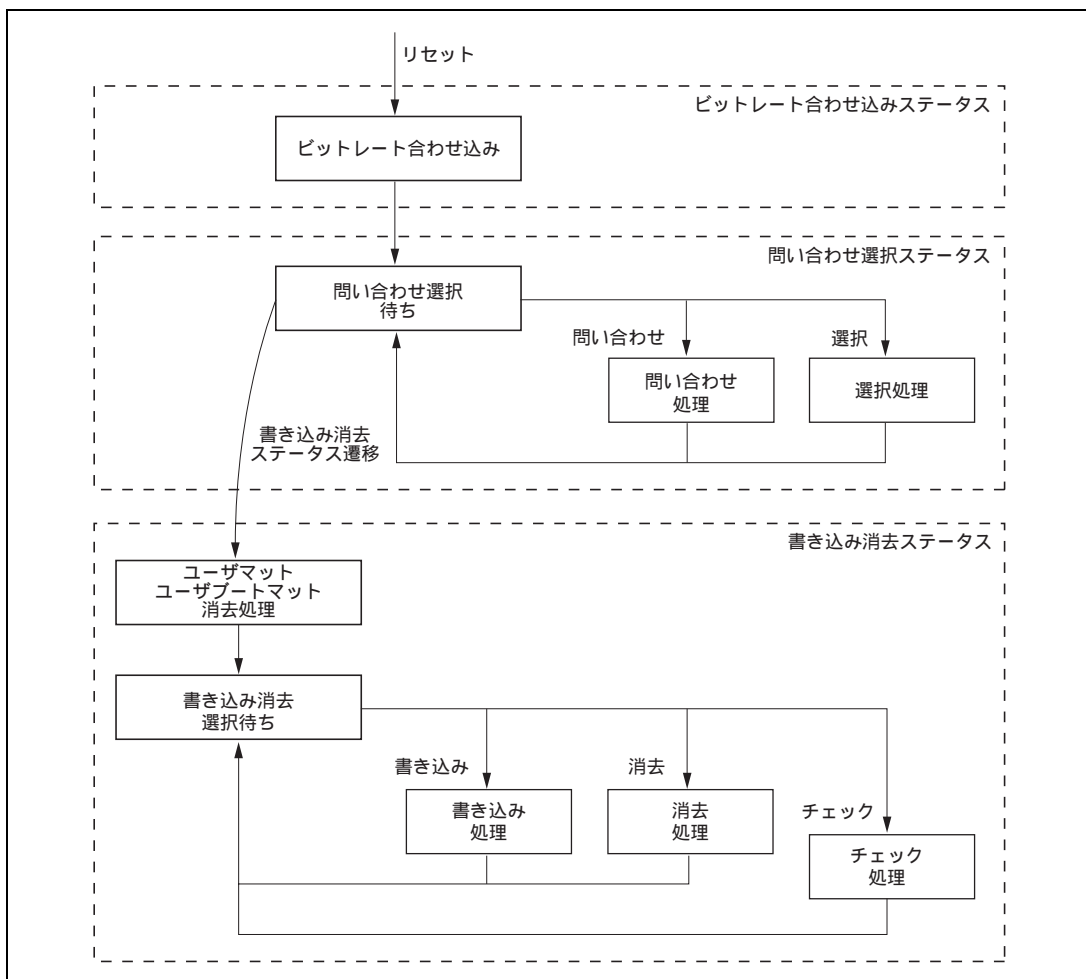


図 19.21 ブートプログラムの処理フロー

- ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 19.22 に示します。

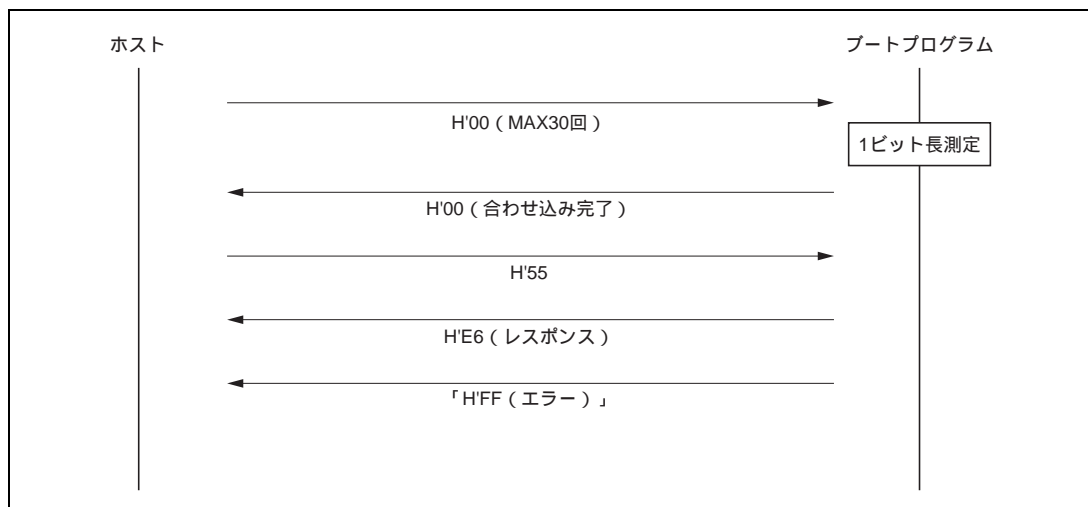


図 19.22 ビットレート合わせ込みのシーケンス

- 通信プロトコル

ビットレート合わせ込みが完了した後の、ホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

1. 1文字コマンドまたは1文字レスポンス
コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがあります。
2. n文字コマンドまたはn文字レスポンス
コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。
書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。
3. エラーレスポンス
コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。
4. 128バイト書き込み
サイズの無いコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。
5. メモリリードのレスポンス
4バイトのサイズ情報を含むレスポンスです。

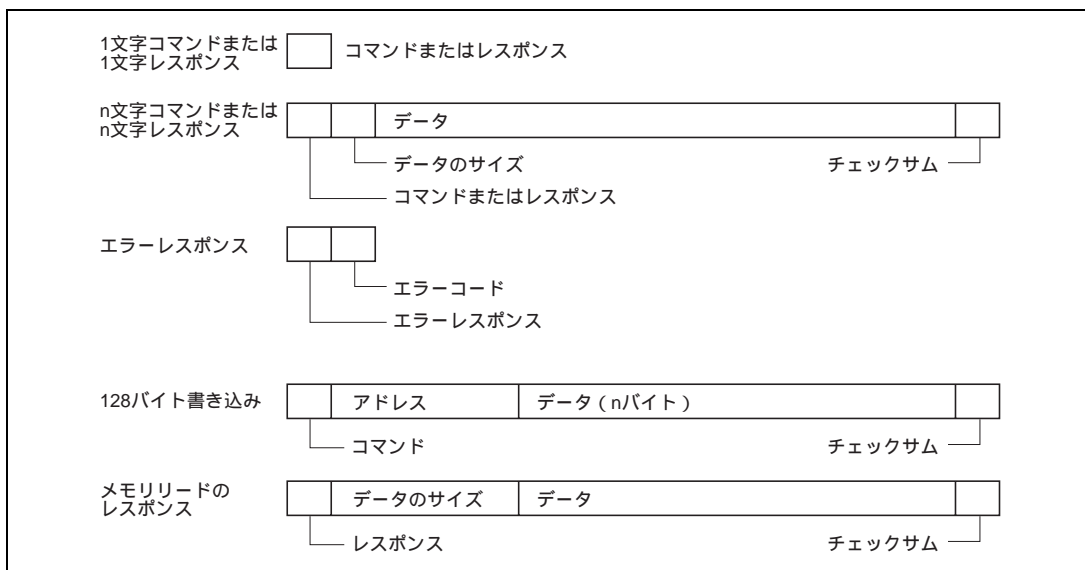


図 19.23 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイトまたは2バイト) : コマンド/レスポンス、サイズ、チェックサムを除いた送受信データのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからチェックサムまで加算し、下位1バイトがH'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ。nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリーリードのレスポンスで4バイト長
- 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。問い合わせ選択コマンド一覧を表 19.13 に示します。

表 19.13 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逡倍比問い合わせ	逡倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値と最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順にホストから送信してください。これらのコマンドは必ず必要です。同一選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み消去ステータス遷移 (H'40) を受け付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ (H'4F) は書き込み消去ステータス遷移 (H'40) を受け付け後も有効です。

(1) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと品名を応答します。

コマンド

H'20

- コマンド「H'20」(1バイト) : サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」(1バイト) : サポートデバイス問い合わせに対する応答
- サイズ(1バイト) : コマンド、サイズ、チェックサムを除いた送受信データのサイズ。ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数(1バイト) : マイコン内のブートプログラムがサポートする品種数
- 文字数(1バイト) : デバイスコードとブートプログラム品名の文字数
- デバイスコード(4バイト) : サポートする品名のASCIIコード
- 品名(nバイト) : ブートプログラム型名(ASCIIコード)
- SUM(1バイト) : チェックサム
コマンドからSUMまで加算し、H'00となるように設定

(2) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」(1バイト) : デバイス選択
- サイズ(1バイト) : デバイスコードの文字数(固定値で4)
- デバイスコード(4バイト) : サポートデバイス問い合わせで応答したデバイスコード(ASCIIコード)
- SUM(1バイト) : チェックサム

レスポンス

H'06

- レスポンス「H'06」(1バイト) : デバイス選択に対する応答
指定したデバイスコードがサポートデバイスと一致したときACKを返します

エラー

レスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」(1バイト) : デバイス選択に対するエラー応答
- ERROR : (1バイト) : エラーコード
H'11 : サムチェックエラー
H'21 : デバイスコード不一致エラー

(3) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード	...	SUM
------	-----	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ
- モード（1バイト）：選択可能なクロックモード（例：H'01 クロックモード1）
- SUM（1バイト）：チェックサム

(4) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたクロックモードに設定します。

その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数（固定値で1）
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：チェックサム

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答

指定されたクロックモードが選択可能なクロックモードと一致したときACKを返します

エラー

レスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'22：クロックモード不一致エラー

(5) 通倍比問い合わせ

通倍比問い合わせに対して、ブートプログラムは選択可能な通倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」（1バイト）：通倍比問い合わせ

レスポンス	H'32	サイズ	周波数の種別数						
	通倍比数	通倍比	...						
	...								
	SUM								

- レスポンス「H'32」（1バイト）：通倍比問い合わせに対する応答
- サイズ（1バイト）：周波数の種別数、通倍比数、通倍比の合計サイズ
- 周波数の種別数（1バイト）：デバイスで選択可能な通倍比の種別の数（メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02）
- 通倍比数（1バイト）：各動作周波数で選択可能な通倍比数
メインモジュール、周辺モジュールで選択可能な通倍比数
- 通倍比（1バイト）
通倍比：通倍する数値（例 4通倍：H'04）
分周比：分周する数値、負の数（例 2分周：H'FE[-2]）
通倍比を通倍比数の数だけ繰り返し、通倍比数と通倍比の組み合わせを周波数の種別数の数だけ繰り返す。
- SUM（1バイト）：チェックサム

(6) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の種別数
	動作周波数最小値	動作周波数最大値	
	...		
	SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：周波数の種別数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の種別数（1バイト）：デバイスに必要な動作周波数の種類数
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：通倍あるいは分周されたクロックの最小値
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：通倍あるいは分周されたクロックの最大値

動作周波数最小値、動作周波数最大値のデータが周波数の種別数だけ続く

- SUM (1バイト) : チェックサム

(7) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24

- コマンド「H'24」(1バイト) : ユーザブートマット情報問い合わせ

レスポンス	H'34	サイズ	エリア数	
	エリア先頭アドレス		エリア最終アドレス	
	...			
	SUM			

- レスポンス「H'34」(1バイト) : ユーザブートマット情報問い合わせに対する応答
- サイズ(1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数(1バイト) : ユーザブートマットのエリアの数
ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス(4バイト) : エリアの先頭アドレス
- エリア最終アドレス(4バイト) : エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM(1バイト) : チェックサム

(8) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」(1バイト) : ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数	
	エリア先頭アドレス		エリア最終アドレス	
	...			
	SUM			

- レスポンス「H'35」(1バイト) : ユーザマット情報問い合わせに対する応答
- サイズ(1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数(1バイト) : ユーザマットのエリアの数
ユーザマットのエリアが連続の場合はH'01
- エリア先頭アドレス(4バイト) : エリアの先頭アドレス

- エリア最終アドレス (4バイト) : エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM (1バイト) : チェックサム

(9) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムはユーザマットの消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」(1バイト) : 消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」(1バイト) : 消去ブロック情報問い合わせに対する応答
- サイズ (2バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数 (1バイト) : フラッシュメモリ消去ブロック数
- ブロック先頭アドレス (4バイト) : ブロックの先頭アドレス
- ブロック最終アドレス (4バイト) : ブロックの最終アドレス
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM (1バイト) : チェックサム

(10) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」(1バイト) : 書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」(1バイト) : 書き込みサイズ問い合わせに対する応答
- サイズ (1バイト) : 書き込み単位のサイズの文字数 (固定値で2)
- 書き込みサイズ (2バイト) : 書き込み単位のサイズ
このサイズで書き込みデータを受け取る
- SUM (1バイト) : チェックサム

(11) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、ホストからの確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	逡倍比数	逡倍比 1	逡倍比 2	
	SUM			

- コマンド「H'3F」（1バイト）：新ビットレート選択
- サイズ（1バイト）：ビットレート、入力周波数、逡倍比数、逡倍比の合計サイズ
- ビットレート（2バイト）：新ビットレート
1/100の値とする（たとえば、19200bpsのときは192とし、H'00C0とする）
- 入力周波数（2バイト）：ブートプログラムに入力されるクロック周波数
周波数（MHz）の小数点2位までの値とする（たとえば、28.882MHzのときは小数点2位までを100倍して2888とし、H'0B48とする）
- 逡倍比数（1バイト）：デバイスで選択可能な逡倍比数
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 逡倍比1（1バイト）：メイン動作周波数の逡倍比または分周比
逡倍比：逡倍する数値（例 4逡倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- 逡倍比2（1バイト）：周辺動作周波数の逡倍比または分周比
逡倍比：逡倍する数値（例 4逡倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- SUM（1バイト）：チェックサム

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレート選択に対する応答
指定されたビットレートが選択されたときACKとして送信します

エラー

レスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'24：ビットレート選択不可エラー
指定されたビットレートが選択できない
 - H'25：入力周波数エラー
入力周波数が最小値と最大値の範囲にない

H'26 : 逡倍比エラー

逡倍比が一致しない

H'27 : 動作周波数エラー

動作周波数が最小値と最大値の範囲にない

受信したデータのチェック方法を以下に示します。

1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

2. 逡倍比

受信した逡倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する逡倍比または分周比と一致するかどうかをチェックします。一致しなければ逡倍比エラーです。

3. 動作周波数

受信した入力周波数と逡倍比または分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 逡倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

4. ビットレート

ペリフェラル動作周波数 (P) とビットレート (B) から、シリアルモードレジスタ (SCSMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (SCBRR) の値 (N) を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{P \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} \right] - 1 \right\} \times 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 19.24 に示します。

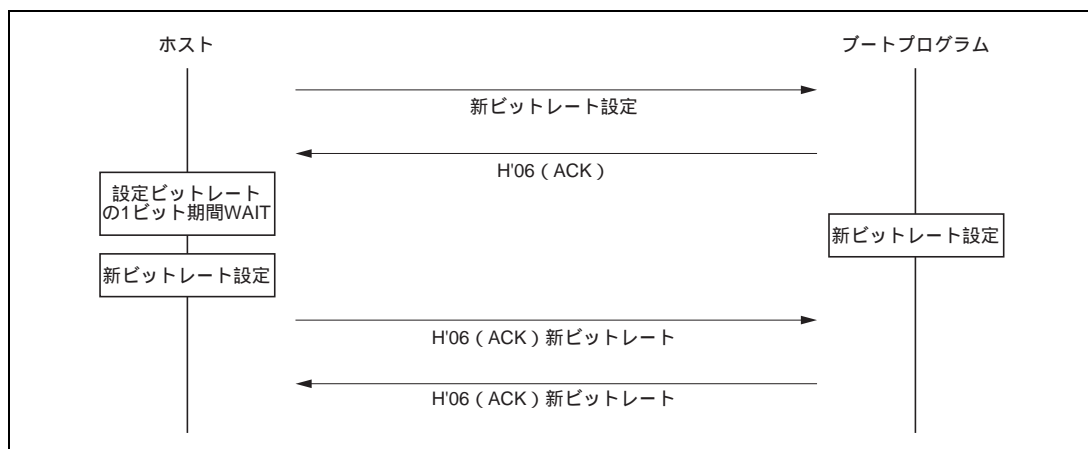


図 19.24 新ビットレート選択のシーケンス

(12) 書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると、ACK を応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答。消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたとき ACK

エラー

レスポンス

H'C0

H'51

- エラーレスポンス「H'C0」（1バイト）：書き込み消去ステータス遷移に対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー
エラーが発生し消去できなかった

- コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドを受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラー

レスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

- コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択（H'11）をしてください。
5. デバイス選択、クロックモード選択が終わったら、逡倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 逡倍比、動作周波数の情報に従って、新ビットレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ（H'24）、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

- 書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧を表 19.14 に示します。

表 19.14 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの選択
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの選択
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの選択
H'58	ブロック消去	ブロックデータの消去
H'52	メモリアード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

- 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し、書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

1. ユーザブートマット書き込み選択
2. ユーザマット書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイト書き込みコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドと 128 バイト書き込みコマンドのシーケンスを図 19.25 に示します。



図 19.25 書き込みシーケンス

(1) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド

H'42

- コマンド「H'42」（1バイト）：ユーザブートマット書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザブートマット書き込み選択に対する応答。書き込みプログラムを転送したときACK

エラー

レスポンス

H'C2	ERROR
------	-------

- エラーレスポンス「H'C2」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(2) ユーザマット書き込み選択

ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」（1バイト）：ユーザマット書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザマット書き込み選択に対する応答。書き込みプログラムを転送したときACK

エラー

レスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」（1バイト）：ユーザマツ書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

（3）128 バイト書き込み

128 バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマツ、またはユーザマツに書き込みます。

コマンド	H'50	書き込みアドレス						
	データ	...						
	...							
	SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス
128バイト境界のアドレスを指定してください
例）H'00、H'01、H'00、H'00：H'00010000
- 書き込みデータ（nバイト）：書き込みデータ
書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：チェックサム

レスポンス

H'06

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答
書き込みが完了したときACK

エラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'2A：アドレスエラー（アドレスが指定のマツの範囲にない）
H'53：書き込みエラー（書き込みエラーが発生し書き込めない）

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが128バイトのときは、アドレスの下位バイトをH'00かH'80にしてください。

ホストは、128バイト中に書き込みデータがない部分をH'FFに埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	書き込みアドレス	SUM
------	------	----------	-----

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：終了コード（H'FF、H'FF、H'FF、H'FF）
- SUM（1バイト）：チェックサム

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答

書き込み処理が完了したときACK

エラー

レスポンス	H'D0	ERROR
-------	------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'53：書き込みエラー

- 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドとブロック消去コマンドのシーケンスを図 19.26 に示します。

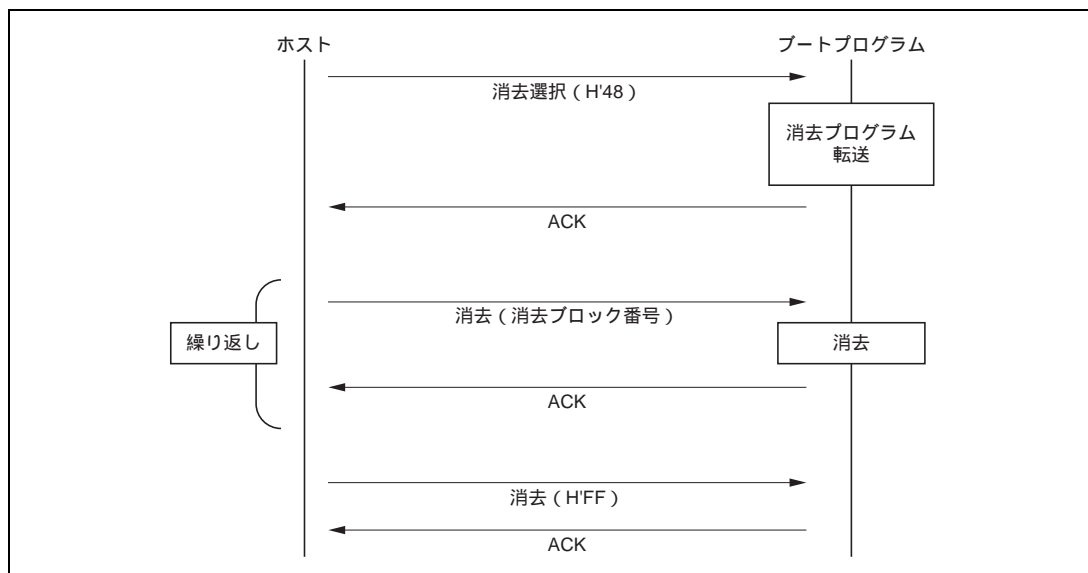


図 19.26 消去シーケンス

(1) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド

H'48

- コマンド「H'48」（1バイト）：消去選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去選択に対する応答

消去プログラムを転送したときACK

エラー

レスポンス

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」（1バイト）：消去選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(2) ブロック消去

消去に対して、ブートプログラムは指定されたユーザマットのブロックを消去します。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数（固定値で1）
- ブロック番号（1バイト）：データを消去する消去ブロック番号
- SUM（1バイト）：チェックサム

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去に対する応答
消去が完了したときACK

エラー

レスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'29：ブロック番号エラー
ブロック番号が正しくない
 - H'51：消去エラー
消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数（固定値で1）
- ブロック番号（1バイト）：H'FF（消去処理の終了コード）
- SUM（1バイト）：チェックサム

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去終了に対する応答ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

- メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド

H'52	サイズ	エリア	読み出し先頭アドレス
読み出しサイズ			SUM

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）
 - H'00：ユーザブートマット
 - H'01：ユーザマット
 - エリアの指定が正しくないときはアドレスエラー
- 読み出し先頭アドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM（1バイト）：チェックサム

レスポンス	H'52	読み出しサイズ					
データ	...						
	SUM						

- レスポンス「H'52」（1バイト）：メモリリードに対する応答
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ
- SUM（1バイト）：チェックサム

エラー

レスポンス	H'D2	ERROR
-------	------	-------

- エラーレスポンス「H'D2」（1バイト）：メモリリードに対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'2A：アドレスエラー

読み出し先頭アドレスがマットの範囲にない

H'2B：サイズエラー

読み出しサイズがマットの範囲を超えている、または読み出し先頭アドレスと読み出しサイズから計算された読み出し最終アドレスがマットの範囲にない、または読み出しサイズが0

- ユーザブートマットのサムチェック

ユーザブートマットのサムチェックに対して、ブートプログラムはユーザブートマットのデータを加算してその結果を応答します。

コマンド	H'4A
------	------

- コマンド「H'4A」（1バイト）：ユーザブートマットのサムチェック

レスポンス	H'5A	サイズ	マットのチェックサム	SUM
-------	------	-----	------------	-----

- レスポンス「H'5A」（1バイト）：ユーザブートマットのサムチェックに対する応答
- サイズ（1バイト）：マットのチェックサムの文字数（固定値で4）
- マットのチェックサム（4バイト）：ユーザブートマットのサムチェック値バイト単位で加算
- SUM（1バイト）：チェックサム（送信データの）

- ユーザマットのサムチェック

ユーザマットのサムチェックに対して、ブートプログラムはユーザマットのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」(1バイト) : ユーザマットのサムチェック

レスポンス

H'5B	サイズ	マットのチェックサム	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザマットのサムチェックに対する応答
- サイズ(1バイト) : マットのチェックサムの文字数(固定値で4)
- マットのチェックサム(4バイト) : ユーザマットのサムチェック値
バイト単位で加算
- SUM(1バイト) : チェックサム(送信データの)

- ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」(1バイト) : ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答。エリアがすべてブランク(H'FF)のときACK

エラー

レスポンス

H'CC	H'52
------	------

- エラーレスポンス「H'CC」(1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

- ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」(1バイト) : ユーザマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザマットのブランクチェックに対する応答。エリアがすべてブランク(H'FF)のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」(1バイト) : ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

- ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれでも有効です。

コマンド

H'4F

- コマンド「H'4F」(1バイト) : ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」(1バイト) : ブートプログラムステータス問い合わせに対する応答
- サイズ(1バイト) : データの文字数(固定値で2)
- STATUS(1バイト) : 標準ブートプログラムのステータス

表19.15をご覧ください。

- ERROR(1バイト) : エラー状態

ERROR = 0で正常

ERRORが0以外で異常

表19.16をご覧ください。

- SUM(1バイト) : チェックサム

表 19.15 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち(ビットレート選択完了)
H'31	ユーザマット、ユーザブートマット消去中
H'3F	書き込み消去選択待ち(消去完了)
H'4F	書き込みデータ受信待ち(書き込み完了)
H'5F	消去ブロック指定待ち(消去完了)

表 19.16 エラーコード

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逡倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー (サイズエラー)
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

19.9.2 手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み / 消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵 RAM 上に準備している例で示しましたが、以下の条件を守れば他の領域（外部空間領域など）で実行することができます。

1. 内蔵の書き込み / 消去実行プログラムはFTDARレジスタで指定された内蔵RAMのアドレスからダウンロードされ、実行されるのでここは使用不可能です。
2. 内蔵の書き込み / 消去実行プログラムでは、スタック領域を128バイト以上使用するので、確保してください。
3. SCOビットを1にしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵RAM上で実施してください。
4. 書き込み / 消去を開始する前（ダウンロード結果の判定まで）は、フラッシュメモリはアクセス可能です。シングルチップモードのように外部空間アクセスができないモードでは、この時点までに必要な手続きプログラム、割り込みベクタと割り込み処理ルーチン、ユーザブランチ処理プログラムなどを内蔵RAMに転送してください。
5. 書き込み / 消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、書き込み / 消去中のユーザブランチ先のユーザプログラム、および割り込みのベクタテーブルと割り込み処理プログラムの実行領域も、フラッシュメモリ以外の内蔵RAMや、外部バス空間にある必要があります。
6. 書き込み / 消去完了後のFKEYレジスタのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。

書き込み / 消去完了直後に、LSIモードを変更してリセット動作をさせる場合には、100 μ s以上のリセット期間（ $\overline{\text{RES}} = 0$ とする期間）を設けてください。

なお、書き込み / 消去処理中のリセット状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100 μ sの通常より長いリセット期間の後に、リセットリリースしてください。

7. ユーザブートモードでのユーザマットへの書き込み / 消去処理では、FMATSによるマット切り替えが必要です。マット切り替えの実行は内蔵RAM上で実施してください。（「19.8.1 ユーザマットとユーザブートマットの切り替え」を参照ください）

マットの切り替えにおいては、現在どちらのマットが選択されているかにご注意ください。

8. 書き込み処理のパラメータFMPDRが示す書き込みデータ格納領域がフラッシュメモリ上にあると、エラーと判断しますので、いったん内蔵RAMに転送してFMPDRの示すアドレスはフラッシュメモリ空間以外としてください。

これらの条件を考慮し、各動作モード / 処理内容ごとの組み合わせでの、書き込みデータ格納エリアおよび実行が可能なエリアをあらわす表を示します。

表 19.17 実行可能マツトまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 19.18 (1)	表 19.18 (3)
消去	表 19.18 (2)	表 19.18 (4)

【注】 * ユーザマツトに対しての書き込み / 消去が可能です。

表 19.18 (1) ユーザプログラムモードでの書き込み処理で使用可能なエリア

書き込み手順

項目	格納 / 実行が可能なエリア			選択されているマツト	
	内蔵 RAM	ユーザマツト	外部空間	ユーザマツト	組み込みプログラム格納マツト
書き込みデータの格納領域		x*		-	-
ダウンロードする内蔵プログラムの選択処理					
キーレジスタへの H'A5 書き込み処理					
FCCS の SCO = 1 書き込み実行 (ダウンロード)		x	x		
キーレジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		x	x		
初期化結果の判定					
初期化エラー処理					
割り込み処理ルーチン		x			
キーレジスタへの H'5A 書き込み処理					
書き込みパラメータの設定処置		x			
書き込み実行		x	x		
書き込み結果の判定		x			
書き込みエラー処理		x			
キーレジスタクリア処理		x			

【注】 * 事前に内蔵 RAM に転送しておけば可能です。

表 19.18 (2) ユーザプログラムモードでの消去処理で使用可能なエリア

消去手順
↓

項目	格納 / 実行が可能なエリア			選択されているマツ	
	内蔵 RAM	ユーザマツ	外部空間	ユーザマツ	組み込み プログラム 格納マツ
ダウンロードする内蔵プログラムの選択処理					
キーレジスタへの H'A5 書き込み処理					
FCCS の SCO = 1 書き込み実行 (ダウンロード)		x	x		
キーレジスタ クリア処理					
ダウンロード結果の 判定					
ダウンロード エラー処理					
初期化パラメータの 設定処理					
初期化実行		x	x		
初期化結果の判定					
初期化エラー処理					
割り込み処理ルーチン		x			
キーレジスタへの H'5A 書き込み処理					
消去パラメータの 設定処置		x			
消去実行		x	x		
消去結果の判定		x			
消去エラー処理		x			
キーレジスタ クリア処理		x			

表 19.18 (3) ユーザブートモードでの書き込み処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザ ブート マット	外部空間	ユーザ マット	ユーザ ブート マット	組み込み プログラム 格納マット
書き込みデータの 格納領域		x*1		-	-	-
ダウンロードする内蔵 プログラムの選択処理						
キーレジスタへの H'A5 書き込み処理						
FCCS の SCO = 1 書き込み実行 (ダウンロード)		x	x			
キーレジスタ クリア処理						
ダウンロード 結果の判定						
ダウンロード エラー処理						
初期化パラメータの設 定処理						
初期化実行		x	x			
初期化結果の判定						
初期化エラー処理						
割り込み処理ルーチン		x				
FMATS による マット切り替え		x	x			
キーレジスタへの H'5A 書き込み処理		x				
書き込みパラメータの 設定処置		x				
書き込み実行		x	x			
書き込み結果の判定		x				
書き込みエラー処理		x*2				
キーレジスタ クリア処理		x				
FMATS による マット切り替え		x	x			

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

*2 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

表 19.18 (4) ユーザブートモードでの消去処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザ ブート マット	外部空間	ユーザ マット	ユーザ ブート マット	組み込み プログラム 格納マット
ダウンロードする内蔵プログラムの選択処理						
キーレジスタへの H'A5 書き込み処理						
FCCS の SCO = 1 書き込み実行 (ダウンロード)		×	×			
キーレジスタ クリア処理						
ダウンロード結果の 判定						
ダウンロード エラー処理						
初期化パラメータの 設定処理						
初期化実行		×	×			
初期化結果の判定						
初期化エラー処理						
割り込み処理ルーチン		×				
FMATS による マット切り替え		×	×			
キーレジスタへの H'5A 書き込み処理		×				
消去パラメータの 設定処理		×				
消去実行		×	×			
消去結果の判定		×				
消去エラー処理		×*				
キーレジスタ クリア処理		×				
FMATS による マット切り替え		×	×			

【注】 * 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

19.10 ライタモード

ライタモードではソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (F-ZTATxxxx) をサポートしているライタを使用してください。

20. マスク ROM

本 LSI は、256K バイトのマスク ROM を内蔵しています。内蔵 ROM は、32 ビット幅のデータバスを介して、CPU とデータトランスファコントローラ (DTC) に接続されています (図 20.1)。CPU、DTC は、8、16、または 32 ビット幅で内蔵 ROM をアクセスすることができます。内蔵 ROM のデータは、CPU から常に 1 ステートでアクセスできます。

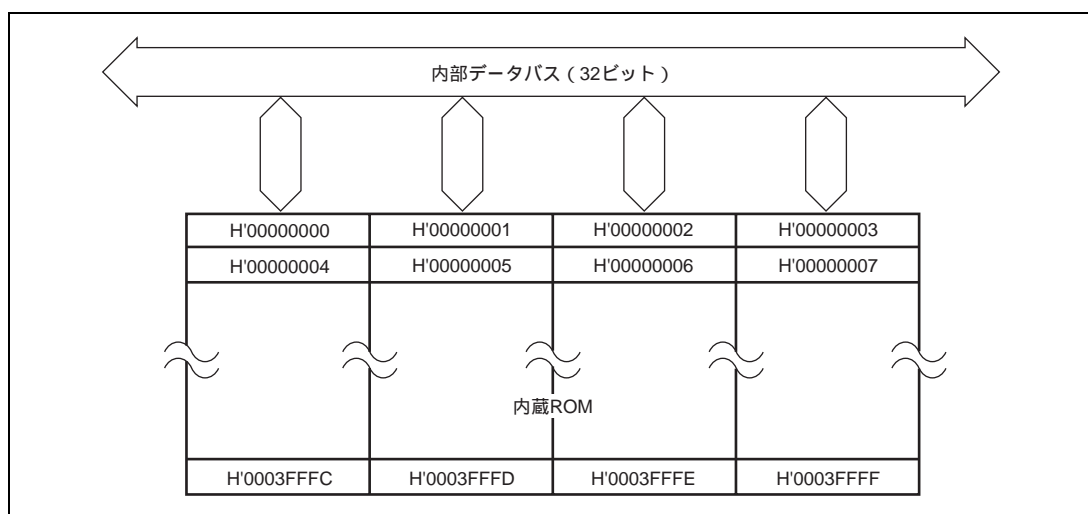


図 20.1 マスク ROM のブロック図

内蔵 ROM は、動作モードによって有効が無効が決まります。動作モードは、モード設定端子 FWE、MD1、MD0 で選びます。内蔵 ROM を使う場合にはモード 2 かモード 3 を、使わない場合にはモード 0 かモード 1 を選んでください。内蔵 ROM は、メモリアリア 0 のアドレス H'00000000 ~ H'0003FFFF に割り付けられています。

20.1 使用上の注意事項

20.1.1 モジュールスタンバイモードの設定

マスク ROM は、スタンバイコントロールレジスタにより、マスク ROM のアクセスの禁止 / 許可を設定することが可能です。初期値では、マスク ROM のアクセスを許可します。モジュールスタンバイモードを設定することにより、マスク ROM のアクセスが禁止されます。詳細は「第 22 章 低消費電力モード」を参照してください。

21. RAM

本 LSI は高速スタティック RAM を内蔵しています。内蔵 RAM は、32 ビット幅のデータバス (L バス) を介して CPU、32 ビット幅のデータバス (I バス) を介してデータトランスファコントローラ (DTC) に接続されており、8、16 または 32 ビット幅で、内蔵 RAM をアクセスすることができます。内蔵 RAM は、各製品により図 21.1 に示すアドレスに割り付けられており、アドレスによりページ 0、ページ 1 に分かれています。RAM は、CPU (L バス経由)、DTC (I バス経由) からのアクセスが可能です。同時に同じページに対して異なるバスからアクセス要求があったときの優先順位は I バス (DTC) > L バス (CPU) となります。このような競合は RAM アクセスの性能低下を招きますので、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。例えば各バスごとに異なるページでアクセスすると競合は発生しません。L バス (CPU) からのアクセスは、ページ競合が発生しない限り 1 サイクルアクセスになります。I バス (DTC) からのアクセスは、内部クロック (I) とバスクロック (B) の比や DTC の動作状態などにより変化します。内蔵 RAM の内容は、スリープモード、ソフトウェアスタンバイモード、パワーオンリセット、マニュアルリセットでは保持されます。しかし、ディープソフトウェアスタンバイモードでは、内蔵 RAM の内容は保持されません。

RAM は、RAM コントロールレジスタ (RAMCR) の RAME ビットにより有効または無効の制御が可能です。RAMCR については「22.3.7 RAM コントロールレジスタ (RAMCR)」を参照してください。

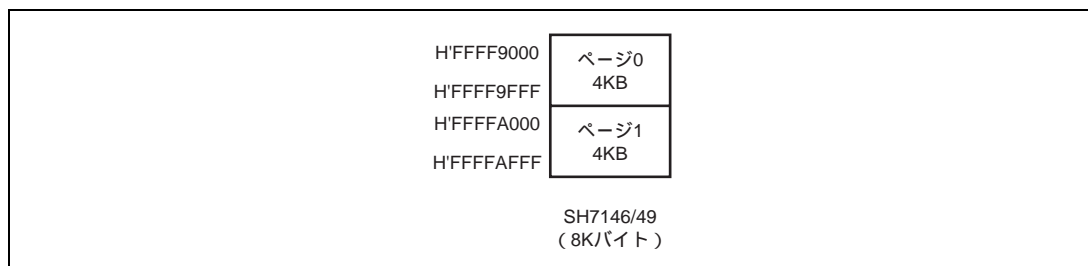


図 21.1 内蔵 RAM アドレス

21.1 使用上の注意事項

21.1.1 モジュールスタンバイモードの設定

RAM は、スタンバイコントロールレジスタにより、RAM のアクセスの禁止 / 許可を設定することが可能です。初期値では、RAM のアクセスを許可します。モジュールスタンバイモードを設定することにより、RAM のアクセスが禁止されます。詳細は「第 22 章 低消費電力モード」を参照してください。

21.1.2 アドレスエラー

RAM に対してアドレスエラーを起こす書き込みを行った場合、RAM の内容が壊れる場合があります。

21.1.3 RAM の初期値

電源投入後、RAM への書き込みを行うまでは RAM の初期値は不定となります。

22. 低消費電力モード

本 LSI は低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、モジュールスタンバイ機能をサポートしています。

22.1 特長

- スリープ/ソフトウェアスタンバイ/モジュールスタンバイ/ディープソフトウェアスタンバイをサポートします。

22.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. ディープソフトウェアスタンバイモード
4. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する方法、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 22.1 に示します。

表 22.1 低消費電力モードの状態

低消費電力モード	遷移方法	状 態					解除方法
		CPG	CPU	CPU レジスタ	内蔵 メモリ	内蔵周辺 モジュール	
スリープモード	STBCR1のSTBYビットが0の状態ですLEEP命令を実行	動作	停止	保持	動作	動作	リセット
ソフトウェアスタンバイモード	STBCR1のSTBYビットが1、かつSTBCR6のSTBYMDビットが1の状態ですLEEP命令を実行	停止	停止	保持	停止 (内容は保持)	停止	(1) NMI、IRQ による割り込み (2) $\overline{\text{RES}}$ 端子によるパワーオンリセット
ディープソフトウェアスタンバイモード	STBCR1のSTBYビットが1、かつSTBCR6のSTBYMDビットが0の状態ですLEEP命令を実行	停止	停止	不定	停止 (内容は不定)	停止	$\overline{\text{RES}}$ 端子によるパワーオンリセット
モジュールスタンバイ機能	STBCR2~5のMSTPビットを1とする	動作	動作	保持	指定モジュールが停止 (内容は保持)	指定モジュールが停止	(1) MSTP ビットを0にクリア (2) パワーオンリセット (MSTP ビットの初期値が0のモジュール)

【注】 各モードにおける内蔵周辺モジュールのレジスタの状態については、「23.3 各動作モードにおけるレジスタの状態」を参照してください。各モードにおける端子状態については、「付録 A. 端子状態」を参照してください。

22.2 入出力端子

低消費電力モード関連の端子構成を表 22.2 に示します。

表 22.2 端子構成

名称	端子名	入出力	機能
パワーオンリセット	$\overline{\text{RES}}$	入力	パワーオンリセット入力信号。ローレベルでパワーオンリセット。
マニュアルリセット	$\overline{\text{MRES}}$	入力	マニュアルリセット入力信号。ローレベルでマニュアルリセット。

22.3 レジスタの説明

低消費電力モードに関連するレジスタには以下のものがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

表 22.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ 1	STBCR1	R/W	H'00	H'FFFFE802	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'38	H'FFFFE804	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'FF	H'FFFFE806	8
スタンバイコントロールレジスタ 4	STBCR4	R/W	H'FF	H'FFFFE808	8
スタンバイコントロールレジスタ 5	STBCR5	R/W	H'03	H'FFFFE80A	8
スタンバイコントロールレジスタ 6	STBCR6	R/W	H'00	H'FFFFE80C	8
RAM コントロールレジスタ	RAMCR	R/W	H'10	H'FFFFE880	8

22.3.1 スタンバイコントロールレジスタ 1 (STBCR1)

STBCR1 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力モードの状態を指定します。

ビット:	7	6	5	4	3	2	1	0
	STBY	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	スタンバイ ソフトウェアスタンバイモードへの実行を指定します。 0: SLEEP 命令の実行で、スリープモードへ遷移 1: SLEEP 命令の実行で、ソフトウェアスタンバイモード / ディープソフトウェアスタンバイモードへ遷移
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

22.3.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

ビット:	7	6	5	4	3	2	1	0
	MSTP 7	MSTP 6	-	MSTP 4*	-	-	-	-
初期値:	0	0	1	1	1	0	0	0
R/W:	R/W	R/W	R	R/W	R	R	R	R

【注】* F-ZTAT版のみ。マスクROM版ではリザーブビットとなります。

ビット	ビット名	初期値	R/W	説 明
7	MSTP7	0	R/W	モジュールストップビット 7 本ビットを 1 にセットすると RAM へのクロックの供給を停止します。 0: RAM は動作 1: RAM へのクロック供給を停止
6	MSTP6	0	R/W	モジュールストップビット 6 本ビットを 1 にセットすると ROM へのクロックの供給を停止します。 0: ROM は動作 1: ROM へのクロック供給を停止
5	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	MSTP4*	1	R/W	モジュールストップビット 4 本ビットを 1 にセットすると DTC へのクロックの供給を停止します。 0: DTC は動作 1: DTC へのクロック供給を停止
3	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

22.3.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

ビット:	7	6	5	4	3	2	1	0
	-	-	MSTP 13	MSTP 12	MSTP 11	-	-	-
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	MSTP13	1	R/W	モジュールストップビット 13 本ビットを 1 にセットすると SCI_2 へのクロックの供給を停止します。 0 : SCI_2 は動作 1 : SCI_2 へのクロック供給を停止
4	MSTP12	1	R/W	モジュールストップビット 12 本ビットを 1 にセットすると SCI_1 へのクロックの供給を停止します。 0 : SCI_1 は動作 1 : SCI_1 へのクロック供給を停止
3	MSTP11	1	R/W	モジュールストップビット 11 本ビットを 1 にセットすると SCI_0 へのクロックの供給を停止します。 0 : SCI_0 は動作 1 : SCI_0 へのクロック供給を停止
2~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

22.3.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

ビット:	7	6	5	4	3	2	1	0
	MSTP 23	MSTP 22	MSTP 21	-	-	MSTP 18	MSTP 17	MSTP 16
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MSTP23	1	R/W	モジュールストップビット 23 本ビットを 1 にセットすると MTU2S へのクロックの供給を停止します。 0 : MTU2S は動作 1 : MTU2S へのクロック供給を停止
6	MSTP22	1	R/W	モジュールストップビット 22 本ビットを 1 にセットすると MTU2 へのクロックの供給を停止します。 0 : MTU2 は動作 1 : MTU2 へのクロック供給を停止
5	MSTP21	1	R/W	モジュールストップビット 21 本ビットを 1 にセットすると CMT へのクロックの供給を停止します。 0 : CMT は動作 1 : CMT へのクロック供給を停止
4, 3	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	MSTP18	1	R/W	モジュールストップビット 18 本ビットを 1 にセットすると A/D_2 へのクロックの供給を停止します。 0 : A/D_2 は動作 1 : A/D_2 へのクロック供給を停止
1	MSTP17	1	R/W	モジュールストップビット 17 本ビットを 1 にセットすると A/D_1 へのクロックの供給を停止します。 0 : A/D_1 は動作 1 : A/D_1 へのクロック供給を停止
0	MSTP16	1	R/W	モジュールストップビット 16 本ビットを 1 にセットすると A/D_0 のクロックの供給を停止します。 0 : A/D_0 は動作 1 : A/D_0 へのクロック供給を停止

22.3.5 スタンバイコントロールレジスタ 5 (STBCR5)

STBCR5 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力モードの状態を指定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	MSTP 25	MSTP 24
初期値:	0	0	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MSTP25	1	R/W	モジュールストップビット 25 本ビットを 1 にセットすると AUD へのクロックの供給を停止します。 0 : AUD は動作 1 : AUD へのクロック供給を停止
0	MSTP24	1	R/W	モジュールストップビット 24 本ビットを 1 にセットすると UBC のクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロック供給を停止

22.3.6 スタンバイコントロールレジスタ 6 (STBCR6)

STBCR6 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力モードの状態を指定します。

ビット: 7 6 5 4 3 2 1 0

AUD SRST	HIZ	-	-	-	-	STBY MD	-
-------------	-----	---	---	---	---	------------	---

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R R R R R/W R

ビット	ビット名	初期値	R/W	説明
7	AUDSRST	0	R/W	AUD ソフトウェアリセット AUD のリセットをソフトウェアで制御します。 本ビットに 0 をライトすると AUD モジュールはパワーオンリセット状態になります。 0: AUD リセット状態にする 1: AUD のリセットを解除する 本ビットを 1 にセットするときは、STBCR5 の MSTP25 ビットが 0 の状態で実施してください。
6	HIZ	0	R/W	ポートハイインピーダンス ソフトウェアスタンバイモード時に、端子状態を保持するかハイインピーダンスにするかを選択します。 0: ソフトウェアスタンバイモード時に、端子状態を保持する 1: ソフトウェアスタンバイモード時に、端子状態をハイインピーダンスにする
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STBYMD	0	R/W	ソフトウェアスタンバイモード選択 STBCR1 の STBY ビットが 1 の状態で SLEEP 命令を実行時、ソフトウェアスタンバイモードに遷移するか、ディープソフトウェアスタンバイモードに遷移するかを選択します。 0: ディープソフトウェアスタンバイモードに遷移 1: ソフトウェアスタンバイモードに遷移
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

22.3.7 RAM コントロールレジスタ (RAMCR)

RAMCR は、読み出し / 書き込み可能な 8 ビットレジスタで、内蔵 RAM へのアクセスの許可 / 禁止を指定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	RAME	-	-	-	-
初期値:	0	0	0	1	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。 0: 内蔵 RAM を無効 1: 内蔵 RAM を有効 本ビットを 0 にクリアすると内蔵 RAM はアクセスできません。このとき、内蔵 RAM からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM へのライトは無視されます。 なお、本ビットを 0 にクリアして内蔵 RAM を無効にする場合、RAMCR へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令をおいた場合、正常なアクセスは保証できません。 本ビットを 1 にセットして内蔵 RAM を有効にする場合、RAMCR へのライト命令の直後に RAMCR のリード命令をおいてください。もし、RAMCR ライト命令の直後に内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

22.4 スリープモード

22.4.1 スリープモードへの遷移

STBCR1 の STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。ただし、バスを解放している ($\overline{\text{BREQ}}$ 端子にローレベルを入力) 間はスリープモードに遷移できません。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。

22.4.2 スリープモードの解除

スリープモードは、リセットにより解除されます。
割り込みによるスリープモードの解除は行わないでください。

(1) リセットによる解除

$\overline{\text{RES}}$ 端子によるパワーオンリセット、 $\overline{\text{MRES}}$ 端子によるマニュアルリセット、WDT による内部パワーオンリセット / 内部マニュアルリセットにより、スリープモードは解除されます。

22.5 ソフトウェアスタンバイモード

22.5.1 ソフトウェアスタンバイモードへの遷移

STBCR1 の STBY ビットが 1、かつ STBCR6 の STBYMD ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ただし、バスを解放している ($\overline{\text{BREQ}}$ 端子にローレベルを入力) 間は、ソフトウェアスタンバイモードに遷移できません。また、DTC を停止させてから SLEEP 命令を実行してください。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。

CPU のレジスタ内容と内蔵 RAM のデータは保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタの状態については、「23.3 各動作モードにおけるレジスタの状態」を参照してください。ソフトウェアスタンバイモード時の端子状態については、「付録 A. 端子状態」を参照してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイマカウンタ (WTCNT) を0にセットし、WTCSRレジスタのCKS2~CKS0ビットに、指定された発振安定時間になるように、値を設定します。
3. DTCを動作させている場合、DTCを停止させます。
4. バスを解放している ($\overline{\text{BREQ}}$ 端子にローレベルを入力) 場合、バスを獲得します ($\overline{\text{BREQ}}$ 端子にハイレベルを入力)。
5. STBCR1のSTBYビットに1、STBCR6のSTBYMDビットに1を設定した後、SLEEP命令を実行させます。
6. ソフトウェアスタンバイモードに入り、LSI内部のクロックが停止します。

22.5.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ)、リセットにより、解除されます。

(1) 割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRQ 割り込み (エッジ検出) が検出されると、WDT のタイマコントロール / ステータスレジスタに設定されている時間が経過した後、LSI 全体にクロックが供給され、ソフトウェアスタンバイモードが解除されます。この後、割り込み例外処理が実行されます。

ただし、IRQ については、その割り込み優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合には、割り込み要求は受け付けられず、ソフトウェアスタンバイモードは解除されません。

なお、NMI 端子を立ち下がりエッジ検出に設定した場合、ソフトウェアスタンバイモード遷移前に NMI 端子をハイレベルにしてください。NMI 端子を立ち上がりエッジ検出に設定した場合、ソフトウェアスタンバイモード遷移前に NMI 端子をローレベルにしてください。

同様に、IRQ 端子を立ち下がりエッジ検出に設定した場合、ソフトウェアスタンバイモード遷移前に IRQ 端子をハイレベルにしてください。IRQ 端子を立ち上がりエッジ検出に設定した場合、ソフトウェアスタンバイモード遷移前に IRQ 端子をローレベルにしてください。

(2) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子によるパワーオンリセットにより、ソフトウェアスタンバイモードは解除されます。 $\overline{\text{RES}}$ 端子はクロックの発振が安定するまで、ローレベルを保持してください。

22.6 ディープソフトウェアスタンバイモード

22.6.1 ディープソフトウェアスタンバイモードへの遷移

STBCR1 の STBY ビットが 1、かつ STBCR6 の STBYMD ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からディープソフトウェアスタンバイモードに遷移します。ただし、バスを解放している ($\overline{\text{BREQ}}$ 端子にローレベルを入力) 間は、ディープソフトウェアスタンバイモードに遷移できません。また、DTC を停止させてから SLEEP 命令を実行してください。ディープソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止し、さらに本 LSI の内部電源を遮断します。

CPU のレジスタ内容と内蔵 RAM のデータは不定となります。内蔵周辺モジュールのレジスタも初期化されません。ディープソフトウェアスタンバイモード時の端子状態については、「付録 A. 端子状態」を参照してください。

ディープソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイムコントロールレジスタ (WTCSR) の TME ビットを 0 にし、WDT を停止させます。
2. DTC を動作させている場合、DTC を停止させます。
3. バスを解放している ($\overline{\text{BREQ}}$ 端子にローレベルを入力) 場合、バスを獲得します ($\overline{\text{BREQ}}$ 端子にハイレベルを入力)。
4. STBCR1 の STBY ビットに 1、STBCR6 の STBYMD ビットに 0 を設定した後、SLEEP 命令を実行させます。
5. ディープソフトウェアスタンバイモードに入り、LSI 内部のクロックが停止し、本 LSI の内部電源を遮断します。

22.6.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、 $\overline{\text{RES}}$ 端子によるパワーオンリセットにより解除されます。 $\overline{\text{RES}}$ 端子はクロックの発振が安定するまで、ローレベルを保持してください。

22.7 モジュールスタンバイ機能

22.7.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタ 2~5 (STBCR2~5) の各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時の消費電力を低減させることができます。

モジュールスタンバイモードに設定された周辺モジュールのレジスタはアクセスしないでください。また、モジュールスタンバイモード時の周辺モジュールのレジスタの状態については、「23.3 各動作モードにおけるレジスタの状態」を参照してください。

22.7.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、STBCR2~5 の各 MSTP ビットを 0 にクリアすることにより行います。MSTP ビットの初期値が 0 のモジュールについてはパワーオンリセットにより行うこともできます。

22.8 使用上の注意事項

22.8.1 発振安定待機中の消費電流

発振安定待機中は、消費電流が増加します。

22.8.2 SLEEP 命令実行時

SLEEP 命令実行によるスリープモードもしくはソフトウェアスタンバイモードに遷移を行う場合は下記対策のどちらかを実施してください。

対策 A. SLEEP 命令実行前に DTC の動作停止および内蔵周辺モジュールからの割り込み、IRQ 割り込み、NMI 割り込みを発生させないようにしてから、SLEEP 命令を実行してください。

対策 B. SLEEP 命令実行前に FRQCR の値を初期値である H'36DB に書き換え、FRQCR を 2 回ダミーリードしてから、SLEEP 命令を実行してください。

23. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- リザーブアドレスは、レジスタ名称部を「 - 」で表記しています。
リザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. ビット構成一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「 - 」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モード別レジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

23.1 レジスタアドレス一覧（アドレス順）

アクセスサイズは、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

ただし、B:8 ビットアクセス時、W:16 ビットアクセス時、L:32 ビットアクセス時の値です。

【注】 未定義・リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数	接続バス幅
シリアルモードレジスタ_0	SCSMR_0	8	H'FFFFFFC00	SCI (チャンネル0)	8	P 基準 B:2	16ビット
ビットレートレジスタ_0	SCBRR_0	8	H'FFFFFFC02				
シリアルコントロールレジスタ_0	SCSCR_0	8	H'FFFFFFC04				
トランスミットデータレジスタ_0	SCTDR_0	8	H'FFFFFFC06				
シリアルステータスレジスタ_0	SCSSR_0	8	H'FFFFFFC08				
レシーブデータレジスタ_0	SCRDR_0	8	H'FFFFFFC0A				
シリアルディレクションコントロールレジスタ_0	SCSDCR_0	8	H'FFFFFFC0C				
シリアルポートレジスタ_0	SCSPTR_0	8	H'FFFFFFC0E				
シリアルモードレジスタ_1	SCSMR_1	8	H'FFFFFFC80	SCI (チャンネル1)	8	P 基準 B:2	16ビット
ビットレートレジスタ_1	SCBRR_1	8	H'FFFFFFC82				
シリアルコントロールレジスタ_1	SCSCR_1	8	H'FFFFFFC84				
トランスミットデータレジスタ_1	SCTDR_1	8	H'FFFFFFC86				
シリアルステータスレジスタ_1	SCSSR_1	8	H'FFFFFFC88				
レシーブデータレジスタ_1	SCRDR_1	8	H'FFFFFFC8A				
シリアルディレクションコントロールレジスタ_1	SCSDCR_1	8	H'FFFFFFC8C				
シリアルポートレジスタ_1	SCSPTR_1	8	H'FFFFFFC8E				
シリアルモードレジスタ_2	SCSMR_2	8	H'FFFFFF100	SCI (チャンネル2)	8	P 基準 B:2	16ビット
ビットレートレジスタ_2	SCBRR_2	8	H'FFFFFF102				
シリアルコントロールレジスタ_2	SCSCR_2	8	H'FFFFFF104				
トランスミットデータレジスタ_2	SCTDR_2	8	H'FFFFFF106				
シリアルステータスレジスタ_2	SCSSR_2	8	H'FFFFFF108				
レシーブデータレジスタ_2	SCRDR_2	8	H'FFFFFF10A				
シリアルディレクションコントロールレジスタ_2	SCSDCR_2	8	H'FFFFFF10C				
シリアルポートレジスタ_2	SCSPTR_2	8	H'FFFFFF10E				
タイマコントロールレジスタ_3	TCR_3	8	H'FFFFFF200	MTU2	8、16、32	MP 基準 B:2、W:2、L:4	16ビット
タイマコントロールレジスタ_4	TCR_4	8	H'FFFFFF201		8		
タイマモードレジスタ_3	TMDR_3	8	H'FFFFFF202		8、16		
タイマモードレジスタ_4	TMDR_4	8	H'FFFFFF203		8		
タイマI/Oコントロールレジスタ_H3	TIORH_3	8	H'FFFFFF204		8、16、32		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数	接続バス幅
タイマI/OコントロールレジスタL_3	TIORL_3	8	H'FFFFFFC205	MTU2	8	MP 基準 B:2、W:2、L:4	16ビット
タイマI/OコントロールレジスタH_4	TIORH_4	8	H'FFFFFFC206		8、16		
タイマI/OコントロールレジスタL_4	TIORL_4	8	H'FFFFFFC207		8		
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFFFFC208		8、16		
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFFFFFC209		8		
タイマアウトプットマスタイネーブルレジスタ	TOER	8	H'FFFFFFC20A		8		
タイマゲートコントロールレジスタ	TGCR	8	H'FFFFFFC20D		8		
タイマアウトプットコントロールレジスタ1	TOCR1	8	H'FFFFFFC20E		8、16		
タイマアウトプットコントロールレジスタ2	TOCR2	8	H'FFFFFFC20F		8		
タイマカウンタ_3	TCNT_3	16	H'FFFFFFC210		16、32		
タイマカウンタ_4	TCNT_4	16	H'FFFFFFC212		16		
タイマ周期データレジスタ	TCDR	16	H'FFFFFFC214		16、32		
タイマデッドタイムデータレジスタ	TDDR	16	H'FFFFFFC216		16		
タイマジェネラルレジスタA_3	TGRA_3	16	H'FFFFFFC218		16、32		
タイマジェネラルレジスタB_3	TGRB_3	16	H'FFFFFFC21A		16		
タイマジェネラルレジスタA_4	TGRA_4	16	H'FFFFFFC21C		16、32		
タイマジェネラルレジスタB_4	TGRB_4	16	H'FFFFFFC21E		16		
タイマサブカウンタ	TCNTS	16	H'FFFFFFC220		16、32		
タイマ周期バッファレジスタ	TCBR	16	H'FFFFFFC222		16		
タイマジェネラルレジスタC_3	TGRC_3	16	H'FFFFFFC224		16、32		
タイマジェネラルレジスタD_3	TGRD_3	16	H'FFFFFFC226		16		
タイマジェネラルレジスタC_4	TGRC_4	16	H'FFFFFFC228		16、32		
タイマジェネラルレジスタD_4	TGRD_4	16	H'FFFFFFC22A		16		
タイマステータスレジスタ_3	TSR_3	8	H'FFFFFFC22C		8、16		
タイマステータスレジスタ_4	TSR_4	8	H'FFFFFFC22D		8		
タイマ割り込み間引き設定レジスタ	TITCR	8	H'FFFFFFC230		8、16		
タイマ割り込み間引き回数カウンタ	TITCNT	8	H'FFFFFFC231		8		
タイマバッファ転送設定レジスタ	TBTER	8	H'FFFFFFC232		8		
タイマデッドタイムイネーブルレジスタ	TDER	8	H'FFFFFFC234		8		
タイマアウトプットレベルバッファレジスタ	TOLBR	8	H'FFFFFFC236		8		
タイマバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FFFFFFC238		8、16		
タイマバッファ動作転送モードレジスタ_4	TBTM_4	8	H'FFFFFFC239		8		
タイマA/D変換開始要求コントロールレジスタ	TADCR	16	H'FFFFFFC240	16			
タイマA/D変換開始要求周期設定レジスタA_4	TADCORA_4	16	H'FFFFFFC244	16、32			
タイマA/D変換開始要求周期設定レジスタB_4	TADCORB_4	16	H'FFFFFFC246	16			

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数	接続 バス幅
タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	16	H'FFFFFF248	MTU2	16、32	MP 基準 B:2、W:2、L:4	16 ビット
タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	16	H'FFFFFF24A		16		
タイマ波形コントロールレジスタ	TWCR	8	H'FFFFFF260		8		
タイマスタートレジスタ	TSTR	8	H'FFFFFF280		8、16		
タイマシンクロレジスタ	TSYR	8	H'FFFFFF281		8		
タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	H'FFFFFF282		8		
タイマリードライトイネーブルレジスタ	TRWER	8	H'FFFFFF284		8		
タイマコントロールレジスタ_0	TCR_0	8	H'FFFFFF300		8、16、32		
タイマモードレジスタ_0	TMDR_0	8	H'FFFFFF301		8		
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFFFF302		8、16		
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFFFF303		8		
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFFFF304		8、16、32		
タイマステータスレジスタ_0	TSR_0	8	H'FFFFFF305		8		
タイマカウンタ_0	TCNT_0	16	H'FFFFFF306		16		
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFFFF308		16、32		
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFFFF30A		16		
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFFFF30C		16、32		
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFFFF30E		16		
タイマジェネラルレジスタ E_0	TGRE_0	16	H'FFFFFF320		16、32		
タイマジェネラルレジスタ F_0	TGRF_0	16	H'FFFFFF322		16		
タイマインタラプトイネーブルレジスタ 2_0	TIER2_0	8	H'FFFFFF324		8、16		
タイマステータスレジスタ 2_0	TSR2_0	8	H'FFFFFF325		8		
タイマバッファ動作転送モードレジスタ_0	TBTM_0	8	H'FFFFFF326		8		
タイマコントロールレジスタ_1	TCR_1	8	H'FFFFFF380		8、16		
タイマモードレジスタ_1	TMDR_1	8	H'FFFFFF381		8		
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFFFFF382		8		
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFFFF384		8、16、32		
タイマステータスレジスタ_1	TSR_1	8	H'FFFFFF385		8		
タイマカウンタ_1	TCNT_1	16	H'FFFFFF386		16		
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFFFF388		16、32		
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFFFF38A		16		
タイマインプットキャプチャコントロール レジスタ	TICCR	8	H'FFFFFF390		8		
タイマコントロールレジスタ_2	TCR_2	8	H'FFFFFF400	8、16			
タイマモードレジスタ_2	TMDR_2	8	H'FFFFFF401	8			

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセス状態数	接続バス幅
タイマI/Oコントロールレジスタ_2	TIOR_2	8	H'FFFFFFC02	MTU2	8	MP 基準 B:2、W:2、L:4	16ビット
タイマインタラプティネーブルレジスタ_2	TIER_2	8	H'FFFFFFC04		8、16、32		
タイマステータスレジスタ_2	TSR_2	8	H'FFFFFFC05		8		
タイマカウンタ_2	TCNT_2	16	H'FFFFFFC06		16		
タイマジェネラルレジスタA_2	TGRA_2	16	H'FFFFFFC08		16、32		
タイマジェネラルレジスタB_2	TGRB_2	16	H'FFFFFFC0A		16		
タイマカウンタU_5	TCNTU_5	16	H'FFFFFFC40		16、32		
タイマジェネラルレジスタU_5	TGRU_5	16	H'FFFFFFC42		16		
タイマコントロールレジスタU_5	TCRU_5	8	H'FFFFFFC44		8		
タイマI/OコントロールレジスタU_5	TIORU_5	8	H'FFFFFFC46		8		
タイマカウンタV_5	TCNTV_5	16	H'FFFFFFC48		16、32		
タイマジェネラルレジスタV_5	TGRV_5	16	H'FFFFFFC4A		16		
タイマコントロールレジスタV_5	TCRV_5	8	H'FFFFFFC4C		8		
タイマI/OコントロールレジスタV_5	TIORV_5	8	H'FFFFFFC4E		8		
タイマカウンタW_5	TCNTW_5	16	H'FFFFFFC50		16、32		
タイマジェネラルレジスタW_5	TGRW_5	16	H'FFFFFFC52		16		
タイマコントロールレジスタW_5	TCRW_5	8	H'FFFFFFC54		8		
タイマI/OコントロールレジスタW_5	TIORW_5	8	H'FFFFFFC56		8		
タイマステータスレジスタ_5	TSR_5	8	H'FFFFFFC40		8		
タイマインタラプティネーブルレジスタ_5	TIER_5	8	H'FFFFFFC42		8		
タイマスタートレジスタ_5	TSTR_5	8	H'FFFFFFC44	8			
タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	H'FFFFFFC46	8			
タイマコントロールレジスタ_3S	TCR_3S	8	H'FFFFFF600	MTU2S	8、16、32	MI 基準 B:2、W:2、L:4	16ビット
タイマコントロールレジスタ_4S	TCR_4S	8	H'FFFFFF601		8		
タイマモードレジスタ_3S	TMDR_3S	8	H'FFFFFF602		8、16		
タイマモードレジスタ_4S	TMDR_4S	8	H'FFFFFF603		8		
タイマI/OコントロールレジスタH_3S	TIORH_3S	8	H'FFFFFF604		8、16、32		
タイマI/OコントロールレジスタL_3S	TIORL_3S	8	H'FFFFFF605		8		
タイマI/OコントロールレジスタH_4S	TIORH_4S	8	H'FFFFFF606		8、16		
タイマI/OコントロールレジスタL_4S	TIORL_4S	8	H'FFFFFF607		8		
タイマインタラプティネーブルレジスタ_3S	TIER_3S	8	H'FFFFFF608		8、16		
タイマインタラプティネーブルレジスタ_4S	TIER_4S	8	H'FFFFFF609		8		
タイマアウトプットマスタイネーブルレジスタS	TOERS	8	H'FFFFFF60A		8		
タイマゲートコントロールレジスタS	TGCRS	8	H'FFFFFF60D		8		
タイマアウトプットコントロールレジスタ1S	TOCR1S	8	H'FFFFFF60E		8、16		
タイマアウトプットコントロールレジスタ2S	TOCR2S	8	H'FFFFFF60F		8		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数	接続バス幅
タイマカウンタ_3S	TCNT_3S	16	H'FFFFFF610	MTU2S	16、32	MI 基準 B:2、W:2、L:4	16ビット
タイマカウンタ_4S	TCNT_4S	16	H'FFFFFF612		16		
タイマ周期データレジスタ S	TCDRS	16	H'FFFFFF614		16、32		
タイマデッドタイムデータレジスタ S	TDDRS	16	H'FFFFFF616		16		
タイマジェネラルレジスタ A_3S	TGRA_3S	16	H'FFFFFF618		16、32		
タイマジェネラルレジスタ B_3S	TGRB_3S	16	H'FFFFFF61A		16		
タイマジェネラルレジスタ A_4S	TGRA_4S	16	H'FFFFFF61C		16、32		
タイマジェネラルレジスタ B_4S	TGRB_4S	16	H'FFFFFF61E		16		
タイマサブカウンタ S	TCNTSS	16	H'FFFFFF620		16、32		
タイマ周期バッファレジスタ S	TCBRS	16	H'FFFFFF622		16		
タイマジェネラルレジスタ C_3S	TGRC_3S	16	H'FFFFFF624		16、32		
タイマジェネラルレジスタ D_3S	TGRD_3S	16	H'FFFFFF626		16		
タイマジェネラルレジスタ C_4S	TGRC_4S	16	H'FFFFFF628		16、32		
タイマジェネラルレジスタ D_4S	TGRD_4S	16	H'FFFFFF62A		16		
タイマステータスレジスタ_3S	TSR_3S	8	H'FFFFFF62C		8、16		
タイマステータスレジスタ_4S	TSR_4S	8	H'FFFFFF62D		8		
タイマ割り込み間引き設定レジスタ S	TITCRS	8	H'FFFFFF630		8、16		
タイマ割り込み間引き回数カウンタ S	TITCNTS	8	H'FFFFFF631		8		
タイマバッファ転送設定レジスタ S	TBTERS	8	H'FFFFFF632		8		
タイマデッドタイムイネーブルレジスタ S	TDERS	8	H'FFFFFF634		8		
タイマアウトプットレベルバッファレジスタ S	TOLBRS	8	H'FFFFFF636		8		
タイマバッファ動作転送モードレジスタ_3S	TBTM_3S	8	H'FFFFFF638		8、16		
タイマバッファ動作転送モードレジスタ_4S	TBTM_4S	8	H'FFFFFF639		8		
タイマ A/D 変換開始要求コントロールレジスタ S	TADCRS	16	H'FFFFFF640		16		
タイマ A/D 変換開始要求周期設定レジスタ A_4S	TADCORA_4S	16	H'FFFFFF644		16、32		
タイマ A/D 変換開始要求周期設定レジスタ B_4S	TADCORB_4S	16	H'FFFFFF646		16		
タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4S	TADCOBRA_4S	16	H'FFFFFF648		16、32		
タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4S	TADCOBRB_4S	16	H'FFFFFF64A		16		
タイマシンクロクリアレジスタ S	TSYCRS	8	H'FFFFFF650		8		
タイマ波形コントロールレジスタ S	TWCRS	8	H'FFFFFF660		8		
タイマスタートレジスタ S	TSTRS	8	H'FFFFFF680	8、16			
タイマシンクロレジスタ S	TSYRS	8	H'FFFFFF681	8			
タイマリードライトイネーブルレジスタ S	TRWERS	8	H'FFFFFF684	8			
タイマカウンタ U_5S	TCNTU_5S	16	H'FFFFFF880	16、32			
タイマジェネラルレジスタ U_5S	TGRU_5S	16	H'FFFFFF882	16			

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数	接続バス幅
タイマコントロールレジスタ U_5S	TCRU_5S	8	H'FFFFFFC884	MTU2S	8	MI 基準 B:2、W:2、L:4	16 ビット
タイマ I/O コントロールレジスタ U_5S	TIORU_5S	8	H'FFFFFFC886		8		
タイマカウンタ V_5S	TCNTV_5S	16	H'FFFFFFC890		16、32		
タイマジェネラルレジスタ V_5S	TGRV_5S	16	H'FFFFFFC892		16		
タイマコントロールレジスタ V_5S	TCRV_5S	8	H'FFFFFFC894		8		
タイマ I/O コントロールレジスタ V_5S	TIORV_5S	8	H'FFFFFFC896		8		
タイマカウンタ W_5S	TCNTW_5S	16	H'FFFFFFC8A0		16、32		
タイマジェネラルレジスタ W_5S	TGRW_5S	16	H'FFFFFFC8A2		16		
タイマコントロールレジスタ W_5S	TCRW_5S	8	H'FFFFFFC8A4		8		
タイマ I/O コントロールレジスタ W_5S	TIORW_5S	8	H'FFFFFFC8A6		8		
タイマステータスレジスタ_5S	TSR_5S	8	H'FFFFFFC8B0		8		
タイマインタラプトイネーブルレジスタ_5S	TIER_5S	8	H'FFFFFFC8B2		8		
タイマスタートレジスタ_5S	TSTR_5S	8	H'FFFFFFC8B4		8		
タイマコンペアマッチクリアレジスタ S	TCNTCMPCLRS	8	H'FFFFFFC8B6		8		
A/D データレジスタ 0	ADDR0	16	H'FFFFFFC900	A/D (チャンネル 0)	16	P 基準 B:2、W:2	16 ビット
A/D データレジスタ 2	ADDR2	16	H'FFFFFFC904		16		
A/D コントロール / ステータスレジスタ_0	ADCSR_0	16	H'FFFFFFC910		16		
A/D コントロールレジスタ_0	ADCR_0	16	H'FFFFFFC912		16		
A/D データレジスタ 4	ADDR4	16	H'FFFFFFC980	A/D (チャンネル 1)	16	P 基準 B:2、W:2	16 ビット
A/D データレジスタ 6	ADDR6	16	H'FFFFFFC984		16		
A/D コントロール / ステータスレジスタ_1	ADCSR_1	16	H'FFFFFFC990		16		
A/D コントロールレジスタ_1	ADCR_1	16	H'FFFFFFC992		16		
A/D データレジスタ 8	ADDR8	16	H'FFFFFFCA00	A/D (チャンネル 2)	16	P 基準 B:2、W:2	16 ビット
A/D データレジスタ 9	ADDR9	16	H'FFFFFFCA02		16		
A/D データレジスタ 10	ADDR10	16	H'FFFFFFCA04		16		
A/D データレジスタ 11	ADDR11	16	H'FFFFFFCA06		16		
A/D データレジスタ 12	ADDR12	16	H'FFFFFFCA08		16		
A/D データレジスタ 13	ADDR13	16	H'FFFFFFCA0A		16		
A/D データレジスタ 14	ADDR14	16	H'FFFFFFCA0C		16		
A/D データレジスタ 15	ADDR15	16	H'FFFFFFCA0E		16		
A/D コントロール / ステータスレジスタ_2	ADCSR_2	16	H'FFFFFFCA10		16		
A/D コントロールレジスタ_2	ADCR_2	16	H'FFFFFFCA12		16		
フラッシュコードコントロール / ステータスレジスタ	FCCS	8	H'FFFFFFC000	FLASH (F-ZTAT 版のみ)	8	P 基準 B:5	16 ビット
フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'FFFFFFC001		8		
フラッシュイレースコードセレクトレジスタ	FECS	8	H'FFFFFFC002		8		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数	接続バス幅			
フラッシュキーコードレジスタ	FKEY	8	H'FFFFCC04	FLASH (F-ZTAT版のみ)	8	P 基準 B:5	16ビット			
フラッシュマツセレクトレジスタ	FMATS	8	H'FFFFCC05		8					
フラッシュトランスファデスティネーションアドレスレジスタ	FTDAR	8	H'FFFFCC06		8					
DTC イネーブルレジスタ A	DTCERA	16	H'FFFFCC80	DTC (F-ZTAT版のみ)	8、16	P 基準 B:2、W:2、L:4	16ビット			
DTC イネーブルレジスタ B	DTCERB	16	H'FFFFCC82		8、16					
DTC イネーブルレジスタ C	DTCERC	16	H'FFFFCC84		8、16					
DTC イネーブルレジスタ D	DTCERD	16	H'FFFFCC86		8、16					
DTC イネーブルレジスタ E	DTCERE	16	H'FFFFCC88		8、16					
DTC コントロールレジスタ	DTCCR	8	H'FFFFCC90		8					
DTC ベクタベースレジスタ	DTCVBR	32	H'FFFFCC94		8、16、32					
コンペアマッチタイマスタートレジスタ	CMSTR	16	H'FFFFCE00	CMT	8、16、32	P 基準 B:2、W:2、L:4	16ビット			
コンペアマッチタイマコントロール / ステータスレジスタ_0	CMCSR_0	16	H'FFFFCE02		8、16					
コンペアマッチカウンタ_0	CMCNT_0	16	H'FFFFCE04		8、16、32					
コンペアマッチコンスタントレジスタ_0	CMCOR_0	16	H'FFFFCE06		8、16					
コンペアマッチタイマコントロール / ステータスレジスタ_1	CMCSR_1	16	H'FFFFCE08		8、16、32					
コンペアマッチカウンタ_1	CMCNT_1	16	H'FFFFCE0A		8、16					
コンペアマッチコンスタントレジスタ_1	CMCOR_1	16	H'FFFFCE0C		8、16、32					
入力レベルコントロール / ステータスレジスタ 1	ICSR1	16	H'FFFFD000	POE	8、16、32	P 基準 B:2、W:2、L:4	16ビット			
出力レベルコントロール / ステータスレジスタ 1	OCSR1	16	H'FFFFD002		8、16					
入力レベルコントロール / ステータスレジスタ 2	ICSR2	16	H'FFFFD004		8、16、32					
出力レベルコントロール / ステータスレジスタ 2	OCSR2	16	H'FFFFD006		8、16					
入力レベルコントロール / ステータスレジスタ 3	ICSR3	16	H'FFFFD008		8、16					
ソフトウェアポートアウトブットイネーブルレジスタ	SPOER	8	H'FFFFD00A		8					
ポートアウトブットイネーブルコントロールレジスタ 1	POECR1	8	H'FFFFD00B		8					
ポートアウトブットイネーブルコントロールレジスタ 2	POECR2	16	H'FFFFD00C		8、16					
ポート A データレジスタ L	PADRL	16	H'FFFFD102		I/O PFC			8、16	P 基準 B:2、W:2、L:4	16ビット
ポート A・IO レジスタ L	PAIORL	16	H'FFFFD106					8、16		
ポート A コントロールレジスタ L4	PACRL4	16	H'FFFFD110	8、16、32						
ポート A コントロールレジスタ L3	PACRL3	16	H'FFFFD112	8、16						
ポート A コントロールレジスタ L2	PACRL2	16	H'FFFFD114	8、16、32						
ポート A コントロールレジスタ L1	PACRL1	16	H'FFFFD116	8、16						

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセス状態数	接続バス幅	
ポートA ポートレジスタL	PAPRL	16	H'FFFFD11E	I/O	8、16	P 基準 B:2、W:2、L:4	16ビット	
ポートB データレジスタH	PBDRH	16	H'FFFFD180		8、16、32			
ポートB データレジスタL	PBDRL	16	H'FFFFD182		8、16			
ポートB・IO レジスタH	PBIORH	16	H'FFFFD184	PFC	8、16、32			
ポートB・IO レジスタL	PBIORL	16	H'FFFFD186		8、16			
ポートB コントロールレジスタH1	PBCRH1	16	H'FFFFD18E		8、16			
ポートB コントロールレジスタL2	PBCRL2	16	H'FFFFD194		8、16、32			
ポートB コントロールレジスタL1	PBCRL1	16	H'FFFFD196		8、16			
ポートB ポートレジスタH	PBPRH	16	H'FFFFD19C		I/O			8、16、32
ポートB ポートレジスタL	PBPRL	16	H'FFFFD19E					8、16
ポートD データレジスタL*	PDDRL	16	H'FFFFD282	8、16				
ポートD・IO レジスタL*	PDIORL	16	H'FFFFD286	PFC	8、16			
ポートD コントロールレジスタL4*	PDCRL4	16	H'FFFFD290		8、16、32			
ポートD コントロールレジスタL3*	PDCRL3	16	H'FFFFD292		8、16			
ポートD コントロールレジスタL2*	PDCRL2	16	H'FFFFD294		8、16、32			
ポートD コントロールレジスタL1*	PDCRL1	16	H'FFFFD296		8、16			
ポートD ポートレジスタL*	PDPRL	16	H'FFFFD29E		I/O	8、16		
ポートE データレジスタH	PEDRH	16	H'FFFFD300	8、16、32				
ポートE データレジスタL	PEDRL	16	H'FFFFD302	8、16				
ポートE・IO レジスタH	PEIORH	16	H'FFFFD304	PFC	8、16、32			
ポートE・IO レジスタL	PEIORL	16	H'FFFFD306		8、16			
ポートE コントロールレジスタH2	PECRH2	16	H'FFFFD30C		8、16、32			
ポートE コントロールレジスタH1	PECRH1	16	H'FFFFD30E		8、16			
ポートE コントロールレジスタL4	PECRL4	16	H'FFFFD310		8、16、32			
ポートE コントロールレジスタL3	PECRL3	16	H'FFFFD312		8、16			
ポートE コントロールレジスタL2	PECRL2	16	H'FFFFD314		8、16、32			
ポートE コントロールレジスタL1	PECRL1	16	H'FFFFD316		8、16			
ポートE ポートレジスタH	PEPRH	16	H'FFFFD31C		I/O	8、16、32		
ポートE ポートレジスタL	PEPRL	16	H'FFFFD31E			8、16		
IRQOUT 機能コントロールレジスタ	IFCR	16	H'FFFFD322	PFC	8、16			
ポートF データレジスタL	PFDRL	16	H'FFFFD382	I/O	8、16			
周波数制御レジスタ	FRQCR	16	H'FFFFE800	CPG	16	P 基準 W:2	16ビット	
スタンバイコントロールレジスタ1	STBCR1	8	H'FFFFE802	低消費電力	8	P 基準 B:2	16ビット	
スタンバイコントロールレジスタ2	STBCR2	8	H'FFFFE804		8			
スタンバイコントロールレジスタ3	STBCR3	8	H'FFFFE806		8			

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数	接続バス幅
スタンバイコントロールレジスタ4	STBCR4	8	H'FFFFFFE808	低消費電力	8	P 基準 B:2	16ビット
スタンバイコントロールレジスタ5	STBCR5	8	H'FFFFFFE80A		8		
スタンバイコントロールレジスタ6	STBCR6	8	H'FFFFFFE80C		8		
ウォッチドッグタイマカウンタ	WTCNT	8	H'FFFFFFE810	WDT	8 ^{*1} 、16 ^{*2}	P 基準 B:2 ^{*1} 、W:2 ^{*2}	16ビット
ウォッチドッグタイマコントロール /ステータスレジスタ	WTCSR	8	H'FFFFFFE812		*1: リード時 *2: ライト時		
発振停止検出制御レジスタ	OSCCR	8	H'FFFFFFE814	CPG	8	P 基準 B:2	16ビット
RAM コントロールレジスタ	RAMCR	8	H'FFFFFFE880	低消費電力	8	P 基準 B:2	16ビット
A/D トリガセレクトレジスタ0	ADTSR_0	16	H'FFFFFFE890	A/D	8、16	P 基準 B:2、W:2	16ビット
A/D トリガセレクトレジスタ1	ADTSR_1	16	H'FFFFFFE892		8、16		
バス機能拡張レジスタ	BSCCHR	16	H'FFFFFFE89A	BSC	8、16	P 基準 B:2、W:2	16ビット
割り込みコントロールレジスタ0	ICR0	16	H'FFFFFFE900	INTC	8、16	P 基準 B:2、W:2	16ビット
IRQ コントロールレジスタ	IRQCR	16	H'FFFFFFE902		8、16		
IRQ ステータスレジスタ	IRQSR	16	H'FFFFFFE904		8、16		
インタラプトプライオリティレジスタA	IPRA	16	H'FFFFFFE906		8、16		
インタラプトプライオリティレジスタD	IPRD	16	H'FFFFFFE982		16		
インタラプトプライオリティレジスタE	IPRE	16	H'FFFFFFE984		16		
インタラプトプライオリティレジスタF	IPRF	16	H'FFFFFFE986		16		
インタラプトプライオリティレジスタH	IPRH	16	H'FFFFFFE98A		16		
インタラプトプライオリティレジスタI	IPRI	16	H'FFFFFFE98C		16		
インタラプトプライオリティレジスタJ	IPRJ	16	H'FFFFFFE98E		16		
インタラプトプライオリティレジスタK	IPRK	16	H'FFFFFFE990		16		
インタラプトプライオリティレジスタL	IPRL	16	H'FFFFFFE992		16		
共通コントロールレジスタ	CMNCR	32	H'FFFFFFF000		BSC		
CS0 空間バスコントロールレジスタ	CS0BCR	32	H'FFFFFFF004	32			
CS1 空間バスコントロールレジスタ	CS1BCR	32	H'FFFFFFF008	32			
CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'FFFFFFF028	32			
CS1 空間ウェイトコントロールレジスタ	CS1WCR	32	H'FFFFFFF02C	32			
RAM エミュレーションレジスタ	RAMER	16	H'FFFFFFF108	FLASH (F-ZTAT 版のみ)	16	B 基準 W:2	16ビット
ブ레이크アドレスレジスタA	BARA	32	H'FFFFFFF300	UBC	32	B 基準 B:2、W:2、L:2	16ビット
ブ레이크アドレスマスクレジスタA	BAMRA	32	H'FFFFFFF304		32		
ブ레이크バスサイクルレジスタA	BBRA	16	H'FFFFFFF308		16		

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数	接続 バス幅
ブ레이크データレジスタ A ^{*2}	BDRA	32	H'FFFFFF310	UBC	32	B 基準 B:2、W:2、L:2	16ビット
ブ레이크データマスクレジスタ A ^{*2}	BDMRA	32	H'FFFFFF314		32		
ブ레이크アドレスレジスタ B	BARB	32	H'FFFFFF320		32		
ブ레이크アドレスマスクレジスタ B	BAMRB	32	H'FFFFFF324		32		
ブ레이크バスサイクルレジスタ B	BBRB	16	H'FFFFFF328		16		
ブ레이크データレジスタ B ^{*2}	BDRB	32	H'FFFFFF330		32		
ブ레이크データマスクレジスタ B ^{*2}	BDMRB	32	H'FFFFFF334		32		
ブ레이크コントロールレジスタ	BRCR	32	H'FFFFFF3C0		32		
ブランチソースレジスタ ^{*2}	BRSR	32	H'FFFFFF3D0		32		
ブランチデスティネーションレジスタ ^{*2}	BRDR	32	H'FFFFFF3D4		32		
実行回数ブ레이크レジスタ ^{*2}	BETR	16	H'FFFFFF3DC		16		

【注】 *1 SH7149 のみ。

*2 F-ZTAT 版のみ。

23.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SCSMR_0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS[1:0]		SCI (チャンネル 0)
SCBRR_0									
SCSCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
SCTDR_0									
SCSSR_0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SCRDR_0									
SCSDCR_0	-	-	-	-	DIR	-	-	-	
SCSPTR_0	EIO	-	-	-	SPB1IO	SPB1DT	SPB0IO	SPB0DT	
SCSMR_1	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS[1:0]		SCI (チャンネル 1)
SCBRR_1									
SCSCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
SCTDR_1									
SCSSR_1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SCRDR_1									
SCSDCR_1	-	-	-	-	DIR	-	-	-	
SCSPTR_1	EIO	-	-	-	SPB1IO	SPB1DT	SPB0IO	SPB0DT	
SCSMR_2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS[1:0]		SCI (チャンネル 2)
SCBRR_2									
SCSCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
SCTDR_2									
SCSSR_2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SCRDR_2									
SCSDCR_2	-	-	-	-	DIR	-	-	-	
SCSPTR_2	EIO	-	-	-	SPB1IO	SPB1DT	SPB0IO	SPB0DT	
TCR_3	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			MTU2
TCR_4	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
TMDR_3	-	-	BFB	BFA	MD[3:0]				
TMDR_4	-	-	BFB	BFA	MD[3:0]				
TIORH_3	IOB[3:0]				IOA[3:0]				
TIORL_3	IOD[3:0]				IOC[3:0]				
TIORH_4	IOB[3:0]				IOA[3:0]				
TIORL_4	IOD[3:0]				IOC[3:0]				

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	MTU2
TIER_4	TTGE	TTGE2	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TOER	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B	
TGCR	-	BDC	N	P	FB	WF	VF	UF	
TOCR1	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP	
TOCR2	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
TCNT_3									
TCNT_4									
TCDR									
TDDR									
TGRA_3									
TGRB_3									
TGRA_4									
TGRB_4									
TCNTS									
TGBR									
TGRC_3									
TGRD_3									
TGRC_4									
TGRD_4									
TSR_3	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TSR_4	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TITCR	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]			MTU2
TITCNT	-	3ACNT[2:0]			-	4VCNT[2:0]			
TBTER	-	-	-	-	-	-	BTE[1:0]		
TDER	-	-	-	-	-	-	-	TDER	
TOLBR	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
TBTM_3	-	-	-	-	-	-	TTSB	TTSA	
TBTM_4	-	-	-	-	-	-	TTSB	TTSA	
TADCR	BF[1:0]		-	-	-	-	-	-	
	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE	
TADCORA_4									
TADCORB_4									
TADCOBRA_4									
TADCOBRB_4									
TWCR	CCE	-	-	-	-	-	-	WRE	
TSTR	CST4	CST3	-	-	-	CST2	CST1	CST0	
TSYR	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0	
TCSYSTR	SCH0	SCH1	SCH2	SCH3	SCH4	-	SCH3S	SCH4S	
TRWER	-	-	-	-	-	-	-	RWE	
TCR_0	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
TMDR_0	-	BFE	BFB	BFA	MD[3:0]				
TIORH_0	IOB[3:0]				IOA[3:0]				
TIORL_0	IOD[3:0]				IOC[3:0]				
TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0									
TGRA_0									
TGRB_0									
TGRC_0									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TGRD_0									MTU2
TGRE_0									
TGRF_0									
TIER2_0	TTGE2	-	-	-	-	-	TGIEF	TGIEE	
TSR2_0	-	-	-	-	-	-	TGFF	TGFE	
TBTM_0	-	-	-	-	-	TTSE	TTSB	TTSA	
TCR_1	-	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]			
TMDR_1	-	-	-	-	MD[3:0]				
TIOR_1	IOB[3:0]				IOA[3:0]				
TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_1									
TGRA_1									
TGRB_1									
TICCR	-	-	-	-	I2BE	I2AE	I1BE	I1AE	
TCR_2	-	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]			
TMDR_2	-	-	-	-	MD[3:0]				
TIOR_2	IOB[3:0]				IOA[3:0]				
TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_2									
TGRA_2									
TGRB_2									
TCNTU_5									
TGRU_5									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	
TCRU_5	-	-	-	-	-	-	TPSC[1:0]		MTU2	
TIORU_5	-	-	-	IOC[4:0]						
TCNTV_5										
TGRV_5										
TCRV_5	-	-	-	-	-	-	TPSC[1:0]			
TIORV_5	-	-	-	IOC[4:0]						
TCNTW_5										
TGRW_5										
TCRW_5	-	-	-	-	-	-	TPSC[1:0]			
TIORW_5	-	-	-	IOC[4:0]						
TSR_5	-	-	-	-	-	CMFU5	CMFV5	CMFW5		
TIER_5	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W		
TSTR_5	-	-	-	-	-	CSTU5	CSTV5	CSTW5		
TCNTCMPCLR	-	-	-	-	-	CMPCLR5U	CMPCLR5V	CMPCLR5W		
TCR_3S	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			MTU2S	
TCR_4S	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]				
TMDR_3S	-	-	BFB	BFA	MD[3:0]					
TMDR_4S	-	-	BFB	BFA	MD[3:0]					
TIORH_3S	IOB[3:0]				IOA[3:0]					
TIORL_3S	IOD[3:0]				IOC[3:0]					
TIORH_4S	IOB[3:0]				IOA[3:0]					
TIORL_4S	IOD[3:0]				IOC[3:0]					
TIER_3S	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TIER_4S	TTGE	TTGE2	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TOERS	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B		
TGCRS	-	BDC	N	P	FB	WF	VF	UF		
TOCR1S	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP		
TOCR2S	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P		
TCNT_3S										
TCNT_4S										

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TCDRS									MTU2S
TDDRS									
TGRA_3S									
TGRB_3S									
TGRA_4S									
TGRB_4S									
TCNTSS									
TCBRS									
TGRC_3S									
TGRD_3S									
TGRC_4S									
TGRD_4S									
TSR_3S	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TSR_4S	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TITCRS	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]			
TITCNTS	-	3ACNT[2:0]			-	4VCNT[2:0]			
TBTERS	-	-	-	-	-	-	BTE[1:0]		
TDERS	-	-	-	-	-	-	-	TDER	
TOLBRS	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
TBTM_3S	-	-	-	-	-	-	TTSB	TTSA	
TBTM_4S	-	-	-	-	-	-	TTSB	TTSA	
TADCRS	BF[1:0]		-	-	-	-	-	-	
	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	
TADCORA_4S									MTU2S	
TADCORB_4S										
TADCOBRA_4S										
TADCOBRB_4S										
TSYCRS	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B		
TWCRS	CCE	-	-	-	-	-	SCC	WRE		
TSTRS	CST4	CST3	-	-	-	CST2	CST1	CST0		
TSYRS	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0		
TRWERS	-	-	-	-	-	-	-	RWE		
TCNTU_5S										
TGRU_5S										
TCRU_5S	-	-	-	-	-	-	TPSC[1:0]			
TIORU_5S	-	-	-	IOC[4:0]						
TCNTV_5S										
TGRV_5S										
TCRV_5S	-	-	-	-	-	-	TPSC[1:0]			
TIORV_5S	-	-	-	IOC[4:0]						
TCNTW_5S										
TGRW_5S										
TCRW_5S	-	-	-	-	-	-	TPSC[1:0]			
TIORW_5S	-	-	-	IOC[4:0]						
TSR_5S	-	-	-	-	-	CMFU5	CMFV5	CMFW5		
TIER_5S	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W		
TSTR_5S	-	-	-	-	-	CSTU5	CSTV5	CSTW5		
TCNTCMPCLRS	-	-	-	-	-	CMPCLR5U	CMPCLR5V	CMPCLR5W		

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	
ADDR0	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D (チャンネル0)	
	AD1	AD0	-	-	-	-	-	-		
ADDR2	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	-	-	-	-	-	-		
ADCSR_0	ADF	ADIE	-	-	TRGE	-	CONADF	STC		
	CKSL[1:0]		ADM[1:0]		ADCS	CH[2:0]				
ADCR_0	-	-	ADST	-	-	-	-	-		
	-	-	-	-	-	-	-	-		
ADDR4	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		A/D (チャンネル1)
	AD1	AD0	-	-	-	-	-	-		
ADDR6	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	-	-	-	-	-	-		
ADCSR_1	ADF	ADIE	-	-	TRGE	-	CONADF	STC		
	CKSL[1:0]		ADM[1:0]		ADCS	CH[2:0]				
ADCR_1	-	-	ADST	-	-	-	-	-		
	-	-	-	-	-	-	-	-		
ADDR8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D (チャンネル2)	
	AD1	AD0	-	-	-	-	-	-		
ADDR9	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	-	-	-	-	-	-		
ADDR10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	-	-	-	-	-	-		
ADDR11	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	-	-	-	-	-	-		
ADDR12	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	-	-	-	-	-	-		
ADDR13	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	-	-	-	-	-	-		
ADDR14	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	-	-	-	-	-	-		
ADDR15	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	-	-	-	-	-	-		
ADCSR_2	ADF	ADIE	-	-	TRGE	-	CONADF	STC		
	CKSL[1:0]		ADM[1:0]		ADCS	CH[2:0]				
ADCR_2	-	-	ADST	-	-	-	-	-		
	-	-	-	-	-	-	-	-		

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
FCCS	FWE	MAT	-	FLER	-	-	-	SCO	FLASH (F-ZTAT 版のみ)
FPCS	-	-	-	-	-	-	-	PPVS	
FECS	-	-	-	-	-	-	-	EPVB	
FKEY	K[7:0]								
FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
FTDAR	TDER	TDA[6:0]							
DTCERA	DTCERA15	DTCERA14	DTCERA13	DTCERA12	-	-	-	-	DTC (F-ZTAT 版のみ)
	-	-	-	-	-	-	-	-	
DTCERB	DTCERB15	DTCERB14	DTCERB13	DTCERB12	DTCERB11	DTCERB10	DTCERB9	DTCERB8	
	DTCERB7	DTCERB6	DTCERB5	DTCERB4	DTCERB3	DTCERB2	DTCERB1	DTCERB0	
DTCERC	DTCERC15	DTCERC14	DTCERC13	DTCERC12	-	-	-	-	
	-	-	-	-	DTCERC3	DTCERC2	DTCERC1	DTCERC0	
DTCERD	DTCERD15	DTCERD14	DTCERD13	DTCERD12	DTCERD11	DTCERD10	DTCERD9	DTCERD8	
	DTCERD7	DTCERD6	DTCERD5	DTCERD4	DTCERD3	-	-	-	
DTCERE	DTCERE15	DTCERE14	DTCERE13	DTCERE12	DTCERE11	DTCERE10	-	-	
	-	-	-	-	-	-	-	-	
DTCCR	-	-	-	RRS	RCHNE	-	-	ERR	
DTCVBR									
	-	-	-	-	-	-	-	-	
CMSTR	-	-	-	-	-	-	-	-	CMT
	-	-	-	-	-	-	STR1	STR0	
CMCSR_0	-	-	-	-	-	-	-	-	
	CMF	CMIE	-	-	-	-	CKS[1:0]		
CMCNT_0									
CMCOR_0									
CMCSR_1	-	-	-	-	-	-	-	-	
	CMF	CMIE	-	-	-	-	CKS[1:0]		
CMCNT_1									
CMCOR_1									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
ICSR1	POE3F	POE2F	POE1F	POE0F	-	-	-	PIE1	POE
	POE3M[1:0]		POE2M[1:0]		POE1M[1:0]		POE0M[1:0]		
OCSR1	OSF1	-	-	-	-	-	OCE1	OIE1	
	-	-	-	-	-	-	-	-	
ICSR2	POE7F	POE6F	POE5F	POE4F	-	-	-	PIE2	
	POE7M[1:0]		POE6M[1:0]		POE5M[1:0]		POE4M[1:0]		
OCSR2	OSF2	-	-	-	-	-	OCE2	OIE2	
	-	-	-	-	-	-	-	-	
ICSR3	-	-	-	POE8F	-	-	POE8E	PIE3	
	-	-	-	-	-	-	POE8M[1:0]		
SPOER	-	-	-	-	-	MTU2SHIZ	MTU2CH0HIZ	MTU2CH34HIZ	
POECR1	-	-	-	-	MTU2PE3ZE	MTU2PE2ZE	MTU2PE1ZE	MTU2PE0ZE	
POECR2	-	MTU2P1CZE	MTU2P2CZE	MTU2P3CZE	-	MTU2SP1CZE	MTU2SP2CZE	MTU2SP3CZE	
	-	-	-	-	-	-	-	-	
PADRL	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR	I/O
	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
PAIORL	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR	PFC
	PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR	
PACRL4	-	PA15MD2	PA15MD1	PA15MD0	-	PA14MD2	PA14MD1	PA14MD0	
	-	PA13MD2	PA13MD1	PA13MD0	-	PA12MD2	PA12MD1	PA12MD0	
PACRL3	-	PA11MD2	PA11MD1	PA11MD0	-	PA10MD2	PA10MD1	PA10MD0	
	-	PA9MD2	PA9MD1	PA9MD0	-	PA8MD2	PA8MD1	PA8MD0	
PACRL2	-	PA7MD2	PA7MD1	PA7MD0	-	PA6MD2	PA6MD1	PA6MD0	
	-	PA5MD2	PA5MD1	PA5MD0	-	PA4MD2	PA4MD1	PA4MD0	
PACRL1	-	PA3MD2	PA3MD1	PA3MD0	-	PA2MD2	PA2MD1	PA2MD0	
	-	PA1MD2	PA1MD1	PA1MD0	-	PA0MD2	PA0MD1	PA0MD0	
PAPRL	PA15PR	PA14PR	PA13PR	PA12PR	PA11PR	PA10PR	PA9PR	PA8PR	I/O
	PA7PR	PA6PR	PA5PR	PA4PR	PA3PR	PA2PR	PA1PR	PA0PR	
PBDRH	-	-	-	-	-	-	-	-	
	-	-	-	-	-	PB18DR	PB17DR	PB16DR	
PBDRL	-	-	-	-	-	-	-	-	
	-	-	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR* ¹	PB0DR* ¹	
PBIORH	-	-	-	-	-	-	-	-	PFC
	-	-	-	-	-	PB18IOR	PB17IOR	PB16IOR	
PBIORL	-	-	-	-	-	-	-	-	
	-	-	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	
PBCRH1	-	-	-	-	-	-	-	PB18MD	PFC	
	-	-	-	PB17MD	-	-	-	PB16MD		
PBCRL2	-	-	-	-	-	-	-	-		
	-	PB5MD2	PB5MD1	PB5MD0	-	PB4MD2	PB4MD1	PB4MD0		
PBCRL1	-	PB3MD2	PB3MD1	PB3MD0	-	PB2MD2	PB2MD1	PB2MD0		
	-	PB1MD2* ¹	PB1MD1* ¹	PB1MD0* ¹	-	PB0MD2* ¹	PB0MD1* ¹	PB0MD0* ¹		
PBPRH	-	-	-	-	-	-	-	-		I/O
	-	-	-	-	-	PB18PR	PB17PR	PB16PR		
PBPRL	-	-	-	-	-	-	-	-		
	-	-	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR* ¹	PB0PR* ¹		
PDDR1* ²	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR		
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
PDIORL* ²	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR	PFC	
	PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR		
PDCRL4* ²	-	-	PD15MD1	PD15MD0	-	-	PD14MD1	PD14MD0		
	-	-	PD13MD1	PD13MD0	-	-	PD12MD1	PD12MD0		
PDCRL3* ²	-	-	PD11MD1	PD11MD0	-	PD10MD2	PD10MD1	PD10MD0		
	-	PD9MD2	PD9MD1	PD9MD0	-	PD8MD2	PD8MD1	PD8MD0		
PDCRL2* ²	-	PD7MD2	PD7MD1	PD7MD0	-	PD6MD2	PD6MD1	PD6MD0		
	-	PD5MD2	PD5MD1	PD5MD0	-	PD4MD2	PD4MD1	PD4MD0		
PDCRL1* ²	-	PD3MD2	PD3MD1	PD3MD0	-	PD2MD2	PD2MD1	PD2MD0		
	-	PD1MD2	PD1MD1	PD1MD0	-	PD0MD2	PD0MD1	PD0MD0		
PDPRL* ²	PD15PR	PD14PR	PD13PR	PD12PR	PD11PR	PD10PR	PD9PR	PD8PR	I/O	
	PD7PR	PD6PR	PD5PR	PD4PR	PD3PR	PD2PR	PD1PR	PD0PR		
PEDRH	-	-	-	-	-	-	-	-		
	-	-	PE21DR	PE20DR	PE19DR	PE18DR	PE17DR	PE16DR		
PEDRL	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR		
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
PEIORH	-	-	-	-	-	-	-	-		PFC
	-	-	PE21IOR	PE20IOR	PE19IOR	PE18IOR	PE17IOR	PE16IOR		
PEIORL	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR		
	PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR		
PECRH2	-	-	-	-	-	-	-	-		
	-	-	PE21MD1	PE21MD0	-	-	PE20MD1	PE20MD0		
PECRH1	-	-	PE19MD1	PE19MD0	-	-	PE18MD1	PE18MD0		
	-	-	PE17MD1	PE17MD0	-	PE16MD2	PE16MD1	PE16MD0		

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	
PECRL4	-	PE15MD2	PE15MD1	PE15MD0	-	PE14MD2	PE14MD1	PE14MD0	PFC	
	-	-	PE13MD1	PE13MD0	-	PE12MD2	PE12MD1	PE12MD0		
PECRL3	-	PE11MD2	PE11MD1	PE11MD0	-	PE10MD2	PE10MD1	PE10MD0		
	-	PE9MD2	PE9MD1	PE9MD0	-	PE8MD2	PE8MD1	PE8MD0		
PECRL2	-	PE7MD2	PE7MD1	PE7MD0	-	PE6MD2	PE6MD1	PE6MD0		
	-	PE5MD2	PE5MD1	PE5MD0	-	PE4MD2	PE4MD1	PE4MD0		
PECRL1	-	PE3MD2	PE3MD1	PE3MD0	-	PE2MD2	PE2MD1	PE2MD0		
	-	PE1MD2	PE1MD1	PE1MD0	-	-	PE0MD1	PE0MD0		
PEPRH	-	-	-	-	-	-	-	-		I/O
	-	-	PE21PR	PE20PR	PE19PR	PE18PR	PE17PR	PE16PR		
PEPRL	PE15PR	PE14PR	PE13PR	PE12PR	PE11PR	PE10PR	PE9PR	PE8PR		
	PE7PR	PE6PR	PE5PR	PE4PR	PE3PR	PE2PR	PE1PR	PE0PR		
IFCR	-	-	-	-	-	-	-	-	PFC	
	-	-	-	-	-	-	IRQMD1	IRQMD0		
PFDR	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR	I/O	
	-	PF6DR	-	PF4DR	-	PF2DR	-	PF0DR		
FRQCR	-	IFC[2:0]			BFC[2:0]			PFC[2]	CPG	
	PFC[1:0]		MIFC[2:0]			MPFC[2:0]				
STBCR1	STBY	-	-	-	-	-	-	-	低消費電力	
STBCR2	MSTP7	MSTP6	-	MSTP4*3	-	-	-	-		
STBCR3	-	-	MSTP13	MSTP12	MSTP11	-	-	-		
STBCR4	MSTP23	MSTP22	MSTP21	-	-	MSTP18	MSTP17	MSTP16		
STBCR5	-	-	-	-	-	-	MSTP25	MSTP24		
STBCR6	AUDSRST	HIZ	-	-	-	-	STBYMD	-		
WTCNT									WDT	
WTCSR	TME	WT/IT	RSTS	WOVF	IOVF	CKS[2:0]				
OSCCR	-	-	-	-	-	OSCSTOP	-	OSCERS	CPG	
RAMCR	-	-	-	RAME	-	-	-	-	低消費電力	
ADTSR_0	TRG11S[3:0]				TRG01S[3:0]				A/D	
	TRG1S[3:0]				TRG0S[3:0]					
ADTSR_1	TRG2S[3:0]				-	-	-	-		
	-	-	-	-	-	-	-	-		
BSCEHR	DTLOCK	CSSTP1	-	CSSTP2	DTBST	DTSA	CSSTP3	DTPR	BSC	
	-	-	-	-	-	-	-	-		

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
ICR0	NMIL	-	-	-	-	-	-	NMIE	INTC
	-	-	-	-	-	-	-	-	
IRQCR	-	-	-	-	-	-	-	-	
	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S	
IRQSR	-	-	-	-	IRQ3L	IRQ2L	IRQ1L	IRQ0L	
	-	-	-	-	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
IPRA	IRQ0	IRQ0	IRQ0	IRQ0	IRQ1	IRQ1	IRQ1	IRQ1	
	IRQ2	IRQ2	IRQ2	IRQ2	IRQ3	IRQ3	IRQ3	IRQ3	
IPRD	MTU2_0	MTU2_0	MTU2_0	MTU2_0	MTU2_0	MTU2_0	MTU2_0	MTU2_0	
	MTU2_1	MTU2_1	MTU2_1	MTU2_1	MTU2_1	MTU2_1	MTU2_1	MTU2_1	
IPRE	MTU2_2	MTU2_2	MTU2_2	MTU2_2	MTU2_2	MTU2_2	MTU2_2	MTU2_2	
	MTU2_3	MTU2_3	MTU2_3	MTU2_3	MTU2_3	MTU2_3	MTU2_3	MTU2_3	
IPRF	MTU2_4	MTU2_4	MTU2_4	MTU2_4	MTU2_4	MTU2_4	MTU2_4	MTU2_4	
	MTU2_5	MTU2_5	MTU2_5	MTU2_5	POE(MTU2)	POE(MTU2)	POE(MTU2)	POE(MTU2)	
IPRH	-	-	-	-	-	-	-	-	
	MTU2S_3	MTU2S_3	MTU2S_3	MTU2S_3	MTU2S_3	MTU2S_3	MTU2S_3	MTU2S_3	
IPRI	MTU2S_4	MTU2S_4	MTU2S_4	MTU2S_4	MTU2S_4	MTU2S_4	MTU2S_4	MTU2S_4	
	MTU2S_5	MTU2S_5	MTU2S_5	MTU2S_5	POE(MTU2S)	POE(MTU2S)	POE(MTU2S)	POE(MTU2S)	
IPRJ	CMT_0	CMT_0	CMT_0	CMT_0	CMT_1	CMT_1	CMT_1	CMT_1	
	-	-	-	-	WDT	WDT	WDT	WDT	
IPRK	A/D_0,1	A/D_0,1	A/D_0,1	A/D_0,1	A/D_2	A/D_2	A/D_2	A/D_2	
	-	-	-	-	-	-	-	-	
IPRL	SCI_0	SCI_0	SCI_0	SCI_0	SCI_1	SCI_1	SCI_1	SCI_1	
	SCI_2	SCI_2	SCI_2	SCI_2	-	-	-	-	
CMNCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	HIZMEM	-	
CS0BCR	-	-	IWW[1:0]		-	IWRWD[1:0]		-	
	IWRWS[1:0]		-	IWRRD[1:0]		-	IWRRS[1:0]		
	-	-	-	-	BSZ[1:0]		-		
	-	-	-	-	-	-	-	-	
CS1BCR	-	-	IWW[1:0]		-	IWRWD[1:0]		-	
	IWRWS[1:0]		-	IWRRD[1:0]		-	IWRRS[1:0]		
	-	-	-	-	BSZ[1:0]		-		
	-	-	-	-	-	-	-	-	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CS0WCR	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	WW[2:0]			
	-	-	-	SW[1:0]		WR[3:1]			
	WR[0]	WM	-	-	-	-	HW[1:0]		
CS1WCR	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	WW[2:0]			
	-	-	-	SW[1:0]		WR[3:1]			
	WR[0]	WM	-	-	-	-	HW[1:0]		
RAMER	-	-	-	-	-	-	-	-	FLASH (F-ZTAT 版のみ)
	-	-	-	-	RAMS	RAM[2:0]			
BARA	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	UBC
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BAMRA	BAMA31	BAMA30	BAMA29	BAMA28	BAMA27	BAMA26	BAMA25	BAMA24	UBC
	BAMA23	BAMA22	BAMA21	BAMA20	BAMA19	BAMA18	BAMA17	BAMA16	
	BAMA15	BAMA14	BAMA13	BAMA12	BAMA11	BAMA10	BAMA9	BAMA8	
	BAMA7	BAMA6	BAMA5	BAMA4	BAMA3	BAMA2	BAMA1	BAMA0	
BBRA	-	-	-	-	-	CPA2* ³	CPA1* ³	CPA0* ³	UBC
	CDA1* ³	CDA0	IDA1* ³	IDA0	RWA1* ³	RWA0	SZA1* ³	SZA0* ³	
BDRA* ⁴	BDA31	BDA30	BDA29	BDA28	BDA27	BDA26	BDA25	BDA24	UBC
	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16	
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	
	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0	
BDMRA* ⁴	BDMA31	BDMA30	BDMA29	BDMA28	BDMA27	BDMA26	BDMA25	BDMA24	UBC
	BDMA23	BDMA22	BDMA21	BDMA20	BDMA19	BDMA18	BDMA17	BDMA16	
	BDMA15	BDMA14	BDMA13	BDMA12	BDMA11	BDMA10	BDMA9	BDMA8	
	BDMA7	BDMA6	BDMA5	BDMA4	BDMA3	BDMA2	BDMA1	BDMA0	
BARB	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	UBC
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	
BAMRB	BAMB31	BAMB30	BAMB29	BAMB28	BAMB27	BAMB26	BAMB25	BAMB24	UBC
	BAMB23	BAMB22	BAMB21	BAMB20	BAMB19	BAMB18	BAMB17	BAMB16	
	BAMB15	BAMB14	BAMB13	BAMB12	BAMB11	BAMB10	BAMB9	BAMB8	
	BAMB7	BAMB6	BAMB5	BAMB4	BAMB3	BAMB2	BAMB1	BAMB0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
BBRB	-	-	-	-	-	CPB2* ³	CPB1* ³	CPB0* ³	UBC
	CDB1* ³	CDB0	IDB1* ³	IDB0	RWB1* ³	RWB0	SZB1* ³	SZB0* ³	
BDRB* ⁴	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	
	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16	
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	
	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0	
BDMRB* ⁴	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	
	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16	
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	
	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0	
BRCR	-	-	-	-	-	-	-	-	
	-	-	UTRGW[1:0]		UBIDB	-	UBIDA	-	
	SCMFCA	SCMFCB	SCMFDA* ³	SCMFD* ³	PCTE* ³	PCBA	-	-	
	DBEA* ³	PCBB	DBEB* ³	-	SEQ* ³	-	-	ETBE* ³	
BRSR* ⁴	SVF	-	-	-	BSA27	BSA26	BSA25	BSA24	
	BSA23	BSA22	BSA21	BSA20	BSA19	BSA18	BSA17	BSA16	
	BSA15	BSA14	BSA13	BSA12	BSA11	BSA10	BSA9	BSA8	
	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0	
BRDR* ⁴	DVF	-	-	-	BDA27	BDA26	BDA25	BDA24	
	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16	
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	
	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0	
BETR* ⁴	-	-	-	-	BET[11:8]				
	BET[7:0]								

【注】 *1 SH7146 ではリザーブビットとなります。

*2 SH7149 のみ。

*3 マスク ROM 版ではリザーブビットとなります。

*4 F-ZTAT 版のみ。

23.3 各動作モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
SCSMR_0	初期化	保持	初期化	初期化	初期化	保持	SCI (チャンネル0)
SCBRR_0	初期化	保持	初期化	初期化	初期化	保持	
SCSCR_0	初期化	保持	初期化	初期化	初期化	保持	
SCTDR_0	初期化	保持	初期化	初期化	初期化	保持	
SCSSR_0	初期化	保持	初期化	初期化	初期化	保持	
SCRDR_0	初期化	保持	初期化	初期化	初期化	保持	
SCSDCR_0	初期化	保持	初期化	初期化	初期化	保持	
SCSPTR_0	初期化	保持	初期化	初期化	初期化	保持	
SCSMR_1	初期化	保持	初期化	初期化	初期化	保持	SCI (チャンネル1)
SCBRR_1	初期化	保持	初期化	初期化	初期化	保持	
SCSCR_1	初期化	保持	初期化	初期化	初期化	保持	
SCTDR_1	初期化	保持	初期化	初期化	初期化	保持	
SCSSR_1	初期化	保持	初期化	初期化	初期化	保持	
SCRDR_1	初期化	保持	初期化	初期化	初期化	保持	
SCSDCR_1	初期化	保持	初期化	初期化	初期化	保持	
SCSPTR_1	初期化	保持	初期化	初期化	初期化	保持	
SCSMR_2	初期化	保持	初期化	初期化	初期化	保持	SCI (チャンネル2)
SCBRR_2	初期化	保持	初期化	初期化	初期化	保持	
SCSCR_2	初期化	保持	初期化	初期化	初期化	保持	
SCTDR_2	初期化	保持	初期化	初期化	初期化	保持	
SCSSR_2	初期化	保持	初期化	初期化	初期化	保持	
SCRDR_2	初期化	保持	初期化	初期化	初期化	保持	
SCSDCR_2	初期化	保持	初期化	初期化	初期化	保持	
SCSPTR_2	初期化	保持	初期化	初期化	初期化	保持	
TCR_3	初期化	保持	初期化	初期化	初期化	保持	MTU2
TCR_4	初期化	保持	初期化	初期化	初期化	保持	
TMDR_3	初期化	保持	初期化	初期化	初期化	保持	
TMDR_4	初期化	保持	初期化	初期化	初期化	保持	
TIORH_3	初期化	保持	初期化	初期化	初期化	保持	
TIORL_3	初期化	保持	初期化	初期化	初期化	保持	
TIORH_4	初期化	保持	初期化	初期化	初期化	保持	
TIORL_4	初期化	保持	初期化	初期化	初期化	保持	
TIER_3	初期化	保持	初期化	初期化	初期化	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TIER_4	初期化	保持	初期化	初期化	初期化	保持	MTU2
TOER	初期化	保持	初期化	初期化	初期化	保持	
TGCR	初期化	保持	初期化	初期化	初期化	保持	
TOCR1	初期化	保持	初期化	初期化	初期化	保持	
TOCR2	初期化	保持	初期化	初期化	初期化	保持	
TCNT_3	初期化	保持	初期化	初期化	初期化	保持	
TCNT_4	初期化	保持	初期化	初期化	初期化	保持	
TCDR	初期化	保持	初期化	初期化	初期化	保持	
TDDR	初期化	保持	初期化	初期化	初期化	保持	
TGRA_3	初期化	保持	初期化	初期化	初期化	保持	
TGRB_3	初期化	保持	初期化	初期化	初期化	保持	
TGRA_4	初期化	保持	初期化	初期化	初期化	保持	
TGRB_4	初期化	保持	初期化	初期化	初期化	保持	
TCNTS	初期化	保持	初期化	初期化	初期化	保持	
TCBR	初期化	保持	初期化	初期化	初期化	保持	
TGRC_3	初期化	保持	初期化	初期化	初期化	保持	
TGRD_3	初期化	保持	初期化	初期化	初期化	保持	
TGRC_4	初期化	保持	初期化	初期化	初期化	保持	
TGRD_4	初期化	保持	初期化	初期化	初期化	保持	
TSR_3	初期化	保持	初期化	初期化	初期化	保持	
TSR_4	初期化	保持	初期化	初期化	初期化	保持	
TITCR	初期化	保持	初期化	初期化	初期化	保持	
TITCNT	初期化	保持	初期化	初期化	初期化	保持	
TBTER	初期化	保持	初期化	初期化	初期化	保持	
TDER	初期化	保持	初期化	初期化	初期化	保持	
TOLBR	初期化	保持	初期化	初期化	初期化	保持	
TBTM_3	初期化	保持	初期化	初期化	初期化	保持	
TBTM_4	初期化	保持	初期化	初期化	初期化	保持	
TADCR	初期化	保持	初期化	初期化	初期化	保持	
TADCORA_4	初期化	保持	初期化	初期化	初期化	保持	
TADCORB_4	初期化	保持	初期化	初期化	初期化	保持	
TADCOBRA_4	初期化	保持	初期化	初期化	初期化	保持	
TADCOBRB_4	初期化	保持	初期化	初期化	初期化	保持	
TWCR	初期化	保持	初期化	初期化	初期化	保持	
TSTR	初期化	保持	初期化	初期化	初期化	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TSYR	初期化	保持	初期化	初期化	初期化	保持	MTU2
TCSYSTR	初期化	保持	初期化	初期化	初期化	保持	
TRWER	初期化	保持	初期化	初期化	初期化	保持	
TCR_0	初期化	保持	初期化	初期化	初期化	保持	
TMDR_0	初期化	保持	初期化	初期化	初期化	保持	
TIORH_0	初期化	保持	初期化	初期化	初期化	保持	
TIORL_0	初期化	保持	初期化	初期化	初期化	保持	
TIER_0	初期化	保持	初期化	初期化	初期化	保持	
TSR_0	初期化	保持	初期化	初期化	初期化	保持	
TCNT_0	初期化	保持	初期化	初期化	初期化	保持	
TGRA_0	初期化	保持	初期化	初期化	初期化	保持	
TGRB_0	初期化	保持	初期化	初期化	初期化	保持	
TGRC_0	初期化	保持	初期化	初期化	初期化	保持	
TGRD_0	初期化	保持	初期化	初期化	初期化	保持	
TGRE_0	初期化	保持	初期化	初期化	初期化	保持	
TGRF_0	初期化	保持	初期化	初期化	初期化	保持	
TIER2_0	初期化	保持	初期化	初期化	初期化	保持	
TSR2_0	初期化	保持	初期化	初期化	初期化	保持	
TBTM_0	初期化	保持	初期化	初期化	初期化	保持	
TCR_1	初期化	保持	初期化	初期化	初期化	保持	
TMDR_1	初期化	保持	初期化	初期化	初期化	保持	
TIOR_1	初期化	保持	初期化	初期化	初期化	保持	
TIER_1	初期化	保持	初期化	初期化	初期化	保持	
TSR_1	初期化	保持	初期化	初期化	初期化	保持	
TCNT_1	初期化	保持	初期化	初期化	初期化	保持	
TGRA_1	初期化	保持	初期化	初期化	初期化	保持	
TGRB_1	初期化	保持	初期化	初期化	初期化	保持	
TICCR	初期化	保持	初期化	初期化	初期化	保持	
TCR_2	初期化	保持	初期化	初期化	初期化	保持	
TMDR_2	初期化	保持	初期化	初期化	初期化	保持	
TIOR_2	初期化	保持	初期化	初期化	初期化	保持	
TIER_2	初期化	保持	初期化	初期化	初期化	保持	
TSR_2	初期化	保持	初期化	初期化	初期化	保持	
TCNT_2	初期化	保持	初期化	初期化	初期化	保持	
TGRA_2	初期化	保持	初期化	初期化	初期化	保持	
TGRB_2	初期化	保持	初期化	初期化	初期化	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TCNTU_5	初期化	保持	初期化	初期化	初期化	保持	MTU2
TGRU_5	初期化	保持	初期化	初期化	初期化	保持	
TCRU_5	初期化	保持	初期化	初期化	初期化	保持	
TIORU_5	初期化	保持	初期化	初期化	初期化	保持	
TCNTV_5	初期化	保持	初期化	初期化	初期化	保持	
TGRV_5	初期化	保持	初期化	初期化	初期化	保持	
TCRV_5	初期化	保持	初期化	初期化	初期化	保持	
TIORV_5	初期化	保持	初期化	初期化	初期化	保持	
TCNTW_5	初期化	保持	初期化	初期化	初期化	保持	
TGRW_5	初期化	保持	初期化	初期化	初期化	保持	
TCRW_5	初期化	保持	初期化	初期化	初期化	保持	
TIORW_5	初期化	保持	初期化	初期化	初期化	保持	
TSR_5	初期化	保持	初期化	初期化	初期化	保持	
TIER_5	初期化	保持	初期化	初期化	初期化	保持	
TSTR5	初期化	保持	初期化	初期化	初期化	保持	
TCNTCMPCLR	初期化	保持	初期化	初期化	初期化	保持	
TCR_3S	初期化	保持	初期化	初期化	初期化	保持	MTU2S
TCR_4S	初期化	保持	初期化	初期化	初期化	保持	
TMDR_3S	初期化	保持	初期化	初期化	初期化	保持	
TMDR_4S	初期化	保持	初期化	初期化	初期化	保持	
TIORH_3S	初期化	保持	初期化	初期化	初期化	保持	
TIORL_3S	初期化	保持	初期化	初期化	初期化	保持	
TIORH_4S	初期化	保持	初期化	初期化	初期化	保持	
TIORL_4S	初期化	保持	初期化	初期化	初期化	保持	
TIER_3S	初期化	保持	初期化	初期化	初期化	保持	
TIER_4S	初期化	保持	初期化	初期化	初期化	保持	
TOERS	初期化	保持	初期化	初期化	初期化	保持	
TGCRS	初期化	保持	初期化	初期化	初期化	保持	
TOCR1S	初期化	保持	初期化	初期化	初期化	保持	
TOCR2S	初期化	保持	初期化	初期化	初期化	保持	
TCNT_3S	初期化	保持	初期化	初期化	初期化	保持	
TCNT_4S	初期化	保持	初期化	初期化	初期化	保持	
TCDRS	初期化	保持	初期化	初期化	初期化	保持	
TDDRS	初期化	保持	初期化	初期化	初期化	保持	
TGRA_3S	初期化	保持	初期化	初期化	初期化	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TGRB_3S	初期化	保持	初期化	初期化	初期化	保持	MTU2S
TGRA_4S	初期化	保持	初期化	初期化	初期化	保持	
TGRB_4S	初期化	保持	初期化	初期化	初期化	保持	
TCNTSS	初期化	保持	初期化	初期化	初期化	保持	
TCBRS	初期化	保持	初期化	初期化	初期化	保持	
TGRC_3S	初期化	保持	初期化	初期化	初期化	保持	
TGRD_3S	初期化	保持	初期化	初期化	初期化	保持	
TGRC_4S	初期化	保持	初期化	初期化	初期化	保持	
TGRD_4S	初期化	保持	初期化	初期化	初期化	保持	
TSR_3S	初期化	保持	初期化	初期化	初期化	保持	
TSR_4S	初期化	保持	初期化	初期化	初期化	保持	
TITCRS	初期化	保持	初期化	初期化	初期化	保持	
TITCNTS	初期化	保持	初期化	初期化	初期化	保持	
TBTERS	初期化	保持	初期化	初期化	初期化	保持	
TDERS	初期化	保持	初期化	初期化	初期化	保持	
TOLBRS	初期化	保持	初期化	初期化	初期化	保持	
TBTM_3S	初期化	保持	初期化	初期化	初期化	保持	
TBTM_4S	初期化	保持	初期化	初期化	初期化	保持	
TADCRS	初期化	保持	初期化	初期化	初期化	保持	
TADCORA_4S	初期化	保持	初期化	初期化	初期化	保持	
TADCORB_4S	初期化	保持	初期化	初期化	初期化	保持	
TADCOBRA_4S	初期化	保持	初期化	初期化	初期化	保持	
TADCOBRB_4S	初期化	保持	初期化	初期化	初期化	保持	
TSYCRS	初期化	保持	初期化	初期化	初期化	保持	
TWCERS	初期化	保持	初期化	初期化	初期化	保持	
TSTRS	初期化	保持	初期化	初期化	初期化	保持	
TSYRS	初期化	保持	初期化	初期化	初期化	保持	
TRWERS	初期化	保持	初期化	初期化	初期化	保持	
TCNTU_5S	初期化	保持	初期化	初期化	初期化	保持	
TGRU_5S	初期化	保持	初期化	初期化	初期化	保持	
TCRU_5S	初期化	保持	初期化	初期化	初期化	保持	
TIORU_5S	初期化	保持	初期化	初期化	初期化	保持	
TCNTV_5S	初期化	保持	初期化	初期化	初期化	保持	
TGRV_5S	初期化	保持	初期化	初期化	初期化	保持	
TCRV_5S	初期化	保持	初期化	初期化	初期化	保持	
TIORV_5S	初期化	保持	初期化	初期化	初期化	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TCNTW_5S	初期化	保持	初期化	初期化	初期化	保持	MTU2S
TGRW_5S	初期化	保持	初期化	初期化	初期化	保持	
TCRW_5S	初期化	保持	初期化	初期化	初期化	保持	
TIORW_5S	初期化	保持	初期化	初期化	初期化	保持	
TSR_5S	初期化	保持	初期化	初期化	初期化	保持	
TIER_5S	初期化	保持	初期化	初期化	初期化	保持	
TSTR_5S	初期化	保持	初期化	初期化	初期化	保持	
TCNTCMPCLRS	初期化	保持	初期化	初期化	初期化	保持	
ADDR0	初期化	保持	初期化	初期化	初期化	保持	A/D (チャンネル0)
ADDR2	初期化	保持	初期化	初期化	初期化	保持	
ADCSR_0	初期化	保持	初期化	初期化	初期化	保持	
ADCR_0	初期化	保持	初期化	初期化	初期化	保持	A/D (チャンネル1)
ADDR4	初期化	保持	初期化	初期化	初期化	保持	
ADDR6	初期化	保持	初期化	初期化	初期化	保持	
ADCSR_1	初期化	保持	初期化	初期化	初期化	保持	
ADCR_1	初期化	保持	初期化	初期化	初期化	保持	A/D (チャンネル2)
ADDR8	初期化	保持	初期化	初期化	初期化	保持	
ADDR9	初期化	保持	初期化	初期化	初期化	保持	
ADDR10	初期化	保持	初期化	初期化	初期化	保持	
ADDR11	初期化	保持	初期化	初期化	初期化	保持	
ADDR12	初期化	保持	初期化	初期化	初期化	保持	
ADDR13	初期化	保持	初期化	初期化	初期化	保持	
ADDR14	初期化	保持	初期化	初期化	初期化	保持	
ADDR15	初期化	保持	初期化	初期化	初期化	保持	
ADCSR_2	初期化	保持	初期化	初期化	初期化	保持	
ADCR_2	初期化	保持	初期化	初期化	初期化	保持	
FCCS	初期化	保持	初期化	初期化	初期化	保持	FLASH (F-ZTAT 版のみ)
FPCS	初期化	保持	初期化	初期化	初期化	保持	
FECS	初期化	保持	初期化	初期化	初期化	保持	
FKEY	初期化	保持	初期化	初期化	初期化	保持	
FMATS	初期化	保持	初期化	初期化	初期化	保持	
FTDAR	初期化	保持	初期化	初期化	初期化	保持	
DTCERA	初期化	保持	保持	初期化	保持	保持	DTC (F-ZTAT 版のみ)
DTCERB	初期化	保持	保持	初期化	保持	保持	
DTCERC	初期化	保持	保持	初期化	保持	保持	
DTCERD	初期化	保持	保持	初期化	保持	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
DTCERE	初期化	保持	保持	初期化	保持	保持	DTC (F-ZTAT 版のみ)
DTCCR	初期化	保持	保持	初期化	保持	保持	
DTCVBR	初期化	保持	保持	初期化	保持	保持	
CMSTR	初期化	保持	初期化	初期化	初期化	保持	CMT
CMCSR_0	初期化	保持	初期化	初期化	初期化	保持	
CMCNT_0	初期化	保持	初期化	初期化	初期化	保持	
CMCOR_0	初期化	保持	初期化	初期化	初期化	保持	
CMCSR_1	初期化	保持	初期化	初期化	初期化	保持	
CMCNT_1	初期化	保持	初期化	初期化	初期化	保持	
CMCOR_1	初期化	保持	初期化	初期化	初期化	保持	
ICSR1	初期化	保持	保持	初期化	-	保持	POE
OCSR1	初期化	保持	保持	初期化	-	保持	
ICSR2	初期化	保持	保持	初期化	-	保持	
OCSR2	初期化	保持	保持	初期化	-	保持	
ICSR3	初期化	保持	保持	初期化	-	保持	
SPOER	初期化	保持	保持	初期化	-	保持	
POECR1	初期化	保持	保持	初期化	-	保持	
POECR2	初期化	保持	保持	初期化	-	保持	
PADRL	初期化	保持	保持	初期化	-	保持	I/O
PAIORL	初期化	保持	保持	初期化	-	保持	PFC
PACRL4	初期化	保持	保持	初期化	-	保持	
PACRL3	初期化	保持	保持	初期化	-	保持	
PACRL2	初期化	保持	保持	初期化	-	保持	
PACRL1	初期化	保持	保持	初期化	-	保持	
PAPRL	初期化	保持	保持	初期化	-	保持	I/O
PBDRH	初期化	保持	保持	初期化	-	保持	
PBDRL	初期化	保持	保持	初期化	-	保持	
PBIORH	初期化	保持	保持	初期化	-	保持	PFC
PBIORL	初期化	保持	保持	初期化	-	保持	
PBCRH1	初期化	保持	保持	初期化	-	保持	
PBCRL2	初期化	保持	保持	初期化	-	保持	
PBCRL1	初期化	保持	保持	初期化	-	保持	
PBPRH	初期化	保持	保持	初期化	-	保持	I/O
PBPRL	初期化	保持	保持	初期化	-	保持	
PDDR1*	初期化	保持	保持	初期化	-	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
PDIORL* ¹	初期化	保持	保持	初期化	-	保持	PFC
PDCRL4* ¹	初期化	保持	保持	初期化	-	保持	
PDCRL3* ¹	初期化	保持	保持	初期化	-	保持	
PDCRL2* ¹	初期化	保持	保持	初期化	-	保持	
PDCRL1* ¹	初期化	保持	保持	初期化	-	保持	
PDPRL* ¹	初期化	保持	保持	初期化	-	保持	I/O
PEDRH	初期化	保持	保持	初期化	-	保持	
PEDRL	初期化	保持	保持	初期化	-	保持	
PEIORH	初期化	保持	保持	初期化	-	保持	PFC
PEIORL	初期化	保持	保持	初期化	-	保持	
PECRH2	初期化	保持	保持	初期化	-	保持	
PECRH1	初期化	保持	保持	初期化	-	保持	
PECRL4	初期化	保持	保持	初期化	-	保持	
PECRL3	初期化	保持	保持	初期化	-	保持	
PECRL2	初期化	保持	保持	初期化	-	保持	
PECRL1	初期化	保持	保持	初期化	-	保持	
PEPRH	初期化	保持	保持	初期化	-	保持	I/O
PEPRL	初期化	保持	保持	初期化	-	保持	
IFCR	初期化	保持	保持	初期化	-	保持	PFC
PFDRL	初期化	保持	保持	初期化	-	保持	I/O
FRQCR	初期化* ²	保持	保持	初期化	-	保持	CPG
STBCR1	初期化	保持	保持	初期化	-	保持	低消費電力
STBCR2	初期化	保持	保持	初期化	-	保持	
STBCR3	初期化	保持	保持	初期化	-	保持	
STBCR4	初期化	保持	保持	初期化	-	保持	
STBCR5	初期化	保持	保持	初期化	-	保持	
STBCR6	初期化	保持	保持	初期化	-	保持	
WTCNT	初期化* ²	保持	保持	初期化	-	保持	WDT
WTCNR	初期化* ²	保持	保持	初期化	-	保持	
OSCCR	初期化* ³	保持	保持* ⁴	初期化	-	保持	CPG
RAMCR	初期化	保持	保持	初期化	-	保持	低消費電力
ADTSR_0	初期化	保持	保持	初期化	保持	保持	A/D
ADTSR_1	初期化	保持	保持	初期化	保持	保持	
BSCEHR	初期化	保持	保持	初期化	-	保持	BSC
ICR0	初期化	初期化	保持	初期化	-	保持	INTC
IRQCR	初期化	初期化	保持	初期化	-	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
IRQSR	初期化	初期化	保持	初期化	-	保持	INTC
IPRA	初期化	初期化	保持	初期化	-	保持	
IPRD	初期化	初期化	保持	初期化	-	保持	
IPRE	初期化	初期化	保持	初期化	-	保持	
IPRF	初期化	初期化	保持	初期化	-	保持	
IPRH	初期化	初期化	保持	初期化	-	保持	
IPRI	初期化	初期化	保持	初期化	-	保持	
IPRJ	初期化	初期化	保持	初期化	-	保持	
IPRK	初期化	初期化	保持	初期化	-	保持	
IPRL	初期化	初期化	保持	初期化	-	保持	
CMNCR	初期化	保持	保持	初期化	-	保持	BSC
CS0BCR	初期化	保持	保持	初期化	-	保持	
CS1BCR	初期化	保持	保持	初期化	-	保持	
CS0WCR	初期化	保持	保持	初期化	-	保持	
CS1WCR	初期化	保持	保持	初期化	-	保持	
RAMER	初期化	初期化	保持	初期化	保持	保持	FLASH (F-ZTAT 版のみ)
BARA	初期化	保持	保持	初期化	初期化	保持	UBC
BAMRA	初期化	保持	保持	初期化	初期化	保持	
BBRA	初期化	保持	保持	初期化	初期化	保持	
BDRA ^{*5}	初期化	保持	保持	初期化	初期化	保持	
BDMRA ^{*5}	初期化	保持	保持	初期化	初期化	保持	
BARB	初期化	保持	保持	初期化	初期化	保持	
BAMRB	初期化	保持	保持	初期化	初期化	保持	
BBRB	初期化	保持	保持	初期化	初期化	保持	
BDRB ^{*5}	初期化	保持	保持	初期化	初期化	保持	
BDMRB ^{*5}	初期化	保持	保持	初期化	初期化	保持	
BRCR	初期化	保持	保持	初期化	初期化	保持	
BRSR ^{*5}	初期化	初期化	保持	初期化	初期化	保持	
BRDR ^{*5}	初期化	初期化	保持	初期化	初期化	保持	
BETR ^{*5}	初期化	保持	保持	初期化	初期化	保持	

【注】 *1 SH7149 のみ。

*2 WDT によるパワーオンリセットでは初期化されません。

*3 OSCSTOP ビットは WDT によるパワーオンリセットでは初期化されません。

*4 OSCSTOP ビットは初期化されます。

*5 F-ZTAT 版のみ。

24. 電気的特性

24.1 絶対最大定格

絶対最大定格を表 24.1 に示します。

表 24.1 絶対最大定格

項 目		記号	定格値	単位
電源電圧		V_{CC}	- 0.3 ~ + 7.0	V
入力電圧 (アナログ入力端子以外)		V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
アナログ電源電圧		AV_{CC}	- 0.3 ~ + 7.0	V
アナログ入力電圧		V_{an}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	民生用途品	T_{opr}	- 20 ~ + 85	
	産業用途品		- 40 ~ + 85	
保存温度		T_{stg}	- 55 ~ + 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

24.2 DC 特性

DC 特性を表 24.2 に示します。

表 24.2 DC 特性

条件 : $V_{cc} = 4.0V \sim 5.5V$ 、 $AV_{cc} = 4.0V \sim 5.5V$ 、 $V_{ss} = PLLV_{ss} = AV_{ss} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項 目	記号	Min.	Typ.	Max.	単位	測定条件	
入力ハイレベル 電圧 (シュミットトリ ガ入力端子を除く)	RES、MRES、NMI、 FWE、MD1、MD0、 ASEMD0、EXTAL	V_{IH}	$V_{cc} - 0.7$	-	$V_{cc} + 0.3$	V	
	アナログ兼用ポート		2.2	-	$AV_{cc} + 0.3$	V	
	その他の入力端子		2.2	-	$V_{cc} + 0.3$	V	
入力ローレベル 電圧 (シュミットトリ ガ入力端子を除く)	RES、MRES、NMI、 FWE、MD1、MD0、 ASEMD0、EXTAL	V_{IL}	-0.3	-	0.5	V	
	その他の入力端子		-0.3	-	0.8	V	
シュミットトリガ 入力電圧	IRQ3 ~ IRQ0、 POE8 ~ POE0、 TCLKA ~ TCLKD、 TIOC0A ~ TIOC0D、 TIOC1A、TIOC1B、 TIOC2A、TIOC2B、 TIOC3A ~ TIOC3D、 TIOC4A ~ TIOC4D、 TIC5U、TIC5V、TIC5W、 TIOC3BS、TIOC3DS、 TIOC4AS ~ TIOC4DS、 TIC5US、TIC5VS、 TIC5WS、 SCK0 ~ SCK2、 RXD0 ~ RXD2、 \overline{TRST}	V_T^+	$V_{cc} - 0.5$	-	-	V	
		V_T^-	-	-	1.0	V	
		$V_T^+ - V_T^-$	0.4	-	-	V	
入力リーク電流	全入力端子 (ASEMD0、POE3、 POE7、POE8*を除く)	$ I_{in} $	-	-	1.0	μA	
入力プルアップ MOS 電流	ASEMD0、 POE3、POE7、POE8*	$-I_{pu}$	-	-	800	μA	$V_{in} = 0V$
スリープステート リーク電流 (オフ状態)	ポート A、B、D、E	$ I_{si} $	-	-	1.0	μA	

項目	記号	Min.	Typ.	Max.	単位	測定条件	
出力ハイレベル 電圧	全出力端子	$V_{cc} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$	
		$V_{cc} - 1.0$	-	-	V	$I_{OH} = -1mA$	
	TIOC3B、TIOC3D、 TIOC4A ~ TIOC4D、 TIOC3BS、TIOC3DS、 TIOC4AS ~ TIOC4DS	$V_{cc} - 1.0$	-	-	V	$I_{OH} = -5mA$	
	PE9、PE11 ~ PE21	$V_{cc} - 2.0$	-	-	V	$I_{OH} = -5mA$	
出力ローレベル 電圧	全出力端子	V_{OL}	-	0.4	V	$I_{OL} = 1.6mA$	
		-	-	1.4	V	$I_{OL} = 15mA$	
	TIOC3B、TIOC3D、 TIOC4A ~ TIOC4D、 TIOC3BS、TIOC3DS、 TIOC4AS ~ TIOC4DS	-	-	1.4	V	$I_{OL} = 15mA$	
PE9、PE11 ~ PE21	-	-	2.5	V	$I_{OL} = 15mA$		
入力容量	全入力端子	C_{in}	-	20	pF	$V_{in}=0V$ 、 $f=1MHz$ 、 $T_a=25$	
消費電流	通常動作時	I_{cc}	-	80	125	mA	$I = 80MHz$ $B = 40MHz$ $P = 40MHz$ $MP = 40MHz$ $MI = 80MHz$
	スリープ時		-	65	110	mA	$B = 40MHz$ $P = 40MHz$ $MP = 40MHz$ $MI = 80MHz$
	ソフトウェア スタンバイ時		-	10	40	mA	$T_a = 50$
	ディープソフトウェア スタンバイ時		-	-	80	mA	$50 < T_a$
	ディープソフトウェア スタンバイ時		-	5	30	μA	$T_a = 50$
	ディープソフトウェア スタンバイ時		-	-	80	μA	$50 < T_a$
消費電流 E10A フル機能対応 F-ZTAT 版のみ	通常動作時	I_{cc}	-	150	165	mA	$I = 80MHz$ $B = 40MHz$ $P = 40MHz$ $MP = 40MHz$ $MI = 80MHz$
	スリープ時		-	140	150	mA	$B = 40MHz$ $P = 40MHz$ $MP = 40MHz$ $MI = 80MHz$
	ソフトウェア スタンバイ時		-	20	60	mA	$T_a = 50$
	ディープソフトウェア スタンバイ時		-	-	120	mA	$50 < T_a$
	ディープソフトウェア スタンバイ時		-	20	50	μA	$T_a = 50$
	ディープソフトウェア スタンバイ時		-	-	120	μA	$50 < T_a$

項目		記号	Min.	Typ.	Max.	単位	測定条件
アナログ電源電流	A/D 変換中	I_{CC}	-	3	6	mA	A/D 変換 モジュール 1 基 あたりの値
	A/D 変換待機時		-	-	3.5	mA	
	スタンバイ時		-	-	10	μ A	
RAM スタンバイ電圧		VRAM	2.0	-	-	V	V_{CC}

【使用上の注意】

1. A/D 変換器を使用しないときに、 AV_{CC} 、 AV_{SS} 端子を開放しないでください。
2. 消費電流は、 $V_{IH}(\text{Min.})=V_{CC}-0.5V$ 、 $V_{IL}(\text{Max.})=0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

【注】 * PB18/POE8 端子が、PFC で POE8 機能に選択されている場合

表 24.3 出力許容電流値

条件 : $V_{CC}=4.0V \sim 5.5V$ 、 $AV_{CC}=4.0V \sim 5.5V$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (1 端子当たり)	I_{OL}	-	-	2.0*	mA
出力ローレベル許容電流 (総和)	ΣI_{OL}	-	-	110	mA
出力ハイレベル許容電流 (1 端子当たり)	$-I_{OH}$	-	-	2.0*	mA
出力ハイレベル許容電流 (総和)	$\Sigma -I_{OH}$	-	-	35	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 24.3 の値を超えないようにしてください。

【注】 * PE9、PE11 ~ PE21 は $I_{OL}=15\text{mA}(\text{Max.})$ / $-I_{OH}=5\text{mA}(\text{Max.})$ 。ただし、これらの端子のうち同時に 2.0mA を超えて $I_{OL}/-I_{OH}$ を流すものは 6 本以内にしてください。

24.3 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがない限り、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 24.4 最大動作周波数

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項 目		記号	Min.	Typ.	Max.	単位	備考
動作周波数	CPU (I)	f	10	-	80	MHz	
	外部バス (B)		10	-	40		
	周辺モジュール (P)		10	-	40		
	MTU2 (MP)		10	-	40		
	MTU2S (MI)		10	-	80		

24.3.1 クロックタイミング

表 24.5 クロックタイミング

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項 目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	f_{EX}	5	12.5	MHz	図 24.1
EXTAL クロック入力サイクル時間	t_{EXcyt}	80	200	ns	
EXTAL クロック入力 Low レベルパルス幅	t_{EXL}	20	-	ns	
EXTAL クロック入力 High レベルパルス幅	t_{EXH}	20	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXr}	-	5	ns	
EXTAL クロック入力立ち下がり時間	t_{EXf}	-	5	ns	
CK クロック出力周波数	f_{OP}	10	40	MHz	図 24.2
CK クロック出力サイクル時間	t_{cyc}	25	100	ns	
CK クロック出力 Low レベルパルス幅	t_{CKL}	$1/2 t_{cyc} - 7.5$	-	ns	
CK クロック出力 High レベルパルス幅	t_{CKH}	$1/2 t_{cyc} - 7.5$	-	ns	
CK クロック出力立ち上がり時間	t_{CKr}	-	5	ns	
CK クロック出力立ち下がり時間	t_{CKf}	-	5	ns	
パワーオン発振安定時間	t_{OSC1}	10	-	ms	図 24.3
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	図 24.4
スタンバイ復帰発振安定時間 2	t_{OSC3}	10	-	ms	図 24.5

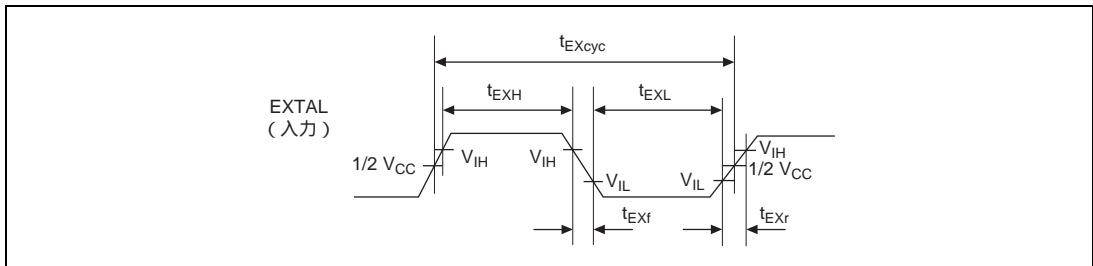


図 24.1 EXTAL クロック入力タイミング

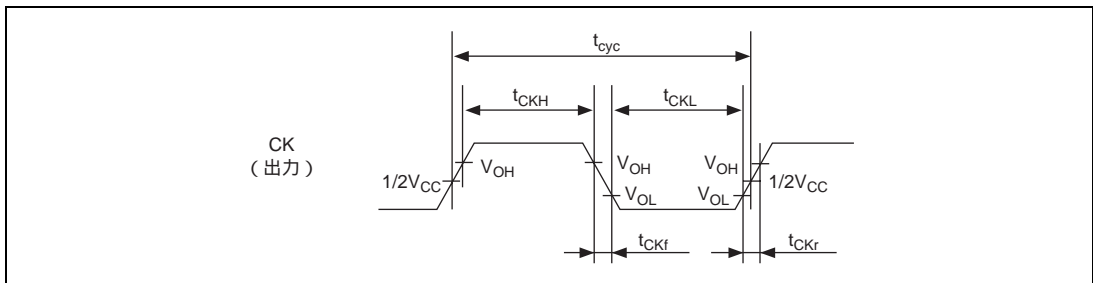


図 24.2 CK クロック出力タイミング

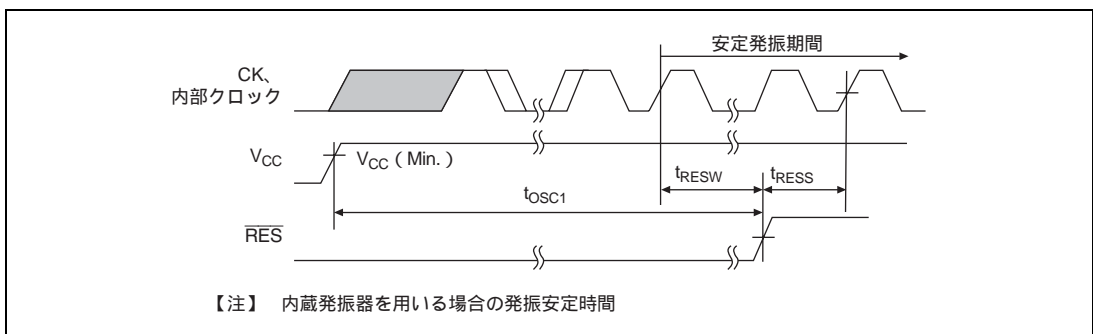


図 24.3 パワーオン発振安定時間

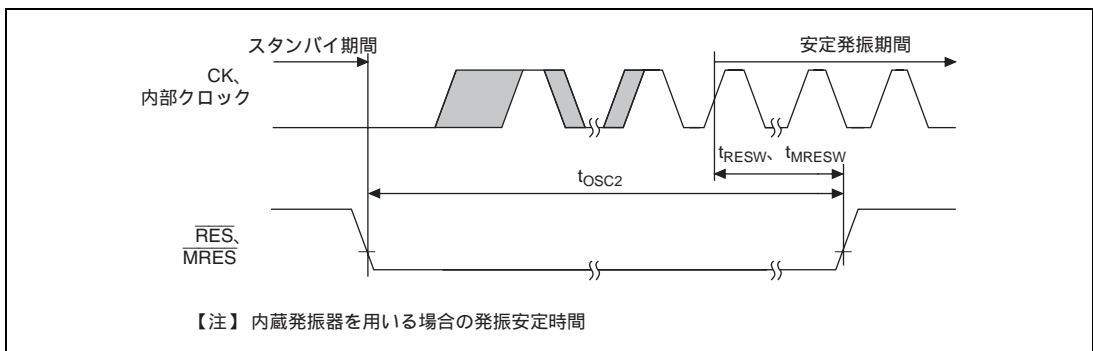


図 24.4 スタンバイ復帰時発振安定時間（リセットによる復帰）

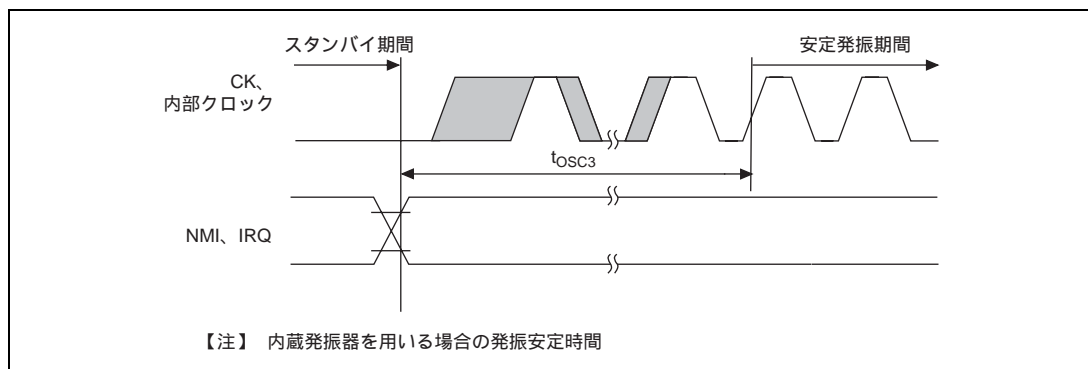


図 24.5 スタンバイ復帰時発振安定時間 (NMI、IRQ による復帰)

24.3.2 制御信号タイミング

表 24.6 制御信号タイミング

条件: $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
RES パルス幅	t_{RESW}	20 ^{*2}	-	t_{Boyc} ^{*4}	図 24.3
RES セットアップ時間 ^{*1}	t_{RESS}	65	-	ns	図 24.4
RES ホールド時間	t_{RESH}	15	-	ns	図 24.6
MRES パルス幅	t_{MRESW}	20 ^{*3}	-	t_{Boyc} ^{*4}	図 24.7
MRES セットアップ時間 ^{*1}	t_{MRESS}	25	-	ns	
MRES ホールド時間	t_{MRESH}	15	-	ns	
MD1、MD0、FWE セットアップ時間	t_{MDS}	20	-	t_{Boyc} ^{*4}	図 24.6
BREQ セットアップ時間	t_{BREQS}	$1/2t_{Boyc} + 15$	-	ns	図 24.9
BREQ ホールド時間	t_{BREQH}	$1/2t_{Boyc} + 10$	-	ns	
NMI セットアップ時間 ^{*1}	t_{NMS}	60	-	ns	図 24.7
NMI ホールド時間	t_{NMIH}	10	-	ns	
IRQ3 ~ IRQ0 セットアップ時間 ^{*1}	t_{IRQS}	35	-	ns	
IRQ3 ~ IRQ0 ホールド時間	t_{IROH}	35	-	ns	
IRQOUT 出力遅延時間	t_{IRQOD}	-	100	ns	図 24.8
BACK 遅延時間	t_{BACKD}	-	$1/2t_{Boyc} + 20$	ns	図 24.9
バスタイステート遅延時間	t_{BOFF}	0	100	ns	図 24.10
バスバッファオンタイム	t_{BON}	0	100	ns	

【注】 *1 RES、MRES、NMI、BREQ、および IRQ3 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。

*2 スタンバイモード時は、 $t_{RESW} = t_{OSC2}$ (10ms) になります。

*3 スタンバイモード時は、 $t_{MRESW} = t_{OSC2}$ (10ms) となります。

*4 t_{Boyc} は外部バスクロック ($B = CK$) の周期を示します。

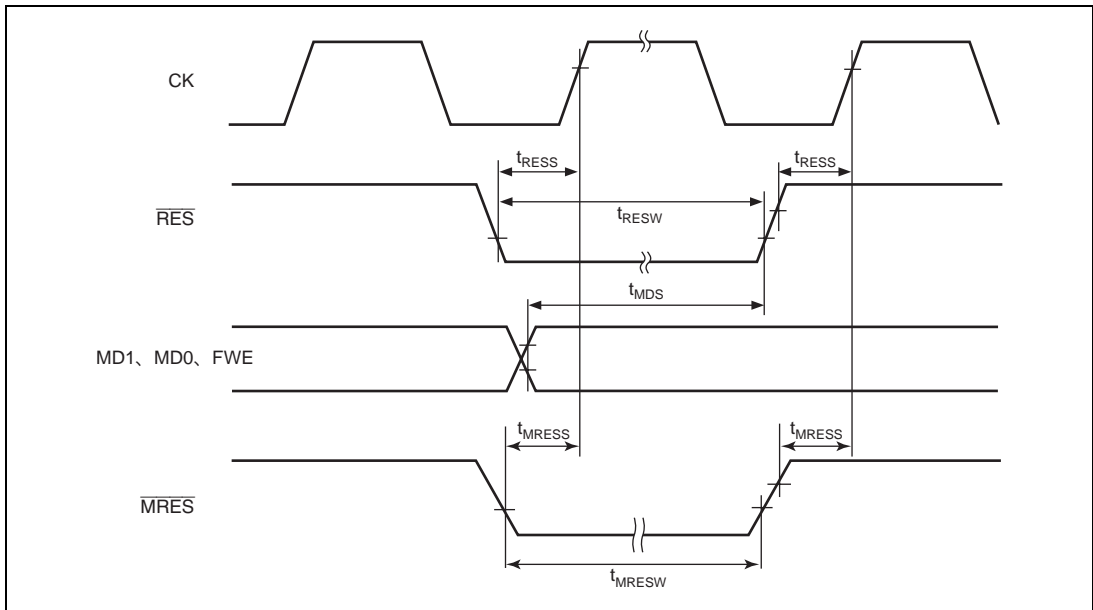


図 24.6 リセット入力タイミング

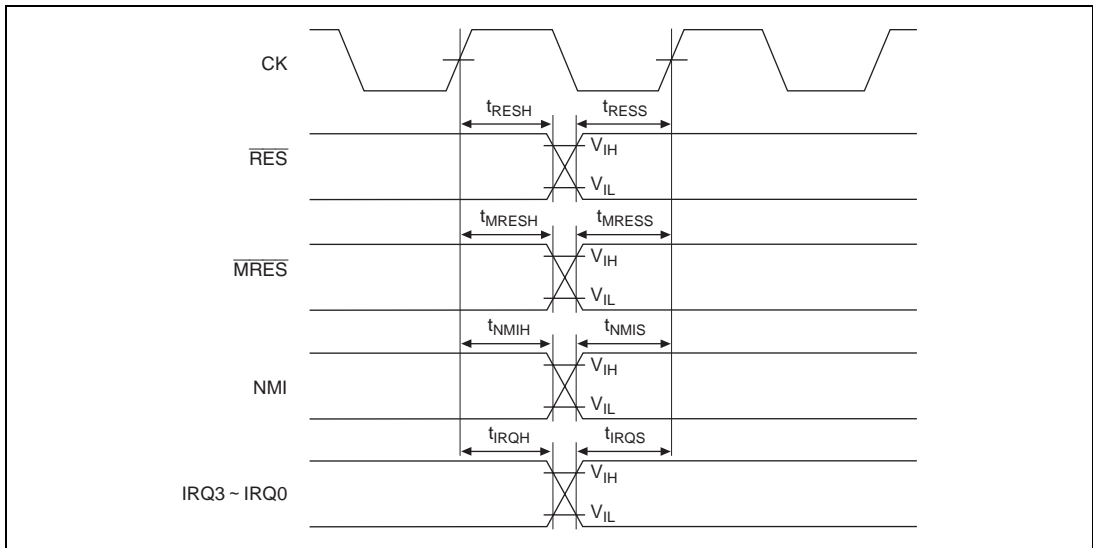


図 24.7 割り込み信号入力タイミング

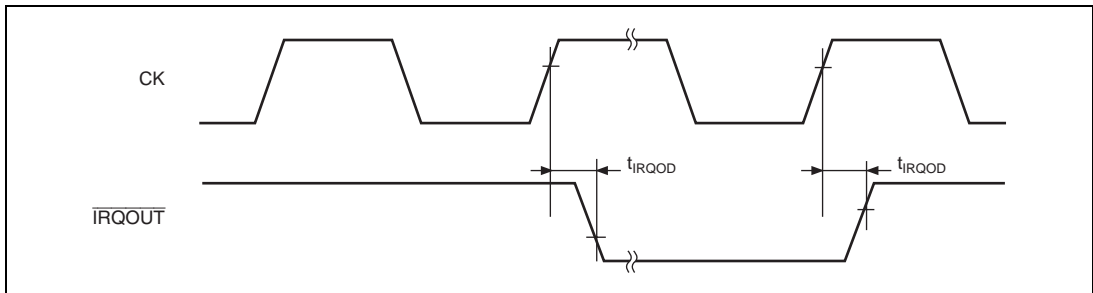


図 24.8 割り込み信号出力タイミング

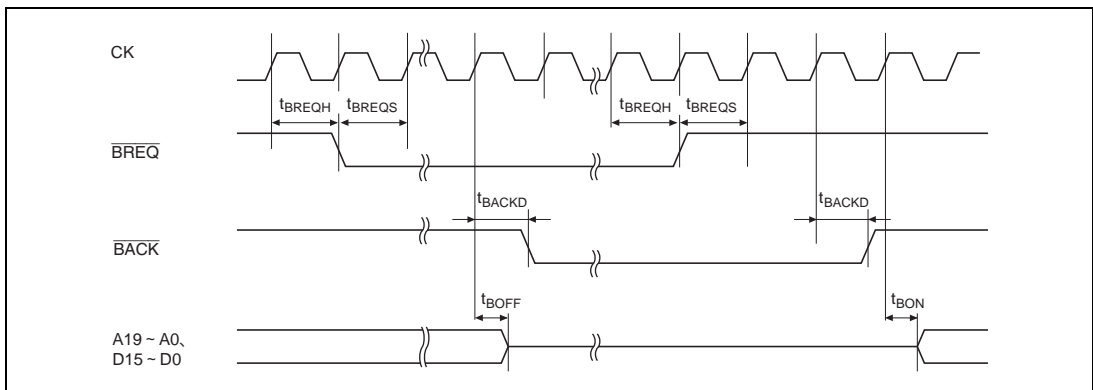


図 24.9 バス権解放タイミング

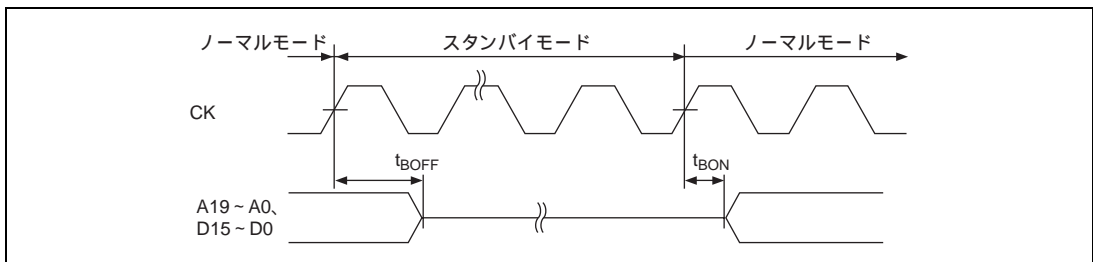


図 24.10 スタンバイ時の端子ドライブタイミング

24.3.3 AC バスタイミング仕様

表 24.7 バスタイミング

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
アドレス遅延時間 1	t_{AD1}	1	18 (20) ^{*3}	ns	図 24.11 ~ 24.15
アドレスセットアップ時間	t_{AS}	0	-	ns	図 24.11 ~ 24.14
アドレスホールド時間	t_{AH}	0	-	ns	図 24.11 ~ 24.14
CS 遅延時間	t_{CSD}	1	18 (20) ^{*3}	ns	図 24.11 ~ 24.15
CS セットアップ時間	t_{CSS}	0	-	ns	図 24.11 ~ 24.14
CS ホールド時間	t_{CSH}	0	-	ns	図 24.11 ~ 24.14
リードストロープ遅延時間	t_{RSD}	$1/2t_{Bcyc} + 1$	$1/2t_{Bcyc} + 18 (20)*3$	ns	図 24.11 ~ 24.15
リードデータセットアップ時間 1	t_{RDS1}	$1/2t_{Bcyc} + 18 (20)*3$	-	ns	図 24.11 ~ 24.15
リードデータホールド時間 1	t_{RDH1}	0	-	ns	図 24.11 ~ 24.15
リードデータアクセス時間	t_{ACC}^{*2}	$t_{Bcyc} \times (n+1.5) - 33^{*1} (35)*3$	-	ns	図 24.11 ~ 24.15
リードストロープからのアクセス時間	t_{OE}^{*2}	$t_{Bcyc} \times (n+1) - 33^{*1} (35)*3$	-	ns	図 24.11 ~ 24.15
ライトストロープ遅延時間 1	t_{WSD1}	$1/2t_{Bcyc} + 1$	$1/2t_{Bcyc} + 18 (20)*3$	ns	図 24.11 ~ 24.15
ライトデータ遅延時間 1	t_{WDD1}	-	18 (20) ^{*3}	ns	図 24.11 ~ 24.15
ライトデータホールド時間 1	t_{WDH1}	1	11	ns	図 24.11 ~ 24.15
ライトデータ保持時間	t_{WRH}	0	-	ns	図 24.11 ~ 24.14
WAIT セットアップ時間	t_{WTS}	$1/2t_{Bcyc} + 17 (18)*3$	-	ns	図 24.12 ~ 24.15
WAIT ホールド時間	t_{WTH}	$1/2t_{Bcyc} + 7 (18)*3$	-	ns	図 24.12 ~ 24.15

【注】 t_{Bcyc} は外部バスクロック ($B = CK$) の周期を示します。

*1 n はウェイト数

*2 アクセス時間が満足されていれば、 t_{RDS1} は満足されている必要はありません。

*3 括弧内は E10A フル機能対応 F-ZTAT 版の値になります。

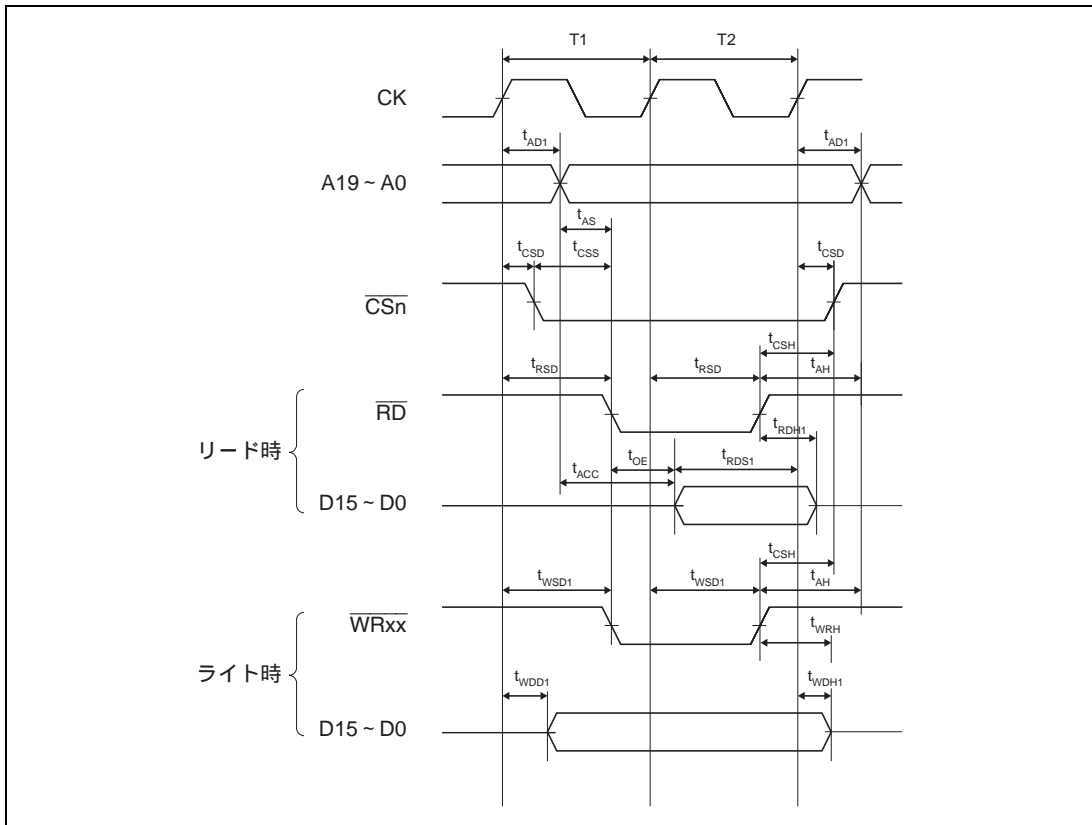


図 24.11 通常空間基本バスサイクル (ノーウェイト)

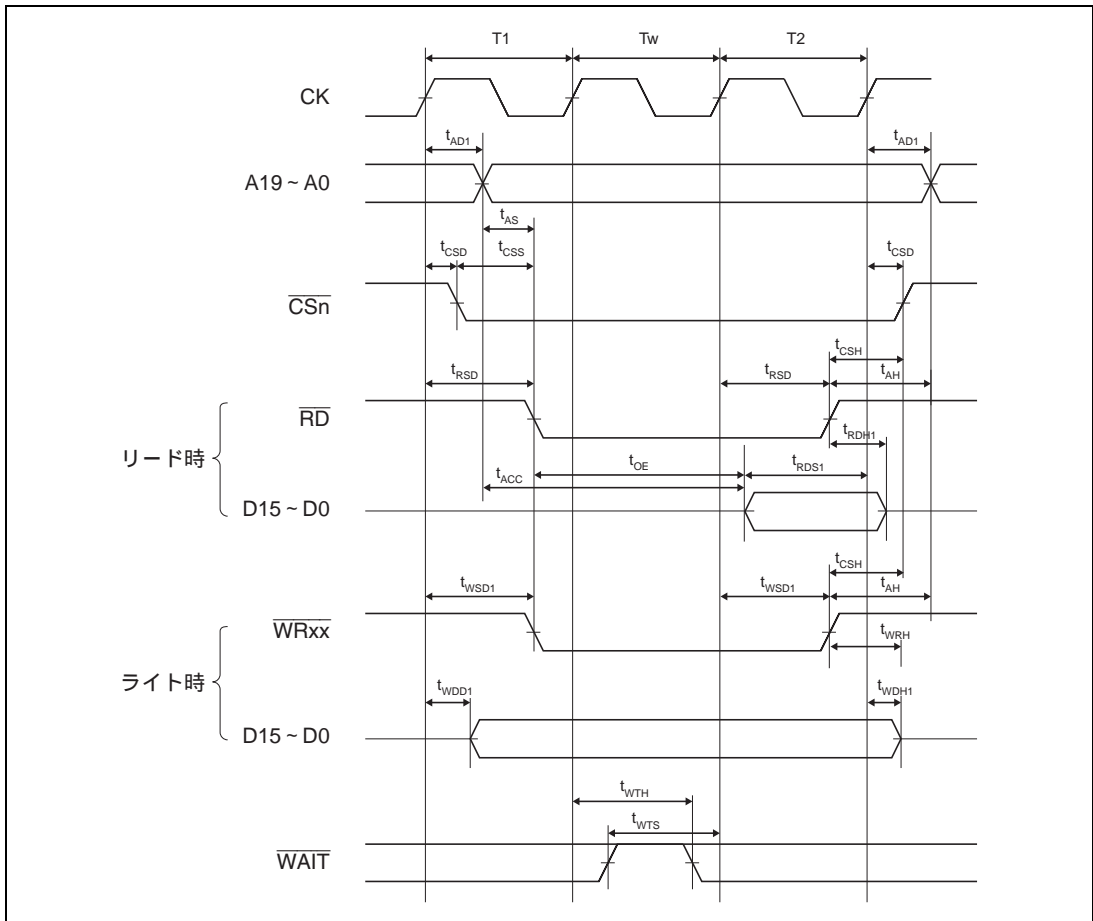


図 24.12 通常空間基本バスサイクル (ソフトウェアウェイト1)

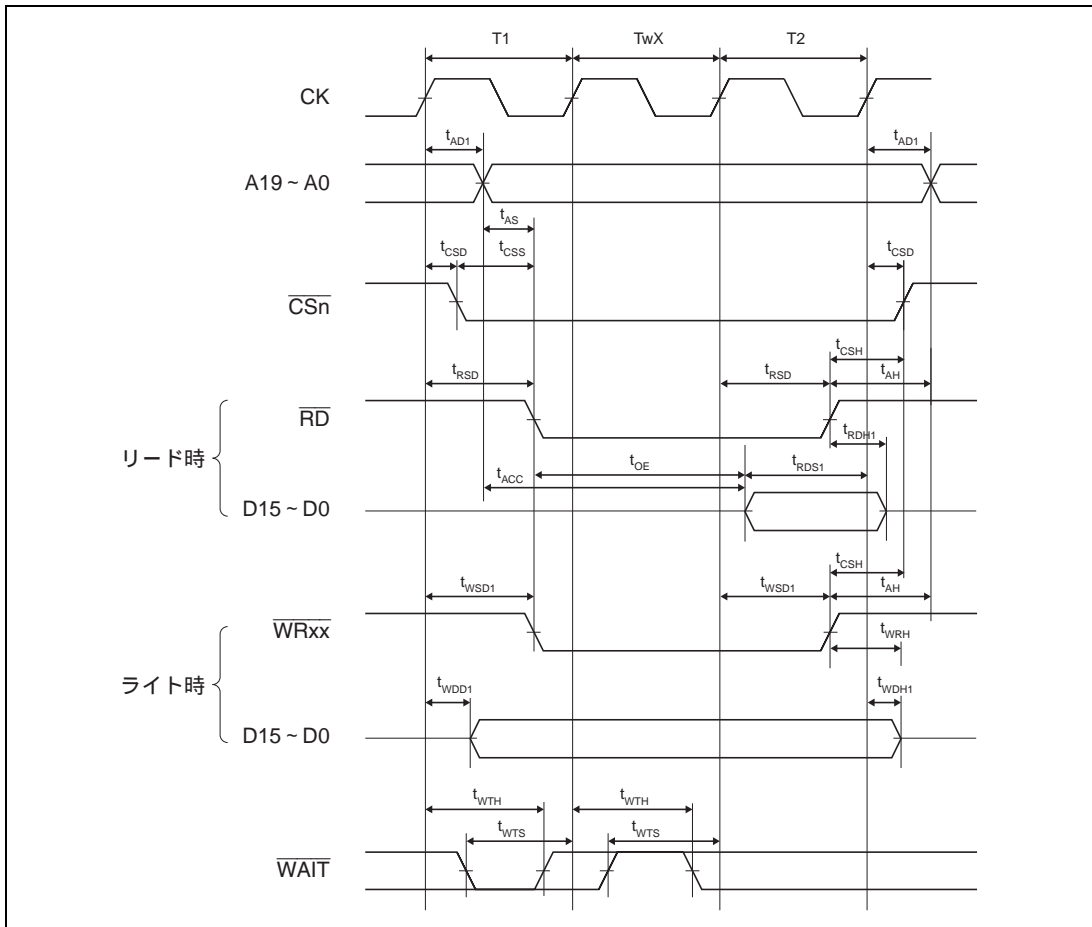


図 24.13 通常空間基本バスサイクル (外部ウェイト 1 挿入)

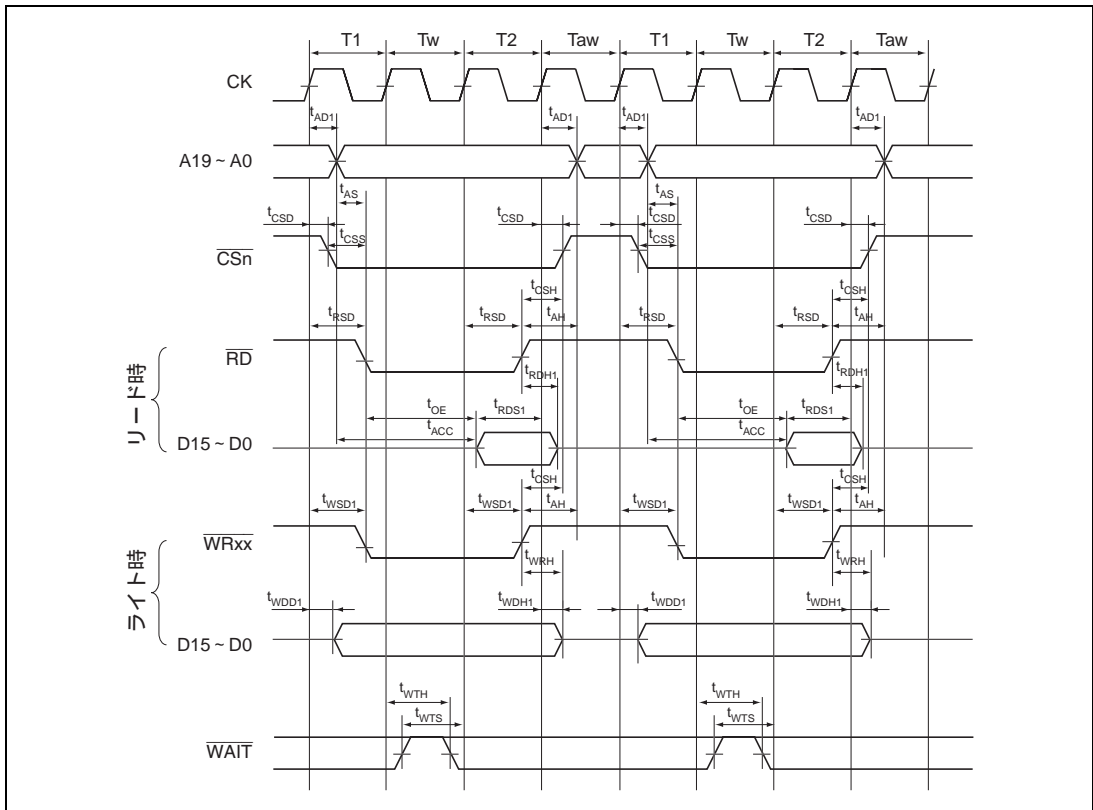


図 24.14 通常空間基本バスサイクル
 (ソフトウェアウェイト1、外部ウェイト有効(WMビット=0)、アイドルサイクルなし)

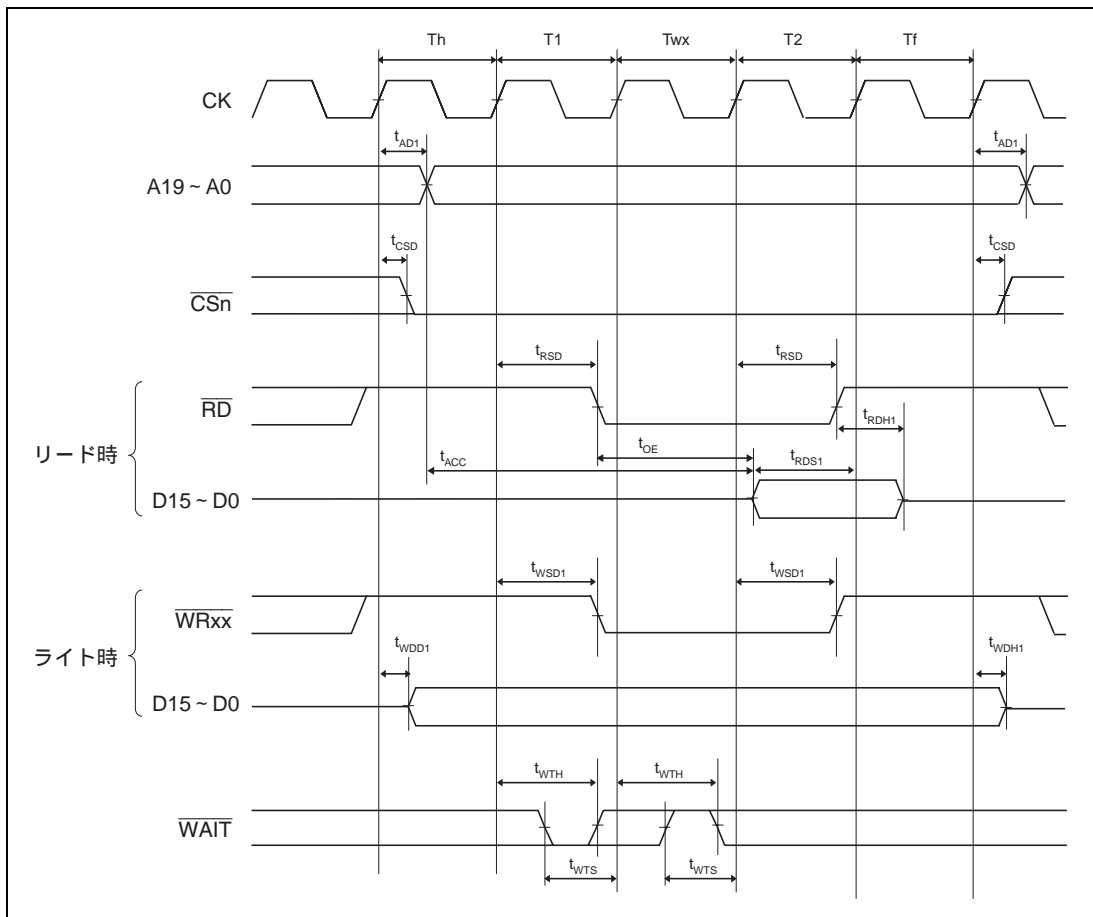


図 24.15 通常空間 CS 拡張バスサイクル
(SW = 1 サイクル、HW = 1 サイクル、外部ウェイト 1 挿入)

24.3.4 マルチファンクションタイマパルスユニット 2 (MTU2) タイミング

表 24.8 マルチファンクションタイマパルスユニット 2 (MTU2) タイミング

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	50	ns	図 24.16
インプットキャプチャ入力セットアップ時間	t_{TICS}	20	-	ns	
インプットキャプチャ入力パルス幅 (単エッジ指定)	t_{TICW}	1.5	-	$t_{MP_{Pyc}}$	
インプットキャプチャ入力パルス幅 (両エッジ指定)	t_{TICW}	2.5	-	$t_{MP_{Pyc}}$	
タイマ入力セットアップ時間	t_{TCKS}	20	-	ns	図 24.17
タイマクロックパルス幅 (単エッジ指定)	t_{TCKWHL}	1.5	-	$t_{MP_{Pyc}}$	
タイマクロックパルス幅 (両エッジ指定)	t_{TCKWHL}	2.5	-	$t_{MP_{Pyc}}$	
タイマクロックパルス幅 (位相計数モード)	t_{TCKWHL}	2.5	-	$t_{MP_{Pyc}}$	

【注】 $t_{MP_{Pyc}}$ は MTU2 クロック (MP) の周期を示します。

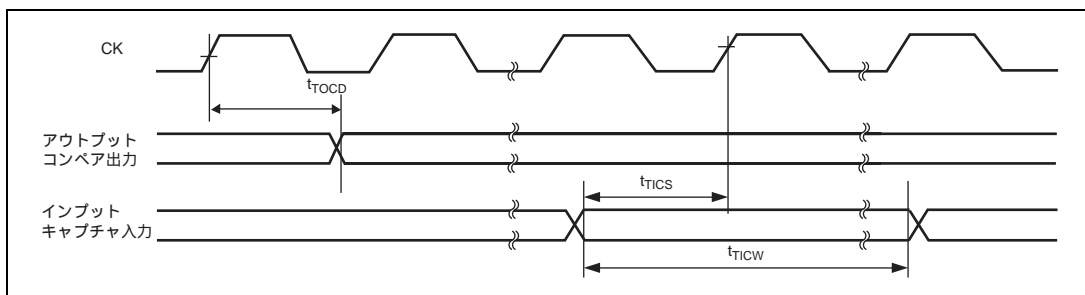


図 24.16 MTU2 入出力タイミング

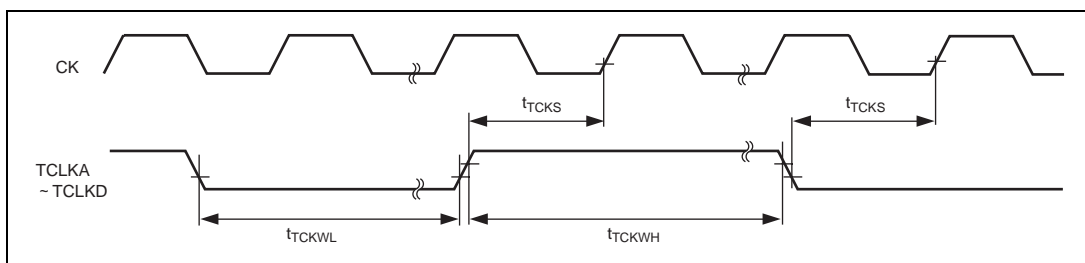


図 24.17 MTU2 クロック入力タイミング

24.3.5 マルチファンクションタイマパルスユニット 2S (MTU2S) タイミング

表 24.9 マルチファンクションタイマパルスユニット 2S (MTU2S) タイミング

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	50	ns	図 24.18
インプットキャプチャ入力セットアップ時間	t_{TICS}	20	-	ns	
インプットキャプチャ入力パルス幅 (単エッジ指定)	t_{TICW}	1.5	-	t_{Mleyc}	
インプットキャプチャ入力パルス幅 (両エッジ指定)	t_{TICW}	2.5	-	t_{Mleyc}	

【注】 t_{Mleyc} は MTU2S クロック (MI) の周期を示します。

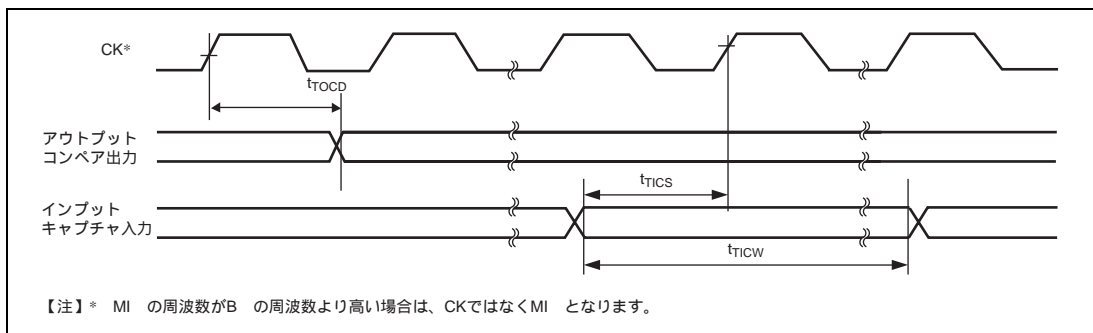


図 24.18 MTU2S 入出力タイミング

24.3.6 I/O ポートタイミング

表 24.10 I/O ポートタイミング

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
ポート出力データ遅延時間	t_{PWD}	-	50	ns	図 24.19
ポート入力ホールド時間	t_{PRH}	20	-	ns	
ポート入力セットアップ時間	t_{PRS}	20	-	ns	

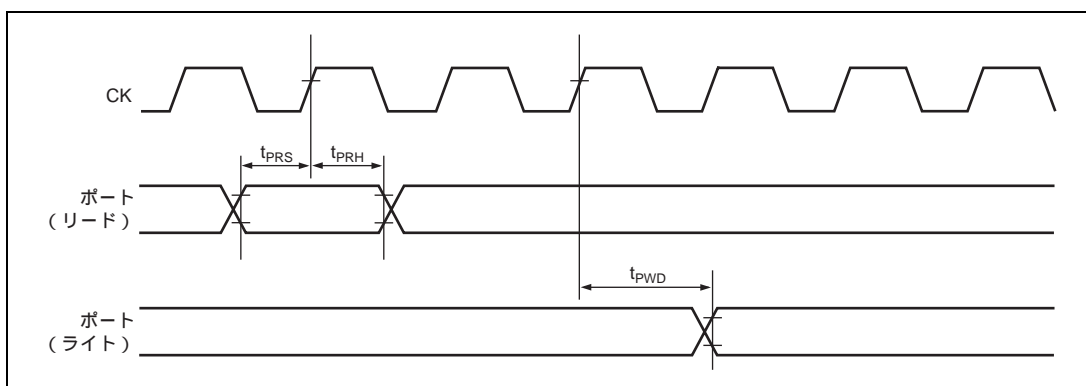


図 24.19 I/O ポート入出力タイミング

24.3.7 ウォッチドッグタイマ (WDT) タイミング

表 24.11 ウォッチドッグタイマ (WDT) タイミング

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
WDTOVF 遅延時間	t_{WOVD}	-	50	ns	図 24.20

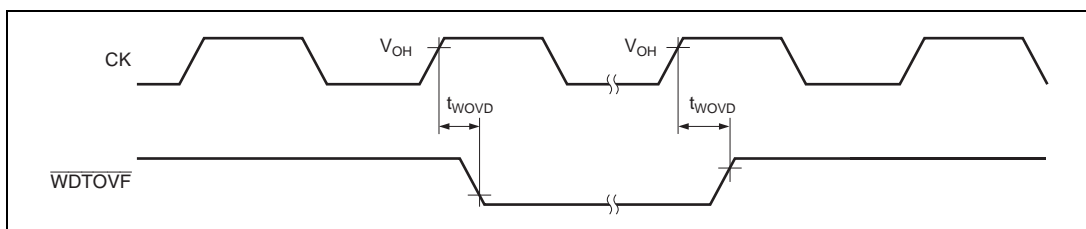


図 24.20 ウォッチドッグタイマタイミング

24.3.8 シリアルコミュニケーションインタフェース (SCI) タイミング

表 24.12 シリアルコミュニケーションインタフェース (SCI) タイミング

条件: $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLL_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図				
入力クロックサイクル (調歩同期)	t_{scyc}	4	-	t_{poyc}	図 24.21				
入力クロックサイクル (クロック同期)	t_{scyc}	6	-	t_{poyc}					
入力クロックパルス幅	t_{sckw}	0.4	0.6	t_{scyc}					
入力クロック立ち上がり時間	t_{sckr}	-	1.5	t_{poyc}					
入力クロック立ち下がり時間	t_{sckf}	-	1.5	t_{poyc}					
送信データ遅延時間	調歩同期	tTXD	-	$4t_{poyc} + 10$		図 24.22			
受信データセットアップ時間					tRXS		$4t_{poyc}$	-	ns
受信データホールド時間					tRXH		$4t_{poyc}$	-	ns
送信データ遅延時間	クロック同期	tTXD	-	$3t_{poyc} + 10$					
受信データセットアップ時間					tRXS		$2t_{poyc} + 50$	-	ns
受信データホールド時間					tRXH		$2t_{poyc}$	-	ns

【注】 t_{poyc} は周辺クロック (P) の周期を示します。

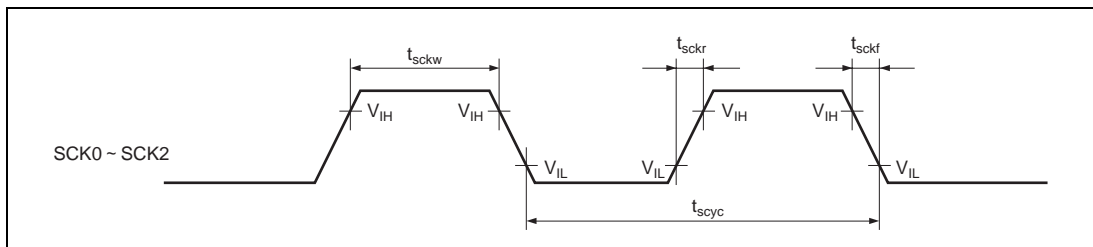


図 24.21 入力クロックタイミング

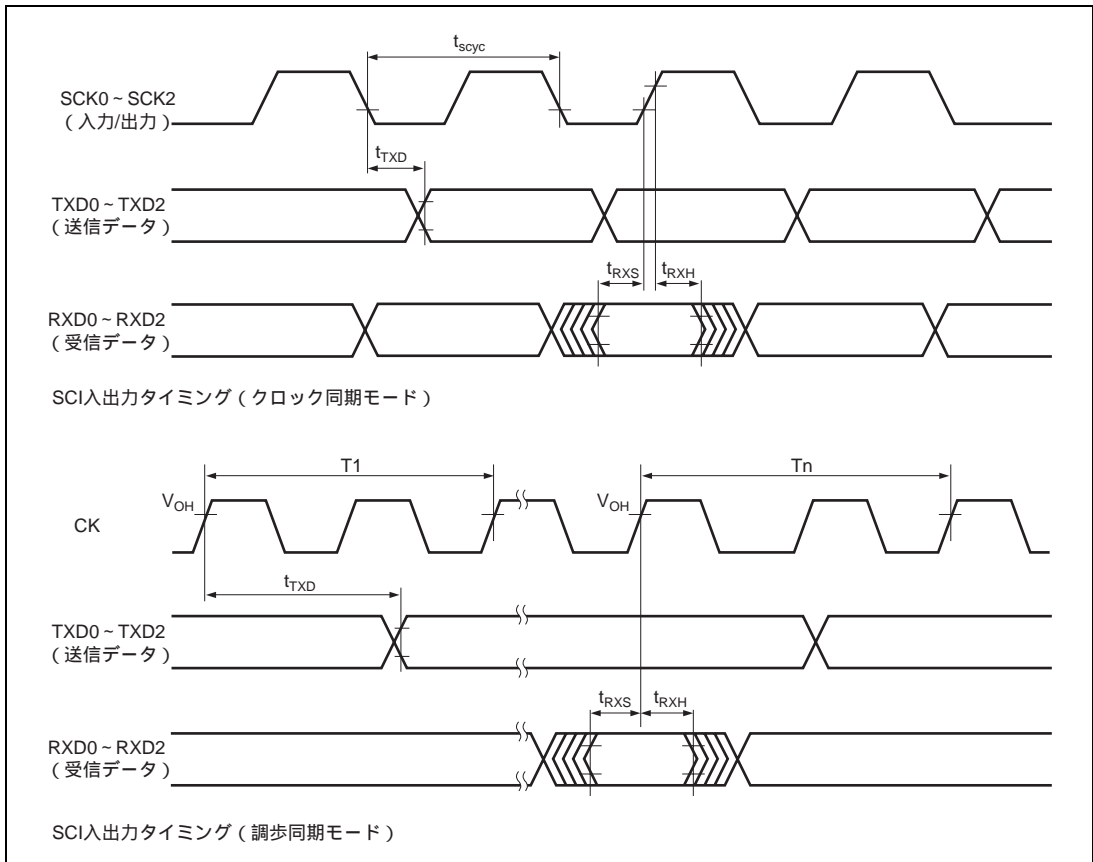


図 24.22 SCI 入出力タイミング

24.3.9 ポートアウトプットイネーブル (POE) タイミング

表 24.13 ポートアウトプットイネーブル (POE) タイミング

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
POE 入力セットアップ時間	t_{POES}	50	-	ns	図 24.23
POE 入力パルス幅	t_{POEW}	1.5	-	t_{PCLC}	

【注】 t_{PCLC} は周辺クロック (P) の周期を示します。

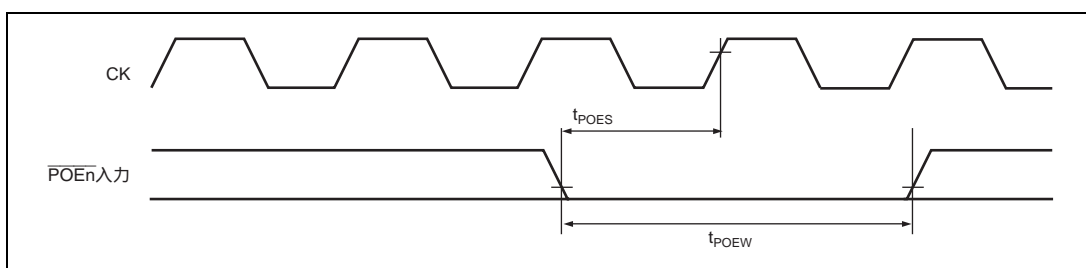


図 24.23 POE 入力タイミング

24.3.10 UBC トリガタイミング

表 24.14 UBC トリガタイミング

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Max.	単位	参照図
UBCTRG 遅延時間	t_{UBCTGD}	-	150	ns	図 24.24

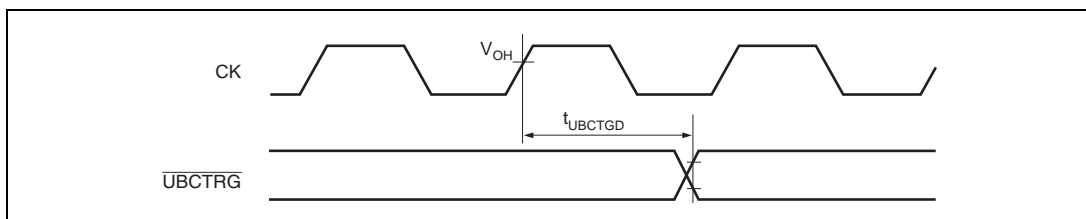


図 24.24 UBC トリガタイミング

24.3.11 A/D 変換器タイミング

表 24.15 A/D 変換器タイミング

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Typ.	Max.	単位	参照図
外部トリガ入力開始遅延時間	t_{TRGS}	25	-	-	ns	図 24.25

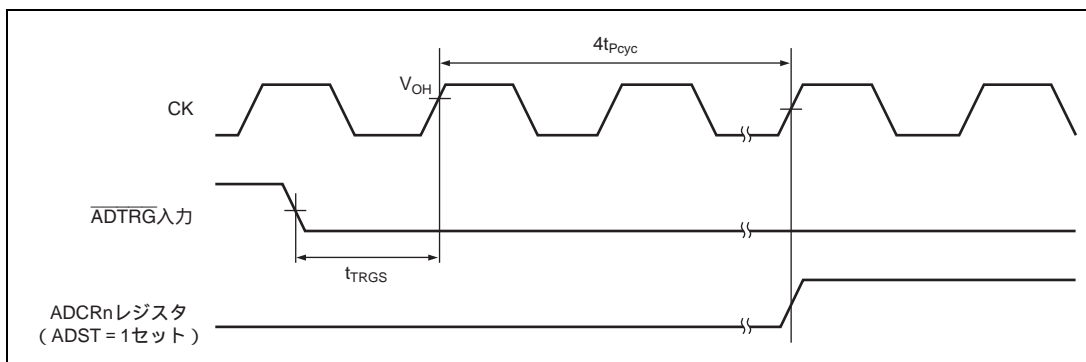


図 24.25 外部トリガ入力タイミング

24.3.12 AC 特性測定条件

- 入力信号レベル : V_{IL} (Max.) / V_{IH} (Min.)
- 出力信号参照レベル : Highレベル : 2.0V、Lowレベル : 0.8V

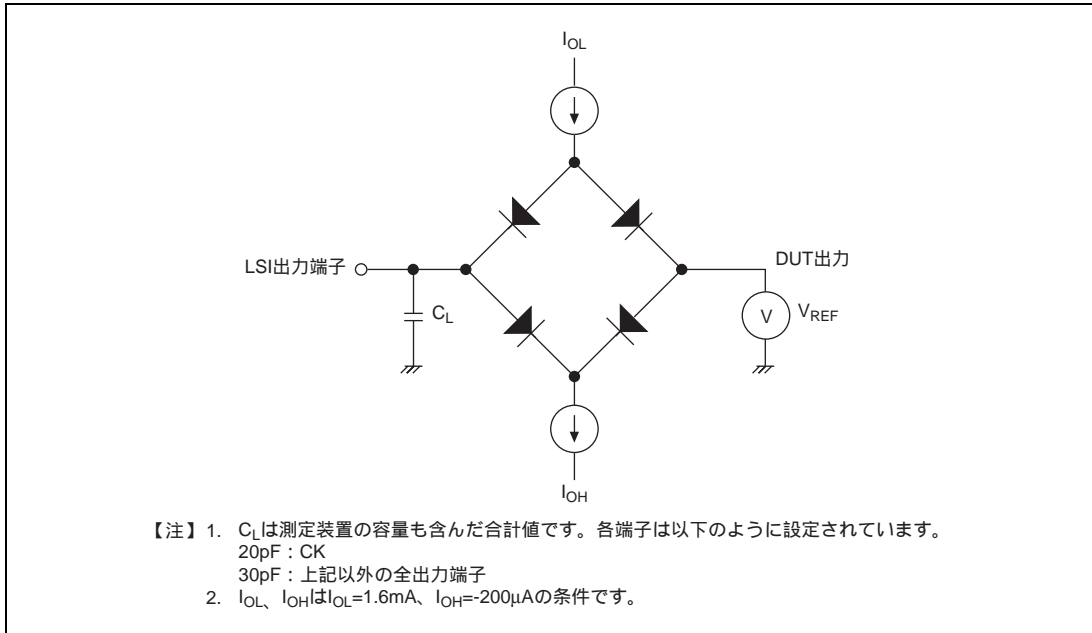


図 24.26 出力負荷回路

24.4 A/D 変換器特性

表 24.16 A/D 変換器特性

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	Min.	Typ.	Max.	単位
分解能	10	10	10	ビット
変換時間	2.0	-	-	μs
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	$1^{*1}/3^{*2}$	k
非線形誤差	-	-	$\pm 3.0^{*1}/\pm 5.0^{*2}$	LSB
オフセット誤差	-	-	$\pm 3.0^{*1}/\pm 5.0^{*2}$	LSB
フルスケール誤差	-	-	$\pm 3.0^{*1}/\pm 5.0^{*2}$	LSB
量子化誤差	-	-	± 0.5	LSB
絶対精度	-	-	$\pm 4.0^{*1}/\pm 6.0^{*2}$	LSB

【注】 *1 変換時間 4.0 μs の場合

*2 変換時間 < 4.0 μs の場合

24.5 フラッシュメモリ特性

表 24.17 フラッシュメモリ特性

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +85$ (民生用途品)、 $T_a = -40 \sim +85$ (産業用途品)

項目	記号	Min.	Typ.	Max.	単位
書き込み時間 ^{*1*2*4}	t_p	-	1	20	ms/128 バイト
消去時間 ^{*1*2*4}	t_E	-	40	260	ms/4K バイトブロック
		-	300	1500	ms/32K バイトブロック
		-	600	3000	ms/64K バイトブロック
書き込み時間 (総和) ^{*1*2*4}	t_p	-	2.3	12	s/256K バイト
消去時間 (総和) ^{*1*2*4}	t_E	-	2.3	12	s/256K バイト
書き込み、消去時間 (総和) ^{*1*2*4}	t_{FE}	-	4.6	24	s/256K バイト
書き換え回数	N_{WEC}	500 ^{*3}	-	-	回

【注】 *1 書き込み消去時間はデータに依存します。

*2 書き込み消去時間にはデータの転送時間は含みません。

*3 書き換え後のすべての特性を保証する Min.回数です (保証は 1 ~ Min.値の範囲です)。

*4 書き換えが Min.値を含む使用範囲内で行われたときの特性です。

24.6 使用上の注意事項

24.6.1 V_{CL} コンデンサ接続方法

本 LSI では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (V_{CL} 端子) と V_{SS} 端子間には、内部電圧安定用のコンデンサ ($0.47 \mu\text{F}$) を接続する必要があります。外付けコンデンサ接続方法を図 24.27 に示します。外付けコンデンサは端子の近くに配置してください。 V_{CL} 端子には、電源電圧を印加しないでください。

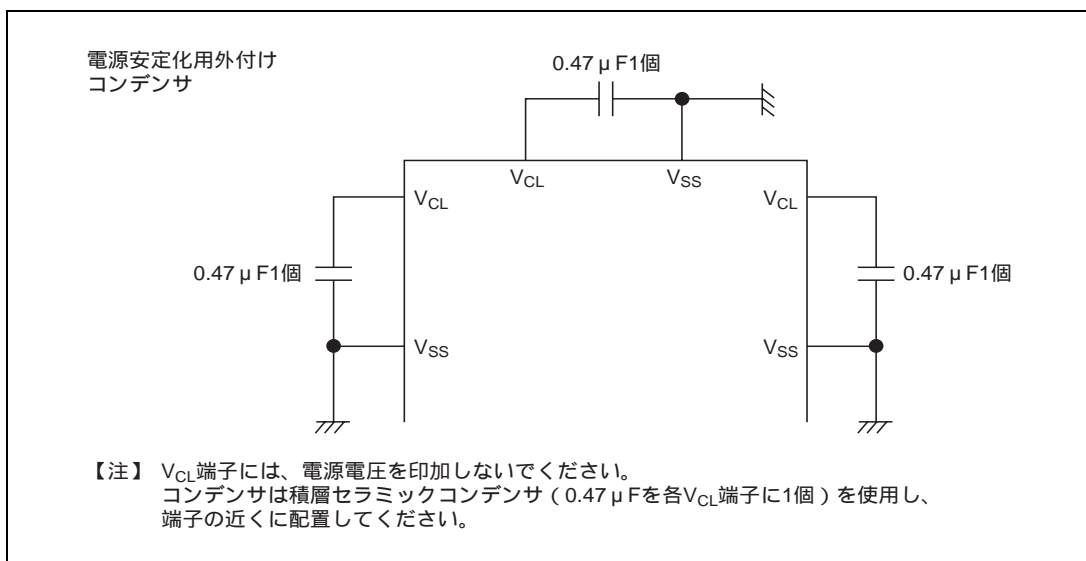


図 24.27 V_{CL} コンデンサ接続方法

付録

A. 端子状態

MCU動作モードにより、端子の初期値は異なります。詳しくは、「第17章 ピンファンクションコントローラ(PFC)」を参照してください。

表 A.1 端子状態 (SH7146)

端子機能		端子状態						
分類	端子名	リセット状態		低消費電力状態			発振停止 検出時	POE 機能 使用時
		パワーオン	マニュアル	ディープ ソフトウェア スタンバイ	ソフトウェア スタンバイ	スリープ		
クロック	XTAL	O	O	L	L	O	O	O
	EXTAL	I	I	Z	I	I	I	I
システム 制御	RES	I	I	I	I	I	I	I
	MPRES	Z	I	Z	Z	I	Z	I
	WDTOVF	O ^{*2}	O	O	O	O	O	O
動作 モード 制御	MD1	I	I	I	I	I	I	I
	ASEMD0	I ^{*3}	I ^{*3}	I ^{*3}	I ^{*3}	I ^{*3}	I ^{*3}	I ^{*3}
	FWE	I	I	I	I	I	I	I
割り込み	NMI	I	I	I	I	I	I	I
	IRQ0 ~ IRQ3	Z	I	Z	I	I	I	I
	IRQOUT	Z	O	Z	Z	O	Z	O
MTU2	TCLKA ~ TCLKD	Z	I	Z	Z	I	I	I
	TIOC0A ~ TIOC0D	Z	I/O	Z	K ^{*1}	I/O	I/O	Z
	TIOC1A, TIOC1B	Z	I/O	Z	K ^{*1}	I/O	I/O	I/O
	TIOC2A, TIOC2B	Z	I/O	Z	K ^{*1}	I/O	I/O	I/O
	TIOC3A, TIOC3C	Z	I/O	Z	K ^{*1}	I/O	I/O	I/O
	TIOC3B, TIOC3D	Z	I/O	Z	Z	I/O	Z	Z

端子機能		端子状態						
分類	端子名	リセット状態		低消費電力状態			発振停止 検出時	POE 機能 使用時
		パワーオン	マニュアル	ディープ ソフトウェア スタンバイ	ソフトウェア スタンバイ	スリープ		
MTU2	TIOC4A - TIOC4D	Z	I/O	Z	Z	I/O	Z	Z
	TIC5U, TIC5V	Z	I	Z	Z	I	I	I
MTU2S	TIOC3BS, TIOC3DS	Z	I/O	Z	Z	I/O	Z	Z
	TIOC4AS - TIOC4DS	Z	I/O	Z	Z	I/O	Z	Z
	TIC5US, TIC5VS	Z	I	Z	Z	I	I	I
POE	POE0 - POE2, POE4 - POE6, POE8 (PA9)	Z	I	Z	Z	I	I	I
	POE3, POE7, POE8 (PB18)	I ^{*3}	I ^{*3}	Z	Z	I ^{*3}	I ^{*3}	I ^{*3}
SCI	SCK0 - SCK2	Z	I/O	Z	Z	I/O	I/O	I/O
	RXD0 - RXD2	Z	I	Z	Z	I	I	I
	TXD0 - TXD2	Z	O	Z	O ^{*1}	O	O	O
UBC	UBCTRG	Z	O	Z	O ^{*1}	O	O	O
A/D 変換器	AN0, AN2, AN4, AN6 AN8 - AN15	Z	I	Z	Z	I	I	I
	ADTRG	Z	I	Z	Z	I	I	I
I/O ポート	PA0 - PA15	Z	I/O	Z	K ^{*1}	I/O	I/O	I/O
	PB2 - PB5, PB16 - PB18	Z	I/O	Z	K ^{*1}	I/O	I/O	I/O
	PE0 - PE3	Z	I/O	Z	K ^{*1}	I/O	I/O	Z
	PE4 - PE8, PE10	Z	I/O	Z	K ^{*1}	I/O	I/O	I/O
	PE9, PE11 - PE15	Z	I/O	Z	Z	I/O	Z	Z
	PE16 - PE21	Z	I/O	Z	Z	I/O	Z	Z
	PF0, PF2, PF4, PF6, PF8 - PF15	Z	I	Z	Z	I	I	I

【記号説明】

- I : 入力
O : 出力
H : ハイレベル出力
L : ローレベル出力
Z : ハイインピーダンス
K : 入力端子はハイインピーダンス、出力端子は状態保持

- 【注】 *1 スタンバイコントロールレジスタ 6 (STBCR6) の HIZ ビットを 1 にすると、出力端子はハイインピーダンスになります。
- *2 パワーオンリセット中は入力になります。誤動作防止のためプルアップしてください。また、プルダウンが必要な場合は、1M 以上の抵抗値でプルダウンしてください。
- *3 何も入力されないときは内部でプルアップします。

表 A.2 端子状態 (SH7149)

端子機能		端子状態										
分類	端子名	リセット状態				低消費電力状態			バス権 解放 状態	発振 停止 検出時	POE 機能 使用時	
		パワーオン			マニュアル	ディープ ソフト ウェア スタンバイ	ソフト ウェア スタンバイ	スリープ				
		ROMなし 拡張		ROM あり 拡張								シングル チップ
		8bit	16bit									
クロック	CK	O		Z	O	Z	H ^{※1}	O	O	O	O	
	XTAL	O			O	L	L	O	O	O	O	
	EXTAL	I			I	Z	I	I	I	I	I	
システム 制御	$\overline{\text{RES}}$	I			I	I	I	I	I	I	I	
	MRES	Z			I	Z	Z	I	I	Z	I	
	WDTOVF	O ^{※3}			O	O	O	O	O	O	O	
	$\overline{\text{BREQ}}$	Z			I	Z	Z	I	I	I	I	
	BACK	Z			O	Z	Z	O	L	O	O	
動作 モード 制御	MD0, MD1	I			I	I	I	I	I	I	I	
	$\overline{\text{ASEMD0}}$	I ^{※4}			I ^{※4}	I ^{※4}	I ^{※4}	I ^{※4}	I ^{※4}	I ^{※4}	I ^{※4}	
	FWE	I			I	I	I	I	I	I	I	
割り込み	NMI	I			I	I	I	I	I	I	I	
	IRQ0 - IRQ3	Z			I	Z	I	I	I	I	I	
	$\overline{\text{IRQOUT}}$	Z			O	Z	Z	O	O	Z	O	
アドレス バス	A0 - A17	O	Z		O	Z	Z ^{※2}	O	Z	O	O	
	A18, A19	Z			O	Z	Z ^{※2}	O	Z	O	O	
データ バス	D0 - D15	Z			I/O	Z	Z	I/O	Z	I/O	I/O	
バス制御	$\overline{\text{WAIT}}$	Z			I	Z	Z	I	Z	I	I	
	$\overline{\text{CS0}}$ (PE10)	H	Z		O	Z	Z ^{※2}	O	Z	O	O	
	$\overline{\text{CS0}}$ (PE17)、 $\overline{\text{CS1}}$ (PE18)	Z			O	Z	Z ^{※2}	O	Z	O	O	
	$\overline{\text{RD}}$ (PA6)	H	Z		O	Z	Z ^{※2}	O	Z	O	O	
	$\overline{\text{RD}}$ (PE19)	Z			O	Z	Z ^{※2}	O	Z	O	O	
	$\overline{\text{WRH}}$ (PA7)	Z	H	Z		O	Z	Z ^{※2}	O	Z	O	O
	$\overline{\text{WRL}}$ (PA8)	H	Z		O	Z	Z ^{※2}	O	Z	O	O	
	$\overline{\text{WRH}}$ (PE20)、 $\overline{\text{WRL}}$ (PE21)	Z			O	Z	Z ^{※2}	O	Z	O	O	

端子機能		端子状態										
分類	端子名	リセット状態					低消費電力状態			バス権 解放 状態	発振 停止 検出時	POE 機能 使用時
		パワーオン			マニュアル	ディープ ソフト ウェア スタンバイ	ソフト ウェア スタンバイ	スリープ				
		ROM なし 拡張	ROM あり 拡張	シングル チップ								
									8bit			
MTU2	TCLKA ~ TCLKD	Z			I	Z	Z	I	I	I	I	
	TIOC0A ~ TIOC0D	Z			I/O	Z	K* ¹	I/O	I/O	I/O	Z	
	TIOC1A, TIOC1B	Z			I/O	Z	K* ¹	I/O	I/O	I/O	I/O	
	TIOC2A, TIOC2B	Z			I/O	Z	K* ¹	I/O	I/O	I/O	I/O	
	TIOC3A, TIOC3C	Z			I/O	Z	K* ¹	I/O	I/O	I/O	I/O	
	TIOC3B, TIOC3D	Z			I/O	Z	Z	I/O	I/O	Z	Z	
	TIOC4A ~ TIOC4D	Z			I/O	Z	Z	I/O	I/O	Z	Z	
	TIC5U, TIC5V, TIC5W	Z			I	Z	Z	I	I	I	I	
MTU2S	TIOC3BS, TIOC3DS	Z			I/O	Z	Z	I/O	I/O	Z	Z	
	TIOC4AS ~ TIOC4DS	Z			I/O	Z	Z	I/O	I/O	Z	Z	
	TIC5US, TIC5VS, TIC5WS	Z			I	Z	Z	I	I	I	I	
POE	POE0 ~ POE2, POE4 ~ POE6, POE8 (PA9)	Z			I	Z	Z	I	I	I	I	
	POE3, POE7, POE8 (PB18)	I* ⁴			I* ⁴	Z	Z	I* ⁴	I* ⁴	I* ⁴	I* ⁴	
SCI	SCK0 ~ SCK2	Z			I/O	Z	Z	I/O	I/O	I/O	I/O	
	RXD0 ~ RXD2	Z			I	Z	Z	I	I	I	I	
	TXD0 ~ TXD2	Z			O	Z	O* ¹	O	O	O	O	
UBC	UBCTR \bar{G}	Z			O	Z	O* ¹	O	O	O	O	
A/D 変換器	AN0, AN2, AN4, AN6	Z			I	Z	Z	I	I	I	I	
	ADTR \bar{G}	Z			I	Z	Z	I	I	I	I	

端子機能		端子状態									
分類	端子名	リセット状態				低消費電力状態			バス種 解放 状態	発振 停止 検出時	POE 機能 使用時
		パワーオン			マニュアル	ディープ ソフト ウェア スタンバイ	ソフト ウェア スタンバイ	スリープ			
		ROMなし 拡張	ROM あり 拡張	シングル チップ							
I/O ポート	PA0 - PA15	Z			I/O	Z	K ^{*1}	I/O	I/O	I/O	I/O
	PB0 - PB5, PB16 - PB18	Z			I/O	Z	K ^{*1}	I/O	I/O	I/O	I/O
	PD0 - PD15	Z			I/O	Z	K ^{*1}	I/O	I/O	I/O	I/O
	PE0 - PE3	Z			I/O	Z	K ^{*1}	I/O	I/O	I/O	Z
	PE4 - PE8, PE10	Z			I/O	Z	K ^{*1}	I/O	I/O	I/O	I/O
	PE9, PE11 - PE15	Z			I/O	Z	Z	I/O	I/O	Z	Z
	PE16 - PE21	Z			I/O	Z	Z	I/O	I/O	Z	Z
	PF0, PF2, PF4, PF6, PF8 - PF15	Z			I	Z	Z	I	I	I	I

【記号説明】

- I : 入力
O : 出力
H : ハイレベル出力
L : ローレベル出力
Z : ハイインピーダンス
K : 入力端子はハイインピーダンス、出力端子は状態保持

- 【注】 *1 スタンバイコントロールレジスタ 6 (STBCR6) の HIZ ビットを 1 にすると、出力端子はハイインピーダンスになります。
*2 共通コントロールレジスタ (CMNCR) の HIZMEM ビットを 1 にすると、出力になります。
*3 パワーオンリセット中は入力になります。誤動作防止のためブルアップしてください。また、ブルダウンが必要な場合は、1M 以上の抵抗値でブルダウンしてください。
*4 何も入力されないときは内部でブルアップします。

B. 未使用端子の処理

表 B.1 未使用端子の処理

端子	処理
NMI	ハイレベル固定アップ (プルアップ)
WDTOVF	オープン (プルダウンが必要な場合は、1MΩ以上の抵抗を使用してください。)
AV_{ref}	$AV_{ref} = AV_{CC}$
AV_{CC} 、 AV_{SS}	$AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$
$\overline{ASEMD0}$	ハイレベル固定アップ (プルアップ)
PF0 ~ PF15	AV_{CC} もしくは AV_{SS} に抵抗を用いて接続
上記以外の入力専用端子	固定 (プルアップ / プルダウン)
上記以外の入出力専用端子	入力端子設定にして固定 (プルアップ / プルダウン) または出力設定にしてオープン
出力専用端子	オープン

- 【注】
1. プルアップ / プルダウンは抵抗を用いて、 V_{CC} もしくは GND に接続してください。
 2. H-UDI 使用時の端子処理は、使用するエミュレータの仕様に従ってください。

C. バス関連信号の端子状態

表 C.1 バス関連信号の端子状態 (1)

端子名		内蔵 ROM 空間	内蔵 RAM 空間	内蔵周辺モジュール空間
CS0、CS1		H	H	H
RD	R	H	H	H
	W	-	H	H
WRH	R	H	H	H
	W	-	H	H
WRL	R	H	H	H
	W	-	H	H
A19 ~ A0		アドレス*	アドレス*	アドレス*
D15 ~ D8		Hi-Z	Hi-Z	Hi-Z
D7 ~ D0		Hi-Z	Hi-Z	Hi-Z

【記号説明】

R : 読み出し

W : 書き込み

【注】 * 以前にアクセスした外部空間のアドレス値

表 C.1 バス関連信号の端子状態 (2)

端子名		外部空間 (通常空間)			
		8 ビット空間	16 ビット空間		
			上位バイト	下位バイト	ワード / ロングワード
CS0、CS1		有効	有効	有効	有効
RD	R	L	L	L	L
	W	H	H	H	H
WRH	R	H	H	H	H
	W	H	L	H	L
WRL	R	H	H	H	H
	W	L	H	L	L
A19 ~ A0		アドレス	アドレス	アドレス	アドレス
D15 ~ D8		Hi-Z	データ	Hi-Z	データ
D7 ~ D0		データ	Hi-Z	データ	データ

【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスしたエリアに対応するチップセレクト信号 = L、それ以外のチップセレクト信号 = H

D. 型名一覧

表 D.1 型名一覧

製品分類						製品型名	パッケージ (パッケージコード)
製品名	分類	ROM 容量	RAM 容量	用途	動作温度		
SH7146	F-ZTAT 版	256KB	8KB	民生用途	- 20 ~ + 85	R5F71464AN80FPV	LQFP1414-80 (FP-80WV)
				産業用途	- 40 ~ + 85	R5F71464AD80FPV	
	マスク ROM 版	256KB	8KB	民生用途	- 20 ~ + 85	R5M71464BNXXXFPV*2	
				産業用途	- 40 ~ + 85	R5M71464BDXXXFPV*2	
	E10A フル機能 対応 F-ZTAT 版*1	256KB	8KB	システム 開発時専用*1	0 ~ + 50	R5E71464RN80FPV	
SH7149	F-ZTAT 版	256KB	8KB	民生用途	- 20 ~ + 85	R5F71494AN80FPV	LQFP1414-100 (FP-100UV)
				産業用途	- 40 ~ + 85	R5F71494AD80FPV	
	マスク ROM 版	256KB	8KB	民生用途	- 20 ~ + 85	R5M71494BNXXXFPV*2	
				産業用途	- 40 ~ + 85	R5M71494BDXXXFPV*2	
	E10A フル機能 対応 F-ZTAT 版*1	256KB	8KB	システム 開発時専用*1	0 ~ + 50	R5E71494RN80FPV	

【注】 *1 E10A フル機能対応 F-ZTAT 版はお客様のシステム開発時専用の製品で、E10A の内部バストレー스機能および AUD 機能が使用できます。ただし、量産時には、必ず通常の F-ZTAT 版もしくはマスク ROM 版を使用してください。なお、通常の F-ZTAT 版では、E10A の内部バストレー스機能および AUD 機能は使用できません。E10A フル機能対応 F-ZTAT 版では信頼性を保証しておりません。

*2 XXX は ROM コード。

E. 外形寸法図

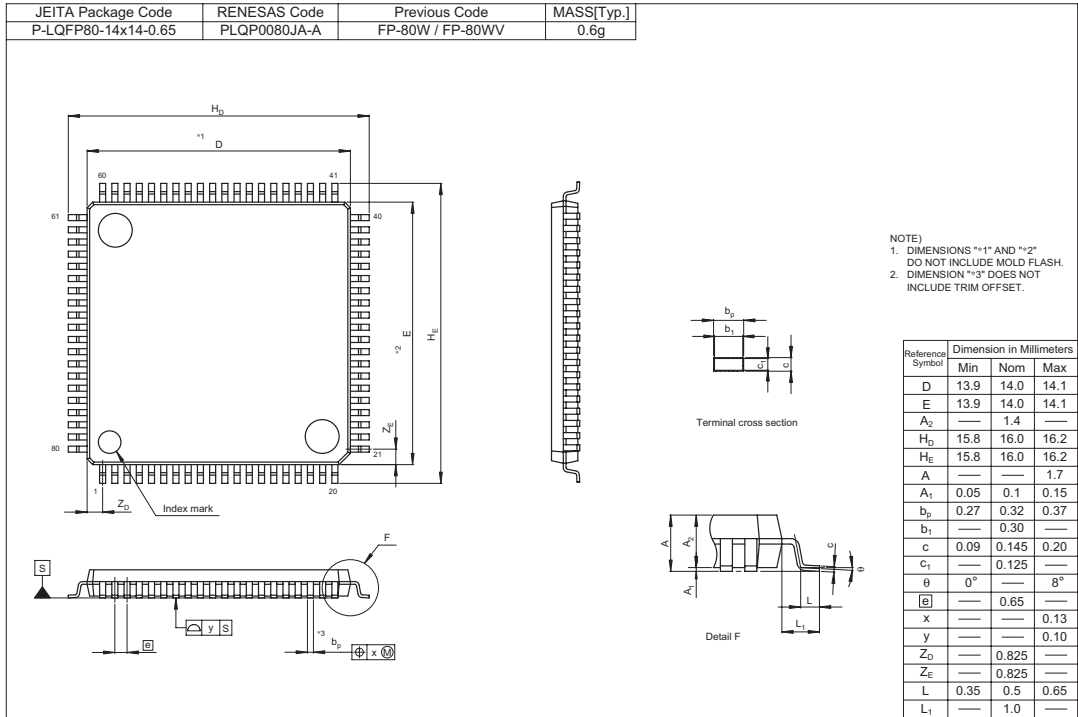


図 E.1 FP-80WV

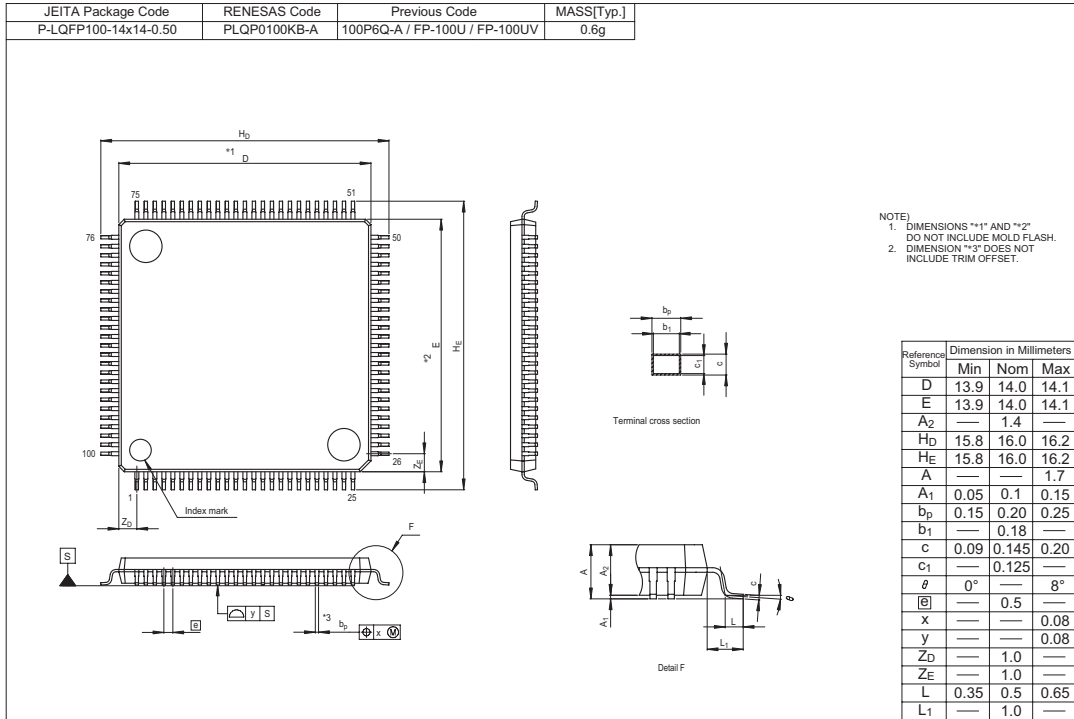
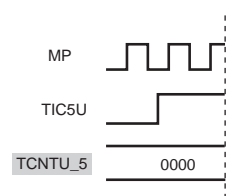


図 E.2 FP-100UV

本版で改訂された箇所

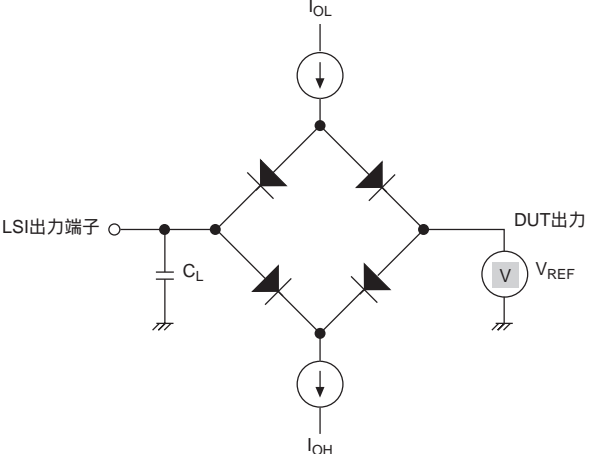
修正項目	ページ	修正内容（詳細はマニュアル参照）															
1.1 SH7146/49 の特長 表 1.1 SH7146/49 の特長	1-5	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>特 長</th> </tr> </thead> <tbody> <tr> <td>パッケージ</td> <td> <ul style="list-style-type: none"> • LQFP1414-80 (0.65 ピッチ) (SH7146) • LQFP1414-100 (0.5 ピッチ) (SH7149) </td> </tr> </tbody> </table>	項目	特 長	パッケージ	<ul style="list-style-type: none"> • LQFP1414-80 (0.65 ピッチ) (SH7146) • LQFP1414-100 (0.5 ピッチ) (SH7149) 											
項目	特 長																
パッケージ	<ul style="list-style-type: none"> • LQFP1414-80 (0.65 ピッチ) (SH7146) • LQFP1414-100 (0.5 ピッチ) (SH7149) 																
1.3 ピン配置図 図 1.4 SH7149 (QFP 版) ピン配置図	—	図を削除															
5.8.4 スロット不当命令例外処理に関する注意事項 (c) その他	5-15	説明を削除 アセンブラで記述した場合やオブジェクトのミドルウェアを導入する場合、本 LSI ではスロット不当命令が発生する可能性があります。															
8.7.2 カウンタ=0のときのチェイン転送	8-35	説明を修正 <p>4. 割り込みによって第 1 のデータ転送を 65,536 回実行します。第 1 のデータ転送の転送カウンタが 0 になると、第 2 のデータ転送が起動されます。第 1 のデータ転送の転送先アドレス上位 8 ビットを H'21 に設定します。第 1 のデータ転送の転送先アドレス下位 16 ビットの転送カウンタは、H'0000 になっています。</p> <p>5. 引き続き割り込みによって第 1 のデータ転送を、第 1 のデータ転送で指定した 65,536 回実行します。第 1 のデータ転送の転送カウンタが 0 になると、第 2 のデータ転送が起動されます。第 1 のデータ転送の転送先アドレス上位 8 ビットを H'20 に設定します。第 1 のデータ転送の転送先アドレス下位 16 ビットの転送カウンタは H'0000 になっています。</p>															
9.5.10 CPU から外部メモリへのアクセス 表 9.11 外部アクセスサイクル数	9-32	表を修正 <table border="1"> <thead> <tr> <th>外部バス幅</th> <th>アクセスサイズ</th> <th>ライト/リード</th> <th>アクセスサイクル数</th> </tr> </thead> <tbody> <tr> <td rowspan="4">16 ビット</td> <td rowspan="2">バイト/ワード</td> <td>ライト</td> <td>$(1+n) \times l + (3+m) \times B$</td> </tr> <tr> <td>リード</td> <td>$(1+n) \times l + (3+m) \times B + 1 \times l$</td> </tr> <tr> <td rowspan="2">ロングワード</td> <td>ライト</td> <td>$(1+n) \times l + (3+m) \times B + 1 \times (2+o) \times B$</td> </tr> <tr> <td>リード</td> <td>$(1+n) \times l + (3+m) \times B + 1 \times (2+o) \times B + 1 \times l$</td> </tr> </tbody> </table>	外部バス幅	アクセスサイズ	ライト/リード	アクセスサイクル数	16 ビット	バイト/ワード	ライト	$(1+n) \times l + (3+m) \times B$	リード	$(1+n) \times l + (3+m) \times B + 1 \times l$	ロングワード	ライト	$(1+n) \times l + (3+m) \times B + 1 \times (2+o) \times B$	リード	$(1+n) \times l + (3+m) \times B + 1 \times (2+o) \times B + 1 \times l$
外部バス幅	アクセスサイズ	ライト/リード	アクセスサイクル数														
16 ビット	バイト/ワード	ライト	$(1+n) \times l + (3+m) \times B$														
		リード	$(1+n) \times l + (3+m) \times B + 1 \times l$														
	ロングワード	ライト	$(1+n) \times l + (3+m) \times B + 1 \times (2+o) \times B$														
		リード	$(1+n) \times l + (3+m) \times B + 1 \times (2+o) \times B + 1 \times l$														
10.3.32 タイマ波形コントロールレジスタ (TWCR)	10-75	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>WRE</td> <td>0</td> <td>R/(W)</td> <td> <p>初期出力抑制イネーブル</p> <p>相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑制されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のように同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT.3、TCNT.4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。</p> <p>相補 PWM モードの谷の Tb 区間については、図 10.40 を参照してください。</p> <p>0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑制する</p> <p>[セット条件] WRE=0 の状態で WRE をリード後、WRE に 1 をライトしたとき</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	0	WRE	0	R/(W)	<p>初期出力抑制イネーブル</p> <p>相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑制されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のように同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT.3、TCNT.4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。</p> <p>相補 PWM モードの谷の Tb 区間については、図 10.40 を参照してください。</p> <p>0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑制する</p> <p>[セット条件] WRE=0 の状態で WRE をリード後、WRE に 1 をライトしたとき</p>					
ビット	ビット名	初期値	R/W	説 明													
0	WRE	0	R/(W)	<p>初期出力抑制イネーブル</p> <p>相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑制されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のように同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT.3、TCNT.4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。</p> <p>相補 PWM モードの谷の Tb 区間については、図 10.40 を参照してください。</p> <p>0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑制する</p> <p>[セット条件] WRE=0 の状態で WRE をリード後、WRE に 1 をライトしたとき</p>													

修正項目	ページ	修正内容（詳細はマニュアル参照）																								
10.4.8 相補 PWM モード (n) 相補 PWM モードでの同期カウンタクリア時出力波形制御	10-125	説明を追加 初期出力を抑制する場合、コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態では同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、「10.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」を参照してください。																								
(3) 相補 PWM モードの割り込み間引き機能 (c) 割り込み間引きと連動したバッファ転送制御 図 10.77 バッファ転送を割り込み間引きと連動する設定(BTE1 = 1、BTE0 = 0) にした場合の動作例	10-139	図を差し替え																								
図 10.78 タイマ割り込み間引き設定レジスタ(TITCR)の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係	10-140	図を差し替え																								
10.4.11 外部パルス幅測定機能 (2) 外部パルス幅測定動作例 図 10.88 外部パルス幅測定の動作例(ハイパルス幅測定)	10-150	図を修正 																								
10.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項	10-184、 10-185	新規追加																								
11. マルチファンクションタイマパルスユニット 2S (MTU2S) 表 11.1 MTU2S の機能一覧	11-1	表を修正 <table border="1" data-bbox="617 1333 1221 1391"> <thead> <tr> <th>項目</th> <th>チャンネル 3</th> <th>チャンネル 4</th> <th>チャンネル 5</th> </tr> </thead> <tbody> <tr> <td>PWM モード 1</td> <td>0</td> <td>0</td> <td>0</td> </tr> </tbody> </table>	項目	チャンネル 3	チャンネル 4	チャンネル 5	PWM モード 1	0	0	0																
項目	チャンネル 3	チャンネル 4	チャンネル 5																							
PWM モード 1	0	0	0																							
13.5 割り込み要因	13-10	新規追加																								
14.3.8 シリアルポートレジスタ (SCSPTR)	14-16	表を修正 ビット： 7 6 5 4 3 2 1 0 <table border="1" data-bbox="699 1506 1193 1555"> <thead> <tr> <th>EIO</th> <th>-</th> <th>-</th> <th>-</th> <th>SPB1IO</th> <th>SPB1DT</th> <th>SPB0IO</th> <th>SPB0DT</th> </tr> </thead> <tbody> <tr> <td>初期値： 0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>不定</td> <td>0</td> <td>1</td> </tr> <tr> <td>R/W： R/W</td> <td>-</td> <td>-</td> <td>-</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> </tr> </tbody> </table>	EIO	-	-	-	SPB1IO	SPB1DT	SPB0IO	SPB0DT	初期値： 0	0	0	0	0	不定	0	1	R/W： R/W	-	-	-	R/W	R/W	R/W	R/W
EIO	-	-	-	SPB1IO	SPB1DT	SPB0IO	SPB0DT																			
初期値： 0	0	0	0	0	不定	0	1																			
R/W： R/W	-	-	-	R/W	R/W	R/W	R/W																			

修正項目	ページ	修正内容（詳細はマニュアル参照）																																								
14.3.8 シリアルポートレジスタ (SCSPTR)	14-17	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>SPBODT</td> <td>1</td> <td>R/W</td> <td>シリアルポートブレイクデータ SPBODT ビット、SCSCR の TE ビットとあわせて、TXD 端子を制御します。 ただし、ピンファンクションコントローラ (PFC) で TXD 端子機能を選択して おく必要があります。</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td> <table border="1"> <thead> <tr> <th>SCSCR の TE ビット 設定値</th> <th>SPBODT ビット 設定値</th> <th>SPBODT ビット 設定値</th> <th>TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>*</td> <td>SPBODT 出力無効状態 (初期状態)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ハイレベル出力</td> </tr> <tr> <td>1</td> <td>*</td> <td>*</td> <td>シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table> </td> </tr> <tr> <td colspan="5">【注】* Don't care</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	0	SPBODT	1	R/W	シリアルポートブレイクデータ SPBODT ビット、SCSCR の TE ビットとあわせて、TXD 端子を制御します。 ただし、ピンファンクションコントローラ (PFC) で TXD 端子機能を選択して おく必要があります。					<table border="1"> <thead> <tr> <th>SCSCR の TE ビット 設定値</th> <th>SPBODT ビット 設定値</th> <th>SPBODT ビット 設定値</th> <th>TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>*</td> <td>SPBODT 出力無効状態 (初期状態)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ハイレベル出力</td> </tr> <tr> <td>1</td> <td>*</td> <td>*</td> <td>シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table>	SCSCR の TE ビット 設定値	SPBODT ビット 設定値	SPBODT ビット 設定値	TXD 端子状態	0	0	*	SPBODT 出力無効状態 (初期状態)	0	1	0	ローレベル出力	0	1	1	ハイレベル出力	1	*	*	シリアルコア論理に従って送信データ出力	【注】* Don't care				
ビット	ビット名	初期値	R/W	説明																																						
0	SPBODT	1	R/W	シリアルポートブレイクデータ SPBODT ビット、SCSCR の TE ビットとあわせて、TXD 端子を制御します。 ただし、ピンファンクションコントローラ (PFC) で TXD 端子機能を選択して おく必要があります。																																						
				<table border="1"> <thead> <tr> <th>SCSCR の TE ビット 設定値</th> <th>SPBODT ビット 設定値</th> <th>SPBODT ビット 設定値</th> <th>TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>*</td> <td>SPBODT 出力無効状態 (初期状態)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ハイレベル出力</td> </tr> <tr> <td>1</td> <td>*</td> <td>*</td> <td>シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table>	SCSCR の TE ビット 設定値	SPBODT ビット 設定値	SPBODT ビット 設定値	TXD 端子状態	0	0	*	SPBODT 出力無効状態 (初期状態)	0	1	0	ローレベル出力	0	1	1	ハイレベル出力	1	*	*	シリアルコア論理に従って送信データ出力																		
SCSCR の TE ビット 設定値	SPBODT ビット 設定値	SPBODT ビット 設定値	TXD 端子状態																																							
0	0	*	SPBODT 出力無効状態 (初期状態)																																							
0	1	0	ローレベル出力																																							
0	1	1	ハイレベル出力																																							
1	*	*	シリアルコア論理に従って送信データ出力																																							
【注】* Don't care																																										
14.4.3 クロック同期式モード時の動作 (3) データの送信 / 受信動作 図 14.14 シリアルデータ送受信フローチャートの例	14-44	<p>図を修正</p> <pre> graph TD Start(()) --> RDRF{RDRF = 1?} RDRF -- No --> Start RDRF -- Yes --> Read[SCRDRの受信データを読み出し、SCSSRのRDRFフラグを0にクリア] Read --> All{全数受信?} All -- No --> RDRF All -- Yes --> Clear[SCSCRのTE、REビットを0にクリア] Clear --> End([送受信終了]) </pre>																																								
14.4.5 マルチプロセッサシリアルデータ送信	14-46	<p>説明を追加</p> <p>図 14.16 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SCSSR の MPBT を 1 にセットして送信してください。実際に ID が送信されるまで MPBT を 1 に保持してください。データ送信サイクルでは SCSSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。</p>																																								
図 14.16 マルチプロセッサシリアル送信のフローチャートの例	14-46	図を差し替え																																								
14.5 SCI の割り込み要因と DTC	14-50	<p>説明を修正</p> <p>また、SCSSR の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DTC の起動はできません。</p> <p>データ受信処理において、RXI 割り込み要求の発生を禁止にし、ERI 割り込み要求の発生のみ許可にすることも可能です。</p> <p>この場合、RIE ビットを 1 に設定するとともに、SCSPTR の EIO ビットを 1 にセットしてください。ただし、EIO ビットを 1 に設定すると、ERI 割り込み要求が発生しないため、DTC による受信データの転送は行われません。</p>																																								

修正項目	ページ	修正内容（詳細はマニュアル参照）																					
15.3.4 A/D トリガセレクトレジスタ _0、1 (ADTSR_0、1)	15-12	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7-4</td> <td>TRG1S[3:0]</td> <td>0000</td> <td>R/W</td> <td>A/D トリガ 1 セレクト 3、2、1、0 A/D モジュール 1 の外部、MTU2、MTU2S からの A/D 変換開始トリガを選択しま す。2 チャンネルスキャンモード時は、グループ 0 に対する外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。 : : :</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7-4	TRG1S[3:0]	0000	R/W	A/D トリガ 1 セレクト 3、2、1、0 A/D モジュール 1 の外部、MTU2、MTU2S からの A/D 変換開始トリガを選択しま す。2 チャンネルスキャンモード時は、グループ 0 に対する外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。 : : :											
ビット	ビット名	初期値	R/W	説明																			
7-4	TRG1S[3:0]	0000	R/W	A/D トリガ 1 セレクト 3、2、1、0 A/D モジュール 1 の外部、MTU2、MTU2S からの A/D 変換開始トリガを選択しま す。2 チャンネルスキャンモード時は、グループ 0 に対する外部、MTU2、MTU2S からの A/D 変換開始トリガを選択します。 : : :																			
15.4.7 2 チャンネルスキャン 図 15.4 2 チャンネルスキャンの動作 例	15-20	<p>図を修正</p> <p>A/D変換終了 (ADF) ADCSRのCONADFビット = 0 ADCSRのCONADFビット = 1</p>																					
16.4.1 CMT の割り込み要因と DTC 表 16.2 割り込み要因	16-6	<p>説明、表 16.2 を追加</p> <p>また、割り込み要求をデータトランスファコントローラ (DTC) の起動 要因とすることもできます。この場合、チャンネル間の優先順位は固定で す。詳細は「第 8 章 データトランスファコントローラ (DTC)」を参 照してください。表 16.2 に CMT の割り込み要因を示します。</p>																					
(2) 書き込み / 消去の初期化	19-22	<p>説明を修正</p> <p>本 LSI の動作周波数範囲は、「表 24.4 最大動作周波数」をご覧ください。</p>																					
19.9.1 ブートモードの標準シリア ル通信インタフェース仕様 (2) デバイス選択	19-66	<p>説明を修正</p> <ul style="list-style-type: none"> サイズ (1 バイト) : デバイスコードの文字数 (固定値で 4) 																					
22.8.2 ディープソフトウェアスタ ンバイモード	22-16	項目を削除																					
24. 電気的特性	24-1、24-4、 24-5、24-7、 24-10、 24-16 ~ 24-19、 24-21、 24-22、 24-24	<p>注を削除</p> <p>【注】* SH71491 は - 20 ~ + 75 。</p>																					
24.2 DC 特性 表 24.2 DC 特性	24-2	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="2">シミュレットトリガ 入力電圧</td> <td>IRQ3 - IRQ0</td> <td>$V_{CC} - 0.5$</td> <td>-</td> <td>-</td> <td>V</td> <td></td> </tr> <tr> <td>POE5 - POE0, TCLKA - TCLKD, TIOC0A - TIOC0D, TIOC1A、TIOC1B, TIOC2A、TIOC2B, TIOC3A - TIOC3D, TIOC4A - TIOC4D, TIC5U、TIC5V、TIC5W、 TIOC3BS、TIOC3DS、 TIOC4AS - TIOC4DS、 TIC5US、TIC5VS、 TIC5WS、 SCK0 - SCK2、 RXD0 - RXD2、TRST</td> <td>V_{CC} $V_{CC} - V_{CE}$</td> <td>- 0.4</td> <td>- -</td> <td>1.0 -</td> <td>V V</td> <td></td> </tr> </tbody> </table>	項 目	記号	Min.	Typ.	Max.	単位	測定条件	シミュレットトリガ 入力電圧	IRQ3 - IRQ0	$V_{CC} - 0.5$	-	-	V		POE5 - POE0, TCLKA - TCLKD, TIOC0A - TIOC0D, TIOC1A、TIOC1B, TIOC2A、TIOC2B, TIOC3A - TIOC3D, TIOC4A - TIOC4D, TIC5U、TIC5V、TIC5W、 TIOC3BS、TIOC3DS、 TIOC4AS - TIOC4DS、 TIC5US、TIC5VS、 TIC5WS、 SCK0 - SCK2、 RXD0 - RXD2、TRST	V_{CC} $V_{CC} - V_{CE}$	- 0.4	- -	1.0 -	V V	
項 目	記号	Min.	Typ.	Max.	単位	測定条件																	
シミュレットトリガ 入力電圧	IRQ3 - IRQ0	$V_{CC} - 0.5$	-	-	V																		
	POE5 - POE0, TCLKA - TCLKD, TIOC0A - TIOC0D, TIOC1A、TIOC1B, TIOC2A、TIOC2B, TIOC3A - TIOC3D, TIOC4A - TIOC4D, TIC5U、TIC5V、TIC5W、 TIOC3BS、TIOC3DS、 TIOC4AS - TIOC4DS、 TIC5US、TIC5VS、 TIC5WS、 SCK0 - SCK2、 RXD0 - RXD2、TRST	V_{CC} $V_{CC} - V_{CE}$	- 0.4	- -	1.0 -	V V																	

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																																																																		
24.2 DC 特性 表 24.2 DC 特性	24-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="4">出力ハイレベル 電圧</td> <td rowspan="4">全出力端子 V_{OH}</td> <td>$V_{CC} - 0.5$</td> <td>-</td> <td>-</td> <td>V</td> <td>$I_{OH} = -200 \mu A$</td> </tr> <tr> <td>$V_{CC} - 1.0$</td> <td>-</td> <td>-</td> <td>V</td> <td>$I_{OH} = -1mA$</td> </tr> <tr> <td>$V_{CC} - 1.8$</td> <td>-</td> <td>-</td> <td>V</td> <td>$I_{OH} = -5mA$</td> </tr> <tr> <td>TIOC3B、TIOC3D、 TIOC4A - TIOC4D、 TIOC3BS、TIOC3DS、 TIOC4AS - TIOC4DS</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td rowspan="4">出力ローレベル 電圧</td> <td rowspan="4">全出力端子 V_{OL}</td> <td>$V_{CC} - 2.0$</td> <td>-</td> <td>-</td> <td>V</td> <td>$I_{OL} = 5mA$</td> </tr> <tr> <td>-</td> <td>-</td> <td>0.4</td> <td>V</td> <td>$I_{OL} = 1.6mA$</td> </tr> <tr> <td>-</td> <td>-</td> <td>1.4</td> <td>V</td> <td>$I_{OL} = 15mA$</td> </tr> <tr> <td>TIOC3B、TIOC3D、 TIOC4A - TIOC4D、 TIOC3BS、TIOC3DS、 TIOC4AS - TIOC4DS</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>PE9、PE11 - PE21</td> <td>-</td> <td>-</td> <td>2.5</td> <td>V</td> <td>$I_{OL} = 15mA$</td> </tr> <tr> <td>入力容量</td> <td>全入力端子 C_{in}</td> <td>-</td> <td>-</td> <td>20</td> <td>pF</td> <td>$V_i = 0V, f = 1MHz, T_r = 25$</td> </tr> <tr> <td rowspan="6">消費電流</td> <td rowspan="2">通常動作時 I_{CC}</td> <td>-</td> <td>80</td> <td>125</td> <td>mA</td> <td>I = 80MHz B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz</td> </tr> <tr> <td>-</td> <td>65</td> <td>110</td> <td>mA</td> <td>B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz</td> </tr> <tr> <td>ソフトウェア スタンバイ時</td> <td>-</td> <td>10</td> <td>40</td> <td>mA</td> <td>$T_r, 50$</td> </tr> <tr> <td>ディープソフトウェア スタンバイ時</td> <td>-</td> <td>5</td> <td>30</td> <td>μA</td> <td>$T_r, 50$</td> </tr> <tr> <td>-</td> <td>-</td> <td>80</td> <td>80</td> <td>μA</td> <td>$50 < T_r$</td> </tr> <tr> <td rowspan="6">消費電流 E10A フル機能対応 EZTAT 版のみ</td> <td rowspan="2">通常動作時 I_{CC}</td> <td>-</td> <td>150</td> <td>165</td> <td>mA</td> <td>I = 80MHz B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz</td> </tr> <tr> <td>-</td> <td>140</td> <td>150</td> <td>mA</td> <td>B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz</td> </tr> <tr> <td>ソフトウェア スタンバイ時</td> <td>-</td> <td>20</td> <td>60</td> <td>mA</td> <td>$T_r, 50$</td> </tr> <tr> <td>ディープソフトウェア スタンバイ時</td> <td>-</td> <td>-</td> <td>120</td> <td>mA</td> <td>$50 < T_r$</td> </tr> <tr> <td>-</td> <td>20</td> <td>50</td> <td>μA</td> <td>$T_r, 50$</td> </tr> <tr> <td>-</td> <td>-</td> <td>120</td> <td>μA</td> <td>$50 < T_r$</td> </tr> </tbody> </table>	項目	記号	Min.	Typ.	Max.	単位	測定条件	出力ハイレベル 電圧	全出力端子 V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$	$V_{CC} - 1.0$	-	-	V	$I_{OH} = -1mA$	$V_{CC} - 1.8$	-	-	V	$I_{OH} = -5mA$	TIOC3B、TIOC3D、 TIOC4A - TIOC4D、 TIOC3BS、TIOC3DS、 TIOC4AS - TIOC4DS						出力ローレベル 電圧	全出力端子 V_{OL}	$V_{CC} - 2.0$	-	-	V	$I_{OL} = 5mA$	-	-	0.4	V	$I_{OL} = 1.6mA$	-	-	1.4	V	$I_{OL} = 15mA$	TIOC3B、TIOC3D、 TIOC4A - TIOC4D、 TIOC3BS、TIOC3DS、 TIOC4AS - TIOC4DS						PE9、PE11 - PE21	-	-	2.5	V	$I_{OL} = 15mA$	入力容量	全入力端子 C_{in}	-	-	20	pF	$V_i = 0V, f = 1MHz, T_r = 25$	消費電流	通常動作時 I_{CC}	-	80	125	mA	I = 80MHz B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz	-	65	110	mA	B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz	ソフトウェア スタンバイ時	-	10	40	mA	$T_r, 50$	ディープソフトウェア スタンバイ時	-	5	30	μA	$T_r, 50$	-	-	80	80	μA	$50 < T_r$	消費電流 E10A フル機能対応 EZTAT 版のみ	通常動作時 I_{CC}	-	150	165	mA	I = 80MHz B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz	-	140	150	mA	B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz	ソフトウェア スタンバイ時	-	20	60	mA	$T_r, 50$	ディープソフトウェア スタンバイ時	-	-	120	mA	$50 < T_r$	-	20	50	μA	$T_r, 50$	-	-	120	μA	$50 < T_r$
項目	記号	Min.	Typ.	Max.	単位	測定条件																																																																																																																														
出力ハイレベル 電圧	全出力端子 V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$																																																																																																																														
		$V_{CC} - 1.0$	-	-	V	$I_{OH} = -1mA$																																																																																																																														
		$V_{CC} - 1.8$	-	-	V	$I_{OH} = -5mA$																																																																																																																														
		TIOC3B、TIOC3D、 TIOC4A - TIOC4D、 TIOC3BS、TIOC3DS、 TIOC4AS - TIOC4DS																																																																																																																																		
出力ローレベル 電圧	全出力端子 V_{OL}	$V_{CC} - 2.0$	-	-	V	$I_{OL} = 5mA$																																																																																																																														
		-	-	0.4	V	$I_{OL} = 1.6mA$																																																																																																																														
		-	-	1.4	V	$I_{OL} = 15mA$																																																																																																																														
		TIOC3B、TIOC3D、 TIOC4A - TIOC4D、 TIOC3BS、TIOC3DS、 TIOC4AS - TIOC4DS																																																																																																																																		
PE9、PE11 - PE21	-	-	2.5	V	$I_{OL} = 15mA$																																																																																																																															
入力容量	全入力端子 C_{in}	-	-	20	pF	$V_i = 0V, f = 1MHz, T_r = 25$																																																																																																																														
消費電流	通常動作時 I_{CC}	-	80	125	mA	I = 80MHz B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz																																																																																																																														
		-	65	110	mA	B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz																																																																																																																														
	ソフトウェア スタンバイ時	-	10	40	mA	$T_r, 50$																																																																																																																														
	ディープソフトウェア スタンバイ時	-	5	30	μA	$T_r, 50$																																																																																																																														
	-	-	80	80	μA	$50 < T_r$																																																																																																																														
	消費電流 E10A フル機能対応 EZTAT 版のみ	通常動作時 I_{CC}	-	150	165	mA	I = 80MHz B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz																																																																																																																													
-			140	150	mA	B = 40MHz P = 40MHz MP = 40MHz MI = 80MHz																																																																																																																														
ソフトウェア スタンバイ時		-	20	60	mA	$T_r, 50$																																																																																																																														
ディープソフトウェア スタンバイ時		-	-	120	mA	$50 < T_r$																																																																																																																														
-		20	50	μA	$T_r, 50$																																																																																																																															
-		-	120	μA	$50 < T_r$																																																																																																																															

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																								
24.3.3 ビット同期回路 表 24.7 バスタイミング	24-11	表を修正 <table border="1" data-bbox="622 343 1208 1161"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td>アドレス遅延時間 1</td> <td>t_{AD1}</td> <td>1</td> <td>18 (20)^{*3}</td> </tr> <tr> <td>アドレスセットアップ時間</td> <td>t_{AS}</td> <td>0</td> <td>-</td> </tr> <tr> <td>アドレスホールド時間</td> <td>t_{AH}</td> <td>0</td> <td>-</td> </tr> <tr> <td>\overline{CS} 遅延時間</td> <td>t_{CSD}</td> <td>1</td> <td>18 (20)^{*3}</td> </tr> <tr> <td>\overline{CS} セットアップ時間</td> <td>t_{CSS}</td> <td>0</td> <td>-</td> </tr> <tr> <td>\overline{CS} ホールド時間</td> <td>t_{CSH}</td> <td>0</td> <td>-</td> </tr> <tr> <td>リードストロブ遅延時間</td> <td>t_{RSD}</td> <td>$1/2t_{Boyc} + 1$</td> <td><math>1/2t_{Boyc} + 18 (20)^{*3}</math></td> </tr> <tr> <td>リードデータセットアップ時間 1</td> <td>t_{RDS1}</td> <td><math>1/2t_{Boyc} + 18 (20)^{*3}</math></td> <td>-</td> </tr> <tr> <td>リードデータホールド時間 1</td> <td>t_{RDH1}</td> <td>0</td> <td>-</td> </tr> <tr> <td>リードデータアクセス時間</td> <td>t_{ACD}^{*2}</td> <td><math>t_{Boyc} (n+1.5) - 33^{*1} (35)^{*3}</math></td> <td>-</td> </tr> <tr> <td>リードストロブからのアクセス時間</td> <td>t_{OE}^{*2}</td> <td><math>t_{Boyc} (n+1) - 33^{*1} (35)^{*3}</math></td> <td>-</td> </tr> <tr> <td>ライトストロブ遅延時間 1</td> <td>t_{WSD1}</td> <td>$1/2t_{Boyc} + 1$</td> <td><math>1/2t_{Boyc} + 18 (20)^{*3}</math></td> </tr> <tr> <td>ライトデータ遅延時間 1</td> <td>t_{WDD1}</td> <td>-</td> <td>18 (20)^{*3}</td> </tr> <tr> <td>ライトデータホールド時間 1</td> <td>t_{WDH1}</td> <td>1</td> <td>11</td> </tr> <tr> <td>ライトデータ保持時間</td> <td>t_{WRH}</td> <td>0</td> <td>-</td> </tr> <tr> <td>WAIT セットアップ時間</td> <td>t_{WTS}</td> <td><math>1/2t_{Boyc} + 17 (18)^{*3}</math></td> <td>-</td> </tr> <tr> <td>WAIT ホールド時間</td> <td>t_{WTH}</td> <td><math>1/2t_{Boyc} + 7 (18)^{*3}</math></td> <td>-</td> </tr> </tbody> </table> <p>注を追加</p> <p>*3 括弧内は E10A フル機能対応 F-ZTAT 版の値になります。</p>	項目	記号	Min.	Max.	アドレス遅延時間 1	t_{AD1}	1	18 (20) ^{*3}	アドレスセットアップ時間	t_{AS}	0	-	アドレスホールド時間	t_{AH}	0	-	\overline{CS} 遅延時間	t_{CSD}	1	18 (20) ^{*3}	\overline{CS} セットアップ時間	t_{CSS}	0	-	\overline{CS} ホールド時間	t_{CSH}	0	-	リードストロブ遅延時間	t_{RSD}	$1/2t_{Boyc} + 1$	$1/2t_{Boyc} + 18 (20)*3$	リードデータセットアップ時間 1	t_{RDS1}	$1/2t_{Boyc} + 18 (20)*3$	-	リードデータホールド時間 1	t_{RDH1}	0	-	リードデータアクセス時間	t_{ACD}^{*2}	$t_{Boyc} (n+1.5) - 33^{*1} (35)*3$	-	リードストロブからのアクセス時間	t_{OE}^{*2}	$t_{Boyc} (n+1) - 33^{*1} (35)*3$	-	ライトストロブ遅延時間 1	t_{WSD1}	$1/2t_{Boyc} + 1$	$1/2t_{Boyc} + 18 (20)*3$	ライトデータ遅延時間 1	t_{WDD1}	-	18 (20) ^{*3}	ライトデータホールド時間 1	t_{WDH1}	1	11	ライトデータ保持時間	t_{WRH}	0	-	WAIT セットアップ時間	t_{WTS}	$1/2t_{Boyc} + 17 (18)*3$	-	WAIT ホールド時間	t_{WTH}	$1/2t_{Boyc} + 7 (18)*3$	-
項目	記号	Min.	Max.																																																																							
アドレス遅延時間 1	t_{AD1}	1	18 (20) ^{*3}																																																																							
アドレスセットアップ時間	t_{AS}	0	-																																																																							
アドレスホールド時間	t_{AH}	0	-																																																																							
\overline{CS} 遅延時間	t_{CSD}	1	18 (20) ^{*3}																																																																							
\overline{CS} セットアップ時間	t_{CSS}	0	-																																																																							
\overline{CS} ホールド時間	t_{CSH}	0	-																																																																							
リードストロブ遅延時間	t_{RSD}	$1/2t_{Boyc} + 1$	$1/2t_{Boyc} + 18 (20)*3$																																																																							
リードデータセットアップ時間 1	t_{RDS1}	$1/2t_{Boyc} + 18 (20)*3$	-																																																																							
リードデータホールド時間 1	t_{RDH1}	0	-																																																																							
リードデータアクセス時間	t_{ACD}^{*2}	$t_{Boyc} (n+1.5) - 33^{*1} (35)*3$	-																																																																							
リードストロブからのアクセス時間	t_{OE}^{*2}	$t_{Boyc} (n+1) - 33^{*1} (35)*3$	-																																																																							
ライトストロブ遅延時間 1	t_{WSD1}	$1/2t_{Boyc} + 1$	$1/2t_{Boyc} + 18 (20)*3$																																																																							
ライトデータ遅延時間 1	t_{WDD1}	-	18 (20) ^{*3}																																																																							
ライトデータホールド時間 1	t_{WDH1}	1	11																																																																							
ライトデータ保持時間	t_{WRH}	0	-																																																																							
WAIT セットアップ時間	t_{WTS}	$1/2t_{Boyc} + 17 (18)*3$	-																																																																							
WAIT ホールド時間	t_{WTH}	$1/2t_{Boyc} + 7 (18)*3$	-																																																																							
24.3.12 AC 特性測定条件 図 24.26 出力負荷回路	24-24	図を修正 																																																																								

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																									
24.5 フラッシュメモリ特性 表 24.17 フラッシュメモリ特性	24-25	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td>書き込み時間^{*1)*2)*3)}</td> <td>t_w</td> <td>-</td> <td>1</td> <td>20</td> </tr> <tr> <td rowspan="3">消去時間^{*1)*2)*4)}</td> <td rowspan="3">t_e</td> <td>-</td> <td>40</td> <td>260</td> </tr> <tr> <td>-</td> <td>300</td> <td>1500</td> </tr> <tr> <td>-</td> <td>600</td> <td>3000</td> </tr> <tr> <td>書き込み時間 (総和)^{*1)*2)*4)}</td> <td>t_p</td> <td>-</td> <td>2.3</td> <td>12</td> </tr> <tr> <td>消去時間 (総和)^{*1)*2)*4)}</td> <td>t_{te}</td> <td>-</td> <td>2.3</td> <td>12</td> </tr> <tr> <td>書き込み、消去時間 (総和)^{*1)*2)*4)}</td> <td>t_{we}</td> <td>-</td> <td>4.6</td> <td>24</td> </tr> <tr> <td>書き換え回数</td> <td>N_{wec}</td> <td>500^{*5)}</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	項目	記号	Min.	Typ.	Max.	書き込み時間 ^{*1)*2)*3)}	t_w	-	1	20	消去時間 ^{*1)*2)*4)}	t_e	-	40	260	-	300	1500	-	600	3000	書き込み時間 (総和) ^{*1)*2)*4)}	t_p	-	2.3	12	消去時間 (総和) ^{*1)*2)*4)}	t_{te}	-	2.3	12	書き込み、消去時間 (総和) ^{*1)*2)*4)}	t_{we}	-	4.6	24	書き換え回数	N_{wec}	500 ^{*5)}	-	-																																
項目	記号	Min.	Typ.	Max.																																																																							
書き込み時間 ^{*1)*2)*3)}	t_w	-	1	20																																																																							
消去時間 ^{*1)*2)*4)}	t_e	-	40	260																																																																							
		-	300	1500																																																																							
		-	600	3000																																																																							
書き込み時間 (総和) ^{*1)*2)*4)}	t_p	-	2.3	12																																																																							
消去時間 (総和) ^{*1)*2)*4)}	t_{te}	-	2.3	12																																																																							
書き込み、消去時間 (総和) ^{*1)*2)*4)}	t_{we}	-	4.6	24																																																																							
書き換え回数	N_{wec}	500 ^{*5)}	-	-																																																																							
付録 B. 未使用端子の処理	付録-7	項目を追加																																																																									
D. 型名一覧 表 D.1 型名一覧	付録-9	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">製品名</th> <th rowspan="2">分類</th> <th colspan="4">製品分類</th> <th rowspan="2">製品型名</th> <th rowspan="2">パッケージ (パッケージコード)</th> </tr> <tr> <th>ROM 容量</th> <th>RAM 容量</th> <th>用途</th> <th>動作温度</th> </tr> </thead> <tbody> <tr> <td rowspan="4">SH7146</td> <td rowspan="2">F-ZTAT 版</td> <td rowspan="2">256KB</td> <td rowspan="2">8KB</td> <td>民生用途</td> <td>-20 ~ +85</td> <td>R5F71464AN80FPV</td> <td rowspan="4">LQFP1414-80 (FP-80WV)</td> </tr> <tr> <td>産業用途</td> <td>-40 ~ +85</td> <td>R5F71464AD80FPV</td> </tr> <tr> <td rowspan="2">マスク ROM 版</td> <td rowspan="2">256KB</td> <td rowspan="2">8KB</td> <td>民生用途</td> <td>-20 ~ +85</td> <td>R5M71464BXXXXFPV^{*1)}</td> </tr> <tr> <td>産業用途</td> <td>-40 ~ +85</td> <td>R5M71464BDXXXXFPV^{*1)}</td> </tr> <tr> <td></td> <td>E10A フル機能 対応 F-ZTAT 版^{*1)}</td> <td>256KB</td> <td>8KB</td> <td>システム 開発時専用^{*1)}</td> <td>0 ~ +50</td> <td>R5E71464RN80FPV</td> <td></td> </tr> <tr> <td rowspan="2">SH7149</td> <td rowspan="2">F-ZTAT 版</td> <td rowspan="2">256KB</td> <td rowspan="2">8KB</td> <td>民生用途</td> <td>-20 ~ +85</td> <td>R5F71494AN80FPV</td> <td rowspan="2">LQFP1414-100 (FP-100UV)</td> </tr> <tr> <td>産業用途</td> <td>-40 ~ +85</td> <td>R5F71494AD80FPV</td> </tr> <tr> <td rowspan="4"></td> <td rowspan="2">マスク ROM 版</td> <td rowspan="2">256KB</td> <td rowspan="2">8KB</td> <td>民生用途</td> <td>-20 ~ +85</td> <td>R5M71494BXXXXFPV^{*1)}</td> <td rowspan="2">LQFP1414-100 (FP-100UV)</td> </tr> <tr> <td>産業用途</td> <td>-40 ~ +85</td> <td>R5M71494BDXXXXFPV^{*1)}</td> </tr> <tr> <td rowspan="2">E10A フル機能 対応 F-ZTAT 版^{*1)}</td> <td rowspan="2">256KB</td> <td rowspan="2">8KB</td> <td>システム 開発時専用^{*1)}</td> <td>0 ~ +50</td> <td>R5E71494RN80FPV</td> <td rowspan="2">LQFP1414-100 (FP-100UV)</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	製品名	分類	製品分類				製品型名	パッケージ (パッケージコード)	ROM 容量	RAM 容量	用途	動作温度	SH7146	F-ZTAT 版	256KB	8KB	民生用途	-20 ~ +85	R5F71464AN80FPV	LQFP1414-80 (FP-80WV)	産業用途	-40 ~ +85	R5F71464AD80FPV	マスク ROM 版	256KB	8KB	民生用途	-20 ~ +85	R5M71464BXXXXFPV ^{*1)}	産業用途	-40 ~ +85	R5M71464BDXXXXFPV ^{*1)}		E10A フル機能 対応 F-ZTAT 版 ^{*1)}	256KB	8KB	システム 開発時専用 ^{*1)}	0 ~ +50	R5E71464RN80FPV		SH7149	F-ZTAT 版	256KB	8KB	民生用途	-20 ~ +85	R5F71494AN80FPV	LQFP1414-100 (FP-100UV)	産業用途	-40 ~ +85	R5F71494AD80FPV		マスク ROM 版	256KB	8KB	民生用途	-20 ~ +85	R5M71494BXXXXFPV ^{*1)}	LQFP1414-100 (FP-100UV)	産業用途	-40 ~ +85	R5M71494BDXXXXFPV ^{*1)}	E10A フル機能 対応 F-ZTAT 版 ^{*1)}	256KB	8KB	システム 開発時専用 ^{*1)}	0 ~ +50	R5E71494RN80FPV	LQFP1414-100 (FP-100UV)				
製品名	分類	製品分類				製品型名	パッケージ (パッケージコード)																																																																				
		ROM 容量	RAM 容量	用途	動作温度																																																																						
SH7146	F-ZTAT 版	256KB	8KB	民生用途	-20 ~ +85	R5F71464AN80FPV	LQFP1414-80 (FP-80WV)																																																																				
				産業用途	-40 ~ +85	R5F71464AD80FPV																																																																					
	マスク ROM 版	256KB	8KB	民生用途	-20 ~ +85	R5M71464BXXXXFPV ^{*1)}																																																																					
				産業用途	-40 ~ +85	R5M71464BDXXXXFPV ^{*1)}																																																																					
	E10A フル機能 対応 F-ZTAT 版 ^{*1)}	256KB	8KB	システム 開発時専用 ^{*1)}	0 ~ +50	R5E71464RN80FPV																																																																					
SH7149	F-ZTAT 版	256KB	8KB	民生用途	-20 ~ +85	R5F71494AN80FPV	LQFP1414-100 (FP-100UV)																																																																				
				産業用途	-40 ~ +85	R5F71494AD80FPV																																																																					
	マスク ROM 版	256KB	8KB	民生用途	-20 ~ +85	R5M71494BXXXXFPV ^{*1)}	LQFP1414-100 (FP-100UV)																																																																				
				産業用途	-40 ~ +85	R5M71494BDXXXXFPV ^{*1)}																																																																					
	E10A フル機能 対応 F-ZTAT 版 ^{*1)}	256KB	8KB	システム 開発時専用 ^{*1)}	0 ~ +50	R5E71494RN80FPV	LQFP1414-100 (FP-100UV)																																																																				
E. 外形寸法図 図 E.1 FP-80WV	付録-10	図を差し替え																																																																									
図 E.2 FP-100UV	付録-11	図を差し替え																																																																									
図 E.3 FP-100AV	付録-12	図を削除																																																																									

索引

【数字 / 記号】	
1 サイクルスキャンモード	15-16
【A】	
A/D 変換開始要求ディレイド機能	10-141
A/D 変換器 (ADC)	15-1
A/D 変換器特性	24-24
A/D 変換器の起動	10-156
A/D 変換器の割り込み要因	15-21
A/D 変換時間	15-18
AC 特性	24-5
AC 特性測定条件	24-23
AC バスタイミング仕様	24-10
【C】	
CMT の割り込み要因	16-6
CPU	2-1
CSn アサート期間拡張	9-22
【D】	
DC 特性	24-2
DTC の起動	10-156
DTC の起動要因	8-11
DTC の実行状態	8-28
DTC のバス権解放タイミング	8-30
DTC ベクタアドレス	8-14
【I】	
I/O ポート	18-1
IRQ 割り込み	6-12
【L】	
LSI 内部バスマスタからみたアクセス	9-29
【M】	
MCU 拡張モード	3-3
MCU 動作モード	3-1
MTU2 - MTU2S の同期動作	10-145
MTU2S の機能一覧	11-1
MTU2S モジュール用クロック (MI)	4-1
MTU2 出力端子の初期化方法	10-186
MTU2 の機能一覧	10-2
MTU2 モジュール用クロック (MP)	4-1
MTU2 割り込み要因	10-154
【N】	
NMI 割り込み	6-12
NMI 割り込みと DTC 起動の競合	8-38
【P】	
PC トレース	7-23
【R】	
RAM	21-1
RAM によるフラッシュメモリのエミュレーション ..	19-53
RISC 方式	2-7
【S】	
SCI 割り込み要因	14-50
SCSPTR と SCI 端子との関係	14-51
【V】	
V _{CL} コンデンサ接続方法	24-25
【あ】	
アクセスウェイト制御	9-20
アクセスサイクル間ウェイト	9-23
アクセスサイズとデータアライメント	9-15

アドレスエラー	5-7, 5-14, 21-2
アドレスマップ	9-4
アドレッシングモード	2-9
アナログ電源端子などの設定範囲	15-25
一般不当命令	5-11
イミディエイトデータのデータ形式	2-6
インターバルタイマモードの使用法	13-9
ウォッチドッグタイマ (WDT)	13-1
ウォッチドッグタイマモードの使用法	13-8
エラープロテクト	19-51
オフセット誤差	15-22
オンボードプログラミングモード	19-32

【か】

外形寸法図	付録-10
外部クロックを入力する方法	4-15
外部トリガ入力タイミング	15-19
外部パルス幅測定機能	10-150
各処理状態における本 LSI の端子の状態	付録-1
各動作モードにおけるレジスタの状態	23-27
各動作モードのアドレスマップ	3-4
各モジュールの動作クロック	4-4
型名一覧	付録-9
許容信号源インピーダンス	15-24
グローバルベースレジスタ (GBR)	2-4
クロック周波数制御回路	4-3
クロックタイミング	24-5
クロック同期式モード	14-1, 14-36
クロック発振器 (CPG)	4-1
クロック動作モード	4-6
コントロールレジスタの初期値	2-5
コンペアマッチタイマ (CMT)	16-1

【さ】

算術演算命令	2-19
シーケンシャルブレーク	7-21
システム制御命令	2-23
システムレジスタの初期値	2-5
シフト命令	2-21
周波数変更方法	4-13
周辺クロック (P)	4-1
シリアルコミュニケーション インタフェース (SCI)	14-1
シングルチップモード	3-3
シングルモード	15-15

水晶発振器	4-3
水晶発振子を接続する方法	4-14
ステータスレジスタ (SR)	2-3
スリープモード	22-11
スロット不当命令	5-11
スロット不当命令例外処理に関する注意事項	5-15
制御信号タイミング	24-7
積和レジスタ (MACH, MACL)	2-4
絶対最大定格	24-1
絶対精度	15-22
絶対精度への影響	15-24
相補 PWM モード	10-106
ソフトウェアスタンバイモード	22-12
ソフトウェアプロテクト	19-51

【た】

チェイン転送	8-24
調歩同期式モード	14-1, 14-27
通常空間インタフェース	9-16
ディープソフトウェアスタンバイモード	22-14
低消費電力状態	2-26
低消費電力モード	22-1
データアクセスサイクルでのユーザブレーク	7-20
データ転送命令	2-18
データトランスファコントローラ (DTC)	8-1
デッドタイム補償用機能	10-151
転送情報の配置と DTC ベクタテーブル	8-12
転送情報ライトバックスキップ機能	8-20
転送情報リードスキップ機能	8-20
動作モード変更時の注意事項	3-6
トラップ命令	5-10

【な】

内蔵周辺モジュール割り込み	6-13
ノイズ対策上の注意事項	15-25
ノーマル転送モード	8-21

【は】

ハードウェアプロテクト	19-50
ハイインピーダンス制御の対象と条件	12-18
バスアービトレーション	9-25
バス関連信号の端子状態	7, 8
バスクロック (B)	4-1
バス権解放状態	2-26

バスステートコントローラ (BSC)	9-1
発振子に関する注意事項	4-17
発振停止検出機能	4-16
パワーオンリセット	5-5
汎用レジスタ	2-3
汎用レジスタの初期値	2-5
非直線性誤差	15-22
ピンファンクションコントローラ (PFC)	17-1
ブートモード	19-32
フラッシュメモリ	19-1
フラッシュメモリ構成	19-7
フラッシュメモリ特性	24-24
フルスケール誤差	15-22
ブレークの送り出し	14-53
ブレークの検出と処理	14-53
ブレーク比較条件	7-1
プログラムカウンタ (PC)	2-4
プログラム実行状態	2-26
プロシージャレジスタ (PR)	2-4
ブロック転送モード	8-23
分岐命令	2-22
分周器	4-3
ベクタベースレジスタ (VBR)	2-4
ポートアウトプットイネーブル (POE)	12-1
ボード設計上の注意事項	4-17, 15-25

【ま】

マスク ROM	20-1
マニュアルリセット	5-6
マルチファンクションタイマパルスユニット 2 (MTU2)	10-1
マルチファンクションタイマパルスユニット 2S (MTU2S)	11-1
マルチプロセッサ通信機能	14-45
命令形式	2-12
命令セット	2-15
命令の特長	2-7
命令フェッチサイクルでのユーザブレーク	7-20
モジュールスタンバイモードの設定 8-37, 14-55, 15-24,	16-7, 20-2, 21-2
モジュールスタンバイ機能	22-15

【や】

ユーザブートモード	19-45
ユーザブランチ処理時間	19-59

ユーザブランチ処理の起動間隔	19-59
ユーザブレークコントローラ (UBC)	7-1
ユーザブレーク動作の流れ	7-19
ユーザブレーク割り込み	6-13
ユーザプログラムモード	19-36
ユーザマット	19-8

【ら】

ライタモード	19-91
リセット状態	2-26
リセット同期 PWM モード	10-103
リピート転送モード	8-22
量子化誤差	15-22
例外処理	5-1
例外処理後のスタックの状態	5-13
例外処理状態	2-26
例外処理ベクタテーブル	5-3, 6-14
例外処理ベクタテーブルアドレスの算出法	5-4
レジスタ	
ADCR	15-7
ADCSR	15-5
ADDR0、ADDR2、ADDR4、ADDR6、 ADDR8 ~ ADDR15	15-5
ADTSR	15-10
BAMRA	7-5
BAMRB	7-9
BARA	7-4
BARB	7-9
BBRA	7-5
BBRB	7-12
BDMRA	7-8
BDMRB	7-11
BDRA	7-7
BDRB	7-10
BETR	7-17
BRCR	7-13
BRDR	7-18
BRSR	7-17
BSCEHR	8-10, 9-12
CMCNT	16-4
CMCOR	16-4
CMCSR	16-3
CMNCR	9-6
CMSTR	16-2
CRA	8-7
CRB	8-7

CS0BCR、CS1BCR	9-7	PBPRH	18-9
CS0WCR、CS1WCR	9-10	PBPRL	18-9
DAR (DTC)	8-6	PDCRL1	17-33
DPFR	19-21	PDCRL2	17-33
DTCCR	8-9	PDCRL3	17-33
DTCERA ~ DTCERE	8-8	PDCRL4	17-33
DTCVBR	8-10	PDDR1	18-13
FCCS	19-13	PDIORL	17-32
FEBS	19-28	PDPRL	18-14
FECS	19-16	PECRH1	17-39
FKEY	19-17	PECRH2	17-39
FMATS	19-18	PECRL1	17-39
FMPAR	19-25	PECRL2	17-39
FMPDR	19-26	PECRL3	17-39
FPCS	19-16	PECRL4	17-39
FPEFEQ	19-22	PEDRH	18-17
FPFR	19-24, 19-26, 19-29	PEDRL	18-17
FRQCR	4-10	PEIORH	17-38
FTDAR	19-19	PEIORL	17-38
FUBRA	19-23	PEPRH	18-19
ICR0	6-5	PEPRL	18-19
ICSR1	12-4	PFDR1	18-23
ICSR2	12-8	POECR1	12-14
ICSR3	12-12	POECR2	12-15
IFCR	17-51	RAMCR	22-10
IPRA、IPRD ~ IPRF、IPRH ~ IPRL	6-10	RAMER	19-30
IRQCR	6-5	SAR (DTC)	8-6
IRQSR	6-7	SCBRR (SCI)	14-18
MRA	8-4	SCRDR	14-6
MRB	8-5	SCRSR (SCI)	14-6
OCSR1	12-7	SCSCR (SCI)	14-9
OCSR2	12-11	SCSDCR	14-17
OSCCR	4-12	SCSMR (SCI)	14-7
PACRL1	17-16	SCSPTR	14-16
PACRL2	17-16	SCSSR	14-12
PACRL3	17-16	SCTDR	14-7
PACRL4	17-16	SCTSR (SCI)	14-6
PADRL	18-4	SPOER	12-13
PAIORL	17-16	STBCR1	22-4
PAPRL	18-5	STBCR2	22-5
PBCRH1	17-27	STBCR3	22-6
PBCRL1	17-27	STBCR4	22-7
PBCRL2	17-27	STBCR5	22-8
PBDRH	18-7	STBCR6	22-9
PBDR1	18-7	TADCOBRA_4	10-52
PBIORH	17-26	TADCOBRB_4	10-52
PBIORL	17-26	TADCORA_4	10-52

TADCORB_4	10-52	TRWER	10-59
TADCR	10-50	TSR	10-41
TBTER	10-72	TSTR	10-54
TBTM	10-47	TSYCR	10-49
TCBR	10-69	TSYR	10-56
TCDR	10-69	TWCR	10-74
TCNT	10-53	WTCNT	13-4
TCNTCMPCLR	10-36	WTCSR	13-5
TCNTS	10-68	レジスタアクセス時の注意 (WDT)	13-7
TCR	10-11	レジスタアドレス一覧 (アドレス順)	23-2
TCSYSTR	10-57	レジスタ一覧	23-1
TDDR	10-68	レジスタのデータ形式	2-6
TDER	10-73	レジスタビット一覧	23-12
TGCR	10-67	連続スキャンモード	15-15
TGR	10-53	論理演算命令	2-21
TICCR	10-48		
TIER	10-37	【わ】	
TIOR	10-17	割り込み	5-8
TITCNT	10-71	割り込み応答時間	6-20
TITCR	10-70	割り込みコントローラ (INTC)	6-1
TMDR	10-15	割り込み動作の流れ	6-17
TOCR1	10-61	割り込みによる DTC の起動	8-33
TOCR2	10-63	割り込み優先順位	5-9
TOER	10-60	割り込み例外処理終了後のスタックの状態	6-19
TOLBR	10-66		

ルネサス32ビットRISCマイクロコンピュータ
SH7146グループ
ユーザーズマニュアル ハードウェア編

発行年月日 2005年1月18日 Rev.1.00
2010年9月14日 Rev.4.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

SH7146 グループ
ユーザーズマニュアル ハードウェア編