

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7201 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ

SuperH™ RISC engine ファミリ / SH7200 シリーズ

R5S72011

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - CPUおよびシステム制御系
 - 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認のうえ設計してください。
各章の本文中には説明に対する注意事項、各章の最後には使用上の注意事項があります。
必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
 - 製品型名、外形寸法図など
10. 索引

はじめに

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

対象者 本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。

読み方

- 機能全体を理解しようとするとき

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

別冊の「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき

本書の後ろに、「索引」があります。索引からページ番号を検索してください。

「第28章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

- 凡例

本マニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に、レジスタ名_チャンネル番号、の表記を使用します。

(例) CMCSR_0

(2) ビットの表記

本文中に記載されているビット名は、左側が上位ビット、右側が下位ビットの順になります。

(例) CKS1、CKS0

(3) 数字の表記

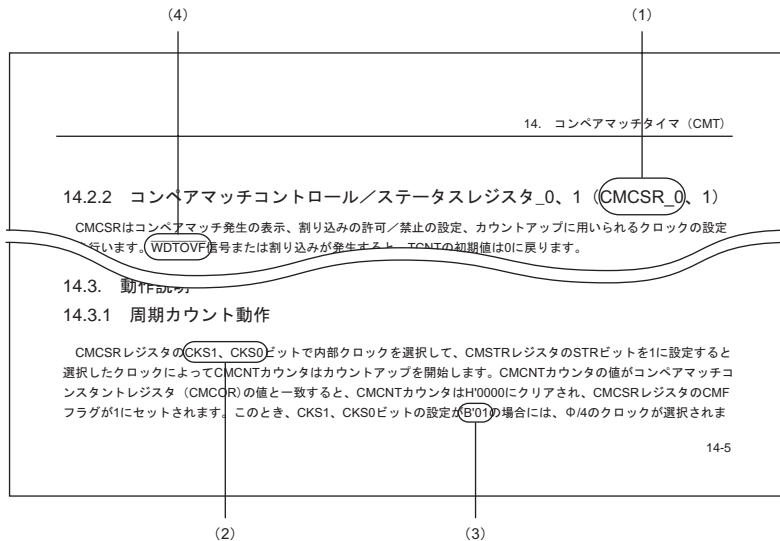
2進数はB'xxxxまたはxxxx、16進数はH'xxxx、10進数はxxxxで表します。

(例) B'11または11、H'EFA0、1234

(4) 記号の表記

ローアクティブの信号にはオーバーバーを付けています。

(例) $\overline{\text{WDTOVF}}$



【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

• ビット図とビット表の表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

レジスタのビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「-」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

- : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R/(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。

ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

ただし、リザーブビットはすべて「R」と表記します。書き込み必要がある場合は、

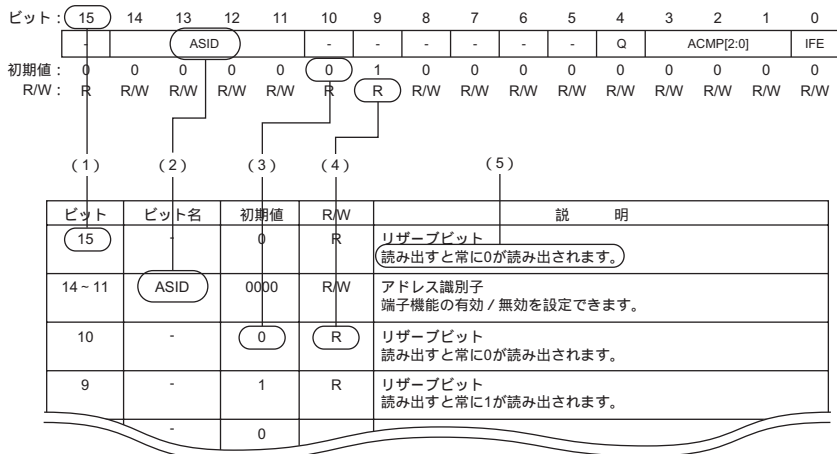
ビット表で指定された値または初期値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

ただし、読み出すときの値は、ビット表に記載してある場合以外は保証されません。

(5) 説明

ビットを設定することで可能となる機能について説明しています。



【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	SH7201グループの特長	1-1
1.2	製品一覧	1-7
1.3	ブロック図	1-8
1.4	ピン配置図	1-9
1.5	端子機能	1-10
2.	CPU	2-1
2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ	2-1
2.1.2	コントロールレジスタ	2-2
2.1.3	システムレジスタ	2-3
2.1.4	レジスタバンク	2-4
2.1.5	レジスタの初期値	2-4
2.2	データ形式	2-5
2.2.1	レジスタのデータ形式	2-5
2.2.2	メモリのデータ形式	2-5
2.2.3	イミディエイトデータのデータ形式	2-6
2.3	命令の特長	2-7
2.3.1	RISC方式	2-7
2.3.2	アドレッシングモード	2-11
2.3.3	命令形式	2-15
2.4	命令セット	2-19
2.4.1	分類順命令セット	2-19
2.4.2	データ転送命令	2-24
2.4.3	算術演算命令	2-27
2.4.4	論理演算命令	2-29
2.4.5	シフト命令	2-30
2.4.6	分岐命令	2-31
2.4.7	システム制御命令	2-32
2.4.8	浮動小数点演算命令	2-34
2.4.9	FPUに関するCPU命令	2-36
2.4.10	ビット操作命令	2-37
2.5	処理状態	2-38

3.	浮動小数点ユニット (FPU)	3-1
3.1	特長	3-1
3.2	データフォーマット	3-2
3.2.1	浮動小数点フォーマット	3-2
3.2.2	非数 (NaN)	3-4
3.2.3	非正規化数	3-4
3.3	レジスタの説明	3-5
3.3.1	浮動小数点レジスタ	3-5
3.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR)	3-6
3.3.3	浮動小数点通信レジスタ (FPUL)	3-7
3.4	丸め	3-7
3.5	FPU例外	3-8
3.5.1	FPU 例外要因	3-8
3.5.2	FPU 例外処理	3-8
4.	クロックパルス発振器 (CPG)	4-1
4.1	特長	4-1
4.2	入出力端子	4-4
4.3	クロック動作モード	4-5
4.4	レジスタの説明	4-10
4.4.1	周波数制御レジスタ (FRQCR)	4-10
4.4.2	CKIO コントロールレジスタ (CKIOCR)	4-12
4.5	周波数変更方法	4-13
4.5.1	逡倍率の変更	4-13
4.5.2	分周率の変更	4-13
4.6	使用上の注意事項	4-14
4.6.1	外部クロック入力時の注意	4-14
4.6.2	水晶発振子使用時の注意	4-14
4.6.3	発振子に関する注意	4-15
4.6.4	PLL 発振回路使用時の注意	4-15
4.6.5	逡倍率変更時の注意	4-15
5.	例外処理	5-1
5.1	概要	5-1
5.1.1	例外処理の種類と優先順位	5-1
5.1.2	例外処理の動作	5-2
5.1.3	例外処理ベクタテーブル	5-4
5.2	リセット	5-6
5.2.1	入出力端子	5-6
5.2.2	リセットの種類	5-6

5.2.3	パワーオンリセット	5-7
5.2.4	マニュアルリセット	5-8
5.3	アドレスエラー	5-9
5.3.1	アドレスエラー発生要因	5-9
5.3.2	アドレスエラー例外処理	5-10
5.4	バスエラー	5-10
5.4.1	バスエラー発生要因	5-10
5.4.2	バスエラー例外処理	5-10
5.5	レジスタバンクエラー	5-11
5.5.1	レジスタバンクエラー発生要因	5-11
5.5.2	レジスタバンクエラー例外処理	5-11
5.6	割り込み	5-12
5.6.1	割り込み要因	5-12
5.6.2	割り込み優先順位	5-13
5.6.3	割り込み例外処理	5-14
5.7	命令による例外	5-15
5.7.1	命令による例外の種類	5-15
5.7.2	トラップ命令	5-15
5.7.3	スロット不当命令	5-16
5.7.4	一般不当命令	5-16
5.7.5	整数除算例外	5-16
5.7.6	FPU 例外	5-17
5.8	例外処理が受け付けられない場合	5-17
5.9	例外処理後のスタックの状態	5-18
5.10	使用上の注意事項	5-19
5.10.1	スタックポインタ (SP) の値	5-19
5.10.2	ベクタベースレジスタ (VBR) の値	5-19
5.10.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	5-19
6.	割り込みコントローラ (INTC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	レジスタの説明	6-3
6.3.1	割り込み優先レベル設定レジスタ 01、02、05 ~ 16 (IPR01、IPR02、IPR05 ~ IPR16)	6-5
6.3.2	割り込みコントロールレジスタ 0 (ICR0)	6-6
6.3.3	割り込みコントロールレジスタ 1 (ICR1)	6-7
6.3.4	割り込みコントロールレジスタ 2 (ICR2)	6-8
6.3.5	IRQ 割り込み要求レジスタ (IRQRR)	6-9
6.3.6	PINT 割り込みイネーブルレジスタ (PINTER)	6-10
6.3.7	PINT 割り込み要求レジスタ (PIRR)	6-11

6.3.8	バンクコントロールレジスタ (IBCR)	6-12
6.3.9	バンク番号レジスタ (IBNR)	6-13
6.3.10	DMA 転送要求イネーブルレジスタ 0 (DREQER0)	6-14
6.3.11	DMA 転送要求イネーブルレジスタ 1 (DREQER1)	6-14
6.3.12	DMA 転送要求イネーブルレジスタ 2 (DREQER2)	6-15
6.3.13	DMA 転送要求イネーブルレジスタ 3 (DREQER3)	6-15
6.4	割り込み要因	6-16
6.4.1	NMI 割り込み	6-16
6.4.2	ユーザブレイク割り込み	6-16
6.4.3	H-UDI 割り込み	6-16
6.4.4	IRQ 割り込み	6-16
6.4.5	PINT 割り込み	6-17
6.4.6	内蔵周辺モジュール割り込み	6-17
6.5	割り込み例外処理ベクタテーブルと優先順位	6-18
6.6	動作説明	6-23
6.6.1	割り込み動作の流れ	6-23
6.6.2	割り込み例外処理終了後のスタックの状態	6-25
6.7	割り込み応答時間	6-26
6.8	レジスタバンク	6-31
6.8.1	レジスタバンクとバンク制御レジスタ	6-31
6.8.2	バンク退避、復帰の動作	6-32
6.8.3	すべてのバンクに退避が行われた状態での退避、復帰	6-34
6.8.4	レジスタバンクの例外	6-35
6.8.5	レジスタバンクエラー例外処理	6-35
6.9	割り込み要求信号によるデータ転送	6-36
6.9.1	割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合	6-36
6.9.2	割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合	6-36
6.10	使用上の注意事項	6-36
6.10.1	割り込み要因クリアのタイミング	6-36
7.	ユーザブレイクコントローラ (UBC)	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-3
7.3.1	ブレイクアドレスレジスタ (BAR)	7-4
7.3.2	ブレイクアドレスマスクレジスタ (BAMR)	7-4
7.3.3	ブレイクデータレジスタ (BDR)	7-5
7.3.4	ブレイクデータマスクレジスタ (BDMR)	7-6
7.3.5	ブレイクバスサイクルレジスタ (BBR)	7-7
7.3.6	ブレイクコントロールレジスタ (BRCR)	7-9

7.4	動作説明	7-11
7.4.1	ユーザブ레이크動作の流れ	7-11
7.4.2	命令フェッチサイクルでのブ레이크	7-12
7.4.3	データアクセスサイクルでのブ레이크	7-13
7.4.4	退避されるプログラムカウンタの値	7-14
7.4.5	使用例	7-14
7.5	使用上の注意事項	7-17
8.	キャッシュ	8-1
8.1	特長	8-1
8.1.1	キャッシュの構成	8-1
8.2	レジスタの説明	8-4
8.2.1	キャッシュ制御レジスタ 1 (CCR1)	8-4
8.2.2	キャッシュ制御レジスタ 2 (CCR2)	8-6
8.3	動作説明	8-9
8.3.1	キャッシュの検索	8-9
8.3.2	リード動作	8-10
8.3.3	プリフェッチ動作 (オペランドキャッシュのみ)	8-10
8.3.4	ライト動作 (オペランドキャッシュのみ)	8-10
8.3.5	ライトバックバッファ (オペランドキャッシュのみ)	8-11
8.3.6	キャッシュと外部メモリとのコヒーレンシ	8-12
8.4	メモリ割り付けキャッシュの構成	8-13
8.4.1	アドレスレイ	8-13
8.4.2	データレイ	8-14
8.4.3	使用例	8-16
8.4.4	注意事項	8-16
9.	バスステートコントローラ (BSC)	9-1
9.1	特長	9-1
9.2	入出力端子	9-3
9.3	エリアの概要	9-4
9.3.1	アドレスマップ	9-4
9.3.2	各エリアのデータバス幅と、端子機能設定	9-5
9.4	レジスタの説明	9-6
9.4.1	CSn 制御レジスタ (CSnCNT) (n=0~6)	9-8
9.4.2	CSn リカバリサイクル設定レジスタ (CSnREC) (n=0~6)	9-9
9.4.3	SDRAMCm 制御レジスタ (SDCmCNT) (m=0, 1)	9-11
9.4.4	CSn モードレジスタ (CSMODn) (n=0~6)	9-12
9.4.5	CSn ウェイト制御レジスタ 1 (CS1WCNTn) (n=0~6)	9-14
9.4.6	CSn ウェイト制御レジスタ 2 (CS2WCNTn) (n=0~6)	9-15

9.4.7	SDRAM リフレッシュ制御レジスタ 0 (SDRFCNT0)	9-18
9.4.8	SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1)	9-19
9.4.9	SDRAM 初期化レジスタ 0 (SDIR0)	9-21
9.4.10	SDRAM 初期化レジスタ 1 (SDIR1)	9-22
9.4.11	SDRAM パワーダウン制御レジスタ (SDPWDCNT)	9-23
9.4.12	SDRAM ディープパワーダウン制御レジスタ (SDDPWDCNT)	9-24
9.4.13	SDRAMm アドレスレジスタ (SDmADR) (m = 0、1)	9-25
9.4.14	SDRAMm タイミングレジスタ (SDmTR) (m = 0、1)	9-26
9.4.15	SDRAMm モードレジスタ (SDmMOD) (m = 0、1)	9-28
9.4.16	SDRAM ステータスレジスタ (SDSTR)	9-29
9.4.17	SDRAM クロックストップ制御信号設定レジスタ (SDCKSCNT)	9-31
9.4.18	AC 特性切り替えレジスタ (ACSWR)	9-32
9.5	動作説明	9-33
9.5.1	CSC インタフェース	9-33
9.5.2	SDRAM インタフェース	9-43
9.6	使用上の注意事項	9-77
9.6.1	パワーオンリセット例外処理、ディープスタンバイモードの解除処理時の注意事項	9-77
9.6.2	ライトバッファ	9-77
9.6.3	ソフトウェアスタンバイモードまたはディープスタンバイモード遷移時の注意事項	9-78
10.	バス監視	10-1
10.1	レジスタの説明	10-1
10.1.1	バス監視許可レジスタ (SYCBEEN)	10-2
10.1.2	バス監視ステータスレジスタ 1 (SYCBESTS1)	10-3
10.1.3	バス監視ステータスレジスタ 2 (SYCBESTS2)	10-5
10.1.4	バスエラー制御レジスタ (SYCBESW)	10-7
10.2	バス監視機能	10-8
10.2.1	バスエラー検出時の動作	10-8
10.2.2	不正アドレスアクセス検出機能	10-9
10.2.3	バスタイムアウト検出機能	10-10
10.2.4	マスタとバスエラーの組み合わせ	10-11
10.3	使用上の注意事項	10-12
10.3.1	CPU へバスエラー通知しない場合の動作	10-12
11.	ダイレクトメモリアクセスコントローラ (DMAC)	11-1
11.1	特長	11-1
11.2	入出力端子	11-3
11.3	レジスタの説明	11-4
11.3.1	DMA カレントソースアドレスレジスタ (DMCSADR)	11-7
11.3.2	DMA カレントデスティネーションアドレスレジスタ (DMCDADR)	11-8

11.3.3	DMA カレントバイトカウントレジスタ (DMCBCT)	11-9
11.3.4	DMA リロードソースアドレスレジスタ (DMRSADR)	11-10
11.3.5	DMA リロードデスティネーションアドレスレジスタ (DMRDADR)	11-11
11.3.6	DMA リロードバイトカウントレジスタ (DMRBCT)	11-12
11.3.7	DMA モードレジスタ (DMMOD)	11-13
11.3.8	DMA 制御レジスタ A (DMCNTA)	11-17
11.3.9	DMA 制御レジスタ B (DMCNTB)	11-22
11.3.10	DMA 起動制御レジスタ (DMSCNT)	11-26
11.3.11	DMA 割り込み制御レジスタ (DMICNT)	11-27
11.3.12	DMA 共用割り込み制御レジスタ (DMICNTA)	11-28
11.3.13	DMA 割り込みステータスレジスタ (DMISTS)	11-29
11.3.14	DMA 転送終了検出レジスタ (DMEDET)	11-30
11.3.15	DMA アービトレーションステータスレジスタ (DMASTS)	11-31
11.4	動作説明	11-32
11.4.1	DMA 転送モード	11-32
11.4.2	DMA 転送条件	11-34
11.4.3	DMA の起動	11-37
11.5	DMA転送の終了と割り込み	11-38
11.5.1	DMA 転送の終了	11-38
11.5.2	DMA 割り込み要求	11-39
11.5.3	DMA 終了信号の出力	11-40
11.6	DMA転送の一時停止と再開、中止	11-42
11.6.1	DMA 転送の一時停止と再開	11-42
11.6.2	各チャンネルの DMA 転送の中止	11-42
11.7	DMA要求	11-43
11.7.1	DMA 要求要因	11-43
11.7.2	DMA 要求信号入力の同期回路	11-43
11.7.3	DMA 要求のセンスモード	11-44
11.8	DMAチャンネルの優先順位判断	11-47
11.8.1	チャンネル優先順位	11-47
11.8.2	多重 DMA 要求時の動作	11-47
11.8.3	DMA アクノリッジ信号出力と DMA アクティブ信号出力	11-48
11.9	転送単位と転送バイト位置	11-50
11.10	リロード機能	11-50
11.11	ローテート機能	11-52
11.12	転送速度	11-53
11.13	使用上の注意事項	11-54
11.13.1	ソフトウェアスタンバイモードまたはディープスタンバイモード遷移時の注意事項	11-54

12.	マルチファンクションタイマパルスユニット 2 (MTU2)	12-1
12.1	特長	12-1
12.2	入出力端子	12-6
12.3	レジスタの説明	12-7
12.3.1	タイマコントロールレジスタ (TCR)	12-11
12.3.2	タイマモードレジスタ (TMDR)	12-15
12.3.3	タイマ I/O コントロールレジスタ (TIOR)	12-17
12.3.4	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	12-36
12.3.5	タイマインタラプトイネーブルレジスタ (TIER)	12-37
12.3.6	タイマステータスレジスタ (TSR)	12-41
12.3.7	タイマバッファ動作転送モードレジスタ (TBTM)	12-46
12.3.8	タイマインプットキャプチャコントロールレジスタ (TICCR)	12-47
12.3.9	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	12-48
12.3.10	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)	12-50
12.3.11	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)	12-50
12.3.12	タイマカウンタ (TCNT)	12-50
12.3.13	タイマジェネラルレジスタ (TGR)	12-51
12.3.14	タイマスタートレジスタ (TSTR)	12-52
12.3.15	タイマシンクロレジスタ (TSYR)	12-54
12.3.16	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	12-55
12.3.17	タイマリードライトイネーブルレジスタ (TRWER)	12-56
12.3.18	タイマアウトプットマスタイネーブルレジスタ (TOER)	12-57
12.3.19	タイマアウトプットコントロールレジスタ 1 (TOCR1)	12-58
12.3.20	タイマアウトプットコントロールレジスタ 2 (TOCR2)	12-60
12.3.21	タイマアウトプットレベルバッファレジスタ (TOLBR)	12-63
12.3.22	タイマゲートコントロールレジスタ (TGCR)	12-64
12.3.23	タイマサブカウンタ (TCNTS)	12-65
12.3.24	タイマデッドタイムデータレジスタ (TDDR)	12-65
12.3.25	タイマ周期データレジスタ (TCDR)	12-66
12.3.26	タイマ周期バッファレジスタ (TCBR)	12-66
12.3.27	タイマ割り込み間引き設定レジスタ (TITCR)	12-67
12.3.28	タイマ割り込み間引き回数カウンタ (TITCNT)	12-68
12.3.29	タイマバッファ転送設定レジスタ (TBTER)	12-69
12.3.30	タイマデッドタイムイネーブルレジスタ (TDER)	12-70
12.3.31	タイマ波形コントロールレジスタ (TWCR)	12-71
12.3.32	バスマスタとのインタフェース	12-72
12.4	動作説明	12-73
12.4.1	基本動作	12-73
12.4.2	同期動作	12-79
12.4.3	バッファ動作	12-81

12.4.4	カスケード接続動作	12-85
12.4.5	PWM モード	12-89
12.4.6	位相計数モード	12-94
12.4.7	リセット同期 PWM モード	12-100
12.4.8	相補 PWM モード	12-103
12.4.9	A/D 変換開始要求ディレイド機能	12-136
12.4.10	外部パルス幅測定機能	12-139
12.4.11	デッドタイム補償用機能	12-140
12.4.12	相補 PWM の「山 / 谷」での TCNT キャプチャ動作	12-142
12.5	割り込み要因	12-143
12.5.1	割り込み要因と優先順位	12-143
12.5.2	DMAC の起動	12-145
12.5.3	A/D 変換器の起動	12-145
12.6	動作タイミング	12-147
12.6.1	入出力タイミング	12-147
12.6.2	割り込み信号タイミング	12-154
12.7	使用上の注意事項	12-159
12.7.1	モジュールスタンバイモードの設定	12-159
12.7.2	入力クロックの制限事項	12-159
12.7.3	周期設定上の注意事項	12-159
12.7.4	TCNT のライトとクリアの競合	12-160
12.7.5	TCNT のライトとカウントアップの競合	12-160
12.7.6	TGR のライトとコンペアマッチの競合	12-161
12.7.7	バッファレジスタのライトとコンペアマッチの競合	12-162
12.7.8	バッファレジスタのライトと TCNT クリアの競合	12-163
12.7.9	TGR のリードとインプットキャプチャの競合	12-164
12.7.10	TGR のライトとインプットキャプチャの競合	12-165
12.7.11	バッファレジスタのライトとインプットキャプチャの競合	12-166
12.7.12	カスケード接続における TCNT_2 のライトとオーバーフロー / アンダフローの競合	12-166
12.7.13	相補 PWM モード停止時のカウンタ値	12-168
12.7.14	相補 PWM モードでのバッファ動作の設定	12-168
12.7.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	12-169
12.7.16	リセット同期 PWM モードのオーバーフローフラグ	12-170
12.7.17	オーバーフロー / アンダフローとカウンタクリアの競合	12-171
12.7.18	TCNT のライトとオーバーフロー / アンダフローの競合	12-171
12.7.19	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項	12-172
12.7.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	12-172
12.7.21	モジュールスタンバイ時の割り込み	12-172
12.7.22	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ	12-172
12.7.23	相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項	12-173
12.8	MTU2出力端子の初期化方法	12-175

12.8.1	動作モード	12-175
12.8.2	リセットスタート時の動作	12-175
12.8.3	動作中の異常などによる再設定時の動作	12-175
12.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	12-176
13.	8ビットタイマ (TMR)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-3
13.3.1	タイマカウンタ (TCNT)	13-4
13.3.2	タイムコンスタントレジスタ A (TCORA)	13-4
13.3.3	タイムコンスタントレジスタ B (TCORB)	13-4
13.3.4	タイマコントロールレジスタ (TCR)	13-5
13.3.5	タイマカウンタコントロールレジスタ (TCCR)	13-6
13.3.6	タイマコントロール/ステータスレジスタ (TCSR)	13-8
13.4	動作説明	13-10
13.4.1	パルス出力	13-10
13.4.2	リセット入力	13-11
13.5	動作タイミング	13-12
13.5.1	TCNT のカウントタイミング	13-12
13.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング	13-13
13.5.3	コンペアマッチ時のタイマ出力タイミング	13-13
13.5.4	コンペアマッチによるカウンタクリアタイミング	13-14
13.5.5	TCNT の外部リセットタイミング	13-14
13.5.6	オーバフローフラグ (OVF) のセットタイミング	13-15
13.6	カスケード接続時の動作	13-15
13.6.1	16ビットカウントモード	13-15
13.6.2	コンペアマッチカウントモード	13-16
13.7	割り込み要因	13-16
13.7.1	割り込み要因	13-16
13.7.2	A/D 変換器の起動	13-16
13.8	使用上の注意事項	13-17
13.8.1	周期設定上の注意	13-17
13.8.2	TCNT のライトとカウンタクリアの競合	13-17
13.8.3	TCNT のライトとカウントアップの競合	13-18
13.8.4	TCOR のライトとコンペアマッチの競合	13-19
13.8.5	コンペアマッチ A、B の競合	13-19
13.8.6	内部クロックの切り替えと TCNT の動作	13-20
13.8.7	カスケード接続時のモード設定	13-21
13.8.8	モジュールスタンバイの設定	13-21

13.8.9	モジュールスタンバイ時の割り込み	13-21
14.	ウォッチドッグタイマ (WDT)	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-3
14.3.1	ウォッチドッグタイマカウンタ (WTCNT)	14-3
14.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	14-4
14.3.3	ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)	14-6
14.3.4	レジスタアクセス時の注意	14-7
14.4	WDTの使用法	14-9
14.4.1	ソフトウェアスタンバイモード解除の手順	14-9
14.4.2	周波数変更の手順	14-9
14.4.3	ウォッチドッグタイマモードの使用法	14-10
14.4.4	インターバルタイマモードの使用法	14-11
14.5	使用上の注意事項	14-12
14.5.1	タイマ誤差	14-12
14.5.2	WTCNT の設定値として H'FF は設定禁止	14-12
14.5.3	インターバルタイマオーバフローフラグ	14-12
14.5.4	$\overline{\text{WDTOVF}}$ 信号によるシステムリセット	14-12
14.5.5	ウォッチドッグタイマモードのマニュアルリセット	14-13
15.	リアルタイムクロック (RTC)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	64Hz カウンタ (R64CNT)	15-4
15.3.2	秒カウンタ (RSECCNT)	15-5
15.3.3	分カウンタ (RMINCNT)	15-6
15.3.4	時カウンタ (RHRCNT)	15-7
15.3.5	曜日カウンタ (RWKCNT)	15-8
15.3.6	日カウンタ (RDAYCNT)	15-9
15.3.7	月カウンタ (RMONCNT)	15-10
15.3.8	年カウンタ (RYRCNT)	15-10
15.3.9	秒アラームレジスタ (RSECAR)	15-11
15.3.10	分アラームレジスタ (RMINAR)	15-12
15.3.11	時アラームレジスタ (RHRAR)	15-13
15.3.12	曜日アラームレジスタ (RWKAR)	15-14
15.3.13	日アラームレジスタ (RDAYAR)	15-15
15.3.14	月アラームレジスタ (RMONAR)	15-16

15.3.15	年アラームレジスタ (RYRAR)	15-16
15.3.16	RTC コントロールレジスタ 1 (RCR1)	15-17
15.3.17	RTC コントロールレジスタ 2 (RCR2)	15-18
15.3.18	RTC コントロールレジスタ 3 (RCR3)	15-20
15.4	動作説明	15-20
15.4.1	電源投入後のレジスタの初期設定	15-20
15.4.2	時刻設定手順	15-20
15.4.3	時刻読み出し手順	15-21
15.4.4	アラーム機能	15-22
15.5	使用上の注意事項	15-23
15.5.1	RTC カウント動作時のレジスタ書き込みについて	15-23
15.5.2	リアルタイムクロック (RTC) の周期割り込みの使用について	15-23
15.5.3	レジスタ設定後のスタンバイ遷移について	15-23
15.5.4	RTC 用水晶発振回路	15-24
15.5.5	30 秒調整設定手順	15-25
16.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-3
16.3.1	受信シフトレジスタ (SCRSR)	16-6
16.3.2	受信 FIFO データレジスタ (SCFRDR)	16-6
16.3.3	送信シフトレジスタ (SCTSR)	16-6
16.3.4	送信 FIFO データレジスタ (SCFTDR)	16-7
16.3.5	シリアルモードレジスタ (SCSMR)	16-7
16.3.6	シリアルコントロールレジスタ (SCSCR)	16-10
16.3.7	シリアルステータスレジスタ (SCFSR)	16-12
16.3.8	ビットレートレジスタ (SCBRR)	16-17
16.3.9	FIFO コントロールレジスタ (SCFCR)	16-24
16.3.10	FIFO データ数レジスタ (SCFDR)	16-26
16.3.11	シリアルポートレジスタ (SCSPTR)	16-26
16.3.12	ラインステータスレジスタ (SCLSR)	16-28
16.4	動作説明	16-29
16.4.1	概要	16-29
16.4.2	調歩同期式モード時の動作	16-31
16.4.3	クロック同期式モード時の動作	16-39
16.5	SCIFの割り込み	16-47
16.6	使用上の注意事項	16-48
16.6.1	SCFTDR への書き込みと TDFE フラグ	16-48
16.6.2	SCFRDR の読み出しと RDF フラグ	16-48

16.6.3	DMAC 使用上の制約事項.....	16-49
16.6.4	ブレークの検出と処理.....	16-49
16.6.5	ブレークの送り出し.....	16-49
16.6.6	調歩同期モードの受信データサンプリングタイミングと受信マージン.....	16-50
17.	I ² C バスインタフェース 3 (IIC3).....	17-1
17.1	特長.....	17-1
17.2	入出力端子.....	17-3
17.3	レジスタの説明.....	17-4
17.3.1	I ² C バスコントロールレジスタ 1 (ICCR1).....	17-5
17.3.2	I ² C バスコントロールレジスタ 2 (ICCR2).....	17-7
17.3.3	I ² C バスモードレジスタ (ICMR).....	17-8
17.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER).....	17-10
17.3.5	I ² C バスステータスレジスタ (ICSR).....	17-12
17.3.6	スレーブアドレスレジスタ (SAR).....	17-14
17.3.7	I ² C バス送信データレジスタ (ICDRT).....	17-14
17.3.8	I ² C バス受信データレジスタ (ICDRR).....	17-15
17.3.9	I ² C バスシフトレジスタ (ICDRS).....	17-15
17.3.10	NF2CYC レジスタ (NF2CYC).....	17-15
17.4	動作説明.....	17-16
17.4.1	I ² C バスフォーマット.....	17-16
17.4.2	マスタ送信動作.....	17-17
17.4.3	マスタ受信動作.....	17-19
17.4.4	スレーブ送信動作.....	17-21
17.4.5	スレーブ受信動作.....	17-22
17.4.6	クロック同期式シリアルフォーマット.....	17-24
17.4.7	ノイズ除去回路.....	17-27
17.4.8	使用例.....	17-28
17.5	割り込み要求.....	17-32
17.6	ビット同期回路.....	17-32
17.7	使用上の注意事項.....	17-34
17.7.1	停止条件の発行および開始条件 (再送) の発行.....	17-34
17.7.2	マルチマスタで使用時の注意.....	17-34
17.7.3	マスタ受信モード時の注意.....	17-34
17.7.4	マスタ受信モード、ACKBT 設定時の注意.....	17-35
17.7.5	アービトラションロスト時の MST と TRN ビットの状態についての注意.....	17-35
17.7.6	IICRST、BBSY ビットに関する注意事項.....	17-35
18.	シリアルサウンドインタフェース (SSI).....	18-1
18.1	特長.....	18-1

18.2	入出力端子	18-3
18.3	レジスタの説明	18-3
18.3.1	コントロールレジスタ (SSICR)	18-4
18.3.2	ステータスレジスタ (SSISR)	18-10
18.3.3	トランスミットデータレジスタ (SSITDR)	18-14
18.3.4	レシーブデータレジスタ (SSIRDR)	18-14
18.4	動作説明	18-15
18.4.1	バスマフォーマット	18-15
18.4.2	非圧縮モード	18-15
18.4.3	動作モード	18-23
18.4.4	送信動作	18-24
18.4.5	受信動作	18-26
18.4.6	送信時における一時停止、再開手順	18-29
18.4.7	シリアルビットクロックコントロール	18-29
18.5	使用上の注意事項	18-30
18.5.1	受信 DMA 動作中にオーバフローが起こった場合の制限事項	18-30
18.5.2	オーバサンプルクロック使用時の注意	18-30
18.5.3	クロック供給停止の制限事項	18-30
19.	コントローラエリアネットワーク (RCAN-ET)	19-1
19.1	特長	19-1
19.2	構成	19-2
19.2.1	ブロック図	19-2
19.2.2	各ブロックの機能	19-3
19.2.3	端子構成	19-4
19.2.4	メモリマップ	19-4
19.3	メールボックス	19-5
19.3.1	メールボックスの構成	19-5
19.3.2	メッセージコントロールフィールド	19-7
19.3.3	ローカルアクセプタンスフィルタマスク (LAFM)	19-12
19.3.4	メッセージデータフィールド	19-13
19.4	RCAN-ETのコントロールレジスタ	19-13
19.4.1	マスタコントロールレジスタ (MCR)	19-13
19.4.2	ジェネラルステータスレジスタ (GSR)	19-19
19.4.3	ビットタイミングコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)	19-21
19.4.4	インタラプトリクエストレジスタ (IRR)	19-25
19.4.5	インタラプトマスクレジスタ (IMR)	19-30
19.4.6	送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)	19-31
19.5	RCAN-ETのメールボックスレジスタ	19-32
19.5.1	送信待ちレジスタ 1、0 (TXPR1、TXPR0)	19-33

19.5.2	送信キャンセルレジスタ 0 (TXCR0)	19-36
19.5.3	送信アクノリッジレジスタ 0 (TXACK0)	19-37
19.5.4	アポートアクノリッジレジスタ 0 (ABACK0)	19-38
19.5.5	データフレーム受信完了レジスタ 0 (RXPR0)	19-39
19.5.6	リモートフレーム受信完了レジスタ 0 (RFPR0)	19-40
19.5.7	メールボックスインタラプトマスクレジスタ 0 (MBIMR0)	19-41
19.5.8	未読メッセージステータスレジスタ 0 (UMSR0)	19-42
19.6	動作説明	19-42
19.6.1	RCAN-ET の設定	19-42
19.6.2	テストモードの設定	19-46
19.6.3	メッセージ送信シーケンス	19-48
19.6.4	メッセージ受信シーケンス	19-50
19.6.5	メールボックスの再設定	19-52
19.7	割り込み要因	19-54
19.8	CANバスインタフェース	19-55
19.9	使用上の注意事項	19-56
19.9.1	モジュールスタンバイモード	19-56
19.9.2	リセット	19-56
19.9.3	CAN スリープモード	19-56
19.9.4	レジスタアクセス	19-56
19.9.5	割り込み	19-56
20.	A/D 変換器 (ADC)	20-1
20.1	特長	20-1
20.2	入出力端子	20-3
20.3	レジスタの説明	20-3
20.3.1	A/D データレジスタ A ~ H (ADDRA ~ ADDRH)	20-4
20.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	20-5
20.4	動作説明	20-8
20.4.1	シングルモード	20-8
20.4.2	マルチモード	20-10
20.4.3	スキャンモード	20-12
20.4.4	外部トリガ、MTU2、TMR による A/D 変換器の起動	20-14
20.4.5	入力サンプリングと A/D 変換時間	20-14
20.4.6	外部トリガ入力タイミング	20-16
20.5	割り込み要因とDMAC転送要求	20-17
20.6	A/D変換精度の定義	20-18
20.7	使用上の注意事項	20-19
20.7.1	モジュールスタンバイモードの設定	20-19
20.7.2	アナログ電圧の設定	20-19

20.7.3	ボード設計上の注意	20-19
20.7.4	アナログ入力端子の取り扱い	20-19
20.7.5	許容信号源インピーダンス	20-21
20.7.6	絶対精度への影響	20-21
20.7.7	スキャンモードおよびマルチモード使用時の注意	20-21
21.	D/A 変換器 (DAC)	21-1
21.1	特長	21-1
21.2	入出力端子	21-2
21.3	レジスタの説明	21-3
21.3.1	D/A データレジスタ 0、1 (DADR0、DADR1)	21-3
21.3.2	D/A コントロールレジスタ (DACR)	21-3
21.4	動作説明	21-5
21.5	使用上の注意事項	21-6
21.5.1	モジュールスタンバイモードの設定	21-6
21.5.2	ソフトウェアスタンバイモード時の D/A 出力保持機能	21-6
21.5.3	ディープスタンバイモード時の D/A 変換と D/A 出力	21-6
21.5.4	アナログ電圧の設定	21-6
22.	I/O ポート	22-1
22.1	ポート A	22-1
22.1.1	レジスタの構成	22-2
22.1.2	ポート A データレジスタ H、L (PADRH、PADRL)	22-2
22.1.3	ポート A ポートレジスタ H、L (PAPRH、PAPRL)	22-3
22.2	ポート B	22-4
22.2.1	レジスタの構成	22-4
22.2.2	ポート B データレジスタ H、L (PBDRH、PBDRL)	22-5
22.2.3	ポート B ポートレジスタ H、L (PBPRH、PBPRL)	22-6
22.3	ポート C	22-7
22.3.1	レジスタの構成	22-7
22.3.2	ポート C データレジスタ H、L (PCDRH、PCDRL)	22-8
22.3.3	ポート C ポートレジスタ H、L (PCPRH、PCPRL)	22-9
22.4	ポート D	22-10
22.4.1	レジスタの構成	22-10
22.4.2	ポート D データレジスタ (PDDR)	22-11
22.4.3	ポート D ポートレジスタ H、L (PDPRH、PDPRL)	22-12
22.5	ポート E	22-13
22.5.1	レジスタの構成	22-13
22.5.2	ポート E ポートレジスタ (PEPR)	22-13
22.6	ポート F	22-14

22.6.1	レジスタの構成	22-14
22.6.2	ポート F データレジスタ (PFDR)	22-14
22.6.3	ポート F ポートレジスタ (PFPR)	22-15
23.	ピンファンクションコントローラ (PFC)	23-1
23.1	レジスタの説明	23-8
23.1.1	ポート A・IO レジスタ H、L (PAIORH、PAIORL)	23-9
23.1.2	ポート A コントロールレジスタ 1~8 (PACR1 ~ PACR8)	23-10
23.1.3	ポート B・IO レジスタ H、L (PBIORH、PBIORL)	23-19
23.1.4	ポート B コントロールレジスタ 1~8 (PBCR1 ~ PBCR8)	23-19
23.1.5	ポート C・IO レジスタ H、L (PCIORH、PCIORL)	23-30
23.1.6	ポート C コントロールレジスタ 1~7 (PCCR1 ~ PCCR7)	23-30
23.1.7	ポート D・IO レジスタ (PDIOR)	23-38
23.1.8	ポート D コントロールレジスタ 1~5 (PDCR1 ~ PDCR5)	23-38
23.1.9	ポート E コントロールレジスタ 1、2 (PECR1、PECR2)	23-43
23.1.10	ポート F・IO レジスタ (PFIOR)	23-45
23.1.11	ポート F コントロールレジスタ 1、2 (PFCR1、PFCR2)	23-45
23.2	使用上の注意事項	23-48
24.	内蔵 RAM	24-1
24.1	特長	24-1
24.2	使用上の注意事項	24-2
24.2.1	ページ競合	24-2
24.2.2	RAME ビット、RAMWE ビットについて	24-2
25.	低消費電力モード	25-1
25.1	特長	25-1
25.1.1	低消費電力モードの種類	25-1
25.2	レジスタの説明	25-3
25.2.1	スタンバイコントロールレジスタ (STBCR)	25-4
25.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	25-5
25.2.3	スタンバイコントロールレジスタ 3 (STBCR3)	25-6
25.2.4	スタンバイコントロールレジスタ 4 (STBCR4)	25-7
25.2.5	スタンバイコントロールレジスタ 5 (STBCR5)	25-9
25.2.6	システムコントロールレジスタ 1 (SYSCR1)	25-10
25.2.7	システムコントロールレジスタ 2 (SYSCR2)	25-11
25.2.8	RAM 保持エリア指定レジスタ (RAMKP)	25-12
25.2.9	ディープスタンバイ発振安定クロックセレクトレジスタ (DSCNT)	25-13
25.2.10	ディープスタンバイ解除要因フラグレジスタ (DSFR)	25-14
25.3	動作説明	25-16

25.3.1	スリープモード	25-16
25.3.2	ソフトウェアスタンバイモード	25-16
25.3.3	ソフトウェアスタンバイモードの応用例	25-18
25.3.4	ディープスタンバイモード	25-20
25.3.5	モジュールスタンバイ機能	25-24
25.4	使用上の注意事項	25-25
25.4.1	レジスタ設定時の注意	25-25
25.4.2	外部クロック入力時におけるスタンバイモード解除の注意	25-25
26.	ユーザデバッグインタフェース (H-UDI)	26-1
26.1	特長	26-1
26.2	入出力端子	26-2
26.3	レジスタの説明	26-2
26.3.1	バイパスレジスタ (SDBPR)	26-2
26.3.2	インストラクションレジスタ (SDIR)	26-3
26.4	動作説明	26-4
26.4.1	TAP コントローラ	26-4
26.4.2	リセットの種類	26-5
26.4.3	UDTDO 出力タイミング	26-5
26.4.4	H-UDI リセット	26-5
26.4.5	H-UDI 割り込み	26-6
26.5	使用上の注意事項	26-6
27.	アドバンスドユーザデバッグ-II (AUD-II)	27-1
27.1	特長	27-1
27.2	入出力端子	27-2
27.3	RAM モニタモード	27-3
27.3.1	通信プロトコル	27-3
27.3.2	動作説明	27-3
27.3.3	RAM モニタに関して使用上の注意事項	27-5
28.	レジスタ一覧	28-1
28.1	レジスタアドレス一覧 (アドレス順)	28-2
28.2	レジスタビット一覧	28-20
28.3	各動作モードにおけるレジスタの状態	28-58
29.	電气的特性	29-1
29.1	絶対最大定格	29-1
29.2	DC特性	29-2
29.3	AC特性	29-8

29.3.1	クロックタイミング	29-8
29.3.2	制御信号タイミング	29-11
29.3.3	バスタイミング	29-13
29.3.4	DMAC モジュールタイミング	29-25
29.3.5	UBC トリガタイミング	29-26
29.3.6	MTU2 モジュールタイミング	29-27
29.3.7	8 ビットタイマタイミング	29-28
29.3.8	ウォッチドッグタイマタイミング	29-29
29.3.9	SCIF モジュールタイミング	29-30
29.3.10	IIC3 モジュールタイミング	29-31
29.3.11	SSI モジュールタイミング	29-32
29.3.12	RCAN-ET モジュールタイミング	29-34
29.3.13	A/D トリガ入力タイミング	29-34
29.3.14	I/O ポートタイミング	29-35
29.3.15	H-UDI 関連端子のタイミング	29-36
29.3.16	AUD-II タイミング	29-37
29.3.17	AC 特性測定条件	29-39
29.4	A/D変換器特性	29-40
29.5	D/A変換器特性	29-40
29.6	使用上の注意事項	29-41
付録	付録-1
A.	端子状態	付録-1
B.	外形寸法図	付録-5
本版で改訂された箇所	改訂-1
索引	索引-1

1. 概要

1.1 SH7201 グループの特長

本 LSI は、ルネサスオリジナルの RISC (縮小命令セットコンピュータ) 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU には、SH-1、SH-2、SH-2E マイクロコンピュータとオブジェクトコードレベルでの上位互換性を特長とする SH-2A CPU を採用しています。RISC 方式の命令セットを持っており、スーパースカラアーキテクチャやハーバードアーキテクチャを採用しているため、命令実行速度が飛躍的に向上しています。またダイレクトメモリアクセスコントローラ (DMAC) とは独立した内部 32 ビットバス構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来マイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

本 LSI は、浮動小数点ユニット (FPU) とキャッシュを内蔵しています。さらに本 LSI はシステム構成に必要な周辺機能として、32KB の高速 RAM、コントローラエリアネットワーク (RCAN-ET)、シリアルサウンドインタフェース (SSI)、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)、I²C バスインタフェース 3 (IIC3)、マルチファンクションタイマパルスユニット 2 (MTU2)、8 ビットタイマ (TMR)、リアルタイムクロック (RTC)、A/D 変換器、D/A 変換器、割り込みコントローラ (INTC)、I/O ポート、アドバンスドユーザデバッグ-II (AUD-II) などを内蔵しています。

また、本 LSI では外部メモリアクセスサポート機能により、メモリや周辺 LSI と直接接続を行えます。これらにより、システムコストの大幅な低減が可能です。

本 LSI の特長を表 1.1 に示します。

表 1.1 SH7201 グループの特長

項目	特 長
CPU	<ul style="list-style-type: none"> • ルネサス独自の SuperH アーキテクチャ • SH-1、SH-2 とオブジェクトコードレベルで互換性あり • 32 ビット内部データバス • 汎用レジスタアーキテクチャ： <ul style="list-style-type: none"> 16 本の 32 ビット汎用レジスタ 4 本の 32 ビットコントロールレジスタ 4 本の 32 ビットシステムレジスタ 高速割り込み応答のためのレジスタバンク • RISC タイプ命令セット（SH シリーズと上位互換性）： <ul style="list-style-type: none"> 命令長：コードの効率改善のための 16 ビット基本命令と、性能・使い勝手向上のための 32 ビット命令 ロードストアアーキテクチャ 遅延分岐命令 C 言語に基づく命令セット • FPU を含む 2 命令同時実行型スーパースカラ • 命令実行時間：最大 2 命令 / サイクル • アドレス空間：4G バイト • 乗算器内蔵 • 5 段パイプライン • ハーバードアーキテクチャ
浮動小数点 ユニット (FPU)	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード：近傍および 0 方向への丸め • 非正規化数の扱い：0 への切り捨て • 浮動小数点レジスタ <ul style="list-style-type: none"> 16 本の 32 ビット浮動小数点レジスタ (単精度 × 16 ワードまたは倍精度 × 8 ワード) 2 本の 32 ビット浮動小数点システムレジスタ • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間 <ul style="list-style-type: none"> レイテンシ (FMAC/FADD/FSUB/FMUL) : 3 サイクル (単精度)、8 サイクル (倍精度) ピッチ (FMAC/FADD/FSUB/FMUL) : 1 サイクル (単精度)、6 サイクル (倍精度) 【注】 FMAC は単精度に対してのみサポートしています。 • 5 段パイプライン

項目	特 長
キャッシュ	<ul style="list-style-type: none"> 命令キャッシュ：8K バイト オペランドキャッシュ：8K バイト おのおの 128 エントリ、4 ウェイセットアソシアティブ、16 バイトブロック長 ライトバック、ライトスルー、LRU 置換アルゴリズム キャッシュロック機能あり（オペランドキャッシュのみ）：ウェイ 2、ウェイ 3 はロック可能
割り込み コントローラ (INTC)	<ul style="list-style-type: none"> 17 本の外部割り込み端子 (NMI、IRQ7 ~ IRQ0、PINT7 ~ PINT0) 内蔵周辺割り込み：モジュールごとに優先順位を設定 16 レベルの優先順位設定が可能 レジスタバンクにより割り込み処理に伴うレジスタの退避 / 復帰を高速に行うことが可能
バスステート コントローラ(BSC)	<p>【CSC】</p> <ul style="list-style-type: none"> チップセレクトコントローラ (CSC)：7 チャンネル 32 ビット / 16 ビット / 8 ビットバス幅の 3 種類の外部デバイスを接続可能 サイクルウエイト機能：最大 31 ウエイト (ページアクセスサイクル：最大 7 ウエイト) ウエイト制御： <ul style="list-style-type: none"> チップセレクト信号のアサート / ネゲートタイミング設定可能 ライト / リード信号のアサート / ネゲートタイミング設定可能 データ出力の開始・終了タイミング設定可能 ライトアクセスモード：1 ライトストロブ / バイトライトストロブモード ページアクセスモード：ページリード・ページライトサポート <p>【SDRAMC】</p> <ul style="list-style-type: none"> 外部 SDRAM インタフェース：2 チャンネル リフレッシュ機能： <ul style="list-style-type: none"> オートリフレッシュ (プログラマブルリフレッシュカウンタ内蔵) セルフリフレッシュ タイミング設定： <ul style="list-style-type: none"> ロウカラムレイテンシ、カラムレイテンシ、ロウアクティブ期間、 ライトリカバリ期間、ロウプリチャージ期間、オートリフレッシュ要求間隔、 初期化プリチャージサイクル数、初期化オートリフレッシュ要求間隔 バーストアクセス方式：ランダムカラム (SDRAM バースト長：1) 初期化シーケンサ機能：プリチャージ、オートリフレッシュコマンドを発行
バス監視	<ul style="list-style-type: none"> バス監視機能 <ul style="list-style-type: none"> 不正アドレスアクセス、バスタイムアウトを検出しバスエラー割り込みを発生

項目	特 長
ダイレクト メモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> • 8チャンネル(うち4チャンネルは外部リクエスト可能) • DMA 要因数: 37 要因 内訳: ソフトウェア: 1 要因、内部要因: 32 要因、外部要因: 4 要因 • 最大転送バイト数: 64M バイト • 転送データサイズ: <ul style="list-style-type: none"> 1 データ転送: 8、16、32 ビット 1 オペランド転送: 1、2、4、8、16、32、64、128 データ、バイトカウント 0 まで継続 • 転送方式: <ul style="list-style-type: none"> サイクルスチル転送(デュアルアドレス転送) min3 クロックサイクル/1 データ、READ、WRITE 間にバス権解放 パイプライン転送(デュアルアドレス転送) min1 クロックサイクル/1 データ • アドレッシング方式: インクリメント・デクリメント・固定 • 最高転送サイクル: 3 クロックサイクル/1 データ転送 • 転送モード: 単一オペランド転送、連続オペランド転送、ノンストップ転送 • 割り込み要求: バイトカウントが 0 になったとき • リロード機能(ソースアドレス、デスティネーションアドレス、バイトカウント) • DMAC 停止 / 再開 / 中止機能 • DMAC 転送強制終了機能
クロックパルス 発振器 (CPG)	<ul style="list-style-type: none"> • クロックモード: 入力クロックを外部入力 (EXTAL または CKIO) または水晶発振子から選択可能 • 内蔵 PLL 回路により入力クロックを最大 16 逡倍することが可能 • 3 種類のクロックを生成 CPU クロック: 最大 120MHz バスクロック: 最大 60MHz 周辺クロック: 最大 40MHz
ウォッチドッグ タイマ (WDT)	<ul style="list-style-type: none"> • 1 チャンネルのウォッチドッグタイマ • カウンタのオーバフローにより本 LSI にリセットをかけることが可能
低消費電力モード	<ul style="list-style-type: none"> • 本 LSI の消費電力をさげるために 4 種類の低消費電力モードをサポート スリープモード ソフトウェアスタンバイモード ディープスタンバイモード モジュールスタンバイモード

項目	特 長
マルチ ファンクション タイマパルス ユニット2 (MTU2)	<ul style="list-style-type: none"> • 16 ビットタイマ 6 チャンネルをベースに最大 16 種類のパルス入出力、および 3 本のパルス入力が可能 • 21 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • インプットキャプチャ機能 • パルス出力モード ワンショット / トグル / PWM / 相補 PWM / リセット同期 PWM • 複数カウンタの同期化機能 • 相補 PWM 出力モード 3 相のインバータ制御用ノンオーバーラップ波形を出力 • デッドタイム自動設定 • PWM デューティを 0 ~ 100% 任意に設定可能 • A/D 変換開始要求ディレイド機能 • 山・谷割り込み間引き機能 • リセット同期 PWM モード 任意デューティの正相・逆相 PWM 波形を 3 相出力 • 位相計数モード 2 相エンコーダ計数処理が可能
8 ビットタイマ (TMR)	<ul style="list-style-type: none"> • 2 チャンネル 8 ビットタイマ • 6 種類の内部クロック (P /2、P /8、P /32、P /64、P /1024、P /8192) と外部クロックから選択可能 • 2 つのコンペアマッチ信号の組み合わせでタイマ出力を制御可能 • 2 チャンネルのカスケード接続が可能
リアルタイム クロック (RTC)	<ul style="list-style-type: none"> • 内蔵クロック、カレンダー機能、アラーム機能 • 1/256 秒の最大分解能 (割り込みサイクル) の内蔵 32.768kHz 水晶発振器回路
FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> • 8 チャンネル • クロック同期式 / 調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能 (全二重) • 専用のポーレートジェネレータ内蔵 • 送受信 FIFO をそれぞれ 16 バイト内蔵
I ² C バス インタフェース 3 (IIC3)	<ul style="list-style-type: none"> • 3 チャンネル • マスタモード / スレーブモード内蔵
シリアルサウンド インタフェース (SSI)	<ul style="list-style-type: none"> • 2 チャンネルの双方向シリアル転送 • 多様なシリアルオーディオフォーマットをサポート • マスタ / スレーブ機能をサポート • プログラマブルワードクロック、ビットクロック生成機能 • マルチチャンネルフォーマット機能 • 8/16/18/20/22/24/32 ビットデータフォーマットをサポート

項目	特 長
コントローラエリア ネットワーク (RCAN-ET)	<ul style="list-style-type: none"> • 2チャンネル • CAN 規格 2.0B をサポート • 標準データとリモートフレーム (11 ビットの ID) • 拡張データとリモートフレーム (18 ビットの ID) • 標準 (11 ビット) や拡張 (18 ビット) の ID フォーマットを用いて独立した 16 個のメッセージバッファ • 送信または受信に設定可能な 15 個のメールボックス • 受信のみ可能な 1 個のメールボックス • ID によるメッセージ受付のフィルタリング • 標準メッセージ ID • 拡張メッセージ ID • ローカル受付フィルタマスク (標準と拡張メッセージ ID) を全てのメールボックスで設定可能 • 低消費電力のスリープモード • 最大 1Mbit/s の CAN データ転送レートを設定可能 • リアルタイムアプリケーションの優先順位が反転される問題に対する内部順位ソート機能を使った送信メッセージのキュー • ハンドシェイクを使用しないデータバッファアクセス
I/O ポート	<ul style="list-style-type: none"> • 109 本 (入出力)、14 本 (入力) • 入出力ポートはビットごとに入出力切替可能
A/D 変換器 (ADC)	<ul style="list-style-type: none"> • 分解能: 10 ビット • 入力: 8 チャンネル • 外部トリガ/タイマトリガによる A/D 変換の起動が可能
D/A 変換器 (DAC)	<ul style="list-style-type: none"> • 分解能: 8 ビット • 出力 2 チャンネル
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"> • ブレイクチャンネル×2チャンネル • アドレス、データ値、アクセス形式、およびデータサイズをブレイク条件として設定可能
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> • E10A エミュレータのサポート • JTAG 標準端子配置
アドバンストユーザ デバッグ-II (AUD-II)	<ul style="list-style-type: none"> • 8 本の入出力端子 • RAM モニタモードで、内部/外部バスに接続されているモジュール (キャッシュおよび H-UDI を除く) を読み出し/書き込みする機能をサポート
内蔵 RAM	<ul style="list-style-type: none"> • 32K バイトのメモリを内蔵
電源電圧	<ul style="list-style-type: none"> • PVcc、VccR、PLLvcc: 3.0~3.6V
パッケージ	<ul style="list-style-type: none"> • LQFP2424-176Cu (0.5 ピッチ)

1.2 製品一覧

表 1.2 製品一覧

略称	製品型名	動作温度
R5S72011	R5S72011RB120FP	- 20 ~ 70 (通常仕様品)
	R5S72011RW100FP	- 20 ~ 85 (広温度範囲仕様品)

1.3 ブロック図

図 1.1 に SH7201 グループのブロック図を示します。

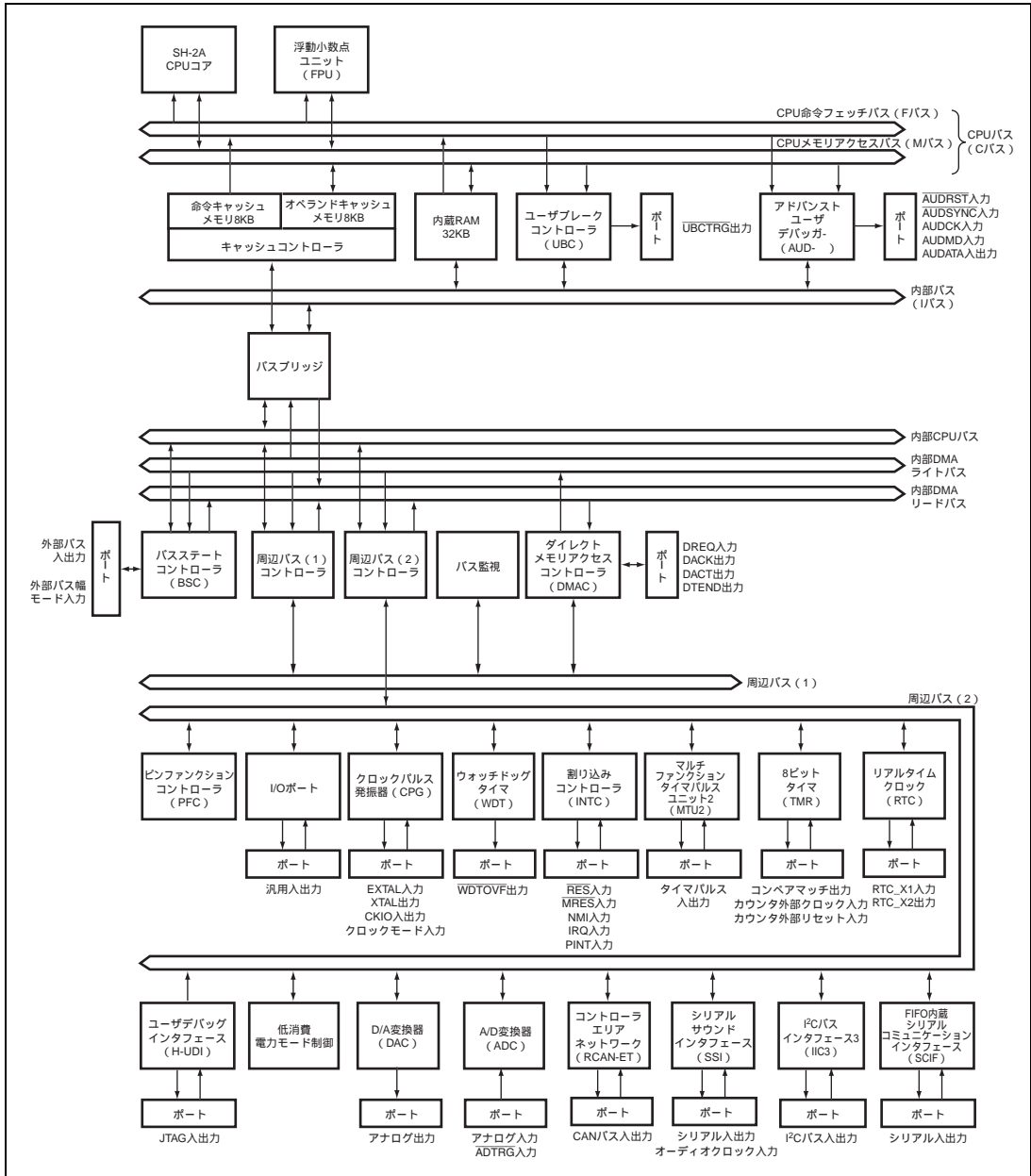


図 1.1 ブロック図

1.4 ピン配置図

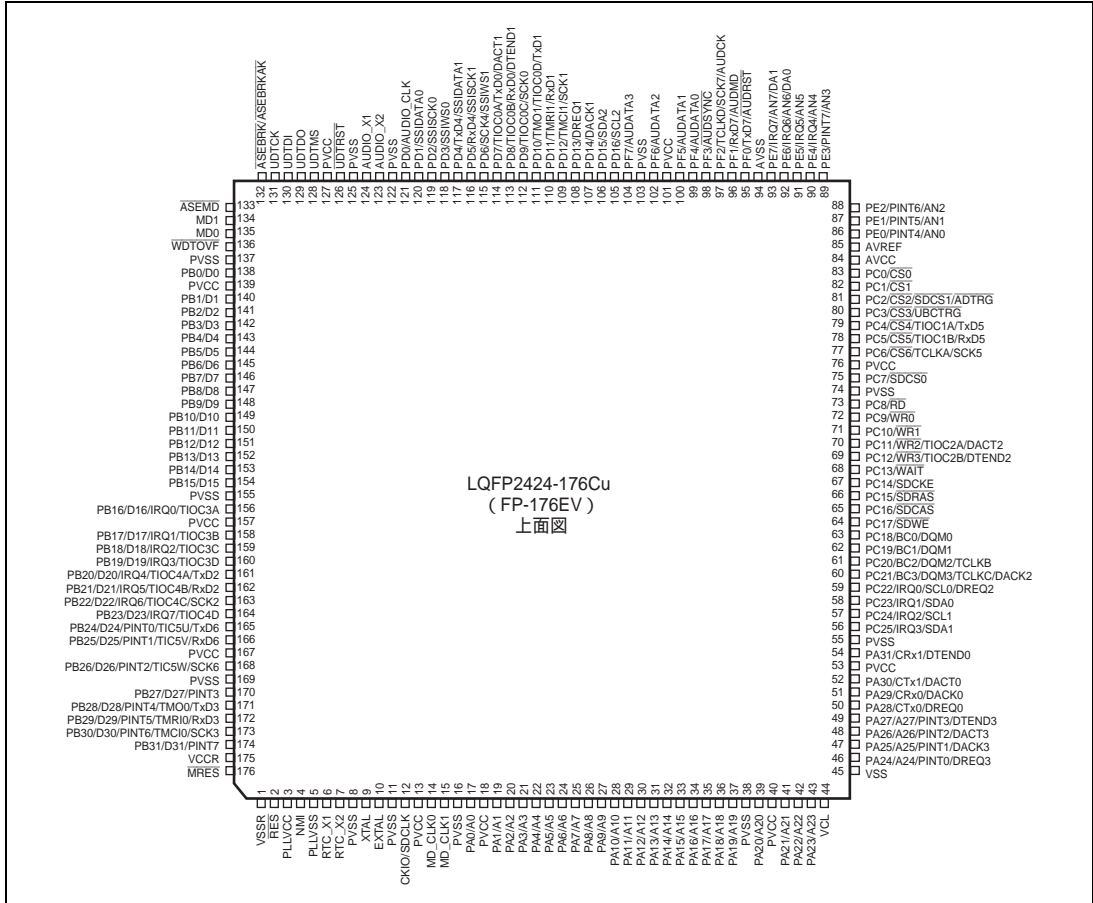


図 1.2 ピン配置図

1.5 端子機能

各端子の機能を表 1.3 に示します。

表 1.3 端子機能

分類	端子名	入出力	名称	機能
電源	VCCR	入力	内部降圧電源用電源	内部降圧電源用の電源端子です。VCCR 端子をシステムの電源に接続してください。開放すると動作しません。
	VSSR	入力	内部降圧電源用グランド	内部降圧電源用のグランド端子です。VSSR 端子をシステム電源 (0V) に接続してください。開放すると動作しません。
	VCL	入力	内部降圧電源	内部降圧電源用の外付け容量端子です。内部降圧電源安定化のため外付けコンデンサを介して VSS に接続してください (端子近くに配置)。
	VSS	入力	内部降圧用グランド	内部降圧用のグランド端子です。内部降圧電源安定化のため外付けコンデンサを介して VCL に接続してください (端子近くに配置)。
	PVCC	入力	入出力回路用電源	入出力端子用の電源端子です。すべての PVCC 端子をシステムの電源に接続してください。開放端子があると動作しません。
	PVSS	入力	入出力回路用グランド	入出力端子用のグランド端子です。すべての PVSS 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	PLLVCC	入力	PLL 用電源	内蔵 PLL 発振器用の電源端子です。開放すると動作しません。
	PLLVSS	入力	PLL 用グランド	内蔵 PLL 発振器用のグランド端子です。開放すると動作しません。
クロック	EXTAL	入力	水晶発振子 / 外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力		
	CKIO	入出力	システムクロック入出力	外部クロック入力端子、または外部デバイスにシステムクロックを供給します。
動作モードコントロール	MD1、MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中に変化させないでください。
	MD_CLK1、MD_CLK0	入力	クロックモード設定	クロック動作モードを設定します。これらの端子は動作中に変化させないでください。
	ASEMD	入力	デバッグモード	E10A-USB エミュレータ時に使用します。エミュレータを使用しない場合は、ハイレベルに固定してください。
システム制御	RES	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	MRES	入力	マニュアルリセット	この端子がローレベルになると、マニュアルリセット状態になります。
	WDTOVF	出力	ウォッチドッグタイマオーバーフロー	WDT からのオーバーフロー出力信号です。

分類	端子名	入出力	名称	機能
システム制御	ASEBRKAK	出力	ブレークモード アクノリッジ	E10A-USB エミュレータがブレークモードに入ったことを示します。
	ASEBRK*	入力	ブレーク要求	E10A-USB エミュレータブレーク入力です。
割り込み	NMI	入力	ノンマスクابل 割り込み	ノンマスクابل割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ7 ~ IRQ0	入力	割り込み要求 7~0	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
	PINT7 ~ PINT0	入力	割り込み要求 7~0	マスク可能な割り込み要求端子です。 レベル入力のみを選択です。
アドレスバス	A27 ~ A0	出力	アドレスバス	アドレスを出力します。
データバス	D31 ~ D0	入出力	データバス	双方向のデータバスです。
バス制御	$\overline{CS6} \sim \overline{CS0}$	出力	チップセレクト 6~0	外部メモリまたはデバイスのためのチップセレクト信号です。
	\overline{RD}	出力	読み出し	外部のデバイスから読み出すことを示します。
	WAIT	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	$\overline{WR0}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 7~0 に書き込みすることを示します。(8/16/32 ビットバスアクセス時)
	$\overline{WR1}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 15~8 に書き込みすることを示します。(16/32 ビットバスアクセス時)
	$\overline{WR2}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 23~16 に書き込みすることを示します。(32 ビットバスアクセス時)
	$\overline{WR3}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 31~24 に書き込みすることを示します。(32 ビットバスアクセス時)
	$\overline{BC0}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 7~0 を選択します。(8/16/32 ビットバスアクセス時)
	$\overline{BC1}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 15~8 を選択します。(16/32 ビットバスアクセス時)
	$\overline{BC2}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 23~16 を選択します。(32 ビットバスアクセス時)
	$\overline{BC3}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 31~24 を選択します。(32 ビットバスアクセス時)
	DQM0	出力	バイト指定	SDRAM 接続時、D7 ~ D0 を選択します。 (8/16/32 ビットバスアクセス時)
	DQM1	出力	バイト指定	SDRAM 接続時、D15 ~ D8 を選択します。 (16/32 ビットバスアクセス時)
	DQM2	出力	バイト指定	SDRAM 接続時、D23 ~ D16 を選択します。 (32 ビットバスアクセス時)
	DQM3	出力	バイト指定	SDRAM 接続時、D31 ~ D24 を選択します。 (32 ビットバスアクセス時)

分類	端子名	入出力	名称	機能
バス制御	SDCS1、 SDCS0	出力	チップセレクト	SDRAM 接続時に CS 端子に接続します。
	SDRAS	出力	RAS	SDRAM 接続時に $\overline{\text{RAS}}$ 端子に接続します。
	SDCAS	出力	CAS	SDRAM 接続時に $\overline{\text{CAS}}$ 端子に接続します。
	SDWE	出力	WE	SDRAM 接続時に $\overline{\text{WE}}$ 端子に接続します。
	SDCKE	出力	CK イネーブル	SDRAM 接続時に CKE 端子に接続します。
	SDCLK	出力	クロック出力	SDRAM 接続時に CLK 端子に接続します。
ダイレクト メモリ アクセス コントローラ (DMAC)	DREQ0 ~ DREQ3	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0 ~ DACK3	出力	DMA 転送要求 アクノリッジ	外部からの DMA 転送要求に対する、DMA アクノリッジ出力 端子です。
	DACT0 ~ DACT3	出力	DMA 転送要求 アクティブ	外部からの DMA 転送要求に対する、DMA アクティブ出力端 子です。
	DTEND0 ~ DTEND3	出力	DMA 転送終了 出力	DMA 転送終了出力信号です。
マルチ ファンクション タイマパルス ユニット2 (MTU2)	TCLKA TCLKB TCLKC TCLKD	入力	MTU2 タイマ クロック入力	タイマの外部クロック入力端子です。
	TIOC0A TIOC0B TIOC0C TIOC0D	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル0)	TGRA_0 ~ TGRD_0 のインพุットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子です。
	TIOC1A TIOC1B	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル1)	TGRA_1、TGRB_1 のインพุットキャプチャ入力 / アウトプ ットコンペア出力 / PWM 出力端子です。
	TIOC2A TIOC2B	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル2)	TGRA_2、TGRB_2 のインพุットキャプチャ入力 / アウトプ ットコンペア出力 / PWM 出力端子です。
	TIOC3A TIOC3B TIOC3C TIOC3D	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル3)	TGRA_3 ~ TGRD_3 のインพุットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子です。

分類	端子名	入出力	名称	機能
マルチ ファンクション タイマパルス ユニット2 (MTU2)	TIOC4A TIOC4B TIOC4C TIOC4D	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル4)	TGRA_4、TGRB_4 のインพุットキャプチャ入カ/ アウトプットコンペア出力/PWM 出力端子です。
	TIC5U TIC5V TIC5W			
8 ビツタイマ (TMR)	TMO0 TMO1	出力	タイマ出力	アウトプットコンペア機能による波形出力の端子 です。
	TMC10 TMC11 TMR10 TMR11	入カ	タイマクロック/ タイマリセツ入カ	タイマの外部クロック入カ/外部リセツ入カ端子 です。
リアルタイム クロック (RTC)	RTC_X1	入カ	RTC 用水晶発振子	32.768kHz の水晶発振子を接続します。
	RTC_X2	出力		
FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF)	TxD7 ~ TxD0	出力	送信データ	データ出力端子です。
	RxD7 ~ RxD0	入カ	受信データ	データ入カ端子です。
	SCK7 ~ SCK0	入出力	シリアルクロック	クロック入出力端子です。
I ² C バス インタフェース 3 (IIC3)	SCL2 ~ SCL0	入出力	シリアルクロック	シリアルクロック入出力端子です。
	SDA2 ~ SDA0	入出力	シリアルデータ	シリアルデータ入出力端子です。
シリアルサウンド インタフェース (SSI)	SSIDATA0 SSIDATA1	入出力	SSI データ入出力	シリアルデータ入出力端子です。
	SSISCK0 SSISCK1	入出力	SSI クロック入出力	シリアルクロック入出力端子です。
	SSIWS0 SSIWS1	入出力	SSI クロック LR 入出力	ワード選カ入出力端子です。
	AUDIO_CLK	入カ	SSI オーディオ用 外部クロック	オーディオ用外部クロックを入カします。 (32/44.1/48kHz × 256/384/512 倍) AUDIO_X1、 AUDIO_X2 の発振クロックと選カして分周器に入カ します。
	AUDIO_X1 AUDIO_X2	入カ	SSI オーディオ用 水晶発振子/外部ク ロック	オーディオ用水晶発振子を接続します。
		出力		また AUDIO_X1 端子は外部クロックを入カするこ ともできます。(32/44.1/48kHz × 256/384/512 倍) AUDIO_CLK 入カクロックと選カして分周器に入カ します。

分類	端子名	入出力	名称	機能
コントローラ エリアネット	CTx0	出力	CAN バス 送信データ	CAN バスの送信用端子です。
	CTx1			
ワーク (RCAN-ET)	CRx0	入力	CAN バス 受信データ	CAN バスの受信用端子です。
	CRx1			
A/D 変換器	AN7 ~ AN0	入力	アナログ入力	アナログ入力端子です。
	ADTRG	入力	A/D 変換トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA1、DA0	出力	アナログ出力	アナログ出力端子です。
アナログ電源	AVcc	入力	アナログ電源	A/D 変換器および D/A 変換器の電源端子です。
	AVref	入力	アナログ リファレンス電源	A/D 変換器および D/A 変換器のリファレンス電源端子 です。
	AVss	入力	アナロググランド	A/D 変換器および D/A 変換器のグランド端子です。
I/O ポート	PA31 ~ PA0	入出力	汎用ポート	32 ビットの汎用入出力ポート端子です。
	PB31 ~ PB0	入出力	汎用ポート	32 ビットの汎用入出力ポート端子です。
	PC25 ~ PC22	入力	汎用ポート	4 ビットの汎用入力ポート端子です。
	PC21 ~ PC0	入出力	汎用ポート	22 ビットの汎用入出力ポート端子です。
	PD16、PD15	入力	汎用ポート	2 ビットの汎用入力ポート端子です。
	PD14 ~ PD0	入出力	汎用ポート	15 ビットの汎用入出力ポート端子です。
	PE7 ~ PE0	入力	汎用ポート	8 ビットの汎用入力ポート端子です。
	PF7 ~ PF0	入出力	汎用ポート	8 ビットの汎用入出力ポート端子です。
ユーザデバッグ インタフェース (H-UDI)	UDTCK*	入力	テストクロック	テストクロック入力端子です。
	UDTMS*	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	UDTDI*	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	UDTDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	UDTRST*	入力	テストリセット	初期化信号入力端子です。
アドバンストユー ザデバッグ-II (AUD-II)	AUDATA3 ~ AUDATA0	入出力	AUD データ	モニタアドレス入力 / データ入出力端子です。
	AUDCK	入力	AUD クロック	外部クロック入力端子です。
	AUDSYNC	入力	AUD 同期信号	データ先頭位置認識信号入力端子です。
	AUDMD	入力	AUD モード	AUD のモード選択端子です。
	AUDRST	入力	AUD リセット	AUD のリセット入力端子です。
ユーザブ레이크 コントローラ (UBC)	UBCTR \overline{G}	出力	ユーザブ레이크 トリガ出力	UBC 条件一致のトリガ出力です。

【注】 * プルアップ付き端子です。

分類	端子名	入出力	名称	機能
アドバンストユーザデバッグ-II (AUD-II)	AUDATA3 ~ AUDATA0	入出力	AUD データ	モニタアドレス入力/データ入出力端子です。
	AUDCK	入力	AUD クロック	外部クロック入力端子です。
	AUDSYNC	入力	AUD 同期信号	データ先頭位置認識信号入力端子です。
	AUDMD	入力	AUD モード	AUD のモード選択端子です。
	AUDRST	入力	AUD リセット	AUD のリセット入力端子です。
ユーザブ레이크 コントローラ (UBC)	$\overline{UBCTR\bar{G}}$	出力	ユーザブ레이크 トリガ出力	UBC 条件一致のトリガ出力です。

【注】 * ブルアップ付き端子です。

2. CPU

2.1 レジスタ構成

レジスタは、汎用レジスタ (32 ビット×16 本)、コントロールレジスタ (32 ビット×4 本)、システムレジスタ (32 ビット×4 本) の 3 種類があります。

2.1.1 汎用レジスタ

図 2.1 に汎用レジスタを示します。汎用レジスタは 32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は、R15 を用いてスタックを参照し行います。

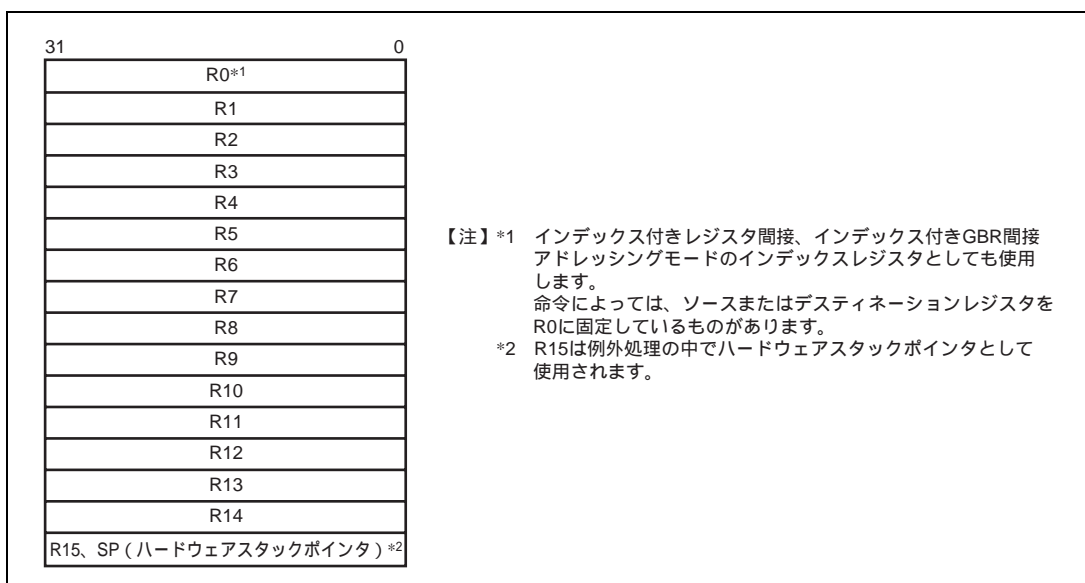


図 2.1 汎用レジスタ

2.1.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ(SR)、グローバルベースレジスタ(GBR)、ベクタベースレジスタ(VBR)、ジャンプテーブルベースレジスタ(TBR)の4本があります。

SR は各種命令の処理の状態を表します。

GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

TBR は関数テーブル領域のベースアドレスとして使用します。

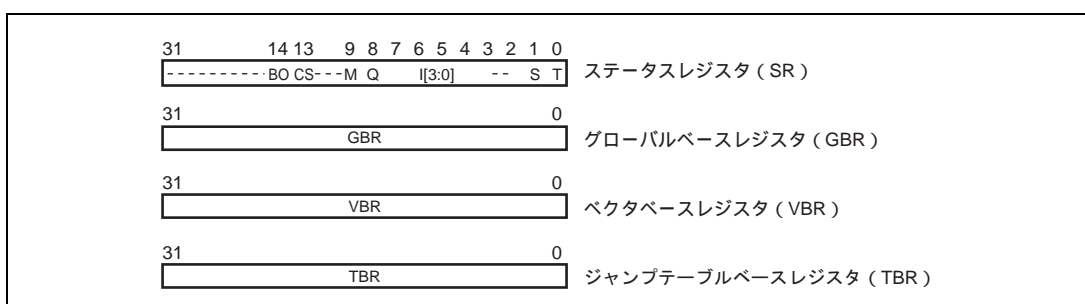


図 2.2 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	BO	CS	-	-	-	M	Q	I[3:0]			-	-	S	T	
初期値:	0	0	0	0	0	0	-	-	1	1	1	1	0	0	-	-
R/W:	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	BO	0	R/W	BO ビット レジスタバンクがオーバーフローしていることを示します。
13	CS	0	R/W	CS ビット CLIP 命令の実行で、飽和上限値を上回ったまたは飽和下限値を下回ったことを示します。
12~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
9	M	-	R/W	M ビット
8	Q	-	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	I[3:0]	1111	R/W	割り込みマスクレベル
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	S	-	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	-	R/W	T ビット 真 / 偽条件またはキャリー / ボロービット

(2) グローバルベースレジスタ (GBR)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(3) ベクタベースレジスタ (VBR)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

(4) ジャンプテーブルベースレジスタ (TBR)

テーブル参照サブルーチンコール命令 JSR/N @@(disp8,TBR)で、メモリに配置された関数テーブルの先頭アドレスとして参照します。

2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は、乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は現在実行中の命令の 4 バイト先を示し、処理の流れを制御します。

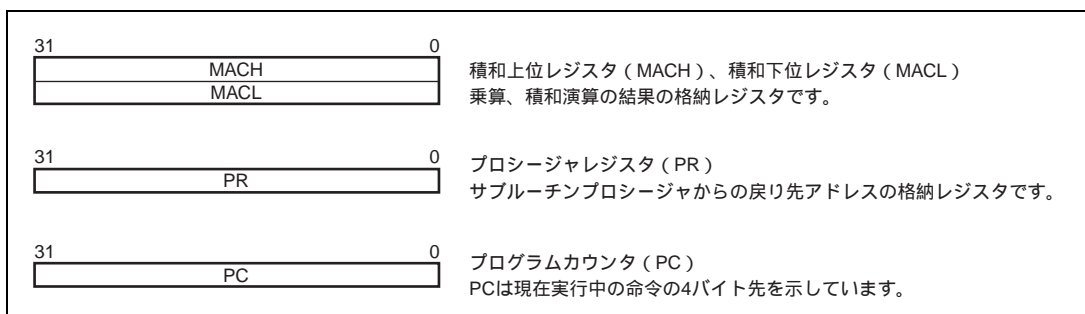


図 2.3 システムレジスタ

(1) 積和上位レジスタ (MACH)、積和下位レジスタ (MACL)

MACH および MACL は、MAC 命令の加算値として用いられます。また、MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC)

PC は現在実行中の命令の 4 バイト先を示します。

2.1.4 レジスタバンク

汎用レジスタの R0~R14、コントロールレジスタの GBR、システムレジスタの MACH、MACL、PR の 19 本の 32 ビットレジスタは、レジスタバンクを使って、高速なレジスタ退避、復帰を行うことが可能です。バンクへの退避は、CPU がレジスタバンクを使用する割り込みを受け付けた後、自動的に行われます。バンクからの復帰は、割り込み処理ルーチンで RESBANK 命令を発行することで実行されます。

本 LSI は 15 個のバンクを持ちます。詳細については「SH-2A、SH2A-FPU ソフトウェアマニュアル」、「6.8 レジスタバンク」を参照してください。

2.1.5 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0~R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	[[3:0]]は 1111 (HF)、BO、CS は 0、リザーブビットは 0、その他は不定
	GBR、TBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

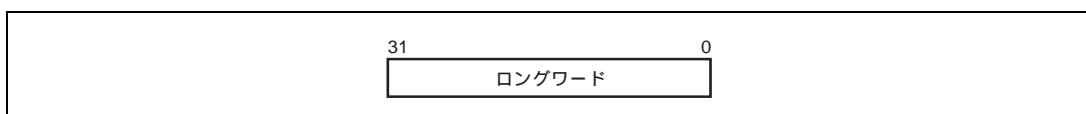


図 2.4 レジスタのデータ形式

2.2.2 メモリのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張またはゼロ拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地: $2n$ 番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地: $4n$ 番地) からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンのバイト順のみ選択できます。

メモリ上のデータ形式を図 2.5 に示します。

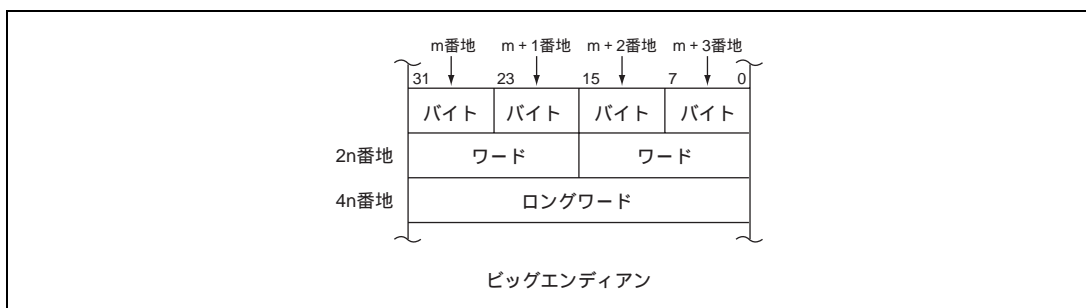


図 2.5 メモリのデータ形式

2.2.3 イミディエイトデータのデータ形式

バイト（8ビット）のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

20 ビットのイミディエイトデータは 32 ビット長の転送命令 MOVI20 および MOVI20S のコードの中に配置します。MOVI20 命令は、イミディエイトを符号拡張してデスティネーションレジスタに格納します。MOVI20S 命令は、イミディエイトを上位に 8 ビットシフトし、符号拡張してデスティネーションレジスタに格納します。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令（MOV）で、参照します。

具体例については、「2.3.1 (10) イミディエイトデータ」を参照してください。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

基本命令は 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 32 ビット固定長命令

SH-2A では、32 ビット固定長の命令が追加されています。これにより、性能および使い勝手が向上します。

(3) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(4) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

SH-2A CPU	説 明	他の CPU の例
MOV.W @ (disp,PC),R1 ADD R1,R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @ (disp,PC) でイミディエイトデータを参照します。

(5) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(6) 遅延分岐

無条件分岐命令などは、一部の命令を除き遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐においては、分岐という動作そのものはスロット命令の実行後に発生しますが、命令の実行（レジスタの更新など）は、あくまでも遅延分岐命令 遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されたレジスタを変更しても、変更前のレジスタ内容が分岐先アドレスとなります。

表 2.3 遅延分岐命令

SH-2A CPU		説 明	他の CPU の例
BRA	TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0
ADD	R1,R0		BRA TRGET

(7) 遅延スロットなし無条件分岐命令

SH-2A では、遅延スロット命令を実行しない無条件分岐命令を追加しました。これにより、不要な NOP 命令の削減が可能となり、コードサイズを削減できます。

(8) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2~3 ステートで実行します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2~4 ステートで実行します。

(9) T ビット

比較結果はステータスレジスタ (SR) の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

SH-2A CPU		説 明	他の CPU の例
CMP/GE	R1,R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1,R0
BT	TRGET0	R0 R1 のとき TRGET0 へ	BGE TRGET0
BF	TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD	# - 1,R0	ADD では T ビットが変化しません。	SUB.W #1,R0
CMP/EQ	#0,R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT	TRGET	R0 = 0 のとき分岐します。	

(10) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令(MOV)で参照します。

また SH-2A では、17～28 ビットのイミディエイトデータを命令コードの中に配置することも可能です。ただし、21～28 ビットのイミディエイトデータについては、レジスタ転送後、OR 命令を実行する必要があります。

表 2.5 イミディエイトデータによる参照

区分	SH-2A CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOVI20 #H'1234, R0	MOV.W #H'1234,R0
20 ビットイミディエイト	MOVI20 #H'12345, R0	MOV.L #H'12345,R0
28 ビットイミディエイト	MOVI20S #H'12345, R0 OR #H'67, R0	MOV.L #H'1234567,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(11) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

また SH-2A では、28 ビット以下の絶対アドレスでデータを参照するとき、命令コード中に配置したイミディエイトデータをレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照することも可能です。ただし、21～28 ビットの絶対アドレスでデータを参照するときは、レジスタ転送後、OR 命令を使用する必要があります。

表 2.6 絶対アドレスによる参照

区分	SH-2A CPU	他の CPU の例
20 ビット以下	MOVI20 #H'12345, R1 MOV.B @R1, R0	MOV.B @H'12345,R0
21 ~ 28 ビット	MOVI20S #H'12345, R1 OR #H'67, R1 MOV.B @R1, R0	MOV.B @H'1234567,R0
29 ビット以上	MOV.L @(disp,PC),R1 MOV.B @R1,R0DATA.L H'12345678	MOV.B @H'12345678,R0

(12) 16 ビット / 32 ビットディスプレイースメント

16 ビットまたは 32 ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

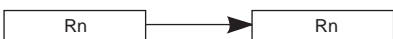
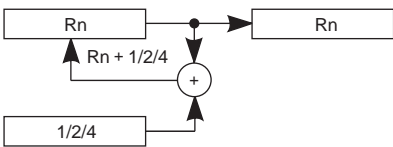
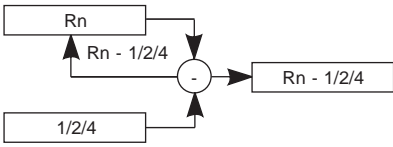
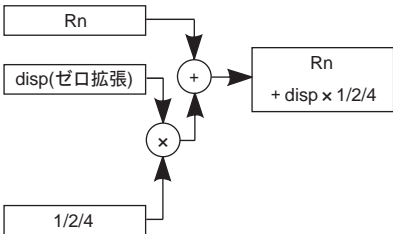
表 2.7 ディスプレースメントによる参照

区分	SH-2A CPU	他の CPU の例
16 ビットディスプレイースメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2DATA.W H'1234	MOV.W @(H'1234,R1),R2

2.3.2 アドレッシングモード

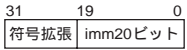
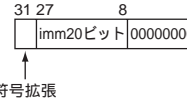
アドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp × 2 ロングワード : Rn + disp × 4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレースメント付きレジスタ間接	@(disp:12,Rn)	<p>実効アドレスはレジスタ Rn に 12 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張します。</p>	バイト : $Rn + disp$ ワード : $Rn + disp$ ロングワード : $Rn + disp$
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p>	$Rn + R0$
ディスプレースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p>	$GBR + R0$
ディスプレースメント付き TBR 二重間接	@@ (disp:8,TBR)	<p>実効アドレスはレジスタ TBR に 8 ビットディスプレースメント disp を加算したアドレスの内容です。disp はゼロ拡張後 4 倍します。</p>	($TBR + disp \times 4$) アドレスの内容

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付き PC 相対	@(disp:8,PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> <p>* ロングワードのとき</p>	<p>ワード : $PC + disp \times 2$</p> <p>ロングワード :</p> $PC \& H'FFFFFFFC + disp \times 4$
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:20	MOVI20 命令の 20 ビットイミディエイト imm は符号拡張します。 	-
		MOVI20S 命令の 20 ビットイミディエイト imm は 8 ビット左にシフトし、上位側は符号拡張、下位側はゼロ詰めを行います。 	-
	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-
	#imm:3	BAND、BOR、BXOR、BST、BLD、BSET、BCLR 命令の 3 ビットイミディエイト imm はビット位置を表します。	-

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式	ソースオペランド	デスティネーション オペランド	命令の例	
0 形式		-	-	NOP
n 形式		-	nnnn : レジスタ直接	MOV T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		R0 (レジスタ直接)	nnnn : レジスタ直接	DIVU R0, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデCREMENT レジスタ間接	STC.L SR,@-Rn
		mmmm : レジスタ直接	R15 (プリデCREMENT レジスタ間接)	MOVMU.L Rm, @-R15
		R15 (ポストインクリメント レジスタ間接)	nnnn : レジスタ直接	MOVMU.L @R15+, Rn
		R0 (レジスタ直接)	nnnn : ポストインクリメント レジスタ間接	MOV.L R0,@Rn+
m 形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接	-	JMP @Rm
		mmmm : プリデCREMENT レジスタ間接	R0 (レジスタ直接)	MOV.L @-Rm, R0
		mmmm : Rm を用いた PC 相対	-	BRAF Rm

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式	$\begin{array}{cccc} & 15 & & 0 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{mmmm}} & \boxed{\text{xxxx}} \\ & & & & \end{array}$	mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメント レジスタ間接 (積和演算) nnnn : * ポストインクリメント レジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式	$\begin{array}{cccc} & 15 & & 0 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{xxxx}} & \boxed{\text{mmmm}} & \boxed{\text{dddd}} \\ & & & & \end{array}$	mmmmdddd : ディスプレイメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式	$\begin{array}{cccc} & 15 & & 0 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{dddd}} \\ & & & & \end{array}$	R0 (レジスタ直接)	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	$\begin{array}{cccc} & 15 & & 0 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{mmmm}} & \boxed{\text{dddd}} \\ & & & & \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
nmd12 形式	$\begin{array}{cccc} & 32 & & 16 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{mmmm}} & \boxed{\text{xxxx}} \\ & & & & \end{array}$ $\begin{array}{ccc} & 15 & 0 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{dddd}} & \boxed{\text{dddd}} & \boxed{\text{dddd}} \\ & & & & \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp12,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp12,Rm),Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
d 形式		dddddddd :	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		ディスプレイメント付き GBR 間接		
		R0 (レジスタ直接)	dddddddd :	MOV.L R0,@(disp,GBR)
		ディスプレイメント付き PC 相対	dddddddd :	MOVA @(disp,PC),R0
		ディスプレイメント付き TBR 二重間接	dddddddd :	-
	dddddddd : PC 相対	-	BF label	
d12 形式		dddddddddddd : PC 相対	-	BRA label (label=disp+PC)
nd8 形式		dddddddd :	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		iiiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiiii : イミディエイト	-	TRAPA #imm
ni 形式		iiiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn
ni3 形式		nnnn : レジスタ直接	-	BLD #imm3,Rn
		iii : イミディエイト		
		-	nnnn : レジスタ直接 iii : イミディエイト	BST #imm3,Rn
ni20 形式		iiiiiiiiiiiiiiiiiiiiiiiiii : イミディエイト	nnnn : レジスタ直接	MOVI20 #imm20, Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nid 形式	<div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">32</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 0 5px;">xxxx</div> <div style="border-right: 1px solid black; padding: 0 5px;">xxxx</div> <div style="border-right: 1px solid black; padding: 0 5px;">nnnn</div> <div style="padding: 0 5px;">xxxx</div> </div> <div style="margin-left: 5px;">16</div> </div> <div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">15</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 0 5px;">xiii</div> <div style="padding: 0 5px;">dddd dddd dddd</div> </div> <div style="margin-left: 5px;">0</div> </div>	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	-	BLD.B #imm3,@ (disp12,Rn)
		-	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	BST.B #imm3,@ (disp12,Rn)

【注】 * 積和命令では nnnn はソースレジスタです。

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分 類	命令の種類	オペコード	機 能	命令数
データ転送命令	13	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 逆スタック転送	62
		MOVA	実行アドレスの転送	
		MOVI20	20 ビットイミディエイトデータの転送	
		MOVI20S	20 ビットイミディエイトデータの転送 左 8 ビットシフト	
		MOVML	R0 ~ Rn のレジスタ退避・復帰	
		MOVMU	Rn ~ R14, PR のレジスタ退避・復帰	
		MOVRT	T ビット反転 Rn への転送	
		MOVT	T ビットの転送	
		MOVU	無符号データの転送	
		NOTT	T ビット反転	
		PREF	オペランドキャッシュへのプリフェッチ	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	26	ADD	2 進加算	40
		ADDC	キャリー付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		CLIPS	符号付き飽和値比較	
		CLIPU	符号なし飽和値比較	
		DIVS	符号付き除算 (32 ÷ 32)	
		DIVU	符号なし除算 (32 ÷ 32)	
		DIV1	1 ステップ除算	
		DIV0S	符号付き 1 ステップ除算の初期化	

分類	命令の種類	オペコード	機能	命令数
算術演算命令	26	DIV0U	符号なし 1 ステップ除算の初期化	40
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULR	Rn 結果格納符号付き乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロ－付き符号反転	
		SUB	2 進減算	
		SUBC	ポロ－付き 2 進減算	
		SUBV	アンダフロー付き 2 進減算	
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTL	1 ビット左回転	16
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCR	T ビット付き 1 ビット右回転	
		SHAD	ダイナミック算術的シフト	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLD	ダイナミック論理的シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	

分類	命令の種類	オペコード	機能	命令数
分岐命令	10	BF	条件分岐、遅延付き条件分岐 (T=0 で分岐)	15
		BT	条件分岐、遅延付き条件分岐 (T=1 で分岐)	
		BRA	遅延付き無条件分岐	
		BRAF	遅延付き無条件分岐	
		BSR	遅延付きサブルーチンプロシージャへの分岐	
		BSRF	遅延付きサブルーチンプロシージャへの分岐	
		JMP	遅延付き無条件分岐	
		JSR	サブルーチンプロシージャへの分岐 遅延付きサブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰 遅延付きサブルーチンプロシージャからの復帰	
		RTV/N	Rm R0 転送付きサブルーチンプロシージャからの復帰	
システム制御命令	14	CLRT	T ビットのクリア	36
		CLRMAC	MAC レジスタのクリア	
		LDBANK	指定レジスタバンクエントリからのレジスタ復帰	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RESBANK	レジスタバンクからのレジスタ復帰	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STBANK	指定レジスタバンクエントリへのレジスタ退避	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
浮動小数点演算命令	19	FABS	浮動小数点数絶対値	48
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FCNVDS	倍精度から単精度への変換	
		FCNVSD	単精度から倍精度への変換	
		FDIV	浮動小数点数除算	
		FLDI0	浮動小数点数ロードイミディエイト 0	
		FLDI1	浮動小数点数ロードイミディエイト 1	
		FLDS	システムレジスタ FPUL への浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	

分類	命令の種類	オペコード	機能	命令数
浮動小数点演算命令	19	FMOV	浮動小数点数転送	48
		FMUL	浮動小数点数乗算	
		FNEG	浮動小数点数符号反転	
		FSCHG	SZ ビット反転	
		FSQRT	浮動小数点平方根	
		FSTS	システムレジスタ FPUL からの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	
FPU に関する CPU 命令	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	
ビット操作命令	10	BAND	ビット論理積	14
		BCLR	ビットクリア	
		BLD	ビットロード	
		BOR	ビット論理和	
		BSET	ビットセット	
		BST	ビットストア	
		BXOR	ビット排他的論理和	
		BANDNOT	ビットノット論理積	
		BORNOT	ビットノット論理和	
		BLDNOT	ビットノットロード	
	計 112			253

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行ステート	Tビット
ニーモニックで表示しています。 【記号説明】 Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント*2	MSB LSB の順で表示しています。 【記号説明】 mmmm : ソースレジスタ nnnn : デスティネーションレジスタ 0000 : R0 0001 : R1 1111 : R15 iiii : イミディエイトデータ dddd : ディスプレースメント	動作の概略を表示しています。 【記号説明】 、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR 内のフラグビット & : ビットごとの論理積 : ビットごとの論理和 ^ : ビットごとの排他的論理和 ~ : ビットごとの論理否定 <<n : 左 n ビットシフト >>n : 右 n ビットシフト	ノーウェイトのときの値です。*1	命令実行後の、Tビットの値を表示しています。 【記号説明】 - : 変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令 (メモリ レジスタ) のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング (×1、×2、×4) されます。

詳しくは、「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

2.4.2 データ転送命令

表 2.11 データ転送命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV #imm, Rn	1110nnnniiiiiii	imm 符号拡張 Rn	1	-			
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2+PC) 符号拡張 Rn	1	-			
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4+PC) Rn	1	-			
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	-			
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	-			
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	-			
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	-			
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	-			
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	-			
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	-			
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)	1	-			
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)	1	-			
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)	1	-			
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm	1	-			
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm	1	-			
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm	1	-			
MOV.B R0, @(disp, Rn)	1000000nnnnddd	R0 (disp+Rn)	1	-			
MOV.W R0, @(disp, Rn)	1000001nnnnddd	R0 (disp × 2+Rn)	1	-			
MOV.L Rm, @(disp, Rn)	0001nnnnmmddd	Rm (disp × 4+Rn)	1	-			
MOV.B @(disp, Rm), R0	1000010mmmmddd	(disp+Rm) 符号拡張 R0	1	-			
MOV.W @(disp, Rm), R0	10000101mmmmddd	(disp × 2+Rm) 符号拡張 R0	1	-			
MOV.L @(disp, Rm), Rn	0101nnnnmmddd	(disp × 4+Rm) Rn	1	-			
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0+Rn)	1	-			
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0+Rn)	1	-			
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0+Rn)	1	-			
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn	1	-			
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn	1	-			
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) Rn	1	-			
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0 (disp+GBR)	1	-			
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0 (disp × 2+GBR)	1	-			
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0 (disp × 4+GBR)	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp+GBR) 符号拡張 R0	1	-			
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp×2+GBR) 符号拡張 R0	1	-			
MOV.L @(disp, GBR), R0	11000110dddddddd	(disp×4+GBR) R0	1	-			
MOV.B R0, @Rn+	0100nnnn10001011	R0 (Rn), Rn+1 Rn	1	-			
MOV.W R0, @Rn+	0100nnnn10011011	R0 (Rn), Rn+2 Rn	1	-			
MOV.L R0, @Rn+	0100nnnn10101011	R0 (Rn), Rn+4 Rn	1	-			
MOV.B @-Rm, R0	0100mmmm11001011	Rm-1 Rm, (Rm) 符号拡張 R0	1	-			
MOV.W @-Rm, R0	0100mmmm11011011	Rm-2 Rm, (Rm) 符号拡張 R0	1	-			
MOV.L @-Rm, R0	0100mmmm11101011	Rm-4 Rm, (Rm) R0	1	-			
MOV.B Rm, @(disp12, Rn)	0011nnnnmmmm0001 0000dddddddddddd	Rm (disp+Rn)	1	-			
MOV.W Rm, @(disp12, Rn)	0011nnnnmmmm0001 0001dddddddddddd	Rm (disp×2+Rn)	1	-			
MOV.L Rm, @(disp12, Rn)	0011nnnnmmmm0001 0010dddddddddddd	Rm (disp×4+Rn)	1	-			
MOV.B @(disp12, Rm), Rn	0011nnnnmmmm0001 0100dddddddddddd	(disp+Rm) 符号拡張 Rn	1	-			
MOV.W @(disp12, Rm), Rn	0011nnnnmmmm0001 0101dddddddddddd	(disp×2+Rm) 符号拡張 Rn	1	-			
MOV.L @(disp12, Rm), Rn	0011nnnnmmmm0001 0110dddddddddddd	(disp×4+Rm) Rn	1	-			
MOVA @(disp, PC), R0	11000111dddddddd	disp×4+PC R0	1	-			
MOVI20 #imm20, Rn	0000nnnniiii0000 iiiiiiiiiiiiiiii	imm 符号拡張 Rn	1	-			
MOVI20S #imm20, Rn	0000nnnniiii0001 iiiiiiiiiiiiiiii	imm<<8 符号拡張 Rn	1	-			
MOVMLL Rm, @-R15	0100mmmm11110001	R15-4 R15, Rm (R15) R15-4 R15, Rm-1 (R15) : R15-4 R15, R0 (R15) Rm=R15 のとき、Rm を PR に 読み替え	1~16	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOVMLL @R15+, Rn	0100nnnn11110101	(R15) R0, R15+4 R15 (R15) R1, R15+4 R15 : (R15) Rn Rn=R15 のとき、Rn を PR に 読み替え	1 ~ 16	-			
MOVMLL Rm, @-R15	0100nnnn11110000	R15-4 R15, PR (R15) R15-4 R15, R14 (R15) : R15-4 R15, Rm (R15) Rm=R15 のとき、Rm を PR に読み替え	1 ~ 16	-			
MOVMLL @R15+, Rn	0100nnnn11110100	(R15) Rn, R15+4 R15 (R15) Rn+1, R15+4 R15 : (R15) R14, R15+4 R15 (R15) PR Rn=R15 のとき、Rn を PR に 読み替え	1 ~ 16	-			
MOVRT Rn	0000nnnn001111001	-T Rn	1	-			
MOVRT Rn	0000nnnn00101001	T Rn	1	-			
MOVU.B @(disp12,Rm), Rn	0011nnnnmmmm0001 1000ddddddddddd	(disp+Rm) ゼロ拡張 Rn	1	-			
MOVU.W @(disp12,Rm),Rn	0011nnnnmmmm0001 1001ddddddddddd	(disp × 2+Rm) ゼロ拡張 Rn	1	-			
NOTT	000000001101000	-T T	1	演算結果			
PREF @Rn	0000nnnn10000011	(Rn) オペランドキャッシュ	1	-			
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm 下位 2 バイトの上下バイ ト交換 Rn	1	-			
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	-			
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm:Rn の中央 32 ビット Rn	1	-			

2.4.3 算術演算命令

表 2.12 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm Rn	1	-			
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm Rn	1	-			
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T Rn, キャリー T	1	キャリー			
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm Rn, オーバフロー T	1	オーバ フロー			
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn > Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn > Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/Hi Rm, Rn	0011nnnnmmmm0110	無符号で Rn > Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn > Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/PZ Rn	0100nnnn00010001	Rn = 0 のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T それ以外るとき 0 T	1	比較結果			
CLIPS.B Rn	0100nnnn10010001	Rn > (H'0000007F) のとき、 (H'0000007F) Rn, 1 CS Rn < (H'FFFFFF80) のとき、 (H'FFFFFF80) Rn, 1 CS	1	-			
CLIPS.W Rn	0100nnnn10010101	Rn > (H'00007FFF) のとき、 (H'00007FFF) Rn, 1 CS Rn < (H'FFFF8000) のとき、 (H'FFFF8000) Rn, 1 CS	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLIPU.B Rn	0100nnnn10000001	Rn>(H'000000FF)のとき、 (H'000000FF) Rn, 1 CS	1	-			
CLIPU.W Rn	0100nnnn10000101	Rn>(H'0000FFFF)のとき、 (H'0000FFFF) Rn, 1 CS	1	-			
DIV1 Rm, Rn	0011nnnnmmmm0100	1 ステップ除算(Rn ÷ Rm)	1	計算結果			
DIVOS Rm, Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M ^ Q T	1	計算結果			
DIV0U	0000000000011001	0 M/Q/T	1	0			
DIVS R0, Rn	0100nnnn10010100	符号付きで Rn ÷ R0 Rn 32 ÷ 32 32 ビット	36	-			
DIVU R0, Rn	0100nnnn10000100	符号なしで Rn ÷ R0 Rn 32 ÷ 32 32 ビット	34	-			
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32 × 32 64 ビット	2	-			
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32 × 32 64 ビット	2	-			
DT Rn	0100nnnn00010000	Rn - 1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	1	比較結果			
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 Rn	1	-			
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 Rn	1	-			
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 Rn	1	-			
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 Rn	1	-			
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで(Rn) × (Rm)+MAC MAC 32 × 32+64 64 ビット	4	-			
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで(Rn) × (Rm)+MAC MAC 16 × 16+64 64 ビット	3	-			
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm MACL 32 × 32 32 ビッ ト	2	-			
MULR R0, Rn	0100nnnn10000000	R0 × Rn Rn 32 × 32 32 ビット	2				
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MACL 16 × 16 32 ビット	1	-			
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MACL 16 × 16 32 ビット	1	-			
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm Rn	1	-			
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T Rn, ボロー T	1	ボロー			
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm Rn	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T Rn, ボロー T	1	ボロー			
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm Rn, アンダフロー T	1	オーバ フロー			

2.4.4 論理演算命令

表 2.13 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm Rn	1	-			
AND #imm, R0	11001001iiiiiii	R0 & imm R0	1	-			
AND.B #imm, @(R0, GBR)	11001101iiiiiii	(R0+GBR) & imm (R0+GBR)	3	-			
NOT Rm, Rn	0110nnnnmmmm0111	~Rm Rn	1	-			
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm Rn	1	-			
OR #imm, R0	11001011iiiiiii	R0 imm R0	1	-			
OR.B #imm, @(R0, GBR)	11001111iiiiiii	(R0+GBR) imm (R0+GBR)	3	-			
TAS.B @Rn	0100nnnn00011011	(Rn)が0のとき 1 T, それ以外のとき 0 T, 1 MSB of(Rn)	3	テスト 結果			
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が0のとき 1 T, その他 0 T	1	テスト 結果			
TST #imm, R0	11001000iiiiiii	R0 & imm, 結果が0のとき 1 T その他 0 T	1	テスト 結果			
TST.B #imm, @(R0, GBR)	11001100iiiiiii	(R0+GBR) & imm, 結果が0のとき 1 T その他 0 T	3	テスト 結果			
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	-			
XOR #imm, R0	11001010iiiiiii	R0 ^ imm R0	1	-			
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	(R0+GBR) ^ imm (R0+GBR)	3	-			

2.4.5 シフト命令

表 2.14 シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB			
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB			
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB			
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB			
SHAD Rm, Rn	0100nnnnmmmm1100	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm [MSB Rn]	1	-			
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB			
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB			
SHLD Rm, Rn	0100nnnnmmmm1101	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm [0 Rn]	1	-			
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB			
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB			
SHLL2 Rn	0100nnnn00001000	Rn<<2 Rn	1	-			
SHLR2 Rn	0100nnnn00001001	Rn>>2 Rn	1	-			
SHLL8 Rn	0100nnnn00011000	Rn<<8 Rn	1	-			
SHLR8 Rn	0100nnnn00011001	Rn>>8 Rn	1	-			
SHLL16 Rn	0100nnnn00101000	Rn<<16 Rn	1	-			
SHLR16 Rn	0100nnnn00101001	Rn>>16 Rn	1	-			

2.4.6 分岐命令

表 2.15 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2, SH2E	SH4	SH-2A
BF label	10001011ddddddd	T=0 のとき disp × 2+PC PC, T=1 のとき nop	3/1*	-			
BF/S label	10001111ddddddd	遅延分岐、T=0 のとき disp × 2+PC PC, T=1 のとき nop	2/1*	-			
BT label	10001001ddddddd	T=1 のとき disp × 2+PC PC, T=0 のとき nop	3/1*	-			
BT/S label	10001101ddddddd	遅延分岐、T=1 のとき disp × 2+PC PC, T=0 のとき nop	2/1*	-			
BRA label	1010ddddddddddd	遅延分岐、disp × 2+PC PC	2	-			
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC PC	2	-			
BSR label	1011ddddddddddd	遅延分岐、PC PR, disp × 2+PC PC	2	-			
BSRF Rm	0000mmmm00000011	遅延分岐、PC PR, Rm+PC PC	2	-			
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC	2	-			
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC	2	-			
JSR/N @Rm	0100mmmm01001011	PC-2 PR, Rm PC	3	-			
JSR/N @@(disp8, TBR)	10000011ddddddd	PC-2 PR, (disp × 4+TBR) PC	5	-			
RTS	0000000000001011	遅延分岐、PR PC	2	-			
RTS/N	0000000001101011	PR PC	3	-			
RTV/N Rm	0000mmmm01111011	Rm R0, PR PC	3	-			

【注】 * 分岐しないときは 1 ステートになります。

2.4.7 システム制御命令

表 2.16 システム制御命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2, SH2E	SH4	SH-2A
CLRT	0000000000001000	0 T	1	0			
CLRMAC	000000000101000	0 MACH,MACL	1	-			
LDBANK @Rm, R0	0100mmmm11100101	(指定レジスタバンクエントリ) R0	6	-			
LDC Rm, SR	0100mmmm00001110	Rm SR	3	LSB			
LDC Rm, TBR	0100mmmm01001010	Rm TBR	1	-			
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	-			
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	-			
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	5	LSB			
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	1	-			
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	1	-			
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	-			
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	-			
LDS Rm, PR	0100mmmm00101010	Rm PR	1	-			
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	-			
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	-			
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	-			
NOP	0000000000001001	無操作	1	-			
RESBANK	000000001011011	バンク R0 ~ R14, GBR, MACH, MACL, PR	9*	-			
RTE	000000000101011	遅延分岐、スタック領域 PC/SR	6	-			
SETT	0000000000011000	1 T	1	1			
SLEEP	0000000000011011	スリープ	5	-			
STBANK R0, @Rn	0100nnnn11100001	R0 (指定レジスタバンクエントリ)	7	-			
STC SR, Rn	0000nnnn00000010	SR Rn	2	-			
STC TBR, Rn	0000nnnn01001010	TBR Rn	1	-			
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	-			
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	-			
STC.L SR, @- Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	-			
STC.L GBR, @- Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	1	-			
STC.L VBR, @- Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	-			
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	-			
STS PR, Rn	0000nnnn00101010	PR Rn	1	-			
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	-			
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	-			
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	-			
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、 (imm×4+VBR) PC	5	-			

【注】 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリ レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合などの条件により、命令実行ステート数は増加します。

* バンクのオーバーフロー時は、ステート数が 19 です。

2.4.8 浮動小数点演算命令

表 2.17 浮動小数点演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FABS FRn	1111nnnn01011101	FRn FRn	1	-			
FABS DRn	1111nnn001011101	DRn DRn	1	-			
FADD FRm, FRn	1111nnnnmmmm0000	FRn+FRm FRn	1	-			
FADD DRm, DRn	1111nnn0mmm00000	DRn+DRm DRn	6	-			
FCMP/EQ FRm, FRn	1111nnnnmmmm0100	(FRn=FRm)? 1:0 T	1	比較結果			
FCMP/EQ DRm, DRn	1111nnn0mmm00100	(DRn=DRm)? 1:0 T	2	比較結果			
FCMP/GT FRm, FRn	1111nnnnmmmm0101	(FRn>FRm)? 1:0 T	1	比較結果			
FCMP/GT DRm, DRn	1111nnn0mmm00101	(DRn>DRm)? 1:0 T	2	比較結果			
FCNVDS DRm, FPUL	1111mmm010111101	(float)DRm FPUL	2	-			
FCNVSD FPUL, DRn	1111nnn010101101	(double)FPUL DRn	2	-			
FDIV FRm, FRn	1111nnnnmmmm0011	FRn/FRm FRn	10	-			
FDIV DRm, DRn	1111nnn0mmm00011	DRn/DRm DRn	23	-			
FLDI0 FRn	1111nnnn10001101	0 × 00000000 FRn	1	-			
FLDI1 FRn	1111nnnn10011101	0 × 3F800000 FRn	1	-			
FLDS FRm, FPUL	1111mmmm00011101	FRm FPUL	1	-			
FLOAT FPUL, FRn	1111nnnn00101101	(float)FPUL FRn	1	-			
FLOAT FPUL, DRn	1111nnn000101101	(double)FPUL DRn	2	-			
FMAC FR0, FRm, FRn	1111nnnnmmmm1110	FR0 × FRm+FRn FRn	1	-			
FMOV FRm, FRn	1111nnnnmmmm1100	FRm FRn	1	-			
FMOV DRm, DRn	1111nnn0mmm01100	DRm DRn	2	-			
FMOV.S @(R0, Rm), FRn	1111nnnnmmmm0110	(R0+Rm) FRn	1	-			
FMOV.D @(R0, Rm), DRn	1111nnn0mmm0110	(R0+Rm) DRn	2	-			
FMOV.S @Rm+, FRn	1111nnnnmmmm1001	(Rm) FRn, Rm+=4	1	-			
FMOV.D @Rm+, DRn	1111nnn0mmm1001	(Rm) DRn, Rm+=8	2	-			
FMOV.S @Rm, FRn	1111nnnnmmmm1000	(Rm) FRn	1	-			
FMOV.D @Rm, DRn	1111nnn0mmm1000	(Rm) DRn	2	-			
FMOV.S @(disp12, Rm), FRn	0011nnnnmmmm0001 0111dddddddddddd	(disp × 4+Rm) FRn	1	-			
FMOV.D @(disp12, Rm), DRn	0011nnn0mmm0001 0111dddddddddddd	(disp × 8+Rm) DRn	2	-			
FMOV.S FRm, @(R0, Rn)	1111nnnnmmmm0111	FRm (R0+Rn)	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FMOV.D DRm, @(R0,Rn)	1111nnnnmmmm00111	DRm (R0+Rn)	2	-			
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn-4, FRm (Rn)	1	-			
FMOV.D DRm, @-Rn	1111nnnnmmmm01011	Rn-8, DRm (Rn)	2	-			
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm (Rn)	1	-			
FMOV.D DRm, @Rn	1111nnnnmmmm01010	DRm (Rn)	2	-			
FMOV.S FRm, @(disp12,Rn)	0011nnnnmmmm0001 0011ddddddddddd	FRm (disp × 4+Rn)	1	-			
FMOV.D DRm, @(disp12,Rn)	0011nnnnmmmm00001 0011ddddddddddd	DRm (disp × 8+Rn)	2	-			
FMUL FRm, FRn	1111nnnnmmmm0010	FRn × FRm FRn	1	-			
FMUL DRm, DRn	1111nnn0mmmm00010	DRn × DRm DRn	6	-			
FNEG FRn	1111nnnn01001101	-FRn FRn	1	-			
FNEG DRn	1111nnn001001101	-DRn DRn	1	-			
FSCHG	1111001111111101	FPSCR.SZ=-FPSCR.SZ	1	-			
FSQRT FRn	1111nnnn01101101	FRn FRn	9	-			
FSQRT DRn	1111nnn001101101	DRn DRn	22	-			
FSTS FPUL,FRn	1111nnnn00001101	FPUL FRn	1	-			
FSUB FRm, FRn	1111nnnnmmmm0001	FRn-FRm FRn	1	-			
FSUB DRm, DRn	1111nnn0mmmm00001	DRn-DRm DRn	6	-			
FTRC FRm, FPUL	1111mmmm00111101	(long)FRm FPUL	1	-			
FTRC DRm, FPUL	1111mmmm00011101	(long)DRm FPUL	2	-			

2.4.9 FPU に関する CPU 命令

表 2.18 FPU に関する CPU 命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
LDS Rm,FPSCR	0100mmmm01101010	Rm FPSCR	1	-			
LDS Rm,FPUL	0100mmmm01011010	Rm FPUL	1	-			
LDS.L @Rm+, FPSCR	0100mmmm01100110	(Rm) FPSCR, Rm+=4	1	-			
LDS.L @Rm+, FPUL	0100mmmm01010110	(Rm) FPUL, Rm+=4	1	-			
STS FPSCR, Rn	0000nnnn01101010	FPSCR Rn	1	-			
STS FPUL, Rn	0000nnnn01011010	FPUL Rn	1	-			
STS.L FPSCR, @-Rn	0100nnnn01100010	Rn-=4, FPSCR (Rn)	1	-			
STS.L FPUL, @-Rn	0100nnnn01010010	Rn-=4, FPUL (Rn)	1	-			

2.4.10 ビット操作命令

表 2.19 ビット操作命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2, SH2E	SH4	SH-2A
BAND.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0100ddddddddddd	(imm of (disp+ Rn))&T T	3	演算結果			
BANDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1100ddddddddddd	~(imm of (disp+ Rn))&T T	3	演算結果			
BCLR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0000ddddddddddd	0 (imm of (disp+ Rn))	3	-			
BCLR #imm3, Rn	10000110nnnn0iii	0 imm of Rn	1	-			
BLD.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0011ddddddddddd	(imm of (disp+Rn)) T	3	演算結果			
BLD #imm3, Rn	10000111nnnnliii	imm of Rn T	1	演算結果			
BLDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1011ddddddddddd	~(imm of (disp+Rn)) T	3	演算結果			
BOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0101ddddddddddd	(imm of (disp+ Rn)) T T	3	演算結果			
BORNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1101ddddddddddd	~(imm of (disp+ Rn)) T T	3	演算結果			
BSET.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0001ddddddddddd	1 (imm of (disp+Rn))	3	-			
BSET #imm3, Rn	10000110nnnnliii	1 imm of Rn	1	-			
BST.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0010ddddddddddd	T (imm of (disp+Rn))	3	-			
BST #imm3, Rn	10000111nnnn0iii	T imm of Rn	1	-			
BXOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0110ddddddddddd	(imm of (disp+ Rn)) ^ T T	3	演算結果			

2.5 処理状態

CPUの処理状態には、リセット状態、例外処理状態、プログラム実行状態、低消費電力状態の4種類があります。状態間の遷移を図2.6に示します。

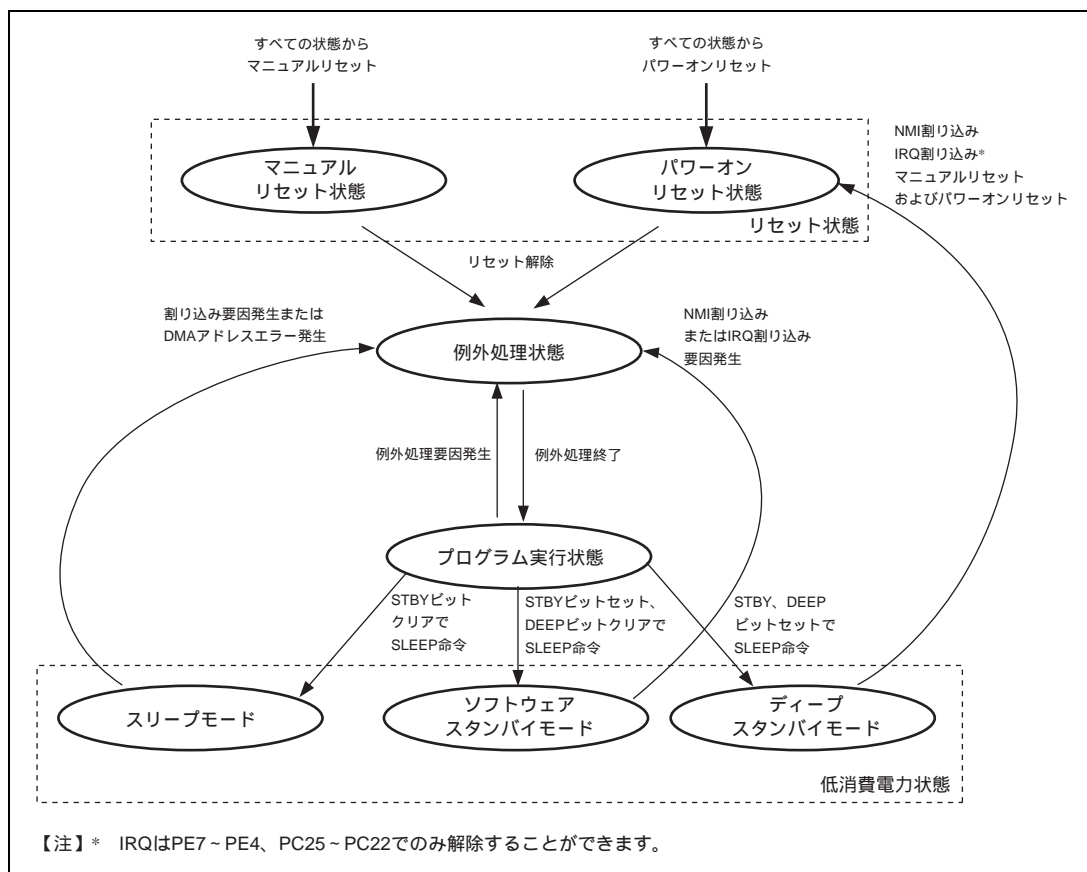


図2.6 処理状態の状態遷移図

(1) リセット状態

CPUがリセットされている状態です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPUが処理状態の流れを変えるときの過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ（PC）の初期値としての実行開始アドレスとスタックポインタ（SP）の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ（SR）をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後、処理状態はプログラム実行状態となります。

（3）プログラム実行状態

CPU が順次プログラムを実行している状態です。

（4）低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、ソフトウェアスタンバイモード、およびディープスタンバイモードになります。

3. 浮動小数点ユニット (FPU)

3.1 特長

FPU には次のような特長があります。

- IEEE754規格に準拠
- 16本の単精度浮動小数点レジスタ (8本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 非正規化数処理モード：0へのフラッシュ
- 5つの例外要因：
無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：
単精度、倍精度、システム制御

3.2 データフォーマット

3.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号 (s)
- 指数 (e)
- 小数部 (f)

本 LSI は図 3.1 と図 3.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

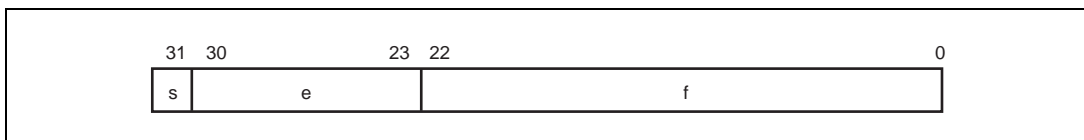


図 3.1 単精度浮動小数点フォーマット

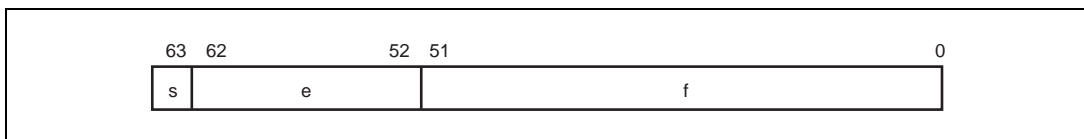


図 3.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{bias}$$

バイアスのない指数 E の範囲は、 $E_{\min}-1$ から $E_{\max}+1$ までです。 $E_{\min}-1$ と $E_{\max}+1$ の2つの値は次のように区別します。 $E_{\min}-1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max}+1$ は正または負の無限大または非数 (NaN) を表します。表 3.1 に E_{\min} と E_{\max} の値を示します。

表 3.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット	1 ビット	1 ビット
指数フィールド	8 ビット	11 ビット
小数フィールド	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{max}	+127	+1023
E_{min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

$E = E_{max} + 1$ かつ $f = 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。

$E = E_{max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。

$E_{min} \leq E \leq E_{max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。

$E = E_{min} - 1$ かつ $f \neq 0$ の場合、 v は $(-1)^s 2^{E_{min}} (0.f)$ 「非正規化数」です。

$E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の 0」です。

表 3.2 に 16 進数による各数の範囲を示します。

表 3.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFF FFFF ~ H'7FC0 0000	H'7FFF FFFF FFFF FFFF ~ H'7FF8 0000 0000 0000
クワイアット非数	H'7FBF FFFF ~ H'7F80 0001	H'7FF7 FFFF FFFF FFFF ~ H'7FF0 0000 0000 0001
正の無限大	H'7F80 0000	H'7FF0 0000 0000 0000
正の正規化数	H'7F7F FFFF ~ H'0080 0000	H'7FEF FFFF FFFF FFFF ~ H'0010 0000 0000 0000
正の非正規化数	H'007F FFFF ~ H'0000 0001	H'000F FFFF FFFF FFFF ~ H'0000 0000 0000 0001
正のゼロ	H'0000 0000	H'0000 0000 0000 0000
負のゼロ	H'8000 0000	H'8000 0000 0000 0000
負の非正規化数	H'8000 0001 ~ H'807F FFFF	H'8000 0000 0000 0001 ~ H'800F FFFF FFFF FFFF
負の正規化数	H'8080 0000 ~ H'FF7F FFFF	H'8010 0000 0000 0000 ~ H'FFE7 FFFF FFFF FFFF
負の無限大	H'FF80 0000	H'FFF0 0000 0000 0000
クワイアット非数	H'FF80 0001 ~ H'FFBF FFFF	H'FFF0 0000 0000 0001 ~ H'FFF7 FFFF FFFF FFFF
シグナリング非数	H'FFC0 0000 ~ H'FFFF FFFF	H'FFF8 0000 0000 0000 ~ H'FFFF FFFF FFFF FFFF

3.3 レジスタの説明

3.3.1 浮動小数点レジスタ

図 3.4 に浮動小数点レジスタの構成を示します。16 本の 32 ビット浮動小数点レジスタ FPR0 ~ FPR15 があります。この 16 本のレジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14 として参照されます。FPR_n と参照名の対応は FPSCR の PR ビットと SZ ビットによって決まります。図 3.4 を参照してください。

1. 浮動小数点レジスタ : FPR_i (16レジスタ)
FPR0, FPR1, FPR2, FPR3, FPR4, FPR5, FPR6, FPR7,
FPR8, FPR9, FPR10, FPR11, FPR12, FPR13, FPR14, FPR15
2. 単精度浮動小数点レジスタ : FR_i (16レジスタ)
FR0 ~ FR15 は FPR0 ~ FPR15に割り当てられます。
3. 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DR_i (8レジスタ)
DRレジスタは2つのFRレジスタから構成されます。
DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

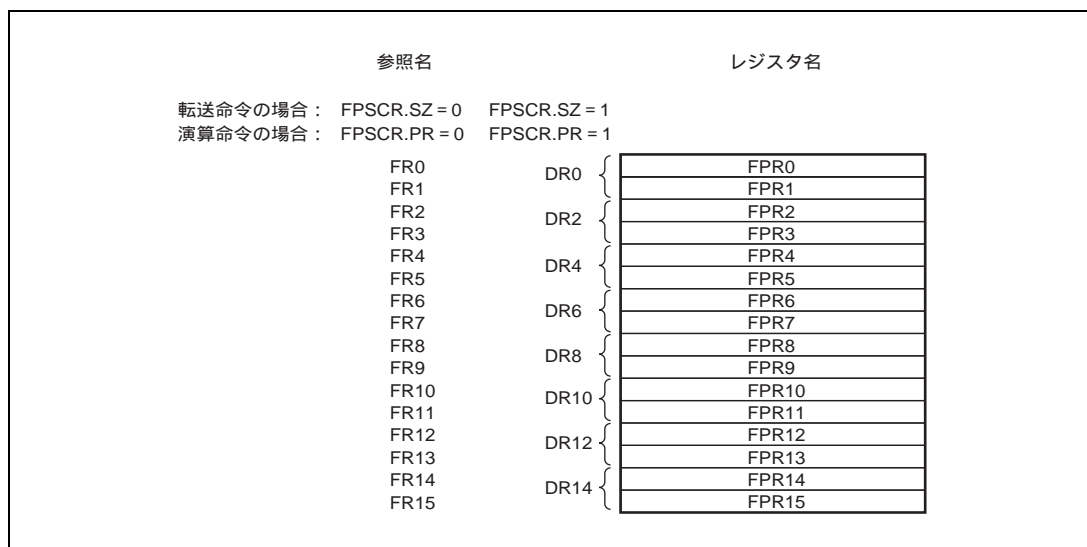


図 3.4 浮動小数点レジスタ

3.3.2 浮動小数点ステータス / コントロールレジスタ (FPSCR)

FPSCR は 32 ビットのレジスタで、浮動小数点命令の制御、FPU 例外の設定、および丸めの方法を選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	QIS	-	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable				Flag				RM1	RM0		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	QIS	0	R/W	非数処理モード 0: qNaN あるいは ± をそのまま処理します。 1: qNaN あるいは ± を sNaN と同様に扱います (FPSCR のイネーブル V=1 のときのみ有効です)。
21	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	SZ	0	R/W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビットです。 1: FMOV 命令のデータサイズは 32 ビットペア (64 ビット) です。
19	PR	0	R/W	精度モード 0: 浮動小数点命令を単精度演算として実行します。 1: 浮動小数点命令を倍精度演算として実行します。
18	DN	1	R	非正規化モード (SH2A-FPU では常に 1 固定です) 1: 非正規化数を 0 として扱います。
17~12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11~7	Enable	すべて 0	R/W	FPU 例外イネーブルフィールド
6~2	Flag	すべて 0	R/W	FPU 例外フラグフィールド 浮動小数点演算命令を実行すると、FPU 例外要因フィールドは最初に 0 にクリアされます。次に、浮動小数点演算によって FPU 例外が発生すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドに該当するビットは 1 にセットされます。FPU 例外フラグフィールドは、ソフトウェアによって 0 にクリアされるまで 1 の値を保持します。 FPU 例外イネーブルフィールドの該当するビットが 1 にセットされているとき、FPU 例外処理が発生します。 各フィールドのビットの割り付けについては表 3.3 を参照してください。

ビット	ビット名	初期値	R/W	説明
1	RM1	0	R/W	丸めモード 丸めの方法を選択します。 00：近傍への丸め 01：0 方向への丸め 10：リザーブ 11：リザーブ
0	RM0	1	R/W	

表 3.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

【注】 SH2A-FPU では FPU エラーは発生しません。

3.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL を介して行われます。FPUL は 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

3.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に行われます。したがって、FMAC のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

FPSCR.RM[1:0] = 00：近傍への丸め

FPSCR.RM[1:0] = 01：0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}}(2^{-2^p})$ 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも大きい場合、表現可能な最大絶対値の数になります。

3.5 FPU 例外

3.5.1 FPU 例外要因

FPU 例外は浮動小数点演算命令で発生する可能性があり、その要因は次のとおりです。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : NaN入力のような無効な演算の場合
- 0による除算 (Z) : 除数0による除算
- オーバフロー (O) : 演算結果がオーバフローする場合
- アンダフロー (U) : 演算結果がアンダフローする場合
- 不正確例外 (I) : オーバフロー、アンダフロー、丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

3.5.2 FPU 例外処理

FPU 例外処理は次の場合に発生します。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : FPSCRのEnableのVビットが1かつ無効演算の場合
- 0による除算 (Z) : FPSCRのEnableのZビットが1かつ除数0による除算
- オーバフロー (O) : FPSCRのEnableのOビットが1かつ演算結果がオーバフローする可能性のある命令
- アンダフロー (U) : FPSCRのEnableのUビットが1かつ演算結果がアンダフローする可能性のある命令
- 不正確例外 (I) : FPSCRのEnableのIビットが1かつ演算結果が不正確になる可能性のある命令

浮動小数点演算による各例外処理の可能性については各命令の説明で示します。浮動小数点演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。浮動小数点演算によって発生した例外の意味内容は、FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、FPU 例外処理が発生した場合は、デスティネーションレジスタは変更されません。

上記以外、すべての処理では V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) : 結果として qNaN を生成します。
- 0 による除算 (Z) : 丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :
 - 0 方向への丸めするとき、丸め前と同じ符号付き最大正規化数を生成します。
 - 近傍への丸めするとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) : 丸め前と同じ符号付き 0 を生成します。
- 不正確例外 (I) : 不正確な結果を生成します。

4. クロックパルス発振器 (CPG)

本 LSI は、クロックパルス発振器を内蔵しており、CPU クロック (I)、周辺クロック (P)、およびバスクロック (B) を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。

4.1 特長

- 3種類のクロック動作モード
使用する周波数範囲、PLLのオン/オフ、および水晶発振子直付けか外部クロック入力かによって、3種類のクロック動作モードから選択できます。
- 3種類のクロック
CPU、キャッシュで使用するCPUクロック (I)、周辺モジュールで使用する周辺クロック (P)、さらに外部バスインタフェースで使用するバスクロック (B = CKIO) を独立に生成できます。
- 周波数変更機能
CPG内部のPLL (Phase Locked Loop) 回路や分周回路により、CPUクロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。
- 低消費電力モードの制御
スリープモード、ソフトウェアスタンバイモード、ディープスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、「第25章 低消費電力モード」を参照してください。

図 4.1 にクロックパルス発振器のブロック図を示します。

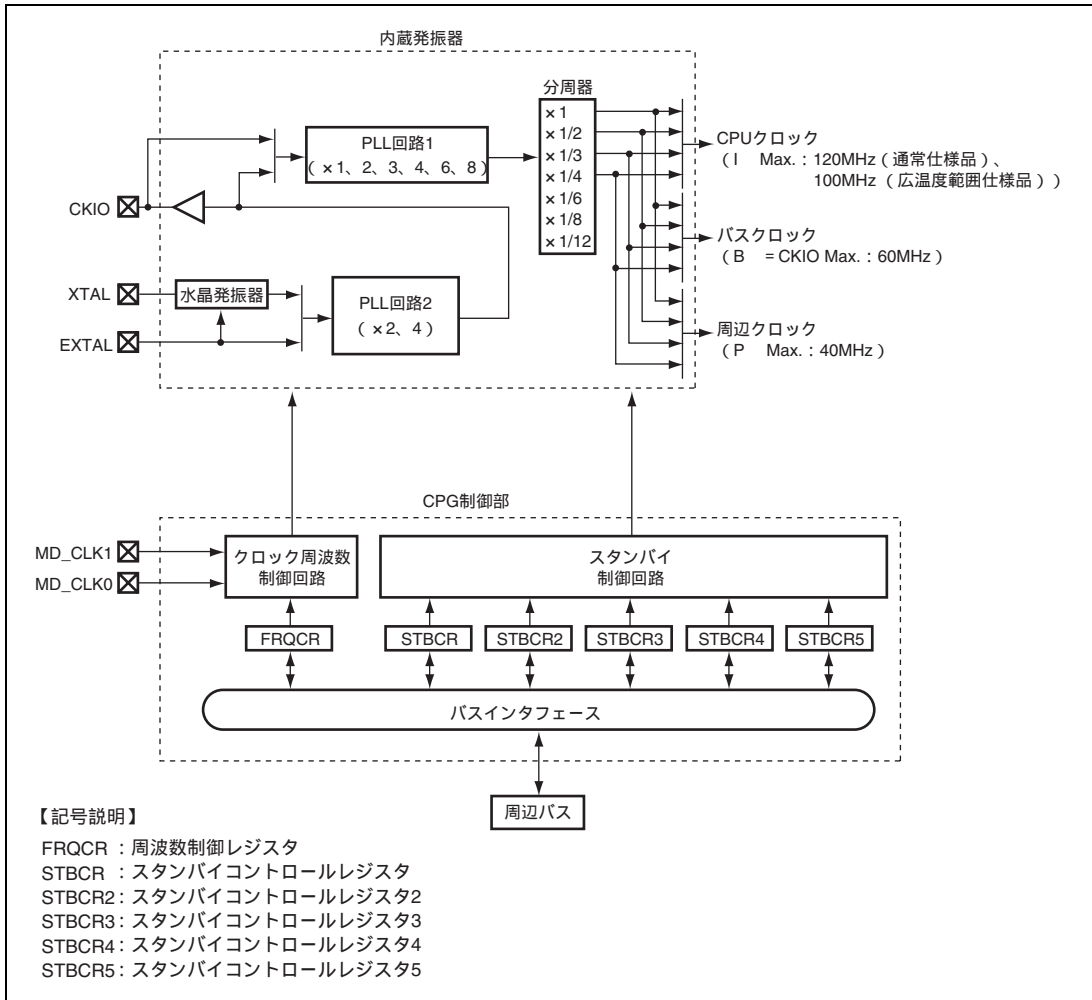


図 4.1 クロックパルス発振器のブロック図

クロックパルス発振器の各ブロックは、次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、CKIO 端子からのクロック周波数を 1 倍、2 倍、3 倍、4 倍、6 倍、または 8 倍に逡倍する機能を持ちます。逡倍率は、周波数制御レジスタで設定します。このとき、バスクロックの立ち上がりエッジの位相は CKIO 端子の立ち上がりエッジの位相に一致するように制御されます。

(2) PLL 回路 2

PLL 回路 2 は、水晶発振器または EXTAL 端子からの入力クロック周波数を 2 倍、または 4 倍に逡倍する機能を持ちます。逡倍率は、クロック動作モードにより固定されます。クロック動作モードは、MD_CLK1、MD_CLK0 端子で設定します。クロック動作モードについては、表 4.2 を参照してください。

なお、これらの端子を動作途中で切り替えしないでください。切り替えた場合、本 LSI の動作を保証できません。

(3) 水晶発振器

XTAL または EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。水晶発振器は、クロック動作モードの設定により使用可能となります。

(4) 分周器

分周器は、CPU クロックまたは周辺クロックで使用する動作周波数のクロックを生成する機能を持ちます。PLL 回路 1 の出力周波数に対して、1 倍、1/2 倍、1/3 倍、1/4 倍、1/6 倍、1/8 倍、または 1/12 倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

(5) クロック周波数制御回路

クロック周波数制御回路は、MD_CLK1、MD_CLK0 端子、周波数制御レジスタ (FRQCR) によりクロック周波数を制御します。

(6) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時またはスリープモード、ソフトウェアスタンバイモード、およびディープスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

(7) 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) には、ソフトウェアスタンバイモード時の CKIO 端子からのクロック出力の有無、PLL 回路 1 の周波数逡倍率、CPU クロック、および周辺クロック (P) の周波数分周率の各制御ビットが割り当てられています。

(8) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 25 章 低消費電力モード」を参照してください。

4.2 入出力端子

クロックパルス発振器の端子構成と機能を表 4.1 に示します。

表 4.1 発振回路の端子構成と機能

名称	端子名	入出力	機能 (クロック動作モード 0、2)	機能 (クロック動作モード 3)
モード制御端子	MD_CLK0	入力	クロック動作モードを設定します。	
	MD_CLK1	入力	クロック動作モードを設定します。	
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。 (水晶発振子を使用しない場合は、 端子を開放してください)	端子を開放してください。
	EXTAL	入力	水晶発振子を接続、または外部クロック入力端子として使用します。	端子をプルアップしてください。
クロック入出力端子	CKIO	入出力	クロック出力端子になります。	クロック入力端子になります。

4.3 クロック動作モード

モード制御端子 (MD_CLK1、MD_CLK0) の組み合わせとクロック動作モードの関係を表 4.2 に示します。クロック動作モードの使用可能周波数範囲を表 4.2 に示します。

表 4.2 クロック動作モード

モード	端子組み合わせ		クロック入出力		PLL 回路 2	PLL 回路 1	CKIO の周波数
	MD_CLK1	MD_CLK0	供給源	出力			
0	0	0	EXTAL / 水晶発振子	CKIO	ON (X4)	ON (X1, 2, 3, 4)	(EXTAL / 水晶) × 4
2	1	0	EXTAL / 水晶発振子	CKIO	ON (X2)	ON (X1, 2, 3, 4, 6, 8)	(EXTAL / 水晶) × 2
3	1	1	CKIO	-	OFF	ON (X1, 2, 3, 4, 6, 8)	(CKIO)

- モード0

EXTAL端子または水晶発振器からクロックを入力し、PLL回路2で周波数を4倍に逡倍して本LSI内部に供給するので、外部で生成するクロック周波数および使用する水晶発振子の周波数を低くすることができます。EXTAL端子入力および水晶発振子ともに発振周波数が10MHzから15MHzまでのものを使用でき、CKIOの周波数レンジは40MHzから60MHzとなります。

- モード2

EXTAL端子または水晶発振器からクロックを入力し、PLL回路2で周波数を2倍に逡倍して本LSI内部に供給するので、外部で生成するクロック周波数および使用する水晶発振子の周波数を低くすることができます。EXTAL端子入力は発振周波数が10MHzから30MHzのものを、水晶発振子は発振周波数が10MHzから20MHzのものを使用でき、CKIOの周波数レンジは20MHzから60MHzとなります。

- モード3

モード3ではCKIO端子は入力になり、この端子に外部クロックを入力して、PLL回路1で波形形成および周波数制御レジスタの設定により周波数逡倍を行い、本LSIに供給します。CKIO端子入力は発振周波数が20MHzから60MHzのものを使用できます。なお、消費電流削減のため、モード3で使用する場合には、EXTAL端子をプルアップし、XTAL端子は開放としてください。

表 4.3 クロック動作モードと設定可能な周波数範囲

クロック 動作 モード	FRQCR レジスタ 設定値	PLL 遷倍率		内部 クロック比 (I : B : P) * ¹	設定可能な周波数範囲 (MHz)				
		PLL 回路1	PLL 回路2		入力 クロック * ²	出力クロック (CKIO 端子) * ³	CPU クロック (I) * ³	バスクロック (B) * ³	周辺クロック (P) * ³
0	H'1000	ON (× 1)	ON (× 4)	4 : 4 : 4	10	40	40	40	40
	H'1001	ON (× 1)	ON (× 4)	4 : 4 : 2	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	20 ~ 30
	H'1002	ON (× 1)	ON (× 4)	4 : 4 : 4/3	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	13.33 ~ 20
	H'1003	ON (× 1)	ON (× 4)	4 : 4 : 1	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	10 ~ 15
	H'1004	ON (× 1)	ON (× 4)	4 : 4 : 2/3	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	6.7 ~ 10
	H'1005	ON (× 1)	ON (× 4)	4 : 4 : 1/2	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	5 ~ 7.5
	H'1006	ON (× 1)	ON (× 4)	4 : 4 : 1/3	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	3.33 ~ 5
	H'1101	ON (× 2)	ON (× 4)	8 : 4 : 4	10	40	80	40	40
	H'1103	ON (× 2)	ON (× 4)	8 : 4 : 2	10 ~ 15	40 ~ 60	80 ~ 120	40 ~ 60	20 ~ 30
	H'1104	ON (× 2)	ON (× 4)	8 : 4 : 4/3	10 ~ 15	40 ~ 60	80 ~ 120	40 ~ 60	13.33 ~ 20
	H'1105	ON (× 2)	ON (× 4)	8 : 4 : 1	10 ~ 15	40 ~ 60	80 ~ 120	40 ~ 60	10 ~ 15
	H'1106	ON (× 2)	ON (× 4)	8 : 4 : 2/3	10 ~ 15	40 ~ 60	80 ~ 120	40 ~ 60	6.7 ~ 10
	H'1111	ON (× 2)	ON (× 4)	4 : 4 : 4	10	40	40	40	40
	H'1113	ON (× 2)	ON (× 4)	4 : 4 : 2	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	20 ~ 30
	H'1114	ON (× 2)	ON (× 4)	4 : 4 : 4/3	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	13.33 ~ 20
	H'1115	ON (× 2)	ON (× 4)	4 : 4 : 1	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	10 ~ 15
	H'1116	ON (× 2)	ON (× 4)	4 : 4 : 2/3	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	6.7 ~ 10
	H'1202	ON (× 3)	ON (× 4)	4 : 4 : 4	10	40	120	40	40
	H'1204	ON (× 3)	ON (× 4)	4 : 4 : 2	10	40	120	40	20
	H'1206	ON (× 3)	ON (× 4)	4 : 4 : 1	10	40	120	40	10
	H'1222	ON (× 3)	ON (× 4)	4 : 4 : 4	10	40	120	40	40
	H'1224	ON (× 3)	ON (× 4)	4 : 4 : 2	10	40	120	40	20
	H'122C	ON (× 3)	ON (× 4)	4 : 4 : 2	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	20 ~ 30
	H'1226	ON (× 3)	ON (× 4)	4 : 4 : 1	10	40	40	40	40
	H'122E	ON (× 3)	ON (× 4)	4 : 4 : 1	10 ~ 15	40 ~ 60	40 ~ 60	40 ~ 60	10 ~ 15
	H'1313	ON (× 4)	ON (× 4)	8 : 4 : 4	10	40	80	40	40
	H'1315	ON (× 4)	ON (× 4)	8 : 4 : 2	10 ~ 12.5	40 ~ 50	80 ~ 100	40 ~ 50	20 ~ 25
	H'1316	ON (× 4)	ON (× 4)	8 : 4 : 4/3	10 ~ 12.5	40 ~ 50	80 ~ 100	40 ~ 50	13.33 ~ 16.67
	H'1333	ON (× 4)	ON (× 4)	4 : 4 : 4	10	40	40	40	40
	H'1335	ON (× 4)	ON (× 4)	4 : 4 : 2	10 ~ 12.5	40 ~ 50	40 ~ 50	40 ~ 50	20 ~ 25
	H'1336	ON (× 4)	ON (× 4)	4 : 4 : 4/3	10 ~ 12.5	40 ~ 50	40 ~ 50	40 ~ 50	13.33 ~ 16.67

クロック 動作 モード	FRQCR レジスタ 設定値	PLL 通倍率		内部 クロック比 (I : B : P) ^{*1}	設定可能な周波数範囲 (MHz)				
		PLL 回路1	PLL 回路2		入力 クロック ^{*2}	出力クロック (CKIO 端子) ^{*3}	CPU クロック (I) ^{*3}	バスクロック (B) ^{*3}	周辺クロック (P) ^{*3}
2	H'1000	ON (× 1)	ON (× 2)	2 : 2 : 2	10 ~ 20	20 ~ 40	20 ~ 40	20 ~ 40	20 ~ 40
	H'1001	ON (× 1)	ON (× 2)	2 : 2 : 1	10 ~ 30	20 ~ 60	20 ~ 60	20 ~ 60	10 ~ 30
	H'1002	ON (× 1)	ON (× 2)	2 : 2 : 2/3	10 ~ 30	20 ~ 60	20 ~ 60	20 ~ 60	6.67 ~ 20
	H'1003	ON (× 1)	ON (× 2)	2 : 2 : 1/2	10 ~ 30	20 ~ 60	20 ~ 60	20 ~ 60	5 ~ 15
	H'1004	ON (× 1)	ON (× 2)	2 : 2 : 1/3	10 ~ 30	20 ~ 60	20 ~ 60	20 ~ 60	3.33 ~ 10
	H'1005	ON (× 1)	ON (× 2)	2 : 2 : 1/4	10 ~ 30	20 ~ 60	20 ~ 60	20 ~ 60	2.5 ~ 7.5
	H'1006	ON (× 1)	ON (× 2)	2 : 2 : 1/6	10 ~ 30	20 ~ 60	20 ~ 60	20 ~ 60	1.67 ~ 5
	H'1101	ON (× 2)	ON (× 2)	4 : 2 : 2	10 ~ 20	20 ~ 40	40 ~ 80	20 ~ 40	20 ~ 40
	H'1103	ON (× 2)	ON (× 2)	4 : 2 : 1	10 ~ 30	20 ~ 60	40 ~ 120	20 ~ 60	10 ~ 30
	H'1104	ON (× 2)	ON (× 2)	4 : 2 : 2/3	10 ~ 30	20 ~ 60	40 ~ 120	20 ~ 60	6.67 ~ 20
	H'1105	ON (× 2)	ON (× 2)	4 : 2 : 1/2	10 ~ 30	20 ~ 60	40 ~ 120	20 ~ 60	5 ~ 15
	H'1106	ON (× 2)	ON (× 2)	4 : 2 : 1/3	10 ~ 30	20 ~ 60	40 ~ 120	20 ~ 60	3.3 ~ 10
	H'1111	ON (× 2)	ON (× 2)	2 : 2 : 2	10 ~ 20	20 ~ 40	20 ~ 40	20 ~ 40	20 ~ 40
	H'1113	ON (× 2)	ON (× 2)	2 : 2 : 1	10 ~ 30	20 ~ 60	20 ~ 60	20 ~ 60	10 ~ 30
	H'1114	ON (× 2)	ON (× 2)	2 : 2 : 2/3	10 ~ 30	20 ~ 60	20 ~ 60	20 ~ 60	6.67 ~ 20
	H'1115	ON (× 2)	ON (× 2)	2 : 2 : 1/2	10 ~ 30	20 ~ 60	20 ~ 60	20 ~ 60	5 ~ 15
	H'1116	ON (× 2)	ON (× 2)	2 : 2 : 1/3	10 ~ 30	20 ~ 60	20 ~ 60	20 ~ 60	3.3 ~ 10
	H'1202	ON (× 3)	ON (× 2)	6 : 2 : 2	10 ~ 20	20 ~ 40	60 ~ 120	20 ~ 40	20 ~ 40
	H'120C	ON (× 3)	ON (× 2)	6 : 2 : 1	20	40	120	40	20
	H'1206	ON (× 3)	ON (× 2)	6 : 2 : 1/2	10 ~ 20	20 ~ 40	60 ~ 120	20 ~ 40	5 ~ 10
	H'120E	ON (× 3)	ON (× 2)	6 : 2 : 1/2	20	40	120	40	10
	H'1222	ON (× 3)	ON (× 2)	2 : 2 : 2	10 ~ 20	20 ~ 40	20 ~ 40	20 ~ 40	20 ~ 40
	H'1224	ON (× 3)	ON (× 2)	2 : 2 : 1	10 ~ 20	20 ~ 40	20 ~ 40	20 ~ 40	10 ~ 20
	H'122C	ON (× 3)	ON (× 2)	2 : 2 : 1	20 ~ 30	40 ~ 60	40 ~ 60	40 ~ 60	20 ~ 30
	H'1226	ON (× 3)	ON (× 2)	2 : 2 : 1/2	10 ~ 20	20 ~ 40	20 ~ 40	20 ~ 40	5 ~ 10
	H'1303	ON (× 4)	ON (× 2)	8 : 2 : 2	10 ~ 15	20 ~ 30	80 ~ 120	20 ~ 30	20 ~ 30
	H'1305	ON (× 4)	ON (× 2)	8 : 2 : 1	10 ~ 15	20 ~ 30	80 ~ 120	20 ~ 30	10 ~ 15
	H'1306	ON (× 4)	ON (× 2)	8 : 2 : 2/3	10 ~ 15	20 ~ 30	80 ~ 120	20 ~ 30	6.67 ~ 10
	H'1313	ON (× 4)	ON (× 2)	4 : 2 : 2	10 ~ 20	20 ~ 40	40 ~ 80	20 ~ 40	20 ~ 40
	H'1315	ON (× 4)	ON (× 2)	4 : 2 : 1	10 ~ 25	20 ~ 50	40 ~ 100	20 ~ 50	10 ~ 25
	H'1316	ON (× 4)	ON (× 2)	4 : 2 : 2/3	10 ~ 25	20 ~ 50	40 ~ 100	20 ~ 50	6.67 ~ 16.67
	H'1333	ON (× 4)	ON (× 2)	2 : 2 : 2	10 ~ 20	20 ~ 40	20 ~ 40	20 ~ 40	20 ~ 40
H'1335	ON (× 4)	ON (× 2)	2 : 2 : 1	10 ~ 25	20 ~ 50	20 ~ 50	20 ~ 50	10 ~ 25	
H'1336	ON (× 4)	ON (× 2)	2 : 2 : 2/3	10 ~ 25	20 ~ 50	20 ~ 50	20 ~ 50	6.67 ~ 16.67	
H'1404	ON (× 6)	ON (× 2)	12 : 2 : 2	10	20	120	20	20	

クロック 動作 モード	FRQCR レジスタ 設定値	PLL 通倍率		内部 クロック比 (I : B : P) ^{*1}	設定可能な周波数範囲 (MHz)				
		PLL 回路1	PLL 回路2		入力 クロック ^{*2}	出力クロック (CKIO 端子) ^{*3}	CPU クロック (I) ^{*3}	バスクロック (B) ^{*3}	周辺クロック (P) ^{*3}
2	H'1406	ON (× 6)	ON (× 2)	12 : 2 : 1	10	20	120	20	10
	H'1414	ON (× 6)	ON (× 2)	6 : 2 : 2	10 ~ 16.67	20 ~ 33.33	60 ~ 100	20 ~ 33.33	20 ~ 33.33
	H'1416	ON (× 6)	ON (× 2)	6 : 2 : 1	10 ~ 16.67	20 ~ 33.33	60 ~ 100	20 ~ 33.33	10 ~ 16.67
	H'1424	ON (× 6)	ON (× 2)	4 : 2 : 2	10 ~ 16.67	20 ~ 33.33	40 ~ 66.67	20 ~ 33.33	20 ~ 33.33
	H'1426	ON (× 6)	ON (× 2)	4 : 2 : 1	10 ~ 16.67	20 ~ 33.33	40 ~ 66.67	20 ~ 33.33	10 ~ 16.67
	H'1444	ON (× 6)	ON (× 2)	2 : 2 : 2	10 ~ 16.67	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33
	H'1446	ON (× 6)	ON (× 2)	2 : 2 : 1	10 ~ 16.67	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	10 ~ 16.67
	H'1515	ON (× 8)	ON (× 2)	8 : 2 : 2	10 ~ 12.5	20 ~ 25	80 ~ 100	20 ~ 25	20 ~ 25
	H'1535	ON (× 8)	ON (× 2)	4 : 2 : 2	10 ~ 12.5	20 ~ 25	40 ~ 50	20 ~ 25	20 ~ 25
	H'1555	ON (× 8)	ON (× 2)	2 : 2 : 2	10 ~ 12.5	20 ~ 25	20 ~ 25	20 ~ 25	20 ~ 25
3	H'1000	ON (× 1)	OFF	1 : 1 : 1	20 ~ 40	-	20 ~ 40	20 ~ 40	20 ~ 40
	H'1001	ON (× 1)	OFF	1 : 1 : 1/2	20 ~ 60	-	20 ~ 60	20 ~ 60	10 ~ 30
	H'1002	ON (× 1)	OFF	1 : 1 : 1/3	20 ~ 60	-	20 ~ 60	20 ~ 60	6.67 ~ 20
	H'1003	ON (× 1)	OFF	1 : 1 : 1/4	20 ~ 60	-	20 ~ 60	20 ~ 60	5 ~ 15
	H'1004	ON (× 1)	OFF	1 : 1 : 1/6	20 ~ 60	-	20 ~ 60	20 ~ 60	3.33 ~ 10
	H'1005	ON (× 1)	OFF	1 : 1 : 1/8	20 ~ 60	-	20 ~ 60	20 ~ 60	2.5 ~ 7.5
	H'1006	ON (× 1)	OFF	1 : 1 : 1/12	20 ~ 60	-	20 ~ 60	20 ~ 60	1.67 ~ 5
	H'1101	ON (× 2)	OFF	2 : 1 : 1	20 ~ 40	-	40 ~ 80	20 ~ 40	20 ~ 40
	H'1103	ON (× 2)	OFF	2 : 1 : 1/2	20 ~ 60	-	40 ~ 120	20 ~ 60	10 ~ 30
	H'1104	ON (× 2)	OFF	2 : 1 : 1/3	20 ~ 60	-	40 ~ 120	20 ~ 60	6.67 ~ 20
	H'1105	ON (× 2)	OFF	2 : 1 : 1/4	20 ~ 60	-	40 ~ 120	20 ~ 60	5 ~ 15
	H'1106	ON (× 2)	OFF	2 : 1 : 1/6	20 ~ 60	-	40 ~ 120	20 ~ 60	3.33 ~ 10
	H'1111	ON (× 2)	OFF	1 : 1 : 1	20 ~ 40	-	20 ~ 40	20 ~ 40	20 ~ 40
	H'1113	ON (× 2)	OFF	1 : 1 : 1/2	20 ~ 60	-	20 ~ 60	20 ~ 60	10 ~ 30
	H'1114	ON (× 2)	OFF	1 : 1 : 1/3	20 ~ 60	-	20 ~ 60	20 ~ 60	6.67 ~ 20
	H'1115	ON (× 2)	OFF	1 : 1 : 1/4	20 ~ 60	-	20 ~ 60	20 ~ 60	5 ~ 15
	H'1116	ON (× 2)	OFF	1 : 1 : 1/6	20 ~ 60	-	20 ~ 60	20 ~ 60	3.33 ~ 10
	H'1202	ON (× 3)	OFF	3 : 1 : 1	20 ~ 40	-	60 ~ 120	20 ~ 40	20 ~ 40
	H'120C	ON (× 3)	OFF	3 : 1 : 1/2	40	-	120	40	20
	H'1206	ON (× 3)	OFF	3 : 1 : 1/4	20 ~ 40	-	60 ~ 120	20 ~ 40	5 ~ 10
	H'1222	ON (× 3)	OFF	1 : 1 : 1	20 ~ 40	-	20 ~ 40	20 ~ 40	20 ~ 40
	H'1224	ON (× 3)	OFF	1 : 1 : 1/2	20 ~ 40	-	20 ~ 40	20 ~ 40	10 ~ 20
H'122C	ON (× 3)	OFF	1 : 1 : 1/2	20 ~ 60	-	40 ~ 60	40 ~ 60	20 ~ 30	
H'1226	ON (× 3)	OFF	1 : 1 : 1/4	20 ~ 40	-	20 ~ 40	20 ~ 40	5 ~ 10	
H'122E	ON (× 3)	OFF	1 : 1 : 1/4	40 ~ 60	-	40 ~ 60	40 ~ 60	10 ~ 15	

クロック 動作 モード	FRQCR レジスタ 設定値	PLL 通倍率		内部 クロック比 (I : B : P) *1	設定可能な周波数範囲 (MHz)				
		PLL 回路 1	PLL 回路 2		入力 クロック *2	出力クロック (CKIO 端子) *3	CPU クロック (I) *3	バスクロック (B) *3	周辺クロック (P) *3
3	H'1303	ON (× 4)	OFF	4 : 1 : 1	20 ~ 30	-	80 ~ 120	20 ~ 30	20 ~ 30
	H'1305	ON (× 4)	OFF	4 : 1 : 1/2	20 ~ 30	-	80 ~ 120	20 ~ 30	10 ~ 15
	H'1306	ON (× 4)	OFF	4 : 1 : 1/3	20 ~ 30	-	80 ~ 120	20 ~ 30	6.67 ~ 10
	H'1313	ON (× 4)	OFF	2 : 1 : 1	20 ~ 40	-	40 ~ 80	20 ~ 40	20 ~ 40
	H'1315	ON (× 4)	OFF	2 : 1 : 1/2	20 ~ 50	-	40 ~ 100	20 ~ 50	10 ~ 25
	H'1316	ON (× 4)	OFF	2 : 1 : 1/3	20 ~ 50	-	40 ~ 100	20 ~ 50	6.67 ~ 16.67
	H'1333	ON (× 4)	OFF	1 : 1 : 1	20 ~ 40	-	20 ~ 40	20 ~ 40	20 ~ 40
	H'1335	ON (× 4)	OFF	1 : 1 : 1/2	20 ~ 50	-	20 ~ 50	20 ~ 50	10 ~ 25
	H'1336	ON (× 4)	OFF	1 : 1 : 1/3	20 ~ 50	-	20 ~ 50	20 ~ 50	6.67 ~ 16.67
	H'1404	ON (× 6)	OFF	6 : 1 : 1	20	-	120	20	20
	H'1406	ON (× 6)	OFF	6 : 1 : 1/2	20	-	120	20	10
	H'1414	ON (× 6)	OFF	3 : 1 : 1	20 ~ 33.33	-	60 ~ 100	20 ~ 33.33	20 ~ 33.33
	H'1416	ON (× 6)	OFF	3 : 1 : 1/2	20 ~ 33.33	-	60 ~ 100	20 ~ 33.33	10 ~ 16.67
	H'1424	ON (× 6)	OFF	2 : 1 : 1	20 ~ 33.33	-	40 ~ 66.67	20 ~ 33.33	20 ~ 33.33
	H'1426	ON (× 6)	OFF	2 : 1 : 1/2	20 ~ 33.33	-	40 ~ 66.67	20 ~ 33.33	10 ~ 16.67
	H'1444	ON (× 6)	OFF	1 : 1 : 1	20 ~ 33.33	-	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33
	H'1446	ON (× 6)	OFF	1 : 1 : 1/2	20 ~ 33.33	-	20 ~ 33.33	20 ~ 33.33	10 ~ 16.67
	H'1515	ON (× 8)	OFF	4 : 1 : 1	20 ~ 25	-	80 ~ 100	20 ~ 25	20 ~ 25
	H'1535	ON (× 8)	OFF	2 : 1 : 1	20 ~ 25	-	40 ~ 50	20 ~ 25	20 ~ 25
H'1555	ON (× 8)	OFF	1 : 1 : 1	20 ~ 25	-	20 ~ 25	20 ~ 25	20 ~ 25	

【注】 *1 入力クロック周波数を 1 としたときのクロック比です。

*2 モード 0、2 のとき、EXTAL 端子からのクロック入力または水晶発振子の周波数です。
モード 3 のとき、CKIO 端子からのクロック入力周波数です。

*3 I は通常仕様品では 120MHz 以下、広温度範囲仕様品では 100MHz 以下、CKIO、B は 60MHz 以下、P は 5MHz 以上、40MHz 以下で使用してください。

【注意事項】

表 4.3 以外の周波数設定で本 LSI を使用しないでください。

4.4 レジスタの説明

クロックパルス発振器には以下のレジスタがあります。

表 4.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R/W	H'1003	H'FFFE0010	16
CKIO コントロールレジスタ	CKIOCR	R/W	H'10/H'00	H'FFFE3894	8、16、32

4.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ソフトウェアスタンバイモード時の CKIO 端子からクロック出力の有無、PLL 回路 1 の周波数逡倍率、CPU クロック、および周辺クロック (P) の周波数分周率の指定ができます。FRQCR は、ワードアクセスのみ可能です。

FRQCR は、パワーオンリセットおよびディープスタンバイ時のみ H'1003 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には、前の値を保持しています。WDT オーバフローによる内部リセット時にも、値は保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	CKOEN	-	STC[2:0]	-	-	-	IFC[2:0]	RNGS	-	-	-	PFC[2:0]	-
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	1
R/W:	R	R	R	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	CKOEN	1	R/W	クロック出力イネーブル CKOEN は、ソフトウェアスタンバイモード時およびソフトウェアスタンバイモード解除時に CKIO 端子からクロックを出力するか、CKIO 端子をレベル固定するかを指定します。 0 を設定した場合は、ソフトウェアスタンバイモード時およびソフトウェアスタンバイモード解除時に、CKIO 端子がローレベルに固定されます。これにより、ソフトウェアスタンバイモード解除時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。クロック動作モード 3 のときは、このビットの値によらず CKIO 端子が入力になります。 0 : ソフトウェアスタンバイモード時およびソフトウェアスタンバイモード解除時に CKIO 端子をローレベルに固定する。 1 : CKIO 端子からクロックを出力する (ソフトウェアスタンバイモード中は、ローレベル)。

ビット	ビット名	初期値	R/W	説 明
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	STC[2:0]	000	R/W	PLL 回路 1 の周波数逡倍率 000 : ×1 倍 001 : ×2 倍 010 : ×3 倍 011 : ×4 倍 100 : ×6 倍 101 : ×8 倍
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	IFC[2:0]	000	R/W	CPU クロック周波数の分周率 PLL 回路 1 の出力周波数に対しての CPU クロック周波数の分周率を指定します。 000 : ×1 倍 001 : ×1/2 倍 010 : ×1/3 倍 011 : ×1/4 倍 100 : ×1/6 倍 101 : ×1/8 倍
3	RNGS	0	R/W	PLL 回路 1 出力レンジ選択 PLL 回路 1 の逡倍率を ×3 倍に設定したとき、PLL 回路 1 の出力周波数に応じて設定してください。 0 : 低周波数モード (PLL 回路 1 の出力周波数が 120MHz 以下の場合) 1 : 高周波数モード (PLL 回路 1 が ×3 倍で、その出力周波数が 120MHz を超える場合)
2~0	PFC[2:0]	011	R/W	周辺クロック周波数の分周率 PLL 回路 1 の出力周波数に対しての周辺クロック周波数の分周率を指定します。 000 : ×1 倍 001 : ×1/2 倍 010 : ×1/3 倍 011 : ×1/4 倍 100 : ×1/6 倍 101 : ×1/8 倍 110 : ×1/12 倍

4.4.2 CKIO コントロールレジスタ (CKIOCR)

CKIOCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、CKIO の出力制御を行います。クロック動作モード 3 で起動した場合、本レジスタへの 1 書き込みは無効になります。

CKIOCR は、クロック動作モード 3 で起動した場合、 $\overline{\text{RES}}$ 端子によるパワーオンリセット、ディープスタンバイモードで H'00 に、クロック動作モード 0、2 で起動した場合、 $\overline{\text{RES}}$ 端子によるパワーオンリセット、ディープスタンバイモードで H'01 に初期化されます。WDT のオーバフローによる内部リセット、マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CKIOOE
初期値:	0	0	0	0	0	0	0	0/1*
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CKIOOE	0/1*	R/W	CKIO 出力イネーブル CKIO 端子の出力制御を行います。 0 : CKIO は出力しない 1 : CKIO は出力する

【注】 * LSI のクロック動作モードにより初期値が異なります。

4.5 周波数変更方法

CPU クロック (I) および周辺クロック (P) の周波数を変更するには、PLL 回路 1 の通倍率を変える方法と、分周器の分周率を変える方法があります。これらはいずれも周波数制御レジスタ (FRQCR) によってソフトウェアで制御します。以下にこれらの方法について示します。

4.5.1 通倍率の変更

PLL 回路 1 の通倍率を変更する場合は、PLL 安定時間が必要になります。内蔵 WDT により安定時間のカウントを行います。

1. 初期状態では、PLL回路1の通倍率は1になっています。
2. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止します。次の設定が必要です。
WTC SR.TME = 0 : WDTの停止
WTC SR.CKS[2:0] : WDTカウントクロックの分周率
WTC NT : カウンタの初期値
3. STC[2:0]を目的とする値に設定します。同時にIFC[2:0]、PFC[2:0]に分周率を設定することも可能です。
4. 本LSI内部は、一時的に停止し、WDTのカウントアップを開始します。CPUクロックと周辺クロックが停止し、WDTにのみクロックが供給されます。また、CKIO端子にはクロックが出力され続けます。
本状態は、ソフトウェアスタンバイモード状態と同じであり、モジュールによってはレジスタの初期化が行われます。詳細は「第25章 低消費電力モード」を参照してください。
5. WDTのカウントオーバーフローで設定されたクロックが供給され始め、本LSIは動作を再開します。WDTはオーバーフロー後、停止します。

4.5.2 分周率の変更

分周率変更のみで、同時に通倍率の変更を行わない場合は、WDT によるカウントは行いません。

1. 初期状態では、IFC[2:0] = B'000、PFC[2:0] = B'011になっています。
2. IFC[2:0]、PFC[2:0]ビットを目的とする値に設定します。クロックモードやPLL回路1の通倍率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. レジスタの各ビット (IFC[2:0]、PFC[2:0]) が設定されると、設定されたクロックに切り替わります。

【注】 周波数変更後 SLEEP 命令を実行する場合、周波数制御レジスタ (FRQCR) を 3 回リードしてから SLEEP 命令を実行してください。

4.6 使用上の注意事項

4.6.1 外部クロック入力時の注意

外部クロック入力の接続例を図 4.2 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。外部クロックを入力する場合でも PLL 安定時間の確保のため、電源投入時やスタンバイ解除時は、発振安定時間以上待つようにしてください。

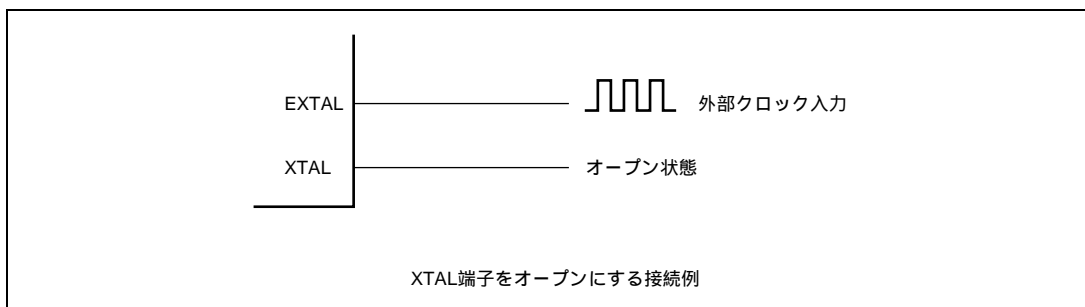


図 4.2 外部クロックの接続例

外部クロックの入力条件は「29.3.1 クロックタイミング」を参照してください。

4.6.2 水晶発振子使用時の注意

水晶発振子と容量 CL1、CL2 は、できるだけ XTAL、EXTAL 端子の近くに置いてください。配線は極力短くしてください。また、誘導を避け、正しい発振を行うために、発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

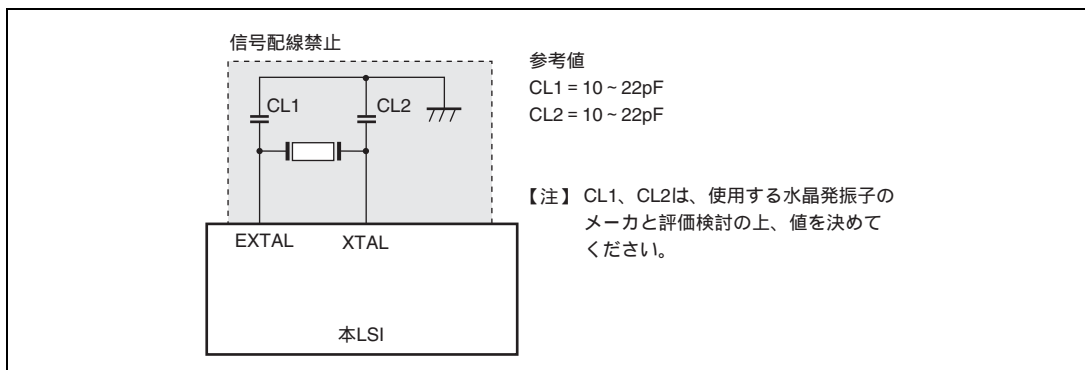


図 4.3 水晶発振子使用時の注意

4.6.3 発振子に関する注意

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

4.6.4 PLL 発振回路使用時の注意

PLL 用 PLLVcc と PLLVss の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

クロック動作モード 3 のときは、EXTAL 端子をプルアップし、XTAL 端子は開放にしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と VccR、PVcc のデジタル電源系は、極力基板上で同一リソースを供給しないでください。

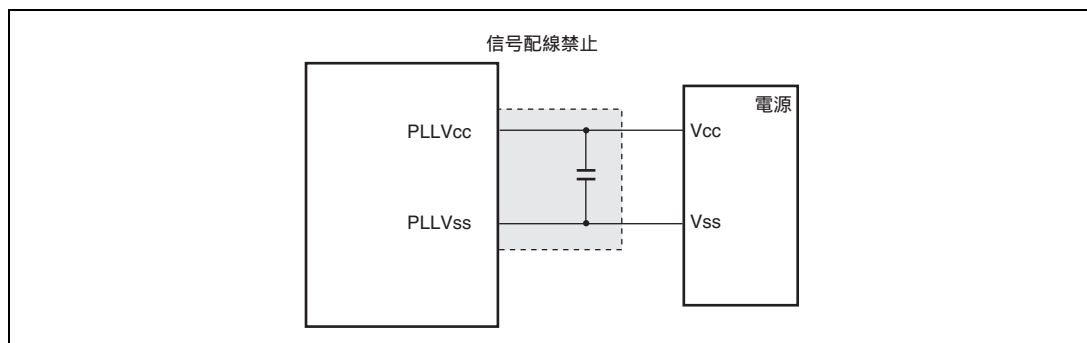


図 4.4 PLL 発振回路使用時の注意

4.6.5 通倍率変更時の注意

DMAC が転送中に、周波数制御レジスタ (FRQCR) により通倍率を変更すると、転送の終了を待たずに DMAC が停止するため、DMA 転送が保証されません。したがって、周波数制御レジスタ (FRQCR) により通倍率を変更するときは、DMA 転送の終了を待つか、もしくは DMA 転送を停止してから周波数制御レジスタ (FRQCR) の変更を行ってください。

5. 例外処理

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、バスエラー、レジスタバンクエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

種類	例外処理	優先順位	
リセット	パワーオンリセット	<div style="text-align: center;"> ↑ 高 ↓ 低 </div>	
	マニュアルリセット		
アドレスエラー	CPU アドレスエラー		
バスエラー	バスエラー		
命令	FPU 例外		
	整数除算例外 (0 除算)		
	整数除算例外 (オーバフロー)		
レジスタバンクエラー	バンクアンダフロー		
	バンクオーバフロー		
割り込み	NMI		
	ユーザブ레이크		
	H-UDI		
	IRQ		
	PINT		
	内蔵周辺 モジュール		A/D 変換器 (ADC)
			マルチファンクションタイマパルスユニット 2 (MTU2)
		リアルタイムクロック (RTC)	
		ウォッチドッグタイマ (WDT)	
		°C バスインタフェース 3 (IIC3)	
		ダイレクトメモリアクセスコントローラ (DMAC)	
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)			
コントローラエリアネットワーク (RCAN-ET)			

種類	例外処理		優先順位
割り込み	内蔵周辺	シリアルサウンドインタフェース (SSI)	高 ↑
	モジュール	8ビットタイマ (TMR)	
命令	トラップ命令 (TRAPA 命令)		↓ 低
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令*1直後に配置された未定義コード、PC を書き換える命令*2、32ビット命令*3、RESBANK 命令、DIVS 命令または DIVU 命令)		

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAF

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N

*3 32ビット命令 : BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W

5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化、H-UDI リセットアサートコマンドをセットした後に H-UDI リセットネゲートコマンドのセット、または WDT のオーバフローで開始されます。
	マニュアルリセット	MRES 端子のローレベルからハイレベルへの変化、または WDT のオーバフローで開始されます。
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始されます。
バスエラー		
割り込み		
レジスタバンクエラー	バンクアンダフロー	レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとする開始されます。
	バンクオーバフロー	割り込みコントローラでレジスタバンクオーバフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていたときに開始されます。
命令	トラップ命令	TRAPA 命令の実行により開始されます。
	一般不当命令	遅延分岐命令直後 (遅延スロット) 以外にある未定義コードがデコードされると開始されます。
	スロット不当命令	遅延分岐命令直後 (遅延スロット) に配置された未定義コード、PC を書き換える命令、32ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令がデコードされると開始されます。
	整数除算例外	ゼロによる除算例外、または負の最大値 (H'80000000) を -1 で除算することによるオーバフロー例外が検出されると開始されます。

例外処理		要因検出および処理開始タイミング
命令	FPU 例外	浮動小数点演算命令の無効演算例外（IEEE754 規定）、ゼロによる除算例外、オーバフロー、アンダフローまたは、不正確例外により開始されます。また、FPSCR の QIS ビットがセットされているとき、qNaN もしくは ± を浮動小数点演算命令のソースに入力すると開始されます。

例外処理が起動されると、CPU は次のように動作します。

（１）リセットによる例外処理

プログラムカウンタ（PC）とスタックポインタ（SP）の初期値を例外処理ベクタテーブル（PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地）から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ（VBR）を H'00000000 に、ステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）を HF（B'1111）に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラ（INTC）の IBNR の BN ビットを 0 に初期化します。さらにパワーオンリセット時には、FPSCR を H'00040001 に初期化します。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

（２）アドレスエラー、バスエラー、レジスタバンクエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。NMI およびユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合、汎用レジスタ R0～R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される割り込み例外処理のベクタ番号を、レジスタバンクに退避します。アドレスエラー、バスエラー、レジスタバンクエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンクに退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバフロー例外を受け付けないように設定（INTC の IBNR の BOVE ビット = 0）されている必要があります。レジスタバンクオーバフロー例外を受け付けるように設定（INTC の IBNR の BOVE ビット = 1）されている場合には、レジスタバンクオーバフロー例外が発生します。割り込み例外処理の場合、割り込み優先レベルを SR の I3～I0 ビットに書き込みます。アドレスエラー、命令による例外処理の場合、I3～I0 ビットは影響を受けません。次に例外処理ベクタテーブルから開始アドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルがメモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンの開始アドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
バスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
FPU 例外		13	H'00000034 ~ H'00000037
H-UDI		14	H'00000038 ~ H'0000003B
バンクオーバフロー		15	H'0000003C ~ H'0000003F
バンクアンダフロー		16	H'00000040 ~ H'00000043
整数除算例外 (0 除算)		17	H'00000044 ~ H'00000047
整数除算例外 (オーバフロー)		18	H'00000048 ~ H'0000004B
(システム予約)		19	H'0000004C ~ H'0000004F
		:	:
		31	H'0000007C ~ H'0000007F

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット
トラップ命令 (ユーザベクタ)	32	H'00000080 ~ H'00000083
	:	:
	63	H'000000FC ~ H'000000FF
外部割り込み (IRQ、PINT)、内蔵周辺モジュール*	64	H'00000100 ~ H'00000103
	:	:
	255	H'000003FC ~ H'000003FF

【注】 * 外部割り込み、各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「第6章 割り込みコントローラ (INTC)」の表 6.4 を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 バスエラー レジスタバンクエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

- 【注】 1. ベクタテーブルアドレスオフセット：表 5.3 を参照
2. ベクタ番号：表 5.3 を参照

5.2 リセット

5.2.1 入出力端子

リセット関連の端子構成を表 5.5 に示します。

表 5.5 端子構成

名称	端子名	入出力	機能
パワーオンリセット	RES	入力	端子にローレベルを入力することにより、パワーオンリセット処理へ遷移します。
マニュアルリセット	MRES	入力	端子にローレベルを入力することにより、マニュアルリセット処理へ遷移します。

5.2.2 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 5.6 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。FPU 状態はパワーオンリセットでは初期化され、マニュアルリセットでは初期化されません。また、内蔵周辺モジュールのレジスタは一部のレジスタを除き、パワーオンリセットで初期化されますが、マニュアルリセットでは初期化されません。

表 5.6 リセット状態

種類	リセット状態への遷移条件				内部状態		
	RES	H-UDI コマンド	MRES	WDT オーバフロー	CPU	内蔵周辺 モジュール、 I/O ポート	WDT の WRCSR、 CPG の FRQCR
パワーオン リセット	ロー	-	-	-	初期化	初期化* ¹	初期化
	ハイ	H-UDI リセット アサートコマンド をセット	-	-	初期化	初期化* ¹	初期化
	ハイ	H-UDI リセット アサート以外の コマンドをセット	-	パワーオン	初期化	初期化* ¹	初期化しない
マニュアル リセット	ハイ	H-UDI リセット アサート以外の コマンドをセット	ロー	-	初期化	初期化しない* ²	初期化しない
	ハイ	H-UDI リセット アサート以外の コマンドをセット	ハイ	マニュアル	初期化	初期化しない* ²	初期化しない

【注】 *¹ 一部のレジスタを除きます。詳細は「28.3 各動作モードにおけるレジスタの状態」を参照してください。

*² ただし、INTC の IBNR の BN ビットは初期化されます。

5.2.3 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時またはソフトウェアスタンバイモード時（クロックが停止している場合）は発振安定時間の間、クロックが動作している場合は最低 20 t_{cy} の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ（PC）の初期値（実行開始アドレス）を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ（SP）の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ（VBR）をH'00000000にクリアし、ステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）をHF（B'1111）に、BOビットおよびCSビットを0に初期化します。またINTCのIBNRのBNビットを0に初期化します。さらに、FPSCRをH'00040001に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) H-UDI リセットアサートコマンドによるパワーオンリセット

H-UDI リセットアサートコマンドをセットすると、パワーオンリセット状態になります。H-UDI リセットアサートコマンドは、 $\overline{\text{RES}}$ 端子によるパワーオンリセットと同等です。H-UDI リセットネゲートコマンドをセットすることにより、パワーオンリセット状態が解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。H-UDI リセットアサートコマンドによるパワーオンリセット状態で、H-UDI リセットネゲートコマンドをセットすると、パワーオンリセット例外処理が開始されます。このときの CPU の動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

(3) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の WTCNT がオーバフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号では WDT の WRCSR、CPG の FRQCR は初期化されません。

また、 $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットと WDT のオーバフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。WDT によりパワーオンリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

5.2.4 マニュアルリセット

(1) $\overline{\text{MRES}}$ 端子によるマニュアルリセット

$\overline{\text{MRES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低 20 tcy の間 $\overline{\text{MRES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化され、内蔵周辺モジュールのレジスタは初期化されません。マニュアルリセット状態で、 $\overline{\text{MRES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を H'F (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また INTC の IBNR の BN ビットを 0 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

(2) WDT によるマニュアルリセット

WDT のウォッチドッグタイマモードでマニュアルリセットが発生する設定にし WDT の WTCNT がオーバフローすると、マニュアルリセット状態になります。

WDT によりマニュアルリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{MRES}}$ 端子によるマニュアルリセットのときと同様です。

(3) マニュアルリセット時の注意事項

マニュアルリセット発生時、バスサイクルは保持されます。そのため、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。マニュアルリセットでは CPU および INTC の IBNR の BN ビットを初期化します。FPU やその他のモジュールは初期化されません。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.7 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.7 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		キャッシュのアドレスアレイ空間*1 の H'F0000000 ~ H'F5FFFFFF 以外から命令をフェッチ	なし (正常)
		キャッシュのアドレスアレイ空間*1 の H'F0000000 ~ H'F5FFFFFF から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ダブルロングワードデータをダブルロングワード境界からアクセス	なし (正常)
		ダブルロングワードデータをダブルロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*2 でアクセス	なし (正常)
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*2 でアクセス	なし (正常)
ロングワードデータを 8 ビットの内蔵周辺モジュール空間*2 でアクセス	なし (正常)		

【注】 *1 キャッシュのアドレスアレイ空間については、「第 8 章 キャッシュ」を参照してください。

*2 内蔵周辺モジュール空間については、「第 9 章 バスステートコントローラ (BSC)」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し*、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したアドレスエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

【注】 * データ読み出し / 書き込みによるアドレスエラー時、命令フェッチによるアドレスエラー時は、上記動作終了までにアドレスエラーを起こしたバスサイクルが終了しない場合、当該バスサイクル終了まで、CPU は再度アドレスエラー例外処理を開始します。

5.4 バスエラー

5.4.1 バスエラー発生要因

バス監視において、CPU へのバスエラー発生通知が設定されており、不正アドレスアクセス、バスタイムアウトを検出したときに発生します。詳細は「第 10 章 バス監視」を参照してください。

5.4.2 バスエラー例外処理

バスエラーが発生すると、バスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからバスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したバスエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5 レジスタバンクエラー

5.5.1 レジスタバンクエラー発生要因

(1) バンクオーバーフロー

割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていた場合

(2) バンクアンダフロー

レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとした場合

5.5.2 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が発生します。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、バンクオーバーフロー時は最後に実行した命令の次命令の先頭アドレス、アンダフロー時は実行したRESBANK命令の先頭アドレスです。
バンクオーバーフロー時は多重割り込みを防止するために、バンクオーバーフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) に書き込みます。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.6 割り込み

5.6.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.8 に示すように NMI、ユーザブレイク、H-UDI、IRQ、PINT、内蔵周辺モジュールがあります。

表 5.8 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ (UBC)	1
H-UDI	ユーザデバッグインタフェース (H-UDI)	1
IRQ	IRQ0 ~ IRQ7 端子 (外部からの入力)	8
PINT	PINT0 ~ PINT7 端子 (外部からの入力)	8
内蔵周辺モジュール	A/D 変換器 (ADC)	1
	マルチファンクションタイマパルスユニット 2 (MTU2)	28
	リアルタイムクロック (RTC)	3
	ウォッチドッグタイマ (WDT)	1
	I ² C バスインタフェース 3 (IIC3)	15
	ダイレクトメモリアクセスコントローラ (DMAC)	9
	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	32
	コントローラエリアネットワーク (RCAN-ET)	2
	シリアルサウンドインタフェース (SSI)	2
8 ビットタイマ (TMR)	6	

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 6 章 割り込みコントローラ (INTC)」の表 6.4 を参照してください。

5.6.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル0～16の値で表され、優先レベル0が最低で、優先レベル16が最高です。NMI 割り込みは、優先レベル16のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブ레이크割り込み、およびH-UDIの優先レベルは15です。IRQ 割り込み、PINT 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTCの割り込み優先レベル設定レジスタ01、02、05～16（IPR01、IPR02、IPR05～IPR16）で自由に設定することができます（表5.9）。設定できる優先レベルは0～15で、優先レベル16は設定できません。IPR01、IPR02、IPR05～IPR16については「6.3.1 割り込み優先レベル設定レジスタ01、02、05～16（IPR01、IPR02、IPR05～IPR16）」を参照してください。

表 5.9 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブ레이크	15	優先レベル固定
H-UDI	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタ01、02、05～16 （IPR01、IPR02、IPR05～IPR16）により設定
PINT		
内蔵周辺モジュール	0～15	割り込み優先レベル設定レジスタ01、02、05～16 （IPR01、IPR02、IPR05～IPR16）により設定

5.6.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は受け付けた割り込みに対応する例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出し、SR とプログラムカウンタ (PC) をスタックに退避します。NMI、ユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合には、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される例外処理のベクタ番号をレジスタバンクに退避します。アドレスエラー、バスエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンク (0~14) に退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (INTC の IBNR の BOVE ビット=0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット=1) されている場合には、レジスタバンクオーバーフロー例外が発生します。次に、受け付けた割り込みの優先レベル値を SR の I3~I0 ビットに書き込みます。ただし、NMI の場合の優先レベルは 16 ですが、I3~I0 ビットに設定される値は HF (レベル 15) です。その後、例外処理ベクタテーブルから取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。割り込み例外処理の詳細については「6.6 動作説明」を参照してください。

5.7 命令による例外

5.7.1 命令による例外の種類

例外処理を起動する命令には、表 5.10 に示すように、トラップ命令、スロット不当命令、一般不当命令、整数除算例外、FPU 例外があります。

表 5.10 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N 32 ビット命令：BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W
一般不当命令	遅延スロット以外にある未定義コード	
整数除算例外	ゼロ除算	DIVU、DIVS
	負の最大値 ÷ (- 1)	DIVS
FPU 例外	IEEE754 規格で定義された無効演算例外または、ゼロによる除算例外を引き起こす命令、オーバフロー、アンダフローおよび不正確例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

5.7.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. TRAPA 命令で指定したベクタ番号に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.7.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令のとき、これらの命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPUは次のように動作します。

1. 例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令の直前にある遅延分岐命令の飛び先アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.7.4 一般不当命令

遅延分岐命令の直後 (遅延スロット) 以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPUはスロット不当命令例外処理と同じ手順で動作します。ただし、退避するPCの値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.7.5 整数除算例外

整数除算命令がゼロによる除算を実行した場合、または整数除算の結果がオーバーフローしたとき、整数除算例外が発生します。ゼロによる除算例外の要因となる命令はDIVUとDIVSです。オーバーフロー例外の要因となる命令はDIVSのみで、負の最大値を-1で除算する場合にのみ発生します。整数除算例外が発生するとCPUは次のように動作します。

1. 発生した整数除算例外に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、例外が発生した整数除算命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.7.6 FPU 例外

浮動小数点ステータス/コントロールレジスタ (FPSCR) の FPU 例外イネーブルフィールド (Enable) 中の V、Z、O、U または I ビットがセットされているとき、FPU 例外処理が発生します。これは、浮動小数点演算命令が IEEE754 規格で定義された無効演算例外、ゼロによる除算例外、オーバフロー（可能性のある命令）、アンダフロー（可能性のある命令）および不正確例外（可能性のある命令）を引き起こしたことを示します。FPU 例外処理の発生要因となる浮動小数点演算命令には以下の命令があります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

該当する FPU 例外イネーブルビット (Enable) がセットされているときのみ FPU 例外処理が発生します。FPU が浮動小数点演算による例外要因を検出すると、FPU の動作は中断されて CPU に FPU 例外処理の発生を通知します。CPU は例外処理を開始すると次のように動作します。

1. 発生した FPU 例外処理に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次の命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

FPSCR の FPU 例外フラグフィールド (Flag) は、FPU 例外処理が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR の FPU 例外要因フィールド (Cause) は浮動小数点演算命令が実行されるごとに変化します。

また、FPSCR の FPU 例外イネーブルフィールド (Enable) 中の V ビットがセットされ、かつ FPSCR の QIS ビットがセットされているとき、qNaN もしくは ± を浮動小数点演算命令のソースに入力すると FPU 例外処理が発生します。

5.8 例外処理が受け付けられない場合

アドレスエラー、バスエラー、FPU 例外、レジスタバンクエラー（オーバフロー）および割り込みは、表 5.11 に示すように、遅延分岐命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.11 遅延分岐命令の直後の例外要因発生

発生した時点	例外要因				
	アドレスエラー	バスエラー	FPU 例外	レジスタバンクエラー (オーバフロー)	割り込み
遅延分岐命令*の直後	×	×	×	×	×

【記号説明】 × : 受け付けられない

【注】 * 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

5.9 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.12 に示すようになります。

表 5.12 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレス エラー		割り込み	
バス エラー		FPU 例外	
レジスタ バンク エラー (オーバ フロー)		レジスタ バンク エラー (アンダ フロー)	
トラップ 命令		スロット 不当命令	
一般不当 命令		整数除算 例外	

5.10 使用上の注意事項

5.10.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.10.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.10.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ -4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

6.1 特長

- 割り込み優先順位を16レベル設定可能
14本の割り込み優先レベル設定レジスタにより、IRQ割り込み、PINT割り込み、および内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。
- NMIノイズキャンセラ機能
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。
- レジスタバンク
本LSIでは、レジスタバンクを内蔵しており、割り込み処理に伴うレジスタの退避、復帰を高速に行うことができます。

図 6.1 に INTC のブロック図を示します。

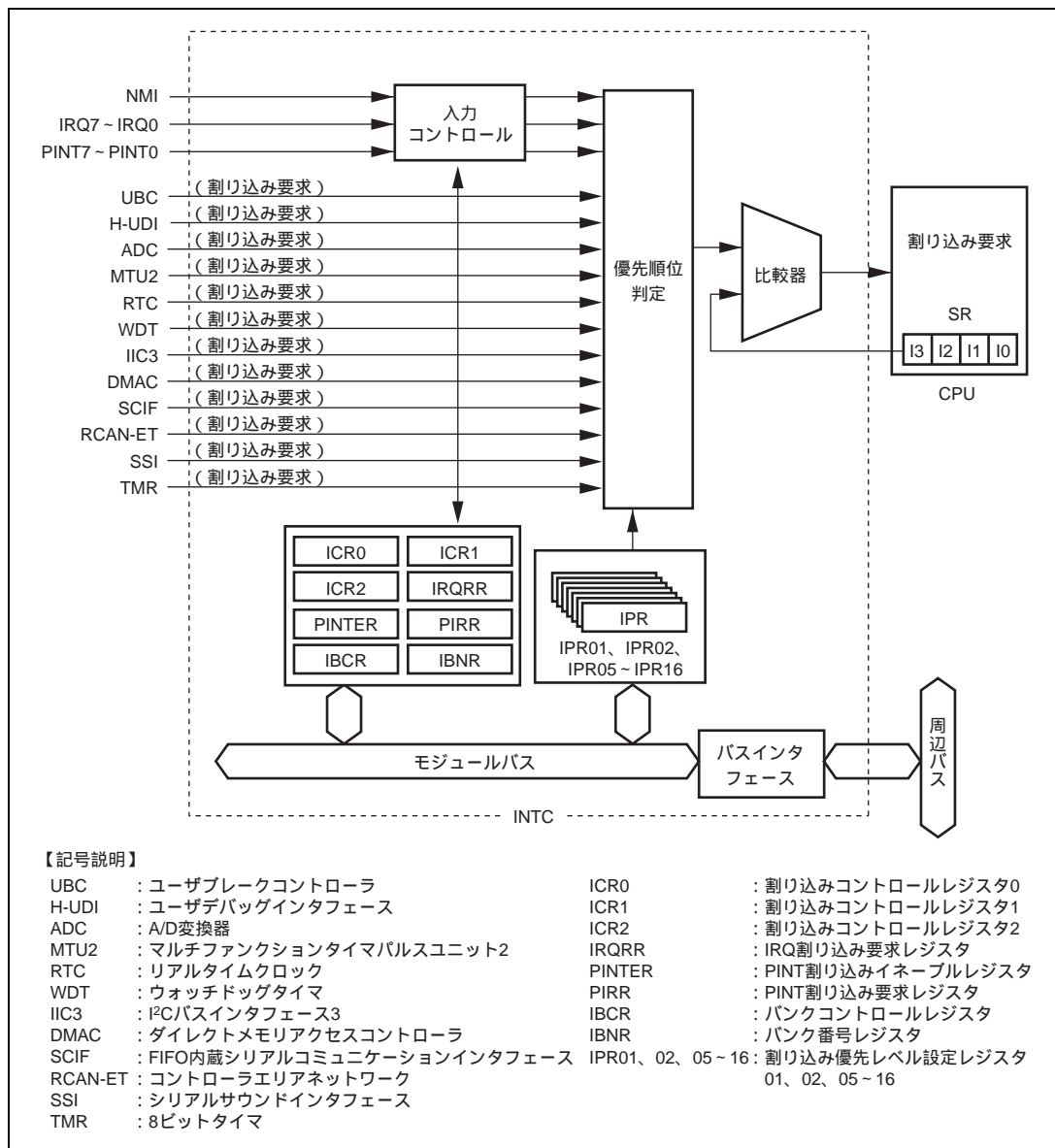


図 6.1 INTC のブロック図

6.2 入出力端子

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	端子名	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ7 ~ IRQ0	入力	マスク可能な割り込み要求信号を入力
	PINT7 ~ PINT0	入力	

6.3 レジスタの説明

INTC には以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*1	H'FFFD9400	16、32
割り込みコントロールレジスタ 1	ICR1	R/W	H'0000	H'FFFD9402	16
割り込みコントロールレジスタ 2	ICR2	R/W	H'0000	H'FFFD9404	16、32
IRQ 割り込み要求レジスタ	IRQRR	R/(W)*2	H'0000	H'FFFD9406	16
PINT 割り込みイネーブルレジスタ	PINTER	R/W	H'0000	H'FFFD9408	16、32
PINT 割り込み要求レジスタ	PIRR	R	H'0000	H'FFFD940A	16
バンクコントロールレジスタ	IBCR	R/W	H'0000	H'FFFD940C	16、32
バンク番号レジスタ	IBNR	R/W	H'0000	H'FFFD940E	16
割り込み優先レベル設定レジスタ 01	IPR01	R/W	H'0000	H'FFFD9418	16、32
割り込み優先レベル設定レジスタ 02	IPR02	R/W	H'0000	H'FFFD941A	16
割り込み優先レベル設定レジスタ 05	IPR05	R/W	H'0000	H'FFFD9420	16
割り込み優先レベル設定レジスタ 06	IPR06	R/W	H'0000	H'FFFD9800	16、32
割り込み優先レベル設定レジスタ 07	IPR07	R/W	H'0000	H'FFFD9802	16
割り込み優先レベル設定レジスタ 08	IPR08	R/W	H'0000	H'FFFD9804	16、32
割り込み優先レベル設定レジスタ 09	IPR09	R/W	H'0000	H'FFFD9806	16
割り込み優先レベル設定レジスタ 10	IPR10	R/W	H'0000	H'FFFD9808	16、32
割り込み優先レベル設定レジスタ 11	IPR11	R/W	H'0000	H'FFFD980A	16
割り込み優先レベル設定レジスタ 12	IPR12	R/W	H'0000	H'FFFD980C	16、32
割り込み優先レベル設定レジスタ 13	IPR13	R/W	H'0000	H'FFFD980E	16
割り込み優先レベル設定レジスタ 14	IPR14	R/W	H'0000	H'FFFD9810	16、32

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
割り込み優先レベル設定レジスタ 15	IPR15	R/W	H'0000	H'FFFD9812	16
割り込み優先レベル設定レジスタ 16	IPR16	R/W	H'0000	H'FFFD9814	16
DMA 転送要求イネーブルレジスタ 0	DREQER0	R/W	H'00	H'FFFF1600	8、16、32
DMA 転送要求イネーブルレジスタ 1	DREQER1	R/W	H'00	H'FFFF1601	8
DMA 転送要求イネーブルレジスタ 2	DREQER2	R/W	H'00	H'FFFF1602	8、16
DMA 転送要求イネーブルレジスタ 3	DREQER3	R/W	H'00	H'FFFF1603	8

【注】 *1 NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000 です。

*2 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

6.3.1 割り込み優先レベル設定レジスタ 01、02、05～16 (IPR01、IPR02、IPR05～IPR16)

IPR01、IPR02、IPR05～IPR16 は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位 (レベル 0～15) を設定します。割り込み要求元と IPR01、IPR02、IPR05～IPR16 の各ビットの対応を表 6.3 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6.3 割り込み要求元と IPR01、IPR02、IPR05～IPR16

レジスタ名	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ 01	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ 02	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ 05	PINT0～PINT7	予約	ADI	予約
割り込み優先レベル設定レジスタ 06	予約	MTU0 (TGI0A～TGI0D)	MTU0 (TCI0V、TGI0E、TGI0F)	MTU1 (TGI1A、TGI1B)
割り込み優先レベル設定レジスタ 07	MTU1 (TCI1V、TCI1U)	MTU2 (TGI2A、TGI2B)	MTU2 (TCI2V、TCI2U)	MTU3 (TGI3A～TGI3D)
割り込み優先レベル設定レジスタ 08	MTU3 (TGI3V)	MTU4 (TGI4A～TGI4D)	MTU4 (TGI4V)	MTU5 (TGI5U、TGI5V、TGI5W)
割り込み優先レベル設定レジスタ 09	RTC	WDT	IIC0	予約
割り込み優先レベル設定レジスタ 10	IIC1	IIC2	DMAC0	DMAC1
割り込み優先レベル設定レジスタ 11	DMAC2	DMAC3	SCIF0	SCIF1
割り込み優先レベル設定レジスタ 12	SCIF2	SCIF3	SCIF4	SCIF5
割り込み優先レベル設定レジスタ 13	SCIF6	SCIF7	DMINTA	DMAC4
割り込み優先レベル設定レジスタ 14	DMAC5	DMAC6	DMAC7	予約
割り込み優先レベル設定レジスタ 15	予約	RCAN-ET0	RCAN-ET1	予約
割り込み優先レベル設定レジスタ 16	SSI0	SSI1	TMR0	TMR1

表 6.3 に示すように、ビット 15～12、ビット 11～8、ビット 7～4、ビット 3～0 の各 4 ビットに H'0 (0000) から HF (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、HF をセットすると優先レベル 15 (最高) になります。

IPR01、IPR02、IPR05～IPR16 は、パワーオンリセットとディープスタンバイモードで H'0000 に初期化されません。

6.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR0 はパワーオンリセットとディープスタンバイモードで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIE	-	-	-	-	-	-	-	-
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

【注】* NMI端子がハイレベルのとき1、ローレベルのとき0です。

ビット	ビット名	初期値	R/W	説明
15	NMIL	*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0: NMI 端子にローレベルが入力されている。 1: NMI 端子にハイレベルが入力されている。
14~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	NMIE	0	R/W	NMI エッジセレクト NMI 入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0: NMI 入力の立ち下がりエッジで割り込み要求を検出。 1: NMI 入力の立ち上がりエッジで割り込み要求を検出。
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

6.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ7～IRQ0 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。ICR1 はパワーオンリセットとディープスタンバイモードで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IRQ71S	0	R/W	IRQ センスセレクト IRQ7～IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00: 割り込み要求を IRQn 入力のローレベルで検出する。 01: 割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10: 割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11: 割り込み要求を IRQn 入力の両エッジで検出する。
14	IRQ70S	0	R/W	
13	IRQ61S	0	R/W	
12	IRQ60S	0	R/W	
11	IRQ51S	0	R/W	
10	IRQ50S	0	R/W	
9	IRQ41S	0	R/W	
8	IRQ40S	0	R/W	
7	IRQ31S	0	R/W	
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】 n = 7～0

6.3.4 割り込みコントロールレジスタ 2 (ICR2)

ICR2 は、外部割り込み入力端子 PINT7 ~ PINT0 に対してローレベル、ハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。ICR2 はパワーオンリセットとディープスタンバイモードで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7S	0	R/W	PINT センスセレクト PINT7 ~ PINT0 端子に対する割り込み信号をローレベル、ハイレベルのいずれかで検出するかを選択します。 0: 割り込み要求を PINTn 入力のローレベルで検出する。 1: 割り込み要求を PINTn 入力のハイレベルで検出する。
6	PINT6S	0	R/W	
5	PINT5S	0	R/W	
4	PINT4S	0	R/W	
3	PINT3S	0	R/W	
2	PINT2S	0	R/W	
1	PINT1S	0	R/W	
0	PINT0S	0	R/W	

【記号説明】 n = 7 ~ 0

6.3.5 IRQ 割り込み要求レジスタ (IRQRR)

IRQRR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ7 ~ IRQ0 の割り込み要求を示します。IRQ7 ~ IRQ0 割り込みをエッジ検出に設定している場合、IRQ7F ~ IRQ0F = 1 をリード後、IRQ7F ~ IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

IRQRR はパワーオンリセットとディープスタンバイモードで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	IRQ7F	0	R/(W)*	IRQ 割り込み要求 IRQ7 ~ IRQ0 割り込み要求のステータスを表示します。 レベル検出時 0: IRQn 割り込み要求が存在しません。 [クリア条件] • IRQn 入力がハイレベルのとき 1: IRQn 割り込み要求が存在します。 [セット条件] • IRQn 入力がローレベルのとき エッジ検出時 0: IRQn 割り込み要求が検出されていません。 [クリア条件] • IRQnF = 1 の状態をリード後に 0 をライトしたとき • IRQn 割り込み例外処理を実行したとき 1: IRQn 割り込み要求が検出されています。 [セット条件] • IRQn 端子に ICR1 の IRQn1S、IRQn0S に対応するエッジが発生したとき
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【記号説明】 n = 7 ~ 0

6.3.6 PINT 割り込みイネーブルレジスタ (PINTER)

PINTER は、外部割り込み入力端子 PINT7 ~ PINT0 に対する割り込み要求入力を許可する 16 ビットのレジスタです。PINTER はパワーオンリセットとディープスタンバイモードで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7E	0	R/W	PINT イネーブルビット PINT7 ~ PINT0 端子に対する割り込み要求入力を許可するかどうか選択します。 0 : PINTn 入力割り込み要求をディスエーブルにする。 1 : PINTn 入力割り込み要求をイネーブルにする。
6	PINT6E	0	R/W	
5	PINT5E	0	R/W	
4	PINT4E	0	R/W	
3	PINT3E	0	R/W	
2	PINT2E	0	R/W	
1	PINT1E	0	R/W	
0	PINT0E	0	R/W	

【記号説明】 n = 7 ~ 0

6.3.7 PINT 割り込み要求レジスタ (PIRR)

PIRR は、16 ビットのレジスタで、外部割り込み PINT7 ~ PINT0 の割り込み要求を示します。PIRR はパワーオンリセットとディープスタンバイモードで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7R	PINT6R	PINT5R	PINT4R	PINT3R	PINT2R	PINT1R	PINT0R
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7R	0	R	PINT 割り込み要求 PINT7 ~ PINT0 割り込み要求を示します。 0 : PINTn 端子に割り込みなし。 1 : PINTn 端子に割り込みあり。
6	PINT6R	0	R	
5	PINT5R	0	R	
4	PINT4R	0	R	
3	PINT3R	0	R	
2	PINT2R	0	R	
1	PINT1R	0	R	
0	PINT0R	0	R	

【記号説明】 n = 7 ~ 0

6.3.8 バンクコントロールレジスタ (IBCR)

IBCR は、割り込み優先レベルに対してレジスタバンク使用の許可 / 禁止を設定することができます。IBCR はパワーオンリセットとディープスタンバイモードで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15	E15	0	R/W	イネーブル 割り込み優先レベル 15 ~ 1 に対してレジスタバンク使用の許可 / 禁止を設定します。ただし、ユーザブレイク割り込みは常にレジスタバンク使用禁止です。 0: レジスタバンクの使用を禁止します。 1: レジスタバンクの使用を許可します。
14	E14	0	R/W	
13	E13	0	R/W	
12	E12	0	R/W	
11	E11	0	R/W	
10	E10	0	R/W	
9	E9	0	R/W	
8	E8	0	R/W	
7	E7	0	R/W	
6	E6	0	R/W	
5	E5	0	R/W	
4	E4	0	R/W	
3	E3	0	R/W	
2	E2	0	R/W	
1	E1	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

6.3.9 バンク番号レジスタ (IBNR)

IBNR は、レジスタバンク使用の許可 / 禁止、およびレジスタバンクオーバフロー例外の許可 / 禁止を設定します。また、BN3 ~ BN0 により次に退避されるバンク番号を示します。

IBNR はパワーオンリセットとディープスタンバイモードで H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BE[1:0]		BOVE	-	-	-	-	-	-	-	-	-	BN[3:0]*			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	BE[1:0]	00	R/W	レジスタバンクイネーブル レジスタバンク使用の許可 / 禁止を設定します。 00 : すべての割り込みでバンクの使用を禁止します。IBCR の設定は無視します。 01 : NMI、ユーザブレイク以外のすべての割り込みでバンクの使用を許可します。IBCR の設定は無視されます。 10 : 予約 (設定禁止) 11 : レジスタバンクの使用は、IBCR の設定に従います。
13	BOVE	0	R/W	レジスタバンクオーバフローイネーブル レジスタバンクオーバフロー例外の許可 / 禁止を設定します。 0 : レジスタバンクオーバフロー例外の発生を禁止します。 1 : レジスタバンクオーバフロー例外の発生を許可します。
12 ~ 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3 ~ 0	BN[3:0]*	0000	R	バンク番号 次に退避されるバンク番号を示します。レジスタバンクを使用した割り込みが受け付けられたとき、BN3 ~ BN0 が示すレジスタバンクに退避を行い、BN を +1 します。レジスタバンク復帰命令の実行により、BN を -1 した後、レジスタバンクから復帰を行います。

【注】 * BN[3:0]は、マニュアルリセットで初期化されます。

6.3.10 DMA 転送要求イネーブルレジスタ 0 (DREQER0)

DMA 転送要求イネーブルレジスタ 0 (DREQER0) は、読み出し / 書き込み可能な 8 ビットのレジスタで、IIC3 の DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。

DMA 転送要求イネーブルレジスタ 0 は、パワーオンリセットとディープスタンバイモードで初期化されます。

ビット:	7	6	5	4	3	2	1	0
	予約	予約	IIC3 2ch TX	IIC3 2ch RX	IIC3 1ch TX	IIC3 1ch RX	IIC3 0ch TX	IIC3 0ch RX
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	予約	0	R/W	DMA 転送要求許可ビット DMA 転送要求許可の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
6	予約	0	R/W	
5	IIC3 2ch TX	0	R/W	
4	IIC3 2ch RX	0	R/W	
3	IIC3 1ch TX	0	R/W	
2	IIC3 1ch RX	0	R/W	
1	IIC3 0ch TX	0	R/W	
0	IIC3 0ch RX	0	R/W	

6.3.11 DMA 転送要求イネーブルレジスタ 1 (DREQER1)

DMA 転送要求イネーブルレジスタ 1 (DREQER1) は、読み出し / 書き込み可能な 8 ビットのレジスタで、SCIF (0ch ~ 3ch) の DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。

DMA 転送要求イネーブルレジスタ 1 は、パワーオンリセットとディープスタンバイモードで初期化されます。

ビット:	7	6	5	4	3	2	1	0
	SCIF 3ch TX	SCIF 3ch RX	SCIF 2ch TX	SCIF 2ch RX	SCIF 1ch TX	SCIF 1ch RX	SCIF 0ch TX	SCIF 0ch RX
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SCIF 3ch TX	0	R/W	DMA 転送要求許可ビット DMA 転送要求許可の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
6	SCIF 3ch RX	0	R/W	
5	SCIF 2ch TX	0	R/W	
4	SCIF 2ch RX	0	R/W	
3	SCIF 1ch TX	0	R/W	
2	SCIF 1ch RX	0	R/W	
1	SCIF 0ch TX	0	R/W	
0	SCIF 0ch RX	0	R/W	

6.3.12 DMA 転送要求イネーブルレジスタ 2 (DREQER2)

DMA 転送要求イネーブルレジスタ 2 (DREQER2) は、読み出し / 書き込み可能な 8 ビットのレジスタで、SCIF (4ch ~ 7ch) の DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。

DMA 転送要求イネーブルレジスタ 2 は、パワーオンリセットとディープスタンバイモードで初期化されます。

ビット:	7	6	5	4	3	2	1	0
	SCIF 7ch TX	SCIF 7ch RX	SCIF 6ch TX	SCIF 6ch RX	SCIF 5ch TX	SCIF 5ch RX	SCIF 4ch TX	SCIF 4ch RX
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SCIF 7ch TX	0	R/W	DMA 転送要求許可ビット DMA 転送要求許可の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
6	SCIF 7ch RX	0	R/W	
5	SCIF 6ch TX	0	R/W	
4	SCIF 6ch RX	0	R/W	
3	SCIF 5ch TX	0	R/W	
2	SCIF 5ch RX	0	R/W	
1	SCIF 4ch TX	0	R/W	
0	SCIF 4ch RX	0	R/W	

6.3.13 DMA 転送要求イネーブルレジスタ 3 (DREQER3)

DMA 転送要求イネーブルレジスタ 3 (DREQER3) は、読み出し / 書き込み可能な 8 ビットのレジスタで、ADC、MTU2 (0ch ~ 4ch)、RCAN-ET (0ch、1ch) の DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。

DMA 転送要求イネーブルレジスタ 3 は、パワーオンリセットとディープスタンバイモードで初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ADC	MTU2 4ch	MTU2 3ch	MTU2 2ch	MTU2 1ch	MTU2 0ch	RCAN-ET 1ch	RCAN-ET 0ch
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ADC	0	R/W	DMA 転送要求許可ビット DMA 転送要求許可の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
6	MTU2 4ch	0	R/W	
5	MTU2 3ch	0	R/W	
4	MTU2 2ch	0	R/W	
3	MTU2 1ch	0	R/W	
2	MTU2 0ch	0	R/W	
1	RCAN-ET 1ch	0	R/W	
0	RCAN-ET 0ch	0	R/W	

6.4 割り込み要因

割り込み要因は、NMI、ユーザブ레이크、H-UDI、IRQ、PINT、内蔵周辺モジュールの6つに分類されます。各割り込みの優先順位は割り込み優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みは常にマスクされます。

6.4.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ0(ICR0)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、NMI 割り込みの優先レベルは16ですがステータスレジスタ(SR)の割り込みマスクレベルビット(I3~I0)は15に設定されます。

6.4.2 ユーザブ레이크割り込み

ユーザブ레이크割り込みは、ユーザブ레이크コントローラ(UBC)で設定したブ레이크条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブ레이크例外処理によって、SRのI3~I0ビットは15に設定されます。ユーザブ레이크については、「第7章 ユーザブ레이크コントローラ(UBC)」を参照してください。

6.4.3 H-UDI 割り込み

ユーザデバッグインタフェース(H-UDI)割り込みは、優先順位レベル15を持ち、H-UDI 割り込みのインストラクションをシリアル入力すると発生します。H-UDI 割り込み要求はエッジで検出され、受け付けられるまで保持されます。H-UDI 例外処理により、SRのI3~I0ビットは15に設定されます。H-UDI 割り込みについては、「第26章 ユーザデバッグインタフェース(H-UDI)」を参照してください。

6.4.4 IRQ 割り込み

IRQ 割り込みはIRQ7~IRQ0端子からの入力による割り込みです。IRQ7~IRQ0端子の設定方法については、「第23章 ピンファンクションコントローラ(PFC)」を参照してください。IRQ 割り込みは、割り込みコントロールレジスタ1(ICR1)のIRQ センスセレクトビット(IRQ71S~IRQ01S、IRQ70S~IRQ00S)の設定によって、端子ごとにローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ検出を選択できます。また、割り込み優先レベル設定レジスタ01、02(IPR01、IPR02)によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ7~IRQ0端子がローレベルの期間、INTCに割り込み要求信号が送られます。IRQ7~IRQ0端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQ 割り込み要求レジスタ(IRQRR)のIRQ 割り込み要求ビット(IRQ7F~IRQ0F)をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7 ~ IRQ0 端子の変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQRR の IRQ7F ~ IRQ0F ツトをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 をリードした後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SR の I3 ~ I0 ビットは、受け付けた IRQ 割り込みの優先レベル値に設定されます。

IRQ 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、IRQ 割り込み要求レジスタ (IRQRR) で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

6.4.5 PINT 割り込み

PINT 割り込みは、PINT7 ~ PINT0 端子からの入力による割り込みです。PINT7 ~ PINT0 端子の設定方法については、「第 23 章 ピンファンクションコントローラ (PFC)」を参照してください。PINT 割り込みイネーブルレジスタ (PINTER) の PINT イネーブルビット (PINT7E ~ PINT0E) により、割り込み要求入力を許可されます。PINT7 ~ PINT0 は、割り込みコントロールレジスタ 2 (ICR2) の PINT センスセレクトビット (PINT7S ~ PINT0S) の設定によって、端子ごとにローレベル、ハイレベル検出を選択できます。優先レベルは、割り込み優先レベル設定レジスタ 05 (IPR05) のビット 15 ~ 12 により、PINT7 ~ PINT0 を一括して、レベル 0 ~ 15 の範囲で設定できます。

PINT7 ~ PINT0 をローレベル検出に設定している場合、PINT 端子がローレベルの期間、INTC に割り込み要求信号が送られます。PINT 端子がハイレベルになると、割り込み要求信号は INTC に送られません。PINT 割り込み要求レジスタ (PIRR) の PINT 割り込み要求ビット (PINT7R ~ PINT0R) をリードすることにより割り込み要求のレベルを確認できます。ハイレベル検出に設定している場合も、極性が反対となる以外は同様です。PINT 割り込み例外処理では、SR の I3 ~ I0 は、PINT 割り込みの優先レベル値に設定されます。

PINT 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、PINT 割り込み要求レジスタ (PIRR) で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

6.4.6 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- A/D変換器 (ADC)
- マルチファンクションタイマパルスユニット2 (MTU2)
- リアルタイムクロック (RTC)
- ウォッチドッグタイマ (WDT)
- I²Cバスインタフェース3 (IIC3)
- ダイレクトメモリアクセスコントローラ (DMAC)
- FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)
- コントローラエリアネットワーク (RCAN-ET)
- シリアルサウンドインタフェース (SSI)

- 8ビットタイマ (TMR)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ 05 ~ 16 (IPR05 ~ IPR16) によって、モジュールごとに優先レベル 0 ~ 15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3 ~ I0 ビットは、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.5 割り込み例外処理ベクタテーブルと優先順位

表 6.4 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 5 章 例外処理」の表 5.4 の例外処理ベクタテーブルアドレスの算出方法を参照してください。

IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ 01、02、05 ~ 16 (IPR01、IPR02、IPR05 ~ IPR16) によって、端子またはモジュールごとに優先レベル 0 ~ 15 の範囲で任意に設定できます。ただし、IPR05 ~ IPR16 で同一 IPR 内の割り込みが複数発生した場合の優先順位は、表 6.4 のデフォルト優先順位に示すように定められており、変更できません。IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.4 に示すデフォルト優先順位に従って処理されます。

表 6.4 割り込み例外ベクタと優先順位

割り込み要因		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定単位内 の優先順位	デフォルト 優先順位	
		ベクタ	ベクタテーブル アドレスオフセット					
NMI		11	H'0000002C ~ H'0000002F	16	-	-	↑ 高	
ユーザブ레이크		12	H'00000030 ~ H'00000033	15	-	-		
H-UDI		14	H'00000038 ~ H'0000003B	15	-	-		
IRQ	IRQ0	64	H'00000100 ~ H'00000103	0 ~ 15 (0)	IPR01 (15 ~ 12)	-		
	IRQ1	65	H'00000104 ~ H'00000107	0 ~ 15 (0)	IPR01 (11 ~ 8)	-		
	IRQ2	66	H'00000108 ~ H'0000010B	0 ~ 15 (0)	IPR01 (7 ~ 4)	-		
	IRQ3	67	H'0000010C ~ H'0000010F	0 ~ 15 (0)	IPR01 (3 ~ 0)	-		
	IRQ4	68	H'00000110 ~ H'00000113	0 ~ 15 (0)	IPR02 (15 ~ 12)	-		
	IRQ5	69	H'00000114 ~ H'00000117	0 ~ 15 (0)	IPR02 (11 ~ 8)	-		
	IRQ6	70	H'00000118 ~ H'0000011B	0 ~ 15 (0)	IPR02 (7 ~ 4)	-		
	IRQ7	71	H'0000011C ~ H'0000011F	0 ~ 15 (0)	IPR02 (3 ~ 0)	-		
PINT	PINT0	80	H'00000140 ~ H'00000143	0 ~ 15 (0)	IPR05 (15 ~ 12)	1		
	PINT1	81	H'00000144 ~ H'00000147			2		
	PINT2	82	H'00000148 ~ H'0000014B			3		
	PINT3	83	H'0000014C ~ H'0000014F			4		
	PINT4	84	H'00000150 ~ H'00000153			5		
	PINT5	85	H'00000154 ~ H'00000157			6		
	PINT6	86	H'00000158 ~ H'0000015B			7		
	PINT7	87	H'0000015C ~ H'0000015F			8		
ADC	ADI	92	H'00000170 ~ H'00000173	0 ~ 15 (0)	IPR05 (7 ~ 4)	-		
MTU2	MTU0	TGI0A	108	H'000001B0 ~ H'000001B3	0 ~ 15 (0)	IPR06 (11 ~ 8)	1	
		TGI0B	109	H'000001B4 ~ H'000001B7			2	
		TGI0C	110	H'000001B8 ~ H'000001BB			3	
		TGI0D	111	H'000001BC ~ H'000001BF			4	
	TCI0	TCI0V	112	H'000001C0 ~ H'000001C3	0 ~ 15 (0)	IPR06 (7 ~ 4)	1	
		TCI0E	113	H'000001C4 ~ H'000001C7			2	
		TCI0F	114	H'000001C8 ~ H'000001CB			3	
		MTU1	TGI1A	116			H'000001D0 ~ H'000001D3	0 ~ 15 (0)
	TGI1B		117	H'000001D4 ~ H'000001D7	2			
	TCI1V		120	H'000001E0 ~ H'000001E3	0 ~ 15 (0)	IPR07 (15 ~ 12)	1	
TCI1U	121		H'000001E4 ~ H'000001E7	2				
							↓ 低	

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定単位内 の優先順位	デフォルト 優先順位
SCIF	SCIF6	BRI6	204	H'00000330 ~ H'00000333	0 ~ 15 (0)	IPR13 (15 ~ 12)	1	高 ↑
		ERI6	205	H'00000334 ~ H'00000337			2	
		RXI6	206	H'00000338 ~ H'0000033B			3	
		TXI6	207	H'0000033C ~ H'0000033F			4	
	SCIF7	BRI7	208	H'00000340 ~ H'00000343	0 ~ 15 (0)	IPR13 (11 ~ 8)	1	
		ERI7	209	H'00000344 ~ H'00000347			2	
		RXI7	210	H'00000348 ~ H'0000034B			3	
		TXI7	211	H'0000034C ~ H'0000034F			4	
DMAC	DMINTA		212	H'00000350 ~ H'00000353	0 ~ 15 (0)	IPR13 (7 ~ 4)	-	
	DMAC4	DMINT4	216	H'00000360 ~ H'00000363	0 ~ 15 (0)	IPR13 (3 ~ 0)	-	
	DMAC5	DMINT5	217	H'00000364 ~ H'00000367	0 ~ 15 (0)	IPR14 (15 ~ 12)	-	
	DMAC6	DMINT6	218	H'00000368 ~ H'0000036B	0 ~ 15 (0)	IPR14 (11 ~ 8)	-	
	DMAC7	DMINT7	219	H'0000036C ~ H'0000036F	0 ~ 15 (0)	IPR14 (7 ~ 4)	-	
RCAN-ET	RCAN-ET0	ERS	228	H'00000390 ~ H'00000393	0 ~ 15 (0)	IPR15 (11 ~ 8)	1	
		OVR	229	H'00000394 ~ H'00000397			2	
		SLE	230	H'00000398 ~ H'0000039B			3	
		RM0	231	H'0000039C ~ H'0000039F			4	
		RM1	232	H'000003A0 ~ H'000003A3			5	
	RCAN-ET1	ERS	234	H'000003A8 ~ H'000003AB	0 ~ 15 (0)	IPR15 (7 ~ 4)	1	
		OVR	235	H'000003AC ~ H'000003AF			2	
		SLE	236	H'000003B0 ~ H'000003B3			3	
		RM0	237	H'000003B4 ~ H'000003B7			4	
		RM1	238	H'000003B8 ~ H'000003BB			5	
SSI	SSI0		244	H'000003D0 ~ H'000003D3	0 ~ 15 (0)	IPR16 (15 ~ 12)	-	
	SSI1		245	H'000003D4 ~ H'000003D7	0 ~ 15 (0)	IPR16 (11 ~ 8)	-	
TMR	TMR0	CMIA0	246	H'000003D8 ~ H'000003DB	0 ~ 15 (0)	IPR16 (7 ~ 4)	1	
		CMIB0	247	H'000003DC ~ H'000003DF			2	
		OVI0	248	H'000003E0 ~ H'000003E3			3	
	TMR1	CMIA1	252	H'000003F0 ~ H'000003F3	0 ~ 15 (0)	IPR16 (3 ~ 0)	1	
		CMIB1	253	H'000003F4 ~ H'000003F7			2	
		OVI1	254	H'000003F8 ~ H'000003FB			3	
↓ 低								

6.6 動作説明

6.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.2 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ01、02、05 ~ 16 (IPR01、IPR02、IPR05 ~ IPR16) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込みまたは同一IPR設定内の割り込みが複数発生した場合は、表6.4に示すデフォルト優先順位とIPR設定単位内の優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) とが比較されます。I3 ~ I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図6.4参照)。
5. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、割り込み例外サービスルーチンの開始アドレスを取り出します。
6. ステータスレジスタ (SR) がスタックに退避され、SRのI3 ~ I0ビットに受け付けられた割り込みの優先レベルが書き込まれます。
7. プログラムカウンタ (PC) がスタックに退避されます。
8. 取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 6.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのためクリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

- * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ 割り込み要求レジスタ (IRQRR) のアクセスにより取り下げることができます。詳しくは「6.4.4 IRQ 割り込み」を参照してください。
また、エッジ検出により保留されている割り込みはパワーオンリセットとディープスタンバイモードでクリアされません。

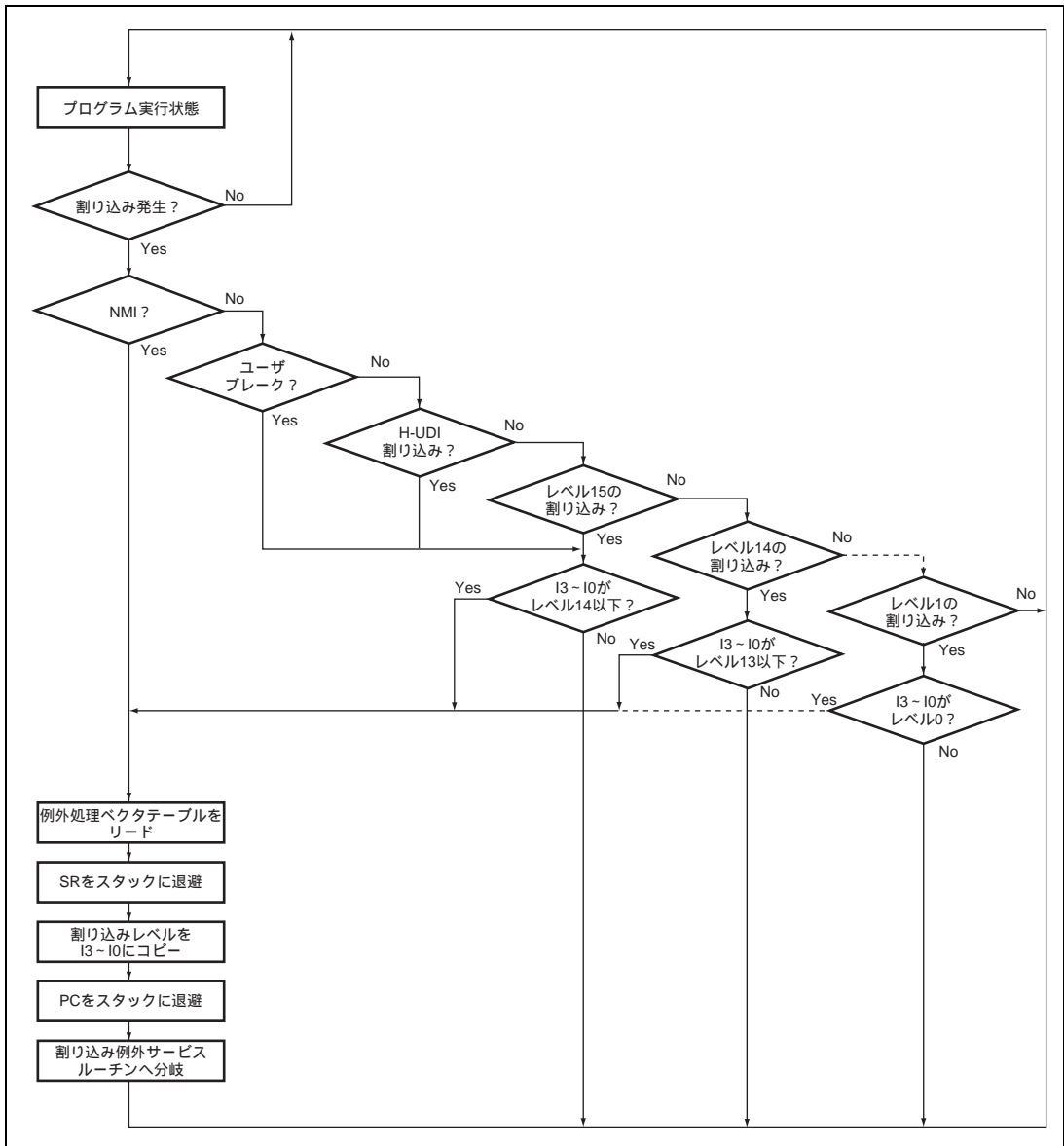


図 6.2 割り込み動作フロー

6.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.3 に示すようになります。

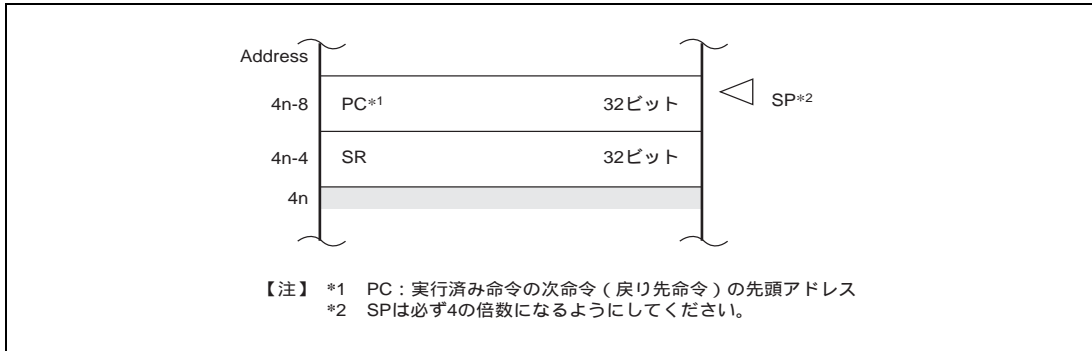


図 6.3 割り込み例外処理終了後のスタック状態

6.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、割り込み例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間 (割り込み応答時間) を表 6.5 に示します。割り込み処理は、バンキングなし、バンキングありかつレジスタバンクオーバーフローなし、バンキングありかつレジスタバンクオーバーフローありのときで動作が異なります。バンキングなしのときの、パイプライン動作例を図 6.4、図 6.5 に示します。バンキングありかつレジスタバンクオーバーフローなしのときの、パイプライン動作例を図 6.6、図 6.7 に示します。バンキングありかつレジスタバンクオーバーフローありのときの、パイプライン動作例を図 6.8、図 6.9 に示します。

表 6.5 割り込み応答時間

項 目			ステート数					備考	
			NMI	ユーザ ブレイク	H-UDI	IRQ、 PINT	周辺 モジュール		
割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間			2lcyc+ 2Bcyc+ 1Pcyc	3lcyc	2lcyc+ 1Pcyc	2lcyc+ 3Bcyc+ 1Pcyc	2lcyc+ 1Bcyc+ 1Pcyc		
CPU に割り込み要求信号が入力されてから、実行中のシーケンスを終了後、割り込み例外処理を開始し、割り込み例外サービスルーチンの先頭命令をフェッチするまでの時間	レジスタバンクなし。	最小値	3lcyc+m1+m2					最小値は、割り込み待ち時間 0 のとき。 最大値は、割り込み例外処理中に、さらに上位の割り込み要求が発生したとき。	
		最大値	4lcyc+2(m1+m2)+m3						
	レジスタバンクあり。 レジスタバンクオーバーフローなし。	最小値	-	3lcyc+m1+m2			最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。		
		最大値	-	12lcyc+m1+m2					
	レジスタバンクあり。 レジスタバンクオーバーフローあり。	最小値	-	3lcyc+m1+m2					最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。
		最大値	-	3lcyc+m1+m2+19(m4)					

項 目			ステート数					備考
			NMI	ユーザ ブ레이크	H-UDI	IRQ、 PINT	周辺 モジュール	
応答時間	レジスタバンク なし。	最小値	$5lcyc+2Bcyc+$ $1Pcyc+m1+$ $m2$	$6lcyc+m1+$ $m2$	$5lcyc+1Pcyc+$ $m1+m2$	$5lcyc+3Bcyc+$ $1Pcyc+m1+$ $m2$	$5lcyc+1Bcyc+$ $1Pcyc+m1+$ $m2$	120MHz 動作時 *1*2 : 0.067 ~ 0.142 μ s
		最大値	$6lcyc+2Bcyc+$ $1Pcyc+$ $2(m1+m2)+$ $m3$	$7lcyc+$ $2(m1+m2)+$ $m3$	$6lcyc+1Pcyc+$ $2(m1+m2)+$ $m3$	$6lcyc+3Bcyc+$ $1Pcyc+$ $2(m1+m2)+$ $m3$	$6lcyc+1Bcyc+$ $1Pcyc+$ $2(m1+m2)+$ $m3$	120MHz 動作時 *1*2 : 0.100 ~ 0.175 μ s
	レジスタバンク あり。 レジスタバンク オーバーフローなし。	最小値	-	-	$5lcyc+1Pcyc+$ $m1+m2$	$5lcyc+3Bcyc+$ $1Pcyc+m1+$ $m2$	$5lcyc+1Bcyc+$ $1Pcyc+m1+$ $m2$	120MHz 動作時 *1*2 : 0.092 ~ 0.142 μ s
		最大値	-	-	$14lcyc+1Pcyc$ $+m1+m2$	$14lcyc+3Bcyc+$ $1Pcyc+m1+m2$	$14lcyc+1Bcyc$ $+1Pcyc+m1+$ $m2$	120MHz 動作時 *1*2 : 0.167 ~ 0.217 μ s
	レジスタバンク あり。 レジスタバンク オーバーフローあり。	最小値	-	-	$5lcyc+1Pcyc+$ $m1+m2$	$5lcyc+3Bcyc+$ $1Pcyc+m1+$ $m2$	$5lcyc+1Bcyc+$ $1Pcyc+m1+$ $m2$	120MHz 動作時 *1*2 : 0.092 ~ 0.142 μ s
		最大値	-	-	$5lcyc+1Pcyc+$ $m1+m2+$ $19(m4)$	$5lcyc+3Bcyc+$ $1Pcyc+m1+$ $m2+19(m4)$	$5lcyc+1Bcyc+$ $1Pcyc+m1+$ $m2+19(m4)$	120MHz 動作時 *1*2 : 0.245 ~ 0.300 μ s

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : ベクタアドレスリード (ロングワードリード)

m2 : SR の退避 (ロングワードライト)

m3 : PC の退避 (ロングワードライト)

m4 : バンク対象レジスタ (R0 ~ R14, GBR, MACH, MACL, PR) のスタックからの復帰

*1 : $m1=m2=m3=m4=1lcyc$ の場合

*2 : (I、B、P) = (120MHz、60MHz、30MHz) の場合

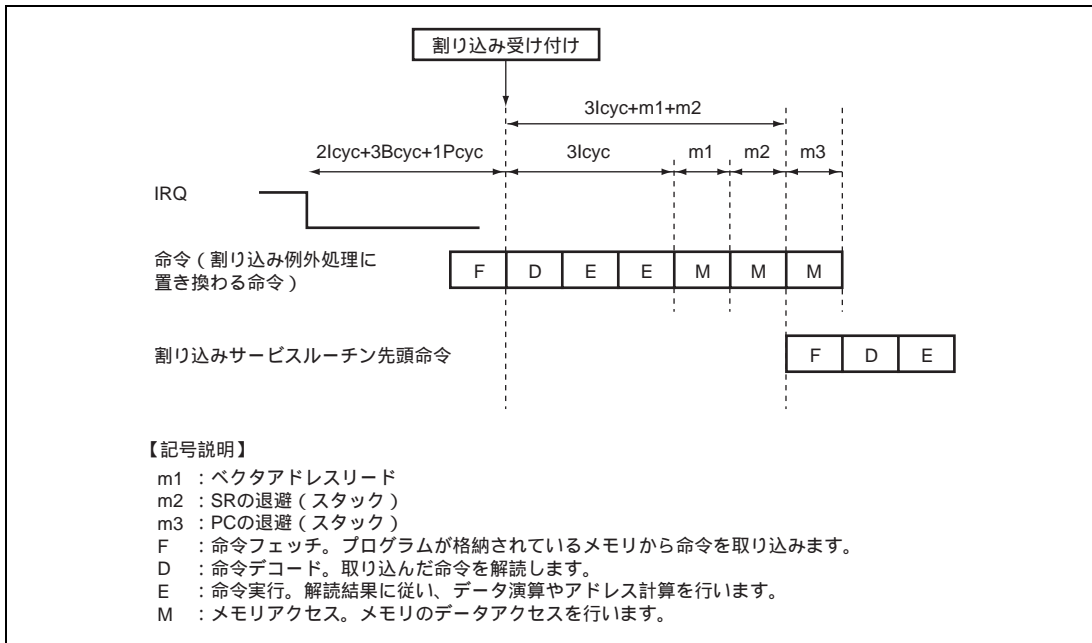


図 6.4 IRQ 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクなし)

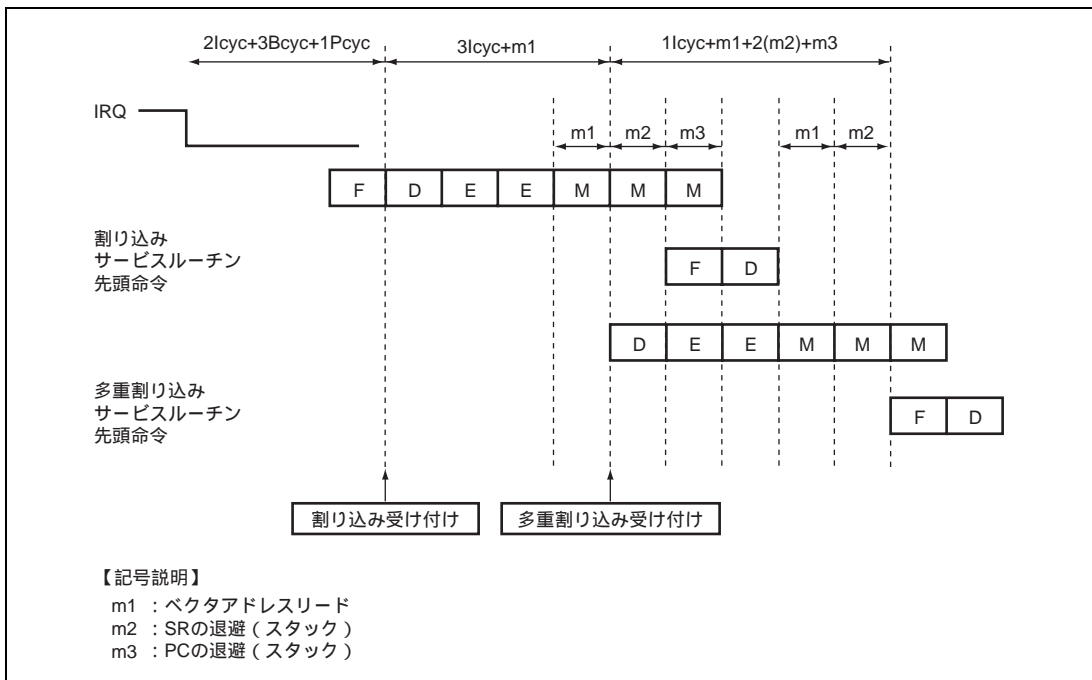


図 6.5 多重割り込み時のパイプライン動作例 (レジスタバンクなし)

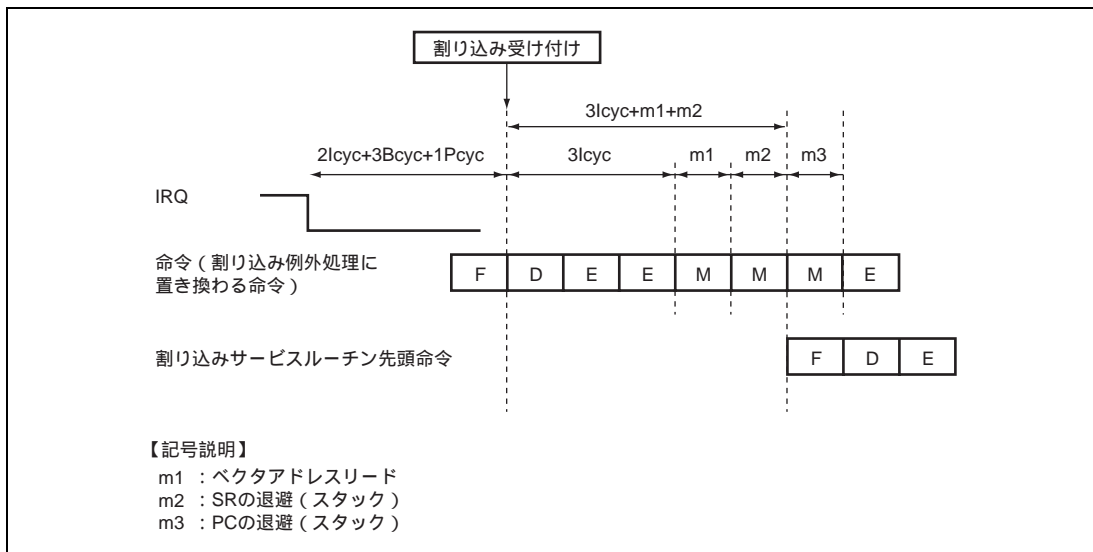


図 6.6 IRQ 割り込みを受け付けるときのパイプライン動作例
(レジスタバンクあり、レジスタバンクオーバーフローなし)

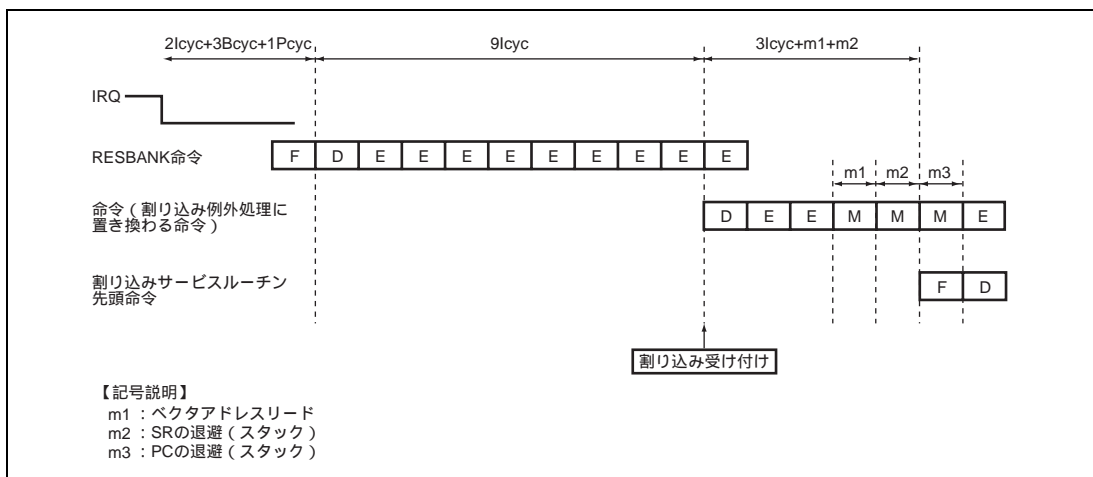


図 6.7 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
(レジスタバンクあり、レジスタバンクオーバーフローなし)

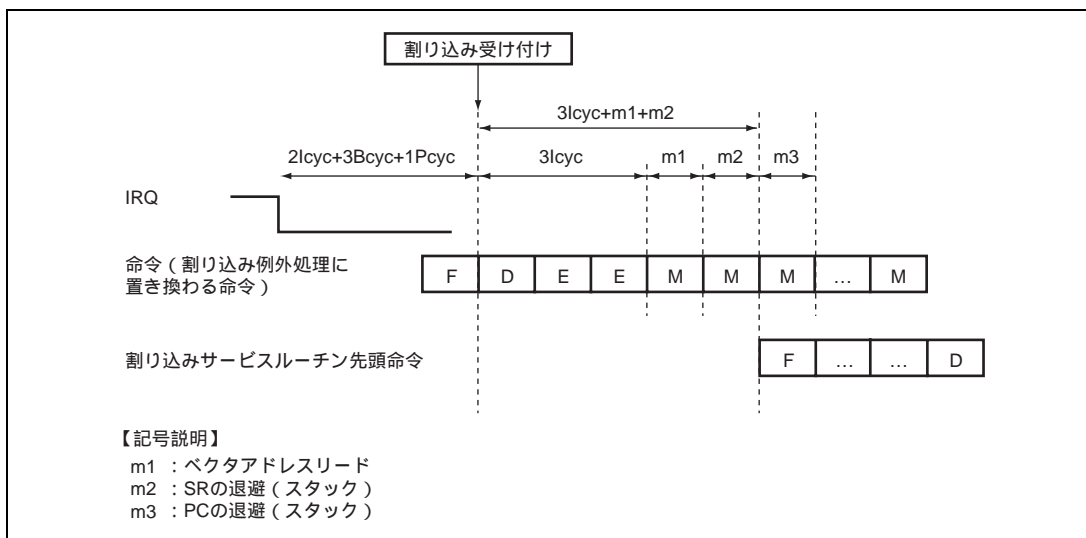


図 6.8 IRQ 割り込みを受け付けるときのパイプライン動作例
(レジスタバンクあり、レジスタバンクオーバーフローあり)

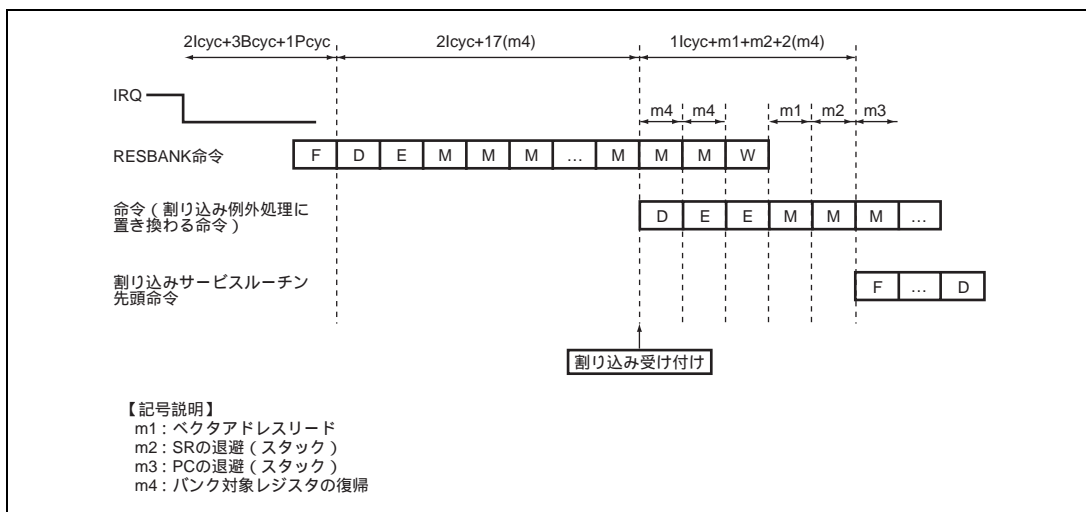


図 6.9 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
(レジスタバンクあり、レジスタバンクオーバーフローあり)

6.8 レジスタバンク

本 LSI は、割り込み処理に伴うレジスタの退避、復帰を高速に行うために 15 本のレジスタバンクを内蔵しています。レジスタバンクの構成を図 6.10 に示します。

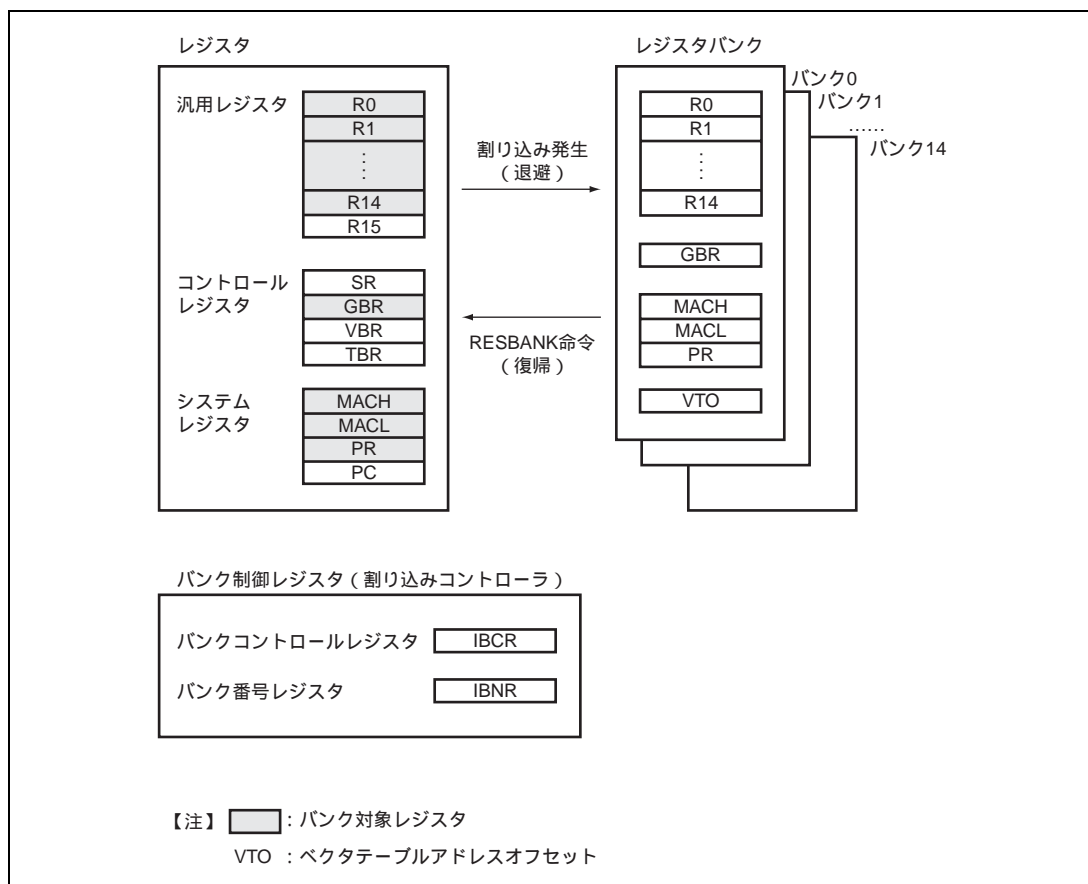


図 6.10 レジスタバンクの構成の概要

6.8.1 レジスタバンクとバンク制御レジスタ

(1) バンクの対象レジスタ

汎用レジスタ (R0~R14)、グローバルベースレジスタ (GBR)、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR) と、ベクタテーブルアドレスオフセット (VTO) をバンクの対象とします。

(2) バンクの入出力方式

レジスタバンクは、バンク 0 からバンク 14 までの 15 個のバンクを持ちます。レジスタバンクは先入れ後出し (FILO) 式のスタックになっており、退避はバンク 0 から順番に行い、復帰は最後に退避したバンクから行います。

6.8.2 バンク退避、復帰の動作

(1) バンクへの退避

図 6.11 にレジスタバンクへの退避の動作を示します。割り込みが発生し、CPU で受け付けられた割り込みのレジスタバンク使用が許可されている場合、次のように動作します。

- (a) 割り込み発生前のバンク番号レジスタ (IBNR) のバンク番号ビット (BN) の値を i とします。
- (b) BN の示すバンク i に、レジスタ R0 ~ R14、GBR、MACH、MACL、PR と、受け付けられた割り込みの VTO を退避します。
- (c) BN の値を +1 します。

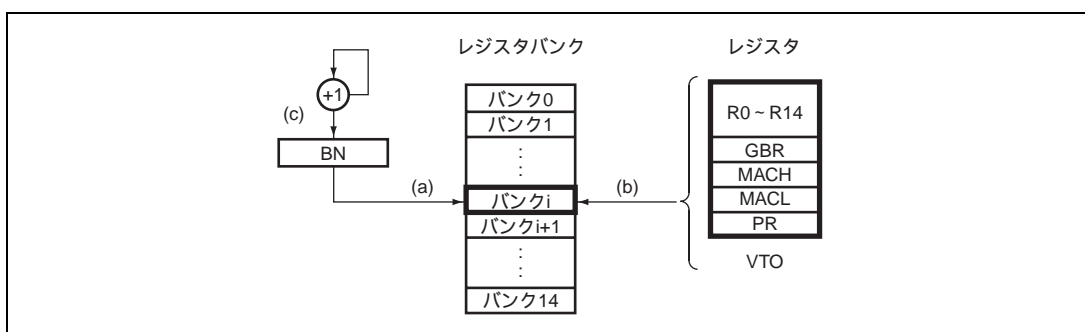


図 6.11 バンク退避の動作

図 6.12 にレジスタバンク退避のタイミングを示します。レジスタバンクへの退避は、割り込み例外処理開始から例外サービスルーチンの先頭命令のフェッチを開始するまでの間に行われます。

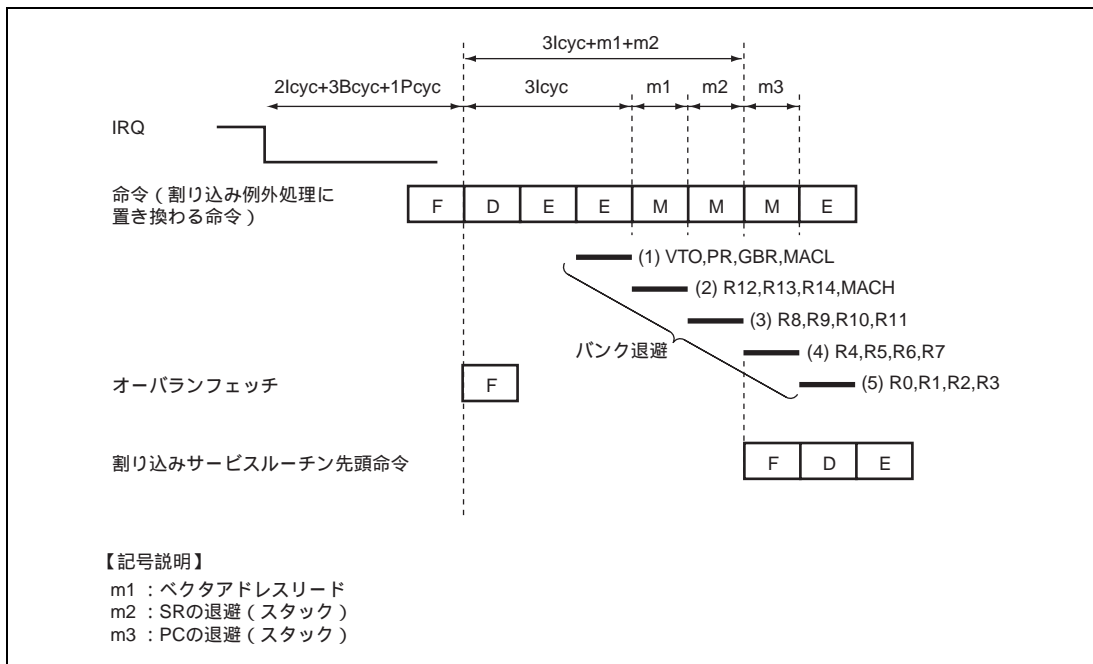


図 6.12 バンク退避のタイミング

(2) バンクからの復帰

バンクに退避したデータを復帰するには、バンク復帰命令 RESBANK を使います。割り込みサービスルーチンの最後に、RESBANK 命令でバンク復帰を行った後、RTE 命令で例外処理からの復帰を行ってください。

6.8.3 すべてのバンクに退避が行われた状態での退避、復帰

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 0 のとき、レジスタバンクの代わりに自動的にスタックに退避を行います。また、IBNR の BOVE ビットを 1 にセットしているときは、レジスタバンクオーバーフロー例外が発生し、スタックへの退避は行われません。

スタックへの退避、復帰の動作は次のようになります。

(1) スタックへの退避

1. 割り込み例外処理時に、ステータスレジスタ (SR)、プログラムカウンタ (PC) をスタックします。
2. バンク対象レジスタ (R0 ~ R14、GBR、MACH、MACL、PR) をスタックに退避します。スタックに退避するレジスタの順番は、MACL、MACH、GBR、PR、R14、R13、.....、R1、R0の順となります。
3. SRのレジスタバンクオーバーフロービット (BO) を1にセットします。
4. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

(2) スタックからの復帰

SR のレジスタバンクオーバーフロービット (BO) が 1 にセットされている状態で、バンク復帰命令 RESBANK を実行すると、次のように動作します。

1. バンク対象レジスタ (R0 ~ R14、GBR、MACH、MACL、PR) をスタックから復帰します。スタックから復帰するレジスタの順番は、R0、R1、.....、R13、R14、PR、GBR、MACH、MACLの順となります。
2. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

6.8.4 レジスタバンクの例外

レジスタバンクの例外 (レジスタバンクエラー) には、レジスタバンクオーバフローとレジスタバンクアンダフローの2種類があります。

(1) レジスタバンクオーバフロー

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 1 にセットされているときに発生します。このとき、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) はバンク数 15 のまま変化せず、レジスタバンクへの退避は行われません。

(2) レジスタバンクアンダフロー

レジスタバンクに退避がまったく行われていない状態で、レジスタバンク復帰命令を実行した場合に発生します。このとき R0 ~ R14、GBR、MACH、MACL、PR の値は変化しません。また、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は 0 のまま変化しません。

6.8.5 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。レジスタバンクオーバフロー時の退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。レジスタバンクアンダフロー時の退避する PC の値は、当該の RESBANK 命令の先頭アドレスです。また、レジスタバンクオーバフロー時は多重割り込みを防止するためにレジスタバンクオーバフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) に書き込みます。
4. 例外サービスルーチン開始アドレスからプログラムを実行します。

6.9 割り込み要求信号によるデータ転送

割り込み要求信号により DMAC を起動し、データ転送を行うことができます。

割り込み要因の中で、DMAC 起動要因に指定されているものは DREQER0～DREQER3 の DMA 転送許可ビットを 1 にセットすることにより、INTC に入力されずにマスクされます。

6.9.1 割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合

1. DREQER0～DREQER3のDMA転送要求許可ビットを0にクリアします。
2. 割り込みが発生すると、CPUに割り込みを要求します。
3. CPUは割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

6.9.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合

1. DMACで要因を選択*し、DREQER0～DREQER3のDMA転送要求許可ビットを1にセットします。割り込み優先レベルレジスタの設定によらずCPU割り込み要因はマスクされます。
2. 割り込みが発生すると、DMACに起動要因が与えられます。
3. DMACは、転送時に起動要因をクリアします。

【注】 * DMAC 要求要因の選択方法については「第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

6.10 使用上の注意事項

6.10.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 6.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

7. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件として、命令フェッチまたは CPU データの読み出し / 書き込み、データのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングをサポートします。本 LSI はハーバードアーキテクチャを採用しているため、CPU バス (C バス) 上での命令フェッチは命令フェッチバス (F バス) にバスサイクルを発行し、C バス上のデータアクセスはメモリアクセスバス (M バス) にバスサイクルを発行します。UBC はこれら C バスと内部バス (I バス) をモニタします。

7.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数 : 2チャンネル (チャンネル0と1)

ユーザブ레이크は、チャンネル0、1独立に設定することができます。

- アドレス

アドレス32ビットの比較はビットごとにマスク可能です。

3種類のアドレスバス (Fバスアドレス (FAB)、Mバスアドレス (MAB)、Iバスアドレス (IAB)) を選択できます。

- データ

データ32ビットの比較はビットごとにマスク可能です。

2種類のデータバス (Mバスデータ (MDB)、Iバスデータ (IDB)) の1つを選択可能です。

- バスサイクル

命令フェッチ (Cバス選択時のみ) またはデータアクセス

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、およびロングワードをサポート。

2. 命令フェッチサイクルにおいて、ユーザブ레이크割り込み例外処理の実行開始を命令の実行の前に設定するか、後に設定するかを指定可能。
3. ブ레이크条件成立をUBCTRГ端子に出力できます。

図 7.1 に UBC のブロック図を示します。

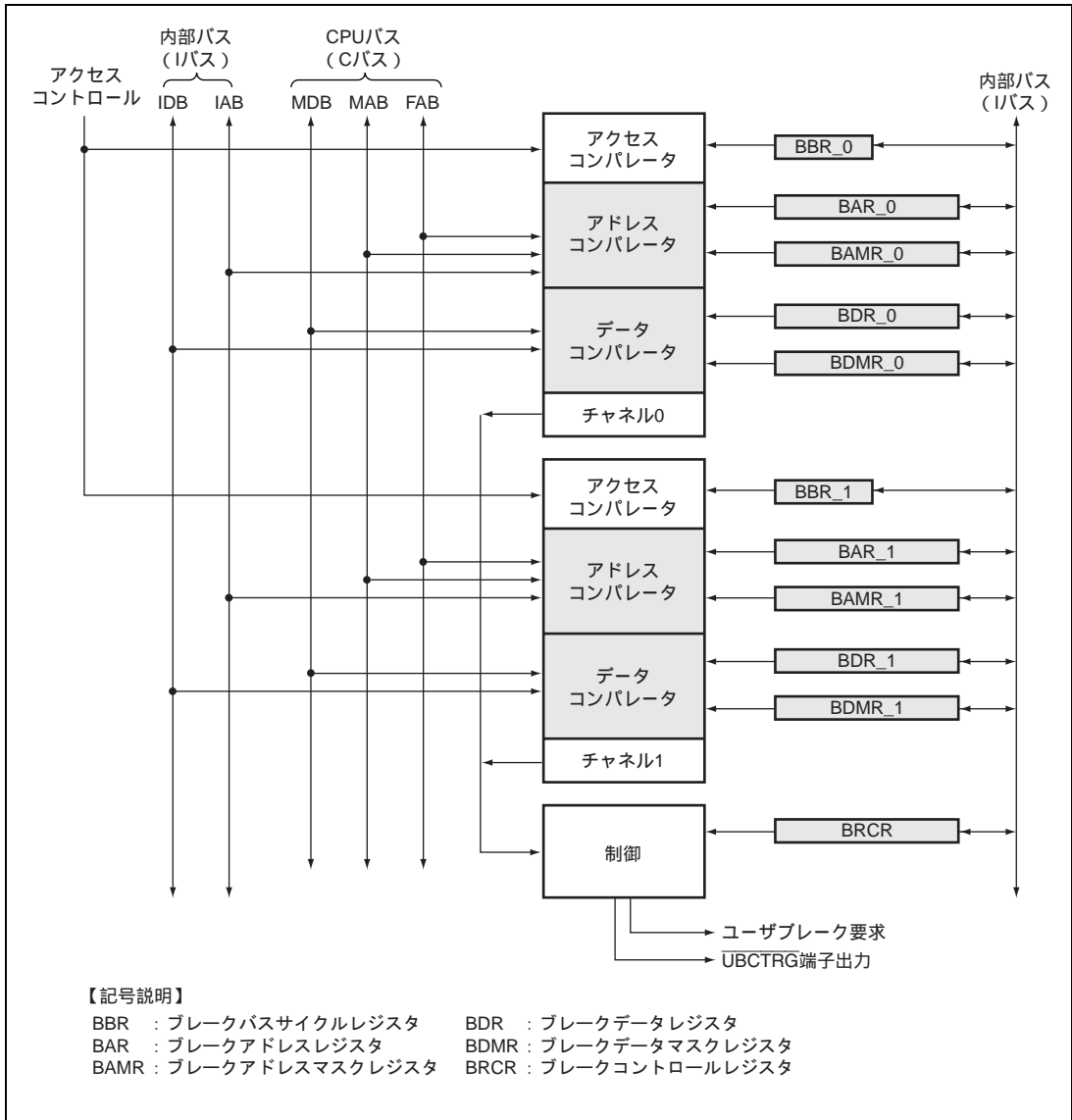


図 7.1 UBC のブロック図

7.2 入出力端子

UBC の端子構成を表 7.1 に示します。

表 7.1 UBC の端子構成

名称	端子名	入出力	機能
UBC トリガ	UBCTR \bar{G}	出力	UBC のチャンネル 0、1 のいずれかで設定条件が成立したことを示します

7.3 レジスタの説明

UBC には以下のレジスタがあります。

表 7.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	ブレークアドレスレジスタ_0	BAR_0	R/W	H'00000000	H'FFFC0400	32
	ブレークアドレスマスクレジスタ_0	BAMR_0	R/W	H'00000000	H'FFFC0404	32
	ブレークバスサイクルレジスタ_0	BBR_0	R/W	H'0000	H'FFFC04A0	16
	ブレークデータレジスタ_0	BDR_0	R/W	H'00000000	H'FFFC0408	32
	ブレークデータマスクレジスタ_0	BDMR_0	R/W	H'00000000	H'FFFC040C	32
1	ブレークアドレスレジスタ_1	BAR_1	R/W	H'00000000	H'FFFC0410	32
	ブレークアドレスマスクレジスタ_1	BAMR_1	R/W	H'00000000	H'FFFC0414	32
	ブレークバスサイクルレジスタ_1	BBR_1	R/W	H'0000	H'FFFC04B0	16
	ブレークデータレジスタ_1	BDR_1	R/W	H'00000000	H'FFFC0418	32
	ブレークデータマスクレジスタ_1	BDMR_1	R/W	H'00000000	H'FFFC041C	32
共通	ブレークコントロールレジスタ	BRCR	R/W	H'00000000	H'FFFC04C0	32

7.3.1 ブ레이크アドレスレジスタ (BAR)

BAR は、32 ビットの読み出し / 書き込み可能なレジスタです。BAR は、各チャンネルのブ레이크条件とするアドレスを指定します。ブ레이크条件の対象とするアドレスバスは 3 種類あり、ブ레이크バスサイクルレジスタ (BBR) の制御ビットの CD[1:0]により選択します。BAR はパワーオンリセットおよびディープスタンバイで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BA31~ BA0	すべて 0	R/W	ブ레이크アドレス ブ레이크条件を指定する CPU アドレスバス (FAB または MAB) または IAB のアドレスを格納します。 BBR により C バスかつ命令フェッチサイクルを選択した場合は、BA31 ~ BA0 に FAB のアドレスを指定します。 BBR により C バスかつデータアクセスサイクルを選択した場合は、BA31 ~ BA0 に MAB のアドレスを指定します。

【注】 ブ레이크条件として命令フェッチサイクルを設定する場合は、BAR の LSB を 0 にクリアしてください。

7.3.2 ブ레이크アドレスマスクレジスタ (BAMR)

BAMR は、32 ビットの読み出し / 書き込み可能なレジスタです。BAMR は、BAR で指定するブ레이크アドレスビットのうち、マスクするビットを指定します。BAMR はパワーオンリセットおよびディープスタンバイで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8	BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAM31~ BAM0	すべて 0	R/W	ブレイクアドレスマスク BAR (BA31~BA0) によって指定されるブレイクアドレスビットのうち、マスクするビットを指定します。 0: ブレイクアドレスビット BAn は、ブレイク条件に含まれる 1: ブレイクアドレスビット BAn はマスクされ、ブレイク条件に含まれない 【注】n=31~0

7.3.3 ブレイクデータレジスタ (BDR)

BDR は、32 ビットの読み出し / 書き込み可能なレジスタです。ブレイク条件の対象とするデータバスは 2 種類あり、ブレイクバスサイクルレジスタ (BBR) の制御ビット CD[1:0]により選択します。BDR はパワーオンリセットおよびディープスタンバイで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24	BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8	BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BD31~ BD0	すべて 0	R/W	ブレイクデータビット ブレイク条件を指定するデータを格納します。 BBR により I バスを選択した場合は、BD31~BD0 に IDB のブレイクデータを指定します。 BBR により C バスを選択した場合は、BD31~BD0 に MDB のブレイクデータを指定します。

- 【注】
- ブレイク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 - ブレイク条件としてバイトサイズを指定する場合は、BDR におけるブレイクデータとして、ビット 31~24、23~16、15~8、7~0 に同一のバイトデータを、またワードサイズを指定する場合はビット 31~16、15~0 に同一のワードデータをセットしてください。

7.3.4 ブ레이크データマスクレジスタ (BDMR)

BDMR は、32 ビットの読み出し / 書き込み可能なレジスタです。BDMR は、BDR で指定するブレークデータビットのうちマスクするビットを指定します。BDMR はパワーオンリセットおよびディープスタンバイで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24	BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8	BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BDM31~ BDM0	すべて 0	R/W	<p>ブレークデータマスク</p> <p>BDR (BD31~BD0) によって指定されるブレークデータビットのうちマスクするビットを指定します。</p> <p>0: ブレークデータビット BDn は、ブレーク条件に含まれる</p> <p>1: ブレークデータビット BDn はマスクされ、ブレーク条件に含まれない</p> <p>【注】n=31~0</p>

- 【注】
1. ブレーク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 2. ブレーク条件としてバイトサイズを指定する場合は、BDMR におけるブレークマスクデータとして、ビット 31~24、23~16、15~8、7~0 に同一のバイトデータを、またワードサイズを指定する場合はビット 31~16、15~0 に同一のワードデータをセットしてください。

7.3.5 ブレークバスサイクルレジスタ (BBR)

BBR は、ブレーク条件として (1) ユーザブレイク割り込みの禁止 / 許可、(2) データバスの値を含める / 含めない、(3) Iバスのバスマスタ、(4) CバスサイクルまたはIバスサイクル、(5) 命令フェッチまたはデータアクセス、(6) 読み出しましたは書き込み、および(7) オペランドサイズを指定する 16 ビットの読み出しましたは書き込み可能なレジスタです。BBR はパワーオンリセットおよびディープスタンバイで H'0000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID	DBE	CP[3:0]			CD[1:0]		ID[1:0]		RW[1:0]		SZ[1:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	UBID	0	R/W	ユーザブレイク割り込みディスエーブル 条件一致時にユーザブレイク割り込み要求の禁止 / 許可を指定します。 0: ユーザブレイク割り込み要求を許可する 1: ユーザブレイク割り込み要求を禁止する
12	DBE	0	R/W	データブレイクイネーブル データバス条件がブレーク条件に含まれるかどうかを選択します。 0: データバス条件がブレーク条件に含まれない 1: データバス条件がブレーク条件に含まれる
11~8	CP[3:0]	0000	R/W	Iバスのバスセレクト ブレーク条件のバスサイクルがIバスサイクルの場合のバスマスタを選択します。ただし、バスサイクルがCバスサイクルの場合、本ビットは無効 (CPU サイクルのみ) となります。 xxx1: ブレーク条件は、CPU サイクルを含みます xx1x: リザーブです。設定しないでください x1xx: リザーブです。設定しないでください 1xxx: リザーブです。設定しないでください
7, 6	CD[1:0]	00	R/W	Cバスサイクル/Iバスサイクルセレクト ブレーク条件のバスサイクルとしてCバスサイクルまたはIバスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、Cバス (Fバス、Mバス) サイクル 10: ブレーク条件は、Iバスサイクル 11: ブレーク条件は、Cバス (Fバス、Mバス) サイクル

ビット	ビット名	初期値	R/W	説 明
5、4	ID[1:0]	00	R/W	<p>命令フェッチ / データアクセスセレクト</p> <p>ブ레이크条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は C バスサイクルを選択してください。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブ레이크条件は、命令フェッチサイクル</p> <p>10 : ブ레이크条件は、データアクセスサイクル</p> <p>11 : ブ레이크条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW[1:0]	00	R/W	<p>読み出し / 書き込みセレクト</p> <p>ブ레이크条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブ레이크条件は、読み出しサイクル</p> <p>10 : ブ레이크条件は、書き込みサイクル</p> <p>11 : ブ레이크条件は、読み出しサイクルまたは書き込みサイクル</p>
1、0	SZ[1:0]	00	R/W	<p>オペランドサイズセレクト</p> <p>ブ레이크条件のバスサイクルのオペランドサイズを選択します。</p> <p>00 : ブ레이크条件には、オペランドサイズを含まない</p> <p>01 : ブ레이크条件は、バイトアクセス</p> <p>10 : ブ레이크条件は、ワードアクセス</p> <p>11 : ブ레이크条件は、ロングワードアクセス</p>

【記号説明】 x : Don't care

7.3.6 ブレイクコントロールレジスタ (BRCR)

BRCR は、次の条件を設定します。

1. 命令フェッチサイクルによるユーザブレイク割り込み例外処理の実行開始を命令実行の前に設定するか後に設定するかを指定します。
2. ブレイク条件一致時の \overline{UBCTRG} 出力のパルス幅を設定します。

BRCR は、ブレイク条件一致フラグとその他のブレイク条件をセットするためのビットを持つ 32 ビットの読み出し / 書き込み可能なレジスタです。ビット 15 ~ 12 の条件一致フラグのみ、1 書き込みは無効 (前値保持) で 0 書き込みのみ可能なビットですので、クリアする場合はクリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。BRCR はパワーオンリセットおよびディープスタンバイで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCMFC ₀	SCMFC ₁	SCMFD ₀	SCMFD ₁	-	-	-	-	-	PCB1	PCB0	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	CKS[1:0]	00	R/W	クロックセレクト 条件一致時、 \overline{UBCTRG} に出力するパルス幅を指定します。 00: \overline{UBCTRG} のパルス幅をバスクロック 1 周期分にする 01: \overline{UBCTRG} のパルス幅をバスクロック 2 周期分にする 10: \overline{UBCTRG} のパルス幅をバスクロック 4 周期分にする 11: \overline{UBCTRG} のパルス幅をバスクロック 8 周期分にする
15	SCMFC0	0	R/W	C バスサイクル条件一致フラグ 0 チャンネル 0 にセットしたブレイク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル 0 に対する C バスサイクル条件不一致 1: チャンネル 0 に対する C バスサイクル条件一致

ビット	ビット名	初期値	R/W	説明
14	SCMFC1	0	R/W	C バスサイクル条件一致フラグ 1 チャンネル 1 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 に対する C バスサイクル条件不一致 1 : チャンネル 1 に対する C バスサイクル条件一致
13	SCMFD0	0	R/W	I バスサイクル条件一致フラグ 0 チャンネル 0 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 に対する I バスサイクル条件不一致 1 : チャンネル 0 に対する I バスサイクル条件一致
12	SCMFD1	0	R/W	I バスサイクル条件一致フラグ 1 チャンネル 1 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 に対する I バスサイクル条件不一致 1 : チャンネル 1 に対する I バスサイクル条件一致
11~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PCB1	0	R/W	PC ブレークセレクト 1 チャンネル 1 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル 1 の PC ブレークを命令実行前に設定 1 : チャンネル 1 の PC ブレークを命令実行後に設定
5	PCB0	0	R/W	PC ブレークセレクト 0 チャンネル 0 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル 0 の PC ブレークを命令実行前に設定 1 : チャンネル 0 の PC ブレークを命令実行後に設定
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.4 動作説明

7.4.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. ブレイクアドレスを、ブレイクアドレスレジスタ (BAR) に指定します。マスクするアドレスを、ブレイクアドレスマスクレジスタ (BAMR) に指定します。ブレイクデータを、ブレイクデータレジスタ (BDR) に指定します。マスクするデータを、ブレイクデータマスクレジスタ (BDMR) に指定します。バスブレイク条件を、ブレイクバスサイクルレジスタ (BBR) に指定します。BBRの3つの制御ビットペア、すなわちCバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレイクは発生しません。ブレイク制御は、BRCRのビットにセットします。すべてのブレイク関連レジスタの設定後にBBRの設定を行い、最後に書き込んだレジスタを読み出してから分岐を発生させてください。分岐先の命令から新しく書き込んだレジスタ値が有効となります。
2. ブレイク条件を満足し、ユーザブレイク割り込み要求を許可する設定の場合は、UBCはユーザブレイク要求をINTCに通知するとともに、それぞれのチャンネルに対するCバス条件一致フラグ (SCMFC)、Iバス条件一致フラグ (SCMFD) をセットし、 \overline{UBCTRG} 端子にCKS1、CKS0ビットで設定されたパルス幅で出力します。また、BBRのUBIDビットを1にセットすることにより、ユーザブレイク割り込みを要求せず外部でトリガ出力をモニタすることも可能です。
3. ユーザブレイク割り込み要求信号を受け取ると、INTCは優先順位判定を行います。ユーザブレイク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) がレベル14以下のとき、受け付けられます。I3~I0ビットがレベル15のとき、ユーザブレイク割り込みは受け付けられませんが、条件判定は行われ、一致した場合は条件一致フラグがセットされます。優先順位判定については、「第6章 割り込みコントローラ (INTC)」を参照してください。
4. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFC、SCMFD) を使用することができます。ユーザブレイク割り込み例外処理ルーチン中に条件一致フラグビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。
5. チャンネル0およびチャンネル1で設定したブレイクがほぼ同時に発生する場合があります。INTCに対するブレイク割り込み要求は1つだけであっても、これらの2つのブレイクチャンネル一致フラグは2つともセットされる場合があります。
6. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
 - CPUがCバス上で発行したアクセスがIバス上に発行されるかどうかは、キャッシュの設定により異なります。キャッシュ条件によるIバスの動作については、「第8章 キャッシュ」の表8.8を参照してください。
 - Iバスにブレイク条件を設定している場合は、データアクセスサイクルのみ監視し、命令フェッチサイクル(キャッシュ更新サイクルを含む)は監視しません。
 - Iバスにブレイク条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でブレイクを受け付けるかを一意に決定することはできません。

7.4.2 命令フェッチサイクルでのブレイク

1. ブレイクバスサイクルレジスタ (BBR) にCバス / 命令フェッチ / 読み出し / ワードまたはロングワードが設定されると、ブレイク条件はFABバスの命令フェッチになります。ユーザブレイク割り込み例外処理の実行開始を命令実行の前にブレイクするか後にブレイクするかは、該当するチャンネルに対するブレイクコントロールレジスタ (BRCR) のPCB0またはPCB1ビットで選択できます。ブレイク条件として命令フェッチサイクルを設定する場合は、ブレイクアドレスレジスタ (BAR) のLSBを0にクリアしてください。このビットが1にセットされているとブレイクは発生しません。
2. 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、オーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令ではブレイクは発生しません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令実行前までユーザブレイク割り込み要求は受け付けられません。

【注】 遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合は、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、オーバランフェッチ命令ではブレイクは発生しません。遅延分岐命令およびその遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令までユーザブレイク割り込み要求は受け付けられません。
4. 命令フェッチサイクルが設定されるとブレイクデータレジスタ (BDR) は、無視されます。したがって、命令フェッチサイクルのブレイクには、ブレイクデータを設定することはできません。
5. 命令フェッチサイクルでのブレイクにおいてIバスを設定した場合は無効となります。

7.4.3 データアクセスサイクルでのブレイク

1. データアクセスブレイクにおいて、ブレイク条件としてCバスを指定した場合は、実行された命令によりアクセスされたアドレス(およびデータ)に対して条件比較を行いブレイクを発生します。ブレイク条件としてIバスを指定した場合は、Iバスセレクトで指定したバス上のデータアクセスサイクルのアドレス(およびデータ)に対して条件比較を行いブレイクを発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「7.4.1 ユーザブレイク動作の流れ」の6.の項を参照してください。
2. 表7.3にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 7.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレイクアドレスレジスタのビット 31~2 とアドレスバスのビット 31~2 を比較
ワード	ブレイクアドレスレジスタのビット 31~1 とアドレスバスのビット 31~1 を比較
バイト	ブレイクアドレスレジスタのビット 31~0 とアドレスバスのビット 31~0 を比較

これは、たとえばブレイクアドレスレジスタ (BAR) にアドレスH'00001003を設定するとき、ブレイク条件を満足するバスサイクルには、(他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

3. ブレイク条件にデータ値が含まれる場合
ブレイク条件にデータ値が含まれる場合は、ブレイクバスサイクルレジスタ (BBR) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレイク条件に含まれる場合は、アドレス条件とデータ条件が一致するときブレイクが発生します。この場合、バイトデータを指定するためには、ブレイクデータレジスタ (BDR) とブレイクデータマスクレジスタ (BDMR) のビット31~24、ビット23~16、ビット15~8、ビット7~0の4バイトに同じデータを指定します。ワードデータを指定するためには、ビット31~16、ビット15~0の2ワードに同じデータを指定します。
4. PREF命令は、アクセスデータのないロングワードの読み出しアクセスとして扱います。したがって、PREF命令のブレイク条件にデータ値が含まれる場合は、ブレイクは発生しません。
5. データアクセスサイクルを選択している場合は、ブレイクの発生する命令を特定することはできません。

7.4.4 回避されるプログラムカウンタの値

ユーザブレイク割り込み受け付け時は、実行を再開すべき命令のアドレスをスタックに回避し、例外処理状態に移行します。ブレイク条件としてCバス(FAB)/命令フェッチを指定している場合は、ブレイクの発生する命令を一意に決定することができます。ブレイク条件としてCバス/データアクセスサイクル、またはIバス/データアクセスサイクルを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

1. Cバス(FAB)/命令フェッチを(命令実行前)ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令のアドレスが回避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに回避されます。

2. Cバス(FAB)/命令フェッチを(命令実行後)ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の次の命令のアドレスが回避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに回避されます。

3. Cバス/データアクセスサイクルまたはIバス/データアクセスサイクルをブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の数命令分の命令実行後のアドレスが回避されます。

7.4.5 使用例

(1) Cバス命令フェッチサイクルに指定したブレイク条件

(例 1-1)

• レジスタ指定

BAR_0 = H'00000404、BAMR_0 = H'00000000、BBR_0 = H'0054、BAR_1 = H'00008010、BAMR_1 = H'00000006、
BBR_1 = H'0054、BDR_1 = H'00000000、BDMR_1 = H'00000000、BRCCR = H'00000020

<チャンネル0>

アドレス: H'00000404、アドレスマスク: H'00000000

バスサイクル: Cバス/命令フェッチ(命令実行後)/読み出し(オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス: H'00008010、アドレスマスク: H'00000006

データ: H'00000000、データマスク: H'00000000

バスサイクル: Cバス/命令フェッチ(命令実行前)/読み出し(オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00000404の命令実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に発生します。

(例 1-2)

- レジスタ指定

BAR_0 = H'00027128、BAMR_0 = H'00000000、BBR_0 = H'005A、BAR_1 = H'00031415、BAMR_1 = H'00000000、
BBR_1 = H'0054、BDR_1 = H'00000000、BDMR_1 = H'00000000、BRCR = H'00000000

<チャンネル0>

アドレス : H'00027128、アドレスマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル1>

アドレス : H'00031415、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネル0では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル1では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(例 1-3)

- レジスタ指定

BAR_0 = H'00008404、BAMR_0 = H'00000FFF、BBR_0 = H'0054、BAR_1 = H'00008010、BAMR_1 = H'00000006、
BBR_1 = H'0054、BDR_1 = H'00000000、BDMR_1 = H'00000000、BRCR = H'00000020

<チャンネル0>

アドレス : H'00008404、アドレスマスク : H'00000FFF

バスサイクル : Cバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00008010、アドレスマスク : H'00000006

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00008000 ~ H'00008FFEの命令の実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に生じます。

(2) Cバスデータアクセスサイクルに指定したブレイク条件

(例 2-1)

• レジスタ指定

BAR_0 = H'00123456、BAMR_0 = H'00000000、BBR_0 = H'0064、BAR_1 = H'000ABCDE、
BAMR_1 = H'000000FF、BBR_1 = H'106A、BDR_1 = H'A512A512、BDMR_1 = H'00000000、BRCR = H'00000000

<チャンネル0>

アドレス : H'00123456、アドレスマスク : H'00000000

バスサイクル : Cバス / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'000ABCDE、アドレスマスク : H'000000FF

データ : H'0000A512、データマスク : H'00000000

バスサイクル : Cバス / データアクセス / 書き込み / ワード

チャンネル0では、ユーザブレイクはアドレスH'00123454に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクはH'000ABC00 ~ H'000ABCFEにワードH'A512を書き込むときに生じます。

(3) Iバスデータアクセスサイクルに指定されたブレイク条件

(例 3-1)

• レジスタ指定 :

BAR_0 = H'00314156、BAMR_0 = H'00000000、BBR_0 = H'0094、BAR_1 = H'00055555、BAMR_1 = H'00000000、
BBR_1 = H'11A9、BDR_1 = H'78787878、BDMR_1 = H'0F0F0F0F、BRCR = H'00000000

<チャンネル0>

アドレス : H'00314156、アドレスマスク : H'00000000

バスサイクル : Iバス / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00055555、アドレスマスク : H'00000000

データ : H'00000078、データマスク : H'0000000F

バスサイクル : Iバス / データアクセス / 書き込み / バイト

チャンネル0では、Iバス上の命令フェッチの設定であり無効となります。チャンネル1では、ユーザブレイクはIバス上でCPUがバイトH'7xをアドレスH'00055555に書き込むときに生じます。

7.5 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、バス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出ししてください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはCバスサイクルとIバスサイクルを同じチャンネルで監視することはできません。
3. ユーザブレイク割り込み要求と他の例外が同一命令で発生した場合は、「第5章 例外処理」の表5.1に定められた優先順位で判定が行われます。より高い優先度の例外が発生した場合は、ユーザブレイク割り込み要求は受け付けられません。
4. 遅延スロットでブレイクが発生する場合は、次の注意事項があります。
遅延スロット命令に対して命令実行前ブレイクを設定した場合は、その分岐先の実行前までユーザブレイク割り込み要求は受け付けられません。
5. UBCモジュールスタンバイ時は、ユーザブレイク機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
6. 割り込み優先レベルが15以上（ユーザブレイク割り込みを含む）である割り込み例外処理のルーチンが置かれるアドレスをブレイクアドレスとして設定しないでください。
7. SLEEP命令および遅延スロットがSLEEP命令となる分岐命令には命令実行後ブレイクを設定しないでください。
8. 32ビット命令にブレイクアドレスを設定する場合、前の16ビット側になるように設定してください。後ろ16ビット側にブレイクアドレスを設定した場合、ブレイク条件として命令実行前に設定したとしても命令実行後扱いとなります。
9. DIVU、DIVS命令に命令実行後ブレイクを設定しないでください。DIVU、DIVS命令に対して命令実行後ブレイクを設定した場合、実行中に例外または割り込みが発生し、DIVU、DIVS実行が中断されても命令実行後ブレイクが発生します。
10. DIVU、DIVS命令の次命令に命令実行前ブレイクを設定しないでください。DIVU、DIVS命令の次命令に対して命令実行前ブレイクを設定した場合、DIVU、DIVS命令実行中に例外、割り込みが発生し、DIVU、DIVS命令の実行が中断されても、次命令の命令実行前ブレイクが発生します。
11. 同一アドレスに命令実行前ブレイクと命令実行後ブレイクを同時に設定しないでください。例えば、同一アドレスに対して、同時にチャンネル0命令実行前 / チャンネル1命令実行後ブレイクを設定した場合、チャンネル0で命令実行前にブレイクが発生してもチャンネル1の命令実行後の条件一致フラグが成立します。

8. キャッシュ

8.1 特長

- 容量
 - 命令キャッシュ：8Kバイト
 - オペランドキャッシュ：8Kバイト
- 構成：命令/データ分離、4ウェイセットアソシアティブ
- ロック機能（オペランドキャッシュのみ）：ウェイ2、ウェイ3はロック可能
- ラインサイズ：16バイト
- エントリ数：128エントリ
- ライト方式：ライトバック方式とライトスルー方式より選択可能
- 置換方式：LRU置換アルゴリズム

8.1.1 キャッシュの構成

キャッシュは、命令/データ分離型の4ウェイセットアソシアティブ方式です。4つのウェイ（バンク）で構成され、おのおののウェイはアドレス、データに分かれています。

アドレスとデータはおのおの128のエントリで構成されます。エントリのデータをラインと呼びます。1ラインは16バイト（4バイト×4）です。1ウェイあたりのデータ容量は、2Kバイト（16バイト×128エントリ）で、キャッシュ全体（4ウェイ）では8Kバイトの容量となります。

オペランドキャッシュの構成を図 8.1 に示します。命令キャッシュの構成は、U ビットがないことを除いてオペランドキャッシュの構成と同じです。

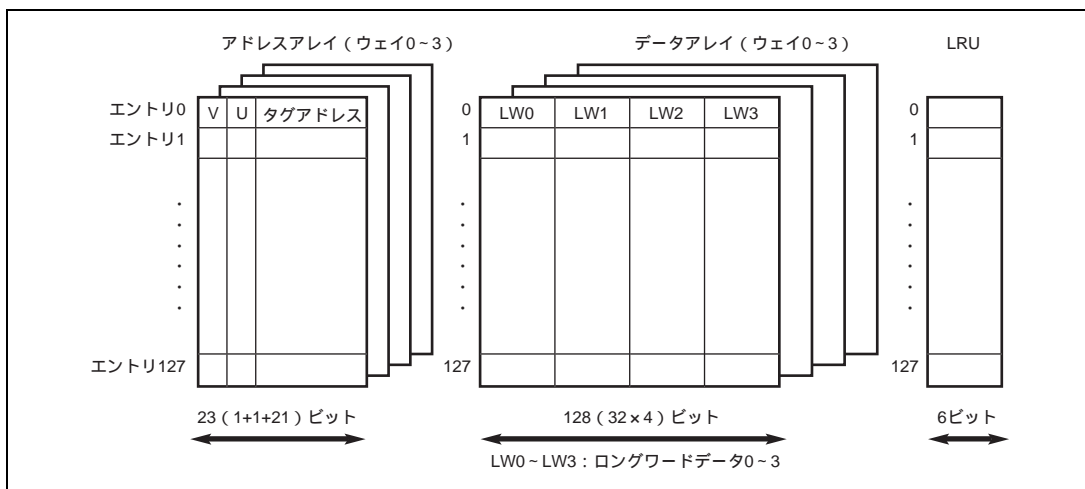


図 8.1 オペランドキャッシュの構成

(1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

U ビット (オペランドキャッシュのみ) は、ライトバックモードで、そのエントリに書き込みがあったことを示します。U ビットが 1 で書き込みあり、0 で書き込みなしを示します。

タグアドレスは、外部メモリのアクセスに使用されるアドレスを保持します。キャッシュ検索時の比較に使用される 21 ビット (アドレス 31 ~ 11) からなります。本 LSI では、キャッシュ有効空間のアドレスが H'00000000 ~ H'1FFFFFFF であるため (「第 9 章 バスステートコントローラ (BSC)」参照)、タグアドレスの上位 3 ビットに 0 が入ります。

V、U ビットは、パワーオンリセットおよびディープスタンバイで 0 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。タグアドレスは、パワーオンリセット、マニュアルリセット、およびソフトウェアスタンバイモード時には初期化されませんが、ディープスタンバイ後は不定値になります。

(2) データアレイ

16 バイトの命令あるいはデータを保持します。キャッシュへのエントリの登録の単位は、ライン単位 (16 バイト単位) で行います。

データアレイは、パワーオンリセット、マニュアルリセット、およびソフトウェアスタンバイモード時には初期化されませんが、ディープスタンバイ後は不定値になります。

(3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレスが同じ命令、データを4つまでキャッシュに登録できます。エントリアドレスを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6ビットのLRUビットによって指定されます。キャッシュロック機能(オペランドキャッシュのみ)を使用しない場合のLRUビットとリプレースされるウェイの関係を表8.1に示します(キャッシュロック機能を使用する場合には「8.2.2 キャッシュ制御レジスタ2(CCR2)」を参照してください)。表8.1に示した以外のLRUビットをソフトウェアで指定した場合、キャッシュは正しく動作しません。LRUビットをソフトウェアで変更するときは、表8.1に示すパターンを設定してください。

LRUビットは、パワーオンリセットおよびディープスタンバイでB'000000に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。

表 8.1 LRU ビットと置き換えられるウェイ (キャッシュロック機能を使用しない場合)

LRU (ビット5~0)	置き換えられるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

8.2 レジスタの説明

キャッシュには以下のレジスタがあります。

表 8.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
キャッシュ制御レジスタ 1	CCR1	R/W	H'00000000	H'FFFC1000	32
キャッシュ制御レジスタ 2	CCR2	R/W	H'00000000	H'FFFC1004	32

8.2.1 キャッシュ制御レジスタ 1 (CCR1)

命令キャッシュは ICE ビットでイネーブルまたはディスエーブルを指定します。ICF ビットは命令キャッシュの全エントリの無効化を制御します。OCE ビットでオペランドキャッシュのイネーブルまたはディスエーブルを指定します。OCF ビットはオペランドキャッシュの全エントリの無効化を制御します。WT ビットではオペランドキャッシュのライトスルーモード、ライトバックモードを切り替えます。

CCR1 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置し、CCR1 の内容を読み出した後にキャッシングするアドレス空間をアクセスしてください。

CCR1 は、パワーオンリセットおよびディープスタンバイで H'00000000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICF	-	-	ICE	-	-	-	-	OCF	-	WT	OCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	ICF	0	R/W	命令キャッシュフラッシュ 1 を書き込むと、命令キャッシュの全エントリの V、LRU ビットを 0 にクリア (フラッシュ) します。読み出すと 0 が読み出されます。フラッシュの際、外部メモリへの書き戻しは行いません。
10, 9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
8	ICE	0	R/W	命令キャッシュ有効 命令キャッシュ機能のイネーブル/ディスエーブルを指定します。 0: 命令キャッシュディスエーブル 1: 命令キャッシュイネーブル
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	OCF	0	R/W	オペランドキャッシュフラッシュ 1を書き込むと、オペランドキャッシュの全エントリのV、U、LRU ビットを0にクリア(フラッシュ)します。読み出すと0が読み出されます。フラッシュの際、外部メモリへの書き戻しは行いません。
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	WT	0	R/W	ライトスルー ライトバック/ライトスルー切り替え 0: ライトバックモード 1: ライトスルーモード
0	OCE	0	R/W	オペランドキャッシュ有効 オペランドキャッシュ機能のイネーブル/ディスエーブルを指定します。 0: オペランドキャッシュディスエーブル 1: オペランドキャッシュイネーブル

8.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 は、オペランドキャッシュのキャッシュロック機能を制御するレジスタです。キャッシュロック機能はキャッシュロックモード時のみ有効です。キャッシュロックモードとは、CCR2 のロックイネーブルビット (LE ビット) = 1 の状態です。非キャッシュロックモードでは、キャッシュロック機能は無効です。

キャッシュロックモード時にプリフェッチ命令 (PREF @Rn) を実行し、キャッシュミスした場合、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は表 8.3 に示すとおりです。一方プリフェッチ命令を実行し、キャッシュヒットした場合、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。たとえば Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態で、キャッシュロックモード、W3LOAD=1 かつ W3LOCK=1 と設定し、プリフェッチ命令を実行した場合、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

キャッシュロックモード時のプリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は表 8.4 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置し、CCR2 の内容を読み出した後にキャッシングするアドレス空間をアクセスしてください。

CCR2 は、パワーオンリセットおよびディープスタンバイで H'00000000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	W3 LOAD*	W3 LOCK	-	-	-	-	-	-	-	W2 LOAD*	W2 LOCK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W

【注】* W3LOADとW2LOADを同時に1にセットしないでください。

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	LE	0	R/W	ロックイネーブル キャッシュロックモードかどうかを制御します。 0:非キャッシュロックモード 1:キャッシュロックモード
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 8	W3LOAD* W3LOCK	0 0	R/W R/W	ウェイ3ロード ウェイ3ロック W3LOCK=1、W3LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ3に読み込まれます。その他のすべての条件では、キャッシュミスしたデータはLRUの示すウェイに読み込まれます。
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	W2LOAD* W2LOCK	0 0	R/W R/W	ウェイ2ロード ウェイ2ロック W2LOCK=1、W2LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ2に読み込まれます。その他のすべての条件では、キャッシュミスしたデータはLRUの示すウェイに読み込まれます。

【注】 * W3LOADとW2LOADを同時に1にセットしないでください。

表 8.3 PREF 命令がキャッシュミスした場合に置き換えられるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置き換えられるウェイ
0	x	x	x	x	LRUに従う(表 8.1)
1	x	0	x	0	LRUに従う(表 8.1)
1	x	0	0	1	LRUに従う(表 8.5)
1	0	1	x	0	LRUに従う(表 8.6)
1	0	1	0	1	LRUに従う(表 8.7)
1	0	x	1	1	ウェイ2
1	1	1	0	x	ウェイ3

【記号説明】 x: Don't care

【注】 * W3LOAD=1かつW2LOAD=1には設定しないでください。

表 8.4 PREF 命令以外がキャッシュミスした場合に置換されるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置き換えられるウェイ
0	x	x	x	x	LRU に従う (表 8.1)
1	x	0	x	0	LRU に従う (表 8.1)
1	x	0	x	1	LRU に従う (表 8.5)
1	x	1	x	0	LRU に従う (表 8.6)
1	x	1	x	1	LRU に従う (表 8.7)

【記号説明】 x : Don't care

【注】 * W3LOAD = 1 かつ W2LOAD = 1 には設定しないでください。

表 8.5 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 0 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000100, 010100, 100000, 100001, 110000, 110100	3
000011, 000110, 000111, 001011, 001111, 010110, 011110, 011111	1
101001, 101011, 111000, 111001, 111011, 111100, 111110, 111111	0

表 8.6 LRU ビットと置き換えられるウェイ (W2LOCK = 0 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000011, 001011, 100000, 100001, 101001, 101011	2
000100, 000110, 000111, 001111, 010100, 010110, 011110, 011111	1
110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

表 8.7 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000011, 000100, 000110, 000111, 001011, 001111, 010100, 010110, 011110, 011111	1
100000, 100001, 101001, 101011, 110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

8.3 動作説明

オペランドキャッシュについて説明します。命令キャッシュについては、アドレスアレイにUビットがない、プリフェッチ動作がない、ライト動作がない、ライトバックバッファがないことを除いてオペランドキャッシュと同様です。

8.3.1 キャッシュの検索

オペランドキャッシュがイネーブルのとき (CCR1 レジスタの OCE ビット=1)、キャッシング有効空間のデータにアクセスすると、キャッシュが検索され、目的のデータがキャッシュに存在するか調べます。キャッシュの検索方法の概念図を図 8.2 に示します。

メモリへのアクセスアドレスのビット 10~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。このとき、タグアドレスの上位 3 ビットは常に 0 です。メモリへのアクセスアドレスのビット 31~11 と、読み出したタグアドレスを比較します。アドレスの比較は 4 ウェイとも行います。比較の結果、一致しており、かつ比較されたエントリが有効である (V=1) 場合に、キャッシュヒットとなります。それ以外の場合はキャッシュミスとなります。ウェイ 1 がヒットした場合を図 8.2 に示します。

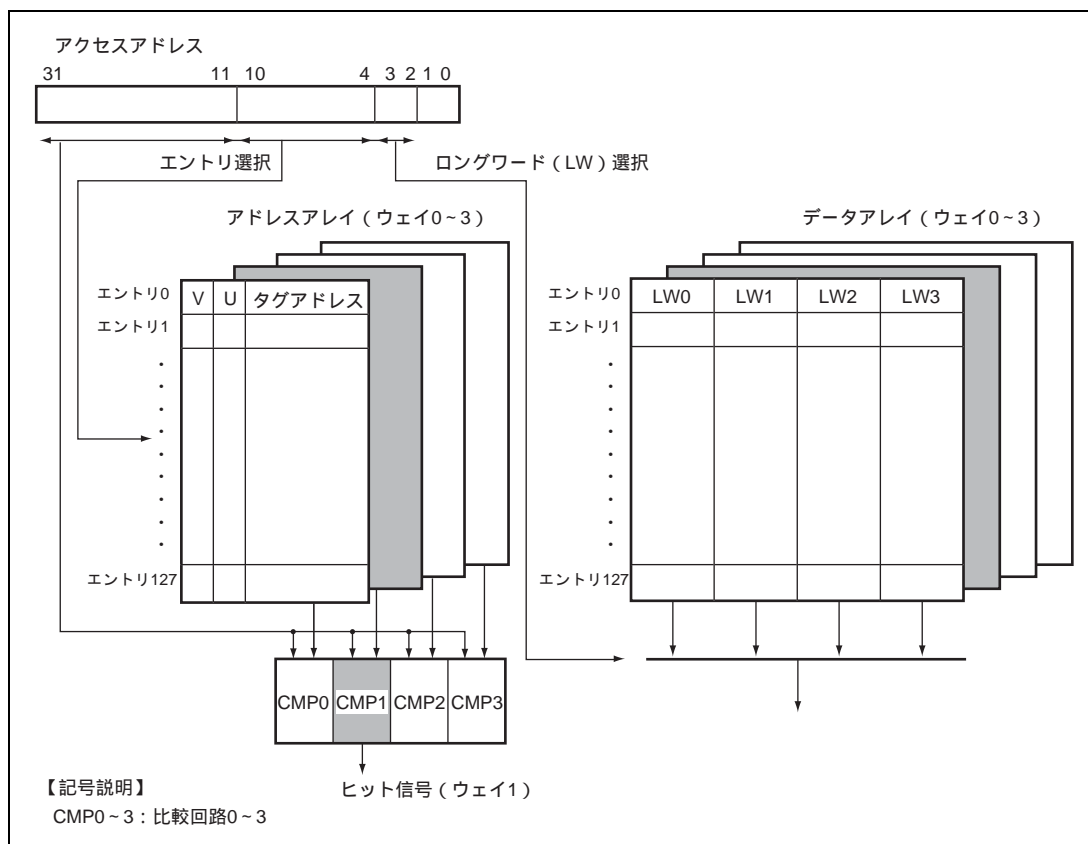


図 8.2 キャッシュの検索方法

8.3.2 リード動作

(1) リードヒット

キャッシュから CPU にデータが転送されます。ヒットしたウェイが最新となるように LRU が更新されます。

(2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 8.4 に従います。エントリの更新の単位は 16 バイトです。外部メモリから目的のデータがキャッシュに登録されると同時に、CPU にそのデータが転送されます。キャッシュに登録されるときに、V ビットが 1 にセットされ、置換されたウェイが最新となるように LRU が更新されます。オペランドキャッシュではさらに U ビットが 0 にセットされ、ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてからキャッシュ更新サイクルを開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は 16 バイトです。

8.3.3 プリフェッチ動作 (オペランドキャッシュのみ)

(1) プリフェッチヒット

ヒットしたウェイが最新となるように LRU が更新されます。その他のキャッシュの内容は変更されません。CPU へのデータの転送は行われません。

(2) プリフェッチミス

CPU へのデータの転送が行われず、置換するウェイは表 8.3 に従います。その他の動作はリードミスの場合と同じです。

8.3.4 ライト動作 (オペランドキャッシュのみ)

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウェイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウェイが最新になるように LRU が更新されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 8.4 に従います。エントリの更新によって置き換えられるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてからキャッシュ更新サイクルを開始します。キャッシュにデータがライトされ、U ビットが 1 にセットされ、V ビットも 1 にセットされます。置換したウェイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は 16 バイトです。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

8.3.5 ライトバックバッファ（オペランドキャッシュのみ）

ライトバックモードで置き換えられるエントリのUビットが1のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置き換えられるエントリをまずライトバックバッファに転送し、キャッシュへの新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファはキャッシュの1ライン分のデータ（16バイト）とそのアドレスを保持可能です。ライトバックバッファの構成を図8.3に示します。

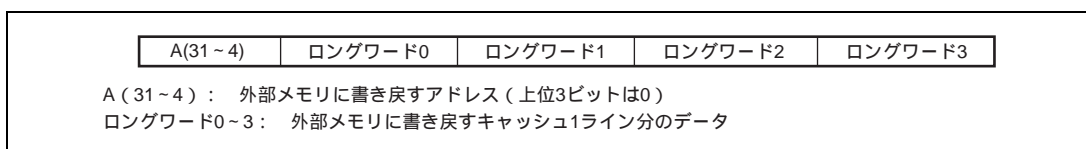


図 8.3 ライトバックバッファの構成

以上の「8.3.2 リード動作」～「8.3.5 ライトバックバッファ（オペランドキャッシュのみ）」のキャッシュ動作を表8.8に示します。

表 8.8 キャッシュ動作

キャッシュの種類	CPU サイクル	ヒット/ミス	ライトバックモード/ ライトスルーモード	U ビット	外部メモリへの アクセス (内部バス経由)	キャッシュの 内容
命令 キャッシュ	命令フェッチ	ヒット	-	-	発生しません	更新されません
		ミス	-	-	キャッシュ更新サイクルが発生します	左記更新サイクルの内容で更新されます
オペランド キャッシュ	プリフェッチ/ リード	ヒット	どちらの モードでも	x	発生しません	更新されません
		ミス	ライトスルー モード	-	キャッシュ更新サイクルが発生します	左記更新サイクルの内容で更新されます
			ライトバック モード	0	キャッシュ更新サイクルが発生します	左記更新サイクルの内容で更新されます
1	キャッシュ更新サイクルが発生します その後ライトバック バッファの書き戻し サイクルが発生します	左記更新サイクルの内容で更新されます				

キャッシュの種類	CPU サイクル	ヒット/ミス	ライトバックモード/ライトスルーモード	U ビット	外部メモリへのアクセス (内部バス経由)	キャッシュの内容
オペランド キャッシュ	ライト	ヒット	ライトスルーモード	-	CPU が発行したライトサイクルが発生します	CPU が発行したライトサイクルの内容で更新されます
			ライトバックモード	x	発生しません	CPU が発行したライトサイクルの内容で更新されます
		ミス	ライトスルーモード	-	CPU が発行したライトサイクルが発生します	更新されません*
			ライトバックモード	0	キャッシュ更新サイクルが発生します	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます
				1	キャッシュ更新サイクルが発生します その後ライトバックバッファの書き戻しサイクルが発生します	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます

【記号説明】 x : Don't care

【注】 キャッシュ更新サイクル : 16 バイトのリードアクセス

ライトバックバッファの書き戻しサイクル : 16 バイトのライトアクセス

* LRU も更新されません。これ以外のすべてのケースで、LRU は更新されます。

8.3.6 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。

本 LSI と他の装置との共有メモリをキャッシングするアドレス空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し無効化およびライトバックを行ってください。本 LSI 内の CPU と DMAC との共有メモリについても同様に行ってください。

8.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、MOV 命令により、キャッシュの内容の読み出し、書き込みが可能です。命令キャッシュのアドレスレイは H'F0000000 ~ H'F07FFFFFFF に、データレイは H'F1000000 ~ H'F17FFFFFFF に割り付けられています。オペランドキャッシュのアドレスレイは H'F0800000 ~ H'F0FFFFFFF に、データレイは H'F1800000 ~ H'F1FFFFFFF に割り付けられています。アドレスレイ、データレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

8.4.1 アドレスレイ

アドレスレイのアクセスには 32 ビットのアドレスの指定（読み出し / 書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。

アドレスにはエントリを選択するためのエントリアドレス、ウェイを選択するための W ビット、連想動作の有無を指定する A ビットを指定します。W ビットは、B'00 がウェイ 0、B'01 がウェイ 1、B'10 がウェイ 2、B'11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1、0 には B'00 を指定してください。

データにはタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを指定します。タグアドレスの上位 3 ビット（ビット 31 ~ 29）には常に 0 を指定してください。

アドレスおよびデータのフォーマットについては、図 8.4 を参照してください。

アドレスレイに対しては次の 3 種類の操作が可能です。

(1) アドレスレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを読み出します。リードの場合、アドレスに指定される連想ビット（A ビット）は 1 でも 0 でも連想動作は行いません。

(2) アドレスレイライト（連想なし）

アドレスの連想ビット（A ビット）は 0 にしてライトした場合、アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを書き込みます。オペランドキャッシュのアドレスレイに対する書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

(3) アドレスレイライト（連想あり）

アドレスの連想ビット（A ビット）を 1 にしてライトした場合、アドレスで指定されたエントリの 4 ウェイすべてに対して、データで指定されたタグアドレスとの間で一致判定が行われます。一致判定の結果ヒットしたウェイに対して、データで指定された U ビット（オペランドキャッシュのみ）と V ビットをエントリに書き込みます。ただしタグアドレスと LRU ビットは変更されません。どのウェイにもヒットしなかった場合は書き込みを行

わず、ノーオペレーションとなります。本動作はキャッシュの特定エントリの無効化に用いられます。

オペランドキャッシュの場合は、ヒットしたエントリの U ビットが 1 だった場合、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

8.4.2 データアレイ

データアレイのアクセスには、32 ビットのアドレスの指定 (読み出し / 書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス、1 ライン (16 バイト) 中のロングワード位置を示す L、ウェイを指定するための W ビットを指定します。L ビットは B'00 がロングワード 0、B'01 がロングワード 1、B'10 がロングワード 2、B'11 がロングワード 3 を示します。W ビットは、B'00 がウェイ 0、B'01 がウェイ 1、B'10 がウェイ 2、B'11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1、0 には B'00 を指定してください。

アドレスおよびデータのフォーマットについては、図 8.3 を参照してください。

データアレイに対しては次の 2 種類の操作が可能です。なおこの操作によってアドレスアレイの情報が変更されることはありません。

(1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスの L ビットで指定されたデータを読み出します。

(2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスの L ビットで指定された位置に、データで指定されたロングワードデータを書き込みます。

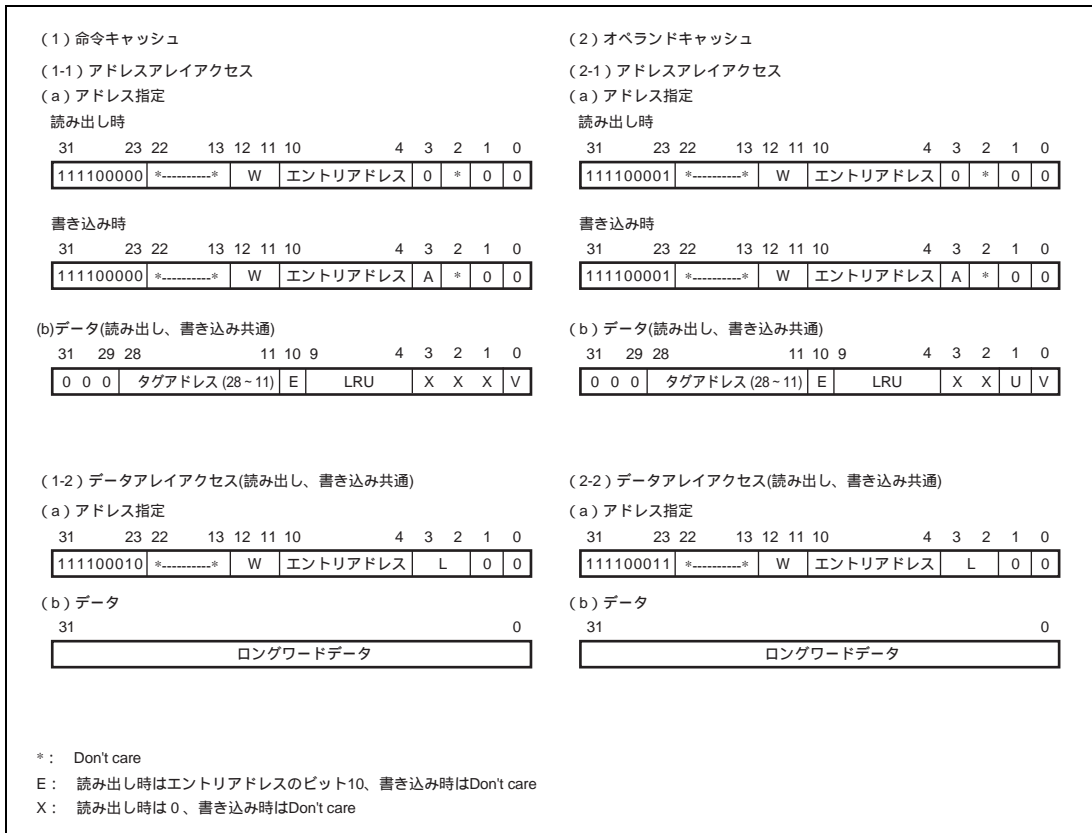


図 8.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法

8.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリのVビットに0を書き込むことで実現できます。Aビットを1とし、書き込みデータで指定されるタグアドレスを、エントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときに書き込みデータで指定されたVビットおよびUビットを書き込みます。一致しない場合はノーオペレーションです。アドレスアレイのあるエントリのVビットを0にすると、そのエントリのUビットが1のときそのエントリがライトバックされます。

以下に、R0に書き込みデータ、R1にアドレスを指定した場合の例を示します。

```
; R0 = H'0110 0010; タグアドレス(28 ~ 11) = B'0 0001 0001 0000 0000 0, U = 0, V = 0
; R1 = HF080 0088; オペランドキャッシュアドレスアレイアクセス、エントリ = B'000 1000, A = 1
;
MOV.L   R0, @R1
```

(2) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図 8.4 のデータアレイのデータ部に示されるロングワードがレジスタに読み出されます。

以下に、R0にアドレスを指定し、R1に読み出す例を示します。

```
; R0 = HF100 004C; 命令キャッシュデータアレイアクセス、エントリ = B'000 0100, ウェイ = 0、
   ロングワードアドレス = 3
;
MOV.L   @R0, R1
```

8.4.4 注意事項

1. オペランドキャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置してください。命令キャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置し、その先頭と最後でそれぞれ2回以上、内蔵周辺モジュールまたは外部アドレス空間(キャッシュ無効アドレス)へのリードアクセスを実行してください。
2. 同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えることは禁止します。同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えた場合の動作は保証しません。
3. メモリ割り付けキャッシュは、CPUでのみアクセス可能です。DMACではアクセスできません。レジスタは、CPUおよびDMACでアクセス可能です。

9. バスステートコントローラ (BSC)

バスステートコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

9.1 特長

1. 外部アドレス空間

- CS0～CS6の各空間、SDRAM空間をそれぞれ最大64Mバイトまでサポート (CS6は最大256Mバイト)
- 空間ごとに、データバス幅 (8ビット、16ビット、または32ビット) を選択可能

2. 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート
- サイクルウェイト機能：最大31ウェイト (ページアクセスサイクルは、最大7ウェイト)
- ウェイト制御：
 - チップセレクト信号のアサート・ネゲートタイミング設定可能
 - リード・ライトストロープ信号のアサート・ネゲートタイミング設定可能
 - データ出力の開始・終了タイミング設定可能
 - チップセレクト信号の延長設定可能
- ライトアクセスモード：1ライトストロープ/バイトライトストロープモード
- ページアクセスモード：ページリード・ライトサポート (ページ単位は、64ビット/128ビット/256ビット)

3. SDRAMインタフェース

- 最大2つのエリアでSDRAMを設定可能
- リフレッシュ機能：
 - オートリフレッシュ (プログラマブルリフレッシュカウンタ内蔵)
 - セルフリフレッシュ
- アクセスタイミング設定可能 (ロウカラムレイテンシ、カラムレイテンシ、ロウアクティブ期間設定可能)
- 初期化シーケンサ機能、パワーダウン機能、ディープパワーダウン機能、モードレジスタ設定機能内蔵

図 9.1 に BSC のブロック図を示します。

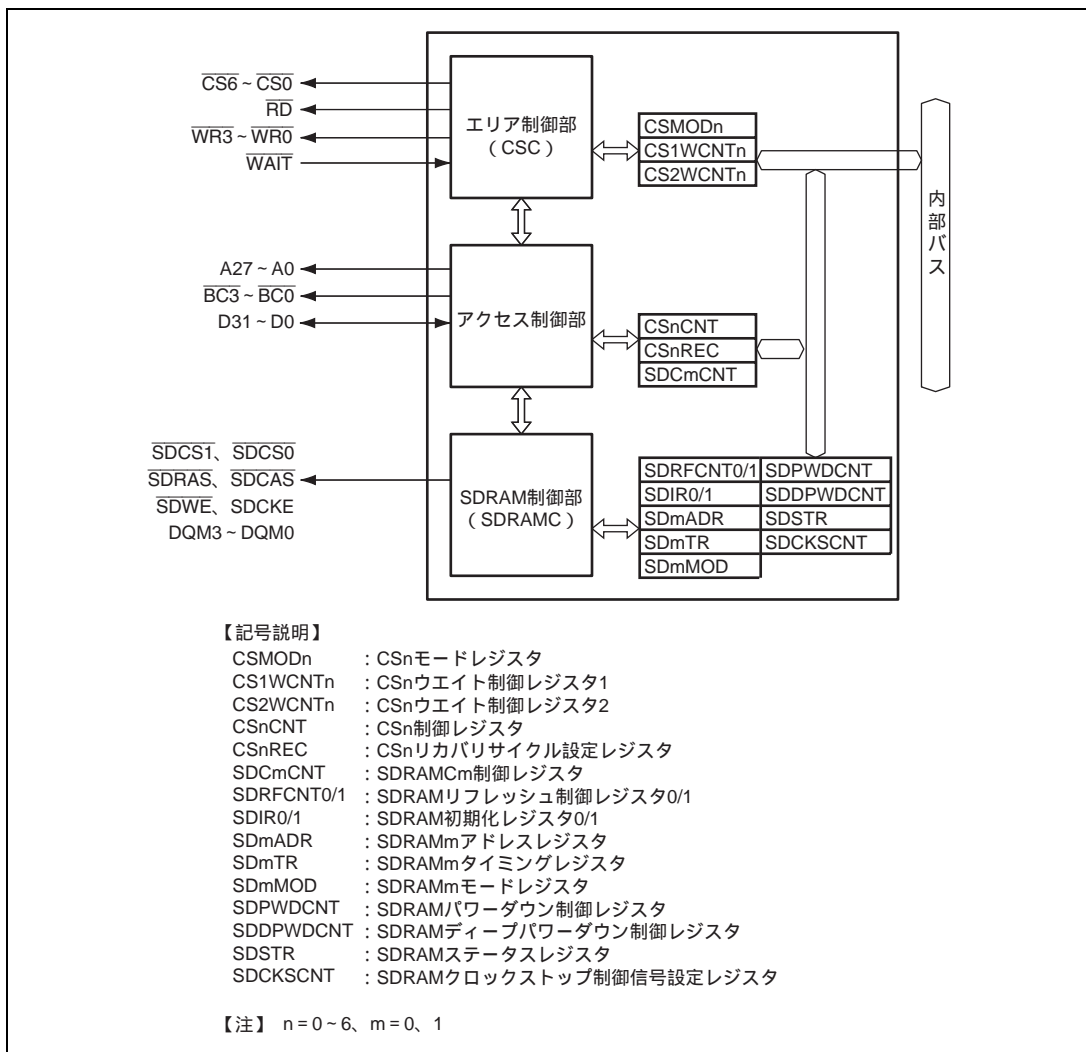


図 9.1 BSC のブロック図

9.2 入出力端子

BSC の端子構成を表 9.1 に示します。

表 9.1 端子構成

端子名	入出力	機能
A27 ~ A0	出力	アドレスバス
D31 ~ D0	入出力	データバス
$\overline{CS6} \sim \overline{CS0}$	出力	チップセレクト
RD	出力	リードパルス信号 (リードデータ出力許可信号)
WR3	出力	32 ビットバス空間アクセス時 D31 ~ D24 対応のバイト書き込み指示
WR2	出力	32 ビットバス空間アクセス時 D23 ~ D16 対応のバイト書き込み指示
WR1	出力	32 ビットバス空間アクセス時 D15 ~ D8 対応のバイト書き込み指示 16 ビットバス空間アクセス時 D15 ~ D8 対応のバイト書き込み指示
WR0	出力	D7 ~ D0 対応のバイト書き込み指示
BC3	出力	32 ビットバス空間アクセス時 D31 ~ D24 対応のバイトアクセス指示
BC2	出力	32 ビットバス空間アクセス時 D23 ~ D16 対応のバイトアクセス指示
BC1	出力	32 ビットバス空間アクセス時 D15 ~ D8 対応のバイトアクセス指示 16 ビットバス空間アクセス時 D15 ~ D8 対応のバイトアクセス指示
BC0	出力	D7 ~ D0 対応のバイトアクセス指示
$\overline{SDCS1}, \overline{SDCS0}$	出力	SDRAM 接続時は、 \overline{CS} 端子に接続
\overline{SDRAS}	出力	SDRAM 接続時は、 \overline{RAS} 端子に接続
\overline{SDCAS}	出力	SDRAM 接続時は、 \overline{CAS} 端子に接続
\overline{SDWE}	出力	SDRAM 接続時は、 \overline{WE} 端子に接続
SDCKE	出力	SDRAM 接続時は、CKE 端子に接続
DQM3	出力	32 ビット SDRAM 接続時は、DQMUU 端子に接続
DQM2	出力	32 ビット SDRAM 接続時は、DQMUL 端子に接続
DQM1	出力	32 ビット SDRAM 接続時は、DQMLU 端子に接続 16 ビット SDRAM 接続時は、DQMU 端子に接続
DQM0	出力	32 ビット SDRAM 接続時は、DQMLL 端子に接続 16 ビット SDRAM 接続時は、DQML 端子に接続 8 ビット SDRAM 接続時は、DQM 端子に接続
WAIT	入力	外部ウェイト入力

9.3 エリアの概要

9.3.1 アドレスマップ

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しており、上位ビットで、キャッシュ有効空間、キャッシュ無効空間、内蔵空間（内蔵 RAM、内蔵周辺モジュール、予約）に分割されています。

CS5 ~ CS0 の外部アドレス空間は、内部アドレスの A29 = 0 のときにキャッシュ有効、A29 = 1 のときにキャッシュ無効となります。CS6 空間は常にキャッシュ無効です。

接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 9.2 アドレスマップ

内部アドレス	空間	メモリ種類	キャッシュ
H'00000000 ~ H'03FFFFFF	CS0	通常空間	有効
H'04000000 ~ H'07FFFFFF	CS1	通常空間	
H'08000000 ~ H'0BFFFFFF	SDRAM0	SDRAM	
H'0C000000 ~ H'0FFFFFFF	SDRAM1	SDRAM	
H'10000000 ~ H'13FFFFFF	CS2	通常空間	
H'14000000 ~ H'17FFFFFF	CS3	通常空間	
H'18000000 ~ H'1BFFFFFF	CS4	通常空間	
H'1C000000 ~ H'1FFFFFFF	CS5	通常空間	
H'20000000 ~ H'23FFFFFF	CS0	通常空間	無効
H'24000000 ~ H'27FFFFFF	CS1	通常空間	
H'28000000 ~ H'2BFFFFFF	SDRAM0	SDRAM	
H'2C000000 ~ H'2FFFFFFF	SDRAM1	SDRAM	
H'30000000 ~ H'33FFFFFF	CS2	通常空間	
H'34000000 ~ H'37FFFFFF	CS3	通常空間	
H'38000000 ~ H'3BFFFFFF	CS4	通常空間	
H'3C000000 ~ H'3FFFFFFF	CS5	通常空間	
H'40000000 ~ H'4FFFFFFF	CS6	通常空間	無効
H'50000000 ~ H'E7FFFFFF	その他	予約エリア*	
H'E8000000 ~ H'FFFFFFF	その他	内蔵周辺モジュール、予約エリア*	
H'F0000000 ~ H'FF3FFFFFF	その他	キャッシュのアドレスアレイ空間、予約エリア*	
H'FF400000 ~ H'FFF7FFFF	その他	内蔵周辺モジュール、予約エリア*	
H'FFF80000 ~ H'FFFBFFFF	その他	内蔵 RAM、予約エリア*	
H'FFFC0000 ~ H'FFFFFFF	その他	内蔵周辺モジュール、予約エリア*	

【注】 * 内蔵 RAM 空間は「第 24 章 内蔵 RAM」で示すアドレスにアクセスしてください。内蔵周辺モジュール空間のアクセスは「第 28 章 レジスタ一覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

9.3.2 各エリアのデータバス幅と、端子機能設定

本 LSI は、パワーオンリセット時に外部端子を用いてエリア 0 のデータバス幅を、8、16、32 ビットのいずれかに設定することができます。エリア 1~6 のデータバス幅は、レジスタの設定によりプログラム中で変更できます。設定するメモリタイプによっては、データバス幅が限定されるものがありますのでご注意ください。

パワーオンリセット後は、エリア 0 に割り当てられた外部メモリに格納されているプログラムで起動します。

端子設定の詳細は、「第 23 章 ピンファンクションコントローラ (PFC)」を参照してください。

表 9.3 外部端子 (MD1、MD0) 設定とデータバス幅の関係

MD1	MD0	データバス幅
1	1	32 ビット
	0	16 ビット
0	1	8 ビット
	0	予約 (設定しないでください)

9.4 レジスタの説明

BSC には以下のレジスタがあります。すべてのレジスタは、パワーオンリセットおよびディープスタンバイモード時に初期化されます。

接続メモリとのインタフェースの設定が終了するまでは、エリア 0 空間以外はアクセスしないでください。

表 9.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
CS0 制御レジスタ	CS0CNT	R/W	H'00010000/ H'00110000/ H'00210000*	H'FF420000	8、16、32
CS0 リカバリサイクル設定レジスタ	CS0REC	R/W	H'00000000	H'FF420008	8、16、32
CS1 制御レジスタ	CS1CNT	R/W	H'00000000	H'FF420010	8、16、32
CS1 リカバリサイクル設定レジスタ	CS1REC	R/W	H'00000000	H'FF420018	8、16、32
CS2 制御レジスタ	CS2CNT	R/W	H'00000000	H'FF420020	8、16、32
CS2 リカバリサイクル設定レジスタ	CS2REC	R/W	H'00000000	H'FF420028	8、16、32
CS3 制御レジスタ	CS3CNT	R/W	H'00000000	H'FF420030	8、16、32
CS3 リカバリサイクル設定レジスタ	CS3REC	R/W	H'00000000	H'FF420038	8、16、32
CS4 制御レジスタ	CS4CNT	R/W	H'00000000	H'FF420040	8、16、32
CS4 リカバリサイクル設定レジスタ	CS4REC	R/W	H'00000000	H'FF420048	8、16、32
CS5 制御レジスタ	CS5CNT	R/W	H'00000000	H'FF420050	8、16、32
CS5 リカバリサイクル設定レジスタ	CS5REC	R/W	H'00000000	H'FF420058	8、16、32
CS6 制御レジスタ	CS6CNT	R/W	H'00000000	H'FF420060	8、16、32
CS6 リカバリサイクル設定レジスタ	CS6REC	R/W	H'00000000	H'FF420068	8、16、32
SDRAMC0 制御レジスタ	SDC0CNT	R/W	H'00000000	H'FF420100	8、16、32
SDRAMC1 制御レジスタ	SDC1CNT	R/W	H'00000000	H'FF420110	8、16、32
CS0 モードレジスタ	CSMOD0	R/W	H'00000000	H'FF421000	8、16、32
CS0 ウェイト制御レジスタ 1	CS1WCNT0	R/W	H'1F1F0707	H'FF421004	8、16、32
CS0 ウェイト制御レジスタ 2	CS2WCNT0	R/W	H'00000007	H'FF421008	8、16、32
CS1 モードレジスタ	CSMOD1	R/W	H'00000000	H'FF421010	8、16、32
CS1 ウェイト制御レジスタ 1	CS1WCNT1	R/W	H'1F1F0707	H'FF421014	8、16、32
CS1 ウェイト制御レジスタ 2	CS2WCNT1	R/W	H'00000007	H'FF421018	8、16、32
CS2 モードレジスタ	CSMOD2	R/W	H'00000000	H'FF421020	8、16、32
CS2 ウェイト制御レジスタ 1	CS1WCNT2	R/W	H'1F1F0707	H'FF421024	8、16、32
CS2 ウェイト制御レジスタ 2	CS2WCNT2	R/W	H'00000007	H'FF421028	8、16、32
CS3 モードレジスタ	CSMOD3	R/W	H'00000000	H'FF421030	8、16、32
CS3 ウェイト制御レジスタ 1	CS1WCNT3	R/W	H'1F1F0707	H'FF421034	8、16、32
CS3 ウェイト制御レジスタ 2	CS2WCNT3	R/W	H'00000007	H'FF421038	8、16、32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
CS4 モードレジスタ	CSMOD4	R/W	H'00000000	H'FF421040	8、16、32
CS4 ウェイト制御レジスタ 1	CS1WCNT4	R/W	H'1F1F0707	H'FF421044	8、16、32
CS4 ウェイト制御レジスタ 2	CS2WCNT4	R/W	H'00000007	H'FF421048	8、16、32
CS5 モードレジスタ	CSMOD5	R/W	H'00000000	H'FF421050	8、16、32
CS5 ウェイト制御レジスタ 1	CS1WCNT5	R/W	H'1F1F0707	H'FF421054	8、16、32
CS5 ウェイト制御レジスタ 2	CS2WCNT5	R/W	H'00000007	H'FF421058	8、16、32
CS6 モードレジスタ	CSMOD6	R/W	H'00000000	H'FF421060	8、16、32
CS6 ウェイト制御レジスタ 1	CS1WCNT6	R/W	H'1F1F0707	H'FF421064	8、16、32
CS6 ウェイト制御レジスタ 2	CS2WCNT6	R/W	H'00000007	H'FF421068	8、16、32
SDRAM リフレッシュ制御レジスタ 0	SDRFCNT0	R/W	H'00000000	H'FF422000	8、16、32
SDRAM リフレッシュ制御レジスタ 1	SDRFCNT1	R/W	H'0000xxxx	H'FF422004	16、32
SDRAM 初期化レジスタ 0	SDIR0	R/W	H'00000xxx	H'FF422008	8、16、32
SDRAM 初期化レジスタ 1	SDIR1	R/W	H'00000000	H'FF42200C	8、16、32
SDRAM パワーダウン制御レジスタ	SDPWDCNT	R/W	H'00000000	H'FF422010	8、16、32
SDRAM ディープパワーダウン制御レジスタ	SDDPWDCNT	R/W	H'00000000	H'FF422014	8、16、32
SDRAM0 アドレスレジスタ	SD0ADR	R/W	H'00000x0x	H'FF422020	8、16、32
SDRAM0 タイミングレジスタ	SD0TR	R/W	H'000xxx0x	H'FF422024	8、16、32
SDRAM0 モードレジスタ	SD0MOD	R/W	H'0000xxxx	H'FF422028	16、32
SDRAM1 アドレスレジスタ	SD1ADR	R/W	H'00000x0x	H'FF422040	8、16、32
SDRAM1 タイミングレジスタ	SD1TR	R/W	H'000xxx0x	H'FF422044	8、16、32
SDRAM1 モードレジスタ	SD1MOD	R/W	H'0000xxxx	H'FF422048	16、32
SDRAM ステータスレジスタ	SDSTR	R/W	H'00000000	H'FF4220E4	8、16、32
SDRAM クロックストップ制御信号設定レジスタ	SDCKSCNT	R/W	H'0000000F	H'FF4220E8	8、16、32
AC 特性切り替えレジスタ	ACSWR	R/W	H'00000000	H'FFFD8808	8、16、32

【注】 * MD 端子の設定により異なります。

9.4.1 CSn 制御レジスタ (CSnCNT) (n = 0~6)

CSnCNT は、CSC インタフェースにおける外部バス幅の選択および動作制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BSIZE[1:0]	-	-	-	-	EXENB
初期値:	0	0	0	0	0	0	0	0	0	0	0*1	0*1	0	0	0	0*2
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21, 20	BSIZE[1:0]	00*1	R/W	外部バス幅選択 このビットにより、CSC の各チャネルに対応する外部デバイスのデータバス幅を設定します。なお、CSC のチャネル 0 (CS0) のデータバス幅の初期値は、MD1、MD0 端子設定によって異なります。 10 : 8 ビットバス 00 : 16 ビットバス 01 : 32 ビットバス
19~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	EXENB	0*2	R/W	動作許可 このビットにより、CSC の各チャネルの動作許可 / 禁止を設定します。CS0 に対応する初期値のみ、動作許可 (EXENB = 1) となります。 0 : 動作禁止 1 : 動作許可
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 *1 CS0 の BSIZE の初期値は、MD1、MD0 端子設定によって異なります。

*2 CS0 の EXENB の初期値は 1 となります。

各チャネルを動作禁止 (EXENB = 0) にする場合、内部のライトバッファに一時的に保持したデータを強制的に外部に書き出すために、以下の手順で実施ください。

4. まず動作禁止にするチャネルへのリードアクセスを行う。
5. 次に、EXENB ビットに 0 ライト (動作禁止) を行う。

9.4.2 CSn リカバリサイクル設定レジスタ (CSnREC) (n=0~6)

CSnREC は、リードまたはライトアクセス後に挿入するデータリカバリサイクル数を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	WRCV[3:0]				-	-	-	-	RRCV[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27~24	WRCV[3:0]	0000	R/W	ライト後データリカバリサイクル設定 このビットにより、外部バスに対するライトアクセス後に挿入するデータリカバリサイクル数を設定します。0以外を設定すると、外部バスに対するライトアクセス後に外部バスに対するリードアクセスがある場合に、1~15サイクルのデータリカバリサイクルが挿入されます(CSC の同じチャネルに対する連続アクセスでも、データリカバリサイクルが挿入されます)。なお、外部アクセス間にアイドルサイクルが存在する場合には、挿入されるデータリカバリサイクルはアイドルサイクル分だけ短縮されます。 0000 : 0 サイクル 0001 : 1 サイクル : 1111 : 15 サイクル
23~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
19~16	RRCV[3:0]	0000	R/W	<p>リード後データリカバリサイクル設定</p> <p>このビットにより、外部バスに対するリードアクセス後に挿入するデータリカバリサイクル数を設定します。0 以外を設定すると、以下の場合にデータリカバリサイクルが挿入されます。</p> <p>外部バスに対するリードアクセス後に外部バスのライトアクセスがある場合 (CSC の同じチャネルに対する連続アクセスでも、データリカバリサイクルが挿入されます。) 外部バスに対するリードアクセス後、CSC の異なったチャネルに対するリードアクセスがある場合 (CSC の同じチャネルに対する連続アクセスについては、データリカバリサイクルが挿入されません。)</p> <p>なお、外部アクセス間にアイドルサイクルが存在する場合には、挿入されるデータリカバリサイクルはアイドルサイクル分だけ短縮されます</p> <p>0000 : 0 サイクル 0001 : 1 サイクル : 1111 : 15 サイクル</p>
15~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

- 【注】
1. SDRAM に対するアクセスの場合、タイミング的にバス上のデータ衝突はありません。したがって、SDRAM に対するデータリカバリサイクルの設定はありません (0 サイクル固定)。
 2. CSn リカバリサイクル設定レジスタ (CSnREC) への書き込みは、対応するチャネルの CSC を動作禁止 (EXENB = 0) にして行ってください。チャンネル 0 (CS0) のみ動作許可 (EXENB = 1) での変更が可能ですが、このときは、DMAC を停止状態とし、かつ、リセット解除後 CS0 へのデータライトアクセスを行う前にのみ行ってください。

9.4.3 SDRAMCm 制御レジスタ (SDCmCNT) (m = 0、1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BSIZE[1:0]		-	-	-	EXENB
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	BSIZE[1:0]	00	R/W	外部バス幅選択 このビットにより、SDRAMCの各チャンネルに対応する外部デバイスのデータバス幅を設定します。 10:8ビットバス 00:16ビットバス 01:32ビットバス
19~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	EXENB	0	R/W	動作許可 このビットによりSDRAMCの各チャンネルの動作許可/禁止を設定します。 0:動作禁止 1:動作許可
15~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

各チャンネルを動作禁止 (EXENB = 0) にする場合、内部のライトバッファに一時的に保持したデータを強制的に外部に書き出すために、以下の手順で実施ください。

1. まず動作禁止にするチャンネルへのリードアクセスを行う。
2. 次に、EXENBビットに0ライト (動作禁止) を行う。

9.4.4 CSn モードレジスタ (CSMODn) (n=0~6)

CSMODn は、ページリードアクセスモード選択、ページアクセス境界選択、ページリード/ライトアクセス許可、外部ウェイト許可およびライトアクセスモード選択を制御するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PRMOD	-	PBCNT[1:0]	-	-	PWENB	PRENB	-	-	-	-	EWENB	-	-	WRMOD	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R/W	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	PRMOD	0	R/W	ページリードアクセスモード選択 このビットにより、ページリードアクセス時の動作モードを選択します。0を設定すると、ノーマルアクセス互換モードになります。このとき、1データをリードするごとに \overline{RD} 信号がネゲートされ、RD アサートウェイトが挿入されます。1を設定すると、外部データリード連続アサートモードになります。このとき、ページアクセスの間連続して \overline{RD} がアサートされ続けます。 0: ノーマルアクセス互換モード 1: 外部データリード連続アサートモード
30	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29, 28	PBCNT[1:0]	00	R/W	ページアクセスビット境界選択 このビットにより、ページアクセス動作のビット境界を選択します。ページアクセス動作中に、このビットで設定したビット境界を超えると、ページアクセス動作を一時終了 (\overline{CSn} 信号をネゲート) し、再度ページアクセス動作を開始します。このビットへの書き込みは、PWENB ビット、PRENB ビットのいずれかを1に設定したときのみ有効になります。 00: 64 ビット境界 01: 128 ビット境界 10: 256 ビット境界 11: 設定禁止
27, 26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25	PWENB	0	R/W	ページライトアクセス許可 このビットにより、ページライトアクセスの許可を選択します。 0: ページライトアクセス禁止 1: ページライトアクセス許可

ビット	ビット名	初期値	R/W	説明
24	PRENB	0	R/W	ページリードアクセス許可 このビットにより、ページリードアクセスの許可を選択します。 0: ページリードアクセス禁止 1: ページリードアクセス許可
23~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	EWENB	0	R/W	外部ウェイト許可 このビットにより、外部ウェイトの許可/禁止を設定します。 1を設定すると、外部ウェイト許可となり、外部ウェイト信号 (WAIT) により、各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT 信号が L の間、ウェイトサイクルが挿入されます。 0であれば、WAIT 信号は無効になります。 0: 外部ウェイト禁止 1: 外部ウェイト許可
18, 17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	WRMOD	0	R/W	ライトアクセスモード選択 このビットにより、ライトアクセス時の動作モードを選択します。0を設定すると、バイトライトストロープモードになります。このとき、それぞれのバイト位置に対応した複数のライト信号 (WR3~WR0) によりデータ書き込みの制御を行います。1を設定すると、1ライトストロープモードになります。このとき、それぞれのバイト位置に対応した複数のバイトコントロール信号 (BC3~BC0) と単一のライト信号 (8ビットバス幅チャンネルの場合 WR0、16ビットバス幅チャンネルの場合 WR1、32ビットバス幅チャンネルの場合 WR3) によりデータ書き込みの制御を行います。 0: バイトライトストロープモード 1: 1ライトストロープモード
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

CSn モードレジスタ (CSMODn) への書き込みは、対応するチャンネルの CSC を動作禁止 (EXENB = 0) にして行ってください。チャンネル 0 (CS0) のみ動作許可 (EXENB = 1) での変更が可能ですが、このときは、DMAC を停止状態とし、かつ、リセット解除後 CS0 へのデータライトアクセスを行う前のみ行ってください。

9.4.5 CSn ウェイト制御レジスタ 1 (CS1WCNTn) (n=0~6)

CS1WCNTn は、リード/ライトサイクル、またはページリード/ページライトサイクルに挿入するウェイト数を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	CSRWAIT[4:0]				-	-	-	CSWWAIT[4:0]					
初期値:	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CSPRWAIT[2:0]			-	-	-	-	-	CSPWWAIT[2:0]		
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~24	CSRWAIT [4:0]	11111	R/W	リードサイクルウェイト選択 このビットにより、ノーマルリードサイクルおよびページリードサイクルの最初のサイクルに挿入するウェイト数を設定します。 00000 : 0 ウェイト : 11111 : 31 ウェイト
23~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20~16	CSWWAIT [4:0]	11111	R/W	ライトサイクルウェイト選択 このビットにより、ノーマルライトサイクルおよびページライトサイクルの最初のサイクルに挿入するウェイト数を設定します。 00000 : 0 ウェイト : 11111 : 31 ウェイト
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	CSPRWAIT [2:0]	111	R/W	ページリードサイクルウェイト選択 このビットにより、ページリードサイクルの2サイクル目以降に挿入するウェイト数を設定します。本設定は、ページリードアクセス許可ビット (PRENB) が1のとき、有効になります。 000 : 0 ウェイト : 111 : 7 ウェイト
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	CSPWAIT [2:0]	111	R/W	ページライトサイクルウェイト選択 このビットにより、ページライトサイクルの2サイクル目以降に挿入するウェイト数を設定します。本設定は、ページライトアクセス許可ビット (PWENB) が1のとき、有効になります。 000 : 0 ウェイト : 111 : 7 ウェイト

- 【注】
1. ページリード/ライトサイクルウェイト (CSPRWAIT、CSPWAIT) は、リード/ライトサイクルウェイト (CSRWAIT、CSWAIT) の範囲内で設定してください。各ウェイト数の選択は、使用するシステム構成に応じて検討してください。
 2. CSn ウェイト制御レジスタ 1 (CS1WCNTn) への書き込みは、対応するチャネルの CSC を動作禁止 (EXENB = 0) にして行ってください。チャネル 0 (CS0) のみ動作許可 (EXENB = 1) での変更が可能ですが、このときは、DMAC を停止状態とし、かつ、リセット解除後 CS0 へのデータライトアクセスを行う前にのみ行ってください。

9.4.6 CSn ウェイト制御レジスタ 2 (CS2WCNTn) (n = 0 ~ 6)

CS2WCNTn は、各ウェイト数および延長サイクル数の選択を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	CSON[2:0]			-	WDON[2:0]			-	WRON[2:0]			-	RDON[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	WDOFF[2:0]			-	CSWOFF[2:0]			-	CSROFF[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~28	CSON [2:0]	000	R/W	CS アサートウェイト選択 このビットにより、外部チップセレクト信号 (\overline{CSn}) のアサート前に挿入するウェイト数を設定します。 000 : 0 ウェイト : 111 : 7 ウェイト
27	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
26~24	WDON [2:0]	000	R/W	ライトデータ出力ウェイト選択 このビットにより、外部データバスを出力する前に挿入するウェイト数を設定します。 000 : 0 ウェイト : 111 : 7 ウェイト
23	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22~20	WRON [2:0]	000	R/W	WR アサートウェイト選択 このビットにより、外部データライト信号 ($\overline{WR3} \sim \overline{WR0}$) のアサート前に挿入するウェイト数を設定します。 000 : 0 ウェイト : 111 : 7 ウェイト
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	RDON [2:0]	000	R/W	RD アサートウェイト選択 このビットにより、外部データリード信号 (\overline{RD}) のアサート前に挿入するウェイト数を設定します。 000 : 0 ウェイト : 111 : 7 ウェイト
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	WDOFF [2:0]	000	R/W	ライトデータ出力延長サイクル選択 このビットにより、ライト時のウェイトサイクル終了時 ($\overline{WR3} \sim \overline{WR0}$ 信号のネゲート時) から外部データバスをネゲートするまでのサイクル数を設定します。 000 : 0 ウェイト : 111 : 7 ウェイト
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	CSWOFF [2:0]	000	R/W	ライト時 CS 延長サイクル選択 このビットにより、ライトアクセス時のウェイトサイクル終了時 ($\overline{WR3} \sim \overline{WR0}$ 信号のネゲート時) から $\overline{CS6} \sim \overline{CS0}$ 信号をネゲートするまでのサイクル数を設定します。 000 : 0 ウェイト : 111 : 7 ウェイト

ビット	ビット名	初期値	R/W	説明
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	CSROFF [2:0]	111	R/W	リード時 CS 延長サイクル選択 このビットにより、リードアクセス時のウェイトサイクル終了時 (\overline{RD} 信号のネゲート時) から $\overline{CS6}$ - $\overline{CS0}$ 信号をネゲートするまでのサイクル数を設定します。 000 : 0 ウェイト : 111 : 7 ウェイト

- 【注】
- 各ウェイト数、延長サイクル数の選択は、使用するシステム構成に応じて検討してください。
 - CSn ウェイト制御レジスタ 2 (CS2WCNTn) への書き込みは、対応するチャンネルの CSC を動作禁止 (EXENB = 0) にして行ってください。チャンネル 0 (CS0) のみ動作許可 (EXENB = 1) での変更が可能ですが、このときは、DMAC を停止状態とし、かつ、リセット解除後 CS0 へのデータライトアクセスを行う前にも行ってください。
 - 各ビットは、以下の制約の範囲内で設定ください。
ページアクセス禁止時 (PRENB、PWENB = 0)
CSON min (CSRWAIT、CSWWAIT)、WDON CSWWAIT、
WRON CSWWAIT、RDON CSRWAIT
WDOFF CSWOFF
ページアクセス許可時 (PRENB=1 or PWENB=1)
ページアクセス禁止時の制約に加えて、以下の制約を追加。
CSON min (CSPRWAIT、CSPWWAIT)
WRON CSPWWAIT、RDON CSPRWAIT
WDON CSPWWAIT

9.4.7 SDRAM リフレッシュ制御レジスタ 0 (SDRFCNT0)

SDRFCNT0 は、セルフリフレッシュ動作を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DSFEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DSFEN	0	R/W	SDRAM 共通セルフリフレッシュ動作有効 このビットによりセルフリフレッシュ動作を制御します。制御は、全チャネル同時に行われます。1 をセットした場合、オートリフレッシュサイクル動作を行い、その直後にセルフリフレッシュ動作を開始します。0 にクリアした場合、セルフリフレッシュ動作を終了し、その直後にオートリフレッシュ動作を行います。このビットに書き込んだ値は、1 をセットした場合はセルフリフレッシュ動作開始時に、0 にクリアした場合はセルフリフレッシュ動作終了後のオートリフレッシュ開始時に反映されます。 0: セルフリフレッシュ無効 1: セルフリフレッシュ有効

9.4.8 SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1)

SDRFCNT1 は、オートリフレッシュ動作を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DRFEN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DREFW[3:0]				DRFC[11:0]											
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	DRFEN	0	R/W	オートリフレッシュ動作有効 このビットにより、オートリフレッシュ動作を制御します。制御は全チャネル同時に行われます。このビットを 0 にクリアした場合、オートリフレッシュ動作を行いません。このビットを 1 にセットした場合、オートリフレッシュ動作を行います。オートリフレッシュ有効時にこのビットを 0 クリアすると、次のオートリフレッシュサイクル終了後に DRFEN ビットが 0 クリアされ、オートリフレッシュ動作が停止します。オートリフレッシュ無効時に 1 セットすると、DRFEN ビットに 1 がセットされるとともにオートリフレッシュを行い、その後カウンタにより定期的にリフレッシュ要求が発生します。リフレッシュ要求の発生間隔は、オートリフレッシュ間隔選択ビット (DRFC) で設定した値に従います。リフレッシュ要求は、SDRAM へのアクセス中は受け付けられず、アクセス完了まで待たされます。SDRAM へのアクセスとリフレッシュ要求が同時に発生した場合は、リフレッシュ要求が優先されます。 0 : オートリフレッシュ無効 1 : オートリフレッシュ有効
15~12	DREFW [3:0]	不定	R/W	オートリフレッシュサイクル / セルフリフレッシュ解除サイクル数設定 このビットにより、オートリフレッシュサイクル数、セルフリフレッシュ解除サイクル数を設定します。このビットへの書き込みは、オートリフレッシュ動作有効ビット (DRFEN) の状態にかかわらず行うことができます。オートリフレッシュ無効時、このビットへ書き込んだ値は、直ちに反映されます。オートリフレッシュ有効時にこのビットへ書き込んだ値は、オートリフレッシュサイクル中でなければ直ちに反映され、オートリフレッシュサイクル中であれば終了後に反映されます。 0000 : 1 サイクル 0001 : 2 サイクル 0010 : 3 サイクル : 1111 : 16 サイクル

ビット	ビット名	初期値	R/W	説明
11~0	DRFC[11:0]	不定	R/W	<p>オートリフレッシュ要求間隔設定</p> <p>このビットにより、オートリフレッシュ間隔を設定します。このビットへの書き込みは、オートリフレッシュ動作有効ビット (DRFEN) の状態にかかわらず行うことができます。オートリフレッシュ無効時、このビットへ書き込んだ値は、直ちにリフレッシュカウンタへ反映されます。オートリフレッシュ有効時にこのビットへ書き込んだ値は、次のオートリフレッシュ要求発行時にリフレッシュカウンタに反映されます。</p> <p>000000000000 : 設定禁止</p> <p>000000000001 : 2 サイクル</p> <p>000000000010 : 3 サイクル</p> <p>：</p> <p>111111111111 : 4096 サイクル</p>

【注】 複数リード、複数ライトアクセス中、DMAC による転送中はオートリフレッシュ要求を受け付けられないサイクルがありますので、オートリフレッシュ間隔が広がることがあります。使用する SDRAM のオートリフレッシュ間隔規定を満たすようにオートリフレッシュ要求間隔を決定し、DRFC ビットを設定してください。このとき、オートリフレッシュ要求間隔はオートリフレッシュサイクルより長くなるように設定してください。

(a) オートリフレッシュ要求間隔と DRFC 設定値の関係

SDRAMC には、12 ビットのリフレッシュカウンタが内蔵されており、定期的にオートリフレッシュ要求を発生します。オートリフレッシュ要求間隔から DRFC ビットの設定値を求める計算式を以下に示します。

$$\text{DRFC} = (\text{オートリフレッシュ要求間隔} / \text{バスクロック周期}) - 1$$

オートリフレッシュ要求は SDRAM アクセス中には受け付けられず、アクセス終了まで待たされますが、要求が受け付けられたか否かにかかわらずカウンタ値は更新されます。アクセス中に 2 回以上オートリフレッシュ要求が発生した場合、2 回目以降のリフレッシュ要求は無視されますので注意してください。

9.4.9 SDRAM 初期化レジスタ 0 (SDIR0)

SDIR0 は SDRAM の初期化シーケンスのタイミングを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	DPC[2:0]			DARFC[3:0]			DARFI[3:0]				
初期値 :	0	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	DPC[2:0]	不定	R/W	初期化プリチャージサイクル数設定 このビットにより、SDRAM の初期化シーケンスにおけるプリチャージサイクル数を設定します。 000 : 3 サイクル 001 : 4 サイクル : 111 : 10 サイクル
7~4	DARFC [3:0]	不定	R/W	初期化オートリフレッシュ回数 このビットにより、SDRAM の初期化シーケンスにおけるオートリフレッシュ回数を設定します。 0000 : 設定禁止 0001 : 1 回 : 1111 : 15 回
3~0	DARFI [3:0]	不定	R/W	初期化オートリフレッシュ間隔 このビットにより、SDRAM の初期化シーケンスにおけるオートリフレッシュコマンドの発行間隔を設定します。 0000 : 3 サイクル 0001 : 4 サイクル 0010 : 5 サイクル : 1111 : 18 サイクル

【注】 初期化シーケンス開始前に、接続する SDRAM の仕様を満たすように設定してください。

9.4.10 SDRAM 初期化レジスタ 1 (SDIR1)

SDIR1 は、SDRAM 初期化シーケンスの起動を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DINIST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DINIRQ
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	DINIST	0	R/W	初期化ステータス このビットに 1 がセットされているときは、SDRAM0、SDRAM1 のいずれかのチャンネルが SDRAM 初期化シーケンス実行中であることを示します。 0 : 初期化シーケンス中ではない 1 : 初期化シーケンス中
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DINIRQ	0	R/W	共通初期化シーケンス開始 このビットに 1 をセットすると、SDRAM 初期化シーケンスが開始され、自動的に初期化ステータスビット (DINIST) が 1 にセットされます。初期化シーケンス終了後、初期化ステータスビット (DINIST) が自動的にクリアされます。DINIRQ ビットへ書き込んだ値は保持されません。 0 : 無効 1 : 初期化シーケンス開始

9.4.11 SDRAM パワーダウン制御レジスタ (SDPWDCNT)

SDPWDCNT は、パワーダウンモードへの移行と復帰を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DPWD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	DPWD	0	R/W	SDRAM 共通パワーダウン有効 このビットにより、パワーダウンモードへの移行と復帰を制御します。制御は、全チャンネル同時に行われます。このビットに1をセットした場合、全チャンネルがパワーダウンモードへ移行します。このビットを0にクリアした場合、全チャンネルがパワーダウンモードから復帰します。パワーダウンモードへの移行は、オートリフレッシュ中はオートリフレッシュが完了するまで待たされません。 0: パワーダウン無効 1: パワーダウン有効

9.4.12 SDRAM ディープパワーダウン制御レジスタ (SDDPWDCNT)

SDDPWDCNT はディープパワーダウンモードへの移行と復帰を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DDPD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	DDPD	0	R/W	SDRAM 共通ディープパワーダウン有効 このビットにより、ディープパワーダウンモードへの移行と復帰を制御します。制御は、全チャネル同時に行われます。このビットに1をセットした場合、SDRAM 全チャネルがディープパワーダウンモードへ移行します。このビットを0にクリアした場合、SDRAM 全チャネルがディープパワーダウンモードから復帰します。ディープパワーダウンモードへの移行は、オートリフレッシュ中はオートリフレッシュが完了するまで待たされます。 0: ディープパワーダウン無効 1: ディープパワーダウン有効

9.4.13 SDRAMm アドレスレジスタ (SDmADR) (m = 0, 1)

SDmADR は、SDRAM のデータバス幅およびチャネルサイズを選択します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	DDBW[1:0]	-	-	-	-	-	-	DSZ[2:0]		
初期値 :	0	0	0	0	0	0	不定	不定	0	0	0	0	0	不定	不定	不定
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9, 8	DDBW[1:0]	不定	R/W	SDRAM データバス幅設定 このビットにより、使用する SDRAM のデータバス幅を指定します。 00 : 8 ビット 01 : 16 ビット 10 : 32 ビット 11 : 設定禁止
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	DSZ[2:0]	不定	R/W	チャネルサイズ設定 このビットにより、チャネル 0、1 のサイズを指定します。SDRAM 領域 0、1 よりも小さいサイズを選択した場合、ゴーストが発生します。16 ビットバス幅の SDRAM に対して 32 ビットデータのアクセスを行った場合は、先に前半アドレス (A1=0) の 16 ビットのアクセスを行い、次に後半アドレスの 16 ビット (A1=1) のアクセスが順に行われます。

9.4.14 SDRAMm タイミングレジスタ (SDmTR) (m=0、1)

SDmTR は、SDRAM のリード/ライトアクセスのタイミングを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DRAS[2:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	不定	不定	不定
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	DRCD[1:0]		DPCG[2:0]			DWR	-	-	-	-	-	DCL[2:0]		
初期値 :	0	0	不定	不定	不定	不定	不定	不定	0	0	0	0	0	不定	不定	不定
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~16	DRAS[2:0]	不定	R/W	ロウアクティブ期間設定 このビットにより、SDRAM の行活性化 (ACT) コマンドから非活性化 (PRA) までの最短期間を設定します。 000 : 1 サイクル : 111 : 8 サイクル
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13, 12	DRCD[1:0]	不定	R/W	ロウカラムレイテンシ設定 このビットにより、SDRAM のロウ - カラムレイテンシを設定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
11~9	DPCG[2:0]	不定	R/W	ロウプリチャージ期間設定 このビットにより、SDRAM の非活性化 (PRA) コマンドから次の有効なコマンドまでの最短期間を設定します。 000 : 1 サイクル : 111 : 8 サイクル
8	DWR	0	R/W	ライトリカバリ期間設定 このビットにより、SDRAM のライト (WRITE) コマンドから非活性化 (PRA) までの期間を設定します。 0 : 1 サイクル 1 : 2 サイクル

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	DCL[2:0]	不定	R/W	SDRAM コントローラカラムレイテンシ設定 このビットにより、SDRAM コントローラのカラムレイテンシを設定します。 この設定は、SDRAM コントローラ側のレイテンシ設定のみに影響し、外部に接続する SDRAM へのカラムレイテンシ設定は、後述する別途 SDRAMm モードレジスタ (SDmMOD) で行う必要があります。 000 : 設定禁止 001 : 1 サイクル 010 : 2 サイクル 011 : 3 サイクル 1xx : 設定禁止

【記号説明】 x : Don't care

9.4.15 SDRAMm モードレジスタ (SDmMOD) (m = 0, 1)

SDmMOD は SDRAM モードレジスタ、エクステンデッドモードレジスタに書き込む値を設定します。このレジスタに書き込むとにより、自動的に SDRAM へのモードセットコマンド、エクステンデッドモードレジスタセットコマンドの発行が行われます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	DMR[14:0]														
初期値:	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明								
31~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。								
14~0	DMR[14:0]	不定	R/W	モードレジスタ設定 このビットへの書き込みにより、SDRAM に対しモードレジスタセットコマンド、エクステンデッドモードレジスタセットコマンドを発行します。このとき、DMR ビットに設定する値を A16~A2 に出力します。SDRAM はバンクアドレスによってモードレジスタセットとエクステンデッドモードレジスタセットを区別します。 書き込み実行：モードレジスタセットコマンド発行 DMR ビット <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>b14</td><td>b13</td><td>...</td><td>b0</td></tr></table> A16~A2 信号 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>A16</td><td>A15</td><td>...</td><td>A2</td></tr></table>	b14	b13	...	b0	A16	A15	...	A2
b14	b13	...	b0									
A16	A15	...	A2									

【注】 SDRAMm モードレジスタ設定においては、以下の点に注意してください。

1. SDRAM に対してバースト長 1 が設定されるように設定してください。バースト長 1 以外が設定された場合、動作は保証されません。
2. SDRAM のカラムレイテンシは、SDRAMC の SDRAM コントローラカラムレイテンシ設定ビット (DCL) の設定と必ず一致させてください。異なるレイテンシが設定された場合、動作は保証されません。
3. SDRAM ステータスレジスタ (SDSTR) のステータスビット (DSRFST、DPWDST、DDPDST、DMRSST) がすべて 0 になっていることを必ず確認してください。

9.4.16 SDRAM ステータスレジスタ (SDSTR)

SDSTR は、セルフリフレッシュ、初期化シーケンス、パワーダウンモード、ディープパワーダウンモードおよびモードレジスタセットの動作を示すステータスフラグで構成されています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	DSRFST	DINIST	DPWDST	DDPDST	DMRSST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	DSRFST	0	R	セルフリフレッシュ移行・復帰ステータス このビットに1がセットされているときは、SDRAM0、SDRAM1のいずれかのチャンネルがセルフリフレッシュへの移行・復帰動作中であることを示します。 0: 移行・復帰動作中ではない 1: 移行・復帰動作中
3	DINIST	0	R	初期化ステータス このビットに1がセットされているときは、SDRAM0、SDRAM1のいずれかのチャンネルがSDRAM初期化シーケンス実行中であることを示します。 このビットはSDIR1レジスタのDINISTビットと同じ機能です。 0: 初期化シーケンス中ではない 1: 初期化シーケンス中
2	DPWDST	0	R	パワーダウン移行・復帰ステータス このビットに1がセットされているときは、SDRAM0、SDRAM1のいずれかのチャンネルがパワーダウンモードへの移行・復帰動作中であることを示します。 0: 移行・復帰動作中ではない 1: 移行・復帰動作中
1	DDPDST	0	R	ディープパワーダウン移行・復帰ステータス このビットに1がセットされているときは、SDRAM0、SDRAM1のいずれかのチャンネルがディープパワーダウンモードへの移行・復帰動作中であることを示します。 0: 移行・復帰動作中ではない 1: 移行・復帰動作中

ビット	ビット名	初期値	R/W	説明
0	DMRSST	0	R	モードレジスタセットステータス このビットに1がセットされているときは、SDRAM0、SDRAM1のいずれかのチャンネルがモードレジスタセット動作中であることを示します。 0: モードレジスタセット動作中ではない 1: モードレジスタセット動作中

移行・復帰動作中とは、表 9.5 に示す各ビットへの書き込みからそれぞれのコマンドが発行されるまでの期間を表します。

表 9.5 ステータスビット確認が必要なレジスタ、ビット名一覧

機能	レジスタ名	ビット名
セルフリフレッシュ	SDRFCNT0	DSFENCm, DSFEN
初期化シーケンス	SDIR1	DINIRQCm, DINIRQ
パワーダウン	SDPWDCNT	DPWDCm, DPWD
ディープパワーダウン	SDDPDCNT	DDPDCm, DDPD
モードレジスタセット	SDmMOD	DMR

【注】 セルフリフレッシュ、パワーダウン、ディープパワーダウンへの移行・復帰、および初期化シーケンス、モードレジスタセットの実行は、すべてのステータスビットが0時のみに行ってください。
ステータスビット (DSRFST, DINIST, DPWDST, DDPDST, DMRSST) のいずれかが1のときは、表 9.5 に示すレジスタ (ビット) を書き換えしないでください。

9.4.17 SDRAM クロックストップ制御信号設定レジスタ (SDCKSCNT)

SDCKSCNT は、チップ内部信号であるクロックストップ制御信号の有効/無効とアサートサイクル数を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DCKSEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	DCKSC[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	DCKSEN	0	R/W	クロックストップ制御信号有効 このビットにより、クロックストップ制御信号(チップ内部信号)の有効/無効を切り替えます。クロックストップ制御信号を有効にした場合、ディープパワーダウンモードへの移行と復帰時にクロックストップ制御信号が動作して、CKIOが停止(Highレベル)します。無効に設定した場合は、クロックストップ制御信号は常にLowとなります。 0:クロックストップ制御信号無効 1:クロックストップ制御信号有効
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	DCKSC [7:0]	H'0F	R/W	クロックストップ制御信号アサートサイクル数設定 このビットにより、ディープパワーダウン移行コマンドが発行されてからクロックストップ制御信号がHighに変化して、CKIOが停止(Highレベル)するまでの期間と、クロックストップ信号がLowに変化してCKIOが動作してから復帰コマンドが発行されるまでの期間を設定します。 00000000:0サイクル : 00001111:15サイクル : 11111111:255サイクル

9.4.18 AC 特性切り替えレジスタ (ACSWR)

ACSWR は、パワーオンリセット例外処理、ディープスタンバイモードの解除処理内で、外部アドレス空間に対してライトする前および SDRAM の設定を行う前に、必ず ACOSW[3:0] ビットを B'0011 に設定してください。

ACSWR は、パワーオンリセット、ディープスタンバイモードで H'00000000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	ACOSW[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	ACOSW [3:0]	0000	R/W	AC 特性スイッチ AC 特性の切り替えを設定します。 0000: 遅延時間を延長しない 0011: 切り替えを行い、遅延時間を延長する 上記以外: 設定禁止

9.5 動作説明

9.5.1 CSC インタフェース

(1) ノーマルアクセス

ページリード・ライトアクセスを無効 ($PRENB = 0$, $PWENB = 0$) に設定した場合、すべてのバスアクセスはノーマルリード/ライト動作を行います。ページリード・ライトアクセスを許可 ($PRENB = 1$, $PWENB = 1$) にした場合でも、ページアクセス動作にあてはまらないバスアクセスは、ノーマルリード/ライト動作となります。図 9.2 にリード動作時、図 9.3 にライト動作時の外部バス制御信号の基本動作を示します。

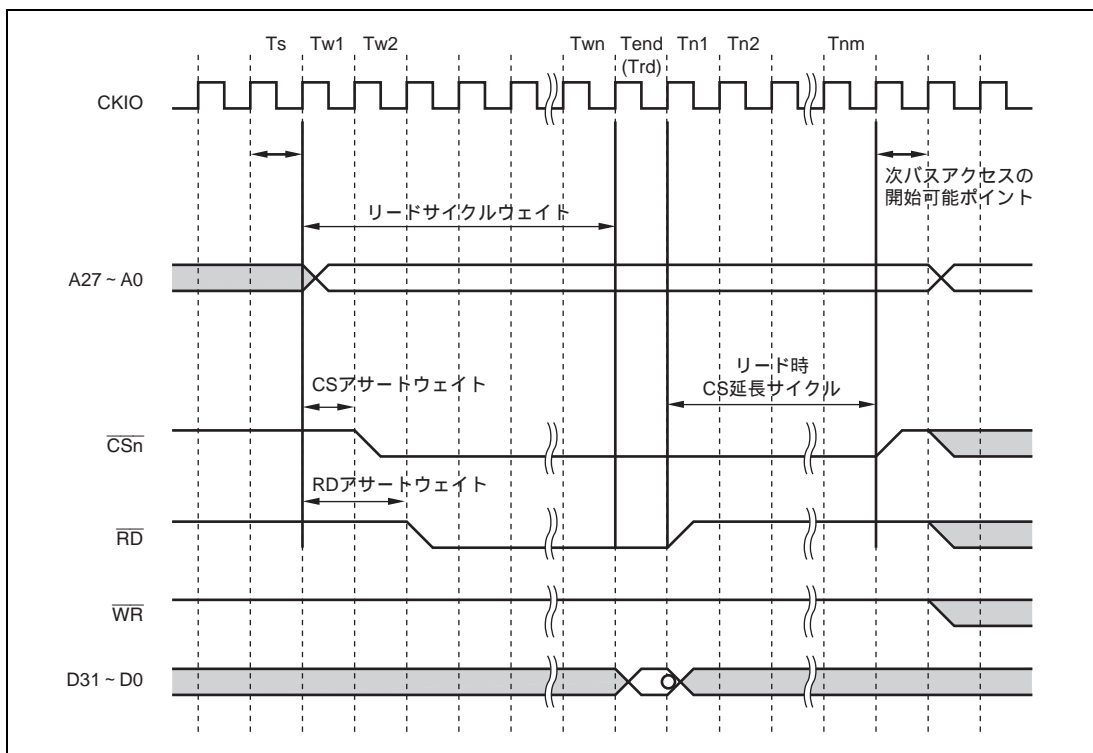


図 9.2 基本バスタイミング (リード動作)

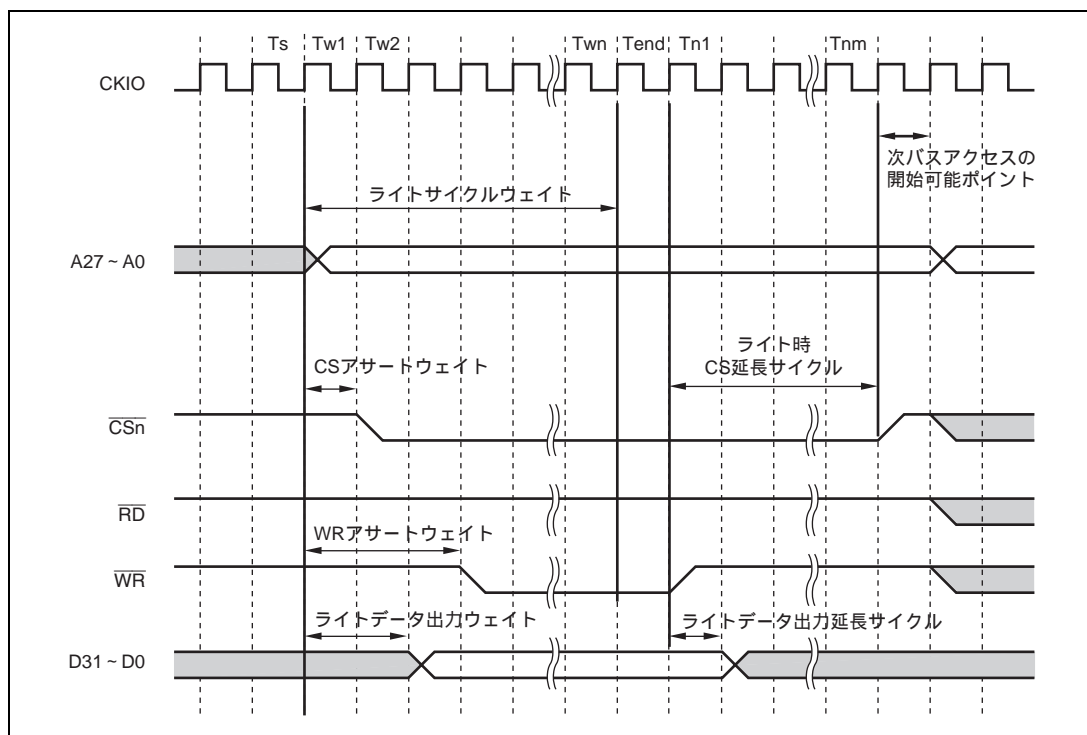


図 9.3 基本バスタイミング (ライト動作)

1. T_s (内部バスアクセス開始)

内部バスマスタから外部バスに対するバスアクセス要求サイクルです。 \overline{CSn} は必ずHとなります。次のサイクルでA27～A0、ライトデータが変化します。

2. $Tw1 \sim Twn$ (リードサイクルウェイト、ライトサイクルウェイト)

内部バスアクセス開始から、ウェイト終了サイクルの間のサイクル期間です。0～31クロックを選択できます。この期間内に、 \overline{CSn} 、 \overline{RD} 、 \overline{WR} の各制御信号が、ウェイト設定に応じてLアサートされます。アサートするタイミングは、 \overline{CSn} 制御レジスタ1、2のCSアサートウェイト、RDアサートウェイト、WRアサートウェイト、ライトデータ出力ウェイトにより制御可能です。ウェイトのサイクル数は、内部バスアクセス開始 (T_s) の次のサイクルを起点に数え、0～7クロックを選択可能です。選択可能なクロック数は、リード・ライトサイクルウェイトのサイクル数以内です。

3. $Tend$ (ウェイト終了サイクル)

リードサイクルウェイト・ライトサイクルウェイトの終了サイクルです。次のサイクルで、 \overline{RD} 、 \overline{WR} 信号がHネゲートされます。

4. $T_{n1} \sim T_{nm}$ (CS延長サイクル)

ウェイト終了サイクルから $\overline{CS_n}$ をHネゲートするまでのサイクル期間です。ネゲートされるタイミングは、ライトデータ出力延長サイクルにより制御可能です。サイクル数は、ウェイト終了サイクルを起点に数えます。ライトアクセス時、またはリード時CS延長サイクル期間が0、1以外の場合、CS延長サイクル終了の次のサイクルで、後続のバスアクセスが開始可能です。リードアクセス時のリード時CS延長サイクルが0、1の場合、リードデータサンプルサイクル (後述) の終了後、後続のバスアクセスが開始可能になります。

5. T_{rd} (リードデータサンプルサイクル)

リードデータのサンプルサイクルです。

(2) ページアクセス

ページライトアクセス許可 ($PWENB = 1$)、ページリードアクセス許可 ($PRENB = 1$) を選んだ場合は、ページアクセス動作にあてはまるバスアクセスは、ページリード・ライト動作となります。ページアクセスは以下の場合に発生します。

1. CPUのバーストアクセス時 (キャッシュリブレース時)
2. 8ビットまたは16ビット幅の外部データバスに対して、ロングワードアクセス (32ビット) を行ったとき
3. 8ビット幅の外部データバスに対して、ワードアクセス (16ビット) を行ったとき

上記 1. の場合のアドレス変化の仕方を表 9.6 に示します。

表 9.6 バーストアクセス時のアドレス変化

バスマスタ	バーストモード	アドレスの変化
CPU	インクリメント	1回の転送バイト数分だけインクリメント。

【注】 * ラップ境界 : 1回の転送バイト数 × バースト転送長

図 9.4 にページリード動作時、図 9.5 にページライト動作時の外部バス制御信号の基本動作を示します。なお、1回のバーストでアクセスされるデータビット数が、モードレジスタの PBCNT ビットで設定した 1 ページアクセスビット境界より大きい場合、1回のバーストアクセスに対して複数回のページアクセスが起動されます。バーストモードがインクリメントからラップアラウンドであるかにかかわらず、アドレスがページ境界を超えた時点でページアクセスを一時終了 ($\overline{CS_n}$ 信号をネゲート) し、再度ページアクセス動作を開始します。1回のバーストでアクセスされるデータビット数がページ境界のビット数より小さい場合は、1回のページアクセスで処理されます。

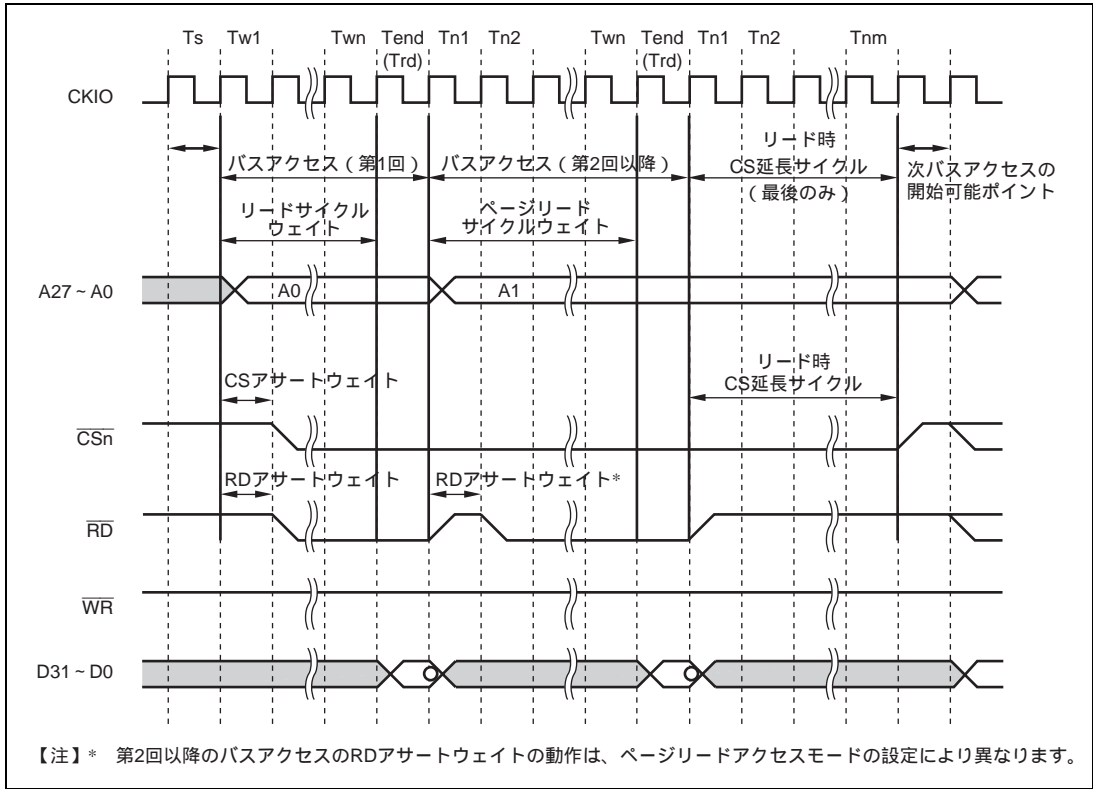


図 9.4 基本バスタイミング (ページリード動作)

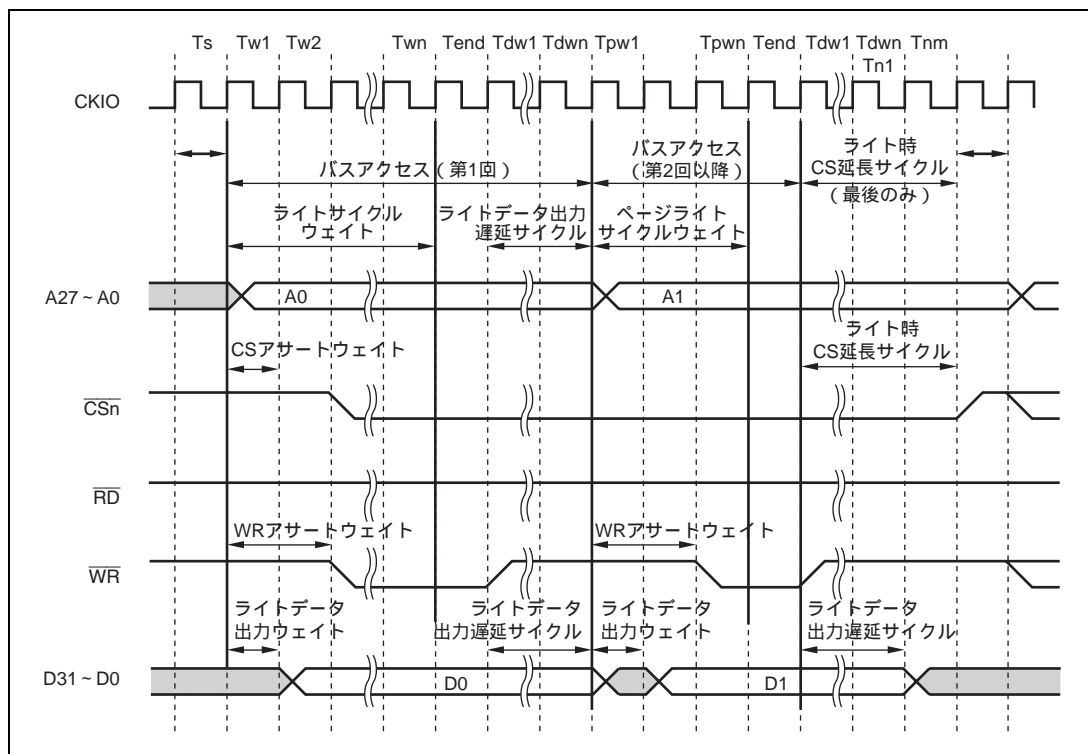


図 9.5 基本バスタイミング (ページライト動作)

1. T_s (内部バスアクセス開始)

内部バスマスタから外部バスに対するバスアクセス要求サイクルです。 \overline{CSn} は必ずHとなります。次のサイクルで、 $A_{27} \sim A_0$ 、ライトデータが変化します。

2. $T_{w1} \sim T_{wn}$ (リードサイクルウェイト、ライトサイクルウェイト)

ページアクセスの第1回目のアクセスについては、内部バスアクセス開始からウェイト終了サイクルまでのウェイト制御は、ノーマルアクセスと同様となります。

3. T_{end} (第1回ウェイト終了サイクル)

1回目のリードサイクルウェイト・ライトサイクルウェイトの終了サイクルです。ライトアクセス時のライトデータ出力延長サイクルが設定されている (0以外の値) 場合を除いて、次のサイクルで2回目以降のページアクセスが開始されます。 \overline{RD} アサートウェイト、 \overline{WR} アサートウェイトの設定が0以外の場合、次のサイクルで \overline{RD} 、 \overline{WR} 信号がHネゲートされます。0の場合、Lアサートが継続されます。 \overline{CSn} 信号はネゲートされず、常にLアサートを継続します。ページリードアクセスでは、リードデータサンプルサイクル (T_{rd}) を待たずに、後続のバスアクセスを開始します。

4. Tdw1 ~ Tdwn (ライトデータ出力延長サイクル)

ライトアクセス時で、ライトデータ出力延長ウェイトが0以外の設定の場合、ライトデータ出力延長サイクルが、ウェイト終了サイクルと後続のページアクセスの間に挿入されます。この期間、アドレス、出力データのアサートが延長されます。また、 \overline{WR} 信号はHネゲートされます。

5. Tpw1 ~ Tpwn (ページリードサイクルウェイト、ページライトサイクルウェイト)

ページアクセスの第2回目以降のバスサイクルについては、リードサイクルウェイト・ライトサイクルウェイトの設定の代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの設定が使用されます。WRアサートウェイトの設定は、第1回目と同様に働きます。RDアサートウェイトの設定は、ページリードアクセスモード (PRMOD) の設定値によって動作が異なります。

PRMOD = 0の場合：RDアサートウェイトの設定は第1回目と同様の動作

PRMOD = 1の場合：RDアサートウェイトの設定は無効

RDアサートウェイト0設定と同様の動作

6. Tend/Tdw1 ~ Tdwn (ウェイト終了サイクル/ライトデータ出力延長サイクル)

第1回目のアクセスと同様の動作 (3、4) を行います。

7. Tn1 ~ Tnm (CS延長サイクル)

最後のウェイト終了サイクルから \overline{CSn} をHネゲートするまでのサイクル期間です。CS延長サイクル数は、ウェイト終了サイクルを起点に数えます。

8. Trd (最後のリードデータサンプルサイクル)

最後のリードデータのサンプルサイクルです。

(3) 外部ウェイト機能

外部ウェイト信号 (\overline{WAIT}) により、CSn ウェイト制御レジスタ (CSWCNTn) で設定したサイクルウェイト (CSRWAIT、CSWWAIT) やページアクセスサイクルウェイト (CSPRWAIT、CSPWWAIT) を超えて、ウェイトサイクルを延長することができます。外部ウェイト許可 (EWENB = 1) にすると、 \overline{WAIT} 信号がLの期間、ウェイトサイクルが挿入されます。外部ウェイト禁止 (EWENB = 0) であれば、 \overline{WAIT} 信号は無効です。

なお、CSn ウェイト制御レジスタ (CSWCNTn) で設定した各ウェイトは、 \overline{WAIT} 信号にかかわらず、挿入されます。

(a) ノーマルリード/ライト動作

\overline{WAIT} 信号は常時サンプリングされていますが、その結果は2サイクル後に反映されます。サイクルウェイトが終了した時点で、その2サイクル前の \overline{WAIT} 信号がLであれば、外部ウェイトサイクルが挿入されます。 \overline{WAIT} 信号がHになれば、その2サイクル後がウェイトサイクルの終了となります。

(b) ページアクセス動作

最初のデータリード・ライト動作は、ノーマルリード・ライト動作と同じです。サイクルウェイトが終了したサイクル ((Tend)) の2サイクル前の \overline{WAIT} 信号がLであれば外部ウェイトが挿入され、 \overline{WAIT} 信号がHになったら2サイクル後にウェイトサイクルを終了 (Tend) します。

2番目以降のリードアクセスに関しては、ページアクセスウェイトサイクルの終了時点 ((Tend)) で、2サイ

クル前の $\overline{\text{WAIT}}$ 信号に従ってページウェイトサイクルを延長し、 $\overline{\text{WAIT}}$ 信号が H になった 2 サイクル後にページウェイトサイクルを終了します (Tend)。

図 9.6 に、16 ビット幅設定のチャネルへのロングワード (32 ビット) アクセスによるページリードアクセスを例に、外部ウェイトタイミングを示します。

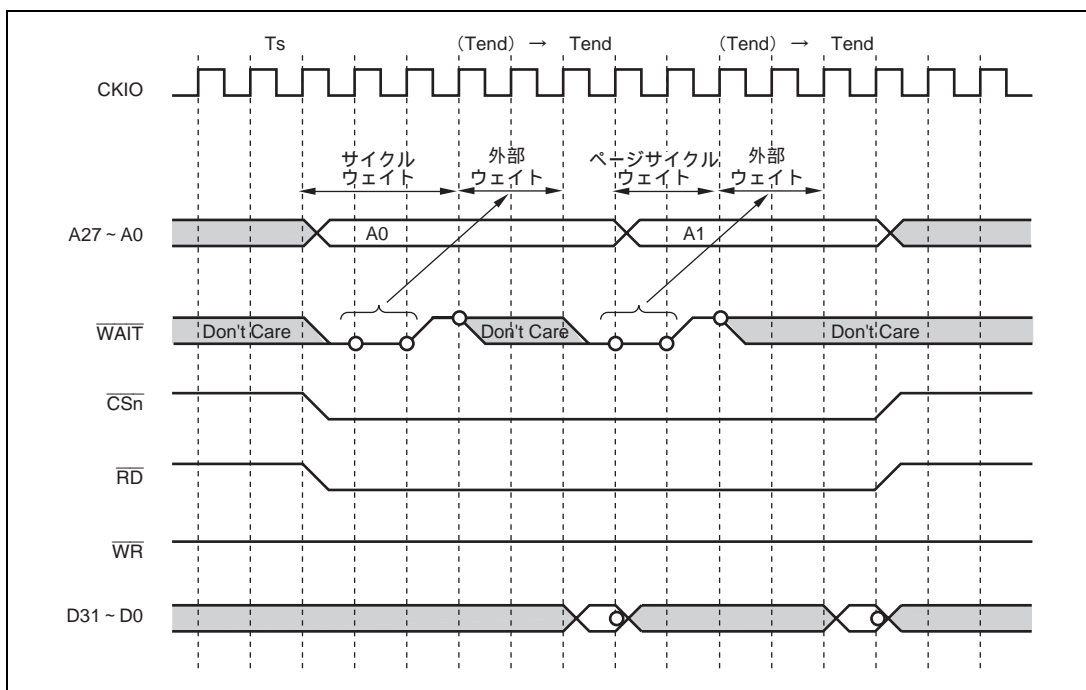


図 9.6 外部ウェイトタイミング例 (16 ビット幅チャネルへのページリードアクセス)

(4) アクセスタイプとデータアライメント

(a) 32 ビットバス幅チャネルの場合

CSn 制御レジスタの外部バス幅選択ビットにて、32 ビットバスを選んだ場合、A27 ~ A2 がロングワード単位のアドレス信号として有効になり、A1、A0 は無効 (L 固定) になります。表 9.7 にデータサイズとバイトアドレスに応じたデータアライメントの一覧を示します。

バイトストローブモード (WRMOD = 0) を選択した場合、 $\overline{WR3} \sim \overline{WR0}$ 端子が有効になります。 $\overline{BC3} \sim \overline{BC0}$ 端子は使用しません。

1 ライトストローブモード (WRMOD = 1) を選択した場合、 $\overline{WR3}$ 端子のみ有効となり、データサイズに関わりなくライトアクセス時には、 $\overline{WR3}$ 端子より L が出力されます。このとき、 $\overline{WR2} \sim \overline{WR0}$ 端子は無効 (H 固定) になります。有効なバイト位置は、 $\overline{BC3} \sim \overline{BC0}$ 端子により表します。

表 9.7 データアライメント (32 ビットバス幅チャネル)

Data Size	Byte Address (lower 2bit)	DATA				$\overline{WR/BC}$			
		[31:24]	[23:16]	[15:8]	[7:0]	[3]	[2]	[1]	[0]
バイト	0		x	x	x	L	H	H	H
	1	x		x	x	H	L	H	H
	2	x	x		x	H	H	L	H
	3	x	x	x		H	H	H	L
ワード	0			x	x	L	L	H	H
	2	x	x			H	H	L	L
ロングワード	0					L	L	L	L

【注】 各データサイズにおけるデータバスの有効ビットを $\overline{}$ で表示します。

x で表示されたデータビットバスは、不定を示します。

(b) 16 ビットバス幅チャネルの場合

CSn 制御レジスタの外部バス幅選択ビットにて、16 ビットバスを選んだ場合、A27 ~ A1 がワード単位のアドレス信号として有効になり、A0 は無効 (L 固定) になります。表 9.8 にデータサイズとバイトアドレスに応じたデータアライメントの一覧を示します。

バイトストローブモード (WRMOD = 0) を選択した場合、 $\overline{WR1}$ 、 $\overline{WR0}$ 端子が有効になります。 $\overline{WR3}$ 、 $\overline{WR2}$ 端子は無効 (H 固定) となります。 $\overline{BC3}$ ~ $\overline{BC0}$ 端子は使用しません。

1 ライトストローブモード (WRMOD = 1) を選択した場合、 $\overline{WR1}$ 端子のみ有効となり、データサイズに関わりなくライトアクセス時には、 $\overline{WR1}$ 端子より L が出力されます。このとき、 $\overline{WR0}$ 端子は無効 (H 固定) になります。有効なバイト位置は、 $\overline{BC1}$ 、 $\overline{BC0}$ 端子により表します。

表 9.8 データアライメント (16 ビットバス幅チャネル)

Data Size	Byte Address (lower 2bit)	DATA				$\overline{WR/BC}$			
		[31:24]	[23:16]	[15:8]	[7:0]	[3]	[2]	[1]	[0]
バイト	0	x	x		x	*	*	L	H
	1	x	x	x		*	*	H	L
	2	x	x		x	*	*	L	H
	3	x	x	x		*	*	H	L
ワード	0	x	x			*	*	L	L
	2	x	x			*	*	L	L
ロングワード	0 (1st)	x	x			*	*	L	L
	2 (2nd)	x	x			*	*	L	L

【注】 各データサイズにおけるデータバスの有効ビットを \times で表示します。

\times で表示されたデータビットバスは、不定を示します。

* で表示されたライト / バイトコントロールビットは、無効 (H 固定) を示します。

(c) 8 ビットバス幅チャネルの場合

CSn 制御レジスタの外部バス幅選択ビットにて、8 ビットバスを選んだ場合、A27 ~ A0 がバイト単位のアドレス信号として有効になります。表 9.9 にデータサイズとバイトアドレスに応じたデータアライメントの一覧を示します。

8 ビットバス幅チャネルの場合、バイトストローブモードの設定にかかわらず、 $\overline{WR0}$ のみが有効になります。 $\overline{WR0}$ には、ライトアクセス時に L が出力されます。 $\overline{BC0}$ は常に L 出力となります。 $\overline{WR3} \sim \overline{WR1}$ 、 $\overline{BC3} \sim \overline{BC1}$ 端子は使用しません。

表 9.9 データアライメント (8 ビットバス幅チャネル)

Data Size	Byte Address (lower 2bit)	DATA				$\overline{WR/BC}$			
		[31:24]	[23:16]	[15:8]	[7:0]	[3]	[2]	[1]	[0]
バイト	0	x	x	x		*	*	*	L
	1	x	x	x		*	*	*	L
	2	x	x	x		*	*	*	L
	3	x	x	x		*	*	*	L
ワード	0 (1st)	x	x	x		*	*	*	L
	1 (2nd)	x	x	x		*	*	*	L
	2 (1st)	x	x	x		*	*	*	L
	3 (2nd)	x	x	x		*	*	*	L
ロングワード	0 (1st)	x	x	x		*	*	*	L
	1 (2nd)	x	x	x		*	*	*	L
	2 (3rd)	x	x	x		*	*	*	L
	3 (4th)	x	x	x		*	*	*	L

【注】 各データサイズにおけるデータバスの有効ビットを \times で表示します。

\times で表示されたデータビットバスは、不定を示します。

* で表示されたライト / バイトコントロールビットは、無効 (H 固定) を示します。

9.5.2 SDRAM インタフェース

ここでは、SDRAM 制御部 (SDRAMC) の動作許可、SDRAM バス幅の設定、SDRAM に対して行う各動作 (リード、ライト、オートリフレッシュ、セルフリフレッシュ、初期化シーケンス、モードレジスタ設定) について説明します。

(1) SDRAM のアクセス有効/無効、SDRAM バス幅設定

SDRAM のアクセス有効、無効の設定はそれぞれ、SDRAMCm 制御レジスタで SDRAMC を動作許可、禁止に設定することにより行います。また、SDRAM バス幅の設定も同様のレジスタで行います。

SDRAMC 制御で SDRAMC を動作禁止状態に設定した場合でも、セルフリフレッシュもしくはオートリフレッシュ動作が有効に設定されているときには、リフレッシュ動作は行われます。

(2) SDRAM コマンド

SDRAMC は、バスサイクルごとに「コマンド」を発行することにより SDRAM の制御を行います。「コマンド」は、RAS/CAS/WE/CKE/CS 等の組み合わせにより定義します。

表 9.10 に SDRAMC が発行するコマンドを示します。

表 9.10 SDRAMC コマンド

略称	コマンド	SDCS	SDRAS	SDCAS	SDWE	SDCKE	BA1	BA0
DSL	ディセレクト	H	X	X	X	X	X	X
ACT	行およびバンク活性化	L	L	H	H	H	V	V
RD	リード	L	H	L	H	H	V	V
WR	ライト	L	H	L	L	H	V	V
PRA	プリチャージオールバンク	L	L	H	L	H	X	X
RFA	オートリフレッシュ	L	L	L	H	H	X	X
MRS	モードレジスタセット	L	L	L	L	H	L	L
EMRS	エクステンデッドモードレジスタセット	L	L	L	L	H	H	L
RFS	セルフリフレッシュエントリ	L	L	L	H	H L	X	X
RFX	セルフリフレッシュイグジット	H	X	X	X	L H	X	X
DPD	ディーブパワーダウン	L	H	H	L	H L	X	X
DPDX	ディーブパワーダウンイグジット	X	X	X	X	L H	X	X

【記号説明】

H : High Level、L : Low Level、V : Valid、X : Don't Care

(3) SDRAMC レジスタ設定条件

SDRAMC の各レジスタを書き換える場合は、表 9.11 の条件をすべて満たしている場合にのみ行ってください。

表 9.11 レジスタ書き換え条件

機能・動作	レジスタ名	条件
セルフリフレッシュ	SDRFCNT0	<ul style="list-style-type: none"> • SDRAM アクセス無効 (SDRAMCm にて設定^{*1}) • オートリフレッシュ有効 (DRFEN = 1) • パワーダウン無効 (DPWD/DPWDCI = 0) • ディープパワーダウン無効 (DDPD/DDPDCI = 0)
オートリフレッシュ	SDRFCNT1	<ul style="list-style-type: none"> • セルフリフレッシュ無効 (DSFEN/DSFENCI = 0) • パワーダウン無効 (DPWD/DPWDCI = 0)
初期化シーケンス	SDIR0	• 初期化シーケンス開始前
	SDIR1	• リセット後、またはディープパワーダウンからの復帰後
パワーダウン	SDPWDCNT	<ul style="list-style-type: none"> • SDRAM アクセス無効 (SDRAMCm にて設定^{*1}) • オートリフレッシュ有効 (DRFEN = 1) • セルフリフレッシュ無効 (DSFEN/DSFENCI = 0) • ディープパワーダウン無効 (DDPD/DDPDCI = 0)
ディープパワーダウン	SDDPDCNT	<ul style="list-style-type: none"> • SDRAM アクセス無効 (SDRAMCm にて設定^{*1}) • セルフリフレッシュ無効 (DSFEN/DSFENCI = 0) • オートリフレッシュ無効 (DRFEN = 0) • パワーダウン無効 (DPWD/DPWDCI = 0)
アドレスレジスタ設定	SD0ADR、 SD1ADR	<ul style="list-style-type: none"> • オートリフレッシュ無効 (DRFEN = 0) • SDRAM アクセス無効 (SDRAMCm にて設定^{*1}) • セルフリフレッシュ無効 (DSFEN/DSFENCI = 0) • パワーダウン無効 (DPWD/DPWDCI = 0) • ディープパワーダウン無効 (DDPD/DDPDCI = 0)
タイミングレジスタ設定	SD0TR、 SD1TR	<ul style="list-style-type: none"> • セルフリフレッシュ動作中 (DSFEN/DSFENCI = 1) または • セルフリフレッシュ無効 (DSFEN/DSFENCI = 0) • オートリフレッシュ無効 (DRFEN = 0) • SDRAM アクセス無効 (SDRAMCm にて設定^{*1})
モードレジスタ設定	SD0MOD、 SD1MOD ^{*2}	<ul style="list-style-type: none"> • SDRAM アクセス無効 (SDRAMCm にて設定^{*1}) • セルフリフレッシュ無効 (DSFEN/DSFENCI = 0) • パワーダウン無効 (DPWD/DPWDCI = 0) • ディープパワーダウン無効 (DDPD/DDPDCI = 0)
クロックストップ制御信号設定	SDCKSCNT	• ディープパワーダウン無効 (DDPD/DDPDCI = 0)

【注】 *1 EXENB への 0 書き込み後に EXENB ビットが 0 クリアされることを確認してください。

*2 書き換え前に SDRAM ステータスレジスタ (SDSTR) のステータスビットがすべて 0 になっていることを必ず確認してください。

(4) セルフリフレッシュ

SDRAM リフレッシュ制御レジスタ 0 (SDRFCNT0) の設定により、セルフリフレッシュモードへの移行・復帰を制御することができます。セルフリフレッシュモードへの移行・復帰は全チャネル同時に行われます。

セルフリフレッシュモードへの移行直前には、オートリフレッシュサイクル動作が行われます。セルフリフレッシュモード中は、CKE 信号が L レベルになります。セルフリフレッシュモードからの復帰直後には、オートリフレッシュサイクルが起動されます。

図 9.7 にセルフリフレッシュモードへの移行タイミングを、図 9.8 に復帰タイミング例を示します。

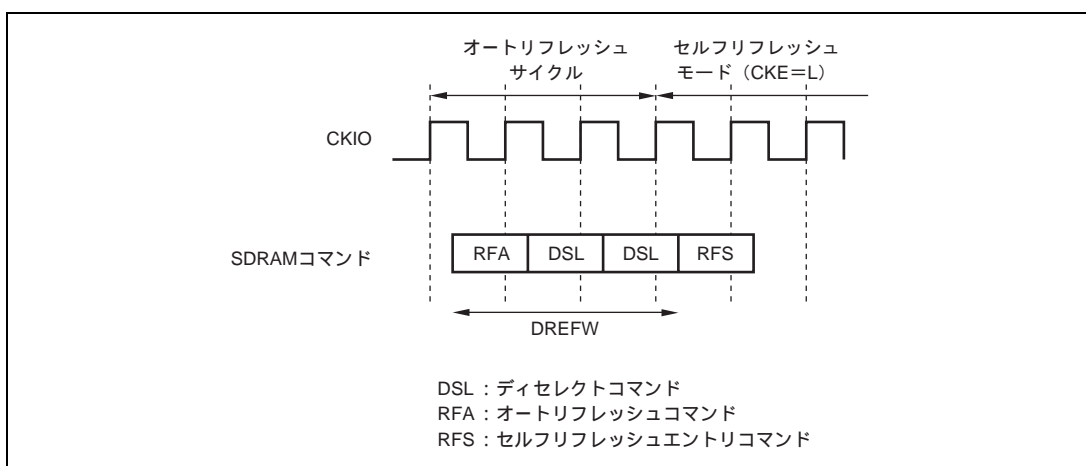


図 9.7 セルフリフレッシュモード移行タイミング例 (DREFW ビット設定値 : 0010 の場合)

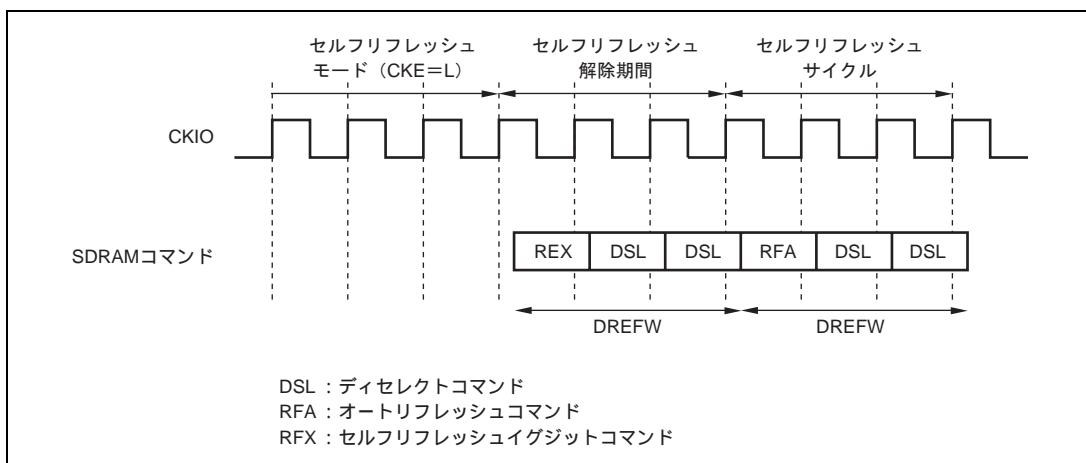


図 9.8 セルフリフレッシュモード復帰タイミング例 (DREFW ビット設定値 : 0010 の場合)

(5) オートリフレッシュ

オートリフレッシュサイクルは、SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1) のオートリフレッシュ動作有効ビット (DRFEN) に 1 をセットすると開始されます。以後リフレッシュカウンタにより定期的のリフレッシュ要求が発生し、オートリフレッシュサイクルが起動されます。ただし、リフレッシュ要求はリード・ライトアクセス中には受け付けられないため、オートリフレッシュサイクルの起動が待たされることがあります。

なお、オートリフレッシュ有効時に SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1) のオートリフレッシュ動作有効ビット (DRFEN) に 1 をセットした場合、直ちにリフレッシュ要求が発生します。

リフレッシュカウンタはセルフリフレッシュ中、ディープパワーダウン中は停止します。セルフリフレッシュ、ディープパワーダウン復帰後は、オートリフレッシュサイクルを起動した後、カウンタ値がリセットされカウンタが再開されます。

オートリフレッシュの設定は、SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1) で行ってください。なお、リフレッシュサイクルは全チャネルの SDRAM に対して行われます。図 9.9 にオートリフレッシュサイクルのタイミング例を示します。

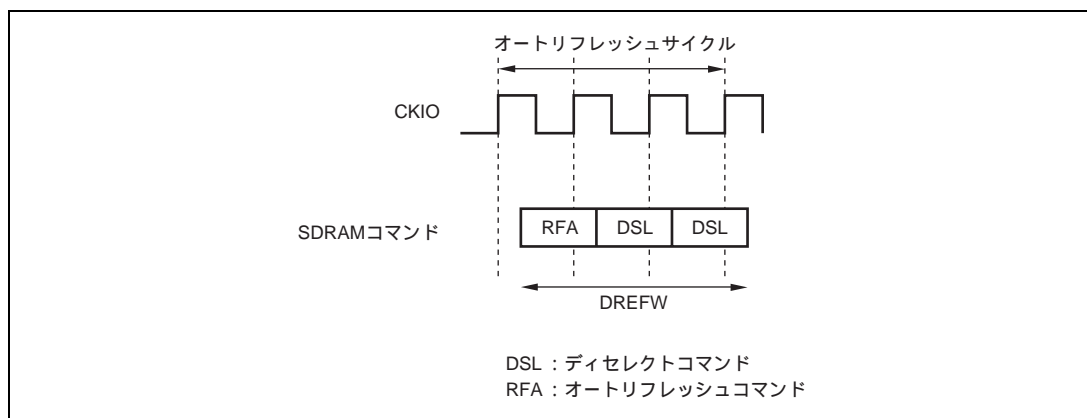


図 9.9 オートリフレッシュサイクルタイミング例 (DREFW ビット設定値 : 0010 の場合)

(6) 初期化シーケンス

SDRAMC は、SDRAM を初期化するためのコマンドを発行するシーケンスを備えています。初期化シーケンスの起動はリセット後（全チャンネル）、およびディープパワーダウンからの復帰後（該当チャンネル）に必ず 1 回のみ行ってください。行わなかった場合、複数回行った場合の動作は保証されません。

SDRAM の初期化シーケンスは、プリチャージオールバンクコマンドの発行、および n ($n=1\sim 15$) 回のオートリフレッシュコマンドの発行を順に行います。初期化シーケンスのタイミング設定は SDRAM 初期化レジスタ 0 (SDIR0) で行ってください。初期化シーケンスの起動は SDRAM 初期化レジスタ 1 (SDIR1) で行ってください。

なお、初期化シーケンスは DINIRQ ビットにより SDRAM0、SDRAM1 同時に行われます。

図 9.10 に初期化シーケンスの動作タイミング例を示します。DARFC が 2 回以上に設定されている場合は、初期化オートリフレッシュサイクルが繰り返されます。

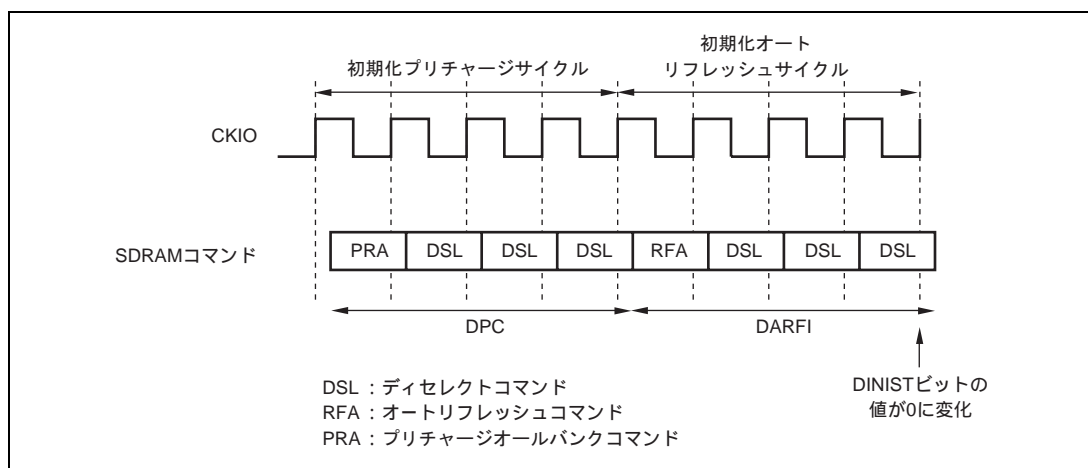


図 9.10 初期化シーケンスタイミング例

(DPC ビット設定値 : 001、DARFI ビット設定値 : 0001、DARFC ビット設定値 : 001 の場合)

(7) パワーダウンモード

SDRAMCはSDRAMのパワーダウンモードをサポートしています。パワーダウンモードになるとSDRAMCは、SDCKE信号をLにします。パワーダウンモード中もSDRAMリフレッシュ制御レジスタ1(SDRFCNT1)のオートリフレッシュ要求間隔設定ビット(DRFC)により設定された間隔でオートリフレッシュ動作を行います。オートリフレッシュコマンドを発行するときのみSDCKE信号はHになります。

パワーダウンモードへの移行・復帰はSDRAMパワーダウン制御レジスタ(SDPWDCNT)で行ってください。

DPWDビットに1をセットすることにより、SDRAMCはパワーダウンモードへ移行します。DPWDビットを0にクリアするとパワーダウンモードから復帰します。

パワーダウンモードから復帰するとSDRAMCは、SDCKE信号をHにします。

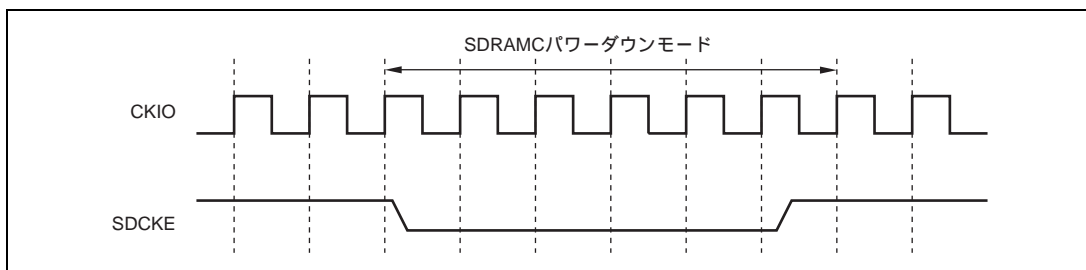


図 9.11 SDRAMC パワーダウンモード

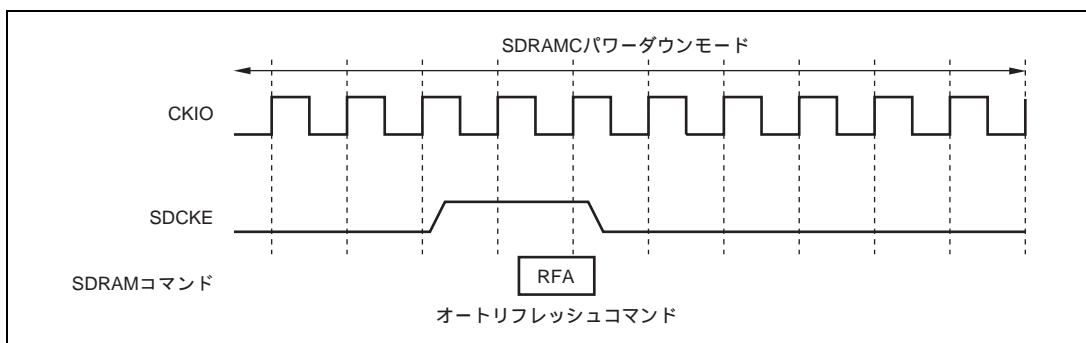


図 9.12 SDRAMC パワーダウンモード時のオートリフレッシュ動作

(8) ディープパワーダウンモード

SDRAMC は SDRAM のディープパワーダウンモードをサポートしています。ディープパワーダウンモードになると SDRAMC は、ディープパワーダウンコマンドを発行し、SDCKE 信号を L にします。

ディープパワーダウンモードへの移行と復帰は SDRAM ディープパワーダウン制御レジスタ (SDDPDCNT) によって行います。

DDPD ビットに 1 をセットすることにより、SDRAMC は SDRAM0、SDRAM1 がディープパワーダウンモードになります。また、DDPD ビットを 0 にクリアすることにより、SDRAMC はディープパワーダウンモードから復帰します。

ディープパワーダウンモードから復帰すると SDRAMC は、ディープパワーダウンイジェクトコマンドを発行し、SDCKE 信号を H にします。

ディープパワーダウンモードからの復帰後はご使用の SDRAM で規定されている所定の時間待ったあと初期化シーケンスを実行してください。

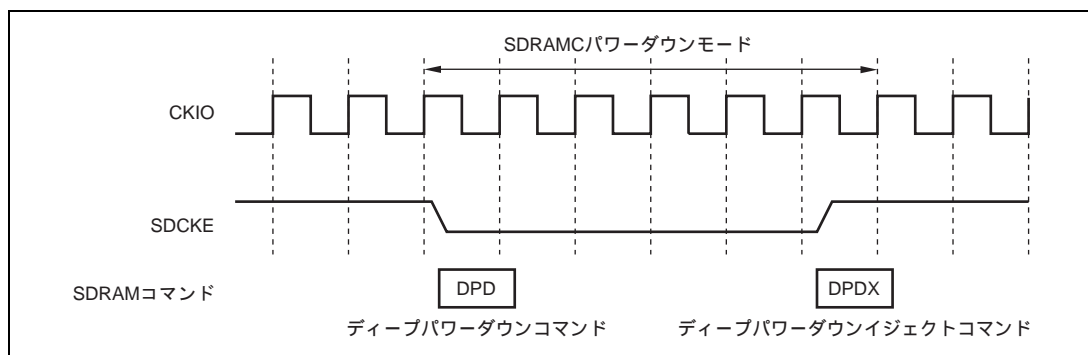


図 9.13 SDRAMC パワーダウンモード

(9) リード/ライトアクセス

リード/ライトアクセスには、以下の2種類があります。

- 複数リード/複数ライト
- シングルリード/シングルライト

複数リード/複数ライトアクセスは、以下の場合に発生します。

1. CPUのバーストアクセス時(キャッシュリブレース時)
2. 8ビットまたは16ビット幅のSDRAMデータバスに対して、ロングワードアクセス(32ビット)を行ったとき
3. 8ビット幅のSDRAMデータバスに対して、ワードアクセス(16ビット)を行ったとき
4. DMAパイプライン転送で、複数データを転送するとき

アクセスタイミングは、SDRAMm タイミングレジスタ (SDmTR) によりチャンネルごとに設定してください。以下に、アクセスタイミング例を示します。

(a) 複数リード/複数ライトアクセス

図 9.14 に 4 データの複数リード、図 9.15 に 4 データの複数ライトを行う場合のタイミング例を示します。

DMA 転送時は、1 オペランドの転送数、転送データのサイズや SDRAM バス幅等に応じて転送数が変化します。リードコマンドやライトコマンドは、バスマスタからのアクセス要求に応じて、連続して発行される場合と連続して発行されない場合があります。リードコマンド/ライトコマンドが連続して発行されない場合、リードコマンド間/ライトコマンド間にディセレクトコマンドが発行されます。

また、DMA 転送中に SDRAM の行アドレスが変化する場合、自動的に行の非活性化、活性化を行います。

図 9.16 に 4 データの複数リード、図 9.17 に 4 データの複数ライトで連続してリードコマンド/ライトコマンドが発行されない場合のタイミング例を示します。図 9.18 に複数ライトで行アドレスが変化する場合のタイミング例を示します。

アクセスタイミングは、SDRAMm タイミングレジスタ (SDmTR) の設定によって変化します。

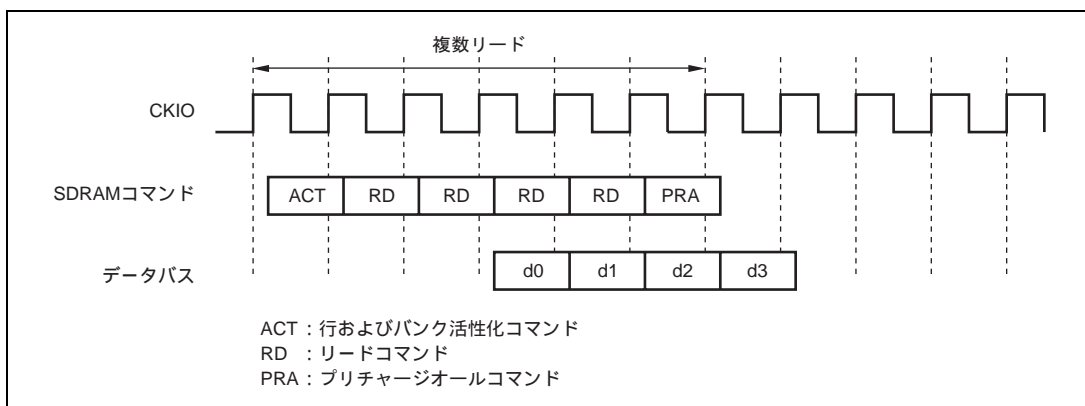


図 9.14 複数リードタイミング例 (4 データ複数リード、最短タイミング設定時) 連続リードコマンド発行

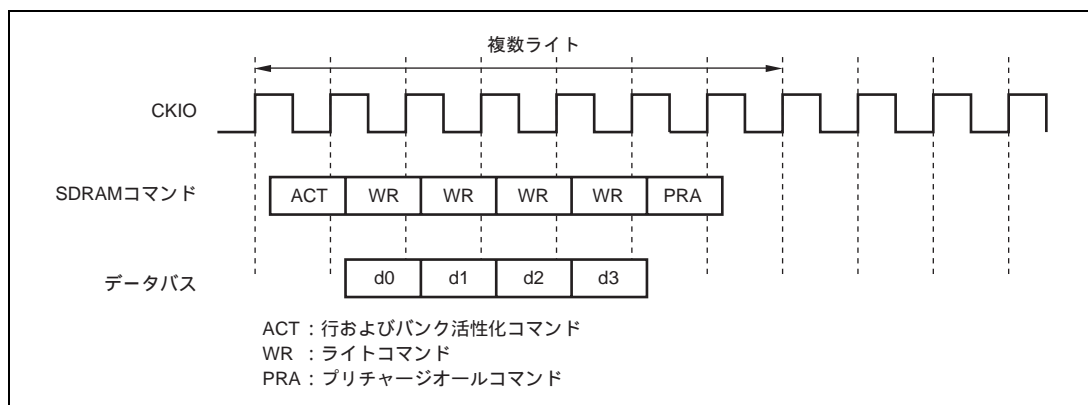


図 9.15 複数ライトタイミング例 (4 データ複数ライト、最短タイミング設定時) 連続ライトコマンド発行

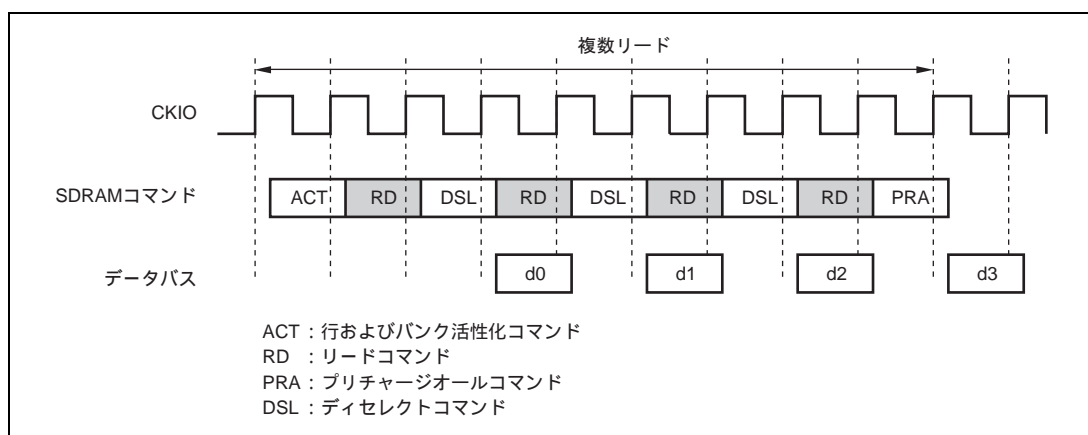


図 9.16 複数リードタイミング例 (4 データ複数リード、最短タイミング設定時) 非連続リードコマンド発行

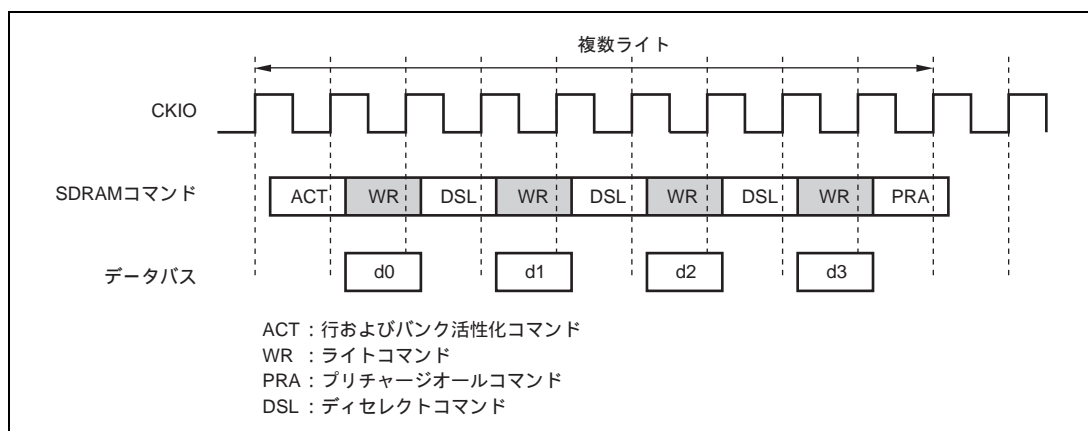


図 9.17 複数ライトタイミング例 (4 データ複数ライト、最短タイミング設定時) 非連続ライトコマンド発行

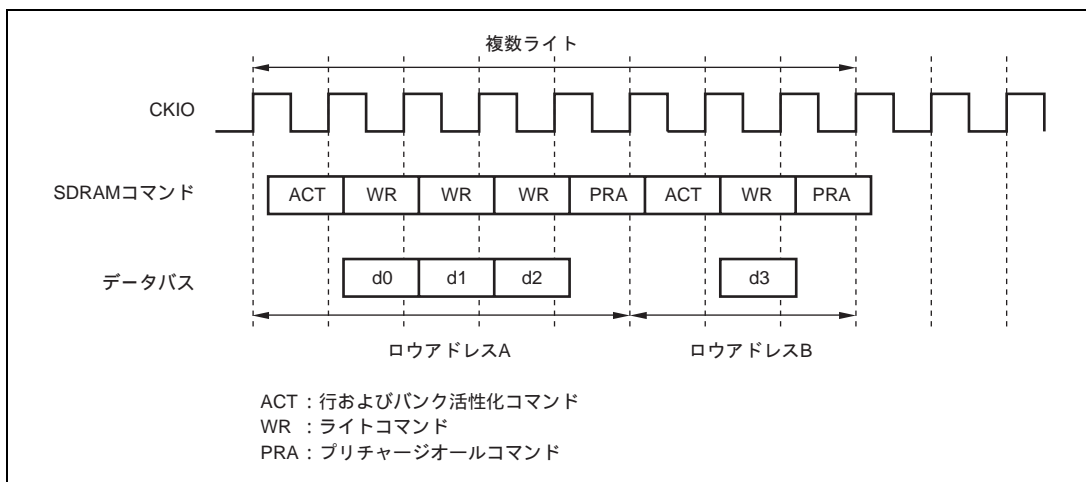


図 9.18 複数ライトタイミング例 (4 データ複数ライト、最短タイミング設定時) 行アドレスまたぎ

(b) シングルリード/シングルライトアクセス

図 9.19 にシングルリード、図 9.20 にシングルライトを行う場合のタイミング例を示します。アクセスタイミングは、SDRAMm タイミングレジスタ (SDmTR) の設定によって変化します。

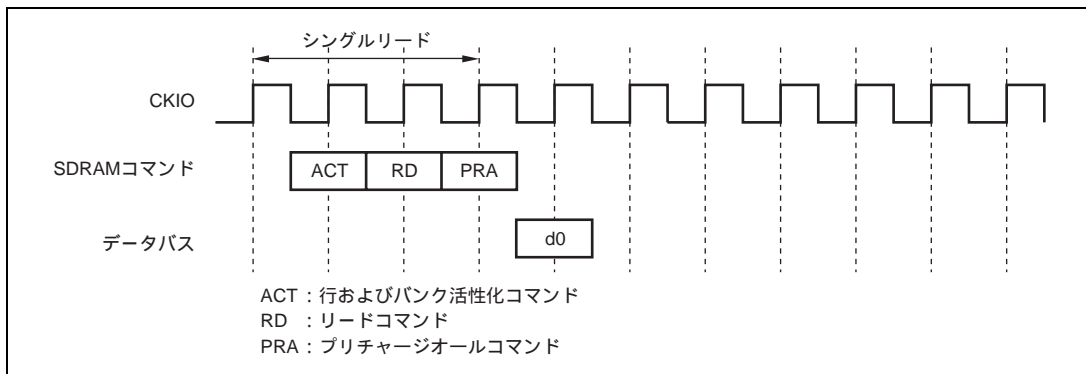


図 9.19 シングルリードタイミング例 (最短タイミング設定時)

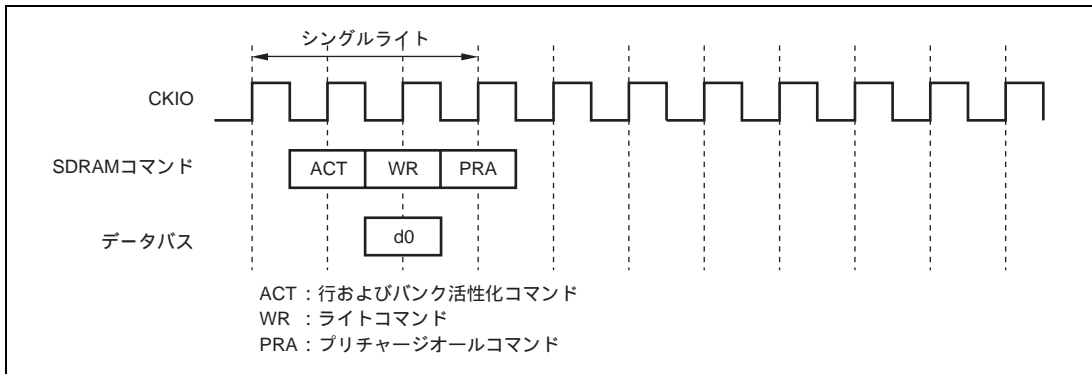


図 9.20 シングルライトタイミング例 (最短タイミング設定時)

(c) DQM によるバイトアクセス制御

図 9.21、図 9.22 に 16 ビットバス幅の SDRAM に対してバイトアクセスを行う場合のタイミング例を示します。DQM 信号はデータをマスクする必要がある SDRAM アクセスでアサートされます。

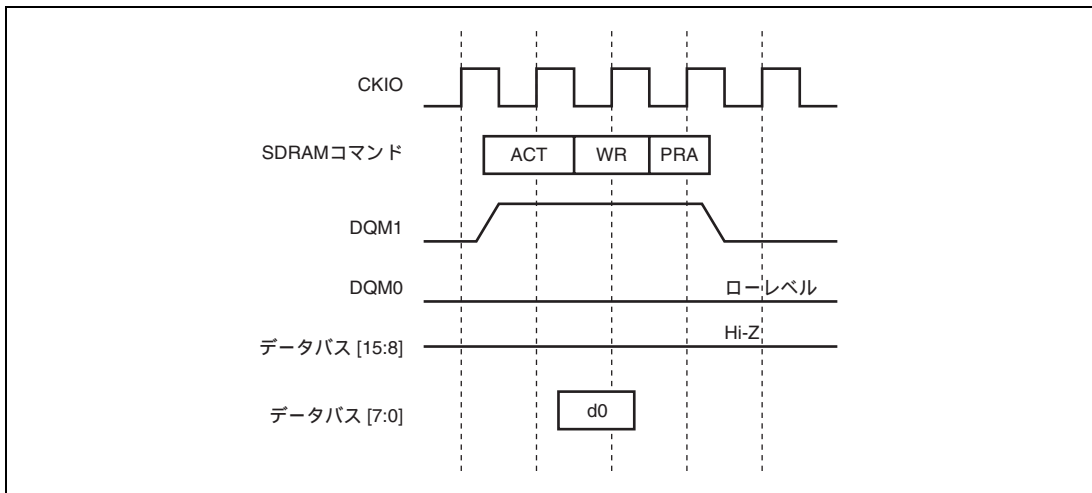


図 9.21 16 ビットバス幅 SDRAM に対するバイトライト例

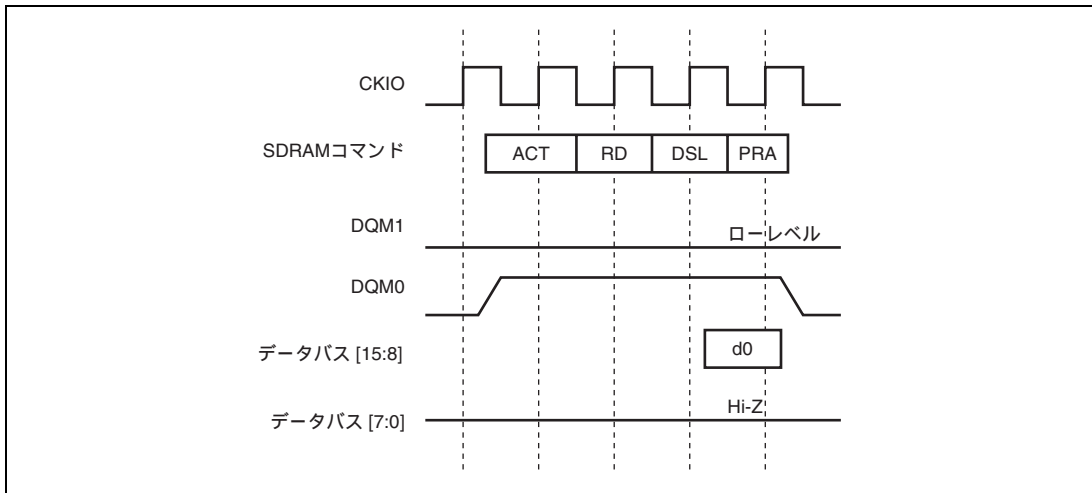


図 9.22 16 ビットバス幅 SDRAM に対するバイトリード例

(10) モードレジスタ設定

SDRAMm モードレジスタ (SDmMOD) に書き込むことにより、各チャネルの SDRAM に対し、モードレジスタ設定コマンド、エクステンデッドモードレジスタ設定コマンドを発行します。SDRAMm モードレジスタ (SDmMOD) はチャネルごとに設定してください。

図 9.23 に、モードレジスタ設定の動作タイミングを示します。

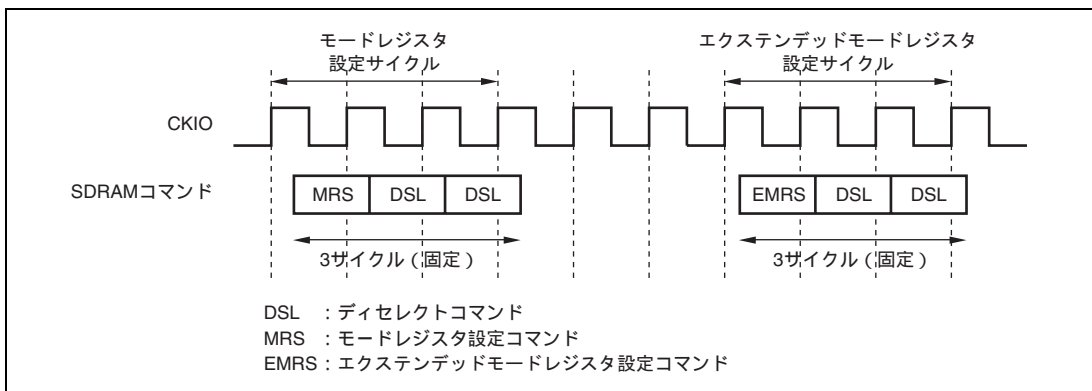


図 9.23 モードレジスタ設定動作タイミング

(11) クロックストップ制御信号

SDRAMC はクロックストップ制御信号 (CLKSTOP: チップ内部信号) にて CKIO の出力を制御します。SDRAM クロックストップ制御信号設定レジスタ (SDCKSCNT) の DCKSEN ビットにより、CLKSTOP の有効・無効を切り替えることができます。

クロックストップ制御信号無効時には、CLKSTOP 信号は常に L となります。

クロックストップ制御信号有効時には、ディープパワーダウンモードへの移行と復帰にあわせて CLKSTOP 信号と CKIO が動作します。

ディープパワーダウンモード移行時には、ディープパワーダウンエントリコマンドが発行されてから CLKSTOP 信号が H になり、CKIO が停止 H になります。ディープパワーダウンモード復帰時には、DDPD ビットの 0 クリアが SDRAMC に受け付けられると CLKSTOP 信号が L になり、ディープパワーダウンイグジットコマンドが発行され、CKIO が動作します。

ディープパワーダウンエントリ・イグジットコマンドから CLKSTOP と、CKIO の変化までのタイミング DCKSC は SDRAM クロックストップ制御信号設定レジスタで設定することができます。

図 9.24、図 9.25 にクロックストップ制御信号の動作タイミングを示します。

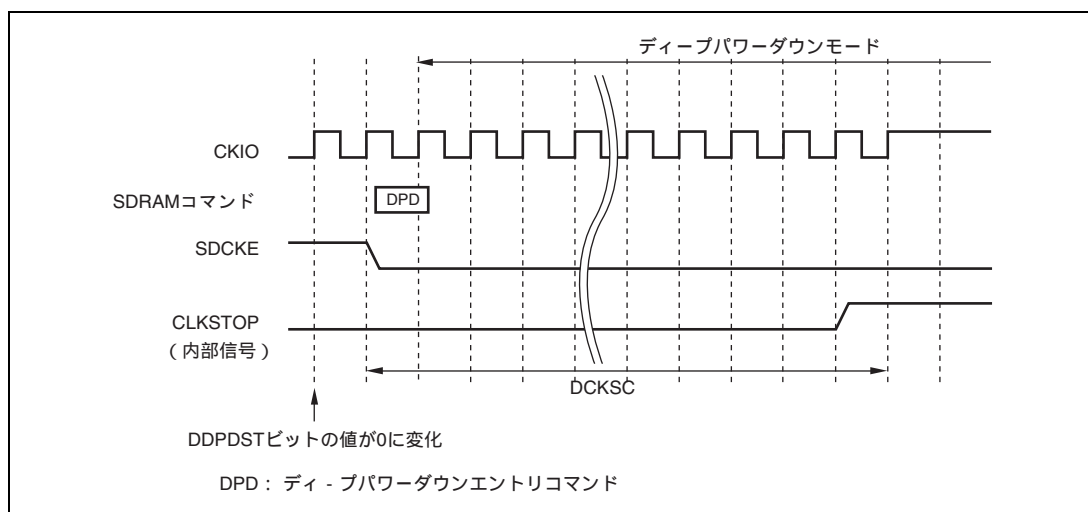


図 9.24 クロックストップ制御信号動作タイミング (ディープパワーダウンモード移行時)

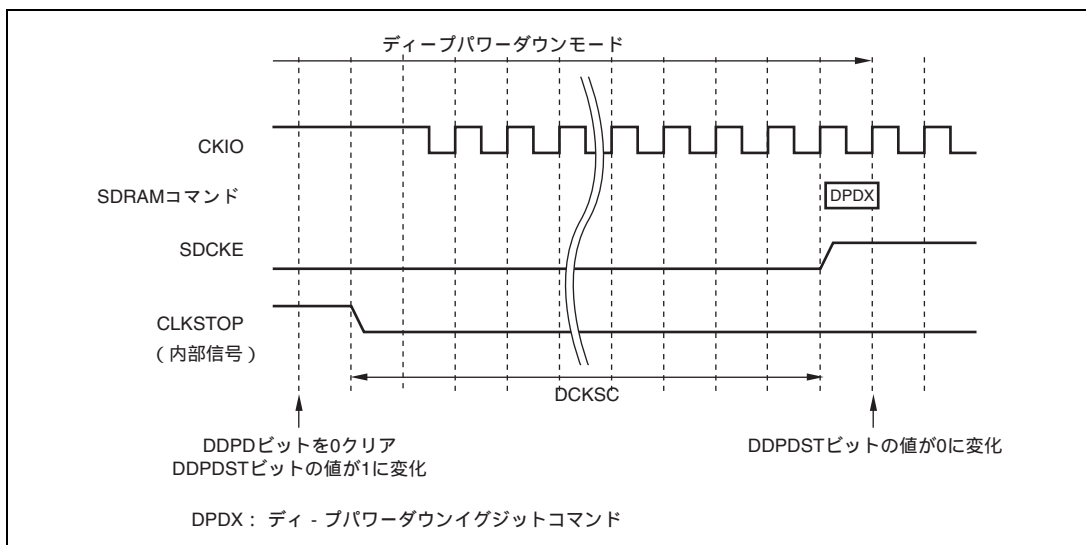


図 9.25 クロックストップ制御信号動作タイミング (ディープパワーダウンモード復帰時)

(12) SDRAMC 設定例

ここでは、SDRAMC の設定手順、タイミングレジスタの設定例、セルフリフレッシュモード、パワーダウンモード、ディープパワーダウンモードへの移行・復帰手順について説明します。

(a) SDRAMC の設定手順

図 9.26 に SDRAMC の設定手順を示します。

なお、使用される SDRAM により、パワーアップシーケンス等の仕様が異なる場合があります。

SDRAM の仕様を十分ご検討の上、システム設計を行ってください。

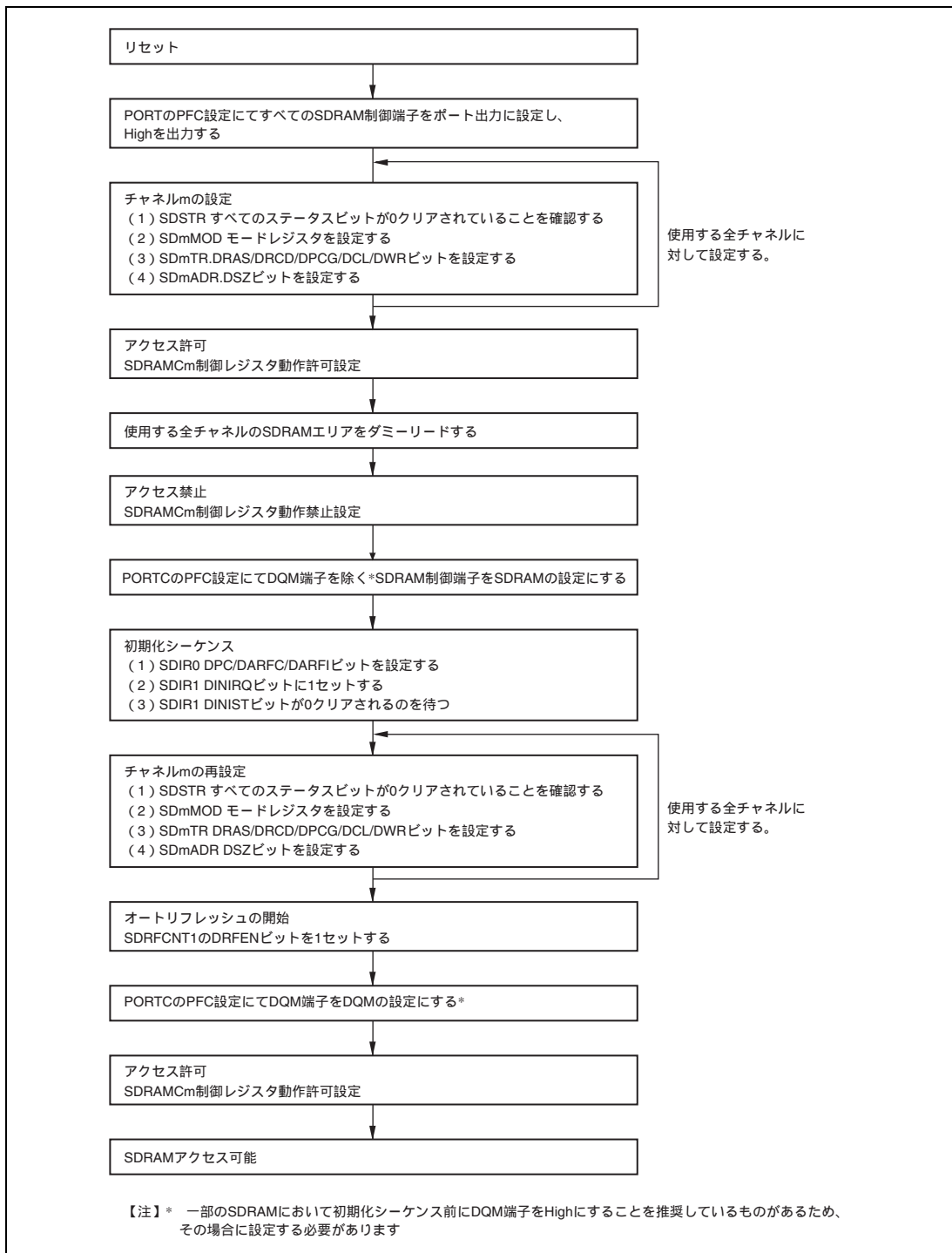


図 9.26 SDRAMC 設定手順

(b) セルフリフレッシュモードへの移行・復帰手順

図 9.27 にセルフリフレッシュモードへの移行・復帰手順を示します。

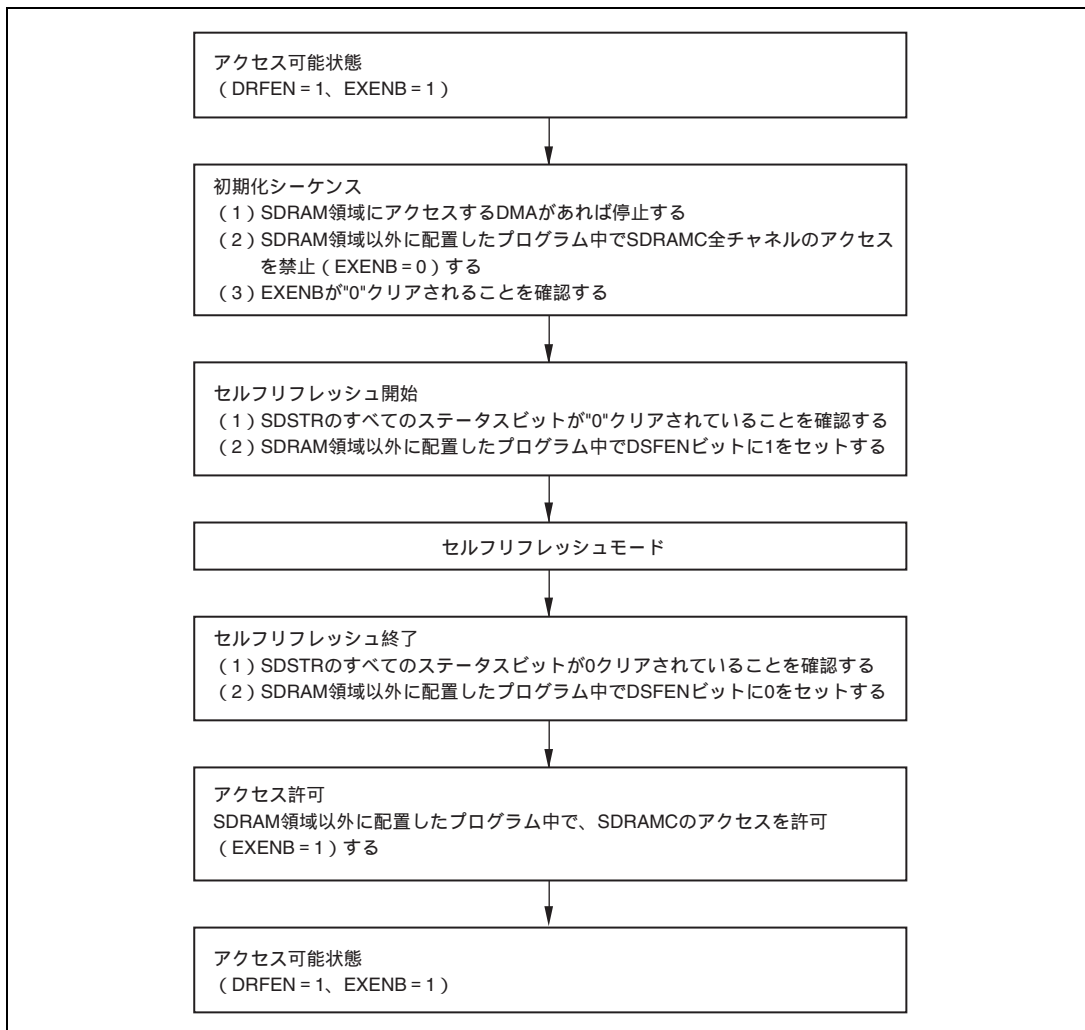


図 9.27 セルフリフレッシュモードへの移行・復帰手順

【注】 セルフリフレッシュモードへの移行・復帰時には、該当チャネルへの SDRAM アクセスを禁止する必要があります。従って SDRAM をアクセスするプログラム / DMA の動作中には、セルフリフレッシュモードへの移行、復帰はできません。プログラミングに当たっては、以下の点に注意してください。

1. セルフリフレッシュモードに移行する前に、該当チャネルの SDRAM 領域にアクセスする DMA チャネルの転送を禁止してください。
2. セルフリフレッシュ移行時、セルフリフレッシュモード中、セルフリフレッシュモード復帰に実行するプログラムは、SDRAM 領域へのオペランドアクセス、命令フェッチ (プリフェッチを含む) が生じないようにしてください。

(c) ディープパワーダウンモードへの移行・復帰手順

図 9.28 にディープパワーダウンモードへの移行手順を示します。

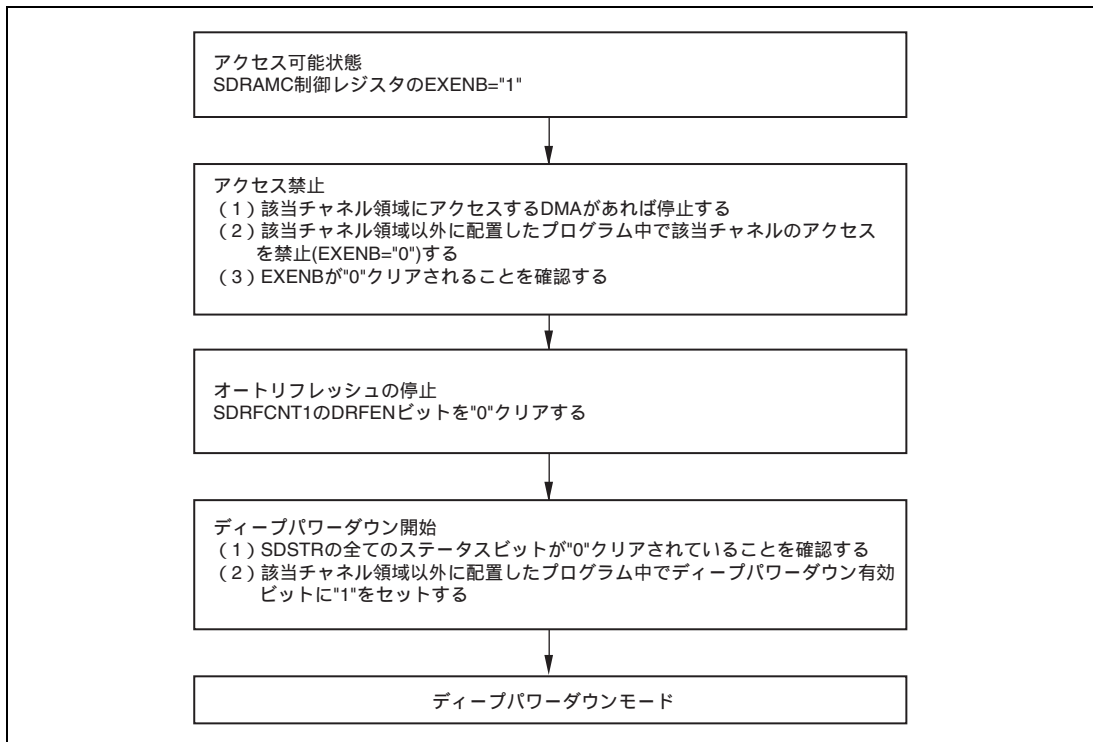


図 9.28 ディープパワーダウンモードへの移行手順

図 9.29 にディープパワーダウンモードからの復帰手順を示します。

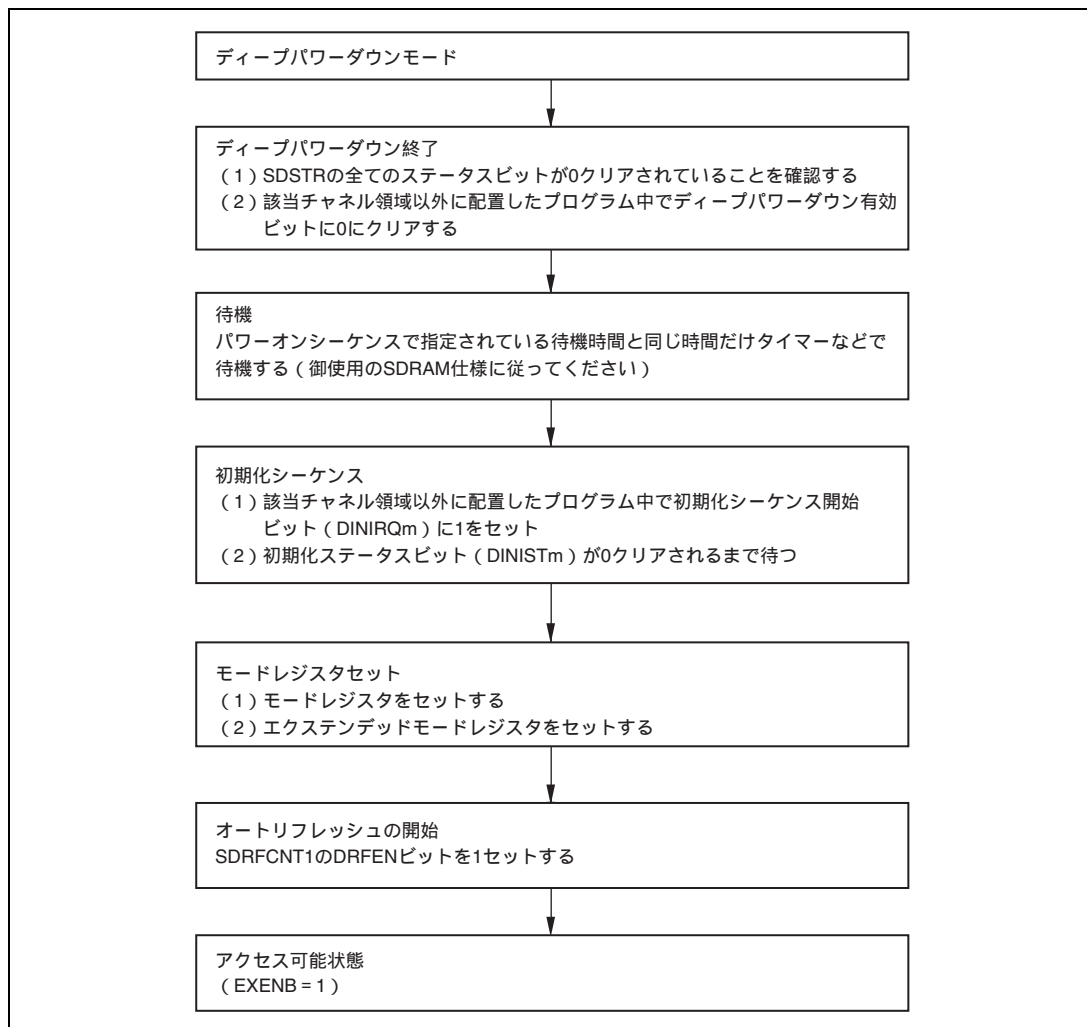


図 9.29 ディープパワーダウンモードからの復帰手順

【注】 ディープパワーダウンモードへの移行・復帰時には、該当チャンネルへの SDRAM アクセスを禁止する必要があります。したがって SDRAM をアクセスするプログラム / DMA の動作中には、ディープパワーダウンモードへの移行、復帰はできません。プログラミングに当たっては、以下の点に注意してください。

1. ディープパワーダウンモードに移行する前に、該当チャンネルの SDRAM 領域にアクセスする DMA チャンネルの転送を禁止してください。
2. ディープパワーダウン移行時、ディープパワーダウンモード中、ディープパワーダウンモード復帰に実行するプログラムは、SDRAM 領域へのオペランドアクセス、命令フェッチ (プリフェッチを含む) が生じないようにしてください。

(d) タイミングレジスタ設定値とアクセスタイミング

リード・ライトアクセスタイミングと、SDRAMm タイミングレジスタ (SDmTR) 設定値の関連について説明します。

- 複数リードタイミング設定例

図 9.30 ~ 図 9.32 に、4 データの複数リード時のタイミングと SDRAMm タイミングレジスタ (SDmTR) 設定値の関係を示します。表 9.12 に、それぞれの図と SDRAMm タイミングレジスタ (SDmTR) 設定値の対応を示します。

表 9.12 SDmTR 設定値対応表 (複数リードタイミング)

図	DRAS	DRCD	DPCG	DCL
図 9.30	010	00	001	010
図 9.31	000	01	001	010
図 9.32	000	01	001	011

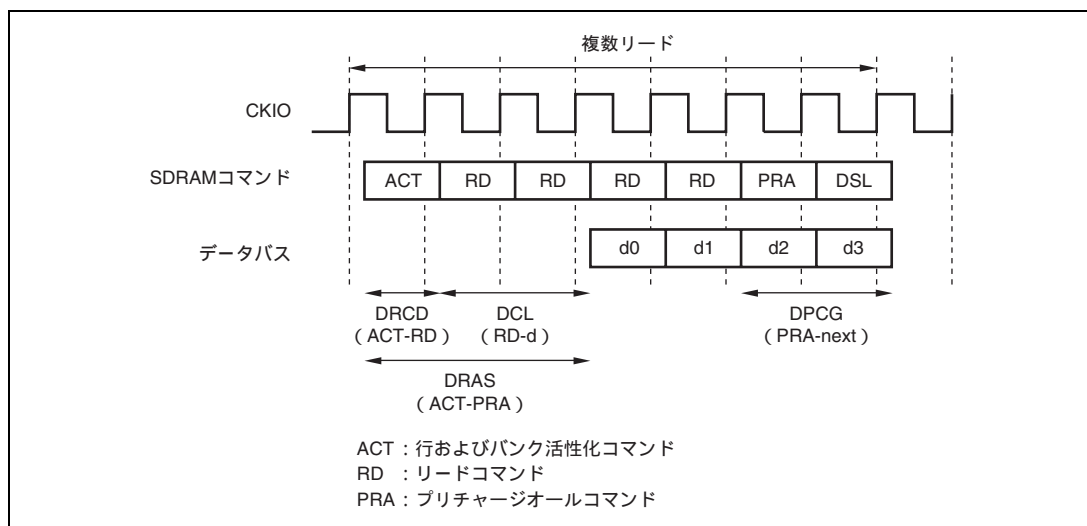


図 9.30 複数リードタイミング例 1

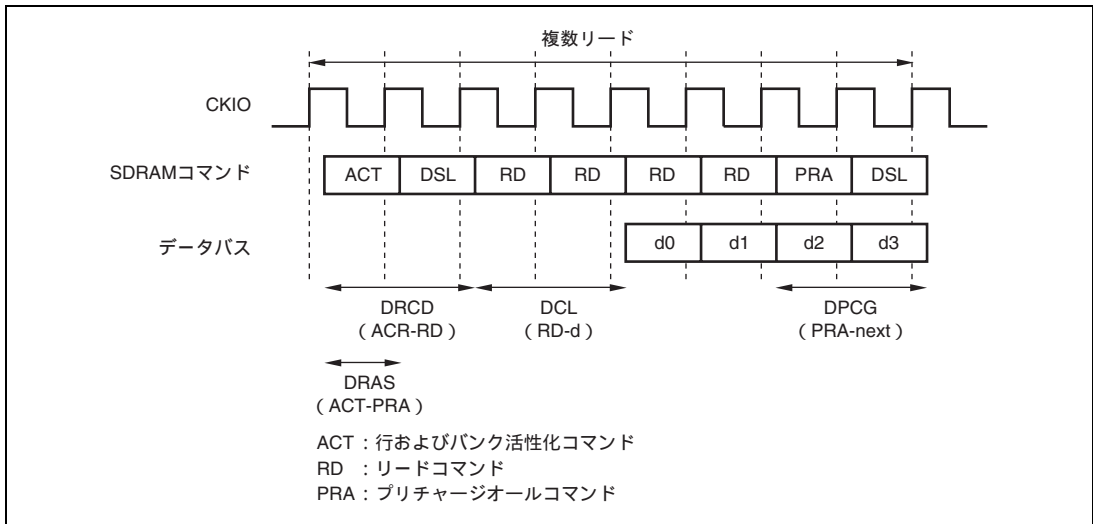


図 9.31 複数リードタイミング例 2

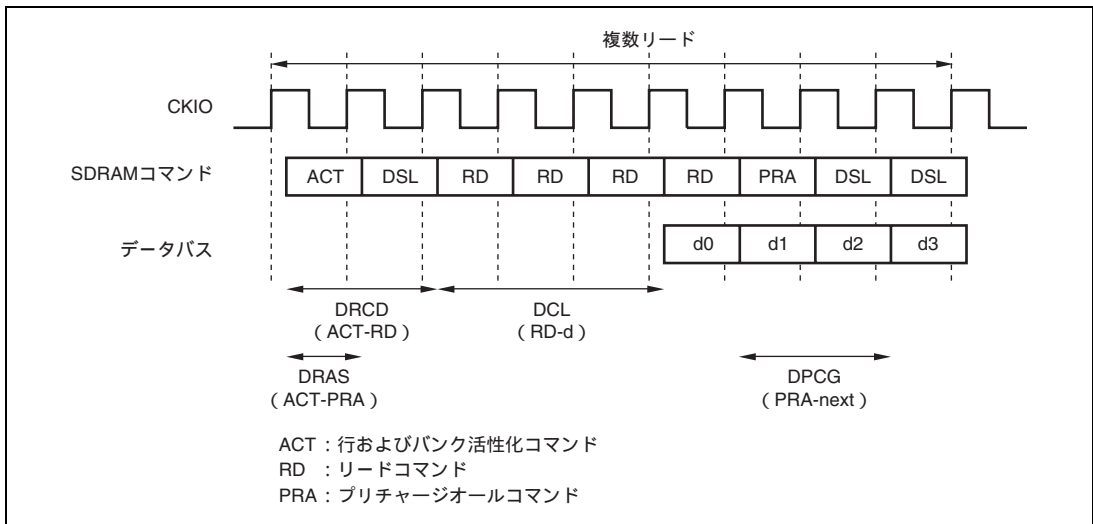


図 9.32 複数リードタイミング例 3

- 複数ライトタイミング設定例

図 9.33 ~ 図 9.35 に、4 データの複数ライト時のタイミングと SDRAMm タイミングレジスタ (SDmTR) 設定値の関係を示します。表 9.13 にそれぞれの図と SDRAMm タイミングレジスタ (SDmTR) 設定値の対応を示します。

表 9.13 SDITR 設定値対応表 (複数ライトタイミング)

図	DRAS	DRCD	DPCG	DWR
図 9.33	010	00	001	0
図 9.34	000	01	001	0
図 9.35	000	01	001	1

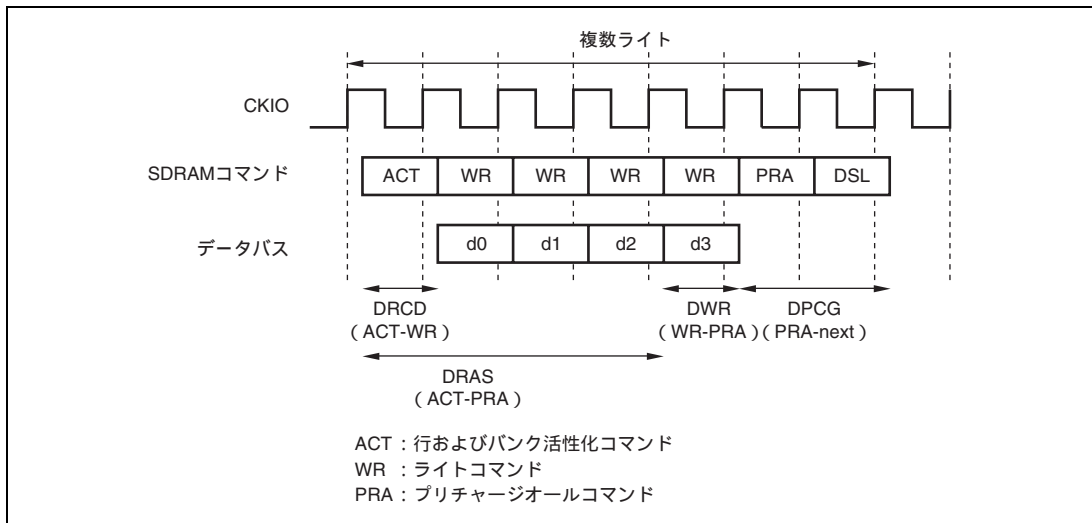


図 9.33 複数ライトタイミング例 1

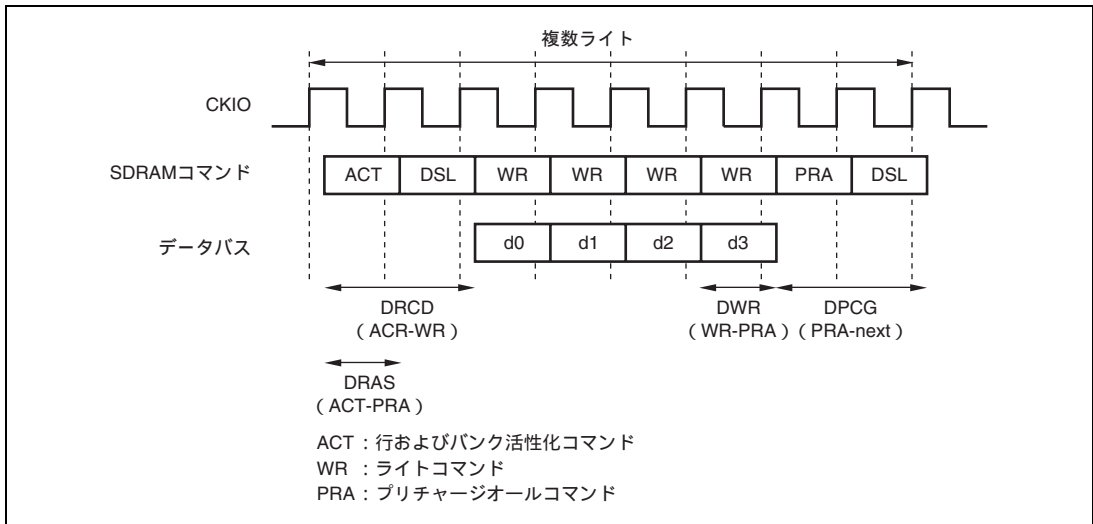


図 9.34 複数ライトタイミング例 2

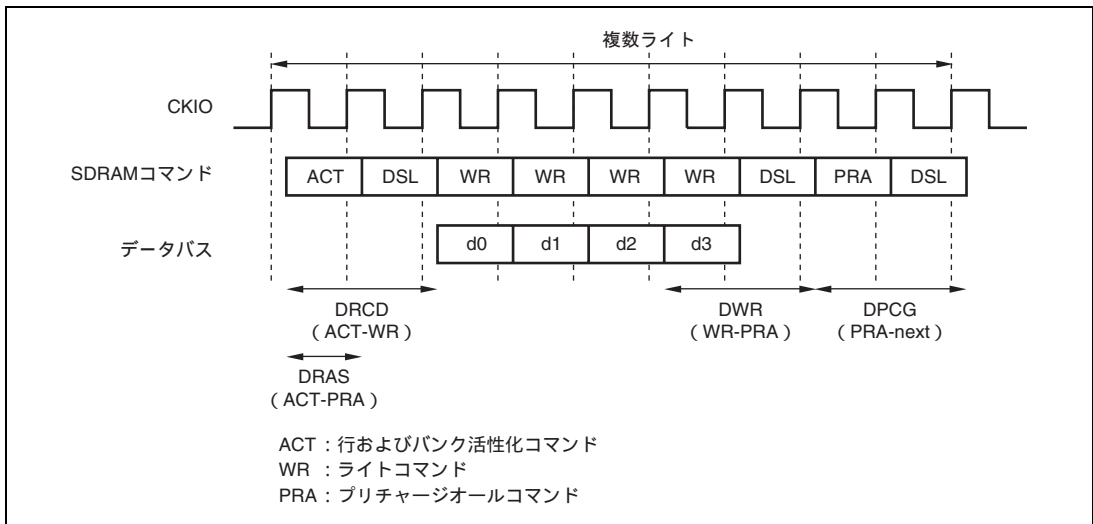


図 9.35 複数ライトタイミング例 3

- シングルリードタイミング設定例

図 9.36 ~ 図 9.38 に、シングルリードタイミングと SDRAMm タイミングレジスタ (SDmTR) 設定値の関係を示します。表 9.14 にそれぞれの図と SDRAMm タイミングレジスタ (SDmTR) 設定値の対応を示します。

表 9.14 SDITR 設定値対応表 (シングルリードタイミング)

図	DRAS	DRCD	DPCG	DCL
図 9.36	010	00	001	010
図 9.37	000	01	001	010
図 9.38	000	01	001	011

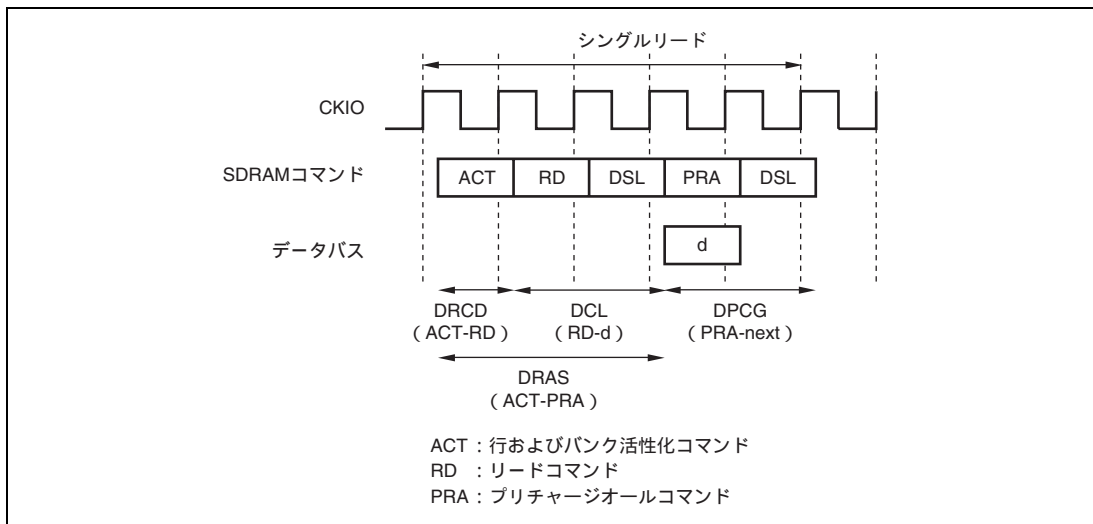


図 9.36 シングルリードタイミング例 1

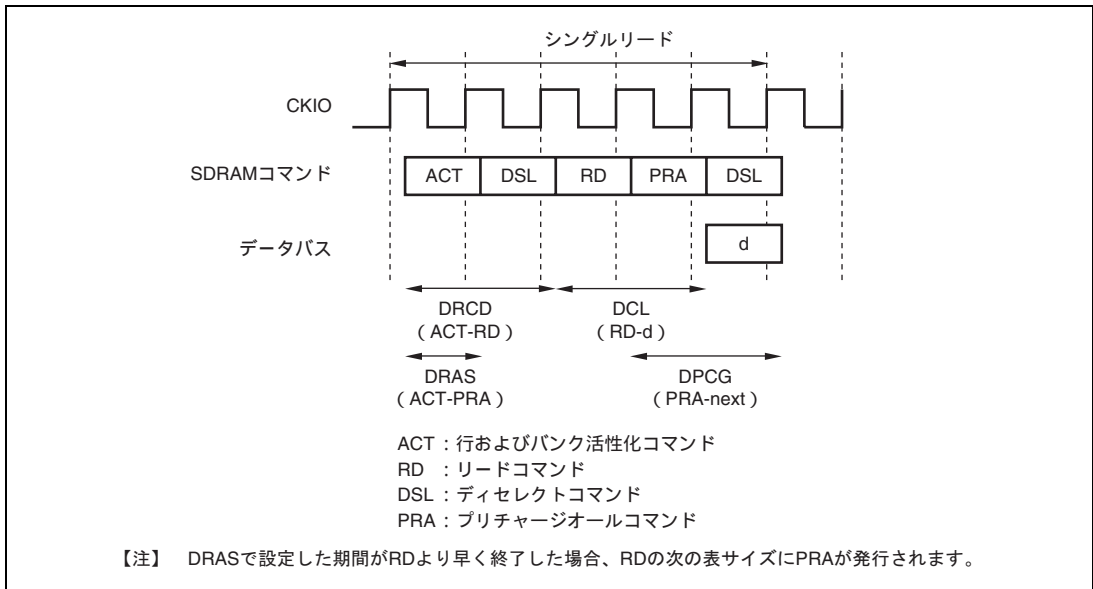


図 9.37 シングルリードタイミング例 2

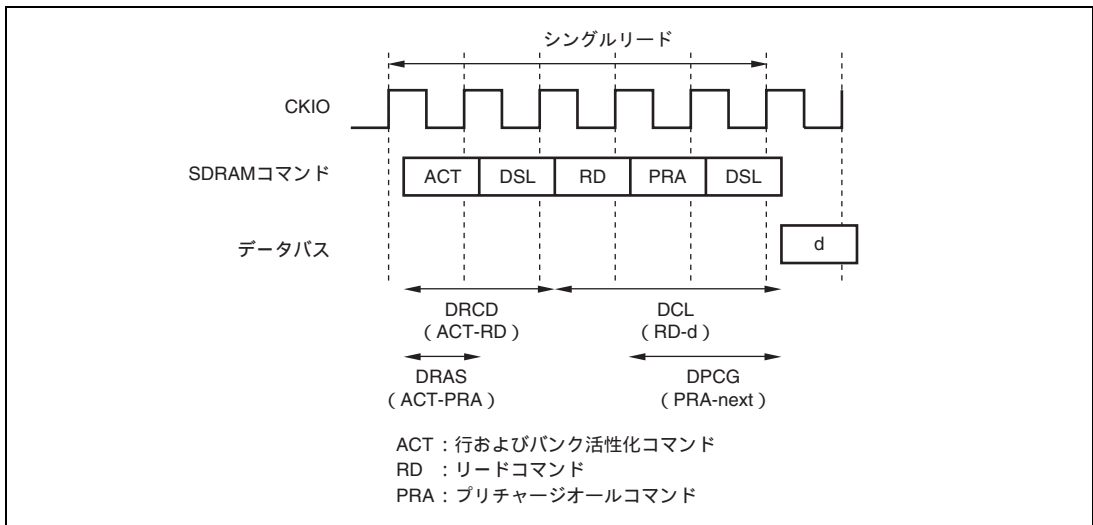


図 9.38 シングルリードタイミング例 3

- シングルライトタイミング設定例

図 9.39 ~ 図 9.41 に、シングルライトタイミングと SDRAMm タイミングレジスタ (SDmTR) 設定値の関係を示します。表 9.15 にそれぞれの図と SDRAMm タイミングレジスタ (SDmTR) 設定値の対応を示します。

表 9.15 SDITR 設定値対応表 (シングルライトタイミング)

図	DRAS	DRCD	DPCG	DWR
図 9.39	010	00	001	0
図 9.40	000	01	001	0
図 9.41	000	01	001	1

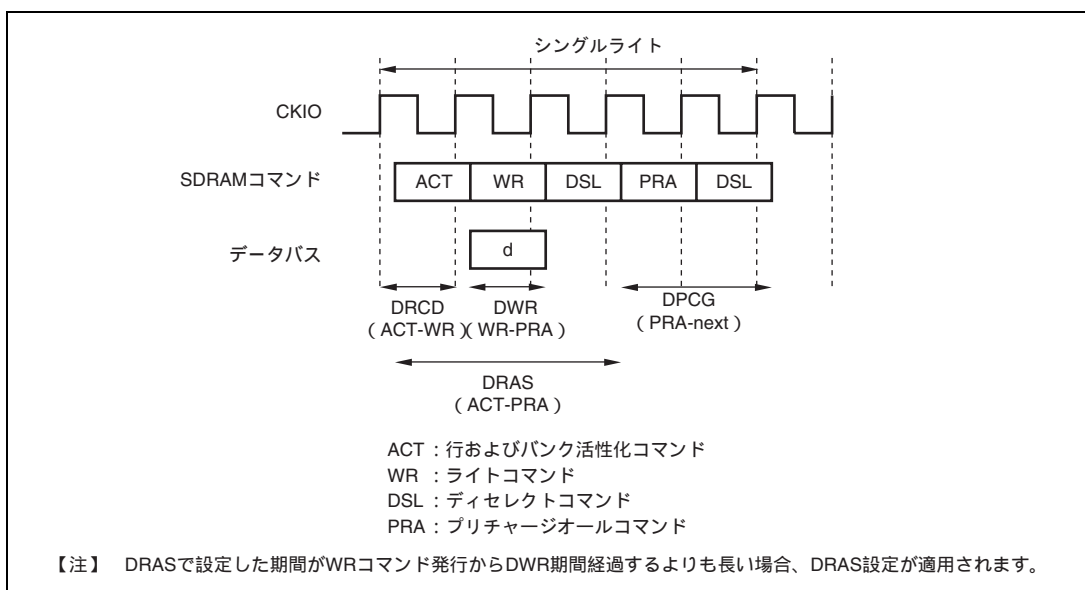


図 9.39 シングルライトタイミング例 1

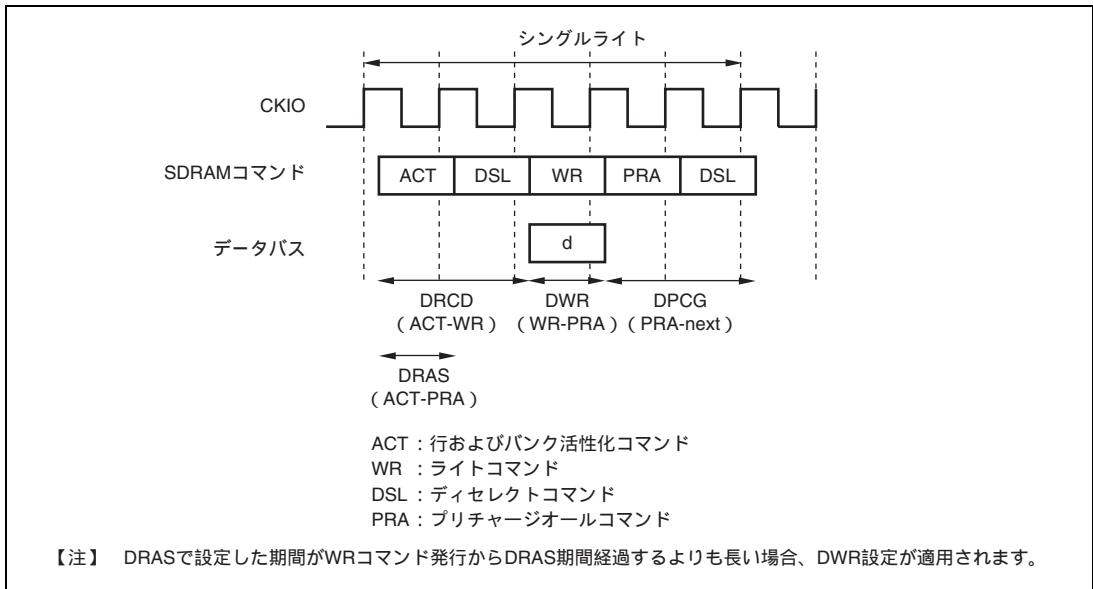


図 9.40 シングルライトタイミング例 2

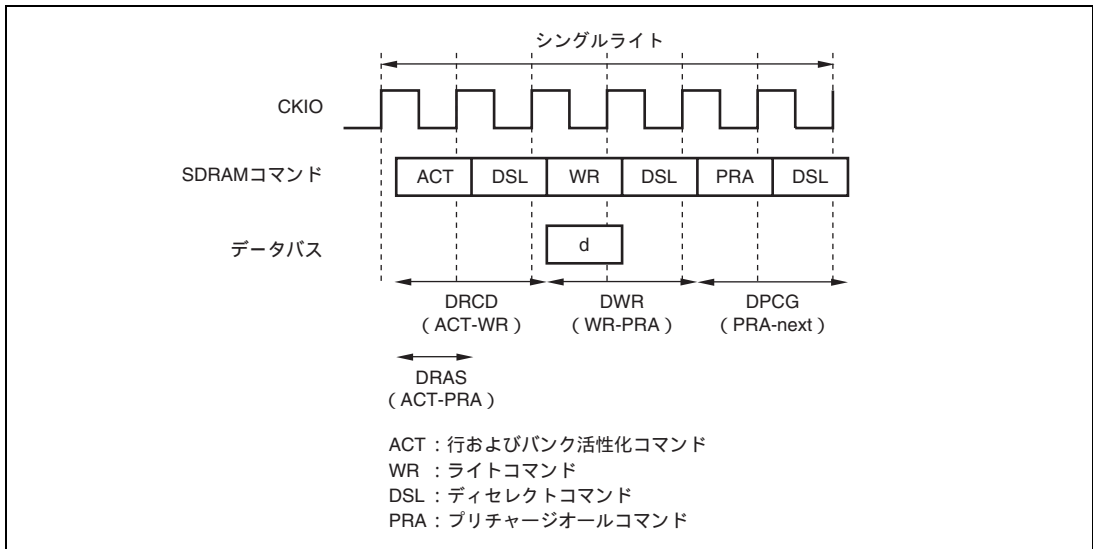


図 9.41 シングルライトタイミング例 3

(13) 外部アドレス / SDRAM アドレス信号マルチプレクス

(a) アドレスマルチプレクス

外部デバイスアクセスに用いるアドレスと、SDRAM アクセスに用いるアドレスはどちらも外部アドレス端子より出力されます。SDRAM アドレスは、SDmADR レジスタの DDBW、DSZ と SDCmCNT レジスタの BSIZE の設定により内部でシフトされ、バンクアドレスが A16、A15 に、アドレスが A14 ~ A2 に出力されます。

表 9.16 外部アドレスピン / SDRAM アドレスピン

ピン名	機能
A27	外部アドレス
A26	外部アドレス
A25	外部アドレス
A24	外部アドレス
A23	外部アドレス
A22	外部アドレス
A21	外部アドレス
A20	外部アドレス
A19	外部アドレス
A18	外部アドレス
A17	外部アドレス
A16(/BA1)	外部アドレス / SDRAM バンクアドレス
A15(/BA0)	外部アドレス / SDRAM バンクアドレス
A14(/MA12)	外部アドレス / SDRAM アドレス
A13(/MA11)	外部アドレス / SDRAM アドレス
A12(/MA10)	外部アドレス / SDRAM アドレス
A11(/MA9)	外部アドレス / SDRAM アドレス
A10(/MA8)	外部アドレス / SDRAM アドレス
A9(/MA7)	外部アドレス / SDRAM アドレス
A8(/MA6)	外部アドレス / SDRAM アドレス
A7(/MA5)	外部アドレス / SDRAM アドレス
A6(/MA4)	外部アドレス / SDRAM アドレス
A5(/MA3)	外部アドレス / SDRAM アドレス
A4(/MA2)	外部アドレス / SDRAM アドレス
A3(/MA1)	外部アドレス / SDRAM アドレス
A2(/MA0)	外部アドレス / SDRAM アドレス
A1	外部アドレス
A0	外部アドレス

(b) アドレスレジスタ設定値とサポートする SDRAM の構成一覧

バス幅が 8 ビット、16 ビット、32 ビットのときに、サポートする SDRAM の構成を表 9.17 ~ 表 9.19 に示します。これらの表は、サポートする SDRAM のアドレスとアドレスマルチプレクスの関係を示すために掲載したものです。

ここで addr27 ~ addr0 は、CPU や DMAC が SDRAM をアクセスするための論理的なアドレスです。以下の表は、DSZ と DDBW の設定ごとに SDRAM アクセス用の端子にどのような信号が出力されるかを示しています。

表 9.17 外部データバス幅 = 8 ビット (BSIZE*1 = (1, 0)) のとき

SDRAM 種類、個数	64Mbit (× 8)、1 個		128Mbit (× 8)、1 個		256Mbit (× 8)、1 個		512Mbit (× 8)、1 個	
DSZ*2	001 (8MB)		010 (16MB)		011 (32MB)		100 (64MB)	
DDBW*3	00 (8bit)		00 (8bit)		00 (8bit)		00 (8bit)	
本 LSI の アドレス端子	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス
A16/(BA1)*4	addr22*5	addr22*5	addr23*5	addr23*5	addr24*5	addr24*5	addr25*5	addr25*5
A15/(BA0)*4	addr21*5	addr21*5	addr22*5	addr22*5	addr23*5	addr23*5	addr24*5	addr24*5
A14/(MA12)*4	L	L	L	L	addr22*5	L	addr23*5	L
A13/(MA11)*4	addr20*5	L	addr21*5	L	addr21*5	L	addr22*5	addr10*5
A12/(MA10)*4	addr19*5	*6	addr20*5	*6	addr20*5	*6	addr21*5	*6
A11/(MA9)*4	addr18*5	L	addr19*5	addr9*5	addr19*5	addr9*5	addr20*5	addr9*5
A10/(MA8)*4	addr17*5	addr8*5	addr18*5	addr8*5	addr18*5	addr8*5	addr19*5	addr8*5
A9/(MA7)*4	addr16*5	addr7*5	addr17*5	addr7*5	addr17*5	addr7*5	addr18*5	addr7*5
A8/(MA6)*4	addr15*5	addr6*5	addr16*5	addr6*5	addr16*5	addr6*5	addr17*5	addr6*5
A7/(MA5)*4	addr14*5	addr5*5	addr15*5	addr5*5	addr15*5	addr5*5	addr16*5	addr5*5
A6/(MA4)*4	addr13*5	addr4*5	addr14*5	addr4*5	addr14*5	addr4*5	addr15*5	addr4*5
A5/(MA3)*4	addr12*5	addr3*5	addr13*5	addr3*5	addr13*5	addr3*5	addr14*5	addr3*5
A4/(MA2)*4	addr11*5	addr2*5	addr12*5	addr2*5	addr12*5	addr2*5	addr13*5	addr2*5
A3/(MA1)*4	addr10*5	addr1*5	addr11*5	addr1*5	addr11*5	addr1*5	addr12*5	addr1*5
A2/(MA0)*4	addr9*5	addr0*5	addr10*5	addr0*5	addr10*5	addr0*5	addr11*5	addr0*5

【注】 *1 BSIZE は SDRAMc 制御レジスタの BSIZE ビットを示します。

*2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。

*3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。

*4 BA1、BA0、MA12 ~ MA0 は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。

*5 addr25 ~ addr0 は、CPU や DMAC が SDRAM をアクセスするための論理的なアドレスを示します。

*6 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

表 9.18 外部データバス幅 = 16 ビット (BSIZE^{*1} = (0, 0)) のとき (1)

SDRAM 種類、個数	64Mbit (× 16)、1 個		64Mbit (× 8)、2 個		128Mbit (× 16)、1 個		128Mbit (× 8)、2 個	
DSZ ^{*2}	001 (8MB)		010 (16MB)		010 (16MB)		011 (32MB)	
DDBW ^{*3}	01 (16bit)		00 (8bit)		01 (16bit)		00 (8bit)	
本 LSI の アドレス端子	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス
A16/(BA1) ^{*4}	addr22 ^{*5}	addr22 ^{*5}	addr23 ^{*5}	addr23 ^{*5}	addr23 ^{*5}	addr23 ^{*5}	addr24 ^{*5}	addr24 ^{*5}
A15/(BA0) ^{*4}	addr21	addr21 ^{*5}	addr22 ^{*5}	addr22 ^{*5}	addr22 ^{*5}	addr22 ^{*5}	addr23 ^{*5}	addr23 ^{*5}
A14/(MA12) ^{*4}	L	L	L	L	L	L	L	L
A13/(MA11) ^{*4}	addr20 ^{*5}	L	addr21 ^{*5}	L	addr21 ^{*5}	L	addr22 ^{*5}	L
A12/(MA10) ^{*4}	addr19 ^{*5}	* ⁶	addr20 ^{*5}	* ⁶	addr20 ^{*5}	* ⁶	addr21 ^{*5}	* ⁶
A11/(MA9) ^{*4}	addr18 ^{*5}	L	addr19 ^{*5}	L	addr19 ^{*5}	L	addr20 ^{*5}	addr10 ^{*5}
A10/(MA8) ^{*4}	addr17 ^{*5}	L	addr18 ^{*5}	addr9 ^{*5}	addr18 ^{*5}	addr9 ^{*5}	addr19 ^{*5}	addr9 ^{*5}
A9/(MA7) ^{*4}	addr16 ^{*5}	addr8 ^{*5}	addr17 ^{*5}	addr8 ^{*5}	addr17 ^{*5}	addr8 ^{*5}	addr18 ^{*5}	addr8 ^{*5}
A8/(MA6) ^{*4}	addr15 ^{*5}	addr7 ^{*5}	addr16 ^{*5}	addr7 ^{*5}	addr16 ^{*5}	addr7 ^{*5}	addr17 ^{*5}	addr7 ^{*5}
A7/(MA5) ^{*4}	addr14 ^{*5}	addr6 ^{*5}	addr15 ^{*5}	addr6 ^{*5}	addr15 ^{*5}	addr6 ^{*5}	addr16 ^{*5}	addr6 ^{*5}
A6/(MA4) ^{*4}	addr13 ^{*5}	addr5 ^{*5}	addr14 ^{*5}	addr5 ^{*5}	addr14 ^{*5}	addr5 ^{*5}	addr15 ^{*5}	addr5 ^{*5}
A5/(MA3) ^{*4}	addr12 ^{*5}	addr4 ^{*5}	addr13 ^{*5}	addr4 ^{*5}	addr13 ^{*5}	addr4 ^{*5}	addr14 ^{*5}	addr4 ^{*5}
A4/(MA2) ^{*4}	addr11 ^{*5}	addr3 ^{*5}	addr12 ^{*5}	addr3 ^{*5}	addr12 ^{*5}	addr3 ^{*5}	addr13 ^{*5}	addr3 ^{*5}
A3/(MA1) ^{*4}	addr10 ^{*5}	addr2 ^{*5}	addr11 ^{*5}	addr2 ^{*5}	addr11 ^{*5}	addr2 ^{*5}	addr12 ^{*5}	addr2 ^{*5}
A2/(MA0) ^{*4}	addr9 ^{*5}	addr1 ^{*5}	addr10 ^{*5}	addr1 ^{*5}	addr10 ^{*5}	addr1 ^{*5}	addr11 ^{*5}	addr1 ^{*5}

- 【注】 *1 BSIZE は SDRAMc 制御レジスタの BSIZE ビットを示します。
*2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。
*3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。
*4 BA1、BA0、MA12 ~ MA0 は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。
*5 addr24 ~ addr0 は、CPU や DMAC が SDRAM をアクセスするための論理的なアドレスを示します。
*6 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

表 9.18 外部データバス幅 = 16 ビット (BSIZE*1 = (0, 0)) のとき (2)

SDRAM 種類、個数	256Mbit (× 16)、1 個		256Mbit (× 8)、2 個		512Mbit (× 16)、1 個		512Mbit (× 8)、2 個	
DSZ*2	011 (32MB)		100 (64MB)		100 (64MB)		101 (128MB)	
DDBW*3	01 (16bit)		00 (8bit)		01 (16bit)		00 (8bit)	
本 LSI の アドレス端子	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス
A16/(BA1)*4	addr24*5	addr24*5	addr25*5	addr25*5	addr25*5	addr25*5	addr26*5	addr26*5
A15/(BA0)*4	addr23*5	addr23*5	addr24*5	addr24*5	addr24*5	addr24*5	addr25*5	addr25*5
A14/(MA12)*4	addr22*5	L	addr23*5	L	addr23*5	L	addr24*5	L
A13/(MA11)*4	addr21*5	L	addr22*5	L	addr22*5	L	addr23*5	addr11*5
A12/(MA10)*4	addr20*5	*6	addr21*5	*6	addr21*5	*6	addr22*5	*6
A11/(MA9)*4	addr19*5	L	addr20*5	addr10*5	addr20*5	addr10*5	addr21*5	addr10*5
A10/(MA8)*4	addr18*5	addr9*5	addr19*5	addr9*5	addr19*5	addr9*5	addr20*5	addr9*5
A9/(MA7)*4	addr17*5	addr8*5	addr18*5	addr8*5	addr18*5	addr8*5	addr19*5	addr8*5
A8/(MA6)*4	addr16*5	addr7*5	addr17*5	addr7*5	addr17*5	addr7*5	addr18*5	addr7*5
A7/(MA5)*4	addr15*5	addr6*5	addr16*5	addr6*5	addr16*5	addr6*5	addr17*5	addr6*5
A6/(MA4)*4	addr14*5	addr5*5	addr15*5	addr5*5	addr15*5	addr5*5	addr16*5	addr5*5
A5/(MA3)*4	addr13*5	addr4*5	addr14*5	addr4*5	addr14*5	addr4*5	addr15*5	addr4*5
A4/(MA2)*4	addr12*5	addr3*5	addr13*5	addr3*5	addr13*5	addr3*5	addr14*5	addr3*5
A3/(MA1)*4	addr11*5	addr2*5	addr12*5	addr2*5	addr12*5	addr2*5	addr13*5	addr2*5
A2/(MA0)*4	addr10*5	addr1*5	addr11*5	addr1*5	addr11*5	addr1*5	addr12*5	addr1*5

- 【注】 *1 BSIZE は SDRAMc 制御レジスタの BSIZE ビットを示します。
*2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。
*3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。
*4 BA1、BA0、MA12～MA0 は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。
*5 addr26～addr0 は、CPU や DMAC が SDRAM をアクセスするための論理的なアドレスを示します。
*6 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

表 9.19 外部データバス幅 = 32 ビット (BSIZE*1 = (0, 1)) のとき (1)

SDRAM 種類、個数	64Mbit (× 32)、1 個		64Mbit (× 16)、2 個		128Mbit (× 32)、1 個		64Mbit (× 8)、4 個	
DSZ*2	001 (8MB)		010 (16MB)		010 (16MB)		011 (32MB)	
DDBW*3	10 (32bit)		01 (16bit)		10 (32bit)		00 (8bit)	
本 LSI の アドレス端子	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス
A16/(BA1)*4	addr22*5	addr22*5	addr23*5	addr23*5	addr23*5	addr23*5	addr24*5	addr24*5
A15/(BA0)*4	addr21*5	addr21*5	addr22*5	addr22*5	addr22*5	addr22*5	addr23*5	addr23*5
A14/(MA12)*4	L	L	L	L	L	L	L	L
A13/(MA11)*4	L	L	addr21*5	L	addr21*5	L	addr22*5	L
A12/(MA10)*4	addr20*5	*6	addr20*5	*6	addr20*5	*6	addr21*5	*6
A11/(MA9)*4	addr19*5	L	addr19*5	L	addr19*5	L	addr20*5	L
A10/(MA8)*4	addr18*5	L	addr18*5	L	addr18*5	L	addr19*5	addr10*5
A9/(MA7)*4	addr17*5	addr9*5	addr17*5	addr9*5	addr17*5	addr9*5	addr18*5	addr9*5
A8/(MA6)*4	addr16*5	addr8*5	addr16*5	addr8*5	addr16*5	addr8*5	addr17*5	addr8*5
A7/(MA5)*4	addr15*5	addr7*5	addr15*5	addr7*5	addr15*5	addr7*5	addr16*5	addr7*5
A6/(MA4)*4	addr14*5	addr6*5	addr14*5	addr6*5	addr14*5	addr6*5	addr15*5	addr6*5
A5/(MA3)*4	addr13*5	addr5*5	addr13*5	addr5*5	addr13*5	addr5*5	addr14*5	addr5*5
A4/(MA2)*4	addr12*5	addr4*5	addr12*5	addr4*5	addr12*5	addr4*5	addr13*5	addr4*5
A3/(MA1)*4	addr11*5	addr3*5	addr11*5	addr3*5	addr11*5	addr3*5	addr12*5	addr3*5
A2/(MA0)*4	addr10*5	addr2*5	addr10*5	addr2*5	addr10*5	addr2*5	addr11*5	addr2*5

- 【注】 *1 BSIZE は SDRAMc 制御レジスタの BSIZE ビットを示します。
*2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。
*3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。
*4 BA1、BA0、MA12～MA0 は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。
*5 addr24～addr0 は、CPU や DMAC が SDRAM をアクセスするための論理的なアドレスを示します。
*6 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

表 9.19 外部データバス幅 = 32 ビット (BSIZE*1 = (0, 1)) のとき (2)

SDRAM 種類、個数	128Mbit (× 16)、2 個		256Mbit (× 32)、1 個		128Mbit (× 8)、4 個		256Mbit (× 16)、2 個	
DSZ*2	011 (32MB)		011 (32MB)		100 (64MB)		100 (64MB)	
DDBW*3	01 (16bit)		10 (32bit)		00 (8bit)		01 (16bit)	
本 LSI の アドレス端子	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス
A16/(BA1)*4	addr24*5	addr24*5	addr24*5	addr24*5	addr25*5	addr25*5	addr25*5	addr25*5
A15/(BA0)*4	addr23*5	addr23*5	addr23*5	addr23*5	addr24*5	addr24*5	addr24*5	addr24*5
A14/(MA12)*4	L	L	L	L	L	L	addr23*5	L
A13/(MA11)*4	addr22*5	L	addr22*5	L	addr23*5	L	addr22*5	L
A12/(MA10)*4	addr21*5	*6	addr21*5	*6	addr22*5	*6	addr21*5	*6
A11/(MA9)*4	addr20*5	L	addr20*5	L	addr21*5	addr11*5	addr20*5	L
A10/(MA8)*4	addr19*5	addr10*5	addr19*5	addr10*5	addr20*5	addr10*5	addr19*5	addr10*5
A9/(MA7)*4	addr18*5	addr9*5	addr18*5	addr9*5	addr19*5	addr9*5	addr18*5	addr9*5
A8/(MA6)*4	addr17*5	addr8*5	addr17*5	addr8*5	addr18*5	addr8*5	addr17*5	addr8*5
A7/(MA5)*4	addr16*5	addr7*5	addr16*5	addr7*5	addr17*5	addr7*5	addr16*5	addr7*5
A6/(MA4)*4	addr15*5	addr6*5	addr15*5	addr6*5	addr16*5	addr6*5	addr15*5	addr6*5
A5/(MA3)*4	addr14*5	addr5*5	addr14*5	addr5*5	addr15*5	addr5*5	addr14*5	addr5*5
A4/(MA2)*4	addr13*5	addr4*5	addr13*5	addr4*5	addr14*5	addr4*5	addr13*5	addr4*5
A3/(MA1)*4	addr12*5	addr3*5	addr12*5	addr3*5	addr13*5	addr3*5	addr12*5	addr3*5
A2/(MA0)*4	addr11*5	addr2*5	addr11*5	addr2*5	addr12*5	addr2*5	addr11*5	addr2*5

- 【注】 *1 BSIZE は SDRAMc 制御レジスタの BSIZE ビットを示します。
*2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。
*3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。
*4 BA1、BA0、MA12～MA0 は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。
*5 addr25～addr0 は、CPU や DMAC が SDRAM をアクセスするための論理的なアドレスを示します。
*6 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

表 9.19 外部データバス幅 = 32 ビット (BSIZE*1 = (0, 1)) のとき (3)

SDRAM 種類、個数	512Mbit (× 32)、1 個		256Mbit (× 8)、4 個		512Mbit (× 16)、2 個		512Mbit (× 8)、4 個	
DSZ*2	100 (64MB)		101 (128MB)		101 (128MB)		110 (256MB)	
DDBW*3	10 (32bit)		00 (8bit)		01 (16bit)		00 (8bit)	
本 LSI の アドレス端子	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス
A16/(BA1)*4	addr25*5	addr25*5	addr26*5	addr26*5	addr26*5	addr26*5	addr27*5	addr27*5
A15/(BA0)*4	addr24*5	addr24*5	addr25*5	addr25*5	addr25*5	addr25*5	addr26*5	addr26*5
A14/(MA12)*4	addr23*5	L	addr24*5	L	addr24*5	L	addr25*5	L
A13/(MA11)*4	addr22*5	L	addr23*5	L	addr23*5	L	addr24*5	addr12*5
A12/(MA10)*4	addr21*5	*6	addr22*5	*6	addr22*5	*6	addr23*5	*6
A11/(MA9)*4	addr20*5	L	addr21*5	addr11*5	addr21*5	addr11*5	addr22*5	addr11*5
A10/(MA8)*4	addr19*5	addr10*5	addr20*5	addr10*5	addr20*5	addr10*5	addr21*5	addr10*5
A9/(MA7)*4	addr18*5	addr9*5	addr19*5	addr9*5	addr19*5	addr9*5	addr20*5	addr9*5
A8/(MA6)*4	addr17*5	addr8*5	addr18*5	addr8*5	addr18*5	addr8*5	addr19*5	addr8*5
A7/(MA5)*4	addr16*5	addr7*5	addr17*5	addr7*5	addr17*5	addr7*5	addr18*5	addr7*5
A6/(MA4)*4	addr15*5	addr6*5	addr16*5	addr6*5	addr16*5	addr6*5	addr17*5	addr6*5
A5/(MA3)*4	addr14*5	addr5*5	addr15*5	addr5*5	addr15*5	addr5*5	addr16*5	addr5*5
A4/(MA2)*4	addr13*5	addr4*5	addr14*5	addr4*5	addr14*5	addr4*5	addr15*5	addr4*5
A3/(MA1)*4	addr12*5	addr3*5	addr13*5	addr3*5	addr13*5	addr3*5	addr14*5	addr3*5
A2/(MA0)*4	addr11*5	addr2*5	addr12*5	addr2*5	addr12*5	addr2*5	addr13*5	addr2*5

- 【注】 *1 BSIZE は SDRAMc 制御レジスタの BSIZE ビットを示します。
*2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。
*3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。
*4 BA1、BA0、MA12～MA0 は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。
*5 addr27～addr0 は、CPU や DMAC が SDRAM をアクセスするための論理的なアドレスを示します。
*6 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

(c) SDRAM 接続例

図 9.42、図 9.43 に本 LSI と SDRAM との接続例を示します。

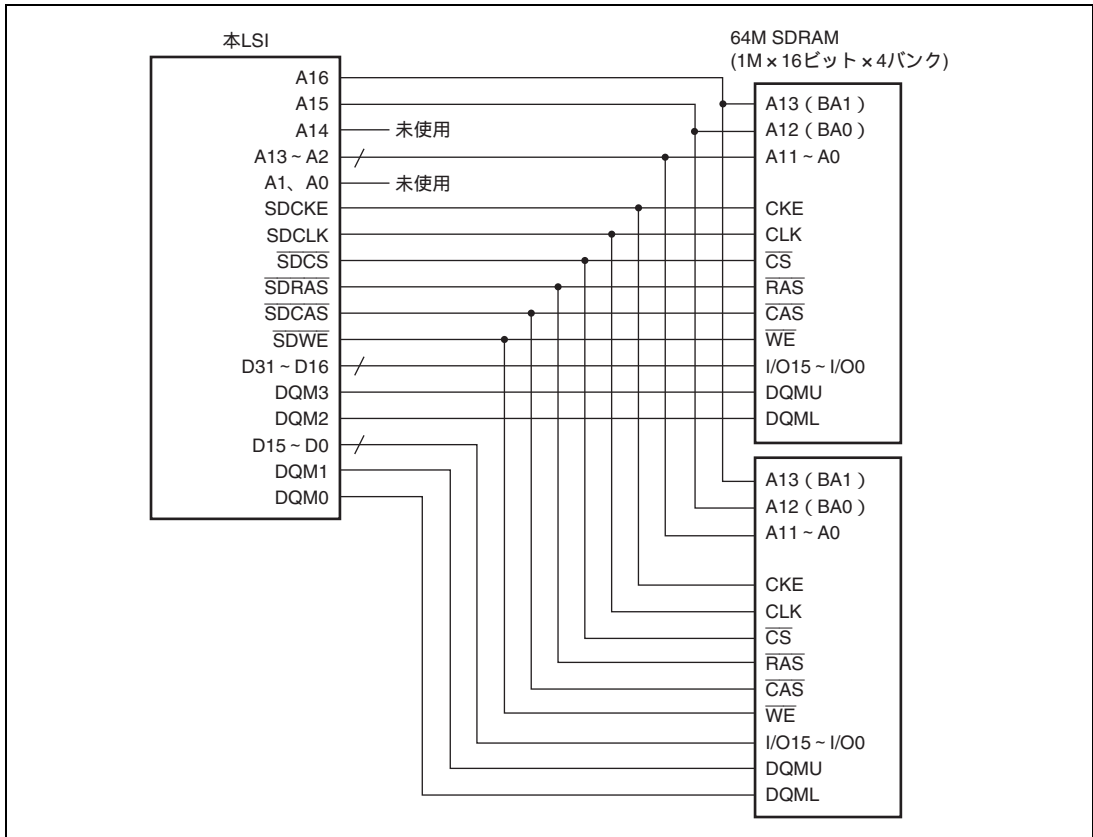


図 9.42 32 ビットデータ幅 SDRAM 接続例

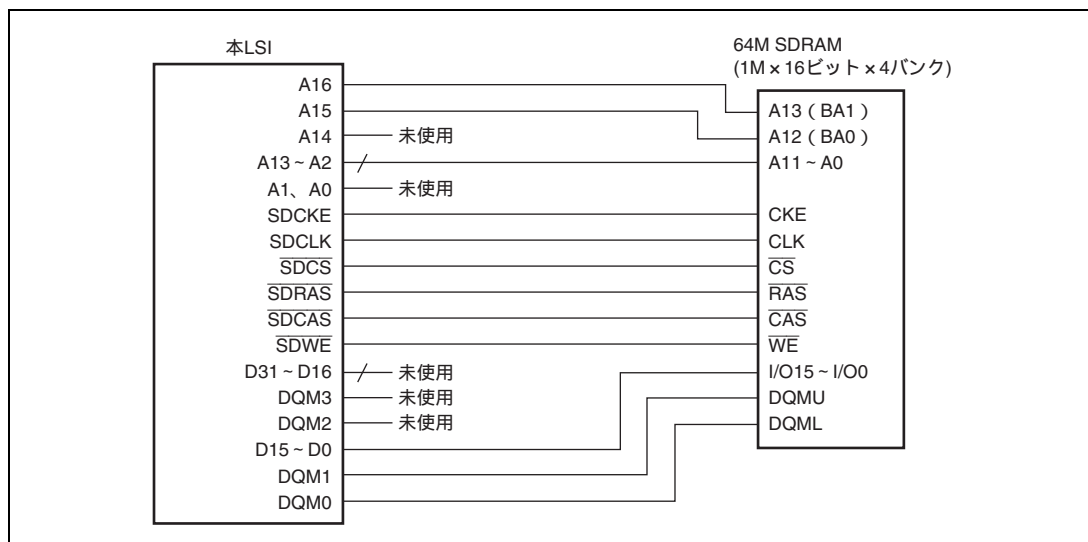


図 9.43 16 ビットデータ幅 SDRAM 接続例

9.6 使用上の注意事項

9.6.1 パワーオンリセット例外処理、ディープスタンバイモードの解除処理時の注意事項

パワーオンリセット例外処理、ディープスタンバイモードの解除処理内で、外部アドレス空間に対してライトする前および SDRAM の設定を行う前に、必ず ACSWR の ACOSW[3:0] ビットを B'0011 に設定してください。

9.6.2 ライトバッファ

通常空間や SDRAM 空間にライトアクセスでは、ライトデータを一度 BSC 内部のライトバッファに格納し、その後で実際に通常空間や SDRAM 空間に接続されたデバイス（外部デバイス）に書き込みを行います。ライトバッファから外部デバイスへの書き込みは自動的に行われるため、ソフトウェアによって何か処理をする必要はありません。

しかしながら、次の点には注意が必要です。CPU や DMAC からのライトアクセスは、上記ライトバッファに格納した時点で見かけ上完了します。つまり、CPU や DMA コントローラのライトアクセスが完了した時点では、外部デバイスへの書き込みは完了していない場合があります。外部デバイスへの書き込みの完了を確認するには、通常空間や SDRAM 空間へのダミーリードを実行してください。ダミーリードの完了によって、それ以前のライトアクセスによる外部デバイスへの書き込み完了を保証することができます。ダミーリードの対象は、ライトアクセスと同じデバイスである必要はありません。また、同じ空間である必要もありません。

9.6.3 ソフトウェアスタンバイモードまたはディープスタンバイモード遷移時の注意事項

通常空間や SDRAM 空間へのライトアクセスの実行後に、ソフトウェアスタンバイモードまたはディープスタンバイモードに遷移する場合、BSC 内のライトバッファ内にデータが残っている可能性があります。ライトバッファ内にデータが残っていないことを確認するためには、上記と同様に、外部デバイスへのダミーリードを実行してください。

10. バス監視

バス監視は、各種バスのバスエラーを監視するモジュールです。不正アドレスアクセス、バスタイムアウトを検出し、バスエラー割り込みを発生、バスタイムアウト検出時にアクセスキャンセル信号を出力します。（バスタイムアウト機能は、デバッグ時に使用）

図 10.1 にバス監視のブロック図を示します。

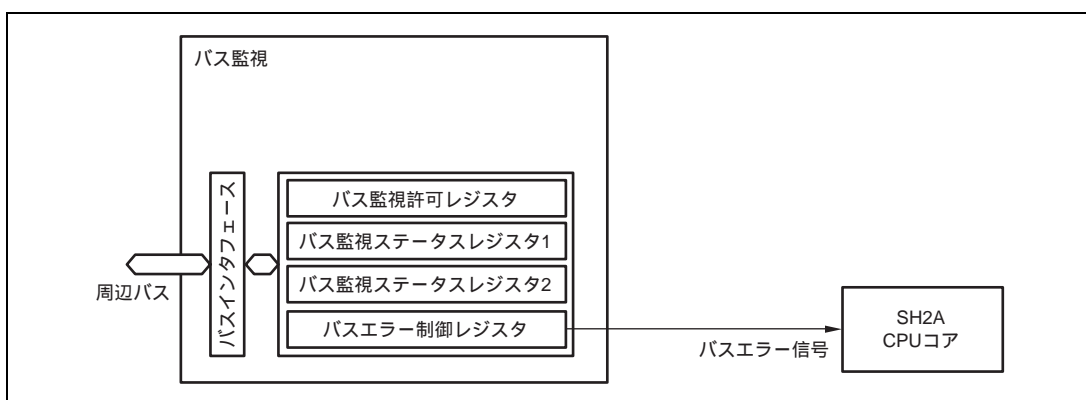


図 10.1 バス監視ブロック図

10.1 レジスタの説明

バス監視には以下のレジスタがあります。

すべてのレジスタは、パワーオンリセットおよびディープスタンバイモード時に初期化されます。

表 10.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バス監視許可レジスタ	SYCBEEN	R/W	H'00	H'FF400000	8、16、32
バス監視ステータスレジスタ1	SYCBESTS1	R/W	H'00	H'FF400004	8、16、32
バス監視ステータスレジスタ2	SYCBESTS2	R/W	H'00	H'FF400008	8、16、32
バスエラー制御レジスタ	SYCBESW	R/W	H'00	H'FF40000C	8、16、32

10.1.1 バス監視許可レジスタ (SYCBEEN)

SYCBEEN はバス監視ステータスレジスタのクリアおよび検出機能の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STSCCLR	-	-	-	-	-	-	-	-	-	-	-	-	TOEN	IGAEN	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	STSCCLR	0	R/W	ステータスクリア このビットに1を書き込むと、バス監視ステータスレジスタをクリアすることができます。0書き込み、読み出しデータには意味を持ちません。 0: 無効 1: バス監視ステータスレジスタクリア
30~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18	TOEN	0	R/W	タイムアウト検出許可 このビットにより、各バスのバスタイムアウトを検出する機能の起動/停止を切り替えます。 0: バスタイムアウト検出機能停止 1: バスタイムアウト検出機能動作
17	IGAEN	0	R/W	不正アドレスアクセス検出許可 このビットにより、各バスの不正アドレスアクセスを検出する機能の起動/停止を切り替えます。 0: 不正アドレスアクセス検出機能停止 1: 不正アドレスアクセス検出機能動作
16~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 検出機能停止 (TOEN = 0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

10.1.2 バス監視ステータスレジスタ 1 (SYCBESTS1)

SYCBESTS1 は、最初のバスエラーが発生したとき、各スレーブバス（周辺バス（1））にタイムアウトまたは不正アドレスアクセスが発生したことを示します。また、各スレーブバスにアクセスしていたバスマスタを示します。表 10.2 にバス空間とスレーブバスの対応を示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PTO	PER	-	-	-	PMST[1:0]	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PTO	0	R	タイムアウト このビットは、最初のバスエラーが発生した時点での、周辺バス（1）にタイムアウトが発生したことを示します。 0：タイムアウトは発生していない 1：タイムアウトが発生した
13	PER	0	R	不正アドレスアクセス このビットは、最初のバスエラーが発生した時点での、周辺バス（1）に不正アドレスアクセスが発生したことを示します。 0：不正アドレスアクセスは発生していない 1：不正アドレスアクセスが発生した
12～10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PMST[1:0]	00	R	バスマスタ このビットは、最初のバスエラーが発生した時点での、周辺バス（1）にアクセスしていたバスマスタを示します。 00：CPU 01：DMAC（デスティネーション側） 10：設定禁止 11：DMAC（ソース側）
7～0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 10.2 バス空間とスレーブバス

アドレス	バス空間	スレーブバス
H'0000 0000 ~ H'4FFF FFFF	外部バス空間	外部バス
H'5000 0000 ~ H'E800 FFFF	予約エリア	(その他 ^{*1})
H'E801 0000 ~ H'FFFF FFFF	予約エリア	(その他 ^{*1})
H'F000 0000 ~ H'F1FF FFFF	キャッシュのアドレスアレイ空間	- ^{*2}
H'F200 0000 ~ H'F5FF FFFF	予約エリア	- ^{*2}
H'F600 0000 ~ H'FF3F FFFF	予約エリア	(その他 ^{*1})
H'FF40 0000 ~ H'FF5F FFFF	内蔵周辺モジュール (1)	周辺バス (1)
H'FF60 0000 ~ H'FFF7 FFFF	予約エリア	(その他 ^{*1})
H'FFF8 0000 ~ H'FFF8 7FFF	内蔵 RAM	- ^{*2}
H'FFF8 8000 ~ H'FFF8 FFFF	予約エリア	- ^{*2}
H'FFFC 0000 ~ H'FFFF FFFF	内蔵周辺モジュール (2)	周辺バス (2)

【注】 *1 スレーブバス空間で外部バス、周辺バス (1)、周辺バス (2) に該当しないバス空間。

*2 不正アドレスアクセスエラーは発生しません。

10.1.3 バス監視ステータスレジスタ 2 (SYCBESTS2)

SYCBESTS2 は、最初のバスエラーが発生したとき、各スレーブバス（外部バス / 周辺バス（2） / その他）にタイムアウトまたは不正アドレスアクセスが発生したことを示します。また、各スレーブバスにアクセスしていたバスマスタを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	ETO	EER	-	-	-	EMST[1:0]	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	OER	-	-	-	OMST[1:0]	-	-	SHER	-	-	-	-	SHMST[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	ETO	0	R	タイムアウトビット このビットは、最初のバスエラーが発生した時点での、外部バスにタイムアウトが発生したことを示します。 0: タイムアウトは発生していない 1: タイムアウトが発生した
29	EER	0	R	不正アドレスアクセスビット このビットは、最初のバスエラーが発生した時点での、外部バスに不正アドレスアクセスが発生したことを示します。 0: 不正アドレスアクセスは発生していない 1: 不正アドレスアクセスが発生した
28~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25, 24	EMST[1:0]	00	R	バスマスタビット このビットは、最初のバスエラーが発生した時点での、外部バスにアクセスしていたバスマスタを示します。 00: CPU 01: DMAC (デスティネーション側) 10: 設定禁止 11: DMAC (ソース側)
23~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13	OER	0	R	不正アドレスアクセスビット このビットは、最初のバスエラーが発生した時点での、その他にアクセスしていたバスマスタを示します。 0：不正アドレスアクセスは発生していない 1：不正アドレスアクセスが発生した
12~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	OMST[1:0]	00	R	バスマスタビット このビットは、最初のバスエラーが発生した時点での、その他にアクセスしていたバスマスタを示します。 00：CPU 01：DMAC（デスティネーション側） 10：設定禁止 11：DMAC（ソース側）
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	SHER	0	R	不正アドレスアクセスビット このビットは、最初のバスエラーが発生した時点での、周辺バス（2）に不正アドレスアクセスが発生したことを示します。 0：不正アドレスアクセスは発生していない 1：不正アドレスアクセスが発生した
4~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	SHMST [1:0]	00	R	バスマスタビット このビットは、最初のバスエラーが発生した時点での、周辺バス（2）にアクセスしていたバスマスタを示します。 00：CPU 01：DMAC（デスティネーション側） 10：設定禁止 11：DMAC（ソース側）

10.1.4 バスエラー制御レジスタ (SYCBESW)

SYCBESW は、各種バスエラーの CPU への通知を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	00CPEN	01CPEN	-	11CPEN	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	00CPEN	0	R/W	バスエラー制御 (CPU CPU) CPU が原因で起きたバスエラーを CPU に通知する / しないの切り替えを行います。 0: 通知しない 1: 通知する
30	01CPEN	0	R/W	バスエラー制御 (DMAC デスティネーション側 CPU) DMAC デスティネーションが原因で起きたバスエラーを CPU に通知する / しないの切り替えを行います。 0: 通知しない 1: 通知する
29	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28	11CPEN	0	R/W	バスエラー制御 (DMAC ソース側 CPU) DMAC ソースが原因で起きたバスエラーを CPU に通知する / しないの切り替えを行います。 0: 通知しない 1: 通知する
27~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10.2 バス監視機能

バス監視機能とは、不正アドレスアクセス、バスタイムアウトの2種類のバスエラーを検出する機能です。バスエラーの検出は、1バスアクセス単位に行われます。

バースト転送などの複数回バスアクセスにわたるデータ転送時にも、1バスアクセスごとにバスエラーを検出できます。

10.2.1 バスエラー検出時の動作

バスエラーを検出するとバス監視ステータスレジスタ1 (SYCBESTS1)、バス監視ステータスレジスタ2 (SYCBESTS2) に状態を保存し、CPU にバスエラーが発生したことを通知します。

(1) バス監視ステータスレジスタ、バス監視ステータスレジスタ2へのステータス保存

バスエラーが発生すると、その時点の状態(どのバスマスタから、どのバスにアクセス中、どのバスエラーが発生したか)をバス監視ステータスレジスタ1 (SYCBESTS1)、バス監視ステータスレジスタ2 (SYCBESTS2) に保持します。

その後バスエラーが発生してもバス監視ステータスレジスタ (SYCBESTS)、バス監視ステータスレジスタ2 (SYCBESTS2) の値は更新されません。同時に複数のバスエラーが発生した場合には、複数のステータスビットがセットされることもあります。

バス監視ステータスレジスタ1 (SYCBESTS1)、バス監視ステータスレジスタ2 (SYCBESTS2) は、バスマスタからバス監視許可レジスタ (SYCBEEN) のステータスクリアビット (STSCLR) に1を書き込むことでクリアできます。クリア後のバスエラー発生時には、再度バス監視ステータスレジスタ1 (SYCBESTS1)、バス監視ステータスレジスタ2 (SYCBESTS2) に状態が保持されます。

クリアとバスエラー発生が同時に起こった場合には、クリア動作が優先されバスエラーは無視されます。

(2) CPU へのエラー通知

バス監視ステータスレジスタ1 (SYCBESTS1) およびバス監視ステータスレジスタ2 (SYCBESTS2) のタイムアウトビット (PTO/ETO)、不正アドレスアクセスビット (PER/EER/OER/SHER) のOR条件でCPUへバスエラーの通知を行います。バスエラー割り込みはバスエラー制御レジスタ (SYCBESW) の設定に従いCPUへ通知されます。

CPUからバス監視ステータスレジスタ1 (SYCBESTS1)、バス監視ステータスレジスタ2 (SYCBESTS2) をクリアすると、バスエラー割り込み信号もネゲートされます。

(3) バスアクセスの終了

バスエラーが検出されると該当するバスアクセスが終了します。詳細は「10.2.4 マスタとバスエラーの組み合わせ」を参照してください。

また、各エラー検出時の詳細な動作については「10.2.2 不正アドレスアクセス検出機能」、「10.2.3 バスタイムアウト検出機能」を参照してください。

10.2.2 不正アドレスアクセス検出機能

不正アドレスアクセス検出機能は、不正なアドレスに対するアクセスがあったことを検出する機能です。

(1) 不正アドレスアクセスエラー発生条件

不正アドレスアクセスエラーは、以下の不正なアドレスに対するアクセスを行うと発生します。

- BSCの制御レジスタの動作許可ビット（EXENB）を”動作許可”にセットしていない外部領域
- どのスレーブバスにもマッピングされていないその他のアドレス領域
- 各スレーブバスにマッピングされているが、対応するスレーブデバイスがないアドレス領域

表 10.3、表 10.4 に周辺バス（1）（2）のスレーブデバイスがないアドレス領域を示します。

表 10.3 周辺バス（1）スレーブデバイスがないアドレス領域

FF401000 ~ FF41FFFF
FF423000 ~ FF45FFFF
FF464000 ~ FF5FFFFF

表 10.4 周辺バス（2）スレーブデバイスがないアドレス領域

FFFC0000 ~ FFFDFFFF
FFFE0020 ~ FFFE03FF
FFFE0420 ~ FFFE07FF
FFFE0900 ~ FFFE37FF
FFFE3830 ~ FFFE387F
FFFE3910 ~ FFFE3FFF
FFFE4400 ~ FFFE53FF
FFFE5410 ~ FFFE57FF
FFFE5840 ~ FFFE67FF
FFFE6804 ~ FFFE7FFF
FFFE8100 ~ FFFE87FF
FFFE8900 ~ FFFE8FFF
FFFE9100 ~ FFFE97FF
FFFE9900 ~ FFFE9FFF
FFFEA100 ~ FFEA7FF
FFFEA900 ~ FFEAFFF
FFFEB100 ~ FFEFB7FF
FFFEB900 ~ FFECFFF
FFFED010 ~ FFFED07F
FFFED090 ~ FFFEDFFF
FFFEE010 ~ FFFEE07F
FFFEE090 ~ FFFEE0FF
FFFEE110 ~ FFFEFFFF
FFFF1408 ~ FFFF14FF

FFFF1508 ~ FFFF15FF
FFFF1608 ~ FFFF16FF
FFFF1720 ~ FFFF17FF
FFFF1820 ~ FFFF18FF
FFFF1910 ~ FFFFFFFF

10.2.3 バスタイムアウト検出機能

バスタイムアウト検出機能は、768 サイクル以上に延びたバスアクセスを検出する機能です。

(1) バスタイムアウトエラー発生条件

バスタイムアウトは以下のケースで発生します。なお、本機能はソフトウェアデバッグ時に使用してください。

- 周辺バス(1)でバスアクセスが終了しない場合
- 外部バスアクセスで $\overline{\text{WAIT}}$ 信号がアサートされたままの場合

(2) バスタイムアウトエラー発生時の動作

以下にバスタイムアウト時の動作を説明します。

1. バスアクセス開始の次サイクルからタイムアウトカウンタはカウントを開始します。
2. 768サイクル間バスアクセス終了しないと、バスタイムアウトが発生しアクセスキャンセル信号が256サイクル間アサートされます。
アドレス、データ、BC、リード/ライト、バーストなどのバス信号は保持しています。
バス監視ステータスレジスタ1 (SYCBESTS1)、バス監視ステータスレジスタ2 (SYCBESTS2) にタイムアウトエラーを記録します。
バスエラー割り込みを発生しCPUに通知します。
3. バスアクセスを強制終了します。
4. CPUはバスエラー処理を行います。
各バスのロック状態は、すべて解除されます。

(3) 連続アクセス中のバスタイムアウト動作

複数のバスアクセスが発生する転送（バースト転送など）では、バスタイムアウトが発生しても、後続のバスアクセスを中断できない場合があります。この場合、連続してバスタイムアウトが発生する可能性があります。

バスタイムアウトが連続した場合でも、タイムアウト処理は1回目と同様のバスアクセスの強制終了動作を行います。ただし、バス監視ステータスレジスタ1 (SYCBESTS1)、バス監視ステータスレジスタ2 (SYCBESTS2) への状態保持は初回のみ行われます。

10.2.4 マスタとバスエラーの組み合わせ

マスタの種類またはアクセスモードによって検出可能なバスエラーの種類が異なります。

(1) CPU の転送モードと発生するバスエラーの種類

表 10.5 に CPU からのアクセスにより発生する可能性のあるバスエラーの種類を示します。

表 10.5 CPU のアクセス種類と発生するバスエラーの種類

アクセス種類	ノーマルアクセス	バーストアクセス
不正アドレスアクセス* ¹	* ²	* ² * ³
バスタイムアウト* ¹	* ²	* ² * ³

【記号説明】 : バスエラーが発生します

: バスエラーが発生しません

【注】 *¹ バスエラー検出を有効にするにはバス監視許可レジスタ (SYCBEEN) による設定が必要です。

*² バスエラーを CPU へ通知するにはバスエラー制御レジスタ (SYCBESW) 00CPEN ビットを 1 にセットすることにより「CPU へエラーを通知する」に設定する必要があります。

*³ エラーとなるアクセス回数分のバスエラーが検出されます。

(2) DMAC の転送モードと各バスの動作

DMAC の転送モードと DMAC からのアクセスにより発生する可能性のあるバスエラーの種類を表 10.6 に示します。

表 10.6 DMAC 転送モードと発生するバスエラーの種類

DMAC 転送モード	サイクルスチル	パイプライン
不正アドレスアクセス*		
バスタイムアウト*		

【記号説明】 : バスエラーが発生します

: バスエラーが発生しません

【注】 * バスエラー検出を有効にするにはバス監視許可レジスタ (SYCBEEN) による設定が必要です。

10.3 使用上の注意事項

10.3.1 CPU へバスエラー通知しない場合の動作

バスエラー検出を有効にした状態（バス監視許可レジスタ（SYCBEEN）による設定）で CPU へのバスエラー通知を無効にした場合には表 10.7 に示す動作となります。

表 10.7 マスタへバスエラー通知しない場合の動作

不正アドレスアクセス	所定の転送回数分の不正アドレスアクセスエラーが発生し、該当アクセスはその都度強制終了される
バスタイムアウト	所定の転送回数分のバスタイムアウトが発生し、該当アクセスはその都度強制終了される

11. ダイレクトメモリアクセスコントローラ (DMAC)

ダイレクトメモリアクセスコントローラ (DMAC) は、ソフトウェア、内蔵周辺 I/O、または外部端子 (外部モジュール) からの要求により、CPU を介さず高速なデータ転送を行います。ただし、DMAC 単体としては、内蔵周辺 I/O、外部端子 (外部モジュール) 要求の区別はありません。メモリ - メモリ間、メモリ - I/O 間、および I/O - I/O 間の転送をサポートしています。

11.1 特長

- チャンネル数：最大8チャンネル (うち4チャンネルは外部リクエスト可能)
- 転送要求：ソフトウェアトリガ、内蔵周辺 I/O、または外部端子 (外部モジュール) からの要求 (37要因)
- 最大転送バイト数：64Mバイト
- アドレス空間：4Gバイト
- 転送データサイズ：
 - 1データ転送：8ビット、16ビット、32ビット、64ビット、128ビット
 - 1オペランド転送：1データ、2データ、4データ、8データ、16データ、32データ、64データ、128データ
 - ノンストップ転送：バイトカウント0まで
- 転送モード：
 - サイクルスチル転送 (デュアルアドレス転送)
 - パイプライン転送 (デュアルアドレス転送)
- 最高転送速度：
 - サイクルスチル転送：min3クロックサイクル/1データ転送
 - パイプライン転送：min1クロックサイクル/1データ転送
- 転送条件：
 - 1回のDMA要求で1オペランド分のデータを転送する、単一オペランド転送、1回のDMA要求で1オペランド転送を繰り返し、バイトカウント0まで転送する、連続オペランド転送および1回のDMA要求でバイトカウント0まで転送する、ノンストップ転送の選択が可能
- チャンネル優先度：チャンネル0 > チャンネル1 > ... > チャンネル6 > チャンネル7 (優先順位固定)
- 割り込み要求：
 - 2種類の割り込み要求 (バイトカウントが0になったときに発生)
 - チャンネルごとの割り込み要求信号と各チャンネルをまとめた共用割り込み要求信号
- リロード機能 (ソースアドレス、デスティネーションアドレス、バイトカウント) 設定可能
- ローテート機能設定可能
- DMAC停止 / 再開 / 中止機能設定可能

【注】 本章では以下のように用語を定義します。

1. 1 データ転送 : DMAC による 1 リードサイクルと 1 ライトサイクルの転送 (デュアルアドレス転送時)
2. 1 オペランド転送 : 1 チャンネルの DMAC が連続して行うデータ転送 (データ転送数はレジスタ設定による)
3. 1DMA 転送 : スタートアドレスからエンドアドレスまでのバイトカウントレジスタに設定された数の転送
4. チャンネル番号 : $n=0, 1, \dots, 6, 7$
5. 要求要因番号 : $k=1, 2, \dots, 36$ 、 $m=0, 1, 2, \dots, 36$
6. BIU : Bus Interface Unit (内蔵モジュール) を示します。接続先により以下の種類があります。

BIU_E : 外部空間 (通常空間と SDRAM 空間)

BIU_P : 周辺バス (1) (図 1.1 を参照)、内蔵 RAM 空間

BIU_SH : 周辺バス (2) (図 1.1 を参照)

図 11.1 に DMAC のブロック図を示します。

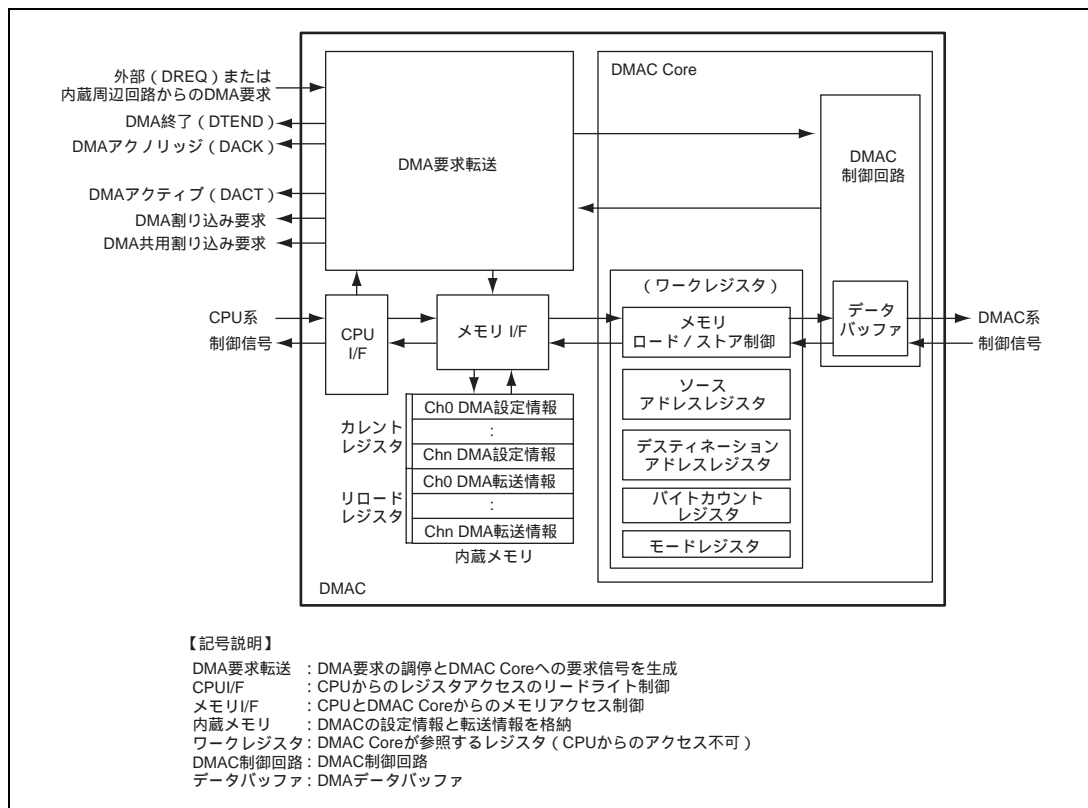


図 11.1 DMAC ブロック図

11.2 入出力端子

表 11.1 端子構成

端子名	入出力	名称・機能
DREQm (m = 0 ~ 3)	入力	DMA 転送の外部要求
DACKm (m = 0 ~ 3)	出力	DMA 転送の外部要求に対する DMA アクノリッジ (L: アクティブ)
DACTm (m = 0 ~ 3)	出力	DMA 転送の外部要求に対する DMA アクティブ (L: アクティブ)
DTENDm (m = 0 ~ 3)	出力	DMA 転送の外部要求に対する DMA 終了 (L: 終了)

11.3 レジスタの説明

DMAC は以下のレジスタがあります。すべてのレジスタは、パワーオンリセットおよびディープスタンバイモード時に初期化されます。

表 11.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	DMA カレントソースアドレスレジスタ 0	DMCSADR0	R/W	不定	H'FF460000	32
	DMA カレントデスティネーションアドレスレジスタ 0	DMCDADR0	R/W	不定	H'FF460004	32
	DMA カレントバイトカウントレジスタ 0	DMCBCT0	R/W	不定	H'FF460008	32
	DMA モードレジスタ 0	DMMOD0	R/W	不定	H'FF46000C	32
	DMA リロードソースアドレスレジスタ 0	DMRSADR0	R/W	不定	H'FF460200	32
	DMA リロードデスティネーションアドレスレジスタ 0	DMRDADR0	R/W	不定	H'FF460204	32
	DMA リロードバイトカウントレジスタ 0	DMRBCT0	R/W	不定	H'FF460208	32
	DMA 制御レジスタ A0	DMCNTA0	R/W	H'00000000	H'FF460400	8、16、32
	DMA 制御レジスタ B0	DMCNTB0	R/W	H'00000000	H'FF460404	8、16、32
1	DMA カレントソースアドレスレジスタ 1	DMCSADR1	R/W	不定	H'FF460010	32
	DMA カレントデスティネーションアドレスレジスタ 1	DMCDADR1	R/W	不定	H'FF460014	32
	DMA カレントバイトカウントレジスタ 1	DMCBCT1	R/W	不定	H'FF460018	32
	DMA モードレジスタ 1	DMMOD1	R/W	不定	H'FF46001C	32
	DMA リロードソースアドレスレジスタ 1	DMRSADR1	R/W	不定	H'FF460210	32
	DMA リロードデスティネーションアドレスレジスタ 1	DMRDADR1	R/W	不定	H'FF460214	32
	DMA リロードバイトカウントレジスタ 1	DMRBCT1	R/W	不定	H'FF460218	32
	DMA 制御レジスタ A1	DMCNTA1	R/W	H'00000000	H'FF460408	8、16、32
	DMA 制御レジスタ B1	DMCNTB1	R/W	H'00000000	H'FF46040C	8、16、32
2	DMA カレントソースアドレスレジスタ 2	DMCSADR2	R/W	不定	H'FF460020	32
	DMA カレントデスティネーションアドレスレジスタ 2	DMCDADR2	R/W	不定	H'FF460024	32
	DMA カレントバイトカウントレジスタ 2	DMCBCT2	R/W	不定	H'FF460028	32
	DMA モードレジスタ 2	DMMOD2	R/W	不定	H'FF46002C	32
	DMA リロードソースアドレスレジスタ 2	DMRSADR2	R/W	不定	H'FF460220	32
	DMA リロードデスティネーションアドレスレジスタ 2	DMRDADR2	R/W	不定	H'FF460224	32
	DMA リロードバイトカウントレジスタ 2	DMRBCT2	R/W	不定	H'FF460228	32
	DMA 制御レジスタ A2	DMCNTA2	R/W	H'00000000	H'FF460410	8、16、32
	DMA 制御レジスタ B2	DMCNTB2	R/W	H'00000000	H'FF460414	8、16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
3	DMA カレントソースアドレスレジスタ 3	DMCSADR3	R/W	不定	H'FF460030	32
	DMA カレントデスティネーション アドレスレジスタ 3	DMCDADR3	R/W	不定	H'FF460034	32
	DMA カレントバイトカウントレジスタ 3	DMCBCT3	R/W	不定	H'FF460038	32
	DMA モードレジスタ 3	DMMOD3	R/W	不定	H'FF46003C	32
	DMA リロードソースアドレスレジスタ 3	DMRSADR3	R/W	不定	H'FF460230	32
	DMA リロードデスティネーション アドレスレジスタ 3	DMRDADR3	R/W	不定	H'FF460234	32
	DMA リロードバイトカウントレジスタ 3	DMRBCT3	R/W	不定	H'FF460238	32
	DMA 制御レジスタ A3	DMCNTA3	R/W	H'00000000	H'FF460418	8、16、32
	DMA 制御レジスタ B3	DMCNTB3	R/W	H'00000000	H'FF46041C	8、16、32
4	DMA カレントソースアドレスレジスタ 4	DMCSADR4	R/W	不定	H'FF460040	32
	DMA カレントデスティネーション アドレスレジスタ 4	DMCDADR4	R/W	不定	H'FF460044	32
	DMA カレントバイトカウントレジスタ 4	DMCBCT4	R/W	不定	H'FF460048	32
	DMA モードレジスタ 4	DMMOD4	R/W	不定	H'FF46004C	32
	DMA リロードソースアドレスレジスタ 4	DMRSADR4	R/W	不定	H'FF460240	32
	DMA リロードデスティネーション アドレスレジスタ 4	DMRDADR4	R/W	不定	H'FF460244	32
	DMA リロードバイトカウントレジスタ 4	DMRBCT4	R/W	不定	H'FF460248	32
	DMA 制御レジスタ A4	DMCNTA4	R/W	H'00000000	H'FF460420	8、16、32
	DMA 制御レジスタ B4	DMCNTB4	R/W	H'00000000	H'FF460424	8、16、32
5	DMA カレントソースアドレスレジスタ 5	DMCSADR5	R/W	不定	H'FF460050	32
	DMA カレントデスティネーション アドレスレジスタ 5	DMCDADR5	R/W	不定	H'FF460054	32
	DMA カレントバイトカウントレジスタ 5	DMCBCT5	R/W	不定	H'FF460058	32
	DMA モードレジスタ 5	DMMOD5	R/W	不定	H'FF46005C	32
	DMA リロードソースアドレスレジスタ 5	DMRSADR5	R/W	不定	H'FF460250	32
	DMA リロードデスティネーション アドレスレジスタ 5	DMRDADR5	R/W	不定	H'FF460254	32
	DMA リロードバイトカウントレジスタ 5	DMRBCT5	R/W	不定	H'FF460258	32
	DMA 制御レジスタ A5	DMCNTA5	R/W	H'00000000	H'FF460428	8、16、32
	DMA 制御レジスタ B5	DMCNTB5	R/W	H'00000000	H'FF46042C	8、16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
6	DMA カレントソースアドレスレジスタ 6	DMCSADR6	R/W	不定	H'FF460060	32
	DMA カレントデスティネーション アドレスレジスタ 6	DMCDADR6	R/W	不定	H'FF460064	32
	DMA カレントバイトカウントレジスタ 6	DMCBCT6	R/W	不定	H'FF460068	32
	DMA モードレジスタ 6	DMMOD6	R/W	不定	H'FF46006C	32
	DMA リロードソースアドレスレジスタ 6	DMRSADR6	R/W	不定	H'FF460260	32
	DMA リロードデスティネーション アドレスレジスタ 6	DMRDADR6	R/W	不定	H'FF460264	32
	DMA リロードバイトカウントレジスタ 6	DMRBCT6	R/W	不定	H'FF460268	32
	DMA 制御レジスタ A6	DMCNTA6	R/W	H'00000000	H'FF460430	8、16、32
	DMA 制御レジスタ B6	DMCNTB6	R/W	H'00000000	H'FF460434	8、16、32
7	DMA カレントソースアドレスレジスタ 7	DMCSADR7	R/W	不定	H'FF460070	32
	DMA カレントデスティネーション アドレスレジスタ 7	DMCDADR7	R/W	不定	H'FF460074	32
	DMA カレントバイトカウントレジスタ 7	DMCBCT7	R/W	不定	H'FF460078	32
	DMA モードレジスタ 7	DMMOD7	R/W	不定	H'FF46007C	32
	DMA リロードソースアドレスレジスタ 7	DMRSADR7	R/W	不定	H'FF460270	32
	DMA リロードデスティネーション アドレスレジスタ 7	DMRDADR7	R/W	不定	H'FF460274	32
	DMA リロードバイトカウントレジスタ 7	DMRBCT7	R/W	不定	H'FF460278	32
	DMA 制御レジスタ A7	DMCNTA7	R/W	H'00000000	H'FF460438	8、16、32
	DMA 制御レジスタ B7	DMCNTB7	R/W	H'00000000	H'FF46043C	8、16、32
共通	DMA 起動制御レジスタ	DMSCNT	R/W	H'00000000	H'FF460500	8、16、32
	DMA 割り込み制御レジスタ	DMICNT	R/W	H'00000000	H'FF460508	8、16、32
	DMA 共用割り込み制御レジスタ	DMICNTA	R/W	H'00000000	H'FF46050C	8、16、32
	DMA 割り込みステータスレジスタ	DMISTS	R	H'00000000	H'FF460510	8、16、32
	DMA 転送終了検出レジスタ	DMEDET	R/W	H'00000000	H'FF460514	8、16、32
	DMA アービトレーション ステータスレジスタ	DMASTS	R/W	H'00000000	H'FF460518	8、16、32

11.3.1 DMA カレントソースアドレスレジスタ (DMCSADR)

DMCSADR は、転送元の開始アドレスを設定するためのレジスタです。このレジスタの値は、DMA 転送開始時にワークソースアドレスレジスタに移されます。オペランド転送終了時に、ワークソースアドレスレジスタの内容がこのレジスタに戻されます。ただし、ソース側ローテート設定 (SAMOD=011) のときは、ワークソースアドレスレジスタの内容は戻されません。また、ソースアドレスリロード機能が有効のときは、DMA 転送終了時に DMA リロードソースアドレスレジスタ (DMRSADRn) に格納されている内容がこのレジスタに戻されます。このレジスタは、リロード機能の有効、無効にかかわらず設定する必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSA															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSA															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CSA	不定	R/W	ソースアドレス A31~A0

【注】 1. このレジスタには、以下のように選択された転送データサイズに対して、アライメントのとれたアドレス境界内で DMA 転送が行われるように設定してください。

- ・転送データサイズが 16 ビット設定の場合 (SZSEL=001) : (b0) = 0
- ・転送データサイズが 32 ビット設定の場合 (SZSEL=010) : (b1,b0) = (0,0)

2. このレジスタへの書き込みは、対応するチャネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の対応するチャネルの DASTS=0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST=0 または DMA 制御レジスタ B (DMCNTBn) の DEN=0) に設定されている場合に行ってください。それ以外の場合に、このレジスタに書き込みを行った場合の動作は保証されません。

11.3.2 DMA カレントデスティネーションアドレスレジスタ (DMCDADR)

DMCDADR は、転送先の開始アドレスを設定するためのレジスタです。このレジスタの値は、DMA 転送開始時にワークデスティネーションアドレスレジスタに移されます。オペランド転送終了時に、ワークデスティネーションアドレスレジスタの内容がこのレジスタに戻されます。ただし、デスティネーション側ローテート設定 (DAMOD=011) のときは、ワークデスティネーションアドレスレジスタの内容は戻されません。また、デスティネーションアドレスリロード機能が有効のときは、DMA 転送終了時に DMA リロードデスティネーションアドレスレジスタ (DMRDADR_n) に格納されている内容がこのレジスタに戻されます。このレジスタは、リロード機能の有効、無効にかかわらず設定する必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDA															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDA															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CDA	不定	R/W	デスティネーションアドレス A31~A0

- 【注】 1. このレジスタには、以下のように選択された転送データサイズに対して、アライメントのとれたアドレス境界内で DMA 転送が行われるように設定してください。
- ・転送データサイズが 16 ビット設定の場合 (SZSEL=001) : (b0) = 0
 - ・転送データサイズが 32 ビット設定の場合 (SZSEL=010) : (b1,b0) = (0,0)
2. このレジスタへの書き込みは、対応するチャンネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の対応するチャンネルの DASTS=0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST=0 または DMA 制御レジスタ B (DMCNTB_n) の DEN=0) に設定されている場合に行ってください。それ以外の場合に、このレジスタに書き込みを行った場合の動作は保証されません。

11.3.3 DMA カレントバイトカウントレジスタ (DMCBCT)

DMCBCT は、DMA 転送するバイト数を設定するためのレジスタです。このレジスタの値は、DMA 転送開始時にワークバイトカウントレジスタに移され、1 データ転送ごとに、転送バイト数分減少します。減少数は以下のとおりです。

- 転送データサイズが8ビット設定の場合 (SZSEL = 000) : - 1
- 転送データサイズが16ビット設定の場合 (SZSEL = 001) : - 2
- 転送データサイズが32ビット設定の場合 (SZSEL = 010) : - 4

ワークバイトカウントレジスタの値が H'000 0000 になった時点で DMA 転送終了(バイトカウント=0 による終了)となります。このとき、DMA 転送終了検出レジスタ (DMEDET) の対応するビットが 1 にセットされます。DMA 転送のチャンネルが切り替わるとき、または DMA 転送終了(バイトカウントリロード機能無効)時に、ワークバイトカウントレジスタに格納されている内容がこのレジスタに戻されます。バイトカウントリロード機能が有効の場合は、DMA 転送終了時に DMA リロードバイトカウントレジスタ (DMRBCn) に格納されている内容がこのレジスタに戻されます。このレジスタは、リロード機能の有効、無効にかかわらず設定する必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
	-	-	-	-	-	-	CBC												
初期値:	0	0	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定			
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	CBC																		
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定			
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~0	CBC	不定	R/W	DMA 転送バイト数

- 【注】
1. 設定値が H'000 0000 の場合、最大転送バイト数の 64M バイトを転送しますので、注意してください。
 2. このレジスタには、以下のように DMA 転送の最終データ転送時にバイトカウント = 0 となるように設定してください。
 - 転送データサイズが 16 ビット設定の場合 (SZSEL = 001) : (b0) = 0
 - 転送データサイズが 32 ビット設定の場合 (SZSEL = 010) : (b1,b0) = (0,0)
 3. このレジスタへの書き込みは、対応するチャンネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の対応するチャンネルの DASTS = 0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST = 0 または DMA 制御レジスタ B (DMCNTBn) の DEN = 0) に設定されている場合のみ行ってください。それ以外の場合に、このレジスタに書き込みを行った場合の動作は保証されません。

11.3.4 DMA リロードソースアドレスレジスタ (DMRSADR)

DMRSADR は、DMA カレントソースアドレスレジスタ (DMCSADR_n) にリロードするアドレスを設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTA_n) の DMA ソースアドレスリロード機能有効ビット (SRL0D) を 1 にセットしてください。この場合、DMA カレントソースアドレスレジスタ (DMCSADR_n)、および DMA リロードソースアドレスレジスタ (DMRSADR_n) の両方に設定を行う必要があります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSA																
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSA																
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	RSA	不定	R/W	リロードソースアドレス A31~A0

【注】 このレジタには、以下のように選択された転送データサイズに対して、アライメントのとれたアドレス境界内で DMA 転送が行われるように設定してください。

- ・転送データサイズが 16 ビット設定の場合 (SZSEL=001) : (b0) = 0
- ・転送データサイズが 32 ビット設定の場合 (SZSEL=010) : (b1,b0) = (0,0)

11.3.5 DMA リロードデスティネーションアドレスレジスタ (DMRDADR)

DMRDADR は、DMA カレントデスティネーションアドレスレジスタ (DMCDADR_n) にリロードするアドレスを設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTA_n) の DMA デスティネーションアドレスリロード機能有効ビット (DRLOD) を 1 にセットしてください。この場合、DMA カレントデスティネーションアドレスレジスタ (DMCDADR_n)、および DMA リロードデスティネーションアドレスレジスタ (DMRDADR_n) の両方に設定を行う必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RDA	不定	R/W	リロードデスティネーションアドレス A31~A0

【注】 このレジスタには、以下のように選択された転送データサイズに対して、アライメントのとれたアドレス境界内で DMA 転送が行われるように設定してください。

- ・転送データサイズが 16 ビット設定の場合 (SZSEL = 001) : (b0) = 0
- ・転送データサイズが 32 ビット設定の場合 (SZSEL = 010) : (b1,b0) = (0,0)

11.3.6 DMA リロードバイトカウントレジスタ (DMRBCT)

DMRBCT は、DMA カレントバイトカウントレジスタ (DMCBCT_n) にリロードするバイトカウントを設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTA_n) の DMA バイトカウントリロード機能有効ビット (BRLOD) を 1 にセットしてください。この場合、DMA カレントバイトカウントレジスタ (DMCBCT_n)、および DMA リロードバイトカウントレジスタ (DMRBCT_n) の両方に設定を行う必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	RBC									
初期値:	0	0	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBC															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~0	RBC	不定	R/W	DMA リロード転送バイト数

【注】 このレジスタには、以下のように DMA 転送の最終データ転送時にバイトカウント = 0 となるように設定してください。

- ・転送データサイズが 16 ビット設定の場合 (SZSEL = 001) : (b0) = 0
- ・転送データサイズが 32 ビット設定の場合 (SZSEL = 010) : (b1,b0) = (0,0)

11.3.7 DMA モードレジスタ (DMMOD)

DMMOD は、データ数、データサイズ選択、アドレス方向制御および各種信号出力を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	OPSEL[3:0]				-	-	-	-	-	SZSEL[2:0]			
初期値 :	0	0	0	0	不定	不定	不定	不定	0	0	0	0	0	不定	不定	不定	
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	SAMOD[2:0]			-	DAMOD[2:0]			-	-	-	-	SACT	DACT	DTCM[1:0]		
初期値 :	0	不定	不定	不定	0	不定	不定	不定	0	0	0	0	不定	不定	不定	不定	
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27~24	OPSEL [3:0]	不定	R/W	<p>1 オペランド転送データ数選択</p> <p>このビットにより、1 オペランド転送のデータ転送数を設定します。このビットで設定されたデータ数分の転送を連続的に行います。この設定数分のデータ転送 (1 オペランド転送) を終了するまでは、チャンネル調停は行いません。</p> <p>なお、DMA 制御レジスタ A (DMCNTAn) の DMA 転送条件選択ビット (DSEL) でノンストップ転送 (DSEL = 11) を選択した場合は、このビットは無効になります。</p> <p>【注】オペランド転送の最終データ転送時に DMA カレントバイトカウントレジスタ (DMCBCTn) = H000 0000 となるように、DMA カレントバイトカウントレジスタ (DMCBCTn) を設定してください。</p> <ul style="list-style-type: none"> ・転送データサイズが 8 ビット設定の場合 (SZSEL = 000) <ul style="list-style-type: none"> : 1 オペランド転送データ数の整数倍 (×1, ×2, ×3, …) ・転送データサイズが 16 ビット設定の場合 (SZSEL = 001) <ul style="list-style-type: none"> : 1 オペランド転送データ数の 2 の倍数倍 (×2, ×4, ×6, …) ・転送データサイズが 32 ビット設定の場合 (SZSEL = 010) <ul style="list-style-type: none"> : 1 オペランド転送データ数の 4 の倍数倍 (×4, ×8, ×12, …) <p>上記以外の値を設定した場合の動作は保証されません(詳細は、「11.3.3 DMA カレントバイトカウントレジスタ (DMCBCT)」、および「11.3.6 DMA リロードバイトカウントレジスタ (DMRBCT)」を参照)</p> <p>0000 : 1 データ 0001 : 2 データ 0010 : 4 データ 0011 : 8 データ 0100 : 16 データ 0101 : 32 データ 0110 : 64 データ 0111 : 128 データ 1000 ~ 1111 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
23~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	SZSEL[2:0]	不定	R/W	転送データサイズ選択 このビットにより、1 データ転送のビットサイズを設定します。 転送単位は、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) に設定可能です (詳細は、「11.9 転送単位と転送バイト位置」を参照)。なお、この転送サイズは、DMA 転送を行うときに使用するソース側およびデスティネーション側がサポートしているデータバスのビット幅を超えて設定することはできません。データバスのバス幅はハードウェア固定です。 000 : バイト (8 ビット) 001 : ワード (16 ビット) 010 : ロングワード (32 ビット) 011 ~ 111 : 設定禁止
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	SAMOD [2:0]	不定	R/W	ソースアドレス方向制御 このビットにより、ソースアドレスのカウント方向を設定します。 000 : 固定 001 : インクリメント 010 : デクリメント 011 : ローテート 100 ~ 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	DAMOD [2:0]	不定	R/W	デスティネーションアドレス方向制御 このビットにより、デスティネーションアドレスのカウント方向を設定します。 000 : 固定 001 : インクリメント 010 : デクリメント 011 : ローテート 100 ~ 111 : 設定禁止
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
3	SACT	不定	R/W	<p>ソース用 DMA アクティブ信号出力制御</p> <p>このビットにより、DCTG ビットで設定した要求要因に対応するソース用 DMA アクティブ信号 (DACT) 出力を制御します。このビットに 0 を設定した場合、DACT 信号は有効出力されず H 固定となります。このビットに 1 を設定した場合、DACT 信号は DMAC のリードサイクル開始の次のサイクルより有効 (L) 出力されます。なお、DMA 要求要因選択ビット (DCTG) でソフトウェアトリガの場合は、DACT 信号に出力されます。また、要求要因 (DCTG) で内蔵周辺回路からの要求要因の場合には、このビットの設定にかかわらず DACT 信号は有効出力されません。</p> <p>0 : ソース用 DMA アクティブ信号出力停止 1 : リードアクセス時にソース用 DMA アクティブ信号出力</p>
2	DACT	不定	R/W	<p>デスティネーション用 DMA アクティブ信号出力制御</p> <p>このビットにより、DCTG ビットで設定した要求要因に対応するデスティネーション用 DMA アクティブ信号 (DACT) 出力を制御します。このビットに 0 を設定した場合、DACT 信号は有効出力されず H 固定となります。このビットに 1 を設定した場合、DACT 信号は DMAC のライトサイクル開始の次のサイクルより有効 (L) 出力されます。なお、DMA 要求要因選択ビット (DCTG) でソフトウェアトリガの場合は、DACT 信号に出力されます。また、要求要因 (DCTG) で内蔵周辺回路からの要求要因の場合には、このビットの設定にかかわらず DACT 信号は有効出力されません。</p> <p>0 : デスティネーション用 DMA アクティブ信号出力停止 1 : ライトアクセス時にデスティネーション用 DMA アクティブ信号出力</p>
1、0	DTCM[1:0]	不定	R/W	<p>DMA 終了信号出力制御</p> <p>このビットにより、DMA 転送終了条件検出時の DMA 終了信号 (DTEND) 出力を制御します。このビットに 00 を設定した場合、DMA 転送が終了しても DTEND 信号は有効出力されず H 固定となります。このビットに 01 を設定した場合、DTEND 信号は DMA 転送終了直前のリードサイクル開始の次のサイクルより有効出力されます。このビットに 10 を設定した場合、DTEND 信号は DMA 転送終了直前のライトサイクル開始の次のサイクルより有効出力されます。</p> <p>このビットに 11 を設定した場合、DTEND 信号は DMA 転送終了割り込みと同じタイミングで、1 クロック分の L パルス信号が出力されます(詳細は、図 11.9 を参照)。なお、DMA 要求要因選択ビット (DCTG) でソフトウェアトリガの場合は、DTEND 信号に出力されます。また、要求要因 (DCTG) で内蔵周辺回路からの要求要因の場合には、このビットの設定にかかわらず DTEND 信号は有効出力されません。</p> <p>00 : DTEND 信号出力停止 01 : 最後のリードサイクル時に DTEND 信号出力 10 : 最後のライトサイクル時に DTEND 信号出力 11 : DMA 終了後に DTEND 信号出力</p>

【注】 このレジスタへの書き込みは、対応するチャンネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の DASTS = 0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST = 0 または DMA 制御レジスタ B (DMCNTBn) の DEN = 0) に設定されている場合にのみ行ってください。それ以外の場合にこのレジスタに書き込みを行った場合の動作は保証されません。

SACT = 1 かつ DACT = 1 に設定した場合、DACT 信号は DMAC のリードおよびライトサイクルの次のサイクルより有効 (L) 出力されます。

表 11.3 に DMA ソース / デスティネーションアドレスレジスタを示します (アドレッシングモードのローテートの詳細は、「11.11 ローテート機能」を参照)。また、バーストアクセスをサポートしている外部デバイス、モジュールに対して、パイプライン転送を行う場合は、必ずアドレスがプラスインクリメントされるプラス方向 (001)、ローテート (011) を設定してください。

表 11.3 DMA ソース / デスティネーションアドレスレジスタのカウンタ増減値

転送データサイズ 選択ビット SZSEL	アドレッシングモード SAMOD または DAMOD			
	000 (固定)	001 (プラス方向)	010 (マイナス方向)	011 (ローテート)
000 (8 ビット)	±0	+1	-1	+1
001 (16 ビット)	±0	+2	-2	+2
010 (32 ビット)	±0	+4	-4	+4

11.3.8 DMA 制御レジスタ A (DMCNTA)

DMCNTA は、転送モード、転送条件の選択、各種リロード機能の制御および DMA 要因の選択を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	MDSEL[1:0]	-	-	DSEL[1:0]	-	-	-	-	-	-	-	-	STRG[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	BRLOD	SRLOD	DRLOD	-	-	DCTG[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29, 28	MDSEL [1:0]	00	R/W	DMA 転送モード選択 このビットにより、DMA 転送モードを設定します。このビットに 00 を設定した場合、サイクルスチル転送モードになります。このビットに 01 を設定した場合、パイプライン転送モードになります。なお、このビットに 10、11 は設定しないでください。10、11 に設定した場合の動作は保証されません(詳細は、「11.4.1 DMA 転送モード」を参照)。 00: サイクルスチル転送 01: パイプライン転送 10: 設定禁止 11: 設定禁止 【注】 同一 BIU 間へのパイプライン転送はできません。BIU に関しては「11.1 特長」の注記をご参照ください。
27, 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25, 24	DSEL[1:0]	00	R/W	DMA 転送条件選択 このビットにより、DMA 転送条件を設定します。このビットに 00 を設定した場合、単一オペランド転送になります。このビットに 01 を設定した場合、連続オペランド転送になります。このビットに 11 を設定した場合、ノンストップ転送になります(詳細は、「11.4.2 DMA 転送条件」を参照)。なお、このビットに 10 は設定しないでください。10 に設定した場合の動作は保証されません。 00: 単一オペランド転送 01: 連続オペランド転送 10: 設定禁止 11: ノンストップ転送

ビット	ビット名	初期値	R/W	説明
23~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17, 16	STRG[1:0]	00	R/W	入力センスモード選択 このビットにより、DMA 要求要因選択ビット (DCTG) により選択された要求要因から、DMAC に対して入力される DMA 要求信号の入力センスモードを設定します。要求要因でソフトウェアトリガ (DCTG = 000000) を選択している場合は、立ち上がりエッジセンス 00 を、IIC3、SCIF、SSI、RCAN-ET、MTU2、ADC (DCTG = 000101 ~ 100100) を選択している場合は、立ち下がりエッジセンス 10 を設定してください。表 11.4 に DMA 要求要因と入力センスモードの関係を示します。 00 : 立ち上がりエッジセンス 01 : High レベルセンス 10 : 立ち下がりエッジセンス 11 : Low レベルセンス
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	BRLOD	0	R/W	DMA バイトカウントリロード機能有効 このビットにより、DMA 転送終了条件が検出された場合にバイトカウンタをリロードするか、しないかを選択します。このビットを0にクリアした場合、リロードは行われません。このビットを1にセットした場合、DMA 転送終了条件が検出されると DMA リロードバイトカウントレジスタ (DMRBCTn) の内容が DMA カレントバイトカウントレジスタ (DMCBCTn) にリロードされません。 0 : バイトカウントリロード機能無効 1 : バイトカウントリロード機能有効
9	SRL0D	0	R/W	DMA ソースアドレスリロード機能有効 このビットにより、DMA 転送終了条件が検出された場合にソースアドレスをリロードするか、しないかを選択します。このビットを0にクリアした場合、リロードは行われません。このビットを1にセットした場合、DMA 転送終了条件が検出されると DMA リロードソースアドレスレジスタ (DMRSADRn) の内容が DMA カレントソースアドレスレジスタ (DMCSADRn) にリロードされません。 0 : ソースアドレスリロード機能無効 1 : ソースアドレスリロード機能有効

ビット	ビット名	初期値	R/W	説明
8	DRLOD	0	R/W	<p>DMA デスティネーションアドレスリロード機能有効</p> <p>このビットにより、DMA 転送終了条件が検出された場合にデスティネーションアドレスをリロードするか、しないかを選択します。このビットを0にクリアした場合、リロードは行われません。このビットを1にセットした場合、DMA 転送終了条件が検出されると DMA リロードデスティネーションアドレスレジスタ (DMRDADRn) の内容が DMA カレントデスティネーションアドレスレジスタ (DMCDADRn) にリロードされます。</p> <p>0 : デスティネーションアドレスリロード機能無効 1 : デスティネーションアドレスリロード機能有効</p>
7、6	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
5~0	DCTG[5:0]	000000	R/W	<p>DMA 要求要因選択</p> <p>このビットにより、DMA 要求要因を設定します。IIC3、SCIF、RCAN-ET、MTU2、ADC の DMA 要求要因を選択する場合は、INTC の DREQER0 ~ DREQER3 の DMA 転送要求許可ビットを設定してください。DREQER0 ~ DREQER3 の設定方法については、「第6章 割り込みコントローラ (INTC)」を参照してください。</p> <p>000000 : ソフトウェアトリガ 000001 : DREQ0 端子 000010 : DREQ1 端子 000011 : DREQ2 端子 000100 : DREQ3 端子 000101 : IIC3 0ch RX 000110 : IIC3 0ch TX 000111 : IIC3 1ch RX 001000 : IIC3 1ch TX 001001 : IIC3 2ch RX 001010 : IIC3 2ch TX 001011 : SCIF 0ch RX 001100 : SCIF 0ch TX 001101 : SCIF 1ch RX 001110 : SCIF 1ch TX 001111 : SCIF 2ch RX 010000 : SCIF 2ch TX 010001 : SCIF 3ch RX 010010 : SCIF 3ch TX 010011 : SCIF 4ch RX 010100 : SCIF 4ch TX 010101 : SCIF 5ch RX</p>

ビット	ビット名	初期値	R/W	説明
5~0	DCTG[5:0]	000000	R/W	010110 : SCIF 5ch TX 010111 : SCIF 6ch RX 011000 : SCIF 6ch TX 011001 : SCIF 7ch RX 011010 : SCIF 7ch TX 011011 : SSI 0ch 011100 : SSI 1ch 011101 : RCAN-ET 0ch 011110 : RCAN-ET 1ch 011111 : MTU2 0ch 100000 : MTU2 1ch 100001 : MTU2 2ch 100010 : MTU2 3ch 100011 : MTU2 4ch 100100 : ADC 100101~111111 : 設定禁止

【注】 各リロード機能有効ビット (BRL0D、SRLOD、DRLOD) 以外の DMA 制御レジスタ A (DMCNTAn) の設定値変更は、対応するチャンネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の DASTS = 0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST = 0 または DMA 制御レジスタ B (DMCNTBn) の DEN = 0) に設定されている場合のみ行ってください。それ以外の場合にこのレジスタに書き込みを行った場合の動作は保証されません。

表 11.4 DMA 要求要因と入力センスモードの関係

DMA 要求要因	STRG ビットの設定				DCTG ビット の設定
	00 : 立ち上がり エッジセンス	01 : High レベル センス	10 : 立ち下がり エッジセンス	11 : Low レベル センス	
ソフトウェアトリガ		x	x	x	000000
DREQ0 端子					000001
DREQ1 端子					000010
DREQ2 端子					000011
DREQ3 端子					000100
IIC3 0ch RX	x	x		x	000101
IIC3 0ch TX	x	x		x	000110
IIC3 1ch RX	x	x		x	000111
IIC3 1ch TX	x	x		x	001000
IIC3 2ch RX	x	x		x	001001
IIC3 2ch TX	x	x		x	001010
SCIF 0ch RX	x	x		x	001011
SCIF 0ch TX	x	x		x	001100

DMA 要求要因	STRG ビットの設定				DCTG ビット の設定
	00 : 立ち上がり エッジセンス	01 : High レベル センス	10 : 立ち下がり エッジセンス	11 : Low レベル センス	
SCIF 1ch RX	x	x		x	001101
SCIF 1ch TX	x	x		x	001110
SCIF 2ch RX	x	x		x	001111
SCIF 2ch TX	x	x		x	010000
SCIF 3ch RX	x	x		x	010001
SCIF 3ch TX	x	x		x	010010
SCIF 4ch RX	x	x		x	010011
SCIF 4ch TX	x	x		x	010100
SCIF 5ch RX	x	x		x	010101
SCIF 5ch TX	x	x		x	010110
SCIF 6ch RX	x	x		x	010111
SCIF 6ch TX	x	x		x	011000
SCIF 7ch RX	x	x		x	011001
SCIF 7ch TX	x	x		x	011010
SSI 0ch	x	x		x	011011
SSI 1ch	x	x		x	011100
RCAN-ET 0ch	x	x		x	011101
RCAN-ET 1ch	x	x		x	011110
MTU2 0ch	x	x		x	011111
MTU2 1ch	x	x		x	100000
MTU2 2ch	x	x		x	100001
MTU2 3ch	x	x		x	100010
MTU2 4ch	x	x		x	100011
ADC	x	x		x	100100

【記号説明】

: 設定可能

x : 設定禁止

11.3.9 DMA 制御レジスタ B (DMCNTB)

DMCNTB は、DMA 転送許可制御、転送許可クリア、内部状態クリアの制御を行います。また、DMA 要求のステータスを参照することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	DEN	-	-	-	-	-	-	-	DREQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ECLR	-	-	-	-	-	-	-	DSCLR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	DEN	0	R/W	DMA 転送許可 このビットにより、DMA 転送の禁止、許可を設定します。このビットを 0 にクリアした場合、そのチャンネルの DMA 転送が禁止状態になります。このビットを 1 にセットした場合、そのチャンネルの DMA 転送が許可状態になります (DMA 転送の起動に関しては、「11.4.3 DMA の起動」を参照)。このビットが 0 にクリアされていても DMAC への DMA 要求入力により DMA 要求ビット (DREQ) は変化します。このビットは DMA 転送許可クリアビット (ECLR) = 1 の場合に、DMA 転送終了条件が検出されると自動的に 0 にクリアされます。また、DMA 転送中に 0 にクリアすることで、1 オペランド転送終了後、そのチャンネルを停止させることができます (詳細は、「11.6 DMA 転送の一時停止と再開、中止」を参照)。 0 : DMA 転送禁止 1 : DMA 転送許可
23~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
16	DREQ	0	R/W	<p>DMA 要求</p> <p>このビットにより、DMA 要求の有無を参照することができます。また、DMA 要求要因選択ビット (DCTG) でソフトウェアトリガを選択した場合 (DCTG = 000000)、このビットにより DMA 要求の操作を行います。このビットは、DMAC モジュール起動ビット (DMST)、および DMA 転送許可ビット (DEN) の設定にかかわらず、DMAC への DMA リクエスト入力の状態により変化し、そのセット、クリアの条件は DMA 要求要因選択ビット (DCTG)、および入力センスモード選択ビット (STRG) の設定により以下のように変化します。</p> <p>(a) DMA 要求要因選択ビット (DCTG) でソフトウェアトリガを選択した場合</p> <ul style="list-style-type: none"> • 1 セット条件 ソフトウェアによりこのビットに 1 を書き込んだ場合に 1 にセットされます。これにより DMA 要求が発生します。 • 0 クリア条件 以下のいずれかの条件を満たした場合、0 にクリアされます。 <ul style="list-style-type: none"> ・ソフトウェアによりこのビットに 0 を書き込んだ場合 ・このビットに対応するオペランド転送が開始された場合 <p>(b) DMA 要求要因選択ビット (DCTG) でソフトウェアトリガ以外を選択し、かつレベルセンスを選択した場合</p> <ul style="list-style-type: none"> • 1 セット条件 入力センスモード選択ビット (STRG) で設定したレベルと DMA リクエスト入力のレベルが一致した場合 (DMA 要求がある場合) に 1 にセットされます。 • 0 クリア条件 入力センスモード選択ビット (STRG) で設定したレベルと DMA リクエスト入力のレベルが一致しなくなった場合 (DMA 要求がなくなった場合) に 0 にクリアされます <p>(DMA 要求受付前に DMA 要求がなくなった場合、その DMA 要求は保持されず DMA 要求ビット (DREQ) はクリアされます。したがって、レベルセンスで使用する場合は、DMA 要求受付まで DMA 要求を保持してください)。</p> <p>【注】 選択された要求要因がソフトウェアトリガ以外の場合には、ソフトウェアによって DMA 要求ビット (DREQ) に 1 を書き込まないでください。1 を書き込んだ場合の動作は保証されません。</p>

ビット	ビット名	初期値	R/W	説明
16	DREQ	0	R/W	<p>(c) DMA 要求要因選択ビット (DCTG) でソフトウェアトリガ以外を選択し、かつエッジセンスを選択した場合</p> <ul style="list-style-type: none"> • 1 セット条件 入力センスモード選択ビット (STRG) で設定したエッジが検出された場合 (DMA 要求がある場合) に 1 にセットされます。 1 にセットされた場合、その後の DMA 要求信号の状態にかかわらず、0 クリア条件が満たされるまでは、DMA 要求ビット (DREQ) はセットされたままとなります。 • 0 クリア条件 以下のいずれかの条件を満たした場合、0 にクリアされます。 <ul style="list-style-type: none"> ・ソフトウェアによりこのビットに 0 を書き込んだ場合 ・このビットに対するオペランド転送が開始された場合 <p>【注】1. 選択された要求要因がソフトウェアトリガ以外の場合には、ソフトウェアによって DMA 要求ビット (DREQ) に 1 を書き込まないでください。1 を書き込んだ場合の動作は保証されません。</p> <p>2. DMA 制御レジスタ A (DMCNTAn) の DMA 要求要因選択ビット (DCTG)、入力センスモード選択ビット (STRG) を設定した場合、必ず設定したチャンネルの DMA 要求ビット (DREQ) を 0 にクリアした後、DMA 転送許可 (DMST = 1、DEN = 1) にしてください。</p> <p>0 : DMA 要求なし 1 : DMA 要求あり</p>
15~9	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	ECLR	0	R/W	<p>DMA 転送許可クリア</p> <p>このビットにより、DMA 転送終了条件が検出された場合に、DMA 転送許可ビット (DEN) を 0 にクリアするか、しないかを選択します。</p> <p>このビットを 0 にクリアした場合、DMA 転送終了条件が検出されても DMA 転送許可ビット (DEN) は 0 にクリアされません。</p> <p>このビットを 1 にセットした場合、DMA 転送終了条件が検出されると DMA 転送許可ビット (DEN) が 0 にクリアされます。</p> <p>【注】1 オペランド転送中のチャンネルに対して DMA 転送許可クリアビットへの書き込みを行った場合の動作は保証されません。</p> <p>0 : DMA 転送終了条件検出により DMA 転送許可ビットを 0 にクリアしない 1 : DMA 転送終了条件検出により DMA 転送許可ビットを 0 にクリアする</p>
7~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
0	DSCLR	0	R/W	<p>DMAC 内部状態クリア</p> <p>このビットにより、1DMA 転送の途中 (バイトカウントが 0 になる前) で、残りの DMA 転送を中止し DMAC の内部状態を初期化することができます。このビットに 1 を書き込むことでクリアされるのは、DMAC 内部回路の転送ステータスのみで、各レジスタについては初期化されません。0 書き込みは無効で、1 書き込みのデータは保持されません。読み出し時は、常に 0 が読み出されます。</p> <p>【注】本ビットへの書き込みは、対応するチャンネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の DASTS = 0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST = 0 または DMA 制御レジスタ B (DMCNTBn) の DEN = 0) に設定されている場合にのみ行ってください。それ以外の場合に本ビットをセットした場合の動作は保証されません。</p> <p>読み出し時 0 リード</p> <p>書き込み時: 0: 無効 1: DMAC の内部状態の初期化</p>

【注】 DMA 要求要因にソフトウェアトリガを選択している場合、DMA 要求ビット (DREQ) の 1 セットは、DMA 転送許可ビット (DEN) や DMAC モジュール起動ビット (DMST) の設定、オペランド転送状態に関係なく行うことが可能です。ただし、DMA 要求要因にソフトウェアトリガを選択している場合でも、DMA 要求ビット (DREQ) の 0 クリア、および DMAC 内部状態クリアビット (DSCLR) への書き込みは、対応するチャンネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の DASTS = 0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST = 0 または DMA 制御レジスタ B (DMCNTBn) の DEN = 0) に設定されている場合にのみ行ってください。それ以外の場合にこのレジスタに書き込みを行った場合の動作は保証されません。

11.3.10 DMA 起動制御レジスタ (DMSCNT)

DMSCNT は、DMAC の動作制御を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DMST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	DMST	0	R/W	DMAC モジュール起動 このビットにより、DMAC モジュールの動作/停止を設定します。このビットを0にクリアした場合、DMAC モジュールは停止状態になります。このビットを1にセットした場合、DMAC モジュールは動作状態になります(詳細は、「11.4.3 DMA の起動」、および「11.6 DMA 転送の一時停止と再開、中止」を参照)。 0 : DMAC 停止 1 : DMAC 動作
15~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

11.3.11 DMA 割り込み制御レジスタ (DMICNT)

DMICNT は、各チャンネルに対して DMA 割り込みの制御を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DINTM								-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	DINTM	すべて0	R/W	DMA 割り込み制御 このビットにより、チャンネルごとの DMA 転送終了割り込みを割り込みコントローラに対して、発生するかどうかを制御します。このビットを 0 にクリアした場合、割り込みコントローラへの割り込み要求は発生しません。このビットを 1 にセットした場合、DMA 転送終了条件を検出すると割り込みコントローラへの割り込み要求が発生します (詳細は、「11.5.2 DMA 割り込み要求」を参照)。 0 : 割り込み禁止 1 : 割り込み許可
23~0	-	すべて0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 各ビット (ビット 31 ~ ビット 24) は、チャンネル 0 ~ チャンネル 7 に対応します。(ビット 31 : チャンネル 0、ビット 30 : チャンネル 1... ビット 24 : チャンネル 7)

11.3.12 DMA 共用割り込み制御レジスタ (DMICNTA)

DMICNTA は、各チャンネルに対して共用割り込み信号の対象にする / しないを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DINTA								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	DINTA	すべて0	R/W	DMA 共用割り込み要求信号制御 このビットにより、共用割り込み要求信号の対象にするかどうかを設定します。 このビットを1にセットしたチャンネルのみが共用割り込み要求信号として1本にまとめられます。このビットを0にクリアした場合、共用割り込み要求信号の対象になりません。また、このビットに1をセットしたチャンネルのみが、共用割り込み要求信号発生時に DMA 割り込みステータスレジスタ (DMISTS) に反映されず (詳細は、「11.5.2 DMA 割り込み要求」を参照)。 0: 共用割り込み要求の対象にしない 1: 共用割り込み要求の対象にする
23~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 各ビット (ビット31~ビット24) は、チャンネル0~チャンネル7に対応します。(ビット31:チャンネル0、ビット30:チャンネル1...ビット24:チャンネル7)

11.3.13 DMA 割り込みステータスレジスタ (DMISTS)

DMISTS は、DMA 割り込み要求ステータスビットで構成されています。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DISTS								-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	DISTS	すべて0	R	<p>DMA 割り込み要求ステータス</p> <p>このビットにより、割り込みコントローラに対する共用割り込み要求の発生状態を参照することができます。</p> <ul style="list-style-type: none"> • 1 セット条件 <p>DMA 共用割り込み要求信号制御ビット(DINTA)を1に設定しているときに、DMA 転送終了条件を検出すると、対応するチャンネルのビットに1がセットされます。なお、DMA 割り込み制御ビット(DINTM)の設定には影響されません。</p> <ul style="list-style-type: none"> • 0 クリア条件 <p>割り込みが発生しているチャンネルに対応した、DMA 転送終了検出レジスタ(DMEDET)のDMA 転送終了条件検出ビット(DEDET)をクリアすると、このビットは0にクリアされます(詳細は、「11.5.2 DMA 割り込み要求」を参照)。</p> <p>0 : 割り込み要求なし 1 : 割り込み要求あり</p>
23~0	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

- 【注】 1. このレジスタは読み出し専用です。
2. 各ビット(ビット31~ビット24)は、チャンネル0~チャンネル7に対応します。(ビット31:チャンネル0、ビット30:チャンネル1...ビット24:チャンネル7)

11.3.14 DMA 転送終了検出レジスタ (DMEDET)

DMEDET は、各チャンネルの DMA 転送終了検出のステータスを参照します。なお、DEDET ビットへの 0 書き込みは無効で、1 書き込みのデータは保持されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEDET								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	DEDET	すべて 0	R/W	<p>読み出し時: DMA 転送終了条件検出</p> <p>書き込み時: DMA 転送終了条件検出、DMA 割り込み要求ステータスクリア</p> <p>このビットにより、各チャンネルの DMA 転送終了条件検出の状態を参照することができます。このレジスタは、レジスタ読み出しによる自動クリアは行いません。1 にセットされた場合、ソフトウェアによるビットクリアを行わない限り、常に値を保持しています。</p> <ul style="list-style-type: none"> • 1 セット条件 DMA 転送終了条件を検出すると、このビットに 1 がセットされます。 • 0 クリア条件 クリアするビットに 1 を書き込むことにより 0 にクリアされます。 このときクリアを行わないビットには 0 を書き込んでください。0 を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。 <p>DMA 転送終了割り込みを使用する場合には、割り込みハンドラ中で、割り込み要求が発生しているチャンネルの DMA 転送終了条件検出ビット (DEDET) に 1 を書き込んでください。転送終了条件検出ビット (DEDET) が 0 にクリアされるとともに、DMA 割り込み要求ステータスビット (DISTSTS) もクリアされます。</p> <p>読み出し時:</p> <p>0: DMA 転送終了条件検出なし 1: DMA 転送終了条件検出あり</p> <p>書き込み時:</p> <p>0: 無効 1: DMA 転送終了条件検出、および DMA 割り込み要求ステータスのクリア</p>
23~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 各ビット (ビット 31~ビット 24) は、チャンネル 0~チャンネル 7 に対応します。(ビット 31: チャンネル 0、ビット 30: チャンネル 1... ビット 24: チャンネル 7)

11.3.15 DMA アービトレーションステータスレジスタ (DMASTS)

DMASTS は、各チャンネルの DMA 転送実行状態を参照することができます。なお、DASTS ビットへの 0 書き込みは無効で、1 書き込みのデータは保持されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DASTS								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	DASTS	すべて 0	R	<p>読み出し時: DMA アービトレーションステータス 書き込み時: DMA アービトレーションステータスクリア</p> <p>このビットにより、各チャンネルの DMA 転送実行状態を参照することができます。</p> <ul style="list-style-type: none"> • 1 セット条件 オペランド転送 (ノンストップ転送) が開始されたチャンネルのビットに 1 がセットされます。 • 0 クリア条件 以下のいずれかの条件を満たした場合、0 にクリアされます。 <ul style="list-style-type: none"> ・ 1 オペランド転送 (ノンストップ転送) が正常終了した場合 ・ クリアするビットに 1 を書き込んだ場合 外部からの DMA 転送強制終了信号で DMAC を強制終了させた場合、このビットは 0 にクリアされませんので、1 を書き込むことで 0 にクリアしてください。 <p>【注】外部デバイスへの DMA 転送では、外部バスアクセス終了前 (最後のデータライトは開始されています) に DMA アービトレーションステータスビット (DASTS) がクリアされることがあります。</p> <p>読み出し時: 0: オペランド転送中でない 1: オペランド転送中</p> <p>書き込み時: 0: 無効 1: DMA アービトレーションステータスのクリア</p>
23~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 各ビット (ビット 31~ビット 24) は、チャンネル 0~チャンネル 7 に対応します。(ビット 31: チャンネル 0、ビット 30: チャンネル 1...ビット 24: チャンネル 7)

11.4 動作説明

11.4.1 DMA 転送モード

DMA 転送モードには、サイクルスチル転送モード、パイプライン転送モードとがあり DMA 制御レジスタ A (DMCNTAn) の DMA 転送モード選択ビット (MDSEL) で選択できます。

図 11.2 に、DMA 転送モードと DMAC/CPU のバス権の状態例を示します。

(1) サイクルスチル転送モード

DMA 転送モード選択ビット (MDSEL) を "00" に設定した場合、サイクルスチル転送モードになります。

サイクルスチル転送モードの場合、DMAC は 1 データ転送のリードアクセス起動とライトアクセス起動の間に少なくとも 1 サイクル空いて動作します。したがって、この間に CPU からのアクセス (ソースまたはデスティネーションとなっているターゲットの BIU 部へのアクセス) が可能となります。BIU に関しては、「11.1 特長」の注記をご参照ください。

(2) パイプライン転送モード

DMA 転送モード選択ビット (MDSEL) を "01" に設定した場合、パイプライン転送モードになります。

パイプライン転送モードの場合、DMAC はバスアクセス (リードアクセス/ライトアクセス) 起動を連続的に行います。したがって、1 オペランド転送終了まで CPU からのアクセス (ソースまたはデスティネーションとなっているターゲットの BIU 部へのアクセス) は受け付けられません。

また、同一 BIU 間へのパイプライン転送はできません。

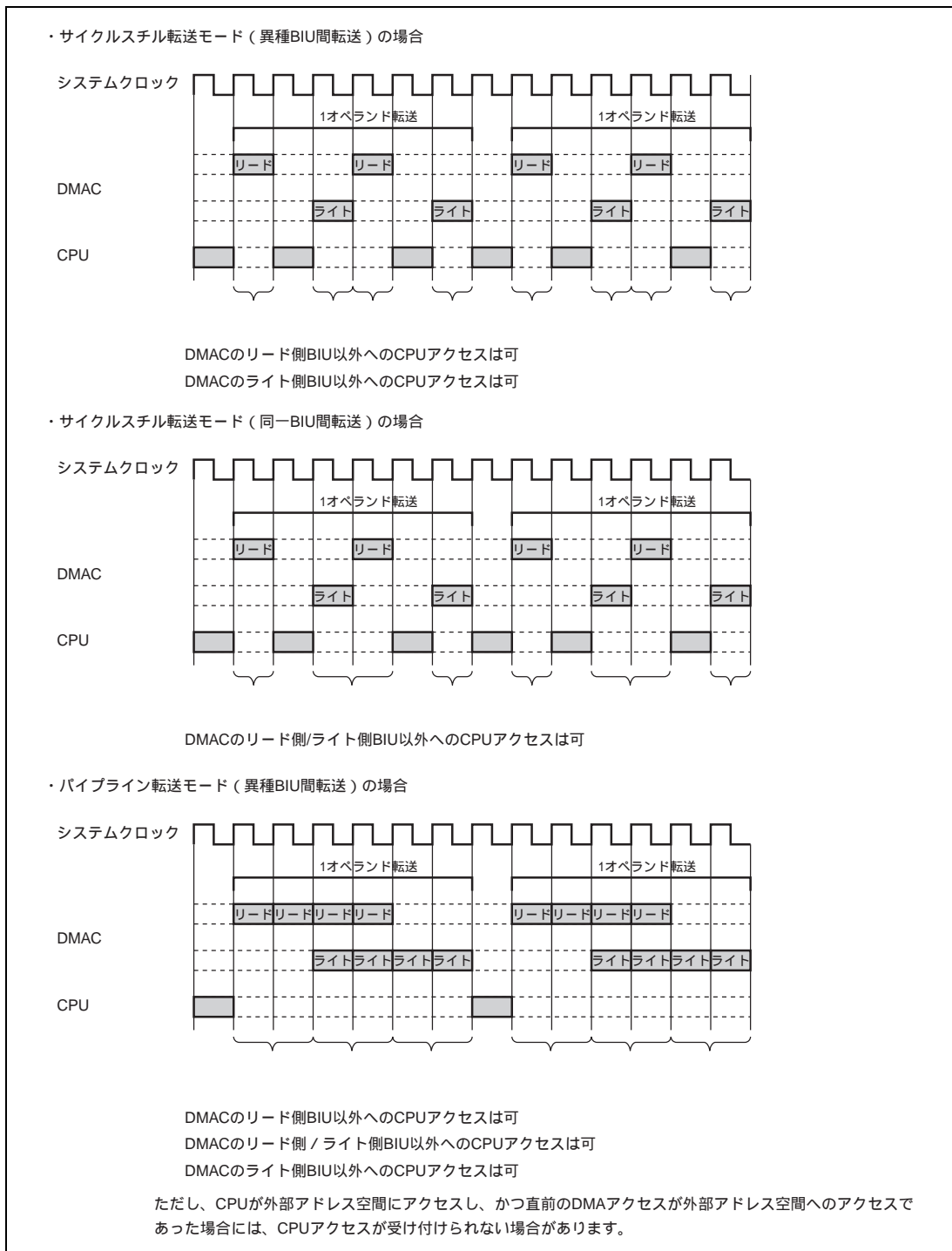


図 11.2 DMA 転送モードと DMAC/CPU のバス権の状態例

11.4.2 DMA 転送条件

DMA 転送の条件には、単一オペランド転送、連続オペランド転送、ノンストップ転送があり DMA 制御レジスタ A (DMCNTAn) の DMA 転送条件選択ビット (DSEL) で選択できます。以下にそれぞれについて説明します。

また、表 11.5、図 11.3 に DMA 転送条件の一覧を示します。

(1) 単一オペランド転送

DMA 転送条件選択ビット (DSEL) を "00" に設定すると、単一オペランド転送となります。

1 回の DMA 要求で、DMA モードレジスタ (DMMODn) の 1 オペランド転送データ数選択ビット (OPSEL) で設定されているデータ数分のデータが転送されます。

1 オペランド転送を繰り返し、バイトカウントが "0" になった時点で 1DMA 転送の終了となります。

DMA 転送条件が単一オペランド転送かつ DMA 要求の入力センスモードがレベルセンスの場合、1 オペランド転送終了後のチャンネル調停期間にて DMA 要求のマスク期間が存在します (詳細は「11.7.3 DMA 要求のセンスモード」を参照ください)。そのため、1 オペランド転送終了後のチャンネル調停期間において、転送中のチャンネルよりも優先順位の高いチャンネルの DMA 要求がなく優先順位の低いチャンネルの DMA 要求が有効な場合、優先順位の低いチャンネルの DMA 転送が開始します。優先順位の高いチャンネルを連続して転送する場合には、DMA 転送条件を連続オペランド転送かノンストップ転送に設定してください。

(2) 連続オペランド転送

DMA 転送条件選択ビット (DSEL) を "01" に設定すると、連続オペランド転送となります。

1 回の DMA 要求で、1 オペランド転送データ数選択ビット (OPSEL) で設定されているデータ数を 1 つの単位 (1 オペランド転送) とし、1DMA 転送終了まで (バイトカウントが "0" になるまで) 転送されます。1 オペランド転送が終了するごとにチャンネル調停が行われ、優先順位の高いチャンネルの DMA 要求がなければ、自動的に現在のチャンネルの転送が継続されます。

DMA 転送条件が連続オペランド転送の場合、DMA 要求の入力センスモードがレベルセンスであっても、バイトカウントが 0 になるまではマスク期間がありません。そのため、転送中のチャンネルよりも優先順位の低いチャンネルの転送が開始されることはありません。

(3) ノンストップ転送

DMA 転送条件選択ビット (DSEL) を "11" に設定すると、ノンストップ転送となります。

1 回の DMA 要求で、1DMA 転送終了まで (バイトカウントが "0" になるまで) 連続的に転送されます。この間、チャンネル調停は行われず、優先順位の高いチャンネルの DMA 要求があっても受け付けられません。

なお、ノンストップ転送時、1 オペランド転送データ数選択ビット (OPSEL) の設定は無効となります。

表 11.5 DMA 転送条件一覧

DMA 転送条件選択ビット (DSEL)	DMA 転送条件	備 考
DSEL="00"	単一オペランド転送 <ul style="list-style-type: none"> • 1 回の DMA 要求で 1 オペランド転送データ数 (OPSEL) 分の転送を行う • 1 オペランド転送終了後にチャンネル調停を行う 	
DSEL="01"	連続オペランド転送 <ul style="list-style-type: none"> • 1 回の DMA 要求でバイトカウントが "0" まで、転送を行う • 1 オペランド転送終了ごとにチャンネル調停を行う 	
DSEL="11"	ノンストップ転送 <ul style="list-style-type: none"> • 1 回の DMA 要求でバイトカウントが "0" まで、続けて転送を行う • 転送開始後、チャンネル調停は行われない 	OPSEL ビットは無効

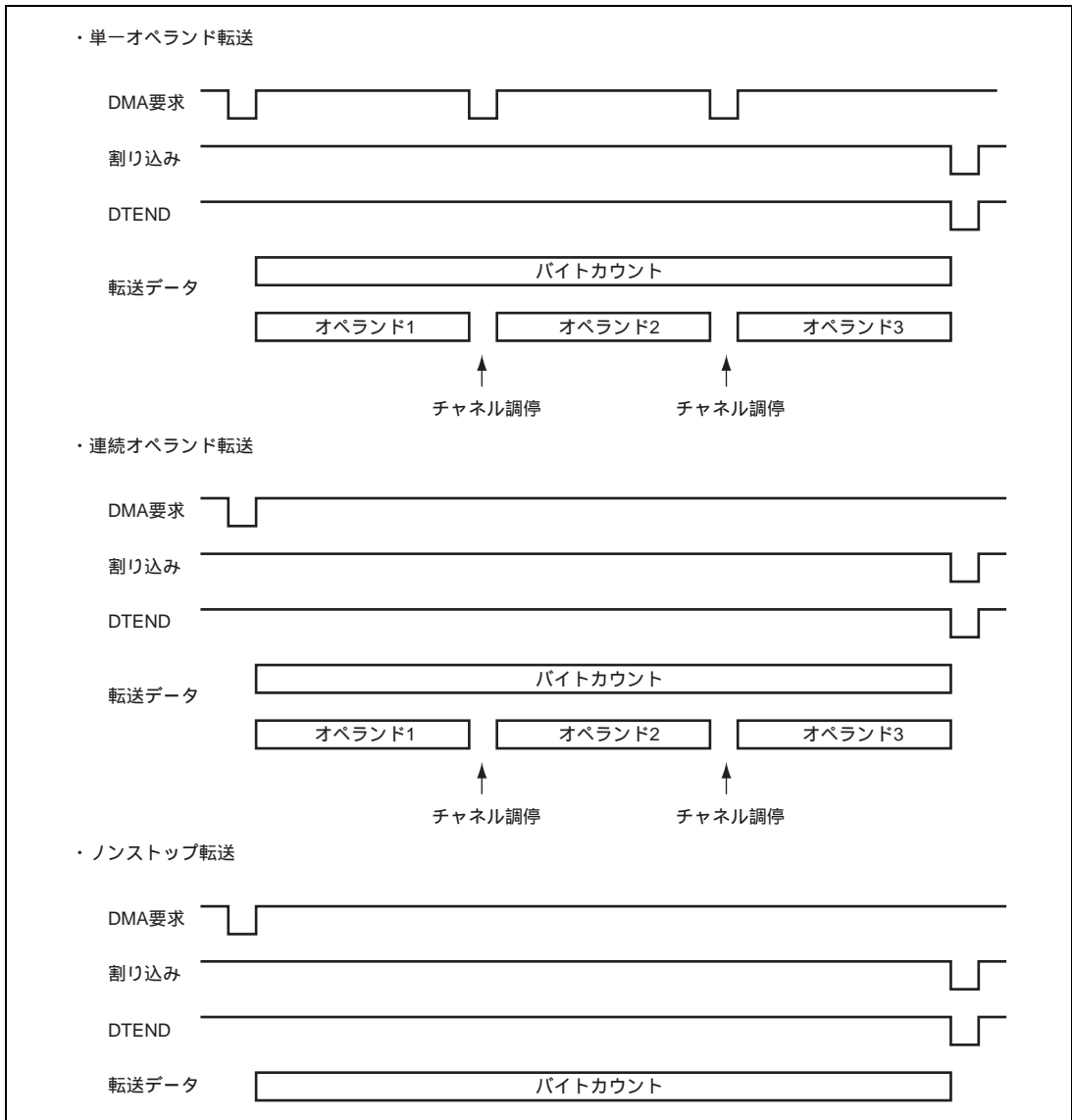


図 11.3 DMA 転送条件

表 11.6 に DMA 転送モードと DMA 転送条件の組み合わせを示します。

表 11.6 DMA 転送モードと DMA 転送条件の組み合わせ

		DMA 転送条件		
		単一オペランド転送 DSEL = "00"	連続オペランド転送 DSEL = "01"	ノンストップ転送 DSEL = "11"
転送 モード	サイクルスチル転送 MSEL = "00"	可 (全 BIU 間)	可 (全 BIU 間)	可 (全 BIU 間)
	パイプライン転送 MSEL = "01"	可 (全 BIU 間)	可 (全 BIU 間)	一部可* (BIU_E 以外の BIU 間のみ)

【注】 * 外部 SDRAM へのパイプライン転送モードでのノンストップ転送の設定はできません。

11.4.3 DMA の起動

(1) DMAC の初期設定

各レジスタの初期設定は、DMA 転送許可ビットをセット (DEN="1") する前に行ってください。いったん、転送が開始すると、これらの設定は変更できません。

以下に DMAC の初期設定例を示します。

1. DMAモードレジスタ (DMMODn)
2. DMA制御レジスタA (DMCNTAn)
3. DMA制御レジスタB (DMCNTBn)
4. DMAカレントソースアドレスレジスタ (DMCSADRn)
5. DMAリロードソースアドレスレジスタ (DMRSADRn)
... リロード機能使用時
6. DMAカレントデスティネーションアドレスレジスタ (DMCDADRn)
7. DMAリロードデスティネーションアドレスレジスタ (DMRDADRn)
... リロード機能使用時
8. DMAカレントバイトカウントレジスタ (DMCBCTn)
9. DMAリロードバイトカウントレジスタ (DMRBCTn)
... リロード機能使用時
10. DMA割り込み制御レジスタ (DMICNT)
... 割り込み使用時
11. DMA共用割り込み制御レジスタ (DMICNTA)
... 割り込み使用時
12. DMA転送許可ビット (DEN)
13. DMA起動制御レジスタ (DMSCNT)

(2) DMA の起動

各チャンネルのDMA制御レジスタB (DMCNTB_n)のDMA転送許可ビット (DEN) を"1"にセットし、DMA起動制御レジスタ (DMSCNT)のDMACモジュール起動ビット (DMST) を"1"にセットすることにより、該当チャンネルのDMA転送が可能となります。

DMA転送要求があるとチャンネル間の優先順位判断を行い、優先順位の高いチャンネルのDMA要求が受け付けられ、DMA転送を開始します。

DMA要求の有無はDMA制御レジスタB (DMCNTB_n)のDMA要求ビット (DREQ) で参照することができます。

DMA要求が受け付けられDMA転送が開始されると、DMAアービトレーションステータスレジスタ (DMASTS)の対応するチャンネルのDMAアービトレーションステータスビット (DASTS) が"1"にセットされます。

11.5 DMA 転送の終了と割り込み

11.5.1 DMA 転送の終了

DMAカレントバイトカウントレジスタ (DMCBCT_n)の値が、"H'0000 0000" (全データの転送終了) になった場合、DMA転送終了条件検出となり、1DMA転送が終了します。

以下に、DMA転送終了条件検出により行われる動作を示します。

- DMA転送終了検出：

DMA転送終了検出レジスタ (DMEDET)の対応するチャンネルのDMA転送終了条件検出ビット (DEDET) に"1"がセットされます。

- 割り込み要求の発生：

DMA割り込み制御レジスタ (DMICNT)、およびDMA共用割り込み制御レジスタ (DMICNTA)の設定により、割り込みコントローラに対する割り込み要求を発生します。

- DMA終了信号の出力：

DMAモードレジスタ (DMMOD_n)のDMA終了信号出力制御ビット (DTCM)の設定に合わせて、DMA終了 (DTEND_m)信号が出力されます。

- DMA転送許可ビット (DEN) のクリア：

DMA制御レジスタB (DMCNTB_n)のDMA転送許可クリアビット (ECLR) が"1"にセットされている場合、DMA制御レジスタB (DMCNTB_n)のDENビットは"0"にクリアされ、以降そのチャンネルのDMA転送は行われません。

DMA転送許可クリアビット (ECLR) が"0"にクリアされている場合、DENビットはクリアされません。

- ソースアドレスレジスタのリロード：

DMA制御レジスタA (DMCNTA_n)のDMAソースアドレスリロード機能有効ビット (SRL0D) が"1"にセットされている場合、DMAリロードソースアドレスレジスタ (DMRSADR_n)の値をDMAカレントソースアドレスレジスタ (DMCSADR_n)にリロードします。

- デスティネーションアドレスレジスタのリロード：
DMA制御レジスタA (DMCNTAn) のDMAデスティネーションアドレスリロード機能有効ビット (DRLOD) が"1"にセットされている場合、DMAリロードデスティネーションアドレスレジスタ (DMRDADRn) の値をDMAカレントデスティネーションアドレスレジスタ (DMCDADRn) にリロードします。
- バイトカウントレジスタのリロード：
DMA制御レジスタA (DMCNTAn) のDMAバイトカウントリロード機能有効ビット (BRLOD) が"1"にセットされている場合、DMAリロードバイトカウントレジスタ (DMRBCTn) の値をDMAカレントバイトカウントレジスタ (DMCBCTn) にリロードします。

【注】 リロードを行わない場合は、ECLR="1"に設定してDENビットをクリアされるようにしてください。

11.5.2 DMA 割り込み要求

割り込みコントローラに対する割り込み要求信号には、チャンネルごとの割り込み要求信号 (DMINT_N) と、チャンネルごとの割り込み要求を1本にまとめた共用割り込み要求信号 (DMINTA_N) の2種類あります。

図 11.4 に、チャンネルごとの割り込み要求信号、及び共用割り込み要求信号生成ブロック図を示します。

DMA 転送が終了すると、DMA 割り込み制御レジスタ (DMICNT) の対応するチャンネルのDMA 割り込み制御ビット (DINTM) に"1"が設定されている場合、対応するチャンネルの割り込み要求が発生します。

また、DMA 共用割り込み制御レジスタ (DMICNTA) の対応するチャンネルのDMA 共用割り込み要求信号制御ビット (DINTA) に"1"が設定されているチャンネルのみが1本にまとめられ共用割り込み要求信号として出力されます。

発生した割り込み要求は、対応するチャンネルのDMA 転送終了条件検出ビット (DEDET) に"1"を書き込むことでクリアすることができます。

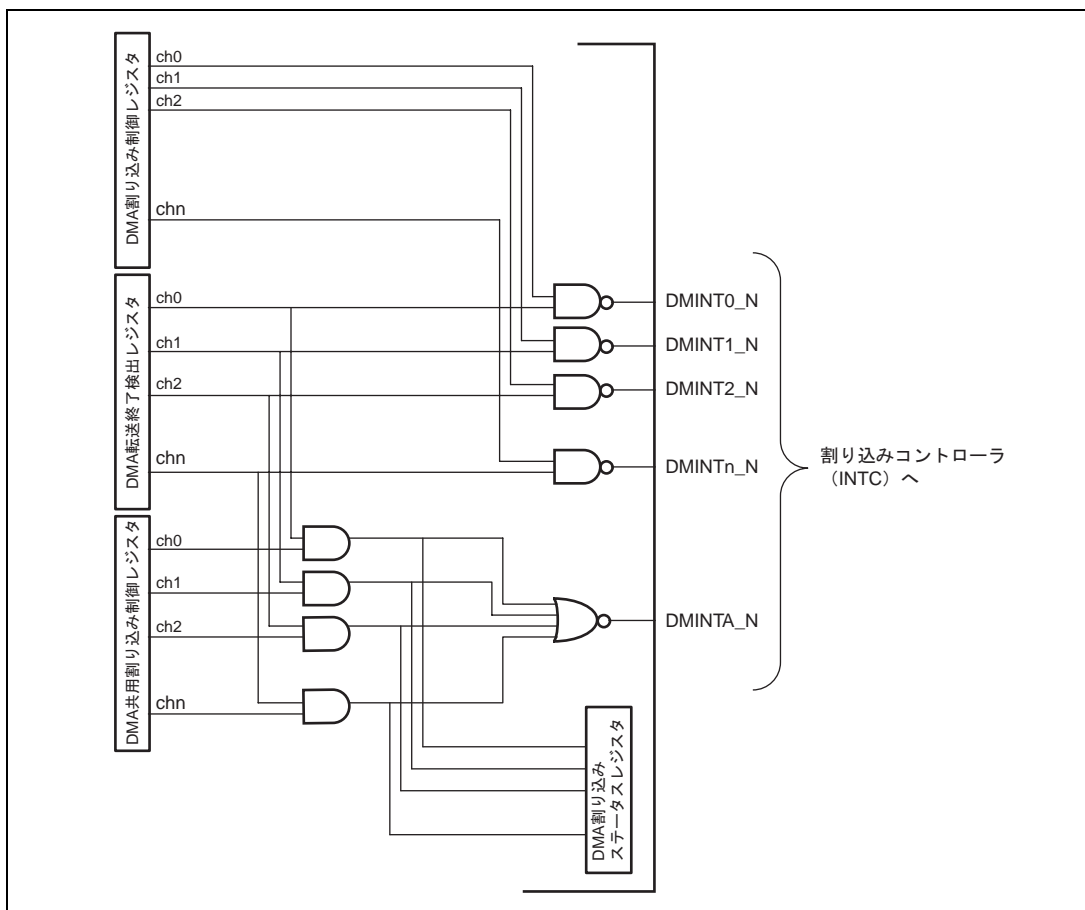


図 11.4 チャンネルごとの割り込み要求信号、および共用割り込み要求信号生成ブロック図

11.5.3 DMA 終了信号の出力

DMA モードレジスタ (DMMOD_n) の対応するチャンネルの DMA 終了信号出力制御ビット (DTCM) の設定により、DMA 終了信号 (DTEND_m) の出力が異なります。

- DTCM = "00"を設定した場合、DMA転送が終了してもDTEND信号は有効出力されず"H"固定となります。
- DTCM = "01"を設定した場合、DTEND信号はDMA転送終了直前のリードサイクル (最後の1データ転送のリードサイクル) 時に有効出力されます。
- DTCM = "10"を設定した場合、DTEND信号はDMA転送終了直前のライトサイクル (最後の1データ転送のライトサイクル) 時に有効出力されます。
- DTCM = "11"を設定した場合、DTEND信号はDMA転送終了割り込みと同じタイミングで、1クロック分の"L"パルス信号が出力されます。

なお、内蔵周辺回路からの DMA 要求の場合には、このビットの設定にかかわらず DTEND 信号は有効出力されず "H" 固定となります。

図 11.5 に、DMA 終了信号出力タイミングを示します。

【注】 BSC はライトバッファを備えています。外部デバイスへのライト時、このライトバッファにデータをライトするとチップ内部のバスアクセスは終了します。このため、外部デバイスへの DMA 転送では、外部バスアクセス終了前に DTEND 信号が無効 ("H") となります。この場合、DTEND 信号は外部バスアクセスとは同期していません。

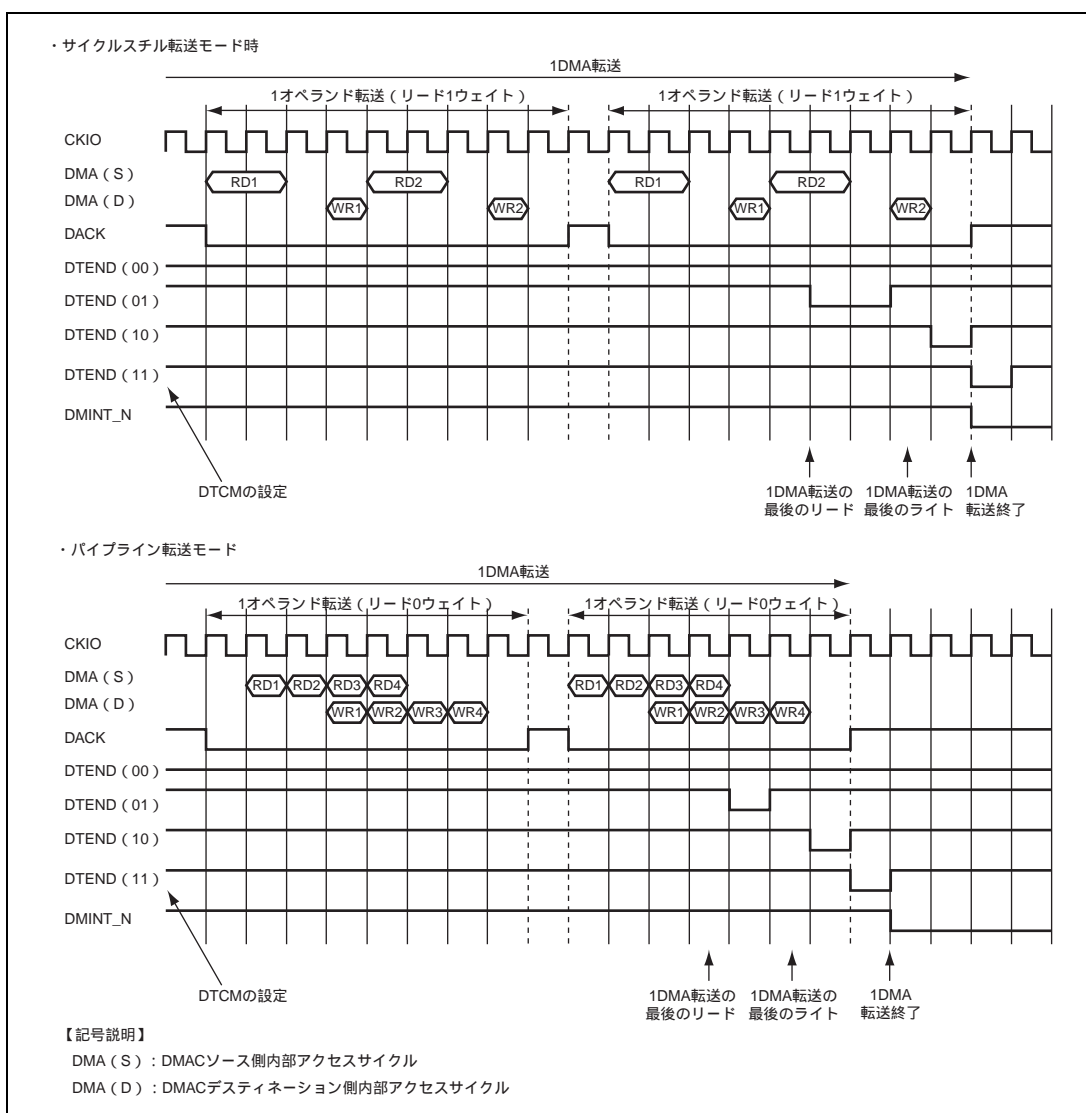


図 11.5 DMA 終了信号出力タイミング

11.6 DMA 転送の一時停止と再開、中止

11.6.1 DMA 転送の一時停止と再開

DMA 起動制御レジスタ (DMSCNT) の DMAC モジュール起動ビット (DMST) を "0" にクリアすることによって、DMAC (全チャンネル) を一時停止させることができます。また、対応するチャンネルの DMA 制御レジスタ B (DMCNTBn) の DMA 転送許可ビット (DEN) を "0" にクリアすることによって、該当チャンネルを一時停止させることができます。

単一オペランド転送条件、または連続オペランド転送条件で 1 オペランド転送中に、DMST ビット、もしくは DEN ビットが "0" クリアされた場合、各転送モード (サイクルスチル転送モード、パイプライン転送モード) によらず、1 オペランド転送が終了してから一時停止となります。

ノンストップ転送条件で転送中に、DMST ビット、もしくは DEN ビットが "0" クリアされた場合、一時停止状態にはならず、DMA 転送終了まで (バイトカウント "0" まで) 転送を行います。

一時停止したチャンネルの再開は、クリアした DMST ビット、DEN ビットを "1" にセットすることで、DMA 転送動作を再開します。

11.6.2 各チャンネルの DMA 転送の中止

各チャンネルの中止は、一時停止させた状態で中止したいチャンネルの DMA 制御レジスタ B (DMCNTBn) の DMAC 内部状態クリアビット (DSCLR) に "1" を書き込むことで DMAC 内部を初期化し中止します。この場合、初期化されるのは、DMAC 内部回路の転送ステータスのみで、各レジスタについては初期化されません。

11.7 DMA 要求

11.7.1 DMA 要求要因

DMA 要求要因には、ソフトウェアトリガによる要因と DMA 要求信号入力による 37 要因があります。DMA 要求要因は、各チャンネルの DMA 制御レジスタ A (DMCNTAn) の DMA 要求要因選択ビット (DCTG) で選択します。

11.7.2 DMA 要求信号入力の同期回路

DMAC の各チャンネルには、非同期に入力された DMA リクエスト入力に対応するために同期回路が設けてあります。したがって、DMA リクエストが有効になってから、実際に DMA 制御レジスタ B (DMCNTBn) の DMA 要求ビット (DREQ) に反映されるまでに数クロックのブランク期間が生じます。図 11.6 に DMA リクエスト入力に対する DMA 要求ビットタイミング例を示します。

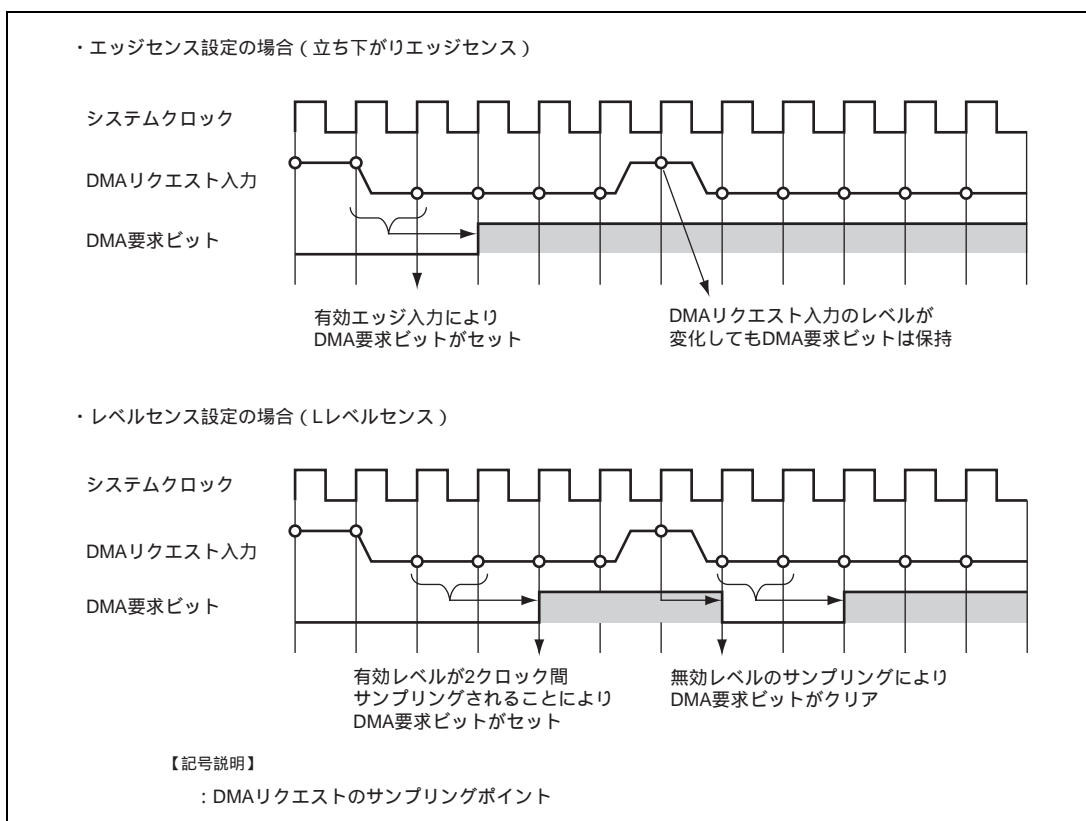


図 11.6 DMA リクエスト入力に対する DMA 要求ビットタイミング例

11.7.3 DMA 要求のセンスモード

DMA 要求要因選択ビット (DCTG) で DREQ0 ~ 3 端子 (DCTG="000001" ~ "000100") を選択した場合、DMA 制御レジスタ A (DMCNTAn) の入力センスモード選択ビット (STRG) によって、レベルセンス ("01"、"11") またはエッジセンス ("00"、"10") を選択できます。

なお、要求要因でソフトウェアトリガ (DCTG="000000") を選択している場合は、立ち上がりエッジセンス ("00") を、IIC3、SCIF、SSI、RCAN-ET、MTU2、ADC (DCTG="000001" ~ "100100") を選択した場合は、立ち下がりエッジセンス ("10") を選択してください。

次にレベルセンスとエッジセンスについて説明します。

(1) レベルセンス

レベルセンス選択 (STRG="01"または"11") 時は、DMA 要求信号のレベルにより、DMA 要求の有無を判断します。DMA 要求は DMAC 内部では保持されないため、DMA 要求が受け付けられたことを確認するまで、DMA 要求信号のレベルを保持してください。

図 11.7 にレベルセンス時の DMA 要求受け付け処理例を示します。

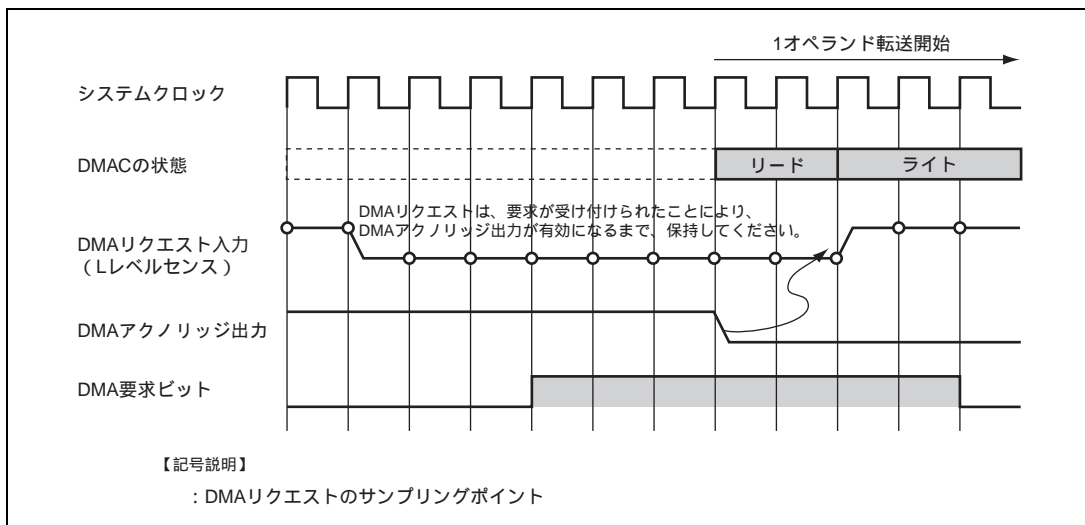


図 11.7 レベルセンス時の DMA 要求受け付け処理例

レベルセンスモードを選択している場合、DMA 要求信号の要求取り下げ期間に余裕をもたせるため、そのチャネルの DMA 要求は、1 オペランド転送の最後のライトアクセス開始から 1 オペランド転送終了後 4 クロック (システムクロック) 間、DMA 要求ビットはマスクされます。

図 11.8 にレベルセンス時の DMA 要求ビットマスク期間を示します。

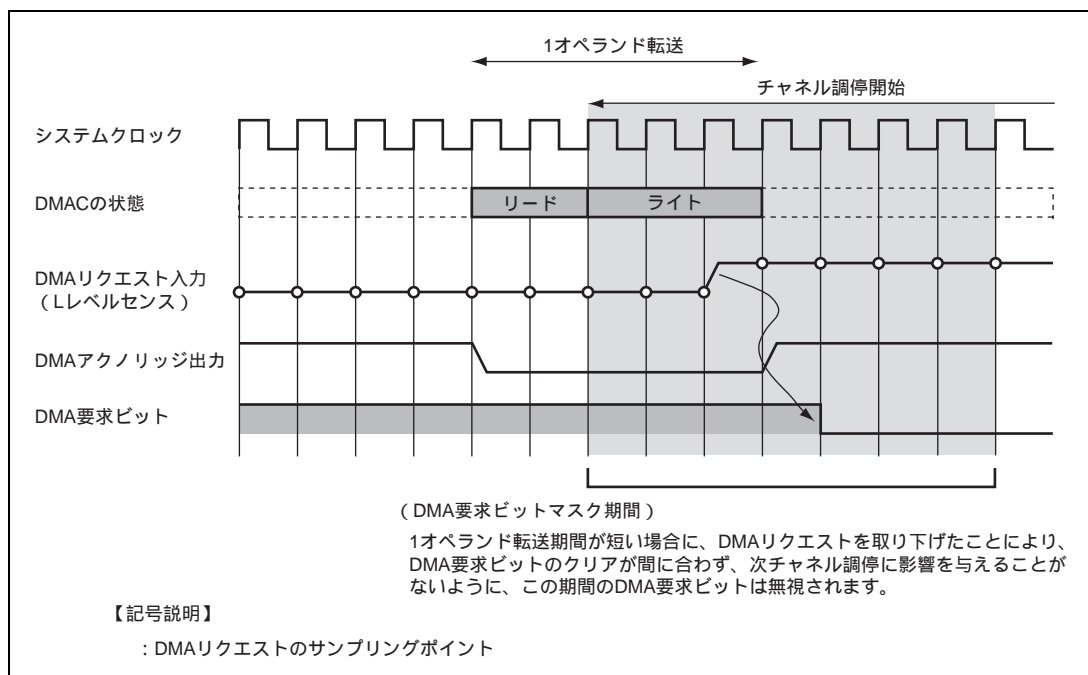


図 11.8 レベルセンス時の DMA 要求ビットマスク期間

したがって、レベルセンス選択されているチャンネルにおいて、DMA 要求が受け付けられた後にそのまま DMA 要求信号のレベルを保持した (DMA 転送を要求しつづけた) 場合でも、DMA 要求ビットマスク期間中は DMA 要求がないものと判断されるため、他チャンネルの DMA 要求があればそちらが受け付けられます。

ただし、連続オペランド転送の場合、バイトカウント 0 時のオペランド転送終了時点でのみ本マスク期間が有効となります。バイトカウント 0 以外でのオペランド転送終了時点では、DMA 要求はマスクされずにチャンネル調停が行われます。また、ノンストップ転送の場合は、バイトカウント 0 での DMA 転送終了時点で本マスク期間が有効となります。

なお、連続して DMA 転送を行わない場合は、1 オペランド転送終了後 3 サイクル以内に DMA 要求を取り下げる必要があります。

(2) エッジセンス

エッジセンス選択 (STRG="00"または"10")時は、DMA 要求信号の立ち上がり / 立ち下がり遷移を DMA 要求として認識します。

有効エッジを検出すると DMA 制御レジスタ B (DMCNTBn) の DMA 要求ビット (DREQ) が"1"にセットされます。その後、DMA 要求信号の入力レベルが変化しても、DMA 要求ビット (DREQ) の値は保持されています。DMA 要求が受け付けられ、DMA アクノリッジ信号が有効出力されると、DMA 要求ビット (DREQ) は自動的に"0"クリアされます。

このように、エッジセンスモードの DMA 要求の保持は DMA 要求ビット (DREQ)で行っていますので、DMA 要求ビット (DREQ) が"1"にセットされている状態での、新たな DMA 要求信号によるエッジは無視されます。

図 11.9 にエッジセンス時の DMA 要求受け付け処理例を示します。

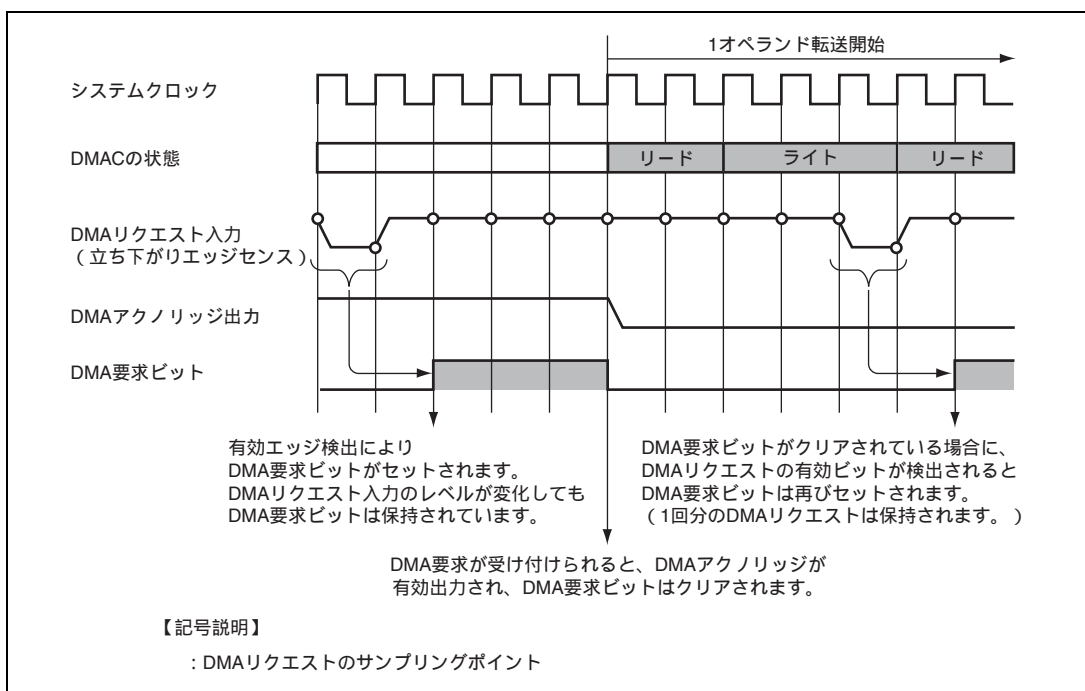


図 11.9 エッジセンス時の DMA 要求受け付け処理例

11.8 DMA チャンネルの優先順位判断

11.8.1 チャンネル優先順位

チャンネル間の優先順位はチャンネル0が最優先で、以下、
チャンネル0 > チャンネル1 > チャンネル2 > ... > チャンネル5 > チャンネル6 > チャンネル7
の順で固定です。

11.8.2 多重 DMA 要求時の動作

DMAC は、1 オペランド転送ごとに優先順位判断を行います。

あるチャンネルの転送中に優先順位の高いチャンネルの DMA 要求が発生した場合、実行中のチャンネルのオペランド転送が終了した後に、優先順位の高いチャンネルの転送が開始します。図 11.10 に多重 DMA 要求時の概略動作例を示します。図 11.10 中の太線は、DMA 要求信号が"L"期間 (ch0、ch2、ch3 はレベルセンス、ch1 はエッジセンスの設定) を表します。

1. チャンネル2はマスク期間になるためDMA要求がないものとみなされ、チャンネル3の転送が開始します。
2. 優先順位が一番高いチャンネル0の転送が開始します。
3. 優先順位が一番高いチャンネル2の転送が再開します。
4. 他の要求がないため、チャンネル3の転送が開始します。
5. チャンネル0、チャンネル1、チャンネル3のDMA要求が同時に発生した場合、最も優先順位が高いチャンネル0の転送が開始します。
6. チャンネル0の転送が終了すると、次に優先順位が高いチャンネル1の転送が開始します。
7. チャンネル1のDMA転送中にチャンネル1のDMA要求 ("L"または"H"の要求エッジ) があると、チャンネル1の転送終了後再度チャンネル1の転送が開始します。エッジセンス設定の場合、マスク期間はありません。
8. チャンネル1の転送が終了すると、他の要求がないため、チャンネル3の転送が開始します。
9. チャンネル3のマスク期間中、他に要求がないため転送は開始されず、マスク期間終了後チャンネル3の転送が開始します。

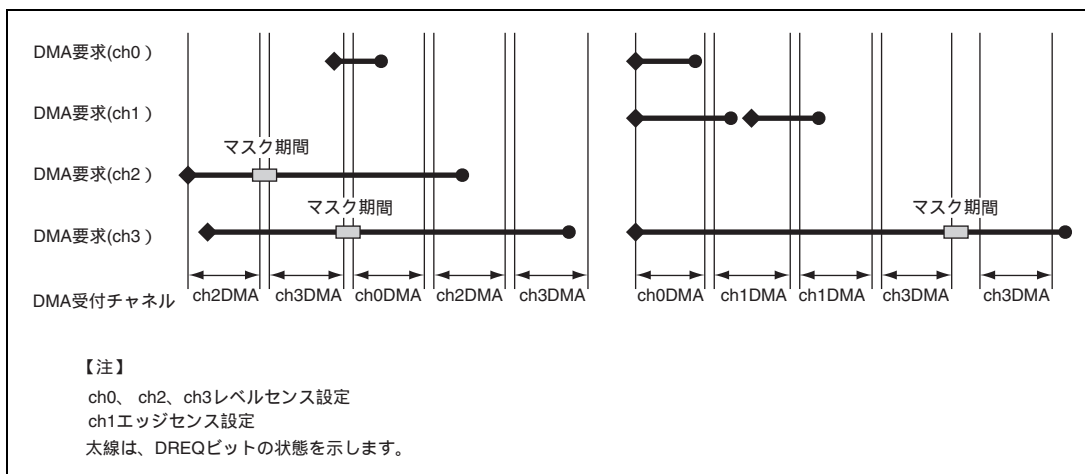


図 11.10 多重 DMA 要求時の概略動作例

11.8.3 DMA アクノリッジ信号出力と DMA アクティブ信号出力

DMA アクティブ信号 (DACT) は、DMA モードレジスタの対応するチャンネルのソース用 / デスティネーション用 DMA アクティブ信号出力制御ビット (SACT/DACT) の設定により出力が異なります。

SACT = 1 を設定した場合、DACT 信号はリードアクセス時に有効出力されます。

DACT = 1 を設定した場合、DACT 信号はライトアクセス時に有効出力されます。

SACT = 1 かつ DACT = 1 に設定した場合、DACT 信号はリードおよびライトアクセス時に有効出力されます。

また、内蔵周辺回路からの DMA 要求の場合には、このビットの設定にかかわらず DACT 信号は有効出力されません。

DMA アクノリッジ信号 (DACK) は、1 オペランド転送の開始から終了まで出力されます。

図 11.11 に DMA アクノリッジ信号と DMA アクティブ信号の出力タイミングを示します。

【注】 BSC はライトバッファを備えています。外部デバイスへのライト時、このライトバッファにデータをライトすると、チップ内部のバスアクセスは終了します。このため、外部デバイスへの DMA 転送では、外部バスアクセス終了前に DACT 信号、DACK 信号が無効 (H) となります。この場合、これらの信号は外部バスアクセスとは同期していません。

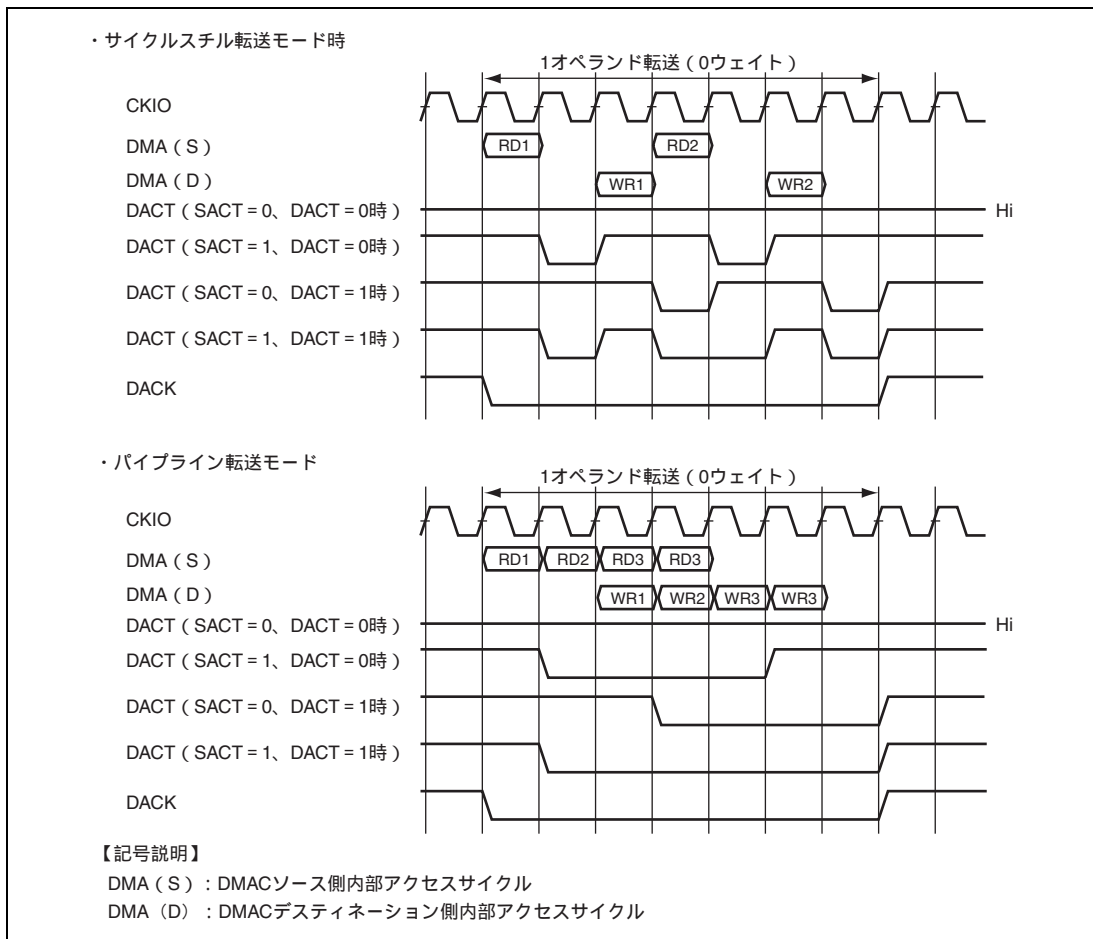


図 11.11 DMA アクノリッジ信号と DMA アクティブ信号の出力タイミング

11.9 転送単位と転送バイト位置

1 データ転送のビットサイズ (転送データサイズ) は、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) に設定可能です。

図 11.12 に、32 ビットバス幅の場合の DMA データバイトコントロール例を示します。

なお、この転送データサイズは、DMA 転送を行うときに使用するソース側およびデスティネーション側がサポートしているデータバスのビット幅を超えて設定することはできません。データバスのバス幅はハードウェア固定です。

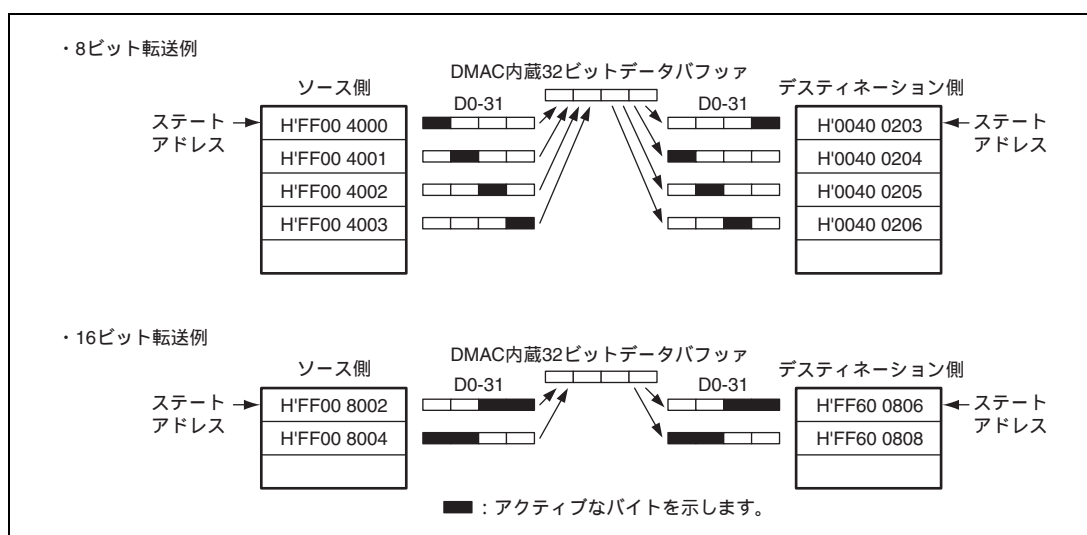


図 11.12 32 ビットバス幅の場合の DMA データバイトコントロール例

11.10 リロード機能

リロード機能の設定は、チャンネルおよび転送パラメータ (ソースアドレス、デスティネーションアドレス、バイトカウント) ごとに、DMA 制御レジスタ A (DMCNTAn) の各リロード機能有効ビットをセットすることにより行います。DMA 転送終了条件を検出した場合、DMA 転送パラメータを自動的にリロードします。

(1) リロードレジスタとカレントレジスタ

リロード機能を使用しない場合、カレントレジスタにデータを設定してください。リロード機能を使用する場合、リロードレジスタとカレントレジスタの両方にデータを設定してください。

なお、1 オペランド転送途中にカレントレジスタに書き込みを行わないでください。書き込みを行った場合の動作は保証されません。リロードレジスタについては、1 オペランド転送途中でも設定可能ですが、DMA 転送終了となる最後のオペランド転送の開始までには設定してください。最後のオペランド転送開始後に設定した場合、DMA 転送終了後のリロード時に間に合わない場合があります。

(2) 離散配置された領域への連続転送

リロード機能を使用すると、離散配置された領域への連続転送が可能です。

転送が終了する前にDMA リロードソース/デスティネーションアドレスレジスタ (DMRSADR_n/DMRDADR_n) やDMA リロードバイトカウントレジスタ (DMRBCT_n) に値を書き込むことによって、実行中のDMA 転送 (カレントレジスタ) に影響を及ぼすことなく次の転送パラメータの準備ができます。したがって、転送領域やバイト数の異なる複数の転送ブロックを同一チャンネルで連続的に転送することができます。

図 11.13 にリロード機能を用いた離散配置されたブロックの転送例を示します。

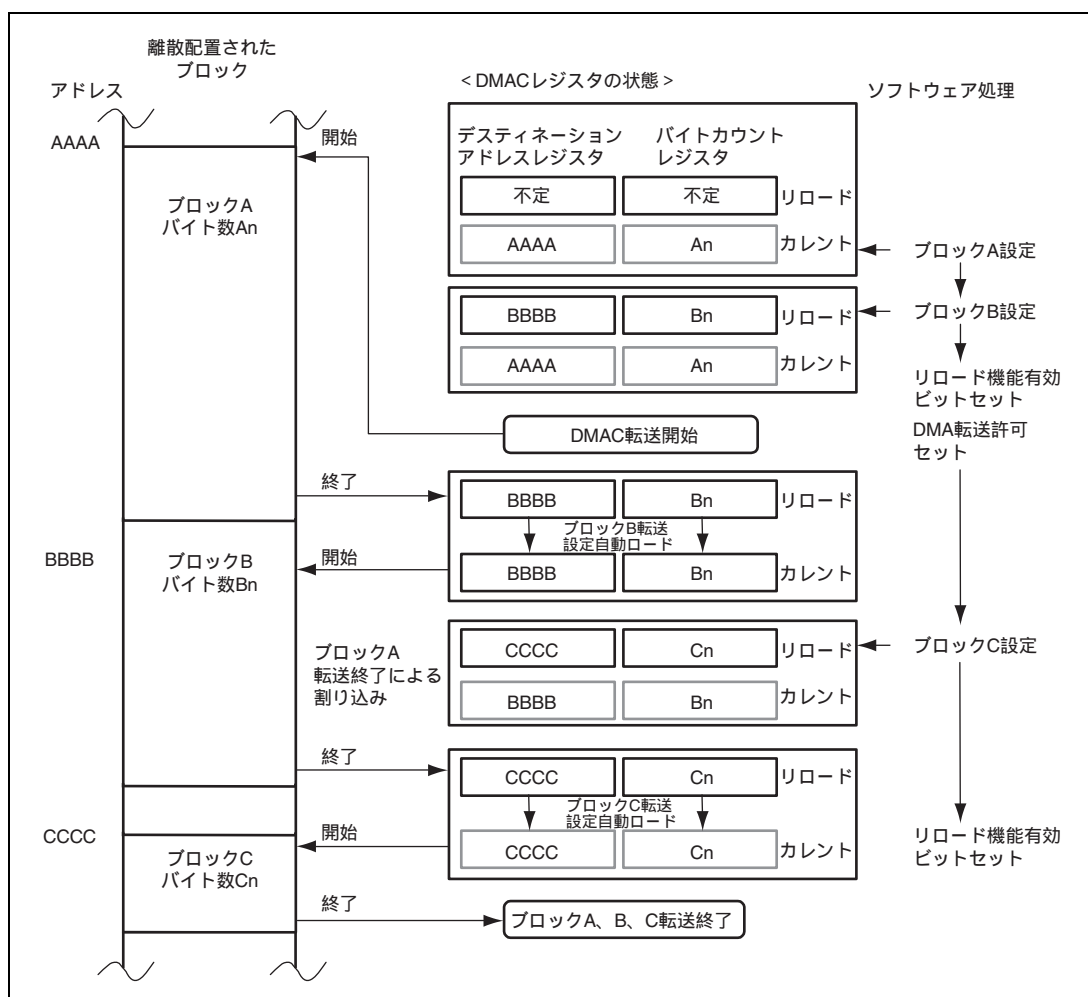


図 11.13 リロード機能を用いた離散配置されたブロックの転送例

11.11 ローテート機能

アドレッシングモードでローテートを選択した場合、アドレスはインクリメントされます。1 オペランド転送終了後、ローテート設定された方のワークソースアドレスレジスタまたはワークデスティネーションアドレスレジスタの内容は、DMA 転送開始時に設定された DMA カレントソースアドレスレジスタ (DMCSADRn) または DMA カレントデスティネーションアドレスレジスタ (DMCDADRn) の値となります。

図 11.14 に、ローテートを用いた転送例 (ソース : ローテート、デスティネーション : インクリメント) を示します。

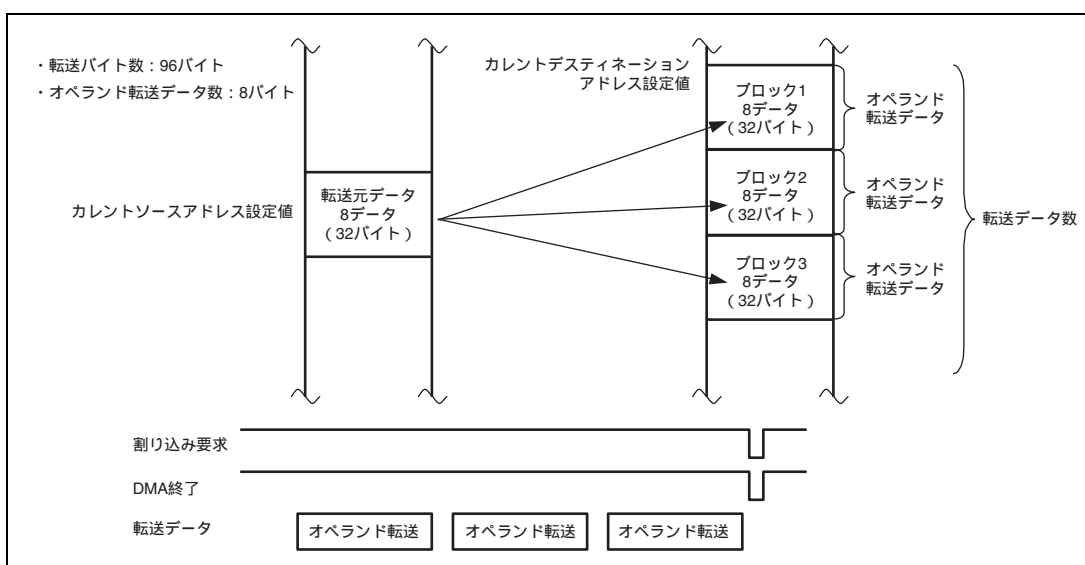


図 11.14 ローテートを用いた転送例 (ソース : ローテート、デスティネーション : インクリメント)

11.12 転送速度

転送速度の計算方法を以下に示します。

(1) 計算条件

- DMA転送モード：サイクルスチル転送モード/パイプライン転送モード
- 転送単位 (1データサイズ)：アライメントがとれている32ビットデータ
- 動作クロック：60MHz
- 外部デバイスへのアクセスサイクル数
 - ：リード時4サイクルアクセス
 - ：ライト時2サイクルアクセス

(2) 計算式

- サイクルスチル転送モード
(1データサイズ) / (リードサイクル数 + ライトサイクル数 + 1 アイドルサイクル) × 動作クロック
- パイプライン転送モード
(1データサイズ) / (リードサイクル数とライトサイクル数の多い方のサイクル数) × 動作クロック

【注】 パイプライン転送モード時、リードサイクルとライトサイクルは重なって行われます。

以下に、転送速度の計算例を示します。

- 内蔵RAM間の転送

内蔵 RAM (0 ウェイト) 内蔵 RAM (0 ウェイト) 間 の最大転送速度

- サイクルスチル転送モード時
 $4\text{バイト} / (1\text{リードサイクル} + 1\text{ライトサイクル} + 1\text{アイドルサイクル}) \times 60\text{MHz} = 79.8\text{Mバイト/秒}$
- パイプライン転送モード時
同一BIU間のパイプライン転送はできません。「11.4.1 (2) パイプライン転送モード」参照

- 外部デバイスへの転送

CPU ブロック内蔵資源 (0 ウェイト) 外部デバイス (2 ライトサイクル) の最大転送速度

- サイクルスチル転送モード
 $4\text{バイト} / (1\text{リードサイクル} + 2\text{ライトサイクル} + 1\text{アイドルサイクル}) \times 60\text{MHz} = 60\text{Mバイト/秒}$
- パイプライン転送モード
 $4\text{バイト} / (2\text{ライトサイクル}) \times 60\text{MHz} = 120\text{Mバイト/秒}$

外部デバイス (4 リードサイクル) CPU ブロック内蔵資源 (0 ウェイト) の最大転送速度

- サイクルスチル転送モード

$4 \text{バイト} / (4 \text{リードサイクル} + 1 \text{ライトサイクル} + 1 \text{アイドルサイクル}) \times 60 \text{MHz} = 39.6 \text{Mバイト/秒}$

- パイプライン転送モード

$4 \text{バイト} / (4 \text{リードサイクル}) \times 60 \text{MHz} = 60 \text{Mバイト/秒}$

外部デバイス (4 リードサイクル) 外部デバイス (2 ライトサイクル) の最大転送速度

- サイクルスチル転送モード

$4 \text{バイト} / (4 \text{リードサイクル} + 2 \text{ライトサイクル} + 1 \text{アイドルサイクル}) \times 60 \text{MHz} = 34.2 \text{Mバイト/秒}$

- パイプライン転送モード

外部デバイス間のパイプライン転送はできません。

【注】 外部デバイスへのアクセス制御は、BSC の制御レジスタにて行います (詳細は、「第 9 章 バスステートコントローラ (BSC)」を参照)。

11.13 使用上の注意事項

11.13.1 ソフトウェアスタンバイモードまたはディープスタンバイモード遷移時の注意事項

DMAC が転送中に、ソフトウェアスタンバイモードまたはディープスタンバイモードへ遷移するための SLEEP 命令を実行すると、転送の終了を待たずに DMAC が停止するため、DMA 転送が保証されません。したがって、ソフトウェアスタンバイモードまたはディープスタンバイモードに遷移するときは、DMA 転送の終了を待つか、もしくは DMA 転送を停止してから SLEEP 命令を実行してください。

12. マルチファンクションタイマパルスユニット 2 (MTU2)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 (MTU2) を内蔵しています。

12.1 特長

- 最大16本のパルス入出力、3本のパルス入力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能 (チャンネル5は4種類)
- チャンネル0~4は次の動作を設定可能: コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相のPWM出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 28種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- チャンネル3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- チャンネル0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ (ブラシレスDCモータ) 駆動モードが設定可能で、2種 (チョッピング、レベル) の波形出力が選択可能
- チャンネル5により、デッドタイム補償用カウンタ機能が可能
- 相補PWMモード時、カウンタの山/谷での割り込み、およびA/D変換器の変換スタートトリガを間引くことが可能

表 12.1 MTU2 の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	P / 1 P / 4 P / 16 P / 64 TCLKA TCLKB TCLKC TCLKD	P / 1 P / 4 P / 16 P / 64 P / 256 TCLKA TCLKB	P / 1 P / 4 P / 16 P / 64 P / 1024 TCLKA TCLKB TCLKC	P / 1 P / 4 P / 16 P / 64 P / 256 P / 1024 TCLKA TCLKB	P / 1 P / 4 P / 16 P / 64 P / 256 P / 1024 TCLKA TCLKB	P / 1 P / 4 P / 16 P / 64
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0 TGRE_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRU_5 TGRV_5 TGRW_5
ジェネラルレジスタ / バッファレジスタ	TGRC_0 TGRD_0 TGRF_0	-	-	TGRC_3 TGRD_3	TGRC_4 TGRD_4	-
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D	入力端子 TIC5U TIC5V TIC5W
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア	0 出力					-
マッチ出力	1 出力					-
	トグル出力					-
インプットキャプチャ機能						
同期動作						-
PWM モード 1						-
PWM モード 2				-	-	-
相補 PWM モード	-	-	-			-
リセット PWM モード	-	-	-			-
AC 同期モータ駆動モード		-	-			-
位相計数モード	-			-	-	-
バッファ動作		-	-			-
デッドタイム補償用 カウンタ機能	-	-	-	-	-	

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGR の コンペアマツチ または インプット キャブチャ	TGR の コンペアマツチ または インプット キャブチャ	TGR の コンペアマツチ または インプット キャブチャ	TGR の コンペアマツチ または インプット キャブチャ	TGR の コンペアマツチ または インプット キャブチャと TCNT オーバフロー/ アンダフロー	-
A/D 変換開始トリガ	TGRA_0 の コンペアマツチ または インプット キャブチャ TGRE_0 の コンペアマツチ	TGRA_1 の コンペアマツチ または インプット キャブチャ	TGRA_2 の コンペアマツチ または インプット キャブチャ	TGRA_3 の コンペアマツチ または インプット キャブチャ	TGRA_4 の コンペアマツチ または インプット キャブチャ 相補 PWM モード時 TCNT_4 の アンダフロー (谷)	-
割り込み要因	7 要因 <ul style="list-style-type: none"> • コンペアマツチ / インプットキャブチャ 0A • コンペアマツチ / インプットキャブチャ 0B • コンペアマツチ / インプットキャブチャ 0C • コンペアマツチ / インプットキャブチャ 0D • コンペアマツチ 0E • コンペアマツチ 0F • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマツチ / インプットキャブチャ 1A • コンペアマツチ / インプットキャブチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマツチ / インプットキャブチャ 2A • コンペアマツチ / インプットキャブチャ 2B • オーバフロー • アンダフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマツチ / インプットキャブチャ 3A • コンペアマツチ / インプットキャブチャ 3B • コンペアマツチ / インプットキャブチャ 3C • コンペアマツチ / インプットキャブチャ 3D • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマツチ / インプットキャブチャ 4A • コンペアマツチ / インプットキャブチャ 4B • コンペアマツチ / インプットキャブチャ 4C • コンペアマツチ / インプットキャブチャ 4D • オーバフロー / アンダフロー 	3 要因 <ul style="list-style-type: none"> • コンペアマツチ / インプットキャブチャ 5U • コンペアマツチ / インプットキャブチャ 5V • コンペアマツチ / インプットキャブチャ 5W

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
A/D 変換開始要求 ディレイド機能	-	-	-	-	<ul style="list-style-type: none"> • TADCORA_4 と TCNT_4 の 一致で、A/D 変 換開始要求 • TADCORB_4 と TCNT_4 の 一致で、A/D 変 換開始要求 	-
割り込み間引き機能	-	-	-	<ul style="list-style-type: none"> • TGRA_3 のコ ンペアマッチ 割り込みを間 引き 	<ul style="list-style-type: none"> • TCIV_4 割り込 みを間引き 	-

【記号説明】

: 可能

- : 不可

図 12.1 に MTU2 のブロック図を示します。

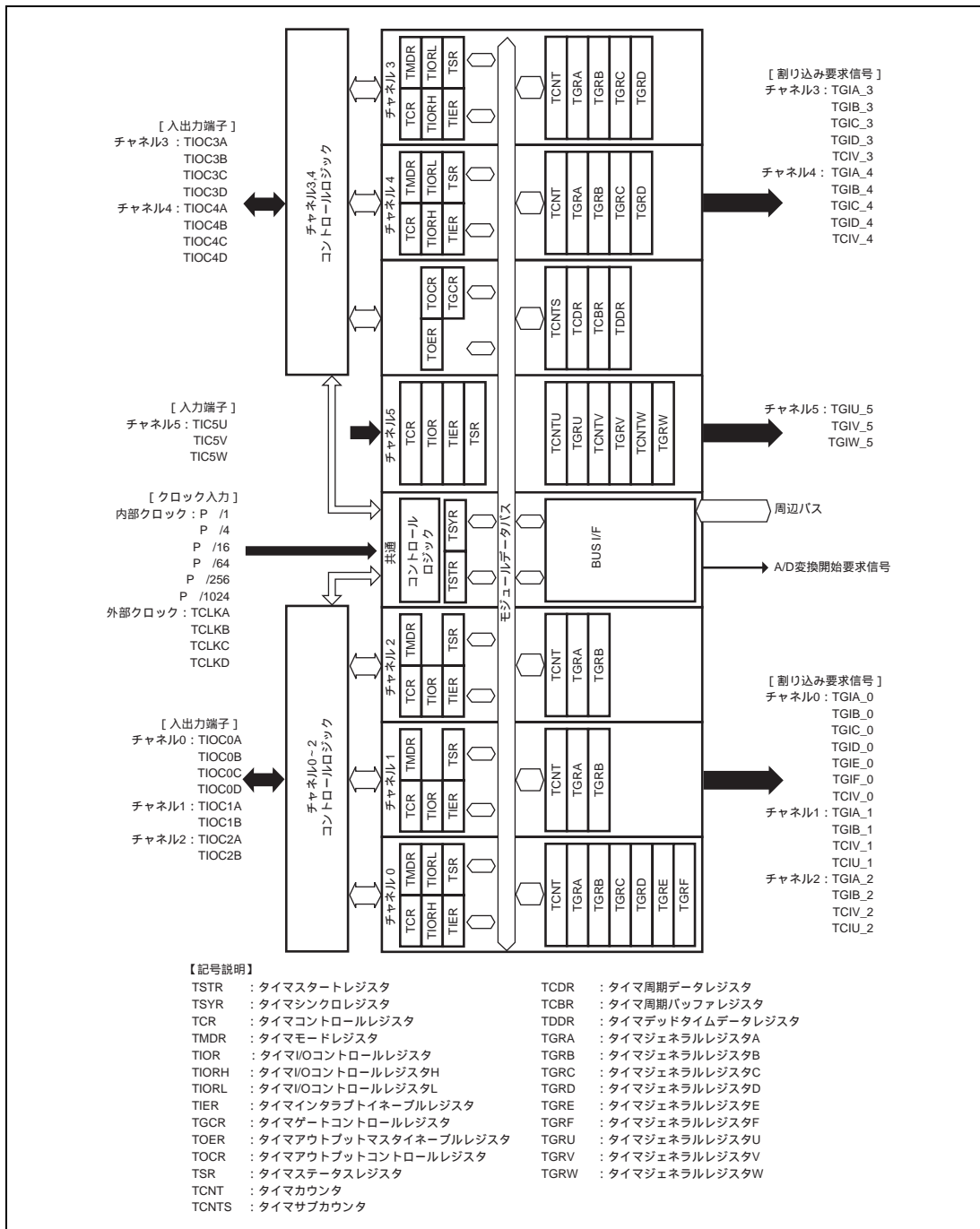


図 12.1 MTU2 のブロック図

12.2 入出力端子

表 12.2 端子構成

チャンネル	端子名	入出力	機 能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
5	TIC5U	入力	TGRU_5 のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5V	入力	TGRV_5 のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5W	入力	TGRW_5 のインプットキャプチャ入力 / 外部パルス入力端子

【注】 相補 PWM モードの端子構成は表 12.54 を参照してください。

12.3 レジスタの説明

MTU2 には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 28 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名についてはチャンネル 0 の TCR は TCR_0 と表記してあります。

表 12.3 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FFFE4300	8、16、32
	タイマモードレジスタ_0	TMDR_0	R/W	H'00	H'FFFE4301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FFFE4302	8、16
	タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FFFE4303	8
	タイマインタラプトイネーブル レジスタ_0	TIER_0	R/W	H'00	H'FFFE4304	8、16、32
	タイマステータスレジスタ_0	TSR_0	R/W	H'C0	H'FFFE4305	8
	タイマカウンタ_0	TCNT_0	R/W	H'0000	H'FFFE4306	16
	タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FFFE4308	16、32
	タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FFFE430A	16
	タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FFFE430C	16、32
	タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FFFE430E	16
	タイマジェネラルレジスタ E_0	TGRE_0	R/W	H'FFFF	H'FFFE4320	16、32
	タイマジェネラルレジスタ F_0	TGRF_0	R/W	H'FFFF	H'FFFE4322	16
	タイマインタラプトイネーブル レジスタ 2_0	TIER2_0	R/W	H'00	H'FFFE4324	8、16
	タイマステータスレジスタ 2_0	TSR2_0	R/W	H'C0	H'FFFE4325	8
タイマバッファ動作転送モード レジスタ_0	TBTM_0	R/W	H'00	H'FFFE4326	8	
1	タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FFFE4380	8、16
	タイマモードレジスタ_1	TMDR_1	R/W	H'00	H'FFFE4381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	R/W	H'00	H'FFFE4382	8
	タイマインタラプトイネーブル レジスタ_1	TIER_1	R/W	H'00	H'FFFE4384	8、16、32
	タイマステータスレジスタ_1	TSR_1	R/W	H'C0	H'FFFE4385	8
	タイマカウンタ_1	TCNT_1	R/W	H'0000	H'FFFE4386	16
	タイマジェネラルレジスタ A_1	TGRA_1	R/W	H'FFFF	H'FFFE4388	16、32
	タイマジェネラルレジスタ B_1	TGRB_1	R/W	H'FFFF	H'FFFE438A	16
	タイマインプットキャプチャ コントロールレジスタ	TICCR	R/W	H'00	H'FFFE4390	8

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	タイマコントロールレジスタ_2	TCR_2	R/W	H'00	H'FFFE4000	8、16
	タイマモードレジスタ_2	TMDR_2	R/W	H'00	H'FFFE4001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	R/W	H'00	H'FFFE4002	8
	タイマインタラプトイネーブル レジスタ_2	TIER_2	R/W	H'00	H'FFFE4004	8、16、32
	タイマステータスレジスタ_2	TSR_2	R/W	H'C0	H'FFFE4005	8
	タイマカウンタ_2	TCNT_2	R/W	H'0000	H'FFFE4006	16
	タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FFFE4008	16、32
	タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FFFE400A	16
3	タイマコントロールレジスタ_3	TCR_3	R/W	H'00	H'FFFE4200	8、16、32
	タイマモードレジスタ_3	TMDR_3	R/W	H'00	H'FFFE4202	8、16
	タイマ I/O コントロールレジスタ H_3	TIORH_3	R/W	H'00	H'FFFE4204	8、16、32
	タイマ I/O コントロールレジスタ L_3	TIORL_3	R/W	H'00	H'FFFE4205	8
	タイマインタラプトイネーブル レジスタ_3	TIER_3	R/W	H'00	H'FFFE4208	8、16
	タイマカウンタ_3	TCNT_3	R/W	H'0000	H'FFFE4210	16、32
	タイマジェネラルレジスタ A_3	TGRA_3	R/W	H'FFFF	H'FFFE4218	16、32
	タイマジェネラルレジスタ B_3	TGRB_3	R/W	H'FFFF	H'FFFE421A	16
	タイマジェネラルレジスタ C_3	TGRC_3	R/W	H'FFFF	H'FFFE4224	16、32
	タイマジェネラルレジスタ D_3	TGRD_3	R/W	H'FFFF	H'FFFE4226	16
	タイマステータスレジスタ_3	TSR_3	R/W	H'C0	H'FFFE422C	8、16
	タイマバッファ動作転送モード レジスタ_3	TBTM_3	R/W	H'00	H'FFFE4238	8、16
4	タイマコントロールレジスタ_4	TCR_4	R/W	H'00	H'FFFE4201	8
	タイマモードレジスタ_4	TMDR_4	R/W	H'00	H'FFFE4203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	R/W	H'00	H'FFFE4206	8、16
	タイマ I/O コントロールレジスタ L_4	TIORL_4	R/W	H'00	H'FFFE4207	8
	タイマインタラプトイネーブル レジスタ_4	TIER_4	R/W	H'00	H'FFFE4209	8
	タイマカウンタ_4	TCNT_4	R/W	H'0000	H'FFFE4212	16
	タイマジェネラルレジスタ A_4	TGRA_4	R/W	H'FFFF	H'FFFE421C	16、32
	タイマジェネラルレジスタ B_4	TGRB_4	R/W	H'FFFF	H'FFFE421E	16
	タイマジェネラルレジスタ C_4	TGRC_4	R/W	H'FFFF	H'FFFE4228	16、32
	タイマジェネラルレジスタ D_4	TGRD_4	R/W	H'FFFF	H'FFFE422A	16
	タイマステータスレジスタ_4	TSR_4	R/W	H'C0	H'FFFE422D	8
	タイマバッファ動作転送モード レジスタ_4	TBTM_4	R/W	H'00	H'FFFE4239	8

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
4	タイマ A/D 変換開始要求周期設定 レジスタ A_4	TADCORA_4	R/W	H'FFFF	H'FFFE4244	16、32
	タイマ A/D 変換開始要求周期設定 レジスタ B_4	TADCORB_4	R/W	H'FFFF	H'FFFE4246	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	R/W	H'FFFF	H'FFFE4248	16、32
	タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	R/W	H'FFFF	H'FFFE424A	16
5	タイマカウンタ U_5	TCNTU_5	R/W	H'0000	H'FFFE4080	16、32
	タイマジェネラルレジスタ U_5	TGRU_5	R/W	H'FFFF	H'FFFE4082	16
	タイマコントロールレジスタ U_5	TCRU_5	R/W	H'00	H'FFFE4084	8
	タイマ I/O コントロールレジスタ U_5	TIORU_5	R/W	H'00	H'FFFE4086	8
	タイマカウンタ V_5	TCNTV_5	R/W	H'0000	H'FFFE4090	16、32
	タイマジェネラルレジスタ V_5	TGRV_5	R/W	H'FFFF	H'FFFE4092	16
	タイマコントロールレジスタ V_5	TCRV_5	R/W	H'00	H'FFFE4094	8
	タイマ I/O コントロールレジスタ V_5	TIORV_5	R/W	H'00	H'FFFE4096	8
	タイマカウンタ W_5	TCNTW_5	R/W	H'0000	H'FFFE40A0	16、32
	タイマジェネラルレジスタ W_5	TGRW_5	R/W	H'FFFF	H'FFFE40A2	16
	タイマコントロールレジスタ W_5	TCRW_5	R/W	H'00	H'FFFE40A4	8
	タイマ I/O コントロールレジスタ W_5	TIORW_5	R/W	H'00	H'FFFE40A6	8
	タイマステータスレジスタ_5	TSR_5	R/W	H'00	H'FFFE40B0	8
	タイマインタラプトイネーブル レジスタ_5	TIER_5	R/W	H'00	H'FFFE40B2	8
	タイマスタートレジスタ_5	TSTR_5	R/W	H'00	H'FFFE40B4	8
	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	R/W	H'00	H'FFFE40B6	8
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFE4280	8、16
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFE4281	8
	タイマカウンタシンクロスタート レジスタ	TCSYSTR	R/W	H'00	H'FFFE4282	8
	タイマリードライトイネーブルレジスタ	TRWER	R/W	H'01	H'FFFE4284	8
3/4 共通	タイマアウトプットマスタイネーブル レジスタ	TOER	R/W	H'C0	H'FFFE420A	8
	タイマゲートコントロールレジスタ	TGCR	R/W	H'80	H'FFFE420D	8
	タイマアウトプットコントロール レジスタ 1	TOCR1	R/W	H'00	H'FFFE420E	8、16
	タイマアウトプットコントロール レジスタ 2	TOCR2	R/W	H'00	H'FFFE420F	8
	タイマ周期データレジスタ	TCDR	R/W	H'FFFF	H'FFFE4214	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
3/4 共通	タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FFFE4216	16
	タイマサブカウンタ	TCNTS	R	H'0000	H'FFFE4220	16、32
	タイマ周期バッファレジスタ	TCBR	R/W	H'FFFF	H'FFFE4222	16
	タイマ割り込み間引き設定レジスタ	TITCR	R/W	H'00	H'FFFE4230	8、16
	タイマ割り込み間引き回数カウンタ	TITCNT	R	H'00	H'FFFE4231	8
	タイマバッファ転送設定レジスタ	TBTER	R/W	H'00	H'FFFE4232	8
	タイマデッドタイムイネーブルレジスタ	TDER	R/W	H'01	H'FFFE4234	8
	タイマアウトプットレベルバッファ レジスタ	TOLBR	R/W	H'00	H'FFFE4236	8
	タイマ A/D 変換開始要求コントロール レジスタ	TADCR	R/W	H'0000	H'FFFE4240	16
	タイマ波形コントロールレジスタ	TWCR	R/W	H'00	H'FFFE4260	8

12.3.1 タイマコントロールレジスタ (TCR)

TCR は、各チャンネルの TCNT を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。MTU2 には、チャンネル 0~4 に各 1 本、チャンネル 5 には TCRU/V/W_5 の 3 本、計 8 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	CCLR[2:0]	000	R/W	カウンタクリア 2~0 TCNT のカウンタクリア要因を選択します。詳細は表 12.4、表 12.5 を参照してください。
4、3	CKEG[1:0]	00	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: P / 4 の両エッジ = P / 2 の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが P / 4 もしくはそれより遅い場合に有効です。入力クロックに P / 1、あるいは他のチャンネルのオーバフロー / アンダフローを選択した場合、値は書き込みませんが、動作は初期値となります。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1x: 両エッジでカウント
2~0	TPSC[2:0]	000	R/W	タイマプリスケラ 2~0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 12.6 ~ 表 12.10 を参照してください。

【記号説明】 x : Don't care

表 12.4 CCLR2~CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

表 12.5 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ* ²	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込みは無効です。

表 12.6 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 12.7 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : P /256 でカウント
	1	1	1	TCNT_2 のオーバフロー / アンダフローでカウント

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

表 12.8 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : P /1024 でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

表 12.9 TPSC2~TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : P / 1 でカウント
	0	0	1	内部クロック : P / 4 でカウント
	0	1	0	内部クロック : P / 16 でカウント
	0	1	1	内部クロック : P / 64 でカウント
	1	0	0	内部クロック : P / 256 でカウント
	1	0	1	内部クロック : P / 1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

表 12.10 TPSC1、TPSC0 (チャンネル 5)

チャンネル	ビット 1	ビット 0	説 明
	TPSC1	TPSC0	
5	0	0	内部クロック : P / 1 でカウント
	0	1	内部クロック : P / 4 でカウント
	1	0	内部クロック : P / 16 でカウント
	1	1	内部クロック : P / 64 でカウント

【注】 チャンネル 5 では、ビット 7~2 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.3.2 タイマモードレジスタ (TMDR)

TMDR は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。MTU2 には、チャンネル 0~4 に各 1 本、計 5 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	BFE	BFB	BFA	MD[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BFE	0	R/W	バッファ動作 E TGRE_0 と TGRF_0 を通常動作またはバッファ動作させるかどうかを選択します。 TGRF をバッファレジスタとして使用した場合も TGRF のコンペアマッチは発生します。 チャンネル 1、2、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0: TGRE_0 と TGRF_0 は通常動作 1: TGRE_0 と TGRF_0 はバッファ動作
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ / アウトプットコンペアは発生しませんが相補 PWM モード時は、TGRD のコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの tb 区間に発生した場合は TGFD がセットされますので、タイマインタラプトイネーブルレジスタ_3/4 (TIER_3/4) の TGIED ビットは 0 にしてください。 TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0: TGRB と TGRD は通常動作 1: TGRB と TGRD はバッファ動作

ビット	ビット名	初期値	R/W	説明
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが相補 PWM モード時は、TGRC のコンペアマッチが発生します。また、チャンネル 4 のコンペアマッチが相補 PWM モードの tb 区間に発生した場合は TGFC がセットされますので、タイムインタラプトイネーブルレジスタ_4 (TIER_4) の TGIEC ビットは 0 にしてください。 TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作
3~0	MD[3:0]	0000	R/W	モード 3~0 MD3~MD0 はタイマの動作モードを設定します。 詳細は表 12.11 を参照してください。

表 12.11 MD3~MD0 ビットによる動作モードの設定

ビット 3	ビット 2	ビット 1	ビット 0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2 ^{*1}
0	1	0	0	位相計数モード 1 ^{*2}
0	1	0	1	位相計数モード 2 ^{*2}
0	1	1	0	位相計数モード 3 ^{*2}
0	1	1	1	位相計数モード 4 ^{*2}
1	0	0	0	リセット同期 PWM モード ^{*3}
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1 (山で転送) ^{*3}
1	1	1	0	相補 PWM モード 2 (谷で転送) ^{*3}
1	1	1	1	相補 PWM モード 3 (山・谷で転送) ^{*3}

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

12.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は、TGR を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。MTU2 には、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、チャンネル 5 には TIORU/V/W_5 の 3 本、計 11 本の TIOR があります。

TIOR は TMDR の設定が、通常動作、PWM モード、位相計数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4

ビット:	7	6	5	4	3	2	1	0
	IOB[3:0]				IOA[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	IOB[3:0]	0000	R/W	I/O コントロール B3 ~ B0 IOB3 ~ IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 12.12 TIOR_1 : 表 12.14 TIOR_2 : 表 12.15 TIORH_3 : 表 12.16 TIORH_4 : 表 12.18
3~0	IOA[3:0]	0000	R/W	I/O コントロール A3 ~ A0 IOA3 ~ IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 12.20 TIOR_1 : 表 12.22 TIOR_2 : 表 12.23 TIORH_3 : 表 12.24 TIORH_4 : 表 12.26

- TIORL_0、TIORL_3、TIORL_4

ビット:	7	6	5	4	3	2	1	0
	IOD[3:0]			IOC[3:0]				
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	IOD[3:0]	0000	R/W	I/O コントロール D3~D0 IOD3~IOD0 ビットは TGRD の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 12.13 TIORL_3 : 表 12.17 TIORL_4 : 表 12.19
3~0	IOC[3:0]	0000	R/W	I/O コントロール C3~C0 IOC3~IOC0 ビットは TGRC の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 12.21 TIORL_3 : 表 12.25 TIORL_4 : 表 12.27

- TIORU_5、TIORV_5、TIORW_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	IOC[4:0]				
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	IOC[4:0]	00000	R/W	I/O コントロール C4~C0 IOC4~IOC0 ビットは TGRU/V/W_5 の機能を設定します。 詳細については表 12.28 を参照してください。

表 12.12 TIORH_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.13 TIORL_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* ²	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 12.14 TIOR_1 (チャンネル 1)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.15 TIOR_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.16 TIORH_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.17 TIORL_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.18 TIORH_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	TGRB_4 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.19 TIORL_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ*2
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ / アウトプットコンペアは発生しません。

表 12.20 TIORH_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.21 TIORL_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOC0C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 12.22 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0 のコンペアマッチ / インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.23 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.24 TIORH_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.25 TIORL_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ* ²
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.26 TIORH_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.27 TIORL_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_4 の BFA ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.28 TIORU_5、TIORV_5、TIORW_5 (チャンネル 5)

ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC4	IOC3	IOC2	IOC1	IOC0	TGRU_5、TGRV_5、 TGRW_5 の機能	TIC5U、TIC5V、TIC5W 端子の機能
0	0	0	0	0	コンペアマッチ レジスタ	コンペアマッチ
0	0	0	0	1		設定禁止
0	0	0	1	x		設定禁止
0	0	1	x	x		設定禁止
0	1	x	x	x		設定禁止
1	0	0	0	0	インプットキャプチャ レジスタ	設定禁止
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定禁止
1	1	0	0	0		設定禁止
1	1	0	0	1		外部入力信号の Low パルス幅測定用 谷でキャプチャ
1	1	0	1	0		外部入力信号の Low パルス幅測定用 山でキャプチャ
1	1	0	1	1		外部入力信号の Low パルス幅測定用 山と谷でキャプチャ
1	1	1	0	0		設定禁止
1	1	1	0	1		外部入力信号の High パルス幅測定用 谷でキャプチャ
1	1	1	1	0		外部入力信号の High パルス幅測定用 山でキャプチャ
1	1	1	1	1		外部入力信号の High パルス幅測定用 山と谷でキャプチャ

【記号説明】 x : Don't care

12.3.4 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

TCNTCMPCLR は、8 ビットの読み出し / 書き込み可能なレジスタで、TCNTU_5、TCNTV_5、TCNTW_5 のクリア要求を設定することができます。MTU2 には、チャンネル 5 に 1 本の TCNTCMPCLR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMP CLR5U	CMP CLR5V	CMP CLR5W
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CMPCLR5U	0	R/W	TCNT コンペアクリア 5U TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 クリア要求を許可または禁止します。 0: TCNTU_5 と TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 の H'0000 クリアを禁止 1: TCNTU_5 と TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 の H'0000 クリアを許可
1	CMPCLR5V	0	R/W	TCNT コンペアクリア 5V TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 クリア要求を許可または禁止します。 0: TCNTV_5 と TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 の H'0000 クリアを禁止 1: TCNTV_5 と TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 の H'0000 クリアを許可
0	CMPCLR5W	0	R/W	TCNT コンペアクリア 5W TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 クリア要求を許可または禁止します。 0: TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 の H'0000 クリアを禁止 1: TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 の H'0000 クリアを許可

12.3.5 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~5 に各 1 本、計 7 本の TIER があります。

- TIER_0、TIER_1、TIER_2、TIER_3、TIER_4

ビット :	7	6	5	4	3	2	1	0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 相補 PWM モードで、TCNT_4 のアンダフロー（谷）による A/D 変換要求の発生を許可または禁止します。 チャンネル 0~3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を禁止 1 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を許可
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されません。書き込む値も常に 0 にしてください。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可

ビット	ビット名	初期値	R/W	説明
3	TGIED	0	R/W	<p>TGR インタラプトイネーブル D</p> <p>チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可</p>
2	TGIEC	0	R/W	<p>TGR インタラプトイネーブル C</p> <p>チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可</p>
1	TGIEB	0	R/W	<p>TGR インタラプトイネーブル B</p> <p>TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。</p> <p>0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可</p>
0	TGIEA	0	R/W	<p>TGR インタラプトイネーブル A</p> <p>TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。</p> <p>0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可</p>

• TIER2_0

ビット:	7	6	5	4	3	2	1	0
	TTGE2	-	-	-	-	-	TGIEF	TGIEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を禁止する 1: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を許可する
6~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGIEF	0	R/W	TGR インタラプトイネーブル F TCNT_0 と TGRF_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGFE ビットによる割り込み要求 (TGIF) を禁止 1: TGFE ビットによる割り込み要求 (TGIF) を許可
0	TGIEE	0	R/W	TGR インタラプトイネーブル E TCNT_0 と TGRE_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGEE ビットによる割り込み要求 (TGIE) を禁止 1: TGEE ビットによる割り込み要求 (TGIE) を許可

• TIER_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TGIE5U	0	R/W	TGR インタラプトイネーブル 5U TSR_5 の CMFU5 ビットに1がセットされたとき、CMFU5 ビットによる割り込み要求 (TGIU_5) を許可または禁止します。 0: TGIU_5 割り込み要求を禁止 1: TGIU_5 割り込み要求を許可
1	TGIE5V	0	R/W	TGR インタラプトイネーブル 5V TSR_5 の CMFV5 ビットに1がセットされたとき、CMFV5 ビットによる割り込み要求 (TGIV_5) を許可または禁止します。 0: TGIV_5 割り込み要求を禁止 1: TGIV_5 割り込み要求を許可
0	TGIE5W	0	R/W	TGR インタラプトイネーブル 5W TSR_5 の CMFW5 ビットに1がセットされたとき、CMFW5 ビットによる割り込み要求 (TGIW_5) を許可または禁止します。 0: TGIW_5 割り込み要求を禁止 1: TGIW_5 割り込み要求を許可

12.3.6 タイマステータスレジスタ (TSR)

TSR は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルのステータスの表示を行います。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~5 に各 1 本、計 7 本の TSR があります。

- TSR_0、TSR_1、TSR_2、TSR_3、TSR_4

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1~4 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCFU	0	R/(W)*1	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [セット条件] • TCNT の値がアンダフロー (H'0000 H'FFFF) したとき [クリア条件] • TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき*2
4	TCFV	0	R/(W)*1	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [セット条件] • TCNT の値がオーバフローしたとき (H'FFFF H'0000) チャンネル 4 では相補 PWM モードで TCNT_4 の値がアンダフロー (H'0001 H'0000) したときにも本フラグがセットされます。 [クリア条件] • TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき*2

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき*²
2	TGFC	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき*²
1	TGFB	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき*²

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*1	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DMAC が起動されたとき • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき*2

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 タイマステータスレジスタ (TSR) へのライトは、1 リード後にクリアしたいビットのみ 0 ライト、その他のビットは 1 ライトを行ってください。1 ライトに関しては実際には行われず、前値を保持します。

• TSR2_0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TGFF	TGFE
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>
5~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	TGFF	0	R/(W)*1	<p>コンペアマッチフラグ F</p> <p>TCNT_0 と TGRF_0 のコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRF_0 をコンペアレジスタとして機能している場合、TCNT_0 = TGRF_0 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFF = 1 の状態で TGFF をリード後、TGFF に 0 をライトしたとき*2

ビット	ビット名	初期値	R/W	説明
0	TGFE	0	R/(W)* ¹	<p>コンペアマッチフラグ E</p> <p>TCNT_0 と TGRE_0 のコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRE_0 をコンペアレジスタとして機能している場合、TCNT_0 = TGRE_0 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFE = 1 の状態で TGFE をリード後、TGFE に 0 をライトしたとき*²

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 タイマステータスレジスタ (TSR) へのライトは、1リード後にクリアしたいビットのみ0ライト、その他のビットは1ライトを行ってください。1ライトに関しては実際には行われず、前値を保持します。

• TSR_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMFU5	CMFV5	CMFW5
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/(W)* ¹	R/(W)* ¹	R/(W)* ¹

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
2	CMFU5	0	R/(W)* ¹	<p>コンペアマッチ/インプットキャプチャフラグ U5</p> <p>TGRU_5のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための0ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRU_5 がコンペアマッチレジスタとして機能している場合、TCNTU_5 = TGRU_5 になったとき • TGRU_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTU_5 の値が TGRU_5 に転送されたとき • TGRU_5 が外部入力信号のパルス幅測定として機能している場合、TCNTU_5 の値が TGRU_5 に転送されたとき*² <p>[クリア条件]</p> <ul style="list-style-type: none"> • CMFU5 = 1 の状態で CMFU5 をリード後、CMFU5 に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
1	CMFV5	0	R/(W)* ¹	<p>コンペアマッチ/インプットキャプチャフラグ V5</p> <p>TGRV_5 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRV_5 がコンペアマッチレジスタとして機能している場合、TCNTV_5 = TGRV_5 になったとき • TGRV_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTV_5 の値が TGRV_5 に転送されたとき • TGRV_5 が外部入力信号のパルス幅測定として機能している場合、TCNTV_5 の値が TGRV_5 に転送されたとき*² <p>[クリア条件]</p> <ul style="list-style-type: none"> • CMFV5 = 1 の状態で CMFV5 をリード後、CMFV5 に 0 をライトしたとき
0	CMFW5	0	R/(W)* ¹	<p>コンペアマッチ/インプットキャプチャフラグ W5</p> <p>TGRW_5 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRW_5 がコンペアマッチレジスタとして機能している場合、TCNTW_5 = TGRW_5 になったとき • TGRW_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTW_5 の値が TGRW_5 に転送されたとき • TGRW_5 が外部入力信号のパルス幅測定として機能している場合、TCNTW_5 の値が TGRW_5 に転送されたとき*² <p>[クリア条件]</p> <ul style="list-style-type: none"> • CMFW5 = 1 の状態で CMFW5 をリード後、CMFW5 に 0 をライトしたとき

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 転送するタイミングは、タイマ I/O コントロールレジスタ U_5/V_5/W_5 (TIORU_5/V_5/W_5) の IOC ビットで設定します。

12.3.7 タイマバッファ動作転送モードレジスタ (TBTM)

TBTM は、8 ビットの読み出し / 書き込み可能なレジスタで、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングの設定を行います。MTU2 には、チャンネル 0、3、4 に各 1 本、計 3 本の TBTM があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TTSE	TTSB	TTSA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TTSE	0	R/W	タイミングセレクト E バッファ動作時の TGRF_0 から TGRE_0 への転送タイミングを設定します。 チャンネル 3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。 なお、チャンネル 0 を PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0: チャンネル 0 のコンペアマッチ E 発生時 1: TCNT_0 クリア時
1	TTSB	0	R/W	タイミングセレクト B 各チャンネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ B 発生時 1: 各チャンネルの TCNT クリア時
0	TTSA	0	R/W	タイミングセレクト A 各チャンネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ A 発生時 1: 各チャンネルの TCNT クリア時

12.3.8 タイマインプットキャプチャコントロールレジスタ (TICCR)

TICCR は、8 ビットの読み出し / 書き込み可能なレジスタで、TCNT_1 と TCNT_2 のカスケード接続時のインプットキャプチャ条件を制御します。MTU2 には、チャンネル 1 に 1 本の TICCR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	I2BE	I2AE	I1BE	I1AE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	I2BE	0	R/W	インプットキャプチャイネーブル TGRB_1 のインプットキャプチャ条件に TIOC2B 端子を追加する / しないを選択します。 0: TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加しない 1: TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加する
2	I2AE	0	R/W	インプットキャプチャイネーブル TGRA_1 のインプットキャプチャ条件に TIOC2A 端子を追加する / しないを選択します。 0: TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加しない 1: TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加する
1	I1BE	0	R/W	インプットキャプチャイネーブル TGRB_2 のインプットキャプチャ条件に TIOC1B 端子を追加する / しないを選択します。 0: TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加しない 1: TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加する
0	I1AE	0	R/W	インプットキャプチャイネーブル TGRA_2 のインプットキャプチャ条件に TIOC1A 端子を追加する / しないを選択します。 0: TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加しない 1: TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加する

12.3.9 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

TADCR は、16 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。MTU2 には、チャンネル 4 に 1 本の TADCR があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]	-	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
初期値:	0	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*
R/W:	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* 相補PWMモード以外では、1に設定しないでください。

ビット	ビット名	初期値	R/W	説明
15, 14	BF[1:0]	00	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 12.29 を参照してください。
13~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	UT4AE	0	R/W	アップカウント TRG4AN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可
6	DT4AE	0*	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
5	UT4BE	0	R/W	アップカウント TRG4BN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可
4	DT4BE	0*	R/W	ダウンカウント TRG4BN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可

ビット	ビット名	初期値	R/W	説明
3	ITA3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
2	ITA4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する
1	ITB3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
0	ITB4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する

- 【注】
1. TADCR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
 2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。
 3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。
- * 相補 PWM モード以外では、1 に設定しないでください。

表 12.29 BF1、BF0 ビットによる転送タイミングの設定

ビット 7	ビット 6	説明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタから周期設定レジスタへ転送する*1
1	0	TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する*2
1	1	TCNT_4 の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する*2

- 【注】
- *1 相補 PWM モードでは TCNT_4 の山、リセット同期 PWM モードでは TCNT_3 が TGRA_3 とコンペアマッチしたとき、PWM モード 1 / 通常動作モードでは TCNT_4 が TGRA_4 とコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

*2 相補 PWM モード以外では設定禁止です。

12.3.10 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)

TADCORA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TCNT_4 と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCORA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.11 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)

TADCOBRA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TADCORA/B_4 のバッファレジスタから山か谷で TADCORA/B_4 に転送します。

TADCOBRA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCOBRA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.12 タイマカウンタ (TCNT)

TCNT は、16 ビットの読み出し / 書き込み可能なカウンタです。チャンネル 0~4 に各 1 本、チャンネル 5 に TCNTU/V/W_5 の 3 本、計 8 本の TCNT があります。

TCNT は、リセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.13 タイマジェネラルレジスタ (TGR)

TGR は、16 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 0 に 6 本、チャンネル 1、2 に各 2 本、チャンネル 3、4 に各 4 本、チャンネル 5 に 3 本、計 21 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD はアウトプットコンペア / インプットキャプチャ兼用のレジスタです。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

TGRE_0、TGRF_0 はコンペアレジスタとして機能し、TCNT_0 と TGRE_0 が一致したとき、A/D 変換開始要求を発生することができます。TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE - TGRF になります。

TGRU_5、TGRV_5、TGRW_5 はコンペアマッチ / インプットキャプチャ / 外部パルス幅測定兼用のレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、H'FFFFです。

12.3.14 タイマスタートレジスタ (TSTR)

TSTR は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~4 の TCNT の動作 / 停止を選択します。

TSTR_5 は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 5 の TCNTU/V/W_5 の動作 / 停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

- TSTR

ビット:	7	6	5	4	3	2	1	0
	CST4	CST3	-	-	-	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CST4	0	R/W	カウンタスタート 4、3
6	CST3	0	R/W	TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2~TCNT_0 のカウント動作は停止 1 : TCNT_2~TCNT_0 はカウント動作

• TSTR_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CSTU5	CSTV5	CSTW5
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	CSTU5	0	R/W	カウンタスタート U5 TCNTU_5 の動作または停止を選択します。 0 : TCNTU_5 のカウンタ動作は停止 1 : TCNTU_5 のカウンタ動作
1	CSTV5	0	R/W	カウンタスタート V5 TCNTV_5 の動作または停止を選択します。 0 : TCNTV_5 のカウンタ動作は停止 1 : TCNTV_5 のカウンタ動作
0	CSTW5	0	R/W	カウンタスタート W5 TCNTW_5 の動作または停止を選択します。 0 : TCNTW_5 のカウンタ動作は停止 1 : TCNTW_5 のカウンタ動作

12.3.15 タイマシンクロレジスタ (TSYR)

TSYR は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SYNC4	0	R/W	タイマ同期 4、3
6	SYNC3	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) 1: TCNT_4、TCNT_3 は同期動作 TCNT の同期プリセット / 同期クリアが可能
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_2~TCNT_0 は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) 1: TCNT_2~TCNT_0 は同期動作 TCNT の同期プリセット / 同期クリアが可能

12.3.16 タイマカウンタシンクロスタートレジスタ (TCSYSTR)

TCSYSTR は、8 ビットの読み出し / 書き込み可能なレジスタで、MTU2 のカウンタの同期スタートを行います。

ビット :	7	6	5	4	3	2	1	0
	SCH0	SCH1	SCH2	SCH3	SCH4	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R

【注】 * レジスタをセットするために1を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	SCH0	0	R/(W)*	シンクロスタート MTU2 の TCNT_0 のシンクロスタートを制御します。 0 : MTU2 の TCNT_0 をシンクロスタートしない 1 : MTU2 の TCNT_0 をシンクロスタートする [クリア条件] • SCH0 = 1 の状態で、MTU2 の TSTR の CST0 ビットに 1 をセットしたとき
6	SCH1	0	R/(W)*	シンクロスタート MTU2 の TCNT_1 のシンクロスタートを制御します。 0 : MTU2 の TCNT_1 をシンクロスタートしない 1 : MTU2 の TCNT_1 をシンクロスタートする [クリア条件] • SCH1 = 1 の状態で、MTU2 の TSTR の CST1 ビットに 1 をセットしたとき
5	SCH2	0	R/(W)*	シンクロスタート MTU2 の TCNT_2 のシンクロスタートを制御します。 0 : MTU2 の TCNT_2 をシンクロスタートしない 1 : MTU2 の TCNT_2 をシンクロスタートする [クリア条件] • SCH2 = 1 の状態で、MTU2 の TSTR の CST2 ビットに 1 をセットしたとき
4	SCH3	0	R/(W)*	シンクロスタート MTU2 の TCNT_3 のシンクロスタートを制御します。 0 : MTU2 の TCNT_3 をシンクロスタートしない 1 : MTU2 の TCNT_3 をシンクロスタートする [クリア条件] • SCH3 = 1 の状態で、MTU2 の TSTR の CST3 ビットに 1 をセットしたとき
3	SCH4	0	R/(W)*	シンクロスタート MTU2 の TCNT_4 のシンクロスタートを制御します。 0 : MTU2 の TCNT_4 をシンクロスタートしない 1 : MTU2 の TCNT_4 をシンクロスタートする [クリア条件] • SCH4 = 1 の状態で、MTU2 の TSTR の CST4 ビットに 1 をセットしたとき

ビット	ビット名	初期値	R/W	説 明
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * レジスタをセットするために 1 を書き込むことのみ可能です。

12.3.17 タイマリードライトイネーブルレジスタ (TRWER)

TRWER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3、4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RWE
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RWE	1	R/W	リードライトイネーブル 誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。 0 : レジスタのリードライトを禁止する 1 : レジスタのリードライトを許可する [クリア条件] • RWE = 1 の状態で RWE をリード後、RWE に 0 をライトしたとき

- 誤書き込み防止の対象レジスタ / カウンタ

TCR_3、4、TMDR_3、4、TIORH_3、4、TIORL_3、4、TIER_3、4、TGRA_3、4、TGRB_3、4、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と TCNT_3、4 の計 22 レジスタです。

12.3.18 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットの読み出し / 書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。

ビット:	7	6	5	4	3	2	1	0
	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可

【注】 * 非アクティブレベルは、タイマアウトプットコントロールレジスタ 1/2 (TOCR1/2) の設定によります。詳細は、「12.3.19 タイマアウトプットコントロールレジスタ 1 (TOCR1)」、「12.3.20 タイマアウトプットコントロールレジスタ 2 (TOCR2)」を参照してください。なお、相補 PWM モード / リセット同期 PWM モード以外で MTU2 出力する場合は 1 に設定してください。0 に設定した場合ローレベルが出力されます。

12.3.19 タイマアウトプットコントロールレジスタ 1 (TOCR1)

TOCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/(W)*	R/W	R/W	R/W

【注】* パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PSYE	0	R/W	PWM 同期出力イネーブル PWM 周期に同期したトグル出力の許可 / 禁止を設定します。 0: トグル出力を禁止 1: トグル出力を許可
5, 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TOCL	0	R/(W)*	TOC レジスタ書き込み禁止ビット* ¹ TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止
2	TOCS	0	R/W	TOC セレクトビット 相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0: TOCR1 の設定を有効にする 1: TOCR2 の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクト N* ² リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 12.30 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P* ² リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 12.31 を参照してください。

【注】 *1 TOCL ビットを 1 に設定することにより、CPU 暴走時の誤書き込みを防止することができます。

*2 TOCS ビットを 0 に設定することにより、本設定が有効になります。

表 12.30 出力レベルセレクト機能

ビット 1	機 能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.31 出力レベルセレクト機能

ビット 0	機 能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 12.2 に示します。

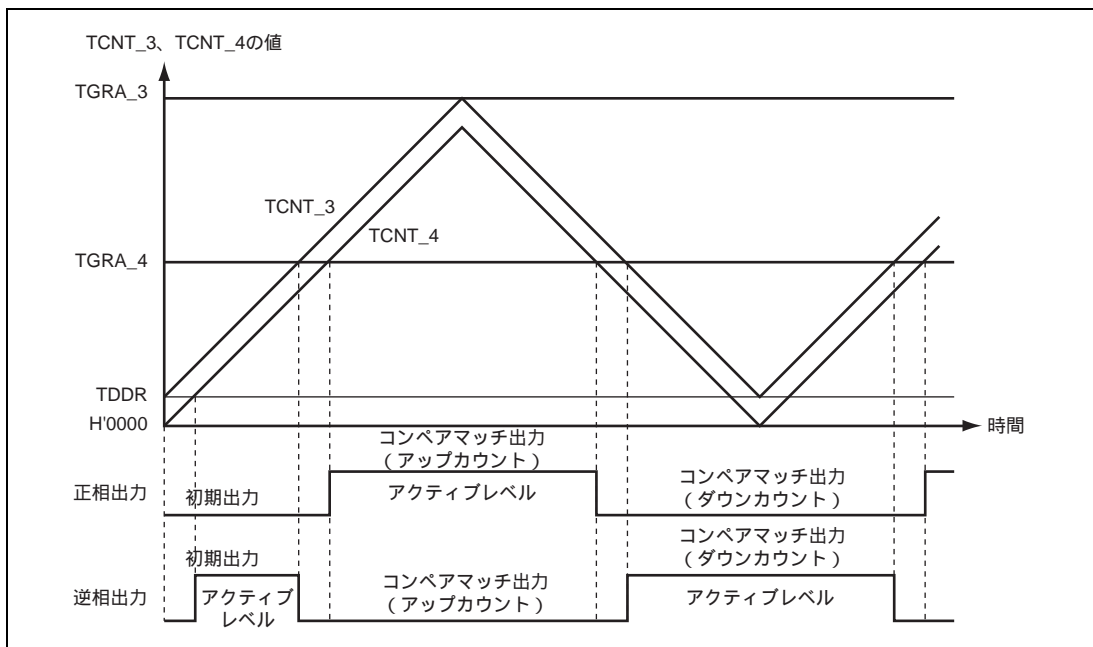


図 12.2 相補 PWM モードの出力レベルの例

12.3.20 タイマアウトプットコントロールレジスタ 2 (TOCR2)

TOCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 12.32 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 12.33 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 12.34 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 12.35 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 12.36 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 12.37 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 12.38 を参照してください。

【注】 * TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。

表 12.32 BF1、BF0 ビットの設定

ビット 7	ビット 6	説 明	
BF1	BF0	相補 PWM モード時	リセット PWM モード時
0	0	バッファレジスタ (TOLBR) から TOCR2 へ転送しない	バッファレジスタ (TOLBR) から TOCR2 へ転送しない
0	1	TCNT_4 の山でバッファレジスタ (TOLBR) から TOCR2 へ転送する	TCNT_3/4 カウンタクリア時にバッファレジスタ (TOLBR) から TOCR2 へ転送する
1	0	TCNT_4 の谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止
1	1	TCNT_4 の山と谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止

表 12.33 TIOC4D 出力レベルセレクト機能

ビット 5	機 能			
OLS3N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.34 TIOC4B 出力レベルセレクト機能

ビット 4	機 能			
OLS3P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 12.35 TIOC4C 出力レベルセレクト機能

ビット 3	機 能			
OLS2N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.36 TIOC4A 出力レベルセレクト機能

ビット 2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 12.37 TIOC3D 出力レベルセレクト機能

ビット 1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.38 TIOC3B 出力レベルセレクト機能

ビット 0	機 能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

12.3.21 タイマアウトプットレベルバッファレジスタ (TOLBR)

TOLBR は TOCR2 のバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	OLS3N	0	R/W	TOCR2 の OLS3N ビットにバッファ転送する値を設定してください。
4	OLS3P	0	R/W	TOCR2 の OLS3P ビットにバッファ転送する値を設定してください。
3	OLS2N	0	R/W	TOCR2 の OLS2N ビットにバッファ転送する値を設定してください。
2	OLS2P	0	R/W	TOCR2 の OLS2P ビットにバッファ転送する値を設定してください。
1	OLS1N	0	R/W	TOCR2 の OLS1N ビットにバッファ転送する値を設定してください。
0	OLS1P	0	R/W	TOCR2 の OLS1P ビットにバッファ転送する値を設定してください。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 12.3 に示します。

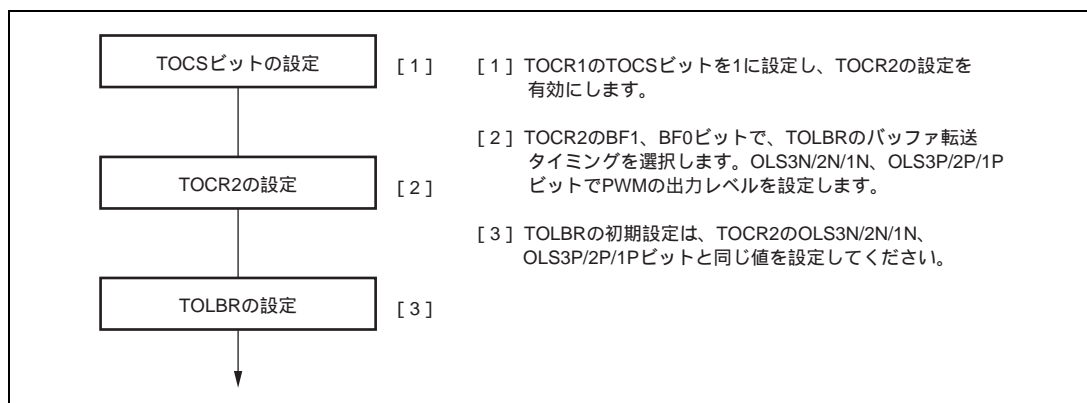


図 12.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

12.3.22 タイマゲートコントロールレジスタ (TGCR)

TGCR は、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モード / リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット:	7	6	5	4	3	2	1	0
	-	BDC	N	P	FB	WF	VF	UF
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタの機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
4	P	0	R/W	正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を出力時、レベル出力をするか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
3	FB	0	R/W	外部フィードバック信号許可 正相 / 逆相の出力の切り替えを MTU2 / チャネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことによって行うかを選択します。 0: 出力の切り替えは、外部入力 (入力元は、チャネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1: 出力の切り替えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り替え 2~0
1	VF	0	R/W	正相 / 逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代りになります。表 12.39 を参照してください。
0	UF	0	R/W	

表 12.39 出力レベルセレクト機能

ビット 2	ビット 1	ビット 0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
WF	VF	UF	U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

12.3.23 タイマサブカウンタ (TCNTS)

TCNTS は、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.24 タイマデッドタイムデータレジスタ (TDDR)

TDDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。TDDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.25 タイマ周期データレジスタ (TCDR)

TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます (ダウンカウント アップカウント)。TCDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.26 タイマ周期バッファレジスタ (TCBR)

TCBR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.27 タイマ割り込み間引き設定レジスタ (TITCR)

TITCR は、8 ビットの読み出し / 書き込み可能なレジスタで、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。MTU2 には 1 本の TITCR があります。

ビット :	7	6	5	4	3	2	1	0
	T3AEN	3ACOR[2:0]		T4VEN	4VCOR[2:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	T3AEN	0	R/W	T3AEN TGIA_3 割り込みの間引きの禁止 / 許可を設定します。 0 : TGIA_3 割り込みの間引きを禁止する 1 : TGIA_3 割り込みの間引きを許可する
6~4	3ACOR[2:0]	000	R/W	TGIA_3 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 12.40 を参照してください。
3	T4VEN	0	R/W	T4VEN TCIV_4 割り込みの間引きの禁止 / 許可を設定します。 0 : TCIV_4 割り込みの間引きを禁止する 1 : TCIV_4 割り込みの間引きを許可する
2~0	4VCOR[2:0]	000	R/W	TCIV_4 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 12.41 を参照してください。

【注】 * 割り込み間引き回数に 0 を設定すると間引きは行いません。
また、割り込み間引き回数の設定前に、必ず T3AEN、T4VEN ビットを 0 に設定して間引き回数カウンタ (TITCNT) をクリアしてください。

表 12.40 3ACOR2 ~ 3ACOR0 ビットによる割り込み間引き回数の設定

ビット 6	ビット 5	ビット 4	説 明
3ACOR2	3ACOR1	3ACOR0	
0	0	0	TGIA_3 の割り込み間引きを行わない
0	0	1	TGIA_3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA_3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA_3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA_3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA_3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA_3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA_3 の割り込み間引き回数を 7 回に設定

表 12.41 4VCOR2~4VCOR0 ビットによる割り込み間引き回数の設定

ビット 2	ビット 1	ビット 0	説 明
4VCOR2	4VCOR1	4VCOR0	
0	0	0	TCIV_4 の割り込み間引きを行わない
0	0	1	TCIV_4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV_4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV_4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV_4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV_4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV_4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV_4 の割り込み間引き回数を 7 回に設定

12.3.28 タイマ割り込み間引き回数カウンタ (TITCNT)

TITCNT は、8 ビットの読み出し可能なカウンタです。MTU2 には 1 本の TITCNT があります。TITCNT は、TCNT_3 および TCNT_4 のカウント動作停止後も、値を保持します。

ビット :	7	6	5	4	3	2	1	0
	-	3ACNT[2:0]			-	4VCNT[2:0]		
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	3ACNT[2:0]	000	R	TGIA_3 割り込みカウンタ TITCR の T3AEN ビットに 1 を設定時、TGIA_3 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 3ACOR2 ~ 3ACOR0 と TITCNT の 3ACNT2 ~ 3ACNT0 が一致したとき • TITCR の T3AEN ビットが 0 のとき • TITCR の 3ACOR2 ~ 3ACOR0 が 0 のとき
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説明
2~0	4VCNT[2:0]	000	R	TCIV_4 割り込みカウンタ TITCR の T4VEN ビットに 1 を設定時、TCIV_4 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 4VCOR2~4VCOR0 と TITCNT の 4VCNT2~4VCNT0 が一致したとき • TITCR の T4VEN ビットが 0 のとき • TITCR の 4VCOR2~4VCOR0 が 0 のとき

【注】 TITCNT の値をクリアするには、TITCR の T3AEN ビットと T4VEN ビットを 0 にクリアしてください。

12.3.29 タイマバッファ転送設定レジスタ (TBTER)

TBTER は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。MTU2 には 1 本の TBTER があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BTE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	BTE[1:0]	00	R/W	相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。詳細は表 12.42 を参照してください。

【注】 * 対象バッファレジスタ

TGRC_3、TGRD_3、TGRC_4、TGRD_4、TCBR

表 12.42 BTE1、BTE0 ビットの設定

ビット 1	ビット 0	説 明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない*1 また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する*2
1	1	設定禁止

【注】 *1 TMDR の MD3～MD0 の設定に従い転送します。詳細は「12.4.8 相補 PWM モード」を参照してください。

*2 割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ (TBTER) の BTE1 を 0 に設定）にしてください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

12.3.30 タイマデッドタイムイネーブルレジスタ (TDER)

TDER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。MTU2 には 1 本の TDER があります。TDER の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TDER
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説 明
7～1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TDER	1	R/(W)	デッドタイムイネーブルレジスタ デッドタイムの生成をする / しないを設定します。 0: デッドタイムを生成しない 1: デッドタイムを生成する* [クリア条件] • TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたとき

【注】 * TDDR 1 に設定してください。

12.3.31 タイマ波形コントロールレジスタ (TWCR)

TWCR は、8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モードで TNCT_3、TNCT_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCE	-	-	-	-	-	-	WRE
初期値:	0*	0	0	0	0	0	0	0
R/W:	R/(W)	R	R	R	R	R	R	R/(W)

【注】* 相補PWMモード1のとき以外は、1に設定しないでください。

ビット	ビット名	初期値	R/W	説 明
7	CCE	0*	R/(W)	コンペアマッチクリアイネーブル 相補 PWM モードで、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。 0: TGRA_3 のコンペアマッチによるカウンタクリアをしない 1: TGRA_3 のコンペアマッチによるカウンタクリアをする [セット条件] • CCE = 0 の状態で CCE をリード後、CCE に 1 をライトしたとき
6~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	WRE	0	R/(W)	初期出力抑止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の Tb 区間については、図 12.40 を参照してください。 0: TOCR レジスタで設定した初期出力値を出力 1: 初期出力を抑止する [セット条件] • WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき

12.3.32 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、タイマ周期データレジスタ (TCDR)、タイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (TADCOR)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

12.4 動作説明

12.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

MTU2 の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

(1) カウンタの動作

TSTR の CST0 ~ CST4 ビット、TSTR_5 の CSTU5、CSTV5、CSTW5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 12.4 に示します。

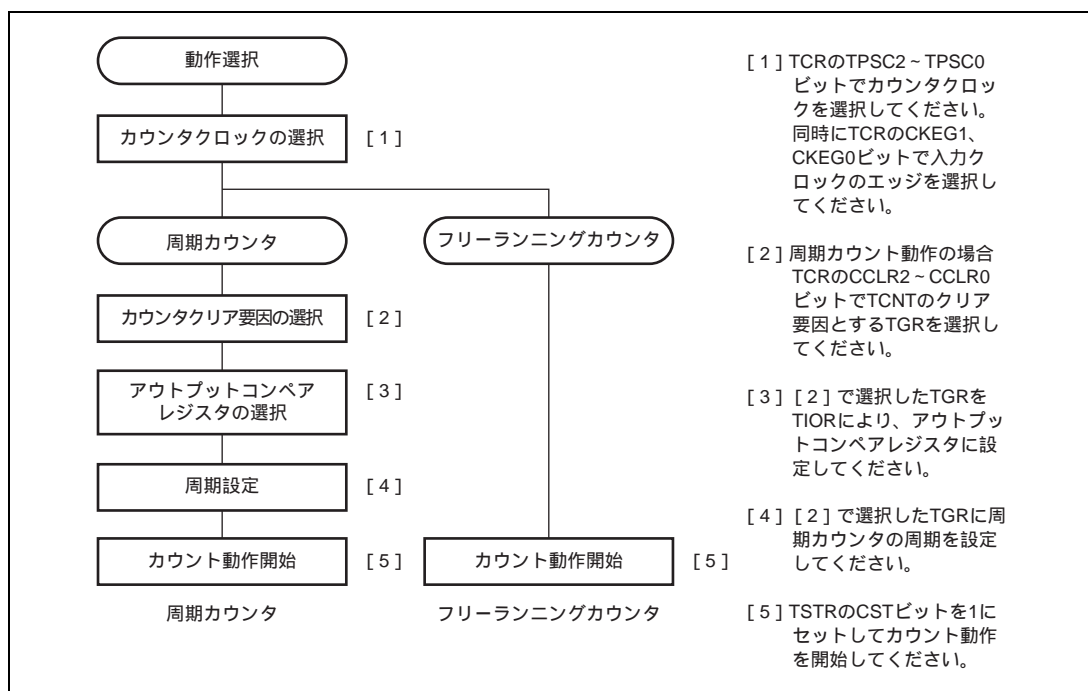


図 12.4 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTU2 の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 12.5 に示します。

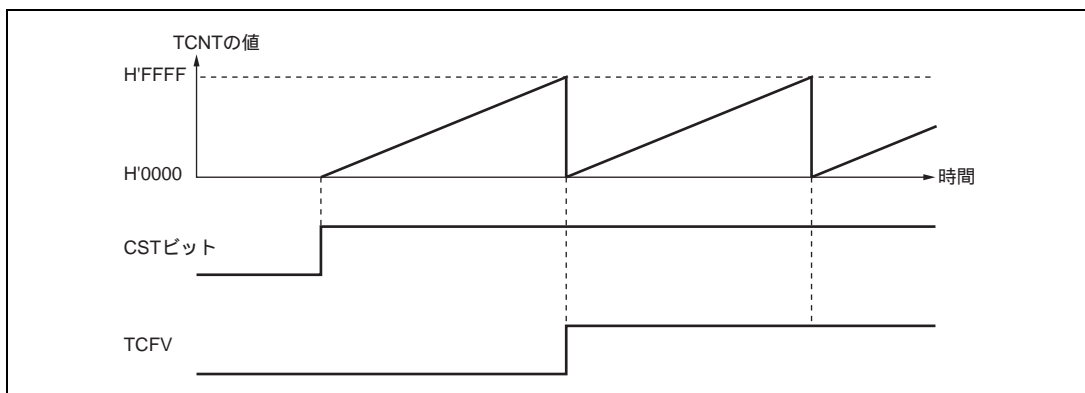


図 12.5 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 12.6 に示します。

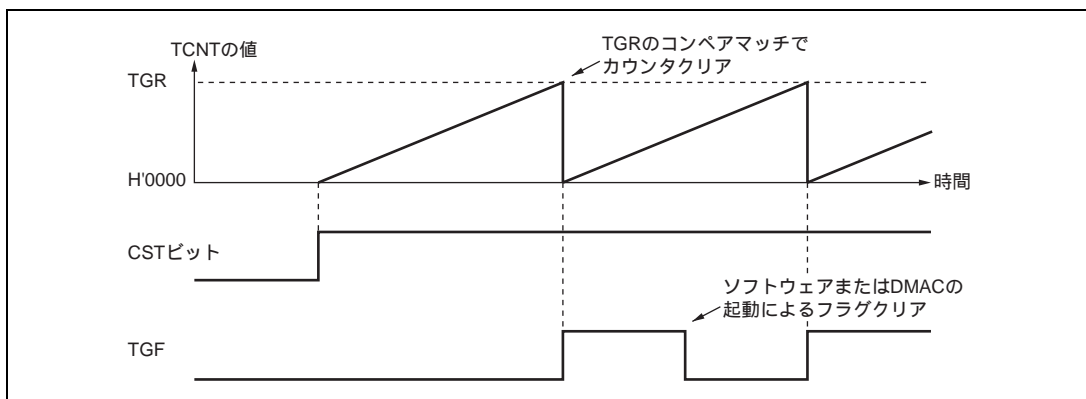


図 12.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTU2 は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 12.7 に示します。

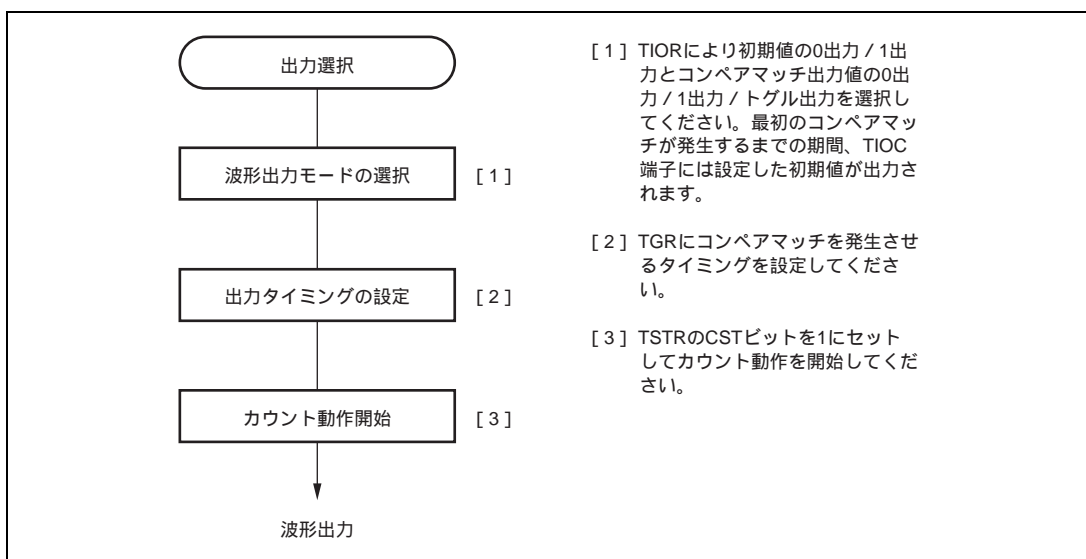


図 12.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 12.8 に示します。

TCNT をフリーランニングカウンタ動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

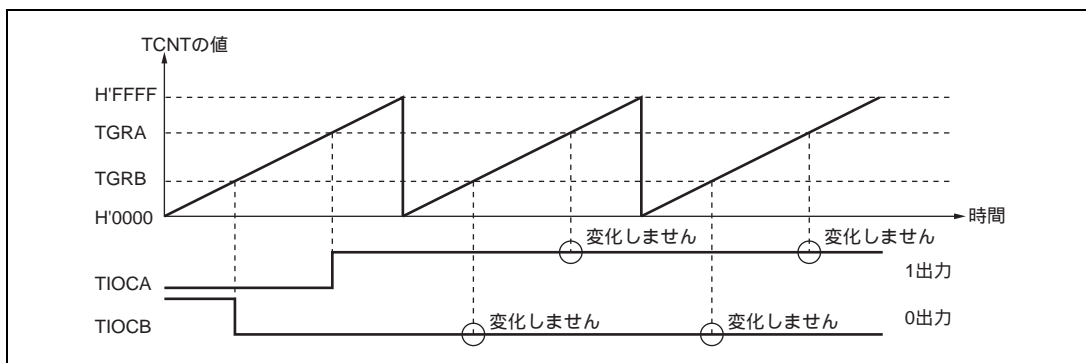


図 12.8 0 出力 / 1 出力の動作例

トグル出力の例を図 12.9 に示します。

TCNT を周期カウンタ動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B とともにトグル出力となるように設定した場合の例です。

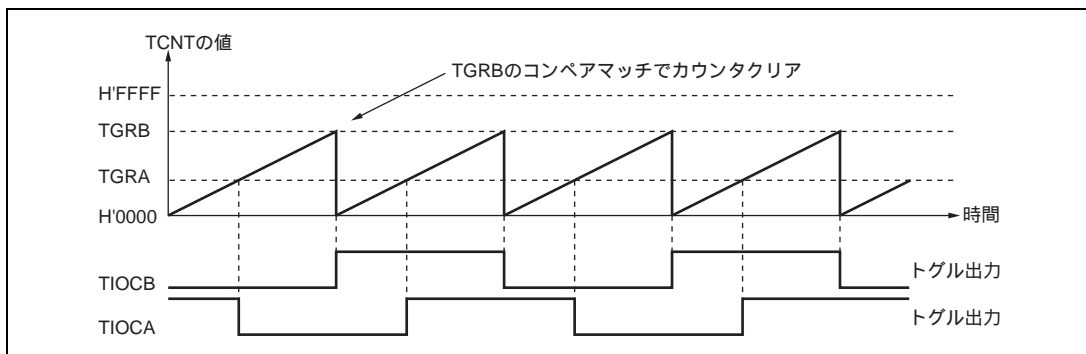


図 12.9 トグル出力の動作例

(3) インットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウンタ入力クロックをインットキャプチャ入力とする場合は、インットキャプチャ入力とするカウンタ入力クロックに P / 1 を選択しないでください。P / 1 を選択した場合は、インットキャプチャは発生しません。

(a) インットキャプチャ動作の設定手順例

インットキャプチャ動作の設定手順例を図 12.10 に示します。

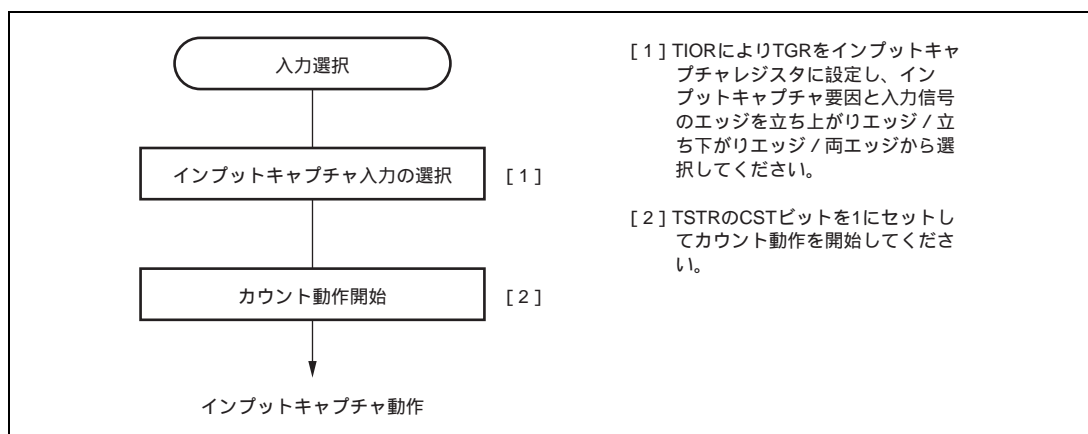


図 12.10 インットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 12.11 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

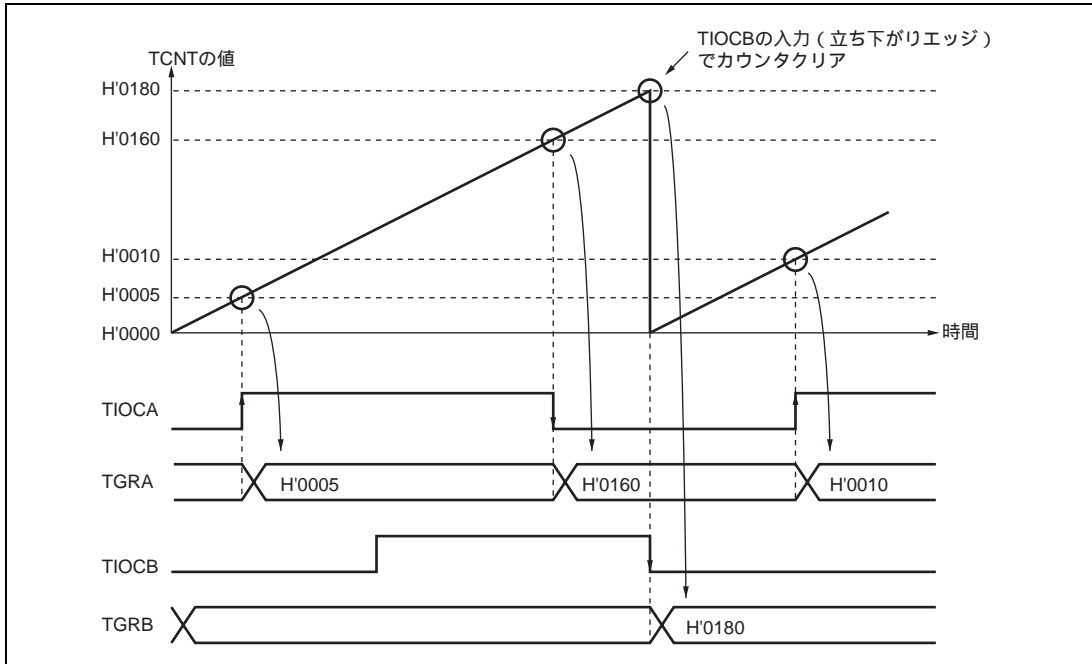


図 12.11 インพุットキャプチャ動作例

12.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0~4 はすべて同期動作の設定が可能です。

チャンネル 5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 12.12 に示します。

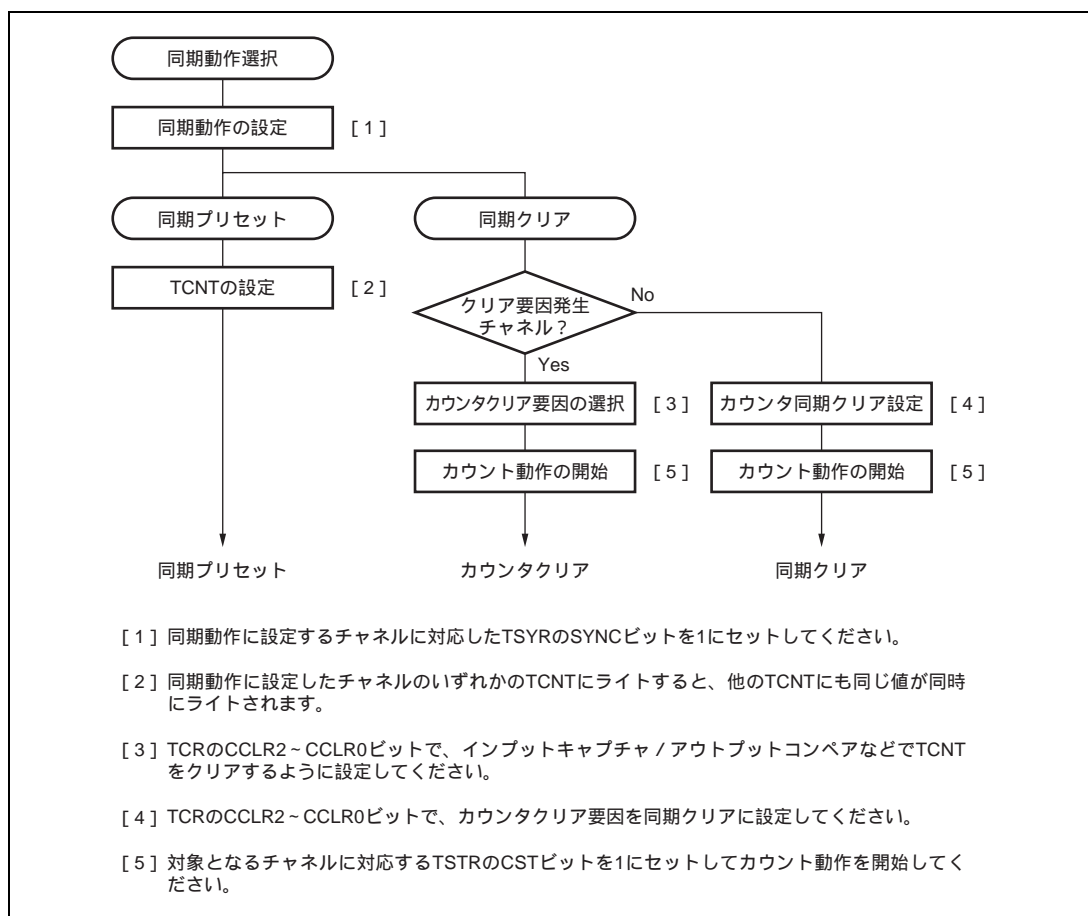


図 12.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 12.13 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「12.4.5 PWM モード」を参照してください。

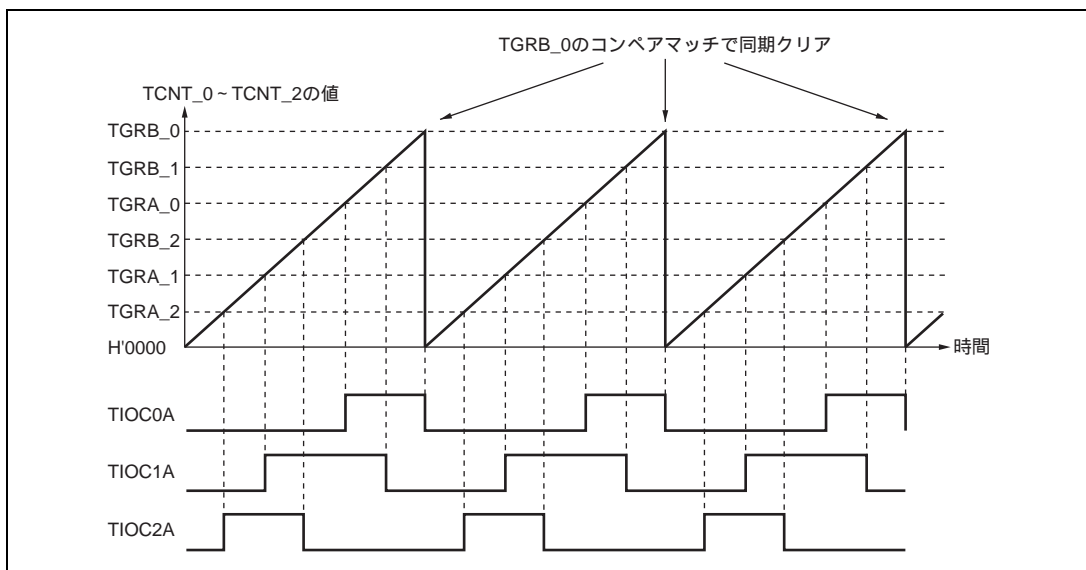


図 12.13 同期動作の動作例

12.4.3 バッファ動作

バッファ動作は、チャンネル 0、3、4 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。また、チャンネル 0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

【注】 TGRE_0 はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 12.43 にバッファ動作時のレジスタの組み合わせを示します。

表 12.43 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
	TGRE_0	TGRF_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 12.14 に示します。

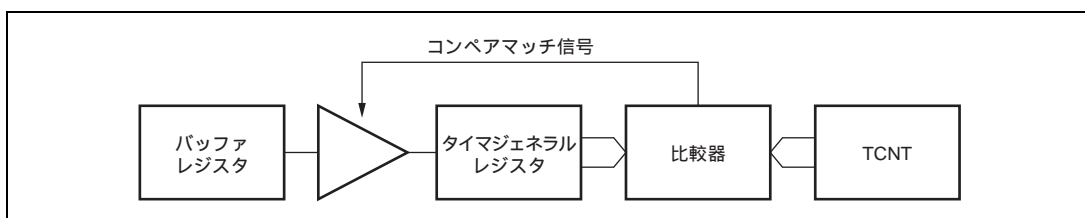


図 12.14 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 12.15 に示します。

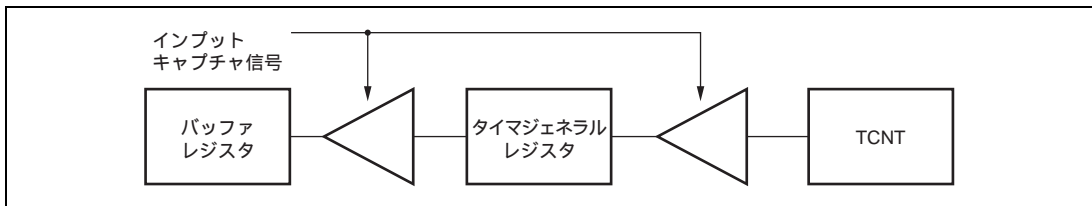


図 12.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 12.16 に示します。

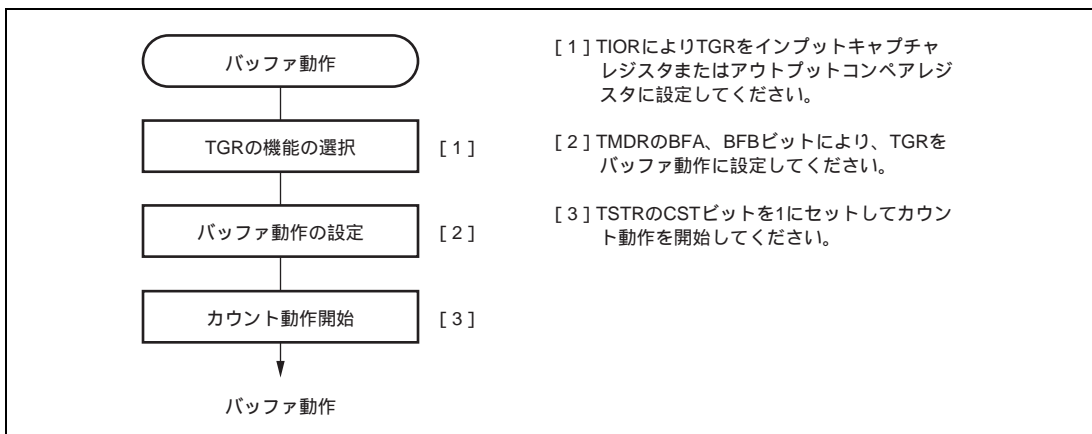


図 12.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 12.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、TBTM の TTSA ビットは 0 に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「12.4.5 PWM モード」を参照してください。

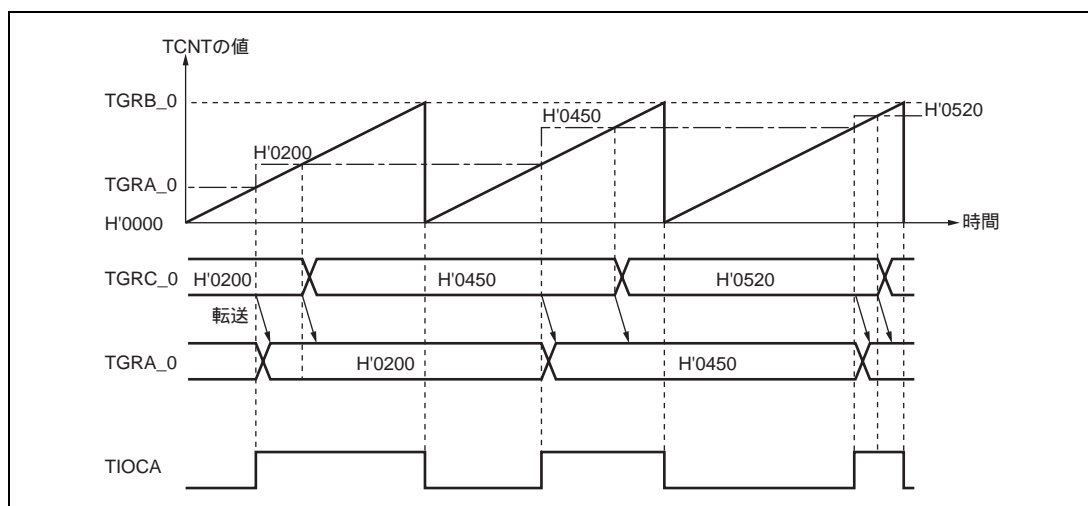


図 12.17 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 12.18 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

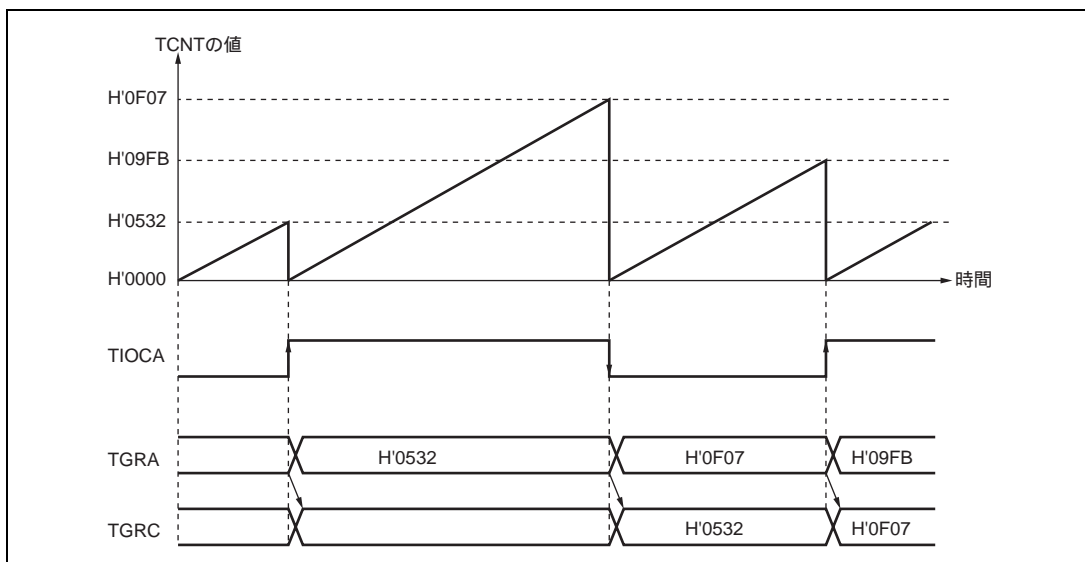


図 12.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (TBTM_0、TBTM_3、TBTM_4) を設定することで、チャンネル 0 では PWM モード 1、2 時の、チャンネル 3、4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (初期値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバーフローしたとき (H'FFFF H'0000)
- カウンタ動作中、TCNT に H'0000 がライトされたとき
- TCR の CCLR2 ~ CCLR0 ビットで設定したクリア要因で、TCNT が H'0000 になったとき

【注】 TBTM の設定は TCNT が停止した状態で行ってください。

チャンネル 0 を PWM モード 1 に設定し、TGRA_0 と TGRC_0 をバッファ動作に設定した場合の動作例を図 12.19 に示します。TCNT_0 はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力、TBTM_0 の TTSA ビットは 1 に設定しています。

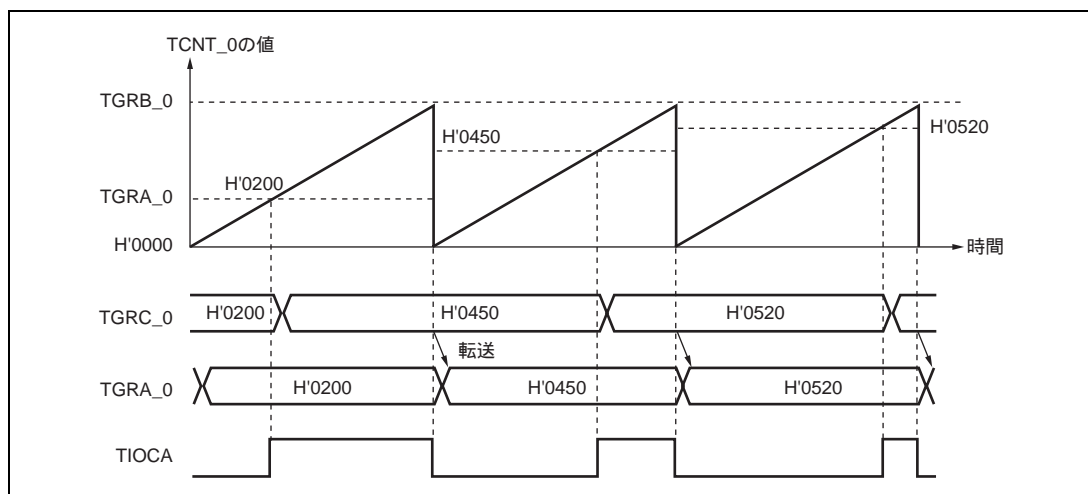


図 12.19 TGRC_0 から TGRA_0 のバッファ転送タイミングを TCNT_0 クリア時に選択した場合の動作例

12.4.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT_2 のオーバフロー / アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 12.44 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 12.44 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2

カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。カスケード接続時のインプットキャプチャについては「12.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。

TICCR 設定値とインプットキャプチャ入力端子の対応を表 12.45 に示します。

表 12.45 TICCR 設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
TCNT_1 から TGRA_1 への インプットキャプチャ	I2AE ビット = 0 (初期値)	TIOC1A
	I2AE ビット = 1	TIOC1A、TIOC2A
TCNT_1 から TGRB_1 への インプットキャプチャ	I2BE ビット = 0 (初期値)	TIOC1B
	I2BE ビット = 1	TIOC1B、TIOC2B
TCNT_2 から TGRA_2 への インプットキャプチャ	I1AE ビット = 0 (初期値)	TIOC2A
	I1AE ビット = 1	TIOC2A、TIOC1A
TCNT_2 から TGRB_2 への インプットキャプチャ	I1BE ビット = 0 (初期値)	TIOC2B
	I1BE ビット = 1	TIOC2B、TIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 12.20 に示します。

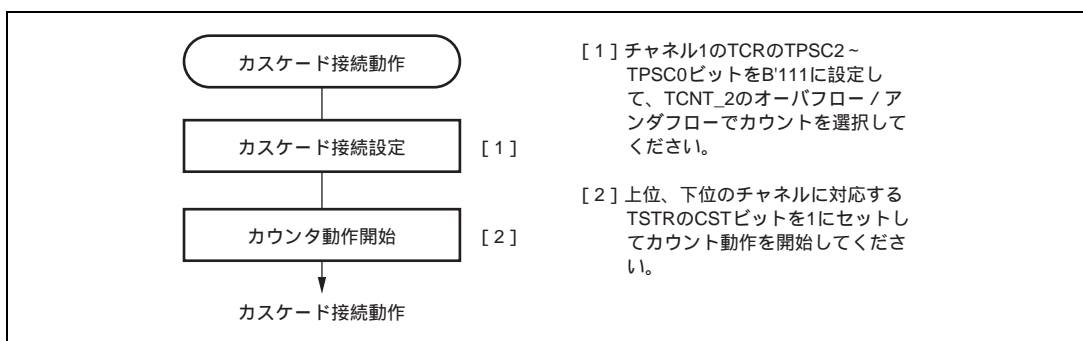


図 12.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

TCNT_1 は TCNT_2 のオーバーフロー / アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 12.21 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

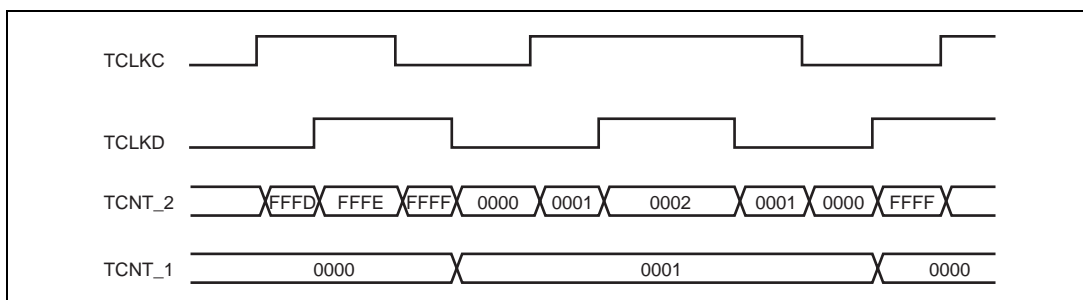


図 12.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加した場合の動作を図 12.22 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、(TIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOC1A と TIOC2A の両方の立ち上がりエッジが TGRA_1 の入力キャプチャ条件に設定されます。また、TGRA_2 の入力キャプチャ条件は TIOC2A の立ち上がりエッジとなります。

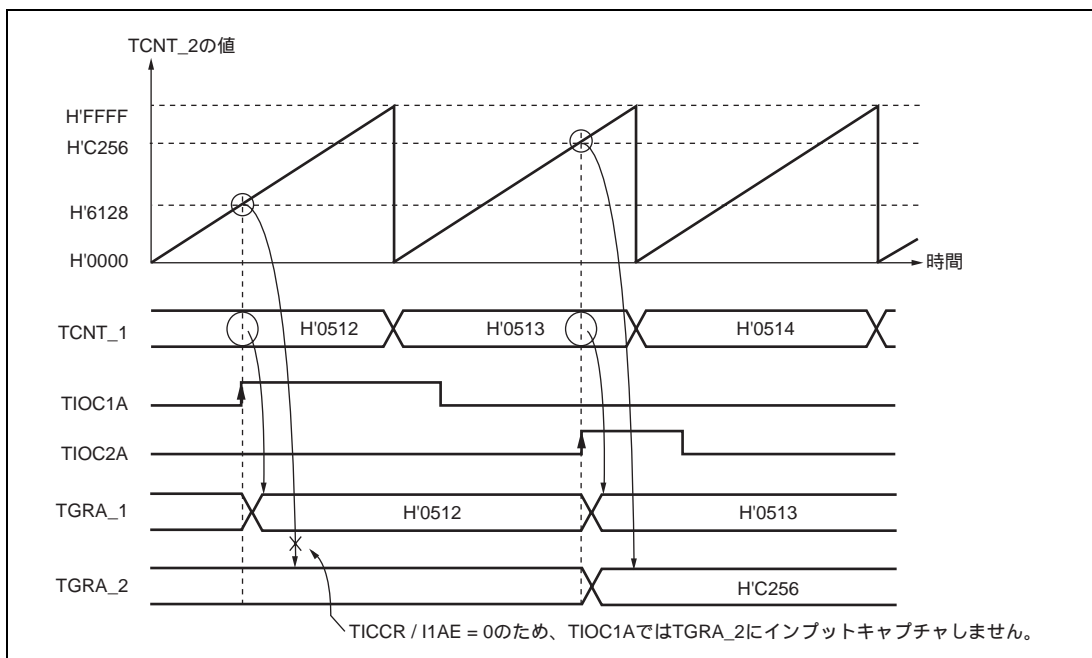


図 12.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットと I1AE に 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加し、TIOC1A 端子を TGRA_2 の入力キャプチャ条件に追加した場合の動作を図 12.23 に示します。この例では TIOR_1、TIOR_2 の IOA0 ~ IOA3 の設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、TIOC1A と TIOC2A 入力の OR が TGRA_1 および TGRA_2 の入力キャプチャ条件となります。

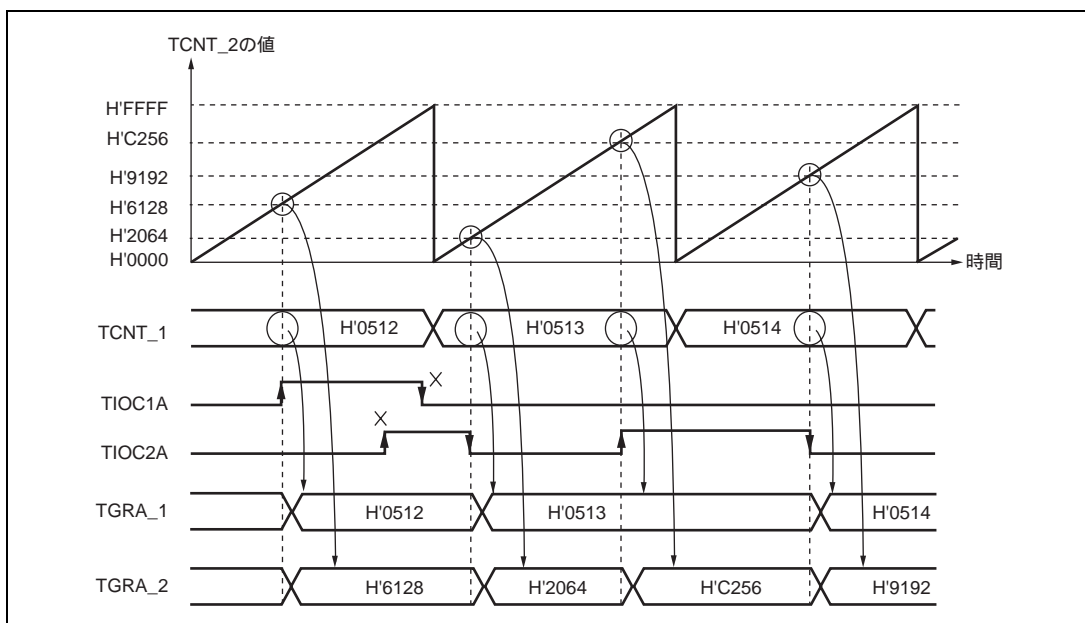


図 12.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加した場合の動作を図 12.24 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、TGRA_0 のコンペアマッチ / 入力キャプチャの発生で入力キャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOR_1 の設定が TGRA_0 のコンペアマッチ / 入力キャプチャの発生で入力キャプチャのため、TICCR の I2AE ビットを 1 にセットしても TIOC2A のエッジが TGRA_1 の入力キャプチャ条件になることはありません。

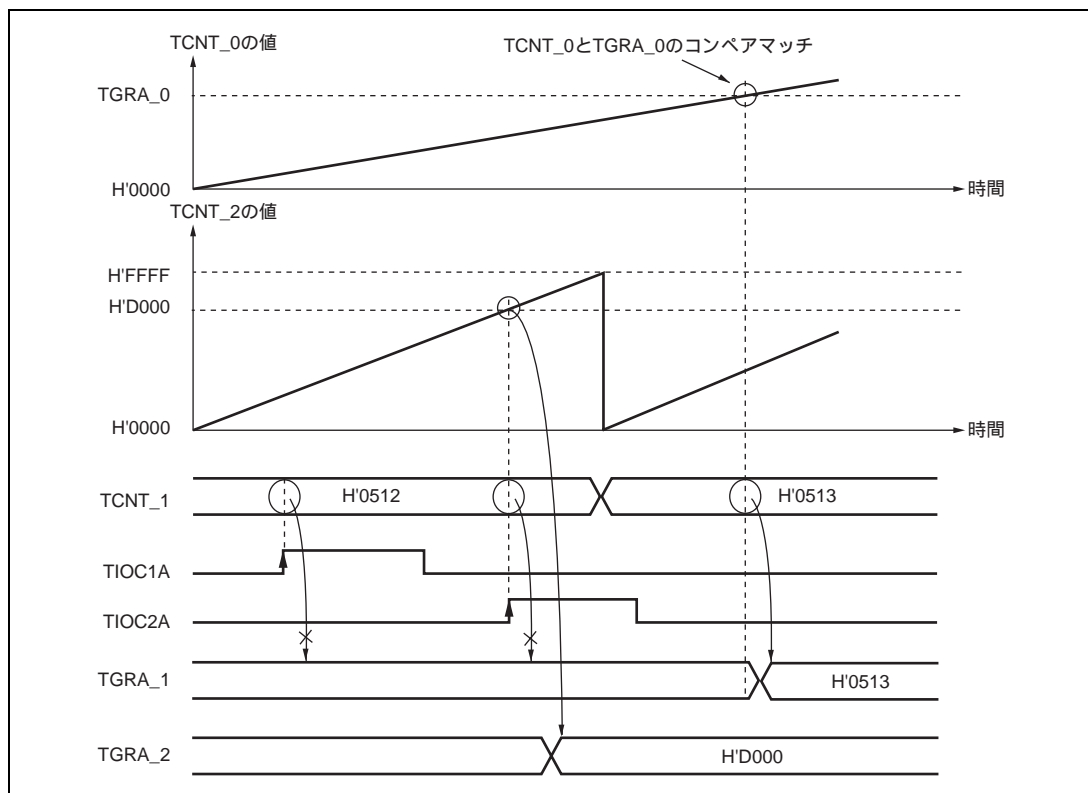


図 12.24 カスケード接続動作例 (d)

12.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 12.46 に示します。

表 12.46 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3		
	TGRC_3	TIOC3C	
	TGRD_3		
4	TGRA_4	TIOC4A	
	TGRB_4		
	TGRC_4	TIOC4C	
	TGRD_4		

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

PWM モードの設定手順例

PWM モードの設定手順例を図 12.25 に示します。

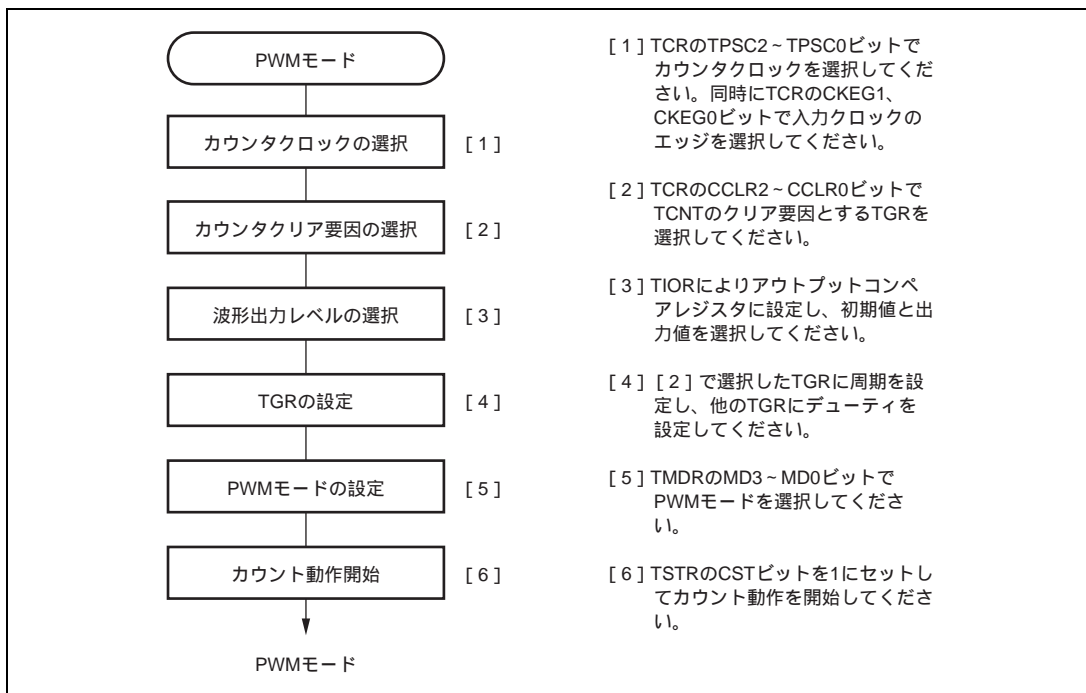


図 12.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 12.26 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

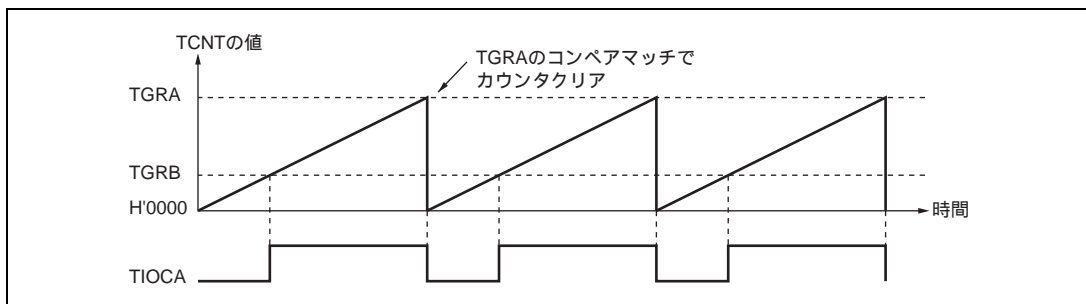


図 12.26 PWM モードの動作例

PWM モード 2 の動作例を図 12.27 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

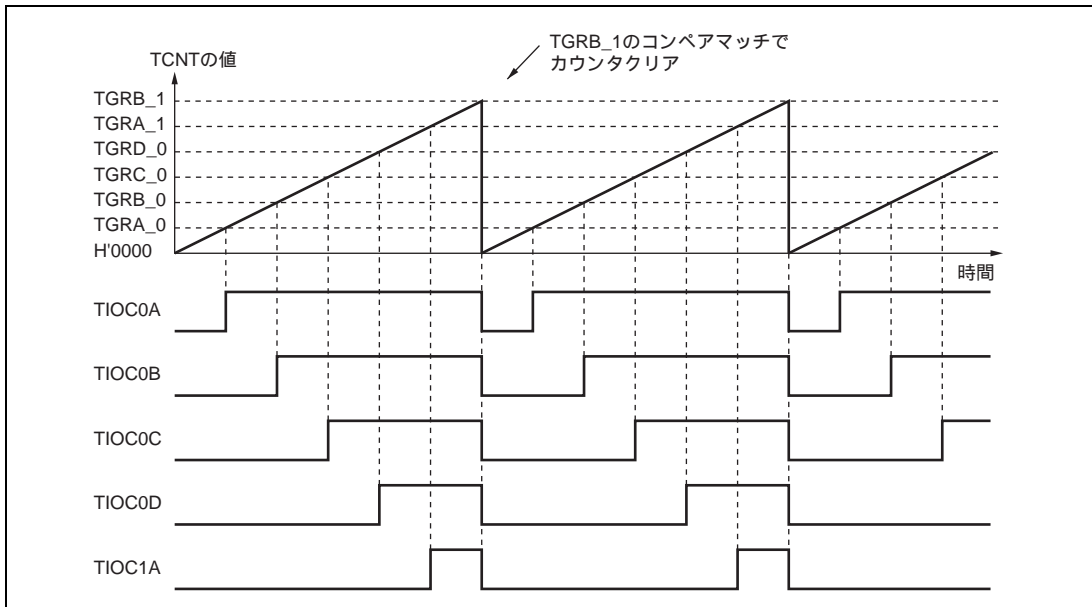


図 12.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 12.28 に示します。

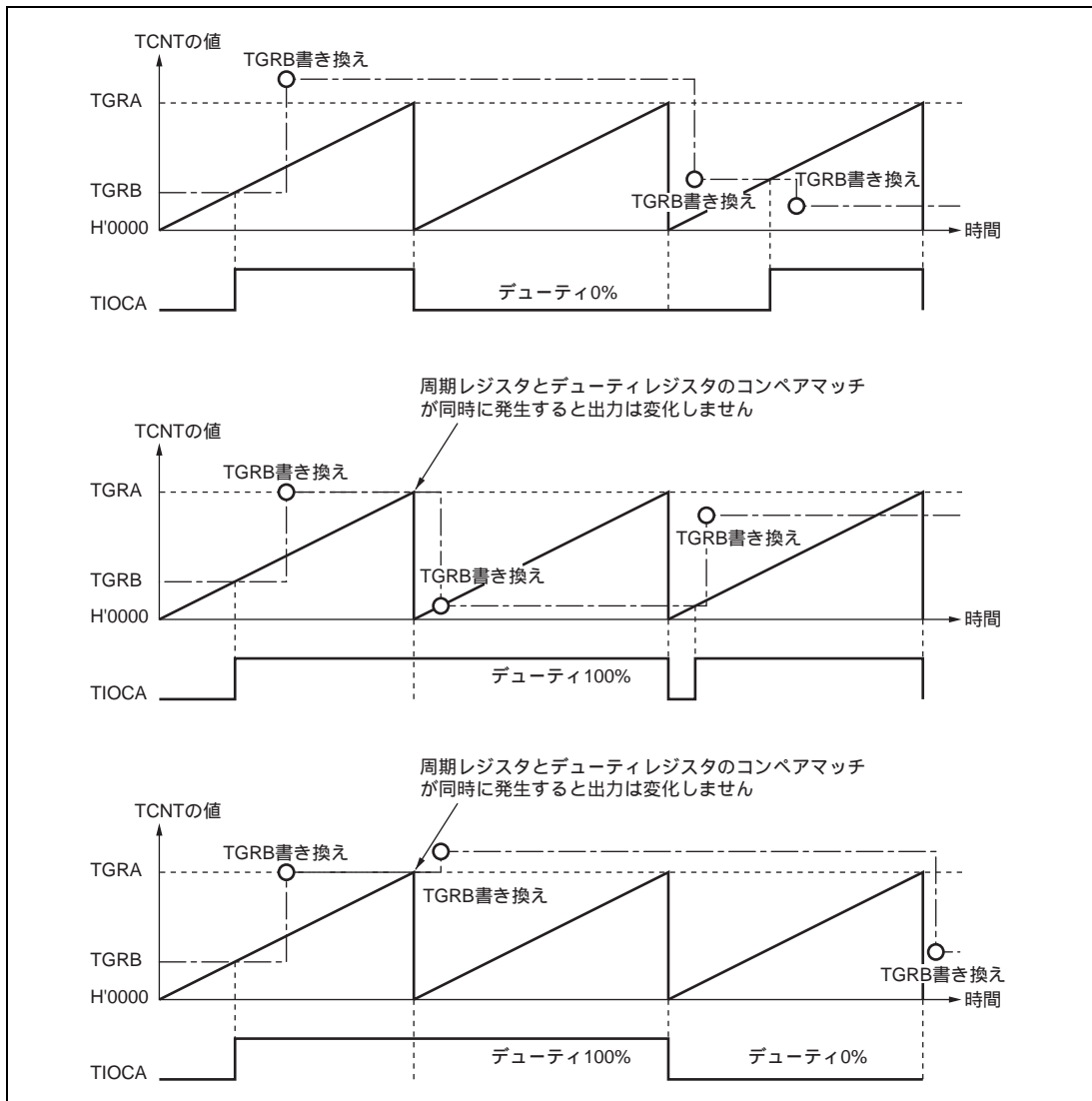


図 12.28 PWM モード動作例

12.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 12.47 に外部クロック端子とチャンネルの対応を示します。

表 12.47 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 12.29 に示します。

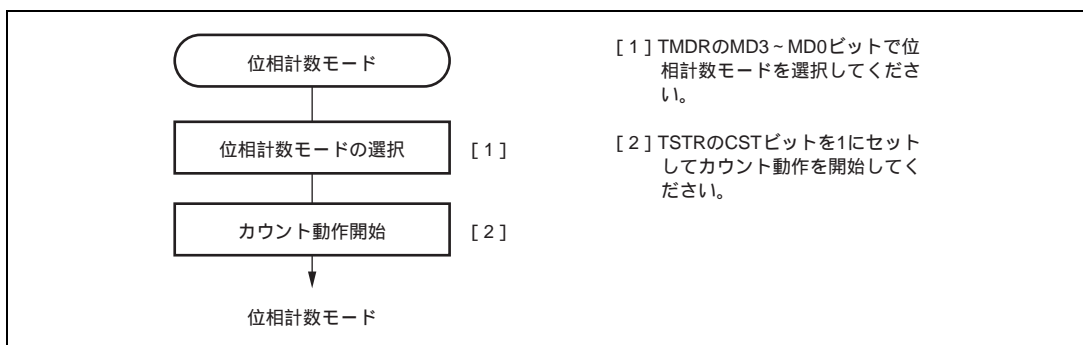


図 12.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4 つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 12.30 に、TCNT のアップ/ダウンカウント条件を表 12.48 に示します。

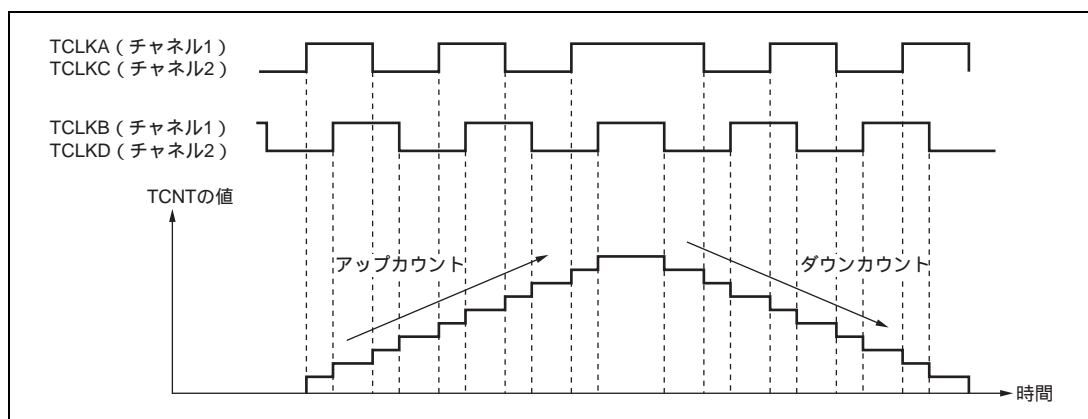


図 12.30 位相計数モード 1 の動作例

表 12.48 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 12.31 に、TCNT のアップ / ダウンカウント条件を表 12.49 に示します。

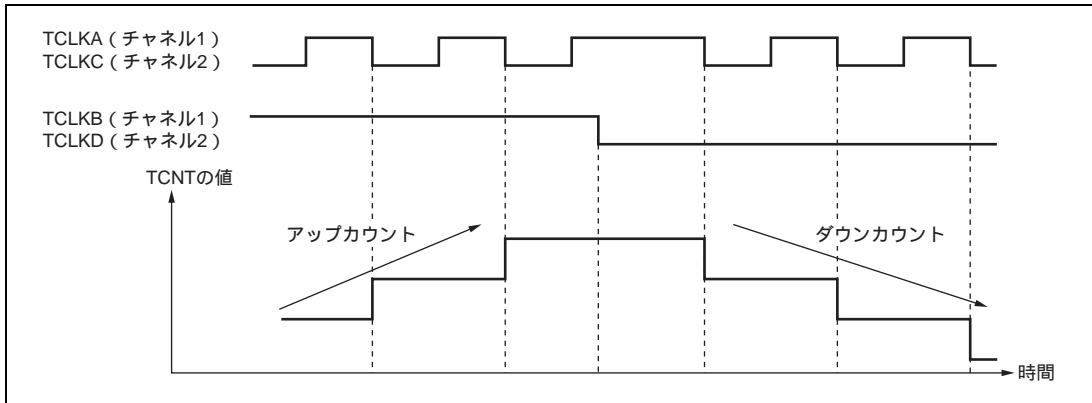


図 12.31 位相計数モード 2 の動作例

表 12.49 位相計数モード 2 のアップ / ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	カウントしない (Don't care)
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 12.32 に、TCNT のアップ/ダウンカウント条件を表 12.50 に示します。

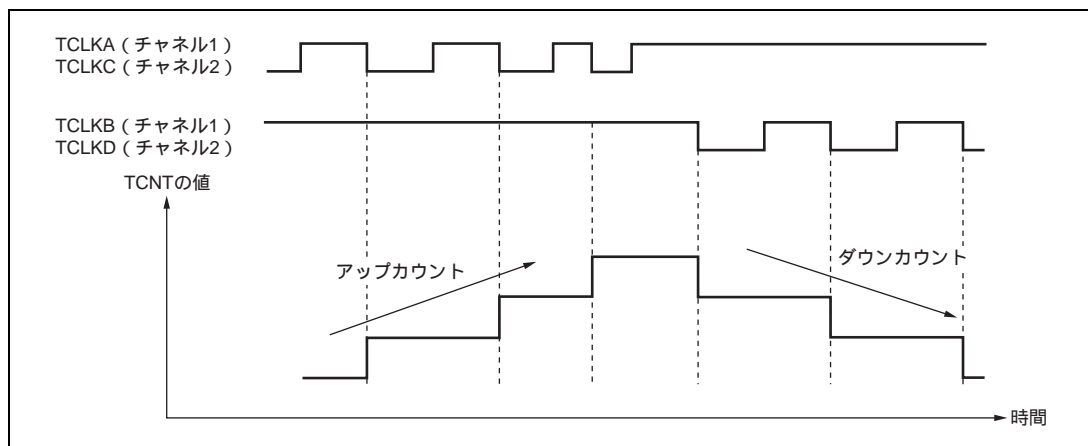


図 12.32 位相計数モード 3 の動作例

表 12.50 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	\uparrow	カウントしない (Don't care)
Low レベル	\downarrow	カウントしない (Don't care)
\uparrow	Low レベル	カウントしない (Don't care)
\downarrow	High レベル	アップカウント
High レベル	\downarrow	ダウンカウント
Low レベル	\uparrow	カウントしない (Don't care)
\uparrow	High レベル	カウントしない (Don't care)
\downarrow	Low レベル	カウントしない (Don't care)

【記号説明】

\uparrow : 立ち上がりエッジ

\downarrow : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 12.33 に、TCNT のアップ / ダウンカウント条件を表 12.51 に示します。

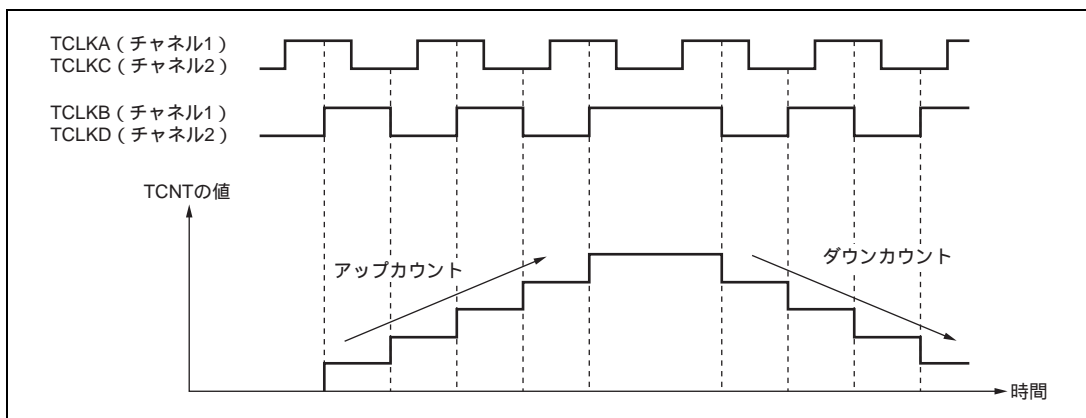


図 12.33 位相計数モード 4 の動作例

表 12.51 位相計数モード 4 のアップ / ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 12.34 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は TCNT を TGRC_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA_0 と TGRC_0 はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0 は入力キャプチャ機能で使用し、TGRB_0 と TGRD_0 をバッファ動作させます。TGRB_0 の入力キャプチャ要因は、チャンネル 1 のカウンタ入力クロックとし、2 相エンコーダの 4 週倍パルスのパルス幅を検出します。

チャンネル 1 の TGRA_1 と TGRB_1 は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル 0 の TGRA_0 と TGRC_0 のコンペアマッチを選択し、それぞれの制御周期時のアップ / ダウンカウンタの値を格納します。

これにより、正確な位置 / 速度検出を行うことができます。

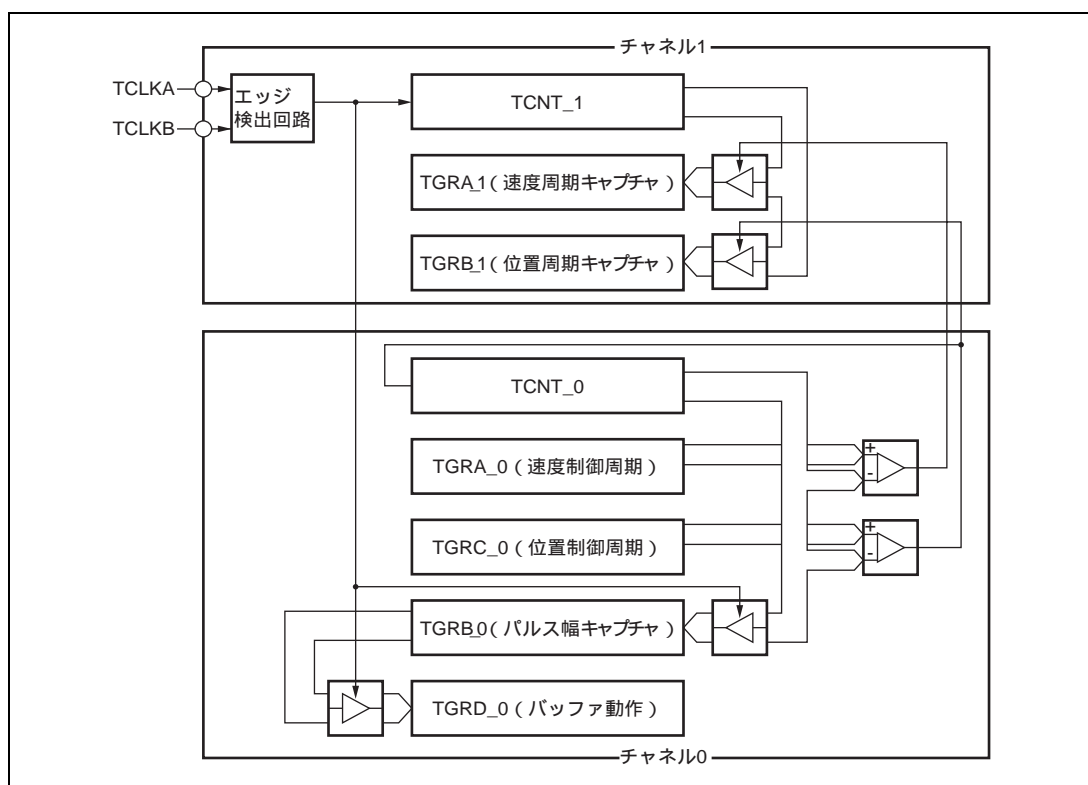


図 12.34 位相計数モードの応用例

12.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形 (正相・逆相) を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT_3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 12.52 に、使用するレジスタの設定を表 12.53 に示します。

表 12.52 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 12.53 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 12.35 に示します。

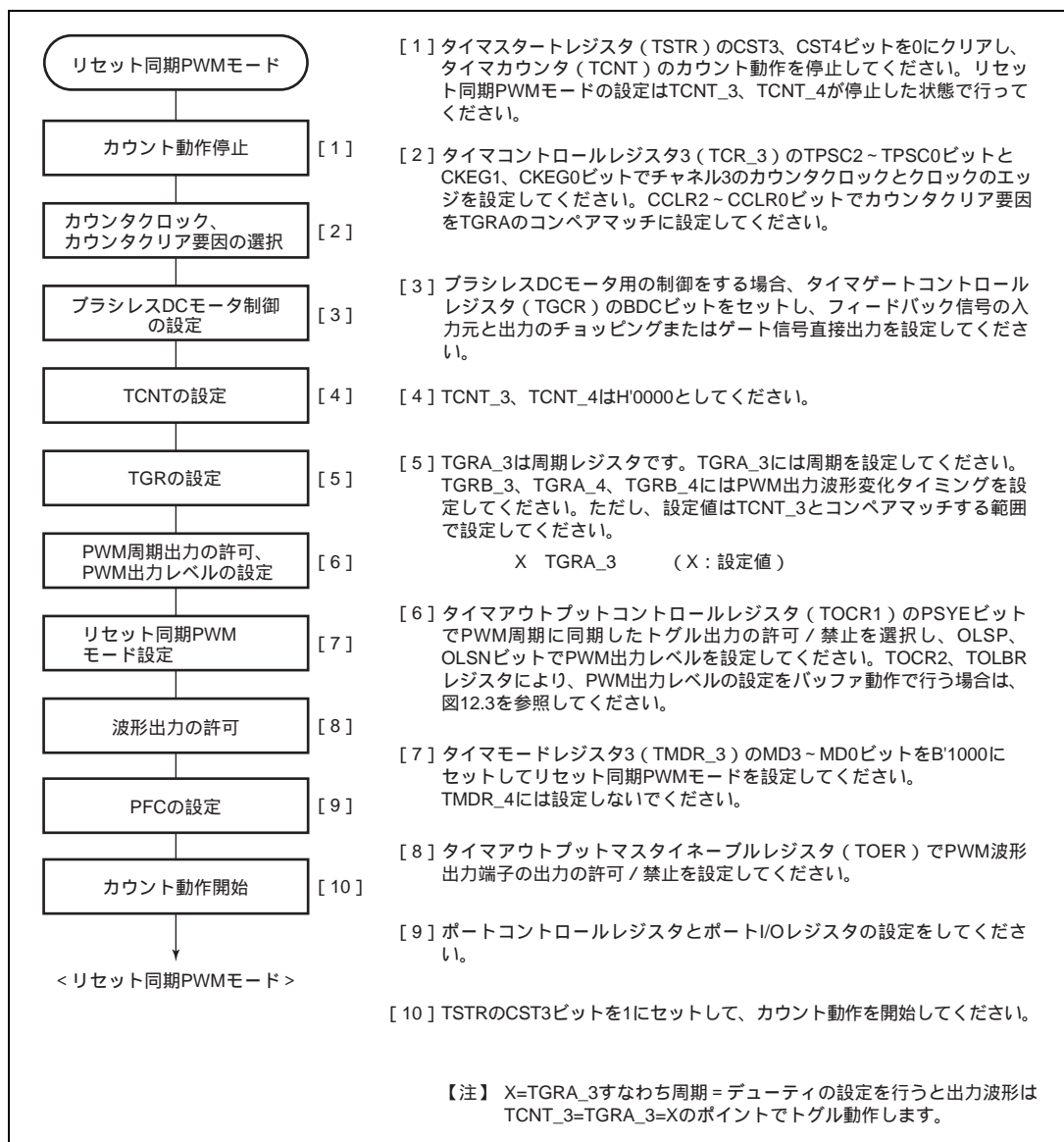


図 12.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 12.36 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

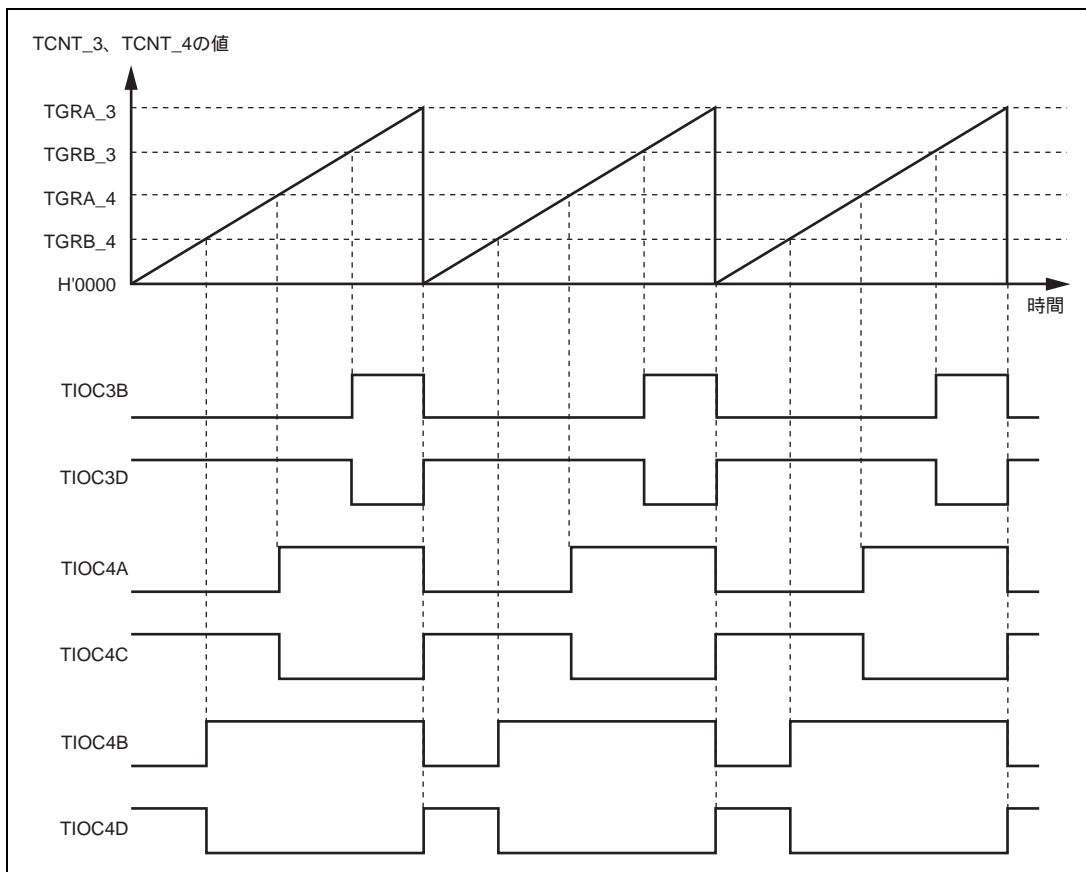


図 12.36 リセット同期 PWM モードの動作例 (TOCR の OLSN = 1、OLSP = 1 に設定した場合)

12.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 12.54 に、使用するレジスタの設定を表 12.55 に示します。

表 12.54 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

【注】 * TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 12.55 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ / レジスタ	説明	CPU からの読み出し / 書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	TRWER の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し / 書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し / 書き込み可能

チャンネル	カウンタ / レジスタ	説明	CPU からの 読み出し / 書き込み
タイマデッドタイムデータレジスタ (TDDR)		TCNT_4 と TCNT_3 のオフセット値(デッドタイムの値)を設定	TRWER の設定*によりマスク可能
タイマ周期データレジスタ (TCDR)		TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	TRWER の設定*によりマスク可能
タイマ周期バッファレジスタ (TCBR)		TCDR のバッファレジスタ	常に読み出し / 書き込み可能
サブカウンタ (TCNTS)		デッドタイム生成のためのサブカウンタ	読み出しのみ可能
テンポラリレジスタ 1 (TEMP1)		PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し / 書き込み不可
テンポラリレジスタ 2 (TEMP2)		PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し / 書き込み不可
テンポラリレジスタ 3 (TEMP3)		PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し / 書き込み不可

【注】 * TRWER (タイマリードライトイネーブルレジスタ) の設定によりアクセスの許可 / 禁止が可能です。

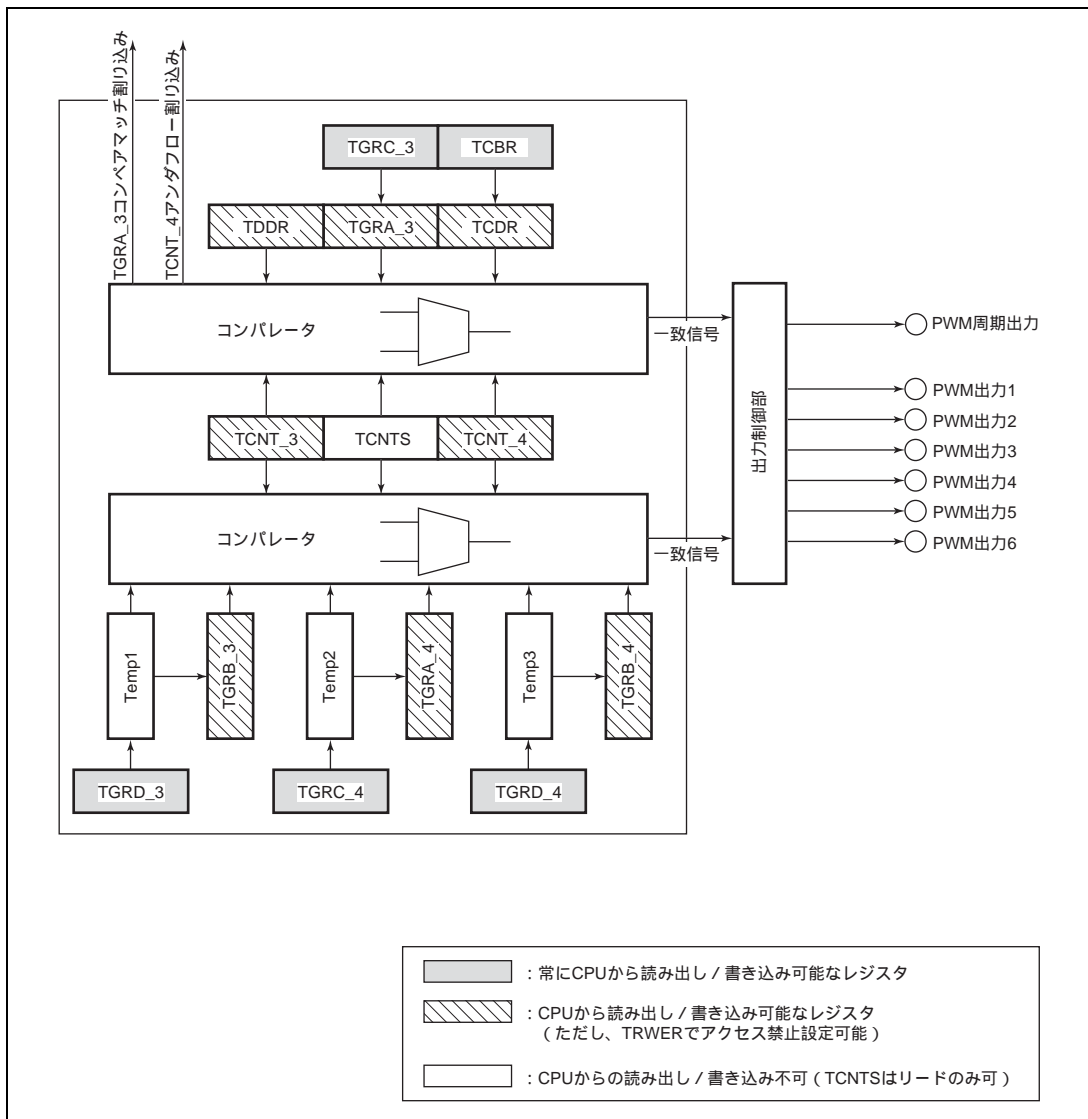


図 12.37 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 12.38 に示します。



図 12.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 12.39 に相補 PWM モードのカウンタの動作を示します。図 12.40 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り替わります。その後、TDDR と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り替わります。この後、H'0000 と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCDR と一致するとダウンカウントを開始し、TCNTS が TCDR と一致するとアップカウントに切り替わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り替わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

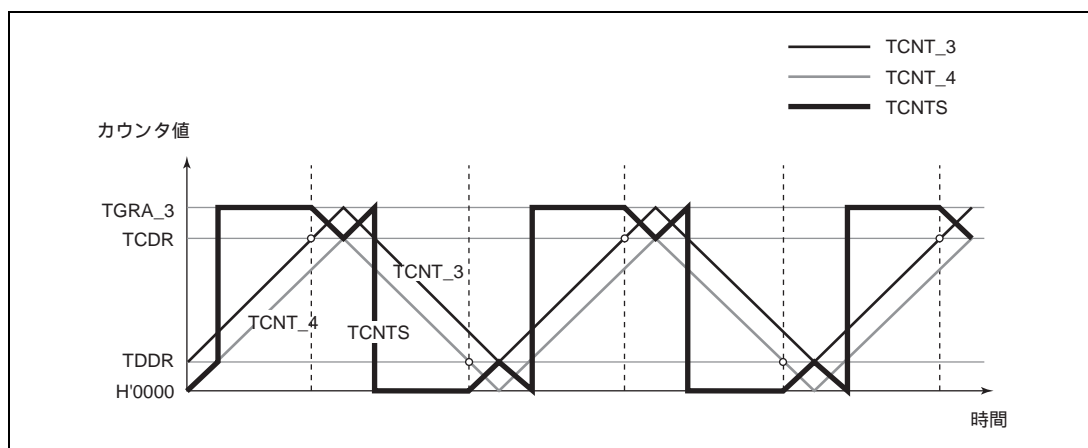


図 12.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 12.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し / 書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで選択できます。図 12.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 12.40 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

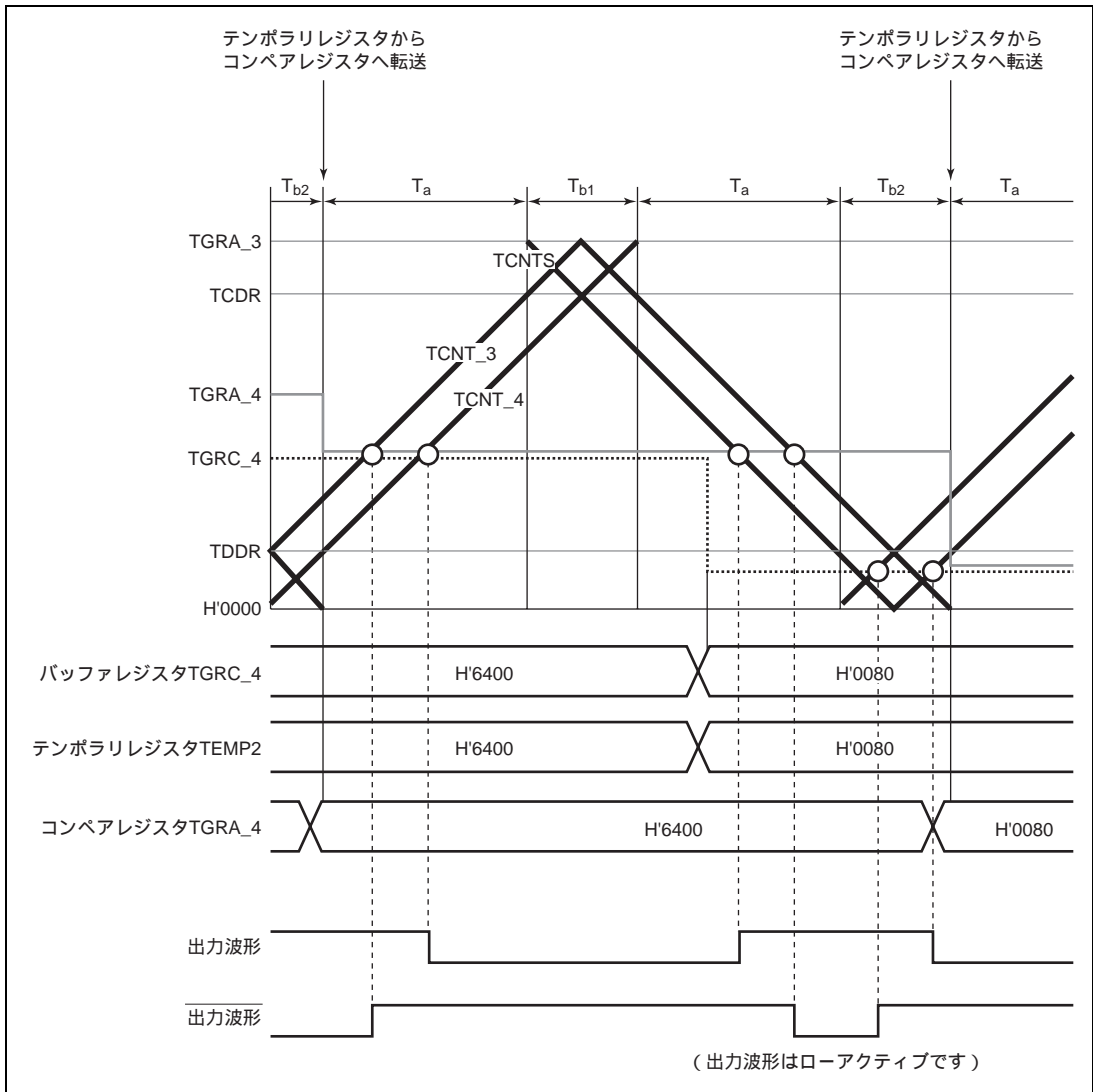


図 12.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定の必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります (デッドタイムを生成しない場合のみ設定してください)。

タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRA_3 のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定し、TGRC_3、TGRA_3 には、PWM キャリア周期の $1/2 + 1$ を、TDDR には 1 を設定します。

バッファレジスタ TGRD_3、TGRC_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 12.56 初期設定の必要なレジスタとカウンタ

レジスタ / カウンタ	設定値
TGRC_3	PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ (TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2 + 1$)
TDDR	デッドタイム T_d (TDER でデッドタイム生成をなしに設定した場合 1)
TCBR	PWM キャリア周期の $1/2$
TGRD_3、TGRC_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の $1/2$ の値と TDDR に設定するデッドタイム T_d の値の和としてください。ただし、TDER でデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2 + 1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定します。TDER は、TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたときのみ、0 に設定できません。

TGRA_3、TGRC_3 には PWM キャリア周期の $1/2+1$ を設定し、タイマデッドタイムデータレジスタ (TDDR) には 1 を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 12.41 にデッドタイムを生成しない場合の動作例を示します。

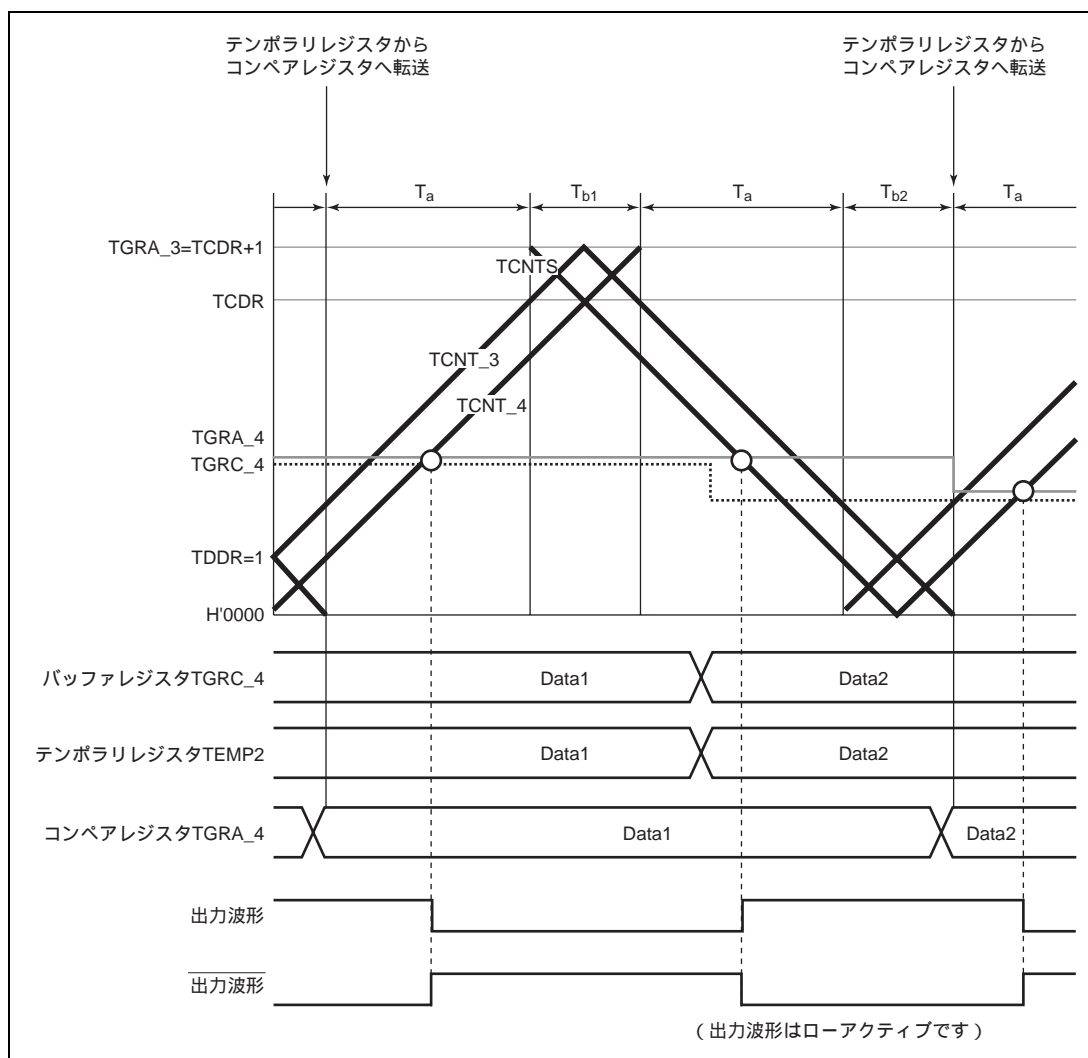


図 12.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : $TGRA_3 \text{ の設定値} = TCDR \text{ の設定値} + TDDR \text{ の設定値}$

デッドタイム生成なし : $TGRA_3 \text{ の設定値} = TCDR \text{ の設定値} + 1$

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 12.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

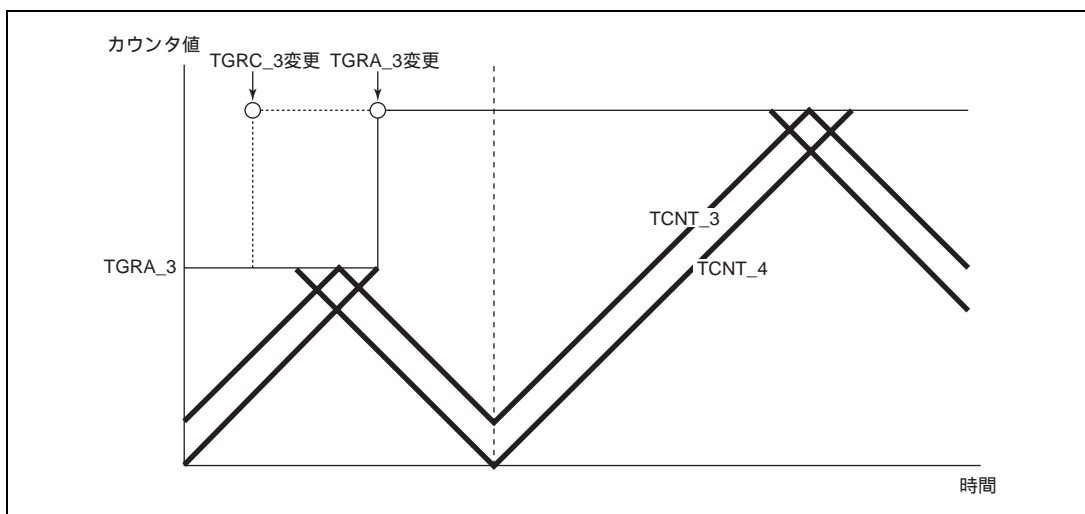


図 12.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 12.43 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

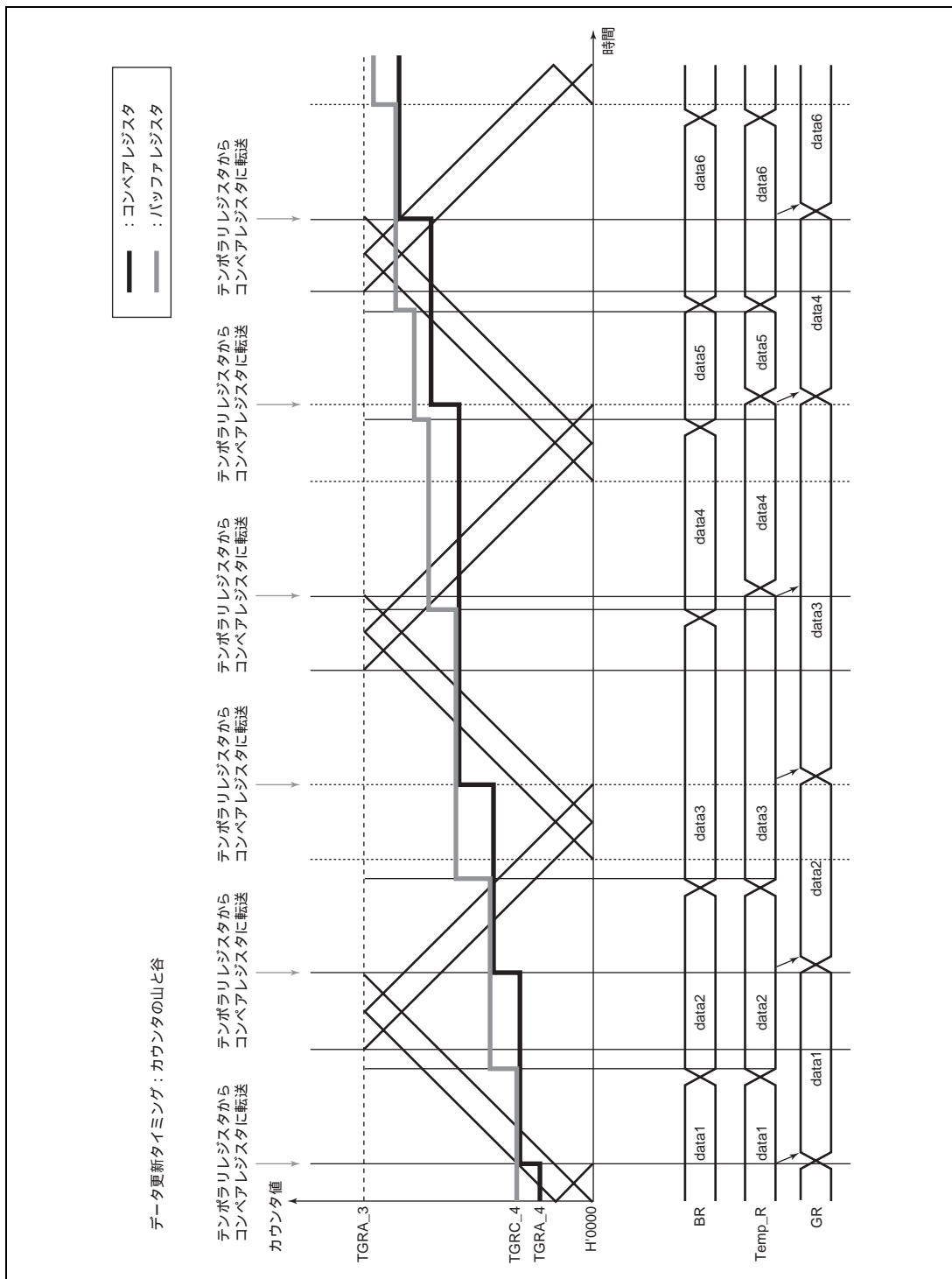


図 12.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 12.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 12.45 に示します。

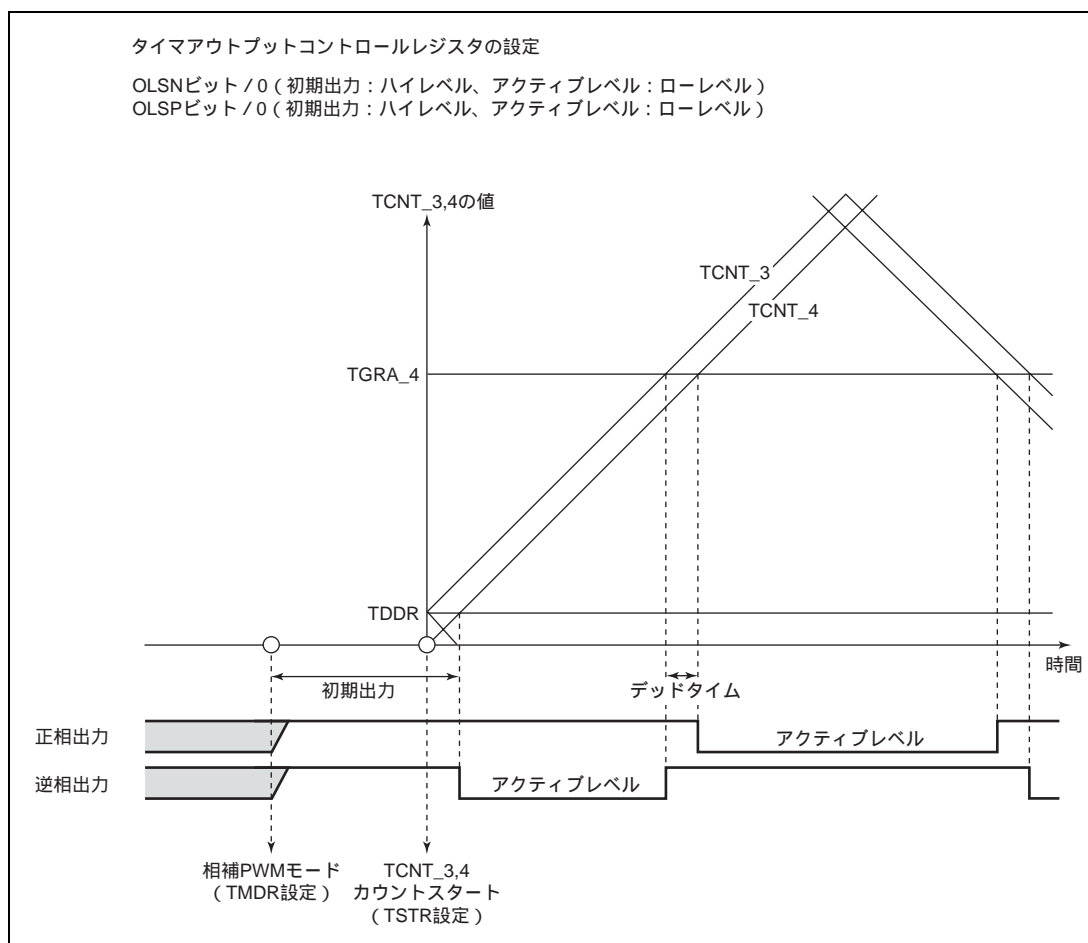


図 12.44 相補 PWM モードの初期出力例 (1)

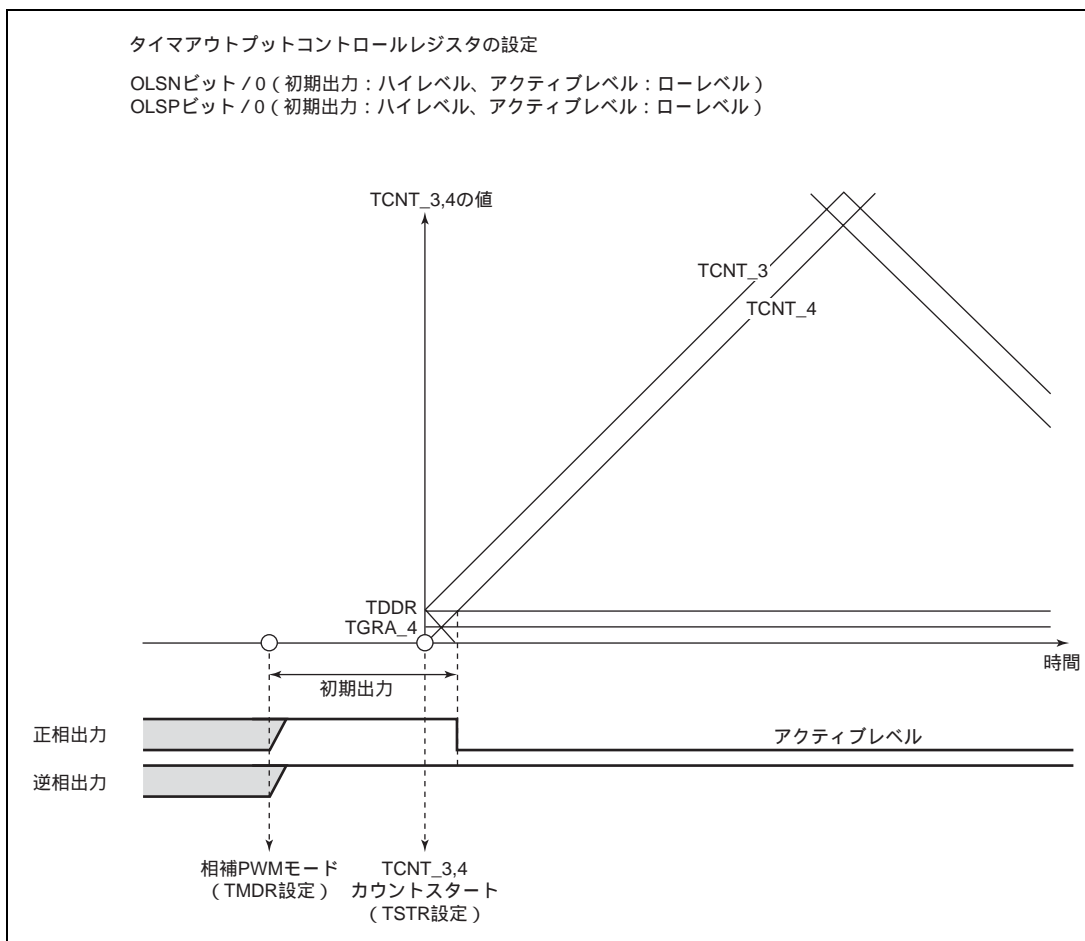


図 12.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとデータレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、データレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 12.46 ~ 図 12.48 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 12.46 に示すように通常の場合のコンペアマッチは、a b c d (または c d a' b') の順番で発生します。

コンペアマッチが a b c d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c d a' b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 12.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を OFF します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 12.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

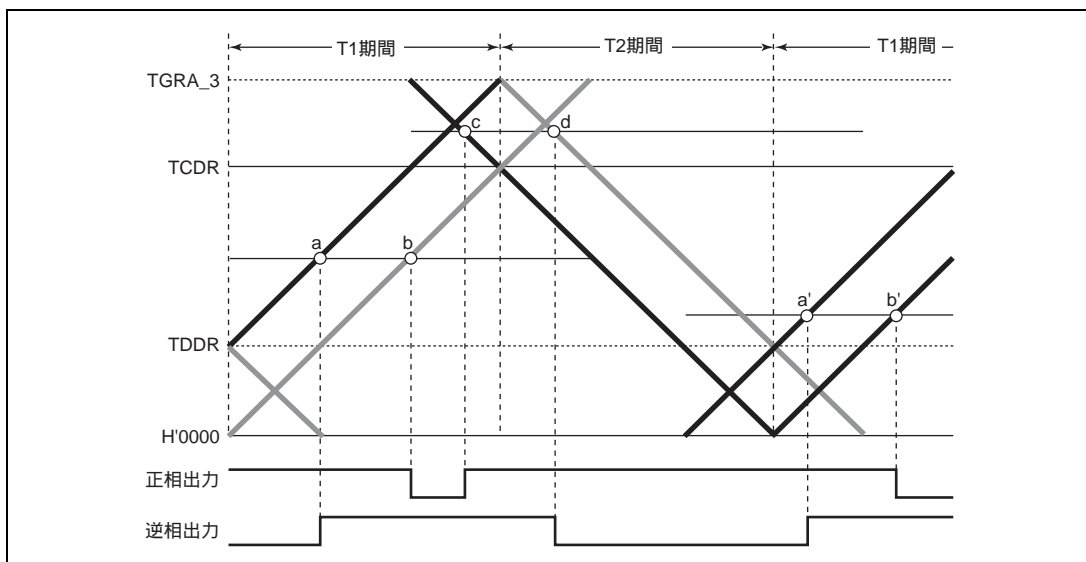


図 12.46 相補 PWM モード波形出力例 (1)

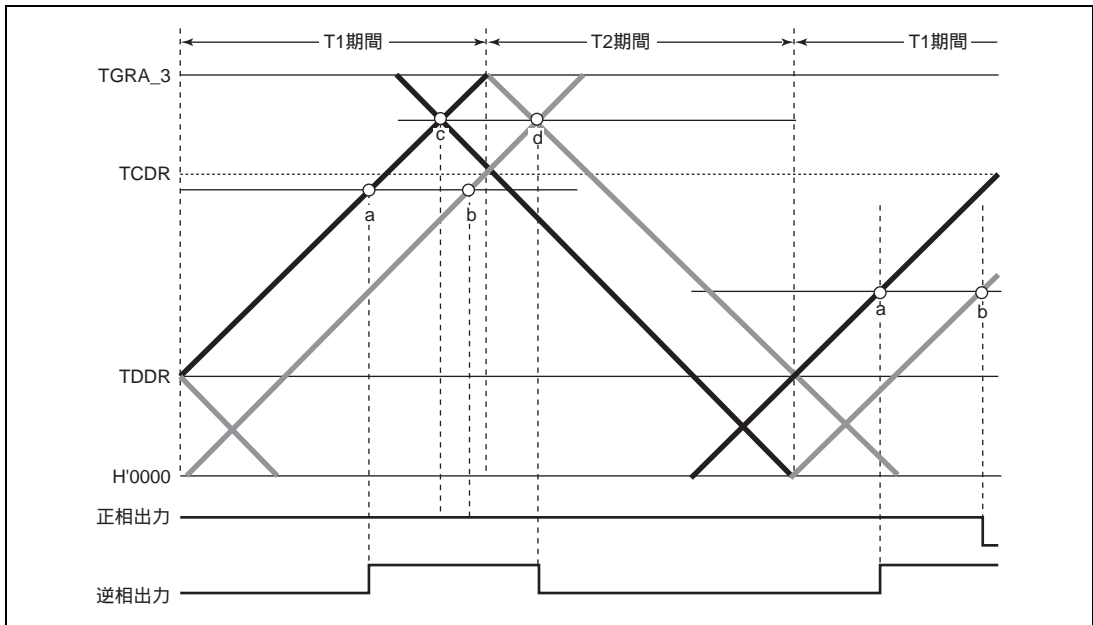


図 12.47 相補 PWM モード波形出力例 (2)

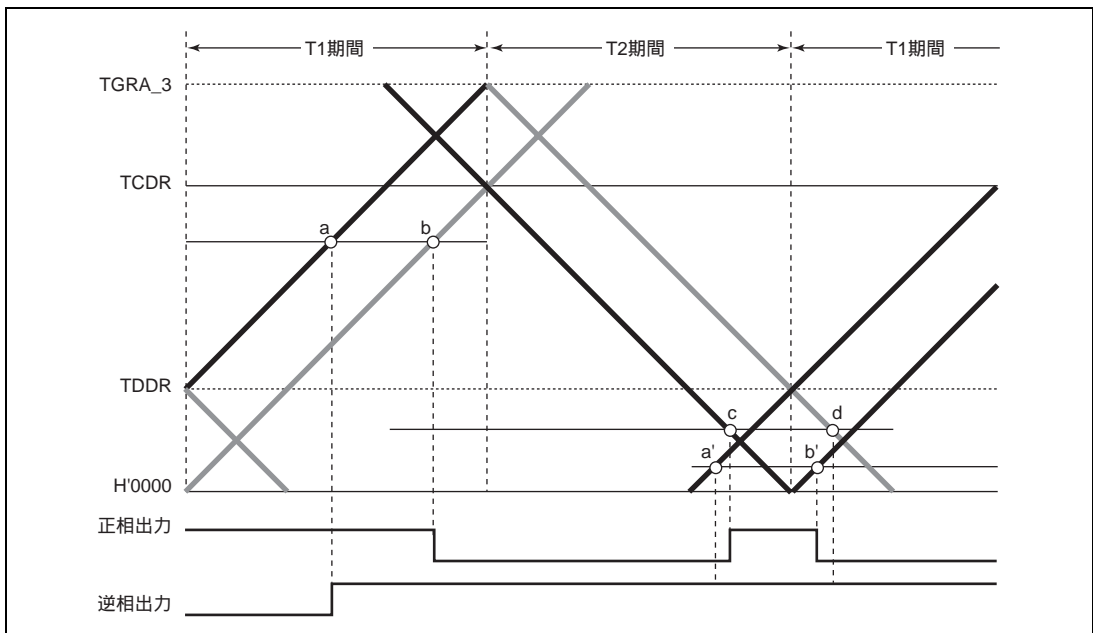


図 12.48 相補 PWM モード波形出力例 (3)

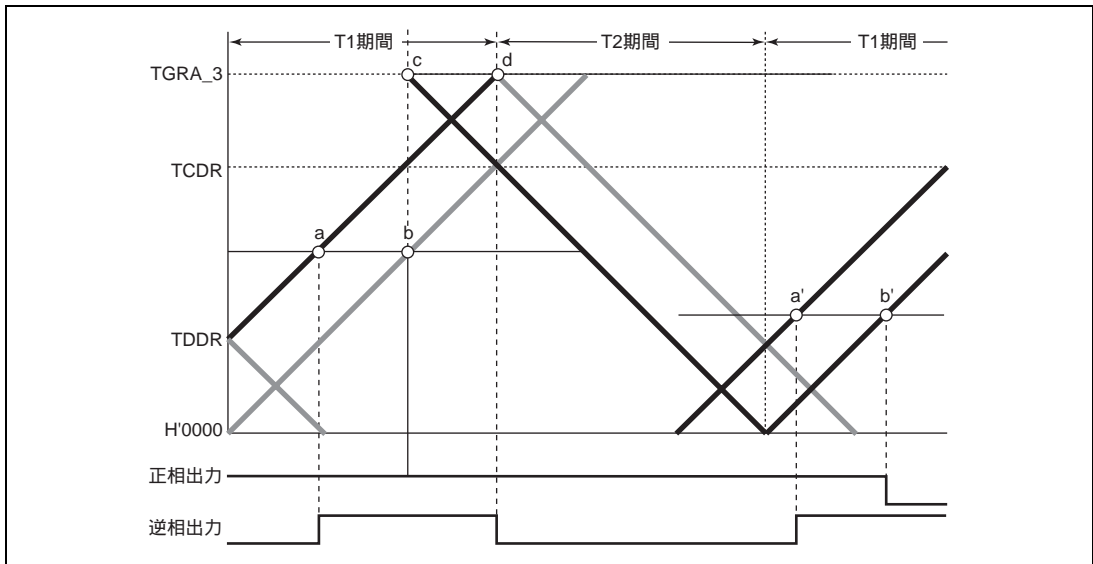


図 12.49 相補 PWM モード 0%、100%波形出力例 (1)

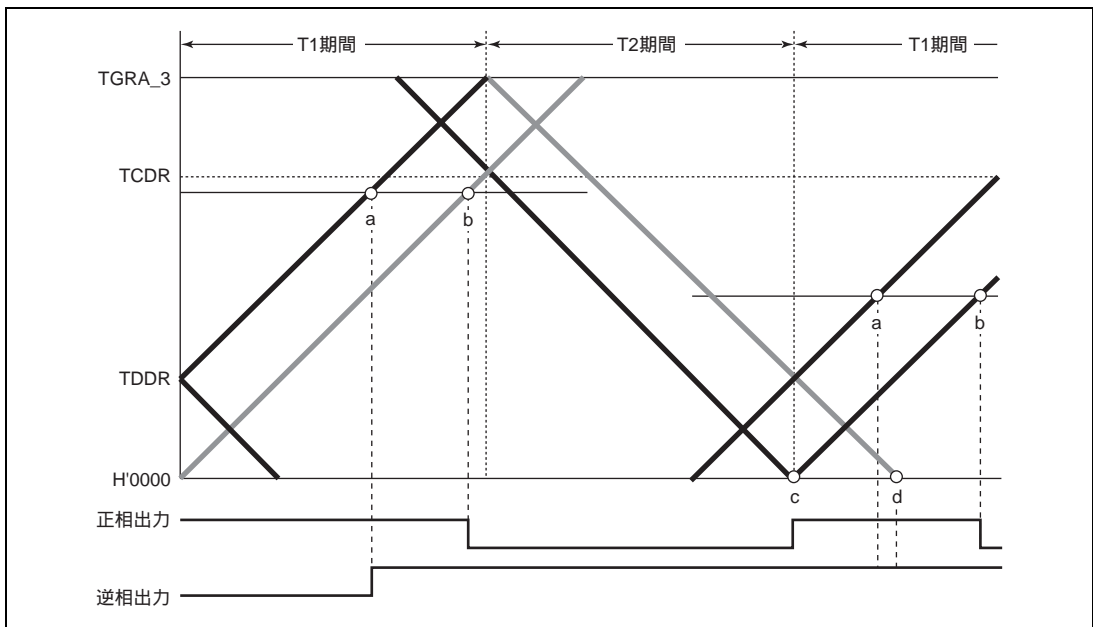


図 12.50 相補 PWM モード 0%、100%波形出力例 (2)

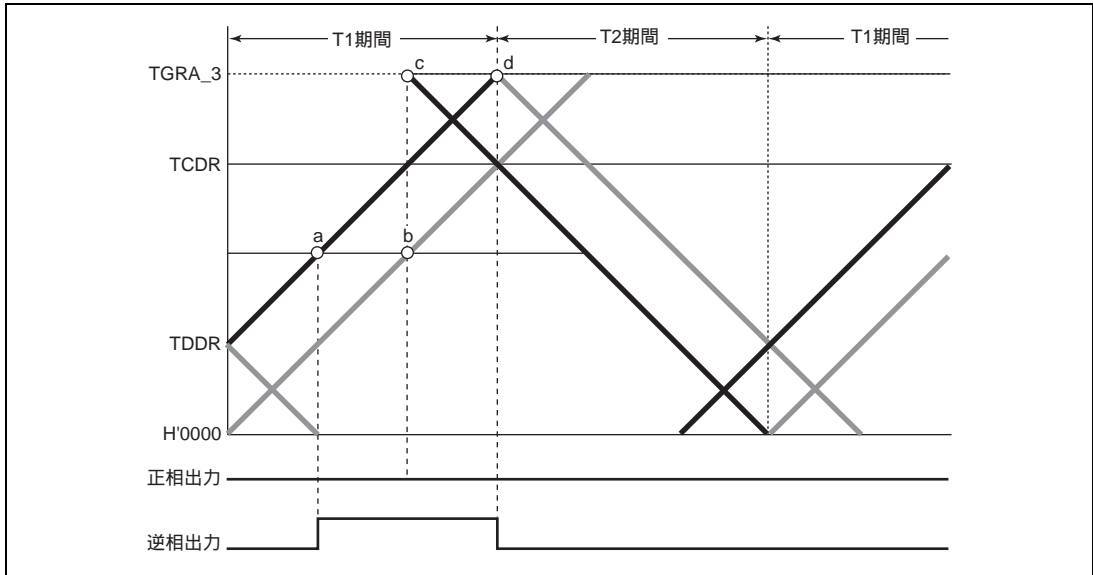


図 12.51 相補 PWM モード 0%、100%波形出力例 (3)

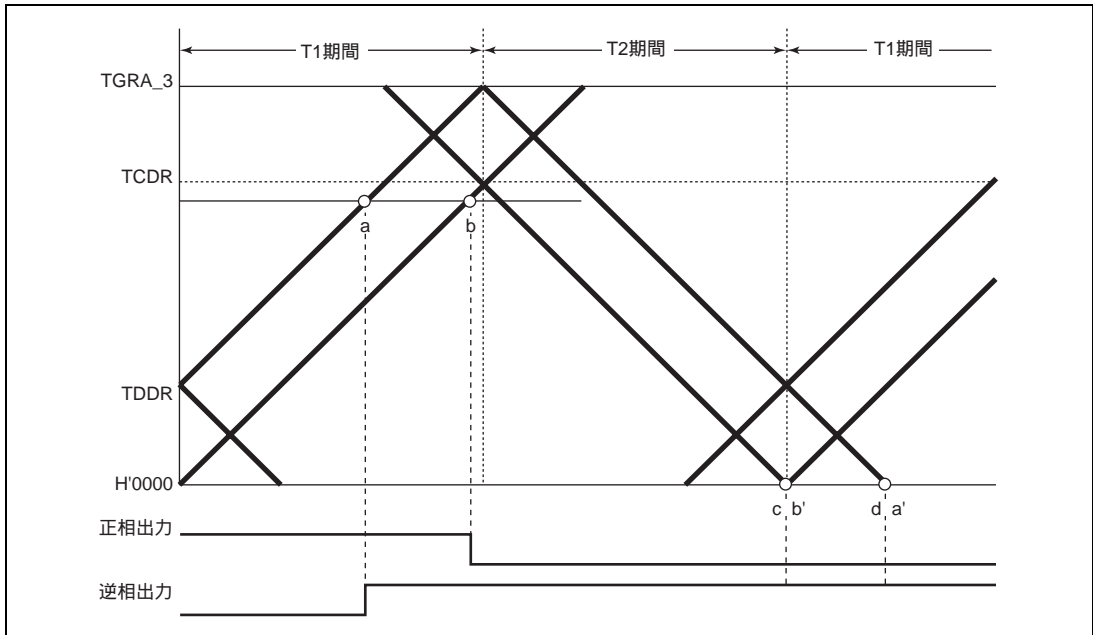


図 12.52 相補 PWM モード 0%、100%波形出力例 (4)

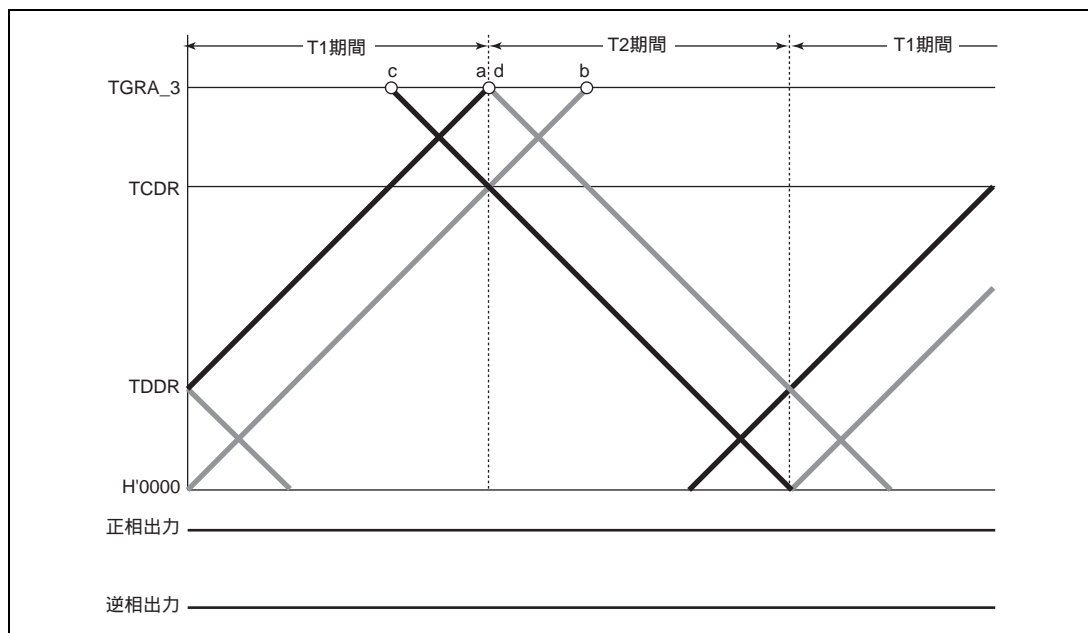


図 12.53 相補 PWM モード 0%、100% 波形出力例 (5)

(k) 相補 PWM モードのデューティ 0%、100% 出力

相補 PWM モードでは、デューティ 0%、100% を任意に出力可能です。図 12.49 ~ 図 12.53 に出力例を示します。

デューティ 100% 出力は、データレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100% ON 状態の波形です。また、デューティ 0% 出力は、データレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100% OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(l) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 12.54 に示します。

この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

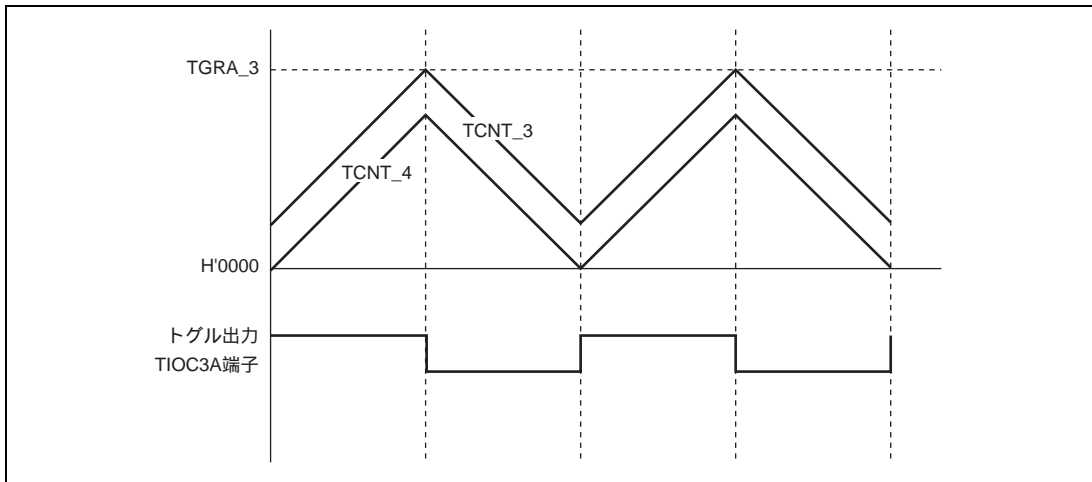


図 12.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 により同期クリアを選択することにより他のチャネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。

図 12.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

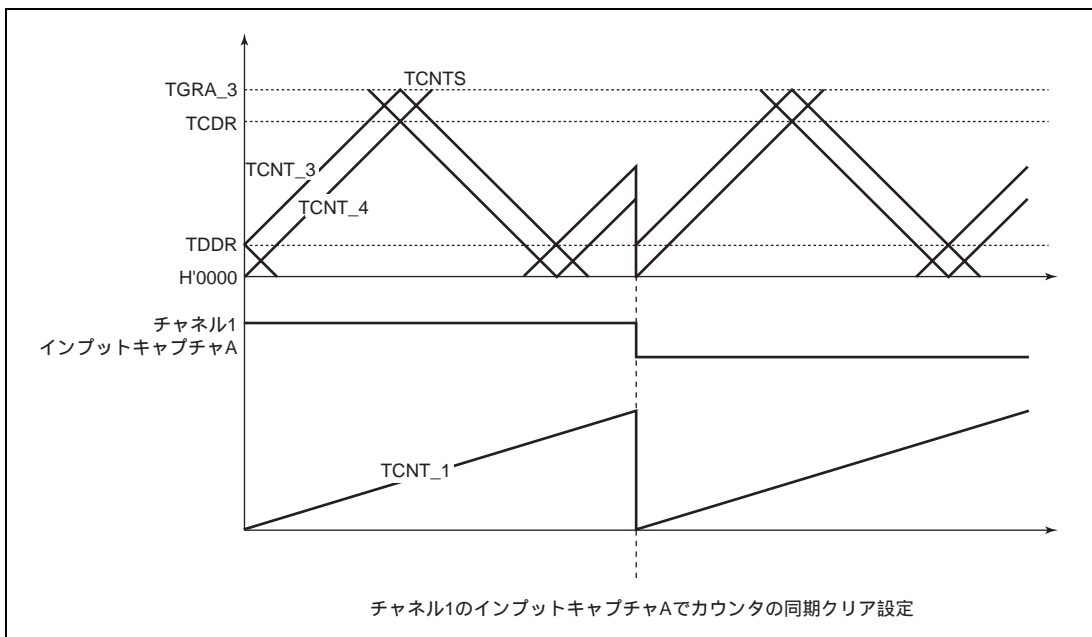


図 12.55 他のチャネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを 1 に設定することにより、相補 PWM モードの谷の T_b 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑止することができます。

WRE ビットを 1 に設定することで初期出力を抑止することができるのは、同期クリアが図 12.56 の、のような谷の T_b 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の T_b 区間であっても、図 12.56 ので示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

初期出力を抑止する場合、コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、「12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」を参照してください。

MTU2 のカウンタクリア要因は MTU2 のチャンネル 0~2 からの同期クリアです。

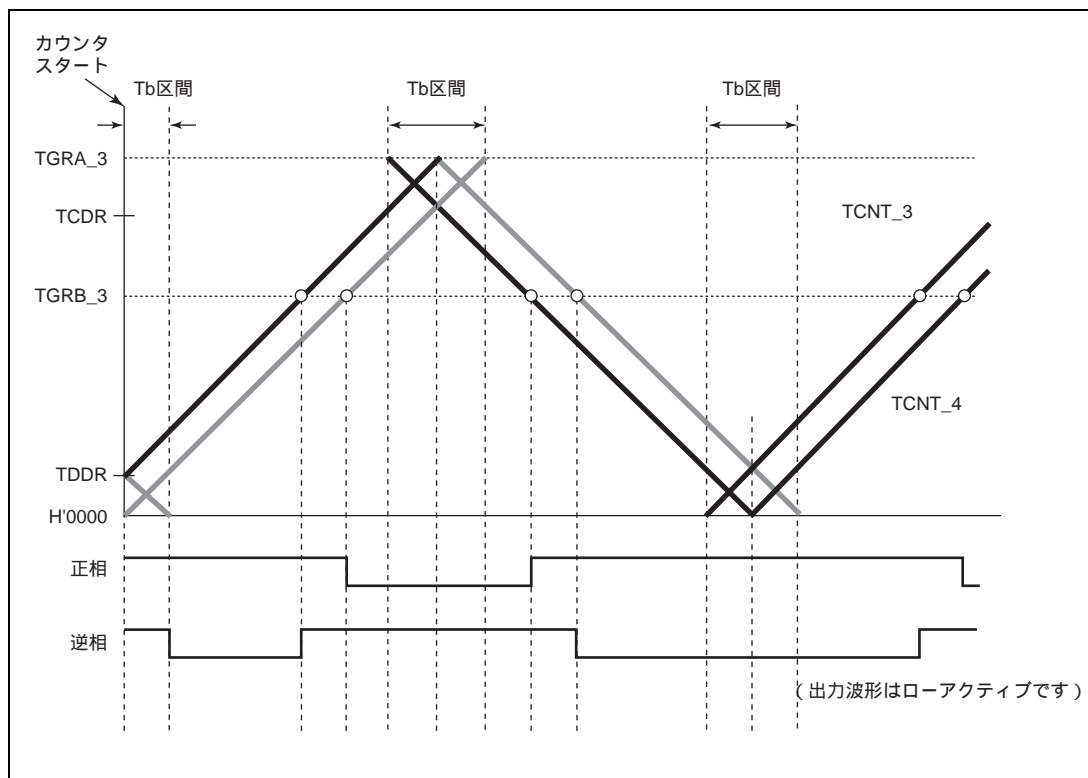


図 12.56 同期カウンタクリアタイミング

- 相補PWMモードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 12.57 に示します。

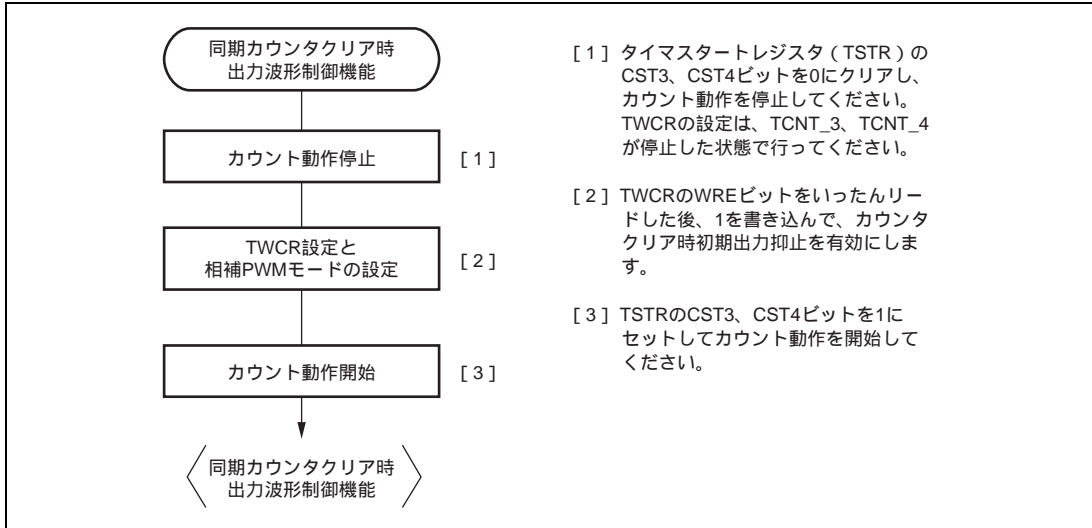


図 12.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補PWMモードでの同期カウンタクリア時出力波形制御動作例

図 12.58 ~ 図 12.61 に、TWCRC の WRE ビットを 1 に設定した状態で MTU2 を相補 PWM 動作をさせ、同期カウンタクリアをした場合の動作例を示します。ここで、図 12.58 ~ 図 12.61 の同期カウンタクリアのタイミングは、それぞれ図 12.56 の 、 、 、 で示したタイミングです。

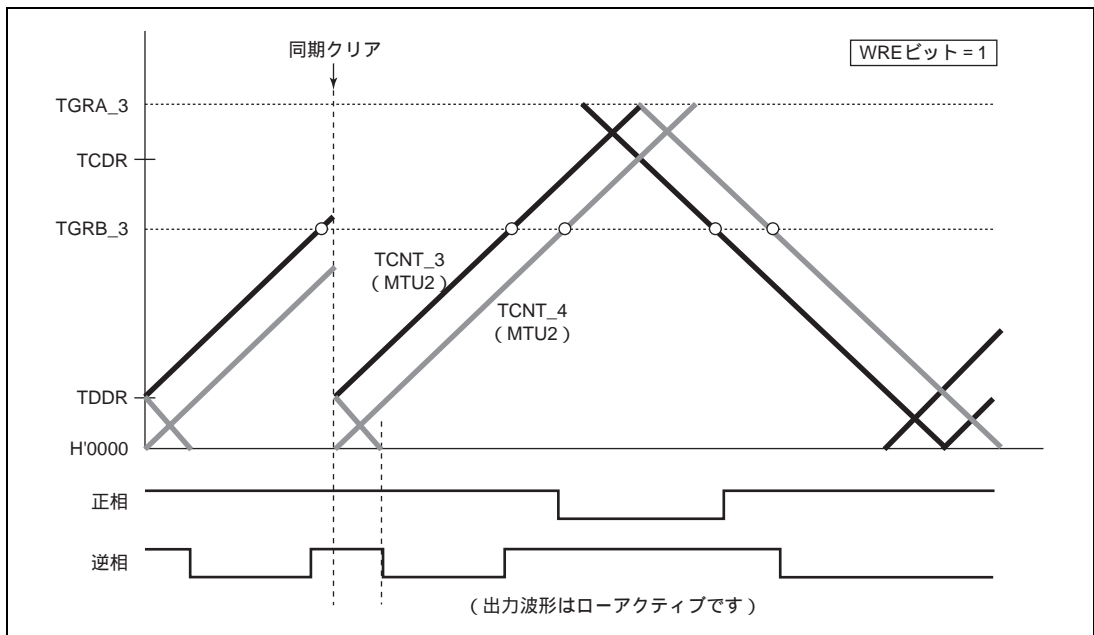


図 12.58 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 12.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット=1)

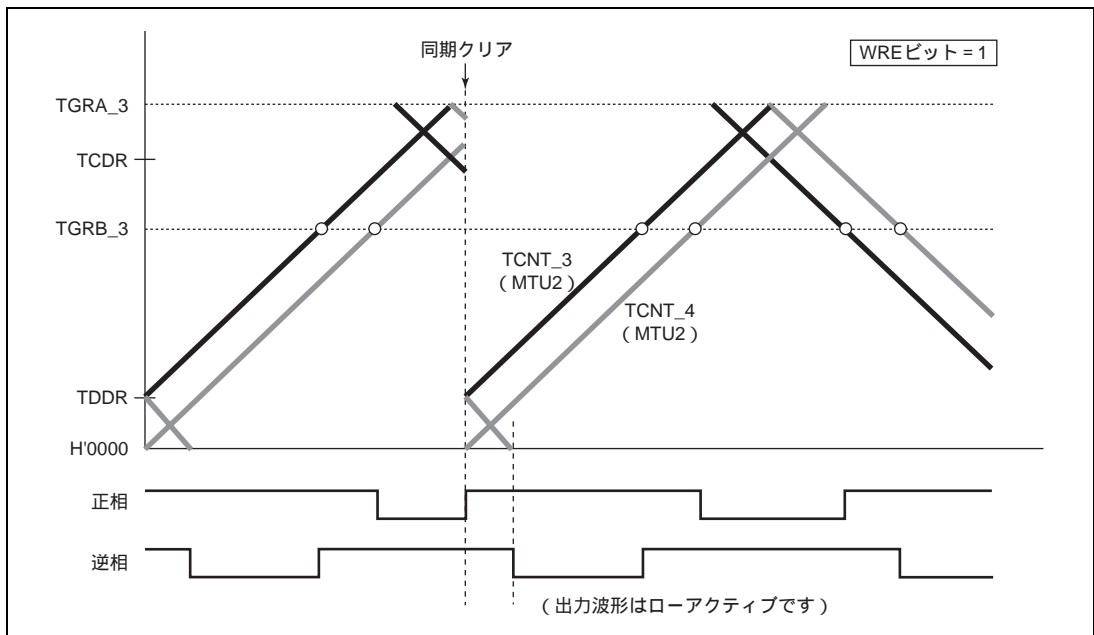


図 12.59 山の Tb 区間で同期クリアが発生した場合
(図 12.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット=1)

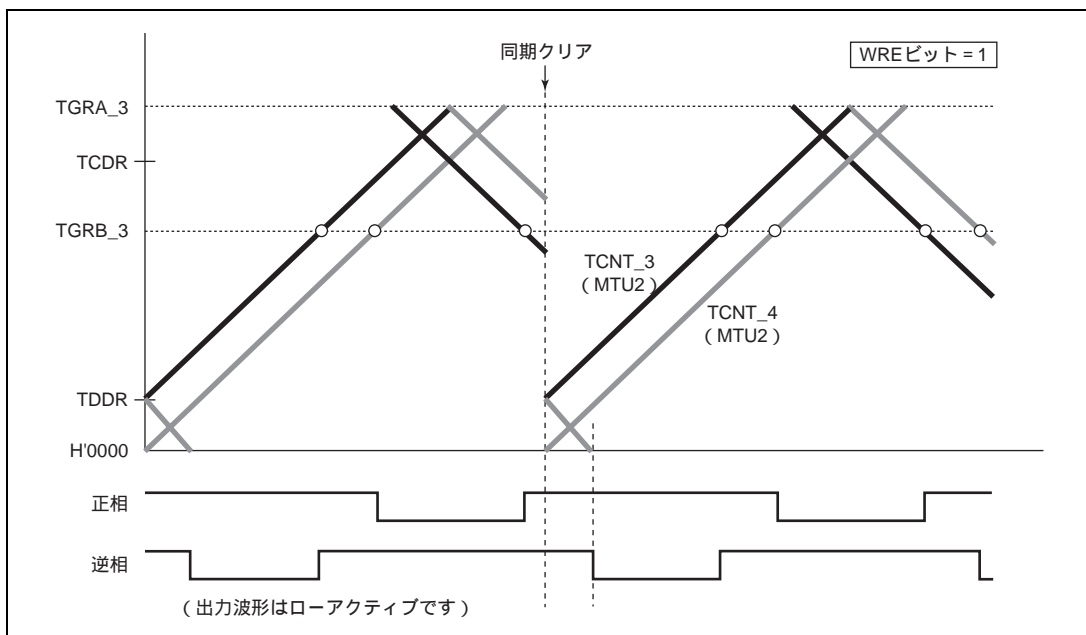


図 12.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 12.56 のタイミング、TWCR レジスタの WRE ビット = 1)

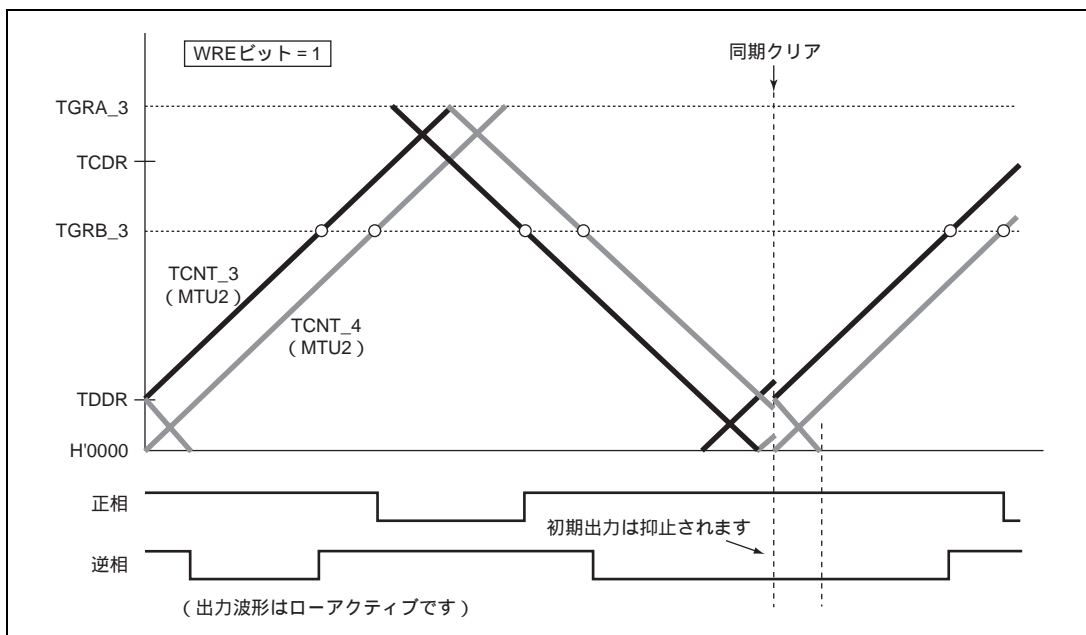


図 12.61 谷の Tb 区間で同期クリアが発生した場合
(図 12.56 のタイミング、TWCR レジスタの WRE ビット = 1)

(o) TGRA_3 のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCR) の CCE ビットを設定することにより、TGRA_3 のコンペアマッチで TCNT_3、TCNT_4 および TCNT5 をクリアすることが可能です。

図 12.62 に動作例を示します。

- 【注】
1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
 2. 他のチャネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ(TSYR)の SYNC0 ~ SYNC4 ビットを 1 に設定しないでください)
 3. PWM デューティは、H'0000 を設定しないでください。
 4. タイマアウトプットコントロールレジスタ 1 (TOCR1) の PSYE ビットを 1 に設定しないでください。

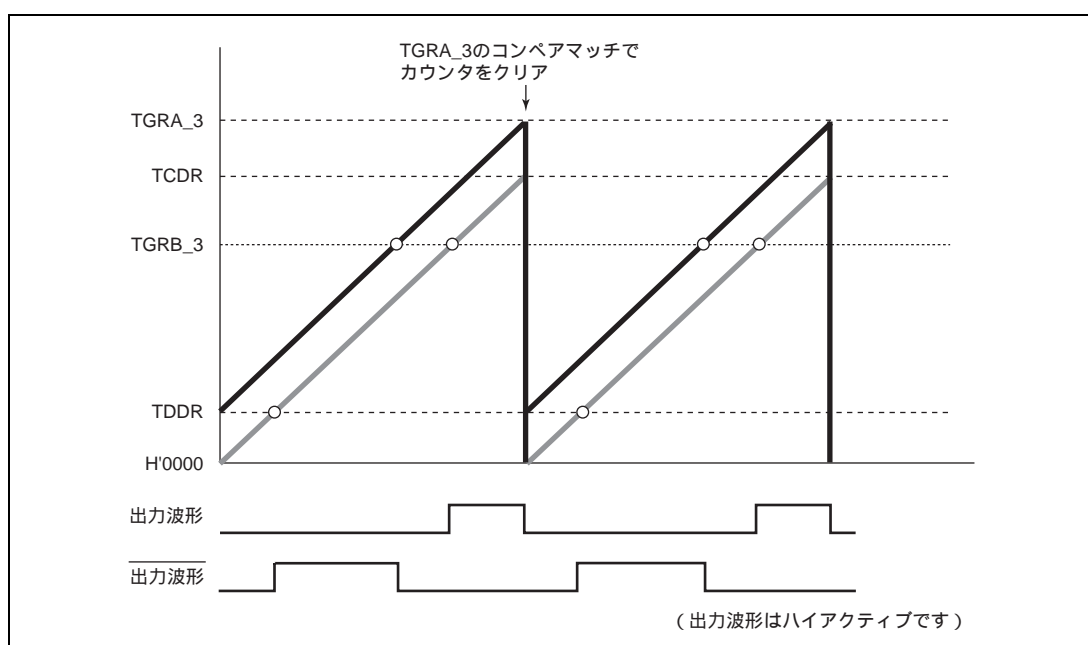


図 12.62 TGRA_3 のコンペアマッチにおけるカウンタクリアの動作例

(p) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 12.63 ~ 図 12.66 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (PFC で設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り換わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この6相出力はNビットまたはPビットを1に設定することにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。NビットまたはPビットが0の場合は、レベル出力になります。

また、6相出力のアクティブレベル (ON出力時レベル) は、NビットおよびPビットの設定にかかわらず、タイムアウトコントロールレジスタ (TOCR) のOLSNビット、OLSPビットで設定できます。

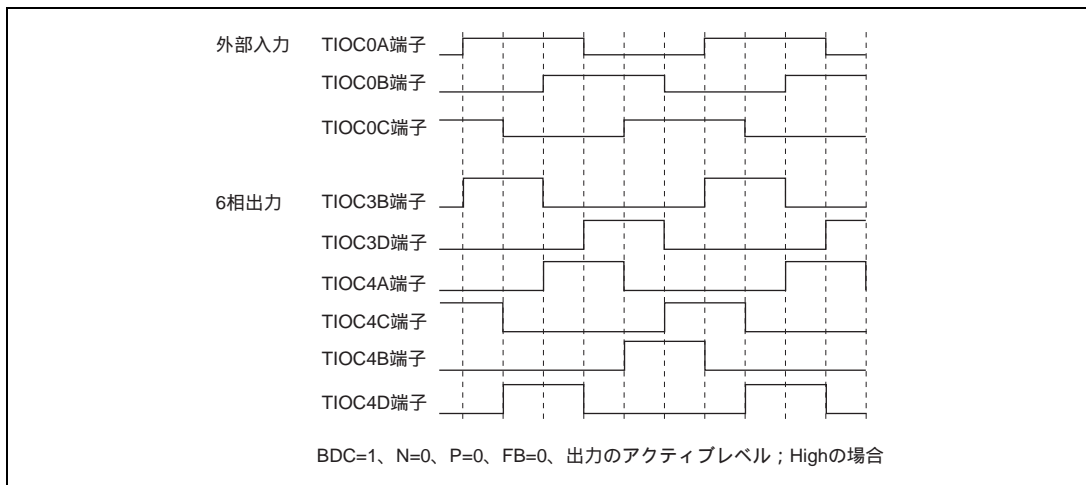


図 12.63 外部入力による出力相の切り替え動作例 (1)

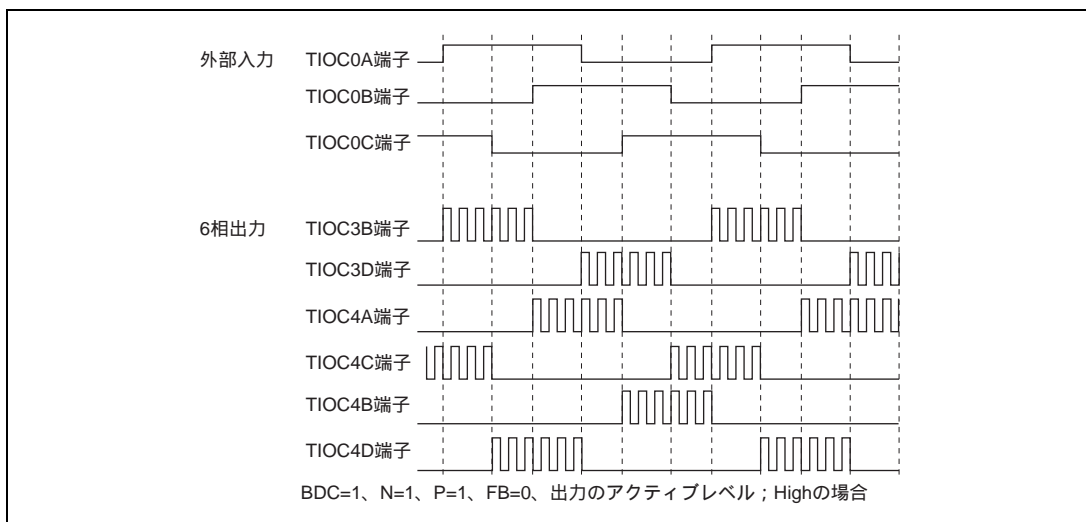


図 12.64 外部入力による出力相の切り替え動作例 (2)

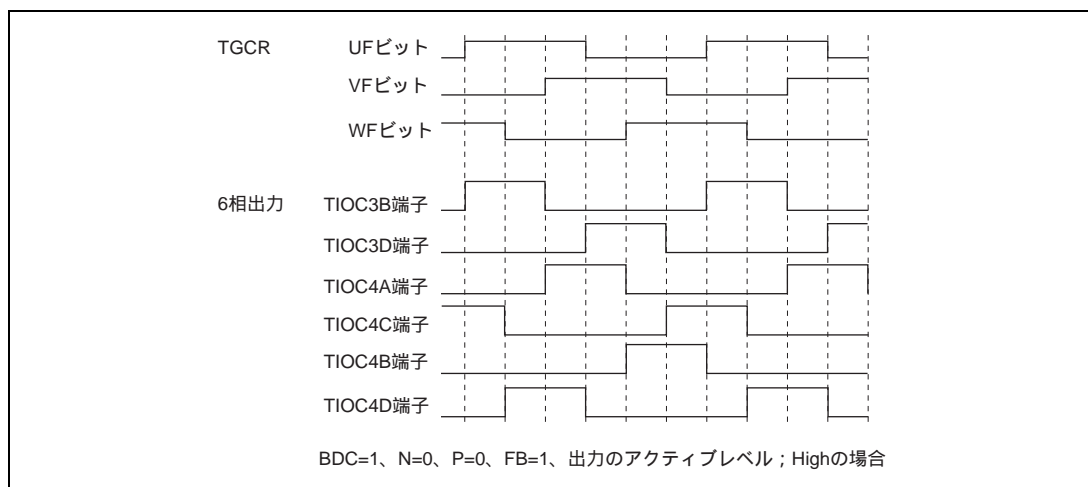


図 12.65 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

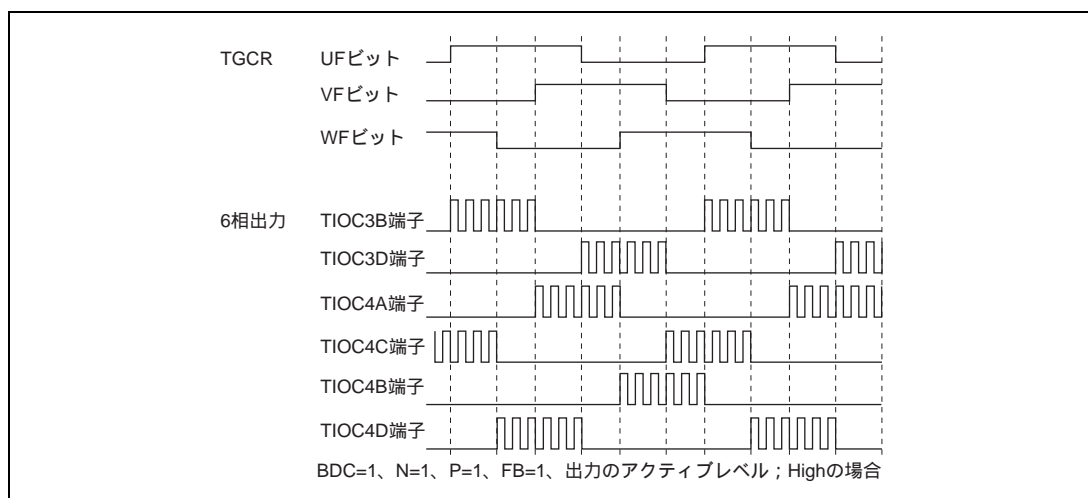


図 12.66 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチ、TCNT_4 のアンダフロー（谷）、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、TCNT_3 の山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイマインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。TCNT_4 のアンダフロー（谷）の A/D 変換の開始要求は、TIER_4 の TTGE2 ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

チャンネル 3 とチャンネル 4 の TGIA_3 (山の割り込み)、および TCIV_4 (谷の割り込み) は、タイマ割り込み間引き設定レジスタ (TITCR) を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTER) を設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「12.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ (TITCR) の設定は、TIER_3、TIER_4 レジスタの設定で TGIA_3 と TCIV_4 割り込み要求を禁止した状態かつコンペアマッチによる TGFA_3、TCFV_4 フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 12.67 に示します。また、割り込み間引き回数の変更可能期間を図 12.68 に示します。

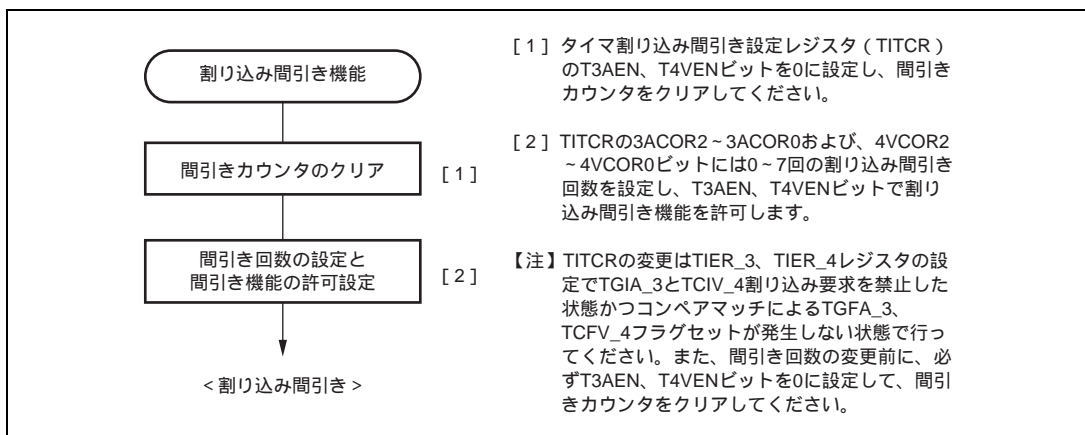


図 12.67 割り込み間引き機能の設定手順例

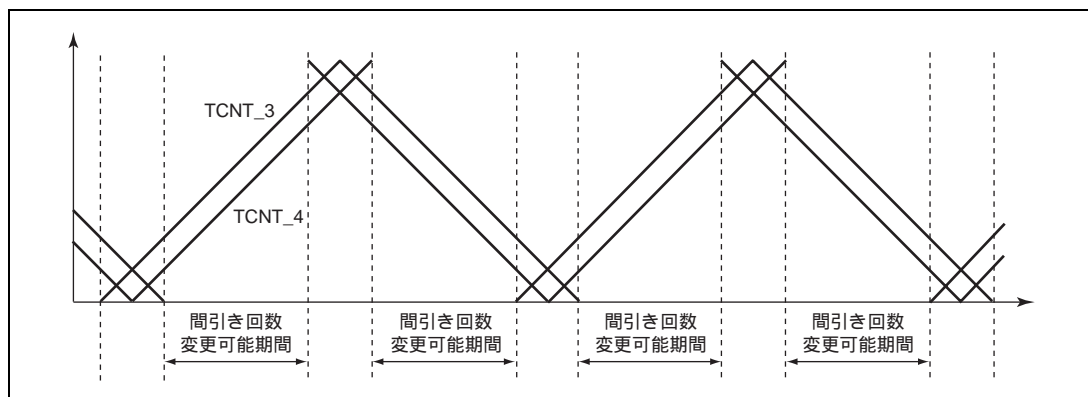


図 12.68 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

タイム割り込み間引き設定レジスタ (TITCR) の 3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを 1 に設定した場合の、TGIA_3 割り込み間引きの動作例を図 12.69 に示します。

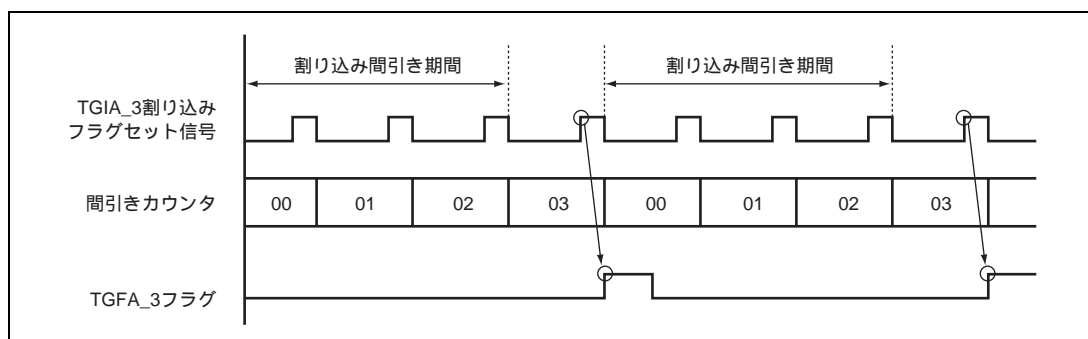


図 12.69 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイムバッファ転送設定レジスタ (TBTER) レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例を図 12.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例を図 12.71 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、タイム割り込み間引き設定レジスタ (TITCR) の T3AEN ビットを 1 に設定した場合、T4VEN ビットを 1 に設定した場合、T3AEN/T4VEN ビットを 1 に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 12.72 に示します。

【注】 本機能は、割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ずバッファ転送を割り込み間引きと連動しない設定 (タイマバッファ転送設定レジスタ (TBTER) の BTE1 を 0 に設定) してください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

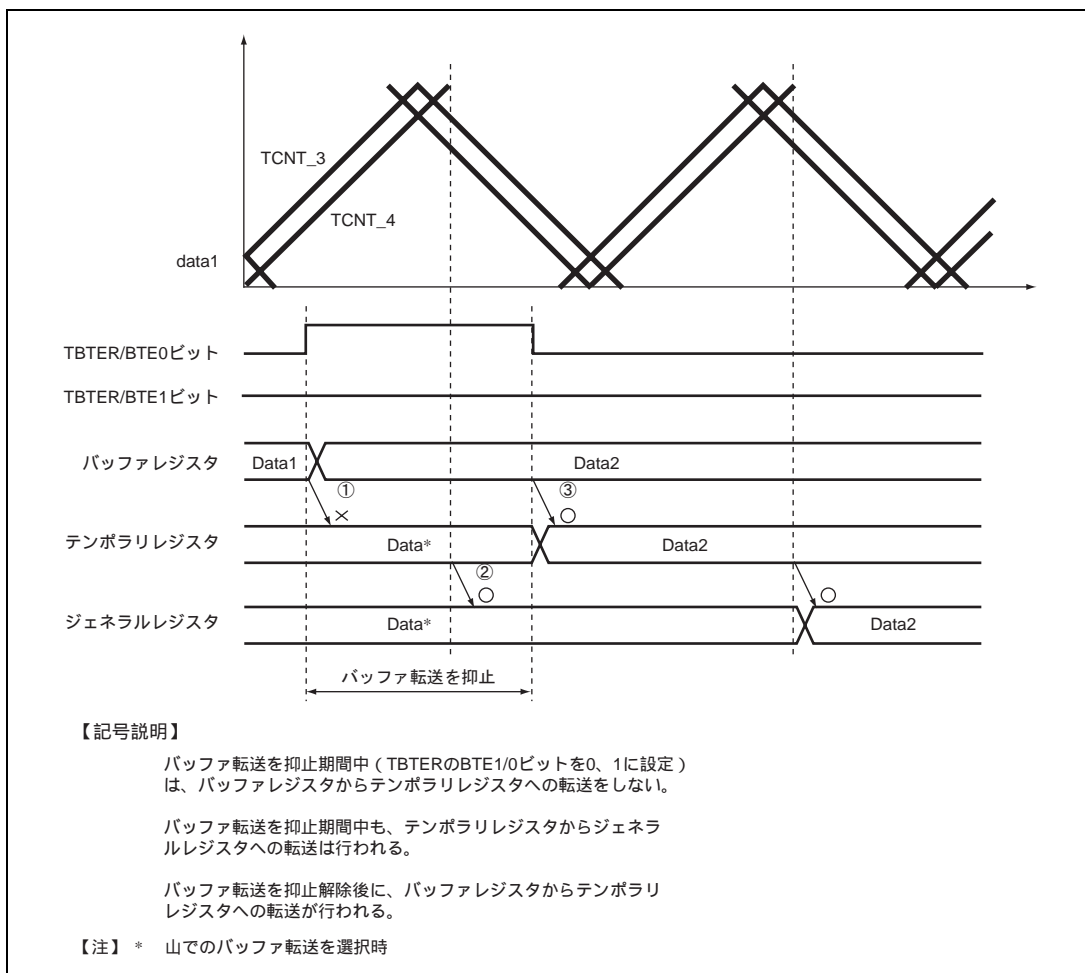


図 12.70 バッファ転送を抑制する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例

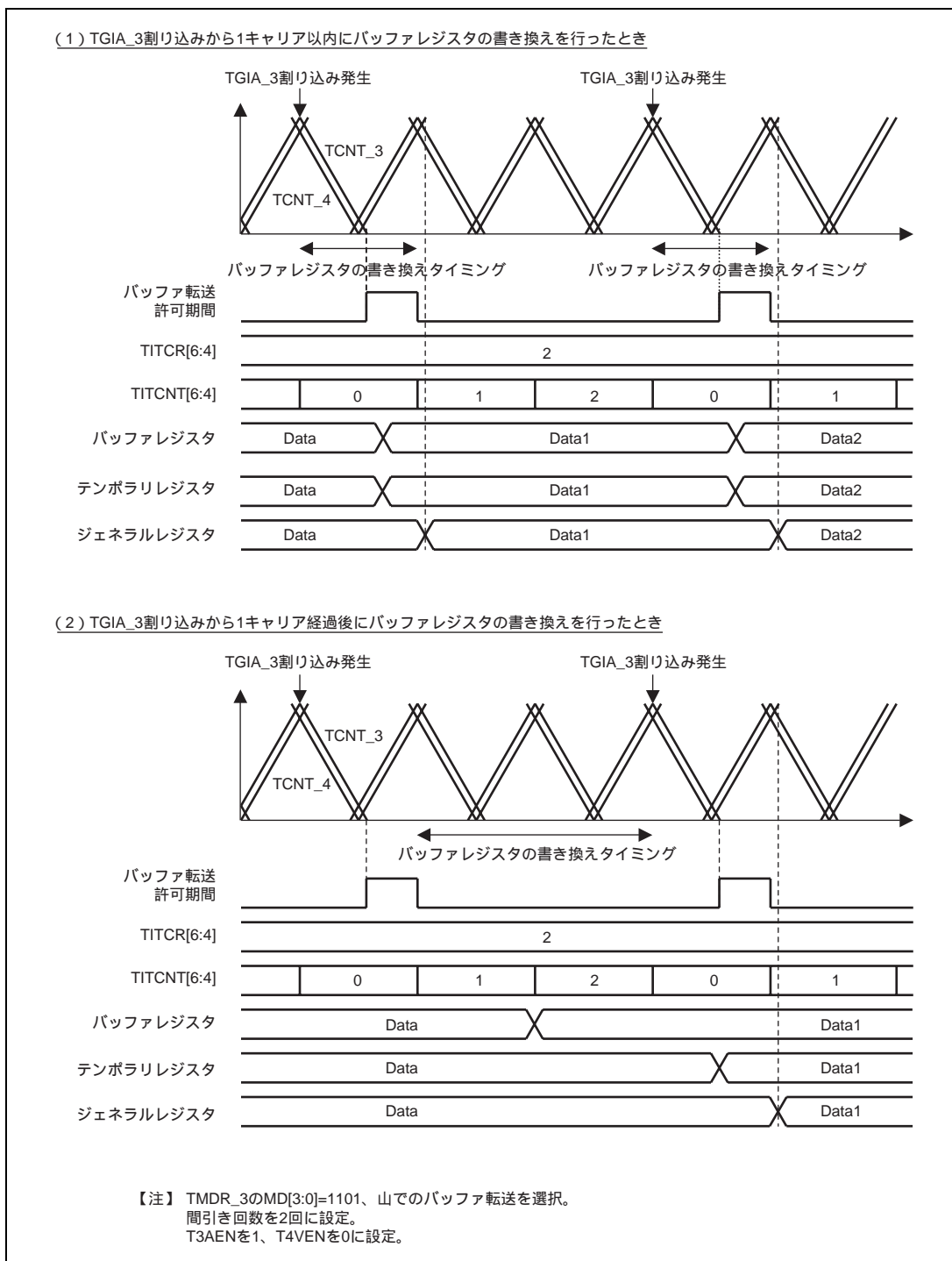


図 12.71 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例

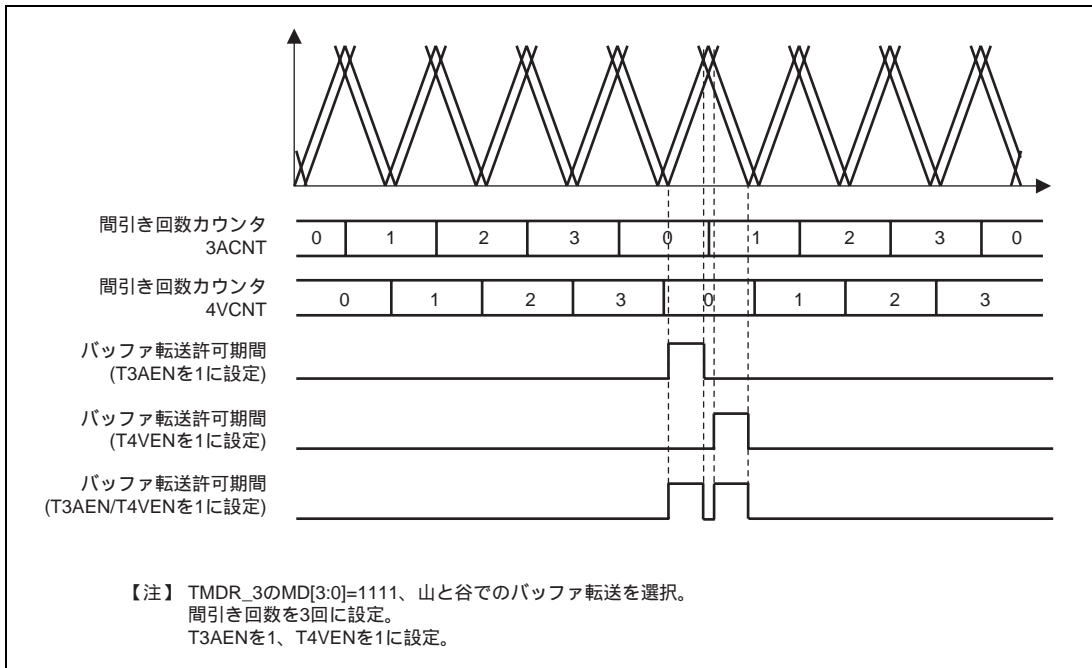


図 12.72 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定と
バッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ (TRWER) の RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタはチャンネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIORL_3 および TIORL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

12.4.9 A/D 変換開始要求ディレイド機能

チャンネル 4 のタイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 起動要求用周期レジスタ (TADCORA_4、TADCORB_4)、タイマ A/D 起動要求用周期バッファレジスタ (TADCOBRA_4、TADCOBRB_4) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、TCNT_4 と TADCORA_4、TADCORB_4 を比較し、TCNT_4 と TADCORA_4、TADCORB_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

(a) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 12.73 に示します。

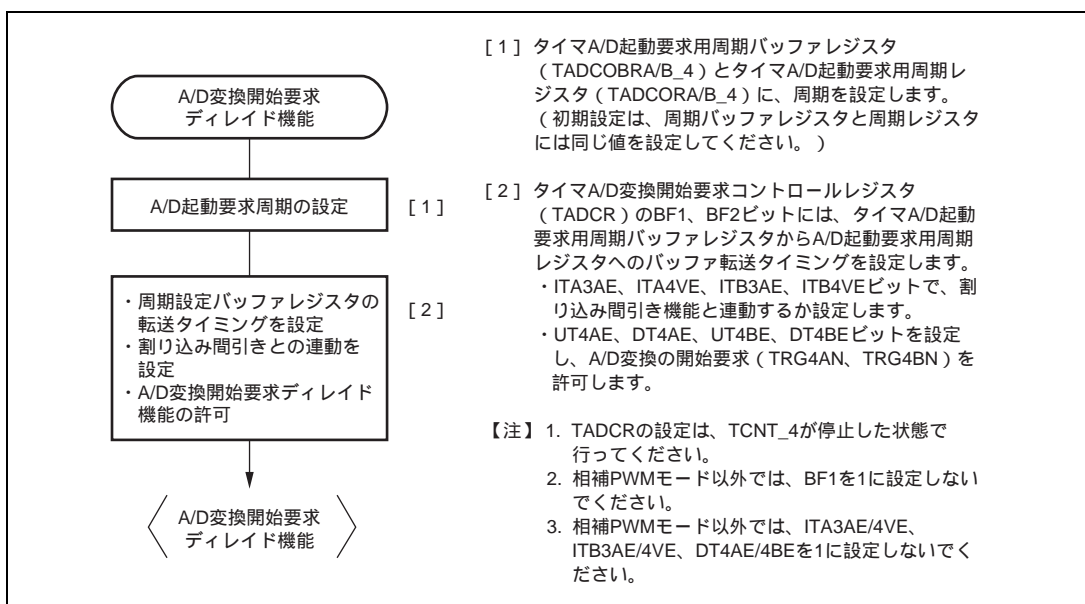


図 12.73 A/D 変換開始要求ディレイド機能の設定手順例

(b) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを TCNT_4 の谷に設定し、TCNT_4 のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 12.74 に示します。

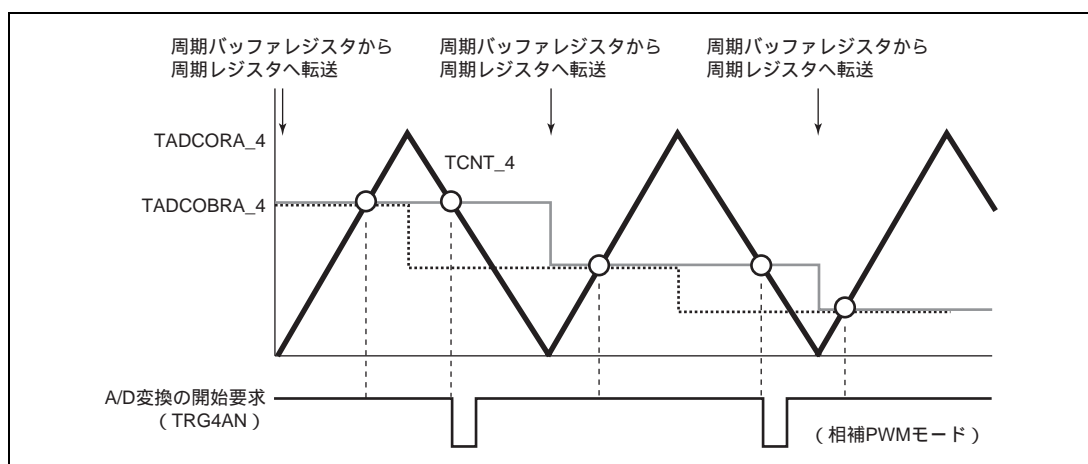


図 12.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(c) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (TADCORA/B_4) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (TADCOBRA/B_4) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ (TADCR_4) の BF1、BF0 ビットを設定することにより選択することができます。

(d) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT_4 のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 12.75 に示します。

また、TCNT_4 のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 12.76 に示します。

【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。

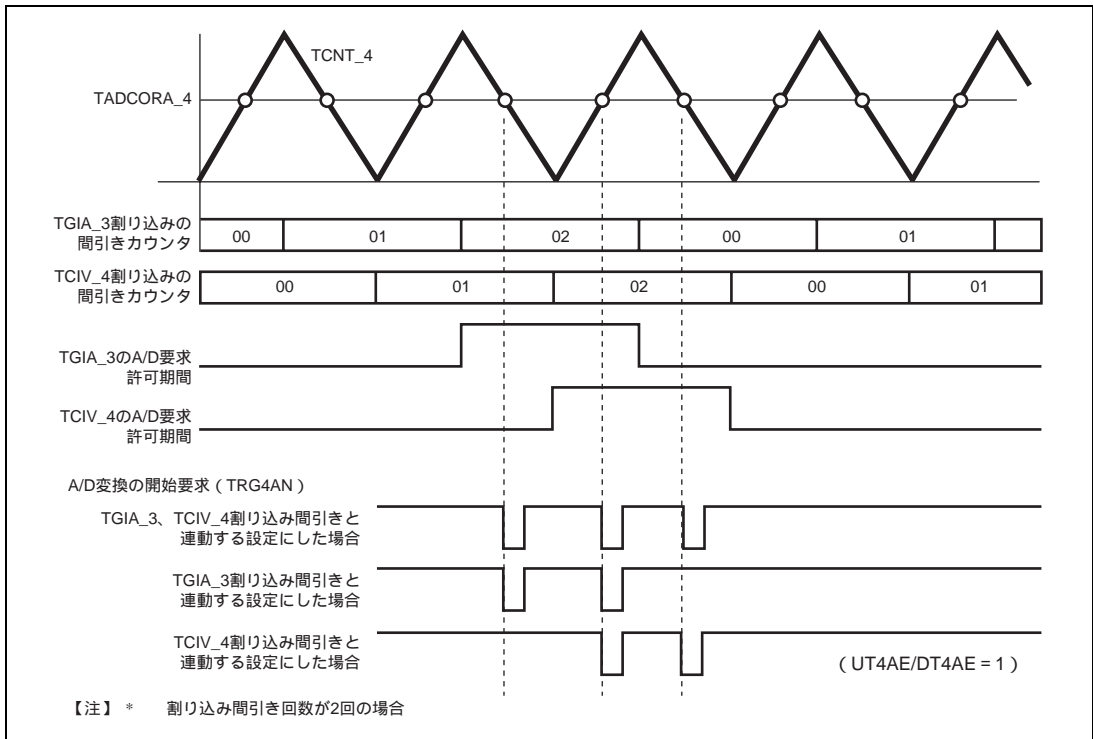


図 12.75 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

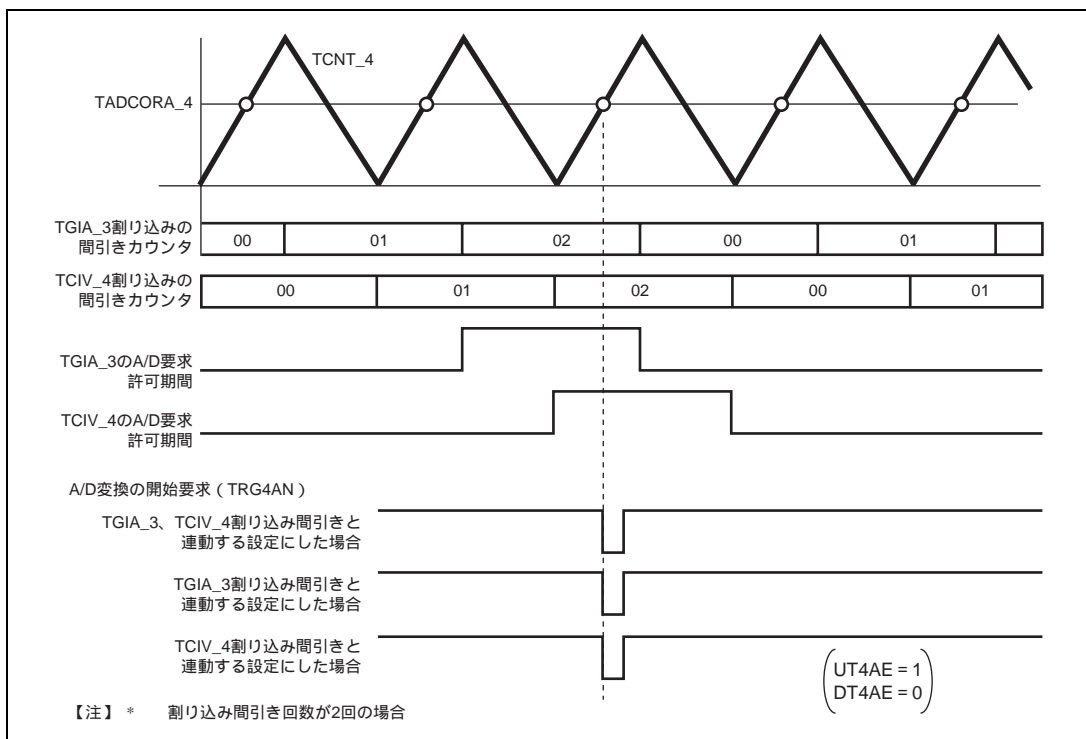


図 12.76 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

12.4.10 外部パルス幅測定機能

チャンネル 5 は、最大 3 本の外部パルス幅を測定することができます。

(1) 外部パルス幅測定の設定手順例

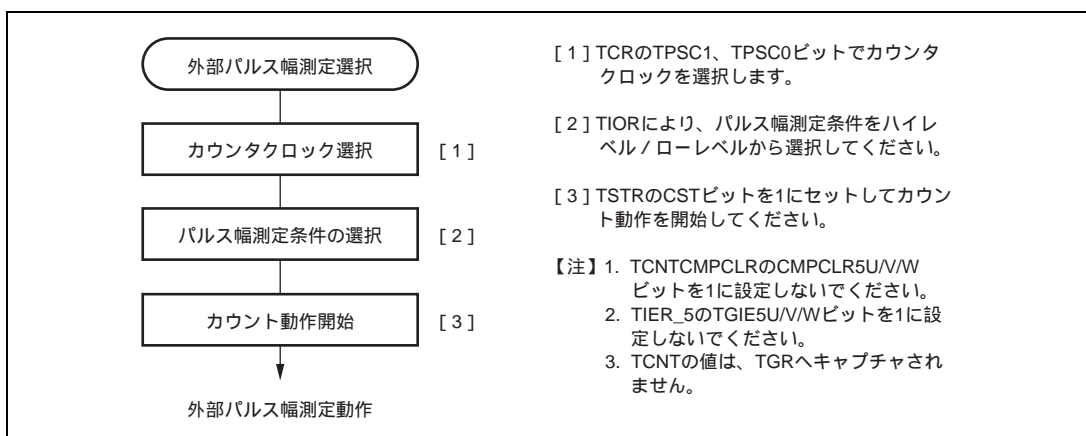


図 12.77 外部パルス幅測定の設定手順例

(2) 外部パルス幅測定動作例

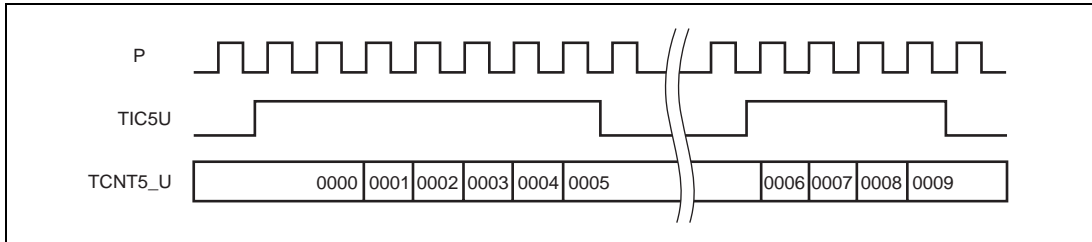


図 12.78 外部パルス幅測定動作例 (ハイパルス幅測定)

12.4.11 デッドタイム補償機能

外部パルス幅測定機能により、出力波形の遅れを測定してデューティに反映することで、相補 PWM 動作時のデッドタイム補償機能として使用することができます。

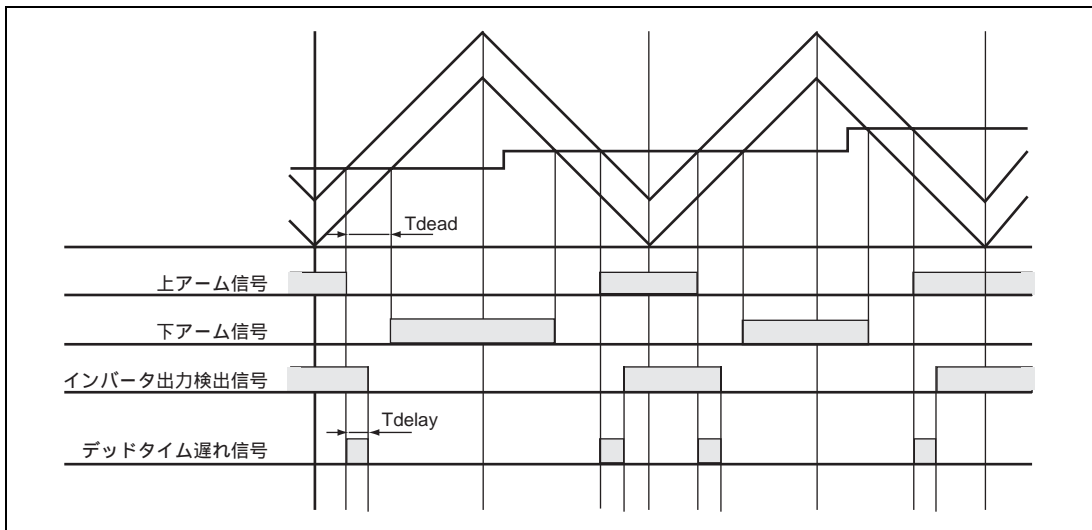


図 12.79 相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

チャンネル 5 の 3 本のカウンタを使用したデッドタイム補償機能の設定手順例を図 12.80 に示します。

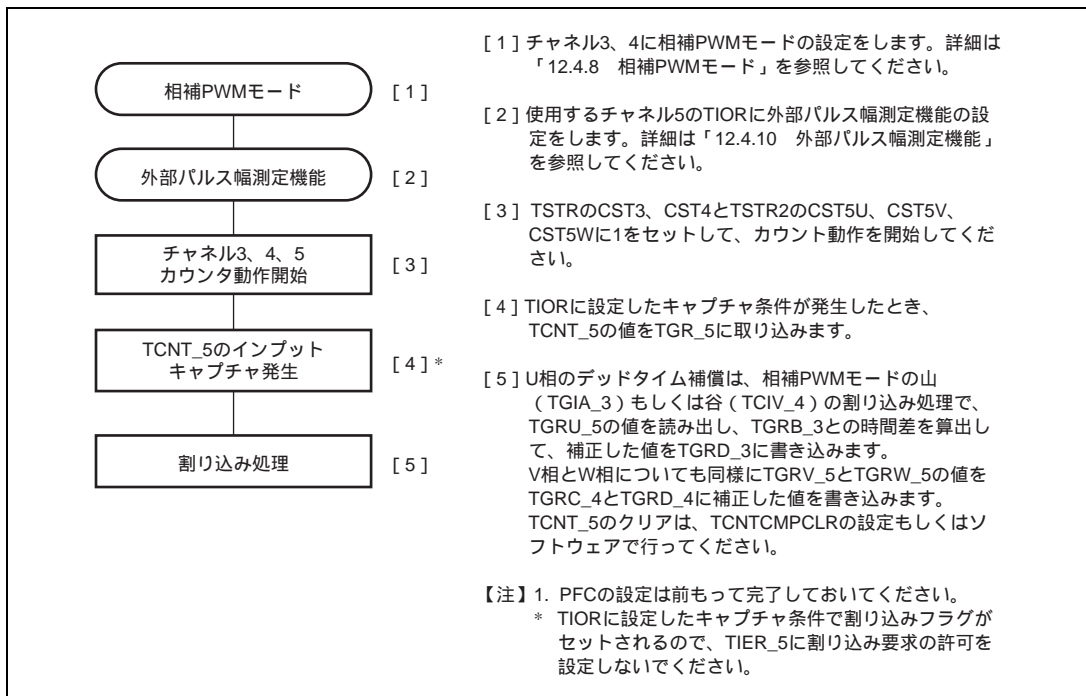


図 12.80 デッドタイム補償機能の設定手順例

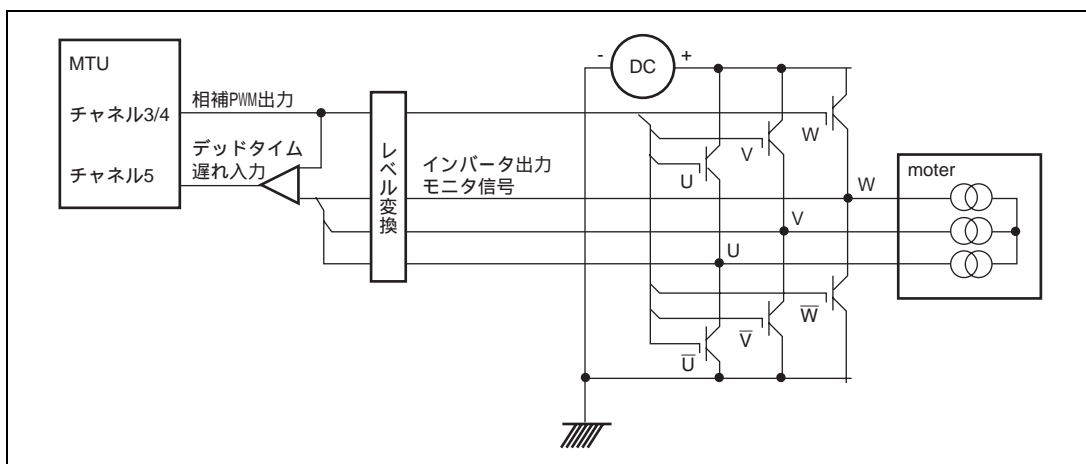


図 12.81 モータ制御回路構成例

12.4.12 相補 PWM の「山/谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

TCNT がフリーランでクリアせずに使用し、設定した「山、谷」で TGR にキャプチャを行った動作例を図 12.82 に示します。

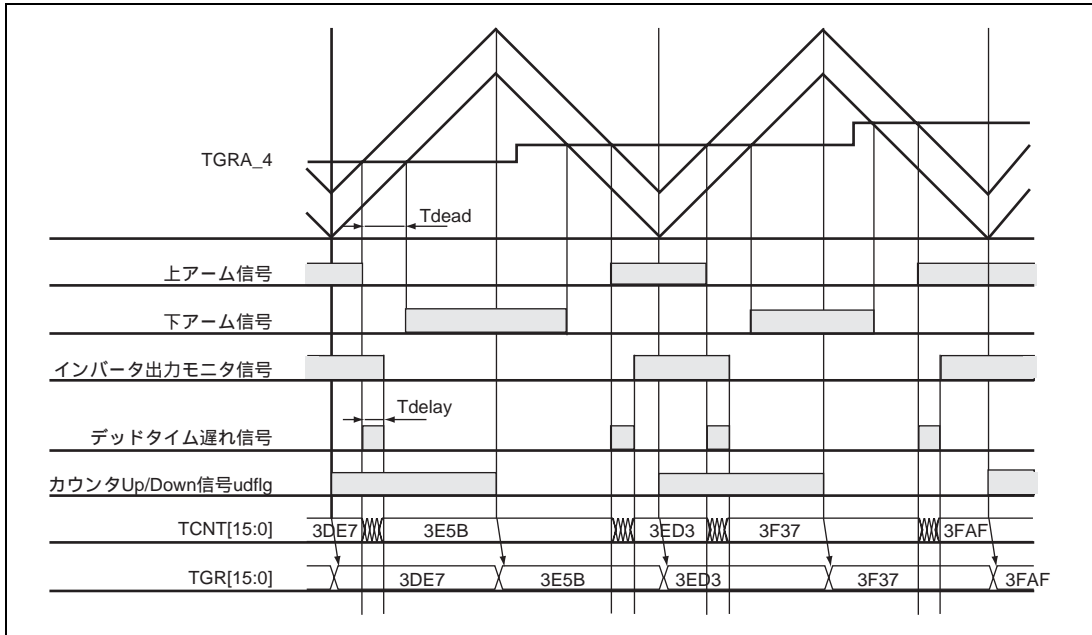


図 12.82 相補 PWM の「山/谷」での TCNT キャプチャ動作

チャンネル	名称	割り込み要因	割り込みフラグ	DMACの起動	優先順位
4	TGIA_4	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可	高 ↑ ↓ 低
	TGIB_4	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	不可	
	TGIC_4	TGRC_4 のインプットキャプチャ / コンペアマッチ	TGFC_4	不可	
	TGID_4	TGRD_4 のインプットキャプチャ / コンペアマッチ	TGFD_4	不可	
	TCIV_4	TCNT_4 のオーバーフロー / アンダフロー	TCFV_4	不可	
5	TGIU_5	TGRU_5 のインプットキャプチャ / コンペアマッチ	TGFU_5	不可	低
	TGIV_5	TGRV_5 のインプットキャプチャ / コンペアマッチ	TGFV_5	不可	
	TGIW_5	TGRW_5 のインプットキャプチャ / コンペアマッチ	TGFW_5	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 0 に 6 本、チャンネル 3、4 に各 4 本、チャンネル 1、2 に各 2 本、チャンネル 5 に各 3 本、計 21 本のインプットキャプチャ / コンペアマッチ割り込みがあります。チャンネル 0 の TGFE_0、TGFF_0 フラグは、インプットキャプチャではセットされません。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバーフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、各チャンネルに 1 本、計 5 本のオーバーフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

12.5.2 DMAC の起動

各チャンネルの TGRA のインプットキャプチャ / コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

MTU2 では、チャンネル 0~4 の各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ / コンペアマッチ割り込みを DMAC の起動要因とすることができます。

12.5.3 A/D 変換器の起動

MTU2 では、次の 3 種類の方法で A/D 変換器を起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 12.58 に示します。

(1) TGRA のインプットキャプチャ / コンペアマッチと、相補 PWM モード時の TCNT_4 の谷での A/D 起動
各チャンネルの TGRA のインプットキャプチャ / コンペアマッチによって、A/D 変換器を起動することができます。また、TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせた場合は、TCNT_4 が谷 (TCNT_4 = H'0000) になったときも A/D 変換器を起動することができます。

次に示す条件で、A/D 変換器に対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA のインプットキャプチャ / コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていた場合
- TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせ、TCNT_4 が谷 (TCNT_4 = H'0000) になった場合

これらのとき A/D 変換器側で MTU2 の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) TCNT_0 と TGRE_0 のコンペアマッチによる A/D 起動

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D 変換器を起動することができます。

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチの発生により、TSR2_0 の TGFE フラグが 1 にセットされたとき、TIER2_0 の TTGE2 ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D 変換器側で MTU2 の変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ (TADCR) の UT4AE、DT4AE、UT4BE、DT4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。詳細は「12.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4AN が選択されていれば、A/D 変換が開始されます。また、TRG4BN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4BN が選択されていれば、A/D 変換が開始されます。

表 12.58 各割り込み要因と A/D 変換開始要求の対応

対 象	割り込み要因	A/D 変換開始要求
TGRA_0 と TCNT_0	インプットキャプチャ/コンペアマッチ	TRGAN
TGRA_1 と TCNT_1		
TGRA_2 と TCNT_2		
TGRA_3 と TCNT_3		
TGRA_4 と TCNT_4		
TCNT_4	相補 PWM モード時の TCNT_4 の谷	
TGRE_0 と TCNT_0	コンペアマッチ	TRG0N
TADCORA と TCNT_4		TRG4AN
TADCORB と TCNT_4		TRG4BN

12.6 動作タイミング

12.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 12.83、図 12.84 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 12.85 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 12.86 に示します。

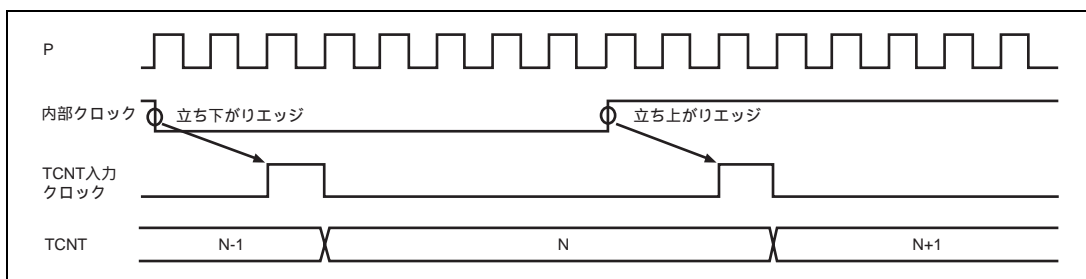


図 12.83 内部クロック動作時のカウントタイミング (チャンネル 0~4)

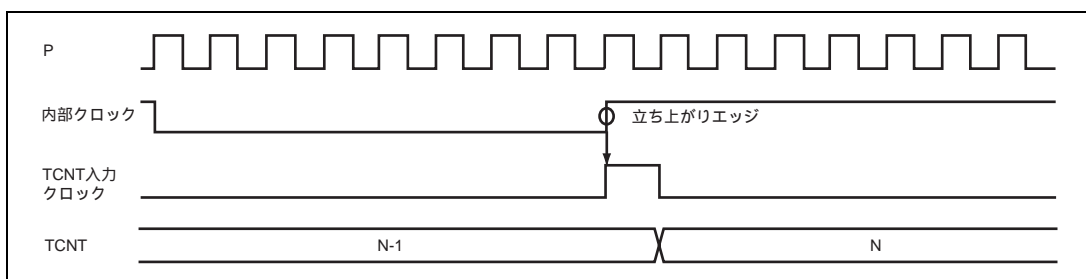


図 12.84 内部クロック動作時のカウントタイミング (チャンネル 5)

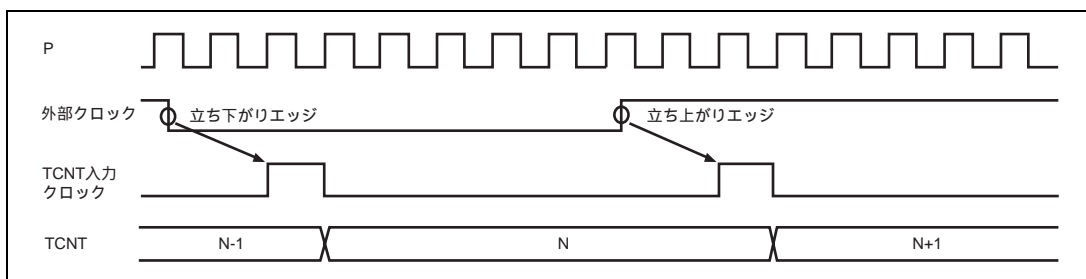


図 12.85 外部クロック動作時のカウントタイミング (チャンネル 0~4)

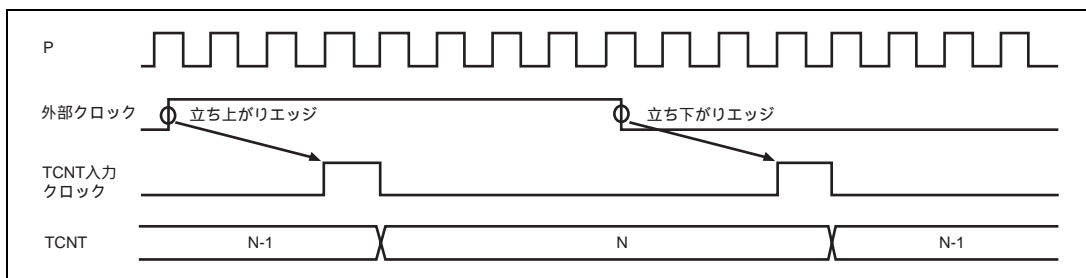


図 12.86 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 12.87 に、アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を図 12.88 に示します。

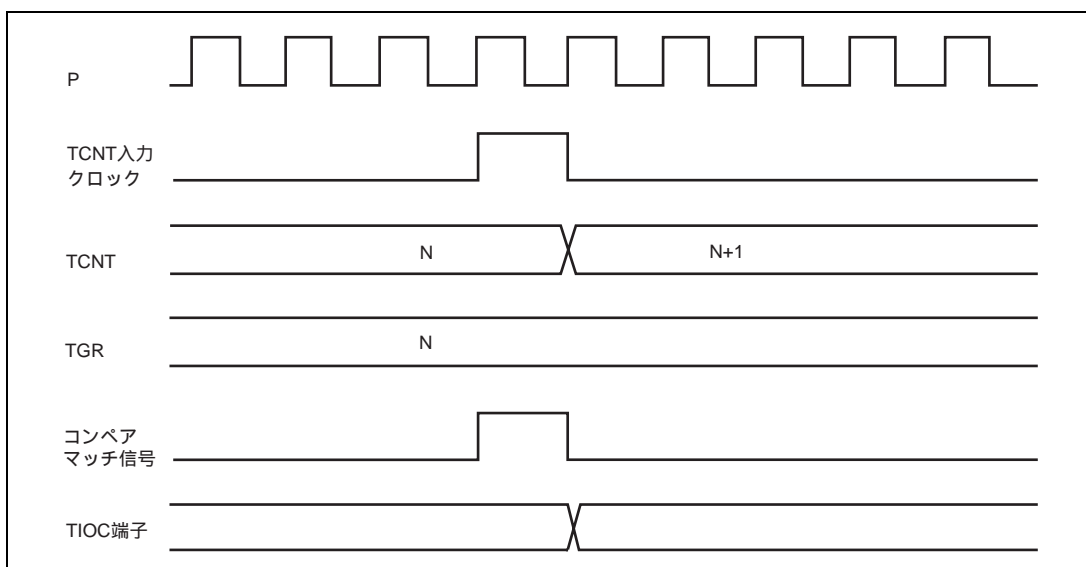


図 12.87 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

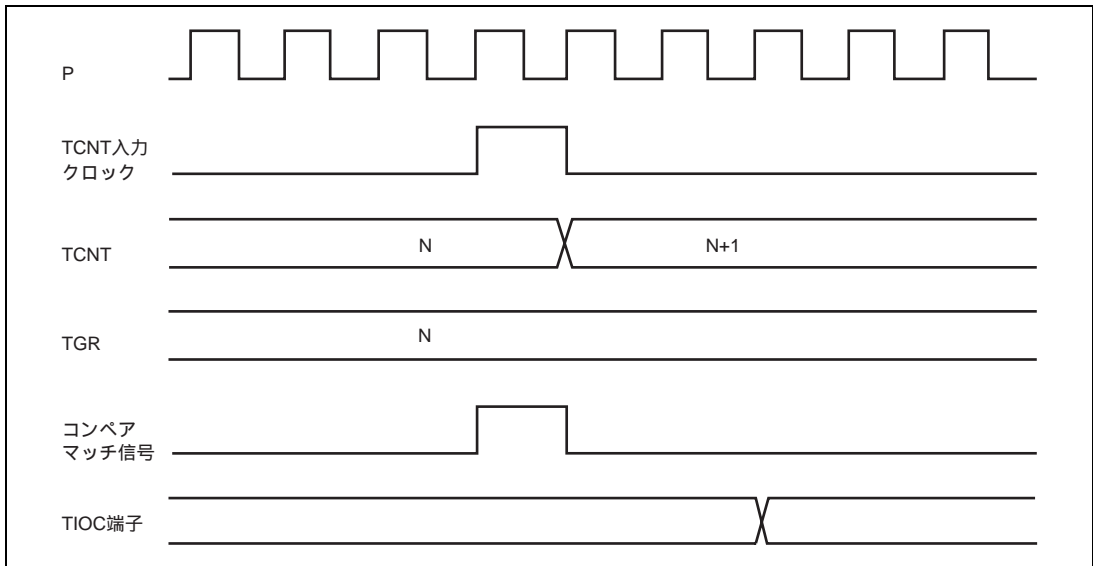


図 12.88 アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 12.89 に示します。

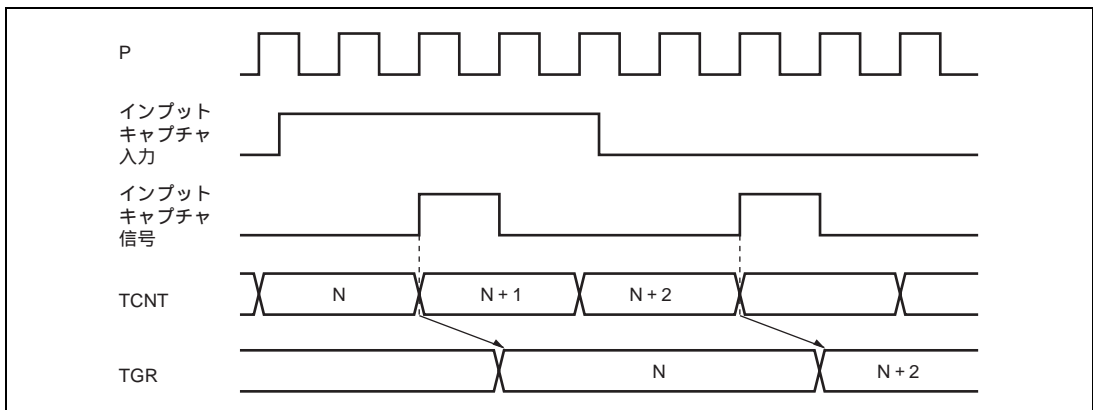


図 12.89 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 12.90、図 12.91 に示します。
 インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 12.92 に示します。

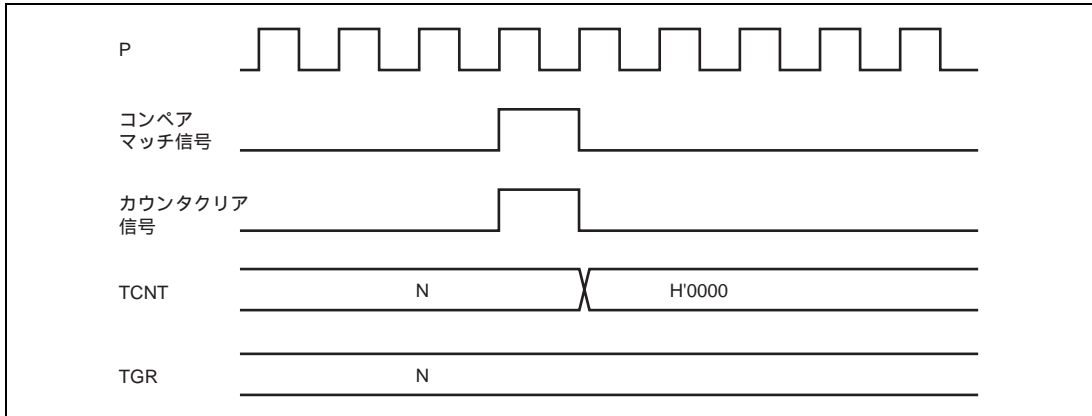


図 12.90 カウンタクリアタイミング (コンペアマッチ) (チャンネル0~4)

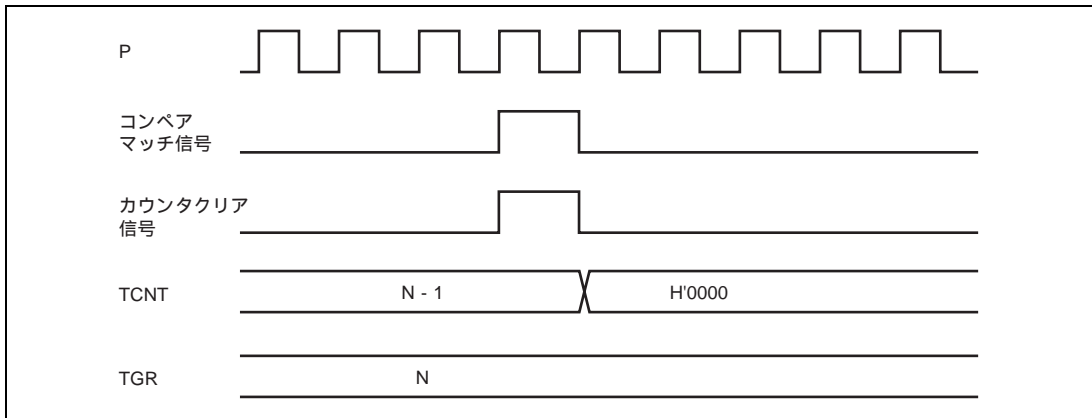


図 12.91 カウンタクリアタイミング (コンペアマッチ) (チャンネル5)

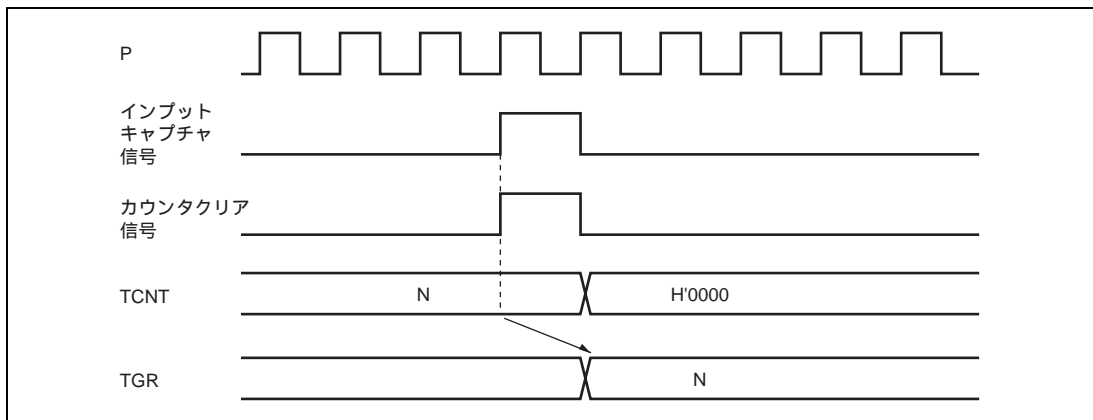


図 12.92 カウンタクリアタイミング (インブットキャプチャ) (チャンネル0~5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 12.93 ~ 図 12.95 に示します。

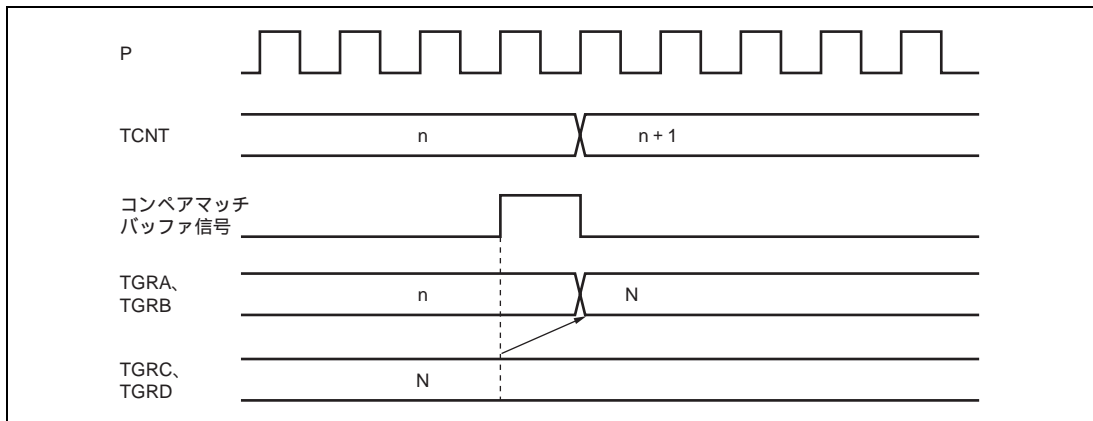


図 12.93 バッファ動作タイミング (コンペアマッチ)

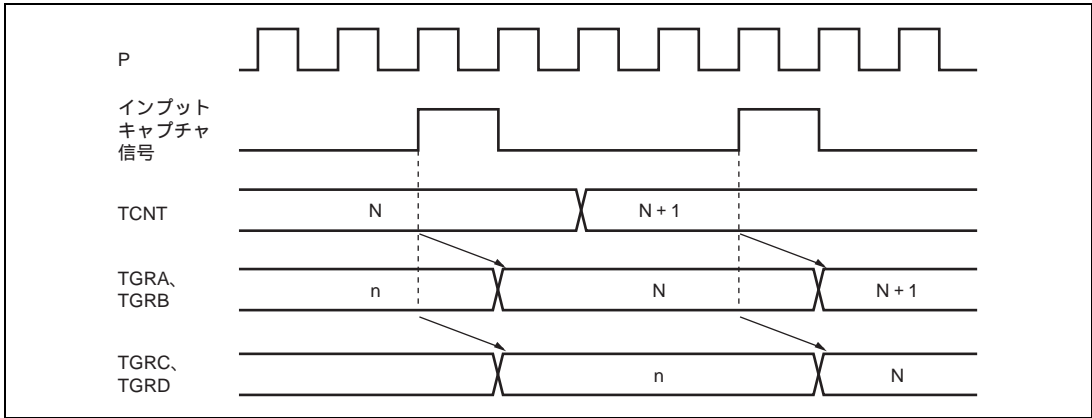


図 12.94 バッファ動作タイミング (インプットキャプチャ)

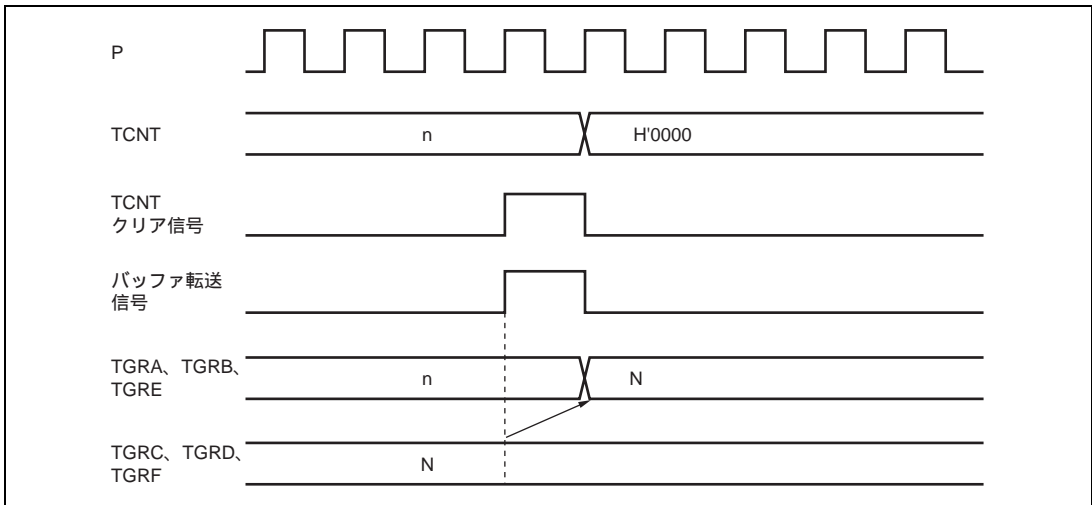


図 12.95 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 12.96 ~ 図 12.98 に示します。

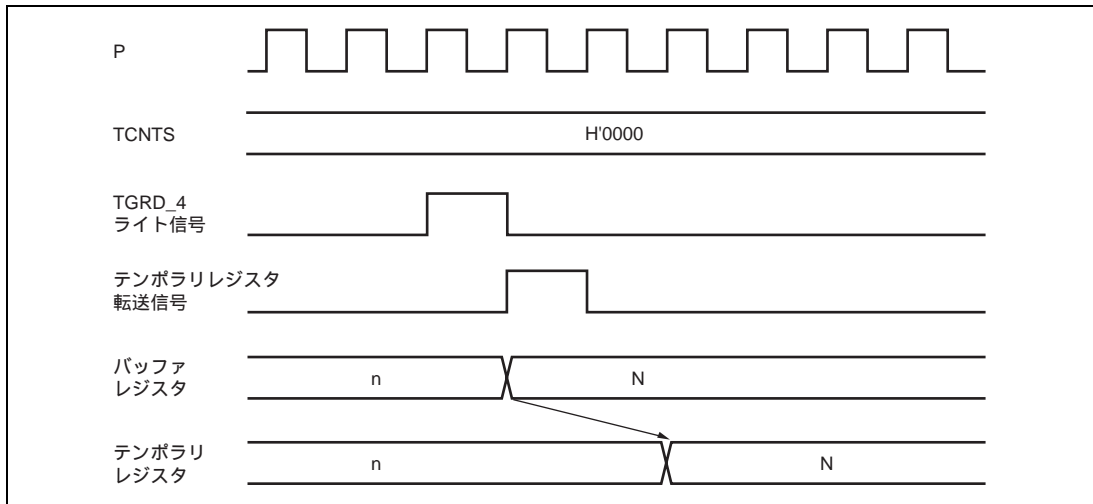


図 12.96 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 停止中)

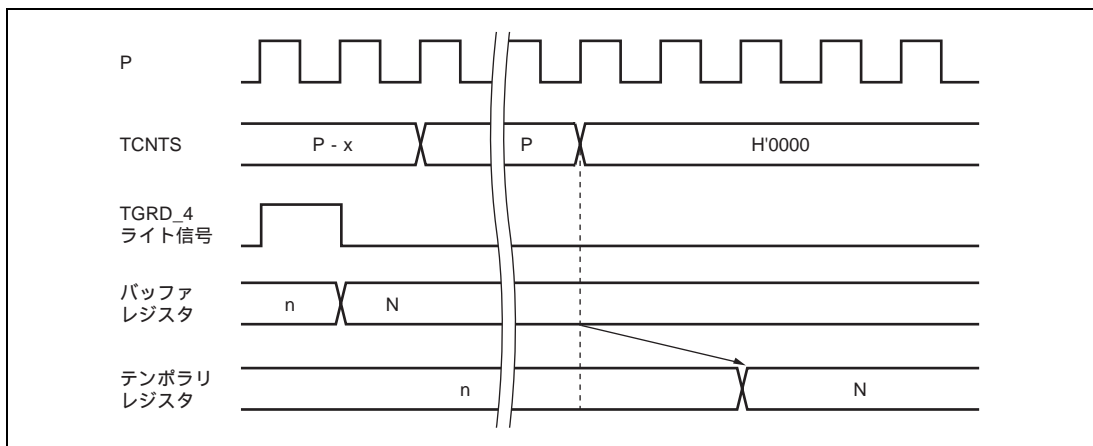


図 12.97 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 動作中)

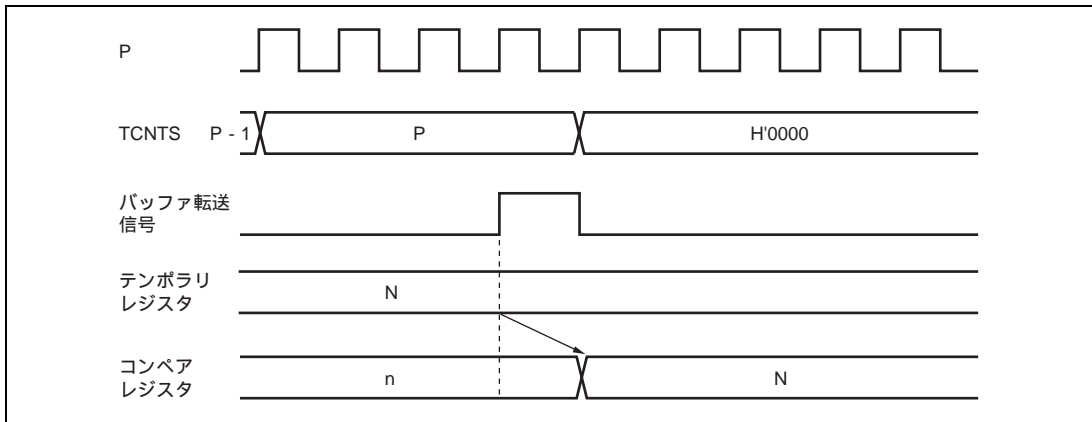


図 12.98 テンポラリレジスタからコンペアレジスタへの転送タイミング

12.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.99、図 12.100 に示します。

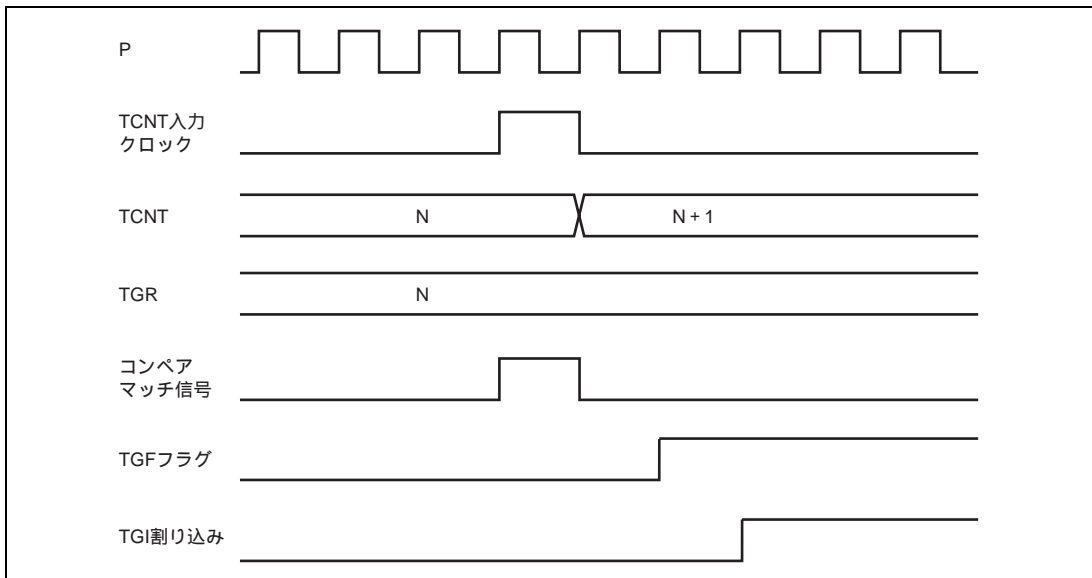


図 12.99 TGI 割り込みタイミング (コンペアマッチ) (チャンネル 0~4)

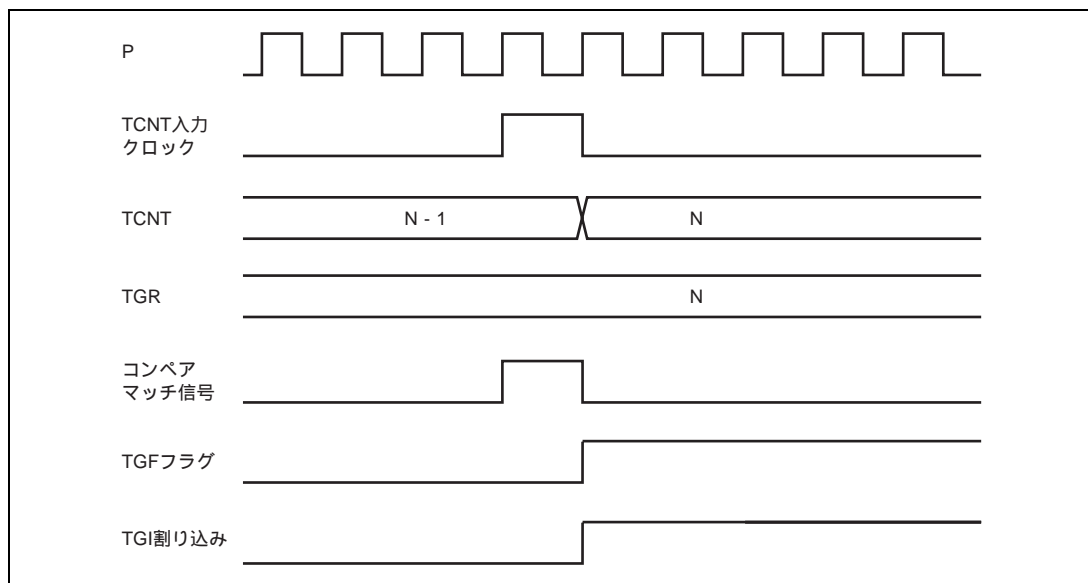


図 12.100 TGI 割り込みタイミング (コンペアマッチ) (チャンネル 5)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.101、図 12.102 に示します。

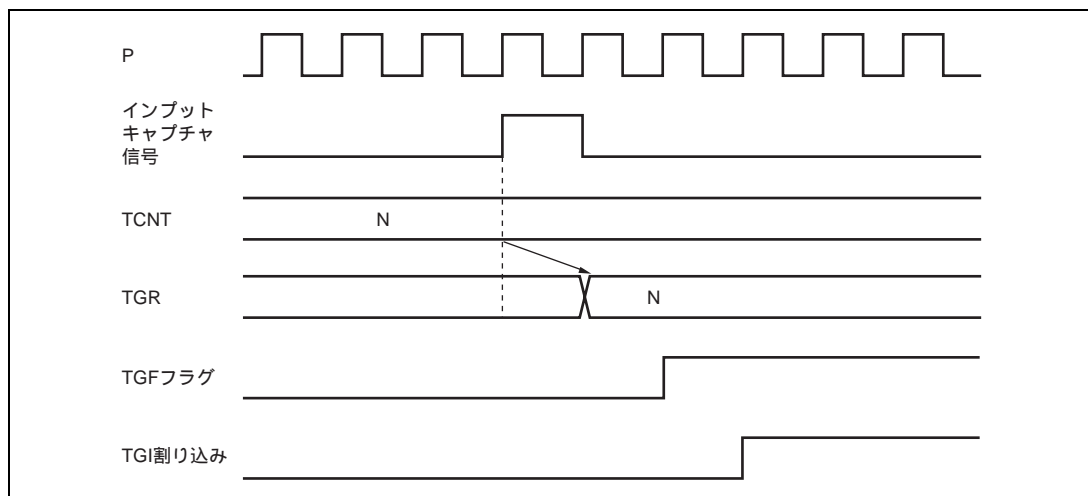


図 12.101 TGI 割り込みタイミング (インพุットキャプチャ) (チャンネル 0~4)

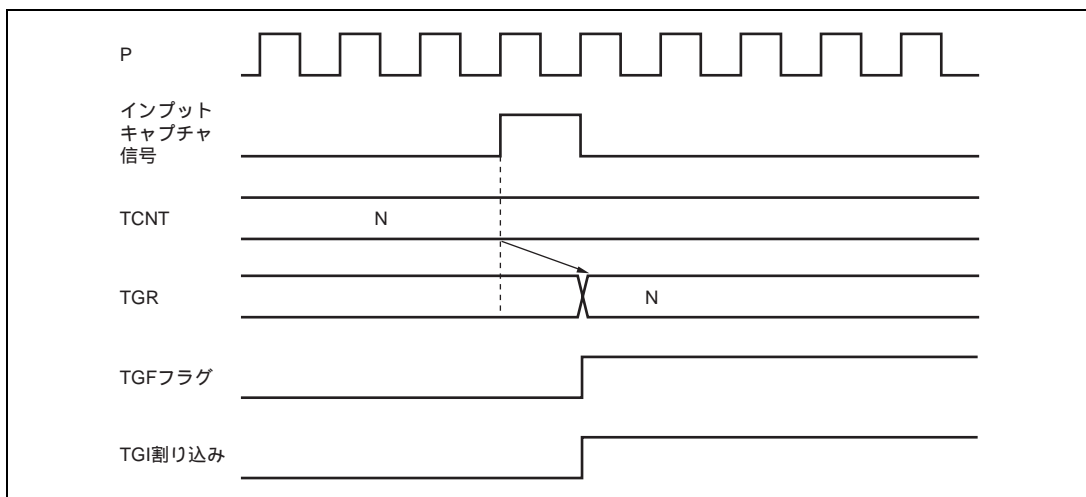


図 12.102 TGI 割り込みタイミング (インプットキャプチャ) (チャンネル 5)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 12.103 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 12.104 に示します。

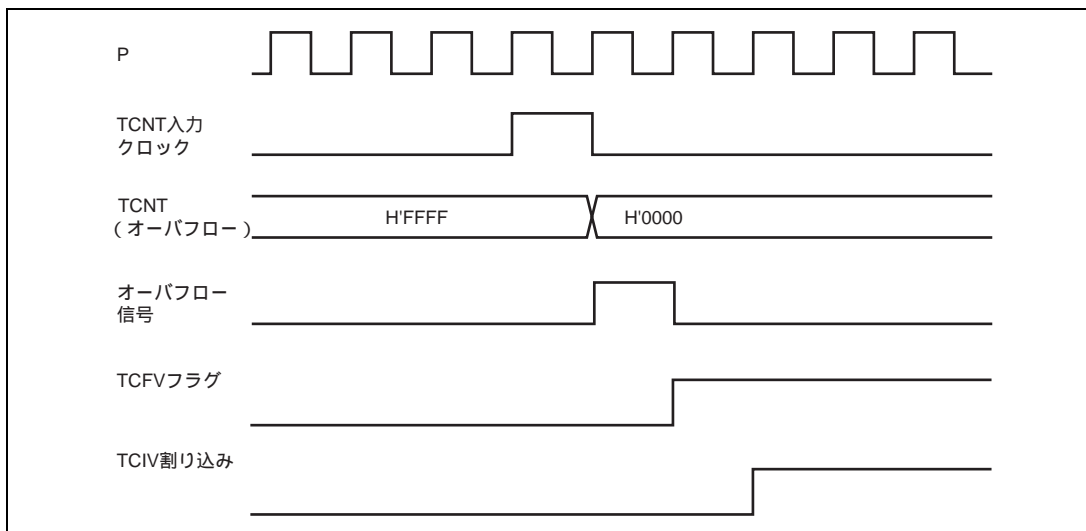


図 12.103 TCIV 割り込みのセットタイミング

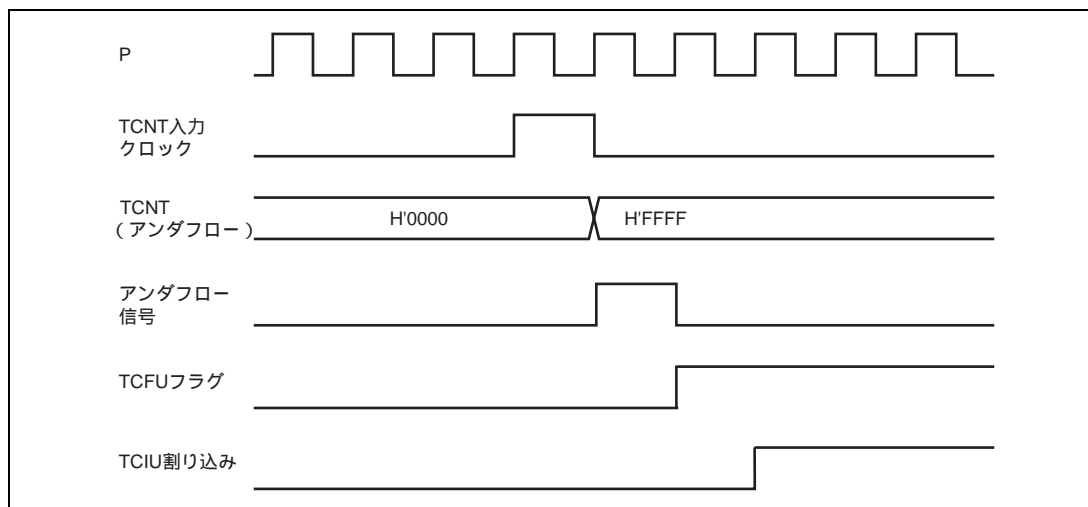


図 12.104 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。CPUによるステータスフラグのクリアタイミングを図 12.105、図 12.106 に、DMACによるステータスフラグのクリアのタイミングを図 12.107 に示します。

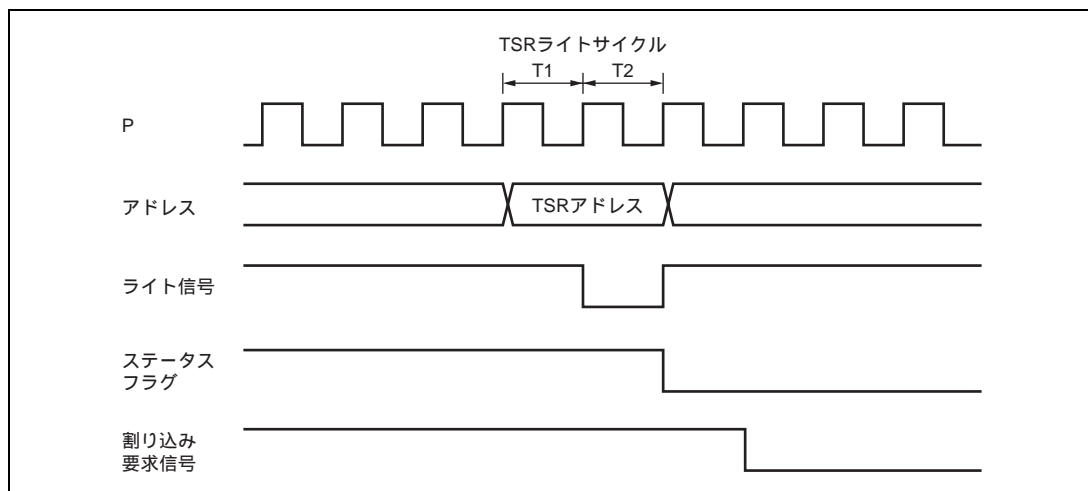


図 12.105 CPU によるステータスフラグのクリアタイミング (チャンネル 0~4)

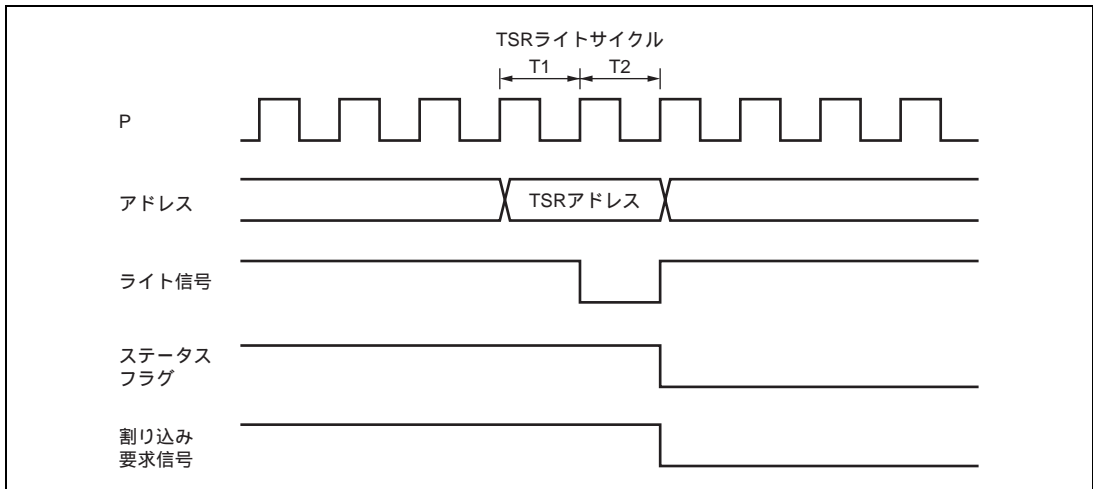


図 12.106 CPU によるステータスフラグのクリアタイミング (チャンネル 5)

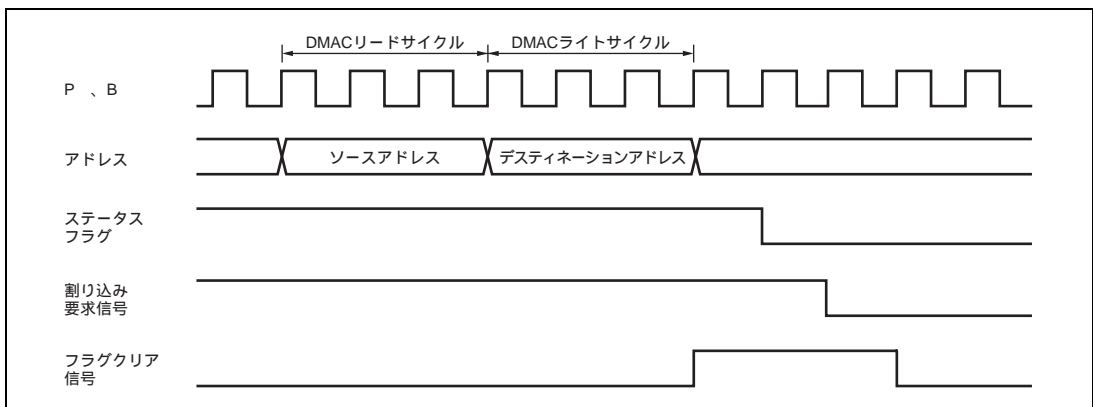


図 12.107 DMAC の起動によるステータスフラグのクリアタイミング (チャンネル 0~4)

12.7 使用上の注意事項

12.7.1 モジュールスタンバイモードの設定

MTU2 は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、MTU2 の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 25 章 低消費電力モード」を参照してください。

12.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 12.108 に示します。

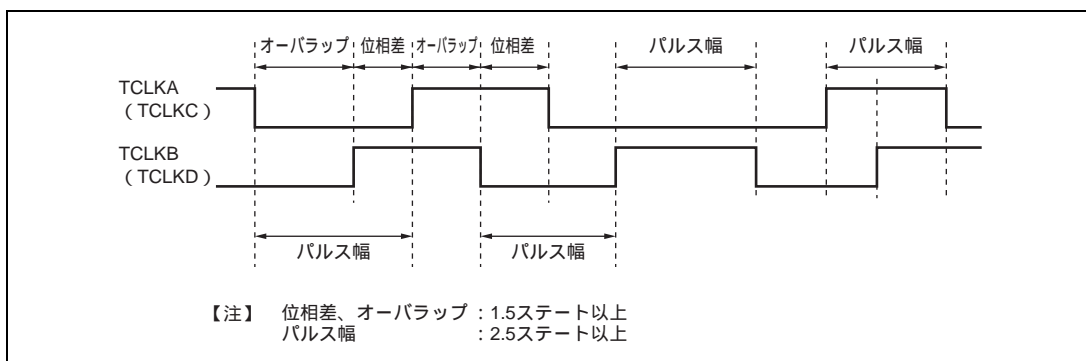


図 12.108 位相計数モード時の位相差、オーバーラップ、およびパルス幅

12.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- チャンネル0～4の場合

$$f = \frac{P}{(N+1)}$$

- チャンネル5の場合

$$f = \frac{P}{N}$$

f : カウンタ周波数

P : MTU2 クロック動作周波数

N : TGR の設定値

12.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 12.109 に示します。

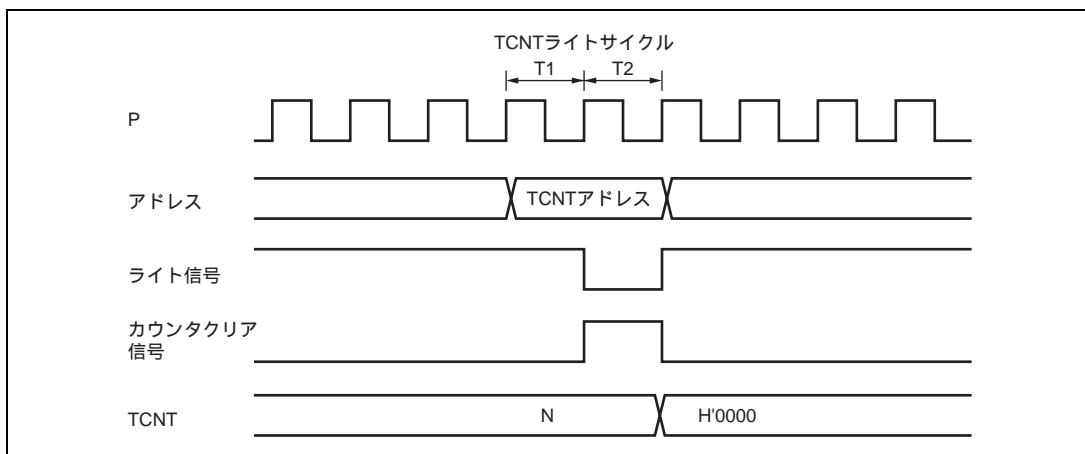


図 12.109 TCNT のライトとクリアの競合

12.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 12.110 に示します。

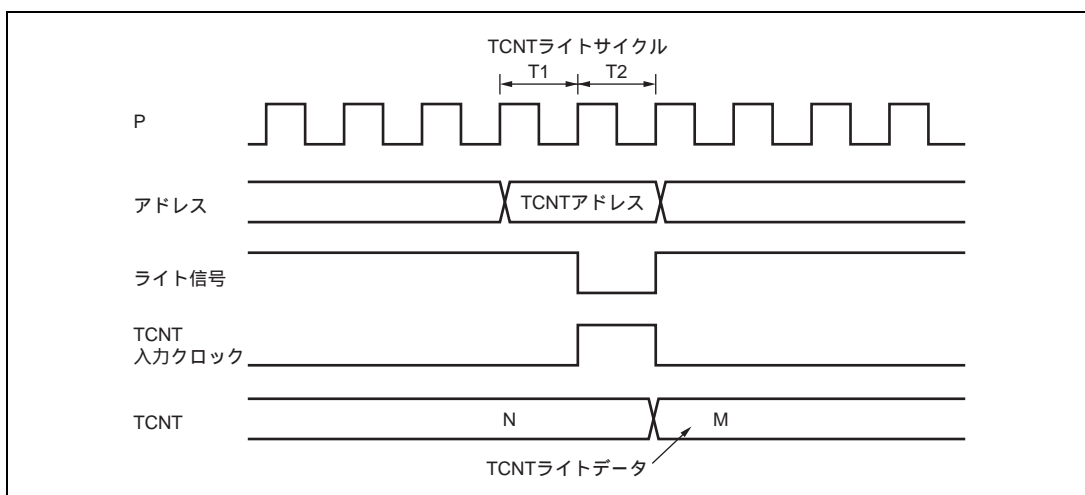


図 12.110 TCNT のライトとカウントアップの競合

12.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 12.111 に示します。

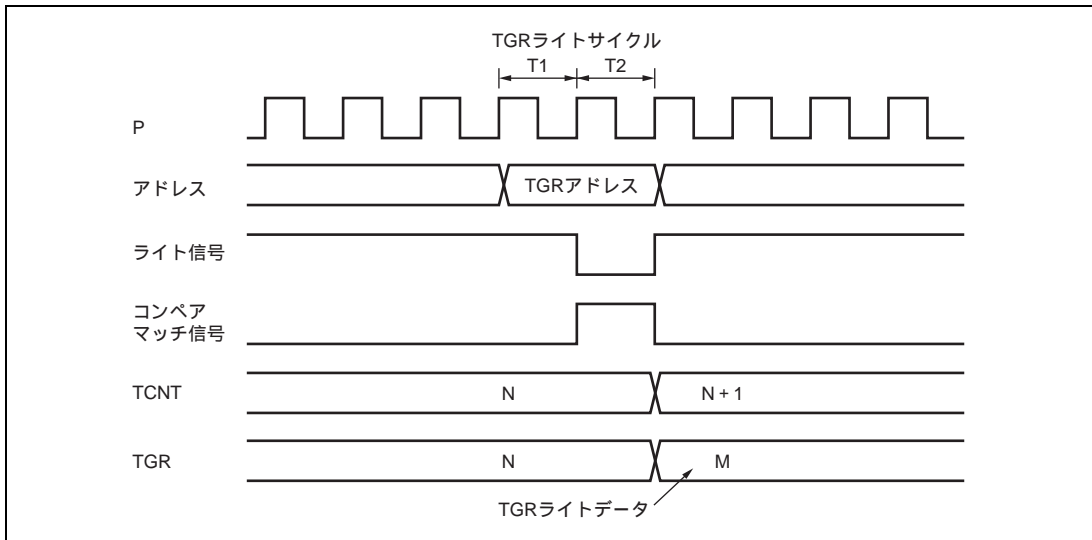


図 12.111 TGR のライトとコンペアマッチの競合

12.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 12.112 に示します。

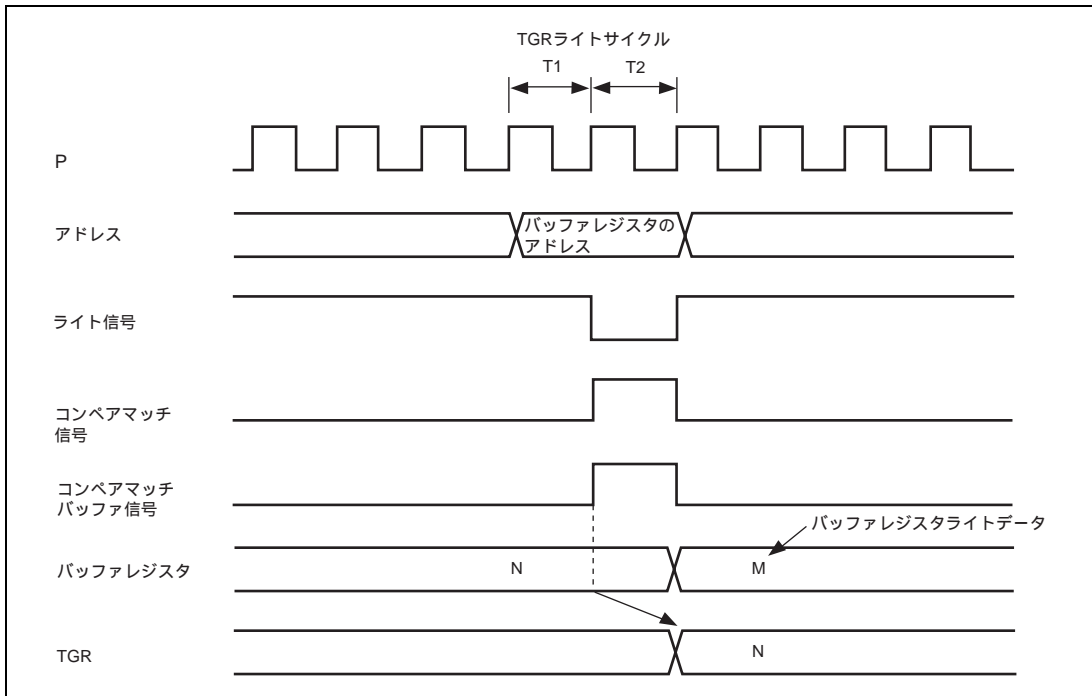


図 12.112 バッファレジスタのライトとコンペアマッチの競合

12.7.8 バッファレジスタのライトと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 12.113 に示します。

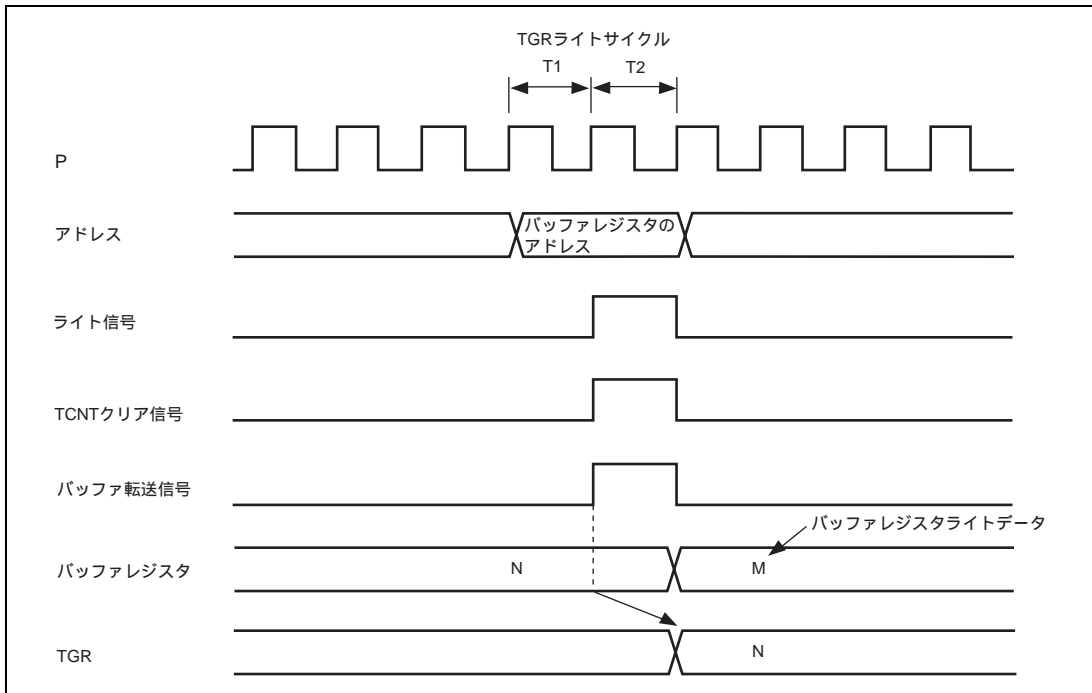


図 12.113 バッファレジスタのライトと TCNT クリアの競合

12.7.9 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはチャンネル 0~4 はインプットキャプチャ転送前のデータとなり、チャンネル 5 はインプットキャプチャ転送後のデータとなります。

このタイミングを図 12.114、図 12.115 に示します。

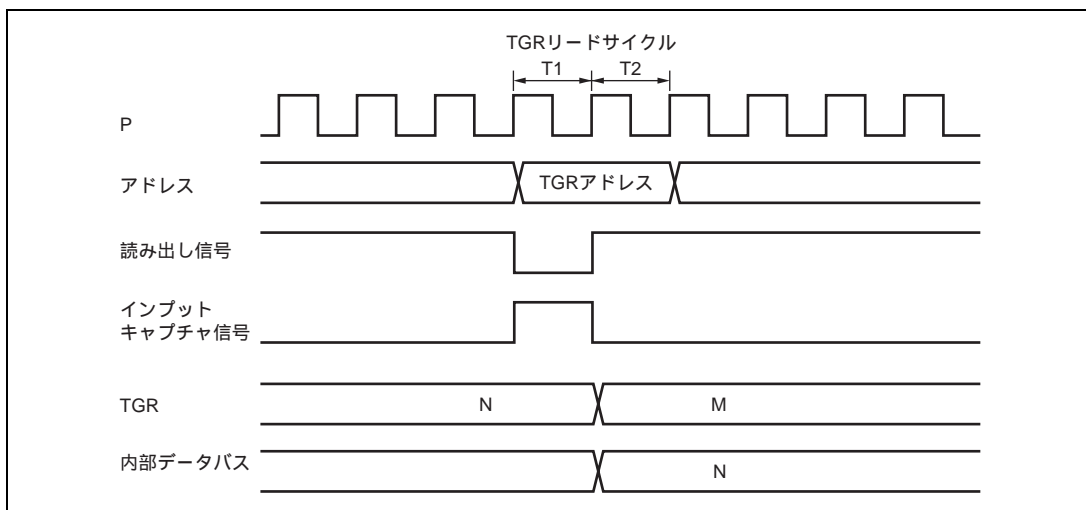


図 12.114 TGR のリードとインプットキャプチャの競合 (チャンネル 0~4)

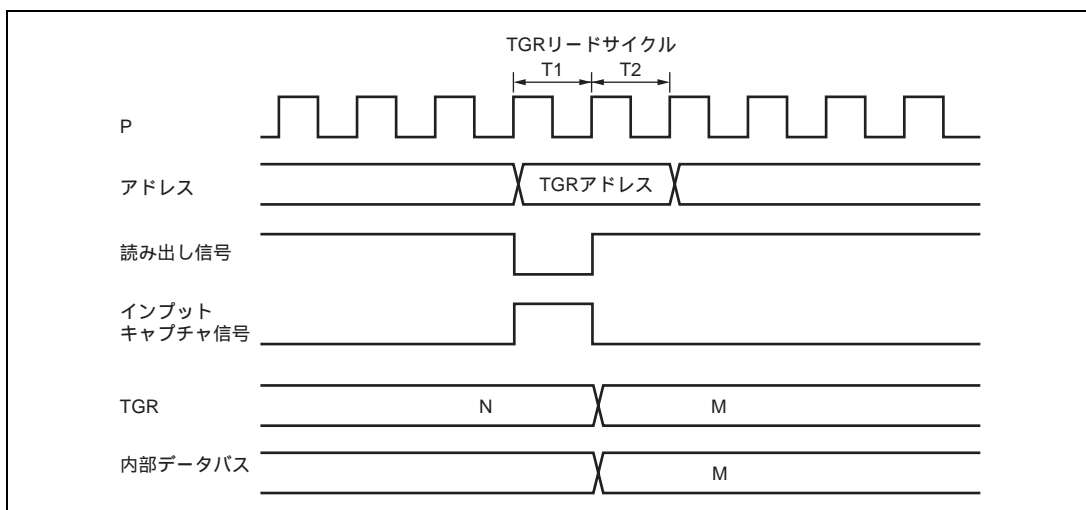


図 12.115 TGR のリードとインプットキャプチャの競合 (チャンネル 5)

12.7.10 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、チャンネル 0~4 は TGR へのライトは行われず、インプットキャプチャが優先され、チャンネル 5 は TGR へのライトが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 12.116、図 12.117 に示します。

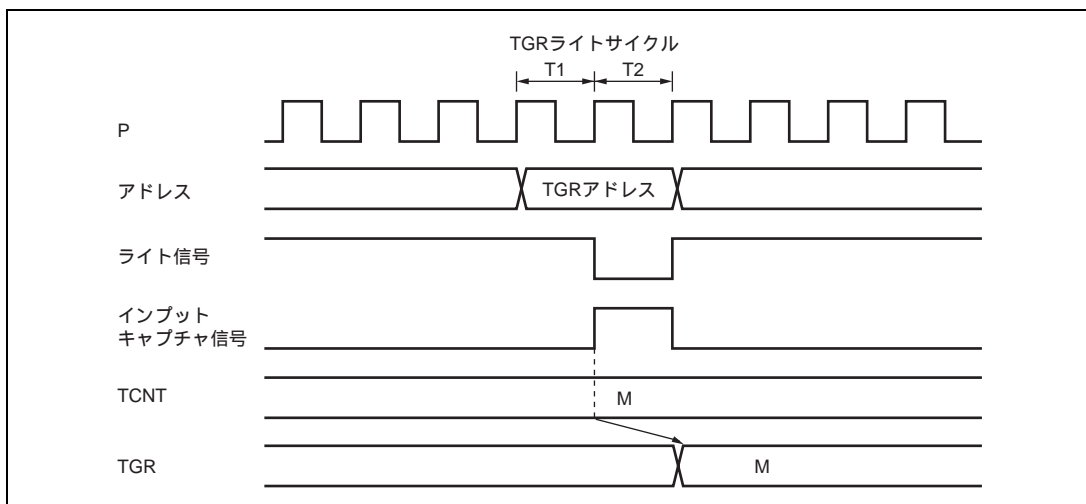


図 12.116 TGR のライトとインプットキャプチャの競合 (チャンネル 0~4)

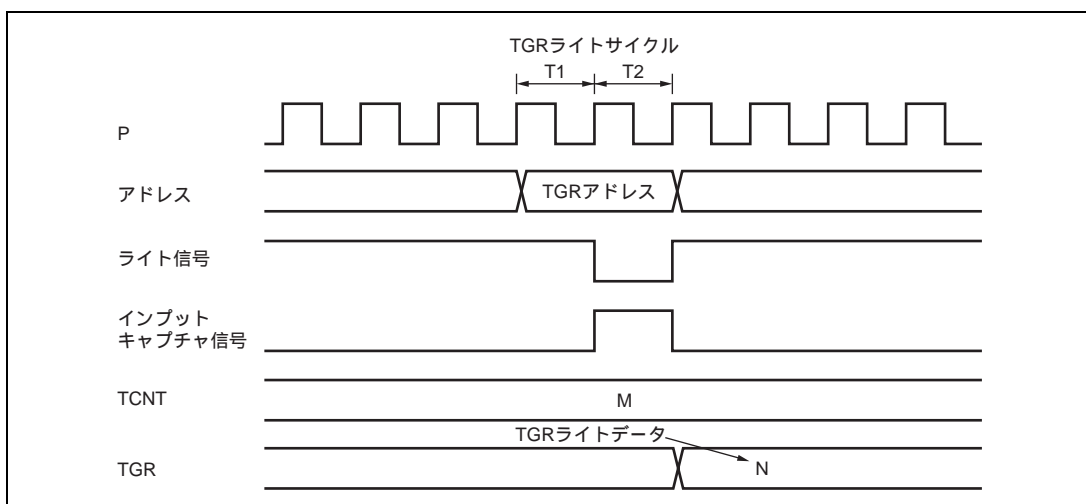


図 12.117 TGR のライトとインプットキャプチャの競合 (チャンネル 5)

12.7.11 バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 12.118 に示します。

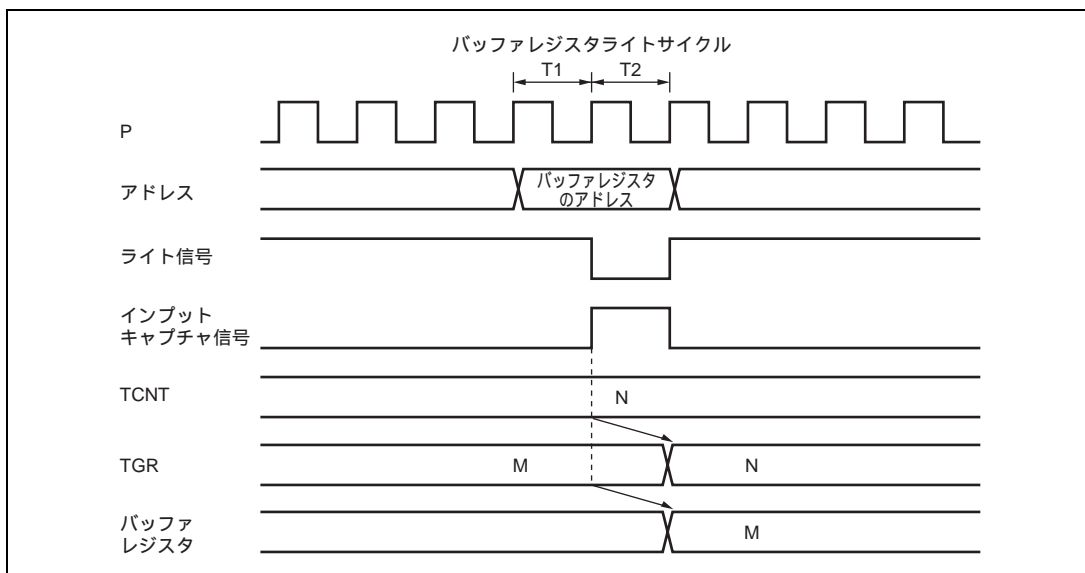


図 12.118 バッファレジスタのライトと入力キャプチャの競合

12.7.12 カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバフロー / アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 の入力キャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0 ~ D_0 は入力キャプチャ動作します。さらに TGRB_1 の入力キャプチャ要因に TGR_0 のコンペアマッチ / 入力キャプチャを選択した場合には、TGRB_1 は入力キャプチャ動作します。

このタイミングを図 12.119 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

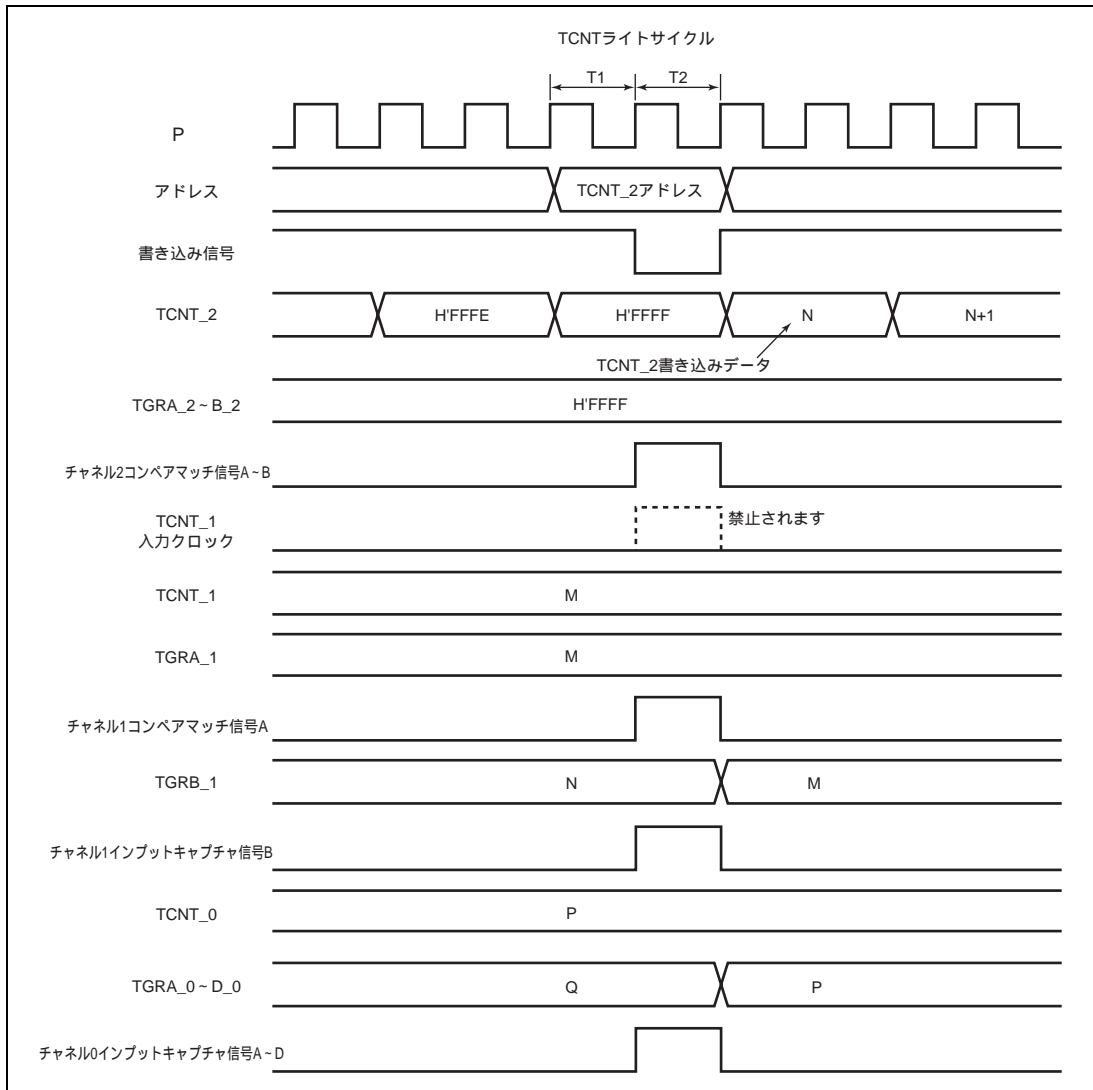


図 12.119 カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合

12.7.13 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作しているときにカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 12.120 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

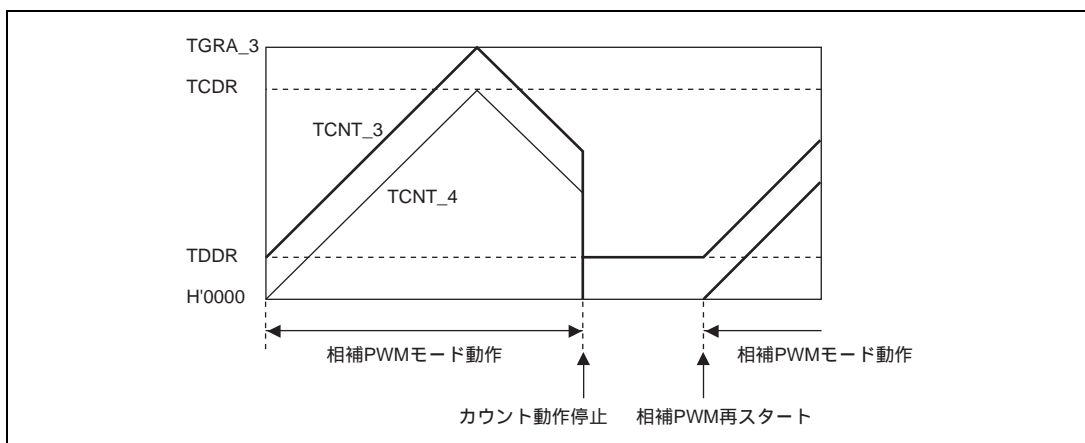


図 12.120 相補 PWM モード停止時のカウンタ値

12.7.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

12.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定するには、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFD ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 12.121 に示します。

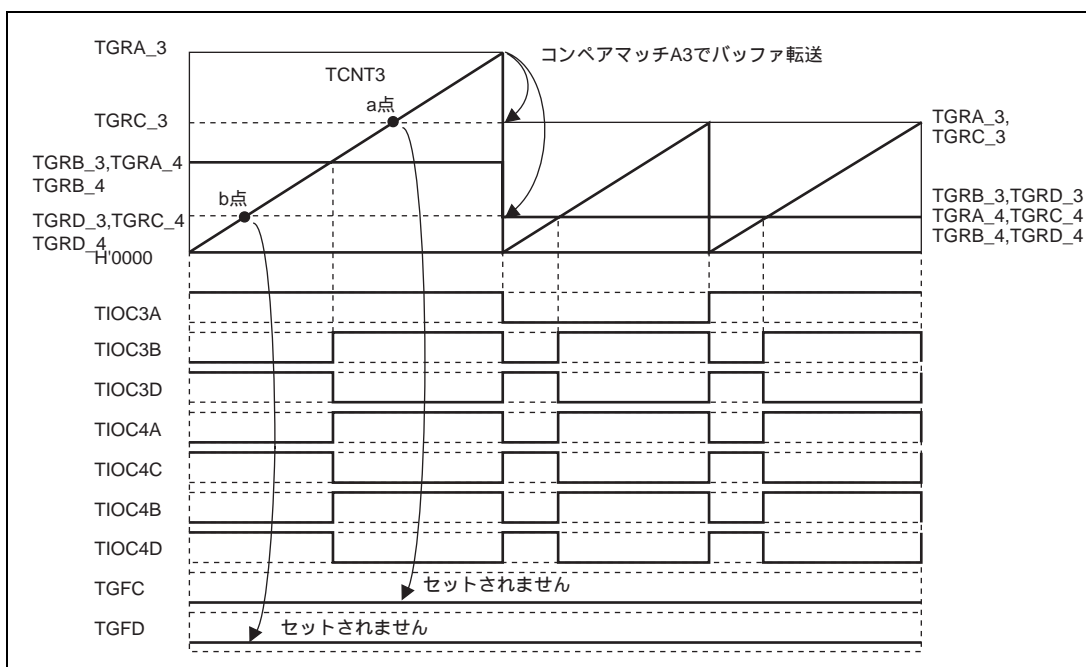


図 12.121 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

12.7.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 とともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 12.122 に示します。

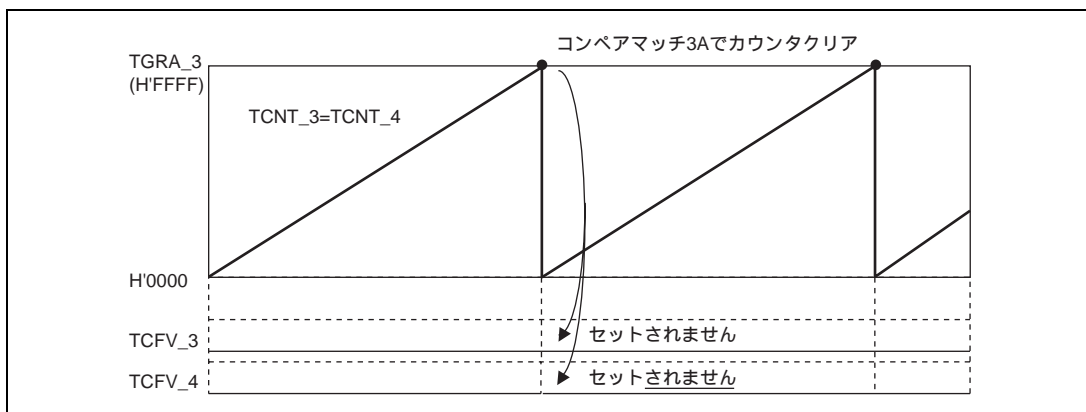


図 12.122 リセット同期 PWM モードのオーバーフローフラグ

12.7.17 オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 12.123 に示します。

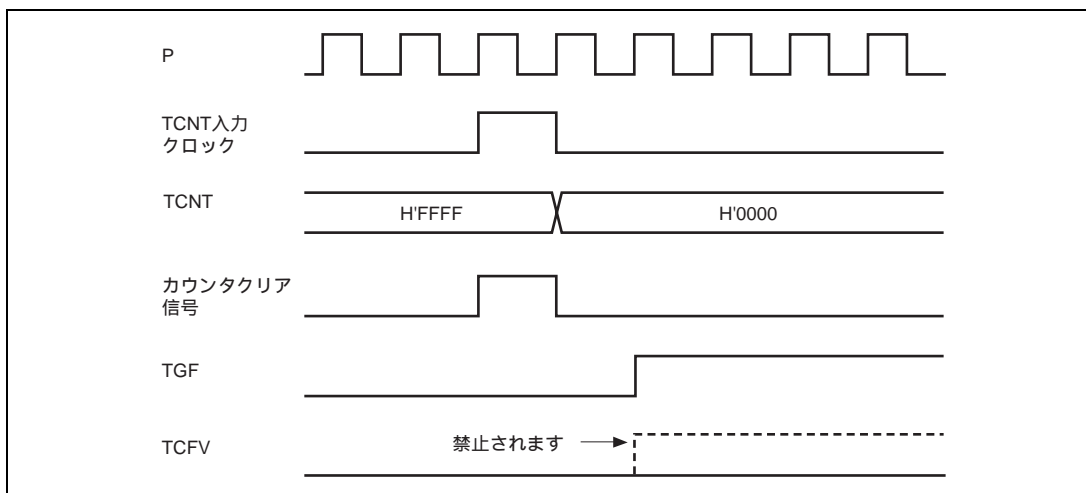


図 12.123 オーバフローとカウンタクリアの競合

12.7.18 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 12.124 に示します。

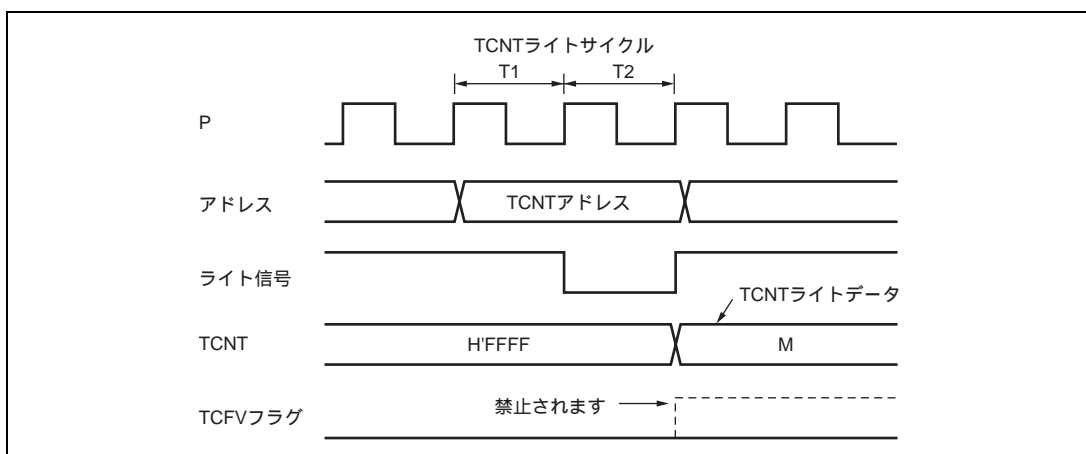


図 12.124 TCNT のライトとオーバフローの競合

12.7.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル3、4の通常動作またはPWMモード1からリセット同期PWMモードへ遷移する場合、出力端子(TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D)をハイレベルの状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期PWMモードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4レジスタにH'11を書いて出力端子をローレベルに初期化した後、レジスタの初期値H'00を設定してからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値H'00を設定してからリセット同期PWMモードに遷移してください。

12.7.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル3、4が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはタイマアウトプットコントロールレジスタ(TOCR)のOLSP、OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIORはH'00としてください。

12.7.21 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPUの割り込み要因、またはDMAC起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

12.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ1、2(TCNT_1とTCNT_2)をカスケード接続して、32ビットカウンタとして動作させている場合、TIOC1AとTIOC2A、またはTIOC1BとTIOC2Bに同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、またはTIOC1BとTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、TCNT_1(上位16ビットのカウンタ)がTCNT_2(下位16ビットのカウンタ)のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはTCNT_1=H'FFF1、TCNT_2=H'0000の値をTGRA_1とTGRA_2、もしくはTGRB_1とTGRB_2に転送すべきところを誤ってTCNT_1=H'FFF0、TCNT_2=H'0000の値を転送します。

12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項

相補 PWM モードにて、同期カウンタクリア時出力波形制御を有効(TWCR レジスタの WRE=1)とした状態で、条件(1)、条件(2)のいずれかを満たすと、下記の現象が発生します。

- PWM出力端子のデッドタイムが短くなる(もしくは消失)。
- PWM逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される。

条件(1) 初期出力の抑止期間にて、PWM出力がデッドタイム期間中に、同期クリアする(図 12.125)。

条件(2) 初期出力の抑止期間、にて、TGRB_3 TDDR、TGRA_4 TDDR、TGRB_4 TDDR のいずれかが成立する状態で、同期クリアする(図 12.126)。

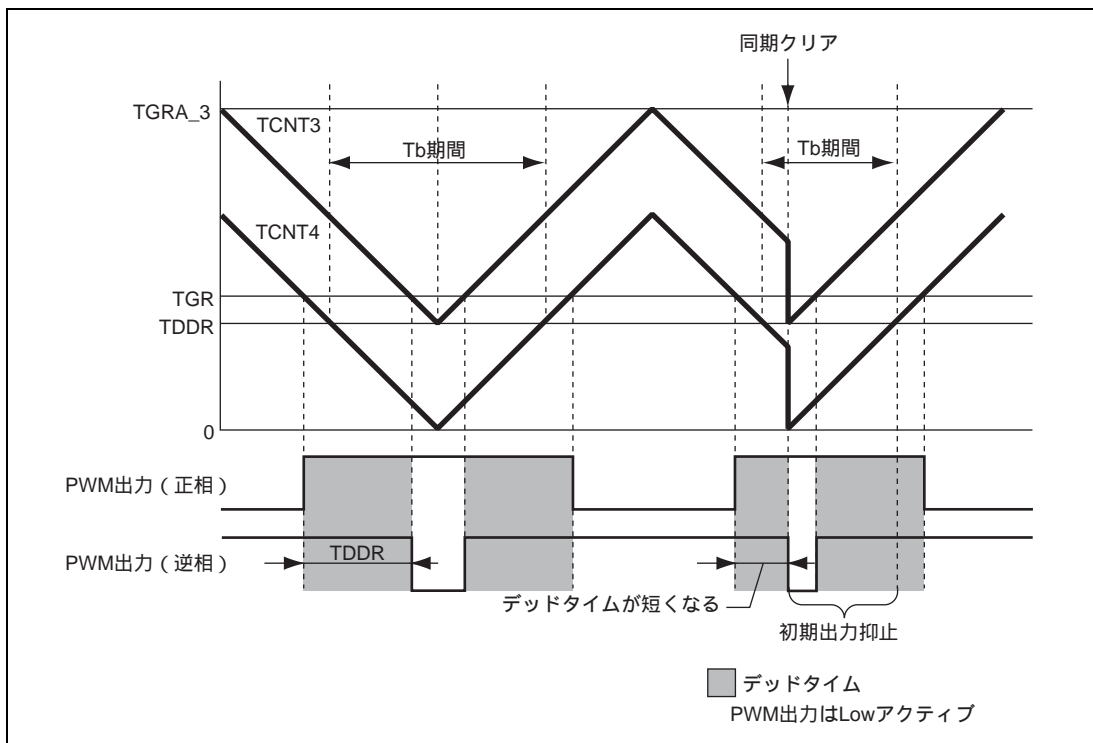


図 12.125 条件(1)の同期クリア例

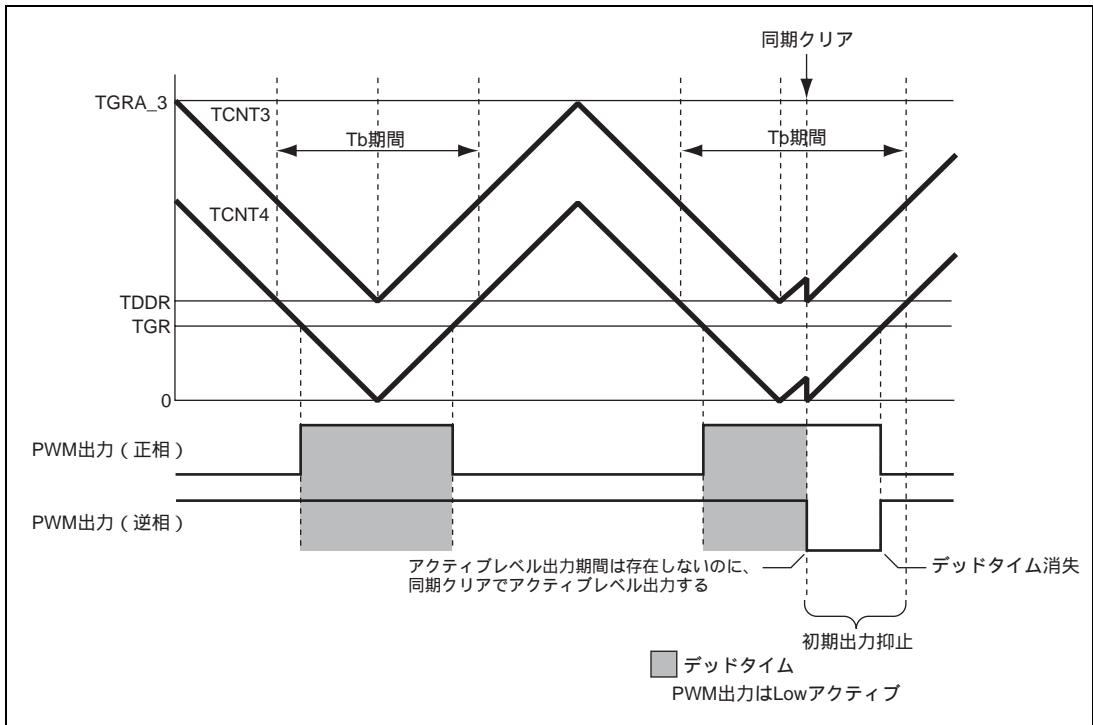


図 12.126 条件 (2) の同期クリア例

本現象は下記の方法により、回避することができます。

コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定した状態で、同期クリアする。

12.8 MTU2 出力端子の初期化方法

12.8.1 動作モード

MTU2 には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、各モードでの MTU2 出力端子の初期化方法について示します。

12.8.2 リセットスタート時の動作

MTU2 の出力端子 (TIOC*) はパワーオンリセット時に L に初期化されます。MTU2 の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU2 の端子の状態がポートに出力されます。パワーオンリセット直後に PFC で MTU2 の出力を選択した場合、ポート出力には MTU2 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU2 の出力端子の初期設定終了後に行ってください。

【注】 * チャンネル番号+ポート記号が入ります。

12.8.3 動作中の異常などによる再設定時の動作

MTU2 の動作中に異常が発生した場合、システムで MTU2 の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り替え、アクティブレベルの反転を出力することにより行います。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU2 には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 12.59 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 12.59 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

12.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマI/Oコントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合はTIORの設定により端子を初期化してください。
- PWMモード1ではTIOC*B (TIOC*D) 端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード1に遷移してください。
- PWMモード2では周期レジスタの端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード2遷移してください。
- ノーマルモードまたはPWMモード2ではTGRC、TGRDがバッファレジスタとして動作している場合、TIORを設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWMモード1ではTGRC、TGRDのいずれか一方がバッファレジスタとして動作している場合、TIORを設定してもTGRCの端子は初期化されません。TGRCの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移しTIORで初期化、TIORを初期値に戻したのちタイマアウトプットマスタイネーブルレジスタ (TOER) でチャンネル3、4を一度出力禁止としてください。その後モード設定手順 (TOCR設定、TMDR設定、TOER設定) に従い動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 12.59 の組み合わせ No.に従い端子の初期化手順を示します。なお、アクティブレベルはLとします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.127 に示します。

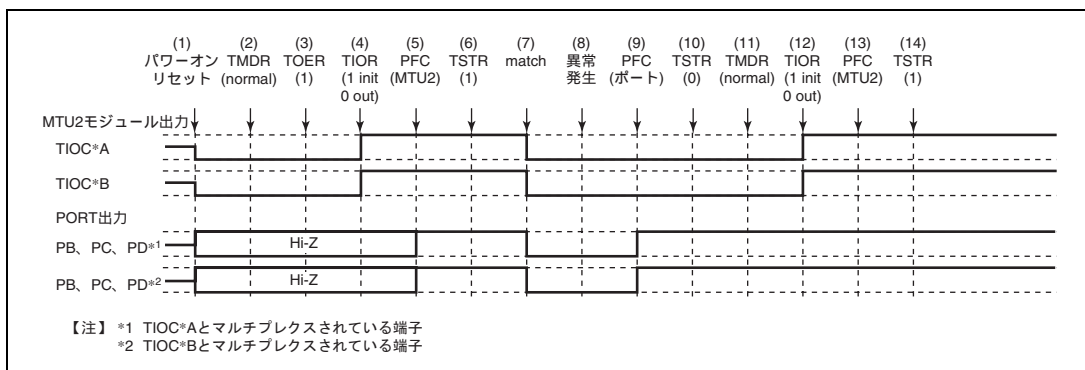


図 12.127 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) パワーオンリセットにより MTU2 出力は Low レベル、ポートはハイインピーダンスになります。
- (2) パワーオンリセットにより TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりローレベルを出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.128 に示します。

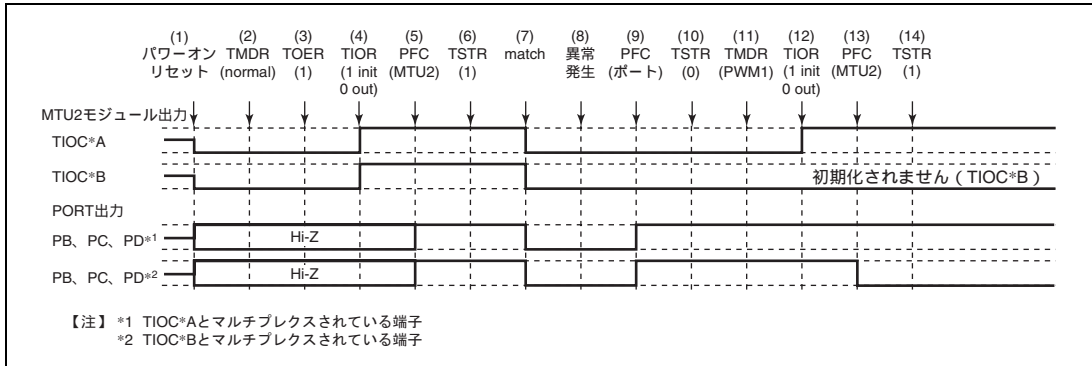


図 12.128 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.127 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.129 に示します。

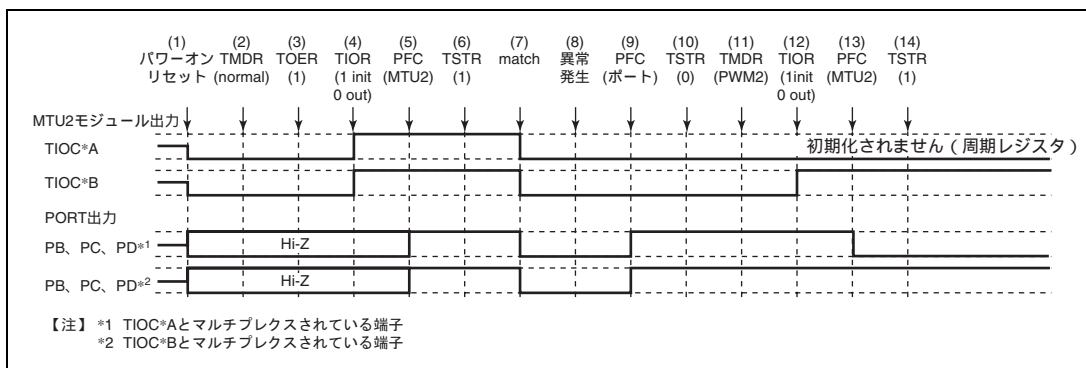


図 12.129 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 12.127 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.130 に示します。

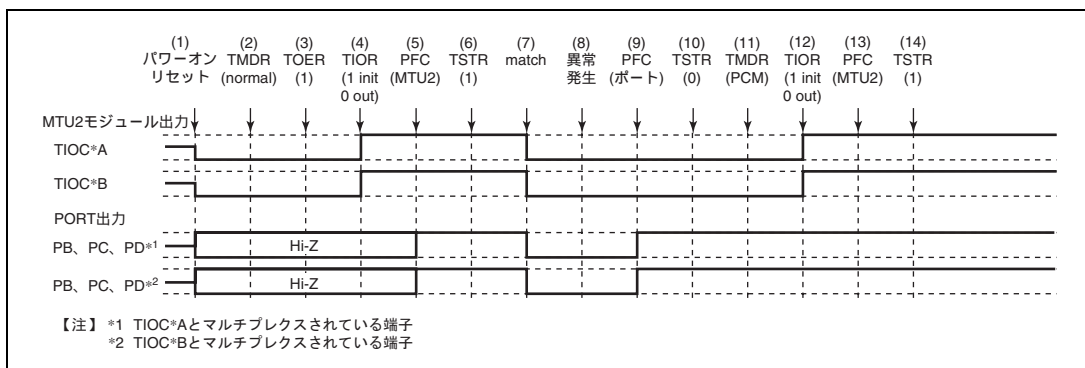


図 12.130 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 12.127 と共通です。
 (11) 位相計数モードを設定します。
 (12) TIOR で端子を初期化してください。
 (13) PFC で MTU2 出力としてください。
 (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.131 に示します。

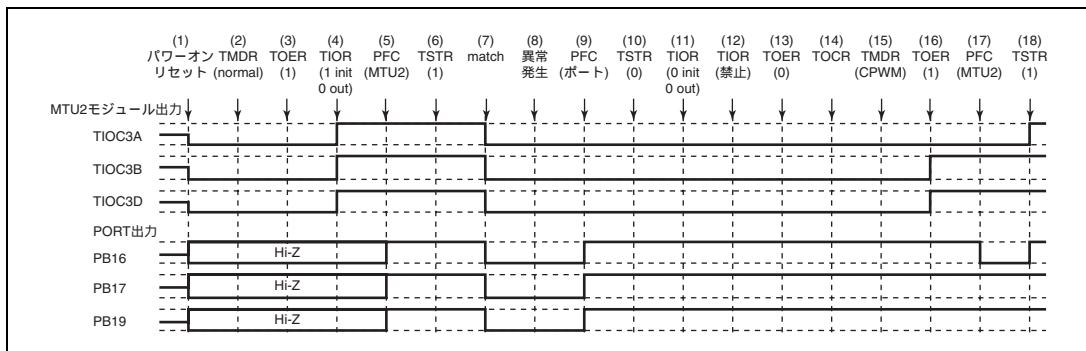


図 12.131 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 12.127 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) PFC で MTU2 出力としてください。

(18) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
 ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.132 に示します。

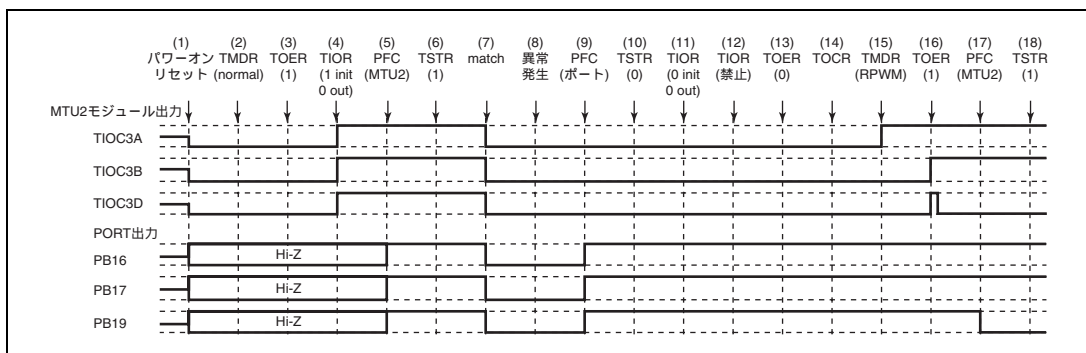


図 12.132 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 12.127 と共通です。
- (14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) PFC で MTU2 出力としてください。
- (18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.133 に示します。

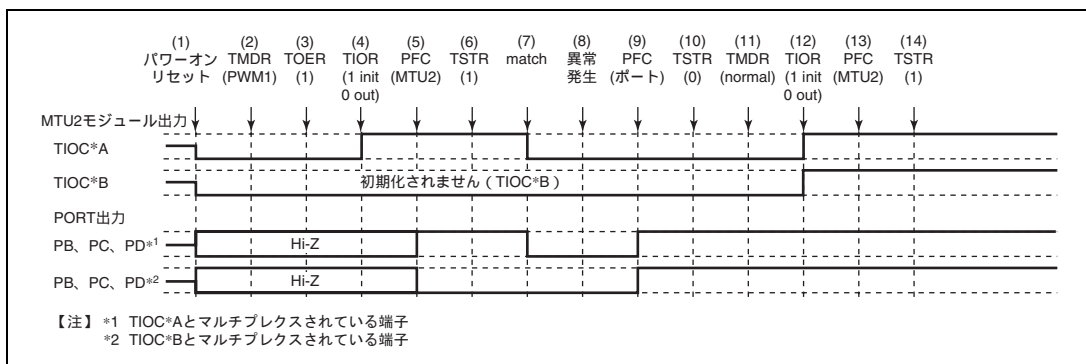


図 12.133 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) パワーオンリセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.134 に示します。

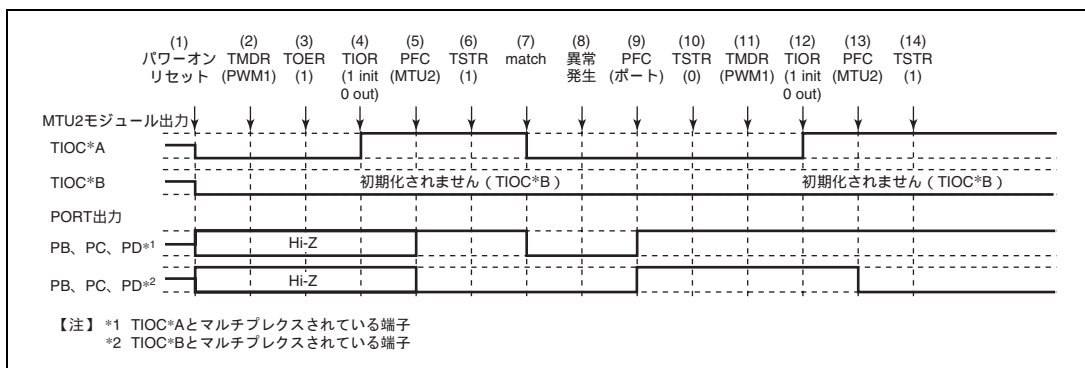


図 12.134 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.133 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.135 に示します。

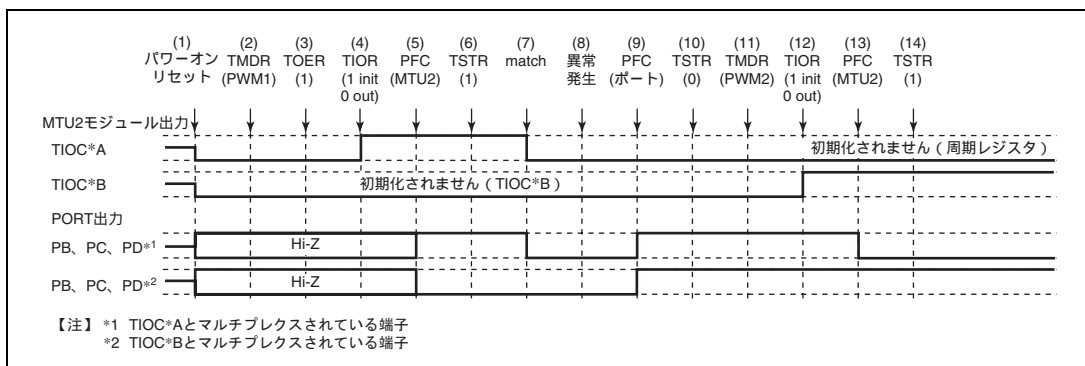


図 12.135 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 12.133 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.136 に示します。

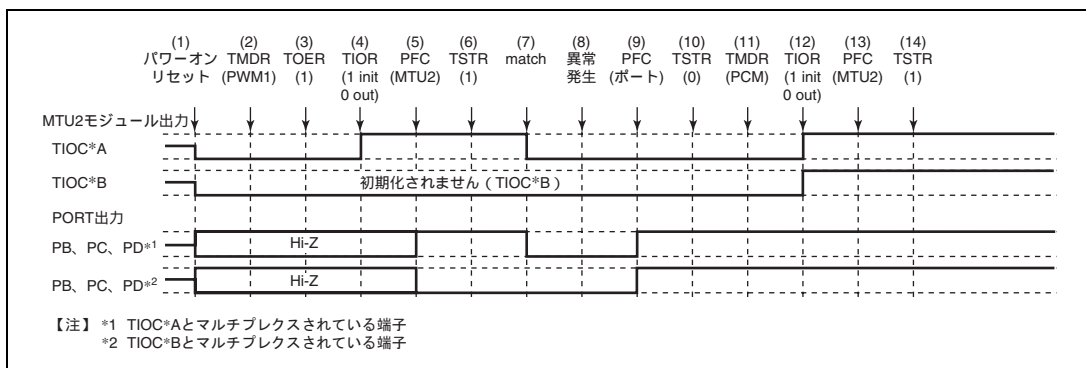


図 12.136 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 12.133 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR で端子を初期化してください。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.137 に示します。

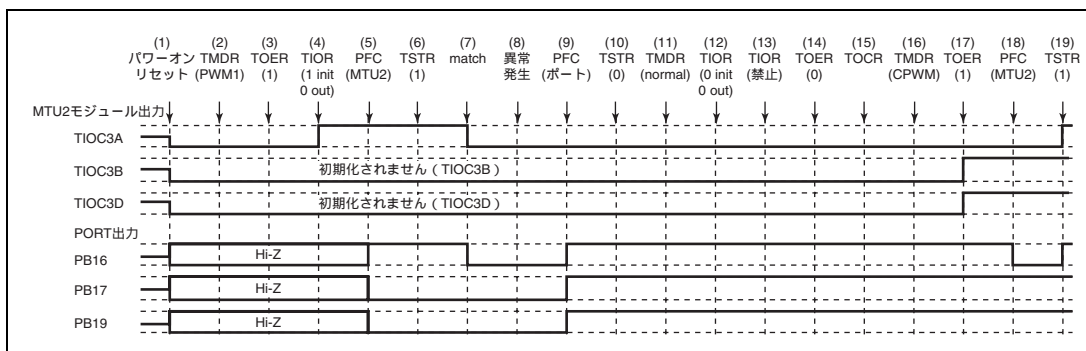


図 12.137 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 12.133 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) TIOR で PWM モード 1 の波形生成部を初期化してください。

(13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。

(14) TOER でチャンネル 3、4 の出力を禁止してください。

(15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) 相補 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.138 に示します。

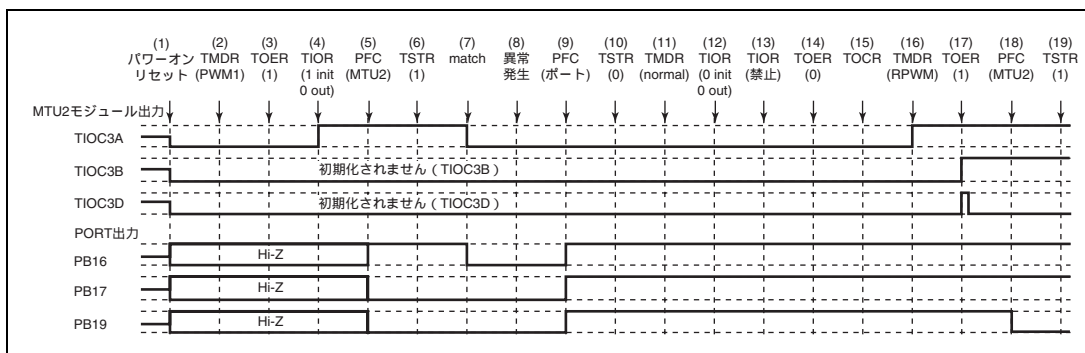


図 12.138 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 12.137 と共通です。

(15) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.139 に示します。

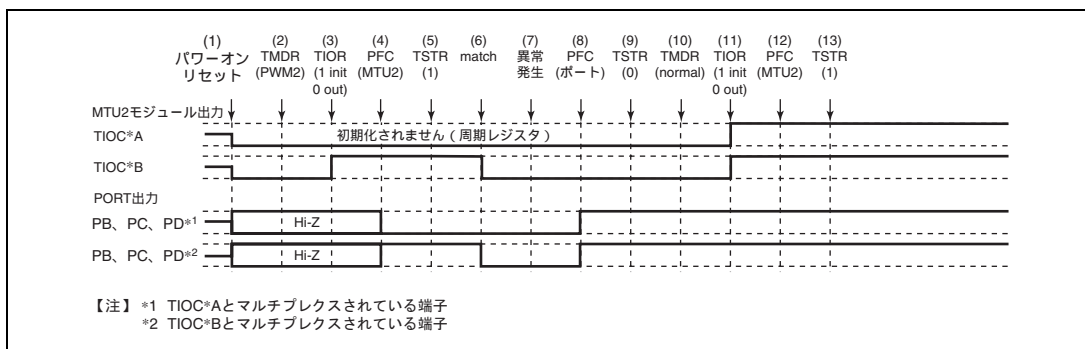


図 12.139 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.140 に示します。

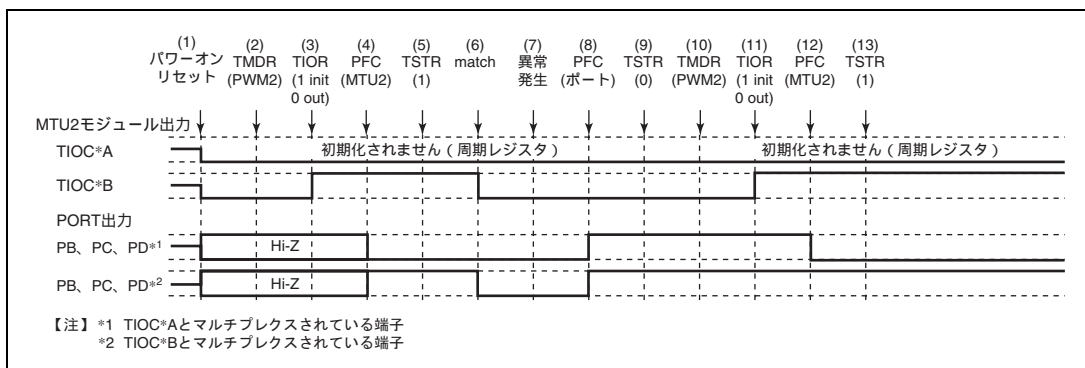


図 12.140 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 12.139 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.141 に示します。

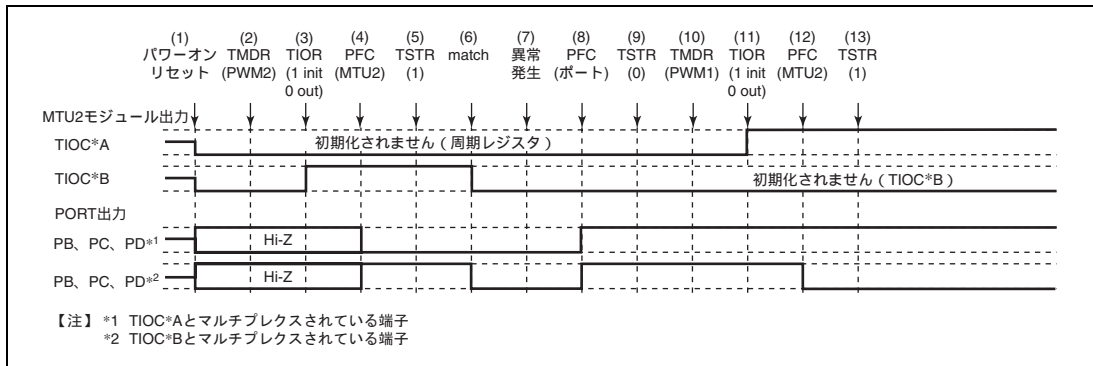


図 12.141 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 12.139 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.142 に示します。

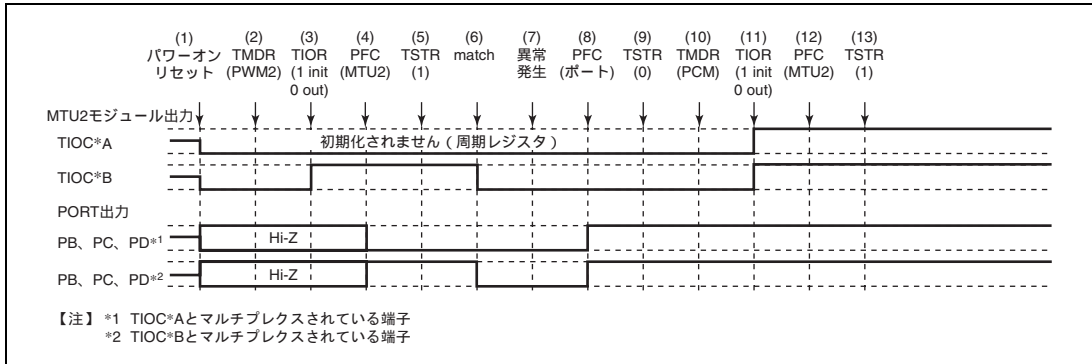


図 12.142 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 12.139 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.143 に示します。

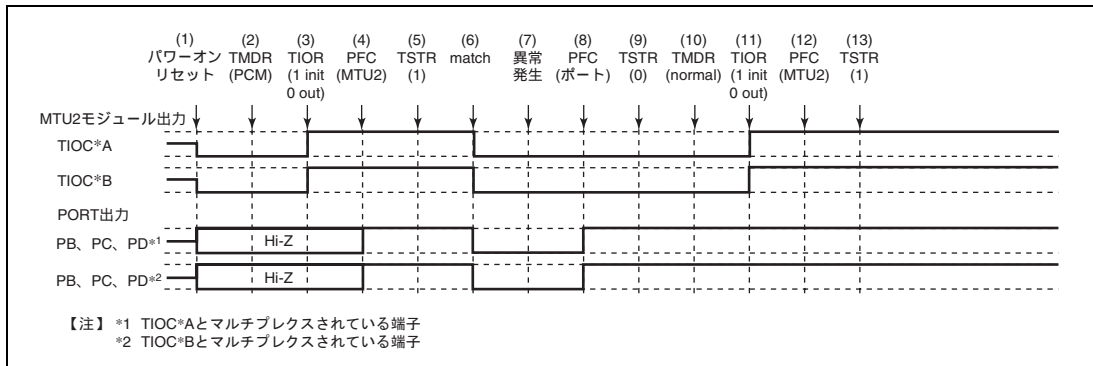


図 12.143 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) パワーオンリセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.144 に示します。

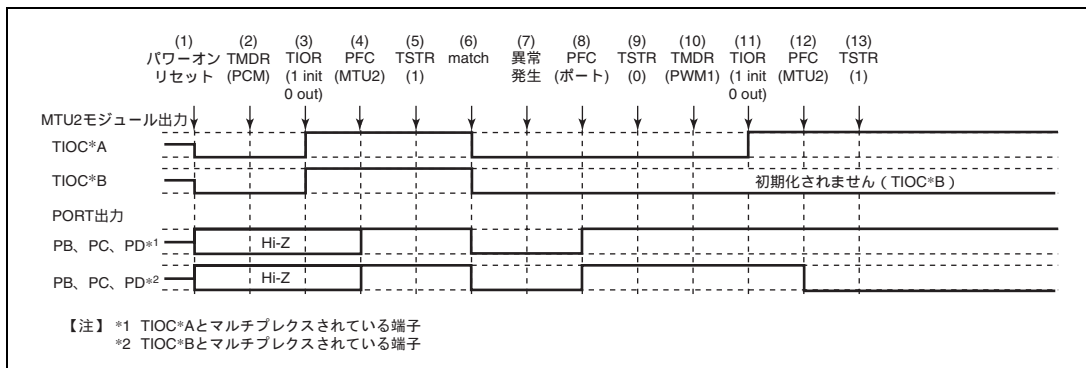


図 12.144 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 12.143 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 12.145 に示します。

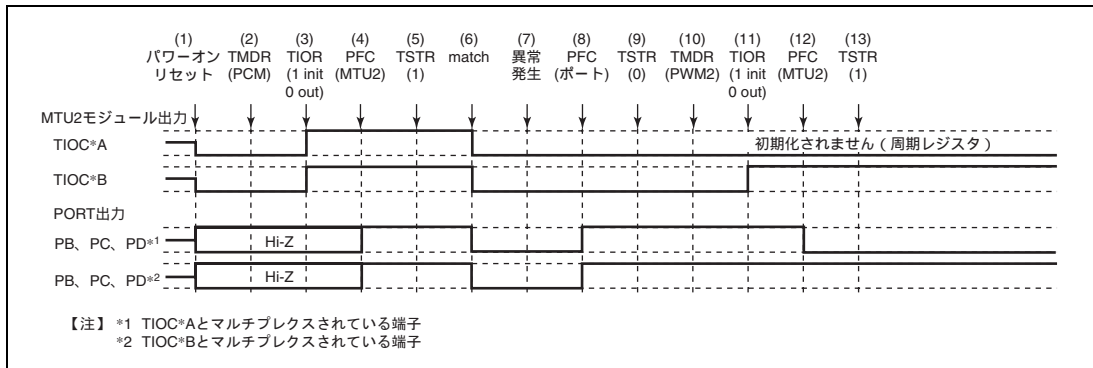


図 12.145 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 12.143 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.146 に示します。

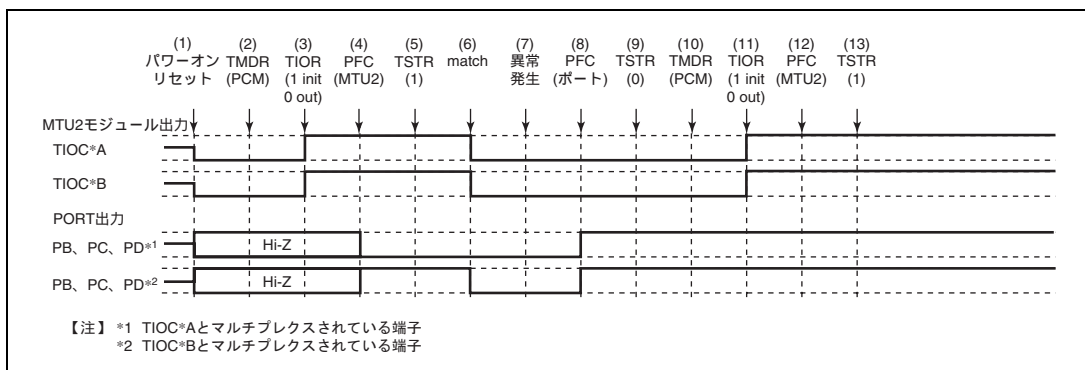


図 12.146 位相計数モードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 12.143 と共通です。
- (10) 位相計数モードで再スタートする場合には必要ありません。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再起動する場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再起動する場合の説明図を図 12.147 に示します。

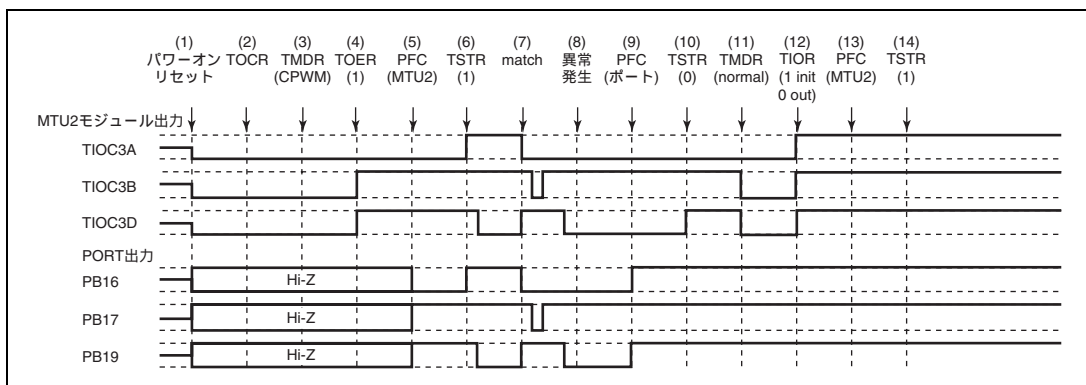


図 12.147 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) パワーオンリセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再起動します。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.148 に示します。

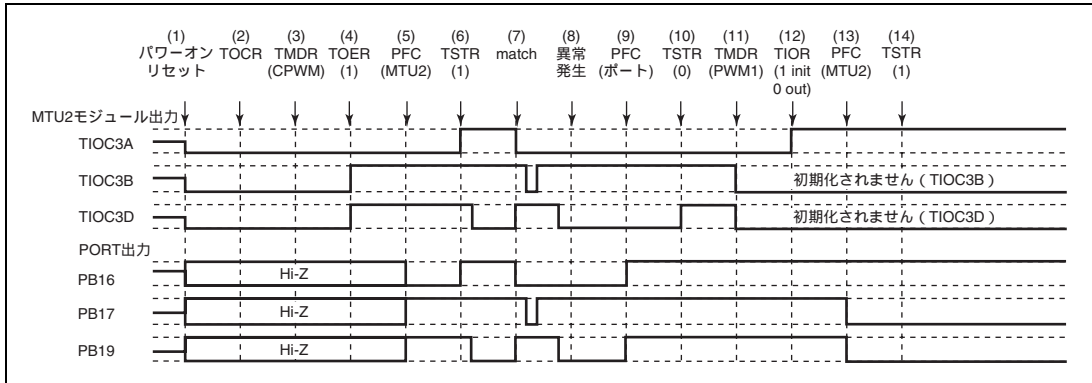


図 12.148 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.147 と共通です。

(11) PWM モード 1 を設定してください (MTU2 出力はローレベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作
 相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.149 に示します (周期、デューティ設定をカウンタを止めた時の値から再スタートする場合)。

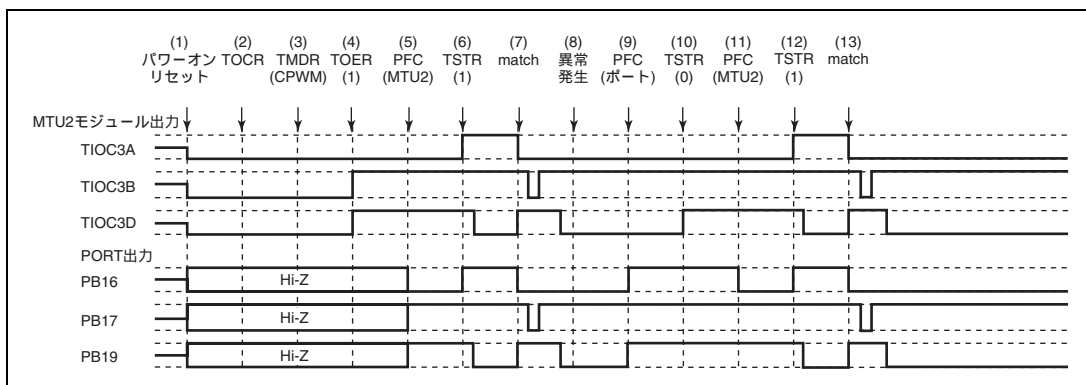


図 12.149 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.147 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作
 相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.150 に示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

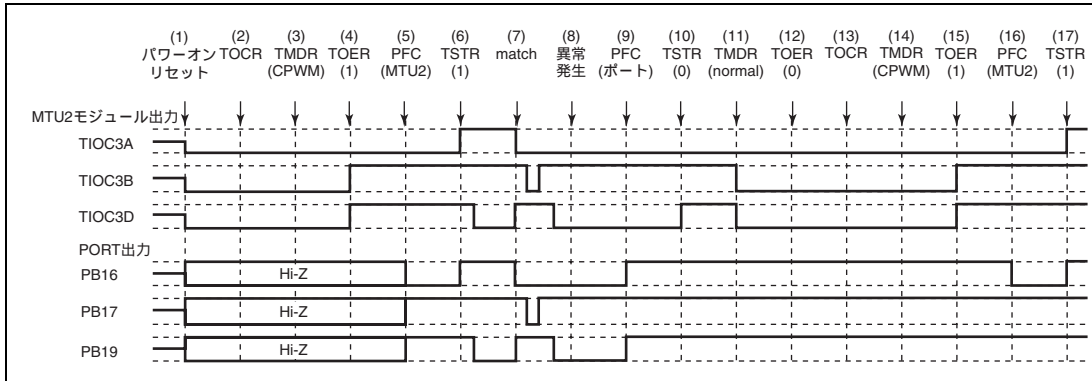


図 12.150 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.147 と共通です。
- (11) ノーマルモードを設定し新しい設定値を設定してください (MTU2 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU2 出力としてください。
- (17) TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図
12.151 に示します。

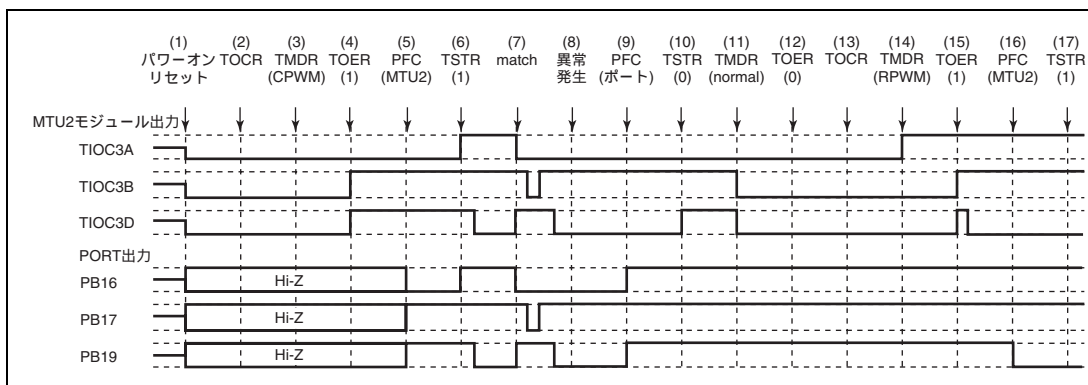


図 12.151 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 12.147 と共通です。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU2 出力としてください。
- (17) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作
リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図
12.152 に示します。

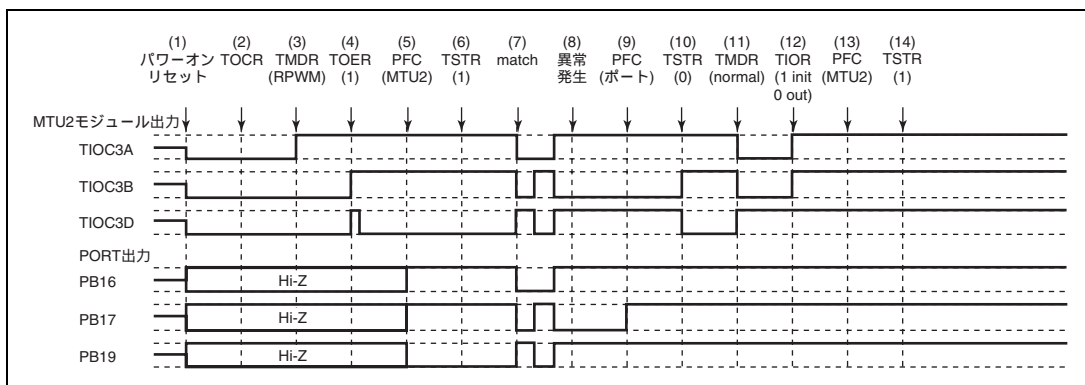


図 12.152 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) パワーオンリセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.153 に示します。

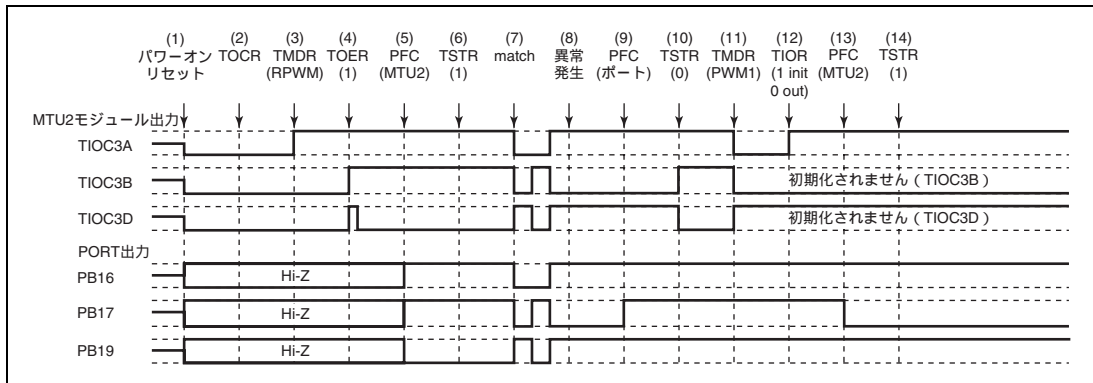


図 12.153 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.152 と共通です。

(11) PWM モード 1 を設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図
 12.154 に示します。

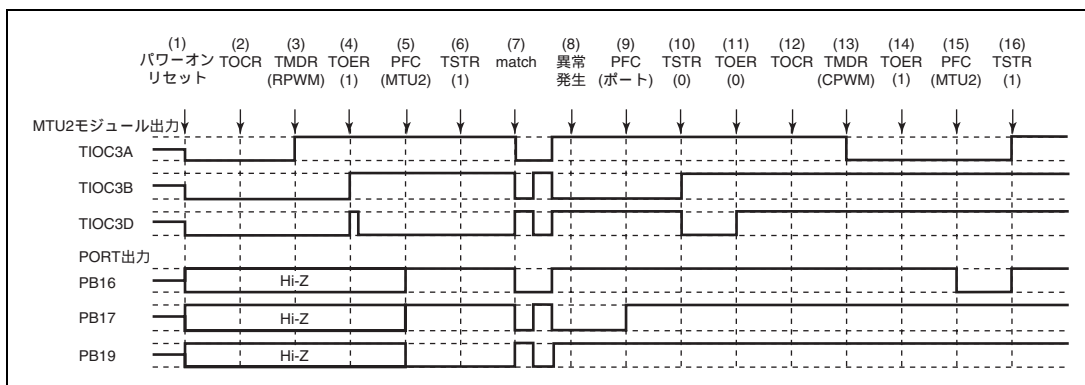


図 12.154 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.152 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU2 の周期出力端子はローレベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) PFC で MTU2 出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.155 に示します。

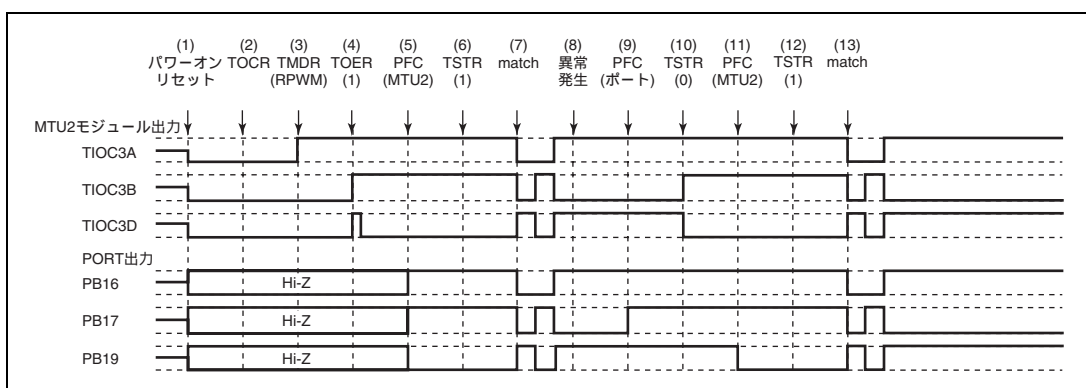


図 12.155 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 12.152 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

13. 8ビットタイマ (TMR)

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマを内蔵しています。外部イベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

図 13.1 にブロック図を示します。

13.1 特長

- 7種類のクロックを選択可能
6種類の内部クロック (P /8、P /64、P /8192、P /2、P /32、P /1024) と外部クロックのうちから選択できます。
- カウンタのクリア指定が可能
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。
- 2チャンネルのカスケード接続が可能 (TMR_0、TMR_1)
TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能です (16ビットカウントモード)。
TMR_1はTMR_0のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。
- 複数の割り込み要因
コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。
- A/D変換器の変換スタートトリガを生成可能

13.2 入出力端子

TMRの端子構成を表13.1に示します。

表 13.1 端子構成

チャンネル	名 称	略称	入出力	機 能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCIO	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI0	入力	カウンタ外部リセット入力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMC11	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMR11	入力	カウンタ外部リセット入力

13.3 レジスタの説明

TMRには以下のレジスタがあります。

チャンネル0:

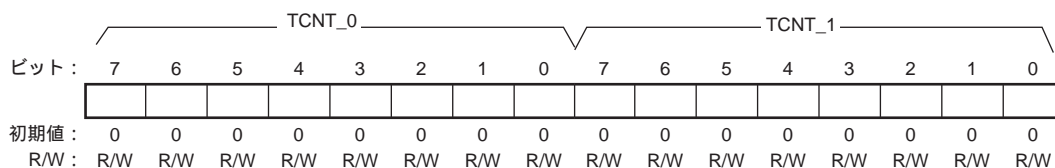
- タイマカウンタ_0 (TCNT_0)
- タイムコンスタントレジスタA_0 (TCORA_0)
- タイムコンスタントレジスタB_0 (TCORB_0)
- タイマコントロールレジスタ_0 (TCR_0)
- タイマカウンタコントロールレジスタ_0 (TCCR_0)
- タイマコントロール/ステータスレジスタ_0 (TCSR_0)

チャンネル1:

- タイマカウンタ_1 (TCNT_1)
- タイムコンスタントレジスタA_1 (TCORA_1)
- タイムコンスタントレジスタB_1 (TCORB_1)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマカウンタコントロールレジスタ_1 (TCCR_1)
- タイマコントロール/ステータスレジスタ_1 (TCSR_1)

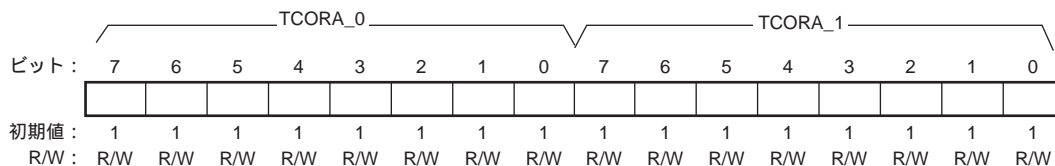
13.3.1 タイマカウンタ (TCNT)

TCNT は 8 ビットのリード/ライト可能なアップカウンタです。TCNT_0、TCNT_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCR の CKS2 ~ CKS0 ビット、および TCCR の ICKS1、ICKS0 ビットにより選択します。TCNT は、外部リセット入力信号またはコンペアマッチ A 信号、コンペアマッチ B 信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットにより選択します。また、TCNT がオーバフロー (H'FF H'00) すると、TCSR の OVF が 1 にセットされます。TCNT の初期値は H'00 です。



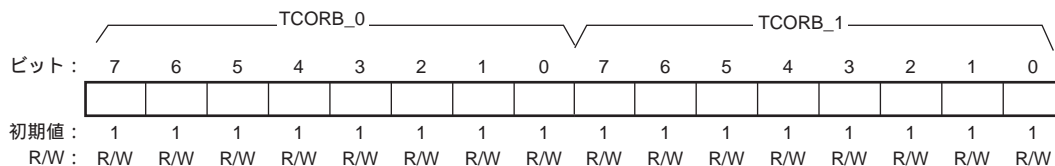
13.3.2 タイムコンスタントレジスタ A (TCORA)

TCORA は 8 ビットのリード/ライト可能なレジスタです。TCORA_0、TCORA_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORA の値は TCNT と常に比較され、一致すると TCSR の CMFA が 1 にセットされます。ただし、TCORA へのライトサイクルの T2 ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチ A) と TCSR の OS1、OS0 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORA の初期値は H'FF です。



13.3.3 タイムコンスタントレジスタ B (TCORB)

TCORB は 8 ビットのリード/ライト可能なレジスタです。TCORB_0、TCORB_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORB の値は TCNT と常に比較され、一致すると TCSR の CMFB が 1 にセットされます。ただし、TCORB へのライトサイクルの T2 ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチ B) と TCSR の OS3、OS2 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORB の初期値は H'FF です。



13.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR[1:0]		CKS[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバーフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4、3	CCLR[1:0]	00	R/W	カウンタクリア 1、0* TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジ (TCCR の TMRIS=0)、または、ハイレベル (TCCR の TMRIS=1) によりクリア
2~0	CKS[2:0]	000	R/W	クロックセレクト 2~0* TCNT に入力するクロックとカウント条件を選択します。表 13.2 を参照してください。

【注】 * 外部リセット、外部クロックを使用する場合は、該当する端子の機能設定をピンファンクションコントローラで行ってください。詳細は「第 23 章 ピンファンクションコントローラ (PFC)」を参照してください。

13.3.5 タイマカウンタコントロールレジスタ (TCCR)

TCCR は TCNT の内部クロックの選択、外部リセット入力の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	TMRIS	-	ICKS[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
3	TMRIS	0	R/W	タイマリセット入力セレクト TCR の CCLR1、CCLR0 ビットが B'11 のとき、外部リセット入力を選択します。 0: 外部リセットの立ち上がりでクリア 1: 外部リセットのハイレベルでクリア
2	-	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
1、0	ICKS[1:0]	00	R/W	インターナルクロックセレクト 1、0 ICKS1、0 は、TCR の CKS2 ~ CKS0 ビットとともに、内部クロックを選択します。表 13.2 を参照してください。

表 13.2 TCNT に入力するクロックとカウント条件

チャネル	TCR			TCCR		説明
	ビット 2	ビット 1	ビット 0	ビット 1	ビット 0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_0	0	0	0	-	-	クロック入力を禁止
	0	0	1	0	0	内部クロック : P /8 立ち上がりエッジでカウント
				0	1	内部クロック : P /2 立ち上がりエッジでカウント
				1	0	内部クロック : P /8 立ち下がりエッジでカウント
				1	1	内部クロック : P /2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : P /64 立ち上がりエッジでカウント
				0	1	内部クロック : P /32 立ち上がりエッジでカウント
				1	0	内部クロック : P /64 立ち下がりエッジでカウント
				1	1	内部クロック : P /32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : P /8192 立ち上がりエッジでカウント
				0	1	内部クロック : P /1024 立ち上がりエッジでカウント
				1	0	内部クロック : P /8192 立ち下がりエッジでカウント
				1	1	内部クロック : P /1024 立ち下がりエッジでカウント
	1	0	0	-	-	TCNT_1 のオーバフロー信号でカウント*1
TMR_1	0	0	0	-	-	クロック入力を禁止
	0	0	1	0	0	内部クロック : P /8 立ち上がりエッジでカウント
				0	1	内部クロック : P /2 立ち上がりエッジでカウント
				1	0	内部クロック : P /8 立ち下がりエッジでカウント
				1	1	内部クロック : P /2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : P /64 立ち上がりエッジでカウント
				0	1	内部クロック : P /32 立ち上がりエッジでカウント
				1	0	内部クロック : P /64 立ち下がりエッジでカウント
				1	1	内部クロック : P /32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : P /8192 立ち上がりエッジでカウント
				0	1	内部クロック : P /1024 立ち上がりエッジでカウント
				1	0	内部クロック : P /8192 立ち下がりエッジでカウント
				1	1	内部クロック : P /1024 立ち下がりエッジでカウント
	1	0	0	-	-	TCNT_0 のコンペアマッチ A でカウント*1
共通	1	0	1	-	-	外部クロックの立ち上がりエッジでカウント*2
	1	1	0	-	-	外部クロックの立ち下がりエッジでカウント*2
	1	1	1	-	-	外部クロックの立ち上がり / 立ち下がり両エッジでカウント*2

【注】 *1 TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

*2 外部クロックを使用する場合は、該当する端子の機能設定をピンファンクションコントローラ (PFC) で行ってください。詳細は「第 23 章 ピンファンクションコントローラ (PFC)」を参照してください。

13.3.6 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

・ TCSR_0

ビット: 7 6 5 4 3 2 1 0

CMFB	CMFA	OVF	ADTE	OS[3:2]	OS[1:0]
------	------	-----	------	---------	---------

初期値: 0 0 0 0 0 0 0 0
R/W: R/(W)* R/(W)* R/(W)* R/W R/W R/W R/W R/W

・ TCSR_1

ビット: 7 6 5 4 3 2 1 0

CMFB	CMFA	OVF	-	OS[3:2]	OS[1:0]
------	------	-----	---	---------	---------

初期値: 0 0 0 0 0 0 0 0
R/W: R/(W)* R/(W)* R/(W)* R R/W R/W R/W R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* ¹	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)* ¹	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)* ¹	タイマオーバフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0: コンペアマッチ A による A/D 変換開始要求を禁止 1: コンペアマッチ A による A/D 変換開始要求を許可

ビット	ビット名	初期値	R/W	説明
3, 2	OS[3:2]	00	R/W	アウトプットセレクト 3、2* ² TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1, 0	OS[1:0]	00	R/W	アウトプットセレクト 1、0* ² TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 OS3 ~ OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* ¹	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)* ¹	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)* ¹	タイマオーバーフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4		0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

ビット	ビット名	初期値	R/W	説明
3, 2	OS[3:2]	00	R/W	アウトプットセレクト 3、2* ² TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1, 0	OS[1:0]	00	R/W	アウトプットセレクト 1、0* ² TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 OS3 ~ OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

13.4 動作説明

13.4.1 パルス出力

任意のデューティパルスを出力させる例を図 13.2 に示します。

- TCORA のコンペアマッチにより TCNT がクリアされるように TCR の CCLR1 ビットを 0 にクリア、CCLR0 ビットを 1 にセットします。
- TCORA のコンペアマッチにより 1 出力、TCORB のコンペアマッチにより 0 出力になるように TCSR の OS3 ~ OS0 ビットを B'0110 に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

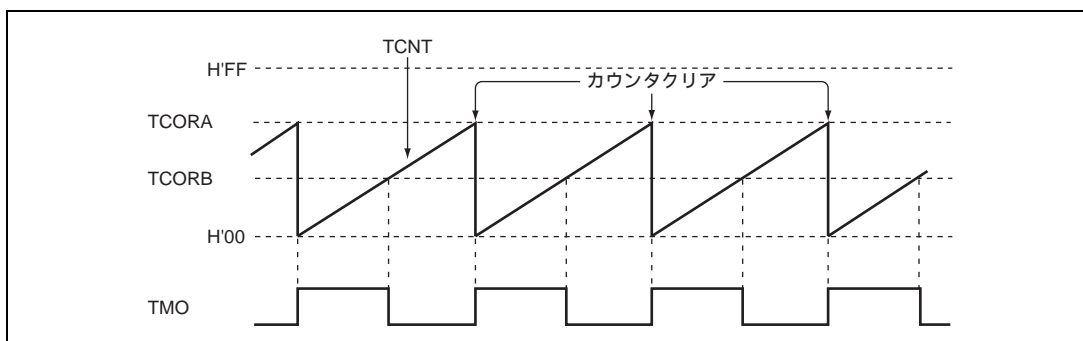


図 13.2 パルス出力例

13.4.2 リセット入力

TMRI 入力に対する任意の遅延時間のパルスを出力させる例を図 13.3 に示します。

1. TMRI入力のハイレベルでTCNTがクリアされるように、TCRのCCLR1、CCLR0ビットを1にセットし、TCCRのTMRISビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により TMRI 入力からの遅延が TCORA、パルス幅が (TCORB-TCORA) の波形を出力できます。

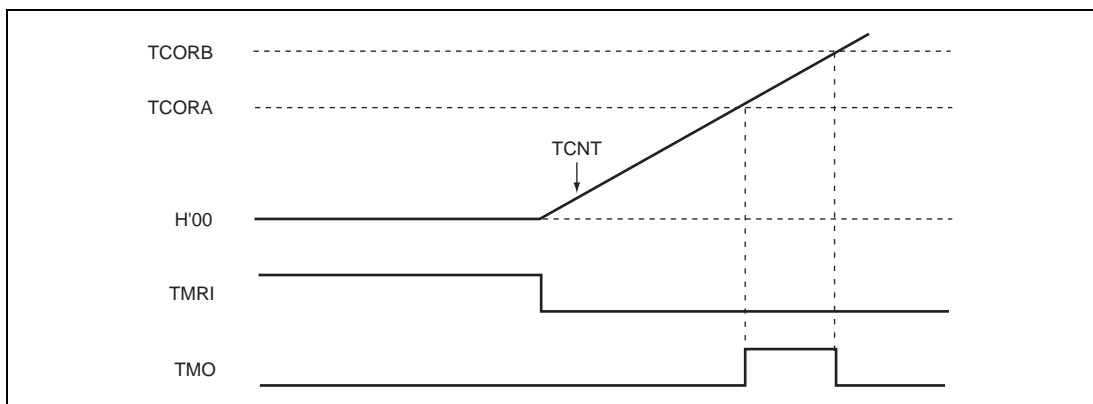


図 13.3 リセット入力例

13.5 動作タイミング

13.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 13.4 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 13.5 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

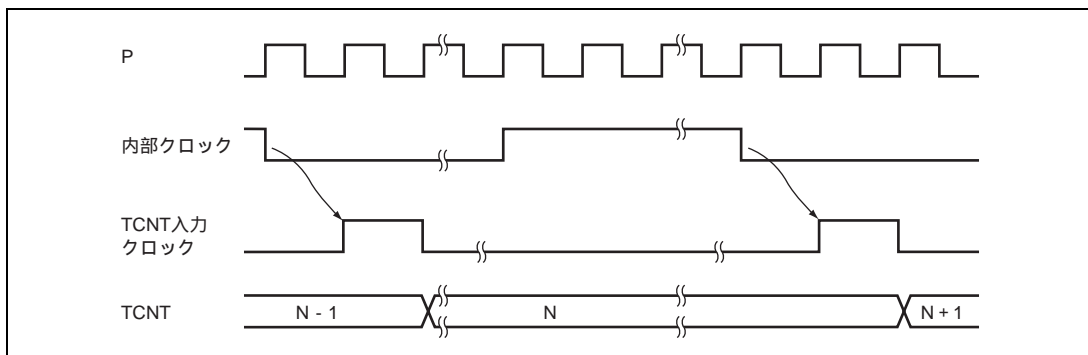


図 13.4 内部クロック動作時のカウントタイミング

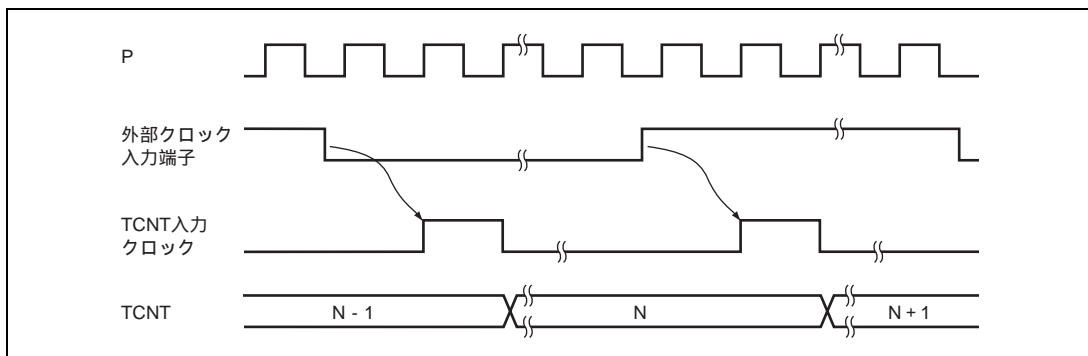


図 13.5 外部クロック動作時のカウントタイミング

13.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 13.6 に示します。

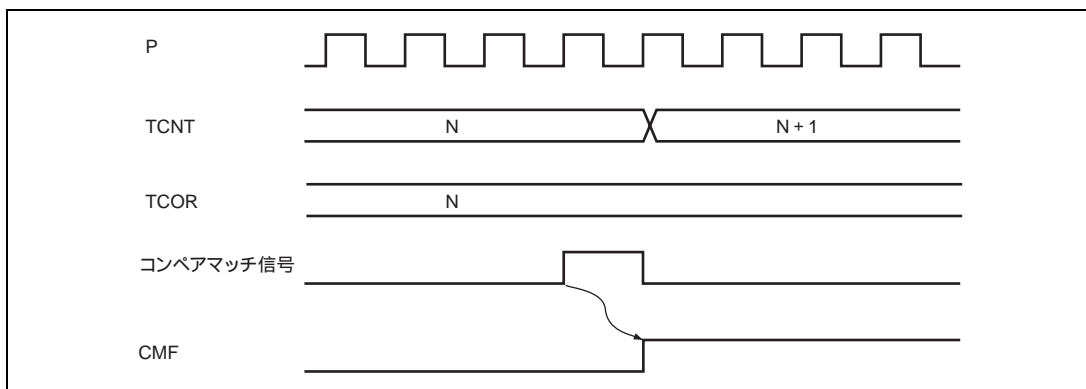


図 13.6 コンペアマッチ時の CMF フラグのセットタイミング

13.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3 ~ OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 13.7 に示します。

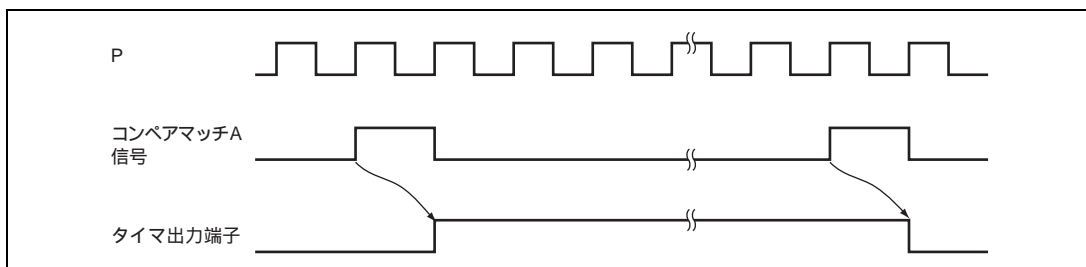


図 13.7 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

13.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 13.8 に示します。

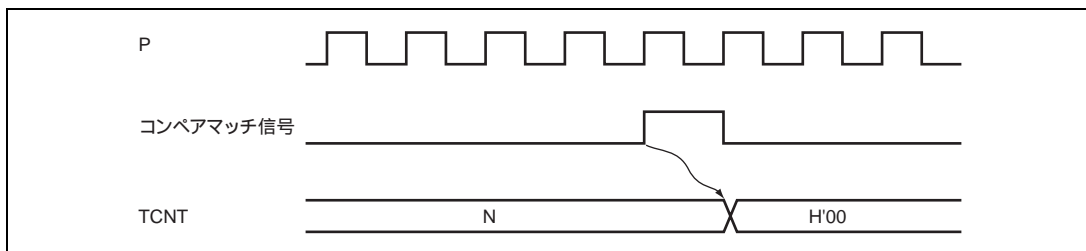


図 13.8 コンペアマッチによるカウンタクリアタイミング

13.5.5 TCNT の外部リセットタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択により外部リセット入力の立ち上がりエッジ、またはハイレベルでクリアされます。クリアまでのパルス幅は 2 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 13.9、図 13.10 に示します。

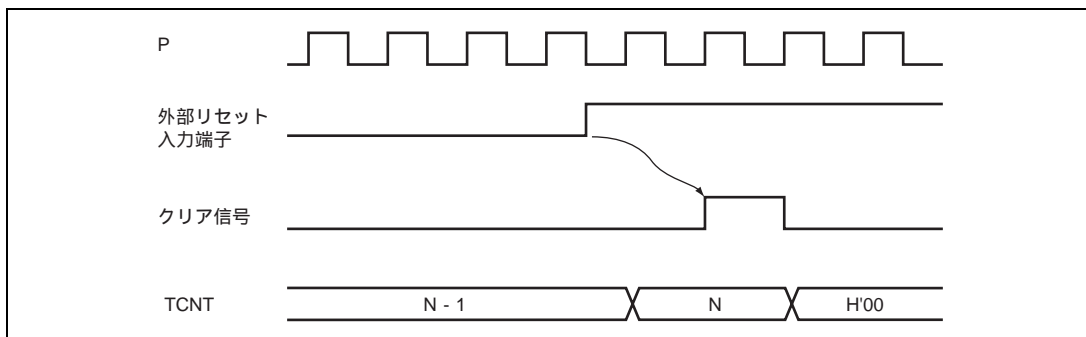


図 13.9 外部リセット入力によるクリアタイミング (立ち上がりエッジ)

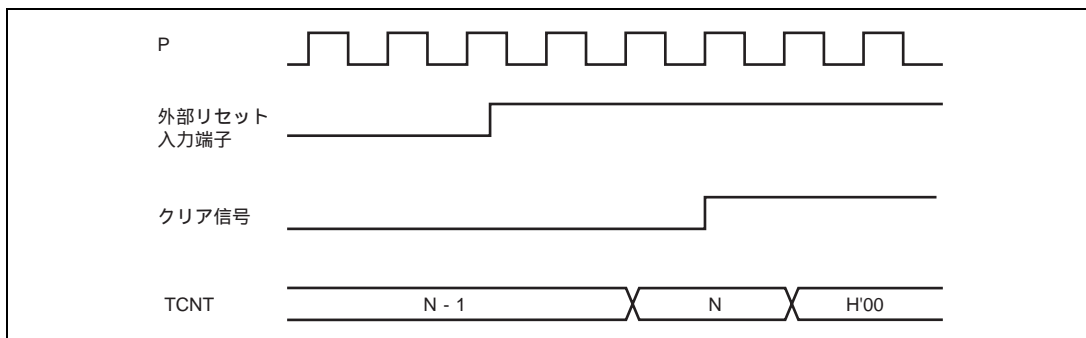


図 13.10 外部リセット入力によるクリアタイミング (ハイレベル)

13.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー (H'FF H'00) したとき出力されるオーバフロー信号により 1 にセットされます。OVF フラグのセットタイミングを図 13.11 に示します。

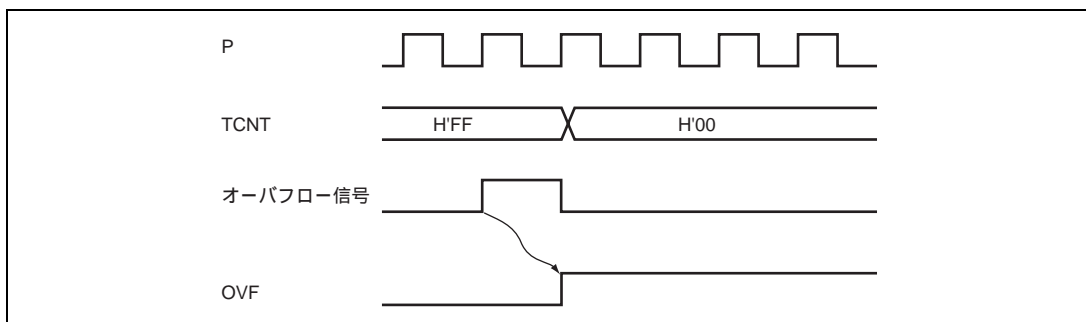


図 13.11 OVF フラグのセットタイミング

13.6 カスケード接続時の動作

TCR_0、TCR_1 のいずれか一方の CKS2 ~ CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットカウントモードか、またはチャンネル 0 の 8 ビットタイマのコンペアマッチをチャンネル 1 のタイマでカウントするコンペアマッチカウントモードにすることができます。

13.6.1 16 ビットカウントモード

TCR_0 の CKS2 ~ CKS0 ビットが B'100 のとき、タイマはチャンネル 0 を上位 8 ビット、チャンネル 1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0 の CMF フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされます。
- TCSR_1 の CMF フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。

(2) カウンタクリア指定

- TCR_0 の CCLR1、CCLR0 ビットでコンペアマッチによるカウンタクリアを設定した場合、16 ビットのコンペアマッチが発生したとき 16 ビットカウンタ (TCNT_0、TCNT_1 の両方) がクリアされます。また、TMRIO 端子によるカウンタクリアを設定した場合も、16 ビットカウンタ (TCNT_0、TCNT_1 の両方) がクリアされません。
- TCR_1 の CCLR1、CCLR0 ビットの設定は無効になります。下位 8 ビットのみのカウンタクリアはできません。

(3) 端子出力

- TCSR_0 の OS3 ~ OS0 ビットによる TMO0 端子の出力制御は 16 ビットのコンペアマッチ条件に従います。
- TCSR_1 の OS3 ~ OS0 ビットによる TMO1 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

13.6.2 コンペアマッチカウントモード

TCR_1 の CKS2 ~ CKS0 ビットが B'100 のとき、TCNT_1 はチャンネル 0 のコンペアマッチ A をカウントします。チャンネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

13.7 割り込み要因

13.7.1 割り込み要因

8ビットタイマ TMR_0、TMR_1 の割り込み要因は、CMIA、CMIB、OVI の 3 種類があります。表 13.3 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 13.3 8ビットタイマ TMR_0、TMR_1 の割り込み要因

名称	割り込み要因	割り込みフラグ	優先順位
CMIA0	TCORA_0 のコンペアマッチ	CMFA	高 ↑ ↓ 低
CMIB0	TCORB_0 のコンペアマッチ	CMFB	
OVI0	TCNT_0 のオーバーフロー	OVF	
CMIA1	TCORA_1 のコンペアマッチ	CMFA	高 ↑ ↓ 低
CMIB1	TCORB_1 のコンペアマッチ	CMFB	
OVI1	TCNT_1 のオーバーフロー	OVF	

13.7.2 A/D 変換器の起動

TMR_0 のコンペアマッチ A のみ、A/D 変換器を起動することができます。

TMR_0 のコンペアマッチ A の発生により、TCSR_0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、8ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

13.8 使用上の注意事項

13.8.1 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TCOR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は次の式になります (f : カウンタ周波数、 P : 動作周波数、 N : TCOR の設定値)。

$$f = P / (N + 1)$$

13.8.2 TCNT のライトとカウンタクリアの競合

図 13.12 のように TCNT のライトサイクル中の T_2 ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

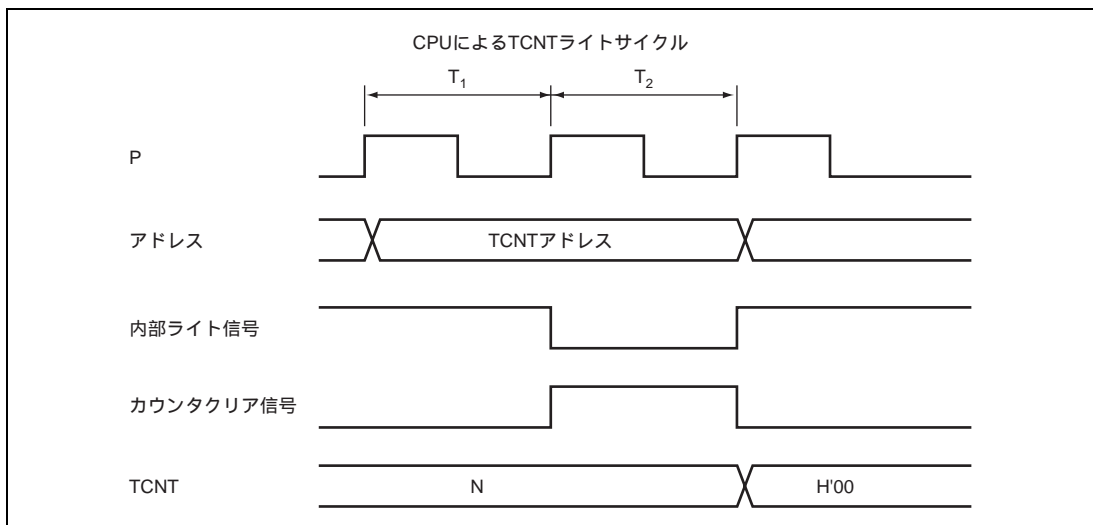


図 13.12 TCNT のライトとクリアの競合

13.8.3 TCNT のライトとカウントアップの競合

図 13.13 のように TCNT のライトサイクル中の T₂ ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

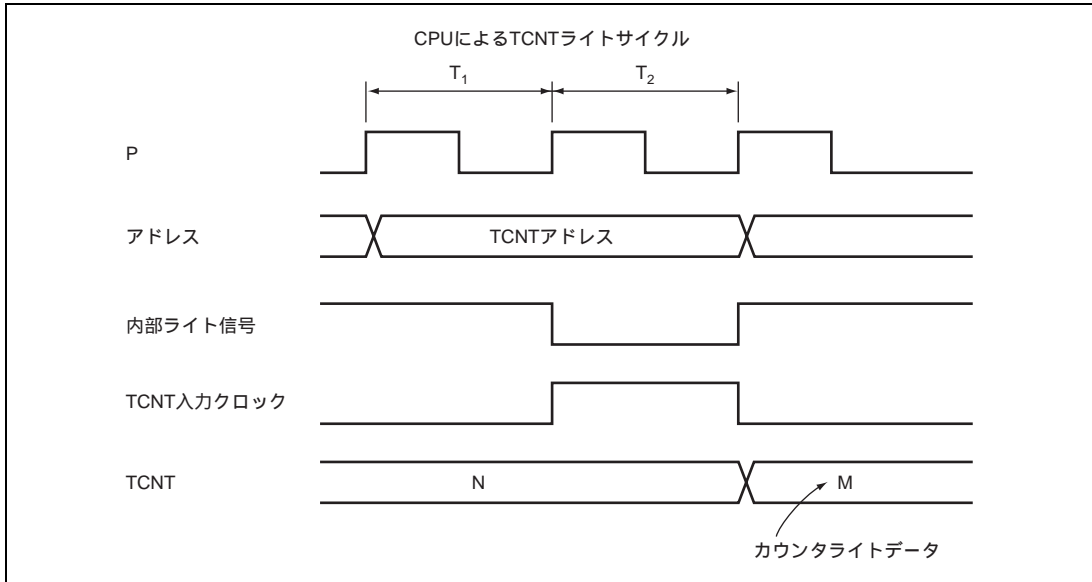


図 13.13 TCNT のライトとカウントアップの競合

13.8.4 TCOR のライトとコンペアマッチの競合

図 13.14 のように TCOR のライトサイクル中の T₂ ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

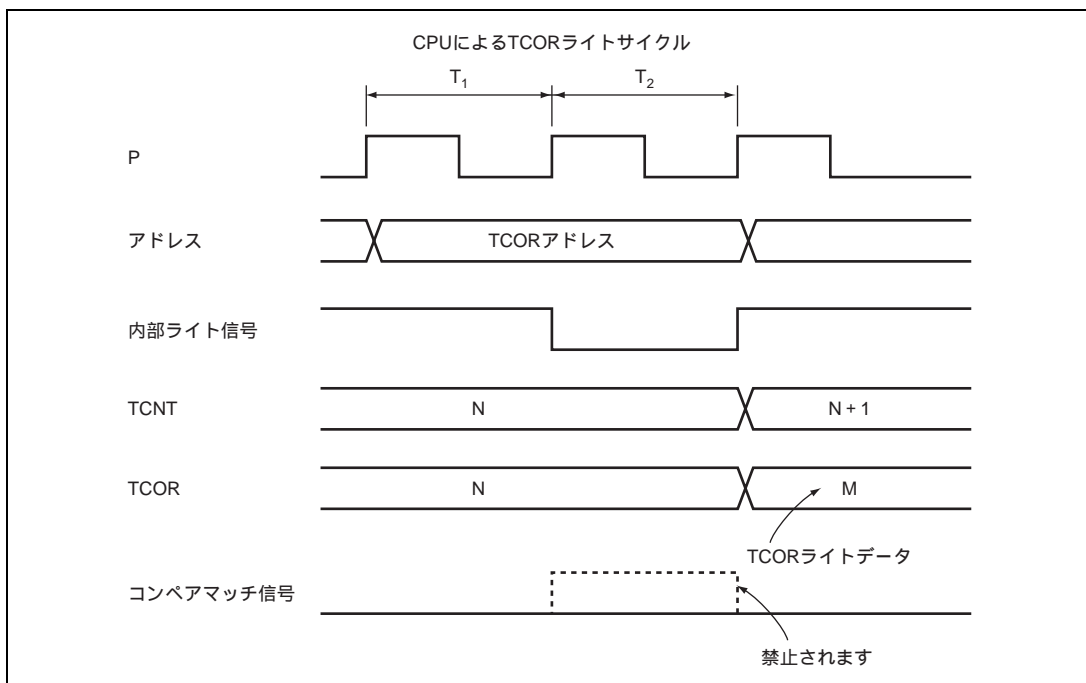


図 13.14 TCOR のライトとコンペアマッチの競合

13.8.5 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 13.4 に示すタイマ出力の優先順位に従って動作します。

表 13.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ ↓ 低
1 出力	
0 出力	
変化しない	

13.8.6 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 13.5 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち上がりエッジ、または立ち下がりエッジで検出しています。そのため、例えば立ち下がりエッジを選択している場合表 13.5 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。立ち上がりエッジを選択している場合も同様です。

また、内部クロックの立ち上がりエッジと立ち下がりエッジを切り替えるとき、および、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 13.5 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High Low レベル ^{*3} の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 *1 Low レベル 停止、および停止 Low レベルの場合を含みます。

*2 停止 High レベルの場合を含みます。

*3 High レベル 停止の場合を含みます。

*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNTはカウントアップされてしまいます。

13.8.7 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

13.8.8 モジュールスタンバイの設定

スタンバイコントロールレジスタにより、TMRの動作禁止/許可を設定することが可能です。初期値では、TMRの動作は停止します。モジュールスタンバイを解除することにより、レジスタのアクセスが可能になります。詳細は、「第25章 低消費電力モード」を参照してください。

13.8.9 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイにすると、CPUの割り込み要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールスタンバイとしてください。

14. ウォッチドッグタイマ (WDT)

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバーフローした場合、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することができます。

WDT は、1 チャンネルのタイマで、ソフトウェアスタンバイモードや周波数変更時の一時的なスタンバイ状態の解除のためのクロック発振安定時間のカウンタに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

14.1 特長

- クロック発振安定時間の確保に使用可能
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ 信号を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうかを選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($P \times 1 \sim \times 1/16384$) から選択できます。

図 14.1 に WDT のブロック図を示します。

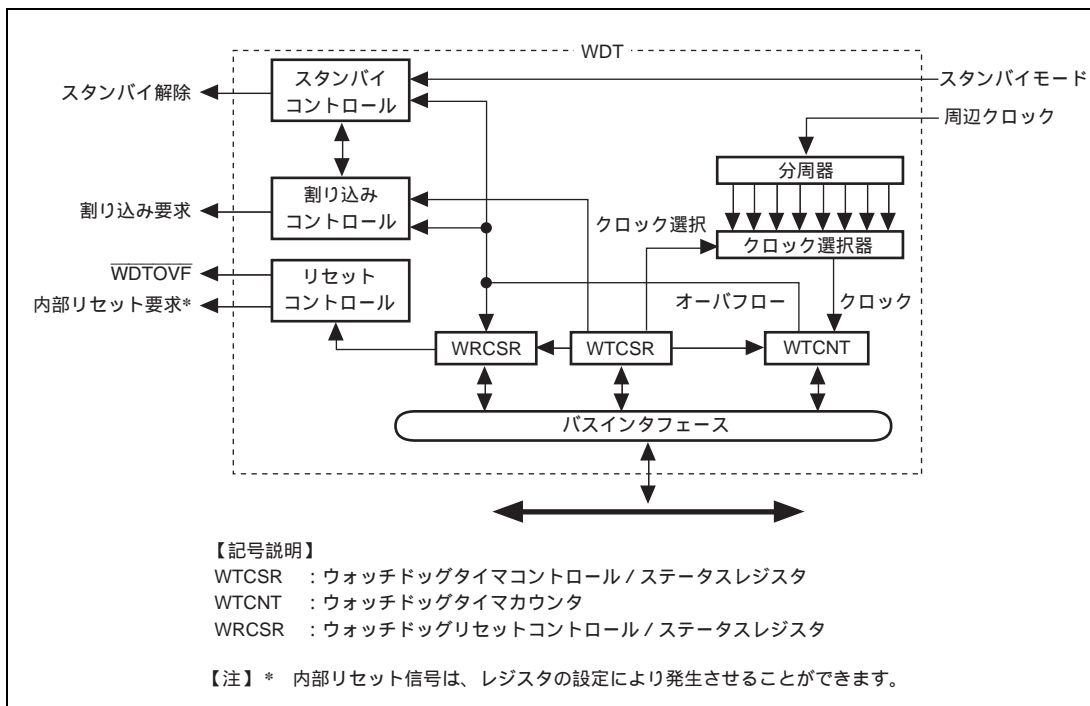


図 14.1 WDT のブロック図

14.2 入出力端子

WDT の端子を表 14.1 に示します。

表 14.1 端子構成

名称	端子名	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー 信号出力

14.3 レジスタの説明

WDT には以下のレジスタがあります。

表 14.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'00	H'FFFE0002	16*
ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	R/W	H'18	H'FFFE0000	16*
ウォッチドッグリセットコントロール/ ステータスレジスタ	WRCSR	R/W	H'1F	H'FFFE0004	16*

【注】 * アクセスサイズは、「14.3.4 レジスタアクセス時の注意」を参照してください。

14.3.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し/書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバーフローすると、ウォッチドッグタイマモードのときはウォッチドッグタイマオーバーフロー信号 ($\overline{\text{WDTOVF}}$) が発生し、インターバルタイマモードのときは割り込みが発生します。WTCNT は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットおよびディープスタンバイモード、ソフトウェアスタンバイモードのとき H'00 に初期化されます。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバーフローラフおよびイネーブルビットからなります。

WTCSR は、 \overline{RES} 端子によるパワーオンリセットおよびディープスタンバイモード、ソフトウェアスタンバイモード時に H'18 に初期化されます。ソフトウェアスタンバイモード解除時のクロック発振安定時間のカウントに使用するときには、カウンタオーバーフロー後、値が保持されます。

WTCSR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	IOVF	WT/ \overline{IT}	TME	-	-	CKS[2:0]		
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	IOVF	0	R/(W)	インターバルタイマオーバーフロー インターバルタイマモードで WTCNT がオーバーフローしたことを示します。 ウォッチドッグタイマモードでは、セットされません。 0: オーバーフローなし 1: インターバルタイマモードで WTCNT がオーバーフローした [クリア条件] • IOVF を読み出してから 0 を書き込む
6	WT/ \overline{IT}	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0: インターバルタイマモード 1: ウォッチドッグタイマモード 【注】 ウォッチドッグタイマモードでは、WTCNT がオーバーフローしたとき WDTOVF 信号を外部へ出力 WDT の動作中に WT/ \overline{IT} を書き換えるとカウントアップが正しく行われないことがあります。
5	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。 0: タイマディスエーブル カウントアップを停止し、WTCNT の値を保持する。 1: タイマイネーブル

ビット	ビット名	初期値	R/W	説明																		
4, 3	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。																		
2~0	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>周辺クロック (P) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。かっこ内に示すオーバフロー周期は、周辺クロック (P) = 25MHz の場合の値です。</p> <table> <thead> <tr> <th>クロック分周比</th> <th>オーバフロー周期</th> </tr> </thead> <tbody> <tr> <td>000 : 1 × P</td> <td>(10.2 μs)</td> </tr> <tr> <td>001 : 1/64 × P</td> <td>(655.4 μs)</td> </tr> <tr> <td>010 : 1/128 × P</td> <td>(1.3ms)</td> </tr> <tr> <td>011 : 1/256 × P</td> <td>(2.6ms)</td> </tr> <tr> <td>100 : 1/512 × P</td> <td>(5.2ms)</td> </tr> <tr> <td>101 : 1/1024 × P</td> <td>(10.5ms)</td> </tr> <tr> <td>110 : 1/4096 × P</td> <td>(41.9ms)</td> </tr> <tr> <td>111 : 1/16384 × P</td> <td>(167.8ms)</td> </tr> </tbody> </table> <p>【注】 WDT の動作中に CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換える場合は、必ず WDT を停止させてください。</p>	クロック分周比	オーバフロー周期	000 : 1 × P	(10.2 μs)	001 : 1/64 × P	(655.4 μs)	010 : 1/128 × P	(1.3ms)	011 : 1/256 × P	(2.6ms)	100 : 1/512 × P	(5.2ms)	101 : 1/1024 × P	(10.5ms)	110 : 1/4096 × P	(41.9ms)	111 : 1/16384 × P	(167.8ms)
クロック分周比	オーバフロー周期																					
000 : 1 × P	(10.2 μs)																					
001 : 1/64 × P	(655.4 μs)																					
010 : 1/128 × P	(1.3ms)																					
011 : 1/256 × P	(2.6ms)																					
100 : 1/512 × P	(5.2ms)																					
101 : 1/1024 × P	(10.5ms)																					
110 : 1/4096 × P	(41.9ms)																					
111 : 1/16384 × P	(167.8ms)																					

14.3.3 ウォッチドッグリセットコントロール / ステータスレジスタ (WRCSR)

WRCSR は、読み出し / 書き込み可能な 8 ビットのレジスタで、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフローによる内部リセット信号の発生を制御します。

WRCSR は、 \overline{RES} 端子からのリセット信号およびディープスタンバイで H'1F に初期化されますが、WDT のオーバーフローによる内部リセット信号では初期化されません。ソフトウェアスタンバイモード時には、H'1F に初期化されます。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードでは、セットされません。 0 : オーバフローなし 1 : ウォッチドッグタイマモードで WTCNT がオーバーフローした [クリア条件] • WOVF を読み出してから 0 を書き込む
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで WTCNT がオーバーフローしたとき本 LSI 内部をリセットする信号を発生するかどうかを選択します。インターバルタイマモードの場合は、設定値は無視されます。 0 : WTCNT がオーバーフローしたとき、内部リセットしない* 1 : WTCNT がオーバーフローしたとき、内部リセットする 【注】* 本 LSI 内部はリセットされませんが、WDT 内の WTCNT、WTCSR はリセットされます。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を選択します。インターバルタイマモードの場合は、設定値は無視されます。 0 : パワーオンリセット 1 : マニュアルリセット
4~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

14.3.4 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)、ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出したり書き込みを行ってください。

(1) WTCNT および WTCSR への書き込み

WTCNT および WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では書き込みません。

図 14.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

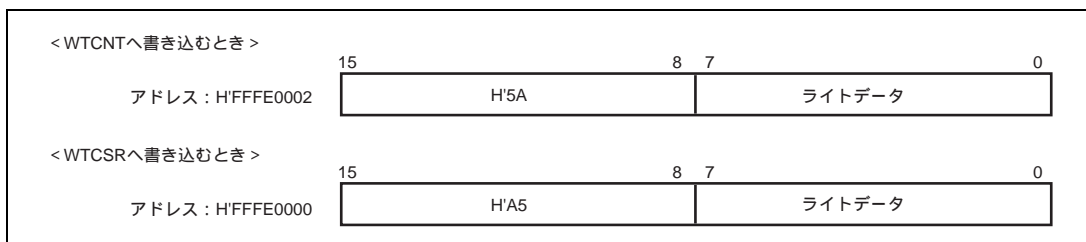


図 14.2 WTCNT および WTCSR への書き込み

(2) WRCSR への書き込み

WRCSR へ書き込むときは、アドレス H'FFFE0004 に対してワード転送を行ってください。バイト転送命令およびロングワード転送命令では書き込みません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 14.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

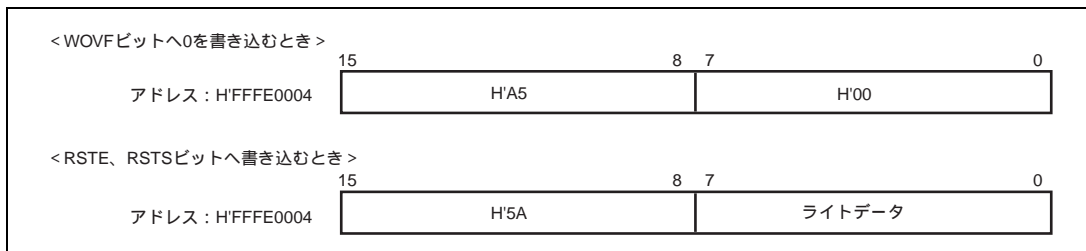


図 14.3 WRCSR への書き込み

(3) WTCNT、WTCSR、WRCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR はアドレス H'FFFE0000 に、WTCNT はアドレス H'FFFE0002 に、WRCSR はアドレス H'FFFE0004 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

14.4 WDT の使用方法

14.4.1 ソフトウェアスタンバイモード解除の手順

WDT は、ソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します (リセットで解除する場合は、WDT は動作しないため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をローレベルに保ってください)。

1. ソフトウェアスタンバイモードへの遷移前に、必ず WTCSCR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. スタンバイコントロールレジスタ (STBCR: 「第25章 低消費電力モード」参照) の STBY ビットに 1、DEEP ビットに 0 を設定後、SLEEP 命令実行によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始して、本 LSI が動作を再開します。このとき、WRCSR の WOVF はセットされません。

14.4.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り換えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ず WTCSCR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。ただし、WDT のカウントアップは、設定後のクロックでカウントアップされます。
3. 周波数制御レジスタ (FRQCR) を書き換えると、プロセッサ内部は一時的に停止して、WDT はカウントを開始します。
4. WDT はカウントオーバーフローすると、CPG がクロック供給を再開して、本 LSI が動作を再開します。このときは、WRCSR の WOVF はセットされません。
5. カウンタは、H'00 の値で停止します。
6. 周波数変更命令の後、WTCNT を書き換える場合には、WTCNT を読み出して H'00 になっていることを確認してから書き換えてください。

14.4.3 ウォッチドッグタイマモードの使用法

1. WTCSRのWT/ \overline{IT} ビットに1を設定して、CKS[2:0]にカウントクロックの種類、WRCSRのRSTEビットに本LSIの内部をリセットするかしないか、RSTSビットにこのときのリセットのタイプ、およびWTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、WDTはWRCSRのWOVFを1にセットして、 \overline{WDTOVF} 信号が外部に出力されます。これを図14.4に示します。この \overline{WDTOVF} 信号を用いて、システムをリセットすることができます。 \overline{WDTOVF} 信号は、 $64 \times P$ クロックの間出力されます。
5. WRCSRのRSTEビットを1にセットしておく、と、 \overline{WDTOVF} 信号と同時に本LSIの内部をリセットする信号を発生させることができます。このリセットは、WRCSRのRSTSビットの設定によってパワーオンリセットまたはマニュアルリセットを選択できます。内部リセット信号は、 $128 \times P$ クロックの間出力されます。
6. \overline{RES} 端子からの入力信号によるリセットとWDTのオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、WRCSRのWOVFビットは0にクリアされます。

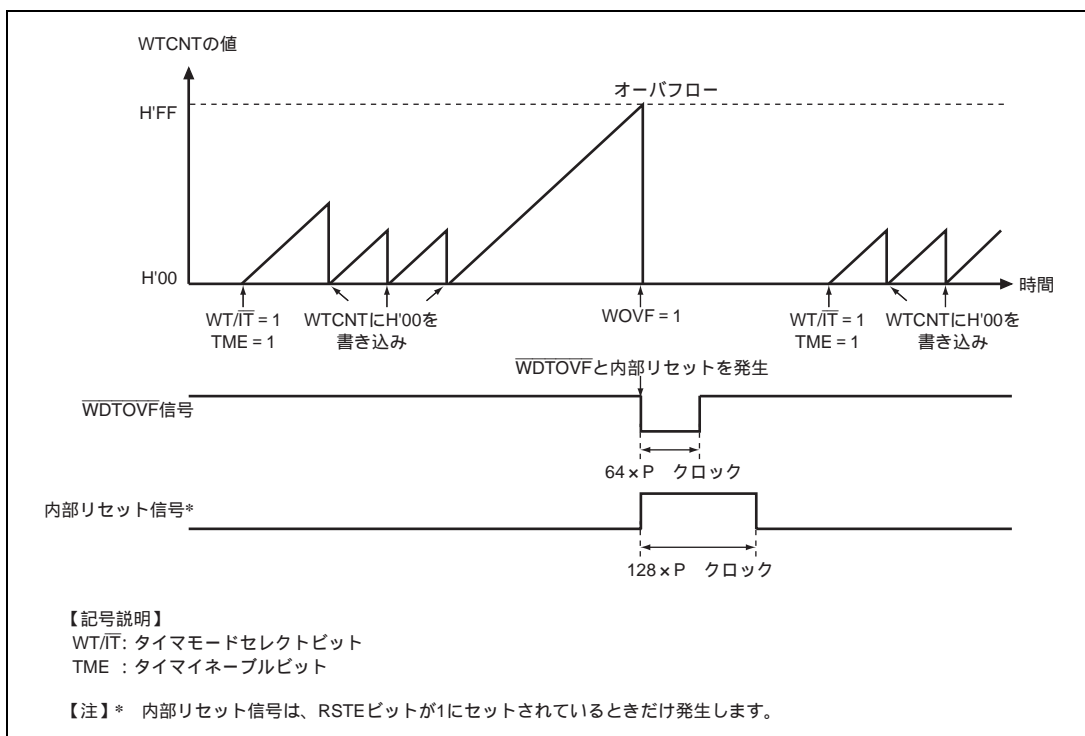


図 14.4 ウォッチドッグタイマモード時の動作

14.4.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのWT/ \overline{IT} ビットに0をセットして、CKS[2:0]ビットにカウントクロックの種類、WTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRのIOVFに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

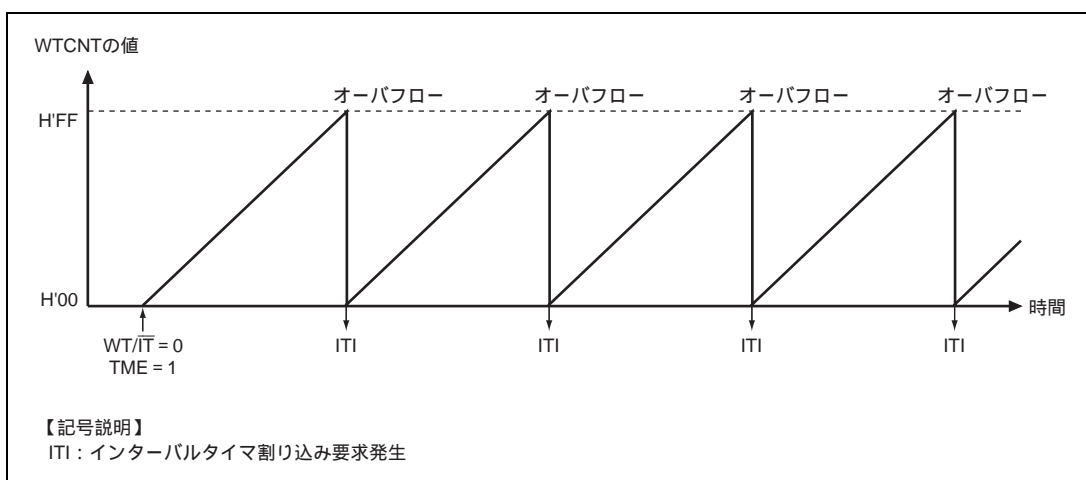


図 14.5 インターバルタイマモード時の動作

14.5 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

14.5.1 タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCNT レジスタの TME ビットのセットタイミングによって、P の 1 サイクル後 (最短) から、CKS[2:0] で選択した分周タイミング (最長) までの間となります。2 回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中、WTCNT レジスタ書き換え後、最初のカウントアップタイミングも同様です。

14.5.2 WTCNT の設定値として H'FF は設定禁止

WDT では WTCNT の値が H'FF になったことをオーバフローと判定します。したがって、WTCNT に H'FF を設定すると、CKS[2:0] の選択クロックにかかわらず、すぐにインターバルタイマ割り込みまたは WDT リセットが発生します。

14.5.3 インターバルタイマオーバフローフラグ

WTCNT の値が H'FF のときには、WTCNT の IOVF フラグはクリアできません。

WTCNT の値が H'00 になってからクリアを行うか、WTCNT の値を H'FF 以外の値に書き換えてから IOVF フラグをクリアしてください。

14.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット

$\overline{\text{WDTOVF}}$ 信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 14.6 に示すような回路で行ってください。

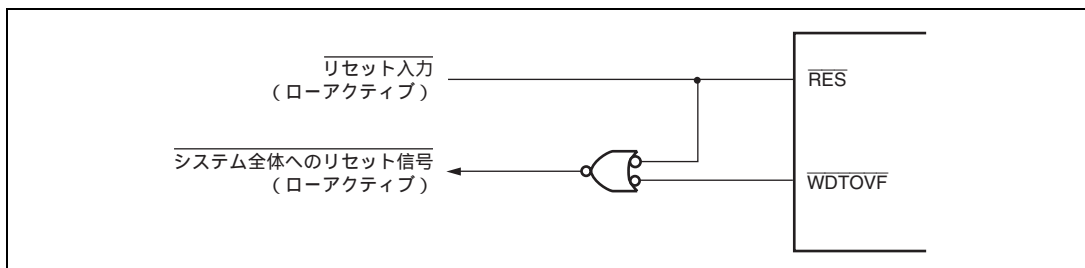


図 14.6 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

14.5.5 ウォッチドッグタイマモードのマニュアルリセット

ウォッチドッグタイマモードによるマニュアルリセット発生時、バスサイクルは保持されます。DMAC バースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。

15. リアルタイムクロック (RTC)

本 LSI は、リアルタイムクロック (RTC : Real Time Clock) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。

15.1 特長

- 時計・カレンダー機能 (BCD表示) を搭載
秒、分、時、曜日、日、月、年をカウント
- 1~64Hzタイマ (バイナリ表示) を搭載
64Hzカウンタが、RTCの分周回路のうち64Hz~1Hzの状態を示します。
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
秒カウンタ桁上げ、または64Hzカウンタの読み出し時に64Hzカウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

図 15.1 に RTC のブロック図を示します。

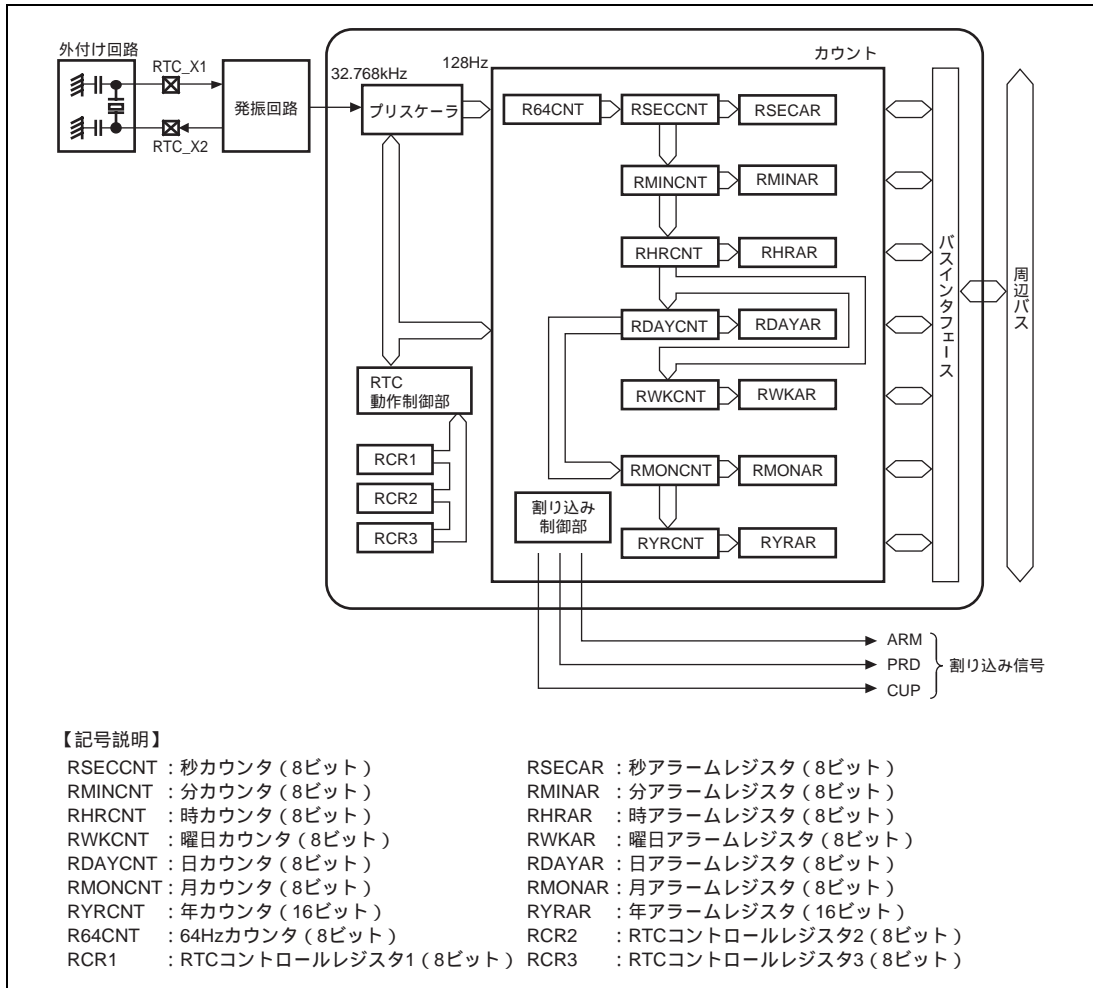


図 15.1 RTC のブロック図

15.2 入出力端子

RTC の端子構成を表 15.1 に示します。

表 15.1 端子構成

名称	端子名	入出力	機能
RTC 用水晶発振子端子	RTC_X1	入力	RTC 用に 32.768kHz の水晶発振子を接続します。
RTC 用水晶発振子端子	RTC_X2	出力	RTC 用に 32.768kHz の水晶発振子を接続します。

15.3 レジスタの説明

RTC には、以下のレジスタがあります。

表 15.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
64Hz カウンタ	R64CNT	R	H'xx	H'FFFE0800	8
秒カウンタ	RSECCNT	R/W	H'xx	H'FFFE0802	8
分カウンタ	RMINCNT	R/W	H'xx	H'FFFE0804	8
時カウンタ	RHRCNT	R/W	H'xx	H'FFFE0806	8
曜日カウンタ	RWKCNT	R/W	H'0x	H'FFFE0808	8
日カウンタ	RDAYCNT	R/W	H'xx	H'FFFE080A	8
月カウンタ	RMONCNT	R/W	H'xx	H'FFFE080C	8
年カウンタ	RYRCNT	R/W	H'xxxx	H'FFFE080E	16
秒アラームレジスタ	RSECAR	R/W	H'xx	H'FFFE0810	8
分アラームレジスタ	RMINAR	R/W	H'xx	H'FFFE0812	8
時アラームレジスタ	RHRAR	R/W	H'xx	H'FFFE0814	8
曜日アラームレジスタ	RWKAR	R/W	H'0x	H'FFFE0816	8
日アラームレジスタ	RDAYAR	R/W	H'xx	H'FFFE0818	8
月アラームレジスタ	RMONAR	R/W	H'xx	H'FFFE081A	8
年アラームレジスタ	RYRAR	R/W	H'xxxx	H'FFFE0820	16
RTC コントロールレジスタ 1	RCR1	R/W	H'00	H'FFFE081C	8
RTC コントロールレジスタ 2	RCR2	R/W	H'09	H'FFFE081E	8
RTC コントロールレジスタ 3	RCR3	R/W	H'00	H'FFFE0824	8

15.3.1 64Hz カウンタ (R64CNT)

R64CNT は、RTC の分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) の CF ビットが 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は H'00 に初期化されます。

R64CNT は、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	1Hz	不定	R	RTC の分周回路のうち、1Hz ~ 64Hz の状態を示します。
5	2Hz	不定	R	
4	4Hz	不定	R	
3	8Hz	不定	R	
2	16Hz	不定	R	
1	32Hz	不定	R	
0	64Hz	不定	R	

15.3.2 秒カウンタ (RSECCNT)

RSECCNT は、RTC の BCD コード化された秒部分の設定・カウンタ用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリーによってカウンタ動作を行います。

設定可能範囲は、10 進 (BCD) で 00~59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウンタ動作を停止させてから行ってください。

RSECCNT は、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	10秒			1秒			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	10 秒	不定	R/W	秒十位カウンタ 秒十位は 0 から 5 をカウントして、60 秒のカウントを行います。
3~0	1 秒	不定	R/W	秒一位カウンタ 秒一位は 1 秒ごとに 0 から 9 をカウントします。桁上がりが発生すると、秒十位が +1 されます。

15.3.3 分カウンタ (RMINCNT)

RMINCNT は、RTC の BCD コード化された分部分の設定・カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RMINCNT は、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	10分			1分			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	10 分	不定	R/W	分十位カウント 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
3~0	1 分	不定	R/W	分一位カウント 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。

15.3.4 時カウンタ (RHRCNT)

RHRCNT は、RTC の BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00~23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RHRCNT は、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	10時間		1時間			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	10 時間	不定	R/W	時十位カウント 時十位は0から2をカウントします。
3~0	1 時間	不定	R/W	時一位カウント 時一位は1時間ごとに0から9をカウントします。桁上がりが発生すると、時十位が+1されます。

15.3.5 曜日カウンタ (RWKCNT)

RWKCNT は、RTC の BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 0~6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RWKCNT は、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	曜日		
初期値:	0	0	0	0	0	不定	不定	不定
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	曜日	不定	R/W	曜日カウンタ バイナリコードで曜日を表します。 000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定禁止)

15.3.6 日カウンタ (RDAYCNT)

RDAYCNT は、RTC の BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 01 ~ 31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RDAYCNT は、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも初期化されません。

RDAYCNT の設定範囲は、月ごとおよびうるう年によって変化しますので。確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット:	7	6	5	4	3	2	1	0
	-	-	10日		1日			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 日	不定	R/W	日十位カウンタ
3~0	1 日	不定	R/W	日一位カウンタ 日一位は 1 日ごとに 0~9 をカウントします。桁上りを発生すると日十位が +1 されます。

15.3.7 月カウンタ (RMONCNT)

RMONCNT は、RTC の BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RMONCNT は、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	10月	1月			
初期値:	0	0	0	不定	不定	不定	不定	不定
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	10 月	不定	R/W	月十位カウンタ
3~0	1 月	不定	R/W	月一位カウンタ 月一位は 1 月ごとに 0~9 をカウントします。桁上がりが発生すると月十位が +1 されます。

15.3.8 年カウンタ (RYRCNT)

RYRCNT は、RTC の BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリーによって、カウント動作を行います。

設定可能範囲は、10 進 (BCD) で 0000 ~ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RYRCNT は、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~12	1000 年	不定	R/W	年千位カウンタ
11~8	100 年	不定	R/W	年百位カウンタ
7~4	10 年	不定	R/W	年十位カウンタ
3~0	1 年	不定	R/W	年一位カウンタ

15.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、RTC の BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RSECAR の ENB ビットは、パワーオンリセットおよびディープスタンバイモードで 0 に初期化されます。他のビットは、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RSECCNT の値と比較を行います。
6~4	10 秒	不定	R/W	秒十位の設定値
3~0	1 秒	不定	R/W	秒一位の設定値

15.3.10 分アラームレジスタ (RMINAR)

RMINAR は、RTC の BCD コード化された部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR の ENB ビットは、パワーオンリセットおよびディープスタンバイモードで初期化されます。他のビットは、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RMINCNT の値と比較を行います。
6~4	10 分	不定	R/W	分十位の設定値
3~0	1 分	不定	R/W	分一位の設定値

15.3.11 時アラームレジスタ (RHRAR)

RHRAR は、RTC の BCD コード化された時部分のカウンタ RHRCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHRCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RHRAR の ENB ビットは、パワーオンリセットおよびディープスタンバイモードで初期化されます。他のビットは、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10時間		1時間			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RHRCNT の値と比較を行います。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 時間	不定	R/W	時十位の設定値
3~0	1 時間	不定	R/W	時一位の設定値

15.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おののがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 0~6+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RWKAR の ENB ビットは、パワーオンリセットおよびディープスタンバイモード時は初期化されます。他のビットは、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	曜日		
初期値:	0	0	0	0	0	不定	不定	不定
R/W:	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RWKCNT の値と比較を行います。
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	曜日	不定	R/W	曜日の設定値 000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定禁止)

15.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おののがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01 ~ 31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RDAYAR の ENB ビットは、パワーオンリセットおよびディープスタンバイモードで初期化されます。他のビットは、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10日		1日			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RDAYCNT の値と比較を行います。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 日	不定	R/W	日十位の設定値
3~0	1 日	不定	R/W	日一位の設定値

15.3.14 月アラームレジスタ (RMONAR)

RMONAR は、RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMONAR の ENB ビットは、パワーオンリセットおよびディープスタンバイモードで初期化されます。他のビットは、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	10月	1月			
初期値:	0	0	0	不定	不定	不定	不定	不定
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RMONCNT の値と比較を行います。
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	10 月	不定	R/W	月十位の設定値
3~0	1 月	不定	R/W	月一位の設定値

15.3.15 年アラームレジスタ (RYRAR)

RYRAR は、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。

設定可能範囲は、10 進 (BCD) で 0000 ~ 9999 であり、それ以外の値が設定されると、正常に動作しません。

RYRAR は、パワーオンリセット、マニュアルリセット、ディープスタンバイモードおよびソフトウェアスタンバイモード時のいずれでも初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~12	1000 年	不定	R/W	年千位の設定値
11~8	100 年	不定	R/W	年百位の設定値
7~4	10 年	不定	R/W	年十位の設定値
3~0	1 年	不定	R/W	年一位の設定値

15.3.16 RTC コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのこのフラグについて、割り込みを発生するかどうか選択できます。

パワーオンリセット、マニュアルリセット、およびディープスタンバイモード時は、H'00 に初期化されます。ただし、CF フラグは、分周回路がリセット (RCR2 の RESET ビットと ADJ ビットを 1 にセット) されるまでは不定になります。CF フラグを使用する場合は、使用前に必ず分周回路をリセットしてください。ソフトウェアスタンバイモード時には、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	CF	-	-	CIE	AIE	-	-	AF
初期値:	不定	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	桁上げフラグ このフラグが 1 にセットされた場合、秒カウンタ桁上げ、または 64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。 0: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし 【クリア条件】CF に 0 を書き込んだとき 1: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり 【セット条件】秒カウンタ桁上げまたは 64Hz カウンタ桁上げ時の読み出し時の 64Hz カウンタ桁上げあり、または CF に 1 を書き込んだとき
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ 桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0: CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない 1: CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0: AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない 1: AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる

ビット	ビット名	初期値	R/W	説明
2, 1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	AF	0	R/W	アラームフラグ アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAR) で設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 1 にセットされるフラグです。 0: アラームレジスタとカウンタは不一致 【クリア条件】 AF に 0 を書き込んだとき 1: アラームレジスタとカウンタは一致* 【セット条件】 アラームレジスタ (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 【注】* 1 を書き込むと、元の値が保持されます。

15.3.17 RTC コントロールレジスタ 2 (RCR2)

RCR2 は、周期割り込み制御、30 秒調整、分周回路リセット、RTC カウント制御に関するレジスタです。

パワーオンリセット、およびディープスタンバイモード時は H'09 に初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。ソフトウェアスタンバイモード時は初期化されず、それまでの値が保持されます。

ビット:	7	6	5	4	3	2	1	0
	PEF	PES[2:0]			RTCEN	ADJ	RESET	START
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PEF	0	R/W	周期割り込みフラグ PES2 ~ PES0 ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。 0: PES2 ~ PES0 ビットで設定された周期で割り込み発生なし 【クリア条件】 PEF に 0 を書き込んだとき 1: PES2 ~ PES0 ビットで設定された周期で割り込み発生あり 【セット条件】 PES2 ~ PES0 ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき

ビット	ビット名	初期値	R/W	説明
6~4	PES[2:0]	000	R/W	<p>割り込みイネーブルフラグ</p> <p>周期割り込みの周期を設定します。</p> <p>000: 周期割り込み発生なし</p> <p>001: 周期割り込み発生の周期を 1/256 秒ごとにする</p> <p>010: 周期割り込み発生の周期を 1/64 秒ごとにする</p> <p>011: 周期割り込み発生の周期を 1/16 秒ごとにする</p> <p>100: 周期割り込み発生の周期を 1/4 秒ごとにする</p> <p>101: 周期割り込み発生の周期を 1/2 秒ごとにする</p> <p>110: 周期割り込み発生の周期を 1 秒ごとにする</p> <p>111: 周期割り込み発生の周期を 2 秒ごとにする</p>
3	RTCEN	1	R/W	<p>発振器有効</p> <p>RTC 用水晶発振器の動作を制御します。</p> <p>0: RTC 用水晶発振器を停止させる</p> <p>1: RTC 用水晶発振器を動作させる</p>
2	ADJ	0	R/W	<p>30 秒調整</p> <p>30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。自動的にこの ADJ ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。</p> <p>【重要】本ビットを使用する場合、「15.5.5 30 秒調整設定手順」を参照してください。</p> <p>0: 通常の時計動作</p> <p>1: 30 秒の調整を行う</p>
1	RESET	0	R/W	<p>リセット</p> <p>1 を書き込むことによって、分周回路が初期化されます。なお、1 が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) がリセットされた後、自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。</p> <p>0: 通常の時計動作</p> <p>1: 分周回路をリセット</p>
0	START	1	R/W	<p>START ビット</p> <p>カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。</p> <p>0: 秒、分、時、日、曜日、月、年カウンタは停止*</p> <p>1: 秒、分、時、日、曜日、月、年カウンタは通常動作*</p> <p>【注】* 64Hz カウンタは、RTCEN ビットで停止させないかぎり動作しません。</p>

15.3.18 RTC コントロールレジスタ 3 (RCR3)

RCR3 の ENB ビットが 1 にセットされていると、RYRCNT の値と RYRAR の値の比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

RCR3 の ENB ビットは、パワーオンリセットおよびディープスタンバイモードで初期化されます。RCR3 の残りのフィールドは、パワーオンリセット、マニュアルリセット、ディープスタンバイモード、およびソフトウェアスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RYRCNT の値と比較を行います。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

15.4 動作説明

RTC の使用例を示します。

15.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

15.4.2 時刻設定手順

時刻設定手順例を図 15.2 に示します。

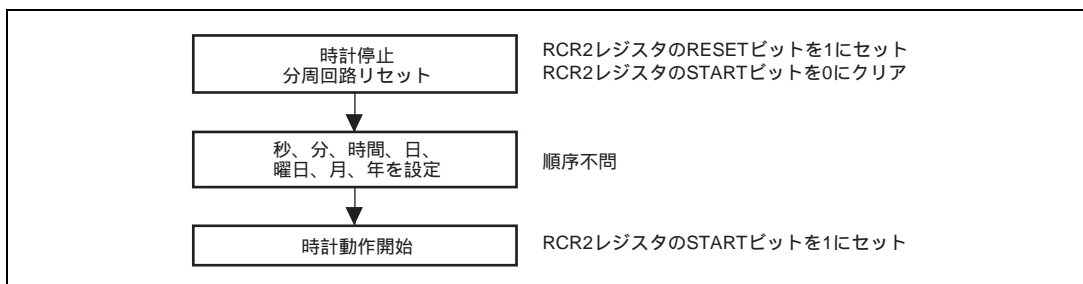


図 15.2 時刻設定手順

15.4.3 時刻読み出し手順

時刻読み出し手順を図 15.3 に示します。

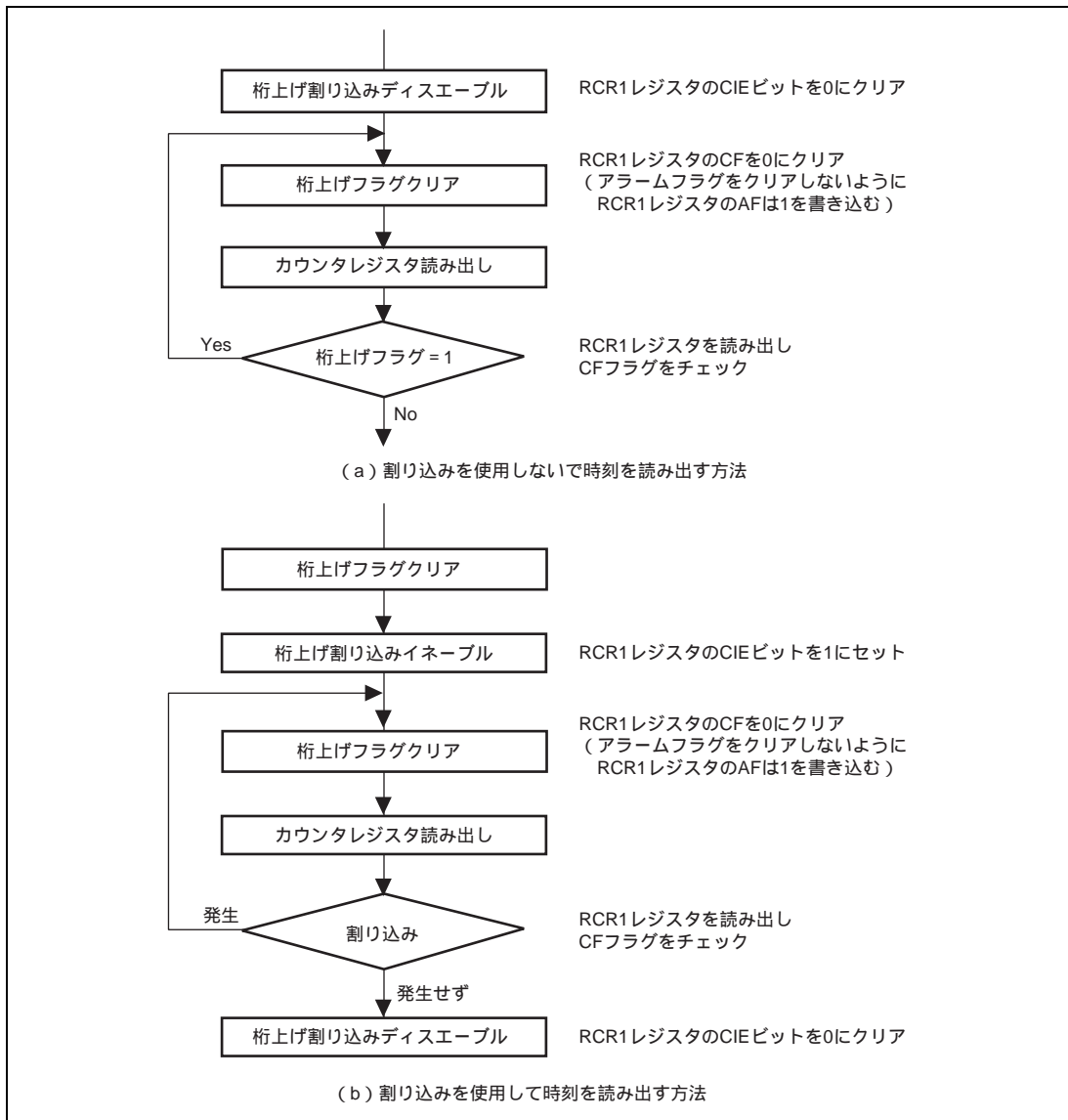


図 15.3 時刻読み出し手順

時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 15.3 の (a) に、桁上げ割り込みを使用する方法を図 15.3 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

15.4.4 アラーム機能

アラーム機能の使用例を図 15.4 に示します。

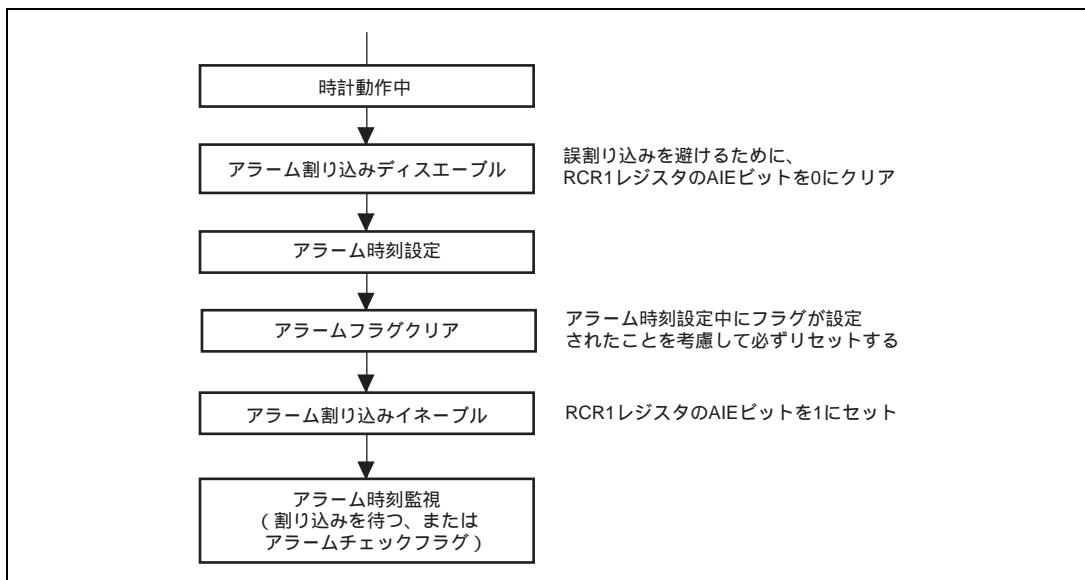


図 15.4 アラーム機能の使用法

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENBビットに0を書き込みます。

カウンタとアラーム時刻が一致した場合は、RCR1レジスタのAFビットに1がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1レジスタのAIEビットに1が書き込まれている場合、アラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致しているとセットされます。しかし、アラームフラグに0を書き込むとクリアされます。

15.5 使用上の注意事項

15.5.1 RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時 (RCR2 レジスタの START ビット=1 のとき) は、カウントレジスタ (RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT) に対して書き込みを行わないでください。RTC カウント動作時に書き込みを行った場合、書き込み命令実行直後に正しくカウントレジスタを読み出せない場合があります。カウントレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

15.5.2 リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込みの使用方法を図 15.5 に示します。

周期割り込みは、RCR2 レジスタの PES0 ~ PES2 ビットで設定した周期で定期的に割り込みを発生させることができます。PES0 ~ PES2 ビットで設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES0 ~ PES2 ビット設定時および周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

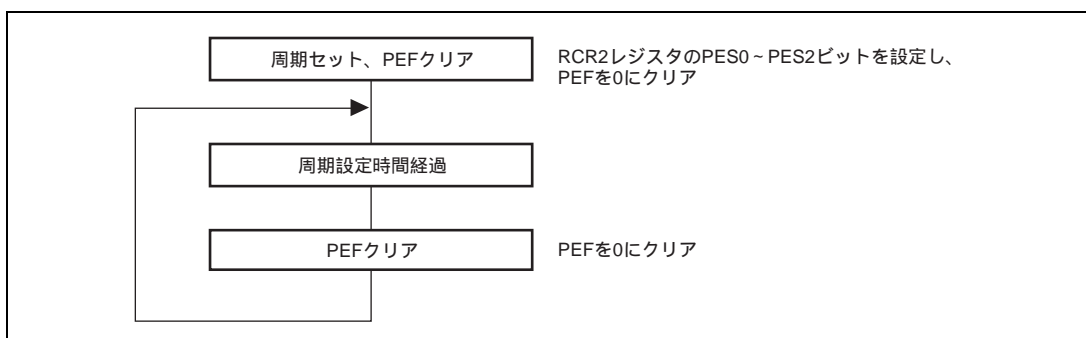


図 15.5 周期割り込み機能の使用方法

15.5.3 レジスタ設定後のスタンバイ遷移について

RTC 内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、2 カウントクロック以上待ってからスタンバイ状態に遷移してください。

15.5.4 RTC 用水晶発振回路

RTC 用水晶発振回路の各定数 (推奨値) を表 15.2 に、RTC 用水晶発振回路を図 15.6 に示します。

表 15.2 水晶発振回路の定数 (推奨値)

f_{osc}	C_{in}	C_{out}
32.768kHz	10 ~ 22pF	10 ~ 22pF

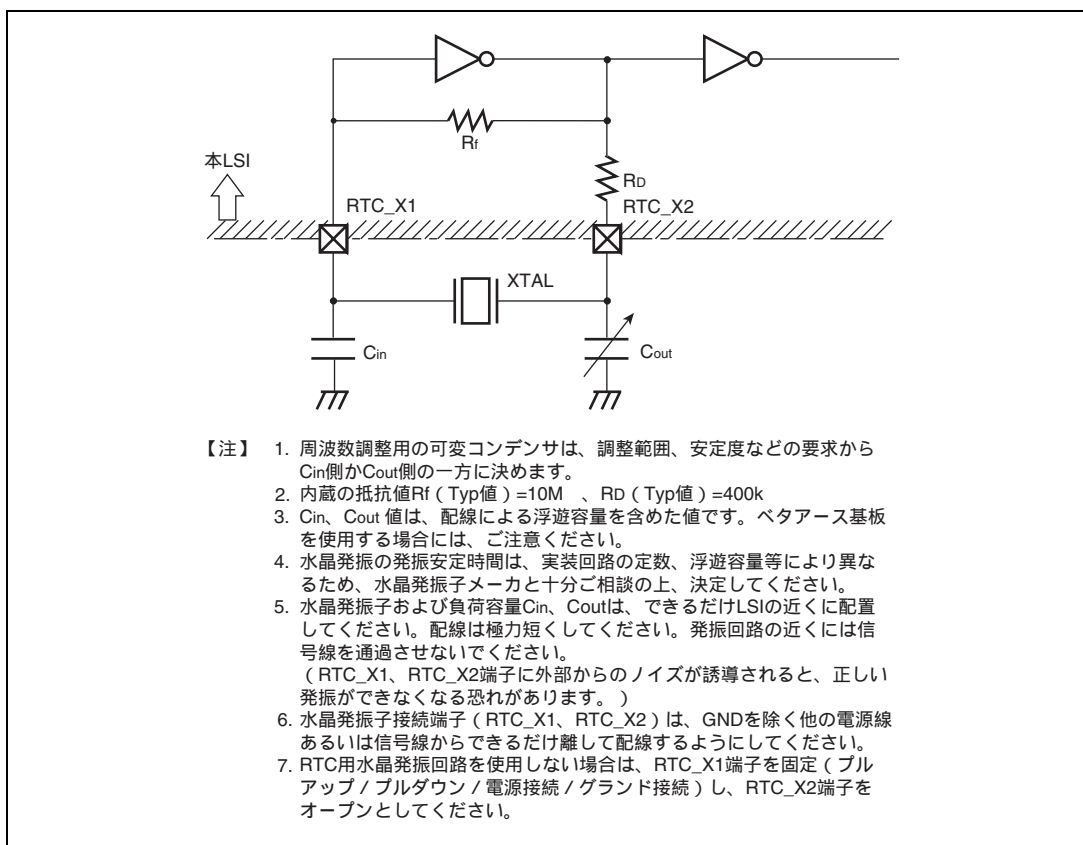


図 15.6 RTC 用水晶発振回路接続例

15.5.5 30 秒調整設定手順

30 秒調整の設定手順を図 15.7 に示します。



図 15.7 30 秒調整設定手順

30 秒調整を使用する場合、分、時間、日、曜日、月、年カウンタに対し書き込みを行う必要があります。そのため RCR2 レジスタの START ビットを 0 にクリアし、分、時間、日、曜日、月、年カウンタを読み出し後、読み出し値を書き込んでから RCR2 レジスタの ADJ ビットを 1 にセットしてください。30 秒調整後、RCR2 レジスタの START ビットを 1 にセットして時計動作を開始します。

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする 8 チャンネルの FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) を備えています。また、各チャンネルとも独立に送信 / 受信用に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

16.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークが検出されます。またフレーミングエラー発生時に RxD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっているので、シリアルデータの高速連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース
ポーレートジェネレータ (内部クロック)、またはSCK端子 (外部クロック) から選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ、ブレイク、受信FIFOデータフル、および受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 送信、および受信FIFOレジスタのデータ数、および受信FIFOレジスタの受信データの受信エラー数を検出できます。
- 調歩同期モード受信時、タイムアウトエラー (DR) を検出できます。

図 16.1 に SCIF のブロック図を示します。

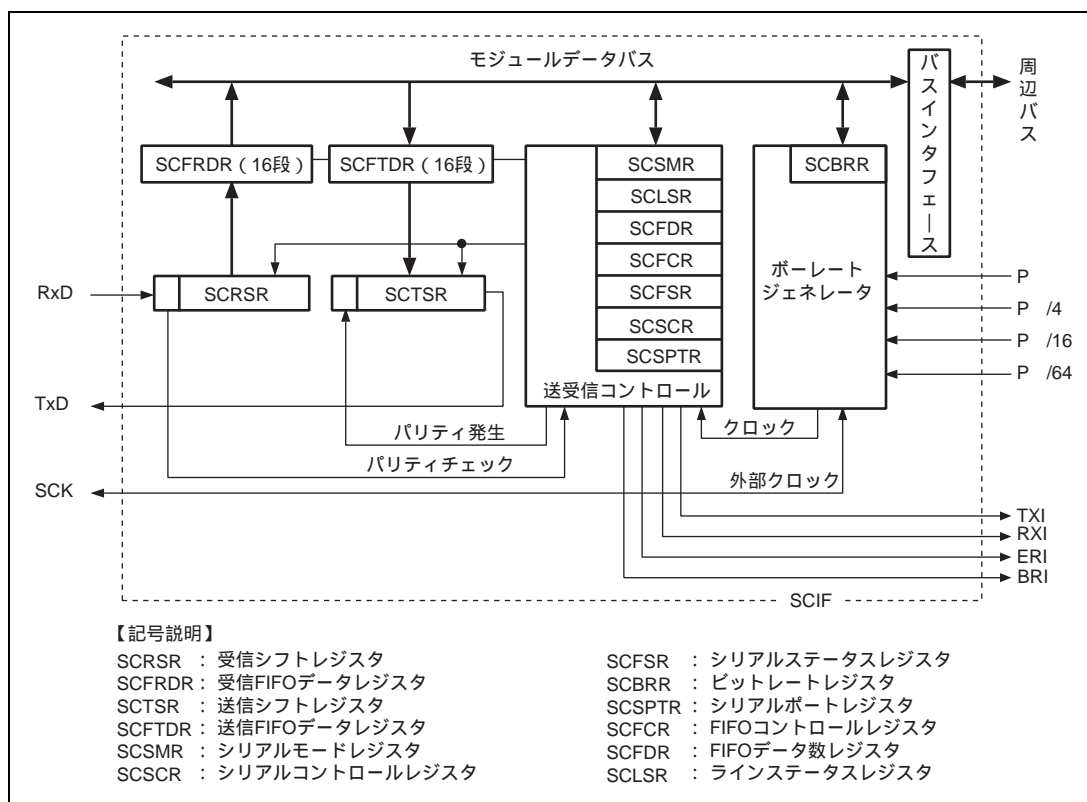


図 16.1 SCIF のブロック図

16.2 入出力端子

SCIF の端子構成を表 16.1 に示します。

表 16.1 端子構成

チャンネル	名称	端子名	入出力	機能
0~7	シリアルクロック端子	SCK0 ~ SCK7	入出力	クロック入出力
	受信データ端子	RxD0 ~ RxD7	入力	受信データ入力
	送信データ端子	TxD0 ~ TxD7	出力	送信データ出力

16.3 レジスタの説明

SCIF には以下のレジスタがあります。

表 16.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'0000	H'FFFE8000	16
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FF	H'FFFE8004	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'0000	H'FFFE8008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	W	不定	H'FFFE800C	8
	シリアルステータスレジスタ_0	SCFSR_0	R/(W)* ¹	H'0060	H'FFFE8010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	R	不定	H'FFFE8014	8
	FIFO コントロールレジスタ_0	SCFCR_0	R/W	H'0000	H'FFFE8018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	R	H'0000	H'FFFE801C	16
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0050	H'FFFE8020	16
	ラインステータスレジスタ_0	SCLSR_0	R/(W)* ²	H'0000	H'FFFE8024	16
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'0000	H'FFFE8800	16
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FF	H'FFFE8804	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'0000	H'FFFE8808	16
	送信 FIFO データレジスタ_1	SCFTDR_1	W	不定	H'FFFE880C	8
	シリアルステータスレジスタ_1	SCFSR_1	R/(W)* ¹	H'0060	H'FFFE8810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	R	不定	H'FFFE8814	8
	FIFO コントロールレジスタ_1	SCFCR_1	R/W	H'0000	H'FFFE8818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	R	H'0000	H'FFFE881C	16
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0050	H'FFFE8820	16
	ラインステータスレジスタ_1	SCLSR_1	R/(W)* ²	H'0000	H'FFFE8824	16

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'0000	H'FFFE9000	16
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FF	H'FFFE9004	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'0000	H'FFFE9008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	W	不定	H'FFFE900C	8
	シリアルステータスレジスタ_2	SCFSR_2	R/(W)* ¹	H'0060	H'FFFE9010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	R	不定	H'FFFE9014	8
	FIFO コントロールレジスタ_2	SCFCR_2	R/W	H'0000	H'FFFE9018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	R	H'0000	H'FFFE901C	16
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0050	H'FFFE9020	16
	ラインステータスレジスタ_2	SCLSR_2	R/(W)* ²	H'0000	H'FFFE9024	16
3	シリアルモードレジスタ_3	SCSMR_3	R/W	H'0000	H'FFFE9800	16
	ビットレートレジスタ_3	SCBRR_3	R/W	H'FF	H'FFFE9804	8
	シリアルコントロールレジスタ_3	SCSCR_3	R/W	H'0000	H'FFFE9808	16
	送信 FIFO データレジスタ_3	SCFTDR_3	W	不定	H'FFFE980C	8
	シリアルステータスレジスタ_3	SCFSR_3	R/(W)* ¹	H'0060	H'FFFE9810	16
	受信 FIFO データレジスタ_3	SCFRDR_3	R	不定	H'FFFE9814	8
	FIFO コントロールレジスタ_3	SCFCR_3	R/W	H'0000	H'FFFE9818	16
	FIFO データカウントセットレジスタ_3	SCFDR_3	R	H'0000	H'FFFE981C	16
	シリアルポートレジスタ_3	SCSPTR_3	R/W	H'0050	H'FFFE9820	16
	ラインステータスレジスタ_3	SCLSR_3	R/(W)* ²	H'0000	H'FFFE9824	16
4	シリアルモードレジスタ_4	SCSMR_4	R/W	H'0000	H'FFFEA000	16
	ビットレートレジスタ_4	SCBRR_4	R/W	H'FF	H'FFFEA004	8
	シリアルコントロールレジスタ_4	SCSCR_4	R/W	H'0000	H'FFFEA008	16
	送信 FIFO データレジスタ_4	SCFTDR_4	W	不定	H'FFFEA00C	8
	シリアルステータスレジスタ_4	SCFSR_4	R/(W)* ¹	H'0060	H'FFFEA010	16
	受信 FIFO データレジスタ_4	SCFRDR_4	R	不定	H'FFFEA014	8
	FIFO コントロールレジスタ_4	SCFCR_4	R/W	H'0000	H'FFFEA018	16
	FIFO データカウントセットレジスタ_4	SCFDR_4	R	H'0000	H'FFFEA01C	16
	シリアルポートレジスタ_4	SCSPTR_4	R/W	H'0050	H'FFFEA020	16
	ラインステータスレジスタ_4	SCLSR_4	R/(W)* ²	H'0000	H'FFFEA024	16

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
5	シリアルモードレジスタ_5	SCSMR_5	R/W	H'0000	H'FFFEA800	16
	ビットレートレジスタ_5	SCBRR_5	R/W	H'FF	H'FFFEA804	8
	シリアルコントロールレジスタ_5	SCSCR_5	R/W	H'0000	H'FFFEA808	16
	送信 FIFO データレジスタ_5	SCFTDR_5	W	不定	H'FFFEA80C	8
	シリアルステータスレジスタ_5	SCFSR_5	R/(W)* ¹	H'0060	H'FFFEA810	16
	受信 FIFO データレジスタ_5	SCFRDR_5	R	不定	H'FFFEA814	8
	FIFO コントロールレジスタ_5	SCFCR_5	R/W	H'0000	H'FFFEA818	16
	FIFO データカウントセットレジスタ_5	SCFDR_5	R	H'0000	H'FFFEA81C	16
	シリアルポートレジスタ_5	SCSPTR_5	R/W	H'0050	H'FFFEA820	16
	ラインステータスレジスタ_5	SCLSR_5	R/(W)* ²	H'0000	H'FFFEA824	16
6	シリアルモードレジスタ_6	SCSMR_6	R/W	H'0000	H'FFFEB000	16
	ビットレートレジスタ_6	SCBRR_6	R/W	H'FF	H'FFFEB004	8
	シリアルコントロールレジスタ_6	SCSCR_6	R/W	H'0000	H'FFFEB008	16
	送信 FIFO データレジスタ_6	SCFTDR_6	W	不定	H'FFFEB00C	8
	シリアルステータスレジスタ_6	SCFSR_6	R/(W)* ¹	H'0060	H'FFFEB010	16
	受信 FIFO データレジスタ_6	SCFRDR_6	R	不定	H'FFFEB014	8
	FIFO コントロールレジスタ_6	SCFCR_6	R/W	H'0000	H'FFFEB018	16
	FIFO データカウントセットレジスタ_6	SCFDR_6	R	H'0000	H'FFFEB01C	16
	シリアルポートレジスタ_6	SCSPTR_6	R/W	H'0050	H'FFFEB020	16
	ラインステータスレジスタ_6	SCLSR_6	R/(W)* ²	H'0000	H'FFFEB024	16
7	シリアルモードレジスタ_7	SCSMR_7	R/W	H'0000	H'FFFEB800	16
	ビットレートレジスタ_7	SCBRR_7	R/W	H'FF	H'FFFEB804	8
	シリアルコントロールレジスタ_7	SCSCR_7	R/W	H'0000	H'FFFEB808	16
	送信 FIFO データレジスタ_7	SCFTDR_7	W	不定	H'FFFEB80C	8
	シリアルステータスレジスタ_7	SCFSR_7	R/(W)* ¹	H'0060	H'FFFEB810	16
	受信 FIFO データレジスタ_7	SCFRDR_7	R	不定	H'FFFEB814	8
	FIFO コントロールレジスタ_7	SCFCR_7	R/W	H'0000	H'FFFEB818	16
	FIFO データカウントセットレジスタ_7	SCFDR_7	R	H'0000	H'FFFEB81C	16
	シリアルポートレジスタ_7	SCSPTR_7	R/W	H'0050	H'FFFEB820	16
	ラインステータスレジスタ_7	SCLSR_7	R/(W)* ²	H'0000	H'FFFEB824	16

【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。ビット 15~8、3、2 は読み出し専用であり書き込むことはできません。

*2 フラグクリアするために 0 のみ書き込むことができます。ビット 15~1 は読み出し専用であり書き込むことはできません。

16.3.1 受信シフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。SCIF は、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に受信 FIFO データレジスタ (SCFRDR) へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	-	-	-	-	-	-	-	-									
R/W:	-	-	-	-	-	-	-	-									

16.3.2 受信 FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 段 FIFO レジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、受信シフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

SCFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

SCFRDR は、パワーオンリセット、およびディープスタンバイモード時に不定となります。

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	-	-	-	-	-	-	-	-									
R/W:	R	R	R	R	R	R	R	R									

16.3.3 送信シフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。SCIF は、送信 FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	-	-	-	-	-	-	-	-									
R/W:	-	-	-	-	-	-	-	-									

16.3.4 送信 FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。SCIF は、送信シフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は常に CPU による書き込みが可能です。

SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。

SCFTDR は、パワーオンリセット、およびディープスタンバイモード時に不定となります。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W

16.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するためのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。SCSMR は、パワーオンリセット、およびディープスタンバイモード時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	CKS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0: 8 ビットデータ 1: 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、送信 FIFO データレジスタの MSB (ビット 7) は送信されません。

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると、送信時には O/E ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期モードや調歩同期モードでパリティの付加やチェックを禁止している場合には、O/E ビットの設定は無効です。</p> <p>0: 偶数パリティ*¹ 1: 奇数パリティ*²</p> <p>【注】*¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>0:1ストップビット 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>1:2ストップビット 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータの内部クロックソースを選択します。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「16.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00:P クロック 01:P /4クロック 10:P /16クロック 11:P /64クロック</p> <p>【注】 P : 周辺クロック</p>

16.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し / 書き込みが可能です。SCSCR は、パワーオンリセット、およびディープスタンバイモード時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	CKE[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	送信インタラプトイネーブル 送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) へシリアル送信データが転送され、送信 FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 0: 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止 1: 送信 FIFO データエンプティ割り込み (TXI) 要求を許可* 【注】* TXI の解除は、SCFTDR に指定した送信トリガ数より大きな量の送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。
6	RIE	0	R/W	受信インタラプトイネーブル シリアルステータスレジスタ (SCFSR) の RDF フラグまたは DR フラグが 1 にセットされたときの受信 FIFO データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、および SCFSR の BRK フラグまたはラインステータスレジスタ (SCLSR) の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可 / 禁止します。 0: 受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を禁止 1: 受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を許可* 【注】* RXI 割り込み要求の解除は、DR または RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

ビット	ビット名	初期値	R/W	説明
5	TE	0	R/W	<p>送信イネーブル</p> <p>シリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* この状態で SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR および SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>受信イネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*¹</p> <p>1 : 受信動作を許可*²</p> <p>【注】*¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>受信エラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可*</p> <p>【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期モードで同期クロック出力に設定する場合は、SCSMR の C/A ビットを 1 に設定してから CKE1、CKE0 ビットを設定してください。</p> <ul style="list-style-type: none"> 調歩同期モード <ul style="list-style-type: none"> 00: 内部クロック / SCK 端子は入力端子 (入力信号は無視) 01: 内部クロック / SCK 端子はクロック出力 (ビットレートの 16 倍の周波数のクロックを出力) 10: 外部クロック / SCK 端子はクロック入力 (ビットレートの 16 倍の周波数のクロックを入力) 11: 設定禁止 クロック同期モード <ul style="list-style-type: none"> 00: 内部クロック / SCK 端子は同期クロック出力 01: 内部クロック / SCK 端子は同期クロック出力 10: 外部クロック / SCK 端子は同期クロック入力 11: 設定禁止

16.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は、16 ビットのレジスタです。上位 8 ビットは受信 FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し / 書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。さらに、ビット 3 (FER)、およびビット 2 (PER) は読み出し専用であり、書き込むことはできません。パワーオンリセット、およびディープスタンバイモード時に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER[3:0]				FER[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~12	PER[3:0]	0000	R	<p>パリティエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 15~12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER3~PER0 は 0 を表示します。</p>
11~8	FER[3:0]	0000	R	<p>フレーミングエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 11~8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER3~FER0 は 0 を表示します。</p>
7	ER	0	R(W)*	<p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*¹</p> <p>0: 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1 回のデータ受信の終わりで受信データの最後のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 の場合*² • 受信時の受信データとパリティビットを合わせた 1 の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき <p>【注】*¹ SCSCR の RE ビットを 0 にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCFRDR から読み出したデータに受信エラーが含まれるかどうかは、SCFSR の FER ビットと PER ビットで判定できます。</p> <p>*² 2 ストップモードのときは第 1 ストップビットのみチェックされ、第 2 ストップビットはチェックされません。</p>

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/(W)*	<p>送信エンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCFTDR へ送信データを書き込み、TEND=1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき* <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に SCFTDR に送信データがないとき <p>【注】* TXI 割り込み要求により DMAC で SCFTDR ヘデータのライトを行った場合、送信終了フラグとして使用しないでください。</p>
5	TDFE	1	R/(W)*	<p>送信 FIFO データエンプティ</p> <p>送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1 ビットと TTRG0 ビットで指定した送信トリガデータ数より少なくなり、SCFTDR への送信データの書き込みが許可されることを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータを SCFTDR に書き込み、TDFE に 0 を書き込んだとき 送信 FIFO データエンプティ 割り込み (TXI) により DMAC を起動し、指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】* SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットで示されます。</p>

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/(W)*	<p>ブレーク検出</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0: ブレーク信号なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • BRK=1の状態を読み出した後、BRK フラグに 0 を書き込んだとき <p>1: ブレーク信号を受信*</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】* ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると、受信データの転送が再開します。</p>
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

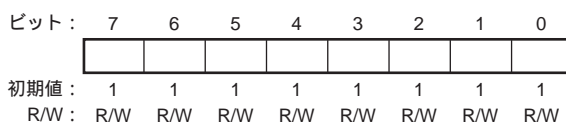
ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>受信 FIFO データフル</p> <p>受信データが受信 FIFO データレジスタ (SCFRDR) に転送され、SCFRDR のデータ数が FIFO コントロールレジスタ (SCFCR) の RTRG1 ビットおよび RTRG0 ビットで指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SCFRDR の書き込まれた受信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • RDF=1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき • DMAC が SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数以上の受信データ数が SCFRDR に格納されるとき* <p>【注】* SCFRDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR の受信データ数は SCFRDR の下位 8 ビットで示されます。</p>
0	DR	0	R/(W)*	<p>受信データレディ</p> <p>調歩同期モードで、受信 FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • DR=1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • 受信 FIFO データフル割り込み (RXI) により DMAC を起動し、SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが受信されていないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過*後も次のデータが受信されないとき <p>【注】* 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element time unit : 要素時間単位)</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

16.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。SCBRR は、パワーオンリセット、およびディープスタンバイモード時に H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、8 つのチャンネルにはそれぞれ異なる値を設定することができます。



SCBRR の設定値は以下の計算式で求められます。

【調歩同期式モード】

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

【クロック同期式モード】

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)
(電気的特性を満足する設定値としてください)

P : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)
(n とクロックの関係は、表 16.3 を参照してください)

表 16.3 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 16.4 に調歩同期式モードの SCBRR の設定例を、表 16.5 にクロック同期式モードの SCBRR の設定例を示します。

表 16.4 ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(1)

ビットレート (bit/s)	P (MHz)											
	5			6			6.144			7.37288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	88	-0.25	2	106	-0.44	2	108	0.08	2	130	-0.07
150	2	64	0.16	2	77	0.16	2	79	0.00	2	95	0.00
300	1	129	0.16	1	155	0.16	1	159	0.00	1	191	0.00
600	1	64	0.16	1	77	0.16	1	79	0.00	1	95	0.00
1200	0	129	0.16	0	155	0.16	0	159	0.00	0	191	0.00
2400	0	64	0.16	0	77	0.16	0	79	0.00	0	95	0.00
4800	0	32	-1.36	0	38	0.16	0	39	0.00	0	47	0.00
9600	0	15	1.73	0	19	-2.34	0	19	0.00	0	23	0.00
19200	0	7	1.73	0	9	-2.34	0	9	0.00	0	11	0.00
31250	0	4	0.00	0	5	0.00	0	5	2.40	0	6	5.33
38400	0	3	1.73	0	4	-2.34	0	4	0.00	0	5	0.00

表 16.4 ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(2)

ビットレート (bit/s)	P (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	0	6	-6.99	0	7	0.00	0	7	1.73	0	9	-2.34

表 16.4 ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(3)

ビットレート (bit/s)	P (MHz)											
	12.288			14.7456			16			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	3	64	0.70	3	70	0.03	3	86	0.31
150	2	159	0.00	2	191	0.00	2	207	0.16	2	255	0.00
300	2	79	0.00	2	95	0.00	2	103	0.16	2	127	0.00
600	1	159	0.00	1	191	0.00	1	207	0.16	1	255	0.00
1200	1	79	0.00	1	95	0.00	1	103	0.16	1	127	0.00
2400	0	159	0.00	0	191	0.00	0	207	0.16	0	255	0.00
4800	0	79	0.00	0	95	0.00	0	103	0.16	0	127	0.00
9600	0	39	0.00	0	47	0.00	0	51	0.16	0	63	0.00
19200	0	19	0.00	0	23	0.00	0	25	0.16	0	31	0.00
31250	0	11	2.40	0	14	-1.70	0	15	0.00	0	19	-1.70
38400	0	9	0.00	0	11	0.00	0	12	0.16	0	15	0.00

表 16.4 ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(4)

ビットレート (bit/s)	P (MHz)											
	20			24			24.576			28.7		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	106	-0.44	3	108	0.08	3	126	0.31
150	3	64	0.16	3	77	0.16	3	79	0.00	3	92	0.46
300	2	129	0.16	2	155	0.16	2	159	0.00	2	186	-0.08
600	2	64	0.16	2	77	0.16	2	79	0.00	2	92	0.46
1200	1	129	0.16	1	155	0.16	1	159	0.00	1	186	-0.08
2400	1	64	0.16	1	77	0.16	1	79	0.00	1	92	0.46
4800	0	129	0.16	0	155	0.16	0	159	0.00	0	186	-0.08
9600	0	64	0.16	0	77	0.16	0	79	0.00	0	92	0.46
19200	0	32	-1.36	0	38	0.16	0	39	0.00	0	46	-0.61
31250	0	19	0.00	0	23	0.00	0	24	-1.70	0	28	-1.03
38400	0	15	1.73	0	19	-2.34	0	19	0.00	0	22	1.55

表 16.4 ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(5)

ビット レート (bit/s)	P (MHz)														
	30			33			36			38			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	132	0.13	3	145	0.33	3	159	-0.12	3	168	-0.19	3	177	-0.25
150	3	97	-0.35	3	106	0.39	3	116	0.16	3	123	-0.24	3	129	0.16
300	2	194	0.16	2	214	-0.07	2	233	0.16	2	246	0.16	3	64	0.16
600	2	97	-0.35	2	106	0.39	2	116	0.16	2	123	-0.24	2	129	0.16
1200	1	194	0.16	1	214	-0.07	1	233	0.16	1	246	0.16	2	64	0.16
2400	1	97	-0.35	1	106	0.39	1	116	0.16	1	123	-0.24	1	129	0.16
4800	0	194	0.16	0	214	-0.07	0	233	0.16	0	246	0.16	1	64	0.16
9600	0	97	-0.35	0	106	0.39	0	116	0.16	0	123	-0.24	0	129	0.16
19200	0	48	-0.35	0	53	-0.54	0	58	-0.69	0	61	-0.24	0	64	0.16
31250	0	29	0.00	0	32	0.00	0	35	0.00	0	37	0.00	0	39	0.00
38400	0	23	1.73	0	26	-0.54	0	28	1.02	0	30	-0.24	0	32	-1.36

【注】 誤差は、なるべく1%以内になるように設定してください。

表 16.5 ビットレートに対する SCBRR の設定例〔クロック同期モード〕(1)

ビットレート (bit/s)	P (MHz)									
	5		8		16		28.7		30	
	n	N	n	N	n	N	n	N	n	N
250	3	77	3	124	3	249				
500	3	38	2	249	3	124	3	223	3	233
1k	2	77	2	124	2	249	3	111	3	116
2.5k	1	124	1	199	2	99	2	178	2	187
5k	0	249	1	99	1	199	2	89	2	93
10k	0	124	0	199	1	99	1	178	1	187
25k	0	49	0	79	0	159	1	71	1	74
50k	0	24	0	39	0	79	0	143	0	149
100k			0	19	0	39	0	71	0	74
250k	0	4	0	7	0	15			0	29
500k			0	3	0	7			0	14
1M					0	3				
2M										

表 16.5 ビットレートに対する SCBRR の設定例〔クロック同期モード〕(2)

ビットレート (bit/s)	P (MHz)							
	33		36		38		40	
	n	N	n	N	n	N	n	N
250								
500	3	255						
1k	3	128	3	140	3	147	3	155
2.5k	2	205	2	224	2	237	2	249
5k	2	102	2	112	2	118	2	124
10k	1	205	1	224	1	237	1	249
25k	1	82	1	89	1	94	1	99
50k	0	162	0	179	0	189	0	199
100k	0	82	0	89	0	94	0	99
250k	0	32	0	35	0	37	0	39
500k			0	17	0	18	0	19
1M			0	8			0	9
2M							0	4

【記号説明】

空欄 : 設定できません。または、通信相手にかかわらず本 LSI 自身の電気的特性を満たすことができません。

- : 設定可能ですが誤差がでます。

表 16.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 16.7 と表 16.8 に外部クロック入力 ($t_{\text{sync}} = 12 t_{\text{pclk}}$ 時*) の最大ビットレートを示します。

【注】 * 本 LSI と通信相手先の電気的特性を満たすことを確認してください。

表 16.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

P (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
5	156250	0	0
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.6608	614400	0	0
20	625000	0	0
24	750000	0	0
24.576	768000	0	0
28.7	896875	0	0
30	937500	0	0
33	1031250	0	0
36	1125000	0	0
38	1187500	0	0
40	1250000	0	0

表 16.7 外部クロック入力時の最大ビットレート (調歩同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
5	1.2500	78125
8	2.0000	125000
9.8304	2.4576	153600
12	3.0000	187500
14.7456	3.6864	230400
16	4.0000	250000
19.6608	4.9152	307200
20	5.0000	312500
24	6.0000	375000
24.576	6.1440	384000
28.7	7.1750	448436
30	7.5000	468750
33	8.2500	515625
36	9.0000	562500
38	9.5000	593750
40	10.0000	625000

表 16.8 外部クロック入力時の最大ビットレート (クロック同期式モード、 $t_{\text{sync}} = 12t_{\text{pclk}}$ 時)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
5	0.4166	416666.6
8	0.6666	666666.6
16	1.3333	1333333.3
24	2.0000	2000000.0
28.7	2.3916	2391666.6
30	2.5000	2500000.0
33	2.7500	2750000.0
36	3.0000	3000000.0
38	3.1666	3166666.6
40	3.3333	3333333.3

16.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、送信 FIFO データレジスタおよび受信 FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し/書き込みが可能です。SCFCR は、パワーオンリセット、およびディープスタンバイモード時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTRG[1:0]	TTRG[1:0]	-	TFRST	RFRST	LOOP		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7, 6	RTRG[1:0]	00	R/W	受信 FIFO データ数トリガ シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。受信 FIFO データレジスタ (SCFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。 <ul style="list-style-type: none"> 調歩同期式モード <ul style="list-style-type: none"> 00: 1 01: 4 10: 8 11: 14 クロック同期式モード <ul style="list-style-type: none"> 00: 1 01: 2 10: 8 11: 14 【注】 クロック同期式モードのとき、DMAC により受信データを転送する場合、受信トリガ数を 1 に設定してください。1 以外に設定した場合、CPU により SCFRDR に残っている受信データを読み出す必要があります。

ビット	ビット名	初期値	R/W	説明
5、4	TTRG[1:0]	00	R/W	<p>送信 FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。送信 FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは 1 にセットされます。</p> <p>00 : 8 (8) *</p> <p>01 : 4 (12) *</p> <p>10 : 2 (14) *</p> <p>11 : 0 (16) *</p> <p>【注】* () 内の数値は TDFE フラグが 1 にセットされるとき SCFTDR レジスタの空きバイト数を意味します。</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	TFRST	0	R/W	<p>送信 FIFO データレジスタリセット</p> <p>送信 FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>受信 FIFO データレジスタリセット</p> <p>受信 FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TxD) と受信入力端子 (RxD) を内部で接続しループバックテストを許可します。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

16.3.10 FIFO データ数レジスタ (SCFDR)

SCFDR は、送信 FIFO データレジスタ (SCFTDR) と受信 FIFO データレジスタ (SCFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU から読み出しが可能です。SCFDR は、パワーオンリセット、およびディープスタンバイモード時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	T[4:0]				-	-	-	R[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	T[4:0]	00000	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
7~5		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	R[4:0]	00000	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR に格納されていることを示します。

16.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 3、2 で SCK 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって Rx/D 端子から入力データを読み出し、Tx/D 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。

SCSPTR は、常に CPU による読み出し/書き込みが可能です。SCSPTR は、パワーオンリセット、およびディープスタンバイモード時に H'0050 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	不定	0	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	SCKIO	0	R/W	SCK ポート入出力 シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0 : SCK 端子に SCKDT ビットの値を出力しない 1 : SCK 端子に SCKDT ビットの値を出力する
2	SCKDT	不定	R/W	SCK ポートデータ シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし PFC で SCK 入出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル
1	SPB2IO	0	R/W	シリアルポートブレイク入出力 シリアルポートの TxD 端子の出力条件を指定します。実際に TxD 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。 0 : TxD 端子に SPB2DT ビットの値を出力しない 1 : TxD 端子に SPB2DT ビットの値を出力する
0	SPB2DT	不定	R/W	シリアルポートブレイクデータ シリアルポートの RxD 端子の入力データおよび TxD 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。TxD 端子を出力に設定した場合、SPB2DT ビットの値が TxD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RxD 端子の値が読み出されます。ただし PFC で RxD 入力、TxD 出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル

16.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU から読み出し / 書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

SCLSR は、パワーオンリセット、およびディープスタンバイモード時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/(W)*	オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを示します。 0: 受信中、または正常に受信を完了したことを表示* ¹ [クリア条件] • パワーオンリセット • ORER = 1 の状態を読み出した後、0を書き込んだとき 1: 受信時にオーバーランエラーが発生したことを表示* ² [セット条件] • 受信 FIFO にいっぱい16バイトのデータが受信された状態で次のシリアル受信を完了したとき 【注】* ¹ シリアルコントロールレジスタ (SCSCR) の RE ビットを0にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。 * ² 受信 FIFO データレジスタ (SCFRDR) ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。

16.4 動作説明

16.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信 / 受信のそれぞれに 16 段の FIFO バッファを内蔵しており、CPU のオーバーヘッドを減らし、高速連続通信が可能です。送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 16.9 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 の組み合わせで決まります。これを表 16.10 に示します。

(1) 調歩同期式モード

- データ長：7ビット / 8ビットから選択可能
- パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、受信FIFOデータフル、オーバランエラー、受信データレディ、およびブレークの検出が可能
- 送受信FIFOレジスタそれぞれの格納データ数を表示
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作
外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要
(内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

- 送信 / 受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 16.9 SCSMR の設定値と SCIF 送信 / 受信フォーマット

SCSMR				モード	SCIF 送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
	1	0	0		7 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビット	なし	なし

【記号説明】 x : Don't care

表 16.10 SCSMR、SCSCR の設定値と SCIF のクロックソースの選択

SCSMR	SCSCR		モード	クロック ソース	SCK 端子の機能
ビット 7	ビット 1	ビット 0			
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCIF は SCK 端子を使用しません
		1			ビットレートの 16 倍の周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1		設定禁止	
1	0	x	クロック同期式モード	内部	同期クロックを出力
		0		外部	同期クロックを入力
	1	設定禁止			

【記号説明】 x : Don't care

16.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 16.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCIF は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

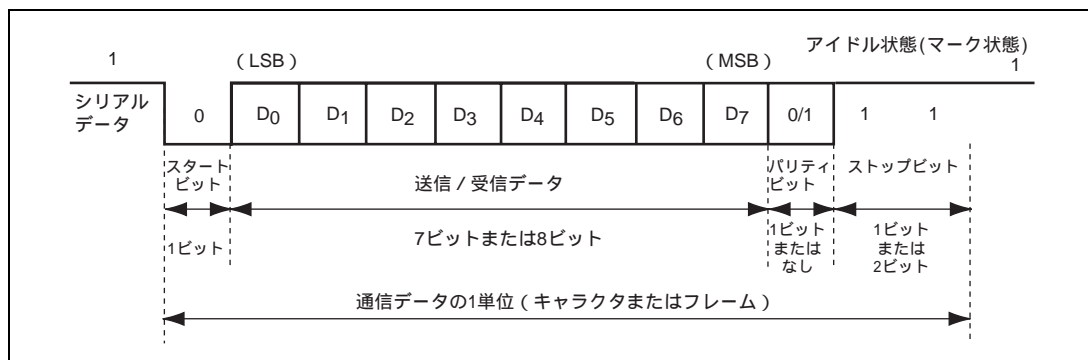


図 16.2 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(3) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 16.11 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 16.11 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
		1	START	8ビットデータ								STOP	STOP		
	1	0	START	8ビットデータ								P	STOP		
		1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
		1	START	7ビットデータ							STOP	STOP			
	1	0	START	7ビットデータ							P	STOP			
		1	START	7ビットデータ							P	STOP	STOP		

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(4) クロック

SCIF の送受信クロックは、SCSMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 16.10 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍の周波数です。

(5) データの送信 / 受信動作

• SCIF初期化 (調歩同期式モード)

データの送信 / 受信前には、まずシリアルコントロールレジスタ (SCSCR) のTEビットおよびREビットを0にクリアした後、以下の順でSCIFを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、必ずTEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、送信シフトレジスタ (SCTSR) は初期化されます。しかし、TEビットとREビットを0にクリアしても、シリアルステータスレジスタ (SCFSR)、送信FIFOデータレジスタ (SCFTDR)、受信FIFOデータレジスタ (SCFRDR) は初期化されず、それらの内容は保持されますのでご注意ください。TEビットの0クリアは、送信データをすべて送信し、SCFSRのTENDフラグがセットされた後に行ってください。TEビットは送信中でも0クリア可能ですが、送信データは0クリアした後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図16.3にSCIFの初期化フローチャートの例を示します。

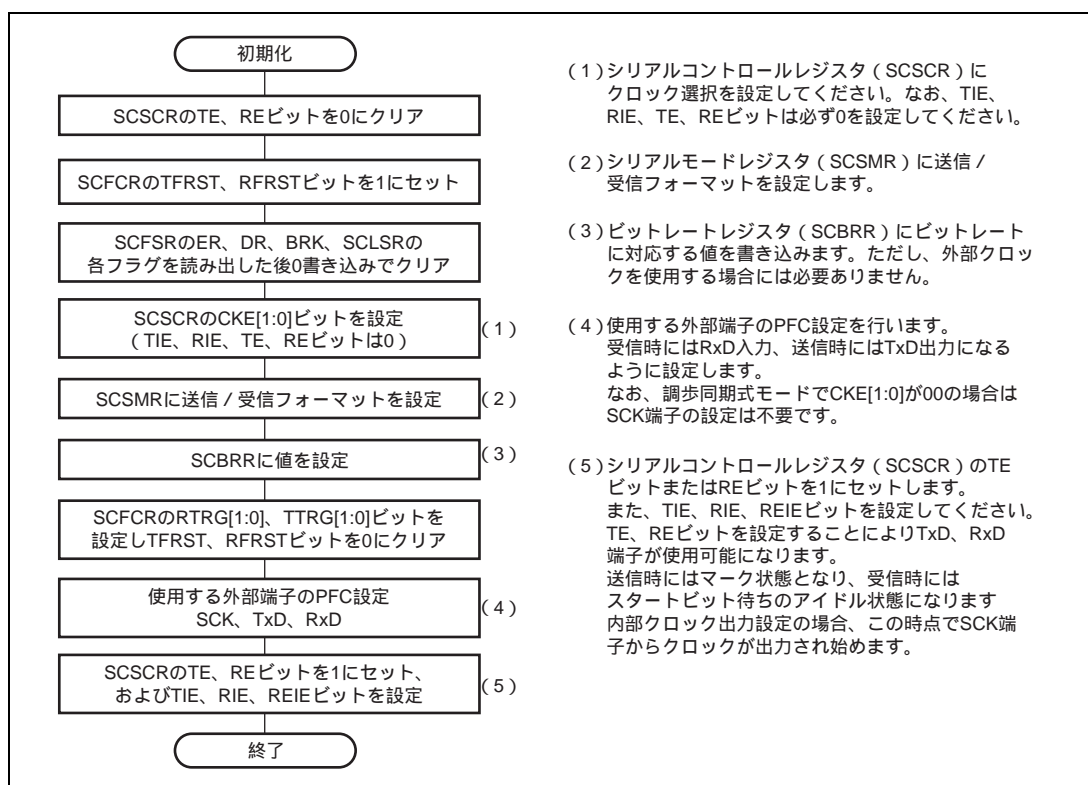


図 16.3 SCIF 初期化フローチャートの例

- シリアルデータ送信 (調歩同期式モード)

図16.4にシリアル送信のフローチャートの例を示します。

SCIFの送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

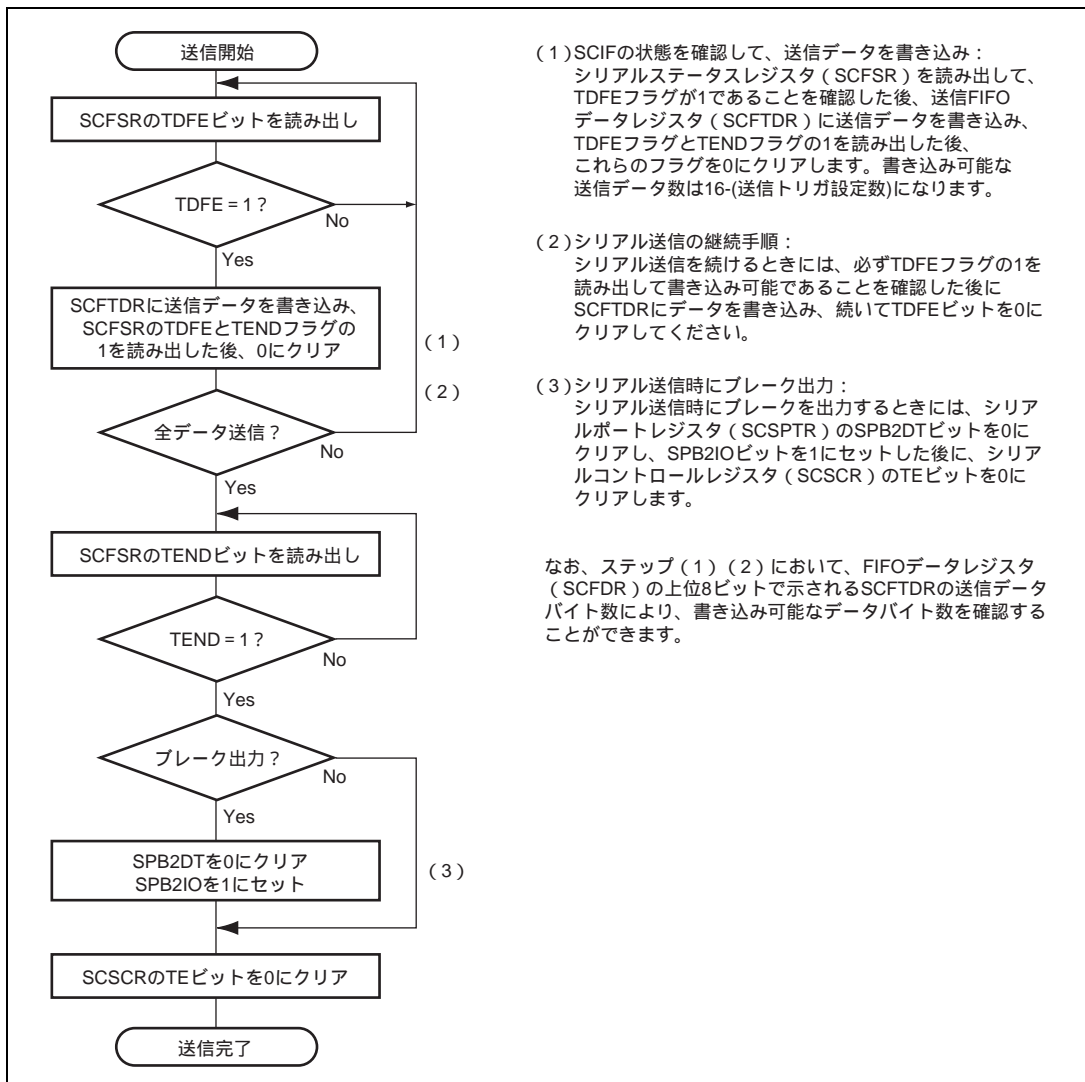


図 16.4 シリアル送信のフローチャートの例

SCIFは、シリアル送信時には以下のように動作します。

1. SCIFは、送信FIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRから送信シフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を実行します。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンpty割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- (a) スタートビット : 1ビットの0が出力されます。
 - (b) 送信データ : 8ビットまたは7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット : 1ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます (なお、パリティビットを出力しないフォーマットも選択できます)。
 - (d) ストップビット : 1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDR送信データをチェックします。データがある場合、SCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

調歩同期式モードでの送信時の動作例を図16.5に示します。

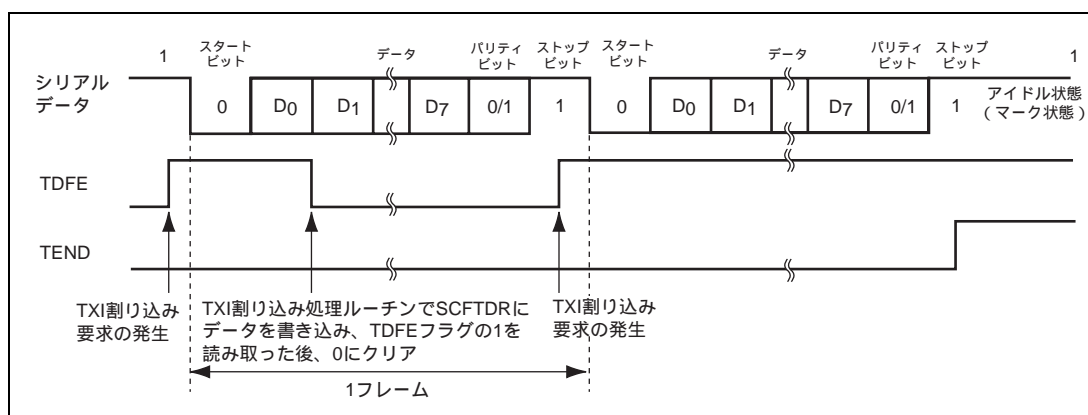


図 16.5 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

- シリアルデータ受信 (調歩同期式モード)

図16.6、図16.7にシリアル受信フローチャートの例を示します。

SCIFの受信を可能に設定した後、シリアルデータ受信は次の手順に従い行ってください。

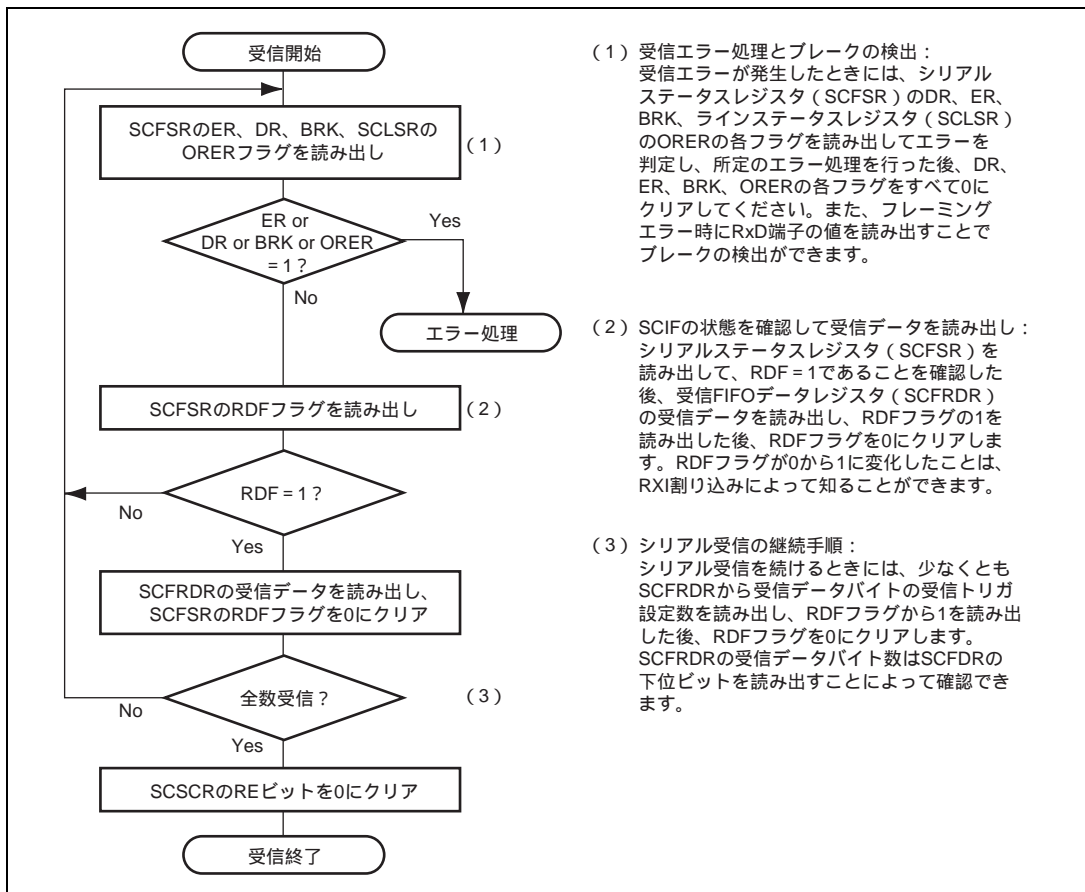


図 16.6 シリアル受信のフローチャートの例 (1)

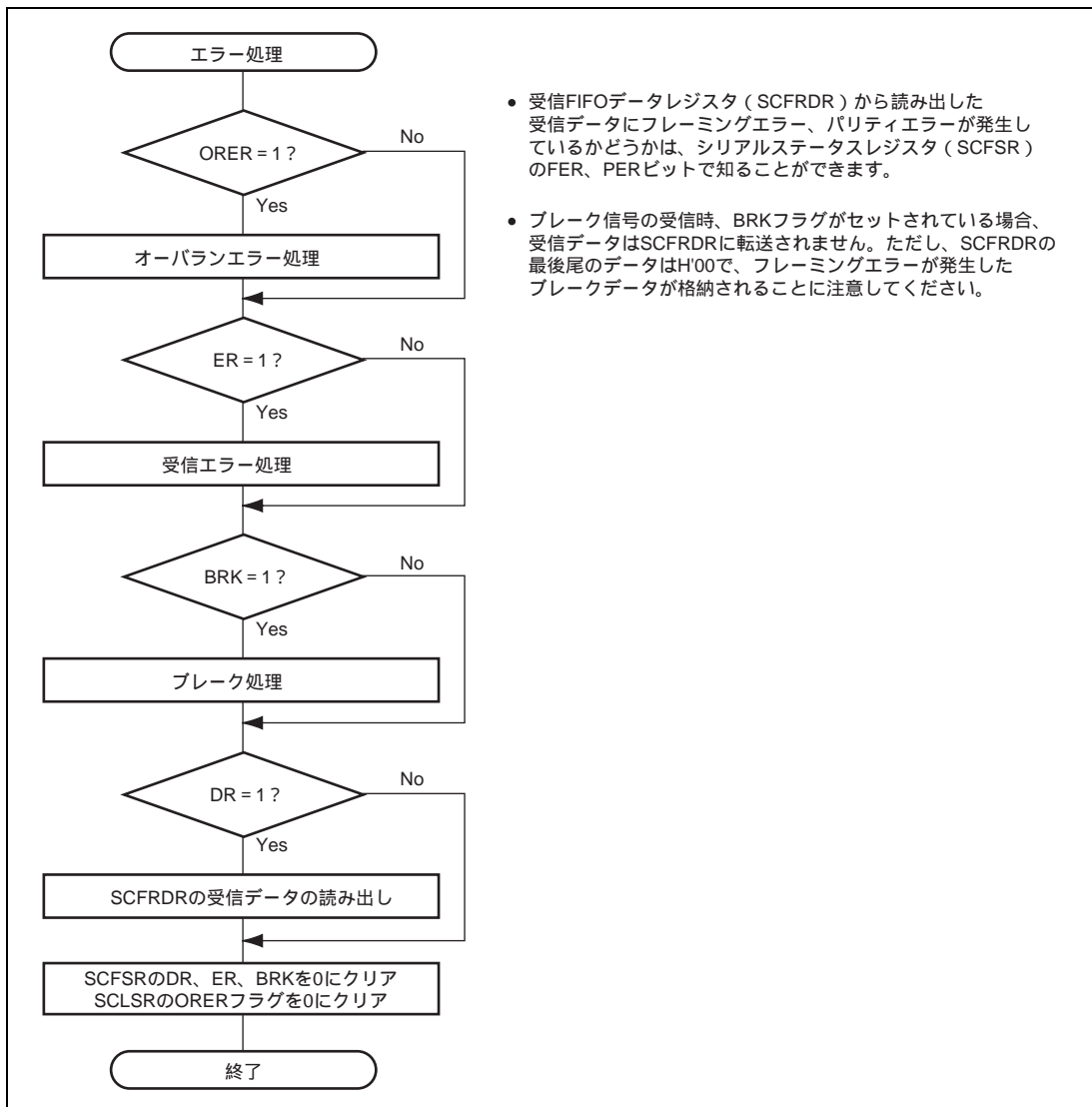


図 16.7 シリアル受信のフローチャートの例 (2)

SCIFは受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIFは以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データを受信シフトレジスタ (SCRSR) からSCFRDRに転送できる状態であるかをチェックします。
- (c) オーバランエラーチェック：オーバランエラーが発生していないことを示すORERフラグが0であるかどうかをチェックします。
- (d) ブレークチェック：ブレーク状態がセットされていないことを示すBRKフラグが0であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDRに受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると、受信FIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、受信エラー割り込み (ERI) 要求が発生します。さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図16.8に示します。

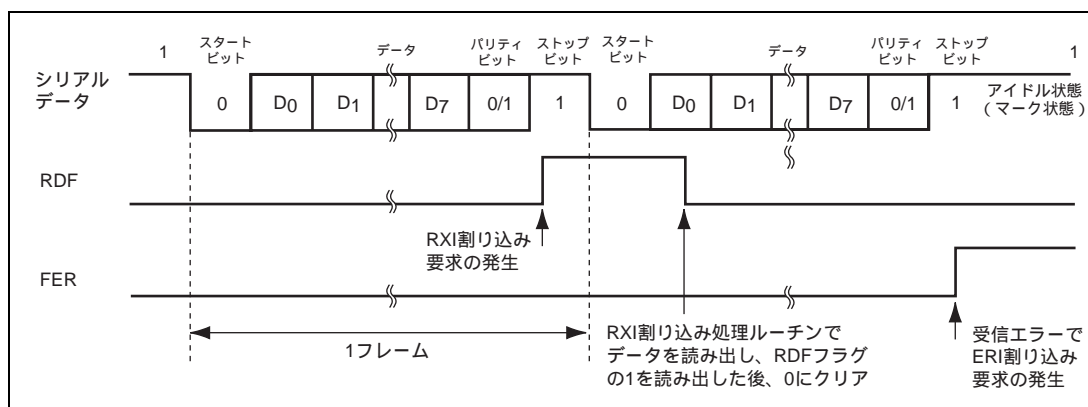


図 16.8 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

16.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 16.9 に示します。

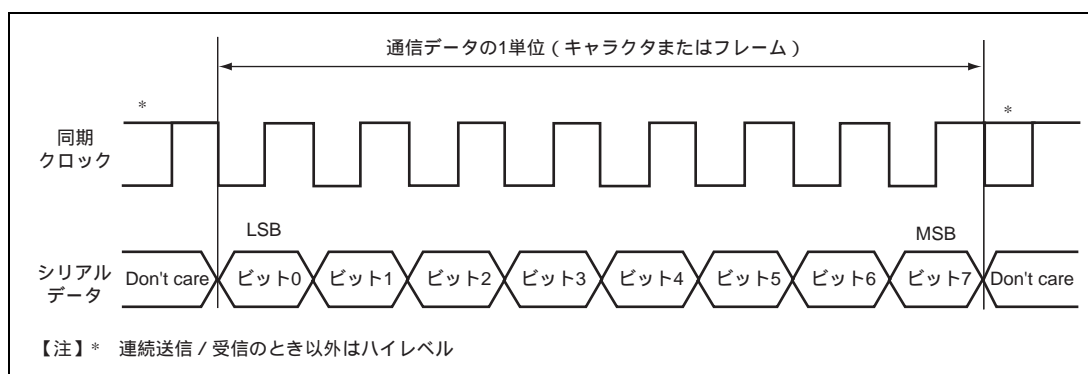


図 16.9 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の $C\bar{A}$ ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) データの送信 / 受信動作

- SCIFの初期化 (クロック同期式モード)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると送信シフトレジスタ (SCTSR) が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および受信データレジスタ (SCRDR) の内容は保持されますので注意してください。

図 16.10 に SCIF の初期化フローチャートの例を示します。

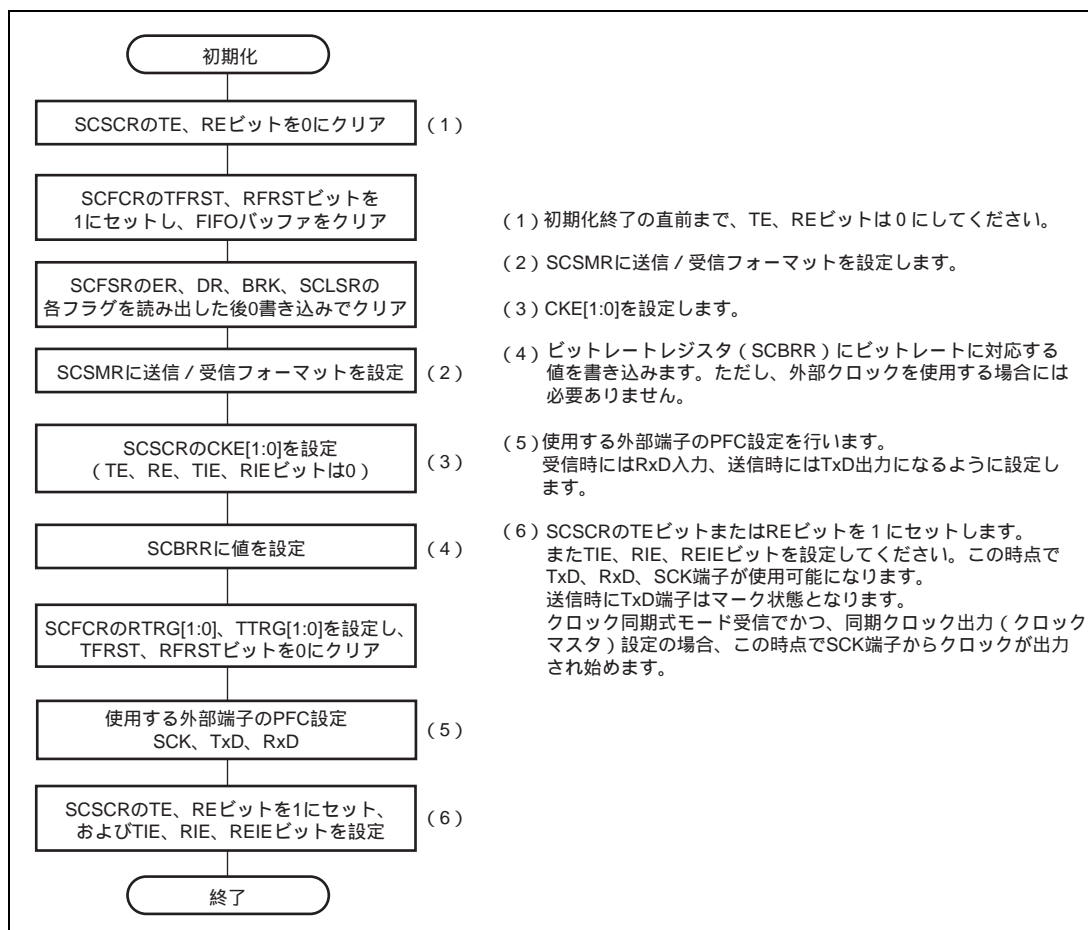


図 16.10 SCIF 初期化フローチャートの例

- シリアルデータ送信 (クロック同期式モード)

図16.11にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFを送信動作可能状態に設定した後、以下の手順で行ってください。

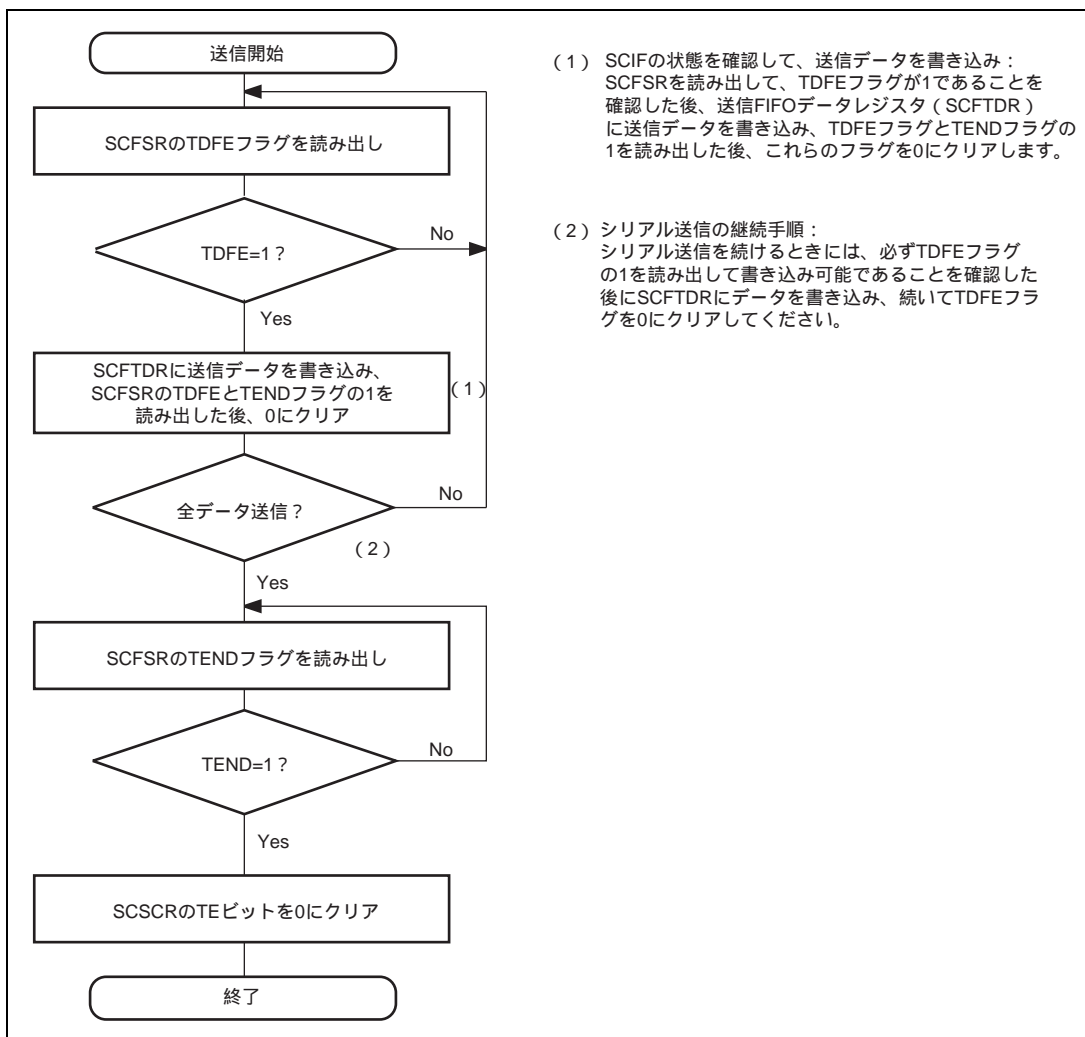


図 16.11 シリアル送信のフローチャートの例

SCIFはシリアル送信時に以下のように動作します。

1. SCIFは、送信FIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRから送信シフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンpty割り込み (TXI) 要求が発生します。
 クロック出力モードに設定したときには、SCIFは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。
3. SCIFは、最終ビットを送出するタイミングでSCFTDR送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、TxD端子は状態を保持します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図16.12にSCIFの送信時の動作例を示します。

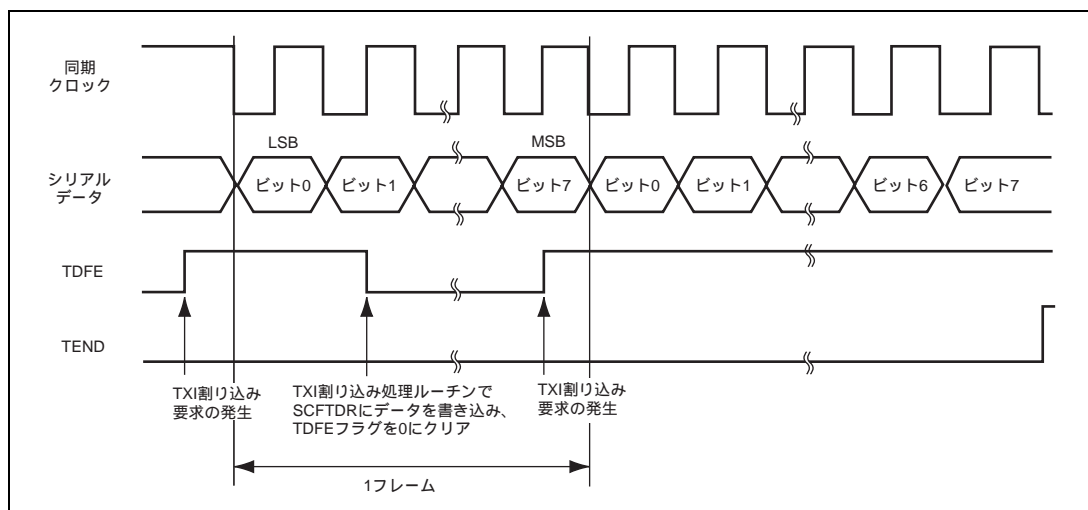


図 16.12 SCIF の送信時の動作例

- シリアルデータ受信 (クロック同期式モード)

図16.13、図16.14にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCIFの初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

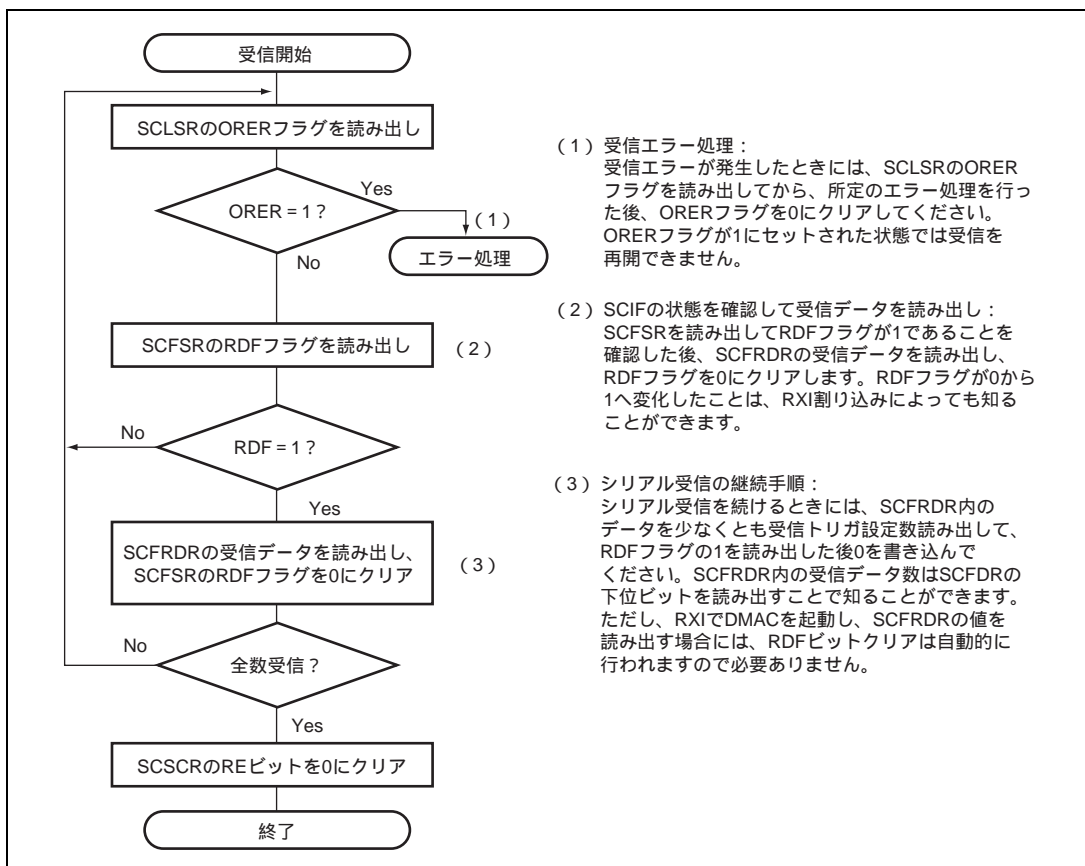


図 16.13 シリアル受信のフローチャートの例 (1)

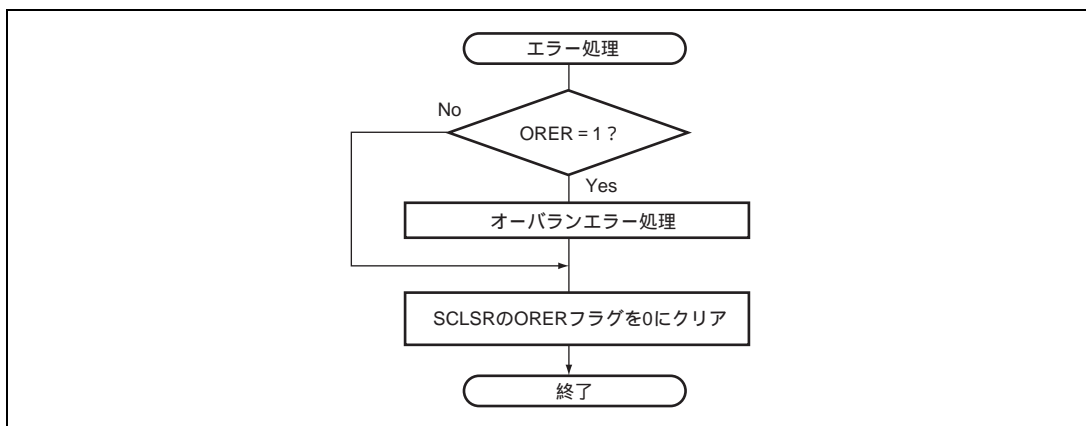


図 16.14 シリアル受信のフローチャートの例 (2)

SCIFはシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータを受信シフトレジスタ (SCLSR) のLSBからMSBの順に格納します。受信後、SCIFは受信データをSCLSRからSCFRDRに転送できる状態であるかをチェックします。このチェックがパスしたときRDFフラグが1にセットされ、SCFRDRに受信データが格納されます。エラーチェックでオーバーランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとブレイク割り込み (BRI) 要求を発生します。

図16.15にSCIFの受信時の動作例を示します。

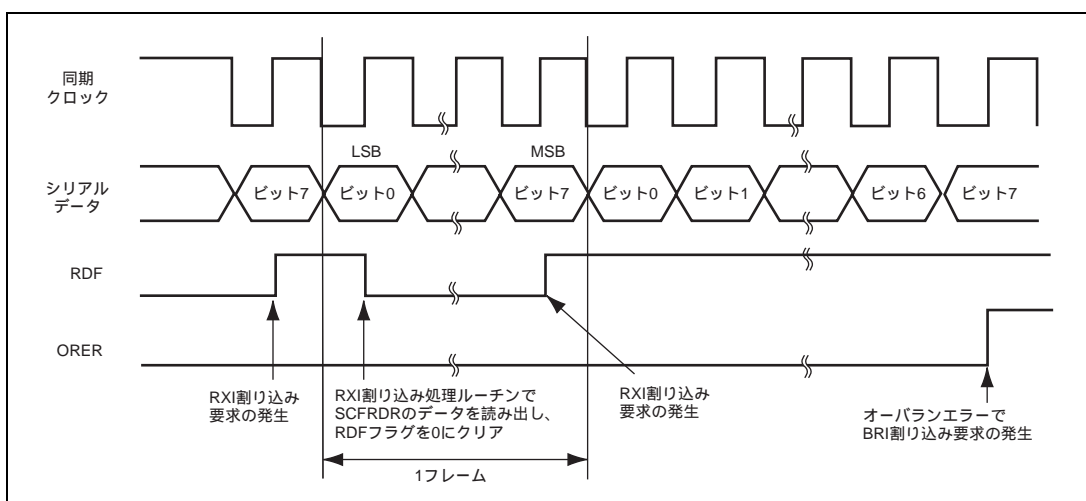


図 16.15 SCIF の受信時の動作例

● シリアルデータ送受信同時動作 (クロック同期式モード)

図16.16にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIFを送受信動作可能状態に設定した後、以下の手順に従って行ってください。

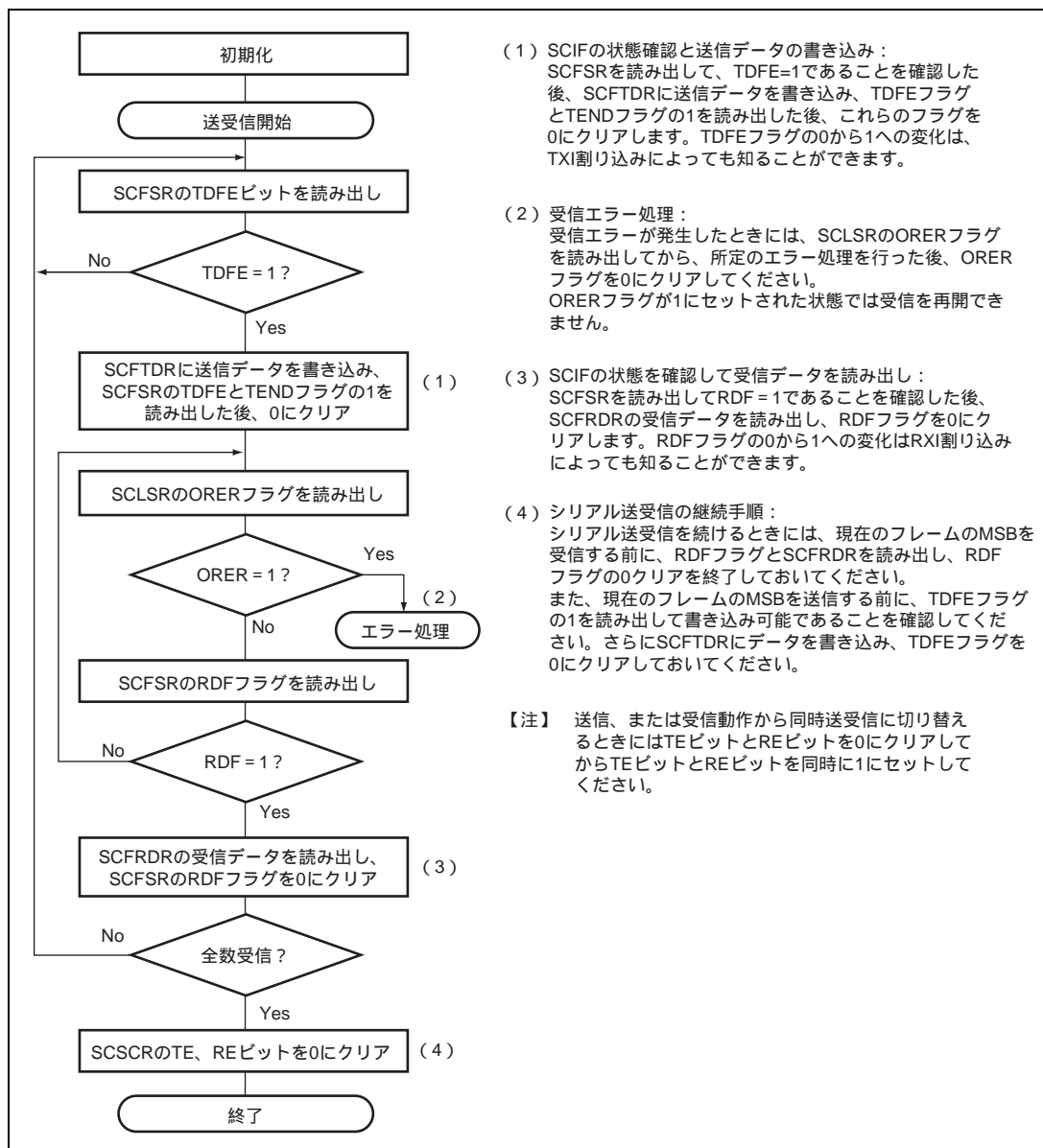


図 16.16 シリアルデータ送受信フローチャートの例

16.5 SCIF の割り込み

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 16.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。この TXI 割り込み要求で DMAC を起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求が発生します。この RXI 割り込み要求で DMAC を起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。また、DR フラグが 1 にセットされたことによる RXI 割り込み要求は、調歩同期モード時のみ発生します。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求または BRI 割り込み要求を出すことができます。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは SCFRDR に受信データがあることを示しています。

表 16.12 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時 優先順位
BRI	ブ레이크 (BRK) またはオーバラン (ORER) による割り込み	不可	高 ↑ ↓ 低
ERI	受信エラー (ER) による割り込み	不可	
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

16.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

16.6.1 SCFTDR への書き込みと TDFE フラグ

シリアルステータスレジスタ (SCFSR) の TDFE フラグは、送信 FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (SCFCR) の TTRG1 ビット、TTRG0 ビットで設定した送信トリガ数より少なくなるとセットされます。TDFE がセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、TDFE のクリアは、SCFTDR に書き込んだデータバイト数が送信トリガ数を上回るときに 1 を読み出した後に実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ (SCFDR) の上位 8 ビットから知ることができます。

16.6.2 SCFRDR の読み出しと RDF フラグ

シリアルステータスレジスタ (SCFSR) の RDF フラグは、受信 FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG1、RTRG0 ビットで設定した受信トリガ数以上になるとセットされます。RDF がセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数を上回る場合、RDF フラグは、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF のクリアは、受信 FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。SCFRDR の受信データバイト数は、FIFO データカウントレジスタ (SCFDR) の下位 8 ビットから知ることができます。

16.6.3 DMAC 使用上の制約事項

1. TXI割り込み要求によりDMACでSCFTDRへデータのライトを行った場合、TENDフラグの状態は不定となります。したがって、この場合TENDフラグを転送終了フラグとして使用しないでください。
2. ひとつのチャンネルを、送信側をDMAC、受信側をCPUという全二重通信で使用しているとき、シリアルステータスレジスタ (SCFSR) のRDFまたはDRフラグがセットされた後、受信FIFOデータレジスタ (SCFRDR) から受信データを読み出すと、RDFおよびDRフラグがクリアされることがあります。
3. ひとつのチャンネルを、受信側をDMAC、送信側をCPUという全二重通信で使用しているとき、シリアルステータスレジスタ (SCFSR) のTDFEまたはTENDフラグがセットされた後、送信FIFOデータレジスタ (SCFTDR) に送信データを書き込むと、TDFEおよびTENDフラグがクリアされることがあります。

16.6.4 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

16.6.5 ブレークの送り出し

TxD 端子の入出力条件とレベルは、シリアルポートレジスタ (SCSPTR) の SPB2IO ビットと SPB2DR ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TxD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 (ハイレベル出力) に設定しておきます。

シリアル送信時にブレーク信号を送り出すためには、SPB2DT ビットを 0 にクリア (ローレベルを指定) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子から 0 が出力されず。

16.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時に SCIF は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。このタイミングを図 16.17 に示します。

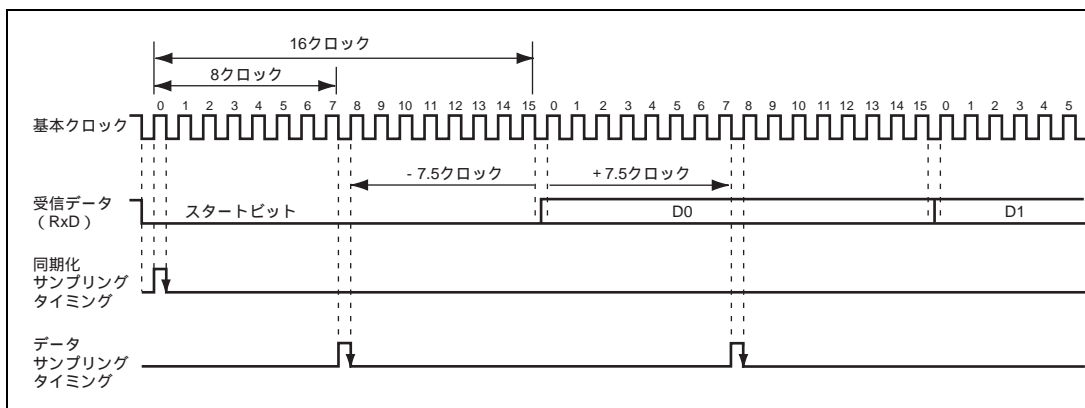


図 16.17 調歩同期式モードでの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100[\%] \quad \dots \text{式 (1)}$$

M: 受信マージン (%)

N: ビットレートに対するクロック周波数の比 (N=16)

D: クロックデューティ (D:0 ~ 1.0)

L: フレーム長 (L=9 ~ 12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

17. I²C バスインタフェース 3 (IIC3)

本 LSI は、3 チャンネルの I²C バスインタフェース 3 を内蔵しています。I²C バスインタフェース 3 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

17.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信 / 受信可能
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期 / ウェイト機能内蔵
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。
- 割り込み要因 : 6種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出、停止条件検出
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- バスを直接駆動可能
SCL0 ~ SCL2、SDA0 ~ SDA2 の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期式シリアルフォーマット

- 割り込み要因 : 4種類
送信データエンプティ、送信終了、受信データフル、オーバランエラー
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

図 17.1 に I²C バスインタフェース 3 のブロック図を示します。

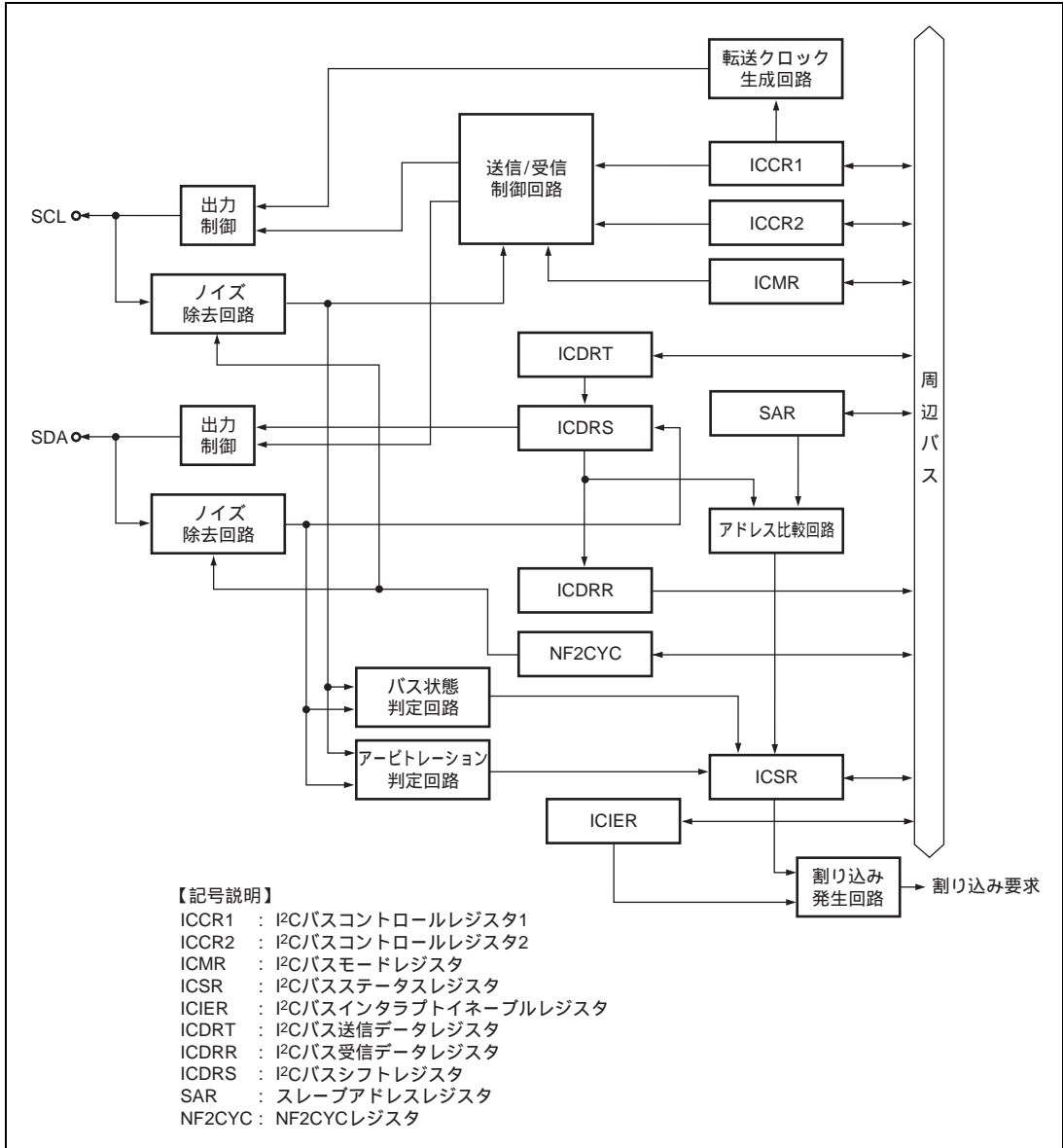


図 17.1 I²C バスインタフェース 3 のブロック図

17.2 入出力端子

I²C バスインタフェース 3 で使用する端子構成を表 17.1 に示します。I²C バスインタフェースの入出力端子は通常ポートと端子構造が違うため、端子に印加可能な電圧仕様が異なります。詳細は「第 29 章 電気的特性」を参照してください。

表 17.1 端子構成

チャンネル	名称	端子名	入出力	機能
0~2	シリアルクロック端子	SCL0~SCL2	入出力	I ² C シリアルクロック入出力端子
	シリアルデータ端子	SDA0~SDA2	入出力	I ² C シリアルデータ入出力端子

図 17.2 に入出力端子の外部回路接続例を示します。I²C バスインタフェースの入出力端子は通常ポートと端子構造が違うため、端子に印加可能な電圧仕様が異なります。詳細は「第 29 章 電気的特性」を参照してください。

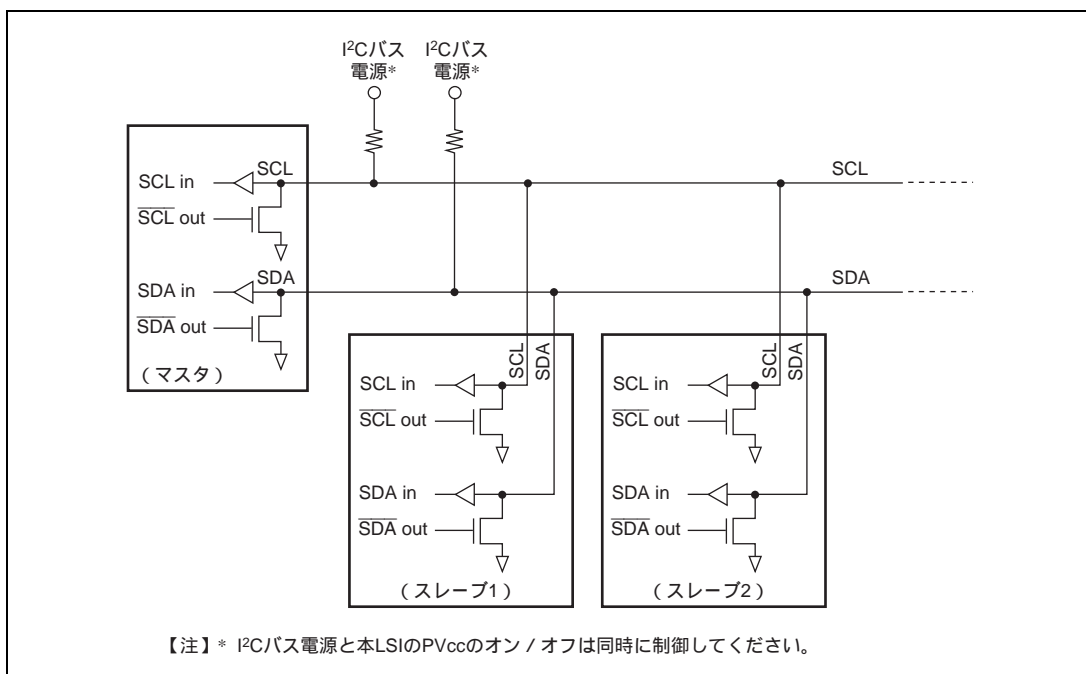


図 17.2 入出力端子の外部回路接続例

17.3 レジスタの説明

I²C バスインタフェース 3 には以下のレジスタがあります。

表 17.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	I ² C バスコントロールレジスタ 1	ICCR1	R/W	H'00	H'FFFEE000	8
	I ² C バスコントロールレジスタ 2	ICCR2	R/W	H'7D	H'FFFEE001	8
	I ² C バスモードレジスタ	ICMR	R/W	H'38	H'FFFEE002	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER	R/W	H'00	H'FFFEE003	8
	I ² C バスステータスレジスタ	ICSR	R/W	H'00	H'FFFEE004	8
	スレーブアドレスレジスタ	SAR	R/W	H'00	H'FFFEE005	8
	I ² C バス送信データレジスタ	ICDRT	R/W	H'FF	H'FFFEE006	8
	I ² C バス受信データレジスタ	ICDRR	R/W	H'FF	H'FFFEE007	8
	NF2CYC レジスタ	NF2CYC	R/W	H'02	H'FFFEE008	8
1	I ² C バスコントロールレジスタ 1	ICCR1	R/W	H'00	H'FFFEE080	8
	I ² C バスコントロールレジスタ 2	ICCR2	R/W	H'7D	H'FFFEE081	8
	I ² C バスモードレジスタ	ICMR	R/W	H'38	H'FFFEE082	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER	R/W	H'00	H'FFFEE083	8
	I ² C バスステータスレジスタ	ICSR	R/W	H'00	H'FFFEE084	8
	スレーブアドレスレジスタ	SAR	R/W	H'00	H'FFFEE085	8
	I ² C バス送信データレジスタ	ICDRT	R/W	H'FF	H'FFFEE086	8
	I ² C バス受信データレジスタ	ICDRR	R/W	H'FF	H'FFFEE087	8
	NF2CYC レジスタ	NF2CYC	R/W	H'02	H'FFFEE088	8
2	I ² C バスコントロールレジスタ 1	ICCR1	R/W	H'00	H'FFFEE100	8
	I ² C バスコントロールレジスタ 2	ICCR2	R/W	H'7D	H'FFFEE101	8
	I ² C バスモードレジスタ	ICMR	R/W	H'38	H'FFFEE102	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER	R/W	H'00	H'FFFEE103	8
	I ² C バスステータスレジスタ	ICSR	R/W	H'00	H'FFFEE104	8
	スレーブアドレスレジスタ	SAR	R/W	H'00	H'FFFEE105	8
	I ² C バス送信データレジスタ	ICDRT	R/W	H'FF	H'FFFEE106	8
	I ² C バス受信データレジスタ	ICDRR	R/W	H'FF	H'FFFEE107	8
	NF2CYC レジスタ	NF2CYC	R/W	H'02	H'FFFEE108	8

17.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、I²C バスインタフェース 3 の動作 / 停止、送信 / 受信制御、マスタモード / スレーブモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ICCR1 は、パワーオンリセット、およびディープスタンバイモードで H'00 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	ICE	RCVD	MST	TRS	CKS[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0 : SCL/SDA の出力禁止 (SCL/SDA への入力は無効) 1 : 本モジュールは転送動作可能状態
6	RCVD	0	R/W	受信ディセーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ / スレーブ選択 送信 / 受信選択 I ² C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS とともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。 また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。 MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期式シリアルフォーマットを選択した場合、MST = 1 のとき、クロック出力となります。 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード
3~0	CKS[3:0]	0000	R/W	転送クロック選択 マスタモードのとき、必要な転送レート (表 17.3 参照) にあわせて設定してください。

表 17.3 転送レート

ビット 3	ビット 2	ビット 1	ビット 0	クロック	転送レート					
					P =16.7MHz	P =20.0MHz	P =25.0MHz	P =30.0MHz	P =33.3MHz	P =40MHz
0	0	0	0	P /28	595kHz	714kHz	893kHz	1071kHz	1189kHz	1430kHz
			1	P /40	417kHz	500kHz	625kHz	750kHz	833kHz	1000kHz
		1	0	P /48	347kHz	417kHz	521kHz	625kHz	694kHz	833kHz
			1	P /64	260kHz	313kHz	391kHz	469kHz	520kHz	625kHz
	1	0	0	P /80	208kHz	250kHz	313kHz	375kHz	416kHz	500kHz
			1	P /100	167kHz	200kHz	250kHz	300kHz	333kHz	400kHz
		1	0	P /112	149kHz	179kHz	223kHz	268kHz	297kHz	357kHz
			1	P /128	130kHz	156kHz	195kHz	234kHz	260kHz	313kHz
1	0	0	0	P /112	149kHz	179kHz	223kHz	268kHz	297kHz	357kHz
			1	P /160	104kHz	125kHz	156kHz	188kHz	208kHz	250kHz
		1	0	P /192	86.8kHz	104kHz	130kHz	156kHz	173kHz	208kHz
			1	P /256	65.1kHz	78.1kHz	97.7kHz	117kHz	130kHz	156kHz
	1	0	0	P /320	52.1kHz	62.5kHz	78.1kHz	93.8kHz	104kHz	125kHz
			1	P /400	41.7kHz	50.0kHz	62.5kHz	75.0kHz	83.3kHz	100kHz
		1	0	P /448	37.2kHz	44.6kHz	55.8kHz	67.0kHz	74.3kHz	89.3kHz
			1	P /512	32.6kHz	39.1kHz	48.8kHz	58.6kHz	65.0kHz	78.1kHz

【注】 外部仕様を満足するよう設定してください。

17.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスのコントロール部のリセットを制御します。

ICCR2 はパワーオンリセット、およびディープスタンバイモードで H'7D に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
初期値:	0	1	1	1	1	1	0	1
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	バスビジー I ² C バスの占有 / 解放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に 0 が読み出されます。I ² C バスフォーマットの場合、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されると認識して 1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されると認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。
6	SCP	1	R/W	開始 / 停止条件発行禁止 SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送時でも同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。
5	SDAO	1	R/W	SDA 出力値制御 SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせで使用します。なお本ビットの操作は転送中に行わないでください。 0 : リード時、SDA 端子出力が Low レベル ライト時、SDA 端子出力を Low レベルに変更 1 : リード時、SDA 端子出力が High レベル ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により High レベル出力)
4	SDAOP	1	R/W	SDAO ライトプロテクト SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 をライトします。本ビットは読み出すと常に 1 が読み出されます。

ビット	ビット名	初期値	R/W	説明
3	SCLO	1	R	SCL 出力レベル SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。
2	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は ICMR の BC[2:0]ビットと内部回路をリセットします。I ² C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットすると ICMR の BC[2:0]ビットと内部回路をリセットすることができます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

17.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、8 ビットの読み出し / 書き込み可能なレジスタで、MSB ファースト / LSB ファーストの選択、マスターモードウェイトの制御、転送ビット数の選択を行います。

ICMR はパワーオンリセット、およびディープスタンバイモードで H'38 に初期化されます。また、ICCR2 の IICRST により BC[2:0]が H'0 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	MLS	WAIT	-	-	BCWP	BC[2:0]		
初期値:	0	0	1	1	1	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときには 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入 WAIT は I ² C バスフォーマットでマスターモード時に、アクノリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立ち下がった後、2 転送クロック分 Low 期間を延ばします。WAIT が 0 の場合ウェイトは挿入されず、データとアクノリッジを連続して転送します。 なお I ² C バスフォーマットのスレーブモードおよびクロック同期式シリアルフォーマットの場合、本ビットの設定値は無効です。
5, 4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説 明																		
3	BCWP	1	R/W	<p>BC ライトプロテクト</p> <p>BC[2:0]の書き込みを制御します。BC[2:0]を書き換える場合は、本ビットを 0 に設定してください。なおクロック同期式シリアルフォーマットでは BC[2:0] の書き換えは行わないでください。</p> <p>0 : ライト時、BC[2:0]の値を設定 1 : リード時、常に 1 をリード ライト時、BC[2:0]設定値は無効</p>																		
2~0	BC[2:0]	000	R/W	<p>ビットカウンタ</p> <p>次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I²C バスフォーマットでは、データにアクリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。本ビットは、パワーオンリセット、ディープスタンバイモード、ソフトウェアスタンバイモード、モジュールスタンバイモード、および ICCR2 の IICRST を 1 セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。</p> <table border="0"> <tr> <td>I²C バスフォーマット</td> <td>クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I ² C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I ² C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

17.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因の許可、アクノリッジの有効 / 無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ICIER はパワーオンリセット、およびディープスタンバイモードで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンティ割り込み (TXI) を許可 / 禁止します。 0: 送信データエンティ割り込み要求 (TXI) の禁止 1: 送信データエンティ割り込み要求 (TXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可 / 禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R/W	レシーブインタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出アービトレーションロスト / オーバランエラー割り込み要求 (NAKI) の許可 / 禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可

ビット	ビット名	初期値	R/W	説明
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>STIE は、ICSR の STOP がセットされたとき、停止条件 (STPI) の許可 / 禁止を選択します。</p> <p>0 : 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1 : 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0 : 受信アクノリッジの内容を無視して連続的に転送を行う</p> <p>1 : 受信アクノリッジが 1 の場合、転送を中断する</p>
1	ACKBR	0	R	<p>受信アクノリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。また本ビットは、ICCR2 の BBSY を 1 にセットするとクリアされます。</p> <p>0 : 受信アクノリッジ = 0</p> <p>1 : 受信アクノリッジ = 1</p>
0	ACKBT	0	R/W	<p>送信アクノリッジ</p> <p>受信モード時、アクノリッジのタイミングで送出するビットを設定します。</p> <p>0 : アクノリッジのタイミングで 0 を送出</p> <p>1 : アクノリッジのタイミングで 1 を送出</p>

17.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要求フラグおよびステータスの確認を行います。

ICSR はパワーオンリセット、およびディープスタンバイモードで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/W	トランスミットデータエンプティ [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] <ul style="list-style-type: none"> • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件 (再送含む) を発行したとき • スleepモードで受信モードから送信モードになったとき
6	TEND	0	R/W	トランスミットエンド [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] <ul style="list-style-type: none"> • I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき • クロック同期式シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき
5	RDRF	0	R/W	レシーブデータレジスタフル [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRR をリードしたとき [セット条件] <ul style="list-style-type: none"> • ICDRS から ICDRR に受信データが転送されたとき

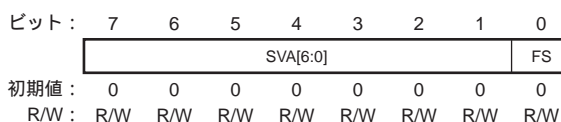
ビット	ビット名	初期値	R/W	説明
4	NACKF	0	R/W	<p>ノーアクノリッジ検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • ICIERのACKE=1の状態、送信時、受信デバイスからアクノリッジがなかったとき
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタモード時、フレームの転送の完了後に停止条件を検出したとき • スレーブモード時、開始条件検出後の第1バイトのスレーブアドレスとSARに設定したアドレスが一致した後、停止条件を検出したとき
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVEは、I²Cバスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期式シリアルフォーマットの場合、RDRF=1の状態、最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときにI²Cバスインタフェース3はSDAをモニタし、自分が出したデータと異なった場合、ALフラグを1にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタ送信モードの場合、SCLの立ち上がりで内部SDAとSDA端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA端子がHighレベルのとき • クロック同期式シリアルフォーマットの場合、RDRF=1の状態、最終ビットを受信したとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームがSARのSVA6~SVA0と一致した場合にセットされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき

ビット	ビット名	初期値	R/W	説明
0	ADZ	0	R/W	ゼネラルコールアドレス認識フラグ I ² C バスフォーマットのスレーブ受信モードのとき有効 [クリア条件] • 1の状態をリードした後、0をライトしたとき [セット条件] • スレーブ受信モードかつゼネラルコールアドレスを検出したとき

17.3.6 スレーブアドレスレジスタ (SAR)

SAR は、8 ビットの読み出し / 書き込み可能なレジスタで、フォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

SAR はパワーオンリセット、およびディープスタンバイモードで H'00 に初期化されます。

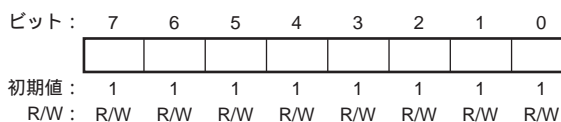


ビット	ビット名	初期値	R/W	説明
7~1	SVA[6:0]	0000000	R/W	スレーブアドレス I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0: I ² C バスフォーマット選択 1: クロック同期式シリアルフォーマット選択

17.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットの読み出し / 書き込み可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。ICDRT の初期値は H'FF です。

ICDRT はパワーオンリセット、およびディープスタンバイモード時 H'FF に初期化されます。



17.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。

ICDRR はパワーオンリセット、およびディープスタンバイモードで H'FF に初期化されます。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R

17.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信 / 受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

17.3.10 NF2CYC レジスタ (NF2CYC)

NF2CYC は、8 ビットの読み出し / 書き込み可能なレジスタで、SCL 端子、SDA 端子のノイズ除去幅を選択することができます。詳細動作については、「17.4.7 ノイズ除去回路」を参照してください。

NF2CYC はパワーオンリセット、およびディープスタンバイモードで H'02 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	NF2 CYC
初期値:	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	NF2CYC	0	R/W	ノイズ除去幅選択 0: 周辺クロックで 1 サイクル周期以内のノイズを除去することができます 1: 周辺クロックで 2 サイクル周期以内のノイズを除去することができます

17.4 動作説明

I²C バスインタフェース 3 には、SAR の FS の設定により、I²C バスフォーマットとクロック同期式シリアルフォーマットで通信することができます。

17.4.1 I²C バスフォーマット

I²C バスフォーマットを図 17.3 に、I²C バスのタイミングを図 17.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

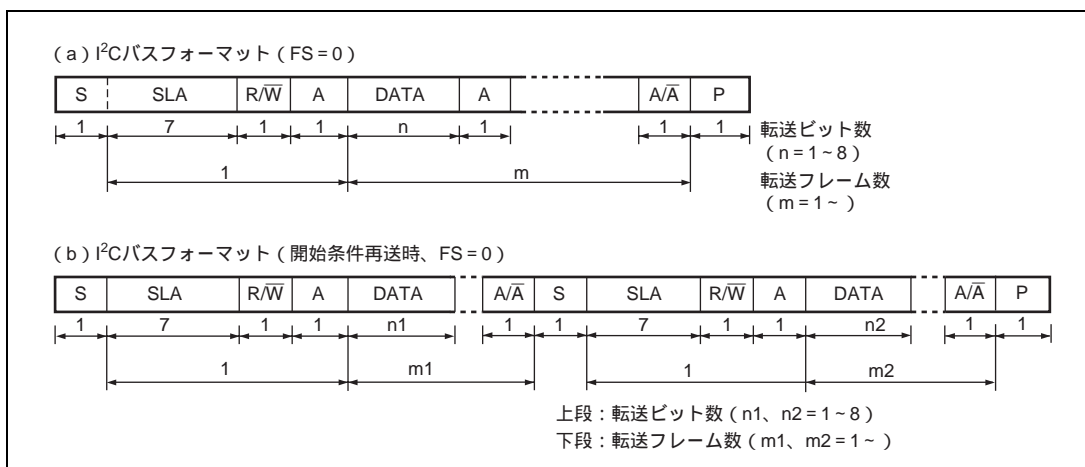


図 17.3 I²C バスフォーマット

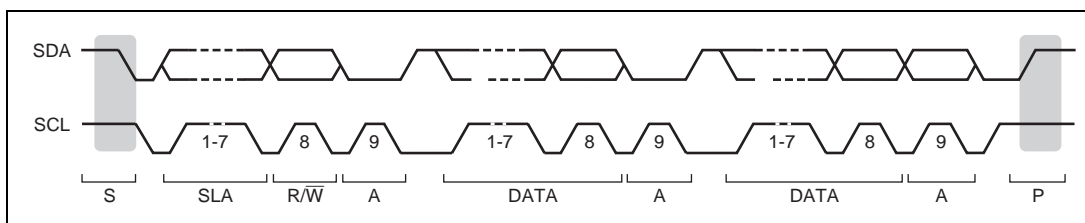


図 17.4 I²C バスタイミング

【記号説明】

- S : 開始条件。マスタデバイスが SCL = High レベルの状態 で SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態 で SDA を Low レベルから High レベルに変化させます。

17.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 17.5 と図 17.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。またICMRのWAIT、ICCR1のCKS[3:0]等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが解放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY = 1とSCP = 0をライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR/Wを示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY = 0とSCP = 0を、ライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF = 1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

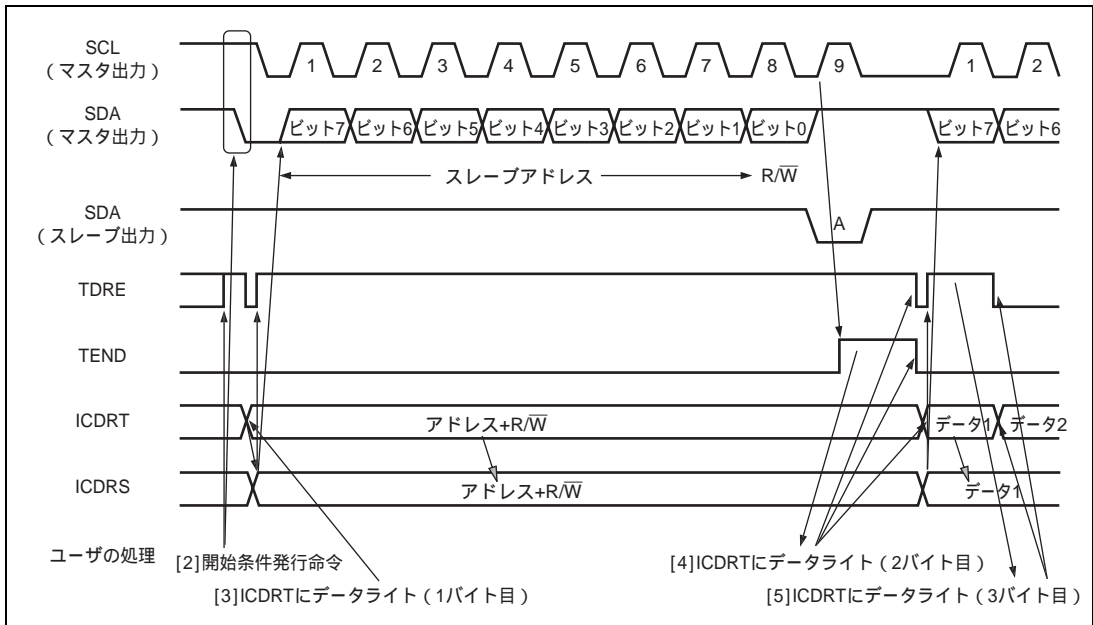


図 17.5 マスタ送信モード動作タイミング (1)

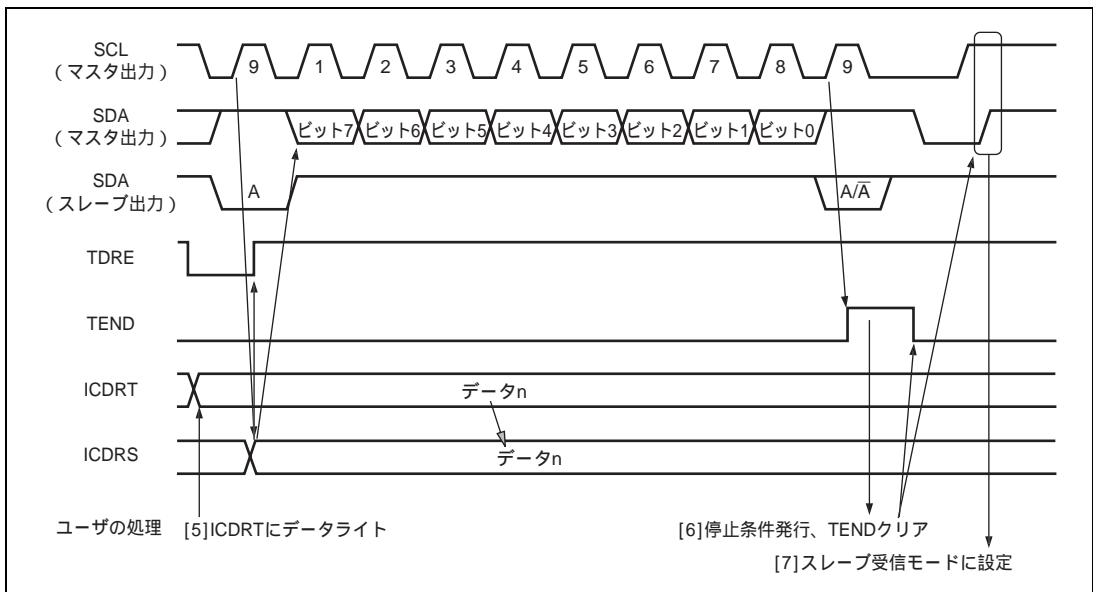


図 17.6 マスタ送信モード動作タイミング (2)

17.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。マスタ受信モードの動作タイミングについては図 17.7 と図 17.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始*し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCLがLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

【注】 * 1バイトだけ受信したい場合は、ICCR1のRCVDセット後、ICDRRのダミーリードを行ってください。

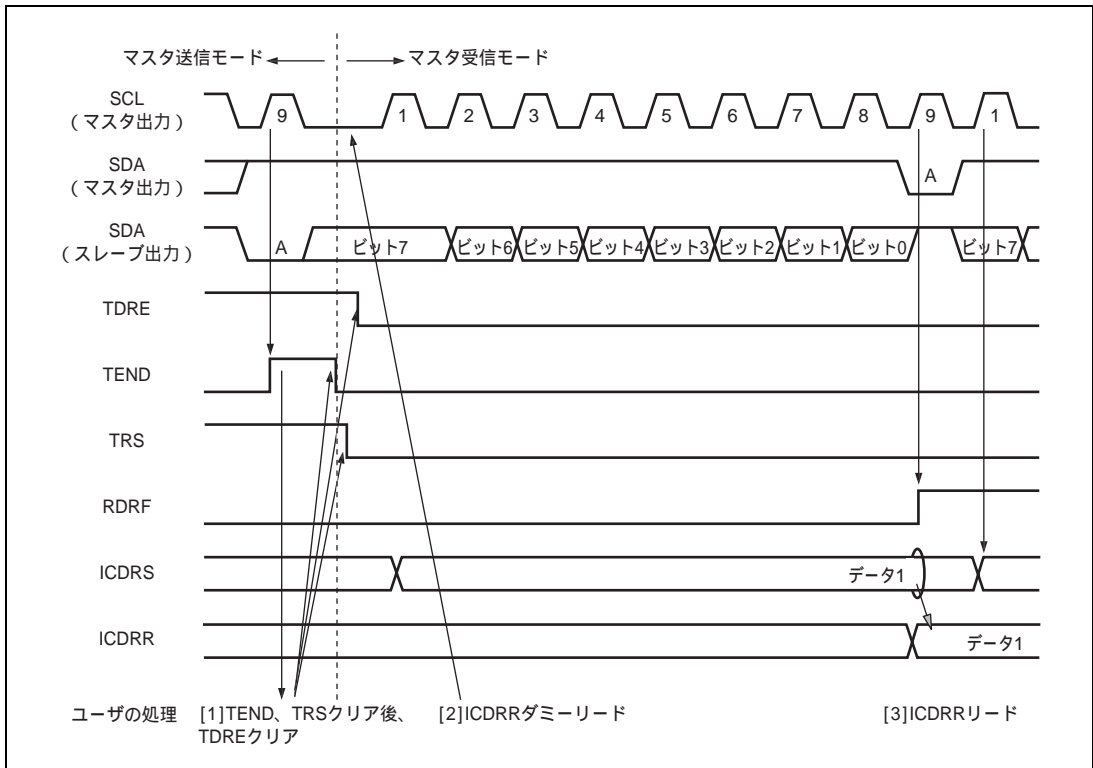


図 17.7 マスタ受信モード動作タイミング (1)

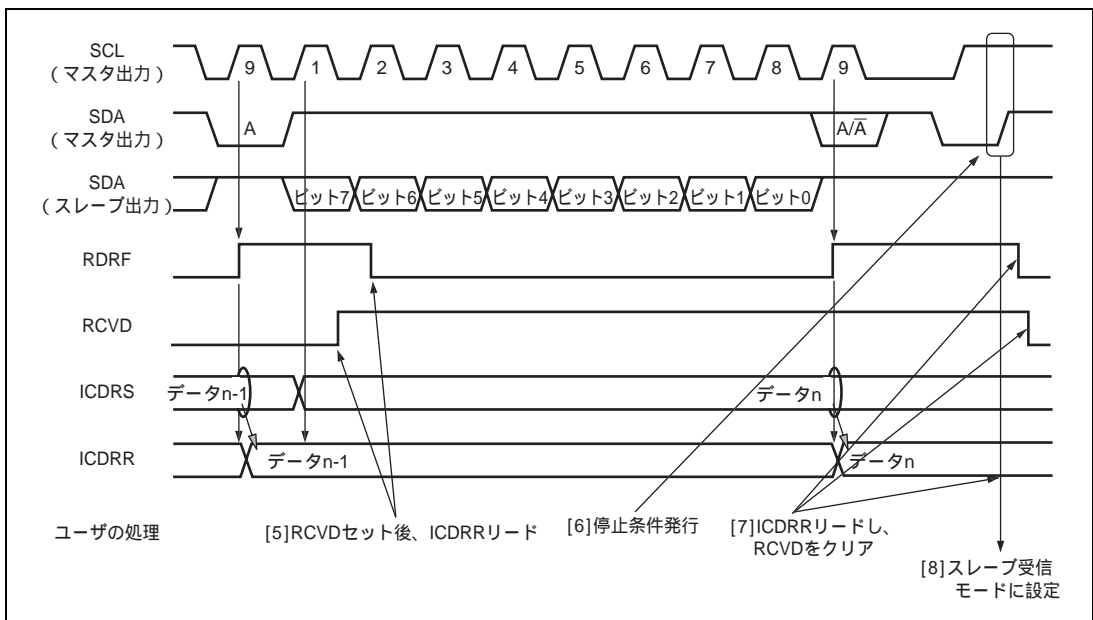


図 17.8 マスタ受信モード動作タイミング (2)

17.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 17.9 と図 17.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

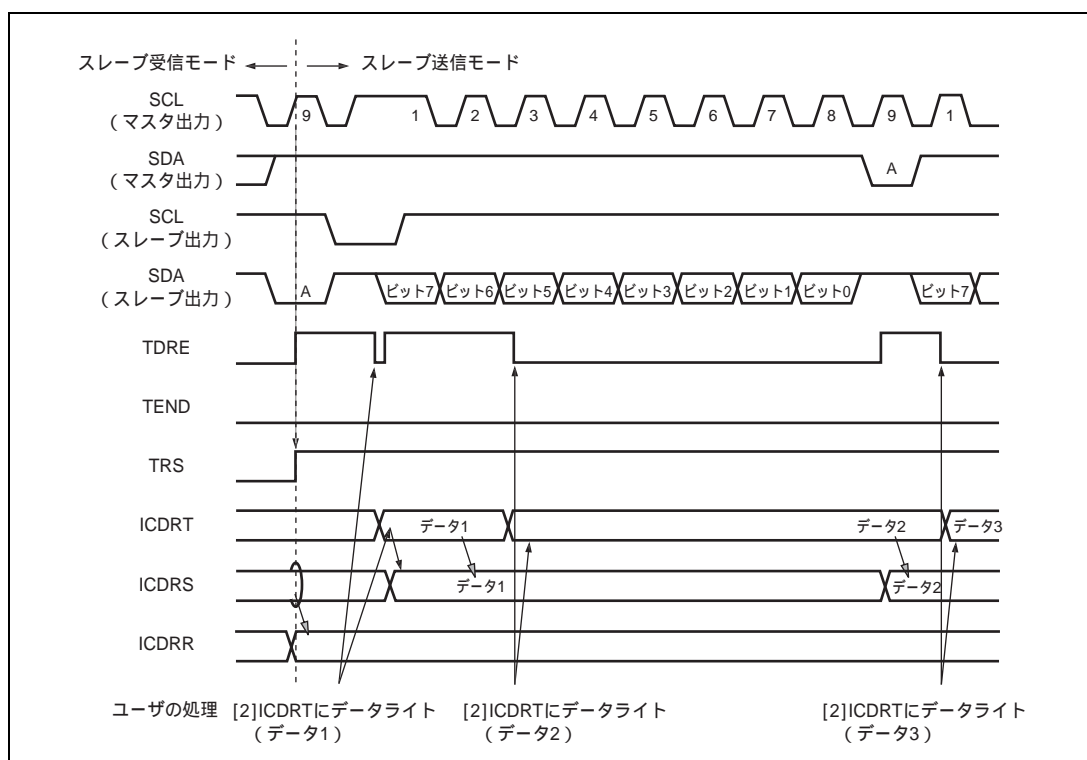


図 17.9 スレーブ送信モード動作タイミング (1)

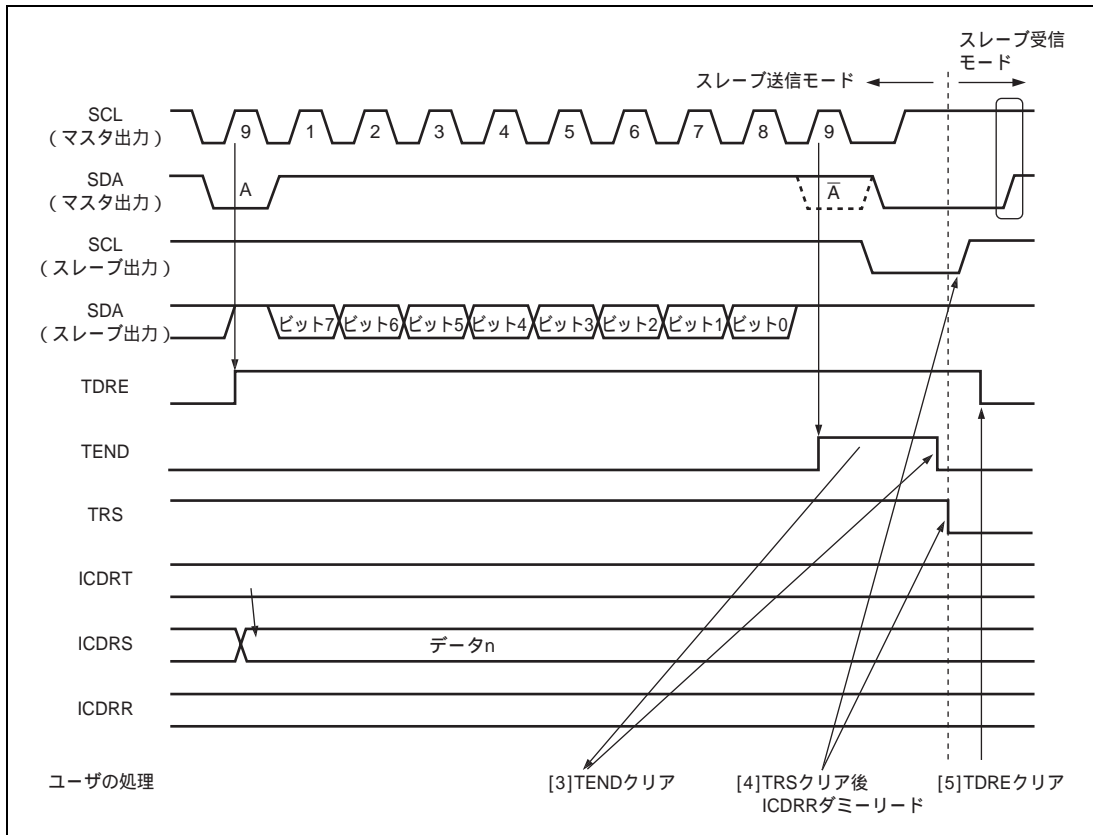


図 17.10 スレーブ送信モード動作タイミング (2)

17.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアキュリッジを返します。スレーブ動作モードタイミングについては図 17.11 と図 17.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード(リードデータはスレーブアドレス+R/Wを示すので不要)します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアキュリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

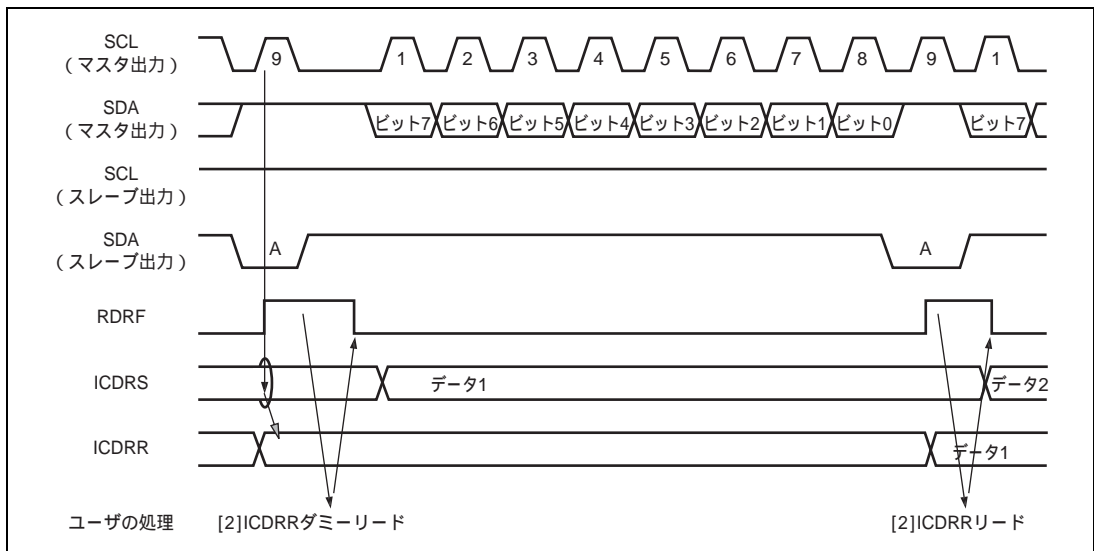


図 17.11 スレーブ受信モード動作タイミング (1)

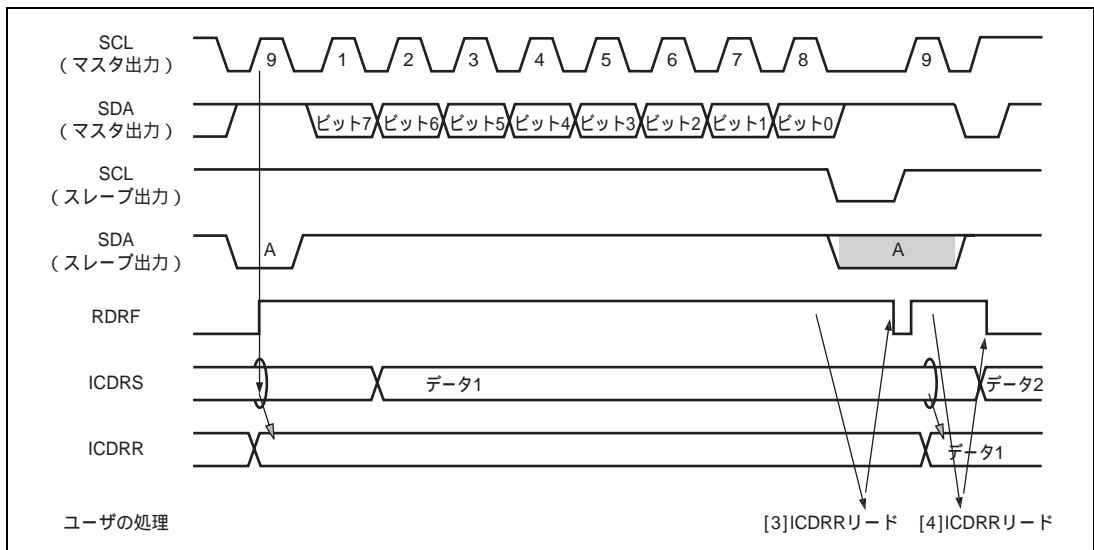


図 17.12 スレーブ受信モード動作タイミング (2)

17.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルフォーマットとして動作させることができます。ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき転送クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルフォーマットの転送フォーマットを図 17.13 に示します。

転送データは SCL クロックの立ち下がりから立ち下がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICCMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

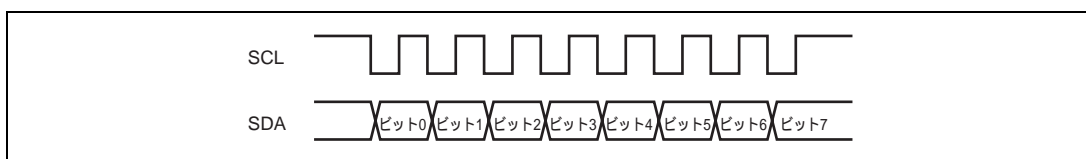


図 17.13 クロック同期式シリアルフォーマットの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 17.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS[3:0]などを設定します（初期設定）。
2. ICCR1のTRSを設定して送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

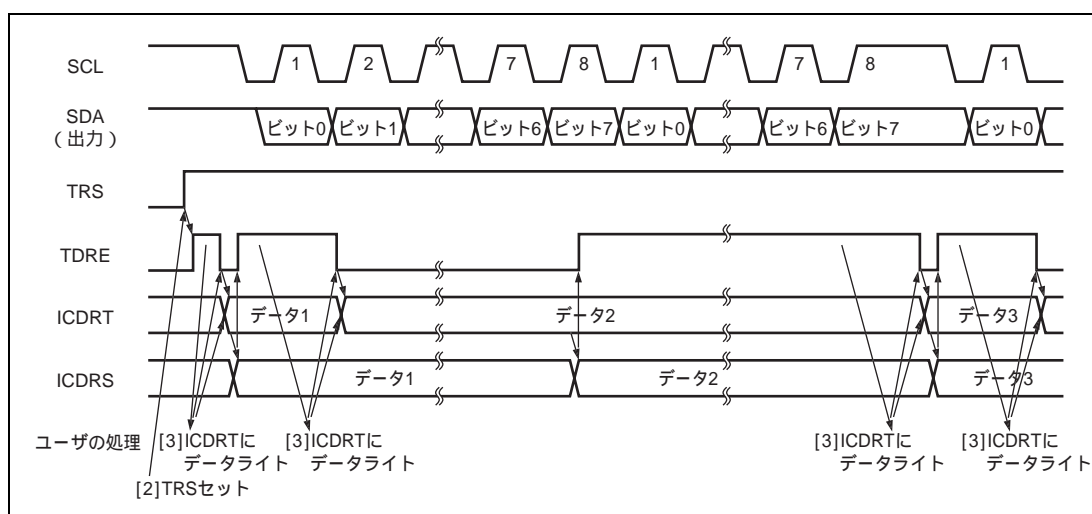


図 17.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST = 1 のとき出力、MST = 0 のとき入力となります。受信モード動作タイミングについては図 17.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]等を設定します（初期設定）。
2. 転送クロックを出力時、MST = 1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST = 1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST = 1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

【注】 MST = 1 で 1 バイトだけ受信したい場合は下記手順で行ってください。動作タイミングについては図 17.16 を参照してください。

1. ICCR1 の ICE ビットを 1 セットします。また ICCR1 の CKS[3:0]等を設定します（初期設定）。
2. ICCR1 の RCVD ビットが 0 の状態で、MST = 1 にセットします。これにより受信クロックの出力を開始します。
3. ICMR の BC[2]ビットが 1 セットされたことを確認後、ICCR1 の RCVD = 1 にセットしてください。これにより受信クロックを 1 バイト分出力した後、SCL が High レベルに固定されます。

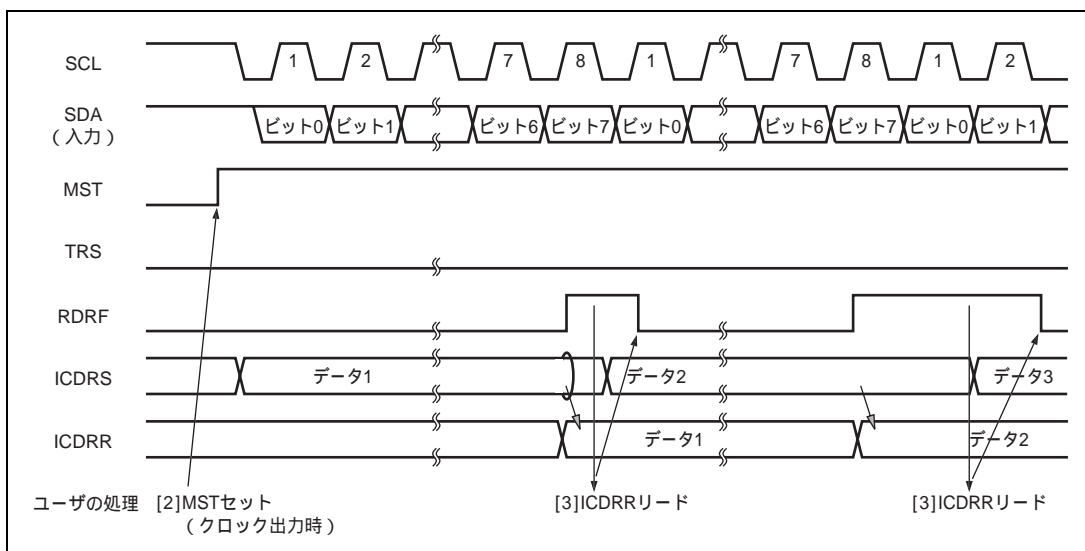


図 17.15 受信モード動作タイミング

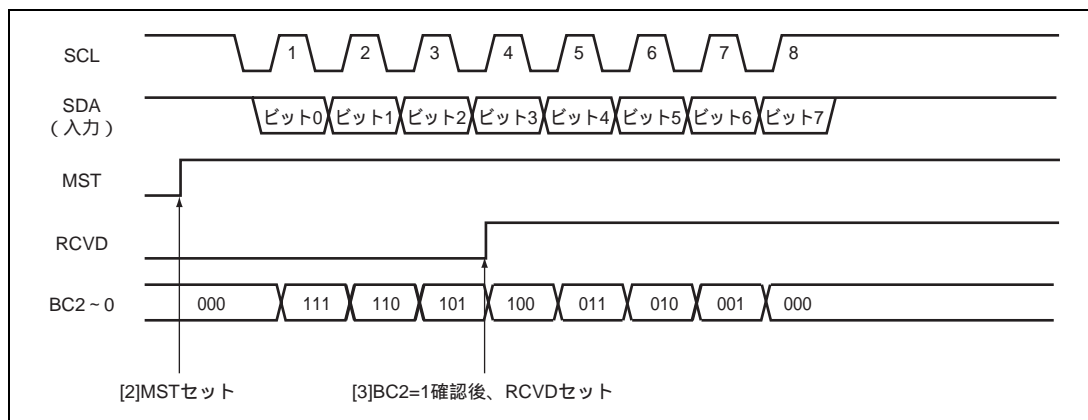


図 17.16 1 バイト受信動作タイミング (MST = 1)

17.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 17.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が周辺クロックでサンプリングされ、NF2CYC レジスタが 0 のときは、2 つのラッチ出力が一致したときに後段へレベルを伝えます。また NF2CYC レジスタが 1 のときは、3 つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

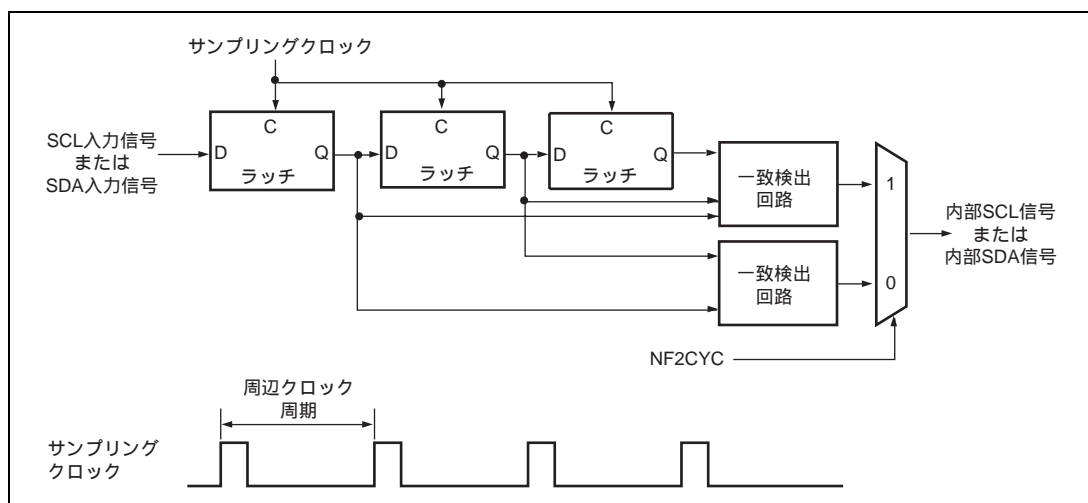


図 17.17 ノイズ除去回路のブロック図

17.4.8 使用例

I²C バスインタフェース 3 を使用する場合の各モードでのフローチャート例を図 17.18 ~ 図 17.21 に示します。

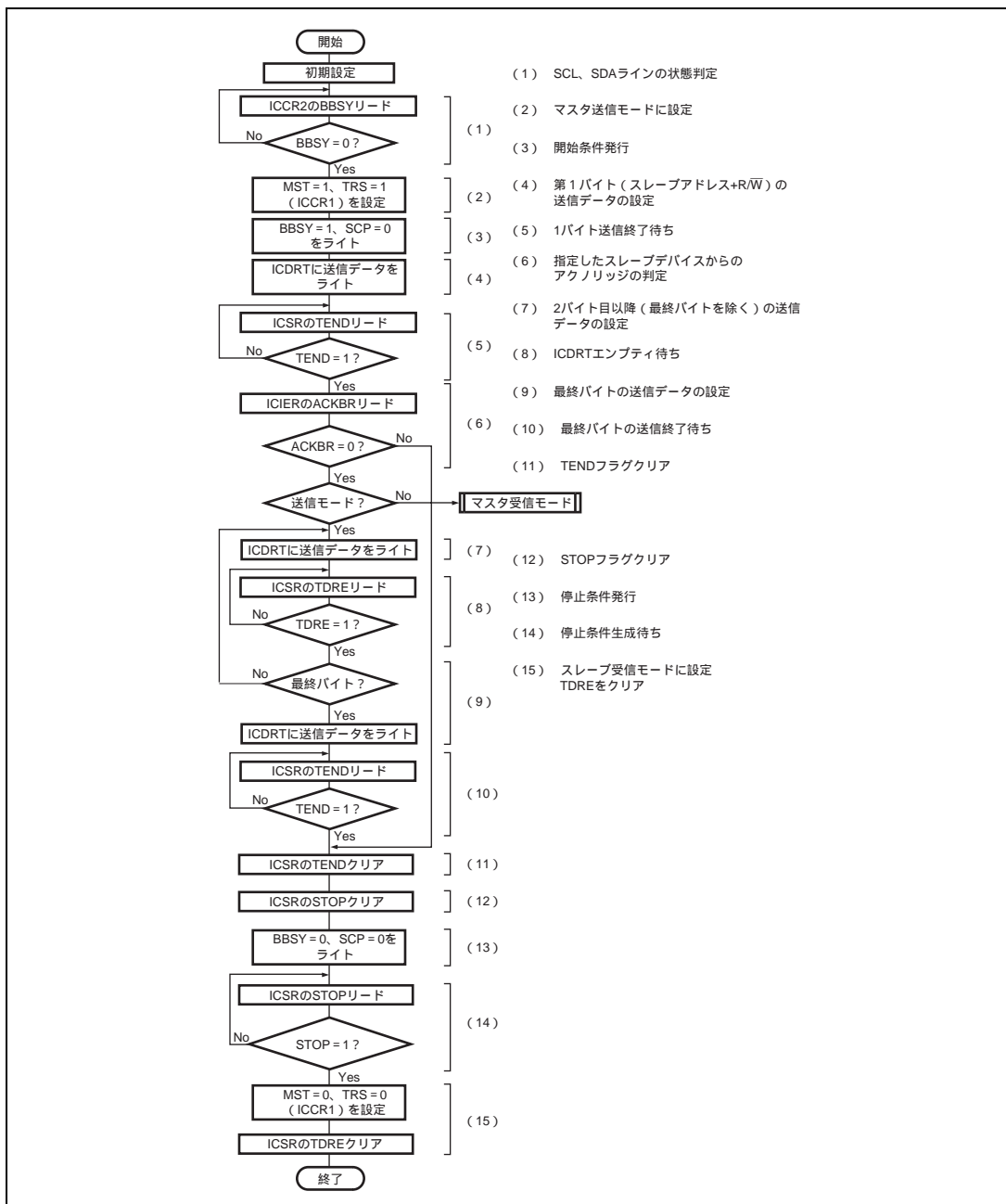


図 17.18 マスタ送信モードのフローチャート例

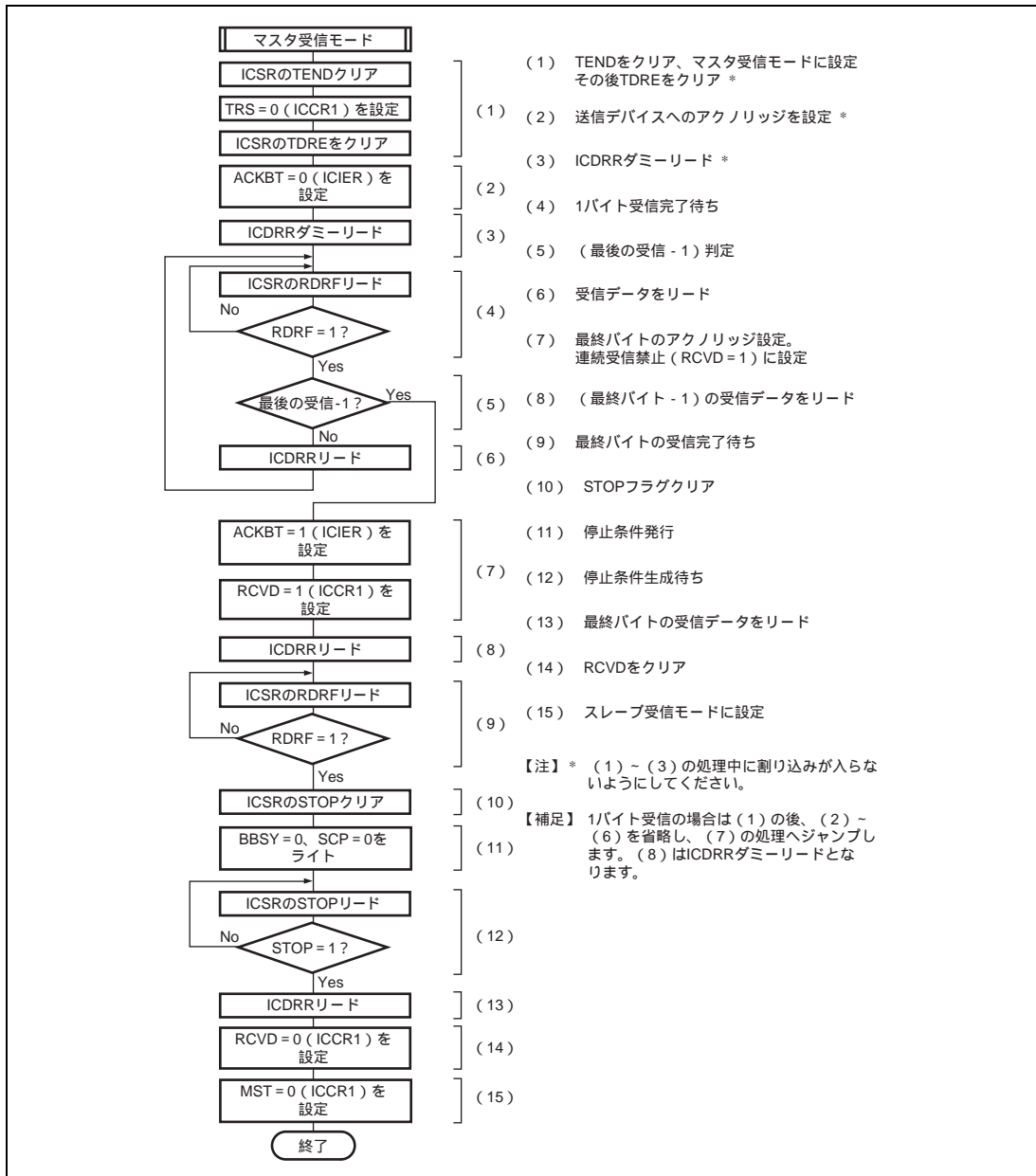


図 17.19 マスタ受信モードのフローチャート例

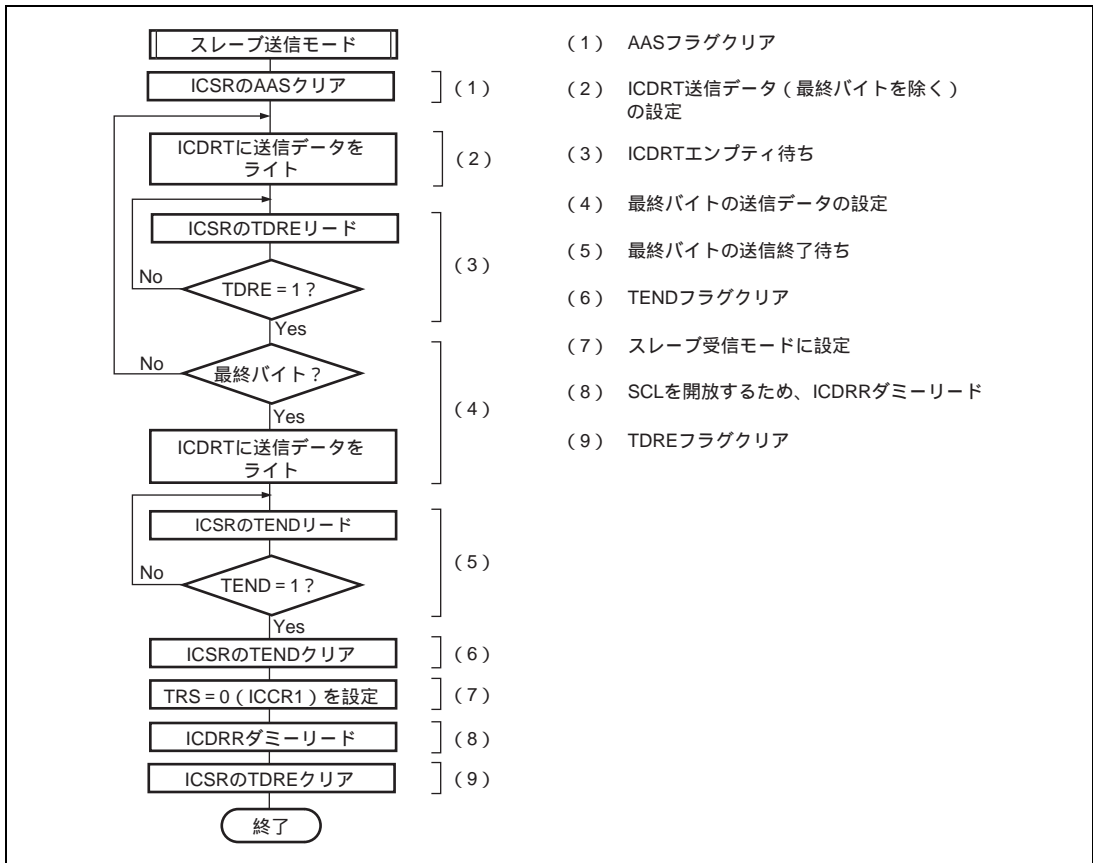


図 17.20 スレーブ送信モードのフローチャート例

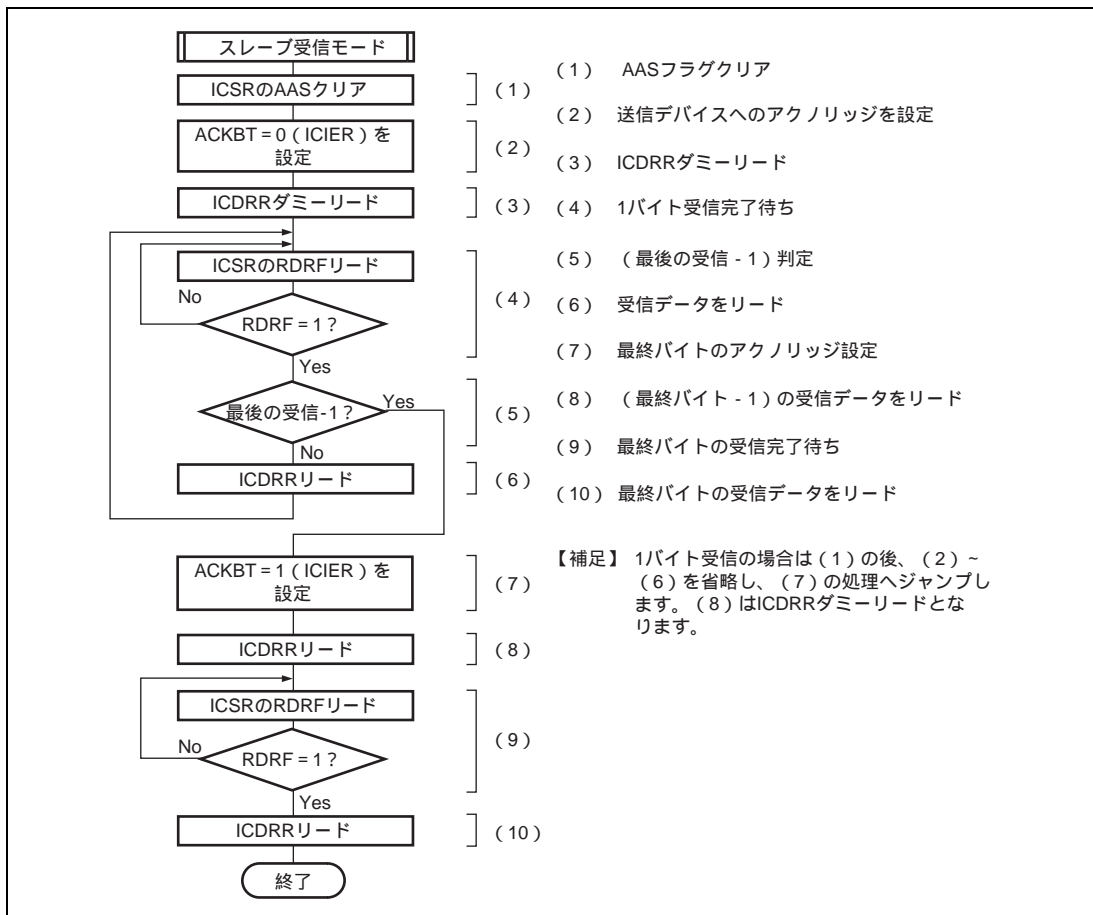


図 17.21 スレーブ受信モードのフローチャート例

17.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト/オーバーランエラーの 6 種類があります。表 17.4 に各割り込み要求の内容を示します。

表 17.4 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C バス フォーマット	クロック同期式 シリアル フォーマット
送信データエンプティ	TXI	(TDRE = 1) · (TIE = 1)		
送信終了	TEI	(TEND = 1) · (TEIE = 1)		
受信データフル	RXI	(RDRF = 1) · (RIE = 1)		
停止条件検出	STPI	(STOP = 1) · (STIE = 1)		×
NACK 検出	NAKI	{(NACKF = 1) + (AL = 1)} · (NAKIE = 1)		×
アービトレーションロスト/ オーバーランエラー				

表 17.4 の割り込み条件が 1 のとき、CPU は割り込み例外処理を実行します。なお TXI と RXI は、DMAC の起動設定を行っている場合は、DMAC を起動できます。その場合、CPU への割り込みは発生しません。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

17.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスにより SCL が Low レベルに引っ張られた場合
- SCL ラインの負荷（負荷容量、プルアップ抵抗）により SCL の立ち上がりがなまった場合

の 2 つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 17.22 に、SCL を Low 出力 Hi-Z にしてから SCL をモニタするまでの時間を表 17.5 に示します。

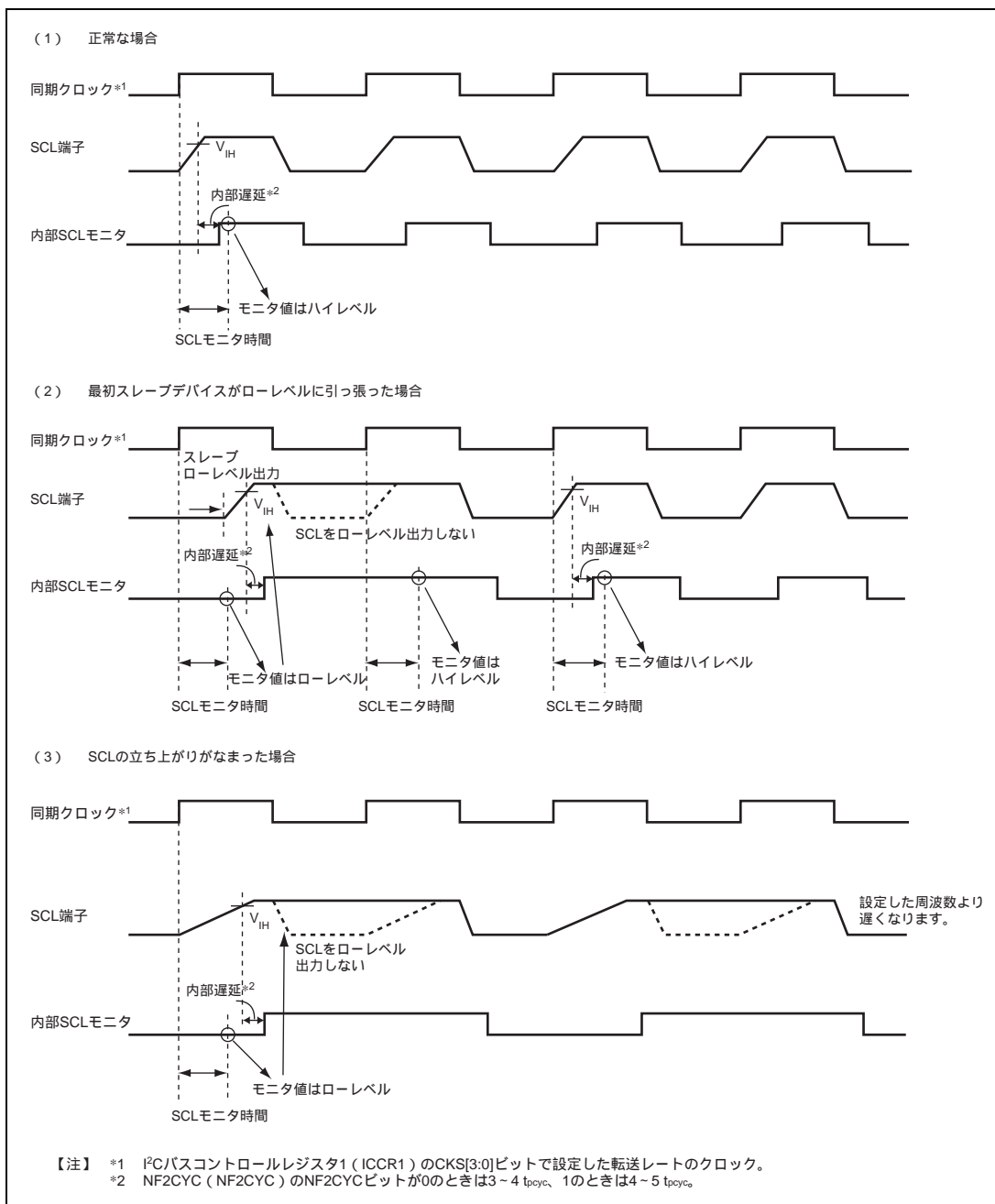


図 17.22 ビット同期回路のタイミング

表 17.5 SCL をモニタする時間

CKS[3]	CKS[2]	SCL をモニタする時間*1
0	0	9 tpcyc*2
	1	21 tpcyc*2
1	0	39 tpcyc*2
	1	87 tpcyc*2

【注】 *1 「SCL モニタタイミング基準クロック」立ち上がりから数えて「SCL をモニタする時間」(tpcyc)後の「(ボード上) SCL」レベルをモニタします。

*2 $tpcyc = P \times cyc$

17.7 使用上の注意事項

17.7.1 停止条件の発行および開始条件（再送）の発行

停止条件の発行および開始条件（再送）の発行は9クロック目の立ち下がり認識してから行ってください。9クロック目の立ち下がりにはIC コントロールレジスタ2 (ICCR2) のSCL0ビットをチェックすることにより認識することができます。下記1.または2.の条件下で、かつ特定のタイミングで停止条件の発行および開始条件（再送）の発行を行ったとき、停止条件および開始条件（再送）が正常に出力されない場合があります。

1. SCLバスの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりが「17.6 ビット同期回路」の項に規定されている時間以上なまっている場合
2. スレーブデバイスが8クロック目と9クロック目のLowレベル期間を引っ張ってビット同期回路が働いた場合

17.7.2 マルチマスタで使用時の注意

マルチマスタで使用し、本モジュール転送レートの設定 (ICCR1 CKS[3:0]) が他のマスタより遅いとき、まれにSCLに予期しない幅のSCLが出力される場合があります。

他のマスタの一番速い転送レートより1/1.8以上の転送レートを設定する必要があります。

17.7.3 マスタ受信モード時の注意

8クロック目の立ち下がり付近でICDRRをリードした場合、受信データが取れなくなる場合があります。

また、受信バッファフルかつ8クロック目の立ち下がり付近でRCVD=1に設定すると、停止条件の発行ができなくなる場合があります。

以下の、1.か2.の方法どちらかで対応してください。

1. マスタ受信モードでICDRRをリードする処理は8クロックの立ち上がりまでに行ってください。
2. マスタ受信モードはRCVD=1にし、1バイトごとの通信で処理を行ってください。

17.7.4 マスタ受信モード、ACKBT 設定時の注意

マスタ受信モード動作時、連続転送している最終データの 8 つ目の SCL が立ち下がる前に ACKBT を設定してください。スレーブ送信側デバイスがオーバーランする恐れがあります。

17.7.5 アービトレーションロスト時の MST と TRN ビットの状態についての注意

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL=1 かつマスタ送信モード (MST=1、TRS=1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記の方法があります。

- マルチマスタで使用時、MST、TRS の設定は MOV 命令で行ってください。
- アービトレーションロストした場合、MST=0、TRS=0 を確認してください。

万一、MST=0、TRS=0 以外の状態の場合、MST=0、TRS=0 を設定し直してください。

17.7.6 IICRST、BBSY ビットに関する注意事項

ICCR2 の IICRST ビットに 1 をライトすると、本 LSI は SCL、SDA 端子を解放します。そのとき、端子が SCL = High レベルの状態でも SDA が Low レベルから High レベルに変化すると、停止条件と認識して ICCR2 の BBSY ビットが 0 にクリアされます。

18. シリアルサウンドインタフェース (SSI)

シリアルサウンドインタフェース (SSI) は、I²S バス方式と互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、マルチチャンネルモードにも対応しています。

18.1 特長

- チャンネル数 : 2チャンネル
- 動作モード : 非圧縮モード
 - 非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。
- トランスミッタまたはレシーバのいずれとしても動作可能
- シリアルバスフォーマットを使用可能
- データバッファとシフトレジスタ間は非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能
- DMACまたは割り込みで、データ送受信を制御可能
- オーバサンプルクロックをAUDIO_CLK端子もしくはAUDIO_X1、AUDIO_X2端子から選択可能
 - AUDIO_CLK端子もしくはAUDIO_X1、AUDIO_X2端子からの外部クロック入力 : 1 ~ 40MHz
 - AUDIO_X1、AUDIO_X2端子の水晶発振子周波数 : 10 ~ 25MHz

図 18.1 に SSI モジュールの概略図を示します。

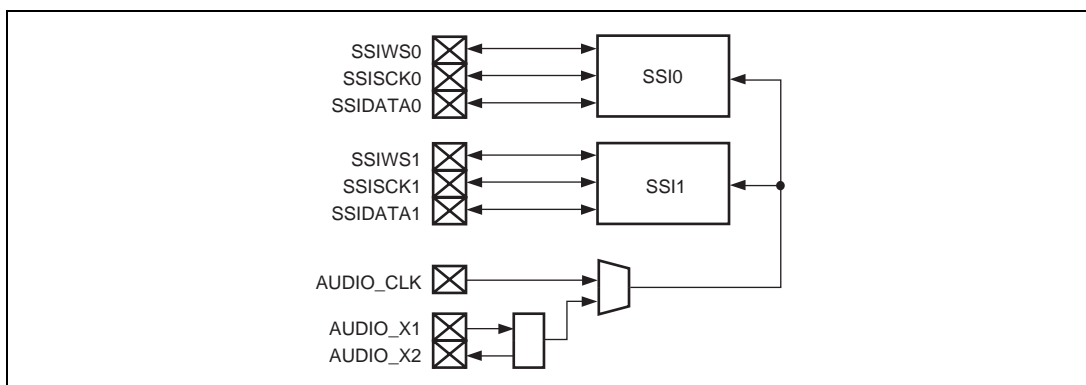


図 18.1 SSI モジュールの概略図

図 18.2 に SSI モジュールのブロック図を示します。

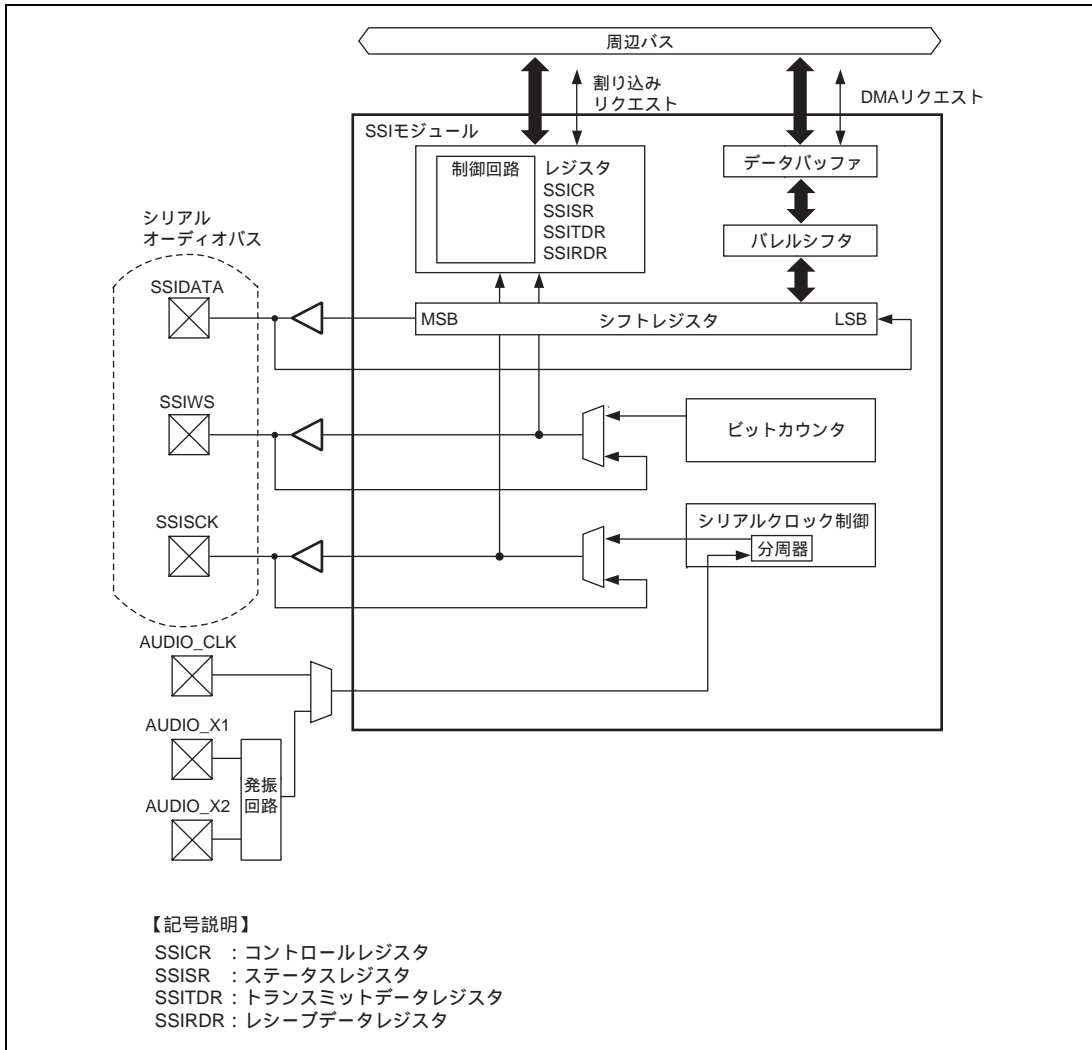


図 18.2 SSI のブロック図

18.2 入出力端子

SSI モジュールに関する端子構成を表 18.1 に示します。

表 18.1 端子構成

名称	本数	入出力	機能
SSISCK0	1	入出力	シリアルビットクロック
SSIWS0	1	入出力	ワード選択
SSIDATA0	1	入出力	シリアルデータ入出力
SSISCK1	1	入出力	シリアルビットクロック
SSIWS1	1	入出力	ワード選択
SSIDATA1	1	入出力	シリアルデータ入出力
AUDIO_CLK	1	入力	オーディオ用外部クロック (オーバサンプルクロック)
AUDIO_X1	1	入力	オーディオ用水晶発振子 (オーバサンプルクロック)
AUDIO_X2	1	出力	

18.3 レジスタの説明

SSI には以下のレジスタがあります。また本文中では、チャンネルによる区別を省略して説明しています。

表 18.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	コントロールレジスタ 0	SSICR0	R/W	H'00000000	H'FFFED000	32
	ステータスレジスタ 0	SSISR0	R/W*	H'02000003	H'FFFED004	32
	トランスミットデータレジスタ 0	SSITDR0	R/W	H'00000000	H'FFFED008	32
	レシーブデータレジスタ 0	SSIRDR0	R	H'00000000	H'FFFED00C	32
1	コントロールレジスタ 1	SSICR1	R/W	H'00000000	H'FFFED080	32
	ステータスレジスタ 1	SSISR1	R/W*	H'02000003	H'FFFED084	32
	トランスミットデータレジスタ 1	SSITDR1	R/W	H'00000000	H'FFFED088	32
	レシーブデータレジスタ 1	SSIRDR1	R	H'00000000	H'FFFED08C	32

【注】 * 本レジスタのビット 27 とビット 26 は読み出し / 書き込み可能ですが、それ以外のビットは読み出し専用です。詳細は、「18.3.2 ステータスレジスタ (SSISR)」を参照してください。

18.3.1 コントロールレジスタ (SSICR)

SSICR は、読み出し / 書き込み可能な 32 ビットのレジスタで、IRQ の制御、各極性の状態の選択、動作モードの設定を行います。

SSICR は、パワーオンリセットおよび、ディープスタンバイモード時に H'00000000 に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMEN	UIEN	OIEN	IIEN	DIEN	CHNL[1:0]	DWL[2:0]			SWL[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	-	CKDV[2:0]			MUEN	-	TRMD	EN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
28	DMEN	0	R/W	DMA イネーブル DMA 要求を許可 / 禁止します。 0: DMA 要求を禁止 1: DMA 要求を許可
27	UIEN	0	R/W	アンダフロー割り込みイネーブル 0: アンダフロー割り込みを禁止 1: アンダフロー割り込みを許可
26	OIEN	0	R/W	オーバフロー割り込みイネーブル 0: オーバフロー割り込みを禁止 1: オーバフロー割り込みを許可
25	IIEN	0	R/W	アイドルモード割り込みイネーブル 0: アイドルモード割り込みを禁止 1: アイドルモード割り込みを許可
24	DIEN	0	R/W	データ割り込みイネーブル 0: データ割り込みを禁止 1: データ割り込みを許可
23, 22	CHNL[1:0]	00	R/W	チャンネル 各システムワードのチャンネル数を示します。 00: 各システムワードは 1 チャンネルで構成されています。 01: 各システムワードは 2 チャンネルで構成されています。 10: 各システムワードは 3 チャンネルで構成されています。 11: 各システムワードは 4 チャンネルで構成されています。

ビット	ビット名	初期値	R/W	説明
21 ~ 19	DWL[2:0]	000	R/W	データワード長 データワードのビット数を示します。 000 : 8 ビット 001 : 16 ビット 010 : 18 ビット 011 : 20 ビット 100 : 22 ビット 101 : 24 ビット 110 : 32 ビット 111 : 設定禁止
18 ~ 16	SWL[2:0]	000	R/W	システムワード長 システムワードのビット数を示します。 000 : 8 ビット 001 : 16 ビット 010 : 24 ビット 011 : 32 ビット 100 : 48 ビット 101 : 64 ビット 110 : 128 ビット 111 : 256 ビット
15	SCKD	0	R/W	シリアルビットクロック方向 0 : シリアルビットクロック入力、スレーブモード 1 : シリアルビットクロック出力、マスタモード 【注】 (SCKD、SWSD) = (0、0) と (1、1) の設定のみ可能です。 それ以外の設定は禁止です。
14	SWSD	0	R/W	シリアル WS 方向 0 : シリアルワード選択入力、スレーブモード 1 : シリアルワード選択出力、マスタモード 【注】 (SCKD、SWSD) = (0、0) と (1、1) の設定のみ可能です。 それ以外の設定は禁止です。

ビット	ビット名	初期値	R/W	説明															
13	SCKP	0	R/W	<p>シリアルビットクロック極性</p> <p>0: SSIWS と SSIDATA は SSISCK の立ち下がりエッジで変化 (SCK 立ち上がりエッジでサンプリング)</p> <p>1: SSIWS と SSIDATA は SSISCK の立ち上がりエッジで変化 (SCK 立ち下がりエッジでサンプリング)</p> <table border="1"> <thead> <tr> <th></th> <th>SCKP = 0</th> <th>SCKP = 1</th> </tr> </thead> <tbody> <tr> <td>受信時 (TRMD = 0) SSIDATA 入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 (TRMD = 1) SSIDATA 出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> <tr> <td>スリープモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> </tbody> </table>		SCKP = 0	SCKP = 1	受信時 (TRMD = 0) SSIDATA 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	送信時 (TRMD = 1) SSIDATA 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ	スリープモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ
	SCKP = 0	SCKP = 1																	
受信時 (TRMD = 0) SSIDATA 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
送信時 (TRMD = 1) SSIDATA 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
スリープモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
12	SWSP	0	R/W	<p>シリアル WS 極性</p> <p>0: SSIWS は第 1 チャンネルではローレベル、第 2 チャンネルではハイレベル</p> <p>1: SSIWS は第 1 チャンネルではハイレベル、第 2 チャンネルではローレベル</p>															
11	SPDP	0	R/W	<p>シリアルパディング極性</p> <p>0: パディングビットはローレベル</p> <p>1: パディングビットはハイレベル</p> <p>【注】 MUEN = 1 のとき、パディングビットはローレベルになります。 (MUTE 機能が優先されます)</p>															
10	SDTA	0	R/W	<p>シリアルデータアラインメント</p> <p>0: シリアルデータ、パディングビットの順に送受信</p> <p>1: パディングビット、シリアルデータの順に送受信</p>															

ビット	ビット名	初期値	R/W	説明
9	PDTA	0	R/W	<p>パラレルデータアラインメント</p> <p>データワード長が 32、16、8 ビットのと看、このビットは意味を持ちません。</p> <p>このビットは、受信モード時の SSIRDR と送信モード時の SSITDR に適用します。</p> <p>0: パラレルデータ (SSITDR、SSIRDR) を左詰め 1: パラレルデータ (SSITDR、SSIRDR) を右詰め</p> <ul style="list-style-type: none"> • DWL=000 (データワード長 8 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 4 データワードが送受信されます。ビット 7~0 には第 1 のデータワード、ビット 15~8 には第 2 のデータワード、ビット 23~16 には第 3 のデータワード、そしてビット 31~24 には第 4 のデータワードが格納されています。 • DWL=001 (データワード長 16 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 2 データワードが送受信されます。ビット 15~0 には第 1 のデータワード、そしてビット 31~16 には第 2 のデータワードが格納されています。 • DWL=010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA=0 (左詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。 ビット 31~ビット (32 - DWL によって設定されたデータワード長のビット数) つまり、DWL=011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 31~12 が使用されます。他のすべてのビットは無視されるリザーブビットになります。 • DWL=010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA=1 (右詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。 ビット (DWL によって設定されたデータワード長のビット数 - 1) ~ ビット 0 つまり、DWL=011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 19~0 が使用されます。他のすべてのビットは無視されるリザーブビットになります。 • DWL=110 (データワード長 32 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。
8	DEL	0	R/W	<p>シリアルデータディレイ</p> <p>0: SSIWS と SSIDATA 間で 1 クロックサイクルの遅延 1: SSIWS と SSIDATA 間の遅延なし</p>
7	-	0	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
6-4	CKDV[2:0]	000	R/W	<p>シリアルオーバーサンプルクロック分周比</p> <p>オーバーサンプルクロック*(AUDIO_CLK もしくは AUDIO_X1、AUDIO_X2) とシリアルビットクロックの分周比を設定します。また、スタンバイコントロールレジスタ (STBCR5) の CKDV3 ビットと組み合わせることさらに 1/4 に分周することができます。SCKD=0 のとき、これらのビットは無視されます。シリアルビットクロックはシフトレジスタで使われ、SSISCK 端子から供給されます。</p> <ul style="list-style-type: none"> • CKDV3=1 のとき <ul style="list-style-type: none"> 000 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 1 001 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 2 010 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 4 011 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 8 100 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 16 101 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 6 110 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 12 111 : 設定禁止 • CKDV3=0 のとき <ul style="list-style-type: none"> 000 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 4 001 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 8 010 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 16 011 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 32 100 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 64 101 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 24 110 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 48 111 : 設定禁止 <p>【注】* オーバサンプルクロックは、PFC のポート D コントロールレジスタ 1 (PDCR1) の PD0MD0 ビットが 0 のとき AUDIO_X1、AUDIO_X2 が選択されます。1 のとき AUDIO_CLK が選択されません。</p>

ビット	ビット名	初期値	R/W	説明
3	MUEN	0	R/W	ミュートイネーブル 0: SSI モジュールはミュート状態でない 1: SSI モジュールはミュート状態
2	-	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
1	TRMD	0	R/W	送信 / 受信モード選択 0: SSI モジュールは受信モード 1: SSI モジュールは送信モード
0	EN	0	R/W	SSI モジュールイネーブル 0: SSI モジュール動作を禁止 1: SSI モジュール動作を許可

18.3.2 ステータスレジスタ (SSISR)

SSISR は、SSI モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

SSISR は、パワーオンリセットおよびディープスタンバイモード時に H'02000003 に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	1*2	0	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R/W*1	R/W*1	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNO[1:0]	SWNO	IDST	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	1	1*2
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】*1 読み出し / 書き込み可能。0を書き込むとビットは初期化されますが、1の書き込みは無視されます。

*2 SSIがアイドル状態を示すまでSSIクロックを供給し続けなければなりません。

ビット	ビット名	初期値	R/W	説明
31 ~ 29	-	すべて 0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
28	DMRQ	0	R	DMA 要求ステータスフラグ 本ステータスフラグにより、CPU は SSI モジュールの DMA リクエストの状態を知ることができます。 [TRMD = 0 (受信モード) のとき] <ul style="list-style-type: none"> DMRQ = 1 のとき、SSIRDR に未読データがあります。 SSIRDR が読み出された場合、次の未読データがくるまで DMRQ = 0 になります。 [TRMD = 1 (送信モード) のとき] <ul style="list-style-type: none"> DMRQ = 1 のとき、SSITDR は、シリアルオーディオバス上の送信を継続できるようデータの書き込みを要求します。 SSITDR にデータが書き込まれた場合、次の送信データの要求があるまで DMRQ = 0 になります。

ビット	ビット名	初期値	R/W	説明
27	UIRQ	0	R/W*	<p>アンダフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより低いレートでデータが供給されたことを示します。</p> <p>このビットは、UIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>UIRQ = 1 かつ UIEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>UIRQ = 1 のとき、DMRQ や DIRQ ビットが新しい未読データの存在を示す前に、SSIRDR が読み出されたことを示しています。このとき、同じ受信データがホストによって 2 回格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>UIRQ = 1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されるため、このエラーは、受信モードのアンダフローより深刻です。</p> <p>【注】 アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。</p>
26	OIRQ	0	R/W*	<p>オーバフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートでデータが供給されたことを示します。</p> <p>このビットは OIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>OIRQ = 1 かつ OIEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>OIRQ = 1 のとき、SSIRDR に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>【注】 オーバフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>OIRQ = 1 のとき、SSITDR 中のデータがシフトレジスタに転送される前に SSITDR にデータが書き込まれたことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p>

ビット	ビット名	初期値	R/W	説明
25	IIRQ	1 ^{*2}	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、I IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、I IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>I IRQ = 1 かつ I IEN = 1 のとき、割り込みが発生します。</p> <p>0 : SSI モジュールはアイドル状態でない 1 : SSI モジュールはアイドル状態</p>
24	DIRQ	0	R	<p>データ割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがデータの読み出しが書き込みを必要としていることを示します。</p> <p>ポーリングを可能にするため、このビットは、D IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、D IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>DIRQ = 1 かつ D IEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>0 : SSIRDR に未読データなし 1 : SSIRDR に未読データあり</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>0 : 送信バッファはフル 1 : 送信バッファは空で、SSITDR へのデータ書き込みを要求しています</p>
23~4	-	不定	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
3, 2	CHNO [1:0]	00	R	<p>チャンネル番号</p> <p>現在のチャンネルを示します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどのチャンネルのものかを表します。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどのチャンネルのデータを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>

ビット	ビット名	初期値	R/W	説明
1	SWNO	1	R	<p>シリアルワード番号 現在のワード番号を示します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表します。SSIRDR が読み出されたかどうかにかかわらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどちらのシステムワードを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>
0	IDST	1*2	R	<p>アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。</p> <p>EN = 1 かつシリアルバスが動作中のとき、このビットはクリアされます。このビットは以下の条件のときに自動的に 1 にセットされます。</p> <p>[SSI がマスタトランスミッタ (SWSD = 1 かつ TRMD = 1) のとき]</p> <p>EN ビットがクリアされ、SSITDR に書き込まれているデータがシリアルデータ入出力端子 (SSIDATA) から出力を完了すると (システムワード長の出力を完了すると)、このビットは 1 にセットされます。</p> <p>[SSI がマスタレシーバ (SWSD = 1 かつ TRMD = 0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>[SSI がスレーブトランスミッタ/レシーバ (SWSD = 0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>【注】現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。</p>

【注】 *1 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

*2 SSI がアイドル状態を示すまで SSI クロックを供給し続けなければなりません。

18.3.3 トランスミットデータレジスタ (SSITDR)

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が 32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

本レジスタを読むことで、バッファ内のデータが得られます。

SSITDR は、パワーオンリセットおよびディープスタンバイモード時に H'00000000 に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.3.4 レシーブデータレジスタ (SSIRDR)

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

SSIRDR は、パワーオンリセットおよびディープスタンバイモード時に H'00000000 に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

18.4 動作説明

18.4.1 バスフォーマット

SSI モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 18.3 に示す 4 つの主要なモードから選択できます。

表 18.3 SSI モジュールのバスフォーマット

	TRMD	SCKD	SWSD	EN	MUEN	DIEN	IEN	OIEN	UIEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL [2:0]	DWL [2:0]	CHNL [1:0]
非圧縮スレーブレシーバ	0	0	0	コントロールビット						コンフィギュレーションビット								
非圧縮スレーブトランスミッタ	1	0	0															
非圧縮マスタレシーバ	0	1	1															
非圧縮マスタトランスミッタ	1	1	1															

18.4.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。I²S 互換フォーマットだけでなく、多数の改良版にも対応しています。

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは SSI モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは SSI モジュールのコンフィギュレーションビットの設定に従います。

(5) 動作設定 - ワード長関連

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは I²S 互換、MSB ファースト・左詰め、MSB ファースト・右詰め、各フォーマットについて説明します。

1. I²S互換フォーマット

図 18.3、図 18.4 に、パディングありとパディングなしの I²S 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

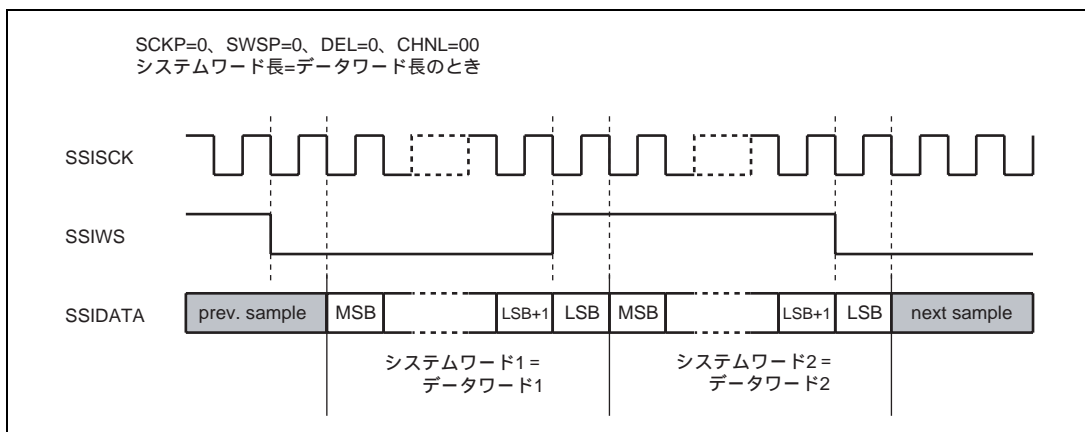
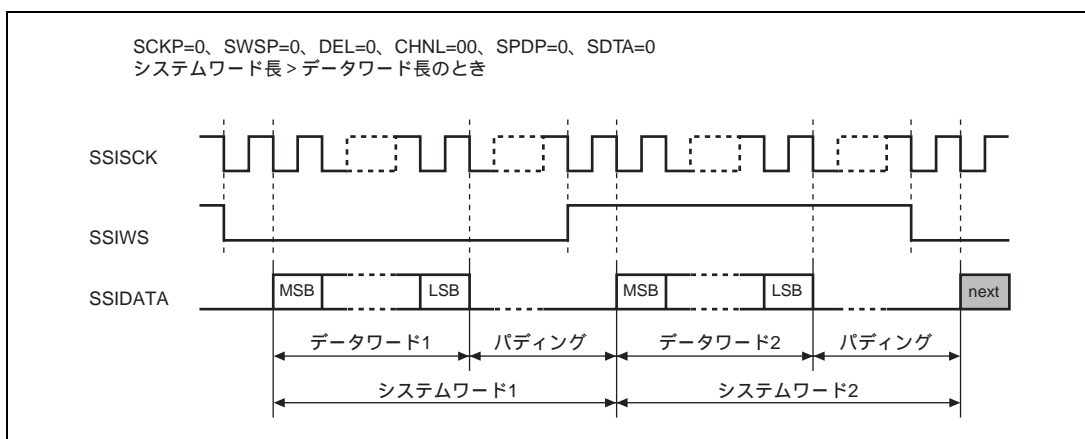
図 18.3 I²S 互換フォーマット (パディングなし)図 18.4 I²S 互換フォーマット (パディングあり)

図 18.5 に MSB ファースト・左詰めフォーマットを、図 18.6 に MSB ファースト・右詰めフォーマットを示します。

2. MSBファースト・左詰めフォーマット

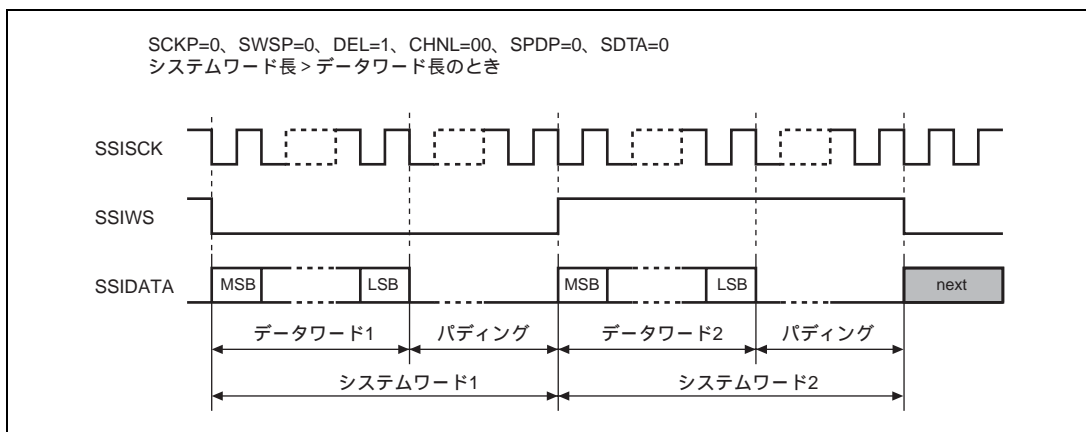


図 18.5 MSB ファースト・左詰めフォーマット (シリアルデータ、パディングビットの順に送受信)

3. MSBファースト・右詰めフォーマット

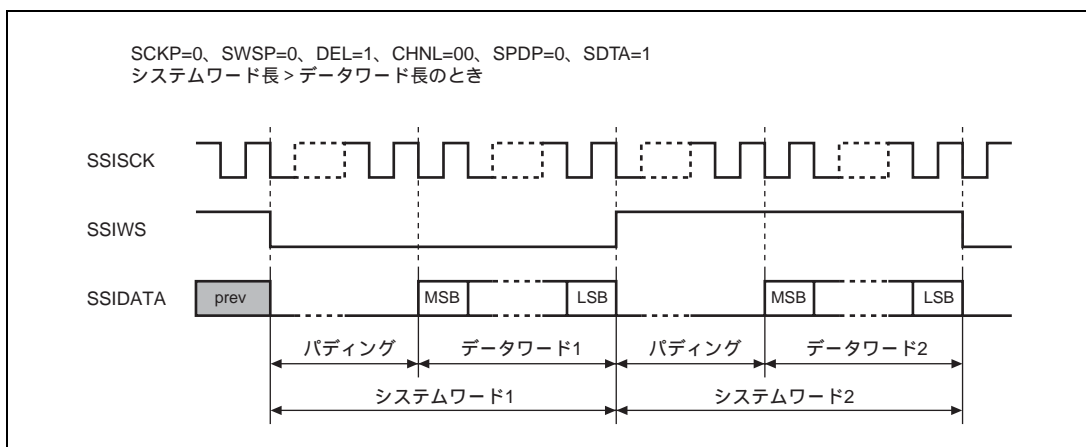


図 18.6 MSB ファースト・右詰めフォーマット (パディングビット、シリアルデータの順に送受信)

(6) マルチチャンネルフォーマット

I²S バス仕様の定義を拡張し、2 システムワード中に 2 より多いチャンネルの転送を行うデバイスタイプもあります。

SSI モジュールは、CHNL、SWL および DWL ビットを使って、4、6、および 8 チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 18.4 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

表 18.4 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2 : 0]	000	001	010	011	100	101	110
CHNL [1 : 0]	システムワードごとに デコードされるチャンネル	SWL [2 : 0]	デコードされ たワード長	8	16	18	20	22	24	32
00	1	000	8	0	-	-	-	-	-	-
		001	16	8	0	-	-	-	-	-
		010	24	16	8	6	4	2	0	-
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	-	-	-	-	-	-	-
		001	16	0	-	-	-	-	-	-
		010	24	8	-	-	-	-	-	-
		011	32	16	0	-	-	-	-	-
		100	48	32	16	12	8	4	0	-
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	0	-	-	-	-	-	-
		011	32	8	-	-	-	-	-	-
		100	48	24	0	-	-	-	-	-
		101	64	40	16	10	4	-	-	-
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	-	-	-	-	-	-	-
		011	32	0	-	-	-	-	-	-
		100	48	16	-	-	-	-	-	-
		101	64	32	0	-	-	-	-	-
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

SSI モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。SSI モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 18.7 ~ 図 18.9 に、4、6、および 8 チャンルのデータがどのようにシリアルオーディオバスに転送されるかを示します。図 18.7 はパディングビットがない場合、図 18.8 は左詰めの場合、図 18.9 は右詰めの場合を示します。これらの例は、すべて任意の例です。

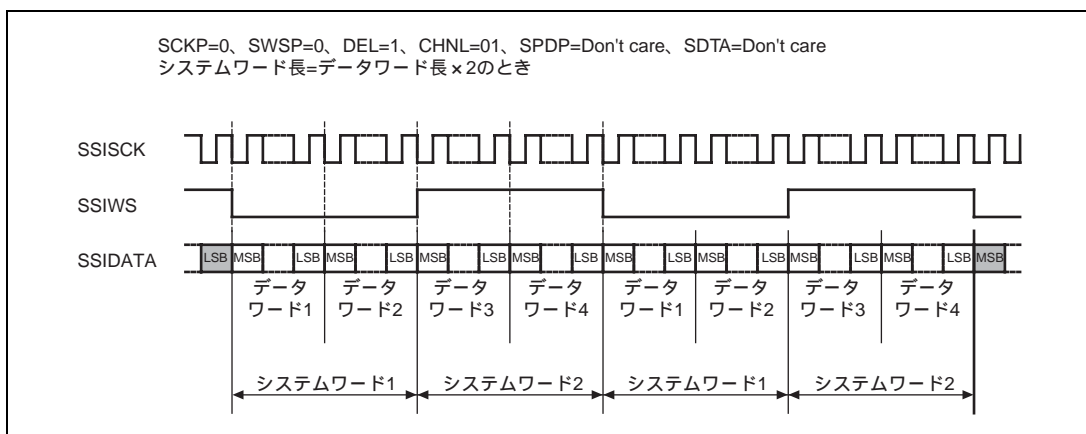


図 18.7 マルチチャンネルフォーマット (4 チャンネル、パディングなし)

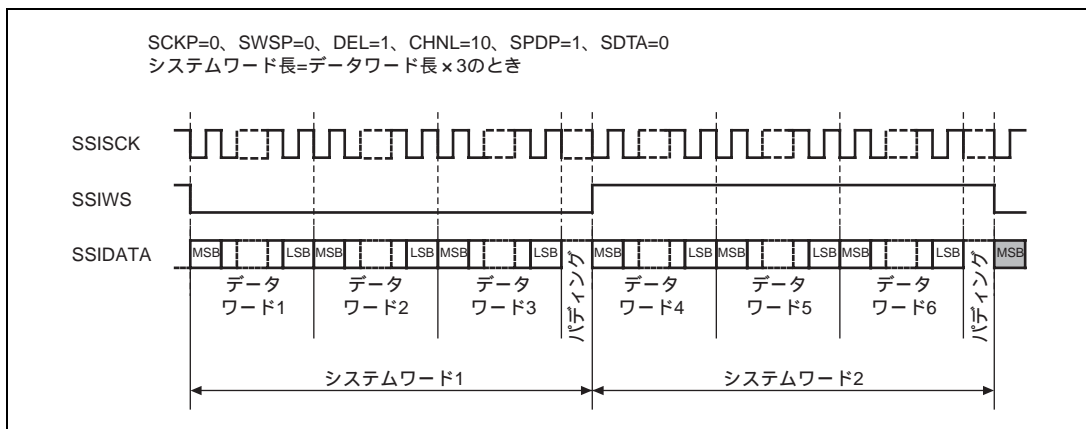


図 18.8 マルチチャンネルフォーマット (6 チャンネル、High パディング)

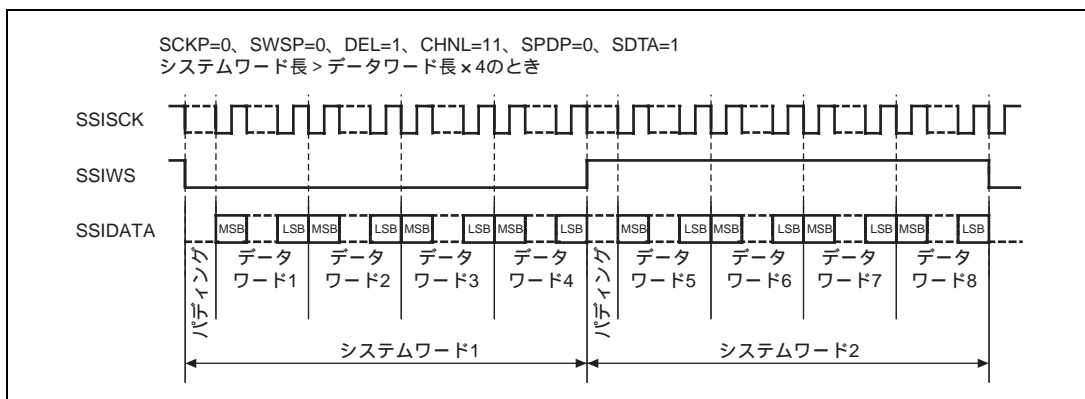


図 18.9 マルチチャンネルフォーマット

(8 チャンネル、パディングビット、シリアルデータの順に送受信、パディングあり)

(7) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 18.10 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

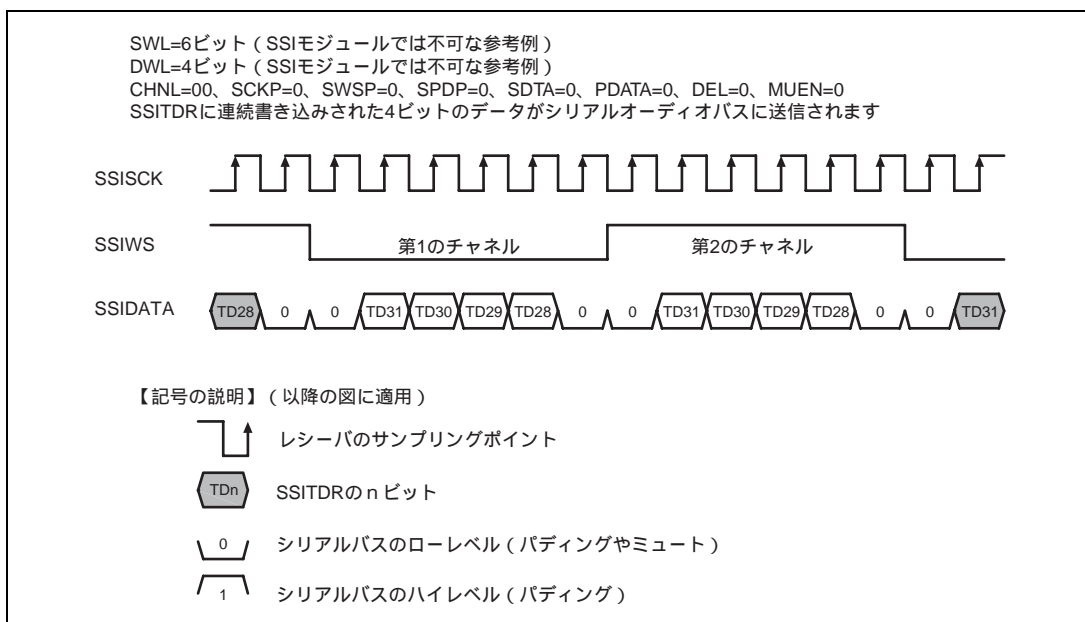


図 18.10 基本フォーマット例 (送信モード、任意のシステム/データワード長)

図 18.10 の例では、6 ビットのシステムワードと 4 ビットのデータワードが使用されます。これらの設定は SSI モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

1. 反転クロック

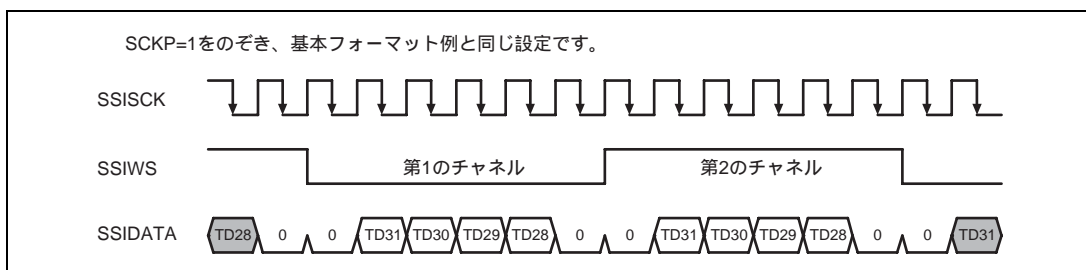


図 18.11 反転クロック

2. 反転ワード選択信号

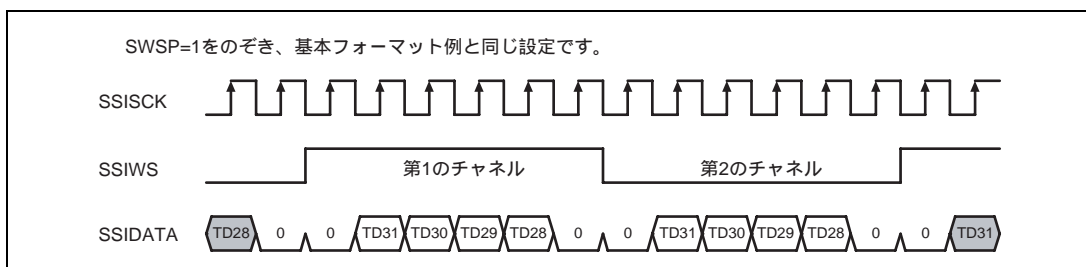


図 18.12 反転ワード選択信号

3. 反転パディング極性

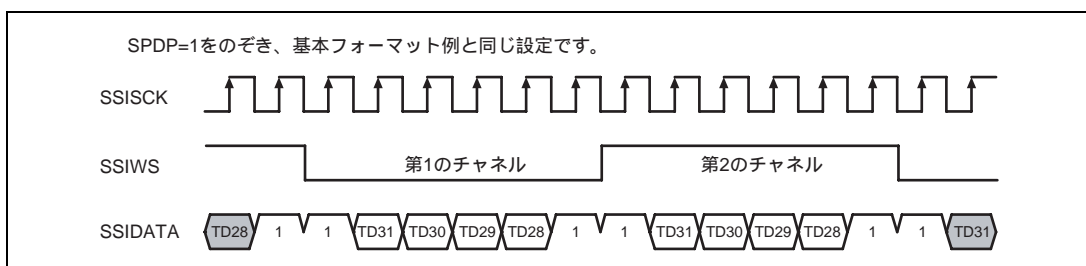


図 18.13 反転パディング極性

4. パディングビット、シリアルデータの順に送受信、遅延あり

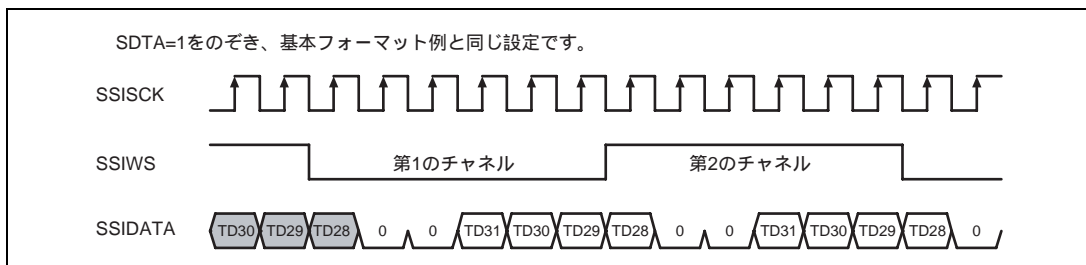


図 18.14 パディングビット、シリアルデータの順に送受信、遅延あり

5. パディングビット、シリアルデータの順に送受信、遅延なし

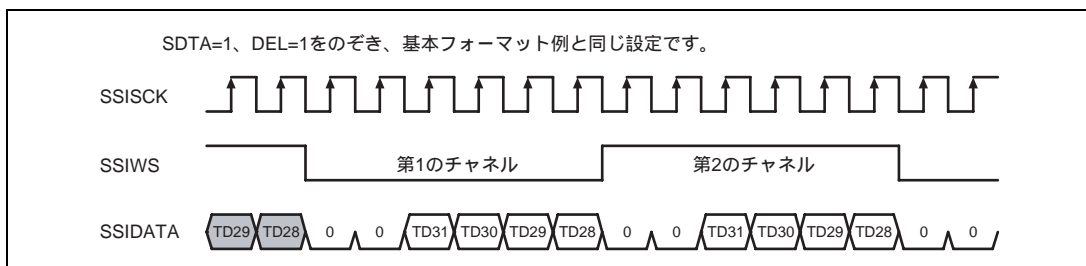


図 18.15 パディングビット、シリアルデータの順に送受信、遅延なし

6. シリアルデータ、パディングビットの順に送受信、遅延なし

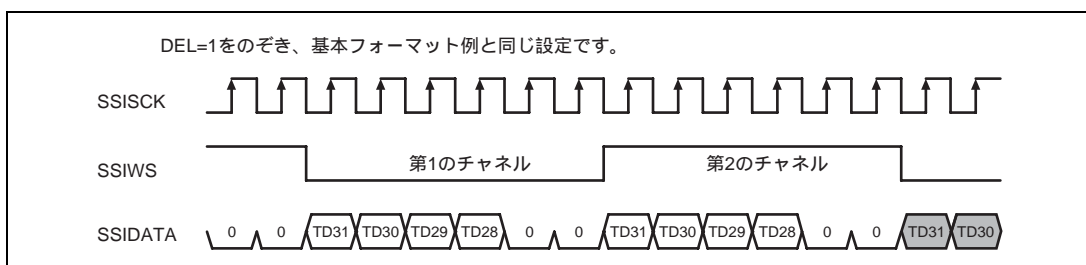


図 18.16 シリアルデータ、パディングビットの順に送受信、遅延なし

7. パラレルデータの右詰め、遅延あり

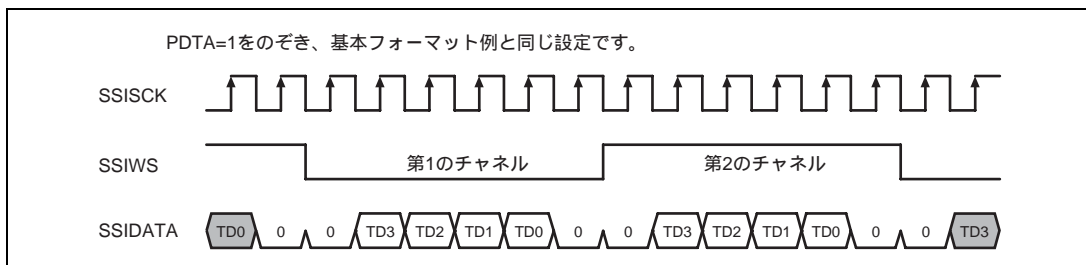


図 18.17 パラレルデータの右詰め、遅延あり

8. ミュート有効

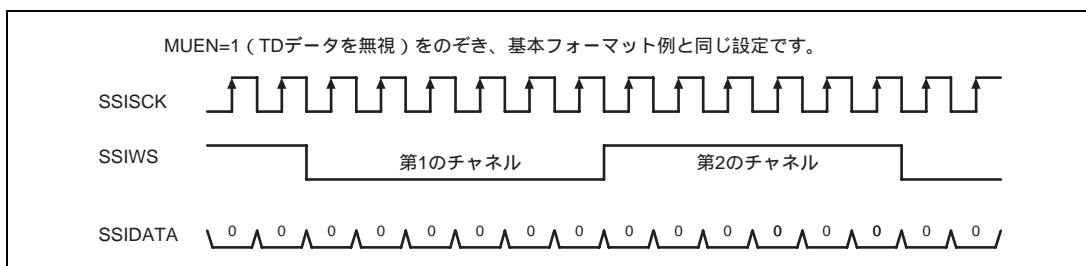


図 18.18 ミュート有効

18.4.3 動作モード

コンフィギュレーション、有効および無効の3つの動作モードがあります。図 18.19 に動作モードの遷移図を示します。

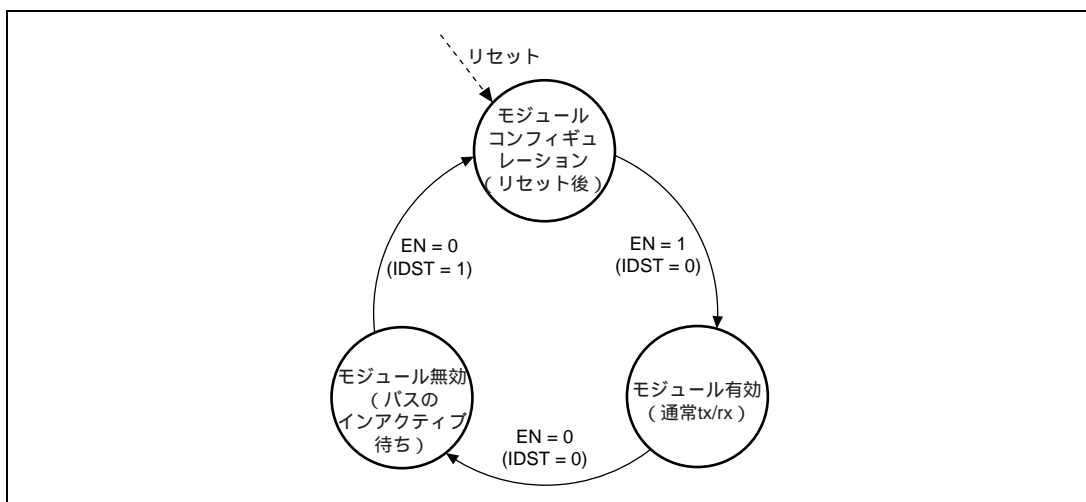


図 18.19 動作モード遷移図

(1) コンフィギュレーションモード

リセット解除後にこのモードになります。SSI モジュールが EN ビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

EN ビットをセットすると、SSI モジュールはモジュール有効モードに遷移します。

(2) モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「18.4.4 送信動作」と「18.4.5 受信動作」を参照してください。

18.4.4 送信動作

送信は DMA が割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバフローの発生時、または DMAC の転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて SSI モジュールがデータ供給のために生成する割り込みを用いる方法があります。SSI モジュールは単にダブルバッファ構造であり、少なくともシステムワードごとにデータの書き込みを必要とするため、割り込み制御モードの方が高い負荷が生じます。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

図 18.20 に DMA 制御モードの送信動作を、図 18.21 に割り込み制御モードの送信動作を示します。

【注】 * SCKD=0 のとき SSISCK 端子からの入力クロック
SCKD=1 のときオーバサンプルクロック

(1) DMA コントローラを使用した送信

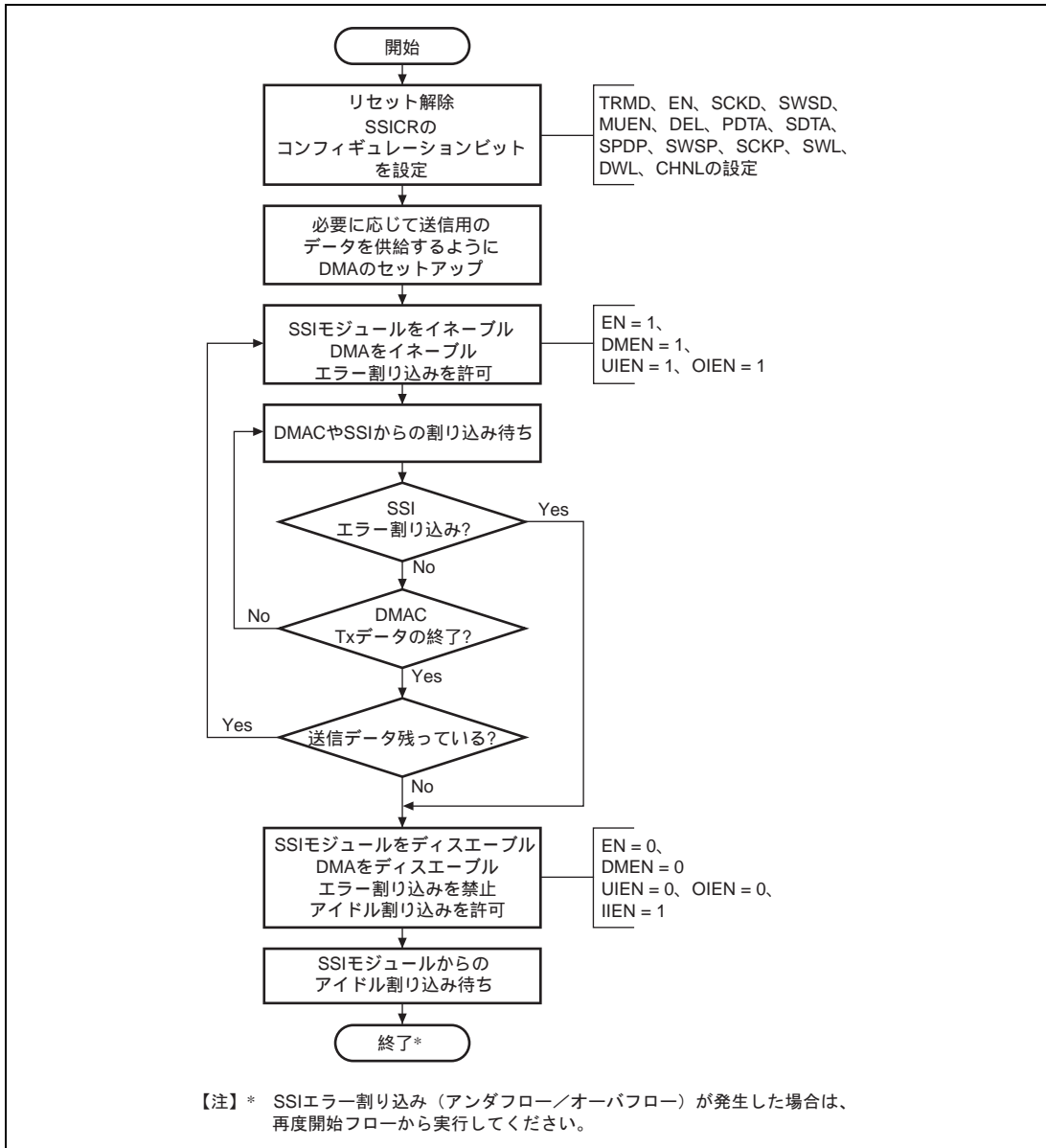


図 18.20 DMA コントローラを使用した送信

(2) 割り込みデータフロー制御を使用した送信

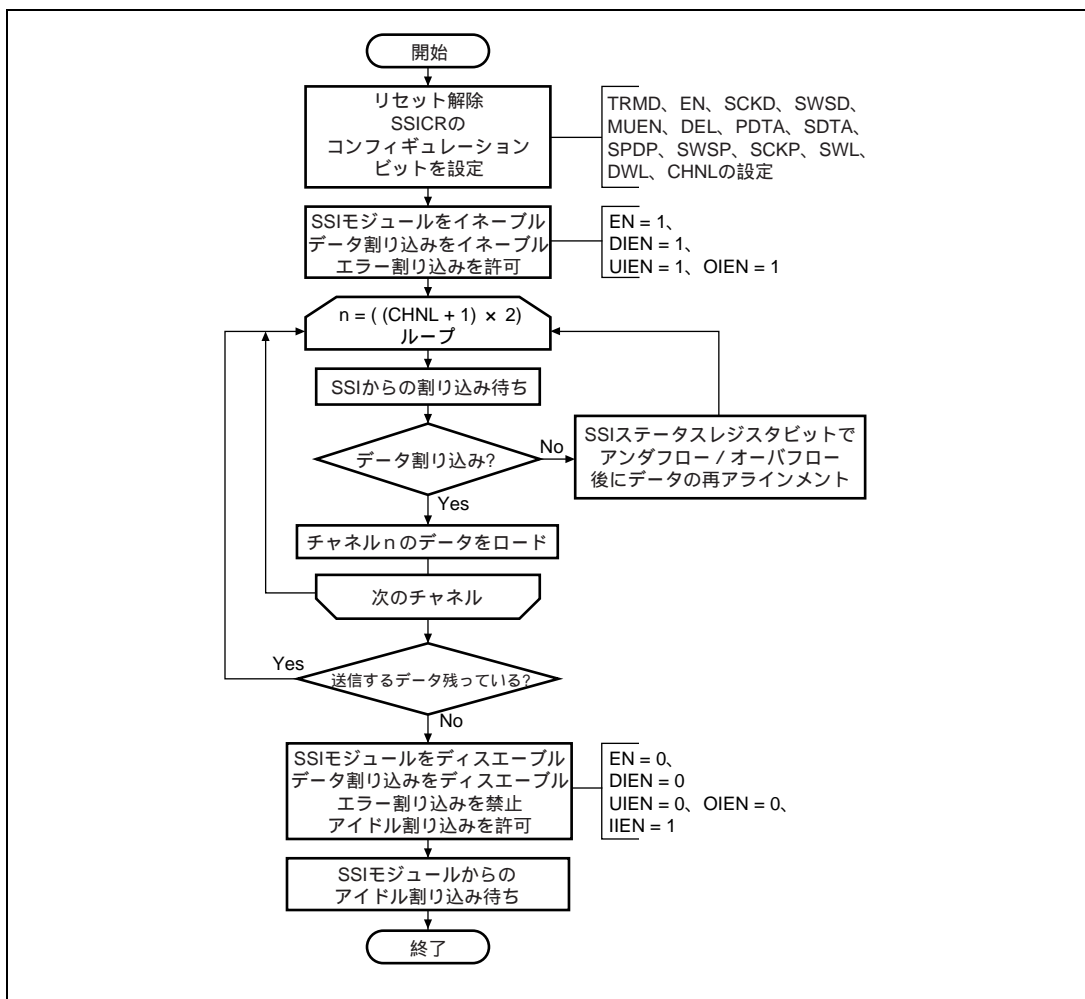


図 18.21 割り込みデータフロー制御を使用した送信

18.4.5 受信動作

送信同様、受信も DMA または割り込みで制御できます。

図 18.22、図 18.23 にそれぞれの動作フローチャートを示します。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

【注】 * SCKD = 0 のとき SSISCK 端子からの入力クロック
SCKD = 1 のときオーバーサンプルクロック

(1) DMA コントローラを使用した受信

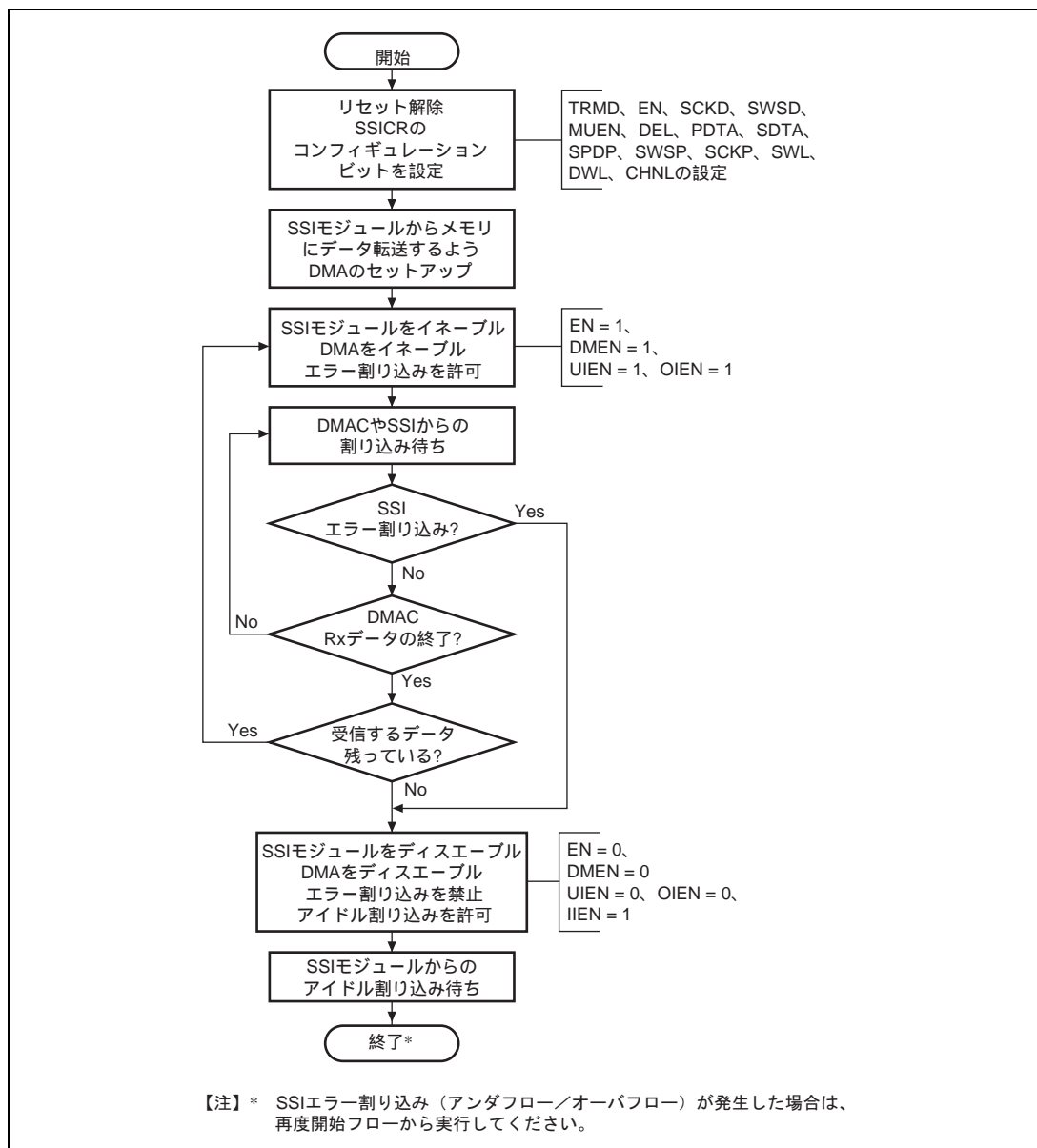


図 18.22 DMA コントローラを使用した受信

(2) 割り込みデータフロー制御を使用した受信

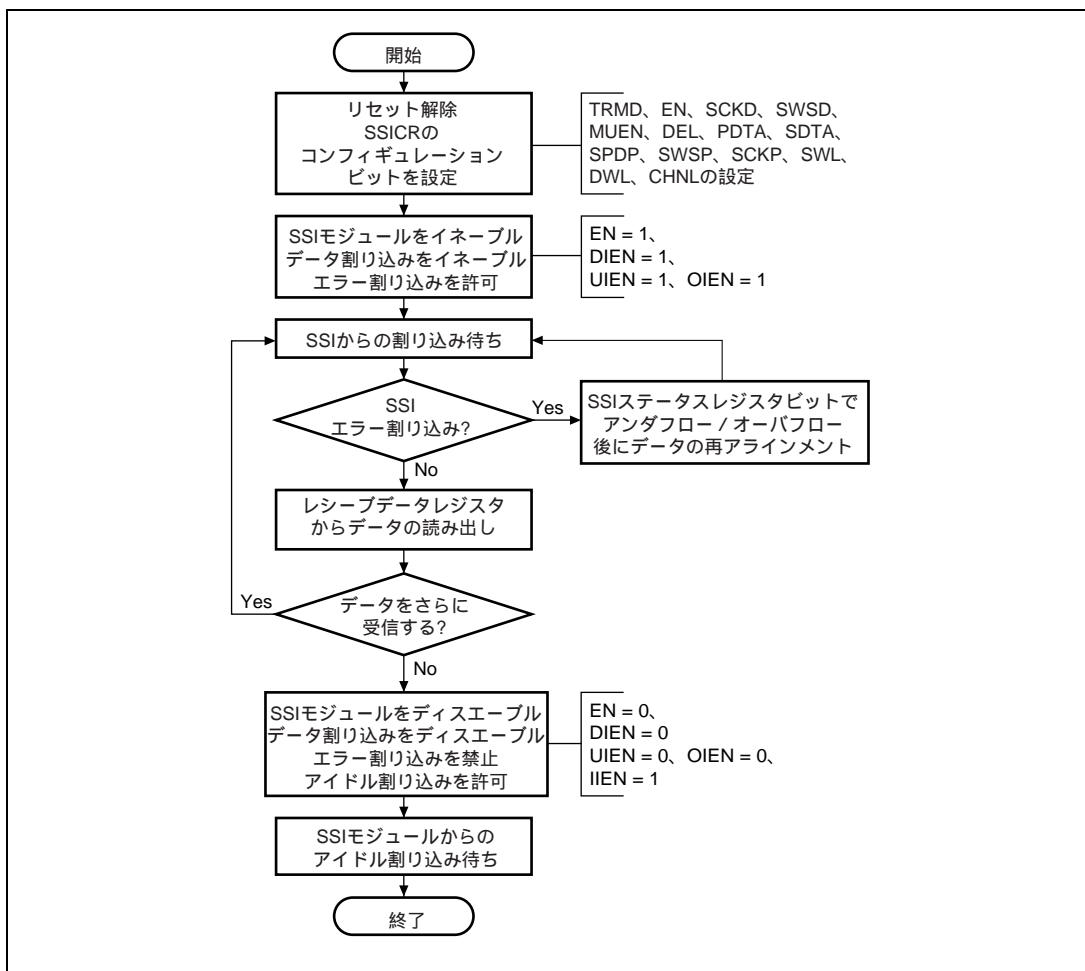


図 18.23 割り込みデータフロー制御を使用した受信

アンダフローやオーバーフロー条件が一致した場合、CHNO[1:0]ビットとSWNOビットを使ってSSIモジュールを一致する前の状態に回復できます。アンダフローやオーバーフローが発生したら、ホストCPUはチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。トランスミッタとして動作する場合、SSIモジュールが次に送信する予定のデータに到達するまでホストCPUは送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、SSIモジュールが次に受信すると示しているデータを格納できるようになるまでホストCPUはヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

18.4.6 送信時における一時停止、再開手順

以下の手順で実現することが可能です。

(1) DMAC の再設定なしで転送、停止を繰り返すための手順

1. DMA転送を止めるために、SSICR.DMEN = 0 (DMA要求を禁止) にします。
2. SSISR.DIRQ = 1 (送信モード: 送信バッファは空き) になるのをポーリングまたは割り込みなどで待つ。
3. SSICR.EN = 0 (SSIモジュール動作を禁止) で転送停止にします。
4. 再転送する前に、SSISR.IDST = 1 になっていることを確認します。
5. SSICR.EN = 1 (SSIモジュール動作を許可) にします。
6. SSISR.DIRQ = 1 になるのをポーリングまたは割り込みなどで待つ。
7. SSICR.DMEN = 1 (DMA要求を許可) にすることでDMA転送が再開されます。

(2) SSI 停止後、DMAC を再設定する場合の転送手順

1. DMA転送を止めるために、SSICR.DMEN = 0 (DMA要求を禁止) にします。
2. SSISR.DIRQ = 1 (送信モード: 送信バッファは空き) になるのをポーリングまたは割り込みなどで待つ。
3. SSICR.EN = 0 (SSIモジュール動作を禁止) で転送停止にします。
4. DMACのDMSCNTにてDMACを停止させます。
5. 再転送するまえに、SSISR.IDST = 1 になっていることを確認します。
6. SSICR.EN = 1 (SSIモジュール動作を許可) にします。
7. DMACの各レジスタ設定と転送開始を行います。
8. SSICR.DMEN = 1 (DMA要求を許可) にすることでDMA転送が再開されます。

18.4.7 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SCKD = 0)、SSI モジュールはクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSISCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SCKD = 1)、SSI モジュールはクロックマスターモードであり、シフトレジスタが使うビットクロックはオーバサンプルクロックまたはそれを分周したクロックです。オーバサンプルクロックは、SSICR のシリアルオーバサンプルクロック分周比 (CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSISCK 端子の出力はビットクロックと同じになります。

18.5 使用上の注意事項

18.5.1 受信 DMA 動作中にオーバーフローが起こった場合の制限事項

受信 DMA 動作中にオーバーフローが起こった場合、モジュールの再起動が必要です。SSI 内の受信バッファは L チャンネルと R チャンネルが共用の 32 ビットのレジスタで構成しています。そのため、たとえばコントロールレジスタ (SSICR) のデータワード長 (DWL2~DWL0) が 32 ビットの設定で、システムワード長 (SWL2~SWL0) が 32 ビットの設定の場合、オーバーフローが一度発生すると、L チャンネルで受信すべきデータが、R チャンネルで受信してしまうことがあります。

そこで、オーバーフローエラー割り込みまたはオーバーフローエラーステータスフラグ (SSISR の OIRQ ビット) によりオーバーフローを確認した場合、SSICR の EN ビットおよび DMEN ビットに 0 を書き込むことにより、SSI モジュールの DMA を禁止して動作を停止させてください (このとき DMA コントローラの設定も停止させてください)。その後、OIRQ ビットに 0 を書き込み、オーバーフローステータスをクリアし、再度 DMA の設定を行い転送を再開してください。

18.5.2 オーバサンプルクロック使用時の注意

オーバサンプルクロックに外部クロック入力を使用する場合は「4.6.1 外部クロック入力時の注意」の EXTAL、XTAL 端子を AUDIO_X1、AUDIO_X2 端子に置き換えて参照してください。

水晶発振子を使用する場合は「4.6.2 水晶発振子使用時の注意」の EXTAL、XTAL 端子を AUDIO_X1、AUDIO_X2 端子に置き換えて参照してください。

また、「4.6.3 発振子に関する注意」を参照してください。

18.5.3 クロック供給停止の制限事項

スタンバイコントロールレジスタ 5 (STBCR5) の MSTP53、MSTP52 ビットを 0 クリアし、いったん SSI の動作を開始した後は、これらのビットを 1 にセット (SSI のクロック供給を停止) しないでください。

19. コントローラエリアネットワーク (RCAN-ET)

コントローラエリアネットワーク (RCAN-ET) は自動車および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。

本章は RCAN-ET のプログラムインタフェースについて説明します。

また CAN のデータリンクコントローラの機能については下記参考文献を参照してください。

[参考文献]

1. CAN Specification Version 2.0 part A, Robert Bosch GmbH, 1991
2. CAN Specification Version 2.0 part B, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany, 1997
4. Road vehicles-Controller area network (CAN) : Part 1: Data link layer and physical signaling (ISO-11898-1, 2003)

19.1 特長

- CAN規格2.0B対応
- ビットタイミングはISO-11898規格に準拠
- 16個のメールボックス
- クロック周波数：16～40 MHz
- プログラム可能な15個の送信用メールボックスおよび1個の受信用メールボックス
- 低消費電力のCANスリープモードおよびCANバスアクティビティを検出してCANスリープモードを自動解除
- すべてのメールボックスにも対応したプログラム可能な受信フィルタマスク (スタンダードIDおよびエクステンデッドID)
- 最大1Mbpsのプログラム可能なCANデータレート
- リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
- 豊富な割り込み要因
- テスト機能を内蔵 (リスンオンリモード、エラーパッシブモード)

19.2 構成

19.2.1 ブロック図

RCAN-ET は、CAN2.0B Active と ISO-11898 をサポートする CAN フレームを構成、制御する自由度の大きい洗練された方法を提供します。RCAN-ET は機能的に、マイクロプロセッサインタフェース (MPI)、メールボックス、メールボックスコントロール、および CAN インタフェースの 4 種類のブロックからなります。

図 19.1 に RCAN-ET のブロック図を示します。

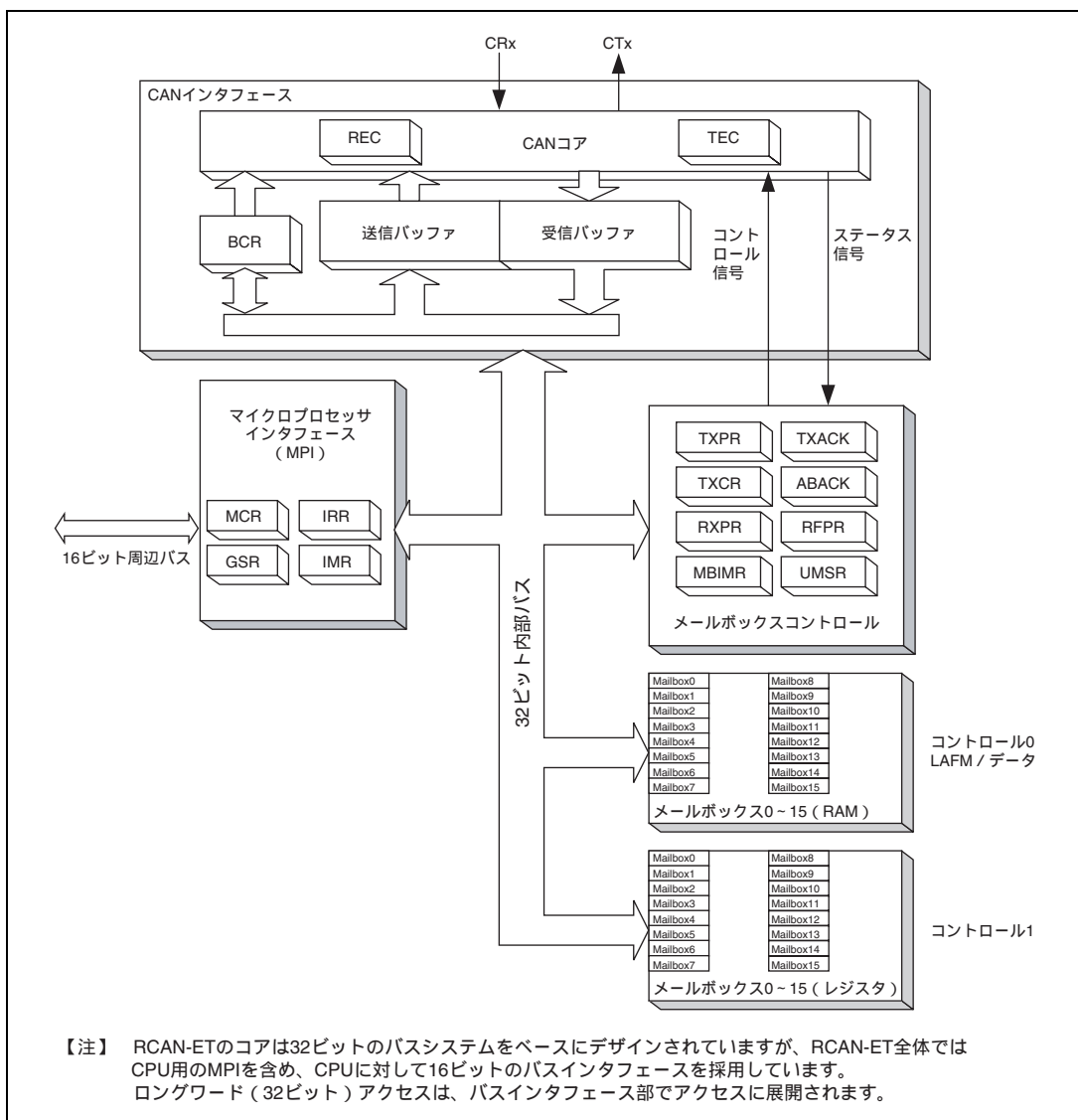


図 19.1 RCAN-ET のブロック図

19.2.2 各ブロックの機能

(1) マイクロプロセッサインタフェース (MPI)

MPI は、CPU と RCAN-ET のレジスタやメールボックスとの間の通信を可能にし、メモリインタフェースを制御します。また MPI は CAN バスのアクティブを検出し、MPI 自身や RCAN-ET の他のモジュールにも CAN バスのアクティブを通知するウェイクアップコントロールロジックを持っているので、RCAN-ET は自動的に CAN スリープモードを解除することができます。なお MPI のレジスタには、MCR、IRR、GSR、および IMR があります。

(2) メールボックス

メールボックスは、メッセージバッファとして RAM およびレジスタに配列されています。RAM とレジスタ内には、それぞれ 16 個のメールボックスがあり、以下の情報を格納します。

[RAM]

- CANメッセージコントロール (ID、RTR、IDEなど)
- CANメッセージデータ (CANデータフレーム用)
- 受信用のローカルアクセプタンスフィルタマスク (LAFM)

[レジスタ]

- CANメッセージコントロール (DLC)
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット

(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するためのRAMアドレスとデータを生成し、対応するレジスタをセット/クリアします。
- メッセージ送信時は、RCAN-ETは内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

(4) CAN インタフェース

本ブロックは参考文献[2]と[4]のCANバスデータリンクコントローラ仕様をサポートしています。これはOSIモデルで規定されるデータリンクコントローラの全機能を満足します。また、CANバスに特化したレジスタやロジックも提供します。具体的には、受信エラーカウンタ、送信エラーカウンタ、ビットタイミングコンフィギュレーションレジスタ、種々のテストモードなどです。さらに、CANデータリンクコントローラを送受信を格納する機能もあります。

19.3 メールボックス

19.3.1 メールボックスの構成

メールボックスは CAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの 3 個の格納フィールドからなります。

表 19.2 に各メールボックスに対するメッセージコントロール、LAFM、メッセージデータのアドレスマップを示します。

表 19.2 各メールボックスのアドレスマップ

メールボックス	アドレス			
	コントロール 0	LAFM	データ	コントロール 1
	4 バイト	4 バイト	8 バイト	2 バイト
0 (受信のみ)	H'100 - H'103	H'104 - H'107	H'108 - H'10F	H'110 - H'111
1	H'120 - H'123	H'124 - H'127	H'128 - H'12F	H'130 - H'131
2	H'140 - H'143	H'144 - H'147	H'148 - H'14F	H'150 - H'151
3	H'160 - H'163	H'164 - H'167	H'168 - H'16F	H'170 - H'171
4	H'180 - H'183	H'184 - H'187	H'188 - H'18F	H'190 - H'191
5	H'1A0 - H'1A3	H'1A4 - H'1A7	H'1A8 - H'1AF	H'1B0 - H'1B1
6	H'1C0 - H'1C3	H'1C4 - H'1C7	H'1C8 - H'1CF	H'1D0 - H'1D1
7	H'1E0 - H'1E3	H'1E4 - H'1E7	H'1E8 - H'1EF	H'1F0 - H'1F1
8	H'200 - H'203	H'204 - H'207	H'208 - H'20F	H'210 - H'211
9	H'220 - H'223	H'224 - H'227	H'228 - H'22F	H'230 - H'231
10	H'240 - H'243	H'244 - H'247	H'248 - H'24F	H'250 - H'251
11	H'260 - H'263	H'264 - H'267	H'268 - H'26F	H'270 - H'271
12	H'280 - H'283	H'284 - H'287	H'288 - H'28F	H'290 - H'291
13	H'2A0 - H'2A3	H'2A4 - H'2A7	H'2A8 - H'2AF	H'2B0 - H'2B1
14	H'2C0 - H'2C3	H'2C4 - H'2C7	H'2C8 - H'2CF	H'2D0 - H'2D1
15	H'2E0 - H'2E3	H'2E4 - H'2E7	H'2E8 - H'2EF	H'2F0 - H'2F1

メールボックス 0 は受信専用です。メールボックス 1 ~ 15 は、メッセージコントロールの MBC (メールボックス構成) ビットの設定により、送信、受信とも可能です。メールボックスの構成の詳細を図 19.3 に示します。

・メールボックス0 (受信用メールボックス)

レジスタ名	アドレス	データバス															アクセスサイズ	フィールド名
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
MB[0].CONTROL0H	H'100	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32ビット	コントロール0	
MB[0].CONTROL0L	H'102	EXTID[15:0]																16ビット
MB[0].LAFMH	H'104	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[0].LAFML	H'106	EXTID_LAFM[15:0]															16ビット	
MB[0].MSG_DATA[0][1]	H'108	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32ビット	データ	
MB[0].MSG_DATA[2][3]	H'10A	MSG_DATA_2							MSG_DATA_3							8/16ビット		
MB[0].MSG_DATA[4][5]	H'10C	MSG_DATA_4							MSG_DATA_5							8/16/32ビット		
MB[0].MSG_DATA[6][7]	H'10E	MSG_DATA_6							MSG_DATA_7							8/16ビット		
MB[0].CONTROL1H、L	H'110	0	0	NMC	0	0	MBC[2:0]	0	0	0	0	DLC[3:0]			8/16ビット	コントロール1		

・メールボックス1~15 (送受信用メールボックス)

レジスタ名	アドレス	データバス															アクセスサイズ	フィールド名
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
MB[n].CONTROL0H	H'100+n×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32ビット	コントロール0	
MB[n].CONTROL0L	H'102+n×32	EXTID[15:0]																16ビット
MB[n].LAFMH	H'104+n×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[n].LAFML	H'106+n×32	EXTID_LAFM[15:0]															16ビット	
MB[n].MSG_DATA[0][1]	H'108+n×32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32ビット	データ	
MB[n].MSG_DATA[2][3]	H'10A+n×32	MSG_DATA_2							MSG_DATA_3							8/16ビット		
MB[n].MSG_DATA[4][5]	H'10C+n×32	MSG_DATA_4							MSG_DATA_5							8/16/32ビット		
MB[n].MSG_DATA[6][7]	H'10E+n×32	MSG_DATA_6							MSG_DATA_7							8/16ビット		
MB[n].CONTROL1H、L	H'110+n×32	0	0	NMC	ATX	DART	MBC[2:0]	0	0	0	0	DLC[3:0]			8/16ビット	コントロール1		

【注】 1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
 2. メールボックス0のMBC1ビットの値は常に1です。
 3. ATXとDARTはメールボックス0ではサポートされません。また、メールボックス0のMBCの設定値は限られています。
 4. MCR15ビットが1のときはメッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。
 5. n : 0~15 (メールボックス番号)

図 19.3 メールボックスの構成

19.3.2 メッセージコントロールフィールド

レジスタ名	アドレス	ビット	ビット名	説明
MB[n]. CONTROL0H	H'100+n × 32	15	IDE	ID 拡張 CAN データフレームとリモートフレームがスタンダードフォーマットかエクステンデッドフォーマットかを区別します。 0 : スタンダードフォーマット 1 : エクステンデッドフォーマット
		14	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き換えます。 【重要】MBC=B'001 でデータフレーム自動送信 (ATX) ビットをセットすると RTR はセットできません。リモートフレームを受信すると、CPU は対応する RFPR ビットまたは IRR2 (リモートフレームリクエスト割り込み) ビットによって通知されますが、RCAN-ET は現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変化しません。 【重要】MBC=B'001 で ATX=1 の場合にリモートフレームに自動的に回答を対応させるために、データフレームの転送が許可されるように RTR フラグは 0 にプログラムしなくてはなりません。 【注意】メールボックスがリモートフレームを送るように構成されているとき、転送に用いられた DLC はメールボックスの中に格納されたものとなります。 0 : データフレーム 1 : リモートフレーム
		13	-	リザーブビット 書き込む値は 0 にしてください。読み出し値は保証されません。
		12~2	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定するビットです。
		1、0	EXTID [17:16]	エクステンデッド ID データフレームとリモートフレームの ID (エクステンデッド ID) を設定するビットです。
MB[n]. CONTROL0L	H'102+n × 32	15~0	EXTID [15:0]	

【注】 n : 0 ~ 15 (メールボックス番号)

• メールボックス0

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

0	0	NMC	0	0	MBC[2:0]			0	0	0	0	DLC[3:0]			
---	---	-----	---	---	----------	--	--	---	---	---	---	----------	--	--	--

初期値： 0 0 0 0 0 1 1 1 0 0 0 0 0 0 0 0

R/W： R R R/W R R R/W R/W R/W R R R R R/W R/W R/W R/W

【注】 MBC1 の値は常に 1 です。

• メールボックス1～15

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]			
---	---	-----	-----	------	----------	--	--	---	---	---	---	----------	--	--	--

初期値： 0 0 0 0 0 1 1 1 0 0 0 0 0 0 0 0

R/W： R R R/W R/W R/W R/W R/W R/W R R R R R/W R/W R/W R/W

レジスタ名	アドレス	ビット	ビット名	説明
MB[n]. CONTROL1H	H'110+n×32	15、14	-	リザーブビット 書き込む値は0にしてください。読み出し値は保証されません。
		13	NMC	ニューメッセージコントロール このビットが0にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持し UMSR の対応するビットをセットします。このビットが1にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージをオーバライトし、UMSR の対応するビットをセットします。 【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPR および RFPR フラグは (UMSR と一緒に) 同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にある RTR ビットも上書きされます。 0：オーバランモード 1：オーバライトモード

レジスタ名	アドレス	ビット	ビット名	説明
MB[n]. CONTROL1H	H'110+n x 32	12	ATX	<p>データフレーム自動送信</p> <p>本ビットが 1 にセットされ、リモートフレームがメールボックスで受信されると、DLC が格納されます。そして、TXPR をセットすることで現在のメッセージデータと書き換えられた DLC を使って同じメールボックスから自動的にデータフレームが転送されます。送信のスケジューリングは、メッセージ送信プライオリティビット (MCR2) で構成されているように、ID 優先順位あるいはメールボックス優先順位によって制御されます。本機能を使用するには MBC[2:0] を B'001 に設定してください。この機能を用いて送信を行うとき、用いるデータ長コード (DLC) は受信されたものが使用されます。これを適用するには、リモートフレームの DLC は要求されているデータフレームの DLC に対応したものであることが必要です。</p> <p>【重要】 ATX が使用され、MBC が B'001 のとき、リモートフレームの ID は、応答メッセージの場合と同じく、データフレームの ID と完全に同じでなくてはならないため、IDE ビットのフィルタは使用できません。</p> <p>【重要】 本機能を使用する場合、リモートフレームを受信するにもかかわらず、RTR ビットはセットされません。リモートフレームを受信すると CPU はセット済み RFPR によって通知されますが、RCAN-ET は現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変更されません。</p> <p>【重要】 オーバラン状態 (NMC=0 に設定されたメッセージボックスの UMSR がセット) では、受信メッセージは破棄されます。ATX=1 に設定されたメールボックスがリモートフレームによりオーバラン状態になった場合、旧メッセージの自動送信の要求が受け付けられる場合があります。</p> <p>0 : データフレームの自動送信無効 1 : データフレームの自動送信有効</p> <p>【注】 本ビットはメールボックス 1~15 のみあります。メールボックス 0 ではリザーブビットとなります。</p>
		11	DART	<p>自動再送信無効</p> <p>このビットがセットされると、CAN バスエラーのイベントが発生した場合や、CAN バスのアービトラージで負けた場合、メッセージの自動再送信を無効にします。実際に、本機能が使用されるときは、対応する TXCR ビットが送信の最初に自動的にセットされます。このビットが 0 にセットされると、RCAN-ET は送信が正常終了されるまで、あるいは TXCR でキャンセルされるまで、要求された回数だけ送信し続けます。</p> <p>0 : 再送信有効 1 : 再送信無効</p> <p>【注】 本ビットはメールボックス 1~15 のみあります。メールボックス 0 ではリザーブビットとなります。</p>

レジスタ名	アドレス	ビット	ビット名	説明
MB[n]. CONTROL1L	H'110+n x 32	10~8	MBC[2:0]	<p>メールボックス構成</p> <p>これらのビットは各メールボックスの機能を表 19.3 のように設定します。MBC が B'111 のとき、メールボックスはアクティブでなくなります。つまり TXPR やその他の設定にかかわらずメッセージの送受信を行いません。</p> <p>MBC を B'100、B'101、B'110 に設定することは禁止されています。MBC をそれら以外の値に設定すれば LAFM フィールドは使用可能となります。</p> <p>MBC が受信にセットされているとき、TXPR は設定しないでください。ハードウェア保護機能はなく、TXPR はセットされたままになります。メールボックス 0 の MBC[1] は受信専用のためハードウェアによって 1 に固定されます。</p>
		7~4	-	<p>リザーブビット</p> <p>書き込む値は 0 にしてください。読み出し値は保証されません。</p>
		3~0	DLC[3:0]	<p>データ長コード</p> <p>データフレームで送信されるデータのバイト数 (0~8) をエンコードします。リモートフレーム要求が送信されるとき、これに使用される DLC の値は要求されたデータフレームの DLC の値と等しいものでなくてはなりません。</p> <p>0000 : データ長 0 バイト 0001 : データ長 1 バイト 0010 : データ長 2 バイト 0011 : データ長 3 バイト 0100 : データ長 4 バイト 0101 : データ長 5 バイト 0110 : データ長 6 バイト 0111 : データ長 7 バイト 1xxx : データ長 8 バイト</p> <p>【注】 x : Don't care</p>

【注】 n : 0~15 (メールボックス番号)

表 19.3 メールボックスの機能の設定

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明	
0	0	0	可	可	不可	不可	• メールボックス 0 は 使用禁止	
0	0	1	可	可	不可	可	• ATX で使用可能* • メールボックス 0 は 使用禁止 • LAFM は使用可能	
0	1	0	不可	不可	可	可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
0	1	1	不可	不可	可	不可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
1	0	0	設定禁止					
1	0	1	設定禁止					
1	1	0	設定禁止					
1	1	1	メールボックスインアクティブ (初期値)					

【注】 * 自動再送信をサポートするために、MBC が B'011 で ATX が 1 のとき RTR は 0 にしてください。ATX が 1 の設定で使用されるときは IDE のフィルタは使用しないでください。

19.3.3 ローカルアクセプタンスフィルタマスク (LAFM)

MBC が B'001、B'010、B'011 の値の場合、このフィールドは受信用の LAFM として使用されます。LAFM はメールボックスが複数の受信 ID を受け入れることを許可します。LAFM は、図 19.4 に示すとおり、2 つの 16 ビットの読み出し / 書き込み可能なエリアから成ります。

レジスタ名	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
MBn.LAFMH	H'104+n×32	IDE_LAFM	0	0	STDID_LAFM[10:0]												EXTID_LAFM[17:16]	16/32ビット	LAFM
MBn.LAFML	H'106+n×32	EXTID_LAFM[15:0]															16ビット		

【注】 n : 0 ~ 15 (メールボックス番号)

図 19.4 ローカルアクセプタンスフィルタマスク (LAFM)

1 つのビットが LAFM にセットされている場合、RCAN-ET が一致する CAN-ID でメールボックスを検索するとき、受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールボックスに設定されている STDID/IDE/EXTID と一致していません。LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. RCAN-ET は、メールボックス 15 からメールボックス 0 まで、一致する ID の検索を開始します。RCAN-ET は一致する ID を検知すると、直ちに検索を終了し、そのメッセージは NMC や RXPR/RFPR フラグによらず格納されます。これは、LAFM を使用していても受信メッセージは 1 つのメールボックスにのみ格納されることを示します。
 2. 1 つのメッセージが受信され一致するメールボックスが見つかったら、メッセージ全体がメールボックスに格納されます。LAFM を使用している場合、STDID、RTR、IDE、EXTID は受信されたメッセージの STDID、RTR、IDE、EXTID に更新されるので、受信前に設定されていたものと異なります。

レジスタ名	アドレス	ビット	ビット名	説明
MB[n]. LAFMH	H'104+n×32	15	IDE_LAFM	IDE ビットのフィルタマスクビット 0 : 対応する IDE ビットが有効 1 : 対応する IDE ビットが無効
		14, 13	-	リザーブビット 書き込む値は 0 にしてください。読み出し値は保証されません。
		12 ~ 2	STDID_LAFM [10:0]	STDID[10:0]のフィルタマスクビット 0 : 対応する STDID ビットが有効 1 : 対応する STDID ビットが無効
		1, 0	EXTID_LAFM [17:16]	EXTID[17:0]のフィルタマスクビット 0 : 対応する EXTID ビットが有効 1 : 対応する EXTID ビットが無効
MB[n]. LAFML	H'106+n×32	15 ~ 0	EXTID_LAFM [15:0]	1 : 対応する EXTID ビットが無効

【注】 n : 0 ~ 15 (メールボックス番号)

19.3.4 メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

19.4 RCAN-ET のコントロールレジスタ

RCAN-ET のコントロールレジスタについて説明します。RCAN-ET のコントロールレジスタはワードサイズ(16 ビット)でのみアクセスできます。

表 19.4 に RCAN-ET のコントロールレジスタを示します。

表 19.4 RCAN-ET のコントロールレジスタの構成

レジスタ名	略称	アクセスサイズ (ビット)
マスタコントロールレジスタ	MCR	ワード
ジェネラルステータスレジスタ	GSR	ワード
ビットタイミングコンフィギュレーションレジスタ 1	BCR1	ワード
ビットタイミングコンフィギュレーションレジスタ 0	BCR0	ワード
インタラプトリクエストレジスタ	IRR	ワード
インタラプトマスクレジスタ	IMR	ワード
送信エラーカウンタ / 受信エラーカウンタ	TEC/REC	ワード

19.4.1 マスタコントロールレジスタ (MCR)

MCR は、16 ビットの読み出し / 書き込み可能なレジスタで、RCAN-ET を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCR15	MCR14	-	-	-	TST[2:0]		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MCR15	1	R/W	<p>ID 並べ替え</p> <p>本ビットは HCAN2 と互換性のあるメッセージコントロールおよび LAFM の STDID、RTR、IDE、EXTID の順序を設定できます。なお本ビットはリセットモードでのみ変更可能です。ID 並び替えの順序については図 19.5 を参照してください。</p> <p>0 : RCAN-ET と HCAN2 は同等の順序 1 : RCAN-ET と HCAN2 は異なる順序</p>

ビット	ビット名	初期値	R/W	説明
14	MCR14	0	R/W	<p>自動バスオフホルト</p> <p>本ビットと MCR6 がともに設定された場合、RCAN-ET がバスオフ状態に入ると MCR1 は直ちに自動的にセットされます。本ビットはリセットモードでのみ変更可能です。</p> <p>0: 通常の復帰シーケンス (128 × 11 レセツシブビット) で RCAN-ET バスオフ状態を維持</p> <p>1: MCR6 がセットされると RCAN-ET はバスオフ状態のあと、直ちにホルトモードに入ります</p>
13~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
10~8	TST[2:0]	000	R/W	<p>テストモード</p> <p>本ビットはテストモードを有効/無効にします。テストモードを起動する前に、RCAN-ET をホルトモードあるいはリセットモードにする必要がありますので注意してください。これは、テストモードへの遷移が進行中の送受信に影響することを回避するためです。詳細については「19.6.2 テストモードの設定」を参照してください。</p> <p>テストモードは診断およびテストのためだけに用いるもので、RCAN-ET が通常動作時には使用できません。</p> <p>000: ノーマルモード</p> <p>001: リスンオンリモード (受信専用モード)</p> <p>010: セルフテストモード 1 (外部)</p> <p>011: セルフテストモード 2 (内部)</p> <p>100: ライトエラーカウンタ</p> <p>101: エラーパッシブモード</p> <p>110: 設定禁止</p> <p>111: 設定禁止</p>
7	MCR7	0	R/W	<p>自動ウェイクモード</p> <p>本ビットは CAN スリープモードの自動ウェイクモードを有効/無効にします。本ビットが設定されると、RCAN-ET は CAN バスアクティビティ (ドミナントビット) を検出して自動的に CAN スリープモード (MCR5) を解除します。本ビットがクリアされると RCAN-ET は自動的に CAN スリープモードを解除しません。</p> <p>RCAN-ET は、RCAN-ET をウェイクアップしたメッセージを格納できません。</p> <p>0: CAN バスのアクティビティによる自動ウェイクモードが無効</p> <p>1: CAN バスのアクティビティによる自動ウェイクモードが有効</p> <p>【注】 CAN スリープモード中は MCR7 ビットを変更できません。</p>

ビット	ビット名	初期値	R/W	説明
6	MCR6	0	R/W	<p>バスオフ時ホルト</p> <p>本ビットは、バスオフ時に MCR1 がセットされると直ちにホルトモードに入ることを有効にするか無効にするかを設定します。本ビットはリセットあるいはホルトモードでのみ変更可能です。バスオフ時にホルトモードに入った場合、CAN コントローラも直ちにエラーアクティブモードに復帰するので注意してください。</p> <p>0 : MCR1 がセットされても、バスオフ時にホルトモードには入らず、復帰シーケンスが終了するのを待ちます</p> <p>1 : バスオフ時に MCR1 または MCR14 がアサートされると、直ちにホルトモードに入ります</p>
5	MCR5	0	R/W	<p>CAN スリープモード</p> <p>本ビットは CAN スリープモードへの遷移を有効 / 無効にします。RCAN-ET がホルトモード時に本ビットがセットされると、CAN スリープモードへの遷移が有効になります。本ビットの設定は、ホルトモードに入った後に許可されます。2 つのエラ - カウンタ (REC、TEC) は CAN スリープモードの間は変化しません。CAN スリープモードを解除するには 2 つの方法があります。</p> <ul style="list-style-type: none"> • MCR5 ビットに 0 を書き込む • MCR7 が有効の場合、CAN バス上のドミナントビットを検出する <p>自動ウェイクアップモードが無効であれば、CAN スリープモードが終了するまで RCAN-ET はすべての CAN バスの動作を無視します。CAN スリープモードを解除するときは、RCAN-ET は CAN バス動作に入る前に 11 個のリセットビットをチェックすることで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに RCAN-ET が最初のメッセージを受信できないことを意味します。同様に CAN トランシーバもスタンバイモードを終了するときには最初のメッセージを受信できませんので、ソフトウェアはこの方法で設計する必要があります。</p> <p>CAN スリープモード中は MCR、GSR、IRR、IMR レジスタだけがアクセス可能です。</p> <p>0 : CAN スリープモードが解除されています</p> <p>1 : CAN スリープモードへの遷移が有効です</p> <p>【注】 RCAN-ET は、最初にホルトモードに設定してから CAN スリープモードに遷移することを推奨します。これにより、CAN スリープモードに遷移する前に CPU が待ち状態のすべての割り込みをクリアすることができます。すべての割り込みがクリアされてしまうと同時に RCAN-ET はホルトモードから CAN スリープモードに遷移しなければなりません。(具体的には MCR5 に 1 を、MCR1 に 0 を同時にライトします。)</p>
4、3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信プライオリティ</p> <p>本ビットはペンディング中の送信データの送信順序を選択します。本ビットを1にセットした場合、送信データは送信待ちレジスタ (TXPR) のビット順で送信されます。送信はメールボックス 15 を最優先で開始し、メールボックス 1 まで続けます (メールボックスが送信用に設定されている場合)。もし本ビットがクリアされると、すべての送信メッセージは (内部アービトレーションを走らせることにより) 優先順位どおりキューに入ります。最優先のメッセージは最小の数字のアービトレーションフィールド (STDID + IDE ビット + EXTID (IDE = 1 の場合) + RTR ビット) を持ち、最初に送信されます。内部アービトレーションは RTR ビットと IDE ビットを含みません (内部アービトレーションは、2 つの CAN ノード間の CAN バス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します)。本ビットはリセットあるいはホルトモードでのみ変更可能です。</p> <p>0 : メッセージ ID 優先順に送信</p> <p>1 : メールボックス番号順 (メールボックス 15 → メールボックス 1) に送信</p>

ビット	ビット名	初期値	R/W	説明
1	MCR1	0	R/W	<p>ホルトリクエスト</p> <p>本ビットをセットするとCANコントローラは現在の動作を終了したのちホルトモードに入ります(ここでCANバスからは切り離されます)。RCAN-ETは本ビットがクリアされるまでホルトモードのままになります。ホルトモード中、CANインタフェースはCANバス動作に関係せず、メッセージの格納や送信も行いません。ホルト状態を自身に通知するためのIRR0とGSR4を除き、ユーザレジスタ(メールボックスの内容およびTEC/RECを含みます)の内容は保持されます。CANバスがアイドルまたはインタミッション状態の場合は、MCR6にかかわらずRCAN-ETは1ビット時間内にホルトモードになります。MCR6がセットされると、バスオフ中のホルトリクエストも1ビット時間内に動作します。それ以外ではバスオフ復帰シーケンスは事前に完了します。ホルトモードになるとIRR0とGSR4によって通知されます。</p> <p>MCR14とMCR6がセットされると、本ビットはRCAN-ETがバスオフ状態になればすぐに自動的にセットされます。</p> <p>ホルトモード中、RCAN-ETはバス動作に関係しないため、ビットタイミング設定を除きRCAN-ETの構成を変更することができます。CANバス動作に再び参加するには、本ビットを0にクリアする必要があります。クリア後、RCAN-ETは11個のレセッシブビットが検出されるまで待ち、CANバスに参加します。</p> <p>0: ホルトモードリクエストをクリア 1: ホルトモード遷移リクエスト</p> <p>【注】 1. ホルトリクエストが発行された後は、CPUはホルトモードへの遷移が完了するまで(IRR0とGSR4で通知されます)TXPRとTXCRにアクセスおよび本ビットをクリアすることができません。MCR1がセットされた後、この状態はホルトモードに入ってから、(ソフトウェアまたはハードウェアでの)リセット動作でのみ解除できます。</p> <p>2. ホルトモードへあるいはホルトモードからの遷移が可能なのは、BCR1とBCR0レジスタが適切なポーレートに設定されているときだけです。</p>

ビット	ビット名	初期値	R/W	説明
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>本ビットは RCAN-ET モジュールのリセットを制御します。本ビットが 0 から 1 に変わったとき、RCAN-ET コントローラはリセットルーチンに入り、内部ロジックを再び初期化して、リセットモードを通知するため GSR3 と IRR0 をセットします。すべてのユーザレジスタが初期化されます。</p> <p>本ビットがセットされている間、RCAN-ET は再設定することができます。 (コンフィグレーションモード)</p> <p>CAN バスに参加するために本ビットは 0 をライトしてクリアする必要があります。クリア後、RCAN-ET は、11 個のレセッシブビットの検出を待って CAN バスに参加します。</p> <p>CAN バス上の値をサンプリングするためにボーレートを通じた値にセットする必要があります。パワーオンリセット後には、このビットと GSR3 は常にセットされます。これはリセットがリクエストされ RCAN-ET を設定する必要があることを示します。</p> <p>リセットリクエストはパワーオンリセットに相当しますがソフトウェアで制御されます。</p> <p>0 : リセットモードリクエストをクリア 1 : CAN インタフェースのリセットモード遷移リクエスト</p>

・ MCR15 (ID並べ替え) = 0

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+n × 32	0	STDID[10:0]											RTR	IDE	EXTID[17:16]	16/32ビット	コントロール0	
H'102+n × 32	EXTID[15:0]																	16ビット
H'104+n × 32	0	STDID_LAFM[10:0]											0	IDE_LAFM	EXTID_LAFM [17:16]	16/32ビット	LAFMフィールド	
H'106+n × 32	EXTID_LAFM[15:0]																	16ビット

・ MCR15 (ID並べ替え) = 1

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+n × 32	IDE	RTR	0	STDID[10:0]											EXTID[17:16]	16/32ビット	コントロール0	
H'102+n × 32	EXTID[15:0]																	16ビット
H'104+n × 32	IDE_LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM [17:16]	16/32ビット	LAFMフィールド	
H'106+n × 32	EXTID_LAFM[15:0]																	16ビット

【注】 n : 0-15 (メールボックス番号)

図 19.5 ID 並べ替え

19.4.2 ジェネラルステータスレジスタ (GSR)

GSR は、16 ビットの読み出し専用レジスタで、RCAN-ET の状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 書き込む値は常に0にしてください。読み出すと常に0が読み出されます。
5	GSR5	0	R	エラーバツプステータス CAN インタフェースがエラーバツプかどうかを示します。本ビットは RCAN-ET がエラーバツプ状態になるとすぐに1にセットされ、再びエラーアクティブ状態になるとクリアされます。これは、エラーバツプ中とバスオフ中は、GSR5は1を保持することを意味します。したがって、正確な状態を知るには GSR5 と GSR0 の両方を調べてください。 0: RCAN-ET はエラーバツプあるいはバスオフ状態ではありません [クリア条件] RCAN-ET がエラーアクティブ状態の間 1: RCAN-ET がエラーバツプ (ただし GSR0=0 の場合) あるいはバスオフ (ただし GSR0=1 の場合) です [セット条件] TEC ≥ 128、REC ≥ 128、またはエラーバツプテストモードが選択されているとき
4	GSR4	0	R	ホルト/スリープステータス CAN コントローラがホルト/スリープかどうかを示します。本フラグのクリア時間は IRR12 のセッティング時間とは同じではありませんので留意してください。このフラグは CAN コントローラの状態を反映するもので、RCAN-ET の状態をフルに反映するものではありません。RCAN-ET は CAN スリープモードを終了し MCR5 がクリアされるとアクセス可能になります。CAN コントローラの CAN スリープモードは、転送クロック 2 ビット分経過後に終了します。 0: RCAN-ET はホルトモードでも CAN スリープモードでもありません 1: ホルトモード (MCR1=1 の場合) または CAN スリープモード (MCR5=1 の場合) です [セット条件] MCR1 がセットされ CAN バスがインタミッションまたはアイドルの場合、または MCR5 がセットされ RCAN-ET がホルトモードのとき、または MCR14 と MCR6 が両者ともセットされて RCAN-ET がバスオフへ遷移したとき
3	GSR3	1	R	リセットステータス RCAN-ET がリセット状態かどうかを示します。 0: RCAN-ET はリセット状態ではありません 1: RCAN-ET がリセット状態です [セット条件] RCAN-ET のソフトウェアまたはハードウェアリセットの後

ビット	ビット名	初期値	R/W	説明
2	GSR2	1	R	<p>メッセージ送信進行フラグ</p> <p>RCAN-ET がバスオフ状態にあるのか、メッセージを送信中なのかまたは送信中に検出されたエラー起因によるエラー / オーバロードのフラグを送信中なのかを CPU に示すフラグです。TXACK をセットするタイミングと GSR2 をクリアするタイミングとは異なります。TXACK はフレームエンドの 7 番目のビットにセットされます。GSR2 については、送信待ちのメッセージがない場合には、インタミッションの 3 番目のビットでセットされます。また、アービトレーションロスト、バスアイドル、受信、リセット、ホルト遷移でもセットされます。</p> <p>0 : RCAN-ET はバスオフ状態またはメッセージを送信中です 1 : [セット条件] バスオフ状態でない、またはメッセージを送信中でない</p>
1	GSR1	0	R	<p>送信 / 受信ワーニングフラグ</p> <p>エラーワーニングを示すフラグです。</p> <p>0 : [クリア条件] $TEC < 96$ かつ $REC < 96$ またはバスオフのとき 1 : [セット条件] $96 \leq TEC < 256$ または $96 \leq REC < 256$ のとき</p> <p>【注】 REC は、バスオフ復帰シーケンスに必要な 11 個のレセツピットの繰り返し回数をカウントするために、バスオフ中は増加します。ただし、本ビットはバスオフ中にはセットされません。</p>
0	GSR0	0	R	<p>バスオフフラグ</p> <p>RCAN-ET がバスオフ状態であることを示します。</p> <p>0 : [クリア条件] バスオフ状態から復帰またはハードウェアあるいはソフトウェアリセットの後 1 : [セット条件] $TEC \geq 256$ (バスオフ状態)</p>

19.4.3 ビットタイミングコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)

BCR0、BCR1 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケアラを設定します。

以下、タイムクオンタを以下のとおり定義します。

$$\text{タイムクオンタ} = 2 \times \text{BRP} / f_{\text{clk}}$$

BRP (ボーレートプリスケアラ) は BCR 格納値 + 1 の値です。 f_{clk} は周辺クロック周波数です。

(1) BCR1

TSEG1 と TSEG2 の設定については表 19.5 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG1[3:0]				-	TSG2[2:0]			-	-	SJW[1:0]		-	-	-	BSP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~12	TSG1[3:0]	0000	R/W	タイムセグメント 1 これらのビットは、CAN バス上のエッジをポジティブフェーズエラーで補償するため、セグメント TSEG1 (= PRSEG + PHSEG1) を設定するために使用します。4~16 タイムクオンタが設定できます。 0000 : 設定禁止 0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1 = 4 タイムクオンタ 0100 : PRSEG + PHSEG1 = 5 タイムクオンタ : : 1111 : PRSEG + PHSEG1 = 16 タイムクオンタ
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

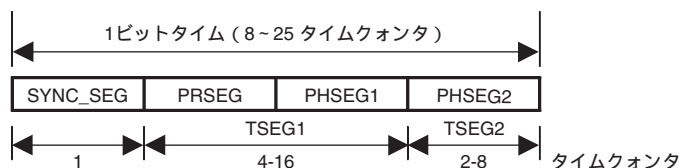
ビット	ビット名	初期値	R/W	説明
10~8	TSG2[2:0]	000	R/W	<p>タイムセグメント 2</p> <p>これらのビットは、CAN バス上のエッジをネガティブフェーズエラーで補償するため、セグメント TSEG2 (= PHSEG2) を設定することに使用します。2~8 タイムクオンタが設定できます。</p> <p>000 : 設定禁止</p> <p>001 : PHSEG2 = 2 タイムクオンタ (条件によっては設定禁止です。表 19.5 を参照してください)</p> <p>010 : PHSEG2 = 3 タイムクオンタ</p> <p>011 : PHSEG2 = 4 タイムクオンタ</p> <p>100 : PHSEG2 = 5 タイムクオンタ</p> <p>101 : PHSEG2 = 6 タイムクオンタ</p> <p>110 : PHSEG2 = 7 タイムクオンタ</p> <p>111 : PHSEG2 = 8 タイムクオンタ</p>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
5、4	SJW[1:0]	00	R/W	<p>再同期ジャンプ幅</p> <p>同期ジャンプ幅を設定します。</p> <p>00 : 同期ジャンプ幅 = 1 タイムクオンタ</p> <p>01 : 同期ジャンプ幅 = 2 タイムクオンタ</p> <p>10 : 同期ジャンプ幅 = 3 タイムクオンタ</p> <p>11 : 同期ジャンプ幅 = 4 タイムクオンタ</p>
3~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
0	BSP	0	R/W	<p>ビットサンプルポイント</p> <p>データがサンプリングされるポイントを設定します。</p> <p>0 : 1 か所でビットサンプリングが行われます (タイムセグメント 1 の最後)</p> <p>1 : 3 か所でビットサンプリングが行われます (PHSEG1 の最終 3 クロックサイクルの立ち上がりエッジ)</p>

(2) BCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BRP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
7~0	BRP[7:0]	00000000	R/W	ポーレートプリスケール これらのビットは、1 タイムクオンタに対応する周辺クロック数を設定します。 00000000 : 2×周辺クロック 00000001 : 4×周辺クロック 00000010 : 6×周辺クロック : 2×(レジスタ値+1)×周辺クロック 11111111 : 512×周辺クロック

- ビットタイミングコンフィギュレーションレジスタについて



SYNC_SEG : CAN バス上のノードの同期をするセグメント (通常のビットエッジ遷移がこのセグメントで発生します)

PRSEG : ネットワーク間の物理的な遅延を調整するセグメント

PHSEG1 : フェーズドリフト (正方向) のバッファセグメント (同期または再同期の際、拡張されます)

PHSEG2 : フェーズドリフト (負方向) のバッファセグメント (同期または再同期の際、縮小されます)

TSEG1 : TSG1 + 1

TSEG2 : TSG2 + 1

RCAN-ET ビットレートは以下のとおり計算されます。

$$\text{ビットレート} = \text{clk} / 2 \times (\text{BRP} + 1) \times (\text{TSEG1} + \text{TSEG2} + 1)$$

BRP はレジスタ値で与えられ、また TSEG1 および TSEG2 は後述の表から算出した値です。上記ビットレート計算式のタイムセグメント「+1」は SYNC_SEG の 1 タイムクオンタであることによります。

f_{clk} = 周辺クロック

BCR 設定上の制約となる事項

$$TSEG1 (\text{Min.}) > TSEG2 \geq SJW (\text{Max.}) \quad (SJW = 1 \sim 4)$$

$$8 \leq TSEG1 + TSEG2 + 1 \leq 25 \text{ タイムクオンタ } (TSEG1 + TSEG2 + 1 = 7 \text{ は不可})$$

$$TSEG2 \geq 2$$

ビットタイミングコンフィギュレーションレジスタの TSEG1 および TSEG2 の値が表 19.5 に示される設定値の範囲であれば、上述の制限事項を満たします。表 19.5 の値は SJW の設定可能値を示したものです。「不可」で示されたところは TSEG1 と TSEG2 との組み合わせがとれません。

表 19.5 TSG と TSEG の設定

		001	010	011	100	101	110	111	TSG2
		2	3	4	5	6	7	8	TSEG2
TSG1	TSEG1								
0011	4	不可	1-3	不可	不可	不可	不可	不可	
0100	5	1-2	1-3	1-4	不可	不可	不可	不可	
0101	6	1-2	1-3	1-4	1-4	不可	不可	不可	
0110	7	1-2	1-3	1-4	1-4	1-4	不可	不可	
0111	8	1-2	1-3	1-4	1-4	1-4	1-4	不可	
1000	9	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1001	10	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1010	11	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1011	12	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1100	13	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1101	14	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1110	15	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1111	16	1-2	1-3	1-4	1-4	1-4	1-4	1-4	

例 1 : f_{clk} が 40MHz でビットレートを 500kbps とする場合、BRP = 3、TSEG1 = 6、TSEG2 = 3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0003 をライトすることになります。

例 2 : f_{clk} が 35MHz でビットレートを 250kbps とする場合、BRP = 4、TSEG1 = 8、TSEG2 = 5 が条件を満たします。この場合、BCR1 には H'7400、BCR0 には H'0004 をライトすることになります。

例 3 : f_{clk} が 32MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 11、TSEG2 = 4 が条件を満たします。この場合、BCR1 には H'A300、BCR0 には H'0001 をライトすることになります。

例 4 : f_{clk} が 20MHz でビットレートを 250kbps とする場合、BRP = 1、TSEG1 = 6、TSEG2 = 3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0001 をライトすることになります。

19.4.4 インタラプトリクエストレジスタ (IRR)

IRR は、16 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因のステータスフラグで構成されています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	IRR13	IRR12	-	-	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット
13	IRR13	0	R/W	<p>メッセージエラー割り込み</p> <p>本割り込みは、テストモードでメッセージエラーが発生したことを示します。ただし、テストモード中にメッセージオーバーロード条件が発生しても、本ビットはセットされません。また、テストモード以外では機能しません。</p> <p>0: テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1: [セット条件] テストモードでメッセージエラーが発生</p>
12	IRR12	0	R/W	<p>CAN スリープモード時バスアクティビティ</p> <p>本ビットは CAN バスアクティビティの存在を示します。RCAN-ET が CAN スリープモードのとき、CAN バス上でドミナントビットを検出すると、本ビットがセットされます。本ビットに 1 を書き込むと割り込みがクリアされます。0 を書き込むと無視されます。オートウェイクアップ機能を使用せず本割り込みが要求されない場合は、対応するマスクビットで必ず本割り込みを無効にしてください。オートウェイクアップ機能不使用時に本割り込みが要求された場合は、CAN スリープモードから復帰した後に本ビットをクリアしてください。これは、受信ライン上の新しい立ち下がりエッジにより、再び割り込みがセットされるのを防ぐためです。</p> <p>本割り込みのセット時間は、GSR4 のクリア時間と異なりますので注意してください。</p> <p>0: バスアイドル状態</p> <p>[クリア条件] 1 を書き込む</p> <p>1: CAN バスアクティビティが CAN スリープモードで検出</p> <p>[セット条件] CAN スリープモード中に CRx 上でドミナントへのビット状態変化を検出</p>
11、10	-	すべて 0	R	リザーブビット

ビット	ビット名	初期値	R/W	説明
9	IRR9	0	R	<p>メッセージオーバーラン/オーバーライト割り込みフラグ</p> <p>本ビットは、メッセージを受信したが、対応する RXPR または RFPR がすでに 1 にセットされているためメールボックス内のメッセージが読み出されず、CPU によってクリアされていないことにより新しく受信されたメッセージは NMC ビットの設定によって、捨てられる (オーバーラン) か上書き (オーバーライト) されたことを示します。本ビットは UMSR レジスタの対応するビットに 1 を書き込むとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0 : メッセージオーバーラン/オーバーライト通知がない</p> <p>[クリア条件] UMSR のすべてのビットがクリアまたはセットされたすべての UMSR に対応する MBIMR がセット</p> <p>1 : オーバーランが発生したため、受信メッセージが捨てられた。またはメッセージがオーバーライトされた</p> <p>[セット条件] 対応する PXPB または RFPR = 1 かつ MBIMR = 0 のときにメッセージを受信</p>
8	IRR8	0	R	<p>メールボックスエンプティ割り込みフラグ</p> <p>送信用に設定されたメッセージの 1 つが正常に送信 (対応する TXACK フラグがセット) または送信アボート (送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット) されると本ビットがセットされます。このとき、対応する TXPR ビットがクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。</p> <p>実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0 : 送信または送信キャンセルするメッセージが処理中でない</p> <p>[クリア条件] すべての TXACK および ABACK ビットがクリアまたは、セットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット</p> <p>1 : メッセージが送信または送信アボート (送信キャンセル) され、次のメッセージの格納が可能となった</p> <p>[セット条件] TXACK または ABACK ビットがセットされたとき (MBIMR = 0 の場合)</p>

ビット	ビット名	初期値	R/W	説明
7	IRR7	0	R/W	<p>オーバーロードフレーム</p> <p>RCAN-ET がオーバーロードフレームの送信を検出したことを示すフラグです。IRR7 に 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む 1 : [セット条件] オーバロード条件を検出</p>
6	IRR6	0	R/W	<p>バスオフ割り込みフラグ</p> <p>本ビットは、RCAN-ET がバスオフ状態になったとき、またはバスオフ状態からエラーアクティブ状態に戻ったときセットされます。したがって、ノードの $TEC \geq 256$、バスオフ復帰シーケンスの終了 (11 個のレセツシブビットを 128 回連続受信) またはバスオフから停止状態への遷移 (オートまたはマニュアル) が要因となります。本ビットは RCAN-ET がバスオフ解除となった後もセットされた状態となりますので、ソフトウェアでクリアする必要があります。ソフトウェアで GSR0 をリードし RCAN-ET がバスオフ状態からエラーアクティブ状態が判定してください。本ビットはノードがまだバスオフ状態であっても 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む 1 : 送信エラーによりバスオフ状態に遷移した、またはバスオフ状態からエラーアクティブ状態に復帰した [セット条件] $TEC \geq 256$ または 11 個のレセツシブビットを 128 回連続受信した後バスオフ終了またはバスオフから停止状態へ遷移</p>
5	IRR5	0	R/W	<p>エラーパッシブ割り込みフラグ</p> <p>受信または送信エラーカウンタによるエラーパッシブ状態、またはテストモードによって強制的にエラーパッシブ状態になったことを示します。本ビットに 1 を書き込むとクリアされ、0 を書き込むと無視されます。本ビットがクリアされてもノードはエラーパッシブ状態のままとなる場合があります。ソフトウェアで GSR0 および GSR5 をチェックし、RCAN-ET がエラーパッシブ状態であるかバスオフ状態であるか判定する必要があります。</p> <p>0 : [クリア条件] 1 を書き込む 1 : 送信 / 受信エラーによるエラーパッシブ状態 [セット条件] $TEC \geq 128$ または $REC \geq 128$ またはエラーパッシブテストモードを使用</p>
4	IRR4	0	R/W	<p>受信エラーカウンタワーニング割り込みフラグ</p> <p>RCAN-ET がバスオフ状態でないときに受信エラーカウンタ (REC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む 1 : 受信エラーによるエラーワーニング状態 [セット条件] RCAN-ET がバスオフ状態以外で $REC \geq 96$</p>

ビット	ビット名	初期値	R/W	説明
3	IRR3	0	R/W	<p>送信エラーカウンタワーニング割り込みフラグ</p> <p>送信エラーカウンタ (TEC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む 1: 送信エラーによるエラーワーニング状態</p> <p>[セット条件] TEC ≥ 96</p>
2	IRR2	0	R	<p>リモートフレームリクエスト割り込みフラグ</p> <p>メールボックスがリモートフレームを受信したことを示します。対応する MBIMR がセットされていない少なくとも 1 つのメールボックスに、リモートフレーム送信リクエストが格納されているとセットされます。本ビットは、リモートフレーム受信完了レジスタ (RFPR) のすべてのビットがクリアされるとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0: [クリア条件] RFPR のすべてのビットがクリア 1: 少なくとも 1 つのリモートフレームリクエストが処理待ち状態</p> <p>[セット条件] 対応する MBIMR = 0 のときリモートフレームを受信</p>
1	IRR1	0	R	<p>データフレーム受信割り込みフラグ</p> <p>処理待ち状態の受信データフレームが存在することを示します。本ビットが 1 のとき、少なくとも 1 つのメールボックスに未処理のメッセージが格納されています。本ビットは、データフレーム受信完了レジスタ (RXPR) のすべてのビットがクリアされると (どの受信メールボックスにも未処理のメッセージがない) クリアされます。MBIMR が 0 でない各受信メールボックスの RXPR フラグの論理和が設定されます。</p> <p>また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0: [クリア条件] RXPR のすべてのビットがクリア 1: データフレームを受信しメールボックスに格納した</p> <p>[セット条件] 対応する MBIMR = 0 のときデータを受信</p>

ビット	ビット名	初期値	R/W	説明
0	IRR0	1	R/W	<p>リセット/ホルト/スリープ割り込みフラグ 下記の3つの要因によってセットされます。</p> <ul style="list-style-type: none"> ソフトウェアリセット (MCR0) またはハードウェアリセット後、リセットモードに遷移 ホルトリクエスト (MCR1) の後、ホルトモードに遷移 ホルトモードでスリープリクエスト (MCR5) 発行後、CAN スリープモードに遷移 <p>本ビットがセットされた後 GSR をリードして、RCAN-ET の状態を知ることができます。</p> <p>【注】 スリープモードリクエストを発行する必要がある場合、事前にホルトモードを使用してください。MCR5の説明および図 19.8 を参照してください。</p> <p>IRR0 は GSR3 または GSR4 が 0 から 1 に変化したとき、またはホルトモードから CAN スリープモードに遷移したときにセットされます。したがって、RCAN-ET がホルトモード解除の直後に再びホルトモードに遷移した場合は GSR4 がクリアされないため、IRR0 はセットされません。同様に、CAN スリープモードからホルトモードに直接遷移した場合も IRR0 はセットされません。ホルトモード / CAN スリープモードから送信 / 受信動作に遷移する際、GSR4 がクリアされるまでに [1 ビット時間 - TSEG2] ~ [1 ビット時間 × 2 - TSEG2] の時間が必要です。</p> <p>リセットモードの場合、IRR0 はセットされますが初期化によって IMR0 が自動的にセットされるため、CPU への割り込みはアサートされません。</p> <p>0 : [クリア条件] 1 を書き込む 1 : ソフトウェアリセットモードまたはホルトモードまたは CAN スリープモードへ遷移</p> <p>[セット条件] リセット (MCR0 またはハードウェア) またはホルトモード (MCR1) または CAN スリープモード (MCR5) リクエストの後、リセット/ホルト/CAN スリープモードへの遷移が完了</p>

19.4.5 インタラプトマスクレジスタ (IMR)

IMR は、16 ビットの読み出し / 書き込み可能なレジスタで、インタラプトリクエストレジスタ (IRR) の各ビットに対応する割り込みの IRQ 出力信号の生成をマスクします。ビットを 1 に設定すると対応する割り込み要求がマスクされます。IMR は IRQ の生成を直接制御しますが、IRR の対応するビットのセットを禁止しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	IMR[15:0]	すべて 1	R/W	IRR[15:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0 : 対応する IRR をマスクしない (割り込み要因が発生すると IRQ が生成される) 1 : IRR の対応する割り込みをマスクする

19.4.6 送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)

TEC および REC は、読み出し / 条件付き書き込み可能な 16 ビットのレジスタで、CAN インタフェースにおける送信 / 受信メッセージエラー数を示すカウンタです。カウント値は前述した参考文献の[1]、[2]、[3]、[4]に規定されています。ライトエラーカウンタテストモード以外では本レジスタはリード専用で、CAN インタフェースによってのみ書き換え可能です。本レジスタは、リセットリクエスト (MCR0) またはバスオフ状態への遷移によってクリアされます。

ライトエラーカウンタテストモード (TST[2:0] = B'100) では、本レジスタへの書き込みが可能です。TEC および REC には同じ値しか書き込めません。TEC に書き込まれた値は TEC および REC に設定されます。本レジスタに書き込む際は、RCAN-ET をホルトモードにする必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * MCR の TST[2:0] = B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 個のレセッシブビットの受信回数をカウントします。

ビット	ビット名	初期値	R/W	説明
15~8	TEC[7:0]	すべて 0	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。
7~0	REC[7:0]	すべて 0	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。

19.5 RCAN-ET のメールボックスレジスタ

RCAN-ET のメールボックスレジスタについて説明します。RCAN-ET のメールボックスレジスタは、各メールボックスを制御し、メールボックスの状態を示します。

表 19.6 に RCAN-ET のメールボックスレジスタを示します。

【重要】 ロングワードアクセスは、2 つの連続したワードアクセスとして行われます。

表 19.6 RCAN-ET のメールボックスレジスタ

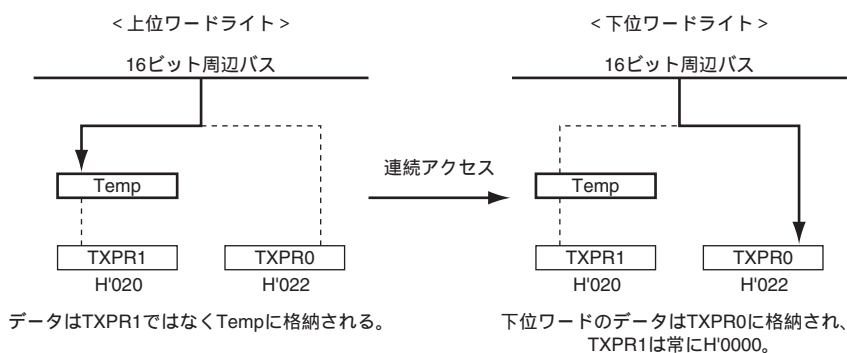
レジスタ名	略称	アドレス	アクセスサイズ (ビット)
送信待ちレジスタ 1	TXPR1	H'020	ロングワード
送信待ちレジスタ 0	TXPR0	H'022	-
		H'024	
		H'026	
		H'028	
送信キャンセルレジスタ 0	TXCR0	H'02A	ワード
		H'02C	
		H'02E	
		H'030	
送信アクノリッジレジスタ 0	TXACK0	H'032	ワード
		H'034	
		H'036	
		H'038	
アボートアクノリッジレジスタ 0	ABACK0	H'03A	ワード
		H'03C	
		H'03E	
		H'040	
データフレーム受信完了レジスタ 0	RXPR0	H'042	ワード
		H'044	
		H'046	
		H'048	
リモートフレーム受信完了レジスタ 0	RFPR0	H'04A	ワード
		H'04C	
		H'04E	
		H'050	
メールボックスインタラプトマスクレジスタ 0	MBIMR0	H'052	ワード
		H'054	
		H'056	
		H'058	

レジスタ名	略称	アドレス	アクセスサイズ(ビット)
未読メッセージステータスレジスタ 0	UMSR0	H'05A	ワード
		H'05C	
		H'05E	

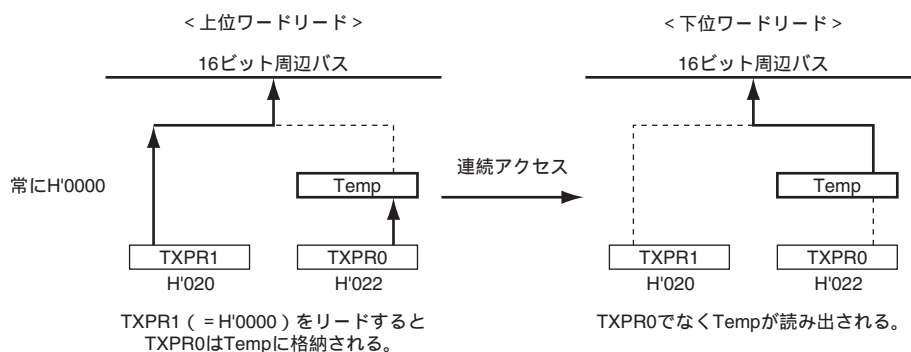
19.5.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0)

TXPR1 と TXPR0 は連結され、CAN モジュールの送信待ちフラグを格納する 32 ビットのレジスタを構成します。16 ビットバスインタフェースの場合、ロングワードアクセスは、2 つの連続したワードアクセスとして行われます。

<ロングワードライト動作>



<ロングワードリード動作>



TXPR1 レジスタは常に 0 固定で、TXPR1 レジスタへの書き込みは無効です。TXPR0 レジスタはメールボックス 15~1 を制御します。CPU はビットに 1 を書き込むことで対応する送信メッセージに対して操作することができます。0 書き込みは無効で、TXPR をクリアするには TXCR の対応するビットをセットしなければなりません。CPU は TXPR をリードして、送信待ちのメールボックスおよび送信中のメールボックスを知ることができます。実際には、メールボックス 0 以外のすべてのメールボックスについて送信待ちビットが存在します。また、送信に設定されていないメールボックスに対するビットに 1 を書き込むことは禁止されています。

メッセージが正常に送信された後、または TXCR からの送信アボートが行われた後、RCAN-ET は対応する送信待ちフラグをクリアします。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART(自動再送信無効)ビットがセットされていなければ、RCAN-ET は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアボートアノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されず。

TXPR の状態が変化したときは、バスアービトレーションに負けたり CAN バス上にエラーが発生した場合でも、ID が示す優先順位 (MCR2=0) が最も高いメッセージが常に送信されるように処理します。詳細については「19.6 動作説明」を参照してください。

RCAN-ET が TXPR のビットの状態を 0 に変更したとき、メールボックスエンプティ割り込みフラグ (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したかアボートされたことを示します。メッセージの送信が正常終了した場合は、TXACK に示され、メッセージ送信がアボートされた場合は ABACK に示されます。これらのレジスタをチェックすることによって対応するメールボックスのメッセージデータフィールドの内容を次の送信用に書き換えることができます。

(1) TXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 常に H'0000 が読み出されます。TXPR1/TXPR0 のリード/ライトは、必ずロングワードアクセスで行ってください。TXPR1 への書き込みは無効です。

(2) TXPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。

常に H'0000 が読み出されます。TXPR1/TXPR0 のリード/ライトは、必ずロングワードアクセスで行ってください。ビット 0 への書き込みは無効です。

ビット	ビット名	初期値	R/W	説明
15~1	TXPR0[15:1]	H'0000	R/W	<p>対応するメールボックスに CAN フレーム送信リクエストが発生していることを示します。ビット 15~1 はメールボックス 15~1 に対応しています。複数のビットがセットされた場合の送信順序は、MCR2 ビットの設定によりメッセージ ID 優先順またはメールボックス番号順に送信されます。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 [クリア条件] メッセージ送信終了またはメッセージ送信アポート (自動的にクリアされます)</p> <p>1: 対応するメールボックスに送信リクエストが発生</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視されます。読み出し値は 0 です。</p>

19.5.2 送信キャンセルレジスタ 0 (TXCR0)

TXCR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、メールボックス 15~1 を制御します。CPU は TXCR0 を使用して、TXPR の送信リクエストをキャンセルします。TXPR のビットをクリアするには、CPU から対応する TXCR のビットに 1 を書き込んでください。0 を書き込むと無視されます。

アボートが正常に行われると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。しかし、メールボックスが送信を開始した後は、本レジスタのビットでキャンセルすることはできません。このような場合、送信が正常終了すると CAN コントローラは TXPR と TXCR のビットをクリアし、TXACK のビットをセットします。しかし、アービトレーションに負けたりバス上にエラーが発生したことによって送信が行われなかった場合は、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、対応する ABACK のビットをセットします。CPU が送信待ち状態でないメールボックスの送信をクリアしようとしても無視されます。この場合、CPU は TXCR のフラグをセットすることはできません。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXCR0[15:1]															-
初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
R/W： R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R															

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXCR0[15:1]	H'0000	R/W	<p>送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~1 はメールボックス 15~1 (および TXPR0[15:1]) に対応しています。</p> <p>0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます)</p> <p>1: 対応するメールボックスに対して送信キャンセルを要求</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。</p>

19.5.3 送信アクノリッジレジスタ 0 (TXACK0)

TXACK0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、メールボックスの送信が正常に行われたことを CPU に通知するために使用します。送信が正常に行われると、RCAN-ET は TXACK0 レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって TXACK0 のビットをクリアすることができます。0 を書き込むと無視されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TXACK0[15:1]															-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXACK0[15:1]	H'0000	R/W	<p>対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) が正常に送信された</p> <p>[セット条件] 対応するメールボックスのメッセージ送信が完了</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。</p>

19.5.4 アポートアクリッジレジスタ 0 (ABACK0)

ABACK0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、要求に応じてメールボックスの送信がアポートされたことを CPU に通知するために使用します。アポートが行われると、RCAN-ET は ABACK0 レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって ABACK0 のビットをクリアすることができます。0 を書き込むと無視されます。RCAN-ET が ABACK0 のビットをセットすることにより、対応する TXCR ビットによって TXPR ビットがクリアされたことを認識します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	ABACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

19.5.5 データフレーム受信完了レジスタ 0 (RXPR0)

RXPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがデータフレームを受信したことを示すフラグで構成されています。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効とされます。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によってデータフレームを受信するように設定されている場合のみビットがセットされます。RXPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR1 (データフレーム受信割り込みフラグ) もセットされ、さらに IMR1 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RXPR0[15:0]	H'0000	R/W	ビット 15~0 はメールボックス番号 15~0 の受信用に設定されたメールボックスに対応します。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

19.5.6 リモートフレーム受信完了レジスタ 0 (RFPR0)

RFPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがリモートフレームを受信したことを示すフラグで構成されています。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効されます。すべてのメールボックスに対してビットが存在しますが、メールボックスが MBC (メールボックスコンフィギュレーション) によってリモートフレームを受信するように設定されている場合のみビットがセットされます。RFPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR2 (リモートフレームリクエスト割り込みフラグ) もセットされ、さらに IMR2 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

	RFPR0[15:0]
--	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RFPR0[15:0]	H'0000	R/W	メールボックス 15~0 のリモートリクエスト受信フラグです。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

19.5.7 メールボックスインタラプトマスクレジスタ 0 (MBIMR0)

MBIMR0 は、16 ビットの読み出し / 書き込み可能なレジスタです。MBIMR0 は、メールボックスの動作に関連する IRR (IRR1 : データフレーム受信割り込み、IRR2 : リモートフレームリクエスト割り込み、IRR8 : メールボックスエンブティ割り込み、IRR9 : メッセージオーバーラン割り込み) をマスクするレジスタです。メールボックスが受信に設定されている場合、受信割り込みフラグ (IRR1、IRR2、IRR9) による割り込みをマスクします。RXPR、RFPR、UMSR ビットのセットには影響しません。メールボックスが送信に設定されている場合は、送信や送信アポート (IRR8) による割り込みやメールボックスエンブティ割り込みをマスクします。送信による TXPR/TXCR ビットのクリアと TXACK ビットのセット、送信アポートによる TXPR/TXCR ビットのクリアと ABACK ビットのセットには影響しません。

マスクするメールボックスに対応するビットに 1 を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR0[15:0]															
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~0	MBIMR0[15:0]	H'FFFF	R/W	メールボックス 15~0 からの割り込み要求を許可 / 禁止します。 0 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

19.5.8 未読メッセージステータスレジスタ 0 (UMSR0)

UMSR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、新しいメッセージを受信する際に CPU によって内容がアクセスされていない受信メールボックスを記録します。メールボックスの新しいメッセージを受信するときに、RXPR0 または RFPR0 の対応するビットが CPU によってクリアされていないと、UMSR0 のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無効とされます。

メールボックスが送信に設定されている場合は、対応する UMSR0 のビットはセットされません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	UMSR0[15:0]	H'0000	R/W	<p>メールボックス 15~0 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した</p> <p>[セット条件] RXPR0 または RFPR0 がクリアされる前に新しいメッセージを受信</p>

19.6 動作説明

19.6.1 RCAN-ET の設定

ハードウェアリセット (パワーオンリセット) またはソフトウェアリセット (MCR0) 後のコンフィギュレーションモードおよびホルトモード時の RCAN-ET の設定について説明します。どちらの場合も RCAN-ET は CAN バスアクティビティに参加できません。また、RCAN-ET の設定の変更が CAN バス上の通信に影響を与えることはありません。

(1) リセットシーケンス

図 19.6 にソフトウェアリセットまたはハードウェアリセット後の RCAN-ET の設定手順を示します。リセット後すべてのレジスタは初期化されます。したがって、CAN バスアクティビティに参加する前に RCAN-ET を設定する必要があります。詳細については図中の注を参照してください。

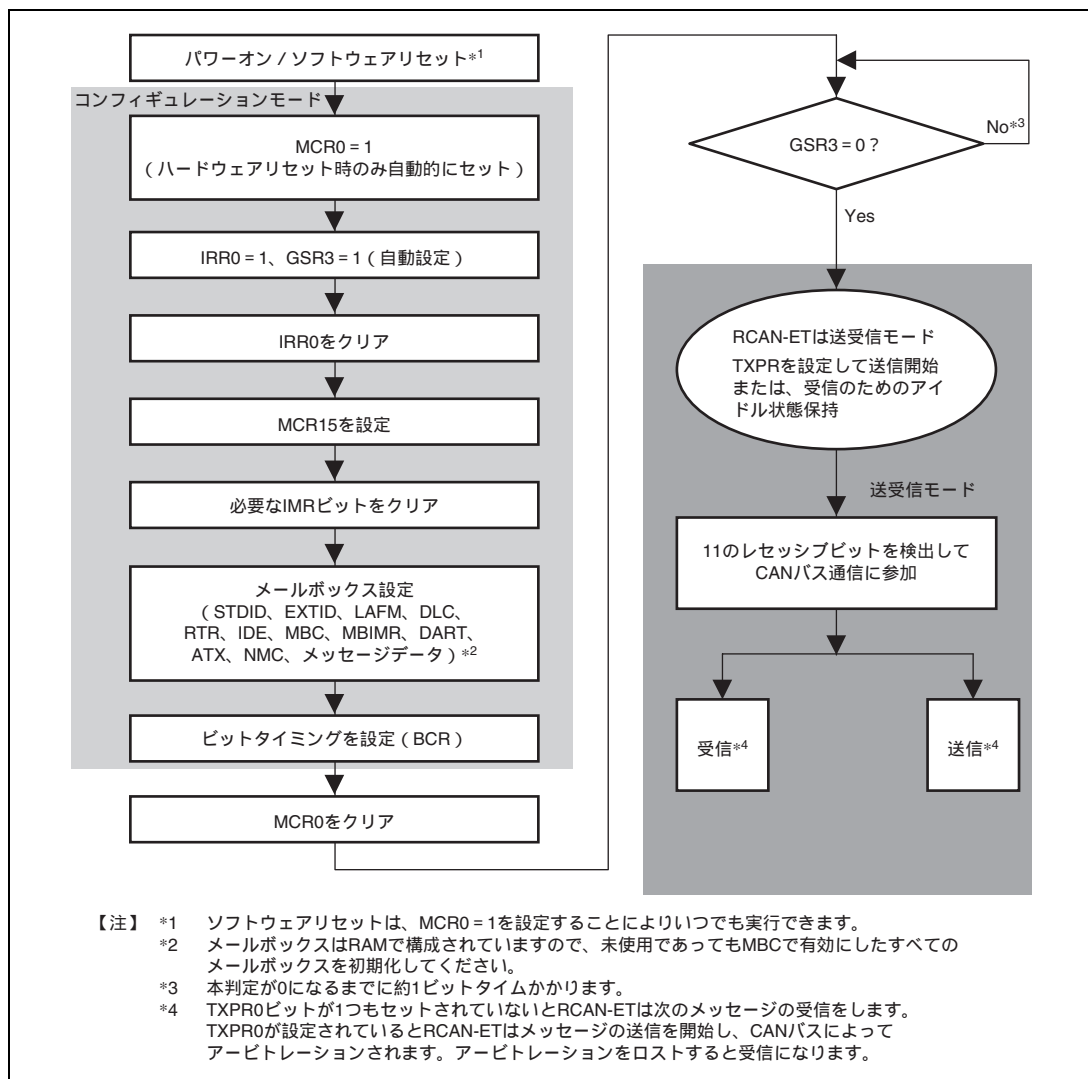


図 19.6 リセットシーケンス

(2) ホルトモード

RCAN-ETはホルトモードのとき、CANバスアクティビティに参加することができません。したがってユーザは、CANバス上の通信に影響を与えることなく必要なレジスタの設定を変更することができます。ここで重要なのは、レジスタを変更する前にRCAN-ETがホルトモードになるまで待つことです。ホルトモードへの遷移はかならずしも即時に行われるとはかぎりません（CANバスがアイドルまたは休止状態のときに遷移します）。RCAN-ETがホルトモードに遷移するとGSR4ビットがセットされます。

設定終了後はホルトリクエストを解除する必要があります。RCAN-ETはCANバス上で11個のレセッシブビットを検出した後CANバスアクティビティに参加します。

(3) CAN スリープモード

CAN スリープモード中では、RCAN-ET の主要なモジュールのクロックは消費電流を低減するために停止しますが、MCR、GSR、IRR、および IMR レジスタのみアクセスできます。なお、送信と受信に関連する割り込みは、CAN スリープモード中ではクリアできませんので、あらかじめクリアしてください。

図 19.7 に RCAN-ET の CAN スリープモードのフローチャートを示します。

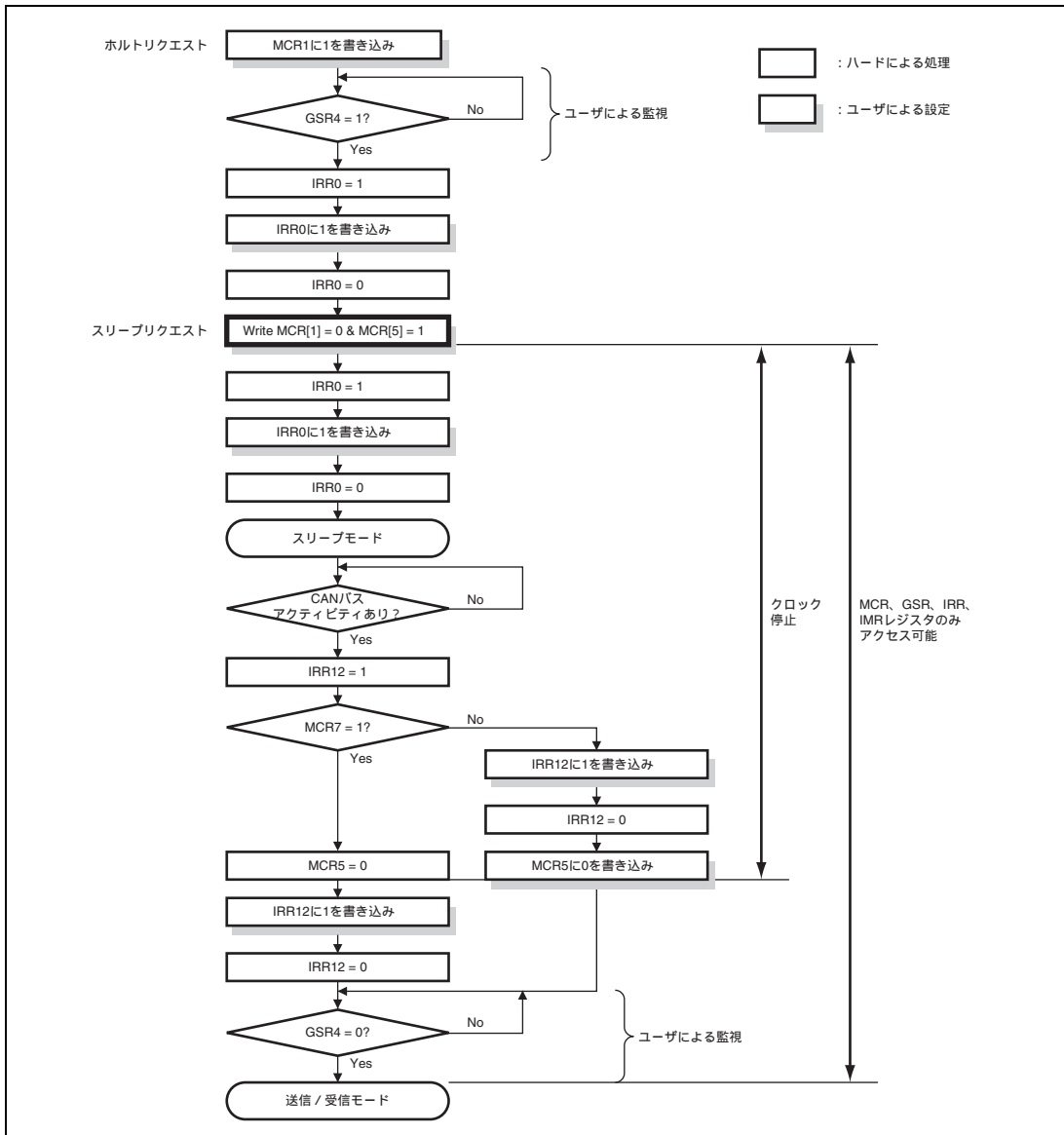


図 19.7 CAN スリープモードのフローチャート

図 19.8 に可能な状態遷移を示します。

なお、ホルトモード以外で MCR5 (CAN スリープモード) ビットをセットしないでください。

また、MCR1 ビットをセットした後は、MCR1 をクリアする前には必ず GSR4 がセットされ RCAN-ET がホルトモードになったことを確認してください。

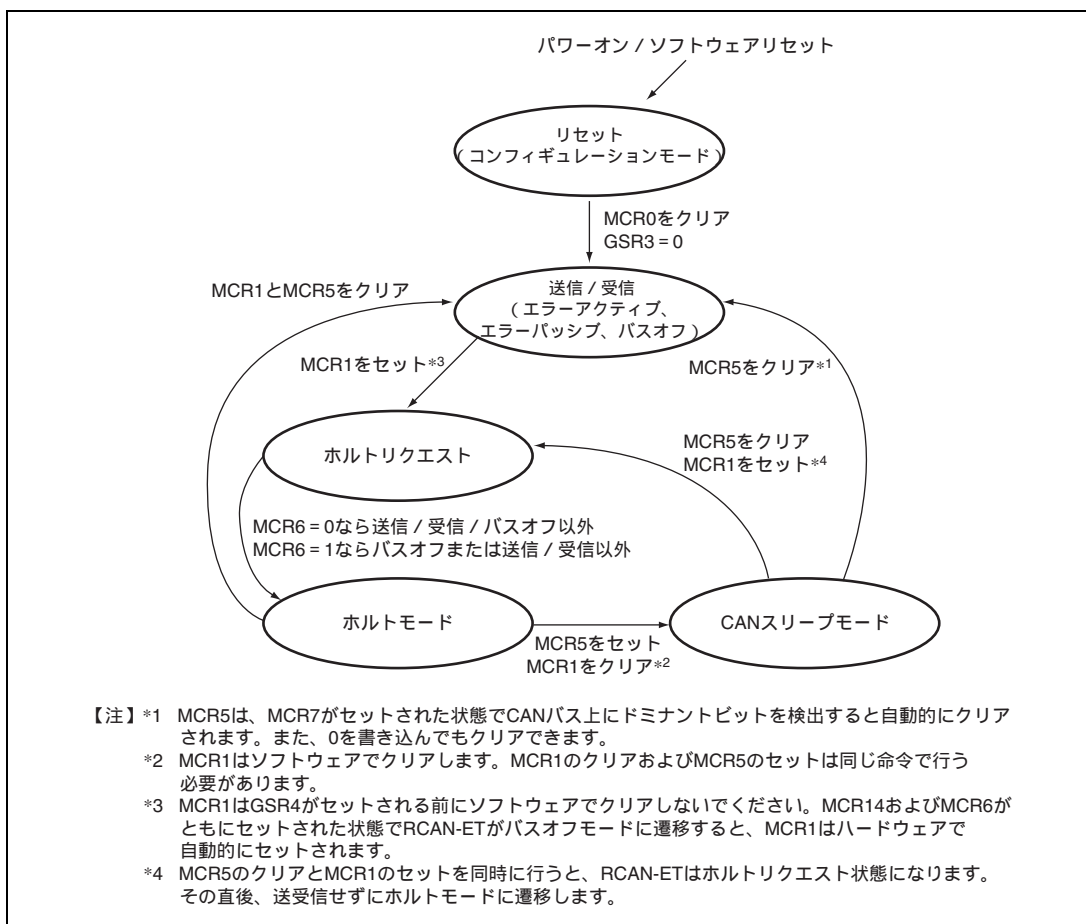


図 19.8 状態遷移図

各モードでのアクセスを許可する条件を表 19.7 に示します。

表 19.7 アクセス可能なレジスタ

ステータス モード	レジスタ									
	MCR、 GSR	IRR、 IMR	BCR	MBIMR	フラグ レジスタ	メールボックス (コントロール0、 LAFM)		メール ボックス (データ)		メールボックス (コントロール1)
リセット	Yes	Yes	Yes	Yes	Yes	Yes		Yes	Yes	
送信 / 受信	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルトリクエスト	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルトモード	Yes	Yes	No	Yes	Yes	Yes		Yes	Yes	
CAN スリープモード	Yes	Yes	No	No	No	No		No	No	

【記号説明】

Yes : アクセスを許可するレジスタ

No : アクセスを禁止するレジスタ

【注】 * TXPRO がセットされていない場合

19.6.2 テストモードの設定

RCAN-ET には種々のテストモードがあります。テストモードの選択は MCR レジスタの TST[2:0]ビットで行います。RCAN-ET は、デフォルト (初期値) ではノーマルモードで動作します。

表 19.8 にテストモード設定を示します。

テストモードの選択はコンフィギュレーションモードでのみ可能です。選択したテストモードを実行するには、テストモードを選択した後コンフィギュレーションモードを解除 (BCR0/BCR1 が設定されていることを確認) してください。

表 19.8 テストモードの設定

TST2	TST1	TST0	モード
0	0	0	ノーマルモード
0	0	1	リスンオンリモード (受信専用モード)
0	1	0	セルフテストモード 1 (外部)
0	1	1	セルフテストモード 2 (内部)
1	0	0	ライトエラーカウンタ
1	0	1	エラーパッシブモード
1	1	0	設定禁止
1	1	1	設定禁止

- ノーマルモード
RCAN-ETは通常の動作をします。
- リスンオンリモード
ボーレート検出用にISO-11898で要求されているモードです。エラーカウンタはクリアされた後に動作禁止となり、TEC/RECの値が増加しないようになります。また、CTx出力を禁止し、RCAN-ETによるエラーフレームやアクノリッジビットの生成を抑止します。メッセージエラーが発生するとIRR13がセットされます。
- セルフテストモード1
RCAN-ET自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-ETの受信メールボックスに格納します。CRx/CTx端子は必ずCANバスに接続してください。
- セルフテストモード2
RCAN-ET自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-ETの受信メールボックスに格納します。内部CTxが内部CRxにループバックされるため、CRx/CTx端子をCANバスその他の外部デバイスに接続する必要はありません。CTx端子はリセツピットのみ出力し、CRx端子は無効となります。
- ライトエラーカウンタ
TEC/RECは本モードで書き込み可能です。エラーカウンタに127より大きい値を書き込むことにより、RCAN-ETを強制的にエラーパッシブモードにすることができます。TECに書き込まれた値はRECに書き込まれるので、TECとRECは常に同じ値に設定されます。同様に、95より大きい値を書き込むことにより、RCAN-ETを強制的にエラーワーニングモードにすることができます。
TEC/RECに書き込む際はRCAN-ETがホルトモードでなければなりません (エラーカウンタ書き込み時にMCR1 = 1)。さらにCAN仕様により、ホルトモードを解除する前に本テストモードを解除してTEC/RECを再び動作可能にする必要があります。
- エラーパッシブモード
RCAN-ETは強制的にエラーパッシブモードにすることができます。
エラーパッシブモードを実行することによってRECの値が変わることはありませんが、一度エラーパッシブモードで動作すると、エラーを受信すればRECの値は通常どおり増加します。本モードでは、TECの値が256に達するとRCAN-ETはバスオフ状態になりますが、本モードを使用するとRCAN-ETはエラーアクティブになることができません。したがってRCAN-ETはバスオフ復帰シーケンスの最後に、エラーアクティブではなくエラーパッシブに遷移します。

メッセージエラー発生時には、すべてのテストモードでIRR13ビットがセットされます。

19.6.3 メッセージ送信シーケンス

(1) メッセージ送信リクエスト

バス上に CAN フレームを送信するシーケンスの例を図 19.9 に示します。

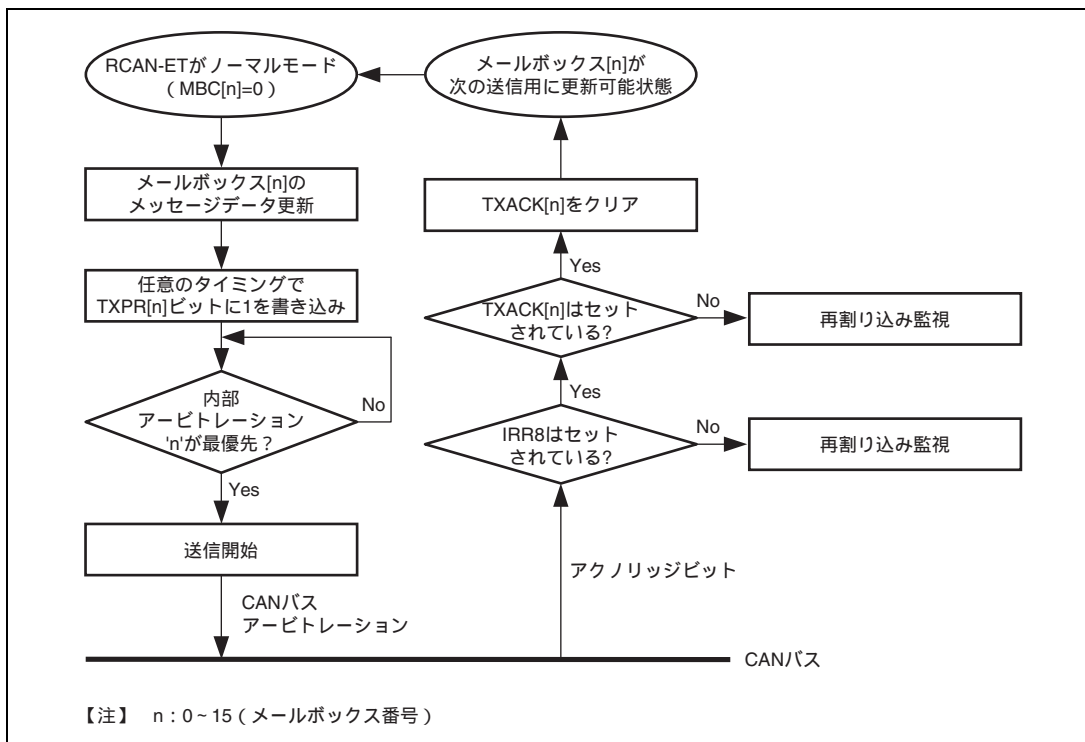


図 19.9 メッセージ送信リクエスト

レジスタの章で説明したとおり、TXACK または ABACK ビットのいずれかがセットされると、IRR8 がセットされることにご注意ください。これはいずれかのメールボックスが送信または送信アポートを終了し、次の送信用に更新可能状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していない(すべての TXPR フラグがセットされていない)ことを示しています。

(2) 送信用内部アービトレーション

図 19.10 は、RCAN-ET がどのようにしてメッセージ ID に従った順序で送信リクエストされたメッセージのスケジューリングを行うかを説明しています。内部アービトレーションでは、送信リクエストされたメッセージのうち最も優先度の高いものを取り出します。

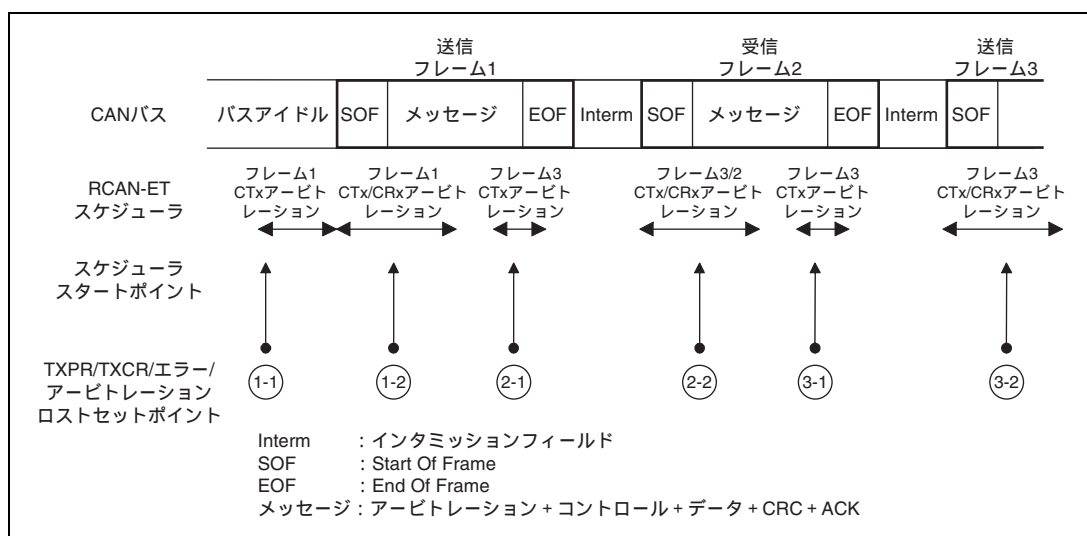


図 19.10 送信用内部アービトレーション

- 1-1 : CAN バスがアイドル状態のとき TXPR ビットがセットされると、直ちに内部アービトレーションを実行し、送信を開始します。
- 1-2 : SOF で送信、受信の両方の動作を開始します。受信フレームでないため、RCAN-ET は送信を行います。
- 2-1 : CRC のデリミッタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 2-2 : SOF で送信、受信の両方の動作を開始します。優先度の高い受信フレームであるため、RCAN-ET は受信を行います。このため、フレーム 3 を送信せずに受信を行います。
- 3-1 : CRC のデリミッタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 3-2 : SOF で送信、受信の両方の動作を開始します。送信フレームの優先度が受信フレームよりも高いため、RCAN-ET は送信を行います。

CAN バス上でエラーが検出された場合、次の送信用の内部アービトレーションは各エラーデリミッタの先頭でも行われます。また、オーバーロードフレームの後のエラーデリミッタの先頭でも行われます。

送信用アービトレーションは CRC のデリミッタで行われるため、ATX=1 のメールボックスがリモートフレームリクエストを受信した場合、そのリクエストに応じて送信するメッセージが送信用アービトレーションに参加するタイミングは、その後のバスアイドルまたは CRC デリミッタまたはエラーデリミッタになります。

CAN バスの状態により、TXCR がセットされてから最大 1CAN フレームの遅延後に対応するメッセージのアポート処理が行われます。

19.6.4 メッセージ受信シーケンス

メッセージ受信シーケンスを図 19.11 に示します。

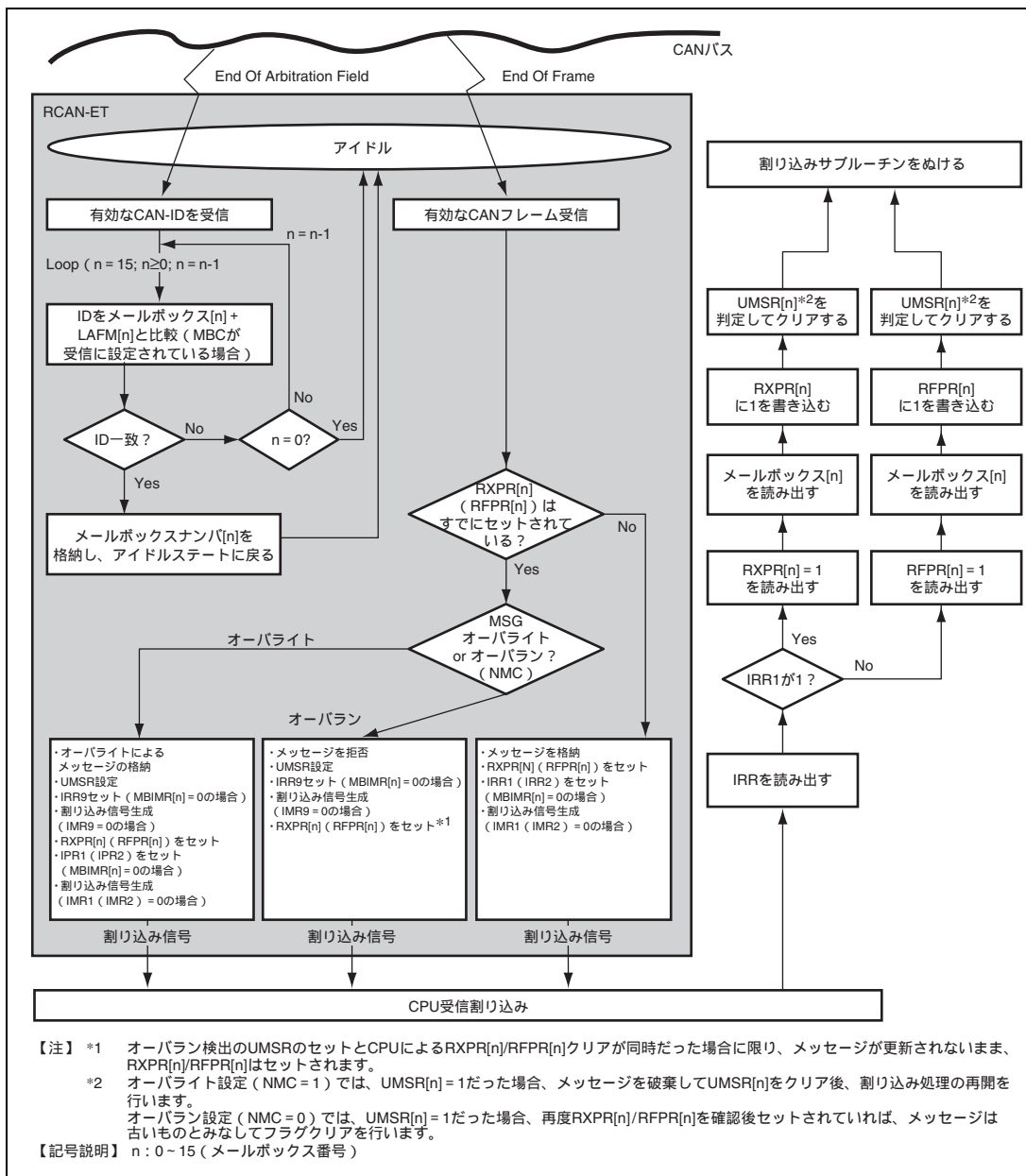


図 19.11 メッセージ受信シーケンス

メッセージを受信中に RCAN-ET がアービトレーションフィールドの最後を認識すると、受信した ID とメールボックスに設定された ID の比較を始めます。比較する順序はメールボックス 15 からメールボックス 0 の順です。まず MBC をチェックし、メールボックスが受信に設定されているか調べます。その後 LAFM を読み込み、続いてメールボックス 15 (受信用に設定されている場合) の ID を読み込み、受信した ID と比較します。一致しない場合は、メールボックス 14 (受信用に設定されている場合) に対して同じチェックを行います。一致する ID を見つけると RCAN-ET はそのメールボックス番号 (n) を内部バッファに格納し、サーチを停止した後アイドル状態に戻り EOF (End Of Frame) を待ちます。EOF の 6 ビット目が通知されると、受信メッセージは NMC ビットの設定により書き込まれるか廃棄されます。

通信中に RCAN-ET のメッセージ ID と LAFM の設定を変更することはできません。設定変更する手段の 1 つとしてホルトモードおよびコンフィギュレーションモードがあります。メッセージを対応するメールボックスに書き込むと、メッセージ ID を含めて書き込まれるため、使用する LAFM により CAN-ID が受信メッセージの異なる CAN-ID でオーバーライトされる可能性があります。これはまた、受信したメッセージの ID が複数のメールボックスの ID + LAFM と一致した場合に、受信メッセージは常にメールボックス番号の一番大きいメールボックスに格納され、小さい番号のメールボックスにはメッセージが格納されなくなってしまうことを意味しています。したがって、ID と LAFM の設定値は注意深く選択する必要があります。

図 19.11 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバーライトされることを検出するためです。UMSR の最後のチェック中にオーバーライトが検出された場合、メッセージを破棄し再度読み込む必要があります。

受信したリモートフレームがデータフレームでオーバーライトされた場合、リモートフレームリクエスト割り込み (IRR2) およびデータフレーム受信割り込み (IRR1) がセットされ、受信フラグ (RXPR、RFPR) もセットされますので、ご注意ください。同様にデータフレームがリモートフレームでオーバーライトされた場合も IRR2 と IRR1 がセットされます。

オーバランモード (NMC = 0) では、これらのフラグは最初のメールボックスによってのみセットされます。このため、最初にデータフレームを受信すると RXPR と RFPR の両方がアサートされます。その後データフレームを読み出す前にリモートフレームを受信すると、RFPR と IRR2 はセットされません。この場合、対応するメールボックスの UMSR がセットされます。

19.6.5 メールボックスの再設定

メールボックスの再設定が必要な場合は、下記の手順に従ってください。

(1) 送信ボックスの設定変更

下記の2つの場合があります。

- ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DARTの変更

MBC = B'000の場合のみ変更可能です。対応するTXPRビットがセットされていないことを確認してください。設定 (MBCを除く) はいつでも変更することができます。

- 送信ボックスから受信ボックスへの変更

対応するTXPRビットがセットされていないことを確認してください。ホルトモードまたはリセット状態でのみ変更可能です。RCAN-ETがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります (受信 / 送信が終了するのを待ってからホルト状態に遷移するためです)。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-ETがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

(2) 受信ボックスの ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART の設定変更および受信ボックスから送信ボックスへの変更

設定変更はホルトモードでのみ可能です。メッセージが CAN バス上にあり RCAN-ET が受信モードの場合、そのメッセージを逃すことはありません。RCAN-ET は現在行っている受信を完了してからホルトモードに遷移します。RCAN-ET がメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります (受信 / 送信が終了するのを待ってからホルト状態に遷移するためです)。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-ET がバスオフ状態の場合、ホルト状態への遷移は MCR レジスタのビット 6 およびビット 14 の設定に従います。

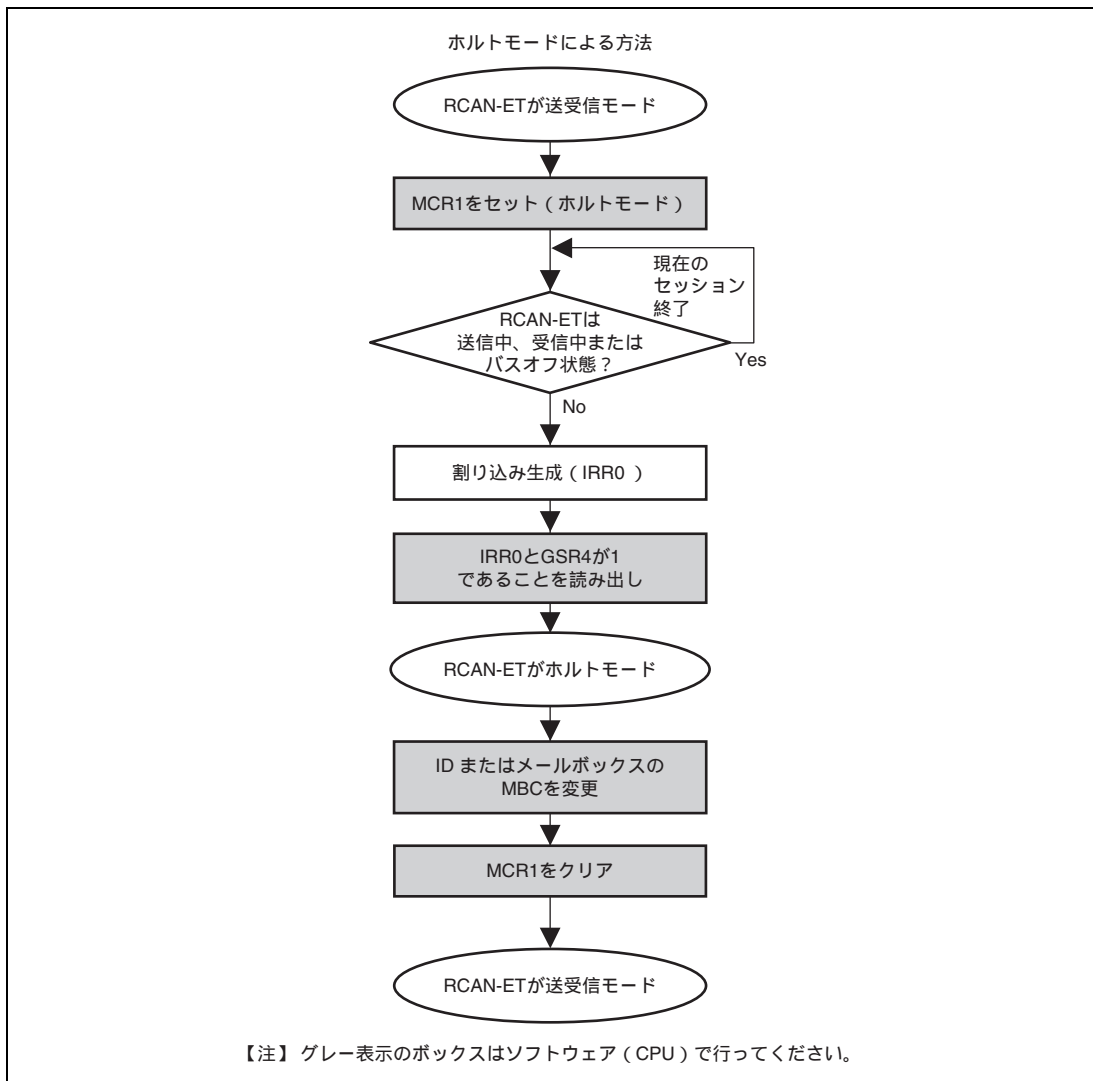


図 19.12 受信ボックスの ID 変更 / 受信ボックスから送信ボックスへの変更

19.7 割り込み要因

RCAN-ET には表 19.9 に示す割り込み要因があります。これらの要因は、パワーオンリセットによるリセット処理割り込み (IRR0) を除き、マスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ 0 (MBIMR0) およびインタラプトマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「第 6 章 割り込みコントローラ (INTC)」を参照してください。

表 19.9 RCAN-ET の割り込み要因

チャンネル	名称	要 因	割り込みフラグ	DMAC の起動	
0	ERS_0	エラーパッシブ (TEC 128 または REC 128)	IRR5	不可	
		バスオフ (TEC 256) / バスオフからの復帰	IRR6		
		エラーワーニング (TEC 96)	IRR3		
		エラーワーニング (REC 96)	IRR4		
	OVR_0	メッセージエラー検出	IRR13 ^{*1}		
		リセット / ホルト / CAN スリープ遷移	IRR0		
		オーパロードフレーム送信	IRR7		
		未読メッセージのオーバーライト (オーバーラン)	IRR9		
	SLE_0	メッセージの送信 / 送信取り消し (スロットエンプティ)	IRR8		
	RM1_0 ^{*2}	データフレーム受信 /	IRR1 ^{*3}		可
RM0_0 ^{*2}	リモートフレーム受信	IRR2 ^{*3}			
1	ERS_1	エラーパッシブ (TEC 128 または REC 128)	IRR5	不可	
		バスオフ (TEC 256) / バスオフからの復帰	IRR6		
		エラーワーニング (TEC 96)	IRR3		
		エラーワーニング (REC 96)	IRR4		
	OVR_1	メッセージエラー検出	IRR13 ^{*1}		
		リセット / ホルト / CAN スリープ遷移	IRR0		
		オーパロードフレーム送信	IRR7		
		未読メッセージのオーバーライト (オーバーラン)	IRR9		
	SLE_1	メッセージの送信 / 送信取り消し (スロットエンプティ)	IRR8		
	RM1_1 ^{*2}	データフレーム受信 /	IRR1 ^{*3}		可
	RM0_1 ^{*2}	リモートフレーム受信	IRR2 ^{*3}		

【注】 *1 テストモードでのみ有効です。

*2 RM0 はメールボックス 0 のリモートフレーム受信フラグ (RFPR0[0])、またはデータフレーム受信フラグ (RXPR0[0]) による割り込み、RM1 はメールボックス n (n=1~15) のリモートフレーム受信フラグ (RFPR0[n]) またはデータフレーム受信フラグ (RXPR0[n]) による割り込みです。

*3 IRR1 はメールボックス 0~15 のデータフレーム受信フラグ、IRR2 はメールボックス 0~15 のリモートフレーム受信フラグです。

19.8 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC にはルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。また、CRx、CTx 端子は 3V 仕様のため、レベルシフトを外付けする必要があります。図 19.13 に接続例を示します。

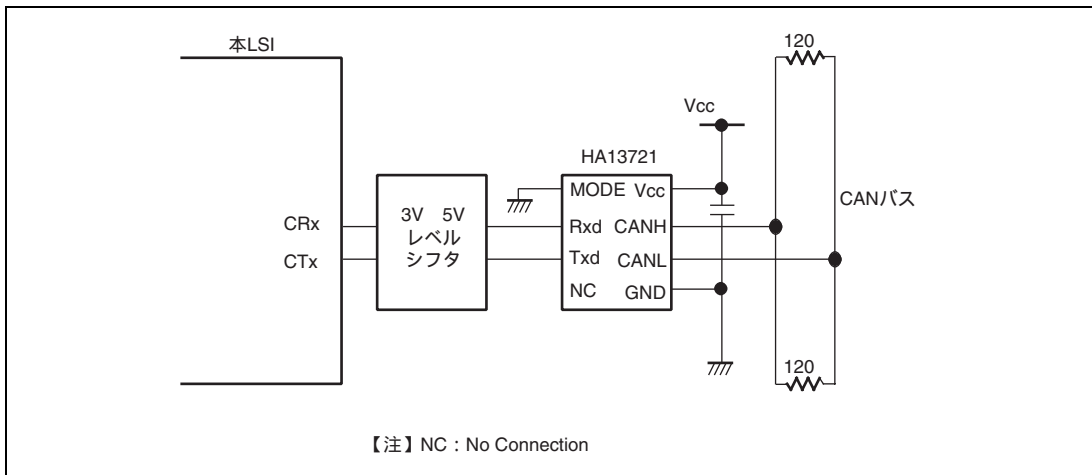


図 19.13 HA13721 を用いた高速インタフェース

19.9 使用上の注意事項

19.9.1 モジュールスタンバイモード

スタンバイコントロールレジスタにより、RCAN-ET に対するクロックの動作 / 停止を設定することが可能です。初期値では RCAN-ET のクロックは停止しています。レジスタのアクセスは、モジュールストップモードを解除してから行ってください。

19.9.2 リセット

RCAN-ET のリセットにはハードウェアリセットとソフトウェアリセットがあります。

- ハードウェアリセット

パワーオンリセット、ディープスタンバイ、ソフトウェアスタンバイでは RCAN-ET は初期化されます。

- ソフトウェアリセット

マスタコントロールレジスタ (MCR) の MCR0 ビットにより、MCR0 ビット以外のレジスタおよび CAN 通信機能が初期化されます。

リセット時にはインタラプトリクエストレジスタ (IRR) の IRR0 ビットが初期化によりセットされますので、リセットシーケンスに示されたコンフィギュレーションモード時にクリアしてください。

メールボックスのメッセージコントロールフィールド 1 (CONTROL1) を除いた領域は RAM で構成されていますので、リセットにより初期化されません。パワーオンリセット後は、リセットシーケンスに示されたコンフィギュレーションモード時に全てのメールボックスを初期設定してください。

19.9.3 CAN スリープモード

CAN スリープモードでは、主要な部分のクロックをモジュール内部で停止しています。このため、CAN スリープモードで MCR、GSR、IRR、IMR レジスタ以外へのアクセスはしないでください。

19.9.4 レジスタアクセス

RCAN-ET 内部の CAN 通信機能が CAN バス受信フレームをメールボックスに格納している期間に、メールボックス領域をアクセスすると 0~5 周辺バスサイクル分のウェイトが発生します。

19.9.5 割り込み

メールボックス 0 受信割り込みは、表 19.9 に示したように DMAC の起動が可能です。メールボックス 0 受信割り込みを起動要因にして DMA 転送時の割り込み要因をクリアする設定を選択した場合には、ブロック転送モードなどを利用して、メールボックス 0 のメッセージコントロールフィールド 1 (CONTROL1) までリードしてください。

20. A/D 変換器 (ADC)

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 8 チャンネルのアナログ入力を選択することができます。

20.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネル
- 最小変換時間：1チャンネル当たり3.9 μ s
- 動作モード：3種類
 - シングルモード：1チャンネルのA/D変換
 - マルチモード：1～4チャンネルのA/D変換または1～8チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換または1～8チャンネルの連続A/D変換
- データレジスタ：8本
 - 変換結果を各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：4種類
 - ソフトウェア
 - マルチファンクションタイムパルスユニット2 (MTU2) による変換開始トリガ
 - 8ビットタイマ (TMR) による変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能
- モジュールスタンバイモードの設定可能

図 20.1 に A/D 変換器のブロック図を示します。

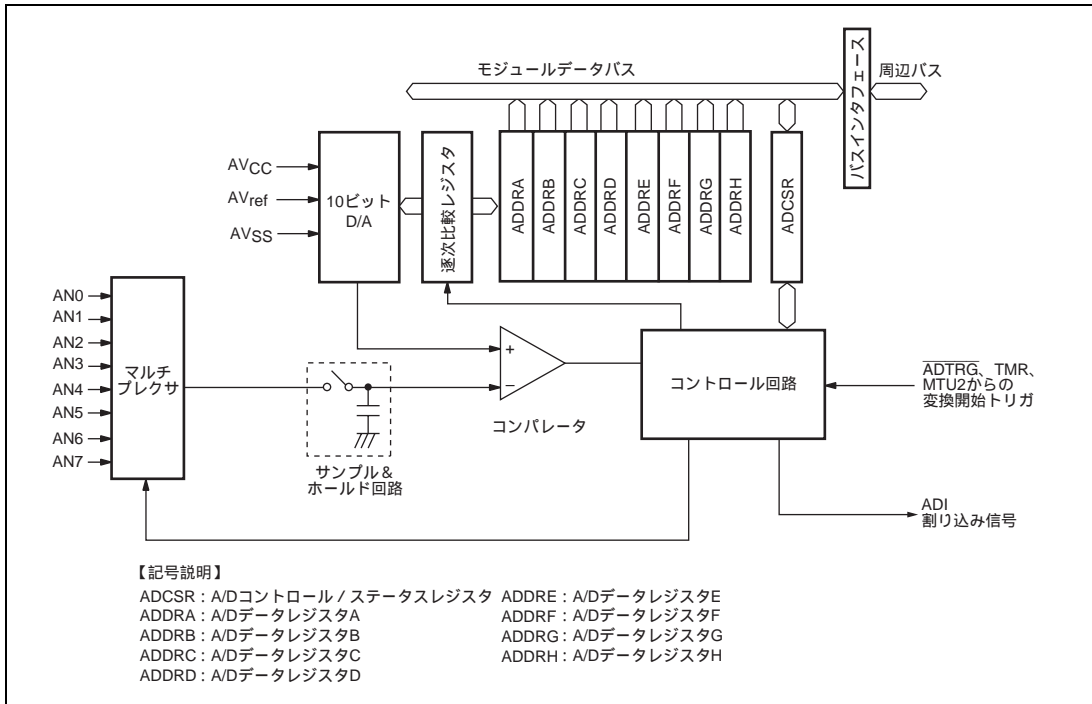


図 20.1 A/D 変換器のブロック図

20.2 入出力端子

A/D 変換器で使用する入力端子を表 20.1 に示します。

表 20.1 端子構成

名称	端子名	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子および A/D 変換の基準グランド
リファレンス電源端子	AVref	入力	A/D 変換器の基準電圧端子
アナログ入力端子 0	AN0	入力	アナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力

20.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

表 20.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ A	ADDRA	R	H'0000	H'FFFE5800	16
A/D データレジスタ B	ADDRB	R	H'0000	H'FFFE5802	16
A/D データレジスタ C	ADDRC	R	H'0000	H'FFFE5804	16
A/D データレジスタ D	ADDRD	R	H'0000	H'FFFE5806	16
A/D データレジスタ E	ADDRE	R	H'0000	H'FFFE5808	16
A/D データレジスタ F	ADDRF	R	H'0000	H'FFFE580A	16
A/D データレジスタ G	ADDRG	R	H'0000	H'FFFE580C	16
A/D データレジスタ H	ADDRH	R	H'0000	H'FFFE580E	16
A/D コントロール / ステータスレジスタ	ADCSR	R/W	H'0040	H'FFFE5820	16

20.3.1 A/D データレジスタ A ~ H (ADDRA ~ ADDRH)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA ~ ADDRH の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR のビット 15 ~ 6 に転送され、保持されます。ビット 5 ~ 0 は読み出すと常に 0 が読み出されます。

ADDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ADDR は、パワーオンリセット、ディープスタンバイモード、ソフトウェアスタンバイモード、およびモジュールスタンバイモードで H'0000 に初期化されます。

アナログ入力チャンネルと ADDR の対応を表 20.3 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6		すべて 0	R	ビットデータ (10 ビット)
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 20.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

20.3.2 A/D コントロール / ステータスレジスタ (ADCSR)

ADCSR は、16 ビットの読み出し / 書き込み可能なレジスタで、動作モードの選択、A/D 変換の動作制御、および外部トリガ入力による A/D 変換開始の許可または禁止の選択を行います。

ADCSR は、パワーオンリセット、ディープスタンバイモード、ソフトウェアスタンバイモード、およびモジュールスタンバイモードで H'0040 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	-	TRGS[3:0]			CKS[1:0]		MDS[2:0]			CH[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)* ¹	<p>A/D エンドフラグ</p> <p>A/D 変換の終了を示すステータスフラグです。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ADF = 1 の状態で ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき ADI 割り込みにより DMAC が起動され、ADDR を読み出したとき <p>[セット条件]</p> <ul style="list-style-type: none"> シングルモードで A/D 変換が終了したとき マルチモードで選択されたすべてのチャンネルの A/D 変換が終了したとき スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき
14	ADIE	0	R/W	<p>A/D インタラプトイネーブル</p> <p>A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。</p> <p>0: A/D 変換の終了による割り込み (ADI) 要求を禁止</p> <p>1: A/D 変換の終了による割り込み (ADI) 要求を許可</p>
13	ADST	0	R/W	<p>A/D スタート</p> <p>A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。</p> <p>0: A/D 変換を停止</p> <p>1: シングルモード時: A/D 変換を開始。指定したチャンネルの A/D 変換が終了すると自動的にクリア。</p> <p>マルチモード時: A/D 変換を開始。指定したすべてのチャンネルを一巡して A/D 変換が終了すると自動的に 0 にクリア。</p> <p>スキャンモード時: A/D 変換を開始。ソフトウェア、パワーオンリセット、ディープスタンバイモード、ソフトウェアスタンバイモード、またはモジュールスタンバイモードへの遷移により 0 にクリアされるまで連続変換します。</p>

ビット	ビット名	初期値	R/W	説明
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	TRGS[3:0]	0000	R/W	タイマトリガセレクト トリガ信号による A/D 変換開始の許可または禁止を選択します。 0000 : 外部トリガによる A/D 変換開始を禁止 0001 : MTU2 からの変換トリガ TRGAN による A/D 変換開始 0010 : MTU2 からの変換トリガ TRG0N による A/D 変換開始 0011 : MTU2 からの変換トリガ TRG4AN による A/D 変換開始 0100 : MTU2 からの変換トリガ TRG4BN による A/D 変換開始 0101 : 設定禁止 0110 : 設定禁止 0111 : 設定禁止 1000 : 設定禁止 1001 : $\overline{\text{ADTRG}}$ による A/D 変換開始 1010 : TMR からの変換トリガによる A/D 変換開始 1011~1111 : 設定禁止
7、6	CKS[1:0]	01	R/W	クロックセレクト A/D 変換時間の設定を行います* ² 。変換時間の設定は変換停止中 (ADST = 0) に行ってください。 00 : 変換時間 = 138 ステート (最大値) 01 : 変換時間 = 274 ステート (最大値) 10 : 変換時間 = 546 ステート (最大値) 11 : 設定禁止
5~3	MDS[2:0]	000	R/W	マルチスキャンモード A/D 変換の動作モードを選択します。 0xx : シングルモード 100 : マルチモード。1~4 チャンネルの A/D 変換 101 : マルチモード。1~8 チャンネルの A/D 変換 110 : スキャンモード。1~4 チャンネルの A/D 変換 111 : スキャンモード。1~8 チャンネルの A/D 変換

ビット	ビット名	初期値	R/W	説明																														
2~0	CH[2:0]	000	R/W	チャンネルセレクト ADCSR の MDS ビットとともにアナログ入力を選択します。 <table style="margin-left: 40px; border: none;"> <tr> <td></td> <td>MDS = 100 または</td> <td>MDS = 101 または</td> </tr> <tr> <td>MDS = 0xx のとき</td> <td>MDS = 110 のとき</td> <td>MDS = 111 のとき</td> </tr> <tr> <td>000 : AN0</td> <td>000 : AN0</td> <td>000 : AN0</td> </tr> <tr> <td>001 : AN1</td> <td>001 : AN0、AN1</td> <td>001 : AN0、AN1</td> </tr> <tr> <td>010 : AN2</td> <td>010 : AN0 ~ AN2</td> <td>010 : AN0 ~ AN2</td> </tr> <tr> <td>011 : AN3</td> <td>011 : AN0 ~ AN3</td> <td>011 : AN0 ~ AN3</td> </tr> <tr> <td>100 : AN4</td> <td>100 : AN4</td> <td>100 : AN0 ~ AN4</td> </tr> <tr> <td>101 : AN5</td> <td>101 : AN4、AN5</td> <td>101 : AN0 ~ AN5</td> </tr> <tr> <td>110 : AN6</td> <td>110 : AN4 ~ AN6</td> <td>110 : AN0 ~ AN6</td> </tr> <tr> <td>111 : AN7</td> <td>111 : AN4 ~ AN7</td> <td>111 : AN0 ~ AN7</td> </tr> </table>		MDS = 100 または	MDS = 101 または	MDS = 0xx のとき	MDS = 110 のとき	MDS = 111 のとき	000 : AN0	000 : AN0	000 : AN0	001 : AN1	001 : AN0、AN1	001 : AN0、AN1	010 : AN2	010 : AN0 ~ AN2	010 : AN0 ~ AN2	011 : AN3	011 : AN0 ~ AN3	011 : AN0 ~ AN3	100 : AN4	100 : AN4	100 : AN0 ~ AN4	101 : AN5	101 : AN4、AN5	101 : AN0 ~ AN5	110 : AN6	110 : AN4 ~ AN6	110 : AN0 ~ AN6	111 : AN7	111 : AN4 ~ AN7	111 : AN0 ~ AN7
	MDS = 100 または	MDS = 101 または																																
MDS = 0xx のとき	MDS = 110 のとき	MDS = 111 のとき																																
000 : AN0	000 : AN0	000 : AN0																																
001 : AN1	001 : AN0、AN1	001 : AN0、AN1																																
010 : AN2	010 : AN0 ~ AN2	010 : AN0 ~ AN2																																
011 : AN3	011 : AN0 ~ AN3	011 : AN0 ~ AN3																																
100 : AN4	100 : AN4	100 : AN0 ~ AN4																																
101 : AN5	101 : AN4、AN5	101 : AN0 ~ AN5																																
110 : AN6	110 : AN4 ~ AN6	110 : AN0 ~ AN6																																
111 : AN7	111 : AN4 ~ AN7	111 : AN0 ~ AN7																																

【記号説明】 x : Don't care

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。
ただし、以下の場合も 0 書き込みによるクリアとなりますのでご注意ください。

- (1) CPU で ADF = 1 の状態を読み出す
- (2) DMAC による ADDR 読み出しによる ADF クリア
- (3) A/D 変換終了による ADF フラグセット
- (4) CPU で ADF フラグに 0 書き込み

*2 A/D 変換器特性の絶対精度を満足するためには、最小変換時間以上となるよう設定してください。

20.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。動作モードにはシングルモードとマルチモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と ADST ビットのセットは同時に行うことができます。

20.4.1 シングルモード

シングルモードは、1 チャンネルのみの A/D 変換を行う場合に選択します。

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、MTU2、TMRまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求が発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的に0にクリアされてA/D変換器は待機状態になります。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。更新した後、ADST ビットを 1 にセットすると（モードおよびチャンネルの変換と ADST ビットのセットは同時に行うことができます）、再び A/D 変換を開始します。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 20.2 に示します（動作例におけるビットの指定は ADCSR レジスタです）。

1. 動作モードをシングルモードに、入力チャンネルをAN1に（CH2=0、CH1=0、CH0=1）、A/D割り込み要求許可（ADIE=1）に設定して、A/D変換を開始（ADST=1）します。
2. A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF=1、ADST=0となり、A/D変換器は変換待機となります。
3. ADF=1、ADIE=1となっているため、ADI割り込み要求が発生します。
4. A/D割り込み処理ルーチンが開始されます。
5. ADF=1を読み出した後、ADFに0を書き込みます。
6. A/D変換結果（ADDRB）を読み出して、処理します。
7. A/D割り込み処理ルーチンの実行を終了します。この後、ADSTビットを1にセットするとA/D変換が開始され2.~7.を行います。

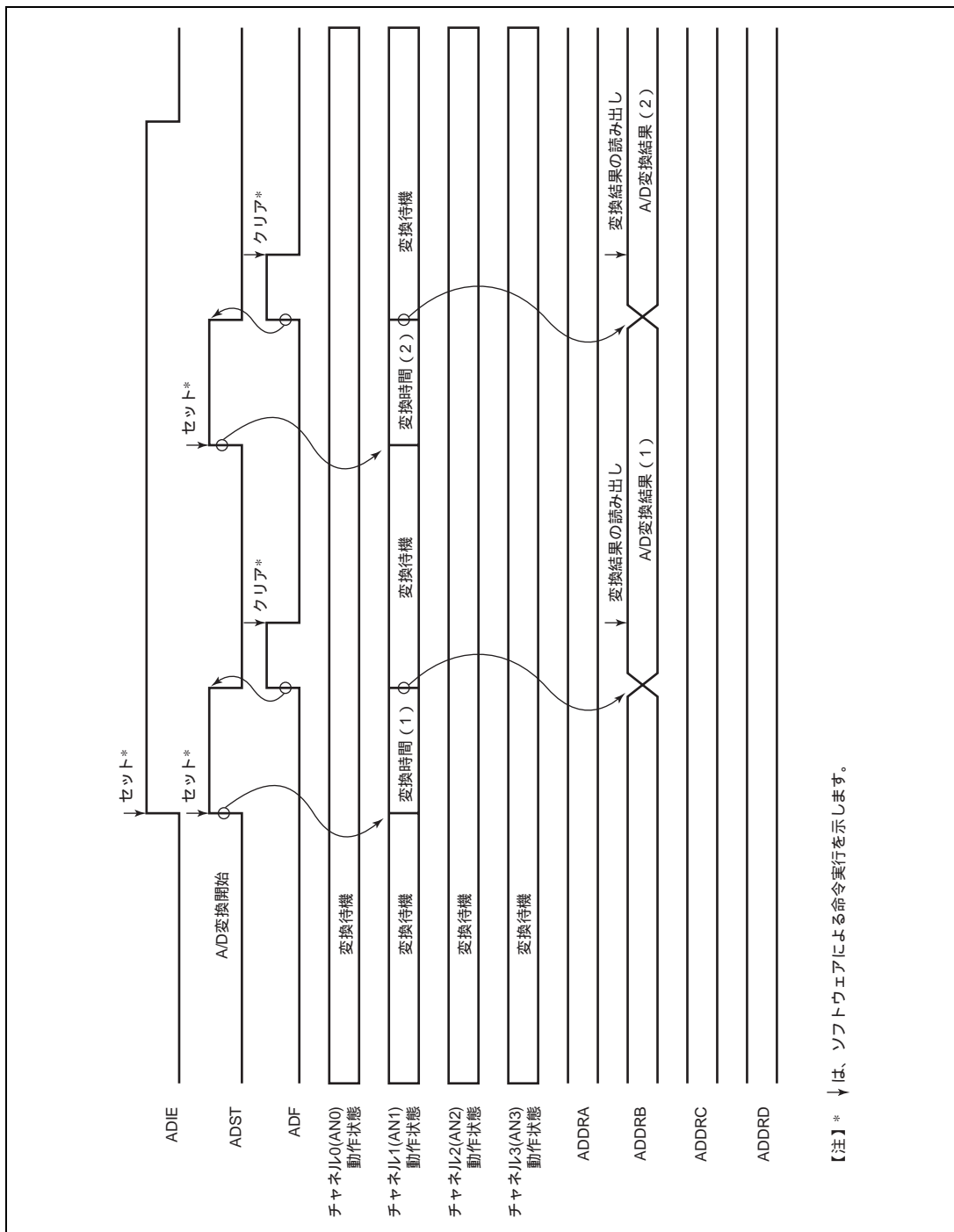


図 20.2 A/D 変換器の動作例 (シングルモード、チャンネル 1 選択時)

20.4.2 マルチモード

マルチモードは、複数チャンネル (1 チャンネルを含む) のアナログ入力をそれぞれ 1 回順次変換します。

マルチモードは指定された最大 8 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、MTU2、TMRまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順 (たとえばAN0、AN1...AN3) にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的に0にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止し、A/D変換器は待機状態になります。ADFビットは、ADF = 1を読み出した後、ADFビットに0を書き込むとクリアされます。

A/D 変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

マルチモードで 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 20.3 に示します。

1. 動作モードをマルチモード (MDS2 = 1、MDS1 = 0) に、アナログ入力チャンネルを AN0 ~ AN2 (CH2 = 0、CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
2. 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR_A に転送します。
3. 次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
4. 同様に第 3 チャンネル (AN2) まで変換を行います。
5. 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、ADST ビットを 0 にして変換を終了します。

このとき ADIE ビットが 1 であると、A/D 変換終了後、ADI 割り込みを発生します。

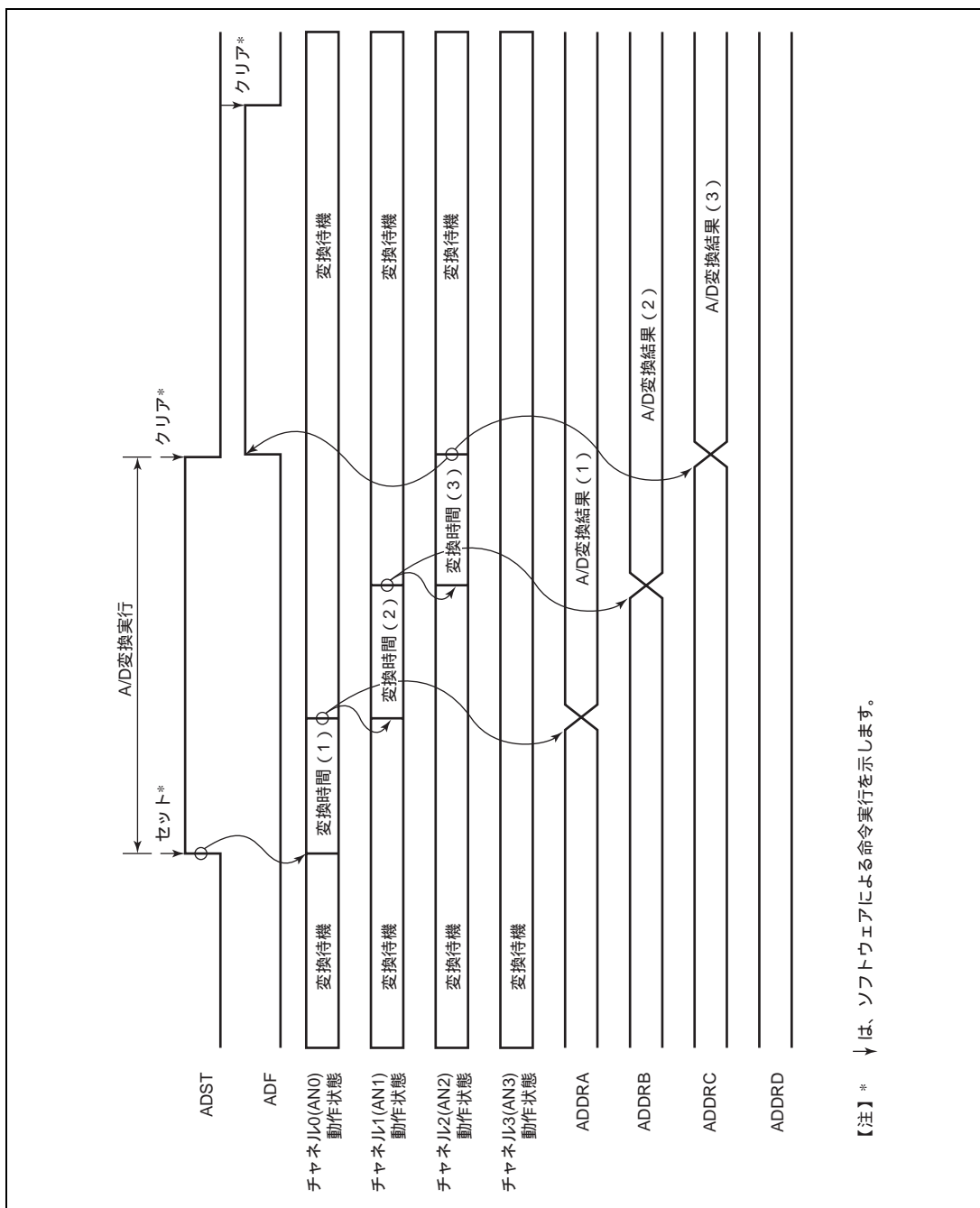


図 20.3 A/D 変換器の動作例 (マルチモード、AN0~AN2 の 3 チャンネル選択時)

20.4.3 スキャンモード

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニタするようなシステムに適します。スキャンモードは、指定された最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェア、MTU2、TMRまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順(たとえばAN0、AN1...AN3)にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びチャンネル番号の小さい順にA/D変換を実行します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。
ADFビットは、ADF=1を読み出したあと、ADFビットに0を書き込むとクリアされます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると(モードおよびチャンネルの変更とADSTビットのセットは同時に行うことができます)、第1チャンネルが選択され、再びA/D変換を開始します。

スキャンモードで3チャンネル(AN0~AN2)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図20.4に示します。

1. 動作モードをスキャンモード(MDS2=1、MDS1=1)に、アナログ入力チャンネルをAN0~AN2(CH2=0、CH1=1、CH0=0)に設定してA/D変換を開始(ADST=1)します。
2. 第1チャンネル(AN0)のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRAに転送します。
3. 次に第2チャンネル(AN1)が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル(AN2)まで変換を行います。
5. 選択されたすべてのチャンネル(AN0~AN2)の変換が終了すると、ADF=1となり、再び、第1チャンネル(AN0)を選択し、連続して変換が行われます。このときADIEビットが1であると、A/D変換(第3チャンネルの変換)終了後、ADI割り込みを発生します。
6. ADSTビットは自動的にクリアされず、ADSTビットが1にセットされている間は2.~4.を繰り返します。繰り返している間はADF=1を保持しています。ADSTビットを0にクリアすると、A/D変換が停止します。ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

2.~4.を繰り返している間ADF=1でADIE=1の場合、常にADI割り込みを発生します。第3チャンネルの変換終了時点で割り込みを発生させたい場合は、割り込み発生後、ADFビットを0にクリアしてください。

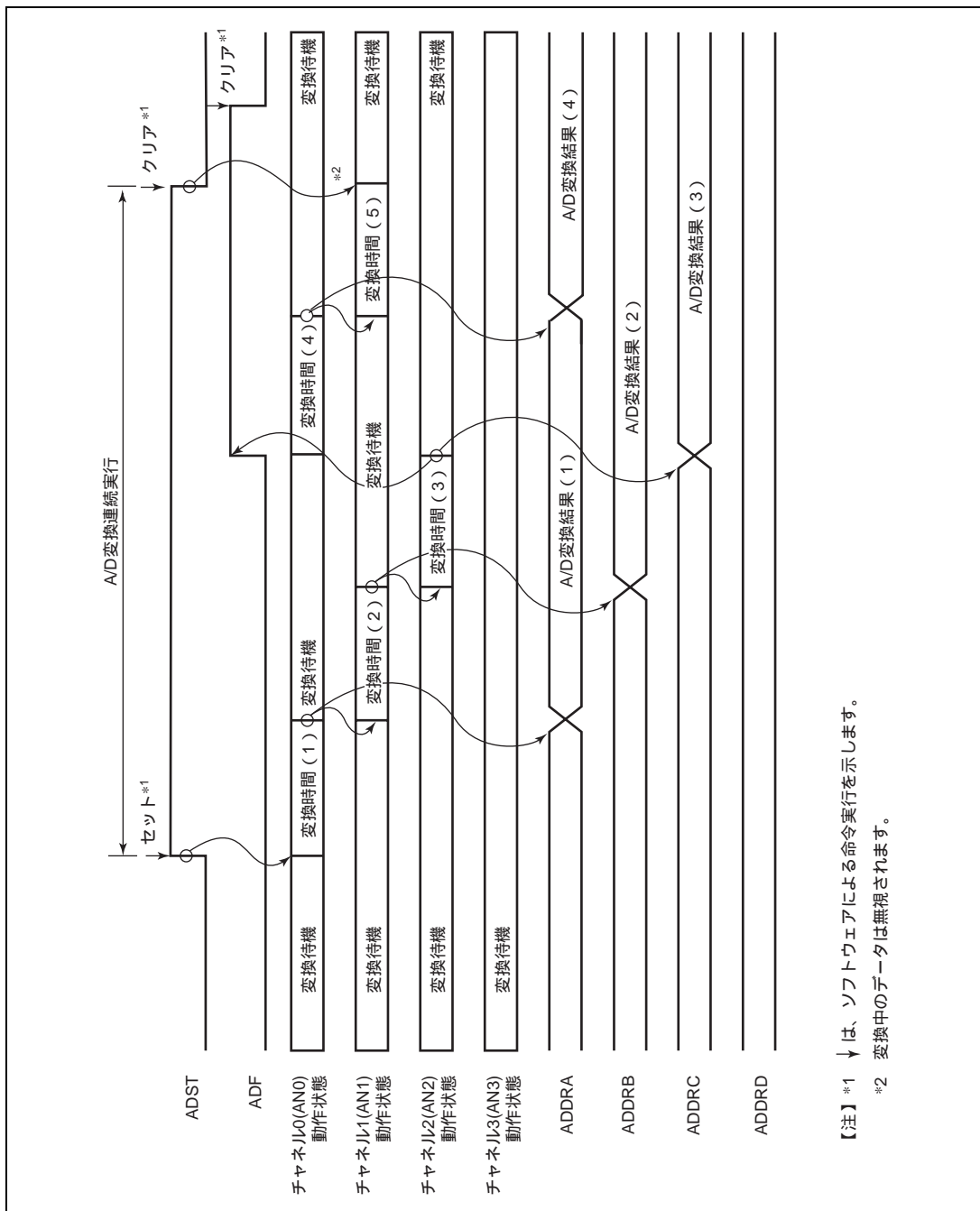


図 20.4 A/D 変換器の動作例 (スキャンモード、AN0~AN2 の3チャンネル選択時)

20.4.4 外部トリガ、MTU2、TMR による A/D 変換器の起動

外部トリガ、MTU2、TMR からの A/D 変換要求によって、A/D 変換器を独立に起動することができます。外部トリガ、MTU2、TMR から A/D 変換器を起動するときには、A/D トリガイネーブルビット (TRGS3 ~ TRGS0) の設定を行います。この状態で外部トリガ、MTU2、TMR の A/D 変換要求が発生すると、ADST ビットを 1 にセットします。これで、A/D 変換が開始されます。変換を行うチャンネルは、ADCSR の CH2 ~ CH0 ビットで決まりません。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

20.4.5 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_D) 経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 20.5 に示します。また、A/D 変換時間を表 20.4 に示します。

A/D 変換時間 (t_{CONV}) は、図 20.5 に示すように、 t_D と入力サンプリング時間 (t_{SPL}) を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 20.4 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 20.4 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 20.5 に示す値となります。

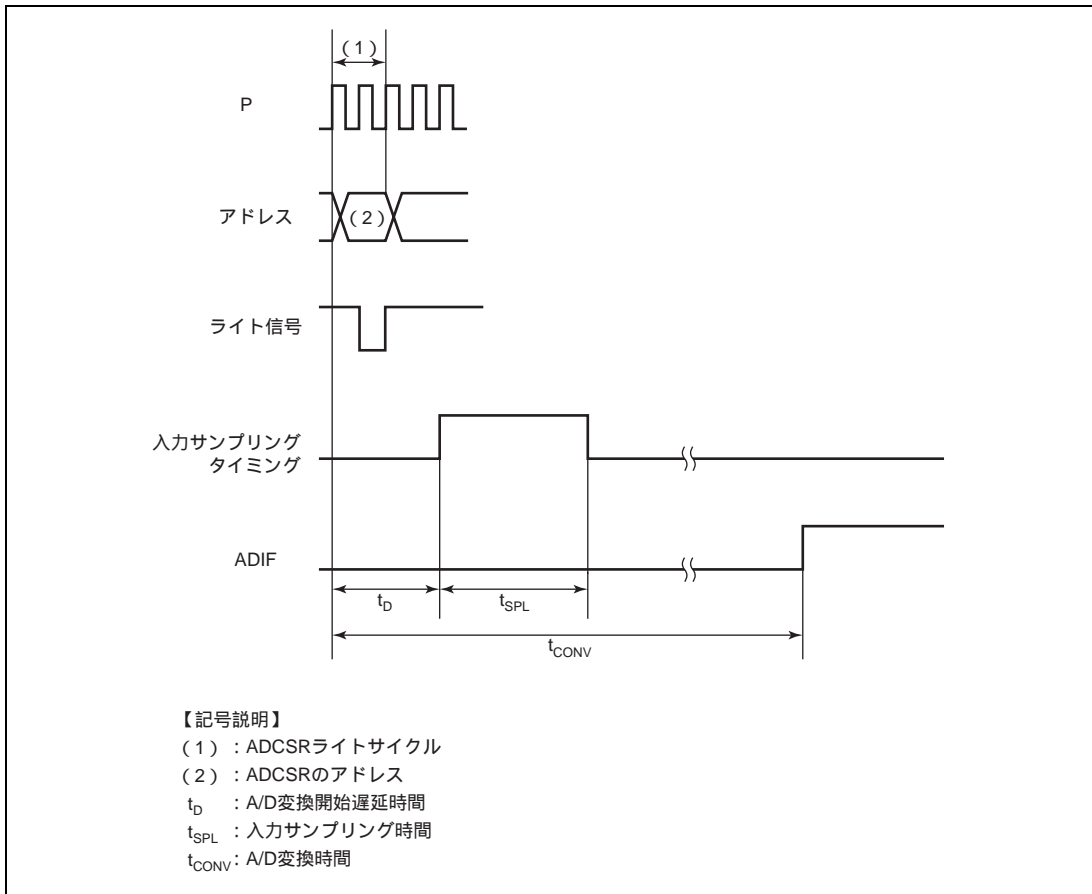


図 20.5 A/D 変換タイミング

表 20.4 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1		
		CKS0 = 0			CKS0 = 1			CKS0 = 0		
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
A/D 変換開始遅延時間	t_D	11	-	14	19	-	26	35	-	50
入力サンプリング時間	t_{SPL}	-	33	-	-	65	-	-	129	-
A/D 変換時間	t_{CONV}	135	-	138	267	-	274	531	-	546

【注】 表中の数値の単位はステートです。

表 20.5 A/D 変換時間 (マルチモード / スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	128 (固定)
	1	256 (固定)
1	0	512 (固定)

【注】 表中の数値の単位はステートです。

20.4.6 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCSR の TRGS3 ~ TRGS0 ビットが B'1001 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード / マルチモード / スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 20.6 に示します。

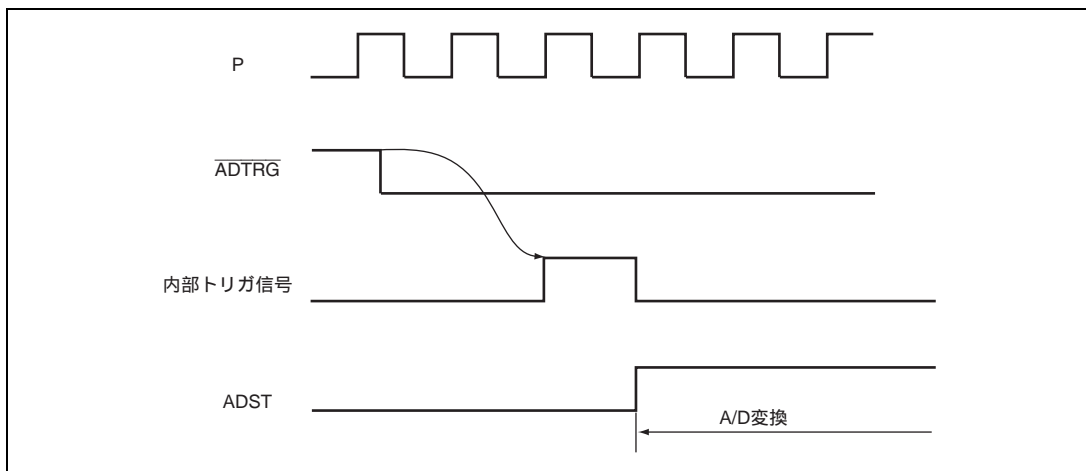


図 20.6 外部トリガ入力タイミング

20.5 割り込み要因と DMAC 転送要求

A/D 変換器は、A/D 変換が終了すると、A/D 変換割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされていると ADI 割り込み要求が発生します。なお、ADI 割り込みは、割り込みコントローラ (INTC) の設定により、DMAC の起動ができます。このとき、CPU への割り込み要求は発生されません。DMAC の起動設定を行わない場合は、CPU への割り込み要求が発生します。DMAC を使用して ADI 割り込みで変換されたデータのリードを行うと、連続変換がソフトウェアの負担なく実現できます。

シングルモードでは、ADI 割り込みによる DMA 転送は 1 回となるように設定してください。スキャンモードまたはマルチモードによる複数チャンネルの A/D 変換では DMA 転送回数を 1 回に設定すると、1 チャンネルのデータ転送のみで DMA 転送が終了してしまいます。DMAC によりすべての変換データを転送するには、転送元アドレスが A/D 変換データ格納先の ADDR となるように設定し、転送バイト数を変換チャンネル数 × 2 バイトに設定し、DMA 転送条件を連続オペランド転送かノンストップ転送に設定してください。

ADI で DMAC を起動する場合、DMAC によるデータ転送時に ADCSR の ADF ビットは自動的にクリアされません。

表 20.6 割り込み要因と DMAC 転送要求の関係

名称	割り込み要因	割り込みフラグ	DMAC の起動
ADI	A/D 変換終了	ADCSR の ADF	可

20.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャネルから入力されたアナログ値をアナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 20.7 に沿って、上記 1.~4.の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの中速 A/D 変換器を 3 ビットの中速 A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）B'000000000（図では 000）から B'000000001（図では 001）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 20.7（1））です。フルスケール誤差とはデジタル出力値が B'111111110（図では 110）から最大値（フルスケール電圧）B'111111111（図では 111）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 20.7（2））です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます（図 20.7（3））。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 20.7（4））です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

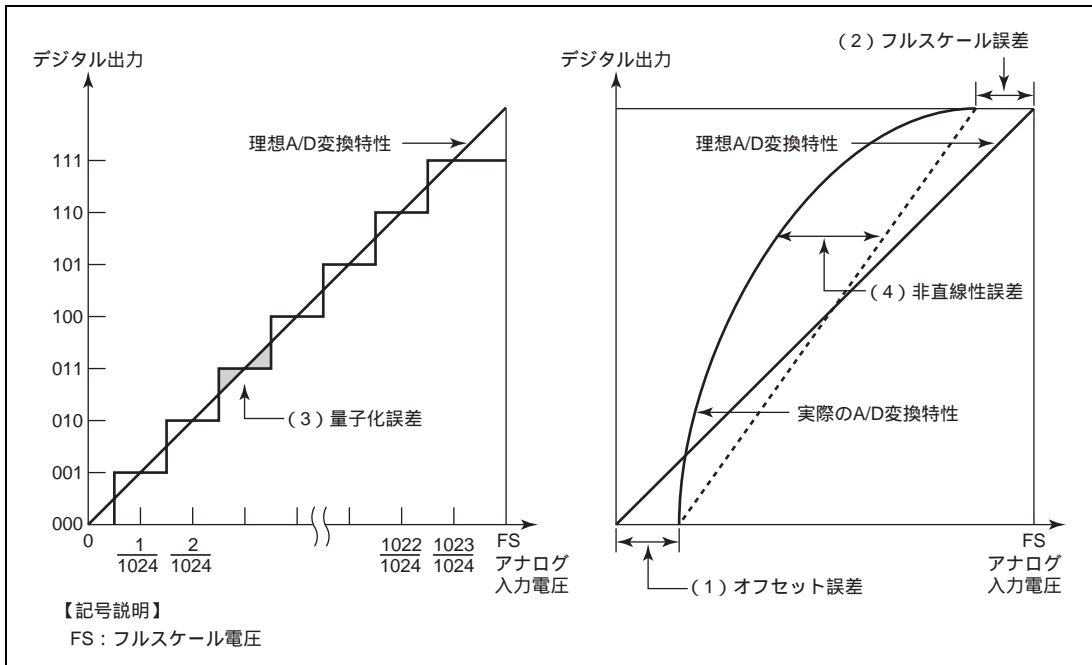


図 20.7 A/D 変換精度の定義

20.7 使用上の注意事項

A/D 変換器を使用する際は、以下のことに注意してください。

20.7.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、A/D 変換器の動作禁止 / 許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 25 章 低消費電力モード」を参照してください。

20.7.2 アナログ電圧の設定

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

1. アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 ANn に印加する電圧は AVss ANn AVcc の範囲としてください。(n=0~7)

2. AVcc、AVss 入力電圧

AVcc、AVss 入力電圧は、PVcc - 0.3V AVcc PVcc、AVss = PVss としてください。さらに、A/D 変換器および D/A 変換器を使用しないときやソフトウェアスタンバイモード時でも、AVcc、AVss 端子をオープンにしないでください。使用しないときは、必ず AVcc は電源 (PVcc) に、AVss はグランド (PVss) に接続してください。

3. AVref の設定範囲

AVref 端子によるリファレンス電圧範囲は 3.0V AVref AVcc にしてください。

20.7.3 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN0 ~ AN7)、アナログ基準電圧 (AVref)、アナログ電源 (AVcc) は、アナロググランド (AVss) で、デジタル回路を分離してください。さらに、アナロググランド (AVss) は、ボード上の安定したデジタルグランド (PVss) に一点接続してください。

20.7.4 アナログ入力端子の取り扱い

アナログ入力端子 (AN0 ~ AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 20.8 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 20.9 にアナログ入力端子の等価回路を、表 20.7 にアナログ入力端子の規格を示します。

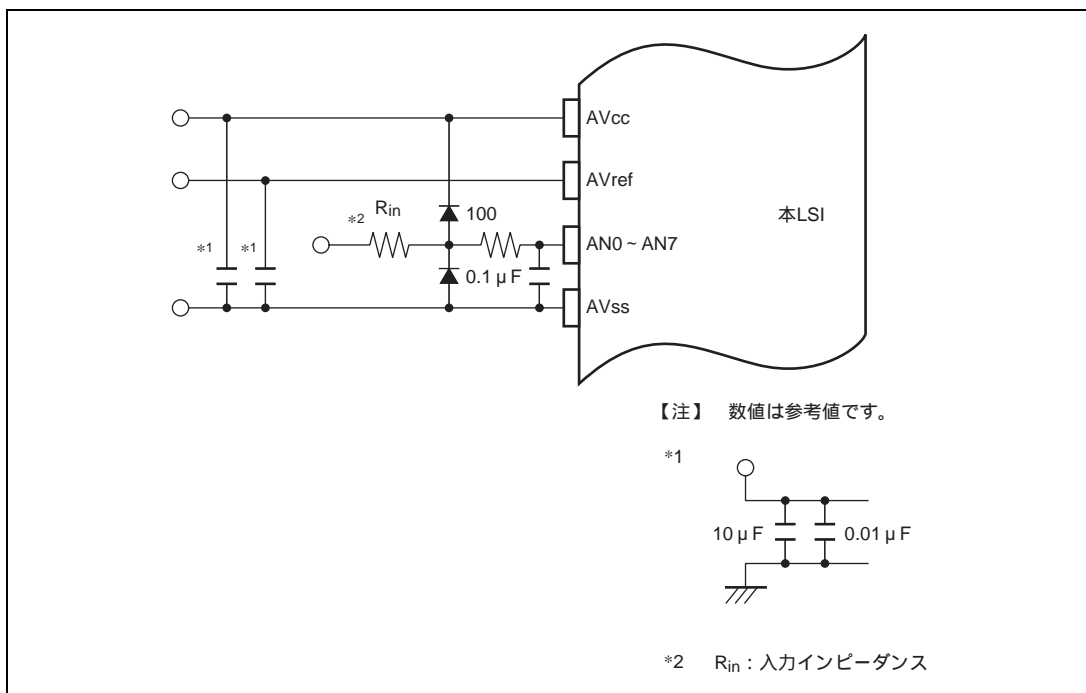


図 20.8 アナログ入力端子の保護回路例

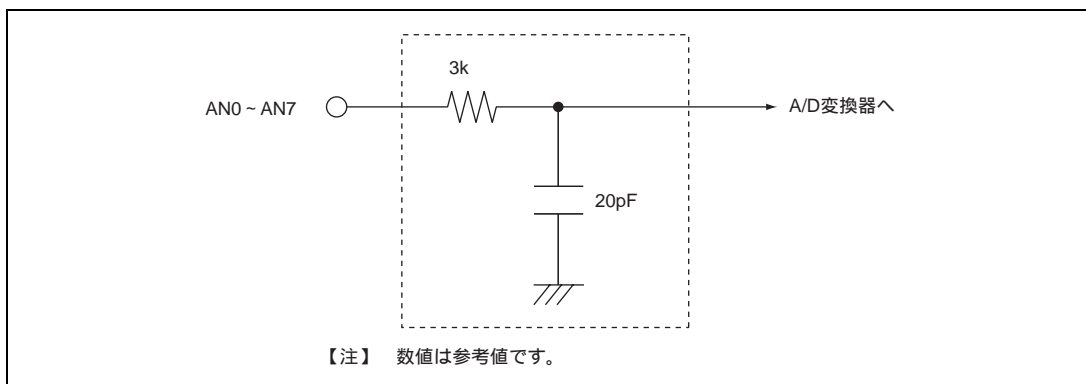


図 20.9 アナログ入力端子の等価回路

表 20.7 アナログ入力端子の規格

項目	Min.	Max.	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k

20.7.5 許容信号源インピーダンス

本 LSI のアナログ入力は、信号源インピーダンスが $5k$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k$ を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $3k$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号(たとえば $5mV/\mu s$ 以上)には追従できないことがあります(図 20.10)。高速のアナログ信号を変換する場合やスキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

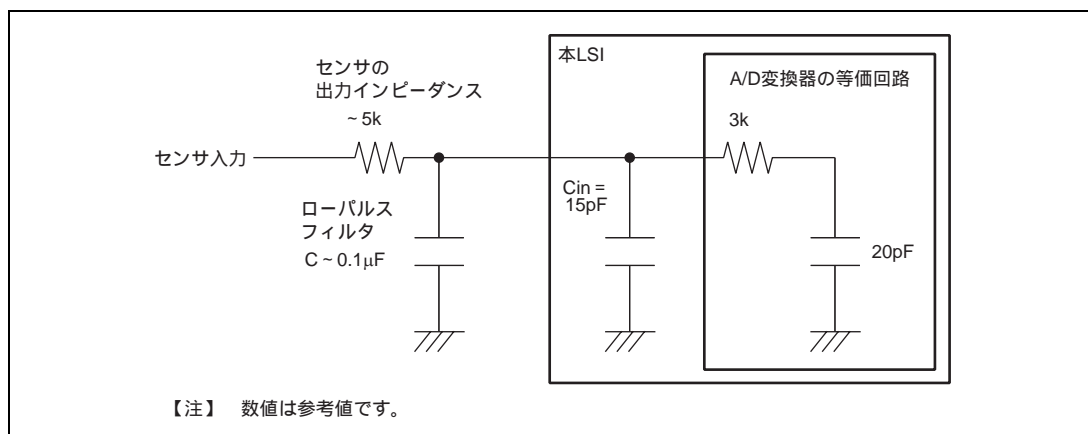


図 20.10 アナログ入力回路の例

20.7.6 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになります。GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等は電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交差したり、アンテナとならないように注意してください。

20.7.7 スキャンモードおよびマルチモード使用時の注意

スキャンモードおよびマルチモードの停止直後に変換を開始した場合、誤った変換結果を示すことがあります。連続して変換を行う場合は、 $ADST=0$ とした後、1 チャネル分の A/D 変換時間以上経過してから起動 ($ADST=1$) するようにしてください (1 チャネル分の変換時間は分周レジスタ設定により異なります)。

21. D/A 変換器 (DAC)

21.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 最小変換時間：最大10 μ s (負荷容量20pF時)
- 出力電圧：0V ~ AVref
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールスタンバイモードの設定可能

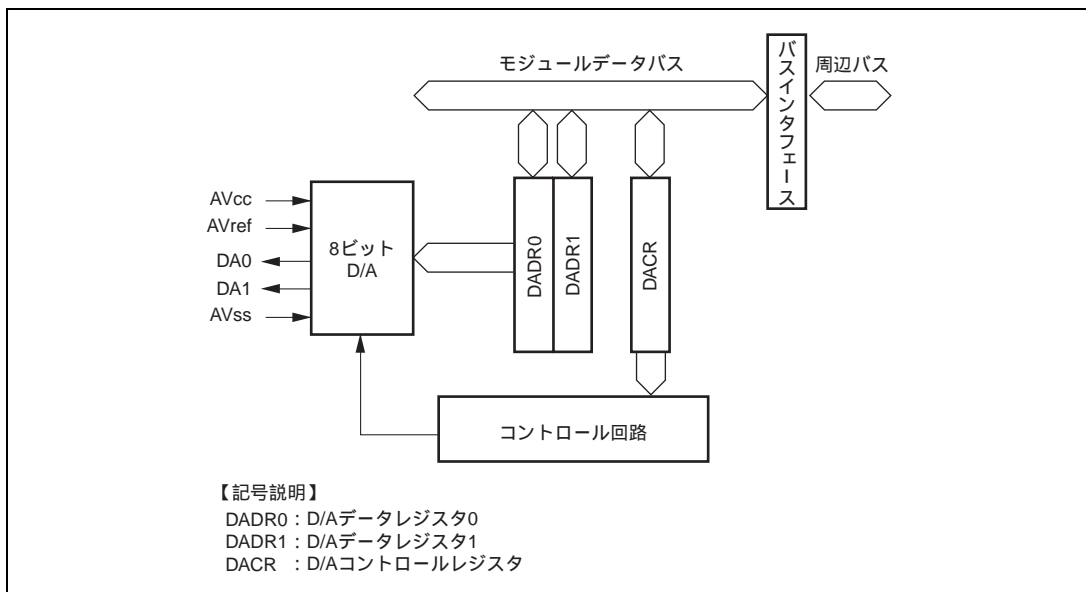


図 21.1 D/A 変換器のブロック図

21.2 入出力端子

D/A 変換器で使用する入出力端子を表 21.1 に示します。

表 21.1 端子構成

名称	端子名	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電源端子	AVref	入力	D/A 変換器の基準電圧端子
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力

21.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

表 21.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
D/A データレジスタ 0	DADR0	R/W	H'00	H'FFFE6800	8、16
D/A データレジスタ 1	DADR1	R/W	H'00	H'FFFE6801	8、16
D/A コントロールレジスタ	DACR	R/W	H'1F	H'FFFE6802	8、16

21.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

DADR は、D/A 変換を行うデータを格納するための 8 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力許可すると、DADR の値が変換されアナログ出力端子に出力されます。

DADR は、パワーオンリセット、ディープスタンバイモード、およびモジュールスタンバイモードで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.3.2 D/A コントロールレジスタ (DACR)

DACR は、8 ビットの読み出し / 書き込み可能なレジスタで、D/A 変換器の動作を制御します。

DACR は、パワーオンリセット、ディープスタンバイモード、およびモジュールスタンバイモードで H'1F に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 チャンネル 1 の D/A 変換とアナログ出力を制御します。 0: チャンネル 1 のアナログ出力 (DA1) を禁止 1: チャンネル 1 の D/A 変換を許可。チャンネル 1 のアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 チャンネル 0 の D/A 変換とアナログ出力を制御します。 0: チャンネル 0 のアナログ出力 (DA0) を禁止 1: チャンネル 0 の D/A 変換を許可。チャンネル 0 のアナログ出力 (DA0) を許可

ビット	ビット名	初期値	R/W	説 明
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。表 21.3 を参照してください。 0 : チャネル 0 とチャネル 1 の D/A 変換を独立に制御する 1 : チャネル 0 とチャネル 1 の D/A 変換を一括して制御する
4~0	-	すべて 1	-	リザーブビット 読み出すと常に 1 が読み出されます。書き込みは無効です。

表 21.3 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説 明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャネル 0 の D/A 変換を許可。チャネル 1 の D/A 変換を禁止
	1	0	チャネル 1 の D/A 変換を許可。チャネル 0 の D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
	1	0	
		1	

21.4 動作説明

2チャンネルのD/A変換は、それぞれ独立して変換を行うことができます。DACRのDAOEビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図21.2に示します。

1. DADR0に変換データをライトします。
2. DACRのDAOE0ビットを1にセットすると、D/A変換が開始されます。 t_{DCONV} 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \cdot \text{AVref}$$

3. DADR0を書き換えると直ちに変換が開始されます。 t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアするとアナログ出力を禁止します。

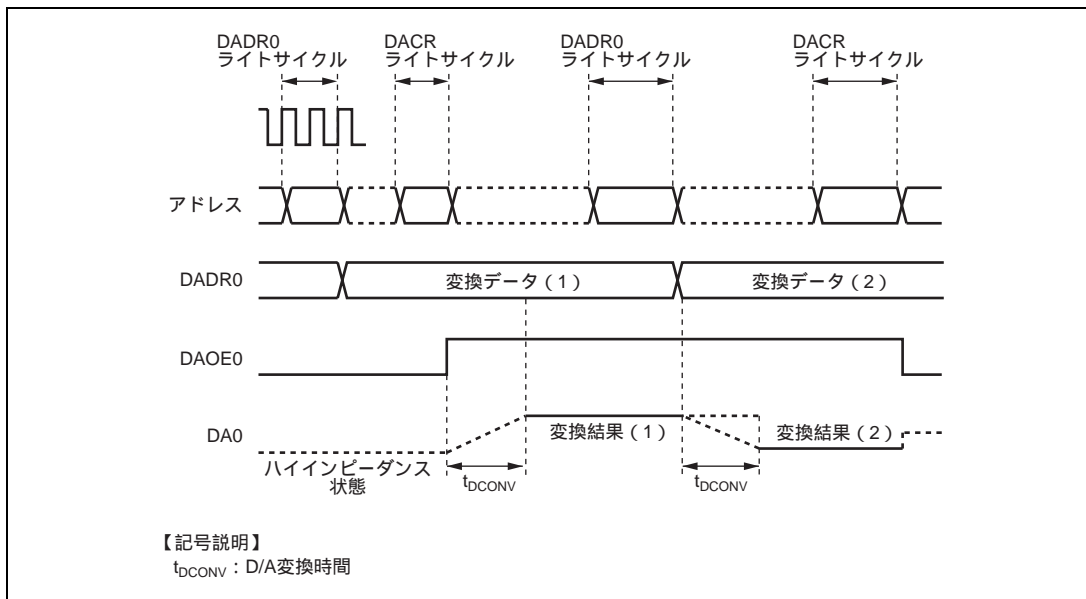


図 21.2 D/A 変換器の動作例

21.5 使用上の注意事項

21.5.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、D/A 変換器の動作禁止 / 許可を設定することが可能です。初期値では、D/A 変換の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 25 章 低消費電力モード」を参照してください。

21.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE0、DAOE1、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

21.5.3 ディープスタンバイモード時の D/A 変換と D/A 出力

D/A 変換を許可した状態で本 LSI がディープスタンバイモードになると D/A 変換の動作が停止し、D/A 出力も停止します。ディープスタンバイモードに遷移する前に、DAOE0、DAOE1、および DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

21.5.4 アナログ電圧の設定

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

1. AVcc、AVss 入力電圧

AVcc、AVss 入力電圧は、 $PVcc - 0.3V \leq AVcc \leq PVcc$ 、 $AVss = PVss$ としてください。さらに、A/D 変換器および D/A 変換器を使用しないときやソフトウェアスタンバイモード時でも、AVcc、AVss 端子をオープンにしないでください。使用しないときは、必ず AVcc は電源 (PVcc) に、AVss はグランド (PVss) に接続してください。

2. AVref の設定範囲

AVref 端子によるリファレンス電圧範囲は $3.0V \leq AVref \leq AVcc$ にしてください。

22. I/O ポート

本 LSI のポートは、A、B、C、D、E、F の 6 本から構成されています。

それぞれのポートの端子は、すべて、その他の機能を兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC) で行います。

ポートにはそれぞれ、端子のデータを格納するためのデータレジスタおよび端子の値を読み出すためのポートレジスタがあります。

22.1 ポート A

ポート A は、図 22.1 に示すような、32 本の端子を持つ入出力ポートです。

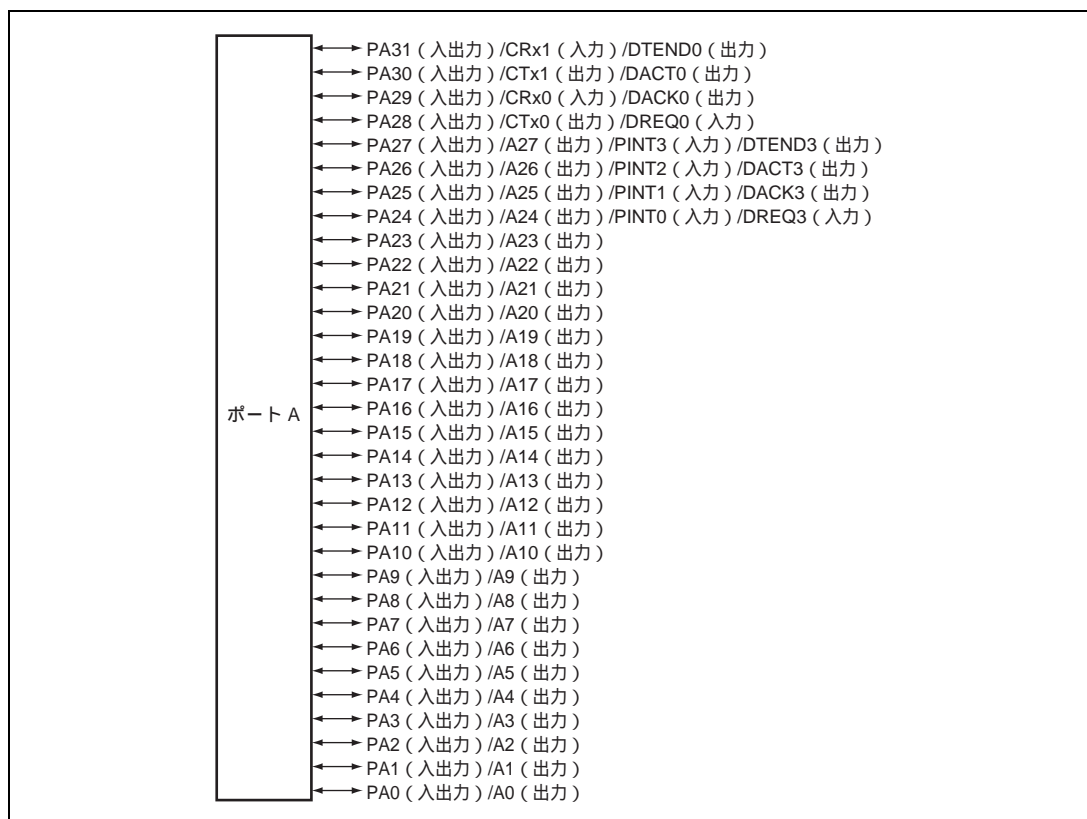


図 22.1 ポート A

22.1.1 レジスタの構成

ポート A のレジスタ構成を表 22.1 に示します。

表 22.1 レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ
ポート A データレジスタ H	PADRH	R/W	H'FFFE3800	8、16、32
ポート A データレジスタ L	PADRL	R/W	H'FFFE3802	8、16
ポート A ポートレジスタ H	PAPRH	R	H'FFFE3804	8、16、32
ポート A ポートレジスタ L	PAPRL	R	H'FFFE3806	8、16

22.1.2 ポート A データレジスタ H、L (PADRH、PADRL)

PADRH、PADRL は、それぞれ、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA31DR ~ PA0DR ビットは、それぞれ、PA31 ~ PA0 端子に対応しています。

端子機能が汎用出力の場合には、PADRH または PADRL に値を書き込むと端子からその値が出力され、PADRH または PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRH または PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRH または PADRL に値を書き込むと、PADRH または PADRL にその値を書き込みますが、端子の状態には影響しません。表 22.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

PADRH、PADRL は、パワーオンリセットおよび、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート A データレジスタ H (PADRH)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PA31 DR	PA30 DR	PA29 DR	PA28 DR	PA27 DR	PA26 DR	PA25 DR	PA24 DR	PA23 DR	PA22 DR	PA21 DR	PA20 DR	PA19 DR	PA18 DR	PA17 DR	PA16 DR
初期値： 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W： R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート A データレジスタ L (PADRL)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PA15 DR	PA14 DR	PA13 DR	PA12 DR	PA11 DR	PA10 DR	PA9 DR	PA8 DR	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
初期値： 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W： R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.2 ポート A データレジスタ H、L (PADRH、PADRL) の読み出し / 書き込み動作

PAIORH、L	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PADRH、L の値	書き込み値が端子から出力される
	汎用出力以外	PADRH、L の値	PADRH、L に書き込めるが、端子の状態に影響しない

22.1.3 ポート A ポートレジスタ H、L (PAPRH、PAPRL)

PAPRH、PAPRL は、それぞれ読み出し専用の 16 ビットのレジスタで、PA31PR ~ PA0PR ビットが、それぞれ、PA31 ~ PA0 端子に対応しています。PAPRH、PAPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

(1) ポート A ポートレジスタ H (PAPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA31 PR	PA30 PR	PA29 PR	PA28 PR	PA27 PR	PA26 PR	PA25 PR	PA24 PR	PA23 PR	PA22 PR	PA21 PR	PA20 PR	PA19 PR	PA18 PR	PA17 PR	PA16 PR
初期値:	PA31	PA30	PA29	PA28	PA27	PA26	PA25	PA24	PA23	PA22	PA21	PA20	PA19	PA18	PA17	PA16
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(2) ポート A ポートレジスタ L (PAPRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 PR	PA14 PR	PA13 PR	PA12 PR	PA11 PR	PA10 PR	PA9 PR	PA8 PR	PA7 PR	PA6 PR	PA5 PR	PA4 PR	PA3 PR	PA2 PR	PA1 PR	PA0 PR
初期値:	PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

22.2 ポート B

ポート B は、図 22.2 に示すような、32 本の端子を持つ入出力ポートです。

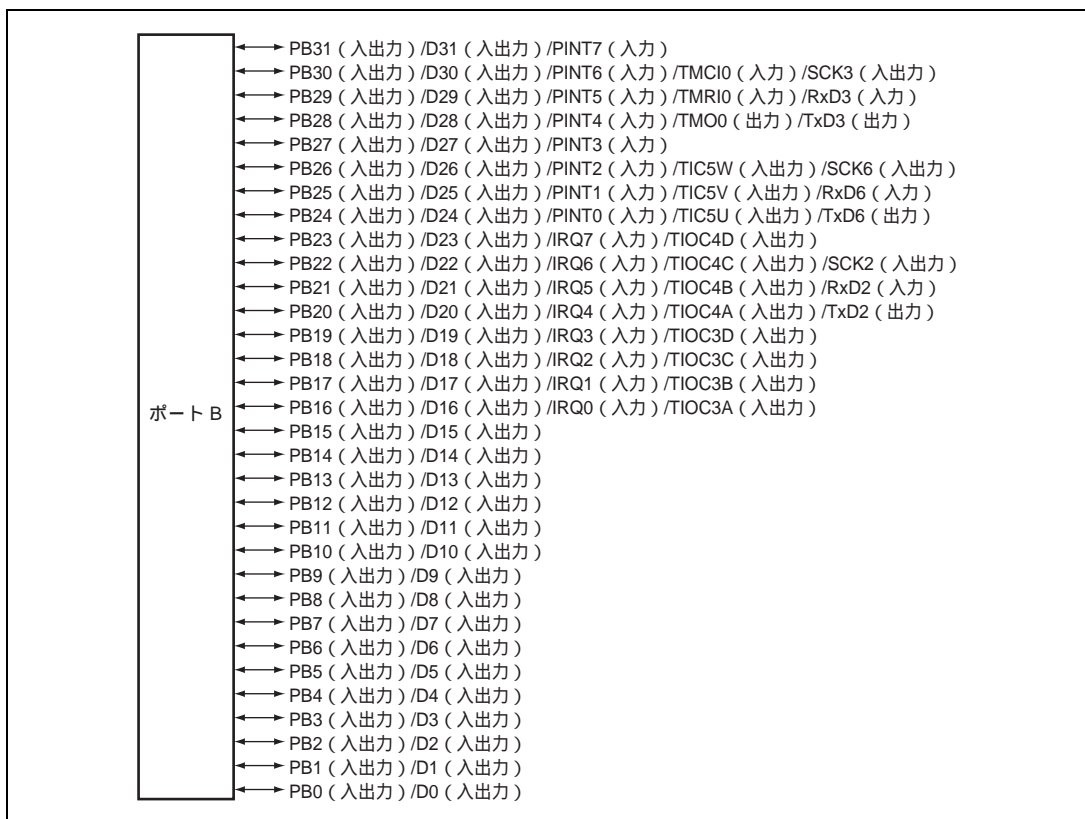


図 22.2 ポート B

22.2.1 レジスタの構成

ポート B のレジスタ構成を表 22.3 に示します。

表 22.3 レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ
ポート B データレジスタ H	PBDRH	R/W	H'FFFE3808	8、16、32
ポート B データレジスタ L	PBDRL	R/W	H'FFFE380A	8、16
ポート B ポートレジスタ H	PBPRH	R	H'FFFE380C	8、16、32
ポート B ポートレジスタ L	PBPRL	R	H'FFFE380E	8、16

22.2.2 ポート B データレジスタ H、L (PBDRH、PBDRL)

PBDRH、PBDRL は、それぞれ、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB31DR ~ PB0DR ビットは、それぞれ、PB31 ~ PB0 端子に対応しています。

端子機能が汎用出力の場合には、PBDRH または PBDRL に値を書き込むと端子からその値が出力され、PBDRH または PBDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDRH または PBDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDRH または PBDRL に値を書き込むと、PBDRH または PBDRL にその値を書き込みますが、端子の状態には影響しません。表 22.4 にポート B データレジスタの読み出し / 書き込み動作を示します。

PBDRH、PBDRL は、パワーオンリセットおよび、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート B データレジスタ H (PBDRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB31 DR	PB30 DR	PB29 DR	PB28 DR	PB27 DR	PB26 DR	PB25 DR	PB24 DR	PB23 DR	PB22 DR	PB21 DR	PB20 DR	PB19 DR	PB18 DR	PB17 DR	PB16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート B データレジスタ L (PBDRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 DR	PB14 DR	PB13 DR	PB12 DR	PB11 DR	PB10 DR	PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.4 ポート B データレジスタ H、L (PBDRH、PBDRL) の読み出し / 書き込み動作

PBIORH、L	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDRH、L の値	書き込み値が端子から出力される
	汎用出力以外	PBDRH、L の値	PBDRH、L に書き込めるが、端子の状態に影響しない

22.2.3 ポート B ポートレジスタ H、L (PBPRH、PBPRL)

PBPRH、PBPRL は、それぞれ読み出し専用の 16 ビットのレジスタで、PB31PR~PB0PR ビットが、それぞれ、PB31~PB0 端子に対応しています。PBPRH、PBPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

(1) ポート B ポートレジスタ H (PBPRH)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PB31 PR	PB30 PR	PB29 PR	PB28 PR	PB27 PR	PB26 PR	PB25 PR	PB24 PR	PB23 PR	PB22 PR	PB21 PR	PB20 PR	PB19 PR	PB18 PR	PB17 PR	PB16 PR
初期値：PB31	PB30	PB29	PB28	PB27	PB26	PB25	PB24	PB23	PB22	PB21	PB20	PB19	PB18	PB17	PB16
R/W： R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(2) ポート B ポートレジスタ L (PBPRL)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PB15 PR	PB14 PR	PB13 PR	PB12 PR	PB11 PR	PB10 PR	PB9 PR	PB8 PR	PB7 PR	PB6 PR	PB5 PR	PB4 PR	PB3 PR	PB2 PR	PB1 PR	PB0 PR
初期値：PB15	PB14	PB13	PB12	PB11	PB10	PB9	PB8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
R/W： R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

22.3 ポート C

ポート C は、図 22.3 に示すような、26 本の端子を持つ入出力ポートです。

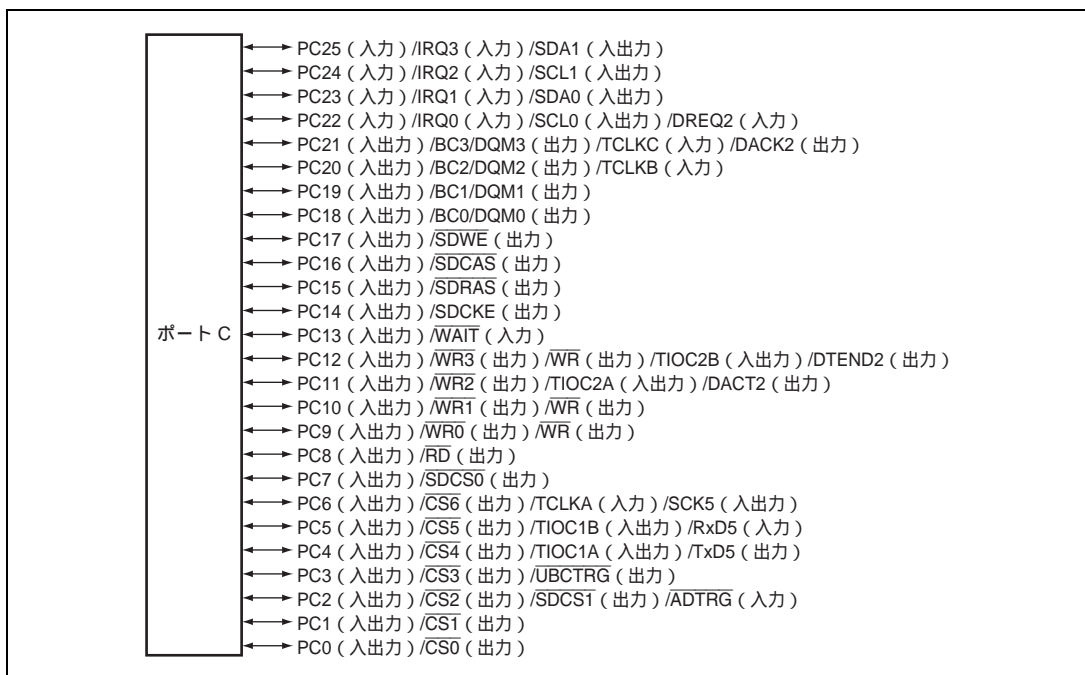


図 22.3 ポート C

22.3.1 レジスタの構成

ポート C のレジスタ構成を表 22.5 に示します。

表 22.5 レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ
ポート C データレジスタ H	PCDRH	R/W	H'FFFE3810	8、16、32
ポート C データレジスタ L	PCDRL	R/W	H'FFFE3812	8、16
ポート C ポートレジスタ H	PCPRH	R	H'FFFE3814	8、16、32
ポート C ポートレジスタ L	PCPRL	R	H'FFFE3816	8、16

22.3.2 ポート C データレジスタ H、L (PCDRH、PCDRL)

PCDRH、PCDRL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC21DR ~ PC0DR ビットは、それぞれ、PC21 ~ PC0 端子に対応しています。

端子機能が汎用出力の場合には、PCDRH または PCDRL に値を書き込むと端子からその値が出力され、PCDRH または PCDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDRH または PCDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDRH または PCDRL に値を書き込むと、PCDRH または PCDRL にその値を書き込みますが、端子の状態には影響しません。表 22.6 にポート C データレジスタの読み出し / 書き込み動作を示します。

PCDRH のビット 15 ~ 6 はリザーブビットです。PCDRH のビット 15 ~ 6 は読み出すと 0 が読み出されます。書き込む値は常に 0 にしてください。

PCDRH、PCDRL は、パワーオンリセットおよび、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート C データレジスタ H (PCDRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PC21 DR	PC20 DR	PC19 DR	PC18 DR	PC17 DR	PC16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート C データレジスタ L (PCDRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 DR	PC14 DR	PC13 DR	PC12 DR	PC11 DR	PC10 DR	PC9 DR	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.6 ポート C データレジスタ H、L (PCDRH、PCDRL) の読み出し / 書き込み動作

PCIORH、L	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDRH、L の値	書き込み値が端子から出力される
	汎用出力以外	PCDRH、L の値	PCDRH、L に書き込めるが、端子の状態に影響しない

22.3.3 ポート C ポートレジスタ H、L (PCPRH、PCPRL)

PCPRH、PCPRL は、それぞれ読み出し専用の 16 ビットのレジスタで、PC25PR ~ PC0PR ビットが、それぞれ、PC25 ~ PC0 端子に対応しています。PCPRH、PCPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

PCPRH のビット 15 ~ 10 はリザーブビットです。読み出すと 0 が読み出されます。書き込む値は常に 0 にしてください。

(1) ポート C ポートレジスタ H (PCPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PC25 PR	PC24 PR	PC23 PR	PC22 PR	PC21 PR	PC20 PR	PC19 PR	PC18 PR	PC17 PR	PC16 PR
初期値:	0	0	0	0	0	0	PC25	PC24	PC23	PC22	PC21	PC20	PC19	PC18	PC17	PC16
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(2) ポート C ポートレジスタ L (PCPRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 PR	PC14 PR	PC13 PR	PC12 PR	PC11 PR	PC10 PR	PC9 PR	PC8 PR	PC7 PR	PC6 PR	PC5 PR	PC5 PR	PC3 PR	PC2 PR	PC1 PR	PC0 PR
初期値:	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8	PC7	PC6	PC5	PC5	PC3	PC2	PC1	PC0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

22.4 ポート D

ポート D は、図 22.4 に示すような、17 本の端子を持つ入出力ポートです。

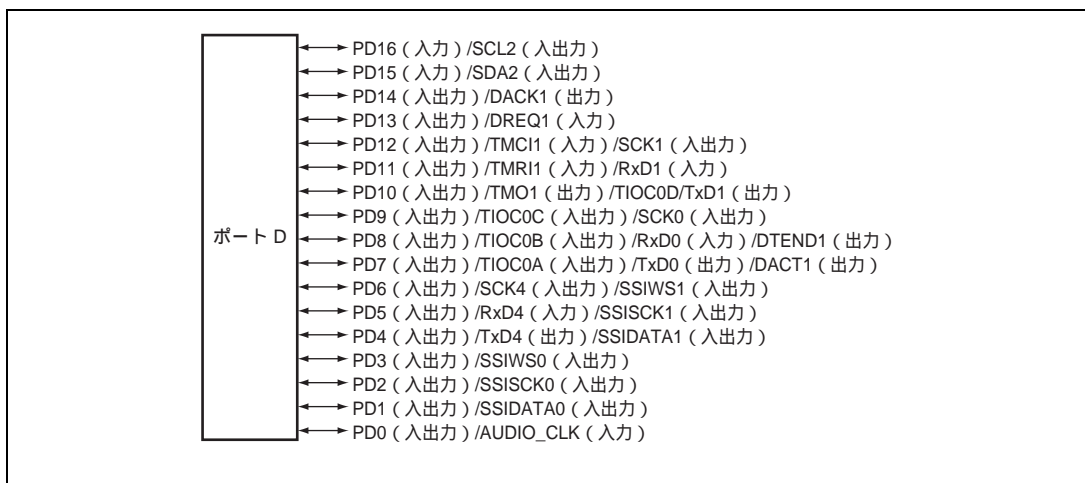


図 22.4 ポート D

22.4.1 レジスタの構成

ポート D のレジスタ構成を表 22.7 に示します。

表 22.7 レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ
ポート D データレジスタ	PDDR	R/W	H'FFFE381A	8、16
ポート D ポートレジスタ H	PDPRH	R	H'FFFE381C	8、16、32
ポート D ポートレジスタ L	PDPRL	R	H'FFFE381E	8、16

22.4.2 ポート D データレジスタ (PDDR)

PDDR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD14DR ~ PD0DR ビットは、それぞれ、PD14 ~ PD0 端子に対応しています。

端子機能が汎用出力の場合には、PDDR に値を書き込むと端子からその値が出力され、PDDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDR に値を書き込むと、PDDR にその値を書き込みますが、端子の状態には影響しません。表 22.8 にポート D データレジスタの読み出し / 書き込み動作を示します。

PDDR のビット 15 はリザーブビットです。PDDR のビット 15 は読み出すと 0 が読み出されます。書き込む値は常に 0 にしてください。

PDDR は、パワーオンリセットおよび、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD14 DR	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.8 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

PDIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDR の値	書き込み値が端子から出力される
	汎用出力以外	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない

22.4.3 ポート D ポートレジスタ H、L (PDPRH、PDPRL)

PDPRH、PDPRL は、それぞれ読み出し専用の 16 ビットのレジスタで、PD16PR ~ PD0PR ビットが、それぞれ、PD16 ~ PD0 端子に対応しています。PDPRH、PDPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

PDPRH のビット 15 ~ 1 はリザーブビットです。読み出すと 0 が読み出されます。書き込む値は常に 0 にしてください。

(1) ポート D ポートレジスタ H (PDPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PD16 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PD16
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(2) ポート D ポートレジスタ L (PDPRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 DR	PD14 DR	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

22.5 ポート E

ポート E は、図 22.5 に示すような、8 本の端子を持つ入出力ポートです。

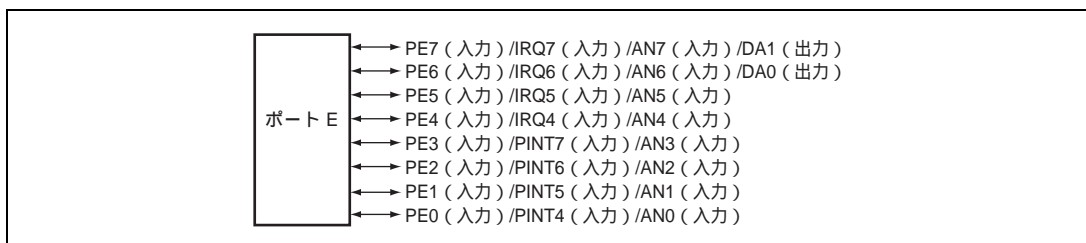


図 22.5 ポート E

22.5.1 レジスタの構成

ポート E のレジスタ構成を表 22.9 に示します。

表 22.9 レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ
ポート E ポートレジスタ	PEPR	R	H'FFFE3826	8、16

22.5.2 ポート E ポートレジスタ (PEPR)

PEPR は、読み出し専用の 16 ビットのレジスタで、PE7PR ~ PE0PR ビットが、それぞれ、PE7 ~ PE0 端子に対応しています。PEPR は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE7 PR	PE6 PR	PE5 PR	PE4 PR	PE3 PR	PE2 PR	PE1 PR	PE0 PR
初期値:	0	0	0	0	0	0	0	0	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

22.6 ポート F

ポート F は、図 22.6 に示すような、8 本の端子を持つ入出力ポートです。

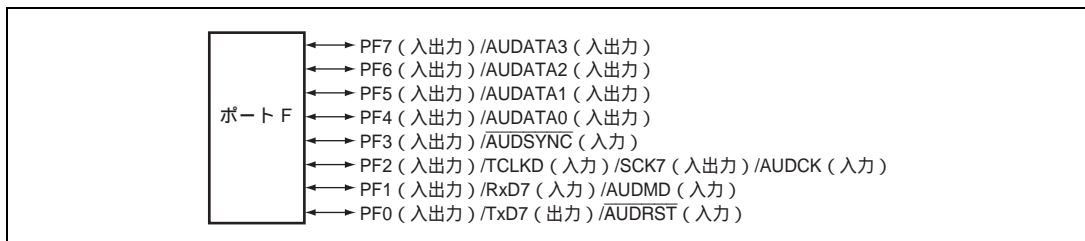


図 22.6 ポート F

22.6.1 レジスタの構成

ポート F のレジスタ構成を表 22.10 に示します。

表 22.10 レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ
ポート F データレジスタ	PFDR	R/W	H'FFFE382A	8、16
ポート F ポートレジスタ	PFPR	R	H'FFFE382E	8、16

22.6.2 ポート F データレジスタ (PFDR)

PFDR は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート F のデータを格納します。PF7DR ~ PF0DR ビットは、それぞれ、PF7 ~ PF0 端子に対応しています。

端子機能が汎用出力の場合には、PFDR に値を書き込むと端子からその値が出力され、PFDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PFDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PFDR に値を書き込むと、PFDR にその値を書き込みますが、端子の状態には影響しません。表 22.11 にポート F データレジスタの読み出し/書き込み動作を示します。

PFDR は、パワーオンリセットおよび、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF7 DR	PF6 DR	PF5 DR	PF4 DR	PF3 DR	PF2 DR	PF1 DR	PF0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.11 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作

PFIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR の値	書き込み値が端子から出力される
	汎用出力以外	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない

22.6.3 ポート F ポートレジスタ (PFPR)

PFPR は、読み出し専用の 16 ビットのレジスタで、PF7PR ~ PF0PR ビットが、それぞれ、PF7 ~ PF0 端子に対応しています。PFPR は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF7 PR	PF6 PR	PF5 PR	PF4 PR	PF3 PR	PF2 PR	PF1 PR	PF0 PR
初期値:	0	0	0	0	0	0	0	0	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

23. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 23.1 ~ 表 23.6 に本 LSI のマルチプレクス端子を示します。

表 23.1 マルチプレクス一覧表 (ポート A)

ポート	機能 1 PAnMD[2:0] = 000 (関連モジュール)	機能 2 PAnMD[2:0] = 001 (関連モジュール)	機能 3 PAnMD[2:0] = 010 (関連モジュール)	機能 4 PAnMD[2:0] = 011 (関連モジュール)	機能 5 PAnMD[2:0] = 100 (関連モジュール)
A	PA31 入出力 (ポート)	CRx1 入力 (RCAN-ET)	DTEND0 出力 (DMAC)		
	PA30 入出力 (ポート)	CTx1 出力 (RCAN-ET)	DACT0 出力 (DMAC)		
	PA29 入出力 (ポート)	CRx0 入力 (RCAN-ET)	DACK0 出力 (DMAC)		
	PA28 入出力 (ポート)	CTx0 出力 (RCAN-ET)	DREQ0 入力 (DMAC)		
	PA27 入出力 (ポート)	A27 出力 (BSC)	DTEND3 出力 (DMAC)	PINT3B 入力 (INTC)	
	PA26 入出力 (ポート)	A26 出力 (BSC)	DACT3 出力 (DMAC)	PINT2B 入力 (INTC)	
	PA25 入出力 (ポート)	A25 出力 (BSC)	DACK3 出力 (DMAC)	PINT1B 入力 (INTC)	
	PA24 入出力 (ポート)	A24 出力 (BSC)	DREQ3 入力 (DMAC)	PINT0B 入力 (INTC)	
	PA23 入出力 (ポート)	A23 出力 (BSC)			
	PA22 入出力 (ポート)	A22 出力 (BSC)			
	PA21 入出力 (ポート)	A21 出力 (BSC)			
	PA20 入出力 (ポート)	A20 出力 (BSC)			
	PA19 入出力 (ポート)	A19 出力 (BSC)			
	PA18 入出力 (ポート)	A18 出力 (BSC)			

ポート	機能 1 PAnMD[2:0] = 000 (関連モジュール)	機能 2 PAnMD[2:0] = 001 (関連モジュール)	機能 3 PAnMD[2:0] = 010 (関連モジュール)	機能 4 PAnMD[2:0] = 011 (関連モジュール)	機能 5 PAnMD[2:0] = 100 (関連モジュール)
A	PA17 入出力 (ポート)	A17 出力 (BSC)			
	PA16 入出力 (ポート)	A16 出力 (BSC)			
	PA15 入出力 (ポート)	A15 出力 (BSC)			
	PA14 入出力 (ポート)	A14 出力 (BSC)			
	PA13 入出力 (ポート)	A13 出力 (BSC)			
	PA12 入出力 (ポート)	A12 出力 (BSC)			
	PA11 入出力 (ポート)	A11 出力 (BSC)			
	PA10 入出力 (ポート)	A10 出力 (BSC)			
	PA9 入出力(ポート)	A9 出力 (BSC)			
	PA8 入出力(ポート)	A8 出力 (BSC)			
	PA7 入出力(ポート)	A7 出力 (BSC)			
	PA6 入出力(ポート)	A6 出力 (BSC)			
	PA5 入出力(ポート)	A5 出力 (BSC)			
	PA4 入出力(ポート)	A4 出力 (BSC)			
	PA3 入出力(ポート)	A3 出力 (BSC)			
	PA2 入出力(ポート)	A2 出力 (BSC)			
	PA1 入出力(ポート)	A1 出力 (BSC)			
PA0 入出力(ポート)	A0 出力 (BSC)				

表 23.2 マルチプレクス一覧表 (ポート B)

ポート	機能 1 PBnMD[2:0] = 000 (関連モジュール)	機能 2 PBnMD[2:0] = 001 (関連モジュール)	機能 3 PBnMD[2:0] = 010 (関連モジュール)	機能 4 PBnMD[2:0] = 011 (関連モジュール)	機能 5 PBnMD[2:0] = 100 (関連モジュール)
B	PB31 入出力 (ポート)	D31 入出力 (BSC)	PINT7A 入力 (INTC)		
	PB30 入出力 (ポート)	D30 入出力 (BSC)	PINT6A 入力 (INTC)	SCK3 入出力 (SCIF)	TMC10 入力 (TMR)
	PB29 入出力 (ポート)	D29 入出力 (BSC)	PINT5A 入力 (INTC)	RxD3 入力 (SCIF)	TMR10 入力 (TMR)
	PB28 入出力 (ポート)	D28 入出力 (BSC)	PINT4A 入力 (INTC)	TxD3 出力 (SCIF)	TMO0 出力 (TMR)
	PB27 入出力 (ポート)	D27 入出力 (BSC)	PINT3A 入力 (INTC)		
	PB26 入出力 (ポート)	D26 入出力 (BSC)	PINT2A 入力 (INTC)	TIC5W 入力 (MTU2)	SCK6 入出力 (SCIF)
	PB25 入出力 (ポート)	D25 入出力 (BSC)	PINT1A 入力 (INTC)	TIC5V 入力 (MTU2)	RxD6 入力 (SCIF)
	PB24 入出力 (ポート)	D24 入出力 (BSC)	PINT0A 入力 (INTC)	TIC5U 入力 (MTU2)	TxD6 出力 (SCIF)
	PB23 入出力 (ポート)	D23 入出力 (BSC)	IRQ7A 入力 (INTC)	TIOC4D 入出力 (MTU2)	
	PB22 入出力 (ポート)	D22 入出力 (BSC)	IRQ6A 入力 (INTC)	TIOC4C 入出力 (MTU2)	SCK2 入出力 (SCIF)
	PB21 入出力 (ポート)	D21 入出力 (BSC)	IRQ5A 入力 (INTC)	TIOC4B 入出力 (MTU2)	RxD2 入力 (SCIF)
	PB20 入出力 (ポート)	D20 入出力 (BSC)	IRQ4A 入力 (INTC)	TIOC4A 入出力 (MTU2)	TxD2 出力 (SCIF)
	PB19 入出力 (ポート)	D19 入出力 (BSC)	IRQ3A 入力 (INTC)	TIOC3D 入出力 (MTU2)	
	PB18 入出力 (ポート)	D18 入出力 (BSC)	IRQ2A 入力 (INTC)	TIOC3C 入出力 (MTU2)	
	PB17 入出力 (ポート)	D17 入出力 (BSC)	IRQ1A 入力 (INTC)	TIOC3B 入出力 (MTU2)	
	PB16 入出力 (ポート)	D16 入出力 (BSC)	IRQ0A 入力 (INTC)	TIOC3A 入出力 (MTU2)	
	PB15 入出力 (ポート)	D15 入出力 (BSC)			
	PB14 入出力 (ポート)	D14 入出力 (BSC)			
PB13 入出力 (ポート)	D13 入出力 (BSC)				

ポート	機能 1 PBnMD[2:0] = 000 (関連モジュール)	機能 2 PBnMD[2:0] = 001 (関連モジュール)	機能 3 PBnMD[2:0] = 010 (関連モジュール)	機能 4 PBnMD[2:0] = 011 (関連モジュール)	機能 5 PBnMD[2:0] = 100 (関連モジュール)
B	PB12 入出力 (ポート)	D12 入出力 (BSC)			
	PB11 入出力 (ポート)	D11 入出力 (BSC)			
	PB10 入出力 (ポート)	D10 入出力 (BSC)			
	PB9 入出力(ポート)	D9 入出力 (BSC)			
	PB8 入出力(ポート)	D8 入出力 (BSC)			
	PB7 入出力(ポート)	D7 入出力 (BSC)			
	PB6 入出力(ポート)	D6 入出力 (BSC)			
	PB5 入出力(ポート)	D5 入出力 (BSC)			
	PB4 入出力(ポート)	D4 入出力 (BSC)			
	PB3 入出力(ポート)	D3 入出力 (BSC)			
	PB2 入出力(ポート)	D2 入出力 (BSC)			
	PB1 入出力(ポート)	D1 入出力 (BSC)			
PB0 入出力(ポート)	D0 入出力 (BSC)				

表 23.3 マルチプレクス一覧表 (ポート C)

ポート	機能 1 PCnMD[2:0] = 000 (関連モジュール)	機能 2 PCnMD[2:0] = 001 (関連モジュール)	機能 3 PCnMD[2:0] = 010 (関連モジュール)	機能 4 PCnMD[2:0] = 011 (関連モジュール)	機能 5 PCnMD[2:0] = 100 (関連モジュール)
C	PC25 入力 (ポート)	IRQ3B 入力 (INTC)		SDA1 入出力 (IIC3)	
	PC24 入力 (ポート)	IRQ2B 入力 (INTC)		SCL1 入出力 (IIC3)	
	PC23 入力 (ポート)	IRQ1B 入力 (INTC)		SDA0 入出力 (IIC3)	
	PC22 入力 (ポート)	IRQ0B 入力 (INTC)	DREQ2 入力 (DMAC)	SCL0 入出力 (IIC3)	
	PC21 入出力 (ポート)	BC3/DQM3 出力 (BSC)	TCLKC 入力 (MTU2)	DACK2 出力 (DMAC)	
	PC20 入出力 (ポート)	BC2/DQM2 出力 (BSC)	TCLKB 入力 (MTU2)		
	PC19 入出力 (ポート)	BC1/DQM1 出力 (BSC)			
	PC18 入出力 (ポート)	BC0/DQM0 出力 (BSC)			

ポート	機能 1 PCnMD[2:0] = 000 (関連モジュール)	機能 2 PCnMD[2:0] = 001 (関連モジュール)	機能 3 PCnMD[2:0] = 010 (関連モジュール)	機能 4 PCnMD[2:0] = 011 (関連モジュール)	機能 5 PCnMD[2:0] = 100 (関連モジュール)
C	PC17 入出力 (ポート)	\overline{SDWE} 出力 (BSC)			
	PC16 入出力 (ポート)	\overline{SDCAS} 出力 (BSC)			
	PC15 入出力 (ポート)	\overline{SDRAS} 出力 (BSC)			
	PC14 入出力 (ポート)	\overline{SDCKE} 出力 (BSC)			
	PC13 入出力 (ポート)	\overline{WAIT} 入力 (BSC)			
	PC12 入出力 (ポート)	$\overline{WR3}$ 出力 (BSC)	TIOC2B 入出力 (MTU2)	DTEND2 出力 (DMAC)	
	PC11 入出力 (ポート)	$\overline{WR2}$ 出力 (BSC)	TIOC2A 入出力 (MTU2)	DACT2 出力 (DMAC)	
	PC10 入出力 (ポート)	$\overline{WR1}$ 出力 (BSC)			
	PC9 入出力(ポート)	$\overline{WR0}$ 出力 (BSC)			
	PC8 入出力(ポート)	\overline{RD} 出力 (BSC)			
	PC7 入出力(ポート)	$\overline{SDCS0}$ 出力 (BSC)			
	PC6 入出力(ポート)	$\overline{CS6}$ 出力 (BSC)	SCK5 入出力(SCIF)	TCLKA 入力(MTU2)	
	PC5 入出力(ポート)	$\overline{CS5}$ 出力 (BSC)	RxD5 入力 (SCIF)	TIOC1B 入出力 (MTU2)	
	PC4 入出力(ポート)	$\overline{CS4}$ 出力 (BSC)	TxD5 出力 (SCIF)	TIOC1A 入出力 (MTU2)	
	PC3 入出力(ポート)	$\overline{CS3}$ 出力 (BSC)	$\overline{UBCTR\overline{G}}$ 出力 (UBC)		
	PC2 入出力(ポート)	$\overline{CS2}$ 出力 (BSC)	$\overline{SDCS1}$ 出力 (BSC)	$\overline{ADTR\overline{G}}$ 入力 (A/D)	
PC1 入出力(ポート)	$\overline{CS1}$ 出力 (BSC)				
PC0 入出力(ポート)	$\overline{CS0}$ 出力 (BSC)				

表 23.4 マルチプレクス一覧表 (ポート D)

ポート	機能 1 PDnMD[2:0]=000 (関連モジュール)	機能 2 PDnMD[2:0]=001 (関連モジュール)	機能 3 PDnMD[2:0]=010 (関連モジュール)	機能 4 PDnMD[2:0]=011 (関連モジュール)	機能 5 PDnMD[2:0]=100 (関連モジュール)
D	PD16 入力 (ポート)	SCL2 入出力 (IIC3)			
	PD15 入力 (ポート)	SDA2 入出力 (IIC3)			
	PD14 入出力 (ポート)		DACK1 出力 (DMAC)		
	PD13 入出力 (ポート)		DREQ1 入力 (DMAC)		
	PD12 入出力 (ポート)	SCK1 入出力 (SCIF)	TMC11 入力 (TMR)		
	PD11 入出力 (ポート)	RxD1 入力 (SCIF)	TMR11 入力 (TMR)		
	PD10 入出力 (ポート)	TxD1 出力 (SCIF)	TMO1 出力 (TMR)	TIOC0D 入出力 (MTU2)	
	PD9 入出力 (ポート)	SCK0 入出力 (SCIF)		TIOC0C 入出力 (MTU2)	
	PD8 入出力 (ポート)	RxD0 入力 (SCIF)	DTEND1 出力 (DMAC)	TIOC0B 入出力 (MTU2)	
	PD7 入出力 (ポート)	TxD0 出力 (SCIF)	DACT1 出力 (DMAC)	TIOC0A 入出力 (MTU2)	
	PD6 入出力 (ポート)	SSIWS1 入出力 (SSI)	SCK4 入出力 (SCIF)		
	PD5 入出力 (ポート)	SSISCK1 入出力 (SSI)	RxD4 入力 (SCIF)		
	PD4 入出力 (ポート)	SSIDATA1 入出力 (SSI)	TxD4 出力 (SCIF)		
	PD3 入出力 (ポート)	SSIWS0 入出力 (SSI)			
	PD2 入出力 (ポート)	SSISCK0 入出力 (SSI)			
	PD1 入出力 (ポート)	SSIDATA0 入出力 (SSI)			
PD0 入出力 (ポート)	AUDIO_CLK 入力 (SSI)				

表 23.5 マルチプレクス一覧表 (ポート E)

ポート	機能 1 PE _n MD[2:0] = 000 (関連モジュール)	機能 2 PE _n MD[2:0] = 001 (関連モジュール)	機能 3 PE _n MD[2:0] = 010 (関連モジュール)	機能 4 PE _n MD[2:0] = 011 (関連モジュール)	機能 5 PE _n MD[2:0] = 100 (関連モジュール)
E	PE7 入力 (ポート)	IRQ7B 入力 (INTC)			
	PE6 入力 (ポート)	IRQ6B 入力 (INTC)			
	PE5 入力 (ポート)	IRQ5B 入力 (INTC)			
	PE4 入力 (ポート)	IRQ4B 入力 (INTC)			
	PE3 入力 (ポート)	PINT7B 入力 (INTC)			
	PE2 入力 (ポート)	PINT6B 入力 (INTC)			
	PE1 入力 (ポート)	PINT5B 入力 (INTC)			
	PE0 入力 (ポート)	PINT4B 入力 (INTC)			

表 23.6 マルチプレクス一覧表 (ポート F)

ポート	機能 1 PF _n MD[2:0] = 000 (関連モジュール)	機能 2 PF _n MD[2:0] = 001 (関連モジュール)	機能 3 PF _n MD[2:0] = 010 (関連モジュール)	機能 4 PF _n MD[2:0] = 011 (関連モジュール)	機能 5 PF _n MD[2:0] = 100 (関連モジュール)
F	PF7 入出力 (ポート)	AUDATA3 入出力 (AUD-II)			
	PF6 入出力 (ポート)	AUDATA2 入出力 (AUD-II)			
	PF5 入出力 (ポート)	AUDATA1 入出力 (AUD-II)			
	PF4 入出力 (ポート)	AUDATA0 入出力 (AUD-II)			
	PF3 入出力 (ポート)	AUDSYNC 入力 (AUD-II)			
	PF2 入出力 (ポート)	AUDCK 入力 (AUD-II)	SCK7 入出力 (SCIF)	TCLKD 入力 (MTU2)	
	PF1 入出力 (ポート)	AUDMD 入力 (AUD-II)	RxD7 入力 (SCIF)		
	PF0 入出力 (ポート)	AUDRST 入力 (AUD-II)	TxD7 出力 (SCIF)		

23.1 レジスタの説明

PFC には以下のレジスタがあります。

表 23.7 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート A・IO レジスタ H	PAIORH	R/W	H'0000	H'FFFE3880	8、16、32
ポート A・IO レジスタ L	PAIORL	R/W	H'0000	H'FFFE3882	8、16
ポート A コントロールレジスタ 8	PACR8	R/W	H'0000	H'FFFE3884	8、16、32
ポート A コントロールレジスタ 7	PACR7	R/W	H'0000	H'FFFE3886	8、16
ポート A コントロールレジスタ 6	PACR6	R/W	H'1111	H'FFFE3888	8、16、32
ポート A コントロールレジスタ 5	PACR5	R/W	H'1111	H'FFFE388A	8、16
ポート A コントロールレジスタ 4	PACR4	R/W	H'1111	H'FFFE388C	8、16、32
ポート A コントロールレジスタ 3	PACR3	R/W	H'1111	H'FFFE388E	8、16
ポート A コントロールレジスタ 2	PACR2	R/W	H'1111	H'FFFE3890	8、16、32
ポート A コントロールレジスタ 1	PACR1	R/W	H'1111	H'FFFE3892	8、16
ポート B・IO レジスタ H	PBIORH	R/W	H'0000	H'FFFE3898	8、16、32
ポート B・IO レジスタ L	PBIORL	R/W	H'0000	H'FFFE389A	8、16
ポート B コントロールレジスタ 8	PBCR8	R/W	H'0000/ H'1111	H'FFFE389C	8、16、32
ポート B コントロールレジスタ 7	PBCR7	R/W	H'0000/ H'1111	H'FFFE389E	8、16
ポート B コントロールレジスタ 6	PBCR6	R/W	H'0000/ H'1111	H'FFFE38A0	8、16、32
ポート B コントロールレジスタ 5	PBCR5	R/W	H'0000/ H'1111	H'FFFE38A2	8、16
ポート B コントロールレジスタ 4	PBCR4	R/W	H'0000/ H'1111	H'FFFE38A4	8、16、32
ポート B コントロールレジスタ 3	PBCR3	R/W	H'0000/ H'1111	H'FFFE38A6	8、16
ポート B コントロールレジスタ 2	PBCR2	R/W	H'1111	H'FFFE38A8	8、16、32
ポート B コントロールレジスタ 1	PBCR1	R/W	H'1111	H'FFFE38AA	8、16
ポート C・IO レジスタ H	PCIORH	R/W	H'0000	H'FFFE38B0	8、16、32
ポート C・IO レジスタ L	PCIORL	R/W	H'0000	H'FFFE38B2	8、16
ポート C コントロールレジスタ 7	PCCR7	R/W	H'0000	H'FFFE38B6	8、16
ポート C コントロールレジスタ 6	PCCR6	R/W	H'0000	H'FFFE38B8	8、16、32
ポート C コントロールレジスタ 5	PCCR5	R/W	H'0000	H'FFFE38BA	8、16

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート C コントロールレジスタ 4	PCCR4	R/W	H'0000/ H'0001	H'FFFE38BC	8、16、32
ポート C コントロールレジスタ 3	PCCR3	R/W	H'0011/ H'0111/ H'1111	H'FFFE38BE	8、16
ポート C コントロールレジスタ 2	PCCR2	R/W	H'0000	H'FFFE38C0	8、16、32
ポート C コントロールレジスタ 1	PCCR1	R/W	H'0001	H'FFFE38C2	8、16
ポート D・IO レジスタ	PDIOR	R/W	H'0000	H'FFFE38CA	8、16
ポート D コントロールレジスタ 5	PDCR5	R/W	H'0000	H'FFFE38D2	8、16
ポート D コントロールレジスタ 4	PDCR4	R/W	H'0000	H'FFFE38D4	8、16、32
ポート D コントロールレジスタ 3	PDCR3	R/W	H'0000	H'FFFE38D6	8、16
ポート D コントロールレジスタ 2	PDCR2	R/W	H'0000	H'FFFE38D8	8、16、32
ポート D コントロールレジスタ 1	PDCR1	R/W	H'0000	H'FFFE38DA	8、16
ポート E コントロールレジスタ 2	PECR2	R/W	H'0000	H'FFFE38F0	8、16、32
ポート E コントロールレジスタ 1	PECR1	R/W	H'0000	H'FFFE38F2	8、16
ポート F・IO レジスタ	PFIOR	R/W	H'0000	H'FFFE38FA	8、16
ポート F コントロールレジスタ 2	PFCR2	R/W	H'0000	H'FFFE3908	8、16、32
ポート F コントロールレジスタ 1	PFCR1	R/W	H'0000	H'FFFE390A	8、16

23.1.1 ポート A・IO レジスタ H、L (PAIORH、PAIORL)

PAIORH、PAIORL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PA31IOR ~ PA0IOR ビットが、それぞれ、PA31 ~ PA0 端子に対応しています。PAIORH および PAIORL は、PACR レジスタの設定によりポート A の端子機能が汎用入出力 (PA31 ~ PA0) の場合に有効で、その他の機能の場合は無効です。PAIORH および PAIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORH、PAIORL は、パワーオンリセット、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート A・IO レジスタ H (PAIORH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA31 IOR	PA30 IOR	PA29 IOR	PA28 IOR	PA27 IOR	PA26 IOR	PA25 IOR	PA24 IOR	PA23 IOR	PA22 IOR	PA21 IOR	PA20 IOR	PA19 IOR	PA18 IOR	PA17 IOR	PA16 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート A・IO レジスタ L (PAIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

23.1.2 ポート A コントロールレジスタ 1~8 (PACR1~PACR8)

PACR1~PACR8 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。PINT3B~PINT0B を選択した場合、同一割り込みの A 入力の設定しないでください。

PACR8、PACR7 は、パワーオンリセット、ディープスタンバイモードで H'0000 に初期化され、PACR1~PACR6 はパワーオンリセット、ディープスタンバイモードで H'1111 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート A コントロールレジスタ 8 (PACR8)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PA31MD[1:0]	-	-	PA30MD[1:0]	-	-	PA29MD[1:0]	-	-	PA28MD[1:0]	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PA31MD[1:0]	00	R/W	PA31 モード PA31/CRx1/DTEND0 端子の機能を制御します。 00: PA31 入出力 (ポート) 01: CRx1 入力 (RCAN-ET) 10: DTEND0 出力 (DMAC) 11: 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PA30MD[1:0]	00	R/W	PA30 モード PA30/CTx1/DACT0 端子の機能を制御します。 00: PA30 入出力 (ポート) 01: CTx1 出力 (RCAN-ET) 10: DACT0 出力 (DMAC) 11: 設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5、4	PA29MD[1:0]	00	R/W	PA29 モード PA29/CRx0/DACK0 端子の機能を制御します。 00 : PA29 入出力 (ポート) 01 : CRx0 入力 (RCAN-ET) 10 : DACK0 出力 (DMAC) 11 : 設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PA28MD[1:0]	00	R/W	PA28 モード PA28/CTx0/DREQ0 端子の機能を制御します。 00 : PA28 入出力 (ポート) 01 : CTx0 出力 (RCAN-ET) 10 : DREQ0 入力 (DMAC) 11 : 設定禁止

(2) ポート A コントロールレジスタ 7 (PACR7)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA27MD[2:0]		-	PA26MD[2:0]		-	PA25MD[2:0]		-	-	PA24MD[2:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PA27MD[2:0]	000	R/W	PA27 モード PA27/A27/DTEND3/PINT3B 端子の機能を制御します。 000 : PA27 入出力 (ポート) 001 : A27 出力 (BSC) 010 : DTEND3 出力 (DMAC) 011 : PINT3B 入力 (INTC) 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	PA26MD[2:0]	000	R/W	PA26 モード PA26/A26/DACT3/PINT2B 端子の機能を制御します。 000 : PA26 入出力 (ポート) 001 : A26 出力 (BSC) 010 : DACT3 出力 (DMAC) 011 : PINT2B 入力 (INTC) 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PA25MD[2:0]	000	R/W	PA25 モード PA25/A25/DACK3/PINT1B 端子の機能を制御します。 000 : PA25 入出力 (ポート) 001 : A25 出力 (BSC) 010 : DACK3 出力 (DMAC) 011 : PINT1B 入力 (INTC) 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PA24MD[1:0]	00	R/W	PA24 モード PA24/A24/DREQ3/PINT0B 端子の機能を制御します。 00 : PA24 入出力 (ポート) 01 : A24 出力 (BSC) 10 : DREQ3 入力 (DMAC) 11 : PINT0B 入力 (INTC)

(3) ポート A コントロールレジスタ 6 (PACR6)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PA23 MD0	-	-	-	PA22 MD0	-	-	-	PA21 MD0	-	-	-	PA20 MD0
初期値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA23MD0	1	R/W	PA23 モード PA23/A23 端子の機能を制御します。 0: PA23 入出力 (ポート) 1: A23 出力 (BSC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA22MD0	1	R/W	PA22 モード PA22/A22 端子の機能を制御します。 0: PA22 入出力 (ポート) 1: A22 出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA21MD0	1	R/W	PA21 モード PA21/A21 端子の機能を制御します。 0: PA21 入出力 (ポート) 1: A21 出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA20MD0	1	R/W	PA20 モード PA20/A20 端子の機能を制御します。 0: PA20 入出力 (ポート) 1: A20 出力 (BSC)

(4) ポート A コントロールレジスタ 5 (PACR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PA19 MD0	-	-	-	PA18 MD0	-	-	-	PA17 MD0	-	-	-	PA16 MD0
初期値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA19MD0	1	R/W	PA19 モード PA19/A19 端子の機能を制御します。 0: PA19 入出力 (ポート) 1: A19 出力 (BSC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA18MD0	1	R/W	PA18 モード PA18/A18 端子の機能を制御します。 0: PA18 入出力 (ポート) 1: A18 出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA17MD0	1	R/W	PA17 モード PA17/A17 端子の機能を制御します。 0: PA17 入出力 (ポート) 1: A17 出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA16MD0	1	R/W	PA16 モード PA16/A16 端子の機能を制御します。 0: PA16 入出力 (ポート) 1: A16 出力 (BSC)

(5) ポート A コントロールレジスタ 4 (PACR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PA15 MD0	-	-	-	PA14 MD0	-	-	-	PA13 MD0	-	-	-	PA12 MD0
初期値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA15MD0	1	R/W	PA15 モード PA15/A15 端子の機能を制御します。 0: PA15 入出力 (ポート) 1: A15 出力 (BSC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA14MD0	1	R/W	PA14 モード PA14/A14 端子の機能を制御します。 0: PA14 入出力 (ポート) 1: A14 出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA13MD0	1	R/W	PA13 モード PA13/A13 端子の機能を制御します。 0: PA13 入出力 (ポート) 1: A13 出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA12MD0	1	R/W	PA12 モード PA12/A12 端子の機能を制御します。 0: PA12 入出力 (ポート) 1: A12 出力 (BSC)

(6) ポート A コントロールレジスタ 3 (PACR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PA11 MD0	-	-	-	PA10 MD0	-	-	-	PA9 MD0	-	-	-	PA8 MD0
初期値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA11MD0	1	R/W	PA11 モード PA11/A11 端子の機能を制御します。 0: PA11 入出力 (ポート) 1: A11 出力 (BSC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA10MD0	1	R/W	PA10 モード PA10/A10 端子の機能を制御します。 0: PA10 入出力 (ポート) 1: A10 出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA9MD0	1	R/W	PA9 モード PA9/A9 端子の機能を制御します。 0: PA9 入出力 (ポート) 1: A9 出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA8MD0	1	R/W	PA8 モード PA8/A8 端子の機能を制御します。 0: PA8 入出力 (ポート) 1: A8 出力 (BSC)

(7) ポート A コントロールレジスタ 2 (PACR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PA7 MD0	-	-	-	PA6 MD0	-	-	-	PA5 MD0	-	-	-	PA4 MD0
初期値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA7MD0	1	R/W	PA7 モード PA7/A7 端子の機能を制御します。 0: PA7 入出力 (ポート) 1: A7 出力 (BSC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA6MD0	1	R/W	PA6 モード PA6/A6 端子の機能を制御します。 0: PA6 入出力 (ポート) 1: A6 出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA5MD0	1	R/W	PA5 モード PA5/A5 端子の機能を制御します。 0: PA5 入出力 (ポート) 1: A5 出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA4MD0	1	R/W	PA4 モード PA4/A4 端子の機能を制御します。 0: PA4 入出力 (ポート) 1: A4 出力 (BSC)

(8) ポート A コントロールレジスタ 1 (PACR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PA3 MD0	-	-	-	PA2 MD0	-	-	-	PA1 MD0	-	-	-	PA0 MD0
初期値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA3MD0	1	R/W	PA3 モード PA3/A3 端子の機能を制御します。 0: PA3 入出力 (ポート) 1: A3 出力 (BSC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA2MD0	1	R/W	PA2 モード PA2/A2 端子の機能を制御します。 0: PA2 入出力 (ポート) 1: A2 出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA1MD0	1	R/W	PA1 モード PA1/A1 端子の機能を制御します。 0: PA1 入出力 (ポート) 1: A1 出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA0MD0	1	R/W	PA0 モード PA0/A0 端子の機能を制御します。 0: PA0 入出力 (ポート) 1: A0 出力 (BSC)

23.1.3 ポート B・IO レジスタ H、L (PBIORH、PBIORL)

PBIORH、PBIORL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB31IOR ~ PB0IOR ビットが、それぞれ、PB31 ~ PB0 端子に対応しています。PBIORH および PBIORL は、PBCR レジスタの設定によりポート B の端子機能が汎用入出力 (PB31 ~ PB0) および MTU2 の TIOC 入出力の場合に有効で、その他の機能の場合は無効です。PBIORH および PBIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIORH、PBIORL は、パワーオンリセット、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート B・IO レジスタ H (PBIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB31 IOR	PB30 IOR	PB29 IOR	PB28 IOR	PB27 IOR	PB26 IOR	PB25 IOR	PB24 IOR	PB23 IOR	PB22 IOR	PB21 IOR	PB20 IOR	PB19 IOR	PB18 IOR	PB17 IOR	PB16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート B・IO レジスタ L (PBIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 IOR	PB14 IOR	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

23.1.4 ポート B コントロールレジスタ 1~8 (PBCR1~PBCR8)

PBCR1~PBCR8 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。IRQ7A ~ IRQ0A、PINT7A ~ PINT0A を選択した場合、同一割り込みの B 入力は設定しないでください。

PBCR1~PBCR2 は、パワーオンリセット、ディープスタンバイモードで H'1111 に初期化され、PBCR3~PBCR8 はパワーオンリセット、ディープスタンバイモードで表 23.8 に示した値に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

表 23.8 ポート B コントロールレジスタ初期値

レジスタ名	初期値		
	エリア 0 : 32 ビットモード	エリア 0 : 16 ビットモード	エリア 0 : 8 ビットモード
PBCR5~PBCR8	H'1111	H'0000	H'0000
PBCR3、PBCR4	H'1111	H'1111	H'0000

(1) ポート B コントロールレジスタ 8 (PBCR8)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB31MD[1:0]	-	PB30MD[2:0]			-	PB29MD[2:0]			-	PB28MD[2:0]			
初期値:	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】* LSIの動作モードにより初期値が異なります。

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PB31MD[1:0]	00/01*	R/W	PB31 モード PB31/D31/PINT7A 端子の機能を制御します。 00: PB31 入出力 (ポート) 01: D31 入出力 (BSC) 10: PINT7A 入力 (INTC) 11: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PB30MD[2:0]	000/001*	R/W	PB30 モード PB30/D30/PINT6A/SCK3/TMCIO 端子の機能を制御します。 000: PB30 入出力 (ポート) 001: D30 入出力 (BSC) 010: PINT6A 入力 (INTC) 011: SCK3 入出力 (SCIF) 100: TMCIO 入力 (TMR) 101: 設定禁止 110: 設定禁止 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
6~4	PB29MD[2:0]	000/001*	R/W	PB29 モード PB29/D29/PINT5A/RxD3/TMRI0 端子の機能を制御します。 000 : PB29 入出力 (ポート) 001 : D29 入出力 (BSC) 010 : PINT5A 入力 (INTC) 011 : RxD3 入力 (SCIF) 100 : TMRI0 入力 (TMR) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PB28MD[2:0]	000/001*	R/W	PB28 モード PB28/D28/PINT4A/TxD3/TMO0 端子の機能を制御します。 000 : PB28 入出力 (ポート) 001 : D28 入出力 (BSC) 010 : PINT4A 入力 (INTC) 011 : TxD3 出力 (SCIF) 100 : TMO0 出力 (TMR) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

(2) ポート B コントロールレジスタ 7 (PBCR7)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB27MD[1:0]	-	PB26MD[2:0]		-	PB25MD[2:0]		-	PB24MD[2:0]		-	PB23MD[2:0]		-
初期値:	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】* LSIの動作モードにより初期値が異なります。

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PB27MD[1:0]	00/01*	R/W	PB27 モード PB27/D27/PINT3A 端子の機能を制御します。 00: PB27 入出力 (ポート) 01: D27 入出力 (BSC) 10: PINT3A 入力 (INTC) 11: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PB26MD[2:0]	000/001*	R/W	PB26 モード PB26/D26/PINT2A/TIC5W/SCK6 端子の機能を制御します。 000: PB26 入出力 (ポート) 001: D26 入出力 (BSC) 010: PINT2A 入力 (INTC) 011: TIC5W 入力 (MTU2) 100: SCK6 入出力 (SCIF) 101: 設定禁止 110: 設定禁止 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PB25MD[2:0]	000/001*	R/W	PB25 モード PB25/D25/PINT1A/TIC5V/RxD6 端子の機能を制御します。 000: PB25 入出力 (ポート) 001: D25 入出力 (BSC) 010: PINT1A 入力 (INTC) 011: TIC5V 入力 (MTU2) 100: RxD6 入力 (SCIF) 101: 設定禁止 110: 設定禁止 111: 設定禁止

ビット	ビット名	初期値	R/W	説明
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PB24MD[2:0]	000/001*	R/W	PB24 モード PB24/D24/PINT0A/TIC5U/TxD6 端子の機能を制御します。 000 : PB24 入出力 (ポート) 001 : D24 入出力 (BSC) 010 : PINT0A 入力 (INTC) 011 : TIC5U 入力 (MTU2) 100 : TxD6 出力 (SCIF) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

(3) ポート B コントロールレジスタ 6 (PBCR6)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB23MD[1:0]	-	-	PB22MD[2:0]	-	-	-	PB21MD[2:0]	-	-	-	PB20MD[2:0]	-	-
初期値 :	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W :	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 * LSI の動作モードにより初期値が異なります。

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	PB23MD[1:0]	00/01*	R/W	PB23 モード PB23/D23/IRQ7A/TIOC4D 端子の機能を制御します。 00 : PB23 入出力 (ポート) 01 : D23 入出力 (BSC) 10 : IRQ7A 入力 (INTC) 11 : TIOC4D 入出力 (MTU2)
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	PB22MD[2:0]	000/001*	R/W	PB22 モード PB22/D22/IRQ6A/TIOC4C/SCK2 端子の機能を制御します。 000 : PB22 入出力 (ポート) 001 : D22 入出力 (BSC) 010 : IRQ6A 入力 (INTC) 011 : TIOC4C 入出力 (MTU2) 100 : SCK2 入出力 (SCIF) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PB21MD[2:0]	000/001*	R/W	PB21 モード PB21/D21/IRQ5A/TIOC4B/RxD2 端子の機能を制御します。 000 : PB21 入出力 (ポート) 001 : D21 入出力 (BSC) 010 : IRQ5A 入力 (INTC) 011 : TIOC4B 入出力 (MTU2) 100 : RxD2 入力 (SCIF) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PB20MD[2:0]	000/001*	R/W	PB20 モード PB20/D20/IRQ4A/TIOC4A/TxD2 端子の機能を制御します。 000 : PB20 入出力 (ポート) 001 : D20 入出力 (BSC) 010 : IRQ4A 入力 (INTC) 011 : TIOC4A 入出力 (MTU2) 100 : TxD2 出力 (SCIF) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

(4) ポート B コントロールレジスタ 5 (PBCR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB19MD[1:0]	-	-	PB18MD[2:0]	-	-	PB17MD[2:0]	-	-	PB16MD[2:0]				
初期値:	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PB19MD[1:0]	00/01*	R/W	PB19 モード PB19/D19/IRQ3A/TIOC3D 端子の機能を制御します。 00: PB19 入出力 (ポート) 01: D19 入出力 (BSC) 10: IRQ3A 入力 (INTC) 11: TIOC3D 入出力 (MTU2)
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PB18MD[1:0]	00/01*	R/W	PB18 モード PB18/D18/IRQ2A/TIOC3C 端子の機能を制御します。 00: PB18 入出力 (ポート) 01: D18 入出力 (BSC) 10: IRQ2A 入力 (INTC) 11: TIOC3C 入出力 (MTU2)
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB17MD[1:0]	00/01*	R/W	PB17 モード PB17/D17/IRQ1A/TIOC3B 端子の機能を制御します。 00: PB17 入出力 (ポート) 01: D17 入出力 (BSC) 10: IRQ1A 入力 (INTC) 11: TIOC3B 入出力 (MTU2)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB16MD[1:0]	00/01*	R/W	PB16 モード PB16/D16/IRQ0A/TIOC3A 端子の機能を制御します。 00: PB16 入出力 (ポート) 01: D16 入出力 (BSC) 10: IRQ0A 入力 (INTC) 11: TIOC3A 入出力 (MTU2)

【注】 * LSI の動作モードにより初期値が異なります。

(5) ポート B コントロールレジスタ 4 (PBCR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PB15 MD0	-	-	-	PB14 MD0	-	-	-	PB13 MD0	-	-	-	PB12 MD0
初期値:	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PB15MD0	0/1*	R/W	PB15 モード PB15/D15 端子の機能を制御します。 0: PB15 入出力 (ポート) 1: D15 入出力 (BSC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PB14MD0	0/1*	R/W	PB14 モード PB14/D14 端子の機能を制御します。 0: PB14 入出力 (ポート) 1: D14 入出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PB13MD0	0/1*	R/W	PB13 モード PB13/D13 端子の機能を制御します。 0: PB13 入出力 (ポート) 1: D13 入出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PB12MD0	0/1*	R/W	PB12 モード PB12/D12 端子の機能を制御します。 0: PB12 入出力 (ポート) 1: D12 入出力 (BSC)

【注】 * LSI の動作モードにより初期値が異なります。

(6) ポート B コントロールレジスタ 3 (PBCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PB11 MD0	-	-	-	PB10 MD0	-	-	-	PB9 MD0	-	-	-	PB8 MD0
初期値:	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PB11MD0	0/1*	R/W	PB11 モード PB11/D11 端子の機能を制御します。 0: PB11 入出力 (ポート) 1: D11 入出力 (BSC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PB10MD0	0/1*	R/W	PB10 モード PB10/D10 端子の機能を制御します。 0: PB10 入出力 (ポート) 1: D10 入出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PB9MD0	0/1*	R/W	PB9 モード PB9/D9 端子の機能を制御します。 0: PB9 入出力 (ポート) 1: D9 入出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PB8MD0	0/1*	R/W	PB8 モード PB8/D8 端子の機能を制御します。 0: PB8 入出力 (ポート) 1: D8 入出力 (BSC)

【注】 * LSI の動作モードにより初期値が異なります。

(7) ポート B コントロールレジスタ 2 (PBCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PB7 MD0	-	-	-	PB6 MD0	-	-	-	PB5 MD0	-	-	-	PB4 MD0
初期値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PB7MD0	1	R/W	PB7 モード PB7/D7 端子の機能を制御します。 0: PB7 入出力 (ポート) 1: D7 入出力 (BSC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PB6MD0	1	R/W	PB6 モード PB6/D6 端子の機能を制御します。 0: PB6 入出力 (ポート) 1: D6 入出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PB5MD0	1	R/W	PB5 モード PB5/D5 端子の機能を制御します。 0: PB5 入出力 (ポート) 1: D5 入出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PB4MD0	1	R/W	PB4 モード PB4/D4 端子の機能を制御します。 0: PB4 入出力 (ポート) 1: D4 入出力 (BSC)

(8) ポート B コントロールレジスタ 1 (PBCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PB3 MD0	-	-	-	PB2 MD0	-	-	-	PB1 MD0	-	-	-	PB0 MD0
初期値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PB3MD0	1	R/W	PB3 モード PB3/D3 端子の機能を制御します。 0: PB3 入出力 (ポート) 1: D3 入出力 (BSC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PB2MD0	1	R/W	PB2 モード PB2/D2 端子の機能を制御します。 0: PB2 入出力 (ポート) 1: D2 入出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PB1MD0	1	R/W	PB1 モード PB1/D1 端子の機能を制御します。 0: PB1 入出力 (ポート) 1: D1 入出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PB0MD0	1	R/W	PB0 モード PB0/D0 端子の機能を制御します。 0: PB0 入出力 (ポート) 1: D0 入出力 (BSC)

23.1.5 ポート C・IO レジスタ H、L (PCIORH、PCIORL)

PCIORH、PCIORL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PC21IOR ~ PC0IOR ビットが、それぞれ、PC21 ~ PC0 端子に対応しています。PCIORH および PCIORL は、PCCR レジスタの設定によりポート C の端子機能が汎用入出力 (PC21 ~ PC0) および MTU2 の TIOC 入出力の場合に有効で、その他の機能の場合は無効です。PCIORH、PCIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIORH のビット 15 ~ 6 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

PCIORH、PCIORL は、パワーオンリセット、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート C・IO レジスタ H (PCIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PC21 IOR	PC20 IOR	PC19 IOR	PC18 IOR	PC17 IOR	PC16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート C・IO レジスタ L (PCIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 IOR	PC14 IOR	PC13 IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

23.1.6 ポート C コントロールレジスタ 1 ~ 7 (PCCR1 ~ PCCR7)

PCCR1 ~ PCCR7 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にあるマルチプレクス端子の機能を選びます。IRQ3B ~ IRQ0B を選択した場合、同一割り込みの A 入力は設定しないでください。

パワーオンリセット、ディープスタンバイモードで PCCR2、PCCR5、PCCR6、PCCR7 は H'0000 に、PCCR1 は H'0001 に PCCR3、PCCR4 は表 23.9 で示した値に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

表 23.9 ポート C コントロールレジスタ初期値

レジスタ名	初期値		
	エリア 0 : 32 ビットモード	エリア 0 : 16 ビットモード	エリア 0 : 8 ビットモード
PCCR4	H'0001	H'0000	H'0000
PCCR3	H'1111	H'0111	H'0011

(1) ポート C コントロールレジスタ 7 (PCCR7)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PC25MD1[1:0]	-	-	-	PC24MD1[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5, 4	PC25MD[1:0]	00	R/W	PC25 モード PC25/IRQ3B/SDA1 端子の機能を制御します。 00: PC25 入力 (ポート) 01: IRQ3B 入力 (INTC) 10: 設定禁止 11: SDA1 入出力 (IIC3)
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	PC24MD[1:0]	00	R/W	PC24 モード PC24/IRQ2B/SCL1 端子の機能を制御します。 00: PC24 入力 (ポート) 01: IRQ2B 入力 (INTC) 10: 設定禁止 11: SCL1 入出力 (IIC3)

(2) ポート C コントロールレジスタ 6 (PCCR6)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PC23MD[1:0]	-	-	PC22MD[1:0]	-	-	PC21MD[1:0]	-	-	PC20MD[1:0]	-	-		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PC23MD[1:0]	00	R/W	PC23 モード PC23/IRQ1B/SDA0 端子の機能を制御します。 00: PC23 入力 (ポート) 01: IRQ1B 入力 (INTC) 10: 設定禁止 11: SDA0 入出力 (IIC3)
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PC22MD[1:0]	00	R/W	PC22 モード PC22/IRQ0B/DREQ2/SCL0 端子の機能を制御します。 00: PC22 入力 (ポート) 01: IRQ0B 入力 (INTC) 10: DREQ2 入力 (DMAC) 11: SCL0 入出力 (IIC3)
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PC21MD[1:0]	00	R/W	PC21 モード PC21/BC3/DQM3/TCLKC/DACK2 端子の機能を制御します。 00: PC21 入出力 (ポート) 01: BC3/DQM3 出力 (BSC) 10: TCLKC 入力 (MTU2) 11: DACK2 出力 (DMAC)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PC20MD[1:0]	00	R/W	PC20 モード PC20/BC2/DQM2/TCLKB 端子の機能を制御します。 00: PC20 入出力 (ポート) 01: BC2/DQM2 出力 (BSC) 10: TCLKB 入力 (MTU2) 11: 設定禁止

(3) ポート C コントロールレジスタ 5 (PCCR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PC19 MD0	-	-	-	PC18 MD0	-	-	-	PC17 MD0	-	-	-	PC16 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PC19MD0	0	R/W	PC19 モード PC19/BC1/DQM1 端子の機能を制御します。 0: PC19 入出力 (ポート) 1: BC1/DQM1 出力 (BSC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC18MD0	0	R/W	PC18 モード PC18/BC0/DQM0 端子の機能を制御します。 0: PC18 入出力 (ポート) 1: BC0/DQM0 出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC17MD0	0	R/W	PC17 モード PC17/SDWE 端子の機能を制御します。 0: PC17 入出力 (ポート) 1: $\overline{\text{SDWE}}$ 出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC16MD0	0	R/W	PC16 モード PC16/SDCAS 端子の機能を制御します。 0: PC16 入出力 (ポート) 1: $\overline{\text{SDCAS}}$ 出力 (BSC)

(4) ポートC コントロールレジスタ4 (PCCR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PC15 MD0	-	-	-	PC14 MD0	-	-	-	PC13 MD0	-	-	PC12MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1*
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PC15MD0	0	R/W	PC15モード PC15/SDRAS 端子の機能を制御します。 0: PC15 入出力 (ポート) 1: $\overline{\text{SDRAS}}$ 出力 (BSC)
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PC14MD0	0	R/W	PC14モード PC14/SDCKE 端子の機能を制御します。 0: PC14 入出力 (ポート) 1: SDCKE 出力 (BSC)
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PC13MD0	0	R/W	PC13モード PC13/WAIT 端子の機能を制御します。 0: PC13 入出力 (ポート) 1: $\overline{\text{WAIT}}$ 入力 (BSC)
3, 2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	PC12MD[1:0]	00/01*	R/W	PC12モード PC12/WR3/TIOC2B/DTEND2 端子の機能を制御します。 00: PC12 入出力 (ポート) 01: $\overline{\text{WR3}}$ 出力 (BSC) 10: TIOC2B 入出力 (MTU2) 11: DTEND2 出力 (DMAC)

【注】 * LSI の動作モードにより初期値が異なります。

(5) ポート C コントロールレジスタ 3 (PCCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PC11MD[1:0]	-	-	-	-	PC10 MD0	-	-	-	PC9 MD0	-	-	-	PC8 MD0
初期値:	0	0	0	0/1*	0	0	0	0/1*	0	0	0	1	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PC11MD[1:0]	00/01*	R/W	PC11 モード PC11/ $\overline{WR2}$ /TIOC2A/DACT2 端子の機能を制御します。 00: PC11 入出力 (ポート) 01: $\overline{WR2}$ 出力 (BSC) 10: TIOC2A 入出力 (MTU2) 11: DACT2 出力 (DMAC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC10MD0	0/1*	R/W	PC10 モード PC10/ $\overline{WR1}$ 端子の機能を制御します。 0: PC10 入出力 (ポート) 1: $\overline{WR1}$ 出力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC9MD0	1	R/W	PC9 モード PC9/ $\overline{WR0}$ 端子の機能を制御します。 0: PC9 入出力 (ポート) 1: $\overline{WR0}$ 出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC8MD0	1	R/W	PC8 モード PC8/ \overline{RD} 端子の機能を制御します。 0: PC8 入出力 (ポート) 1: \overline{RD} 出力 (BSC)

【注】 * LSI の動作モードにより初期値が異なります。

(6) ポート C コントロールレジスタ 2 (PCCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PC7MD0	-	-	PC6MD[1:0]	-	-	PC5MD[1:0]	-	-	PC4MD[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PC7MD0	0	R/W	PC7 モード PC7/ $\overline{\text{SDCS0}}$ 端子の機能を制御します。 0: PC7 入出力 (ポート) 1: $\overline{\text{SDCS0}}$ 出力 (BSC)
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PC6MD[1:0]	0	R/W	PC6 モード PC6/ $\overline{\text{CS6}}$ /SCK5/TCLKA 端子の機能を制御します。 00: PC6 入出力 (ポート) 01: $\overline{\text{CS6}}$ 出力 (BSC) 10: SCK5 入出力 (SCIF) 11: TCLKA 入力 (MTU2)
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PC5MD[1:0]	0	R/W	PC5 モード PC5/ $\overline{\text{CS5}}$ /RxD5/TIOC1B 端子の機能を制御します。 00: PC5 入出力 (ポート) 01: $\overline{\text{CS5}}$ 出力 (BSC) 10: RxD5 入力 (SCIF) 11: TIOC1B 入出力 (MTU2)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PC4MD[1:0]	0	R/W	PC4 モード PC4/ $\overline{\text{CS4}}$ /TxD5/TIOC1A 端子の機能を制御します。 00: PC4 入出力 (ポート) 01: $\overline{\text{CS4}}$ 出力 (BSC) 10: TxD5 出力 (SCIF) 11: TIOC1A 入出力 (MTU2)

(7) ポート C コントロールレジスタ 1 (PCCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PC3MD[1:0]	-	-	PC2MD[1:0]	-	-	-	PC1MD0	-	-	-	PC0MD0		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PC3MD[1:0]	0	R/W	PC3 モード PC3/ $\overline{\text{CS3}}$ / $\overline{\text{UBCTR}}\overline{\text{G}}$ 端子の機能を制御します。 00: PC3 入出力 (ポート) 01: $\overline{\text{CS3}}$ 出力 (BSC) 10: $\overline{\text{UBCTR}}\overline{\text{G}}$ 出力 (UBC) 11: 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PC2MD[1:0]	0	R/W	PC2 モード PC2/ $\overline{\text{CS2}}$ / $\overline{\text{SDCS1}}$ / $\overline{\text{ADTR}}\overline{\text{G}}$ 端子の機能を制御します。 00: PC2 入出力 (ポート) 01: $\overline{\text{CS2}}$ 出力 (BSC) 10: $\overline{\text{SDCS1}}$ 出力 (BSC) 11: $\overline{\text{ADTR}}\overline{\text{G}}$ 入力 (A/D)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC1MD0	0	R/W	PC1 モード PC1/ $\overline{\text{CS1}}$ 端子の機能を制御します。 0: PC1 入出力 (ポート) 1: $\overline{\text{CS1}}$ 出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC0MD0	1	R/W	PC0 モード PC0/ $\overline{\text{CS0}}$ 端子の機能を制御します。 0: PC0 入出力 (ポート) 1: $\overline{\text{CS0}}$ 出力 (BSC)

23.1.7 ポート D・IO レジスタ (PDIOR)

PDIOR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD14IOR ~ PD0IOR ビットが、それぞれ、PD14 ~ PD0 端子に対応しています。PDIOR は、PDCR レジスタの設定によりポート D の端子機能が汎用入出力 (PD14 ~ PD0) および MTU2 の TIOC 入出力の場合に有効で、その他の機能の場合は無効です。PDIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIOR のビット 15 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

PDIOR は、パワーオンリセット、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

23.1.8 ポート D コントロールレジスタ 1 ~ 5 (PDCR1 ~ PDCR5)

PDCR1 ~ PDCR5 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。

PDCR1 ~ PDCR5 は、パワーオンリセット、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート D コントロールレジスタ 5 (PDCR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PD16MD[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	PD16MD[1:0]	00	R/W	PD16 モード PD16/SCL2 端子の機能を制御します。 00: PD16 入力 (ポート) 01: SCL2 入出力 (IIC3) 10: 設定禁止 11: 設定禁止

(2) ポート D コントロールレジスタ 4 (PDCR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD15MD[1:0]	-	-	PD14MD[1:0]	-	-	PD13MD[1:0]	-	-	PD12MD[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PD15MD[1:0]	00	R/W	PD15 モード PD15/SDA2 端子の機能を制御します。 00: PD15 入力 (ポート) 01: SDA2 入出力 (IIC3) 10: 設定禁止 11: 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PD14MD[1:0]	00	R/W	PD14 モード PD14/DACK1 端子の機能を制御します。 00: PD14 入出力 (ポート) 01: 設定禁止 10: DACK1 出力 (DMAC) 11: 設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PD13MD[1:0]	00	R/W	PD13 モード PD13/DREQ1 端子の機能を制御します。 00: PD13 入出力 (ポート) 01: 設定禁止 10: DREQ1 入力 (DMAC) 11: 設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PD12MD[1:0]	00	R/W	PD12 モード PD12/SCK1/TMCI1 端子の機能を制御します。 00: PD12 入出力 (ポート) 01: SCK1 入出力 (SCIF) 10: TMCI1 入力 (TMR) 11: 設定禁止

(3) ポート D コントロールレジスタ 3 (PDCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD11MD[1:0]	-	-	PD10MD[1:0]	-	-	PD9MD[1:0]	-	-	PD8MD[1:0]	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PD11MD[1:0]	00	R/W	PD11 モード PD11/RxD1/TMRI1 端子の機能を制御します。 00: PD11 入出力 (ポート) 01: RxD1 入力 (SCIF) 10: TMRI1 出力 (TMR) 11: 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PD10MD[1:0]	00	R/W	PD10 モード PD10/TxD1/TMO1/TIOC0D 端子の機能を制御します。 00: PD10 入出力 (ポート) 01: TxD1 出力 (SCIF) 10: TMO1 出力 (TMR) 11: TIOC0D 入出力 (MTU2)
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PD9MD[1:0]	00	R/W	PD9 モード PD9/SCK0/TIOC0C 端子の機能を制御します。 00: PD9 入出力 (ポート) 01: SCK0 入出力 (SCIF) 10: 設定禁止 11: TIOC0C 入出力 (MTU2)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PD8MD[1:0]	00	R/W	PD8 モード PD8/RxD0/DTEND1/TIOC0B 端子の機能を制御します。 00: PD8 入出力 (ポート) 01: RxD0 入力 (SCIF) 10: DTEND1 出力 (DMAC) 11: TIOC0B 入出力 (MTU2)

(4) ポート D コントロールレジスタ 2 (PDCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD7MD[1:0]	-	-	PD6MD[1:0]	-	-	PD5MD[1:0]	-	-	PD4MD[1:0]	-	-	PD4MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PD7MD[1:0]	00	R/W	PD7 モード PD7/TxD0/DACT1/TIOC0A 端子の機能を制御します。 00: PD7 入出力 (ポート) 01: TxD0 出力 (SCIF) 10: DACT1 出力 (DMAC) 11: TIOC0A 入出力 (MTU2)
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PD6MD[1:0]	00	R/W	PD6 モード PD6/SSIWS1/SCK4 端子の機能を制御します。 00: PD6 入出力 (ポート) 01: SSIWS1 入出力 (SSI) 10: SCK4 入出力 (SCIF) 11: 設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PD5MD[1:0]	00	R/W	PD5 モード PD5/SSICK1/RxD4 端子の機能を制御します。 00: PD5 入出力 (ポート) 01: SSICK1 入出力 (SSI) 10: RxD4 入力 (SCIF) 11: 設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PD4MD[1:0]	00	R/W	PD4 モード PD4/SSIDATA1/TxD4 端子の機能を制御します。 00: PD4 入出力 (ポート) 01: SSIDATA1 入出力 (SSI) 10: TxD4 出力 (SCIF) 11: 設定禁止

(5) ポート D コントロールレジスタ 1 (PDCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PD3 MD0	-	-	-	PD2 MD0	-	-	-	PD1 MD0	-	-	-	PD0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PD3MD0	0	R/W	PD3 モード PD3/SSIWS0 端子の機能を制御します。 0: PD3 入出力 (ポート) 1: SSIWS0 入出力 (SSI)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PD2MD0	0	R/W	PD2 モード PD2/SICK0 端子の機能を制御します。 0: PD2 入出力 (ポート) 1: SSISCK0 入出力 (SSI)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PD1MD0	0	R/W	PD1 モード PD1/SSIDATA0 端子の機能を制御します。 0: PD1 入出力 (ポート) 1: SSIDATA0 入出力 (SSI)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PD0MD0	0	R/W	PD0 モード PD0/AUDIO_CLK 端子の機能を制御します。 0: PD0 入出力 (ポート) 1: AUDIO_CLK 入力 (SSI)

23.1.9 ポート E コントロールレジスタ 1、2 (PECR1、PECR2)

PECR1、PECR2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にあるマルチプレクス端子の機能を選びます。A/D の入力、D/A の出力はそれぞれモジュールの設定により端子状態が決定されます。IRQ7B ~ IRQ4B、PINT7B ~ PINT4B を選択した場合、同一割り込みの A 入力は設定しないでください。

PECR1、PECR2 は、パワーオンリセット、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート E コントロールレジスタ 2 (PECR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PE7 MD0	-	-	-	PE6 MD0	-	-	-	PE5 MD0	-	-	-	PE4 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PE7MD0	0	R/W	PE7 モード PE7/IRQ7B 端子の機能を制御します。 0: PE7 入力 (ポート) 1: IRQ7B 入力 (INTC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PE6MD0	0	R/W	PE6 モード PE6/IRQ6B 端子の機能を制御します。 0: PE6 入力 (ポート) 1: IRQ6B 入力 (INTC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PE5MD0	0	R/W	PE5 モード PE5/IRQ5B 端子の機能を制御します。 0: PE5 入力 (ポート) 1: IRQ5B 入力 (INTC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PE4MD0	0	R/W	PE4 モード PE4/IRQ4B 端子の機能を制御します。 0: PE4 入力 (ポート) 1: IRQ4B 入力 (INTC)

(2) ポート E コントロールレジスタ 1 (PECR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PE3 MD0	-	-	-	PE2 MD0	-	-	-	PE1 MD0	-	-	-	PE0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PE3MD0	0	R/W	PE3 モード PE3/PINT7B 端子の機能を制御します。 0: PE3 入力 (ポート) 1: PINT7B 入力 (INTC)
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PE2MD0	0	R/W	PE2 モード PE2/PINT6B 端子の機能を制御します。 0: PE2 入力 (ポート) 1: PINT6B 入力 (INTC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PE1MD0	0	R/W	PE1 モード PE1/PINT5B 端子の機能を制御します。 0: PE1 入力 (ポート) 1: PINT5B 入力 (INTC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PE0MD0	0	R/W	PE0 モード PE0/PINT4B 端子の機能を制御します。 0: PE0 入力 (ポート) 1: PINT4B 入力 (INTC)

23.1.10 ポート F・IO レジスタ (PFIOR)

PFIOR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F にある端子の入出力方向を選びます。PF7IOR ~ PF0IOR ビットが、それぞれ、PF7 ~ PF0 端子に対応しています。PFIOR は PFCR レジスタの設定によりポート F の端子機能が汎用入出力 (PF7 ~ PF0) の場合に有効で、その他の機能の場合は無効です。PFIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PFIOR のビット 15 ~ 8 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

PFIOR は、パワーオンリセット、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF7 IOR	PF6 IOR	PF5 IOR	PF4 IOR	PF3 IOR	PF2 IOR	PF1 IOR	PF0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

23.1.11 ポート F コントロールレジスタ 1、2 (PFCR1、PFCR2)

PFCR1、PFCR2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート F にあるマルチプレクス端子の機能を選びます。

PFCR1、PFCR2 は、パワーオンリセット、ディープスタンバイモードで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート F コントロールレジスタ 2 (PFCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PF7 MD0	-	-	PF6MD[1:0]	-	-	PF5MD[1:0]	-	-	PF4MD[1:0]	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PF7MD0	0	R/W	PF7 モード PF7/AUDATA3 端子の機能を制御します。 0: PF7 入出力 (ポート) 1: AUDATA3 入出力 (AUD-II)
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
9、8	PF6MD[1:0]	00	R/W	PF6 モード PF6/AUDATA2 端子の機能を制御します。 00 : PF6 入出力 (ポート) 01 : AUDATA2 入出力 (AUD-II) 10 : 設定禁止 11 : 設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PF5MD[1:0]	00	R/W	PF5 モード PF5/AUDATA1 端子の機能を制御します。 00 : PF5 入出力 (ポート) 01 : AUDATA1 入出力 (AUD-II) 10 : 設定禁止 11 : 設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PF4MD[1:0]	00	R/W	PF4 モード PF4/AUDATA0 端子の機能を制御します。 00 : PF4 入出力 (ポート) 01 : AUDATA0 入出力 (AUD-II) 10 : 設定禁止 11 : 設定禁止

(2) ポート F コントロールレジスタ 1 (PFCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PF3 MD0	-	-	PF2MD[1:0]	-	-	PF1MD[1:0]	-	-	PF0MD[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PF3MD0	0	R/W	PF3 モード PF3/AUDSYNC 端子の機能を制御します。 0: PF3 入出力 (ポート) 1: AUDSYNC 入力 (AUD-II)
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PF2MD[1:0]	00	R/W	PF2 モード PF2/AUDCK/SCK7/TCLKD 端子の機能を制御します。 00: PF2 入出力 (ポート) 01: AUDCK 入力 (AUD-II) 10: SCK7 入出力 (SCIF) 11: TCLKD 入力 (MTU2)
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PF1MD[1:0]	00	R/W	PF1 モード PF1/AUDMD/RxD7 端子の機能を制御します。 00: PF1 入出力 (ポート) 01: AUDMD 入力 (AUD-II) 10: RxD7 入力 (SCIF) 11: 設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PF0MD[1:0]	00	R/W	PF0 モード PF0/AUDRST/TxD7 端子の機能を制御します。 00: PF0 入出力 (ポート) 01: ADRST 入力 (AUD-II) 10: TxD7 出力 (SCIF) 11: 設定禁止

23.2 使用上の注意事項

ポートコントロールレジスタの設定は出力端子のセレクトとして使用します。基本的に入力端子のセレクトとしては使用しません。そのため、端子入力信号がマルチプレクスされているすべてのモジュールに伝播してしまうので、不要な入力信号は各モジュールにて無効とする設定を行ってください。

ただし、IRQ7A ~ IRQ0A と IRQ7B ~ IRQ0B、PINT7A ~ PINT0A と PINT7B ~ PINT0B の有効 / 無効はポートコントロールレジスタの設定をデコードしています。必ずどちらか一方のみ選択してください。

24. 内蔵 RAM

本 LSI は、高速アクセス可能な RAM モジュールを内蔵しており、命令やデータを格納することができます。RAM イネーブルおよびライトイネーブルにより、メモリの動作およびライト動作を禁止することが可能です。

24.1 特長

- ページ
2ページ（ページ0、1）存在します。
- メモリマップ
本メモリは、表24.1のアドレス空間に配置されています。

表 24.1 内蔵 RAM アドレス空間

ページ	アドレス
ページ 0	H'FFF80000 ~ H'FFF83FFF
ページ 1	H'FFF84000 ~ H'FFF87FFF

- ポート
各ページは2本の独立した読み出し／書き込みポートを持ち、内部バス（Iバス）、CPU命令フェッチバス（Fバス）、CPUメモリアクセスバス（Mバス）と接続されています（ただし、Fバスは読み出しポートのみに接続されています）。
CPUからのアクセスにはFバスおよびMバス、DMACからのアクセスには内部DMAライトバス／内部DMAリードバス、バスブリッジを経由してIバスが使用されます。
- 優先順位
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にIバス、Mバス、Fバスとなります。

24.2 使用上の注意事項

24.2.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、バスごとに異なるメモリ、異なるページをアクセスすると競合は発生しません。

24.2.2 RAME ビット、RAMWE ビットについて

RAME ビットおよび RAMWE ビットの設定をディスエーブルする場合には、RAME ビットおよび RAMWE ビット設定前に必ず各ページに対して任意の同一アドレスのリード/ライトを実行してください。実行しない場合、最後に書かれたデータが RAM に書き込まれない可能性があります。

```
//RAM0に対して
MOV.L #H'FFF80000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//RAM1に対して
MOV.L #H'FFF84000, R0
MOV.L @R0, R1
MOV.L R1, @R0
```

図 24.1 実行例

25. 低消費電力モード

本 LSI は、低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、ディープスタンバイモード、モジュールスタンバイ機能をサポートしています。低消費電力モードでは、CPU、クロック、内蔵メモリ、一部内蔵周辺モジュール等の機能を停止したり、電源をオフにしたりすることにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込み等によって解除されます。

25.1 特長

25.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. ディープスタンバイモード
4. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、表 25.1 に示します。

表 25.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態 ^{*1}								解除方法
		CPG	CPU	CPUレジスタ	内蔵RAM	内蔵周辺モジュール	RTC	電源	外部メモリ	
スリープモード	STBCRのSTBYビットが0の状態 でSLEEP命令を 実行	動作	停止	保持	動作	動作	動作 ^{*2}	動作	オート リフレッシュ されます	・割り込み ・マニュアルリセット ・パワーオンリセット ・バスエラー
ソフトウェア スタンバイ モード	STBCRのSTBY ビットが1、DEEP ビットが0の状態 でSLEEP命令を 実行	停止	停止	保持	停止 (内容は保持)	停止	動作 ^{*2}	動作	セルフ リフレッシュ にしてください	・NMI割り込み ・IRQ割り込み ・マニュアルリセット ・パワーオンリセット
ディープ スタンバイ モード	STBCRのSTBY ビットとDEEP ビットが1の状態 でSLEEP命令を 実行	停止	停止	停止	停止 (内容は保持 ^{*3})	停止	動作 ^{*2}	停止	セルフ リフレッシュ にしてください	・NMI割り込み ^{*4} ・IRQ割り込み ^{*4} (ただしPE7~PE4、 PC25~PC22のみ) ・マニュアルリセット ^{*4} ・パワーオンリセット ^{*4}
モジュール スタンバイ 機能	STBCR2、 STBCR3、 STBCR4、 STBCR5の MSTPビットを 1とする	動作	動作	保持	動作	指定 モジュール が停止	停止	動作	オート リフレッシュ されます	・MSTPビットを0に クリア ・パワーオンリセット (ただしRTC、H-UDI、 UBC、DMAC、 AUD-IIのみ)

【注】 *1 端子状態は、保持またはハイインピーダンスです。詳細は「付録 A. 端子状態」を参照してください。

*2 RTC は RCR2 レジスタの START ビットが 1 のとき動作します。詳細は「第 15 章 リアルタイムクロック(RTC)」を参照してください。

*3 RAMKP レジスタの RAMKP3 ~ RAMKP0 ビットを 1 にセットすると内蔵 RAM の対象エリアの内容を、ディープスタンバイモード遷移時に保持することができます。ただし、パワーオンリセットにより解除された場合、RAMKP ビットが 1 にセットされていても、対象の内蔵 RAM エリアの内容は保持されません。

*4 ディープスタンバイモードは、割り込み (NMI、IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により解除されます。ただし、IRQ は PE7 ~ PE4、PC25 ~ PC22 でのみ解除することができます。NMI 割り込みまたは、IRQ 割り込みによってディープスタンバイモードを解除する場合、割り込み例外処理ではなくリセット例外処理が実行されます。マニュアルリセットを含めてパワーオンリセット例外処理となります。

25.2 レジスタの説明

低消費電力モード関連で使用するレジスタには、以下のものがあります。

表 25.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'00	H'FFFE0014	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'1E	H'FFFE0018	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'3F	H'FFFE0408	8
スタンバイコントロールレジスタ 4	STBCR4	R/W	H'FF	H'FFFE040C	8
スタンバイコントロールレジスタ 5	STBCR5	R/W	H'FF	H'FFFE0410	8
システムコントロールレジスタ 1	SYSCR1	R/W	H'FF	H'FFFE0402	8
システムコントロールレジスタ 2	SYSCR2	R/W	H'FF	H'FFFE0404	8
RAM 保持エリア指定レジスタ	RAMKP	R/W	H'00	H'FFFF1907	8
ディープスタンバイ発振安定クロックセレクト レジスタ	DSCNT	R/W	H'00	H'FFFF1906	8
ディープスタンバイ解除要因フラグレジスタ	DSFR	R/W	H'0000	H'FFFF1904	16

25.2.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。パワーオンリセットおよびディープスタンバイ時は H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う際は、「25.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	STBY	DEEP	-	-	-	-	MSTP1	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	ソフトウェアスタンバイ、ディープスタンバイ
6	DEEP	0	R/W	ソフトウェアスタンバイモード、ディープスタンバイモードへの遷移を指定します。 0x: SLEEP 命令の実行で、スリープモードへ遷移 10: SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移 11: SLEEP 命令の実行で、ディープスタンバイモードへ遷移
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MSTP1	0	R/W	モジュールストップ 1 MSTP1 ビットを 1 にセットすると RTC へのクロック供給を停止します。 0: RTC は動作 1: RTC へのクロックの供給を停止
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 x: Don't care

25.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR2 は、パワーオンリセットおよびディープスタンバイ時に H'IE に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う際は、「25.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 10	MSTP 9	MSTP 8	-	MSTP 6	MSTP 5	-	MSTP 3
初期値:	0	0	0	1	1	1	1	0
R/W:	R/W	R/W	R/W	R	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	MSTP10	0	R/W	モジュールストップ 10 MSTP10 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロックの供給を停止
6	MSTP9	0	R/W	モジュールストップ 9 MSTP9 ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロックの供給を停止
5	MSTP8	0	R/W	モジュールストップ 8 MSTP8 ビットを 1 にセットすると DMAC へのクロックの供給を停止します。 0 : DMAC は動作 1 : DMAC へのクロックの供給を停止
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	MSTP6	1	R/W	モジュールストップ 6 MSTP6 ビットを 1 にセットすると RCAN-ET0 へのクロックの供給を停止します。 0 : RCAN-ET0 は動作 1 : RCAN-ET0 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
2	MSTP5	1	R/W	モジュールストップ 5 MSTP5 ビットを 1 にセットすると RCAN-ET1 へのクロックの供給を停止します。 0 : RCAN-ET1 は動作 1 : RCAN-ET1 へのクロックの供給を停止
1	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	MSTP3	0	R/W	モジュールストップ 3 MSTP3 ビットを 1 にセットすると AUD-II へのクロックの供給を停止します。 0 : AUD-II は動作 1 : AUD-II へのクロックの供給を停止

25.2.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し/書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR3 は、パワーオンリセットおよびディープスタンバイ時に H'3F に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う際は、「25.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	MSTP 35	-	MSTP 33	MSTP 32	MSTP 31	-
初期値:	0	0	1	1	1	1	1	1
R/W:	R	R	R/W	R	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MSTP35	1	R/W	モジュールストップ 35 MSTP35 ビットを 1 にセットすると MTU2 へのクロックの供給を停止します。 0 : MTU2 は動作 1 : MTU2 へのクロックの供給を停止
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説明
3	MSTP33	1	R/W	モジュールストップ 33 MSTP33 ビットを 1 にセットすると TMR へのクロックの供給を停止します。 0 : TMR は動作 1 : TMR へのクロックの供給を停止
2	MSTP32	1	R/W	モジュールストップ 32 MSTP32 ビットを 1 にセットすると ADC へのクロックの供給を停止します。 0 : ADC は動作 1 : ADC へのクロックの供給を停止
1	MSTP31	1	R/W	モジュールストップ 31 MSTP31 ビットを 1 にセットすると DAC へのクロックの供給を停止します。 0 : DAC は動作 1 : DAC へのクロックの供給を停止
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

25.2.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR4 は、パワーオンリセットおよびディープスタンバイ時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う際は、「25.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	MSTP 47	MSTP 46	MSTP 45	MSTP 44	MSTP 43	MSTP 42	MSTP 41	MSTP 40
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MSTP47	1	R/W	モジュールストップ 47 MSTP47 ビットを 1 にセットすると SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロックの供給を停止
6	MSTP46	1	R/W	モジュールストップ 46 MSTP46 ビットを 1 にセットすると SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
5	MSTP45	1	R/W	モジュールストップ 45 MSTP45 ビットを 1 にセットすると SCIF2 へのクロックの供給を停止します。 0 : SCIF2 は動作 1 : SCIF2 へのクロックの供給を停止
4	MSTP44	1	R/W	モジュールストップ 44 MSTP44 ビットを 1 にセットすると SCIF3 へのクロックの供給を停止します。 0 : SCIF3 は動作 1 : SCIF3 へのクロックの供給を停止
3	MSTP43	1	R/W	モジュールストップ 43 MSTP43 ビットを 1 にセットすると SCIF4 へのクロックの供給を停止します。 0 : SCIF4 は動作 1 : SCIF4 へのクロックの供給を停止
2	MSTP42	1	R/W	モジュールストップ 42 MSTP42 ビットを 1 にセットすると SCIF5 へのクロックの供給を停止します。 0 : SCIF5 は動作 1 : SCIF5 へのクロックの供給を停止
1	MSTP41	1	R/W	モジュールストップ 41 MSTP41 ビットを 1 にセットすると SCIF6 へのクロックの供給を停止します。 0 : SCIF6 は動作 1 : SCIF6 へのクロックの供給を停止
0	MSTP40	1	R/W	モジュールストップ 40 MSTP40 ビットを 1 にセットすると SCIF7 へのクロックの供給を停止します。 0 : SCIF7 は動作 1 : SCIF7 へのクロックの供給を停止

25.2.5 スタンバイコントロールレジスタ 5 (STBCR5)

STBCR5 は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR5 は、パワーオンリセットおよびディープスタンバイ時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う際は、「25.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	MSTP 57	MSTP 56	MSTP 55	-	MSTP 53	MSTP 52	-	CKDV3
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	MSTP57	1	R/W	モジュールストップ 57 MSTP57 ビットを 1 にセットすると IIC30 へのクロックの供給を停止します。 0 : IIC30 は動作 1 : IIC30 へのクロックの供給を停止
6	MSTP56	1	R/W	モジュールストップ 56 MSTP56 ビットを 1 にセットすると IIC31 へのクロックの供給を停止します。 0 : IIC31 は動作 1 : IIC31 へのクロックの供給を停止
5	MSTP55	1	R/W	モジュールストップ 55 MSTP55 ビットを 1 にセットすると IIC32 へのクロックの供給を停止します。 0 : IIC32 は動作 1 : IIC32 へのクロックの供給を停止
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	MSTP53	1	R/W	モジュールストップ 53 MSTP53 ビットを 1 にセットすると SSI0 へのクロックの供給を停止します。 0 : SSI0 は動作 1 : SSI0 へのクロックの供給を停止
2	MSTP52	1	R/W	モジュールストップ 52 MSTP52 ビットを 1 にセットすると SSI1 へのクロックの供給を停止します。 0 : SSI1 は動作 1 : SSI1 へのクロックの供給を停止
1	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説明
0	CKDV3	1	R/W	SSI クロックセレクト SSI に入力するオーバーサンプルクロックの分周率を選択します。 0 : SSI に入力するオーバーサンプルクロックを ×1/4 に分周 1 : SSI に入力するオーバーサンプルクロックを ×1 に分周

25.2.6 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は、読み出し / 書き込み可能な 8 ビットのレジスタで、内蔵 RAM へのアクセス許可 / 禁止を設定します。SYSCR1 は、パワーオンリセットおよびディープスタンバイ時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

RAME ビットを 1 にセットすると内蔵 RAM が有効になります。0 にクリアすると内蔵 RAM はアクセスできません。このとき、内蔵 RAM からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM へのライトは無視されます。初期値は 1 です。

なお、RAME ビットの設定をディスエーブルにする場合には、RAME ビット設定前に必ず各ページに対し任意の同一アドレスのリード / ライトを実行してください。実行しない場合、最後に書かれたデータが内蔵 RAM に書き込まれない可能性があります。さらに、SYSCR1 へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う際は、「25.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RAME1	RAME0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7-2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	RAME1	1	R/W	RAM イネーブル 1 (対象 RAM アドレス : H'FFF84000 ~ H'FFF87FFF) 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効
0	RAME0	1	R/W	RAM イネーブル 0 (対象 RAM アドレス : H'FFF80000 ~ H'FFF83FFF) 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効

25.2.7 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、読み出し / 書き込み可能な 8 ビットのレジスタで、内蔵 RAM へのライト許可 / 禁止を設定します。SYSCR2 は、パワーオンリセットおよびディープスタンバイ時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

RAMWE ビットを 1 にセットすると内蔵 RAM への書き込みが有効になります。0 にクリアすると内蔵 RAM にはライトできません。このとき、内蔵 RAM へのライトは無視されます。初期値は 1 です。

なお、RAMWE ビットの設定をディスエーブルにする場合には、RAMWE ビット設定前に必ず各ページに対し任意の同一アドレスのリード / ライトを実行してください。実行しない場合、最後に書かれたデータが RAM に書き込まれない可能性があります。さらに、SYSCR2 へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う際は、「25.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RAM WE1	RAM WE0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	RAMWE1	1	R/W	RAM ライトイネーブル 1 (対象 RAM アドレス: H'FFF84000 ~ H'FFF87FFF) 0: 内蔵 RAM へのライト無効 1: 内蔵 RAM へのライト有効
0	RAMWE0	1	R/W	RAM ライトイネーブル 0 (対象 RAM アドレス: H'FFF80000 ~ H'FFF83FFF) 0: 内蔵 RAM へのライト無効 1: 内蔵 RAM へのライト有効

25.2.8 RAM 保持エリア指定レジスタ (RAMKP)

RAMKP は、読み出し / 書き込み可能な 8 ビットのレジスタで、ディープスタンバイモード時に対象の内蔵 RAM エリアの内容を保持するかどうかを設定します。RAMKP は、パワーオンリセットおよびディープスタンバイ時に H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

RAMKP ビットを 1 にセットすると、対象の内蔵 RAM エリアの内容がディープスタンバイモード時に保持されます。0 にクリアすると対象の内蔵 RAM エリアの内容がディープスタンバイモード時に保持されません。

ディープスタンバイモードは、割り込み (NMI、IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により解除されますが、パワーオンリセットにより解除された場合、RAMKP ビットが 1 にセットされていても、対象の内蔵 RAM エリアの内容は保持されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAM KP3	RAM KP2	RAM KP1	RAM KP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RAMKP3	0	R/W	RAM 保持エリア 3 (対象 RAM アドレス: H'FFF86000 ~ H'FFF87FFF) 0: ディープスタンバイモード時、RAM 保持しない 1: ディープスタンバイモード時、RAM 保持する
2	RAMKP2	0	R/W	RAM 保持エリア 2 (対象 RAM アドレス: H'FFF84000 ~ H'FFF85FFF) 0: ディープスタンバイモード時、RAM 保持しない 1: ディープスタンバイモード時、RAM 保持する
1	RAMKP1	0	R/W	RAM 保持エリア 1 (対象 RAM アドレス: H'FFF82000 ~ H'FFF83FFF) 0: ディープスタンバイモード時、RAM 保持しない 1: ディープスタンバイモード時、RAM 保持する
0	RAMKP0	0	R/W	RAM 保持エリア 0 (対象 RAM アドレス: H'FFF80000 ~ H'FFF81FFF) 0: ディープスタンバイモード時、RAM 保持しない 1: ディープスタンバイモード時、RAM 保持する

25.2.9 ディープスタンバイ発振安定クロックセレクトレジスタ (DSCNT)

DSCNT は、読み出し / 書き込み可能な 8 ビットのレジスタで、ディープスタンバイモードから復帰する際に必要な、発振安定時間のカウントに使用するクロックを選択します。

DSCNT は、パワーオンリセットおよびディープスタンバイ時に H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

DSCNT の CKS[2:0] ビットで設定する周辺クロック (P) は、CPG の周波数制御レジスタ (FRQCR) がディープスタンバイモードにより初期化されてしまうため、FRQCR の初期値に対する周波数となります。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	CKS[2:0]		
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明																																																		
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																																																		
2~0	CKS[2:0]	000	R/W	クロックセレクト 周辺クロック (P) を分周して得られる 8 種類のクロックから、発振安定時間のカウントに使用するクロックを選択します。 発振安定時間は以下の計算式で求められます。 $\text{発振安定時間} = 1/P \times \text{CKS}[2:0] \text{で選択する分周比} \times 255 [\mu\text{s}]$ 下記に周辺クロック (P) が 5MHz、10MHz、15MHz 時の発振安定時間を示します。 <table style="margin-left: 20px; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left;">設定値</th> <th style="text-align: left;">クロックセレクト</th> <th colspan="3" style="text-align: center;">発振安定時間 (ms)</th> </tr> <tr> <th></th> <th></th> <th style="text-align: center;">5MHz</th> <th style="text-align: center;">10MHz</th> <th style="text-align: center;">15MHz</th> </tr> </thead> <tbody> <tr> <td>000 :</td> <td>$1 \times P$ *1</td> <td style="text-align: center;">0.05</td> <td style="text-align: center;">0.03</td> <td style="text-align: center;">0.02</td> </tr> <tr> <td>001 :</td> <td>$1/64 \times P$ *1</td> <td style="text-align: center;">3.26</td> <td style="text-align: center;">1.63</td> <td style="text-align: center;">1.09</td> </tr> <tr> <td>010 :</td> <td>$1/128 \times P$ *1</td> <td style="text-align: center;">6.53</td> <td style="text-align: center;">3.26</td> <td style="text-align: center;">2.18</td> </tr> <tr> <td>011 :</td> <td>$1/256 \times P$ *2</td> <td style="text-align: center;">13.06</td> <td style="text-align: center;">6.53</td> <td style="text-align: center;">4.35</td> </tr> <tr> <td>100 :</td> <td>$1/512 \times P$ *2</td> <td style="text-align: center;">26.11</td> <td style="text-align: center;">13.06</td> <td style="text-align: center;">8.70</td> </tr> <tr> <td>101 :</td> <td>$1/1024 \times P$</td> <td style="text-align: center;">52.22</td> <td style="text-align: center;">26.11</td> <td style="text-align: center;">17.41</td> </tr> <tr> <td>110 :</td> <td>$1/4096 \times P$</td> <td style="text-align: center;">208.90</td> <td style="text-align: center;">104.45</td> <td style="text-align: center;">69.63</td> </tr> <tr> <td>111 :</td> <td>$1/16384 \times P$</td> <td style="text-align: center;">835.58</td> <td style="text-align: center;">417.79</td> <td style="text-align: center;">278.53</td> </tr> </tbody> </table>	設定値	クロックセレクト	発振安定時間 (ms)					5MHz	10MHz	15MHz	000 :	$1 \times P$ *1	0.05	0.03	0.02	001 :	$1/64 \times P$ *1	3.26	1.63	1.09	010 :	$1/128 \times P$ *1	6.53	3.26	2.18	011 :	$1/256 \times P$ *2	13.06	6.53	4.35	100 :	$1/512 \times P$ *2	26.11	13.06	8.70	101 :	$1/1024 \times P$	52.22	26.11	17.41	110 :	$1/4096 \times P$	208.90	104.45	69.63	111 :	$1/16384 \times P$	835.58	417.79	278.53
設定値	クロックセレクト	発振安定時間 (ms)																																																				
		5MHz	10MHz	15MHz																																																		
000 :	$1 \times P$ *1	0.05	0.03	0.02																																																		
001 :	$1/64 \times P$ *1	3.26	1.63	1.09																																																		
010 :	$1/128 \times P$ *1	6.53	3.26	2.18																																																		
011 :	$1/256 \times P$ *2	13.06	6.53	4.35																																																		
100 :	$1/512 \times P$ *2	26.11	13.06	8.70																																																		
101 :	$1/1024 \times P$	52.22	26.11	17.41																																																		
110 :	$1/4096 \times P$	208.90	104.45	69.63																																																		
111 :	$1/16384 \times P$	835.58	417.79	278.53																																																		

【注】 *1 本設定を使用しないでください。

*2 スタンバイ復帰発振安定時間 2 (tosc3) 以上となるように設定してください。

25.2.10 ディープスタンバイ解除要因フラグレジスタ (DSFR)

DSFR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードがどの割り込みで解除されたのかを確認するフラグと、ディープスタンバイモード解除後の端子状態保持を解除するビットで構成されます。DSFR は、 $\overline{\text{RES}}$ 端子によるパワーオンリセット時に H'0000 に初期化されますが、WDT のオーバフローによるパワーオンリセット、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。ディープスタンバイモードが割り込み (NMI、IRQ) およびマニュアルリセットにより解除された場合、パワーオンリセット例外処理が実行されますが、このときも本レジスタは前の値を保持します。ワードアクセスのみ有効です。

割り込みコントローラ (INTC) およびピンファンクションコントローラ (PFC) で設定した NMI、IRQ 端子の割り込み入力は常に検出されているため、通常動作時の割り込み入力でもフラグがセットされてしまいます。そのため、ディープスタンバイモードに遷移する直前にすべてのフラグをクリアする必要があります。

また、フラグクリア後 SLEEP 命令を実行する直前に割り込みが発生した場合、フラグが再度セットされた状態でディープスタンバイモードに遷移しています。これを防ぐため割り込み例外処理ルーチン内でも DSFR レジスタのフラグクリアを行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IOKEEP	-	-	-	-	-	MRESF	NMIF	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
 マニュアルリセットをディープスタンバイの解除要因として受け付けた後にIRQ入力があってもIRQフラグはセットされません。

ビット	ビット名	初期値	R/W	説明
15	IOKEEP	0	R/(W)*	端子状態保持 ディープスタンバイモード解除後に端子状態保持を解除するビットです。 0: 端子状態を保持しない 【クリア条件】1リード後の0ライト 1: 端子状態を保持する 【セット条件】ディープスタンバイモードに遷移したとき
14~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	MRESF	0	R/(W)*	MRES フラグ 0: $\overline{\text{MRES}}$ 端子に割り込みなし 1: $\overline{\text{MRES}}$ 端子に割り込みあり
8	NMIF	0	R/(W)*	NMI フラグ 0: NMI 端子に割り込みなし 1: NMI 端子に割り込みあり

ビット	ビット名	初期値	R/W	説明
7	IRQ7F	0	R/(W)*	IRQ7 フラグ 0 : IRQ7 端子に割り込みなし 1 : IRQ7 端子に割り込みあり
6	IRQ6F	0	R/(W)*	IRQ6 フラグ 0 : IRQ6 端子に割り込みなし 1 : IRQ6 端子に割り込みあり
5	IRQ5F	0	R/(W)*	IRQ5 フラグ 0 : IRQ5 端子に割り込みなし 1 : IRQ5 端子に割り込みあり
4	IRQ4F	0	R/(W)*	IRQ4 フラグ 0 : IRQ4 端子に割り込みなし 1 : IRQ4 端子に割り込みあり
3	IRQ3F	0	R/(W)*	IRQ3 フラグ 0 : IRQ3 端子に割り込みなし 1 : IRQ3 端子に割り込みあり
2	IRQ2F	0	R/(W)*	IRQ2 フラグ 0 : IRQ2 端子に割り込みなし 1 : IRQ2 端子に割り込みあり
1	IRQ1F	0	R/(W)*	IRQ1 フラグ 0 : IRQ1 端子に割り込みなし 1 : IRQ1 端子に割り込みあり
0	IRQ0F	0	R/(W)*	IRQ0 フラグ 0 : IRQ0 端子に割り込みなし 1 : IRQ0 端子に割り込みあり

【注】 * フラグをクリアするため、1を読み出したあとに0を書き込むことのみ可能です。
マニュアルリセットをディープスタンバイの解除要因として受け付けた後に IRQ 入力があっても IRQ フラグはセットされません。

25.3 動作説明

25.3.1 スリープモード

(1) スリープモードへの遷移

STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。CKIO 端子には、クロックが出力され続けます。

(2) スリープモードの解除

スリープモードは、割り込み (NMI、H-UDI、IRQ、PINT、内蔵周辺)、バスエラーおよびリセット (マニュアルリセット、パワーオンリセット) により解除されます。

- 割り込みによる解除

NMI、H-UDI、IRQ、PINT、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

- バスエラーによる解除

バスエラーが発生するとスリープモードが解除され、バスエラー例外処理が実行されます。

- リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

25.3.2 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

STBCR の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。クロックモード 0 および 2 のときは、CKIO 端子からのクロック出力も停止します。

CPU およびキャッシュのレジスタ内容は、保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態は「28.3 各動作モードにおけるレジスタの状態」を参照してください。

また、CPU は、STBCR への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR への書き込み値を SLEEP 命令に確実に反映するためには、STBCR を読み出してから SLEEP 命令を実行してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイムコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイムカウンタ (WTCNT) に0をセットし、WTCSRレジスタのCKS[2:0]ビットを発振安定時間以上になるように、値を設定します。
3. STBCRレジスタのSTBYビットに1、DEEPビットに0を設定した後にSTBCRレジスタを読み出します。その後、SLEEP命令を実行させます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により、解除されます。クロックモード 0 および 2 のときは、CKIO 端子からクロックが出力され始めます。

• 割り込みによる解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ0 (ICR0) のNMIエッジセレクトビット (NMIE) で選択)、IRQ端子 (IRQ7 ~ IRQ0) の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ1 (ICR1) のIRQnセンスセレクトビット (IRQn1S ~ IRQn0S) で選択) が検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ (WDT) にだけ供給されます。ソフトウェアスタンバイモードに遷移する前にWDTのウォッチドッグタイムコントロール/ステータスレジスタ (WTCSR) のクロックセレクトビット (CKS[2:0]) に設定しておいた時間が経過すると、WDTのオーバーフローが発生します。このオーバーフロー発生によってクロックが安定したと判断され本LSI全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI割り込み例外処理 (IRQの場合、IRQ割り込み例外処理) が開始されます。ただし、IRQ割り込み優先レベルがCPUのステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、割り込み要求は受け付けられず、ソフトウェアスタンバイモードは解除されません。

NMI割り込みまたはIRQ割り込みによってソフトウェアスタンバイモードを解除する場合、WDTのオーバーフロー周期が発振安定時間以上となるように、CKS[2:0]ビットを設定してください。

割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CKIO端子のクロック出力の位相が不安定になることがあります。なお、立ち下がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) のNMI端子のレベルがハイレベルに、かつソフトウェアスタンバイモード復帰時 (発振安定後のクロック起動時) のNMI端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) のNMI端子のレベルがローレベルに、かつソフトウェアスタンバイモード復帰時 (発振安定後のクロック起動時) のNMI端子のレベルがハイレベルになるようにしてください (IRQ端子の場合も同様です)。

- リセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、ソフトウェアスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{RES}}$ 端子をハイレベルにすると、パワーオンリセット例外処理が開始されます。

$\overline{\text{MRES}}$ 端子をローレベルにすると、ソフトウェアスタンバイモードが解除され、マニュアルリセット状態に遷移し、その後 $\overline{\text{MRES}}$ 端子をハイレベルにすると、マニュアルリセット例外処理が開始されます。

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

CKIO端子には、クロックモード0、2のとき内部のクロックが出力され続けます。

(3) ソフトウェアスタンバイモード遷移時の注意事項

DMAC が転送中に、ソフトウェアスタンバイモードへ遷移するための SLEEP 命令を実行すると、転送の終了を待たずに DMAC が停止するため、DMA 転送が保証されません。したがって、ソフトウェアスタンバイモードに遷移するときは、DMA 転送の終了を待つか、もしくは DMA 転送を停止してから SLEEP 命令を実行してください。

25.3.3 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりでソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 25.1 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられません。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、STBCR の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

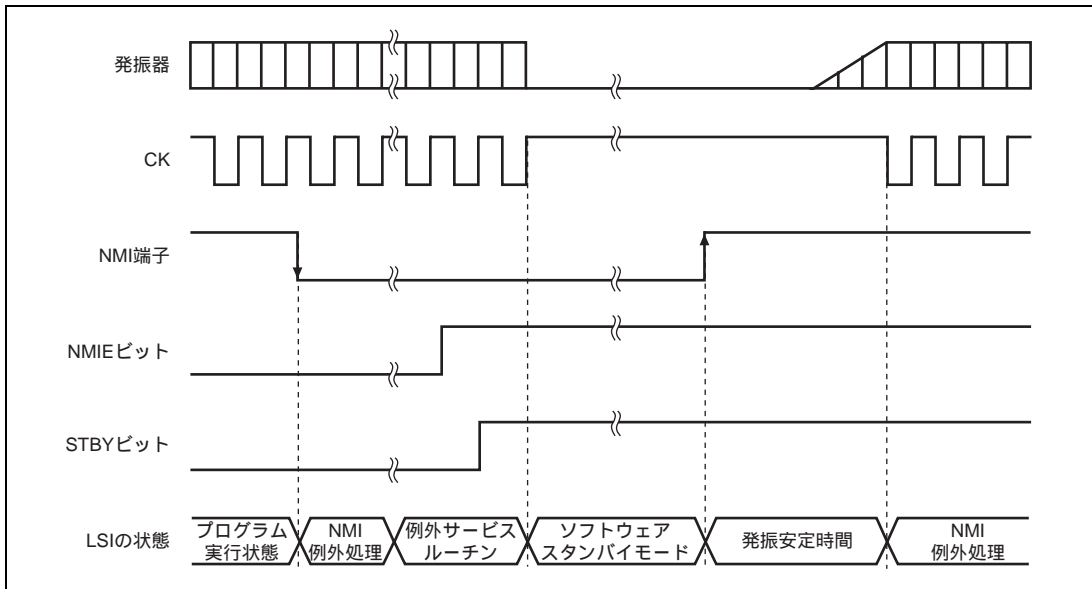


図 25.1 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

25.3.4 ディープスタンバイモード

(1) ディープスタンバイモードへの遷移

STBCR の STBY ビットと DEEP ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からディープスタンバイモードに遷移します。ディープスタンバイモードでは、CPU、クロック、および内蔵周辺モジュールが停止するだけでなく、RAMKP レジスタの RAMKP3 ~ RAMKP0 ビットの設定により保持となる内蔵 RAM エリア、RTC を除き電源がオフになり、消費電力を大幅に削減できます。そのため CPU およびキャッシュのレジスタ内容、内蔵周辺モジュールのレジスタに関しても値は保持されません。ただし、端子の状態はディープスタンバイモードに遷移する直前の値を保持することができます。

CPU は、DSFR への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から DSFR への書き込み値を SLEEP 命令に確実に反映するためには、DSFR を読み出してから SLEEP 命令を実行してください。

ディープスタンバイモードへ遷移する手順を以下に示します。また、そのフローを図 25.2 に示します。

1. 保持する必要がある内蔵RAMエリアに対して、RAMKPレジスタのRAMKP3 ~ RAMKP0ビットを設定します。
2. 保持する内蔵RAMの各ページに対し、任意の同一アドレスのリード/ライトを実行します。実行しない場合、最後に書かれたデータが内蔵RAMに書き込まれない可能性があります。以後、内蔵RAMへのライトがある場合には、最後の内蔵RAMライト後に、本処理を実行してください。
3. DSCNTレジスタCKS[2:0]ビットをCPGのFRQCRの初期値に対して、発振安定時間以上になるように値を設定します。
4. STBCRレジスタのSTBYビットとDEEPビットに1を設定します。
5. DSFRレジスタのフラグをクリアした後に、DSFRレジスタを読み出します。その後、SLEEP命令を実行します。

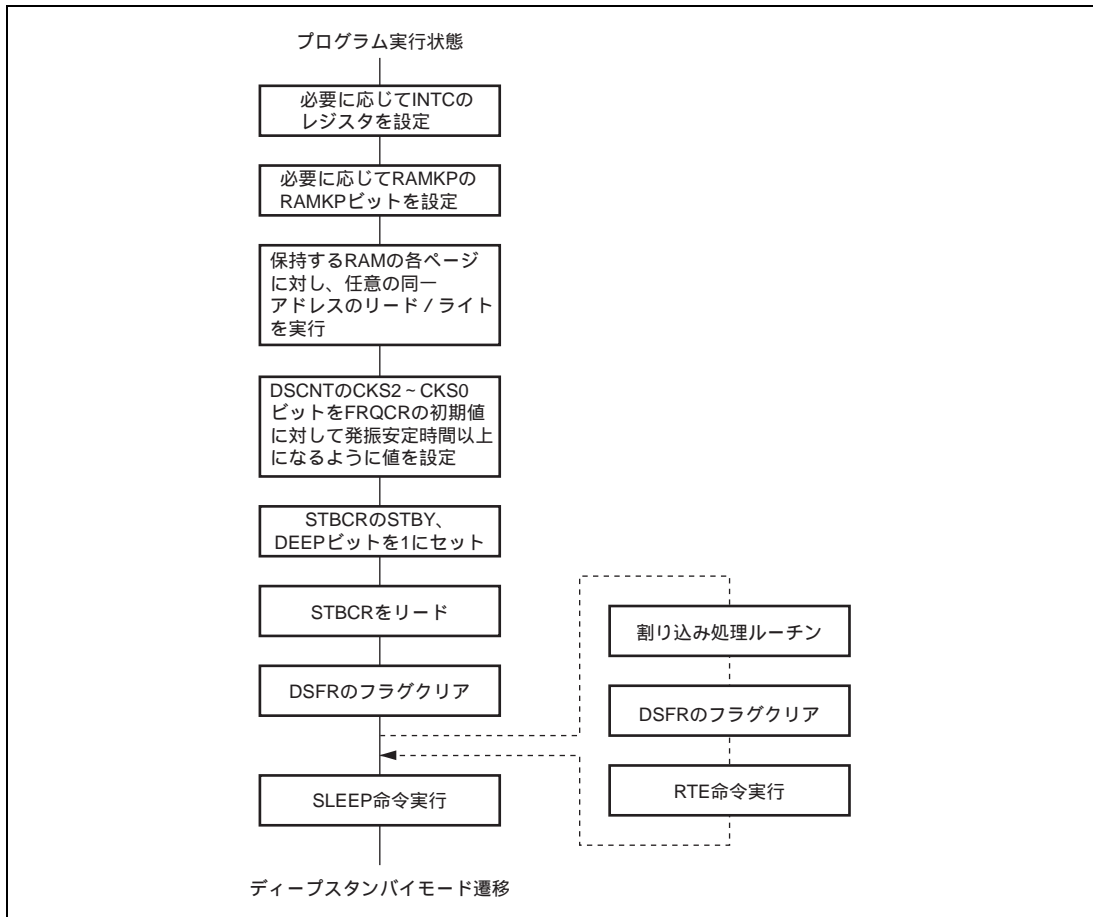


図 25.2 ディープスタンバイモード遷移フロー

(2) ディープスタンバイモードの解除

ディープスタンバイモードは、割り込み (NMI、IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により解除されます。ただし、IRQ は PE7 ~ PE4、PC25 ~ PC22 でのみ解除することができます。NMI 割り込みまたは IRQ 割り込みによって解除する場合、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。同様にマニュアルリセットもパワーオンリセット例外処理となります。ディープスタンバイモード解除のフローを図 25.3 に示します。

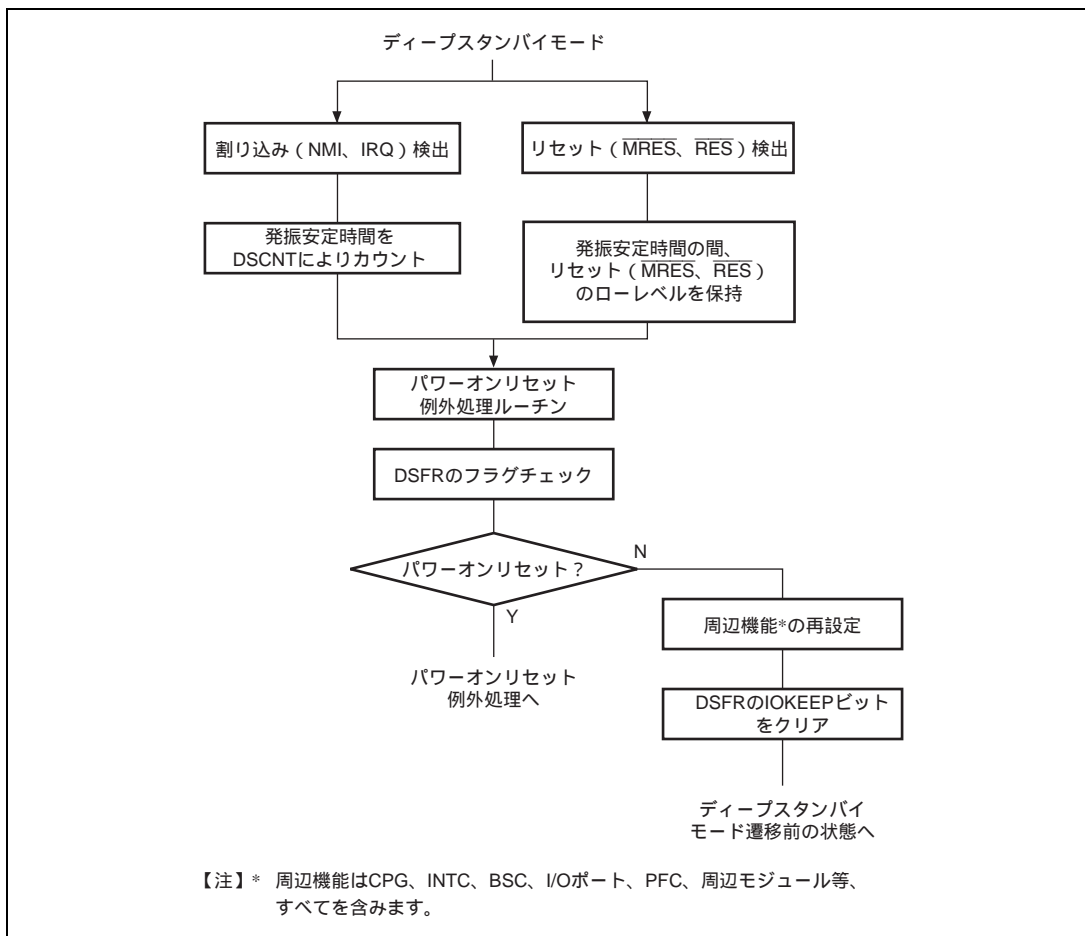


図 25.3 ディープスタンバイモード解除フロー

- 割り込みによる解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラ（INTC）の割り込みコントロールレジスタ0（ICR0）のNMIエッジセレクトビット（NMIE）で選択）、IRQ端子（IRQ7～IRQ0：PE7～PE4、PC25～PC22）の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラ（INTC）の割り込みコントロールレジスタ1（ICR1）のIRQ_nセンスセレクトビット（IRQ_nIS～IRQ_nOS）で選択）が検出されると電源安定待ち時間後、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ（DSCNT）にだけ供給されます。

ディープスタンバイモードに遷移する前にDSCNTのクロックセレクトビット（CKS[2:0]）に設定しておいた時間が経過すると、オーバフローが発生します。このオーバフロー発生によってクロックが安定したと判断され本LSI全体にクロックが供給されます。これによって、ディープスタンバイモードが解除され、リセット例外処理が実行されます。

NMI割り込みまたはIRQ割り込みによってディープスタンバイモードを解除する場合、オーバフロー周期が発振安定時間以上となるように、CKS[2:0]ビットを設定してください。

割り込み検出直後からディープスタンバイモードが解除されるまでの間には、CKIO端子のクロック出力の位相が不安定になることがあります。なお、立ち下がりエッジに設定したNMI端子でディープスタンバイモードを解除する場合、ディープスタンバイモードに入るとき（クロック停止時）のNMI端子のレベルがハイレベルに、かつディープスタンバイモード復帰時（発振安定後のクロック起動時）のNMI端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定したNMI端子でディープスタンバイモードを解除する場合、ディープスタンバイモードに入るとき（クロック停止時）のNMI端子のレベルがローレベルに、かつディープスタンバイモード復帰時（発振安定後のクロック起動時）のNMI端子のレベルがハイレベルになるようにしてください（IRQ端子の場合も同様です）。

- リセットによる解除

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をローレベルにすると、本LSIはパワーオンリセット状態に遷移し、ディープスタンバイモードモードは解除されます。

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子は、電源、クロックの発振が安定するまでローレベルを保持してください。

$\overline{\text{RES}}$ 端子によりディープスタンバイモードが解除された場合、内蔵RAMエリアの内容は保持されません。

（3）ディープスタンバイモード解除後の動作

ディープスタンバイモードが、割り込み（NMI、IRQ）およびマニュアルリセットにより解除された場合、どの割り込みで解除されたのかをディープスタンバイ解除要因フラグレジスタ（DSFR）により確認することができます。

ディープスタンバイモードに遷移する際、端子は直前の状態を保持しますが、ディープスタンバイモード解除時、表 25.3 に示すバス系端子のみ、端子の状態保持を解除してプログラムフェッチ可能とします。その他の端子は、ディープスタンバイモード解除後も端子の状態を保持したままで、どの割り込みでディープスタンバイモードから復帰したのかを DSFR により確認します。ディープスタンバイモード遷移前の状態にするには、周辺機能の再設定を行います。周辺機能には、CPG、INTC、BSC、I/O ポート、PFC、周辺モジュール等のすべてを含みません。再設定後、DSFR の IOKEEP ビットの 1 を読み出した後に 0 を書き込むことにより、端子の状態保持を解除す

ることができます。

表 25.3 動作モード別端子状態

動作モード 1 (外部 8 ビットバス起動)	動作モード 2 (外部 16 ビットバス起動)	動作モード 3 (外部 32 ビットバス起動)
PA[23:0] PB[7:0] PC[9:8]、PC[0] CKIO	PA[23:0] PB[15:0] PC[10:8]、PC[0] CKIO	PA[23:0] PB[31:0] PC[12:8]、PC[0] CKIO

(4) ディープスタンバイモード遷移時の注意事項

DMAC が転送中に、ディープスタンバイモードへ遷移するための SLEEP 命令を実行すると、転送の終了を待たずに DMAC が停止するため、DMA 転送が保証されません。したがって、ディープスタンバイモードに遷移するときは、DMA 転送の終了を待つか、もしくは DMA 転送を停止してから SLEEP 命令を実行してください。

25.3.5 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

レジスタの状態は、ソフトウェアスタンバイモード時と同じです。

ただし DAC は例外です。DAC は、ソフトウェアスタンバイモード時は全レジスタが保持されますが、モジュールスタンバイ状態では全レジスタが初期化されます。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセット(ただし RTC、H-UDI、UBC、DMAC、AUD-II のみ)により行います。各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリアされたことを確認してください。

25.4 使用上の注意事項

25.4.1 レジスタ設定時の注意

低消費電力モード関連のレジスタに書き込みを行う際には、以下のことに注意してください。

CPU から低消費電力モード関連のレジスタに書き込みを行う際、CPU は書き込み命令実行後、実際のレジスタへの書き込み完了まで待たされずに、後続の命令を実行します。

後続命令実行時にレジスタへの書き込みによる変更を反映させたい場合には、レジスタ書き込み命令と後続命令の間に同じレジスタに対するダミーリードを行ってください。

25.4.2 外部クロック入力時におけるスタンバイモード解除の注意

EXTAL 端子または CKIO 端子から外部クロックを入力して使用する場合、NMI 割り込みまたは IRQ 割り込みによってスタンバイモードを解除する際、割り込み入力の前に必ず外部クロックを入力してください。入力していない場合、正しい発振安定時間をカウントすることができません。

26. ユーザデバッグインタフェース (H-UDI)

本 LSI は、エミュレータのサポートのため、ユーザデバッグインタフェース (H-UDI) を内蔵しています。

26.1 特長

ユーザデバッグインタフェース (H-UDI) は、リセットおよび割り込み要求の機能を備えています。

本 LSI の H-UDI はエミュレータの接続に使用されます。

エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

図 26.1 に H-UDI のブロック図を示します。

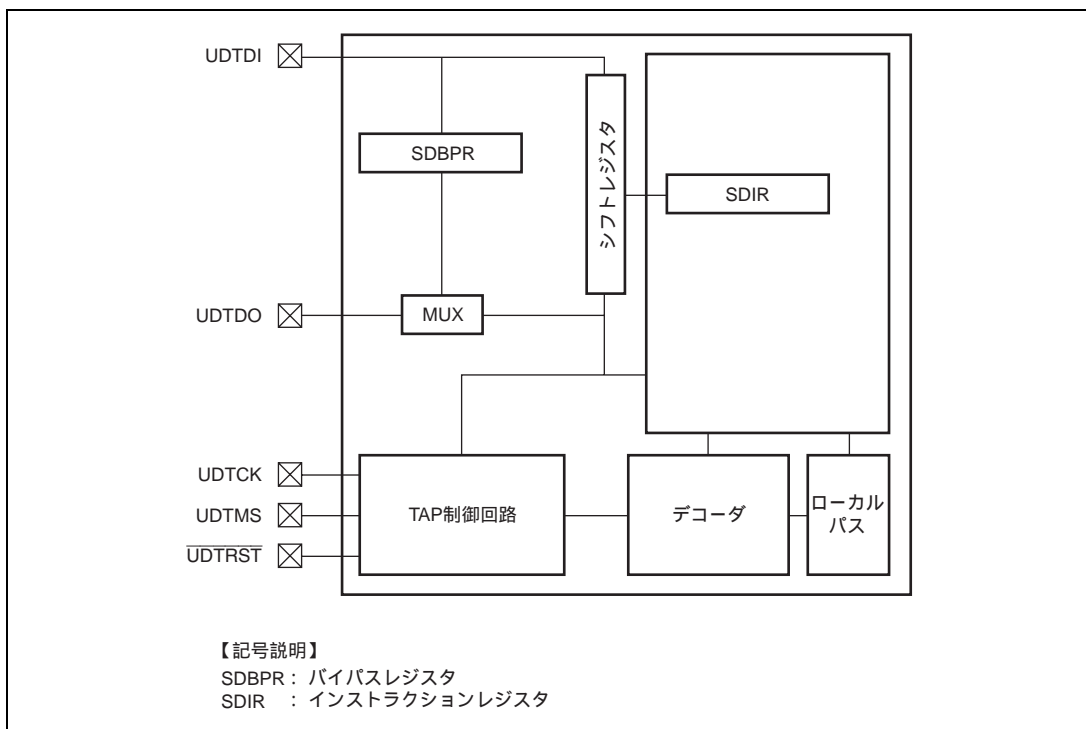


図 26.1 H-UDI のブロック図

26.2 入出力端子

表 26.1 端子構成

名称	端子名	入出力	機能
H-UDI シリアルデータ 入出力用クロック端子	UDTCK*	入力	データはこのクロックに同期してデータ入力端子 (UDTDI) から H-UDI にシリアルに供給され、データ出力端子 (UDTDO) から出力されます。未使用時はハイレベルに固定してください。
モードセレクト入力端子	UDTMS*	入力	UDTCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは図 26.2 を参照してください。未使用時はハイレベルに固定してください。
H-UDI リセット入力端子	UDTRST*	入力	UDTCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に UDTRST を発振安定期間の間ローレベルにしなければなりません。リセット構成の詳細については、「26.4.2 リセットの種類」を参照してください。
H-UDI シリアルデータ入力端子	UDTDI*	入力	UDTCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。未使用時はハイレベルに固定してください。
H-UDI シリアルデータ出力端子	UDTDO	出力	UDTCK に同期してこの端子を読み出すことによって H-UDI からデータを読み取ります。データ出力タイミングの初期値は立ち上がり同期ですが、SDIR に「UDTDO 変化タイミング切り替え」コマンドを入力することにより立ち上がり同期に変更することができます。詳細については、「26.4.3 UDTDO 出力タイミング」を参照してください。
ASE モードセレクト端子	ASEMD	入力	ハイレベルに固定してください。

【注】 * ブルアップ付き端子です。

26.3 レジスタの説明

H-UDI には以下のレジスタがあります。

表 26.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	SDBPR	-	-	-	-
イントラクションレジスタ	SDIR	R	H'EFFD	H'FFFD9000	16

26.3.1 バイパスレジスタ (SDBPR)

SDBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は H-UDI 端子の UDTD I と UDTDO の間に接続されます。初期値は不定です。

26.3.2 インストラクションレジスタ (SDIR)

SDIR は、16 ビットの読み出し専用のレジスタです。 \overline{UDTRST} のアサートまたは TAP の Test-Logic-Reset 状態のときあるいはディープスタンバイ時に初期化されます。また、H-UDI からは、CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。初期値は H'EFFD です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	T[7:0]							-	-	-	-	-	-	-	-	-
初期値:	1*	1*	1*	0*	1*	1*	1*	1*	1	1	1	1	1	1	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】* T[7:0]の初期値は予約値ですが、コマンドをセットする場合は必ず予約以外の値をセットしてください。

ビット	ビット名	初期値	R/W	説明
15~8	T[7:0]	11101111*	R	テストインストラクション H-UDI のインストラクションは UDTDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 26.3 を参照してください。
7~2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

表 26.3 H-UDI コマンド

ビット 15~8								説明
T17	T16	T15	T14	T13	T12	T11	T10	
0	1	1	0	-	-	-	-	H-UDI リセットネゲート
0	1	1	1	-	-	-	-	H-UDI リセットアサート
1	0	0	1	1	1	0	0	UDTDO 変化タイミング切り替え
1	0	1	1	-	-	-	-	H-UDI 割り込み
1	1	1	1	-	-	-	-	BYPASS モード
上記以外								予約

26.4 動作説明

26.4.1 TAP コントローラ

図 26.2 に TAP コントローラの内部状態を示します。

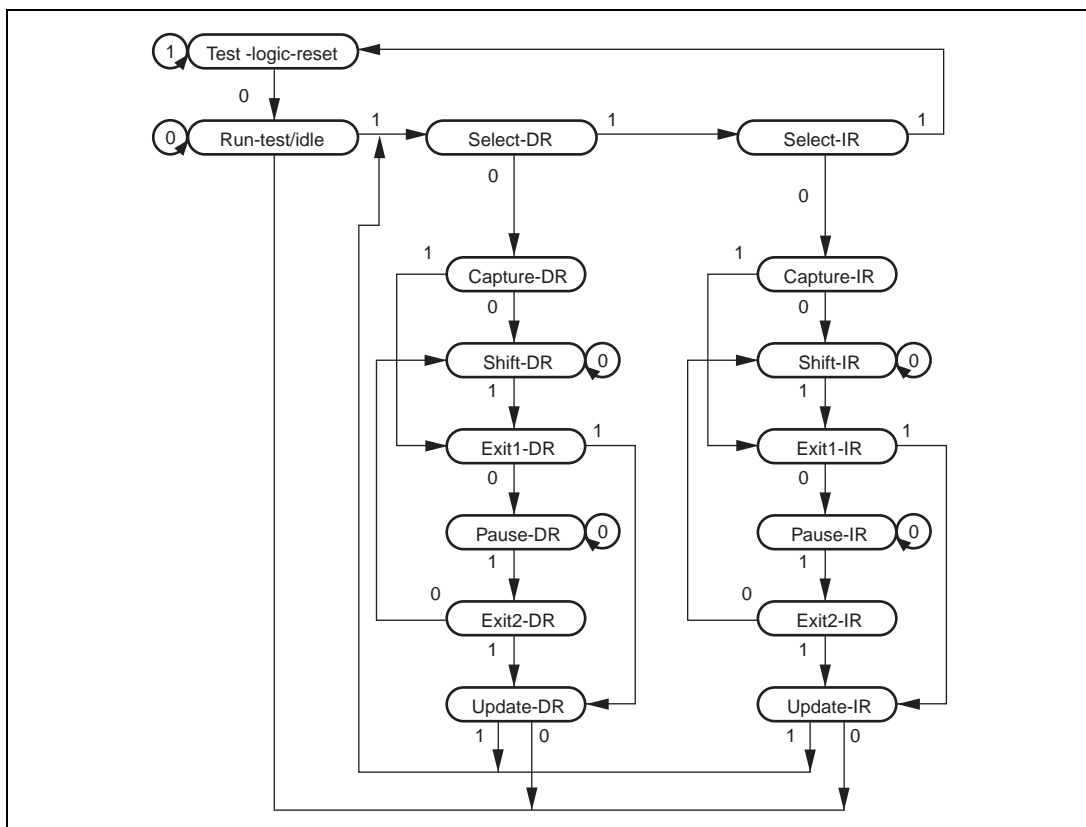


図 26.2 TAP コントローラ状態遷移図

【注】 遷移条件は UDTCK の立ち上がりエッジにおける UDTMS 値です。UDTDI 値は UDTCK の立ち上がりエッジでサンプリングし、UDTCK の立ち下がりエッジでシフトします。UDTDO 値の変化タイミングについては、「26.4.3 UDTDO 出カタイミグ」を参照してください。UDTDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。UDTRST のアサートあるいはディープスタンバイモードにより UDTCK とは非同期で Test-Logic-Reset 状態へ遷移します。

26.4.2 リセットの種類

表 26.4 リセットの種類

ASEMD*	RES	UDTRST	チップ状態
H	L	L	パワーオンリセットおよびH-UDIのリセット
		H	パワーオンリセット
	H	L	H-UDIのみリセット
		H	通常動作

【注】 * ASEMD = H 固定にしてください。

26.4.3 UDTDO 出力タイミング

UDTDO の変化タイミングは、初期値では UDTCK の立ち下がりエッジ同期で出力されます。ただし、H-UDI 端子から SDIR に「UDTDO 変化タイミング切り替え」コマンドをセットし、Update-IR を通過することで、UDTDO の変化タイミングは UDTCK の立ち上がりエッジに同期します。これ以降、UDTDO の変化タイミングを UDTCK の立ち下がりエッジ同期出力にする場合は、パワーオンリセットと同時に、 $\overline{\text{UDTRST}}$ 端子のアサートをを行うか、もしくはディープスタンバイモードに遷移する必要があります。 $\overline{\text{RES}}$ 端子によるパワーオンリセットの場合、 $\overline{\text{RES}}$ 端子ネグート後も、チップ内部は一定期間リセット状態となります。そのため、 $\overline{\text{RES}}$ 端子ネグート後すぐに $\overline{\text{UDTRST}}$ 端子をアサートした場合、「UDTDO 変化タイミング切り替え」コマンドはクリアされ、UDTDO の変化タイミングが UDTCK の立ち下がりエッジ同期出力になります。これを防ぐため、 $\overline{\text{RES}}$ 端子と $\overline{\text{UDTRST}}$ 端子の互いの信号変化は必ず 20 tcy 以上間隔をあけてください。

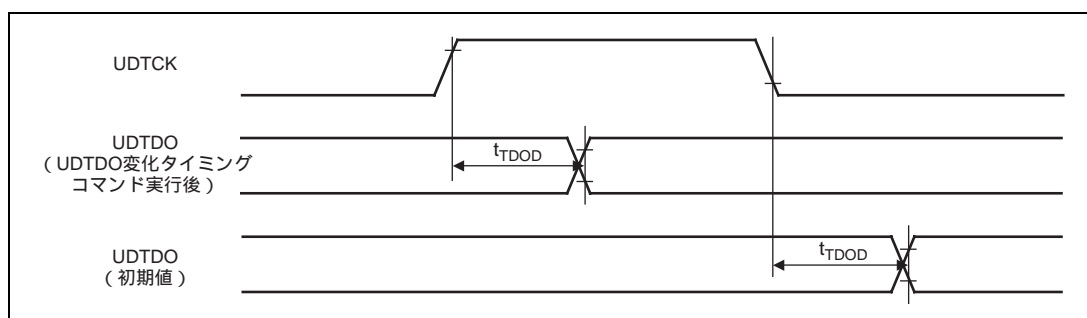


図 26.3 H-UDI データ転送タイミング

26.4.4 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネグートコマンドをセットすることにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネグートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。

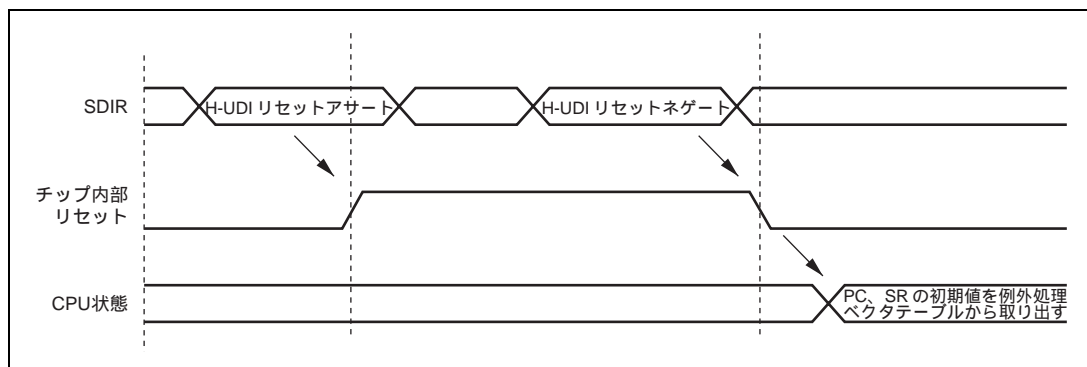


図 26.4 H-UDI リセット

26.4.5 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からのコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外 / 割り込み動作であり、例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは受け付けられますが、ソフトウェアスタンバイモードおよびディープスタンバイモードでは H-UDI 割り込みは受け付けられません。

26.5 使用上の注意事項

1. H-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再セットされないかぎり変更されません。同じコマンドを連続してセットする場合は、チップ動作に影響のないコマンド (BYPASSモード等) をいったんセットしてから再度コマンドをセットする必要があります。
2. ソフトウェアスタンバイモードまたはH-UDIモジュールスタンバイ状態中は、H-UDIのすべての機能を使用することはできません。また、ソフトウェアスタンバイモードもしくはH-UDIモジュールスタンバイ状態の前でTAPの状態を保持するためには、ソフトウェアスタンバイモードもしくはH-UDIモジュールスタンバイ状態遷移の際、UDTCKをハイレベルにしておく必要があります。
3. ディープスタンバイモードではH-UDIのすべての機能を使用することはできません。また、ディープスタンバイモードでは、H-UDIは初期化されます。
4. UDTDO変化タイミング切り替えコマンドをセットし、 $\overline{\text{RES}}$ 端子ネゲート後すぐに $\overline{\text{UDTRST}}$ 端子をアサートした場合、UDTDO変化タイミング切り替えコマンドがクリアされることがあります。これを防ぐため、UDTDO変化タイミング切り替えコマンドをセットした場合、 $\overline{\text{RES}}$ 端子と $\overline{\text{UDTRST}}$ 端子の互いの信号変化は必ず20 tcy以上間隔を空けてください。詳細は「26.4.3 UDTDO出力タイミング」を参照してください。
5. $\overline{\text{UDTRST}}$ 端子ネゲート後、TAPコントローラを動作させる際は、必ず200msec以上間隔を開けてください。

27. アドバンストユーザデバッガ-II (AUD-II)

AUD-II、最終製品に実装された状態でユーザプログラムのデバッグを支援するための機能を提供します。
AUD-IIを用いて内蔵RAMデータのモニタリング/チューニング等簡易エミュレータを構築することが可能です。

27.1 特長

AUD-II は、AUDMD を設定することで、RAM モニタモードが使用できます。

RAM モニタモード

- 内部/外部バスに接続されているモジュール (キャッシュおよびH-UDIを除く) を読み出し / 書き込みする機能。
- 外部からAUDATAにアドレスを書き込むと、そのアドレスに対応したデータ出力します。
- 外部からAUDATAにアドレス , データを書き込むと、そのアドレスにデータを転送します。

27.2 入出力端子

AUD-II の端子構成を表 27.1 に示します。

表 27.1 端子構成

名称	端子名	機能
AUD Reset	$\overline{\text{AUDRST}}$	AUD リセット入力
AUD Sync	$\overline{\text{AUDSYNC}}$	データ先頭位置認識信号入力
AUD Clock	AUDCK	外部入力クロック
AUD Mode	AUDMD	モード選択入力 (H)
AUD DATA	AUDATA[3:0]	モニタアドレス入力 / データ入出力

(1) 端子説明

表 27.2 端子説明

端子	説明
AUDMD	<p>本端子の入力レベルを切り替えることにより、モード選択します。</p> <p>L : 設定禁止</p> <p>H : RAM モニタモード</p> <p>本端子の切り替えは $\overline{\text{AUDRST}}$ が L の状態で実施してください。</p>
$\overline{\text{AUDRST}}$	<p>本端子に L を入力時は AUD がリセット状態となり、AUD 内のバッファおよび処理状態はリセットされます。AUDMD のレベル確定後 H に戻すと選択されたモードで動作します。</p>
AUDCK	<p>本端子は外部クロック入力です。デバッグに使用するクロックを入力してください。</p> <p>入力できる周波数は、$B/2$ 以下です。</p>
$\overline{\text{AUDSYNC}}$	<p>AUD バスコマンド有効信号</p> <p>1 : 読み出しデータを出力</p> <p>0 : 書き込みアドレス、データ、DIR コマンドを入力</p> <p>【注】本端子は外部から AUDATA にコマンドが入力されて、必要なデータが準備できるまでアサートしないでください。詳しくは後述のプロトコルを参照してください。</p>
AUDATA[3:0]	<p>下記情報が時分割で出力される。</p> <ul style="list-style-type: none"> • AUD バスコマンド • アドレス • データ <p>外部からコマンドを入力すると Ready 送信後データを出力します。出力は $\overline{\text{AUDSYNC}}$ がネゲートされてから開始します。詳しくは後述のプロトコルを参照してください。</p>

27.3 RAM モニタモード

本モードは、内部/外部バスに接続されているすべてのモジュール(キャッシュおよび H-UDI を除く)を読み出し/書き込みする機能です。本機能により RAM モニタ/チューニングができます。

27.3.1 通信プロトコル

AUD-II は $\overline{\text{AUDSYNC}}$ がアサートされると AUDATA を取り込みます。AUDATA は以下のフォーマットで入力してください。

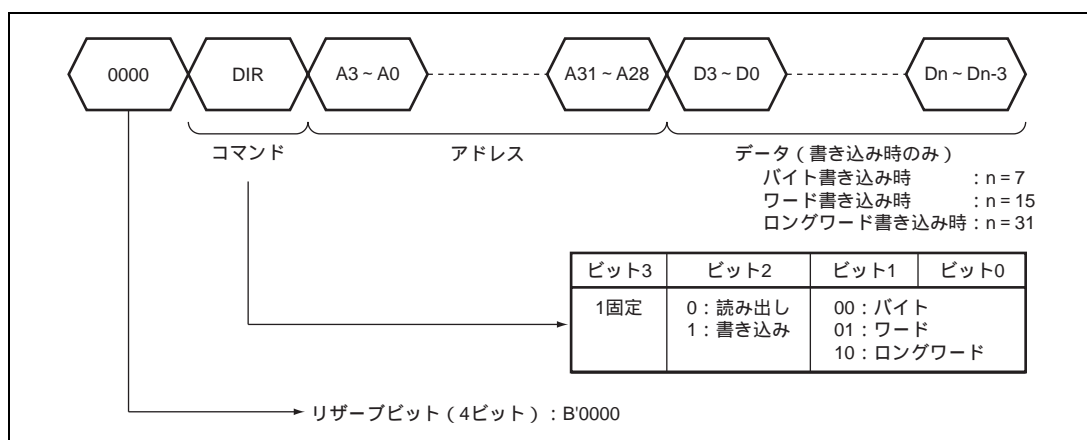


図 27.1 AUDATA 入力フォーマット

27.3.2 動作説明

$\overline{\text{AUDRST}}$ をアサートした状態で AUDMD を H にして $\overline{\text{AUDRST}}$ をネゲートすると、RAM モニタモードで動作します。図 27.2 にリード動作の例を、図 27.3 にライト動作の例を示します。

$\overline{\text{AUDSYNC}}$ がアサートされると、AUDATA から入力を開始します。図 27.1 に示すフォーマットでコマンド、アドレス、データ (書き込み時のみ) が入力されると、指定されたアドレスの読み出し/書き込み実行を開始します。内部実行中 AUD-II は Not Ready (B'0000) を返します。実行が完了すると、Ready (B'0001) を返します (図 27.2、図 27.3)。表 27.3 に Ready フラグのフォーマットを示します。

読み出し時は、このフラグの検出後、 $\overline{\text{AUDSYNC}}$ をネゲートすると指定されたサイズのデータを出力します (図 27.2)。DIR に上記以外のコマンドが入力された場合、AUD-II はコマンドエラーとして処理を無効にし、Ready フラグ内のビット 1 を 1 にセットします。また、DIR 内で指定されたコマンドによる読み出し/書き込み動作がバスエラーを起こすとき、処理を無効にし Ready フラグ内ビット 2 を 1 にセットします (図 27.4)。

以下にバスエラー条件を示します。

1. 4n+1、4n+3番地にワードアクセス
2. 4n+1、4n+2、4n+3番地にロングワードアクセス

表 27.3 Ready フラグフォーマット

ビット 3	ビット 2	ビット 1	ビット 0
0 固定	0 : 正常状態	0 : 正常状態	0 : not Ready
	1 : バスエラー発生	1 : コマンドエラー発生	1 : Ready

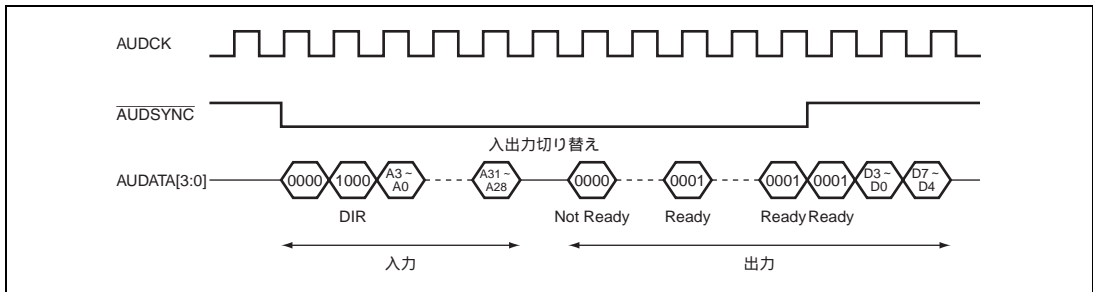


図 27.2 リード動作例 (バイトリード)

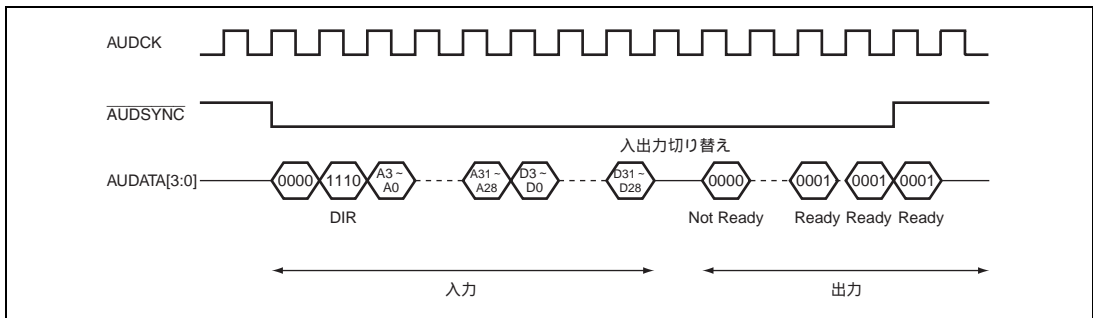


図 27.3 ライト動作例 (ロングワードライト)

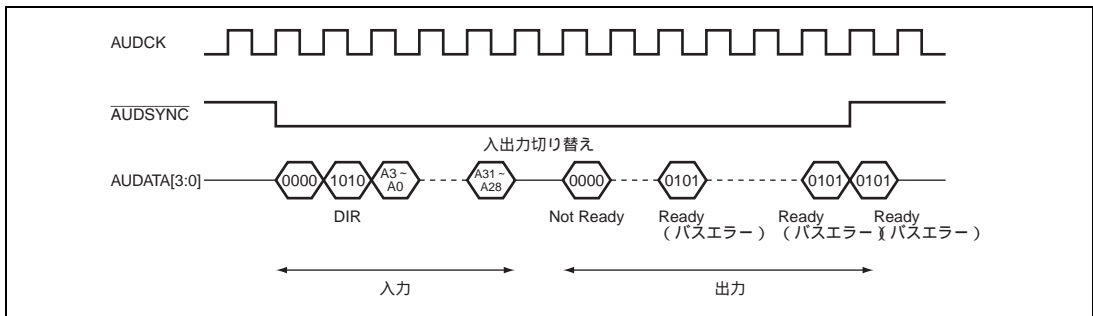


図 27.4 エラー発生例 (ロングワードリード)

27.3.3 RAM モニタに関して使用上の注意事項

(1) RAM モニタの初期化に関する規定

本デバッグに内蔵しているバッファおよび処理状態は、以下の条件に入ると初期化されます。

- パワーオンリセット
- $\overline{\text{AUDRST}}$ にLレベル印加
- モジュールスタンバイ
- ディープスタンバイモード

(2) AUDCK の規定

- AUDCKは、外部クロック入力です。クロックは、 $B / 2$ AUDCKを入力してください。

(3) その他の注意事項

- $\overline{\text{AUDSYNC}}$ はAUDATAにコマンドが入力されて、Readyが返されるまではネゲートしないでください。
- RAMモニタ機能は、スリープ中は使用できませんが、ソフトウェアスタンバイ、およびディープスタンバイモード中は使用できません。

28. レジスタ一覧

アドレス一覧では、内蔵 I/O レジスタの情報を示し、次の構成になっています。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- レジスタアドレス一覧に記載されていないリザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。

2. レジスタのビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載します。
- リザーブビットは、ビット名称部に「 - 」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。
バイトの記載順序はビッグエンディアンを前提としています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

28.1 レジスタアドレス一覧（アドレス順）

アクセスサイズは、ビット数を示します。

【注】 未定義、リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
バス監視許可レジスタ	SYCBEEN	32	H'FF400000	バス監視	8、16、32
バス監視ステータスレジスタ 1	SYCBESTS1	32	H'FF400004		8、16、32
バス監視ステータスレジスタ 2	SYCBESTS2	32	H'FF400008		8、16、32
バスエラー制御レジスタ	SYCBESW	32	H'FF40000C		8、16、32
CS0 制御レジスタ	CS0CNT	32	H'FF420000	BSC	8、16、32
CS0 リカバリサイクル設定レジスタ	CS0REC	32	H'FF420008		8、16、32
CS1 制御レジスタ	CS1CNT	32	H'FF420010		8、16、32
CS1 リカバリサイクル設定レジスタ	CS1REC	32	H'FF420018		8、16、32
CS2 制御レジスタ	CS2CNT	32	H'FF420020		8、16、32
CS2 リカバリサイクル設定レジスタ	CS2REC	32	H'FF420028		8、16、32
CS3 制御レジスタ	CS3CNT	32	H'FF420030		8、16、32
CS3 リカバリサイクル設定レジスタ	CS3REC	32	H'FF420038		8、16、32
CS4 制御レジスタ	CS4CNT	32	H'FF420040		8、16、32
CS4 リカバリサイクル設定レジスタ	CS4REC	32	H'FF420048		8、16、32
CS5 制御レジスタ	CS5CNT	32	H'FF420050		8、16、32
CS5 リカバリサイクル設定レジスタ	CS5REC	32	H'FF420058		8、16、32
CS6 制御レジスタ	CS6CNT	32	H'FF420060		8、16、32
CS6 リカバリサイクル設定レジスタ	CS6REC	32	H'FF420068		8、16、32
SDRAMC0 制御レジスタ	SDC0CNT	32	H'FF420100		8、16、32
SDRAMC1 制御レジスタ	SDC1CNT	32	H'FF420110		8、16、32
CS0 モードレジスタ	CSMOD0	32	H'FF421000		8、16、32
CS0 ウェイト制御レジスタ 1	CS1WCNT0	32	H'FF421004		8、16、32
CS0 ウェイト制御レジスタ 2	CS2WCNT0	32	H'FF421008		8、16、32
CS1 モードレジスタ	CSMOD1	32	H'FF421010		8、16、32
CS1 ウェイト制御レジスタ 1	CS1WCNT1	32	H'FF421014		8、16、32
CS1 ウェイト制御レジスタ 2	CS2WCNT1	32	H'FF421018		8、16、32
CS2 モードレジスタ	CSMOD2	32	H'FF421020		8、16、32
CS2 ウェイト制御レジスタ 1	CS1WCNT2	32	H'FF421024		8、16、32
CS2 ウェイト制御レジスタ 2	CS2WCNT2	32	H'FF421028		8、16、32
CS3 モードレジスタ	CSMOD3	32	H'FF421030		8、16、32
CS3 ウェイト制御レジスタ 1	CS1WCNT3	32	H'FF421034		8、16、32
CS3 ウェイト制御レジスタ 2	CS2WCNT3	32	H'FF421038		8、16、32

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
CS4 モードレジスタ	CSMOD4	32	H'FF421040	BSC	8、16、32
CS4 ウェイト制御レジスタ 1	CS1WCNT4	32	H'FF421044		8、16、32
CS4 ウェイト制御レジスタ 2	CS2WCNT4	32	H'FF421048		8、16、32
CS5 モードレジスタ	CSMOD5	32	H'FF421050		8、16、32
CS5 ウェイト制御レジスタ 1	CS1WCNT5	32	H'FF421054		8、16、32
CS5 ウェイト制御レジスタ 2	CS2WCNT5	32	H'FF421058		8、16、32
CS6 モードレジスタ	CSMOD6	32	H'FF421060		8、16、32
CS6 ウェイト制御レジスタ 1	CS1WCNT6	32	H'FF421064		8、16、32
CS6 ウェイト制御レジスタ 2	CS2WCNT6	32	H'FF421068		8、16、32
SDRAM リフレッシュ制御レジスタ 0	SDRFCNT0	32	H'FF422000		8、16、32
SDRAM リフレッシュ制御レジスタ 1	SDRFCNT1	32	H'FF422004		16、32
SDRAM 初期化レジスタ 0	SDIR0	32	H'FF422008		8、16、32
SDRAM 初期化レジスタ 1	SDIR1	32	H'FF42200C		8、16、32
SDRAM パワーダウン制御レジスタ	SDPWDCNT	32	H'FF422010		8、16、32
SDRAM ディープパワーダウン制御レジスタ	SDDPWDCNT	32	H'FF422014		8、16、32
SDRAM0 アドレスレジスタ	SD0ADR	32	H'FF422020		8、16、32
SDRAM0 タイミングレジスタ	SD0TR	32	H'FF422024		8、16、32
SDRAM0 モードレジスタ	SD0MOD	32	H'FF422028		16、32
SDRAM1 アドレスレジスタ	SD1ADR	32	H'FF422040	8、16、32	
SDRAM1 タイミングレジスタ	SD1TR	32	H'FF422044	8、16、32	
SDRAM1 モードレジスタ	SD1MOD	32	H'FF422048	16、32	
SDRAM ステータスレジスタ	SDSTR	32	H'FF4220E4	8、16、32	
SDRAM クロックストップ制御信号設定レジスタ	SDCKSCNT	32	H'FF4220E8	8、16、32	
DMA カレントソースアドレスレジスタ 0	DMCSADR0	32	H'FF460000	DMAC	32
DMA カレントデスティネーションアドレスレジスタ 0	DMCDADR0	32	H'FF460004		32
DMA カレントバイトカウントレジスタ 0	DMCBCT0	32	H'FF460008		32
DMA モードレジスタ 0	DMMOD0	32	H'FF46000C		32
DMA カレントソースアドレスレジスタ 1	DMCSADR1	32	H'FF460010		32
DMA カレントデスティネーションアドレスレジスタ 1	DMCDADR1	32	H'FF460014		32
DMA カレントバイトカウントレジスタ 1	DMCBCT1	32	H'FF460018		32
DMA モードレジスタ 1	DMMOD1	32	H'FF46001C		32
DMA カレントソースアドレスレジスタ 2	DMCSADR2	32	H'FF460020		32
DMA カレントデスティネーションアドレスレジスタ 2	DMCDADR2	32	H'FF460024		32

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
DMA カレントバイトカウントレジスタ 2	DMCBCT2	32	H'FF460028	DMAC	32
DMA モードレジスタ 2	DMMOD2	32	H'FF46002C		32
DMA カレントソースアドレスレジスタ 3	DMCSADR3	32	H'FF460030		32
DMA カレントデスティネーション アドレスレジスタ 3	DMCDADR3	32	H'FF460034		32
DMA カレントバイトカウントレジスタ 3	DMCBCT3	32	H'FF460038		32
DMA モードレジスタ 3	DMMOD3	32	H'FF46003C		32
DMA カレントソースアドレスレジスタ 4	DMCSADR4	32	H'FF460040		32
DMA カレントデスティネーション アドレスレジスタ 4	DMCDADR4	32	H'FF460044		32
DMA カレントバイトカウントレジスタ 4	DMCBCT4	32	H'FF460048		32
DMA モードレジスタ 4	DMMOD4	32	H'FF46004C		32
DMA カレントソースアドレスレジスタ 5	DMCSADR5	32	H'FF460050		32
DMA カレントデスティネーション アドレスレジスタ 5	DMCDADR5	32	H'FF460054		32
DMA カレントバイトカウントレジスタ 5	DMCBCT5	32	H'FF460058		32
DMA モードレジスタ 5	DMMOD5	32	H'FF46005C		32
DMA カレントソースアドレスレジスタ 6	DMCSADR6	32	H'FF460060		32
DMA カレントデスティネーション アドレスレジスタ 6	DMCDADR6	32	H'FF460064		32
DMA カレントバイトカウントレジスタ 6	DMCBCT6	32	H'FF460068		32
DMA モードレジスタ 6	DMMOD6	32	H'FF46006C		32
DMA カレントソースアドレスレジスタ 7	DMCSADR7	32	H'FF460070		32
DMA カレントデスティネーション アドレスレジスタ 7	DMCDADR7	32	H'FF460074		32
DMA カレントバイトカウントレジスタ 7	DMCBCT7	32	H'FF460078		32
DMA モードレジスタ 7	DMMOD7	32	H'FF46007C		32
DMA リロードソースアドレスレジスタ 0	DMRSADR0	32	H'FF460200		32
DMA リロードデスティネーション アドレスレジスタ 0	DMRDADR0	32	H'FF460204		32
DMA リロードバイトカウントレジスタ 0	DMRBCT0	32	H'FF460208	32	
DMA リロードソースアドレスレジスタ 1	DMRSADR1	32	H'FF460210	32	
DMA リロードデスティネーション アドレスレジスタ 1	DMRDADR1	32	H'FF460214	32	
DMA リロードバイトカウントレジスタ 1	DMRBCT1	32	H'FF460218	32	
DMA リロードソースアドレスレジスタ 2	DMRSADR2	32	H'FF460220	32	
DMA リロードデスティネーション アドレスレジスタ 2	DMRDADR2	32	H'FF460224	32	
DMA リロードバイトカウントレジスタ 2	DMRBCT2	32	H'FF460228	32	

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
DMA リロードソースアドレスレジスタ 3	DMRSADR3	32	H'FF460230	DMAC	32
DMA リロードデスティネーション アドレスレジスタ 3	DMRDADR3	32	H'FF460234		32
DMA リロードバイトカウントレジスタ 3	DMRBCT3	32	H'FF460238		32
DMA リロードソースアドレスレジスタ 4	DMRSADR4	32	H'FF460240		32
DMA リロードデスティネーション アドレスレジスタ 4	DMRDADR4	32	H'FF460244		32
DMA リロードバイトカウントレジスタ 4	DMRBCT4	32	H'FF460248		32
DMA リロードソースアドレスレジスタ 5	DMRSADR5	32	H'FF460250		32
DMA リロードデスティネーション アドレスレジスタ 5	DMRDADR5	32	H'FF460254		32
DMA リロードバイトカウントレジスタ 5	DMRBCT5	32	H'FF460258		32
DMA リロードソースアドレスレジスタ 6	DMRSADR6	32	H'FF460260		32
DMA リロードデスティネーション アドレスレジスタ 6	DMRDADR6	32	H'FF460264		32
DMA リロードバイトカウントレジスタ 6	DMRBCT6	32	H'FF460268		32
DMA リロードソースアドレスレジスタ 7	DMRSADR7	32	H'FF460270		32
DMA リロードデスティネーション アドレスレジスタ 7	DMRDADR7	32	H'FF460274		32
DMA リロードバイトカウントレジスタ 7	DMRBCT7	32	H'FF460278	32	
DMA 制御レジスタ A0	DMCNTA0	32	H'FF460400		8、16、32
DMA 制御レジスタ B0	DMCNTB0	32	H'FF460404		8、16、32
DMA 制御レジスタ A1	DMCNTA1	32	H'FF460408		8、16、32
DMA 制御レジスタ B1	DMCNTB1	32	H'FF46040C		8、16、32
DMA 制御レジスタ A2	DMCNTA2	32	H'FF460410		8、16、32
DMA 制御レジスタ B2	DMCNTB2	32	H'FF460414		8、16、32
DMA 制御レジスタ A3	DMCNTA3	32	H'FF460418		8、16、32
DMA 制御レジスタ B3	DMCNTB3	32	H'FF46041C		8、16、32
DMA 制御レジスタ A4	DMCNTA4	32	H'FF460420		8、16、32
DMA 制御レジスタ B4	DMCNTB4	32	H'FF460424		8、16、32
DMA 制御レジスタ A5	DMCNTA5	32	H'FF460428		8、16、32
DMA 制御レジスタ B5	DMCNTB5	32	H'FF46042C		8、16、32
DMA 制御レジスタ A6	DMCNTA6	32	H'FF460430		8、16、32
DMA 制御レジスタ B6	DMCNTB6	32	H'FF460434		8、16、32
DMA 制御レジスタ A7	DMCNTA7	32	H'FF460438		8、16、32
DMA 制御レジスタ B7	DMCNTB7	32	H'FF46043C		8、16、32
DMA 起動制御レジスタ	DMSCNT	32	H'FF460500		8、16、32
DMA 割り込み制御レジスタ	DMICNT	32	H'FF460508		8、16、32
DMA 共用割り込み制御レジスタ	DMICNTA	32	H'FF46050C		8、16、32

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	
DMA 割り込みステータスレジスタ	DMISTS	32	H'FF460510	DMAC	8、16、32	
DMA 転送終了検出レジスタ	DMEDET	32	H'FF460514		8、16、32	
DMA アービトレーションステータスレジスタ	DMASTS	32	H'FF460518		8、16、32	
ブ레이크アドレスレジスタ_0	BAR_0	32	H'FFFC0400	UBC	32	
ブ레이크アドレスマスクレジスタ_0	BAMR_0	32	H'FFFC0404		32	
ブ레이크データレジスタ_0	BDR_0	32	H'FFFC0408		32	
ブ레이크データマスクレジスタ_0	BDMR_0	32	H'FFFC040C		32	
ブ레이크アドレスレジスタ_1	BAR_1	32	H'FFFC0410		32	
ブ레이크アドレスマスクレジスタ_1	BAMR_1	32	H'FFFC0414		32	
ブ레이크データレジスタ_1	BDR_1	32	H'FFFC0418		32	
ブ레이크データマスクレジスタ_1	BDMR_1	32	H'FFFC041C		32	
ブ레이크バスサイクルレジスタ_0	BBR_0	16	H'FFFC04A0		16	
ブ레이크バスサイクルレジスタ_1	BBR_1	16	H'FFFC04B0		16	
ブ레이크コントロールレジスタ	BRCR	32	H'FFFC04C0		32	
キャッシュ制御レジスタ 1	CCR1	32	H'FFFC1000		キャッシュ	32
キャッシュ制御レジスタ 2	CCR2	32	H'FFFC1004			32
AC 特性切り替えレジスタ	ACSWR	32	H'FFFD8808	BSC	8、16、32	
インストラクションレジスタ	SDIR	16	H'FFFD9000	H-UDI	16	
割り込みコントロールレジスタ 0	ICR0	16	H'FFFD9400	INTC	16、32	
割り込みコントロールレジスタ 1	ICR1	16	H'FFFD9402		16、32	
割り込みコントロールレジスタ 2	ICR2	16	H'FFFD9404		16、32	
IRQ 割り込み要求レジスタ	IRQRR	16	H'FFFD9406		16、32	
PINT 割り込みイネーブルレジスタ	PINTER	16	H'FFFD9408		16、32	
PINT 割り込み要求レジスタ	PIRR	16	H'FFFD940A		16、32	
バンクコントロールレジスタ	IBCR	16	H'FFFD940C		16、32	
バンク番号レジスタ	IBNR	16	H'FFFD940E		16、32	
割り込み優先レベル設定レジスタ 01	IPR01	16	H'FFFD9418		16、32	
割り込み優先レベル設定レジスタ 02	IPR02	16	H'FFFD941A		16、32	
割り込み優先レベル設定レジスタ 05	IPR05	16	H'FFFD9420		16、32	
割り込み優先レベル設定レジスタ 06	IPR06	16	H'FFFD9800		16、32	
割り込み優先レベル設定レジスタ 07	IPR07	16	H'FFFD9802		16、32	
割り込み優先レベル設定レジスタ 08	IPR08	16	H'FFFD9804	16、32		
割り込み優先レベル設定レジスタ 09	IPR09	16	H'FFFD9806	16、32		
割り込み優先レベル設定レジスタ 10	IPR10	16	H'FFFD9808	16、32		
割り込み優先レベル設定レジスタ 11	IPR11	16	H'FFFD980A	16、32		
割り込み優先レベル設定レジスタ 12	IPR12	16	H'FFFD980C	16、32		
割り込み優先レベル設定レジスタ 13	IPR13	16	H'FFFD980E	16、32		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	
割り込み優先レベル設定レジスタ 14	IPR14	16	H'FFFD9810	INTC	16、32	
割り込み優先レベル設定レジスタ 15	IPR15	16	H'FFFD9812		16、32	
割り込み優先レベル設定レジスタ 16	IPR16	16	H'FFFD9814		16、32	
ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	16	H'FFFE0000	WDT	16	
ウォッチドッグタイマカウンタ	WTCNT	16	H'FFFE0002		16	
ウォッチドッグリセットコントロール/ ステータスレジスタ	WRCSR	16	H'FFFE0004		16	
周波数制御レジスタ	FRQCR	16	H'FFFE0010	CPG	16	
スタンバイコントロールレジスタ	STBCR	8	H'FFFE0014	SYSTEM	8	
スタンバイコントロールレジスタ 2	STBCR2	8	H'FFFE0018		8	
システムコントロールレジスタ 1	SYSCR1	8	H'FFFE0402		8	
システムコントロールレジスタ 2	SYSCR2	8	H'FFFE0404		8	
スタンバイコントロールレジスタ 3	STBCR3	8	H'FFFE0408		8	
スタンバイコントロールレジスタ 4	STBCR4	8	H'FFFE040C		8	
スタンバイコントロールレジスタ 5	STBCR5	8	H'FFFE0410		8	
64Hz カウンタ	R64CNT	8	H'FFFE0800		RTC	8
秒カウンタ	RSECCNT	8	H'FFFE0802	8		
分カウンタ	RMINCNT	8	H'FFFE0804	8		
時カウンタ	RHRCNT	8	H'FFFE0806	8		
曜日カウンタ	RWKCNT	8	H'FFFE0808	8		
日カウンタ	RDAYCNT	8	H'FFFE080A	8		
月カウンタ	RMONCNT	8	H'FFFE080C	8		
年カウンタ	RYRCNT	16	H'FFFE080E	16		
秒アラームレジスタ	RSECAR	8	H'FFFE0810	8		
分アラームレジスタ	RMINAR	8	H'FFFE0812	8		
時アラームレジスタ	RHRAR	8	H'FFFE0814	8		
曜日アラームレジスタ	RWKAR	8	H'FFFE0816	8		
日アラームレジスタ	RDAYAR	8	H'FFFE0818	8		
月アラームレジスタ	RMONAR	8	H'FFFE081A	8		
RTC コントロールレジスタ 1	RCR1	8	H'FFFE081C	8		
RTC コントロールレジスタ 2	RCR2	8	H'FFFE081E	8		
年アラームレジスタ	RYRAR	16	H'FFFE0820	16		
RTC コントロールレジスタ 3	RCR3	8	H'FFFE0824	8		
ポート A データレジスタ H	PADRH	16	H'FFFE3800	I/O ポート		8、16、32
ポート A データレジスタ L	PADRL	16	H'FFFE3802			8、16
ポート A ポートレジスタ H	PAPRH	16	H'FFFE3804		8、16、32	
ポート A ポートレジスタ L	PAPRL	16	H'FFFE3806		8、16	

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
ポート B データレジスタ H	PBDRH	16	H'FFFE3808	I/O ポート	8、16、32
ポート B データレジスタ L	PBDRL	16	H'FFFE380A		8、16
ポート B ポートレジスタ H	PBPRH	16	H'FFFE380C		8、16、32
ポート B ポートレジスタ L	PBPRL	16	H'FFFE380E		8、16
ポート C データレジスタ H	PCDRH	16	H'FFFE3810		8、16、32
ポート C データレジスタ L	PCDRL	16	H'FFFE3812		8、16、32
ポート C ポートレジスタ H	PCPRH	16	H'FFFE3814		8、16
ポート C ポートレジスタ L	PCPRL	16	H'FFFE3816		8、16
ポート D データレジスタ	PDDR	16	H'FFFE381A		8、16
ポート D ポートレジスタ H	P DPRH	16	H'FFFE381C		8、16、32
ポート D ポートレジスタ L	P DPRL	16	H'FFFE381E		8、16
ポート E ポートレジスタ	PEPR	16	H'FFFE3826		8、16
ポート F データレジスタ	PFDR	16	H'FFFE382A		8、16
ポート F ポートレジスタ	PFPR	16	H'FFFE382E		8、16
ポート A・IO レジスタ H	PAIORH	16	H'FFFE3880	PFC	8、16、32
ポート A・IO レジスタ L	PAIORL	16	H'FFFE3882		8、16
ポート A コントロールレジスタ 8	PACR8	16	H'FFFE3884		8、16、32
ポート A コントロールレジスタ 7	PACR7	16	H'FFFE3886		8、16
ポート A コントロールレジスタ 6	PACR6	16	H'FFFE3888		8、16、32
ポート A コントロールレジスタ 5	PACR5	16	H'FFFE388A		8、16
ポート A コントロールレジスタ 4	PACR4	16	H'FFFE388C		8、16、32
ポート A コントロールレジスタ 3	PACR3	16	H'FFFE388E		8、16
ポート A コントロールレジスタ 2	PACR2	16	H'FFFE3890		8、16、32
ポート A コントロールレジスタ 1	PACR1	16	H'FFFE3892		8、16
CKIO コントロールレジスタ	CKIOCR	16	H'FFFE3894		16
ポート B・IO レジスタ H	PBIORH	16	H'FFFE3898		8、16、32
ポート B・IO レジスタ L	PBIORL	16	H'FFFE389A		8、16
ポート B コントロールレジスタ 8	PBCR8	16	H'FFFE389C		8、16、32
ポート B コントロールレジスタ 7	PBCR7	16	H'FFFE389E		8、16
ポート B コントロールレジスタ 6	PBCR6	16	H'FFFE38A0		8、16、32
ポート B コントロールレジスタ 5	PBCR5	16	H'FFFE38A2		8、16
ポート B コントロールレジスタ 4	PBCR4	16	H'FFFE38A4		8、16、32
ポート B コントロールレジスタ 3	PBCR3	16	H'FFFE38A6		8、16
ポート B コントロールレジスタ 2	PBCR2	16	H'FFFE38A8		8、16、32
ポート B コントロールレジスタ 1	PBCR1	16	H'FFFE38AA		8、16
ポート C・IO レジスタ H	PCIORH	16	H'FFFE38B0		8、16、32
ポート C・IO レジスタ L	PCIORL	16	H'FFFE38B2		8、16

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	
ポート C コントロールレジスタ 7	PCCR7	16	H'FFFE38B6	PFC	8、16	
ポート C コントロールレジスタ 6	PCCR6	16	H'FFFE38B8		8、16、32	
ポート C コントロールレジスタ 5	PCCR5	16	H'FFFE38BA		8、16	
ポート C コントロールレジスタ 4	PCCR4	16	H'FFFE38BC		8、16、32	
ポート C コントロールレジスタ 3	PCCR3	16	H'FFFE38BE		8、16	
ポート C コントロールレジスタ 2	PCCR2	16	H'FFFE38C0		8、16、32	
ポート C コントロールレジスタ 1	PCCR1	16	H'FFFE38C2		8、16	
ポート D・IO レジスタ	PDIOR	16	H'FFFE38CA		8、16	
ポート D コントロールレジスタ 5	PDCR5	16	H'FFFE38D2		8、16	
ポート D コントロールレジスタ 4	PDCR4	16	H'FFFE38D4		8、16、32	
ポート D コントロールレジスタ 3	PDCR3	16	H'FFFE38D6		8、16	
ポート D コントロールレジスタ 2	PDCR2	16	H'FFFE38D8		8、16、32	
ポート D コントロールレジスタ 1	PDCR1	16	H'FFFE38DA		8、16	
ポート E コントロールレジスタ 2	PECR2	16	H'FFFE38F0		8、16、32	
ポート E コントロールレジスタ 1	PECR1	16	H'FFFE38F2		8、16	
ポート F・IO レジスタ	PFIOR	16	H'FFFE38FA		8、16	
ポート F コントロールレジスタ 2	PFCR2	16	H'FFFE3908		8、16、32	
ポート F コントロールレジスタ 1	PFCR1	16	H'FFFE390A		8、16	
タイマコントロールレジスタ_3	TCR_3	8	H'FFFE4200		MTU2	8
タイマコントロールレジスタ_4	TCR_4	8	H'FFFE4201			8
タイマモードレジスタ_3	TMDR_3	8	H'FFFE4202	8		
タイマモードレジスタ_4	TMDR_4	8	H'FFFE4203	8		
タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FFFE4204	8		
タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FFFE4205	8		
タイマ I/O コントロールレジスタ H_4	TIORH_4	8	H'FFFE4206	8		
タイマ I/O コントロールレジスタ L_4	TIORL_4	8	H'FFFE4207	8		
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFE4208	8		
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFFE4209	8		
タイマアウトプットマスタイネーブル レジスタ	TOER	8	H'FFFE420A	8		
タイマゲートコントロールレジスタ	TGCR	8	H'FFFE420D	8		
タイマアウトプットコントロール レジスタ 1	TOCR1	8	H'FFFE420E	8		
タイマアウトプットコントロール レジスタ 2	TOCR2	8	H'FFFE420F	8		
タイマカウンタ_3	TCNT_3	16	H'FFFE4210	16		
タイマカウンタ_4	TCNT_4	16	H'FFFE4212	16		
タイマ周期データレジスタ	TCDR	16	H'FFFE4214	16		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
タイマデッドタイムデータレジスタ	TDDR	16	H'FFFE4216	MTU2	16
タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFE4218		16
タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFE421A		16
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFFE421C		16
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFFE421E		16
タイマサブカウンタ	TCNTS	16	H'FFFE4220		16
タイマ周期バッファレジスタ	TCBR	16	H'FFFE4222		16
タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFE4224		16
タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFE4226		16
タイマジェネラルレジスタ C_4	TGRC_4	16	H'FFFE4228		16
タイマジェネラルレジスタ D_4	TGRD_4	16	H'FFFE422A		16
タイマステータスレジスタ_3	TSR_3	8	H'FFFE422C		8
タイマステータスレジスタ_4	TSR_4	8	H'FFFE422D		8
タイマ割り込み間引き設定レジスタ	TITCR	8	H'FFFE4230		8
タイマ割り込み間引き回数カウンタ	TITCNT	8	H'FFFE4231		8
タイマバッファ転送設定レジスタ	TBTER	8	H'FFFE4232		8
タイマデッドタイムイネーブルレジスタ	TDER	8	H'FFFE4234		8
タイマアウトプットレベルバッファ レジスタ	TOLBR	8	H'FFFE4236		8
タイマバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FFFE4238		8
タイマバッファ動作転送モードレジスタ_4	TBTM_4	8	H'FFFE4239		8
タイマ A/D 変換開始要求コントロール レジスタ	TADCR	16	H'FFFE4240		16
タイマ A/D 変換開始要求周期設定 レジスタ A_4	TADCORA_4	16	H'FFFE4244		16
タイマ A/D 変換開始要求周期設定 レジスタ B_4	TADCORB_4	16	H'FFFE4246		16
タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	16	H'FFFE4248		16
タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	16	H'FFFE424A		16
タイマ波形コントロールレジスタ	TWCR	8	H'FFFE4260		8
タイマスタートレジスタ	TSTR	8	H'FFFE4280		8
タイマシンクロレジスタ	TSYR	8	H'FFFE4281		8
タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	H'FFFE4282		8
タイマリードライトイネーブルレジスタ	TRWER	8	H'FFFE4284		8
タイマコントロールレジスタ_0	TCR_0	8	H'FFFE4300	8	
タイマモードレジスタ_0	TMDR_0	8	H'FFFE4301	8	

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFE4302	MTU2	8
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFE4303		8
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFE4304		8
タイマステータスレジスタ_0	TSR_0	8	H'FFFE4305		8
タイマカウンタ_0	TCNT_0	16	H'FFFE4306		16
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFE4308		16
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFE430A		16
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFE430C		16
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFE430E		16
タイマジェネラルレジスタ E_0	TGRE_0	16	H'FFFE4320		16
タイマジェネラルレジスタ F_0	TGRF_0	16	H'FFFE4322		16
タイマインタラプトイネーブル レジスタ 2_0	TIER2_0	8	H'FFFE4324		8
タイマステータスレジスタ 2_0	TSR2_0	8	H'FFFE4325		8
タイマバッファ動作転送モードレジスタ	TBTM	8	H'FFFE4326		8
タイマコントロールレジスタ_1	TCR_1	8	H'FFFE4380		8
タイマモードレジスタ_1	TMDR_1	8	H'FFFE4381		8
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFFE4382		8
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFE4384		8
タイマステータスレジスタ_1	TSR_1	8	H'FFFE4385		8
タイマカウンタ_1	TCNT_1	16	H'FFFE4386		16
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFE4388		16
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFE438A		16
タイマインプットキャプチャコントロール レジスタ	TICCR	8	H'FFFE4390		8
タイマコントロールレジスタ_2	TCR_2	8	H'FFFE4000		8
タイマモードレジスタ_2	TMDR_2	8	H'FFFE4001		8
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFFE4002		8
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4004		8
タイマステータスレジスタ_2	TSR_2	8	H'FFFE4005		8
タイマカウンタ_2	TCNT_2	16	H'FFFE4006		16
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE4008		16
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFE400A		16
タイマカウンタ U_5	TCNTU_5	16	H'FFFE4080		16
タイマジェネラルレジスタ U_5	TGRU_5	16	H'FFFE4082	16	
タイマコントロールレジスタ U_5	TCRU_5	8	H'FFFE4084	8	
タイマ I/O コントロールレジスタ U_5	TIORU_5	8	H'FFFE4086	8	
タイマカウンタ V_5	TCNTV_5	16	H'FFFE4090	16	

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	
タイマジェネラルレジスタ V_5	TGRV_5	16	H'FFFE4092	MTU2	16	
タイマコントロールレジスタ V_5	TCRV_5	8	H'FFFE4094		8	
タイマ I/O コントロールレジスタ V_5	TIORV_5	8	H'FFFE4096		8	
タイマカウンタ W_5	TCNTW_5	8	H'FFFE40A0		8	
タイマジェネラルレジスタ W_5	TGRW_5	16	H'FFFE40A2		16	
タイマコントロールレジスタ W_5	TCRW_5	8	H'FFFE40A4		8	
タイマ I/O コントロールレジスタ W_5	TIORW_5	8	H'FFFE40A6		8	
タイマステータスレジスタ_5	TSR_5	8	H'FFFE40B0		8	
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FFFE40B2		8	
タイマスタートレジスタ_5	TSTR_5	8	H'FFFE40B4		8	
タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	H'FFFE40B6		8	
タイマコントロールレジスタ_0	T8TCR_0	8	H'FFFE5400		TMR	8
タイマコントロールレジスタ_1	T8TCR_1	8	H'FFFE5401	8		
タイマコントロール / ステータス レジスタ_0	T8TCSR_0	8	H'FFFE5402	8		
タイマコントロール / ステータス レジスタ_1	T8TCSR_1	8	H'FFFE5403	8		
タイムコンスタントレジスタ A_0	T8TCORA_0	8	H'FFFE5404	8		
タイムコンスタントレジスタ A_1	T8TCORA_1	8	H'FFFE5405	8		
タイムコンスタントレジスタ B_0	T8TCORB_0	8	H'FFFE5406	8		
タイムコンスタントレジスタ B_1	T8TCORB_1	8	H'FFFE5407	8		
タイマカウンタ_0	T8TCNT_0	8	H'FFFE5408	8		
タイマカウンタ_1	T8TCNT_1	8	H'FFFE5409	8		
タイマカウンタコントロールレジスタ_0	T8TCCR_0	8	H'FFFE540A	8		
タイマカウンタコントロールレジスタ_1	T8TCCR_1	8	H'FFFE540B	8		
A/D データレジスタ A_0	ADDRA	16	H'FFFE5800	ADC		16
A/D データレジスタ B_0	ADDRB	16	H'FFFE5802			16
A/D データレジスタ C_0	ADDRC	16	H'FFFE5804			16
A/D データレジスタ D_0	ADDRD	16	H'FFFE5806			16
A/D データレジスタ E_0	ADDRE	16	H'FFFE5808		16	
A/D データレジスタ F_0	ADDRF	16	H'FFFE580A		16	
A/D データレジスタ G_0	ADDRG	16	H'FFFE580C		16	
A/D データレジスタ H_0	ADDRH	16	H'FFFE580E		16	
A/D コントロール / ステータスレジスタ	ADCSR	16	H'FFFE5820		16	
D/A データレジスタ 0	DADR0	8	H'FFFE6800	DAC	8、16	
D/A データレジスタ 1	DADR1	8	H'FFFE6801		8、16	
D/A コントロールレジスタ	DACR	8	H'FFFE6802		8、16	

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
シリアルモードレジスタ_0	SCSMR_0	16	H'FFFE8000	SCIF	16
ビットレートレジスタ_0	SCBRR_0	8	H'FFFE8004		8
シリアルコントロールレジスタ_0	SCSCR_0	16	H'FFFE8008		16
送信 FIFO データレジスタ_0	SCFTDR_0	8	H'FFFE800C		8
シリアルステータスレジスタ	SCFSR_0	16	H'FFFE8010		16
受信 FIFO データレジスタ_0	SCFRDR_0	8	H'FFFE8014		8
FIFO コントロールレジスタ_0	SCFCR_0	16	H'FFFE8018		16
FIFO データカウントセットレジスタ_0	SCFDR_0	16	H'FFFE801C		16
シリアルポートレジスタ_0	SCSPTR_0	16	H'FFFE8020		16
ラインステータスレジスタ_0	SCLSR_0	16	H'FFFE8024		16
シリアルモードレジスタ_1	SCSMR_1	16	H'FFFE8800		16
ビットレートレジスタ_1	SCBRR_1	8	H'FFFE8804		8
シリアルコントロールレジスタ_1	SCSCR_1	16	H'FFFE8808		16
送信 FIFO データレジスタ_1	SCFTDR_1	8	H'FFFE880C		8
シリアルステータスレジスタ_1	SCFSR_1	16	H'FFFE8810		16
受信 FIFO データレジスタ_1	SCFRDR_1	8	H'FFFE8814		8
FIFO コントロールレジスタ_1	SCFCR_1	16	H'FFFE8818		16
FIFO データカウントセットレジスタ_1	SCFDR_1	16	H'FFFE881C		16
シリアルポートレジスタ_1	SCSPTR_1	16	H'FFFE8820		16
ラインステータスレジスタ_1	SCLSR_1	16	H'FFFE8824		16
シリアルモードレジスタ_2	SCSMR_2	16	H'FFFE9000		16
ビットレートレジスタ_2	SCBRR_2	8	H'FFFE9004		8
シリアルコントロールレジスタ_2	SCSCR_2	16	H'FFFE9008		16
送信 FIFO データレジスタ_2	SCFTDR_2	8	H'FFFE900C		8
シリアルステータスレジスタ_2	SCFSR_2	16	H'FFFE9010		16
受信 FIFO データレジスタ_2	SCFRDR_2	8	H'FFFE9014		8
FIFO コントロールレジスタ_2	SCFCR_2	16	H'FFFE9018		16
FIFO データカウントセットレジスタ_2	SCFDR_2	16	H'FFFE901C		16
シリアルポートレジスタ_2	SCSPTR_2	16	H'FFFE9020		16
ラインステータスレジスタ_2	SCLSR_2	16	H'FFFE9024		16
シリアルモードレジスタ_3	SCSMR_3	16	H'FFFE9800		16
ビットレートレジスタ_3	SCBRR_3	8	H'FFFE9804		8
シリアルコントロールレジスタ_3	SCSCR_3	16	H'FFFE9808	16	
送信 FIFO データレジスタ_3	SCFTDR_3	8	H'FFFE980C	8	
シリアルステータスレジスタ_3	SCFSR_3	16	H'FFFE9810	16	
受信 FIFO データレジスタ_3	SCFRDR_3	8	H'FFFE9814	8	
FIFO コントロールレジスタ_3	SCFCR_3	16	H'FFFE9818	16	

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
FIFO データカウントセットレジスタ_3	SCFDR_3	16	H'FFFE981C	SCIF	16
シリアルポートレジスタ_3	SCSPTR_3	16	H'FFFE9820		16
ラインステータスレジスタ_3	SCLSR_3	16	H'FFFE9824		16
シリアルモードレジスタ_4	SCSMR_4	16	H'FFFEA000		16
ビットレートレジスタ_4	SCBRR_4	8	H'FFFEA004		8
シリアルコントロールレジスタ_4	SCSCR_4	16	H'FFFEA008		16
送信 FIFO データレジスタ_4	SCFTDR_4	8	H'FFFEA00C		8
シリアルステータスレジスタ_4	SCFSR_4	16	H'FFFEA010		16
受信 FIFO データレジスタ_4	SCFRDR_4	8	H'FFFEA014		8
FIFO コントロールレジスタ_4	SCFCR_4	16	H'FFFEA018		16
FIFO データカウントセットレジスタ_4	SCFDR_4	16	H'FFFEA01C		16
シリアルポートレジスタ_4	SCSPTR_4	16	H'FFFEA020		16
ラインステータスレジスタ_4	SCLSR_4	16	H'FFFEA024		16
シリアルモードレジスタ_5	SCSMR_5	16	H'FFFEA800		16
ビットレートレジスタ_5	SCBRR_5	8	H'FFFEA804		8
シリアルコントロールレジスタ_5	SCSCR_5	16	H'FFFEA808		16
送信 FIFO データレジスタ_5	SCFTDR_5	8	H'FFFEA80C		8
シリアルステータスレジスタ_5	SCFSR_5	16	H'FFFEA810		16
受信 FIFO データレジスタ_5	SCFRDR_5	8	H'FFFEA814		8
FIFO コントロールレジスタ_5	SCFCR_5	16	H'FFFEA818		16
FIFO データカウントセットレジスタ_5	SCFDR_5	16	H'FFFEA81C		16
シリアルポートレジスタ_5	SCSPTR_5	16	H'FFFEA820		16
ラインステータスレジスタ_5	SCLSR_5	16	H'FFFEA824		16
シリアルモードレジスタ_6	SCSMR_6	16	H'FFFEB000		16
ビットレートレジスタ_6	SCBRR_6	8	H'FFFEB004		8
シリアルコントロールレジスタ_6	SCSCR_6	16	H'FFFEB008		16
送信 FIFO データレジスタ_6	SCFTDR_6	8	H'FFFEB00C		8
シリアルステータスレジスタ_6	SCFSR_6	16	H'FFFEB010		16
受信 FIFO データレジスタ_6	SCFRDR_6	8	H'FFFEB014	8	
FIFO コントロールレジスタ_6	SCFCR_6	16	H'FFFEB018	16	
FIFO データカウントセットレジスタ_6	SCFDR_6	16	H'FFFEB01C	16	
シリアルポートレジスタ_6	SCSPTR_6	16	H'FFFEB020	16	
ラインステータスレジスタ_6	SCLSR_6	16	H'FFFEB024	16	
シリアルモードレジスタ_7	SCSMR_7	16	H'FFFEB800	16	
ビットレートレジスタ_7	SCBRR_7	8	H'FFFEB804	8	
シリアルコントロールレジスタ_7	SCSCR_7	16	H'FFFEB808	16	
送信 FIFO データレジスタ_7	SCFTDR_7	8	H'FFFEB80C	8	

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
シリアルステータスレジスタ_7	SCFSR_7	16	H'FFFEB810	SCIF	16
受信 FIFO データレジスタ_7	SCFRDR_7	8	H'FFFEB814		8
FIFO コントロールレジスタ_7	SCFCR_7	16	H'FFFEB818		16
FIFO データカウントセットレジスタ_7	SCFDR_7	16	H'FFFEB81C		16
シリアルポートレジスタ_7	SCSPTR_7	16	H'FFFEB820		16
ラインステータスレジスタ_7	SCLSR_7	16	H'FFFEB824		16
コントロールレジスタ_0	SSICR_0	32	H'FFFED000	SSI	32
ステータスレジスタ_0	SSISR_0	32	H'FFFED004		32
送信データレジスタ_0	SSITDR_0	32	H'FFFED008		32
受信データレジスタ_0	SSIRDR_0	32	H'FFFED00C		32
コントロールレジスタ_1	SSICR_1	32	H'FFFED080		32
ステータスレジスタ_1	SSISR_1	32	H'FFFED084		32
送信データレジスタ_1	SSITDR_1	32	H'FFFED088		32
受信データレジスタ_1	SSIRDR_1	32	H'FFFED08C		32
I ² C バスコントロールレジスタ 1_0	ICCR1_0	8	H'FFFEE000	IIC3	8
I ² C バスコントロールレジスタ 2_0	ICCR2_0	8	H'FFFEE001		8
I ² C バスモードレジスタ_0	ICMR_0	8	H'FFFEE002		8
I ² C バスインタラプトイネーブル レジスタ_0	ICIER_0	8	H'FFFEE003		8
I ² C バスステータスレジスタ_0	ICSR_0	8	H'FFFEE004		8
スレープアドレスレジスタ_0	SAR_0	8	H'FFFEE005		8
I ² C バス送信データレジスタ_0	ICDRT_0	8	H'FFFEE006		8
I ² C バス受信データレジスタ_0	ICDRR_0	8	H'FFFEE007		8
NF2CYC レジスタ_0	NF2CYC_0	8	H'FFFEE008		8
I ² C バスコントロールレジスタ 1_1	ICCR1_1	8	H'FFFEE080		8
I ² C バスコントロールレジスタ 2_1	ICCR2_1	8	H'FFFEE081		8
I ² C バスモードレジスタ_1	ICMR_1	8	H'FFFEE082		8
I ² C バスインタラプトイネーブル レジスタ_1	ICIER_1	8	H'FFFEE083		8
I ² C バスステータスレジスタ_1	ICSR_1	8	H'FFFEE084		8
スレープアドレスレジスタ_1	SAR_1	8	H'FFFEE085		8
I ² C バス送信データレジスタ_1	ICDRT_1	8	H'FFFEE086		8
I ² C バス受信データレジスタ_1	ICDRR_1	8	H'FFFEE087		8
NF2CYC レジスタ_1	NF2CYC_1	8	H'FFFEE088		8
I ² C バスコントロールレジスタ 1_2	ICCR1_2	8	H'FFFEE100		8
I ² C バスコントロールレジスタ 2_2	ICCR2_2	8	H'FFFEE101		8
I ² C バスモードレジスタ_2	ICMR_2	8	H'FFFEE102	8	

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	
I ² C バスインタラプトイネーブルレジスタ_2	ICIER_2	8	H'FFFEE103	IIC3	8	
I ² C バスステータスレジスタ_2	ICSR_2	8	H'FFFEE104		8	
スレーブアドレスレジスタ_2	SAR_2	8	H'FFFEE105		8	
I ² C バス送信データレジスタ_2	ICDRT_2	8	H'FFFEE106		8	
I ² C バス受信データレジスタ_2	ICDRR_2	8	H'FFFEE107		8	
NF2CYC レジスタ_2	NF2CYC_2	8	H'FFFEE108		8	
マスタコントロールレジスタ_0	MCR_0	16	H'FFFF0000	RCAN-ET	16	
ジェネラルステータスレジスタ_0	GSR_0	16	H'FFFF0002		16	
ビットタイミングコンフィギュレーションレジスタ 1_0	BCR1_0	16	H'FFFF0004		16	
ビットタイミングコンフィギュレーションレジスタ 0_0	BCR0_0	16	H'FFFF0006		16	
インタラプトリクエストレジスタ_0	IRR_0	16	H'FFFF0008		16	
インタラプトマスクレジスタ_0	IMR_0	16	H'FFFF000A		16	
送信エラーカウンタ_0/ 受信エラーカウンタ_0	TEC_0/ REC_0	16	H'FFFF000C		16	
送信待ちレジスタ 1_0	TXPR1_0	16	H'FFFF0020		32	
送信待ちレジスタ 0_0	TXPR0_0	16	H'FFFF0022		16	
送信キャンセルレジスタ 0_0	TXCR0_0	16	H'FFFF002A		16	
送信アクノリッジレジスタ 0_0	TXACK0_0	16	H'FFFF0032		16	
アボートアクノリッジレジスタ 0_0	ABACK0_0	16	H'FFFF003A		16	
データフレーム受信完了レジスタ 0_0	RXPR0_0	16	H'FFFF0042		16	
リモートフレーム受信完了レジスタ 0_0	RFPR0_0	16	H'FFFF004A		16	
メールボックスインタラプトマスクレジスタ 0_0	MBIMR0_0	16	H'FFFF0052		16	
未読メッセージステータスレジスタ 0_0	UMSR0_0	16	H'FFFF005A		16	
メールボックス 0	コントロール 0	CONTROL0H	16		H'FFFF0100	16、32
		CONTROL0L	16		H'FFFF0102	16
	LAFM	LAFMH	16		H'FFFF0104	16、32
		LAFML	16		H'FFFF0106	16
	データ	MSG_DATA[0]	8		H'FFFF0108	8、16、32
		MSG_DATA[1]	8		H'FFFF0109	8
		MSG_DATA[2]	8		H'FFFF010A	8、16
		MSG_DATA[3]	8	H'FFFF010B	8	
		MSG_DATA[4]	8	H'FFFF010C	8、16、32	
		MSG_DATA[5]	8	H'FFFF010D	8	
		MSG_DATA[6]	8	H'FFFF010E	8、16	
MSG_DATA[7]	8	H'FFFF010F	8			

レジスタ名称		略称	ビット数	アドレス	モジュール	アクセスサイズ
メールボックス 0	コントロール 1	CONTROL1H	8	H'FFFF0110	RCAN-ET	8、16
		CONTROL1L	8	H'FFFF0111		8
メールボックス n (n=1~15)	コントロール 0	CONTROL0H	16	H'FFFF0100 + n×32		16、32
		CONTROL0L	16	H'FFFF0102 + n×32		16
	LAFM	LAFMH	16	H'FFFF0104 + n×32		16、32
		LAFML	16	H'FFFF0106 + n×32		16
	データ	MSG_DATA[0]	8	H'FFFF0108 + n×32		8、16、32
		MSG_DATA[1]	8	H'FFFF0109 + n×32		8
		MSG_DATA[2]	8	H'FFFF010A + n×32		8、16
		MSG_DATA[3]	8	H'FFFF010B + n×32		8
		MSG_DATA[4]	8	H'FFFF010C + n×32		8、16、32
		MSG_DATA[5]	8	H'FFFF010D + n×32		8
		MSG_DATA[6]	8	H'FFFF010E + n×32		8、16
		MSG_DATA[7]	8	H'FFFF010F + n×32		8
	コントロール 1	CONTROL1H	8	H'FFFF0110 + n×32		8、16
		CONTROL1L	8	H'FFFF0111 + n×32		8
マスタコントロールレジスタ_1		MCR_1	16	H'FFFF0800	16	
ジェネラルステータスレジスタ_1		GSR_1	16	H'FFFF0802	16	
ビットタイミングコンフィギュレーションレジスタ_1_1		BCR1_1	16	H'FFFF0804	16	
ビットタイミングコンフィギュレーションレジスタ_0_1		BCR0_1	16	H'FFFF0806	16	
インタラプトリクエストレジスタ_1		IRR_1	16	H'FFFF0808	16	
インタラプトマスクレジスタ_1		IMR_1	16	H'FFFF080A	16	
送信エラーカウンタ_1/ 受信エラーカウンタ_1		TEC_1/ REC_1	16	H'FFFF080C	16	

レジスタ名称		略称	ビット数	アドレス	モジュール	アクセスサイズ	
送信待ちレジスタ 1_1		TXPR1_1	16	H'FFFF0820	RCAN-ET	32	
送信待ちレジスタ 0_1		TXPR0_1	16	H'FFFF0822			
送信キャンセルレジスタ 0_1		TXCR0_1	16	H'FFFF082A			16
送信アクノリッジレジスタ 0_1		TXACK0_1	16	H'FFFF0832			16
アボートアクノリッジレジスタ 0_1		ABACK0_1	16	H'FFFF083A			16
データフレーム受信完了レジスタ 0_1		RXPR0_1	16	H'FFFF0842			16
リモートフレーム受信完了レジスタ 0_1		RFPR0_1	16	H'FFFF084A			16
メールボックスインタラプトマスク レジスタ 0_1		MBIMR0_1	16	H'FFFF0852			16
未読メッセージステータスレジスタ 0_1		UMSR0_1	16	H'FFFF085A			16
メールボックス 0	コントロール 0	CONTROL0H	16	H'FFFF0900			16、32
		CONTROL0L	16	H'FFFF0902	16		
	LAFM	LAFMH	16	H'FFFF0904	16、32		
		LAFML	16	H'FFFF0906	16		
	データ	MSG_DATA[0]	8	H'FFFF0908	8、16、32		
		MSG_DATA[1]	8	H'FFFF0909	8		
		MSG_DATA[2]	8	H'FFFF090A	8、16		
		MSG_DATA[3]	8	H'FFFF090B	8		
		MSG_DATA[4]	8	H'FFFF090C	8、16、32		
		MSG_DATA[5]	8	H'FFFF090D	8		
		MSG_DATA[6]	8	H'FFFF090E	8、16		
		MSG_DATA[7]	8	H'FFFF090F	8		
	コントロール 1	CONTROL1H	8	H'FFFF0910	8、16		
		CONTROL1L	8	H'FFFF0911	8		
メールボックス n (n=1~15)	コントロール 0	CONTROL0H	16	H'FFFF0900 + n × 32	16、32		
		CONTROL0L	16	H'FFFF0902 + n × 32	16		
	LAFM	LAFMH	16	H'FFFF0904 + n × 32	16、32		
		LAFML	16	H'FFFF0906 + n × 32	16		
	データ	MSG_DATA[0]	8	H'FFFF0908 + n × 32	8、16、32		
		MSG_DATA[1]	8	H'FFFF0909 + n × 32	8		
		MSG_DATA[2]	8	H'FFFF090A + n × 32	8、16		

レジスタ名称		略称	ビット数	アドレス	モジュール	アクセスサイズ
メールボックス n (n=1~15)	データ	MSG_DATA[3]	8	H'FFFF090B + n × 32	RCAN-ET	8
		MSG_DATA[4]	8	H'FFFF090C + n × 32		8、16、32
		MSG_DATA[5]	8	H'FFFF090D + n × 32		8
		MSG_DATA[6]	8	H'FFFF090E + n × 32		8、16
		MSG_DATA[7]	8	H'FFFF090F + n × 32		8
	コントロール 1	CONTROL1H	8	H'FFFF0910 + n × 32		8、16
		CONTROL1L	8	H'FFFF0911 + n × 32		8
DMA 転送要求イネーブルレジスタ 0		DREQER0	8	H'FFFF1600	INTC	8、16、32
DMA 転送要求イネーブルレジスタ 1		DREQER1	8	H'FFFF1601		8
DMA 転送要求イネーブルレジスタ 2		DREQER2	8	H'FFFF1602		8、16
DMA 転送要求イネーブルレジスタ 3		DREQER3	8	H'FFFF1603		8
ディープスタンバイ解除要因フラグ レジスタ		DSFR	16	H'FFFF1904	SYSTEM	16
ディープスタンバイ発振安定クロック セレクトレジスタ		DSCNT	8	H'FFFF1906		8
RAM 保持エリア指定レジスタ		RAMKP	8	H'FFFF1907		8

28.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SYCBEEN	STSCLR	-	-	-	-	-	-	-	バス監視
	-	-	-	-	-	TOEN	IGAEN	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
SYCBESTS1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	PTO	PER	-	-	-	PMST1	PMST0	
	-	-	-	-	-	-	-	-	
SYCBESTS2	-	ETO	EER	-	-	-	EMST1	EMST0	
	-	-	-	-	-	-	-	-	
	-	-	OER	-	-	-	OMST1	OMST0	
	-	-	SHER	-	-	-	SHMST1	SHMST0	
SYCBESW	00CPEN	-	10CPEN	11CPEN	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS0CNT	-	-	-	-	-	-	-	-	BSC
	-	-	BSIZE1	BSIZE0	-	-	-	EXENB	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS0REC	-	-	-	-	WRCV3	WRCV2	WRCV1	WRCV0	
	-	-	-	-	RRCV3	RRCV2	RRCV1	RRCV0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS1CNT	-	-	-	-	-	-	-	-	
	-	-	BSIZE1	BSIZE0	-	-	-	EXENB	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS1REC	-	-	-	-	WRCV3	WRCV2	WRCV1	WRCV0	
	-	-	-	-	RRCV3	RRCV2	RRCV1	RRCV0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CS2CNT	-	-	-	-	-	-	-	-	BSC
	-	-	BSIZE1	BSIZE0	-	-	-	EXENB	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS2REC	-	-	-	-	WRCV3	WRCV2	WRCV1	WRCV0	
	-	-	-	-	RRCV3	RRCV2	RRCV1	RRCV0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS3CNT	-	-	-	-	-	-	-	-	
	-	-	BSIZE1	BSIZE0	-	-	-	EXENB	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS3REC	-	-	-	-	WRCV3	WRCV2	WRCV1	WRCV0	
	-	-	-	-	RRCV3	RRCV2	RRCV1	RRCV0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS4CNT	-	-	-	-	-	-	-	-	
	-	-	BSIZE1	BSIZE0	-	-	-	EXENB	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS4REC	-	-	-	-	WRCV3	WRCV2	WRCV1	WRCV0	
	-	-	-	-	RRCV3	RRCV2	RRCV1	RRCV0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS5CNT	-	-	-	-	-	-	-	-	
	-	-	BSIZE1	BSIZE0	-	-	-	EXENB	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS5REC	-	-	-	-	WRCV3	WRCV2	WRCV1	WRCV0	
	-	-	-	-	RRCV3	RRCV2	RRCV1	RRCV0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS6CNT	-	-	-	-	-	-	-	-	
	-	-	BSIZE1	BSIZE0	-	-	-	EXENB	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CS6REC	-	-	-	-	WRCV3	WRCV2	WRCV1	WRCV0	BSC
	-	-	-	-	RRCV3	RRCV2	RRCV1	RRCV0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
SDC0CNT	-	-	-	-	-	-	-	-	
	-	-	BSIZE1	BSIZE0	-	-	-	EXENB	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
SDC1CNT	-	-	-	-	-	-	-	-	
	-	-	BSIZE1	BSIZE0	-	-	-	EXENB	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CSMOD0	PRMOD	-	PBCNT1	PBCNT0	-	-	PWENB	PRENB	
	-	-	-	-	EWENB	-	-	WRMOD	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS1WCNT0	-	-	-	CSRWAIT4	CSRWAIT3	CSRWAIT2	CSRWAIT1	CSRWAIT0	
	-	-	-	CSWWAIT4	CSWWAIT3	CSWWAIT2	CSWWAIT1	CSWWAIT0	
	-	-	-	-	-	CSPRWAIT2	CSPRWAIT1	CSPRWAIT0	
	-	-	-	-	-	CSPWWAIT2	CSPWWAIT1	CSPWWAIT0	
CS2WCNT0	-	CSON2	CSON1	CSON0	-	WDON2	WDON1	WDON0	
	-	WRON2	WRON1	WRON0	-	RDON2	RDON1	RDON0	
	-	-	-	-	-	WDOFF2	WDOFF1	WDOFF0	
	-	CSWOFF2	CSWOFF1	CSWOFF0	-	CSROFF2	CSROFF1	CSROFF0	
CSMOD1	PRMOD	-	PBCNT1	PBCNT0	-	-	PWENB	PRENB	
	-	-	-	-	EWENB	-	-	WRMOD	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS1WCNT1	-	-	-	CSRWAIT4	CSRWAIT3	CSRWAIT2	CSRWAIT1	CSRWAIT0	
	-	-	-	CSWWAIT4	CSWWAIT3	CSWWAIT2	CSWWAIT1	CSWWAIT0	
	-	-	-	-	-	CSPRWAIT2	CSPRWAIT1	CSPRWAIT0	
	-	-	-	-	-	CSPWWAIT2	CSPWWAIT1	CSPWWAIT0	
CS2WCNT1	-	CSON2	CSON1	CSON0	-	WDON2	WDON1	WDON0	
	-	WRON2	WRON1	WRON0	-	RDON2	RDON1	RDON0	
	-	-	-	-	-	WDOFF2	WDOFF1	WDOFF0	
	-	CSWOFF2	CSWOFF1	CSWOFF0	-	CSROFF2	CSROFF1	CSROFF0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CSMOD2	PRMOD	-	PBCNT1	PBCNT0	-	-	PWENB	PRENB	BSC
	-	-	-	-	EWENB	-	-	WRMOD	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS1WCNT2	-	-	-	CSRWAIT4	CSRWAIT3	CSRWAIT2	CSRWAIT1	CSRWAIT0	
	-	-	-	CSWWAIT4	CSWWAIT3	CSWWAIT2	CSWWAIT1	CSWWAIT0	
	-	-	-	-	-	CSPRWAIT2	CSPRWAIT1	CSPRWAIT0	
	-	-	-	-	-	CSPWWAIT2	CSPWWAIT1	CSPWWAIT0	
CS2WCNT2	-	CSON2	CSON1	CSON0	-	WDON2	WDON1	WDON0	
	-	WRON2	WRON1	WRON0	-	RDON2	RDON1	RDON0	
	-	-	-	-	-	WDOFF2	WDOFF1	WDOFF0	
	-	CSWOFF2	CSWOFF1	CSWOFF0	-	CSROFF2	CSROFF1	CSROFF0	
CSMOD3	PRMOD	-	PBCNT1	PBCNT0	-	-	PWENB	PRENB	
	-	-	-	-	EWENB	-	-	WRMOD	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS1WCNT3	-	-	-	CSRWAIT4	CSRWAIT3	CSRWAIT2	CSRWAIT1	CSRWAIT0	
	-	-	-	CSWWAIT4	CSWWAIT3	CSWWAIT2	CSWWAIT1	CSWWAIT0	
	-	-	-	-	-	CSPRWAIT2	CSPRWAIT1	CSPRWAIT0	
	-	-	-	-	-	CSPWWAIT2	CSPWWAIT1	CSPWWAIT0	
CS2WCNT3	-	CSON2	CSON1	CSON0	-	WDON2	WDON1	WDON0	
	-	WRON2	WRON1	WRON0	-	RDON2	RDON1	RDON0	
	-	-	-	-	-	WDOFF2	WDOFF1	WDOFF0	
	-	CSWOFF2	CSWOFF1	CSWOFF0	-	CSROFF2	CSROFF1	CSROFF0	
CSMOD4	PRMOD	-	PBCNT1	PBCNT0	-	-	PWENB	PRENB	
	-	-	-	-	EWENB	-	-	WRMOD	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS1WCNT4	-	-	-	CSRWAIT4	CSRWAIT3	CSRWAIT2	CSRWAIT1	CSRWAIT0	
	-	-	-	CSWWAIT4	CSWWAIT3	CSWWAIT2	CSWWAIT1	CSWWAIT0	
	-	-	-	-	-	CSPRWAIT2	CSPRWAIT1	CSPRWAIT0	
	-	-	-	-	-	CSPWWAIT2	CSPWWAIT1	CSPWWAIT0	
CS2WCNT4	-	CSON2	CSON1	CSON0	-	WDON2	WDON1	WDON0	
	-	WRON2	WRON1	WRON0	-	RDON2	RDON1	RDON0	
	-	-	-	-	-	WDOFF2	WDOFF1	WDOFF0	
	-	CSWOFF2	CSWOFF1	CSWOFF0	-	CSROFF2	CSROFF1	CSROFF0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CSMOD5	PRMOD	-	PBCNT1	PBCNT0	-	-	PWENB	PRENB	BSC
	-	-	-	-	EWENB	-	-	WRMOD	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS1WCNT5	-	-	-	CSRWAIT4	CSRWAIT3	CSRWAIT2	CSRWAIT1	CSRWAIT0	
	-	-	-	CSWWAIT4	CSWWAIT3	CSWWAIT2	CSWWAIT1	CSWWAIT0	
	-	-	-	-	-	CSPRWAIT2	CSPRWAIT1	CSPRWAIT0	
	-	-	-	-	-	CSPWWAIT2	CSPWWAIT1	CSPWWAIT0	
CS2WCNT5	-	CSON2	CSON1	CSON0	-	WDON2	WDON1	WDON0	
	-	WRON2	WRON1	WRON0	-	RDON2	RDON1	RDON0	
	-	-	-	-	-	WDOFF2	WDOFF1	WDOFF0	
	-	CSWOFF2	CSWOFF1	CSWOFF0	-	CSROFF2	CSROFF1	CSROFF0	
CSMOD6	PRMOD	-	PBCNT1	PBCNT0	-	-	PWENB	PRENB	
	-	-	-	-	EWENB	-	-	WRMOD	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CS1WCNT6	-	-	-	CSRWAIT4	CSRWAIT3	CSRWAIT2	CSRWAIT1	CSRWAIT0	
	-	-	-	CSWWAIT4	CSWWAIT3	CSWWAIT2	CSWWAIT1	CSWWAIT0	
	-	-	-	-	-	CSPRWAIT2	CSPRWAIT1	CSPRWAIT0	
	-	-	-	-	-	CSPWWAIT2	CSPWWAIT1	CSPWWAIT0	
CS2WCNT6	-	CSON2	CSON1	CSON0	-	WDON2	WDON1	WDON0	
	-	WRON2	WRON1	WRON0	-	RDON2	RDON1	RDON0	
	-	-	-	-	-	WDOFF2	WDOFF1	WDOFF0	
	-	CSWOFF2	CSWOFF1	CSWOFF0	-	CSROFF2	CSROFF1	CSROFF0	
SDRFCNT0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	DSFEN	
SDRFCNT1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	DRFEN	
	DREFW3	DREFW2	DREFW1	DREFW0	DRFC11	DRFC10	DRFC9	DRFC8	
	DRFC7	DRFC6	DRFC5	DRFC4	DRFC3	DRFC2	DRFC1	DRFC0	
SDIR0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	DPC2	DPC1	DPC0	
	DARFC3	DARFC2	DARFC1	DARFC0	DARFI3	DARFI2	DARFI1	DARFI0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SDIR1	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	-	-	DINIST	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	DINIRQ	
SDPWDCNT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	DPWD	
SDDPWDCNT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	DDPD	
SD0ADR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	DDBW1	DDBW0	
	-	-	-	-	-	DSZ2	DSZ1	DSZ0	
SD0TR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	DRAS2	DRAS1	DRAS0	
	-	-	DRCD1	DRCD0	DPCG2	DPCG1	DPCG0	DWR	
	-	-	-	-	-	DCL2	DCL1	DCL0	
SD0MOD	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	DMR14	DMR13	DMR12	DMR11	DMR10	DMR9	DMR8	
	DMR7	DMR6	DMR5	DMR4	DMR3	DMR2	DMR1	DMR0	
SD1ADR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	DDBW1	DDBW0	
	-	-	-	-	-	DSZ2	DSZ1	DSZ0	
SD1TR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	DRAS2	DRAS1	DRAS0	
	-	-	DRCD1	DRCD0	DPCG2	DPCG1	DPCG0	DWR	
	-	-	-	-	-	DCL2	DCL1	DCL0	
SD1MOD	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	DMR14	DMR13	DMR12	DMR11	DMR10	DMR9	DMR8	
	DMR7	DMR6	DMR5	DMR4	DMR3	DMR2	DMR1	DMR0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SDSTR	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	DSRFST	DINIST	DPWDST	DDPDST	DMRSST	
SDCKSCNT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	DCKSEN	
	-	-	-	-	-	-	-	-	
	DCKSC7	DCKSC6	DCKSC5	DCKSC4	DCKSC3	DCKSC2	DCKSC1	DCKSC0	
DMCSADR0	CSA31	CSA30	CSA29	CSA28	CSA27	CSA26	CSA25	CSA24	DMAC
	CSA23	CSA22	CSA21	CSA20	CSA19	CSA18	CSA17	CSA16	
	CSA15	CSA14	CSA13	CSA12	CSA11	CSA10	CSA9	CSA8	
	CSA7	CSA6	CSA5	CSA4	CSA3	CSA2	CSA1	CSA0	
DMCDADR0	CDA31	CDA30	CDA29	CDA28	CDA27	CDA26	CDA25	CDA24	
	CDA23	CDA22	CDA21	CDA20	CDA19	CDA18	CDA17	CDA16	
	CDA15	CDA14	CDA13	CDA12	CDA11	CDA10	CDA9	CDA8	
	CDA7	CDA6	CDA5	CDA4	CDA3	CDA2	CDA1	CDA0	
DMCBCT0	-	-	-	-	-	-	CBC25	CBC24	
	CBC23	CBC22	CBC21	CBC20	CBC19	CBC18	CBC17	CBC16	
	CBC15	CBC14	CBC13	CBC12	CBC11	CBC10	CBC9	CBC8	
	CBC7	CBC6	CBC5	CBC4	CBC3	CBC2	CBC1	CBC0	
DMMOD0	-	-	-	-	OPSEL3	OPSEL2	OPSEL1	OPSEL0	
	-	-	-	-	-	SZSEL2	SZSEL1	SZSEL0	
	-	SAMOD2	SAMOD1	SAMOD0	-	DAMOD2	DAMOD1	DAMOD0	
	-	-	-	-	SACT	DACT	DTCM1	DTCM0	
DMCSADR1	CSA31	CSA30	CSA29	CSA28	CSA27	CSA26	CSA25	CSA24	
	CSA23	CSA22	CSA21	CSA20	CSA19	CSA18	CSA17	CSA16	
	CSA15	CSA14	CSA13	CSA12	CSA11	CSA10	CSA9	CSA8	
	CSA7	CSA6	CSA5	CSA4	CSA3	CSA2	CSA1	CSA0	
DMCDADR1	CDA31	CDA30	CDA29	CDA28	CDA27	CDA26	CDA25	CDA24	
	CDA23	CDA22	CDA21	CDA20	CDA19	CDA18	CDA17	CDA16	
	CDA15	CDA14	CDA13	CDA12	CDA11	CDA10	CDA9	CDA8	
	CDA7	CDA6	CDA5	CDA4	CDA3	CDA2	CDA1	CDA0	
DMCBCT1	-	-	-	-	-	-	CBC25	CBC24	
	CBC23	CBC22	CBC21	CBC20	CBC19	CBC18	CBC17	CBC16	
	CBC15	CBC14	CBC13	CBC12	CBC11	CBC10	CBC9	CBC8	
	CBC7	CBC6	CBC5	CBC4	CBC3	CBC2	CBC1	CBC0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DMMOD1	-	-	-	-	OPSEL3	OPSEL2	OPSEL1	OPSEL0	DMAC
	-	-	-	-	-	SZSEL2	SZSEL1	SZSEL0	
	-	SAMOD2	SAMOD1	SAMOD0	-	DAMOD2	DAMOD1	DAMOD0	
	-	-	-	-	SACT	DACT	DTCM1	DTCM0	
DMCSADR2	CSA31	CSA30	CSA29	CSA28	CSA27	CSA26	CSA25	CSA24	
	CSA23	CSA22	CSA21	CSA20	CSA19	CSA18	CSA17	CSA16	
	CSA15	CSA14	CSA13	CSA12	CSA11	CSA10	CSA9	CSA8	
	CSA7	CSA6	CSA5	CSA4	CSA3	CSA2	CSA1	CSA0	
DMCDADR2	CDA31	CDA30	CDA29	CDA28	CDA27	CDA26	CDA25	CDA24	
	CDA23	CDA22	CDA21	CDA20	CDA19	CDA18	CDA17	CDA16	
	CDA15	CDA14	CDA13	CDA12	CDA11	CDA10	CDA9	CDA8	
	CDA7	CDA6	CDA5	CDA4	CDA3	CDA2	CDA1	CDA0	
DMCBCT2	-	-	-	-	-	-	CBC25	CBC24	
	CBC23	CBC22	CBC21	CBC20	CBC19	CBC18	CBC17	CBC16	
	CBC15	CBC14	CBC13	CBC12	CBC11	CBC10	CBC9	CBC8	
	CBC7	CBC6	CBC5	CBC4	CBC3	CBC2	CBC1	CBC0	
DMMOD2	-	-	-	-	OPSEL3	OPSEL2	OPSEL1	OPSEL0	
	-	-	-	-	-	SZSEL2	SZSEL1	SZSEL0	
	-	SAMOD2	SAMOD1	SAMOD0	-	DAMOD2	DAMOD1	DAMOD0	
	-	-	-	-	SACT	DACT	DTCM1	DTCM0	
DMCSADR3	CSA31	CSA30	CSA29	CSA28	CSA27	CSA26	CSA25	CSA24	
	CSA23	CSA22	CSA21	CSA20	CSA19	CSA18	CSA17	CSA16	
	CSA15	CSA14	CSA13	CSA12	CSA11	CSA10	CSA9	CSA8	
	CSA7	CSA6	CSA5	CSA4	CSA3	CSA2	CSA1	CSA0	
DMCDADR3	CDA31	CDA30	CDA29	CDA28	CDA27	CDA26	CDA25	CDA24	
	CDA23	CDA22	CDA21	CDA20	CDA19	CDA18	CDA17	CDA16	
	CDA15	CDA14	CDA13	CDA12	CDA11	CDA10	CDA9	CDA8	
	CDA7	CDA6	CDA5	CDA4	CDA3	CDA2	CDA1	CDA0	
DMCBCT3	-	-	-	-	-	-	CBC25	CBC24	
	CBC23	CBC22	CBC21	CBC20	CBC19	CBC18	CBC17	CBC16	
	CBC15	CBC14	CBC13	CBC12	CBC11	CBC10	CBC9	CBC8	
	CBC7	CBC6	CBC5	CBC4	CBC3	CBC2	CBC1	CBC0	
DMMOD3	-	-	-	-	OPSEL3	OPSEL2	OPSEL1	OPSEL0	
	-	-	-	-	-	SZSEL2	SZSEL1	SZSEL0	
	-	SAMOD2	SAMOD1	SAMOD0	-	DAMOD2	DAMOD1	DAMOD0	
	-	-	-	-	SACT	DACT	DTCM1	DTCM0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DMCSADR4	CSA31	CSA30	CSA29	CSA28	CSA27	CSA26	CSA25	CSA24	DMAC
	CSA23	CSA22	CSA21	CSA20	CSA19	CSA18	CSA17	CSA16	
	CSA15	CSA14	CSA13	CSA12	CSA11	CSA10	CSA9	CSA8	
	CSA7	CSA6	CSA5	CSA4	CSA3	CSA2	CSA1	CSA0	
DMCDADR4	CDA31	CDA30	CDA29	CDA28	CDA27	CDA26	CDA25	CDA24	
	CDA23	CDA22	CDA21	CDA20	CDA19	CDA18	CDA17	CDA16	
	CDA15	CDA14	CDA13	CDA12	CDA11	CDA10	CDA9	CDA8	
	CDA7	CDA6	CDA5	CDA4	CDA3	CDA2	CDA1	CDA0	
DMCBCT4	-	-	-	-	-	-	CBC25	CBC24	
	CBC23	CBC22	CBC21	CBC20	CBC19	CBC18	CBC17	CBC16	
	CBC15	CBC14	CBC13	CBC12	CBC11	CBC10	CBC9	CBC8	
	CBC7	CBC6	CBC5	CBC4	CBC3	CBC2	CBC1	CBC0	
DMMOD4	-	-	-	-	OPSEL3	OPSEL2	OPSEL1	OPSEL0	
	-	-	-	-	-	SZSEL2	SZSEL1	SZSEL0	
	-	SAMOD2	SAMOD1	SAMOD0	-	DAMOD2	DAMOD1	DAMOD0	
	-	-	-	-	SACT	DACT	DTCM1	DTCM0	
DMCSADR5	CSA31	CSA30	CSA29	CSA28	CSA27	CSA26	CSA25	CSA24	
	CSA23	CSA22	CSA21	CSA20	CSA19	CSA18	CSA17	CSA16	
	CSA15	CSA14	CSA13	CSA12	CSA11	CSA10	CSA9	CSA8	
	CSA7	CSA6	CSA5	CSA4	CSA3	CSA2	CSA1	CSA0	
DMCDADR5	CDA31	CDA30	CDA29	CDA28	CDA27	CDA26	CDA25	CDA24	
	CDA23	CDA22	CDA21	CDA20	CDA19	CDA18	CDA17	CDA16	
	CDA15	CDA14	CDA13	CDA12	CDA11	CDA10	CDA9	CDA8	
	CDA7	CDA6	CDA5	CDA4	CDA3	CDA2	CDA1	CDA0	
DMCBCT5	-	-	-	-	-	-	CBC25	CBC24	
	CBC23	CBC22	CBC21	CBC20	CBC19	CBC18	CBC17	CBC16	
	CBC15	CBC14	CBC13	CBC12	CBC11	CBC10	CBC9	CBC8	
	CBC7	CBC6	CBC5	CBC4	CBC3	CBC2	CBC1	CBC0	
DMMOD5	-	-	-	-	OPSEL3	OPSEL2	OPSEL1	OPSEL0	
	-	-	-	-	-	SZSEL2	SZSEL1	SZSEL0	
	-	SAMOD2	SAMOD1	SAMOD0	-	DAMOD2	DAMOD1	DAMOD0	
	-	-	-	-	SACT	DACT	DTCM1	DTCM0	
DMCSADR6	CSA31	CSA30	CSA29	CSA28	CSA27	CSA26	CSA25	CSA24	
	CSA23	CSA22	CSA21	CSA20	CSA19	CSA18	CSA17	CSA16	
	CSA15	CSA14	CSA13	CSA12	CSA11	CSA10	CSA9	CSA8	
	CSA7	CSA6	CSA5	CSA4	CSA3	CSA2	CSA1	CSA0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DMCDADR6	CDA31	CDA30	CDA29	CDA28	CDA27	CDA26	CDA25	CDA24	DMAC
	CDA23	CDA22	CDA21	CDA20	CDA19	CDA18	CDA17	CDA16	
	CDA15	CDA14	CDA13	CDA12	CDA11	CDA10	CDA9	CDA8	
	CDA7	CDA6	CDA5	CDA4	CDA3	CDA2	CDA1	CDA0	
DMCBCT6	-	-	-	-	-	-	CBC25	CBC24	
	CBC23	CBC22	CBC21	CBC20	CBC19	CBC18	CBC17	CBC16	
	CBC15	CBC14	CBC13	CBC12	CBC11	CBC10	CBC9	CBC8	
	CBC7	CBC6	CBC5	CBC4	CBC3	CBC2	CBC1	CBC0	
DMMOD6	-	-	-	-	OPSEL3	OPSEL2	OPSEL1	OPSEL0	
	-	-	-	-	-	SZSEL2	SZSEL1	SZSEL0	
	-	SAMOD2	SAMOD1	SAMOD0	-	DAMOD2	DAMOD1	DAMOD0	
	-	-	-	-	SACT	DACT	DTCM1	DTCM0	
DMCSADR7	CSA31	CSA30	CSA29	CSA28	CSA27	CSA26	CSA25	CSA24	
	CSA23	CSA22	CSA21	CSA20	CSA19	CSA18	CSA17	CSA16	
	CSA15	CSA14	CSA13	CSA12	CSA11	CSA10	CSA9	CSA8	
	CSA7	CSA6	CSA5	CSA4	CSA3	CSA2	CSA1	CSA0	
DMCDADR7	CDA31	CDA30	CDA29	CDA28	CDA27	CDA26	CDA25	CDA24	
	CDA23	CDA22	CDA21	CDA20	CDA19	CDA18	CDA17	CDA16	
	CDA15	CDA14	CDA13	CDA12	CDA11	CDA10	CDA9	CDA8	
	CDA7	CDA6	CDA5	CDA4	CDA3	CDA2	CDA1	CDA0	
DMCBCT7	-	-	-	-	-	-	CBC25	CBC24	
	CBC23	CBC22	CBC21	CBC20	CBC19	CBC18	CBC17	CBC16	
	CBC15	CBC14	CBC13	CBC12	CBC11	CBC10	CBC9	CBC8	
	CBC7	CBC6	CBC5	CBC4	CBC3	CBC2	CBC1	CBC0	
DMMOD7	-	-	-	-	OPSEL3	OPSEL2	OPSEL1	OPSEL0	
	-	-	-	-	-	SZSEL2	SZSEL1	SZSEL0	
	-	SAMOD2	SAMOD1	SAMOD0	-	DAMOD2	DAMOD1	DAMOD0	
	-	-	-	-	SACT	DACT	DTCM1	DTCM0	
DMRSADR0	RSA31	RSA30	RSA29	RSA28	RSA27	RSA26	RSA25	RSA24	
	RSA23	RSA22	RSA21	RSA20	RSA19	RSA18	RSA17	RSA16	
	RSA15	RSA14	RSA13	RSA12	RSA11	RSA10	RSA9	RSA8	
	RSA7	RSA6	RSA5	RSA4	RSA3	RSA2	RSA1	RSA0	
DMRDADR0	RDA31	RDA30	RDA29	RDA28	RDA27	RDA26	RDA25	RDA24	
	RDA23	RDA22	RDA21	RDA20	RDA19	RDA18	RDA17	RDA16	
	RDA15	RDA14	RDA13	RDA12	RDA11	RDA10	RDA9	RDA8	
	RDA7	RDA6	RDA5	RDA4	RDA3	RDA2	RDA1	RDA0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DMRBCT0	-	-	-	-	-	-	RBC25	RBC24	DMAC
	RBC23	RBC22	RBC21	RBC20	RBC19	RBC18	RBC17	RBC16	
	RBC15	RBC14	RBC13	RBC12	RBC11	RBC10	RBC9	RBC8	
	RBC7	RBC6	RBC5	RBC4	RBC3	RBC2	RBC1	RBC0	
DMRSADR1	RSA31	RSA30	RSA29	RSA28	RSA27	RSA26	RSA25	RSA24	
	RSA23	RSA22	RSA21	RSA20	RSA19	RSA18	RSA17	RSA16	
	RSA15	RSA14	RSA13	RSA12	RSA11	RSA10	RSA9	RSA8	
	RSA7	RSA6	RSA5	RSA4	RSA3	RSA2	RSA1	RSA0	
DMRDADR1	RDA31	RDA30	RDA29	RDA28	RDA27	RDA26	RDA25	RDA24	
	RDA23	RDA22	RDA21	RDA20	RDA19	RDA18	RDA17	RDA16	
	RDA15	RDA14	RDA13	RDA12	RDA11	RDA10	RDA9	RDA8	
	RDA7	RDA6	RDA5	RDA4	RDA3	RDA2	RDA1	RDA0	
DMRBCT1	-	-	-	-	-	-	RBC25	RBC24	
	RBC23	RBC22	RBC21	RBC20	RBC19	RBC18	RBC17	RBC16	
	RBC15	RBC14	RBC13	RBC12	RBC11	RBC10	RBC9	RBC8	
	RBC7	RBC6	RBC5	RBC4	RBC3	RBC2	RBC1	RBC0	
DMRSADR2	RSA31	RSA30	RSA29	RSA28	RSA27	RSA26	RSA25	RSA24	
	RSA23	RSA22	RSA21	RSA20	RSA19	RSA18	RSA17	RSA16	
	RSA15	RSA14	RSA13	RSA12	RSA11	RSA10	RSA9	RSA8	
	RSA7	RSA6	RSA5	RSA4	RSA3	RSA2	RSA1	RSA0	
DMRDADR2	RDA31	RDA30	RDA29	RDA28	RDA27	RDA26	RDA25	RDA24	
	RDA23	RDA22	RDA21	RDA20	RDA19	RDA18	RDA17	RDA16	
	RDA15	RDA14	RDA13	RDA12	RDA11	RDA10	RDA9	RDA8	
	RDA7	RDA6	RDA5	RDA4	RDA3	RDA2	RDA1	RDA0	
DMRBCT2	-	-	-	-	-	-	RBC25	RBC24	
	RBC23	RBC22	RBC21	RBC20	RBC19	RBC18	RBC17	RBC16	
	RBC15	RBC14	RBC13	RBC12	RBC11	RBC10	RBC9	RBC8	
	RBC7	RBC6	RBC5	RBC4	RBC3	RBC2	RBC1	RBC0	
DMRSADR3	RSA31	RSA30	RSA29	RSA28	RSA27	RSA26	RSA25	RSA24	
	RSA23	RSA22	RSA21	RSA20	RSA19	RSA18	RSA17	RSA16	
	RSA15	RSA14	RSA13	RSA12	RSA11	RSA10	RSA9	RSA8	
	RSA7	RSA6	RSA5	RSA4	RSA3	RSA2	RSA1	RSA0	
DMRDADR3	RDA31	RDA30	RDA29	RDA28	RDA27	RDA26	RDA25	RDA24	
	RDA23	RDA22	RDA21	RDA20	RDA19	RDA18	RDA17	RDA16	
	RDA15	RDA14	RDA13	RDA12	RDA11	RDA10	RDA9	RDA8	
	RDA7	RDA6	RDA5	RDA4	RDA3	RDA2	RDA1	RDA0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DMRBCT3	-	-	-	-	-	-	RBC25	RBC24	DMAC
	RBC23	RBC22	RBC21	RBC20	RBC19	RBC18	RBC17	RBC16	
	RBC15	RBC14	RBC13	RBC12	RBC11	RBC10	RBC9	RBC8	
	RBC7	RBC6	RBC5	RBC4	RBC3	RBC2	RBC1	RBC0	
DMRSADR4	RSA31	RSA30	RSA29	RSA28	RSA27	RSA26	RSA25	RSA24	
	RSA23	RSA22	RSA21	RSA20	RSA19	RSA18	RSA17	RSA16	
	RSA15	RSA14	RSA13	RSA12	RSA11	RSA10	RSA9	RSA8	
	RSA7	RSA6	RSA5	RSA4	RSA3	RSA2	RSA1	RSA0	
DMRDADR4	RDA31	RDA30	RDA29	RDA28	RDA27	RDA26	RDA25	RDA24	
	RDA23	RDA22	RDA21	RDA20	RDA19	RDA18	RDA17	RDA16	
	RDA15	RDA14	RDA13	RDA12	RDA11	RDA10	RDA9	RDA8	
	RDA7	RDA6	RDA5	RDA4	RDA3	RDA2	RDA1	RDA0	
DMRBCT4	-	-	-	-	-	-	RBC25	RBC24	
	RBC23	RBC22	RBC21	RBC20	RBC19	RBC18	RBC17	RBC16	
	RBC15	RBC14	RBC13	RBC12	RBC11	RBC10	RBC9	RBC8	
	RBC7	RBC6	RBC5	RBC4	RBC3	RBC2	RBC1	RBC0	
DMRSADR5	RSA31	RSA30	RSA29	RSA28	RSA27	RSA26	RSA25	RSA24	
	RSA23	RSA22	RSA21	RSA20	RSA19	RSA18	RSA17	RSA16	
	RSA15	RSA14	RSA13	RSA12	RSA11	RSA10	RSA9	RSA8	
	RSA7	RSA6	RSA5	RSA4	RSA3	RSA2	RSA1	RSA0	
DMRDADR5	RDA31	RDA30	RDA29	RDA28	RDA27	RDA26	RDA25	RDA24	
	RDA23	RDA22	RDA21	RDA20	RDA19	RDA18	RDA17	RDA16	
	RDA15	RDA14	RDA13	RDA12	RDA11	RDA10	RDA9	RDA8	
	RDA7	RDA6	RDA5	RDA4	RDA3	RDA2	RDA1	RDA0	
DMRBCT5	-	-	-	-	-	-	RBC25	RBC24	
	RBC23	RBC22	RBC21	RBC20	RBC19	RBC18	RBC17	RBC16	
	RBC15	RBC14	RBC13	RBC12	RBC11	RBC10	RBC9	RBC8	
	RBC7	RBC6	RBC5	RBC4	RBC3	RBC2	RBC1	RBC0	
DMRSADR6	RSA31	RSA30	RSA29	RSA28	RSA27	RSA26	RSA25	RSA24	
	RSA23	RSA22	RSA21	RSA20	RSA19	RSA18	RSA17	RSA16	
	RSA15	RSA14	RSA13	RSA12	RSA11	RSA10	RSA9	RSA8	
	RSA7	RSA6	RSA5	RSA4	RSA3	RSA2	RSA1	RSA0	
DMRDADR6	RDA31	RDA30	RDA29	RDA28	RDA27	RDA26	RDA25	RDA24	
	RDA23	RDA22	RDA21	RDA20	RDA19	RDA18	RDA17	RDA16	
	RDA15	RDA14	RDA13	RDA12	RDA11	RDA10	RDA9	RDA8	
	RDA7	RDA6	RDA5	RDA4	RDA3	RDA2	RDA1	RDA0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DMRBCT6	-	-	-	-	-	-	RBC25	RBC24	DMAC
	RBC23	RBC22	RBC21	RBC20	RBC19	RBC18	RBC17	RBC16	
	RBC15	RBC14	RBC13	RBC12	RBC11	RBC10	RBC9	RBC8	
	RBC7	RBC6	RBC5	RBC4	RBC3	RBC2	RBC1	RBC0	
DMRSADR7	RSA31	RSA30	RSA29	RSA28	RSA27	RSA26	RSA25	RSA24	
	RSA23	RSA22	RSA21	RSA20	RSA19	RSA18	RSA17	RSA16	
	RSA15	RSA14	RSA13	RSA12	RSA11	RSA10	RSA9	RSA8	
	RSA7	RSA6	RSA5	RSA4	RSA3	RSA2	RSA1	RSA0	
DMRDADR7	RDA31	RDA30	RDA29	RDA28	RDA27	RDA26	RDA25	RDA24	
	RDA23	RDA22	RDA21	RDA20	RDA19	RDA18	RDA17	RDA16	
	RDA15	RDA14	RDA13	RDA12	RDA11	RDA10	RDA9	RDA8	
	RDA7	RDA6	RDA5	RDA4	RDA3	RDA2	RDA1	RDA0	
DMRBCT7	-	-	-	-	-	-	RBC25	RBC24	
	RBC23	RBC22	RBC21	RBC20	RBC19	RBC18	RBC17	RBC16	
	RBC15	RBC14	RBC13	RBC12	RBC11	RBC10	RBC9	RBC8	
	RBC7	RBC6	RBC5	RBC4	RBC3	RBC2	RBC1	RBC0	
DMCNTA0	-	-	MDSEL1	MDSEL0	-	-	DSEL1	DSEL0	
	-	-	-	-	-	-	STRG1	STRG0	
	-	-	-	-	-	BRLOD	SRLOD	DRLOD	
	-	-	DCTG5	DCTG4	DCTG3	DCTG2	DCTG1	DCTG0	
DMCNTB0	-	-	-	-	-	-	-	DEN	
	-	-	-	-	-	-	-	DREQ	
	-	-	-	-	-	-	-	ECLR	
	-	-	-	-	-	-	-	DSCLR	
DMCNTA1	-	-	MDSEL1	MDSEL0	-	-	DSEL1	DSEL0	
	-	-	-	-	-	-	STRG1	STRG0	
	-	-	-	-	-	BRLOD	SRLOD	DRLOD	
	-	-	DCTG5	DCTG4	DCTG3	DCTG2	DCTG1	DCTG0	
DMCNTB1	-	-	-	-	-	-	-	DEN	
	-	-	-	-	-	-	-	DREQ	
	-	-	-	-	-	-	-	ECLR	
	-	-	-	-	-	-	-	DSCLR	
DMCNTA2	-	-	MDSEL1	MDSEL0	-	-	DSEL1	DSEL0	
	-	-	-	-	-	-	STRG1	STRG0	
	-	-	-	-	-	BRLOD	SRLOD	DRLOD	
	-	-	DCTG5	DCTG4	DCTG3	DCTG2	DCTG1	DCTG0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DMCNTB2	-	-	-	-	-	-	-	DEN	DMAC
	-	-	-	-	-	-	-	DREQ	
	-	-	-	-	-	-	-	ECLR	
	-	-	-	-	-	-	-	DSCLR	
DMCNTA3	-	-	MDSEL1	MDSEL0	-	-	DSEL1	DSEL0	
	-	-	-	-	-	-	STRG1	STRG0	
	-	-	-	-	-	BRL0D	SRLOD	DRLOD	
	-	-	DCTG5	DCTG4	DCTG3	DCTG2	DCTG1	DCTG0	
DMCNTB3	-	-	-	-	-	-	-	DEN	
	-	-	-	-	-	-	-	DREQ	
	-	-	-	-	-	-	-	ECLR	
	-	-	-	-	-	-	-	DSCLR	
DMCNTA4	-	-	MDSEL1	MDSEL0	-	-	DSEL1	DSEL0	
	-	-	-	-	-	-	STRG1	STRG0	
	-	-	-	-	-	BRL0D	SRLOD	DRLOD	
	-	-	DCTG5	DCTG4	DCTG3	DCTG2	DCTG1	DCTG0	
DMCNTB4	-	-	-	-	-	-	-	DEN	
	-	-	-	-	-	-	-	DREQ	
	-	-	-	-	-	-	-	ECLR	
	-	-	-	-	-	-	-	DSCLR	
DMCNTA5	-	-	MDSEL1	MDSEL0	-	-	DSEL1	DSEL0	
	-	-	-	-	-	-	STRG1	STRG0	
	-	-	-	-	-	BRL0D	SRLOD	DRLOD	
	-	-	DCTG5	DCTG4	DCTG3	DCTG2	DCTG1	DCTG0	
DMCNTB5	-	-	-	-	-	-	-	DEN	
	-	-	-	-	-	-	-	DREQ	
	-	-	-	-	-	-	-	ECLR	
	-	-	-	-	-	-	-	DSCLR	
DMCNTA6	-	-	MDSEL1	MDSEL0	-	-	DSEL1	DSEL0	
	-	-	-	-	-	-	STRG1	STRG0	
	-	-	-	-	-	BRL0D	SRLOD	DRLOD	
	-	-	DCTG5	DCTG4	DCTG3	DCTG2	DCTG1	DCTG0	
DMCNTB6	-	-	-	-	-	-	-	DEN	
	-	-	-	-	-	-	-	DREQ	
	-	-	-	-	-	-	-	ECLR	
	-	-	-	-	-	-	-	DSCLR	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DMCNTA7	-	-	MSEL1	MSEL0	-	-	DSEL1	DSEL0	DMAC
	-	-	-	-	-	-	STRG1	STRG0	
	-	-	-	-	-	BRLOD	SRLOD	DRLOD	
	-	-	DCTG5	DCTG4	DCTG3	DCTG2	DCTG1	DCTG0	
DMCNTB7	-	-	-	-	-	-	-	DEN	
	-	-	-	-	-	-	-	DREQ	
	-	-	-	-	-	-	-	ECLR	
	-	-	-	-	-	-	-	DSCLR	
DMSCNT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	DMST	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
DMICNT	DINTM_CH0	DINTM_CH1	DINTM_CH2	DINTM_CH3	DINTM_CH4	DINTM_CH5	DINTM_CH6	DINTM_CH7	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
DMICNTA	DINTA_CH0	DINTA_CH1	DINTA_CH2	DINTA_CH3	DINTA_CH4	DINTA_CH5	DINTA_CH6	DINTA_CH7	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
DMISTS	DISTS_CH0	DISTS_CH1	DISTS_CH2	DISTS_CH3	DISTS_CH4	DISTS_CH5	DISTS_CH6	DISTS_CH7	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
DMEDET	DEDET_CH0	DEDET_CH1	DEDET_CH2	DEDET_CH3	DEDET_CH4	DEDET_CH5	DEDET_CH6	DEDET_CH7	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
DMASTS	DASTS_CH0	DASTS_CH1	DASTS_CH2	DASTS_CH3	DASTS_CH4	DASTS_CH5	DASTS_CH6	DASTS_CH7	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
BAR_0	BA0_31	BA0_30	BA0_29	BA0_28	BA0_27	BA0_26	BA0_25	BA0_24	UBC
	BA0_23	BA0_22	BA0_21	BA0_20	BA0_19	BA0_18	BA0_17	BA0_16	
	BA0_15	BA0_14	BA0_13	BA0_12	BA0_11	BA0_10	BA0_9	BA0_8	
	BA0_7	BA0_6	BA0_5	BA0_4	BA0_3	BA0_2	BA0_1	BA0_0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
BAMR_0	BAM0_31	BAM0_30	BAM0_29	BAM0_28	BAM0_27	BAM0_26	BAM0_25	BAM0_24	UBC
	BAM0_23	BAM0_22	BAM0_21	BAM0_20	BAM0_19	BAM0_18	BAM0_17	BAM0_16	
	BAM0_15	BAM0_14	BAM0_13	BAM0_12	BAM0_11	BAM0_10	BAM0_9	BAM0_8	
	BAM0_7	BAM0_6	BAM0_5	BAM0_4	BAM0_3	BAM0_2	BAM0_1	BAM0_0	
BDR_0	BD0_31	BD0_30	BD0_29	BD0_28	BD0_27	BD0_26	BD0_25	BD0_24	
	BD0_23	BD0_22	BD0_21	BD0_20	BD0_19	BD0_18	BD0_17	BD0_16	
	BD0_15	BD0_14	BD0_13	BD0_12	BD0_11	BD0_10	BD0_9	BD0_8	
	BD0_7	BD0_6	BD0_5	BD0_4	BD0_3	BD0_2	BD0_1	BD0_0	
BDMR_0	BDM0_31	BDM0_30	BDM0_29	BDM0_28	BDM0_27	BDM0_26	BDM0_25	BDM0_24	
	BDM0_23	BDM0_22	BDM0_21	BDM0_20	BDM0_19	BDM0_18	BDM0_17	BDM0_16	
	BDM0_15	BDM0_14	BDM0_13	BDM0_12	BDM0_11	BDM0_10	BDM0_9	BDM0_8	
	BDM0_7	BDM0_6	BDM0_5	BDM0_4	BDM0_3	BDM0_2	BDM0_1	BDM0_0	
BAR_1	BA0_31	BA0_30	BA0_29	BA0_28	BA0_27	BA0_26	BA0_25	BA0_24	
	BA0_23	BA0_22	BA0_21	BA0_20	BA0_19	BA0_18	BA0_17	BA0_16	
	BA0_15	BA0_14	BA0_13	BA0_12	BA0_11	BA0_10	BA0_9	BA0_8	
	BA0_7	BA0_6	BA0_5	BA0_4	BA0_3	BA0_2	BA0_1	BA0_0	
BAMR_1	BAM0_31	BAM0_30	BAM0_29	BAM0_28	BAM0_27	BAM0_26	BAM0_25	BAM0_24	
	BAM0_23	BAM0_22	BAM0_21	BAM0_20	BAM0_19	BAM0_18	BAM0_17	BAM0_16	
	BAM0_15	BAM0_14	BAM0_13	BAM0_12	BAM0_11	BAM0_10	BAM0_9	BAM0_8	
	BAM0_7	BAM0_6	BAM0_5	BAM0_4	BAM0_3	BAM0_2	BAM0_1	BAM0_0	
BDR_1	BD0_31	BD0_30	BD0_29	BD0_28	BD0_27	BD0_26	BD0_25	BD0_24	
	BD0_23	BD0_22	BD0_21	BD0_20	BD0_19	BD0_18	BD0_17	BD0_16	
	BD0_15	BD0_14	BD0_13	BD0_12	BD0_11	BD0_10	BD0_9	BD0_8	
	BD0_7	BD0_6	BD0_5	BD0_4	BD0_3	BD0_2	BD0_1	BD0_0	
BDMR_1	BDM0_31	BDM0_30	BDM0_29	BDM0_28	BDM0_27	BDM0_26	BDM0_25	BDM0_24	
	BDM0_23	BDM0_22	BDM0_21	BDM0_20	BDM0_19	BDM0_18	BDM0_17	BDM0_16	
	BDM0_15	BDM0_14	BDM0_13	BDM0_12	BDM0_11	BDM0_10	BDM0_9	BDM0_8	
	BDM0_7	BDM0_6	BDM0_5	BDM0_4	BDM0_3	BDM0_2	BDM0_1	BDM0_0	
BBR_0	-	-	UBID0	DBE0	-	-	CP0_1	CP0_0	
	CD0_1	CD0_0	ID0_1	ID0_0	RW0_1	RW0_0	SZ0_1	SZ0_0	
BBR_1	-	-	UBID1	DBE1	-	-	CP1_1	CP1_0	
	CD1_1	CD1_0	ID1_1	ID1_0	RW1_1	RW1_0	SZ1_1	SZ1_0	
BRCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	CKS1	CKS2	
	SCMFC0	SCMFC1	SCMFD0	SCMFD1	-	-	-	BDI	
	-	PCB1	PCB0	-	-	-	-	-	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CCR1	-	-	-	-	-	-	-	-	キャッシュ
	-	-	-	-	-	-	-	-	
	-	-	-	-	ICF	-	-	ICE	
	-	-	-	-	OCF	-	WT	OCE	
CCR2	-	-	-	-	-	-	-	-	キャッシュ
	-	-	-	-	-	-	-	LE	
	-	-	-	-	-	-	W3LOAD	W3LOCK	
	-	-	-	-	-	-	W2LOAD	W2LOCK	
ACSWR	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	ACOSW3	ACOSW2	ACOSW1	ACOSW0	
SDIR	TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	H-UDI
	-	-	-	-	-	-	-	-	
ICR0	NMIL	-	-	-	-	-	-	NMIE	INTC
	-	-	-	-	-	-	-	-	
ICR1	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	INTC
	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S	
ICR2	-	-	-	-	-	-	-	-	INTC
	PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S	
IRQRR	-	-	-	-	-	-	-	-	INTC
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
PINTER	-	-	-	-	-	-	-	-	INTC
	PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E	
PIRR	-	-	-	-	-	-	-	-	INTC
	PINT7R	PINT6R	PINT5R	PINT4R	PINT3R	PINT2R	PINT1R	PINT0R	
IBCR	E15	E14	E13	E12	E11	E10	E9	E8	INTC
	E7	E6	E5	E4	E3	E2	E1	-	
IBNR	BE1	BE0	BOVE	-	-	-	-	-	INTC
	-	-	-	-	BN3	BN2	BN1	BN0	
IPR01	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	INTC
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR02	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	INTC
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR05	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	INTC
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR06	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	INTC
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
IPR07	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	INTC
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR08	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR09	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR10	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR11	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR12	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR13	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR14	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR15	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
IPR16	IP33	IP32	IP31	IP30	IP23	IP22	IP21	IP20	
	IP13	IP12	IP11	IP10	IP03	IP02	IP01	IP00	
WTCSR	IOVF	WTIT	TME	-	-	CKS2	CKS1	CKS0	WDT
	-	-	-	-	-	-	-	-	
WTCNT	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0	
	-	-	-	-	-	-	-	-	
WRCSR	WOVF	RSTE	RSTS	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
FRQCR	-	-	-	CKOEN	-	STC2	STC1	STC0	CPG
	-	IFC2	IFC1	IFC0	RNGS	PFC2	PFC1	PFC0	
STBCR	STBY	DEEP	-	-	-	-	MSTP1	-	SYSTEM
STBCR2	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	
SYSCR1	-	-	-	-	-	-	RAME1	RAME0	
SYSCR2	-	-	-	-	-	-	RAMWE1	RAMWE0	
STBCR3	-	-	MSTP35	-	MSTP33	MSTP32	MSTP31	-	
STBCR4	MSTP47	MSTP46	MSTP45	MSTP44	MSTP43	MSTP42	MSTP41	MSTP40	
STBCR5	MSTP57	MSTP56	MSTP55	-	MSTP53	MSTP52	-	CKDV3	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
R64CNT	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz	RTC
RSECCNT	-	10 秒			1 秒				
RMINCNT	-	10 分			1 分				
RHRCNT	-	-	10 時間		1 時間				
RWKCNT	-	-	-	-	-	曜日			
RDAYCNT	-	-	10 日		1 日				
RMONCNT	-	-	-	10 月	1 月				
RYRCNT	1000 年				100 年				
	10 年				1 年				
RSECAR	ENB	10 秒			1 秒				
RMINAR	ENB	10 分			1 分				
RHRAR	ENB	-	10 時間		1 時間				
RWKAR	ENB	-	-	-	-	曜日			
RDAYAR	ENB	-	10 日		1 日				
RMONAR	ENB	-	-	10 月	1 月				
RCR1	CF	-	-	CIE	AIE	-	-	AF	
RCR2	PEF	PES2	PES1	PES0	RTCEN	ADJ	RESET	START	
RYRAR	1000 年				100 年				
	10 年				1 年				
RCR3	ENB	-	-	-	-	-	-	-	
PADRH	PA31DR	PA30DR	PA29DR	PA28DR	PA27DR	PA26DR	PA25DR	PA24DR	I/O ポート
	PA23DR	PA22DR	PA21DR	PA20DR	PA19DR	PA18DR	PA17DR	PA16DR	
PADRL	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR	
	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
PAPRH	PA31PR	PA30PR	PA29PR	PA28PR	PA27PR	PA26PR	PA25PR	PA24PR	
	PA23PR	PA22PR	PA21PR	PA20PR	PA19PR	PA18PR	PA17PR	PA16PR	
PAPRL	PA15PR	PA14PR	PA13PR	PA12PR	PA11PR	PA10PR	PA9PR	PA8PR	
	PA7PR	PA6PR	PA5PR	PA4PR	PA3PR	PA2PR	PA1PR	PA0PR	
PBDRH	PB31DR	PB30DR	PB29DR	PB28DR	PB27DR	PB26DR	PB25DR	PB24DR	
	PB23DR	PB22DR	PB21DR	PB20DR	PB19DR	PB18DR	PB17DR	PB16DR	
PBDRL	PB15DR	PB14DR	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR	
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
PBPRH	PB31PR	PB30PR	PB29PR	PB28PR	PB27PR	PB26PR	PB25PR	PB24PR	
	PB23PR	PB22PR	PB21PR	PB20PR	PB19PR	PB18PR	PB17PR	PB16PR	
PBPRL	PB15PR	PB14PR	PB13PR	PB12PR	PB11PR	PB10PR	PB9PR	PB8PR	
	PB7PR	PB6PR	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR	PB0PR	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
PCDRH	-	-	-	-	-	-	-	-	I/O ポート
	-	-	PC21DR	PC20DR	PC19DR	PC18DR	PC17DR	PC16DR	
PCDRL	PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR	
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
PCPRH	-	-	-	-	-	-	PC25PR	PC24PR	
	PC23PR	PC22PR	PC21PR	PC20PR	PC19PR	PC18PR	PC17PR	PC16PR	
PCPRL	PC15PR	PC14PR	PC13PR	PC12PR	PC11PR	PC10PR	PC9PR	PC8PR	
	PC7PR	PC6PR	PC5PR	PC4PR	PC3PR	PC2PR	PC1PR	PC0PR	
PDDR	-	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PDPRH	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	PD16PR	
PDPRL	PD15PR	PD14PR	PD13PR	PD12PR	PD11PR	PD10PR	PD9PR	PD8PR	
	PD7PR	PD6PR	PD5PR	PD4PR	PD3PR	PD2PR	PD1PR	PD0PR	
PEPR	-	-	-	-	-	-	-	-	
	PE7PR	PE6PR	PE5PR	PE4PR	PE3PR	PE2PR	PE1PR	PE0PR	
PFDR	-	-	-	-	-	-	-	-	
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
PFPR	-	-	-	-	-	-	-	-	
	PF7PR	PF6PR	PF5PR	PF4PR	PF3PR	PF2PR	PF1PR	PF0PR	
PAIORH	PA31IOR	PA30IOR	PA29IOR	PA28IOR	PA27IOR	PA26IOR	PA25IOR	PA24IOR	PFC
	PA23IOR	PA22IOR	PA21IOR	PA20IOR	PA19IOR	PA18IOR	PA17IOR	PA16IOR	
PAIORL	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR	
	PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR	
PACR8	-	-	PA31MD1	PA31MD0	-	-	PA30MD1	PA30MD0	
	-	-	PA29MD1	PA29MD0	-	-	PA28MD1	PA28MD0	
PACR7	-	PA27MD2	PA27MD1	PA27MD0	-	PA26MD2	PA26MD1	PA26MD0	
	-	PA25MD2	PA25MD1	PA25MD0	-	-	PA24MD1	PA24MD0	
PACR6	-	-	-	PA23MD0	-	-	-	PA22MD0	
	-	-	-	PA21MD0	-	-	-	PA20MD0	
PACR5	-	-	-	PA19MD0	-	-	-	PA18MD0	
	-	-	-	PA17MD0	-	-	-	PA16MD0	
PACR4	-	-	-	PA15MD0	-	-	-	PA14MD0	
	-	-	-	PA13MD0	-	-	-	PA12MD0	
PACR3	-	-	-	PA11MD0	-	-	-	PA10MD0	
	-	-	-	PA9MD0	-	-	-	PA8MD0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
PACR2	-	-	-	PA7MD0	-	-	-	PA6MD0	PFC
	-	-	-	PA5MD0	-	-	-	PA4MD0	
PACR1	-	-	-	PA3MD0	-	-	-	PA2MD0	
	-	-	-	PA1MD0	-	-	-	PA0MD0	
CKIOCR	-	-	-	-	-	-	-	CKIOOE	
PBIORH	PB31IOR	PB30IOR	PB29IOR	PB28IOR	PB27IOR	PB26IOR	PB25IOR	PB24IOR	
	PB23IOR	PB22IOR	PB21IOR	PB20IOR	PB19IOR	PB18IOR	PB17IOR	PB16IOR	
PBIORL	PB15IOR	PB14IOR	PB13IOR	PB12IOR	PB11IOR	PB10IOR	PB9IOR	PB8IOR	
	PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR	
PBCR8	-	-	PB31MD1	PB31MD0	-	PB30MD2	PB30MD1	PB30MD0	
	-	PB29MD2	PB29MD1	PB29MD0	-	PB28MD2	PB28MD1	PB28MD0	
PBCR7	-	-	PB27MD1	PB27MD0	-	PB26MD2	PB26MD1	PB26MD0	
	-	PB25MD2	PB25MD1	PB25MD0	-	PB24MD2	PB24MD1	PB24MD0	
PBCR6	-	-	PB23MD1	PB23MD0	-	PB22MD2	PB22MD1	PB22MD0	
	-	PB21MD2	PB21MD1	PB21MD0	-	PB20MD2	PB20MD1	PB20MD0	
PBCR5	-	-	PB19MD1	PB19MD0	-	-	PB18MD1	PB18MD0	
	-	-	PB17MD1	PB17MD0	-	-	PB16MD1	PB16MD0	
PBCR4	-	-	-	PB15MD0	-	-	-	PB14MD0	
	-	-	-	PB13MD0	-	-	-	PB12MD0	
PBCR3	-	-	-	PB11MD0	-	-	-	PB10MD0	
	-	-	-	PB9MD0	-	-	-	PB8MD0	
PBCR2	-	-	-	PB7MD0	-	-	-	PB6MD0	
	-	-	-	PB5MD0	-	-	-	PB4MD0	
PBCR1	-	-	-	PB3MD0	-	-	-	PB2MD0	
	-	-	-	PB1MD0	-	-	-	PB0MD0	
PCIORH	-	-	-	-	-	-	-	-	
	-	-	PC21IOR	PC20IOR	PC19IOR	PC18IOR	PC17IOR	PC16IOR	
PCIORL	PC15IOR	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR	
	PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR	
PCCR7	-	-	-	-	-	-	-	-	
	-	-	PC25MD1	PC25MD0	-	-	PC24MD1	PC24MD0	
PCCR6	-	-	PC23MD1	PC23MD0	-	-	PC22MD1	PC22MD0	
	-	-	PC21MD1	PC21MD0	-	-	PC20MD1	PC20MD0	
PCCR5	-	-	-	PC19MD0	-	-	-	PC18MD0	
	-	-	-	PC17MD0	-	-	-	PC16MD0	
PCCR4	-	-	-	PC15MD0	-	-	-	PC14MD0	
	-	-	-	PC13MD0	-	-	PC12MD1	PC12MD0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
PCCR3	-	-	PC11MD1	PC11MD0	-	-	-	PC10MD0	PFC
	-	-	-	PC9MD0	-	-	-	PC8MD0	
PCCR2	-	-	-	PC7MD0	-	-	PC6MD1	PC6MD0	
	-	-	PC5MD1	PC5MD0	-	-	PC4MD1	PC4MD0	
PCCR1	-	-	PC3MD1	PC3MD0	-	-	PC2MD1	PC2MD0	
	-	-	-	PC1MD0	-	-	-	PC0MD0	
PDIOR	-	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR	
	PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR	
PDCR5	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	PD16MD1	PD16MD0	
PDCR4	-	-	PD15MD1	PD15MD0	-	-	PD14MD1	PD14MD0	
	-	-	PD13MD1	PD13MD0	-	-	PD12MD1	PD12MD0	
PDCR3	-	-	PD11MD1	PD11MD0	-	-	PD10MD1	PD10MD0	
	-	-	PD9MD1	PD9MD0	-	-	PD8MD1	PD8MD0	
PDCR2	-	-	PD7MD1	PD7MD0	-	-	PD6MD1	PD6MD0	
	-	-	PD5MD1	PD5MD0	-	-	PD4MD1	PD4MD0	
PDCR1	-	-	-	PD3MD0	-	-	-	PD2MD0	
	-	-	-	PD1MD0	-	-	-	PD0MD0	
PECR2	-	-	-	PE7MD0	-	-	-	PE6MD0	
	-	-	-	PE5MD0	-	-	-	PE4MD0	
PECR1	-	-	-	PE3MD0	-	-	-	PE2MD0	
	-	-	-	PE1MD0	-	-	-	PE0MD0	
PFIOR	-	-	-	-	-	-	-	-	
	PF7IOR	PF6IOR	PF5IOR	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR	
PFCR2	-	-	-	PF7MD0	-	-	PF6MD1	PF6MD0	
	-	-	PF5MD1	PF5MD0	-	-	PF4MD1	PF4MD0	
PFCR1	-	-	-	PF3MD0	-	-	PF2MD1	PF2MD0	
	-	-	PF1MD1	PF1MD0	-	-	PF0MD1	PF0MD0	
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	MTU2
TCR_4	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_3	-	BFE	BFB	BFA	MD3	MD2	MD1	MD0	
TMDR_4	-	BFE	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIORH_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_4	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TIER_4	TTGE	TTGE2	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	MTU2
TOER	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B	
TGCR	-	BDC	N	P	FB	WF	VF	UF	
TOCR1	-	PSYE	-	-	TOCL	TOCS	OLSN	PLSP	
TOCR2	BF1	BF0	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
TCNT_3									
TCNT_4									
TCDR									
TDDR									
TGRA_3									
TGRB_3									
TGRA_4									
TGRB_4									
TCNTS									
TCBR									
TGRC_3									
TGRD_3									
TGRC_4									
TGRD_4									
TSR_3	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TSR_4	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TITCR	T3AEN	3ACOR2	3ACOR1	3ACOR0	T4VEN	4VCOR2	4VCOR1	4VCOR0	
TITCNT	-	3ACNT2	3ACNT1	3ACNT0	-	4VCNT2	4VCNT1	4VCNT0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TBTCR	-	-	-	-	-	-	BTE1	BTE0	MTU2
TDER	-	-	-	-	-	-	-	TDER	
TOLBR	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
TBTM_3	-	-	-	-	-	-	TTSB	TTSA	
TBTM_4	-	-	-	-	-	-	TTSB	TTSA	
TADCR	BF1	BF0	-	-	-	-	-	-	
	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE	
TADCORA_4									
TADCORB_4									
TADCOBRA_4									
TADCOBRB_4									
TWCR	CCE	-	-	-	-	-	-	WRE	
TSTR	CST4	CST3	-	-	-	CST2	CST1	CST0	
TSYR	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0	
TCSYSTR	SCH0	SCH1	SCH2	SCH3	SCH4	-	SCH3S	SCH4S	
TRWER	-	-	-	-	-	-	-	RWE	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_0	-	BFE	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0									
TGRA_0									
TGRB_0									
TGRC_0									
TGRD_0									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TGRE_0									MTU2
TGRF_0									
TIER2_0	TTGE2	-	-	-	-	-	TGIEF	TGIEE	
TSR2_0	-	-	-	-	-	-	TGFF	TGFE	
TBTM	-	-	-	-	-	TTSE	TTSB	TTSA	
TCR_1	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_1	-	BFE	BFB	BFA	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_1	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_1									
TGRA_1									
TGRB_1									
TICCR	-	-	-	-	I2BE	I2AE	I1BE	I1AE	
TCR_2	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_2	-	BFE	BFB	BFA	MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_2	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_2									
TGRA_2									
TGRB_2									
TCNTU_5									
TGRU_5									
TCRU_5	-	-	-	-	-	-	TPSC1	TPSC0	
TIORU_5	-	-	-	IOC4	IOC3	IOC2	IOC1	IOC0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	
TCNTV_5									MTU2	
TGRV_5										
TCRV_5	-	-	-	-	-	-	TPSC1	TPSC0		
TIORV_5	-	-	-	IOC4	IOC3	IOC2	IOC1	IOC0		
TCNTW_5										
TGRW_5										
TCRW_5	-	-	-	-	-	-	TPSC1	TPSC0		
TIORW_5	-	-	-	IOC4	IOC3	IOC2	IOC1	IOC0		
TSR_5	-	-	-	-	-	CMFU5	CMFV5	CMFW5		
TIER_5	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W		
TSTR_5	-	-	-	-	-	CSTU5	CSTV5	CSTW5		
TCNTCMPCLR	-	-	-	-	-	CMPCLR5U	CMPCLR5V	CMPCLR5W		
T8TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		TMR
T8TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
T8TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0		
T8TCSR_1	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0		
T8TCORA_0										
T8TCORA_1										
T8TCORB_0										
T8TCORB_1										
T8TCNT_0										
T8TCNT_1										
T8TCCR_0	-	-	-	-	TMRIS	-	ICKS1	ICKS0		
T8TCCR_1	-	-	-	-	TMRIS	-	ICKS1	ICKS0		
ADDRA									ADC	
ADDRB				-	-	-	-	-		
ADDRC				-	-	-	-	-		
ADDRD				-	-	-	-	-		

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
ADDRE									ADC
				-	-	-	-	-	
ADDRF									
				-	-	-	-	-	
ADDRG									
				-	-	-	-	-	
ADDRH									
				-	-	-	-	-	
ADCSR	ADF	ADIE	ADST	-	TRGS1	TRGS0	-	-	
	CKS1	CKS0	MDS2	MDS1	MDS0	CH2	CH1	CH0	
DADR0									DAC
DADR1									
DACR	DAOE1	DAOE0	DAE	-	-	-	-	-	
SCSMR_0	-	-	-	-	-	-	-	-	SCIF
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	CKS1	CKS0	
SCBRR_0									
SCSCR_0	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_0									
SCFSR_0	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_0									
SCFCR_0	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
SCFDR_0	-	-	-	T4	T3	T2	T1	T0	
	-	-	-	R4	R3	R2	R1	R0	
SCSPTR_0	-	-	-	-	-	-	-	-	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR_0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	ORER	
SCSMR_1	-	-	-	-	-	-	-	-	
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	CKS1	CKS0	
SCBRR_1									
SCSCR_1	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_1									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SCFSR_1	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	SCIF
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_1									
SCFCR_1	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
SCFDR_1	-	-	-	T4	T3	T2	T1	T0	
	-	-	-	R4	R3	R2	R1	R0	
SCSPTR_1	-	-	-	-	-	-	-	-	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR_1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	ORER	
SCSMR_2	-	-	-	-	-	-	-	-	
	C/A	CHR	PE	O/E	STOP	-	CKS1	CKS0	
SCBRR_2									
SCSCR_2	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_2									
SCFSR_2	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_2									
SCFCR_2	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
SCFDR_2	-	-	-	T4	T3	T2	T1	T0	
	-	-	-	R4	R3	R2	R1	R0	
SCSPTR_2	-	-	-	-	-	-	-	-	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR_2	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	ORER	
SCSMR_3	-	-	-	-	-	-	-	-	
	C/A	CHR	PE	O/E	STOP	-	CKS1	CKS0	
SCBRR_3									
SCSCR_3	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_3									
SCFSR_3	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SCFRDR_3									SCIF
SCFCR_3	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
SCFDR_3	-	-	-	T4	T3	T2	T1	T0	
	-	-	-	R4	R3	R2	R1	R0	
SCSPTR_3	-	-	-	-	-	-	-	-	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR_3	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	ORER	
SCSMR_4	-	-	-	-	-	-	-	-	
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	CKS1	CKS0	
SCBRR_4									
SCSCR_4	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_4									
SCFSR_4	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_4									
SCFCR_4	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
SCFDR_4	-	-	-	T4	T3	T2	T1	T0	
	-	-	-	R4	R3	R2	R1	R0	
SCSPTR_4	-	-	-	-	-	-	-	-	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR_4	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	ORER	
SCSMR_5	-	-	-	-	-	-	-	-	
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	CKS1	CKS0	
SCBRR_5									
SCSCR_5	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_5									
SCFSR_5	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_5									
SCFCR_5	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SCFDR_5	-	-	-	T4	T3	T2	T1	T0	SCIF
	-	-	-	R4	R3	R2	R1	R0	
SCSPTR_5	-	-	-	-	-	-	-	-	
	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	RTSDT	
SCLSR_5									
								ORER	
SCSMR_6	-	-	-	-	-	-	-	-	
	C/Ā	CHR	PE	O/Ē	STOP	-	CKS1	CKS0	
SCBRR_6									
SCSCR_6	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_6									
SCFSR_6	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_6									
SCFCR_6	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
SCFDR_6	-	-	-	T4	T3	T2	T1	T0	
	-	-	-	R4	R3	R2	R1	R0	
SCSPTR_6	-	-	-	-	-	-	-	-	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR_6	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	ORER	
SCSMR_7	-	-	-	-	-	-	-	-	
	C/Ā	CHR	PE	O/Ē	STOP	-	CKS1	CKS0	
SCBRR_7									
SCSCR_7	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_7									
SCFSR_7	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_7									
SCFCR_7	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	
SCFDR_7	-	-	-	T4	T3	T2	T1	T0	
	-	-	-	R4	R3	R2	R1	R0	
SCSPTR_7	-	-	-	-	-	-	-	-	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SCLSR_7	-	-	-	-	-	-	-	-	SCIF
	-	-	-	-	-	-	-	ORER	
SSICR_0	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN	SSI
	CHNL1	CHNL0	DWL2	DWL1	DWL0	SWL2	SWL1	SWL0	
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	
	-	CKDV2	CKDV1	CKDV0	MUEN	-	TRMD	EN	
SSISR_0	-	-	-	DMRQ	UIRQ	OIEN	IIRQ	DIRQ	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	CHNO1	CHNO0	SWNO	IDST	
SSITDR_0									
SSIRDR_0									
SSICR_1	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN	
	CHNL1	CHNL0	DWL2	DWL1	DWL0	SWL2	SWL1	SWL0	
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	
	-	CKDV2	CKDV1	CKDV0	MUEN	-	TRMD	EN	
SSISR_1	-	-	-	DMRQ	UIRQ	OIEN	IIRQ	DIRQ	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	CHNO1	CHNO0	SWNO	IDST	
SSITDR_1									
SSIRDR_1									
ICCR1_0	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC3
ICCR2_0	BBSY	SCP	SDAO	SDAOP	SCL	-	IICRST	-	
ICMR_0	MLS	WAIT	-	-	BCWP	BS2	BC1	BC0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	IIC3
ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL_OVE	AAS	ADZ	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT_0									
ICDRR_0									
NF2CYC_0	-	-	-	-	-	-	-	NF2CYC	
ICCR1_1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	
ICCR2_1	BBSY	SCP	SDAO	SDAOP	SCL	-	IICRST	-	
ICMR_1	MLS	WAIT	-	-	BCWP	BS2	BC1	BC0	
ICIER_1	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_1	TDRE	TEND	RDRF	NACKF	STOP	AL_OVE	AAS	ADZ	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT_1									
ICDRR_1									
NF2CYC_1	-	-	-	-	-	-	-	NF2CYC	
ICCR1_2	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	
ICCR2_2	BBSY	SCP	SDAO	SDAOP	SCL	-	IICRST	-	
ICMR_2	MLS	WAIT	-	-	BCWP	BS2	BC1	BC0	
ICIER_2	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_2	TDRE	TEND	RDRF	NACKF	STOP	AL_OVE	AAS	ADZ	
SAR_2	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT_2									
ICDRR_2									
NF2CYC_2	-	-	-	-	-	-	-	NF2CYC	
MCR_0	MCR15	MCR14	-	-	-	TST2	TST1	TST0	RCAN-ET
	MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
GSR_0	-	-	-	-	-	-	-	-	
	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
BCR1_0	TSG1_3	TSG1_2	TSG1_1	TSG1_0	-	TSG2_2	TSG2_1	TSG2_0	
	-	-	SJW1	SJW0	-	-	-	BSP	
BCR0_0	-	-	-	-	-	-	-	-	
	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	
IRR_0	-	-	IRR13	IRR12	-	-	IRR9	IRR8	
	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
IMR_0	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TEC_0/REC_0	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	RCAN-ET
	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	
TXPR1_0	TXPR1_15	TXPR1_14	TXPR1_13	TXPR1_12	TXPR1_11	TXPR1_10	TXPR1_9	TXPR1_8	
	TXPR1_7	TXPR1_6	TXPR1_5	TXPR1_4	TXPR1_3	TXPR1_2	TXPR1_1	TXPR1_0	
TXPR0_0	TXPR0_15	TXPR0_14	TXPR0_13	TXPR0_12	TXPR0_11	TXPR0_10	TXPR0_9	TXPR0_8	
	TXPR0_7	TXPR0_6	TXPR0_5	TXPR0_4	TXPR0_3	TXPR0_2	TXPR0_1	-	
TXCR0_0	TXCR0_15	TXCR0_14	TXCR0_13	TXCR0_12	TXCR0_11	TXCR0_10	TXCR0_9	TXCR0_8	
	TXCR0_7	TXCR0_6	TXCR0_5	TXCR0_4	TXCR0_3	TXCR0_2	TXCR0_1	-	
TXACK0_0	TXACK0_15	TXACK0_14	TXACK0_13	TXACK0_12	TXACK0_11	TXACK0_10	TXACK0_9	TXACK0_8	
	TXACK0_7	TXACK0_6	TXACK0_5	TXACK0_4	TXACK0_3	TXACK0_2	TXACK0_1	-	
ABACK0_0	ABACK0_15	ABACK0_14	ABACK0_13	ABACK0_12	ABACK0_11	ABACK0_10	ABACK0_9	ABACK0_8	
	ABACK0_7	ABACK0_6	ABACK0_5	ABACK0_4	ABACK0_3	ABACK0_2	ABACK0_1	-	
RXPR0_0	RXPR0_15	RXPR0_14	RXPR0_13	RXPR0_12	RXPR0_11	RXPR0_10	RXPR0_9	RXPR0_8	
	RXPR0_7	RXPR0_6	RXPR0_5	RXPR0_4	RXPR0_3	RXPR0_2	RXPR0_1	RXPR0_0	
RFPR0_0	RFPR0_15	RFPR0_14	RFPR0_13	RFPR0_12	RFPR0_11	RFPR0_10	RFPR0_9	RFPR0_8	
	RFPR0_7	RFPR0_6	RFPR0_5	RFPR0_4	RFPR0_3	RFPR0_2	RFPR0_1	RFPR0_0	
MBIMR0_0	MBIMR0_15	MBIMR0_14	MBIMR0_13	MBIMR0_12	MBIMR0_11	MBIMR0_10	MBIMR0_9	MBIMR0_8	
	MBIMR0_7	MBIMR0_6	MBIMR0_5	MBIMR0_4	MBIMR0_3	MBIMR0_2	MBIMR0_1	MBIMR0_0	
UMSR0_0	UMSR0_15	UMSR0_14	UMSR0_13	UMSR0_12	UMSR0_11	UMSR0_10	UMSR0_9	UMSR0_8	
	UMSR0_7	UMSR0_6	UMSR0_5	UMSR0_4	UMSR0_3	UMSR0_2	UMSR0_1	UMSR0_0	
MB[0]. CONTROL0H (MCR15 = 1)	IDE	RTR	-	STDID10	STDID9	STDID8	STDID7	STDID6	
	STDID5	STDID4	STDID3	STDID2	STDID1	STDID0	EXTID17	EXTID16	
MB[0]. CONTROL0H (MCR15 = 0)	-	STDID10	STDID9	STDID8	STDID7	STDID6	STDID5	STDID4	
	STDID3	STDID2	STDID1	STDID0	RTR	IDE	EXTID17	EXTID16	
MB[0]. CONTROL0L	EXTID15	EXTID14	EXTID13	EXTID12	EXTID11	EXTID10	EXTID9	EXTID8	
	EXTID7	EXTID6	EXTID5	EXTID4	EXTID3	EXTID2	EXTID1	EXTID:0	
MB[0]. LAFMH (MCR15 = 1)	IDE_LAFM	-	-	STDID_ LAFM10	STDID_ LAFM9	STDID_ LAFM8	STDID_ LAFM7	STDID_ LAFM6	
	STDID_ LAFM5	STDID_ LAFM4	STDID_ LAFM3	STDID_ LAFM2	STDID_ LAFM1	STDID_ LAFM0	EXTID_ LAFM17	EXTID_ LAFM16	
MB[0]. LAFMH (MCR15 = 0)	-	STDID_ LAFM10	STDID_ LAFM9	STDID_ LAFM8	STDID_ LAFM7	STDID_ LAFM6	STDID_ LAFM5	STDID_ LAFM4	
	STDID_ LAFM3	STDID_ LAFM2	STDID_ LAFM1	STDID_ LAFM0	-	IDE_ LAFM	EXTID_ LAFM17	EXTID_ LAFM16	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
MB[0]. LAFML	EXTID_ LAFM15	EXTID_ LAFM14	EXTID_ LAFM13	EXTID_ LAFM12	EXTID_ LAFM11	EXTID_ LAFM10	EXTID_ LAFM9	EXTID_ LAFM8	RCAN-ET
	EXTID_ LAFM7	EXTID_ LAFM6	EXTID_ LAFM5	EXTID_ LAFM4	EXTID_ LAFM3	EXTID_ LAFM2	EXTID_ LAFM1	EXTID_ LAFM0	
MB[0]. MSG_DATA[0]	MSG_DATA_0								
MB[0]. MSG_DATA[1]	MSG_DATA_1								
MB[0]. MSG_DATA[2]	MSG_DATA_2								
MB[0]. MSG_DATA[3]	MSG_DATA_3								
MB[0]. MSG_DATA[4]	MSG_DATA_4								
MB[0]. MSG_DATA[5]	MSG_DATA_5								
MB[0]. MSG_DATA[6]	MSG_DATA_6								
MB[0]. MSG_DATA[7]	MSG_DATA_7								
MB[0]. CONTROL1H	-	-	NMC	-	-	MBC2	MBC1	MBC0	
MB[0]. CONTROL1L	-	-	-	-	DLC3	DLC2	DLC1	DLC0	
MB[1 ~ 15]. CONTROL0H (MCR15 = 1)	IDE	RTR	-	STDID10	STDID9	STDID8	STDID7	STDID6	
	STDID5	STDID4	STDID3	STDID2	STDID1	STDID0	EXTID17	EXTID16	
MB[1 ~ 15]. CONTROL0H (MCR15 = 0)	-	STDID10	STDID9	STDID8	STDID7	STDID6	STDID5	STDID4	
	STDID3	STDID2	STDID1	STDID0	RTR	IDE	EXTID17	EXTID16	
MB[1 ~ 15]. CONTROL0L	EXTID15	EXTID14	EXTID13	EXTID12	EXTID11	EXTID10	EXTID9	EXTID8	
	EXTID7	EXTID6	EXTID5	EXTID4	EXTID3	EXTID2	EXTID1	EXTID:0	
MB[1 ~ 15]. LAFMH (MCR15 = 1)	IDE_LAFM	-	-	STDID_ LAFM10	STDID_ LAFM9	STDID_ LAFM8	STDID_ LAFM7	STDID_ LAFM6	
	STDID_ LAFM5	STDID_ LAFM4	STDID_ LAFM3	STDID_ LAFM2	STDID_ LAFM1	STDID_ LAFM0	EXTID_ LAFM17	EXTID_ LAFM16	
MB[1 ~ 15]. LAFMH (MCR15 = 0)	-	STDID_ LAFM10	STDID_ LAFM9	STDID_ LAFM8	STDID_ LAFM7	STDID_ LAFM6	STDID_ LAFM5	STDID_ LAFM4	
	STDID_ LAFM3	STDID_ LAFM2	STDID_ LAFM1	STDID_ LAFM0	-	IDE_ LAFM	EXTID_ LAFM17	EXTID_ LAFM16	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
MB[1 ~ 15]. LAFML	EXTID_ LAFM15	EXTID_ LAFM14	EXTID_ LAFM13	EXTID_ LAFM12	EXTID_ LAFM11	EXTID_ LAFM10	EXTID_ LAFM9	EXTID_ LAFM8	RCAN-ET
	EXTID_ LAFM7	EXTID_ LAFM6	EXTID_ LAFM5	EXTID_ LAFM4	EXTID_ LAFM3	EXTID_ LAFM2	EXTID_ LAFM1	EXTID_ LAFM0	
MB[1 ~ 15]. MSG_DATA[0]	MSG_DATA_0								
MB[1 ~ 15]. MSG_DATA[1]	MSG_DATA_1								
MB[1 ~ 15]. MSG_DATA[2]	MSG_DATA_2								
MB[1 ~ 15]. MSG_DATA[3]	MSG_DATA_3								
MB[1 ~ 15]. MSG_DATA[4]	MSG_DATA_4								
MB[1 ~ 15]. MSG_DATA[5]	MSG_DATA_5								
MB[1 ~ 15]. MSG_DATA[6]	MSG_DATA_6								
MB[1 ~ 15]. MSG_DATA[7]	MSG_DATA_7								
MB[1 ~ 15]. CONTROL1H	-	-	NMC	ATX	DART	MBC2	MBC1	MBC0	
MB[1 ~ 15]. CONTROL1L	-	-	-	-	DLC3	DLC2	DLC1	DLC0	
MCR_1	MCR15	MCR14	-	-	-	TST2	TST1	TST0	
	MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
GSR_1	-	-	-	-	-	-	-	-	
	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
BCR1_1	TSG1_3	TSG1_2	TSG1_1	TSG1_0	-	TSG2_2	TSG2_1	TSG2_0	
	-	-	SJW1	SJW0	-	-	-	BSP	
BCR0_1	-	-	-	-	-	-	-	-	
	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	
IRR_1	-	-	IRR13	IRR12	-	-	IRR9	IRR8	
	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
IMR_1	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
TEC_1/REC_1	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	
	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TXPR1_1	TXPR1_15	TXPR1_14	TXPR1_13	TXPR1_12	TXPR1_11	TXPR1_10	TXPR1_9	TXPR1_8	RCAN-ET
	TXPR1_7	TXPR1_6	TXPR1_5	TXPR1_4	TXPR1_3	TXPR1_2	TXPR1_1	TXPR1_0	
TXPR0_1	TXPR0_15	TXPR0_14	TXPR0_13	TXPR0_12	TXPR0_11	TXPR0_10	TXPR0_9	TXPR0_8	
	TXPR0_7	TXPR0_6	TXPR0_5	TXPR0_4	TXPR0_3	TXPR0_2	TXPR0_1	-	
TXCR0_1	TXCR0_15	TXCR0_14	TXCR0_13	TXCR0_12	TXCR0_11	TXCR0_10	TXCR0_9	TXCR0_8	
	TXCR0_7	TXCR0_6	TXCR0_5	TXCR0_4	TXCR0_3	TXCR0_2	TXCR0_1	-	
TXACK0_1	TXACK0_15	TXACK0_14	TXACK0_13	TXACK0_12	TXACK0_11	TXACK0_10	TXACK0_9	TXACK0_8	
	TXACK0_7	TXACK0_6	TXACK0_5	TXACK0_4	TXACK0_3	TXACK0_2	TXACK0_1	-	
ABACK0_1	ABACK0_15	ABACK0_14	ABACK0_13	ABACK0_12	ABACK0_11	ABACK0_10	ABACK0_9	ABACK0_8	
	ABACK0_7	ABACK0_6	ABACK0_5	ABACK0_4	ABACK0_3	ABACK0_2	ABACK0_1	-	
RXPR0_1	RXPR0_15	RXPR0_14	RXPR0_13	RXPR0_12	RXPR0_11	RXPR0_10	RXPR0_9	RXPR0_8	
	RXPR0_7	RXPR0_6	RXPR0_5	RXPR0_4	RXPR0_3	RXPR0_2	RXPR0_1	RXPR0_0	
RFPR0_1	RFPR0_15	RFPR0_14	RFPR0_13	RFPR0_12	RFPR0_11	RFPR0_10	RFPR0_9	RFPR0_8	
	RFPR0_7	RFPR0_6	RFPR0_5	RFPR0_4	RFPR0_3	RFPR0_2	RFPR0_1	RFPR0_0	
MBIMR0_1	MBIMR0_15	MBIMR0_14	MBIMR0_13	MBIMR0_12	MBIMR0_11	MBIMR0_10	MBIMR0_9	MBIMR0_8	
	MBIMR0_7	MBIMR0_6	MBIMR0_5	MBIMR0_4	MBIMR0_3	MBIMR0_2	MBIMR0_1	MBIMR0_0	
UMSR0_1	UMSR0_15	UMSR0_14	UMSR0_13	UMSR0_12	UMSR0_11	UMSR0_10	UMSR0_9	UMSR0_8	
	UMSR0_7	UMSR0_6	UMSR0_5	UMSR0_4	UMSR0_3	UMSR0_2	UMSR0_1	UMSR0_0	
MB[0]. CONTROL0H (MCR15 = 1)	IDE	RTR	-	STDID10	STDID9	STDID8	STDID7	STDID6	
	STDID5	STDID4	STDID3	STDID2	STDID1	STDID0	EXTID17	EXTID16	
MB[0]. CONTROL0H (MCR15 = 0)	-	STDID10	STDID9	STDID8	STDID7	STDID6	STDID5	STDID4	
	STDID3	STDID2	STDID1	STDID0	RTR	IDE	EXTID17	EXTID16	
MB[0]. CONTROL0L	EXTID15	EXTID14	EXTID13	EXTID12	EXTID11	EXTID10	EXTID9	EXTID8	
	EXTID7	EXTID6	EXTID5	EXTID4	EXTID3	EXTID2	EXTID1	EXTID:0	
MB[0]. LAFMH (MCR15 = 1)	IDE_LAFM	-	-	STDID_ LAFM10	STDID_ LAFM9	STDID_ LAFM8	STDID_ LAFM7	STDID_ LAFM6	
	STDID_ LAFM5	STDID_ LAFM4	STDID_ LAFM3	STDID_ LAFM2	STDID_ LAFM1	STDID_ LAFM0	EXTID_ LAFM17	EXTID_ LAFM16	
MB[0]. LAFMH (MCR15 = 0)	-	STDID_ LAFM10	STDID_ LAFM9	STDID_ LAFM8	STDID_ LAFM7	STDID_ LAFM6	STDID_ LAFM5	STDID_ LAFM4	
	STDID_ LAFM3	STDID_ LAFM2	STDID_ LAFM1	STDID_ LAFM0	-	IDE_ LAFM	EXTID_ LAFM17	EXTID_ LAFM16	
MB[0]. LAFML	EXTID_ LAFM15	EXTID_ LAFM14	EXTID_ LAFM13	EXTID_ LAFM12	EXTID_ LAFM11	EXTID_ LAFM10	EXTID_ LAFM9	EXTID_ LAFM8	
	EXTID_ LAFM7	EXTID_ LAFM6	EXTID_ LAFM5	EXTID_ LAFM4	EXTID_ LAFM3	EXTID_ LAFM2	EXTID_ LAFM1	EXTID_ LAFM0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
MB[0]. MSG_DATA[0]	MSG_DATA_0								RCAN-ET
MB[0]. MSG_DATA[1]	MSG_DATA_1								
MB[0]. MSG_DATA[2]	MSG_DATA_2								
MB[0]. MSG_DATA[3]	MSG_DATA_3								
MB[0]. MSG_DATA[4]	MSG_DATA_4								
MB[0]. MSG_DATA[5]	MSG_DATA_5								
MB[0]. MSG_DATA[6]	MSG_DATA_6								
MB[0]. MSG_DATA[7]	MSG_DATA_7								
MB[0]. CONTROL1H	-	-	NMC	-	-	MBC2	MBC1	MBC0	
MB[0]. CONTROL1L	-	-	-	-	DLC3	DLC2	DLC1	DLC0	
MB[1 ~ 15]. CONTROL0H (MCR15 = 1)	IDE	RTR	-	STDID10	STDID9	STDID8	STDID7	STDID6	
	STDID5	STDID4	STDID3	STDID2	STDID1	STDID0	EXTID17	EXTID16	
MB[1 ~ 15]. CONTROL0H (MCR15 = 0)	-	STDID10	STDID9	STDID8	STDID7	STDID6	STDID5	STDID4	
	STDID3	STDID2	STDID1	STDID0	RTR	IDE	EXTID17	EXTID16	
MB[1 ~ 15]. CONTROL0L	EXTID15	EXTID14	EXTID13	EXTID12	EXTID11	EXTID10	EXTID9	EXTID8	
	EXTID7	EXTID6	EXTID5	EXTID4	EXTID3	EXTID2	EXTID1	EXTID:0	
MB[1 ~ 15]. LAFMH (MCR15 = 1)	IDE_LAFM	-	-	STDID_ LAFM10	STDID_ LAFM9	STDID_ LAFM8	STDID_ LAFM7	STDID_ LAFM6	
	STDID_ LAFM5	STDID_ LAFM4	STDID_ LAFM3	STDID_ LAFM2	STDID_ LAFM1	STDID_ LAFM0	EXTID_ LAFM17	EXTID_ LAFM16	
MB[1 ~ 15]. LAFMH (MCR15 = 0)	-	STDID_ LAFM10	STDID_ LAFM9	STDID_ LAFM8	STDID_ LAFM7	STDID_ LAFM6	STDID_ LAFM5	STDID_ LAFM4	
	STDID_ LAFM3	STDID_ LAFM2	STDID_ LAFM1	STDID_ LAFM0	-	IDE_ LAFM	EXTID_ LAFM17	EXTID_ LAFM16	
MB[1 ~ 15]. LAFML	EXTID_ LAFM15	EXTID_ LAFM14	EXTID_ LAFM13	EXTID_ LAFM12	EXTID_ LAFM11	EXTID_ LAFM10	EXTID_ LAFM9	EXTID_ LAFM8	
	EXTID_ LAFM7	EXTID_ LAFM6	EXTID_ LAFM5	EXTID_ LAFM4	EXTID_ LAFM3	EXTID_ LAFM2	EXTID_ LAFM1	EXTID_ LAFM0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
MB[1 ~ 15]. MSG_DATA[0]	MSG_DATA_0								RCAN-ET
MB[1 ~ 15]. MSG_DATA[1]	MSG_DATA_1								
MB[1 ~ 15]. MSG_DATA[2]	MSG_DATA_2								
MB[1 ~ 15]. MSG_DATA[3]	MSG_DATA_3								
MB[1 ~ 15]. MSG_DATA[4]	MSG_DATA_4								
MB[1 ~ 15]. MSG_DATA[5]	MSG_DATA_5								
MB[1 ~ 15]. MSG_DATA[6]	MSG_DATA_6								
MB[1 ~ 15]. MSG_DATA[7]	MSG_DATA_7								
MB[1 ~ 15]. CONTROL1H	-	-	NMC	ATX	DART	MBC2	MBC1	MBC0	INTC
MB[1 ~ 15]. CONTROL1L	-	-	-	-	DLC3	DLC2	DLC1	DLC0	
DREQER0	-	-	IIC2TX	IIC2RX	IIC1TX	IIC1RX	IIC0TX	IIC0RX	
DREQER1	SCIF3TX	SCIF3RX	SCIF2TX	SCIF2RX	SCIF1TX	SCIF1RX	SCIF0TX	SCIF0RX	
DREQER2	SCIF7TX	SCIF7RX	SCIF6TX	SCIF6RX	SCIF5TX	SCIF5RX	SCIF4TX	SCIF4RX	
DREQER3	ADC	MTU4	MTU3	MTU2	MTU1	MTU0	RCAN1	RCAN0	SYSTEM
DSFR	IOKEEP	-	-	-	-	-	MRESF	NMIF	
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
DSCNT	-	-	-	-	-	CKS2	CKS1	CKS0	
RAMKP	-	-	-	-	RAMKP3	RAMKP2	RAMKP1	RAMKP0	

28.3 各動作モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
SYCBEEEN	初期化	保持	保持	初期化 ^{*1}	-	保持	バス監視
SYCBESTS1	初期化	保持	保持	初期化 ^{*1}	-	保持	
SYCBESTS2	初期化	保持	保持	初期化 ^{*1}	-	保持	
SYCBESW	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS0CNT	初期化	保持	保持	初期化 ^{*1}	-	保持	BSC
CS0REC	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS1CNT	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS1REC	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS2CNT	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS2REC	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS3CNT	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS3REC	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS4CNT	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS4REC	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS5CNT	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS5REC	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS6CNT	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS6REC	初期化	保持	保持	初期化 ^{*1}	-	保持	
SDC0CNT	初期化	保持	保持	初期化 ^{*1}	-	保持	
SDC1CNT	初期化	保持	保持	初期化 ^{*1}	-	保持	
CSMOD0	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS1WCNT0	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS2WCNT0	初期化	保持	保持	初期化 ^{*1}	-	保持	
CSMOD1	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS1WCNT1	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS2WCNT1	初期化	保持	保持	初期化 ^{*1}	-	保持	
CSMOD2	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS1WCNT2	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS2WCNT2	初期化	保持	保持	初期化 ^{*1}	-	保持	
CSMOD3	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS1WCNT3	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS2WCNT3	初期化	保持	保持	初期化 ^{*1}	-	保持	
CSMOD4	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS1WCNT4	初期化	保持	保持	初期化 ^{*1}	-	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
CS2WCNT4	初期化	保持	保持	初期化 ^{*1}	-	保持	BSC
CSMOD5	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS1WCNT5	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS2WCNT5	初期化	保持	保持	初期化 ^{*1}	-	保持	
CSMOD6	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS1WCNT6	初期化	保持	保持	初期化 ^{*1}	-	保持	
CS2WCNT6	初期化	保持	保持	初期化 ^{*1}	-	保持	
SDRFCNT0	初期化	保持	保持	初期化 ^{*1}	-	保持	
SDRFCNT1	初期化	保持	保持	初期化 ^{*1}	-	保持	
SDIR0	初期化	保持	保持	初期化 ^{*1}	-	保持	
SDIR1	初期化	保持	保持	初期化 ^{*1}	-	保持	
SDPWDCNT	初期化	保持	保持	初期化 ^{*1}	-	保持	
SDDPWDCNT	初期化	保持	保持	初期化 ^{*1}	-	保持	
SD0ADR	初期化	保持	保持	初期化 ^{*1}	-	保持	
SD0TR	初期化	保持	保持	初期化 ^{*1}	-	保持	
SD0MOD	初期化	保持	保持	初期化 ^{*1}	-	保持	
SD1ADR	初期化	保持	保持	初期化 ^{*1}	-	保持	
SD1TR	初期化	保持	保持	初期化 ^{*1}	-	保持	
SD1MOD	初期化	保持	保持	初期化 ^{*1}	-	保持	
SDSTR	初期化	保持	保持	初期化 ^{*1}	-	保持	
SDCKSCNT	初期化	保持	保持	初期化 ^{*1}	-	保持	
DMCSADR0	初期化	保持	保持	初期化 ^{*1}	保持	保持	DMAC
DMCDADR0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCBCT0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMMOD0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCSADR1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCDADR1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCBCT1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMMOD1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCSADR2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCDADR2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCBCT2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMMOD2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCSADR3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCDADR3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCBCT3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMMOD3	初期化	保持	保持	初期化 ^{*1}	保持	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
DMCSADR4	初期化	保持	保持	初期化 ^{*1}	保持	保持	DMAC
DMCDADR4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCBCT4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMMOD4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCSADR5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCDADR5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCBCT5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMMOD5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCSADR6	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCDADR6	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCBCT6	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMMOD6	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCSADR7	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCDADR7	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCBCT7	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMMOD7	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRSADR0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRDADR0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRBCT0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRSADR1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRDADR1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRBCT1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRSADR2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRDADR2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRBCT2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRSADR3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRDADR3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRBCT3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRSADR4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRDADR4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRBCT4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRSADR5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRDADR5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRBCT5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRSADR6	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRDADR6	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRBCT6	初期化	保持	保持	初期化 ^{*1}	保持	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
DMRSADR7	初期化	保持	保持	初期化 ^{*1}	保持	保持	DMAC
DMRDADR7	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMRBCT7	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTA0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTB0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTA1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTB1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTA2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTB2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTA3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTB3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTA4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTB4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTA5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTB5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTA6	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTB6	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTA7	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMCNTB7	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMSCNT	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMICNT	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMICNTA	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMISTS	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMEDET	初期化	保持	保持	初期化 ^{*1}	保持	保持	
DMASTS	初期化	保持	保持	初期化 ^{*1}	保持	保持	
BAR0	初期化	保持	保持	初期化 ^{*1}	保持	保持	UBC
BAMR0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
BDR0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
BDMR0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
BAR1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
BAMR1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
BDR1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
BDMR1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
BBR0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
BBR1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
BRCCR	初期化	保持	保持	初期化 ^{*1}	保持	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
CCR1	初期化	保持	保持	初期化 ^{*1}	保持	保持	キャッシュ
CCR2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
ACSWR	初期化	保持	保持	初期化 ^{*1}	-	保持	BSC
SDIR ^{*2}	初期化	保持	保持	初期化 ^{*1}	-	保持	H-UDI
ICR0	初期化	保持	保持	初期化 ^{*1}	-	保持	INTC
ICR1	初期化	保持	保持	初期化 ^{*1}	-	保持	
ICR2	初期化	保持	保持	初期化 ^{*1}	-	保持	
IRQRR	初期化	保持	保持	初期化 ^{*1}	-	保持	
PINTER	初期化	保持	保持	初期化 ^{*1}	-	保持	
PIRR	初期化	保持	保持	初期化 ^{*1}	-	保持	
IBCR	初期化	保持	保持	初期化 ^{*1}	-	保持	
IBNR	初期化	保持 ^{*3}	保持	初期化 ^{*1}	-	保持	
IPR01	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR02	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR05	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR06	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR07	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR08	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR09	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR10	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR11	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR12	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR13	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR14	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR15	初期化	保持	保持	初期化 ^{*1}	-	保持	
IPR16	初期化	保持	保持	初期化 ^{*1}	-	保持	
WTCSR	初期化	保持	初期化	初期化 ^{*1}	-	保持	WDT
WTCNT	初期化	保持	初期化	初期化 ^{*1}	-	保持	
WRCSR	初期化 ^{*4}	保持	初期化	初期化 ^{*1}	-	保持	
FRQCR	初期化 ^{*4}	保持	保持	初期化 ^{*1}	-	保持	CPG
STBCR	初期化	保持	保持	初期化 ^{*1}	-	保持	SYSTEM
STBCR2	初期化	保持	保持	初期化 ^{*1}	-	保持	
SYSCR1	初期化	保持	保持	初期化 ^{*1}	-	保持	
SYSCR2	初期化	保持	保持	初期化 ^{*1}	-	保持	
STBCR3	初期化	保持	保持	初期化 ^{*1}	-	保持	
STBCR4	初期化	保持	保持	初期化 ^{*1}	-	保持	
STBCR5	初期化	保持	保持	初期化 ^{*1}	-	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール	
R64CNT	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持	保持 ^{*5}	RTC	
RSECCNT	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持	保持 ^{*5}		
RMINCNT	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持	保持 ^{*5}		
RHRCNT	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持	保持 ^{*5}		
RWKCNT	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持	保持 ^{*5}		
RDAYCNT	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持	保持 ^{*5}		
RMONCNT	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持	保持 ^{*5}		
RYRCNT	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持 ^{*5}	保持	保持 ^{*5}		
RSECAR	保持 ^{*8}	保持	保持	保持 ^{*8}	保持	保持		
RMINAR	保持 ^{*8}	保持	保持	保持 ^{*8}	保持	保持		
RHRAR	保持 ^{*8}	保持	保持	保持 ^{*8}	保持	保持		
RWKAR	保持 ^{*8}	保持	保持	保持 ^{*8}	保持	保持		
RDAYAR	保持 ^{*8}	保持	保持	保持 ^{*8}	保持	保持		
RMONAR	保持 ^{*8}	保持	保持	保持 ^{*8}	保持	保持		
RCR1	初期化	初期化	保持	初期化	保持	保持		
RCR2	初期化	初期化 ^{*6}	保持	初期化	保持	保持		
RYRAR	保持	保持	保持	保持	保持	保持		
RCR3	初期化	保持	保持	初期化	保持	保持		
PADRH	初期化	保持	保持	初期化 ^{*1}	-	保持		I/O ポート
PADRL	初期化	保持	保持	初期化 ^{*1}	-	保持		
PAPRH	不定	保持	保持	初期化 ^{*1}	-	保持		
PAPRL	不定	保持	保持	初期化 ^{*1}	-	保持		
PBDRH	初期化	保持	保持	初期化 ^{*1}	-	保持		
PBDRL	初期化	保持	保持	初期化 ^{*1}	-	保持		
PBPRH	不定	保持	保持	初期化 ^{*1}	-	保持		
PBPRL	不定	保持	保持	初期化 ^{*1}	-	保持		
PCDRH	初期化	保持	保持	初期化 ^{*1}	-	保持		
PCDRL	初期化	保持	保持	初期化 ^{*1}	-	保持		
PCPRH	不定	保持	保持	初期化 ^{*1}	-	保持		
PCPRL	不定	保持	保持	初期化 ^{*1}	-	保持		
PDDRH	初期化	保持	保持	初期化 ^{*1}	-	保持		
PDDRL	初期化	保持	保持	初期化 ^{*1}	-	保持		
PDPRH	不定	保持	保持	初期化 ^{*1}	-	保持		
PDPRL	不定	保持	保持	初期化 ^{*1}	-	保持		
PEPRL	不定	保持	保持	初期化 ^{*1}	-	保持		
PFDR	不定	保持	保持	初期化 ^{*1}	-	保持		
PFPR	不定	保持	保持	初期化 ^{*1}	-	保持		

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
PAIORH	初期化	保持	保持	初期化 ^{*1}	-	保持	PFC
PAIORL	初期化	保持	保持	初期化 ^{*1}	-	保持	
PACR8	初期化	保持	保持	初期化 ^{*1}	-	保持	
PACR7	初期化	保持	保持	初期化 ^{*1}	-	保持	
PACR6	初期化	保持	保持	初期化 ^{*1}	-	保持	
PACR5	初期化	保持	保持	初期化 ^{*1}	-	保持	
PACR4	初期化	保持	保持	初期化 ^{*1}	-	保持	
PACR3	初期化	保持	保持	初期化 ^{*1}	-	保持	
PACR2	初期化	保持	保持	初期化 ^{*1}	-	保持	
PACR1	初期化	保持	保持	初期化 ^{*1}	-	保持	
CKIOCR	初期化	保持	保持	初期化 ^{*1}	-	保持	
PBIORH	初期化	保持	保持	初期化 ^{*1}	-	保持	
PBIORL	初期化	保持	保持	初期化 ^{*1}	-	保持	
PBCR8	初期化	保持	保持	初期化 ^{*1}	-	保持	
PBCR7	初期化	保持	保持	初期化 ^{*1}	-	保持	
PBCR6	初期化	保持	保持	初期化 ^{*1}	-	保持	
PBCR5	初期化	保持	保持	初期化 ^{*1}	-	保持	
PBCR4	初期化	保持	保持	初期化 ^{*1}	-	保持	
PBCR3	初期化	保持	保持	初期化 ^{*1}	-	保持	
PBCR2	初期化	保持	保持	初期化 ^{*1}	-	保持	
PBCR1	初期化	保持	保持	初期化 ^{*1}	-	保持	
PCIORH	初期化	保持	保持	初期化 ^{*1}	-	保持	
PCIORL	初期化	保持	保持	初期化 ^{*1}	-	保持	
PCCR7	初期化	保持	保持	初期化 ^{*1}	-	保持	
PCCR6	初期化	保持	保持	初期化 ^{*1}	-	保持	
PCCR5	初期化	保持	保持	初期化 ^{*1}	-	保持	
PCCR4	初期化	保持	保持	初期化 ^{*1}	-	保持	
PCCR3	初期化	保持	保持	初期化 ^{*1}	-	保持	
PCCR2	初期化	保持	保持	初期化 ^{*1}	-	保持	
PCCR1	初期化	保持	保持	初期化 ^{*1}	-	保持	
PDIORH	初期化	保持	保持	初期化 ^{*1}	-	保持	
PDIORL	初期化	保持	保持	初期化 ^{*1}	-	保持	
PDCR5	初期化	保持	保持	初期化 ^{*1}	-	保持	
PDCR4	初期化	保持	保持	初期化 ^{*1}	-	保持	
PDCR3	初期化	保持	保持	初期化 ^{*1}	-	保持	
PDCR2	初期化	保持	保持	初期化 ^{*1}	-	保持	
PDCR1	初期化	保持	保持	初期化 ^{*1}	-	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
PECR2	初期化	保持	保持	初期化 ^{*1}	-	保持	PFC
PECR1	初期化	保持	保持	初期化 ^{*1}	-	保持	
PFIOR	初期化	保持	保持	初期化 ^{*1}	-	保持	
PFCR2	初期化	保持	保持	初期化 ^{*1}	-	保持	
PFCR1	初期化	保持	保持	初期化 ^{*1}	-	保持	
TCR_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCR_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TMDR_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TMDR_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIORH_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIORL_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIORH_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIORL_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIER_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIER_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TOER	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGCR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TOCR1	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TOCR2	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCNT_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCNT_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCDR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TDDR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRA_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRB_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRA_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRB_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCNTS	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCBR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRC_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRD_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRC_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRD_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TSR_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TSR_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TITCR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
TITCNT	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	MTU2
TBTCR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TDER	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TOLBR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TBTM_3	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TBTM_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TADCR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TADCORA_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TADCORB_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TADCOBRA_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TADCOBRB_4	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TSYCR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TWCR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TSTR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TSYR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCSYSTR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TRWER	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCR_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TMDR_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIORH_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIORL_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIER_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TSR_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCNT_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRA_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRB_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRC_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRD_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRE_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRF_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIER2_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TSR2_0	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TBTM	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCR_1	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TMDR_1	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIOR_1	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIER_1	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
TSR_1	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	MTU2
TCNT_1	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRA_1	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRB_1	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TICCR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCR_2	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TMDR_2	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIOR_2	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIER_2	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TSR_2	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCNT_2	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRA_2	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRB_2	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCNTU_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRU_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCRU_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIORU_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCNTV_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRV_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCRV_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIORV_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCNTW_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TGRW_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCRW_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIORW_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TSR_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TIER_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TSTR_5	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
TCNTCMPCLR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
T8TCR_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	TMR
T8TCR_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
T8TCSR_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
T8TCSR_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
T8TCORA_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
T8TCORA_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
T8TCORB_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
T8TCORB_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	TMR
T8TCNT_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
T8TCNT_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
T8TCCR_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
T8TCCR_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
ADDRA	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	ADC
ADDRB	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
ADDRC	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
ADDRD	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
ADDRE	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
ADDRF	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
ADDRG	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
ADDRH	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
ADCSR	初期化	保持	初期化	初期化 ^{*1}	初期化	保持	
DADR0	初期化	保持	保持	初期化 ^{*1}	初期化	保持	
DADR1	初期化	保持	保持	初期化 ^{*1}	初期化	保持	
DACR	初期化	保持	保持	初期化 ^{*1}	初期化	保持	SCIF
SCSMR_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCBRR_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSCR_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFTDR_0	不定	保持	保持	初期化 ^{*1}	保持	保持	
SCFSR_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFRDR_0	不定	保持	保持	初期化 ^{*1}	保持	保持	
SCFCR_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFDR_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSPTR_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCLSR_0	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSMR_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCBRR_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSCR_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFTDR_1	不定	保持	保持	初期化 ^{*1}	保持	保持	
SCFSR_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFRDR_1	不定	保持	保持	初期化 ^{*1}	保持	保持	
SCFCR_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFDR_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSPTR_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
SCLSR_1	初期化	保持	保持	初期化 ^{*1}	保持	保持	SCIF
SCSMR_2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCBRR_2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSCR_2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFTDR_2	不定	保持	保持	初期化 ^{*1}	保持	保持	
SCFSR_2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFRDR_2	不定	保持	保持	初期化 ^{*1}	保持	保持	
SCFCR_2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFDR_2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSPTR_2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCLSR_2	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSMR_3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCBRR_3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSCR_3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFTDR_3	不定	保持	保持	初期化 ^{*1}	保持	保持	
SCFSR_3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFRDR_3	不定	保持	保持	初期化 ^{*1}	保持	保持	
SCFCR_3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFDR_3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSPTR_3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCLSR_3	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSMR_4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCBRR_4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSCR_4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFTDR_4	不定	保持	保持	初期化 ^{*1}	保持	保持	
SCFSR_4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFRDR_4	不定	保持	保持	初期化 ^{*1}	保持	保持	
SCFCR_4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFDR_4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSPTR_4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCLSR_4	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSMR_5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCBRR_5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCSCR_5	初期化	保持	保持	初期化 ^{*1}	保持	保持	
SCFTDR_5	不定	保持	保持	初期化 ^{*1}	保持	保持	
SCFSR_5	初期化	保持	保持	初期化 ^{*1}	保持	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
SCFRDR_5	不定	保持	保持	初期化*1	保持	保持	SCIF
SCFCR_5	初期化	保持	保持	初期化*1	保持	保持	
SCFDR_5	初期化	保持	保持	初期化*1	保持	保持	
SCSPTR_5	初期化	保持	保持	初期化*1	保持	保持	
SCLSR_5	初期化	保持	保持	初期化*1	保持	保持	
SCSMR_6	初期化	保持	保持	初期化*1	保持	保持	
SCBRR_6	初期化	保持	保持	初期化*1	保持	保持	
SCSCR_6	初期化	保持	保持	初期化*1	保持	保持	
SCFTDR_6	不定	保持	保持	初期化*1	保持	保持	
SCFSR_6	初期化	保持	保持	初期化*1	保持	保持	
SCFRDR_6	不定	保持	保持	初期化*1	保持	保持	
SCFCR_6	初期化	保持	保持	初期化*1	保持	保持	
SCFDR_6	初期化	保持	保持	初期化*1	保持	保持	
SCSPTR_6	初期化	保持	保持	初期化*1	保持	保持	
SCLSR_6	初期化	保持	保持	初期化*1	保持	保持	
SCSMR_7	初期化	保持	保持	初期化*1	保持	保持	
SCBRR_7	初期化	保持	保持	初期化*1	保持	保持	
SCSCR_7	初期化	保持	保持	初期化*1	保持	保持	
SCFTDR_7	不定	保持	保持	初期化*1	保持	保持	
SCFSR_7	初期化	保持	保持	初期化*1	保持	保持	
SCFRDR_7	不定	保持	保持	初期化*1	保持	保持	
SCFCR_7	初期化	保持	保持	初期化*1	保持	保持	
SCFDR_7	初期化	保持	保持	初期化*1	保持	保持	
SCSPTR_7	初期化	保持	保持	初期化*1	保持	保持	
SCLSR_7	初期化	保持	保持	初期化*1	保持	保持	
SSICR_0	初期化	保持	保持	初期化*1	保持	保持	SSI
SSISR_0	初期化	保持	保持	初期化*1	保持	保持	
SSITDR_0	初期化	保持	保持	初期化*1	保持	保持	
SSIRDR_0	初期化	保持	保持	初期化*1	保持	保持	
SSICR_1	初期化	保持	保持	初期化*1	保持	保持	
SSISR_1	初期化	保持	保持	初期化*1	保持	保持	
SSITDR_1	初期化	保持	保持	初期化*1	保持	保持	
SSIRDR_1	初期化	保持	保持	初期化*1	保持	保持	
ICCR1_0	初期化	保持	保持	初期化*1	保持	保持	IIC3
ICCR2_0	初期化	保持	保持	初期化*1	保持	保持	
ICMR_0	初期化	保持	保持*7	初期化*1	保持*7	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
ICIER_0	初期化	保持	保持	初期化* ¹	保持	保持	IIC3
ICSR_0	初期化	保持	保持	初期化* ¹	保持	保持	
SAR_0	初期化	保持	保持	初期化* ¹	保持	保持	
ICDRT_0	初期化	保持	保持	初期化* ¹	保持	保持	
ICDRR_0	初期化	保持	保持	初期化* ¹	保持	保持	
NF2CYC_0	初期化	保持	保持	初期化* ¹	保持	保持	
ICCR1_1	初期化	保持	保持	初期化* ¹	保持	保持	
ICCR2_1	初期化	保持	保持	初期化* ¹	保持	保持	
ICMR_1	初期化	保持	保持* ⁷	初期化* ¹	保持* ⁷	保持	
ICIER_1	初期化	保持	保持	初期化* ¹	保持	保持	
ICSR_1	初期化	保持	保持	初期化* ¹	保持	保持	
SAR_1	初期化	保持	保持	初期化* ¹	保持	保持	
ICDRT_1	初期化	保持	保持	初期化* ¹	保持	保持	
ICDRR_1	初期化	保持	保持	初期化* ¹	保持	保持	
NF2CYC_1	初期化	保持	保持	初期化* ¹	保持	保持	
ICCR1_2	初期化	保持	保持	初期化* ¹	保持	保持	
ICCR2_2	初期化	保持	保持	初期化* ¹	保持	保持	
ICMR_2	初期化	保持	保持* ⁷	初期化* ¹	保持* ⁷	保持	
ICIER_2	初期化	保持	保持	初期化* ¹	保持	保持	
ICSR_2	初期化	保持	保持	初期化* ¹	保持	保持	
SAR_2	初期化	保持	保持	初期化* ¹	保持	保持	
ICDRT_2	初期化	保持	保持	初期化* ¹	保持	保持	
ICDRR_2	初期化	保持	保持	初期化* ¹	保持	保持	
NF2CYC_2	初期化	保持	保持	初期化* ¹	保持	保持	
MCR_0	初期化	保持	初期化	初期化* ¹	保持	保持	RCAN-ET
GSR_0	初期化	保持	初期化	初期化* ¹	保持	保持	
BCR1_0	初期化	保持	初期化	初期化* ¹	保持	保持	
BCR0_0	初期化	保持	初期化	初期化* ¹	保持	保持	
IRR_0	初期化	保持	初期化	初期化* ¹	保持	保持	
IMR_0	初期化	保持	初期化	初期化* ¹	保持	保持	
TEC_0/REC_0	初期化	保持	初期化	初期化* ¹	保持	保持	
TXPR1_0	初期化	保持	初期化	初期化* ¹	保持	保持	
TXPR0_0	初期化	保持	初期化	初期化* ¹	保持	保持	
TXCR0_0	初期化	保持	初期化	初期化* ¹	保持	保持	
TXACK0_0	初期化	保持	初期化	初期化* ¹	保持	保持	
ABACK0_0	初期化	保持	初期化	初期化* ¹	保持	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
RXPR0_0	初期化	保持	初期化	初期化 ^{*1}	保持	保持	RCAN-ET
RFPR0_0	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MBIMR0_0	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
UMSR0_0	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. CONTROL0H	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. CONTROL0L	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. LAFMH	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. LAFML	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[0]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[1]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[2]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[3]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[4]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[5]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[6]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[7]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. CONTROL1H	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. CONTROL1L	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MCR_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
GSR_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
BCR1_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
BCR0_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
IRR_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
IMR_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
TEC_1/REC_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
TXPR1_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	RCAN-ET
TXPR0_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
TXCR0_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
TXACK0_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
ABACK0_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
RXPR0_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
RFPR0_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MBIMR0_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
UMSR0_1	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. CONTROL0H	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. CONTROL0L	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. LAFMH	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. LAFML	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[0]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[1]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[2]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[3]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[4]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[5]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[6]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. MSG_DATA[7]	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. CONTROL1H	初期化	保持	初期化	初期化 ^{*1}	保持	保持	
MB[0 - 15]. CONTROL1L	初期化	保持	初期化	初期化 ^{*1}	保持	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール
DREQER0	初期化	保持	保持	初期化*1	-	保持	INTC
DREQER1	初期化	保持	保持	初期化*1	-	保持	
DREQER2	初期化	保持	保持	初期化*1	-	保持	
DREQER3	初期化	保持	保持	初期化*1	-	保持	
DSFR	初期化	保持	保持	保持	-	保持	SYSTEM
DSCNT	初期化	保持	保持	初期化*1	-	保持	
RAMKP	初期化	保持	保持	初期化*1	-	保持	

【注】 *1 ディープスタンバイモード中は初期化されませんが、ディープスタンバイモード解除時にパワーオンリセット例外処理が実行されるため、ディープスタンバイモード解除後は初期化されます。

*2 \overline{UDTRST} のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化

*3 BN[3:0]ビットは初期化

*4 WDT による内部パワーオンリセットでは保持

*5 カウントアップ続行

*6 RTCEN、START ビットは保持

*7 BC[3:0]ビットは初期化

*8 ENB ビットは初期化

29. 電気的特性

29.1 絶対最大定格

絶対最大定格を表 29.1 に示します。

表 29.1 絶対最大定格

項 目		記号	定格値	単位
電源電圧 (I/O)		PVcc	- 0.3 ~ 4.6	V
電源電圧 (内部電源)		VccR		
電源電圧 (PLL)		PLLVcc		
アナログ電源電圧		AVcc	- 0.3 ~ 4.6	V
アナログ基準電圧		AVref	- 0.3 ~ AVcc + 0.3	V
入力電圧	アナログ入力端子	V _{AN}	- 0.3 ~ AVcc + 0.3	V
	PC22 ~ PC25、PD15、PD16	V _{in}	- 0.3 ~ 5.5	V
	その他の端子	V _{in}	- 0.3 ~ PVcc + 0.3	V
動作温度		T _{opr}	- 20 ~ 70 (通常仕様品)	
			- 20 ~ 85 (広温度範囲仕様品)	
保存温度		T _{stg}	- 55 ~ 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

29.2 DC 特性

DC 特性を表 29.2、表 29.3 に示します。

表 29.2 DC 特性 (1) 【共通項目】 【通常仕様品】

条件 : $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,

$PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$

項目	記号	Min.	Typ.	Max.	単位	測定条件	
消費電流*	通常動作時	I_{cc}	-	120	180	mA	$f = 120MHz$
			-	100	160	mA	$f = 100MHz$
			-	80	140	mA	$f = 80MHz$
	スリープモード時	I_{sleep}	-	60	140	mA	$f = 120MHz$
			-	50	130	mA	$f = 100MHz$
			-	45	125	mA	$f = 80MHz$
	ソフトウェアスタンバイモード時	I_{sby}	-	5	30	mA	$T_a > 50$
			-	1.5	20	mA	$T_a = 50$
	ディープスタンバイモード時	I_{duty}	-	80	100	μA	$T_a > 50$ RAM 保持容量 0KB
			-	300	750	μA	$T_a > 50$ RAM 保持容量 8KB
			-	500	1500	μA	$T_a > 50$ RAM 保持容量 16KB
			-	750	2250	μA	$T_a > 50$ RAM 保持容量 24KB
			-	1000	3000	μA	$T_a > 50$ RAM 保持容量 32KB
			-	50	75	μA	$T_a = 50$ RAM 保持容量 0KB
			-	70	300	μA	$T_a = 50$ RAM 保持容量 8KB
			-	80	500	μA	$T_a = 50$ RAM 保持容量 16KB
			-	90	750	μA	$T_a = 50$ RAM 保持容量 24KB
			-	100	1000	μA	$T_a = 50$ RAM 保持容量 32KB
	入力リーク電流	全入力端子 (PC22 ~ PC25、PD15、 PD16、PE0 ~ PE7、EXTAL、 AUDIO_X1、RTC_X1 除く)	$ I_{in} $	-	-	1.0	μA
PC22 ~ PC25、PD15、PD16		-		-	20	μA	

項 目		記号	Min.	Typ.	Max.	単位	測定条件
スリープ状態 リーク電流	全入出力、出力端子 (オフ状態)	$ I_{FSI} $	-	-	1.0	μA	$V_{in} = 0.5 \sim$ $PV_{cc} - 0.5V$
入力プルアップ MOS 電流	\overline{UDTRST} 、UDTMS、UDTDI、 UDTCK、 $\overline{ASEBRK/ASEBRKAK}$	-lp	10	-	150	μA	$V_{in}=0V$
端子容量	全端子	C_m	-	-	20	pF	
アナログ電源 電流	A/D、D/A 変換中	I_{cc}	-	1	2	mA	
	A/D、D/A 変換待機時		-	1	2	μA	
アナログ基準電圧電流		I_{ref}	-	2	3	mA	

【使用上の注意】 A/D 変換器および D/A 変換器を使用しないときに、 AV_{cc} 、 AV_{ss} 端子を開放しないでください。

【注】 * 消費電流は、すべての出力端子およびプルアップ付き端子 (\overline{UDTRST} 、UDTMS、UDTDI、UDTCK、 $\overline{ASEBRK/ASEBRKAK}$) を無負荷状態にした場合の値で、 PV_{cc} 、 V_{ccR} 、 PLL_{Vcc} 系統で消費する電流の合計値です。
Typ.は参考値です。

表 29.2 DC 特性 (2) 【共通項目】 【広温度範囲仕様品】

条件: $PV_{cc} = V_{ccR} = PLL_{Vcc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} 、 $AV_{ref} = 3.0 \sim AV_{cc}$ 、
 $PV_{ss} = V_{ssR} = PLL_{V_{ss}} = AV_{ss} = 0V$

項 目		記号	Min.	Typ.	Max.	単位	測定条件
消費電流*	通常動作時	I_{cc}	-	100	160	mA	$I = 100MHz$
			-	80	140	mA	$I = 80MHz$
	スリープモード時	I_{sleep}	-	50	130	mA	$I = 100MHz$
			-	45	125	mA	$I = 80MHz$
	ソフトウェアスタンバイモード時	I_{sby}	-	5	40	mA	$T_a > 50$
			-	1.5	20	mA	$T_a = 50$
	ディーブスタンバイモード時	I_{dsby}	-	80	100	μA	$T_a > 50$ RAM 保持容量 0KB
			-	300	1000	μA	$T_a > 50$ RAM 保持容量 8KB
			-	500	2000	μA	$T_a > 50$ RAM 保持容量 16KB
			-	750	3000	μA	$T_a > 50$ RAM 保持容量 24KB
			-	1000	4000	μA	$T_a > 50$ RAM 保持容量 32KB
			-	50	75	μA	$T_a = 50$ RAM 保持容量 0KB
			-	50	75	μA	$T_a = 50$ RAM 保持容量 0KB

項 目		記号	Min.	Typ.	Max.	単位	測定条件
消費電流*	ディープスタンバイモード時	I_{subby}	-	70	300	μA	$T_a = 50$ RAM 保持容量 8KB
			-	80	500	μA	$T_a = 50$ RAM 保持容量 16KB
			-	90	750	μA	$T_a = 50$ RAM 保持容量 24KB
			-	100	1000	μA	$T_a = 50$ RAM 保持容量 32KB
入力リーク電流	全入力端子 (PC22 ~ PC25、PD15、 PD16、PE0 ~ PE7、EXTAL、 AUDIO_X1、RTC_X1 除く)	$ I_{\text{in}} $	-	-	1.0	μA	$V_{\text{in}} = 0.5 \sim$ $PV_{\text{cc}} - 0.5\text{V}$
	PC22 ~ PC25、PD15、PD16		-	-	20	μA	
スリープ状態 リーク電流	全入出力、出力端子 (オフ状態)	$ I_{\text{TSI}} $	-	-	1.0	μA	$V_{\text{in}} = 0.5 \sim$ $PV_{\text{cc}} - 0.5\text{V}$
入力プルアップ MOS 電流	$\overline{\text{UDTRST}}$ 、UDTMS、UDTDI、 UDTCK、 $\overline{\text{ASEBRK}}$ / $\overline{\text{ASEBRKAK}}$	-I _p	10	-	150	μA	$V_{\text{in}} = 0\text{V}$
端子容量	全端子	C_{in}	-	-	20	pF	
アナログ電源 電流	A/D、D/A 変換中	$I_{\text{A}(\text{cc})}$	-	1	2	mA	
	A/D、D/A 変換待機時		-	1	2	μA	
アナログ基準電圧電流		I _{ref}	-	2	3	mA	

【使用上の注意】 A/D 変換器および D/A 変換器を使用しないときに、 AV_{cc} 、 AV_{ss} 端子を開放しないでください。

【注】 * 消費電流は、すべての出力端子およびプルアップ付き端子 ($\overline{\text{UDTRST}}$ 、UDTMS、UDTDI、UDTCK、 $\overline{\text{ASEBRK}}$ / $\overline{\text{ASEBRKAK}}$) を無負荷状態にした場合の値で、 PV_{cc} 、 $V_{\text{cc}R}$ 、 PLL_{cc} 系統で消費する電流の合計値です。
Typ. は参考値です。

表 29.2 DC 特性 (3) 【I²C 関連端子*¹ を除く】条件: $PV_{CC} = V_{CC}R = PLLV_{CC} = 3.0 \sim 3.6V$, $AV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} - 0.3V$ AV_{CC} , $AV_{ref} = 3.0 \sim AV_{CC}$, $PV_{SS} = V_{SS}R = PLLV_{SS} = AV_{SS} = 0V$

項 目	記号	Min.	Typ.	Max.	単位	測定条件	
入力 High レベル電圧	\overline{RES} 、 \overline{MRES} 、 NMI 、 MD1、MD0、 MD_CLK1、MD_CLK0、 \overline{ASEMD} 、 \overline{UDTRST} 、 $\overline{ASEBRK/ASEBRKAK}$ 、 EXTAL、CKIO、 AUDIO_X1、RTC_X1	V_{IH}	$PV_{CC} - 0.5$	-	$PV_{CC} + 0.3$	V	
	PE7 ~ PE0	2.2	-	$AV_{CC} + 0.3$			
	その他の入力端子 (シュミット端子除く)	2.2	-	$PV_{CC} + 0.3$			
入力 Low レベル電圧	\overline{RES} 、 \overline{MRES} 、 NMI 、 MD1、MD0、 MD_CLK1、MD_CLK0、 \overline{ASEMD} 、 \overline{UDTRST} 、 $\overline{ASEBRK/ASEBRKAK}$ 、 EXTAL、CKIO、 AUDIO_X1、RTC_X1	V_{IL}	- 0.3	-	0.5	V	
	その他の入力端子 (シュミット端子除く)	- 0.3	-	0.8			
シュミットトリガ 入力特性	TIOC0A ~ TIOC0D、 TIOC1A、TIOC1B、 TIOC2A、TIOC2B、 TIOC3A ~ TIOC3D、 TIOC4A ~ TIOC4D、 TIC5U ~ TIC5W、 TCLKA ~ TCLKD、 SCK7 ~ SCK0、 RxD7 ~ RxD0、 IRQ7 ~ IRQ0* ² 、 PINT7 ~ PINT0	$V_T^+ (V_{IH})$	$PV_{CC} - 0.5$			V	
		$V_T^- (V_{IL})$			0.5	V	
		$V_T^+ - V_T^-$	0.2			V	
出力 High レベル電圧	全出力端子	V_{OH}	$PV_{CC} - 0.5$	-	-	V	$I_{OH} = - 200 \mu A$
出力 Low レベル電圧	全出力端子	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$
RAM スタンバイ電圧		V_{RAM}	3.0	-	-	V	
電源開始電圧		V_{CC_START}	-	0	0.8	V	
電源立ち上がり勾配		SV_{CC}	-	-	20	ms/V	

【注】 *1 PC22/IRQ0/SCL0/DREQ2、PC23/IRQ1/SDA0、PC24/IRQ2/SCL1、PC25/IRQ3/SDA1、PD15/SDA2、PD16/SCL2 端子（オープンドレイン端子）

*2 (PC22/)IRQ0、(PC23/)IRQ1、(PC24/)IRQ2、(PC25/)IRQ3 を除く

表 29.2 DC 特性（4）【I²C 関連端子*】

条件：PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 ~ 3.6V、AV_{cc} = 3.0 ~ 3.6V、PV_{cc}-0.3V AV_{cc} PV_{cc}、AV_{ref}=3.0 ~ AV_{cc}、
PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V

項 目	記号	Min.	Typ.	Max.	単位	測定条件
入力 High レベル電圧	PC22/DREQ2、 PC23、PC24、PC25、 PD15、PD16	V _{IH}	2.2	-	PV _{cc} + 0.3	V
入力 Low レベル電圧		V _{IL}	- 0.3	-	0.8	V
シュミットトリガ 入力特性	IRQ0/SCL0、 IRQ1/SDA0、 IRQ2/SCL1、 IRQ3/SDA1、 SDA2、SCL2	V _T ⁺ (V _{IH})	PV _{cc} × 0.7	-	5.5	V
		V _T ⁻ (V _{IL})	- 0.3	-	PV _{cc} × 0.3	V
		V _T ⁺ - V _T ⁻	PV _{cc} × 0.05	-	-	V
出力 Low レベル電圧	SCL0 ~ SCL2、 SDA0 ~ SDA2	V _{OL}	-	-	0.4	V I _{OL} = 3.0mA 時

【注】 * PC22/IRQ0/SCL0/DREQ2、PC23/IRQ1/SDA0、PC24/IRQ2/SCL1、PC25/IRQ3/SDA1、PD15/SDA2、PD16/SCL2 端子（オープンドレイン端子）

表 29.3 出力許容電流値（1）【通常仕様品】

条件：PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 ~ 3.6V、AV_{cc} = 3.0 ~ 3.6V、PV_{cc}-0.3V AV_{cc} PV_{cc}、AV_{ref}=3.0 ~ AV_{cc}、
PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V

項 目	記号	Min.	Typ.	Max.	単位
出力ローレベル 許容電流 (1 端子当たり)	SCL0 ~ SCL2、 SDA0 ~ SDA2	I _{OL}	-	-	10
	その他の端子				2
出力ローレベル許容電流（総和）	Σ I _{OL}	-	-	150	mA
出力ハイレベル許容電流（1 端子当たり）	-I _{OH}	-	-	2	mA
出力ハイレベル許容電流（総和）	Σ -I _{OH}	-	-	50	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は上記の値を超えないようにしてください。

表 29.3 出力許容電流値 (2) 【広温度範囲仕様品】

条件: $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$, $I = 80MHz$

項 目		記号	Min.	Typ.	Max.	単位
出力ローレベル 許容電流 (1端子当たり)	SCL0 ~ SCL2, SDA0 ~ SDA2	IoL	-	-	10	mA
	その他の端子				2	
出力ローレベル許容電流 (総和)		Σ IoL	-	-	150	mA
出力ハイレベル許容電流 (1端子当たり)		-IoH	-	-	2	mA
出力ハイレベル許容電流 (総和)		Σ -IoH	-	-	50	mA

【使用上の注意】

LSIの信頼性を確保するため、出力電流値は上記の値を超えないようにしてください。

表 29.3 出力許容電流値 (3) 【広温度範囲仕様品】

条件: $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$, $80MHz < I < 100MHz$

項 目		記号	Min.	Typ.	Max.	単位
出力ローレベル 許容電流 (1端子当たり)	SCL0 ~ SCL2, SDA0 ~ SDA2	IoL	-	-	10	mA
	その他の端子				2	
出力ローレベル許容電流 (総和)		Σ IoL	-	-	50	mA
出力ハイレベル許容電流 (1端子当たり)		-IoH	-	-	2	mA
出力ハイレベル許容電流 (総和)		Σ -IoH	-	-	50	mA

【使用上の注意】

LSIの信頼性を確保するため、出力電流値は上記の値を超えないようにしてください。

29.3 AC 特性

本 LSI の入力 は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 29.4 最大動作周波数

条件 : $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$

項 目		記号	Min.	Typ.	Max.	単位	備考
動作周波数	CPU クロック (I)	f	20	-	120	MHz	通常仕様品
					100		広温度範囲仕様品
	バスクロック (B)		20	-	60		
	周辺クロック (P)		5	-	40		

29.3.1 クロックタイミング

表 29.5 クロックタイミング

条件 : $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$

項 目	記号	Min.	Max.	単位	参照図
EXTAL、XTAL 水晶発振子周波数 (クロックモード 0)	-	10	15	MHz	29.1
EXTAL、XTAL 水晶発振子周波数 (クロックモード 2)	-	10	20	MHz	
AUDIO_X1、AUDIO_X2 水晶発振子周波数	-	10	25	MHz	
EXTAL クロック入力周波数 (クロックモード 0)	f_{EX}	10	15	MHz	
EXTAL クロック入力周波数 (クロックモード 2)	f_{EX}	10	30	MHz	
EXTAL クロック入力サイクル時間 (クロックモード 0)	f_{EXeye}	66.67	100	ns	
EXTAL クロック入力サイクル時間 (クロックモード 2)	f_{EXeye}	33.33	100	ns	
AUDIO_X1、AUDIO_CLK クロック入力周波数	f_{EX}	1	40	MHz	
AUDIO_X1、AUDIO_CLK クロック入力サイクル時間	t_{EXeye}	25	1000	ns	
EXTAL、AUDIO_X1、AUDIO_CLK クロック入力 Low レベルパルス幅	t_{EXL}	0.4	0.6	t_{eye}	
EXTAL、AUDIO_X1、AUDIO_CLK クロック入力 High レベルパルス幅	t_{EXH}	0.4	0.6	t_{eye}	
EXTAL、AUDIO_X1、AUDIO_CLK クロック入力立ち上がり時間	t_{EXr}	-	4	ns	29.2
EXTAL、AUDIO_X1、AUDIO_CLK クロック入力立ち下がり時間	t_{EXf}	-	4	ns	
CKIO クロック入力周波数	f_{CK}	20	60	MHz	
CKIO クロック入力サイクル時間	t_{CKIeye}	16.67	50	ns	
CKIO クロック入力 Low レベルパルス幅	t_{CKIL}	0.4	0.6	t_{CKIeye}	
CKIO クロック入力 High レベルパルス幅	t_{CKIH}	0.4	0.6	t_{CKIeye}	
CKIO クロック入力立ち上がり時間	t_{CKtr}	-	3	ns	
CKIO クロック入力立ち下がり時間	t_{CKf}	-	3	ns	

項目	記号	Min.	Max.	単位	参照図
CKIO クロック出力周波数	f_{OP}	20	60	MHz	29.3
CKIO クロック出力サイクル時間	t_{cyc}	16.67	50	ns	
CKIO クロック出力 Low レベルパルス幅	t_{CKOL}	$t_{cyc}/2$ - t_{CKOf}	-	ns	
CKIO クロック出力 High レベルパルス幅	t_{CKOH}	$t_{cyc}/2$ - t_{CKOf}	-	ns	
CKIO クロック出力立ち上がり時間	t_{CKOf}	-	3	ns	
CKIO クロック出力立ち下がり時間	t_{CKOf}	-	3	ns	
パワーオン発振安定時間	t_{OSC1}	10	-	ms	29.4
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	29.5
スタンバイ復帰発振安定時間 2	t_{OSC3}	10	-	ms	29.6
RTC クロック発振安定時間	t_{ROSC}	3	-	s	29.7

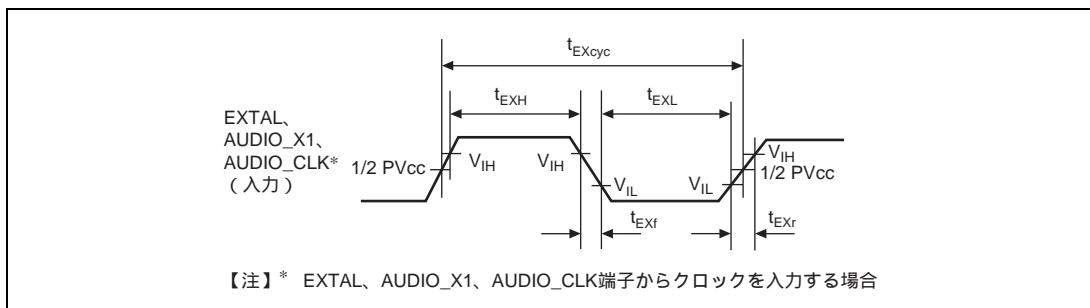


図 29.1 EXTAL、AUDIO_X1、AUDIO_CLK クロック入力タイミング

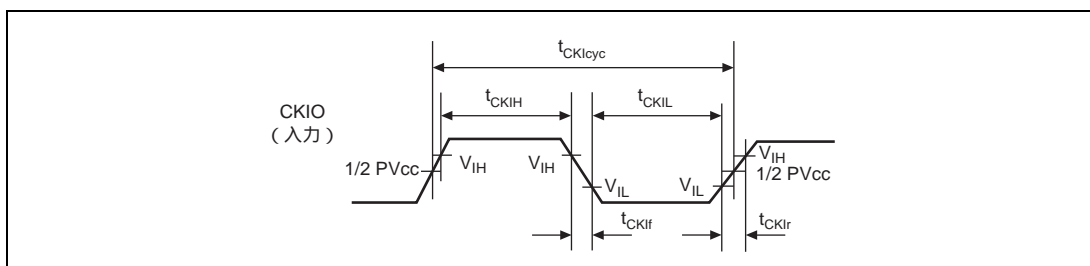


図 29.2 CKIO クロック入力タイミング

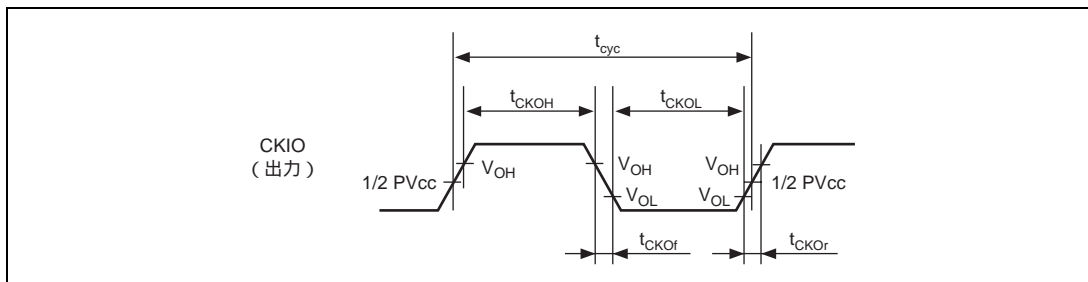
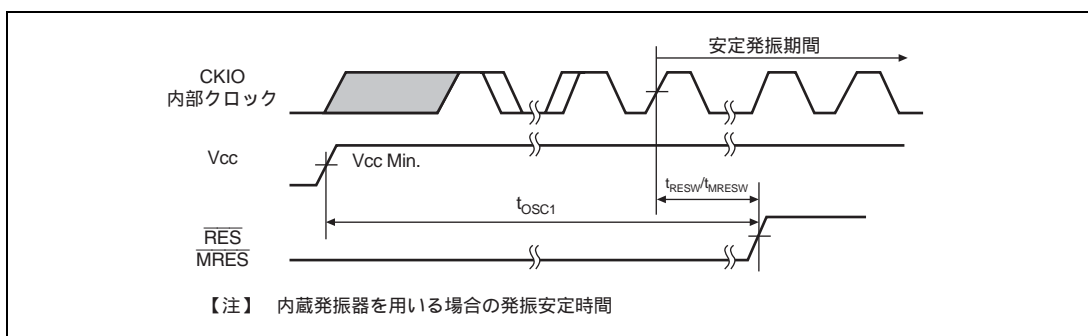
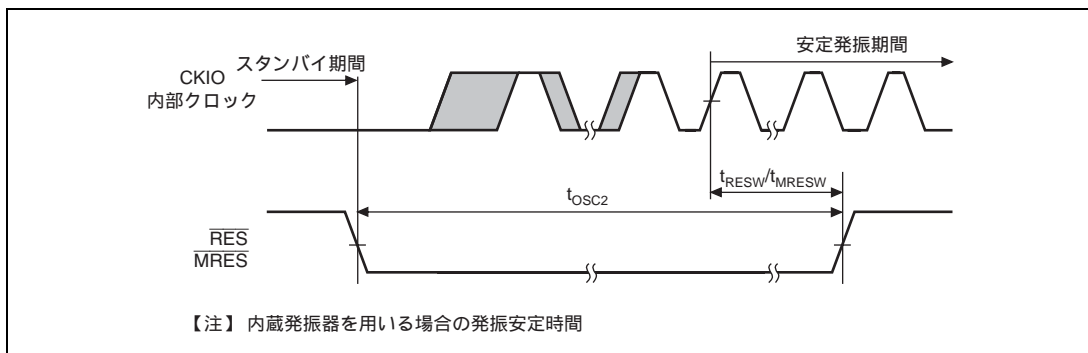


図 29.3 CKIO クロック出力タイミング



【注】 内蔵発振器を用いる場合の発振安定時間

図 29.4 パワーオン発振安定時間



【注】 内蔵発振器を用いる場合の発振安定時間

図 29.5 スタンバイ復帰時発振安定時間（リセットによる復帰）

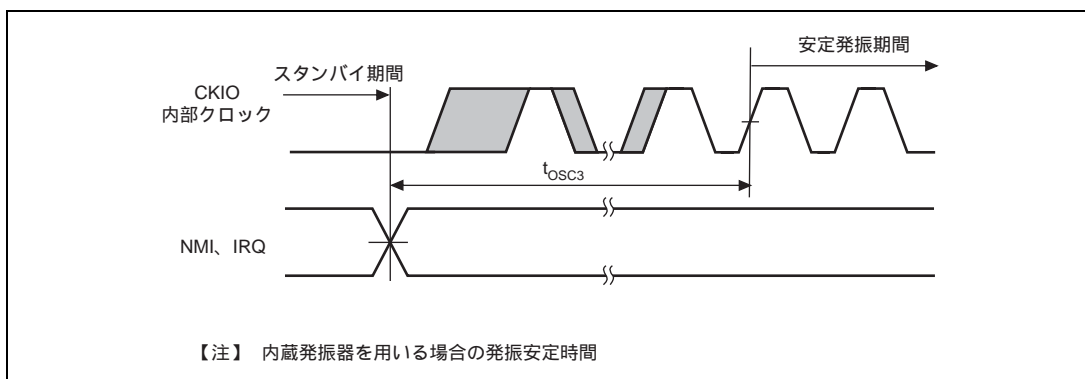


図 29.6 スタンバイ復帰時発振安定時間 (NMI、IRQ による復帰)

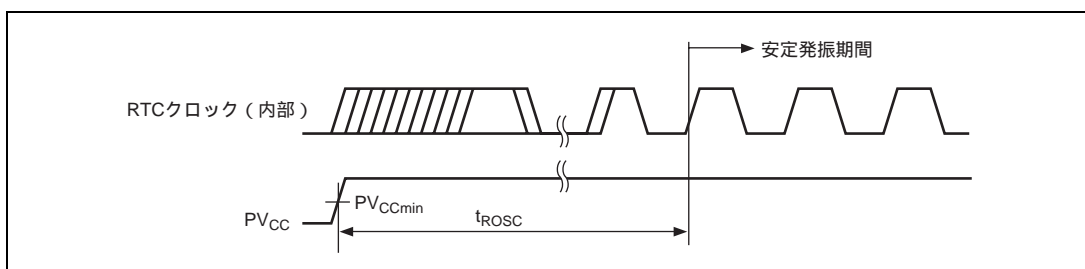


図 29.7 RTC クロック発振安定時間

29.3.2 制御信号タイミング

表 29.6 制御信号タイミング

条件 : $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,

$PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$

項目	記号	B = 60MHz		単位	参照図
		Min.	Max.		
RES パルス幅	t_{RESW}	20 ^{*2}	-	t_{yc}	29.4、29.5、 29.8
RES セットアップ時間 ^{*1}	t_{RESS}	200	-	ns	
MRES パルス幅	t_{MRESW}	20 ^{*3}	-	t_{yc}	
MRES セットアップ時間 ^{*1}	t_{MRESS}	200	-	ns	
NMI パルス幅	t_{NMIW}	20 ^{*4}	-	t_{yc}	29.6、29.9
NMI セットアップ時間 ^{*1}	t_{NMIS}	150	-	ns	
NMI ホールド時間	t_{NMIH}	10	-	ns	
IRQ7 ~ IRQ0 パルス幅	t_{IRQW}	20 ^{*4}	-	t_{yc}	
IRQ7 ~ IRQ0 セットアップ時間 ^{*1}	t_{IRQS}	150	-	ns	
IRQ7 ~ IRQ0 ホールド時間	t_{IRQH}	10	-	ns	
PINT7 ~ PINT0 セットアップ時間 ^{*1}	t_{PINTS}	150	-	ns	

- 【注】 *1 $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 、 NMI 、 $\text{IRQ7} \sim \text{IRQ0}$ および $\text{PINT7} \sim \text{PINT0}$ は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。
- *2 ソフトウェアスタンバイモード時またはディープスタンバイモード時、クロック通倍率が変化するときは、 $t_{\text{RESW}} = t_{\text{OSC2}}(\text{min})$ になります。
- *3 ソフトウェアスタンバイモード時またはディープスタンバイモード時は、 $t_{\text{MRESW}} = t_{\text{OSC2}}(\text{min})$ となります。
- *4 ソフトウェアスタンバイモード時またはディープスタンバイモード時は、 $t_{\text{NMIS}}/t_{\text{IRQW}} = t_{\text{OSC3}}(\text{min})$ となります。

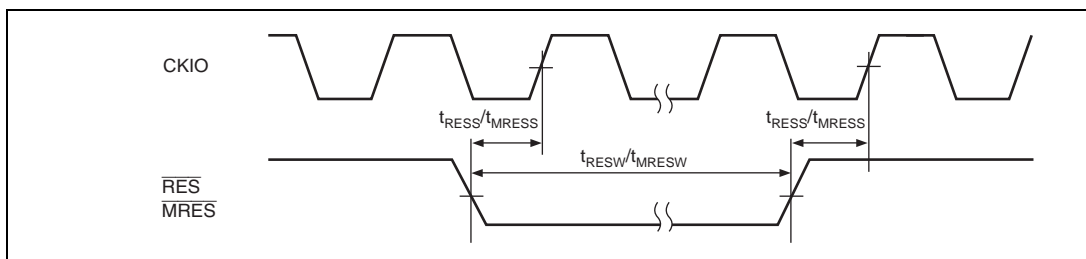


図 29.8 リセット入力タイミング

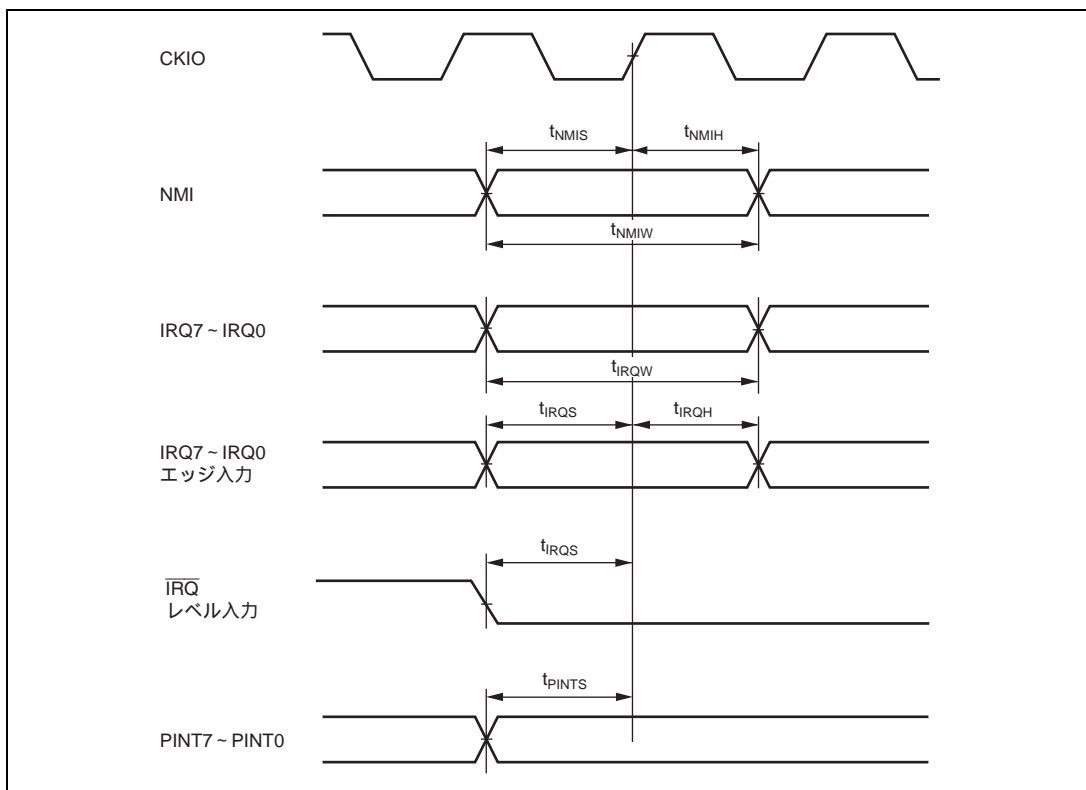


図 29.9 割り込み信号入力タイミング

29.3.3 バスタイミング

表 29.7 バスタイミング*1

条件 : $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} 、 $AV_{ref} = 3.0 \sim AV_{cc}$ 、
 $PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{cc} = 0V$

項目	記号	B = 60MHz*2		単位	参照図
		Min	Max.		
アドレス遅延時間 1 (外部空間)	t_{AD1}	-	13	ns	29.10 ~ 29.14
アドレス遅延時間 2 (SDRAM 空間)	t_{AD2}	1	13	ns	29.15 ~ 29.21
バイトコントロール遅延時間	t_{BCD}	-	13	ns	29.10 ~ 29.14
チップセレクト遅延時間 1 (外部空間)	t_{CSD1}	-	13	ns	29.10 ~ 29.14
チップセレクト遅延時間 2 (SDRAM 空間)	t_{CSD2}	1	13	ns	29.15 ~ 29.21
リードストロブ遅延時間	t_{RSD}	-	13	ns	29.10 ~ 29.14
リードデータセットアップ時間 1 (外部空間)	t_{RDS1}	13	-	ns	29.10 ~ 29.14
リードデータセットアップ時間 2 (SDRAM 空間)	t_{RDS2}	8	-	ns	29.15 ~ 29.21
リードデータホールド時間 1 (外部空間)	t_{RDH1}	0	-	ns	29.10 ~ 29.14
リードデータホールド時間 2 (SDRAM 空間)	t_{RDH2}	2	-	ns	29.15 ~ 29.21
ライトイネーブル遅延時間 1 (外部空間)	t_{WED1}	-	13	ns	29.10 ~ 29.14
ライトイネーブル遅延時間 2 (SDRAM 空間)	t_{WED2}	1	13	ns	29.15 ~ 29.21
ライトデータ遅延時間 1 (外部空間)	t_{WDD1}	-	13	ns	29.10 ~ 29.14
ライトデータ遅延時間 2 (SDRAM 空間)	t_{WDD2}	-	13	ns	29.15 ~ 29.21
ライトデータホールド時間 1 (外部空間)	t_{WDH1}	1	-	ns	29.10 ~ 29.14
ライトデータホールド時間 2 (SDRAM 空間)	t_{WDH2}	1	-	ns	29.15 ~ 29.21
外部ウェイトセットアップ時間	t_{WTS}	8	-	ns	29.14
外部ウェイトホールド時間	t_{WTH}	5	-	ns	29.14
SDRAS 遅延時間	t_{RASD}	1	13	ns	29.15 ~ 29.21
SDCAS 遅延時間	t_{CASD}	1	13	ns	29.15 ~ 29.21
DQM 遅延時間	t_{DQMD}	1	13	ns	29.15 ~ 29.21
CKE 遅延時間	t_{CKED}	1	13	ns	29.21

【注】 *1 パワーオンリセット例外処理、ディープスタンバイモードの解除処理内で、外部アドレス空間に対してライトする前および SDRAM の設定を行う前に、必ず ACSWR の ACOSW[3:0]ビットを B'0011 に設定してください。

*2 B (バスクロック) の f_{max} は、使用するシステム構成に応じてウェイト数とあわせて検討してください。

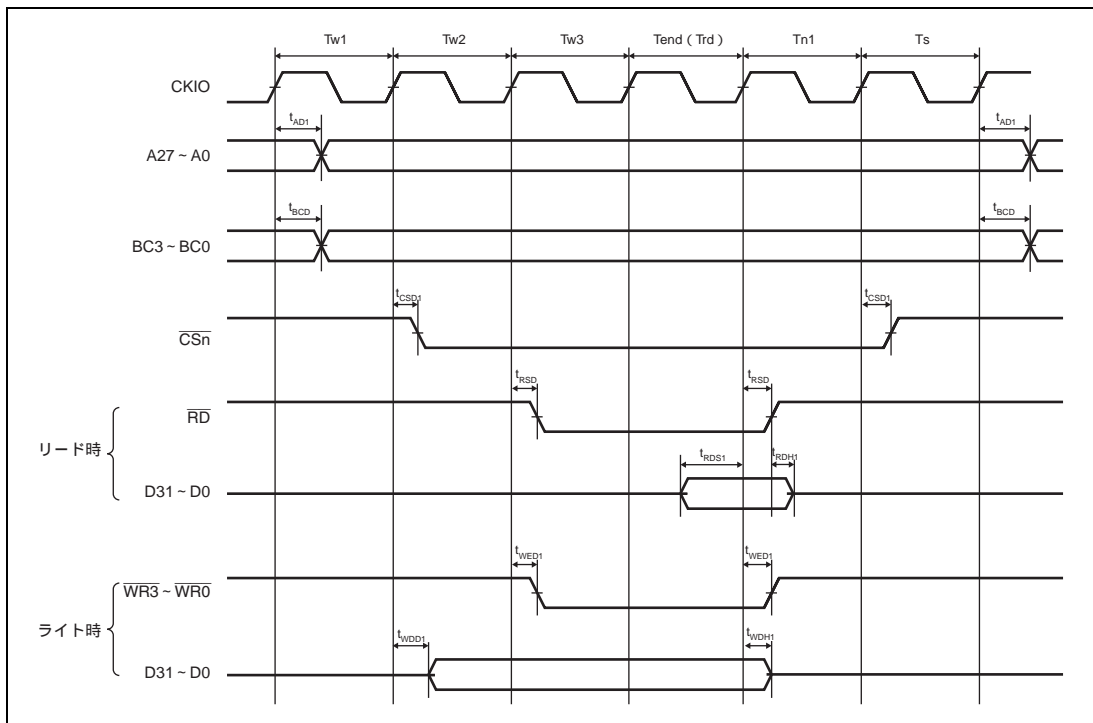


図 29.10 (1) 外部アドレス空間基本バスタイミング
 (ノーマルアクセス、リード/ライトサイクルウェイト3、CSアサートウェイト1、
 ライトデータ出力ウェイト1、WR/RDアサートウェイト2、ライトデータ出力遅延サイクル0、
 リード時/ライト時CS遅延サイクル1)

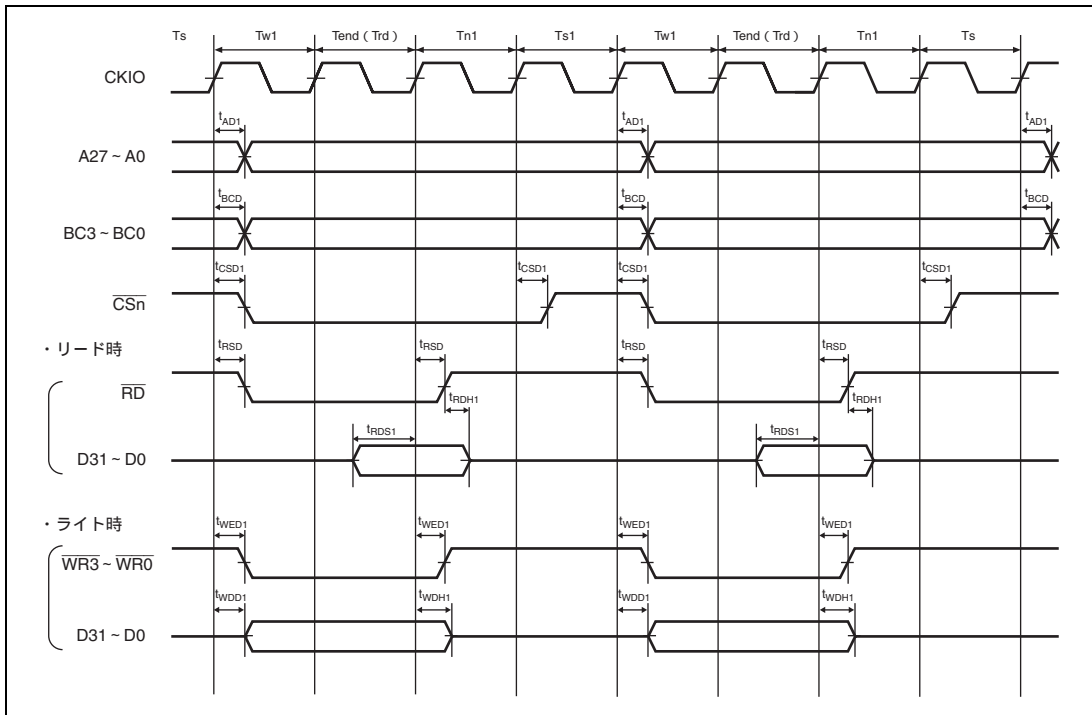


図 29.10 (2) 外部アドレス空間基本バスタイミング
 (ノーマルアクセス、データリカバリサイクル0、リード/ライトサイクルウェイト1、
 リード時/ライト時CS延長サイクル1、他ウェイト設定は0)

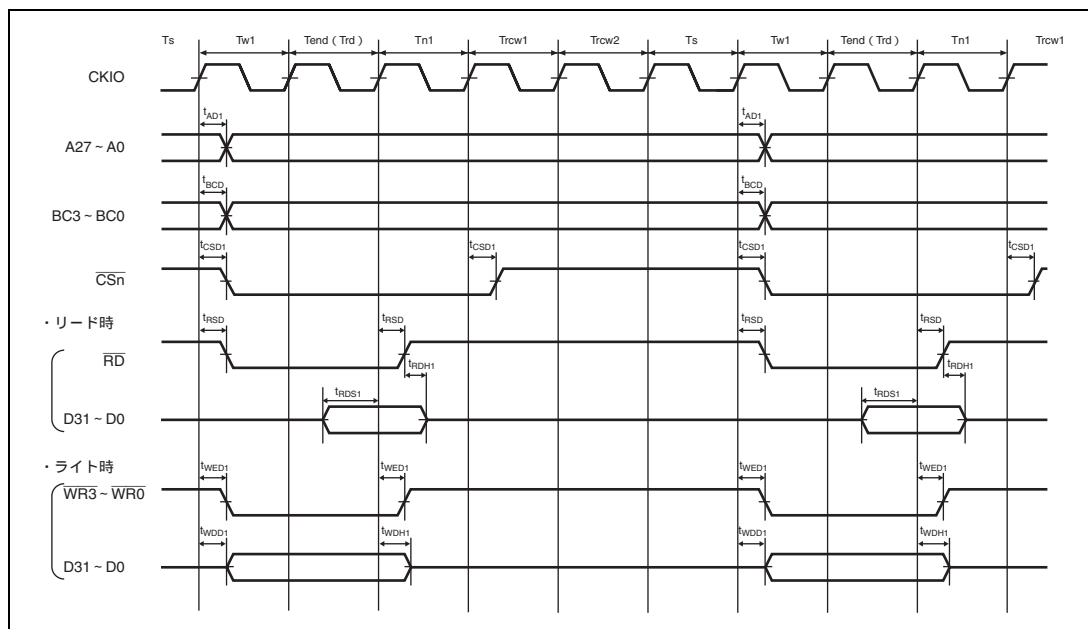


図 29.10 (3) 外部アドレス空間基本バスタイミング
 (ノーマルアクセス、データリカバリサイクル2、リード/ライトサイクルウェイト1、
 リード時/ライト時 CS 延長サイクル1、他ウェイト設定は0)

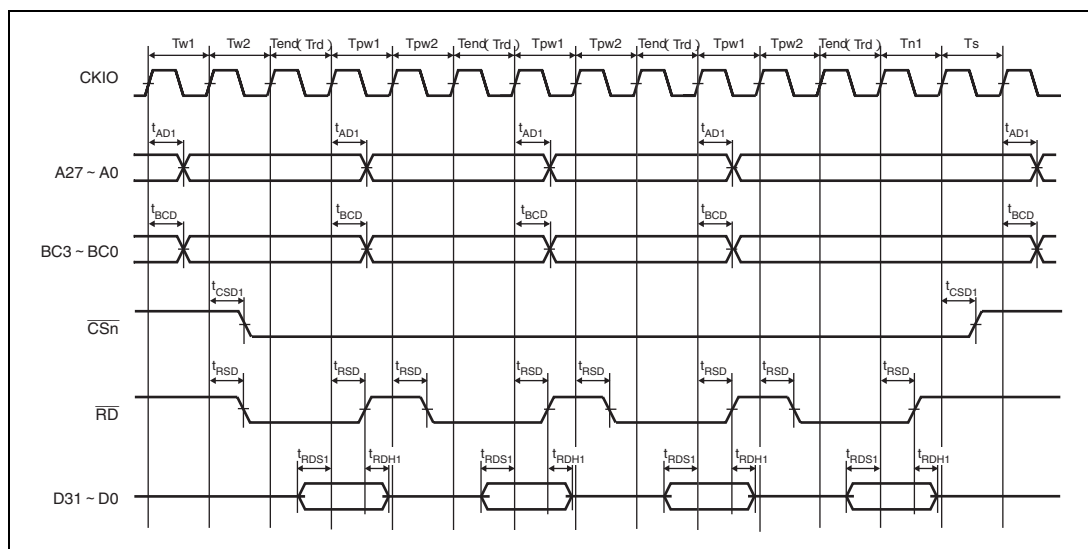


図 29.11 外部アドレス空間基本バスタイミング
 (ページリードアクセス、ノーマルアクセス互換モード、リードサイクルウェイト2、
 ページリードサイクルウェイト2、CS アサートウェイト1、RD アサートウェイト1、
 リード時 CS 延長サイクル1)

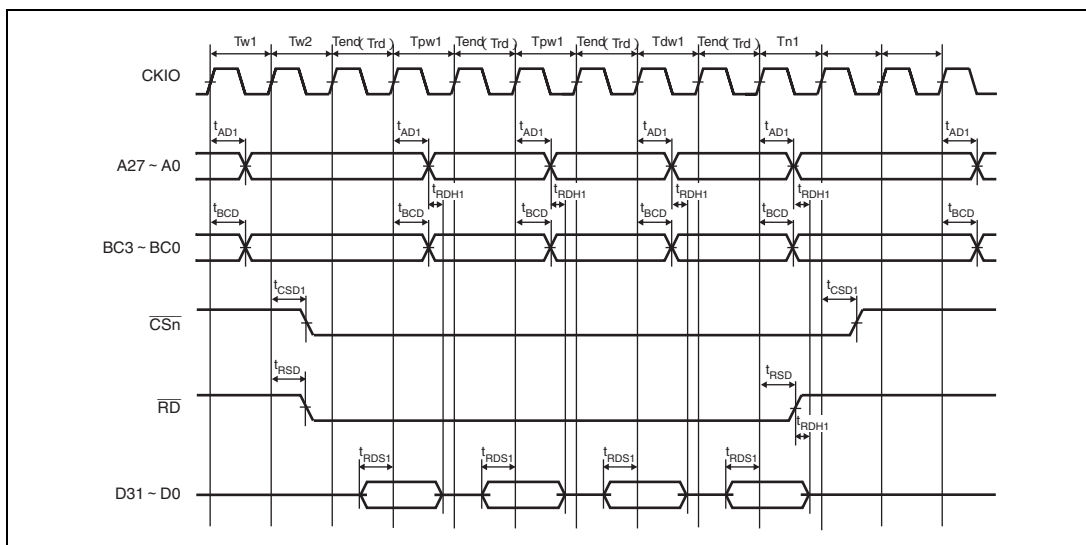


図 29.12 外部アドレス空間基本バスタイミング

(ページリードアクセス、外部リードデータ連続アサートモード、リードサイクルウェイト 2、ページリードサイクルウェイト 1、CS アサートウェイト 1、RD アサートウェイト 1、リード時 CS 延長サイクル 1)

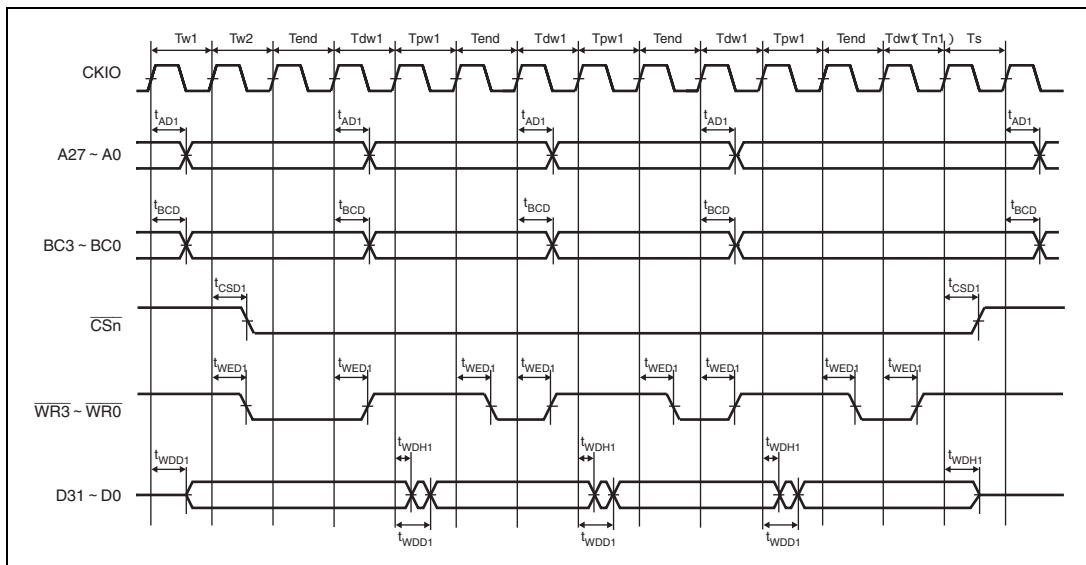


図 29.13 外部アドレス空間基本バスタイミング (ページライトアクセス、ライトサイクルウェイト 2、CS アサートウェイト 1、WR アサートウェイト 1、ライトデータ出力遅延サイクル 1、他ウェイト設定は 0)

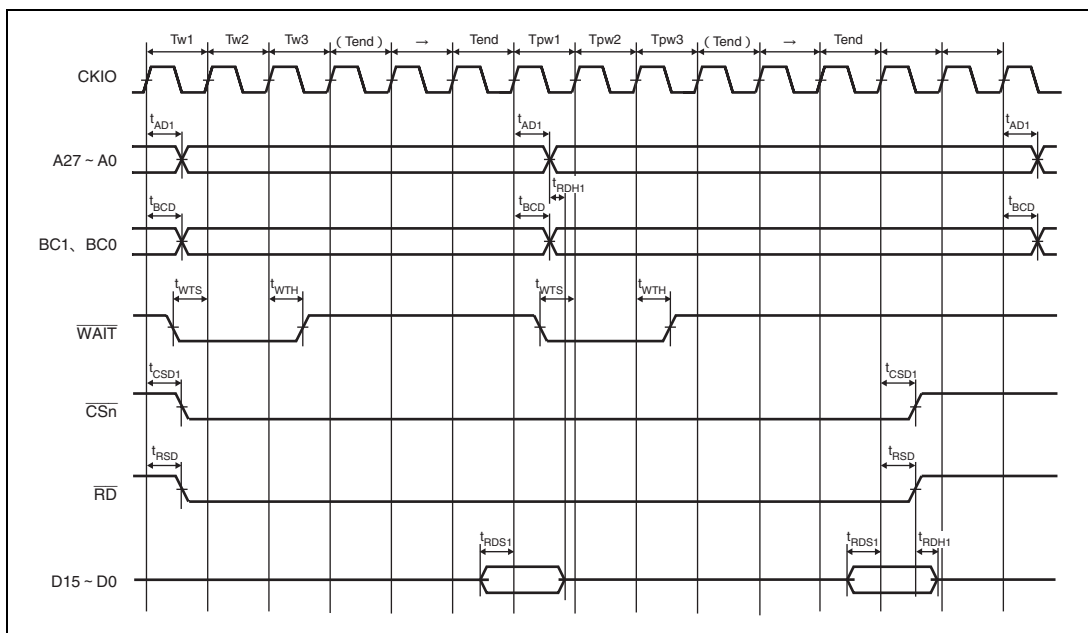


図 29.14 外部アドレス空間外部ウェイトタイミング

(16 ビット幅チャネルへのページリードアクセス、外部リードデータ連続アサートモード、リードサイクルウェイト 3、ページリードサイクルウェイト 3、他ウェイト設定は 0、外部ウェイトサイクル 2)

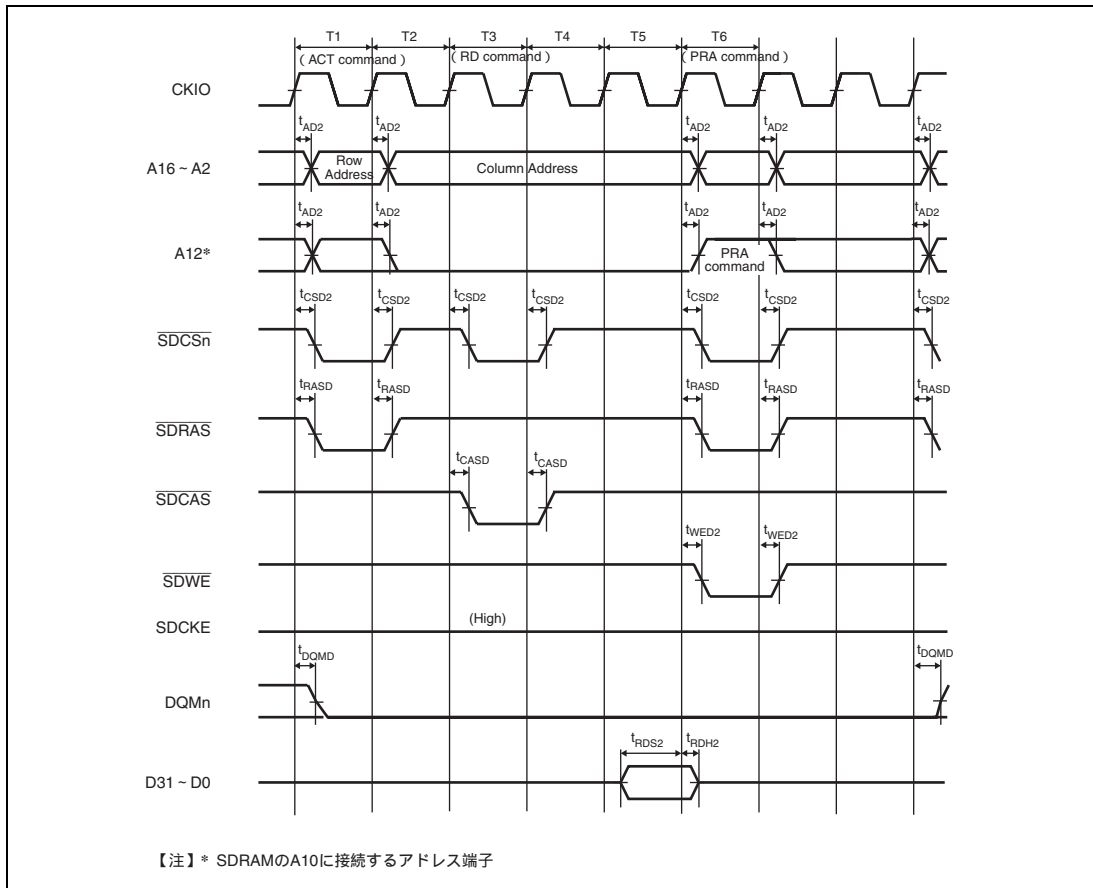


図 29.15 SDRAM 空間シングルリードバスタイミング
 (DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))

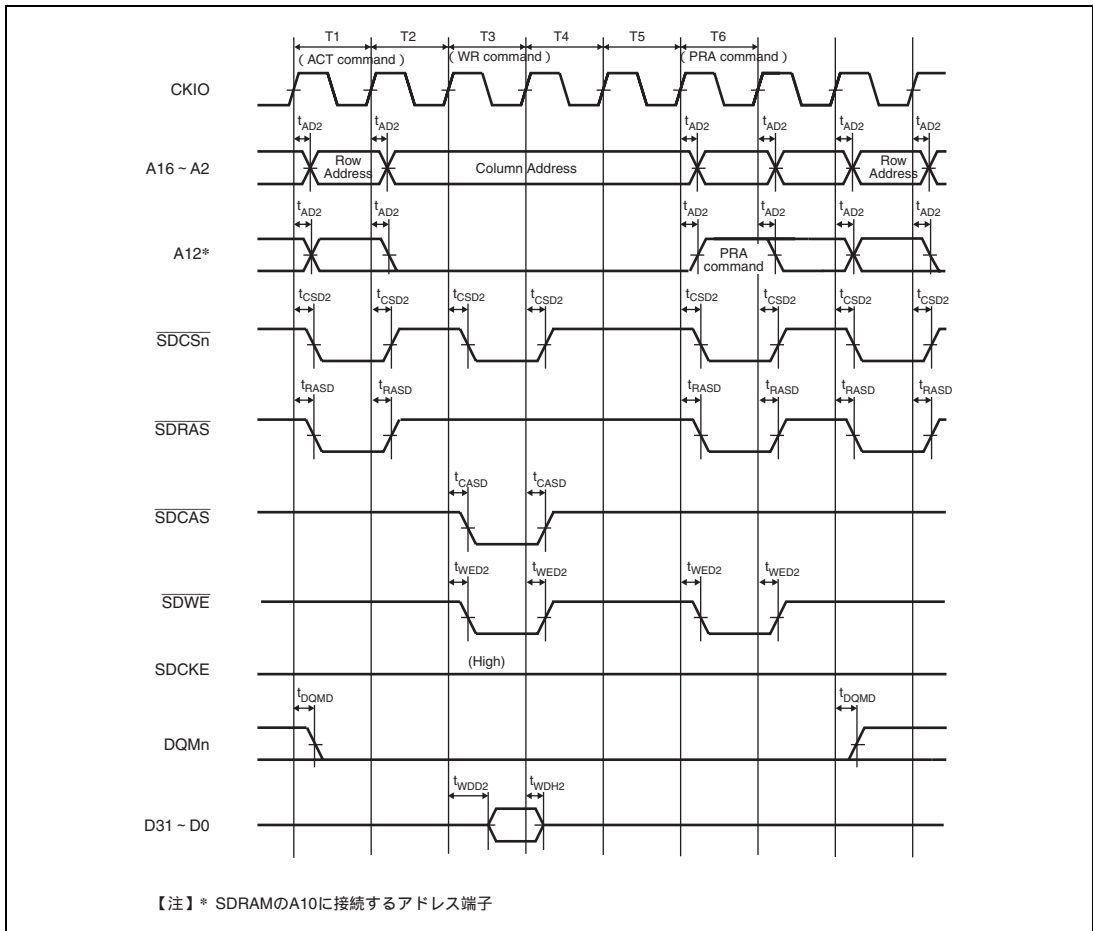


図 29.16 SDRAM 空間シングルライトバスタイミング
(DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))

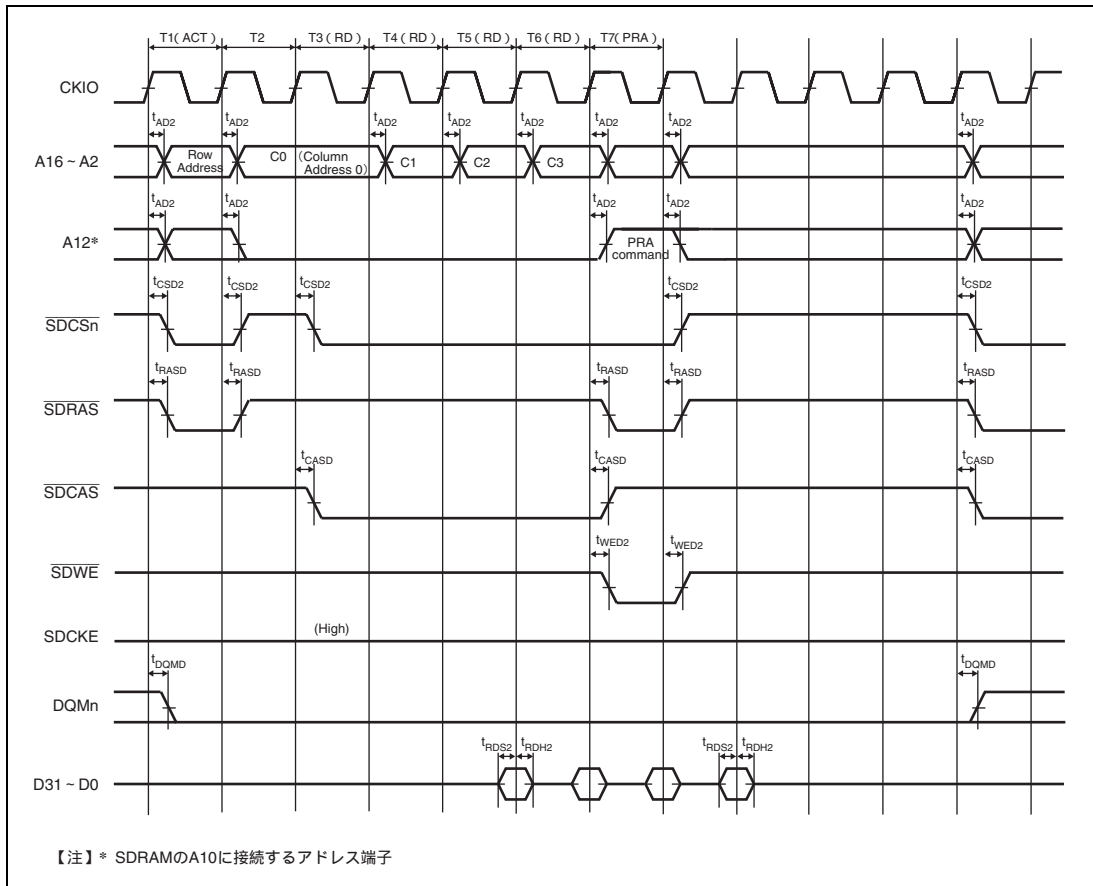


図 29.17 SDRAM 空間複数リードバスタイミング

(4 データアクセス、DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))

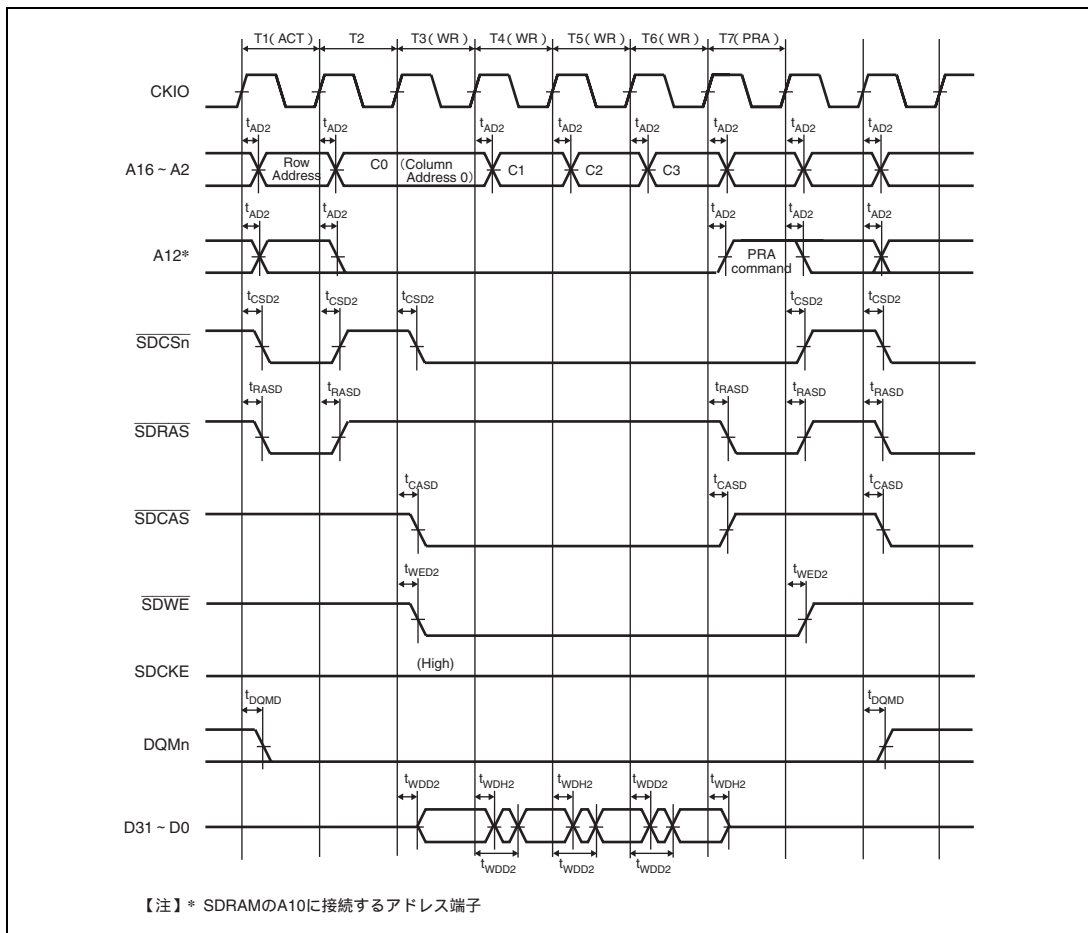


図 29.18 SDRAM 空間複数ライトバスタイミング
 (4 データアクセス、DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))

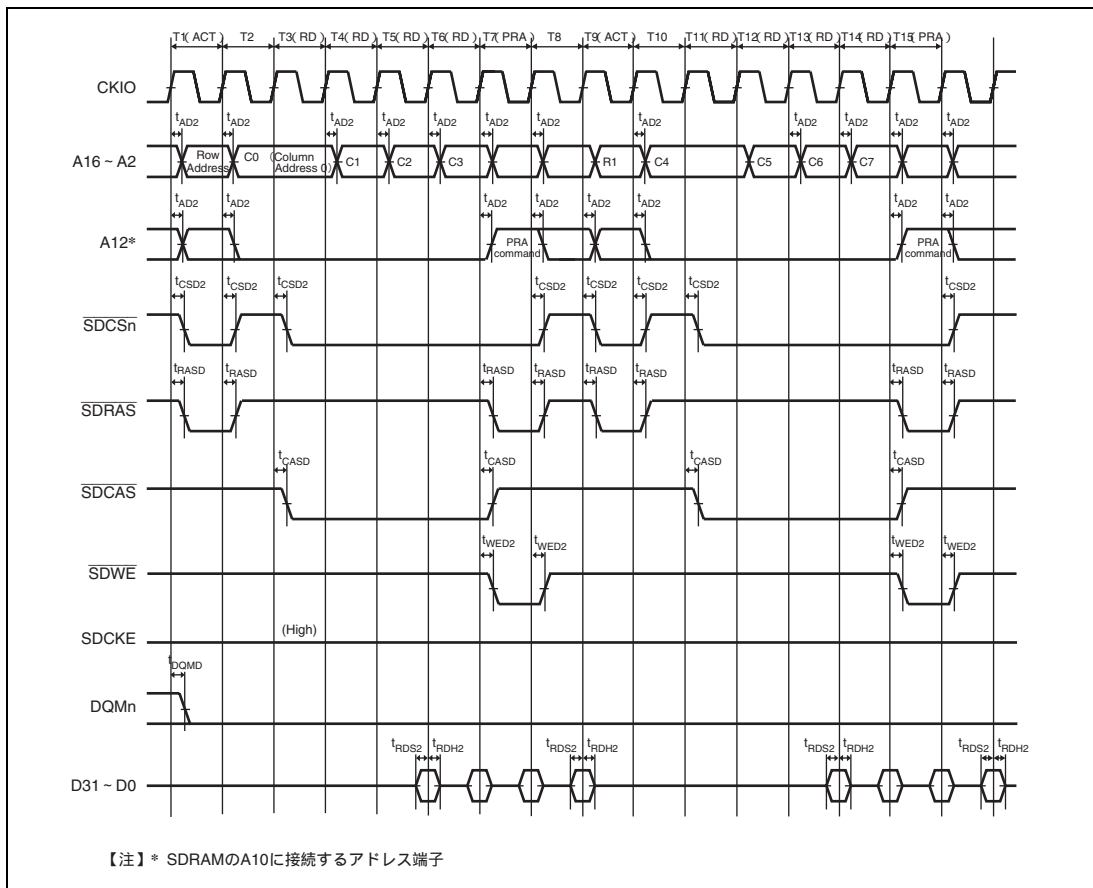


図 29.19 SDRAM 空間複数リード行またぎバスタイミング
 (8 データアクセス、DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))

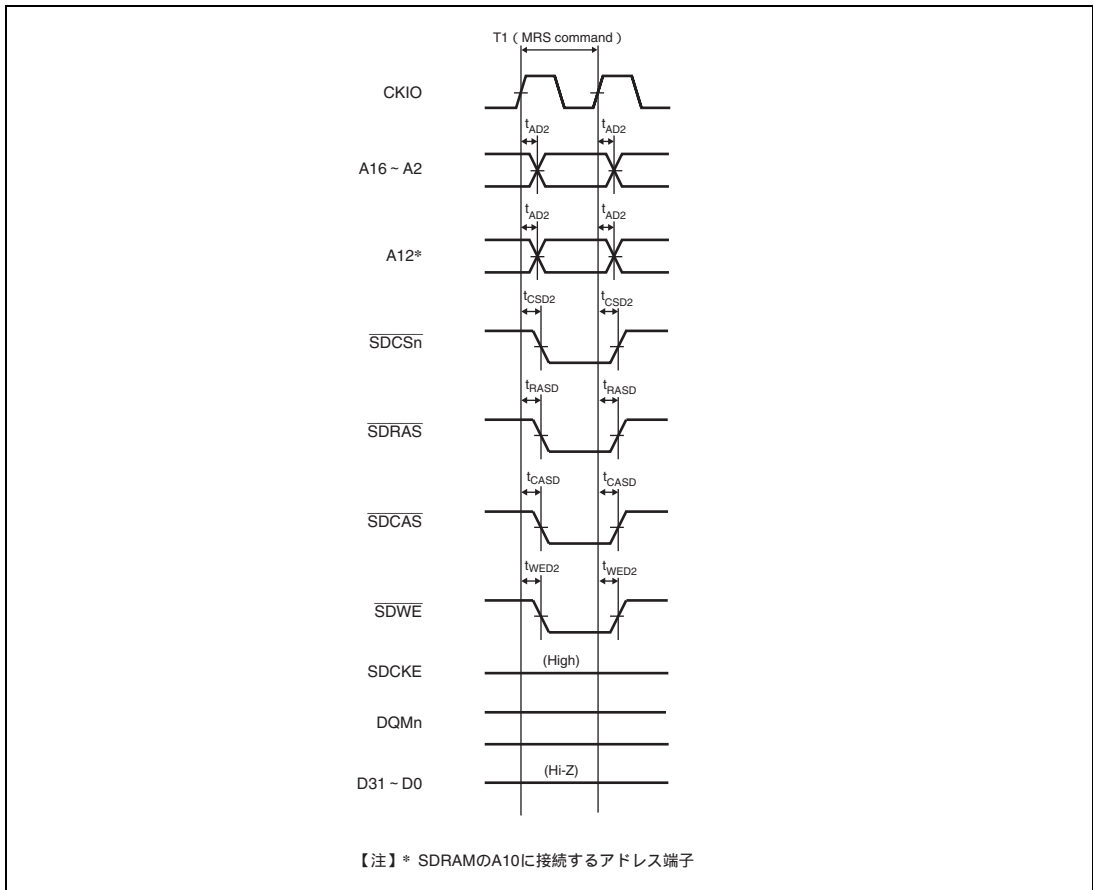


図 29.20 SDRAM 空間モードレジスタセットバスタイミング

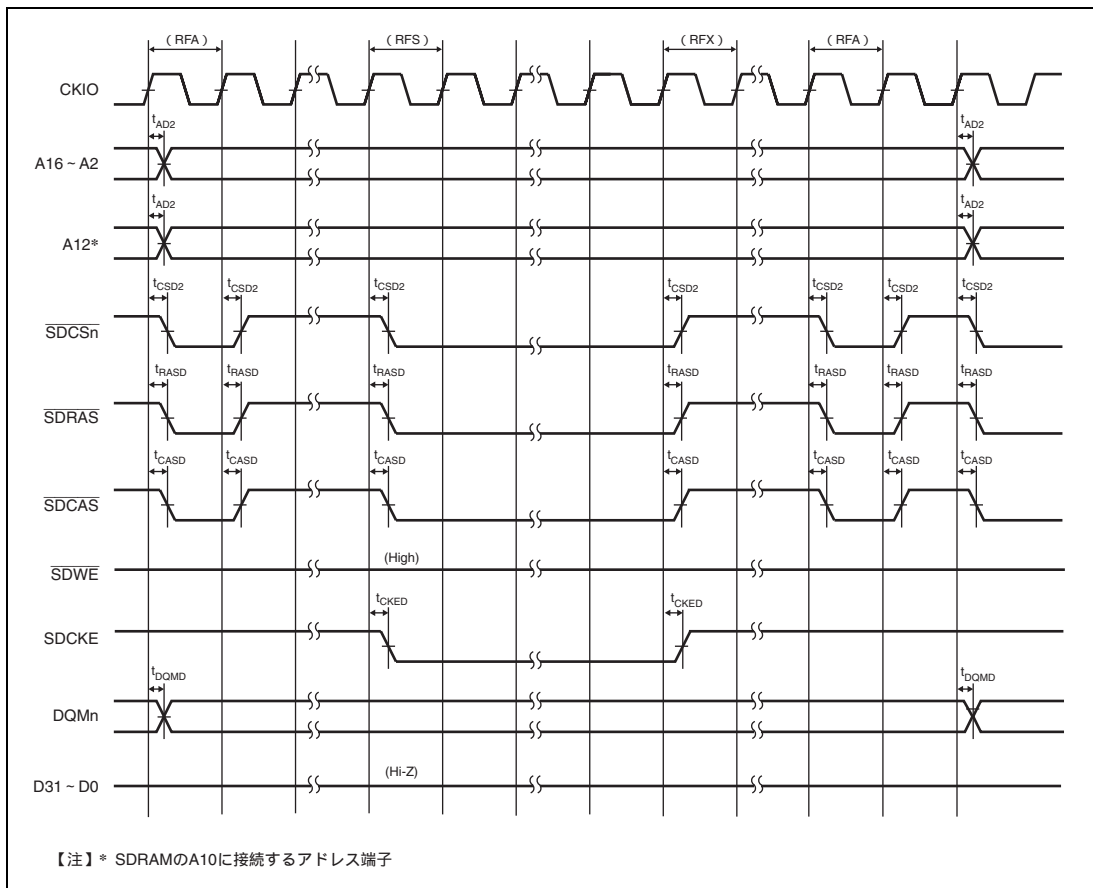


図 29.21 SDRAM 空間セルフリフレッシュバスタイミング

29.3.4 DMAC モジュールタイミング

表 29.8 DMAC モジュールタイミング

条件 : $PV_{cc} = V_{ccR} = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc-0.3V}$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,

$PV_{ss} = V_{ssR} = PLLV_{ss} = AV_{ss} = 0V$

項目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	t_{DRQS}	15	-	ns	29.22
DREQ ホールド時間	t_{DROH}	15	-		
DACK、DACT、DTEND 遅延時間	t_{DACD}	-	15		29.23

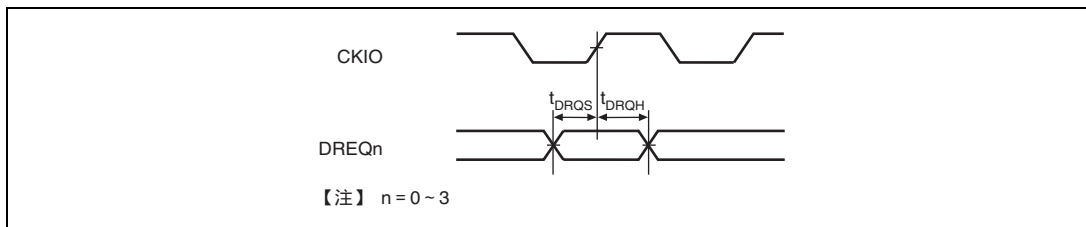


図 29.22 DREQ 入力タイミング

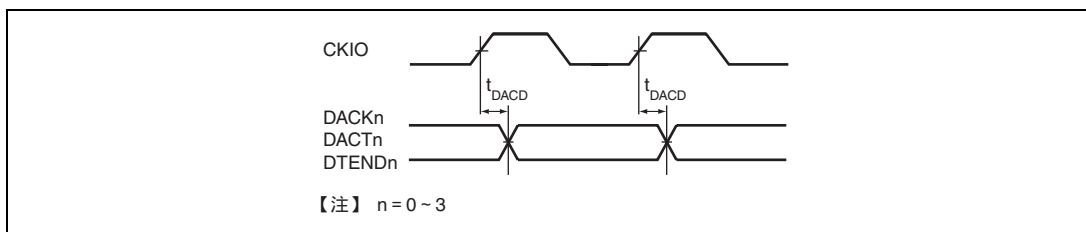


図 29.23 DACK、DACT、DTEND 出カタイミング

29.3.5 UBC トリガタイミング

表 29.9 UBC トリガタイミング

条件 : $PV_{cc} = V_{cc} R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ss} R = PLLV_{ss} = AV_{ss} = 0V$

項目	記号	Min.	Max.	単位	参照図
UBCTRG 遅延時間	t_{UBCTGD}	-	14	ns	29.24

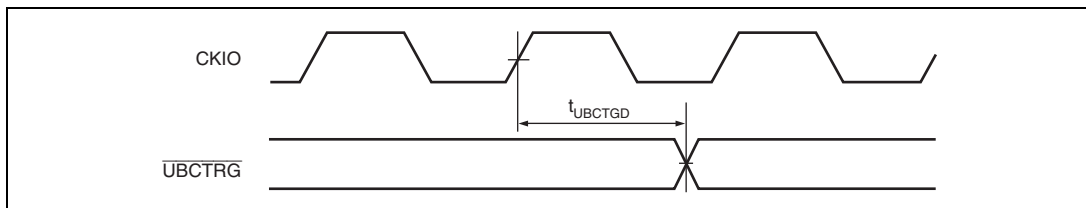


図 29.24 UBC トリガタイミング

29.3.6 MTU2 モジュールタイミング

表 29.10 MTU2 モジュールタイミング

条件 : $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$

項目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	100	ns	29.25
インプットキャプチャ入力セットアップ時間	t_{TICS}	20	-	ns	
タイマ入力セットアップ時間	t_{TCKS}	20	-	ns	29.26
タイマクロックパルス幅 (単エッジ指定)	t_{TCKWHL}	1.5	-	$t_{p_{cyc}}$	
タイマクロックパルス幅 (両エッジ指定)	t_{TCKWHL}	2.5	-	$t_{p_{cyc}}$	
タイマクロックパルス幅 (位相計数モード)	t_{TCKWHL}	2.5	-	$t_{p_{cyc}}$	

【注】 $t_{p_{cyc}}$ は周辺クロック (P) の周期を示します。

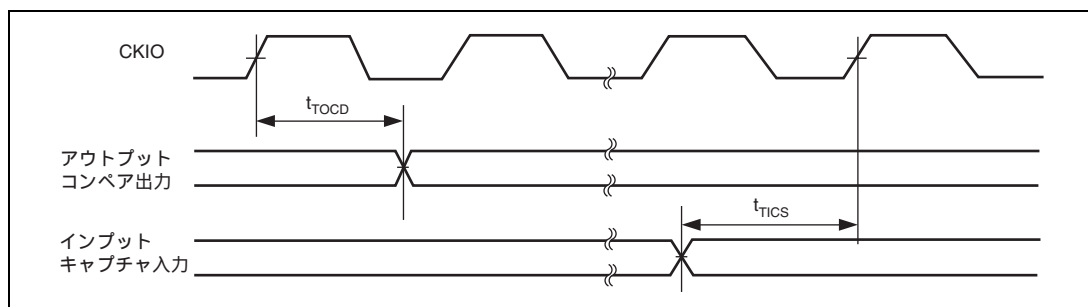


図 29.25 MTU2 入出力タイミング

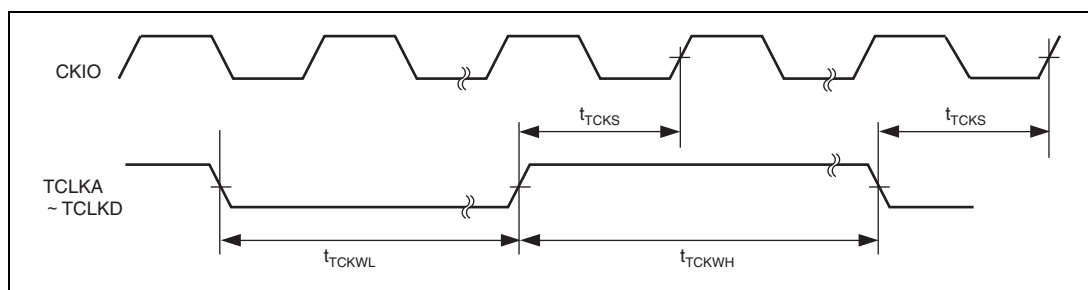


図 29.26 MTU2 クロック入力タイミング

29.3.7 8ビットタイマタイミング

表 29.11 8ビットタイマタイミング

条件 : $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$

項目	記号	Min.	Max.	単位	参照図
タイマ出力遅延時間	t_{TMOD}	-	40	ns	29.27
タイマリセット入力セットアップ時間	t_{TMRS}	$(n-1) \times t_{cyc} + 25$	-	ns	29.28
タイマクロック入力セットアップ時間	t_{TMCS}	$(n-1) \times t_{cyc} + 25$	-	ns	29.29
タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	-	t_{pcyc}
	両エッジ指定	t_{TMCWL}	2.5	-	t_{pcyc}

【注】 B:Pクロック比= $n:1$ の場合 ($n=1, 2, 3, 4, 6, 8, 12$)

t_{pcyc} は周辺クロック (P) の周期を示します。

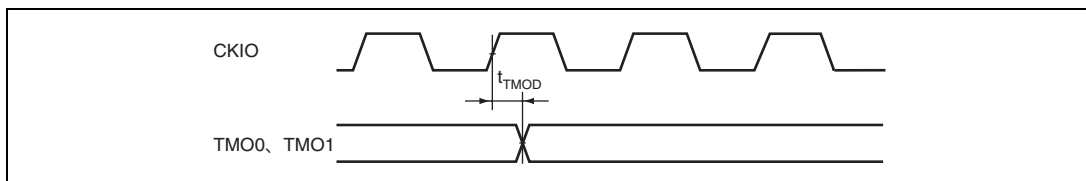


図 29.27 8ビットタイマ出力タイミング

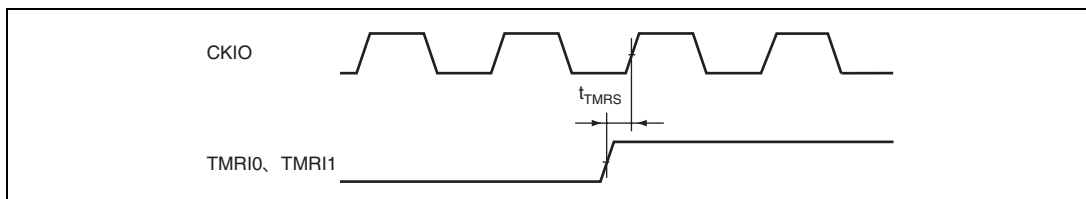


図 29.28 8ビットタイマリセット入力タイミング

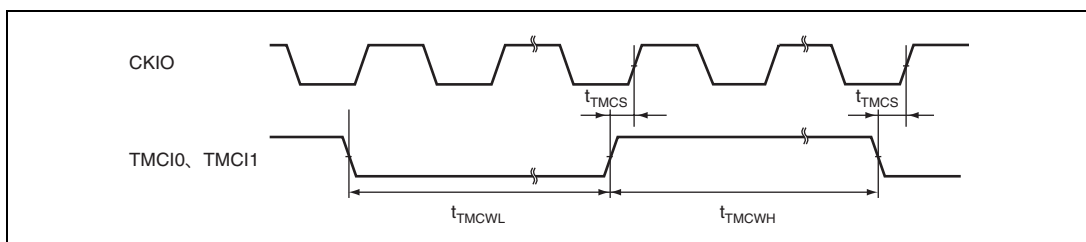


図 29.29 8ビットタイマクロック入力タイミング

29.3.8 ウォッチドッグタイマタイミング

表 29.12 にウォッチドッグタイマタイミングを示します。

表 29.12 ウォッチドッグタイマタイミング

条件 : $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} 、 $AV_{ref} = 3.0 \sim AV_{cc}$ 、
 $PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$

項目	記号	Min.	Max.	単位	参照図
WDTOVF 遅延時間	t_{WOVD}	-	100	ns	29.30

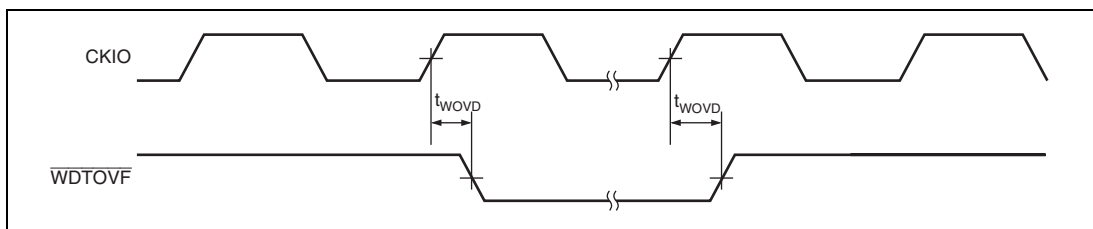


図 29.30 ウォッチドッグタイマタイミング

29.3.9 SCIF モジュールタイミング

表 29.13 SCIF モジュールタイミング

条件 : $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$

項目	記号	Min.	Max.	単位	参照図	
入力クロックサイクル	クロック同期	t_{Socyc}	12	-	t_{pcyc}	29.31
	調歩同期		4	-	t_{pcyc}	
入力クロック立ち上がり時間	t_{SCKr}	-	1.5	t_{pcyc}		
入力クロック立ち下がり時間	t_{SCKf}	-	1.5	t_{pcyc}		
入力クロック幅	t_{SCKW}	0.4	0.6	t_{Socyc}		
送信データ遅延時間 (クロック同期)	t_{TXD}	-	$3t_{pcyc} + 15$	ns	29.32	
受信データセットアップ時間 (クロック同期)	t_{RXS}	$4t_{pcyc} + 15$	-	ns		
受信データホールド時間 (クロック同期)	t_{RXH}	$1t_{pcyc} + 15$	-	ns		

【注】 t_{pcyc} は周辺クロック (P) の周期を示します。

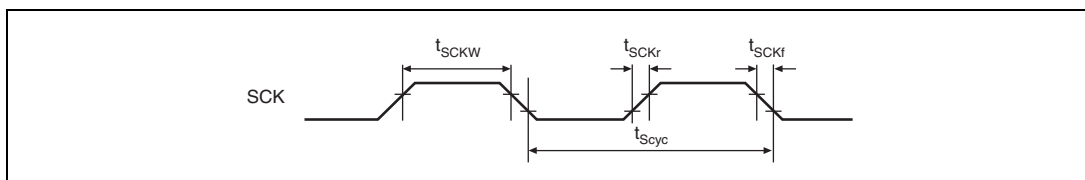


図 29.31 SCK 入力クロックタイミング

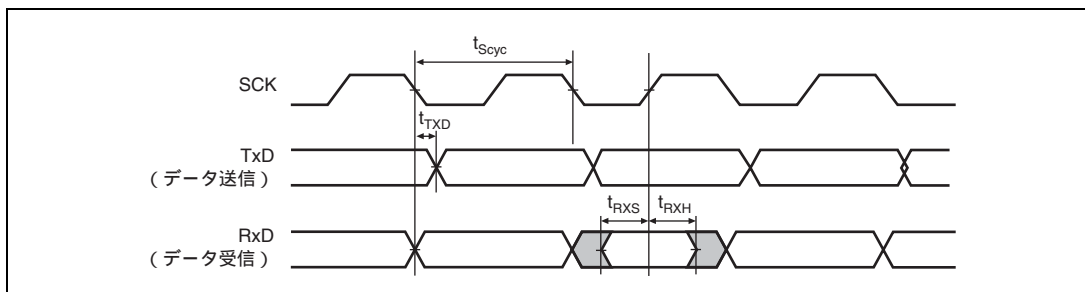


図 29.32 クロック同期式モード時の SCIF 入出力タイミング

29.3.10 IIC3 モジュールタイミング

表 29.14 I²C バスインタフェース 3 タイミング

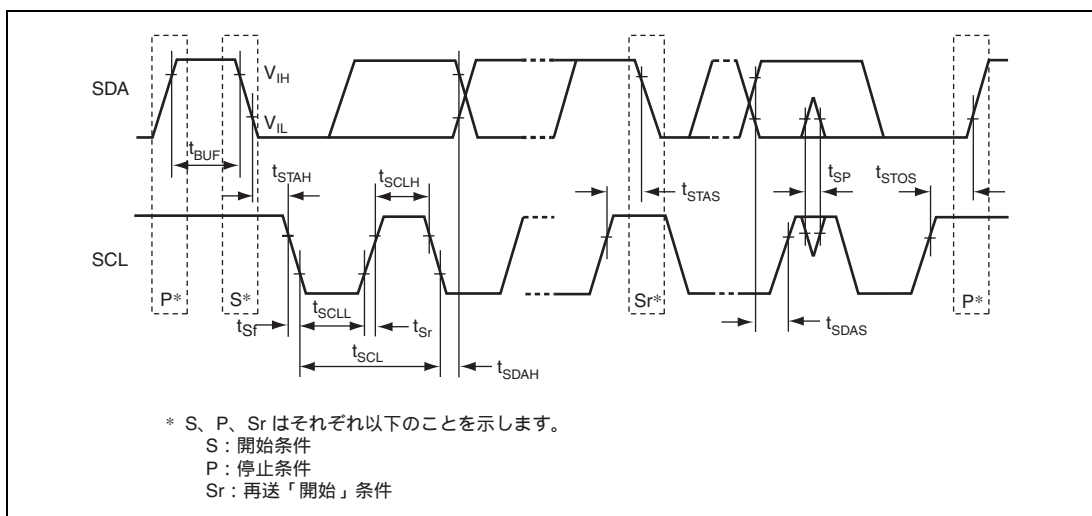
条件 : $PV_{CC} = V_{CC}R = PLLV_{CC} = 3.0 \sim 3.6V$, $AV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} - 0.3V$ AV_{CC} PV_{CC} , $AV_{ref} = 3.0 \sim AV_{CC}$,
 $PV_{SS} = V_{SS}R = PLLV_{SS} = AV_{SS} = 0V$

項目	記号	測定条件	規格値			単位	参照図
			Min.	Typ.	Max.		
SCL 入力サイクル時間	t_{SCL}		$12t_{pcyc}^{*1} + 600$	-	-	ns	29.33
SCL 入力 High パルス幅	t_{SCLH}		$3t_{pcyc}^{*1} + 300$	-	-	ns	
SCL 入力 Low パルス幅	t_{SCLL}		$5t_{pcyc}^{*1} + 300$	-	-	ns	
SCL、SDA 入力立ち上がり時間	t_{Sr}		-	-	300	ns	
SCL、SDA 入力立ち下がり時間	t_{Sf}		-	-	300	ns	
SCL、SDA 入カスパイクパルス除去時間*2	t_{SP}		-	-	1.2	t_{pcyc}^{*1}	
SDA 入力バスターン時間	t_{BUF}		5	-	-	t_{pcyc}^{*1}	
開始条件入力ホールド時間	t_{STAH}		3	-	-	t_{pcyc}^{*1}	
再送開始条件入力セットアップ時間	t_{STAS}		3	-	-	t_{pcyc}^{*1}	
停止条件入力セットアップ時間	t_{STOS}		3	-	-	t_{pcyc}^{*1}	
データ入力セットアップ時間	t_{SDAS}		$1t_{pcyc}^{*1} + 20$	-	-	ns	
データ入力ホールド時間	t_{SDAH}		0	-	-	ns	
SCL、SDA の容量性負荷	C_b		0	-	400	pF	
SCL、SDA 出力立ち下がり時間*3	t_{Sf}	$PV_{CC} = 3.0 \sim 3.6V$	-	-	250	ns	

【注】 *1 t_{pcyc} は周辺クロック (P) の周期を示します。

*2 NF2CYC レジスタの値に依存します。

*3 I/O バッファの特性を示しています。

図 29.33 I²C バスインタフェース 3 入出力タイミング

29.3.11 SSI モジュールタイミング

表 29.15 SSI モジュールタイミング

条件 : $PV_{CC} = V_{CC}R = PLLV_{CC} = 3.0 \sim 3.6V$, $AV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} - 0.3V$ AV_{CC} PV_{CC} , $AV_{ref} = 3.0 \sim AV_{CC}$,
 $PV_{SS} = V_{SS}R = PLLV_{SS} = AV_{SS} = 0V$

項目	記号	Min.	Typ.	Max.	単位	備考	参考図
出力クロック周期	t_o	80	-	64000	ns	出力	29.34
入力クロック周期	t_i	80	-	64000	ns	入力	
クロック High	t_{HC}	32	-	-	ns	双方向	
クロック Low	t_{LC}	32	-	-	ns		
クロック立ち上がり時間	t_{RC}	-	-	20	ns	出力 (100pF)	
遅延	t_{DTR}	-	-	50	ns	送信	29.35、29.36
セットアップ時間	t_{SR}	15	-	-	ns	受信	29.37、29.38
ホールド時間	t_{HTR}	5	-	-	ns	受信	29.37、29.38
AUDIO_CLK 入力周波数	f_{AUDIO}	1	-	40	MHz		29.39

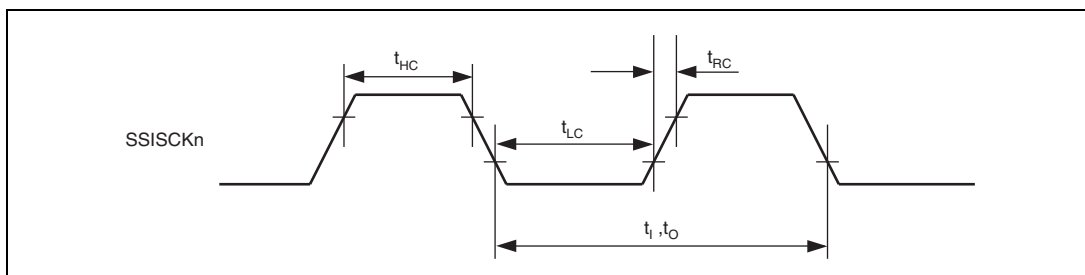


図 29.34 クロック入出力タイミング

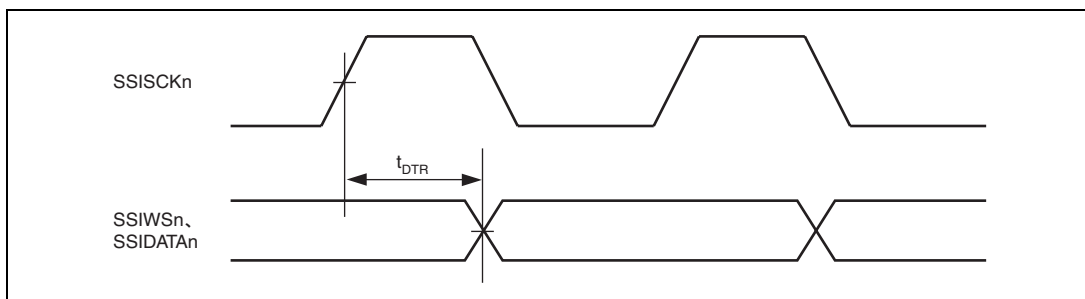


図 29.35 SSI 送信タイミング (1)

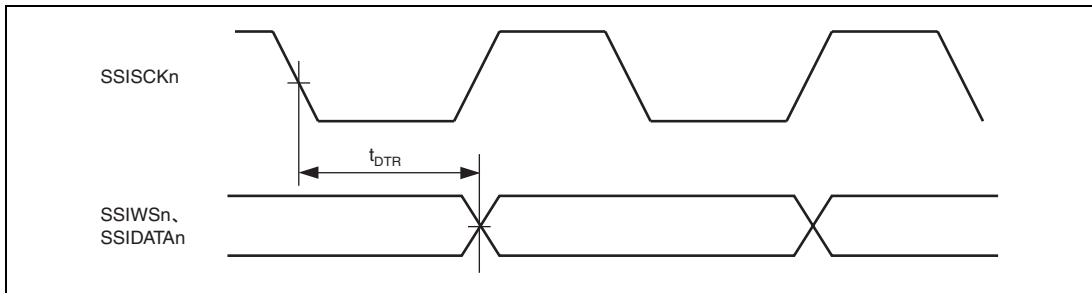


図 29.36 SSI 送信タイミング (2)

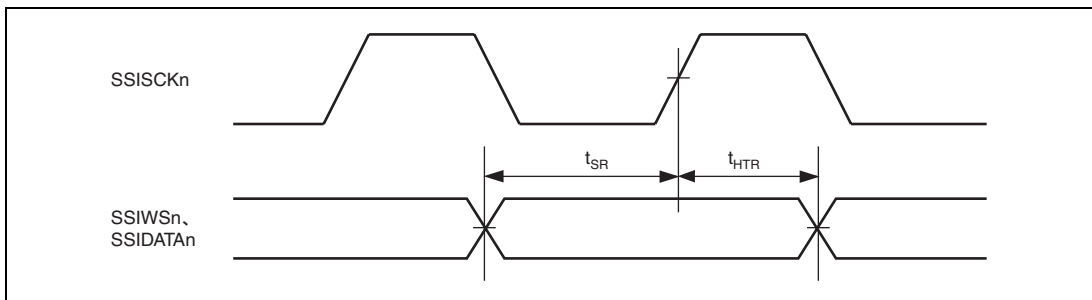


図 29.37 SSI 受信タイミング (1)

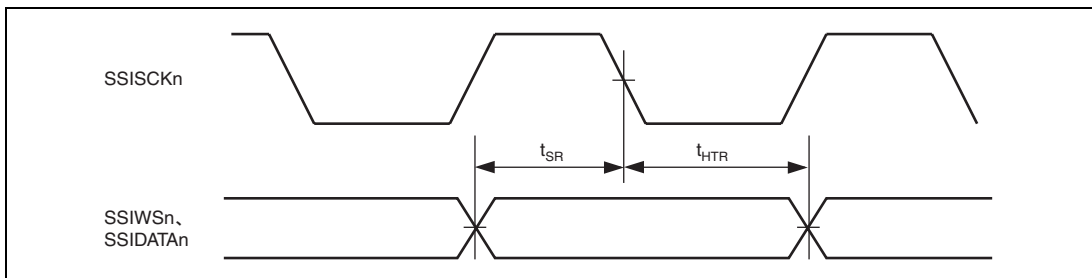


図 29.38 SSI 受信タイミング (2)

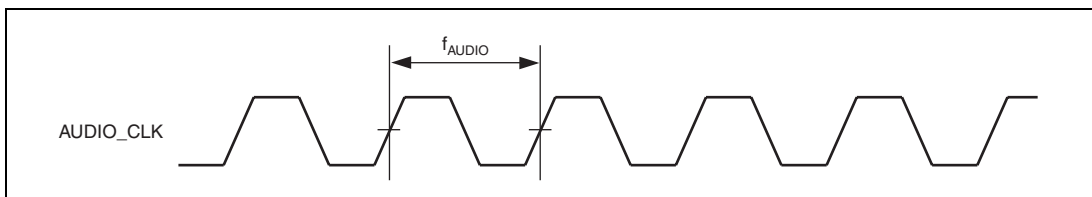


図 29.39 AUDIO_CLK 入力タイミング

29.3.12 RCAN-ET モジュールタイミング

表 29.16 RCAN-ET モジュールタイミング

条件 : $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$

項目	記号	Min.	Max.	単位	参照図
送信データ遅延時間	t_{CTXD}	-	100	ns	29.40
受信データセットアップ時間	t_{CRXS}	100	-		
受信データホールド時間	t_{CRXH}	100	-		

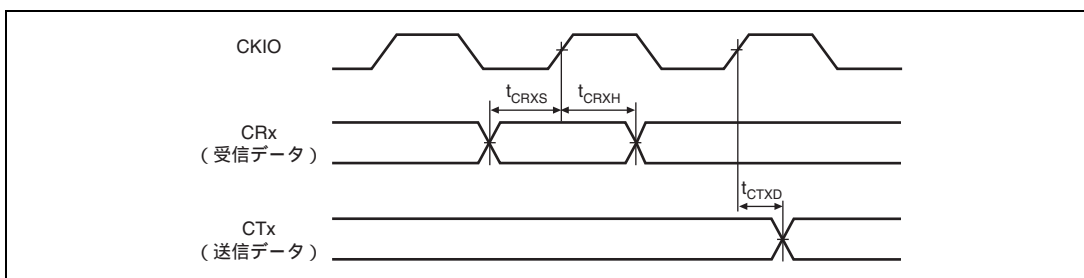


図 29.40 RCAN-ET 入出力タイミング

29.3.13 A/D トリガ入力タイミング

表 29.17 A/D トリガ入力タイミング

条件 : $PV_{cc} = V_{cc}R = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ss}R = PLLV_{ss} = AV_{ss} = 0V$

モジュール	項目	記号	Min.	Max.	単位	参照図
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	$(n-1) \times t_{cyc} + 17$	-	ns	29.41

【注】 B : P クロック比 = n : 1 の場合 (n = 1, 2, 3, 4, 6, 8, 12)

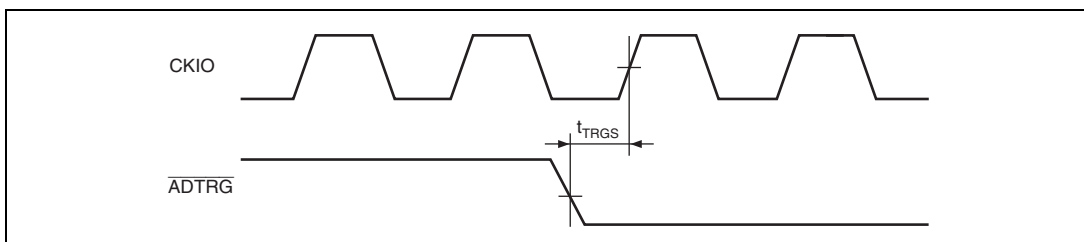


図 29.41 A/D 変換器外部トリガ入力タイミング

29.3.14 I/O ポートタイミング

表 29.18 I/O ポートタイミング

条件 : $PV_{cc} = V_{ccR} = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc} - 0.3V$ AV_{cc} PV_{cc} , $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ssR} = PLLV_{ss} = AV_{ss} = 0V$

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t_{PORTD}	-	100	ns	29.42
入力データセットアップ時間	t_{PORTS}	100	-		
入力データホールド時間	t_{PORTH}	100	-		

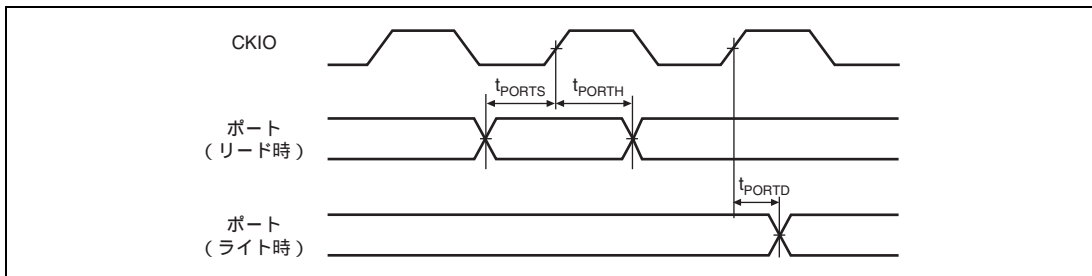


図 29.42 I/O ポートタイミング

29.3.15 H-UDI 関連端子のタイミング

表 29.19 H-UDI 関連端子のタイミング

条件 : $PV_{CC} = V_{CC}R = PLLV_{CC} = 3.0 \sim 3.6V$, $AV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} - 0.3V$ AV_{CC} PV_{CC} , $AV_{ref} = 3.0 \sim AV_{CC}$,
 $PV_{SS} = V_{SS}R = PLLV_{SS} = AV_{SS} = 0V$

項目	記号	Min.	Max.	単位	参照図
UDTCK サイクル時間	t_{TCKcyc}	50*	-	ns	29.43
UDTCK High レベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
UDTCK Low レベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
UDTRST パルス幅	t_{TRSW}	20	-	t_{TCKcyc}	29.44
UDTRST セットアップ時間	t_{TRSS}	200	-	ns	
UDTDI セットアップ時間	t_{TDIS}	10	-	ns	29.45
UDTDI ホールド時間	t_{TDIH}	10	-	ns	
UDTMS セットアップ時間	t_{TMSS}	10	-	ns	
UDTMS ホールド時間	t_{TMSH}	10	-	ns	
UDTDO 遅延時間	t_{TDOD}	-	16	ns	

【注】 * 周辺クロックのサイクル時間より大きくなるようにしてください。

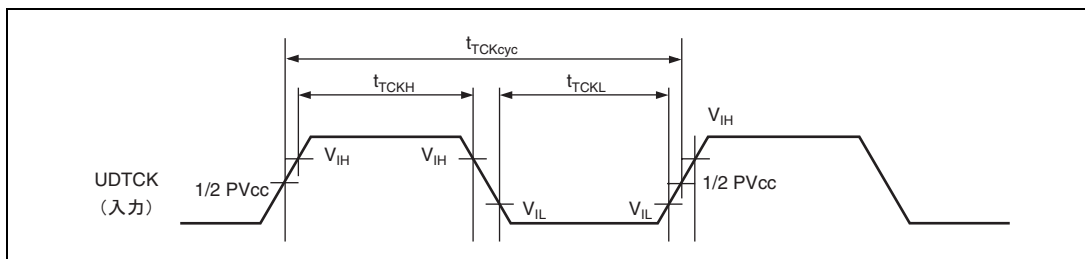


図 29.43 UDTCK 入力タイミング

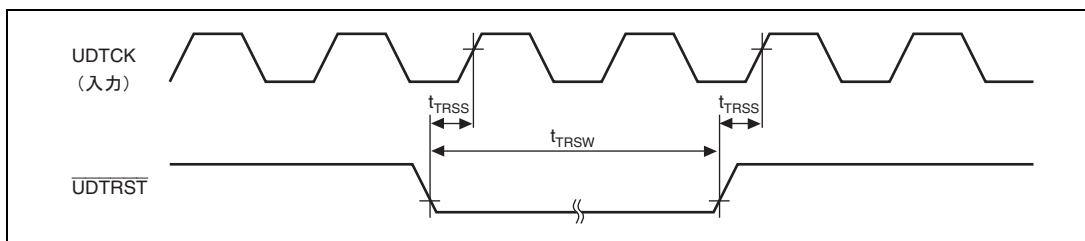


図 29.44 UDTRST 入力タイミング

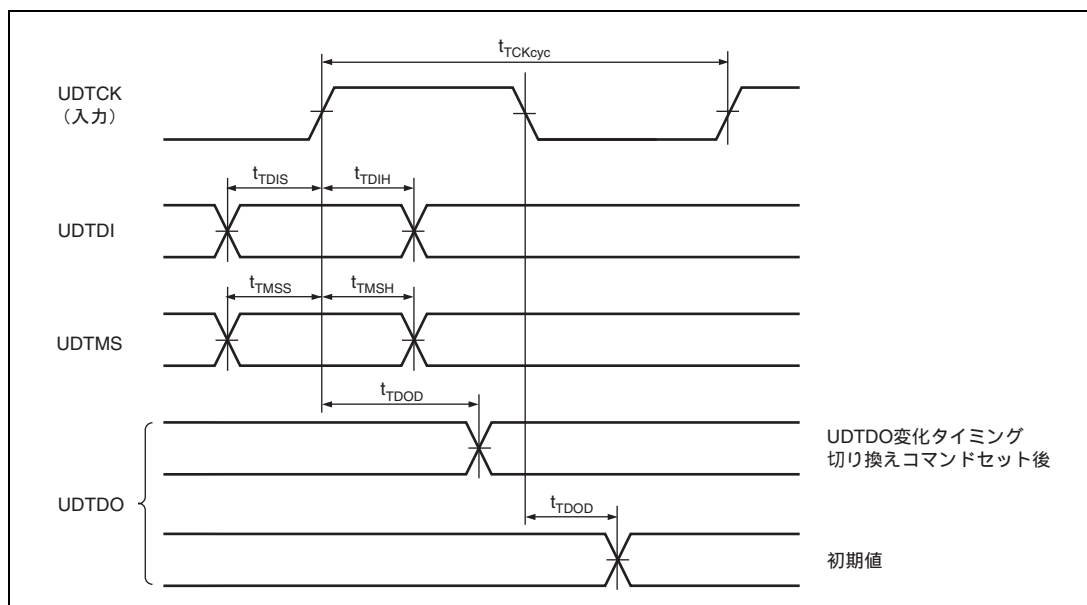


図 29.45 H-UDI データ転送タイミング

29.3.16 AUD-II タイミング

表 29.20 AUD-II タイミング

条件 : $PV_{cc} = V_{ccR} = PLLV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $PV_{cc-0.3V} = AV_{cc} = PV_{cc}$, $AV_{ref} = 3.0 \sim AV_{cc}$,
 $PV_{ss} = V_{ssR} = PLLV_{ss} = AV_{ss} = 0V$

項目	記号	Min.	Max.	単位	参照図
AUDRST パルス幅	$t_{AUDRSTW}$	5	-	t_{RMCYC}	29.46
AUDMD セットアップ時間	t_{AUDMDS}	5	-	t_{RMCYC}	
RAM モニタクロックサイクル	t_{RMCYC}	33.33	-	ns	29.47
RAM モニタクロック Low レベルパルス幅	t_{RMCKWL}	0.4	0.6	t_{RMCYC}	
RAM モニタクロック High レベルパルス幅	t_{RMCKWH}	0.4	0.6	t_{RMCYC}	
RAM モニタ出力データ遅延時間	t_{RMDD}	2	14	ns	
RAM モニタ入力データセットアップ時間	t_{RMDS}	15	-	ns	
RAM モニタ入力データホールド時間	t_{RMDH}	5	-	ns	
RAM モニタ SYNC セットアップ時間	t_{RMSS}	15	-	ns	
RAM モニタ SYNC ホールド時間	t_{RMSH}	5	-	ns	

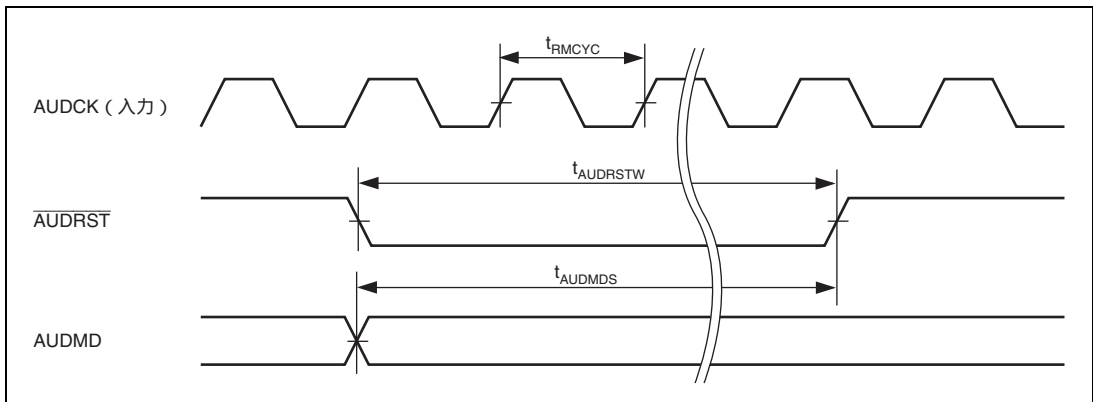


図 29.46 AUD リセットタイミング

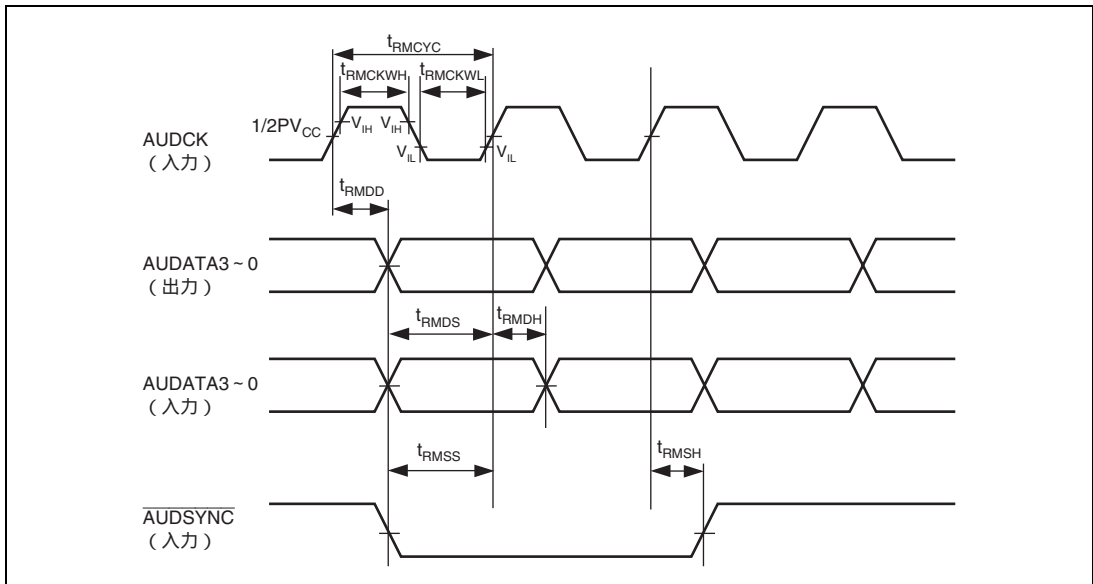


図 29.47 RAM モニタタイミング

29.3.17 AC 特性測定条件

- 入力信号参照レベル：Highレベル V_{IHmin} 値、Lowレベル V_{ILmax} 値
- 出力信号参照レベル： $PV_{cc}/2$ ($PV_{cc} = 3.0 \sim 3.6V$)
- 入力パルスレベル： $PV_{ss} \sim 3.0V$ (ただし、 \overline{RES} 、 \overline{MRES} 、 NMI 、 $MD1$ 、 $MD0$ 、 MD_CLK1 、 MD_CLK0 、 \overline{ASEMD} 、 \overline{UDTRST} 、およびシュミットトリガ入力端子は $PV_{ss} \sim PV_{cc}$)
- 入力立ち上がり、立ち下がり時間：1ns

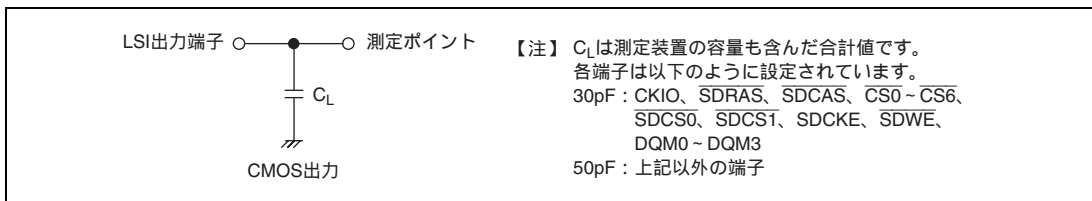


図 29.48 測定回路

29.4 A/D 変換器特性

A/D 変換器特性を表 29.21 に示します。

表 29.21 A/D 変換器特性

条件 : $PV_{CC} = V_{CCR} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} - 0.3V$ AV_{CC} PV_{CC} 、 $AV_{ref} = 3.0 \sim AV_{CC}$ 、
 $PV_{SS} = V_{SSR} = PLLV_{SS} = AV_{SS} = 0V$

項 目	Min.	Typ.	Max.	単位
分解能	10	10	10	ビット
変換時間	3.9 ^{*2}	-	-	μs
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	k
非直線性誤差	-	-	±3.0 ^{*1}	LSB
オフセット誤差	-	-	±2.0 ^{*1}	LSB
フルスケール誤差	-	-	±2.0 ^{*1}	LSB
量子化誤差	-	-	±0.5 ^{*1}	LSB
絶対精度	-	-	±4.0	LSB

【注】 *1 参考値

*2 絶対精度を満足するためには変換時間を 3.9 μs 以上としてください。

29.5 D/A 変換器特性

D/A 変換器特性を表 29.22 に示します。

表 29.22 D/A 変換器特性

条件 : $PV_{CC} = V_{CCR} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} - 0.3V$ AV_{CC} PV_{CC} 、 $AV_{ref} = 3.0 \sim AV_{CC}$ 、
 $PV_{SS} = V_{SSR} = PLLV_{SS} = AV_{SS} = 0V$

項 目	Min.	Typ.	Max.	単位	測定条件
分解能	8	8	8	ビット	
変換時間	-	-	10	μs	負荷容量 20pF
絶対精度	-	±2.0*	±3.0	LSB	負荷抵抗 2M
	-	-	±2.5	LSB	負荷抵抗 4M

【注】 * 参考値

29.6 使用上の注意事項

PVcc 端子と PVss 端子、VccR 端子と VssR 端子、および PLLVcc 端子と PLLVss 端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり LSI の電源端子の近くに実装してください。

また、VCL 端子と VSS 端子の間には内部降圧電源安定化用のコンデンサを接続する必要があります。

図 29.49 に外付けコンデンサ配置例を示します。

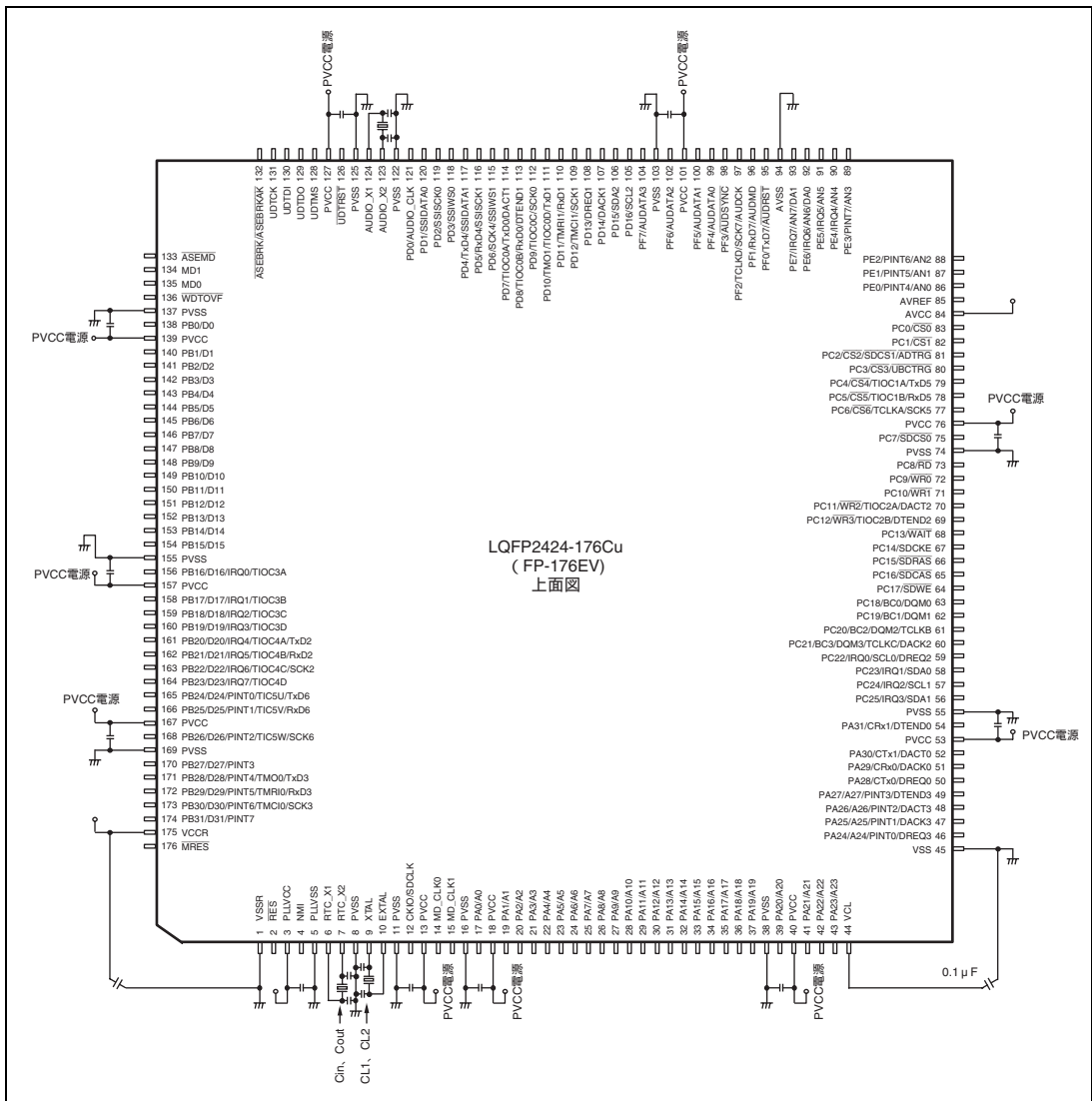


図 29.49 外付けコンデンサ配置例

付録

A. 端子状態

表 A.1 端子状態

端子機能		端子状態						
分類	端子名	リセット状態			低消費電力状態			
		パワーオンリセット* ²			マニュアル リセット	スリープ モード	ソフトウェア スタンバイ モード	ディープ スタンバイ モード
		エリア 0 データバス幅						
		8ビット	16ビット	32ビット				
クロック	CKIO (クロックモード 0,2)	O			O	O	L/Z* ⁵	L/Z* ⁵
	CKIO (クロックモード 3)	I			I	I	I	I
	XTAL (クロックモード 0,2)	O			O	O	L	L
	XTAL (クロックモード 3)* ¹	O			O	O	L	L
	EXTAL (クロックモード 0,2)	I			I	I	I	I
	EXTAL (クロックモード 3)* ¹	Z			Z	Z	Z	Z
システム 制御	RES	I			I	I	I	I
	MRES	-			I	I	I	I
	WDTOVF	O			O	O	K	K
	ASEBRK /ASEBRKAK	H			O	O	I	K
モード	MD1、MD0	I			I	I	I	I
	MD_CLK1、MD_CLK0	I			I	I	I	I
	ASEMD	I			I	I	I	I
割り込み	NMI	I			I	I	I	I
	IRQ7 ~ IRQ0	-			I	I	I	I* ³
	PINT7 ~ PINT0	-			I	I	I	-
アドレス データ	A27 ~ A24	Z			O	O	K	K
	A23 ~ A0	L			O	O	K	K
	D31 ~ D16	-	-	Z	I/O	I/O	Z	K
	D15 ~ D8	-	Z	Z	I/O	I/O	Z	K
	D7 ~ D0	Z	Z	Z	I/O	I/O	Z	K

端子機能		端子状態						
分類	端子名	リセット状態			低消費電力状態			
		パワーオンリセット*2			マニュアル リセット	スリープ モード	ソフトウェア スタンバイ モード	ディープ スタンバイ モード
		エリア0 データバス幅						
		8ビット	16ビット	32ビット				
バス制御	WAIT	-			I	I	Z	Z
	CS0	H			O	O	K	K
	CS6 - CS7	-			O	O	K	K
	RD	H			O	O	K	K
	WR3	-	-	H	O	O	K	K
	WR2	-	-	H	O	O	K	K
	WR1	-	H	H	O	O	K	K
	WR0	H	H	H	O	O	K	K
	BC3 - BC0	-			O	O	K	K
	SDCS1、SDCS0	-			O	O	K	K
	SDRAS	-			O	O	K	K
	SDCAS	-			O	O	K	K
	SDWE	-			O	O	K	K
	DQM3 - DQM0	-			O	O	K	K
	SDCKE	-			O	O	K	K
DMAC	DREQ3 - DREQ0	-			I	I	Z	Z
	DACK3 - DACK0	-			O	O	K	K
	DACT3 - DACT0	-			O	O	K	K
	DTEND3 - DTEND0	-			O	O	K	K
MTU2	TCLKA - TCLKD	-			I	I	Z	Z
	TIOC0A - TIOC0D	-			I/O	I/O	K	K
	TIOC1A、TIOC1B	-			I/O	I/O	K	K
	TIOC2A、TIOC2B	-			I/O	I/O	K	K
	TIOC3A - TIOC3D	-			I/O	I/O	K	K
	TIOC4A - TIOC4D	-			I/O	I/O	K	K
	TIC5U、TIC5V、TIC5W	-			I	I	Z	Z
TMR	TMO1、TMO0	-			O	O	K	K
	TMCI1、TMCI0	-			I	I	Z	Z
	TMR11、TMR10	-			I	I	Z	Z
SCIF	SCK7 - SCK0	-			I/O	I/O	K	K
	RxD7 - RxD0	-			I	I	Z	Z
	TxD7 - TxD0	-			O	O	K	K

端子機能		端子状態						
分類	端子名	リセット状態			低消費電力状態			
		パワーオンリセット*2			マニュアル リセット	スリープ モード	ソフトウェア スタンバイ モード	ディープ スタンバイ モード
		エリア0 データバス幅						
		8ビット	16ビット	32ビット				
IIC3	SCL2 - SCL0	-			I/O	I/O	Z	Z
	SDA2 - SDA0	-			I/O	I/O	Z	Z
SSI	SSIDATA1, SSIDATA0	-			I/O	I/O	K	K
	SSISCK1, SSISCK0	-			I/O	I/O	K	K
	SSIWS1, SSIWS0	-			I/O	I/O	K	K
	AUDIO_CLK	-			I	I	Z	Z
	AUDIO_X1*1	I			I	I	I	I
	AUDIO_X2*1	O			O	O	O	O
RCAN-ET	CRx1, CRx0	-			I	I	Z	Z
	CTx1, CTx0	-			O	O	K	K
A/D 変換器	AN7 - AN0	-			I	I	Z	Z
	ADTRG	-			I	I	Z	Z
D/A 変換器	DA1, DA0	-			O	O	O	Z
RTC	RTC_X1*1	I			I	I	I	I
	RTC_X2*1	O			O	O	O	O
AUD-II	AUDRST	-			I	I	I	Z
	AUDMD	-			I	I	I	Z
	AUDSYNC	-			I/O	I/O	I/O	K
	AUDCK	-			I/O	I/O	I/O	K
	AUDATA3 - AUDATA0	-			I/O	I/O	I/O	K
H-UDI	UDTCK	I			I	I	I	I
	UDTMS	I			I	I	I	I
	UDTDI	I			I	I	I	I
	UDTDO	O/Z*4			O/Z*4	O/Z*4	O/Z*4	K
	UDTRST	I			I	I	I	I
UBC	UBCTRG	-			O	O	O	K

端子機能		端子状態						
分類	端子名	リセット状態			低消費電力状態			
		パワーオンリセット*2			マニュアル リセット	スリープ モード	ソフトウェア スタンバイ モード	ディープ スタンバイ モード
		エリア0 データバス幅						
		8ビット	16ビット	32ビット				
IO ポート	PA31 ~ PA28	I			I/O	I/O	K	K
	PA27 ~ PA0	L			I/O	I/O	K	K
	PB31 ~ PB16	I	I	Z	I/O	I/O	K	K
	PB15 ~ PB8	I	Z	Z	I/O	I/O	K	K
	PB7 ~ PB0	Z	Z	Z	I/O	I/O	K	K
	PC25 ~ PC22	I			I	I	Z	Z
	PC21 ~ PC13	I			I/O	I/O	K	K
	PC12, PC11	I		H	I/O	I/O	K	K
	PC10	I	H		I/O	I/O	K	K
	PC9	H			I/O	I/O	K	K
	PC8	H			I/O	I/O	K	K
	PC7 ~ PC1	I			I/O	I/O	K	K
	PC0	H			I/O	I/O	K	K
	PD16, PD15	I			I	I	Z	Z
	PD14 ~ PD0	I			I/O	I/O	K	K
	PE7 ~ PE0	I			I	I	Z	Z
	PF7 ~ PF0	I			I/O	I/O	K	K

【記号説明】

- I: 入力
- O: 出力
- H: ハイレベル出力
- L: ローレベル出力
- Z: ハイインピーダンス
- K: 入力端子はハイインピーダンス、出力端子は状態保持

【注】 *1 水晶発振子接続用の端子を使用しない場合は、EXTAL、AUDIO_X1 端子はプルアップ、XTAL、AUDIO_X2 端子はオープンにしてください。RTC_X1 端子は GND に接続し、RTC_X2 端子はオープンにしてください。

*2 \overline{RES} 端子へのローレベル入力によるパワーオンリセットを指します。H-UDI リセットアサートコマンドおよび WDT オーバフローによるパワーオンリセットの場合、各端子における初期機能の通常動作時と同じ端子状態になります（「第 23 章 ピンファンクションコントローラ（PFC）」参照）。

*3 ディープスタンバイモードを解除できる IRQ 端子は PE7 ~ PE4、PC25 ~ PC22 端子のみです。

*4 H-UDI の TPA コントローラが Shift-DR、Shift-IR 状態以外では Z となります。

*5 CKIOCR レジスタの設定で CKIO 出力にした場合は L、CKIO 出力を停止した場合は Z となります。

B. 外形寸法図

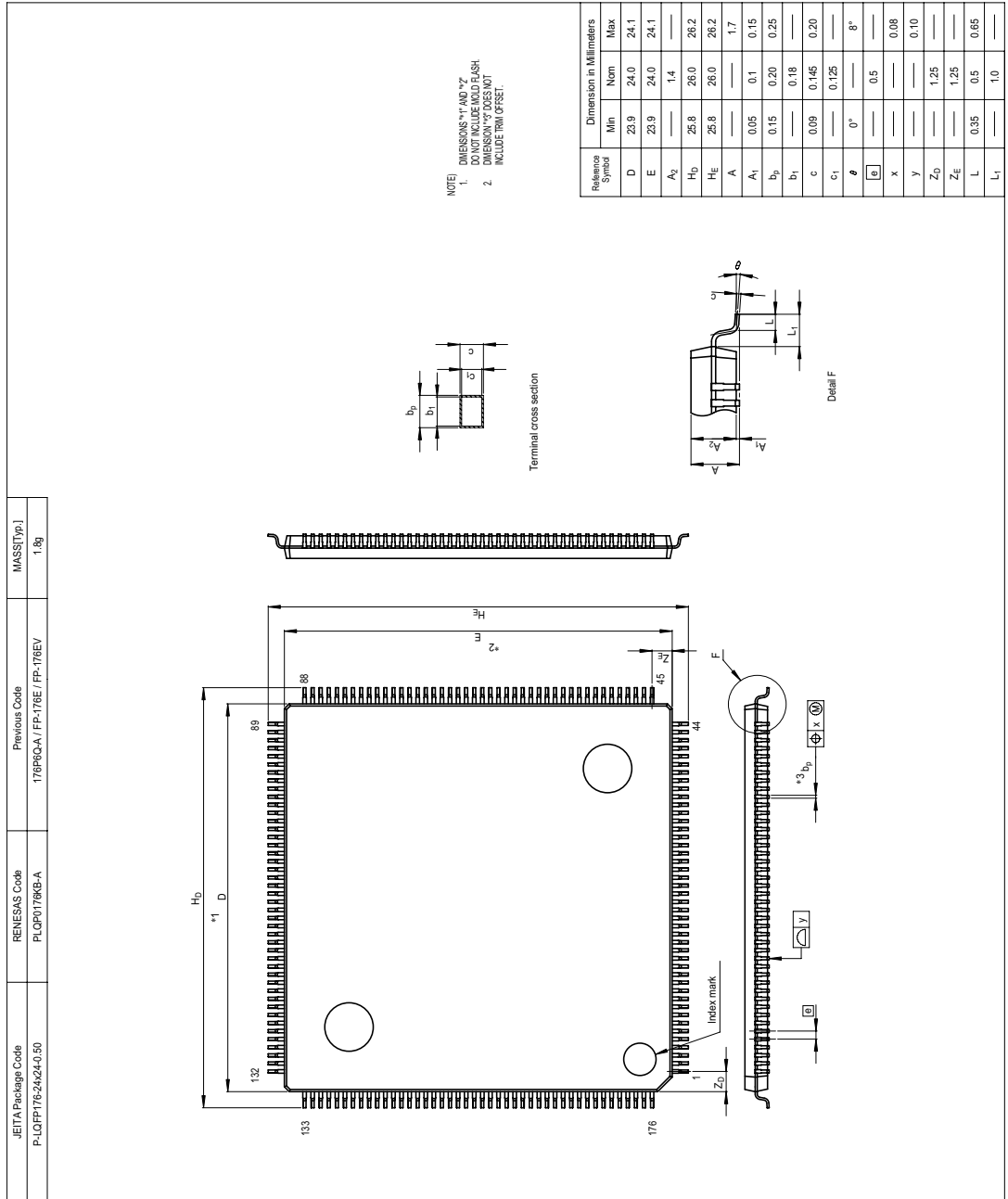


図 B.1 外形寸法図

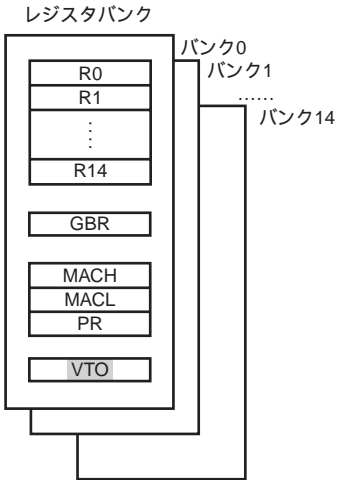
本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																											
2.1.3 システムレジスタ	2-3	説明を修正 MACH、MACL は、乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は現在実行中の命令の 4 バイト先を示し、処理の流れを制御します。																											
(3) プログラムカウンタ (PC)	2-4	説明を修正 PC は現在実行中の命令の 4 バイト先を示します。																											
2.4.2 データ転送命令 表 2.11 データ転送命令	2-26	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">命 令</th> <th rowspan="2">命令コード</th> <th rowspan="2">動 作</th> <th rowspan="2">実行 ステート</th> <th rowspan="2">T ビット</th> <th colspan="3">適用命令</th> </tr> <tr> <th>SHZ</th> <th>SH4</th> <th>SH2A</th> </tr> </thead> <tbody> <tr> <td>MOVMLL @R15+, Rn</td> <td>0100mmn11110101</td> <td>(R15) R0, R15+4 R15 (R15) R1, R15+4 R15 : (R15) Rn Rn=R15 のとき、Rn を PR に読み替え</td> <td>1-16</td> <td>-</td> <td></td> <td></td> <td></td> </tr> <tr> <td>MOVMLL @R15+, Rn</td> <td>0100mmn11110100</td> <td>(R15) R0, R15+4 R15 (R15) Rn+1, R15+4 R15 : (R15) R14, R15+4 R15 (R15) PR Rn=R15 のとき、Rn を PR に読み替え</td> <td>1-16</td> <td>-</td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	命 令	命令コード	動 作	実行 ステート	T ビット	適用命令			SHZ	SH4	SH2A	MOVMLL @R15+, Rn	0100mmn11110101	(R15) R0, R15+4 R15 (R15) R1, R15+4 R15 : (R15) Rn Rn=R15 のとき、Rn を PR に読み替え	1-16	-				MOVMLL @R15+, Rn	0100mmn11110100	(R15) R0, R15+4 R15 (R15) Rn+1, R15+4 R15 : (R15) R14, R15+4 R15 (R15) PR Rn=R15 のとき、Rn を PR に読み替え	1-16	-			
命 令	命令コード	動 作						実行 ステート	T ビット	適用命令																			
			SHZ	SH4	SH2A																								
MOVMLL @R15+, Rn	0100mmn11110101	(R15) R0, R15+4 R15 (R15) R1, R15+4 R15 : (R15) Rn Rn=R15 のとき、Rn を PR に読み替え	1-16	-																									
MOVMLL @R15+, Rn	0100mmn11110100	(R15) R0, R15+4 R15 (R15) Rn+1, R15+4 R15 : (R15) R14, R15+4 R15 (R15) PR Rn=R15 のとき、Rn を PR に読み替え	1-16	-																									
3.2.2 非数 (NaN)	3-4	説明を修正 <ul style="list-style-type: none"> FPSCR の EN.V ビットが 1 の場合、無効演算例外による FPU 例外処理が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。 																											
3.3.2 浮動小数点ステータス / コントロールレジスタ (FPSCR)	3-6	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>17-12</td> <td>Cause</td> <td>すべて 0</td> <td>R/W</td> <td>FPU 例外要因フィールド</td> </tr> <tr> <td>11-7</td> <td>Enable</td> <td>すべて 0</td> <td>R/W</td> <td>FPU 例外イネーブルフィールド</td> </tr> <tr> <td>6-2</td> <td>Flag</td> <td>すべて 0</td> <td>R/W</td> <td>FPU 例外フラグフィールド 浮動小数点演算命令を実行すると、FPU 例外要因フィールドは最初に 0 にクリアされます。次に、浮動小数点演算によって FPU 例外が発生すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドに該当するビットは 1 にセットされます。FPU 例外フラグフィールドは、ソフトウェアによって 0 にクリアされるまで 1 の値を保持します。 FPU 例外イネーブルフィールドの該当するビットが 1 にセットされているとき、FPU 例外処理が発生します。 各フィールドのビットの割り付けについては表 3.3 を参照してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	17-12	Cause	すべて 0	R/W	FPU 例外要因フィールド	11-7	Enable	すべて 0	R/W	FPU 例外イネーブルフィールド	6-2	Flag	すべて 0	R/W	FPU 例外フラグフィールド 浮動小数点演算命令を実行すると、FPU 例外要因フィールドは最初に 0 にクリアされます。次に、浮動小数点演算によって FPU 例外が発生すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドに該当するビットは 1 にセットされます。FPU 例外フラグフィールドは、ソフトウェアによって 0 にクリアされるまで 1 の値を保持します。 FPU 例外イネーブルフィールドの該当するビットが 1 にセットされているとき、FPU 例外処理が発生します。 各フィールドのビットの割り付けについては表 3.3 を参照してください。							
ビット	ビット名	初期値	R/W	説 明																									
17-12	Cause	すべて 0	R/W	FPU 例外要因フィールド																									
11-7	Enable	すべて 0	R/W	FPU 例外イネーブルフィールド																									
6-2	Flag	すべて 0	R/W	FPU 例外フラグフィールド 浮動小数点演算命令を実行すると、FPU 例外要因フィールドは最初に 0 にクリアされます。次に、浮動小数点演算によって FPU 例外が発生すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドに該当するビットは 1 にセットされます。FPU 例外フラグフィールドは、ソフトウェアによって 0 にクリアされるまで 1 の値を保持します。 FPU 例外イネーブルフィールドの該当するビットが 1 にセットされているとき、FPU 例外処理が発生します。 各フィールドのビットの割り付けについては表 3.3 を参照してください。																									
3.5 FPU 例外	3-8	タイトル修正																											
3.5.1 FPU 例外要因	3-8	説明を修正 FPU 例外は浮動小数点演算命令で発生する可能性があり、その要因は次のとおりです。																											
3.5.2 FPU 例外処理	3-8	説明を修正 FPU 例外処理は次の場合に発生します。																											

修正項目	ページ	修正内容（詳細はマニュアル参照）						
3.5.2 FPU 例外処理	3-9	<p>説明を修正</p> <p>浮動小数点演算による各例外処理の可能性については各命令の説明で示します。浮動小数点演算に起因するすべての例外事象は、同一の FPU 例外処理事象として割り付けられています。浮動小数点演算によって発生した例外の意味内容は、FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、FPU 例外処理が発生した場合は、デスティネーションレジスタは変更されません。</p>						
4. クロックパルス発振器（CPG）	4-1～4-3、 4-6～4-11、 4-13	<p>説明を修正</p> <p>内部クロック CPU クロック</p>						
4.1 特長 (1) PLL 回路 1	4-3	<p>説明を修正</p> <p>PLL 回路 1 は、CKIO 端子からのクロック周波数を 1 倍、2 倍、3 倍、4 倍、6 倍、または 8 倍に逡倍する機能を持ちます。逡倍率は、周波数制御レジスタで設定します。このとき、バスクロックの立ち上がりエッジの位相は CKIO 端子の立ち上がりエッジの位相に一致するように制御されます。</p>						
4.3 クロック動作モード 表 4.3 クロック動作モードと設定可能な周波数範囲	4-9	<p>注を修正</p> <p>【注意事項】</p> <p>表 4.3 以外の周波数設定で本 LSI を使用しないでください。</p>						
5.1.2 例外処理の動作 表 5.2 例外要因検出と例外処理開始タイミング	5-3	<p>表を修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2">例外処理</th> <th>要因検出および処理開始タイミング</th> </tr> </thead> <tbody> <tr> <td style="width: 10%;">命令</td> <td style="width: 10%;">FPU 例外</td> <td>浮動小数点演算命令の無効演算例外（IEEE754 規定）、ゼロによる除算例外、オーバフロー、アンダフローまたは、不正確例外により開始されます。また、FPSCR の QIS ビットがセットされているとき、qNaN もしくは ± を浮動小数点演算命令のソースに入力すると開始されます。</td> </tr> </tbody> </table>	例外処理		要因検出および処理開始タイミング	命令	FPU 例外	浮動小数点演算命令の無効演算例外（IEEE754 規定）、ゼロによる除算例外、オーバフロー、アンダフローまたは、不正確例外により開始されます。また、FPSCR の QIS ビットがセットされているとき、qNaN もしくは ± を浮動小数点演算命令のソースに入力すると開始されます。
例外処理		要因検出および処理開始タイミング						
命令	FPU 例外	浮動小数点演算命令の無効演算例外（IEEE754 規定）、ゼロによる除算例外、オーバフロー、アンダフローまたは、不正確例外により開始されます。また、FPSCR の QIS ビットがセットされているとき、qNaN もしくは ± を浮動小数点演算命令のソースに入力すると開始されます。						
5.2.4 マニュアルリセット (3) マニュアルリセット時の注意事項	5-8	<p>説明を修正</p> <p>マニュアルリセット発生時、バスサイクルは保持されます。そのため、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。マニュアルリセットでは CPU および INTC の IBNR の BN ビットを初期化します。FPU やその他のモジュールは初期化されません。</p>						

修正項目	ページ	修正内容（詳細はマニュアル参照）																										
5.3.1 アドレスエラー発生要因 表 5.7 バスサイクルとアドレスエラー	5-9	<p>表を修正</p> <table border="1"> <thead> <tr> <th colspan="2">バスサイクル</th> <th rowspan="2">バスサイクルの内容</th> <th rowspan="2">アドレスエラーの発生</th> </tr> <tr> <th>種類</th> <th>バスマスタ</th> </tr> </thead> <tbody> <tr> <td rowspan="9">データ読み出し /書き込み</td> <td rowspan="9">CPU</td> <td>ワードデータを偶数アドレスからアクセス</td> <td>なし（正常）</td> </tr> <tr> <td>ワードデータを奇数アドレスからアクセス</td> <td>アドレスエラー発生</td> </tr> <tr> <td>ロングワードデータをロングワード境界からアクセス</td> <td>なし（正常）</td> </tr> <tr> <td>ロングワードデータをロングワード境界以外からアクセス</td> <td>アドレスエラー発生</td> </tr> <tr> <td>ダブルロングワードデータをダブルロングワード境界からアクセス</td> <td>なし（正常）</td> </tr> <tr> <td>ダブルロングワードデータをダブルロングワード境界以外からアクセス</td> <td>アドレスエラー発生</td> </tr> <tr> <td>ワードデータ、バイトデータを内蔵周辺モジュール空間^gでアクセス</td> <td>なし（正常）</td> </tr> <tr> <td>ロングワードデータを 16 ビットの内蔵周辺モジュール空間^gでアクセス</td> <td>なし（正常）</td> </tr> <tr> <td>ロングワードデータを 8 ビットの内蔵周辺モジュール空間^gでアクセス</td> <td>なし（正常）</td> </tr> </tbody> </table>	バスサイクル		バスサイクルの内容	アドレスエラーの発生	種類	バスマスタ	データ読み出し /書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし（正常）	ワードデータを奇数アドレスからアクセス	アドレスエラー発生	ロングワードデータをロングワード境界からアクセス	なし（正常）	ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生	ダブルロングワードデータをダブルロングワード境界からアクセス	なし（正常）	ダブルロングワードデータをダブルロングワード境界以外からアクセス	アドレスエラー発生	ワードデータ、バイトデータを内蔵周辺モジュール空間 ^g でアクセス	なし（正常）	ロングワードデータを 16 ビットの内蔵周辺モジュール空間 ^g でアクセス	なし（正常）	ロングワードデータを 8 ビットの内蔵周辺モジュール空間 ^g でアクセス	なし（正常）
バスサイクル		バスサイクルの内容	アドレスエラーの発生																									
種類	バスマスタ																											
データ読み出し /書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし（正常）																									
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生																									
		ロングワードデータをロングワード境界からアクセス	なし（正常）																									
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生																									
		ダブルロングワードデータをダブルロングワード境界からアクセス	なし（正常）																									
		ダブルロングワードデータをダブルロングワード境界以外からアクセス	アドレスエラー発生																									
		ワードデータ、バイトデータを内蔵周辺モジュール空間 ^g でアクセス	なし（正常）																									
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間 ^g でアクセス	なし（正常）																									
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間 ^g でアクセス	なし（正常）																									
5.3.2 アドレスエラー例外処理	5-10	<p>説明を修正</p> <p>アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。</p> <p>注を追加</p> <p>【注】* データ読み出し / 書き込みによるアドレスエラー時、命令フェッチによるアドレスエラー時は、上記動作終了までにアドレスエラーを起こしたバスサイクルが終了しない場合、当該バスサイクル終了まで、CPU は再度アドレスエラー例外処理を開始します。</p>																										
5.7.1 命令による例外の種類	5-15	<p>説明を修正</p> <p>例外処理を起動する命令には、表 5.10 に示すように、トラップ命令、スロット不当命令、一般不当命令、整数除算例外、FPU 例外があります。</p>																										
表 5.10 命令による例外の種類	5-15	<p>表を修正</p> <table border="1"> <thead> <tr> <th>種類</th> <th>要因となる命令</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>FPU 例外</td> <td>IEEE754 規格で定義された無効演算例外または、ゼロによる除算例外を引き起こす命令、オーバフロー、アンダフローおよび不正値例外を引き起こす可能性のある命令</td> <td>FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSORT</td> </tr> </tbody> </table>	種類	要因となる命令	備考	FPU 例外	IEEE754 規格で定義された無効演算例外または、ゼロによる除算例外を引き起こす命令、オーバフロー、アンダフローおよび不正値例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSORT																				
種類	要因となる命令	備考																										
FPU 例外	IEEE754 規格で定義された無効演算例外または、ゼロによる除算例外を引き起こす命令、オーバフロー、アンダフローおよび不正値例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSORT																										
5.7.5 整数除算例外	5-16	<p>タイトル、説明を修正</p> <p>1. 発生した整数除算 例外に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。</p>																										

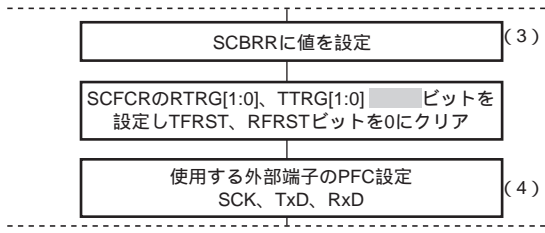
修正項目	ページ	修正内容（詳細はマニュアル参照）
5.7.6 FPU 例外	5-17	<p>タイトル、説明を修正</p> <p>浮動小数点ステータス / コントロールレジスタ (FPSCR) の FPU 例外イネーブルフィールド (Enable) 中の V、Z、O、U、または I ビットがセットされているとき、FPU 例外処理が発生します。これは浮動小数点演算命令が IEEE754 規格で定義された無効演算例外、ゼロによる除算例外、オーバフロー（可能性のある命令）、アンダフロー（可能性のある命令）、および不正確例外（可能性のある命令）を引き起こしたことを示します。</p> <p>FPU 例外処理の発生要因となる浮動小数点演算命令には以下の命令があります。</p> <p>FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT</p> <p>該当する FPU 例外イネーブルビット (Enable) がセットされているときのみ、FPU 例外処理が発生します。FPU が浮動小数点演算による例外要因を検出すると、FPU の動作は中断されて CPU に FPU 例外処理の発生を通知します。CPU は例外処理を開始すると次のように動作します。</p> <ol style="list-style-type: none"> 発生した FPU 例外処理に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。 <p style="text-align: center;">.</p> <p style="text-align: center;">.</p> <p>FPSCR の FPU 例外フラグフィールド (Flag) は、FPU 例外処理が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR の FPU 例外要因フィールド (Cause) は浮動小数点演算命令が実行されるごとに変化します。</p> <p>また、FPSCR の FPU 例外イネーブルフィールド (Enable) 中の V ビットがセットされ、かつ FPSCR の QIS ビットがセットされているとき、qNaN または ± を浮動小数点演算命令のソースに入力すると FPU 例外処理が発生します。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）
6.8 レジスタバンク 図 6.10 レジスタバンクの構成の概要	6-31	図を修正 
8.4.4 注意事項	8-16	説明を修正 1. オペランドキャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置してください。命令キャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置し、その先頭と最後でそれぞれ2回以上、内蔵周辺モジュールまたは外部アドレス空間（キャッシュ無効アドレス）へのリードアクセスを実行してください。
9.4.8 SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1) (a) オートリフレッシュ要求間隔と DRFC 設定値の関係	9-20	説明を修正 $DRFC = (\text{オートリフレッシュ要求間隔} / \text{バスクロック周期}) - 1$
11.4.1 DMA 転送モード 図 11.2 DMA 転送モードと DMAC/CPU のバス権の状態例	11-33	説明を追加 DMAC のライト側 BIU 以外への CPU アクセスは可 ただし、CPU が外部アドレス空間にアクセスし、かつ直前の DMA アクセスが外部アドレス空間へのアクセスであった場合には、CPU アクセスが受け付けられない場合があります。
11.4.2 DMA 転送条件 (1) 単一オペランド転送	11-34	説明を追加 DMA 転送条件が単一オペランド転送かつ DMA 要求の入力センスモードがレベルセンスの場合、1 オペランド転送終了後のチャネル調停期間にて DMA 要求のマスク期間が存在します（詳細は「11.7.3 DMA 要求のセンスモード」を参照ください）。そのため、1 オペランド転送終了後のチャネル調停期間において、転送中のチャネルよりも優先順位の高いチャネルの DMA 要求がなく優先順位の低いチャネルの DMA 要求が有効な場合、優先順位の低いチャネルの DMA 転送が開始します。優先順位の高いチャネルを連続して転送する場合には、DMA 転送条件を連続オペランド転送かノンストップ転送に設定してください。

修正項目	ページ	修正内容（詳細はマニュアル参照）																				
11.4.2 DMA 転送条件 (2) 連続オペランド転送	11-34	説明を追加 DMA 転送条件が連続オペランド転送の場合、DMA 要求の入力センスモードがレベルセンスであっても、バイトカウントが0になるまではマスク期間がありません。そのため、転送中のチャンネルよりも優先順位の低いチャンネルの転送が開始されることはありません。																				
12.1 特長 表 12.1 MTU2 の機能一覧	12-3	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>チャンネル0</th> <th>チャンネル1</th> <th>チャンネル2</th> <th>チャンネル3</th> <th>チャンネル4</th> <th>チャンネル5</th> </tr> </thead> <tbody> <tr> <td>DMAC の起動</td> <td>TGR のコンペアマッチ または インプット キャプチャ</td> <td>TGR のコンペアマッチ または インプット キャプチャ</td> <td>TGR のコンペアマッチ または インプット キャプチャ</td> <td>TGR のコンペアマッチ または インプット キャプチャ</td> <td>TGR のコンペアマッチ または インプット キャプチャ</td> <td>TGR のコンペアマッチ または インプット キャプチャ TCNT オーバフロー/ アンダフロー</td> </tr> </tbody> </table>	項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5	DMAC の起動	TGR のコンペアマッチ または インプット キャプチャ	TGR のコンペアマッチ または インプット キャプチャ	TGR のコンペアマッチ または インプット キャプチャ	TGR のコンペアマッチ または インプット キャプチャ	TGR のコンペアマッチ または インプット キャプチャ	TGR のコンペアマッチ または インプット キャプチャ TCNT オーバフロー/ アンダフロー						
項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5																
DMAC の起動	TGR のコンペアマッチ または インプット キャプチャ	TGR のコンペアマッチ または インプット キャプチャ	TGR のコンペアマッチ または インプット キャプチャ	TGR のコンペアマッチ または インプット キャプチャ	TGR のコンペアマッチ または インプット キャプチャ	TGR のコンペアマッチ または インプット キャプチャ TCNT オーバフロー/ アンダフロー																
12.3.5 タイマインタラプトイネーブルレジスタ (TIER) • TIER_5	12-40	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>TGIESU</td> <td>0</td> <td>R/W</td> <td>TGR インタラプトイネーブル 5U TSR_5 の CMFU5 ビットに 1 がセットされたとき、CMFU5 ビットによる割り込み要求 (TGIU_5) を許可または禁止します。 0 : TGIU_5 割り込み要求を禁止 1 : TGIU_5 割り込み要求を許可</td> </tr> <tr> <td>1</td> <td>TGIESV</td> <td>0</td> <td>R/W</td> <td>TGR インタラプトイネーブル 5V TSR_5 の CMFV5 ビットに 1 がセットされたとき、CMFV5 ビットによる割り込み要求 (TGIIV_5) を許可または禁止します。 0 : TGIIV_5 割り込み要求を禁止 1 : TGIIV_5 割り込み要求を許可</td> </tr> <tr> <td>0</td> <td>TGIESW</td> <td>0</td> <td>R/W</td> <td>TGR インタラプトイネーブル 5W TSR_5 の CMFW5 ビットに 1 がセットされたとき、CMFW5 ビットによる割り込み要求 (TGIW_5) を許可または禁止します。 0 : TGIW_5 割り込み要求を禁止 1 : TGIW_5 割り込み要求を許可</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2	TGIESU	0	R/W	TGR インタラプトイネーブル 5U TSR_5 の CMFU5 ビットに 1 がセットされたとき、CMFU5 ビットによる割り込み要求 (TGIU_5) を許可または禁止します。 0 : TGIU_5 割り込み要求を禁止 1 : TGIU_5 割り込み要求を許可	1	TGIESV	0	R/W	TGR インタラプトイネーブル 5V TSR_5 の CMFV5 ビットに 1 がセットされたとき、CMFV5 ビットによる割り込み要求 (TGIIV_5) を許可または禁止します。 0 : TGIIV_5 割り込み要求を禁止 1 : TGIIV_5 割り込み要求を許可	0	TGIESW	0	R/W	TGR インタラプトイネーブル 5W TSR_5 の CMFW5 ビットに 1 がセットされたとき、CMFW5 ビットによる割り込み要求 (TGIW_5) を許可または禁止します。 0 : TGIW_5 割り込み要求を禁止 1 : TGIW_5 割り込み要求を許可
ビット	ビット名	初期値	R/W	説明																		
2	TGIESU	0	R/W	TGR インタラプトイネーブル 5U TSR_5 の CMFU5 ビットに 1 がセットされたとき、CMFU5 ビットによる割り込み要求 (TGIU_5) を許可または禁止します。 0 : TGIU_5 割り込み要求を禁止 1 : TGIU_5 割り込み要求を許可																		
1	TGIESV	0	R/W	TGR インタラプトイネーブル 5V TSR_5 の CMFV5 ビットに 1 がセットされたとき、CMFV5 ビットによる割り込み要求 (TGIIV_5) を許可または禁止します。 0 : TGIIV_5 割り込み要求を禁止 1 : TGIIV_5 割り込み要求を許可																		
0	TGIESW	0	R/W	TGR インタラプトイネーブル 5W TSR_5 の CMFW5 ビットに 1 がセットされたとき、CMFW5 ビットによる割り込み要求 (TGIW_5) を許可または禁止します。 0 : TGIW_5 割り込み要求を禁止 1 : TGIW_5 割り込み要求を許可																		
12.3.31 タイマ波形コントロールレジスタ (TWCR)	12-71	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>WRE</td> <td>0</td> <td>R(W)</td> <td>初期出力抑止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の T_b 区間で同期クリアが発生したときのみです。それ以外の場合に同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の T_b 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の T_b 区間については、図 12.40 を参照してください。 0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する [セット条件] WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	0	WRE	0	R(W)	初期出力抑止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の T _b 区間で同期クリアが発生したときのみです。それ以外の場合に同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の T _b 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の T _b 区間については、図 12.40 を参照してください。 0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する [セット条件] WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき										
ビット	ビット名	初期値	R/W	説明																		
0	WRE	0	R(W)	初期出力抑止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の T _b 区間で同期クリアが発生したときのみです。それ以外の場合に同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の T _b 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の T _b 区間については、図 12.40 を参照してください。 0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する [セット条件] WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき																		
12.4.5 PWM モード (2) PWM モードの動作例	12-92	説明を修正 この場合、TGRB-1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。																				
12.4.8 相補 PWM モード (n) 相補 PWM モードでの同期カウンタクリア時出力波形制御	12-123	説明を追加 初期出力を抑止する場合、コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態で同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、「12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」を参照してください。																				

修正項目	ページ	修正内容（詳細はマニュアル参照）										
12.4.8 相補 PWM モード (3) 相補 PWM モードの割り込み間引き機能 (c) 割り込み間引きと連動したバッファ転送制御 図 12.71 バッファ転送を割り込み間引きと連動する設定(BTE1 = 1、BTE0 = 0)にした場合の動作例	12-133	図を差し替え										
図 12.72 タイマ割り込み間引き設定レジスタ(TITCR)の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係	12-134	図を差し替え										
12.5.3 A/D 変換器の起動 (3) A/D 変換開始要求ディレイド機能による A/D 起動	12-145	説明を修正 A/D 変換開始要求コントロールレジスタ(TADCR)の UT4AE、DT4AE、UT4BE、DT4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。										
12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項	12-173	新規追加										
14.5.3 インターバルタイマオーバーフローフラグ	14-12	新規追加										
14.5.5 ウォッチドッグタイマモードのマニュアルリセット	14-13	説明を削除 ウォッチドッグタイマモードによるマニュアルリセット発生時、バスサイクルは保持されます。DMAC パースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。										
15.5.3 レジスタ設定後のスタンバイ遷移について	15-23	説明を修正 RTC 内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、2 カウントクロック以上待ってからスタンバイ状態に遷移してください。										
15.5.4 RTC 用水晶発振回路 図 15.6 RTC 用水晶発振回路接続例	15-24	注を修正 7. RTC 用水晶発振回路を使用しない場合は、RTC_X1 端子を固定（プルアップ / プルダウン / 電源接続 / グランド接続）し、RTC_X2 端子をオープンとしてください。										
16.3.6 シリアルコントロールレジスタ(SCSCR)	16-11	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>REIE</td> <td>0</td> <td>R/W</td> <td>受信エラーインタラプトイネーブル 受信エラー割り込み(ERI)要求、ブレーク割り込み(BRI)要求の発生を許可/禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。 0: 受信エラー割り込み(ERI)要求、ブレーク割り込み(BRI)要求を禁止 1: 受信エラー割り込み(ERI)要求、ブレーク割り込み(BRI)要求を許可 【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または OREX フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	3	REIE	0	R/W	受信エラーインタラプトイネーブル 受信エラー割り込み(ERI)要求、ブレーク割り込み(BRI)要求の発生を許可/禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。 0: 受信エラー割り込み(ERI)要求、ブレーク割り込み(BRI)要求を禁止 1: 受信エラー割り込み(ERI)要求、ブレーク割り込み(BRI)要求を許可 【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または OREX フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。
ビット	ビット名	初期値	R/W	説 明								
3	REIE	0	R/W	受信エラーインタラプトイネーブル 受信エラー割り込み(ERI)要求、ブレーク割り込み(BRI)要求の発生を許可/禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。 0: 受信エラー割り込み(ERI)要求、ブレーク割り込み(BRI)要求を禁止 1: 受信エラー割り込み(ERI)要求、ブレーク割り込み(BRI)要求を許可 【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または OREX フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。								

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																																																														
16.3.8 ビットレートレジスタ (SCBRR) 表 16.4 ビットレートに対する SCBRR の設定例(調歩同期式モード) (2)	16-19	表を修正 <table border="1"> <thead> <tr> <th rowspan="3">ビットレート (bit/s)</th> <th colspan="12">P (MHz)</th> </tr> <tr> <th colspan="3">8</th> <th colspan="3">9.8304</th> <th colspan="3">10</th> <th colspan="3">12</th> </tr> <tr> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr> <td>19200</td> <td>0</td> <td>12</td> <td>0.16</td> <td>0</td> <td>15</td> <td>0.00</td> <td>0</td> <td>15</td> <td>1.73</td> <td>0</td> <td>19</td> <td>-2.34</td> </tr> </tbody> </table>	ビットレート (bit/s)	P (MHz)												8			9.8304			10			12			n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34																																																																																												
ビットレート (bit/s)	P (MHz)																																																																																																																																															
	8			9.8304			10			12																																																																																																																																						
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)																																																																																																																																				
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34																																																																																																																																				
表 16.4 ビットレートに対する SCBRR の設定例(調歩同期式モード) (5)	16-20	表を修正 <table border="1"> <thead> <tr> <th rowspan="3">ビット レート (bit/s)</th> <th colspan="12">P (MHz)</th> </tr> <tr> <th colspan="3">30</th> <th colspan="3">33</th> <th colspan="3">36</th> <th colspan="3">38</th> <th colspan="3">40</th> </tr> <tr> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr> <td>4800</td> <td>0</td> <td>194</td> <td>0.16</td> <td>0</td> <td>214</td> <td>-0.07</td> <td>0</td> <td>233</td> <td>0.16</td> <td>0</td> <td>246</td> <td>0.16</td> <td>1</td> <td>64</td> <td>0.16</td> </tr> </tbody> </table>	ビット レート (bit/s)	P (MHz)												30			33			36			38			40			n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	4800	0	194	0.16	0	214	-0.07	0	233	0.16	0	246	0.16	1	64	0.16																																																																																			
ビット レート (bit/s)	P (MHz)																																																																																																																																															
	30			33			36			38			40																																																																																																																																			
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)																																																																																																																																	
4800	0	194	0.16	0	214	-0.07	0	233	0.16	0	246	0.16	1	64	0.16																																																																																																																																	
表 16.5 ビットレートに対する SCBRR の設定例(クロック同期式モ ード)(1)	16-21	表を修正 <table border="1"> <thead> <tr> <th rowspan="3">ビットレート (bit/s)</th> <th colspan="12">P (MHz)</th> </tr> <tr> <th colspan="3">5</th> <th colspan="3">8</th> <th colspan="3">16</th> <th colspan="3">28.7</th> <th colspan="3">30</th> </tr> <tr> <th>n</th> <th>N</th> <th></th> <th>n</th> <th>N</th> <th></th> <th>n</th> <th>N</th> <th></th> <th>n</th> <th>N</th> <th></th> <th>n</th> <th>N</th> </tr> </thead> <tbody> <tr> <td>250</td> <td>3</td> <td>77</td> <td></td> <td>3</td> <td>124</td> <td></td> <td>3</td> <td>249</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>1M</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>0</td> <td>3</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>2M</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ビットレート (bit/s)	P (MHz)												5			8			16			28.7			30			n	N		n	N		n	N		n	N		n	N	250	3	77		3	124		3	249							1M							0	3							2M																																																																					
ビットレート (bit/s)	P (MHz)																																																																																																																																															
	5			8			16			28.7			30																																																																																																																																			
	n	N		n	N		n	N		n	N		n	N																																																																																																																																		
250	3	77		3	124		3	249																																																																																																																																								
1M							0	3																																																																																																																																								
2M																																																																																																																																																
表 16.5 ビットレートに対する SCBRR の設定例(クロック同期式モ ード)(2)	16-21	表を修正 <table border="1"> <thead> <tr> <th rowspan="3">ビットレート (bit/s)</th> <th colspan="8">P (MHz)</th> </tr> <tr> <th colspan="2">33</th> <th colspan="2">36</th> <th colspan="2">38</th> <th colspan="2">40</th> </tr> <tr> <th>n</th> <th>N</th> <th>n</th> <th>N</th> <th>n</th> <th>N</th> <th>n</th> <th>N</th> </tr> </thead> <tbody> <tr> <td>250</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>500</td> <td>3</td> <td>255</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>1k</td> <td>3</td> <td>128</td> <td>3</td> <td>140</td> <td>3</td> <td>147</td> <td>3</td> <td>155</td> </tr> <tr> <td>2.5k</td> <td>2</td> <td>205</td> <td>2</td> <td>224</td> <td>2</td> <td>237</td> <td>2</td> <td>249</td> </tr> <tr> <td>5k</td> <td>2</td> <td>102</td> <td>2</td> <td>112</td> <td>2</td> <td>118</td> <td>2</td> <td>124</td> </tr> <tr> <td>10k</td> <td>1</td> <td>205</td> <td>1</td> <td>224</td> <td>1</td> <td>237</td> <td>1</td> <td>249</td> </tr> <tr> <td>25k</td> <td>1</td> <td>82</td> <td>1</td> <td>89</td> <td>1</td> <td>94</td> <td>1</td> <td>99</td> </tr> <tr> <td>50k</td> <td>0</td> <td>164</td> <td>0</td> <td>179</td> <td>0</td> <td>189</td> <td>0</td> <td>199</td> </tr> <tr> <td>100k</td> <td>0</td> <td>82</td> <td>0</td> <td>89</td> <td>0</td> <td>94</td> <td>0</td> <td>99</td> </tr> <tr> <td>250k</td> <td>0</td> <td>32</td> <td>0</td> <td>35</td> <td>0</td> <td>37</td> <td>0</td> <td>39</td> </tr> <tr> <td>500k</td> <td></td> <td></td> <td>0</td> <td>17</td> <td>0</td> <td>18</td> <td>0</td> <td>19</td> </tr> <tr> <td>1M</td> <td></td> <td></td> <td>0</td> <td>8</td> <td></td> <td></td> <td>0</td> <td>9</td> </tr> <tr> <td>2M</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>0</td> <td>4</td> </tr> </tbody> </table>	ビットレート (bit/s)	P (MHz)								33		36		38		40		n	N	n	N	n	N	n	N	250									500	3	255							1k	3	128	3	140	3	147	3	155	2.5k	2	205	2	224	2	237	2	249	5k	2	102	2	112	2	118	2	124	10k	1	205	1	224	1	237	1	249	25k	1	82	1	89	1	94	1	99	50k	0	164	0	179	0	189	0	199	100k	0	82	0	89	0	94	0	99	250k	0	32	0	35	0	37	0	39	500k			0	17	0	18	0	19	1M			0	8			0	9	2M							0	4
ビットレート (bit/s)	P (MHz)																																																																																																																																															
	33			36		38		40																																																																																																																																								
	n	N	n	N	n	N	n	N																																																																																																																																								
250																																																																																																																																																
500	3	255																																																																																																																																														
1k	3	128	3	140	3	147	3	155																																																																																																																																								
2.5k	2	205	2	224	2	237	2	249																																																																																																																																								
5k	2	102	2	112	2	118	2	124																																																																																																																																								
10k	1	205	1	224	1	237	1	249																																																																																																																																								
25k	1	82	1	89	1	94	1	99																																																																																																																																								
50k	0	164	0	179	0	189	0	199																																																																																																																																								
100k	0	82	0	89	0	94	0	99																																																																																																																																								
250k	0	32	0	35	0	37	0	39																																																																																																																																								
500k			0	17	0	18	0	19																																																																																																																																								
1M			0	8			0	9																																																																																																																																								
2M							0	4																																																																																																																																								
	16-22	注、説明を修正 <p>【記号説明】</p> <p>空欄 : 設定できません。または、通信相手にかかわらず本 LSI 自身の電気的特性を満たすことができません。</p> <p>- : 設定可能ですが誤差がです。</p> <p>表 16.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 16.7 と表 16.8 に外部クロック入力 ($t_{syc} = 12 t_{poc}$ 時*) の最大ビットレートを示します。</p> <p>【注】* 本 LSI と通信相手先の電気的特性を満足することを確認してください。</p>																																																																																																																																														

修正項目	ページ	修正内容（詳細はマニュアル参照）										
16.4.2 調歩同期モード時の動作 (3) データの送信 / 受信動作 図 16.3 SCIF 初期化フローチャートの例	16-33	図を修正 										
16.5 SCIF の割り込み	16-47	説明を修正 SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求または BRI 割り込み要求を出すことができます。										
16.6.6 調歩同期モードの受信データサンプリングタイミングと受信マージン	16-50	図を修正 $M = \left\lfloor \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{ D - 0.5 }{N} (1 + F) \right\rfloor \times 100[\%] \quad \dots \text{式 (1)}$										
17.3.1 I ² C バスコントロールレジスタ 1 (ICCR1)	17-5	表を修正 <table border="1" data-bbox="624 850 1221 937"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>ICE</td> <td>0</td> <td>R/W</td> <td>I²C バスインタフェース 3 イネーブル 0 : SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1 : 本モジュールは転送動作可能状態</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0 : SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1 : 本モジュールは転送動作可能状態
ビット	ビット名	初期値	R/W	説明								
7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0 : SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1 : 本モジュールは転送動作可能状態								
17.3.2 I ² C バスコントロールレジスタ 2 (ICCR2)	17-8	表を修正 <table border="1" data-bbox="624 985 1221 1081"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>IICRST</td> <td>0</td> <td>R/W</td> <td>IIC コントロール部リセット IICRST は ICMR の BC[2:0] ビットと内部回路をリセットします。I²C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットすると ICMR の BC[2:0] ビットと内部回路をリセットすることができます。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	1	IICRST	0	R/W	IIC コントロール部リセット IICRST は ICMR の BC[2:0] ビットと内部回路をリセットします。I ² C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットすると ICMR の BC[2:0] ビットと内部回路をリセットすることができます。
ビット	ビット名	初期値	R/W	説明								
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は ICMR の BC[2:0] ビットと内部回路をリセットします。I ² C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットすると ICMR の BC[2:0] ビットと内部回路をリセットすることができます。								
17.3.3 I ² C バスモードレジスタ (ICMR)	17-9	表を修正 <table border="1" data-bbox="624 1130 1221 1545"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2-0</td> <td>BC[2:0]</td> <td>000</td> <td>R/W</td> <td>ビットカウンタ 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I²C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。本ビットは、パワーオンリセット、ディープスタンバイモード、ソフトウェアスタンバイモード、モジュールスタンバイモード、および ICCR2 の IICRST を 1 セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。 I²C バスフォーマット クロック同期式シリアルフォーマット 000 : 9 ビット 000 : 8 ビット 001 : 2 ビット 001 : 1 ビット 010 : 3 ビット 010 : 2 ビット 011 : 4 ビット 011 : 3 ビット 100 : 5 ビット 100 : 4 ビット 101 : 6 ビット 101 : 5 ビット 110 : 7 ビット 110 : 6 ビット 111 : 8 ビット 111 : 7 ビット</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2-0	BC[2:0]	000	R/W	ビットカウンタ 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I ² C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。本ビットは、パワーオンリセット、ディープスタンバイモード、ソフトウェアスタンバイモード、モジュールスタンバイモード、および ICCR2 の IICRST を 1 セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。 I ² C バスフォーマット クロック同期式シリアルフォーマット 000 : 9 ビット 000 : 8 ビット 001 : 2 ビット 001 : 1 ビット 010 : 3 ビット 010 : 2 ビット 011 : 4 ビット 011 : 3 ビット 100 : 5 ビット 100 : 4 ビット 101 : 6 ビット 101 : 5 ビット 110 : 7 ビット 110 : 6 ビット 111 : 8 ビット 111 : 7 ビット
ビット	ビット名	初期値	R/W	説明								
2-0	BC[2:0]	000	R/W	ビットカウンタ 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I ² C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。本ビットは、パワーオンリセット、ディープスタンバイモード、ソフトウェアスタンバイモード、モジュールスタンバイモード、および ICCR2 の IICRST を 1 セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。 I ² C バスフォーマット クロック同期式シリアルフォーマット 000 : 9 ビット 000 : 8 ビット 001 : 2 ビット 001 : 1 ビット 010 : 3 ビット 010 : 2 ビット 011 : 4 ビット 011 : 3 ビット 100 : 5 ビット 100 : 4 ビット 101 : 6 ビット 101 : 5 ビット 110 : 7 ビット 110 : 6 ビット 111 : 8 ビット 111 : 7 ビット								

修正項目	ページ	修正内容（詳細はマニュアル参照）																
17.3.4 I ² C バスインタラプティネーブルレジスタ (ICIER)	17-10	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>RIE</td> <td>0</td> <td>R/W</td> <td>レシーバインタラプティネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止 を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0 : 受信データフル割り込み要求 (RXI) の禁止 1 : 受信データフル割り込み要求 (RXI) の許可</td> </tr> <tr> <td>4</td> <td>NAKIE</td> <td>0</td> <td>R/W</td> <td>NACK 受信インタラプティネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出アービトレーションロスト / オーバランエラー割り込み要求 (NAKI) の許可 / 禁止 を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0 : NACK 受信割り込み要求 (NAKI) の禁止 1 : NACK 受信割り込み要求 (NAKI) の許可</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	5	RIE	0	R/W	レシーバインタラプティネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止 を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0 : 受信データフル割り込み要求 (RXI) の禁止 1 : 受信データフル割り込み要求 (RXI) の許可	4	NAKIE	0	R/W	NACK 受信インタラプティネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出アービトレーションロスト / オーバランエラー割り込み要求 (NAKI) の許可 / 禁止 を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0 : NACK 受信割り込み要求 (NAKI) の禁止 1 : NACK 受信割り込み要求 (NAKI) の許可	
ビット	ビット名	初期値	R/W	説 明														
5	RIE	0	R/W	レシーバインタラプティネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止 を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0 : 受信データフル割り込み要求 (RXI) の禁止 1 : 受信データフル割り込み要求 (RXI) の許可														
4	NAKIE	0	R/W	NACK 受信インタラプティネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出アービトレーションロスト / オーバランエラー割り込み要求 (NAKI) の許可 / 禁止 を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0 : NACK 受信割り込み要求 (NAKI) の禁止 1 : NACK 受信割り込み要求 (NAKI) の許可														
17.4.5 レーブ受信動作 図 17.12 スレーブ受信モード動作タイミング (2)	17-23	図を差し替え																
17.6 ビット同期回路 表 17.5 SCL をモニタする時間	17-34	<p>表を修正</p> <table border="1"> <thead> <tr> <th>CKS[3]</th> <th>CKS[2]</th> <th>SCL をモニタする時間*</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>38tpcy[±]</td> </tr> <tr> <td></td> <td>1</td> <td>67tpcy[±]</td> </tr> </tbody> </table>	CKS[3]	CKS[2]	SCL をモニタする時間*	1	0	38tpcy [±]		1	67tpcy [±]							
CKS[3]	CKS[2]	SCL をモニタする時間*																
1	0	38tpcy [±]																
	1	67tpcy [±]																
17.7.1 停止条件の発行および開始条件 (再送) の発行	17-34	<p>説明を削除</p> <p>下記 1.または 2.の条件下で、かつ特定のタイミングで停止条件の発行および開始条件 (再送) の発行を行ったとき、停止条件および開始条件 (再送) が正常に出力されない場合があります。</p>																
17.7.2 マルチマスタで使用時の注意	17-34	差し替え																
17.7.3 マスタ受信モード時の注意	17-34	差し替え																
17.7.4 マスタ受信モード、ACKBT 設定時の注意	17-35	新規追加																
17.7.5 アービトレーションロスト時の MST と TRN ビットの状態についての注意	17-35	新規追加																
17.7.6 IICRST、BBSY ビットに関する注意事項	17-35	新規追加																
18. シリアルサウンドインタフェース (SSI)	18-1	<p>説明を修正</p> <p>シリアルサウンドインタフェース (SSI) は、I²S バス方式と互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。</p>																
18.2 入出力端子 表 18.1 端子構成	18-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th>名称</th> <th>本数</th> <th>入出力</th> <th>機 能</th> </tr> </thead> <tbody> <tr> <td>AUDIO_CLK</td> <td>1</td> <td>入力</td> <td>オーディオ用外部クロック (オーバサンブルクロック)</td> </tr> <tr> <td>AUDIO_X1</td> <td>1</td> <td>入力</td> <td>オーディオ用水晶発振子 (オーバサンブルクロック)</td> </tr> <tr> <td>AUDIO_X2</td> <td>1</td> <td>出力</td> <td></td> </tr> </tbody> </table>	名称	本数	入出力	機 能	AUDIO_CLK	1	入力	オーディオ用外部クロック (オーバサンブルクロック)	AUDIO_X1	1	入力	オーディオ用水晶発振子 (オーバサンブルクロック)	AUDIO_X2	1	出力	
名称	本数	入出力	機 能															
AUDIO_CLK	1	入力	オーディオ用外部クロック (オーバサンブルクロック)															
AUDIO_X1	1	入力	オーディオ用水晶発振子 (オーバサンブルクロック)															
AUDIO_X2	1	出力																

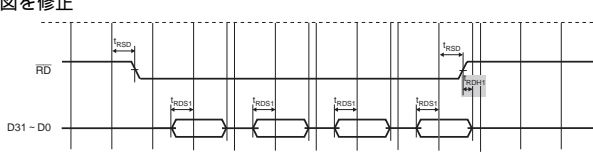
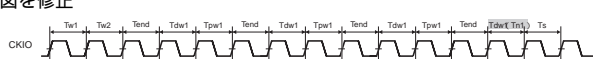
修正項目	ページ	修正内容（詳細はマニュアル参照）																				
18.3.1 コントロールレジスタ (SSICR)	18-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>SCKD</td> <td>0</td> <td>R/W</td> <td>シリアルビットロック方向 0:シリアルビットロック入力、スレープモード 1:シリアルビットロック出力、マスタモード 【注】 (SCKD、SWSD) = (0、0)と(1、1)の 設定のみ可能です。それ以外の設定は禁止です。</td> </tr> <tr> <td>14</td> <td>SWSD</td> <td>0</td> <td>R/W</td> <td>シリアルWS方向 0:シリアルワード選択入力、スレープモード 1:シリアルワード選択出力、マスタモード 【注】 (SCKD、SWSD) = (0、0)と(1、1)の 設定のみ可能です。それ以外の設定は禁止です。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	15	SCKD	0	R/W	シリアルビットロック方向 0:シリアルビットロック入力、スレープモード 1:シリアルビットロック出力、マスタモード 【注】 (SCKD、SWSD) = (0、0)と(1、1)の 設定のみ可能です。それ以外の設定は禁止です。	14	SWSD	0	R/W	シリアルWS方向 0:シリアルワード選択入力、スレープモード 1:シリアルワード選択出力、マスタモード 【注】 (SCKD、SWSD) = (0、0)と(1、1)の 設定のみ可能です。それ以外の設定は禁止です。					
ビット	ビット名	初期値	R/W	説明																		
15	SCKD	0	R/W	シリアルビットロック方向 0:シリアルビットロック入力、スレープモード 1:シリアルビットロック出力、マスタモード 【注】 (SCKD、SWSD) = (0、0)と(1、1)の 設定のみ可能です。それ以外の設定は禁止です。																		
14	SWSD	0	R/W	シリアルWS方向 0:シリアルワード選択入力、スレープモード 1:シリアルワード選択出力、マスタモード 【注】 (SCKD、SWSD) = (0、0)と(1、1)の 設定のみ可能です。それ以外の設定は禁止です。																		
18.4.1 バスフォーマット 表 18.3 SSI モジュールのバスフォーマット	18-15	<p>表を修正</p> <table border="1"> <thead> <tr> <th></th> <th>TRMD</th> <th>SCKD</th> <th>SWSD</th> </tr> </thead> <tbody> <tr> <td>非圧縮スレープレシーバ</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>非圧縮スレープトランスミッタ</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>非圧縮マスタレシーバ</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>非圧縮マスタトランスミッタ</td> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>		TRMD	SCKD	SWSD	非圧縮スレープレシーバ	0	0	0	非圧縮スレープトランスミッタ	1	0	0	非圧縮マスタレシーバ	0	1	1	非圧縮マスタトランスミッタ	1	1	1
	TRMD	SCKD	SWSD																			
非圧縮スレープレシーバ	0	0	0																			
非圧縮スレープトランスミッタ	1	0	0																			
非圧縮マスタレシーバ	0	1	1																			
非圧縮マスタトランスミッタ	1	1	1																			
18.4.2 非圧縮モード	18-15	<p>説明を修正</p> <p>非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。I²S 互換フォーマットだけでなく、多数の改良版にも対応しています。</p>																				
(3) マスタレシーバ	18-15	<p>説明を修正</p> <p>このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。</p>																				
(4) マスタトランスミッタ	18-15	<p>説明を修正</p> <p>このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。</p>																				
(5) 動作設定 - ワード長関連 1. I ² S 互換フォーマット	18-16	<p>説明を修正</p> <p>SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは I²S 互換、MSB ファースト・左詰め、MSB ファースト・右詰めの各フォーマットについて説明します。</p> <p>図 18.3、図 18.4 に、パディングありとパディングなしの I²S 互換フォーマットをそれぞれ示します。</p>																				
図 18.3 I ² S 互換フォーマット (パディングなし)	18-16	図タイトルを修正																				
図 18.4 I ² S 互換フォーマット (パディングあり)	18-16	<p>図タイトルと説明を修正</p> <p>図 18.5 に MSB ファースト・左詰めフォーマットを、図 18.6 に MSB ファースト・右詰めフォーマットを示します。</p>																				

修正項目	ページ	修正内容（詳細はマニュアル参照）
18.4.2 非圧縮モード (5)動作設定 - ワード長関連 2. MSB ファースト・左詰めフォーマット	18-17	説明を修正
図 18.5 MSB ファースト・左詰めフォーマット(シリアルデータ、パディングビットの順に送受信)	18-17	図タイトルを修正
3. MSB ファースト・右詰めフォーマット	18-17	
図 18.6 MSB ファースト・右詰めフォーマット(パディングビット、シリアルデータの順に送受信)	18-17	図タイトルを修正
(6) マルチチャンネルフォーマット	18-17	説明を修正 I ² S バス仕様の定義を拡張し、2 システムワード中に 2 より多いチャンネルの転送を行うデバイスタイプもあります。 SSI モジュールは、CHNL、SWL および DWL ビットを使って、4、6、および 8 チャンネルの転送を実行します。ただし、システムワード長(SWL)が、データワード長(DWL)にチャンネル数(CHNL)を掛けたもの以上の長さの場合に限ります。
	18-19	説明を修正 図 18.7 ~ 図 18.9 に、4、6、および 8 チャンネルのデータがどのようにシリアルオーディオバスに転送されるかを示します。
図 18.7 マルチチャンネルフォーマット(4チャンネル、パディングなし)	18-19	図タイトルを修正
図 18.8 マルチチャンネルフォーマット(6チャンネル、Highパディング)	18-19	図タイトルを修正
図 18.9 マルチチャンネルフォーマット(8チャンネル、パディングビット、シリアルデータの順に送受信、パディングあり)	18-20	図タイトルを修正
図 18.13 反転パディング極性	18-21	図を修正 SPDP=1をのぞき、基本フォーマット例と同じ設定です。 SSISCK  SSIWS 
18.4.4 送信動作	18-24	注を修正 【注】* SCKD=0 のとき SSISCK 端子からの入力クロック SCKD=1 のときオーバサンプルクロック
18.4.5 受信動作	18-26	注を修正 【注】* SCKD=0 のとき SSISCK 端子からの入力クロック SCKD=1 のときオーバサンプルクロック

修正項目	ページ	修正内容（詳細はマニュアル参照）										
18.4.7 シリアルビットクロックコントロール	18-29	説明を修正 シリアルビットクロック方向が出力に設定されている場合(SCKD=1)、SSI モジュールはクロックマスタモードであり、シフトレジスタが使うビットクロックはオーバーサンプルクロックまたはそれを分周したクロックです。オーバーサンプルクロックは、SSICR のシリアルオーバーサンプルクロック分周比(CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。										
18.5.1 受信 DMA 動作中にオーバーフローが起こった場合の制限事項	18-30	説明を修正 そのため、たとえばコントロールレジスタ(SSICR)のデータワード長(DWL2~DWL0)が32ビットの設定で、システムワード長(SWL2~SWL0)が32ビットの設定の場合、オーバーフローが一度発生すると、Lチャンネルで受信すべきデータが、Rチャンネルで受信してしまうことがあります。										
19.2.1 ブロック図 図 19.1 RCAN-ET のブロック図	19-2	注を修正 【注】 ロングワード(32ビット)アクセスは、バスインタフェース部でアクセスに展開されます。										
19.4.3 ビットタイミングコンフィギュレーションレジスタ0、1(BCR0、BCR1)	19-21	説明を修正 BRP(ボーレートプリスケアラ)はBCR格納値+1の値です。fclkは周辺クロック周波数です。										
(2) BCR0	19-23、 19-24	説明を修正 周辺バスクロック 周辺クロック										
19.6.1 RCAN-ET の設定 (1) リセットシーケンス 図 19.6 リセットシーケンス	19-43	注を修正 【注】 *3 本判定が0になるまでに約1ビットタイムがかかります。										
20.3.2 A/D コントロール / ステータスレジスタ(ADCSR)	20-7	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2-0</td> <td>CH[2:0]</td> <td>000</td> <td>R/W</td> <td>チャンネルセレクト ADCSR の MDS ビットとともにアナログ入力を選択します。 MDS=100 または MDS=101 または MDS=0xx のとき MDS=110 のとき MDS=111 のとき 000 : AN0 000 : AN0 000 : AN0 001 : AN1 001 : AN0、AN1 001 : AN0、AN1 010 : AN2 010 : AN0 - AN2 010 : AN0 - AN2 011 : AN3 011 : AN0 - AN3 011 : AN0 - AN3 100 : AN4 100 : AN4 100 : AN0 - AN4 101 : AN5 101 : AN4、AN5 101 : AN0 - AN5 110 : AN6 110 : AN4 - AN6 110 : AN0 - AN6 111 : AN7 111 : AN4 - AN7 111 : AN0 - AN7</td> </tr> </tbody> </table> <p>注を追加 【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。 ただし、以下の場合も0書き込みによるクリアとなりますのでご注意ください。 (1) CPU で ADF = 1 の状態を読み出す (2) DMAC による ADDR 読み出しによる ADF クリア (3) A/D 変換終了による ADF フラグセット (4) CPU で ADF フラグに0書き込み</p>	ビット	ビット名	初期値	R/W	説明	2-0	CH[2:0]	000	R/W	チャンネルセレクト ADCSR の MDS ビットとともにアナログ入力を選択します。 MDS=100 または MDS=101 または MDS=0xx のとき MDS=110 のとき MDS=111 のとき 000 : AN0 000 : AN0 000 : AN0 001 : AN1 001 : AN0、AN1 001 : AN0、AN1 010 : AN2 010 : AN0 - AN2 010 : AN0 - AN2 011 : AN3 011 : AN0 - AN3 011 : AN0 - AN3 100 : AN4 100 : AN4 100 : AN0 - AN4 101 : AN5 101 : AN4、AN5 101 : AN0 - AN5 110 : AN6 110 : AN4 - AN6 110 : AN0 - AN6 111 : AN7 111 : AN4 - AN7 111 : AN0 - AN7
ビット	ビット名	初期値	R/W	説明								
2-0	CH[2:0]	000	R/W	チャンネルセレクト ADCSR の MDS ビットとともにアナログ入力を選択します。 MDS=100 または MDS=101 または MDS=0xx のとき MDS=110 のとき MDS=111 のとき 000 : AN0 000 : AN0 000 : AN0 001 : AN1 001 : AN0、AN1 001 : AN0、AN1 010 : AN2 010 : AN0 - AN2 010 : AN0 - AN2 011 : AN3 011 : AN0 - AN3 011 : AN0 - AN3 100 : AN4 100 : AN4 100 : AN0 - AN4 101 : AN5 101 : AN4、AN5 101 : AN0 - AN5 110 : AN6 110 : AN4 - AN6 110 : AN0 - AN6 111 : AN7 111 : AN4 - AN7 111 : AN0 - AN7								

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																												
20.5 割り込み要因と DMAC 転送要求	20-17	<p>説明を修正</p> <p>ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされていると ADI 割り込み要求を発生します。なお、ADI 割り込みは、割り込みコントローラ（INTC）の設定により、DMAC の起動ができます。このとき、CPU への割り込み要求は発生されません。</p> <p style="text-align: center;">.</p> <p style="text-align: center;">.</p> <p>DMAC によりすべての変換データを転送するには、転送元アドレスが A/D 変換データ格納先の ADDR となるように設定し、転送バイト数を変換チャンネル数×2 バイトに設定し、DMA 転送条件を連続オペランド転送かノンストップ転送に設定してください。</p>																																																												
20.7.7 スキャンモードおよびマルチモード使用時の注意	22-21	差し替え																																																												
26.4.5 使用上の注意事項	26-6	<p>説明を修正</p> <p>4. UDTDO 変化タイミング切り替えコマンドをセットし、RES 端子ネゲート後すぐに UDTRST 端子をアサートした場合、UDTDO 変化タイミング切り替えコマンドがクリアされることがあります。これを防ぐため、UDTDO 変化タイミング切り替えコマンドをセットした場合、RES 端子と UDTRST 端子の互いの信号変化は必ず 20tcyc 以上間隔を空けてください。詳細は「26.4.3 UDTDO 出力タイミング」を参照してください。</p>																																																												
28.2 レジスタビット一覧	28-46	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>ビット 31/23/15/7</th> <th>ビット 30/22/14/6</th> <th>ビット 29/21/13/5</th> <th>ビット 28/20/12/4</th> <th>ビット 27/19/11/3</th> <th>ビット 26/18/10/2</th> <th>ビット 25/17/9/1</th> <th>ビット 24/16/8/0</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td rowspan="2">SCFCR_0</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>RSTRG2</td> <td>RSTRG1</td> <td>RSTRG0</td> <td rowspan="2">SCIF</td> </tr> <tr> <td>RTRG1</td> <td>RTRG0</td> <td>TTRG1</td> <td>TTRG0</td> <td>TFRST</td> <td>RFRST</td> <td>LOOP</td> </tr> </tbody> </table>	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	SCFCR_0	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP																																	
	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール																																																				
	SCFCR_0	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF																																																				
		RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP																																																						
28-47	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>ビット 31/23/15/7</th> <th>ビット 30/22/14/6</th> <th>ビット 29/21/13/5</th> <th>ビット 28/20/12/4</th> <th>ビット 27/19/11/3</th> <th>ビット 26/18/10/2</th> <th>ビット 25/17/9/1</th> <th>ビット 24/16/8/0</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td rowspan="2">SCFCR_1</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>RSTRG2</td> <td>RSTRG1</td> <td>RSTRG0</td> <td rowspan="2">SCIF</td> </tr> <tr> <td>RTRG1</td> <td>RTRG0</td> <td>TTRG1</td> <td>TTRG0</td> <td>TFRST</td> <td>RFRST</td> <td>LOOP</td> </tr> <tr> <td rowspan="2">SCFCR_2</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>RSTRG2</td> <td>RSTRG1</td> <td>RSTRG0</td> <td rowspan="2">SCIF</td> </tr> <tr> <td>RTRG1</td> <td>RTRG0</td> <td>TTRG1</td> <td>TTRG0</td> <td>TFRST</td> <td>RFRST</td> <td>LOOP</td> </tr> <tr> <td rowspan="2">SCFRDR_3</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>RSTRG2</td> <td>RSTRG1</td> <td>RSTRG0</td> <td rowspan="2">SCIF</td> </tr> <tr> <td>RTRG1</td> <td>RTRG0</td> <td>TTRG1</td> <td>TTRG0</td> <td>TFRST</td> <td>RFRST</td> <td>LOOP</td> </tr> </tbody> </table>	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	SCFCR_1	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP	SCFCR_2	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP	SCFRDR_3	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP
レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール																																																					
SCFCR_1	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF																																																					
	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP																																																							
SCFCR_2	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF																																																					
	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP																																																							
SCFRDR_3	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF																																																					
	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP																																																							
28-48	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>ビット 31/23/15/7</th> <th>ビット 30/22/14/6</th> <th>ビット 29/21/13/5</th> <th>ビット 28/20/12/4</th> <th>ビット 27/19/11/3</th> <th>ビット 26/18/10/2</th> <th>ビット 25/17/9/1</th> <th>ビット 24/16/8/0</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td rowspan="2">SCFCR_3</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>RSTRG2</td> <td>RSTRG1</td> <td>RSTRG0</td> <td rowspan="2">SCIF</td> </tr> <tr> <td>RTRG1</td> <td>RTRG0</td> <td>TTRG1</td> <td>TTRG0</td> <td>TFRST</td> <td>RFRST</td> <td>LOOP</td> </tr> <tr> <td rowspan="2">SCFCR_4</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>RSTRG2</td> <td>RSTRG1</td> <td>RSTRG0</td> <td rowspan="2">SCIF</td> </tr> <tr> <td>RTRG1</td> <td>RTRG0</td> <td>TTRG1</td> <td>TTRG0</td> <td>TFRST</td> <td>RFRST</td> <td>LOOP</td> </tr> <tr> <td rowspan="2">SCFCR_5</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>RSTRG2</td> <td>RSTRG1</td> <td>RSTRG0</td> <td rowspan="2">SCIF</td> </tr> <tr> <td>RTRG1</td> <td>RTRG0</td> <td>TTRG1</td> <td>TTRG0</td> <td>TFRST</td> <td>RFRST</td> <td>LOOP</td> </tr> </tbody> </table>	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	SCFCR_3	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP	SCFCR_4	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP	SCFCR_5	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP
レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール																																																					
SCFCR_3	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF																																																					
	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP																																																							
SCFCR_4	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF																																																					
	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP																																																							
SCFCR_5	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF																																																					
	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP																																																							
28-49	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>ビット 31/23/15/7</th> <th>ビット 30/22/14/6</th> <th>ビット 29/21/13/5</th> <th>ビット 28/20/12/4</th> <th>ビット 27/19/11/3</th> <th>ビット 26/18/10/2</th> <th>ビット 25/17/9/1</th> <th>ビット 24/16/8/0</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td rowspan="2">SCFCR_6</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>RSTRG2</td> <td>RSTRG1</td> <td>RSTRG0</td> <td rowspan="2">SCIF</td> </tr> <tr> <td>RTRG1</td> <td>RTRG0</td> <td>TTRG1</td> <td>TTRG0</td> <td>TFRST</td> <td>RFRST</td> <td>LOOP</td> </tr> <tr> <td rowspan="2">SCFCR_7</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>RSTRG2</td> <td>RSTRG1</td> <td>RSTRG0</td> <td rowspan="2">SCIF</td> </tr> <tr> <td>RTRG1</td> <td>RTRG0</td> <td>TTRG1</td> <td>TTRG0</td> <td>TFRST</td> <td>RFRST</td> <td>LOOP</td> </tr> </tbody> </table>	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	SCFCR_6	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP	SCFCR_7	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP																	
レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール																																																					
SCFCR_6	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF																																																					
	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP																																																							
SCFCR_7	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF																																																					
	RTRG1	RTRG0	TTRG1	TTRG0	TFRST	RFRST	LOOP																																																							

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																															
28.2 レジスタビット一覧	28-51	表を修正 <table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td rowspan="2">BCR1_0</td> <td>31/23/15/7</td> <td>30/22/14/6</td> <td>29/21/13/5</td> <td>28/20/12/4</td> <td>27/19/11/3</td> <td>26/18/10/2</td> <td>25/17/9/1</td> <td>24/16/8/0</td> <td></td> <td rowspan="2">RCAN-ET</td> </tr> <tr> <td>TSG1_3</td> <td>TSG1_2</td> <td>TSG1_1</td> <td>TSG1_0</td> <td>-</td> <td>TSG2_2</td> <td>TSG2_1</td> <td>TSG2_0</td> <td></td> </tr> <tr> <td></td> <td>-</td> <td>-</td> <td>SW1</td> <td>SW0</td> <td>-</td> <td>-</td> <td>-</td> <td>BSP</td> <td></td> <td></td> </tr> </tbody> </table>	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	モジュール	BCR1_0	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0		RCAN-ET	TSG1_3	TSG1_2	TSG1_1	TSG1_0	-	TSG2_2	TSG2_1	TSG2_0			-	-	SW1	SW0	-	-	-	BSP																																							
	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	モジュール																																																																						
BCR1_0	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0		RCAN-ET																																																																							
	TSG1_3	TSG1_2	TSG1_1	TSG1_0	-	TSG2_2	TSG2_1	TSG2_0																																																																									
	-	-	SW1	SW0	-	-	-	BSP																																																																									
	28-54	表を修正 <table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td rowspan="2">BCR1_1</td> <td>31/23/15/7</td> <td>30/22/14/6</td> <td>29/21/13/5</td> <td>28/20/12/4</td> <td>27/19/11/3</td> <td>26/18/10/2</td> <td>25/17/9/1</td> <td>24/16/8/0</td> <td></td> <td rowspan="2">RCAN-ET</td> </tr> <tr> <td>TSG1_3</td> <td>TSG1_2</td> <td>TSG1_1</td> <td>TSG1_0</td> <td>-</td> <td>TSG2_2</td> <td>TSG2_1</td> <td>TSG2_0</td> <td></td> </tr> <tr> <td></td> <td>-</td> <td>-</td> <td>SW1</td> <td>SW0</td> <td>-</td> <td>-</td> <td>-</td> <td>BSP</td> <td></td> <td></td> </tr> </tbody> </table>	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	モジュール	BCR1_1	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0		RCAN-ET	TSG1_3	TSG1_2	TSG1_1	TSG1_0	-	TSG2_2	TSG2_1	TSG2_0			-	-	SW1	SW0	-	-	-	BSP																																							
レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	モジュール																																																																							
BCR1_1	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0		RCAN-ET																																																																							
	TSG1_3	TSG1_2	TSG1_1	TSG1_0	-	TSG2_2	TSG2_1	TSG2_0																																																																									
	-	-	SW1	SW0	-	-	-	BSP																																																																									
28.3 各動作モードにおけるレジスタの状態	28-63	表を修正 <table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>パワーオン リセット</th> <th>マニュアル リセット</th> <th>ソフトウェア スタンバイ</th> <th>ディープ スタンバイ</th> <th>モジュール スタンバイ</th> <th>スリープ</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td>RSECAR</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> <td rowspan="9">RTC</td> </tr> <tr> <td>RMINAR</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>RHRAR</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>RWKAR</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>RDAYAR</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>RMONAR</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> <td>保持⁸⁾</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>RCR1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>初期化</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>RCR2</td> <td>初期化</td> <td>初期化⁸⁾</td> <td>保持</td> <td>初期化</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>RVRAR</td> <td>保持</td> <td>保持</td> <td>保持</td> <td>保持</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>RCR3</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>保持</td> <td>保持</td> </tr> </tbody> </table>	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール	RSECAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持	RTC	RMINAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持	RHRAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持	RWKAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持	RDAYAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持	RMONAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持	RCR1	初期化	初期化	保持	初期化	保持	保持	RCR2	初期化	初期化 ⁸⁾	保持	初期化	保持	保持	RVRAR	保持	保持	保持	保持	保持	保持	RCR3	初期化	保持	保持	初期化	保持	保持
	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	ディープ スタンバイ	モジュール スタンバイ	スリープ	モジュール																																																																									
RSECAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持	RTC																																																																										
RMINAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持																																																																											
RHRAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持																																																																											
RWKAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持																																																																											
RDAYAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持																																																																											
RMONAR	保持 ⁸⁾	保持	保持	保持 ⁸⁾	保持	保持																																																																											
RCR1	初期化	初期化	保持	初期化	保持	保持																																																																											
RCR2	初期化	初期化 ⁸⁾	保持	初期化	保持	保持																																																																											
RVRAR	保持	保持	保持	保持	保持	保持																																																																											
RCR3	初期化	保持	保持	初期化	保持	保持																																																																											
	28-74	注を追加 【注】*8 ENB ビットは初期化																																																																															
29.3 AC 特性 表 29.4 最大動作周波数	29-8	表を修正 <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> </tr> </thead> <tbody> <tr> <td>動作周波数</td> <td>CPU クロック (I)</td> </tr> <tr> <td></td> <td>バスクロック (B)</td> </tr> <tr> <td></td> <td>周辺クロック (P)</td> </tr> </tbody> </table>	項 目	記号	動作周波数	CPU クロック (I)		バスクロック (B)		周辺クロック (P)																																																																							
		項 目	記号																																																																														
動作周波数	CPU クロック (I)																																																																																
	バスクロック (B)																																																																																
	周辺クロック (P)																																																																																
29.3.1 クロックタイミング 表 29.5 クロックタイミング	29-9	表を修正 <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>CKIO クロック出力周波数</td> <td>f_{op}</td> <td>20</td> <td>60</td> <td>MHz</td> <td rowspan="5">31.3</td> </tr> <tr> <td>CKIO クロック出力サイクル時間</td> <td>t_{on}</td> <td>16.67</td> <td>50</td> <td>ns</td> </tr> <tr> <td>CKIO クロック出力 Low レベルパルス幅</td> <td>t_{low}</td> <td>$t_{on}/2$</td> <td>-</td> <td>ns</td> </tr> <tr> <td>CKIO クロック出力 High レベルパルス幅</td> <td>t_{high}</td> <td>$t_{on}/2$</td> <td>-</td> <td>ns</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	項 目	記号	Min.	Max.	単位	参照図	CKIO クロック出力周波数	f_{op}	20	60	MHz	31.3	CKIO クロック出力サイクル時間	t_{on}	16.67	50	ns	CKIO クロック出力 Low レベルパルス幅	t_{low}	$t_{on}/2$	-	ns	CKIO クロック出力 High レベルパルス幅	t_{high}	$t_{on}/2$	-	ns																																																				
		項 目	記号	Min.	Max.	単位	参照図																																																																										
CKIO クロック出力周波数	f_{op}	20	60	MHz	31.3																																																																												
CKIO クロック出力サイクル時間	t_{on}	16.67	50	ns																																																																													
CKIO クロック出力 Low レベルパルス幅	t_{low}	$t_{on}/2$	-	ns																																																																													
CKIO クロック出力 High レベルパルス幅	t_{high}	$t_{on}/2$	-	ns																																																																													
29.3.3 バスタイミング 表 29.7 バスタイミング	29-13	注を修正 【注】*2 B (バスクロック) の f_{max} は、使用するシステム構成に応じてウェイト数とあわせて検討してください。																																																																															
29.3.3 バスタイミング 図 29.10 (1) 外部アドレス空間基本バスタイミング (ノーマルアクセス、リード/ライトサイクルウェイト 3、CS アサートウェイト 1、ライトデータ出力ウェイト 1、WR/RD アサートウェイト 2、ライトデータ出力遅延サイクル 0、リード時/ライト時 CS 遅延サイクル 1)	29-14	図タイトルを修正 図を修正 																																																																															

修正項目	ページ	修正内容 (詳細はマニュアル参照)
29.3.3 バスタイミング 図 29.10 (2) 外部アドレス空間基本バスタイミング (ノーマルアクセス、データリカバリサイクル 0、リード/ライトサイクルウェイト 1、リード時/ライト時 CS 延長サイクル 1、他ウェイト設定は 0)	29-15	図を追加
図 29.10 (3) 外部アドレス空間基本バスタイミング (ノーマルアクセス、データリカバリサイクル 2、リード/ライトサイクルウェイト 1、リード時/ライト時 CS 延長サイクル 1、他ウェイト設定は 0)	29-16	図を追加
図 29.11 外部アドレス空間基本バスタイミング (ページリードアクセス、ノーマルアクセス互換モード、リードサイクルウェイト 2、ページリードサイクルウェイト 2、CS アサートウェイト 1、RD アサートウェイト 1、リード時 CS 延長サイクル 1)	29-16	図タイトルを修正
図 29.12 外部アドレス空間基本バスタイミング (ページリードアクセス、外部リードデータ連続アサートモード、リードサイクルウェイト 2、ページリードサイクルウェイト 1、CS アサートウェイト 1、RD アサートウェイト 1、リード時 CS 延長サイクル 1)	29-17	図タイトルを修正 図を修正 
図 29.13 外部アドレス空間基本バスタイミング (ページライトアクセス、ライトサイクルウェイト 2、CS アサートウェイト 1、WR アサートウェイト 1、ライトデータ出力遅延サイクル 1、他ウェイト設定は 0)	29-17	図タイトルを修正 図を修正 
図 29.14 外部アドレス空間 外部ウェイトタイミング (16 ビット幅チャネルへのページリードアクセス、外部リードデータ連続アサートモード、リードサイクルウェイト 3、ページリードサイクルウェイト 3、他ウェイト設定は 0、外部ウェイトサイクル 2)	29-18	図タイトルを修正 図を修正 BC3 ~ BC0 BC1, BC0 D31 ~ D0 D15 ~ D0
図 29.15 SDRAM 空間シングルリードバスタイミング (DCL=2 (2 サイクル)、DRCD=1 (2 サイクル)、DPCG=1 (2 サイクル))	29-19	図タイトルを修正

修正項目	ページ	修正内容（詳細はマニュアル参照）																		
29.3.3 バスタイミング 図 29.16 SDRAM 空間シングルライトバスタイミング ($DCL = 2$ (2 サイクル)、 $DRCD = 1$ (2 サイクル)、 $DPCG = 1$ (2 サイクル))	29-20	図タイトルを修正																		
図 29.17 SDRAM 空間複数リードバスタイミング (4 データアクセス、 $DCL = 2$ (2 サイクル)、 $DRCD = 1$ (2 サイクル)、 $DPCG = 1$ (2 サイクル))	29-21	図タイトルを修正																		
図 29.18 SDRAM 空間複数ライトバスタイミング (4 データアクセス、 $DCL = 2$ (2 サイクル)、 $DRCD = 1$ (2 サイクル)、 $DPCG = 1$ (2 サイクル))	29-22	図タイトルを修正																		
図 29.19 SDRAM 空間複数リード行またぎバスタイミング (8 データアクセス、 $DCL = 2$ (2 サイクル)、 $DRCD = 1$ (2 サイクル)、 $DPCG = 1$ (2 サイクル))	29-23	図タイトルを修正																		
29.3.6 MTU2 モジュールタイミング 表 29.10 MTU2 モジュールタイミング	29-27	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>インプットキャプチャ入力セットアップ時間</td> <td>t_{ics}</td> <td>20</td> <td>-</td> <td>ns</td> <td>31.25</td> </tr> <tr> <td>タイマ入力セットアップ時間</td> <td>t_{tis}</td> <td>20</td> <td>-</td> <td>ns</td> <td>31.26</td> </tr> </tbody> </table> 注を削除 【注】 XXXXXXXXXX t_{pys} は周辺クロック (P) の周期を示します。	項目	記号	Min.	Max.	単位	参照図	インプットキャプチャ入力セットアップ時間	t_{ics}	20	-	ns	31.25	タイマ入力セットアップ時間	t_{tis}	20	-	ns	31.26
項目	記号	Min.	Max.	単位	参照図															
インプットキャプチャ入力セットアップ時間	t_{ics}	20	-	ns	31.25															
タイマ入力セットアップ時間	t_{tis}	20	-	ns	31.26															
29.6 使用上の注意事項 図 29.49 外付けコンデンサ配置例	29-41	図を修正 																		

索引

【数字 / 記号】

16 ビット / 32 ビットディスプレイメント	2-10
16 ビットカウントモード	13-15
8 ビットタイマ (TMR)	13-1

【A】

A/D トリガ入力タイミング	29-34
A/D 変換開始要求ディレイド機能	12-136
A/D 変換器 (ADC)	20-1
A/D 変換器特性	29-40
A/D 変換器の起動	12-145
A/D 変換時間 (シングルモード)	20-15
A/D 変換時間 (マルチモード / スキャンモード)	20-16
A/D 変換精度の定義	20-18
A/D 変換タイミング	20-15
AC 特性	29-8
AC 特性測定条件	29-39

【C】

CAN インタフェース	19-3
CAN スリープモード	19-44
CPU	2-1
CSC インタフェース	9-33

【D】

D/A 変換器 (DAC)	21-1
D/A 変換器特性	29-40
DC 特性	29-2
DMAC 使用上の制約事項	16-49

【F】

FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)	16-1
FPU に関する CPU 命令	2-36
FPU 例外要因	3-8

【H】

H-UDI 関連端子のタイミング	29-36
H-UDI コマンド	26-3
H-UDI リセット	26-5
H-UDI 割り込み	6-16, 26-6

【I】

I/O ポート	22-1
I/O ポートタイミング	29-35
I ² C バスインタフェース 3 (IIC3)	17-1
I ² C バスフォーマット	17-16
ID 並べ替え	19-18
IIC3 モジュールタイミング	29-31
IRQ 割り込み	6-16

【L】

LRU	8-3
-----------	-----

【M】

MTU2 出力端子の初期化方法	12-175
MTU2 の機能一覧	12-2
MTU2 モジュールタイミング	29-27
MTU2 割り込み要因	12-143

【N】

NMI 割り込み	6-16
----------------	------

【P】

PINT 割り込み	6-17
PLL 回路 1	4-3
PLL 回路 2	4-3
PLL 発振回路使用時の注意	4-15

【 R 】		外部パルス幅測定機能	12-139
RCAN-ET のメモリマップ	19-4	カスケード接続	13-15
RCAN-ET ビットレートの計算式	19-23	キャッシュ	8-1
RISC 方式	2-7	キャッシュと外部メモリとのコヒーレンシ	8-12
RTC 用水晶発振回路	15-24	キャッシュの検索	8-9
		許容信号源インピーダンス	20-21
【 S 】		グローバルベースレジスタ (GBR)	2-3
SCBRR の設定値を求める計算式	16-17	クロック周波数制御回路	4-3
SCIF モジュールタイミング	29-30	クロック同期式シリアルフォーマット	17-24
SCIF 割り込み要因	16-47	クロック同期式モード時の動作	16-39
		クロック動作モード	4-5
【 T 】		クロック動作モードと設定可能な周波数範囲	4-6
TAP コントローラ	26-4	クロックパルス発振器 (CPG)	4-1
T ビット	2-8	コントローラエリアネットワーク (RCAN-ET)	19-1
		コントロールレジスタの初期値	2-4
		コンペアマッチカウントモード	13-16
		コンペアマッチ信号	13-13
【 U 】		【 さ 】	
UDTDO 出力タイミング	26-5	算術演算命令	2-27
		システム制御命令	2-32
【 あ 】		システムレジスタの初期値	2-4
アドバンストユーザデバッグ-II (AUD-II)	27-1	実効アドレスの計算方法	2-11
アドレスアレイ	8-2, 8-13	シフト命令	2-30
アドレスアレイライト (連想あり)	8-13	ジャンプテーブルベースレジスタ (TBR)	2-3
アドレスアレイライト (連想なし)	8-13	周波数変更の手順	14-9
アドレスアレイリード	8-13	周波数変更方法	4-13
アドレスエラー	5-9	乗算 / 積和演算	2-8
アドレスマップ	9-4	シリアルサウンドインタフェース (SSI)	18-1
アドレッシングモード	2-11	シングルモード	20-8
アナログ電圧の設定	20-19, 21-6	水晶発振器	4-3
アナログ入力端子の規格	20-20	水晶発振器使用時の注意	4-14
アナログ入力端子の取り扱い	20-19	スキャンモード	20-12
一般不当命令	5-16	スタックからの復帰	6-34
イミディエイトデータ	2-9	スタックへの退避	6-34
イミディエイトデータによる参照	2-9	スタンバイ制御回路	4-3
イミディエイトデータのデータ形式	2-6	ステータスレジスタ (SR)	2-2
インターバルタイマモードの使用法	14-11	スリープモード	25-16
ウォッチドッグタイマ (WDT)	14-1	スリープ受信動作	17-22
ウォッチドッグタイマタイミング	29-28	スリープ送信動作	17-21
ウォッチドッグタイマモードの使用法	14-10	スロット不当命令	5-16
オフセット誤差	20-18	整数除算命令	5-16
		積和下位レジスタ (MACL)	2-4
【 か 】		積和上位レジスタ (MACH)	2-4
外部トリガ入力タイミング	20-16	絶対アドレス	2-9
		絶対アドレスによる参照	2-10

絶対最大定格	29-1
相補 PWM モード	12-103
ソフトウェアスタンバイモード	25-16
ソフトウェアスタンバイモード解除の手順 (WDT) ..	14-9
ソフトウェアスタンバイモード時の D/A 出力保持機能	21-6

【た】

タイムクオンタムの定義	19-21
ダイレクトメモリアクセスコントローラ (DMAC) ..	11-1
単精度浮動小数点フォーマット	3-2
遅延スロットなし無条件分岐命令	2-8
遅延分岐命令	2-8
遅延分岐命令の直後の例外要因発生	5-17
調歩同期式モード時の動作	16-31
調歩同期式モードの受信データサンプリングタイミ ングと受信マージン	16-50
低消費電力状態	2-39
低消費電力モード	25-1
ディスプレイメントによる参照	2-10
逡倍率の変更	4-13
データアクセスサイクルでのブレーク	7-13
データアレイ	8-2, 8-14
データアレイライト	8-14
データアレイリード	8-14
データ転送命令	2-24
テストモードの設定	19-46
デッドタイム補償用機能	12-140
電気的特性	29-1
転送レート	17-6
トラップ命令	5-15

【な】

内蔵 RAM	24-1
内蔵周辺モジュール割り込み	6-17
ノイズ除去回路	17-27

【は】

倍精度浮動小数点フォーマット	3-2
バス監視	10-1
バスステートコントローラ (BSC)	9-1
バスタイミング	29-13
パワーオンリセット	5-7
バンクからの復帰	6-33
バンクへの回避	6-32

汎用レジスタ	2-1
汎用レジスタの初期値	2-4
非数 (NaN)	3-4
非正規化数	3-4
非直線性誤差	20-18
ビット操作命令	2-37
ビット同期回路	17-32
ピンファンクションコントローラ (PFC)	23-1
浮動小数点演算命令	2-34
浮動小数点の範囲	3-3
浮動小数点ユニット (FPU)	3-1
浮動小数点レジスタ	3-5
プリフェッチ動作 (オペランドキャッシュのみ)	8-10
フルスケール誤差	20-18
ブレークの送り出し	16-49
ブレークの検出と処理	16-49
プログラムカウンタ (PC)	2-4
プログラム実行状態	2-39
プロシージャレジスタ (PR)	2-4
ブロック図	1-8
分岐命令	2-31
分周器	4-3
分周率の変更	4-13
ベクタベースレジスタ (VBR)	2-3
ホルトモード	19-43

【ま】

マイクロプロセッサインタフェース (MPI)	19-3
マスタ受信動作	17-19
マスタ送信動作	17-17
マニュアルリセット	5-8
マルチファンクションタイマ	
パルスユニット 2 (MTU2)	12-1
マルチプレクス端子の一覧表 (ポート A)	23-1
マルチプレクス端子の一覧表 (ポート B)	23-3
マルチプレクス端子の一覧表 (ポート C)	23-4
マルチプレクス端子の一覧表 (ポート D)	23-6
マルチプレクス端子の一覧表 (ポート E)	23-7
マルチプレクス端子の一覧表 (ポート F)	23-7
マルチモード	20-10
丸め	3-7
命令形式	2-15
命令セット	2-19
命令による例外	5-15
命令の特長	2-7
命令フェッチサイクルでのブレーク	7-12

メールボックス.....	19-3
メールボックスコントロール.....	19-3
メールボックスのアドレスマップ.....	19-5
メールボックスの構成.....	19-6
メールボックスの再設定.....	19-52
メッセージコントロールフィールド.....	19-7
メッセージ受信シーケンス.....	19-50
メッセージ送信シーケンス.....	19-48
メッセージデータフィールド.....	19-13
メモリのデータ形式.....	2-5
メモリ割り付けキャッシュの構成.....	8-13
モジュールスタンバイ機能.....	25-24

【や】

ユーザデバッグインタフェース (H-UDI).....	26-1
ユーザブ레이크コントローラ (UBC).....	7-1
ユーザブ레이크割り込み.....	6-16

【ら】

ライトバックバッファ	
(オペランドキャッシュのみ).....	8-11
リアルタイムクロック (RTC).....	15-1
リセット状態.....	2-38
リセット同期 PWM モード.....	12-100
量子化誤差.....	20-18
レジスタ	
ABACK0.....	19-38
ACSWR.....	9-32
ADCSR.....	20-5
ADDRA ~ ADDRH.....	20-4
BBR.....	7-7
BCR0、BCR1.....	19-21
BDMR.....	7-6
BDR.....	7-5
BRCR.....	7-9
CCR1.....	8-4
CCR2.....	8-6
CKIOCR.....	4-12
CS1WCNTn.....	9-14
CS2WCNTn.....	9-15
CSMODn.....	9-12
CSnCNT.....	9-8
CSnREC.....	9-9
DACR.....	21-3
DADR0、DADR1.....	21-3

DMASTS.....	11-31
DMCBCT.....	11-9
DMCDADR.....	11-8
DMCNTA.....	11-17
DMCNTB.....	11-22
DMCSADR.....	11-7
DMEDET.....	11-30
DMICNT.....	11-27
DMICNTA.....	11-28
DMISTS.....	11-29
DMMOD.....	11-13
DMRBCT.....	11-12
DMRDADR.....	11-11
DMRSADR.....	11-10
DMSCNT.....	11-26
DREQER0.....	6-14
DREQER1.....	6-14
DREQER2.....	6-15
DREQER3.....	6-15
DSCNT.....	25-13
DSFR.....	25-14
FPSCR.....	3-6
FPUL.....	3-7
FRQCR.....	4-10
GSR.....	19-19
IBCR.....	6-12
IBNR.....	6-13
ICCR1.....	17-5
ICCR2.....	17-7
ICDRR.....	17-15
ICDRS.....	17-15
ICDRT.....	17-14
ICIER.....	17-10
ICMR.....	17-8
ICR0.....	6-6
ICR1.....	6-7
ICR2.....	6-8
ICSR.....	17-12
IMR.....	19-30
IPR01、IPR02、IPR05 ~ IPR16.....	6-5
IRQRR.....	6-9
IRR.....	19-25
MBIMR0.....	19-41
MCR.....	19-13
NF2CYC.....	17-15
PACR1 ~ PACR8.....	23-10
PADR.....	22-2

PAIOR	23-9	SCFDR	16-26
PAPR.....	22-3	SCFRDR	16-6
PBCR1 ~ PBCR8.....	23-19	SCFSR	16-12
PBDR.....	22-5	SCFTDR.....	16-7
PBIOR	23-19	SCLSR	16-28
PBPR.....	22-6	SCRSR.....	16-6
PCCR1 ~ PCCR7	23-30	SCSCR	16-10
PCDR	22-8	SCSMR	16-7
PCIOR	23-30	SCSPTR.....	16-26
PCPR.....	22-9	SCTSR	16-6
PDCR1 ~ PDCR5	23-38	SDBPR	26-2
PDDR	22-11	SDCKSCNT	9-31
PDIOR	23-38	SDCmCNT	9-11
PDPR.....	22-12	SDDPWCNT.....	9-24
PECR1、PECR2.....	23-43	SDIR.....	26-3
PEPR.....	22-13	SDIR0.....	9-21
PFCR1、PFCR2	23-45	SDIR1.....	9-22
PFDR	22-14	SDmADR.....	9-25
PFIOR.....	23-45	SDmMOD	9-28
PFPR	22-15	SDmTR.....	9-26
PINTER	6-10	SDPWCNT	9-23
PIRR	6-11	SDRFCNT0	9-18
R64CNT.....	15-4	SDRFCNT1	9-19
RAMKP	25-12	SDSTR	9-29
RCR1.....	15-17	SSICR	18-4
RCR2.....	15-18	SSIRDR	18-14
RCR3.....	15-20	SSISR.....	18-10
RDAYAR.....	15-15	SSITDR	18-14
RDAYCNT	15-9	STBCR	25-4
REC	19-31	STBCR2	25-5
RFPRO.....	19-40	STBCR3	25-6
RHRAR.....	15-13	STBCR4	25-7
RHRCNT	15-7	STBCR5	25-9
RMINAR	15-12	SYCBEEN	10-2
RMINCNT	15-6	SYCBESTS1.....	10-3
RMONAR.....	15-16	SYCBESTS2.....	10-5
RMONCNT	15-10	SYCBESW	10-7
RSECAR.....	15-11	SYSCR1.....	25-10
RSECNT	15-5	SYSCR2.....	25-11
RWKAR	15-14	TADCOBRA_4	12-50
RWKCNT.....	15-8	TADCOBRB_4	12-50
RXPRO.....	19-39	TADCORA_4.....	12-50
RYRAR.....	15-16	TADCORB_4.....	12-50
RYRCNT.....	15-10	TADCR	12-48
SAR	17-14	TBTER.....	12-69
SCBRR.....	16-17	TBTM.....	12-46
SCFCR	16-24	TCBR.....	12-66

TCCR.....	13-6	UMSR0.....	19-42
TCDR.....	12-66	WRCSR.....	14-6
TCNT.....	12-50, 13-4	WTCNT.....	14-3
TCNTCMPCLR.....	12-36	WTCSR.....	14-4
TCNTS.....	12-65	例外処理.....	5-1
TCORA.....	13-4	例外処理後のスタックの状態.....	5-18
TCORB.....	13-4	例外処理状態.....	2-38
TCR.....	12-11, 13-5	例外処理ベクタテーブル.....	5-4
TCSR.....	13-8	例外処理ベクタテーブルアドレスの算出法.....	5-5
TCSYSTR.....	12-55	例外要因の種類と優先順位.....	5-1
TDDR.....	12-65	レジスタ	
TDER.....	12-70	BAMR.....	7-4
TEC.....	19-31	BAR.....	7-4
TGCR.....	12-64	レジスター一覧.....	28-1
TGR.....	12-51	レジスタのデータ形式.....	2-5
TICCR.....	12-47	レジスタバンク.....	2-4, 6-31
TIER.....	12-37	レジスタバンクエラー.....	5-11
TIOR.....	12-17	レジスタバンクエラー例外処理.....	5-11, 6-35
TITCNT.....	12-68	レジスタバンクとバンク制御レジスタ.....	6-31
TITCR.....	12-67	レジスタバンクの例外.....	6-35
TMDR.....	12-15	ローカルアクセプタンスフィルタマスク (LAFM) ..	19-12
TOCR1.....	12-58	ロードストアアーキテクチャ.....	2-7
TOCR2.....	12-60	論理演算命令.....	2-29
TOER.....	12-57		
TOLBR.....	12-63		
TRWER.....	12-56		
TSR.....	12-41	【わ】	
TSTR.....	12-52	ワードデータの符号拡張.....	2-7
TSYR.....	12-54	割り込み応答時間.....	6-26
TWCR.....	12-71	割り込みコントローラ (INTC).....	6-1
TXACK0.....	19-37	割り込み優先順位.....	5-13
TXCR0.....	19-36	割り込み要因クリアのタイミング.....	6-36
TXPR0.....	19-35	割り込み例外処理.....	5-14
TXPR1.....	19-34	割り込み例外処理終了後のスタックの状態.....	6-25
		割り込み例外ベクタと優先順位.....	6-19

ルネサス32ビットRISCマイクロコンピュータ
SH7201グループ
ユーザーズマニュアル ハードウェア編

発行年月日 2006年6月23日 Rev.1.00
2010年9月15日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

SH7201 グループ
ユーザーズマニュアル ハードウェア編