

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7268 グループ、SH7269 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
SuperH™ RISC engine ファミリ / SH7260 シリーズ

SH7268	R5S7268
SH7269	R5S7269

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続きを行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

5. 各レジスタリザーブビットの読み出し / 書き込み

各モジュールで使用されるレジスタのリザーブビットは、その説明記述中に読み出し / 書き込み値の指定が特にない限り以下のように取り扱ってください。

読み出すと常に0が読み出されます。書き込む場合は、0を書き込むか、直前に読み出した値を書き込むかいずれかにしてください。

直前に読み出した値を書き込むようにしておくと、将来このビットに拡張機能を割り当てることのある場合、その拡張機能に影響を与えない利点があります。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・CPU およびシステム制御系
 - ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスター一覧
8. 電気的特性
9. 端子状態と処理方法
10. 付録
11. 本版で改訂または追加された主な箇所（改訂版のみ適用）

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改定内容の全てについて記載したものではありませんので、詳細については、本書の本文上で
ご確認ください。

12. 索引

はじめに

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

対象者 本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。

読み方

- 機能全体を理解しようとするとき

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

別冊の「SH-2A、SH2A-FPUユーザーズマニュアル ソフトウェア編」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき

本書の後ろに、「索引」があります。索引からページ番号を検索してください。

「第51章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

- 凡例

本マニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に、レジスタ名_チャンネル番号、の表記を使用します。

(例) CMCSR_0

(2) ビットの表記

本文中に記載されているビット名は、左側が上位ビット、右側が下位ビットの順になります。

(例) CKS1、CKS0

(3) 数字の表記

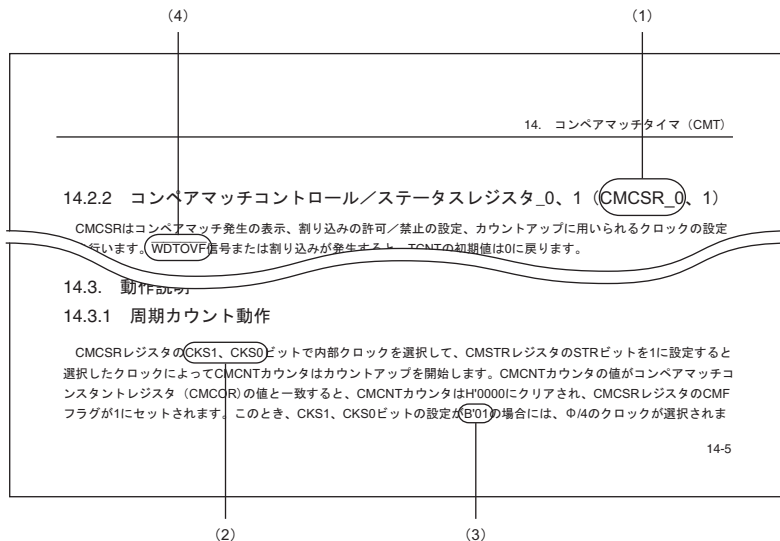
2進数はB'xxxxまたはxxxx、16進数はH'xxxx、10進数はxxxxで表します。

(例) B'11または11、H'EFA0、1234

(4) 記号の表記

ローアクティブの信号にはオーバーバーを付けています。

(例) $\overline{\text{WDTOVF}}$



【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

• ビット図とビット表の表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

レジスタのビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「-」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

- : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。

ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

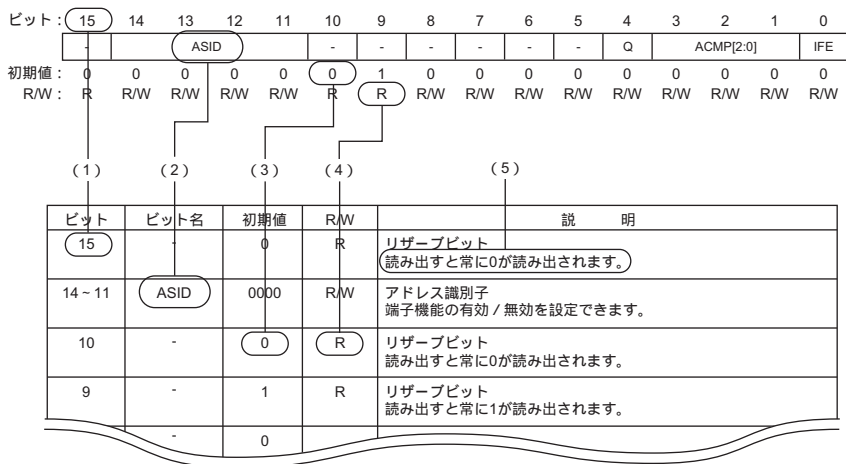
ただし、リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、ビット表で指定された値または初期値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

ただし、読み出すときの値は、ビット表に記載してある場合以外は保証されません。

(5) 説明

ビットを設定することで可能となる機能について説明しています。

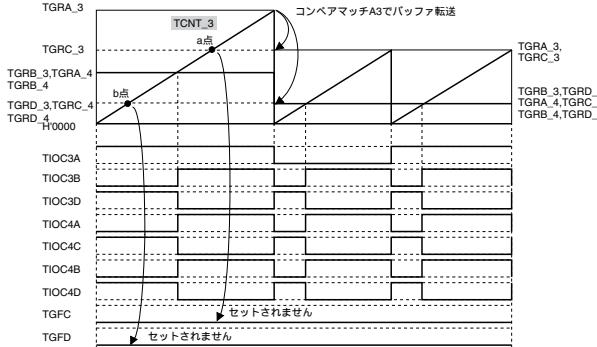
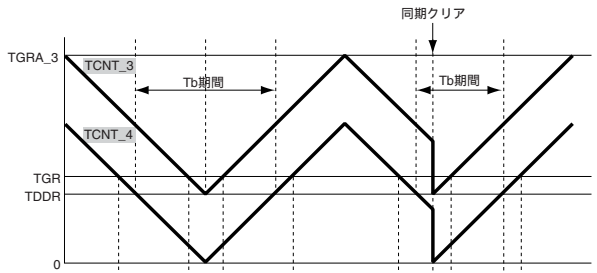
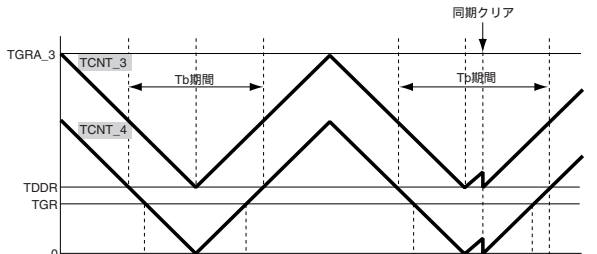


【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係ありません。

本版で改訂された箇所

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																					
1.1 SH7268/7269 の特長 表 1.1 SH7268/7269 の特長	1-8	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>特長</th> </tr> </thead> <tbody> <tr> <td>ビデオディスプレイ コントローラ 4</td> <td> <ul style="list-style-type: none"> 映像入力インタフェース: 下記から 1 チャネル選択 BT601、BT656 フォーマット (NTSC/PAL) 入力: 入力ロック 27MHz/54MHz デジタル端子入力: YCbCr444、RGB888、RGB666、RGB565 デジタル端子入力サイズ: 設定可能な入力映像サイズ* 水平 1024 画素、垂直 1024 ライン 【注】* 接続するデバイスとの AC 特性に依存します。 入力映像サイズ別 SVGA (800×600)、WVGA (800×480)、VGA (640×480)、WQVGA (480×240)、 QVGA (320×240、240×320) デジタルビデオデコーダでデコードされたコンポジットビデオ (CVBS) 信号の入力 入力映像制御 水平ノイズリダクション (NR)、マトリクス演算によるブライト、<i>ゲイン</i>調整 </td> </tr> </tbody> </table>	項目	特長	ビデオディスプレイ コントローラ 4	<ul style="list-style-type: none"> 映像入力インタフェース: 下記から 1 チャネル選択 BT601、BT656 フォーマット (NTSC/PAL) 入力: 入力ロック 27MHz/54MHz デジタル端子入力: YCbCr444、RGB888、RGB666、RGB565 デジタル端子入力サイズ: 設定可能な入力映像サイズ* 水平 1024 画素、垂直 1024 ライン 【注】* 接続するデバイスとの AC 特性に依存します。 入力映像サイズ別 SVGA (800×600)、WVGA (800×480)、VGA (640×480)、WQVGA (480×240)、 QVGA (320×240、240×320) デジタルビデオデコーダでデコードされたコンポジットビデオ (CVBS) 信号の入力 入力映像制御 水平ノイズリダクション (NR)、マトリクス演算によるブライト、<i>ゲイン</i>調整 																																	
項目	特長																																						
ビデオディスプレイ コントローラ 4	<ul style="list-style-type: none"> 映像入力インタフェース: 下記から 1 チャネル選択 BT601、BT656 フォーマット (NTSC/PAL) 入力: 入力ロック 27MHz/54MHz デジタル端子入力: YCbCr444、RGB888、RGB666、RGB565 デジタル端子入力サイズ: 設定可能な入力映像サイズ* 水平 1024 画素、垂直 1024 ライン 【注】* 接続するデバイスとの AC 特性に依存します。 入力映像サイズ別 SVGA (800×600)、WVGA (800×480)、VGA (640×480)、WQVGA (480×240)、 QVGA (320×240、240×320) デジタルビデオデコーダでデコードされたコンポジットビデオ (CVBS) 信号の入力 入力映像制御 水平ノイズリダクション (NR)、マトリクス演算によるブライト、<i>ゲイン</i>調整 																																						
1.2 製品一覧 表 1.2 製品一覧	1-13	表を差し替え																																					
1.5 端子機能 表 1.3 端子機能	1-21	<p>表を修正</p> <table border="1"> <thead> <tr> <th>分類</th> <th>端子名</th> <th>入出力</th> <th>名称</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>マルチ ファンクション タイムハルズ ユニット 2</td> <td>TIOC4A、TIOC4B、TIOC4C、 TIOC4D</td> <td>入出力</td> <td>インプットキャ プチャ ンブ アウトプット コンペア ンペア (チャネル 4)</td> <td>TGRA_4~TGRD_4のインプットキャプチャ入力 /アウトプットコンペア出力/PWM 出力端子で す。</td> </tr> </tbody> </table>	分類	端子名	入出力	名称	機能	マルチ ファンクション タイムハルズ ユニット 2	TIOC4A、TIOC4B、TIOC4C、 TIOC4D	入出力	インプットキャ プチャ ンブ アウトプット コンペア ンペア (チャネル 4)	TGRA_4~TGRD_4のインプットキャプチャ入力 /アウトプットコンペア出力/PWM 出力端子で す。																											
分類	端子名	入出力	名称	機能																																			
マルチ ファンクション タイムハルズ ユニット 2	TIOC4A、TIOC4B、TIOC4C、 TIOC4D	入出力	インプットキャ プチャ ンブ アウトプット コンペア ンペア (チャネル 4)	TGRA_4~TGRD_4のインプットキャプチャ入力 /アウトプットコンペア出力/PWM 出力端子で す。																																			
	1-24	<p>表を修正</p> <table border="1"> <thead> <tr> <th>分類</th> <th>端子名</th> <th>入出力</th> <th>名称</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>USB2.0 ホストレフ ファンクションモジ ュール</td> <td>REFRIN</td> <td>入力</td> <td>リアレンス入 力</td> <td>5.0kΩ±1%抵抗を介して USB4P9に接続してく ださい。【SH7268 / SH7269 (QFP)】 5.6 kΩ±1%抵抗を介して Vssに接続してください。 【SH7269(BGA)】。</td> </tr> </tbody> </table>	分類	端子名	入出力	名称	機能	USB2.0 ホストレフ ファンクションモジ ュール	REFRIN	入力	リアレンス入 力	5.0kΩ±1%抵抗を介して USB4P9に接続してく ださい。【SH7268 / SH7269 (QFP)】 5.6 kΩ±1%抵抗を介して Vssに接続してください。 【SH7269(BGA)】。																											
分類	端子名	入出力	名称	機能																																			
USB2.0 ホストレフ ファンクションモジ ュール	REFRIN	入力	リアレンス入 力	5.0kΩ±1%抵抗を介して USB4P9に接続してく ださい。【SH7268 / SH7269 (QFP)】 5.6 kΩ±1%抵抗を介して Vssに接続してください。 【SH7269(BGA)】。																																			
1.6 端子一覧 表 1.4 端子一覧	1-35	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">SH7268 No.</th> <th rowspan="2">SH7269 No.</th> <th rowspan="2">SH7269 BGA No.</th> <th colspan="2">機能 1</th> <th colspan="2">機能 2</th> <th colspan="2">機能 3</th> <th colspan="2">機能 4</th> </tr> <tr> <th>端子名</th> <th>I/O</th> <th>端子名</th> <th>I/O</th> <th>端子名</th> <th>I/O</th> <th>端子名</th> <th>I/O</th> </tr> </thead> <tbody> <tr> <td>95</td> <td>117</td> <td>W16</td> <td>BIAS</td> <td>I</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4		端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	95	117	W16	BIAS	I	-	-	-	-	-	-							
SH7268 No.	SH7269 No.	SH7269 BGA No.				機能 1		機能 2		機能 3		機能 4																											
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O																													
95	117	W16	BIAS	I	-	-	-	-	-	-																													
図 1.3 (2) 簡易回路図 (TTL AND 入力バッファ)	1-45	<p>図を修正</p>																																					
10.5.1 エンディアン / アクセスサ イズとデータアライメント 表 10.6 ビッグエンディアンの 16 ビット外部デバイスのアクセスとデ ータアライメント	10-46	<p>表を修正</p> <table border="1"> <thead> <tr> <th colspan="2" rowspan="2">オペレーション</th> <th colspan="4">データバス</th> <th colspan="4">ストローブ信号</th> </tr> <tr> <th>D31~D24</th> <th>D23~D16</th> <th>D15~D8</th> <th>D7~D0</th> <th>WE3、 DOMUJ</th> <th>WE2、 DOMUL</th> <th>WE1、 DOMLU</th> <th>WE0、 DOMLL</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0 番地 ロング ワード アクセス</td> <td>1 回目 (0 番地)</td> <td>-</td> <td>-</td> <td>データ 31~24</td> <td>データ 23~16</td> <td>-</td> <td>-</td> <td>アサート</td> <td>アサート</td> </tr> <tr> <td>2 回目 (2 番地)</td> <td>-</td> <td>-</td> <td>データ 15~8</td> <td>データ 7~0</td> <td>-</td> <td>-</td> <td>アサート</td> <td>アサート</td> </tr> </tbody> </table>	オペレーション		データバス				ストローブ信号				D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DOMUJ	WE2、 DOMUL	WE1、 DOMLU	WE0、 DOMLL	0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	データ 31~24	データ 23~16	-	-	アサート	アサート	2 回目 (2 番地)	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
オペレーション		データバス				ストローブ信号																																	
		D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DOMUJ	WE2、 DOMUL	WE1、 DOMLU	WE0、 DOMLL																														
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	データ 31~24	データ 23~16	-	-	アサート	アサート																														
	2 回目 (2 番地)	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート																														

修正項目	ページ	修正内容（詳細はマニュアル参照）																																					
10.5.1 エンディアン/アクセスサイズとデータアライメント 表 10.9 リトルエンディアンの16ビット外部デバイスのアクセスとデータアライメント	10-48	表を修正 <table border="1"> <thead> <tr> <th colspan="2" rowspan="2">オペレーション</th> <th colspan="4">データベース</th> <th colspan="4">ストローブ信号</th> </tr> <tr> <th>D31~D24</th> <th>D23~D16</th> <th>D15~D8</th> <th>D7~D0</th> <th>WE3, DQMUJ</th> <th>WE2, DQMUL</th> <th>WE1, DQMLU</th> <th>WE0, DQMLL</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0番地 ロング ワード アクセス</td> <td>1回目 (0番地)</td> <td>—</td> <td>—</td> <td>データ 15~8</td> <td>データ 7~0</td> <td>—</td> <td>—</td> <td>アサート</td> <td>アサート</td> </tr> <tr> <td>2回目 (2番地)</td> <td>—</td> <td>—</td> <td>データ 31~24</td> <td>データ 23~16</td> <td>—</td> <td>—</td> <td>アサート</td> <td>アサート</td> </tr> </tbody> </table>	オペレーション		データベース				ストローブ信号				D31~D24	D23~D16	D15~D8	D7~D0	WE3, DQMUJ	WE2, DQMUL	WE1, DQMLU	WE0, DQMLL	0番地 ロング ワード アクセス	1回目 (0番地)	—	—	データ 15~8	データ 7~0	—	—	アサート	アサート	2回目 (2番地)	—	—	データ 31~24	データ 23~16	—	—	アサート	アサート
オペレーション		データベース				ストローブ信号																																	
		D31~D24	D23~D16	D15~D8	D7~D0	WE3, DQMUJ	WE2, DQMUL	WE1, DQMLU	WE0, DQMLL																														
0番地 ロング ワード アクセス	1回目 (0番地)	—	—	データ 15~8	データ 7~0	—	—	アサート	アサート																														
	2回目 (2番地)	—	—	データ 31~24	データ 23~16	—	—	アサート	アサート																														
10.5.11 アクセスサイクル間アイドル 表 10.24 異種メモリ間アクセスの前に挿入されるアイドルサイクル数	10-111	表を差し替え																																					
12.1 特長	12-1	説明を修正 <ul style="list-style-type: none"> 25種類の割り込み要因 																																					
12.3.23 タイマ周期データレジスタ (TCDR)	12-59	表を修正 TCDRは、相補PWMモード時のみ使用される16ビットのレジスタです。TCDRレジスタの値はPWMキャリア周期の1/2(ただしTDDRの2倍+3以上の値)の値を設定してください。																																					
12.3.29 タイマ波形コントロールレジスタ (TWCR)	12-64	説明を修正 TWCRは、8ビットの読み出し/書き込み可能なレジスタです。相補PWMモードでTCNT_3、TCNT_4の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3のコンペアマッチによるカウンタクリアをする/しないを設定します。																																					
12.4.8 相補PWMモード (2) 相補PWMモードの動作概要 (g) PWM周期の設定	12-104	説明を修正 相補PWMモードでは、PWMパルスの周期をTCNT_3の上限値を設定するTGRA_3とTCNT_4の上限値を設定するTCDRの2つのレジスタに設定します。これらの2つのレジスタの関係は、次の関係になるよう設定してください。 デッドタイム生成あり：TGRA_3の設定値 = TCDRの設定値 + TDDRの設定値 TCDRの設定値 > TDDRの設定値の2倍 + 2 デッドタイム生成なし：TGRA_3の設定値 = TCDRの設定値 + 1 TCDRの設定値 > 4																																					
(j) 相補PWMモードのPWM出力生成方法	12-110	説明を修正 図 12.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。																																					
(l) PWM周期に同期したトグル出力	12-114	説明を修正 この出力は、TCNT_3とTGRA_3のコンペアマッチとTCNT_4とH'0000のコンペアマッチでトグルを行います。																																					

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																														
<p>12.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ</p> <p>図 12.109 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ</p>	12-158	<p>図を修正</p> 																																																																														
<p>12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項</p> <p>図 12.113 条件（1）の同期クリア例</p>	12-162	<p>図を修正</p> 																																																																														
<p>図 12.114 条件（2）の同期クリア例</p>	12-163	<p>図を修正</p> 																																																																														
<p>12.8.2 リセットスタート時の動作</p>	12-164	<p>説明を修正</p> <p>本モジュールの出力端子（TIOC*）はパワーオンリセットまたはディープスタンバイモード時に L に初期化されます。</p>																																																																														
<p>16.3.8 ビットレートレジスタ（SCBRR）</p> <p>表 16.4 ビットレートに対する SCBRR の設定例（調歩同期式モード、BGDM=0、ABCS=0）</p>	16-20	<p>表を修正</p> <table border="1" data-bbox="614 1483 1208 1675"> <thead> <tr> <th rowspan="3">ビットレート (bits)</th> <th colspan="9">P1 φ (MHz)</th> </tr> <tr> <th colspan="3">50</th> <th colspan="3">60</th> <th colspan="3">66.67</th> </tr> <tr> <th>n</th> <th>N</th> <th>誤差(%)</th> <th>n</th> <th>N</th> <th>誤差(%)</th> <th>n</th> <th>N</th> <th>誤差(%)</th> </tr> </thead> <tbody> <tr> <td>600</td> <td>2</td> <td>162</td> <td>±0.15</td> <td>2</td> <td>194</td> <td>0.16</td> <td>2</td> <td>216</td> <td>0.01</td> </tr> <tr> <td>1200</td> <td>2</td> <td>80</td> <td>0.47</td> <td>2</td> <td>97</td> <td>-0.35</td> <td>2</td> <td>108</td> <td>±0.45</td> </tr> <tr> <td>2400</td> <td>1</td> <td>162</td> <td>±0.15</td> <td>1</td> <td>194</td> <td>0.16</td> <td>1</td> <td>216</td> <td>0.01</td> </tr> <tr> <td>4800</td> <td>1</td> <td>80</td> <td>0.47</td> <td>1</td> <td>97</td> <td>-0.35</td> <td>1</td> <td>108</td> <td>-0.45</td> </tr> <tr> <td>9600</td> <td>0</td> <td>162</td> <td>±0.15</td> <td>0</td> <td>194</td> <td>0.16</td> <td>0</td> <td>216</td> <td>0.01</td> </tr> </tbody> </table>	ビットレート (bits)	P1 φ (MHz)									50			60			66.67			n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	600	2	162	±0.15	2	194	0.16	2	216	0.01	1200	2	80	0.47	2	97	-0.35	2	108	±0.45	2400	1	162	±0.15	1	194	0.16	1	216	0.01	4800	1	80	0.47	1	97	-0.35	1	108	-0.45	9600	0	162	±0.15	0	194	0.16	0	216	0.01
ビットレート (bits)	P1 φ (MHz)																																																																															
	50			60			66.67																																																																									
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)																																																																							
600	2	162	±0.15	2	194	0.16	2	216	0.01																																																																							
1200	2	80	0.47	2	97	-0.35	2	108	±0.45																																																																							
2400	1	162	±0.15	1	194	0.16	1	216	0.01																																																																							
4800	1	80	0.47	1	97	-0.35	1	108	-0.45																																																																							
9600	0	162	±0.15	0	194	0.16	0	216	0.01																																																																							

修正項目	ページ	修正内容 (詳細はマニュアル参照)																								
17.3.9 データコントロールレジスタ (SPDCR)	17-18	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>TXDMY</td> <td>0</td> <td>R/W</td> <td> <p>ダミーデータ送信イネーブル</p> <p>ダミーデータ送信の許可/禁止を設定するためのビットです。</p> <p>TXDMY を1にセットにし送信を行った場合、送信バッファに送信データがない場合でも、MOSI 端子からダミーデータを送信し、シリアル通信をすることが可能となります。</p> <p>送信バッファに送信データがなく、TXDMY に1がセットされている場合に、ダミーデータをソフトレジスタへ転送します。TXDMY を1にセットし、転送を行った場合、送信されるダミーデータは不定値となります。</p> <p>0 : ダミーデータ送信を禁止する 1 : ダミーデータ送信を許可にする</p> <p>【注】 本モジュールがマスタ設定時のみ有効となります。</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	TXDMY	0	R/W	<p>ダミーデータ送信イネーブル</p> <p>ダミーデータ送信の許可/禁止を設定するためのビットです。</p> <p>TXDMY を1にセットにし送信を行った場合、送信バッファに送信データがない場合でも、MOSI 端子からダミーデータを送信し、シリアル通信をすることが可能となります。</p> <p>送信バッファに送信データがなく、TXDMY に1がセットされている場合に、ダミーデータをソフトレジスタへ転送します。TXDMY を1にセットし、転送を行った場合、送信されるダミーデータは不定値となります。</p> <p>0 : ダミーデータ送信を禁止する 1 : ダミーデータ送信を許可にする</p> <p>【注】 本モジュールがマスタ設定時のみ有効となります。</p>														
ビット	ビット名	初期値	R/W	説明																						
7	TXDMY	0	R/W	<p>ダミーデータ送信イネーブル</p> <p>ダミーデータ送信の許可/禁止を設定するためのビットです。</p> <p>TXDMY を1にセットにし送信を行った場合、送信バッファに送信データがない場合でも、MOSI 端子からダミーデータを送信し、シリアル通信をすることが可能となります。</p> <p>送信バッファに送信データがなく、TXDMY に1がセットされている場合に、ダミーデータをソフトレジスタへ転送します。TXDMY を1にセットし、転送を行った場合、送信されるダミーデータは不定値となります。</p> <p>0 : ダミーデータ送信を禁止する 1 : ダミーデータ送信を許可にする</p> <p>【注】 本モジュールがマスタ設定時のみ有効となります。</p>																						
19.4.1 共通コントロールレジスタ (CMNCR)	19-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>23, 22</td> <td>MOIO3 [1:0]</td> <td>10</td> <td>R/W</td> <td> <p>SPBSSL 出力アイドル値固定 SPBIO3_0、SPBIO3_1</p> <p>SPBSSL ネゲート期間に SPBIO3_0、SPBIO3_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p> </td> </tr> <tr> <td>21, 20</td> <td>MOIO2 [1:0]</td> <td>10</td> <td>R/W</td> <td> <p>SPBSSL 出力アイドル値固定 SPBIO2_0、SPBIO2_1</p> <p>SPBSSL ネゲート期間に SPBIO2_0、SPBIO2_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p> </td> </tr> <tr> <td>19, 18</td> <td>MOIO1 [1:0]</td> <td>10</td> <td>R/W</td> <td> <p>SPBSSL 出力アイドル値固定 SPBIO1_0、SPBIO1_1</p> <p>SPBSSL ネゲート期間に SPBIO1_0、SPBIO1_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	23, 22	MOIO3 [1:0]	10	R/W	<p>SPBSSL 出力アイドル値固定 SPBIO3_0、SPBIO3_1</p> <p>SPBSSL ネゲート期間に SPBIO3_0、SPBIO3_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>	21, 20	MOIO2 [1:0]	10	R/W	<p>SPBSSL 出力アイドル値固定 SPBIO2_0、SPBIO2_1</p> <p>SPBSSL ネゲート期間に SPBIO2_0、SPBIO2_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>	19, 18	MOIO1 [1:0]	10	R/W	<p>SPBSSL 出力アイドル値固定 SPBIO1_0、SPBIO1_1</p> <p>SPBSSL ネゲート期間に SPBIO1_0、SPBIO1_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>				
	ビット	ビット名	初期値	R/W	説明																					
23, 22	MOIO3 [1:0]	10	R/W	<p>SPBSSL 出力アイドル値固定 SPBIO3_0、SPBIO3_1</p> <p>SPBSSL ネゲート期間に SPBIO3_0、SPBIO3_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>																						
21, 20	MOIO2 [1:0]	10	R/W	<p>SPBSSL 出力アイドル値固定 SPBIO2_0、SPBIO2_1</p> <p>SPBSSL ネゲート期間に SPBIO2_0、SPBIO2_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>																						
19, 18	MOIO1 [1:0]	10	R/W	<p>SPBSSL 出力アイドル値固定 SPBIO1_0、SPBIO1_1</p> <p>SPBSSL ネゲート期間に SPBIO1_0、SPBIO1_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>																						
19-6	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>17, 16</td> <td>MOIO0 [1:0]</td> <td>10</td> <td>R/W</td> <td> <p>SPBSSL 出力アイドル値固定 SPBIO0_0、SPBIO0_1</p> <p>SPBSSL ネゲート期間に SPBIO0_0、SPBIO0_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p> </td> </tr> <tr> <td>15, 14</td> <td>IO3FV[1:0]</td> <td>01</td> <td>R/W</td> <td> <p>1ビット/2ビット幅時 SPBIO3_0、SPBIO3_1 固定値</p> <p>1ビット/2ビット幅時、SPBIO3_0、SPBIO3_1 端子の出力値を固定します。</p> <p>00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p> </td> </tr> <tr> <td>13, 12</td> <td>IO2FV[1:0]</td> <td>00</td> <td>R/W</td> <td> <p>1ビット/2ビット幅時 SPBIO2_0、SPBIO2_1 固定値</p> <p>1ビット/2ビット幅時、SPBIO2_0、SPBIO2_1 端子の出力値を固定します。</p> <p>00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p> </td> </tr> <tr> <td>9, 8</td> <td>IO0FV[1:0]</td> <td>00</td> <td>R/W</td> <td> <p>1ビット幅入力時、SPBIO0_0、SPBIO0_1 端子の出力値を固定します。</p> <p>00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	17, 16	MOIO0 [1:0]	10	R/W	<p>SPBSSL 出力アイドル値固定 SPBIO0_0、SPBIO0_1</p> <p>SPBSSL ネゲート期間に SPBIO0_0、SPBIO0_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>	15, 14	IO3FV[1:0]	01	R/W	<p>1ビット/2ビット幅時 SPBIO3_0、SPBIO3_1 固定値</p> <p>1ビット/2ビット幅時、SPBIO3_0、SPBIO3_1 端子の出力値を固定します。</p> <p>00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>	13, 12	IO2FV[1:0]	00	R/W	<p>1ビット/2ビット幅時 SPBIO2_0、SPBIO2_1 固定値</p> <p>1ビット/2ビット幅時、SPBIO2_0、SPBIO2_1 端子の出力値を固定します。</p> <p>00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>	9, 8	IO0FV[1:0]	00	R/W	<p>1ビット幅入力時、SPBIO0_0、SPBIO0_1 端子の出力値を固定します。</p> <p>00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>
ビット	ビット名	初期値	R/W	説明																						
17, 16	MOIO0 [1:0]	10	R/W	<p>SPBSSL 出力アイドル値固定 SPBIO0_0、SPBIO0_1</p> <p>SPBSSL ネゲート期間に SPBIO0_0、SPBIO0_1 の出力値を固定します。</p> <p>00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>																						
15, 14	IO3FV[1:0]	01	R/W	<p>1ビット/2ビット幅時 SPBIO3_0、SPBIO3_1 固定値</p> <p>1ビット/2ビット幅時、SPBIO3_0、SPBIO3_1 端子の出力値を固定します。</p> <p>00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>																						
13, 12	IO2FV[1:0]	00	R/W	<p>1ビット/2ビット幅時 SPBIO2_0、SPBIO2_1 固定値</p> <p>1ビット/2ビット幅時、SPBIO2_0、SPBIO2_1 端子の出力値を固定します。</p> <p>00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>																						
9, 8	IO0FV[1:0]	00	R/W	<p>1ビット幅入力時、SPBIO0_0、SPBIO0_1 端子の出力値を固定します。</p> <p>00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z</p>																						
19.4.4 データリードコントロールレジスタ (DRCR)	19-12	<p>説明を修正</p> <p>CMNSR レジスタの TEND フラグ = "1" のときに変更してください。</p> <p>CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。</p>																								

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																						
19.4.14 SPI モードリードデータレジスタ 0 (SMRDR0)	19-28	<p>説明を修正</p> <p>SPI 動作モード時のリードデータを格納する 32 ビットのレジスタです。</p> <p>本レジスタへのアクセスは SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。</p>																																																						
19.4.15 SPI モードリードデータレジスタ 1 (SMRDR1)	19-29	<p>説明を修正</p> <p>CMNCR レジスタの BSZ[1:0] ビット = 01 (シリアルフラッシュ 2 個接続) 時に有効となります。BSZ[1:0] ビット = 00 (シリアルフラッシュ 1 個接続) 時、本レジスタの値は無効です。</p> <p>本レジスタへのアクセスは SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。</p>																																																						
19.4.16 SPI モードライトデータレジスタ 0 (SMWDR0)	19-30	<p>説明を修正</p> <p>SPI 動作モード時のライトデータを設定する 32 ビットのレジスタです。</p> <p>本レジスタへのアクセスは SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。</p>																																																						
19.4.17 SPI モードライトデータレジスタ 1 (SMWDR1)	19-31	<p>説明を修正</p> <p>CMNCR レジスタの BSZ[1:0] ビット = 01 (シリアルフラッシュ 2 個接続) 時に有効となります。BSZ[1:0] ビット = 00 (シリアルフラッシュ 1 個接続) 時、本レジスタの値は無効です。</p> <p>本レジスタへのアクセスは SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。</p>																																																						
19.5.11 データ端子制御 表 19.8 端子状態 (2)	19-52	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="3">端子</th> <th colspan="6">転送データ</th> </tr> <tr> <th colspan="3">外部アドレス空間リード動作</th> <th colspan="3">SPI 動作</th> </tr> <tr> <th>1 ビット幅</th> <th>2 ビット幅</th> <th>4 ビット幅</th> <th colspan="3">SPIRE ビット=1、SPIWE ビット=0</th> </tr> <tr> <th></th> <th></th> <th></th> <th>1 ビット幅</th> <th>2 ビット幅</th> <th>4 ビット幅</th> <th></th> </tr> </thead> <tbody> <tr> <td>SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1</td> <td>IO0FV ビット 設定値</td> <td>入力</td> <td>入力</td> <td>IO0FV ビット 設定値</td> <td>入力</td> <td>入力</td> </tr> <tr> <td>SPBML_0/SPBIO1_0、 SPBML_1/SPBIO1_1</td> <td>入力</td> <td>入力</td> <td>入力</td> <td>入力</td> <td>入力</td> <td>入力</td> </tr> <tr> <td>SPBIO2_0、SPBIO2_1</td> <td>IO2FV ビット 設定値</td> <td>IO2FV ビット 設定値</td> <td>入力</td> <td>IO2FV ビット 設定値</td> <td>IO2FV ビット 設定値</td> <td>入力</td> </tr> <tr> <td>SPBIO3_0、SPBIO3_1</td> <td>IO3FV ビット 設定値</td> <td>IO3FV ビット 設定値</td> <td>入力</td> <td>IO3FV ビット 設定値</td> <td>IO3FV ビット 設定値</td> <td>入力</td> </tr> </tbody> </table>	端子	転送データ						外部アドレス空間リード動作			SPI 動作			1 ビット幅	2 ビット幅	4 ビット幅	SPIRE ビット=1、SPIWE ビット=0						1 ビット幅	2 ビット幅	4 ビット幅		SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	IO0FV ビット 設定値	入力	入力	IO0FV ビット 設定値	入力	入力	SPBML_0/SPBIO1_0、 SPBML_1/SPBIO1_1	入力	入力	入力	入力	入力	入力	SPBIO2_0、SPBIO2_1	IO2FV ビット 設定値	IO2FV ビット 設定値	入力	IO2FV ビット 設定値	IO2FV ビット 設定値	入力	SPBIO3_0、SPBIO3_1	IO3FV ビット 設定値	IO3FV ビット 設定値	入力	IO3FV ビット 設定値	IO3FV ビット 設定値	入力
端子	転送データ																																																							
	外部アドレス空間リード動作			SPI 動作																																																				
	1 ビット幅	2 ビット幅	4 ビット幅	SPIRE ビット=1、SPIWE ビット=0																																																				
			1 ビット幅	2 ビット幅	4 ビット幅																																																			
SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	IO0FV ビット 設定値	入力	入力	IO0FV ビット 設定値	入力	入力																																																		
SPBML_0/SPBIO1_0、 SPBML_1/SPBIO1_1	入力	入力	入力	入力	入力	入力																																																		
SPBIO2_0、SPBIO2_1	IO2FV ビット 設定値	IO2FV ビット 設定値	入力	IO2FV ビット 設定値	IO2FV ビット 設定値	入力																																																		
SPBIO3_0、SPBIO3_1	IO3FV ビット 設定値	IO3FV ビット 設定値	入力	IO3FV ビット 設定値	IO3FV ビット 設定値	入力																																																		
表 19.9 端子状態 (3)	19-53	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="4">端子</th> <th colspan="6">転送データ</th> </tr> <tr> <th colspan="6">SPI 動作</th> </tr> <tr> <th colspan="3">SPIRE ビット=0、SPIWE ビット=1</th> <th colspan="3">SPIRE ビット=1、SPIWE ビット=1</th> </tr> <tr> <th>1 ビット幅</th> <th>2 ビット幅</th> <th>4 ビット幅</th> <th>1 ビット幅</th> <th>2 ビット幅</th> <th>4 ビット幅</th> </tr> </thead> <tbody> <tr> <td>SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1</td> <td>出力</td> <td>出力</td> <td>出力</td> <td>出力</td> <td>出力</td> <td>出力</td> </tr> <tr> <td>SPBML_0/SPBIO1_0、 SPBML_1/SPBIO1_1</td> <td>Hi-Z</td> <td>出力</td> <td>出力</td> <td>入力</td> <td>設定禁止</td> <td>設定禁止</td> </tr> <tr> <td>SPBIO2_0、SPBIO2_1</td> <td>IO2FV ビット 設定値</td> <td>IO2FV ビット 設定値</td> <td>出力</td> <td>IO2FV ビット 設定値</td> <td>設定禁止</td> <td>設定禁止</td> </tr> <tr> <td>SPBIO3_0、SPBIO3_1</td> <td>IO3FV ビット 設定値</td> <td>IO3FV ビット 設定値</td> <td>出力</td> <td>IO3FV ビット 設定値</td> <td>設定禁止</td> <td>設定禁止</td> </tr> </tbody> </table>	端子	転送データ						SPI 動作						SPIRE ビット=0、SPIWE ビット=1			SPIRE ビット=1、SPIWE ビット=1			1 ビット幅	2 ビット幅	4 ビット幅	1 ビット幅	2 ビット幅	4 ビット幅	SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	出力	出力	出力	出力	出力	出力	SPBML_0/SPBIO1_0、 SPBML_1/SPBIO1_1	Hi-Z	出力	出力	入力	設定禁止	設定禁止	SPBIO2_0、SPBIO2_1	IO2FV ビット 設定値	IO2FV ビット 設定値	出力	IO2FV ビット 設定値	設定禁止	設定禁止	SPBIO3_0、SPBIO3_1	IO3FV ビット 設定値	IO3FV ビット 設定値	出力	IO3FV ビット 設定値	設定禁止	設定禁止	
端子	転送データ																																																							
	SPI 動作																																																							
	SPIRE ビット=0、SPIWE ビット=1			SPIRE ビット=1、SPIWE ビット=1																																																				
	1 ビット幅	2 ビット幅	4 ビット幅	1 ビット幅	2 ビット幅	4 ビット幅																																																		
SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	出力	出力	出力	出力	出力	出力																																																		
SPBML_0/SPBIO1_0、 SPBML_1/SPBIO1_1	Hi-Z	出力	出力	入力	設定禁止	設定禁止																																																		
SPBIO2_0、SPBIO2_1	IO2FV ビット 設定値	IO2FV ビット 設定値	出力	IO2FV ビット 設定値	設定禁止	設定禁止																																																		
SPBIO3_0、SPBIO3_1	IO3FV ビット 設定値	IO3FV ビット 設定値	出力	IO3FV ビット 設定値	設定禁止	設定禁止																																																		

修正項目	ページ	修正内容（詳細はマニュアル参照）																							
21.5.1 DMA 動作中にアンダフローまたはオーバーフローが起こった場合の制限事項	21-40	<p>説明を修正</p> <p>その後、受信動作時はエラーステータスフラグビットに0を書き込み、エラーステータスをクリアし、再度ダイレクトメモリアクセスコントローラの設定を行い転送を再開してください。</p> <p>送信動作時はソフトウェアリセットを実施したうえで再度開始フローから実行してください。</p>																							
21.5.3 TDM モード、WS コンティニューモードの制限事項	21-41	<p>説明を修正</p> <p>TDM モード、WS コンティニューモードの設定を切り替える場合、切り替え直後の SSISCK 信号、SSIWS 信号の動作は保証されません。接続するデバイスに影響する場合は、動的に設定を切り替えないでください。</p> <p>WS コンティニューモード許可 (SSITDMR.CONT = 1) 時、送信動作の一時停止、再開を行う際は、送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を 2 の倍数で終了させたのち、送信アンダフローのエラー割り込み、または対応するエラーステータスフラグ (SSISR.TUIRQ) によりエラーの発生を確認してから、SSISCR の TEN に 0 を書き込んでください。</p> <p>なお、SSISCR.TEN=1 で送信アンダフロー発生時は、SSIFTDR に書き込んだ最後のデータが繰り返し出力されますので、最後のデータはゴミデータを書き込むか、SSISCR の MUEN に 1 を書き込んでミュート状態にしてください。</p> <p>再開時はソフトウェアリセットの実施は行わず、エラーステータスフラグビットに 0 を書き込み、エラーステータスをクリアしたのち、アイドルモードステータスフラグ (SSISR.IDST) によりモジュールがアイドル状態であることを確認してから、SSICR の TEN に 1 を書き込んで動作を再開させてください。</p>																							
26.3.6 デコードオプション設定コントロールレジスタ (CROMCTL4)	26-15	<p>ビット図を修正</p> <p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 20px; text-align: center;">-</td> <td style="width: 20px; text-align: center;">LINK2</td> <td style="width: 20px; text-align: center;">-</td> <td style="width: 20px; text-align: center;">ER0SEL</td> <td style="width: 20px; text-align: center;">NO_ECC</td> <td style="width: 20px; text-align: center;">-</td> <td style="width: 20px; text-align: center;">-</td> <td style="width: 20px; text-align: center;">-</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>表を修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">7</td> <td style="text-align: center;">-</td> <td style="text-align: center;">0</td> <td style="text-align: center;">R/W</td> <td>リザーブビット 書き込む値は0でも1でも構いません。読み出すと書き込んだ値が読み出せません。</td> </tr> <tr> <td style="text-align: center;">6</td> <td style="text-align: center;">LINK2</td> <td style="text-align: center;">0</td> <td style="text-align: center;">R/W</td> <td>リンクブロック検出条件の選択 0：ランアウト1、2のいずれかと、ランイン3、4の両方を検出した場合にリンクブロックと判定 1：ランアウト1、2、リンクのうち、2つ検出でリンクブロックと判定 LINK_ON がセットされる条件はリンクセクタをデコードしたタイミングとなります。</td> </tr> </tbody> </table>	-	LINK2	-	ER0SEL	NO_ECC	-	-	-	ビット	ビット名	初期値	R/W	説明	7	-	0	R/W	リザーブビット 書き込む値は0でも1でも構いません。読み出すと書き込んだ値が読み出せません。	6	LINK2	0	R/W	リンクブロック検出条件の選択 0：ランアウト1、2のいずれかと、ランイン3、4の両方を検出した場合にリンクブロックと判定 1：ランアウト1、2、リンクのうち、2つ検出でリンクブロックと判定 LINK_ON がセットされる条件はリンクセクタをデコードしたタイミングとなります。
-	LINK2	-	ER0SEL	NO_ECC	-	-	-																		
ビット	ビット名	初期値	R/W	説明																					
7	-	0	R/W	リザーブビット 書き込む値は0でも1でも構いません。読み出すと書き込んだ値が読み出せません。																					
6	LINK2	0	R/W	リンクブロック検出条件の選択 0：ランアウト1、2のいずれかと、ランイン3、4の両方を検出した場合にリンクブロックと判定 1：ランアウト1、2、リンクのうち、2つ検出でリンクブロックと判定 LINK_ON がセットされる条件はリンクセクタをデコードしたタイミングとなります。																					
26.3.12 モード判定結果とリンクセクタ検出ステータスレジスタ (CROMST5)	26-19	<p>表を修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">3</td> <td style="text-align: center;">LINK_ON</td> <td style="text-align: center;">0</td> <td style="text-align: center;">R</td> <td>リンクブロック判定でリンクブロックと認識できたとき1となります。リンクブロック判定基準は CROMCTL4 レジスタの LINK2 ビットを参照してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	LINK_ON	0	R	リンクブロック判定でリンクブロックと認識できたとき1となります。リンクブロック判定基準は CROMCTL4 レジスタの LINK2 ビットを参照してください。													
ビット	ビット名	初期値	R/W	説明																					
3	LINK_ON	0	R	リンクブロック判定でリンクブロックと認識できたとき1となります。リンクブロック判定基準は CROMCTL4 レジスタの LINK2 ビットを参照してください。																					

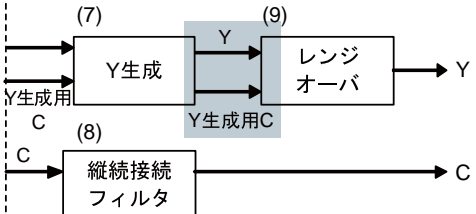
修正項目	ページ	修正内容（詳細はマニュアル参照）																								
26.3.41 自動バッファリング設定 コントロールレジスタ (CBUFCTLO)	26-30	<p>ビット図を修正</p> <p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>CBUF_</td> <td>CBUF_</td> <td>-</td> <td>CBUF_MD[1:0]</td> <td>CBUF_</td> <td>CBUF_</td> <td>-</td> </tr> <tr> <td>AUT</td> <td>EN</td> <td></td> <td></td> <td>TS</td> <td>Q</td> <td></td> </tr> </table> <p>初期値： 0 0 0 0 0 1 0 0</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td></td> <td>0</td> <td>R/W</td> <td>リザーブビット 読み出すと常に0が読み出されます。書き込む時も常に0にしてください。</td> </tr> </tbody> </table>	CBUF_	CBUF_	-	CBUF_MD[1:0]	CBUF_	CBUF_	-	AUT	EN			TS	Q		ビット	ビット名	初期値	R/W	説明	5		0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む時も常に0にしてください。
CBUF_	CBUF_	-	CBUF_MD[1:0]	CBUF_	CBUF_	-																				
AUT	EN			TS	Q																					
ビット	ビット名	初期値	R/W	説明																						
5		0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む時も常に0にしてください。																						
26.6.3 リンクブロックでの注意	26-51	<p>説明を修正</p> <p>上記 1、2 の場合、デコードを強制終了し、CROMSY0 レジスタを外部同期モードにして、目標セクタを上記で記憶した MSF 値 +7 (リンクブロックの直後) を目標セクタとして、リトライしてください。</p> <p>開始セクタアドレスは、 ランアウトの格納アドレス +7 になります。</p>																								
28.1 特長 (2) アクセスモード：本モジュールでは次の 2 つのアクセスモードが選択できます。	28-1	<p>説明を修正</p> <ul style="list-style-type: none"> セクタアクセスモード*：セクタアドレスを指定することで、セクタ単位のリードライトを実行します。セクタ数を指定することで、連続するセクタに対するリードライトを実行できます。 <p>【注】 * 本 LSI では、セクタアクセスモードでのデータ読み出しは使用できません。</p>																								
28.3.1 共通コントロールレジスタ (FLCMNCR)	28-7	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>11、10</td> <td>ACM[1:0]</td> <td>00</td> <td>R/W</td> <td>アクセスモード指定ビット 1、0 アクセスモードを指定します。 00：コマンドアクセスモード 01：セクタアクセスモード† 10：設定禁止 11：設定禁止 【注】 * セクタアクセスモードでのデータ読み出しはできません。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	11、10	ACM[1:0]	00	R/W	アクセスモード指定ビット 1、0 アクセスモードを指定します。 00：コマンドアクセスモード 01：セクタアクセスモード† 10：設定禁止 11：設定禁止 【注】 * セクタアクセスモードでのデータ読み出しはできません。														
ビット	ビット名	初期値	R/W	説明																						
11、10	ACM[1:0]	00	R/W	アクセスモード指定ビット 1、0 アクセスモードを指定します。 00：コマンドアクセスモード 01：セクタアクセスモード† 10：設定禁止 11：設定禁止 【注】 * セクタアクセスモードでのデータ読み出しはできません。																						
28.3.6 データカウンタレジスタ (FLDTCNTR)	28-14	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>11~0</td> <td>DTCNT[11:0]</td> <td>H000</td> <td>R/W</td> <td>データ数指定ビット コマンドアクセスモードで、リードライトするデータのバイト数を指定します (フラッシュメモリ書き込み時は 2048+64 バイトまで、読み出し時は 128 バイトまで指定可能です)。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	11~0	DTCNT[11:0]	H000	R/W	データ数指定ビット コマンドアクセスモードで、リードライトするデータのバイト数を指定します (フラッシュメモリ書き込み時は 2048+64 バイトまで、読み出し時は 128 バイトまで指定可能です)。														
ビット	ビット名	初期値	R/W	説明																						
11~0	DTCNT[11:0]	H000	R/W	データ数指定ビット コマンドアクセスモードで、リードライトするデータのバイト数を指定します (フラッシュメモリ書き込み時は 2048+64 バイトまで、読み出し時は 128 バイトまで指定可能です)。																						
29.1 特長 (5) パイプコンフィギュレーション	29-2	<p>説明を修正</p> <ul style="list-style-type: none"> 各パイプの設定可能な転送条件は以下のとおりです。 パイプ 0：コントロール転送専用のパイプ (デフォルトコントロールパイプ：DCP)、256 バイト固定シングルバッファ 																								
29.2 入出力端子 表 29.1 端子構成	29-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th>区分</th> <th>名称</th> <th>端子名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>基準抵抗</td> <td>リファレンス入力</td> <td>REFRIN</td> <td>入力</td> <td>基準抵抗接続用端子です。 5.6kΩ ±1% 抵抗を介して USBAPV_{IN} に接続してください。 (SH7268 / SH7269 (QFP))。 5.6kΩ ±1% 抵抗を介して V_{SS} に接続してください。 (SH7269 (BGA))。</td> </tr> </tbody> </table>	区分	名称	端子名	入出力	機能	基準抵抗	リファレンス入力	REFRIN	入力	基準抵抗接続用端子です。 5.6kΩ ±1% 抵抗を介して USBAPV _{IN} に接続してください。 (SH7268 / SH7269 (QFP))。 5.6kΩ ±1% 抵抗を介して V _{SS} に接続してください。 (SH7269 (BGA))。														
区分	名称	端子名	入出力	機能																						
基準抵抗	リファレンス入力	REFRIN	入力	基準抵抗接続用端子です。 5.6kΩ ±1% 抵抗を介して USBAPV _{IN} に接続してください。 (SH7268 / SH7269 (QFP))。 5.6kΩ ±1% 抵抗を介して V _{SS} に接続してください。 (SH7269 (BGA))。																						

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																				
29.3.28 DCP コンフィギュレーションレジスタ (DCPCFG)	29-63	<p>ビット図を修正</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>CNTMD</td><td>SHTNAK</td><td>—</td><td>—</td><td>DIR</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> <tr> <td>初期値:</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>R/W:</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R/W</td><td>R/W</td><td>R</td><td>R</td><td>R/W</td><td>R</td><td>R</td><td>R</td> </tr> </table> <p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15~9</td> <td>—</td> <td>すべて0</td> <td>R</td> <td>リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</td> </tr> <tr> <td>8</td> <td>CNTMD</td> <td>0</td> <td>R/W</td> <td>連続転送モード DCP を連続転送モードで通信させるかどうかを指定します。 0: 非連続転送モード 1: 連続転送モード 本ビットの変更は、CSSTS=0、PID=NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。 また、DCP を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、BCLR=1 を書き込み、DCP に割り付けられた FIFO バッファのクリアを実行してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</td> </tr> <tr> <td>7</td> <td>SHTNAK</td> <td>0</td> <td>R/W</td> <td>トランスファ終了時のパイプ禁止 DCP が受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。 0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止 本ビットに1を設定している場合、本モジュールは、DCP 1に対してトランスファの終了を判定したときに DCP に対応する PID ビットを NAK に変更します。 本モジュールは、ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したときにトランスファ終了と判定します。 本ビットの変更は、CSSTS=0 および PID=NAK の状態のときに実施してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。 DCP が送信方向の場合は、本ビットを0に設定してください。</td> </tr> </tbody> </table>	—	—	—	—	—	—	—	CNTMD	SHTNAK	—	—	DIR	—	—	—	—	初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R	R	R	ビット	ビット名	初期値	R/W	説明	15~9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	8	CNTMD	0	R/W	連続転送モード DCP を連続転送モードで通信させるかどうかを指定します。 0: 非連続転送モード 1: 連続転送モード 本ビットの変更は、CSSTS=0、PID=NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。 また、DCP を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、BCLR=1 を書き込み、DCP に割り付けられた FIFO バッファのクリアを実行してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。	7	SHTNAK	0	R/W	トランスファ終了時のパイプ禁止 DCP が受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。 0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止 本ビットに1を設定している場合、本モジュールは、DCP 1に対してトランスファの終了を判定したときに DCP に対応する PID ビットを NAK に変更します。 本モジュールは、ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したときにトランスファ終了と判定します。 本ビットの変更は、CSSTS=0 および PID=NAK の状態のときに実施してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。 DCP が送信方向の場合は、本ビットを0に設定してください。
—	—	—	—	—	—	—	CNTMD	SHTNAK	—	—	DIR	—	—	—	—																																																							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																							
R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R	R	R																																																							
ビット	ビット名	初期値	R/W	説明																																																																		
15~9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																																																																		
8	CNTMD	0	R/W	連続転送モード DCP を連続転送モードで通信させるかどうかを指定します。 0: 非連続転送モード 1: 連続転送モード 本ビットの変更は、CSSTS=0、PID=NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。 また、DCP を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、BCLR=1 を書き込み、DCP に割り付けられた FIFO バッファのクリアを実行してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。																																																																		
7	SHTNAK	0	R/W	トランスファ終了時のパイプ禁止 DCP が受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。 0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止 本ビットに1を設定している場合、本モジュールは、DCP 1に対してトランスファの終了を判定したときに DCP に対応する PID ビットを NAK に変更します。 本モジュールは、ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したときにトランスファ終了と判定します。 本ビットの変更は、CSSTS=0 および PID=NAK の状態のときに実施してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。 DCP が送信方向の場合は、本ビットを0に設定してください。																																																																		
29.3.36 パイプ n コントロールレジスタ (PIPEnCTR) (n=1~9)	29-88	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>10</td> <td>ATREPM</td> <td>0</td> <td>R/W</td> <td>自動応答モード : : (2) 当該パイプがバルクアウト転送 (TYPE=01 かつ DIR=0 を設定) の場合 ATREPM=1 かつ PID=BUF を設定している場合、OUT トークン (または PING トークン) に対して本モジュールは NAK 応答を行い、NRDY 割り込みを発生させます。 本ビットの変更は、CSSTS=0 かつ PID=NAK 設定時に実施してください。 : : :</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	10	ATREPM	0	R/W	自動応答モード : : (2) 当該パイプがバルクアウト転送 (TYPE=01 かつ DIR=0 を設定) の場合 ATREPM=1 かつ PID=BUF を設定している場合、OUT トークン (または PING トークン) に対して本モジュールは NAK 応答を行い、NRDY 割り込みを発生させます。 本ビットの変更は、CSSTS=0 かつ PID=NAK 設定時に実施してください。 : : :																																																										
ビット	ビット名	初期値	R/W	説明																																																																		
10	ATREPM	0	R/W	自動応答モード : : (2) 当該パイプがバルクアウト転送 (TYPE=01 かつ DIR=0 を設定) の場合 ATREPM=1 かつ PID=BUF を設定している場合、OUT トークン (または PING トークン) に対して本モジュールは NAK 応答を行い、NRDY 割り込みを発生させます。 本ビットの変更は、CSSTS=0 かつ PID=NAK 設定時に実施してください。 : : :																																																																		
表 29.13 PID ビットによる本モジュールの動作一覧 (ファンクションコントローラ機能選択時)	29-93	<p>表を修正</p> <table border="1"> <thead> <tr> <th>PID ビット</th> <th>転送タイプ</th> <th>転送方向 (DIR ビット)</th> <th>本モジュールの動作</th> </tr> </thead> <tbody> <tr> <td>00 (NAK)</td> <td>バルクまたはインタラプト</td> <td>設定値に依存しない</td> <td>USB ホストからのトークンに NAK 応答を行う。</td> </tr> <tr> <td></td> <td>アイソクロナス</td> <td>受信方向 (DIR=0)</td> <td>USB ホストからのトークン無応答を行う。</td> </tr> <tr> <td></td> <td></td> <td>送信方向 (DIR=1)</td> <td>USB ホストからのトークンに対し Zero-Length パケットを送信する。</td> </tr> </tbody> </table>	PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作	00 (NAK)	バルクまたはインタラプト	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う。		アイソクロナス	受信方向 (DIR=0)	USB ホストからのトークン無応答を行う。			送信方向 (DIR=1)	USB ホストからのトークンに対し Zero-Length パケットを送信する。																																																				
PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作																																																																			
00 (NAK)	バルクまたはインタラプト	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う。																																																																			
	アイソクロナス	受信方向 (DIR=0)	USB ホストからのトークン無応答を行う。																																																																			
		送信方向 (DIR=1)	USB ホストからのトークンに対し Zero-Length パケットを送信する。																																																																			

修正項目	ページ	修正内容（詳細はマニュアル参照）												
29.3.36 パイプ n コントロールレジスタ (PIPEnCTR) (n=1~9) (2) PIPEnCTR (n=6~9)	29-96	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>PBUSY</td> <td>0</td> <td>R</td> <td>パイプビジー 当該パイプを現在トランザクションで使用かどうかが表示されます。 0：当該パイプをトランザクションにて未使用 1：当該パイプをトランザクションにて使用 本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。 PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	5	PBUSY	0	R	パイプビジー 当該パイプを現在トランザクションで使用かどうかが表示されます。 0：当該パイプをトランザクションにて未使用 1：当該パイプをトランザクションにて使用 本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。 PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。		
ビット	ビット名	初期値	R/W	説明										
5	PBUSY	0	R	パイプビジー 当該パイプを現在トランザクションで使用かどうかが表示されます。 0：当該パイプをトランザクションにて未使用 1：当該パイプをトランザクションにて使用 本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。 PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。										
29.3.37 パイプ n トランザクションカウンタインーブルレジスタ (PIPEnTRE) (n=1~5)	29-100	注を修正 【注】 *2 本レジスタの各ビットの変更は、CSSTS = 0 かつ PID = NAK 時に実施してください。												
29.4.1 システム制御および発振制御 (4) USB データバス抵抗制御	29-106	説明を追加 SYSCFG レジスタの DPRPU、DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。 ファンクションコントローラ機能選択時は、USB ホストへの接続を認識した後で、SYSCFG レジスタの DPRPU ビットを 1 に設定し、D+信号をプルアップしてください。 また、USB ホストの切断を認識した場合は、以下処理の通り、DPRPU ビットと DCFM ビットの操作を実施してください。 (1) DPRPU ビットに 0 を設定 (2) 1us 以上待つ (3) DCFM ビットを 1 に設定 (4) 200ns 以上待つ (5) DCFM ビットを 0 に設定 また、本モジュールは D+、D-信号のハイスピード動作時の終端抵抗とフルスピード動作時の出力抵抗の制御を行います。												
29.4.3 パイプコントロール 表 29.17 パイプ設定項目一覧表	29-130	表を修正 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>設定内容</th> <th>備 考</th> </tr> </thead> <tbody> <tr> <td>DCPCFG</td> <td>CNTMD</td> <td>連続転送または非連続転送を選択</td> <td>DCP：設定可 パイプ 1、2：設定可（バルク転送選択時のみ設定可能）</td> </tr> <tr> <td>PIPECFG</td> <td>SHTNAK</td> <td>トランスファ終了時のパイプ禁止選択</td> <td>DCP：設定可 パイプ 1、2：設定可（バルク転送選択時のみ設定可能） パイプ 3~5：設定可</td> </tr> </tbody> </table>	レジスタ名	ビット名	設定内容	備 考	DCPCFG	CNTMD	連続転送または非連続転送を選択	DCP：設定可 パイプ 1、2：設定可（バルク転送選択時のみ設定可能）	PIPECFG	SHTNAK	トランスファ終了時のパイプ禁止選択	DCP：設定可 パイプ 1、2：設定可（バルク転送選択時のみ設定可能） パイプ 3~5：設定可
レジスタ名	ビット名	設定内容	備 考											
DCPCFG	CNTMD	連続転送または非連続転送を選択	DCP：設定可 パイプ 1、2：設定可（バルク転送選択時のみ設定可能）											
PIPECFG	SHTNAK	トランスファ終了時のパイプ禁止選択	DCP：設定可 パイプ 1、2：設定可（バルク転送選択時のみ設定可能） パイプ 3~5：設定可											
(1) パイプコントロールレジスタの切り替え手順	29-132	注を追加 4. 当該パイプの PBUSY ビットが 0 になるまで待つ。 [注] USB トランザクション処理中にデタッチした場合、PBUSY ビットが 1 のままとなる場合があります。												
29.4.4 FIFO バッファメモリ (1) FIFO バッファメモリ割り当て	29-138	説明を修正 PIPECFG レジスタの CNTMD ビットにて連続転送モードを選択した場合には、BUFSIZE ビットの設定は、必ずマックスパケットサイズの整数倍になるように設定してください。また PIPECFG レジスタの DBLB ビットにてダブルバッファを選択した場合には、同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てられます。												

修正項目	ページ	修正内容（詳細はマニュアル参照）								
29.4.4 FIFO バッファメモリ (1) FIFO バッファメモリ割り当て • バッファステータス	29-139	説明を修正 バッファメモリのアクセス方向は、PIPECFG レジスタの DIR ビットまたは CFIFOSEL レジスタの ISEL ビット（DCP 選択時）で、バッファメモリのアクセス方向を指定します。								
• バッファメモリ仕様（シングル/ダブル設定）	29-141	説明を修正 パイプ 1~5 は、PIPECFG レジスタの DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。								
• バッファメモリ動作（連続転送設定）	29-142	説明を修正 DCPCFG レジスタおよび PIPECFG レジスタの CNTMD ビットにて連続転送モード、または非連続転送モードを選択できます。この選択は、DCP およびパイプ 1~5 に対して有効です。 表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 20%;">連続転送モード</th> <th>読み出し可能状態、送信可能状態判定方法</th> </tr> </thead> <tbody> <tr> <td rowspan="2">非連続転送 (CNTMD=0)</td> <td>受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件： • 本モジュールが 1 パケット受信したとき</td> </tr> <tr> <td>送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件： 以下のいずれかを満たしたとき • マックスパケットサイズ分のデータを FIFO バッファに書き込んだとき • ショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき</td> </tr> <tr> <td rowspan="2">連続転送 (CNTMD=1)</td> <td>受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件： 以下のいずれかを満たしたとき • 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 (DCP: 256 バイト固定、パイプ 1~5: (BUFSIZE+1)×64) が等しくなったとき • 本モジュールが Zero-Length パケット以外のショートパケットを受信したとき • 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本モジュールが Zero-Length パケットを受信したとき • 選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき (パイプ 1~5 のみ)</td> </tr> <tr> <td>送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件： 以下のいずれかを満たしたとき • 書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき • 選択パイプに割り当てられた FIFO バッファサイズ 1 面よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき • DMA 転送終了サンプリング許可ビット (TENDE) を 1 に設定し DMA 転送で、選択パイプに割り当てられた FIFO バッファサイズ 1 面よりも小さいデータ数 (0 バイトの場合も含む) を FIFO バッファに書き込み、最後の書き込み時に DMA 転送終了信号を受け付けたとき (パイプ 1~5 のみ)</td> </tr> </tbody> </table>	連続転送モード	読み出し可能状態、送信可能状態判定方法	非連続転送 (CNTMD=0)	受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件： • 本モジュールが 1 パケット受信したとき	送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件： 以下のいずれかを満たしたとき • マックスパケットサイズ分のデータを FIFO バッファに書き込んだとき • ショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき	連続転送 (CNTMD=1)	受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件： 以下のいずれかを満たしたとき • 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 (DCP: 256 バイト固定、パイプ 1~5: (BUFSIZE+1)×64) が等しくなったとき • 本モジュールが Zero-Length パケット以外のショートパケットを受信したとき • 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本モジュールが Zero-Length パケットを受信したとき • 選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき (パイプ 1~5 のみ)	送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件： 以下のいずれかを満たしたとき • 書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき • 選択パイプに割り当てられた FIFO バッファサイズ 1 面よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき • DMA 転送終了サンプリング許可ビット (TENDE) を 1 に設定し DMA 転送で、選択パイプに割り当てられた FIFO バッファサイズ 1 面よりも小さいデータ数 (0 バイトの場合も含む) を FIFO バッファに書き込み、最後の書き込み時に DMA 転送終了信号を受け付けたとき (パイプ 1~5 のみ)
連続転送モード	読み出し可能状態、送信可能状態判定方法									
非連続転送 (CNTMD=0)	受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件： • 本モジュールが 1 パケット受信したとき									
	送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件： 以下のいずれかを満たしたとき • マックスパケットサイズ分のデータを FIFO バッファに書き込んだとき • ショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき									
連続転送 (CNTMD=1)	受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件： 以下のいずれかを満たしたとき • 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 (DCP: 256 バイト固定、パイプ 1~5: (BUFSIZE+1)×64) が等しくなったとき • 本モジュールが Zero-Length パケット以外のショートパケットを受信したとき • 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本モジュールが Zero-Length パケットを受信したとき • 選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき (パイプ 1~5 のみ)									
	送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件： 以下のいずれかを満たしたとき • 書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき • 選択パイプに割り当てられた FIFO バッファサイズ 1 面よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき • DMA 転送終了サンプリング許可ビット (TENDE) を 1 に設定し DMA 転送で、選択パイプに割り当てられた FIFO バッファサイズ 1 面よりも小さいデータ数 (0 バイトの場合も含む) を FIFO バッファに書き込み、最後の書き込み時に DMA 転送終了信号を受け付けたとき (パイプ 1~5 のみ)									
(2) FIFO ポートの機能 (a) FIFO ポート選択	29-145	説明を修正 また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG レジスタの DIR ビットに従います。ただし、DCP のみ ISEL ビットにより決定します。								
29.4.8 アイソクロナス転送（パイプ 1、2） (3) インターバルカウンタ (c) ファンクションコントローラ機能選択時のインターバルカウンタと転送制御 図 29.19 IITV=1 の場合の(マイクロ)フレームとトークン受信期待有無の関係	29-161	図を修正 <p>The diagram shows a sequence of USB bus signals: SOP, EOP, D0, D1, D2, D3, SOP, EOP, D0, D1, D2, D3. Below this, a table shows token reception expectations (トークン受信期待) for each signal: NAK, BUF, BUF, BUF, BUF, BUF, BUF. An arrow points to the start of the interval counter (インターバルカウンタ開始) at the beginning of the first NAK token.</p>								

修正項目	ページ	修正内容 (詳細はマニュアル参照)				
30.4.4 タイミング生成制御レジスタ (3) (TGCR3) (1) タイミング生成 (水平幅) 制御 図 30.5 垂直有効画像期間設定例 (59.94Hz (525i))	30-11	図を修正 				
30.4.14 デジタルクランプ制御レジスタ (1) (DCPCR1) (2) デジタルクランプパルス位置確認制御	30-26	説明を修正 モニタしたい信号系のクランプオフセットレベルを最小値 (BLANKLEVEL_Y は-512、BLANKLEVEL_CB,CR は-32) に設定。				
30.4.21 デジタルクランプ制御レジスタ (8) (DCPCR8) (1) デジタルクランプ制御 (水平) 図 30.15 デジタルクランプタイミング (水平) 図	30-30	図を修正 				
30.4.23 パーストロック制御、クロマデコード制御レジスタ (BTLCR) (5) クロマデコードのデフォルトのカラーシステム制御	30-34	説明を修正 DEFAULTSYS にてクロマデコードのカラーシステム自動判別不能時のデフォルトのカラーシステムを制御します。				
表 30.15 デフォルトのカラーシステム	30-34	表を修正 <table border="1"> <thead> <tr> <th>DEFAULTSYS</th> <th>デフォルトのカラーシステム</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>NTSC</td> </tr> </tbody> </table>	DEFAULTSYS	デフォルトのカラーシステム	0	NTSC
DEFAULTSYS	デフォルトのカラーシステム					
0	NTSC					
30.4.25 ACC 制御レジスタ (1) (ACCCR1) (4) ACC レベル制御	30-39	説明を修正 本ビットは、ACCMODE = 0 時のみ有効です。				
30.4.62 Y/C 分離用クロマフィルタタップ係数 (WA_F0 ~ F8) レジスタ (YCTWA_F0 ~ F8) (1) 2次元縦続接続広帯域 (3.58/4.43/SECAM-DR) / TAKE-OFF フィルタ TAP 係数 0 ~ 8 制御	30-79	説明を修正 FIL2_2D_WA_F0 ~ F8[12:0]にて2次元縦続接続広帯域 (3.58/4.43/SECAM-DR) / TAKE-OFF フィルタ TAP 係数 0 ~ 8 を制御します。				
30.4.63 Y/C 分離用クロマフィルタタップ係数 (WB_F0 ~ F8) レジスタ (YCTWB_F0 ~ F8) (1) 2次元縦続接続広帯域 (SECAM-DB) フィルタ TAP 係数 0 ~ 8 制御	30-80	説明を修正 FIL2_2D_WB_F0 ~ F8[12:0]にて2次元縦続接続広帯域 (SECAM-DB) フィルタ TAP 係数 0 ~ 8 を制御します。				

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																							
30.4.64 Y/C 分離用クロマフィルタ タップ係数 (NA_F0 ~ F8) レジスタ (YCTNA_F0 ~ F8) (1) 2次元縦続接続狭帯域 (3.58/4.43/SECAM-DR) フィルタ TAP 係数 0 ~ 8 制御	30-81	説明を修正 FIL2_2D_NA_F0 ~ F8[12:0]にて 2次元縦続接続狭帯域 (3.58/4.43/SECAM-DR) フィルタ TAP 係数 0 ~ 8 を制御します。																																							
30.4.65 Y/C 分離用クロマフィルタ タップ係数 (NB_F0 ~ F8) レジスタ (YCTNB_F0 ~ F8) (1) 2次元縦続接続狭帯域 (SECAM-DB) フィルタ TAP 係数 0 ~ 8 制御	30-82	説明を修正 FIL2_2D_NB_F0 ~ F8[12:0]にて 2次元縦続接続狭帯域 (SECAM-DB) フィルタ TAP 係数 0 ~ 8 を制御します。																																							
30.5.3 同期分離回路 (10) タイミング調整、信号判定	30-95	説明を追加 (7)、(8) で生成された水平同期信号および垂直同期信号の出力タイミングを調整します。また、フィールド判別を行っており、VSYNCSR.INTERLACEDにて、インタレースまたはプログレッシブの確認をすることができます。フィールド判別が安定しない場合は、SYNCSR5.VSYNCDELAY= '1' にすることにより改善することがあります。 フィールド判別の結果に従って水平同期信号と垂直同期信号の位相調整を行っており、同期分離回路から出力される垂直同期信号は 1 水平期間遅延したものとなります。このため、本モジュールの出力信号をビデオディスプレイコントローラ 4 で取り込む場合は上記の遅延を考慮し、取り込み映像信号垂直位置設定 (SCL0_DS2.RES_VS) には以下を設定してください。 VSYNC + V バックポーチライン数 - 2																																							
30.5.5 Y/C 分離回路 図 30.31 Y/C 分離回路ブロック図	30-98	図を修正 																																							
(8) 縦続接続フィルタ 表 30.38 2次元 Y/C 用フィルタのレジスタ設定表 (NTSC)	30-103	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="3">ビット名</th> <th colspan="4">NTSC</th> <th rowspan="3">ビット名</th> <th colspan="4">NTSC</th> </tr> <tr> <th rowspan="2">縦続接続 フィルタ</th> <th colspan="2">1 段</th> <th colspan="2">2 段</th> <th rowspan="2">縦続接続 フィルタ</th> <th colspan="2">1 段</th> <th colspan="2">2 段</th> </tr> <tr> <th>広帯域</th> <th>狭帯域</th> <th>広帯域</th> <th>狭帯域</th> <th>広帯域</th> <th>狭帯域</th> <th>広帯域</th> <th>狭帯域</th> </tr> </thead> <tbody> <tr> <td>Σ/Δ</td> <td></td> <td></td> <td></td> <td></td> <td>Σ/Δ</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ビット名	NTSC				ビット名	NTSC				縦続接続 フィルタ	1 段		2 段		縦続接続 フィルタ	1 段		2 段		広帯域	狭帯域	広帯域	狭帯域	広帯域	狭帯域	広帯域	狭帯域	Σ/Δ					Σ/Δ					
ビット名	NTSC				ビット名	NTSC																																			
	縦続接続 フィルタ	1 段		2 段		縦続接続 フィルタ	1 段		2 段																																
		広帯域	狭帯域	広帯域			狭帯域	広帯域	狭帯域	広帯域	狭帯域																														
Σ/Δ					Σ/Δ																																				
表 30.39 2次元 Y/C 用フィルタのレジスタ設定表 (PAL)	30-104	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="3">ビット名</th> <th colspan="4">NTSC</th> <th rowspan="3">ビット名</th> <th colspan="4">NTSC</th> </tr> <tr> <th rowspan="2">縦続接続 フィルタ</th> <th colspan="2">1 段</th> <th colspan="2">2 段</th> <th rowspan="2">縦続接続 フィルタ</th> <th colspan="2">1 段</th> <th colspan="2">2 段</th> </tr> <tr> <th>広帯域</th> <th>狭帯域</th> <th>広帯域</th> <th>狭帯域</th> <th>広帯域</th> <th>狭帯域</th> <th>広帯域</th> <th>狭帯域</th> </tr> </thead> <tbody> <tr> <td>Σ/Δ</td> <td></td> <td></td> <td></td> <td></td> <td>Σ/Δ</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ビット名	NTSC				ビット名	NTSC				縦続接続 フィルタ	1 段		2 段		縦続接続 フィルタ	1 段		2 段		広帯域	狭帯域	広帯域	狭帯域	広帯域	狭帯域	広帯域	狭帯域	Σ/Δ					Σ/Δ					
ビット名	NTSC				ビット名	NTSC																																			
	縦続接続 フィルタ	1 段		2 段		縦続接続 フィルタ	1 段		2 段																																
		広帯域	狭帯域	広帯域			狭帯域	広帯域	狭帯域	広帯域	狭帯域																														
Σ/Δ					Σ/Δ																																				

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																													
30.5.5 Y/C 分離回路 (8) 縦続接続フィルタ 表 30.40 2次元 Y/C 用フィルタの レジスタ設定表 (SECAM)	30-105	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="4">ビット名</th> <th colspan="4">NTSC</th> <th rowspan="4">ビット名</th> <th colspan="4">NTSC</th> </tr> <tr> <th colspan="2">縦続接続</th> <th colspan="2">TAKE-OFF</th> <th colspan="2">縦続接続</th> <th colspan="2">TAKE-OFF</th> </tr> <tr> <th colspan="2">フィルタ</th> <th colspan="2">フィルタ</th> <th colspan="2">フィルタ</th> <th colspan="2">フィルタ</th> </tr> <tr> <th>1 段</th> <th>2 段</th> <th>広帯域</th> <th>狭帯域</th> <th>1 段</th> <th>2 段</th> <th>広帯域</th> <th>狭帯域</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ビット名	NTSC				ビット名	NTSC				縦続接続		TAKE-OFF		縦続接続		TAKE-OFF		フィルタ		フィルタ		フィルタ		フィルタ		1 段	2 段	広帯域	狭帯域	1 段	2 段	広帯域	狭帯域											
ビット名	NTSC				ビット名	NTSC																																									
	縦続接続			TAKE-OFF		縦続接続			TAKE-OFF																																						
	フィルタ			フィルタ		フィルタ			フィルタ																																						
	1 段	2 段	広帯域	狭帯域		1 段	2 段	広帯域	狭帯域																																						
30.6 推奨設定 表 30.41 各カラーフォーマット共 通推奨設定一覧	30-111	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>ビット</th> <th>初期値 (10進)</th> <th>推奨値 (10進)</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>DCPCR4</td> <td>DCPSTART</td> <td>16</td> <td>16</td> <td></td> </tr> <tr> <td>DCPCR5</td> <td>DCPEND</td> <td>16</td> <td>2</td> <td></td> </tr> <tr> <td>DCPCR6</td> <td>DCPWIDTH</td> <td>54</td> <td>27</td> <td></td> </tr> </tbody> </table>	レジスタ	ビット	初期値 (10進)	推奨値 (10進)	備考	DCPCR4	DCPSTART	16	16		DCPCR5	DCPEND	16	2		DCPCR6	DCPWIDTH	54	27																										
	レジスタ	ビット	初期値 (10進)	推奨値 (10進)	備考																																										
	DCPCR4	DCPSTART	16	16																																											
DCPCR5	DCPEND	16	2																																												
DCPCR6	DCPWIDTH	54	27																																												
30-112	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>ビット</th> <th>初期値 (10進)</th> <th>推奨値 (10進)</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>RGORCR1</td> <td>RADJ_O_LEVEL0</td> <td>1023</td> <td>928</td> <td></td> </tr> <tr> <td>RGORCR2</td> <td>RADJ_U_LEVEL0</td> <td>0</td> <td>32</td> <td></td> </tr> </tbody> </table>	レジスタ	ビット	初期値 (10進)	推奨値 (10進)	備考	RGORCR1	RADJ_O_LEVEL0	1023	928		RGORCR2	RADJ_U_LEVEL0	0	32																																
レジスタ	ビット	初期値 (10進)	推奨値 (10進)	備考																																											
RGORCR1	RADJ_O_LEVEL0	1023	928																																												
RGORCR2	RADJ_U_LEVEL0	0	32																																												
30-113	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>ビット</th> <th>初期値 (10進)</th> <th>推奨値 (10進)</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>RGORCR5</td> <td>RADJ_O_LEVEL2</td> <td>1023</td> <td>928</td> <td></td> </tr> <tr> <td>RGORCR6</td> <td>RADJ_U_LEVEL2</td> <td>0</td> <td>64</td> <td></td> </tr> </tbody> </table>	レジスタ	ビット	初期値 (10進)	推奨値 (10進)	備考	RGORCR5	RADJ_O_LEVEL2	1023	928		RGORCR6	RADJ_U_LEVEL2	0	64																																
レジスタ	ビット	初期値 (10進)	推奨値 (10進)	備考																																											
RGORCR5	RADJ_O_LEVEL2	1023	928																																												
RGORCR6	RADJ_U_LEVEL2	0	64																																												

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																																																	
30.6 推奨設定 表 30.42 各カラーフォーマット個別推奨設定一覧	30-114	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>ビット</th> <th>SECAM</th> <th>NTSC-443 (60Hz)</th> <th>PAL-60</th> </tr> </thead> <tbody> <tr> <td colspan="5">取り込み位置設定</td> </tr> <tr> <td>TGCR1</td> <td>SRCLEFT</td> <td>256</td> <td>256</td> <td>256</td> </tr> <tr> <td rowspan="2">TGCR2</td> <td>SRCTOP</td> <td>19</td> <td>16</td> <td>16</td> </tr> <tr> <td>SRCHEIGHT</td> <td>288</td> <td>241</td> <td>241</td> </tr> <tr> <td>TGCR3</td> <td>SRCWIDTH</td> <td>1412</td> <td>1428</td> <td>1428</td> </tr> <tr> <td colspan="5">水平AFC設定</td> </tr> <tr> <td>HAFCCR1</td> <td>HAFCTYP</td> <td>704</td> <td>692</td> <td>692</td> </tr> <tr> <td>HAFCCR2</td> <td>HAFCMAX</td> <td>785</td> <td>792</td> <td>792</td> </tr> <tr> <td>HAFCCR3</td> <td>HAFCMIN</td> <td>630</td> <td>592</td> <td>592</td> </tr> <tr> <td colspan="5">垂直カウントダウン設定</td> </tr> <tr> <td rowspan="5">VCDWCR1</td> <td>NOVCD50</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NOVCD60</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>VCDDEFAULT</td> <td>1</td> <td>2</td> <td>2</td> </tr> <tr> <td>VCDWINDOW</td> <td>30</td> <td>30</td> <td>30</td> </tr> <tr> <td>VCDOFFSET</td> <td>15</td> <td>15</td> <td>15</td> </tr> <tr> <td colspan="5">BCO設定</td> </tr> <tr> <td rowspan="7">BTLCR</td> <td>DEFAULTSYS</td> <td>2</td> <td>0</td> <td>1</td> </tr> <tr> <td>NONTSC358</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>NONTSC443</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>NOPALM</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>NOPALN</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>NOPAL443</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>NOSECAM</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td colspan="5">ACCレベル設定</td> </tr> <tr> <td>ACCCR1</td> <td>ACCLEVEL</td> <td>220</td> <td>220</td> <td>230</td> </tr> <tr> <td colspan="5">AGCレベル設定</td> </tr> <tr> <td>AGCCR1</td> <td>AGCLEVEL</td> <td>242</td> <td>230</td> <td>242</td> </tr> </tbody> </table>	レジスタ	ビット	SECAM	NTSC-443 (60Hz)	PAL-60	取り込み位置設定					TGCR1	SRCLEFT	256	256	256	TGCR2	SRCTOP	19	16	16	SRCHEIGHT	288	241	241	TGCR3	SRCWIDTH	1412	1428	1428	水平AFC設定					HAFCCR1	HAFCTYP	704	692	692	HAFCCR2	HAFCMAX	785	792	792	HAFCCR3	HAFCMIN	630	592	592	垂直カウントダウン設定					VCDWCR1	NOVCD50	0	1	1	NOVCD60	1	0	0	VCDDEFAULT	1	2	2	VCDWINDOW	30	30	30	VCDOFFSET	15	15	15	BCO設定					BTLCR	DEFAULTSYS	2	0	1	NONTSC358	1	1	1	NONTSC443	1	0	1	NOPALM	1	1	1	NOPALN	1	1	1	NOPAL443	1	1	0	NOSECAM	0	1	1	ACCレベル設定					ACCCR1	ACCLEVEL	220	220	230	AGCレベル設定					AGCCR1	AGCLEVEL	242	230	242
レジスタ	ビット	SECAM	NTSC-443 (60Hz)	PAL-60																																																																																																																															
取り込み位置設定																																																																																																																																			
TGCR1	SRCLEFT	256	256	256																																																																																																																															
TGCR2	SRCTOP	19	16	16																																																																																																																															
	SRCHEIGHT	288	241	241																																																																																																																															
TGCR3	SRCWIDTH	1412	1428	1428																																																																																																																															
水平AFC設定																																																																																																																																			
HAFCCR1	HAFCTYP	704	692	692																																																																																																																															
HAFCCR2	HAFCMAX	785	792	792																																																																																																																															
HAFCCR3	HAFCMIN	630	592	592																																																																																																																															
垂直カウントダウン設定																																																																																																																																			
VCDWCR1	NOVCD50	0	1	1																																																																																																																															
	NOVCD60	1	0	0																																																																																																																															
	VCDDEFAULT	1	2	2																																																																																																																															
	VCDWINDOW	30	30	30																																																																																																																															
	VCDOFFSET	15	15	15																																																																																																																															
BCO設定																																																																																																																																			
BTLCR	DEFAULTSYS	2	0	1																																																																																																																															
	NONTSC358	1	1	1																																																																																																																															
	NONTSC443	1	0	1																																																																																																																															
	NOPALM	1	1	1																																																																																																																															
	NOPALN	1	1	1																																																																																																																															
	NOPAL443	1	1	0																																																																																																																															
	NOSECAM	0	1	1																																																																																																																															
ACCレベル設定																																																																																																																																			
ACCCR1	ACCLEVEL	220	220	230																																																																																																																															
AGCレベル設定																																																																																																																																			
AGCCR1	AGCLEVEL	242	230	242																																																																																																																															

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																					
30.6 推奨設定 表 30.42 各カラーフォーマット個別推奨設定一覧	30-115	表を修正 <table border="1"> <thead> <tr> <th>レジスタ</th> <th>ビット</th> <th>SECAM</th> <th>NTSC-443 (60Hz)</th> <th>PAL-60</th> </tr> </thead> <tbody> <tr> <td colspan="5">Y/C分離設定</td> </tr> <tr> <td rowspan="3">YCSCR3</td> <td>K15</td> <td>2</td> <td>2</td> <td>2</td> </tr> <tr> <td>K13</td> <td>8</td> <td>8</td> <td>8</td> </tr> <tr> <td>K11</td> <td>4</td> <td>4</td> <td>3</td> </tr> <tr> <td rowspan="3">YCSCR4</td> <td>K16</td> <td>3</td> <td>3</td> <td>4</td> </tr> <tr> <td>K14</td> <td>16</td> <td>16</td> <td>63</td> </tr> <tr> <td>K12</td> <td>1</td> <td>8</td> <td>2</td> </tr> <tr> <td rowspan="2">YCSCR5</td> <td>K22A</td> <td>32</td> <td>32</td> <td>32</td> </tr> <tr> <td>K21A</td> <td>10</td> <td>6</td> <td>10</td> </tr> <tr> <td rowspan="2">YCSCR6</td> <td>K22B</td> <td>15</td> <td>8</td> <td>15</td> </tr> <tr> <td>K21B</td> <td>6</td> <td>6</td> <td>10</td> </tr> <tr> <td rowspan="3">YCSCR7</td> <td>K23B</td> <td>3</td> <td>6</td> <td>3</td> </tr> <tr> <td>K23A</td> <td>3</td> <td>3</td> <td>3</td> </tr> <tr> <td>K24</td> <td>8</td> <td>5</td> <td>8</td> </tr> <tr> <td rowspan="4">YCSCR9</td> <td>DET2_ON</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>HSEL_MIX_Y</td> <td>6</td> <td>6</td> <td>0</td> </tr> <tr> <td>VSEL_MIX_Y</td> <td>6</td> <td>6</td> <td>0</td> </tr> <tr> <td>HVSEL_MIX_Y</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td rowspan="4">YCSCR12</td> <td>DET2_MIX_C</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>DET2_MIX_Y</td> <td>0</td> <td>2</td> <td>0</td> </tr> <tr> <td>FIL2_MODE_2D</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>FIL2_NARROW_2D</td> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	レジスタ	ビット	SECAM	NTSC-443 (60Hz)	PAL-60	Y/C分離設定					YCSCR3	K15	2	2	2	K13	8	8	8	K11	4	4	3	YCSCR4	K16	3	3	4	K14	16	16	63	K12	1	8	2	YCSCR5	K22A	32	32	32	K21A	10	6	10	YCSCR6	K22B	15	8	15	K21B	6	6	10	YCSCR7	K23B	3	6	3	K23A	3	3	3	K24	8	5	8	YCSCR9	DET2_ON	1	1	0	HSEL_MIX_Y	6	6	0	VSEL_MIX_Y	6	6	0	HVSEL_MIX_Y	0	0	0	YCSCR12	DET2_MIX_C	0	0	0	DET2_MIX_Y	0	2	0	FIL2_MODE_2D	1	1	0	FIL2_NARROW_2D	1	1	1
レジスタ	ビット	SECAM	NTSC-443 (60Hz)	PAL-60																																																																																																			
Y/C分離設定																																																																																																							
YCSCR3	K15	2	2	2																																																																																																			
	K13	8	8	8																																																																																																			
	K11	4	4	3																																																																																																			
YCSCR4	K16	3	3	4																																																																																																			
	K14	16	16	63																																																																																																			
	K12	1	8	2																																																																																																			
YCSCR5	K22A	32	32	32																																																																																																			
	K21A	10	6	10																																																																																																			
YCSCR6	K22B	15	8	15																																																																																																			
	K21B	6	6	10																																																																																																			
YCSCR7	K23B	3	6	3																																																																																																			
	K23A	3	3	3																																																																																																			
	K24	8	5	8																																																																																																			
YCSCR9	DET2_ON	1	1	0																																																																																																			
	HSEL_MIX_Y	6	6	0																																																																																																			
	VSEL_MIX_Y	6	6	0																																																																																																			
	HVSEL_MIX_Y	0	0	0																																																																																																			
YCSCR12	DET2_MIX_C	0	0	0																																																																																																			
	DET2_MIX_Y	0	2	0																																																																																																			
	FIL2_MODE_2D	1	1	0																																																																																																			
	FIL2_NARROW_2D	1	1	1																																																																																																			
32.1.12 YCbCr444/RGB888/666/565 の外部 入力タイミング 表 32.16 YCbCr/RGB 信号の受付 タイミング	32-21	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>垂直有効期間の開始位置 (V_BP)</td> <td>垂直同期基準から映像開始まで 4[ライン]以上</td> </tr> <tr> <td>垂直有効期間の終了位置 (V_FP)</td> <td>映像終了から垂直同期基準まで 4[ライン]以上</td> </tr> <tr> <td>水平有効期間の終了位置 (H_FP)</td> <td>映像終了から水平同期基準まで 16[CLK]以上</td> </tr> <tr> <td>垂直トータルライン数 (V_BP+V_ACTIVE+V_FP)</td> <td>垂直同期信号間の幅 : 2047[ライン]以下</td> </tr> <tr> <td>水平トータル画素数 (H_BP+H_ACTIVE+H_FP)</td> <td>水平同期信号間の幅 : 2047[CLK]以下</td> </tr> </tbody> </table> 注を追加 【注】 *1 4[ライン]未満の場合は、INP_DLY_ADJ.INP_VS_DLY_L[2:0]で、V_FP が 4[ライン]以上となるように調整してください。 *2 16[CLK]未満の場合は、INP_DLY_ADJ.INP_VS_DLY[7:0]、INP_HS_DLY[7:0]、INP_FLD_DLY[7:0]で、H_FP が 16[CLK]以上となるように調整してください。	項目	説明	垂直有効期間の開始位置 (V_BP)	垂直同期基準から映像開始まで 4[ライン]以上	垂直有効期間の終了位置 (V_FP)	映像終了から垂直同期基準まで 4[ライン]以上	水平有効期間の終了位置 (H_FP)	映像終了から水平同期基準まで 16[CLK]以上	垂直トータルライン数 (V_BP+V_ACTIVE+V_FP)	垂直同期信号間の幅 : 2047[ライン]以下	水平トータル画素数 (H_BP+H_ACTIVE+H_FP)	水平同期信号間の幅 : 2047[CLK]以下																																																																																									
項目	説明																																																																																																						
垂直有効期間の開始位置 (V_BP)	垂直同期基準から映像開始まで 4[ライン]以上																																																																																																						
垂直有効期間の終了位置 (V_FP)	映像終了から垂直同期基準まで 4[ライン]以上																																																																																																						
水平有効期間の終了位置 (H_FP)	映像終了から水平同期基準まで 16[CLK]以上																																																																																																						
垂直トータルライン数 (V_BP+V_ACTIVE+V_FP)	垂直同期信号間の幅 : 2047[ライン]以下																																																																																																						
水平トータル画素数 (H_BP+H_ACTIVE+H_FP)	水平同期信号間の幅 : 2047[CLK]以下																																																																																																						

修正項目	ページ	修正内容（詳細はマニュアル参照）								
33.1.4 画角サイズ設定 表 33.7 画像取り込み範囲制御	33-8	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>初期値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>SCL0_DS2</td> <td>RES_VS[10:0]</td> <td>18</td> <td> 取込映像信号垂直位置設定 (VSYNC+V バックポーチ ライン数) 【注】4 ライン以上、RES_VS+RES_VW が 2039 ライン以内になるように設定してください。 </td> </tr> </tbody> </table>	レジスタ名	ビット名	初期値	説明	SCL0_DS2	RES_VS[10:0]	18	取込映像信号垂直位置設定 (VSYNC+V バックポーチ ライン数) 【注】4 ライン以上、RES_VS+RES_VW が 2039 ライン以内になるように設定してください。
レジスタ名	ビット名	初期値	説明							
SCL0_DS2	RES_VS[10:0]	18	取込映像信号垂直位置設定 (VSYNC+V バックポーチ ライン数) 【注】4 ライン以上、RES_VS+RES_VW が 2039 ライン以内になるように設定してください。							
(2) フル画面イネーブル生成	33-9	<p>説明を追加</p> <p>有効期間の設定は、スケーリング出力の水平同期信号、垂直同期信号を基準として開始位置、幅にて設定します。</p> <p>V フロントポーチが 4 ライン以上、H フロントポーチが 16 クロック以上となるように設定してください。</p>								
表 33.8 フル画面イネーブル制御	33-9	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>初期値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>SCL0_FRC7</td> <td>RES_F_HW[10:0]</td> <td>640</td> <td> フル画面の水平イネーブル信号幅設定 (ピクセルクロック数) 【注1】RES_F_HS+RES_F_HW が 2016 クロック以内になるように設定してください。 【注2】LCD 出力信号としてシリアル RGB 出力を選択する場合は、(フル画面の水平信号幅+2) を設定してください。 </td> </tr> </tbody> </table>	レジスタ名	ビット名	初期値	説明	SCL0_FRC7	RES_F_HW[10:0]	640	フル画面の水平イネーブル信号幅設定 (ピクセルクロック数) 【注1】RES_F_HS+RES_F_HW が 2016 クロック以内になるように設定してください。 【注2】LCD 出力信号としてシリアル RGB 出力を選択する場合は、(フル画面の水平信号幅+2) を設定してください。
レジスタ名	ビット名	初期値	説明							
SCL0_FRC7	RES_F_HW[10:0]	640	フル画面の水平イネーブル信号幅設定 (ピクセルクロック数) 【注1】RES_F_HS+RES_F_HW が 2016 クロック以内になるように設定してください。 【注2】LCD 出力信号としてシリアル RGB 出力を選択する場合は、(フル画面の水平信号幅+2) を設定してください。							
図 33.8 イネーブル設定図	33-11	<p>図を修正</p> <p>入力画像取り込み範囲設定</p>								
33.1.8 垂直縮小処理 表 33.15 垂直縮小制御	33-16	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>初期値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>SCL0_DS7</td> <td>RES_OUT_VW[10:0]</td> <td>240</td> <td> 縮小制御部出力の垂直有効ライン数 (ライン数) 本ビットの設定は、フレームバッファへの書き込みライン数に反映されます。 SCL1_WRT.RES_LOOP=0 (フレーム書き込みモード) 設定時は、1 フレーム分のライン数を指定してください。 SCL1_WRT.RES_LOOP=1 (ライン書き込みモード) 設定時は、リング状に書き出すライン数を指定してください。 </td> </tr> </tbody> </table>	レジスタ名	ビット名	初期値	説明	SCL0_DS7	RES_OUT_VW[10:0]	240	縮小制御部出力の垂直有効ライン数 (ライン数) 本ビットの設定は、フレームバッファへの書き込みライン数に反映されます。 SCL1_WRT.RES_LOOP=0 (フレーム書き込みモード) 設定時は、1 フレーム分のライン数を指定してください。 SCL1_WRT.RES_LOOP=1 (ライン書き込みモード) 設定時は、リング状に書き出すライン数を指定してください。
レジスタ名	ビット名	初期値	説明							
SCL0_DS7	RES_OUT_VW[10:0]	240	縮小制御部出力の垂直有効ライン数 (ライン数) 本ビットの設定は、フレームバッファへの書き込みライン数に反映されます。 SCL1_WRT.RES_LOOP=0 (フレーム書き込みモード) 設定時は、1 フレーム分のライン数を指定してください。 SCL1_WRT.RES_LOOP=1 (ライン書き込みモード) 設定時は、リング状に書き出すライン数を指定してください。							

修正項目	ページ	修正内容（詳細はマニュアル参照）																									
33.1.11 IP 変換 表 33.20 フィールド判別信号制御 の設定値	33-21	表を修正 <table border="1"> <thead> <tr> <th>入力信号</th> <th>回転制御</th> <th>垂直処理</th> <th>フレームバッファ</th> <th>RES_FLD_DLY_SEL</th> </tr> </thead> <tbody> <tr> <td rowspan="4">インタレース</td> <td>通常</td> <td>垂直縮小</td> <td>—</td> <td>—</td> </tr> <tr> <td rowspan="2">水平鏡像 180 度回転</td> <td>垂直拡大</td> <td>1 面以下</td> <td>0</td> </tr> <tr> <td>—</td> <td>2 面以上</td> <td>1</td> </tr> <tr> <td>90 度回転</td> <td>(水平入力→垂直出力) 縮小</td> <td>—</td> <td>—</td> </tr> <tr> <td>270 度回転</td> <td>(水平入力→垂直出力) 拡大</td> <td>2 面以上</td> <td>1</td> </tr> </tbody> </table>	入力信号	回転制御	垂直処理	フレームバッファ	RES_FLD_DLY_SEL	インタレース	通常	垂直縮小	—	—	水平鏡像 180 度回転	垂直拡大	1 面以下	0	—	2 面以上	1	90 度回転	(水平入力→垂直出力) 縮小	—	—	270 度回転	(水平入力→垂直出力) 拡大	2 面以上	1
入力信号	回転制御	垂直処理	フレームバッファ	RES_FLD_DLY_SEL																							
インタレース	通常	垂直縮小	—	—																							
	水平鏡像 180 度回転	垂直拡大	1 面以下	0																							
		—	2 面以上	1																							
	90 度回転	(水平入力→垂直出力) 縮小	—	—																							
270 度回転	(水平入力→垂直出力) 拡大	2 面以上	1																								
(3) フィールド判別信号切り替え (R 版のみ)	33-21	項目を追加 (3) フィールド判別信号切り替え (R 版のみ) 拡大制御部へ出力されるフィールド判別信号の切り替えを行います。 表 33.22 フィールド判別信号切り替え <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>初期値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>SCL0_FRC8</td> <td>RES_US_FLD</td> <td>0</td> <td>フィールド判別信号切り替え 0: 同期制御部が生成するフィールド判別信号 1: 読み出しフレーム番号(フレーム 0: TOP、フレーム 1: BOTTOM) 【注】RES_FLM_MD=0 の場合は、本ビットに 0 を設定してください。</td> </tr> </tbody> </table>	レジスタ名	ビット名	初期値	説明	SCL0_FRC8	RES_US_FLD	0	フィールド判別信号切り替え 0: 同期制御部が生成するフィールド判別信号 1: 読み出しフレーム番号(フレーム 0: TOP、フレーム 1: BOTTOM) 【注】RES_FLM_MD=0 の場合は、本ビットに 0 を設定してください。																	
レジスタ名	ビット名	初期値	説明																								
SCL0_FRC8	RES_US_FLD	0	フィールド判別信号切り替え 0: 同期制御部が生成するフィールド判別信号 1: 読み出しフレーム番号(フレーム 0: TOP、フレーム 1: BOTTOM) 【注】RES_FLM_MD=0 の場合は、本ビットに 0 を設定してください。																								
33.1.16 フレームバッファ書き込み処理 表 33.29 フレームバッファ転送モード	33-25	表を修正 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>初期値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>SCL1_WR1</td> <td>RES_BST_MD</td> <td>0</td> <td>フレームバッファ書き込み転送のバースト長 0: 32 バイト転送 1: 128 バイト転送</td> </tr> </tbody> </table>	レジスタ名	ビット名	初期値	説明	SCL1_WR1	RES_BST_MD	0	フレームバッファ書き込み転送のバースト長 0: 32 バイト転送 1: 128 バイト転送																	
レジスタ名	ビット名	初期値	説明																								
SCL1_WR1	RES_BST_MD	0	フレームバッファ書き込み転送のバースト長 0: 32 バイト転送 1: 128 バイト転送																								
表 33.30 フレームバッファ書き込み制御	33-26	表を修正 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>初期値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>SCL1_WR5</td> <td>RES_WENB</td> <td>0</td> <td>フレームバッファ書き込み許可 書き込み許可設定後、2 フレーム目から書き込みを開始します。 0: 書き込み禁止 1: 書き込み許可</td> </tr> </tbody> </table>	レジスタ名	ビット名	初期値	説明	SCL1_WR5	RES_WENB	0	フレームバッファ書き込み許可 書き込み許可設定後、2 フレーム目から書き込みを開始します。 0: 書き込み禁止 1: 書き込み許可																	
レジスタ名	ビット名	初期値	説明																								
SCL1_WR5	RES_WENB	0	フレームバッファ書き込み許可 書き込み許可設定後、2 フレーム目から書き込みを開始します。 0: 書き込み禁止 1: 書き込み許可																								
(4) フレームバッファ書き込みアドレス	33-26	説明を追加 フレームバッファ上のアドレスは、ベースアドレス、ラインオフセットアドレス、フレームオフセットアドレス、1 ラインのデータサイズ、1 フレームのライン数にて設定します。 また、フレームバッファアドレス生成モードの選択ができます。(R 版のみ)																									
表 33.32 フレームバッファ書き込みアドレス制御	33-27	表を修正 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>初期値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>SCL1_WR1</td> <td>RES_FLM_MD</td> <td>0</td> <td>フレームバッファアドレス生成モード選択 0: RES_BASE+RES_FLM_OFF×フレーム番号 1: RES_BASE+RES_FLM_OFF×フィールド情報 (TOP: 0、BOTTOM: 1) 【注】プログレッシブ信号入力時は、本ビットに 0 を設定してください。 本ビットを 1 に設定する場合、フレームバッファは必ず 2 面に設定してください。 本ビットは R 版にのみ実装されています。R 版以外では、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</td> </tr> </tbody> </table>	レジスタ名	ビット名	初期値	説明	SCL1_WR1	RES_FLM_MD	0	フレームバッファアドレス生成モード選択 0: RES_BASE+RES_FLM_OFF×フレーム番号 1: RES_BASE+RES_FLM_OFF×フィールド情報 (TOP: 0、BOTTOM: 1) 【注】プログレッシブ信号入力時は、本ビットに 0 を設定してください。 本ビットを 1 に設定する場合、フレームバッファは必ず 2 面に設定してください。 本ビットは R 版にのみ実装されています。R 版以外では、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																	
レジスタ名	ビット名	初期値	説明																								
SCL1_WR1	RES_FLM_MD	0	フレームバッファアドレス生成モード選択 0: RES_BASE+RES_FLM_OFF×フレーム番号 1: RES_BASE+RES_FLM_OFF×フィールド情報 (TOP: 0、BOTTOM: 1) 【注】プログレッシブ信号入力時は、本ビットに 0 を設定してください。 本ビットを 1 に設定する場合、フレームバッファは必ず 2 面に設定してください。 本ビットは R 版にのみ実装されています。R 版以外では、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																								

修正項目	ページ	修正内容 (詳細はマニュアル参照)																								
33.1.16 フレームバッファ書き込み処理 図 33.14 フレームバッファのデータ配置のイメージ図	33-28	<p>図を修正</p> <p>図 33.14 フレームバッファのデータ配置のイメージ図</p>																								
表 33.33 フレームバッファ書き込み制御	33-29	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>初期値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>SCL1_WR7</td> <td>RES_FLM_CNT[9:0]</td> <td>—</td> <td>現在アクセスしている1つ前のフレーム番号</td> </tr> </tbody> </table>	レジスタ名	ビット名	初期値	説明	SCL1_WR7	RES_FLM_CNT[9:0]	—	現在アクセスしている1つ前のフレーム番号																
レジスタ名	ビット名	初期値	説明																							
SCL1_WR7	RES_FLM_CNT[9:0]	—	現在アクセスしている1つ前のフレーム番号																							
33.2 レジスタの説明 表 33.37 スケーリング部 レジスタ構成	33-33	<p>表を修正</p> <table border="1"> <thead> <tr> <th>名称</th> <th>略称</th> <th>R/W</th> <th>初期値</th> <th>アドレス</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td>フル画面水平サイズレジスタ</td> <td>SCL0_FRC7</td> <td>R/W</td> <td>H'0090 0280</td> <td>H'FFFF 751C</td> <td>32/16</td> </tr> <tr> <td>フィールド判別信号切り替えレジスタ (R版のみ)</td> <td>SCL0_FRC8</td> <td>R/W</td> <td>H'0000 0011</td> <td>H'FFFF 7520</td> <td>32/16</td> </tr> <tr> <td>同期検出レジスタ</td> <td>SCL0_FRC9</td> <td>R</td> <td>H'0000 0000</td> <td>H'FFFF 7524</td> <td>32/16</td> </tr> </tbody> </table>	名称	略称	R/W	初期値	アドレス	アクセスサイズ	フル画面水平サイズレジスタ	SCL0_FRC7	R/W	H'0090 0280	H'FFFF 751C	32/16	フィールド判別信号切り替えレジスタ (R版のみ)	SCL0_FRC8	R/W	H'0000 0011	H'FFFF 7520	32/16	同期検出レジスタ	SCL0_FRC9	R	H'0000 0000	H'FFFF 7524	32/16
名称	略称	R/W	初期値	アドレス	アクセスサイズ																					
フル画面水平サイズレジスタ	SCL0_FRC7	R/W	H'0090 0280	H'FFFF 751C	32/16																					
フィールド判別信号切り替えレジスタ (R版のみ)	SCL0_FRC8	R/W	H'0000 0011	H'FFFF 7520	32/16																					
同期検出レジスタ	SCL0_FRC9	R	H'0000 0000	H'FFFF 7524	32/16																					
33.2.8 フル画面水平サイズレジスタ (SCL0_FRC7)	33-41	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>10~0</td> <td>RES_F_HW [10:0]</td> <td>640</td> <td>R/W</td> <td>フル画面の水平イーネーブル信号幅設定 (ピクセルクロック数) 【注1】RES_F_HS+RES_F_HW が 2015 クロック以内になるように設定してください。 【注2】LCD 出力番号としてシリアル RGB 出力を選択する場合は、(フル画面の水平信号幅+2) を設定してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	10~0	RES_F_HW [10:0]	640	R/W	フル画面の水平イーネーブル信号幅設定 (ピクセルクロック数) 【注1】RES_F_HS+RES_F_HW が 2015 クロック以内になるように設定してください。 【注2】LCD 出力番号としてシリアル RGB 出力を選択する場合は、(フル画面の水平信号幅+2) を設定してください。														
ビット	ビット名	初期値	R/W	説明																						
10~0	RES_F_HW [10:0]	640	R/W	フル画面の水平イーネーブル信号幅設定 (ピクセルクロック数) 【注1】RES_F_HS+RES_F_HW が 2015 クロック以内になるように設定してください。 【注2】LCD 出力番号としてシリアル RGB 出力を選択する場合は、(フル画面の水平信号幅+2) を設定してください。																						
33.2.9 フィールド判別信号切り替えレジスタ (SCL0_FRC8) (R版のみ)	33-42	項目を追加																								
33.2.12 取り込み垂直サイズレジスタ (SCL0_DS2)	33-45	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>26~16</td> <td>RES_VS [10:0]</td> <td>18</td> <td>R/W</td> <td>取込映像信号垂直位置設定 (VSYNC+V バックポーチライン数) 【注】4 ライン以上、RES_VS+RES_VW が 2039 ライン以内になるように設定してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	26~16	RES_VS [10:0]	18	R/W	取込映像信号垂直位置設定 (VSYNC+V バックポーチライン数) 【注】4 ライン以上、RES_VS+RES_VW が 2039 ライン以内になるように設定してください。														
ビット	ビット名	初期値	R/W	説明																						
26~16	RES_VS [10:0]	18	R/W	取込映像信号垂直位置設定 (VSYNC+V バックポーチライン数) 【注】4 ライン以上、RES_VS+RES_VW が 2039 ライン以内になるように設定してください。																						
33.2.16 垂直スケールレジスタ (SCL0_DS6)	33-49	<p>注を追加</p> <p>【注】本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_A=1 および SCL0_VEN_B=1 で更新されます。このため、グラフィックス拡大表示を行う場合でも入力垂直同期信号と出力垂直同期信号の両方が必要となります。</p>																								

修正項目	ページ	修正内容 (詳細はマニュアル参照)																									
33.2.17 縮小制御部出力サイズレジスタ (SCL0_DS7)	33-50	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>26~16</td> <td>RES_OUT_VW [10:0]</td> <td>240</td> <td>R/W</td> <td>縮小制御部出力の直線有効ライン数 (ライン数) 本ビットの設定は、フレームバッファへの書き込みライン数に反映されま す。 SCL1_WR1.RES_LOOP=0 (フレーム書き込みモード) 設定時は、 1フレーム分のライン数を指定してください。 SCL1_WR1.RES_LOOP=1 (ライン書き込みモード) 設定時は、リング状に書き 出すライン数を指定してください。 【注】 RES_OUT_VW は、4ラインアライメントかつ RES_OUT_VW ≤ RES_VW で設定してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	26~16	RES_OUT_VW [10:0]	240	R/W	縮小制御部出力の直線有効ライン数 (ライン数) 本ビットの設定は、フレームバッファへの書き込みライン数に反映されま す。 SCL1_WR1.RES_LOOP=0 (フレーム書き込みモード) 設定時は、 1フレーム分のライン数を指定してください。 SCL1_WR1.RES_LOOP=1 (ライン書き込みモード) 設定時は、リング状に書き 出すライン数を指定してください。 【注】 RES_OUT_VW は、4ラインアライメントかつ RES_OUT_VW ≤ RES_VW で設定してください。															
ビット	ビット名	初期値	R/W	説明																							
26~16	RES_OUT_VW [10:0]	240	R/W	縮小制御部出力の直線有効ライン数 (ライン数) 本ビットの設定は、フレームバッファへの書き込みライン数に反映されま す。 SCL1_WR1.RES_LOOP=0 (フレーム書き込みモード) 設定時は、 1フレーム分のライン数を指定してください。 SCL1_WR1.RES_LOOP=1 (ライン書き込みモード) 設定時は、リング状に書き 出すライン数を指定してください。 【注】 RES_OUT_VW は、4ラインアライメントかつ RES_OUT_VW ≤ RES_VW で設定してください。																							
33.2.25 フレームバッファ読み出し選択レジスタ (SCL0_US8)	33-58	<p>注を修正</p> <p>【注】 RES_IBUS_SYNC_SEL は、SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 および SCL0_VEN_D=1 で更新されます。</p> <p>RES_DISP_ON は、SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。</p>																									
33.2.28 書き込み動作モードレジスタ (SCL1_WR1)	33-61	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~9</td> <td>-</td> <td>すべて 0</td> <td>R</td> <td>リザーブビット 読み出すと常に 0 が読み出されます。書き込む 値も常に 0 にしてください。</td> </tr> <tr> <td>8</td> <td>RES_FL M_MD</td> <td>0</td> <td>R/W</td> <td>フレームバッファアドレス生成モード選択 0: RES_BASE + RES_FLM_OFF x フレーム 番号 1: RES_BASE + RES_FLM_OFF x フィールド 情報 (TOP: 0, BOTTOM: 1) 【注】 プログレッシブ信号入力時は、本ビットに 0 を設定してください。本ビットを 1 に設 定する場合、フレームバッファは必ず 2 面 に設定してください。 本ビットは R 版にのみ実装されています。R 版 以外では、読み出すと常に 0 が読み出されま す。書き込む値も常に 0 にしてください。</td> </tr> <tr> <td>7</td> <td>-</td> <td>0</td> <td>R</td> <td>リザーブビット 読み出すと常に 0 が読み出されます。書き込む 値も常に 0 にしてください。</td> </tr> <tr> <td>0</td> <td>RES_BS T_MD</td> <td>0</td> <td>R/W</td> <td>フレームバッファ書き込み転送のバースト長 0: 32 バイト転送 (4 バースト) 1: 128 バイト転送 (16 バースト)</td> </tr> </tbody> </table> <p>【注】 RES_FLM_MD、RES_LOOP、RES_BST_MD は SCL1 レジスタ更新制 御レジスタ (SCL1_UPDATE) の SCL1_VEN_B=1 で更新されます。 RES_DS_WR_MD、RES_MD は SCL1 レジスタ更新制御レジスタ (SCL1_UPDATE) の SCL1_VEN_A=1 および SCL1_VEN_B=1 で更新 されます。</p>	ビット	ビット名	初期値	R/W	説明	31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む 値も常に 0 にしてください。	8	RES_FL M_MD	0	R/W	フレームバッファアドレス生成モード選択 0: RES_BASE + RES_FLM_OFF x フレーム 番号 1: RES_BASE + RES_FLM_OFF x フィールド 情報 (TOP: 0, BOTTOM: 1) 【注】 プログレッシブ信号入力時は、本ビットに 0 を設定してください。本ビットを 1 に設 定する場合、フレームバッファは必ず 2 面 に設定してください。 本ビットは R 版にのみ実装されています。R 版 以外では、読み出すと常に 0 が読み出されま す。書き込む値も常に 0 にしてください。	7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む 値も常に 0 にしてください。	0	RES_BS T_MD	0	R/W	フレームバッファ書き込み転送のバースト長 0: 32 バイト転送 (4 バースト) 1: 128 バイト転送 (16 バースト)
ビット	ビット名	初期値	R/W	説明																							
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む 値も常に 0 にしてください。																							
8	RES_FL M_MD	0	R/W	フレームバッファアドレス生成モード選択 0: RES_BASE + RES_FLM_OFF x フレーム 番号 1: RES_BASE + RES_FLM_OFF x フィールド 情報 (TOP: 0, BOTTOM: 1) 【注】 プログレッシブ信号入力時は、本ビットに 0 を設定してください。本ビットを 1 に設 定する場合、フレームバッファは必ず 2 面 に設定してください。 本ビットは R 版にのみ実装されています。R 版 以外では、読み出すと常に 0 が読み出されま す。書き込む値も常に 0 にしてください。																							
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む 値も常に 0 にしてください。																							
0	RES_BS T_MD	0	R/W	フレームバッファ書き込み転送のバースト長 0: 32 バイト転送 (4 バースト) 1: 128 バイト転送 (16 バースト)																							
33.2.32 フレーム間引きレジスタ (SCL1_WR5)	33-65	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>RES_WENB</td> <td>0</td> <td>R/W</td> <td>フレームバッファ書き込み許可 書き込み許可設定後、2 フレーム目から書き込みを開始します。 0: 書き込み禁止 1: 書き込み許可</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	0	RES_WENB	0	R/W	フレームバッファ書き込み許可 書き込み許可設定後、2 フレーム目から書き込みを開始します。 0: 書き込み禁止 1: 書き込み許可															
ビット	ビット名	初期値	R/W	説明																							
0	RES_WENB	0	R/W	フレームバッファ書き込み許可 書き込み許可設定後、2 フレーム目から書き込みを開始します。 0: 書き込み禁止 1: 書き込み許可																							
33.2.34 書き込み検出レジスタ (SCL1_WR7)	33-67	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>9~0</td> <td>RES_FLM_CNT [9:0]</td> <td>0</td> <td>R</td> <td>現在アクセスしている 1 フレームのフレーム番号</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	9~0	RES_FLM_CNT [9:0]	0	R	現在アクセスしている 1 フレームのフレーム番号															
ビット	ビット名	初期値	R/W	説明																							
9~0	RES_FLM_CNT [9:0]	0	R	現在アクセスしている 1 フレームのフレーム番号																							

修正項目	ページ	修正内容（詳細はマニュアル参照）																								
33.3.1 525i 映像入力、VGA(640 × 480) サイズ映像出力時のスケーリング設定例 表 33.38 525i 映像入力、VGA(640 × 480) サイズ映像出力時の入出力画角	33-87	タイトル、表を修正 <table border="1"> <thead> <tr> <th>入力信号</th> <th>出力信号</th> <th>信号フォーマット</th> <th>回転</th> <th>バッファ面</th> <th>スケーリングフィルタ</th> </tr> </thead> <tbody> <tr> <td>1440 × 240</td> <td>640 × 480</td> <td>YCbCr</td> <td>通常</td> <td>2 面</td> <td>2TAP リニア</td> </tr> </tbody> </table>	入力信号	出力信号	信号フォーマット	回転	バッファ面	スケーリングフィルタ	1440 × 240	640 × 480	YCbCr	通常	2 面	2TAP リニア												
入力信号	出力信号	信号フォーマット	回転	バッファ面	スケーリングフィルタ																					
1440 × 240	640 × 480	YCbCr	通常	2 面	2TAP リニア																					
(2) 水平スケーリング（水平縮小、スケーリングフィルタは 2TAP リニア）	33-87	説明を修正 折り返し対策でのスケーリング率算出は以下となります。 $\text{RATIO_org} = \text{round} (1440 \div 640 \times 4096) = 9216$ $= (9216 \times (640 - 1) - (1440 - 1) \times 4096) \div (640 - 1) = - 8.01$ 水平スケーリング率 = roundup (9216 - (- 8.01)) = 9225																								
(3) 垂直スケーリング（垂直拡大、スケーリングフィルタは 2TAP リニア）	33-87	説明を修正 折り返し対策でのスケーリング率算出は以下となります。 $\text{RATIO_org} = \text{round}(240 \div 480 \times 4096) = 2048$ $= (2048 \times (480 - 1) - (240 - 1) \times 4096) \div (480 - 1) = 4.27$ 垂直スケーリング率 = round (2048 - (4.07)) = 2044																								
(4) フレームバッファアクセス領域設定	33-87	タイトルを修正																								
(5) レジスタ設定例	33-89	タイトルを修正																								
35.1.10 矩形領域アルファブレンド表示処理	35-19	説明を修正 垂直同期信号がレジスタ GR_ARC_RATE[7:0]+1 と同じ回数立ち上がるたびに、GR_ARC_COEF[7:0]を 値に加減算します。																								
35.1.14 アルファブレンド演算式	35-23	説明を修正 以下のとおり、信号 値により、2 系統の入力信号のアルファブレンド処理をします。(小数点以下切り上げ) $\text{G 出力} = (\text{G 値} \times \text{値} + \text{下層グラフィックス G 入力} \times (255 - \text{値})) \div 256$ $\text{B 出力} = (\text{B 値} \times \text{値} + \text{下層グラフィックス B 入力} \times (255 - \text{値})) \div 256$ $\text{R 出力} = (\text{R 値} \times \text{値} + \text{下層グラフィックス R 入力} \times (255 - \text{値})) \div 256$																								
表 35.28 CLUT テーブル構成	35-28	表を修正 <table border="1"> <thead> <tr> <th>名 称</th> <th>略称</th> <th>R/W</th> <th>初期値</th> <th>アドレス</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td>グラフィックス(1) CLUT テーブル</td> <td>GR1_CLUT</td> <td>R/W</td> <td>—</td> <td>H'FFFF 6000 ~ H'FFFF 63FF</td> <td>32</td> </tr> <tr> <td>グラフィックス(2) CLUT テーブル</td> <td>GR2_CLUT</td> <td>R/W</td> <td>—</td> <td>H'FFFF 6400 ~ H'FFFF 67FF</td> <td>32</td> </tr> <tr> <td>グラフィックス(3) CLUT テーブル</td> <td>GR3_CLUT</td> <td>R/W</td> <td>—</td> <td>H'FFFF 6800 ~ H'FFFF 6BFF</td> <td>32</td> </tr> </tbody> </table>	名 称	略称	R/W	初期値	アドレス	アクセスサイズ	グラフィックス(1) CLUT テーブル	GR1_CLUT	R/W	—	H'FFFF 6000 ~ H'FFFF 63FF	32	グラフィックス(2) CLUT テーブル	GR2_CLUT	R/W	—	H'FFFF 6400 ~ H'FFFF 67FF	32	グラフィックス(3) CLUT テーブル	GR3_CLUT	R/W	—	H'FFFF 6800 ~ H'FFFF 6BFF	32
名 称	略称	R/W	初期値	アドレス	アクセスサイズ																					
グラフィックス(1) CLUT テーブル	GR1_CLUT	R/W	—	H'FFFF 6000 ~ H'FFFF 63FF	32																					
グラフィックス(2) CLUT テーブル	GR2_CLUT	R/W	—	H'FFFF 6400 ~ H'FFFF 67FF	32																					
グラフィックス(3) CLUT テーブル	GR3_CLUT	R/W	—	H'FFFF 6800 ~ H'FFFF 6BFF	32																					

修正項目	ページ	修正内容 (詳細はマニュアル参照)																				
35.2.3 フレームバッファ制御レジスタ1 (グラフィックス (2)) (GR2_FLM1)	35-31	<p>注を修正</p> <p>【注】GR2_LN_OFF_DIR、GR2_FLM_SEL はグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_IBUS_VEN = 1 で更新されます。</p> <p>GR2_BST_MD は グラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_IBUS_VEN = 1 および GR2_P_VEN = 1 で更新されます。</p>																				
36.1.6 ガンマ補正 表 36.5 ガンマ補正	36-6	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>初期値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>GAM_G_AREA1~8</td> <td>GAM_G_TH_01~31[7:0]</td> <td>*</td> <td>G 信号の領域 1~31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値*1 ≦ 本領域の閾値 < 次領域の閾値*2 【注】 *1 GAM_G_TH_01 は 0 *2 GAM_G_TH_31 は 255 *初期値 . . .</td> </tr> </tbody> </table>	レジスタ名	ビット名	初期値	説明	GAM_G_AREA1~8	GAM_G_TH_01~31[7:0]	*	G 信号の領域 1~31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値*1 ≦ 本領域の閾値 < 次領域の閾値*2 【注】 *1 GAM_G_TH_01 は 0 *2 GAM_G_TH_31 は 255 *初期値 . . .												
	レジスタ名	ビット名	初期値	説明																		
	GAM_G_AREA1~8	GAM_G_TH_01~31[7:0]	*	G 信号の領域 1~31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値*1 ≦ 本領域の閾値 < 次領域の閾値*2 【注】 *1 GAM_G_TH_01 は 0 *2 GAM_G_TH_31 は 255 *初期値 . . .																		
36-7	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>初期値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>GAM_B_AREA1~8</td> <td>GAM_B_TH_01~31[7:0]</td> <td>*</td> <td>B 信号の領域 1~31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値*1 ≦ 本領域の閾値 < 次領域の閾値*2 【注】 *1 GAM_B_TH_01 は 0 *2 GAM_B_TH_31 は 255 *初期値 . . .</td> </tr> </tbody> </table>	レジスタ名	ビット名	初期値	説明	GAM_B_AREA1~8	GAM_B_TH_01~31[7:0]	*	B 信号の領域 1~31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値*1 ≦ 本領域の閾値 < 次領域の閾値*2 【注】 *1 GAM_B_TH_01 は 0 *2 GAM_B_TH_31 は 255 *初期値 . . .													
レジスタ名	ビット名	初期値	説明																			
GAM_B_AREA1~8	GAM_B_TH_01~31[7:0]	*	B 信号の領域 1~31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値*1 ≦ 本領域の閾値 < 次領域の閾値*2 【注】 *1 GAM_B_TH_01 は 0 *2 GAM_B_TH_31 は 255 *初期値 . . .																			
36-8	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>初期値</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>GAM_R_AREA1~8</td> <td>GAM_R_TH_01~31[7:0]</td> <td>*</td> <td>R 信号の領域 1~31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値*1 ≦ 本領域の閾値 < 次領域の閾値*2 【注】 *1 GAM_R_TH_01 は 0 *2 GAM_R_TH_31 は 255 *初期値 . . .</td> </tr> </tbody> </table>	レジスタ名	ビット名	初期値	説明	GAM_R_AREA1~8	GAM_R_TH_01~31[7:0]	*	R 信号の領域 1~31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値*1 ≦ 本領域の閾値 < 次領域の閾値*2 【注】 *1 GAM_R_TH_01 は 0 *2 GAM_R_TH_31 は 255 *初期値 . . .													
レジスタ名	ビット名	初期値	説明																			
GAM_R_AREA1~8	GAM_R_TH_01~31[7:0]	*	R 信号の領域 1~31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値*1 ≦ 本領域の閾値 < 次領域の閾値*2 【注】 *1 GAM_R_TH_01 は 0 *2 GAM_R_TH_31 は 255 *初期値 . . .																			
36.2.4 ガンマ補正部領域設定レジスタ G1 (GAM_G_AREA1)	36-38	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>23~16</td> <td>GAM_G_TH_01[7:0]</td> <td>8</td> <td>R/W</td> <td>G 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_G_TH_02[7:0]</td> <td>16</td> <td>R/W</td> <td>G 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_G_TH_03[7:0]</td> <td>24</td> <td>R/W</td> <td>G 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	23~16	GAM_G_TH_01[7:0]	8	R/W	G 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_G_TH_02[7:0]	16	R/W	G 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_G_TH_03[7:0]	24	R/W	G 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																		
23~16	GAM_G_TH_01[7:0]	8	R/W	G 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 ≦ 本領域の閾値 < 次領域の閾値																		
15~8	GAM_G_TH_02[7:0]	16	R/W	G 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																		
7~0	GAM_G_TH_03[7:0]	24	R/W	G 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																		

修正項目	ページ	修正内容 (詳細はマニュアル参照)																									
36.2.5 ガンマ補正部領域設定レジスタ G2 (GAM_G_AREA2)	36-39	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_G_TH_04[7:0]</td> <td>32</td> <td>R/W</td> <td>G 信号の領域 4 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_G_TH_05[7:0]</td> <td>40</td> <td>R/W</td> <td>G 信号の領域 5 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_G_TH_06[7:0]</td> <td>48</td> <td>R/W</td> <td>G 信号の領域 6 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_G_TH_07[7:0]</td> <td>56</td> <td>R/W</td> <td>G 信号の領域 7 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_G_TH_04[7:0]	32	R/W	G 信号の領域 4 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_G_TH_05[7:0]	40	R/W	G 信号の領域 5 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_G_TH_06[7:0]	48	R/W	G 信号の領域 6 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_G_TH_07[7:0]	56	R/W	G 信号の領域 7 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_G_TH_04[7:0]	32	R/W	G 信号の領域 4 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_G_TH_05[7:0]	40	R/W	G 信号の領域 5 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_G_TH_06[7:0]	48	R/W	G 信号の領域 6 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_G_TH_07[7:0]	56	R/W	G 信号の領域 7 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.6 ガンマ補正部領域設定レジスタ G3 (GAM_G_AREA3)	36-40	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_G_TH_08[7:0]</td> <td>64</td> <td>R/W</td> <td>G 信号の領域 8 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_G_TH_09[7:0]</td> <td>72</td> <td>R/W</td> <td>G 信号の領域 9 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_G_TH_10[7:0]</td> <td>80</td> <td>R/W</td> <td>G 信号の領域 10 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_G_TH_11[7:0]</td> <td>88</td> <td>R/W</td> <td>G 信号の領域 11 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_G_TH_08[7:0]	64	R/W	G 信号の領域 8 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_G_TH_09[7:0]	72	R/W	G 信号の領域 9 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_G_TH_10[7:0]	80	R/W	G 信号の領域 10 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_G_TH_11[7:0]	88	R/W	G 信号の領域 11 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_G_TH_08[7:0]	64	R/W	G 信号の領域 8 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_G_TH_09[7:0]	72	R/W	G 信号の領域 9 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_G_TH_10[7:0]	80	R/W	G 信号の領域 10 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_G_TH_11[7:0]	88	R/W	G 信号の領域 11 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.7 ガンマ補正部領域設定レジスタ G4 (GAM_G_AREA4)	36-41	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_G_TH_12[7:0]</td> <td>96</td> <td>R/W</td> <td>G 信号の領域 12 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_G_TH_13[7:0]</td> <td>104</td> <td>R/W</td> <td>G 信号の領域 13 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_G_TH_14[7:0]</td> <td>112</td> <td>R/W</td> <td>G 信号の領域 14 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_G_TH_15[7:0]</td> <td>120</td> <td>R/W</td> <td>G 信号の領域 15 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_G_TH_12[7:0]	96	R/W	G 信号の領域 12 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_G_TH_13[7:0]	104	R/W	G 信号の領域 13 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_G_TH_14[7:0]	112	R/W	G 信号の領域 14 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_G_TH_15[7:0]	120	R/W	G 信号の領域 15 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_G_TH_12[7:0]	96	R/W	G 信号の領域 12 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_G_TH_13[7:0]	104	R/W	G 信号の領域 13 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_G_TH_14[7:0]	112	R/W	G 信号の領域 14 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_G_TH_15[7:0]	120	R/W	G 信号の領域 15 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.8 ガンマ補正部領域設定レジスタ G5 (GAM_G_AREA5)	36-42	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_G_TH_16[7:0]</td> <td>128</td> <td>R/W</td> <td>G 信号の領域 16 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_G_TH_17[7:0]</td> <td>136</td> <td>R/W</td> <td>G 信号の領域 17 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_G_TH_18[7:0]</td> <td>144</td> <td>R/W</td> <td>G 信号の領域 18 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_G_TH_19[7:0]</td> <td>152</td> <td>R/W</td> <td>G 信号の領域 19 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_G_TH_16[7:0]	128	R/W	G 信号の領域 16 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_G_TH_17[7:0]	136	R/W	G 信号の領域 17 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_G_TH_18[7:0]	144	R/W	G 信号の領域 18 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_G_TH_19[7:0]	152	R/W	G 信号の領域 19 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_G_TH_16[7:0]	128	R/W	G 信号の領域 16 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_G_TH_17[7:0]	136	R/W	G 信号の領域 17 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_G_TH_18[7:0]	144	R/W	G 信号の領域 18 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_G_TH_19[7:0]	152	R/W	G 信号の領域 19 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							

修正項目	ページ	修正内容 (詳細はマニュアル参照)																									
36.2.9 ガンマ補正部領域設定レジスタ G6 (GAM_G_AREA6)	36-43	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_G_TH_20[7:0]</td> <td>160</td> <td>R/W</td> <td>G 信号の領域 20 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_G_TH_21[7:0]</td> <td>168</td> <td>R/W</td> <td>G 信号の領域 21 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_G_TH_22[7:0]</td> <td>176</td> <td>R/W</td> <td>G 信号の領域 22 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_G_TH_23[7:0]</td> <td>184</td> <td>R/W</td> <td>G 信号の領域 23 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_G_TH_20[7:0]	160	R/W	G 信号の領域 20 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_G_TH_21[7:0]	168	R/W	G 信号の領域 21 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_G_TH_22[7:0]	176	R/W	G 信号の領域 22 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_G_TH_23[7:0]	184	R/W	G 信号の領域 23 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_G_TH_20[7:0]	160	R/W	G 信号の領域 20 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_G_TH_21[7:0]	168	R/W	G 信号の領域 21 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_G_TH_22[7:0]	176	R/W	G 信号の領域 22 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_G_TH_23[7:0]	184	R/W	G 信号の領域 23 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.10 ガンマ補正部領域設定レジスタ G7 (GAM_G_AREA7)	36-44	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_G_TH_24[7:0]</td> <td>192</td> <td>R/W</td> <td>G 信号の領域 24 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_G_TH_25[7:0]</td> <td>200</td> <td>R/W</td> <td>G 信号の領域 25 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_G_TH_26[7:0]</td> <td>208</td> <td>R/W</td> <td>G 信号の領域 26 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_G_TH_27[7:0]</td> <td>216</td> <td>R/W</td> <td>G 信号の領域 27 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_G_TH_24[7:0]	192	R/W	G 信号の領域 24 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_G_TH_25[7:0]	200	R/W	G 信号の領域 25 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_G_TH_26[7:0]	208	R/W	G 信号の領域 26 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_G_TH_27[7:0]	216	R/W	G 信号の領域 27 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_G_TH_24[7:0]	192	R/W	G 信号の領域 24 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_G_TH_25[7:0]	200	R/W	G 信号の領域 25 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_G_TH_26[7:0]	208	R/W	G 信号の領域 26 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_G_TH_27[7:0]	216	R/W	G 信号の領域 27 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.11 ガンマ補正部領域設定レジスタ G8 (GAM_G_AREA8)	36-45	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_G_TH_28[7:0]</td> <td>224</td> <td>R/W</td> <td>G 信号の領域 28 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_G_TH_29[7:0]</td> <td>232</td> <td>R/W</td> <td>G 信号の領域 29 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_G_TH_30[7:0]</td> <td>240</td> <td>R/W</td> <td>G 信号の領域 30 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_G_TH_31[7:0]</td> <td>248</td> <td>R/W</td> <td>G 信号の領域 31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 ≦ 255</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_G_TH_28[7:0]	224	R/W	G 信号の領域 28 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_G_TH_29[7:0]	232	R/W	G 信号の領域 29 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_G_TH_30[7:0]	240	R/W	G 信号の領域 30 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_G_TH_31[7:0]	248	R/W	G 信号の領域 31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 ≦ 255
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_G_TH_28[7:0]	224	R/W	G 信号の領域 28 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_G_TH_29[7:0]	232	R/W	G 信号の領域 29 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_G_TH_30[7:0]	240	R/W	G 信号の領域 30 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_G_TH_31[7:0]	248	R/W	G 信号の領域 31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 ≦ 255																							
36.2.14 ガンマ補正部領域設定レジスタ B1 (GAM_B_AREA1)	36-49	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>23~16</td> <td>GAM_B_TH_01[7:0]</td> <td>8</td> <td>R/W</td> <td>B 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_B_TH_02[7:0]</td> <td>16</td> <td>R/W</td> <td>B 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_B_TH_03[7:0]</td> <td>24</td> <td>R/W</td> <td>B 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	23~16	GAM_B_TH_01[7:0]	8	R/W	B 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_B_TH_02[7:0]	16	R/W	B 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_B_TH_03[7:0]	24	R/W	B 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値					
ビット	ビット名	初期値	R/W	説明																							
23~16	GAM_B_TH_01[7:0]	8	R/W	B 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_B_TH_02[7:0]	16	R/W	B 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_B_TH_03[7:0]	24	R/W	B 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							

修正項目	ページ	修正内容 (詳細はマニュアル参照)																									
36.2.15 ガンマ補正部領域設定レジスタ B2 (GAM_B_AREA2)	36-50	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_B_TH_04[7:0]</td> <td>32</td> <td>R/W</td> <td>B 信号の領域 4 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_B_TH_05[7:0]</td> <td>40</td> <td>R/W</td> <td>B 信号の領域 5 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_B_TH_06[7:0]</td> <td>48</td> <td>R/W</td> <td>B 信号の領域 6 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_B_TH_07[7:0]</td> <td>56</td> <td>R/W</td> <td>B 信号の領域 7 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_B_TH_04[7:0]	32	R/W	B 信号の領域 4 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_B_TH_05[7:0]	40	R/W	B 信号の領域 5 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_B_TH_06[7:0]	48	R/W	B 信号の領域 6 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_B_TH_07[7:0]	56	R/W	B 信号の領域 7 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_B_TH_04[7:0]	32	R/W	B 信号の領域 4 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_B_TH_05[7:0]	40	R/W	B 信号の領域 5 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_B_TH_06[7:0]	48	R/W	B 信号の領域 6 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_B_TH_07[7:0]	56	R/W	B 信号の領域 7 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.16 ガンマ補正部領域設定レジスタ B3 (GAM_B_AREA3)	36-51	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_B_TH_08[7:0]</td> <td>64</td> <td>R/W</td> <td>B 信号の領域 8 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_B_TH_09[7:0]</td> <td>72</td> <td>R/W</td> <td>B 信号の領域 9 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_B_TH_10[7:0]</td> <td>80</td> <td>R/W</td> <td>B 信号の領域 10 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_B_TH_11[7:0]</td> <td>88</td> <td>R/W</td> <td>B 信号の領域 11 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_B_TH_08[7:0]	64	R/W	B 信号の領域 8 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_B_TH_09[7:0]	72	R/W	B 信号の領域 9 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_B_TH_10[7:0]	80	R/W	B 信号の領域 10 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_B_TH_11[7:0]	88	R/W	B 信号の領域 11 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_B_TH_08[7:0]	64	R/W	B 信号の領域 8 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_B_TH_09[7:0]	72	R/W	B 信号の領域 9 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_B_TH_10[7:0]	80	R/W	B 信号の領域 10 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_B_TH_11[7:0]	88	R/W	B 信号の領域 11 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.17 ガンマ補正部領域設定レジスタ B4 (GAM_B_AREA4)	36-52	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_B_TH_12[7:0]</td> <td>96</td> <td>R/W</td> <td>B 信号の領域 12 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_B_TH_13[7:0]</td> <td>104</td> <td>R/W</td> <td>B 信号の領域 13 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_B_TH_14[7:0]</td> <td>112</td> <td>R/W</td> <td>B 信号の領域 14 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_B_TH_15[7:0]</td> <td>120</td> <td>R/W</td> <td>B 信号の領域 15 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_B_TH_12[7:0]	96	R/W	B 信号の領域 12 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_B_TH_13[7:0]	104	R/W	B 信号の領域 13 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_B_TH_14[7:0]	112	R/W	B 信号の領域 14 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_B_TH_15[7:0]	120	R/W	B 信号の領域 15 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_B_TH_12[7:0]	96	R/W	B 信号の領域 12 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_B_TH_13[7:0]	104	R/W	B 信号の領域 13 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_B_TH_14[7:0]	112	R/W	B 信号の領域 14 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_B_TH_15[7:0]	120	R/W	B 信号の領域 15 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.18 ガンマ補正部領域設定レジスタ B5 (GAM_B_AREA5)	36-53	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_B_TH_16[7:0]</td> <td>128</td> <td>R/W</td> <td>B 信号の領域 16 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_B_TH_17[7:0]</td> <td>136</td> <td>R/W</td> <td>B 信号の領域 17 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_B_TH_18[7:0]</td> <td>144</td> <td>R/W</td> <td>B 信号の領域 18 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_B_TH_19[7:0]</td> <td>152</td> <td>R/W</td> <td>B 信号の領域 19 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_B_TH_16[7:0]	128	R/W	B 信号の領域 16 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_B_TH_17[7:0]	136	R/W	B 信号の領域 17 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_B_TH_18[7:0]	144	R/W	B 信号の領域 18 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_B_TH_19[7:0]	152	R/W	B 信号の領域 19 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_B_TH_16[7:0]	128	R/W	B 信号の領域 16 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_B_TH_17[7:0]	136	R/W	B 信号の領域 17 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_B_TH_18[7:0]	144	R/W	B 信号の領域 18 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_B_TH_19[7:0]	152	R/W	B 信号の領域 19 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							

修正項目	ページ	修正内容 (詳細はマニュアル参照)																									
36.2.19 ガンマ補正部領域設定レジスタ B6 (GAM_B_AREA6)	36-54	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_B_TH_20[7:0]</td> <td>160</td> <td>R/W</td> <td>B 信号の領域 20 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_B_TH_21[7:0]</td> <td>168</td> <td>R/W</td> <td>B 信号の領域 21 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_B_TH_22[7:0]</td> <td>176</td> <td>R/W</td> <td>B 信号の領域 22 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_B_TH_23[7:0]</td> <td>184</td> <td>R/W</td> <td>B 信号の領域 23 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_B_TH_20[7:0]	160	R/W	B 信号の領域 20 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_B_TH_21[7:0]	168	R/W	B 信号の領域 21 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_B_TH_22[7:0]	176	R/W	B 信号の領域 22 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_B_TH_23[7:0]	184	R/W	B 信号の領域 23 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_B_TH_20[7:0]	160	R/W	B 信号の領域 20 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_B_TH_21[7:0]	168	R/W	B 信号の領域 21 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_B_TH_22[7:0]	176	R/W	B 信号の領域 22 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_B_TH_23[7:0]	184	R/W	B 信号の領域 23 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.20 ガンマ補正部領域設定レジスタ B7 (GAM_B_AREA7)	36-55	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_B_TH_24[7:0]</td> <td>192</td> <td>R/W</td> <td>B 信号の領域 24 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_B_TH_25[7:0]</td> <td>200</td> <td>R/W</td> <td>B 信号の領域 25 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_B_TH_26[7:0]</td> <td>208</td> <td>R/W</td> <td>B 信号の領域 26 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_B_TH_27[7:0]</td> <td>216</td> <td>R/W</td> <td>B 信号の領域 27 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_B_TH_24[7:0]	192	R/W	B 信号の領域 24 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_B_TH_25[7:0]	200	R/W	B 信号の領域 25 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_B_TH_26[7:0]	208	R/W	B 信号の領域 26 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_B_TH_27[7:0]	216	R/W	B 信号の領域 27 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_B_TH_24[7:0]	192	R/W	B 信号の領域 24 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_B_TH_25[7:0]	200	R/W	B 信号の領域 25 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_B_TH_26[7:0]	208	R/W	B 信号の領域 26 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_B_TH_27[7:0]	216	R/W	B 信号の領域 27 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.21 ガンマ補正部領域設定レジスタ B8 (GAM_B_AREA8)	36-56	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_B_TH_28[7:0]</td> <td>224</td> <td>R/W</td> <td>B 信号の領域 28 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_B_TH_29[7:0]</td> <td>232</td> <td>R/W</td> <td>B 信号の領域 29 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_B_TH_30[7:0]</td> <td>240</td> <td>R/W</td> <td>B 信号の領域 30 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_B_TH_31[7:0]</td> <td>248</td> <td>R/W</td> <td>B 信号の領域 31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 ≦ 255</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_B_TH_28[7:0]	224	R/W	B 信号の領域 28 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_B_TH_29[7:0]	232	R/W	B 信号の領域 29 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_B_TH_30[7:0]	240	R/W	B 信号の領域 30 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_B_TH_31[7:0]	248	R/W	B 信号の領域 31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 ≦ 255
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_B_TH_28[7:0]	224	R/W	B 信号の領域 28 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_B_TH_29[7:0]	232	R/W	B 信号の領域 29 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_B_TH_30[7:0]	240	R/W	B 信号の領域 30 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_B_TH_31[7:0]	248	R/W	B 信号の領域 31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 ≦ 255																							
36.2.24 ガンマ補正部領域設定レジスタ R1 (GAM_R_AREA1)	36-60	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>23~16</td> <td>GAM_R_TH_01[7:0]</td> <td>8</td> <td>R/W</td> <td>R 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_R_TH_02[7:0]</td> <td>16</td> <td>R/W</td> <td>R 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_R_TH_03[7:0]</td> <td>24</td> <td>R/W</td> <td>R 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	23~16	GAM_R_TH_01[7:0]	8	R/W	R 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_R_TH_02[7:0]	16	R/W	R 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_R_TH_03[7:0]	24	R/W	R 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値					
ビット	ビット名	初期値	R/W	説明																							
23~16	GAM_R_TH_01[7:0]	8	R/W	R 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_R_TH_02[7:0]	16	R/W	R 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_R_TH_03[7:0]	24	R/W	R 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							

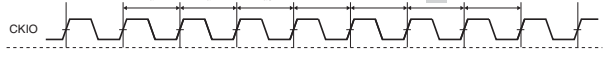
修正項目	ページ	修正内容 (詳細はマニュアル参照)																									
36.2.25 ガンマ補正部領域設定レジスタ R2 (GAM_R_AREA2)	36-61	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_R_TH_04[7:0]</td> <td>32</td> <td>R/W</td> <td>R 信号の領域 4 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_R_TH_05[7:0]</td> <td>40</td> <td>R/W</td> <td>R 信号の領域 5 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_R_TH_06[7:0]</td> <td>48</td> <td>R/W</td> <td>R 信号の領域 6 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_R_TH_07[7:0]</td> <td>56</td> <td>R/W</td> <td>R 信号の領域 7 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_R_TH_04[7:0]	32	R/W	R 信号の領域 4 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_R_TH_05[7:0]	40	R/W	R 信号の領域 5 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_R_TH_06[7:0]	48	R/W	R 信号の領域 6 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_R_TH_07[7:0]	56	R/W	R 信号の領域 7 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_R_TH_04[7:0]	32	R/W	R 信号の領域 4 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_R_TH_05[7:0]	40	R/W	R 信号の領域 5 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_R_TH_06[7:0]	48	R/W	R 信号の領域 6 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_R_TH_07[7:0]	56	R/W	R 信号の領域 7 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.26 ガンマ補正部領域設定レジスタ R3 (GAM_R_AREA3)	36-62	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_R_TH_08[7:0]</td> <td>64</td> <td>R/W</td> <td>R 信号の領域 8 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_R_TH_09[7:0]</td> <td>72</td> <td>R/W</td> <td>R 信号の領域 9 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_R_TH_10[7:0]</td> <td>80</td> <td>R/W</td> <td>R 信号の領域 10 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_R_TH_11[7:0]</td> <td>88</td> <td>R/W</td> <td>R 信号の領域 11 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_R_TH_08[7:0]	64	R/W	R 信号の領域 8 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_R_TH_09[7:0]	72	R/W	R 信号の領域 9 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_R_TH_10[7:0]	80	R/W	R 信号の領域 10 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_R_TH_11[7:0]	88	R/W	R 信号の領域 11 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_R_TH_08[7:0]	64	R/W	R 信号の領域 8 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_R_TH_09[7:0]	72	R/W	R 信号の領域 9 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_R_TH_10[7:0]	80	R/W	R 信号の領域 10 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_R_TH_11[7:0]	88	R/W	R 信号の領域 11 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.27 ガンマ補正部領域設定レジスタ R4 (GAM_R_AREA4)	36-63	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_R_TH_12[7:0]</td> <td>96</td> <td>R/W</td> <td>R 信号の領域 12 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_R_TH_13[7:0]</td> <td>104</td> <td>R/W</td> <td>R 信号の領域 13 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_R_TH_14[7:0]</td> <td>112</td> <td>R/W</td> <td>R 信号の領域 14 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_R_TH_15[7:0]</td> <td>120</td> <td>R/W</td> <td>R 信号の領域 15 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_R_TH_12[7:0]	96	R/W	R 信号の領域 12 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_R_TH_13[7:0]	104	R/W	R 信号の領域 13 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_R_TH_14[7:0]	112	R/W	R 信号の領域 14 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_R_TH_15[7:0]	120	R/W	R 信号の領域 15 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_R_TH_12[7:0]	96	R/W	R 信号の領域 12 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_R_TH_13[7:0]	104	R/W	R 信号の領域 13 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_R_TH_14[7:0]	112	R/W	R 信号の領域 14 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_R_TH_15[7:0]	120	R/W	R 信号の領域 15 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.28 ガンマ補正部領域設定レジスタ R5 (GAM_R_AREA5)	36-64	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_R_TH_16[7:0]</td> <td>128</td> <td>R/W</td> <td>R 信号の領域 16 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_R_TH_17[7:0]</td> <td>136</td> <td>R/W</td> <td>R 信号の領域 17 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_R_TH_18[7:0]</td> <td>144</td> <td>R/W</td> <td>R 信号の領域 18 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_R_TH_19[7:0]</td> <td>152</td> <td>R/W</td> <td>R 信号の領域 19 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_R_TH_16[7:0]	128	R/W	R 信号の領域 16 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_R_TH_17[7:0]	136	R/W	R 信号の領域 17 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_R_TH_18[7:0]	144	R/W	R 信号の領域 18 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_R_TH_19[7:0]	152	R/W	R 信号の領域 19 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_R_TH_16[7:0]	128	R/W	R 信号の領域 16 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_R_TH_17[7:0]	136	R/W	R 信号の領域 17 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_R_TH_18[7:0]	144	R/W	R 信号の領域 18 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_R_TH_19[7:0]	152	R/W	R 信号の領域 19 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							

修正項目	ページ	修正内容 (詳細はマニュアル参照)																									
36.2.29 ガンマ補正部領域設定レジスタ R6 (GAM_R_AREA6)	36-65	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_R_TH_20[7:0]</td> <td>160</td> <td>R/W</td> <td>R 信号の領域 20 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_R_TH_21[7:0]</td> <td>168</td> <td>R/W</td> <td>R 信号の領域 21 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_R_TH_22[7:0]</td> <td>176</td> <td>R/W</td> <td>R 信号の領域 22 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_R_TH_23[7:0]</td> <td>184</td> <td>R/W</td> <td>R 信号の領域 23 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_R_TH_20[7:0]	160	R/W	R 信号の領域 20 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_R_TH_21[7:0]	168	R/W	R 信号の領域 21 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_R_TH_22[7:0]	176	R/W	R 信号の領域 22 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_R_TH_23[7:0]	184	R/W	R 信号の領域 23 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_R_TH_20[7:0]	160	R/W	R 信号の領域 20 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_R_TH_21[7:0]	168	R/W	R 信号の領域 21 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_R_TH_22[7:0]	176	R/W	R 信号の領域 22 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_R_TH_23[7:0]	184	R/W	R 信号の領域 23 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.30 ガンマ補正部領域設定レジスタ R7 (GAM_R_AREA7)	36-66	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_R_TH_24[7:0]</td> <td>192</td> <td>R/W</td> <td>R 信号の領域 24 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_R_TH_25[7:0]</td> <td>200</td> <td>R/W</td> <td>R 信号の領域 25 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_R_TH_26[7:0]</td> <td>208</td> <td>R/W</td> <td>R 信号の領域 26 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_R_TH_27[7:0]</td> <td>216</td> <td>R/W</td> <td>R 信号の領域 27 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_R_TH_24[7:0]	192	R/W	R 信号の領域 24 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_R_TH_25[7:0]	200	R/W	R 信号の領域 25 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_R_TH_26[7:0]	208	R/W	R 信号の領域 26 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_R_TH_27[7:0]	216	R/W	R 信号の領域 27 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_R_TH_24[7:0]	192	R/W	R 信号の領域 24 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_R_TH_25[7:0]	200	R/W	R 信号の領域 25 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_R_TH_26[7:0]	208	R/W	R 信号の領域 26 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_R_TH_27[7:0]	216	R/W	R 信号の領域 27 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
36.2.31 ガンマ補正部領域設定レジスタ R8 (GAM_R_AREA8)	36-67	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31~24</td> <td>GAM_R_TH_28[7:0]</td> <td>224</td> <td>R/W</td> <td>R 信号の領域 28 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>23~16</td> <td>GAM_R_TH_29[7:0]</td> <td>232</td> <td>R/W</td> <td>R 信号の領域 29 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>15~8</td> <td>GAM_R_TH_30[7:0]</td> <td>240</td> <td>R/W</td> <td>R 信号の領域 30 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値</td> </tr> <tr> <td>7~0</td> <td>GAM_R_TH_31[7:0]</td> <td>248</td> <td>R/W</td> <td>R 信号の領域 31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 ≦ 255</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31~24	GAM_R_TH_28[7:0]	224	R/W	R 信号の領域 28 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	23~16	GAM_R_TH_29[7:0]	232	R/W	R 信号の領域 29 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	15~8	GAM_R_TH_30[7:0]	240	R/W	R 信号の領域 30 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値	7~0	GAM_R_TH_31[7:0]	248	R/W	R 信号の領域 31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 ≦ 255
ビット	ビット名	初期値	R/W	説明																							
31~24	GAM_R_TH_28[7:0]	224	R/W	R 信号の領域 28 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
23~16	GAM_R_TH_29[7:0]	232	R/W	R 信号の領域 29 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
15~8	GAM_R_TH_30[7:0]	240	R/W	R 信号の領域 30 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 < 次領域の閾値																							
7~0	GAM_R_TH_31[7:0]	248	R/W	R 信号の領域 31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 ≦ 本領域の閾値 ≦ 255																							

修正項目	ページ	修正内容（詳細はマニュアル参照）														
37.1.2 割り込み制御 表 37.2 割り込みクリア / ホール ド設定	37-2	表を修正 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> </tr> </thead> <tbody> <tr> <td rowspan="7">SYSCNT_INT2</td> <td>INT_STA0</td> </tr> <tr> <td>INT_STA1</td> </tr> <tr> <td>INT_STA2</td> </tr> <tr> <td>INT_STA3</td> </tr> <tr> <td>INT_STA4</td> </tr> <tr> <td>INT_STA5</td> </tr> <tr> <td>INT_STA6</td> </tr> </tbody> </table>	レジスタ名	ビット名	SYSCNT_INT2	INT_STA0	INT_STA1	INT_STA2	INT_STA3	INT_STA4	INT_STA5	INT_STA6				
	レジスタ名	ビット名														
SYSCNT_INT2	INT_STA0															
	INT_STA1															
	INT_STA2															
	INT_STA3															
	INT_STA4															
	INT_STA5															
	INT_STA6															
37-3	表を修正 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> </tr> </thead> <tbody> <tr> <td>SYSCNT_INT2</td> <td>INT_STA7</td> </tr> <tr> <td>SYSCNT_INT1</td> <td>INT_STA8</td> </tr> </tbody> </table>	レジスタ名	ビット名	SYSCNT_INT2	INT_STA7	SYSCNT_INT1	INT_STA8									
レジスタ名	ビット名															
SYSCNT_INT2	INT_STA7															
SYSCNT_INT1	INT_STA8															
表 37.3 割り込み出力オン / オフ 設定	37-3	表を修正 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> </tr> </thead> <tbody> <tr> <td rowspan="7">SYSCNT_INT4</td> <td>INT_OUT0_ON</td> </tr> <tr> <td>INT_OUT1_ON</td> </tr> <tr> <td>INT_OUT2_ON</td> </tr> <tr> <td>INT_OUT3_ON</td> </tr> <tr> <td>INT_OUT4_ON</td> </tr> <tr> <td>INT_OUT5_ON</td> </tr> <tr> <td>INT_OUT6_ON</td> </tr> <tr> <td>INT_OUT7_ON</td> </tr> </tbody> </table>	レジスタ名	ビット名	SYSCNT_INT4	INT_OUT0_ON	INT_OUT1_ON	INT_OUT2_ON	INT_OUT3_ON	INT_OUT4_ON	INT_OUT5_ON	INT_OUT6_ON	INT_OUT7_ON			
	レジスタ名	ビット名														
SYSCNT_INT4	INT_OUT0_ON															
	INT_OUT1_ON															
	INT_OUT2_ON															
	INT_OUT3_ON															
	INT_OUT4_ON															
	INT_OUT5_ON															
	INT_OUT6_ON															
INT_OUT7_ON																
37-4	表を修正 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> </tr> </thead> <tbody> <tr> <td>SYSCNT_INT3</td> <td>INT_OUT8_ON</td> </tr> </tbody> </table>	レジスタ名	ビット名	SYSCNT_INT3	INT_OUT8_ON											
レジスタ名	ビット名															
SYSCNT_INT3	INT_OUT8_ON															
37.2 レジスタの説明 表 37.7 システム制御部レジスタ 構成	37-7	表を修正 <table border="1"> <thead> <tr> <th>名 称</th> <th>略称</th> </tr> </thead> <tbody> <tr> <td>割り込み制御レジスタ 1</td> <td>SYSCNT_INT1</td> </tr> <tr> <td>割り込み制御レジスタ 2</td> <td>SYSCNT_INT2</td> </tr> <tr> <td>割り込み制御レジスタ 3</td> <td>SYSCNT_INT3</td> </tr> <tr> <td>割り込み制御レジスタ 4</td> <td>SYSCNT_INT4</td> </tr> <tr> <td>パネルロック制御レジスタ</td> <td>SYSCNT_PANEL_CLK</td> </tr> <tr> <td>CLUT テーブル読み出し選択信号 ステータスフラグレジスタ</td> <td>SYSCNT_CLUT</td> </tr> </tbody> </table>	名 称	略称	割り込み制御レジスタ 1	SYSCNT_INT1	割り込み制御レジスタ 2	SYSCNT_INT2	割り込み制御レジスタ 3	SYSCNT_INT3	割り込み制御レジスタ 4	SYSCNT_INT4	パネルロック制御レジスタ	SYSCNT_PANEL_CLK	CLUT テーブル読み出し選択信号 ステータスフラグレジスタ	SYSCNT_CLUT
名 称	略称															
割り込み制御レジスタ 1	SYSCNT_INT1															
割り込み制御レジスタ 2	SYSCNT_INT2															
割り込み制御レジスタ 3	SYSCNT_INT3															
割り込み制御レジスタ 4	SYSCNT_INT4															
パネルロック制御レジスタ	SYSCNT_PANEL_CLK															
CLUT テーブル読み出し選択信号 ステータスフラグレジスタ	SYSCNT_CLUT															

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																																																																								
37.2.1 割り込み制御レジスタ 1 (SYSCNT_INT1)	37-8	タイトルを修正																																																																																																																																								
37.2.2 割り込み制御レジスタ 2 (SYSCNT_INT2)	37-9	タイトルを修正																																																																																																																																								
37.2.3 割り込み制御レジスタ 3 (SYSCNT_INT3)	37-11	タイトルを修正																																																																																																																																								
37.2.4 割り込み制御レジスタ 4 (SYSCNT_INT4)	37-12	タイトルを修正																																																																																																																																								
39.3 レジスタの説明 表 39.1 レジスタ構成	39-3	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>レジスタ名</th> <th>略称</th> <th>R/W</th> <th>アドレス</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td>CRC 初期値レジスタ</td> <td>DOCMCRCIR</td> <td>R/W</td> <td>HFFFFFFA830</td> <td>32</td> </tr> </tbody> </table>	レジスタ名	略称	R/W	アドレス	アクセスサイズ	CRC 初期値レジスタ	DOCMCRCIR	R/W	HFFFFFFA830	32																																																																																																																														
レジスタ名	略称	R/W	アドレス	アクセスサイズ																																																																																																																																						
CRC 初期値レジスタ	DOCMCRCIR	R/W	HFFFFFFA830	32																																																																																																																																						
39.3.12 CRC 初期値レジスタ (DOCMCRCIR)	39-11	タイトルを修正																																																																																																																																								
39.4.5 ピクセルフォーマット (a) ピクセルフォーマットの指定	39-14	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>DOCMFMR の設定ビット</th> <th>CMPBST</th> <th>CMPDFA[7:0]</th> <th>CMPDAUF</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> </tr> </tbody> </table>	DOCMFMR の設定ビット	CMPBST	CMPDFA[7:0]	CMPDAUF	0	0	0	0																																																																																																																																
DOCMFMR の設定ビット	CMPBST	CMPDFA[7:0]	CMPDAUF																																																																																																																																							
0	0	0	0																																																																																																																																							
(b) 対応ピクセルフォーマットデータ配置 • RGB888 (32bit/pixel)	39-15	注を修正 【注】 * CMPDAUF = 0 のとき、グラフィックス表示モジュールから出力される 値 CMPDAUF = 1 のとき、CMPDFA[7:0]で指定された 値																																																																																																																																								
39.4.7 CRC 計算期間および比較タイミング 図 39.4 CRC 計算期間および比較タイミング例	39-17	図を修正 																																																																																																																																								
		説明を修正 【動作説明】 (1) DOCMCR の CMPR ビットに"1"セット後、次のフレームから動作を開始します。レジスタ更新タイミングについては「39.4.8 レジスタ更新タイミング」を参照してください。																																																																																																																																								
40.1 特長	40-1	説明を修正 本プロセッサは、オープンな2DベクターグラフィックスAPIであるOpenVGTM1.1に対応しており、OpenVGTMのstage2~stage8までの各処理を専用ハードウェアとプログラマブル・シェーダでアクセラレートしております。																																																																																																																																								
41.2.30 JPEG 割り込みイネーブルレジスタ 1 (JINTE1)	41-27	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ビット:</th> <th>31</th><th>30</th><th>29</th><th>28</th><th>27</th><th>26</th><th>25</th><th>24</th><th>23</th><th>22</th><th>21</th><th>20</th><th>19</th><th>18</th><th>17</th><th>16</th> </tr> </thead> <tbody> <tr> <td>初期値:</td> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>R/W (圧縮):</td> <td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td> </tr> <tr> <td>R/W (伸長):</td> <td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td> </tr> </tbody> </table> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ビット:</th> <th>15</th><th>14</th><th>13</th><th>12</th><th>11</th><th>10</th><th>9</th><th>8</th><th>7</th><th>6</th><th>5</th><th>4</th><th>3</th><th>2</th><th>1</th><th>0</th> </tr> </thead> <tbody> <tr> <td>初期値:</td> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>R/W (圧縮):</td> <td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>無効</td><td>無効</td><td>無効</td> </tr> <tr> <td>R/W (伸長):</td> <td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>無効</td><td>無効</td><td>無効</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td> </tr> </tbody> </table>	ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W (圧縮):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W (伸長):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W (圧縮):	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	無効	無効	無効	R/W (伸長):	R	R	R	R	R	R	R	R	R	無効	無効	無効	R/W	R/W	R/W	R/W
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																																																																																																																										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																																																																										
R/W (圧縮):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R																																																																																																																										
R/W (伸長):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R																																																																																																																										
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																																																										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																																																																										
R/W (圧縮):	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	無効	無効	無効																																																																																																																										
R/W (伸長):	R	R	R	R	R	R	R	R	R	無効	無効	無効	R/W	R/W	R/W	R/W																																																																																																																										
43.4.1 基本動作 (3) 動作停止	43-9	説明を修正 STPM = 1 のときは、SGST = 0 かつ SGEND = 1 で動作を停止します。																																																																																																																																								

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																																													
51.2 レジスタビット一覧	51-103	<p>表を修正</p> <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td rowspan="2">USB2.0 ホスト ファンクシ ョン モジュール</td> <td rowspan="2">USBLENG</td> <td>3123/157</td> <td>3022/148</td> <td>2921/135</td> <td>2820/124</td> <td>2719/113</td> <td>2618/102</td> <td>2517/91</td> <td>2416/80</td> </tr> <tr> <td>WLENGTH[10]</td> <td>WLENGTH[16]</td> <td>WLENGTH[19]</td> <td>WLENGTH[22]</td> <td>WLENGTH[25]</td> <td>WLENGTH[28]</td> <td>WLENGTH[31]</td> <td>WLENGTH[38]</td> </tr> <tr> <td rowspan="2">DCPCFG</td> <td rowspan="2">DIR</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>INTMOD</td> </tr> <tr> <td>SHITNAK</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> </tbody> </table>	モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	USB2.0 ホスト ファンクシ ョン モジュール	USBLENG	3123/157	3022/148	2921/135	2820/124	2719/113	2618/102	2517/91	2416/80	WLENGTH[10]	WLENGTH[16]	WLENGTH[19]	WLENGTH[22]	WLENGTH[25]	WLENGTH[28]	WLENGTH[31]	WLENGTH[38]	DCPCFG	DIR	—	—	—	—	—	—	—	INTMOD	SHITNAK	—	—	—	—	—	—	—																																																															
	モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット																																																																																																					
	USB2.0 ホスト ファンクシ ョン モジュール	USBLENG	3123/157	3022/148	2921/135	2820/124	2719/113	2618/102	2517/91	2416/80																																																																																																					
WLENGTH[10]			WLENGTH[16]	WLENGTH[19]	WLENGTH[22]	WLENGTH[25]	WLENGTH[28]	WLENGTH[31]	WLENGTH[38]																																																																																																						
DCPCFG	DIR	—	—	—	—	—	—	—	INTMOD																																																																																																						
		SHITNAK	—	—	—	—	—	—	—																																																																																																						
51-119	<p>表を修正</p> <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td rowspan="12">ビデオ ディスプレイ コントロー ラ 4</td> <td rowspan="4">SCL0_FRC7</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>RES.</td> <td>RES.</td> <td>RES.</td> </tr> <tr> <td>RES.</td> <td>RES.</td> <td>RES.</td> <td>RES.</td> <td>RES.</td> <td>F_HRS[10]</td> <td>F_HRS[9]</td> <td>F_HRS[8]</td> </tr> <tr> <td>F_HRS[7]</td> <td>F_HRS[6]</td> <td>F_HRS[5]</td> <td>F_HRS[4]</td> <td>F_HRS[3]</td> <td>F_HRS[2]</td> <td>F_HRS[1]</td> <td>F_HRS[0]</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>F_HW[10]</td> <td>F_HW[9]</td> <td>F_HW[8]</td> </tr> <tr> <td rowspan="4">SCL0_FRC8</td> <td>RES.</td> <td>RES.</td> <td>RES.</td> <td>RES.</td> <td>RES.</td> <td>RES.</td> <td>RES.</td> <td>RES.</td> </tr> <tr> <td>F_HW[7]</td> <td>F_HW[6]</td> <td>F_HW[5]</td> <td>F_HW[4]</td> <td>F_HW[3]</td> <td>F_HW[2]</td> <td>F_HW[1]</td> <td>F_HW[0]</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>RES_UL[1]</td> <td>RES_UL[0]</td> <td>—</td> </tr> <tr> <td rowspan="4">SCL0_FRC9</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>RES.</td> <td>—</td> <td>—</td> <td>RES.</td> </tr> </tbody> </table>	モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビデオ ディスプレイ コントロー ラ 4	SCL0_FRC7	—	—	—	—	—	RES.	RES.	RES.	RES.	RES.	RES.	RES.	RES.	F_HRS[10]	F_HRS[9]	F_HRS[8]	F_HRS[7]	F_HRS[6]	F_HRS[5]	F_HRS[4]	F_HRS[3]	F_HRS[2]	F_HRS[1]	F_HRS[0]	—	—	—	—	—	F_HW[10]	F_HW[9]	F_HW[8]	SCL0_FRC8	RES.	RES.	RES.	RES.	RES.	RES.	RES.	RES.	F_HW[7]	F_HW[6]	F_HW[5]	F_HW[4]	F_HW[3]	F_HW[2]	F_HW[1]	F_HW[0]	—	—	—	—	—	—	—	—	—	—	—	—	—	RES_UL[1]	RES_UL[0]	—	SCL0_FRC9	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RES.	—	—	RES.
モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット																																																																																																						
ビデオ ディスプレイ コントロー ラ 4	SCL0_FRC7	—	—	—	—	—	RES.	RES.	RES.																																																																																																						
		RES.	RES.	RES.	RES.	RES.	F_HRS[10]	F_HRS[9]	F_HRS[8]																																																																																																						
		F_HRS[7]	F_HRS[6]	F_HRS[5]	F_HRS[4]	F_HRS[3]	F_HRS[2]	F_HRS[1]	F_HRS[0]																																																																																																						
		—	—	—	—	—	F_HW[10]	F_HW[9]	F_HW[8]																																																																																																						
	SCL0_FRC8	RES.	RES.	RES.	RES.	RES.	RES.	RES.	RES.																																																																																																						
		F_HW[7]	F_HW[6]	F_HW[5]	F_HW[4]	F_HW[3]	F_HW[2]	F_HW[1]	F_HW[0]																																																																																																						
		—	—	—	—	—	—	—	—																																																																																																						
		—	—	—	—	—	RES_UL[1]	RES_UL[0]	—																																																																																																						
	SCL0_FRC9	—	—	—	—	—	—	—	—																																																																																																						
		—	—	—	—	—	—	—	—																																																																																																						
		—	—	—	—	—	—	—	—																																																																																																						
		—	—	—	—	RES.	—	—	RES.																																																																																																						
51-122	<p>表を修正</p> <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td rowspan="4">ビデオ ディスプレイ コントロー ラ 4</td> <td rowspan="4">SCL1_WR1</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>RES_FLX[MD] (両者のみ)</td> </tr> <tr> <td>—</td> <td>RES_DS_WR MD[9]</td> <td>RES_DS_WR MD[1]</td> <td>RES_DS_WR MD[0]</td> <td>RES_MD[1]</td> <td>RES_MD[0]</td> <td>RES_LOOP</td> <td>RES_RST. MD</td> </tr> </tbody> </table>	モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビデオ ディスプレイ コントロー ラ 4	SCL1_WR1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RES_FLX[MD] (両者のみ)	—	RES_DS_WR MD[9]	RES_DS_WR MD[1]	RES_DS_WR MD[0]	RES_MD[1]	RES_MD[0]	RES_LOOP	RES_RST. MD																																																															
モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット																																																																																																							
ビデオ ディスプレイ コントロー ラ 4	SCL1_WR1	—	—	—	—	—	—	—																																																																																																							
		—	—	—	—	—	—	—																																																																																																							
		—	—	—	—	—	—	—																																																																																																							
		—	—	—	—	—	—	RES_FLX[MD] (両者のみ)																																																																																																							
—	RES_DS_WR MD[9]	RES_DS_WR MD[1]	RES_DS_WR MD[0]	RES_MD[1]	RES_MD[0]	RES_LOOP	RES_RST. MD																																																																																																								
51.3 各動作モードにおけるレジスタの状態の一覧	51-176	<p>表を修正</p> <table border="1"> <thead> <tr> <th>モジュール</th> <th>レジスタ名</th> <th>パワーオン リセット</th> <th>マニュアル リセット</th> <th>ディープ スタンバイ</th> <th>ソフトウェア スタンバイ</th> <th>モジュール スタンバイ</th> <th>スリープ</th> </tr> </thead> <tbody> <tr> <td>マルチファンクション タイム/ルネスイネット2</td> <td>全レジスタ</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>保持</td> <td>初期化</td> <td>保持</td> </tr> </tbody> </table>	モジュール	レジスタ名	パワーオン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	マルチファンクション タイム/ルネスイネット2	全レジスタ	保持	保持	初期化	保持	初期化	保持																																																																																													
モジュール	レジスタ名	パワーオン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ																																																																																																								
マルチファンクション タイム/ルネスイネット2	全レジスタ	保持	保持	初期化	保持	初期化	保持																																																																																																								
52.4.1 クロックタイミング 表 52.5 クロックタイミング	52-12	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>スタンバイ復帰発振安定時間¹</td> <td>tOSC2</td> <td>10</td> <td>—</td> <td>ms</td> <td>52.4</td> </tr> <tr> <td>リアルタイムクロック発振安定時間</td> <td>tROSC</td> <td>—</td> <td>3</td> <td>s</td> <td>52.6</td> </tr> <tr> <td>モードホールド時間</td> <td>tMDH</td> <td>200</td> <td>—</td> <td>ns</td> <td>52.3, 52.4</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	参照図	スタンバイ復帰発振安定時間 ¹	tOSC2	10	—	ms	52.4	リアルタイムクロック発振安定時間	tROSC	—	3	s	52.6	モードホールド時間	tMDH	200	—	ns	52.3, 52.4																																																																																					
項目	記号	Min.	Max.	単位	参照図																																																																																																										
スタンバイ復帰発振安定時間 ¹	tOSC2	10	—	ms	52.4																																																																																																										
リアルタイムクロック発振安定時間	tROSC	—	3	s	52.6																																																																																																										
モードホールド時間	tMDH	200	—	ns	52.3, 52.4																																																																																																										
図 52.3 パワーオン発振安定時間	52-13	<p>図を修正</p> <p>* PVcc, Vcc, PLLVcc, AVcc, USBAPVcc, USBDPVcc, USBAVcc, USBPVCc, USBUVcc, VDAVcc 【注】 SH7269 BGAには、USBDVcc, USBVcc, USBDPVccは存在しません。</p>																																																																																																													
図 52.5 スタンバイ復帰時発振安定時間 (NMI, IRQ による復帰)	52-14	<p>図を差し替え</p>																																																																																																													

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																										
52.4.3 バスタイミング 図 52.11 通常空間基本バスサイクル (ソフトウェアウェイト1、外部ウェイト1挿入)	52-21	図を修正 																																										
図 52.13 MPX-I/O インタフェースバスサイクル (アドレスサイクル3、ソフトウェアウェイト1、外部ウェイト1挿入)	52-23	図を修正 																																										
52.4.11 SPI マルチ I/O バスコントローラタイミング 表 52.15 SPI マルチ I/O バスコントローラタイミング	52-56	表を修正 <table border="1" data-bbox="614 608 1227 666"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>SPBCLK クロックサイクル</td> <td>1SPB_{clk}</td> <td>2</td> <td>2</td> <td>byte</td> <td>52.53</td> </tr> </tbody> </table> 注を修正 【注】 t_{bclk} はバスクロック (B) の1サイクル時間を示します。	項目	記号	Min.	Max.	単位	参照図	SPBCLK クロックサイクル	1SPB _{clk}	2	2	byte	52.53																														
項目	記号	Min.	Max.	単位	参照図																																							
SPBCLK クロックサイクル	1SPB _{clk}	2	2	byte	52.53																																							
52.4.23 AC 特性測定条件	52-79	説明を修正 入出力信号参照レベル: $PV_{cc}/2$ 、 V_{IH1} 、 V_{T+} 、 V_{OH} (Min.)、 V_{IL} 、 V_{T-} 、 V_{OL} (Max.) (各タイミング図参照)																																										
53.1 端子状態 表 53.1 端子状態	53-1	表を修正 <table border="1" data-bbox="614 888 1227 1081"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">端子名</th> <th rowspan="2">通常状態 (括弧以外)</th> <th rowspan="2">パワーオン リセット</th> <th colspan="2">端子状態保持^{*)}</th> <th colspan="2">低消費電力状態</th> </tr> <tr> <th>EBUSKEEP^{*)} (括弧以外)</th> <th>パワーオン リセット</th> <th>ディープ スタンバイ モード</th> <th>ソフトウェア スタンバイ モード</th> </tr> </thead> <tbody> <tr> <td rowspan="3">クロック</td> <td>EXTAL^{*)}</td> <td>I</td> <td>I</td> <td></td> <td>I</td> <td>I²⁾</td> <td>I</td> </tr> <tr> <td>XTAL^{*)}</td> <td>O</td> <td>O</td> <td></td> <td>O</td> <td>O²⁾</td> <td>O²⁾</td> </tr> <tr> <td>CKIO</td> <td>ブートモード 0/1</td> <td>O²⁾</td> <td>O</td> <td>O</td> <td>O²⁾</td> <td>O²⁾</td> </tr> <tr> <td></td> <td></td> <td>上記同様</td> <td>O²⁾</td> <td>O</td> <td>O²⁾</td> <td>O²⁾</td> <td>O²⁾</td> </tr> </tbody> </table>	分類	端子名	通常状態 (括弧以外)	パワーオン リセット	端子状態保持 ^{*)}		低消費電力状態		EBUSKEEP ^{*)} (括弧以外)	パワーオン リセット	ディープ スタンバイ モード	ソフトウェア スタンバイ モード	クロック	EXTAL ^{*)}	I	I		I	I ²⁾	I	XTAL ^{*)}	O	O		O	O ²⁾	O ²⁾	CKIO	ブートモード 0/1	O ²⁾	O	O	O ²⁾	O ²⁾			上記同様	O ²⁾	O	O ²⁾	O ²⁾	O ²⁾
分類	端子名	通常状態 (括弧以外)					パワーオン リセット	端子状態保持 ^{*)}		低消費電力状態																																		
			EBUSKEEP ^{*)} (括弧以外)	パワーオン リセット	ディープ スタンバイ モード	ソフトウェア スタンバイ モード																																						
クロック	EXTAL ^{*)}	I	I		I	I ²⁾	I																																					
	XTAL ^{*)}	O	O		O	O ²⁾	O ²⁾																																					
	CKIO	ブートモード 0/1	O ²⁾	O	O	O ²⁾	O ²⁾																																					
		上記同様	O ²⁾	O	O ²⁾	O ²⁾	O ²⁾																																					
	53-3	表を修正 <table border="1" data-bbox="614 1120 1227 1304"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">端子名</th> <th rowspan="2">通常状態 (括弧以外)</th> <th rowspan="2">パワーオン リセット</th> <th colspan="2">端子状態保持^{*)}</th> <th colspan="2">低消費電力状態</th> </tr> <tr> <th>EBUSKEEP^{*)} (括弧以外)</th> <th>パワーオン リセット</th> <th>ディープ スタンバイ モード</th> <th>ソフトウェア スタンバイ モード</th> </tr> </thead> <tbody> <tr> <td>FPD 内蔵</td> <td>TD07~TD10</td> <td>O²⁾</td> <td>—</td> <td></td> <td>O²⁾</td> <td>O²⁾</td> <td>O²⁾</td> </tr> <tr> <td>シリアル コミュニケーション インターフェース</td> <td>Rx07 (PE7、P.J05)、Rx06-Rx08 Rx07 (PC7)</td> <td>I</td> <td>—</td> <td>—</td> <td>—</td> <td>Z</td> <td>Z</td> </tr> <tr> <td></td> <td></td> <td>I</td> <td>—</td> <td>—</td> <td>—</td> <td>I²⁾</td> <td>I</td> </tr> </tbody> </table>	分類	端子名	通常状態 (括弧以外)	パワーオン リセット	端子状態保持 ^{*)}		低消費電力状態		EBUSKEEP ^{*)} (括弧以外)	パワーオン リセット	ディープ スタンバイ モード	ソフトウェア スタンバイ モード	FPD 内蔵	TD07~TD10	O ²⁾	—		O ²⁾	O ²⁾	O ²⁾	シリアル コミュニケーション インターフェース	Rx07 (PE7、P.J05)、Rx06- Rx08 Rx07 (PC7)	I	—	—	—	Z	Z			I	—	—	—	I ²⁾	I						
分類	端子名	通常状態 (括弧以外)					パワーオン リセット	端子状態保持 ^{*)}		低消費電力状態																																		
			EBUSKEEP ^{*)} (括弧以外)	パワーオン リセット	ディープ スタンバイ モード	ソフトウェア スタンバイ モード																																						
FPD 内蔵	TD07~TD10	O ²⁾	—		O ²⁾	O ²⁾	O ²⁾																																					
シリアル コミュニケーション インターフェース	Rx07 (PE7、P.J05)、Rx06- Rx08 Rx07 (PC7)	I	—	—	—	Z	Z																																					
		I	—	—	—	I ²⁾	I																																					
表 53.2 バス権解放時の端子状態	53-10	説明を修正 【記号説明】 Z : ハイインピーダンス - : 端子機能として選択できない条件 【注】 *2 ディープスタンバイモードから NMI などの各端子入力またはリアルタイムクロックのアラーム割り込みによって復帰した後、ディープスタンバイ解除要因フラグレジスタ (DSFR) の IOKEEP ビットがクリアされるまでの状態を指します (「第 49 章 低消費電力モード」参照)。																																										
53.3 ディープスタンバイモード時の端子処理 表 53.5 ディープスタンバイモード時の端子処理	53-13	表を修正 <table border="1" data-bbox="614 1651 1227 1748"> <thead> <tr> <th>端子</th> <th>処理</th> </tr> </thead> <tbody> <tr> <td>REFRIN</td> <td>5.6kΩ ±1% の抵抗を介して USBAPV_{ss} に接続 (SH7268/SH7269(OFP)) 5.6kΩ ±1% の抵抗を介して V_{ss} に接続 (SH7269(BGA))</td> </tr> </tbody> </table>	端子	処理	REFRIN	5.6kΩ ±1% の抵抗を介して USBAPV _{ss} に接続 (SH7268/SH7269(OFP)) 5.6kΩ ±1% の抵抗を介して V _{ss} に接続 (SH7269(BGA))																																						
端子	処理																																											
REFRIN	5.6kΩ ±1% の抵抗を介して USBAPV _{ss} に接続 (SH7268/SH7269(OFP)) 5.6kΩ ±1% の抵抗を介して V _{ss} に接続 (SH7269(BGA))																																											

修正項目	ページ	修正内容 (詳細はマニュアル参照)
53.4 バイパスコンデンサ推奨組み合わせ 図 53.2 SH7269 (QFP) の外付けコンデンサ配置例	53-15	図を修正

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	SH7268/7269の特長	1-1
1.2	製品一覧	1-13
1.3	ブロック図	1-14
1.4	ピン配置図	1-15
1.5	端子機能	1-18
1.6	端子一覧	1-28
2.	CPU	2-1
2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ	2-1
2.1.2	コントロールレジスタ	2-2
2.1.3	システムレジスタ	2-3
2.1.4	レジスタバンク	2-4
2.1.5	レジスタの初期値	2-4
2.2	データ形式	2-5
2.2.1	レジスタのデータ形式	2-5
2.2.2	メモリのデータ形式	2-5
2.2.3	イミディエイトデータのデータ形式	2-6
2.3	命令の特長	2-7
2.3.1	RISC方式	2-7
2.3.2	アドレッシングモード	2-11
2.3.3	命令形式	2-15
2.4	命令セット	2-19
2.4.1	分類順命令セット	2-19
2.4.2	データ転送命令	2-24
2.4.3	算術演算命令	2-27
2.4.4	論理演算命令	2-29
2.4.5	シフト命令	2-30
2.4.6	分岐命令	2-31
2.4.7	システム制御命令	2-32
2.4.8	浮動小数点演算命令	2-34
2.4.9	FPUに関するCPU命令	2-36
2.4.10	ビット操作命令	2-37
2.5	処理状態	2-38

3.	浮動小数点ユニット (FPU)	3-1
3.1	特長	3-1
3.2	データフォーマット	3-2
3.2.1	浮動小数点フォーマット	3-2
3.2.2	非数 (NaN)	3-4
3.2.3	非正規化数	3-4
3.3	レジスタの説明	3-5
3.3.1	浮動小数点レジスタ	3-5
3.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR)	3-6
3.3.3	浮動小数点通信レジスタ (FPUL)	3-7
3.4	丸め	3-8
3.5	FPU例外	3-9
3.5.1	FPU 例外要因	3-9
3.5.2	FPU 例外処理	3-9
4.	ブートモード	4-1
4.1	特長	4-1
4.2	ブートモードと端子機能設定	4-2
4.3	動作説明	4-3
4.3.1	ブートモード 0、ブートモード 1	4-3
4.3.2	ブートモード 2	4-3
4.3.3	ブートモード 3	4-5
4.3.4	ブートモード 4	4-6
4.3.5	ブートモード 5	4-7
4.4	注意事項	4-8
4.4.1	ブート関連端子	4-8
5.	クロックパルス発振器	5-1
5.1	特長	5-1
5.2	入出力端子	5-4
5.3	クロックモード	5-5
5.4	レジスタの説明	5-6
5.4.1	周波数制御レジスタ (FRQCR)	5-6
5.5	周波数変更方法	5-8
5.5.1	分周率の変更	5-8
5.6	クロック端子の使用法	5-9
5.6.1	外部クロック入力時	5-9
5.6.2	水晶発振子使用時	5-10
5.6.3	未使用時	5-10
5.7	発振安定時間	5-11

5.7.1	内蔵水晶発振器の発振安定時間.....	5-11
5.7.2	PLL 回路の発振安定時間.....	5-11
5.8	ボード設計上の注意事項.....	5-12
5.8.1	PLL 発振回路使用時の注意.....	5-12
5.9	SSCG仕様の変調率と変調周波数の定義.....	5-12
6.	例外処理.....	6-1
6.1	概要.....	6-1
6.1.1	例外処理の種類と優先順位.....	6-1
6.1.2	例外処理の動作.....	6-2
6.1.3	例外処理ベクタテーブル.....	6-4
6.2	リセット.....	6-6
6.2.1	入出力端子.....	6-6
6.2.2	リセットの種類.....	6-6
6.2.3	パワーオンリセット.....	6-7
6.2.4	マニュアルリセット.....	6-8
6.3	アドレスエラー.....	6-9
6.3.1	アドレスエラー発生要因.....	6-9
6.3.2	アドレスエラー例外処理.....	6-10
6.4	レジスタバンクエラー.....	6-11
6.4.1	レジスタバンクエラー発生要因.....	6-11
6.4.2	レジスタバンクエラー例外処理.....	6-11
6.5	割り込み.....	6-12
6.5.1	割り込み要因.....	6-12
6.5.2	割り込み優先順位.....	6-12
6.5.3	割り込み例外処理.....	6-13
6.6	命令による例外.....	6-14
6.6.1	命令による例外の種類.....	6-14
6.6.2	トラップ命令.....	6-14
6.6.3	スロット不当命令.....	6-15
6.6.4	一般不当命令.....	6-15
6.6.5	整数除算例外.....	6-16
6.6.6	FPU 例外.....	6-16
6.7	例外処理が受け付けられない場合.....	6-17
6.8	例外処理後のスタックの状態.....	6-18
6.9	使用上の注意事項.....	6-19
6.9.1	スタックポインタ (SP) の値.....	6-19
6.9.2	ベクタベースレジスタ (VBR) の値.....	6-19
6.9.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー.....	6-19
6.9.4	割り込みマスクビット変更による割り込み制御.....	6-19
6.9.5	例外処理実行前の注意事項.....	6-20

7.	割り込みコントローラ	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-4
7.3.1	割り込み優先レベル設定レジスタ 01、02、05 ~ 26 (IPR01、IPR02、IPR05 ~ IPR26)	7-5
7.3.2	割り込みコントロールレジスタ 0 (ICR0)	7-7
7.3.3	割り込みコントロールレジスタ 1 (ICR1)	7-8
7.3.4	割り込みコントロールレジスタ 2 (ICR2)	7-9
7.3.5	IRQ 割り込み要求レジスタ (IRQRR)	7-10
7.3.6	PINT 割り込みイネーブルレジスタ (PINTER)	7-11
7.3.7	PINT 割り込み要求レジスタ (PIRR)	7-12
7.3.8	バンクコントロールレジスタ (IBCR)	7-13
7.3.9	バンク番号レジスタ (IBNR)	7-14
7.4	割り込み要因	7-15
7.4.1	NMI 割り込み	7-15
7.4.2	ユーザブレイク割り込み	7-16
7.4.3	ユーザデバッグインタフェース割り込み	7-16
7.4.4	IRQ 割り込み	7-16
7.4.5	PINT 割り込み	7-17
7.4.6	内蔵周辺モジュール割り込み	7-18
7.5	割り込み例外処理ベクタテーブルと優先順位	7-19
7.6	動作説明	7-29
7.6.1	割り込み動作の流れ	7-29
7.6.2	割り込み例外処理終了後のスタックの状態	7-31
7.7	割り込み応答時間	7-32
7.8	レジスタバンク	7-37
7.8.1	バンクの対象レジスタと入出力方式	7-37
7.8.2	バンク退避、復帰の動作	7-38
7.8.3	すべてのバンクに退避が行われた状態での退避、復帰	7-40
7.8.4	レジスタバンクの例外	7-41
7.8.5	レジスタバンクエラー例外処理	7-41
7.9	割り込み要求信号によるデータ転送	7-42
7.9.1	割り込み要求信号を CPU の割り込み要因とし、 ダイレクトメモリアクセスコントローラの起動要因としない場合	7-42
7.9.2	割り込み要求信号をダイレクトメモリアクセスコントローラの起動要因とし、 CPU の割り込み要因としない場合	7-43
7.10	使用上の注意事項	7-44
7.10.1	割り込み要因クリアのタイミング	7-44
8.	ユーザブレイクコントローラ	8-1
8.1	特長	8-1

8.2	入出力端子	8-3
8.3	レジスタの説明	8-4
8.3.1	ブ레이크アドレスレジスタ (BAR)	8-4
8.3.2	ブ레이크アドレスマスクレジスタ (BAMR)	8-5
8.3.3	ブ레이크データレジスタ (BDR)	8-6
8.3.4	ブ레이크データマスクレジスタ (BDMR)	8-7
8.3.5	ブ레이크バスサイクルレジスタ (BBR)	8-8
8.3.6	ブ레이크コントロールレジスタ (BRCR)	8-10
8.4	動作説明	8-12
8.4.1	ユーザブ레이크動作の流れ	8-12
8.4.2	命令フェッチサイクルでのブ레이크	8-13
8.4.3	データアクセスサイクルでのブ레이크	8-14
8.4.4	退避されるプログラムカウンタの値	8-15
8.4.5	使用例	8-15
8.5	使用上の注意事項	8-18
9.	キャッシュ	9-1
9.1	特長	9-1
9.1.1	キャッシュの構成	9-1
9.2	レジスタの説明	9-4
9.2.1	キャッシュ制御レジスタ 1 (CCR1)	9-4
9.2.2	キャッシュ制御レジスタ 2 (CCR2)	9-6
9.3	動作説明	9-9
9.3.1	キャッシュの検索	9-9
9.3.2	リード動作	9-10
9.3.3	プリフェッチ動作 (オペランドキャッシュのみ)	9-10
9.3.4	ライト動作 (オペランドキャッシュのみ)	9-10
9.3.5	ライトバックバッファ (オペランドキャッシュのみ)	9-11
9.3.6	キャッシュと外部メモリ / 大容量内蔵 RAM とのコヒーレンシ	9-13
9.4	メモリ割り付けキャッシュの構成	9-14
9.4.1	アドレスアレイ	9-14
9.4.2	データアレイ	9-15
9.4.3	使用例	9-17
9.4.4	注意事項	9-17
10.	バスステートコントローラ	10-1
10.1	特長	10-1
10.2	入出力端子	10-4
10.3	エリアの概要	10-5
10.3.1	アドレスマップ	10-5
10.3.2	ブートモード、各エリアのデータバス幅、エンディアン指定と関連端子設定	10-6

10.4	レジスタの説明	10-8
10.4.1	共通コントロールレジスタ (CMNCR)	10-9
10.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) (n=0~5)	10-11
10.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~5)	10-15
10.4.4	SDRAM コントロールレジスタ (SDCR)	10-38
10.4.5	リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)	10-41
10.4.6	リフレッシュタイムカウンタ (RTCNT)	10-43
10.4.7	リフレッシュタイムコンスタントレジスタ (RTCOR)	10-44
10.5	動作説明	10-45
10.5.1	エンディアン/アクセスサイズとデータアライメント	10-45
10.5.2	通常空間インタフェース	10-50
10.5.3	アクセスウェイト制御	10-55
10.5.4	\overline{CSn} アサート期間拡張	10-57
10.5.5	MPX-I/O インタフェース	10-58
10.5.6	SDRAM インタフェース	10-63
10.5.7	バーストROM (クロック非同期) インタフェース	10-95
10.5.8	バイト選択付き SRAM インタフェース	10-96
10.5.9	PCMCIA インタフェース	10-101
10.5.10	バーストROM (クロック同期) インタフェース	10-106
10.5.11	アクセスサイクル間アイドル	10-107
10.5.12	バスアービトレーション	10-113
10.5.13	その他	10-115
11.	ダイレクトメモリアccessコントローラ	11-1
11.1	特長	11-1
11.2	入出力端子	11-3
11.3	レジスタの説明	11-4
11.3.1	DMA ソースアドレスレジスタ (SAR)	11-10
11.3.2	DMA デスティネーションアドレスレジスタ (DAR)	11-10
11.3.3	DMA トランスファカウンタレジスタ (DMATCR)	11-11
11.3.4	DMA チャンネルコントロールレジスタ (CHCR)	11-11
11.3.5	DMA リロードソースアドレスレジスタ (RSAR)	11-19
11.3.6	DMA リロードデスティネーションアドレスレジスタ (RDAR)	11-20
11.3.7	DMA リロードトランスファカウンタレジスタ (RDMATCR)	11-21
11.3.8	DMA オペレーションレジスタ (DMAOR)	11-21
11.3.9	DMA 拡張リソースセクタ0~7 (DMARS0~DMARS7)	11-24
11.4	動作説明	11-29
11.4.1	転送フロー	11-29
11.4.2	DMA 転送要求	11-31
11.4.3	チャンネルの優先順位	11-38
11.4.4	DMA 転送の種類	11-38

11.4.5	パスサイクルのステート数と DREQ 端子のサンプリングタイミング	11-47
11.5	使用上の注意事項	11-50
11.5.1	DACK 出力および TEND 出力のタイミング	11-50
12.	マルチファンクションタイマパルスユニット 2	12-1
12.1	特長	12-1
12.2	入出力端子	12-6
12.3	レジスタの説明	12-8
12.3.1	タイマコントロールレジスタ (TCR)	12-11
12.3.2	タイマモードレジスタ (TMDR)	12-14
12.3.3	タイマ I/O コントロールレジスタ (TIOR)	12-16
12.3.4	タイマインタラプトイネーブルレジスタ (TIER)	12-34
12.3.5	タイマステータスレジスタ (TSR)	12-37
12.3.6	タイマバッファ動作転送モードレジスタ (TBTM)	12-41
12.3.7	タイマインプットキャプチャコントロールレジスタ (TICCR)	12-42
12.3.8	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	12-43
12.3.9	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)	12-45
12.3.10	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)	12-45
12.3.11	タイマカウンタ (TCNT)	12-46
12.3.12	タイマジェネラルレジスタ (TGR)	12-46
12.3.13	タイマスタートレジスタ (TSTR)	12-47
12.3.14	タイマシンクロレジスタ (TSYR)	12-48
12.3.15	タイマリードライトイネーブルレジスタ (TRWER)	12-49
12.3.16	タイマアウトプットマスタイネーブルレジスタ (TOER)	12-50
12.3.17	タイマアウトプットコントロールレジスタ 1 (TOCR1)	12-51
12.3.18	タイマアウトプットコントロールレジスタ 2 (TOCR2)	12-53
12.3.19	タイマアウトプットレベルバッファレジスタ (TOLBR)	12-56
12.3.20	タイマゲートコントロールレジスタ (TGCR)	12-57
12.3.21	タイマサブカウンタ (TCNTS)	12-58
12.3.22	タイマデッドタイムデータレジスタ (TDDR)	12-58
12.3.23	タイマ周期データレジスタ (TCDR)	12-59
12.3.24	タイマ周期バッファレジスタ (TCBR)	12-59
12.3.25	タイマ割り込み間引き設定レジスタ (TITCR)	12-60
12.3.26	タイマ割り込み間引き回数カウンタ (TITCNT)	12-61
12.3.27	タイマバッファ転送設定レジスタ (TBTER)	12-62
12.3.28	タイマデッドタイムイネーブルレジスタ (TDER)	12-63
12.3.29	タイマ波形コントロールレジスタ (TWCR)	12-64
12.3.30	バスマスタとのインタフェース	12-65
12.4	動作説明	12-66
12.4.1	基本動作	12-66
12.4.2	同期動作	12-72

12.4.3	バッファ動作.....	12-74
12.4.4	カスケード接続動作.....	12-78
12.4.5	PWM モード.....	12-82
12.4.6	位相計数モード.....	12-87
12.4.7	リセット同期 PWM モード.....	12-93
12.4.8	相補 PWM モード.....	12-96
12.4.9	A/D 変換開始要求ディレイド機能.....	12-128
12.4.10	相補 PWM の「山/谷」での TCNT キャプチャ動作.....	12-132
12.5	割り込み要因.....	12-133
12.5.1	割り込み要因と優先順位.....	12-133
12.5.2	ダイレクトメモリアクセスコントローラの起動.....	12-135
12.5.3	A/D 変換器の起動.....	12-135
12.6	動作タイミング.....	12-137
12.6.1	入出力タイミング.....	12-137
12.6.2	割り込み信号タイミング.....	12-144
12.7	使用上の注意事項.....	12-148
12.7.1	モジュールスタンバイモードの設定.....	12-148
12.7.2	入力クロックの制限事項.....	12-148
12.7.3	周期設定上の注意事項.....	12-148
12.7.4	TCNT のライトとクリアの競合.....	12-149
12.7.5	TCNT のライトとカウントアップの競合.....	12-149
12.7.6	TGR のライトとコンペアマッチの競合.....	12-150
12.7.7	バッファレジスタのライトとコンペアマッチの競合.....	12-151
12.7.8	バッファレジスタのライトと TCNT クリアの競合.....	12-152
12.7.9	TGR のリードとインプットキャプチャの競合.....	12-153
12.7.10	TGR のライトとインプットキャプチャの競合.....	12-154
12.7.11	バッファレジスタのライトとインプットキャプチャの競合.....	12-155
12.7.12	カスケード接続における TCNT_2 のライトとオーバフロー/アンダフローの競合.....	12-155
12.7.13	相補 PWM モード停止時のカウンタ値.....	12-157
12.7.14	相補 PWM モードでのバッファ動作の設定.....	12-157
12.7.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ.....	12-158
12.7.16	リセット同期 PWM モードのオーバフローフラグ.....	12-159
12.7.17	オーバフロー/アンダフローとカウンタクリアの競合.....	12-160
12.7.18	TCNT のライトとオーバフロー/アンダフローの競合.....	12-160
12.7.19	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の 注意事項.....	12-161
12.7.20	相補 PWM モード、リセット同期 PWM モードの出力レベル.....	12-161
12.7.21	モジュールスタンバイ時の割り込み.....	12-161
12.7.22	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ.....	12-161
12.7.23	相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項.....	12-162
12.8	マルチファンクションタイムパルスユニット2出力端子の 初期化方法.....	12-164

12.8.1	動作モード	12-164
12.8.2	リセットスタート時の動作	12-164
12.8.3	動作中の異常などによる再設定時の動作	12-165
12.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	12-165
13.	コンペアマッチタイマ	13-1
13.1	特長	13-1
13.2	レジスタの説明	13-2
13.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	13-3
13.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	13-4
13.2.3	コンペアマッチカウンタ (CMCNT)	13-5
13.2.4	コンペアマッチコンスタントレジスタ (CMCOR)	13-5
13.3	動作説明	13-6
13.3.1	期間カウント動作	13-6
13.3.2	CMCNT カウントタイミング	13-6
13.4	割り込み	13-7
13.4.1	割り込み要因と DMA 転送要求	13-7
13.4.2	コンペアマッチフラグのセットタイミング	13-7
13.4.3	コンペアマッチフラグのクリアタイミング	13-8
13.5	使用上の注意事項	13-9
13.5.1	CMCNT の書き込みとコンペアマッチの競合	13-9
13.5.2	CMCNT のワード書き込みとカウントアップの競合	13-9
13.5.3	CMCNT のバイト書き込みとカウントアップの競合	13-10
13.5.4	CMCNT と CMCOR のコンペアマッチ	13-10
14.	ウォッチドッグタイマ	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-4
14.3.1	ウォッチドッグタイマカウンタ (WTCNT)	14-4
14.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	14-5
14.3.3	ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)	14-7
14.3.4	レジスタアクセス時の注意	14-8
14.4	使用方法	14-10
14.4.1	ソフトウェアスタンバイモード解除の手順	14-10
14.4.2	ウォッチドッグタイマモードの使用法	14-11
14.4.3	インターバルタイマモードの使用法	14-12
14.5	使用上の注意事項	14-13
14.5.1	タイマ誤差	14-13
14.5.2	WTCNT の設定値として H'FF は設定禁止	14-13
14.5.3	インターバルタイマオーバフローフラグ	14-13

14.5.4	$\overline{\text{WDTOVF}}$ 信号によるシステムリセット	14-13
14.5.5	ウォッチドッグタイマモードのマニュアルリセット	14-14
14.5.6	ウォッチドッグタイマモードでの内部リセット	14-14
15.	リアルタイムクロック	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	64Hz カウンタ (R64CNT)	15-4
15.3.2	秒カウンタ (RSECCNT)	15-5
15.3.3	分カウンタ (RMINCNT)	15-6
15.3.4	時カウンタ (RHRCNT)	15-7
15.3.5	曜日カウンタ (RWKCNT)	15-8
15.3.6	日カウンタ (RDAYCNT)	15-9
15.3.7	月カウンタ (RMONCNT)	15-10
15.3.8	年カウンタ (RYRCNT)	15-11
15.3.9	秒アラームレジスタ (RSECAR)	15-12
15.3.10	分アラームレジスタ (RMINAR)	15-13
15.3.11	時アラームレジスタ (RHRAR)	15-14
15.3.12	曜日アラームレジスタ (RWKAR)	15-15
15.3.13	日アラームレジスタ (RDAYAR)	15-16
15.3.14	月アラームレジスタ (RMONAR)	15-17
15.3.15	年アラームレジスタ (RYRAR)	15-18
15.3.16	コントロールレジスタ 1 (RCR1)	15-18
15.3.17	コントロールレジスタ 2 (RCR2)	15-20
15.3.18	コントロールレジスタ 3 (RCR3)	15-21
15.3.19	コントロールレジスタ 5 (RCR5)	15-22
15.3.20	周波数レジスタ H/L (RFRH/L)	15-22
15.4	動作説明	15-24
15.4.1	電源投入後のレジスタの初期設定	15-24
15.4.2	時刻設定手順	15-24
15.4.3	時刻読み出し手順	15-25
15.4.4	アラーム機能	15-26
15.5	使用上の注意事項	15-27
15.5.1	カウント動作時のレジスタ書き込みについて	15-27
15.5.2	リアルタイムクロックの周期割り込みの使用について	15-27
15.5.3	レジスタ設定後のスタンバイ遷移について	15-27
15.5.4	レジスタ書き込み / 読み出し時の注意事項	15-27
16.	FIFO 内蔵シリアルコミュニケーション インタフェース	16-1
16.1	特長	16-1

16.2	入出力端子	16-3
16.3	レジスタの説明	16-4
16.3.1	受信シフトレジスタ (SCRSR)	16-7
16.3.2	受信 FIFO データレジスタ (SCFRDR)	16-7
16.3.3	送信シフトレジスタ (SCTSR)	16-7
16.3.4	送信 FIFO データレジスタ (SCFTDR)	16-8
16.3.5	シリアルモードレジスタ (SCSMR)	16-8
16.3.6	シリアルコントロールレジスタ (SCSCR)	16-11
16.3.7	シリアルステータスレジスタ (SCFSR)	16-13
16.3.8	ビットレートレジスタ (SCBRR)	16-18
16.3.9	FIFO コントロールレジスタ (SCFCR)	16-24
16.3.10	FIFO データカウントセットレジスタ (SCFDR)	16-27
16.3.11	シリアルポートレジスタ (SCSPTR)	16-28
16.3.12	ラインステータスレジスタ (SCLSR)	16-30
16.3.13	シリアル拡張モードレジスタ (SCEMR)	16-31
16.4	動作説明	16-32
16.4.1	概要	16-32
16.4.2	調歩同期式モード時の動作	16-34
16.4.3	クロック同期式モード時の動作	16-42
16.5	割り込み	16-50
16.6	使用上の注意事項	16-51
16.6.1	SCFTDR への書き込みと TDFE フラグ	16-51
16.6.2	SCFRDR の読み出しと RDF フラグ	16-51
16.6.3	ダイレクトメモリアクセスコントローラ使用上の制約事項	16-51
16.6.4	ブレークの検出と処理	16-51
16.6.5	ブレークの送り出し	16-52
16.6.6	調歩同期式モードの受信データサンプリングタイミングと受信マージン	16-52
16.6.7	調歩同期式基本クロックセレクト	16-53
17.	ルネサスシリアルペリフェラルインタフェース	17-1
17.1	特長	17-1
17.2	入出力端子	17-4
17.3	レジスタの説明	17-5
17.3.1	制御レジスタ (SPCR)	17-7
17.3.2	スレーブセレクト極性レジスタ (SSLP)	17-9
17.3.3	端子制御レジスタ (SPPCR)	17-10
17.3.4	ステータスレジスタ (SPSR)	17-11
17.3.5	データレジスタ (SPDR)	17-14
17.3.6	シーケンス制御レジスタ (SPSCR)	17-15
17.3.7	シーケンスステータスレジスタ (SPSSR)	17-16
17.3.8	ビットレートレジスタ (SPBR)	17-17

17.3.9	データコントロールレジスタ (SPDCR)	17-18
17.3.10	クロック遅延レジスタ (SPCKD)	17-19
17.3.11	スレーブセレクトネゲート遅延レジスタ (SSLND)	17-20
17.3.12	次アクセス遅延レジスタ (SPND)	17-21
17.3.13	コマンドレジスタ (SPCMD)	17-22
17.3.14	バッファコントロールレジスタ (SPBFCR)	17-25
17.3.15	バッファデータカウントセットレジスタ (SPBFDR)	17-27
17.4	動作説明	17-28
17.4.1	動作の概要	17-28
17.4.2	端子の制御	17-29
17.4.3	システム構成例	17-30
17.4.4	転送フォーマット	17-33
17.4.5	データフォーマット	17-35
17.4.6	エラー検出	17-41
17.4.7	初期化	17-44
17.4.8	SPI 動作	17-45
17.4.9	エラー処理	17-56
17.4.10	ループバックモード	17-57
17.4.11	割り込み要因	17-58
18.	ルネサスクワッドシリアルペリフェラル インタフェース	18-1
18.1	特長	18-1
18.2	入出力端子	18-3
18.3	レジスタの説明	18-4
18.3.1	制御レジスタ (SPCR)	18-6
18.3.2	スレーブセレクト極性レジスタ (SSLP)	18-7
18.3.3	端子制御レジスタ (SPPCR)	18-7
18.3.4	ステータスレジスタ (SPSR)	18-9
18.3.5	データレジスタ (SPDR)	18-11
18.3.6	シーケンス制御レジスタ (SPSCR)	18-12
18.3.7	シーケンスステータスレジスタ (SPSSR)	18-12
18.3.8	ビットレートレジスタ (SPBR)	18-13
18.3.9	データコントロールレジスタ (SPDCR)	18-15
18.3.10	クロック遅延レジスタ (SPCKD)	18-16
18.3.11	スレーブセレクトネゲート遅延レジスタ (SSLND)	18-17
18.3.12	次アクセス遅延レジスタ (SPND)	18-18
18.3.13	コマンドレジスタ n (SPCMDn) (n=0、1、2、3)	18-19
18.3.14	バッファコントロールレジスタ (SPBFCR)	18-24
18.3.15	バッファデータカウントレジスタ (SPBDCR)	18-25
18.3.16	転送データ長倍数設定レジスタ n (SPBMULn) (n=0、1、2、3)	18-26
18.4	動作説明	18-27

18.4.1	動作の概要	18-27
18.4.2	端子の制御	18-29
18.4.3	転送フォーマット	18-31
18.4.4	転送データ	18-34
18.4.5	通常以外の動作	18-40
18.4.6	初期化	18-41
18.4.7	SPI 動作	18-41
18.4.8	割り込み要因	18-53
18.4.9	ループバックモード	18-54
19.	SPI マルチ I/O バスコントローラ	19-1
19.1	特長	19-1
19.2	ブロック図	19-2
19.3	入出力端子	19-3
19.4	レジスタの説明	19-4
19.4.1	共通コントロールレジスタ (CMNCR)	19-5
19.4.2	SSL 遅延レジスタ (SSLDR)	19-8
19.4.3	ビットレート設定レジスタ (SPBCR)	19-10
19.4.4	データリードコントロールレジスタ (DRCR)	19-12
19.4.5	データリードコマンド設定レジスタ (DRCMR)	19-14
19.4.6	データリード拡張アドレス設定レジスタ (DREAR)	19-15
19.4.7	データリードオプション設定レジスタ (DROPR)	19-16
19.4.8	データリードイネーブル設定レジスタ (DRENDR)	19-17
19.4.9	SPI モードコントロールレジスタ (SMCR)	19-20
19.4.10	SPI モードコマンド設定レジスタ (SMCMR)	19-22
19.4.11	SPI モードアドレス設定レジスタ (SMADR)	19-23
19.4.12	SPI モードオプション設定レジスタ (SMOPR)	19-24
19.4.13	SPI モードイネーブル設定レジスタ (SMENR)	19-25
19.4.14	SPI モードリードデータレジスタ 0 (SMRDR0)	19-28
19.4.15	SPI モードリードデータレジスタ 1 (SMRDR1)	19-29
19.4.16	SPI モードライトデータレジスタ 0 (SMWDR0)	19-30
19.4.17	SPI モードライトデータレジスタ 1 (SMWDR1)	19-31
19.4.18	共通ステータスレジスタ (CMNSR)	19-32
19.5	動作説明	19-33
19.5.1	システム構成	19-33
19.5.2	アドレスマップ	19-34
19.5.3	シリアルフラッシュ 32 ビットアドレス	19-34
19.5.4	データアライメント	19-35
19.5.5	動作モード	19-36
19.5.6	外部アドレス空間リードモード	19-36
19.5.7	リードキャッシュ	19-41

19.5.8	SPI 動作モード	19-42
19.5.9	転送フォーマット	19-46
19.5.10	データフォーマット	19-47
19.5.11	データ端子制御	19-52
19.5.12	SPBSSL 端子制御	19-53
19.5.13	フラグ	19-54
19.6	使用上の注意事項	19-54
19.6.1	SPI 動作モードの SPBSSL 保持状態からの転送開始の注意事項	19-54
20.	I ² C バスインタフェース 3	20-1
20.1	特長	20-1
20.2	入出力端子	20-3
20.3	レジスタの説明	20-4
20.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	20-6
20.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	20-8
20.3.3	I ² C バスモードレジスタ (ICMR)	20-9
20.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	20-11
20.3.5	I ² C バスステータスレジスタ (ICSR)	20-13
20.3.6	スレーブアドレスレジスタ (SAR)	20-15
20.3.7	I ² C バス送信データレジスタ (ICDRT)	20-15
20.3.8	I ² C バス受信データレジスタ (ICDRR)	20-16
20.3.9	I ² C バスシフトレジスタ (ICDRS)	20-16
20.3.10	NF2CYC レジスタ (NF2CYC)	20-17
20.4	動作説明	20-18
20.4.1	I ² C バスフォーマット	20-18
20.4.2	マスタ送信動作	20-19
20.4.3	マスタ受信動作	20-21
20.4.4	スレーブ送信動作	20-23
20.4.5	スレーブ受信動作	20-25
20.4.6	クロック同期式シリアルフォーマット	20-27
20.4.7	ノイズ除去回路	20-30
20.4.8	使用例	20-31
20.5	割り込み要求	20-35
20.6	ビット同期回路	20-36
20.7	使用上の注意事項	20-39
20.7.1	マルチマスタで使用時の注意	20-39
20.7.2	マスタ受信モード時の注意	20-39
20.7.3	マスタ受信モード、ACKBT 設定時の注意	20-39
20.7.4	アービトラションロスト時の MST と TRN ビットの状態についての注意	20-39
20.7.5	I ² C バスインタフェースモードのマスタ受信モード時の注意事項	20-39
20.7.6	IICRST、BBSY ビットに関する注意事項	20-39

20.7.7	マスタ送信モード、ACKE ビット = 1 設定時における停止条件発行の注意	20-40
21.	シリアルサウンドインタフェース	21-1
21.1	特長	21-1
21.2	入出力端子	21-3
21.3	レジスタの説明	21-4
21.3.1	コントロールレジスタ (SSICR)	21-6
21.3.2	ステータスレジスタ (SSISR)	21-11
21.3.3	トランスミットデータレジスタ (SSITDR)	21-14
21.3.4	レシーブデータレジスタ (SSIRDR)	21-14
21.3.5	FIFO コントロールレジスタ (SSIFCR)	21-15
21.3.6	FIFO ステータスレジスタ (SSIFSR)	21-17
21.3.7	送信 FIFO データレジスタ (SSIFTDR)	21-19
21.3.8	受信 FIFO データレジスタ (SSIFRDR)	21-19
21.3.9	TDM モードレジスタ (SSITDMR)	21-20
21.4	動作説明	21-21
21.4.1	パスフォーマット	21-21
21.4.2	非圧縮モード	21-21
21.4.3	TDM モード	21-31
21.4.4	WS コンティニューモード	21-32
21.4.5	動作モード	21-33
21.4.6	送信動作	21-34
21.4.7	受信動作	21-37
21.4.8	シリアルビットクロックコントロール	21-40
21.5	使用上の注意事項	21-40
21.5.1	DMA 動作中にアンダフローまたはオーバフローが起こった場合の制限事項	21-40
21.5.2	マスタトランシーバからマスタレシーバへモードを切り替える場合の注意	21-40
21.5.3	TDM モード、WS コンティニューモードの制限事項	21-41
22.	FIFO 付きクロック同期シリアル I/O	22-1
22.1	特長	22-1
22.2	入出力端子	22-3
22.3	レジスタの説明	22-3
22.3.1	モードレジスタ (SIMDR)	22-4
22.3.2	コントロールレジスタ (SICTR)	22-6
22.3.3	送信データレジスタ (SITDR)	22-8
22.3.4	受信データレジスタ (SIRDR)	22-8
22.3.5	ステータスレジスタ (SISTR)	22-9
22.3.6	割り込み許可レジスタ (SIHER)	22-12
22.3.7	FIFO コントロールレジスタ (SIFCTR)	22-13
22.3.8	クロックセレクトレジスタ (SISCR)	22-15

22.3.9	送信データアサインレジスタ (SITDAR)	22-16
22.3.10	受信データアサインレジスタ (SIRDAR)	22-17
22.4	動作説明	22-18
22.4.1	シリアルクロック	22-18
22.4.2	シリアルタイミング	22-19
22.4.3	転送データフォーマット	22-20
22.4.4	転送データのレジスタ割り付け	22-21
22.4.5	FIFO	22-22
22.4.6	送受信手順	22-24
22.4.7	割り込み	22-29
22.4.8	送受信タイミング	22-30
23.	コントローラエリアネットワーク	23-1
23.1	特長	23-1
23.1.1	特長	23-1
23.1.2	本マイコンにおける特長	23-2
23.2	構成	23-3
23.2.1	ブロック図	23-3
23.2.2	各ブロックの機能	23-4
23.2.3	端子構成	23-5
23.2.4	メモリマップ	23-6
23.3	メールボックス	23-7
23.3.1	メールボックスの構成	23-7
23.3.2	メッセージコントロールフィールド	23-12
23.3.3	ローカルアクセプタンスフィルタマスク (LAFM)	23-17
23.3.4	メッセージデータフィールド	23-18
23.3.5	タイムスタンプ	23-19
23.3.6	送信トリガタイム (TTT) とタイムトリガコントロール	23-20
23.4	コントロールレジスタ	23-24
23.4.1	マスタコントロールレジスタ (MCR)	23-24
23.4.2	ジェネラルステータスレジスタ (GSR)	23-30
23.4.3	ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)	23-32
23.4.4	インタラプトリクエストレジスタ (IRR)	23-36
23.4.5	インタラプトマスクレジスタ (IMR)	23-43
23.4.6	送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)	23-43
23.5	メールボックスレジスタ	23-44
23.5.1	送信待ちレジスタ 1、0 (TXPR1、TXPR0)	23-45
23.5.2	送信キャンセルレジスタ 1、0 (TXCR1、TXCR0)	23-48
23.5.3	送信アクノリッジレジスタ 1、0 (TXACK1、TXACK0)	23-50
23.5.4	アボートアクノリッジレジスタ 1、0 (ABACK1、ABACK0)	23-51
23.5.5	データフレーム受信完了レジスタ 1、0 (RXPR1、RXPR0)	23-52

23.5.6	リモートフレーム受信完了レジスタ 1、0 (RFPR1、RFPR0)	23-53
23.5.7	メールボックスインタラプトマスクレジスタ 1、0 (MBIMR1、MBIMR0)	23-54
23.5.8	未読メッセージステータスレジスタ 1、0 (UMSR1、UMSR0)	23-55
23.6	タイマレジスタ	23-56
23.6.1	タイムトリガコントロールレジスタ 0 (TTCR0)	23-57
23.6.2	サイクルマキシマム / Tx_Enable_Window レジスタ (CMAX_TEW)	23-59
23.6.3	リファレンストリガオフセットレジスタ (RFTROFF)	23-60
23.6.4	タイマステータスレジスタ (TSR)	23-61
23.6.5	サイクルカウンタレジスタ (CCR)	23-63
23.6.6	タイマカウンタレジスタ (TCNTR)	23-64
23.6.7	サイクルタイムレジスタ (CYCTR)	23-65
23.6.8	リファレンスマークレジスタ (RFMK)	23-65
23.6.9	タイマコンペアマッチレジスタ 0~2 (TCMR0~2)	23-66
23.6.10	送信トリガタイムセレクトレジスタ (TTTSEL)	23-68
23.7	動作説明	23-69
23.7.1	本モジュールの設定	23-69
23.7.2	テストモードの設定	23-75
23.7.3	メッセージ送信シーケンス	23-77
23.7.4	メッセージ受信シーケンス	23-89
23.7.5	メールボックスの再設定	23-91
23.8	割り込み要因	23-93
23.9	ダイレクトメモリアクセスコントローラインタフェース	23-94
23.10	CANバスインタフェース	23-95
23.11	端子ポート設定	23-96
23.12	使用上の注意事項	23-99
23.12.1	1 チャネル 64 / 96 メールボックスでのポート設定についての注意事項	23-99
24.	IEBus™ コントローラ	24-1
24.1	特長	24-1
24.1.1	IEBus 通信プロトコル	24-2
24.1.2	伝送プロトコル	24-4
24.1.3	伝送データ (データフィールドの内容)	24-10
24.1.4	ビットフォーマット	24-13
24.1.5	構成	24-14
24.2	入出力端子	24-15
24.3	レジスタの説明	24-16
24.3.1	IEBus コントロールレジスタ (IECTR)	24-17
24.3.2	IEBus コマンドレジスタ (IECMR)	24-18
24.3.3	IEBus マスタコントロールレジスタ (IEMCR)	24-19
24.3.4	IEBus 自局アドレスレジスタ 1 (IEAR1)	24-21
24.3.5	IEBus 自局アドレスレジスタ 2 (IEAR2)	24-22

24.3.6	IEBus スレーブアドレス設定レジスタ 1 (IESA1)	24-22
24.3.7	IEBus スレーブアドレス設定レジスタ 2 (IESA2)	24-23
24.3.8	IEBus 送信電文長レジスタ (IETBFL)	24-23
24.3.9	IEBus 受信マスタアドレスレジスタ 1 (IEMA1)	24-24
24.3.10	IEBus 受信マスタアドレスレジスタ 2 (IEMA2)	24-24
24.3.11	IEBus 受信コントロールフィールドレジスタ (IERCTL)	24-25
24.3.12	IEBus 受信電文長レジスタ (IERBFL)	24-25
24.3.13	IEBus ロックアドレスレジスタ 1 (IELA1)	24-26
24.3.14	IEBus ロックアドレスレジスタ 2 (IELA2)	24-26
24.3.15	IEBus ゼネラルフラグレジスタ (IEFLG)	24-27
24.3.16	IEBus 送信ステータスレジスタ (IETSR)	24-29
24.3.17	IEBus 送信割り込み許可レジスタ (IEIET)	24-31
24.3.18	IEBus 受信ステータスレジスタ (IERSR)	24-32
24.3.19	IEBus 受信割り込み許可レジスタ (IEIER)	24-35
24.3.20	IEBus クロック選択レジスタ (IECKSR)	24-36
24.3.21	IEBus 送信データバッファ 001 ~ 128 (IETB001 ~ IETB128)	24-37
24.3.22	IEBus 受信データバッファ 001 ~ 128 (IERB001 ~ IERB128)	24-37
24.4	データフォーマット	24-38
24.4.1	送信フォーマット	24-38
24.4.2	受信フォーマット	24-39
24.5	ソフト制御フロー	24-40
24.5.1	初期設定	24-40
24.5.2	マスタ送信	24-41
24.5.3	スレーブ受信	24-42
24.5.4	マスタ受信	24-43
24.5.5	スレーブ送信	24-44
24.6	動作タイミング	24-45
24.6.1	マスタ送信	24-45
24.6.2	スレーブ受信	24-46
24.6.3	マスタ受信	24-47
24.6.4	スレーブ送信	24-48
24.7	割り込み要因	24-49
24.8	使用上の注意事項	24-51
24.8.1	最大伝送バイト長内で通信が終了しなかったときの注意事項	24-51
25.	ルネサス SPDIF インタフェース	25-1
25.1	概要	25-1
25.2	特長	25-1
25.3	機能ブロック図	25-2
25.4	入出力端子	25-3
25.5	ルネサス SPDIF (IEC60958) フレームフォーマット	25-4

25.6	レジスタ構成	25-5
25.7	レジスタの説明	25-6
25.7.1	コントロールレジスタ (CTRL)	25-6
25.7.2	ステータスレジスタ (STAT)	25-10
25.7.3	送信モジュールチャンネル1 オーディオレジスタ (TLCA)	25-15
25.7.4	送信モジュールチャンネル2 オーディオレジスタ (TRCA)	25-16
25.7.5	送信モジュール DMA オーディオデータレジスタ (TDAD)	25-17
25.7.6	送信ユーザデータレジスタ (TUI)	25-18
25.7.7	送信モジュールチャンネル1 ステータスレジスタ (TLCS)	25-19
25.7.8	送信モジュールチャンネル2 ステータスレジスタ (TRCS)	25-21
25.7.9	受信モジュールチャンネル1 オーディオレジスタ (RLCA)	25-23
25.7.10	受信モジュールチャンネル2 オーディオレジスタ (RRCA)	25-24
25.7.11	受信モジュール DMA オーディオデータ (RDAD)	25-25
25.7.12	受信ユーザデータレジスタ (RUI)	25-26
25.7.13	受信モジュールチャンネル1 ステータスレジスタ (RLCS)	25-27
25.7.14	受信モジュールチャンネル2 ステータスレジスタ (RRCS)	25-29
25.8	機能の説明 - 送信モジュール	25-31
25.8.1	送信モジュール	25-31
25.8.2	送信モジュールの初期化	25-32
25.8.3	送信モジュールの初期設定	25-32
25.8.4	送信モジュールのデータ転送	25-33
25.9	機能の説明 - 受信モジュール	25-35
25.9.1	受信モジュール	25-35
25.9.2	受信モジュールの初期化	25-36
25.9.3	受信モジュールのデータ転送	25-36
25.10	モジュールの停止	25-39
25.10.1	送信モジュールと受信モジュールのアイドル状態	25-39
25.11	圧縮モードデータ	25-39
25.12	参考	25-39
25.13	使用上の注意	25-39
25.13.1	TUIR のクリアについて	25-39
25.13.2	オーディオ用入力クロックの周波数	25-39
26.	CD-ROM デコーダ	26-1
26.1	特長	26-1
26.1.1	データフォーマット	26-2
26.2	ブロック図	26-3
26.3	レジスタの説明	26-7
26.3.1	イネーブルコントロールレジスタ (CROMEN)	26-10
26.3.2	同期コードの同期制御コントロールレジスタ (CROMSY0)	26-11
26.3.3	デコーディングモードコントロールレジスタ (CROMCTL0)	26-12

26.3.4	EDC、ECC チェック制御コントロールレジスタ (CROMCTL1)	26-13
26.3.5	デコード処理自動停止コントロールレジスタ (CROMCTL3)	26-14
26.3.6	デコードオプション設定コントロールレジスタ (CROMCTL4)	26-15
26.3.7	HEAD20~22 表示コントロールレジスタ (CROMCTL5)	26-16
26.3.8	同期コードステータスレジスタ (CROMST0)	26-16
26.3.9	ECC 後のヘッダに対するエラーステータスレジスタ (CROMST1)	26-17
26.3.10	ECC 後のサブヘッダに対するエラーステータスレジスタ (CROMST3)	26-17
26.3.11	ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ (CROMST4)	26-18
26.3.12	モード判定結果とリンクセクタ検出ステータスレジスタ (CROMST5)	26-19
26.3.13	ECC、EDC エラーステータスレジスタ (CROMST6)	26-20
26.3.14	バッファステータスレジスタ (CBUFST0)	26-21
26.3.15	デコード中止要因ステータスレジスタ (CBUFST1)	26-21
26.3.16	バッファオーパフローステータスレジスタ (CBUFST2)	26-22
26.3.17	ECC 訂正前ヘッダ部-MINUTES データレジスタ (HEAD00)	26-22
26.3.18	ECC 訂正前ヘッダ部-SECONDS データレジスタ (HEAD01)	26-22
26.3.19	ECC 訂正前ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD02)	26-23
26.3.20	ECC 訂正前ヘッダ部-MODE データレジスタ (HEAD03)	26-23
26.3.21	ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ (SHEAD00)	26-23
26.3.22	ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD01)	26-24
26.3.23	ECC 訂正前サブヘッダ部-サブモード (BYTE-18) データレジスタ (SHEAD02)	26-24
26.3.24	ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD03)	26-24
26.3.25	ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD04)	26-25
26.3.26	ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD05)	26-25
26.3.27	ECC 訂正前サブヘッダ部-サブモード (BYTE-22) データレジスタ (SHEAD06)	26-25
26.3.28	ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD07)	26-26
26.3.29	ECC 訂正後ヘッダ部-MINUTES データレジスタ (HEAD20)	26-26
26.3.30	ECC 訂正後ヘッダ部-SECONDS データレジスタ (HEAD21)	26-26
26.3.31	ECC 訂正後ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD22)	26-27
26.3.32	ECC 訂正後ヘッダ部-MODE データレジスタ (HEAD23)	26-27
26.3.33	ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ (SHEAD20)	26-27
26.3.34	ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD21)	26-28
26.3.35	ECC 訂正後サブヘッダ部-サブモード (BYTE-18) データレジスタ (SHEAD22)	26-28
26.3.36	ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD23)	26-28
26.3.37	ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD24)	26-29
26.3.38	ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD25)	26-29
26.3.39	ECC 訂正後サブヘッダ部-サブモード (BYTE-22) データレジスタ (SHEAD26)	26-29
26.3.40	ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD27)	26-30
26.3.41	自動バッファリング設定コントロールレジスタ (CBUFCTL0)	26-30
26.3.42	自動バッファリング開始セクタ設定-MINUTES コントロールレジスタ (CBUFCTL1)	26-31
26.3.43	自動バッファリング開始セクタ設定-SECONDS コントロールレジスタ (CBUFCTL2)	26-31
26.3.44	自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ (CBUFCTL3)	26-32

26.3.45	ISY 割り込み要因マスクコントロールレジスタ (CROMST0M)	26-32
26.3.46	CD-ROM デコーダモジュールリセットコントロールレジスタ (ROMDECRST)	26-33
26.3.47	CD-ROM デコーダモジュールリセットステータスレジスタ (RSTSTAT)	26-33
26.3.48	シリアルサウンドインタフェースデータコントロールレジスタ (SSI)	26-34
26.3.49	割り込みフラグレジスタ (INTHOLD)	26-35
26.3.50	割り込み要因マスクコントロールレジスタ (INHINT)	26-36
26.3.51	CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN0)	26-37
26.3.52	CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN2)	26-37
26.3.53	CD-ROM デコーダストリームデータ出力レジスタ (STRMDOUT0)	26-37
26.4	動作説明	26-38
26.4.1	入カストリームデータエンディアン変換機能	26-38
26.4.2	同期コード保護機能	26-39
26.4.3	エラー訂正	26-43
26.4.4	自動デコード停止機能	26-44
26.4.5	バッファリングフォーマット	26-45
26.4.6	目標セクタバッファリング機能	26-47
26.5	割り込み要因	26-49
26.5.1	割り込みおよび DMA 転送要求信号	26-49
26.5.2	ステータスレジスタの更新タイミング	26-50
26.6	使用上の注意事項	26-51
26.6.1	デコード動作状態でバッファリングのみ停止 / 再開させる場合の注意	26-51
26.6.2	同期コードステータスレジスタ (CROMST0) 設定時の注意	26-51
26.6.3	リンクブロックでの注意	26-51
26.6.4	CD-DSP 停止・再開時の注意点	26-52
26.6.5	IREADY フラグクリアの注意点	26-52
26.6.6	ストリームデータ転送における注意点 (1)	26-52
26.6.7	ストリームデータ転送における注意点 (2)	26-52
27.	A/D 変換器	27-1
27.1	特長	27-1
27.2	入出力端子	27-3
27.3	レジスタの説明	27-3
27.3.1	A/D データレジスタ A ~ H (ADDRA ~ ADDRH)	27-4
27.3.2	A/D コントロール / ステータスレジスタ (ADCSR)	27-5
27.4	動作説明	27-8
27.4.1	シングルモード	27-8
27.4.2	マルチモード	27-10
27.4.3	スキャンモード	27-12
27.4.4	外部トリガ、マルチファンクションタイマパルスユニット 2 による A/D 変換器の起動	27-14
27.4.5	入力サンプリングと A/D 変換時間	27-14
27.4.6	外部トリガ入力タイミング	27-17

27.5	割り込み要因とDMA転送要求	27-18
27.6	A/D変換精度の定義	27-19
27.7	使用上の注意事項	27-20
27.7.1	モジュールスタンバイモードの設定	27-20
27.7.2	アナログ電圧の設定	27-20
27.7.3	ボード設計上の注意	27-20
27.7.4	アナログ入力端子の取り扱い	27-20
27.7.5	許容信号源インピーダンス	27-22
27.7.6	絶対精度への影響	27-22
27.7.7	スキャンモードおよびマルチモード使用時の注意	27-22
28.	NAND フラッシュメモリコントローラ	28-1
28.1	特長	28-1
28.2	入出力端子	28-4
28.3	レジスタの説明	28-5
28.3.1	共通コントロールレジスタ (FLCMNCR)	28-6
28.3.2	コマンド制御レジスタ (FLCMDCR)	28-8
28.3.3	コマンドコードレジスタ (FLCMCDR)	28-10
28.3.4	アドレスレジスタ (FLADR)	28-11
28.3.5	アドレスレジスタ2 (FLADR2)	28-13
28.3.6	データカウンタレジスタ (FLDTCNTR)	28-14
28.3.7	データレジスタ (FLDATAR)	28-15
28.3.8	割り込み DMA 制御レジスタ (FLINTDMACR)	28-16
28.3.9	レディビジータイムアウト設定レジスタ (FLBSYTMR)	28-19
28.3.10	レディビジータイムアウトカウンタ (FLBSYCNT)	28-20
28.3.11	データ FIFO レジスタ (FLDTFIFO)	28-21
28.3.12	管理コード FIFO レジスタ (FLECFIFO)	28-21
28.3.13	転送制御レジスタ (FLTRCR)	28-22
28.3.14	バス占有期間設定レジスタ (FLHOLDCR)	28-23
28.4	動作説明	28-24
28.4.1	アクセス手順	28-24
28.4.2	動作モード	28-24
28.4.3	レジスタ設定手順	28-25
28.4.4	コマンドアクセスモード	28-26
28.4.5	セクタアクセスモード	28-30
28.4.6	ステータスリード	28-35
28.5	割り込み処理	28-36
28.6	DMA転送の設定	28-36
28.7	使用上の注意事項	28-37
28.7.1	外部バス権解放のタイミング	28-37
28.7.2	SNAND ビットに関する注意事項	28-38

29.	USB2.0 ホスト / ファンクションモジュール	29-1
29.1	特長	29-1
29.2	入出力端子	29-3
29.3	レジスタの説明	29-5
29.3.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG)	29-7
29.3.2	CPU バスウェイト設定レジスタ (BUSWAIT)	29-11
29.3.3	システムコンフィギュレーションステータスレジスタ (SYSSTS)	29-12
29.3.4	デバイスステートコントロールレジスタ (DVSTCTR)	29-13
29.3.5	テストモードレジスタ (TESTMODE)	29-16
29.3.6	DMA-FIFO バスコンフィグレーションレジスタ (D0FBCFG、D1FBCFG)	29-19
29.3.7	FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)	29-20
29.3.8	FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)	29-22
29.3.9	FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)	29-28
29.3.10	割り込み許可レジスタ 0 (INTENB0)	29-31
29.3.11	割り込み許可レジスタ 1 (INTENB1)	29-33
29.3.12	BRDY 割り込み許可レジスタ (BRDYENB)	29-35
29.3.13	NRDY 割り込み許可レジスタ (NRDYENB)	29-37
29.3.14	BEMP 割り込み許可レジスタ (BEMPENB)	29-39
29.3.15	SOF 出力コンフィグレーションレジスタ (SOFCFG)	29-41
29.3.16	割り込みステータスレジスタ 0 (INTSTS0)	29-42
29.3.17	割り込みステータスレジスタ 1 (INTSTS1)	29-46
29.3.18	BRDY 割り込みステータスレジスタ (BRDYSTS)	29-50
29.3.19	NRDY 割り込みステータスレジスタ (NRDYSTS)	29-52
29.3.20	BEMP 割り込みステータスレジスタ (BEMPSTS)	29-54
29.3.21	フレームナンバーレジスタ (FRMNUM)	29-56
29.3.22	μフレームナンバーレジスタ (UFRMNUM)	29-57
29.3.23	USB アドレスレジスタ (USBADDR)	29-58
29.3.24	USB リクエストタイプレジスタ (USBREQ)	29-59
29.3.25	USB リクエストバリュージェジスタ (USBVAL)	29-60
29.3.26	USB リクエストインデックスレジスタ (USBINDX)	29-61
29.3.27	USB リクエストレングスレジスタ (USBLENG)	29-62
29.3.28	DCP コンフィギュレーションレジスタ (DCPCFG)	29-63
29.3.29	DCP マックスパケットサイズレジスタ (DCPMAXP)	29-65
29.3.30	DCP コントロールレジスタ (DCPCTR)	29-67
29.3.31	パイプウィンドウ選択レジスタ (PIPESEL)	29-74
29.3.32	パイプコンフィギュレーションレジスタ (PIPECFG)	29-75
29.3.33	パイプバッファ指定レジスタ (PIPEBUF)	29-80
29.3.34	パイプマックスパケットサイズレジスタ (PIPEMAXP)	29-82
29.3.35	パイプ周期制御レジスタ (PIPEPERI)	29-84
29.3.36	パイプ _n コントロールレジスタ (PIPE _n CTR) (n = 1 ~ 9)	29-86

29.3.37	パイプ n トランザクションカウンタインーブルレジスタ (PIPEnTRE) (n = 1 ~ 5)	29-99
29.3.38	パイプ n トランザクションカウンタレジスタ (PIPEnTRN) (n = 1 ~ 5)	29-101
29.3.39	デバイスアドレス n コンフィグレーションレジスタ (DEVADDn) (n = 0 ~ A)	29-103
29.4	動作説明	29-105
29.4.1	システム制御および発振制御	29-105
29.4.2	割り込み機能	29-110
29.4.3	パイプコントロール	29-130
29.4.4	FIFO バッファメモリ	29-138
29.4.5	コントロール転送 (DCP)	29-150
29.4.6	バルク転送 (パイプ 1 ~ 5)	29-153
29.4.7	インタラプト転送 (パイプ 6 ~ 9)	29-155
29.4.8	アイソクロナス転送 (パイプ 1、2)	29-156
29.4.9	SOF 補間機能	29-166
29.4.10	パイプスケジュール	29-167
29.5	使用上の注意	29-169
29.5.1	USB トランシーバ部電源	29-169
30.	デジタルビデオデコーダ	30-1
30.1	特長	30-1
30.2	ブロック図	30-3
30.3	入出力端子	30-3
30.4	レジスタの説明	30-4
30.4.1	ADC 制御レジスタ 1 (ADCCR1)	30-7
30.4.2	タイミング生成制御レジスタ (1) (TGCR1)	30-8
30.4.3	タイミング生成制御レジスタ (2) (TGCR2)	30-8
30.4.4	タイミング生成制御レジスタ (3) (TGCR3)	30-9
30.4.5	同期分離制御レジスタ (1) (SYNSCR1)	30-12
30.4.6	同期分離制御レジスタ (2) (SYNSCR2)	30-16
30.4.7	同期分離制御レジスタ (3) (SYNSCR3)	30-17
30.4.8	同期分離制御レジスタ (4) (SYNSCR4)	30-18
30.4.9	同期分離制御レジスタ (5) (SYNSCR5)	30-19
30.4.10	水平 AFC 制御レジスタ (1) (HAFCCR1)	30-20
30.4.11	水平 AFC 制御レジスタ (2) (HAFCCR2)	30-22
30.4.12	水平 AFC 制御レジスタ (3) (HAFCCR3)	30-23
30.4.13	垂直カウントダウン制御レジスタ (1) (VCDWCR1)	30-24
30.4.14	デジタルクランプ制御レジスタ (1) (DCPCR1)	30-26
30.4.15	デジタルクランプ制御レジスタ (2) (DCPCR2)	30-27
30.4.16	デジタルクランプ制御レジスタ (3) (DCPCR3)	30-28
30.4.17	デジタルクランプ制御レジスタ (4) (DCPCR4)	30-28
30.4.18	デジタルクランプ制御レジスタ (5) (DCPCR5)	30-29
30.4.19	デジタルクランプ制御レジスタ (6) (DCPCR6)	30-29

30.4.20	デジタルクランプ制御レジスタ (7) (DCPCR7)	30-30
30.4.21	デジタルクランプ制御レジスタ (8) (DCPCR8)	30-30
30.4.22	ノイズ検出制御レジスタ (NSDCR)	30-31
30.4.23	パーストロック制御、クロマデコード制御レジスタ (BTLCR)	30-32
30.4.24	パーストゲートパルス制御レジスタ (BTGPCR)	30-36
30.4.25	ACC 制御レジスタ (1) (ACCCR1)	30-37
30.4.26	ACC 制御レジスタ (2) (ACCCR2)	30-40
30.4.27	ACC 制御レジスタ (3) (ACCCR3)	30-41
30.4.28	TINT 制御レジスタ (TINTCR)	30-42
30.4.29	Y/C 遅延制御、クロマデコード制御レジスタ (YCDCR)	30-43
30.4.30	AGC 制御レジスタ (1) (AGCCR1)	30-45
30.4.31	AGC 制御レジスタ (2) (AGCCR2)	30-47
30.4.32	ピークリミット制御レジスタ (PKLIMITCR)	30-48
30.4.33	レンジオーバ制御レジスタ (1) (RGORCR1)	30-50
30.4.34	レンジオーバ制御レジスタ (2) (RGORCR2)	30-51
30.4.35	レンジオーバ制御レジスタ (3) (RGORCR3)	30-51
30.4.36	レンジオーバ制御レジスタ (4) (RGORCR4)	30-52
30.4.37	レンジオーバ制御レジスタ (5) (RGORCR5)	30-52
30.4.38	レンジオーバ制御レジスタ (6) (RGORCR6)	30-53
30.4.39	レンジオーバ制御レジスタ (7) (RGORCR7)	30-54
30.4.40	水平 AFC 位相比較器のフィードバック量調整レジスタ (AFCPFCR)	30-56
30.4.41	レジスタ更新制御レジスタ (RUPDCR)	30-57
30.4.42	同期分離ステータス、垂直周期リードレジスタ (VSYNCSR)	30-58
30.4.43	水平周期リードレジスタ (HSYNSR)	30-60
30.4.44	デジタルクランプリードレジスタ (1) (DCPSR1)	30-60
30.4.45	デジタルクランプリードレジスタ (2) (DCPSR2)	30-61
30.4.46	ノイズ検出リードレジスタ (NSDSR)	30-61
30.4.47	クロマデコードリードレジスタ (1) (CROMASR1)	30-62
30.4.48	クロマデコードリードレジスタ (2) (CROMASR2)	30-63
30.4.49	同期分離リードレジスタ (SYNCSSR)	30-64
30.4.50	AGC 制御リードレジスタ (1) (AGCSSR1)	30-65
30.4.51	AGC 制御リードレジスタ (2) (AGCSSR2)	30-65
30.4.52	Y/C 分離制御レジスタ (3) (YCSCR3)	30-66
30.4.53	Y/C 分離制御レジスタ (4) (YCSCR4)	30-67
30.4.54	Y/C 分離制御レジスタ (5) (YCSCR5)	30-68
30.4.55	Y/C 分離制御レジスタ (6) (YCSCR6)	30-69
30.4.56	Y/C 分離制御レジスタ (7) (YCSCR7)	30-70
30.4.57	Y/C 分離制御レジスタ (8) (YCSCR8)	30-71
30.4.58	Y/C 分離制御レジスタ (9) (YCSCR9)	30-73
30.4.59	Y/C 分離制御レジスタ (11) (YCSCR11)	30-75
30.4.60	Y/C 分離制御レジスタ (12) (YCSCR12)	30-76

30.4.61	デジタルクランプ制御レジスタ (9) (DCPCR9)	30-78
30.4.62	Y/C 分離用クロマフィルタタップ係数 (WA_F0 ~ F8) レジスタ (YCTWA_F0 ~ F8)	30-79
30.4.63	Y/C 分離用クロマフィルタタップ係数 (WB_F0 ~ F8) レジスタ (YCTWB_F0 ~ F8)	30-80
30.4.64	Y/C 分離用クロマフィルタタップ係数 (NA_F0 ~ F8) レジスタ (YCTNA_F0 ~ F8)	30-81
30.4.65	Y/C 分離用クロマフィルタタップ係数 (NB_F0 ~ F8) レジスタ (YCTNB_F0 ~ F8)	30-82
30.4.66	輝度 (Y) 信号ゲイン調整制御レジスタ (YGAINCR)	30-83
30.4.67	色差 (Cb) 信号ゲイン調整制御レジスタ (CBGAINCR)	30-83
30.4.68	色差 (Cr) 信号ゲイン調整制御レジスタ (CRGAINCR)	30-84
30.4.69	PGA 部レジスタ更新 (PGA_UPDATE)	30-84
30.4.70	PGA 制御レジスタ (PGACR)	30-85
30.4.71	ADC 制御レジスタ 2 (ADCCR2)	30-86
30.5	動作説明	30-87
30.5.1	概要	30-87
30.5.2	映像信号入力用 A/D 変換器	30-89
30.5.3	同期分離回路	30-91
30.5.4	Burst Controlled Osillator (BCO)	30-96
30.5.5	Y/C 分離回路	30-98
30.5.6	クロマデコーダ	30-106
30.5.7	デジタルクランプ回路	30-108
30.5.8	出力調整回路	30-110
30.6	推奨設定	30-111
30.7	接続例	30-116
31.	ビデオディスプレイコントローラ 4 (1) 概要	31-1
31.1	特長	31-1
31.2	ブロック図	31-4
31.3	入出力端子	31-6
31.4	クロック	31-7
31.5	水平・垂直同期信号	31-8
32.	ビデオディスプレイコントローラ 4 (2) 入力制御部	32-1
32.1	入力制御機能	32-1
32.1.1	機能概要	32-1
32.1.2	外部入力部、同期信号調整部のレジスタ更新制御	32-2
32.1.3	入力選択	32-2
32.1.4	外部入力の映像信号制御	32-3
32.1.5	外部入力のクロックのエッジ選択	32-4
32.1.6	外部入力の同期信号の反転制御	32-5
32.1.7	外部入力の映像信号のビット割り付け	32-6
32.1.8	BT601 の標準信号タイミング	32-10
32.1.9	BT656 の標準信号タイミング	32-13

32.1.10	BT656 の SAV、EAV コード	32-15
32.1.11	BT656 / BT601 設定.....	32-19
32.1.12	YCbCr444/RGB888/666/565 の外部入力タイミング	32-21
32.1.13	フィールド判別と垂直同期位相調整	32-23
32.1.14	垂直同期信号ライン遅延調整.....	32-24
32.1.15	同期遅延調整.....	32-24
32.1.16	水平ノイズリダクション.....	32-25
32.1.17	カラーマトリクス.....	32-27
32.2	レジスタの説明.....	32-30
32.2.1	外部入力部レジスタ更新制御レジスタ (INP_UPDATE)	32-32
32.2.2	入力選択制御レジスタ (INP_SEL_CNT)	32-33
32.2.3	外部入力同期信号制御レジスタ (INP_EXT_SYNC_CNT)	32-35
32.2.4	垂直同期信号位相調整レジスタ (INP_VSYNC_PH_ADJ)	32-37
32.2.5	同期信号遅延調整レジスタ (INP_DLY_ADJ)	32-38
32.2.6	画質調整部レジスタ更新制御レジスタ (IMGCNT_UPDATE)	32-39
32.2.7	NR 制御レジスタ 0 (IMGCNT_NR_CNT0)	32-40
32.2.8	NR 制御レジスタ 1 (IMGCNT_NR_CNT1)	32-41
32.2.9	画質調整部マトリクスモードレジスタ (IMGCNT_MTX_MODE)	32-43
32.2.10	画質調整部マトリクス YG 調整レジスタ 0 (IMGCNT_MTX_YG_ADJ0)	32-44
32.2.11	画質調整部マトリクス YG 調整レジスタ 1 (IMGCNT_MTX_YG_ADJ1)	32-45
32.2.12	画質調整部マトリクス CBB 調整レジスタ 0 (IMGCNT_MTX_CBB_ADJ0)	32-46
32.2.13	画質調整部マトリクス CBB 調整レジスタ 1 (IMGCNT_MTX_CBB_ADJ1)	32-47
32.2.14	画質調整部マトリクス CRR 調整レジスタ 0 (IMGCNT_MTX_CRR_ADJ0)	32-48
32.2.15	画質調整部マトリクス CRR 調整レジスタ 1 (IMGCNT_MTX_CRR_ADJ1)	32-49
32.3	使用方法.....	32-50
32.3.1	入力フォーマット調整方法.....	32-50
32.3.2	カラーマトリクス変換の使用法.....	32-53
33.	ビデオディスプレイコントローラ 4 (3) スケーリング部	33-1
33.1	スケーリング機能	33-1
33.1.1	機能概要	33-1
33.1.2	レジスタ制御.....	33-2
33.1.3	同期制御.....	33-3
33.1.4	画角サイズ設定.....	33-8
33.1.5	スケーリング設定.....	33-12
33.1.6	水平プリフィルタ.....	33-13
33.1.7	水平縮小処理.....	33-14
33.1.8	垂直縮小処理.....	33-15
33.1.9	水平拡大処理.....	33-16
33.1.10	垂直拡大処理.....	33-18
33.1.11	IP 変換	33-19

33.1.12	トリミング	33-22
33.1.13	画面合成	33-23
33.1.14	フレームバッファ書き込み映像フォーマット選択	33-24
33.1.15	水平鏡像、回転処理	33-25
33.1.16	フレームバッファ書き込み処理	33-25
33.1.17	拡大処理とグラフィックス(1)処理の選択	33-30
33.1.18	フレームバッファ読み出し処理	33-32
33.2	レジスタの説明	33-33
33.2.1	SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE)	33-35
33.2.2	マスク処理レジスタ (SCL0_FRC1)	33-36
33.2.3	欠落補償レジスタ (SCL0_FRC2)	33-37
33.2.4	出力同期選択レジスタ (SCL0_FRC3)	33-38
33.2.5	自走周期レジスタ (SCL0_FRC4)	33-38
33.2.6	出力遅延制御レジスタ (SCL0_FRC5)	33-39
33.2.7	フル画面垂直サイズレジスタ (SCL0_FRC6)	33-40
33.2.8	フル画面水平サイズレジスタ (SCL0_FRC7)	33-41
33.2.9	フィールド判別信号切り替えレジスタ (SCL0_FRC8) (R版のみ)	33-42
33.2.10	同期検出レジスタ (SCL0_FRC9)	33-43
33.2.11	縮小制御レジスタ (SCL0_DS1)	33-44
33.2.12	取り込み垂直サイズレジスタ (SCL0_DS2)	33-45
33.2.13	取り込み水平サイズレジスタ (SCL0_DS3)	33-46
33.2.14	水平縮小レジスタ (SCL0_DS4)	33-47
33.2.15	垂直初期位相レジスタ (SCL0_DS5)	33-48
33.2.16	垂直スケールングレジスタ (SCL0_DS6)	33-49
33.2.17	縮小制御部出力サイズレジスタ (SCL0_DS7)	33-50
33.2.18	拡大制御レジスタ (SCL0_US1)	33-51
33.2.19	出力画像垂直サイズレジスタ (SCL0_US2)	33-52
33.2.20	出力画像水平サイズレジスタ (SCL0_US3)	33-53
33.2.21	拡大制御部入力サイズレジスタ (SCL0_US4)	33-54
33.2.22	水平拡大レジスタ (SCL0_US5)	33-55
33.2.23	水平拡大初期位相レジスタ (SCL0_US6)	33-56
33.2.24	トリミングレジスタ (SCL0_US7)	33-57
33.2.25	フレームバッファ読み出し選択レジスタ (SCL0_US8)	33-58
33.2.26	背景色レジスタ (SCL0_OVR1)	33-59
33.2.27	SCL1 レジスタ更新制御レジスタ (SCL1_UPDATE)	33-60
33.2.28	書き込み動作モードレジスタ (SCL1_WR1)	33-61
33.2.29	書き込みアドレスレジスタ1 (SCL1_WR2)	33-62
33.2.30	書き込みアドレスレジスタ2 (SCL1_WR3)	33-63
33.2.31	書き込みアドレスレジスタ3 (SCL1_WR4)	33-64
33.2.32	フレーム間引きレジスタ (SCL1_WR5)	33-65
33.2.33	ビット縮退レジスタ (SCL1_WR6)	33-66

33.2.34	書き込み検出レジスタ (SCL1_WR7)	33-67
33.2.35	グラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE)	33-68
33.2.36	フレームバッファ読み出し制御レジスタ (グラフィックス (1)) (GR1_FLM_RD)	33-69
33.2.37	フレームバッファ制御レジスタ 1 (グラフィックス (1)) (GR1_FLM1)	33-70
33.2.38	フレームバッファ制御レジスタ 2 (グラフィックス (1)) (GR1_FLM2)	33-71
33.2.39	フレームバッファ制御レジスタ 3 (グラフィックス (1)) (GR1_FLM3)	33-72
33.2.40	フレームバッファ制御レジスタ 4 (グラフィックス (1)) (GR1_FLM4)	33-73
33.2.41	フレームバッファ制御レジスタ 5 (グラフィックス (1)) (GR1_FLM5)	33-74
33.2.42	フレームバッファ制御レジスタ 6 (グラフィックス (1)) (GR1_FLM6)	33-75
33.2.43	アルファブレンド制御レジスタ 1 (グラフィックス (1)) (GR1_AB1)	33-77
33.2.44	アルファブレンド制御レジスタ 2 (グラフィックス (1)) (GR1_AB2)	33-78
33.2.45	アルファブレンド制御レジスタ 3 (グラフィックス (1)) (GR1_AB3)	33-79
33.2.46	アルファブレンド制御レジスタ 7 (グラフィックス (1)) (GR1_AB7)	33-80
33.2.47	アルファブレンド制御レジスタ 8 (グラフィックス (1)) (GR1_AB8)	33-81
33.2.48	アルファブレンド制御レジスタ 9 (グラフィックス (1)) (GR1_AB9)	33-82
33.2.49	アルファブレンド制御レジスタ 10 (グラフィックス (1)) (GR1_AB10)	33-83
33.2.50	アルファブレンド制御レジスタ 11 (グラフィックス (1)) (GR1_AB11)	33-84
33.2.51	背景色制御レジスタ (グラフィックス (1)) (GR1_BASE)	33-85
33.2.52	CLUT テーブル制御レジスタ (グラフィックス (1)) (GR1_CLUT)	33-86
33.3	使用方法	33-87
33.3.1	525i 映像入力、VGA(640×480) サイズ映像出力時のスケーリング設定例	33-87
33.3.2	グラフィックス表示時のスケーリング設定例	33-91
33.3.3	グラフィックス拡大表示時のスケーリング設定例	33-93
34.	ビデオディスプレイコントローラ 4 (4) 画質改善部	34-1
34.1	画質改善機能	34-1
34.1.1	機能概要	34-1
34.1.2	レジスタの更新制御	34-2
34.1.3	黒伸張	34-2
34.1.4	エンハンサ	34-4
34.1.5	カラーマトリクス	34-10
34.2	レジスタの説明	34-12
34.2.1	画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE)	34-13
34.2.2	黒伸張部レジスタ (ADJ_BKSTR_SET)	34-14
34.2.3	エンハンサタイミング調整レジスタ 1 (ADJ_ENH_TIM1)	34-15
34.2.4	エンハンサタイミング調整レジスタ 2 (ADJ_ENH_TIM2)	34-16
34.2.5	エンハンサタイミング調整レジスタ 3 (ADJ_ENH_TIM3)	34-17
34.2.6	エンハンサシャープネスレジスタ 1 (ADJ_ENH_SHP1)	34-18
34.2.7	エンハンサシャープネスレジスタ 2 (ADJ_ENH_SHP2)	34-19
34.2.8	エンハンサシャープネスレジスタ 3 (ADJ_ENH_SHP3)	34-20
34.2.9	エンハンサシャープネスレジスタ 4 (ADJ_ENH_SHP4)	34-21

34.2.10	エンハンサシャープネスレジスタ 5 (ADJ_ENH_SHP5)	34-22
34.2.11	エンハンサシャープネスレジスタ 6 (ADJ_ENH_SHP6)	34-23
34.2.12	エンハンサ LTI レジスタ 1 (ADJ_ENH_LTI1)	34-24
34.2.13	エンハンサ LTI レジスタ 2 (ADJ_ENH_LTI2)	34-25
34.2.14	画質改善部マトリクスモードレジスタ (ADJ_MTX_MODE)	34-26
34.2.15	画質改善部マトリクス YG 調整レジスタ 0 (ADJ_MTX_YG_ADJ0)	34-27
34.2.16	画質改善部マトリクス YG 調整レジスタ 1 (ADJ_MTX_YG_ADJ1)	34-28
34.2.17	画質改善部マトリクス CBB 調整レジスタ 0 (ADJ_MTX_CBB_ADJ0)	34-29
34.2.18	画質改善部マトリクス CBB 調整レジスタ 1 (ADJ_MTX_CBB_ADJ1)	34-30
34.2.19	画質改善部マトリクス CRR 調整レジスタ 0 (ADJ_MTX_CRR_ADJ0)	34-31
34.2.20	画質改善部マトリクス CRR 調整レジスタ 1 (ADJ_MTX_CRR_ADJ1)	34-32
34.3	使用方法	34-33
34.3.1	黒伸張の使用方法	34-33
34.3.2	エンハンサの LTI 処理	34-33
34.3.3	エンハンサのシャープネス処理	34-34
34.3.4	カラーマトリクスのデータ変換設定方法	34-35
35.	ビデオディスプレイコントローラ 4 (5) 画面合成部	35-1
35.1	画面合成機能	35-1
35.1.1	機能概要	35-1
35.1.2	グラフィックスデータ読み出し制御	35-2
35.1.3	グラフィックス領域設定	35-12
35.1.4	指定ライン割り込み生成	35-13
35.1.5	フレームバッファ読み出し信号フォーマットとアルファブレンドの対応	35-14
35.1.6	表示選択	35-15
35.1.7	背景色表示処理	35-17
35.1.8	下層グラフィックス表示処理	35-17
35.1.9	カレントグラフィックス表示処理	35-17
35.1.10	矩形領域アルファブレンド表示処理	35-17
35.1.11	RGB 参照クロマキー表示処理	35-20
35.1.12	CLUT 参照クロマキー表示処理	35-21
35.1.13	画素単位アルファブレンド表示処理	35-23
35.1.14	アルファブレンド演算式	35-23
35.1.15	CLUT テーブル	35-23
35.2	レジスタの説明	35-25
35.2.1	グラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE)	35-29
35.2.2	フレームバッファ読み出し制御レジスタ (グラフィックス (2)) (GR2_FLM_RD)	35-30
35.2.3	フレームバッファ制御レジスタ 1 (グラフィックス (2)) (GR2_FLM1)	35-31
35.2.4	フレームバッファ制御レジスタ 2 (グラフィックス (2)) (GR2_FLM2)	35-32
35.2.5	フレームバッファ制御レジスタ 3 (グラフィックス (2)) (GR2_FLM3)	35-33
35.2.6	フレームバッファ制御レジスタ 4 (グラフィックス (2)) (GR2_FLM4)	35-34

35.2.7	フレームバッファ制御レジスタ 5 (グラフィックス (2)) (GR2_FLM5)	35-35
35.2.8	フレームバッファ制御レジスタ 6 (グラフィックス (2)) (GR2_FLM6)	35-36
35.2.9	アルファブレンド制御レジスタ 1 (グラフィックス (2)) (GR2_AB1)	35-37
35.2.10	アルファブレンド制御レジスタ 2 (グラフィックス (2)) (GR2_AB2)	35-38
35.2.11	アルファブレンド制御レジスタ 3 (グラフィックス (2)) (GR2_AB3)	35-39
35.2.12	アルファブレンド制御レジスタ 4 (グラフィックス (2)) (GR2_AB4)	35-40
35.2.13	アルファブレンド制御レジスタ 5 (グラフィックス (2)) (GR2_AB5)	35-41
35.2.14	アルファブレンド制御レジスタ 6 (グラフィックス (2)) (GR2_AB6)	35-42
35.2.15	アルファブレンド制御レジスタ 7 (グラフィックス (2)) (GR2_AB7)	35-43
35.2.16	アルファブレンド制御レジスタ 8 (グラフィックス (2)) (GR2_AB8)	35-44
35.2.17	アルファブレンド制御レジスタ 9 (グラフィックス (2)) (GR2_AB9)	35-45
35.2.18	アルファブレンド制御レジスタ 10 (グラフィックス (2)) (GR2_AB10)	35-46
35.2.19	アルファブレンド制御レジスタ 11 (グラフィックス (2)) (GR2_AB11)	35-47
35.2.20	背景色制御レジスタ (グラフィックス (2)) (GR2_BASE)	35-48
35.2.21	CLUT テーブル制御レジスタ (グラフィックス (2)) (GR2_CLUT)	35-49
35.2.22	ステータスモニタレジスタ (グラフィックス (2)) (GR2_MON)	35-50
35.2.23	グラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE)	35-51
35.2.24	フレームバッファ読み出し制御レジスタ (グラフィックス (3)) (GR3_FLM_RD)	35-52
35.2.25	フレームバッファ制御レジスタ 1 (グラフィックス (3)) (GR3_FLM1)	35-53
35.2.26	フレームバッファ制御レジスタ 2 (グラフィックス (3)) (GR3_FLM2)	35-54
35.2.27	フレームバッファ制御レジスタ 3 (グラフィックス (3)) (GR3_FLM3)	35-55
35.2.28	フレームバッファ制御レジスタ 4 (グラフィックス (3)) (GR3_FLM4)	35-56
35.2.29	フレームバッファ制御レジスタ 5 (グラフィックス (3)) (GR3_FLM5)	35-57
35.2.30	フレームバッファ制御レジスタ 6 (グラフィックス (3)) (GR3_FLM6)	35-58
35.2.31	アルファブレンド制御レジスタ 1 (グラフィックス (3)) (GR3_AB1)	35-59
35.2.32	アルファブレンド制御レジスタ 2 (グラフィックス (3)) (GR3_AB2)	35-60
35.2.33	アルファブレンド制御レジスタ 3 (グラフィックス (3)) (GR3_AB3)	35-61
35.2.34	アルファブレンド制御レジスタ 4 (グラフィックス (3)) (GR3_AB4)	35-62
35.2.35	アルファブレンド制御レジスタ 5 (グラフィックス (3)) (GR3_AB5)	35-63
35.2.36	アルファブレンド制御レジスタ 6 (グラフィックス (3)) (GR3_AB6)	35-64
35.2.37	アルファブレンド制御レジスタ 7 (グラフィックス (3)) (GR3_AB7)	35-65
35.2.38	アルファブレンド制御レジスタ 8 (グラフィックス (3)) (GR3_AB8)	35-66
35.2.39	アルファブレンド制御レジスタ 9 (グラフィックス (3)) (GR3_AB9)	35-67
35.2.40	アルファブレンド制御レジスタ 10 (グラフィックス (3)) (GR3_AB10)	35-68
35.2.41	アルファブレンド制御レジスタ 11 (グラフィックス (3)) (GR3_AB11)	35-69
35.2.42	背景色制御レジスタ (グラフィックス (3)) (GR3_BASE)	35-70
35.2.43	CLUT テーブル・割り込み制御レジスタ (グラフィックス (3)) (GR3_CLUT_INT)	35-71
35.2.44	ステータスモニタレジスタ (グラフィックス (3)) (GR3_MON)	35-72
35.3	使用方法	35-73
35.3.1	ミュート	35-73
35.3.2	矩形領域アルファブレンド	35-73

36.	ビデオディスプレイコントローラ 4 (6)	出力制御部	36-1
36.1	出力制御機能		36-1
36.1.1	機能概要		36-1
36.1.2	レジスタの更新制御		36-2
36.1.3	経路選択		36-2
36.1.4	ブライツ調整		36-3
36.1.5	コントラスト調整		36-3
36.1.6	ガンマ補正		36-4
36.1.7	ディザ処理		36-9
36.1.8	出力フォーマット変換		36-12
36.1.9	LCD TCON		36-19
36.2	レジスタの説明		36-31
36.2.1	ガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE)		36-34
36.2.2	ガンマ補正部機能スイッチレジスタ (GAM_SW)		36-35
36.2.3	ガンマ補正部テーブル設定レジスタ G1 ~ 16 (GAM_G_LUT1 ~ 16)		36-35
36.2.4	ガンマ補正部領域設定レジスタ G1 (GAM_G_AREA1)		36-38
36.2.5	ガンマ補正部領域設定レジスタ G2 (GAM_G_AREA2)		36-39
36.2.6	ガンマ補正部領域設定レジスタ G3 (GAM_G_AREA3)		36-40
36.2.7	ガンマ補正部領域設定レジスタ G4 (GAM_G_AREA4)		36-41
36.2.8	ガンマ補正部領域設定レジスタ G5 (GAM_G_AREA5)		36-42
36.2.9	ガンマ補正部領域設定レジスタ G6 (GAM_G_AREA6)		36-43
36.2.10	ガンマ補正部領域設定レジスタ G7 (GAM_G_AREA7)		36-44
36.2.11	ガンマ補正部領域設定レジスタ G8 (GAM_G_AREA8)		36-45
36.2.12	ガンマ補正部レジスタ更新制御レジスタ B (GAM_B_UPDATE)		36-46
36.2.13	ガンマ補正部テーブル設定レジスタ B1 ~ 16 (GAM_B_LUT1 ~ 16)		36-46
36.2.14	ガンマ補正部領域設定レジスタ B1 (GAM_B_AREA1)		36-49
36.2.15	ガンマ補正部領域設定レジスタ B2 (GAM_B_AREA2)		36-50
36.2.16	ガンマ補正部領域設定レジスタ B3 (GAM_B_AREA3)		36-51
36.2.17	ガンマ補正部領域設定レジスタ B4 (GAM_B_AREA4)		36-52
36.2.18	ガンマ補正部領域設定レジスタ B5 (GAM_B_AREA5)		36-53
36.2.19	ガンマ補正部領域設定レジスタ B6 (GAM_B_AREA6)		36-54
36.2.20	ガンマ補正部領域設定レジスタ B7 (GAM_B_AREA7)		36-55
36.2.21	ガンマ補正部領域設定レジスタ B8 (GAM_B_AREA8)		36-56
36.2.22	ガンマ補正部レジスタ更新制御レジスタ R (GAM_R_UPDATE)		36-57
36.2.23	ガンマ補正部テーブル設定レジスタ R1 ~ 16 (GAM_R_LUT1 ~ 16)		36-57
36.2.24	ガンマ補正部領域設定レジスタ R1 (GAM_R_AREA1)		36-60
36.2.25	ガンマ補正部領域設定レジスタ R2 (GAM_R_AREA2)		36-61
36.2.26	ガンマ補正部領域設定レジスタ R3 (GAM_R_AREA3)		36-62
36.2.27	ガンマ補正部領域設定レジスタ R4 (GAM_R_AREA4)		36-63
36.2.28	ガンマ補正部領域設定レジスタ R5 (GAM_R_AREA5)		36-64

36.2.29	ガンマ補正部領域設定レジスタ R6 (GAM_R_AREA6)	36-65
36.2.30	ガンマ補正部領域設定レジスタ R7 (GAM_R_AREA7)	36-66
36.2.31	ガンマ補正部領域設定レジスタ R8 (GAM_R_AREA8)	36-67
36.2.32	TCON レジスタ更新制御レジスタ (TCON_UPDATE)	36-68
36.2.33	TCON 基準タイミング設定レジスタ (TCON_TIM)	36-69
36.2.34	TCON 垂直タイミング設定レジスタ A1 (TCON_TIM_STVA1)	36-70
36.2.35	TCON 垂直タイミング設定レジスタ A2 (TCON_TIM_STVA2)	36-71
36.2.36	TCON 垂直タイミング設定レジスタ B1 (TCON_TIM_STVB1)	36-72
36.2.37	TCON 垂直タイミング設定レジスタ B2 (TCON_TIM_STVB2)	36-73
36.2.38	TCON 水平タイミング設定レジスタ STH1 (TCON_TIM_STH1)	36-74
36.2.39	TCON 水平タイミング設定レジスタ STH2 (TCON_TIM_STH2)	36-75
36.2.40	TCON 水平タイミング設定レジスタ STB1 (TCON_TIM_STB1)	36-76
36.2.41	TCON 水平タイミング設定レジスタ STB2 (TCON_TIM_STB2)	36-77
36.2.42	TCON 水平タイミング設定レジスタ CPV1 (TCON_TIM_CPV1)	36-78
36.2.43	TCON 水平タイミング設定レジスタ CPV2 (TCON_TIM_CPV2)	36-79
36.2.44	TCON 水平タイミング設定レジスタ POLA1 (TCON_TIM_POLA1)	36-80
36.2.45	TCON 水平タイミング設定レジスタ POLA2 (TCON_TIM_POLA2)	36-81
36.2.46	TCON 水平タイミング設定レジスタ POLB1 (TCON_TIM_POLB1)	36-82
36.2.47	TCON 水平タイミング設定レジスタ POLB2 (TCON_TIM_POLB2)	36-83
36.2.48	TCON データイネーブル極性設定レジスタ (TCON_TIM_DE)	36-84
36.2.49	出力制御部レジスタ更新制御レジスタ (OUT_UPDATE)	36-85
36.2.50	出カインタフェース用レジスタ (OUT_SET)	36-86
36.2.51	ブライト (DC) 補正用レジスタ 1 (OUT_BRIGHT1)	36-87
36.2.52	ブライト (DC) 補正用レジスタ 2 (OUT_BRIGHT2)	36-88
36.2.53	コントラスト (ゲイン) 補正用レジスタ (OUT_CONTRAST)	36-89
36.2.54	パネルディザレジスタ (OUT_PDTHA)	36-90
36.2.55	出力位相制御レジスタ (OUT_CLK_PHASE)	36-91
36.3	使用方法	36-93
36.3.1	ガンマ補正調整方法	36-93
36.3.2	ディザの使用法	36-93
36.3.3	出力フォーマット調整方法	36-94
37.	ビデオディスプレイコントローラ 4 (7) システム制御部	37-1
37.1	システム制御機能	37-1
37.1.1	機能概要	37-1
37.1.2	割り込み制御	37-1
37.1.3	パネルクロック制御	37-4
37.1.4	CLUT テーブル読み出し選択信号ステータスフラグ	37-6
37.2	レジスタの説明	37-7
37.2.1	割り込み制御レジスタ 1 (SYSCNT_INT1)	37-8
37.2.2	割り込み制御レジスタ 2 (SYSCNT_INT2)	37-9

37.2.3	割り込み制御レジスタ 3 (SYSCNT_INT3)	37-11
37.2.4	割り込み制御レジスタ 4 (SYSCNT_INT4)	37-12
37.2.5	パネルクロック制御レジスタ (SYSCNT_PANEL_CLK)	37-14
37.2.6	CLUT テーブル読み出し選択信号ステータスフラグレジスタ (SYSCNT_CLUT)	37-15
38.	歪み補正エンジン (IMR-LS)	38-1
39.	ディスプレイアウトコンペアユニット	39-1
39.1	特長	39-1
39.2	ブロック図	39-2
39.3	レジスタの説明	39-3
39.3.1	コントロールレジスタ (DOCMCR)	39-4
39.3.2	ステータスレジスタ (DOCMSTR)	39-5
39.3.3	ステータスクリアレジスタ (DOCMCLSTR)	39-5
39.3.4	割り込み許可レジスタ (DOCMIENR)	39-6
39.3.5	動作パラメータ設定レジスタ (DOCMPMR)	39-6
39.3.6	CRC コード期待値レジスタ (DOCMCCR)	39-8
39.3.7	CRC コード計算値レジスタ (DOCMCCR)	39-8
39.3.8	水平方向開始位置設定レジスタ (DOCMSPXR)	39-9
39.3.9	垂直方向開始位置設定レジスタ (DOCMSPYR)	39-9
39.3.10	水平方向サイズレジスタ (DOCMSZXR)	39-10
39.3.11	垂直方向サイズレジスタ (DOCMSZYR)	39-10
39.3.12	CRC 初期値レジスタ (DOCMCIR)	39-11
39.4	動作説明	39-12
39.4.1	動作の概要	39-12
39.4.2	システム構成	39-12
39.4.3	CRC 計算方法	39-14
39.4.4	CRC コード生成グラフィックスデータ選択	39-14
39.4.5	ピクセルフォーマット	39-14
39.4.6	矩形領域の設定	39-16
39.4.7	CRC 計算期間および比較タイミング	39-17
39.4.8	レジスタ更新タイミング	39-18
39.4.9	動作フロー	39-19
39.5	割り込み	39-21
39.6	使用上の注意事項	39-21
39.6.1	CRC 期待値	39-21
39.6.2	拡大制御機能	39-21
40.	OpenVG™ 用ルネサスグラフィックスプロセッサ	40-1
40.1	特長	40-1
40.2	使用上の注意事項	40-1

41.	JPEG コーデックユニット	41-1
41.1	特長	41-1
41.2	レジスタの説明	41-3
41.2.1	JPEG コードモードレジスタ (JCMOD)	41-5
41.2.2	JPEG コードコマンドレジスタ (JCCMD)	41-6
41.2.3	JPEG コード量子化テーブル番号レジスタ (JCQTN)	41-7
41.2.4	JPEG コードハフマンテーブル番号レジスタ (JCHTN)	41-8
41.2.5	JPEG コード DRI 上位レジスタ (JCDRIU)	41-9
41.2.6	JPEG コード DRI 下位レジスタ (JCDRID)	41-9
41.2.7	JPEG コード垂直方向サイズ上位レジスタ (JCVSZU)	41-10
41.2.8	JPEG コード垂直方向サイズ下位レジスタ (JCVSZD)	41-10
41.2.9	JPEG コード水平方向サイズ上位レジスタ (JCHSZU)	41-11
41.2.10	JPEG コード水平方向サイズ下位レジスタ (JCHSZD)	41-11
41.2.11	JPEG コードデータカウント上位レジスタ (JCDTCU)	41-12
41.2.12	JPEG コードデータカウント中位レジスタ (JCDTCM)	41-12
41.2.13	JPEG コードデータカウント下位レジスタ (JCDTCD)	41-13
41.2.14	JPEG 割り込みイネーブルレジスタ 0 (JINTE0)	41-13
41.2.15	JPEG 割り込みステータスレジスタ 0 (JINTS0)	41-14
41.2.16	JPEG コードデコードエラーレジスタ (JCDERR)	41-14
41.2.17	JPEG コード再起動レジスタ (JCRST)	41-15
41.2.18	JPEG インタフェース圧縮制御レジスタ (JIFECNT)	41-15
41.2.19	JPEG インタフェース圧縮ソースアドレスレジスタ (JIFESA)	41-17
41.2.20	JPEG インタフェース圧縮ラインオフセットレジスタ (JIFESOFST)	41-18
41.2.21	JPEG インタフェース圧縮デスティネーションアドレスレジスタ (JIFEDA)	41-19
41.2.22	JPEG インタフェース圧縮ソースラインカウントレジスタ (JIFESLC)	41-19
41.2.23	JPEG インタフェース伸長制御レジスタ (JIFDCNT)	41-20
41.2.24	JPEG インタフェース伸長ソースアドレスレジスタ (JIFDSA)	41-22
41.2.25	JPEG インタフェース伸長ラインオフセットレジスタ (JIFDDOFST)	41-23
41.2.26	JPEG インタフェース伸長デスティネーションアドレスレジスタ (JIFDDA)	41-24
41.2.27	JPEG インタフェース伸長ソースデータカウントレジスタ (JIFSDSC)	41-24
41.2.28	JPEG インタフェース伸長デスティネーションラインカウントレジスタ (JIFDDLCL)	41-25
41.2.29	JPEG インタフェース伸長 設定レジスタ (JIFDADT)	41-26
41.2.30	JPEG 割り込みイネーブルレジスタ 1 (JINTE1)	41-27
41.2.31	JPEG 割り込みステータスレジスタ 1 (JINTS1)	41-28
41.3	動作説明	41-29
41.3.1	圧縮	41-29
41.3.2	伸長	41-36
41.3.3	伸長時の出力ピクセルフォーマット	41-44
41.3.4	画像データ格納	41-49
41.4	割り込み	41-50

41.4.1	圧縮伸長処理割り込み要求 (JEDI)	41-50
41.4.2	データ転送処理割り込み要求 (JDTI)	41-51
41.5	バスリセット処理	41-52
41.6	使用上の注意事項	41-53
41.6.1	ピクセルフォーマット YCbCr	41-53
42.	サンプリングレートコンバータ	42-1
42.1	特長	42-1
42.2	レジスタの説明	42-3
42.2.1	入力データレジスタ (SRCID)	42-4
42.2.2	出力データレジスタ (SRCOD)	42-5
42.2.3	入力データ制御レジスタ (SRCIDCTRL)	42-6
42.2.4	出力データ制御レジスタ (SRCODCTRL)	42-7
42.2.5	制御レジスタ (SRCCTRL)	42-8
42.2.6	ステータスレジスタ (SRCSTAT)	42-11
42.3	動作説明	42-14
42.3.1	初期設定	42-14
42.3.2	データ入力	42-15
42.3.3	データ出力	42-16
42.4	割り込み	42-18
42.5	使用上の注意事項	42-19
42.5.1	レジスタアクセス時の注意	42-19
42.5.2	フラッシュ処理に関する注意	42-19
43.	サウンドジェネレータ	43-1
43.1	特長	43-1
43.2	入出力端子	43-2
43.3	レジスタの説明	43-3
43.3.1	サウンドジェネレータコントロールレジスタ 1 (SGCR1)	43-4
43.3.2	サウンドジェネレータコントロールステータスレジスタ (SGCSR)	43-5
43.3.3	サウンドジェネレータコントロールレジスタ 2 (SGCR2)	43-6
43.3.4	サウンドジェネレータラウドネスレジスタ (SGLR)	43-7
43.3.5	サウンドジェネレータトーン周波数レジスタ (SGTFR)	43-7
43.3.6	サウンドジェネレータ基準周波数レジスタ (SGSFR)	43-8
43.4	動作説明	43-9
43.4.1	基本動作	43-9
43.4.2	TONE 周波数の設定	43-12
43.4.3	自動減衰機能について	43-13
43.4.4	出力波形	43-13
43.5	割り込み要因	43-14
43.6	使用上の注意事項	43-14

43.6.1	モジュールストップモードの設定	43-14
44.	SD ホストインタフェース	44-1
45.	MMC ホストインタフェース	45-1
45.1	特長	45-1
45.2	入出力端子	45-2
45.3	レジスタの説明	45-3
45.3.1	コマンド設定レジスタ (CE_CMD_SET)	45-4
45.3.2	アークギュメントレジスタ (CE_ARG)	45-6
45.3.3	自動 CMD12 アークギュメントレジスタ (CE_ARG_CMD12)	45-7
45.3.4	コマンド制御レジスタ (CE_CMD_CTRL)	45-7
45.3.5	転送ブロック設定レジスタ (CE_BLOCK_SET)	45-8
45.3.6	クロックコントロールレジスタ (CE_CLK_CTRL)	45-9
45.3.7	バッファアクセス設定レジスタ (CE_BUF_ACC)	45-11
45.3.8	レスポンスレジスタ 3~0 (CE_RESP3~0)	45-12
45.3.9	自動 CMD12 レスポンスレジスタ (CE_RESP_CMD12)	45-13
45.3.10	データレジスタ (CE_DATA)	45-14
45.3.11	割り込みフラグレジスタ (CE_INT)	45-14
45.3.12	割り込みイネーブルレジスタ (CE_INT_EN)	45-19
45.3.13	ステータスレジスタ 1 (CE_HOST_STS1)	45-21
45.3.14	ステータスレジスタ 2 (CE_HOST_STS2)	45-22
45.3.15	DMA モード設定レジスタ (CE_DMA_MODE)	45-24
45.3.16	カード検出 / ポート制御レジスタ (CE_DETECT)	45-25
45.3.17	特殊モード設定レジスタ (CE_ADD_MODE)	45-26
45.3.18	バージョンレジスタ (CE_VERSION)	45-27
45.4	割り込み要求の説明	45-28
45.5	DMA仕様	45-29
45.5.1	バッファライト DMA の説明	45-29
45.5.2	バッファリード DMA の説明	45-29
45.6	動作説明	45-30
45.6.1	コマンド / レスポンスのフォーマット	45-30
45.6.2	データブロックフォーマット	45-30
45.6.3	バッファ構造とバッファアクセス	45-32
45.6.4	自動 CMD12 発行	45-33
45.6.5	エラー、タイムアウト発生時の本モジュールの処理	45-35
45.7	設定例	45-36
45.7.1	凡例の説明	45-36
45.7.2	コマンド送信設定例	45-37
45.7.3	コマンド送信 レスポンス受信設定例	45-38
45.7.4	コマンド送信 レスポンス受信 (レスポンスビジーあり) 設定例	45-39

45.7.5	シングルブロックリード設定例.....	45-41
45.7.6	マルチブロックリード設定例.....	45-42
45.7.7	マルチブロックリード（自動 CMD12 あり）設定例.....	45-43
45.7.8	シングルブロックライト設定例.....	45-44
45.7.9	マルチブロックライト設定例.....	45-45
45.7.10	マルチブロックライト（自動 CMD12 あり）設定例.....	45-46
45.7.11	強制終了設定例.....	45-47
45.7.12	CE_CMD_SET 設定値.....	45-48
45.8	使用上の注意事項.....	45-50
45.8.1	カード検出について.....	45-50
46.	モータコントロール PWM タイマ.....	46-1
46.1	特長.....	46-1
46.2	入出力端子.....	46-3
46.3	レジスタの説明.....	46-4
46.3.1	PWM コントロールレジスタ_n (PWCR_n) (n = 1, 2).....	46-5
46.3.2	PWM ポラリティレジスタ_n (PWPR_n) (n = 1, 2).....	46-6
46.3.3	PWM カウンタ_n (PWCNT_n) (n = 1, 2).....	46-7
46.3.4	PWM サイクルレジスタ_n (PWCYR_n) (n = 1, 2).....	46-7
46.3.5	PWM デューティレジスタ_nA、nC、nE、nG (PWDTR_nA、PWDTR_nC、PWDTR_nE、PWDTR_nG) (n = 1, 2).....	46-8
46.3.6	PWM バッファレジスタ_nA、nC、nE、nG (PWBFR_nA、PWBFR_nC、PWBFR_nE、PWBFR_nG).....	46-10
46.3.7	PWM バッファ転送コントロールレジスタ (PWBTCR).....	46-11
46.4	バスマスタとのインタフェース.....	46-12
46.4.1	16 ビットデータレジスタ.....	46-12
46.4.2	8 ビットデータレジスタ.....	46-12
46.5	動作説明.....	46-13
46.5.1	PWM の動作.....	46-13
46.5.2	バッファ転送制御について.....	46-14
46.6	使用上の注意事項.....	46-15
46.6.1	バッファレジスタのライトとコンペアマッチの競合.....	46-15
47.	内蔵 RAM.....	47-1
47.1	特長.....	47-1
47.2	使用上の注意事項.....	47-4
47.2.1	ページ競合.....	47-4
47.2.2	RAME ビット、RAMWE ビットについて.....	47-4
47.2.3	データ保持について.....	47-5

48.	汎用入出力ポート	48-1
48.1	特長	48-1
48.2	レジスタの説明	48-9
48.2.1	ポート A・IO レジスタ 0 (PAIOR0)	48-12
48.2.2	ポート A データレジスタ 0 (PADR0)	48-12
48.2.3	ポート A ポートレジスタ 0 (PAPR0)	48-13
48.2.4	ポート B コントロールレジスタ 0~5 (PBCR0~PBCR5)	48-14
48.2.5	ポート B・IO レジスタ 0、1 (PBIOR0、PBIOR1)	48-22
48.2.6	ポート B データレジスタ 0、1 (PBDR0、PBDR1)	48-23
48.2.7	ポート B ポートレジスタ 0、1 (PBPR0、PBPR1)	48-25
48.2.8	ポート C コントロールレジスタ 0~2 (PCCR0~PCCR2)	48-27
48.2.9	ポート C・IO レジスタ 0 (PCIOR0)	48-30
48.2.10	ポート C データレジスタ 0 (PCDR0)	48-31
48.2.11	ポート C ポートレジスタ 0 (PCPR0)	48-32
48.2.12	ポート D コントロールレジスタ 0~3 (PDCR0~PDCR3)	48-33
48.2.13	ポート D・IO レジスタ 0 (PDIOR0)	48-38
48.2.14	ポート D データレジスタ 0 (PDDR0)	48-39
48.2.15	ポート D ポートレジスタ 0 (PDPR0)	48-40
48.2.16	ポート E コントロールレジスタ 0、1 (PECR0、PECR1)	48-41
48.2.17	ポート E・IO レジスタ 0 (PEIOR0)	48-43
48.2.18	ポート E データレジスタ 0 (PEDR0)	48-44
48.2.19	ポート E ポートレジスタ 0 (PEPR0)	48-45
48.2.20	ポート F コントロールレジスタ 0~6 (PFCR0~PFCR6)	48-46
48.2.21	ポート F・IO レジスタ 0、1 (PFIOR0、PFIOR1)	48-53
48.2.22	ポート F データレジスタ 0、1 (PFDR0、PFDR1)	48-54
48.2.23	ポート F ポートレジスタ 0、1 (PFPR0、PFPR1)	48-56
48.2.24	ポート G コントロールレジスタ 0~6 (PGCR0~PGCR6)	48-58
48.2.25	ポート G・IO レジスタ 0、1 (PGIOR0、PGIOR1)	48-68
48.2.26	ポート G データレジスタ 0、1 (PGDR0、PGDR1)	48-69
48.2.27	ポート G ポートレジスタ 0、1 (PGPR0、PGPR1)	48-71
48.2.28	ポート H コントロールレジスタ 0、1 (PHCR0、PHCR1)	48-73
48.2.29	ポート H ポートレジスタ 0 (PHPR0)	48-75
48.2.30	ポート J コントロールレジスタ 0~7 (PJCR0~PJCR7: SH7269 のみ)	48-76
48.2.31	ポート J・IO レジスタ 0、1 (PJIOR0、PJIOR1: SH7269 のみ)	48-85
48.2.32	ポート J データレジスタ 0、1 (PJDR0、PJDR1: SH7269 のみ)	48-86
48.2.33	ポート J ポートレジスタ 0、1 (PJPR0、PJPR1: SH7269 のみ)	48-88
48.2.34	シリアルサウンドインタフェースノイズキャンセラコントロールレジスタ (SNCR)	48-90
49.	低消費電力モード	49-1
49.1	特長	49-1

49.1.1	低消費電力モードの種類.....	49-1
49.2	レジスタの説明.....	49-3
49.2.1	スタンバイコントロールレジスタ 1 (STBCR1)	49-4
49.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	49-5
49.2.3	スタンバイコントロールレジスタ 3 (STBCR3)	49-6
49.2.4	スタンバイコントロールレジスタ 4 (STBCR4)	49-7
49.2.5	スタンバイコントロールレジスタ 5 (STBCR5)	49-9
49.2.6	スタンバイコントロールレジスタ 6 (STBCR6)	49-10
49.2.7	スタンバイコントロールレジスタ 7 (STBCR7)	49-12
49.2.8	スタンバイコントロールレジスタ 8 (STBCR8)	49-13
49.2.9	スタンバイコントロールレジスタ 9 (STBCR9)	49-14
49.2.10	スタンバイコントロールレジスタ 10 (STBCR10)	49-16
49.2.11	ソフトウェアリセットコントロールレジスタ 1 (SWRSTCR1)	49-17
49.2.12	ソフトウェアリセットコントロールレジスタ 2 (SWRSTCR2)	49-19
49.2.13	システムコントロールレジスタ 1 (SYSCR1)	49-20
49.2.14	システムコントロールレジスタ 2 (SYSCR2)	49-21
49.2.15	システムコントロールレジスタ 3 (SYSCR3)	49-22
49.2.16	システムコントロールレジスタ 4 (SYSCR4)	49-23
49.2.17	システムコントロールレジスタ 5 (SYSCR5)	49-24
49.2.18	保持用内蔵 RAM 保持エリア指定レジスタ (RRAMKP)	49-25
49.2.19	ディープスタンバイコントロールレジスタ (DSCTR)	49-26
49.2.20	ディープスタンバイ解除要因セレクトレジスタ (DSSSR)	49-27
49.2.21	ディープスタンバイ解除エッジセレクトレジスタ (DSESR)	49-29
49.2.22	ディープスタンバイ解除要因フラグレジスタ (DSFR)	49-31
49.2.23	XTAL 水晶発振器ゲインコントロールレジスタ (XTALCTR)	49-33
49.3	動作説明.....	49-34
49.3.1	スリープモード.....	49-34
49.3.2	ソフトウェアスタンバイモード.....	49-35
49.3.3	ソフトウェアスタンバイモードの応用例.....	49-37
49.3.4	ディープスタンバイモード.....	49-38
49.3.5	モジュールスタンバイ機能.....	49-43
49.3.6	XTAL 用水晶発振器ゲイン調整機能.....	49-43
49.4	使用上の注意事項.....	49-44
49.4.1	レジスタ設定時の注意.....	49-44
49.4.2	リアルタイムクロック未使用時の注意.....	49-44
50.	ユーザデバッグインタフェース.....	50-1
50.1	特長.....	50-1
50.2	入出力端子.....	50-2
50.3	バウンダリスキャン用TAPコントローラのレジスタの説明.....	50-3
50.3.1	バイパスレジスタ (BSBPR)	50-3

50.3.2	インストラクションレジスタ (BSIR)	50-3
50.3.3	バウンダリスキャンレジスタ (SDBSR)	50-4
50.3.4	ID レジスタ (BSID)	50-9
50.4	エミュレーション用TAPコントローラのレジスタの説明	50-10
50.4.1	バイパスレジスタ (SDBPR)	50-10
50.4.2	インストラクションレジスタ (SDIR)	50-10
50.5	動作説明	50-12
50.5.1	TAP コントローラ	50-12
50.5.2	リセット構成	50-13
50.5.3	TDO 出力タイミング	50-13
50.5.4	ユーザデバッグインタフェースリセット	50-14
50.5.5	ユーザデバッグインタフェース割り込み	50-14
50.6	バウンダリスキャン	50-15
50.6.1	サポートする命令	50-15
50.6.2	注意事項	50-16
50.7	使用上の注意事項	50-17
51.	レジスタ一覧	51-1
51.1	レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)	51-2
51.2	レジスタビット一覧	51-46
51.3	各動作モードにおけるレジスタの状態の一覧	51-176
52.	電気的特性	52-1
52.1	絶対最大定格	52-1
52.2	電源投入・切断シーケンス	52-2
52.3	DC特性	52-3
52.4	AC特性	52-11
52.4.1	クロックタイミング	52-11
52.4.2	制御信号タイミング	52-15
52.4.3	バスタイミング	52-17
52.4.4	UBC タイミング	52-48
52.4.5	ダイレクトメモリアクセスコントローラタイミング	52-48
52.4.6	マルチファンクションタイムパルスユニット 2 タイミング	52-49
52.4.7	ウォッチドッグタイムタイミング	52-49
52.4.8	FIFO 内蔵シリアルコミュニケーションインタフェースタイミング	52-50
52.4.9	ルネサスシリアルペリフェラルインタフェースタイミング	52-51
52.4.10	ルネサスクワッドシリアルペリフェラルインタフェースタイミング	52-54
52.4.11	SPI マルチ I/O バスコントローラタイミング	52-56
52.4.12	I ² C バスインタフェース 3 タイミング	52-58
52.4.13	シリアルサウンドインタフェースタイミング	52-60
52.4.14	FIFO 付きクロック同期シリアル I/O タイミング	52-62

52.4.15	A/D 変換器タイミング	52-64
52.4.16	NAND フラッシュメモリコントローラタイミング	52-65
52.4.17	USB2.0 ホスト / ファンクションモジュールタイミング	52-69
52.4.18	ビデオディスプレイコントローラ 4 タイミング	52-72
52.4.19	SD ホストインタフェースタイミング	52-74
52.4.20	MMC ホストインタフェースタイミング	52-75
52.4.21	汎用入出力ポートタイミング	52-76
52.4.22	ユーザデバッグインタフェースタイミング	52-77
52.4.23	AC 特性測定条件	52-79
52.5	A/D変換器特性	52-80
52.6	ビデオ信号入力用A/D変換器特性	52-81
53.	端子状態と処理方法	53-1
53.1	端子状態	53-1
53.2	未使用端子の処理	53-12
53.3	ディープスタンバイモード時の端子処理	53-13
53.4	バイパスコンデンサ推奨組み合わせ	53-14
付録	付録-1
A.	外形寸法図	付録-1
索引	索引-1

1. 概要

1.1 SH7268/7269 の特長

本 LSI は、ルネサスオリジナルの RISC (縮小命令セットコンピュータ) 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU には、SH-1、SH-2、SH-2E マイクロコンピュータとオブジェクトコードレベルでの上位互換性を特長とする SH-2A CPU を採用しています。RISC 方式の命令セットを持っており、スーパースカラアーキテクチャやハーバードアーキテクチャを採用しているため、命令実行速度が飛躍的に向上しています。また独立した内部 32 ビットバス構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

本 LSI は、浮動小数点ユニットとキャッシュを内蔵しています。さらに本 LSI はシステム構成に必要な周辺機能として、64KB の高速内蔵 RAM と 2.5MB の大容量 RAM (128KB がデータ保持用 RAM と共用)、データ保持用 RAM、マルチファンクションタイムバルスユニット 2、コンペアマッチタイマ、リアルタイムクロック、FIFO 内蔵シリアルコミュニケーションインタフェース、I²C バスインタフェース 3、シリアルサウンドインタフェース、FIFO 付きクロック同期シリアル I/O^{*2}、コントローラエリアネットワーク^{*2}、IEBus^{TM*1} コントローラ、ルネサス SPDIF インタフェース、ルネサスシリアルペリフェラルインタフェース、ルネサスクワッドシリアルペリフェラルインタフェース、SPI マルチ I/O バスコントローラ、CD-ROM デコーダ、A/D 変換器、NAND フラッシュメモリコントローラ、USB2.0 ホスト / ファンクションモジュール、デジタルビデオデコーダ、ビデオディスプレイコントローラ 4、歪み補正エンジン、ディスプレイアウトコンペアユニット、OpenVG^{TM*3} 用ルネサスグラフィックスプロセッサ、JPEG コーデックユニット、サンプリングレートコンバータ、サウンドジェネレータ、SD ホストインタフェース、MMC ホストインタフェース、モータコントロール PWM タイマ、割り込みコントローラ、汎用入出力ポートなどを内蔵しています。

また、本 LSI では外部メモリアクセスサポート機能により、メモリや周辺 LSI と直接接続を行えます。これらにより、システムコストの大幅な低減が可能です。

本 LSI の特長を表 1.1 に示します。

【注】 *1 IEBus (Inter Equipment Bus) はルネサスエレクトロニクスの商標です。

*2 型名により、搭載品、非搭載品に分かれます。

*3 OpenVG は Khronos Group Inc. の商標です。

表 1.1 SH7268/7269 の特長

項目	特 長
CPU	<ul style="list-style-type: none"> • ルネサス独自の SuperH アーキテクチャ • SH-1、SH-2、SH-2E とオブジェクトコードレベルで互換性あり • 32 ビット内部データバス • 汎用レジスタアーキテクチャ <ul style="list-style-type: none"> 16 本の 32 ビット汎用レジスタ 4 本の 32 ビットコントロールレジスタ 4 本の 32 ビットシステムレジスタ 高速割り込み応答のためのレジスタバンク • RISC タイプ命令セット (SH シリーズと上位互換性) <ul style="list-style-type: none"> 命令長：コードの効率改善のための 16 ビット基本命令と、性能・使い勝手向上のための 32 ビット命令 ロードストアアーキテクチャ 遅延分岐命令 C 言語に基づく命令セット • 浮動小数点ユニットを含む 2 命令同時実行スーパースカラ • 命令実行時間：最大 2 命令 / サイクル • アドレス空間：4G バイト • 乗算器内蔵 • 5 段パイプライン • ハーバードアーキテクチャ
浮動小数点ユニット	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード：近傍および 0 方向への丸め • 非正規化数の扱い：0 への切り捨て • 浮動小数点レジスタ <ul style="list-style-type: none"> 16 本の 32 ビット浮動小数点レジスタ (単精度 × 16 ワードまたは倍精度 × 8 ワード) 2 本の 32 ビット浮動小数点システムレジスタ • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0 / FLDI1 (ロード定数 0 / 1) 命令をサポート • 命令実行時間 <ul style="list-style-type: none"> レイテンシ (FMAC/FADD/FSUB/FMUL)：3 サイクル (単精度)、8 サイクル (倍精度) ピッチ (FMAC/FADD/FSUB/FMUL)：1 サイクル (単精度)、6 サイクル (倍精度) 【注】FMAC は単精度に対してのみサポートしています。 • 5 段パイプライン

項目	特 長
キャッシュメモリ	<ul style="list-style-type: none"> 命令キャッシュ：8K バイト オペランドキャッシュ：8K バイト おのおの 128 エントリ/ウェイ、4 ウェイセットアソシアティブ、16 バイトブロック長 ライトバック、ライトスルー、LRU 置換アルゴリズム ウェイロック機能あり（オペランドキャッシュのみ）：ウェイ 2、ウェイ 3 はロック可能
割り込みコントローラ	<ul style="list-style-type: none"> 17 本の外部割り込み端子（NMI、IRQ7～IRQ0、PINT7～PINT0） 内蔵周辺割り込み：モジュールごとに優先順位を設定 16 レベルの優先順位設定が可能 レジスタバンクにより割り込み処理に伴うレジスタの退避/復帰を高速に行うことが可能
バスステートコントローラ	<ul style="list-style-type: none"> アドレス空間はそれぞれ最大 64MB の 6 つの領域エリア 0～5 をサポート 各エリアには独立に次の機能を設定可能 バスサイズ（8、16、32 ビット）。ただし各エリアごとにサポートサイズは異なります アクセスウェイトサイクル数（リード/ライトで独立ウェイト設定可能なエリアあり） アイドルウェイトサイクル設定（同一エリア/別エリア） エリアごとに接続するメモリを指定することによって SRAM、バイト選択付き SRAM、SDRAM、バースト ROM（クロック同期/クロック非同期）との直結が可能。また、アドレス/データマルチプレクス I/O（MPX）インタフェースをサポート PCMCIA インタフェースをサポート 該当する領域にチップセレクト信号（CS0～CS5）を出力 （CS アサート/ネゲートタイミングをプログラミングで選択可能） SDRAM リフレッシュ機能 オートリフレッシュおよびセルフリフレッシュモードをサポート SDRAM バーストアクセス機能
ダイレクトメモリアクセスコントローラ	<ul style="list-style-type: none"> 16 チャンネル。うち、1 チャンネルが外部リクエスト可能 内蔵周辺モジュールから起動することが可能 バーストモードおよびサイクルスチールモード インタミットモードをサポート（16/64 サイクルサポート） 転送情報を自動的にリロードすることが可能
クロックパルス発振器	<ul style="list-style-type: none"> クロックモード：入力クロックを外部入力（EXTAL）または水晶発振子から選択可能 内蔵 PLL 回路により入力クロックを最大 20 逓倍することが可能 内蔵 SSCG 回路により EMI ノイズピークの低減が可能 4 種類のクロックを生成 CPU クロック（I）：最大 266.67MHz 内部バスクロック（B）：最大 133.33MHz 周辺クロック 1（P1）：最大 66.67MHz 周辺クロック 0（P0）：最大 33.33MHz
ウォッチドッグタイマ	<ul style="list-style-type: none"> 1 チャンネルのウォッチドッグタイマ カウンタのオーバフローにより本 LSI にリセットをかけることが可能

項目	特 長
低消費電力モード	<ul style="list-style-type: none"> • 本 LSI の消費電力を下げるために 4 種類の低消費電力モードをサポート スリープモード ソフトウェアスタンバイモード ディープスタンバイモード モジュールスタンバイモード
マルチファンクション タイマパルスユニット 2	<ul style="list-style-type: none"> • 16 ビットタイマ 5 チャンネルをベースに最大 16 種類のパルス入出力が可能 • 18 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • インプットキャプチャ機能 • パルス出力モード トグル / PWM / 相補 PWM / リセット同期 PWM • 複数カウンタの同期化機能 • 相補 PWM 出力モード 3 相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWM デューティを 0 ~ 100% 任意に設定可能 A/D 変換要求ディレイド機能 山・谷割り込み間引き機能 • リセット同期 PWM モード 任意デューティの正相・逆相 PWM 波形を 3 相出力 • 位相計数モード 2 相エンコーダ計数処理が可能
コンペアマッチタイマ	<ul style="list-style-type: none"> • 2 チャンネル 16 ビットカウンタ • 4 種類のクロック選択可能 (P0 /8、P0 /32、P0 /128、P0 /512) • コンペアマッチ時、DMA 転送要求または割り込み要求の発生を選択可能
リアルタイムクロック	<ul style="list-style-type: none"> • 内蔵クロック、カレンダー機能、アラーム機能 • 1/64 秒の最大分解能 (割り込みサイクル) の内蔵 32.768kHz 水晶発振器回路
FIFO 内蔵シリアル コミュニケーション インタフェース	<ul style="list-style-type: none"> • 8 チャンネル • クロック同期式 / 調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能 (全二重) • 専用のボーレートジェネレータ内蔵 • 送受信 FIFO をそれぞれ 16 バイト内蔵 • モデムコントロール機能 (調歩同期式モード時、SH7268 : チャンネル 1、SH7269 : チャンネル 1、5、7)

項目	特 長
ルネサスシリアル ペリフェラルインタフェース	<ul style="list-style-type: none"> • 2チャンネル • SPI動作 • マスタ/スレーブモードをサポート • プログラマブルなビット長、クロック極性、クロック位相選択可能 • 転送をシーケンシャルに実行可能 • MSBファースト/LSBファーストの選択可能 • 最大転送レート：33.33Mbps
ルネサスクワッドシリアル ペリフェラルインタフェース	<ul style="list-style-type: none"> • 2チャンネル • マルチ I/O (Single / Dual / Quad) 対応のシリアルフラッシュメモリと接続可能 • プログラマブルなビット長、クロック極性、クロック位相選択可能 • 転送をシーケンシャルに実行可能 • MSBファースト/LSBファーストの選択可能 • 最大転送レート：266.67Mbps
SPI マルチ I/O バスコントローラ	<ul style="list-style-type: none"> • マルチ I/O (Single / Dual / Quad) 対応のシリアルフラッシュメモリと2個まで接続可能 • 外部アドレス空間リードモード (リードキャッシュ内蔵) • SPI動作モード • クロック極性、クロック位相選択可能 • 最大転送レート：533.33Mbps (シリアルフラッシュメモリ 2個接続時)
I ² C バスインタフェース 3	<ul style="list-style-type: none"> • SH7268：2チャンネル、SH7269：4チャンネル • マスタモード/スレーブモード内蔵
シリアルサウンド インタフェース	<ul style="list-style-type: none"> • SH7268：4チャンネル、SH7269：6チャンネルの双方向シリアル転送 • 二重通信可能 (チャンネル0) • 多様なシリアルオーディオフォーマットをサポート • マスタ/スレーブ機能をサポート • プログラマブルワードクロック、ビットクロック生成機能 • マルチチャンネルフォーマット機能 • 8/16/18/20/22/24/32ビットデータフォーマットをサポート • 送受信 8段 FIFO の内蔵 • TDM モードをサポート • SSIWS 信号を停止せず動作する WS コンディニューモードをサポート
FIFO 付きクロック 同期シリアル I/O 【注】SH7268 は非搭載	<ul style="list-style-type: none"> • 送受信 FIFO をそれぞれ 32ビット×16段内蔵 • 8ビットモノラル、16ビットモノラル、16ビットステレオ音声入出力に対応 • リニア/オーディオ/A-Law、μ-Law CODEC チップに接続可能 • マスタ/スレーブ機能をサポート

項目	特 長
コントローラエリア ネットワーク 【注】型名により搭載品、非搭載品に分かれます	<ul style="list-style-type: none"> • 3 チャンネル • TTCAN レベル 1 はすべてのチャンネルでサポート • Bosch 2.0B active 対応 • バッファサイズ：送受信×31、受信のみ×1 • 32 チャンネル入力のバッファを増やすために複数のコントローラエリアネットワークチャンネルを 1 つのバスに割り当て可能 • 送信または受信に設定可能な 31 個のメールボックス
IEBus™ コントローラ	<ul style="list-style-type: none"> • IEBus のプロトコル制御 (レイア 2) に対応 半二重非同期通信 マルチマスタ方式 同報通信機能 伝送速度の異なる 3 種類のモードが選択可能 • モード 2 の最大伝送バイト数である 128 バイトまで連続送受信が可能なデータ送受信用バッファ (デュアルポート RAM) 内蔵 動作周波数： <ul style="list-style-type: none"> 12MHz、12.58MHz のクロックを 1/2 に分周して使用 18MHz、18.87MHz のクロックを 1/3 に分周して使用 24MHz、25.16MHz のクロックを 1/4 に分周して使用 30MHz、31.45MHz のクロックを 1/5 に分周して使用 36MHz、37.74MHz のクロックを 1/6 に分周して使用 42MHz、44.03MHz のクロックを 1/7 に分周して使用 48MHz のクロックを 1/8 に分周して使用
ルネサス SPDIF インタフェース	<ul style="list-style-type: none"> • IEC60958 規格に適合 (ステレオ、民生用モードのみ) • サンプリング周波数：32kHz、44.1kHz、48kHz • オーディオワードサイズ：16~24 ビット / サンプル • バイフェイズマーク方式エンコード • データのダブルバッファ • パリティ付きシリアルデータ • 同時送受信可能 • 受信モジュールは IEC61937 圧縮モードデータを自動検出可能

項目	特 長
CD-ROM デコーダ	<ul style="list-style-type: none"> • Mode0、Mode1、Mode2、Mode2 Form1、Mode2 Form2 の 5 種類のフォーマットをサポート • 同期コードの検出・保護 (保護：検出できなかったときに自動挿入) • デスクランブル • ECC 訂正 P、Q、PQ、QP 訂正 PQ、QP 訂正は、最大 3 回まで繰り返し訂正が可能 • EDC チェック ECC 前後にチェック • Mode、Form の自動検出 • リンクセクタの自動検出 • バッファリングデータ制御 同期コード以降の CD-ROM データに対して、デスクランブル、ECC 訂正、EDC チェック後のデータを特定フォーマットで転送
NAND フラッシュメモリコントローラ	<ul style="list-style-type: none"> • NAND 型フラッシュメモリとの直結メモリインタフェース • セクタ単位の読み出し / 書き込み • コマンドアクセスモードとセクタアクセスモード (512 バイトデータ + 16 バイト管理コード) の 2 種類の転送モード • 割り込み要求、ダイレクトメモリアクセスコントローラ転送要求あり • 5 バイトアドレス (2G ビット超) のフラッシュメモリに対応
USB2.0 ホスト / ファンクションモジュール	<ul style="list-style-type: none"> • USB2.0 ホストファンクションモジュールバージョン 2.0 準拠 • 480Mbps、12Mbps、および 1.5Mbps の転送レートに対応 (ホストモード) • 480Mbps および 12Mbps の転送レートに対応 (ファンクションモード) • 通信バッファとして 8K バイトの RAM を内蔵

項目	特 長
デジタルビデオデコーダ	<ul style="list-style-type: none"> • 映像入力 複合映像入力 (CVBS) • 映像信号入力用 A/D 変換器 VIN1、VIN2 端子の入力選択 シンクチップクランプ内蔵 Programmable Gain Amp (PGA) 内蔵 (1.835dB ~ 8.023dB) 10 ビット精度バイプライン方式 A/D 変換器内蔵 • 同期分離 ノイズ除去 LPF、自動レベル制御同期スライサ、水平 Auto Frequency Control (AFC)、 垂直カウントダウン、インタレース判定、Auto Gain Control (AGC) / ピークリミッタ制御 • Y/C 分離 NTSC 2D、PAL 2D、SECAM 1D 対応 • クロマデコード NTSC、PAL、SECAM 対応 カラーキラー、Auto Color Control (ACC) 制御、TINT 補正、R-Y 軸補正 • デジタルクランプ ベDESTALクランプ (Y)、センタークランプ (Cb/Cr)、ノイズ検出 • 出力ゲイン調整 コントラスト調整 : 0 ~ 約 2 倍 カラー調整 (Cb/Cr 独立) : 0 ~ 約 2 倍
ビデオディスプレイ コントローラ 4	<ul style="list-style-type: none"> • 映像入力インタフェース : 下記から 1 チャンネル選択 BT601、BT656 フォーマット (NTSC / PAL) 入力 : 入力クロック 27MHz / 54MHz デジタル端子入力 : YCbCr444、RGB888、RGB666、RGB565 デジタル端子入力サイズ : 設定可能な入力映像サイズ* 水平 1024 画素、垂直 1024 ライン 【注】* 接続するデバイスとの AC 特性に依存します。 入力映像サイズ例 SVGA (800 × 600)、WVGA (800 × 480)、VGA (640 × 480)、WQVGA (480 × 240)、 QVGA (320 × 240、240 × 320) デジタルビデオデコーダでデコードされたコンポジットビデオ (CVBS) 信号の入力 • 入力映像制御 水平ノイズリダクション (NR)、マトリクス演算によるブライト、ゲイン調整

項目	特 長
ビデオディスプレイ コントローラ 4	<ul style="list-style-type: none"> ● スケーリング制御 <p>入力映像に対し、垂直・水平方向に任意倍率にて拡大・縮小処理可能 (拡大はグラフィックスも可能)</p> <p>拡大率: 1~8 倍、縮小率: 1/8~1 倍</p> <p>補間方法: ホールド補間、リニア補間から選択可能</p> <p>2D IP 変換: TOP / BOTTOM フィールド毎の初期位相指定により 2D IP 変換可能</p> ● 映像録画 <p>出力ピクセルフォーマット: YCbCr422、RGB888、RGB565</p> <p>出力フィールドレート: 1/1、1/2、1/4、1/8 フィールド</p> <p>回転機能: YCbCr422、RGB565 のとき、水平鏡像、90 / 180 / 270 度回転可能 (ただし歪み補正エンジンと排他制御)</p> <p>保存可能な最大映像サイズ: 入力映像の等倍</p> ● 出力映像制御 <p>黒伸張機能: Y 信号の状態に応じて黒領域を伸長</p> <p>エンハンサ機能: Y 信号に対し、LTI (トランジェント改善)、シャープネス (輪郭強調)</p> ● グラフィックスレイヤ 3 面 (内 1 面を入力映像と共用) <p>対応入力ピクセルフォーマット</p> <p>1bit/pixel: CLUT1、4bit/pixel: CLUT4、8bit/pixel: CLUT8</p> <p>16bit/pixel: YCbCr422、RGB565、ARGB1555、ARGB4444</p> <p>32bit/pixel: ARGB8888、RGB888</p> ● 重畳機能 <p>矩形領域アルファブレンド機能: 設定した領域にて入力映像、レイヤ 1、レイヤ 2 を透過率に基づき Mixing (フェードイン、フェードアウト機能あり)</p> <p>クロマキー機能: 設定した RGB、CULT 値にて、透過率に基づき Mixing</p> <p>画素単位アルファ機能: 透過率に基づき画素単位で Mixing</p> ● パネル出力制御 <p>パネル出力補正機能: ブライト、コントラスト調整、ガンマ補正、パネルディザ処理</p> <p>TCON: 垂直・垂直パネルドライバ信号 7 本により、LCD パネル駆動用の各種タイミング出力可能</p> <p>パネル出力ピクセルフォーマット: RGB888、RGB666、RGB565、シリアル RGB</p> <p>出力映像サイズ:</p> <p>設定可能な出力映像サイズ* 水平 1999 画素、垂直 2035 ライン</p> <p>【注】* 接続するパネルとの AC 特性に依存します。</p> <p>出力映像サイズ例</p> <p>SVGA (800 × 600)、WVGA (800 × 480)、VGA (640 × 480)、WQVGA (480 × 240)、QVGA (320 × 240、240 × 320)</p> ● フレームバッファ <p>大容量内蔵 RAM および外部 SDRAM を使用可能。</p> <p>【注】 但し、外部 SDRAM を使用した場合、バス帯域が足りなくなり表示ができなくなる可能性がありますので、フレームバッファは、内蔵の大容量 RAM に配置する事を推奨いたします。</p>

項目	特 長
歪み補正エンジン	<ul style="list-style-type: none"> ビデオ取り込みデータを2次元テクスチャデータとして参照し、3角形オブジェクトに分割された任意の形状に対してテクスチャマッピングを行い、描画することが可能 ディスプレイリスト方式 描画機能 テクスチャマッピング、バイリニアフィルタ、自動座標生成機能(+相対座標入力機能) 命令体系 描画命令: 3角形を描画する命令 TRI 制御命令: TRAP、INT、NOP、SYNCR、SYNCRW、WTL、WTS 描画空間 デスティネーション座標: 0 X 1023、0 Y 1023 ソース座標: 0 u 1023、0 v 1023
ディスプレイアウト コンパユニット	<ul style="list-style-type: none"> 任意のグラフィックスプレーンのCRCコードを算出し、用意したCRCコードと比較 ビデオディスプレイコントローラ4のグラフィックスレイヤ3面、ブレンド後のデータの1面から選択任意のグラフィックスプレーンで、矩形領域指定可能 ピクセルフォーマット 32bit / pixel : ARGB8888 / RGB888 / RGB666、16bit / pixel : RGB565
OpenVG™用 ルネサスグラフィックス プロセッサ	<ul style="list-style-type: none"> オープンな2DベクターグラフィックスAPIであるOpenVG™に対応 OpenVG™のStage2~Stage8までの各処理を、専用ハードウェアとプログラマブル・シェーダーでアクセラレート可能 【注】 OpenVG™用グラフィックスプロセッサとJPEGコーデックユニットを同時使用する場合、同時にバスアクセスが発生しないように、ソフトウェアにてバスアクセスの排他制御を行う必要があります。同時にバスアクセスが発生した場合の動作保証はできません。
JPEGコーデックユニット	<ul style="list-style-type: none"> JPEGベースラインに準拠*した圧縮伸長方式 *: 記載の範囲内で準拠 演算精度: JPEG Part2、ISO-IEC10918-2 準拠 ピクセルフォーマット 圧縮: YCbCr422 伸長: YCbCr444、YCbCr422、YCbCr411、YCbCr420 ただし、出力ピクセルフォーマットはYCbCr422、ARGB8888、RGB565のみ 量子化テーブル: 4テーブル内蔵 ハフマンテーブル: 4テーブル内蔵 (AC係数2テーブル、DC係数2テーブル) 対象マーカ: SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、EOI 画像データレート: 133.33MB/s (66.67MHz動作時)
サンプリングレート コンバータ	<ul style="list-style-type: none"> 3チャンネル データ形式: ステレオ32ビット(L/R各16ビット)、モノラル16ビット 入力サンプリングレート: 8 / 11.025 / 12 / 16 / 22.05 / 24 / 32 / 44.1 / 48kHz 出力サンプリングレート: 32 / 44.1 / 48kHz、8kHz / 16kHz (入力サンプリングレート44.1kHzの場合)

項目	特 長
サウンドジェネレータ	<ul style="list-style-type: none"> 8 ビット PWM 出力による音量調整可能 4 種類の動作クロック選択可能(P0 /2、P0 /4、P0 /8、P0 /16) 出力精度 1%以下で 31Hz~20kHz の範囲で周波数設定可能 自動減衰機能サポート
SD ホストインタフェース	<ul style="list-style-type: none"> 2 チャンネル SD メモリ / IO カードインタフェース (1 ビット / 4 ビット SD バス) エラーチェック機能 : CRC7 (コマンド)、CRC16 (データ) 割り込み要求 : カードアクセス割り込み、SDIO アクセス割り込み、カード検出割り込み DMA 転送要求 : SD_BUF ライト、SD_BUF リード カード検出機能、ライトプロテクトサポート
MMC ホストインタフェース	<ul style="list-style-type: none"> Multi Media Card (MMC) とのインタフェース データバス : 1 ビット / 4 ビット / 8 ビット MMC モードに対応 割り込み要求 : カード検出割り込み、エラー / タイムアウト割り込み、通常動作割り込み DMA 転送要求 : CE_DATA ライト、CE_DATA リード カード検出機能サポート
汎用入出力ポート	<ul style="list-style-type: none"> SH7268 : 入出力 101 本、オープンドレイン出力付き入力 4 本、入力 6 本 SH7269 : 入出力 133 本、オープンドレイン出力付き入力 8 本、入力 8 本 入出力ポートはビットごとに入出力切り替え可能
A/D 変換器	<ul style="list-style-type: none"> 分解能 : 10 ビット 入力 : SH7268 : 6 チャンネル、SH7269 : 8 チャンネル 外部トリガ / タイマトリガによる A/D 変換の起動が可能
モータコントロール PWM タイマ	<ul style="list-style-type: none"> 8 本の出力を持つ 10 ビット PWM を 2 チャンネル内蔵
ユーザブレイクコントローラ	<ul style="list-style-type: none"> ブレイクチャンネル x2 チャンネル アドレス、データ値、アクセス形式、およびデータサイズをブレイク条件として設定可能
ユーザデバッグインタフェース	<ul style="list-style-type: none"> E10A エミュレータのサポート JTAG 標準端子配置
内蔵 RAM	<ul style="list-style-type: none"> 高速アクセス用に 64K バイトのメモリを内蔵 (16KB x 4 面) 映像表示 / 録画、ワーク領域用に 2.5MB の大容量メモリを内蔵 (内 128KB をデータ保持用と共有) データ保持用に 128K バイトのメモリを内蔵 (16KB x 2 面、32KB x 1 面、64KB x 1 面)
ブートモード	<ul style="list-style-type: none"> SH7268 / SH7269 : 6 つのブートモード (ブートモード 0~5) ブートモード 0 : CS0 空間に接続されたメモリ (バス幅 16 ビット) からブート ブートモード 1 : CS0 空間に接続されたメモリ (バス幅 32 ビット) からブート ブートモード 2 : NAND フラッシュメモリからブート ブートモード 3 : シリアルフラッシュメモリからブート ブートモード 4 : SD コントローラ内蔵 NAND フラッシュメモリからブート ブートモード 5 : MMC コントローラ内蔵 NAND フラッシュメモリからブート
電源電圧	<ul style="list-style-type: none"> Vcc : 1.15 ~ 1.35V、PVcc : 3.0 ~ 3.6V

項目	特 長
パッケージ	<ul style="list-style-type: none">● SH7268 208 ピン QFP、28mm 角、0.5mm ピッチ JEITA Package Code : P-LQFP208-28 x 28-0.50 RENESAS Code : PLQP0208KB-A● SH7269 (QFP) 256 ピン QFP、28mm 角、0.4mm ピッチ JEITA Package Code : P-LQFP256-28 x 28-0.40 RENESAS Code : PLQP0256LB-A● SH7269 (BGA) 272 ピン BGA (16 サーマルボール)、17mm 角、0.80mm ピッチ JEITA Package Code : P-LFBGA272-17 x 17-0.80 RENESAS Code : PRBG0272GA-A

1.2 製品一覧

表 1.2 製品一覧

製品分類	カタログ型名	ビデオディスプレイコントローラ 4 機能改善	コントローラ エリア ネットワーク	温度範囲	パッケージ	新規採用時	代替製品		
SH7268 グループ	R5S72680W266FP	なし	搭載	標準温度範囲 (- 20 ~ + 85)	208 ピン QFP	推奨	-		
	R5S72681W266FP		搭載			非推奨	R5S72680W266FP		
	R5S72680P266FP		非搭載	広温度範囲 (- 40 ~ + 85)	非推奨	R5S72681P266FP			
	R5S72681P266FP		搭載		推奨	-			
	R5S72680RW266FP	あり ^{*1}	搭載	標準温度範囲 (- 20 ~ + 85)	208 ピン QFP	推奨	-		
	R5S72681RP266FP			広温度範囲 (- 40 ~ + 85)		推奨	-		
SH7269 グループ	R5S72690W266FP	なし	搭載	標準温度範囲 (- 20 ~ + 85)	256 ピン QFP	推奨	-		
	R5S72691W266FP		搭載			非推奨	R5S72690W266FP		
	R5S72690P266FP		非搭載	広温度範囲 (- 40 ~ + 85)		非推奨	R5S72691P266FP		
	R5S72691P266FP		搭載			推奨	-		
	R5S72690W266BG	なし	搭載	標準温度範囲 (- 20 ~ + 85)	272 ピン BGA	推奨	-		
	R5S72691W266BG		搭載			非推奨	R5S72690W266BG		
	R5S72690P266BG		非搭載	広温度範囲 (- 40 ~ + 85)		非推奨	R5S72691P266BG		
	R5S72691P266BG		搭載			推奨	-		
	R5S72690RW266FP		あり ^{*1}	搭載		標準温度範囲 (- 20 ~ + 85)	256 ピン QFP	推奨	-
	R5S72691RP266FP					広温度範囲 (- 40 ~ + 85)		推奨	-
	R5S72690RW266BG	標準温度範囲 (- 20 ~ + 85)			272 ピン BGA	推奨	-		
	R5S72691RP266BG	広温度範囲 (- 40 ~ + 85)				推奨	-		

【注】 *1 本マニュアルでは、「R 版」と呼称します。

1.3 ブロック図

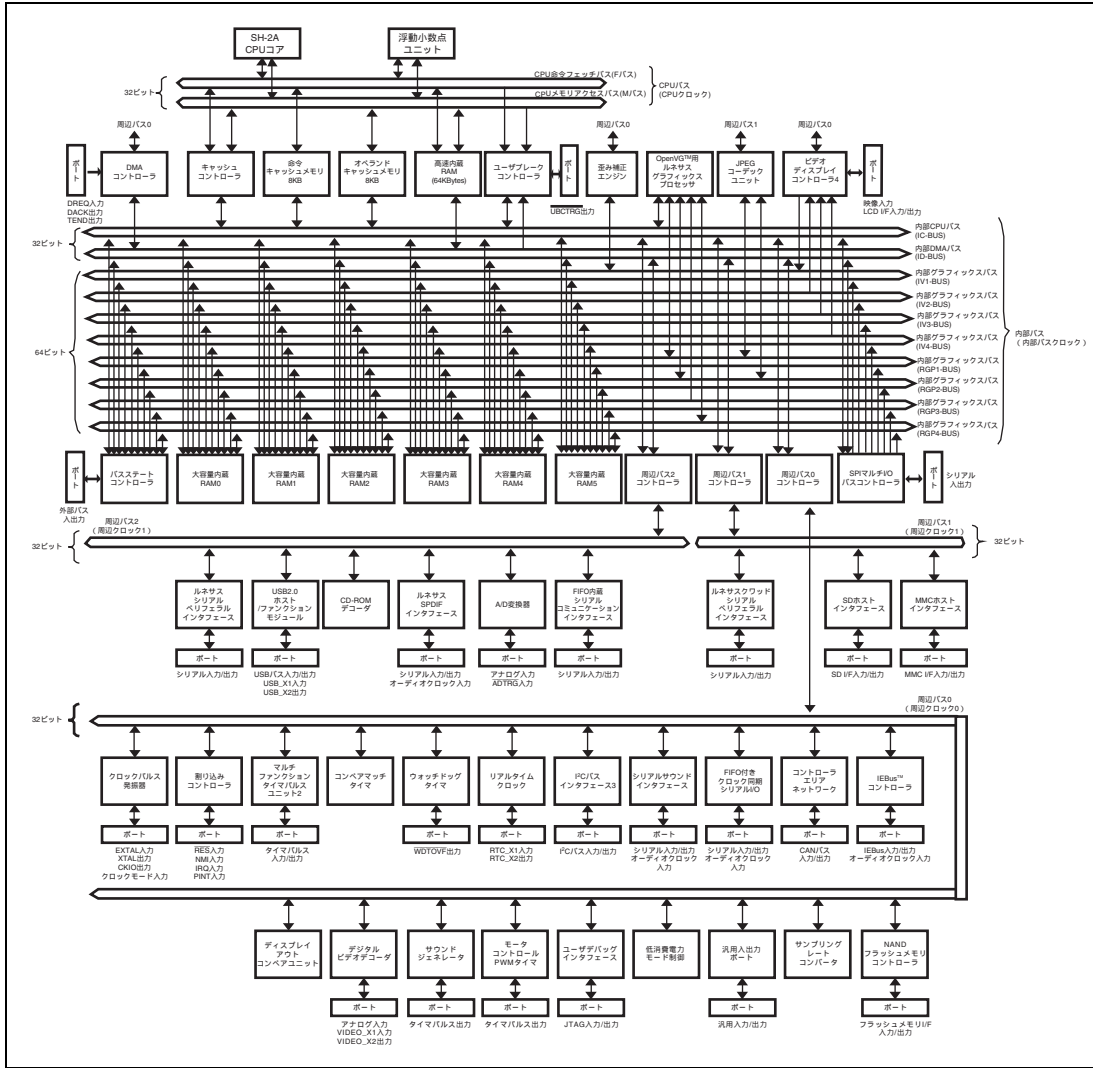


図 1.1 ブロック図

1.4 ピン配置図

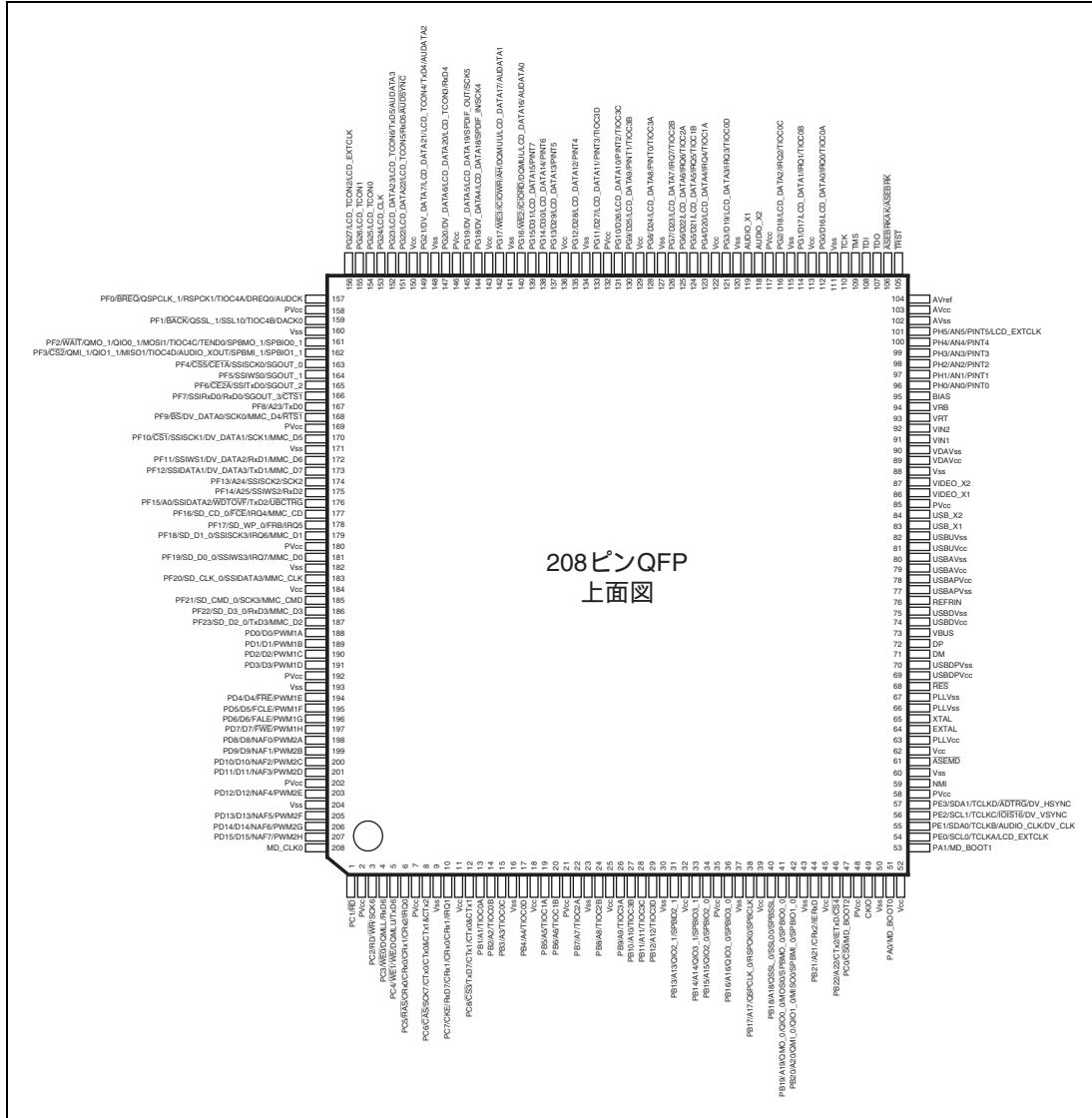


図 1.2 (1) SH7268 ピン配置図

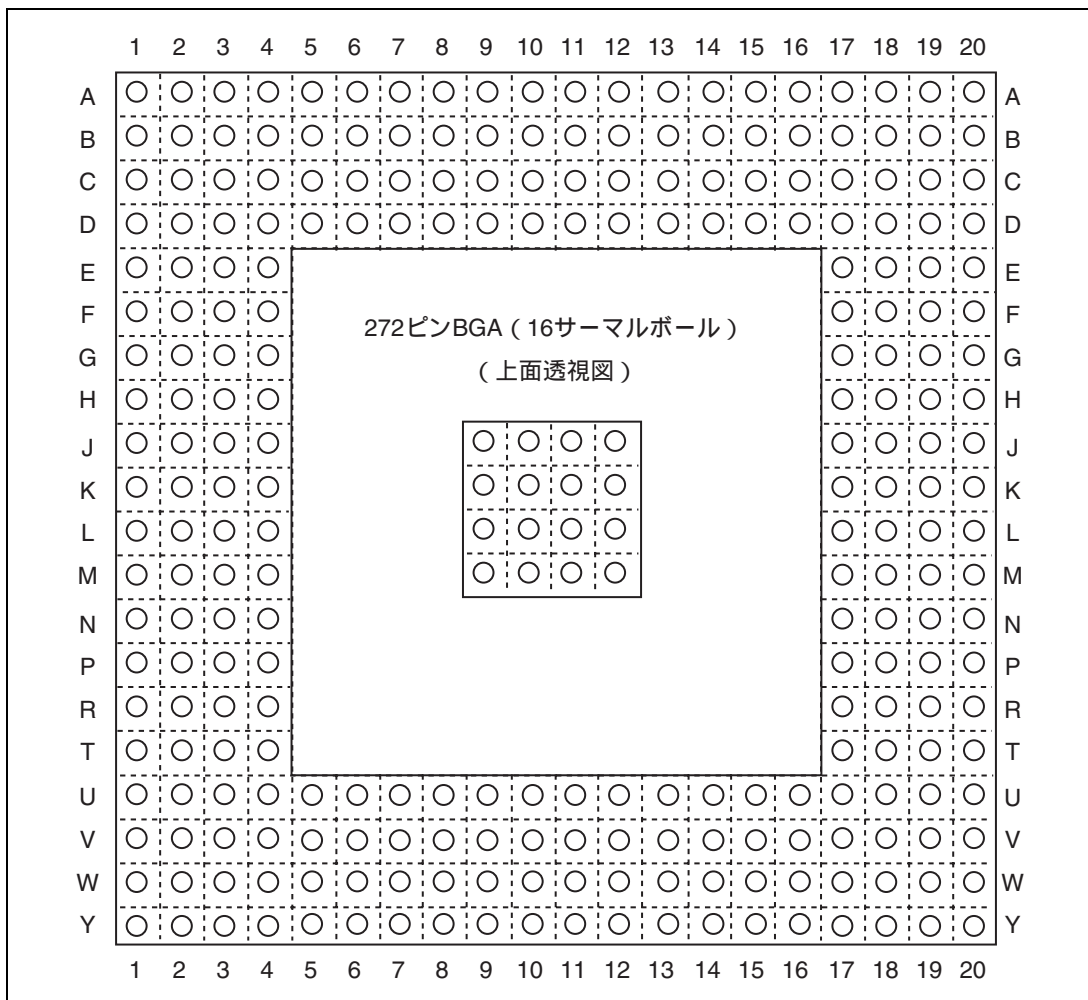


図 1.2 (3) SH7269 (BGA 版) ピン配置図

1.5 端子機能

表 1.3 端子機能

分類	端子名	入出力	名称	機能
電源	Vcc	入力	電源	電源端子です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グラウンド	グラウンド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	PVcc	入力	入出力回路用電源	入出力端子用の電源端子です。すべての PVcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	PLL Vcc	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。
	PLL Vss 【注】 SH7269 (BGA) には存在しません。	入力	PLL 用グラウンド	内蔵 PLL 発振器用のグラウンド端子です。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CKIO	出力	システムクロック出力	外部デバイスにシステムクロックを供給します。
	AUDIO_CLK	入力	オーディオ用外部クロック	オーディオ用外部クロックを入力します。AUDIO_X1、AUDIO_X2 の発振クロックと選択して分周器に入力します。
	AUDIO_X1	入力	オーディオ用水晶発振子 / 外部クロック	オーディオ用水晶発振子を接続します。
	AUDIO_X2	出力		また、AUDIO_X1 端子は外部クロックを入力することもできます。AUDIO_CLK 入力クロックと選択して分周器に入力します。
	AUDIO_XOUT	出力	AUDIO_X1 クロック出力	AUDIO_X1 端子の内蔵水晶発振器の出力または外部クロック入力を出力します。
動作モードコントロール	MD_BOOT2、MD_BOOT1、MD_BOOT0	入力	モード設定	動作モードを設定します。RES 端子アサート中およびネゲート後モードが確定するまでは、変化させないでください。
	MD_CLK0	入力	クロックモード設定	SSCG 回路動作の ON、OFF を設定します。
	ASEMD	入力	ASE モード	RES 端子アサート期間中にローレベルを入力すると ASE モードになり、ハイレベルを入力すると製品チップモードになります。ASE モードでは、E10A-USB エミュレータ機能が有効になります。エミュレータ機能を使用しない場合は、ハイレベルに固定してください。

分類	端子名	入出力	名称	機能
システム制御	RES	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	WDTOVF	出力	ウォッチドッグタイマオーバフロー	ウォッチドッグタイマからのオーバフロー出力信号です。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	出力	バス権要求アクノリッジ	バス権を外部デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。
割り込み	NMI	入力	ノンマスクابل割り込み	ノンマスクابل割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ7 ~ IRQ0	入力	割り込み要求 7~0	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
	PINT7 ~ PINT0	入力	割り込み要求 7~0	マスク可能な割り込み要求端子です。レベル入力のみを選択です。
アドレスバス	A25 ~ A0	出力	アドレスバス	アドレスを出力します。
データバス	D31 ~ D0	入出力	データバス	双方向のデータバスです。
バス制御	CS5 ~ CS0	出力	チップセレクト 5~0	外部メモリまたはデバイスのためのチップセレクト信号です。
	RD	出力	読み出し	外部のデバイスから読み出すことを示します。
	RD/WR	出力	リード/ライト	リード信号またはライト信号です。
	BS	出力	バス開始	バスサイクル開始信号です。
	AH	出力	アドレスホールド	マルチプレクス I/O 時のアドレスをホールドするための信号です。
	WAIT	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	WE0	出力	バイト指定	外部メモリまたはデバイスのデータのビット 7~0 に書き込みすることを示します。
	WE1	出力	バイト指定	外部メモリまたはデバイスのデータのビット 15~8 に書き込みすることを示します。
	WE2	出力	バイト指定	外部メモリまたはデバイスのデータのビット 23~16 に書き込みすることを示します。
WE3	出力	バイト指定	外部メモリまたはデバイスのデータのビット 31~24 に書き込みすることを示します。	

分類	端子名	入出力	名称	機能
バス制御	DQMLL	出力	バイト指定	SDRAM 接続時、D7～D0 を選択します。
	DQMLU	出力	バイト指定	SDRAM 接続時、D15～D8 を選択します。
	DQMUL	出力	バイト指定	SDRAM 接続時、D23～D16 を選択します。
	DQMUU	出力	バイト指定	SDRAM 接続時、D31～D24 を選択します。
	$\overline{\text{RAS}}$	出力	RAS	SDRAM 接続時に $\overline{\text{RAS}}$ 端子に接続します。
	$\overline{\text{CAS}}$	出力	CAS	SDRAM 接続時に $\overline{\text{CAS}}$ 端子に接続します。
	CKE	出力	CK イネーブル	SDRAM 接続時に CKE 端子に接続します。
	$\overline{\text{CE1A}}$	出力	PCMCIA カードセレクト下位側	PCMCIA カードセレクト信号 D7～D0 に接続します。
	$\overline{\text{CE2A}}$	出力	PCMCIA カードセレクト上位側	PCMCIA カードセレクト信号 D15～D8 に接続します。
	$\overline{\text{CIOWR}}$	出力	PCMCIA ライトストロープ	PCMCIA I/O ライトストロープを接続します。
	$\overline{\text{CIORD}}$	出力	PCMCIA リードストロープ	PCMCIA I/O リードストロープを接続します。
	$\overline{\text{WE}}$	出力	PCMCIA メモリライトストロープ	PCMCIA メモリライトストロープを接続します。
ダイレクトメモリアクセスコントローラ	DREQ0	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0	出力	DMA 転送要求受け付け	外部からの DMA 転送要求に対する、要求受け付け出力端子です。
	TEND0	出力	DMA 転送終了出力	DMA 転送終了出力信号です。

分類	端子名	入出力	名称	機能
マルチ ファンクション タイマパルス ユニット 2	TCLKA, TCLKB, TCLKC, TCLKD	入力	タイマクロック 入力	タイマの外部クロック入力端子です。
	TIOC0A, TIOC0B, TIOC0C, TIOC0D	入出力	インプットキャ プチャ/ アウトプット コンペア (チャンネル 0)	TGRA_0 - TGRD_0 のインプットキャプチャ入 力 / アウトプットコンペア出力 / PWM 出力端子 です。
	TIOC1A, TIOC1B	入出力	インプットキャ プチャ/ アウトプット コンペア (チャンネル 1)	TGRA_1, TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子で す。
	TIOC2A, TIOC2B	入出力	インプットキャ プチャ/ アウトプット コンペア (チャンネル 2)	TGRA_2, TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子で す。
	TIOC3A, TIOC3B, TIOC3C, TIOC3D	入出力	インプットキャ プチャ/ アウトプット コンペア (チャンネル 3)	TGRA_3 - TGRD_3 のインプットキャプチャ入 力 / アウトプットコンペア出力 / PWM 出力端子 です。
	TIOC4A, TIOC4B, TIOC4C, TIOC4D	入出力	インプットキャ プチャ/ アウトプット コンペア (チャンネル 4)	TGRA_4 - TGRD_4 のインプットキャプチャ入 力 / アウトプットコンペア出力 / PWM 出力端子 です。
リアルタイム クロック	RTC_X1	入力	リアルタイム クロック用 水晶発振子 / 外部クロック	32.768kHz の水晶発振子を接続します。 また、RTC_X1 端子は外部クロックを入力するこ ともできます。 SH7268 では RTC_X1、RTC_X2 端子はありませ ん。
	RTC_X2	出力		
FIFO 内蔵シリアル コミュニケーション インタフェース	TxD7 ~ TxD0	出力	送信データ	データ出力端子です。
	RxD7 ~ RxD0	入力	受信データ	データ入力端子です。
	SCK7 ~ SCK0	入出力	シリアルクロ ック	クロック入出力端子です。
	RTS7, RTS5, RTS1	出力	送信要求	モデムコントロール端子です。SH7268 では RTS1 のみとなります。
	CTS7, CTS5, CTS1	入力	送信可	モデムコントロール端子です。SH7268 では CTS1 のみとなります。

分類	端子名	入出力	名称	機能
ルネサスシリアル ペリフェラル インタフェース	MOSI1、MOSI0	入出力	データ	データ入出力端子です。
	MISO1、MISO0	入出力	データ	データ入出力端子です。
	RSPCK1、RSPCK0	入出力	クロック	クロック入出力端子です。
	SSL00、SSL10	入出力	スレーブセレクト	スレーブセレクト入出力端子です。
ルネサスクワッド シリアルペリフェ ラルインタフェー ス	QMO_0/QIO0_0、 QMO_1/QIO0_1	入出力	データ	データ入出力端子です。
	QMI_0/QIO1_0、 QMI_1/QIO1_1	入出力	データ	データ入出力端子です。
	QIO2_0、QIO2_1	入出力	データ	データ入出力端子です。
	QIO3_0、QIO3_1	入出力	データ	データ入出力端子です。
	QSPCLK_0、QSPCLK_1	出力	クロック	クロック出力端子です。
	QSSL_0、QSSL_1	出力	スレーブセレクト	スレーブセレクト出力端子です。
SPI マルチ I/O バス コントローラ	SPBCLK	出力	クロック	クロック出力端子です。
	SPBSSL	出力	スレーブセレクト	スレーブセレクト出力端子です。
	SPBMO_0/SPBIO0_0、 SPBML_0/SPBIO1_0、 SPBIO2_0、SPBIO3_0	入出力	データ	データ入出力端子です。
	SPBMO_1/SPBIO0_1、 SPBML_1/SPBIO1_1、 SPBIO2_1、SPBIO3_1	入出力	データ	データ入出力端子です。
I ² C バスインタフ ェース 3	SCL3 ~ SCL0	入出力	シリアルクロック端子	シリアルクロック入出力端子です。SH7268 では、SCL1、SCL0 のみとなります。
	SDA3 ~ SDA0	入出力	シリアルデータ端子	シリアルデータ入出力端子です。SH7268 では、SDA1、SDA0 のみとなります。
シリアル サウンド インタフェース	SSITxD0	出力	データ出力	シリアルデータ出力端子です。
	SSIRxD0	入力	データ入力	シリアルデータ入力端子です。
	SSIDATA5 ~ SSIDATA1	入出力	データ入出力	シリアルデータ入出力端子です。SH7268 では、SSIDATA3 ~ SSIDATA1 のみとなります。
	SSISCK5 ~ SSISCK0	入出力	クロック入出力	シリアルクロック入出力端子です。SH7268 では、SSISCK3 ~ SSISCK0 のみとなります。
	SSIWS5 ~ SSIWS0	入出力	クロック LR 入出力	ワード選択入出力端子です。SH7268 では、SSIWS3 ~ SSIWS0 のみとなります。

分類	端子名	入出力	名称	機能
FIFO付きクロック 周期シリアル I/O	SIOFTxD	出力	出力データ	データ出力端子です。
	SIOFRxD	入力	入力データ	データ受信端子です。
	SIOFSCK	入出力	入出力クロック	クロック入出力端子です。
	SIOFSYNC	入出力	入出力チップ セレクト	チップセレクト入出力端子です。
コントローラ エリアネットワー ク	CTx2 ~ CTx0	出力	CAN バス 送信データ	CAN バスの送信用端子です。
	CRx2 ~ CRx0	入力	CAN バス 受信データ	CAN バスの受信用端子です。
IEBus™ コントローラ	IETxD	出力	IEBus™ コント ローラ送信デ ータ	IEBus™ コントローラの送信データ出力端子で す。
	IERxD	入力	IEBus™ コント ローラ受信デ ータ	IEBus™ コントローラの受信データ入力端子で す。
ルネサス SPDIF インタフェース	SPDIF_OUT	出力	出力データ	送信データ出力端子です。
	SPDIF_IN	入力	入力データ	受信データ入力端子です。
NAND フラッシュ メモリコントロー ラ	FALE	出力	フラッシュメ モリアドレス ラッチイネー ブル	アドレス出力時にアサートします。データ入出力 時にネゲートします。
	FRE	出力	フラッシュメ モリリードイ ネーブル	立ち下がりエッジでデータリードします。
	FCE	出力	フラッシュメ モリチップイ ネーブル	本 LSI に接続されたフラッシュメモリをイネー ブルにします。
	FCLE	出力	フラッシュメ モリコマンド ラッチイネー ブル	コマンド出力時にアサートします。
	FRB	入力	フラッシュメ モリレディ/ ビジー	ハイレベルでレディ状態、ローレベルでビジー状 態を示します。
	FWE	出力	フラッシュメ モリライトイ ネーブル	立ち下がりエッジでフラッシュメモリがコマ ンド、アドレス、およびデータをラッチします。
	NAF7 ~ NAF0	入出力	フラッシュメ モリデータ	データ入出力端子です。

分類	端子名	入出力	名称	機能
USB2.0 ホスト / ファンクションモ ジュール	DP	入出力	USB2.0 ホスト / ファンクションモジュール D+データ	USB2.0 ホスト / ファンクションモジュールバスの D+データです。
	DM	入出力	USB2.0 ホスト / ファンクションモジュール D-データ	USB2.0 ホスト / ファンクションモジュールバスの D-データです。
	VBUS	入力	VBUS 入力	USB2.0 ホスト / ファンクションモジュールバスの Vbus に接続してください。
	REFRIN	入力	リファレンス入力	5.6kΩ±1%抵抗を介して USBAPVss に接続してください (SH7268 / SH7269(QFP))。 5.6 kΩ±1%抵抗を介して Vss に接続してください (SH7269(BGA))。
	USB_X1	入力	USB2.0 ホスト / ファンクションモジュール用水晶発振子 / 外部クロック	USB2.0 ホスト / ファンクションモジュール用水晶発振子を接続します。また USB_X1 端子は外部クロックを入力することもできます。
	USB_X2	出力		
	USBAPVcc	入力	トランシーバ部アナログ端子電源	端子用電源です。
	USBAPVss 【注】 SH7269 (BGA) には存在しません。	入力	トランシーバ部アナログ端子グランド	端子用グランドです。
	USBDPVcc 【注】 SH7269 (BGA) には存在しません。	入力	トランシーバ部デジタル端子電源	端子用電源です。
	USBDPVss 【注】 SH7269 (BGA) には存在しません。	入力	トランシーバ部デジタル端子グランド	端子用グランドです。
	USBAVcc	入力	トランシーバ部アナログコア電源	コア用電源です。
	USBAVss 【注】 SH7269 (BGA) には存在しません。	入力	トランシーバ部アナログコアグランド	コア用グランドです。
	USBDVcc 【注】 SH7269 (BGA) には存在しません。	入力	トランシーバ部デジタルコア電源	コア用電源です。
USBDVss 【注】 SH7269 (BGA) には存在しません。	入力	トランシーバ部デジタルコアグランド	コア用グランドです。	

分類	端子名	入出力	名称	機能
USB2.0 ホスト / ファンクションモ ジュール	USBVcc 【注】 SH7269 (BGA) には存在しません。	入力	USB2.0 ホスト / ファンクシ ョンモジュー ル 480MHz 用 電源	480MHz 動作部電源です。
	USBVss 【注】 SH7269 (BGA) には存在しません。	入力	USB2.0 ホスト / ファンクシ ョンモジュー ル 480MHz 用 グラウンド	480MHz 動作部グラウンドです。
デジタルビデオデ コーダ	VIN1、VIN2	入力	複合映像信号 (CVBS) 入力	複合映像信号 (CVBS) の入力端子です。
	VIDEO_X1	入力	デジタルビデ オデコーダ用 水晶発振子 / 外部クロック	デジタルビデオデコーダ用水晶発振子を接続し ます。また VIDEO_X1 端子は外部クロックを入 力することもできます。
	VIDEO_X2	出力		
	VRT	出力	TOP 基準電圧	映像信号入力用 A/D 変換器用 TOP 基準電圧端子 です。 0.1 μ F のコンデンサを介して VDAVss に接続し てください。
	VRB	出力	BOTTOM 基準 電圧	映像信号入力用 A/D 変換器用 BOTTOM 基準電圧 端子です。 0.1 μ F のコンデンサを介して VDAVss に接続し てください。
	BIAS	入力	リファレンス 電圧	映像信号入力用 A/D 変換器用リファレンス電圧 端子です。 24k Ω \pm 1% 抵抗を介して VDAVss に接続してく ださい。
	VDAVcc	入力	アナログ電源	映像信号入力用 A/D 変換器の電源端子です。
VDAVss	入力	アナロググラ ウンド	映像信号入力用 A/D 変換器のグラウンド端子です。	

分類	端子名	入出力	名称	機能
ビデオ ディスプレイ コントローラ 4	LCD_DATA23 ~ LCD_DATA0	出力	出力データ	パネル用データ出力端子です。
	LCD_TCON6 ~ LCD_TCON0	出力	パネルタイミ ング調整出力	パネルのタイミング調整出力端子です。
	LCD_CLK	出力	パネルクロッ ク	パネルクロック出力端子です。
	LCD_EXTCLK	入力	パネルクロッ クソース	パネルクロックソース入力端子です。
	DV_DATA23 ~ 0	入力	入力データ	グラフィックスデータ入力端子です。SH7268 では DV_DATA7 ~ 0 のみとなります。
	DV_VSYNC	入力	VSYNC 入力	VSYNC 入力端子です。
	DV_HSYNC	入力	HSYNC 入力	HSYNC 入力端子です。
	DV_CLK	入力	入力クロック	グラフィックスデータのクロック入力端子です。
サウンドジェネ レータ	SGOUT3 ~ SGOUT0	出力	サウンドジェ ネレータ出力	サウンドジェネレータの出力端子です。
SD ホスト インタフェース	SD_CLK_0 SD_CLK_1	出力	SD クロック	SD クロック出力端子です。SH7268 では SD_CLK_0 のみとなります。
	SD_CMD_0 SD_CMD_1	入出力	SD コマンド	SD コマンド出力、レスポンス入力信号です。SH7268 では SD_CMD_0 のみとなります。
	SD_D3_0 ~ SD_D0_0 SD_D3_1 ~ SD_D0_1	入出力	SD データ	SD データバス信号です。SH7268 では SD_D3_0 ~ SD_D0_0 のみとなります。
	SD_CD_0 SD_CD_1	入力	SD カード検出	SD カード検出です。SH7268 では SD_CD_0 のみとなります。
	SD_WP_0 SD_WP_1	入力	SD ライトプロ テクト	SD ライトプロテクト信号です。SH7268 では SD_WP_0 のみとなります。
MMC ホスト インタフェース	MMC_CLK	出力	MMC クロック	MMC クロック出力端子です。
	MMC_CMD	入出力	MMC コマンド	MMC コマンド出力、レスポンス入力信号です。
	MMC_D7 ~ MMC_D0	入出力	MMC データ	MMC データバス信号です。
	MMC_CD	入力	MMC カード検 出	MMC カード検出です。
モータ コントロール PWM タイマ	PWM1H ~ PWM1A PWM2H ~ PWM2A	出力	タイマ出力	PWM 出力端子です。
A/D 変換器	AN7 ~ AN0	入力	アナログ入力 端子	アナログ入力端子です。SH7268 では、AN5 ~ AN0 のみとなります。
	ADTRG	入力	A/D 変換トリガ 入力	A/D 変換開始のための外部トリガ入力端子です。
	AVcc	入力	アナログ電源	A/D 変換器の電源端子です。
	AVss	入力	アナロググラ ランド	A/D 変換器のグランド端子です。
	AVref	入力	アナログ基準 電圧	A/D 変換器の基準電圧端子です。

分類	端子名	入出力	名称	機能
汎用入出力 ポート	PA1、PA0、 PB22～PB1、 PC8～PC0、 PD15～PD0、 PF23～PF0、 PG27～PG0、 PJ31～PJ0	入出力	汎用ポート	SH7268 は 101 本、SH7269 は 133 本の汎用入出力ポート端子です。 SH7268 では、 PA1、PA0、PB22～PB1、PC8～PC0、 PD15～PD0、PF23～PF0、PG27～PG0、 のみとなります。
	PE7～PE0	入出力	汎用ポート	8本のオープンドレイン出力付き入力ポート端子です。SH7268 では、PE3～0のみとなります。
	PH7～PH0	入力	汎用ポート	8本の汎用入力ポート端子です。SH7268 では、PH5～0のみとなります。
ユーザデバッグ インタフェース	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ 入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ 出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。
エミュレータ インタフェース	AUDATA3～AUDATA0	出力	データ	分岐先 / 分岐元アドレス出力端子です。
	AUDCK	出力	クロック	同期クロック出力端子です。
	AUDSYNC	出力	同期信号	データ先頭位置認識信号出力端子です。
	ASEBRKAK	出力	ブレークモード アクノリッジ	E10A-USB エミュレータがブレークモードに入ったことを示します。
	ASEBRK	入力	ブレーク要求	E10A-USB エミュレータブレーク入力です。
ユーザブレーク コントローラ	UBCTRГ	出力	ユーザブレーク クトリガ出力	ユーザブレーク条件一致のトリガ出力です。

1.6 端子一覧

表 1.4 端子一覧

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
1	1	C1	PC1	I(s)/O	\overline{RD}	O	-	-	-	-
2	2	-	PVcc							
3	3	E2	PC2	I(s)/O	$\overline{RD}/\overline{WR}$	O	SCK6	I(s)/O	-	-
4	4	E3	PC3	I(s)/O	$\overline{WE0}/\overline{DQMLL}$	O	RxD6	I(s)	-	-
5	5	F4	PC4	I(s)/O	$\overline{WE1}/\overline{WE}/\overline{DQMLU}$	O	TxD6	O	-	-
6	6	D1	PC5	I(s)/O	\overline{RAS}	O	-	-	CRx0	I(s)
7	7	-	PVcc							
8	8	F2	PC6	I(s)/O	\overline{CAS}	O	SCK7	I(s)/O	CTx0	O
9	9	-	Vss							
10	10	F3	PC7	I(s)/O	CKE	O	RxD7	I(s)	CRx1	I(s)
11	11	-	Vcc							
12	12	E1	PC8	I(s)/O	$\overline{CS3}$	O	TxD7	O	CTx1	O
13	13	G4	PB1	I(s)/O	A1	O	TIOC0A	I(s)/O	-	-
14	14	G2	PB2	I(s)/O	A2	O	TIOC0B	I(s)/O	-	-
15	15	G3	PB3	I(s)/O	A3	O	TIOC0C	I(s)/O	-	-

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
1	1	C1	-	-	-	-	-	-	(7)
2	2	-							
3	3	E2	-	-	-	-	-	-	(7)
4	4	E3	-	-	-	-	-	-	(7)
5	5	F4	-	-	-	-	-	-	(7)
6	6	D1	CRx0/CRx1/CRx2	I(s)	IRQ0	I(s)	-	-	(7)
7	7	-							
8	8	F2	CTx0&CTx1&CTx2	O	-	-	-	-	(7)
9	9	-							
10	10	F3	CRx0/CRx1	I(s)	IRQ1	I(s)	-	-	(7)
11	11	-							
12	12	E1	CTx0&CTx1	O	-	-	-	-	(7)
13	13	G4	-	-	-	-	-	-	(7)
14	14	G2	-	-	-	-	-	-	(7)
15	15	G3	-	-	-	-	-	-	(7)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
-	16	F1	PJ14	I(s)/O	DV_DATA14	I(s)	LCD_DATA14	O	PINT6	I(s)
-	17	-	PVcc							
-	18	H2	PJ15	I(s)/O	DV_DATA15	I(s)	LCD_DATA15	O	PINT7	I(s)
16	19	-	Vss							
17	20	H3	PB4	I(s)/O	A4	O	TIOC0D	I(s)/O	-	-
18	21	-	Vcc							
-	22	G1	PJ16	I(s)/O	DV_DATA16	I(s)	LCD_DATA16	O	RSPCK0	I(s)/O
-	23	J3	PJ17	I(s)/O	DV_DATA17	I(s)	LCD_DATA17	O	SSL00	I(s)/O
-	24	J2	PJ18	I(s)/O	DV_DATA18	I(s)	LCD_DATA18	O	MOSI0	I(s)/O
19	25	H1	PB5	I(s)/O	A5	O	TIOC1A	I(s)/O	-	-
20	26	K2	PB6	I(s)/O	A6	O	TIOC1B	I(s)/O	-	-
21	27	-	PVcc							
22	28	J1	PB7	I(s)/O	A7	O	TIOC2A	I(s)/O	-	-
23	29	-	Vss							
24	30	K3	PB8	I(s)/O	A8	O	TIOC2B	I(s)/O	-	-

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
-	16	F1	PWM2G	O	TxD6	O	-	-	(7)
-	17	-							
-	18	H2	PWM2H	O	TxD7	O	-	-	(7)
16	19	-							
17	20	H3	-	-	-	-	-	-	(7)
18	21	-							
-	22	G1	TIOC0A	I(s)/O	SIOFCK	I(s)/O	-	-	(7)
-	23	J3	TIOC0B	I(s)/O	SIOFSYNC	I(s)/O	-	-	(7)
-	24	J2	TIOC0C	I(s)/O	SIOFTxD	O	-	-	(7)
19	25	H1	-	-	-	-	-	-	(7)
20	26	K2	-	-	-	-	-	-	(7)
21	27	-							
22	28	J1	-	-	-	-	-	-	(7)
23	29	-							
24	30	K3	-	-	-	-	-	-	(7)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
25	31	-	Vcc							
26	32	K1	PB9	I(s)/O	A9	O	TIOC3A	I(s)/O	-	-
27	33	L1	PB10	I(s)/O	A10	O	TIOC3B	I(s)/O	-	-
28	34	L2	PB11	I(s)/O	A11	O	TIOC3C	I(s)/O	-	-
29	35	M1	PB12	I(s)/O	A12	O	TIOC3D	I(s)/O	-	-
-	36	L3	PJ19	I(s)/O	DV_DATA19	I(s)	LCD_DATA19	O	MISO0	I(s)/O
-	37	-	PVcc							
-	38	M2	PJ20	I(s)/O	DV_DATA20	I(s)	LCD_DATA20	O	LCD_TCON3	O
30	39	-	Vss							
31	40	N1	PB13	I(s)/O	A13	O	QIO2_1	I(s)/O	-	-
32	41	-	Vcc							
-	42	N2	PJ21	I(s)/O	DV_DATA21	I(s)	LCD_DATA21	O	LCD_TCON4	O
-	43	M3	PJ22	I(s)/O	DV_DATA22	I(s)	LCD_DATA22	O	LCD_TCON5	O
-	44	P1	PJ23	I(s)/O	DV_DATA23	I(s)	LCD_DATA23	O	LCD_TCON6	O
33	45	P2	PB14	I(s)/O	A14	O	QIO3_1	I(s)/O	-	-

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
25	31	-							
26	32	K1	-	-	-	-	-	-	(7)
27	33	L1	-	-	-	-	-	-	(7)
28	34	L2	-	-	-	-	-	-	(7)
29	35	M1	-	-	-	-	-	-	(7)
-	36	L3	TIOC0D	I(s)/O	SIOFRxD	I(s)	AUDIO_XOUT	O	(7)
-	37	-							
-	38	M2	IRQ0	I(s)	CRx2	I(s)	CRx0/CRx1/CRx2	I(s)	(7)
30	39	-							
31	40	N1	-	-	-	-	SPBIO2_1	I(s)/O	(7)
32	41	-							
-	42	N2	IRQ1	I(s)	CTx2	O	CTx0&CTx1&CTx2	O	(7)
-	43	M3	IRQ2	I(s)	CRx1	I(s)	CRx0/CRx1	I(s)	(7)
-	44	P1	IRQ3	I(s)	CTx1	O	CTx0&CTx1	O	(7)
33	45	P2	-	-	-	-	SPBIO3_1	I(s)/O	(7)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
34	46	R1	PB15	I(s)/O	A15	O	QIO2_0	I(s)/O	-	-
35	47	-	PVcc							
36	48	R2	PB16	I(s)/O	A16	O	QIO3_0	I(s)/O	-	-
37	49	-	Vss							
38	50	T1	PB17	I(s)/O	A17	O	QSPCLK_0	O	RSPCK0	I(s)/O
39	51	-	Vcc							
40	52	P3	PB18	I(s)/O	A18	O	QSSL_0	O	SSL00	I(s)/O
41	53	P4	PB19	I(s)/O	A19	O	QMO_0/QIO0_0	I(s)/O	MOSI0	I(s)/O
42	54	T2	PB20	I(s)/O	A20	O	QMI_0/QIO1_0	I(s)/O	MISO0	I(s)/O
43	55	-	Vss							
44	56	R3	PB21	I(s)/O	A21	O	CRx2	I(s)	IERxD	I(s)
45	57	-	Vcc							
46	58	U2	PB22	I(s)/O	A22	O	CTx2	O	IETxD	O
47	59	T3	PC0	I(s)/O	$\overline{CS0}$	O	MD_BOOT2	I(s)	-	-
48	60	-	PVcc							

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
34	46	R1	-	-	-	-	SPBIO2_0	I(s)/O	(7)
35	47	-							
36	48	R2	-	-	-	-	SPBIO3_0	I(s)/O	(7)
37	49	-							
38	50	T1	-	-	-	-	SPBCLK	O	(7)
39	51	-							
40	52	P3	-	-	-	-	SPBSSL	O	(7)
41	53	P4	-	-	-	-	SPBMO_0/SPBIO0_0	I(s)/O	(7)
42	54	T2	-	-	-	-	SPBMI_0/SPBIO1_0	I(s)/O	(7)
43	55	-							
44	56	R3	-	-	-	-	-	-	(7)
45	57	-							
46	58	U2	$\overline{CS4}$	O	-	-	-	-	(7)
47	59	T3	-	-	-	-	-	-	(7)
48	60	-							

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
49	61	V1	CKIO	O	-	-	-	-	-	-
50	62	-	Vss							
51	63	R4	PA0	I(s)/O	MD_BOOT0	I(s)	-	-	-	-
52	64	-	Vcc							
53	65	U5	PA1	I(s)/O	MD_BOOT1	I(s)	-	-	-	-
-	66	Y2	PJ28	I(s)/O	-	-	SSISCK5	I(s)/O	-	-
-	67	W3	PJ29	I(s)/O	-	-	SSIWS5	I(s)/O	-	-
-	68	V4	PJ30	I(s)/O	-	-	SSIDATA5	I(s)/O	-	-
-	69	Y3	PJ31	I(s)/O	DV_CLK	I(s)	-	-	-	-
54	70	W4	PE0	I(s)/O(o)	SCL0	I(s)/O(o)	TCLKA	I(s)	LCD_EXTCLK	I(s)
55	71	V6	PE1	I(s)/O(o)	SDA0	I(s)/O(o)	TCLKB	I(s)	AUDIO_CLK	I(s)
56	72	Y4	PE2	I(s)/O(o)	SCL1	I(s)/O(o)	TCLKC	I(s)	IOIS16	I(s)
57	73	V5	PE3	I(s)/O(o)	SDA1	I(s)/O(o)	TCLKD	I(s)	ADTRG	I(s)
-	74	V7	PE4	I(s)/O(o)	SCL2	I(s)/O(o)	RxD4	I(s)	DV_VSYNC	I(s)
-	75	W5	PE5	I(s)/O(o)	SDA2	I(s)/O(o)	RxD5	I(s)	DV_HSYNC	I(s)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
49	61	V1	-	-	-	-	-	-	(5)
50	62	-							
51	63	R4	-	-	-	-	-	-	(7)
52	64	-							
53	65	U5	-	-	-	-	-	-	(7)
-	66	Y2	TIOC1B	I(s)/O	RTS7	I(s)/O	-	-	(7)
-	67	W3	TIOC2A	I(s)/O	IERxD	I(s)	-	-	(7)
-	68	V4	TIOC2B	I(s)/O	IETxD	O	-	-	(7)
-	69	Y3	-	-	-	-	-	-	(7)
54	70	W4	-	-	-	-	-	-	(9)
55	71	V6	DV_CLK	I(s)	-	-	-	-	(9)
56	72	Y4	DV_VSYNC	I(s)	-	-	-	-	(9)
57	73	V5	DV_HSYNC	I(s)	-	-	-	-	(9)
-	74	V7	-	-	-	-	-	-	(9)
-	75	W5	-	-	-	-	-	-	(9)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
-	76	W7	PE6	I(s)/O(o)	SCL3	I(s)/O(o)	RxD6	I(s)	-	-
-	77	U7	PE7	I(s)/O(o)	SDA3	I(s)/O(o)	RxD7	I(s)	-	-
58	78	-	PVcc							
59	79	V8	NMI	I(s)	-	-	-	-	-	-
60	80	-	Vss							
61	81	W6	$\overline{\text{ASEMD}}$	I(s)	-	-	-	-	-	-
62	82	-	Vcc							
63	83	U6	PLLVcc							
64	84	Y5	EXTAL	I	-	-	-	-	-	-
65	85	Y6	XTAL	O	-	-	-	-	-	-
66	86	-	PLLVss							
67	87	-	PLLVss							
68	88	W9	RES	I(s)	-	-	-	-	-	-
-	89	W8	RTC_X1	I	-	-	-	-	-	-
-	90	Y8	RTC_X2	O	-	-	-	-	-	-

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
-	76	W7	-	-	-	-	-	-	(9)
-	77	U7	-	-	-	-	-	-	(9)
58	78	-							
59	79	V8	-	-	-	-	-	-	(3)
60	80	-							
61	81	W6	-	-	-	-	-	-	(1)
62	82	-							
63	83	U6							
64	84	Y5	-	-	-	-	-	-	(10)
65	85	Y6	-	-	-	-	-	-	
66	86	-							
67	87	-							
68	88	W9	-	-	-	-	-	-	(1)
-	89	W8	-	-	-	-	-	-	(11)
-	90	Y8	-	-	-	-	-	-	

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
69	91	-	USBDPVcc							
70	92	-	USBDPVss							
71	93	Y9	DM	I/O	-	-	-	-	-	-
72	94	Y10	DP	I/O	-	-	-	-	-	-
73	95	W10	VBUS	I	-	-	-	-	-	-
74	96	-	USBDVcc							
75	97	-	USBDVss							
76	98	U11	REFRIN	I	-	-	-	-	-	-
77	99	-	USBAPVss							
78	100	V11	USBAPVcc							
79	101	V12	USBAVcc							
80	102	-	USBAVss							
81	103	-	USBUVcc							
82	104	-	USBUVss							
83	105	Y12	USB_X1	I	-	-	-	-	-	-
84	106	W12	USB_X2	O	-	-	-	-	-	-

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
69	91	-							
70	92	-							
71	93	Y9	-	-	-	-	-	-	
72	94	Y10	-	-	-	-	-	-	
73	95	W10	-	-	-	-	-	-	
74	96	-							
75	97	-							
76	98	U11	-	-	-	-	-	-	
77	99	-							
78	100	V11							
79	101	V12							
80	102	-							
81	103	-							
82	104	-							
83	105	Y12	-	-	-	-	-	-	(10)
84	106	W12	-	-	-	-	-	-	

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
85	107	-	PVcc							
86	108	Y14	VIDEO_X1	I	-	-	-	-	-	-
87	109	W14	VIDEO_X2	O	-	-	-	-	-	-
88	110	-	Vss							
89	111	U13	VDAVcc							
90	112	U15	VDAVss							
91	113	Y15	VIN1	I(a)	-	-	-	-	-	-
92	114	Y16	VIN2	I(a)	-	-	-	-	-	-
93	115	W15	VRT	O	-	-	-	-	-	-
94	116	W13	VRB	O	-	-	-	-	-	-
95	117	W16	BIAS	I	-	-	-	-	-	-
96	118	V14	PH0	I(s)	AN0	I(a)	PINT0	I(s)	-	-
97	119	V15	PH1	I(s)	AN1	I(a)	PINT1	I(s)	-	-
98	120	Y17	PH2	I(s)	AN2	I(a)	PINT2	I(s)	-	-

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
85	107	-							
86	108	Y14	-	-	-	-	-	-	(10)
87	109	W14	-	-	-	-	-		
88	110	-							
89	111	U13							
90	112	U15							
91	113	Y15	-	-	-	-	-	-	
92	114	Y16	-	-	-	-	-	-	
93	115	W15	-	-	-	-	-	-	
94	116	W13	-	-	-	-	-	-	
95	117	W16	-	-	-	-	-	-	
96	118	V14	-	-	-	-	-	-	(4)
97	119	V15	-	-	-	-	-	-	(4)
98	120	Y17	-	-	-	-	-	-	(4)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
99	121	V17	PH3	I(s)	AN3	I(a)	PINT3	I(s)	-	-
100	122	V16	PH4	I(s)	AN4	I(a)	PINT4	I(s)	-	-
101	123	W17	PH5	I(s)	AN5	I(a)	PINT5	I(s)	LCD_EXTCLK	I(s)
102	124	W18	AVss							
-	125	U14	PH6	I(s)	AN6	I(a)	PINT6	I(s)	-	-
103	126	Y18	AVcc							
-	127	U16	PH7	I(s)	AN7	I(a)	PINT7	I(s)	-	-
104	128	Y19	AVref							
105	129	V20	$\overline{\text{TRST}}$	I(s)	-	-	-	-	-	-
106	130	U19	ASEBRKAK/ASEBRK	I(s)/O	-	-	-	-	-	-
107	131	U20	TDO	O	-	-	-	-	-	-
108	132	T18	TDI	I	-	-	-	-	-	-
109	133	R17	TMS	I	-	-	-	-	-	-
110	134	T19	TCK	I	-	-	-	-	-	-
111	135	-	Vss							

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
99	121	V17	-	-	-	-	-	-	(4)
100	122	V16	-	-	-	-	-	-	(4)
101	123	W17	-	-	-	-	-	-	(4)
102	124	W18							
-	125	U14	-	-	-	-	-	-	(4)
103	126	Y18							
-	127	U16	-	-	-	-	-	-	(4)
104	128	Y19							
105	129	V20	-	-	-	-	-	-	(3)
106	130	U19	-	-	-	-	-	-	(7)
107	131	U20	-	-	-	-	-	-	(5)
108	132	T18	-	-	-	-	-	-	(2)
109	133	R17	-	-	-	-	-	-	(2)
110	134	T19	-	-	-	-	-	-	(2)
111	135	-							

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
112	136	R18	PG0	I(s)/O	D16	I/O	LCD_DATA0	O	IRQ0	I(s)
113	137	-	Vcc							
114	138	R19	PG1	I(s)/O	D17	I/O	LCD_DATA1	O	IRQ1	I(s)
115	139	-	Vss							
116	140	P18	PG2	I(s)/O	D18	I/O	LCD_DATA2	O	IRQ2	I(s)
117	141	-	PVcc							
118	142	T20	AUDIO_X2	O	-	-	-	-	-	-
119	143	R20	AUDIO_X1	I	-	-	-	-	-	-
120	144	-	Vss							
121	145	P17	PG3	I(s)/O	D19	I/O	LCD_DATA3	O	IRQ3	I(s)
122	146	-	Vcc							
123	147	N18	PG4	I(s)/O	D20	I/O	LCD_DATA4	O	IRQ4	I(s)
124	148	P19	PG5	I(s)/O	D21	I/O	LCD_DATA5	O	IRQ5	I(s)
125	149	P20	PG6	I(s)/O	D22	I/O	LCD_DATA6	O	IRQ6	I(s)
126	150	M18	PG7	I(s)/O	D23	I/O	LCD_DATA7	O	IRQ7	I(s)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
112	136	R18	TIOC0A	I(s)/O	-	-	-	-	(8)
113	137	-							
114	138	R19	TIOC0B	I(s)/O	-	-	-	-	(8)
115	139	-							
116	140	P18	TIOC0C	I(s)/O	-	-	-	-	(8)
117	141	-							
118	142	T20	-	-	-	-	-	-	(10)
119	143	R20	-	-	-	-	-		
120	144	-							
121	145	P17	TIOC0D	I(s)/O	-	-	-	-	(8)
122	146	-							
123	147	N18	TIOC1A	I(s)/O	-	-	-	-	(8)
124	148	P19	TIOC1B	I(s)/O	-	-	-	-	(8)
125	149	P20	TIOC2A	I(s)/O	-	-	-	-	(8)
126	150	M18	TIOC2B	I(s)/O	-	-	-	-	(8)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
-	151	N19	PJ0	I(s)/O	DV_DATA0	I(s)	LCD_DATA0	O	SD_CD_1	I(s)
-	152	-	PVcc							
-	153	N20	PJ1	I(s)/O	DV_DATA1	I(s)	LCD_DATA1	O	SD_WP_1	I(s)
127	154	-	Vss							
128	155	L18	PG8	I(s)/O	D24	I/O	LCD_DATA8	O	PINT0	I(s)
129	156	-	Vcc							
-	157	M19	PJ2	I(s)/O	DV_DATA2	I(s)	LCD_DATA2	O	SD_D1_1	I(s)/O
-	158	M20	PJ3	I(s)/O	DV_DATA3	I(s)	LCD_DATA3	O	SD_D0_1	I(s)/O
-	159	L20	PJ4	I(s)/O	DV_DATA4	I(s)	LCD_DATA4	O	SD_CLK_1	O
130	160	L19	PG9	I(s)/O	D25	I/O	LCD_DATA9	O	PINT1	I(s)
131	161	K20	PG10	I(s)/O	D26	I/O	LCD_DATA10	O	PINT2	I(s)
132	162	-	PVcc							
133	163	K18	PG11	I(s)/O	D27	I/O	LCD_DATA11	O	PINT3	I(s)
134	164	-	Vss							
135	165	K19	PG12	I(s)/O	D28	I/O	LCD_DATA12	O	PINT4	I(s)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
-	151	N19	PWM1A	O	-	-	-	-	(7)
-	152	-							
-	153	N20	PWM1B	O	-	-	-	-	(7)
127	154	-							
128	155	L18	TIOC3A	I(s)/O	-	-	-	-	(8)
129	156	-							
-	157	M19	PWM1C	O	-	-	-	-	(7)
-	158	M20	PWM1D	O	-	-	-	-	(7)
-	159	L20	PWM1E	O	-	-	-	-	(7)
130	160	L19	TIOC3B	I(s)/O	-	-	-	-	(8)
131	161	K20	TIOC3C	I(s)/O	-	-	-	-	(8)
132	162	-							
133	163	K18	TIOC3D	I(s)/O	-	-	-	-	(8)
134	164	-							
135	165	K19	-	-	-	-	-	-	(8)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
136	166	-	Vcc							
137	167	J20	PG13	I(s)/O	D29	I/O	LCD_DATA13	O	PINT5	I(s)
138	168	J19	PG14	I(s)/O	D30	I/O	LCD_DATA14	O	PINT6	I(s)
139	169	H20	PG15	I(s)/O	D31	I/O	LCD_DATA15	O	PINT7	I(s)
140	170	H19	PG16	I(s)/O	WE2/ICIOR/DQMUL	O	LCD_DATA16	O	-	-
-	171	G20	PJ5	I(s)/O	DV_DATA5	I(s)	LCD_DATA5	O	SD_CMD_1	I(s)/O
-	172	-	PVcc							
-	173	H18	PJ6	I(s)/O	DV_DATA6	I(s)	LCD_DATA6	O	SD_D3_1	I(s)/O
141	174	-	Vss							
142	175	H17	PG17	I(s)/O	WE3/ICIOR/AH/DQMUU	O	LCD_DATA17	O	-	-
143	176	-	Vcc							
-	177	G17	PJ7	I(s)/O	DV_DATA7	I(s)	LCD_DATA7	O	SD_D2_1	I(s)/O
-	178	G19	PJ8	I(s)/O	DV_DATA8	I(s)	LCD_DATA8	O	PINT0	I(s)
-	179	F20	PJ9	I(s)/O	DV_DATA9	I(s)	LCD_DATA9	O	PINT1	I(s)
144	180	G18	PG18	I(s)/O	DV_DATA4	I(s)	LCD_DATA18	O	SPDIF_IN	I(s)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
136	166	-							
137	167	J20	-	-	-	-	-	-	(8)
138	168	J19	-	-	-	-	-	-	(8)
139	169	H20	-	-	-	-	-	-	(8)
140	170	H19	-	-	-	-	AUDATA0	O	(7)
-	171	G20	PWM1F	O	-	-	-	-	(7)
-	172	-							
-	173	H18	PWM1G	O	-	-	-	-	(7)
141	174	-							
142	175	H17	-	-	-	-	AUDATA1	O	(7)
143	176	-							
-	177	G17	PWM1H	O	-	-	-	-	(7)
-	178	G19	PWM2A	O	CTS5	I(s)/O	-	-	(7)
-	179	F20	PWM2B	O	RTS5	I(s)/O	-	-	(7)
144	180	G18	SCK4	I(s)/O	-	-	-	-	(7)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
145	181	F19	PG19	I(s)/O	DV_DATA5	I(s)	LCD_DATA19	O	SPDIF_OUT	O
146	182	-	PVcc							
147	183	E20	PG20	I(s)/O	DV_DATA6	I(s)	LCD_DATA20	O	LCD_TCON3	O
148	184	-	Vss							
149	185	F17	PG21	I(s)/O	DV_DATA7	I(s)	LCD_DATA21	O	LCD_TCON4	O
150	186	-	Vcc							
151	187	F18	PG22	I(s)/O	-	-	LCD_DATA22	O	LCD_TCON5	O
152	188	E19	PG23	I(s)/O	-	-	LCD_DATA23	O	LCD_TCON6	O
153	189	D20	PG24	I(s)/O	-	-	LCD_CLK	O	-	-
154	190	E18	PG25	I(s)/O	-	-	LCD_TCON0	O	-	-
155	191	C20	PG26	I(s)/O	-	-	LCD_TCON1	O	-	-
156	192	D19	PG27	I(s)/O	-	-	LCD_TCON2	O	LCD_EXTCLK	I(s)
157	193	A18	PF0	I(s)/O	BREQ	I(s)	QSPCLK_1	O	RSPCK1	I(s)/O
158	194	-	PVcc							
159	195	C17	PF1	I(s)/O	BACK	O	QSSL_1	O	SSL10	I(s)/O

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
145	181	F19	SCK5	I(s)/O	-	-	-	-	(7)
146	182	-							
147	183	E20	RxD4	I(s)	-	-	-	-	(7)
148	184	-							
149	185	F17	TxD4	O	-	-	AUDATA2	O	(7)
150	186	-							
151	187	F18	RxD5	I(s)	-	-	AUDSYNC	O	(7)
152	188	E19	TxD5	O	-	-	AUDATA3	O	(7)
153	189	D20	-	-	-	-	-	-	(7)
154	190	E18	-	-	-	-	-	-	(7)
155	191	C20	-	-	-	-	-	-	(7)
156	192	D19	-	-	-	-	-	-	(7)
157	193	A18	TIOC4A	I(s)/O	DREQ0	I(s)	AUDCK	O	(7)
158	194	-							
159	195	C17	TIOC4B	I(s)/O	DACK0	O	-	-	(7)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
160	196	-	Vss							
161	197	C15	PF2	I(s)/O	WAIT	I(s)	QMO_1/QIO0_1	I(s)/O	MOSI1	I(s)/O
162	198	A17	PF3	I(s)/O	CS2	O	QMI_1/QIO1_1	I(s)/O	MISO1	I(s)/O
163	199	B16	PF4	I(s)/O	CS5/CE1A	O	SSISCK0	I(s)/O	-	-
164	200	B17	PF5	I(s)/O	-	-	SSIWS0	I(s)/O	-	-
165	201	D14	PF6	I(s)/O	CE2A	O	SSITxD0	O	-	-
166	202	A16	PF7	I(s)/O	-	-	SSIRxD0	I(s)	-	-
167	203	C16	PF8	I(s)/O	A23	O	-	-	-	-
168	204	B15	PF9	I(s)/O	BS	O	-	-	DV_DATA0	I(s)
169	205	-	PVcc							
170	206	A15	PF10	I(s)/O	CS1	O	SSISCK1	I(s)/O	DV_DATA1	I(s)
171	207	-	Vss							
172	208	C14	PF11	I(s)/O	-	-	SSIWS1	I(s)/O	DV_DATA2	I(s)
173	209	D13	PF12	I(s)/O	-	-	SSIDATA1	I(s)/O	DV_DATA3	I(s)
174	210	B14	PF13	I(s)/O	A24	O	SSISCK2	I(s)/O	-	-

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
160	196	-							
161	197	C15	TIOC4C	I(s)/O	TEND0	O	SPBMO_1/SPBIO0_1	I(s)/O	(7)
162	198	A17	TIOC4D	I(s)/O	AUDIO_XOUT	O	SPBMI_1/SPBIO1_1	I(s)/O	(7)
163	199	B16	-	-	SGOUT_0	O	-	-	(7)
164	200	B17	-	-	SGOUT_1	O	-	-	(7)
165	201	D14	-	-	SGOUT_2	O	-	-	(7)
166	202	A16	RxD0	I(s)	SGOUT_3	O	CTS1	I(s)/O	(7)
167	203	C16	TxD0	O	-	-	-	-	(7)
168	204	B15	SCK0	I(s)/O	MMC_D4	I(s)/O	RTS1	I(s)/O	(7)
169	205	-							
170	206	A15	SCK1	I(s)/O	MMC_D5	I(s)/O	-	-	(7)
171	207	-							
172	208	C14	RxD1	I(s)	MMC_D6	I(s)/O	-	-	(7)
173	209	D13	TxD1	O	MMC_D7	I(s)/O	-	-	(7)
174	210	B14	SCK2	I(s)/O	-	-	-	-	(7)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
175	211	A14	PF14	I(s)/O	A25	O	SSIWS2	I(s)/O	-	-
176	212	B13	PF15	I(s)/O	A0	O	SSIDATA2	I(s)/O	WDTOVF	O
-	213	-	PVcc							
-	214	C13	PJ10	I(s)/O	DV_DATA10	I(s)	LCD_DATA10	O	PINT2	I(s)
-	215	-	Vss							
177	216	A13	PF16	I(s)/O	SD_CD_0	I(s)	-	-	FCE	O
178	217	A12	PF17	I(s)/O	SD_WP_0	I(s)	-	-	FRB	I(s)
179	218	B12	PF18	I(s)/O	SD_D1_0	I(s)/O	SSISCK3	I(s)/O	-	-
-	219	C11	PJ11	I(s)/O	DV_DATA11	I(s)	LCD_DATA11	O	PINT3	I(s)
-	220	A11	PJ12	I(s)/O	DV_DATA12	I(s)	LCD_DATA12	O	PINT4	I(s)
-	221	B11	PJ13	I(s)/O	DV_DATA13	I(s)	LCD_DATA13	O	PINT5	I(s)
180	222	-	PVcc							
181	223	C12	PF19	I(s)/O	SD_D0_0	I(s)/O	SSIWS3	I(s)/O	-	-
182	224	-	Vss							
183	225	A10	PF20	I(s)/O	SD_CLK_0	O	SSIDATA3	I(s)/O	-	-

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
175	211	A14	RxD2	I(s)	-	-	-	-	(7)
176	212	B13	TxD2	O	UBCTR \bar{G}	O	-	-	(7)
-	213	-							
-	214	C13	PWM2C	O	SCK5	I(s)/O	-	-	(7)
-	215	-							
177	216	A13	IRQ4	I(s)	MMC_CD	I(s)	-	-	(7)
178	217	A12	IRQ5	I(s)	-	-	-	-	(7)
179	218	B12	IRQ6	I(s)	MMC_D1	I(s)/O	-	-	(7)
-	219	C11	PWM2D	O	SCK6	I(s)/O	-	-	(7)
-	220	A11	PWM2E	O	SCK7	I(s)/O	-	-	(7)
-	221	B11	PWM2F	O	TxD5	O	-	-	(7)
180	222	-							
181	223	C12	IRQ7	I(s)	MMC_D0	I(s)/O	-	-	(7)
182	224	-							
183	225	A10	-	-	MMC_CLK	O	-	-	(7)

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
184	226	-	Vcc							
185	227	B10	PF21	I(s)/O	SD_CMD_0	I(s)/O	-	-	-	-
186	228	A9	PF22	I(s)/O	SD_D3_0	I(s)/O	-	-	-	-
187	229	D9	PF23	I(s)/O	SD_D2_0	I(s)/O	-	-	-	-
188	230	B9	PD0	I/O	D0	I/O	-	-	PWM1A	O
-	231	-	PVcc							
-	232	A8	PJ24	I(s)/O	SGOUT_0	O	SSISCK4	I(s)/O	LCD_TCON3	O
-	233	-	Vss							
189	234	C9	PD1	I/O	D1	I/O	-	-	PWM1B	O
190	235	B8	PD2	I/O	D2	I/O	-	-	PWM1C	O
191	236	A7	PD3	I/O	D3	I/O	-	-	PWM1D	O
-	237	B7	PJ25	I(s)/O	SGOUT_1	O	SSIWS4	I(s)/O	LCD_TCON4	O
-	238	C8	PJ26	I(s)/O	SGOUT_2	O	SSIDATA4	I(s)/O	LCD_TCON5	O
-	239	A6	PJ27	I(s)/O	SGOUT_3	O	-	-	-	-
192	240	-	PVcc							

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
184	226	-							
185	227	B10	SCK3	O	MMC_CMD	I(s)/O	-	-	(7)
186	228	A9	RxD3	I(s)	MMC_D3	I(s)/O	-	-	(7)
187	229	D9	TxD3	I(s)/O	MMC_D2	I(s)/O	-	-	(7)
188	230	B9	-	-	-	-	-	-	(6)
-	231	-							
-	232	A8	SPDIF_IN	I(s)	SCK7	I(s)/O	-	-	(7)
-	233	-							
189	234	C9	-	-	-	-	-	-	(6)
190	235	B8	-	-	-	-	-	-	(6)
191	236	A7	-	-	-	-	-	-	(6)
-	237	B7	SPDIF_OUT	O	RxD7	I(s)	-	-	(7)
-	238	C8	-	-	TxD7	O	-	-	(7)
-	239	A6	TIOC1A	I(s)/O	CTS7	I(s)/O	-	-	(7)
192	240	-							

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 1		機能 2		機能 3		機能 4	
			端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
193	241	-	Vss							
194	242	B6	PD4	I/O	D4	I/O	FRE	O	PWM1E	O
195	243	D8	PD5	I/O	D5	I/O	FCLE	O	PWM1F	O
196	244	C7	PD6	I/O	D6	I/O	FALE	O	PWM1G	O
197	245	A5	PD7	I/O	D7	I/O	FWE	O	PWM1H	O
198	246	B5	PD8	I/O	D8	I/O	NAF0	I/O	PWM2A	O
199	247	C5	PD9	I/O	D9	I/O	NAF1	I/O	PWM2B	O
200	248	D7	PD10	I/O	D10	I/O	NAF2	I/O	PWM2C	O
201	249	A4	PD11	I/O	D11	I/O	NAF3	I/O	PWM2D	O
202	250	-	PVcc							
203	251	C6	PD12	I/O	D12	I/O	NAF4	I/O	PWM2E	O
204	252	-	Vss							
205	253	C4	PD13	I/O	D13	I/O	NAF5	I/O	PWM2F	O
206	254	B4	PD14	I/O	D14	I/O	NAF6	I/O	PWM2G	O
207	255	A3	PD15	I/O	D15	I/O	NAF7	I/O	PWM2H	O
208	256	B3	MD_CLK0	I(s)	-	-	-	-	-	-

SH7268 No.	SH7269 No.	SH7269 BGA No.	機能 5		機能 6		機能 7		簡易回路図 図 1.3
			端子名	I/O	端子名	I/O	端子名	I/O	
193	241	-							
194	242	B6	-	-	-	-	-	-	(6)
195	243	D8	-	-	-	-	-	-	(6)
196	244	C7	-	-	-	-	-	-	(6)
197	245	A5	-	-	-	-	-	-	(6)
198	246	B5	-	-	-	-	-	-	(6)
199	247	C5	-	-	-	-	-	-	(6)
200	248	D7	-	-	-	-	-	-	(6)
201	249	A4	-	-	-	-	-	-	(6)
202	250	-							
203	251	C6	-	-	-	-	-	-	(6)
204	252	-							
205	253	C4	-	-	-	-	-	-	(6)
206	254	B4	-	-	-	-	-	-	(6)
207	255	A3	-	-	-	-	-	-	(6)
208	256	B3	-	-	-	-	-	-	(1)

【記号説明】

(s) : シュミット

(a) : アナログ

(o) : オープンドレイン

【注】 : SH7269 (BGA) の PVcc、Vcc、Vss 端子は下記となります。

PVcc : A19、B1、B18、C2、D2、D3、D11、D12、D15、D16、E4、J17、J18、N3、N4、T17、U18、V19、W20、Y11

Vcc : A2、B20、C19、D5、D6、D18、E17、H4、J4、M17、N17、T4、U3、U10、V2、V10、W1

Vss : A1、A20、B2、B19、C3、C10、C18、D4、D10、D17、J9、J10、J11、J12、K4、K9、K10、K11、K12、K17、L4、L9、L10、L11、L12、L17、M4、M9、M10、M11、M12、U1、U4、U8、U9、U12、U17、V3、V9、V13、V18、W2、W11、W19、Y1、Y7、Y13、Y20

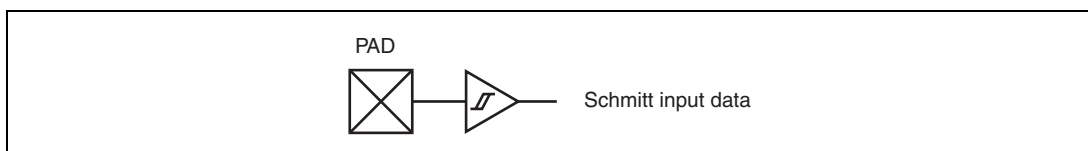


図 1.3 (1) 簡易回路図 (シュミット入力バッファ)

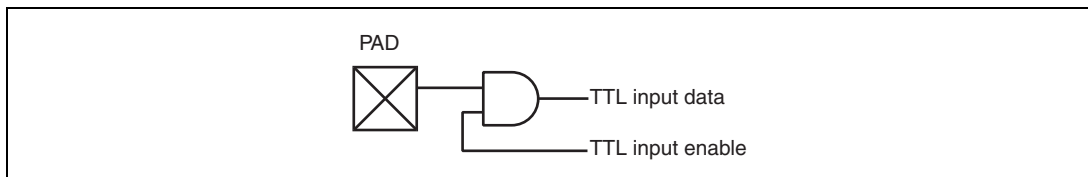


図 1.3 (2) 簡易回路図 (TTL AND 入力バッファ)

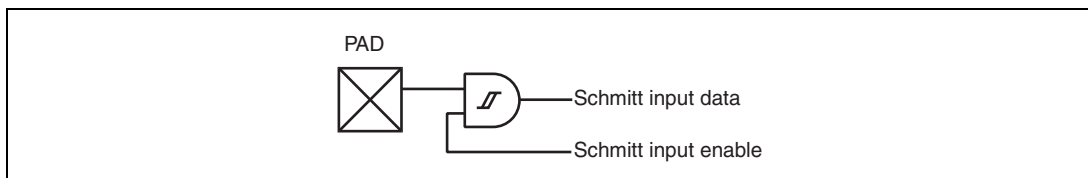


図 1.3 (3) 簡易回路図 (シュミット AND 入力バッファ)

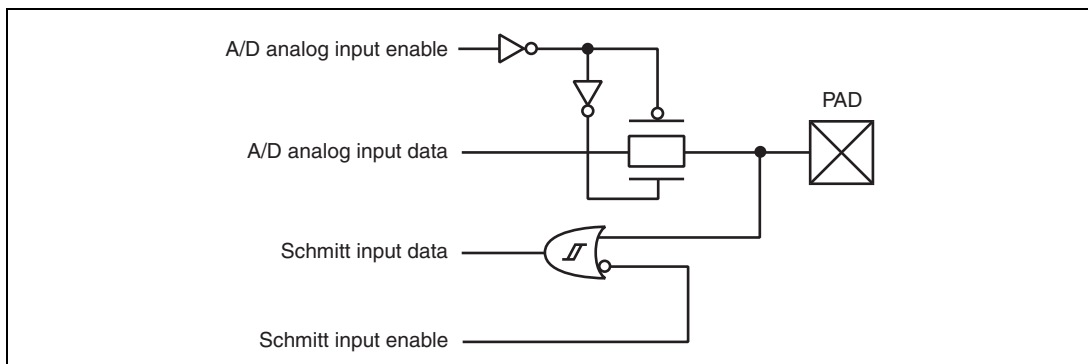


図 1.3 (4) 簡易回路図 (シュミット OR 入力、A/D 入力兼用バッファ)

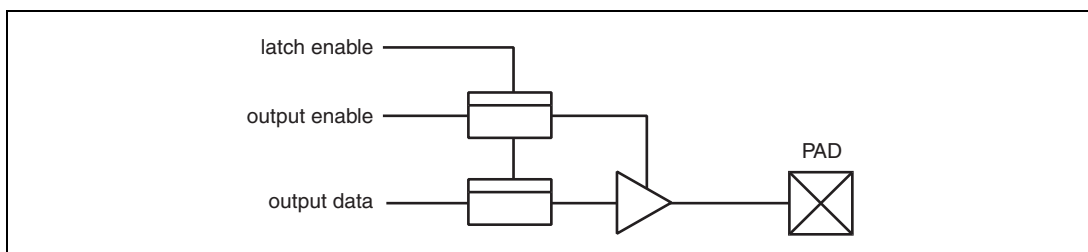


図 1.3 (5) 簡易回路図 (イネーブル付き出力バッファ、ラッチ付き)

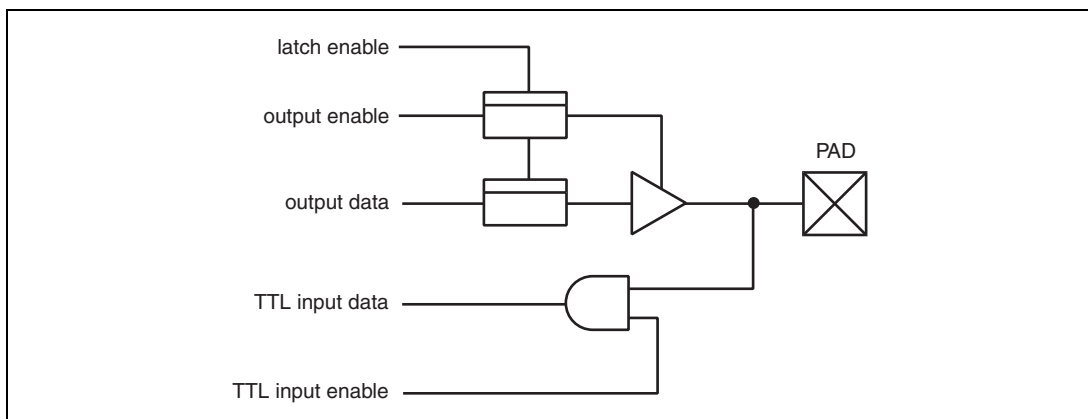


図 1.3 (6) 簡易回路図 (双方向バッファ、TTL AND 入力、ラッチ付き)

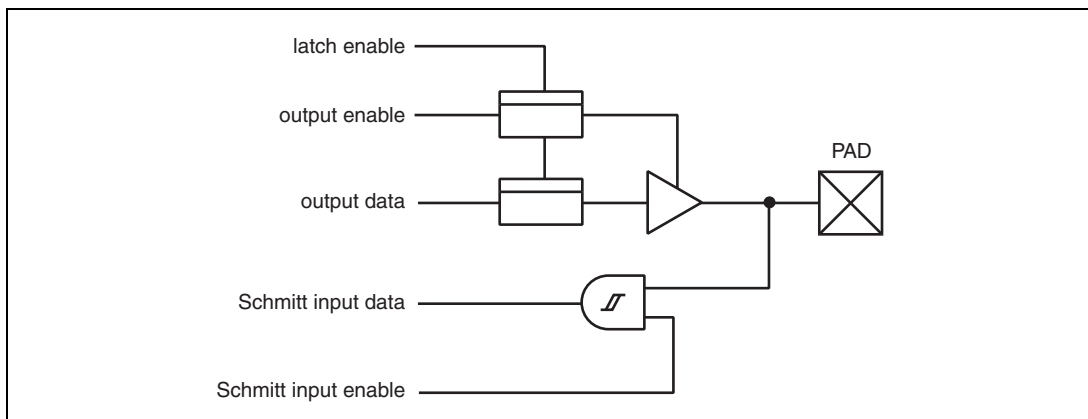


図 1.3 (7) 簡易回路図 (双方向バッファ、シュミット AND 入力、ラッチ付き)

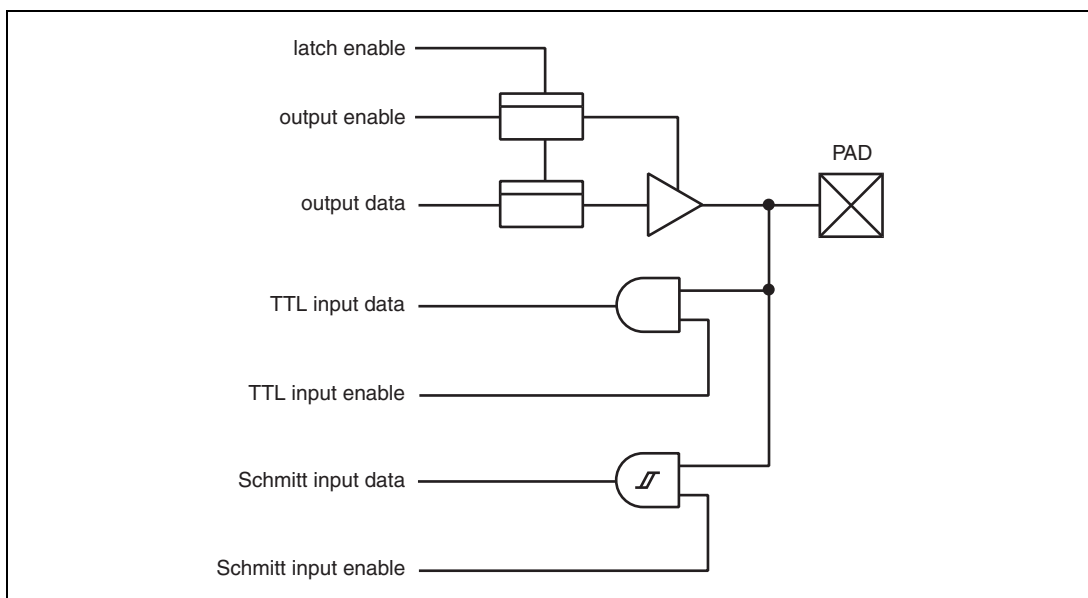


図 1.3 (8) 簡易回路図 (双方向バッファ、TTL AND 入力、シュミット AND 入力、ラッチ付き)

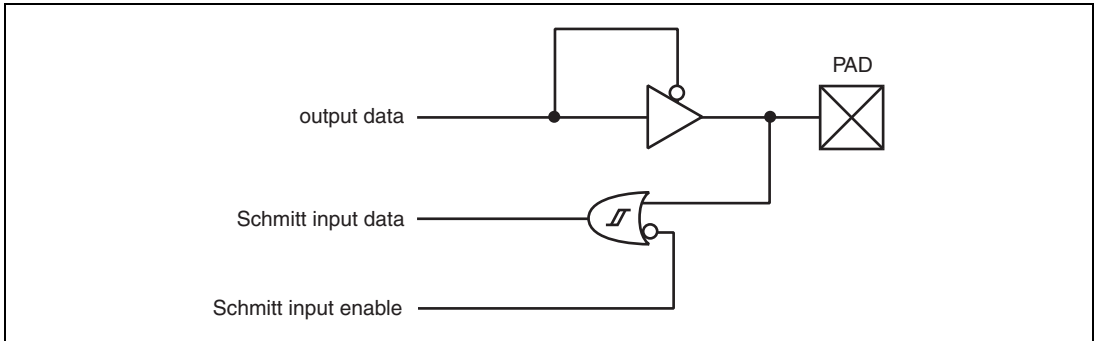


図 1.3 (9) 簡易回路図 (オープンドレイン出力、シュミット OR 入力)

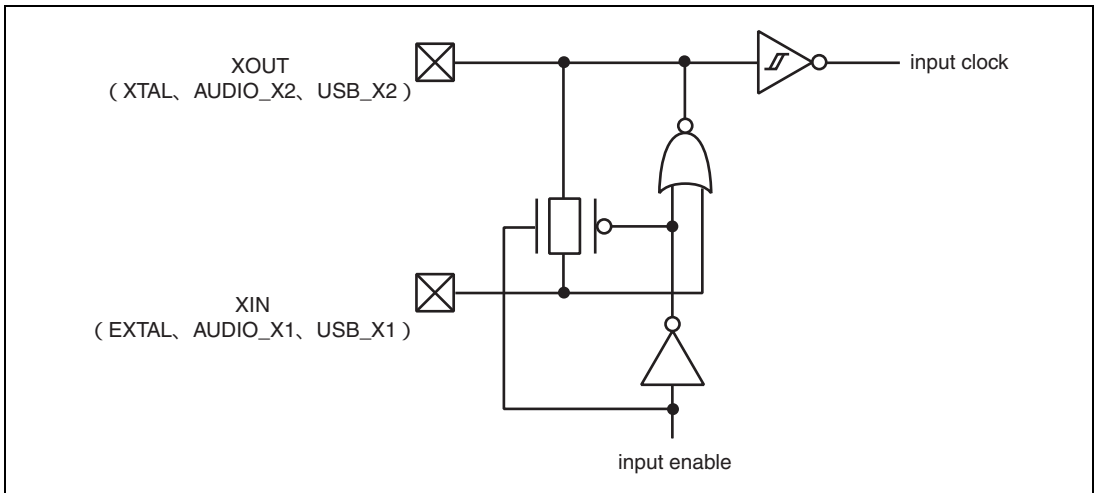


図 1.3 (10) 簡易回路図 (発振バッファ 1)

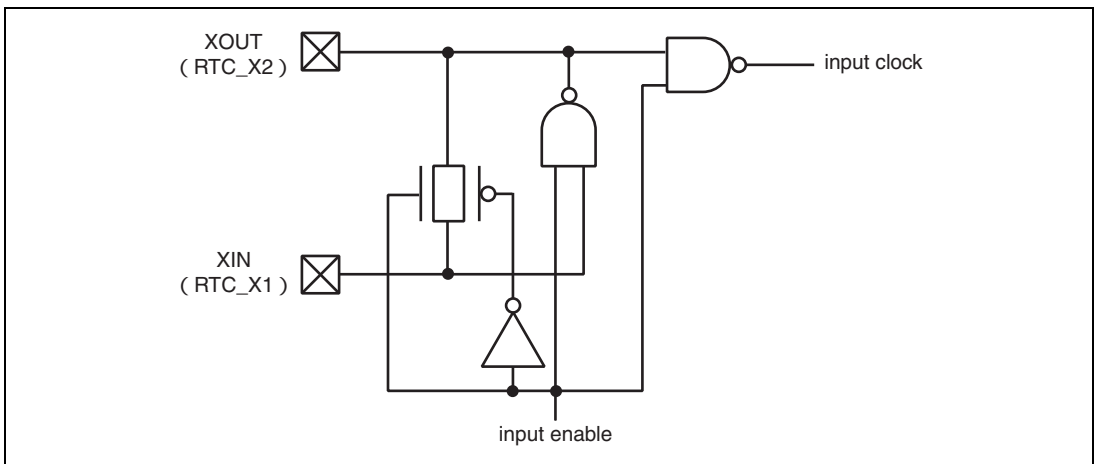


図 1.3 (11) 簡易回路図 (発振バッファ 2)

2. CPU

2.1 レジスタ構成

レジスタは、汎用レジスタ（32ビット×16本）、コントロールレジスタ（32ビット×4本）、システムレジスタ（32ビット×4本）の3種類があります。

2.1.1 汎用レジスタ

図 2.1 に汎用レジスタを示します。汎用レジスタは 32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ（SP）として使われます。例外処理でのステータスレジスタ（SR）とプログラムカウンタ（PC）の退避、回復は、R15 を用いてスタックを参照し行います。

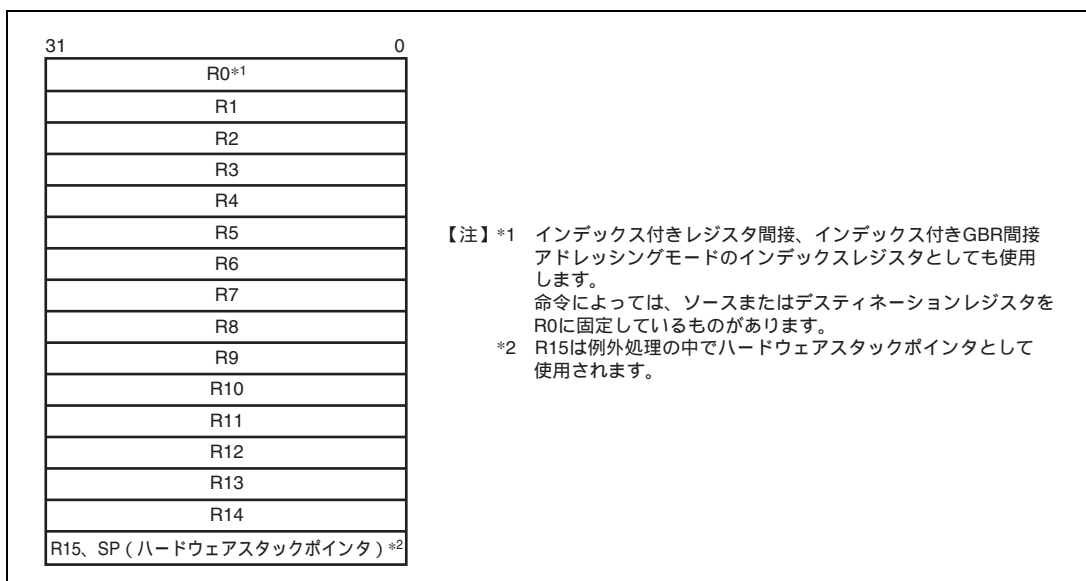


図 2.1 汎用レジスタ

2.1.2 コントロールレジスタ

コントロールレジスタは 32 ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR)、ジャンプテーブルベースレジスタ (TBR) の 4 本があります。

SR は各種命令の処理の状態を表します。

GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

TBR は関数テーブル領域のベースアドレスとして使用します。

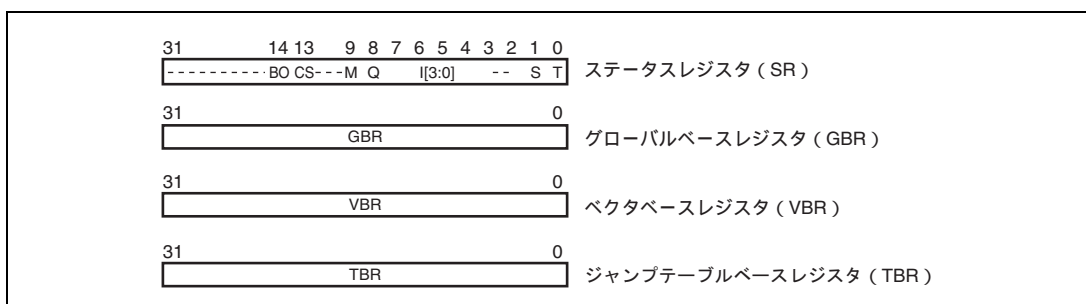


図 2.2 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	BO	CS	-	-	-	M	Q	I[3:0]			-	-	S	T	
初期値:	0	0	0	0	0	0	-	-	1	1	1	1	0	0	-	-
R/W:	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BO	0	R/W	BO ビット レジスタバンクがオーバーフローしていることを示します。
13	CS	0	R/W	CS ビット CLIP 命令の実行で、飽和上限値を上回ったまたは飽和下限値を下回ったことを示します。
12~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	M	-	R/W	M ビット Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
8	Q	-	R/W	
7~4	I[3:0]	1111	R/W	割り込みマスクレベル
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	S	-	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	-	R/W	T ビット 真 / 偽条件またはキャリー / ボロービット

(2) グローバルベースレジスタ (GBR)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(3) ベクタベースレジスタ (VBR)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

(4) ジャンプテーブルベースレジスタ (TBR)

テーブル参照サブルーチンコール命令 JSR/N @@(disp8,TBR)で、メモリに配置された関数テーブルの先頭アドレスとして参照します。

2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は、乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は現在実行中の命令の 4 バイト先を示し、処理の流れを制御します。

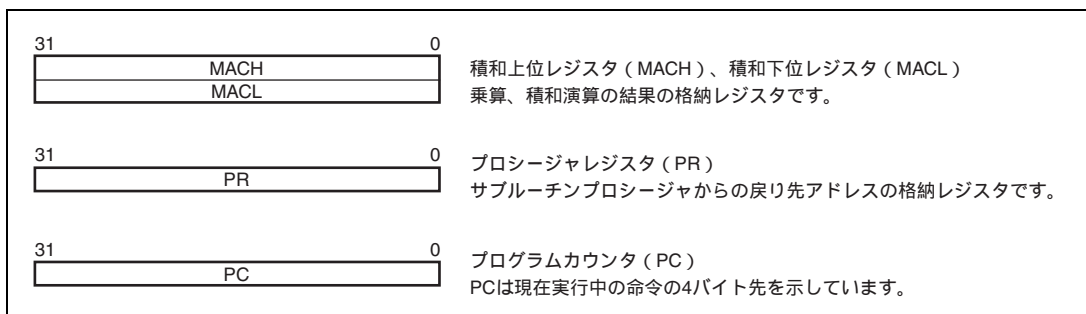


図 2.3 システムレジスタ

(1) 積和上位レジスタ (MACH)、積和下位レジスタ (MACL)

MACH および MACL は、MAC 命令の加算値として用いられます。また、MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC)

PC は現在実行中の命令の 4 バイト先を示します。

2.1.4 レジスタバンク

汎用レジスタの R0~R14、コントロールレジスタの GBR、システムレジスタの MACH、MACL、PR の 19 本の 32 ビットレジスタは、レジスタバンクを使って、高速なレジスタ退避、復帰を行うことが可能です。バンクへの退避は、CPU がレジスタバンクを使用する割り込みを受け付けた後、自動的に行われます。バンクからの復帰は、割り込み処理ルーチンで RESBANK 命令を発行することで実行されます。

本 LSI は 15 個のバンクを持ちます。詳細については「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」、「7.8 レジスタバンク」を参照してください。

2.1.5 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0~R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	[[3:0]は 1111 (H'F)、BO、CS は 0、リザーブビットは 0、その他は不定
	GBR、TBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

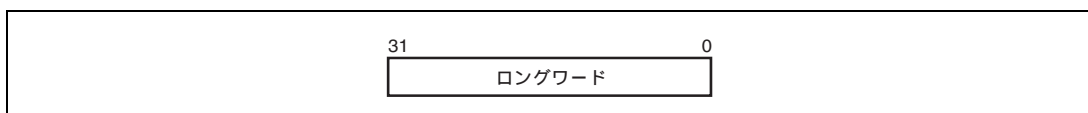


図 2.4 レジスタのデータ形式

2.2.2 メモリのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張またはゼロ拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地: $2n$ 番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地: $4n$ 番地) からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンのバイト順のみ選択できます。

メモリ上のデータ形式を図 2.5 に示します。

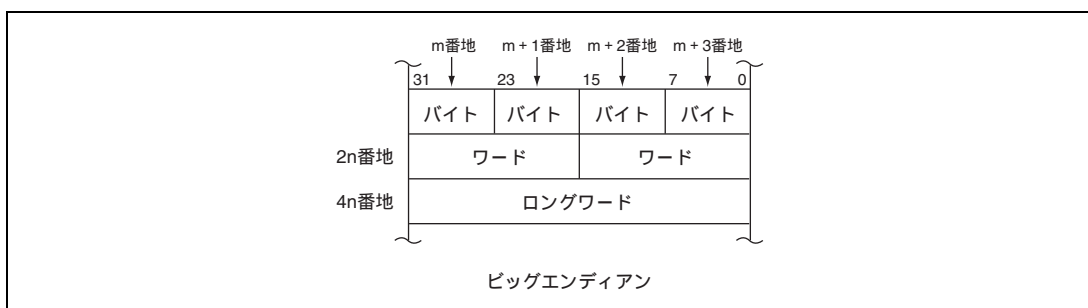


図 2.5 メモリのデータ形式

2.2.3 イミディエイトデータのデータ形式

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

20 ビットのイミディエイトデータは 32 ビット長の転送命令 MOVI20 および MOVI20S のコードの中に配置します。MOVI20 命令は、イミディエイトを符号拡張してデスティネーションレジスタに格納します。MOVI20S 命令は、イミディエイトを上位に 8 ビットシフトし、符号拡張してデスティネーションレジスタに格納します。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照します。

具体例については、「2.3.1 (10) イミディエイトデータ」を参照してください。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

基本命令は 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 32 ビット固定長命令

SH-2A では、32 ビット固定長の命令が追加されています。これにより、性能および使い勝手が向上します。

(3) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(4) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

SH-2A CPU	説 明	他の CPU の例
MOV.W @(disp,PC),R1 ADD R1,R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(5) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(6) 遅延分岐

無条件分岐命令などは、一部の命令を除き遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐においては、分岐という動作そのものはスロット命令の実行後に発生しますが、命令の実行（レジスタの更新など）は、あくまでも遅延分岐命令 遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されたレジスタを変更しても、変更前のレジスタ内容が分岐先アドレスとなります。

表 2.3 遅延分岐命令

SH-2A CPU	説 明	他の CPU の例
BRA TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0
ADD R1,R0		BRA TRGET

(7) 遅延スロットなし無条件分岐命令

SH-2A では、遅延スロット命令を実行しない無条件分岐命令を追加しました。これにより、不要な NOP 命令の削減が可能となり、コードサイズを削減できます。

(8) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2~3 ステートで実行します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2~4 ステートで実行します。

(9) T ビット

比較結果はステータスレジスタ (SR) の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

SH-2A CPU	説 明	他の CPU の例
CMP/GE R1,R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1,R0
BT TRGET0	R0 R1 のとき TRGET0 へ	BGE TRGET0
BF TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #-1,R0	ADD では T ビットが変化しません。	SUB.W #1,R0
CMP/EQ #0,R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	R0 = 0 のとき分岐します。	

(10) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令(MOV)で参照します。

また SH-2A では、17～28 ビットのイミディエイトデータを命令コードの中に配置することも可能です。ただし、21～28 ビットのイミディエイトデータについては、レジスタ転送後、OR 命令を実行する必要があります。

表 2.5 イミディエイトデータによる参照

区分	SH-2A CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOV120 #H'1234, R0	MOV.W #H'1234,R0
20 ビットイミディエイト	MOV120 #H'12345, R0	MOV.L #H'12345,R0
28 ビットイミディエイト	MOV120S #H'12345, R0 OR #H'67, R0	MOV.L #H'1234567,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(11) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

また SH-2A では、28 ビット以下の絶対アドレスでデータを参照するとき、命令コード中に配置したイミディエイトデータをレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照することも可能です。ただし、21～28 ビットの絶対アドレスでデータを参照するときは、レジスタ転送後、OR 命令を使用する必要があります。

表 2.6 絶対アドレスによる参照

区分	SH-2A CPU	他の CPU の例
20 ビット以下	MOVI20 #H'12345, R1 MOV.B @R1, R0	MOV.B @H'12345,R0
21～28 ビット	MOVI20S #H'12345, R1 OR #H'67, R1 MOV.B @R1, R0	MOV.B @H'1234567,R0
29 ビット以上	MOV.L @(disp,PC),R1 MOV.B @R1,R0DATA.L H'12345678	MOV.B @H'12345678,R0

(12) 16 ビット / 32 ビットディスプレイメント

16 ビットまたは 32 ビットディスプレイメントでデータを参照するときは、あらかじめディスプレイメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。


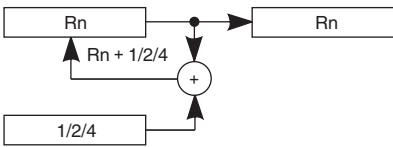
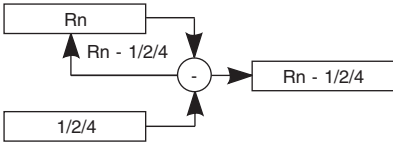
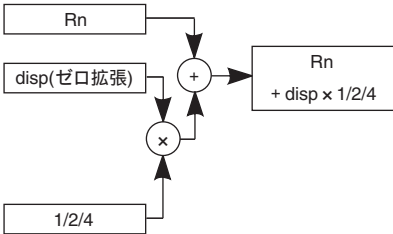
表 2.7 ディスプレースメントによる参照

区分	SH-2A CPU	他の CPU の例
16 ビットディスプレイメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2DATA.W H'1234	MOV.W @(H'1234,R1),R2

2.3.2 アドレッシングモード

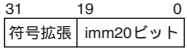
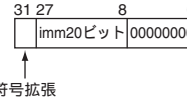
アドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp × 2 ロングワード : Rn + disp × 4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付きレジスタ間接	@(disp:12,Rn)	<p>実効アドレスはレジスタ Rn に 12 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張します。</p>	バイト : $Rn + disp$ ワード : $Rn + disp$ ロングワード : $Rn + disp$
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p>	$Rn + R0$
ディスプレイースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p>	$GBR + R0$
ディスプレイースメント付き TBR 二重間接	@@ (disp:8,TBR)	<p>実効アドレスはレジスタ TBR に 8 ビットディスプレイースメント disp を加算したアドレスの内容です。disp はゼロ拡張後 4 倍します。</p>	($TBR + disp \times 4$) アドレスの内容

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付き PC 相対	@(disp:8,PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> <p>* ロングワードのとき</p>	<p>ワード : $PC + disp \times 2$</p> <p>ロングワード : $PC \& H'FFFFFFFC + disp \times 4$</p>
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:20	MOVI20 命令の 20 ビットイミディエイト imm は符号拡張します。 	-
		MOVI20S 命令の 20 ビットイミディエイト imm は 8 ビット左にシフトし、上位側 は符号拡張、下位側はゼロ詰めを行います。 	-
	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-
#imm:3	BAND、BOR、BXOR、BST、BLD、BSET、BCLR 命令の 3 ビットイミディエイト imm はビット位置を表します。	-	

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmn : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式	ソースオペランド	デスティネーション オペランド	命令の例	
0 形式		-	-	NOP
n 形式		-	nnnn : レジスタ直接	MOV T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		R0 (レジスタ直接)	nnnn : レジスタ直接	DIVU R0, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
		mmmm : レジスタ直接	R15 (プリデクリメント レジスタ間接)	MOVMU.L Rm, @-R15
		R15 (ポストインクリメント レジスタ間接)	nnnn : レジスタ直接	MOVMU.L @R15+, Rn
		R0 (レジスタ直接)	nnnn : ポストインクリメント レジスタ間接	MOV.L R0,@Rn+
m 形式		mmmmn : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmmn :	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmmn : レジスタ間接	-	JMP @Rm
		mmmmn :	R0 (レジスタ直接)	MOV.L @-Rm, R0
		mmmmn :	-	BRAF Rm
	Rm を用いた PC 相対			

命令形式	ソースオペランド	デスティネーション オペランド	命令の例
nm 形式 <div style="display: flex; align-items: center;"> 15 <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> xxxx nnnn mmmm xxxx </div> 0 </div>	mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
	mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
	mmmm : ポストインクリメント レジスタ間接 (積和演算) nnnn : * ポストインクリメント レジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
	mmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
	mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
	mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式 <div style="display: flex; align-items: center;"> 15 <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> xxxx xxxx mmmm dddd </div> 0 </div>	mmmmdddd : ディスプレイメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式 <div style="display: flex; align-items: center;"> 15 <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> xxxx xxxx nnnn dddd </div> 0 </div>	R0 (レジスタ直接)	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式 <div style="display: flex; align-items: center;"> 15 <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> xxxx nnnn mmmm dddd </div> 0 </div>	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp,Rn)
	mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
nmd12 形式 <div style="display: flex; align-items: center;"> 32 <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> xxxx nnnn mmmm xxxx </div> 16 </div> <div style="display: flex; align-items: center; margin-top: 5px;"> 15 <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> xxxx dddd dddd dddd </div> 0 </div>	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp12,Rn)
	mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp12,Rm),Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
d 形式		dddddddd :	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		ディスプレイメント付き GBR 間接		
		R0 (レジスタ直接)	dddddddd :	MOV.L R0,@(disp,GBR)
		ディスプレイメント付き PC 相対	dddddddd :	MOVA @(disp,PC),R0
		ディスプレイメント付き TBR 二重間接	-	JSR/N @@(disp8,TBR)
	dddddddd : PC 相対	-	BF label	
d12 形式		dddddddddddd : PC 相対	-	BRA label (label=disp+PC)
nd8 形式		dddddddd :	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		iiiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiiii : イミディエイト	-	TRAPA #imm
ni 形式		iiiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn
ni3 形式		nnnn : レジスタ直接 iii : イミディエイト	-	BLD #imm3,Rn
		-	nnnn : レジスタ直接 iii : イミディエイト	BST #imm3,Rn
ni20 形式		iiiiiiiiiiiiiiiiiiiiiiiiii : イミディエイト	nnnn : レジスタ直接	MOVI20 #imm20, Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nid 形式	<div style="display: flex; justify-content: space-between; align-items: center;"> 32 16 </div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;"> xxxx nnnn xiii xxxx </div> <div style="display: flex; justify-content: space-between; align-items: center; margin-top: 5px;"> 15 0 </div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;"> xxxx dddd dddd dddd </div>	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	-	BLD.B #imm3,@ (disp12,Rn)
		-	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	BST.B #imm3,@ (disp12,Rn)

【注】 * 積和命令では nnnn はソースレジスタです。

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	13	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 逆スタック転送	62
		MOVA	実行アドレスの転送	
		MOVI20	20 ビットイミディエイトデータの転送	
		MOVI20S	20 ビットイミディエイトデータの転送 左 8 ビットシフト	
		MOVML	R0 ~ Rn のレジスタ退避・復帰	
		MOVMMU	Rn ~ R14、PR のレジスタ退避・復帰	
		MOVRT	T ビット反転 Rn への転送	
		MOVST	T ビットの転送	
		MOVU	無符号データの転送	
		NOTT	T ビット反転	
		PREF	オペランドキャッシュへのプリフェッチ	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	26	ADD	2 進加算	40
		ADDC	キャリー付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		CLIPS	符号付き飽和値比較	
		CLIPU	符号なし飽和値比較	
		DIVS	符号付き除算 (32 ÷ 32)	
		DIVU	符号なし除算 (32 ÷ 32)	
		DIV1	1 ステップ除算	
		DIV0S	符号付き 1 ステップ除算の初期化	

分類	命令の種類	オペコード	機能	命令数
算術演算命令	26	DIV0U	符号なし 1 ステップ除算の初期化	40
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULR	Rn 結果格納符号付き乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	ポロー付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリエストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTL	1 ビット左回転	16
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCL	T ビット付き 1 ビット右回転	
		SHAD	ダイナミック算術的シフト	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLD	ダイナミック論理的シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	

分類	命令の種類	オペコード	機能	命令数
分岐命令	10	BF	条件分岐、遅延付き条件分岐 (T=0 で分岐)	15
		BT	条件分岐、遅延付き条件分岐 (T=1 で分岐)	
		BRA	遅延付き無条件分岐	
		BRAF	遅延付き無条件分岐	
		BSR	遅延付きサブルーチンプロシージャへの分岐	
		BSRF	遅延付きサブルーチンプロシージャへの分岐	
		JMP	遅延付き無条件分岐	
		JSR	サブルーチンプロシージャへの分岐 遅延付きサブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰 遅延付きサブルーチンプロシージャからの復帰	
		RTV/N	Rm R0 転送付きサブルーチンプロシージャからの復帰	
システム制御命令	14	CLRT	T ビットのクリア	36
		CLRMAC	MAC レジスタのクリア	
		LDBANK	指定レジスタバンクエントリからのレジスタ復帰	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RESBANK	レジスタバンクからのレジスタ復帰	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STBANK	指定レジスタバンクエントリへのレジスタ退避	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
浮動小数点演算命令	19	FABS	浮動小数点数絶対値	48
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FCNVDS	倍精度から単精度への変換	
		FCNVSD	単精度から倍精度への変換	
		FDIV	浮動小数点数除算	
		FLDI0	浮動小数点数ロードイミディエイト 0	
		FLDI1	浮動小数点数ロードイミディエイト 1	
		FLDS	システムレジスタ FPUL への浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	

分類	命令の種類	オペコード	機能	命令数
浮動小数点演算命令	19	FMOV	浮動小数点数転送	48
		FMUL	浮動小数点数乗算	
		FNEG	浮動小数点数符号反転	
		FSCHG	SZ ビット反転	
		FSQRT	浮動小数点平方根	
		FSTS	システムレジスタ FPUL からの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	
FPU に関する CPU 命令	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	
ビット操作命令	10	BAND	ビット論理積	14
		BCLR	ビットクリア	
		BLD	ビットロード	
		BOR	ビット論理和	
		BSET	ビットセット	
		BST	ビットストア	
		BXOR	ビット排他的論理和	
		BANDNOT	ビットノット論理積	
		BORNOT	ビットノット論理和	
		BLDNOT	ビットノットロード	
	計 112			253

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命 令	命令コード	動作の概略	実行 ステート	T ビット
ニーモニックで表示しています。 【記号説明】 Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント ^{*2}	MSB LSB の順で表示しています。 【記号説明】 mmmmm : ソースレジスタ nnnnn : デスティネーションレジスタ 0000 : R0 0001 : R1 1111 : R15 iiiii : イミディエイトデータ ddddd : ディスプレースメント	動作の概略を表示しています。 【記号説明】 、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR 内のフラグビット & : ビットごとの論理積 : ビットごとの論理和 ^ : ビットごとの排他的論理和 ~ : ビットごとの論理否定 <<n : 左 n ビットシフト >>n : 右 n ビットシフト	ノーウェイトのときの値です。 ^{*1}	命令実行後の、T ビットの値を表示しています。 【記号説明】 - : 変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令 (メモリ レジスタ) のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング (×1、×2、×4) されます。

詳しくは、「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.2 データ転送命令

表 2.11 データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV #imm, Rn	1110nnnniiiiiii	imm 符号拡張 Rn	1	-			
MOV.W @(disp, PC), Rn	1001nnnnddddd	(disp × 2+PC) 符号拡張 Rn	1	-			
MOV.L @(disp, PC), Rn	1101nnnnddddd	(disp × 4+PC) Rn	1	-			
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	-			
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	-			
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	-			
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	-			
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	-			
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	-			
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	-			
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)	1	-			
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)	1	-			
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)	1	-			
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm	1	-			
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm	1	-			
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm	1	-			
MOV.B R0, @(disp, Rn)	1000000nnnnddd	R0 (disp+Rn)	1	-			
MOV.W R0, @(disp, Rn)	1000001nnnnddd	R0 (disp × 2+Rn)	1	-			
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddd	Rm (disp × 4+Rn)	1	-			
MOV.B @(disp, Rm), R0	1000010mmmmddd	(disp+Rm) 符号拡張 R0	1	-			
MOV.W @(disp, Rm), R0	10000101mmmmddd	(disp × 2+Rm) 符号拡張 R0	1	-			
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddd	(disp × 4+Rm) Rn	1	-			
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0+Rn)	1	-			
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0+Rn)	1	-			
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0+Rn)	1	-			
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn	1	-			
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn	1	-			
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) Rn	1	-			
MOV.B R0, @(disp, GBR)	11000000ddddd	R0 (disp+GBR)	1	-			
MOV.W R0, @(disp, GBR)	11000001ddddd	R0 (disp × 2+GBR)	1	-			
MOV.L R0, @(disp, GBR)	11000010ddddd	R0 (disp × 4+GBR)	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp+GBR) 符号拡張 R0	1	-			
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp × 2+GBR) 符号拡張 R0	1	-			
MOV.L @(disp, GBR), R0	11000110dddddddd	(disp × 4+GBR) R0	1	-			
MOV.B R0, @Rn+	0100nnnn10001011	R0 (Rn), Rn+1 Rn	1	-			
MOV.W R0, @Rn+	0100nnnn10011011	R0 (Rn), Rn+2 Rn	1	-			
MOV.L R0, @Rn+	0100nnnn10101011	R0 (Rn), Rn+4 Rn	1	-			
MOV.B @-Rm, R0	0100mmmm11001011	Rm-1 Rm, (Rm) 符号拡張 R0	1	-			
MOV.W @-Rm, R0	0100mmmm11011011	Rm-2 Rm, (Rm) 符号拡張 R0	1	-			
MOV.L @-Rm, R0	0100mmmm11101011	Rm-4 Rm, (Rm) R0	1	-			
MOV.B Rm, @(disp12, Rn)	0011nnnnmmmm0001 0000dddddddddddd	Rm (disp+Rn)	1	-			
MOV.W Rm, @(disp12, Rn)	0011nnnnmmmm0001 0001dddddddddddd	Rm (disp × 2+Rn)	1	-			
MOV.L Rm, @(disp12, Rn)	0011nnnnmmmm0001 0010dddddddddddd	Rm (disp × 4+Rn)	1	-			
MOV.B @(disp12, Rm), Rn	0011nnnnmmmm0001 0100dddddddddddd	(disp+Rm) 符号拡張 Rn	1	-			
MOV.W @(disp12, Rm), Rn	0011nnnnmmmm0001 0101dddddddddddd	(disp × 2+Rm) 符号拡張 Rn	1	-			
MOV.L @(disp12, Rm), Rn	0011nnnnmmmm0001 0110dddddddddddd	(disp × 4+Rm) Rn	1	-			
MOVA @(disp, PC), R0	11000111dddddddd	disp × 4+PC R0	1	-			
MOVI20 #imm20, Rn	0000nnnniiii0000 iiiiiiiiiiiiiiii	imm 符号拡張 Rn	1	-			
MOVI20S #imm20, Rn	0000nnnniiii0001 iiiiiiiiiiiiiiii	imm<<8 符号拡張 Rn	1	-			
MOVMLL Rm, @-R15	0100mmmm11110001	R15-4 R15, Rm (R15) R15-4 R15, Rm-1 (R15) : R15-4 R15, R0 (R15) Rm=R15 のとき、Rm を PR に 読み替え	1 ~ 16	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOVMLL @R15+, Rn	0100nnnn11110101	(R15) R0, R15+4 R15 (R15) R1, R15+4 R15 : (R15) Rn Rn=R15 のとき、Rn を PR に 読み替え	1 ~ 16	-			
MOVMLL Rm, @-R15	0100mmmm11110000	R15-4 R15, PR (R15) R15-4 R15, R14 (R15) : R15-4 R15, Rm (R15) Rm=R15 のとき、Rm を PR に読み替え	1 ~ 16	-			
MOVMLL @R15+, Rn	0100nnnn11110100	(R15) Rn, R15+4 R15 (R15) Rn+1, R15+4 R15 : (R15) R14, R15+4 R15 (R15) PR Rn=R15 のとき、Rn を PR に 読み替え	1 ~ 16	-			
MOVRT Rn	0000nnnn00111001	~T Rn	1	-			
MOV T Rn	0000nnnn00101001	T Rn	1	-			
MOVU.B @(disp12,Rm), Rn	0011nnnnmmmm0001 1000ddddddddddd	(disp+Rm) ゼロ拡張 Rn	1	-			
MOVU.W @(disp12,Rm),Rn	0011nnnnmmmm0001 1001ddddddddddd	(disp × 2+Rm) ゼロ拡張 Rn	1	-			
NOTT	000000001101000	~T T	1	演算結果			
PREF @Rn	0000nnnn10000011	(Rn) オペランドキャッシュ	1	-			
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm 下位 2 バイトの上下バイ ト交換 Rn	1	-			
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	-			
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm:Rn の中央 32 ビット Rn	1	-			

2.4.3 算術演算命令

表 2.12 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2, SH2E	SH4	SH-2A
ADD Rm, Rn	0011nnnnmmmmn1100	Rn+Rm Rn	1	-			
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm Rn	1	-			
ADDC Rm, Rn	0011nnnnmmmmn1110	Rn+Rm+T Rn, キャリー T	1	キャリー			
ADDV Rm, Rn	0011nnnnmmmmn1111	Rn+Rm Rn, オーバフロー T	1	オーバ フロー			
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/EQ Rm, Rn	0011nnnnmmmmn0000	Rn=Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/HS Rm, Rn	0011nnnnmmmmn0010	無符号で Rn Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/GE Rm, Rn	0011nnnnmmmmn0011	有符号で Rn Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/HL Rm, Rn	0011nnnnmmmmn0110	無符号で Rn>Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/GT Rm, Rn	0011nnnnmmmmn0111	有符号で Rn>Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/STR Rm, Rn	0010nnnnmmmmn1100	いずれかのバイトが等しいとき 1 T それ以外のとき 0 T	1	比較結果			
CLIPS.B Rn	0100nnnn10010001	Rn>(H'0000007F)のとき、 (H'0000007F) Rn, 1 CS Rn<(H'FFFFFF80)のとき、 (H'FFFFFF80) Rn, 1 CS	1	-			
CLIPS.W Rn	0100nnnn10010101	Rn>(H'00007FFF)のとき、 (H'00007FFF) Rn, 1 CS Rn<(H'FFF8000)のとき、 (H'FFF8000) Rn, 1 CS	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLIPU.B Rn	0100nnnn10000001	Rn>(H'000000FF)のとき、 (H'000000FF) Rn, 1 CS	1	-			
CLIPU.W Rn	0100nnnn10000101	Rn>(H'0000FFFF)のとき、 (H'0000FFFF) Rn, 1 CS	1	-			
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算(Rn ÷ Rm)	1	計算結果			
DIV0S Rm, Rn	0010nnnnmmmm0111	RnのMSB Q, RmのMSB M, M ^ Q T	1	計算結果			
DIV0U	0000000000011001	0 M/Q/T	1	0			
DIVS R0, Rn	0100nnnn10010100	符号付きで Rn ÷ R0 Rn 32 ÷ 32 32ビット	36	-			
DIVU R0, Rn	0100nnnn10000100	符号なしで Rn ÷ R0 Rn 32 ÷ 32 32ビット	34	-			
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32 × 32 64ビット	2	-			
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32 × 32 64ビット	2	-			
DT Rn	0100nnnn00010000	Rn - 1 Rn, Rnが0のとき 1 T Rnが0以外のとき 0 T	1	比較結果			
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rmをバイトから符号拡張 Rn	1	-			
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rmをワードから符号拡張 Rn	1	-			
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rmをバイトからゼロ拡張 Rn	1	-			
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rmをワードからゼロ拡張 Rn	1	-			
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで(Rn) × (Rm)+MAC MAC 32 × 32+64 64ビット	4	-			
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで(Rn) × (Rm)+MAC MAC 16 × 16+64 64ビット	3	-			
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm MACL 32 × 32 32ビット	2	-			
MULR R0, Rn	0100nnnn10000000	R0 × Rn Rn 32 × 32 32ビット	2				
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MACL 16 × 16 32ビット	1	-			
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MACL 16 × 16 32ビット	1	-			
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm Rn	1	-			
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T Rn, ボロー T	1	ボロー			
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm Rn	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T Rn, ボロー T	1	ボロー			
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm Rn, アンダフロー T	1	オーバ フロー			

2.4.4 論理演算命令

表 2.13 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm Rn	1	-			
AND #imm, R0	11001001iiiiiiii	R0 & imm R0	1	-			
AND.B #imm, @(R0, GBR)	11001101iiiiiiii	(R0+GBR) & imm (R0+GBR)	3	-			
NOT Rm, Rn	0110nnnnmmmm0111	~Rm Rn	1	-			
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm Rn	1	-			
OR #imm, R0	11001011iiiiiiii	R0 imm R0	1	-			
OR.B #imm, @(R0, GBR)	11001111iiiiiiii	(R0+GBR) imm (R0+GBR)	3	-			
TAS.B @Rn	0100nnnn00011011	(Rn)が0のとき1 T, それ以外のとき0 T, 1 MSB of(Rn)	3	テスト 結果			
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が0のとき1 T, その他0 T	1	テスト 結果			
TST #imm, R0	11001000iiiiiiii	R0 & imm, 結果が0のとき1 T その他0 T	1	テスト 結果			
TST.B #imm, @(R0, GBR)	11001100iiiiiiii	(R0+GBR) & imm, 結果が0のとき1 T その他0 T	3	テスト 結果			
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	-			
XOR #imm, R0	11001010iiiiiiii	R0 ^ imm R0	1	-			
XOR.B #imm, @(R0, GBR)	11001110iiiiiiii	(R0+GBR) ^ imm (R0+GBR)	3	-			

2.4.5 シフト命令

表 2.14 シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB			
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB			
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB			
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB			
SHAD Rm, Rn	0100nnnnmmmm1100	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm [MSB Rn]	1	-			
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB			
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB			
SHLD Rm, Rn	0100nnnnmmmm1101	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm [0 Rn]	1	-			
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB			
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB			
SHLL2 Rn	0100nnnn00001000	Rn<<2 Rn	1	-			
SHLR2 Rn	0100nnnn00001001	Rn>>2 Rn	1	-			
SHLL8 Rn	0100nnnn00011000	Rn<<8 Rn	1	-			
SHLR8 Rn	0100nnnn00011001	Rn>>8 Rn	1	-			
SHLL16 Rn	0100nnnn00101000	Rn<<16 Rn	1	-			
SHLR16 Rn	0100nnnn00101001	Rn>>16 Rn	1	-			

2.4.6 分岐命令

表 2.15 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BF label	10001011ddddddd	T=0 のとき disp × 2+PC PC, T=1 のとき nop	3/1*	-			
BF/S label	10001111ddddddd	遅延分岐、T=0 のとき disp × 2+PC PC, T=1 のとき nop	2/1*	-			
BT label	10001001ddddddd	T=1 のとき disp × 2+PC PC, T=0 のとき nop	3/1*	-			
BT/S label	10001101ddddddd	遅延分岐、T=1 のとき disp × 2+PC PC, T=0 のとき nop	2/1*	-			
BRA label	1010ddddddddddd	遅延分岐、disp × 2+PC PC	2	-			
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC PC	2	-			
BSR label	1011ddddddddddd	遅延分岐、PC PR, disp × 2+PC PC	2	-			
BSRF Rm	0000mmmm00000011	遅延分岐、PC PR, Rm+PC PC	2	-			
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC	2	-			
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC	2	-			
JSR/N @Rm	0100mmmm01001011	PC-2 PR, Rm PC	3	-			
JSR/N @@(disp8, TBR)	10000011ddddddd	PC-2 PR, (disp × 4+TBR) PC	5	-			
RTS	0000000000001011	遅延分岐、PR PC	2	-			
RTS/N	0000000001101011	PR PC	3	-			
RTV/N Rm	0000mmmm01111011	Rm R0, PR PC	3	-			

【注】 * 分岐しないときは1ステートになります。

2.4.7 システム制御命令

表 2.16 システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLRT	0000000000001000	0 T	1	0			
CLRMACH	0000000000101000	0 MACH, MACL	1	-			
LDBANK @Rm, R0	0100mmmm11100101	(指定レジスタバンクエントリ) R0	6	-			
LDC Rm, SR	0100mmmm00001110	Rm SR	3	LSB			
LDC Rm, TBR	0100mmmm01001010	Rm TBR	1	-			
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	-			
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	-			
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	5	LSB			
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	1	-			
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	1	-			
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	-			
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	-			
LDS Rm, PR	0100mmmm00101010	Rm PR	1	-			
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	-			
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	-			
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	-			
NOP	0000000000001001	無操作	1	-			
RESBANK	000000001011011	バンク R0 ~ R14, GBR, MACH, MACL, PR	9*	-			
RTE	000000000101011	遅延分岐、スタック領域 PC/SR	6	-			
SETT	0000000000011000	1 T	1	1			
SLEEP	0000000000011011	スリープ	5	-			
STBANK R0, @Rn	0100nnnn11100001	R0 (指定レジスタバンクエントリ)	7	-			
STC SR, Rn	0000nnnn00000010	SR Rn	2	-			
STC TBR, Rn	0000nnnn01001010	TBR Rn	1	-			
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	-			
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	-			
STC.L SR, @- Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	-			
STC.L GBR, @- Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	1	-			
STC.L VBR, @- Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	-			
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	-			
STS PR, Rn	0000nnnn00101010	PR Rn	1	-			
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	-			
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	-			
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	-			
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、 (imm × 4 + VBR) PC	5	-			

【注】 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリ レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合などの条件により、命令実行ステート数は増加します。

* バンクのオーバーフロー時は、ステート数が 19 です。

2.4.8 浮動小数点演算命令

表 2.17 浮動小数点演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FABS FRn	1111nnnn01011101	IFRn FRn	1	-			
FABS DRn	1111nnn001011101	IDRn DRn	1	-			
FADD FRm, FRn	1111nnnnmmmm0000	FRn+FRm FRn	1	-			
FADD DRm, DRn	1111nnn0mmm00000	DRn+DRm DRn	6	-			
FCMP/EQ FRm, FRn	1111nnnnmmmm0100	(FRn=FRm)? 1:0 T	1	比較結果			
FCMP/EQ DRm, DRn	1111nnn0mmm00100	(DRn=DRm)? 1:0 T	2	比較結果			
FCMP/GT FRm, FRn	1111nnnnmmmm0101	(FRn>FRm)? 1:0 T	1	比較結果			
FCMP/GT DRm, DRn	1111nnn0mmm00101	(DRn>DRm)? 1:0 T	2	比較結果			
FCNVDS DRm, FPUL	1111mmmm010111101	(float)DRm FPUL	2	-			
FCNVSD FPUL, DRn	1111nnn010101101	(double)FPUL DRn	2	-			
FDIV FRm, FRn	1111nnnnmmmm0011	FRn/FRm FRn	10	-			
FDIV DRm, DRn	1111nnn0mmm00011	DRn/DRm DRn	23	-			
FLDI0 FRn	1111nnnn10001101	0 × 00000000 FRn	1	-			
FLDI1 FRn	1111nnnn10011101	0 × 3F800000 FRn	1	-			
FLDS FRm, FPUL	1111mmmm00011101	FRm FPUL	1	-			
FLOAT FPUL, FRn	1111nnnn00101101	(float)FPUL FRn	1	-			
FLOAT FPUL, DRn	1111nnn000101101	(double)FPUL DRn	2	-			
FMAC FR0, FRm, FRn	1111nnnnmmmm1110	FR0 × FRm + FRn FRn	1	-			
FMOV FRm, FRn	1111nnnnmmmm1100	FRm FRn	1	-			
FMOV DRm, DRn	1111nnn0mmm01100	DRm DRn	2	-			
FMOV.S @(R0, Rm), FRn	1111nnnnmmmm0110	(R0+Rm) FRn	1	-			
FMOV.D @(R0, Rm), DRn	1111nnn0mmm0110	(R0+Rm) DRn	2	-			
FMOV.S @Rm+, FRn	1111nnnnmmmm1001	(Rm) FRn, Rm+=4	1	-			
FMOV.D @Rm+, DRn	1111nnn0mmm1001	(Rm) DRn, Rm+=8	2	-			
FMOV.S @Rm, FRn	1111nnnnmmmm1000	(Rm) FRn	1	-			
FMOV.D @Rm, DRn	1111nnn0mmm1000	(Rm) DRn	2	-			
FMOV.S @(disp12, Rm), FRn	0011nnnnmmmm0001 0111ddddddddddd	(disp × 4+Rm) FRn	1	-			
FMOV.D @(disp12, Rm), DRn	0011nnn0mmm0001 0111ddddddddddd	(disp × 8+Rm) DRn	2	-			
FMOV.S FRm, @(R0, Rn)	1111nnnnmmmm0111	FRm (R0+Rn)	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FMOV.D DRm, @(R0,Rn)	1111nnnnmmmm00111	DRm (R0+Rn)	2	-			
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn-4, FRm (Rn)	1	-			
FMOV.D DRm, @-Rn	1111nnnnmmmm01011	Rn-8, DRm (Rn)	2	-			
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm (Rn)	1	-			
FMOV.D DRm, @Rn	1111nnnnmmmm01010	DRm (Rn)	2	-			
FMOV.S FRm, @(disp12,Rn)	0011nnnnmmmm0001 0011ddddddddddd	FRm (disp x 4+Rn)	1	-			
FMOV.D DRm, @(disp12,Rn)	0011nnnnmmmm00001 0011ddddddddddd	DRm (disp x 8+Rn)	2	-			
FMUL FRm, FRn	1111nnnnmmmm0010	FRn x FRm FRn	1	-			
FMUL DRm, DRn	1111nnnn0mmmm00010	DRn x DRm DRn	6	-			
FNEG FRn	1111nnnn01001101	-FRn FRn	1	-			
FNEG DRn	1111nnnn001001101	-DRn DRn	1	-			
FSCHG	1111001111111101	FPSCR.SZ=~FPSCR.SZ	1	-			
FSQRT FRn	1111nnnn01101101	FRn FRn	9	-			
FSQRT DRn	1111nnnn001101101	DRn DRn	22	-			
FSTS FPUL,FRn	1111nnnn00001101	FPUL FRn	1	-			
FSUB FRm, FRn	1111nnnnmmmm0001	FRn-FRm FRn	1	-			
FSUB DRm, DRn	1111nnnn0mmmm00001	DRn-DRm DRn	6	-			
FTRC FRm, FPUL	1111mmmm00111101	(long)FRm FPUL	1	-			
FTRC DRm, FPUL	1111mmmm000111101	(long)DRm FPUL	2	-			

2.4.9 FPU に関する CPU 命令

表 2.18 FPU に関する CPU 命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
LDS Rm,FPSCR	0100mmmm01101010	Rm FPSCR	1	-			
LDS Rm,FPUL	0100mmmm01011010	Rm FPUL	1	-			
LDS.L @Rm+, FPSCR	0100mmmm01100110	(Rm) FPSCR, Rm+=4	1	-			
LDS.L @Rm+, FPUL	0100mmmm01010110	(Rm) FPUL, Rm+=4	1	-			
STS FPSCR, Rn	0000nnnn01101010	FPSCR Rn	1	-			
STS FPUL, Rn	0000nnnn01011010	FPUL Rn	1	-			
STS.L FPSCR, @-Rn	0100nnnn01100010	Rn-=4, FPSCR (Rn)	1	-			
STS.L FPUL, @-Rn	0100nnnn01010010	Rn-=4, FPUL (Rn)	1	-			

2.4.10 ビット操作命令

表 2.19 ビット操作命令

命 令	命令コード	動 作	実行 状態	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BAND.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0100ddddddddddd	(imm of (disp+ Rn))&T T	3	演算結果			
BANDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1100ddddddddddd	~(imm of (disp+ Rn))&T T	3	演算結果			
BCLR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0000ddddddddddd	0 (imm of (disp+ Rn))	3	-			
BCLR #imm3, Rn	10000110nnnn0iii	0 imm of Rn	1	-			
BLD.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0011ddddddddddd	(imm of (disp+Rn)) T	3	演算結果			
BLD #imm3, Rn	10000111nnnn1iii	imm of Rn T	1	演算結果			
BLDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1011ddddddddddd	~(imm of (disp+Rn)) T	3	演算結果			
BOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0101ddddddddddd	(imm of (disp+ Rn)) T T	3	演算結果			
BORNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1101ddddddddddd	~(imm of (disp+ Rn)) T T	3	演算結果			
BSET.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0001ddddddddddd	1 (imm of (disp+Rn))	3	-			
BSET #imm3, Rn	10000110nnnn1iii	1 imm of Rn	1	-			
BST.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0010ddddddddddd	T (imm of (disp+Rn))	3	-			
BST #imm3, Rn	10000111nnnn0iii	T imm of Rn	1	-			
BXOR.B #imm3, @(disp12, Rn)	0011nnnn0iii1001 0110ddddddddddd	(imm of (disp+ Rn)) ^ T T	3	演算結果			

2.5 処理状態

CPUの処理状態には、リセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.6に示します。

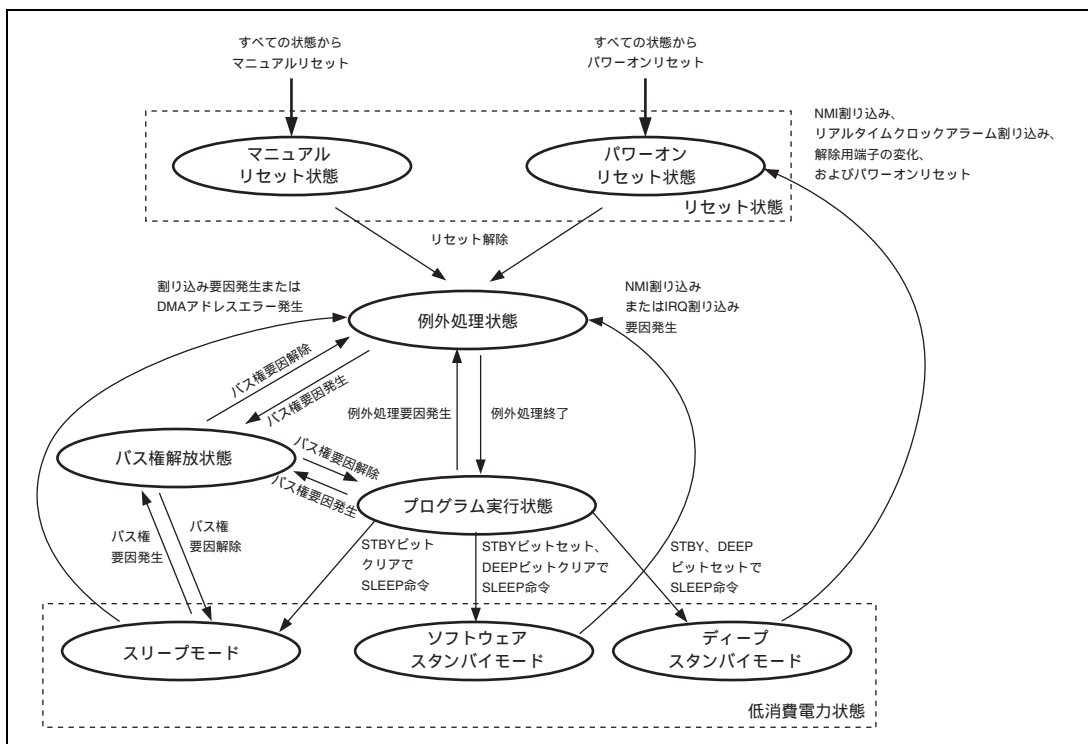


図2.6 処理状態の状態遷移図

(1) リセット状態

CPU がリセットされている状態です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときの過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後、処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、ソフトウェアスタンバイモード、またはディープスタンバイモードになります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

3. 浮動小数点ユニット (FPU)

3.1 特長

FPU には次のような特長があります。

- IEEE754規格に準拠
- 16本の単精度浮動小数点レジスタ (8本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 非正規化数処理モード：0へのフラッシュ
- 5つの例外要因：
無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：
単精度、倍精度、システム制御

3.2 データフォーマット

3.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号 (s)
- 指数 (e)
- 小数部 (f)

本 LSI は図 3.1 と図 3.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

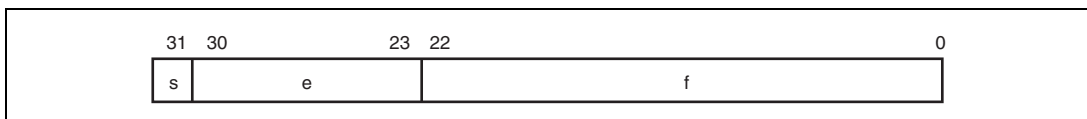


図 3.1 単精度浮動小数点フォーマット

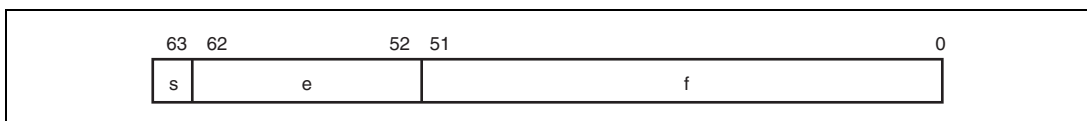


図 3.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{bias}$$

バイアスのない指数 E の範囲は、 $E_{\min}-1$ から $E_{\max}+1$ までです。 $E_{\min}-1$ と $E_{\max}+1$ の2つの値は次のように区別します。 $E_{\min}-1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max}+1$ は正または負の無限大または非数 (NaN) を表します。表 3.1 に E_{\min} と E_{\max} の値を示します。

表 3.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット	1 ビット	1 ビット
指数フィールド	8 ビット	11 ビット
小数フィールド	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{max}	+127	+1023
E_{min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

$E = E_{max} + 1$ かつ $f = 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。

$E = E_{max} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。

$E_{min} \leq E \leq E_{max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。

$E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 2^{E_{min}} (0.f)$ 「非正規化数」です。

$E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の 0」です。

表 3.2 に 16 進数による各数の範囲を示します。

表 3.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFF FFFF ~ H'7FC0 0000	H'7FFF FFFF FFFF FFFF ~ H'7FF8 0000 0000 0000
クワイアット非数	H'7FBF FFFF ~ H'7F80 0001	H'7FF7 FFFF FFFF FFFF ~ H'7FF0 0000 0000 0001
正の無限大	H'7F80 0000	H'7FF0 0000 0000 0000
正の正規化数	H'7F7F FFFF ~ H'0080 0000	H'7FEF FFFF FFFF FFFF ~ H'0010 0000 0000 0000
正の非正規化数	H'007F FFFF ~ H'0000 0001	H'000F FFFF FFFF FFFF ~ H'0000 0000 0000 0001
正のゼロ	H'0000 0000	H'0000 0000 0000 0000
負のゼロ	H'8000 0000	H'8000 0000 0000 0000
負の非正規化数	H'8000 0001 ~ H'807F FFFF	H'8000 0000 0000 0001 ~ H'800F FFFF FFFF FFFF
負の正規化数	H'8080 0000 ~ H'FF7F FFFF	H'8010 0000 0000 0000 ~ H'FFEF FFFF FFFF FFFF
負の無限大	H'FF80 0000	H'FFF0 0000 0000 0000
クワイアット非数	H'FF80 0001 ~ H'FFBF FFFF	H'FFF0 0000 0000 0001 ~ H'FFF7 FFFF FFFF FFFF
シグナリング非数	H'FFC0 0000 ~ H'FFFF FFFF	H'FFF8 0000 0000 0000 ~ H'FFFF FFFF FFFF FFFF

3.2.2 非数 (NaN)

図 3.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : Don't care
- 指数フィールド : すべてのビットが1
- 小数フィールド : 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイアット非数 (qNaN) です。

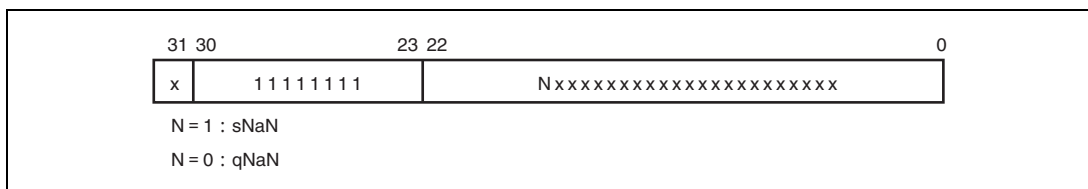


図 3.3 単精度の NaN ビットパターン

sNaN は、コピー、FABS または FNEG 以外の浮動小数点値を生成する演算で入力します。

- FPSCRのEN.Vビットが0の場合、演算結果（出力）はqNaNです。
- FPSCRのEN.Vビットが1の場合、無効演算例外によるFPU例外処理が発生します。この場合、演算のデステイネーションレジスタの内容は変更しません。

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR の EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として生成する qNaN の値は、常に次のような値になります。

- 単精度qNaN : H'7FBF FFFF
- 倍精度qNaN : H'7FF7 FFFF FFFF FFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細についてはそれぞれの命令の説明を参照してください。

3.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは 0 として、小数フィールドは 0 以外の値として表現します。

SH2A-FPU ではステータスレジスタ FPSCR の DN ビットが常に 1 のため、非正規化数（ソースオペランドまたは演算結果）は、（コピー、FNEG、FABS 以外の演算の）値を生成する浮動小数点演算で常に 0 にフラッシュされます。

非正規化数を入力する場合の浮動小数点演算の詳細については、それぞれの命令の説明を参照してください。

3.3 レジスタの説明

3.3.1 浮動小数点レジスタ

図 3.4 に浮動小数点レジスタの構成を示します。16 本の 32 ビット浮動小数点レジスタ FPR0 ~ FPR15 があります。この 16 本のレジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14 として参照されます。FPR_n と参照名の対応は FPSCR の PR ビットと SZ ビットによって決まります。図 3.4 を参照してください。

1. 浮動小数点レジスタ : FPR_i (16レジスタ)
FPR0, FPR1, FPR2, FPR3, FPR4, FPR5, FPR6, FPR7,
FPR8, FPR9, FPR10, FPR11, FPR12, FPR13, FPR14, FPR15
2. 単精度浮動小数点レジスタ : FR_i (16レジスタ)
FR0 ~ FR15 は FPR0 ~ FPR15に割り当てられます。
3. 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DR_i (8レジスタ)
DRレジスタは2つのFRレジスタから構成されます。
DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

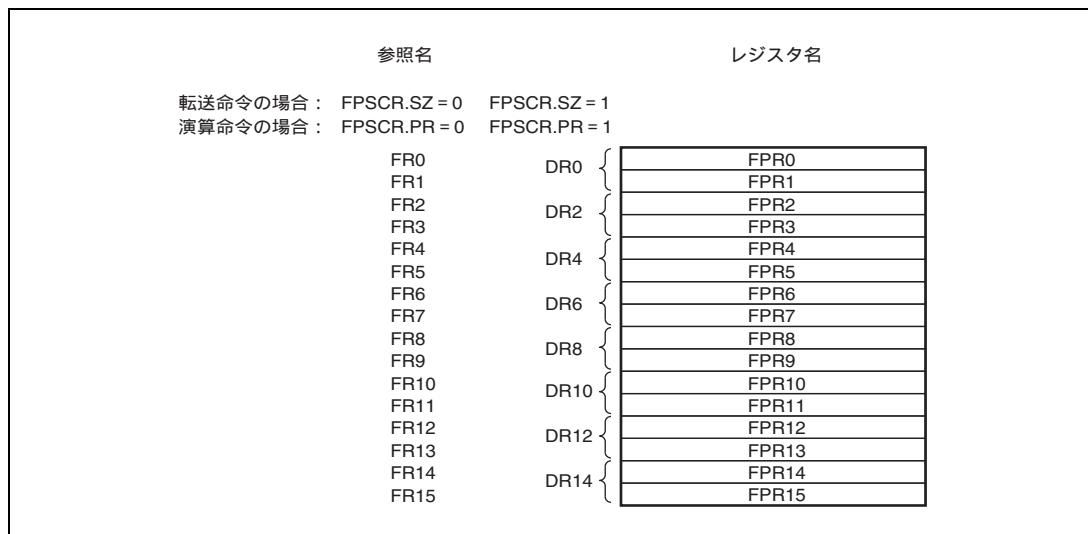


図 3.4 浮動小数点レジスタ

3.3.2 浮動小数点ステータス / コントロールレジスタ (FPSCR)

FPSCR は 32 ビットのレジスタで、浮動小数点命令の制御、FPU 例外の設定、および丸めの使用法を選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	QIS	-	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable				Flag				RM1	RM0		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	QIS	0	R/W	非数処理モード 0: qNaN あるいは ± をそのまま処理します。 1: qNaN あるいは ± を sNaN と同様に扱います (FPSCR のイネーブル V=1 のときのみ有効です)。
21	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	SZ	0	R/W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビットです。 1: FMOV 命令のデータサイズは 32 ビットペア (64 ビット) です。
19	PR	0	R/W	精度モード 0: 浮動小数点命令を単精度演算として実行します。 1: 浮動小数点命令を倍精度演算として実行します。
18	DN	1	R	非正規化モード (SH2A-FPU では常に 1 固定です) 1: 非正規化数を 0 として扱います。
17~12	Cause	H'00	R/W	FPU 例外要因フィールド FPU 例外イネーブルフィールド FPU 例外フラグフィールド 浮動小数点演算命令を実行すると、FPU 例外要因フィールドは最初に 0 にクリアされます。次に、浮動小数点演算によって FPU 例外が発生すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドに該当するビットは 1 にセットされます。FPU 例外フラグフィールドは、ソフトウェアによって 0 にクリアされるまで 1 の値を保持します。 FPU 例外イネーブルフィールドの該当するビットが 1 にセットされているとき、FPU 例外処理が発生します。 各フィールドのビットの割り付けについては表 3.3 を参照してください。
11~7	Enable	H'00	R/W	
6~2	Flag	H'00	R/W	

ビット	ビット名	初期値	R/W	説明
1	RM1	0	R/W	丸めモード 丸めの方法を選択します。 00：近傍への丸め 01：0方向への丸め 10：リザーブ 11：リザーブ
0	RM0	1	R/W	

表 3.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

【注】 SH2A-FPU では FPU エラーは発生しません。

3.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL を介して行われます。FPUL は 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

3.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に行われます。したがって、FMAC のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

FPSCR.RM[1:0] = 00 : 近傍への丸め

FPSCR.RM[1:0] = 01 : 0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}}(2-2^p)$ 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも大きい場合、表現可能な最大絶対値の数になります。

3.5 FPU 例外

3.5.1 FPU 例外要因

FPU 例外は浮動小数点演算命令で発生する可能性があり、その要因は次のとおりです。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : NaN入力のような無効な演算の場合
- 0による除算 (Z) : 除数0による除算
- オーバフロー (O) : 演算結果がオーバフローする場合
- アンダフロー (U) : 演算結果がアンダフローする場合
- 不正確例外 (I) : オーバフロー、アンダフロー、丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

3.5.2 FPU 例外処理

FPU 例外処理は次の場合に発生します。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : FPSCRのEnableのVビットが1かつ無効演算の場合
- 0による除算 (Z) : FPSCRのEnableのZビットが1かつ除数0による除算
- オーバフロー (O) : FPSCRのEnableのOビットが1かつ演算結果がオーバフローする可能性のある命令
- アンダフロー (U) : FPSCRのEnableのUビットが1かつ演算結果がアンダフローする可能性のある命令
- 不正確例外 (I) : FPSCRのEnableのIビットが1かつ演算結果が不正確になる可能性のある命令

浮動小数点演算による各例外処理の可能性については各命令の説明で示します。浮動小数点演算に起因するすべての例外事象は、同一の FPU 例外処理事象として割り付けられています。浮動小数点演算によって発生した例外の意味内容は、FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、FPU 例外処理が発生した場合は、デスティネーションレジスタは変更されません。

上記以外は V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) : 結果としてqNaNを生成します。
- 0による除算 (Z) : 丸め前と同じ符号付きの無限大を生成します。

- オーバフロー (O) :
 - 0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
 - 近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) : 丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) : 不正確な結果を生成します。

4. ブートモード

本 LSI は、CS0 空間に接続されたメモリ、NAND フラッシュメモリ、シリアルフラッシュメモリ、SD コントローラ内蔵 NAND フラッシュメモリ、および、MMC コントローラ内蔵 NAND フラッシュメモリからブートすることが可能です。

4.1 特長

- 6つのブートモード

ブートモード0 : CS0空間に接続されたメモリ (バス幅16bit) からブートします。

ブートモード1 : CS0空間に接続されたメモリ (バス幅32bit) からブートします。

ブートモード2 : NANDフラッシュメモリからブートします。

ブートモード3 : シリアルフラッシュメモリからブートします。

ブートモード4 : SDコントローラ内蔵NANDフラッシュメモリ*からブートします。

* SD Specification Part 1 eSD Addendum (Version 2.10) 規格で定義されている "eSD (Embedded SD)" からブート可能。

ブートモード5 : MMCコントローラ内蔵NANDフラッシュメモリ*からブートします。

* JEDEC STANDARD JESD84 A44 (MMCA 4.4) 規格のBoot operation modeに対応したeMMCデバイスからのみブート可能。(MMCカードからのブートはできません。)

4.2 ブートモードと端子機能設定

本 LSI は、 $\overline{\text{RES}} = \text{L}$ の状態の時に外部端子を用いてブートモードを決定することができます。ブートモードを決定する外部端子設定を表 4.1 に示します。

表 4.1 外部端子 (MD_BOOT2~0) 設定とブートモードの関係

MD_BOOT2	MD_BOOT1	MD_BOOT0	ブートモード
*	0	0	ブートモード 0 CS0 空間に接続されたメモリ (バス幅 16bit) からブートします。
*	1	0	ブートモード 1 CS0 空間に接続されたメモリ (バス幅 32bit) からブートします。
0	0	1	ブートモード 2 NAND フラッシュメモリコントローラに接続された NAND フラッシュメモリからブートします。
1	0	1	ブートモード 3 ルネサスシリアルペリフェラルインタフェースのチャンネル 0 (PB20~17) に接続されたシリアルフラッシュメモリからブートします。ルネサスシリアルペリフェラルインタフェースのチャンネル 0 (PJ19~16) からはブートできません。
0	1	1	ブートモード 4 SD ホストインタフェースのチャンネル 0 に接続された SD コントローラ内蔵フラッシュメモリからブートします。
1	1	1	ブートモード 5 MMC ホストインタフェースに接続された MMC コントローラ内蔵フラッシュメモリからブートします。

4.3 動作説明

4.3.1 ブートモード 0、ブートモード 1

ブートモード 0、1 は、CS0 空間に接続されたメモリからブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、CS0 空間に接続されたメモリに置かれている例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値 (実行開始アドレス) およびスタックポインタ (SP) の初期値を取り出し、プログラムの実行を開始します。

4.3.2 ブートモード 2

ブートモード 2 は、NAND フラッシュメモリコントローラに接続された NAND フラッシュメモリからブートします。対応する NAND フラッシュメモリは、ラージブロック (2048 + 64) サイズで 5 バイトアドレス (2G ビット以上の容量) 品となります。ブートモード 2 の起動フローは下記のようになります。

(1) ブート起動用内蔵 ROM プログラムの実行

パワーオンリセット解除後、CPU はブート起動用内蔵 ROM (非公開) に入っているプログラムを実行します。

(2) ローダプログラムの転送

NAND フラッシュメモリコントローラに接続された NAND フラッシュメモリからローダプログラム 8KB を高速内蔵 RAM の先頭番地に転送します。ローダプログラムは下記のように転送・チェックされます。

(a) ローダプログラム格納ブロックの検索 (BlockAddress0 ~ 1023max)

(b) ローダプログラム 8KB (16セクタ) の読み出し、高速内蔵 RAM へ転送

ローダプログラム転送終了後、CPU は転送したローダプログラムの実行を開始するために、高速内蔵 RAM へジャンプします。

(3) アプリケーションプログラムの転送 (任意)

ローダプログラム中で、展開したいデータを NAND フラッシュメモリコントローラを使用して、NAND フラッシュメモリから内蔵 RAM または外部 RAM へデータをロードします。

図 4.1 にブートモード 2 の仕様概略図を示します。

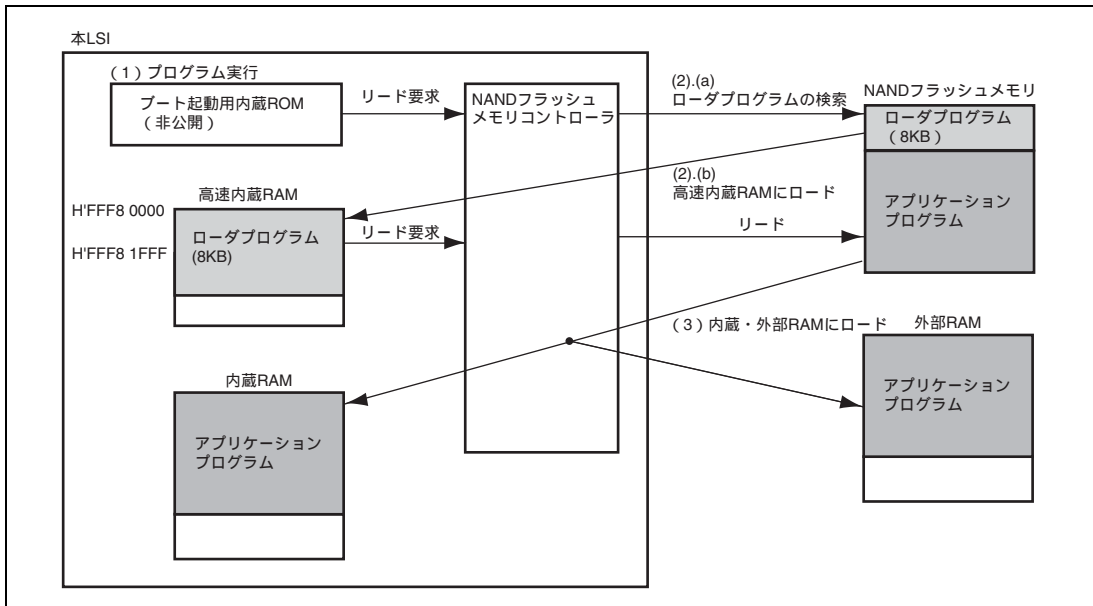


図 4.1 ブートモード 2 の仕様概略図

図 4.2 にローダプログラム格納場所を示します。

ローダプログラムはローダブロックのセクタ 0 ~ 15 に格納してください。ローダプログラムをセクタ単位で読み出します。

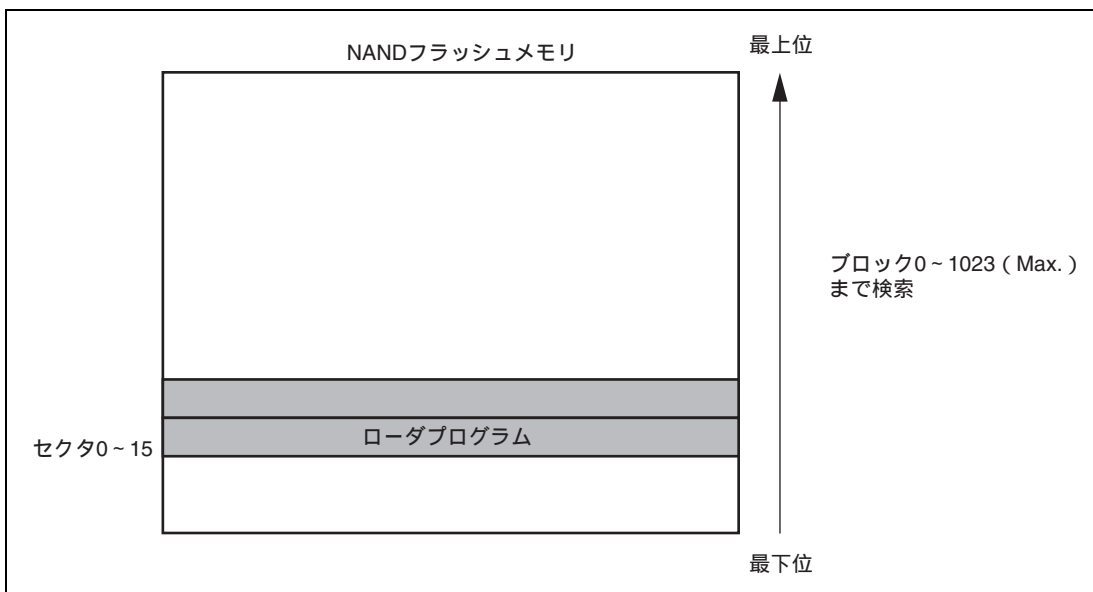


図 4.2 ローダプログラムの格納場所

4.3.3 ブートモード 3

ブートモード 3 は、ルネサスシリアルペリフェラルインタフェースのチャンネル 0 に接続されたシリアルフラッシュメモリからブートします。ブートモード 3 の起動フローは下記ようになります。

(1) ブート起動用内蔵 ROM プログラムの実行

パワーオンリセット解除後、CPU はブート起動用内蔵 ROM (非公開) に入っているプログラムを実行します。

(2) ローダプログラムの転送

ルネサスシリアルペリフェラルインタフェースのチャンネル 0 に接続されたシリアルフラッシュメモリの先頭番地から高速内蔵 RAM の先頭番地にローダプログラム 8KB を転送します。

ローダプログラム転送終了後、CPU は転送したローダプログラムの実行を開始するために、高速内蔵 RAM へジャンプします。

(3) アプリケーションプログラムの転送 (任意)

ローダプログラム中で、展開したいデータをルネサスシリアルペリフェラルインタフェースを使用して、シリアルフラッシュメモリから内蔵 RAM もしくは外部 RAM へデータをロードします。

図 4.3 にブートモード 3 の仕様概略図を示します。

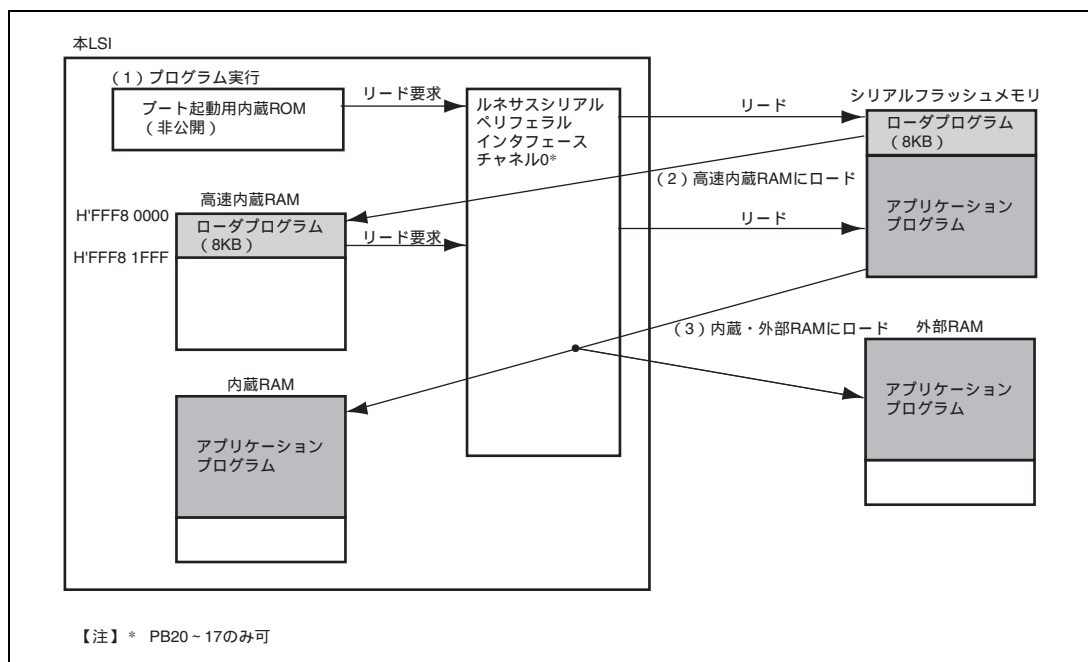


図 4.3 ブートモード 3 の仕様概略図

4.3.4 ブートモード 4

ブートモード 4 は、SD ホストインタフェースのチャンネル 0 に接続された SD コントローラ内蔵フラッシュメモリからブートします。ブートモード 4 の起動フローは下記ようになります。

(1) ブート起動用内蔵 ROM プログラムの実行

パワーオンリセット解除後、CPU はブート起動用内蔵 ROM (非公開) に入っているプログラムを実行します。

(2) ローダプログラムの転送

SD ホストインタフェースのチャンネル 0 に接続された SD コントローラ内蔵フラッシュメモリからローダプログラム 16KB を高速内蔵 RAM の先頭番地 (ページ 0) に転送します。また、ブート処理用のワークメモリとして、高速内蔵 RAM のページ 1 も使用します。

ローダプログラム転送終了後、CPU は転送したローダプログラムの実行を開始するために、高速内蔵 RAM のページ 0 ヘジャンプします。

(3) アプリケーションプログラムの転送 (任意)

ローダプログラム中で、展開したいデータを SD ホストインタフェースを使用して、SD コントローラ内蔵フラッシュメモリから内蔵 RAM または外部 RAM ヘデータをロードします。

図 4.4 にブートモード 4 の仕様概略図を示します。

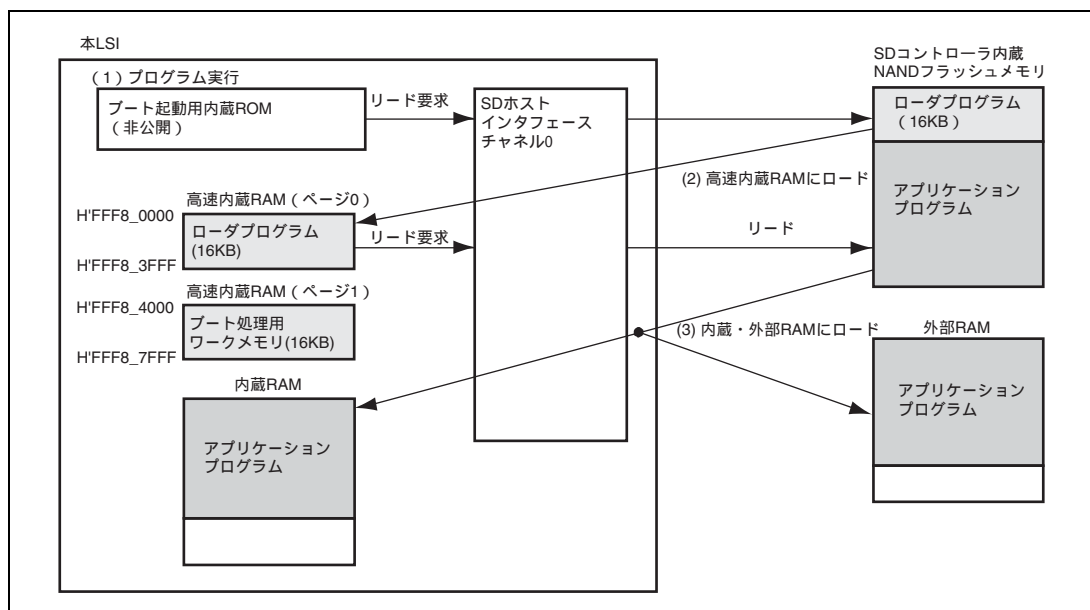


図 4.4 ブートモード 4 の仕様概略図

4.3.5 ブートモード 5

ブートモード 5 は、MMC ホストインタフェースに接続された MMC コントローラ内蔵フラッシュメモリからブートします。ブートモード 5 の起動フローは下記ようになります。

(1) ブート起動用内蔵 ROM プログラムの実行

パワーオンリセット解除後、CPU はブート起動用内蔵 ROM (非公開) に入っているプログラムを実行します。

(2) ローダプログラムの転送

MMC ホストインタフェースに接続された MMC コントローラ内蔵フラッシュメモリから MMC データバス幅 4 ビットでローダプログラム 16KB を高速内蔵 RAM の先頭番地 (ページ 0) に転送します。また、ブート処理用のワークメモリとして、高速内蔵 RAM のページ 1 も使用します。

ローダプログラム転送終了後、CPU は転送したローダプログラムの実行を開始するために、高速内蔵 RAM のページ 0 ヘジャンプします。

(3) アプリケーションプログラムの転送 (任意)

ローダプログラム中で、展開したいデータを MMC ホストインタフェースを使用して、MMC コントローラ内蔵フラッシュメモリから内蔵 RAM または外部 RAM ヘデータをロードします。

図 4.5 にブートモード 5 の仕様概略図を示します。

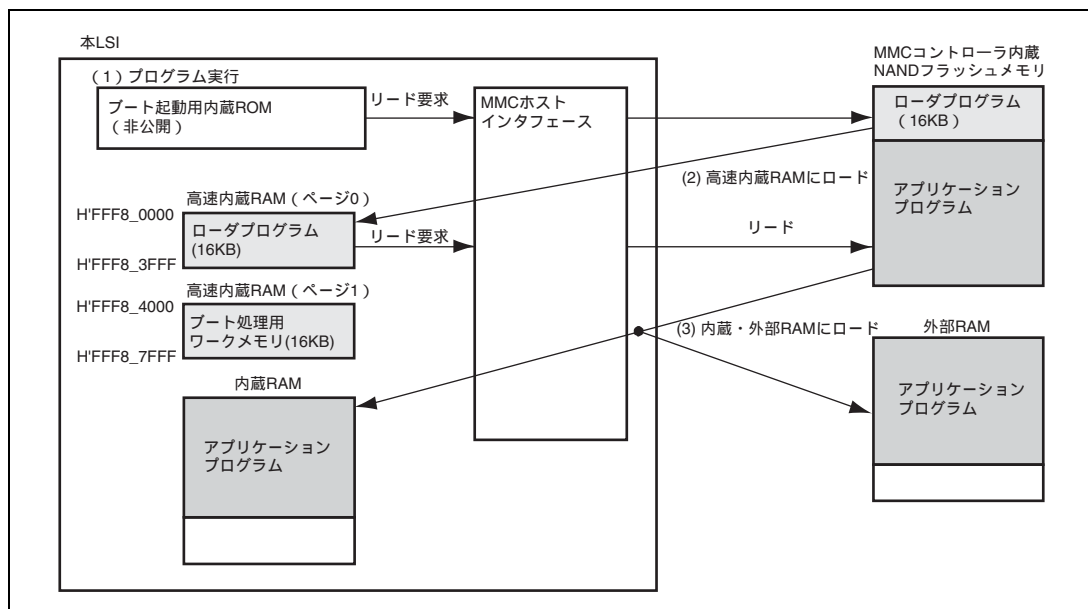


図 4.5 ブートモード 5 の仕様概略図

4.4 注意事項

4.4.1 ブート関連端子

ブートモードにより、CS0 空間のメモリリード、NAND フラッシュメモリコントローラ、ルネサスシリアルペリフェラルインタフェースのチャンネル 0、SD ホストインタフェースのチャンネル 0、MMC ホストインタフェースに関連する端子の初期状態、ディープスタンバイ時の端子出力状態などが異なります。

詳細については、それぞれ「第 10 章 バスステートコントローラ」、「第 48 章 汎用入出力ポート」、「第 49 章 低消費電力モード」の章を参照してください。

5. クロックパルス発振器

本 LSI は、クロックパルス発振器を内蔵しており、CPU クロック (I)、内部バスクロック (B)、周辺クロック 0 (P0)、および周辺クロック 1 (P1) を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。

5.1 特長

- 4種類のクロック

CPU、キャッシュで使用する CPU クロック (I)、I-Bus で使用する内部バスクロック (B) 周辺モジュールで使用する周辺クロック 0 (P0)、さらに外部バスインタフェースで使用する周辺クロック 1 (P1 = CKIO) を独立に生成できます。

- 周波数変更機能

本モジュール内部の PLL (Phase Locked Loop) 回路や分周回路により、CPU クロックと内部バスクロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、ソフトウェアスタンバイモード、およびディープスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、「第49章 低消費電力モード」を参照してください。

- SSCG機能

CPU 内部の PLL (Phase Locked Loop) 回路に SSCG (Spread Spectrum Clock Generator) を内蔵しています。SSCG とは、出力周波数をわずかに変動させて発振 (周波数変調) させることで、EMI (電磁波放射) ノイズのピークを抑えることができます。

本 LSI で使用している SSCG の仕様は、以下です。

- SSCG仕様

1. 変調波形 (変調プロファイル) : 三角波
2. スプレッドタイプ : ダウンスプレッド
3. 変調率 : - 2.5% (固定)
4. 変調周波数 : 20.00 ~ 26.67kHz (EXTAL周波数 ÷ 500)

図 5.1 にブロック図を示します。

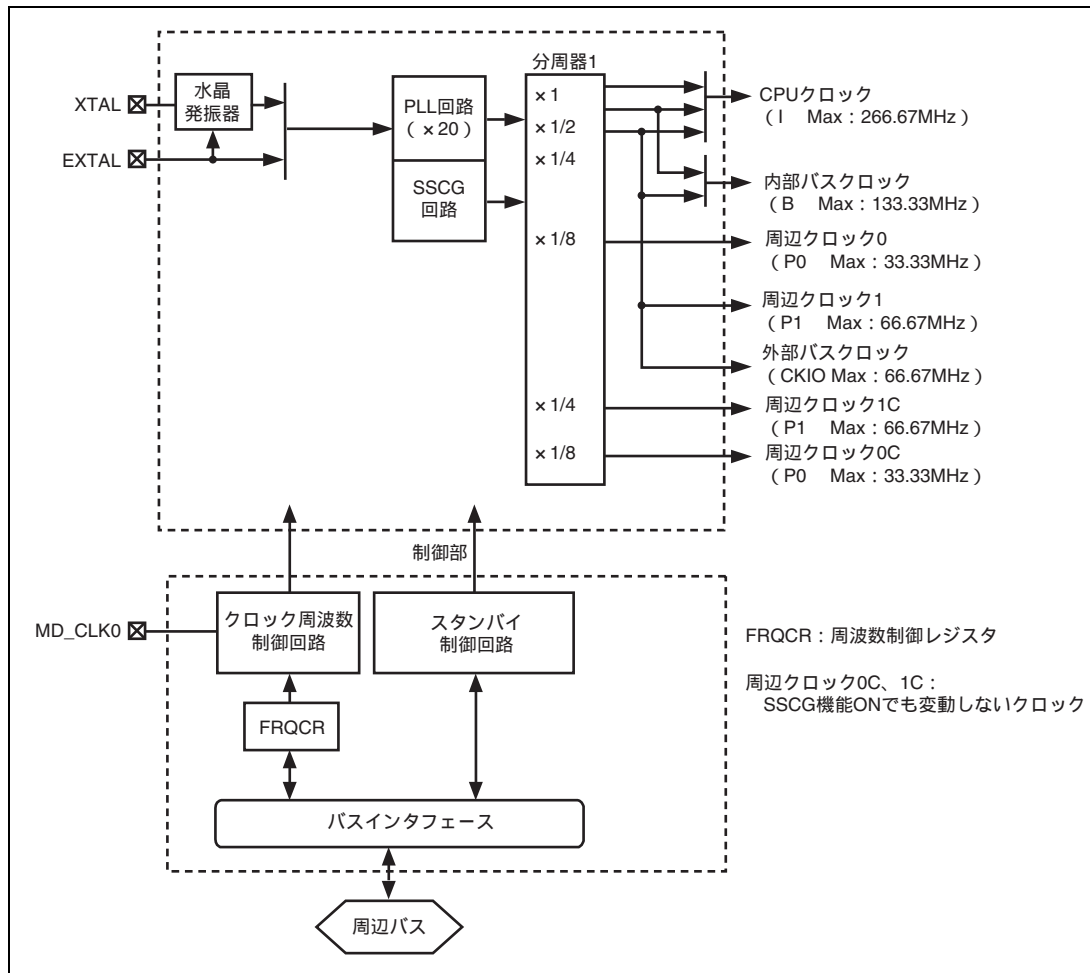


図 5.1 ブロック図

本モジュールの各ブロックは、次のように機能します。

(1) 水晶発振器

水晶発振器は、XTAL、EXTAL 端子に水晶発振子を接続する場合に使用されます。

(2) PLL 回路

PLL 回路は、水晶発振器または EXTAL 端子からの入力クロックを 20 逡倍する機能を持ちます。

(3) 分周器 1

分周器 1 は、CPU クロック、内部バスクロック、周辺クロック 0 および周辺クロック 1 で使用する動作周波数のクロックを生成する機能を持ちます。CPU クロックと内部バスクロックの分周率は、周波数制御レジスタで設定します。周辺クロック 1 の分周率は 1/4 固定、周辺クロック 0 の分周率は 1/8 固定です。

(4) クロック周波数制御回路

クロック周波数制御回路は、周波数制御レジスタ (FRQCR) によりクロック周波数を制御します。

(5) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時またはスリープモードやソフトウェアスタンバイモードおよびデュープスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

さらに、他のモジュールの低消費電力モードを制御するスタンバイコントロールレジスタがあります。スタンバイコントロールレジスタについては、「第 49 章 低消費電力モード」を参照してください。

(6) 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) には、ソフトウェアスタンバイモード時の CKIO 端子からのクロック出力の有無、CPU クロック (I) および内部バスクロック (B) の周波数分周率の各制御ビットが割り当てられています。

(7) SSCG 回路

SSCG 回路は、MD_CLK0 端子により機能 ON、機能 OFF の制御を行います。SSCG 機能が OFF の場合、内部クロックはすべて変動のない一定の周波数のクロックになります。SSCG 機能を ON にすると、以下に示す一部の周辺モジュールに供給するクロック以外が、変動する周波数のクロックになります。

常に変動しない周波数のクロックが供給される周辺モジュール：

IEBus コントローラ、マルチファンクションタイマパルスユニット 2、FIFO 内蔵シリアルコミュニケーションインタフェース、コントローラエリアネットワーク、コンペアマッチタイマ、モータコントロール PWM タイマ、サウンドジェネレータ

5.2 入出力端子

表 5.1 に端子構成と機能を示します。

表 5.1 端子構成と機能

名称	端子名	入出力	機能
モード制御端子	MD_CLK0	入力	SSCG 回路動作 ON、OFF を設定します。
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。 (水晶発振子を使用しない場合は、端子を開放してください)
	EXTAL	入力	水晶発振子を接続、または外部クロック入力端子として使用します。
クロック出力端子	CKIO	出力	クロック出力端子になります。

5.3 クロックモード

クロック入出力の関係を表 5.2 に示します。使用可能周波数範囲を表 5.3 に示します。

表 5.2 クロック入出力の関係

クロック入出力		PLL 回路	CKIO の周波数
供給源	出力		
EXTAL / 水晶発振子	CKIO	ON (× 20)	(EXTAL / 水晶) × 5

EXTAL 端子または水晶発振器からクロックを入力します。PLL 回路で波形成形および周波数逡倍を行い、本 LSI に供給します。EXTAL 端子入力および水晶発振子ともに発振周波数が 10MHz から 13.333MHz までのものを使用でき、CKIO の周波数レンジは 50MHz から 66.67MHz となります。

表 5.3 設定可能な周波数範囲

FRQCR レジスタ 設定値 *1	PLL 逡倍率 PLL 回路	内部 クロック比 (I : B : P1 : P0) *2	設定可能な周波数範囲 (MHz)					
			入力クロック *3	出力クロック (CKIO 端子)	CPU クロック (I)	内部 バスクロック (B)	周辺 クロック 1 (P1)	周辺 クロック 0 (P0)
H'x015	ON (× 20)	20 : 10 : 5 : 5/2	10 ~ 13.333	50 ~ 66.67	200 ~ 266.66	100 ~ 133.33	50 ~ 66.67	25 ~ 33.33
H'x035	ON (× 20)	20 : 5 : 5 : 5/2	10 ~ 13.333	50 ~ 66.67	200 ~ 266.66	50 ~ 66.67	50 ~ 66.67	25 ~ 33.33
H'x115	ON (× 20)	10 : 10 : 5 : 5/2	10 ~ 13.333	50 ~ 66.67	100 ~ 133.33	100 ~ 133.33	50 ~ 66.67	25 ~ 33.33
H'x135	ON (× 20)	10 : 5 : 5 : 5/2	10 ~ 13.333	50 ~ 66.67	100 ~ 133.33	50 ~ 66.67	50 ~ 66.67	25 ~ 33.33
H'x335	ON (× 20)	5 : 5 : 5 : 5/2	10 ~ 13.333	50 ~ 66.67	50 ~ 66.67	50 ~ 66.67	50 ~ 66.67	25 ~ 33.33

【注】 *1 FRQCR レジスタ設定値の x は、ビット 14、12、13 の設定値によります。

*2 入力クロック周波数を 1 としたときのクロック比です。

*3 EXTAL 端子からのクロック入力または水晶発振子の周波数です。

【注意事項】

表 5.3 以外の周波数設定で本 LSI を使用しないでください。

本 LSI は、 $\overline{\text{RES}} = \text{L}$ の状態のときに、MD_CLK0 端子の設定値により SSCG 動作 ON、OFF を切り替えます。設定値に対応する動作は、以下となります。ただし、PLL の逡倍率および各クロックの分周率が設定値によって変わるものではありません。

表 5.4 SSCG 動作設定

MD_CLK0 端子設定値	SSCG 動作
0	OFF
1	ON

5.4 レジスタの説明

レジスタ構成を表 5.5 に示します。

表 5.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R/W	H'0335	H'FFFE0010	16

5.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し/書き込み可能な 16 ビットのレジスタで、通常時、バス権解放時、XTAL 用水晶発振器のゲイン変更時、ソフトウェアスタンバイモード時、およびスタンバイ解除時の CKIO 端子からクロック出力の有無、CPU クロック (I)、および内部バスクロック (B) の周波数分周率の指定ができます。FRQCR は、ワードアクセスのみ可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	CKOEN2	CKOEN[1:0]	-	-	-	IFC[1:0]	-	-	-	BFC[1:0]	-	-	-	-	-
初期値:	0	0	0	0	0	0	1	1	0	0	1	1	0	1	0	1
R/W:	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	CKOEN2	0	RW	クロック出力イネーブル 2 CKOEN2 は、XTAL 水晶発振器のゲイン変更時に CKIO 端子からクロックを出力するか CKIO 端子をローレベル固定するかを指定します。 1 を設定した場合は、XTAL 水晶発振器のゲイン変更時の間、CKIO 端子がローレベルに固定されます。これにより XTAL 水晶発振器のゲイン変更時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。 0 : 不安定なクロックを出力 1 : ローレベル出力
13, 12	CKOEN[1:0]	00	R/W	クロック出力イネーブル CKOEN[1:0]は、通常時、バス権解放時、ディープスタンバイモード時、スタンバイモード時、およびスタンバイ解除時に CKIO 端子からクロックを出力するか、CKIO 端子をレベル固定するか、ハイインピーダンス状態 (Hi-Z) にするかを指定します。 01 を設定した場合は、ディープスタンバイモード時、ソフトウェアスタンバイモード時およびソフトウェアスタンバイ解除時の間、CKIO 端子がローレベルに固定されます。これにより、ソフトウェアスタンバイ解除時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。 表 5.6 に CKOEN[1:0]ビットの設定内容を示します。

ビット	ビット名	初期値	R/W	説明
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	IFC[1:0]	11	R/W	CPU クロック周波数の分周率 PLL 回路の出力周波数に対しての CPU クロック周波数の分周率を指定します。 00 : ×1 倍 01 : ×1/2 倍 10 : 予約 (設定禁止) 11 : ×1/4 倍。
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	BFC[1:0]	11	R/W	内部バスクロック周波数の分周率 PLL 回路の出力周波数に対しての内部バスクロック周波数の分周率を指定します。 00 : 予約 (設定禁止) 01 : ×1/2 倍 10 : 予約 (設定禁止) 11 : ×1/4 倍
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
1	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

表 5.6 CKOEN[1:0]ビットの設定内容

設定値	通常時	バス権解放時	ソフトウェアスタンバイモード時	ディープスタンバイモード時*
00	出力	出力オフ (Hi-Z)	出力オフ (Hi-Z)	出力オフ (Hi-Z)
01	出力	出力	ローレベル出力	ローレベル出力
10	出力	出力	出力 (不安定なクロック出力)	ローレベル出力またはハイレベル出力
11	出力オフ (Hi-Z)	出力オフ (Hi-Z)	出力オフ (Hi-Z)	出力オフ (Hi-Z)

【注】 * ただし、ディープスタンバイ解除時、出力される CKIO クロックの先頭が欠ける場合があります。

5.5 周波数変更方法

CPU クロック (I) および内部バスクロック (B) の周波数を変更するには、分周器の分周率を変えます。分周率の変更は、周波数制御レジスタ (FRQCR) によってソフトウェアで制御します。

5.5.1 分周率の変更

分周率を変更する手順は、以下の方法です。

1. 初期状態では、IFC[1:0] = B'11、BFC[1:0] = B'11になっています。
2. IFC[1:0]、BFC[1:0]ビットを目的とする値に設定します。誤った値を設定すると本LSIは誤動作するので注意してください。
3. レジスタの各ビット (IFC[1:0]、BFC[1:0]) が設定されると、設定されたクロックに切り替わります。

【注】 周波数変更後 SLEEP 命令を実行する場合、周波数制御レジスタ (FRQCR) を 3 回リードしてから SLEEP 命令を実行してください。

5.6 クロック端子の使用方法

本 LSI には、水晶発振子を接続またはクロック入力可能な端子として、表 5.7 に示す端子があります。

これらの端子に関して、以下のことに注意してください。なお、本文中の Xin 端子と Xout 端子は表 5.7 の端子を示します。

表 5.7 クロック端子

Xin 端子 (水晶発振子を接続または外部クロック入力端子として使用する)	Xout 端子 (水晶発振子を接続する)
EXTAL	XTAL
USB_X1	USB_X2
AUDIO_X1	AUDIO_X2
RTC_X1	RTC_X2
VIDEO_X1	VIDEO_X2

5.6.1 外部クロック入力時

外部クロック入力の接続例を図 5.2 に示します。Xout 端子を開放状態にする場合、寄生容量は 10pF 以下にしてください。

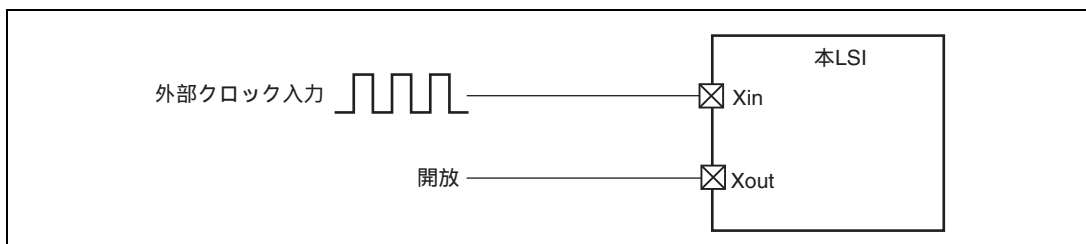


図 5.2 外部クロックの接続例

5.6.2 水晶発振子使用時

水晶発振子の接続例を図 5.3 に示します。

水晶発振子と容量 CL1、CL2 は、できるだけ X_{in} 端子と X_{out} 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、水晶発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

水晶発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する水晶発振子の接続例を参考に、ユーザ側での十分な評価を実施して使用してください。水晶発振子の回路定格は、水晶発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカーと十分ご相談の上決定してください。クロック端子に印加される電圧が最大定格を超えないようにしてください。帰還抵抗を内蔵しておりますが、水晶発振子の特性によっては外付け帰還抵抗が必要になる場合があります。ユーザ側で十分な評価を実施して、パラメータ（抵抗、容量値）を設定してください。

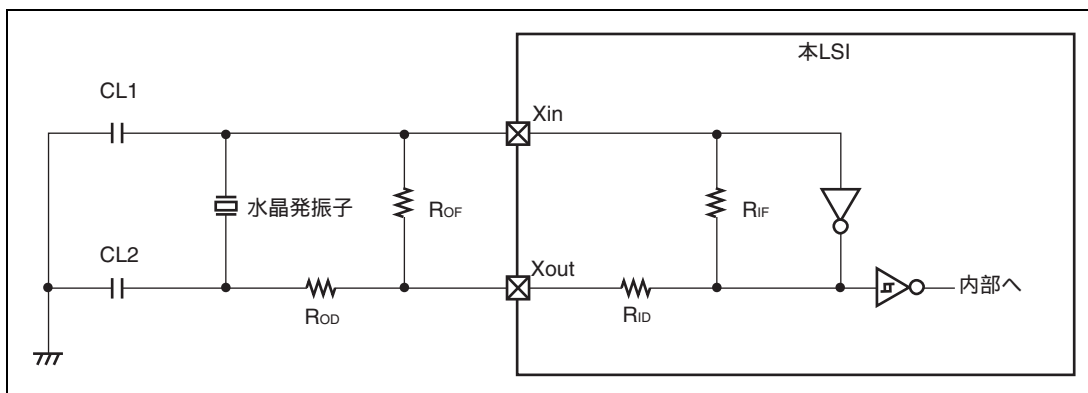


図 5.3 水晶発振子の接続例

5.6.3 未使用時

未使用時は、X_{in} 端子は固定（プルアップ／プルダウン／電源接続／グランド接続）、X_{out} 端子は開放にしてください。

5.7 発振安定時間

5.7.1 内蔵水晶発振器の発振安定時間

内蔵水晶発振器の発振安定時間確保のため、水晶発振器使用時は以下の場合には発振安定時間以上待つようにしてください（外部クロック入力時は必要ありません）。

- 電源投入時
- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子で解除するとき
- パワーオンリセットまたはレジスタ設定により、発振停止から発振動作へ変化するとき（AUDIO_X1、RTC_X1）
- $\overline{\text{RES}}$ 端子によるパワーオンリセットにより、水晶発振器のゲインが変化するとき（EXTAL）

5.7.2 PLL 回路の発振安定時間

EXTAL からの入力、PLL に供給されます。このため、EXTAL に水晶発振器を使用するか外部クロック入力するかにかかわらず、PLL 回路の発振安定時間確保のため、以下の場合には発振安定時間以上待つようにしてください。

- 電源投入時（水晶発振器使用時） / 外部クロック入力開始時（外部クロック入力時）
- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子で解除するとき

【備考】

以下の場合には本 LSI 内部のカウンタが動作することで発振安定時間が確保されます。

- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子以外で解除するとき
- レジスタ設定により、水晶発振器のゲインを変更するとき（EXTAL）

5.8 ボード設計上の注意事項

5.8.1 PLL 発振回路使用時の注意

PLL 用 PLLVcc の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と Vcc、PVcc のデジタル電源系は、極力基板上で同一リソースを供給しないでください。

PLLVcc は PVcc と同電位にしてください。

5.9 SSCG 仕様の変調率と変調周波数の定義

SSCG 回路では、出力周波数をわずかに変動させて周波数変調を行うことにより輻射ノイズのピークを抑えることができます。このときの周波数の変化率を変調率、入力クロックに対する周波数遷移の周波数を変調周波数と定義します。変調率と変調周波数を図 5.4 に示します。

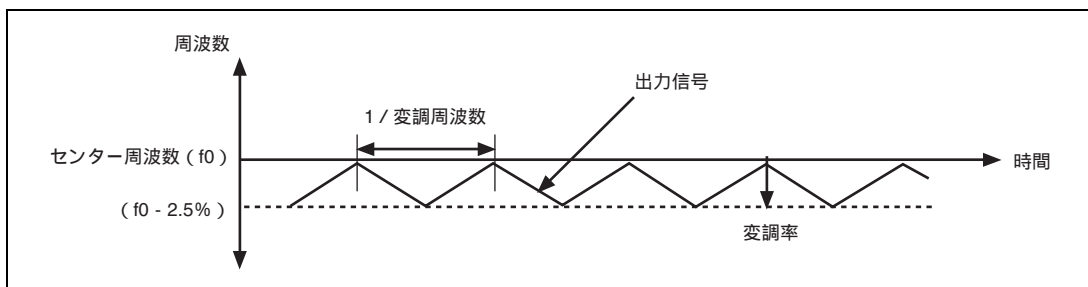


図 5.4 SSCG 変調率と変調周波数の定義



6. 例外処理

6.1 概要

6.1.1 例外処理の種類と優先順位

例外処理は、表 6.1 に示すようにリセット、アドレスエラー、レジスタバンクエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 6.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 6.1 例外要因の種類と優先順位

種類	例外処理	優先順位
リセット	パワーオンリセット	高   低
	マニュアルリセット	
アドレスエラー	CPU アドレスエラー	
	DMA アドレスエラー	
命令	FPU 例外	
	整数除算例外 (0 除算)	
	整数除算例外 (オーバフロー)	
レジスタバンクエラー	バンクアンダフロー	
	バンクオーバフロー	
割り込み	NMI	
	ユーザブレイク	
	ユーザデバッグインタフェース	
	IRQ	
	PINT	
命令	トラップ命令 (TRAPA 命令)	
	一般不当命令 (未定義コード)	
	スロット不当命令 (遅延分岐命令*1 直後に配置された未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、PC を書き換える命令*2、32 ビット命令*3、RESBANK 命令、DIVS 命令または DIVU 命令)	

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAF

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRAf、JSR/N、RTV/N

*3 32 ビット命令 : BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W

6.1.2 例外処理の動作

各例外要因は表 6.2 に示すタイミングで検出され、処理が開始されます。

表 6.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化、ユーザデバッグインタフェースリセットアサートコマンドをセットした後にユーザデバッグインタフェースリセットネゲートコマンドのセット、またはウォッチドッグタイマのオーバフローで開始されます。
	マニュアルリセット	ウォッチドッグタイマのオーバフローで開始されます。
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始されます。
割り込み		
レジスタバンクエラー	バンクアンダフロー	レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとするを開始されます。
	バンクオーバフロー	割り込みコントローラでレジスタバンクオーバフロー例外を受け付けるように設定（割り込みコントローラの IBNR の BOVE ビット = 1）されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていたときに開始されます。
命令	トラップ命令	TRAPA 命令の実行により開始されます。
	一般不当命令	遅延分岐命令直後（遅延スロット）以外にある未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）がデコードされると開始されます。
	スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令がデコードされると開始されます。
	整数除算例外	ゼロによる除算例外、または負の最大値（H'80000000）を -1 で除算することによるオーバフロー例外が検出されると開始されます。
	FPU 例外	浮動小数点演算命令の無効演算例外（IEEE754 規定）、ゼロによる除算例外、オーバフロー、アンダフロー、または不正確例外により開始されます。また、FPSCR の QIS ビットがセットされているとき、qNaN または ± を浮動小数点演算命令のソースに入力すると開始されます。

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「6.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を HF (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラ (割り込みコントローラ) の IBNR の BN ビットを 0 に初期化します。さらにパワーオンリセット時には、FPSCR を H'00040001 に初期化します。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、レジスタバンクエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。NMI およびユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される割り込み例外処理のベクタテーブルアドレスオフセットを、レジスタバンクに退避します。アドレスエラー、レジスタバンクエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンクに退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (割り込みコントローラの IBNR の BOVE ビット = 0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (割り込みコントローラの IBNR の BOVE ビット = 1) されている場合には、レジスタバンクオーバーフロー例外が発生します。割り込み例外処理の場合、割り込み優先レベルを SR の I3~I0 ビットに書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスからプログラムの実行を開始します。

6.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルがメモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンの開始アドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 6.3 に、ベクタテーブルアドレスの算出法を表 6.4 に示します。

表 6.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DMA アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
FPU 例外		13	H'00000034 ~ H'00000037
ユーザデバッグインタフェース		14	H'00000038 ~ H'0000003B
バンクオーバフロー		15	H'0000003C ~ H'0000003F
バンクアンダフロー		16	H'00000040 ~ H'00000043
整数除算例外 (0 除算)		17	H'00000044 ~ H'00000047
整数除算例外 (オーバフロー)		18	H'00000048 ~ H'0000004B
(システム予約)		19	H'0000004C ~ H'0000004F
		:	:
		31	H'0000007C ~ H'0000007F

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット
トラップ命令 (ユーザベクタ)	32	H'00000080 ~ H'00000083
	:	:
	63	H'000000FC ~ H'000000FF
外部割り込み (IRQ、PINT)、内蔵周辺モジュール*	64	H'00000100 ~ H'00000103
	:	:
	511	H'000007FC ~ H'000007FF

【注】 * 外部割り込み、各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「第7章 割り込みコントローラ」の表 7.4 を参照してください。

表 6.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、レジスタバンクエラー、割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

- 【注】 1. ベクタテーブルアドレスオフセット：表 6.3 を参照
2. ベクタ番号：表 6.3 を参照

6.2 リセット

6.2.1 入出力端子

表 6.5 に端子構成を示します。

表 6.5 端子構成

名称	端子名	入出力	機能
パワーオンリセット	RES	入力	端子にローレベルを入力することにより、パワーオンリセット処理へ遷移します。

6.2.2 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 6.6 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。FPU 状態はパワーオンリセットでは初期化され、マニュアルリセットでは初期化されません。また、内蔵周辺モジュールのレジスタは一部のレジスタを除き、パワーオンリセットで初期化されますが、マニュアルリセットでは初期化されません。

表 6.6 リセット状態

種類	リセット状態への遷移条件			内部状態				
	RES	ユーザデバッグ インタフェースコマンド	ウォッチ ドッグタイマ オーバーフロー	CPU	CPU 以外 のモジュ ール	高速内 蔵 RAM	大容量内蔵 RAM (保持用内 蔵 RAM を除く)	保持用 内蔵 RAM
パワー オン リセッ ト	ロー	-	-	初期化	初期化	初期化 or 保持*2	初期化 or 保持*3	初期化 or 保持 *4、*5
	ハイ	ユーザデバッグインタフ ェースリセットアサート コマンドをセット	-	初期化	初期化	初期化 or 保持*2	初期化 or 保持*3	初期化 or 保持 *4
	ハイ	ユーザデバッグインタフ ェースリセットアサート 以外のコマンドをセット	パワーオン	初期化	*1	初期化 or 保持*2	初期化 or 保持*3	初期化 or 保持 *4
マニ ュ アル リ セッ ト	ハイ	ユーザデバッグインタフ ェースリセットアサート 以外のコマンドをセット	マニュアル	初期化	*1	保持	保持	保持

【注】 *1 「51.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

*2 RAME ビットまたは RAMWE ビットを無効にすることにより、データを保持し続けます。

*3 VRAME ビットまたは VRAMWE ビットを無効にすることにより、データを保持し続けます。

*4 VRAME、VRAMWE または RRAMWE ビットを無効にすることにより、データを保持し続けます。

*5 ディープスタンバイモードをパワーオンリセットで解除した場合、データを保持することはできません。

6.2.3 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時またはソフトウェアスタンバイモード時（クロックが停止している場合は発振安定時間の間、クロックが動作している場合は最低 20tcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「53.1 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を HF (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラの IBNR の BN ビットを 0 に初期化します。さらに、FPSCR を H'00040001 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) ユーザデバッグインタフェースリセットアサートコマンドによるパワーオンリセット

ユーザデバッグインタフェースリセットアサートコマンドをセットすると、パワーオンリセット状態になります。ユーザデバッグインタフェースリセットアサートコマンドは、 $\overline{\text{RES}}$ 端子によるパワーオンリセットと同等です。ユーザデバッグインタフェースリセットネゲートコマンドをセットすることにより、パワーオンリセット状態が解除されます。ユーザデバッグインタフェースリセットアサートコマンドとユーザデバッグインタフェースリセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。ユーザデバッグインタフェースリセットアサートコマンドによるパワーオンリセット状態で、ユーザデバッグインタフェースリセットネゲートコマンドをセットすると、パワーオンリセット例外処理が開始されます。このときの CPU の動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

(3) ウォッチドッグタイマによるパワーオンリセット

ウォッチドッグタイマのウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、ウォッチドッグタイマの WTCNT がオーバーフローするとパワーオンリセット状態になります。

このとき、ウォッチドッグタイマによるリセット信号ではウォッチドッグタイマの WRCSR、クロックパルス発振器の FRQCR は初期化されません。

また、 $\overline{\text{RES}}$ 端子、ユーザデバッグインタフェースリセットアサートコマンドによるリセットとウォッチドッグタイマのオーバーフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子、ユーザデバッグインタフェースリセットアサートコマンドによるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。ウォッチドッグタイマによりパワーオンリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

6.2.4 マニュアルリセット

(1) ウォッチドッグタイマによるマニュアルリセット

ウォッチドッグタイマのウォッチドッグタイマモードでマニュアルリセットが発生する設定にしウォッチドッグタイマの WTCNT がオーバフローすると、マニュアルリセット状態になります。

ウォッチドッグタイマによりマニュアルリセット例外処理が開始されたときの CPU は、次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を HF (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラの IBNR の BN ビットを 0 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

(2) マニュアルリセット時の注意事項

マニュアルリセット発生時、バスサイクルは保持されます。バス権解放中やダイレクトメモリアクセスコントローラバースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。マニュアルリセットでは CPU および割り込みコントローラの IBNR の BN ビットを初期化します。FPU やその他のモジュールは初期化されません。

6.3 アドレスエラー

6.3.1 アドレスエラー発生要因

アドレスエラーは、表 6.7 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 6.7 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*、内蔵 RAM 空間*の H'F0000000 ~ H'F5FFFFFFF 以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間*、内蔵 RAM 空間*の H'F0000000 ~ H'F5FFFFFFF から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPUまたはダイレクトメモリアクセスコントローラ	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし（正常）
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ダブルロングワードデータをダブルロングワード境界からアクセス	なし（正常）
		ダブルロングワードデータをダブルロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）

【注】 * 内蔵周辺モジュール空間および内蔵 RAM 空間については、「第 10 章 バスステートコントローラ」を参照してください。

6.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したアドレスエラーに対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.4 レジスタバンクエラー

6.4.1 レジスタバンクエラー発生要因

(1) バンクオーバーフロー

割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けるように設定（割り込みコントローラの IBNR の BOVE ビット = 1）されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていた場合

(2) バンクアンダフロー

レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとした場合

6.4.2 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が発生します。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、バンクオーバーフロー時は最後に実行した命令の次命令の先頭アドレス、アンダフロー時は実行したRESBANK命令の先頭アドレスです。
バンクオーバーフロー時は多重割り込みを防止するために、バンクオーバーフローの要因となった割り込みのレベルをステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）に書き込みます。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.5 割り込み

6.5.1 割り込み要因

割り込み例外処理を起動させる要因には、NMI、ユーザブレイク、ユーザデバッグインタフェース、IRQ、PINT、および内蔵周辺モジュールがあります。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第7章 割り込みコントローラ」の表 7.4 を参照してください。

6.5.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラによって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0～16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク、ユーザデバッグインタフェースの優先レベルは 15 です。IRQ 割り込み、PINT 割り込みと内蔵周辺モジュール割り込みの優先レベルは、割り込みコントローラの割り込み優先レベル設定レジスタ 01、02、05～26 (IPR01、IPR02、IPR05～IPR26) で自由に設定することができます (表 6.8)。設定できる優先レベルは 0～15 で、優先レベル 16 は設定できません。IPR01、IPR02、IPR05～IPR26 については「7.3.1 割り込み優先レベル設定レジスタ 01、02、05～26 (IPR01、IPR02、IPR05～IPR26)」を参照してください。

表 6.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレイク	15	優先レベル固定
ユーザデバッグインタフェース	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタ 01、02、05～26 (IPR01、IPR02、IPR05～IPR26) により設定
PINT		
内蔵周辺モジュール		

6.5.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラによって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は受け付けた割り込みに対応する例外サービスルーチンの開始アドレスを例外処理ベクタテーブルから取り出し、SR とプログラムカウンタ (PC) をスタックに退避します。NMI、ユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合には、汎用レジスタ R0 ~ R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される例外処理のベクタテーブルアドレスオフセットをレジスタバンクに退避します。アドレスエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンク (0 ~ 14) に退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (割り込みコントローラの IBNR の BOVE ビット = 0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (割り込みコントローラの IBNR の BOVE ビット = 1) されている場合には、レジスタバンクオーバーフロー例外が発生します。次に、受け付けた割り込みの優先レベル値を SR の I3 ~ I0 ビットに書き込みます。ただし、NMI の場合の優先レベルは 16 ですが、I3 ~ I0 ビットに設定される値は HF (レベル 15) です。その後、例外処理ベクタテーブルから取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。割り込み例外処理の詳細については「7.6 動作説明」を参照してください。

6.6 命令による例外

6.6.1 命令による例外の種類

例外処理を起動する命令には、表 6.9 に示すように、トラップ命令、スロット不当命令、一般不当命令、整数除算例外、および FPU 例外があります。

表 6.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、または DIVU 命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N 32 ビット命令：BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W
一般不当命令	遅延スロット以外にある未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）	
整数除算例外	ゼロ除算	DIVU、DIVS
	負の最大値 ÷ (-1)	DIVS
FPU 例外	IEEE754 規格で定義された無効演算例外またはゼロによる除算例外を引き起こす命令、オーバフロー、アンダフロー、および不正確例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

6.6.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. TRAPA 命令で指定したベクタ番号に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.6.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、または DIVU 命令のとき、これらの命令がデコードされるとスロット不当命令例外処理が開始されます。さらに、FPU をモジュールスタンバイ状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は未定義コードとして扱われ、遅延スロットに配置された場合、この命令がデコードされるとスロット不当命令例外処理が開始されます。

スロット不当命令例外処理のとき、CPU は次のように動作します。

1. 例外サービスルーチンの開始アドレスを例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令の直前にある遅延分岐命令の飛び先アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.6.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）をデコードすると、一般不当命令例外処理が開始されます。また、FPU をモジュールスタンバイ状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は未定義コードとして扱われ、遅延分岐命令の直後（遅延スロット）以外に配置された場合、この命令がデコードされると一般不当命令例外処理が開始されます。

一般不当命令例外処理時、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

6.6.5 整数除算例外

整数除算命令がゼロによる除算を実行した場合、または整数除算の結果がオーバーフローしたとき、整数除算例外が発生します。ゼロによる除算例外の要因となる命令は DIVU と DIVS です。オーバーフロー例外の要因となる命令は DIVS のみで、負の最大値を -1 で除算する場合にのみ発生します。整数除算例外が発生すると CPU は次のように動作します。

1. 発生した整数除算例外に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、例外が発生した整数除算命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.6.6 FPU 例外

浮動小数点ステータス/コントロールレジスタ (FPSCR) の FPU 例外イネーブルフィールド (Enable) 中の V、Z、O、U、または I ビットがセットされているとき、FPU 例外処理が発生します。これは浮動小数点演算命令が IEEE754 規格で定義された無効演算例外、ゼロによる除算例外、オーバーフロー (可能性のある命令)、アンダフロー (可能性のある命令)、および不正確例外 (可能性のある命令) を引き起こしたことを示します。

FPU 例外処理の発生要因となる浮動小数点演算命令には以下の命令があります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

該当する FPU 例外イネーブルビット (Enable) がセットされているときのみ、FPU 例外処理が発生します。FPU が浮動小数点演算による例外要因を検出すると、FPU の動作は中断されて CPU に FPU 例外処理の発生を通知します。CPU は例外処理を開始すると次のように動作します。

1. 発生した FPU 例外処理に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は最後に実行した命令の次の命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

FPSCR の FPU 例外フラグフィールド (Flag) は、FPU 例外処理が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR の FPU 例外要因フィールド (Cause) は浮動小数点演算命令が実行されるごとに変化します。

また、FPSCR の FPU 例外イネーブルフィールド (Enable) 中の V ビットがセットされ、かつ FPSCR の QIS ビットがセットされているとき、qNaN または ± を浮動小数点演算命令のソースに入力すると FPU 例外処理が発生します。

6.7 例外処理が受け付けられない場合

アドレスエラー、FPU 例外、レジスタバンクエラー (オーバーフロー) および割り込みは、表 6.10 に示すように、遅延分岐命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 6.10 遅延分岐命令の直後の例外要因発生

発生した時点	例外要因			
	アドレスエラー	浮動小数点 ユニット例外	レジスタバンクエラー (オーバーフロー)	割り込み
遅延分岐命令*の直後	×	×	×	×

【記号説明】 × : 受け付けられない

【注】 * 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAf

6.8 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 6.11 に示すようになります。

表 6.11 例外処理終了後のスタックの状態

種類	スタックの状態		種類	スタックの状態	
アドレス エラー	SP →	実行済命令の 次命令アドレス (32ビット) SR (32ビット)	割り込み	SP →	実行済命令の 次命令アドレス (32ビット) SR (32ビット)
レジスタ バンク エラー (オーバ フロー)	SP →	実行済命令の 次命令アドレス (32ビット) SR (32ビット)	レジスタ バンク エラー (アンダ フロー)	SP →	当該RESBANK 命令の先頭アドレス (32ビット) SR (32ビット)
トラップ 命令	SP →	TRAPA命令の 次命令アドレス (32ビット) SR (32ビット)	スロット 不当命令	SP →	遅延分岐命令の 飛び先アドレス (32ビット) SR (32ビット)
一般不当 命令	SP →	一般不当命令の 先頭アドレス (32ビット) SR (32ビット)	整数除算 例外	SP →	当該整数除算 命令の先頭アドレス (32ビット) SR (32ビット)
FPU 例外	SP →	実行済命令の 次命令アドレス (32ビット) SR (32ビット)			

6.9 使用上の注意事項

6.9.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.9.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.9.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けられないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ - 4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6.9.4 割り込みマスクビット変更による割り込み制御

LDC、LDC.L 命令でステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) の値を操作して、割り込みを禁止から許可に変更する場合、割り込みを許可する命令に続く 5 命令を実行する間は割り込みを受け付けられない場合があります。

したがって、LDC、LDC.L 命令でステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) の値を操作して、割り込みの許可 / 禁止を制御する場合は、割り込みを許可する命令と割り込みを禁止する命令の間に 5 命令以上配置してください。

6.9.5 例外処理実行前の注意事項

例外処理実行前には、あらかじめ例外処理ベクタテーブルをメモリ上に格納し、CPU がそのメモリをアクセス可能にしておく必要があります。そのため、

- 例1：例外処理ベクタテーブルが外部アドレス空間に格納されているが、その外部アドレス空間をアクセスするためのバスステートコントローラや汎用入出力ポートの設定が完了していない状態
- 例2：例外処理ベクタテーブルが内蔵RAMに格納されているが、ベクタベースレジスタ（VBR）が内蔵RAMのアドレスに設定変更されていない状態

などの状態で例外処理が発生すると、CPU はプログラムの実行開始アドレスとして意図しない値を取り出し、意図しないアドレスからプログラム実行を開始することになります。

（1）マニュアルリセット

外部 CS0 空間をアクセスするために必要な設定が完了する前には、マニュアルリセットを発生させないようにしてください。マニュアルリセットが発生すると、CPU はマニュアルリセットのベクタテーブルアドレスオフセット（H'00000008）、すなわち常に外部 CS0 空間からプログラムの実行開始アドレスを取り出します。

また、ブートモード 2~5 で外部 CS0 空間にメモリを接続しない場合も、マニュアルリセットを発生させないようにしてください。

（2）NMI 割り込み

例外処理ベクタテーブルがメモリに格納され、そのメモリをアクセスするための設定が完了する前には、割り込み許可の設定をしないでください。

特にブートモード 2~5 の場合、ブート実行中（ローダプログラムの転送を終了して高速内蔵 RAM ヘジャンプするまで）は、VBR は初期値 H'00000000 のままです。ローダプログラムの中で VBR の変更もしくは外部アドレス空間をアクセスするために必要な設定が完了する前には、割り込み許可の設定をしないでください。

（3）NMI 以外の割り込み

例外処理ベクタテーブルがメモリに格納され、そのメモリをアクセスするための設定が完了する前には、割り込み許可の設定をしないでください。

（4）その他の例外

例外処理ベクタテーブルがメモリに格納され、そのメモリをアクセスするための設定が完了する前には、例外処理を発生させないようにしてください。

7. 割り込みコントローラ

割り込みコントローラは、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。本モジュールには、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

7.1 特長

- 割り込み優先順位を16レベル設定可能

24本の割り込み優先レベル設定レジスタにより、IRQ割り込み、PINT割り込み、および内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。

- NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

- レジスタバンク

本LSIでは、レジスタバンクを内蔵しており、割り込み処理に伴うレジスタの退避、復帰を高速に行うことができます。

図 7.1 にブロック図を示します。

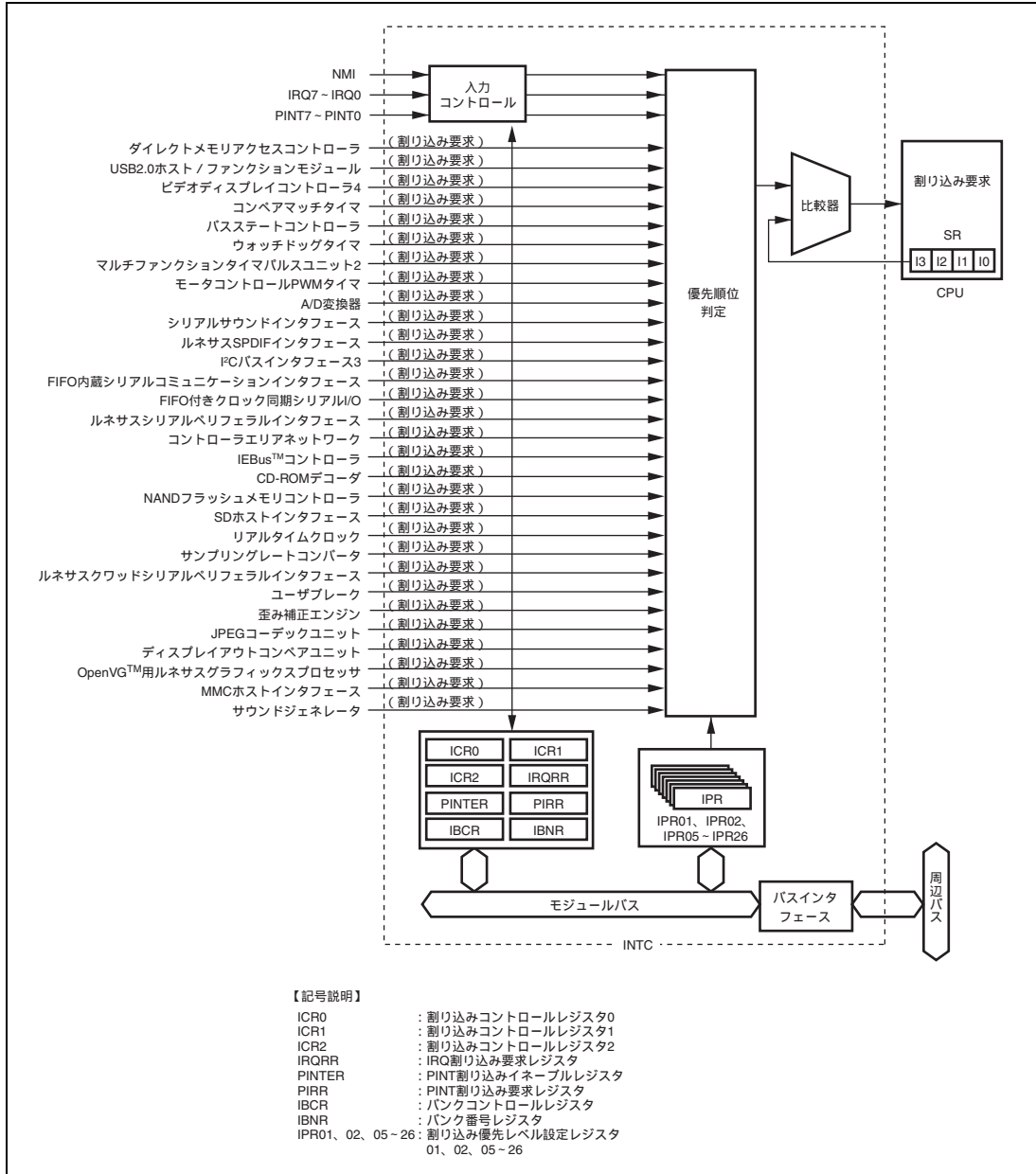


図 7.1 ブロック図

7.2 入出力端子

表 7.1 に端子構成を示します。

表 7.1 端子構成

名称	端子名	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ7 ~ IRQ0	入力	マスク可能な割り込み要求信号を入力
	PINT7 ~ PINT0	入力	

7.3 レジスタの説明

表 7.2 にレジスタ構成を示します。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 7.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*1	H'FFFE0800	16、32
割り込みコントロールレジスタ 1	ICR1	R/W	H'0000	H'FFFE0802	16、32
割り込みコントロールレジスタ 2	ICR2	R/W	H'0000	H'FFFE0804	16、32
IRQ 割り込み要求レジスタ	IRQRR	R/(W)*2	H'0000	H'FFFE0806	16、32
PINT 割り込みイネーブルレジスタ	PINTER	R/W	H'0000	H'FFFE0808	16、32
PINT 割り込み要求レジスタ	PIRR	R	H'0000	H'FFFE080A	16、32
バンクコントロールレジスタ	IBCR	R/W	H'0000	H'FFFE080C	16、32
バンク番号レジスタ	IBNR	R/W	H'0000	H'FFFE080E	16、32
割り込み優先レベル設定レジスタ 01	IPR01	R/W	H'0000	H'FFFE0818	16、32
割り込み優先レベル設定レジスタ 02	IPR02	R/W	H'0000	H'FFFE081A	16、32
割り込み優先レベル設定レジスタ 05	IPR05	R/W	H'0000	H'FFFE0820	16、32
割り込み優先レベル設定レジスタ 06	IPR06	R/W	H'0000	H'FFFE0C00	16、32
割り込み優先レベル設定レジスタ 07	IPR07	R/W	H'0000	H'FFFE0C02	16、32
割り込み優先レベル設定レジスタ 08	IPR08	R/W	H'0000	H'FFFE0C04	16、32
割り込み優先レベル設定レジスタ 09	IPR09	R/W	H'0000	H'FFFE0C06	16、32
割り込み優先レベル設定レジスタ 10	IPR10	R/W	H'0000	H'FFFE0C08	16、32
割り込み優先レベル設定レジスタ 11	IPR11	R/W	H'0000	H'FFFE0C0A	16、32
割り込み優先レベル設定レジスタ 12	IPR12	R/W	H'0000	H'FFFE0C0C	16、32
割り込み優先レベル設定レジスタ 13	IPR13	R/W	H'0000	H'FFFE0C0E	16、32
割り込み優先レベル設定レジスタ 14	IPR14	R/W	H'0000	H'FFFE0C10	16、32
割り込み優先レベル設定レジスタ 15	IPR15	R/W	H'0000	H'FFFE0C12	16、32
割り込み優先レベル設定レジスタ 16	IPR16	R/W	H'0000	H'FFFE0C14	16、32
割り込み優先レベル設定レジスタ 17	IPR17	R/W	H'0000	H'FFFE0C16	16、32
割り込み優先レベル設定レジスタ 18	IPR18	R/W	H'0000	H'FFFE0C18	16、32
割り込み優先レベル設定レジスタ 19	IPR19	R/W	H'0000	H'FFFE0C1A	16、32
割り込み優先レベル設定レジスタ 20	IPR20	R/W	H'0000	H'FFFE0C1C	16、32
割り込み優先レベル設定レジスタ 21	IPR21	R/W	H'0000	H'FFFE0C1E	16、32
割り込み優先レベル設定レジスタ 22	IPR22	R/W	H'0000	H'FFFE0C20	16、32
割り込み優先レベル設定レジスタ 23	IPR23	R/W	H'0000	H'FFFE0C22	16、32
割り込み優先レベル設定レジスタ 24	IPR24	R/W	H'0000	H'FFFE0C24	16、32
割り込み優先レベル設定レジスタ 25	IPR25	R/W	H'0000	H'FFFE0C26	16、32
割り込み優先レベル設定レジスタ 26	IPR26	R/W	H'0000	H'FFFE0C28	16、32

【注】 *1 NMI 端子がハイレベルのとき：H'8001、ローレベルのとき：H'0001 です。

*2 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

7.3.1 割り込み優先レベル設定レジスタ 01、02、05～26 (IPR01、IPR02、IPR05～IPR26)

IPR01、IPR02、IPR05～IPR26 は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位 (レベル 0～15) を設定します。割り込み要求元と IPR01、IPR02、IPR05～IPR26 の各ビットの対応を表 7.3 に示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.3 割り込み要求元と IPR01、IPR02、IPR05～IPR26

レジスタ名	ビット			
	15～12	11～8	7～4	3～0
IPR01	IRQ0	IRQ1	IRQ2	IRQ3
IPR02	IRQ4	IRQ5	IRQ6	IRQ7
IPR05	PINT7～PINT0	予約	予約	予約
IPR06	ダイレクトメモリ アクセスコントローラ チャンネル 0	ダイレクトメモリ アクセスコントローラ チャンネル 1	ダイレクトメモリ アクセスコントローラ チャンネル 2	ダイレクトメモリ アクセスコントローラ チャンネル 3
IPR07	ダイレクトメモリ アクセスコントローラ チャンネル 4	ダイレクトメモリ アクセスコントローラ チャンネル 5	ダイレクトメモリ アクセスコントローラ チャンネル 6	ダイレクトメモリ アクセスコントローラ チャンネル 7
IPR08	ダイレクトメモリ アクセスコントローラ チャンネル 8	ダイレクトメモリ アクセスコントローラ チャンネル 9	ダイレクトメモリ アクセスコントローラ チャンネル 10	ダイレクトメモリ アクセスコントローラ チャンネル 11
IPR09	ダイレクトメモリ アクセスコントローラ チャンネル 12	ダイレクトメモリ アクセスコントローラ チャンネル 13	ダイレクトメモリ アクセスコントローラ チャンネル 14	ダイレクトメモリ アクセスコントローラ チャンネル 15
IPR10	USB2.0 ホスト / ファンクションモジュール	ビデオディスプレイ コントローラ 4	ビデオディスプレイ コントローラ 4	ビデオディスプレイ コントローラ 4
IPR11	歪み補正エンジン	JPEG コーデックユニット	ディスプレイ アウトコンペアユニット	OpenVG™ 用 ルネサスグラフィックス プロセッサ
IPR12	コンペアマッチタイマ チャンネル 0	コンペアマッチタイマ チャンネル 1	バススタートコントローラ	ウォッチドッグタイマ
IPR13	マルチファンクション タイムバルスユニット 2 チャンネル 0 (TGI0A～TGI0D)	マルチファンクション タイムバルスユニット 2 チャンネル 0 (TGI0V、TGI0E、TGI0F)	マルチファンクション タイムバルスユニット 2 チャンネル 1 (TGI1A、TGI1B)	マルチファンクション タイムバルスユニット 2 チャンネル 1 (TGI1V、TGI1U)

レジスタ名	ビット			
	15~12	11~8	7~4	3~0
IPR14	マルチファンクション タイマパルスユニット 2 チャンネル 2(TGI2A、TGI2B)	マルチファンクション タイマパルスユニット 2 チャンネル 2(TGI2V、TGI2U)	マルチファンクション タイマパルスユニット 2 チャンネル 3(TGI3A~TGI3D)	マルチファンクション タイマパルスユニット 2 チャンネル 3(TGI3V)
IPR15	マルチファンクション タイマパルスユニット 2 チャンネル 4(TGI4A~TGI4D)	マルチファンクション タイマパルスユニット 2 チャンネル 4(TGI4V)	モータコントロール PWM タイマ チャンネル 1	モータコントロール PWM タイマ チャンネル 2
IPR16	サウンドジェネレータ チャンネル 0	サウンドジェネレータ チャンネル 1	サウンドジェネレータ チャンネル 2	サウンドジェネレータ チャンネル 3
IPR17	A/D 変換器	シリアルサウンド インタフェース チャンネル 0	シリアルサウンド インタフェース チャンネル 1	シリアルサウンド インタフェース チャンネル 2
IPR18	シリアルサウンド インタフェース チャンネル 3	シリアルサウンド インタフェース チャンネル 4	シリアルサウンド インタフェース チャンネル 5	ルネサス SPDIF インタフェース
IPR19	I ² C バスインタフェース 3 チャンネル 0	I ² C バスインタフェース 3 チャンネル 1	I ² C バスインタフェース 3 チャンネル 2	I ² C バスインタフェース 3 チャンネル 3
IPR20	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 0	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 1	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 2	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 3
IPR21	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 4	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 5	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 6	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 7
IPR22	FIFO 付きクロック同期 シリアル I/O	コントローラエリア ネットワーク チャンネル 0	コントローラエリア ネットワーク チャンネル 1	コントローラエリア ネットワーク チャンネル 2
IPR23	ルネサスシリアル ペリフェラル インタフェース チャンネル 0	ルネサスシリアル ペリフェラル インタフェース チャンネル 1	ルネサスクワッド シリアルペリフェラル インタフェース チャンネル 0	ルネサスクワッド シリアルペリフェラル インタフェース チャンネル 1
IPR24	IEBus™ コントローラ	CD-ROM デコーダ	NAND フラッシュメモリ コントローラ	MMC ホスト インタフェース
IPR25	SD ホストインタフェース チャンネル 0	SD ホストインタフェース チャンネル 1	リアルタイムクロック	予約
IPR26	サンプリングレート コンバータ チャンネル 0	サンプリングレート コンバータ チャンネル 1	サンプリングレート コンバータ チャンネル 2	予約

表 7.3 に示すように、ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から HF (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。

割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。

7.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI のマスク / 許可と入力信号検出モードを設定し、NMI 端子への入力レベル、割り込み要求を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIE	-	-	-	-	-	-	NMIF	NMIM
初期値:	*1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/(W)*2

【注】*1 NMI端子がハイレベルのとき1、ローレベルのとき0です。

*2 0書き込みのみ有効です。

ビット	ビット名	初期値	R/W	説明
15	NMIL	*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0: NMI 端子にローレベルが入力されている。 1: NMI 端子にハイレベルが入力されている。
14~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	NMIE	0	R/W	NMI エッジセレクト NMI 入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0: NMI 入力の立ち下がりエッジで割り込み要求を検出。 1: NMI 入力の立ち上がりエッジで割り込み要求を検出。
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	NMIF	0	R	NMI 割り込み要求 NMI 端子に対する割り込み要求のステータスを表示します。書き込みは無効です。 0: NMI 割り込み要求が検出されていません。 [クリア条件] • NMIE ビットの設定値を変更したとき • NMI 割り込み例外処理を実行したとき 1: NMI 割り込み要求が検出されています。 [セット条件] • NMI 端子に NMIE に対応するエッジが発生したとき

ビット	ビット名	初期値	R/W	説明
0	NMIM	1	R/(W) ^{*2}	NMI マスク NMI 端子に対する割り込み要求入力のマスク / 許可を指定します。 0 : NMI 端子割り込みを許可。 1 : NMI 端子割り込みをマスク。

7.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ7 ~ IRQ0 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IRQ71S	0	R/W	IRQ センスセレクト IRQ7 ~ IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00 : 割り込み要求を IRQn 入力のローレベルで検出する。 01 : 割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10 : 割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11 : 割り込み要求を IRQn 入力の両エッジで検出する。
14	IRQ70S	0	R/W	
13	IRQ61S	0	R/W	
12	IRQ60S	0	R/W	
11	IRQ51S	0	R/W	
10	IRQ50S	0	R/W	
9	IRQ41S	0	R/W	
8	IRQ40S	0	R/W	
7	IRQ31S	0	R/W	
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】 n = 7 ~ 0

7.3.4 割り込みコントロールレジスタ 2 (ICR2)

ICR2 は、外部割り込み入力端子 PINT7~PINT0 に対してローレベル、ハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7S	0	R/W	PINT センスセレクト PINT7~PINT0 端子に対する割り込み信号をローレベル、ハイレベルのいずれで検出するかを選択します。 0: 割り込み要求を PINTn 入力のローレベルで検出する。 1: 割り込み要求を PINTn 入力のハイレベルで検出する。
6	PINT6S	0	R/W	
5	PINT5S	0	R/W	
4	PINT4S	0	R/W	
3	PINT3S	0	R/W	
2	PINT2S	0	R/W	
1	PINT1S	0	R/W	
0	PINT0S	0	R/W	

【記号説明】 n = 7~0

7.3.5 IRQ 割り込み要求レジスタ (IRQRR)

IRQRR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ7 ~ IRQ0 の割り込み要求を示します。IRQ7 ~ IRQ0 割り込みをエッジ検出に設定している場合、IRQ7F ~ IRQ0F = 1 をリード後、IRQ7F ~ IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	IRQ7F	0	R/(W)*	IRQ 割り込み要求 IRQ7 ~ IRQ0 割り込み要求のステータスを表示します。 レベル検出時 0 : IRQn 割り込み要求が存在しません。 [クリア条件] • IRQn 入力がハイレベルのとき 1 : IRQn 割り込み要求が存在します。 [セット条件] • IRQn 入力がローレベルのとき エッジ検出時 0 : IRQn 割り込み要求が検出されていません。 [クリア条件] • IRQnF=1 の状態をリード後に0をライトしたとき • IRQn 割り込み例外処理を実行したとき 1 : IRQn 割り込み要求が検出されています。 [セット条件] • IRQn 端子に ICR1 の IRQn1S、IRQn0S に対応するエッジが発生したとき
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【記号説明】 n = 7~0

7.3.6 PINT 割り込みイネーブルレジスタ (PINTER)

PINTER は、外部割り込み入力端子 PINT7～PINT0 に対する割り込み要求入力を許可する 16 ビットのレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7E	0	R/W	PINT イネーブルビット PINT7～PINT0 端子に対する割り込み要求入力を許可するかどうか選択します。 0 : PINTn 入力割り込み要求をディスエーブルにする。 1 : PINTn 入力割り込み要求をイネーブルにする。
6	PINT6E	0	R/W	
5	PINT5E	0	R/W	
4	PINT4E	0	R/W	
3	PINT3E	0	R/W	
2	PINT2E	0	R/W	
1	PINT1E	0	R/W	
0	PINT0E	0	R/W	

【記号説明】 n = 7～0

7.3.7 PINT 割り込み要求レジスタ (PIRR)

PIRR は、16 ビットのレジスタで、外部割り込み PINT7 ~ PINT0 の割り込み要求を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7R	PINT6R	PINT5R	PINT4R	PINT3R	PINT2R	PINT1R	PINT0R
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7R	0	R	PINT 割り込み要求 PINT7 ~ PINT0 割り込み要求を示します。 0 : PINTn 端子に割り込みなし。 1 : PINTn 端子に割り込みあり。
6	PINT6R	0	R	
5	PINT5R	0	R	
4	PINT4R	0	R	
3	PINT3R	0	R	
2	PINT2R	0	R	
1	PINT1R	0	R	
0	PINT0R	0	R	

【記号説明】 n = 7 ~ 0

7.3.8 バンクコントロールレジスタ (IBCR)

IBCR は、割り込み優先レベルに対してレジスタバンク使用の許可 / 禁止を設定することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15	E15	0	R/W	イネーブル 割り込み優先レベル 15~1 に対してレジスタバンク使用の許可 / 禁止を設定します。ただし、ユーザブレイク割り込みは常にレジスタバンク使用禁止です。 0 : レジスタバンクの使用を禁止します。 1 : レジスタバンクの使用を許可します。
14	E14	0	R/W	
13	E13	0	R/W	
12	E12	0	R/W	
11	E11	0	R/W	
10	E10	0	R/W	
9	E9	0	R/W	
8	E8	0	R/W	
7	E7	0	R/W	
6	E6	0	R/W	
5	E5	0	R/W	
4	E4	0	R/W	
3	E3	0	R/W	
2	E2	0	R/W	
1	E1	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.3.9 バンク番号レジスタ (IBNR)

IBNR は、レジスタバンク使用の許可 / 禁止、およびレジスタバンクオーバーフロー例外の許可 / 禁止を設定します。また、BN3 ~ BN0 により次に退避されるバンク番号を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BE[1:0]		BOVE	-	-	-	-	-	-	-	-	-	BN[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	BE[1:0]	00	R/W	レジスタバンクイネーブル レジスタバンク使用の許可 / 禁止を設定します。 00: すべての割り込みでバンクの使用を禁止します。IBCR の設定は無視します。 01: NMI、ユーザブレイク以外のすべての割り込みでバンクの使用を許可します。IBCR の設定は無視されます。 10: 予約 (設定禁止) 11: レジスタバンクの使用は、IBCR の設定に従います。
13	BOVE	0	R/W	レジスタバンクオーバーフローイネーブル レジスタバンクオーバーフロー例外の許可 / 禁止を設定します。 0: レジスタバンクオーバーフロー例外の発生を禁止します。 1: レジスタバンクオーバーフロー例外の発生を許可します。
12~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	BN[3:0]	0000	R	バンク番号 次に退避されるバンク番号を示します。レジスタバンクを使用した割り込みが受け付けられたとき、BN3 ~ BN0 が示すレジスタバンクに退避を行い、BN を +1 します。レジスタバンク復帰命令の実行により、BN を -1 した後、レジスタバンクから復帰を行います。

7.4 割り込み要因

割り込み要因は、NMI、ユーザブレイク、ユーザデバッグインタフェース、IRQ、PINT、内蔵周辺モジュールの6つに分類されます。各割り込みの優先順位は割り込み優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みは常にマスクされます。

7.4.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、割り込みコントロールレジスタ(ICR0)のNMI マスクビット(NMIM)を許可に設定した場合、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ 0 (ICR0) の NMI エッジセレクトビット (NMIE) の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、NMI 割り込みの優先レベルは16ですがステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) は15に設定されます。

ICR0 の NMIM ビットが1 (NMI 割り込みをマスク) の場合、NMI 割り込みは発生しませんが、ICR0 の NMI エッジセレクトビット (NMIE) で選択したエッジは検出され、割り込み要求は保留されます。NMI 割り込み要求ビット (NMIF) をリードすることにより NMI 割り込み要求が検出されているかどうかを確認できます。NMIF ビットが1の状態では NMIM ビットに0をライト (NMI 割り込みを許可) すると、保留されている NMI 割り込みが受け付けられます。NMIM ビットは0書き込みのみ有効なビットですので、NMI 割り込みを許可にした後、再度マスクに設定することはできません。また、NMIE ビットの値を変更した場合、その時点で保留されている NMI 割り込み要求は取り下げます。

ソフトウェアスタンバイを NMI で解除する場合は、ソフトウェアスタンバイ遷移前に NMIF ビットで割り込み要求が検出、保留されていないことを確認してから、NMIM ビットに0をライト (NMI 割り込みを許可) してください。NMIM ビットが1 (NMI 割り込みをマスク) の状態でソフトウェアスタンバイに遷移すると、NMI による解除はできません。また、この場合、ソフトウェアスタンバイ中の NMI エッジ検出もされませんので、他の要因でソフトウェアスタンバイが解除され、NMIM ビットを許可にしても NMI 割り込みは発生しません。ソフトウェアスタンバイ中の NMI エッジを検出する場合、他の要因でソフトウェアスタンバイが解除されるまで NMI 端子の入力レベル (立ち下がりエッジ検出であればローレベル、立ち上がりエッジ検出であればハイレベル) を保持してください。

ディープスタンバイに遷移した場合、ディープスタンバイ遷移前の NMIM ビットの設定によらず NMI で解除可能です。ディープスタンバイ解除後のパワーオンリセットで NMIM ビットは1 (NMI 割り込みをマスク) に初期化されます。

NMIM ビットに0をライト (NMI 割り込みを許可) 後 SLEEP 命令を実行する場合、NMIM を読み出してから SLEEP 命令を実行してください。

7.4.2 ユーザブ레이크割り込み

ユーザブ레이크割り込みは、ユーザブ레이크コントローラで設定したブ레이크条件が成立したときに発生する割り込みで、優先レベルは 15 です。ユーザブ레이크割り込み例外処理によって、SR の I3 ~ I0 ビットは 15 に設定されます。ユーザブ레이크については、「第 8 章 ユーザブ레이크コントローラ」を参照してください。

7.4.3 ユーザデバッグインタフェース割り込み

ユーザデバッグインタフェース割り込みは、優先順位レベル 15 を持ち、ユーザデバッグインタフェース割り込みのインストラクションをシリアル入力すると発生します。ユーザデバッグインタフェース割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザデバッグインタフェース割り込み例外処理により、SR の I3 ~ I0 ビットは 15 に設定されます。ユーザデバッグインタフェース割り込みについては、「第 50 章 ユーザデバッグインタフェース」を参照してください。

7.4.4 IRQ 割り込み

IRQ 割り込みは IRQ7 ~ IRQ0 端子からの入力による割り込みです。IRQ 割り込みは、割り込みコントロールレジスタ 1 (ICR1) の IRQ センスセレクトビット (IRQ7IS ~ IRQ0IS, IRQ70S ~ IRQ00S) の設定によって、端子ごとにローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ検出を選択できます。また、割り込み優先レベル設定レジスタ 01、02 (IPR01, IPR02) によって、端子ごとに優先レベルを 0 ~ 15 の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ7 ~ IRQ0 端子がローレベルの期間、割り込みコントローラに割り込み要求信号が送られます。IRQ7 ~ IRQ0 端子がハイレベルになると、割り込み要求信号は割り込みコントローラに送られません。IRQ 割り込み要求レジスタ (IRQRR) の IRQ 割り込み要求ビット (IRQ7F ~ IRQ0F) をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7 ~ IRQ0 端子の変化により割り込み要求が検出され、割り込みコントローラに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQRR の IRQ7F ~ IRQ0F ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 をリードした後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SR の I3 ~ I0 ビットは、受け付けた IRQ 割り込みの優先レベル値に設定されます。

IRQ 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、IRQ 割り込み要求レジスタ (IRQRR) で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

7.4.5 PINT 割り込み

PINT 割り込みは、PINT7～PINT0 端子からの入力による割り込みです。PINT 割り込みイネーブルレジスタ (PINTER) の PINT イネーブルビット (PINT7E～PINT0E) により、割り込み要求入力を許可されます。PINT7～PINT0 は、割り込みコントロールレジスタ 2 (ICR2) の PINT センスセレクトビット (PINT7S～PINT0S) の設定によって、端子ごとにローレベル、ハイレベル検出を選択できます。優先レベルは、割り込み優先レベル設定レジスタ 05 (IPR05) のビット 15～12 により、PINT7～PINT0 を一括して、レベル 0～15 の範囲で設定できます。

PINT7～PINT0 をローレベル検出に設定している場合、PINT 端子がローレベルの期間、割り込みコントローラに割り込み要求信号が送られます。PINT 端子がハイレベルになると、割り込み要求信号は割り込みコントローラに送られません。PINT 割り込み要求レジスタ (PIRR) の PINT 割り込み要求ビット (PINT7R～PINT0R) をリードすることにより割り込み要求のレベルを確認できます。ハイレベル検出に設定している場合も、極性が反対となる以外は同様です。PINT 割り込み例外処理では、SR の I3～I0 は、PINT 割り込みの優先レベル値に設定されません。

PINT 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、PINT 割り込み要求レジスタ (PIRR) で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

7.4.6 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ
- USB2.0ホスト/ファンクションモジュール
- ビデオディスプレイコントローラ4
- 歪み補正エンジン
- ディスプレイアウトコンペアユニット
- JPEGコーデックユニット
- OpenVG™用ルネサスグラフィックスプロセッサ
- コンペアマッチタイマ
- バスステートコントローラ
- ウォッチドッグタイマ
- マルチファンクションタイマパルスユニット2
- モータコントロールPWMタイマ
- サウンドジェネレータ
- A/D変換器
- シリアルサウンドインタフェース
- ルネサスSPDIFインタフェース
- I²Cバスインタフェース3
- FIFO内蔵シリアルコミュニケーションインタフェース
- FIFO付きクロック同期シリアルI/O
- ルネサスシリアルペリフェラルインタフェース
- ルネサスクワッドシリアルペリフェラルインタフェース
- コントローラエリアネットワーク
- IEBus™コントローラ
- CD-ROMデコーダ
- NANDフラッシュメモリコントローラ
- SDホストインタフェース
- MMCホストインタフェース
- リアルタイムクロック
- サンプリングレートコンバータ

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ 05 ~ 26 (IPR05 ~ IPR26) によって、モジュールごとに優先レベル 0 ~ 15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3 ~ I0 ビットは、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

7.5 割り込み例外処理ベクタテーブルと優先順位

表 7.4 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから割り込み例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 6 章 例外処理」の表 6.4 の例外処理ベクタテーブルアドレスの算出方法を参照してください。

IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ 01、02、05 ~ 26 (IPR01、IPR02、IPR05 ~ IPR26) によって、端子またはモジュールごとに優先レベル 0 ~ 15 の範囲で任意に設定できます。ただし、IPR05 ~ IPR26 で同一 IPR 内の割り込みが複数発生した場合の優先順位は、表 7.4 の IPR 設定単位内の優先順位に示すように定められており、変更できません。IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 7.4 に示すデフォルト優先順位に従って処理されます。

表 7.4 割り込み例外ベクタと優先順位

割り込み要因		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット				
NMI		11	H'0000002C - H'0000002F	16	-	-	高 ↑
ユーザブレイク		12	H'00000030 - H'00000033	15	-	-	
ユーザデバッグインタフェース		14	H'00000038 - H'0000003B	15	-	-	
IRQ	IRQ0	64	H'00000100 - H'00000103	0 ~ 15(0)	IPR01(15 ~ 12)	-	
	IRQ1	65	H'00000104 - H'00000107	0 ~ 15(0)	IPR01(11 ~ 8)	-	
	IRQ2	66	H'00000108 - H'0000010B	0 ~ 15(0)	IPR01(7 ~ 4)	-	
	IRQ3	67	H'0000010C - H'0000010F	0 ~ 15(0)	IPR01(3 ~ 0)	-	
	IRQ4	68	H'00000110 - H'00000113	0 ~ 15(0)	IPR02(15 ~ 12)	-	
	IRQ5	69	H'00000114 - H'00000117	0 ~ 15(0)	IPR02(11 ~ 8)	-	
	IRQ6	70	H'00000118 - H'0000011B	0 ~ 15(0)	IPR02(7 ~ 4)	-	
	IRQ7	71	H'0000011C - H'0000011F	0 ~ 15(0)	IPR02(3 ~ 0)	-	
PINT	PINT0	80	H'00000140 - H'00000143	0 ~ 15(0)	IPR05(15 ~ 12)	1	
	PINT1	81	H'00000144 - H'00000147			2	
	PINT2	82	H'00000148 - H'0000014B			3	
	PINT3	83	H'0000014C - H'0000014F			4	
	PINT4	84	H'00000150 - H'00000153			5	
	PINT5	85	H'00000154 - H'00000157			6	
	PINT6	86	H'00000158 - H'0000015B			7	
	PINT7	87	H'0000015C - H'0000015F			8	
ダイレ クトメ モリア クセス コント ローラ	チャンネル 0	DEI0	108	H'000001B0 - H'000001B3	0 ~ 15(0)	IPR06(15 ~ 12)	1
		HEI0	109	H'000001B4 - H'000001B7			2
	チャンネル 1	DEI1	112	H'000001C0 - H'000001C3	0 ~ 15(0)	IPR06(11 ~ 8)	1
		HEI1	113	H'000001C4 - H'000001C7			2
	チャンネル 2	DEI2	116	H'000001D0 - H'000001D3	0 ~ 15(0)	IPR06(7 ~ 4)	1
		HEI2	117	H'000001D4 - H'000001D7			2
	チャンネル 3	DEI3	120	H'000001E0 - H'000001E3	0 ~ 15(0)	IPR06(3 ~ 0)	1
		HEI3	121	H'000001E4 - H'000001E7			2
	チャンネル 4	DEI4	124	H'000001F0 - H'000001F3	0 ~ 15(0)	IPR07(15 ~ 12)	1
		HEI4	125	H'000001F4 - H'000001F7			2
	チャンネル 5	DEI5	128	H'00000200 - H'00000203	0 ~ 15(0)	IPR07(11 ~ 8)	1
		HEI5	129	H'00000204 - H'00000207			2
	チャンネル 6	DEI6	132	H'00000210 - H'00000213	0 ~ 15(0)	IPR07(7 ~ 4)	1
		HEI6	133	H'00000214 - H'00000217			2

割り込み要因		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット				
JPEG コ ーデッ クユニ ット	JEDI		181	H'000002D4 ~ H'000002D7	0 ~ 15(0)	IPR11(11 ~ 8)	1
	JDTI		182	H'000002D8 ~ H'000002DB			2
ディス プレイ アウト コンベ アユニ ット	CMPI		183	H'000002DC ~ H'000002DF	0 ~ 15(0)	IPR11(7 ~ 4)	-
OpenV G™用ル ネサス グラフ ィック スプロ セッサ	INT3		184	H'000002E0 ~ H'000002E3	0 ~ 15(0)	IPR11(3 ~ 0)	1
	INT2		185	H'000002E4 ~ H'000002E7			2
	INT1		186	H'000002E8 ~ H'000002EB			3
	INT0		187	H'000002EC ~ H'000002EF			4
コンベ アマッ チタイ マ	チャンネル0	CMIO	188	H'000002F0 ~ H'000002F3	0 ~ 15(0)	IPR12(15 ~ 12)	-
	チャンネル1	CM11	189	H'000002F4 ~ H'000002F7	0 ~ 15(0)	IPR12(11 ~ 8)	-
バス テート コント ローラ	CMI		190	H'000002F8 ~ H'000002FB	0 ~ 15(0)	IPR12(7 ~ 4)	-
ウォッ チドッ グタイ マ	ITI		191	H'000002FC ~ H'000002FF	0 ~ 15(0)	IPR12(3 ~ 0)	-
マルチ ファン クショ ンタイ マハル スユニ ット2	チャンネル0	TGIOA	192	H'00000300 ~ H'00000303	0 ~ 15(0)	IPR13(15 ~ 12)	1
		TGIOB	193	H'00000304 ~ H'00000307			2
		TGIOC	194	H'00000308 ~ H'0000030B			3
		TGIOD	195	H'0000030C ~ H'0000030F			4
	TCIOV	196	H'00000310 ~ H'00000313	0 ~ 15(0)	IPR13(11 ~ 8)	1	
		TGIOE	197			H'00000314 ~ H'00000317	2
		TGIOF	198			H'00000318 ~ H'0000031B	3

高

低

割り込み要因		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット				
マルチフ ァンクシ ョンタイ マバルス ユニット 2	チャンネル 1	TGI1A	199	H'0000031C ~ H'0000031F	0 ~ 15(0)	IPR13(7 ~ 4)	1
		TGI1B	200	H'00000320 ~ H'00000323			2
		TCI1V	201	H'00000324 ~ H'00000327	0 ~ 15(0)	IPR13(3 ~ 0)	1
		TCI1U	202	H'00000328 ~ H'0000032B			2
	チャンネル 2	TGI2A	203	H'0000032C ~ H'0000032F	0 ~ 15(0)	IPR14(15 ~ 12)	1
		TGI2B	204	H'00000330 ~ H'00000333			2
		TCI2V	205	H'00000334 ~ H'00000337	0 ~ 15(0)	IPR14(11 ~ 8)	1
		TCI2U	206	H'00000338 ~ H'0000033B			2
	チャンネル 3	TGI3A	207	H'0000033C ~ H'0000033F	0 ~ 15(0)	IPR14(7 ~ 4)	1
		TGI3B	208	H'00000340 ~ H'00000343			2
		TGI3C	209	H'00000344 ~ H'00000347			3
		TGI3D	210	H'00000348 ~ H'0000034B			4
		TCI3V	211	H'0000034C ~ H'0000034F	0 ~ 15(0)	IPR14(3 ~ 0)	-
	チャンネル 4	TGI4A	212	H'00000350 ~ H'00000353	0 ~ 15(0)	IPR15(15 ~ 12)	1
		TGI4B	213	H'00000354 ~ H'00000357			2
		TGI4C	214	H'00000358 ~ H'0000035B			3
TGI4D		215	H'0000035C ~ H'0000035F	4			
TCI4V		216	H'00000360 ~ H'00000363	0 ~ 15(0)	IPR15(11 ~ 8)	-	
モータコ ントロー ル PWM タイマ	チャンネル 1	217	H'00000364 ~ H'00000367	0 ~ 15(0)	IPR15(7 ~ 4)	-	
	チャンネル 2	218	H'00000368 ~ H'0000036B	0 ~ 15(0)	IPR15(3 ~ 0)	-	
サウンド ジェネレ ータ	チャンネル 0	219	H'0000036C ~ H'0000036F	0 ~ 15(0)	IPR16(15 ~ 12)	-	
	チャンネル 1	220	H'00000370 ~ H'00000373	0 ~ 15(0)	IPR16(11 ~ 8)	-	
	チャンネル 2	221	H'00000374 ~ H'00000377	0 ~ 15(0)	IPR16(7 ~ 4)	-	
	チャンネル 3	222	H'00000378 ~ H'0000037B	0 ~ 15(0)	IPR16(3 ~ 0)	-	
A/D 変換 器	ADI	223	H'0000037C ~ H'0000037F	0 ~ 15(0)	IPR17(15 ~ 12)	-	

高

低

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
I ² Cバスイ ンタフェ ース3	チャンネル3	STPI3	253	H'000003F4 - H'000003F7	0 ~ 15(0)	IPR19(3 ~ 0)	1	↑ 高
		NAKI3	254	H'000003F8 - H'000003FB			2	
		RXI3	255	H'000003FC - H'000003FF			3	
		TXI3	256	H'00000400 - H'00000403			4	
		TEI3	257	H'00000404 - H'00000407			5	
FIFO 内 蔵シリア ルコミュ ニケーシ ョンイン タフェー ース	チャンネル0	BRI0	258	H'00000408 - H'0000040B	0 ~ 15(0)	IPR20(15 ~ 12)	1	↑ ↓ 低
		ERI0	259	H'0000040C - H'0000040F			2	
		RXI0	260	H'00000410 - H'00000413			3	
		TXI0	261	H'00000414 - H'00000417			4	
	チャンネル1	BRI1	262	H'00000418 - H'0000041B	0 ~ 15(0)	IPR20(11 ~ 8)	1	
		ERI1	263	H'0000041C - H'0000041F			2	
		RXI1	264	H'00000420 - H'00000423			3	
		TXI1	265	H'00000424 - H'00000427			4	
	チャンネル2	BRI2	266	H'00000428 - H'0000042B	0 ~ 15(0)	PR20(7 ~ 4)	1	
		ERI2	267	H'0000042C - H'0000042F			2	
		RXI2	268	H'00000430 - H'00000433			3	
		TXI2	269	H'00000434 - H'00000437			4	
	チャンネル3	BRI3	270	H'00000438 - H'0000043B	0 ~ 15(0)	PR20(3 ~ 0)	1	
		ERI3	271	H'0000043C - H'0000043F			2	
		RXI3	272	H'00000440 - H'00000443			3	
		TXI3	273	H'00000444 - H'00000447			4	
	チャンネル4	BRI4	274	H'00000448 - H'0000044B	0 ~ 15(0)	IPR21(15 ~ 12)	1	
		ERI4	275	H'0000044C - H'0000044F			2	
		RXI4	276	H'00000450 - H'00000453			3	
		TXI4	277	H'00000454 - H'00000457			4	
チャンネル5	BRI5	278	H'00000458 - H'0000045B	0 ~ 15(0)	IPR21(11 ~ 8)	1		
	ERI5	279	H'0000045C - H'0000045F			2		
	RXI5	280	H'00000460 - H'00000463			3		
	TXI5	281	H'00000464 - H'00000467			4		

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
FIFO 内蔵 シリアル コミュニ ケーショ ンインタ フェース	チャンネル 6	BRI6	282	H'00000468 ~ H'0000046B	0 ~ 15(0)	IPR21(7 ~ 4)	1	高 ↑
		ERI6	283	H'0000046C ~ H'0000046F			2	
		RXI6	284	H'00000470 ~ H'00000473			3	
		TXI6	285	H'00000474 ~ H'00000477			4	
	チャンネル 7	BRI7	286	H'00000478 ~ H'0000047B	0 ~ 15(0)	IPR21(3 ~ 0)	1	
		ERI7	287	H'0000047C ~ H'0000047F			2	
		RXI7	288	H'00000480 ~ H'00000483			3	
		TXI7	289	H'00000484 ~ H'00000487			4	
FIFO 付き クロック 同期シリ アル I/O	SIOFI		290	H'00000488 ~ H'0000048B	0 ~ 15(0)	IPR22(15 ~ 12)	-	
コントロ ーラエリ アネット ワーク	チャンネル 0	ERS0	291	H'0000048C ~ H'0000048F	0 ~ 15(0)	IPR22(11 ~ 8)	1	
		OVR0	292	H'00000490 ~ H'00000493			2	
		RM00	293	H'00000494 ~ H'00000497			3	
		RM10	294	H'00000498 ~ H'0000049B			4	
		SLE0	295	H'0000049C ~ H'0000049F			5	
	チャンネル 1	ERS1	296	H'000004A0 ~ H'000004A3	0 ~ 15(0)	IPR22(7 ~ 4)	1	
		OVR1	297	H'000004A4 ~ H'000004A7			2	
		RM01	298	H'000004A8 ~ H'000004AB			3	
		RM11	299	H'000004AC ~ H'000004AF			4	
		SLE1	300	H'000004B0 ~ H'000004B3			5	
	チャンネル 2	ERS2	301	H'000004B4 ~ H'000004B7	0 ~ 15(0)	IPR22(3 ~ 0)	1	
		OVR2	302	H'000004B8 ~ H'000004BB			2	
		RM02	303	H'000004BC ~ H'000004BF			3	
		RM12	304	H'000004C0 ~ H'000004C3			4	
		SLE2	305	H'000004C4 ~ H'000004C7			5	
ルネサス シリアル パリティ ライン タフェー ス	チャンネル 0	SPEI0	306	H'000004C8 ~ H'000004CB	0 ~ 15(0)	IPR23(15 ~ 12)	1	↓ 低
		SPRI0	307	H'000004CC ~ H'000004CF			2	
		SPTI0	308	H'000004D0 ~ H'000004D3			3	
	チャンネル 1	SPEI1	309	H'000004D4 ~ H'000004D7	0 ~ 15(0)	IPR23(11 ~ 8)	1	
		SPRI1	310	H'000004D8 ~ H'000004DB			2	
		SPTI1	311	H'000004DC ~ H'000004DF			3	

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
ルネサス クワッド シリアル ペリフェ ラルイン タフェ ース	チャンネル 0	SPEI0	312	H'000004E0 ~ H'000004E3	0 ~ 15(0)	IPR23(7 ~ 4)	1	高 ↑
		SPRI0	313	H'000004E4 ~ H'000004E7			2	
		SPTI0	314	H'000004E8 ~ H'000004EB			3	
	チャンネル 1	SPEI1	315	H'000004EC ~ H'000004EF	0 ~ 15(0)	IPR23(3 ~ 0)	1	
		SPRI1	316	H'000004F0 ~ H'000004F3			2	
		SPTI1	317	H'000004F4 ~ H'000004F7			3	
IEBus™ コ ントロー ラ	IEB		318	H'000004F8 ~ H'000004FB	0 ~ 15(0)	IPR24(15 ~ 12)	-	
CD-ROM デコーダ	ISY		319	H'000004FC ~ H'000004FF	0 ~ 15(0)	IPR24(11 ~ 8)	1	
	IERR		320	H'00000500 ~ H'00000503			2	
	ITARG		321	H'00000504 ~ H'00000507			3	
	ISEC		322	H'00000508 ~ H'0000050B			4	
	IBUF		323	H'0000050C ~ H'0000050F			5	
	IREADY		324	H'00000510 ~ H'00000513			6	
NAND フ ラッシュ メモリコ ントロー ラ	FLSTEI		325	H'00000514 ~ H'00000517	0 ~ 15(0)	IPR24(7 ~ 4)	1	
	FLTENDI		326	H'00000518 ~ H'0000051B			2	
	FLTREQ0I		327	H'0000051C ~ H'0000051F			3	
	FLTREQ1I		328	H'00000520 ~ H'00000523			4	
MMC ホス トインタ フェース	MMC0		329	H'00000524 ~ H'00000527	0 ~ 15(0)	IPR24(3 ~ 0)	1	
	MMC1		330	H'00000528 ~ H'0000052B			2	
	MMC2		331	H'0000052C ~ H'0000052F			3	
SD ホスト インタフ ェース	チャンネル 0	SDHI0_3	332	H'00000530 ~ H'00000533	0 ~ 15(0)	IPR25(15 ~ 12)	1	
		SDHI0_0	333	H'00000534 ~ H'00000537			2	
		SDHI0_1	334	H'00000538 ~ H'0000053B			3	
	チャンネル 1	SDHI1_3	335	H'0000053C ~ H'0000053F	0 ~ 15(0)	IPR25(11 ~ 8)	1	
		SDHI1_0	336	H'00000540 ~ H'00000543			2	
		SDHI1_1	337	H'00000544 ~ H'00000547			3	
リアルタ イムクロ ック	ARM		338	H'00000548 ~ H'0000054B	0 ~ 15(0)	IPR25(7 ~ 4)	1	
	PRD		339	H'0000054C ~ H'0000054F			2	
	CUP		340	H'00000550 ~ H'00000553			3	

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
サンプリングレートコンバータ	チャンネル 0	OVF0	341	H'00000554 ~ H'00000557	0 ~ 15(0)	IPR26(15 ~ 12)	1	高 ↑ ↓ 低
		UDF0	342	H'00000558 ~ H'0000055B			2	
		CEF0	343	H'0000055C ~ H'0000055F			3	
		ODFI0	344	H'00000560 ~ H'00000563			4	
		IDEI0	345	H'00000564 ~ H'00000567			5	
	チャンネル 1	OVF1	346	H'00000568 ~ H'0000056B	0 ~ 15(0)	IPR26(11 ~ 8)	1	
		UDF1	347	H'0000056C ~ H'0000056F			2	
		CEF1	348	H'00000570 ~ H'00000573			3	
		ODFI1	349	H'00000574 ~ H'00000577			4	
		IDEI1	350	H'00000578 ~ H'0000057B			5	
	チャンネル 2	OVF2	351	H'0000057C ~ H'0000057F	0 ~ 15(0)	IPR26(7 ~ 4)	1	
		UDF2	352	H'00000580 ~ H'00000583			2	
		CEF2	353	H'00000584 ~ H'00000587			3	
		ODFI2	354	H'00000588 ~ H'0000058B			4	
		IDEI2	355	H'0000058C ~ H'0000058F			5	

7.6 動作説明

7.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 7.2 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ01、02、05～26 (IPR01、IPR02、IPR05～IPR26) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込みまたは同一IPR設定内の割り込みが複数発生した場合は、表7.4に示すデフォルト優先順位とIPR設定単位内の優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクレベルビット (I3～I0) とが比較されます。I3～I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3～I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図7.4参照)。
5. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、割り込み例外サービスルーチンの開始アドレスを取り出します。
6. ステータスレジスタ (SR) がスタックに退避され、SRのI3～I0ビットに受け付けられた割り込みの優先レベルが書き込まれます。
7. プログラムカウンタ (PC) がスタックに退避されます。
8. 取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 7.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのためクリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

* エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ 割り込み要求レジスタ (IRQRR) のアクセスにより取り下げることができます。詳しくは「7.4.4 IRQ 割り込み」を参照してください。

また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされます。

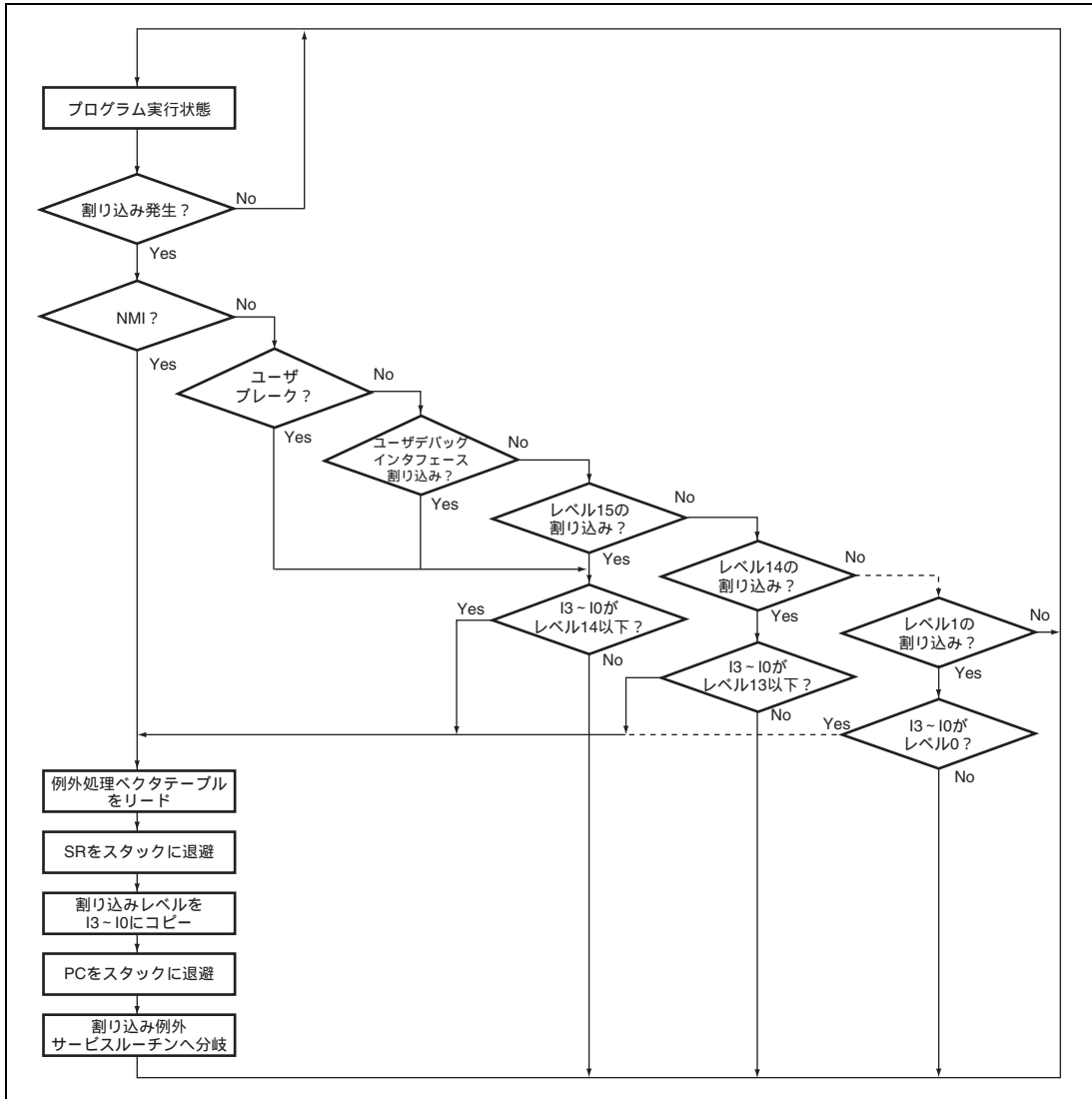


図 7.2 割り込み動作フロー

7.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 7.3 に示すようになります。

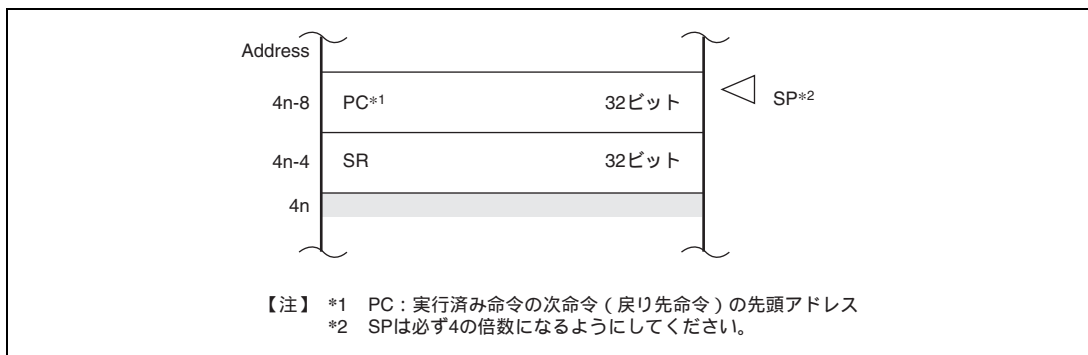


図 7.3 割り込み例外処理終了後のスタック状態

7.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、割り込み例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 7.5 に示します。割り込み処理は、バンキングなし、バンキングありかつレジスタバンクオーバーフローなし、バンキングありかつレジスタバンクオーバーフローありのときで動作が異なります。バンキングなしのときの、パイプライン動作例を図 7.4、図 7.5 に示します。バンキングありかつレジスタバンクオーバーフローなしのときの、パイプライン動作例を図 7.6、図 7.7 に示します。バンキングありかつレジスタバンクオーバーフローありのときの、パイプライン動作例を図 7.8、図 7.9 に示します。

表 7.5 割り込み応答時間

項 目		ステート数							備考		
		NMI	ユーザ ブレイク	ユーザ デバッグ インタフェ ース	IRQ、 PINT	USB2.0 ホスト/ ファンク ション モジュ ール	FIFO 内蔵 シリアル コミュニケ ーションイ ンタフェ ース	周辺 モジュール 群 1* ³		周辺 モジュール 群 2* ⁴	
割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間		2lcyc+	3lcyc	2lcyc+	2lcyc+	2lcyc+	2lcyc+	2lcyc+	2lcyc+		
		2P1cyc+		1P0cyc	3P1cyc+	2Bcyc+	4Bcyc+	4Bcyc+	2Bcyc		
		1P0cyc			1P0cyc	2P1cyc	1P1cyc	1P0cyc			
CPU に割り込み要求信号が入力されてから、実行中のシーケンスを終了後、割り込み例外処理を開始し、割り込み例外サービスルーチンの先頭命令をフェッチするまでの時間	レジスタバンクなし。	最小値	3lcyc+m1+m2						最小値は、割り込み待ち時間 0 のとき。 最大値は、割り込み例外処理中に、さらに上位の割り込み要求が発生したとき。		
		最大値	4lcyc+2(m1+m2)+m3								
	レジスタバンクあり。 レジスタバンクオーバーフローなし。	最小値	-					3lcyc+m1+m2		最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。	
		最大値	-					12lcyc+m1+m2			
	レジスタバンクあり。 レジスタバンクオーバーフローあり。	最小値	-					3lcyc+m1+m2			最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。
		最大値	-					3lcyc+m1+m2+19(m4)			

項目			ステート数								備考
			NMI	ユーザ ブレーク	ユーザ デバッグ インタ フェース	IRQ、 PINT	USB2.0 ホスト/ ファンク ションモ ジュール	FIFO 内蔵 シリアル コミュニケー ションインタ フェース	周辺 モジュール 群 1 ^{*3}	周辺 モジュール 群 2 ^{*4}	
応答 時間	レジスタバ ンクなし。	最小値	5cyc+ 2P1cyc+ 1P0cyc+ m1+m2	6cyc+ m1+m2	5cyc+ 1P0cyc+ m1+m2	5cyc+ 3P1cyc+ 1P0cyc+ m1+m2	5cyc+ 2Bcyc+ 2P1cyc+ m1+m2	5cyc+ 4Bcyc+ 1P1cyc +m1+m2	5cyc+ 4Bcyc+ 1P0cyc +m1+m2	5cyc+ 2Bcyc+ m1+m2	266MHz 動作時 ^{*1*2} : 0.029 μs - 0.101 μs
		最大値	6cyc+ 2P1cyc+ 1P0cyc+ 2(m1+m2)+ m3	7cyc+ 2(m1+m2)+ m3	6cyc+ 1P0cyc+ 2(m1+m2)+ m3	6cyc+ 3P1cyc+ 1P0cyc+ 2(m1+m2)+ m3	6cyc+ 2Bcyc+ 2P1cyc+ 2(m1+m2)+ m3	6cyc+ 4Bcyc+ 1P1cyc+ 2(m1+m2)+ m3	6cyc+ 4Bcyc+ 1P0cyc+ 2(m1+m2)+ m3	6cyc+ 2Bcyc+ 2(m1+m2)+ m3	266MHz 動作時 ^{*1*2} : 0.044 μs - 0.116 μs
	レジスタバ ンクあり。 レジスタバ ンクオーバ フロー なし。	最小値	-	5cyc+ 1P0cyc+ m1+m2	5cyc+ 3P1cyc+ 1P0cyc+ m1+m2	5cyc+ 2Bcyc+ 2P1cyc+ m1+m2	5cyc+ 4Bcyc+ 1P1cyc+ +m1+m2	5cyc+ 4Bcyc+ 1P0cyc+ +m1+m2	5cyc+ 2Bcyc+ m1+m2	266MHz 動作時 ^{*1*2} : 0.041 μs - 0.101 μs	
		最大値	-	14cyc+ 1P0cyc+ m1+m2	14cyc+ 3P1cyc+ 1P0cyc+ m1+m2	14cyc+ 2Bcyc+ 2P1cyc+ m1+m2	14cyc+ 4Bcyc+ 1P1cyc+ m1+m2	14cyc+ 4Bcyc+ 1P0cyc+ m1+m2	14cyc+ 2Bcyc+ m1+m2	266MHz 動作時 ^{*1*2} : 0.075 μs - 0.135 μs	
レジスタバ ンクあり。 レジスタバ ンクオーバ フロー あり。	最小値	-	5cyc+ 1P0cyc+ m1+m2	5cyc+ 3P1cyc+ 1P0cyc+ m1+m2	5cyc+ 2Bcyc+ 2P1cyc+ m1+m2	5cyc+ 4Bcyc+ 1P1cyc+ m1+m2	5cyc+ 4Bcyc+ 1P0cyc+ m1+m2	5cyc+ 2Bcyc+ m1+m2	266MHz 動作時 ^{*1*2} : 0.041 μs - 0.102 μs		
	最大値	-	5cyc+ 1P0cyc+ m1+m2+ 19(m4)	5cyc+ 3P1cyc+ 1P0cyc+ m1+m2+ 19(m4)	5cyc+ 2Bcyc+ 2P1cyc+ m1+m2+ 19(m4)	5cyc+ 4Bcyc+ 1P1cyc+ m1+m2+ 19(m4)	5cyc+ 4Bcyc+ 1P0cyc+ m1+m2+ 19(m4)	5cyc+ 2Bcyc+ m1+m2+ 19(m4)	266MHz 動作時 ^{*1*2} : 0.112 μs - 0.173 μs		

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : ベクタアドレスリード (ロングワードリード)

m2 : SR の退避 (ロングワードライト)

m3 : PC の退避 (ロングワードライト)

m4 : バンク対象レジスタ (R0 ~ R14、GBR、MACH、MACL、PR) のスタックからの復帰

*1 : m1=m2=m3=m4=11cyc の場合

*2 : (I、B、P1、P0) = (266.67MHz、133.33MHz、66.67MHz、33.33MHz)

*3 : コンペアマッチタイマ、モータコントロール PWM タイマ、マルチファンクションタイマパルスユニット 2、コントローラエリアネットワーク、IEBusTM コントローラ、サウンドジェネレータ

*4 : USB2.0 ホスト / ファンクションモジュール、FIFO 内蔵シリアルコミュニケーションインタフェース、周辺モジュール群 1 以外の周辺モジュール

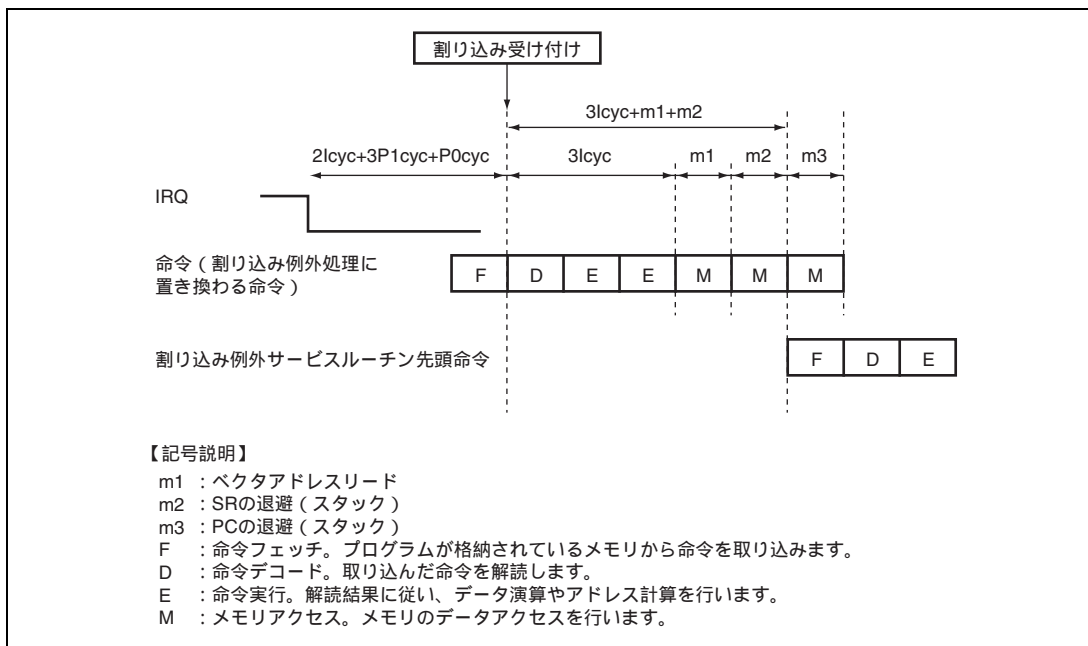


図 7.4 IRQ 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクなし)

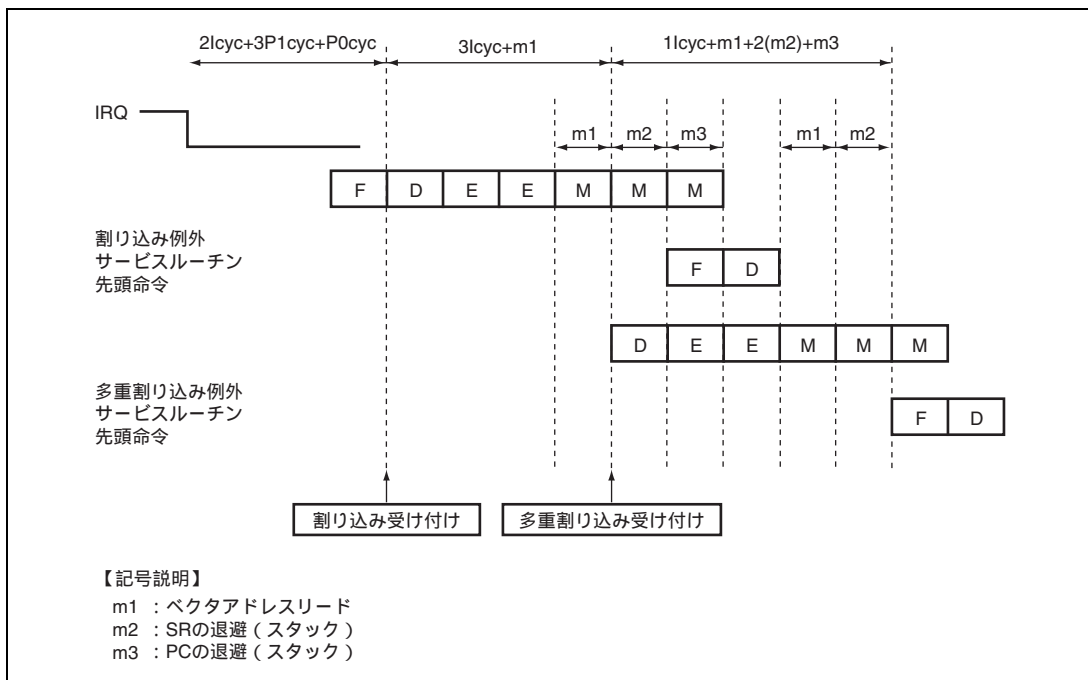


図 7.5 多重割り込み時のパイプライン動作例 (レジスタバンクなし)

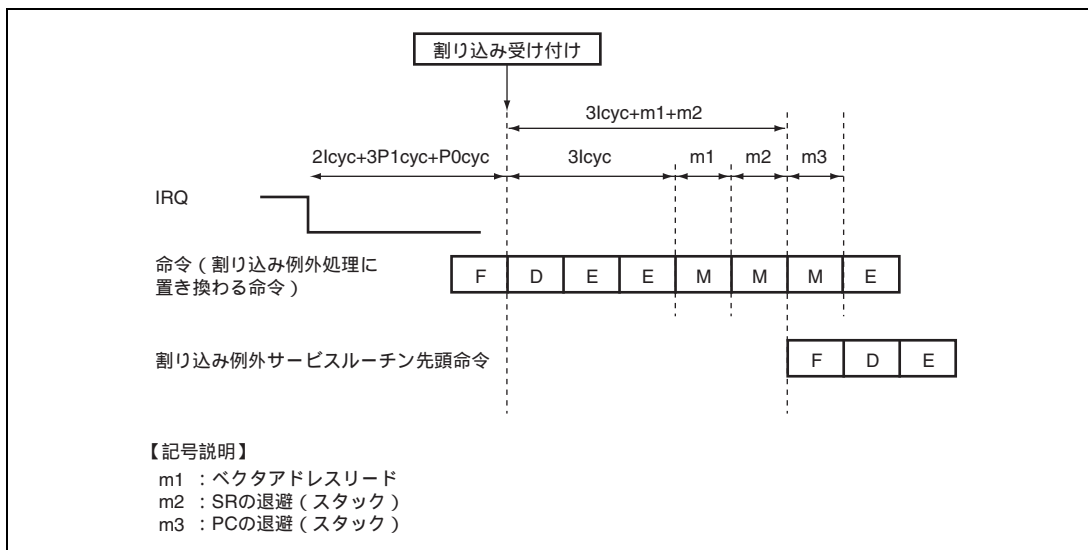


図 7.6 IRQ 割り込みを受け付けるときのパイプライン動作例
（レジスタバンクあり、レジスタバンクオーバーフローなし）

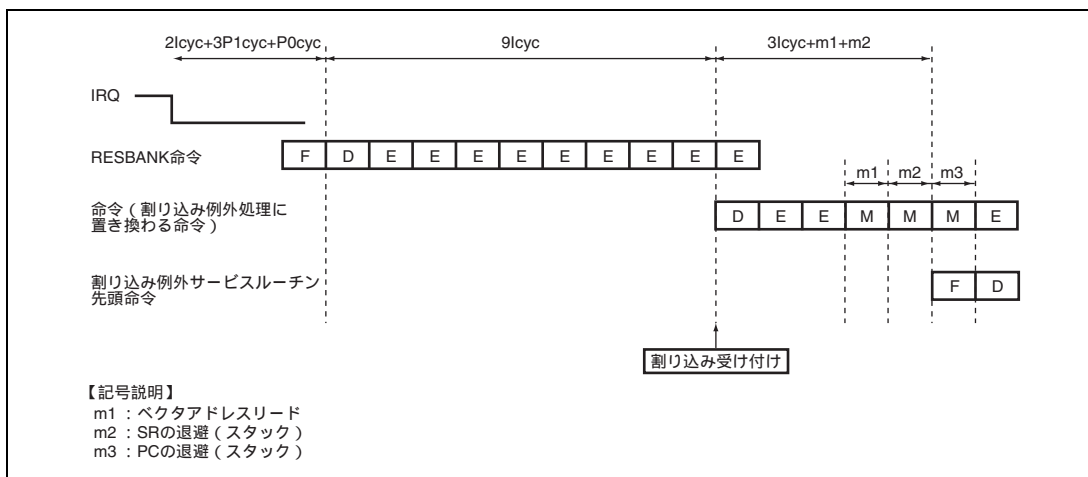


図 7.7 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
（レジスタバンクあり、レジスタバンクオーバーフローなし）

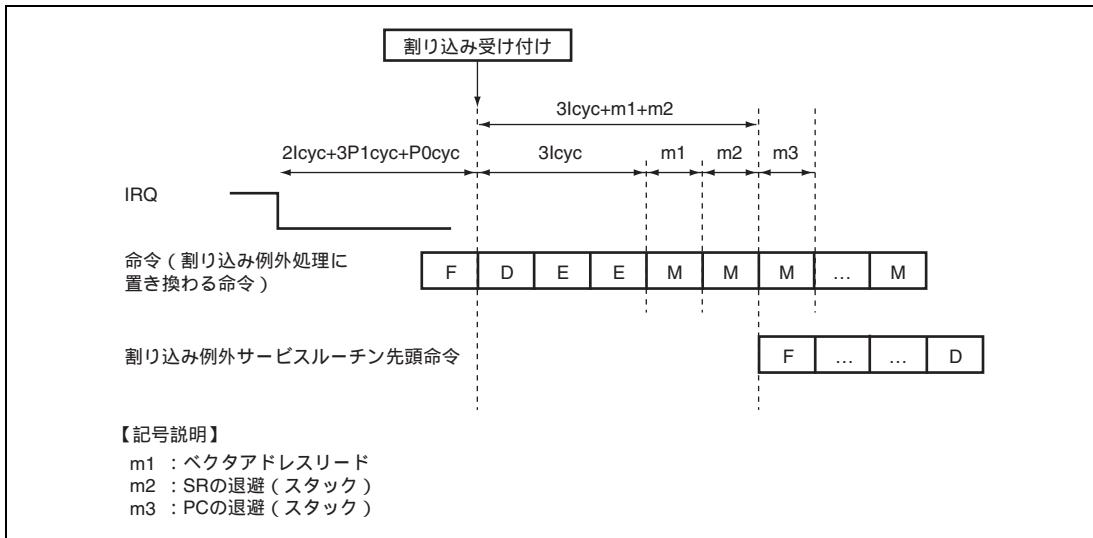


図 7.8 IRQ 割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローあり)

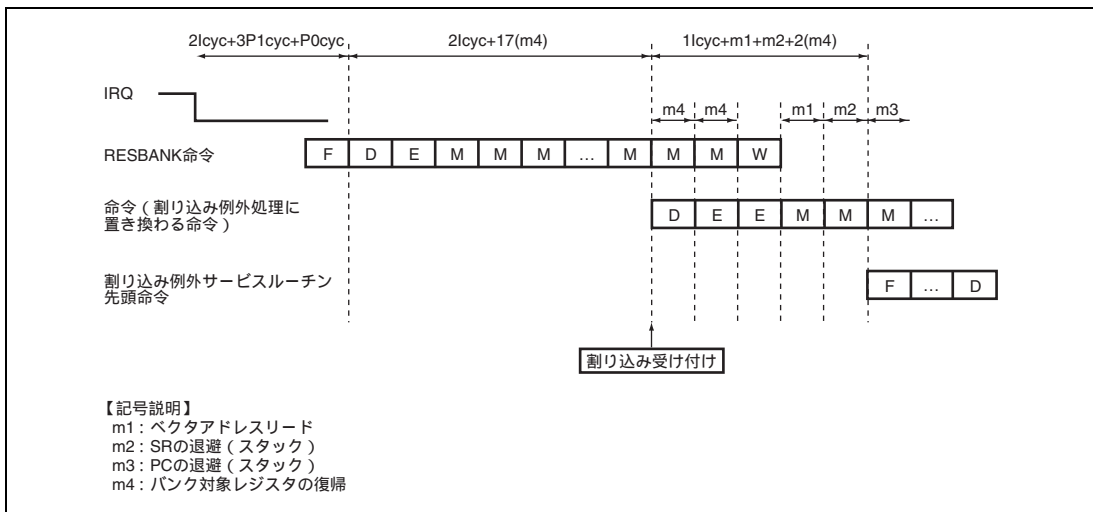


図 7.9 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローあり)

7.8 レジスタバンク

本 LSI は、割り込み処理に伴うレジスタの退避、復帰を高速に行うために 15 本のレジスタバンクを内蔵しています。レジスタバンクの構成を図 7.10 に示します。

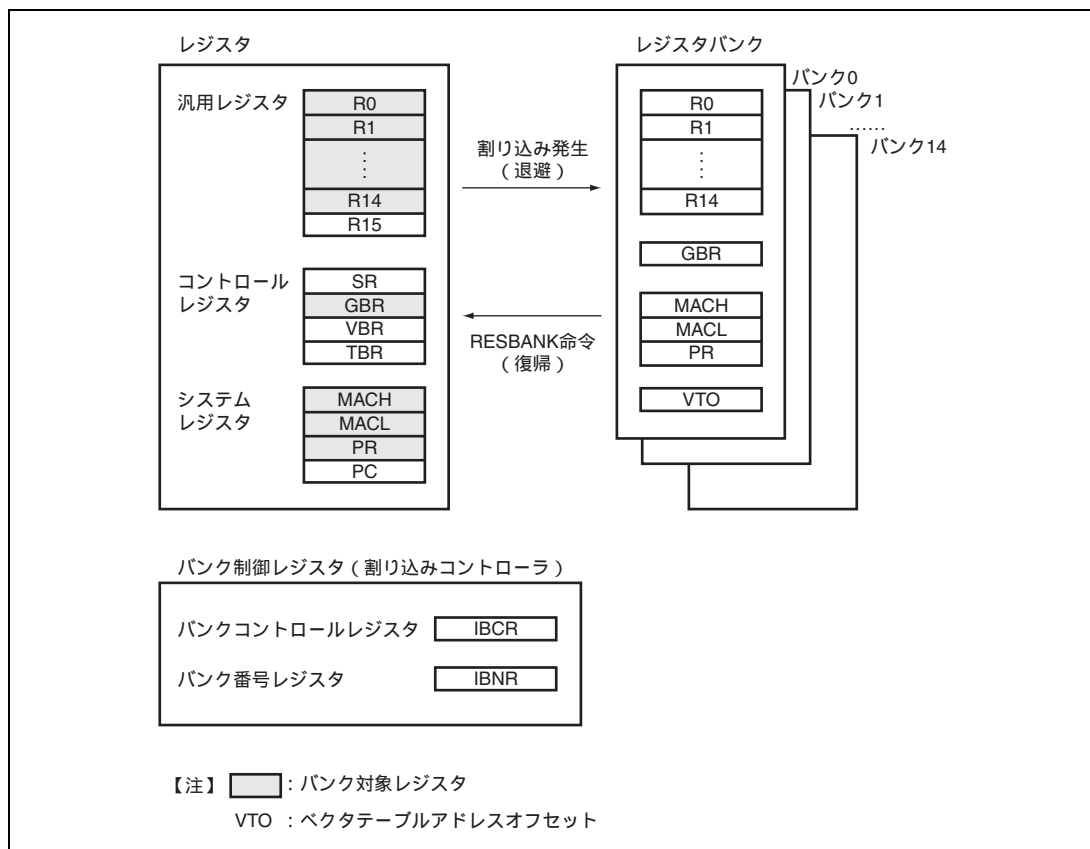


図 7.10 レジスタバンクの構成の概要

7.8.1 バンクの対象レジスタと入出力方式

(1) バンクの対象レジスタ

汎用レジスタ (R0~R14)、グローバルベースレジスタ (GBR)、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR) と、ベクタテーブルアドレスオフセットをバンクの対象とします。

(2) バンクの入出力方式

レジスタバンクは、バンク 0 からバンク 14 までの 15 個のバンクを持ちます。レジスタバンクは先入れ後出し (FILO) 式のスタックになっており、退避はバンク 0 から順番に行い、復帰は最後に退避したバンクから行います。

7.8.2 バンク退避、復帰の動作

(1) バンクへの退避

図 7.11 にレジスタバンクへの退避の動作を示します。割り込みが発生し、CPU で受け付けられた割り込みのレジスタバンク使用が許可されている場合、次のように動作します。

- (a) 割り込み発生前のバンク番号レジスタ (IBNR) のバンク番号ビット (BN) の値を i とします。
- (b) BN の示すバンク i に、レジスタ R0 ~ R14、GBR、MACH、MACL、PR と、受け付けられた割り込みのベクタテーブルアドレスオフセット (VTO) を退避します。
- (c) BN の値を +1 します。

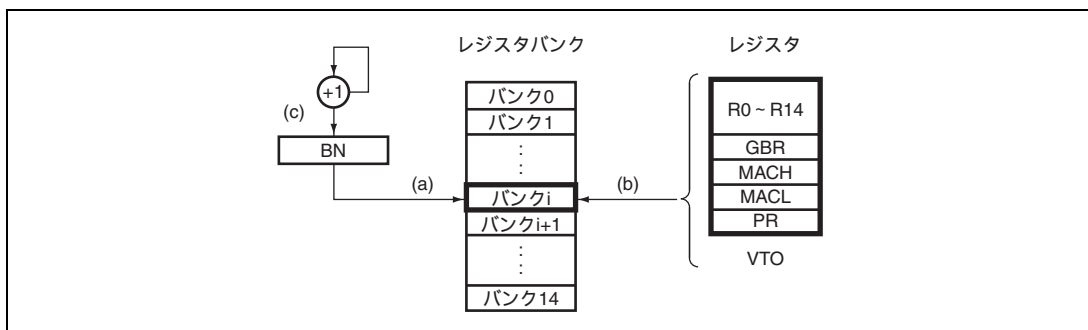


図 7.11 バンク退避の動作

図 7.12 にレジスタバンク退避のタイミングを示します。レジスタバンクへの退避は、割り込み例外処理開始から割り込み例外サービスルーチンの先頭命令のフェッチを開始するまでの間に実行されます。

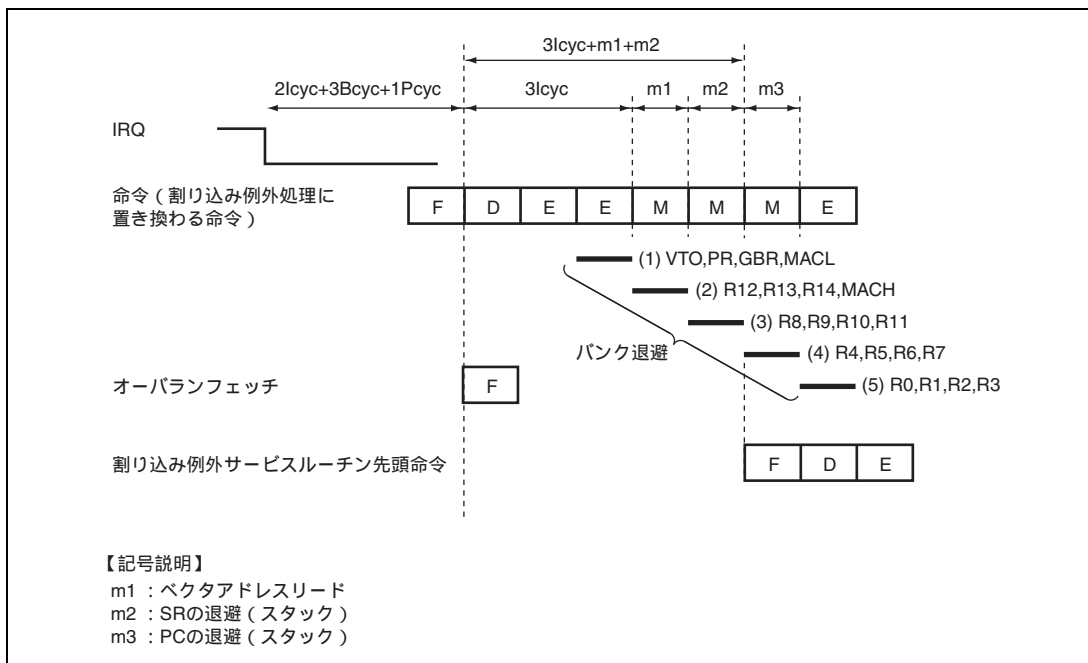


図 7.12 バンク退避のタイミング

(2) バンクからの復帰

バンクに退避したデータを復帰するには、バンク復帰命令 RESBANK を使います。割り込み例外サービスルーチンの最後に、RESBANK 命令でバンク復帰を行った後、RTE 命令で割り込み例外サービスルーチンからの復帰を行ってください。

7.8.3 すべてのバンクに退避が行われた状態での退避、復帰

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 0 のとき、レジスタバンクの代わりに自動的にスタックに退避を行います。また、IBNR の BOVE ビットを 1 にセットしているときは、レジスタバンクオーバーフロー例外が発生し、スタックへの退避は行われません。

スタックへの退避、復帰の動作は次のようになります。

(1) スタックへの退避

1. 割り込み例外処理時に、ステータスレジスタ (SR)、プログラムカウンタ (PC) をスタックします。
2. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックに退避します。スタックに退避するレジスタの順番は、MACL、MACH、GBR、PR、R14、R13、.....、R1、R0の順となります。
3. SRのレジスタバンクオーバーフロービット (BO) を1にセットします。
4. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

(2) スタックからの復帰

SR のレジスタバンクオーバーフロービット (BO) が 1 にセットされている状態で、バンク復帰命令 RESBANK を実行すると、次のように動作します。

1. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックから復帰します。スタックから復帰するレジスタの順番は、R0、R1、.....、R13、R14、PR、GBR、MACH、MACLの順となります。
2. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

7.8.4 レジスタバンクの例外

レジスタバンクの例外（レジスタバンクエラー）には、レジスタバンクオーバフローとレジスタバンクアンダフローの2種類があります。

（1）レジスタバンクオーバフロー

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ（IBNR）のBOVEビットが1にセットされているときに発生します。このとき、バンク番号レジスタ（IBNR）のバンク番号ビット（BN）はバンク数15のまま変化せず、レジスタバンクへの退避は行われません。

（2）レジスタバンクアンダフロー

レジスタバンクに退避がまったく行われていない状態で、レジスタバンク復帰命令を実行した場合に発生します。このときR0～R14、GBR、MACH、MACL、PRの値は変化しません。また、バンク番号レジスタ（IBNR）のバンク番号ビット（BN）は0のまま変化しません。

7.8.5 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。レジスタバンクオーバフロー時の退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。レジスタバンクアンダフロー時の退避するPCの値は、当該のRESBANK命令の先頭アドレスです。また、レジスタバンクオーバフロー時は多重割り込みを防止するためにレジスタバンクオーバフローの要因となった割り込みのレベルをステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）に書き込みます。
4. 例外サービスルーチンの開始アドレスからプログラムを実行します。

7.9 割り込み要求信号によるデータ転送

割り込み要求信号によりダイレクトメモリアクセスコントローラを起動し、データ転送を行うことができます。

割り込み要因の中でダイレクトメモリアクセスコントローラ起動要因に指定されているものは割り込みコントローラに入力されずにマスクされます。マスク条件は次のように表されます。

マスク条件 = DME・(DE0・要因選択 0 + DE1・要因選択 1 + DE2・要因選択 2 + DE3・要因選択 3 + DE4・要因選択 4 + DE5・要因選択 5 + DE6・要因選択 6 + DE7・要因選択 7 + DE8・要因選択 8 + DE9・要因選択 9 + DE10・要因選択 10 + DE11・要因選択 11 + DE12・要因選択 12 + DE13・要因選択 13 + DE14・要因選択 14 + DE15・要因選択 15)

割り込み制御ブロック図を図 7.13 に示します。

ここで DME はダイレクトメモリアクセスコントローラの DMAOR のビット 0、DE_n (n=0~15) はダイレクトメモリアクセスコントローラの CHCR_0~CHCR_15 のビット 0 です。詳細は「第 11 章 ダイレクトメモリアクセスコントローラ」を参照してください。

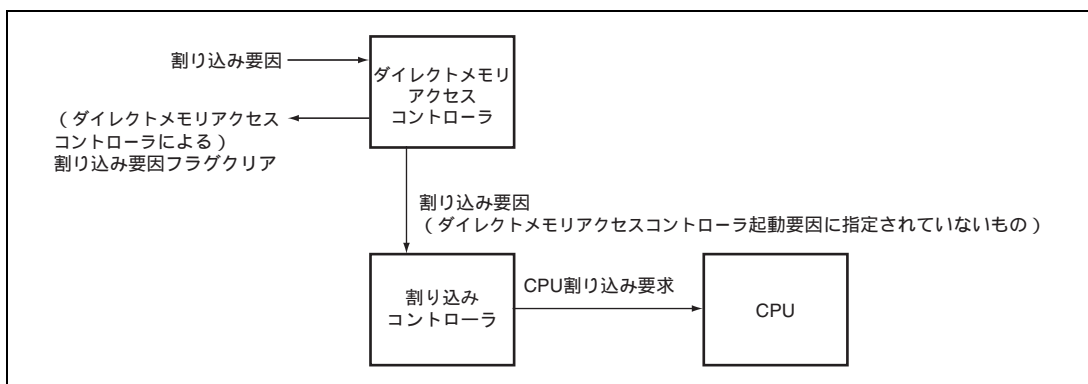


図 7.13 割り込み制御ブロック図

7.9.1 割り込み要求信号を CPU の割り込み要因とし、ダイレクトメモリアクセスコントローラの起動要因としない場合

1. ダイレクトメモリアクセスコントローラで要因を選択しないか、または DME ビットを 0 にクリアします。また、ダイレクトメモリアクセスコントローラで要因を選択している場合には、ダイレクトメモリアクセスコントローラの当該チャンネルの DE ビットを 0 にクリアします。
2. 割り込みが発生すると、CPU に割り込みを要求します。
3. CPU は割り込み例外サービスルーチンで、割り込み要因をクリアし、所要の処理をします。

7.9.2 割り込み要求信号をダイレクトメモリアクセスコントローラの起動要因とし、CPUの割り込み要因としない場合

1. ダイレクトメモリアクセスコントローラで要因を選択し、DE = 1、DME = 1にセットします。割り込み優先レベル設定レジスタの設定によらずCPU割り込み要因はマスクされます。
2. 割り込みが発生すると、ダイレクトメモリアクセスコントローラに起動要因が与えられます。
3. ダイレクトメモリアクセスコントローラは、転送時に起動要因をクリアします。

7.10 使用上の注意事項

7.10.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込み例外サービスルーチン中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 7.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリード*し、その後 RTE 命令を実行します。

【注】 * USB2.0 ホスト/ファンクションモジュールの割り込み要因フラグをクリアする場合、クリア後割り込み要因フラグを 3 回リードしてください。

8. ユーザブ레이크コントローラ

ユーザブ레이크コントローラは、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。本モジュールに設定できるブ레이크条件として、命令フェッチまたはデータの読み出し / 書き込み（データの読み出し / 書き込みの場合はバスサイクル（CPU、ダイレクトメモリアクセスコントローラ））、データのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングをサポートします。本 LSI はハーバードアーキテクチャを採用しているため、CPU バス（C バス）上での命令フェッチは命令フェッチバス（F バス）にバスサイクルを発行し、C バス上のデータアクセスはメモリアクセスバス（M バス）にバスサイクルを発行します。また、内部バス（I バス）には、内部 CPU バスと内部 DMA バスがあり、CPU は内部 CPU バスに、ダイレクトメモリアクセスコントローラは内部 DMA バスにバスサイクルを発行します。本モジュールはこれら C バスと I バスをモニタします。

8.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数：2チャンネル（チャンネル0と1）

ユーザブ레이크は、チャンネル0、1独立に設定することができます。

- アドレス

アドレス32ビットの比較はビットごとにマスク可能です。

4種類のアドレスバス（Fバスアドレス（FAB）、Mバスアドレス（MAB）、内部CPUバスアドレス（ICAB）、内部DMAバスアドレス（IDAB））を選択できます。

- データ

データ32ビットの比較はビットごとにマスク可能です。

3種類のデータバス（Mバスデータ（MDB）、内部CPUバスデータ（ICDB）、内部DMAバスデータ（IDDB））の1つを選択可能です。

- Iバス選択時のバスセレクト

内部CPUバス、内部DMAバス

- バスサイクル

命令フェッチ（Cバス選択時のみ）またはデータアクセス

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、およびロングワードをサポート。

- 命令フェッチサイクルにおいて、ユーザブレイク割り込み例外処理の実行開始を命令の実行の前に設定するか、後に設定するかを指定可能。
- ブレイク条件成立をUBCTRG端子に出力できます。

図 8.1 にブロック図を示します。

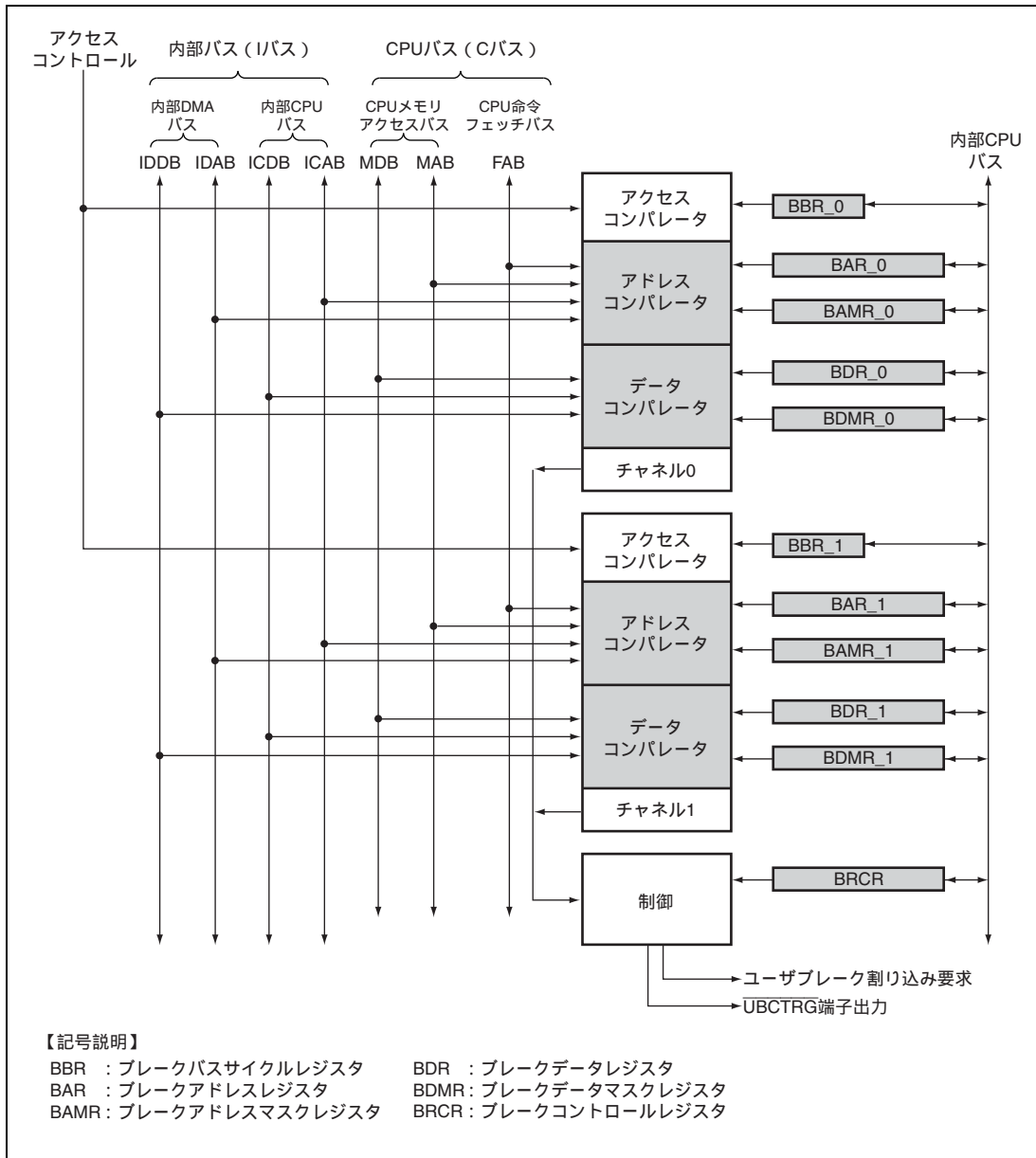


図 8.1 ブロック図

8.2 入出力端子

端子構成を表 8.1 に示します。

表 8.1 端子構成

名称	端子名	入出力	機能
ユーザブレイクトリ ガ出力	UBCTRG	出力	本モジュールのチャンネル 0、1 のいずれかで設定条件が成立した ことを示します

8.3 レジスタの説明

表 8.2 にレジスタ構成を示します。チャンネルごとに 5 本の制御レジスタと、チャンネル 0、1 に共通な制御レジスタが 1 本あります。各チャンネルのレジスタについては、チャンネル 0 の BAR は BAR_0 のように表記しています。

表 8.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	ブレークアドレスレジスタ_0	BAR_0	R/W	H'00000000	H'FFFC0400	32
	ブレークアドレスマスクレジスタ_0	BAMR_0	R/W	H'00000000	H'FFFC0404	32
	ブレークパスサイクルレジスタ_0	BBR_0	R/W	H'0000	H'FFFC04A0	16
	ブレークデータレジスタ_0	BDR_0	R/W	H'00000000	H'FFFC0408	32
	ブレークデータマスクレジスタ_0	BDMR_0	R/W	H'00000000	H'FFFC040C	32
1	ブレークアドレスレジスタ_1	BAR_1	R/W	H'00000000	H'FFFC0410	32
	ブレークアドレスマスクレジスタ_1	BAMR_1	R/W	H'00000000	H'FFFC0414	32
	ブレークパスサイクルレジスタ_1	BBR_1	R/W	H'0000	H'FFFC04B0	16
	ブレークデータレジスタ_1	BDR_1	R/W	H'00000000	H'FFFC0418	32
	ブレークデータマスクレジスタ_1	BDMR_1	R/W	H'00000000	H'FFFC041C	32
共通	ブレークコントロールレジスタ	BRCR	R/W	H'00000000	H'FFFC04C0	32

8.3.1 ブレークアドレスレジスタ (BAR)

BAR は、32 ビットの読み出し / 書き込み可能なレジスタです。BAR は、各チャンネルのブレーク条件とするアドレスを指定します。ブレーク条件の対象とするアドレスバスは 4 種類あり、ブレークパスサイクルレジスタ (BBR) の制御ビットの CD[1:0] と CP[1:0] により選択します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	BA31 ~ BA0	すべて 0	R/W	ブレイクアドレス ブレイク条件を指定する CPU アドレスバス (FAB または MAB) または内部アドレスバス (ICAB または IDAB) のアドレスを格納します。 BBR により C バスかつ命令フェッチサイクルを選択した場合は、BA31 ~ BA0 に FAB のアドレスを指定します。 BBR により C バスかつデータアクセスサイクルを選択した場合は、BA31 ~ BA0 に MAB のアドレスを指定します。 BBR により I バスかつ内部 CPU バスを選択した場合は、BA31 ~ BA0 に ICAB のアドレスを指定します。 BBR により I バスかつ内部 DMA バスを選択した場合は、BA31 ~ BA0 に IDAB のアドレスを指定します。

【注】 ブレイク条件として命令フェッチサイクルを設定する場合は、BAR の LSB を 0 にクリアしてください。

8.3.2 ブレイクアドレスマスクレジスタ (BAMR)

BAMR は、32 ビットの読み出し / 書き込み可能なレジスタです。BAMR は、BAR で指定するブレイクアドレスビットのうち、マスクするビットを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8	BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	BAM31 ~ BAM0	すべて 0	R/W	ブレイクアドレスマスク BAR (BA31 ~ BA0) によって指定されるブレイクアドレスビットのうち、マスクするビットを指定します。 0: ブレイクアドレスビット BAn は、ブレイク条件に含まれる 1: ブレイクアドレスビット BAn はマスクされ、ブレイク条件に含まれない 【注】 n = 31 ~ 0

8.3.3 ブ레이크データレジスタ (BDR)

BDR は、32 ビットの読み出し / 書き込み可能なレジスタです。ブ레이크条件の対象とするデータバスは 3 種類あり、ブ레이크バスサイクルレジスタ (BBR) の制御ビット CD[1:0] と CP[1:0] により選択します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24	BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8	BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BD31 ~ BD0	すべて 0	R/W	ブ레이크データビット ブ레이크条件を指定するデータを格納します。 BBR により C バスを選択した場合は、BD31 ~ BD0 に MDB のブ레이크データを指定します。 BBR により I バスかつ内部 CPU バスを選択した場合は、BD31 ~ BD0 に ICDB のアドレスを指定します。 BBR により I バスかつ内部 DMA バスを選択した場合は、BD31 ~ BD0 に IDDB のアドレスを指定します。

- 【注】
- ブ레이크条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 - ブ레이크条件としてバイトサイズを指定する場合は、BDR におけるブ레이크データとして、ビット 31 ~ 24、23 ~ 16、15 ~ 8、7 ~ 0 に同一のバイトデータを、またワードサイズを指定する場合はビット 31 ~ 16、15 ~ 0 に同一のワードデータをセットしてください。

8.3.4 ブレークデータマスクレジスタ (BDMR)

BDMR は、32 ビットの読み出し / 書き込み可能なレジスタです。BDMR は、BDR で指定するブレークデータビットのうちマスクするビットを指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24	BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8	BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BDM31 ~ BDM0	すべて 0	R/W	<p>ブレークデータマスク</p> <p>BDR (BD31 ~ BD0) によって指定されるブレークデータビットのうちマスクするビットを指定します。</p> <p>0 : ブレークデータビット BDn は、ブレーク条件に含まれる</p> <p>1 : ブレークデータビット BDn はマスクされ、ブレーク条件に含まれない</p> <p>【注】 n = 31 ~ 0</p>

- 【注】
1. ブレーク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 2. ブレーク条件としてバイトサイズを指定する場合は、BDMR におけるブレークマスクデータとして、ビット 31 ~ 24、23 ~ 16、15 ~ 8、7 ~ 0 に同一のバイトデータを、またワードサイズを指定する場合はビット 31 ~ 16、15 ~ 0 に同一のワードデータをセットしてください。

8.3.5 ブレークバスサイクルレジスタ (BBR)

BBR は、ブレーク条件として (1) ユーザブレイク割り込み要求の禁止 / 許可、(2) データバスの値を含める / 含めない、(3) 内部 CPU バスまたは内部 DMA バス、(4) C バスサイクルまたは I バスサイクル、(5) 命令フェッチまたはデータアクセス、(6) 読み出しましたは書き込み、および (7) オペランドサイズを指定する 16 ビットの読み出しましたは書き込み可能なレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID	DBE	-	-	CP[1:0]		CD[1:0]		ID[1:0]		RW[1:0]		SZ[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	UBID	0	R/W	ユーザブレイク割り込みディスエーブル 条件一致時にユーザブレイク割り込み要求の禁止 / 許可を指定します。 0: ユーザブレイク割り込み要求を許可する 1: ユーザブレイク割り込み要求を禁止する
12	DBE	0	R/W	データブレイクイネーブル データバス条件がブレーク条件に含まれるかどうかを選択します。 0: データバス条件がブレーク条件に含まれない 1: データバス条件がブレーク条件に含まれる
11, 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9, 8	CP[1:0]	00	R/W	I バスのバスセレクト ブレーク条件のバスサイクルが I バスの場合のバスを選択します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効 (CPU サイクルのみ) となります。 00: 条件比較を行わない 01: ブレーク条件は、内部 CPU バス 10: ブレーク条件は、内部 DMA バス 11: ブレーク条件は、内部 CPU バス
7, 6	CD[1:0]	00	R/W	C バスサイクル / I バスサイクルセレクト ブレーク条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、C バス (F バス、M バス) サイクル 10: ブレーク条件は、I バスサイクル 11: ブレーク条件は、C バス (F バス、M バス) サイクル

ビット	ビット名	初期値	R/W	説 明
5、4	ID[1:0]	00	R/W	<p>命令フェッチ / データアクセスセレクト</p> <p>ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合はCバスサイクルを選択してください。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブレイク条件は、命令フェッチサイクル</p> <p>10 : ブレイク条件は、データアクセスサイクル</p> <p>11 : ブレイク条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW[1:0]	00	R/W	<p>読み出し / 書き込みセレクト</p> <p>ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブレイク条件は、読み出しサイクル</p> <p>10 : ブレイク条件は、書き込みサイクル</p> <p>11 : ブレイク条件は、読み出しサイクルまたは書き込みサイクル</p>
1、0	SZ[1:0]	00	R/W	<p>オペランドサイズセレクト</p> <p>ブレイク条件のバスサイクルのオペランドサイズを選択します。</p> <p>00 : ブレイク条件には、オペランドサイズを含まない</p> <p>01 : ブレイク条件は、バイトアクセス</p> <p>10 : ブレイク条件は、ワードアクセス</p> <p>11 : ブレイク条件は、ロングワードアクセス</p>

8.3.6 ブレイクコントロールレジスタ (BRCR)

BRCR は、次の条件を設定します。

1. 命令フェッチサイクルによるユーザブレイク割り込み例外処理の実行開始を命令実行の前に設定するか後に設定するかを指定します。
2. ブレイク条件一致時の $\overline{\text{UBCTR}}\overline{\text{G}}$ 出力のパルス幅を設定します。
3. ブレイク条件一致時の $\overline{\text{UBCTR}}\overline{\text{G}}$ 出力をするかどうかを設定します。

BRCR は、ブレイク条件一致フラグとその他のブレイク条件を設定するためのビットを持つ 32 ビットの読み出し/書き込み可能なレジスタです。ビット 15~12 の条件一致フラグのみ、1 書き込みは無効 (前値保持) で 0 書き込みのみ可能なビットですので、クリアする場合はクリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	UTOD1	UTOD0	CKS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCMFC 0	SCMFC 1	SCMFD 0	SCMFD 1	-	-	-	-	-	PCB1	PCB0	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	UTOD1	0	R/W	$\overline{\text{UBCTR}}\overline{\text{G}}$ 出力ディスエーブル 1 チャンネル 1 の条件一致時に $\overline{\text{UBCTR}}\overline{\text{G}}$ 出力するかどうかを指定します。 0: チャンネル 1 に対する条件一致で $\overline{\text{UBCTR}}\overline{\text{G}}$ へ出力する 1: チャンネル 1 に対する条件一致で $\overline{\text{UBCTR}}\overline{\text{G}}$ へ出力しない
18	UTOD0	0	R/W	$\overline{\text{UBCTR}}\overline{\text{G}}$ 出力ディスエーブル 0 チャンネル 0 の条件一致時に $\overline{\text{UBCTR}}\overline{\text{G}}$ 出力するかどうかを指定します。 0: チャンネル 0 に対する条件一致で $\overline{\text{UBCTR}}\overline{\text{G}}$ へ出力する 1: チャンネル 0 に対する条件一致で $\overline{\text{UBCTR}}\overline{\text{G}}$ へ出力しない
17、16	CKS[1:0]	00	R/W	クロックセレクト 条件一致時、 $\overline{\text{UBCTR}}\overline{\text{G}}$ に出力するパルス幅を指定します。 00: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を周辺クロック 1 の 1 周期分にする 01: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を周辺クロック 1 の 2 周期分にする 10: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を周辺クロック 1 の 4 周期分にする 11: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を周辺クロック 1 の 8 周期分にする

ビット	ビット名	初期値	R/W	説明
15	SCMFC0	0	R/W	C バスサイクル条件一致フラグ 0 チャンネル 0 に設定したブレイク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 に対する C バスサイクル条件不一致 1 : チャンネル 0 に対する C バスサイクル条件一致
14	SCMFC1	0	R/W	C バスサイクル条件一致フラグ 1 チャンネル 1 に設定したブレイク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 に対する C バスサイクル条件不一致 1 : チャンネル 1 に対する C バスサイクル条件一致
13	SCMFD0	0	R/W	I バスサイクル条件一致フラグ 0 チャンネル 0 に設定したブレイク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 に対する I バスサイクル条件不一致 1 : チャンネル 0 に対する I バスサイクル条件一致
12	SCMFD1	0	R/W	I バスサイクル条件一致フラグ 1 チャンネル 1 に設定したブレイク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 に対する I バスサイクル条件不一致 1 : チャンネル 1 に対する I バスサイクル条件一致
11~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PCB1	0	R/W	PC ブレイクセレクト 1 チャンネル 1 に対する命令フェッチサイクルのブレイクタイミングが命令実行の前か後かを選択します。 0 : チャンネル 1 の PC ブレイクを命令実行前に設定 1 : チャンネル 1 の PC ブレイクを命令実行後に設定
5	PCB0	0	R/W	PC ブレイクセレクト 0 チャンネル 0 に対する命令フェッチサイクルのブレイクタイミングが命令実行の前か後かを選択します。 0 : チャンネル 0 の PC ブレイクを命令実行前に設定 1 : チャンネル 0 の PC ブレイクを命令実行後に設定
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.4 動作説明

8.4.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの動作の流れは、次のとおりです。

1. ブレイクアドレスを、ブレイクアドレスレジスタ (BAR) に指定します。マスクするアドレスを、ブレイクアドレスマスクレジスタ (BAMR) に指定します。ブレイクデータを、ブレイクデータレジスタ (BDR) に指定します。マスクするデータを、ブレイクデータマスクレジスタ (BDMR) に指定します。バスブレイク条件を、ブレイクバスサイクルレジスタ (BBR) に指定します。BBRの3つの制御ビットペア、すなわちCバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレイクは発生しません。ブレイク制御は、BRCRのビットに指定します。すべてのブレイク関連レジスタの設定後にBBRの設定を行い、最後に書き込んだレジスタを読み出してから分岐を発生させてください。分岐先の命令から新しく書き込んだレジスタ値が有効となります。
2. ブレイク条件を満足し、ユーザブレイク割り込み要求を許可する設定の場合、本モジュールはユーザブレイク割り込み要求を割り込みコントローラに通知するとともに、それぞれのチャンネルに対するCバス条件一致フラグ (SCMFC)、Iバス条件一致フラグ (SCMFD) をセットし、 \overline{UBCTRG} 端子にCKS[1:0]ビットで設定されたパルス幅で出力します。また、BBRのUBIDビットを1にセットすることにより、ユーザブレイク割り込みを要求せず外部でトリガ出力をモニタすることも可能です。
3. ユーザブレイク割り込み要求信号を受け取ると、割り込みコントローラは優先順位判定を行います。ユーザブレイク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) がレベル14以下のとき、受け付けられます。I3~I0ビットがレベル15のとき、ユーザブレイク割り込みは受け付けられませんが、条件判定は行われ、一致した場合は条件一致フラグがセットされます。優先順位判定については、「第7章 割り込みコントローラ」を参照してください。
4. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFC、SCMFD) を使用することができます。ユーザブレイク割り込み例外処理ルーチン中に条件一致フラグビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。
5. チャンネル0およびチャンネル1で設定したブレイクがほぼ同時に発生する場合があります。割り込みコントローラに対するユーザブレイク割り込み要求は1つだけであっても、これらの2つのブレイクチャンネル一致フラグは2つともセットされる場合があります。
6. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
 - CPUがCバス上で発行したアクセスが内部CPUバス上に発行されるかどうかは、キャッシュの設定により異なります。キャッシュ条件によるIバスの動作については、「第9章 キャッシュ」の表9.8を参照してください。
 - Iバスにブレイク条件を設定している場合はデータアクセスサイクルのみ監視し、命令フェッチサイクル(キャッシュ更新サイクルを含む)は監視しません。

- 内部DMAバスサイクルは、データアクセスサイクルのみです。
- Iバスにブレイク条件を設定している場合は、CPUが実行した命令に起因した内部CPUバスサイクルで条件が一致したときでも、どの命令でユーザブレイク割り込み要求を受け付けるかを一意に決定することはできません。

8.4.2 命令フェッチサイクルでのブレイク

1. ブレイクバスサイクルレジスタ (BBR) にCバス / 命令フェッチ / 読み出し / ワードまたはロングワードが設定されると、ブレイク条件はFABバスの命令フェッチになります。ユーザブレイク割り込み例外処理の実行開始を命令実行の前にするか後にするかは、該当するチャンネルに対するブレイクコントロールレジスタ (BRCR) のPCB0またはPCB1ビットで選択できます。ブレイク条件として命令フェッチサイクルを設定する場合は、ブレイクアドレスレジスタ (BAR) のBA0ビットを0に設定してください。このビットが1に設定されているとブレイクは発生しません。
2. 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、オーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令ではブレイクは発生しません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令実行前までユーザブレイク割り込み要求は受け付けられません。

【注】遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合は、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、オーバランフェッチ命令ではブレイクは発生しません。遅延分岐命令およびその遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令までユーザブレイク割り込み要求は受け付けられません。
4. 命令フェッチサイクルが設定されるとブレイクデータレジスタ (BDR) は、無視されます。したがって、命令フェッチサイクルのブレイクには、ブレイクデータを設定することはできません。
5. 命令フェッチサイクルでのブレイクにおいてIバスを設定した場合は無効となります。

8.4.3 データアクセスサイクルでのブレイク

1. データアクセスブレイクにおいて、ブレイク条件としてCバスを指定した場合は、実行された命令によりアクセスされたアドレス(およびデータ)に対して条件比較を行いブレイクを発生します。ブレイク条件としてIバスを指定した場合は、Iバスセレクトで指定したバス上のデータアクセスサイクルのアドレス(およびデータ)に対して条件比較を行いブレイクを発生します。内部CPUバス上に発行されるCPUのバスサイクルに関しては、「8.4.1 ユーザブレイク動作の流れ」の6.の項を参照してください。
2. 表8.3にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 8.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレイクアドレスレジスタのビット31~2とアドレスバスのビット31~2を比較
ワード	ブレイクアドレスレジスタのビット31~1とアドレスバスのビット31~1を比較
バイト	ブレイクアドレスレジスタのビット31~0とアドレスバスのビット31~0を比較

これは、たとえばブレイクアドレスレジスタ (BAR) にアドレスH'00001003を設定するとき、ブレイク条件を満足するバスサイクルには、(他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス
 H'00001002 でのワードアクセス
 H'00001003 でのバイトアクセス

3. ブレイク条件にデータ値が含まれる場合

ブレイク条件にデータ値が含まれる場合は、ブレイクバスサイクルレジスタ (BBR) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレイク条件に含まれる場合は、アドレス条件とデータ条件が一致するときブレイクが発生します。この場合、バイトデータを指定するためには、ブレイクデータレジスタ (BDR) とブレイクデータマスクレジスタ (BDMR) のビット31~24、ビット23~16、ビット15~8、ビット7~0の4バイトに同じデータを指定します。ワードデータを指定するためには、ビット31~16、ビット15~0の2ワードに同じデータを指定します。

4. PREF命令は、アクセスデータのないロングワードの読み出しアクセスとして扱います。したがって、PREF命令のブレイク条件にデータ値が含まれる場合は、ブレイクは発生しません。
5. データアクセスサイクルを選択している場合は、ブレイクの発生する命令を特定することはできません。

8.4.4 回避されるプログラムカウンタの値

ユーザブレイク割り込み要求受け付け時は、実行を再開すべき命令のアドレスをスタックに退避し、例外処理状態に移行します。ブレイク条件としてCバス(FAB)/命令フェッチを指定している場合は、ブレイクの発生する命令を一意に決定することができます。ブレイク条件としてCバス/データアクセスサイクル、またはIバス/データアクセスサイクルを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

1. Cバス(FAB)/命令フェッチを(命令実行前)ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

2. Cバス(FAB)/命令フェッチを(命令実行後)ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

3. Cバス/データアクセスサイクルまたはIバス/データアクセスサイクルをブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の数命令分の命令実行後のアドレスが退避されます。

8.4.5 使用例

(1) Cバス命令フェッチサイクルに指定したブレイク条件

(例 1-1)

• レジスタ指定

BAR_0 = H'00000404、BAMR_0 = H'00000000、BBR_0 = H'0054、BAR_1 = H'00008010、BAMR_1 = H'00000006、
BBR_1 = H'0054、BDR_1 = H'00000000、BDMR_1 = H'00000000、BRCCR = H'00000020

<チャンネル0>

アドレス : H'00000404、アドレスマスク : H'00000000

バスサイクル : Cバス/命令フェッチ(命令実行後)/読み出し(オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00008010、アドレスマスク : H'00000006

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス/命令フェッチ(命令実行前)/読み出し(オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00000404の命令実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に発生します。

(例 1-2)

- レジスタ指定

BAR_0 = H'00027128、BAMR_0 = H'00000000、BBR_0 = H'005A、BAR_1 = H'00031415、BAMR_1 = H'00000000、
BBR_1 = H'0054、BDR_1 = H'00000000、BDMR_1 = H'00000000、BRCR = H'00000000

<チャンネル0>

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：Cバス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル1>

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネル0では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル1では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(例 1-3)

- レジスタ指定

BAR_0 = H'00008404、BAMR_0 = H'00000FFF、BBR_0 = H'0054、BAR_1 = H'00008010、BAMR_1 = H'00000006、
BBR_1 = H'0054、BDR_1 = H'00000000、BDMR_1 = H'00000000、BRCR = H'00000020

<チャンネル0>

アドレス：H'00008404、アドレスマスク：H'00000FFF

バスサイクル：Cバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00008000 ~ H'00008FFEの命令の実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に生じます。

(2) Cバスデータアクセスサイクルに指定したブレイク条件

(例 2-1)

• レジスタ指定

BAR_0 = H'00123456、BAMR_0 = H'00000000、BBR_0 = H'0064、BAR_1 = H'000ABCDE、
BAMR_1 = H'000000FF、BBR_1 = H'106A、BDR_1 = H'A512A512、BDMR_1 = H'00000000、BRCR = H'00000000

<チャンネル0>

アドレス：H'00123456、アドレスマスク：H'00000000

バスサイクル：Cバス/データアクセス/読み出し（オペランドサイズは条件に含まれません）

<チャンネル1>

アドレス：H'000ABCDE、アドレスマスク：H'000000FF

データ：H'0000A512、データマスク：H'00000000

バスサイクル：Cバス/データアクセス/書き込み/ワード

チャンネル0では、ユーザブレイクはアドレスH'00123456に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクはH'000ABC00～H'000ABCFEにワードH'A512を書き込むときに生じます。

(3) Iバスデータアクセスサイクルに指定されたブレイク条件

(例 3-1)

• レジスタ指定：

BAR_0 = H'00314156、BAMR_0 = H'00000000、BBR_0 = H'0194、BAR_1 = H'00055555、BAMR_1 = H'00000000、
BBR_1 = H'12A9、BDR_1 = H'78787878、BDMR_1 = H'0F0F0F0F、BRCR = H'00000000

<チャンネル0>

アドレス：H'00314156、アドレスマスク：H'00000000

バスサイクル：内部CPUバス/命令フェッチ/読み出し（オペランドサイズは条件に含まれません）

<チャンネル1>

アドレス：H'00055555、アドレスマスク：H'00000000

データ：H'00000078、データマスク：H'0000000F

バスサイクル：内部DMAバス/データアクセス/書き込み/バイト

チャンネル0では、内部CPUバス上の命令フェッチの設定であり無効となります。チャンネル1では、ユーザブレイクは内部DMAバス上でダイレクトメモリアクセスコントローラがバイトH'7xをアドレスH'00055555に書き込むときに生じます（内部CPUバスでのアクセスの場合は生じません）。

8.5 使用上の注意事項

1. 本モジュールのレジスタの読み出しまたは書き込みは、内部CPUバス経由で行われます。したがって、本モジュールのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。本モジュールのレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. 本モジュールはCバスサイクル、内部CPUバスサイクル、内部DMAバスサイクルを同じチャンネルで監視することはできません。
3. ユーザブレイク割り込み要求と他の例外要因が同一命令で発生した場合は、「第6章 例外処理」の表6.1に定められた優先順位で判定が行われます。より高い優先度の例外要因が発生した場合は、ユーザブレイク割り込み要求は受け付けられません。
4. 遅延スロットでブレイクが発生する場合は、次の注意事項があります。
遅延スロット命令に対して命令実行前ブレイクを設定した場合は、その分岐先の実行前までユーザブレイク割り込み要求は受け付けられません。
5. モジュールスタンバイ時は、ユーザブレイク機能を使用できません。また、モジュールスタンバイ中は、本モジュールのレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
6. 割り込み優先レベルが15以上（ユーザブレイク割り込みを含む）である割り込み例外処理のルーチンが置かれるアドレスをブレイクアドレスとして設定しないでください。
7. SLEEP命令および遅延スロットがSLEEP命令となる分岐命令には命令実行後ブレイクを設定しないでください。
8. 32ビット命令にブレイクアドレスを設定する場合、前の16ビット側になるように設定してください。後ろ16ビット側にブレイクアドレスを設定した場合、ブレイク条件として命令実行前に設定したとしても命令実行後扱いとなります。
9. DIVU、DIVS命令の次命令に命令実行前ブレイクを設定しないでください。DIVU、DIVS命令の次命令に対して命令実行前ブレイクを設定した場合、DIVU、DIVS命令実行中に例外、割り込みが発生し、DIVU、DIVS命令の実行が中断されても、次命令の命令実行前ブレイクが発生します。

9. キャッシュ

9.1 特長

- 容量
 - 命令キャッシュ：8Kバイト
 - オペランドキャッシュ：8Kバイト
- 構成：命令/データ分離、4ウェイセットアソシアティブ
- ウェイロック機能（オペランドキャッシュのみ）：ウェイ2、ウェイ3はロック可能
- ラインサイズ：16バイト
- エントリ数：128エントリ/ウェイ
- ライト方式：ライトバック方式とライトスルー方式より選択可能
- 置換方式：LRU置換アルゴリズム

9.1.1 キャッシュの構成

キャッシュは、命令/データ分離型の4ウェイセットアソシアティブ方式です。4つのウェイ（バンク）で構成され、おのおののウェイはアドレス、データに分かれています。

アドレスとデータはそれぞれ1ウェイあたり128のエントリで構成されます。エントリのデータをラインと呼びます。1ラインは16バイト（4バイト×4）です。1ウェイあたりのデータ容量は、2Kバイト（16バイト×128エントリ）で、キャッシュ全体（4ウェイ）では8Kバイトの容量となります。

オペランドキャッシュの構成を図9.1に示します。命令キャッシュの構成は、Uビットがないことを除いてオペランドキャッシュの構成と同じです。

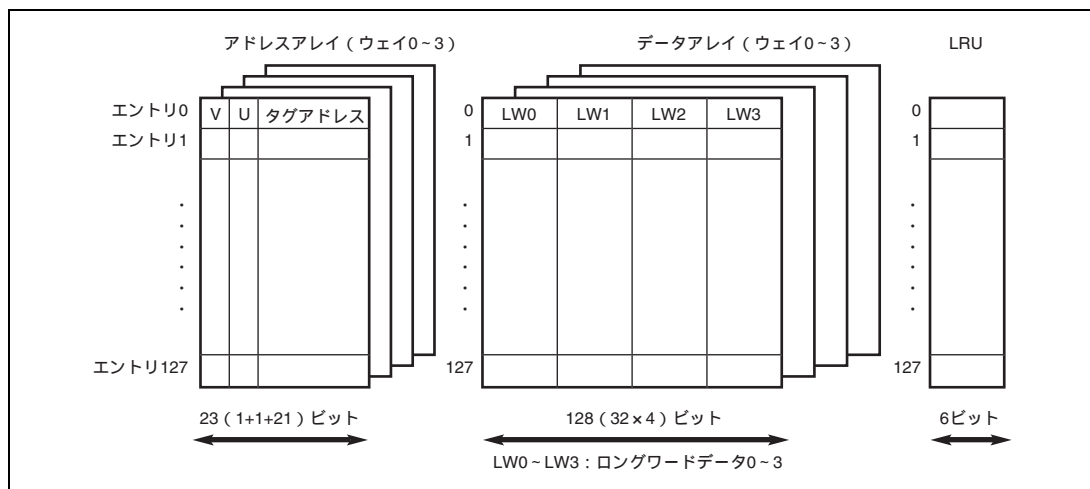


図9.1 オペランドキャッシュの構成

(1) アドレスレイ

Vビットは、エントリのデータが有効かどうかを示します。Vビットが1で有効、0で無効を示します。

Uビット（オペランドキャッシュのみ）は、ライトバックモードで、そのエントリに書き込みがあったことを示します。Uビットが1で書き込みあり、0で書き込みなしを示します。

タグアドレスは、外部メモリ/大容量内蔵RAMのアクセスに使用されるアドレスを保持します。キャッシュ検索時の比較に使用される21ビット（アドレス31~11）からなります。本LSIでは、キャッシュ有効空間のアドレスがH'00000000~H'1FFFFFFFであるため（「第10章 パスステートコントローラ」参照）、タグアドレスの上位3ビットに0が入ります。

V、Uビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。タグアドレスは、パワーオンリセット、マニュアルリセット、およびソフトウェアスタンバイモード時には初期化されません。

(2) データレイ

16バイトの命令あるいはデータを保持します。キャッシュへのエントリの登録の単位は、ライン単位（16バイト単位）で行います。

データレイは、パワーオンリセット、マニュアルリセット、およびソフトウェアスタンバイモード時には初期化されません。

(3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレスが同じ命令、データを4つまでキャッシュに登録できます。エントリアドレスを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6ビットのLRUビットによって指定されます。キャッシュロック機能(オペランドキャッシュのみ)を使用しない場合のLRUビットとリプレースされるウェイの関係を表9.1に示します(キャッシュロック機能を使用する場合には「9.2.2 キャッシュ制御レジスタ2(CCR2)」を参照してください)。表9.1に示した以外のLRUビットをソフトウェアで指定した場合、キャッシュは正しく動作しません。LRUビットをソフトウェアで変更するときは、表9.1に示すパターンを設定してください。

LRUビットは、パワーオンリセットでB'000000に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。

表 9.1 LRU ビットと置換されるウェイ (キャッシュロック機能を使用しない場合)

LRU (ビット5~0)	置換されるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

9.2 レジスタの説明

表 9.2 にレジスタ構成を示します。

表 9.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
キャッシュ制御レジスタ 1	CCR1	R/W	H'00000000	H'FFFC1000	32
キャッシュ制御レジスタ 2	CCR2	R/W	H'00000000	H'FFFC1004	32

9.2.1 キャッシュ制御レジスタ 1 (CCR1)

命令キャッシュは ICE ビットでイネーブルまたはディスエーブルを指定します。ICF ビットは命令キャッシュの全エントリの無効化を制御します。OCE ビットでオペランドキャッシュのイネーブルまたはディスエーブルを指定します。OCF ビットはオペランドキャッシュの全エントリの無効化を制御します。WT ビットではオペランドキャッシュのライトスルーモード、ライトバックモードを切り替えます。

CCR1 の内容を変更するプログラムは、キャッシュ無効空間に配置し、CCR1 の内容を読み出した後にキャッシュ有効空間をアクセスしてください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICF	-	-	ICE	-	-	-	-	OCF	-	WT	OCE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	ICF	0	R/W	命令キャッシュフラッシュ 1 を書き込むと、命令キャッシュの全エントリの V、LRU ビットを 0 にクリア (フラッシュ) します。読み出すと 0 が読み出されます。フラッシュの際、外部メモリ / 大容量内蔵 RAM への書き戻しは行いません。
10, 9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
8	ICE	0	R/W	命令キャッシュ有効 命令キャッシュ機能のイネーブル/ディスエーブルを指定します。 0: 命令キャッシュディスエーブル 1: 命令キャッシュイネーブル
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	OCF	0	R/W	オペランドキャッシュフラッシュ 1を書き込むと、オペランドキャッシュの全エントリの V、U、LRU ビットを0にクリア(フラッシュ)します。読み出すと0が読み出されます。フラッシュの際、外部メモリ/大容量内蔵 RAM への書き戻しは行いません。
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	WT	0	R/W	ライトスルー ライトバック/ライトスルー切り替え 0: ライトバックモード 1: ライトスルーモード
0	OCE	0	R/W	オペランドキャッシュ有効 オペランドキャッシュ機能のイネーブル/ディスエーブルを指定します。 0: オペランドキャッシュディスエーブル 1: オペランドキャッシュイネーブル

9.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 は、オペランドキャッシュのキャッシュロック機能を制御するレジスタです。キャッシュロック機能はキャッシュロックモード時のみ有効です。キャッシュロックモードとは、CCR2 のロックイネーブルビット (LE ビット) = 1 の状態です。非キャッシュロックモードでは、キャッシュロック機能は無効です。

キャッシュロックモード時にプリフェッチ命令 (PREF @Rn) を実行し、キャッシュミスした場合、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は表 9.3 に示すとおりです。一方プリフェッチ命令を実行し、キャッシュヒットした場合、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。たとえば Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態で、キャッシュロックモード、W3LOAD = 1 かつ W3LOCK = 1 と設定し、プリフェッチ命令を実行した場合、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

キャッシュロックモード時のプリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は表 9.4 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシュ無効空間に配置し、CCR2 の内容を読み出した後にキャッシュ有効空間をアクセスしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	W3 LOAD*	W3 LOCK	-	-	-	-	-	-	W2 LOAD*	W2 LOCK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

【注】* W3LOADとW2LOADを同時に1にセットしないでください。

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	LE	0	R/W	ロックイネーブル キャッシュロックモードを制御します。 0:非キャッシュロックモード 1:キャッシュロックモード
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 8	W3LOAD* W3LOCK	0 0	R/W R/W	ウェイ3ロード ウェイ3ロック W3LOCK=1、W3LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ3に読み込まれます。その他のすべての条件では、キャッシュミスしたデータはLRUの示すウェイに読み込まれます。
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	W2LOAD* W2LOCK	0 0	R/W R/W	ウェイ2ロード ウェイ2ロック W2LOCK=1、W2LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ2に読み込まれます。その他のすべての条件では、キャッシュミスしたデータはLRUの示すウェイに読み込まれます。

【注】 * W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 9.3 PREF 命令がキャッシュミスした場合に置換されるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置換されるウェイ
0	x	x	x	x	LRU に従う (表 9.1)
1	x	0	x	0	LRU に従う (表 9.1)
1	x	0	0	1	LRU に従う (表 9.5)
1	0	1	x	0	LRU に従う (表 9.6)
1	0	1	0	1	LRU に従う (表 9.7)
1	0	x	1	1	ウェイ 2
1	1	1	0	x	ウェイ 3

【記号説明】 x : Don't care

【注】 * W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 9.4 PREF 命令以外がキャッシュミスした場合に置換されるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置換されるウェイ
0	x	x	x	x	LRU に従う (表 9.1)
1	x	0	x	0	LRU に従う (表 9.1)
1	x	0	x	1	LRU に従う (表 9.5)
1	x	1	x	0	LRU に従う (表 9.6)
1	x	1	x	1	LRU に従う (表 9.7)

【記号説明】 x : Don't care

【注】 * W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 9.5 LRU ビットと置換されるウェイ (W2LOCK = 1 かつ W3LOCK = 0 の場合)

LRU (ビット 5-0)	置換されるウェイ
000000, 000001, 000100, 010100, 100000, 100001, 110000, 110100	3
000011, 000110, 000111, 001011, 001111, 010110, 011110, 011111	1
101001, 101011, 111000, 111001, 111011, 111100, 111110, 111111	0

表 9.6 LRU ビットと置換されるウェイ (W2LOCK = 0 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置換されるウェイ
000000, 000001, 000011, 001011, 100000, 100001, 101001, 101011	2
000100, 000110, 000111, 001111, 010100, 010110, 011110, 011111	1
110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

表 9.7 LRU ビットと置換されるウェイ (W2LOCK = 1 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置換されるウェイ
000000, 000001, 000011, 000100, 000110, 000111, 001011, 001111, 010100, 010110, 011110, 011111	1
100000, 100001, 101001, 101011, 110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

9.3 動作説明

オペランドキャッシュについて説明します。命令キャッシュについては、アドレスアレイにUビットがない、プリフェッチ動作がない、ライト動作がない、ライトバックバッファがないことを除いてオペランドキャッシュと同様です。

9.3.1 キャッシュの検索

オペランドキャッシュがイネーブルのとき (CCR1 レジスタの OCE ビット=1)、キャッシュ有効空間のデータにアクセスすると、キャッシュが検索され、目的のデータがキャッシュに存在するか調べます。キャッシュの検索方法の概念図を図 9.2 に示します。

メモリへのアクセスアドレスのビット 10~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。このとき、タグアドレスの上位 3 ビットは常に 0 です。メモリへのアクセスアドレスのビット 31~11 と、読み出したタグアドレスを比較します。アドレスの比較は 4 ウェイとも行います。比較の結果、一致しており、かつ比較されたエントリが有効である (V=1) 場合に、キャッシュヒットとなります。それ以外の場合はキャッシュミスとなります。ウェイ 1 がヒットした場合は図 9.2 に示します。

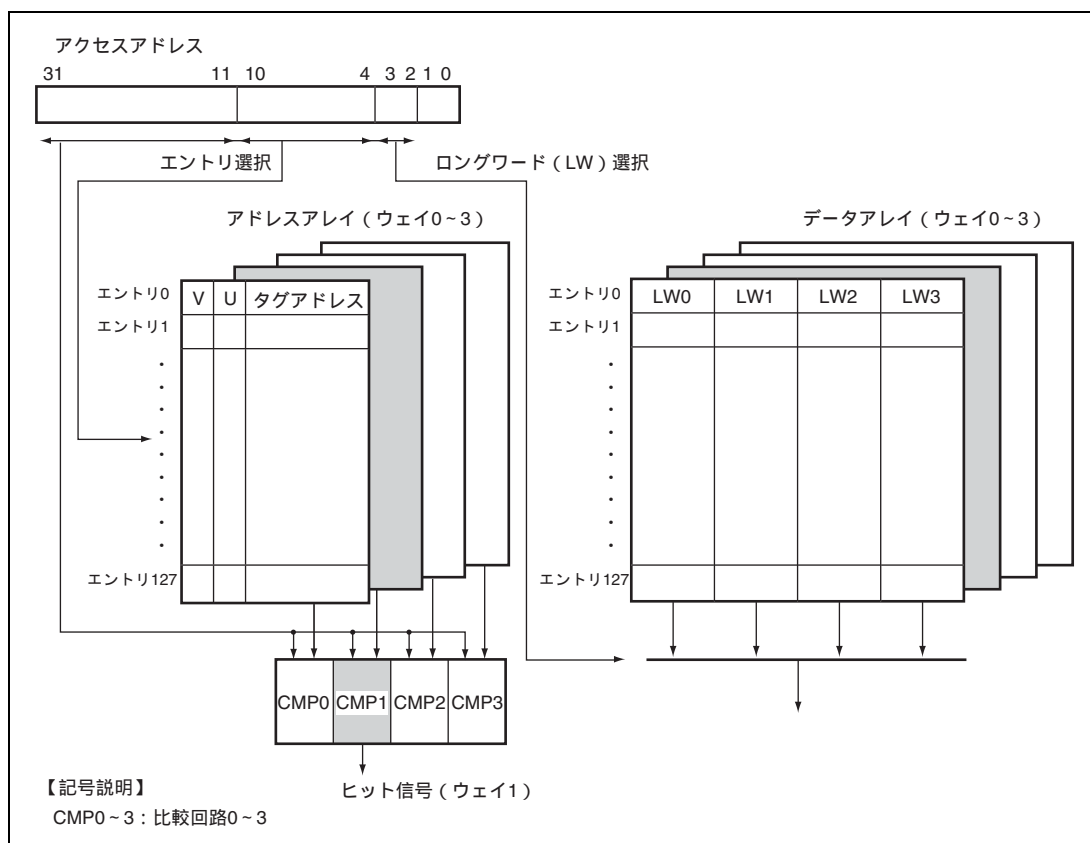


図 9.2 キャッシュの検索方法

9.3.2 リード動作

(1) リードヒット

キャッシュから CPU にデータが転送されます。ヒットしたウェイが最新となるように LRU が更新されます。

(2) リードミス

内部バスサイクルを起動し、エントリを更新します。置換するウェイは表 9.4 に従います。エントリの更新の単位は 16 バイトです。外部メモリ / 大容量内蔵 RAM から目的のデータがキャッシュに登録されると同時に、CPU にそのデータが転送されます。キャッシュに登録される時に、V ビットが 1 にセットされ、置換されたウェイが最新となるように LRU が更新されます。オペランドキャッシュではさらに U ビットが 0 にセットされ、ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてからキャッシュ更新サイクルを開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は 16 バイトです。キャッシュの更新およびメモリへの書き戻しは、ラップアラウンド方式で行います。たとえば、リードミスが発生したアドレスの下位 4 ビットが H'4 の場合、アドレスの下位 4 ビットが H'4 H'8 H'C H'0 の順番でキャッシュの更新およびメモリへの書き戻しを行います。

9.3.3 プリフェッチ動作 (オペランドキャッシュのみ)

(1) プリフェッチヒット

ヒットしたウェイが最新となるように LRU が更新されます。その他のキャッシュの内容は変更されません。CPU へのデータの転送は行われません。

(2) プリフェッチミス

CPU へのデータの転送が行われず、置換するウェイは表 9.3 に従います。その他の動作はリードミスの場合と同じです。

9.3.4 ライト動作 (オペランドキャッシュのみ)

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリ / 大容量内蔵 RAM へのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウェイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリ / 大容量内蔵 RAM へのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウェイが最新になるように LRU が更新されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に内部バスサイクルを起動し、エントリを更新します。置換するウェイは表 9.4 に従います。エントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてからキャッシュ更新サイクルを開始します。キャッシュにデータがライトされ、U ビットが 1 にセットされ、V ビットも 1 にセットされます。置換したウェイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は 16 バイトです。キャッシュの更新およびメモリへの書き戻しは、ラップアラウンド方式で行います。たとえば、ライトミスが発生したアドレスの下位 4 ビットが H'4 の場合、アドレスの下位 4 ビットが H'4 H'8 H'C H'0 の順番でキャッシュの更新およびメモリへの書き戻しを行います。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリ / 大容量内蔵 RAM へのみライトを行います。

9.3.5 ライトバックバッファ (オペランドキャッシュのみ)

ライトバックモードで置換されるエントリの U ビットが 1 のとき、外部メモリ / 大容量内蔵 RAM への書き戻しが必要になります。性能向上のため、置換されるエントリをまずライトバックバッファに転送し、キャッシュへの新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後、ライトバックバッファが外部メモリ / 大容量内蔵 RAM への書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファはキャッシュの 1 ライン分のデータ (16 バイト) とそのアドレスを保持可能です。ライトバックバッファの構成を図 9.3 に示します。

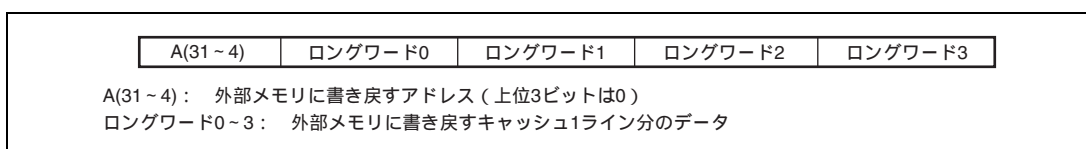


図 9.3 ライトバックバッファの構成

以上の 9.3.2 ~ 9.3.5 の動作を表 9.8 にまとめます。

表 9.8 キャッシュ動作まとめ

キャッシュの種類	CPU サイクル	ヒット/ミス	ライトバックモード/ライトスルーモード	U ビット	外部メモリ/大容量内蔵 RAM へのアクセス (内部バス経由)	キャッシュの内容
命令キャッシュ	命令フェッチ	ヒット	-	-	発生しません。	更新されません。
		ミス	-	-	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
オペランドキャッシュ	プリフェッチ/リード	ヒット	どちらのモードでも	x	発生しません。	更新されません。
		ミス	ライトスルーモード	-	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
			ライトバックモード	0	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
				1	キャッシュ更新サイクルが発生します。その後ライトバックバッファの書き戻しサイクルが発生します。	左記更新サイクルの内容で更新されます。
	ライト	ヒット	ライトスルーモード	-	CPU が発行したライトサイクルが発生します。	CPU が発行したライトサイクルの内容で更新されます。
			ライトバックモード	x	発生しません。	CPU が発行したライトサイクルの内容で更新されます。
		ミス	ライトスルーモード	-	CPU が発行したライトサイクルが発生します。	更新されません。*
			ライトバックモード	0	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます。
				1	キャッシュ更新サイクルが発生します。その後ライトバックバッファの書き戻しサイクルが発生します。	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます。

【記号説明】 x : Don't care

【注】 キャッシュ更新サイクル : 16 バイトのリードアクセス

ライトバックバッファの書き戻しサイクル : 16 バイトのライトアクセス

* LRU も更新されません。これ以外のすべてのケースで、LRU は更新されます。

9.3.6 キャッシュと外部メモリ / 大容量内蔵 RAM とのコヒーレンシ

キャッシュと外部メモリ / 大容量内蔵 RAM とのコヒーレンシはソフトウェアで保証してください。

本 LSI と他の装置との共有メモリをキャッシュ有効空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、無効化およびライトバックを行ってください。本 LSI 内の CPU とダイレクトメモリアクセスコントローラとの共有メモリについても同様にしてください。

9.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、MOV 命令により、キャッシュの内容の読み出し、書き込みが可能です。命令キャッシュのアドレスレイは H'F000 0000 ~ H'F07F FFFF に、データレイは H'F100 0000 ~ H'F17F FFFF に割り付けられています。オペランドキャッシュのアドレスレイは H'F080 0000 ~ H'F0FF FFFF に、データレイは H'F180 0000 ~ H'F1FF FFFF に割り付けられています。アドレスレイ、データレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

9.4.1 アドレスレイ

アドレスレイのアクセスには 32 ビットのアドレスの指定（読み出し / 書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。

アドレスにはエントリを選択するためのエントリアドレス、ウェイを選択するための W ビット、連想動作の有無を指定する A ビットを指定します。W ビットは、B'00 がウェイ 0、B'01 がウェイ 1、B'10 がウェイ 2、B'11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1~0 には B'00 を指定してください。

データにはタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを指定します。タグアドレスの上位 3 ビット（ビット 31~29）には常に 0 を指定してください。

アドレスおよびデータのフォーマットについては、図 9.4 を参照してください。

アドレスレイに対しては次の 3 種類の操作が可能です。

(1) アドレスレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを読み出します。リードの場合、アドレスに指定される連想ビット（A ビット）は 1 でも 0 でも連想動作は行いません。

(2) アドレスレイライト（連想なし）

アドレスの連想ビット（A ビット）を 0 にしてライトした場合、アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを書き込みます。オペランドキャッシュのアドレスレイに対する書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。メモリの書き戻しは、アドレスの下位 4 ビットが H'0 H'4 H'8 H'C の順番で行います。

(3) アドレスアレイライト (連想あり)

アドレスの連想ビット (A ビット) を 1 にしてライトした場合、アドレスで指定されたエントリの 4 ウェイすべてに対して、データで指定されたタグアドレスとの間で一致判定が行われます。一致判定の結果ヒットしたウェイに対して、データで指定された U ビット (オペランドキャッシュのみ) と V ビットをエントリに書き込みます。ただしタグアドレスと LRU ビットは変更されません。どのウェイにもヒットしなかった場合は書き込みを行わず、ノーオペレーションとなります。本動作はキャッシュの特定エントリの無効化に用いられます。

オペランドキャッシュの場合は、ヒットしたエントリの U ビットが 1 だった場合、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。メモリの書き戻しは、アドレスの下位 4 ビットが H'0 H'4 H'8 H'C の順番で行います。

9.4.2 データアレイ

データアレイのアクセスには、32 ビットのアドレスの指定 (読み出し / 書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス、1 ライン (16 バイト) 中のロングワード位置を示す L ビット、ウェイトを指定するための W ビットを指定します。L ビットは B'00 がロングワード 0、B'01 がロングワード 1、B'10 がロングワード 2、B'11 がロングワード 3 を示します。W ビットは、B'00 がウェイト 0、B'01 がウェイト 1、B'10 がウェイト 2、B'11 がウェイト 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1~0 には B'00 を指定してください。

アドレスおよびデータのフォーマットについては、図 9.4 を参照してください。

データアレイに対しては次の 2 種類の操作が可能です。なおこの操作によってアドレスアレイの情報が変更されることはありません。

(1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイトに対応するエントリから、アドレスの L ビットで指定されたデータを読み出します。

(2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイトに対応するエントリのうち、アドレスの L ビットで指定された位置に、データで指定されたロングワードデータを書き込みます。

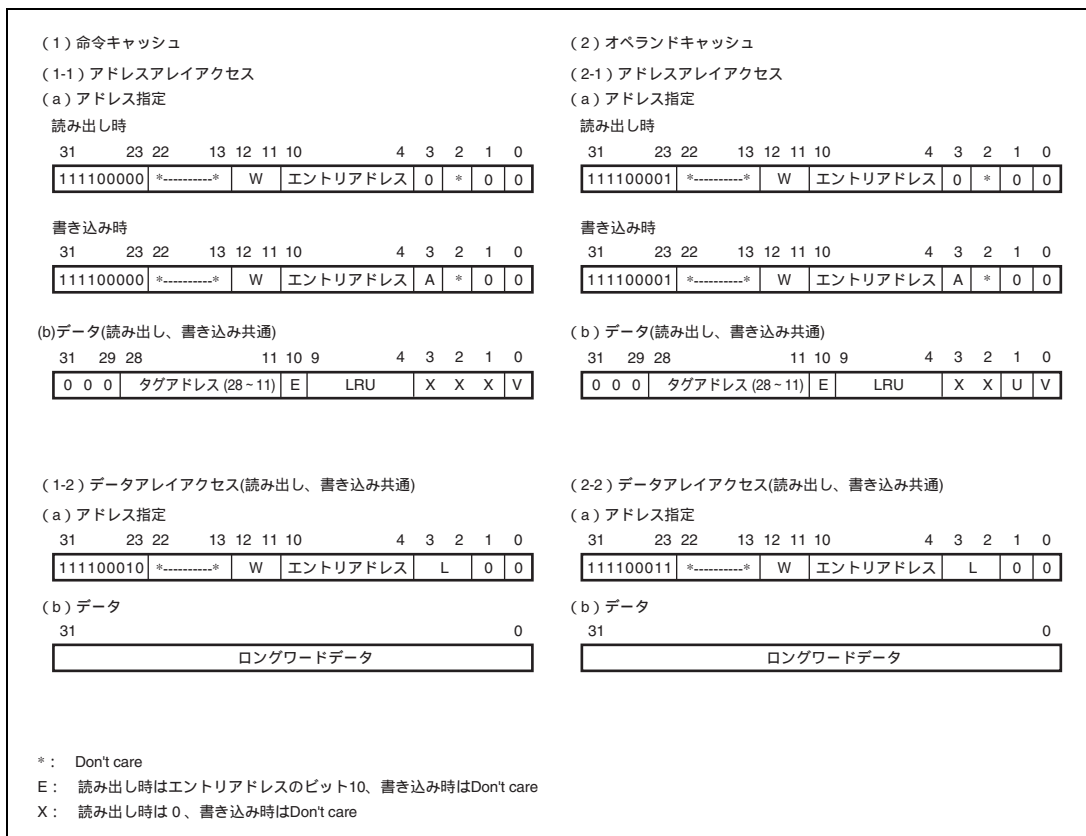


図 9.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法

9.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリのVビットに0を書き込むことで実現できます。Aビットを1とし、書き込みデータで指定されるタグアドレスを、エントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときに書き込みデータで指定されたVビットおよびUビットを書き込みます。一致しない場合はノーオペレーションです。アドレスアレイのあるエントリのVビットを0にすると、そのエントリのUビットが1のときそのエントリがライトバックされます。

以下に、R0に書き込みデータ、R1にアドレスを指定した場合の例を示します。

```
; R0 = H'0110 0010; タグアドレス(28~11) = B'0 0001 0001 0000 0000 0, U = 0, V = 0
; R1 = H'F080 0088; オペランドキャッシュアドレスアレイアクセス、エントリ = B'000 1000, A = 1
;
MOV.L   R0, @R1
```

(2) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図9.4のデータアレイのデータ部に示されるロングワードがレジスタに読み出されます。

以下に、R0にアドレスを指定し、R1に読み出す例を示します。

```
; R0 = H'F100 004C; 命令キャッシュデータアレイアクセス、エントリ = B'000 0100、ウェイ = 0、
   ロングワードアドレス = 3
;
MOV.L   @R0, R1
```

9.4.4 注意事項

1. オペランドキャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置してください。命令キャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置し、その先頭と最後でそれぞれ2回以上、内蔵周辺モジュールまたは外部アドレス空間(キャッシュ無効アドレス)へのリードアクセスを実行してください。
2. 同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えることは禁止します。同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えた場合の動作は保証しません。
3. レジスタおよびメモリ割り付けキャッシュは、CPUでのみアクセス可能です。ダイレクトメモリアクセスコントローラではアクセスできません。

10. バスステートコントローラ

外部バスコントローラは、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAMなどの各種メモリおよび外部デバイスを直接接続することができます。

10.1 特長

1. 外部アドレス空間

- CS0～CS5の各空間をそれぞれ最大64Mバイトまでサポート
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、バーストROM（クロック同期または非同期）、MPX-I/O、SDRAMのメモリ種類およびPCMCIAインタフェースを指定可能
- 空間ごとに、データバス幅（8ビット、16ビット、32ビット）を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト（同一空間または別空間）、リード - リード（同一空間または別空間）、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

2. 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

3. バーストROM（クロック非同期）インタフェース

- ページモード機能を有するROMを高速にアクセス可能

4. MPX-I/Oインタフェース

- アドレス/データマルチプレクスが必要な周辺LSIを直結可能

5. SDRAMインタフェース

- 最大2つのエリアでSDRAMを設定可能
- ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート
- パワーダウンモードのサポート
- MRSコマンド、EMRSコマンド発行のサポート

6. PCMCIAインタフェース

- JEIDA仕様Ver4.2 (PCMCIA2.1 Rev2.1) で定めるICメモリカードおよびI/Oカードインタフェースをサポート
- ウェイトステート挿入をプログラムで制御可能

7. バイト選択付きSRAMインタフェース

- バイト選択付きSRAMとの直結が可能なインタフェースをサポート

8. パーストROM (クロック同期) インタフェース

- クロック同期タイプのパーストROMを直結可能

9. バスアービトレーション

- すべての資源を他のCPUと共有し、外部からのバス権要求を受け、バス使用許可を出力可能

10. リフレッシュ機能

- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定 (1、2、4、6、および8) による集中リフレッシュが可能

11. リフレッシュ用カウンタのインターバルタイマとしての利用

- コンペアマッチタイマで割り込み要求発生可能

図 10.1 に本モジュールのブロック図を示します。

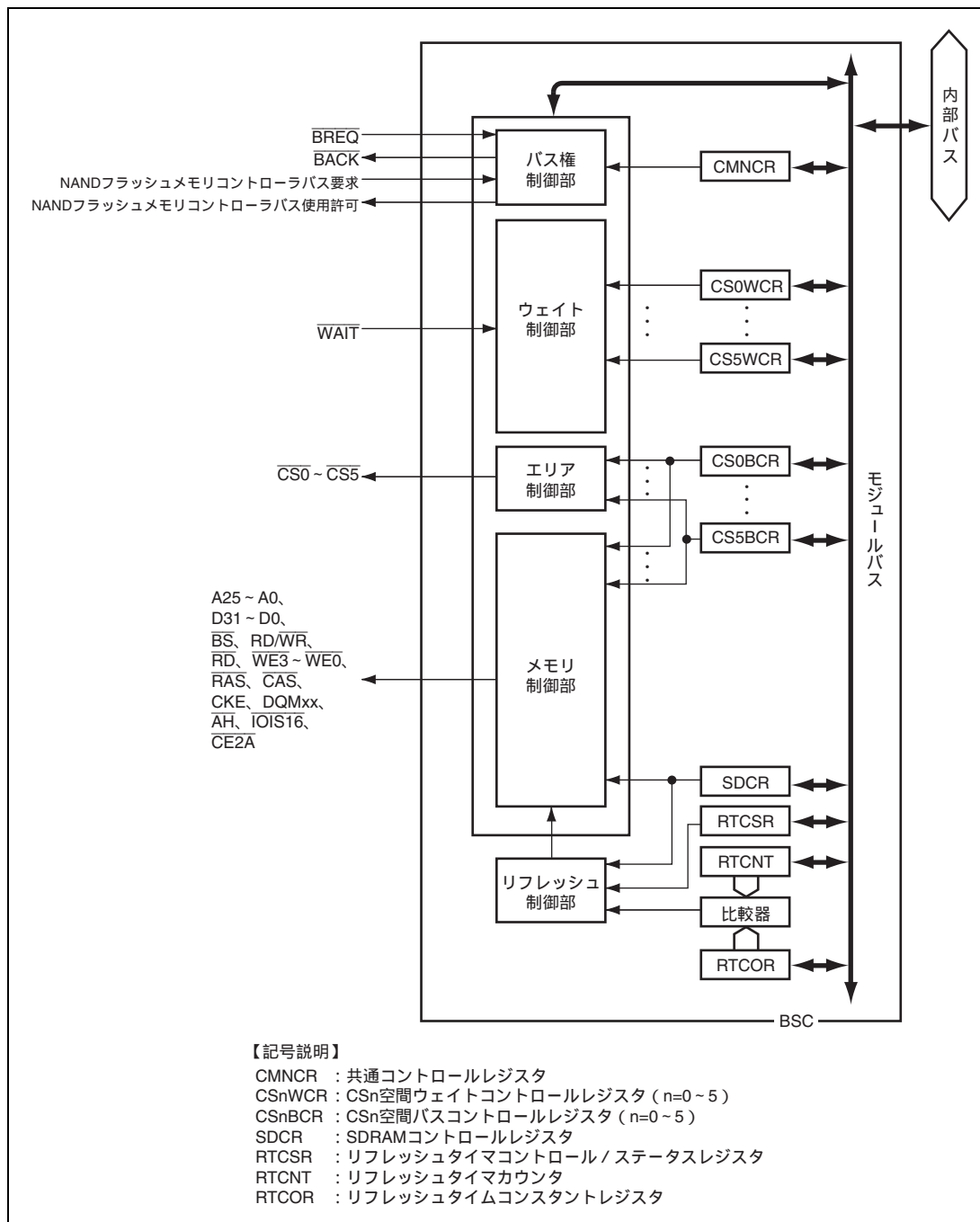


図 10.1 バスステートコントローラのブロック図

10.2 入出力端子

表 10.1 に端子構成を示します。

表 10.1 端子構成

端子名	入出力	機能
A25 ~ A0	出力	アドレスバス
D31 ~ D0	入出力	データバス
\overline{BS}	出力	バスサイクルの開始を示す信号
$\overline{CS0}$ ~ $\overline{CS4}$	出力	チップセレクト
$\overline{CS5/CE1A}$	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
$\overline{CE2A}$	出力	PCMCIA カードセレクト信号 D15 ~ D8 対応
$\overline{RD/WR}$	出力	リードまたはライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、 \overline{WE} 端子に接続
\overline{RD}	出力	リードパルス信号 (リードデータ出力許可信号) PCMCIA 使用時は、メモリリードサイクルを示すストロープ信号
$\overline{WE3/DQMUU/}$ $\overline{ICIOWR/AH}$	出力	D31 ~ D24 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D31 ~ D24 対応の選択信号 PCMCIA 使用時は、I/O ライトを示すストロープ信号 MPX-I/O 使用時は、アドレスをホールドするための信号
$\overline{WE2/DQMUL/}$ \overline{ICIORD}	出力	D23 ~ D16 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D23 ~ D16 対応の選択信号 PCMCIA 使用時は、I/O リードを示すストロープ信号
$\overline{WE1/DQMLU/}$ \overline{WE}	出力	D15 ~ D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D15 ~ D8 対応の選択信号 PCMCIA 使用時は、メモリライトサイクルを示すストロープ信号
$\overline{WE0/DQMLL}$	出力	D7 ~ D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D7 ~ D0 対応の選択信号
\overline{RAS}	出力	SDRAM 接続時は、 \overline{RAS} 端子に接続
\overline{CAS}	出力	SDRAM 接続時は、 \overline{CAS} 端子に接続
\overline{CKE}	出力	SDRAM 接続時は、 \overline{CKE} 端子に接続
\overline{WAIT}	入力	外部ウェイト入力
\overline{BREQ}	入力	バス権要求入力
\overline{BACK}	出力	バス使用許可出力
$\overline{IOIS16}$	入力	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効、ビッグエンディアン時は、ローレベルにしてください。

10.3 エリアの概要

10.3.1 アドレスマップ

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しており、上位ビットで、キャッシュ有効空間、キャッシュ無効空間、内蔵空間（内蔵 RAM、内蔵周辺モジュール、予約）に分割されています。

CS0～CS5 の外部アドレス空間は、内部アドレスの A29=0 のときにキャッシュ有効、A29=1 のときにキャッシュ無効となります。

接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 10.2 アドレスマップ

内部アドレス	空間	メモリ種類	キャッシュ
H'00000000 ~ H'03FFFFFF	CS0	通常空間、バイト選択付き SRAM、バースト ROM (非同期、同期)	有効
H'04000000 ~ H'07FFFFFF	CS1	通常空間、バイト選択付き SRAM	
H'08000000 ~ H'0BFFFFFF	CS2	通常空間、バイト選択付き SRAM、SDRAM	
H'0C000000 ~ H'0FFFFFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM	
H'10000000 ~ H'13FFFFFF	CS4	通常空間、バイト選択付き SRAM、バースト ROM (非同期)	
H'14000000 ~ H'17FFFFFF	CS5	通常空間、バイト選択付き SRAM、MPX-I/O、PCMCIA	
H'18000000 ~ H'1FFFFFFF	その他	SPI マルチ I/O バス空間、大容量内蔵 RAM、予約エリア*	無効
H'20000000 ~ H'23FFFFFF	CS0	通常空間、バイト選択付き SRAM、バースト ROM (非同期、同期)	
H'24000000 ~ H'27FFFFFF	CS1	通常空間、バイト選択付き SRAM	
H'28000000 ~ H'2BFFFFFF	CS2	通常空間、バイト選択付き SRAM、SDRAM	
H'2C000000 ~ H'2FFFFFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM	
H'30000000 ~ H'33FFFFFF	CS4	通常空間、バイト選択付き SRAM、バースト ROM (非同期)	
H'34000000 ~ H'37FFFFFF	CS5	通常空間、バイト選択付き SRAM、MPX-I/O、PCMCIA	-
H'38000000 ~ H'3FFFFFFF	その他	SPI マルチ I/O バス空間、大容量内蔵 RAM、予約エリア*	
H'40000000 ~ H'FFFFFFF	その他	高速内蔵 RAM、内蔵周辺モジュール、予約エリア*	

【注】 * 大容量内蔵 RAM 空間および高速内蔵 RAM 空間は「第 47 章 内蔵 RAM」で示すアドレスにアクセスしてください。内蔵周辺モジュール空間のアクセスは「第 51 章 レジスタ一覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

10.3.2 ブートモード、各エリアのデータバス幅、エンディアン指定と関連端子設定

ブートモードにより、データバス幅やエンディアン指定、本モジュール関連端子設定の初期状態が異なります。ブートモードについては「第4章 ブートモード」を参照してください。

ブートモード0、1では、エリア0に接続されたROMから起動しますので、エリア0の状態はバス幅16ビットまたは32ビット、ビッグエンディアンの状態から変更できません。エリア1~5の初期状態もエリア0と同じですが、プログラムでバス幅とエンディアン指定を変更可能です。これらのモードではパワーオンリセット直後に、エリア0のROMを読み出すのに必要となるアドレスの一部とデータバスの一部、 $\overline{CS0}$ 、 \overline{RD} の端子機能のみが初期機能として自動的に選択されますが、それ以外の機能は初期機能が汎用ポートとなり、プログラムで端子機能を設定するまでは使用できません。端子設定が完了するまでは、エリア0のリードアクセス以外は行わないでください。

ブートモード2~5では、NANDフラッシュメモリ、シリアルフラッシュメモリ、SDコントローラ内蔵NANDフラッシュメモリ、および、MMCコントローラ内蔵NANDフラッシュメモリからの起動になりますので、エリア0~5が初期状態からプログラムで変更可能となります。また、自動的な本モジュール関連端子設定は行われませんので、プログラムでの設定が必要となります。端子設定が完了するまで外部アドレス空間のアクセスを行わないでください。

表10.3にブートモードとエリア別初期状態を示します。

なお、本章に記載しているアクセス波形例では、 \overline{BS} 、 $\overline{RD}/\overline{WR}$ 、 \overline{WEn} などの端子も示していますが、これらは汎用入出力ポートで端子機能を設定した場合の例です。たとえばブートモード1において16ビットバス幅を使用する場合、A1端子の設定が必要になり、8ビットバス幅を使用する場合、A1、A0端子の設定が必要になります。

端子設定の詳細は、「第48章 汎用入出力ポート」を参照してください。

表 10.3 ブートモードとエリア別初期状態

ブートモード	項目	エリア0	エリア1~5
0	データバス幅	16ビットバス幅に固定。変更不可	初期値は16ビットバス幅。プログラムで変更可能
	エンディアン指定	ビッグエンディアン指定に固定。 変更不可	初期値はビッグエンディアン指定。 プログラムで変更可能
	本モジュール 関連端子設定	A20~A1、D15~D0、 $\overline{CS0}$ 、 \overline{RD} の端子機能のみは自動設定。 それ以外の端子はプログラムで設定が必要。	
1	データバス幅	32ビットバス幅に固定。変更不可	初期値は32ビットバス幅。プログラムで変更可能
	エンディアン指定	ビッグエンディアン指定に固定。 変更不可	初期値はビッグエンディアン指定。 プログラムで変更可能
	本モジュール 関連端子設定	A20~A2、D31~D0、 $\overline{CS0}$ 、 \overline{RD} の端子機能のみは自動設定。 それ以外の端子はプログラムで設定が必要。	
2~5	データバス幅	初期値は32ビットバス幅。プログラムで変更可能	
	エンディアン指定	初期値はビッグエンディアン指定。プログラムで変更可能	
	本モジュール 関連端子設定	初期値は汎用ポート機能。外部バスアクセスを行う場合、必要端子すべてのプログラム設定が必要	

- 【注】
- *1 ブートモード 0 または 1 において A21 以上のアドレス線を使用するブート ROM を接続する場合、A21 以上のアドレス線に対し基板上でプルダウン処理が必要です。
 - *2 使用するメモリタイプによっては、データバス幅が限定されるものがあります。詳細は「10.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0~5)」を参照してください。
 - *3 $\overline{CS4}$ と A22 機能を同一端子に割り当てているため、エリア 4 と A22 以上のアドレス線を使用するデバイスを併用することはできません。

10.4 レジスタの説明

表 10.4 にレジスタ構成を示します。

接続メモリとのインタフェースの設定が終了するまでは、該当エリアのアクセスを行わないでください。

表 10.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通コントロールレジスタ	CMNCR	R/W	H'00001010	H'FFFC0000	32
CS0 空間バスコントロールレジスタ	CS0BCR	R/W	H'36DB0400*	H'FFFC0004	32
CS1 空間バスコントロールレジスタ	CS1BCR	R/W	H'36DB0400*	H'FFFC0008	32
CS2 空間バスコントロールレジスタ	CS2BCR	R/W	H'36DB0400*	H'FFFC000C	32
CS3 空間バスコントロールレジスタ	CS3BCR	R/W	H'36DB0400*	H'FFFC0010	32
CS4 空間バスコントロールレジスタ	CS4BCR	R/W	H'36DB0400*	H'FFFC0014	32
CS5 空間バスコントロールレジスタ	CS5BCR	R/W	H'36DB0400*	H'FFFC0018	32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'00000500	H'FFFC0028	32
CS1 空間ウェイトコントロールレジスタ	CS1WCR	R/W	H'00000500	H'FFFC002C	32
CS2 空間ウェイトコントロールレジスタ	CS2WCR	R/W	H'00000500	H'FFFC0030	32
CS3 空間ウェイトコントロールレジスタ	CS3WCR	R/W	H'00000500	H'FFFC0034	32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'00000500	H'FFFC0038	32
CS5 空間ウェイトコントロールレジスタ	CS5WCR	R/W	H'00000500	H'FFFC003C	32
SDRAM コントロールレジスタ	SDCR	R/W	H'00000000	H'FFFC004C	32
リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	R/W	H'00000000	H'FFFC0050	32
リフレッシュタイムカウンタ	RTCNT	R/W	H'00000000	H'FFFC0054	32
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'00000000	H'FFFC0058	32

【注】 * ブートモード 0 の場合 H'36DB0400、ブートモード 1~5 の場合 H'36DB0600 になります。

10.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は、各エリアに共通の制御を行う 32 ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	BLOCK	DPRTY[1:0]	DMAIW[2:0]		DMA IWA	-	-	-	HIZ MEM	HIZ CNT*		
初期値:	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
11	BLOCK	0	R/W	バスロックビット BREQ を受け付けるかどうかを指定します。 0: BREQ を受け付けます。 1: BREQ を受け付けません。
10, 9	DPRTY[1:0]	00	R/W	DMA バースト転送優先順位 本ビットは、DMA バースト転送中に対するリフレッシュ要求 / バス権使用要求の優先順位を指定します。 00: DMA バースト転送中にリフレッシュ要求とバス権使用要求を受け付ける。 01: DMA バースト転送中にリフレッシュ要求を受け付け、バス権使用要求は受け付けない。 10: DMA バースト転送中にリフレッシュ要求、バス権使用要求ともに受け付けない。 11: 予約 (設定禁止)

ビット	ビット名	初期値	R/W	説明
8~6	DMAIW[2:0]	000	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト指定</p> <p>本ビットは、DMA シングルアドレス転送時に DACK 付き外部デバイスからのデータ出力後に挿入するアイドルサイクル数を指定します。アイドルサイクルの挿入の方法は、後述の DMAIWA ビットの指定により異なります。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
5	DMAIWA	0	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト挿入方法指定</p> <p>本ビットは、DMAIW[2:0]ビットで指定したアイドルサイクルの挿入方法を指定します。本ビットが0の場合は、DACK 付き外部デバイスがデータバスをドライブ後、本 LSI を含む他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入します。DACK 付き外部デバイスが連続してデータバスをドライブする場合は、アイドルサイクルを挿入しません。本ビットが1の場合は、DACK 付き外部デバイスへのアクセスが連続する場合でも、1回のアクセス終了後必ずアイドルサイクルが挿入されます。</p> <p>0 : DACK 付き外部デバイスがデータバスをドライブ後、他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入 1 : DACK 付き外部デバイスアクセス後、常にアイドルサイクルを挿入</p>
4	-	1	R	<p>リザーブビット</p> <p>読み出すと常に1が読み出されます。書き込む値も常に1にしてください。</p>
3, 2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1	HIZMEM	0	R/W	<p>High-Z メモリコントロール</p> <p>本ビットは、A25~A0、BS、CSn、CE2A、RD/W\bar{R}、WE\bar{n}/DQMxx/AH、RDのソフトウェアスタンバイモード時、およびディープスタンバイモード時の端子状態を指定します。バス解放時は、本ビットにかかわらずハイインピーダンスになります。</p> <p>0 : ソフトウェアスタンバイモード時およびディープスタンバイモード時にハイインピーダンス 1 : ソフトウェアスタンバイモード時およびディープスタンバイモード時にドライブ</p>

ビット	ビット名	初期値	R/W	説明
0	HIZCNT*	0	R/W	High-Z コントロール 本ビットは、CKE、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ のソフトウェアスタンバイモード時、ディープスタンバイモード時、およびバス権解放時の状態を指定します。 0 : CKE、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ は、ソフトウェアスタンバイモード時、ディープスタンバイモード時、およびバス権解放時にハイインピーダンス 1 : CKE、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ は、ソフトウェアスタンバイモード時、ディープスタンバイモード時、およびバス権解放時にドライブ

【注】 * CKIO の High-Z コントロールは「第 5 章 クロックパルス発振器」を参照してください。

10.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0~5)

CSnBCR は、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。

レジスタの初期設定および端子設定が終了するまでは、該当エリアの外部メモリをアクセスしないでください。

アイドルサイクルなしの指定でも、アイドルサイクルが挿入される場合があります。詳細は、「10.5.11 アクセスサイクル間アイドル」を参照ください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW[2:0]		IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]			IWRRS[2:0]			
初期値 :	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TYPE[2:0]		ENDIAN	BSZ[1:0]		-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	1*	0*	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

【注】 * ブートモード0の場合B'10、ブートモード1~5の場合B'11になります。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
30~28	IWW[2:0]	011	R/W	<p>ライト - リード / ライト - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
27~25	IWRWD[2:0]	011	R/W	<p>別空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
24~22	IWRWS[2:0]	011	R/W	<p>同一空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>

ビット	ビット名	初期値	R/W	説明
21 ~ 19	IWRRD[2:0]	011	R/W	<p>別空間リード - リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
18 ~ 16	IWRRS[2:0]	011	R/W	<p>同一空間リード - リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
14 ~ 12	TYPE[2:0]	000	R/W	<p>本ビットは、空間に接続するメモリの種類を設定します。</p> <p>000 : 通常空間 001 : パースト ROM (クロック非同期) 010 : MPX-I/O 011 : バイト選択付き SRAM 100 : SDRAM 101 : PCMCIA 110 : 予約 (設定禁止) 111 : パースト ROM (クロック同期)</p> <p>エリアごとのメモリタイプは表 10.2 を参照してください。</p> <p>【注】ブートモード 0、1 で、CS0 空間にパースト ROM を接続する場合は、CS0WCR レジスタを使用するパースト ROM で必要な設定に変更した後で TYPE[2:0] をパースト ROM の設定にしてください。ブートモード 2 ~ 5 の場合には、CS0BCR、CS0WCR 設定後にアクセスしてください。</p>

ビット	ビット名	初期値	R/W	説明
11	ENDIAN	0	R/W	<p>エンディアン指定</p> <p>本ビットは、空間のデータ並びを指定します。</p> <p>0：ビッグエンディアンとして動作 1：リトルエンディアンとして動作</p> <p>【注】 ブートモード 0、1 での、エリア 0 のリトルエンディアン設定はできません。このとき、CS0BCR の本ビットは常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10、9	BSZ[1:0]	10*	R/W	<p>データバス幅指定</p> <p>本ビットは、空間のデータバス幅を指定します。</p> <p>00：予約（設定禁止） 01：8 ビット 10：16 ビット 11：32 ビット</p> <p>MPX-I/O 時は、アドレスによるバス幅選択。</p> <p>【注】 1. エリア 5 を MPX-I/O に設定した場合は、本ビットの設定を 11 に設定すると、バス幅は CS5WCR の SZSEL に従ったアドレスによりバス幅（8 ビットまたは 16 ビット）が選択されます。また、固定バス幅では 8 または 16 ビットバス幅が設定可能です。</p> <p>2. ブートモード 0、1 の場合、CS0BCR の BSZ[1:0] ビットへの書き込みは無視されます。</p> <p>3. エリア 5 を PCMCIA 空間に設定した場合は、バス幅は 8 または 16 ビットから選択が可能です。</p> <p>4. エリア 2 または エリア 3 を SDRAM 空間に設定した場合は、バス幅は 16 ビットまたは 32 ビットから選択可能です。</p> <p>5. エリア 0 をクロック同期バースト ROM 空間に設定した場合は、バス幅は 16 ビットまたは 32 ビットから選択可能です。</p>
8~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 * ブートモード 0 の場合 B'10、ブートモード 1~5 の場合 B'11 になります。

10.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~5)

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行います。このレジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE[2:0]) により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR は、CSnBCR レジスタを設定後に設定してください。

(1) 通常空間、バイト選択付き SRAM、MPX-I/O

- CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-*	BAS	-	-	-*	-*
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]	WR[3:0]			WM	-	-	-	-	-	-	HW[1:0]	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	-*	0	R/W	リザーブビット 通常空間、バイト選択付き SRAM インタフェース時は0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WE}_n および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WE}_n はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: \overline{WE}_n はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19, 18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17, 16	-*	すべて0	R/W	リザーブビット 通常空間、バイト選択付き SRAM インタフェース時は0にしてください。
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
12、11	SW[1:0]	00	R/W	アドレス、 $\overline{CS0}$ アサート \overline{RD} 、 \overline{WEn} アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS0}$ アサートから \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10~7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW[1:0]	00	R/W	\overline{RD} 、 \overline{WEn} ネゲート アドレス、 $\overline{CS0}$ ネゲート遅延サイクル数 本ビットは、 \overline{RD} 、 \overline{WEn} ネゲートから、アドレス、 $\overline{CS0}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

【注】 * ブートモード 0、1 で、CS0 空間にバースト ROM を接続し、起動後にバースト ROM インタフェースに切り替える場合には、ビット 21、20 でバースト数の指定、ビット 17、16 でバーストウェイトサイクル数の指定を行った後に、CS0BCR の TYPE[2:0] を設定してください。上記以外のリザーブビットへの 1 書き込みは行わないでください。

• CS1WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および RD/\overline{WR} 信号のタイミングを設定します。 0: $\overline{WE}n$ はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: $\overline{WE}n$ はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12、11	SW[1:0]	00	R/W	アドレス、 \overline{CSn} アサート \overline{RD} 、 \overline{WEn} アサート遅延サイクル数 本ビットは、アドレス、 \overline{CSn} アサートから \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10~7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW[1:0]	00	R/W	\overline{RD} 、 \overline{WEn} ネゲート アドレス、 \overline{CSn} ネゲート遅延サイクル数 本ビットは、 \overline{RD} 、 \overline{WEn} ネゲートから、アドレス、 \overline{CSn} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

• CS2WCR、CS3WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	WR[3:0]			WM	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WE}_n および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WE}_n はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: \overline{WE}_n はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

• CS4WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WEn} および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WEn} はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: \overline{WEn} はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
12、11	SW[1:0]	00	R/W	アドレス、 $\overline{CS4}$ アサート \overline{RD} 、 \overline{WEn} アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS4}$ アサートから \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10~7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW[1:0]	00	R/W	\overline{RD} 、 \overline{WEn} ネゲート アドレス、 $\overline{CS4}$ ネゲート遅延サイクル数 本ビットは、 \overline{RD} 、 \overline{WEn} ネゲートから、アドレス、 $\overline{CS4}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

• CS5WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	SZSEL	MPXW/ BAS	-	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明																		
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																		
21	SZSEL	0	R/W	MPX-I/O インタフェースバス幅指定ビット 本ビットは、CS5BCRのBSZ[1:0]を11に設定したときのバス幅を選択するアドレスを指定します。本設定は、エリア5をMPX-I/Oに設定したときのみ有効です。 0: アドレスA14によりバス幅選択 1: アドレスA21によりバス幅選択 SZSELビットとA14、A21によるバス幅選択の関係について示します。 <table border="1" data-bbox="580 989 1185 1186"> <thead> <tr> <th>SZSEL</th> <th>A14</th> <th>A21</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>影響なし</td> <td>8ビットバス幅</td> </tr> <tr> <td>1</td> <td>影響なし</td> <td>16ビットバス幅</td> </tr> <tr> <td rowspan="2">1</td> <td>影響なし</td> <td>0</td> <td>8ビットバス幅</td> </tr> <tr> <td>影響なし</td> <td>1</td> <td>16ビットバス幅</td> </tr> </tbody> </table>	SZSEL	A14	A21	説明	0	0	影響なし	8ビットバス幅	1	影響なし	16ビットバス幅	1	影響なし	0	8ビットバス幅	影響なし	1	16ビットバス幅
SZSEL	A14	A21	説明																			
0	0	影響なし	8ビットバス幅																			
	1	影響なし	16ビットバス幅																			
1	影響なし	0	8ビットバス幅																			
	影響なし	1	16ビットバス幅																			
20	MPXW	0	R/W	MPX-I/O インタフェースアドレスウェイト 本設定は、エリア5をMPX-I/Oに設定したときのみ有効です。本ビットは、MPX-I/O インタフェースのアドレスサイクル挿入ウェイトを設定します。 0: ウェイトなし 1: 1サイクルウェイト挿入																		
	BAS	0	R/W	バイト選択付きSRAMバイトアクセス選択 本設定は、エリア5をバイト選択付きSRAMに設定したときのみ有効です。本ビットは、バイト選択付きSRAMインタフェース時の \overline{WEn} および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WEn} はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: \overline{WEn} はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート																		

ビット	ビット名	初期値	R/W	説明
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000 : WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001 : ウェイトサイクルなし 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、CS5 アサート \overline{RD} 、 $\overline{WE_n}$ アサート遅延サイクル数 本ビットは、エリア 5 を通常空間、バイト選択付 SRAM に設定した場合、アドレス、CS5 アサートから \overline{RD} 、 $\overline{WE_n}$ アサートまでの遅延サイクル数を指定します。エリア 5 を MPX-I/O に設定した場合、アドレスサイクル ($Ta3$) から \overline{RD} 、 $\overline{WE_n}$ アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>リードアクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p>RD、WE\bar{n} ネゲート アドレス、CS5 ネゲート遅延サイクル数</p> <p>本ビットは、エリア5を通常空間、バイト選択付SRAMに設定した場合、RD、WE\bar{n} ネゲートから、アドレス、CS5 ネゲートまでの遅延サイクル数を指定します。エリア5をMPX-I/Oに設定した場合、RD、WE\bar{n} ネゲートから、CS5 ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

(2) バースト ROM (クロック非同期)

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]	-	-	-	-	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]			WM	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明																		
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																		
21、20	BST[1:0]	00	R/W	バースト数指定 本ビットは、16 バイトアクセス発生時のバースト数を指定します。BST[1:0]のB'11 設定は予約ですので設定しないでください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>バス幅</th> <th>BST[1:0]</th> <th>バースト数</th> </tr> </thead> <tbody> <tr> <td rowspan="2">8 ビット</td> <td>00</td> <td>16 バースト×1 回</td> </tr> <tr> <td>01</td> <td>4 バースト×4 回</td> </tr> <tr> <td rowspan="3">16 ビット</td> <td>00</td> <td>8 バースト×1 回</td> </tr> <tr> <td>01</td> <td>2 バースト×4 回</td> </tr> <tr> <td>10</td> <td>4-4 または 2-4-2 バースト</td> </tr> <tr> <td>32 ビット</td> <td>xx</td> <td>4 バースト×1 回</td> </tr> </tbody> </table>	バス幅	BST[1:0]	バースト数	8 ビット	00	16 バースト×1 回	01	4 バースト×4 回	16 ビット	00	8 バースト×1 回	01	2 バースト×4 回	10	4-4 または 2-4-2 バースト	32 ビット	xx	4 バースト×1 回
バス幅	BST[1:0]	バースト数																				
8 ビット	00	16 バースト×1 回																				
	01	4 バースト×4 回																				
16 ビット	00	8 バースト×1 回																				
	01	2 バースト×4 回																				
	10	4-4 または 2-4-2 バースト																				
32 ビット	xx	4 バースト×1 回																				
19、18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																		
17、16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル																		
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																		

ビット	ビット名	初期値	R/W	説明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

• CS4WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]	-	-	-	-	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]	W[3:0]			WM	-	-	-	-	-	-	-	HW[1:0]
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明																		
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																		
21、20	BST[1:0]	00	R/W	バースト数指定 本ビットは、16バイトアクセス発生時のバースト数を指定します。BST[1:0]のB'11設定は予約ですので設定しないでください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>バス幅</th> <th>BST[1:0]</th> <th>バースト数</th> </tr> </thead> <tbody> <tr> <td rowspan="2">8ビット</td> <td>00</td> <td>16 バースト×1回</td> </tr> <tr> <td>01</td> <td>4 バースト×4回</td> </tr> <tr> <td rowspan="3">16ビット</td> <td>00</td> <td>8 バースト×1回</td> </tr> <tr> <td>01</td> <td>2 バースト×4回</td> </tr> <tr> <td>10</td> <td>4-4 または 2-4-2 バースト</td> </tr> <tr> <td>32ビット</td> <td>xx</td> <td>4 バースト×1回</td> </tr> </tbody> </table>	バス幅	BST[1:0]	バースト数	8ビット	00	16 バースト×1回	01	4 バースト×4回	16ビット	00	8 バースト×1回	01	2 バースト×4回	10	4-4 または 2-4-2 バースト	32ビット	xx	4 バースト×1回
バス幅	BST[1:0]	バースト数																				
8ビット	00	16 バースト×1回																				
	01	4 バースト×4回																				
16ビット	00	8 バースト×1回																				
	01	2 バースト×4回																				
	10	4-4 または 2-4-2 バースト																				
32ビット	xx	4 バースト×1回																				
19、18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																		
17、16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1サイクル 10: 2サイクル 11: 3サイクル																		
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																		

ビット	ビット名	初期値	R/W	説明
12、11	SW[1:0]	00	R/W	アドレス、CS4 アサート RD、WEn アサート遅延サイクル数 本ビットは、アドレス、CS4 アサートから、RD、WEn アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10~7	W[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
1、0	HW[1:0]	00	R/W	RD、WE \bar{n} ネゲート アドレス、CS4 $\bar{}$ ネゲート遅延サイクル数 本ビットは、RD、WE \bar{n} ネゲートから、アドレス、CS4 $\bar{}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

(3) SDRAM*

• CS2WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	A2CL[1:0]		-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
9	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8、7	A2CL[1:0]	10	R/W	エリア2CAS レイテンシ 本ビットは、エリア2のCAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
6~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 * 1 エリアのみ SDRAM を接続する場合は、エリア3をSDRAM 設定としてください。このときエリア2は、通常空
間設定またはバイト選択付きSRAM 設定としてください。

• CS3WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	WTRP[1:0]*	-	WTRCD[1:0]*	-	A3CL[1:0]	-	-	TRWL[1:0]*	-	WTRC[1:0]*					
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W

【注】* エリア2とエリア3がともにSDRAMに設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

ビット	ビット名	初期値	R/W	説明
31～15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14、13	WTRP[1:0]*	00	R/W	プリチャージ完了待ちサイクル数 以下のプリチャージ完了待ちの最小サイクル数を指定します。 <ul style="list-style-type: none"> • オートプリチャージの起動から同一バンクに対する ACTV コマンド発行まで • PRE/PALL コマンド発行から同一バンクに対する ACTV コマンド発行まで • パワーダウンモード / ディープパワーダウンモード遷移まで • オートリフレッシュ時の PALL コマンド発行から REF コマンド発行まで • セルフリフレッシュ時の PALL コマンド発行から SELF コマンド発行まで エリア2とエリア3の設定は共通となります。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
12	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11、10	WTRCD[1:0]*	01	R/W	ACTV コマンド READ (A) / WRIT (A) コマンド間ウェイトサイクル数 本ビットは、ACTV コマンド発行後、READ (A) / WRIT (A) コマンド発行までの最小ウェイトサイクル数を指定します。エリア2とエリア3の設定は、共通となります。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
9	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
8, 7	A3CL[1:0]	10	R/W	<p>エリア 3CAS レイテンシ</p> <p>本ビットは、エリア 3 の CAS レイテンシを指定します。</p> <p>00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル</p>
6, 5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4, 3	TRWL[1:0]*	00	R/W	<p>プリチャージ起動待ちサイクル数</p> <p>以下のプリチャージ起動待ちの最小サイクル数を指定します。</p> <ul style="list-style-type: none"> 本 LSI が WRITA コマンドを発行してから SDRAM 内でオートプリチャージが起動するまでのサイクル数 <p>WRITA コマンド発行後、同一バンクに対する ACTV コマンド発行までのサイクル数です。なお、SDRAM 内で WRITA コマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各 SDRAM のデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を超えないように本ビットを設定してください。</p> <ul style="list-style-type: none"> 本 LSI が WRIT コマンドを発行してから PRE コマンドを発行するまでのサイクル数 <p>バンクアクティブモード時に、同一バンクで別ロウアドレスへのアクセスを行う場合です。</p> <p>エリア 2 とエリア 3 の設定は共通となります。</p> <p>00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1, 0	WTRC[1:0]*	00	R/W	<p>REF コマンド / セルフリフレッシュ解除 ACTV/REF/MRS コマンド間アイドルサイクル数</p> <p>以下のコマンド間の最小アイドルサイクル数を指定します。</p> <ul style="list-style-type: none"> REF コマンド発行後から ACTV/REF/MRS コマンド発行まで セルフリフレッシュ解除後から ACTV/REF/MRS コマンド発行まで <p>エリア 2 とエリア 3 の設定は共通となります。</p> <p>00 : 2 サイクル 01 : 3 サイクル 10 : 5 サイクル 11 : 8 サイクル</p>

【注】 * エリア 2 とエリア 3 がともに SDRAM に設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

(4) PCMCIA

• CS5WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	SA[1:0]	-	-	-	-	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TED[3:0]			PCW[3:0]			WM	-	-	TEH[3:0]					
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21、20	SA[1:0]	00	R/W	空間属性指定 PCMCIA インタフェース設定時は、本ビットによりメモ리카ードインタフェースおよび I/O カードインタフェースのいずれかを指定します。 <ul style="list-style-type: none"> • SA1 <ul style="list-style-type: none"> 0 : A25 = 1 の空間をメモ리카ードインタフェース指定 1 : A25 = 1 の空間を I/O カードインタフェース指定 • SA0 <ul style="list-style-type: none"> 0 : A25 = 0 の空間をメモ리카ードインタフェース指定 1 : A25 = 0 の空間を I/O カードインタフェース指定
19~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
14~11	TED[3:0]	0000	R/W	<p>アドレス - $\overline{RD}/\overline{WE}$ アサート遅延</p> <p>本ビットは、PCMCIA インタフェースにおけるアドレス出力からメモ리카ード時の $\overline{RD}/\overline{WE}$ アサートまで、または I/O カード時の $\overline{CIORD}/\overline{CIOWR}$ アサートまでの遅延時間を設定します。</p> <p>0000 : 0.5 サイクル 0001 : 1.5 サイクル 0010 : 2.5 サイクル 0011 : 3.5 サイクル 0100 : 4.5 サイクル 0101 : 5.5 サイクル 0110 : 6.5 サイクル 0111 : 7.5 サイクル 1000 : 8.5 サイクル 1001 : 9.5 サイクル 1010 : 10.5 サイクル 1011 : 11.5 サイクル 1100 : 12.5 サイクル 1101 : 13.5 サイクル 1110 : 14.5 サイクル 1111 : 15.5 サイクル</p>
10~7	PCW[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、挿入ウェイトステート数を設定します。</p> <p>0000 : 3 サイクル 0001 : 6 サイクル 0010 : 9 サイクル 0011 : 12 サイクル 0100 : 15 サイクル 0101 : 18 サイクル 0110 : 22 サイクル 0111 : 26 サイクル 1000 : 30 サイクル 1001 : 33 サイクル 1010 : 36 サイクル 1011 : 38 サイクル 1100 : 52 サイクル 1101 : 60 サイクル 1110 : 64 サイクル 1111 : 80 サイクル</p>

ビット	ビット名	初期値	R/W	説明
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5、4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	TEH[3:0]	0000	R/W	$\overline{RD}/\overline{WE}$ ネゲート - アドレス遅延 本ビットは、PCMCIA インタフェースにおけるメモ리카ード時の $\overline{RD}/\overline{WE}$ ネゲートからの、または I/O カード時の $\overline{ICIOR}/\overline{ICIOWR}$ ネゲートからのアドレスホールド時間を設定します。 0000：0.5 サイクル 0001：1.5 サイクル 0010：2.5 サイクル 0011：3.5 サイクル 0100：4.5 サイクル 0101：5.5 サイクル 0110：6.5 サイクル 0111：7.5 サイクル 1000：8.5 サイクル 1001：9.5 サイクル 1010：10.5 サイクル 1011：11.5 サイクル 1100：12.5 サイクル 1101：13.5 サイクル 1110：14.5 サイクル 1111：15.5 サイクル

(5) パーストROM (クロック同期)

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]			WM	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	BW[1:0]	00	R/W	パーストウェイトサイクル数 本ビットは、パーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1サイクル 10: 2サイクル 11: 3サイクル
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

10.4.4 SDRAM コントロールレジスタ (SDCR)

SDCR は、SDRAM のリフレッシュ方法やアクセス方法および接続する SDRAM の種類を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	A2ROW[1:0]	-	-	A2COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	DEEP	-	RFSH	RMODE	PDOWN	BACTV	-	-	-	A3ROW[1:0]	-	-	A3COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20, 19	A2ROW[1:0]	00	R/W	エリア 2 ロウアドレスビット数 本ビットは、エリア 2 のロウアドレスのビット数を指定します。 00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 予約 (設定禁止)
18	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	A2COL[1:0]	00	R/W	エリア 2 カラムアドレスビット数 本ビットは、エリア 2 のカラムアドレスのビット数を指定します。 00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 予約 (設定禁止)
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	DEEP	0	R/W	ディープパワーダウンモード ローパワー SDRAM に対してのみ有効です。本ビットを 1 の状態で RFSH ビットおよび RMODE ビットを 1 にすると、ディープパワーダウンエントリコマンドを発行してローパワー SDRAM はディープパワーダウンモードに遷移します。 0 : セルフリフレッシュモード 1 : ディープパワーダウンモード
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
11	RFSH	0	R/W	リフレッシュ制御 本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。 0: リフレッシュしない 1: リフレッシュする
10	RMODE	0	R/W	リフレッシュ制御 本ビットは、RFSH ビットが 1 のとき、オートリフレッシュを行うかセルフリフレッシュを行うかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTCSR、RTCNT、および RTCOR レジスタに設定した内容に従いオートリフレッシュを行います。 0: オートリフレッシュを行う 1: セルフリフレッシュを行う
9	PDOWN	0	R/W	パワーダウンモード 本ビットは、SDRAM に対するアクセス終了後に、SDRAM をパワーダウンモードにするかどうかを指定します。本ビットを 1 に設定すると、アクセス終了後 CKE 端子をローレベルにして SDRAM をパワーダウンモードにします。 0: アクセス終了後、SDRAM をパワーダウンモードにしない 1: アクセス終了後、SDRAM をパワーダウンモードにする
8	BACTV	0	R/W	バンクアクティブモード 本ビットは、オートプリチャージモード (READA および WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ および WRIT コマンドを使用) でアクセスするのかを指定します。 0: オートプリチャージモード (READA および WRITA コマンドを使用) 1: バンクアクティブモード (READ および WRIT コマンドを使用) 【注】 バンクアクティブモードは、エリア 3 でのみ設定可能です。エリア 2 およびエリア 3 とともに SDRAM に設定する場合は、オートプリチャージモードに設定してください。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4, 3	A3ROW[1:0]	00	R/W	エリア 3 ロウアドレスビット数 本ビットは、エリア 3 のロウアドレスのビット数を指定します。 00: 11 ビット 01: 12 ビット 10: 13 ビット 11: 予約 (設定禁止)
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1、0	A3COL[1:0]	00	R/W	エリア 3 カラムアドレスビット数 本ビットは、エリア 3 のカラムアドレスのビット数を指定します。 00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 予約 (設定禁止)

10.4.5 リフレッシュタイマコントロール / ステータスレジスタ (RTCSR)

RTCSR は、SDRAM のリフレッシュに関する各種設定を行います。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

リフレッシュタイマカウンタ (RTCNT) をカウントアップするクロックは、パワーオンリセットでのみ位相を合わせるため、CKS[2:0] を B'000 以外に設定してタイマを動作させた最初のコンペアマッチフラグセットまでの期間には誤差を含みますのでご注意ください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	CKS[2:0]			RRC[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。次の条件でセット / クリアされます。 0 : クリア条件 : CMF = 1 の状態で RTCSR を読み出した後に、CMF に 0 を書き込んだとき 1 : セット条件 : RTCNT = RTCOR になったとき
6	CMIE	0	R/W	コンペアマッチインタラプトイネーブル 本ビットは、RTCSR の CMF ビットが 1 にセットされたとき、CMF による割り込み要求を許可するか禁止するかを設定します。 0 : CMF による割り込み要求を禁止 1 : CMF による割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
5~3	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>本ビットは、リフレッシュタイマカウンタ (RTCNT) をカウントアップするクロックを選択します。</p> <p>000 : カウントアップ停止</p> <p>001 : CKIO /4</p> <p>010 : CKIO /16</p> <p>011 : CKIO /64</p> <p>100 : CKIO /256</p> <p>101 : CKIO /1024</p> <p>110 : CKIO /2048</p> <p>111 : CKIO /4096</p>
2~0	RRC[2:0]	000	R/W	<p>リフレッシュ回数</p> <p>本ビットは、リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。</p> <p>000 : 1回</p> <p>001 : 2回</p> <p>010 : 4回</p> <p>011 : 6回</p> <p>100 : 8回</p> <p>101 : 予約 (設定禁止)</p> <p>110 : 予約 (設定禁止)</p> <p>111 : 予約 (設定禁止)</p>

10.4.6 リフレッシュタイマカウンタ (RTCNT)

RTCNT は、8 ビットのカウンタで、RTCSR の CKS[2:0] ビットで選択したクロックによりカウントアップされます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7~0		すべて 0	R/W	8 ビットのカウンタ

10.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、8 ビットのレジスタです。RTCOR と RTCNT の値が一致すると、RTCSR の CMF ビットが 1 にセットされ、RTCNT は 0 にクリアされます。

SDCR の RFSH ビットが 1 にセットされている場合は、この一致信号によってリフレッシュ要求を発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

RTCSR の CMIE ビットが 1 にセットされていると、この一致信号によって割り込み要求を発生します。割り込み要求は、RTCSR の CMF ビットがクリアされるまで続けて出力されます。CMF ビットのクリアは、割り込みのみに影響を及ぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いながらリフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインターバルタイム割り込みの同時設定を行うことも可能です。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7~0		すべて 0	R/W	8 ビットのレジスタ

10.5 動作説明

10.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSB) が 0 番地側になるビッグエンディアン、下位バイト (LSB) が 0 番地側になるリトルエンディアンのいずれもサポートしています。全エリアでパワーオンリセット後の初期状態は、ビッグエンディアンとなります。対象空間をアクセスしていない場合に、CSnBCR レジスタの設定でエンディアンの変更ができます。

また、データバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビット、16 ビット、および 32 ビット幅の 3 種類から選べ、SDRAM は 16 ビットおよび 32 ビット幅の 2 種類から選べます。PCMCIA インタフェースの場合は、8 ビットおよび 16 ビット幅の 2 種類から選べます。MPX-I/O では、8 ビットまたは 16 ビット幅固定、もしくはアクセスするアドレスにより 8 ビットまたは 16 ビットの可変となります。

なお、エンディアン指定、データバス幅はブートモードに伴う制限があります。詳細は「10.3.2 ブートモード、各エリアのデータバス幅、エンディアン指定と関連端子設定」を参照してください。

データのアライメントは、各デバイスのデータバス幅に合わせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

デバイスのデータ幅とアクセスの単位との関係を表 10.5 ~ 表 10.10 に示します。ここで、32 ビットバス幅および 16 ビットバス幅の場合のストローク信号の番地対応が、ビッグエンディアンとリトルエンディアンで異なることにご注意ください。たとえば、16 ビットバス幅でビッグエンディアン時には、 $\overline{WE1}$ が 0 番地側を示し、リトルエンディアン時には、 $\overline{WE0}$ が 0 番地側を示します。

命令フェッチは 32 ビットアクセスと 16 ビットアクセスが混在し、リトルエンディアン領域への配置は困難です。命令実行はビッグエンディアン領域から行ってください。

表 10.5 ビッグエンディアンの 32 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストローク信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス	データ 7~0	-	-	-	アサート	-	-	-
1 番地バイト アクセス	-	データ 7~0	-	-	-	アサート	-	-
2 番地バイト アクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイト アクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワード アクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
2 番地ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 10.6 ビッグエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストローク信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス	-	-	データ 7~0	-	-	-	アサート	-
1 番地バイト アクセス	-	-	-	データ 7~0	-	-	-	アサート
2 番地バイト アクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイト アクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	データ 31~24	データ 23~16	-	-	アサート	アサート
	2 回目 (2 番地)	-	データ 15~8	データ 7~0	-	-	アサート	アサート

表 10.7 ビッグエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストロブ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL
0 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
1 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
2 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
3 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
0 番地 ワード アクセス	1 回目 (0 番地)	-	-	-	データ 15~8	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 7~0	-	-	-	アサート
2 番地 ワード アクセス	1 回目 (0 番地)	-	-	-	データ 15~8	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 7~0	-	-	-	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	-	データ 31~24	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 23~16	-	-	-	アサート
	3 回目 (2 番地)	-	-	-	データ 15~8	-	-	-	アサート
	4 回目 (3 番地)	-	-	-	データ 7~0	-	-	-	アサート

表 10.8 リトルエンディアンの 32 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0 DQMLL
0 番地バイト アクセス	-	-	-	データ 7 ~ 0	-	-	-	アサート
1 番地バイト アクセス	-	-	データ 7 ~ 0	-	-	-	アサート	-
2 番地バイト アクセス	-	データ 7 ~ 0	-	-	-	アサート	-	-
3 番地バイト アクセス	データ 7 ~ 0	-	-	-	アサート	-	-	-
0 番地ワード アクセス	-	-	データ 15 ~ 8	データ 7 ~ 0	-	-	アサート	アサート
2 番地ワード アクセス	データ 15 ~ 8	データ 7 ~ 0	-	-	アサート	アサート	-	-
0 番地ロング ワードアクセス	データ 31 ~ 24	データ 23 ~ 16	データ 15 ~ 8	データ 7 ~ 0	アサート	アサート	アサート	アサート

表 10.9 リトルエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号				
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0 DQMLL	
0 番地バイト アクセス	-	-	-	データ 7 ~ 0	-	-	-	アサート	
1 番地バイト アクセス	-	-	データ 7 ~ 0	-	-	-	アサート	-	
2 番地バイト アクセス	-	-	-	データ 7 ~ 0	-	-	-	アサート	
3 番地バイト アクセス	-	-	データ 7 ~ 0	-	-	-	アサート	-	
0 番地ワード アクセス	-	-	データ 15 ~ 8	データ 7 ~ 0	-	-	アサート	アサート	
2 番地ワード アクセス	-	-	データ 15 ~ 8	データ 7 ~ 0	-	-	アサート	アサート	
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	データ 15 ~ 8	データ 7 ~ 0	-	-	アサート	アサート
	2 回目 (2 番地)	-	-	データ 31 ~ 24	データ 23 ~ 16	-	-	アサート	アサート

表 10.10 リトルエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
1 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
2 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
3 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
0 番地 ワード アクセス	1 回目 (0 番地)	-	-	-	データ 7~0	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 15~8	-	-	-	アサート
2 番地 ワード アクセス	1 回目 (0 番地)	-	-	-	データ 7~0	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 15~8	-	-	-	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	-	データ 7~0	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 15~8	-	-	-	アサート
	3 回目 (2 番地)	-	-	-	データ 23~16	-	-	-	アサート
	4 回目 (3 番地)	-	-	-	データ 31~24	-	-	-	アサート

10.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のないSRAMの直結を考慮してストロープ信号を出力します。バイト選択付き端子のあるSRAMを使用する場合は、「10.5.8 バイト選択付きSRAMインタフェース」を参照してください。図10.2に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表し、1サイクルアサートされます。

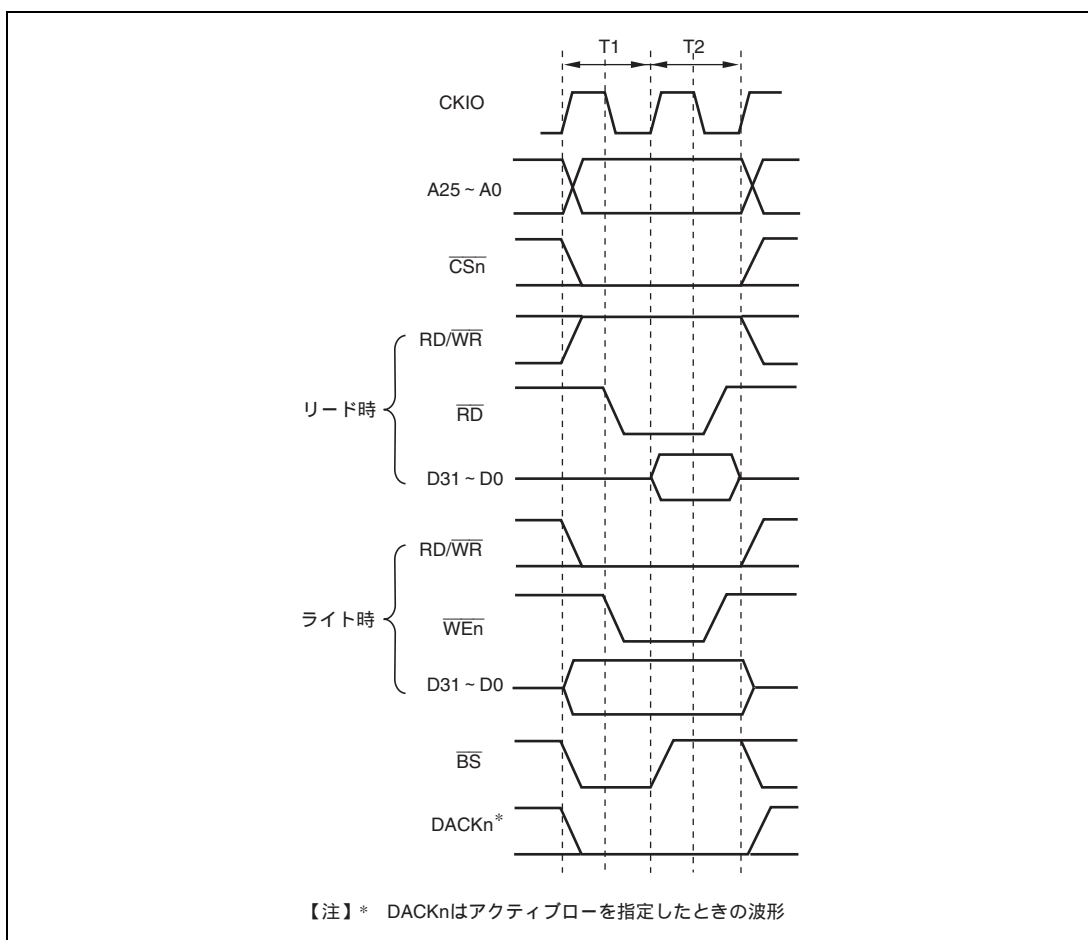


図 10.2 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、32ビットデバイスでは32ビットを、16ビットデバイスでは16ビットを常に読み出すこととなります。ライト時には、書き込みを行うバイトの \overline{WEn} 信号のみがアサートされます。

データバスにバッファを設ける場合には、 \overline{RD} を用いてリードデータの出力制御を行う必要があります。 RD/\overline{WR} 信号は、アクセスを行っていないときはリード状態（ハイレベル出力）となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 10.3、図 10.4 に通常空間連続アクセスの例を示します。CSnWCR の WM ビットを 0 に設定すると、設定した CSn 空間アクセスの後に外部ウェイトを評価するために 1 サイクル T_{nop} が挿入されます（図 10.3）。しかし、CSnWCR の WM ビットを 1 に設定すると、外部ウェイトが無視され T_{nop} サイクルの挿入を抑制することができます（図 10.4）。

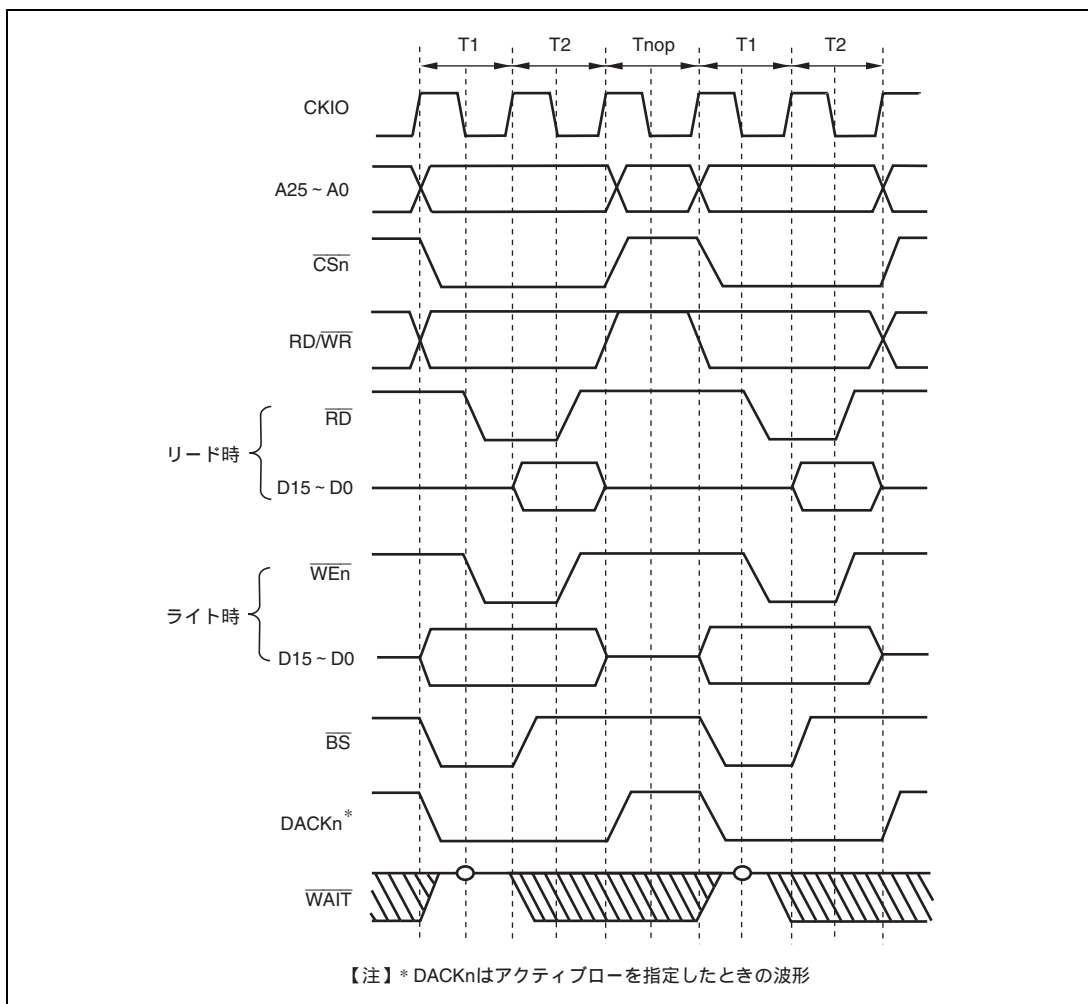


図 10.3 通常空間連続アクセス例 1
バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0
(アクセスウェイト 0、サイクル間ウェイト 0)

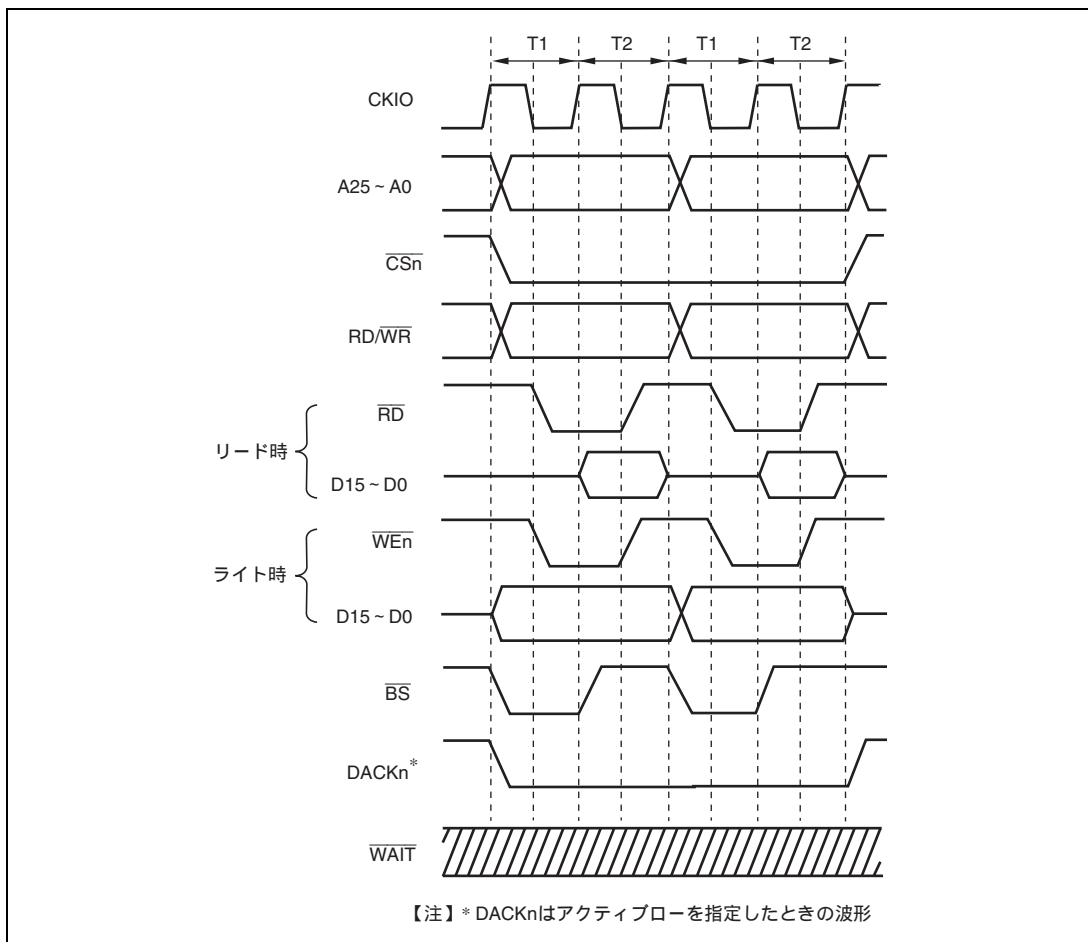


図 10.4 通常空間連続アクセス例 2
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 1
 (アクセスウェイト 0、サイクル間ウェイト 0)

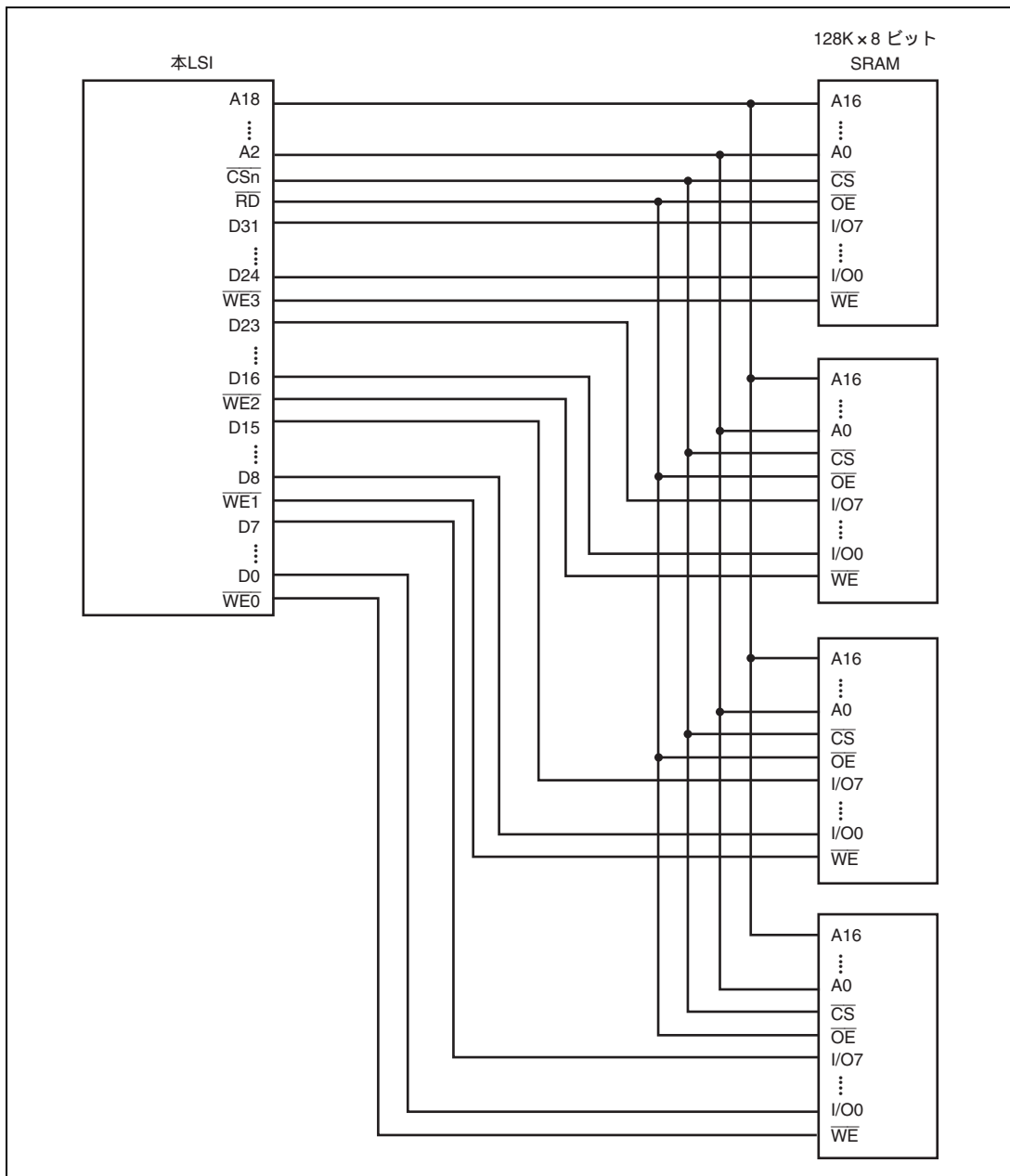


図 10.5 32 ビットデータ幅 SRAM 接続例

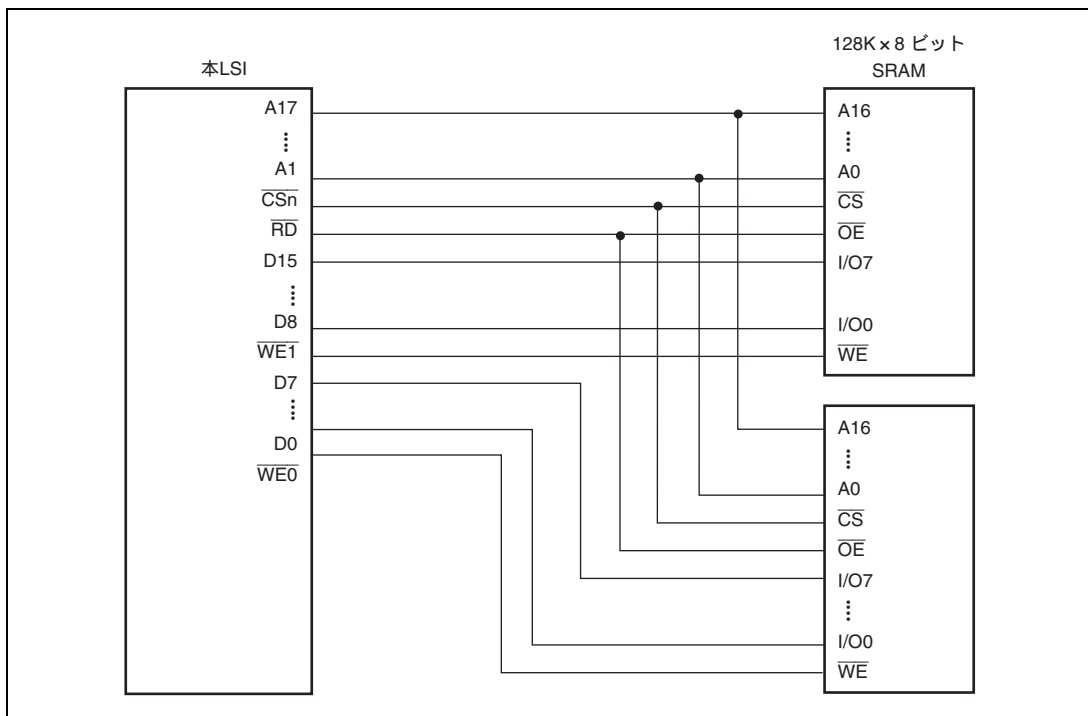


図 10.6 16 ビットデータ幅 SRAM 接続例

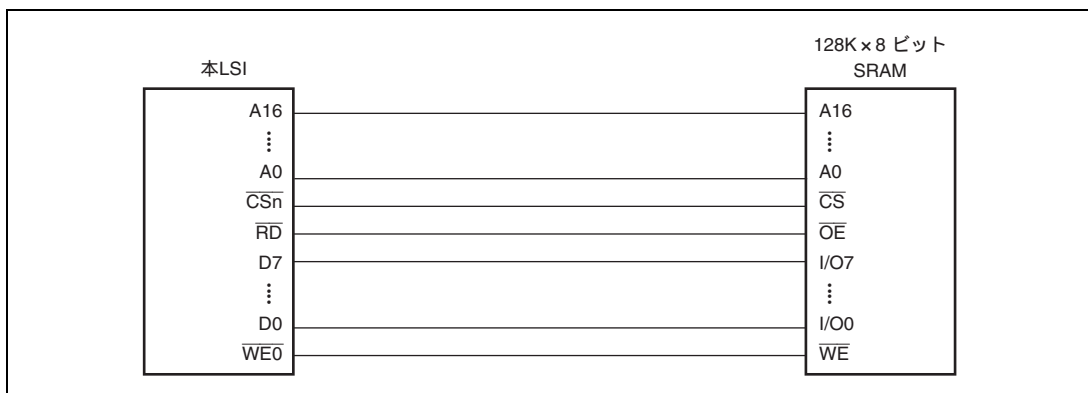


図 10.7 8 ビットデータ幅 SRAM 接続例

10.5.3 アクセスウェイト制御

CSnWCR の WR[3:0]ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 1、4 およびエリア 5 では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。エリア 0、2 およびエリア 3 のアクセスウェイトは、リードおよびライトサイクルで共通となります。図 10.8 に示す通常空間のアクセスでは、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

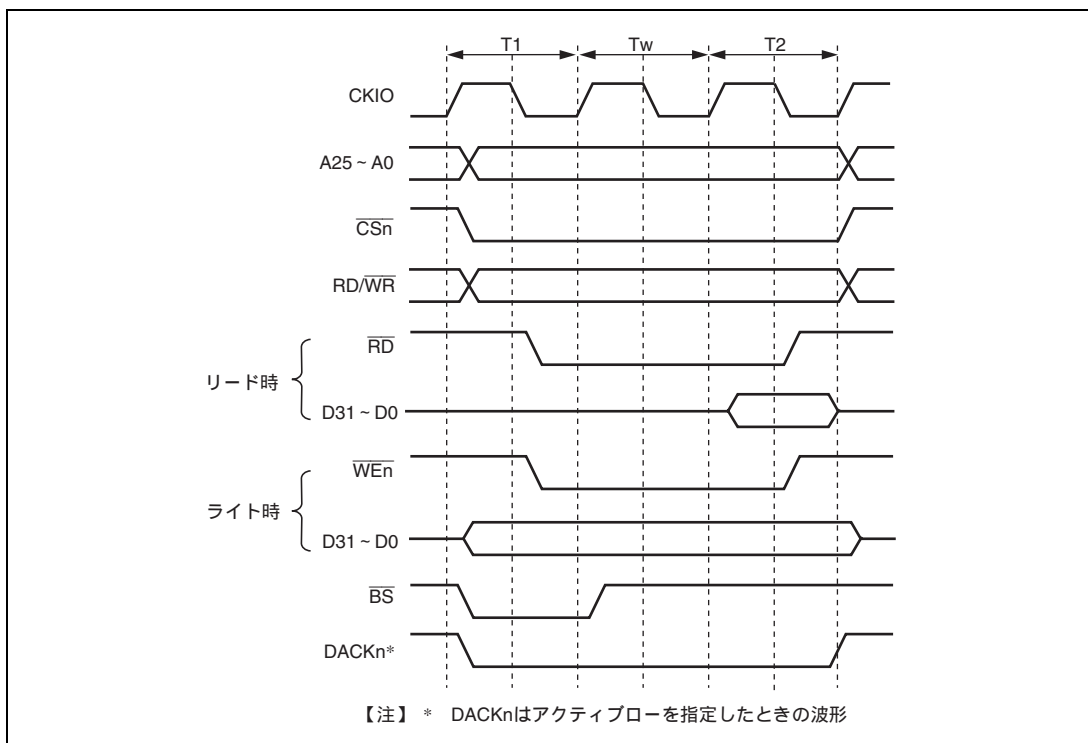


図 10.8 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 10.9 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。

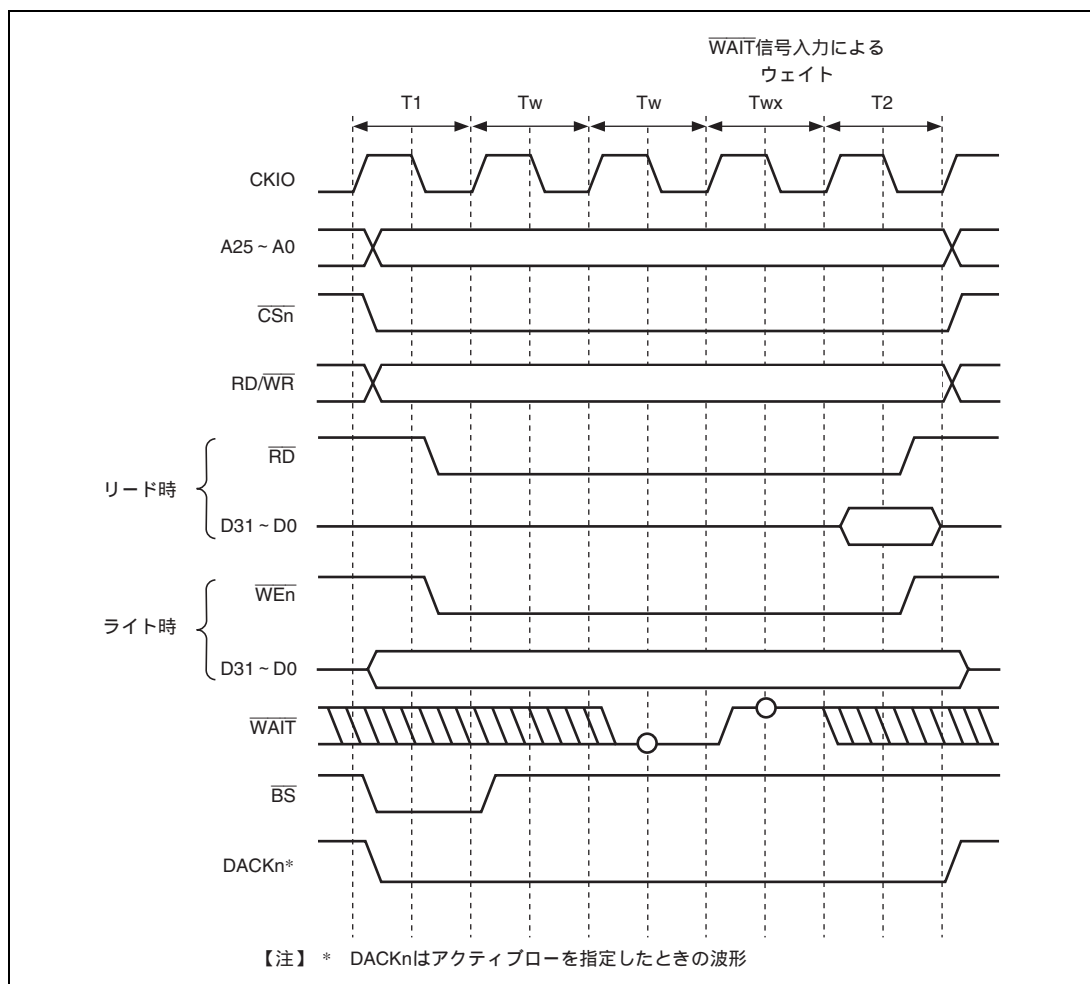


図 10.9 通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入)

10.5.4 \overline{CSn} アサート期間拡張

\overline{CSnWCR} の SW[1:0] ビットの設定により、 \overline{CSn} アサートから \overline{RD} と \overline{WEn} アサートまでのサイクル数を指定できます。また、HW[1:0] ビットの設定により、 \overline{RD} と \overline{WEn} ネゲートから \overline{CSn} ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 10.10 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 \overline{RD} と \overline{WEn} 以外はアサートされますが、 \overline{RD} と \overline{WEn} はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

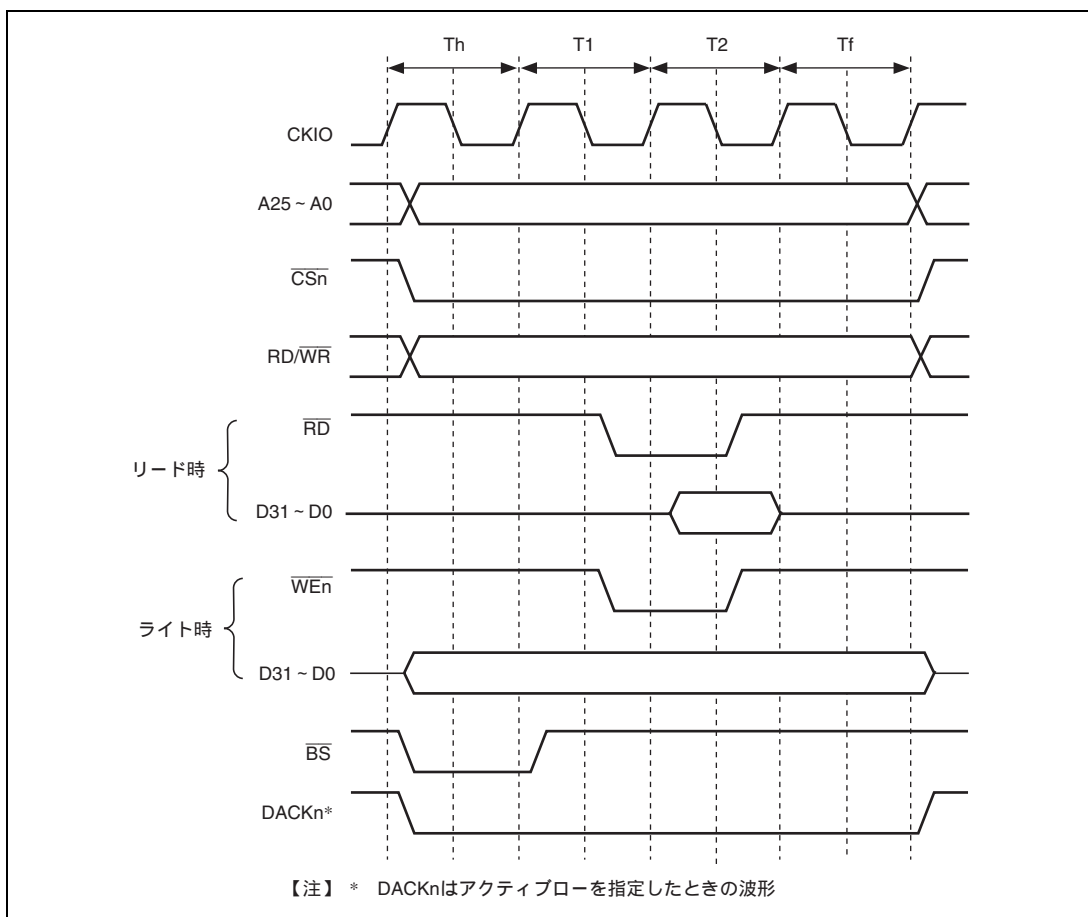


図 10.10 \overline{CSn} アサート期間拡張

10.5.5 MPX-I/O インタフェース

MPX 空間のアクセスタイミングを以下に示します。MPX 空間では、 $\overline{CS5}$ 、 \overline{AH} 、 \overline{RD} 、および $\overline{WE_n}$ 信号でアクセスが制御されます。MPX 空間の基本アクセスは、アドレス出力が 2 サイクル行われた後に、続けて通常空間のアクセスが行われます。アドレス出力サイクルおよびデータ入出力サイクルのバス幅は、8 ビットまたは 16 ビット固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの可変となります。

D15 ~ D0 または D7 ~ D0 からのアドレスの出力は Ta2 サイクルから Ta3 サイクルまで行われ、Ta1 サイクルはハイインピーダンス状態となり、連続アクセス時でもアイドルサイクルの挿入なしにアドレスとデータの衝突を防ぐことができます。また、CS5WCR の MPXW ビットを 1 に設定することにより、アドレス出力は 3 サイクルとなります。

RD/ \overline{WR} 信号は $\overline{CS5}$ 信号と同じタイミングで出力され、リードサイクルではハイレベルが、ライトサイクルではローレベルが出力されます。

データサイクルは、通常空間アクセスと同一のサイクルとなります。

SW[1:0]の遅延サイクルは、Ta3 と T1 サイクルの間に挿入されます。HW[1:0]の遅延サイクルは T2 サイクルの後に付加されます。

タイミングチャートを図 10.11 ~ 図 10.13 に示します。

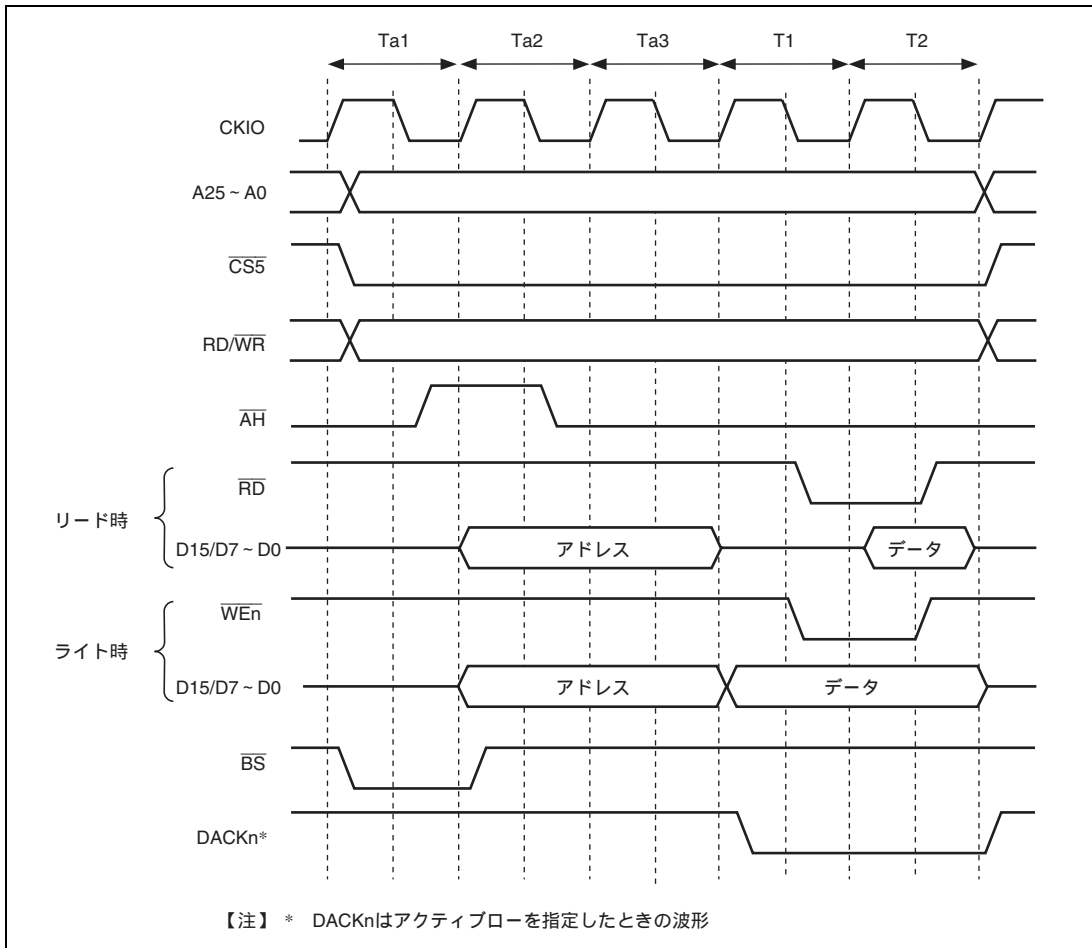


図 10.11 (1) MPX 空間アクセスタイミング
(アドレスサイクルノーウェイト、データサイクルノーウェイト)

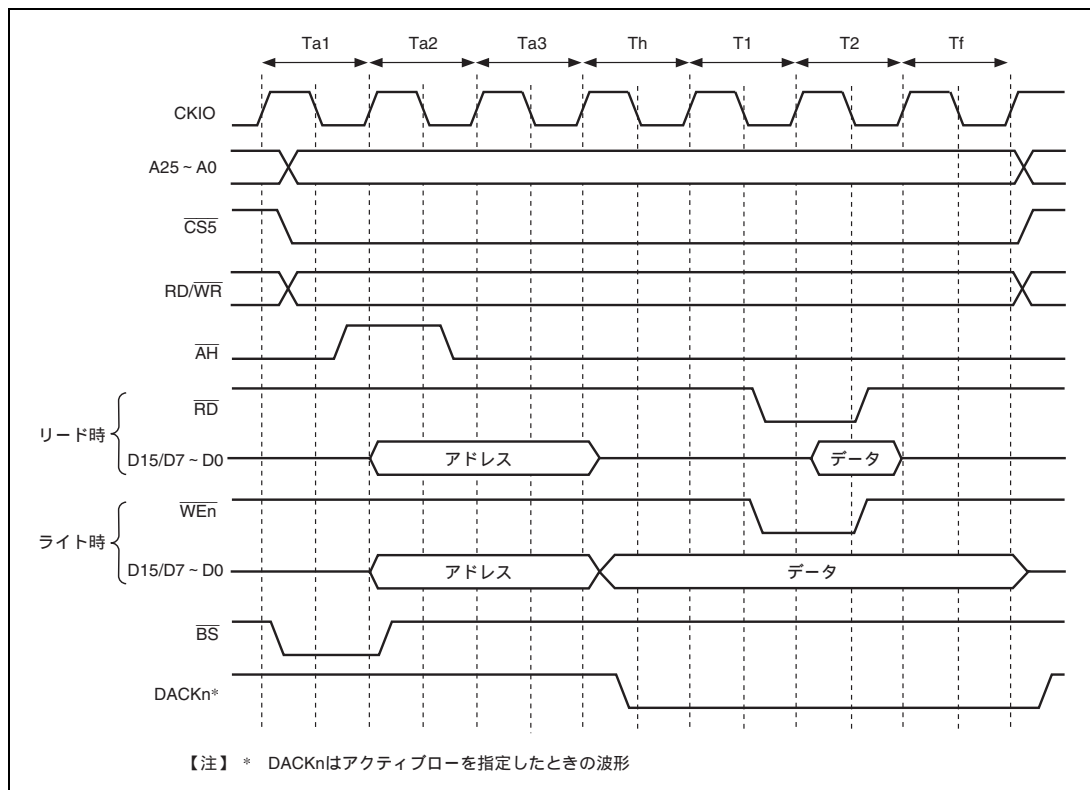


図 10.11 (2) MPX 空間アクセスタイミング
 (アドレスサイクルノーウェイト、アサート拡張サイクル 1.5、
 データサイクルノーウェイト、ネゲート拡張サイクル 1.5)

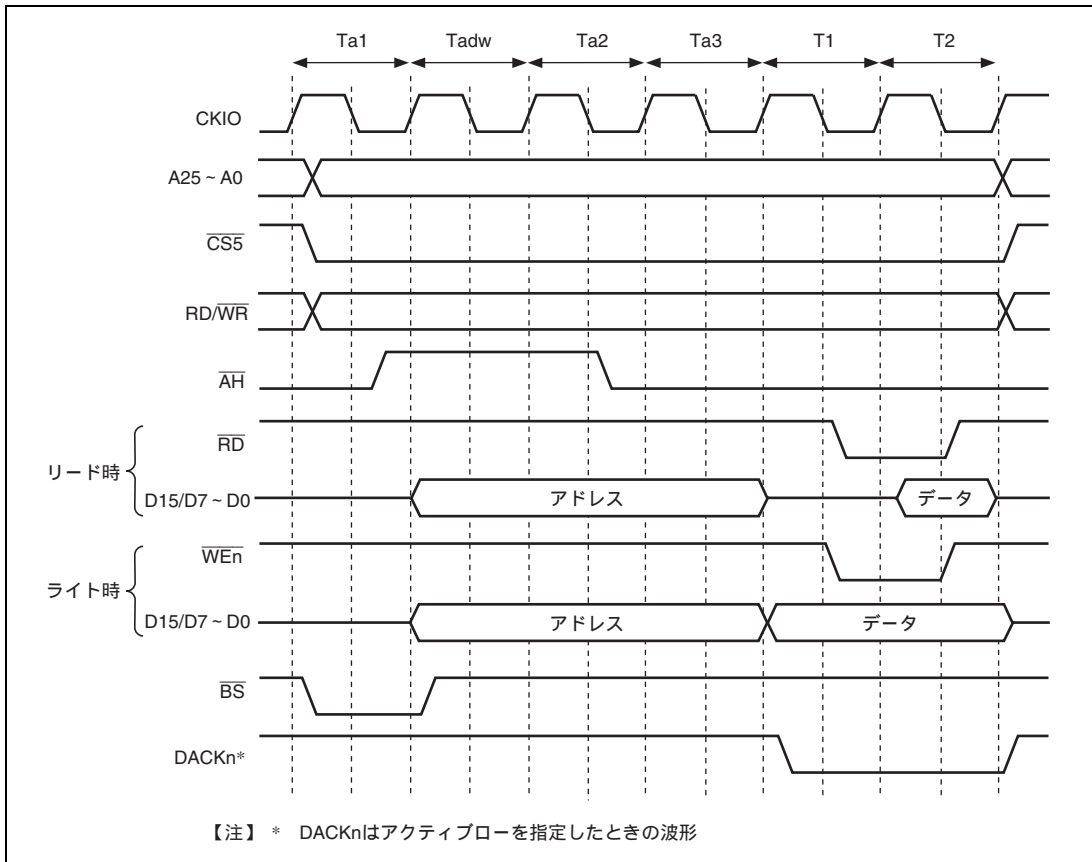


図 10.12 MPX 空間アクセスタイミング
(アドレスサイクルウェイト1、データサイクルノーウェイト)

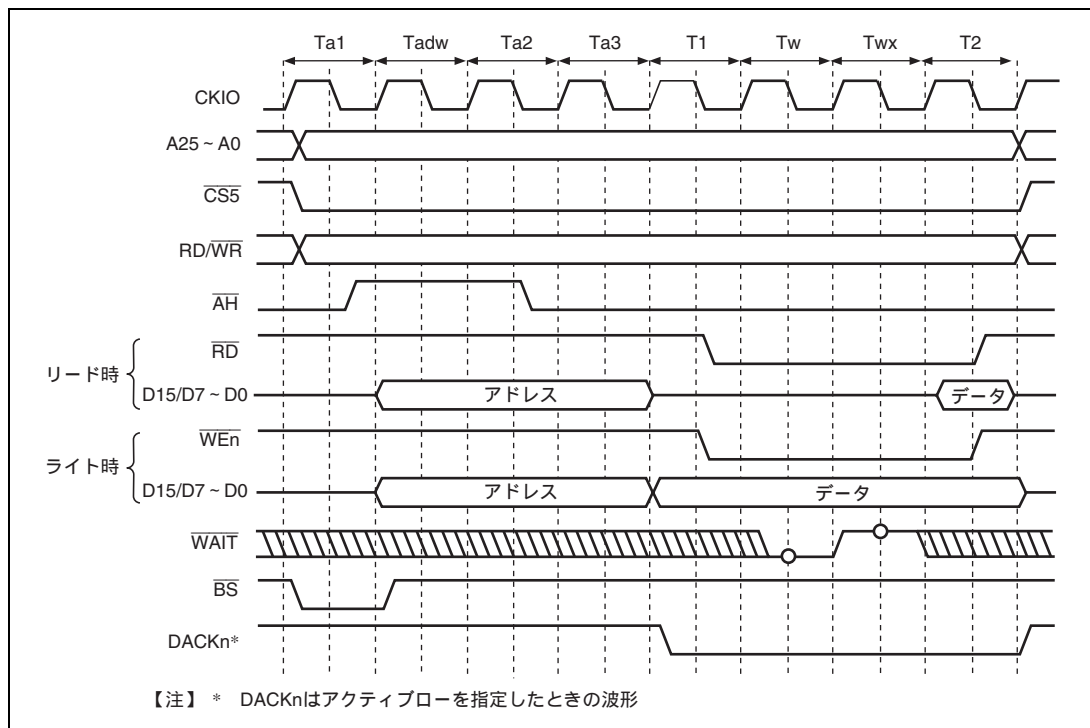


図 10.13 MPX 空間アクセスタイミング
(アドレスサイクルアクセスウェイト1、データサイクルウェイト1、外部ウェイト1)

10.5.6 SDRAM インタフェース

(1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11 / 12 / 13 ビット、カラムアドレスが 8 / 9 / 10 ビット、バンク数が 4 以下、リード - ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、 DQM_{UU} 、 DQM_{UL} 、 DQMLU 、 DQMLL 、 CKE 、および $\overline{\text{CS}}_2$ と $\overline{\text{CS}}_3$ です。 $\overline{\text{CS}}_2$ と $\overline{\text{CS}}_3$ を除く信号は各空間に共通であり、 CKE を除く信号は $\overline{\text{CS}}_2$ または $\overline{\text{CS}}_3$ がアサートされているときのみ有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、32 ビットまたは 16 ビットに設定可能です。

SDRAM の動作モードとしては、バーストリード / シングルライト (バースト長 1) とバーストリード / バーストライト (バースト長 1) をサポートしています。

$\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドは、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS、EMRS) などをサポートしています。

アクセスするバイトの指定は、 DQM_{UU} 、 DQM_{UL} 、 DQMLU および DQMLL によって行われます。該当する DQM_{xx} がローレベルのバイトに対してリード / ライトが行われます。 DQM_{xx} とアクセスするバイトの関係は、「10.5.1 エンディアン / アクセスサイズとデータアライメント」を参照してください。

図 10.14、図 10.15 に本 LSI と SDRAM との接続例を示します。

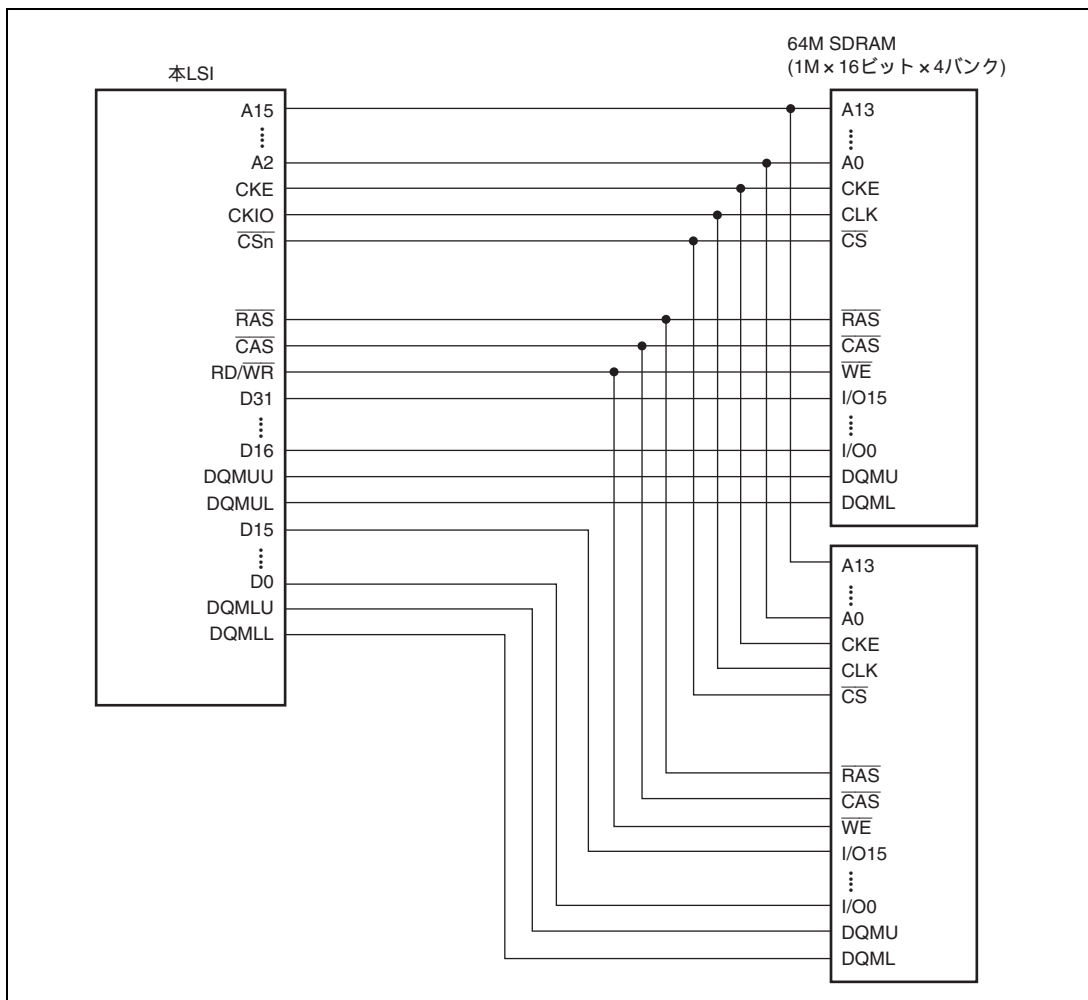


図 10.14 32 ビットデータ幅 SDRAM 接続例

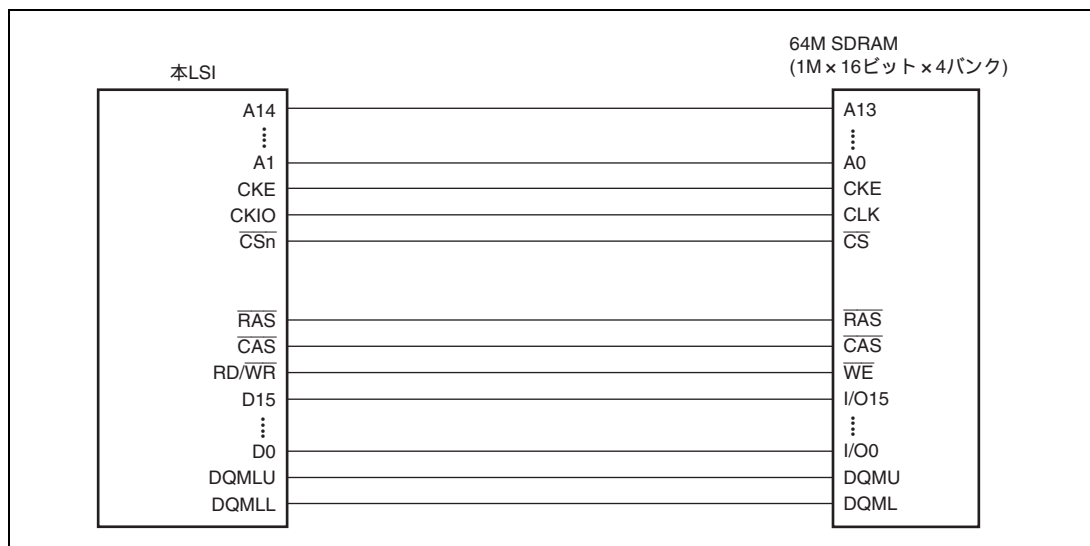


図 10.15 16 ビットデータ幅 SDRAM 接続例

(2) アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]ビット、および A3COL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。表 10.11 ~ 表 10.16 に BSZ[1:0]、A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]ビット、および A3COL[1:0]ビットの設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないでください。この表以外の設定を行った場合の動作は、保証されません。A25 ~ A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットするとき (BSZ[1:0] = B'10) は、SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。データバス幅が 32 ビットするとき (BSZ[1:0] = B'11) は、SDRAM の A0 端子はロングワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 10.11 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (1)

設 定					設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]			BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	00 (11 ビット)	00 (8 ビット)			11 (32 ビット)	01 (12 ビット)	00 (8 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能	本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A25	A17		未使用	A17	A25	A17		未使用
A16	A24	A16			A16	A24	A16		
A15	A23	A15			A15	A23*2	A23*2	A13(BA1)	バンク指定
A14	A22*2	A22*2	A12(BA1)	バンク指定	A14	A22*2	A22*2	A12(BA0)	
A13	A21*2	A21*2	A11(BA0)		A13	A21	A13	A11	アドレス
A12	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定	A12	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A11	A19	A11	A9	アドレス	A11	A19	A11	A9	アドレス
A10	A18	A10	A8		A10	A18	A10	A8	
A9	A17	A9	A7		A9	A17	A9	A7	
A8	A16	A8	A6		A8	A16	A8	A6	
A7	A15	A7	A5		A7	A15	A7	A5	
A6	A14	A6	A4		A6	A14	A6	A4	
A5	A13	A5	A3		A5	A13	A5	A3	
A4	A12	A4	A2		A4	A12	A4	A2	
A3	A11	A3	A1		A3	A11	A3	A1	
A2	A10	A2	A0		A2	A10	A2	A0	
A1	A9	A1		未使用	A1	A9	A1		未使用
A0	A8	A0			A0	A8	A0		
接続メモリ例					接続メモリ例				
64M ビット品 (512K ワード×32 ビット×4 バンク、カラム 8 ビット品) 1 個 16M ビット品 (512K ワード×16 ビット×2 バンク、カラム 8 ビット品) 2 個					128M ビット品 (1M ワード×32 ビット×4 バンク、カラム 8 ビット品) 1 個 64M ビット品 (1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 10.12 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係(2)

設 定			SDRAM の 端子	機 能
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	01 (12 ビット)	01 (9 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル		
A17	A26	A17		未使用
A16	A25	A16		
A15	A24 ^{*2}	A24 ^{*2}	A13(BA1)	バンク指定
A14	A23 ^{*2}	A23 ^{*2}	A12(BA0)	
A13	A22	A13	A11	アドレス
A12	A21	L/H ^{*1}	A10/AP	アドレス / プリチャージ 指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
256M ビット品 (2M ワード×32 ビット×4 バンク、カラム 9 ビット品) 1 個 128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 2 個				

設 定			SDRAM の 端子	機 能
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	01 (12 ビット)	10 (10 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル		
A17	A27	A17		未使用
A16	A26	A16		
A15	A25 ^{*2}	A25 ^{*2}	A13(BA1)	バンク指定
A14	A24 ^{*2}	A24 ^{*2}	A12(BA0)	
A13	A23	A13	A11	アドレス
A12	A22	L/H ^{*1}	A10/AP	アドレス / プリチャージ 指定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	A11	A1		未使用
A0	A10	A0		
接続メモリ例				
512M ビット品 (4M ワード×32 ビット×4 バンク、カラム 10 ビット品) 1 個 256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 10.13 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (3)

設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	10 (13 ビット)	01 (9 ビット)		
本 LSI の出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機能
A17	A26	A17		未使用
A16	A25* ²	A25* ²	A14(BA1)	バンク指定
A15	A24* ²	A24* ²	A13(BA0)	
A14	A23	A14	A12	アドレス
A13	A22	A13	A11	
A12	A21	L/H* ¹	A10/AP	アドレス / プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
512M ビット品 (4M ワード × 32 ビット × 4 バンク、カラム 9 ビット品) 1 個				
256M ビット品 (4M ワード × 16 ビット × 4 バンク、カラム 9 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 10.14 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (4)

設 定					設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]			BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16ビット)	00 (11ビット)	00 (8ビット)			10 (16ビット)	01 (12ビット)	00 (8ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能	本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A25	A17		未使用	A17	A25	A17		未使用
A16	A24	A16							
A15	A23	A15							
A14	A22	A14							
A13	A21	A21							
A12	A20 ^{*2}	A20 ^{*2}	A11(BA0)	バンク指定	A12	A20	A12	A11	アドレス
A11	A19	L/H ^{*1}	A10/AP	アドレス/ プリチャージ 指定	A11	A19	L/H ^{*1}	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス	A10	A18	A10	A9	アドレス
A9	A17	A9	A8						
A8	A16	A8	A7						
A7	A15	A7	A6						
A6	A14	A6	A5						
A5	A13	A5	A4						
A4	A12	A4	A3						
A3	A11	A3	A2						
A2	A10	A2	A1						
A1	A9	A1	A0						
A0	A8	A0		未使用	A0	A8	A0		未使用
接続メモリ例					接続メモリ例				
16M ビット品 (512K ワード×16 ビット×2 バンク、カラム 8 ビット品) 1 個					64M ビット品 (1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 10.15 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (5)

設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	01 (9 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24	A15		
A14	A23*2	A23*2	A13(BA1)	バンク指定
A13	A22*2	A22*2	A12(BA0)	
A12	A21	A12	A11	アドレス
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	10 (10 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25	A15		
A14	A24*2	A24*2	A13(BA1)	バンク指定
A13	A23*2	A23*2	A12(BA0)	
A12	A22	A12	A11	アドレス
A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 10.16 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (6)

設 定			SDRAM の 端子	機 能
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	10 (13 ビット)	01 (9 ビット)		
本 LSI の出 力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル		
A17	A26	A17		未使用
A16	A25	A16		
A15	A24*2	A24*2	A14(BA1)	バンク指定
A14	A23*2	A23*2	A13(BA0)	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設 定			SDRAM の 端子	機 能
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	10 (13 ビット)	10 (10 ビット)		
本 LSI の出 力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル		
A17	A27	A17		未使用
A16	A26	A16		
A15	A25*2	A25*2	A14(BA1)	バンク指定
A14	A24*2	A24*2	A13(BA0)	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
512M ビット品 (8M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

(3) パーストリード

本 LSI でパーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. キャッシュミス時の16バイト転送時
3. ダイレクトメモリアクセスコントローラでの16バイト転送のとき
4. OpenVG™用ルネサスグラフィックスプロセッサ、歪み補正エンジンおよびビデオディスプレイコントローラ4での32バイト転送のとき
5. ビデオディスプレイコントローラ4での128バイト転送のとき

本 LSI は、SDRAM に対し常にパースト長1でアクセスします。たとえば、16ビットのデータバスに接続された SDRAM から連続して16バイト分のデータを読み出すときは、パースト長1のリードを8回連続して行います。このときのアクセスをパースト数8のパーストリードと呼びます。表 10.17 にアクセスサイズとパースト数の関係を示します。

表 10.17 アクセスサイズとパースト数の関係

バス幅	アクセスサイズ	パースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8
	32 バイト	16
	128 バイト	64
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	16 バイト	4
	32 バイト	8
	128 バイト	32

パーストリード時のタイミングチャートを図 10.16 と図 10.17 に示します。パーストリードでは ACTV コマンド出力を行う Tr サイクルに続いて、READ コマンドを Tc1、Tc2、Tc3 サイクルに、READA コマンドを Tc4 サイクルに発行し、Td1 から Td4 のサイクルに外部クロック (CKIO) の立ち上がりでリードデータを受け取ります。Tap サイクルは SDRAM 内部で READA コマンドによるオートブリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の WTRP[1:0]ビットの指定によって Tap のサイクル数を決定します。

本 LSI では、様々な周波数で SDRAM と接続するために CS3WCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 10.17 となります。ACTV コマンド出力サイクル T_r から READ コマンド出力サイクル T_{c1} までのサイクル数は、CS3WCR の WTRCD[1:0] によって指定することができます。WTRCD[1:0] の設定が 1 サイクル以上の場合は、 T_r サイクルと T_{c1} サイクルの間に NOP コマンド発行サイクル T_{rw} サイクルが挿入されます。READ コマンド出力サイクル T_{c1} からリードデータ取り込みサイクル T_{d1} までのサイクル数は、CS2WCR の A2CL[1:0] ビットおよび CS3WCR の A3CL[1:0] ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このサイクル数は、SDRAM の CAS レイテンシに相当します。SDRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI と SDRAM の間にラッチを含む回路を設けて接続するためのものです。

T_{de} サイクルは、本 LSI 内部にリードデータを転送するために必要なアイドルサイクルで、バーストリード、シングルリード時に必ず 1 サイクル発生します。

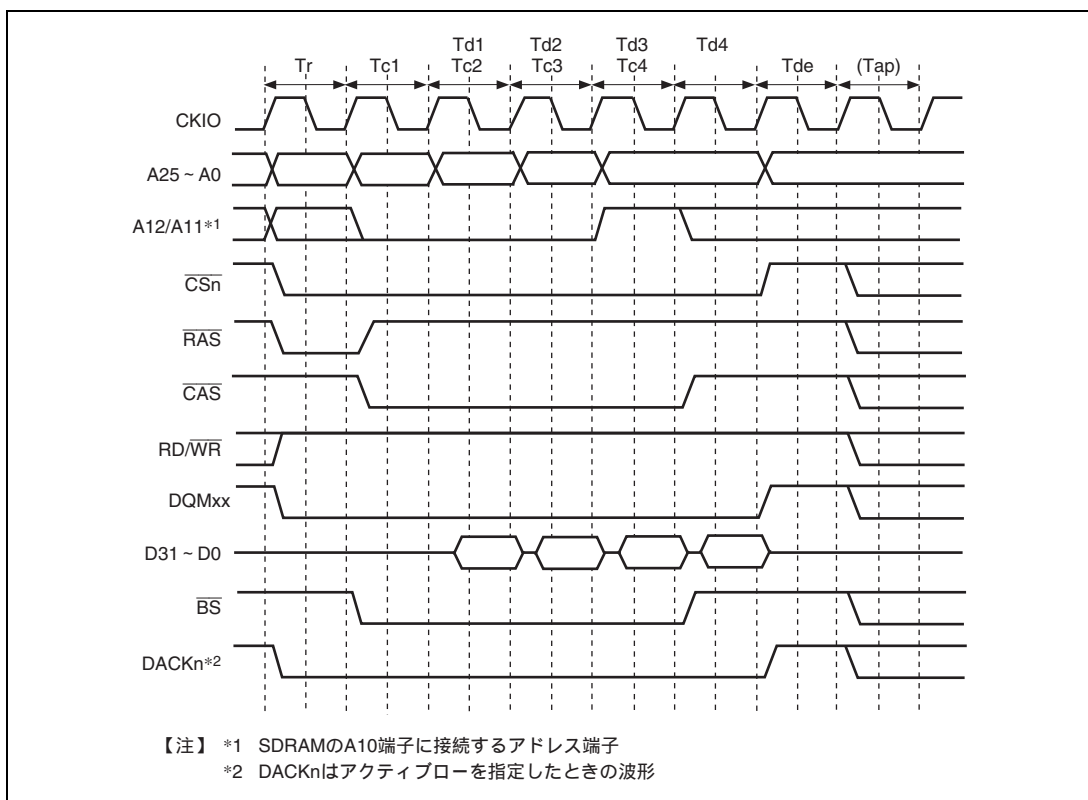


図 10.16 バーストリード基本タイミング (CAS レイテンシ 1、オートプリチャージ)

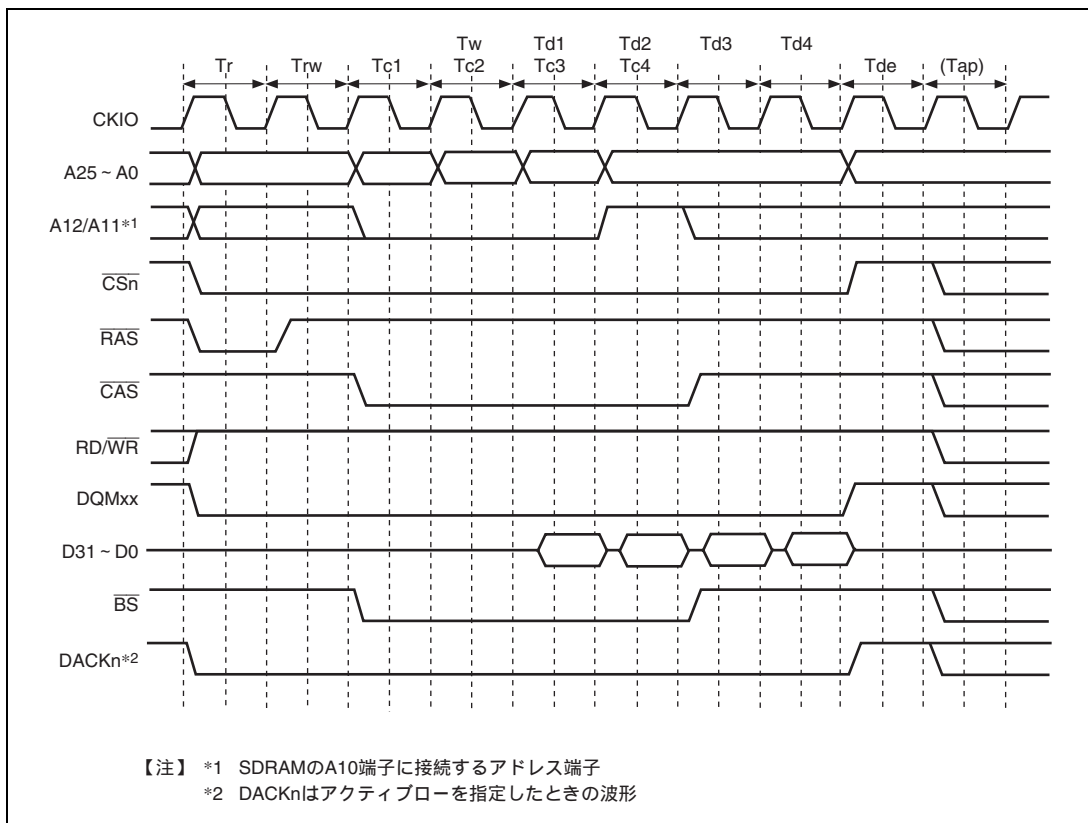


図 10.17 バーストリードウェイト指定タイミング
(CAS レイテンシ 2、WTRCD[1:0]=1 サイクル、オートプリチャージ)

(4) シングルリード

キャッシュ無効空間でかつデータバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。SDRAM は、バースト長 1 のバーストリードに設定しているので必要なデータのみ出力します。1回で終了するリードアクセスをシングルリードと呼びます。

シングルリードの基本タイミングチャートを図 10.18 に示します。

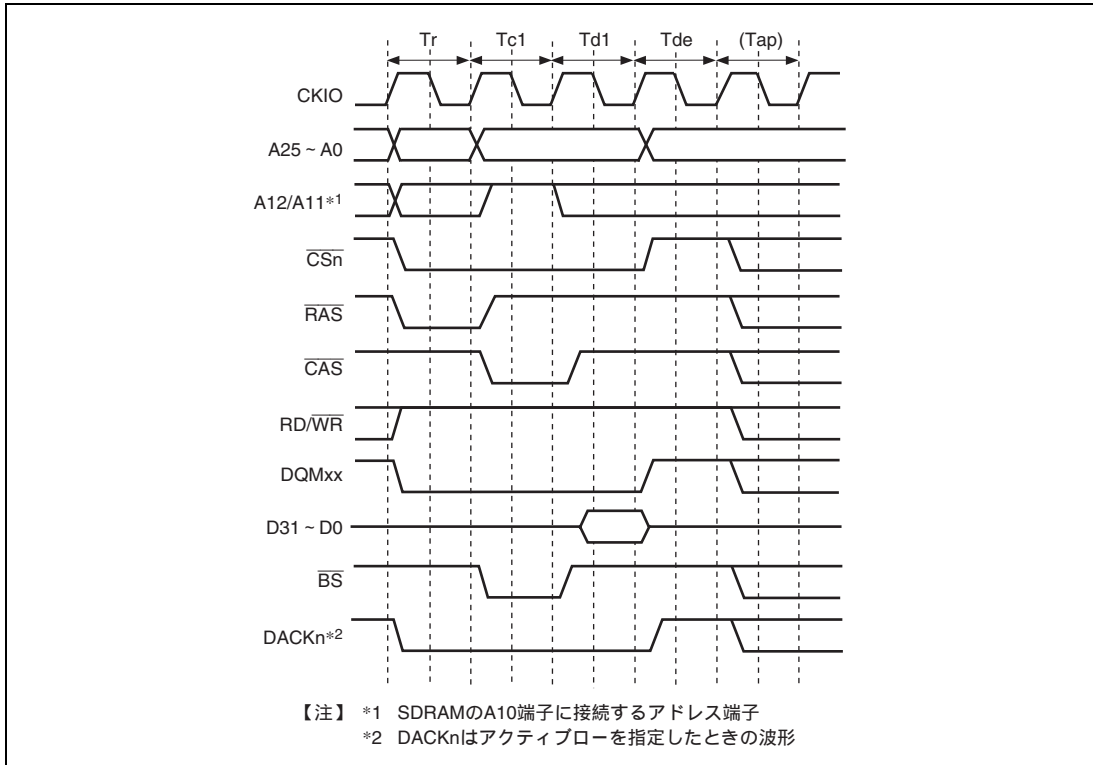


図 10.18 シングルリードの基本タイミング (CAS レイテンシ 1、オートプリチャージ)

(5) パーストライト

本 LSI でパーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. キャッシュのコピーバックが発生したとき
3. ダイレクトメモリアクセスコントローラでの16バイト転送のとき
4. ビデオディスプレイコントローラ4での32バイト転送のとき
5. ビデオディスプレイコントローラ4での128バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、バースト長 1 のライトを 8 回連続して行います。このときのアクセスをバースト数 8 のパーストライトと呼びます。アクセスサイズとバースト数の関係は、表 10.17 に従います。図 10.19 にパーストライト時のタイミングチャートを示します。パーストライトでは ACTV コマンド出力を行う Tr サイクルに続いて WRIT コマンドを Tc1、Tc2、Tc3 サイクルに、オートプリチャージを行う WRITA コマンドを Tc4 サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ Trw1 サイクル、そしてオートプリチャージの完了を待つ Tap サイクルが続きます。Tap サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルです。Trw1 サイクルおよび Tap サイクルの間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。Trw1 サイクルは CS3WCR の TRWL[1:0]ビットおよび Tap サイクルは CS3WCR の WTRP[1:0]ビットの指定で決定されます。

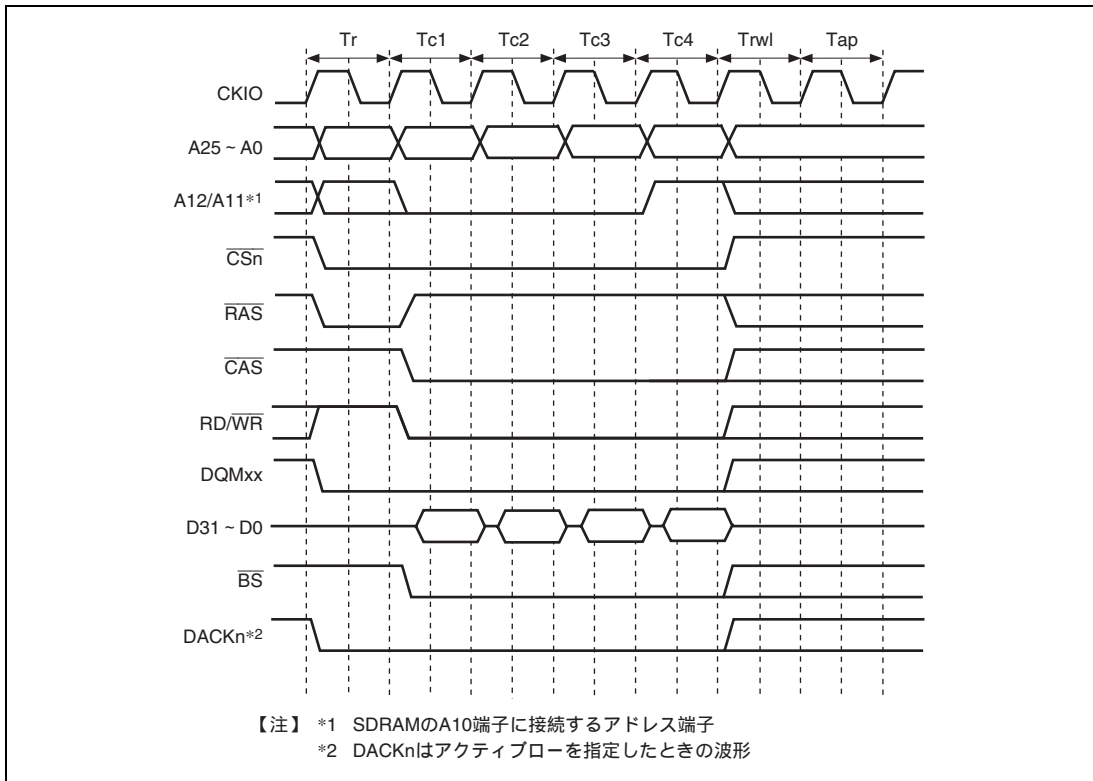


図 10.19 バーストライト基本タイミング (オートプリチャージ)

(6) シングルライト

キャッシュ無効空間でかつデータバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。SDRAMは、シングルライトまたはバースト長1のバーストライトに設定しているため、必要なデータのみライトされます。1回で終了するライトアクセスをシングルライトと呼びます。シングルライトの基本タイミングチャートを図10.20に示します。

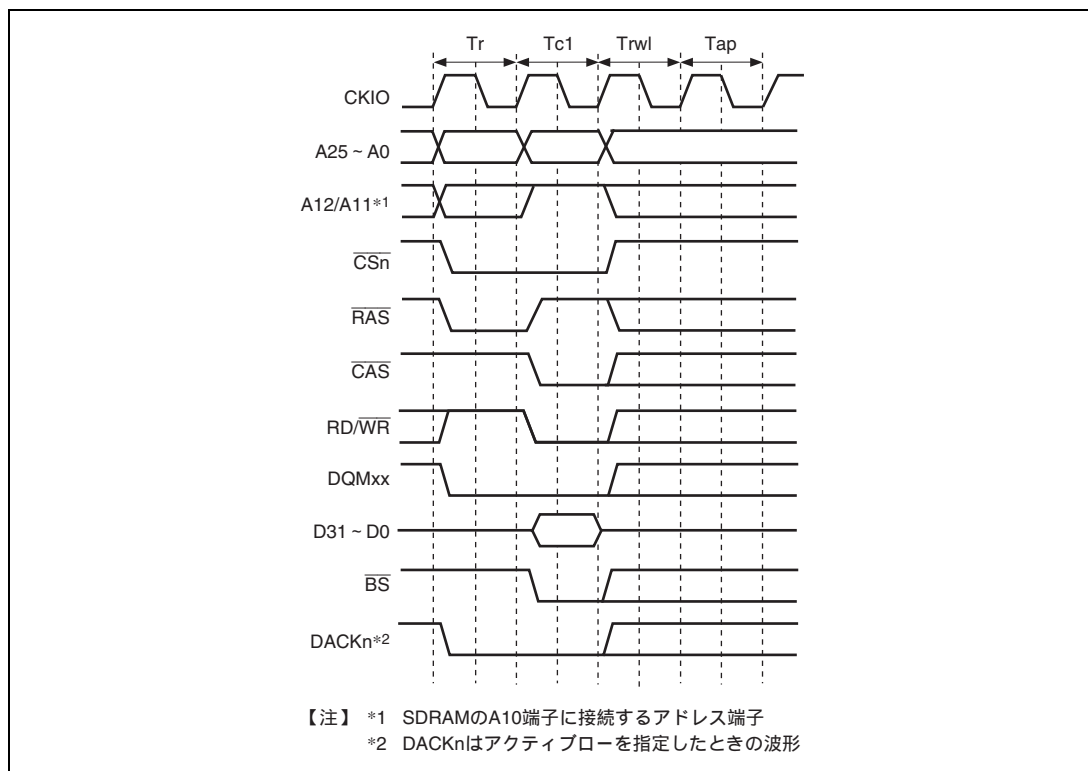


図 10.20 シングルライト基本タイミング (オートプリチャージ)

(7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合は、オートプリチャージなしのコマンド (READ または WRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、エリア 3 に対してのみです。エリア 3 をバンクアクティブモードに設定している場合は、エリア 2 空間は通常空間またはバイト選択付き SRAM に設定してください。エリア 2 およびエリア 3 の両空間を SDRAM 設定とする場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、ただちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CS3WCR の WTRP[1:0] ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後 $Trwl + Tap$ サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに $Trwl + Tap$ サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (tRAS) には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 10.21 にオートプリチャージのないバーストリードサイクルを、図 10.22 には同一のロウアドレスに対するバーストリードサイクルを、図 10.23 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、図 10.24 にオートプリチャージのないシングルライトサイクルを、図 10.25 に同一のロウアドレスに対するシングルライトサイクルを、図 10.26 には異なるロウアドレスに対するシングルライトサイクルを示します。

図 10.22 において READ コマンドを発行する Tc サイクルに先立って、何も行わない $Tnop$ サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う DQM_{xx} 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、 Tc サイクル以降に DQM_{xx} 信号をアサートしても 2 サイクルのレイテンシが守られるので、 $Tnop$ サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続くかぎり、図 10.21 または図 10.24 で始まり、図 10.22 または図 10.25 を繰り返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、図 10.22 または図 10.25 の代わりに図 10.23 または図 10.26 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後には、すべてのバンクが非アクティブな状態になります。

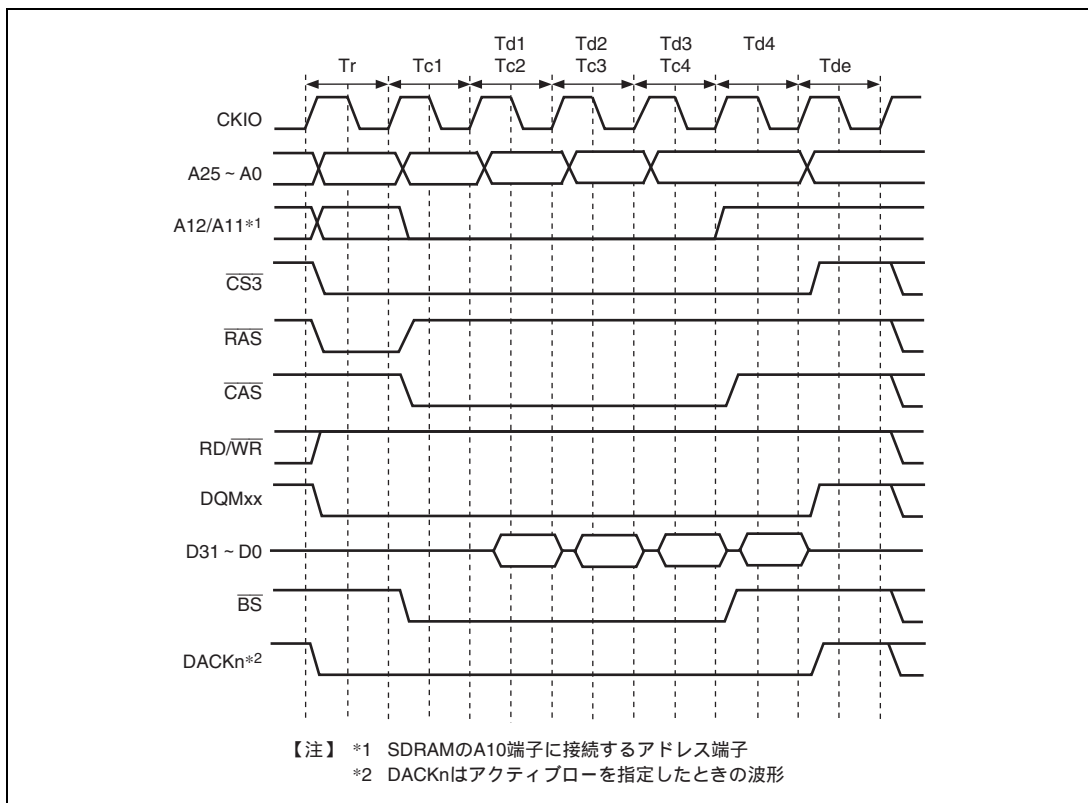


図 10.21 バーストリードタイミング (バンクアクティブ、異なるバンク、CAS レイテンシ 1)

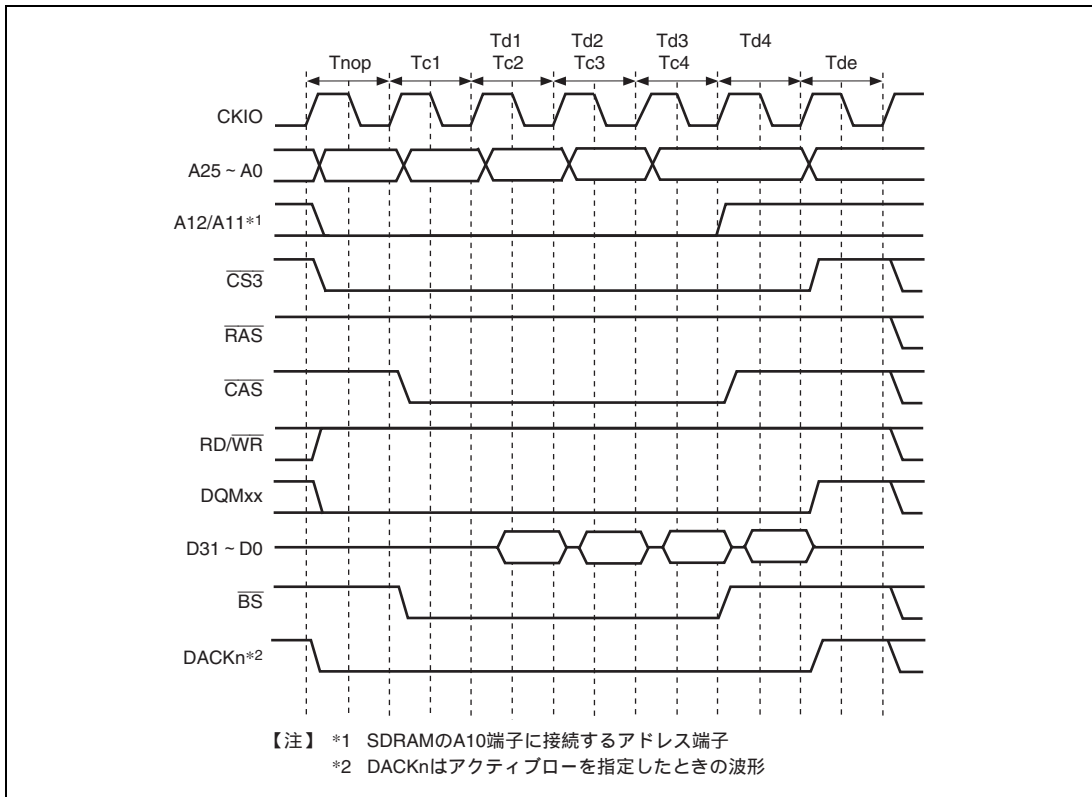


図 10.22 バーストリードタイミング (バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ 1)

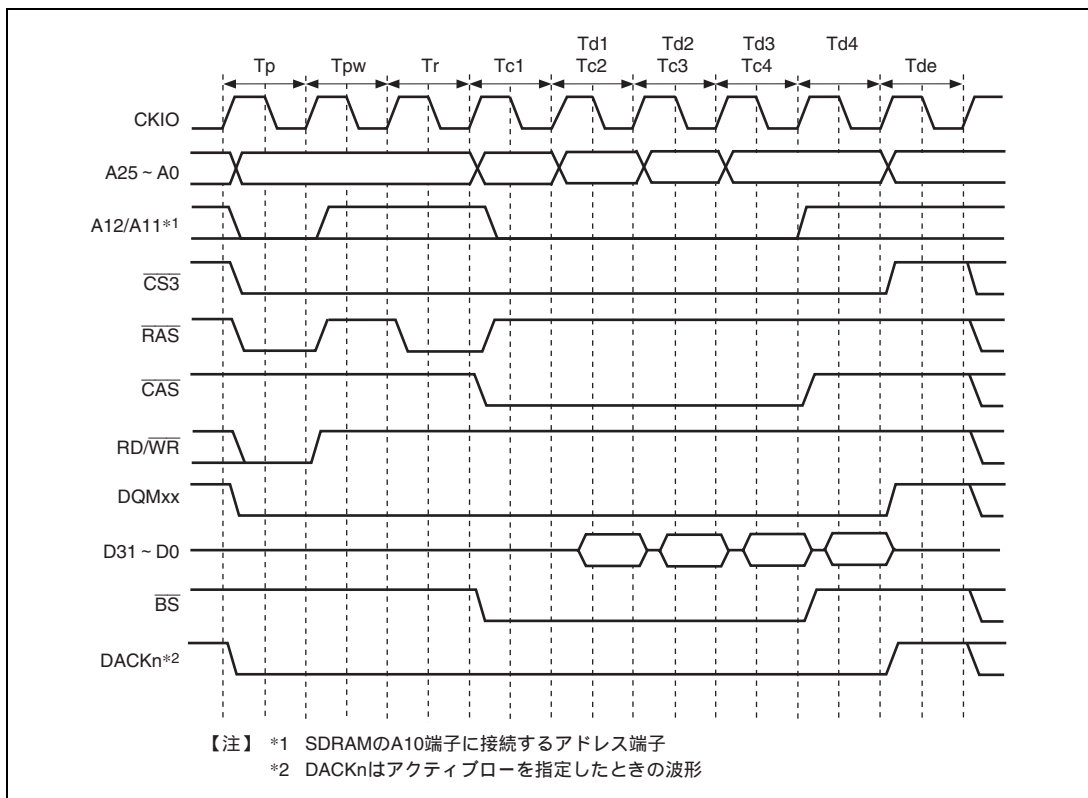


図 10.23 バーストリードタイミング
(バンクアクティブ、同一バンクで異なるロウアドレス、CAS レイテンシ 1)

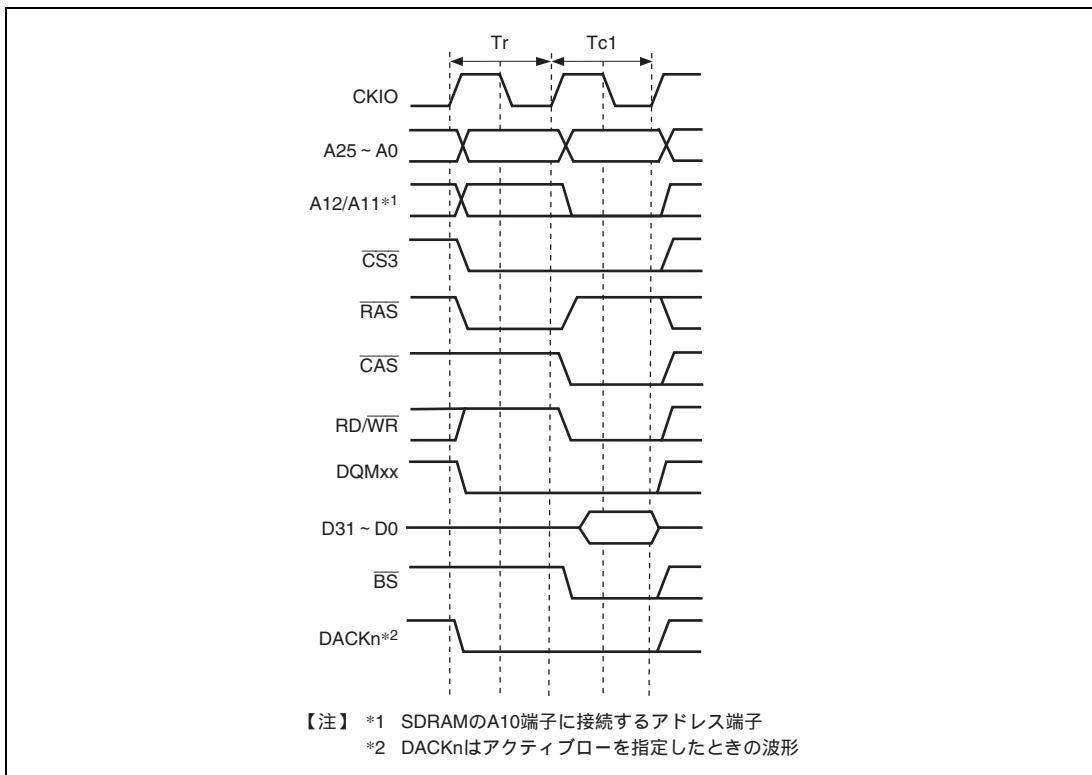


図 10.24 シングルライトタイミング (バンクアクティブ、異なるバンク)

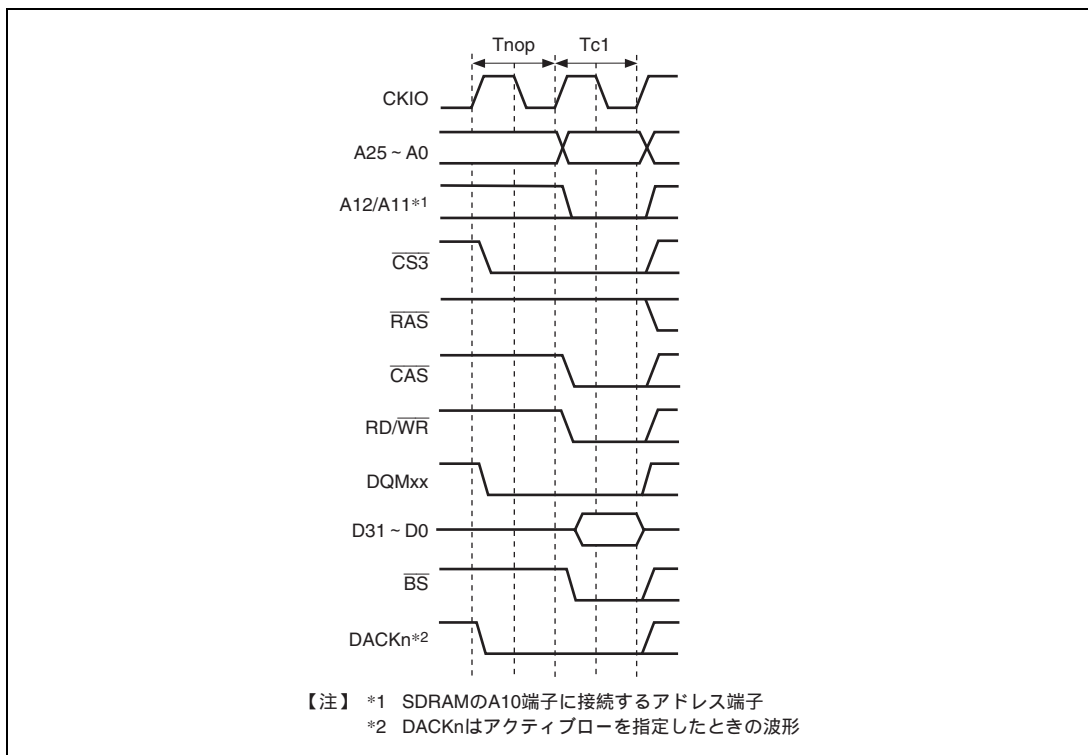


図 10.25 シングルライトタイミング (バンクアクティブ、同一バンクで同一ロウアドレス)

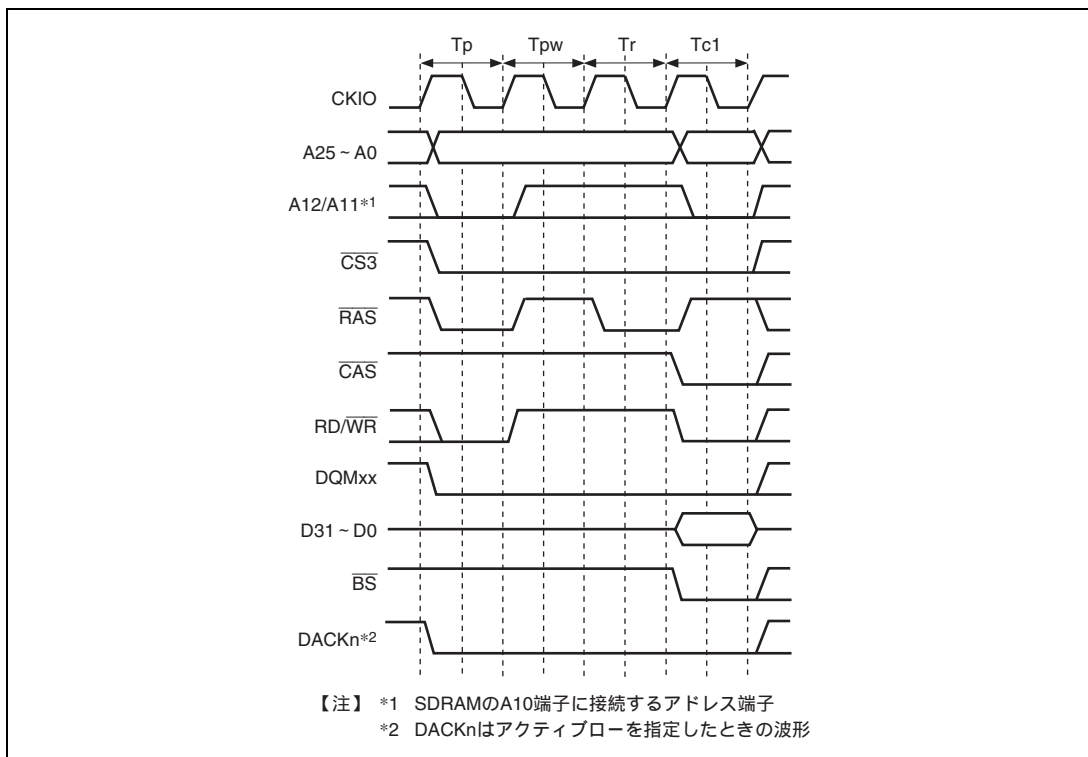


図 10.26 シングルライトタイミング (バンクアクティブ、同一バンクで異なるロウアドレス)

(8) リフレッシュ

本モジュールは、SDRAMのリフレッシュを制御する機能を備えています。SDCRのRFSHビットを1に、RMODEビットを0に設定することによって、オートリフレッシュを行うことができます。また、RTCSRのRRC[2:0]ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間SDRAMにアクセスしないときは、RFSHビットとRMODEビットをともに1にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

(a) オートリフレッシュ

RTCSR の CKS[2:0]ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔で RTCSR の RRC[2:0]ビットに設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR の RFSH ビット、および RMODE ビットの設定を行い、次いで RTCSR の CKS[2:0]ビットおよび、RRC[2:0]ビットの設定を行ってください。CKS[2:0]ビットによって入力クロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0]ビットに設定された回数のオートリフレッシュが実行されます。同時に RTCNT は 0 にクリアされ、カウントアップが再開されます。

図 10.27 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、 T_p サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0]ビットで設定された数のアイドルサイクル挿入後、REF コマンドを T_{rr} サイクルに発行します。 T_{rr} サイクル後 CS3WCR の WTRC[1:0]ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 (t_{RC}) を満たすように WTRC[1:0]ビットを設定する必要があります。CS3WCR の WTRP[1:0]ビットの設定値が 1 サイクル以上の場合、 T_p サイクルと T_{rr} サイクルの間にアイドルサイクルが挿入されます。

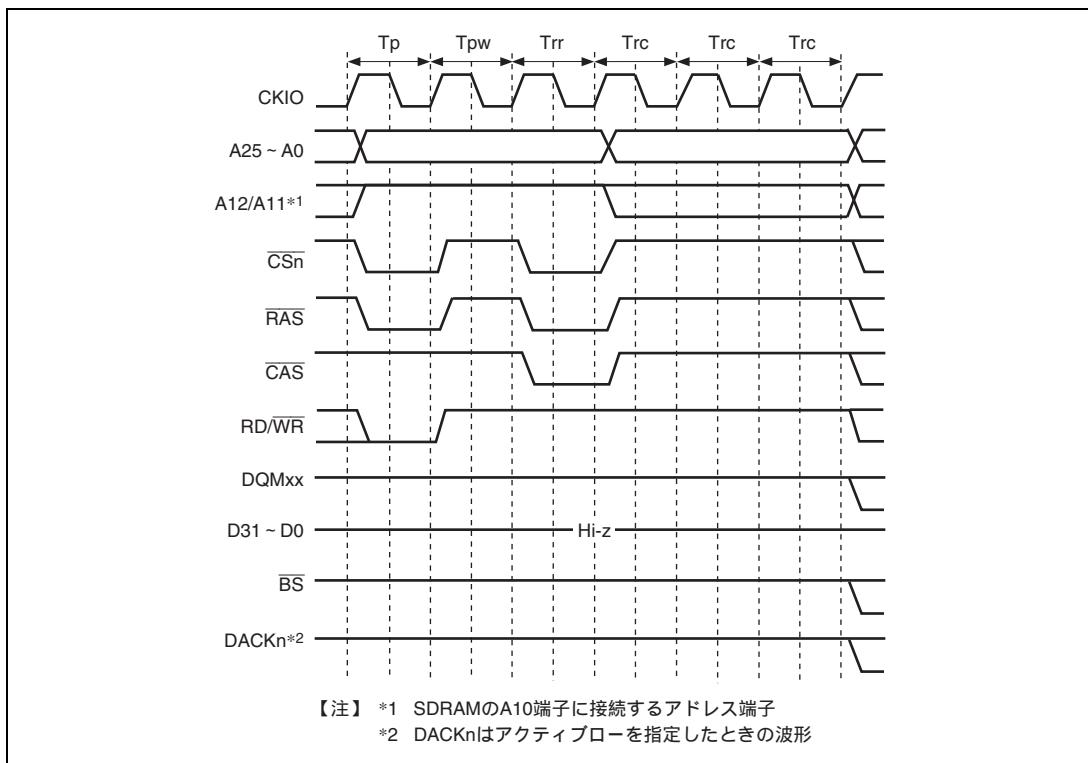


図 10.27 オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、 T_p サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを図 10.28 に示します。セルフリフレッシュ解除後、ただちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、(RTCOR の値 - 1) を RTCNT に設定することにより、ただちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。ただし、CMNCR レジスタの HIZCNT ビットを 1 に設定し、スタンバイ状態でも CKE 他端子をドライブする必要があります。

また PLL 回路の逡倍率を変更する場合、CKIO 出力が不安定になったり、ローレベルとなります。CKIO 出力については「第 5 章 クロックパルス発振器」を参照してください。逡倍率変更の前にセルフリフレッシュ状態にすることで SDRAM の内容を保持することができます。

マニュアルリセットによってもセルフリフレッシュ状態が解除されることはありません。

パワーオンリセットの場合には、本モジュールのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

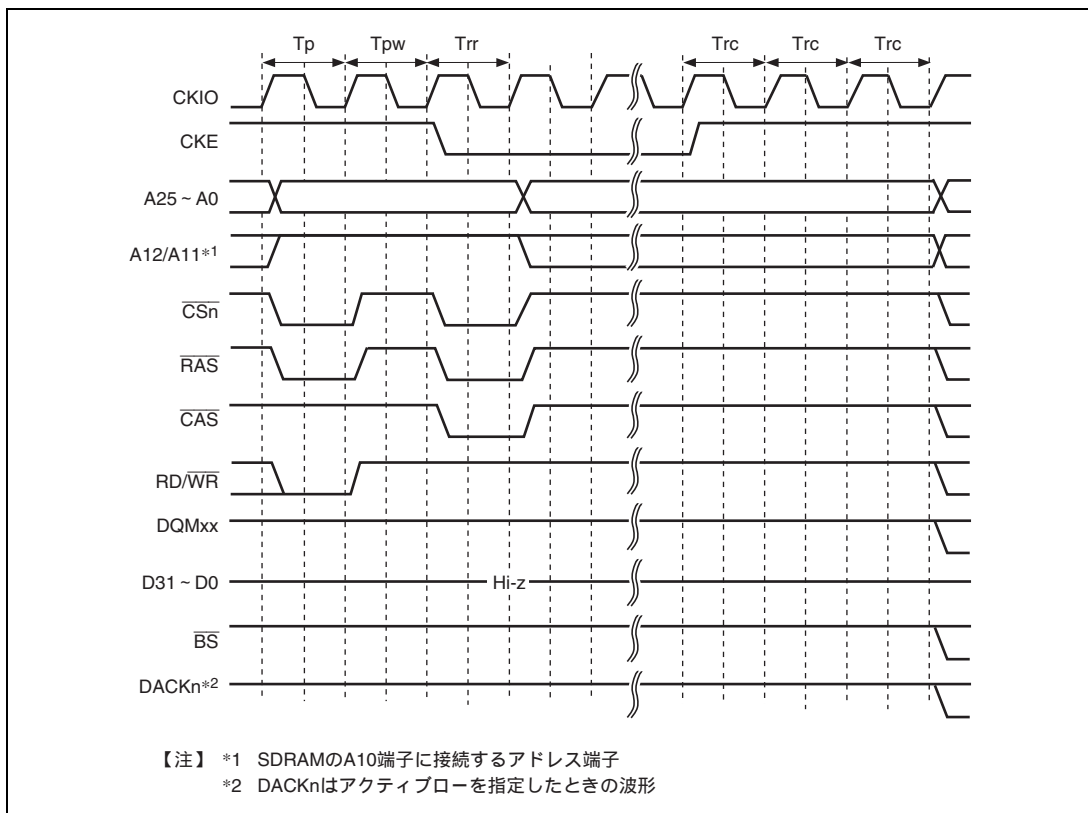


図 10.28 セルフリフレッシュタイミング

(9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。また、バスアービトラージ機能でバスを解放しているときにリフレッシュ要求が発生した場合は、バス権を獲得するまでリフレッシュの実行は待たされます。外部デバイスがリフレッシュ間隔の規定時間以上バス権を返さない場合、リフレッシュ動作ができず SDRAM の内容は保証できなくなりますので注意してください。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルや、バス権の占有が起らないようにする必要があります。

セルフリフレッシュ中にバス権要求が発生しても、バスの解放はセルフリフレッシュが解除されるまで行われません。

(10) パワーダウンモード

SDCR の PDOWN ビットを 1 に設定すると、非アクセス時には CKE を L レベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために CKE をアサートするサイクルが挿入されるため、1 サイクルのオーバーヘッドが発生します。図 10.29 にパワーダウンモードでのアクセスタイミングを示します。

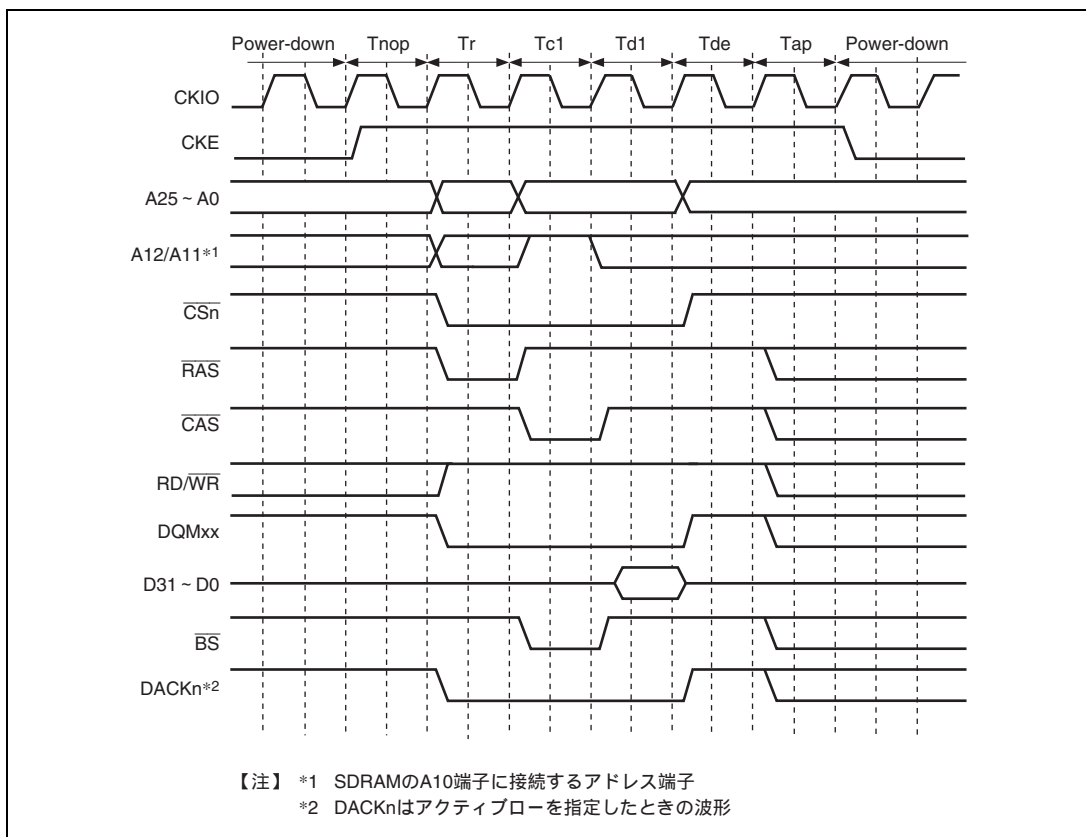


図 10.29 パワーダウンモードでのアクセスタイミング

(11) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、使用する SDRAM で規定されたポーズ期間の後に、SDRAM に対してモード設定を行う必要があります。ポーズ間隔は、パワーオンリセット生成回路またはソフトウェアなどで実現してください。

SDRAM の初期化を正しく行うためには、まず本モジュールのレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は \overline{CS}_n 、 \overline{RAS} 、 \overline{CAS} 、および RD/\overline{WR} の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると X + (エリア 2 : H'FFFC4000、エリア 3 : H'FFFC5000 番地) にワードライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリード/シングルライト (バースト長 1) またはバーストリード/バーストライト (バースト長 1)、CAS レイテンシ 2~3、ラップタイプ=シーケンシャル、およびバースト長 1 を設定するには、表 10.18 に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されます。

表 10.18 SDRAM モードレジスタライト時のアクセスアドレス

• エリア2設定

バーストリード/シングルライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC4440	H'0000440
	3	H'FFFC4460	H'0000460
32 ビット	2	H'FFFC4880	H'0000880
	3	H'FFFC48C0	H'00008C0

バーストリード/バーストライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC4040	H'0000040
	3	H'FFFC4060	H'0000060
32 ビット	2	H'FFFC4080	H'0000080
	3	H'FFFC40C0	H'00000C0

• エリア3設定

バーストリード/シングルライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC5440	H'0000440
	3	H'FFFC5460	H'0000460
32 ビット	2	H'FFFC5880	H'0000880
	3	H'FFFC58C0	H'00008C0

バーストリード/バーストライト(バースト長1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC5040	H'0000040
	3	H'FFFC5060	H'0000060
32 ビット	2	H'FFFC5080	H'0000080
	3	H'FFFC50C0	H'00000C0

モードレジスタ設定タイミングを図 10.30 に示します。まず全バンクプリチャージコマンド(PALL)を発行し、次いでオートリフレッシュコマンド(REF)を8回発行します。そして最後に、モードレジスタ書き込みコマンド(MRS)を発行します。PALL と1回目のREFの間にCS3WCRのWTRP[1:0]ビットに設定した数のアイドルサイクルが挿入され、REFとREFおよび、8回目のREFとMRSの間にCS3WCRのWTRC[1:0]ビットに設定した数のアイドルサイクルが挿入されます。また、MRSと次に発行するコマンドの間に1サイクル以上のアイドルサイクルが挿入されます。

SDRAMは全バンクプリチャージ(PALL)に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAMのマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

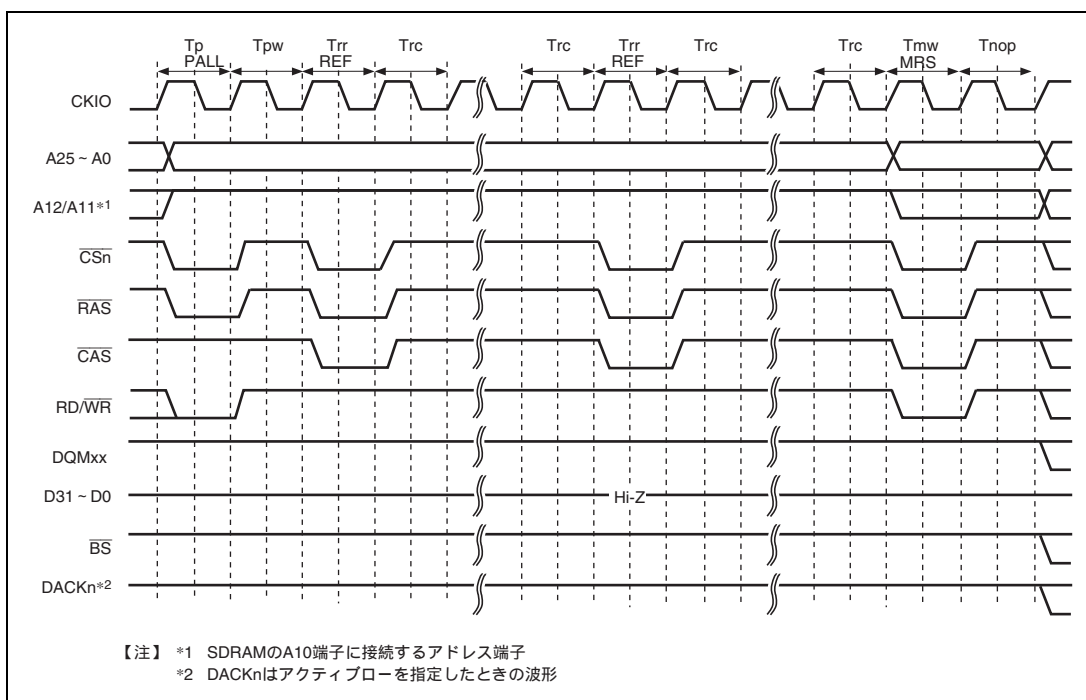


図 10.30 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

(12) ローパワー-SDRAM

ローパワー-SDRAM は、通常の SDRAM と同様のプロトコルによりアクセス可能なメモリです。

ローパワー-SDRAM と通常 SDRAM の仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパースャルリフレッシュや、ユーザの使用条件（温度）によるリフレッシュ時の低電力化を行うなどの制御を細やかに設定できることです。パースャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワー-SDRAM のデータシートを参照してください。

ローパワー-SDRAM には、通常の SDRAM と同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドは EMRS と呼ばれ、本 LSI では EMRS コマンド発行をサポートしています。

EMRS 発行は、下記の表に従います。たとえば H'FFFC5XX0 に H'0YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL REF×8 MRS EMRS のシーケンスでコマンドを発行します。そして MRS 発行時のアドレスは H'0000XX0 に、および EMRS 発行時のアドレスは H'YYYYYYY になります。また H'FFFC5XX0 に H'1YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL MRS EMRS のシーケンスでコマンドを発行します。

表 10.19 EMRS コマンド発行時の出力アドレス

発行コマンド	アクセスアドレス	アクセスデータ	ライト アクセス サイズ	MRS コマンド時 発行アドレス	EMRS コマンド時 発行アドレス
CS2 MRS	H'FFFC4XX0	H'*****	16 ビット	H'0000XX0	-----
CS3 MRS	H'FFFC5XX0	H'*****	16 ビット	H'0000XX0	-----
CS2 MRS + EMRS (リフレッシュあり)	H'FFFC4XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS3 MRS+EMRS (リフレッシュあり)	H'FFFC5XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS2 MRS + EMRS (リフレッシュなし)	H'FFFC4XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS3 MRS+EMRS (リフレッシュなし)	H'FFFC5XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY

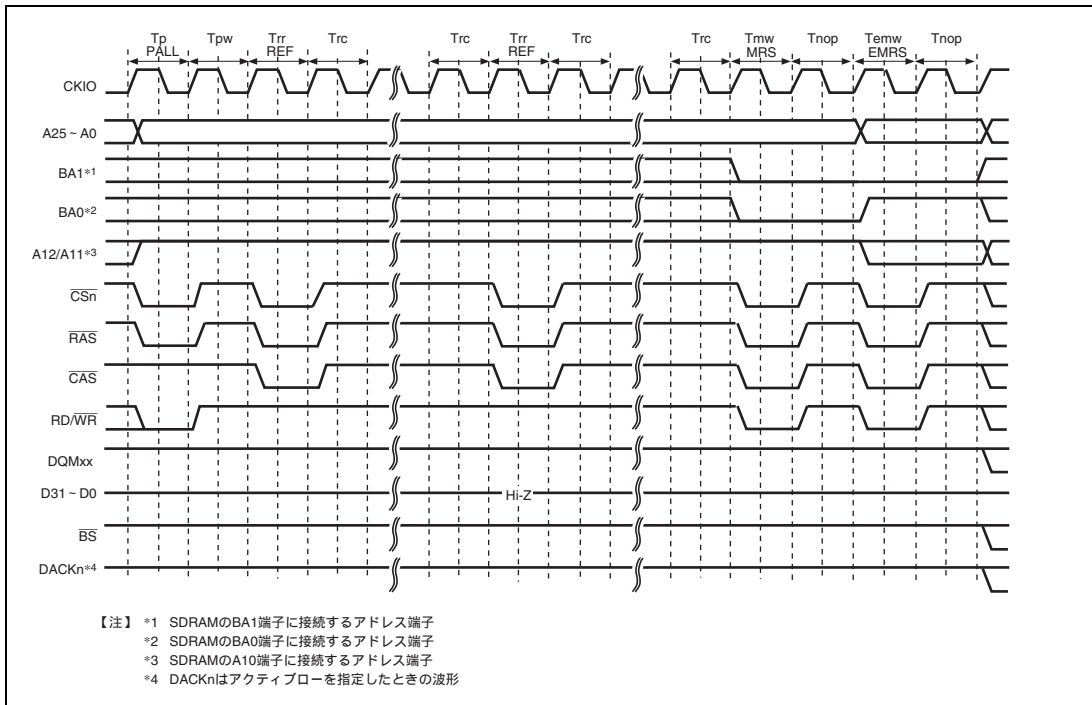


図 10.31 EMRS コマンド発行タイミング

- ディープパワーダウンモード

ローパワーSDRAMには、ディープパワーダウンモードという低消費電力モードもあります。

パースシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。

本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。

SDCRのDEEPビットを1、RFSHビットを1に設定した状態でRMODEビットに1を書き込むと、ローパワーSDRAMはディープパワーダウンモードに遷移します。RMODEビットに0を書き込むとCKEがハイレベルとなりディープパワーダウンモードは解除されます。ディープパワーダウン解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。

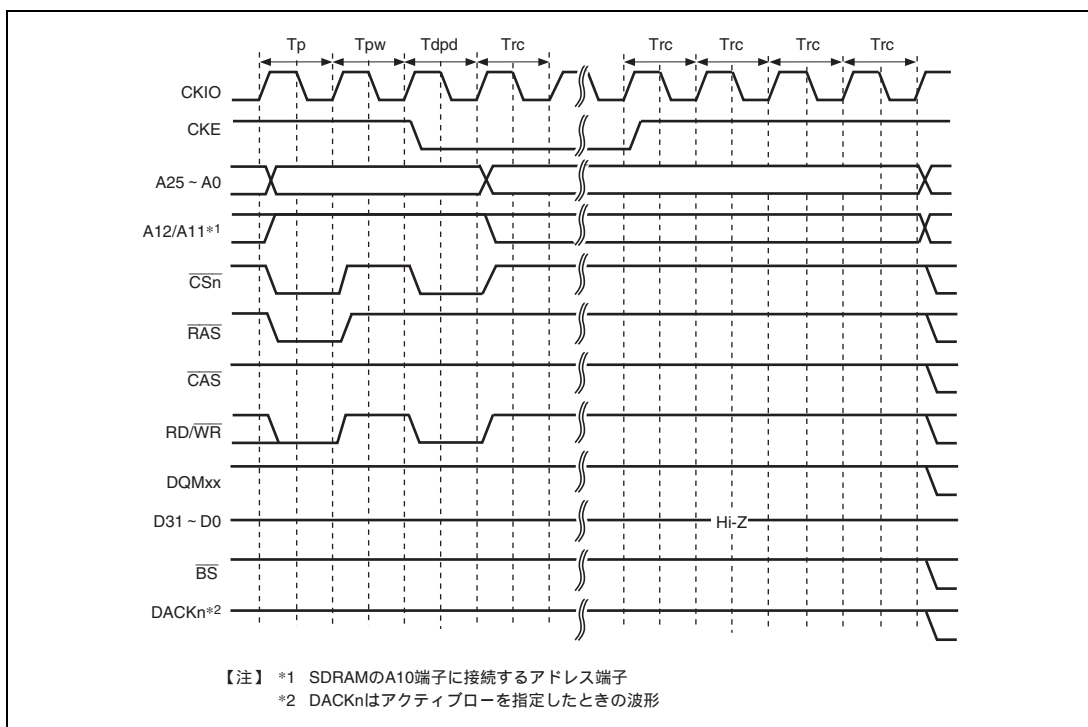


図 10.32 ディープパワーダウンモード遷移タイミング

10.5.7 バースト ROM (クロック非同期) インタフェース

バースト ROM (クロック非同期) インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に \overline{RD} 信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKIO の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック非同期) アクセス時は、 \overline{BS} 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM (クロック非同期) インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 10.20 にバス幅およびアクセスサイズとバースト数の関係を、図 10.33 にタイムチャートを示します。

表 10.20 バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	CSnWCR.BST[1:0] ビット	バースト数	アクセス回数
8 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	2	1
	32 ビット	影響なし	4	1
	16 バイト	00	16	1
01		4	4	
16 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	2	1
	16 バイト	00	8	1
		01	2	4
		10*	4	2
		2、4、2	3	
32 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	1	1
	16 バイト	影響なし	4	1

【注】 * バス幅 16 ビット、アクセスサイズ 16 バイト、CSnWCR.BST[1:0] が "10" の場合、アクセス先頭アドレスによってバースト数とアクセス回数が変わり、H'xxx0、H'xxx8 番地の場合 4-4 バースト、H'xxx4、H'xxxC 番地の場合 2-4-2 バーストアクセスとなります。

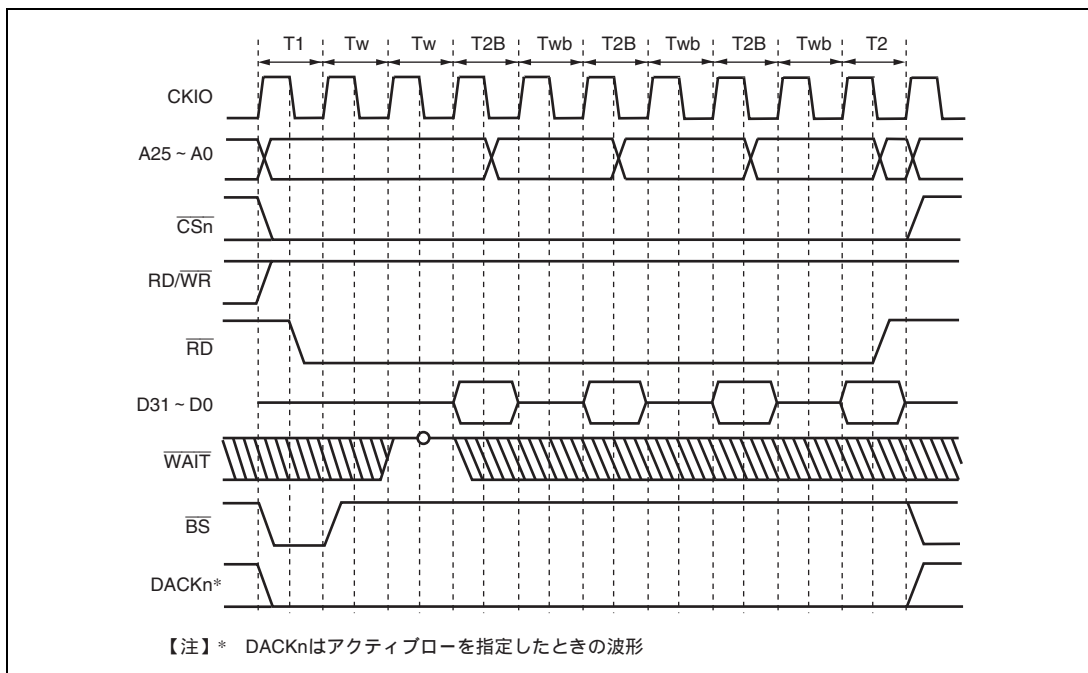


図 10.33 バースト ROM (クロック非同期) アクセス
(バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

10.5.8 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 (\overline{WE}_n) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

CS_nWCR の BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 \overline{WE}_n 端子のタイミングが通常空間インタフェースと異なり、 \overline{WE}_n 端子からバイト選択信号を出力します。図 10.34 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 (\overline{WE}_n) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

CS_nWCR の BAS ビットが 1 のとき、 \overline{WE}_n 端子と RD/\overline{WR} 端子のタイミングが変化します。図 10.35 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 (RD/\overline{WR}) のタイミングでメモリに書き込まれます。 RD/\overline{WR} のネグートタイミングからのライトデータのホールドタイミングは、 CS_nWCR の $HW[1:0]$ ビットを設定することにより確保してください。図 10.36 にソフトウェア設定時のアクセスタイミングを示します。

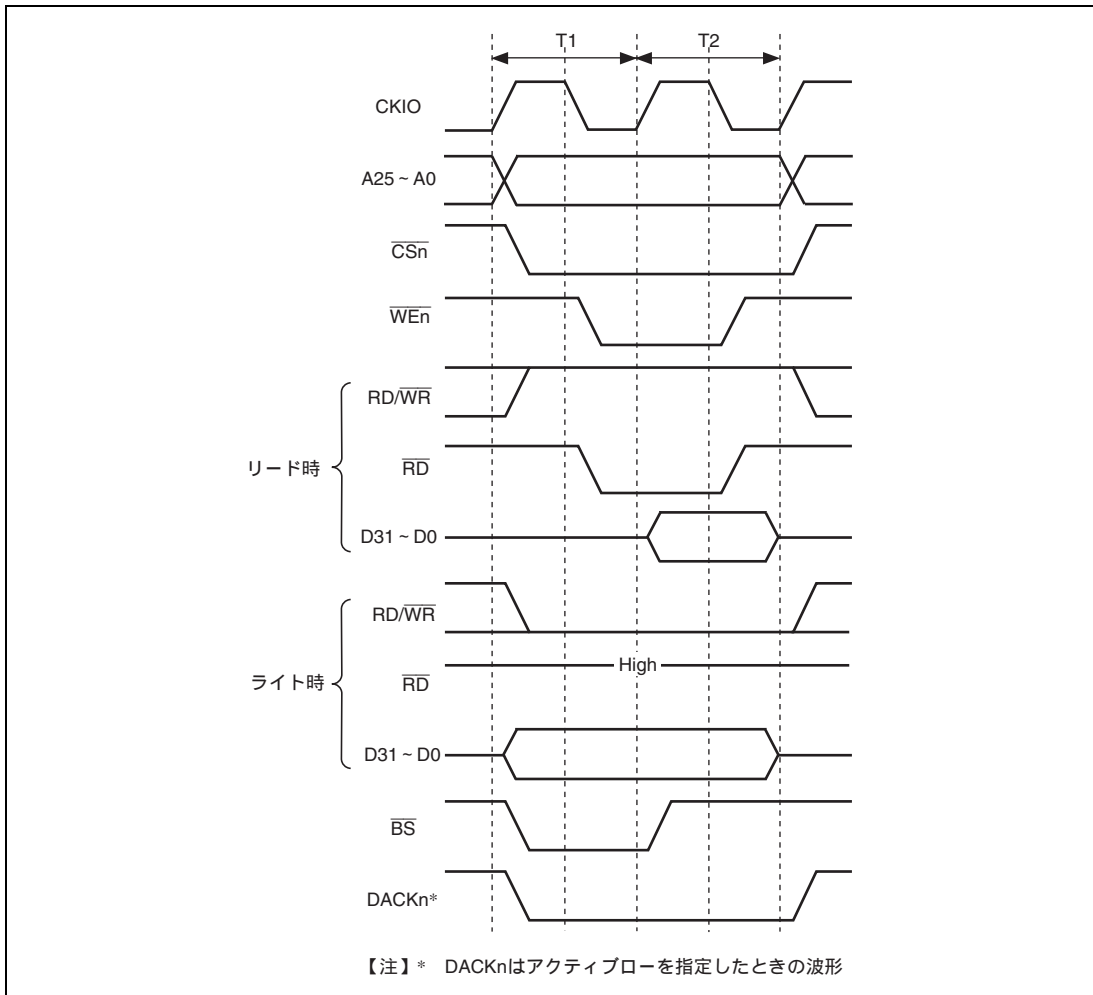


図 10.34 BAS=0、バイト選択付き SRAM 基本アクセスタイミング

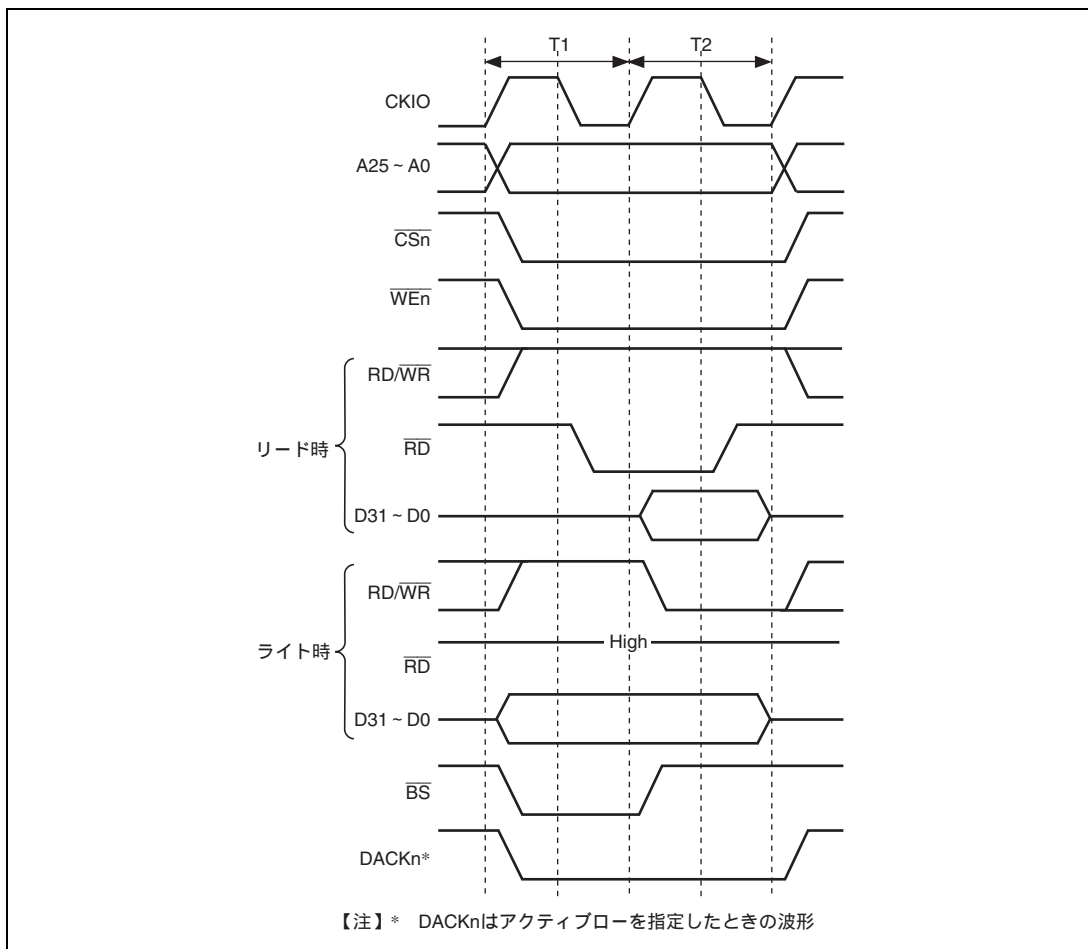


図 10.35 BAS=1、バイト選択付き SRAM 基本アクセスタイミング

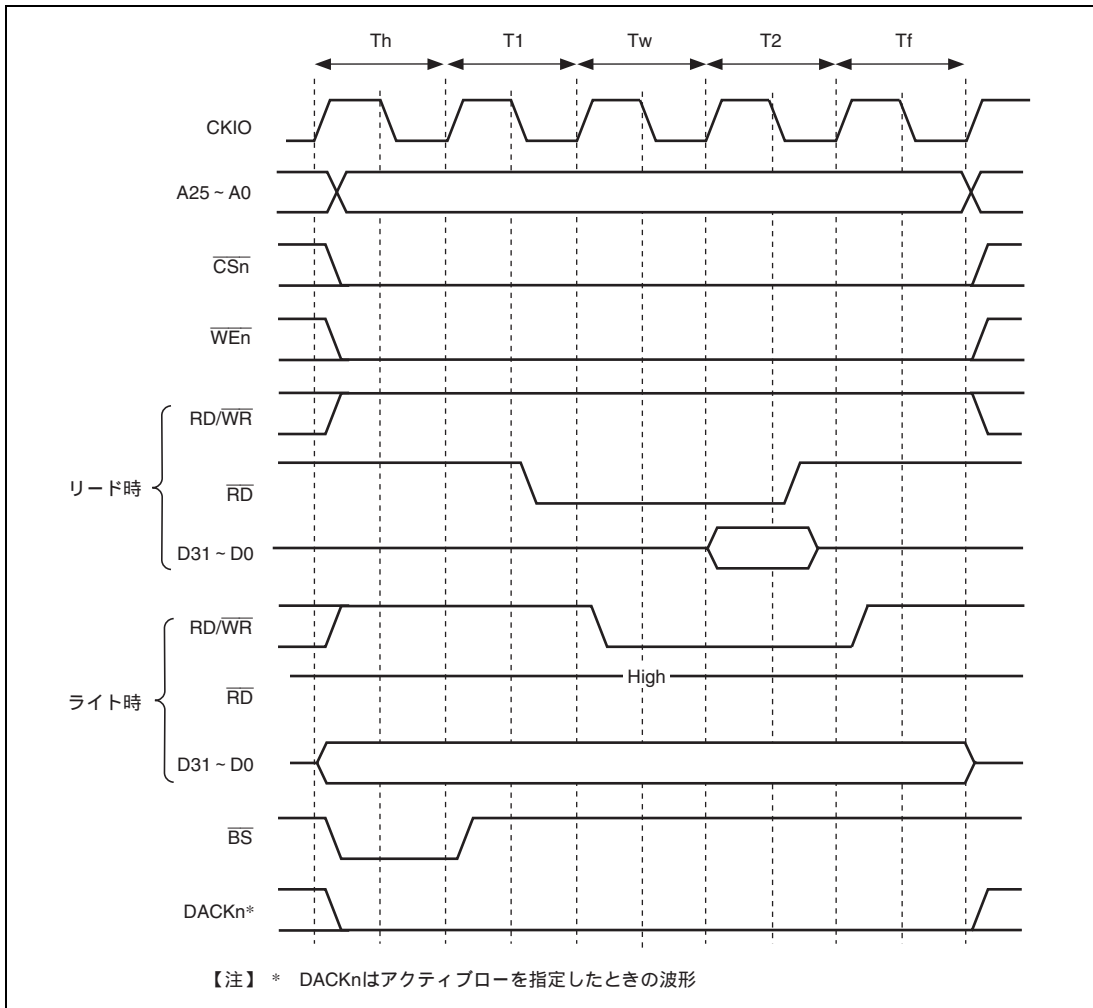


図 10.36 BAS=1、バイト選択付き SRAM ウェイトタイミング
(SW[1:0]=01、WR[3:0]=0001、HW[1:0]=01)

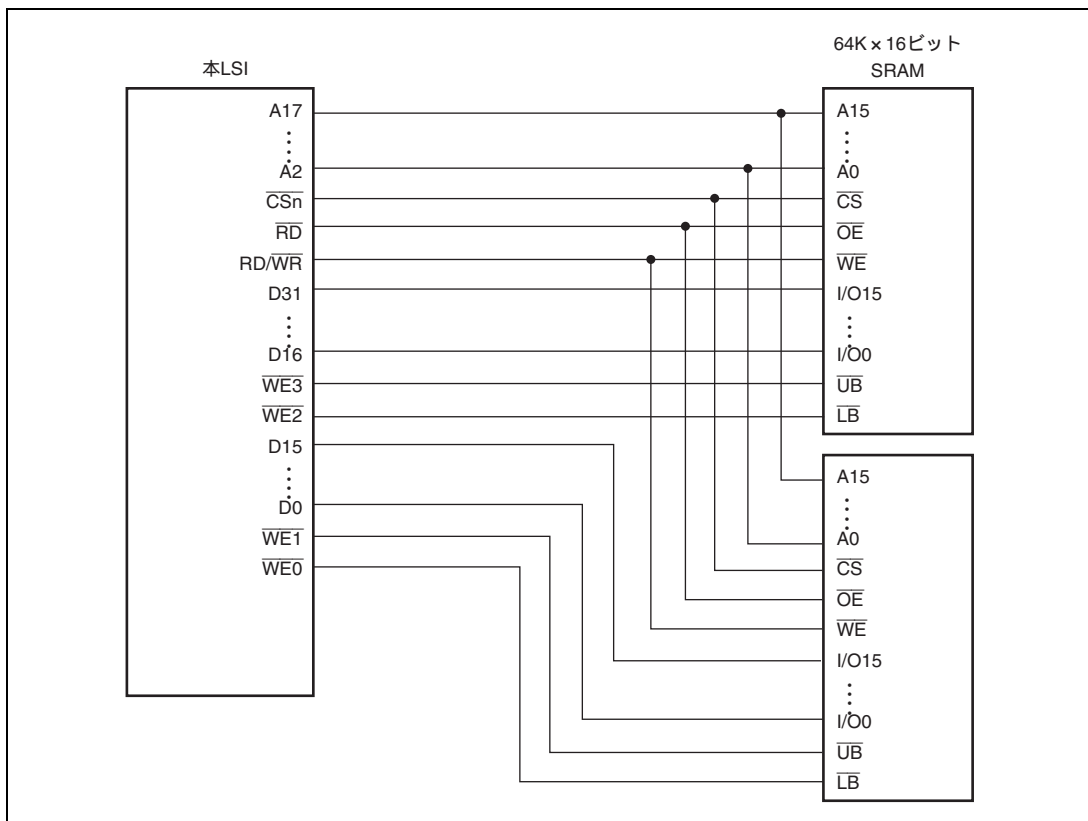


図 10.37 32 ビットデータ幅バイト選択付き SRAM 接続例

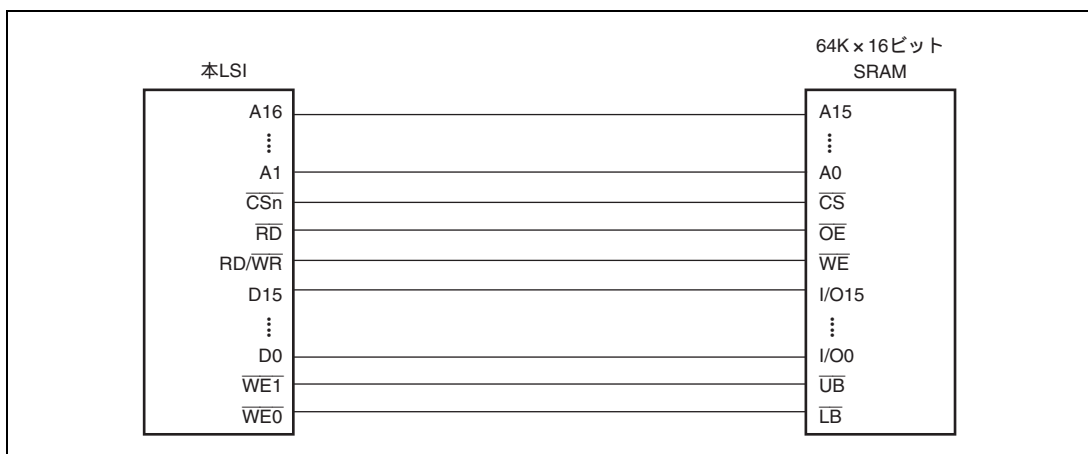


図 10.38 16 ビットデータ幅バイト選択付き SRAM 接続例

10.5.9 PCMCIA インタフェース

本 LSI では、エリア 5 が CS5BCR の TYPE[2:0] ビットを B'101 に設定することで、JEIDA 仕様 Ver4.X PCMCIA2.1 Rev2.1) で定める IC メモリカードおよび I/O カードインタフェースになります。CS5WCR の SA[1:0] ビットによりエリア 5 の前半 32MB と後半の 32MB に対して IC メモリカードあるいは I/O カードインタフェースに設定できます。たとえば、CS5WCR の SA1 ビットを 1 に、また CS5WCR の SA0 ビットを 0 に設定するとエリア 5 の前半の 32MB が IC メモリカードインタフェースおよび後半の 32MB が I/O カードインタフェースとなります。

PCMCIA インタフェースを使用する場合は、CS5BCR の BSZ[1:0] ビットによって、バスサイズは 8 ビットまたは 16 ビットに設定してください。

図 10.39 に本 LSI で PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入（システムの電源を供給中にカードの抜き差しを行うこと）を行えるようにするため、本 LSI のバスインタフェースと PCMCIA カードの間に 3 ステートバッファを接続する必要があります。

JEIDA および PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

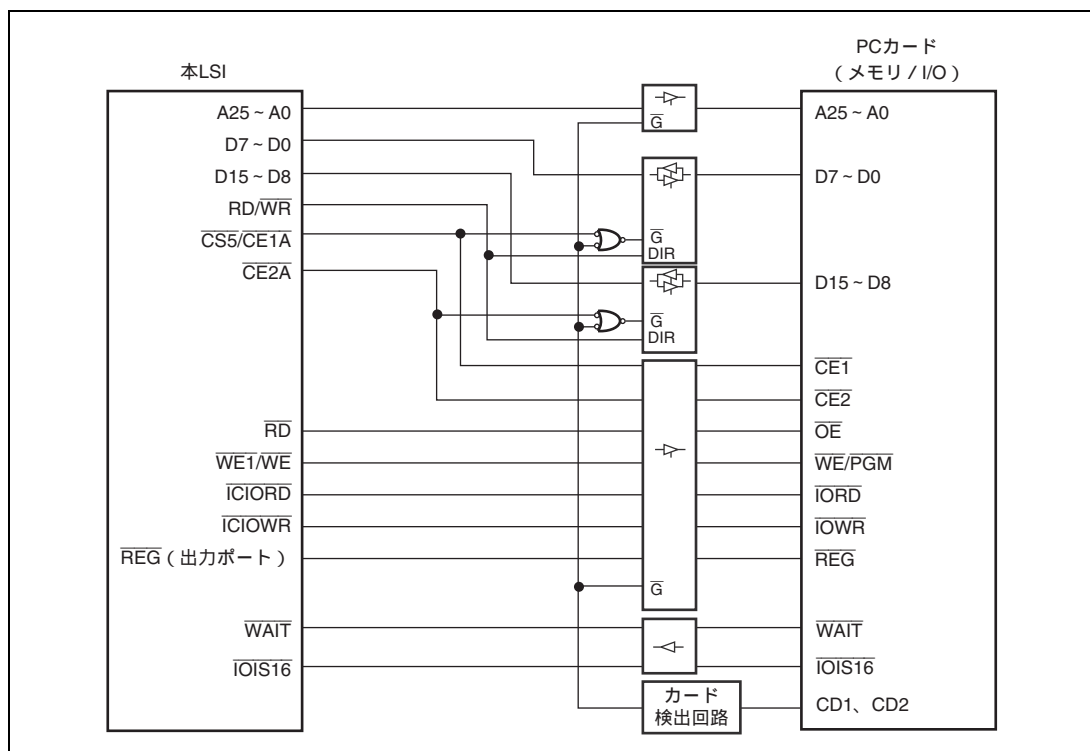


図 10.39 PCMCIA インタフェース接続例

(1) メモリカードインタフェース基本タイミング

図 10.40 に PCMCIA の IC メモリカードインタフェースの基本タイミングを示します。エリア 5 を PCMCIA インタフェースに設定した場合は、CS5WCR の SA[1:0] ビットの設定に従い、IC メモリカードインタフェースとしてバスアクセスを行うことができます。外部バス周波数 (CKIO) が高くなると、 \overline{RD} や \overline{WE} に対してアドレス (A25 ~ A0)、カードイネーブル ($\overline{CE1A}$ 、 $\overline{CE2A}$)、書き込みサイクル時の書き込みデータ (D15 ~ D0) のセットアップ時間、およびホールド時間が足りなくなります。これに対して、本 LSI では CS5WCR によってエリア 5 に対して、それぞれセットアップ時間およびホールド時間を設定することができます。また、通常空間インタフェースと同じようにソフトウェアウェイトおよび \overline{WAIT} 端子によるハードウェアウェイトを行うことができます。図 10.41 に PCMCIA メモリバスウェイトタイミングを示します。

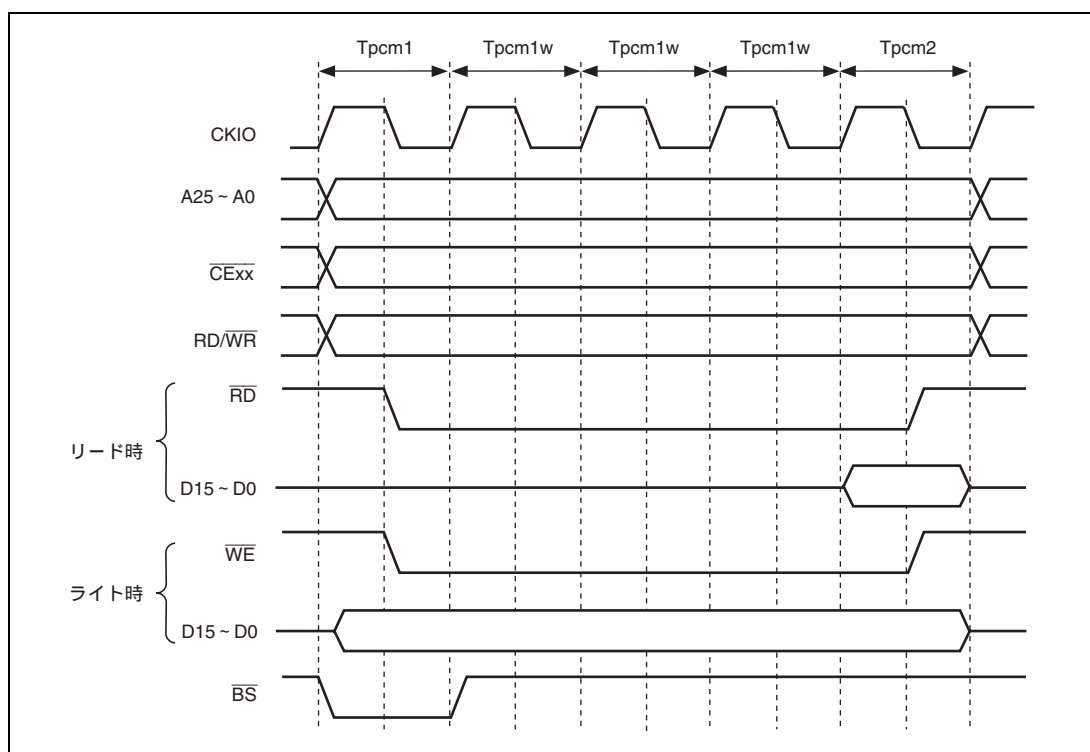


図 10.40 PCMCIA メモリカードインタフェース基本タイミング

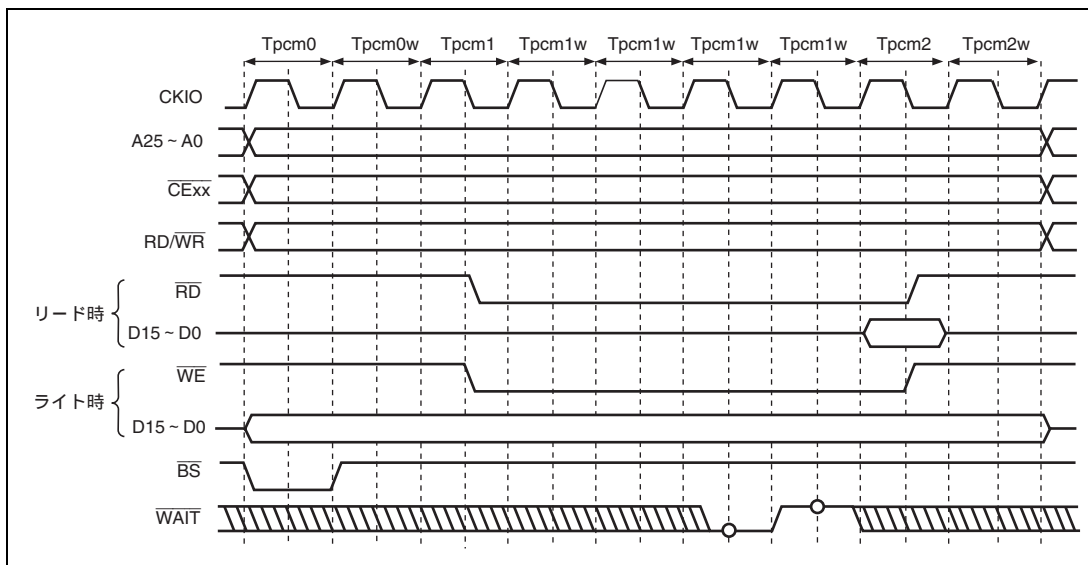


図 10.41 PCMCIA メモリカードインタフェースウェイトタイミング
(TED[3:0]=B'0010、PCW[3:0]=B'0000、TEH[3:0]=B'0001、ハードウェイト 1)

コモンメモリとアトリビュートメモリの切り替え信号 \overline{REG} はポートなどを利用して生成します。また、一例として図 10.42 に示すように、コモンメモリとアトリビュートメモリの合計のメモリ空間が 32M バイト以下で足りる場合は、A24 端子を \overline{REG} 信号として利用することで、コモンメモリ空間 16M バイトとアトリビュートメモリ空間 16M バイトとして使うことができます。

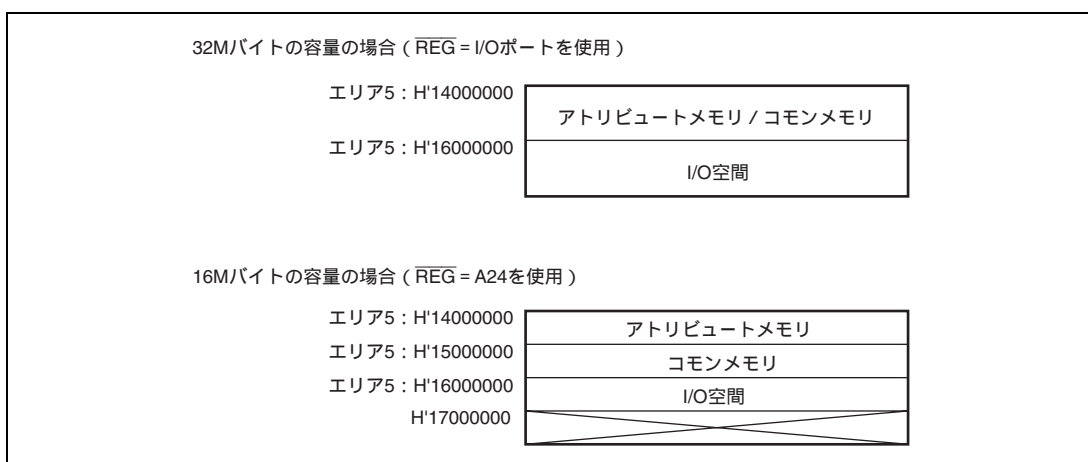


図 10.42 PCMCIA 空間割り付け例 (CS5WCR.SA[1:0]=B'10)

(2) I/O カードインタフェース基本タイミング

図 10.43 および図 10.44 に PCMCIA の I/O カードインタフェースのタイミングを示します。

PCMCIA の I/O カードをアクセスする場合は、キャッシュ無効領域に対してアクセスしてください。

I/O カードインタフェースと IC メモリカードインタフェースの切り替えは、CS5WCR の SA[1:0]ビットの設定に従い、アクセスするアドレスによって行います。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとしてアクセスする場合には、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 5 のバス幅を 16 ビットに設定しているときに、ワードサイズの I/O カードバスサイクル中に $\overline{\text{IOIS16}}$ 信号がハイレベルの場合に、8 ビットバス幅であると認識され、実行中の I/O カードバスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

$\overline{\text{IOIS16}}$ 信号は、TED[3:0]ビットの設定を 1.5 サイクル以上に設定したときの Tpci0 およびすべての Tpci0w サイクルにおける CKIO の立ち下がりでサンプリングされ、Tpci0 のサンプリングポイントから CKIO1.5 サイクル後に $\overline{\text{CE2A}}$ 信号に反映されます。すべてのサンプリングポイントで $\overline{\text{IOIS16}}$ 信号を確定させ、途中で変化することのないようにしてください。

ご使用になる PC カードの $\overline{\text{ICIOR}}\overline{\text{D}}$ と $\overline{\text{ICIOR}}\overline{\text{WR}}$ から $\overline{\text{CE1}}$ のセットアップの規格を満たすように、TED[3:0]ビットを設定してください。

ダイナミックバスサイジングの基本波形を図 10.44 に示します。

なお、ビッグエンディアンモードでは、 $\overline{\text{IOIS16}}$ 信号をサポートしません。ビッグエンディアンモード時には、 $\overline{\text{IOIS16}}$ 信号をローレベルに固定してください。

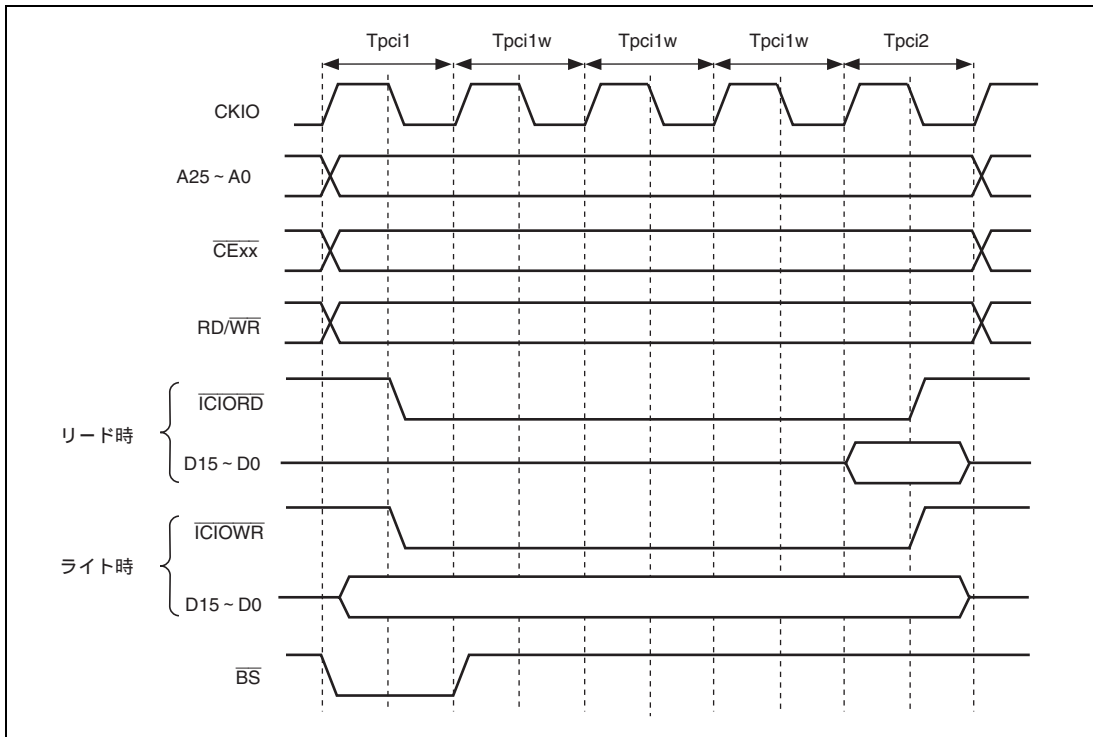


図 10.43 PCMCIA I/O カードインタフェース基本タイミング

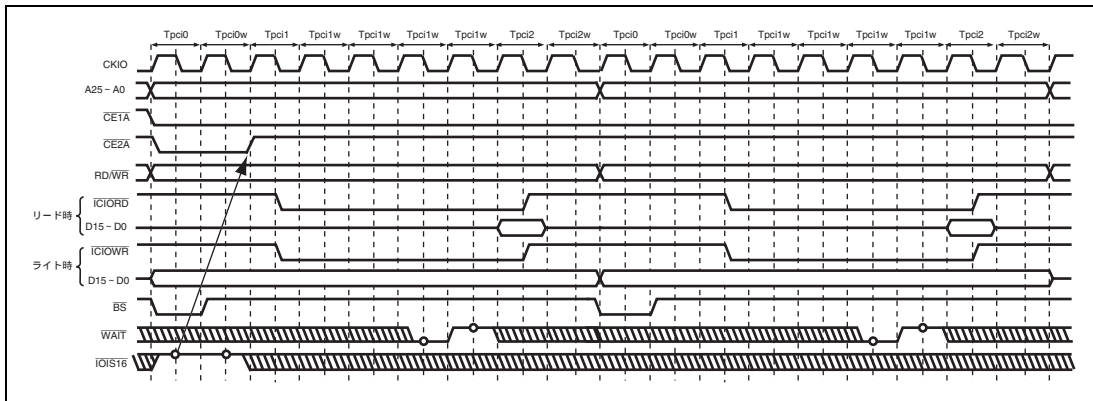


図 10.44 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング
 (TED[3:0]=B'0010、PCW[3:0]=B'0000、TEH[3:0]=B'0001、ハードウェイト1)

10.5.10 バースト ROM (クロック同期) インタフェース

バースト ROM (クロック同期) インタフェースは、シンクロナスバースト機能を有する ROM を高速にアクセスするためのものです。基本的には、通常空間と同じようなアクセスを行います。本インタフェースは、エリア 0 でのみ設定可能です。

最初のアクセスサイクルに対しては、CS0WCR の W[3:0]ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CS0WCR の BW[1:0]ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック同期) アクセス時は、 \overline{BS} 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のときにのみ有効です。

メモリの設定はバス幅が 16 ビット時にはバースト長は 8、バス幅が 32 ビット時はバースト長は 4 に設定してください。バス幅 8 ビットはサポートしていません。

本インタフェースではすべてのリードアクセスに対して、バースト動作を行います。たとえば 16 ビットバス幅でロングワードアクセス時は、必要な 2 データの読み込みを行った後に、残りの不要な 6 データの空読み出しを行います。

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下および DMA 転送速度の低下を招くので、キャッシュ有効空間でのキャッシュフィルによる 16 バイトリードや、DMA による 16 バイトリードを有効に活用することが重要です。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

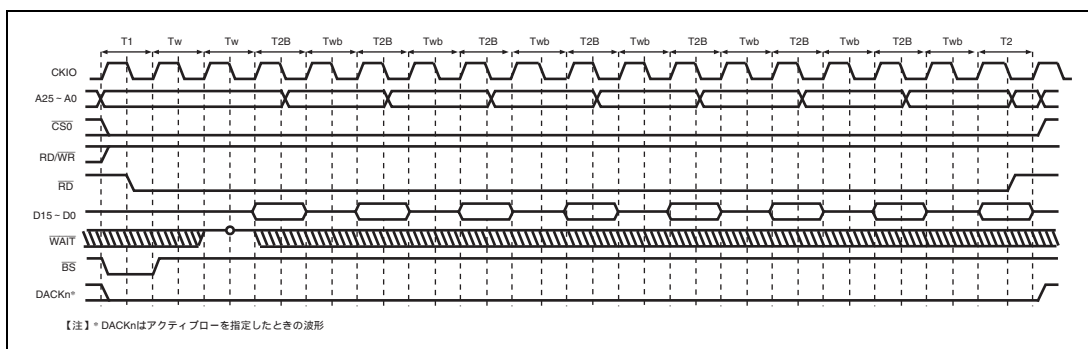


図 10.45 バースト ROM (クロック同期) アクセス
(バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

10.5.11 アクセスサイクル間アイドル

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間アイドル（ウェイト）を挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間アイドルのサイクル数は、CSnWCR の WM ビットおよび CSnBCR の IWW[2:0]、IWRWD[2:0]、IWRWS[2:0]、IWRRD[2:0]、IWRRS[2:0]の各ビット、および CMNCR の DMAIW[2:0]、DMAIWA ビットで指定します。アクセスサイクル間アイドルは、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合
6. DMAシングルアドレス転送で外部デバイスによるデータ出力サイクル後の本LSIを含む別デバイスによるデータ出力の場合（DMAIWA = 0）
7. DMAシングルアドレス転送で外部デバイスによるデータ出力サイクル後にアクセス発生の場合（DMAIWA = 1）

上記のアクセスサイクル間アイドルサイクル数の指定については、各レジスタの説明を参照してください。

これらのレジスタで指定するアクセスサイクル間ウェイトのアイドルサイクル以外に、内部バスとのインタフェースや、マルチプレクスされた端子（ \overline{WE}_n ）の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。以下にアイドルサイクルの詳細、アイドルサイクル数の試算方法について説明します。

\overline{CS}_n ネゲートから \overline{CS}_n または \overline{CS}_m アサートまでの外部バスアイドルサイクル数について説明します。ここで \overline{CS}_n および \overline{CS}_m には、PCMCIA の $\overline{CE2A}$ も含まれます。

外部バスのアイドルサイクル数を定める項目としては、表 10.21 の 8 項目があります。これらの関係を図 10.46 に示します。

表 10.21 アイドルサイクル数を決める項目

項番	内容	説明	範囲	注意事項
(1)	CMNCR.DMAIW[2:0] 設定	DMA によるシングルアドレス転送時のアイドルサイクル数を指定します。シングルアドレス転送時のみ有効になる項目で、アクセス終了後に発生するアイドルサイクルです。	0~12	アイドル数を 0 に設定すると、DACK 信号が連続アサートする場合があります。DACK 付きデバイスの認識するサイクル数とダイレクトメモリアクセスコントローラ転送数に不一致が発生し、誤動作につながりますので、ご注意ください。
(2)	CSnBCR.IW***[2:0] 設定	シングルアドレス転送以外の場合のアイドルサイクル数を指定します。前後サイクルの組み合わせごとに指定できます。たとえば CS1 空間リード後の他 CS 空間リードの場合に、アイドル数を 6 サイクル以上に設定したい場合、CS1BCR.IWRRD[2:0]を B'100 に設定します。シングルアドレス転送以外の時のみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0~12	連続アクセスできないメモリ種の場合には、0 に設定しないようにご注意ください。
(3)	CSnWCR の SDRAM 関係設定	SDRAM アクセス時のプリチャージ完了 / 起動待ち、コマンド間アイドル数を指定します。SDRAM アクセス時のみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0~3	使用する SDRAM のスペックに合わせて設定してください。
(4)	CSnWCR.WM ビット設定	SDRAM 以外のメモリでは、外部 WAIT 端子入力を有効 / 無効にする設定ができます。0 (外部 WAIT 有効) の場合、外部 WAIT 端子状態の評価のための 1 アイドルサイクルがアクセス終了後に挿入されます。1 (無効) の場合には、本アイドルサイクルは発生しません。	0~1	
(5)	リードデータ転送サイクル	リードアクセスの終了後に発生する 1 アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0]が B'00 以外の場合にも発生しません。	0~1	SDRAM、PCMCIA のリードサイクルでは必ず 1 サイクルのアイドルが発生します。

項番	内容	説明	範囲	注意事項
(6)	内部バスアイドル ほか	CPU、ダイレクトメモリアクセスコントローラなどからの外部バスアクセス要求および結果の受け渡しは、内部バスを経由します。内部バスのアイドルサイクルおよび外部バス以外のアクセス中は、外部バスはアイドル状態になります。外部データバス幅以上のアクセスサイズの場合、本モジュールで分割アクセスを行います。分割サイクル間では内部バスアイドルサイクル他の影響はありません。	0~	I : B : CKIO のクロック比によっては内部バスアイドル数が"0"にならない場合があります。クロック比と内部バスの最小アイドル数の関係を表 10.22、表 10.23 に示します。
(7)	ライトデータ到着 待ちサイクル	ライトアクセスの場合、ライトデータの到着を待ってから外部バスのライトサイクルが発生します。このライトデータ待ちがライトサイクルの前に発生するアイドルサイクルになります。ただし、前サイクルがライトの場合で、内部バスアイドル他が前アクセスのライトサイクル長より短い場合、前アクセスと平行して処理されるため、本アイドルサイクルは発生しません(ライトバッファ効果)。	0~1	ライト ライトおよびライトリードアクセスの場合、左記ライトバッファの効果で、連続アクセスが発生しやすくなります。連続アクセスできない場合は、CSnBCRなどでサイクル間アイドルの最低数を指定してください。
(8)	異種メモリ間 アイドル	ピンマルチ端子の最小パルス幅確保のために、メモリ種切り替え後のアクセスが発生する前に、アイドルサイクルが挿入される場合があります。メモリ種によっては、メモリ種切り替えを行わなくてもアイドルサイクルが発生するものもあります。	0~2	メモリ種ごとに決まっています。表 10.24 を参照してください。

(1)/(2)項(どちらか一方が有効になります)、(3)/(4)項(どちらか一方が有効になります)、(5)+(6)+(7)項(順番に発生するので加算されます)および(8)項の4項目が平行して発生しますので、これらのうち最大のものが外部バスアイドル数となります。最低アイドル数を確保する場合には、(1)/(2)項のレジスタ設定を行ってください。

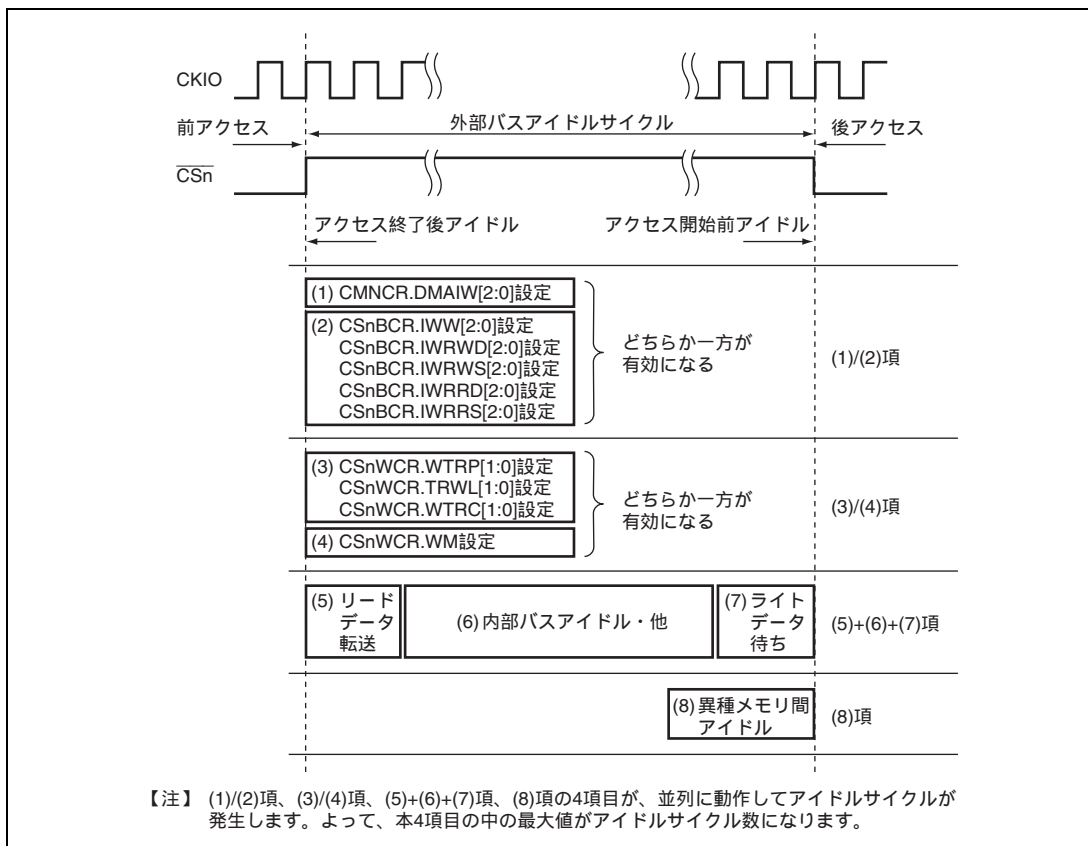


図 10.46 アイドルサイクルの構成

表 10.22 内部バスの最小アイドル数 (CPU 動作)

CPU 動作	クロック比 (I : B : CKIO)				
	4 : 2 : 1	4 : 1 : 1	2 : 2 : 1	2 : 1 : 1	1 : 1 : 1
ライト ライト	1	2	2	2	3
ライト リード	0	0	0	0	0
リード ライト	1	2	2	2	3
リード リード	0	0	1	0	1

表 10.23 内部バスの最小アイドル数 (ダイレクトメモリアクセスコントローラ動作)

転送モード	リードライト動作	クロック比 (B : CKIO)	
		2 : 1	1 : 1
デュアルアドレス	ライト ライト* ¹	0	0
	ライト リード	0	0
	リード ライト	0	0
	リード リード* ¹	0	0
シングルアドレス (DREQはレベル検出)* ²	ライト ライト	3	6
	リード リード	2	5
シングルアドレス (DREQはエッジ検出)* ²	ライト ライト	0	1
	リード リード	1	2

【注】 *¹ デュアルアドレスのライト ライト、リード リード動作は分割されたサイクルの実行中です。

*² シングルアドレスの「ライト」は DACK 付きデバイス 外部メモリ、「リード」は外部メモリ DACK 付きデバイスへの転送です。

表 10.24 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

		後サイクル							
		SRAM	バースト ROM (非同期)	MPX-I/O	バイト SRAM (BAS=0)	バイト SRAM (BAS=1)	SDRAM	PCMCIA	バースト ROM (同期)
前 サ イ ク ル	SRAM	0	0	1	0	0/1* ¹	0/1* ¹	0	0
	バースト ROM (非同期)	0	0	1	0	0/1* ¹	0/1* ¹	0	0
	MPX-I/O	1	1	0	1	1	1	1	1
	バイト SRAM (BAS=0)	0	0	1	0	0/1* ¹	0/1* ¹	0	0
	バイト SRAM (BAS=1)	0/1* ¹	0/1* ¹	1/2* ¹	0/1* ¹	0	0	0/1* ¹	0/1* ¹
	SDRAM	1	1	2	1	0	0	1	1
	PCMCIA	0	0	1	0	0/1* ²	0/1* ²	0	0
	バースト ROM (同期)	0	0	1	0	1	1	0	0

【注】 *¹ 前サイクルの CSnWCR.HW[1:0]ビットの設定で、アイドルサイクル数が決まります。HW[1:0] = B'00 の場合には左側のアイドルサイクル数、HW[1:0] = B'01 の場合には右側のアイドルサイクル数になります。
また、前サイクルが CSnWCR.HW[1:0]ビットが存在しない CSn 空間の場合には、右側のアイドルサイクル数になります。

*² 前サイクルの CSnWCR.TEH[3:0]ビットの設定で、アイドルサイクル数が決まります。TEH[3:0] = B'0000 の場合には左側のアイドルサイクル数、TEH[3:0] = B'0001 の場合には右側のアイドルサイクル数になります。

サイクル間アイドルの最低数を試算する例を図 10.47 に示します。なお、実際の動作ではライトバッファの効果により試算値よりもアイドルサイクルが短くなったり、CPU の命令実行や CPU レジスタ競合によるスプリットにより内部バスアイドルサイクルが発生して試算値よりもアイドルサイクルが増加することがありますので、試算値を使用する場合には、これらの誤差の発生を見込んでおいてください。

項目	R R	R W	W W	W R	備 考
(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため
(3)/(4)	0	0	0	0	WMビットが1であるため
(5)	1	1	0	0	リードサイクル後に発生
(6)	0	2	2	0	表10.22のI : B : CKIO = 4:1:1の部分を参照
(7)	0	1	0	0	ライトバッファ効果で2回目では発生しない
(5)+(6)+(7)	1	4	2	0	
(8)	0	0	0	0	SRAM SRAMであるため
試算アイドル サイクル数	1	4	2	0	(1)/(2)項、(3)/(4)項、(5)+(6)+(7)項、(8)項の中の 最大値
実際に発生する アイドル数	1	4	2	1	W R で不一致が発生した原因は、(6)の内部アイドル 数を0と試算したが、実際にはループ判定命令の実行 のため、内部アイドルが発生したため。

図 10.47 アイドルサイクル数の試算例と実際の比較

10.5.12 バスアービトレーション

本 LSI でのバスアービトレーションは、通常状態でバス権を有し、他のデバイスからのバス権要求を受けてバスの解放を行います。

バス権の受け渡しはバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていないければ、ただちにバス権の解放を行います。バスサイクルの最中の場合は、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI 外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、 \overline{CSn} 信号その他のバス制御信号を見て、ただちにバスが解放されるかどうかを判断することはできません。バス解放が行われない状態を以下に示します。

1. キャッシュミスによる16バイト転送中
2. キャッシュのコピーバック中
3. TAS命令のリードサイクルとライトサイクル間
4. データバス幅がアクセスサイズよりも小さいことによって生じる複数のバスサイクル(たとえば8ビットデータバス幅のメモリにロングワードアクセスを行う場合のバスサイクル間)
5. ダイレクトメモリアクセスコントローラでの16バイト転送時
6. OpenVG™用ルネサスグラフィックスプロセッサ、歪み補正エンジンおよびビデオディスプレイコントローラ4での32バイト転送時
7. ビデオディスプレイコントローラ4での128バイト転送時
8. CMNCRのBLOCKビットを1に設定時
9. NANDフラッシュメモリコントローラによる外部フラッシュメモリのアクセス中

また、CMNCR の DPRTY[1:0]ビットによって、ダイレクトメモリアクセスコントローラバースト転送中にバス権使用要求の受け付けの有無を選択可能です。

本 LSI は、バス権要求を受けないかぎりバス権を保有しています。外部からのバス権要求 \overline{BREQ} のアサート(ローレベル)を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 \overline{BACK} をアサート(ローレベル)します。外部デバイスがバスを解放したことを示す \overline{BREQ} のネゲート(ハイレベル)を受けて \overline{BACK} をネゲート(ハイレベル)し、バスの使用を再開します。

SDRAM インタフェース使用時は、アクティブなバンクがある場合、全バンクプリチャージコマンド(PALL)を発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは次のとおりです。まず、CKIO の立ち上がりに同期してアドレスバスおよび、データバスをハイインピーダンスにします。この 0.5 サイクル後にバス使用許可信号を CKIO の立ち下がりに同期してアサートします。これに続く CKIO の立ち上がりで、バス制御信号 (\overline{BS} 、 \overline{CSn} 、 \overline{RAS} 、 \overline{CAS} 、CKE、 DQM_{xx} 、 $\overline{WE_n}$ 、 \overline{RD} 、および $\overline{RD}/\overline{WR}$) をハイインピーダンスにします。これらのバス制御信号は、遅くともハイインピーダンスにする 1 サイクル前には、ハイレベルにされています。バス権要求信号のサンプリングは、CKIO の立ち上がりで行います。なお、CKE、 \overline{RAS} 、 \overline{CAS} は、CMNCR の HIZCNT ビットの設定により、バス解放中でも直前の値でドライブし続けることもできます。

外部デバイスからバス権を再獲得するときのシーケンスは、次のとおりです。 $\overline{\text{BREQ}}$ のネゲートを CKIO の立ち下がり検出すると、1.5 サイクル後にバス制御信号は、ハイレベルでドライブを開始します。これに続くクロックの立ち下がり検出で、バス使用許可信号をネゲートします。アドレスバスおよびデータバスのドライブを開始するのは、これに続く CKIO の立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはアドレスおよびデータ信号をドライブするのと同じクロックの立ち上がりからです。バスアービトラージタイミングを図 10.48 に示します。

バス権解放中に SDRAM のリフレッシュが必要になった場合、バス権を返してもらう必要があります。リフレッシュ間隔の規定時間以上バス権を返さない場合、リフレッシュ実行ができないため SDRAM の内容の保証はできなくなりますのでご注意ください。

バス権解放中の SLEEP 命令の実行（スリープモード、ディープスタンバイモード、またはソフトウェアスタンバイモードへの遷移）は、本 LSI がバス権を獲得するまで実行されません。バス権解放中のマニュアルリセットも同様です。

ソフトウェアスタンバイモードまたはディープスタンバイモードのとき、 $\overline{\text{BREQ}}$ 入力は無視され、 $\overline{\text{BACK}}$ 出力はハイインピーダンス状態になります。この状態でバス権要求が必要な場合は、 $\overline{\text{BACK}}$ 端子をプルダウンしておくことにより、ソフトウェアスタンバイモードまたはディープスタンバイモードへの遷移と同時にバス権解放状態となります。

バス権要求（ $\overline{\text{BREQ}}$ のローレベルアサート）後のバス権解放（ $\overline{\text{BREQ}}$ のハイレベルネゲート）は、バス使用許可（ $\overline{\text{BACK}}$ のローレベルアサート）後に行ってください。 $\overline{\text{BACK}}$ アサート前に $\overline{\text{BREQ}}$ をネゲートすると、 $\overline{\text{BREQ}}$ ネゲートタイミングによっては $\overline{\text{BACK}}$ が 1 サイクルだけアサートされ、外部デバイスと本 LSI 間でバスの衝突が発生する可能性があります。

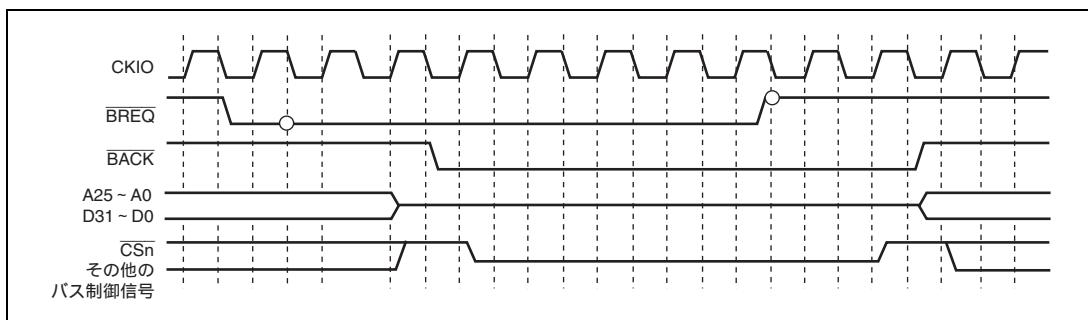


図 10.48 バスアービトラージ

10.5.13 その他

(1) リセット

本モジュールは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時にはリセットの内部クロック同期化後、バスサイクルの途中であるなしにかかわらずすべての信号をネゲートし、データ出力バッファをオフにします。また、制御レジスタはすべて初期化されます。ソフトウェアスタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り、終了まで実行されます。マニュアルリセット信号のアサート中も RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。

(2) LSI 内部バスマスタからみたアクセス

本 LSI の内部は、CPU バス、内部バス、および周辺バスの 3 つのバスに分割されています。CPU およびキャッシュメモリは CPU バスに、CPU を除く内部バスマスタおよび本モジュールは内部バスに、低速な周辺モジュールは周辺バスにそれぞれ接続されています。また、キャッシュメモリ以外の内蔵メモリは CPU バスと内部バスの双方に接続されています。CPU バスから内部バスのアクセスは行えますが、逆は行えません。このため以下のようなことが発生します。

CPU を除く内部バスマスタ (ダイレクトメモリアクセスコントローラなど) からキャッシュメモリ以外の内蔵メモリへのアクセスは行えますが、キャッシュメモリへのアクセスは行えません。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われ、その結果として外部メモリの内容とキャッシュの内容に食い違いが発生することがあります。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われた場合、その番地へのデータがキャッシュにある可能性があるときには、キャッシュメモリのページをソフトウェアで行う必要があります。

キャッシュ有効空間の場合、CPU が読み出しアクセスを開始し、キャッシュの検索が行われます。キャッシュにデータが保持されている場合は、これを取り込みアクセスは完了します。キャッシュ内にデータがない場合には、内部バスを介してキャッシュデータのフィルを行うため、4 つの連続したロングワードリードが起動されます。バイトまたはワードオペランドアクセス時および奇数ワード境界 ($4n+2$) への分岐時のミスヒットに関しても、チップ外部インタフェース上は必ず 4 つのロングワードアクセスでフィルを行います。キャッシュ無効空間の場合は、実際のアクセスアドレスに従ってアクセスを行います。アクセスが偶数ワード境界 ($4n$) への命令フェッチの場合にはロングワードアクセス、奇数ワード境界 ($4n+2$) への命令フェッチの場合にはワードアクセスとなります。

内蔵周辺モジュールの読み出しサイクルの場合は、内部バスと周辺バスを介して読み出しサイクルが起動されます。読み出しデータは、周辺バス、内部バス、CPU バスを經由して CPU に送られます。

キャッシュ有効空間での書き込みサイクルは、キャッシュのライト方式により動作が異なります。

ライトバックモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュに書き込みを行います。実際のメモリへの書き込みは、該当アドレスの置き換えが発生するまで行われません。該当アドレスのデータがなかった場合には、キャッシュの更新が行われます。まず置き換え対象となるデータを内部バッファへ退避し、次に該当アドレスのデータを含む 16 バイトのデータ読み出しを行い、該当アドレスのデータを更新します。それに続き、最初に退避した 16 バイトのデータの書き戻しサイクルが行われます。

ライトスルーモード時は、キャッシュの検索を行い、該当アドレスのデータがあった場合にはキャッシュへの書き込みと並行して内部バスを經由して実際の書き込みが行われます。該当アドレスのデータがなかった場合には、キャッシュの更新は行わずに内部バスを經由して実際の書き込みのみ行われます。

本モジュールには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

ダイレクトメモリアccessコントローラなどの別のバスマスタからのアクセスでも、同様に本モジュールのライトバッファは働きます。したがって、デュアルアドレスの DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

なお、ライトバッファの動作中に本モジュールのレジスタを変更すると、正しいライトアクセスができなくなりますので、ライトアクセス直後に本モジュールのレジスタの変更は行わないでください。必要な場合にはライトデータのダミーリードを実行後に本モジュールのレジスタを変更してください。

(3) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (P0 または P1) で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR1 レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR1 レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR1 レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

(4) NAND フラッシュメモリコントローラによる外部フラッシュメモリのアクセス

本製品では、外部データバスの一部を NAND フラッシュメモリコントローラのデータバスと兼用しています。データバス使用の制御は、NAND フラッシュメモリコントローラから行われます。先行する本モジュールの外部デバイスアクセスが完了してから、NAND フラッシュメモリコントローラアクセスが開始されます。NAND フラッシュメモリコントローラアクセス中の本モジュールの外部デバイスアクセスは、NAND フラッシュメモリコントローラアクセス完了まで待たされます。

NAND フラッシュメモリコントローラアクセス要求と外部バス解放要求の競合時は、先に受け付けた要求アクセスが優先されます。同時要求の場合には NAND フラッシュメモリコントローラアクセスが優先されます。

NAND フラッシュメモリコントローラアクセス中でも SDRAM のオートリフレッシュおよびセルフリフレッシュは実行されます。

11. ダイレクトメモリアクセスコントローラ

ダイレクトメモリアクセスコントローラは、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、および内蔵周辺モジュール間のデータ転送を CPU に代わって高速に行うことができます。

11.1 特長

- チャンネル数：CH0～CH15の16チャンネル。その内、CH0で外部リクエストの受け付けが可能です。
- アドレス空間：アーキテクチャ上は4GB
- 転送データ単位：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216 (24ビット) 回
- アドレスモード：シングルアドレスモードとデュアルアドレスモードから選択可能
- 転送要求：外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能
内蔵周辺モジュールリクエストを発行できるモジュールには以下のモジュールがあります。
FIFO内蔵シリアルコミュニケーションインタフェース：16要因、
I²Cバスインタフェース3：8要因、A/D変換器：1要因、
マルチファンクションタイムパルスユニット2：5要因、コンペアマッチタイマ：2要因、
USB2.0ホスト/ファンクションモジュール：2要因、
NANDフラッシュメモリコントローラ：2要因、コントローラエリアネットワーク：3要因、
シリアルサウンドインタフェース：7要因、サンプリングレートコンバータ：6要因、
サウンドジェネレータ：4要因、ルネサスSPDIFインタフェース：2要因、
CD-ROMデコーダ：1要因、SDホストインタフェース：4要因、
MMCホストインタフェース：2要因、ルネサスシリアルペリフェラルインタフェース：4要因、
ルネサスクワッドシリアルペリフェラルインタフェース：4要因、
FIFO付きクロック同期シリアルI/O：2要因、モータコントロールPWMタイマ：2要因
- バスモード：サイクルスチールモード (通常モードまたはインターミットモード) およびバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードの2種類から選択可能
- 割り込み要求：データ転送1/2終了時またはデータ転送終了時にCPUへ割り込み要求を発生可能
CHCRのHEビット、HIEビットにより、DMA転送が初期設定の1/2回終了した時点でCPUに対する割り込みを設定します。
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能

- 転送要求受け付け信号・転送終了信号：DACKおよびTENDはアクティブレベルを設定可能
- DMA設定のレジスタにリロード機能を備えていますので、実行中のDMA転送と同じ設定でのDMA転送を再設定することなく繰り返し実行することができます。また、DMA転送中にリロードレジスタをあらかじめ設定しておくことで、次回のDMA転送を異なる設定で実行することができます。

このリロード機能は、チャンネルごと、リロードレジスタごとにON/OFFの設定が可能です。

図 11.1 にブロック図を示します。

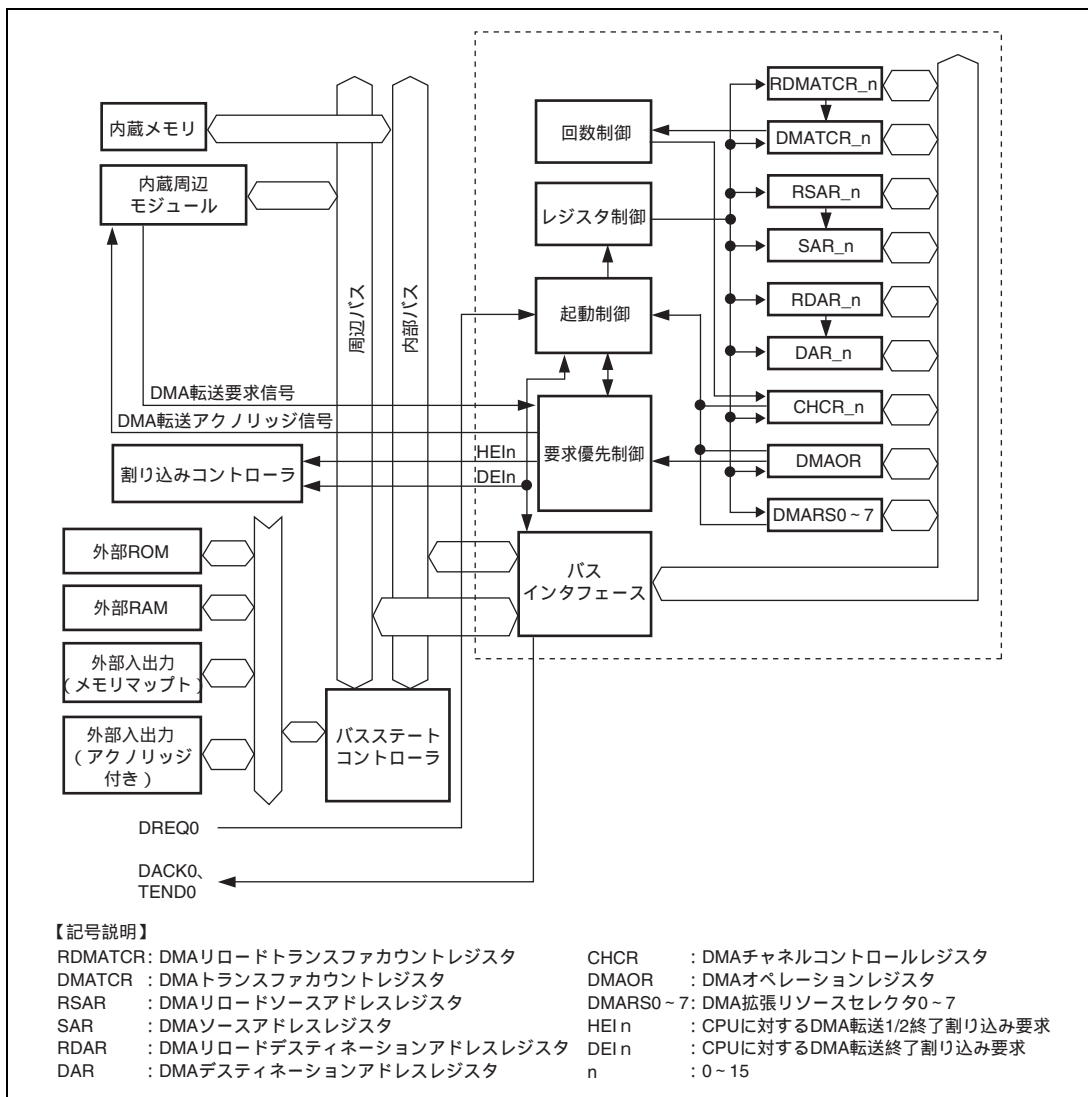


図 11.1 ブロック図

11.2 入出力端子

表 11.1 に端子構成を示します。本モジュールは、外部バス用に 1 チャンネル分の端子 (CH0) を持っています。

表 11.1 端子構成

チャンネル	名称	端子名	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	本モジュールチャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力
	DMA 転送終了	TEND0	出力	本モジュールチャンネル 0 の DMA 転送終了出力

11.3 レジスタの説明

表 11.2 にレジスタ構成を示します。各チャンネルに 4 本の制御レジスタと 3 本のリロードレジスタがあり、すべてのチャンネルに共通な制御レジスタが 1 本あります。さらに、2 チャンネルごとに 1 本の拡張リソースセクタレジスタがあります。各チャンネルのレジスタについては、チャンネル 0 の SAR は SAR_0 のように表記しています。

表 11.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	DMA ソースアドレスレジスタ_0	SAR_0	R/W	H'00000000	H'FFFE1000	16、32
	DMA デスティネーションアドレス レジスタ_0	DAR_0	R/W	H'00000000	H'FFFE1004	16、32
	DMA トランスファカウントレジスタ_0	DMATCR_0	R/W	H'00000000	H'FFFE1008	16、32
	DMA チャンネルコントロールレジスタ_0	CHCR_0	R/W*	H'00000000	H'FFFE100C	8、16、32
	DMA リロードソースアドレス レジスタ_0	RSAR_0	R/W	H'00000000	H'FFFE1100	16、32
	DMA リロードデスティネーション アドレスレジスタ_0	RDAR_0	R/W	H'00000000	H'FFFE1104	16、32
	DMA リロードトランスファカウント レジスタ_0	RDMATCR_0	R/W	H'00000000	H'FFFE1108	16、32
1	DMA ソースアドレスレジスタ_1	SAR_1	R/W	H'00000000	H'FFFE1010	16、32
	DMA デスティネーションアドレス レジスタ_1	DAR_1	R/W	H'00000000	H'FFFE1014	16、32
	DMA トランスファカウントレジスタ_1	DMATCR_1	R/W	H'00000000	H'FFFE1018	16、32
	DMA チャンネルコントロールレジスタ_1	CHCR_1	R/W*	H'00000000	H'FFFE101C	8、16、32
	DMA リロードソースアドレス レジスタ_1	RSAR_1	R/W	H'00000000	H'FFFE1110	16、32
	DMA リロードデスティネーション アドレスレジスタ_1	RDAR_1	R/W	H'00000000	H'FFFE1114	16、32
	DMA リロードトランスファカウント レジスタ_1	RDMATCR_1	R/W	H'00000000	H'FFFE1118	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	DMA ソースアドレスレジスタ_2	SAR_2	R/W	H'00000000	H'FFFE1020	16、 32
	DMA デスティネーションアドレス レジスタ_2	DAR_2	R/W	H'00000000	H'FFFE1024	16、 32
	DMA トランスファカウントレジスタ_2	DMATCR_2	R/W	H'00000000	H'FFFE1028	16、 32
	DMA チャンネルコントロールレジスタ_2	CHCR_2	R/W*1	H'00000000	H'FFFE102C	8、 16、 32
	DMA リロードソースアドレス レジスタ_2	RSAR_2	R/W	H'00000000	H'FFFE1120	16、 32
	DMA リロードデスティネーション アドレスレジスタ_2	RDAR_2	R/W	H'00000000	H'FFFE1124	16、 32
	DMA リロードトランスファカウント レジスタ_2	RDMATCR_2	R/W	H'00000000	H'FFFE1128	16、 32
3	DMA ソースアドレスレジスタ_3	SAR_3	R/W	H'00000000	H'FFFE1030	16、 32
	DMA デスティネーションアドレス レジスタ_3	DAR_3	R/W	H'00000000	H'FFFE1034	16、 32
	DMA トランスファカウントレジスタ_3	DMATCR_3	R/W	H'00000000	H'FFFE1038	16、 32
	DMA チャンネルコントロールレジスタ_3	CHCR_3	R/W*1	H'00000000	H'FFFE103C	8、 16、 32
	DMA リロードソースアドレス レジスタ_3	RSAR_3	R/W	H'00000000	H'FFFE1130	16、 32
	DMA リロードデスティネーション アドレスレジスタ_3	RDAR_3	R/W	H'00000000	H'FFFE1134	16、 32
	DMA リロードトランスファカウント レジスタ_3	RDMATCR_3	R/W	H'00000000	H'FFFE1138	16、 32
4	DMA ソースアドレスレジスタ_4	SAR_4	R/W	H'00000000	H'FFFE1040	16、 32
	DMA デスティネーションアドレス レジスタ_4	DAR_4	R/W	H'00000000	H'FFFE1044	16、 32
	DMA トランスファカウントレジスタ_4	DMATCR_4	R/W	H'00000000	H'FFFE1048	16、 32
	DMA チャンネルコントロールレジスタ_4	CHCR_4	R/W*1	H'00000000	H'FFFE104C	8、 16、 32
	DMA リロードソースアドレス レジスタ_4	RSAR_4	R/W	H'00000000	H'FFFE1140	16、 32
	DMA リロードデスティネーション アドレスレジスタ_4	RDAR_4	R/W	H'00000000	H'FFFE1144	16、 32
	DMA リロードトランスファカウント レジスタ_4	RDMATCR_4	R/W	H'00000000	H'FFFE1148	16、 32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
5	DMA ソースアドレスレジスタ_5	SAR_5	R/W	H'00000000	H'FFFE1050	16、32
	DMA デスティネーションアドレス レジスタ_5	DAR_5	R/W	H'00000000	H'FFFE1054	16、32
	DMA トランスファカウントレジスタ_5	DMATCR_5	R/W	H'00000000	H'FFFE1058	16、32
	DMA チャンネルコントロールレジスタ_5	CHCR_5	R/W*1	H'00000000	H'FFFE105C	8、16、32
	DMA リロードソースアドレス レジスタ_5	RSAR_5	R/W	H'00000000	H'FFFE1150	16、32
	DMA リロードデスティネーション アドレスレジスタ_5	RDAR_5	R/W	H'00000000	H'FFFE1154	16、32
	DMA リロードトランスファカウント レジスタ_5	RDMATCR_5	R/W	H'00000000	H'FFFE1158	16、32
6	DMA ソースアドレスレジスタ_6	SAR_6	R/W	H'00000000	H'FFFE1060	16、32
	DMA デスティネーションアドレス レジスタ_6	DAR_6	R/W	H'00000000	H'FFFE1064	16、32
	DMA トランスファカウントレジスタ_6	DMATCR_6	R/W	H'00000000	H'FFFE1068	16、32
	DMA チャンネルコントロールレジスタ_6	CHCR_6	R/W*1	H'00000000	H'FFFE106C	8、16、32
	DMA リロードソースアドレス レジスタ_6	RSAR_6	R/W	H'00000000	H'FFFE1160	16、32
	DMA リロードデスティネーション アドレスレジスタ_6	RDAR_6	R/W	H'00000000	H'FFFE1164	16、32
	DMA リロードトランスファカウント レジスタ_6	RDMATCR_6	R/W	H'00000000	H'FFFE1168	16、32
7	DMA ソースアドレスレジスタ_7	SAR_7	R/W	H'00000000	H'FFFE1070	16、32
	DMA デスティネーションアドレス レジスタ_7	DAR_7	R/W	H'00000000	H'FFFE1074	16、32
	DMA トランスファカウントレジスタ_7	DMATCR_7	R/W	H'00000000	H'FFFE1078	16、32
	DMA チャンネルコントロールレジスタ_7	CHCR_7	R/W*1	H'00000000	H'FFFE107C	8、16、32
	DMA リロードソースアドレス レジスタ_7	RSAR_7	R/W	H'00000000	H'FFFE1170	16、32
	DMA リロードデスティネーション アドレスレジスタ_7	RDAR_7	R/W	H'00000000	H'FFFE1174	16、32
	DMA リロードトランスファカウント レジスタ_7	RDMATCR_7	R/W	H'00000000	H'FFFE1178	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
8	DMA ソースアドレスレジスタ_8	SAR_8	R/W	H'00000000	H'FFFE1080	16、32
	DMA デスティネーションアドレス レジスタ_8	DAR_8	R/W	H'00000000	H'FFFE1084	16、32
	DMA トランスファカウンタレジスタ_8	DMATCR_8	R/W	H'00000000	H'FFFE1088	16、32
	DMA チャンネルコントロールレジスタ_8	CHCR_8	R/W*1	H'00000000	H'FFFE108C	8、16、32
	DMA リロードソースアドレス レジスタ_8	RSAR_8	R/W	H'00000000	H'FFFE1180	16、32
	DMA リロードデスティネーション アドレスレジスタ_8	RDAR_8	R/W	H'00000000	H'FFFE1184	16、32
	DMA リロードトランスファカウンタ レジスタ_8	RDMATCR_8	R/W	H'00000000	H'FFFE1188	16、32
9	DMA ソースアドレスレジスタ_9	SAR_9	R/W	H'00000000	H'FFFE1090	16、32
	DMA デスティネーションアドレス レジスタ_9	DAR_9	R/W	H'00000000	H'FFFE1094	16、32
	DMA トランスファカウンタレジスタ_9	DMATCR_9	R/W	H'00000000	H'FFFE1098	16、32
	DMA チャンネルコントロールレジスタ_9	CHCR_9	R/W*1	H'00000000	H'FFFE109C	8、16、32
	DMA リロードソースアドレス レジスタ_9	RSAR_9	R/W	H'00000000	H'FFFE1190	16、32
	DMA リロードデスティネーション アドレスレジスタ_9	RDAR_9	R/W	H'00000000	H'FFFE1194	16、32
	DMA リロードトランスファカウンタ レジスタ_9	RDMATCR_9	R/W	H'00000000	H'FFFE1198	16、32
10	DMA ソースアドレスレジスタ_10	SAR_10	R/W	H'00000000	H'FFFE10A0	16、32
	DMA デスティネーションアドレス レジスタ_10	DAR_10	R/W	H'00000000	H'FFFE10A4	16、32
	DMA トランスファカウンタレジスタ_10	DMATCR_10	R/W	H'00000000	H'FFFE10A8	16、32
	DMA チャンネルコントロールレジスタ_10	CHCR_10	R/W*1	H'00000000	H'FFFE10AC	8、16、32
	DMA リロードソースアドレス レジスタ_10	RSAR_10	R/W	H'00000000	H'FFFE11A0	16、32
	DMA リロードデスティネーション アドレスレジスタ_10	RDAR_10	R/W	H'00000000	H'FFFE11A4	16、32
	DMA リロードトランスファカウンタ レジスタ_10	RDMATCR_10	R/W	H'00000000	H'FFFE11A8	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
11	DMA ソースアドレスレジスタ_11	SAR_11	R/W	H'00000000	H'FFFE10B0	16、32
	DMA デスティネーションアドレス レジスタ_11	DAR_11	R/W	H'00000000	H'FFFE10B4	16、32
	DMA トランスファカウントレジスタ_11	DMATCR_11	R/W	H'00000000	H'FFFE10B8	16、32
	DMA チャンネルコントロールレジスタ_11	CHCR_11	R/W* ¹	H'00000000	H'FFFE10BC	8、16、32
	DMA リロードソースアドレス レジスタ_11	RSAR_11	R/W	H'00000000	H'FFFE11B0	16、32
	DMA リロードデスティネーション アドレスレジスタ_11	RDAR_11	R/W	H'00000000	H'FFFE11B4	16、32
	DMA リロードトランスファカウント レジスタ_11	RDMATCR_11	R/W	H'00000000	H'FFFE11B8	16、32
12	DMA ソースアドレスレジスタ_12	SAR_12	R/W	H'00000000	H'FFFE10C0	16、32
	DMA デスティネーションアドレス レジスタ_12	DAR_12	R/W	H'00000000	H'FFFE10C4	16、32
	DMA トランスファカウントレジスタ_12	DMATCR_12	R/W	H'00000000	H'FFFE10C8	16、32
	DMA チャンネルコントロールレジスタ_12	CHCR_12	R/W* ¹	H'00000000	H'FFFE10CC	8、16、32
	DMA リロードソースアドレス レジスタ_12	RSAR_12	R/W	H'00000000	H'FFFE11C0	16、32
	DMA リロードデスティネーション アドレスレジスタ_12	RDAR_12	R/W	H'00000000	H'FFFE11C4	16、32
	DMA リロードトランスファカウント レジスタ_12	RDMATCR_12	R/W	H'00000000	H'FFFE11C8	16、32
13	DMA ソースアドレスレジスタ_13	SAR_13	R/W	H'00000000	H'FFFE10D0	16、32
	DMA デスティネーションアドレス レジスタ_13	DAR_13	R/W	H'00000000	H'FFFE10D4	16、32
	DMA トランスファカウントレジスタ_13	DMATCR_13	R/W	H'00000000	H'FFFE10D8	16、32
	DMA チャンネルコントロールレジスタ_13	CHCR_13	R/W* ¹	H'00000000	H'FFFE10DC	8、16、32
	DMA リロードソースアドレス レジスタ_13	RSAR_13	R/W	H'00000000	H'FFFE11D0	16、32
	DMA リロードデスティネーション アドレスレジスタ_13	RDAR_13	R/W	H'00000000	H'FFFE11D4	16、32
	DMA リロードトランスファカウント レジスタ_13	RDMATCR_13	R/W	H'00000000	H'FFFE11D8	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
14	DMA ソースアドレスレジスタ_14	SAR_14	R/W	H'00000000	H'FFFE10E0	16、32
	DMA デスティネーションアドレス レジスタ_14	DAR_14	R/W	H'00000000	H'FFFE10E4	16、32
	DMA トランスファカウンタレジスタ_14	DMATCR_14	R/W	H'00000000	H'FFFE10E8	16、32
	DMA チャンネルコントロールレジスタ_14	CHCR_14	R/W*1	H'00000000	H'FFFE10EC	8、16、32
	DMA リロードソースアドレス レジスタ_14	RSAR_14	R/W	H'00000000	H'FFFE11E0	16、32
	DMA リロードデスティネーション アドレスレジスタ_14	RDAR_14	R/W	H'00000000	H'FFFE11E4	16、32
	DMA リロードトランスファカウンタ レジスタ_14	RDMATCR_14	R/W	H'00000000	H'FFFE11E8	16、32
15	DMA ソースアドレスレジスタ_15	SAR_15	R/W	H'00000000	H'FFFE10F0	16、32
	DMA デスティネーションアドレス レジスタ_15	DAR_15	R/W	H'00000000	H'FFFE10F4	16、32
	DMA トランスファカウンタレジスタ_15	DMATCR_15	R/W	H'00000000	H'FFFE10F8	16、32
	DMA チャンネルコントロールレジスタ_15	CHCR_15	R/W*1	H'00000000	H'FFFE10FC	8、16、32
	DMA リロードソースアドレス レジスタ_15	RSAR_15	R/W	H'00000000	H'FFFE11F0	16、32
	DMA リロードデスティネーション アドレスレジスタ_15	RDAR_15	R/W	H'00000000	H'FFFE11F4	16、32
	DMA リロードトランスファカウンタ レジスタ_15	RDMATCR_15	R/W	H'00000000	H'FFFE11F8	16、32
共通	DMA オペレーションレジスタ	DMAOR	R/W*2	H'0000	H'FFFE1200	8、16
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'0000	H'FFFE1300	16
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'0000	H'FFFE1304	16
4/5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'0000	H'FFFE1308	16
6/7	DMA 拡張リソースセクタ 3	DMARS3	R/W	H'0000	H'FFFE130C	16
8/9	DMA 拡張リソースセクタ 4	DMARS4	R/W	H'0000	H'FFFE1310	16
10/11	DMA 拡張リソースセクタ 5	DMARS5	R/W	H'0000	H'FFFE1314	16
12/13	DMA 拡張リソースセクタ 6	DMARS6	R/W	H'0000	H'FFFE1318	16
14/15	DMA 拡張リソースセクタ 7	DMARS7	R/W	H'0000	H'FFFE131C	16

【注】 *1 CHCR_n の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

*2 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

11.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が DACK 付きの外部デバイスの転送をする場合には SAR は無視されます。

ワード(2 バイト)、ロングワード(4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.2 DMA デスティネーションアドレスレジスタ (DAR)

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が DACK 付きの外部デバイスの転送をする場合には DAR は無視されます。

ワード(2 バイト)、ロングワード(4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.4 DMA チャネルコントロールレジスタ (CHCR)

CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

外部端子 DREQ、DACK、TEND の仕様を決めるビット (DO、AM、AL、DL、DS、TL) については、チャンネル 0 で読み書き可能となっていますが、チャンネル 1 ~ 15 では対応するビットはリザーブビットとなっています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC	-	RLD SAR	RLD DAR	-	DAF	SAF	-	DO	TL	-	TE MASK	HE	HIE	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R/W	R/(W)*	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]			DL	DS	TB	TS[1:0]		IE	TE	DE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	TC	0	R/W	<p>トランスファカウントモード</p> <p>1回の転送要求で1回転送するか、DMATCRの設定回数転送するかを設定します。本機能は、内蔵周辺モジュールリクエストの場合のみ有効です。TC=0に設定した場合には、TBビットを1(バーストモード)に設定しないでください。また、転送要求元をマルチファンクションタイムバルスユニット2、コンペアマッチタイマ、コントローラエリアネットワーク、CD-ROMデコーダ、A/D変換器以外に設定した場合には、TC=1に設定しないでください。</p> <p>0: 1回の転送要求で1回転送 1: 1回の転送要求でDMATCRの設定回数転送</p>
30	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
29	RLDSAR	0	R/W	<p>SARリロード機能 ON/OFF</p> <p>SARおよびDMATCRへのリロード機能を、有効(ON)にするか、無効(OFF)にするかを設定します。</p> <p>0: SARおよびDMATCRへのリロード機能は無効(OFF) 1: SARおよびDMATCRへのリロード機能は有効(ON)</p>
28	RLDDAR	0	R/W	<p>DARリロード機能 ON/OFF</p> <p>DARおよびDMATCRへのリロード機能を、有効(ON)にするか、無効(OFF)にするかを設定します。</p> <p>0: DARおよびDMATCRへのリロード機能は無効(OFF) 1: DARおよびDMATCRへのリロード機能は有効(ON)</p>
27	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
26	DAF	0	R/W	<p>デスティネーションアドレス固定 16 バイト転送</p> <p>トランスファサイズ (TS[1:0]) が 16 バイトで、デスティネーションアドレスモード (DM[1:0]) がアドレス固定の場合に有効になります。</p> <p>0: DARレジスタに設定したアドレスへ、16バイトを転送します。 書き込み先アドレスは、DARレジスタに設定したアドレスの+H'0、+H'4、+H'8、+H'C番地となります。</p> <p>1: DARレジスタに設定したアドレスへ、4バイトを4回転送します。 書き込み先アドレスは、DARレジスタに設定したアドレス固定となります。本機能は、CD-ROMデコーダ、USB2.0ホスト/ファンクションモジュール、サンプリングレートコンバータ、ルネサスクワッドシリアルペリフェラルインタフェース、SDホストインタフェース、MMCホストインタフェース以外では使用しないでください。</p>

ビット	ビット名	初期値	R/W	説明
25	SAF	0	R/W	<p>ソースアドレス固定 16 バイト転送</p> <p>トランスファサイズ(TS[1:0])が 16 バイトで、ソースアドレスモード(SM[1:0])がアドレス固定の場合に有効になります。</p> <p>0 : SAR レジスタに設定したアドレスから、16 バイトを転送します。 読み出し先アドレスは、SAR レジスタに設定したアドレスの +H'0、+H'4、+H'8、+H'C 番地となります。</p> <p>1 : SAR レジスタに設定したアドレスから、4 バイトを 4 回転送します。 読み出し先アドレスは、SAR レジスタに設定したアドレス固定となります。本機能は、CD-ROM デコーダ、USB2.0 ホスト / ファンクションモジュール、サンプリングレートコンバータ、ルネサスクワッドシリアルペリフェラルインタフェース、SD ホストインタフェース、MMC ホストインタフェース以外では使用しないでください。</p>
24	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
23	DO	0	R/W	<p>DMA オーバラン</p> <p>DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。本ビットは CHCR_0 のレベル検出のときのみ有効です。CHCR_1 ~ 15 ではリザーブビットで、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : DREQ をオーバラン 0 で検出 1 : DREQ をオーバラン 1 で検出</p>
22	TL	0	R/W	<p>トランスファエンドレベル</p> <p>TEND 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR_0 でのみ有効です。CHCR_1 ~ 15 ではリザーブビットで、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TEND をローアクティブ出力 1 : TEND をハイアクティブ出力</p>
21	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
20	TEMASK	0	R/W	<p>TE セットマスク</p> <p>TE ビットが 1 にセットされたときに、DMA 転送が停止しないことを指示します。SAR リロード機能または DAR リロード機能と合わせて本ビットを設定することで、転送要求を取りやめるまでの期間、DMA 転送を実行することができます。オートリクエストおよび外部リクエストの立ち上がり / 立ち下がりエッジ検出の場合には、本ビットの設定は無視され、TE ビットがセットされると DMA 転送は停止します。なお、本機能は RLDSAR ビットまたは RLDDAR ビットのいずれかが 1 にセットされた場合に有効となります。</p> <p>0 : TE ビットがセットされると DMA 転送を停止 1 : TE ビットがセットされても DMA 転送を継続</p>

ビット	ビット名	初期値	R/W	説明
19	HE	0	R/(W)*	<p>ハーフエンドフラグ</p> <p>転送回数が、転送開始前にセットした DMATCR の値の半分以上になると、HE ビットは 1 にセットされます。転送回数が、転送開始前にセットした DMATCR の半分に満たない状態で、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットがセットされてから、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされたままです。HE ビットをクリアするには、HE ビットの 1 を読み出してから 0 を書き込んでください。</p> <p>0 : DMA 転送中または DMA 転送中断で、 $DMATCR > (\text{転送前にセットした DMATCR}) / 2$</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> HE ビットの 1 を読み出してから 0 を書き込む <p>1 : $DMATCR = (\text{転送前にセットした DMATCR}) / 2$</p>
18	HIE	0	R/W	<p>ハーフエンドインタラプトイネーブル</p> <p>転送回数が、転送開始前にセットした DMATCR の値に半分かになった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると、CPU に対し割り込みを要求します。</p> <p>0 : $DMATCR = (\text{転送前にセットした DMATCR}) / 2$ で、割り込み要求を禁止</p> <p>1 : $DMATCR = (\text{転送前にセットした DMATCR}) / 2$ で、割り込み要求を許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、DACK および TEND をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。</p> <p>シングルアドレスモード時は、本ビットの指定に関係なく DACK および TEND は常に出力されます。</p> <p>本ビットは CHCR_0 のみ有効です。CHCR_1 ~ 15 ではリザーブビットで、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : 読み出しサイクルで DACK および TEND を出力 (デュアルアドレスモード)</p> <p>1 : 書き込みサイクルで DACK および TEND を出力 (デュアルアドレスモード)</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。</p> <p>本ビットは CHCR_0 のみ有効です。CHCR_1 ~ 15 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : DACK をローアクティブ出力</p> <p>1 : DACK をハイアクティブ出力</p>

ビット	ビット名	初期値	R/W	説明
15、14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します（シングルアドレスモードにおいて、DACK 付き外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます）。</p> <p>00：デスティネーションアドレスは固定</p> <p>01：デスティネーションアドレスは増加 （バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16）</p> <p>10：デスティネーションアドレスは減少 （バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止）</p> <p>11：設定禁止</p>
13、12	SM[1:0]	00	R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します（シングルアドレスモードにおいて、DACK 付き外部デバイスから転送をする場合には、SM1、SM0 ビットは無視されます）。</p> <p>00：ソースアドレスは固定</p> <p>01：ソースアドレスは増加 （バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16）</p> <p>10：ソースアドレスは減少 （バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止）</p> <p>11：設定禁止</p>

ビット	ビット名	初期値	R/W	説明
11~8	RS[3:0]	0000	R/W	<p>リソースセレクト</p> <p>本モジュールに入力する転送要求元を指定します。転送要求元の変更は、必ずDMA イネーブルビット (DE) が0の状態で行ってください。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード</p> <p>0001 : 設定禁止</p> <p>0010 : 外部リクエスト、シングルアドレスモード 外部アドレス空間 DACK 付き外部デバイス</p> <p>0011 : 外部リクエスト、シングルアドレスモード DACK 付き外部デバイス 外部アドレス空間</p> <p>0100 : オートリクエスト</p> <p>0101 : 設定禁止</p> <p>0110 : 設定禁止</p> <p>0111 : 設定禁止</p> <p>1000 : DMA 拡張リソースセクタ</p> <p>1001 : コントローラエリアネットワーク チャンネル0</p> <p>1010 : コントローラエリアネットワーク チャンネル1</p> <p>1011 : 設定禁止</p> <p>1100 : 設定禁止</p> <p>1101 : 設定禁止</p> <p>1110 : 設定禁止</p> <p>1111 : 設定禁止</p> <p>【注】外部リクエストの指定はCHCR_0のみ有効です。 CHCR_1~15では外部リクエストの指定は行わないでください。</p>
7 6	DL DS	0 0	R/W R/W	<p>DREQ レベル</p> <p>DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と検出レベルを選択します。</p> <p>本ビットはCHCR_0でのみ有効です。CHCR_1~15ではリザーブビットで読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p> <p>また転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00 : ローレベル検出</p> <p>01 : 立ち下がりエッジ検出</p> <p>10 : ハイレベル検出</p> <p>11 : 立ち上がりエッジ検出</p>
5	TB	0	R/W	<p>トランスファバスモード</p> <p>DMA 転送のバスモードを選択します。ただし、TC=0に設定した場合には、バーストモードに設定しないでください。</p> <p>0 : サイクルスチールモード</p> <p>1 : バーストモード</p>

ビット	ビット名	初期値	R/W	説明
4, 3	TS[1:0]	00	R/W	<p>トランスファサイズ</p> <p>DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。</p> <p>00 : バイト単位 01 : ワード (2 バイト) 単位 10 : ロングワード (4 バイト) 単位 11 : 16 バイト (ロングワード×4) 単位</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMATCR の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TEMASK ビットが 0 で、TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送中断</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TE ビットの 1 を読み出してから 0 を書き込む <p>1 : (DMATCR = 0 により) DMA 転送終了</p>

ビット	ビット名	初期値	R/W	説明
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。外部リクエストのローレベル検出またはハイレベル検出、および周辺モジュールリクエストでは、TEMASK ビットが 1 である場合には、NMIF ビットおよび AE ビットが 0 であることが必要です。TEMASK ビットが 0 である場合には、TE ビットも 0 であることが必要となります。外部リクエストの立ち上がりエッジ検出または立ち下がりエッジ検出の場合には、オートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットをクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

11.3.5 DMA リロードソースアドレスレジスタ (RSAR)

RSAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

SAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RSAR の内容がソースアドレスレジスタ (SAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。SAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

ワード(2 バイト)、ロングワード(4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.6 DMA リロードデスティネーションアドレスレジスタ (RDAR)

RDAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

DAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDAR の内容がデスティネーションアドレスレジスタ (DAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。DAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

ワード(2 バイト)、ロングワード(4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.7 DMA リロードトランスファカウントレジスタ (RDMATCR)

RDMATCR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

SAR リロード機能あるいは DAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDMATCR の内容がトランスファカウントレジスタ (DMATCR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。SAR リロード機能および DAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

RDMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

DMATCR 同様、転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。また、16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.8 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し / 書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	CMS[1:0]	-	-	PR[1:0]	-	-	-	-	-	-	AE	NMIF	DME	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/(W)*	R/(W)*	R/W

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	CMS[1:0]	00	R/W	サイクルスチールモードセレクト サイクルスチールモード時に通常モードとインターミットモードを選択します。 インターミットモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードであることが必要です。 00：通常モード 01：設定禁止 10：インターミットモード 16 B クロックで 16 クロックに 1 回 DMA 転送を実行 11：インターミットモード 64 B クロックで 64 クロックに 1 回 DMA 転送を実行
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PR[1:0]	00	R/W	プライオリティモード 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00：固定モード 1：CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7>CH8 >CH9>CH10>CH11>CH12>CH13>CH14>CH15 01：固定モード 2：CH0>CH8>CH1>CH9>CH2>CH10>CH3>CH11>CH4 >CH12>CH5>CH13>CH6>CH14>CH7>CH15 10：設定禁止 11：設定禁止
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	AE	0	R/(W)*	アドレスエラーフラグ 本モジュールによるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。 0：本モジュールによるアドレスエラーなし 1：本モジュールによるアドレスエラー発生 [クリア条件] • AE ビットの 1 を読み出してから 0 を書き込む

ビット	ビット名	初期値	R/W	説明
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。</p> <p>NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われず、本モジュールが動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし 1 : NMI 割り込み発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • NMIF ビットの 1 を読み出してから 0 を書き込む
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし、転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアすると、すべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止 1 : 全チャンネルの DMA 転送を許可</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

1 転送終了後にプライオリティモードビットの設定が変更された場合、優先順位が初期化されます。

たとえば、固定モード 2 で再設定した場合、優先順位は CH0>CH8>CH1>CH9>CH2>CH10>CH3>CH11>CH4>CH12>CH5>CH13>CH6>CH14>CH7>CH15 となり、固定モード 1 で再設定した場合、優先順位は CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7>CH8>CH9>CH10>CH11>CH12>CH13>CH14>CH15 となります。

また、アドレスエラー発生時の本モジュールの内部処理動作は、次のようになります。

- アドレスエラーが発生しない場合 : Read(転送元 本モジュール内部) Write(本モジュール内部 転送先)
- アドレスエラーがソースアドレスで発生 : Nop Nop
- アドレスエラーがデスティネーションアドレスで発生 : Read Nop

11.3.9 DMA 拡張リソースセクタ 0~7 (DMARS0~DMARS7)

DMARS は、読み出し / 書き込み可能な 16 ビットのレジスタで、チャンネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3 のように設定します。設定可能な組み合わせを表 11.3 に示します。

本レジスタで、以下の起動要因に対して転送要求を受け付けることができるように設定できます。

内蔵周辺モジュールリクエストを発行できるモジュールには以下のモジュールがあります。

FIFO 内蔵シリアルコミュニケーションインタフェース : 16 要因、I²C バスインタフェース 3 : 8 要因、A/D 変換器 : 1 要因、マルチファンクションタイマパルスユニット 2 : 5 要因、コンペアマッチタイマ : 2 要因、USB2.0 ホスト / ファンクションモジュール : 2 要因、NAND フラッシュメモリコントローラ : 2 要因、コントローラエリアネットワーク : 3 要因、シリアルサウンドインタフェース : 7 要因、サンプリングレートコンバータ : 6 要因、サウンドジェネレータ : 4 要因、ルネサス SPDIF インタフェース : 2 要因、CD-ROM デコーダ : 1 要因、SD ホストインタフェース : 4 要因、MMC ホストインタフェース : 2 要因、ルネサスシリアルペリフェラルインタフェース : 4 要因、ルネサスクワッドシリアルペリフェラルインタフェース : 4 要因、FIFO 付きクロック同期シリアル I/O : 2 要因、モータコントロール PWM タイマ : 2 要因

なお、コントローラエリアネットワークからの 3 要因による転送要求受け付けのみ、DMA チャンネルコントローラレジスタの RS[3:0] で設定でき、DMA 拡張リソースセクタの設定は必要ありません。

• DMARS0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH1 MID[5:0]						CH1 RID[1:0]		CH0 MID[5:0]						CH0 RID[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH3 MID[5:0]						CH3 RID[1:0]		CH2 MID[5:0]						CH2 RID[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS2

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH5 MID[5:0]						CH5 RID[1:0]		CH4 MID[5:0]						CH4 RID[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS3

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CH7 MID[5:0]					CH7 RID[1:0]		CH6 MID[5:0]					CH6 RID[1:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS4

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CH9 MID[5:0]					CH9 RID[1:0]		CH8 MID[5:0]					CH8 RID[1:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS5

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CH11 MID[5:0]					CH11 RID[1:0]		CH10 MID[5:0]					CH10 RID[1:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS6

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CH13 MID[5:0]					CH13 RID[1:0]		CH12 MID[5:0]					CH12 RID[1:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS7

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CH15 MID[5:0]					CH15 RID[1:0]		CH14 MID[5:0]					CH14 RID[1:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各モジュールからの転送要求は、以下のMID、RIDを設定します。

表 11.3 DMARS の設定

周辺モジュール	1チャンネル分の 設定値((MID,RID))	MID	RID	機能
USB2.0 ホスト / ファンクションモジュール	H'03	B'000000	B'11	チャンネル0 FIFO
	H'07	B'000001	B'11	チャンネル1 FIFO
ルネサス SPDIF インタフェース	H'09	B'000010	B'01	送信
	H'0A	B'000010	B'10	受信
SD ホストインタフェース 0	H'11	B'000100	B'01	SD_BUF ライト
	H'12		B'10	SD_BUF リード
SD ホストインタフェース 1	H'A9	B'101010	B'01	SD_BUF ライト
	H'AA		B'10	SD_BUF リード
MMC ホストインタフェース	H'AD	B'101011	B'01	送信
	H'AE		B'10	受信
FIFO 付きクロック同期シリアル I/O	H'19	B'000110	B'01	送信
	H'1A		B'10	受信
シリアルサウンドインタフェース チャンネル0	H'21	B'001000	B'01	送信
	H'22		B'10	受信
シリアルサウンドインタフェース チャンネル1	H'27	B'001001	B'11	-
シリアルサウンドインタフェース チャンネル2	H'2B	B'001010	B'11	-
シリアルサウンドインタフェース チャンネル3	H'2F	B'001011	B'11	-
シリアルサウンドインタフェース チャンネル4	H'B9	B'101110	B'01	-
シリアルサウンドインタフェース チャンネル5	H'BD	B'101111	B'01	-
モータコントロール PWM タイマ チャンネル1	H'33	B'001100	B'11	-
モータコントロール PWM タイマ チャンネル2	H'37	B'001101	B'11	-
サウンドジェネレータ 0	H'C5	B'110001	B'01	-
サウンドジェネレータ 1	H'C9	B'110010	B'01	-
サウンドジェネレータ 2	H'CD	B'110011	B'01	-
サウンドジェネレータ 3	H'D5	B'110101	B'01	-

周辺モジュール	1チャンネル分の 設定値((MID,RID))	MID	RID	機能
サンプリングレートコンバータ チャンネル0	H'41	B'010000	B'01	入力データエンプティ
	H'42		B'10	出力データフル
サンプリングレートコンバータ チャンネル1	H'45	B'010001	B'01	入力データエンプティ
	H'46		B'10	出力データフル
サンプリングレートコンバータ チャンネル2	H'B5	B'101101	B'01	入力データエンプティ
	H'B6		B'10	出力データフル
ルネサスシリアルペリフェラルインタフェース チャンネル0	H'51	B'010100	B'01	送信
	H'52		B'10	受信
ルネサスシリアルペリフェラルインタフェース チャンネル1	H'55	B'010101	B'01	送信
	H'56		B'10	受信
ルネサスクワッドシリアルペリフェラル インタフェース チャンネル0	H'A1	B'101000	B'01	送信
	H'A2		B'10	受信
ルネサスクワッドシリアルペリフェラル インタフェース チャンネル1	H'A5	B'101001	B'01	送信
	H'A6		B'10	受信
I ² C バスインタフェース 3 チャンネル0	H'61	B'011000	B'01	送信
	H'62		B'10	受信
I ² C バスインタフェース 3 チャンネル1	H'65	B'011001	B'01	送信
	H'66		B'10	受信
I ² C バスインタフェース 3 チャンネル2	H'69	B'011010	B'01	送信
	H'6A		B'10	受信
I ² C バスインタフェース 3 チャンネル3	H'C1	B'110000	B'01	送信
	H'C2		B'10	受信
CD-ROM デコーダ	H'73	B'011100	B'11	-
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル0	H'81	B'100000	B'01	送信
	H'82		B'10	受信
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル1	H'85	B'100001	B'01	送信
	H'86		B'10	受信
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル2	H'89	B'100010	B'01	送信
	H'8A		B'10	受信
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル3	H'8D	B'100011	B'01	送信
	H'8E		B'10	受信

周辺モジュール	1チャンネル分の 設定値((MID,RID))	MID	RID	機能
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル4	H'91	B'100100	B'01	送信
	H'92		B'10	受信
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル5	H'95	B'100101	B'01	送信
	H'96		B'10	受信
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル6	H'99	B'100110	B'01	送信
	H'9A		B'10	受信
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル7	H'9D	B'100111	B'01	送信
	H'9E		B'10	受信
A/D 変換器	H'B3	B'101100	B'11	-
NAND フラッシュメモリコントローラ	H'BB	B'101110	B'11	データ送信 / 受信
	H'BF	B'101111	B'11	管理コード送信 / 受信
マルチファンクションタイマパルスユニット チャンネル0	H'E3	B'111000	B'11	-
マルチファンクションタイマパルスユニット チャンネル1	H'E7	B'111001	B'11	-
マルチファンクションタイマパルスユニット チャンネル2	H'EB	B'111010	B'11	-
マルチファンクションタイマパルスユニット チャンネル3	H'EF	B'111011	B'11	-
マルチファンクションタイマパルスユニット チャンネル4	H'F3	B'111100	B'11	-
コンペアマッチタイマ チャンネル0	H'FB	B'111110	B'11	-
コンペアマッチタイマ チャンネル1	H'FF	B'111111	B'11	-

表 11.3 以外の MID または RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR_0 ~ 15 レジスタのリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

11.4 動作説明

本モジュール要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

11.4.1 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、3 つのリロードレジスタ (RSAR、RDAR、RDMATCR)、DMA 拡張リソースセレクト (DMARS) に目的の転送条件設定後、本モジュールは以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE = 1、DME = 1、TEMASK = 0かつTE = 0またはTEMASK = 1、AE = 0、NMIF = 0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS[1:0]ピットの設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の半分の転送を超える (DMATCRの値が初期値の1/2になる) と、CHCRのHIEビットに1がセットしてあれば、CPUにHEI割り込みを発生します。
4. TEMASK = 0のとき、指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みを発生します。TEMASK = 1のときには、DMATCRの値が0になると、TE = 1にセット後、指定されたRSAR、RDAR、RDMATCRの値をSAR、DAR、DMATCRにリロードし、転送要求がなくなるまで転送動作を継続します。
5. 本モジュールによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットを0にしても中断します。

図 11.2 に上記のフローチャートを示します。

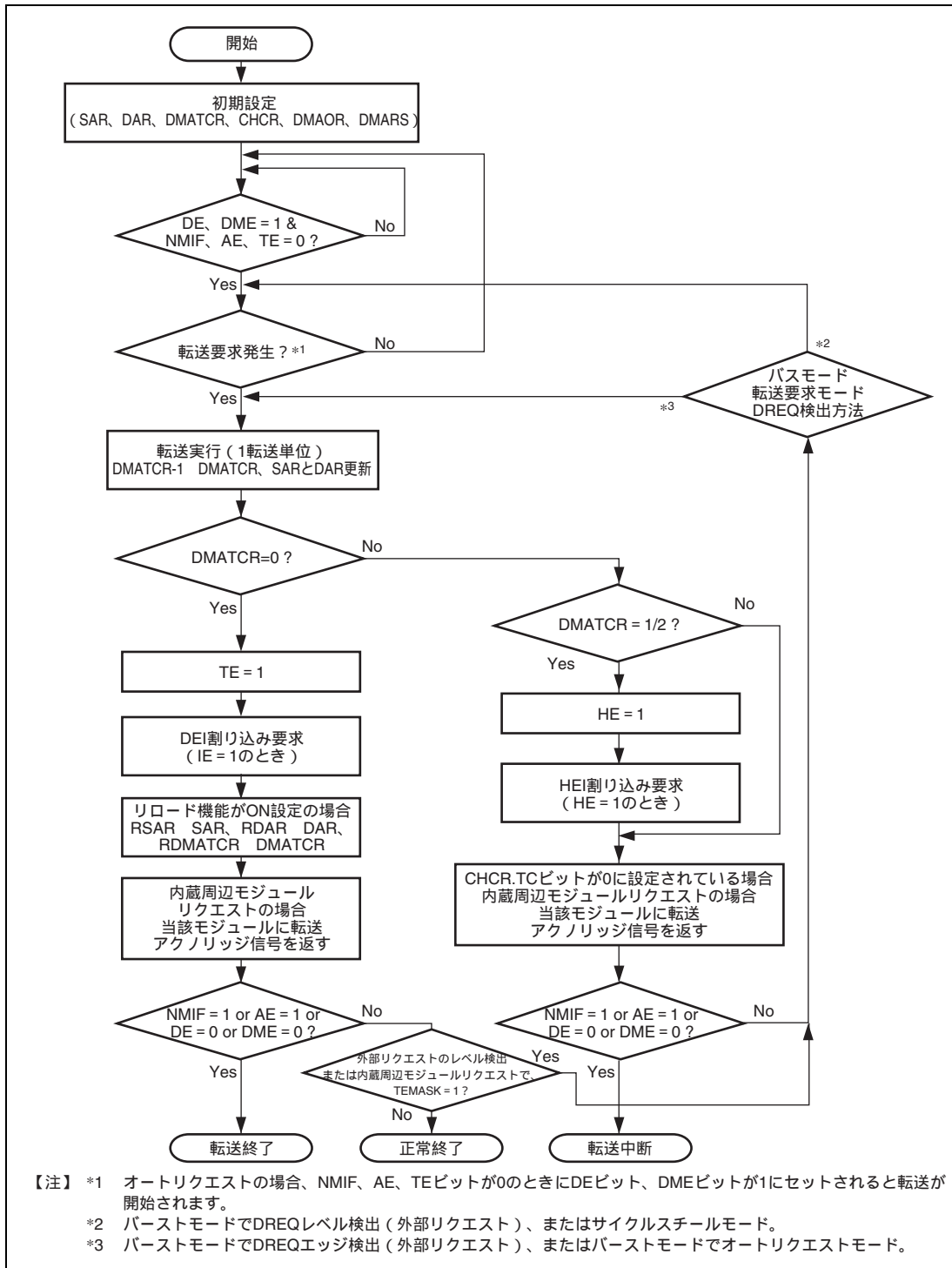


図 11.2 DMA 転送フローチャート

11.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方できます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は CHCR_0 ~ CHCR_15 の RS[3:0] ビットおよび DMARS0 ~ DMARS7 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、本モジュール内部で自動的に転送要求信号を発生するモードです。CHCR_0 ~ CHCR_15 の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR_0 ~ CHCR_15 の TE ビット、DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 (DREQ0) によって転送を開始させるモードです。システムに応じて表 11.4 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (レベル検出のとき、DE = 1、DME = 1、TEMASK = 0 かつ TE = 0 または TEMASK = 1、AE = 0、NMIF = 0、エッジ検出のとき、DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) に DREQ が入力されると DMA 転送が開始されます。

表 11.4 RS ビットによる外部リクエストモードの選択

RS[3]	RS[2]	RS[1]	RS[0]	アドレスモード	転送元	転送先
0	0	0	0	デュアルアドレスモード	任意	任意
0	0	1	0	シングルアドレスモード	外部メモリまたは メモリマップト外部デバイス	DACK 付き外部デバイス
			1		DACK 付き外部デバイス	外部メモリまたは メモリマップト外部デバイス

DREQ をエッジで検出するかレベルで検出するかは、表 11.5 に示す CHCR_0 の DL ビットと DS ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。立ち上がり検出または立ち下がり検出でバーストモードの場合、1 回の転送要求で DMATCR = 0 になるまで転送し続けます。サイクルスチールモードでは、1 回の転送要求で 1 回の転送を行います。

表 11.5 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態（不感帯）となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合（オーバーラン 0）と、リクエストより 1 つ多い回数の転送を実行して中断する場合（オーバーラン 1）があります。オーバーランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 11.6 DO ビットによる外部リクエスト検出の選択

CHCR の DO ビット	外部リクエスト
0	オーバーラン 0
1	オーバーラン 1

（3）内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

内蔵周辺モジュールから本モジュールに対する DMA 転送要求信号の一覧を表 11.7 に示します。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態（DE = 1、DME = 1、TEMASK = 0 かつ TE = 0 または TEMASK = 1、AE = 0、NMIF = 0）ならば、転送要求信号によって転送が実行されます。

内蔵周辺モジュールリクエストの場合には、転送元、転送先が固定されるケースがあります。表 11.7 を参照してください。

表 11.7 RS3 ~ RS0 ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード	
	RS[3:0]	MID						RID
1001	任意	任意	コントローラエリア ネットワーク チャンネル0	RM0 (受信完了)	MB0	任意	サイクル スチール	
1010	任意	任意	コントローラエリア ネットワーク チャンネル1	RM0 (受信完了)	MB0	任意		
1011	任意	任意	コントローラエリア ネットワーク チャンネル2	RM0 (受信完了)	MB0	任意		
1000	000000	11	USB2.0 ホスト/フ ァンクションモジュ ール	USB_DMA0 (チャンネル0 受信 FIFO フル)	D0FIFO	任意		
				USB_DMA0 (チャンネル0 送信 FIFO エ ンプティ)	任意	D0FIFO		
				USB_DMA1 (チャンネル1 受信 FIFO フル)	D1FIFO	任意		
				USB_DMA1 (チャンネル1 送信 FIFO エ ンプティ)	任意	D1FIFO		
	000001	11						
	000010	01	01	ルネサス SPDIF インタフェース	SPDIFTXI (送信モジュール DMA 転 送)	任意	TDAD	
		10			SPDIFRXI (受信モジュール DMA 転 送)	RDAD	任意	
	000100	01	10	SD ホストインタ フェース 0	SD_BUF ライト	任意	データ レジスタ	
		10			SD_BUF リード	データ レジスタ	任意	
	101010	01	10	SD ホストインタ フェース 1	SD_BUF ライト	任意	データ レジスタ	
		10			SD_BUF リード	データ レジスタ	任意	
	101011	01	10	MMC ホストインタ フェース	送信データエンpty	任意	データ レジスタ	
		10			受信データフル	データ レジスタ	任意	
000110	01	10	FIFO 付きクロック 同期シリアル I/O	TXI (送信データ転送)	任意	SITDR		
	10			RXI (受信データ転送)	SIRDR	任意		

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	RS[3:0]	MID					
1000	001000	01	シリアルサウンド インタフェース チャンネル0	SSITX0 (送信データエンプティ)	任意	SSIFTDR_0	サイクル スチール
		10		SSIRX0(受信データフル)	SSIFRDR_0	任意	
	001001	11	シリアルサウンド インタフェース チャンネル1	SSIRT11 (送信データエンプティ)	任意	SSIFTDR_1	
				SSIRT11(受信データフル)	SSIFRDR_1	任意	
	001010	11	シリアルサウンド インタフェース チャンネル2	SSIRT12 (送信データエンプティ)	任意	SSIFTDR_2	
				SSIRT12(受信データフル)	SSIFRDR_2	任意	
	001011	11	シリアルサウンド インタフェース チャンネル3	SSIRT13 (送信データエンプティ)	任意	SSIFTDR_3	
				SSIRT13(受信データフル)	SSIFRDR_3	任意	
	101110	01	シリアルサウンド インタフェース チャンネル4	SSIRT14 (送信データエンプティ)	任意	SSIFTDR_4	
				SSIRT14(受信データフル)	SSIFRDR_4	任意	
	101111	01	シリアルサウンド インタフェース チャンネル5	SSIRT15 (送信データエンプティ)	任意	SSIFTDR_5	
				SSIRT15(受信データフル)	SSIFRDR_5	任意	
	001100	11	モータコントロール PWM タイマ チャンネル1	CM1 (PWM コンペアマッ チ)	任意	PWBFR1	
	001101	11	モータコントロール PWM タイマ チャンネル2	CM2 (PWM コンペアマッ チ)	任意	PWBFR2	
	110001	01	サウンド ジェネレータ0	SGDEI0	任意	SGLR_0	
	110010	01	サウンド ジェネレータ1	SGDEI1	任意	SGLR_1	
	110011	01	サウンド ジェネレータ2	SGDEI2	任意	SGLR_2	
	110101	01	サウンド ジェネレータ3	SGDEI3	任意	SGLR_3	
	010000	01	サンプリングレート コンバータ チャンネル0	IDEI0 (入力データエンプティ)	任意	SRCIDR_0	
		10		ODFI0 (出力データフル)	SRCODR_0	任意	
	010001	01	サンプリングレート コンバータ チャンネル1	IDEI1 (入力データエンプティ)	任意	SRCIDR_1	
		10		ODFI1 (出力データフル)	SRCODR_1	任意	

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	RS[3:0]	MID					
1000	101101	01	サンプリングレート コンバータ チャンネル2	IDEI2 (入力データエンプティ)	任意	SRCIDR_2	サイクル スチール
		10		ODFI2 (出力データフル)	SRCODR_2	任意	
	010100	01	ルネサスシリアル ペリフェラルインタ フェース チャンネル0	SPTI0 (送信バッファエンプティ)	任意	SPDR_0	
		10		SPRI0(受信バッファフル)	SPDR_0	任意	
	010101	01	ルネサスシリアル ペリフェラルインタ フェース チャンネル1	SPTI1 (送信バッファエンプティ)	任意	SPDR_1	
		10		SPRI1(受信バッファフル)	SPDR_1	任意	
	101000	01	ルネサスクワッドシ リアルペリフェラル インタフェース0	SPTI0 (送信バッファエンプティ)	任意	SPDR_0	
		10		SPRI0(受信バッファフル)	SPDR_0	任意	
	101001	01	ルネサスクワッドシ リアルペリフェラル インタフェース1	SPTI1 (送信バッファエンプティ)	任意	SPDR_1	
		10		SPRI1(受信バッファフル)	SPDR_1	任意	
	011000	01	I ² C バス インタフェース3 チャンネル0	TXI0 (送信データエンプティ)	任意	ICDRT_0	
		10		RXI0 (受信データフル)	ICDRR_0	任意	
	011001	01	I ² C バス インタフェース3 チャンネル1	TXI1 (送信データエンプティ)	任意	ICDRT_1	
		10		RXI1 (受信データフル)	ICDRR_1	任意	
	011010	01	I ² C バス インタフェース3 チャンネル2	TXI2 (送信データエンプティ)	任意	ICDRT_2	
		10		RXI2 (受信データフル)	ICDRR_2	任意	
	110000	01	I ² C バス インタフェース3 チャンネル3	TXI3 (送信データエンプティ)	任意	ICDRT_3	
		10		RXI3 (受信データフル)	ICDRR_3	任意	
	011100	11	CD-ROM デコーダ	IREADY (デコード終了)	STRMDOUT	任意	サイクル スチール/ バースト
	100000	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル0	TXI0 (送信 FIFO データエ ンプティ)	任意	SCFTDR_0	サイクル スチール
		10		RXI0(受信 FIFO データフル)	SCFRDR_0	任意	
	100001	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル1	TXI1 (送信 FIFO データエ ンプティ)	任意	SCFTDR_1	
		10		RXI1(受信 FIFO データフル)	SCFRDR_1	任意	

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	RS[3:0]	MID					
1000	100010	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル2	TXI2 (送信 FIFO データエ ンプティ)	任意	SCFTDR_2	サイクル スチール
		10		RXI2(受信 FIFO データフル)	SCFRDR_2	任意	
	100011	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル3	TXI3 (送信 FIFO データエ ンプティ)	任意	SCFTDR_3	
		10		RXI3(受信 FIFO データフル)	SCFRDR_3	任意	
	100100	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル4	TXI4 (送信 FIFO データエ ンプティ)	任意	SCFTDR_4	
		10		RXI4(受信 FIFO データフル)	SCFRDR_4	任意	
	100101	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル5	TXI5 (送信 FIFO データエ ンプティ)	任意	SCFTDR_5	
		10		RXI5(受信 FIFO データフル)	SCFRDR_5	任意	
	100110	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル6	TXI6 (送信 FIFO データエ ンプティ)	任意	SCFTDR_6	
		10		RXI6(受信 FIFO データフル)	SCFRDR_6	任意	
	100111	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル7	TXI7 (送信 FIFO データエ ンプティ)	任意	SCFTDR_7	
		10		RXI7(受信 FIFO データフル)	SCFRDR_7	任意	
101100	11	11	A/D 変換器	ADI (A/D 変換終了)	ADDR	任意	
101110	11	11	NAND フラッシュ メモリコントローラ	データ部 送信 FIFO データエンpty	任意	FLDTFIFO	
				データ部 受信 FIFO データフル	FLDTFIFO	任意	
101111	11	11		管理コード部 送信 FIFO データエンpty	任意	FLECFIFO	
				管理コード部 受信 FIFO データフル	FLECFIFO	任意	
111000	11	11	マルチファンクショ ンタイマパルス ユニット2 チャンネル0	TGI0A (インプットキャプチャ/ コンペアマッチ)	任意	任意	サイクル スチール/ バースト
111001	11	11	マルチファンクショ ンタイマパルス ユニット2 チャンネル1	TGI1A (インプットキャプチャ/ コンペアマッチ)	任意	任意	

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	MID	RID					
1000	111010	11	マルチファンクシ ンタイマパルス ユニット2 チャンネル2	TGI2A (インプットキャプチャ/ コンペアマッチ)	任意	任意	サイクル スチール/ バースト
	111011	11	マルチファンクシ ンタイマパルス ユニット2 チャンネル3	TGI3A (インプットキャプチャ/ コンペアマッチ)	任意	任意	
	111100	11	マルチファンクシ ンタイマパルス ユニット2 チャンネル4	TGI4A (インプットキャプチャ/ コンペアマッチ)	任意	任意	
	111110	11	コンペアマッチ タイマ チャンネル0	CM10 (コンペアマッチ)	任意	任意	
	111111	11	コンペアマッチ タイマ チャンネル1	CM11 (コンペアマッチ)	任意	任意	

11.4.3 チャンネルの優先順位

本モジュールは同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定モード 1、固定モード 2 の 2 種類のモードから選択できます。

各モードの優先順位は以下のとおりです。

- 固定モード 1 : CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7>CH8>CH9>CH10>CH11>CH12>CH13>CH14>CH15
 - 固定モード 2 : CH0>CH8>CH1>CH9>CH2>CH10>CH3>CH11>CH4>CH12>CH5>CH13>CH6>CH14>CH7>CH15
- これらの選択は DMAOR の PR1、PR0 ビットにより行います。

11.4.4 DMA 転送の種類

DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによって、シングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって違います。バスモードには、サイクルスチールモードとバーストモードがあります。表 11.8 に本モジュールがサポートできる転送を示します。

表 11.8 サポートできる DMA 転送

転送元	転送先				
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	内蔵メモリ
DACK 付き 外部デバイス	不可	デュアル、 シングル	デュアル、 シングル	不可	不可
外部メモリ	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	不可	デュアル	デュアル	デュアル	デュアル
内蔵メモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
 2. シングル：シングルアドレスモード
 3. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス（選択）する場合に使うモードです。転送元と転送先は外部でも内部でも構いません。このモードでは、本モジュールは、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的に本モジュールに格納されます。たとえば、図 11.3 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが本モジュールに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

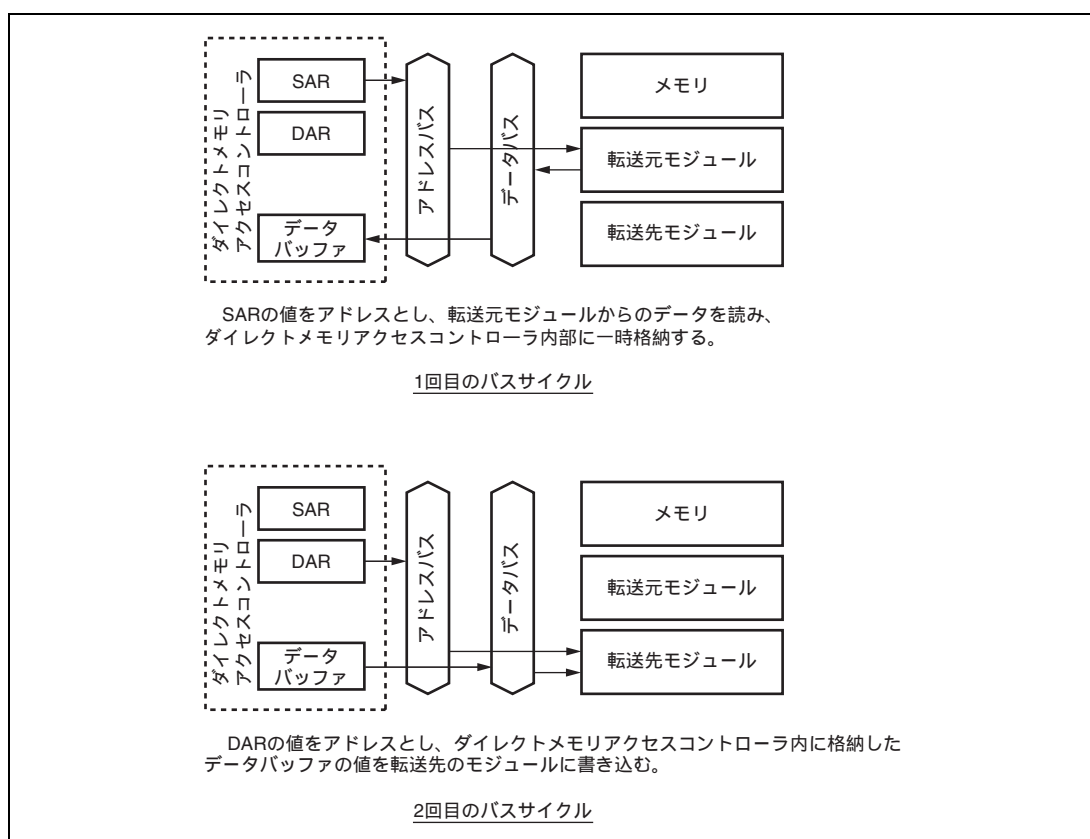


図 11.3 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかは CHCR の AM ビットによって設定可能です。

図 11.4 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

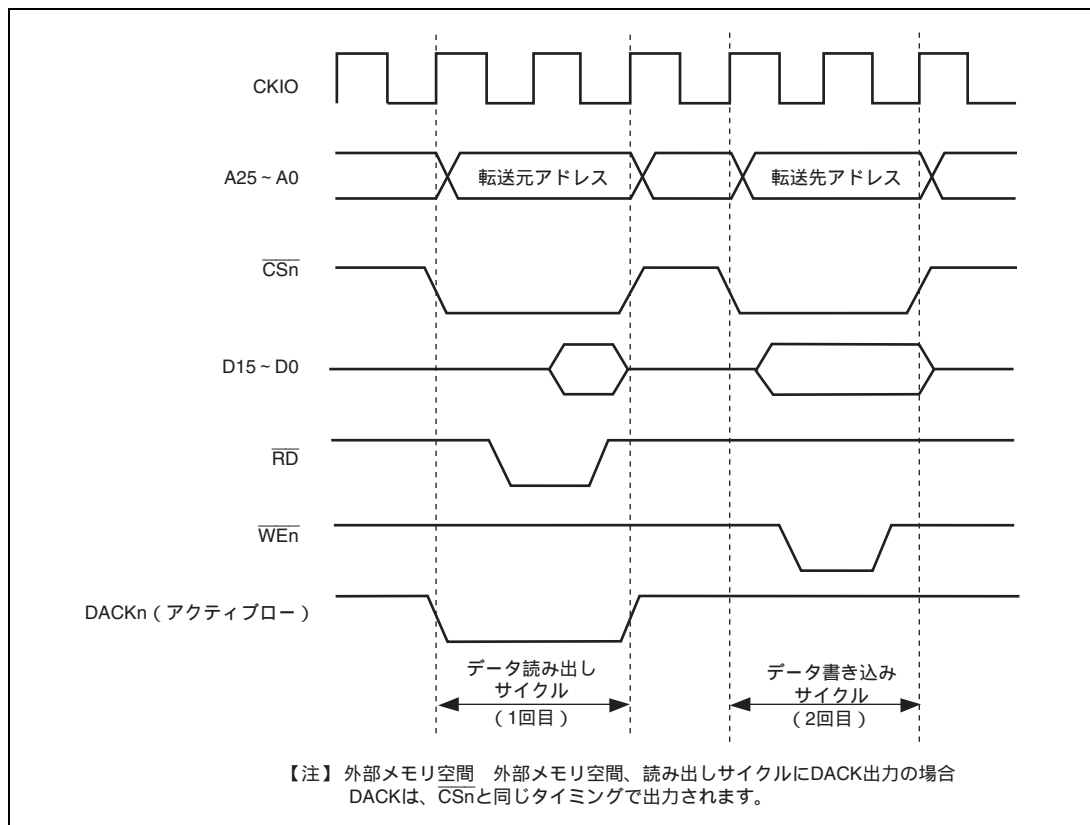


図 11.4 デュアルアドレスモードのDMA転送タイミング例
(転送元：通常メモリ、転送先：通常メモリ)

(b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうち的一方を DACK 信号によってアクセス（選択）し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1つのバスサイクルで DMA 転送を行います。たとえば、図 11.5 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

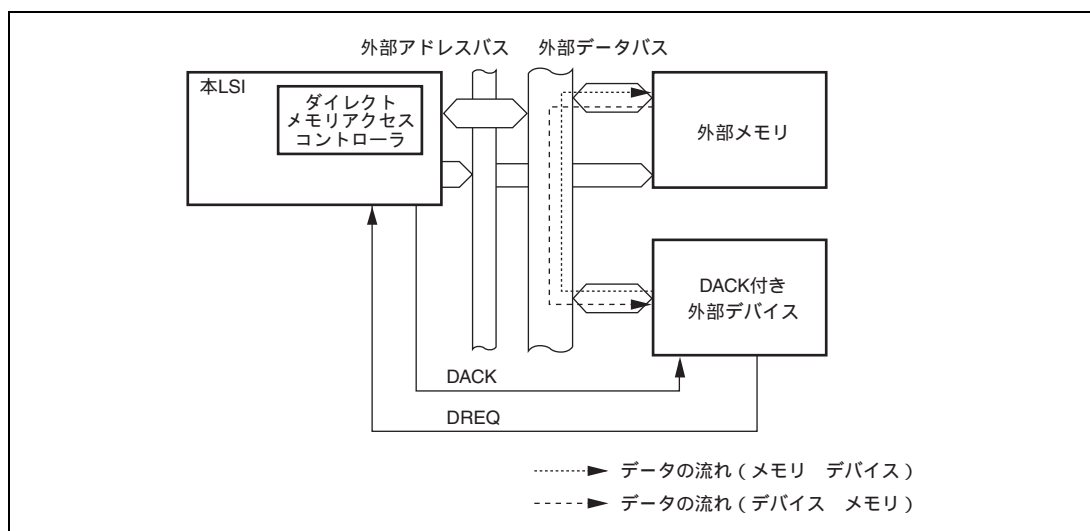


図 11.5 シングルアドレスモードのデータフロー

シングルアドレスモードで可能な転送は、(1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、(2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は外部リクエスト (DREQ) のみです。

図 11.6 にシングルアドレスモードでの DMA 転送タイミング例を示します。

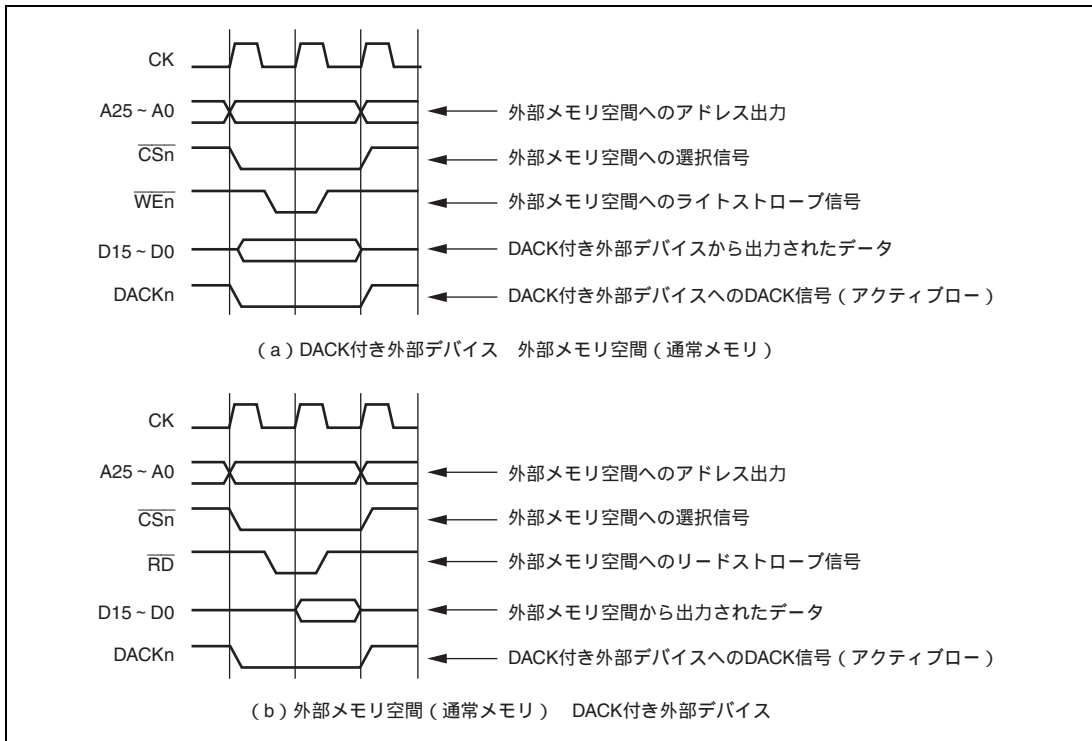


図 11.6 シングルアドレスモードの DMA 転送タイミング例

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は、CHCR の TB ビットで行います。

(a) サイクルスチールモード

• 通常モード

サイクルスチールの通常モードでは、本モジュールは1回の転送単位 (バイト、ワード、ロングワード、または16バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図11.7にサイクルスチール通常モードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

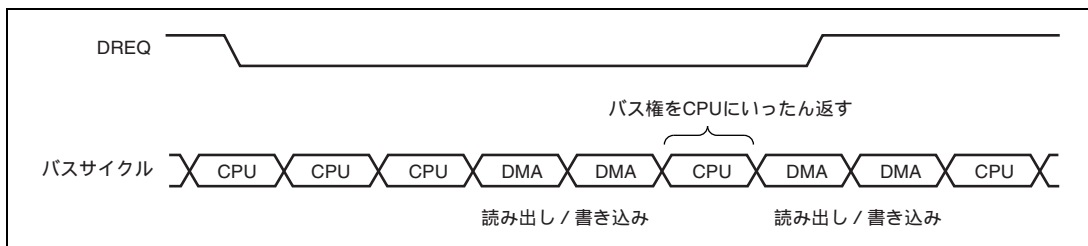


図 11.7 サイクルスチール通常モードの DMA 転送例（デュアルアドレス、DREQ ローレベル検出）

- インターミットモード16、インターミットモード64

サイクルスチールのインターミットモードでは、本モジュールは1回の転送単位（バイト、ワード、ロングワード、または16バイト単位）の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、B クロックカウントで16クロックまたは64クロック待った後に、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

本モジュールが再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA転送がさらに待たされる場合があります。

インターミットモードは、転送要求元、転送元、および転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスマスタがサイクルスチールモードである必要があります。

図11.8にサイクルスチールインターミットモードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

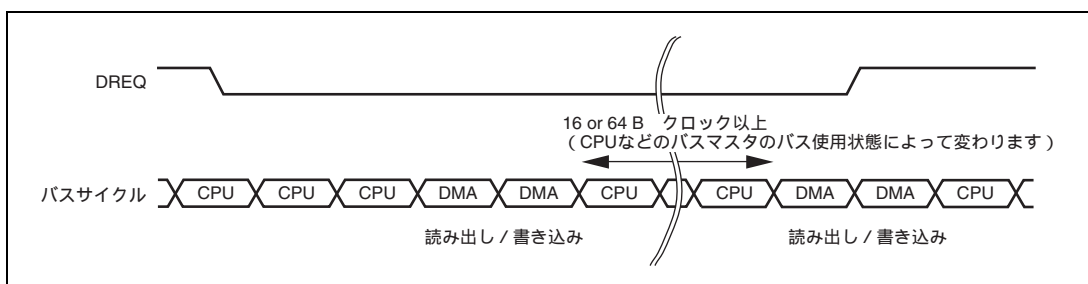


図 11.8 サイクルスチールインターミットモードの DMA 転送例
（デュアルアドレス、DREQ ローレベル検出）

(b) バーストモード

バーストモードでは、本モジュールは一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMA 転送要求を終了後に他のバスマスタにバス権を渡します。

図 11.9 にバーストモードでの DMA 転送タイミングを示します。

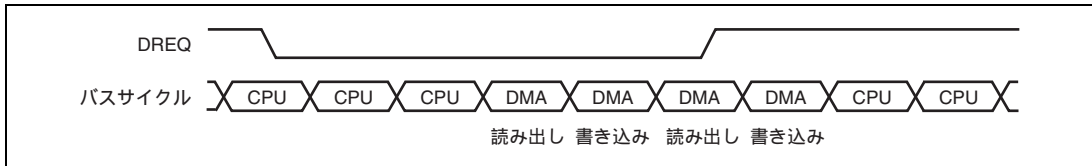


図 11.9 バーストモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 11.9 に DMA 転送区間とリクエストモードおよびバスモードなどの関連事項を示します。

表 11.9 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0
	外部メモリと外部メモリ	すべて可 ^{*4}	B/C	8/16/32/128	0 ~ 15 ^{*3}
	外部メモリとメモリマップト外部デバイス	すべて可 ^{*4}	B/C	8/16/32/128	0 ~ 15 ^{*3}
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 ^{*4}	B/C	8/16/32/128	0 ~ 15 ^{*3}
	外部メモリと内蔵周辺モジュール	すべて可 ^{*1}	B/C ^{*5}	8/16/32/128 ^{*2}	0 ~ 15 ^{*3}
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*1}	B/C ^{*5}	8/16/32/128 ^{*2}	0 ~ 15 ^{*3}
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*1}	B/C ^{*5}	8/16/32/128 ^{*2}	0 ~ 15 ^{*3}
	内蔵メモリと内蔵メモリ	すべて可 ^{*4}	B/C	8/16/32/128	0 ~ 15 ^{*3}
	内蔵メモリとメモリマップト外部デバイス	すべて可 ^{*4}	B/C	8/16/32/128	0 ~ 15 ^{*3}
	内蔵メモリと内蔵周辺モジュール	すべて可 ^{*1}	B/C ^{*5}	8/16/32/128 ^{*2}	0 ~ 15 ^{*3}
	内蔵メモリと外部メモリ	すべて可 ^{*4}	B/C	8/16/32/128	0 ~ 15 ^{*3}
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0

【記号説明】

B : バースト

C : サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、内蔵周辺モジュールリクエストの場合には、転送要求元がマルチファンクションタイムパルスユニット 2、コンペアマッチの場合を除いて、転送元または転送先がそれぞれの要求元レジスタである必要があります。
- *2 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズです。
- *3 転送要求が外部リクエストの場合にはチャンネル 0 のみ。
- *4 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、内蔵周辺モジュールリクエストの場合には、マルチファンクションタイムパルスユニット 2、コンペアマッチの場合のみ可能です。
- *5 内蔵周辺モジュールリクエストの場合には、転送要求元が CD-ROM デコーダ、マルチファンクションタイムパルスユニット 2、コンペアマッチの場合を除いてサイクルスチールのみ。

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0>CH1) において、チャンネル1 がバーストモードで転送中でも、それより優先順位の高いチャンネル0 に転送要求が発生すると、ただちにチャンネル0 の転送を開始します。

このとき、チャンネル0 もバーストモードの場合は優先順位の高いチャンネル0 の転送がすべて終了してから、チャンネル1 が転送を継続します。

また、チャンネル0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル0 が1 転送単位の転送を行った後、バス権を解放せずに連続してチャンネル1 が転送されます。その後も、チャンネル0 チャンネル1 チャンネル0 チャンネル1 というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後のCPU サイクルがバーストモード転送に置き換わった形になります (以後バーストモードの優先実行と呼ぶ)。この例を図 11.10 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまでバス権はバスマスタに解放しません。

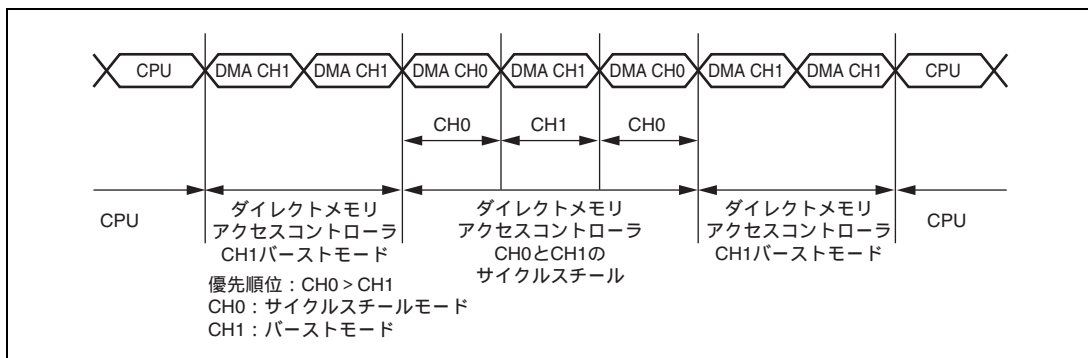


図 11.10 複数チャンネルが動作する場合のバス状態

11.4.5 バスサイクルのステート数と DREQ 端子のサンプリングタイミング

(1) バスサイクルのステート数

本モジュールがバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラで制御されます。詳細は、「第 10 章 バスステートコントローラ」を参照してください。

(2) DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 11.11 ~ 図 11.14 に示します。

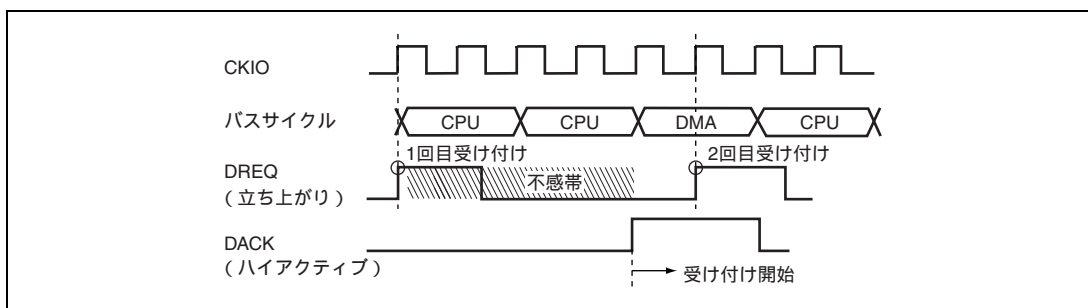


図 11.11 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング

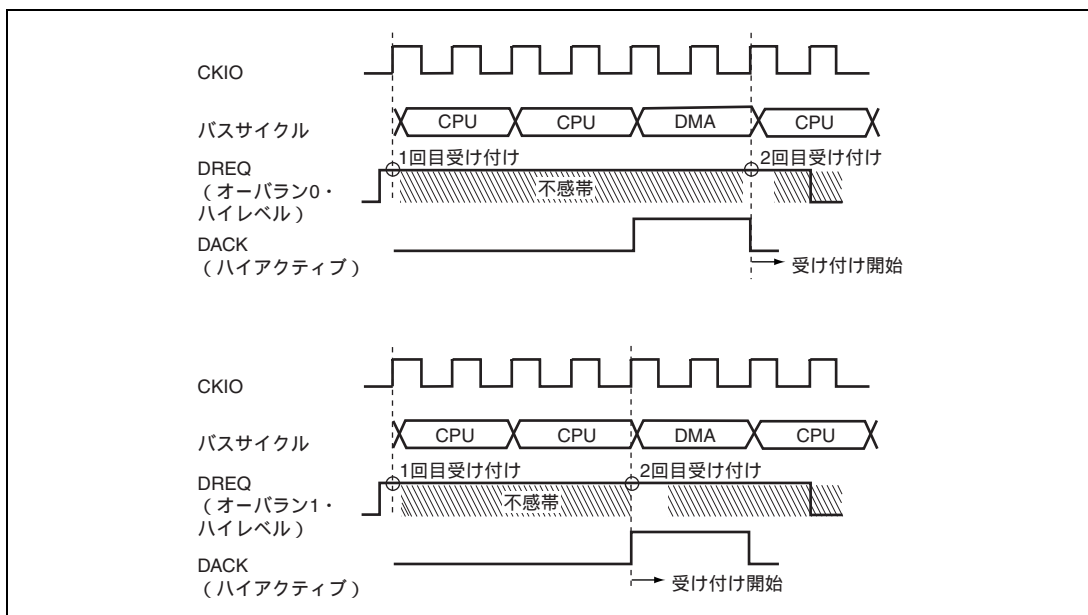


図 11.12 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング

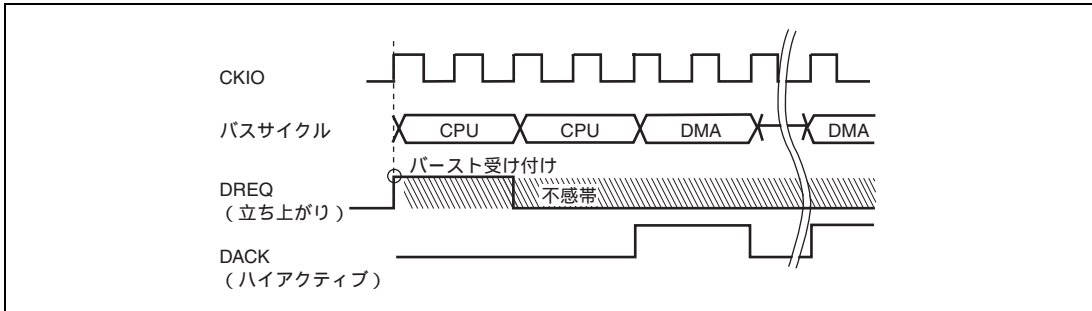


図 11.13 バーストモード・エッジ検出時の DREQ 入力検出タイミング

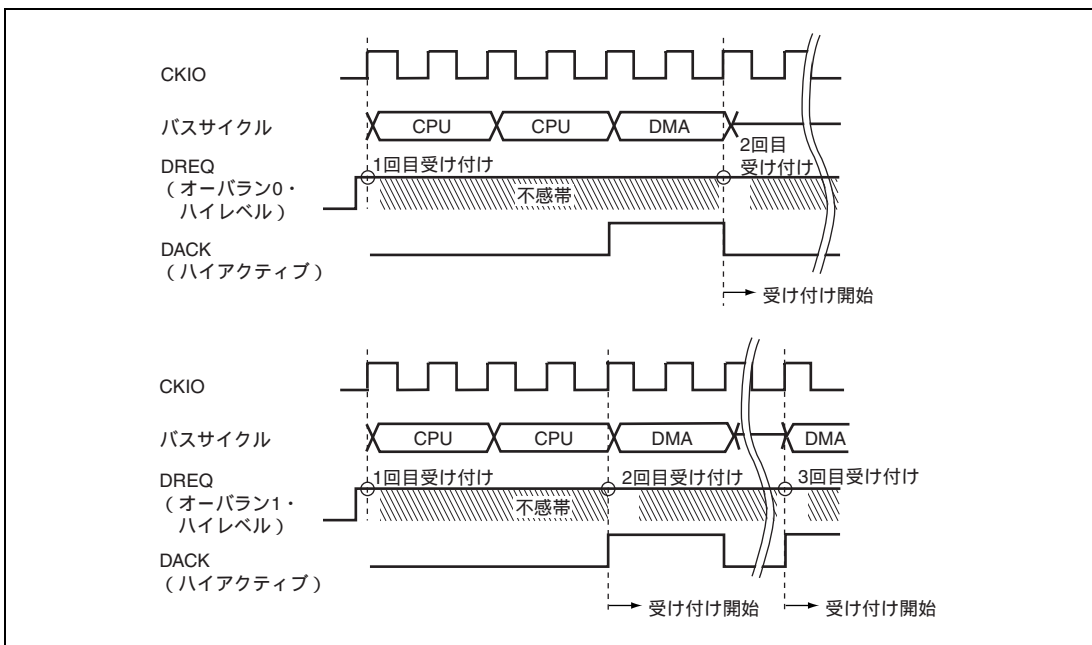


図 11.14 バーストモード・レベル検出時の DREQ 入力検出タイミング

図 11.15 に TEND 出力のタイミングを示します。

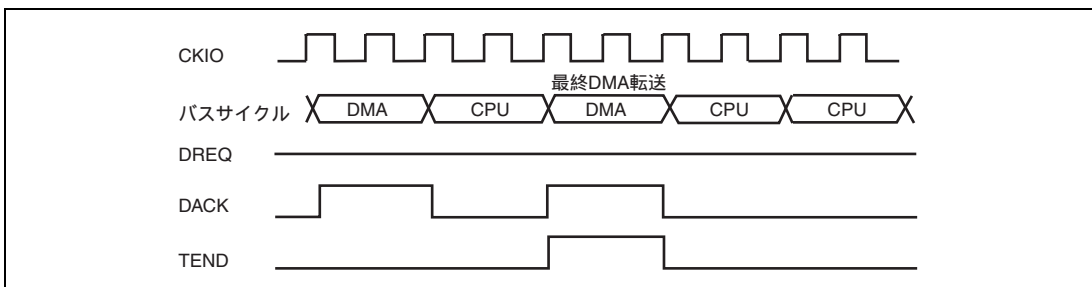


図 11.15 DMA 転送終了信号タイミング (サイクルスチール・レベル検出)

8ビット、16ビット、32ビット外部デバイスに16バイト転送を行ったり、8ビット、16ビット外部デバイスにロングワードアクセスしたり、8ビット外部デバイスにワードアクセスをする場合は、DMA転送単位が複数のバスサイクルに分割されます。DMA転送が複数のバスサイクルに分割され、かつバスサイクル間で \overline{CS} がネゲートする設定の場合、データをアライメントするために \overline{CS} と同様にDACK出力およびTEND出力が分割されるので注意してください。この例を図11.16に示します。なお、図11.11～図11.15は、DMA転送時にDACK、TENDが分割されない場合を示しています。

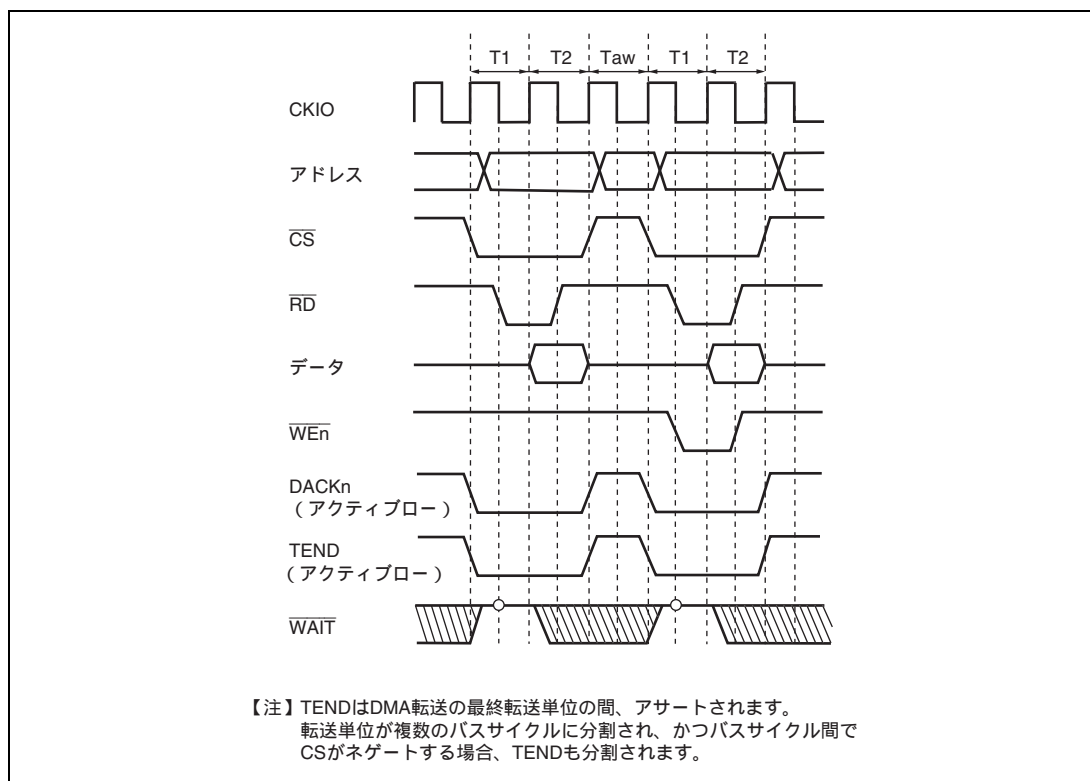


図 11.16 バスステートコントローラ通常メモリアクセス（ノーウェイト、アイドルサイクル1、16ビットデバイスへのロングワードアクセス）

11.5 使用上の注意事項

11.5.1 DACK 出力および TEND 出力のタイミング

外部メモリが MPX-I/O の場合、DACK 出力はデータサイクルのタイミングでアサートされます。詳細は「第 10 章 バスステートコントローラ」の「10.5.5 MPX-I/O インタフェース」を参照してください。

MPX-I/O 以外のメモリ種の場合には、該当 CS アサートと同一タイミングで DACK 出力もアサートされます。

TEND 出力はメモリ種によらず、常に該当 CS アサートと同一タイミングでアサートされます。

12. マルチファンクションタイマパルスユニット 2

本 LSI は、5 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 を内蔵しています。

12.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ（TCNT）への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相のPWM出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 25種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- CH0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ（ブラシレスDCモータ）駆動モードが設定可能で、2種（チョッピング、レベル）の波形出力が選択可能
- 相補PWMモード時、カウンタの山/谷での割り込み、およびA/D変換器の変換スタートトリガを間引くことが可能

表 12.1 マルチファンクションタイマパルスユニット 2 の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
カウントクロック	P0 / 1 P0 / 4 P0 / 16 P0 / 64 TCLKA TCLKB TCLKC TCLKD	P0 / 1 P0 / 4 P0 / 16 P0 / 64 P0 / 256 TCLKA TCLKB	P0 / 1 P0 / 4 P0 / 16 P0 / 64 P0 / 1024 TCLKA TCLKB TCLKC	P0 / 1 P0 / 4 P0 / 16 P0 / 64 P0 / 256 P0 / 1024 TCLKA TCLKB	P0 / 1 P0 / 4 P0 / 16 P0 / 64 P0 / 256 P0 / 1024 TCLKA TCLKB
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0 TGRE_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0 TGRF_0	-	-	TGRC_3 TGRD_3	TGRC_4 TGRD_4
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力				
	1 出力				
	トグル出力				
インプットキャプチャ機能					
同期動作					
PWM モード 1					
PWM モード 2				-	-
相補 PWM モード	-	-	-		
リセット PWM モード	-	-	-		
AC 同期モータ駆動モード					
位相計数モード	-			-	-
バッファ動作		-	-		

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
ダイレクトメモリアクセス コントローラの起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャと TCNT オーバフロー/ アンダフロー
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ TGRE_0 の コンペアマッチ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ 相補 PWM モード時 TCNT_4 の アンダフロー (谷)
割り込み要因	7 要因 <ul style="list-style-type: none"> • コンペアマッ チ/インプッ トキャプチャ 0A • コンペアマッ チ/インプッ トキャプチャ 0B • コンペアマッ チ/インプッ トキャプチャ 0C • コンペアマッ チ/インプッ トキャプチャ 0D • コンペアマッ チ 0E • コンペアマッ チ 0F • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッ チ/インプッ トキャプチャ 1A • コンペアマッ チ/インプッ トキャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッ チ/インプッ トキャプチャ 2A • コンペアマッ チ/インプッ トキャプチャ 2B • オーバフロー • アンダフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッ チ/インプッ トキャプチャ 3A • コンペアマッ チ/インプッ トキャプチャ 3B • コンペアマッ チ/インプッ トキャプチャ 3C • コンペアマッ チ/インプッ トキャプチャ 3D • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッ チ/インプッ トキャプチャ 4A • コンペアマッ チ/インプッ トキャプチャ 4B • コンペアマッ チ/インプッ トキャプチャ 4C • コンペアマッ チ/インプッ トキャプチャ 4D • オーバフロー / アンダフロー

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
A/D 変換開始要求 ディレイド機能	-	-	-	-	<ul style="list-style-type: none"> • TADCORA_4 と TCNT_4 の一致で、A/D 変換開始要求 • TADCORB_4 と TCNT_4 の一致で、A/D 変換開始要求
割り込み間引き機能	-	-	-	<ul style="list-style-type: none"> • TGRA_3 のコンペアマッチ割り込みを間引き 	<ul style="list-style-type: none"> • TCIV_4 割り込みを間引き

【記号説明】

: 可能

- : 不可

図 12.1 にブロック図を示します。

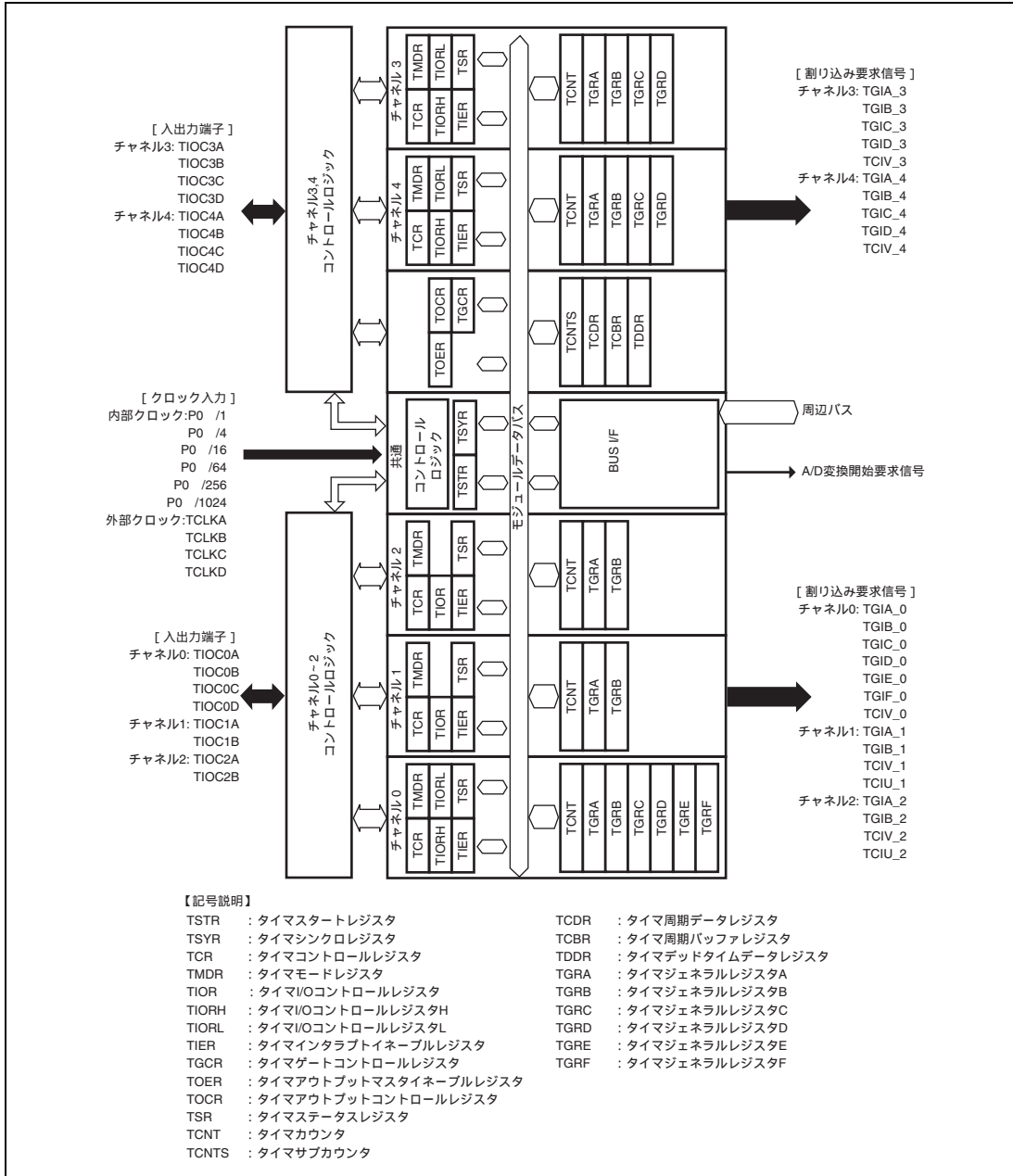


図 12.1 ブロック図

12.2 入出力端子

表 12.2 に端子構成を示します。

表 12.2 端子構成

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

チャンネル	端子名	入出力	機能
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

【注】 相補 PWM モードの端子構成は、「12.4.8 相補 PWM モード」の表 12.54 を参照してください。

12.3 レジスタの説明

表 12.3 にレジスタ構成を示します。各チャンネルのレジスタ名についてはチャンネル 0 の TCR は TCR_0 と表記してあります。

表 12.3 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FFFE4300	8
	タイマモードレジスタ_0	TMDR_0	R/W	H'00	H'FFFE4301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FFFE4302	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FFFE4303	8
	タイマインタラプトイネーブル レジスタ_0	TIER_0	R/W	H'00	H'FFFE4304	8
	タイマステータスレジスタ_0	TSR_0	R/W	H'C0	H'FFFE4305	8
	タイマカウンタ_0	TCNT_0	R/W	H'0000	H'FFFE4306	16
	タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FFFE4308	16
	タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FFFE430A	16
	タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FFFE430C	16
	タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FFFE430E	16
	タイマジェネラルレジスタ E_0	TGRE_0	R/W	H'FFFF	H'FFFE4320	16
	タイマジェネラルレジスタ F_0	TGRF_0	R/W	H'FFFF	H'FFFE4322	16
	タイマインタラプトイネーブル レジスタ 2_0	TIER2_0	R/W	H'00	H'FFFE4324	8
	タイマステータスレジスタ 2_0	TSR2_0	R/W	H'C0	H'FFFE4325	8
	タイマバッファ動作転送モード レジスタ_0	TBTM_0	R/W	H'00	H'FFFE4326	8
	1	タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FFFE4380
タイマモードレジスタ_1		TMDR_1	R/W	H'00	H'FFFE4381	8
タイマ I/O コントロールレジスタ_1		TIOR_1	R/W	H'00	H'FFFE4382	8
タイマインタラプトイネーブル レジスタ_1		TIER_1	R/W	H'00	H'FFFE4384	8
タイマステータスレジスタ_1		TSR_1	R/W	H'C0	H'FFFE4385	8
タイマカウンタ_1		TCNT_1	R/W	H'0000	H'FFFE4386	16
タイマジェネラルレジスタ A_1		TGRA_1	R/W	H'FFFF	H'FFFE4388	16
タイマジェネラルレジスタ B_1		TGRB_1	R/W	H'FFFF	H'FFFE438A	16
タイマインプットキャプチャ コントロールレジスタ		TICCR	R/W	H'00	H'FFFE4390	8

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	タイマコントロールレジスタ_2	TCR_2	R/W	H'00	H'FFFE4000	8
	タイマモードレジスタ_2	TMDR_2	R/W	H'00	H'FFFE4001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	R/W	H'00	H'FFFE4002	8
	タイマインタラプトイネーブル レジスタ_2	TIER_2	R/W	H'00	H'FFFE4004	8
	タイマステータスレジスタ_2	TSR_2	R/W	H'00	H'FFFE4005	8
	タイマカウンタ_2	TCNT_2	R/W	H'0000	H'FFFE4006	16
	タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FFFE4008	16
	タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FFFE400A	16
3	タイマコントロールレジスタ_3	TCR_3	R/W	H'00	H'FFFE4200	8
	タイマモードレジスタ_3	TMDR_3	R/W	H'00	H'FFFE4202	8
	タイマ I/O コントロールレジスタ H_3	TIORH_3	R/W	H'00	H'FFFE4204	8
	タイマ I/O コントロールレジスタ L_3	TIORL_3	R/W	H'00	H'FFFE4205	8
	タイマインタラプトイネーブル レジスタ_3	TIER_3	R/W	H'00	H'FFFE4208	8
	タイマステータスレジスタ_3	TSR_3	R/W	H'00	H'FFFE422C	8
	タイマカウンタ_3	TCNT_3	R/W	H'0000	H'FFFE4210	16
	タイマジェネラルレジスタ A_3	TGRA_3	R/W	H'FFFF	H'FFFE4218	16
	タイマジェネラルレジスタ B_3	TGRB_3	R/W	H'FFFF	H'FFFE421A	16
	タイマジェネラルレジスタ C_3	TGRC_3	R/W	H'FFFF	H'FFFE4224	16
	タイマジェネラルレジスタ D_3	TGRD_3	R/W	H'FFFF	H'FFFE4226	16
	タイマバッファ動作転送モード レジスタ_3	TBTM_3	R/W	H'00	H'FFFE4238	8
4	タイマコントロールレジスタ_4	TCR_4	R/W	H'00	H'FFFE4201	8
	タイマモードレジスタ_4	TMDR_4	R/W	H'00	H'FFFE4203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	R/W	H'00	H'FFFE4206	8
	タイマ I/O コントロールレジスタ L_4	TIORL_4	R/W	H'00	H'FFFE4207	8
	タイマインタラプトイネーブル レジスタ_4	TIER_4	R/W	H'00	H'FFFE4209	8
	タイマステータスレジスタ_4	TSR_4	R/W	H'00	H'FFFE422D	8
	タイマカウンタ_4	TCNT_4	R/W	H'0000	H'FFFE4212	16
	タイマジェネラルレジスタ A_4	TGRA_4	R/W	H'FFFF	H'FFFE421C	16
	タイマジェネラルレジスタ B_4	TGRB_4	R/W	H'FFFF	H'FFFE421E	16
	タイマジェネラルレジスタ C_4	TGRC_4	R/W	H'FFFF	H'FFFE4228	16
	タイマジェネラルレジスタ D_4	TGRD_4	R/W	H'FFFF	H'FFFE422A	16
	タイマバッファ動作転送モード レジスタ_4	TBTM_4	R/W	H'00	H'FFFE4239	8

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
4	タイマ A/D 変換開始要求コントロール レジスタ	TADCR	R/W	H'0000	H'FFFE4240	16
	タイマ A/D 変換開始要求周期設定 レジスタ A_4	TADCORA_4	R/W	H'FFFF	H'FFFE4244	16
	タイマ A/D 変換開始要求周期設定 レジスタ B_4	TADCORB_4	R/W	H'FFFF	H'FFFE4246	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	R/W	H'FFFF	H'FFFE4248	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	R/W	H'FFFF	H'FFFE424A	16
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFE4280	8
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFE4281	8
	タイマリードライトイネーブル レジスタ	TRWER	R/W	H'01	H'FFFE4284	8
3/4 共通	タイマアウトプットマスタイネーブル レジスタ	TOER	R/W	H'C0	H'FFFE420A	8
	タイマアウトプットコントロール レジスタ 1	TOCR1	R/W	H'00	H'FFFE420E	8
	タイマアウトプットコントロール レジスタ 2	TOCR2	R/W	H'00	H'FFFE420F	8
	タイマゲートコントロールレジスタ	TGCR	R/W	H80	H'FFFE420D	8
	タイマ周期データレジスタ	TCDR	R/W	H'FFFF	H'FFFE4214	16
	タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FFFE4216	16
	タイマサブカウンタ	TCNTS	R	H'0000	H'FFFE4220	16
	タイマ周期バッファレジスタ	TCBR	R/W	H'FFFF	H'FFFE4222	16
	タイマ割り込み間引き設定レジスタ	TITCR	R/W	H'00	H'FFFE4230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	R	H'00	H'FFFE4231	8
	タイマバッファ転送設定レジスタ	TBTER	R/W	H'00	H'FFFE4232	8
	タイマデッドタイムイネーブル レジスタ	TDER	R/W	H'01	H'FFFE4234	8
	タイマ波形コントロールレジスタ	TWCR	R/W	H'00	H'FFFE4260	8
	タイマアウトプットレベルバッファ レジスタ	TOLBR	R/W	H'00	H'FFFE4236	8

12.3.1 タイマコントロールレジスタ (TCR)

TCR は、各チャンネルの TCNT を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。本モジュールには、チャンネル 0~4 に各 1 本、計 5 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCLR[2:0]			CKEG[1:0]			TPSC[2:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	CCLR[2:0]	000	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 12.4、表 12.5 を参照してください。
4、3	CKEG[1:0]	00	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: P0 / 4 の両エッジ = P0 / 2 の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが P0 / 4 もしくはそれより遅い場合に有効です。入力クロックに P0 / 1、あるいは他のチャンネルのオーバフロー / アンダフローを選択した場合、値は書き込めませんが、動作は初期値となります。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1x: 両エッジでカウント
2~0	TPSC[2:0]	000	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 12.6 ~ 表 12.9 を参照してください。

【記号説明】 x : Don't care

表 12.4 CCLR2～CCLR0 (チャンネル0、3、4)

チャンネル	ビット7	ビット6	ビット5	説 明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

表 12.5 CCLR2～CCLR0 (チャンネル1、2)

チャンネル	ビット7	ビット6	ビット5	説 明
	リザーブ* ²	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込みは無効です。

表 12.6 TPSC2～TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック：P0 /1 でカウント
	0	0	1	内部クロック：P0 /4 でカウント
	0	1	0	内部クロック：P0 /16 でカウント
	0	1	1	内部クロック：P0 /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	外部クロック：TCLKD 端子入力でカウント

表 12.7 TPSC2～TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック：P0 /1 でカウント
	0	0	1	内部クロック：P0 /4 でカウント
	0	1	0	内部クロック：P0 /16 でカウント
	0	1	1	内部クロック：P0 /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	内部クロック：P0 /256 でカウント
	1	1	1	TCNT_2 のオーバフロー / アンダフローでカウント

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

表 12.8 TPSC2～TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック：P0 /1 でカウント
	0	0	1	内部クロック：P0 /4 でカウント
	0	1	0	内部クロック：P0 /16 でカウント
	0	1	1	内部クロック：P0 /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	内部クロック：P0 /1024 でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

表 12.9 TPSC2 ~ TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : P0 /1 でカウント
	0	0	1	内部クロック : P0 /4 でカウント
	0	1	0	内部クロック : P0 /16 でカウント
	0	1	1	内部クロック : P0 /64 でカウント
	1	0	0	内部クロック : P0 /256 でカウント
	1	0	1	内部クロック : P0 /1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

12.3.2 タイマモードレジスタ (TMDR)

TMDR は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。本モジュールには、チャンネル 0 ~ 4 に各 1 本、計 5 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット :	7	6	5	4	3	2	1	0
	-	BFE	BFB	BFA	MD[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BFE	0	R/W	バッファ動作 E TGRE_0 と TGRF_0 を通常動作またはバッファ動作させるかどうかを選択します。 TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。 チャンネル 1、2、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGRE_0 と TGRF_0 は通常動作 1 : TGRE_0 と TGRF_0 はバッファ動作

ビット	ビット名	初期値	R/W	説 明
5	BFB	0	R/W	<p>バッファ動作 B</p> <p>TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。</p> <p>TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRB と TGRD は通常動作 1 : TGRB と TGRD はバッファ動作</p>
4	BFA	0	R/W	<p>バッファ動作 A</p> <p>TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、チャンネル 4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGFC がセットされますので、タイムインタラプトイネーブルレジスタ_4 (TIER_4) の TGIEC ビットは 0 にしてください。</p> <p>TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作</p>
3~0	MD[3:0]	0000	R/W	<p>モード 3~0</p> <p>MD3~MD0 はタイムの動作モードを設定します。</p> <p>詳細は表 12.10 を参照してください。</p>

表 12.10 MD3~MD0 ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説 明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2* ¹
0	1	0	0	位相計数モード 1* ²
0	1	0	1	位相計数モード 2* ²
0	1	1	0	位相計数モード 3* ²
0	1	1	1	位相計数モード 4* ²
1	0	0	0	リセット同期 PWM モード* ³
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1 (山で転送)* ³
1	1	1	0	相補 PWM モード 2 (谷で転送)* ³
1	1	1	1	相補 PWM モード 3 (山・谷で転送)* ³

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

12.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は、TGR を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。本モジュールには、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、計 8 本の TIOR があります。

TIOR は TMDR の設定が、通常動作、PWM モード、位相係数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4

ビット:	7	6	5	4	3	2	1	0
	IOB[3:0]				IOA[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	IOB[3:0]	0000	R/W	I/O コントロール B3~B0 IOB3~IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 12.11 TIOR_1 : 表 12.13 TIOR_2 : 表 12.14 TIORH_3 : 表 12.15 TIORH_4 : 表 12.17
3~0	IOA[3:0]	0000	R/W	I/O コントロール A3~A0 IOA3~IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 12.19 TIOR_1 : 表 12.21 TIOR_2 : 表 12.22 TIORH_3 : 表 12.23 TIORH_4 : 表 12.25

- TIORL_0、TIORL_3、TIORL_4

ビット:	7	6	5	4	3	2	1	0
	IOD[3:0]				IOC[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	IOD[3:0]	0000	R/W	I/O コントロール D3~D0 IOD3~IOD0 ビットは TGRD の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 12.12 TIORL_3 : 表 12.16 TIORL_4 : 表 12.18
3~0	IOC[3:0]	0000	R/W	I/O コントロール C3~C0 IOC3~IOC0 ビットは TGRC の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 12.20 TIORL_3 : 表 12.24 TIORL_4 : 表 12.26

表 12.11 TIORH_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.12 TIORL_0 (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 12.13 TIOR_1 (チャンネル 1)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.14 TIOR_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.15 TIORH_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.16 TIORL_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.17 TIORH_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	TGRB_4 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.18 TIORL_4 (チャンネル 4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ / アウトプットコンペアは発生しません。

表 12.19 TIORH_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.20 TIORL_0 (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0の機能	TIOC0Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック TCNT_1のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIORを設定するまでは0が出力されます。

*2 TMDR_0のBFAビットを1にセットしてTGRC_0をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.21 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.22 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.23 TIORH_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャ レジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.24 TIORL_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペア レジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.25 TIORH_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.26 TIORL_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFA ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

12.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。本モジュールには、チャンネル 0 に 2 本、チャンネル 1~4 に各 1 本、計 6 本の TIER があります。

- TIER_0、TIER_1、TIER_2、TIER_3、TIER_4

ビット:	7	6	5	4	3	2	1	0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 相補 PWM モードで、TCNT_4 のアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。 チャンネル 0~3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCNT_4 のアンダフロー (谷) による A/D 変換要求を禁止 1 : TCNT_4 のアンダフロー (谷) による A/D 変換要求を許可
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されません。書き込む値も常に 0 にしてください。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可

ビット	ビット名	初期値	R/W	説明
3	TGIED	0	R/W	<p>TGR インタラプトイネーブル D</p> <p>チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可</p>
2	TGIEC	0	R/W	<p>TGR インタラプトイネーブル C</p> <p>チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可</p>
1	TGIEB	0	R/W	<p>TGR インタラプトイネーブル B</p> <p>TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。</p> <p>0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可</p>
0	TGIEA	0	R/W	<p>TGR インタラプトイネーブル A</p> <p>TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。</p> <p>0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可</p>

- TIER2_0

ビット:	7	6	5	4	3	2	1	0
	TTGE2	-	-	-	-	-	TGIEF	TGIEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を禁止する 1: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を許可する
6~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGIEF	0	R/W	TGR インタラプトイネーブル F TCNT_0 と TGRF_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGFE ビットによる割り込み要求 (TGIF) を禁止 1: TGFE ビットによる割り込み要求 (TGIF) を許可
0	TGIEE	0	R/W	TGR インタラプトイネーブル E TCNT_0 と TGRE_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGEE ビットによる割り込み要求 (TGIE) を禁止 1: TGEE ビットによる割り込み要求 (TGIE) を許可

12.3.5 タイマステータスレジスタ (TSR)

TSR は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルのステータスの表示を行います。本モジュールには、チャンネル 0 に 2 本、チャンネル 1~4 に各 1 本、計 6 本の TSR があります。

- TSR_0、TSR_1、TSR_2、TSR_3、TSR_4

ビット:	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1~4 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCFU	0	R/(W)*1	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [クリア条件] • TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき*2 [セット条件] • TCNT の値がアンダフロー (H'0000 H'FFFF) したとき
4	TCFV	0	R/(W)*1	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [クリア条件] • TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき*2 [セット条件] • TCNT の値がオーバフローしたとき (H'FFFF H'0000) チャンネル 4 では相補 PWM モードで TCNT_4 の値がアンダフロー (H'0001 H'0000) したときにも本フラグがセットされます。

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき
2	TGFC	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき
1	TGFB	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みによりダイレクトメモリアクセスコントローラが起動されたとき • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 1 を読み出した後、0 を書き込む前に次のフラグセットが発生した場合は、0 を書き込んでフラグはクリアされません。再度 1 を読み出して 0 を書き込んでください。

• TSR2_0

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TGFF	TGFE
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	TGFF	0	R/(W)*1	コンペアマッチフラグF TCNT_0とTGRF_0のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFF = 1 の状態で TGFF をリード後、TGFF に 0 をライトしたとき*2 [セット条件] • TGRF_0 をコンペアレジスタとして機能している場合、TCNT_0 = TGRF_0 になったとき
0	TGFE	0	R/(W)*1	コンペアマッチフラグE TCNT_0とTGRE_0のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFE = 1 の状態で TGFE をリード後、TGFE に 0 をライトしたとき*2 [セット条件] • TGRE_0 をコンペアレジスタとして機能している場合、TCNT_0 = TGRE_0 になったとき

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 1を読み出した後、0を書き込む前に次のフラグセットが発生した場合は、0を書き込んでもフラグはクリアされません。再度1を読み出して0を書き込んでください。

12.3.6 タイマバッファ動作転送モードレジスタ (TBTM)

TBTM は、8 ビットの読み出し / 書き込み可能なレジスタで、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングの設定を行います。本モジュールには、チャンネル 0、3、4 に各 1 本、計 3 本の TBTM があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TTSE	TTSB	TTSA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TTSE	0	R/W	タイミングセレクト E バッファ動作時の TGRF_0 から TGRE_0 への転送タイミングを設定します。 チャンネル 3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。 なお、チャンネル 0 を PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0: チャンネル 0 のコンペアマッチ E 発生時 1: TCNT_0 クリア時
1	TTSB	0	R/W	タイミングセレクト B 各チャンネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ B 発生時 1: 各チャンネルの TCNT クリア時
0	TTSA	0	R/W	タイミングセレクト A 各チャンネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ A 発生時 1: 各チャンネルの TCNT クリア時

12.3.7 タイマインプットキャプチャコントロールレジスタ (TICCR)

TICCR は、8 ビットの読み出し / 書き込み可能なレジスタで、TCNT_1 と TCNT_2 のカスケード接続時のインプットキャプチャ条件を制御します。本モジュールには、チャンネル 1 に 1 本の TICCR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	I2BE	I2AE	I1BE	I1AE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	I2BE	0	R/W	インプットキャプチャイネーブル TGRB_1 のインプットキャプチャ条件に TIOC2B 端子を追加する / しないを選択します。 0 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加しない 1 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加する
2	I2AE	0	R/W	インプットキャプチャイネーブル TGRA_1 のインプットキャプチャ条件に TIOC2A 端子を追加する / しないを選択します。 0 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加しない 1 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加する
1	I1BE	0	R/W	インプットキャプチャイネーブル TGRB_2 のインプットキャプチャ条件に TIOC1B 端子を追加する / しないを選択します。 0 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加しない 1 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加する
0	I1AE	0	R/W	インプットキャプチャイネーブル TGRA_2 のインプットキャプチャ条件に TIOC1A 端子を追加する / しないを選択します。 0 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加しない 1 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加する

12.3.8 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

TADCR は、16 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しなないを設定します。本モジュールには、チャンネル 4 に 1 本の TADCR があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]	-	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
初期値:	0	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*
R/W:	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	BF[1:0]	00	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 12.27 を参照してください。
13~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	UT4AE	0	R/W	アップカウント TRG4AN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可
6	DT4AE	0*	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
5	UT4BE	0	R/W	アップカウント TRG4BN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可
4	DT4BE	0*	R/W	ダウンカウント TRG4BN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可

ビット	ビット名	初期値	R/W	説明
3	ITA3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
2	ITA4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する
1	ITB3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
0	ITB4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する

- 【注】
1. TADCR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
 2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。
 3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。
- * 相補 PWM モード以外では、1 に設定しないでください。

表 12.27 BF1、BF0 ビットによる転送タイミングの設定

ビット7	ビット6	説 明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタから周期設定レジスタへ転送する*1
1	0	TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する*2
1	1	TCNT_4 の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する*2

【注】 *1 相補 PWM モードでは TCNT_4 の山、リセット同期 PWM モードでは TCNT_3 が TGRA_3 とコンペアマッチしたとき、PWM モード 1 / 通常動作モードでは TCNT_4 が TGRA_4 とコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

*2 相補 PWM モード以外では設定禁止です。

12.3.9 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)

TADCORA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TCNT_4 と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCORA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.10 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)

TADCOBRA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TADCORA/B_4 のバッファレジスタから山か谷で TADCORA/B_4 に転送します。

TADCOBRA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCOBRA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.11 タイマカウンタ (TCNT)

TCNT は、16 ビットの読み出し / 書き込み可能なカウンタです。チャンネル 0~4 に各 1 本、計 5 本の TCNT があります。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.12 タイマジェネラルレジスタ (TGR)

TGR は、16 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 0 に 6 本、チャンネル 1、2 に各 2 本、チャンネル 3、4 に各 4 本、計 18 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD はアウトプットコンペア / インพุットキャプチャ兼用のレジスタです。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

TGRE_0、TGRF_0 はコンペアレジスタとして機能し、TCNT_0 と TGRE_0 が一致したとき、A/D 変換開始要求を発生することができます。TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE - TGRF になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、H'FFFFです。

12.3.13 タイマスタートレジスタ (TSTR)

TSTR は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~4 の TCNT の動作 / 停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット:	7	6	5	4	3	2	1	0
	CST4	CST3	-	-	-	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CST4	0	R/W	カウンタスタート 4、3
6	CST3	0	R/W	TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2~TCNT_0 のカウント動作は停止 1 : TCNT_2~TCNT_0 はカウント動作

12.3.14 タイマシンクロレジスタ (TSYR)

TSYR は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SYNC4	0	R/W	タイマ同期 4、3
6	SYNC3	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) 1: TCNT_4、TCNT_3 は同期動作 TCNT の同期プリセット / 同期クリアが可能
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_2~TCNT_0 は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) 1: TCNT_2~TCNT_0 は同期動作 TCNT の同期プリセット / 同期クリアが可能

12.3.15 タイマリードライトイネーブルレジスタ (TRWER)

TRWER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3、4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RWE
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RWE	1	R/W	リードライトイネーブル 誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。 0 : レジスタのリードライトを禁止する 1 : レジスタのリードライトを許可する [クリア条件] • RWE = 1 の状態で RWE をリード後、RWE に 0 をライトしたとき

- 誤書き込み防止の対象レジスタ / カウンタ

TCR_3、4、TMDR_3、4、TIORH_3、4、TIORL_3、4、TIER_3、4、TGRA_3、4、TGRB_3、4、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と TCNT_3、4 の計 22 レジスタです。

12.3.16 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットの読み出し / 書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。TOER の設定はチャンネル 3、4 の TCNT のカウント動作を停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の本モジュール出力を許可 / 禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の本モジュール出力を許可 / 禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の本モジュール出力を許可 / 禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の本モジュール出力を許可 / 禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の本モジュール出力を許可 / 禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の本モジュール出力を許可 / 禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可

【注】 * 非アクティブレベルは、タイマアウトプットコントロールレジスタ 1/2 (TOCR1/2) の設定によります。詳細は、「12.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)」、「12.3.18 タイマアウトプットコントロー

レジスタ 2 (TOCR2)」を参照してください。なお、相補 PWM モード / リセット同期 PWM モード以外で本モジュール出力する場合は 1 に設定してください。0 に設定した場合はローレベルが出力されます。

12.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)

TOCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/(W)*3	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PSYE	0	R/W	PWM 同期出力イネーブル PWM 周期に同期したトグル出力の許可 / 禁止を設定します。 0: トグル出力を禁止 1: トグル出力を許可
5, 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TOCL	0	R/(W)*3	TOC レジスタ書き込み禁止ビット*1 TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止
2	TOCS	0	R/W	TOC セレクトビット 相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0: TOCR1 の設定を有効にする 1: TOCR2 の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクト N*2*4 リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 12.28 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P*2 リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 12.29 を参照してください。

【注】 *1 TOCL ビットを 1 に設定することにより、CPU 暴走時の誤書き込みを防止することができます。

*2 TOCS ビットを 0 に設定することにより、本設定が有効になります。

*3 パワーオンリセット後、1 回のみ 1 を書き込みできます。1 を書き込み後は、0 を書き込むことはできません。

*4 デッドタイムを生成しない場合、逆相の出力は正相の反転になります。なお、OLSP、OLSN に同じ値を設定してください。

表 12.28 出力レベルセレクト機能

ビット 1	機 能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.29 出力レベルセレクト機能

ビット 0	機 能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例（1 相分）を図 12.2 に示します。

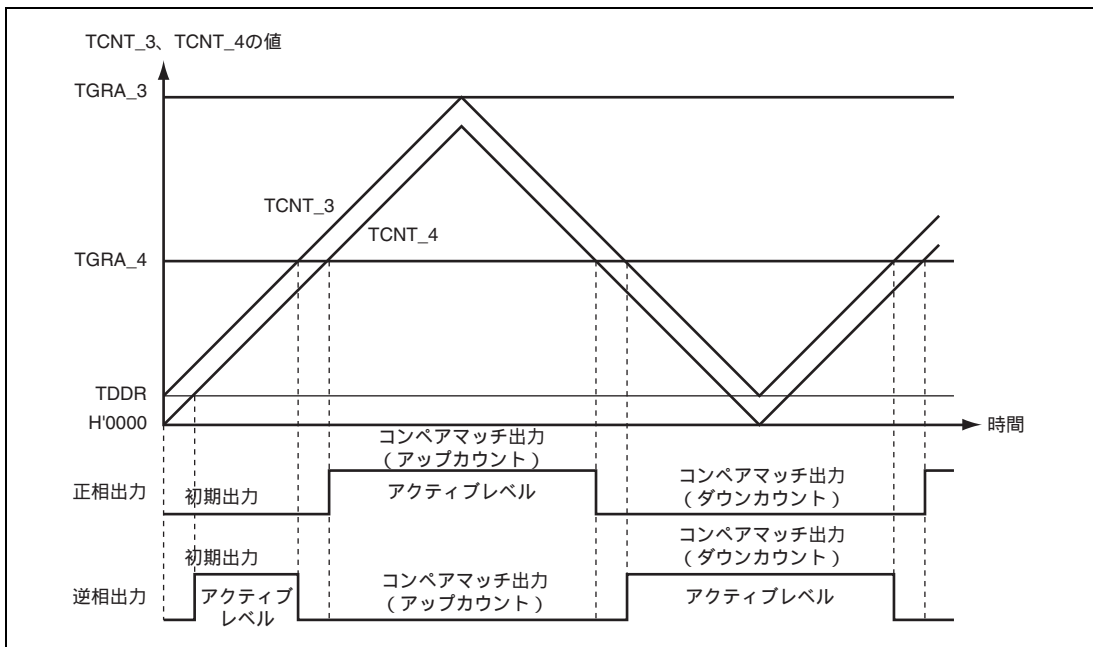


図 12.2 相補 PWM モードの出力レベルの例

12.3.18 タイマアウトプットコントロールレジスタ 2 (TOCR2)

TOCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 12.30 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 12.31 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 12.32 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 12.33 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 12.34 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 12.35 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 12.36 を参照してください。

【注】 * TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。デッドタイムを生成しない場合、逆相の出力は正相の反転となります。なお、OLS1P、OLS1N に同じ値を設定してください。(i=1、2、3)

表 12.30 BF1、BF0 ビットの設定

ビット7	ビット6	説 明	
BF1	BF0	相補 PWM モード時	リセット PWM モード時
0	0	バッファレジスタ (TOLBR) から TOCR2 へ転送しない	バッファレジスタ (TOLBR) から TOCR2 へ転送しない
0	1	TCNT_4 の山でバッファレジスタ (TOLBR) から TOCR2 へ転送する	TCNT_3/4 カウンタクリア時にバッファレジスタ (TOLBR) から TOCR2 へ転送する
1	0	TCNT_4 の谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止
1	1	TCNT_4 の山と谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止

表 12.31 TIOC4D 出力レベルセレクト機能

ビット5	機 能			
OLS3N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.32 TIOC4B 出力レベルセレクト機能

ビット4	機 能			
OLS3P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 12.33 TIOC4C 出力レベルセレクト機能

ビット3	機 能			
OLS2N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.34 TIOC4A 出力レベルセレクト機能

ビット 2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 12.35 TIOC3D 出力レベルセレクト機能

ビット 1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.36 TIOC4B 出力レベルセレクト機能

ビット 0	機 能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

12.3.19 タイマアウトプットレベルバッファレジスタ (TOLBR)

TOLBR は TOCR2 のバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	OLS3N	0	R/W	TOCR2 の OLS3N ビットにバッファ転送する値を設定してください。
4	OLS3P	0	R/W	TOCR2 の OLS3P ビットにバッファ転送する値を設定してください。
3	OLS2N	0	R/W	TOCR2 の OLS2N ビットにバッファ転送する値を設定してください。
2	OLS2P	0	R/W	TOCR2 の OLS2P ビットにバッファ転送する値を設定してください。
1	OLS1N	0	R/W	TOCR2 の OLS1N ビットにバッファ転送する値を設定してください。
0	OLS1P	0	R/W	TOCR2 の OLS1P ビットにバッファ転送する値を設定してください。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 12.3 に示します。

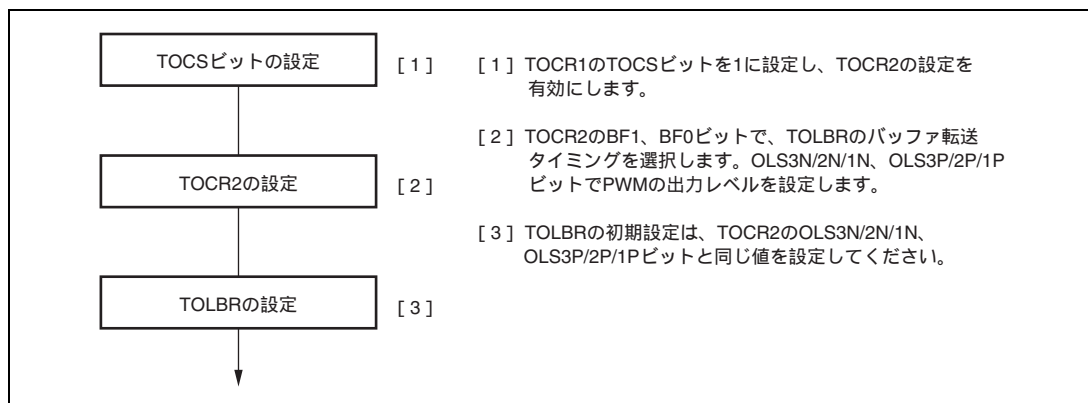


図 12.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

12.3.20 タイマゲートコントロールレジスタ (TGCR)

TGCR は、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モード / リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット:	7	6	5	4	3	2	1	0
	-	BDC	N	P	FB	WF	VF	UF
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタの機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
4	P	0	R/W	正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
3	FB	0	R/W	外部フィードバック信号許可 正相 / 逆相の出力の切り替えを本モジュール / チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことによって行うかを選択します。 0: 出力の切り替えは、外部入力 (入力元は、チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1: 出力の切り替えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り替え 2~0 正相 / 逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代りになります。表 12.37 を参照してください。
1	VF	0	R/W	
0	UF	0	R/W	

表 12.37 出力レベルセレクト機能

ビット2	ビット1	ビット0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
			U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

12.3.21 タイマサブカウンタ (TCNTS)

TCNTS は、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.22 タイマデッドタイムデータレジスタ (TDDR)

TDDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。TDDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.23 タイマ周期データレジスタ (TCDR)

TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 (ただし TDDR の 2 倍 + 3 以上の値) の値を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます (ダウンカウントアップカウント)。TCDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.24 タイマ周期バッファレジスタ (TCBR)

TCBR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.25 タイマ割り込み間引き設定レジスタ (TITCR)

TITCR は、8 ビットの読み出し / 書き込み可能なレジスタで、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。本モジュールには 1 本の TITCR があります。

ビット:	7	6	5	4	3	2	1	0
	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	T3AEN	0	R/W	T3AEN TGIA_3 割り込みの間引きの禁止 / 許可を設定します。 0: TGIA_3 割り込みの間引きを禁止する 1: TGIA_3 割り込みの間引きを許可する
6~4	3ACOR[2:0]	000	R/W	TGIA_3 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 12.38 を参照してください。
3	T4VEN	0	R/W	T4VEN TCIV_4 割り込みの間引きの禁止 / 許可を設定します。 0: TCIV_4 割り込みの間引きを禁止する 1: TCIV_4 割り込みの間引きを許可する
2~0	4VCOR[2:0]	000	R/W	TCIV_4 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 12.39 を参照してください。

【注】 * 割り込み間引き回수에 0 を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 に設定して間引き回数カウンタ (TITCNT) をクリアしてください。

表 12.38 3ACOR2~3ACOR0 ビットによる割り込み間引き回数の設定

ビット 6	ビット 5	ビット 4	説 明
3ACOR2	3ACOR1	3ACOR0	
0	0	0	TGIA_3 の割り込み間引きを行わない
0	0	1	TGIA_3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA_3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA_3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA_3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA_3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA_3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA_3 の割り込み間引き回数を 7 回に設定

表 12.39 4VCOR2~4VCOR0 ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説 明
4VCOR2	4VCOR1	4VCOR0	
0	0	0	TCIV_4 の割り込み間引きを行わない
0	0	1	TCIV_4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV_4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV_4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV_4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV_4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV_4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV_4 の割り込み間引き回数を 7 回に設定

12.3.26 タイマ割り込み間引き回数カウンタ (TITCNT)

TITCNT は、8 ビットの読み出し可能なカウンタです。本モジュールには 1 本の TITCNT があります。TITCNT は、TCNT_3 および TCNT_4 のカウント動作停止後も、値を保持します。

ビット:	7	6	5	4	3	2	1	0
	-	3ACNT[2:0]			-	4VCNT[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	3ACNT[2:0]	000	R	TGIA_3 割り込みカウンタ TITCR の T3AEN ビットに 1 を設定時、TGIA_3 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 3ACOR2~3ACOR0 と TITCNT の 3ACNT2~3ACNT0 が一致したとき • TITCR の T3AEN ビットが 0 のとき • TITCR の 3ACOR2~3ACOR0 が 0 のとき
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説 明
2~0	4VCNT[2:0]	000	R	TCIV_4 割り込みカウンタ TITCR の T4VEN ビットに 1 を設定時、TCIV_4 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 4VCOR2~4VCOR0 と TITCNT の 4VCNT2~4VCNT0 が一致したとき • TITCR の T4VEN ビットが 0 のとき • TITCR の 4VCOR2~4VCOR0 が 0 のとき

【注】 TITCNT の値をクリアするには、TITCR の T3AEN ビットと T4VEN ビットを 0 にクリアしてください。

12.3.27 タイマバッファ転送設定レジスタ (TBTER)

TBTER は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。本モジュールには 1 本の TBTER があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BTE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	BTE[1:0]	00	R/W	相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。詳細は表 12.40 を参照してください。

【注】 * 対象バッファレジスタ
TGRC_3、TGRD_3、TGRC_4、TGRD_4、TCBR

表 12.40 BTE1、BTE0 ビットの設定

ビット 1	ビット 0	説 明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑制しない*1 また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑制する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する*2
1	1	設定禁止

【注】 *1 TMDR の MD3 ~ MD0 の設定に従い転送します。詳細は「12.4.8 相補 PWM モード」を参照してください。

*2 割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ（TBTER）の BTE1 を 0 に設定）にしてください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

12.3.28 タイマデッドタイムイネーブルレジスタ（TDER）

TDER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。本モジュールには 1 本の TDER があります。TDER の設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TDER
初期値：	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TDER	1	R/(W)	デッドタイムイネーブルレジスタ デッドタイムの生成をする / しないを設定します。 0：デッドタイムを生成しない 1：デッドタイムを生成する* [クリア条件] • TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたとき

【注】 * TDDR 1 に設定してください。

12.3.29 タイマ波形コントロールレジスタ (TWCR)

TWCR は、8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モードで TCNT_3、TCNT_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCE	-	-	-	-	-	-	WRE
初期値:	0*	0	0	0	0	0	0	0
R/W:	R/(W)	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説明
7	CCE	0*	R/(W)	コンペアマッチクリアイネーブル 相補 PWM モードで、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。 0: TGRA_3 のコンペアマッチによるカウンタクリアをしない 1: TGRA_3 のコンペアマッチによるカウンタクリアをする [セット条件] • CCE = 0 の状態で CCE をリード後、CCE に 1 をライトしたとき
6~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	WRE	0	R/(W)	初期出力抑止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の Tb 区間については、図 12.40 を参照してください。 0: TOCR レジスタで設定した初期出力値を出力 1: 初期出力を抑止する [セット条件] • WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき

【注】 * 相補 PWM モード 1 のとき以外は、1 に設定しないでください。

12.3.30 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、タイマ周期データレジスタ (TCDR)、タイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (TADCOR)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

12.4 動作説明

12.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

本モジュールの外部端子の機能設定は汎用入出力ポートで行ってください。

(1) カウンタの動作

TSTR の CST0 ~ CST4 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 12.4 に示します。

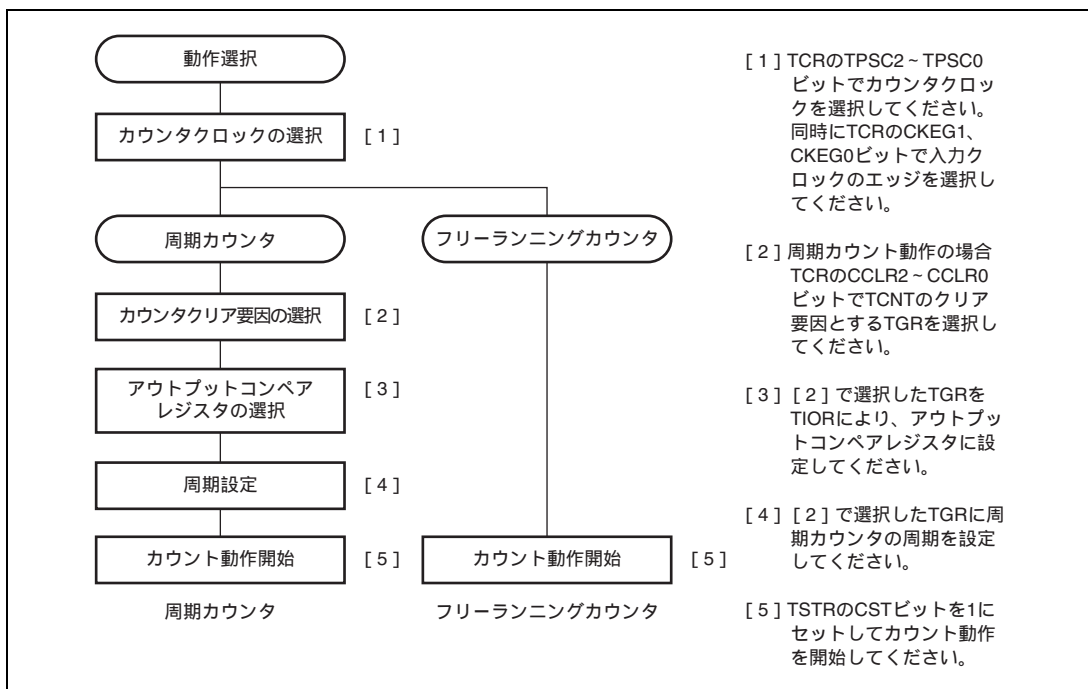


図 12.4 カウンタ動作設定手順例

(b) フリーランニングカウント動作と周期カウント動作

本モジュールの TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、本モジュールは割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 12.5 に示します。

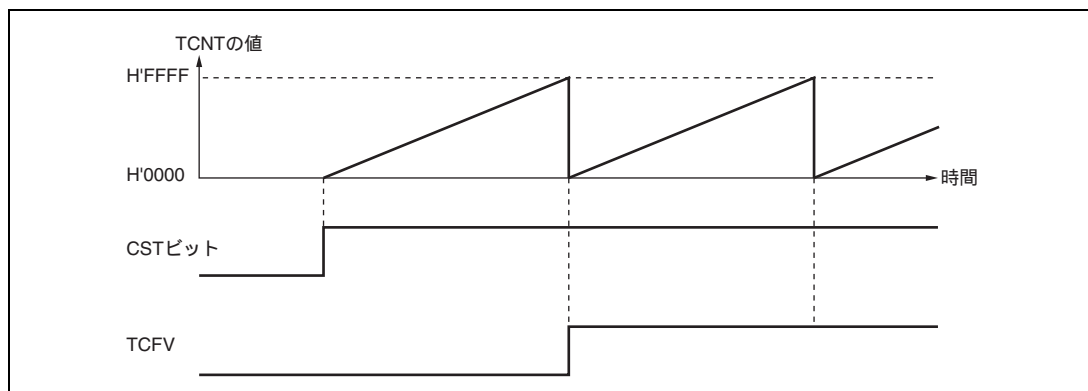


図 12.5 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、本モジュールは割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 12.6 に示します。

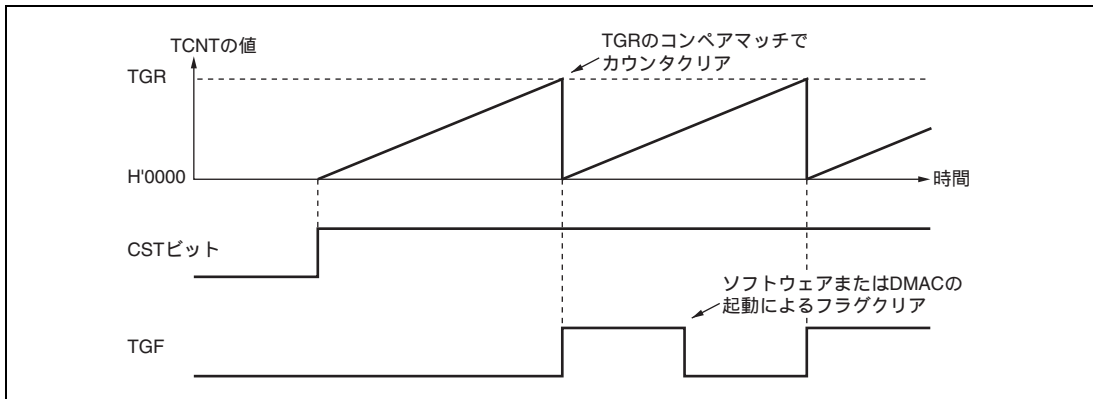


図 12.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

本モジュールは、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 12.7 に示します。

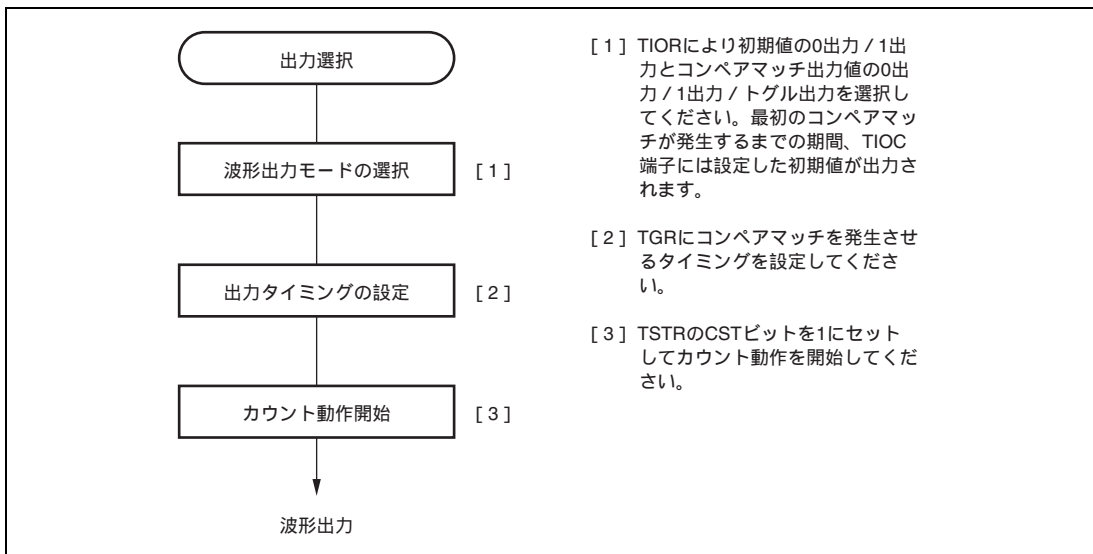


図 12.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 12.8 に示します。

TCNT をフリーランニングカウンタ動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

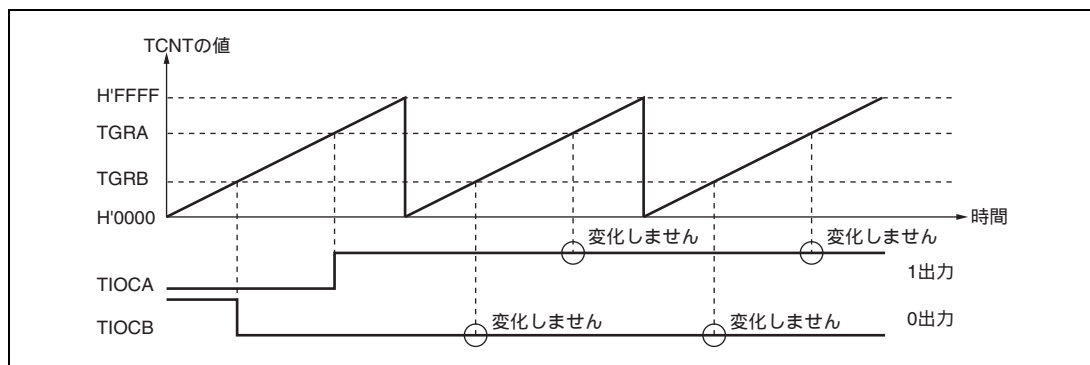


図 12.8 0 出力 / 1 出力の動作例

トグル出力の例を図 12.9 に示します。

TCNT を周期カウンタ動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

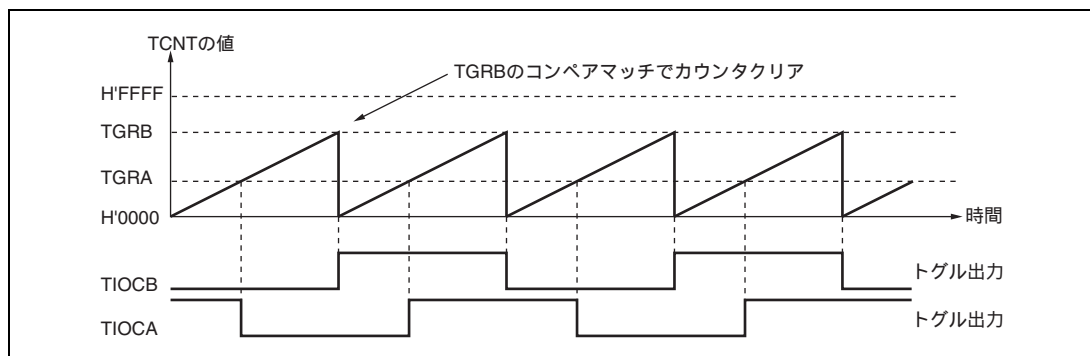


図 12.9 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに P0 / 1 を選択しないでください。P0 / 1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 12.10 に示します。

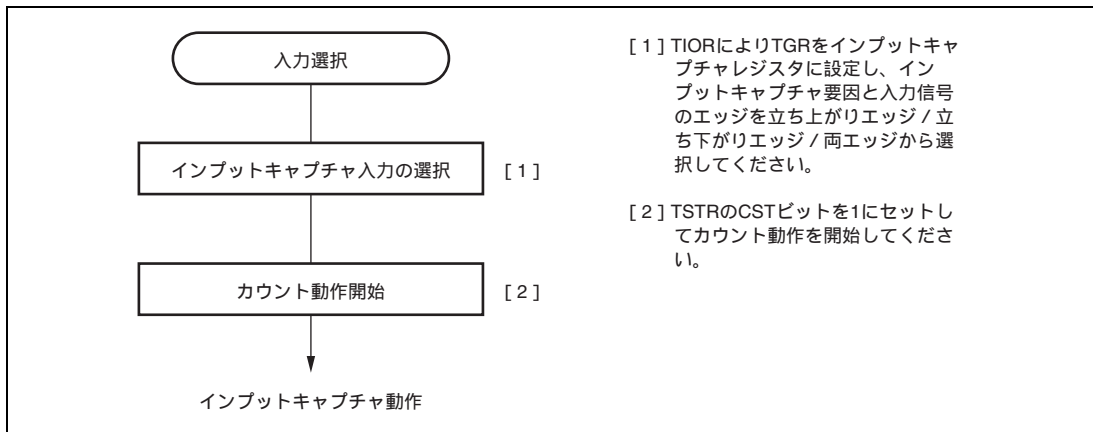


図 12.10 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 12.11 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

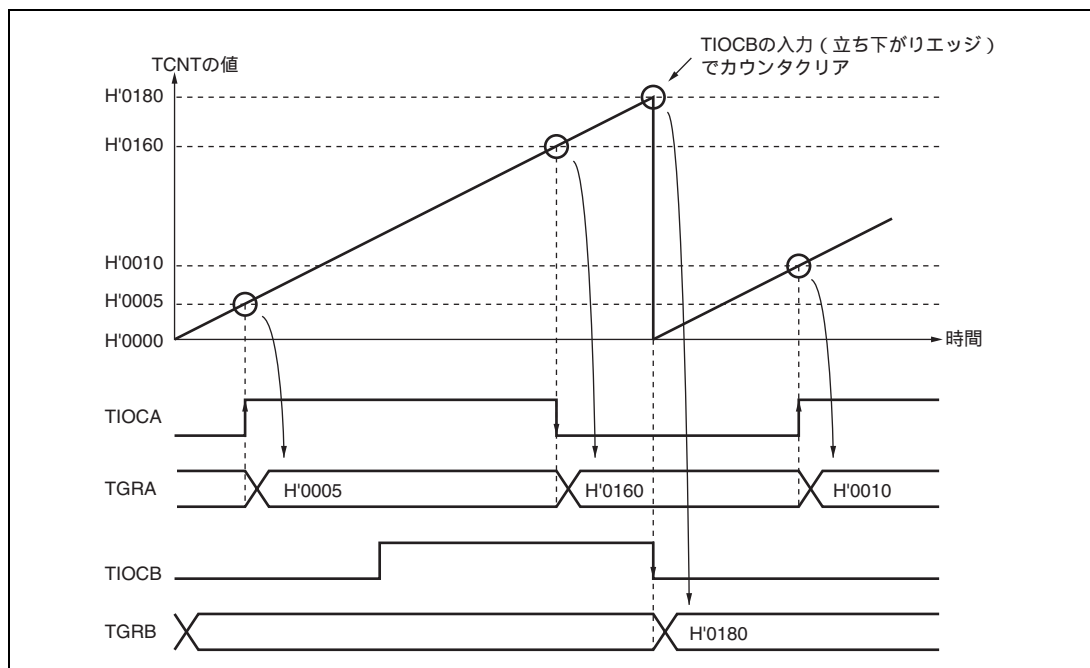


図 12.11 インพุットキャプチャ動作例

12.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます（同期プリセット）。また、TCR の設定により複数の TCNT を同時にクリアすることができます（同期クリア）。

同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。
チャンネル 0～4 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 12.12 に示します。

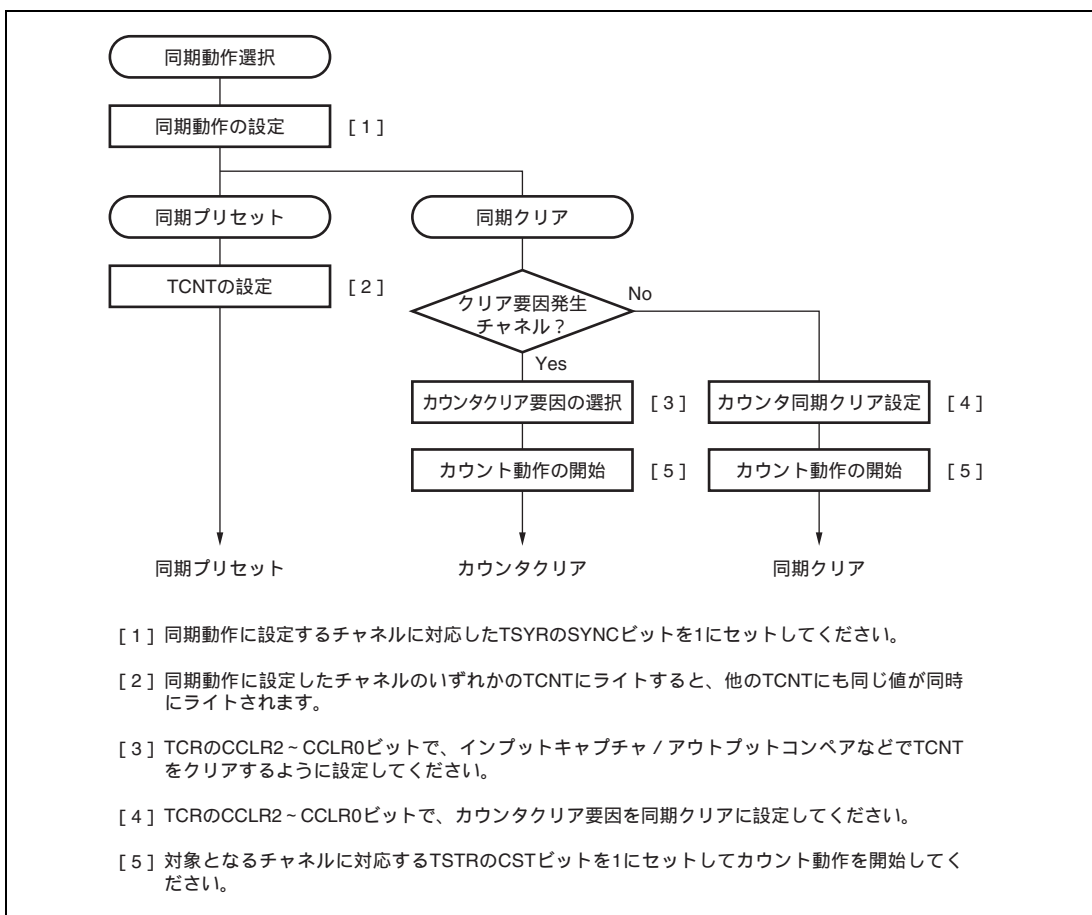


図 12.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 12.13 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「12.4.5 PWM モード」を参照してください。

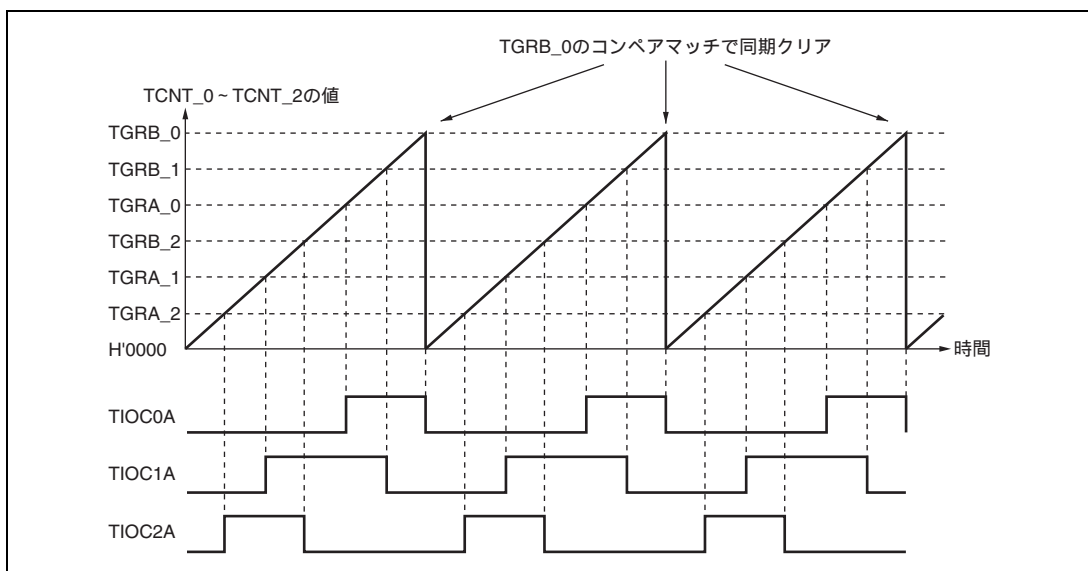


図 12.13 同期動作の動作例

12.4.3 バッファ動作

バッファ動作は、チャンネル0、3、4が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。また、チャンネル0はTGRFもバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

【注】 TGRE_0はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 12.41 にバッファ動作時のレジスタの組み合わせを示します。

表 12.41 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
	TGRE_0	TGRF_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 12.14 に示します。

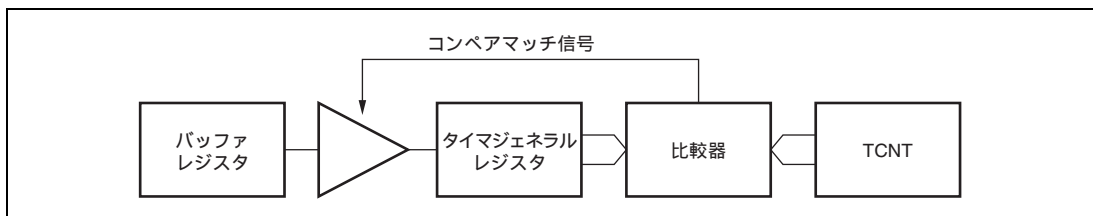


図 12.14 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 12.15 に示します。

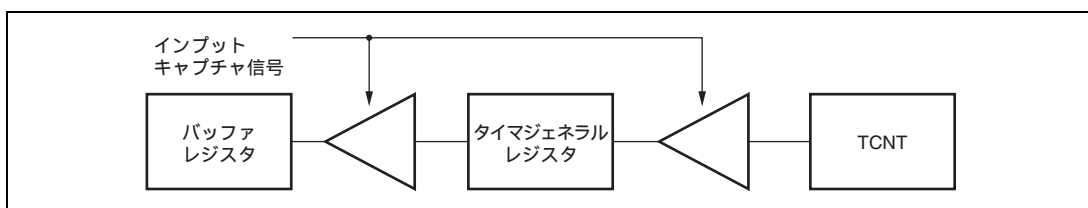


図 12.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 12.16 に示します。

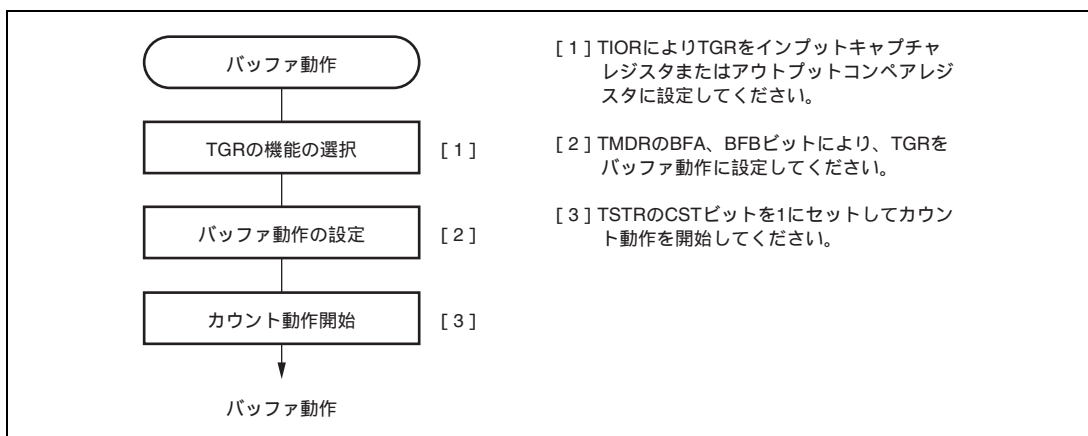


図 12.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 12.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、TBTM の TTSA ビットは 0 に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイムジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「12.4.5 PWM モード」を参照してください。

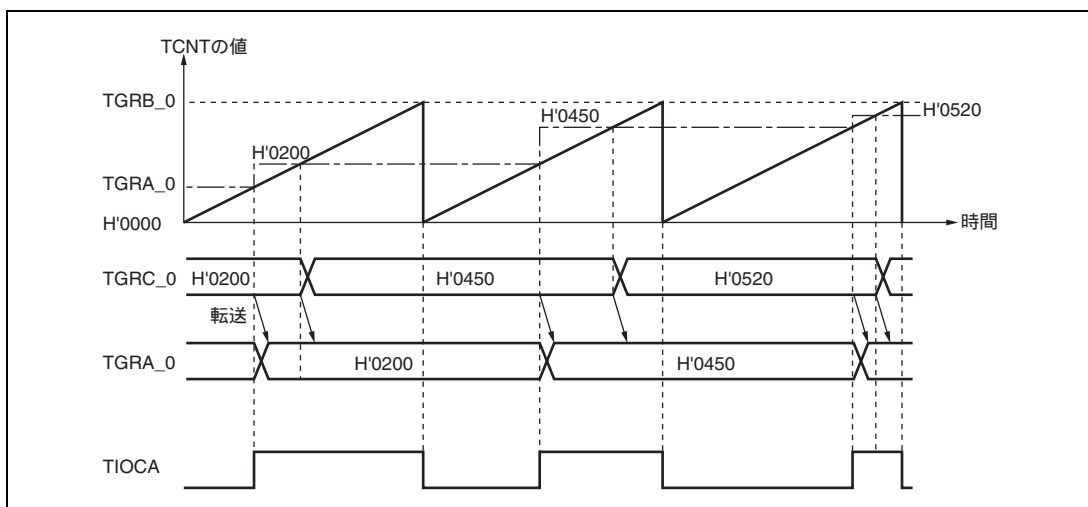


図 12.17 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 12.18 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

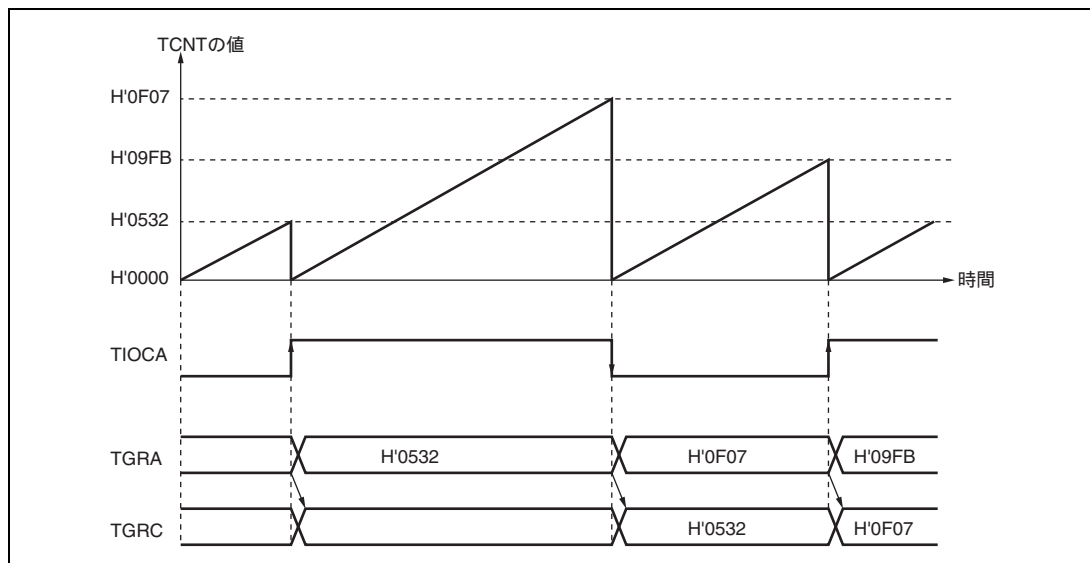


図 12.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (TBTM_0、TBTM_3、TBTM_4) を設定することで、チャンネル 0 では PWM モード 1、2 時の、チャンネル 3、4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (初期値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバーフローしたとき (H'FFFF H'0000)
- カウンタ動作中、TCNT に H'0000 がライトされたとき
- TCR の CCLR2 ~ CCLR0 ビットで設定したクリア要因で、TCNT が H'0000 になったとき

【注】 TBTM の設定は TCNT が停止した状態で行ってください。

チャンネル 0 を PWM モード 1 に設定し、TGRA_0 と TGRC_0 をバッファ動作に設定した場合の動作例を図 12.19 に示します。TCNT_0 はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力、TBTM_0 の TTSA ビットは 1 に設定しています。

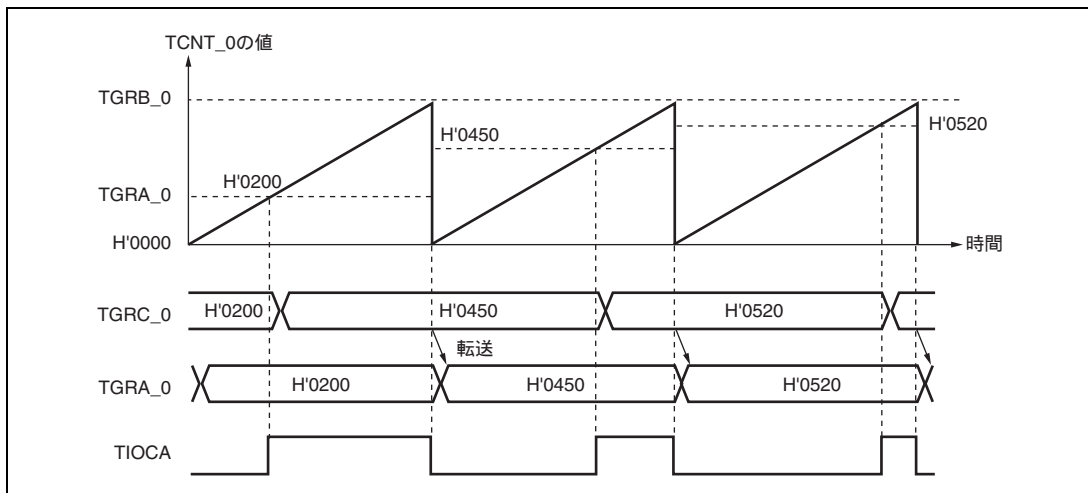


図 12.19 TGRC_0 から TGRA_0 のバッファ転送タイミングを TCNT_0 クリア時に選択した場合の動作例

12.4.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT_2 のオーバフロー / アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 12.42 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 12.42 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2

カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR をとった信号に対して行われます。詳細は「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「12.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。

TICCR 設定値とインプットキャプチャ入力端子の対応を表 12.43 に示します。

表 12.43 TICCR 設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
TCNT_1 から TGRA_1 への インプットキャプチャ	I2AE ビット = 0 (初期値)	TIOC1A
	I2AE ビット = 1	TIOC1A、TIOC2A
TCNT_1 から TGRB_1 への インプットキャプチャ	I2BE ビット = 0 (初期値)	TIOC1B
	I2BE ビット = 1	TIOC1B、TIOC2B
TCNT_2 から TGRA_2 への インプットキャプチャ	I1AE ビット = 0 (初期値)	TIOC2A
	I1AE ビット = 1	TIOC2A、TIOC1A
TCNT_2 から TGRB_2 への インプットキャプチャ	I1BE ビット = 0 (初期値)	TIOC2B
	I1BE ビット = 1	TIOC2B、TIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 12.20 に示します。

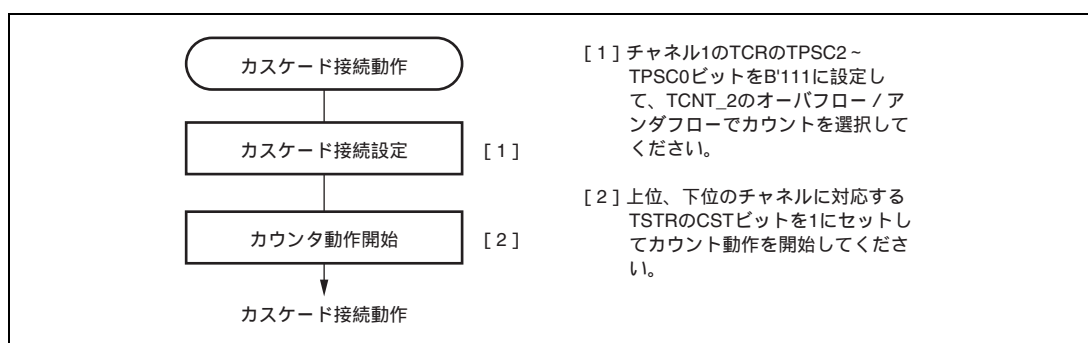


図 12.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、チャンネル2 を位相計数モードに設定したときの動作を図 12.21 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

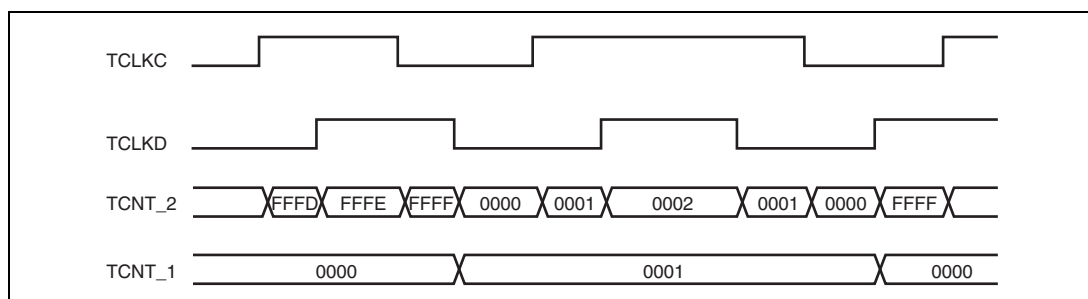


図 12.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加した場合の動作を図 12.22 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、(TIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOC1A と TIOC2A の両方の立ち上がりエッジが TGRA_1 の入力キャプチャ条件に設定されます。また、TGRA_2 の入力キャプチャ条件は TIOC2A の立ち上がりエッジとなります。

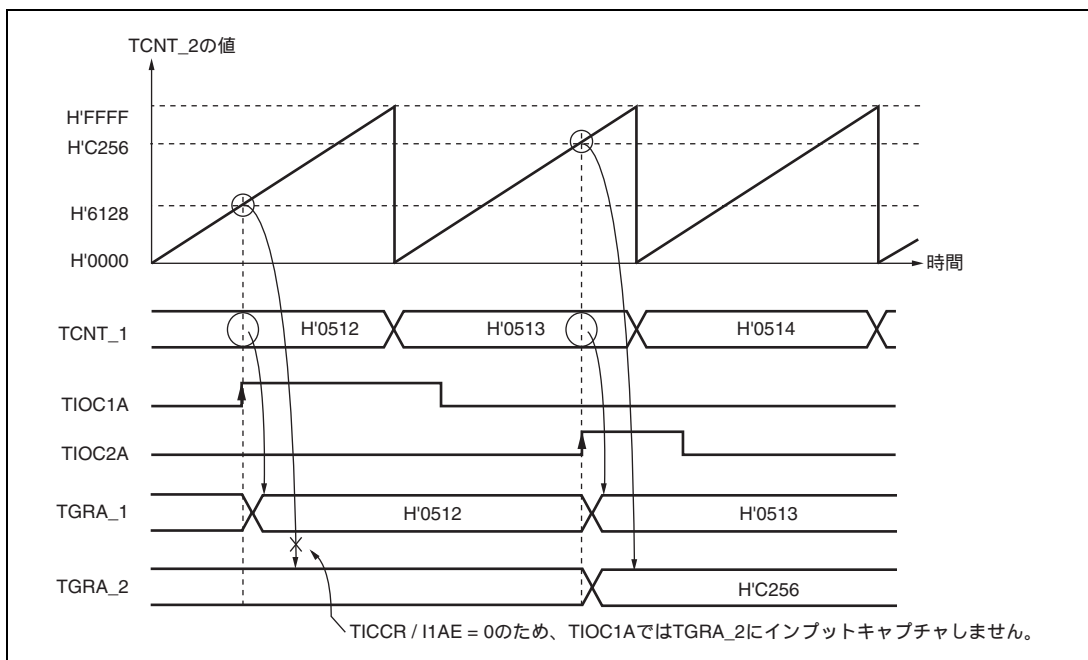


図 12.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットと I1AE に 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加し、TIOC1A 端子を TGRA_2 の入力キャプチャ条件に追加した場合の動作を図 12.23 に示します。この例では TIOR_1、TIOR_2 の IOA0 ~ IOA3 の設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、TIOC1A と TIOC2A 入力の OR が TGRA_1 および TGRA_2 の入力キャプチャ条件となります。

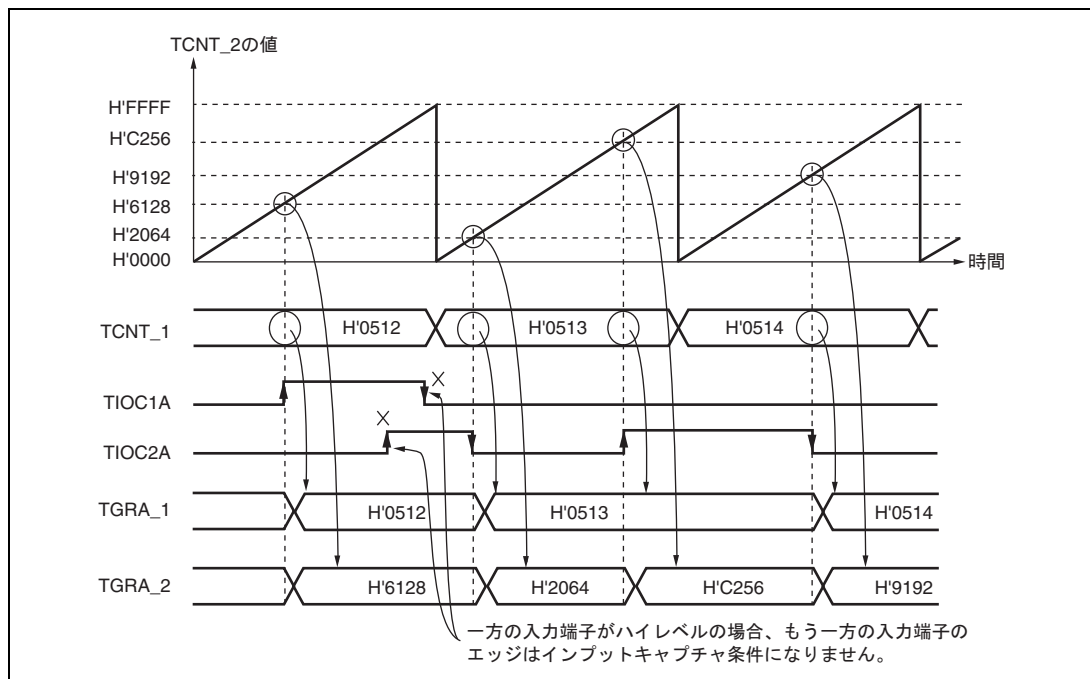


図 12.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加した場合の動作を図 12.24 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、TIOR_1 の設定が TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャのため、TICCR の I2AE ビットを 1 にセットしても TIOC2A のエッジが TGRA_1 のインプットキャプチャ条件になることはありません。

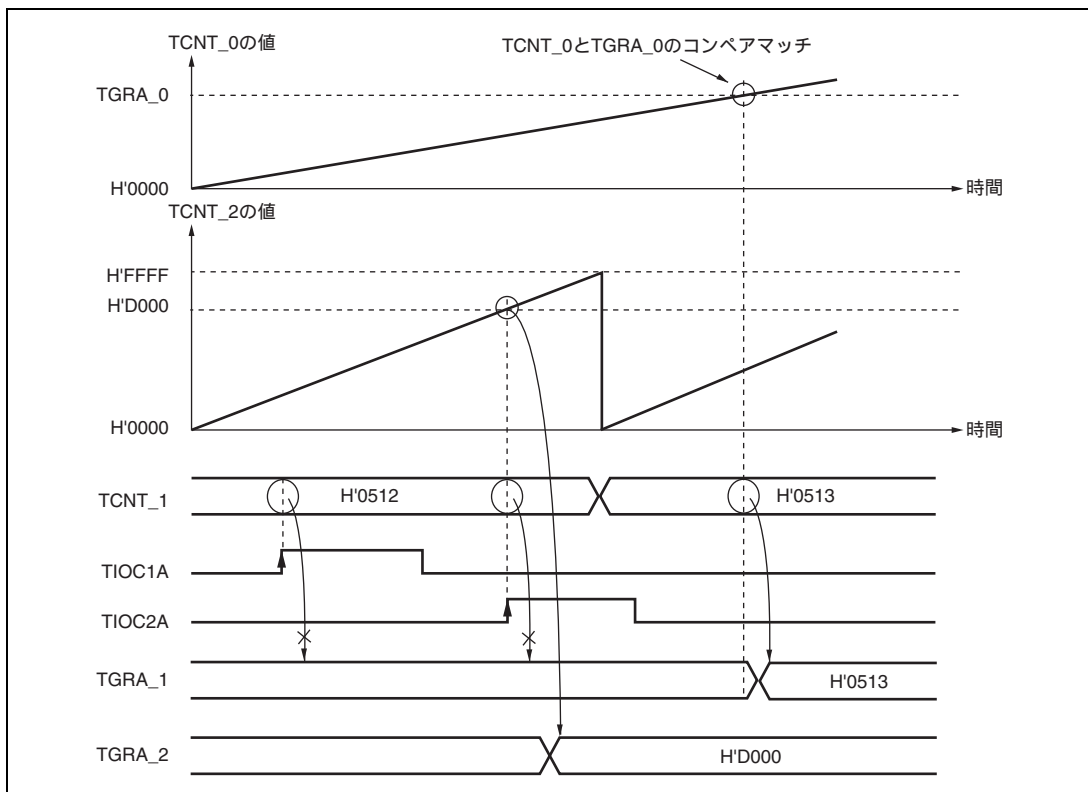


図 12.24 カスケード接続動作例 (d)

12.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

- PWMモード1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

- PWMモード2

TGRの1本を周期レジスタ、他のTGRをデューティレジスタに使用してPWM出力を生成します。コンペアマッチによって、TIOCRで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値はTIOCRで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード2では、同期動作と併用することにより最大8相のPWM出力が可能です。

PWM出力端子とレジスタの対応を表12.44に示します。

表 12.44 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3	TIOC3C	
	TGRC_3		
	TGRD_3		
4	TGRA_4	TIOC4A	設定できません
	TGRB_4	TIOC4C	
	TGRC_4		
	TGRD_4		

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 12.25 に示します。

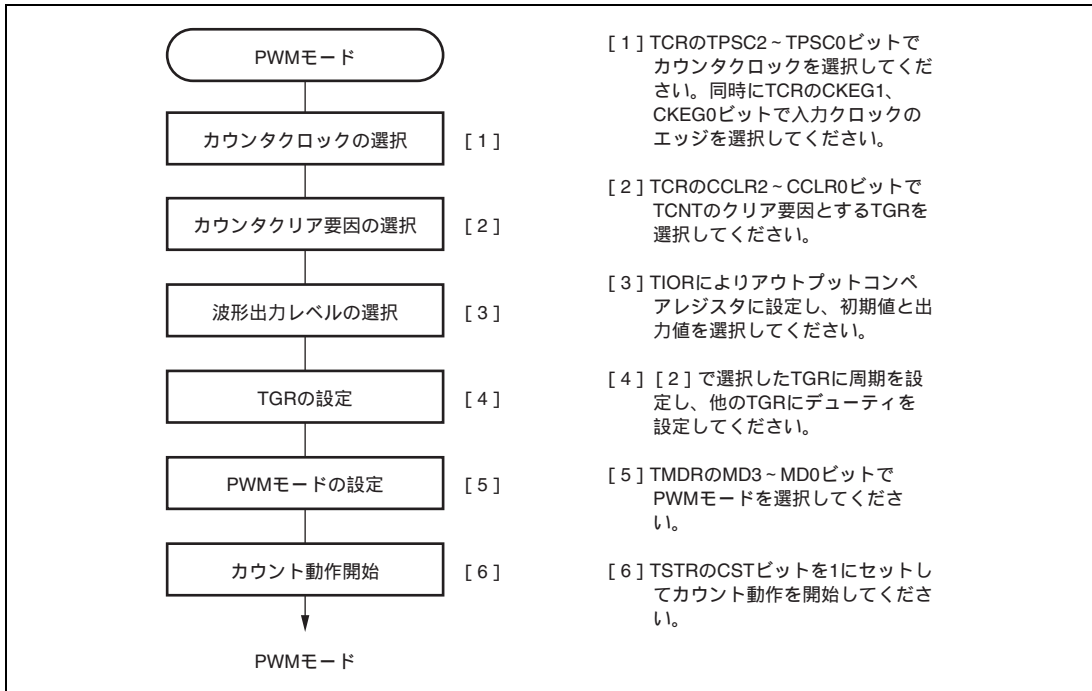


図 12.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 12.26 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

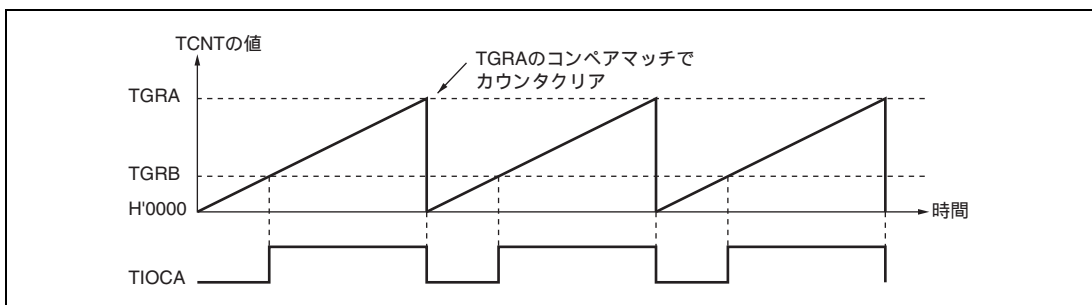


図 12.26 PWM モードの動作例

PWM モード 2 の動作例を図 12.27 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0、TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

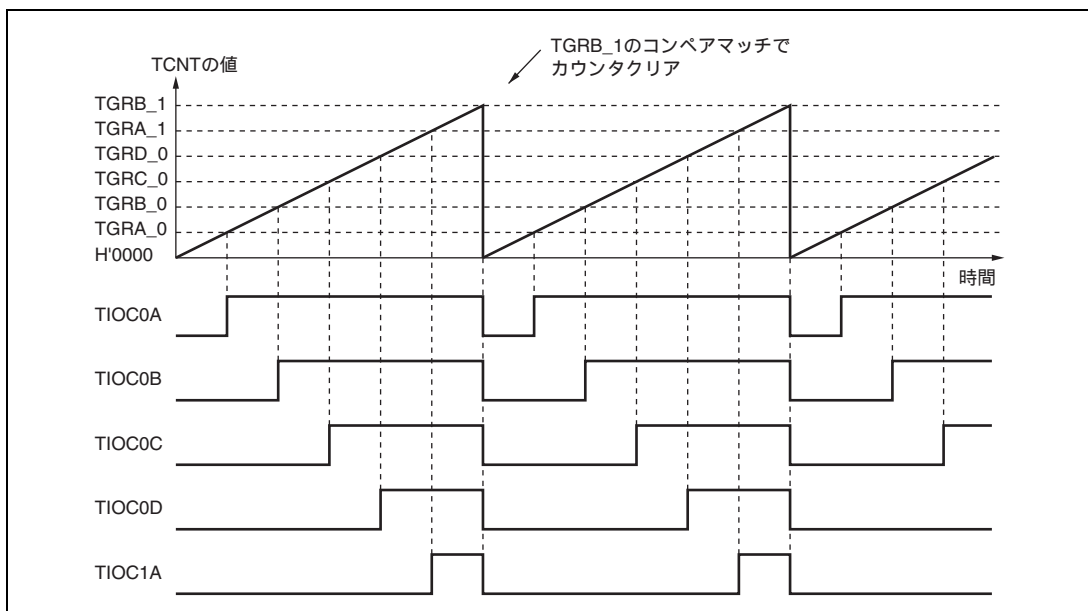


図 12.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 12.28 に示します。

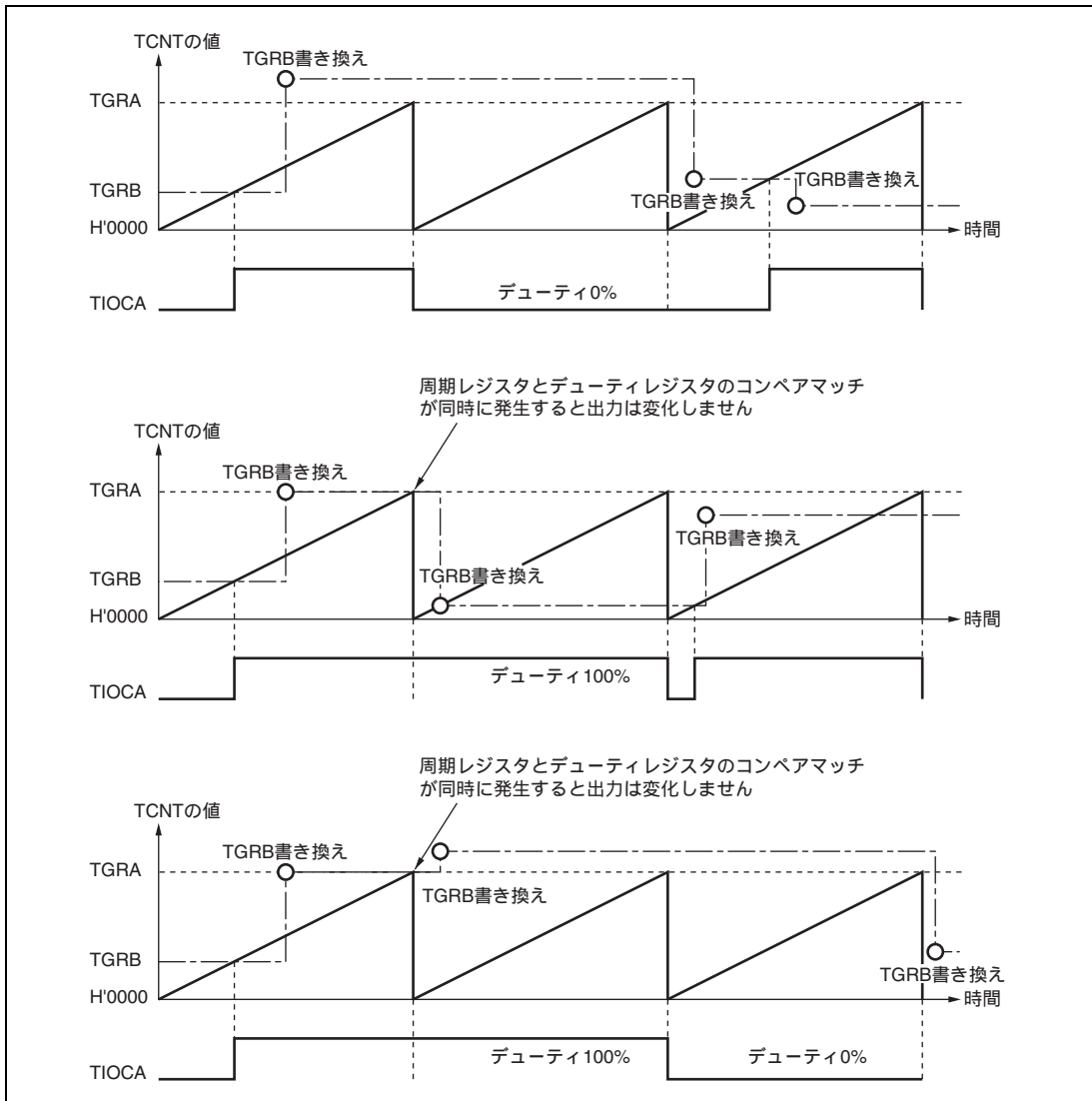


図 12.28 PWM モード動作例

12.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 12.45 に外部クロック端子とチャンネルの対応を示します。

表 12.45 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 12.29 に示します。

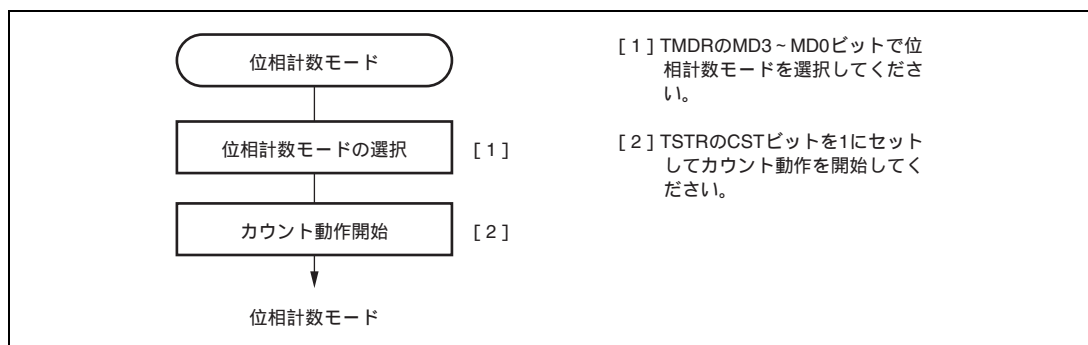


図 12.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4 つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 12.30 に、TCNT のアップ/ダウンカウント条件を表 12.46 に示します。

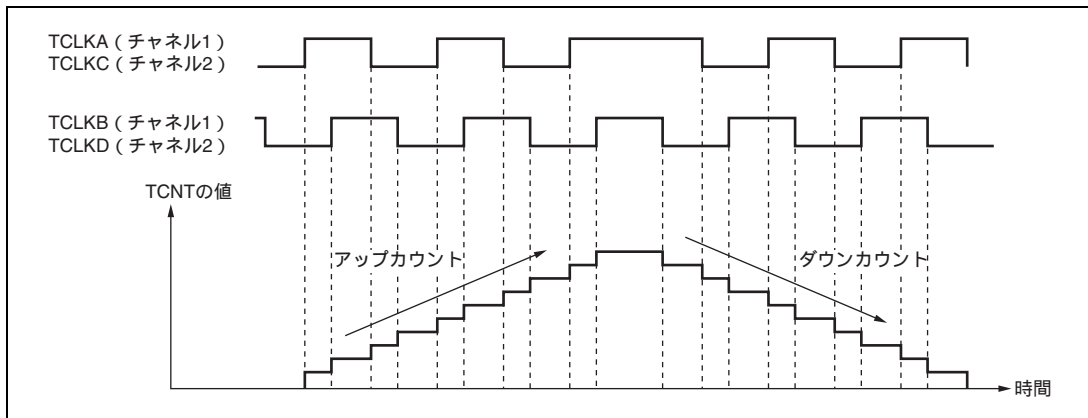


図 12.30 位相計数モード 1 の動作例

表 12.46 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		アップカウント
Low レベル		
	Low レベル	
	High レベル	
High レベル		ダウンカウント
Low レベル		
	High レベル	
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 12.31 に、TCNT のアップ/ダウンカウント条件を表 12.47 に示します。

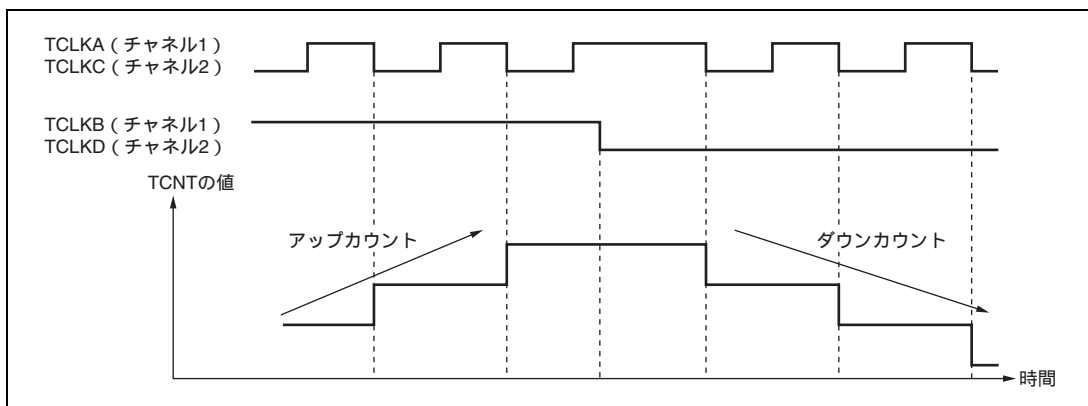


図 12.31 位相計数モード 2 の動作例

表 12.47 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	カウントしない (Don't care)
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 12.32 に、TCNT のアップ / ダウンカウント条件を表 12.48 に示します。

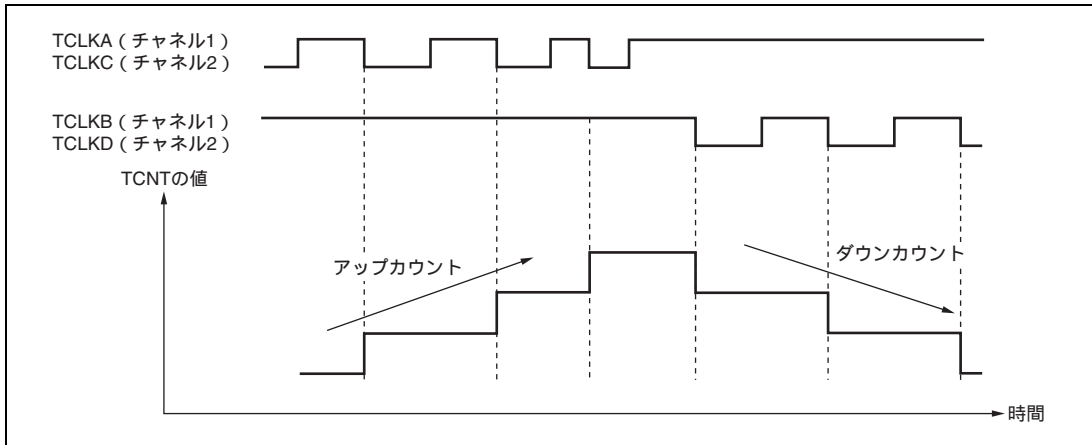


図 12.32 位相計数モード 3 の動作例

表 12.48 位相計数モード 3 のアップ / ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)
	High レベル	アップカウント
High レベル		ダウンカウント
Low レベル		カウントしない (Don't care)
	High レベル	カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 12.33 に、TCNT のアップ/ダウンカウント条件を表 12.49 に示します。

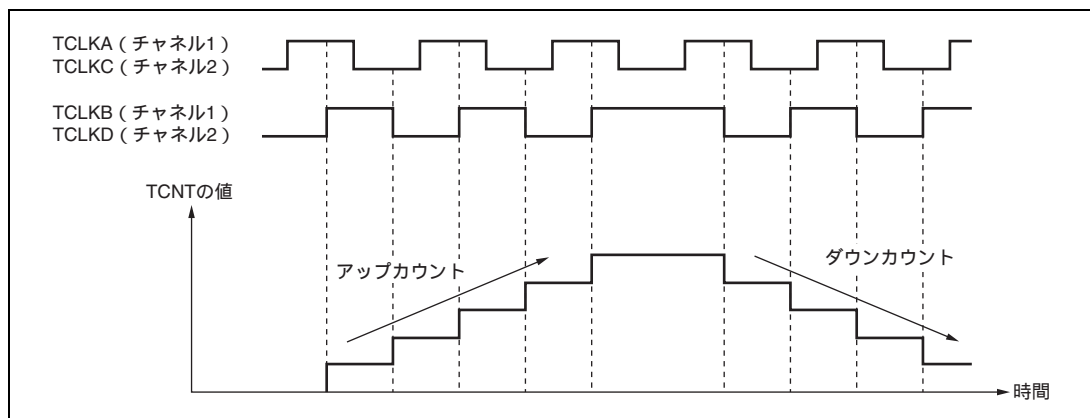


図 12.33 位相計数モード 4 の動作例

表 12.49 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	\uparrow	アップカウント
Low レベル	\downarrow	
\uparrow	Low レベル	カウントしない (Don't care)
\downarrow	High レベル	
High レベル	\downarrow	ダウンカウント
Low レベル	\uparrow	
\uparrow	High レベル	カウントしない (Don't care)
\downarrow	Low レベル	

【記号説明】

\uparrow : 立ち上がりエッジ

\downarrow : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図12.34に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

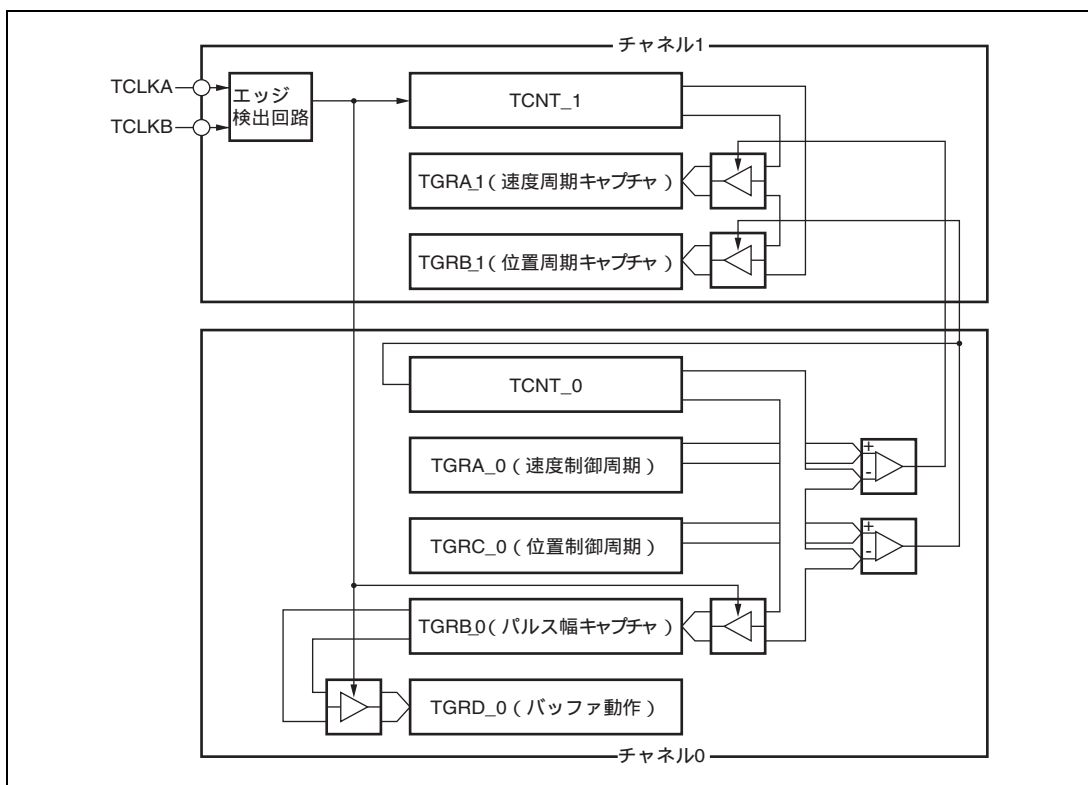


図 12.34 位相計数モードの応用例

12.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3（TCNT_3）はアップカウンタとして機能します。

使用される PWM 出力端子を表 12.50 に、使用するレジスタの設定を表 12.51 に示します。

表 12.50 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 12.51 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 12.35 に示します。

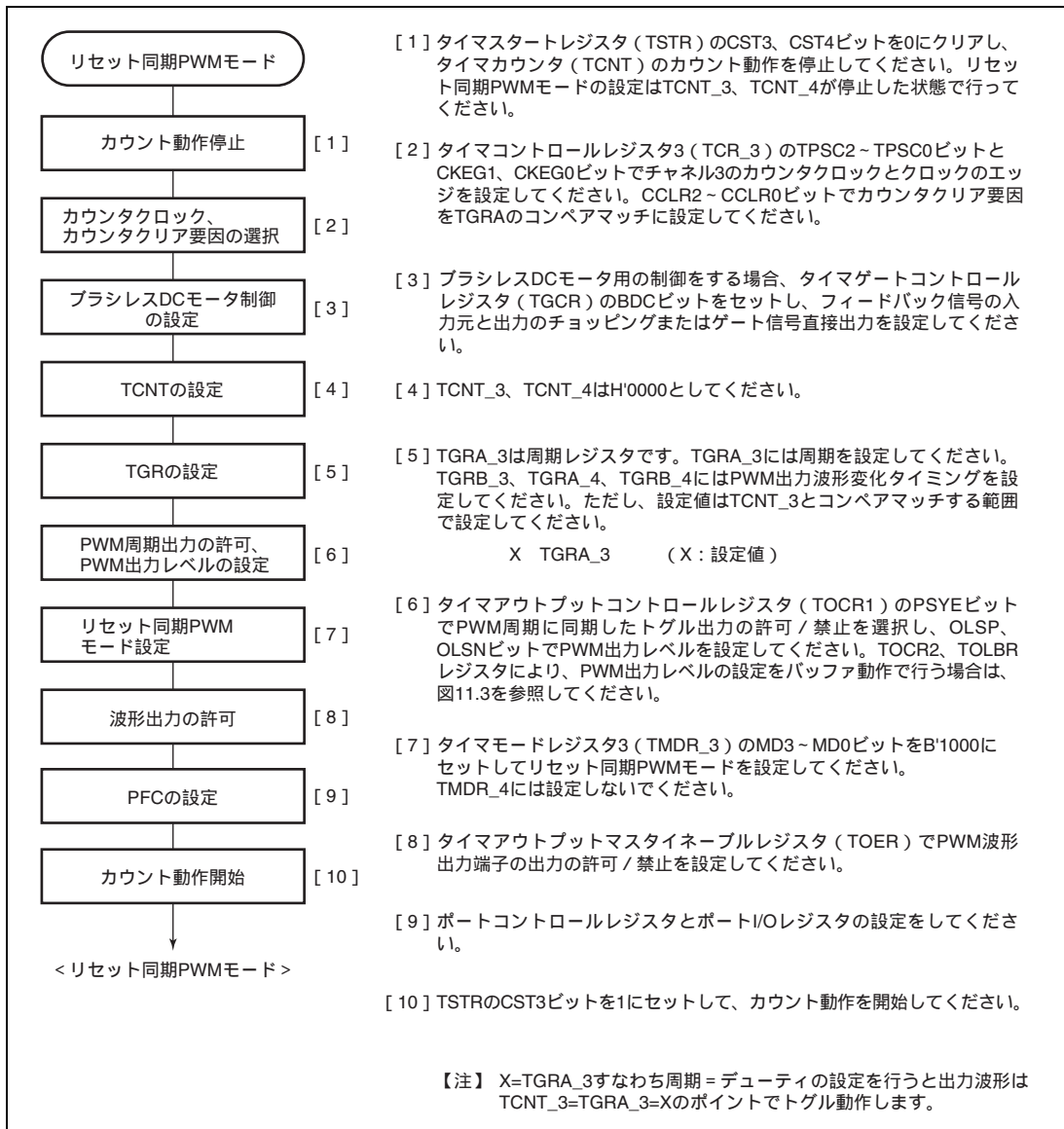


図 12.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 12.36 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

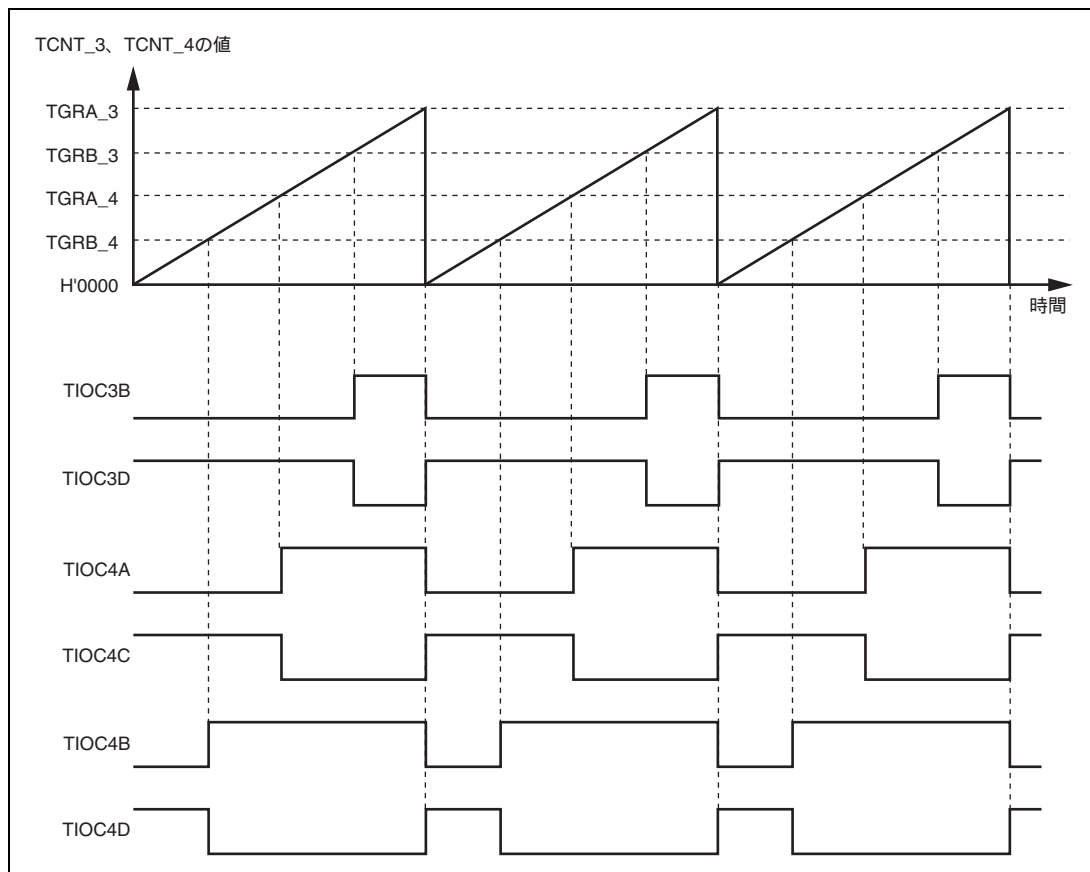


図 12.36 リセット同期 PWM モードの動作例 (TOCR の OLSN = 1、OLSP = 1 に設定した場合)

12.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 12.52 に、使用するレジスタの設定を表 12.53 に示します。

表 12.52 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

【注】 * TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 12.53 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ / レジスタ	説明	CPU からの読み出し / 書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	TRWER の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し / 書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し / 書き込み可能

チャンネル	カウンタ / レジスタ	説明	CPU からの 読み出し / 書き込み
	タイマデッドタイムデータレジスタ (TDDR)	TCNT_4 と TCNT_3 のオフセット値(デッドタイムの値)を設定	TRWER の設定*によりマスク可能
	タイマ周期データレジスタ (TCDR)	TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	TRWER の設定*によりマスク可能
	タイマ周期バッファレジスタ (TCBR)	TCDR のバッファレジスタ	常に読み出し / 書き込み可能
	サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可能
	テンポラリレジスタ 1 (TEMP1)	PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し / 書き込み不可
	テンポラリレジスタ 2 (TEMP2)	PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し / 書き込み不可
	テンポラリレジスタ 3 (TEMP3)	PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し / 書き込み不可

【注】 * TRWER (タイマリードライトイネーブルレジスタ) の設定によりアクセスの許可 / 禁止が可能です。

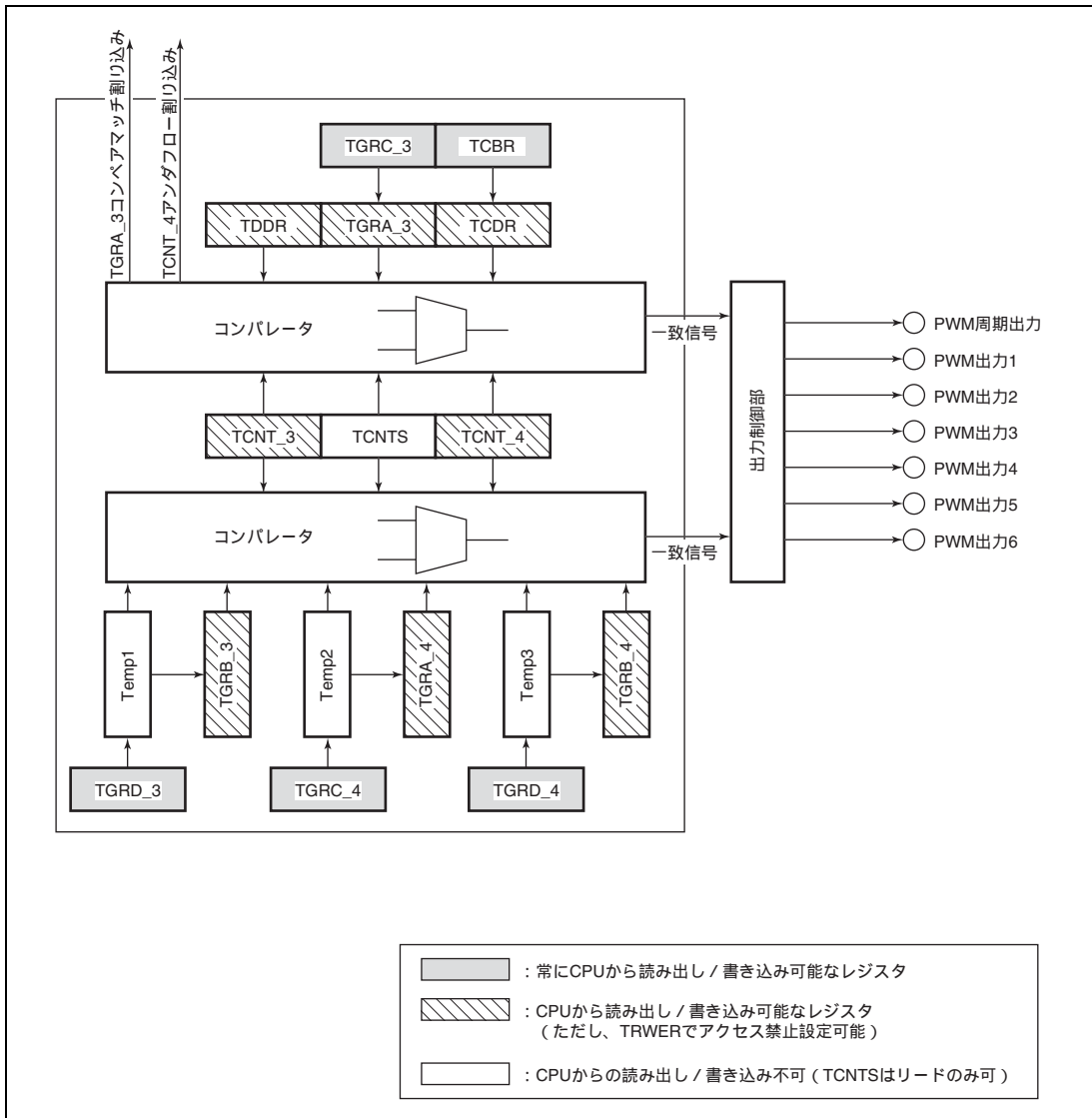


図 12.37 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 12.38 に示します。

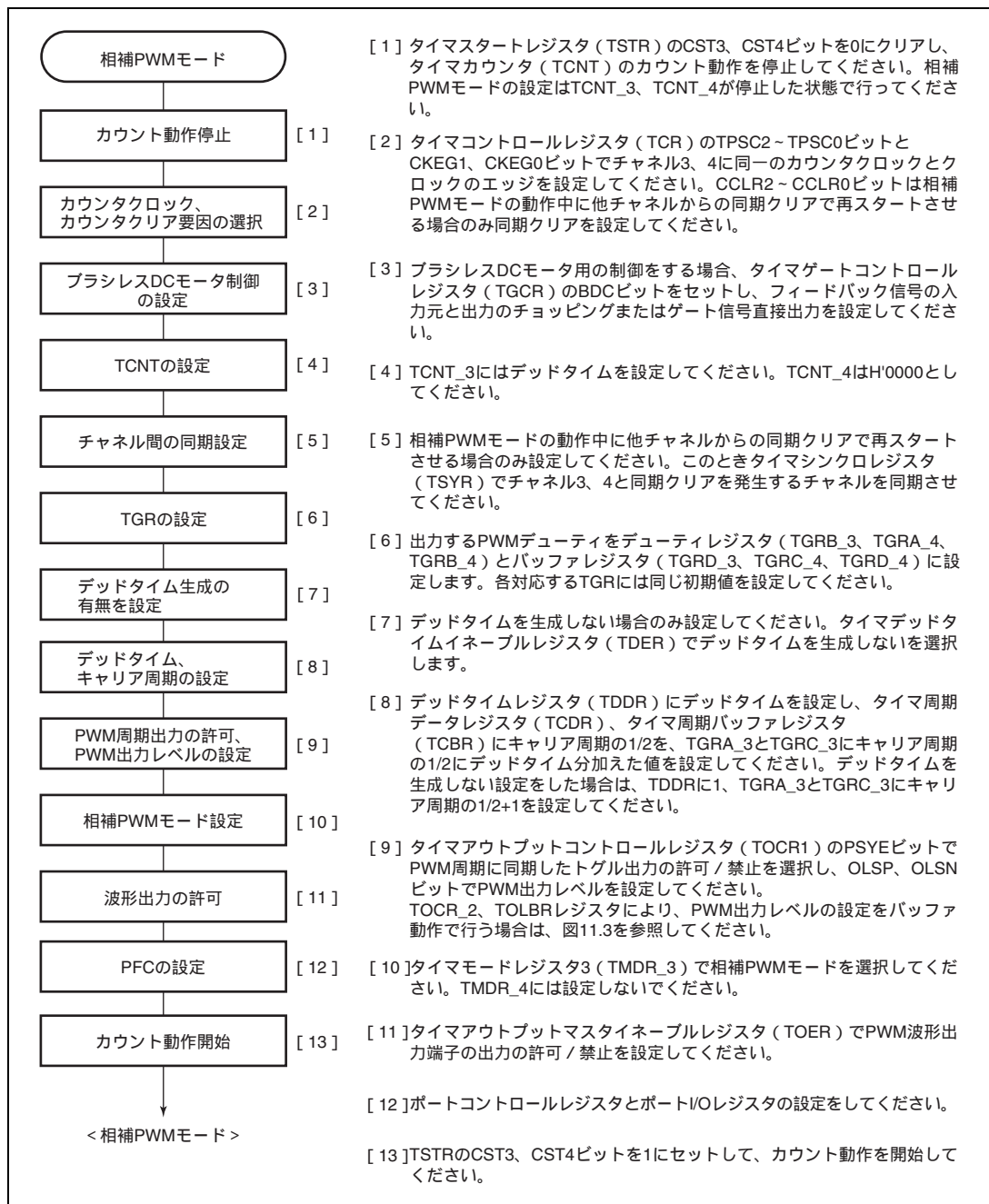


図 12.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 12.39 に相補 PWM モードのカウンタの動作を示します。図 12.40 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り替わります。その後、TDDR と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り替わります。この後、H'0000 と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCDR と一致するとダウンカウントを開始し、TCNTS が TCDR と一致するとアップカウントに切り替わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り替わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

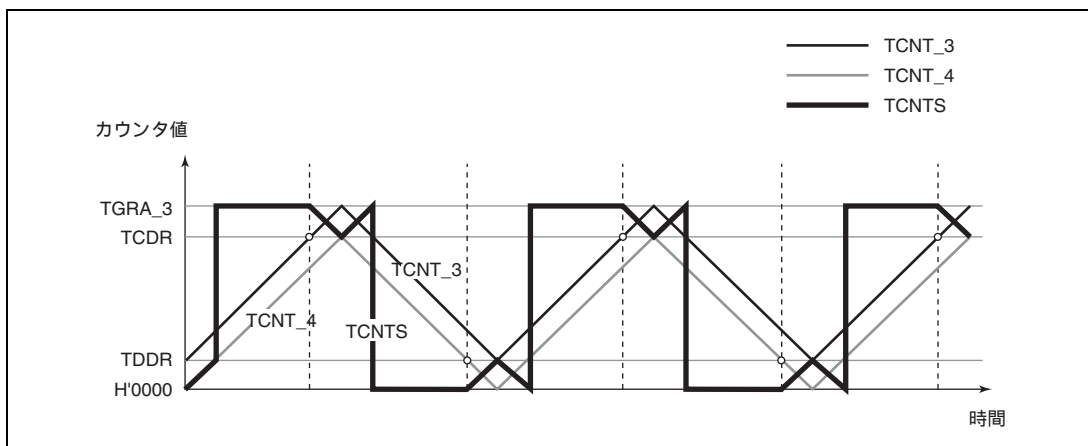


図 12.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 12.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し / 書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで選択できます。図 12.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 12.40 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

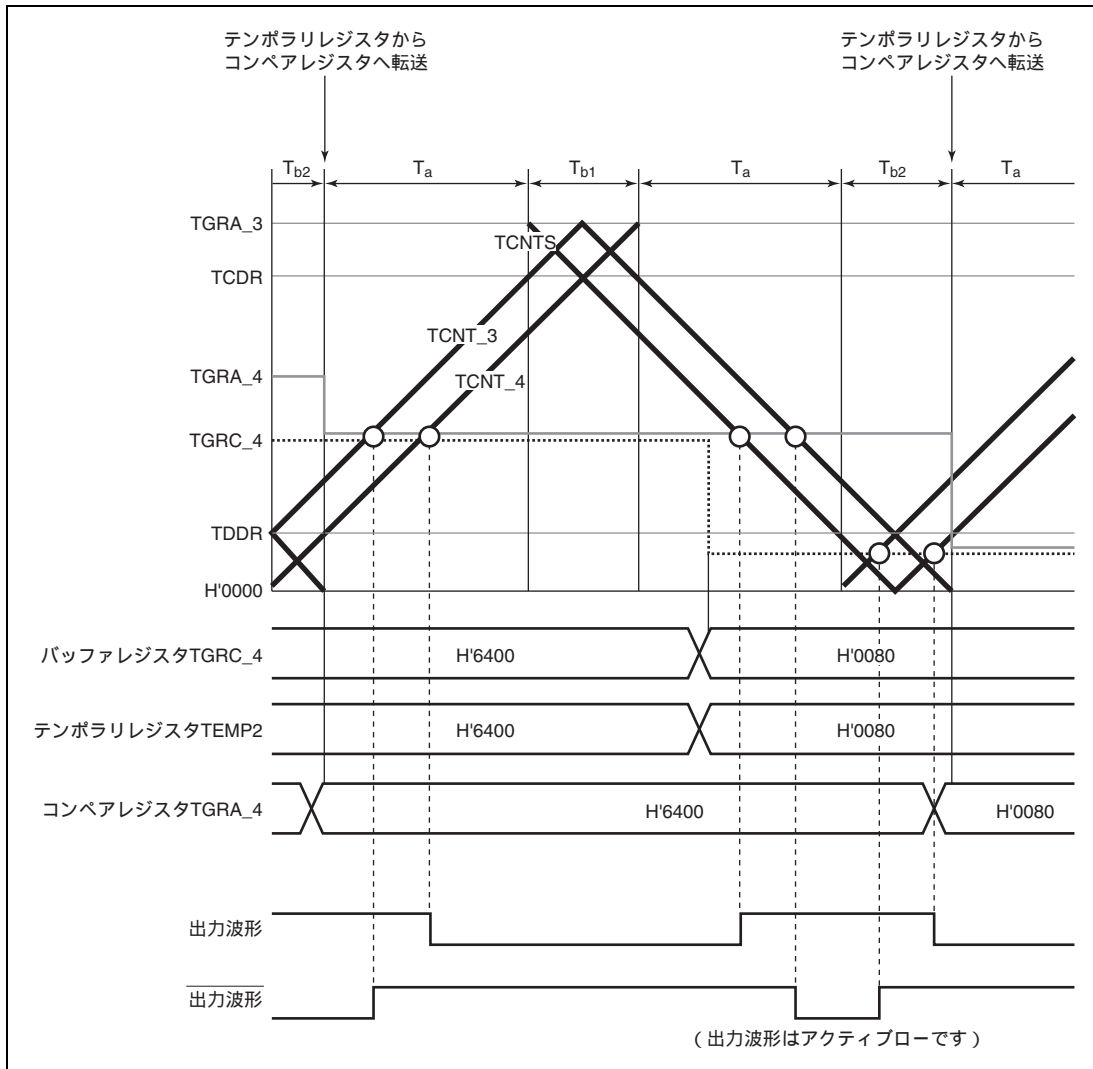


図 12.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRA_3 のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定し、TGRC_3、TGRA_3 には、PWM キャリア周期の $1/2+1$ を、TDDR には 1 を設定します。

バッファレジスタ TGRD_3、TGRD_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 12.54 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
TGRC_3	PWM キャリア周期の $1/2 + \text{デッドタイム Td}$ (TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$)
TDDR	デッドタイム Td (TDER でデッドタイム生成をなしに設定した場合 1)
TCBR	PWM キャリア周期の $1/2$
TGRD_3、TGRD_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の $1/2$ の値と TDDR に設定するデッドタイム Td の値の和としてください。ただし、TDER でデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2+1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定します。TDER は、TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたときのみ、0 に設定できません。

TGRA_3、TGRC_3 には PWM キャリア周期の $1/2+1$ を設定し、タイマデッドタイムデータレジスタ (TDDR) には 1 を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 12.41 にデッドタイムを生成しない場合の動作例を示します。

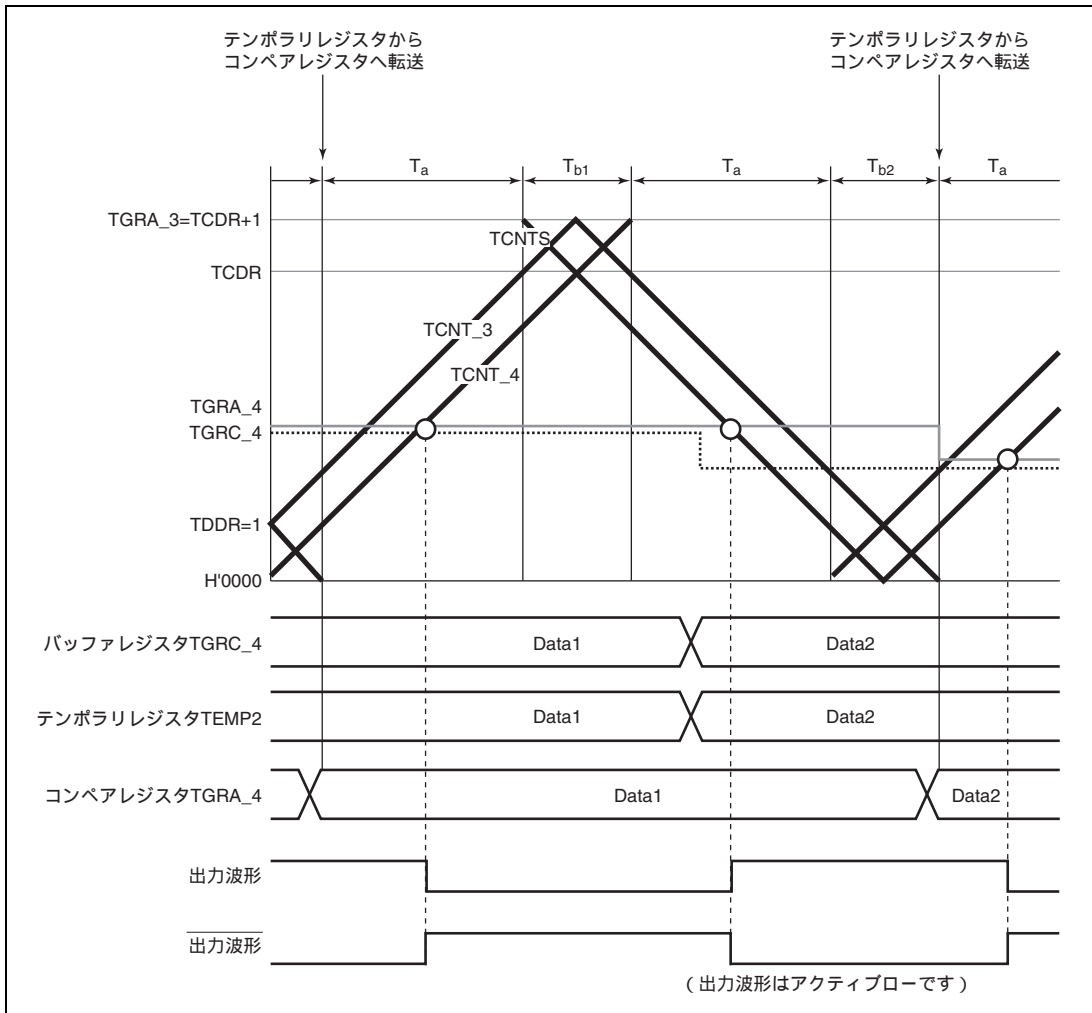


図 12.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT_3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：TGRA_3 の設定値 = TCDR の設定値 + TDDR の設定値

TCDR の設定値 > TDDR の設定値の 2 倍 + 2

デッドタイム生成なし：TGRA_3 の設定値 = TCDR の設定値 + 1

TCDR の設定値 > 4

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 12.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

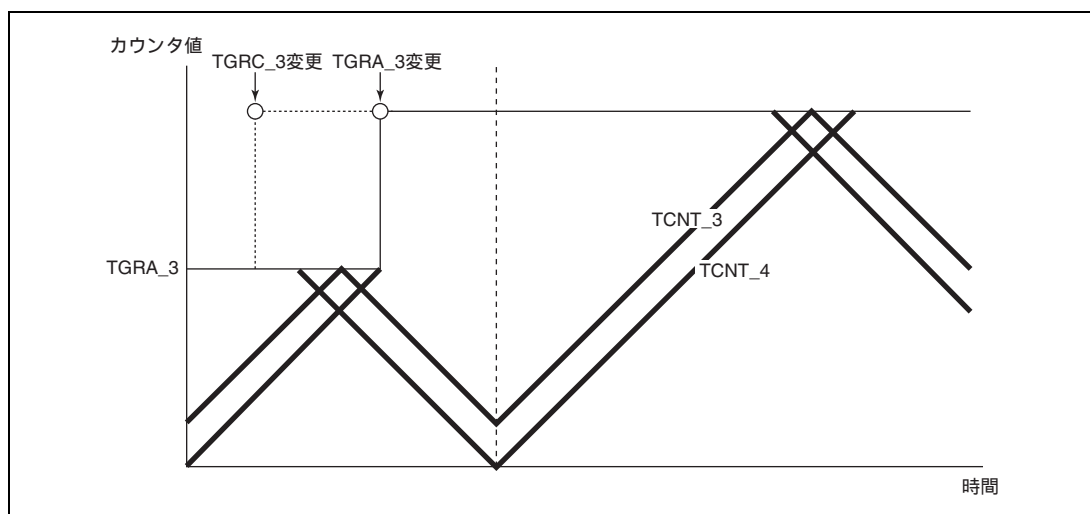


図 12.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 12.43 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

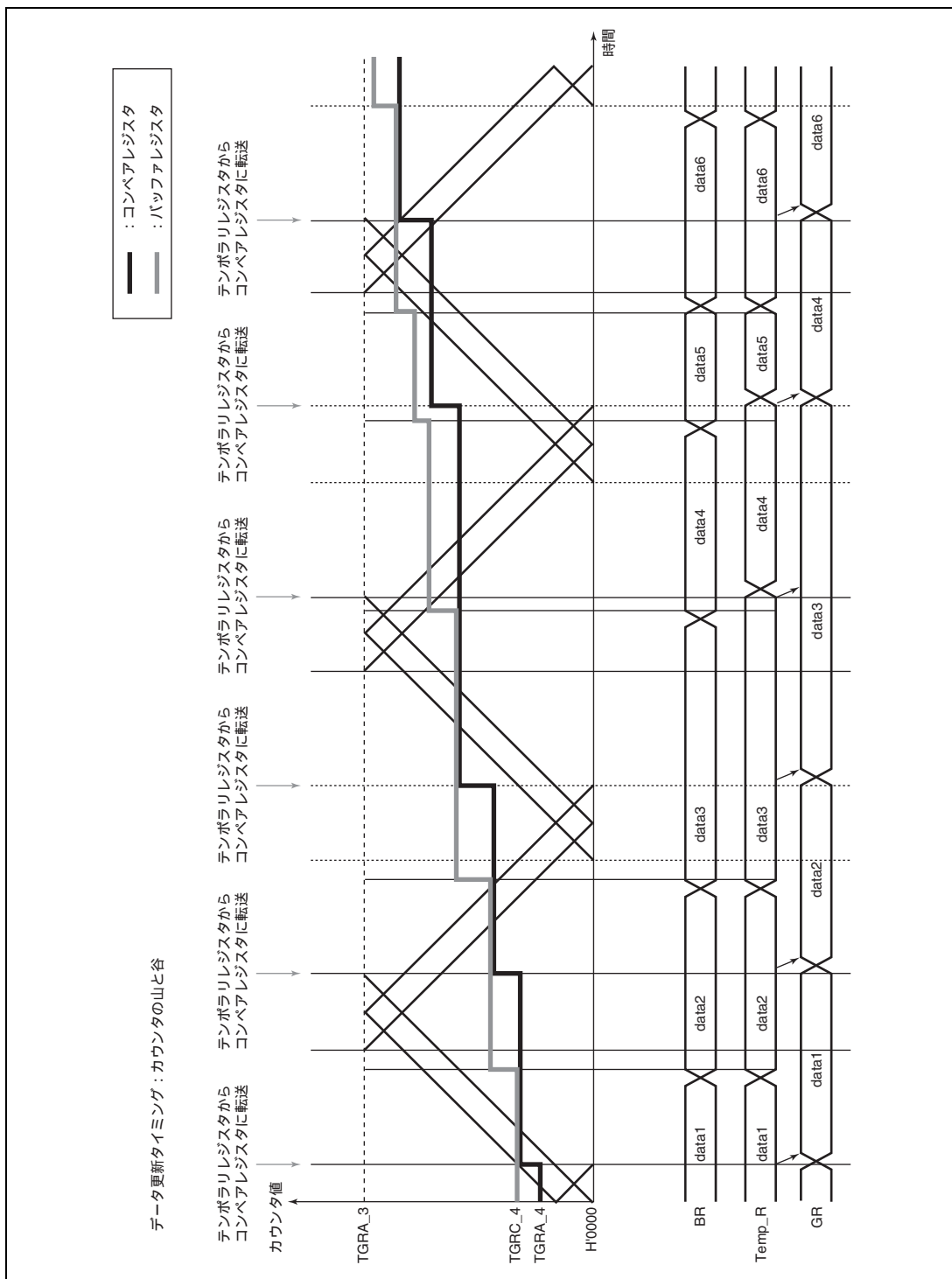


図 12.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 12.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 12.45 に示します。

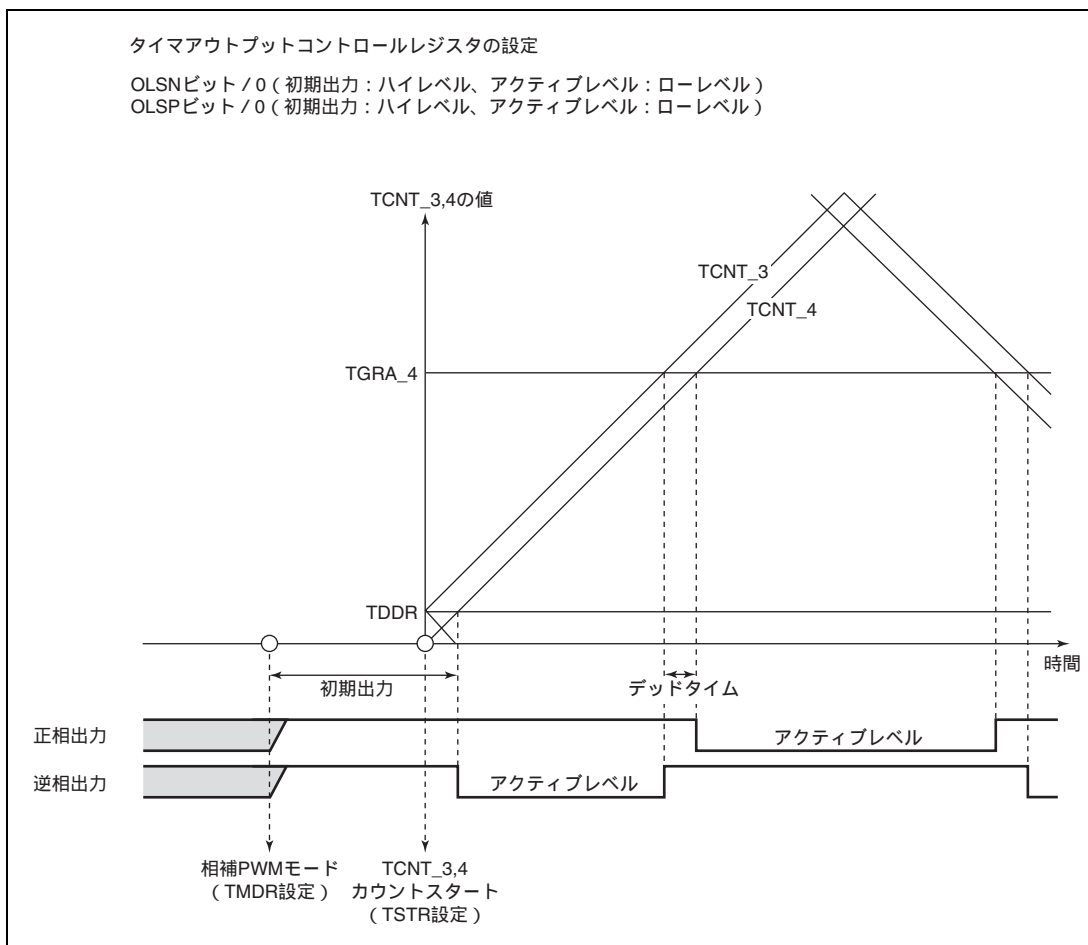


図 12.44 相補 PWM モードの初期出力例 (1)

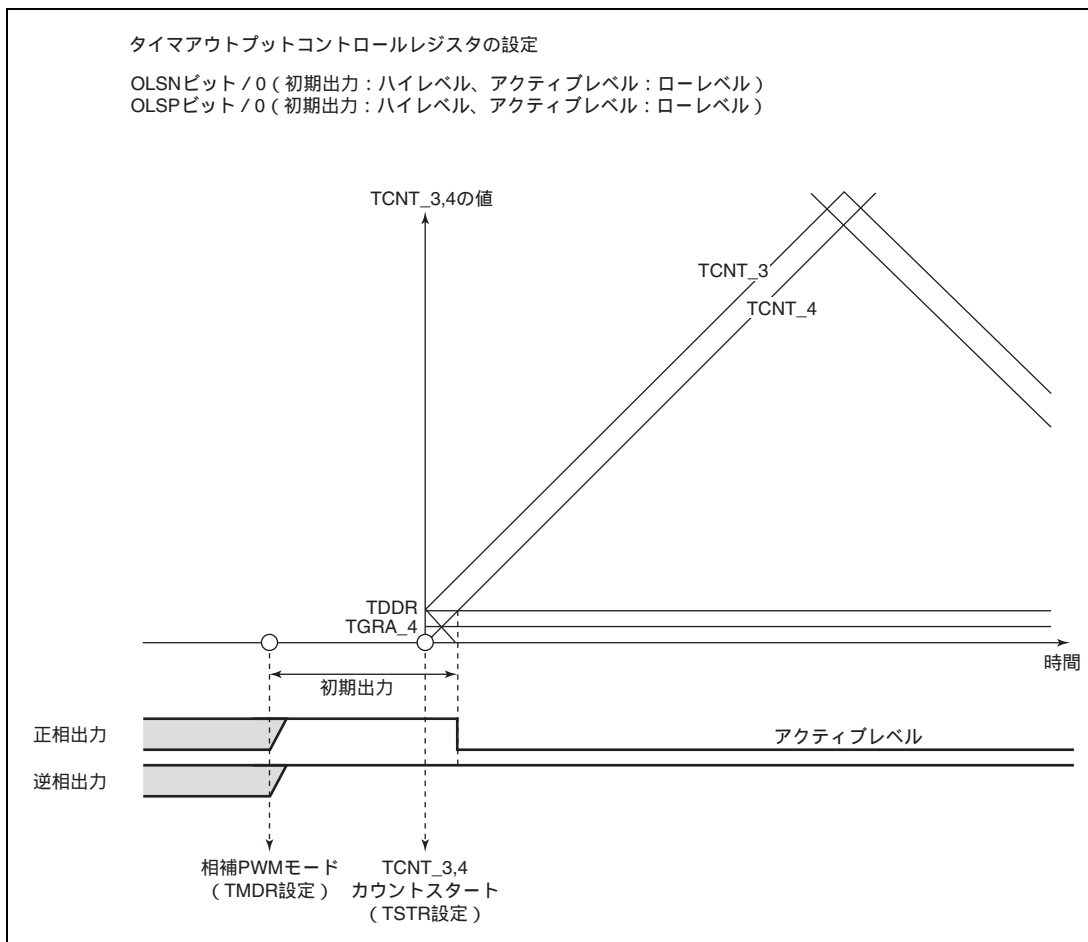


図 12.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバラップ時間を持った PWM 波形を 3 相出力します。このノンオーバラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 12.46 ~ 図 12.48 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 12.46 に示すように通常の場合のコンペアマッチは、a b c d (または c d a' b') の順番で発生します。

コンペアマッチが a b c d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c d a' b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 12.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 12.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

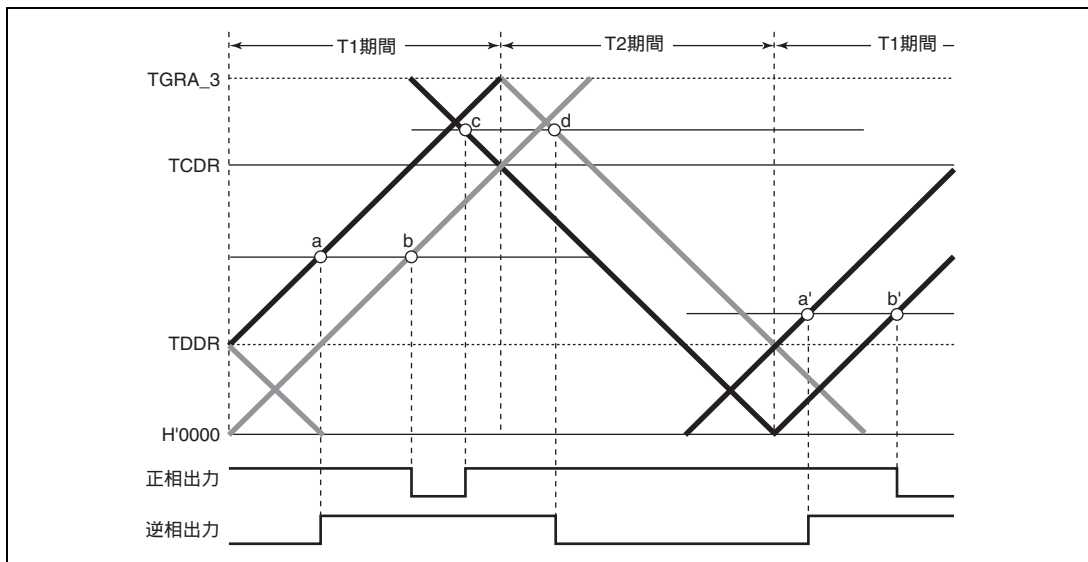


図 12.46 相補 PWM モード波形出力例 (1)

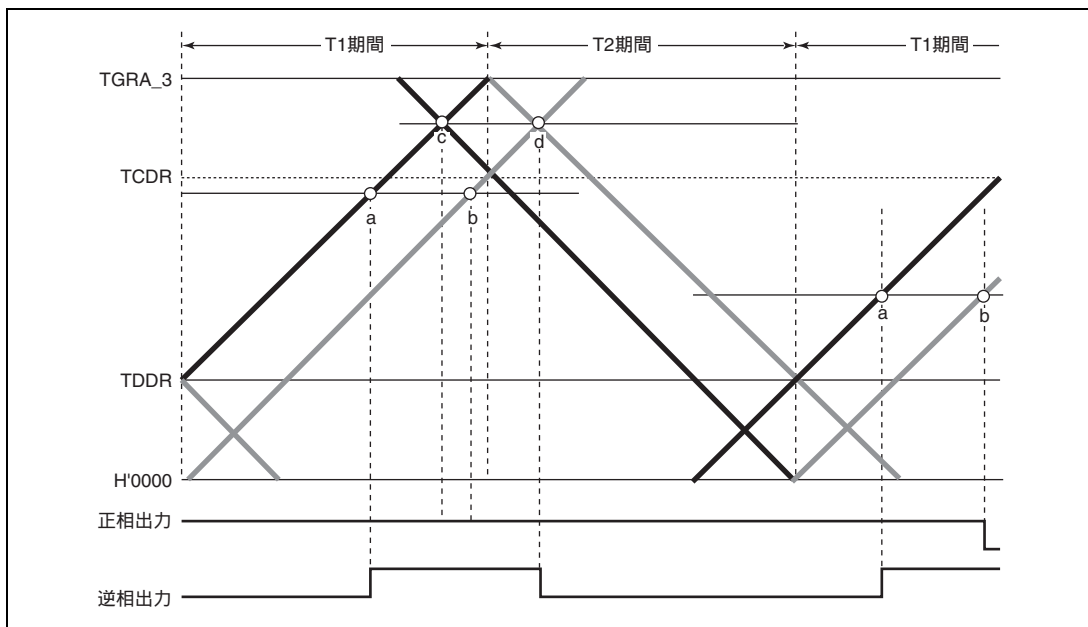


図 12.47 相補 PWM モード波形出力例 (2)

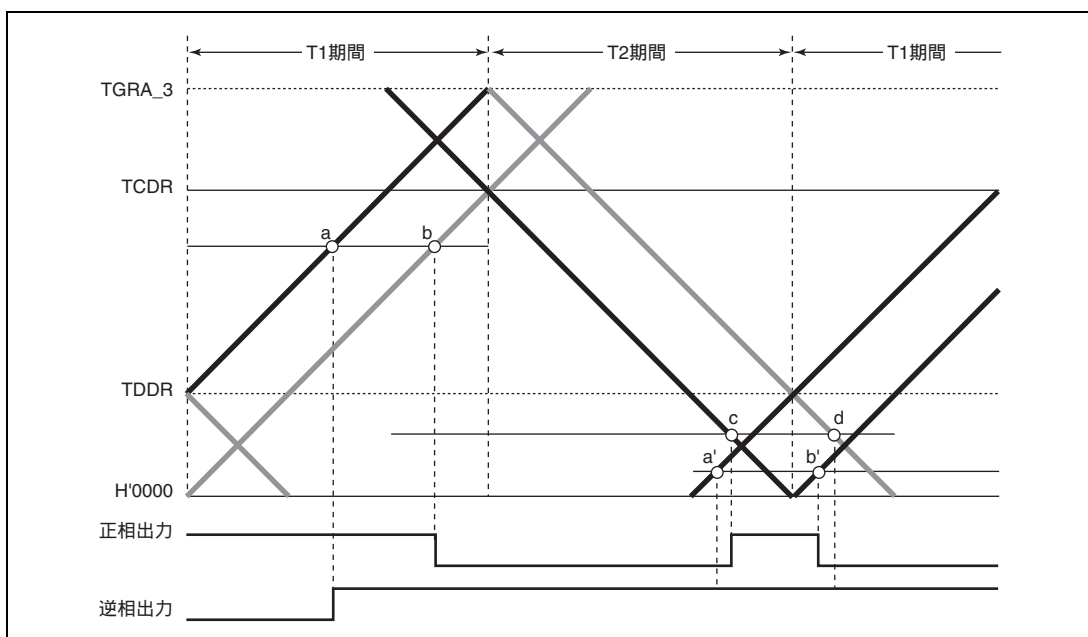


図 12.48 相補 PWM モード波形出力例 (3)

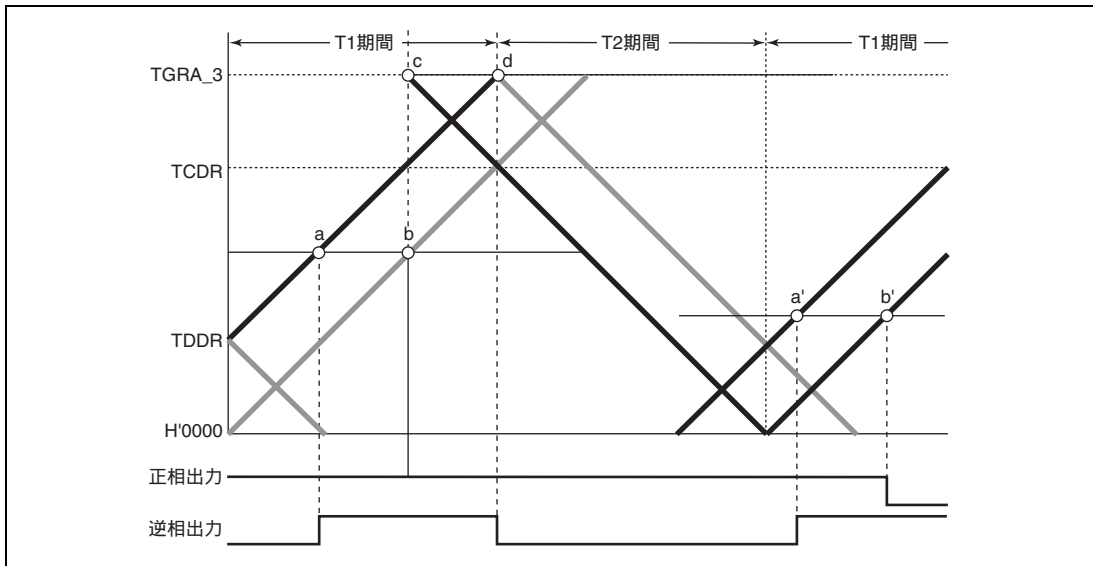


図 12.49 相補 PWM モード 0%、100%波形出力例 (1)

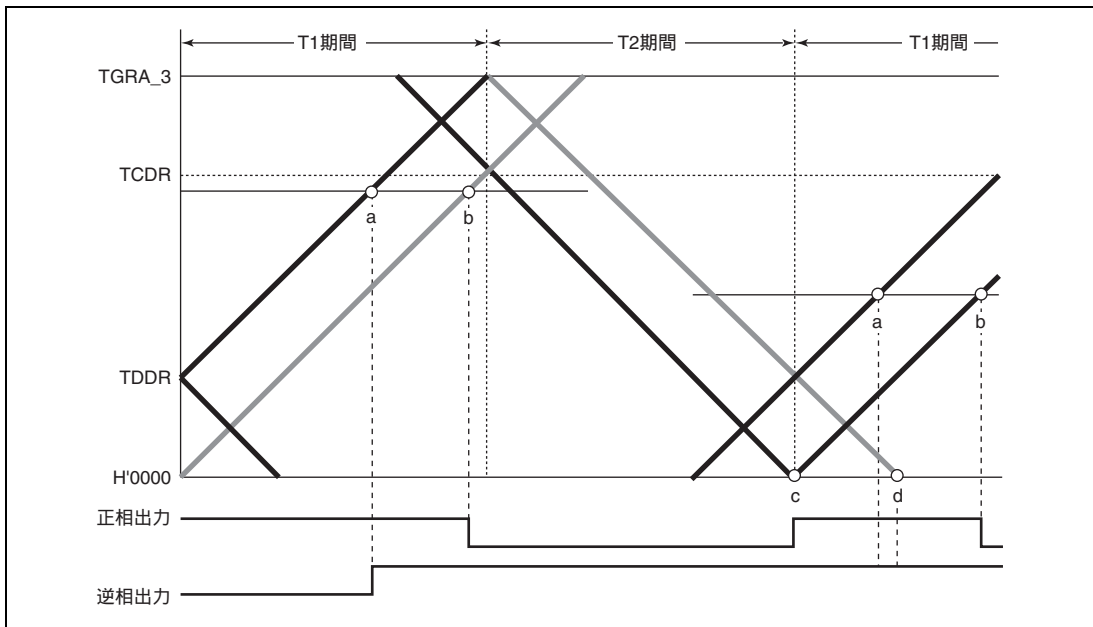


図 12.50 相補 PWM モード 0%、100%波形出力例 (2)

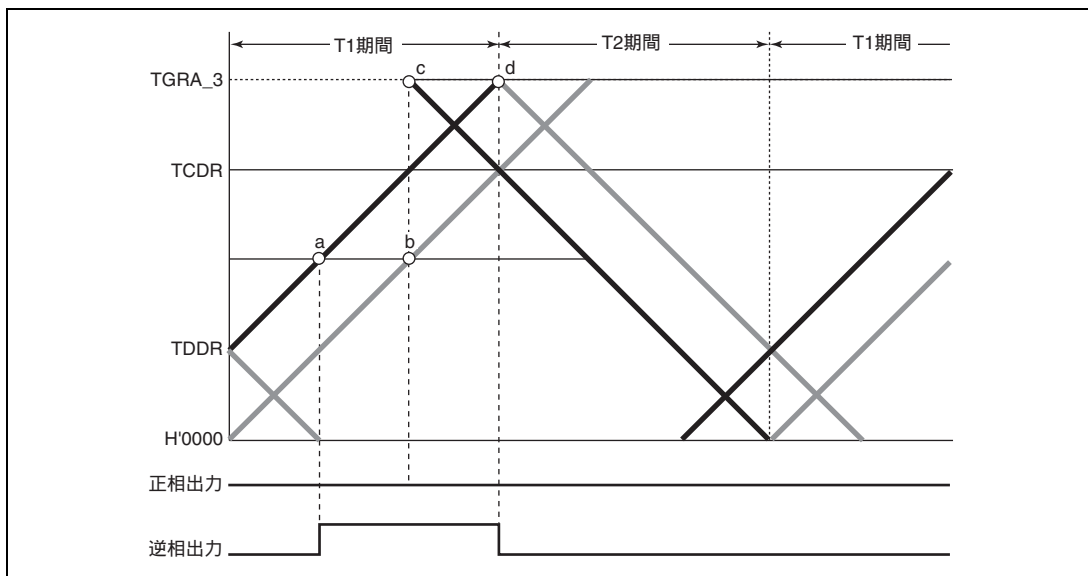


図 12.51 相補 PWM モード 0%、100%波形出力例 (3)

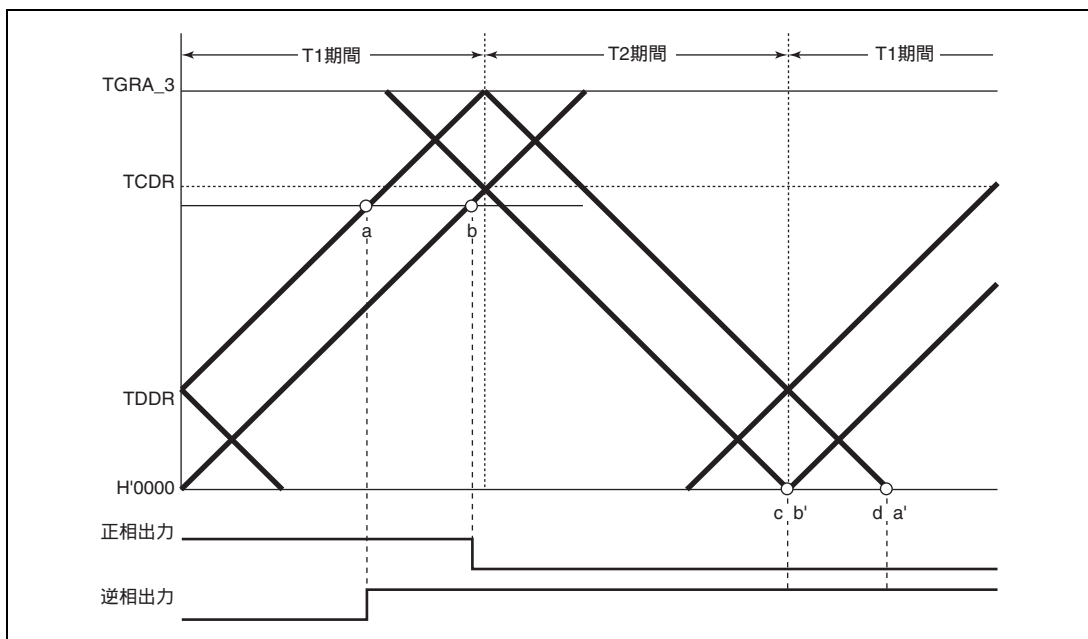


図 12.52 相補 PWM モード 0%、100%波形出力例 (4)

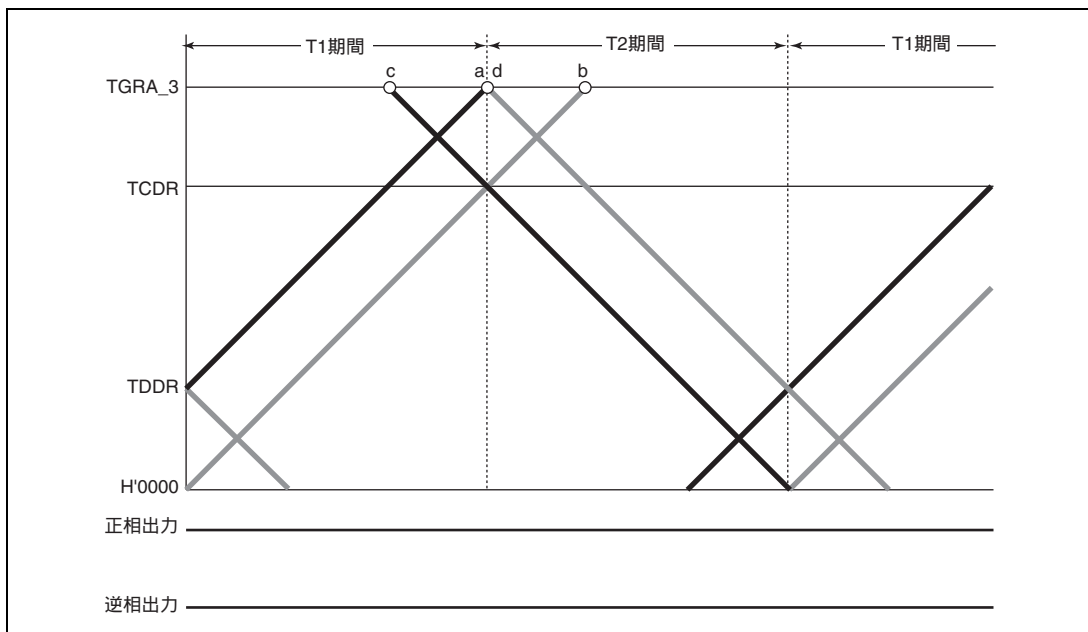


図 12.53 相補 PWM モード 0%、100%波形出力例 (5)

(k) 相補 PWM モードのデューティ 0%、100%出力

相補 PWM モードでは、デューティ 0%、100%を任意に出力可能です。図 12.49～図 12.53 に出力例を示します。デューティ 100%出力は、コンペアレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、コンペアレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(l) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 12.54 に示します。この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT_4 と H'0000 のコンペアマッチでトグルを行います。このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

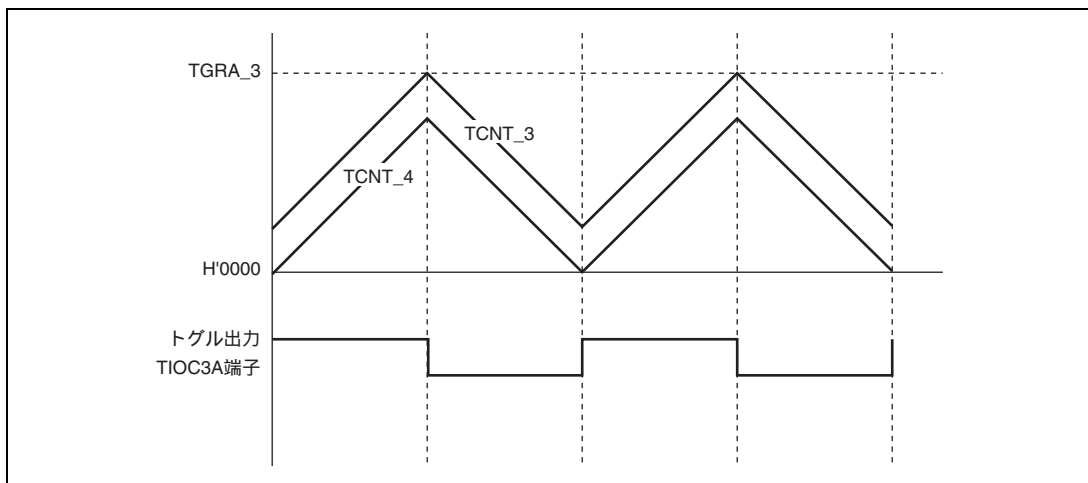


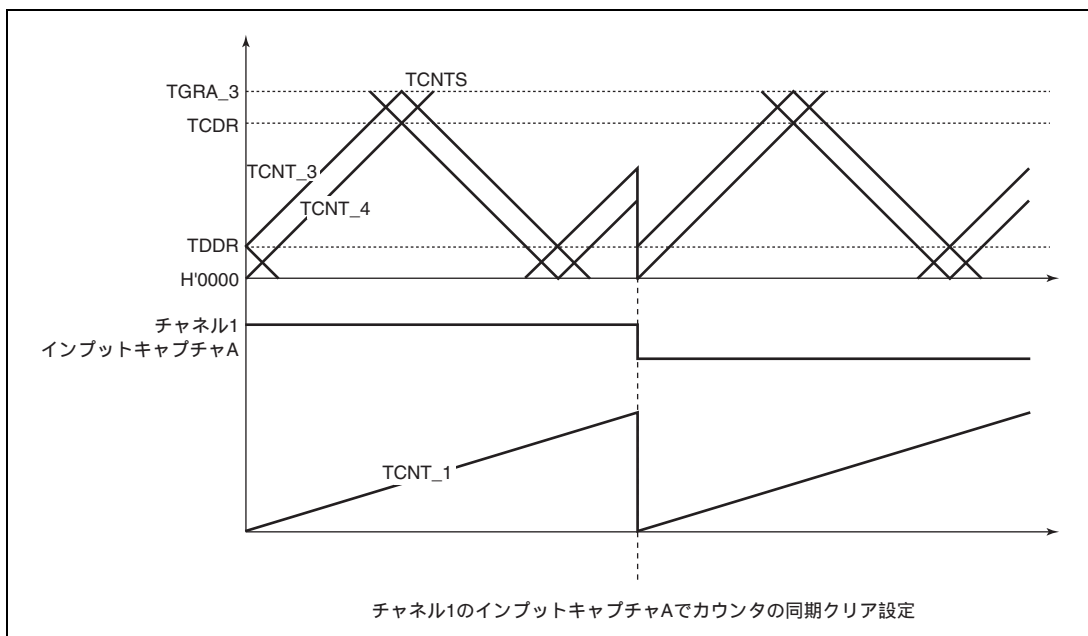
図 12.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 により同期クリアを選択することにより他のチャネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。

図 12.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。



チャンネル1のインพุットキャプチャAでカウンタの同期クリア設定

図 12.55 他のチャネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを 1 に設定することにより、相補 PWM モードの谷の T_b 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑止することができます。

WRE ビットを 1 に設定することで初期出力を抑止することができるのは、同期クリアが図 12.56 の、のような谷の T_b 区間で行ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の T_b 区間であっても、図 12.56 ので示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

初期出力を抑止する場合、コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態では同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、「12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」を参照してください。

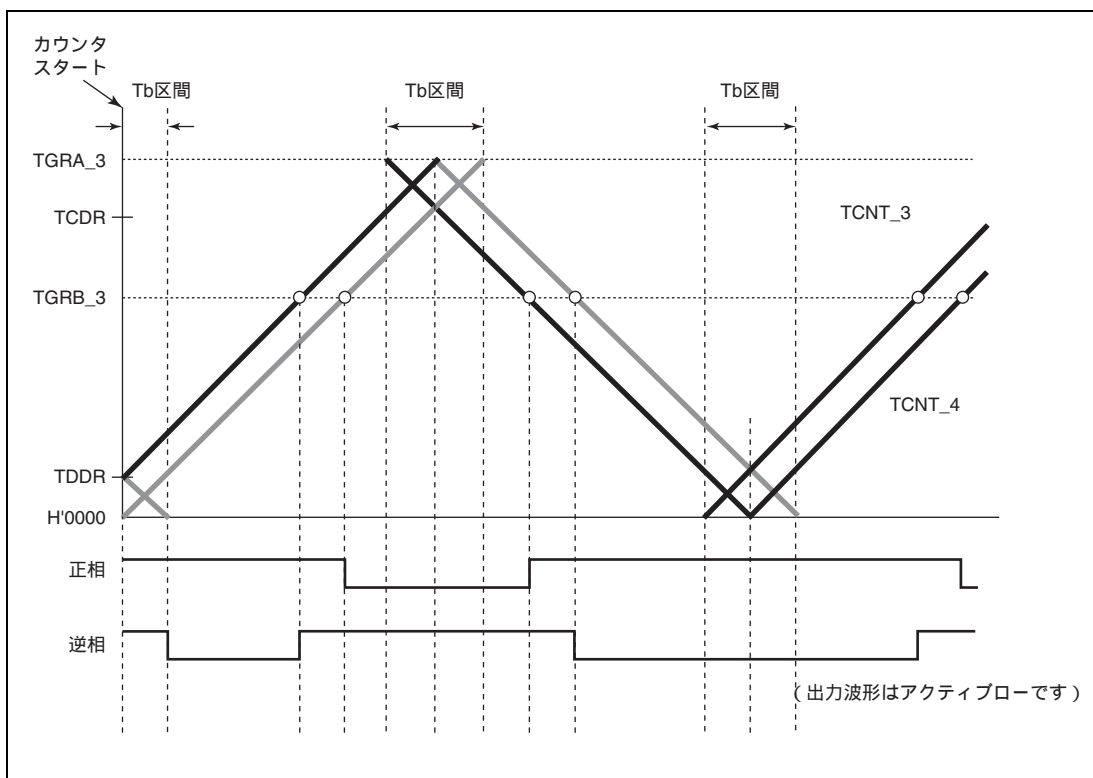


図 12.56 同期カウンタクリアタイミング

- 相補PWMモードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 12.57 に示します。

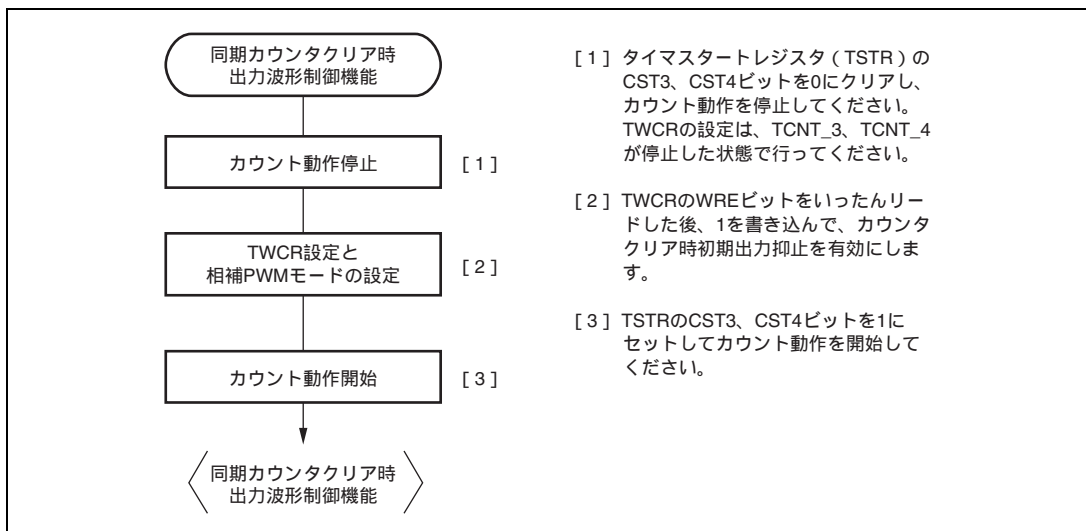


図 12.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補PWMモードでの同期カウンタクリア時出力波形制御動作例

図 12.58 ~ 図 12.61 に、TWCR の WRE ビットを 1 に設定した状態で本モジュールを相補 PWM 動作をさせ、同期カウンタクリアをした場合の動作例を示します。ここで、図 12.58 ~ 図 12.61 の同期カウンタクリアのタイミングは、それぞれ図 12.56 の 、 、 、 で示したタイミングです。

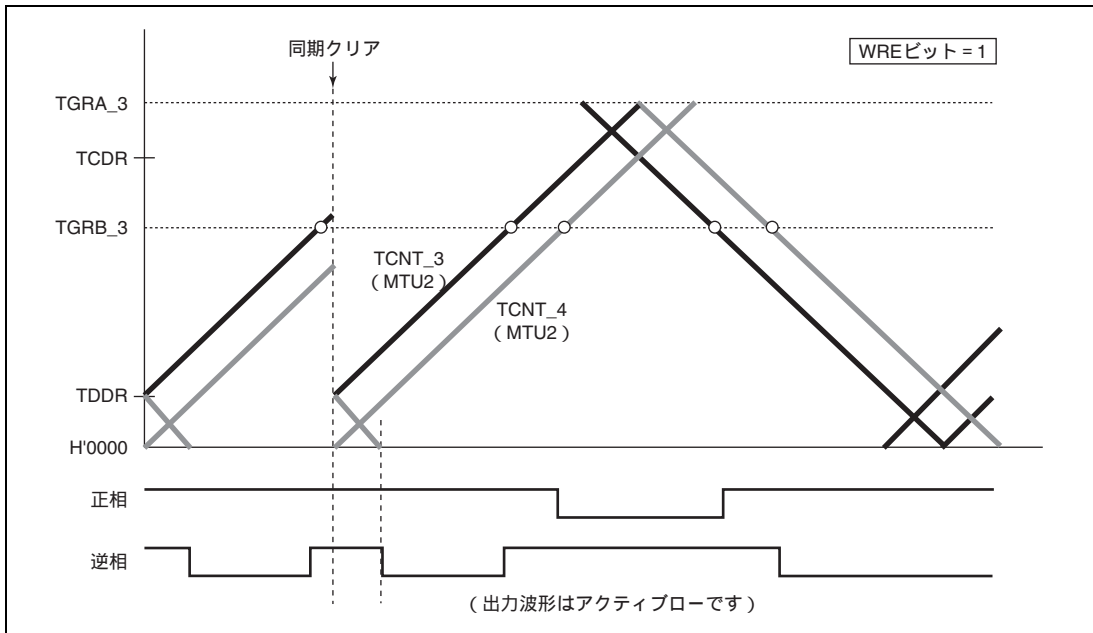


図 12.58 アップカウント中のデッドタイム時に同期クリアが発生した場合
 (図 12.56 のタイミング、本モジュールの TWCR レジスタの WRE ビット=1)

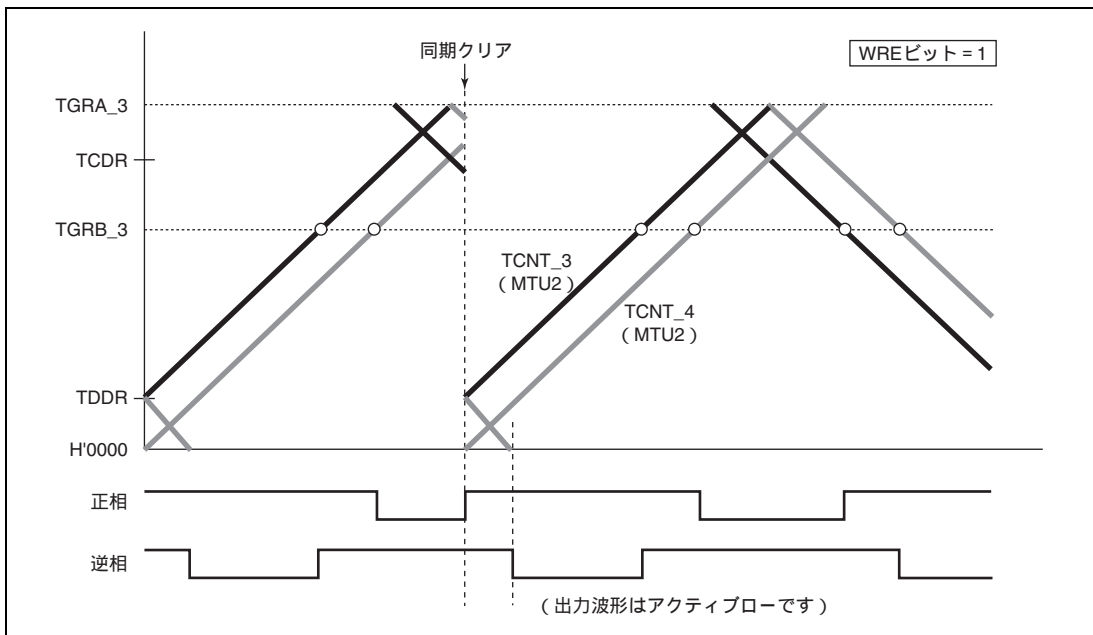


図 12.59 山の Tb 区間で同期クリアが発生した場合
 (図 12.56 のタイミング、本モジュールの TWCR レジスタの WRE ビット=1)

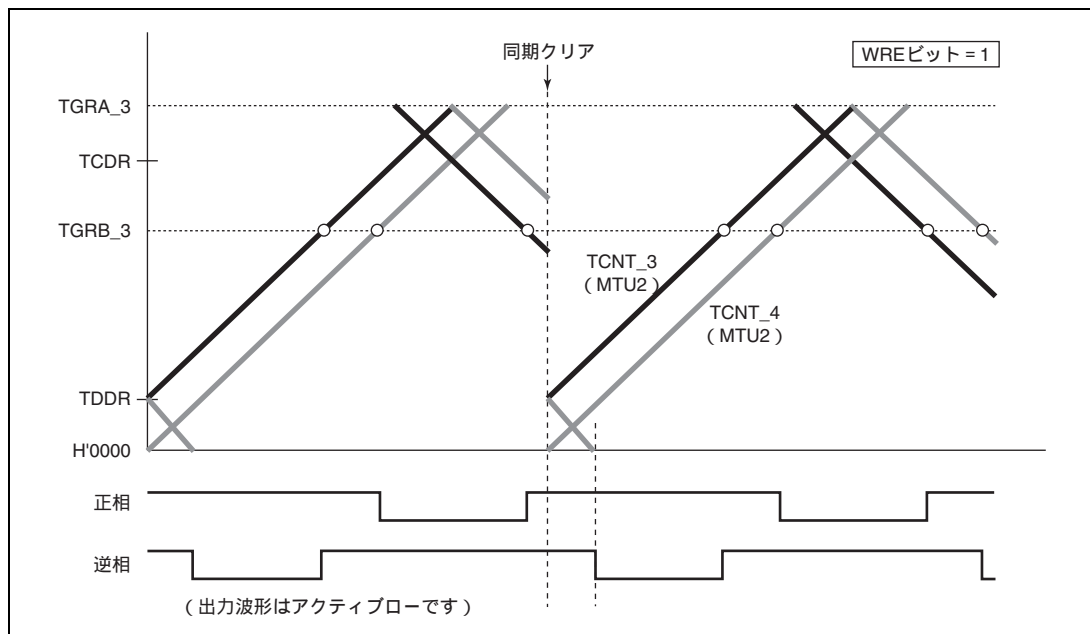


図 12.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 12.56 のタイミング、TWCR レジスタの WRE ビット=1)

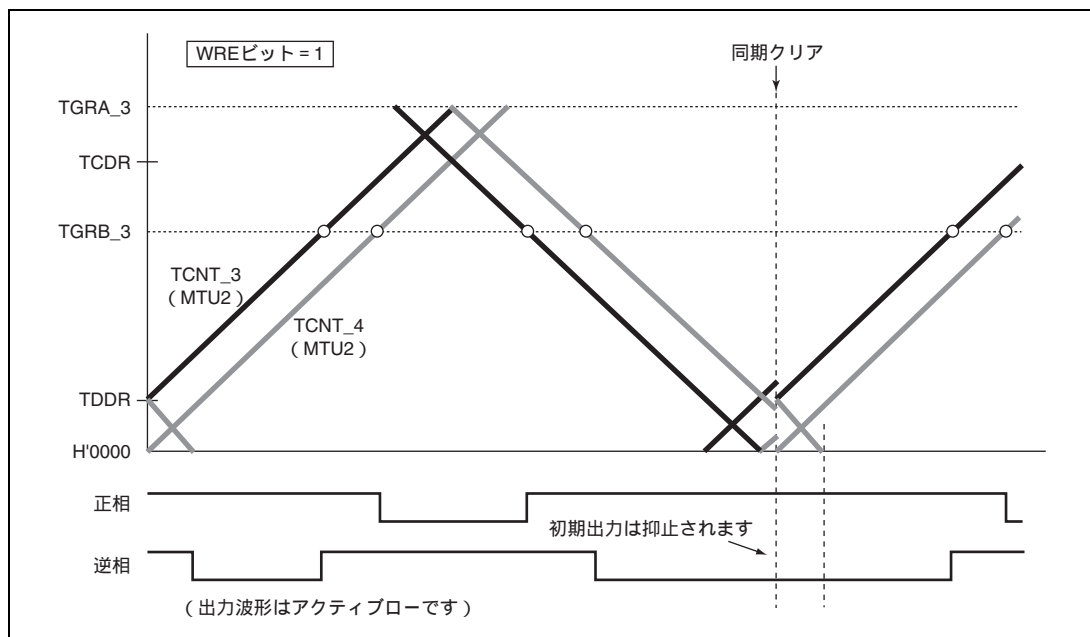


図 12.61 谷の Tb 区間で同期クリアが発生した場合
(図 12.56 のタイミング、TWCR レジスタの WRE ビット=1)

(o) TGRA_3 のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCR) の CCE ビットを設定することにより、TGRA_3 のコンペアマッチで TCNT_3、TCNT_4 および TCNTS をクリアすることが可能です。

図 12.62 に動作例を示します。

- 【注】
1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
 2. 他のチャネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ(TSYR)の SYNC0 ~ SYNC4 ビットを 1 に設定しないでください)
 3. PWM デューティは、H'0000 を設定しないでください。
 4. タイマアウトプットコントロールレジスタ 1 (TOCR1) の PSYE ビットを 1 に設定しないでください。

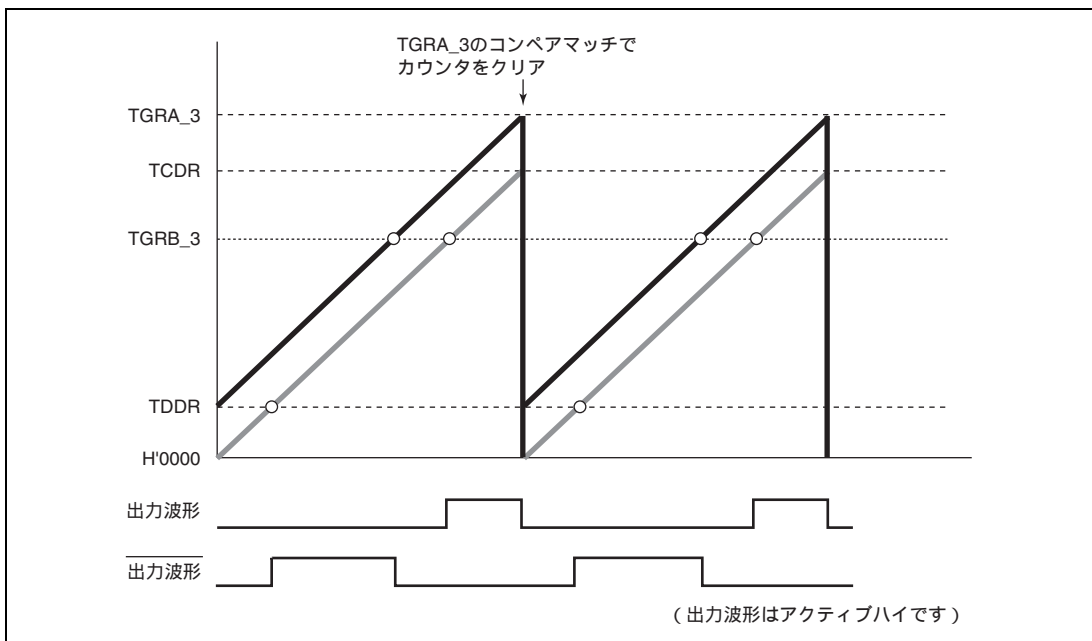


図 12.62 TGRA_3 のコンペアマッチにおけるカウンタクリアの動作例

(p) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 12.63 ~ 図 12.66 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (汎用入出力ポートで設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この6相出力はNビットまたはPビットを1に設定することにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。NビットまたはPビットが0の場合は、レベル出力になります。

また、6相出力のアクティブレベル（ON出力時レベル）は、NビットおよびPビットの設定にかかわらず、タイムアウトコントロールレジスタ（TOCR）のOLSNビット、OLSPビットで設定できます。

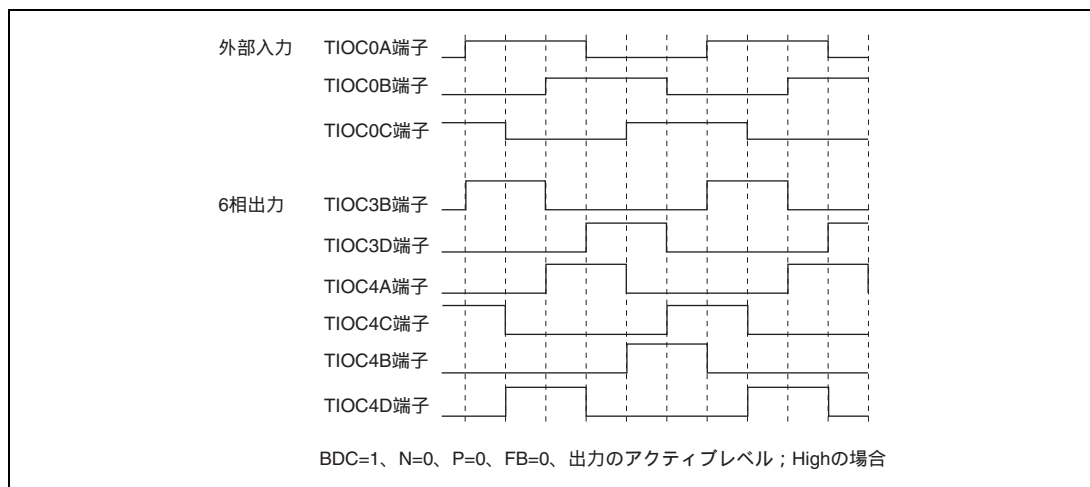


図 12.63 外部入力による出力相の切り替え動作例（1）

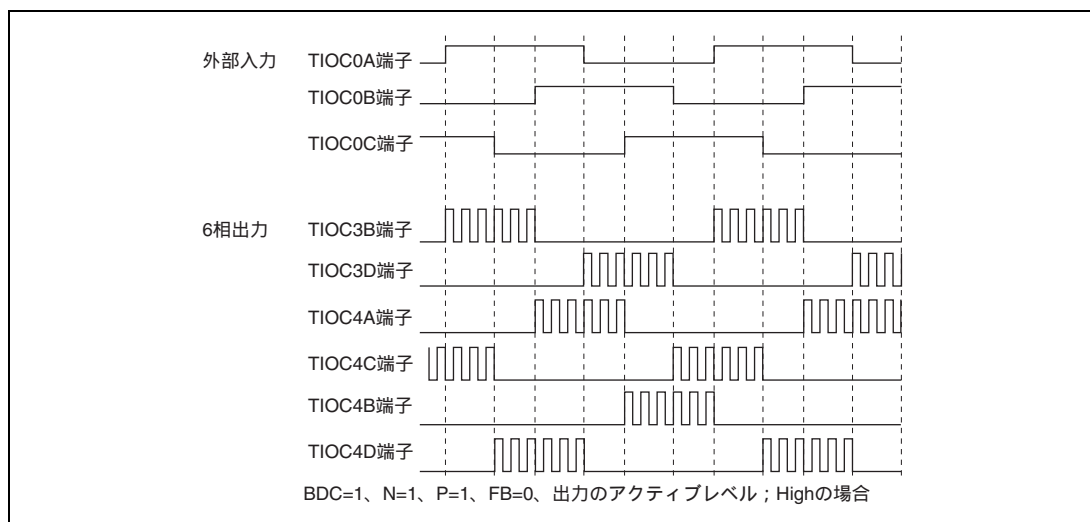


図 12.64 外部入力による出力相の切り替え動作例（2）

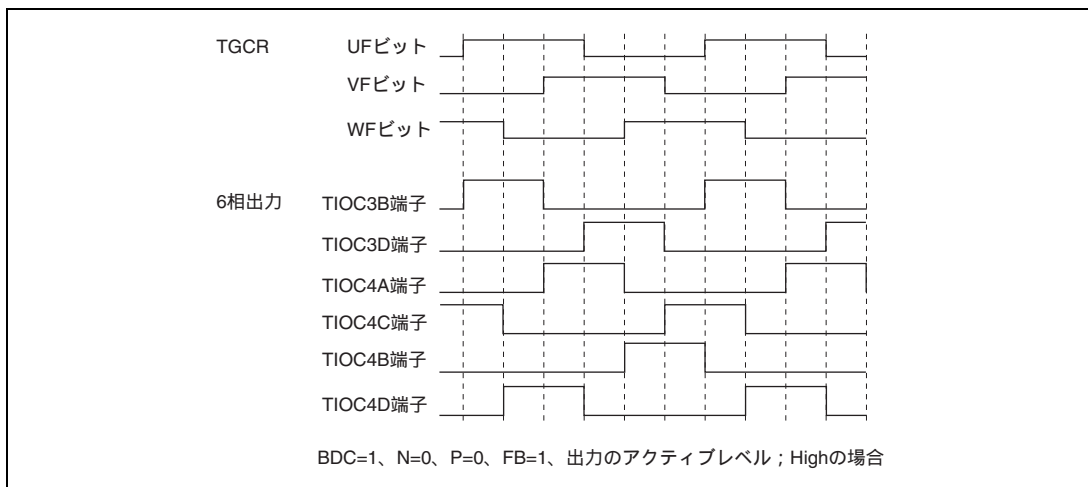


図 12.65 UF、VF、WF ビット設定による出力相の切り替え動作例（1）

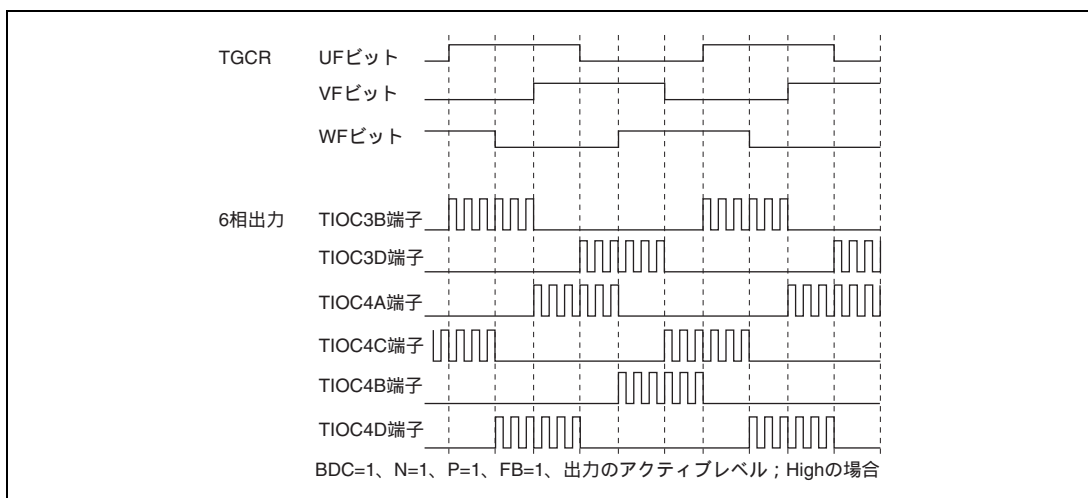


図 12.66 UF、VF、WF ビット設定による出力相の切り替え動作例（2）

(q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチ、TCNT_4 のアンダフロー（谷）、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、TCNT_3 の山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイムインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。TCNT_4 のアンダフロー（谷）の A/D 変換の開始要求は、TIER_4 の TTGE2 ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

チャンネル 3 とチャンネル 4 の TGIA_3 (山の割り込み)、および TCIV_4 (谷の割り込み) は、タイマ割り込み間引き設定レジスタ (TITCR) を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTER) を設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「12.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ (TITCR) の設定は、TIER_3、TIER_4 レジスタの設定で TGIA_3 と TCIV_4 割り込み要求を禁止した状態、かつコンペアマッチによる TGFA_3、TCFV_4 フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 12.67 に示します。また、割り込み間引き回数の変更可能期間を図 12.68 に示します。

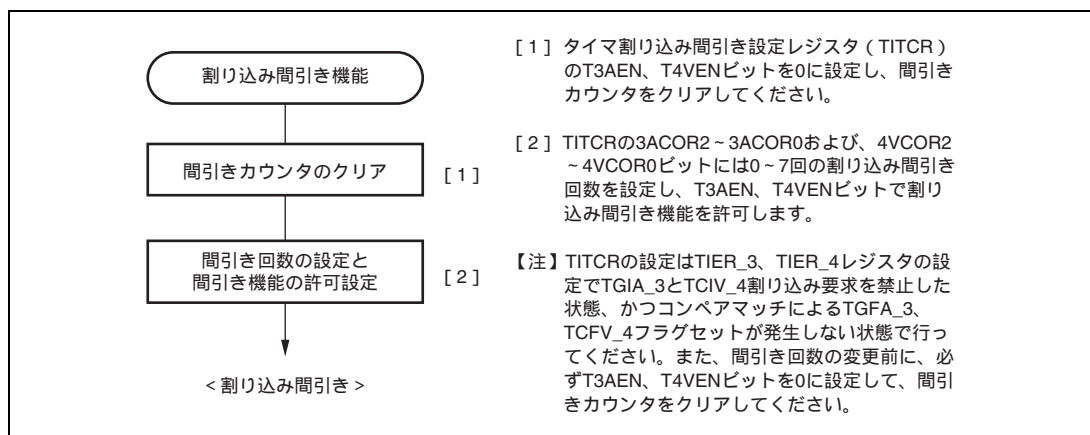


図 12.67 割り込み間引き機能の設定手順例

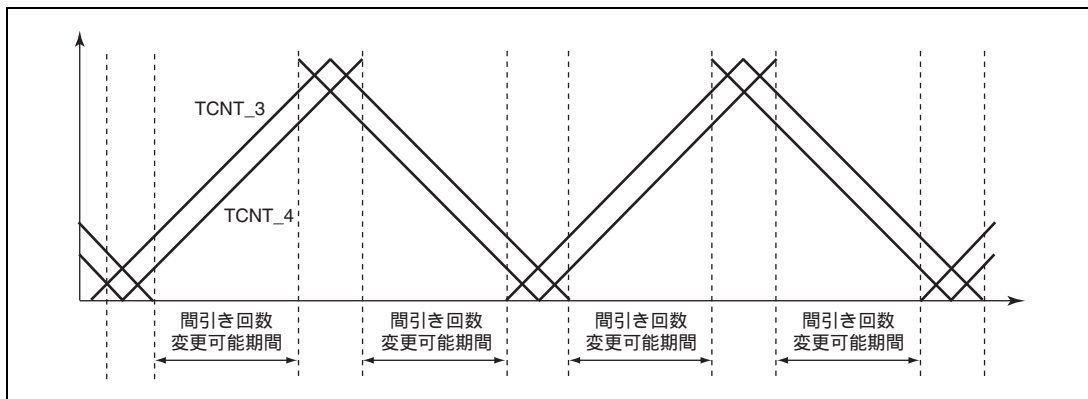


図 12.68 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

タイム割り込み間引き設定レジスタ (TITCR) の 3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを 1 に設定した場合の、TGIA_3 割り込み間引きの動作例を図 12.69 に示します。

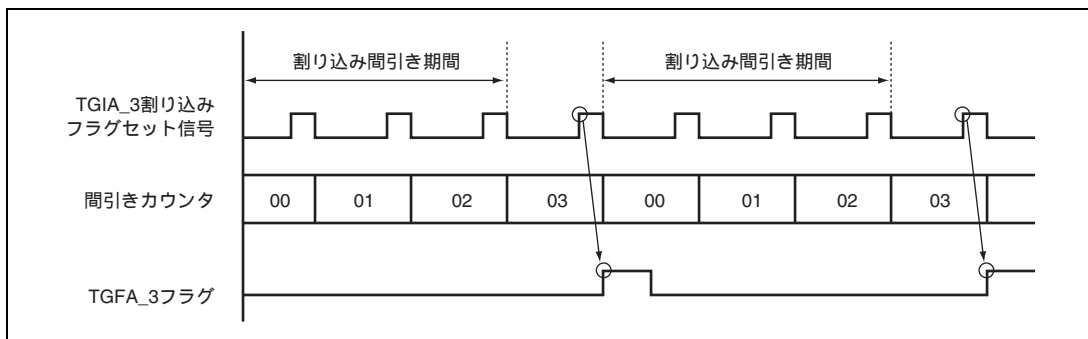


図 12.69 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイムバッファ転送設定レジスタ (TBTER) レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑止する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例を図 12.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例を図 12.71 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。割り込み発生からバッファレジスタの書き換えタイミングにより、バッファレジスタからテンポラリレジスタおよびテンポラリレジスタからジェネラルレジスタへの転送タイミングが 2 種類あります。

なお、タイム割り込み間引き設定レジスタ (TITCR) の T3AEN ビットを 1 に設定した場合、T4VEN ビットを 1 に設定した場合、T3AEN/T4VEN ビットを 1 に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 12.72 に示します。

【注】 本機能は、割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送設定レジスタ（TBTER）の BTE1 を 0 に設定）してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

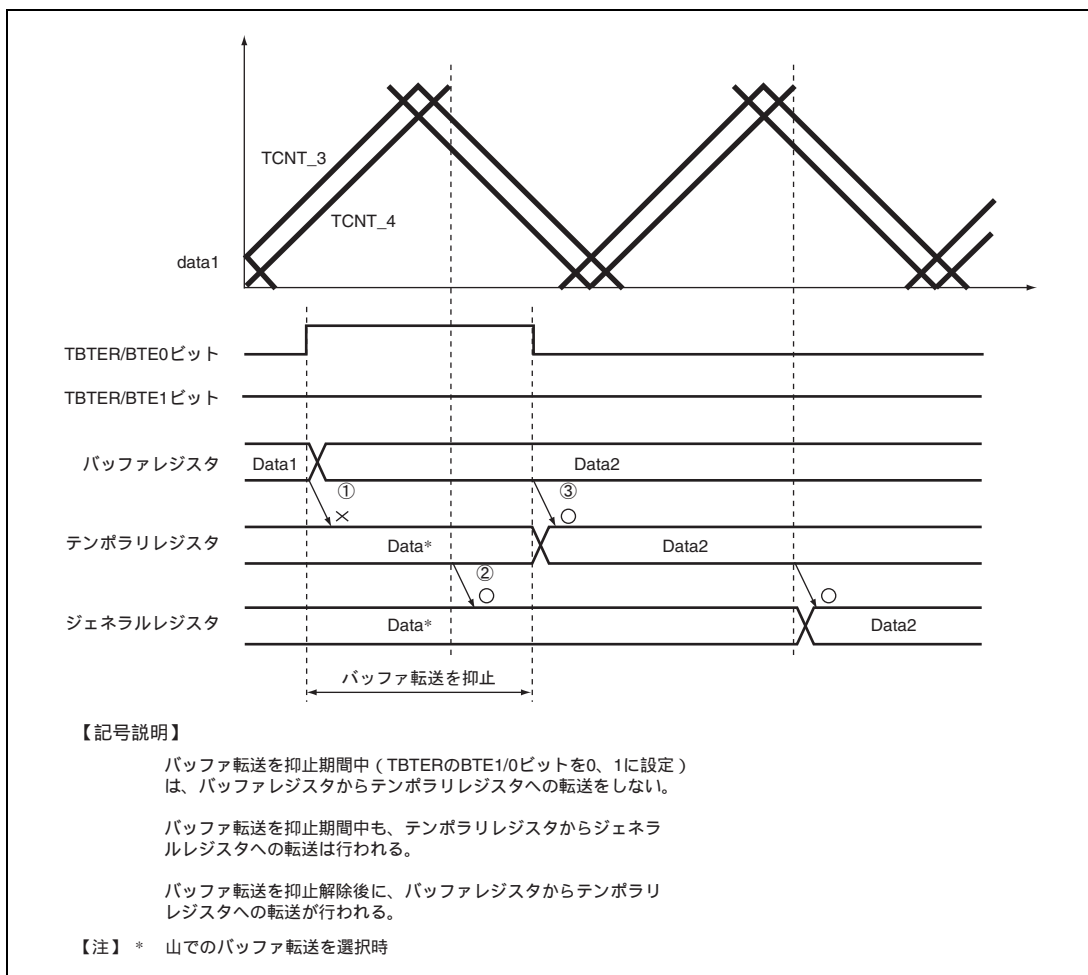


図 12.70 バッファ転送を抑制する設定（BTE1=0、BTE0=1）にした場合の動作例

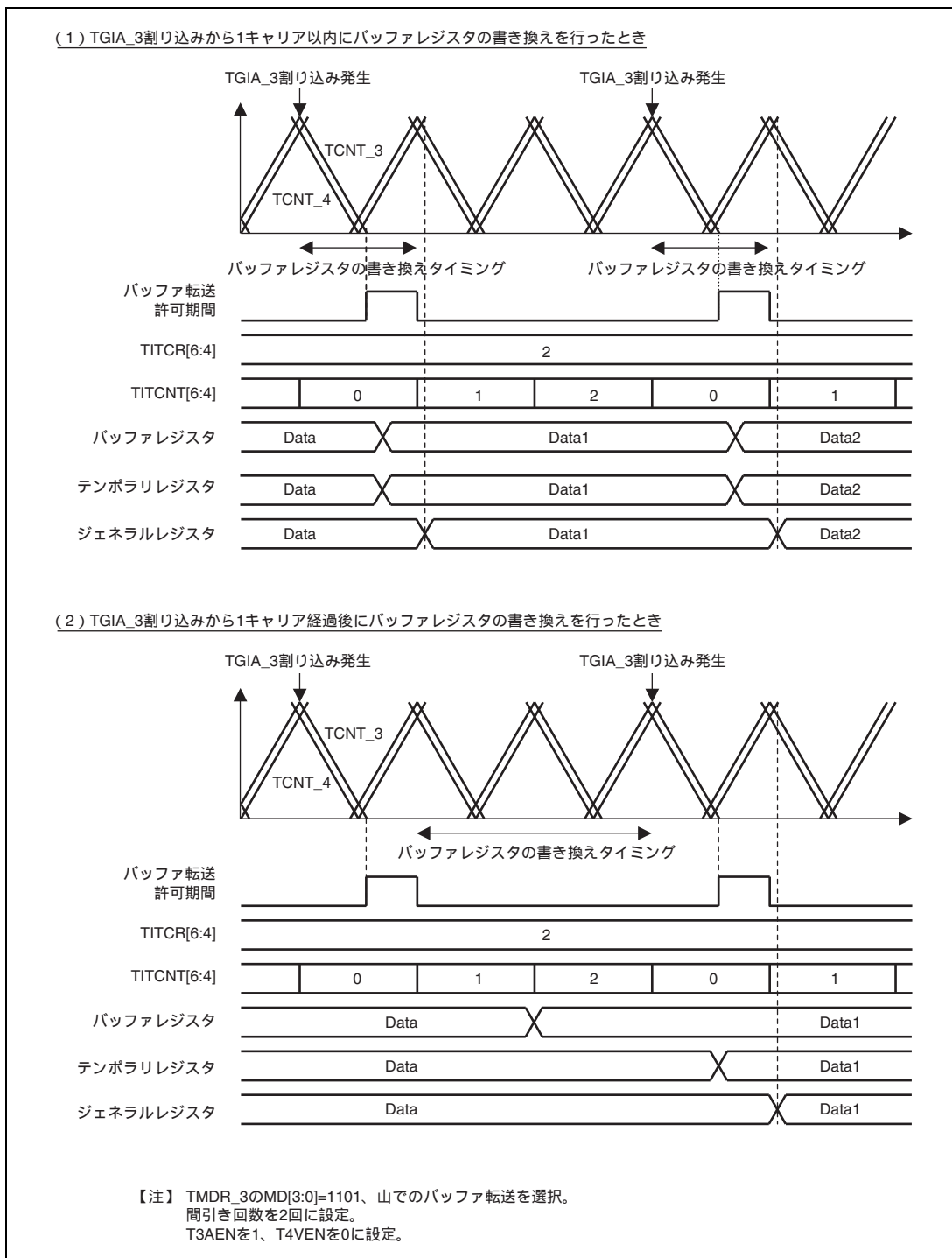


図 12.71 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例

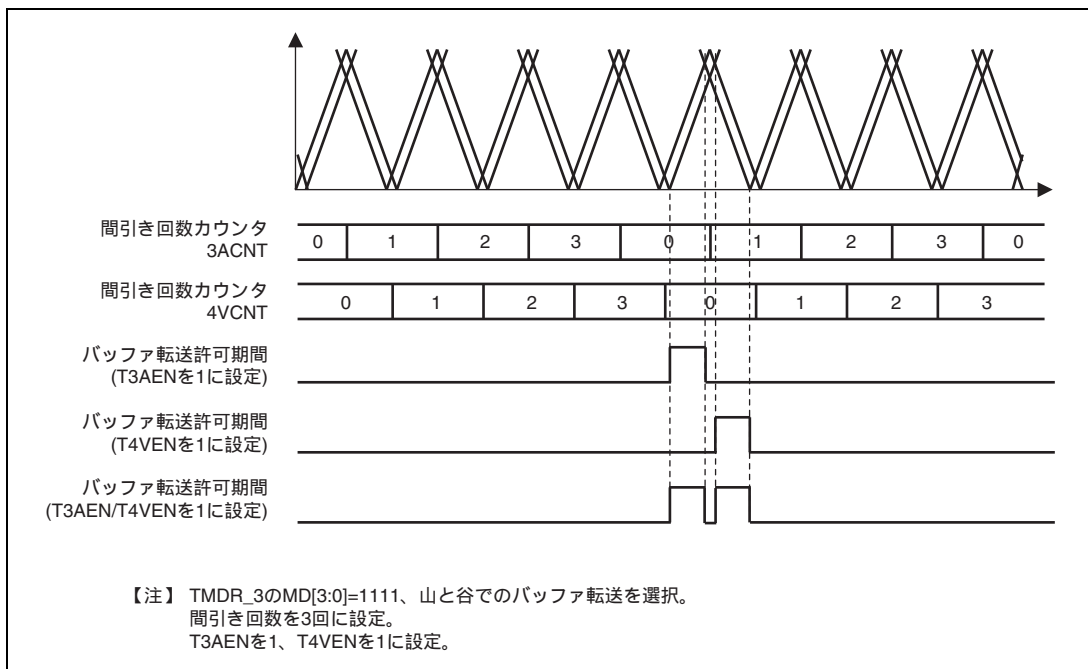


図 12.72 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定と
バッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ (TRWER) の RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタはチャンネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIORL_3 および TIORL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

12.4.9 A/D 変換開始要求ディレイド機能

チャンネル 4 のタイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 起動要求用周期レジスタ (TADCORA_4、TADCORB_4)、タイマ A/D 起動要求用周期バッファレジスタ (TADCOBRA_4、TADCOBRB_4) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、TCNT_4 と TADCORA_4、TADCORB_4 を比較し、TCNT_4 と TADCORA_4、TADCORB_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

- A/D変換開始要求ディレイド機能の設定手順例

A/D変換開始要求ディレイド機能の設定手順例を図12.73に示します。

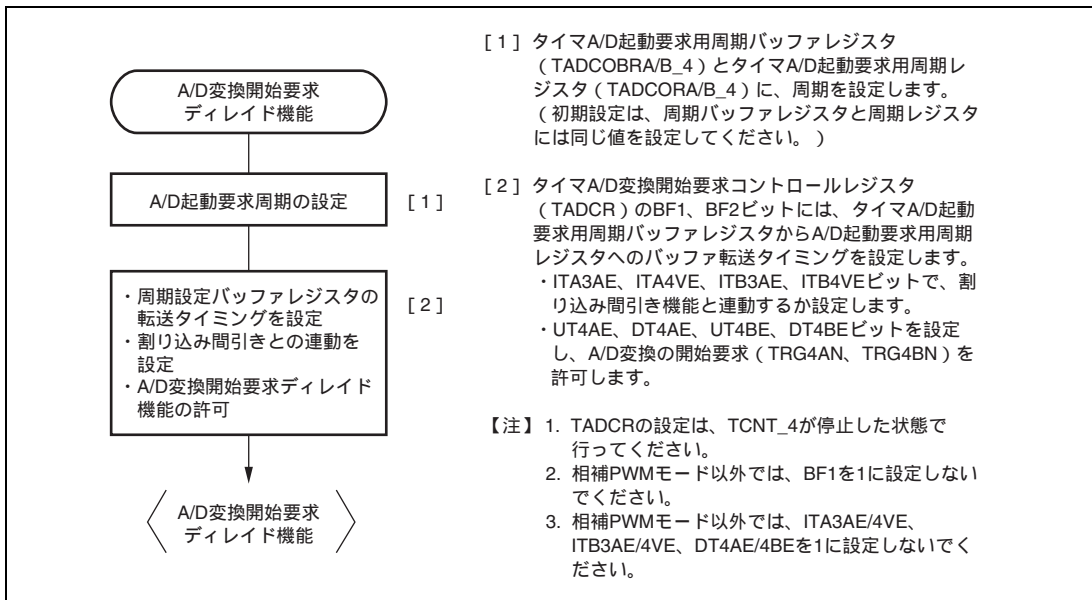


図 12.73 A/D 変換開始要求ディレイド機能の設定手順例

- A/D変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングをTCNT_4の谷に設定し、TCNT_4のダウンカウント時にA/D変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D変換の開始要求信号 (TRG4AN) の基本動作例を図12.74に示します。

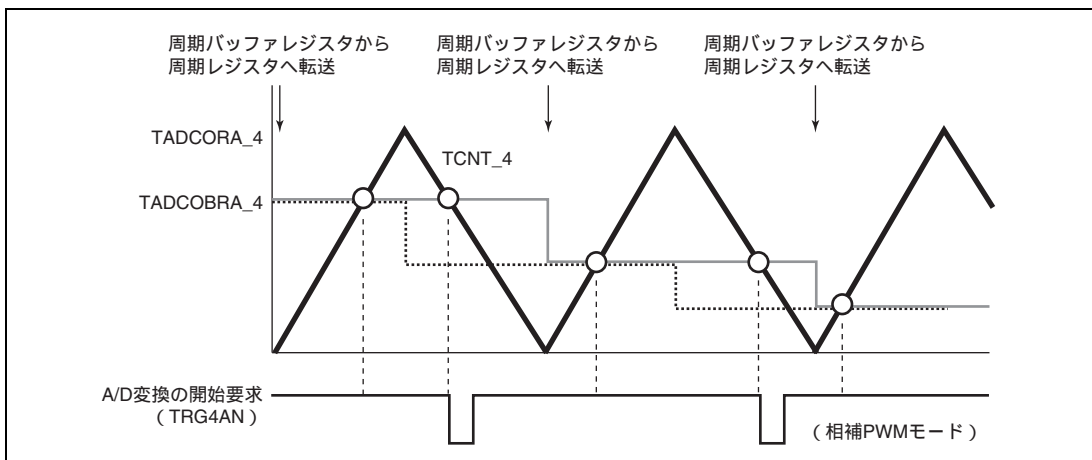


図 12.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

- バッファ転送

タイマA/D起動要求用周期設定レジスタ (TADCORA/B_4) のデータ更新は、タイマA/D起動要求用周期設定バッファレジスタ (TADCOBRA/B_4) にデータを書き込むことにより行います。タイマA/D起動要求用周期設定バッファレジスタからタイマA/D起動要求用周期設定レジスタへの転送タイミングは、タイマA/D変換開始要求コントロールレジスタ (TADCR_4) のBF1、BF0ビットを設定することにより選択することができます。

- 割り込み間引き機能と連動したA/D変換開始要求ディレイド機能

タイマA/D変換開始要求コントロールレジスタ (TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VEビットの設定により、割り込み間引き機能と連動してA/D変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT_4のアップカウント時、およびダウンカウント時にTRG4AN出力を許可する設定にし、割り込み間引き機能と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例を図12.75に示します。

また、TCNT_4のアップカウント時にTRG4AN出力を許可する設定にし、割り込み間引き機能と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例を図12.76に示します。

【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) のT3AEN、T4VEN ビットを0に設定したとき、またはTITCRの間引き回数設定ビット (3ACOR、4VCOR) を0に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマA/D変換開始要求コントロールレジスタ (TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを0に設定) 設定にしてください。

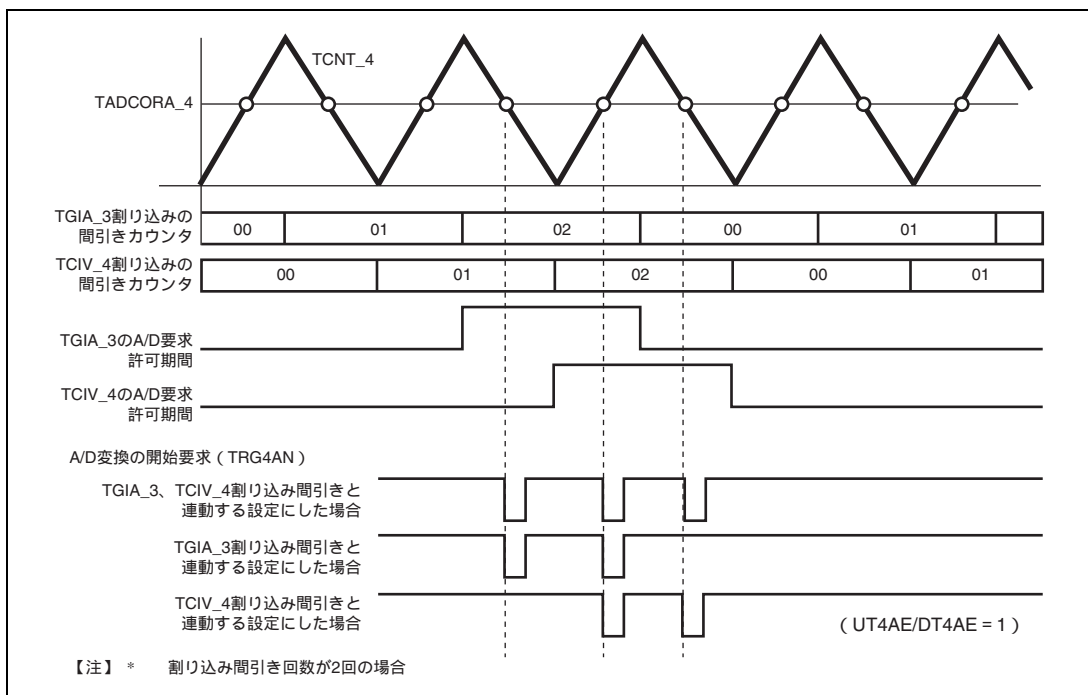


図 12.75 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

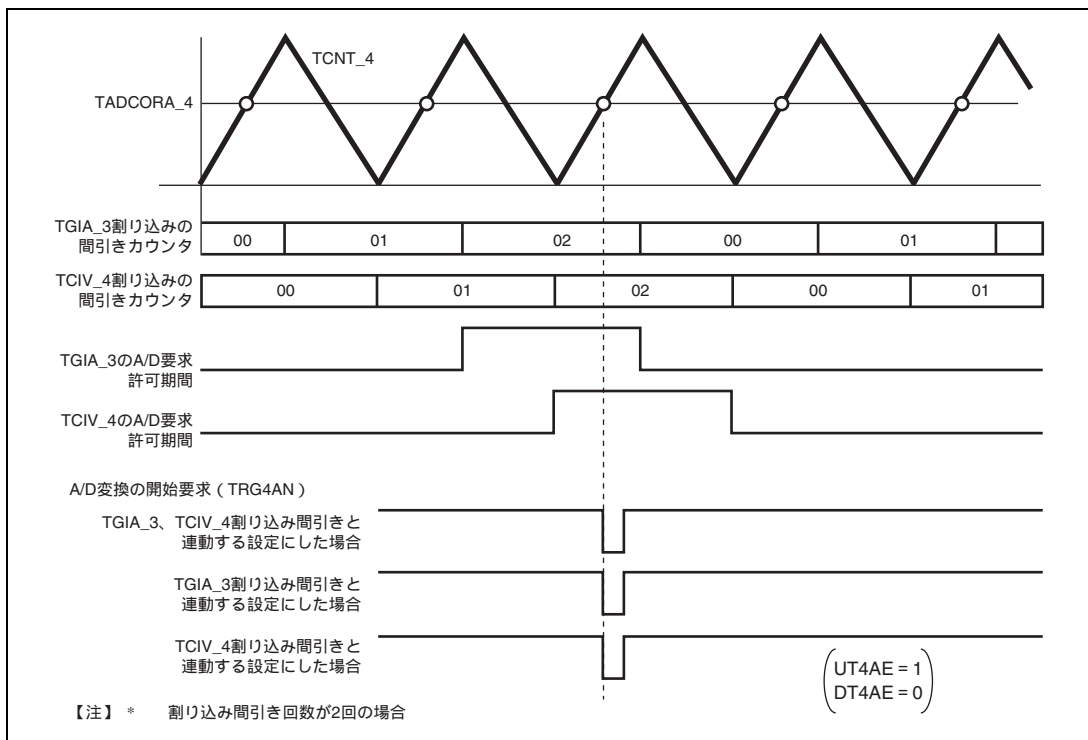


図 12.76 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

12.4.10 相補 PWM の「山/谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 12.77 は TCNT はフリーランでクリアせずを使用し、設定した「山、谷」で TGR にキャプチャを行った動作例です。

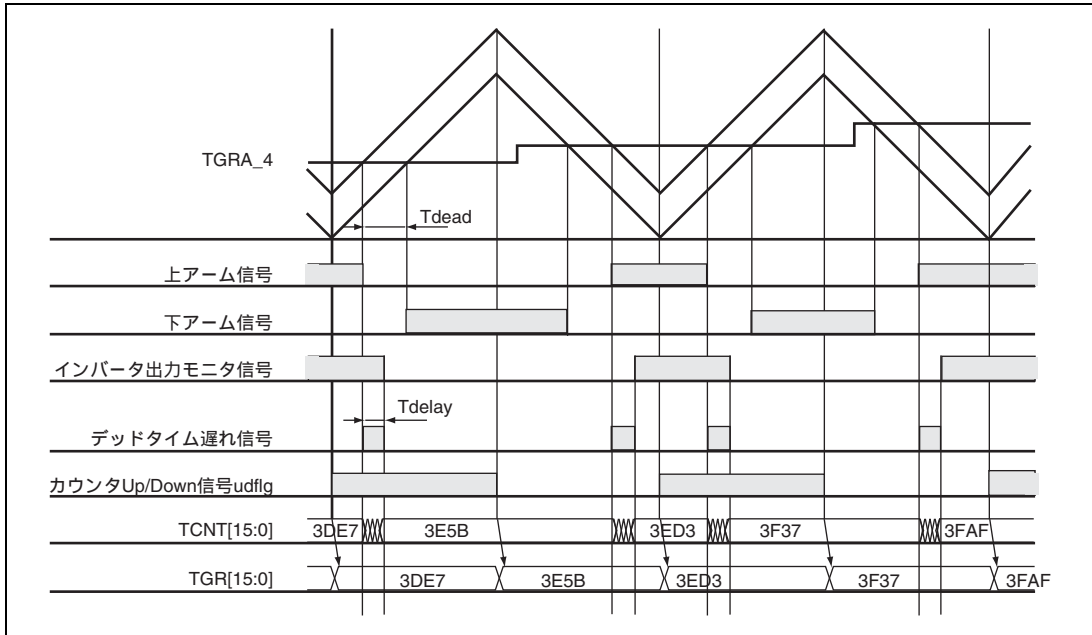


図 12.77 相補 PWM の「山/谷」での TCNT キャプチャ動作

12.5 割り込み要因

12.5.1 割り込み要因と優先順位

本モジュールの割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

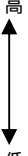
割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可/禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 7 章 割り込みコントローラ」を参照してください。

表 12.55 に本モジュールの割り込み要因の一覧を示します。

表 12.55 マルチファンクションタイムパルスユニット 2 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	ダイレクト メモリアクセス コントローラの 起動	優先順位
0	TGIA_0	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可	↑ 高
	TGIB_0	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	不可	
	TGIC_0	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	不可	
	TGID_0	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	不可	
	TCIV_0	TCNT_0 のオーバフロー	TCFV_0	不可	
	TGIE_0	TGRE_0 のコンペアマッチ	TGFE_0	不可	
	TGIF_0	TGRF_0 のコンペアマッチ	TGFF_0	不可	
1	TGIA_1	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可	↑ 高 ↓ 低
	TGIB_1	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	不可	
	TCIV_1	TCNT_1 のオーバフロー	TCFV_1	不可	
	TCIU_1	TCNT_1 のアンダフロー	TCFU_1	不可	
2	TGIA_2	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可	
	TGIB_2	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	不可	
	TCIV_2	TCNT_2 のオーバフロー	TCFV_2	不可	
	TCIU_2	TCNT_2 のアンダフロー	TCFU_2	不可	
3	TGIA_3	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可	
	TGIB_3	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	不可	
	TGIC_3	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	不可	
	TGID_3	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	不可	
	TCIV_3	TCNT_3 のオーバフロー	TCFV_3	不可	

チャンネル	名称	割り込み要因	割り込みフラグ	ダイレクトメモリアクセスコントローラの起動	優先順位
4	TGIA_4	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可	高  低
	TGIB_4	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	不可	
	TGIC_4	TGRC_4 のインプットキャプチャ / コンペアマッチ	TGFC_4	不可	
	TGID_4	TGRD_4 のインプットキャプチャ / コンペアマッチ	TGFD_4	不可	
	TCIV_4	TCNT_4 のオーバフロー / アンダフロー	TCFV_4	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。本モジュールには、チャンネル 0 に 6 本、チャンネル 3、4 に各 4 本、チャンネル 1、2 に各 2 本、計 18 本のインプットキャプチャ / コンペアマッチ割り込みがあります。チャンネル 0 の TGFE_0、TGFF_0 フラグは、インプットキャプチャではセットされません。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。本モジュールには、各チャンネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。本モジュールには、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

12.5.2 ダイレクトメモリアクセスコントローラの起動

各チャンネルの TGRA のインプットキャプチャ / コンペアマッチ割り込みによって、ダイレクトメモリアクセスコントローラを起動することができます。詳細は「第 11 章 ダイレクトメモリアクセスコントローラ」を参照してください。

本モジュールでは、チャンネル 0~4 の各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ / コンペアマッチ割り込みをダイレクトメモリアクセスコントローラの起動要因とすることができます。

12.5.3 A/D 変換器の起動

本モジュールでは、次の 3 種類の方法で A/D 変換器を起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 12.56 に示します。

(1) TGRA のインプットキャプチャ / コンペアマッチと、相補 PWM モード時の TCNT_4 の谷での A/D 起動

各チャンネルの TGRA のインプットキャプチャ / コンペアマッチによって、A/D 変換器を起動することができます。また、TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせた場合は、TCNT_4 が谷 (TCNT_4 = H'0000) になったときも A/D 変換器を起動することができます。

次に示す条件で、A/D 変換器に対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA のインプットキャプチャ / コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていた場合
- TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせ、TCNT_4 が谷 (TCNT_4 = H'0000) になった場合

これらのとき A/D 変換器側で本モジュールの変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) TCNT_0 と TGRE_0 のコンペアマッチによる A/D 起動

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D 変換器を起動することができます。

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチの発生により、TSR2_0 の TGFE フラグが 1 にセットされたとき、TIER2_0 の TTGE2 ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D 変換器側で本モジュールの変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ (TADCR) の UT4AE、DT4AE、UT4BE、DT4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。詳細は「12.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN が発生したとき、A/D 変換器側で本モジュールの変換開始トリガ TRG4AN が選択されていれば、A/D 変換が開始されます。また、TRG4BN が発生したとき、A/D 変換器側で本モジュールの変換開始トリガ TRG4BN が選択されていれば、A/D 変換が開始されます。

表 12.56 各割り込み要因と A/D 変換開始要求の対応

対 象	割り込み要因	A/D 変換開始要求
TGRA_0 と TCNT_0	インプットキャプチャ / コンペアマッチ	TRGAN
TGRA_1 と TCNT_1		
TGRA_2 と TCNT_2		
TGRA_3 と TCNT_3		
TGRA_4 と TCNT_4		
TCNT_4	相補 PWM モード時の TCNT_4 の谷	
TGRE_0 と TCNT_0	コンペアマッチ	TRG0N
TADCORA と TCNT_4		TRG4AN
TADCORB と TCNT_4		TRG4BN

12.6 動作タイミング

12.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 12.78 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 12.79 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 12.80 に示します。

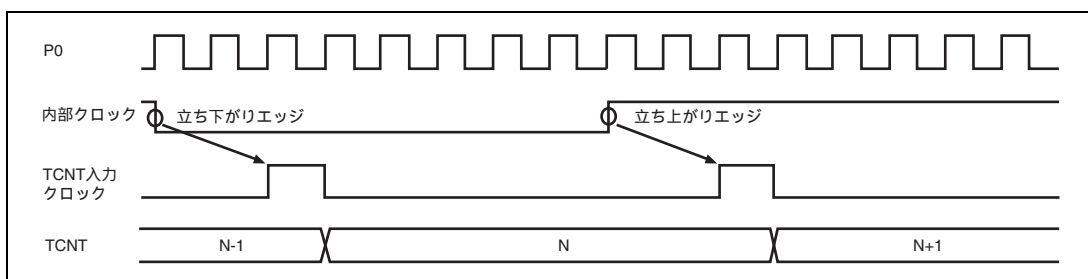


図 12.78 内部クロック動作時のカウントタイミング

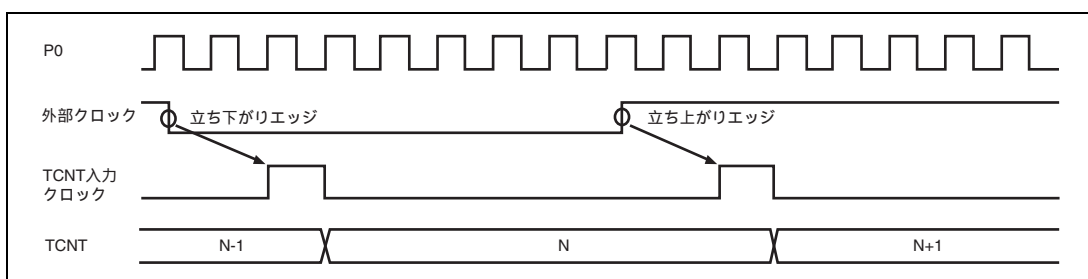


図 12.79 外部クロック動作時のカウントタイミング

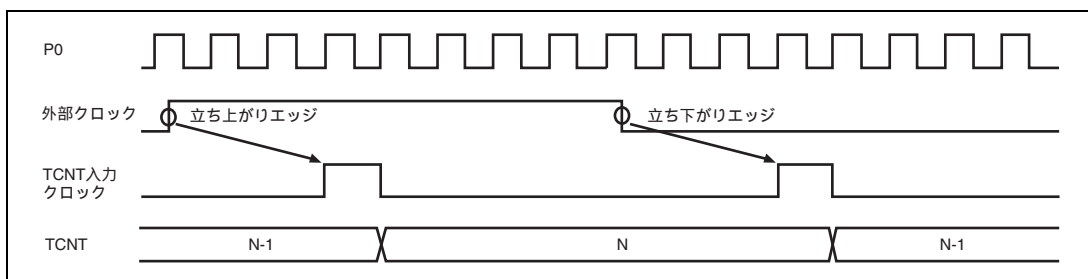


図 12.80 外部クロック動作時のカウントタイミング（位相計数モード）

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 12.81 に、アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を図 12.82 に示します。

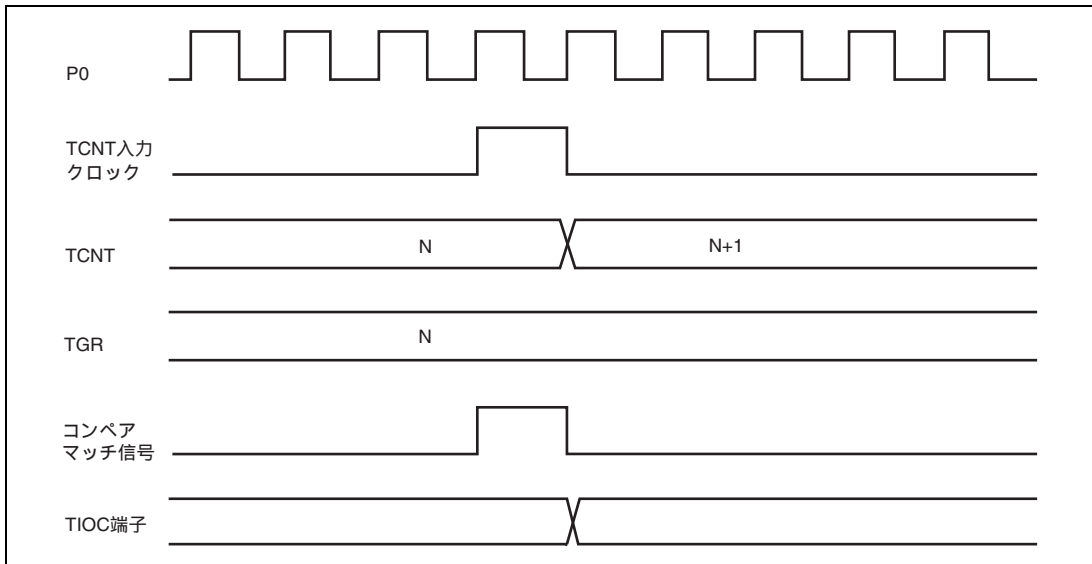


図 12.81 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

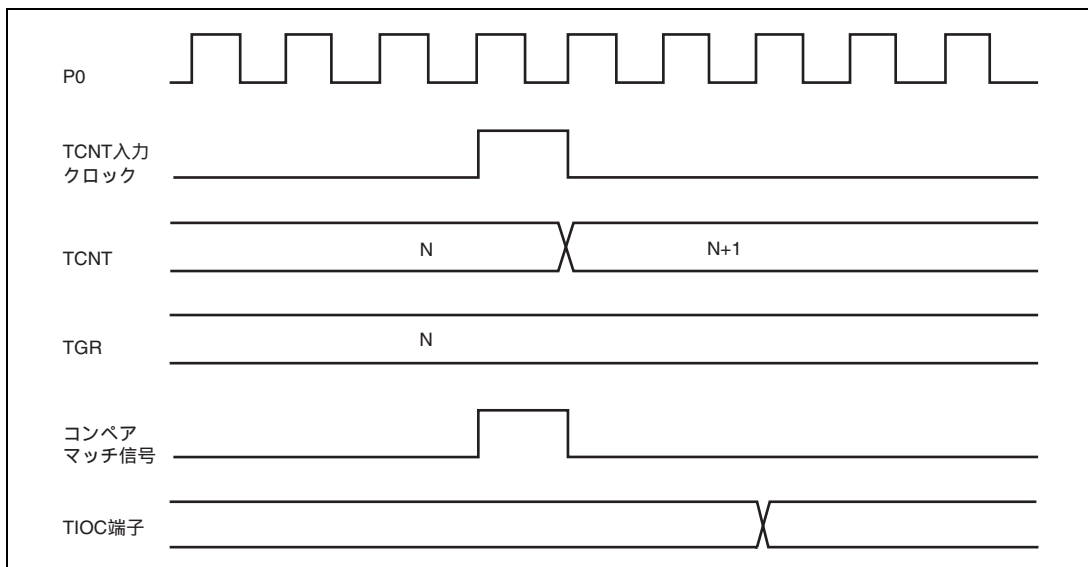


図 12.82 アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 12.83 に示します。

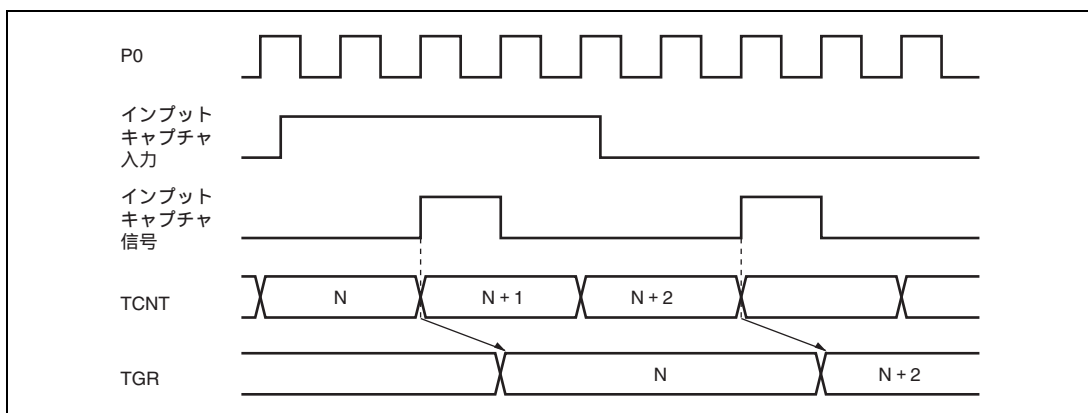


図 12.83 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ / インพุットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 12.84 に示します。

インพุットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 12.85 に示します。

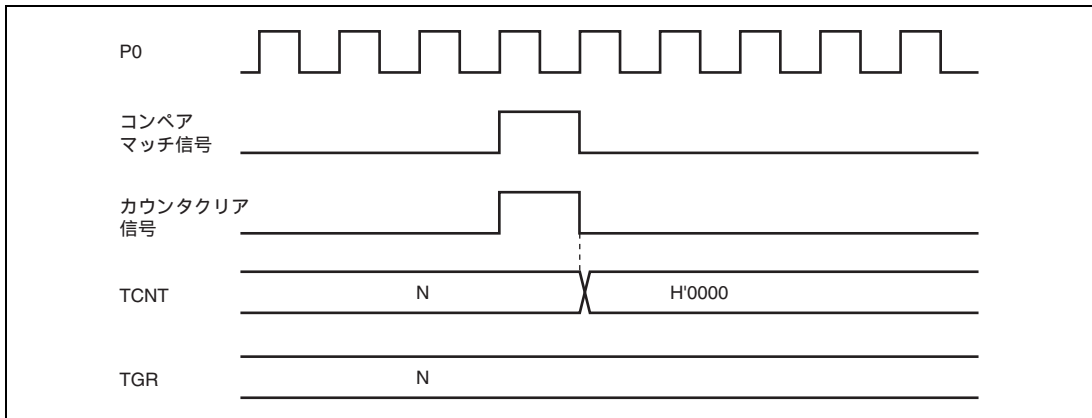


図 12.84 カウンタクリアタイミング (コンペアマッチ)

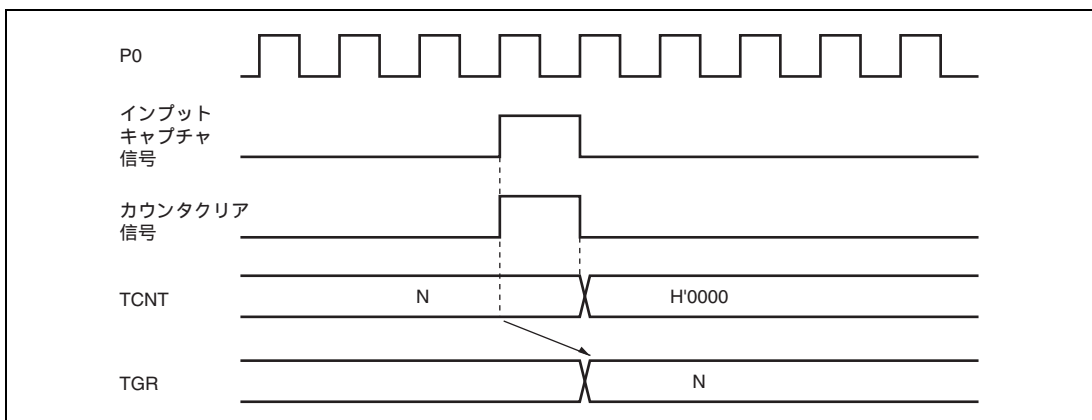


図 12.85 カウンタクリアタイミング (インพุットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 12.86 ~ 図 12.88 に示します。

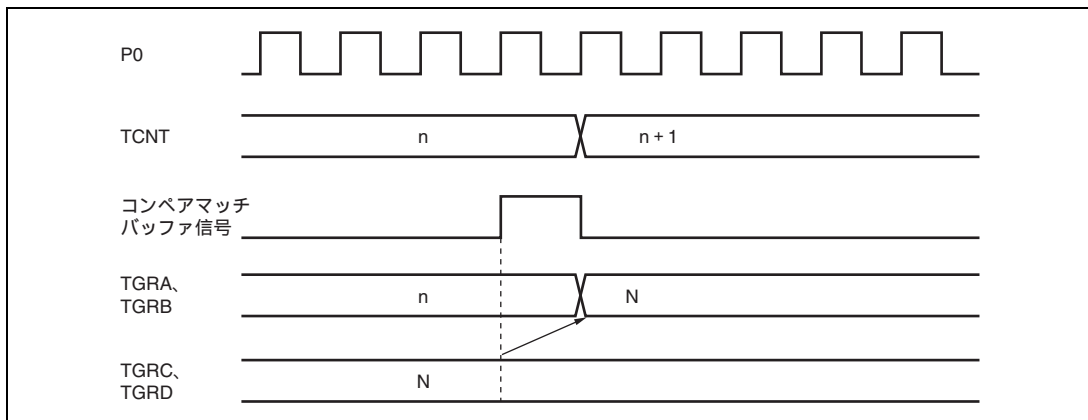


図 12.86 バッファ動作タイミング (コンペアマッチ)

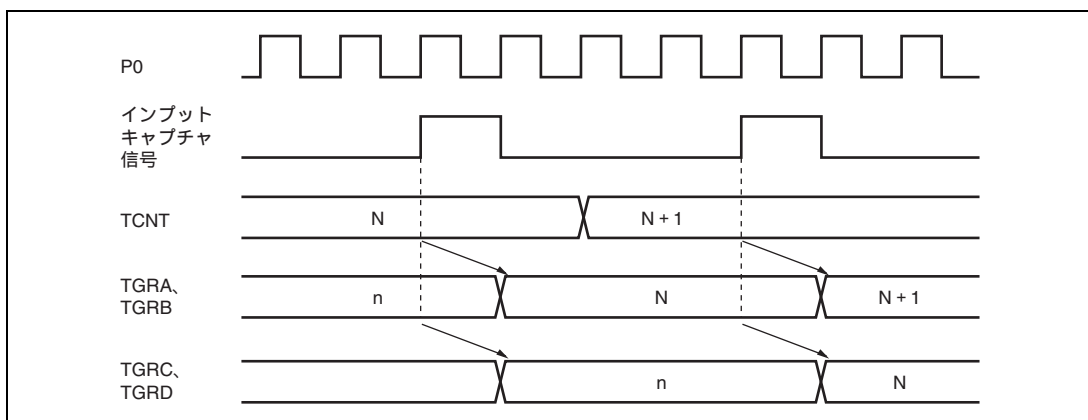


図 12.87 バッファ動作タイミング (インプットキャプチャ)

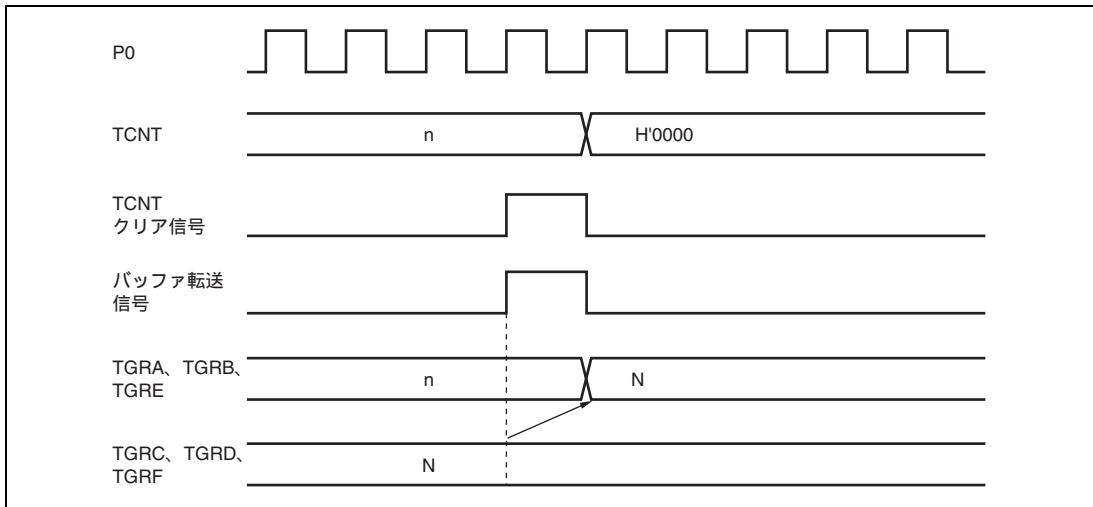


図 12.88 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 12.89 ~ 図 12.91 に示します。

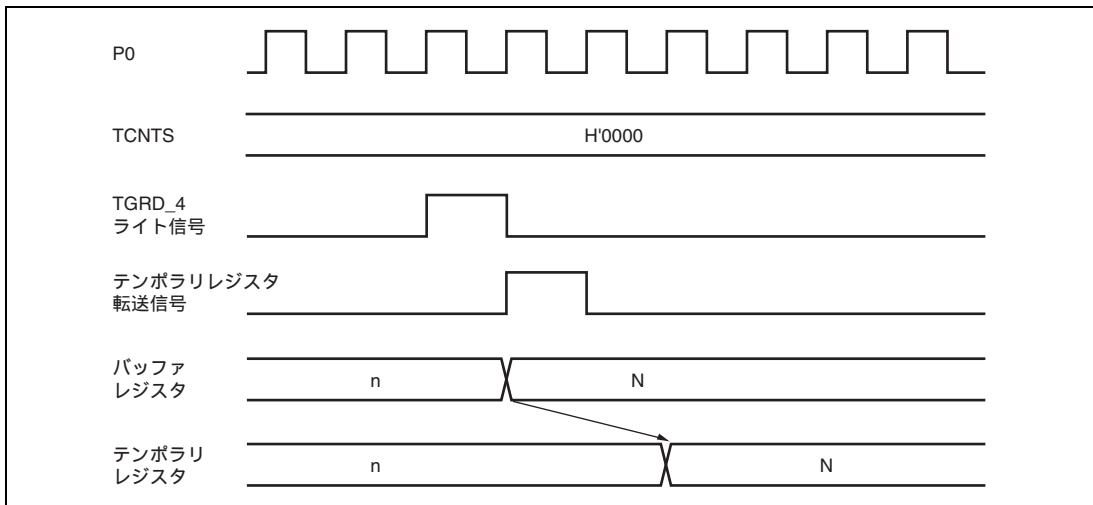


図 12.89 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 停止中)

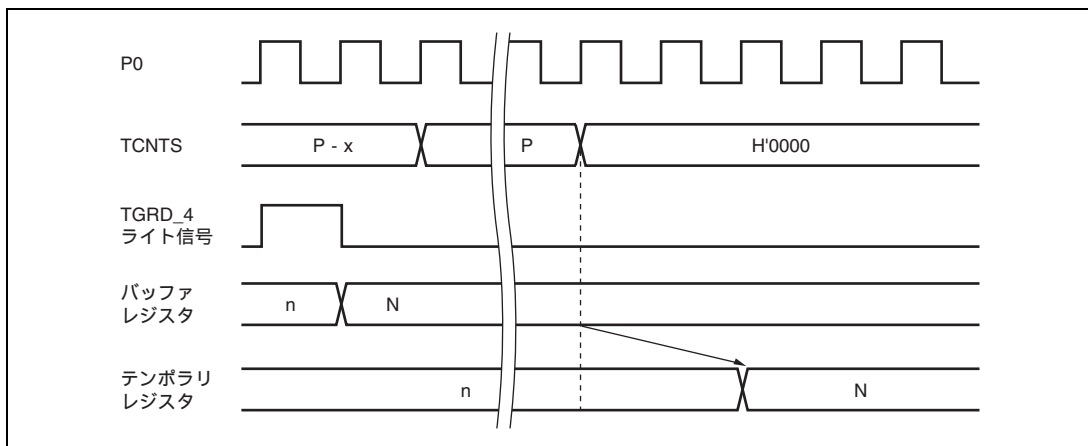


図 12.90 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 動作中)

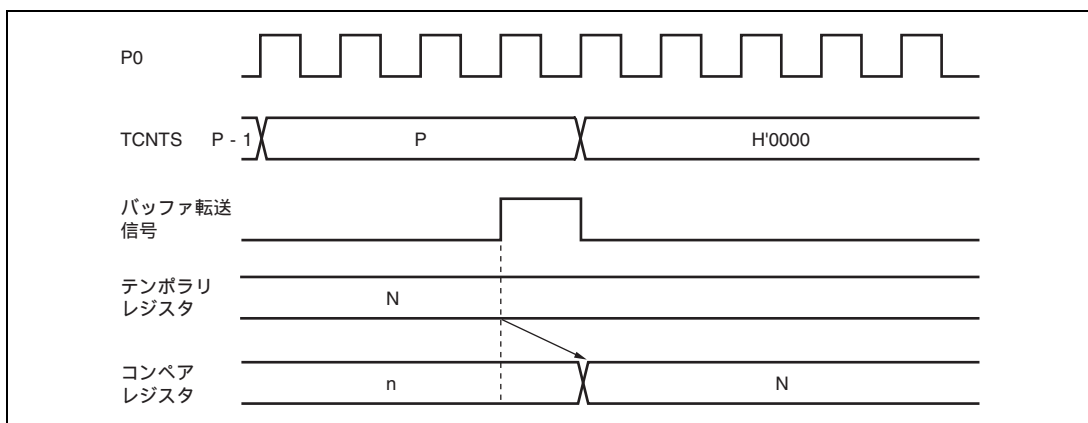


図 12.91 テンポラリレジスタからコンペアレジスタへの転送タイミング

12.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.92 に示します。

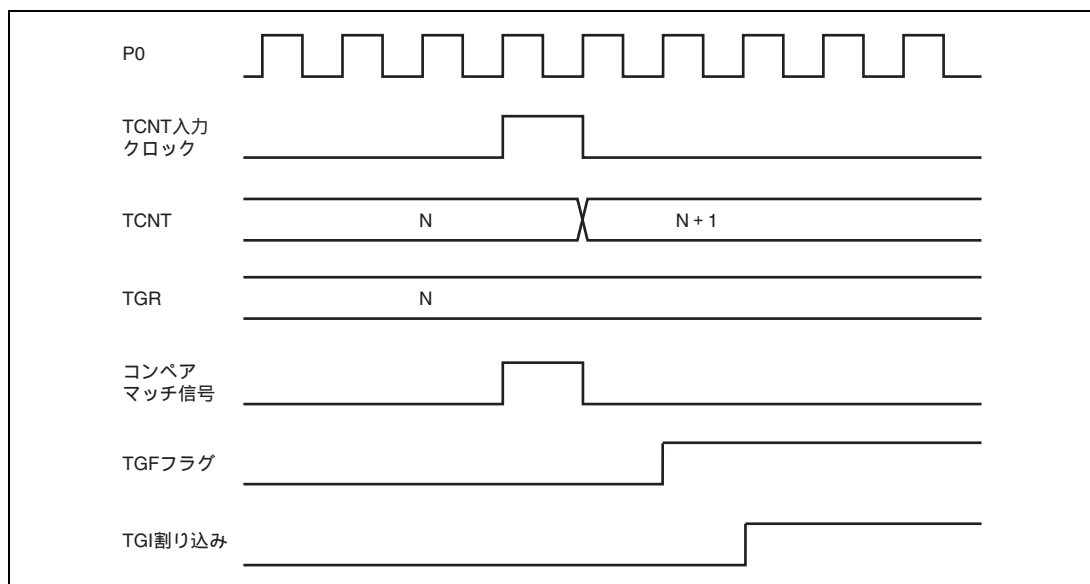


図 12.92 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.93 に示します。

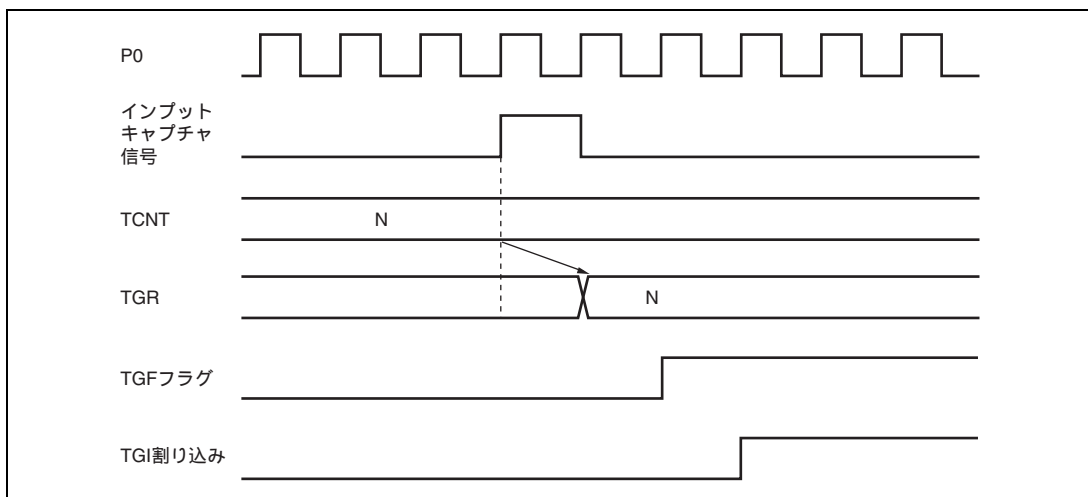


図 12.93 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 12.94 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 12.95 に示します。

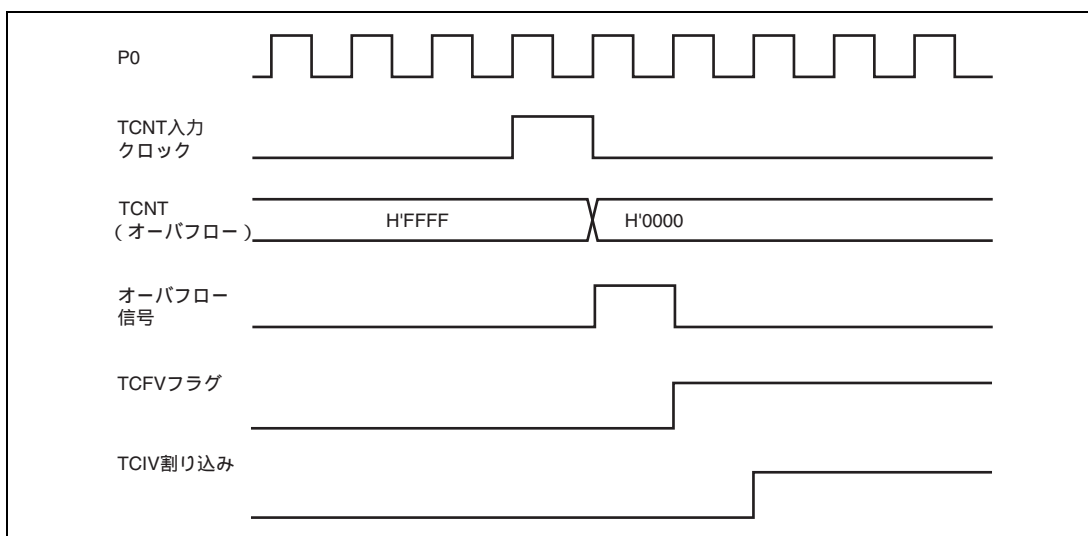


図 12.94 TCIV 割り込みのセットタイミング

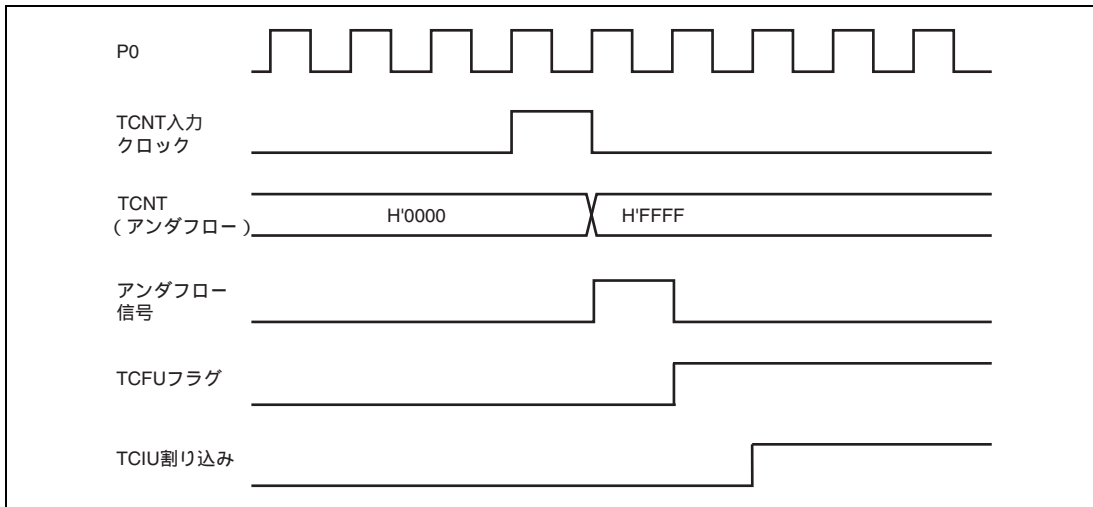


図 12.95 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。ダイレクトメモリアクセスコントローラを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図 12.96 に、ダイレクトメモリアクセスコントローラによるステータスフラグのクリアのタイミングを図 12.97 に示します。

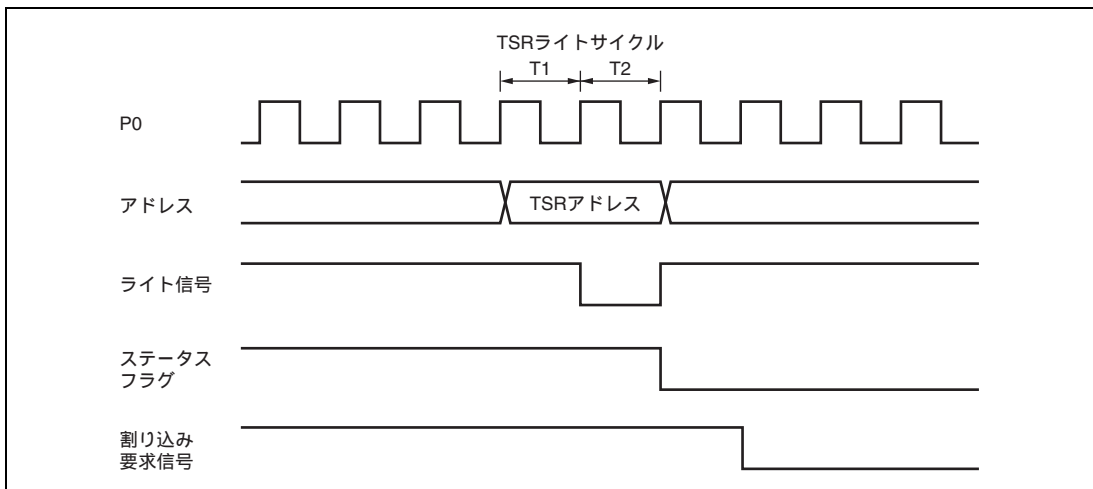


図 12.96 CPU によるステータスフラグのクリアタイミング

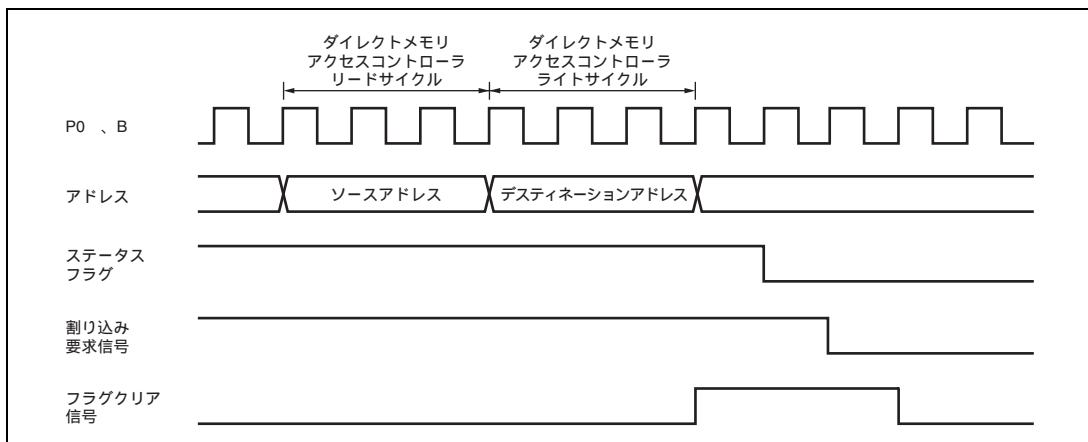


図 12.97 ダイレクトメモリアクセスコントローラの起動によるステータスフラグのクリアタイミング

12.7 使用上の注意事項

12.7.1 モジュールスタンバイモードの設定

本モジュールは、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、本モジュールの動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 49 章 低消費電力モード」を参照してください。

12.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 12.98 に示します。

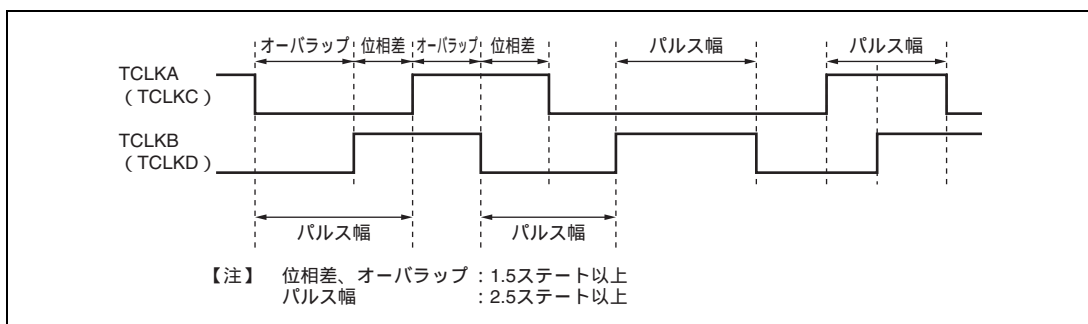


図 12.98 位相計数モード時の位相差、オーバーラップ、およびパルス幅

12.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{P0}{(N+1)}$$

- f : カウンタ周波数
P0 : 周辺クロック動作周波数
N : TGR の設定値

12.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 12.99 に示します。

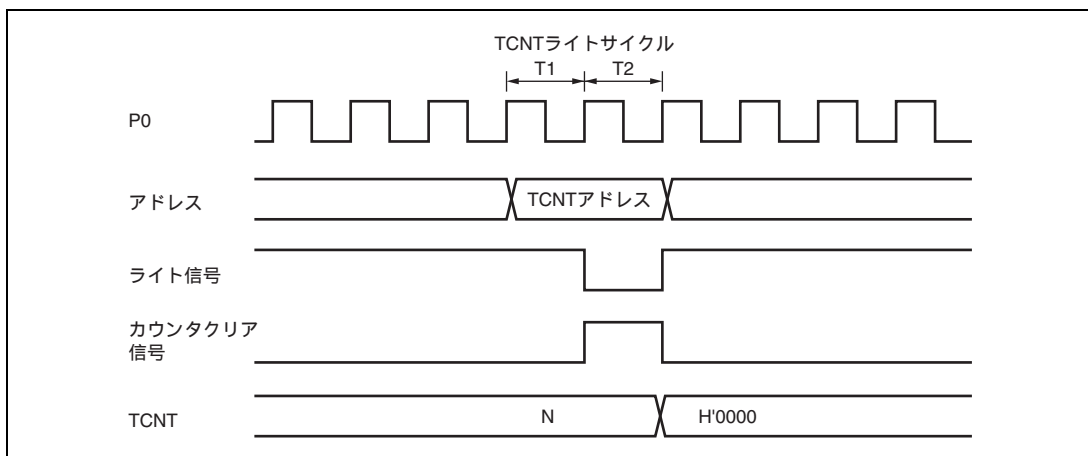


図 12.99 TCNT のライトとクリアの競合

12.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 12.100 に示します。

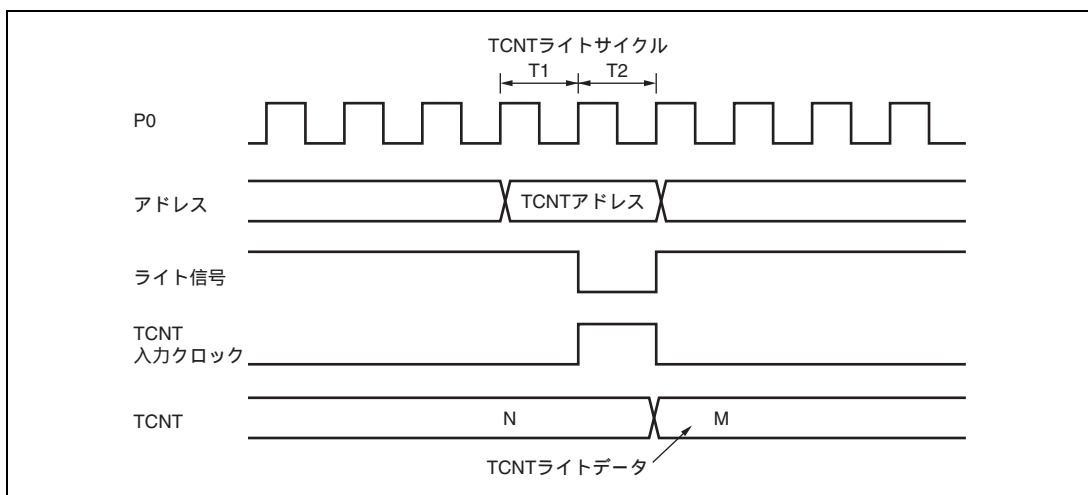


図 12.100 TCNT のライトとカウントアップの競合

12.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 12.101 に示します。

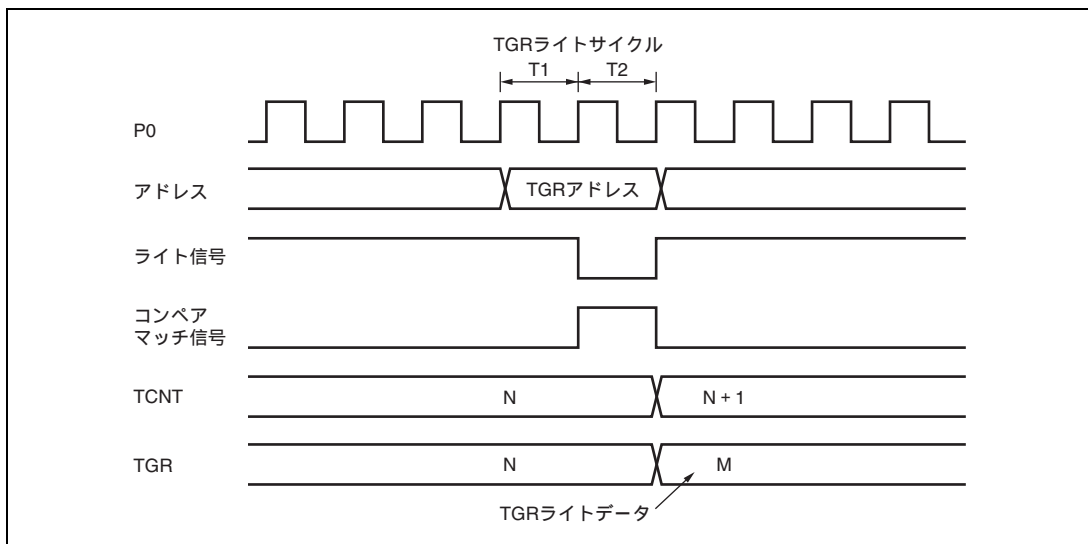


図 12.101 TGR のライトとコンペアマッチの競合

12.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 12.102 に示します。

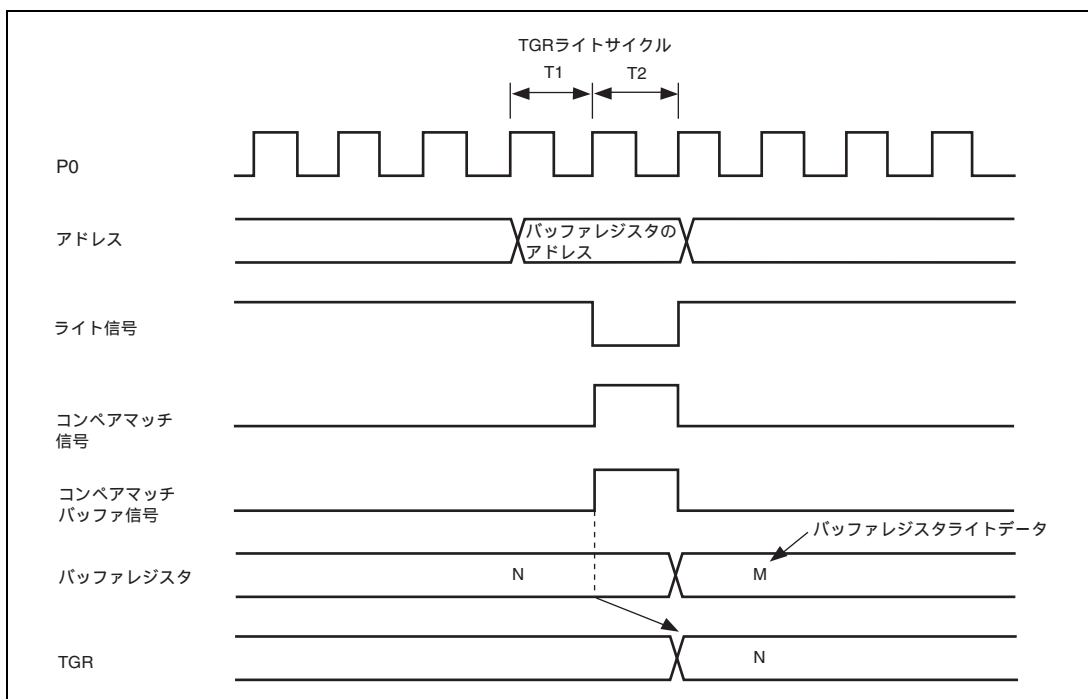


図 12.102 バッファレジスタのライトとコンペアマッチの競合

12.7.8 バッファレジスタのライトと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって転送されるデータは書き込み前のデータです。

このタイミングを図 12.103 に示します。

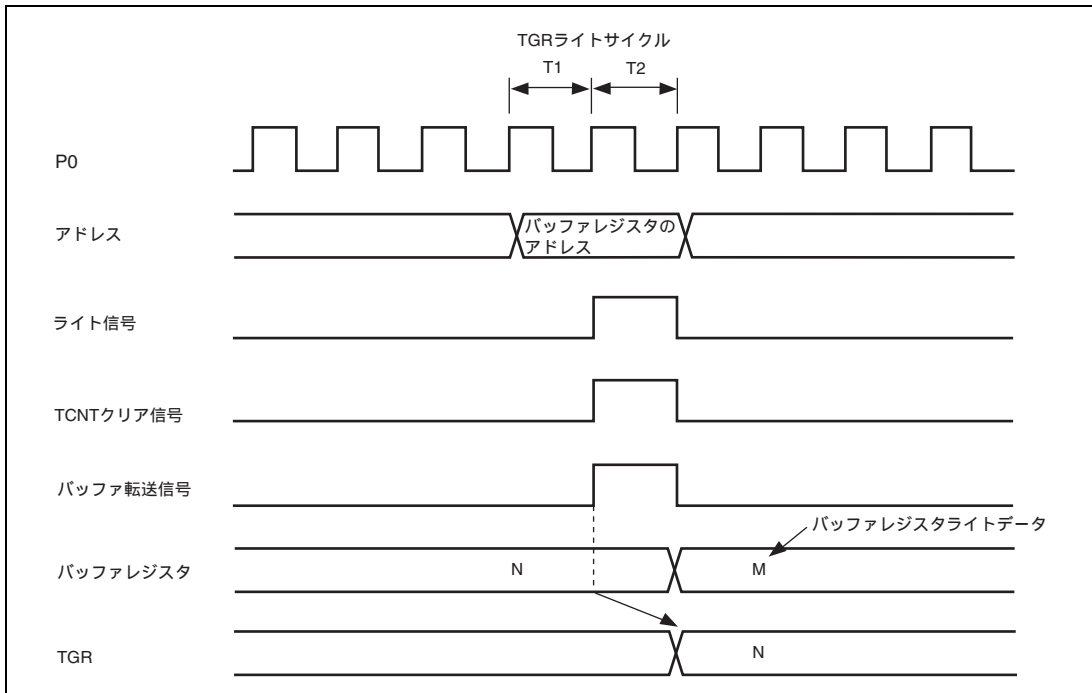


図 12.103 バッファレジスタのライトと TCNT クリアの競合

12.7.9 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 12.104 に示します。

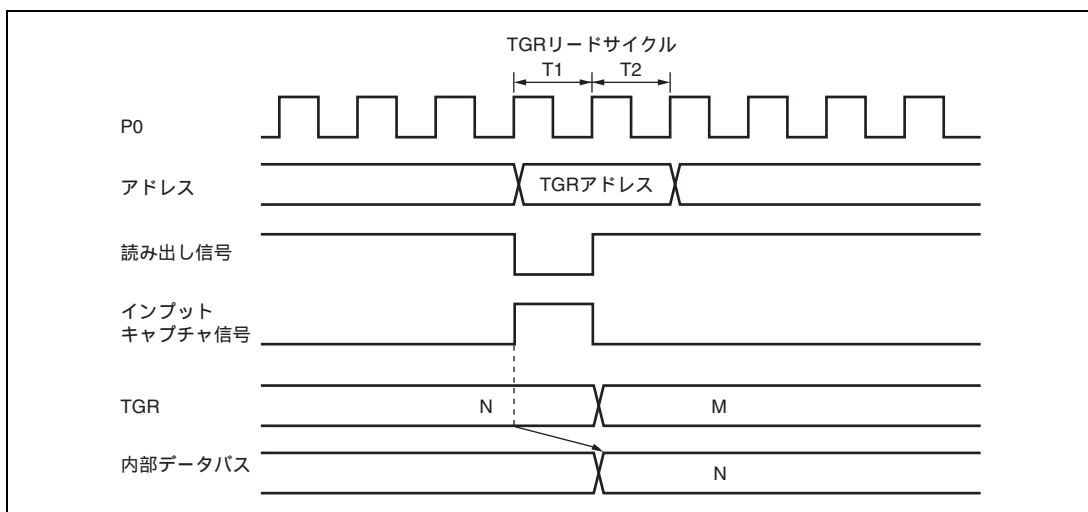


図 12.104 TGR のリードとインプットキャプチャの競合

12.7.10 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 12.105 に示します。

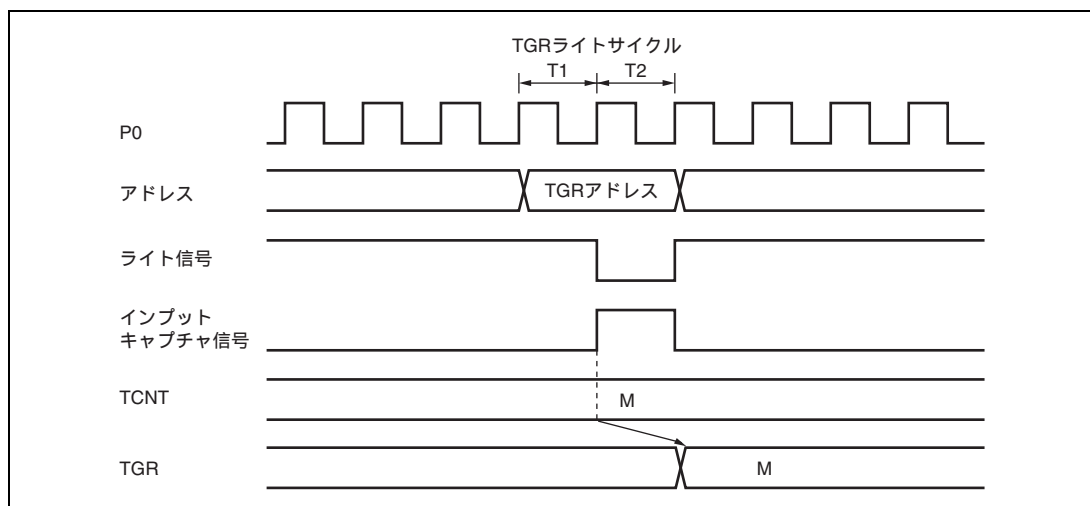


図 12.105 TGR のライトとインプットキャプチャの競合

12.7.11 バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 12.106 に示します。

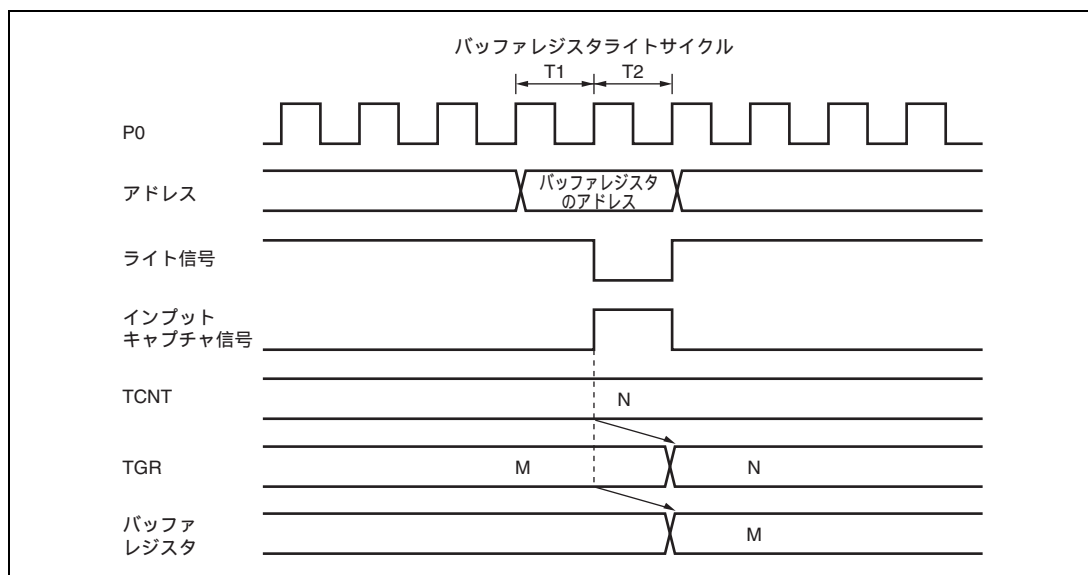


図 12.106 バッファレジスタのライトと入力キャプチャの競合

12.7.12 カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバフロー / アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 の入力キャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0 ~ D_0 は入力キャプチャ動作します。さらに TGRB_1 の入力キャプチャ要因に TGR_0 のコンペアマッチ / 入力キャプチャを選択した場合には、TGRB_1 は入力キャプチャ動作します。

このタイミングを図 12.107 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

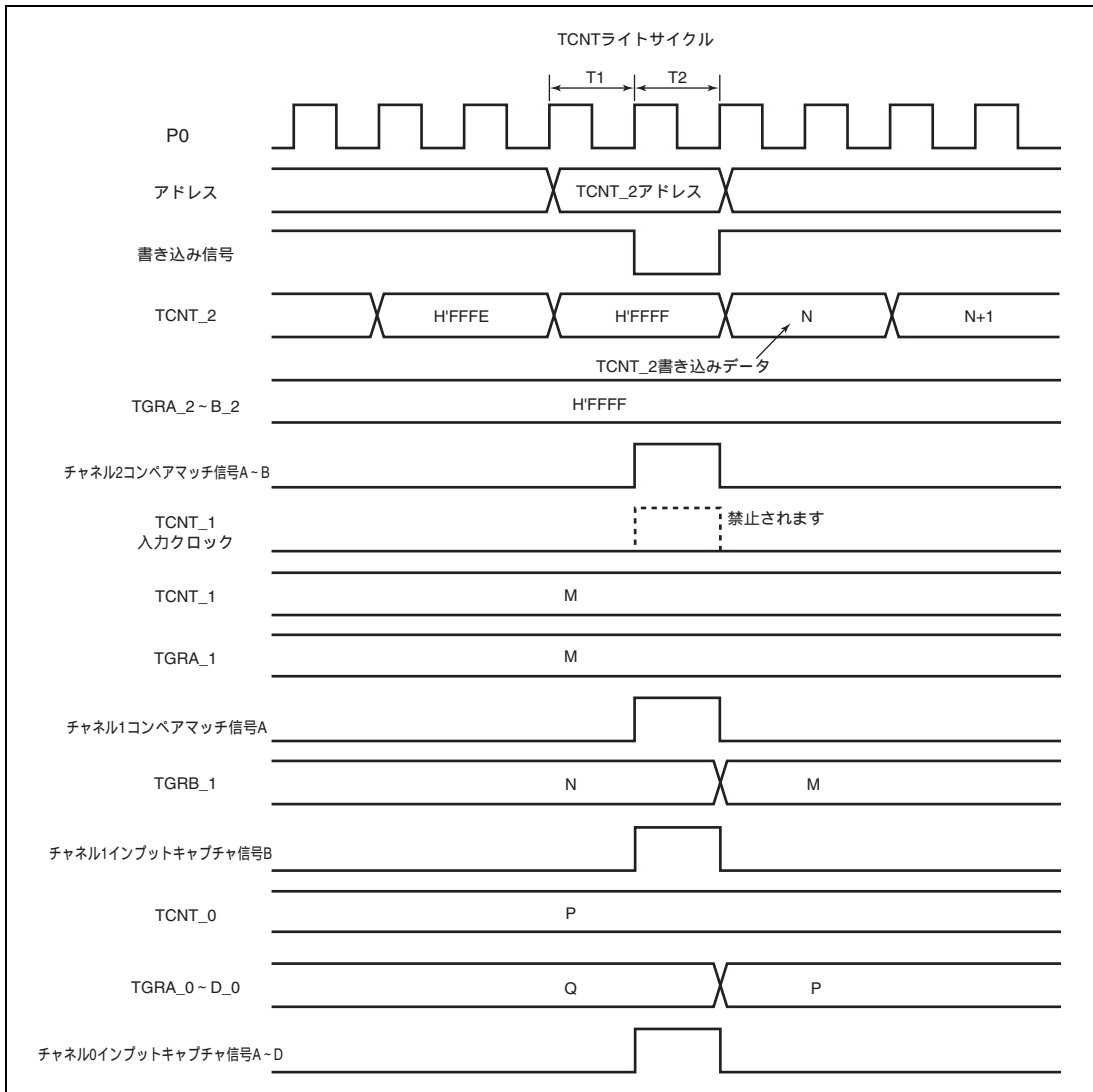


図 12.107 カスケード接続における TCNT_2 のライトとオーバーフロー / アンダフローの競合

12.7.13 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作している時にカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 12.108 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

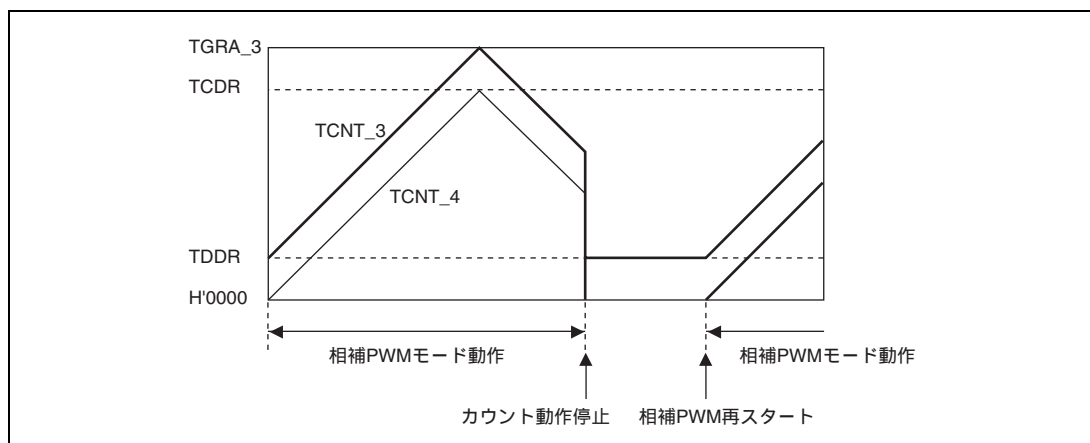


図 12.108 相補 PWM モード停止時のカウンタ値

12.7.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCNT_3)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCNT_3 のバッファレジスタとして機能します。

12.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定するには、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFD ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 12.109 に示します。

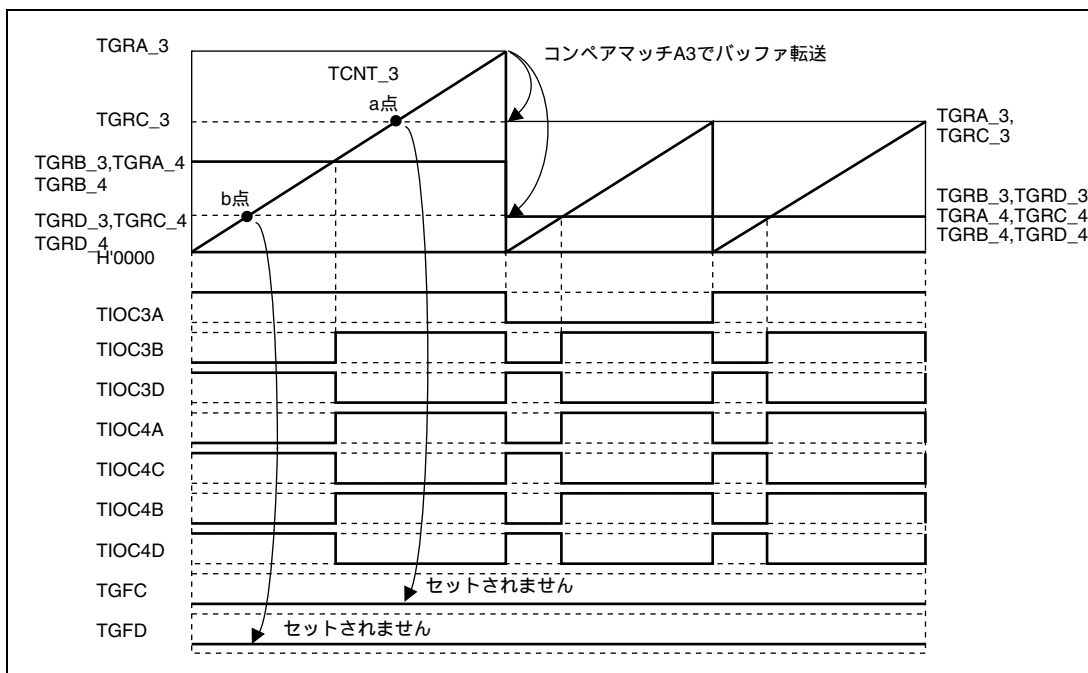


図 12.109 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

12.7.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 とともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 12.110 に示します。

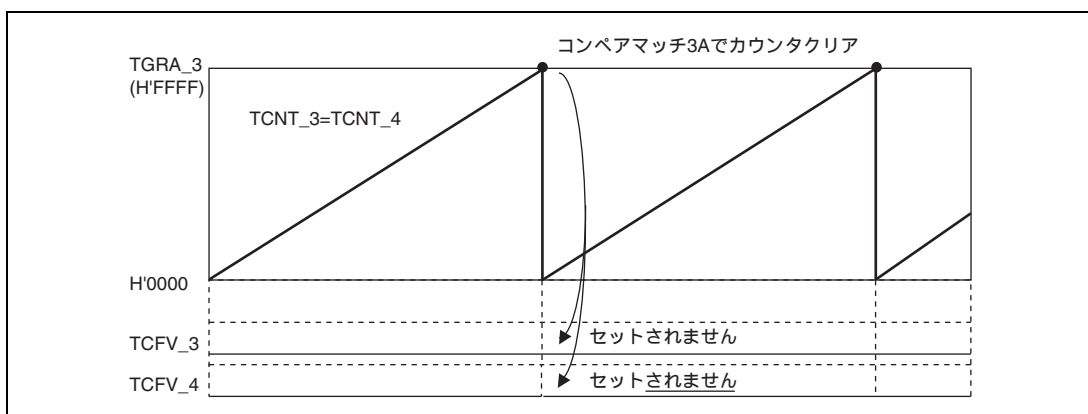


図 12.110 リセット同期 PWM モードのオーバーフローフラグ

12.7.17 オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 12.111 に示します。

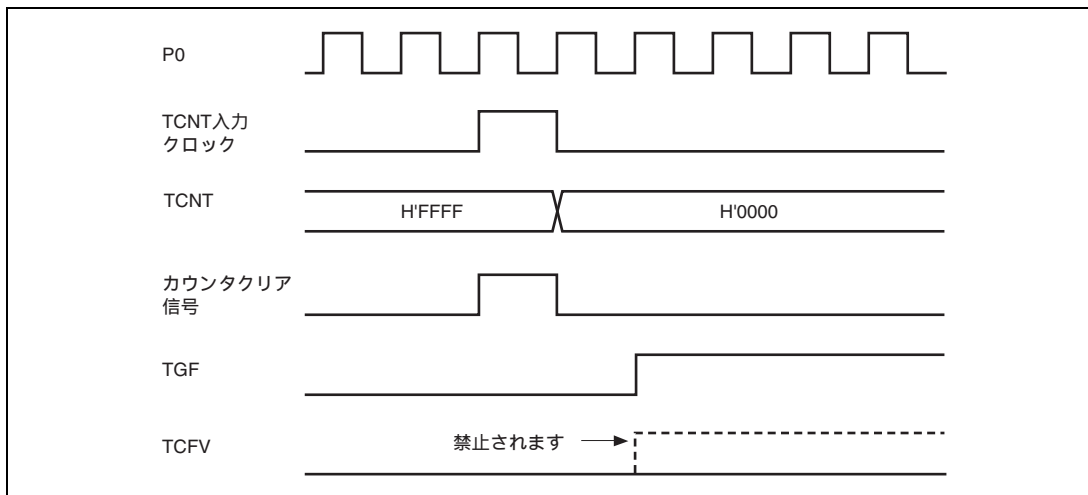


図 12.111 オーバフローとカウンタクリアの競合

12.7.18 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 12.112 に示します。

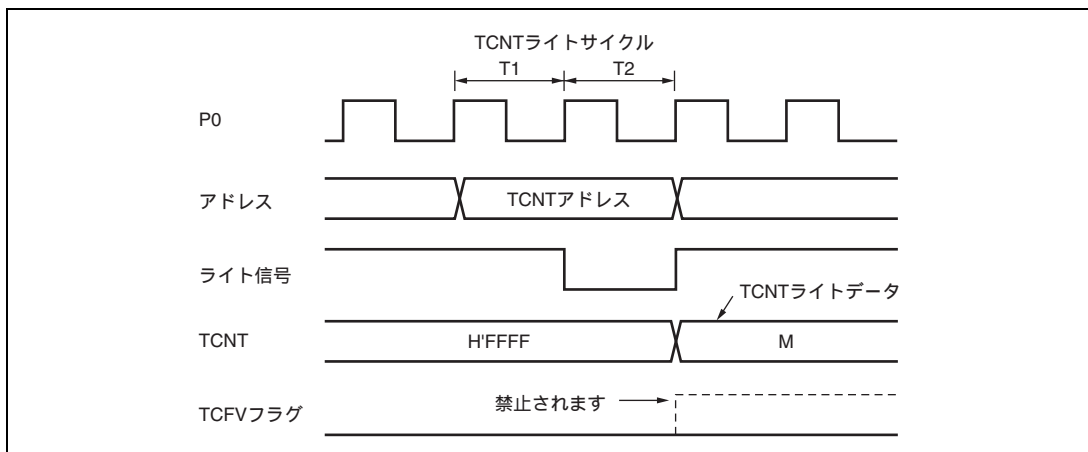


図 12.112 TCNT のライトとオーバフローの競合

12.7.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル3、4の通常動作またはPWMモード1からリセット同期PWMモードへ遷移する場合、出力端子(TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D)をハイレベルの状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期PWMモードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4レジスタにH'11を書いて出力端子をローレベルに初期化した後、レジスタの初期値H'00を設定してからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値H'00を設定してからリセット同期PWMモードに遷移してください。

12.7.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル3、4が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはタイマアウトプットコントロールレジスタ(TOCR)のOLSP、OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIORはH'00としてください。

12.7.21 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPUの割り込み要因、またはダイレクトメモリアクセスコントローラの起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

12.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ1、2(TCNT_1とTCNT_2)をカスケード接続して、32ビットカウンタとして動作させている場合、TIOC1AとTIOC2A、またはTIOC1BとTIOC2Bに同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、またはTIOC1BとTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、TCNT_1(上位16ビットのカウンタ)がTCNT_2(下位16ビットのカウンタ)のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはTCNT_1=H'FFF1、TCNT_2=H'0000の値をTGRA_1とTGRA_2、もしくはTGRB_1とTGRB_2に転送すべきところを誤ってTCNT_1=H'FFF0、TCNT_2=H'0000の値を転送します。

12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項

相補 PWM モードにて、同期カウンタクリア時出力波形制御を有効(TWCR レジスタの WRE=1)とした状態で、条件(1)、条件(2)のいずれかを満たすと、下記の現象が発生します。

- PWM出力端子のデッドタイムが短くなる(もしくは消失)。
- PWM逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される。

条件(1) 初期出力の抑止期間 にて、PWM 出力がデッドタイム期間中に、同期クリアする(図 12.113)。

条件(2) 初期出力の抑止期間 、にて、TGRB_3 TDDR、TGRA_4 TDDR、TGRB_4 TDDR のいずれかが成立する状態で、同期クリアする(図 12.114)。

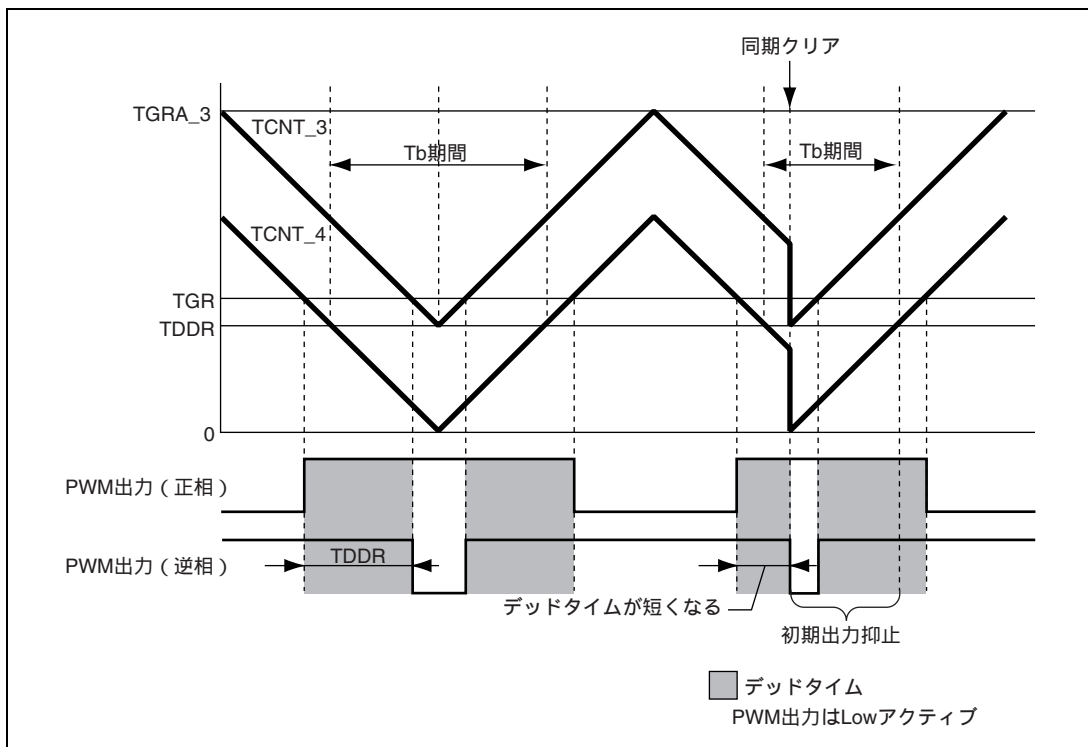


図 12.113 条件(1)の同期クリア例

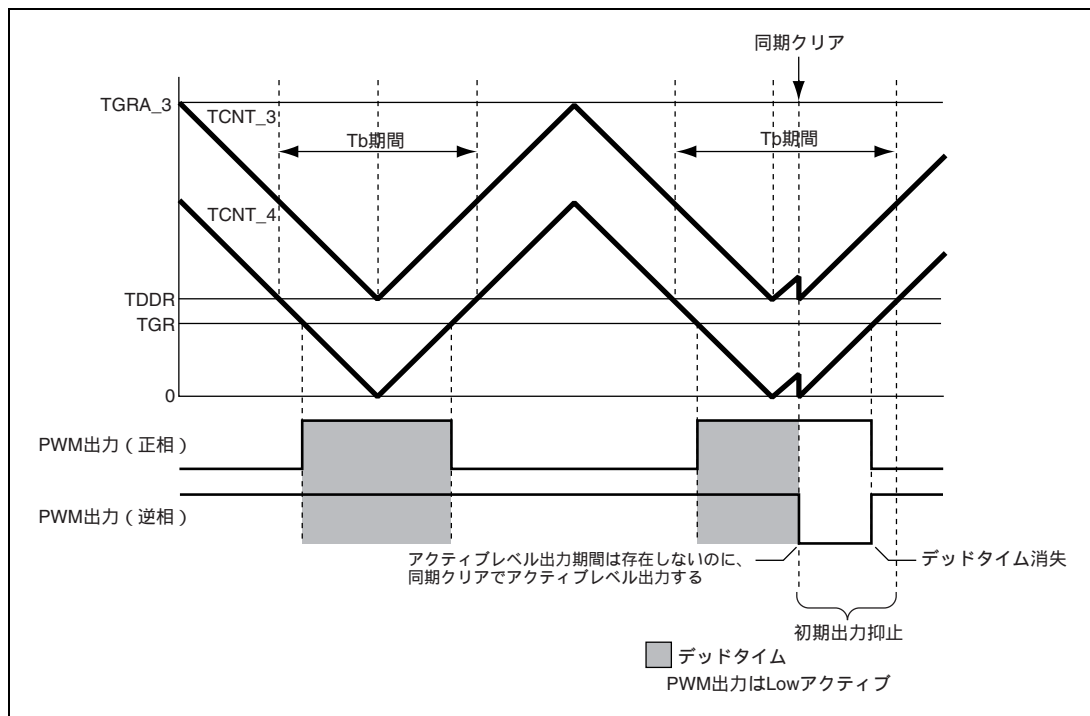


図 12.114 条件 (2) の同期クリア例

本現象は下記の方法により、回避することができます。

コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定した状態で、同期クリアする。

12.8 マルチファンクションタイマパルスユニット 2 出力端子の初期化方法

12.8.1 動作モード

本モジュールには以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、各モードでの本モジュール出力端子の初期化方法について示します。

12.8.2 リセットスタート時の動作

本モジュールの出力端子 (TIOC*) はパワーオンリセットまたはディープスタンバイモード時に L に初期化されます。本モジュールの端子機能の選択は汎用入出力ポートで行うため、汎用入出力ポートが設定された時点でそのときの本モジュールの端子の状態がポートに出力されます。リセット直後に汎用入出力ポートで本モジュールの出力を選択した場合、ポート出力には本モジュール出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、汎用入出力ポートの設定は本モジュールの出力端子の初期設定終了後に行ってください。

【注】 * チャンネル番号+ポート記号が入ります。

12.8.3 動作中の異常などによる再設定時の動作

本モジュールの動作中に異常が発生した場合、システムで本モジュールの出力を遮断してください。遮断は端子の出力を汎用入出力ポートでポート出力に切り替え、アクティブレベルの反転を出力することにより行います。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

本モジュールには前述のように6つの動作モードがあります。モード遷移の組み合わせは36通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 12.57 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 12.57 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

12.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマI/Oコントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合はTIORの設定により端子を初期化してください。
- PWMモード1ではTIOC*B (TIOC*D) 端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード1に遷移してください。
- PWMモード2では周期レジスタの端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード2に遷移してください。
- ノーマルモードまたはPWMモード2ではTGRC、TGRDがバッファレジスタとして動作している場合、TIORを設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWMモード1ではTGRC、TGRDのいずれか一方がバッファレジスタとして動作している場合、TIORを設定してもTGRCの端子は初期化されません。TGRCの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタインーブルレジスタ (TOER) でチャンネル 3、4 を一度出力禁止としてください。その後モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 12.57 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは L とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.115 に示します。

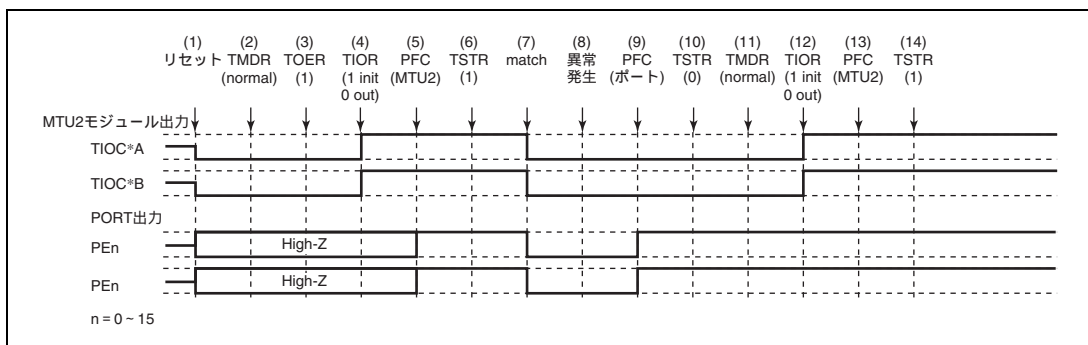


図 12.115 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (5) 汎用入出力ポートで本モジュール出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりローレベルを出力します。
- (8) 異常が発生しました。
- (9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.116 に示します。

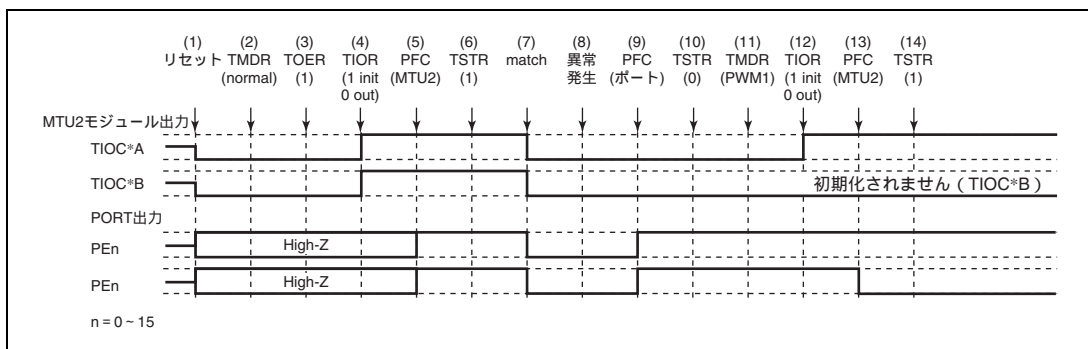


図 12.116 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.115 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.117 に示します。

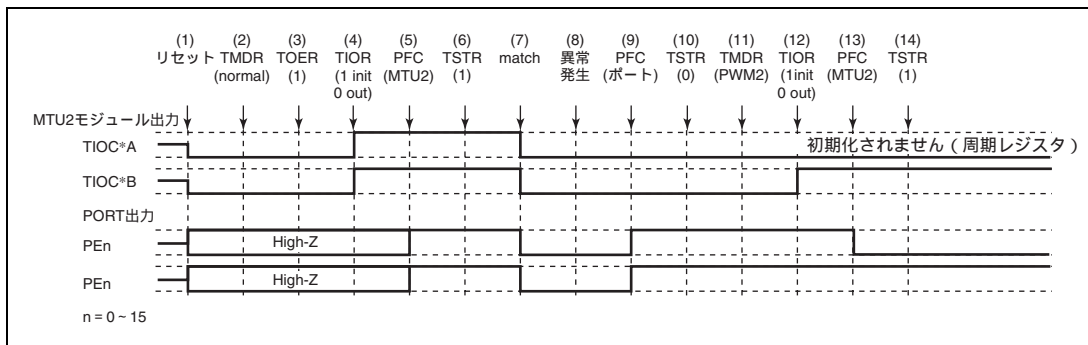


図 12.117 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 12.115 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.118 に示します。

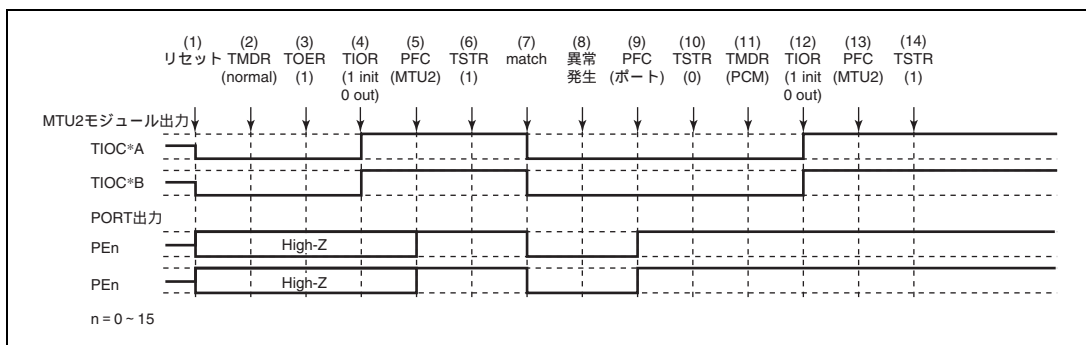


図 12.118 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 12.115 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.119 に示します。

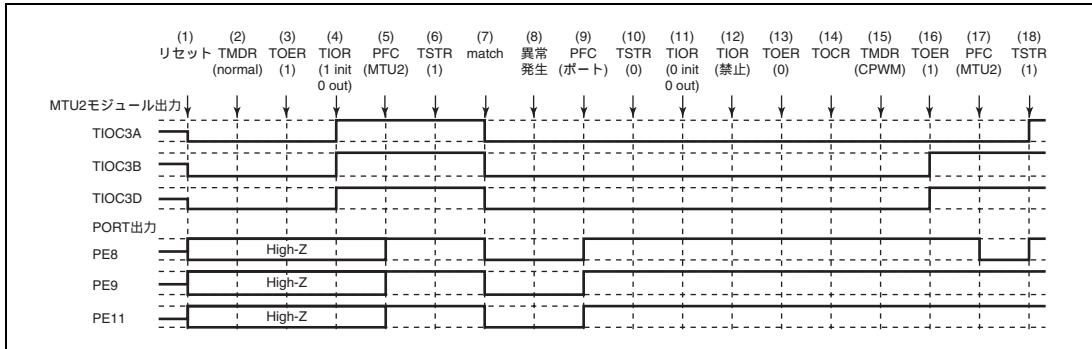


図 12.119 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 12.115 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) 汎用入出力ポートで本モジュール出力としてください。

(18) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
 ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.120 に示します。

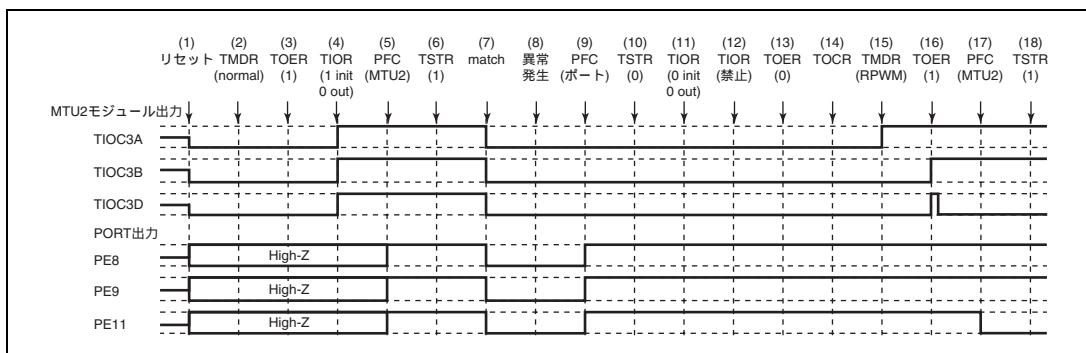


図 12.120 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 12.115 と共通です。
- (14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) 汎用入力ポートで本モジュール出力としてください。
- (18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.121 に示します。

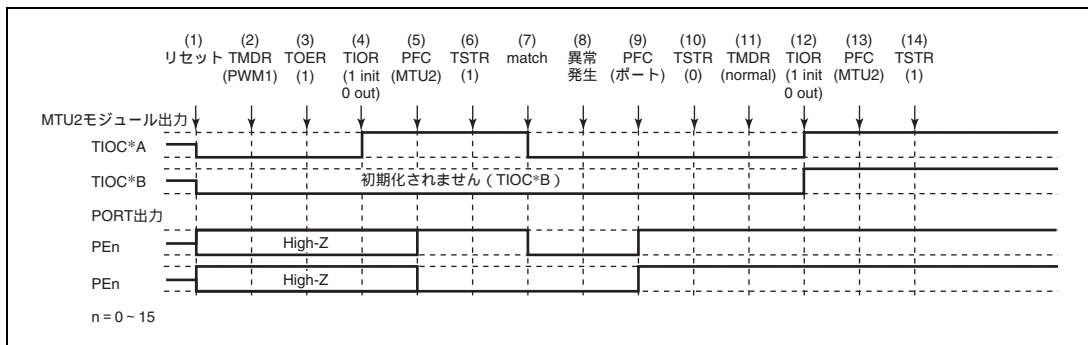


図 12.121 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) 汎用入出力ポートで本モジュール出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.122 に示します。

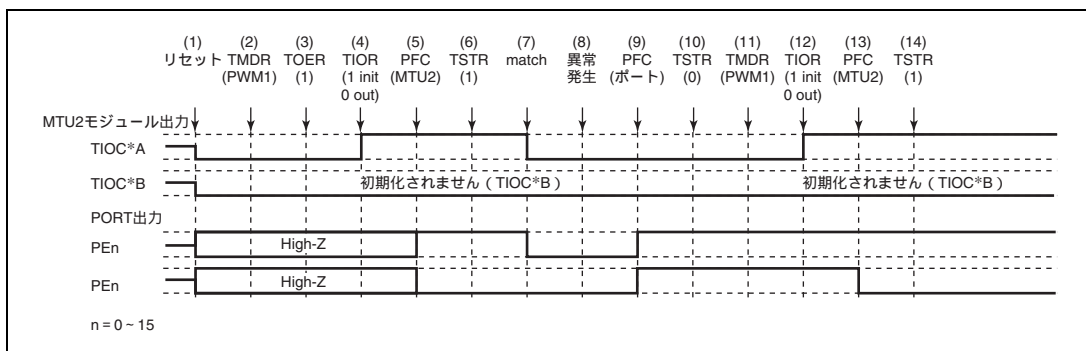


図 12.122 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.121 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.123 に示します。

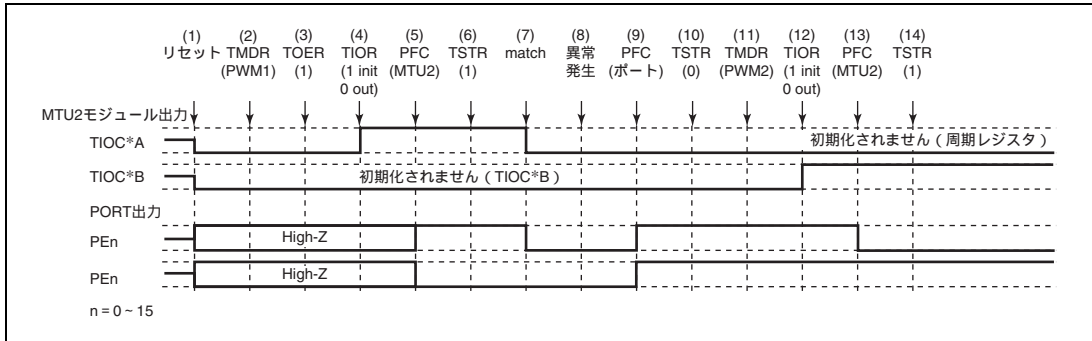


図 12.123 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 12.121 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.124 に示します。

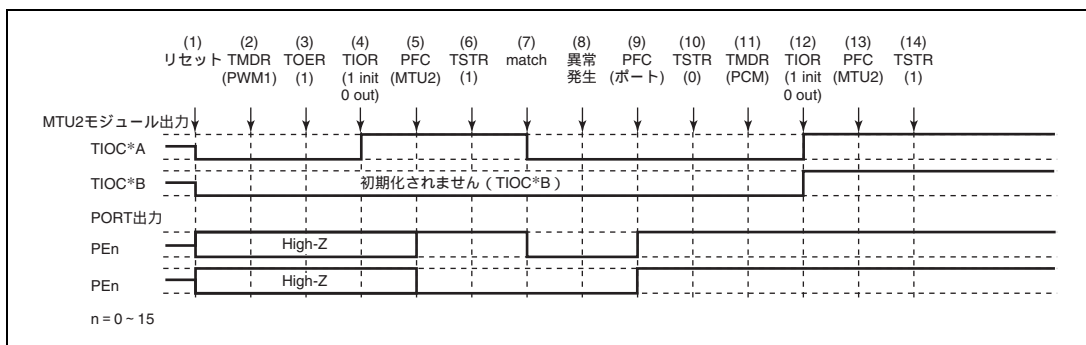


図 12.124 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 12.121 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.125 に示します。

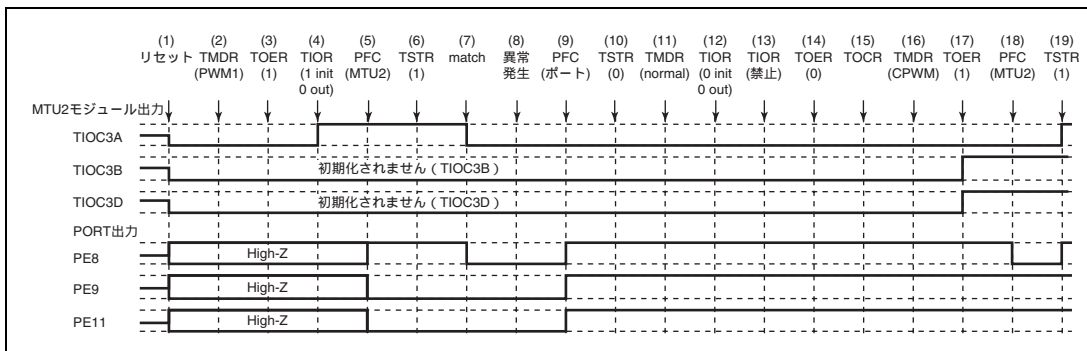


図 12.125 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 12.121 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) TIOR で PWM モード 1 の波形生成部を初期化してください。

(13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。

(14) TOER でチャンネル 3、4 の出力を禁止してください。

(15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) 相補 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) 汎用入出力ポートで本モジュール出力としてください。

(19) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.126 に示します。

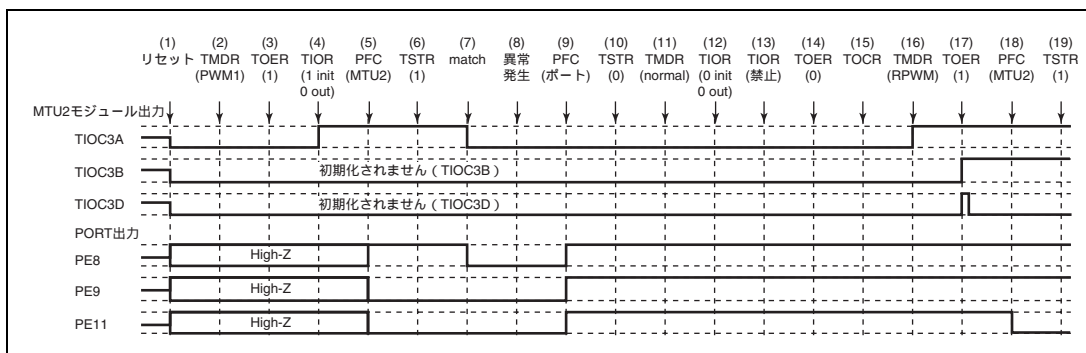


図 12.126 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 12.125 と共通です。

(15) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) 汎用入力ポートで本モジュール出力としてください。

(19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.127 に示します。

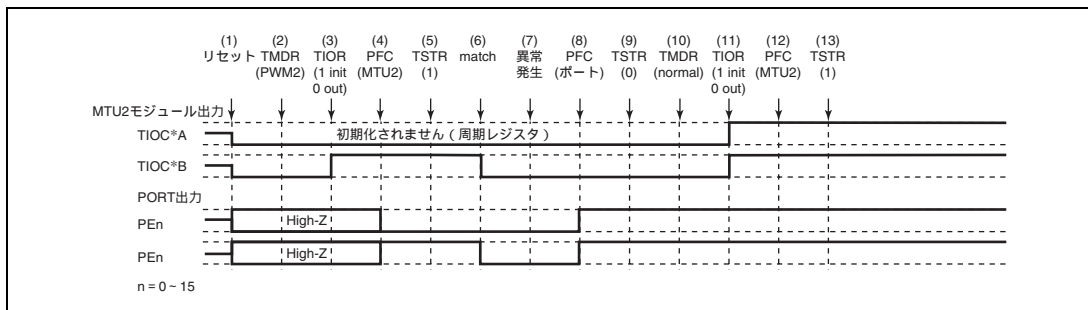


図 12.127 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) 汎用入出力ポートで本モジュール出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) 汎用入出力ポートで本モジュール出力としてください。
- (13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.128 に示します。

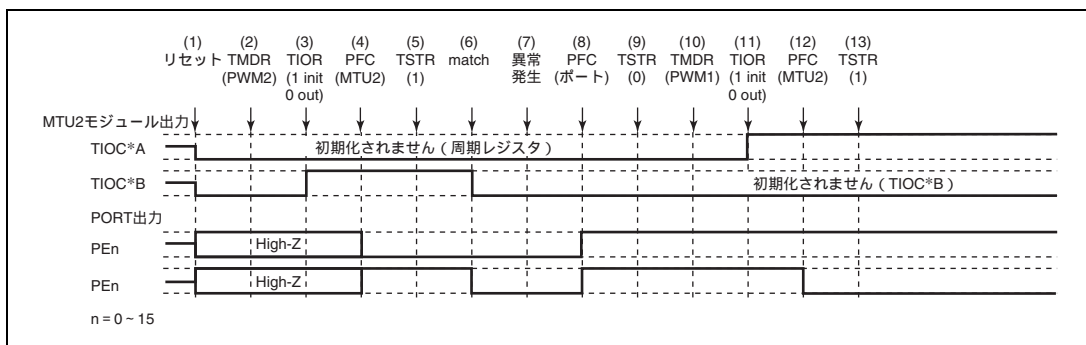


図 12.128 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 12.127 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) 汎用入力ポートで本モジュール出力としてください。

(13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.129 に示します。

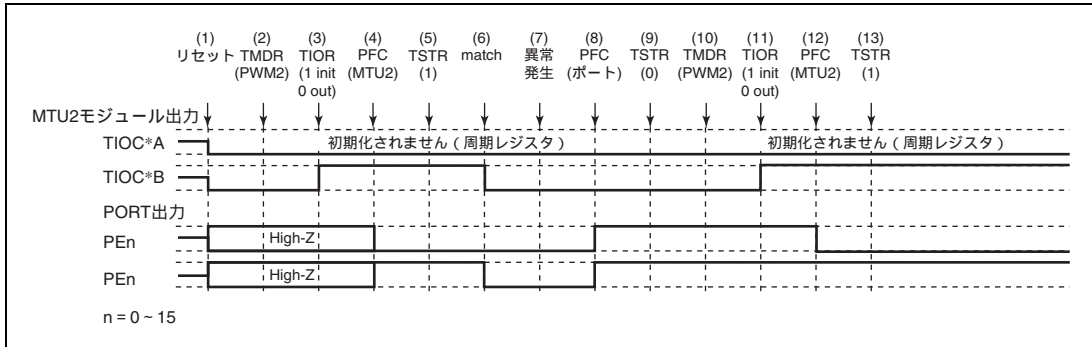


図 12.129 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 12.127 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) 汎用入出力ポートで本モジュール出力としてください。

(13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.130 に示します。

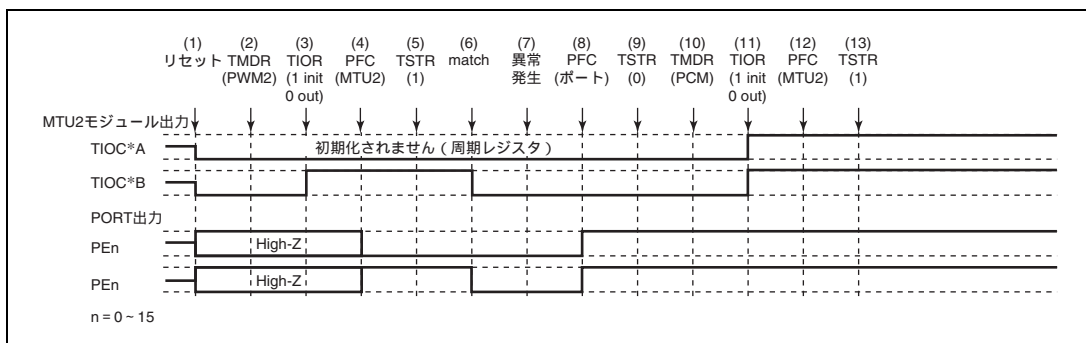


図 12.130 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 12.127 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) 汎用入出力ポートで本モジュール出力としてください。
- (13) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.131 に示します。

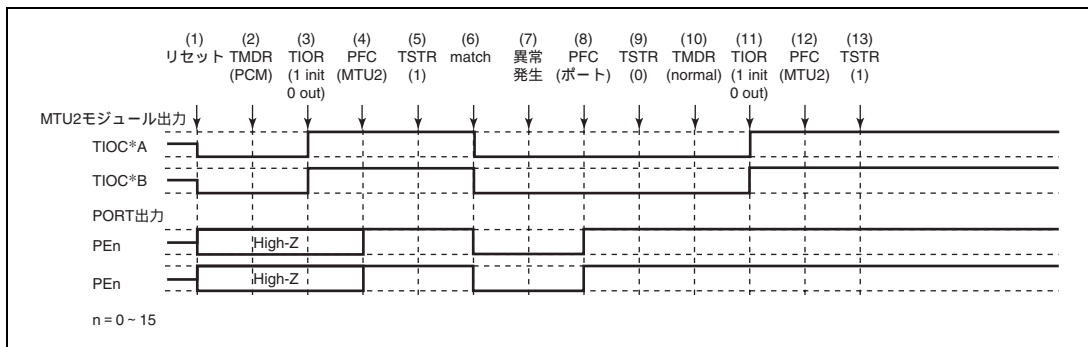


図 12.131 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (4) 汎用入出力ポートで本モジュール出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) 汎用入出力ポートで本モジュール出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.132 に示します。

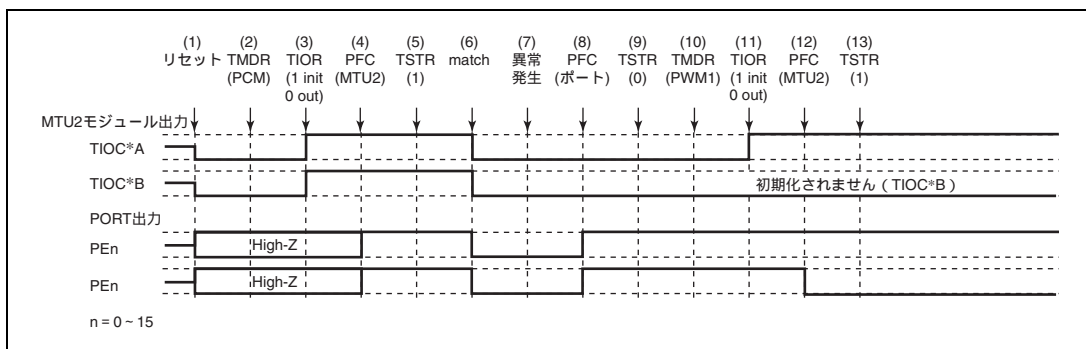


図 12.132 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 12.131 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) 汎用入出力ポートで本モジュール出力としてください。

(13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 12.133 に示します。

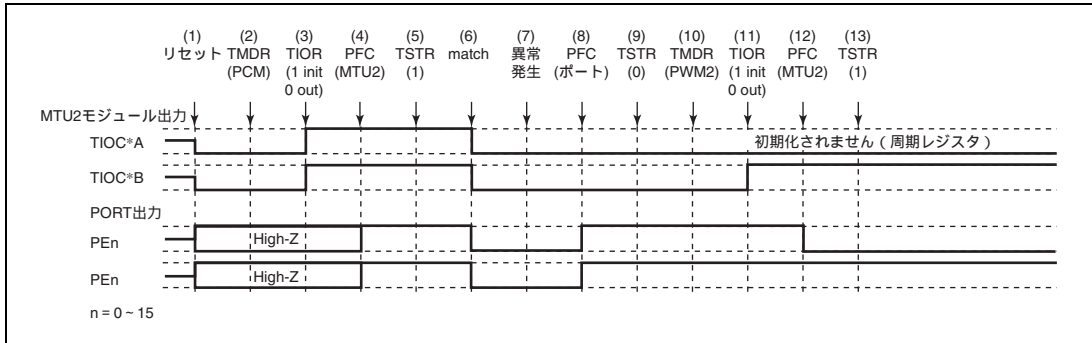


図 12.133 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 12.131 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) 汎用入力ポートで本モジュール出力としてください。

(13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.134 に示します。

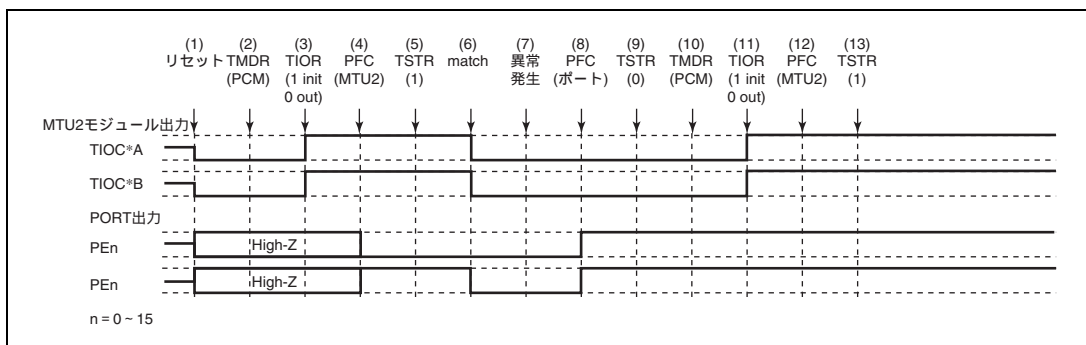


図 12.134 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 12.131 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください。

(12) 汎用入出力ポートで本モジュール出力としてください。

(13) TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.135 に示します。

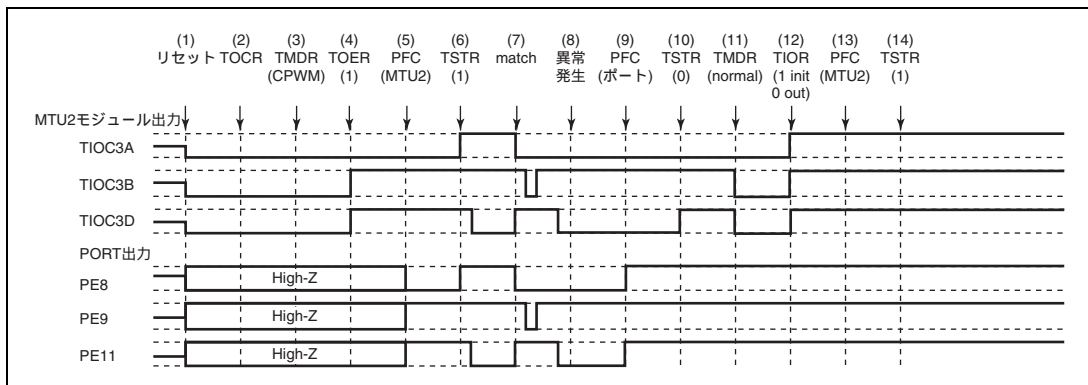


図 12.135 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) 汎用入出力ポートで本モジュール出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (本モジュール出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (本モジュール出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.136 に示します。

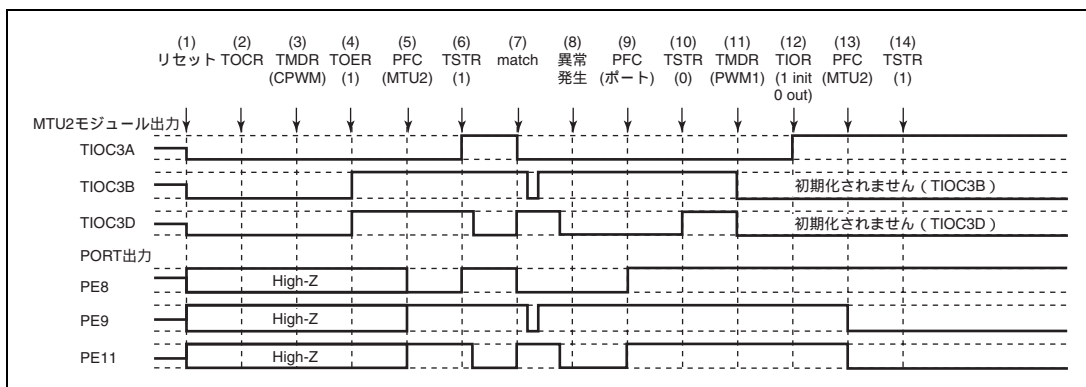


図 12.136 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.135 と共通です。

(11) PWM モード 1 を設定してください (本モジュール出力はローレベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.137 に示します (周期、デューティ設定をカウンタを止めた時の値から再スタートする場合)。

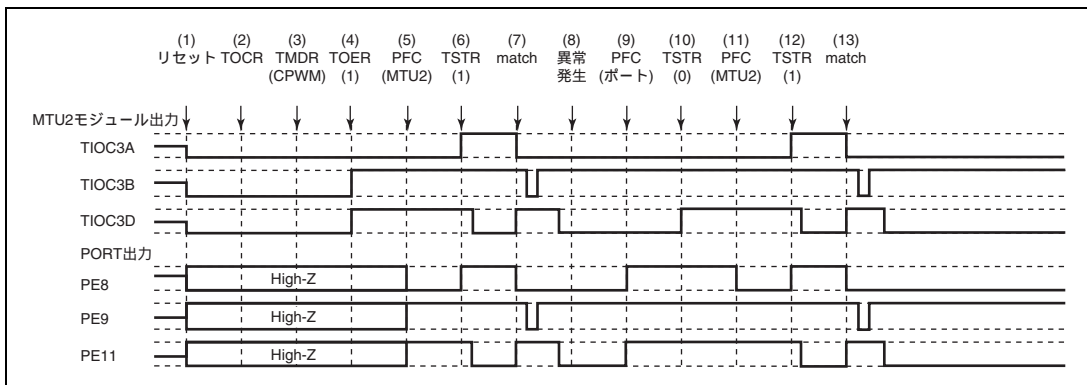


図 12.137 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.135 と共通です。
- (11) 汎用入出力ポートで本モジュール出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.138 に示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

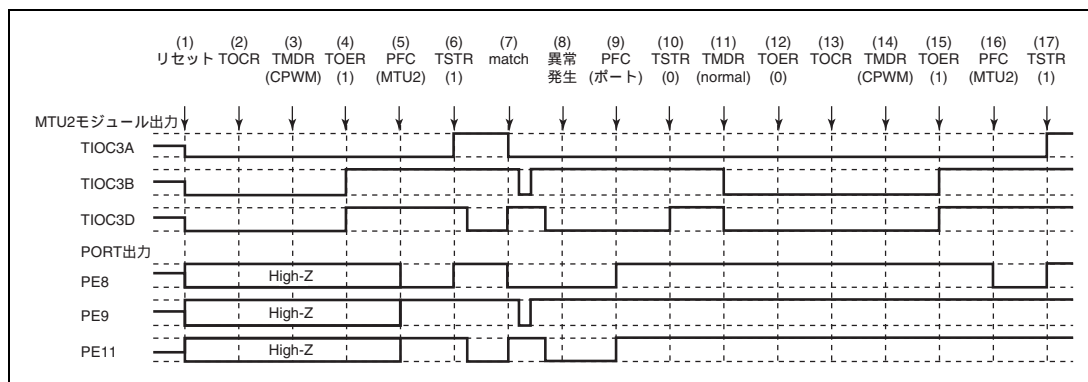


図 12.138 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 12.135 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください (本モジュール出力はローレベルとなります)。

(12) TOER でチャンネル 3、4 の出力を禁止してください。

(13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOER でチャンネル 3、4 の出力を許可してください。

(16) 汎用入出力ポートで本モジュール出力としてください。

(17) TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図
12.139 に示します。

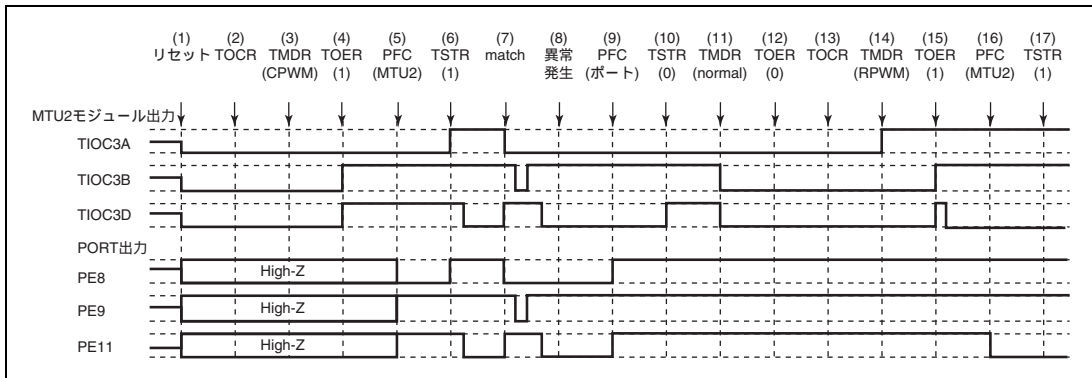


図 12.139 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 12.135 と共通です。
- (11) ノーマルモードを設定してください (本モジュール出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) 汎用入出力ポートで本モジュール出力としてください。
- (17) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図
 12.140 に示します。

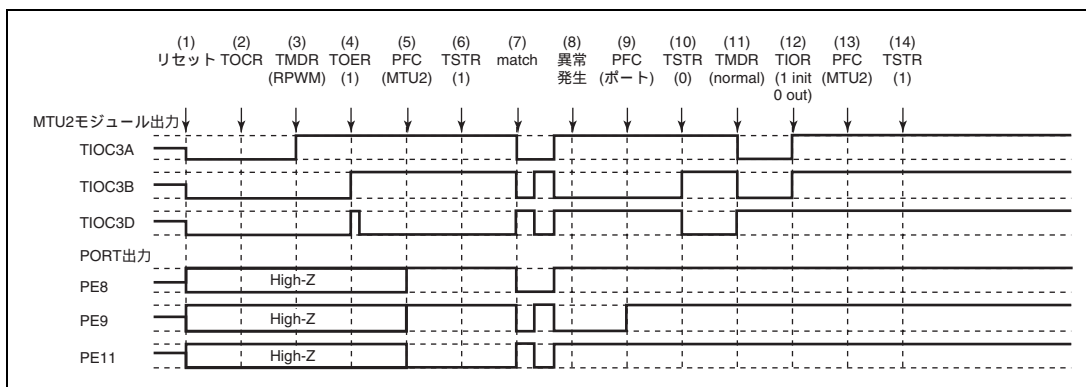


図 12.140 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) 汎用入出力ポートで本モジュール出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (本モジュール出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (本モジュール出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.141 に示します。

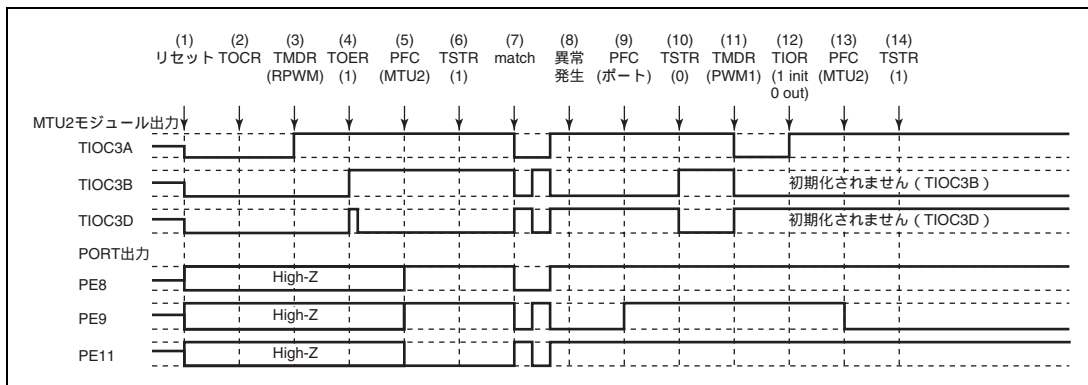


図 12.141 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 12.140 と共通です。
- (11) PWM モード 1 を設定してください (本モジュール出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図
 12.142 に示します。

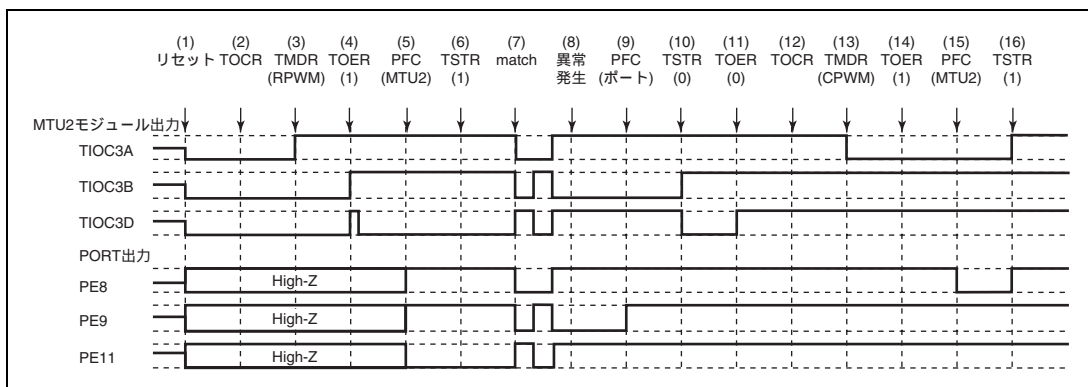


図 12.142 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.140 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (本モジュールの周期出力端子はローレベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) 汎用入出力ポートで本モジュール出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.143 に示します。

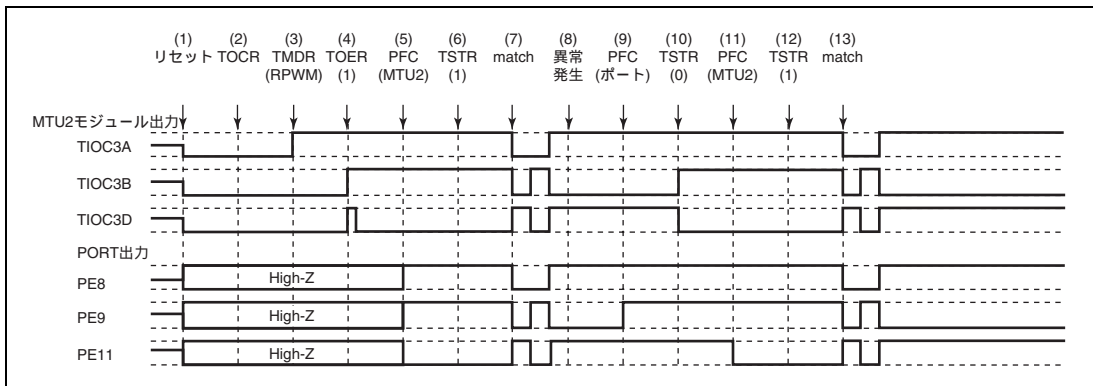


図 12.143 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 12.140 と共通です。
- (11) 汎用入出力ポートで本モジュール出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

13. コンペアマッチタイマ

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマを内蔵しています。本モジュールは 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

13.1 特長

- 4種類のカウンタ入力クロックを2チャンネル独立で選択可能
4種類の内部クロック (P0 /8、P0 /32、P0 /128、P0 /512) を選択可能
- コンペアマッチ時、ダイレクトメモリアクセスコントローラ設定により、DMA転送要求または割り込み要求の発生を選択可能
- 本モジュールを使用しないときは、消費電力低減のため本モジュールに対してクロックの供給を止めて動作を停止させることができます。

図 13.1 にブロック図を示します。

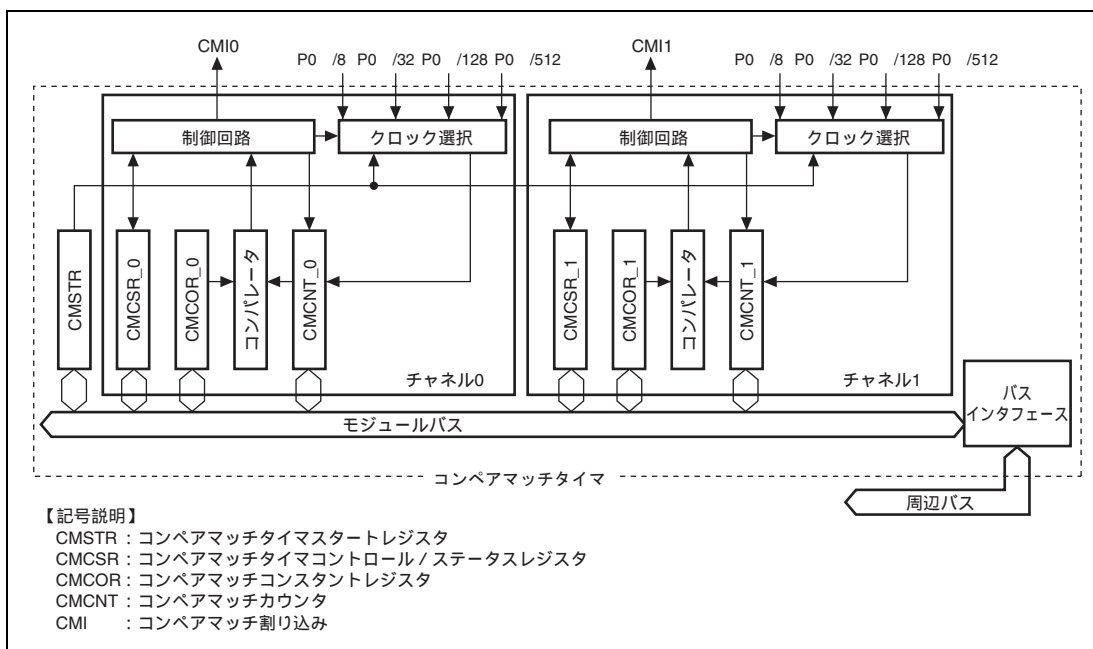


図 13.1 ブロック図

13.2 レジスタの説明

表 13.1 にレジスタ構成を示します。

表 13.1 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'0000	H'FFFEC000	16
0	コンペアマッチタイマコントロール/ ステータスレジスタ_0	CMCSR_0	R/W	H'0000	H'FFFEC002	16
	コンペアマッチカウンタ_0	CMCNT_0	R/W	H'0000	H'FFFEC004	8、16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	R/W	H'FFFF	H'FFFEC006	8、16
1	コンペアマッチタイマコントロール/ ステータスレジスタ_1	CMCSR_1	R/W	H'0000	H'FFFEC008	16
	コンペアマッチカウンタ_1	CMCNT_1	R/W	H'0000	H'FFFEC00A	8、16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	R/W	H'FFFF	H'FFFEC00C	8、16

13.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ (CMCNT) の動作 / 停止を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STR1	0	R/W	カウントスタート 1 コンペアマッチカウンタ_1 の動作 / 停止を選択します。 0 : CMCNT_1 はカウントを停止 1 : CMCNT_1 はカウントを開始
0	STR0	0	R/W	カウントスタート 0 コンペアマッチカウンタ_0 の動作 / 停止を選択します。 0 : CMCNT_0 はカウントを停止 1 : CMCNT_0 はカウントを開始

13.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込みの許可/禁止、およびカウンタ入カクロックの設定を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0: CMCNT と CMCOR の値は不一致 [クリア条件] • CMF = 1 を読み出し後、CMF に 0 を書き込んだとき 1: CMCNT と CMCOR の値が一致
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき (CMF = 1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0: コンペアマッチ割り込み (CMI) を禁止 1: コンペアマッチ割り込み (CMI) を許可
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	CKS[1:0]	00	R/W	クロックセレクト 周辺クロック (P0) を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS[1:0] ビットにより選択されたクロックでカウントを開始します。 00: P0 /8 01: P0 /32 10: P0 /128 11: P0 /512

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

13.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入カクロックが CMCSR の CKS[1:0] ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ(CMCOR)の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

コンペアマッチタイマスタートレジスタ (CMSTR) の該当チャネルのカウントスタートビットを 1 から 0 にクリアしたとき、H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.3 動作説明

13.3.1 期間カウント動作

内部クロックが CMCSR の CKS[1:0]ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT は H'0000 からカウントアップを再開します。

図 13.2 にコンペアマッチカウンタ動作を示します。

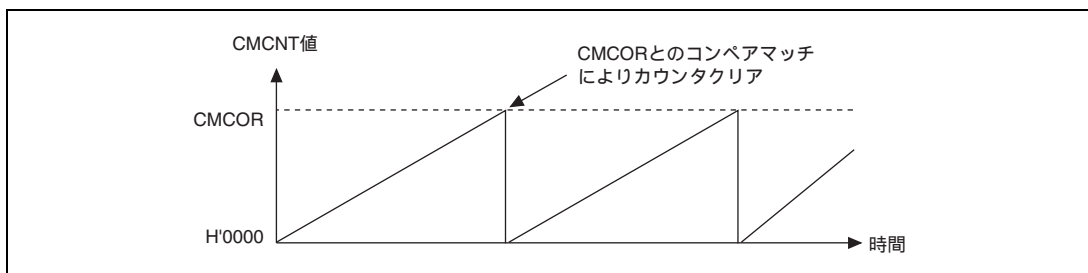


図 13.2 カウンタ動作

13.3.2 CMCNT カウントタイミング

周辺クロック (P0) を分周して得られた 4 種類のクロック (P0 /8、P0 /32、P0 /128、P0 /512) のうち 1 つを CMCSR の CKS[1:0]ビットにより選択することができます。図 13.3 にそのタイミングを示します。

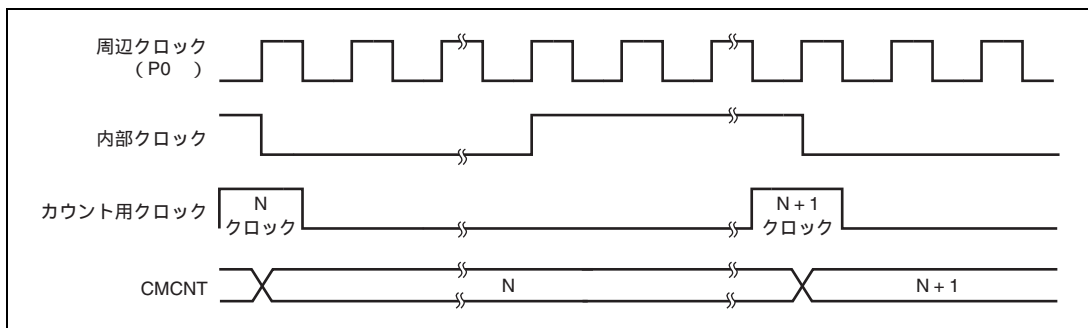


図 13.3 カウントタイミング

13.4 割り込み

13.4.1 割り込み要因と DMA 転送要求

本モジュールはチャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。コンペアマッチフラグ (CMF) が 1 にセットされ、かつ割り込みイネーブルビット (CMIE) が 1 にセットされているとき、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 7 章 割り込みコントローラ」を参照してください。

ユーザ例外処理ルーチン中に CMF ビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。また、コンペアマッチ割り込み要求時に、割り込みコントローラの設定により、ダイレクトメモリアクセスコントローラを起動することができます。このとき、CPU へ割り込み発生はしません。ダイレクトメモリアクセスコントローラの起動設定を行わない場合は、CPU へ割り込み要求が発生します。ダイレクトメモリアクセスコントローラによるデータ転送時に CMF ビットは自動的にクリアされます。

13.4.2 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致すると、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) でコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 13.4 に CMF ビットのセットタイミングを示します。

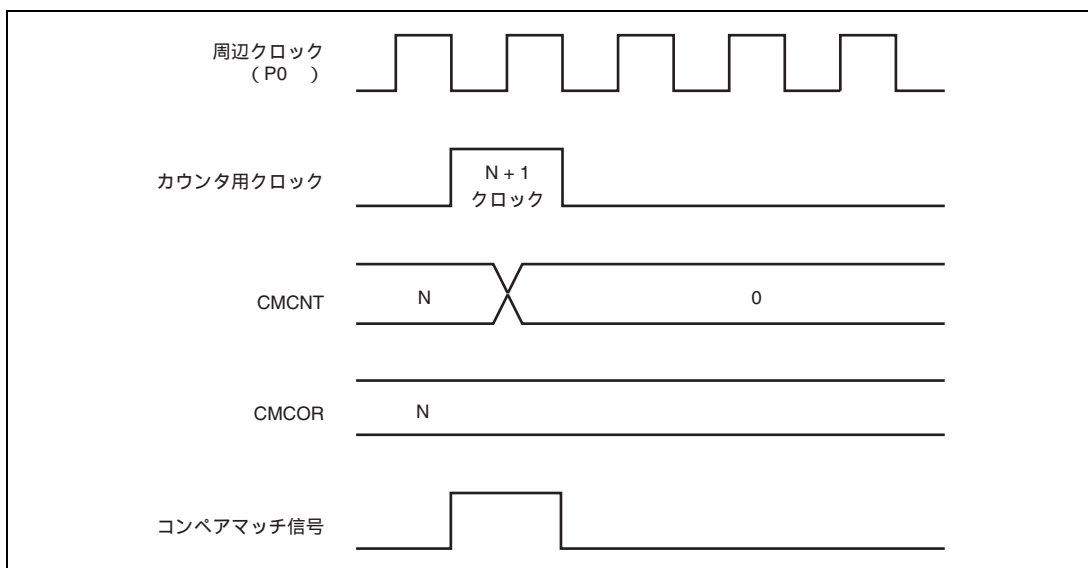


図 13.4 CMF セットタイミング

13.4.3 コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、CMF = 1 を読み出した後に 0 を書き込むことでクリアされます。ただし、ダイレクトメモリアクセスコントローラを起動した場合、ダイレクトメモリアクセスコントローラがデータ転送を行った時点で、CMF ビットは自動的にクリアされます。

13.5 使用上の注意事項

13.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 13.5 に示します。

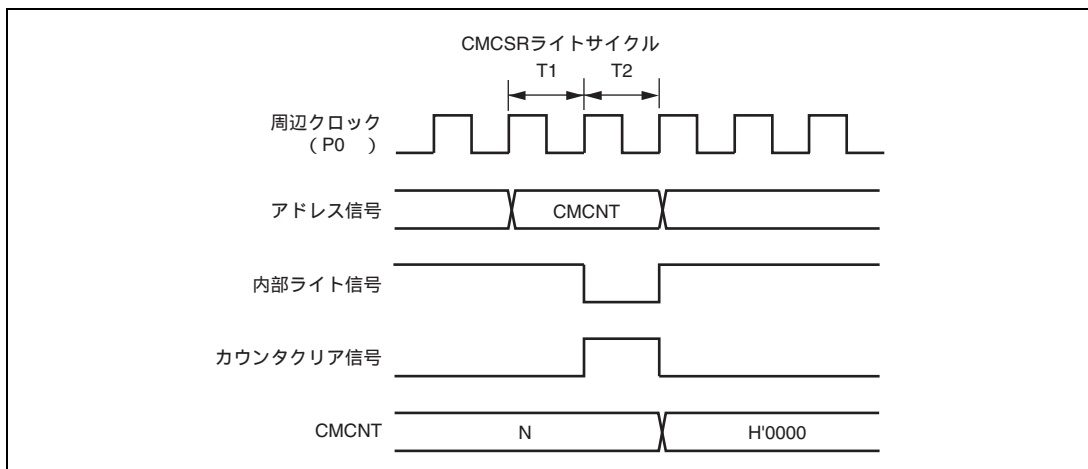


図 13.5 CMCNT の書き込みとコンペアマッチの競合

13.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップせずにカウンタ書き込みが優先されます。このタイミングを図 13.6 に示します。

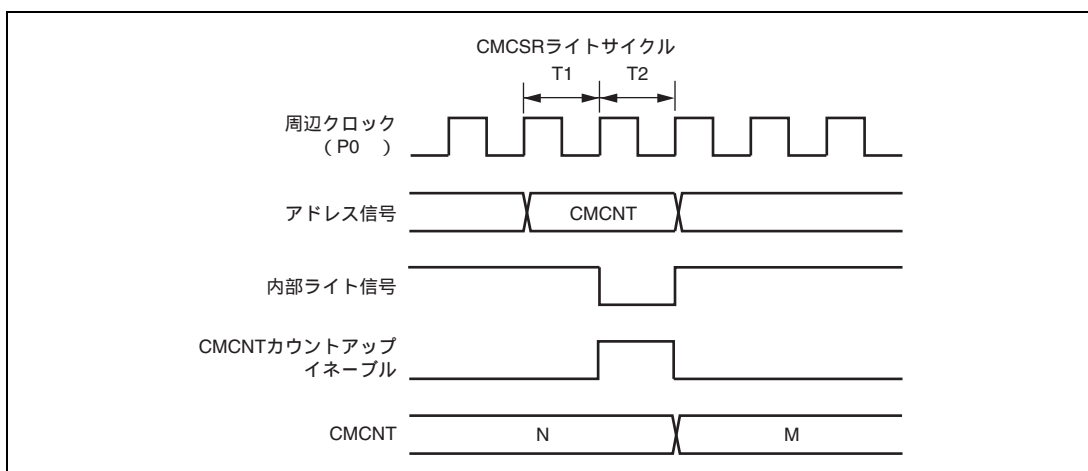


図 13.6 CMCNT のワード書き込みとカウントアップの競合

13.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 13.7 に示します。

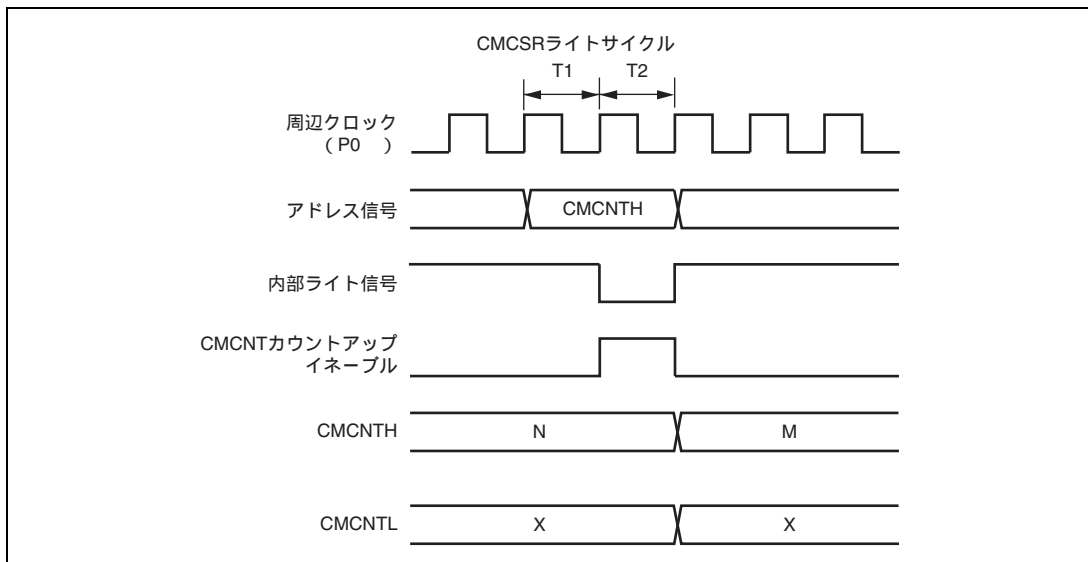


図 13.7 CMCNT のバイト書き込みとカウントアップの競合

13.5.4 CMCNT と CMCOR のコンペアマッチ

CMCNT のカウント停止状態で CMCNT と CMCOR に同じ値を設定しないでください。

14. ウォッチドッグタイマ

本 LSI は、ウォッチドッグタイマを内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバーフローした場合、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することができます。

本モジュールは、1 チャンネルのタイマで、ソフトウェアスタンバイモード解除のためのクロック発振安定時間のカウンタに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

14.1 特長

- クロック発振安定時間の確保に使用可能
ソフトウェアスタンバイモード状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ 信号を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうかを選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($P0 \times 1 \sim \times 1/16384$) から選択できます。

図 14.1 にブロック図を示します。

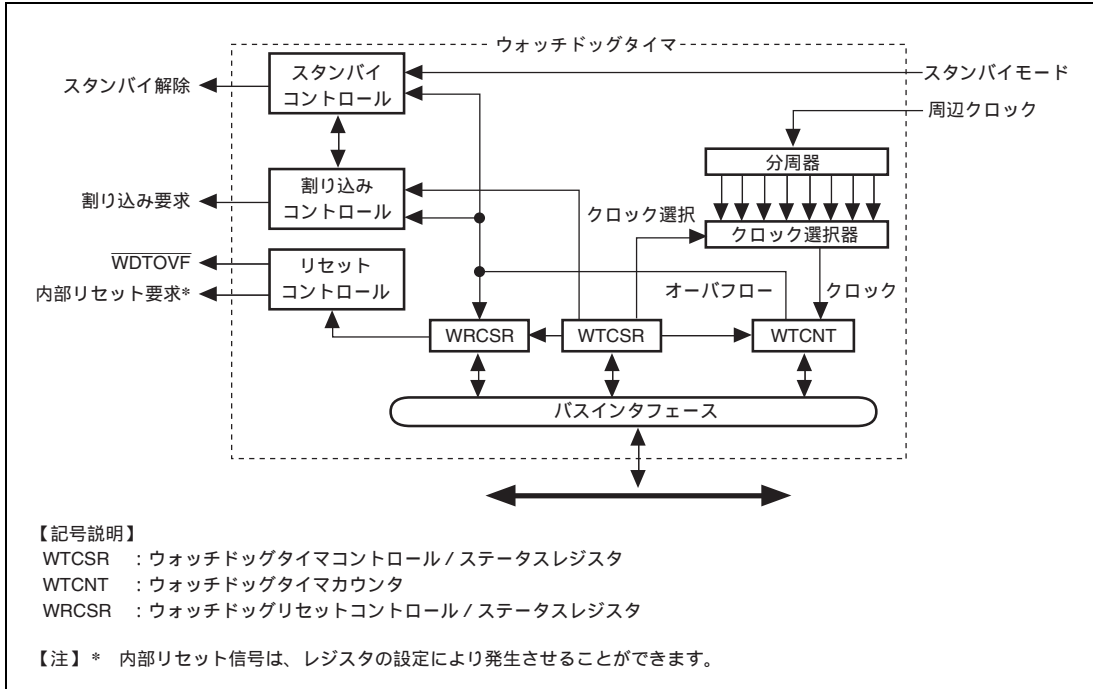


図 14.1 ブロック図

14.2 入出力端子

表 14.1 に端子構成を示します。

表 14.1 端子構成

名称	端子名	入出力	機能
ウォッチドッグタイマ オーバーフロー	$\overline{\text{WDTOVF}}$	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー 信号出力

14.3 レジスタの説明

表 14.2 にレジスタ構成を示します。

表 14.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'00	H'FFFE0002	16*
ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	R/W	H'18	H'FFFE0000	16*
ウォッチドッグリセットコントロール/ ステータスレジスタ	WRCSR	R/W	H'1F	H'FFFE0004	16*

【注】 * アクセスサイズは、「14.3.4 レジスタアクセス時の注意」を参照してください。

14.3.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し/書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときはウォッチドッグタイマオーバフロー信号 ($\overline{\text{WDTOVF}}$) が発生し、インターバルタイマモードのときは割り込みが発生します。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバーフローフラグおよびイネーブルビットからなります。

ソフトウェアスタンバイモード解除時のクロック発振安定時間のカウントに使用するときには、カウンタオーバーフロー後、値が保持されます。

WTCSR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	IOVF	WT/IT	TME	-	-	CKS[2:0]		
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	IOVF	0	R/(W)	インターバルタイマオーバーフロー インターバルタイマモードで WTCNT がオーバーフローしたことを示します。 ウォッチドッグタイマモードでは、セットされません。 0: オーバーフローなし 1: インターバルタイマモードで WTCNT がオーバーフローした [クリア条件] • IOVF を読み出してから 0 を書き込む
6	WT/IT	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0: インターバルタイマモード 1: ウォッチドッグタイマモード 【注】 ウォッチドッグタイマモードでは、WTCNT がオーバーフローしたとき WDTOVF 信号を外部へ出力 本モジュールの動作中に WT/IT を書き換えるとカウントアップが正しく行われないことがあります。
5	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に本モジュールを使用する場合には、このビットを 0 にしてください。 0: タイマディスエーブル カウントアップを停止し、WTCNT の値を保持する。 1: タイマイネーブル

ビット	ビット名	初期値	R/W	説明																		
4, 3	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。																		
2~0	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>周辺クロック (P0) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。かっこ内に示すオーバフロー周期は、周辺クロック (P0) = 33.33MHz の場合の値です。</p> <table border="0"> <thead> <tr> <th>クロック分周比</th> <th>オーバフロー周期</th> </tr> </thead> <tbody> <tr> <td>000 : $1 \times P0$</td> <td>(7.7 μs)</td> </tr> <tr> <td>001 : $1/64 \times P0$</td> <td>(490 μs)</td> </tr> <tr> <td>010 : $1/128 \times P0$</td> <td>(979 μs)</td> </tr> <tr> <td>011 : $1/256 \times P0$</td> <td>(2.0ms)</td> </tr> <tr> <td>100 : $1/512 \times P0$</td> <td>(3.9ms)</td> </tr> <tr> <td>101 : $1/1024 \times P0$</td> <td>(7.8ms)</td> </tr> <tr> <td>110 : $1/4096 \times P0$</td> <td>(31ms)</td> </tr> <tr> <td>111 : $1/16384 \times P0$</td> <td>(125ms)</td> </tr> </tbody> </table> <p>【注】 本モジュールの動作中に CKS[2:0]ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0]ビットを書き換える場合は、必ず本モジュールを停止させてください。</p>	クロック分周比	オーバフロー周期	000 : $1 \times P0$	(7.7 μ s)	001 : $1/64 \times P0$	(490 μ s)	010 : $1/128 \times P0$	(979 μ s)	011 : $1/256 \times P0$	(2.0ms)	100 : $1/512 \times P0$	(3.9ms)	101 : $1/1024 \times P0$	(7.8ms)	110 : $1/4096 \times P0$	(31ms)	111 : $1/16384 \times P0$	(125ms)
クロック分周比	オーバフロー周期																					
000 : $1 \times P0$	(7.7 μ s)																					
001 : $1/64 \times P0$	(490 μ s)																					
010 : $1/128 \times P0$	(979 μ s)																					
011 : $1/256 \times P0$	(2.0ms)																					
100 : $1/512 \times P0$	(3.9ms)																					
101 : $1/1024 \times P0$	(7.8ms)																					
110 : $1/4096 \times P0$	(31ms)																					
111 : $1/16384 \times P0$	(125ms)																					

14.3.3 ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)

WRCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフローによる内部リセット信号の発生を制御します。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)	<p>ウォッチドッグタイマオーバーフロー</p> <p>ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードでは、セットされません。</p> <p>0: オーバーフローなし</p> <p>1: ウォッチドッグタイマモードで WTCNT がオーバーフローした</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ● WOVF を読み出してから 0 を書き込む
6	RSTE	0	R/W	<p>リセットイネーブル</p> <p>ウォッチドッグタイマモードで WTCNT がオーバーフローしたとき本 LSI 内部をリセットする信号を発生するかどうかを選択します。インターバルタイマモードの場合は、設定値は無視されます。</p> <p>0: WTCNT がオーバーフローしたとき、内部リセットしない*</p> <p>1: WTCNT がオーバーフローしたとき、内部リセットする</p> <p>【注】* 本 LSI 内部はリセットされませんが、本モジュール内の WTCNT、WTCR はリセットされます。</p>
5	RSTS	0	R/W	<p>リセットセレクト</p> <p>ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を選択します。インターバルタイマモードの場合は、設定値は無視されます。</p> <p>0: パワーオンリセット</p> <p>1: マニュアルリセット</p>
4~0	-	すべて 1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>

14.3.4 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)、ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出したり書き込みを行ってください。

(1) WTCNT および WTCSR への書き込み

WTCNT および WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では書き込めません。

図 14.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

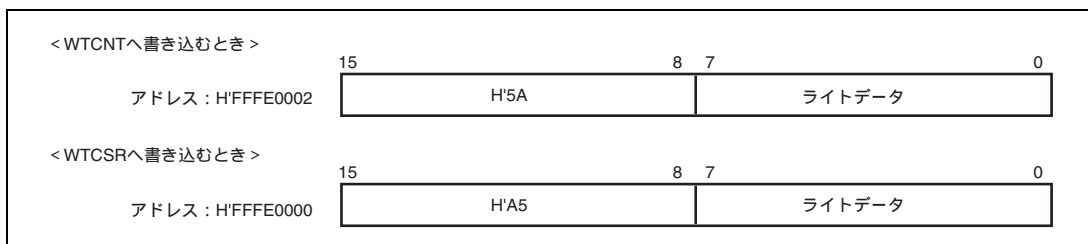


図 14.2 WTCNT および WTCSR への書き込み

(2) WRCSR への書き込み

WRCSR へ書き込むときは、アドレス H'FFFE0004 に対してワード転送を行ってください。バイト転送命令およびロングワード転送命令では書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 14.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

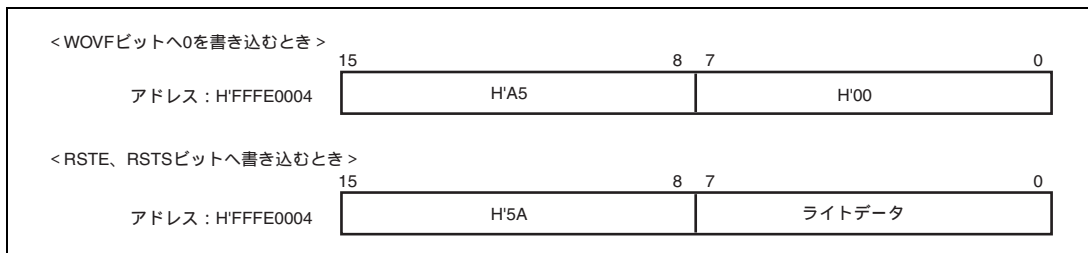


図 14.3 WRCSR への書き込み

(3) WTCNT、WTCSR、WRCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR はアドレス H'FFFE0000 に、WTCNT はアドレス H'FFFE0002 に、WRCSR はアドレス H'FFFE0004 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

14.4 使用方法

14.4.1 ソフトウェアスタンバイモード解除の手順

本モジュールは、ソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します（リセットで解除する場合は、本モジュールは動作しないため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子をローレベルに保ってください）。

1. ソフトウェアスタンバイモードへの遷移前に、必ず WTCSCR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. スタンバイコントロールレジスタ 1 (STBCR1 : 「第49章 低消費電力モード」参照) の STBY ビットに 1、DEEP ビットに 0 を設定後、SLEEP 命令実行によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、本モジュールがカウントを開始します。
5. 本モジュールがカウントオーバーフローすると、クロックパルス発振器がクロック供給を開始して、本 LSI が動作を再開します。このとき、WRCSCR の WOVF はセットされません。

14.4.2 ウォッチドッグタイマモードの使用法

1. WTCSRのWT/ITビットに1を設定して、CKS[2:0]にカウントクロックの種類、WRCSRのRSTEビットに本LSIの内部をリセットするかしないか、RSTSビットにこのときのリセットのタイプ、およびWTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、本モジュールはWRCSRのWOVFを1にセットして、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。これを図14.4に示します。この $\overline{\text{WDTOVF}}$ 信号を用いて、システムをリセットすることができます。 $\overline{\text{WDTOVF}}$ 信号は、 $64 \times P0$ クロックの間出力されます。
5. WRCSRのRSTEビットを1にセットしておく、と、 $\overline{\text{WDTOVF}}$ 信号と同時に本LSIの内部をリセットする信号を発生させることができます。このリセットは、WRCSRのRSTSビットの設定によってパワーオンリセットまたはマニュアルリセットを選択できます。内部リセット信号は、 $128 \times P0$ クロックの間出力されます。
6. $\overline{\text{RES}}$ 端子からの入力信号によるリセットと本モジュールのオーバーフローによるリセットが同時に発生したときは、 $\overline{\text{RES}}$ 端子によるリセットが優先され、WRCSRのWOVFビットは0にクリアされます。

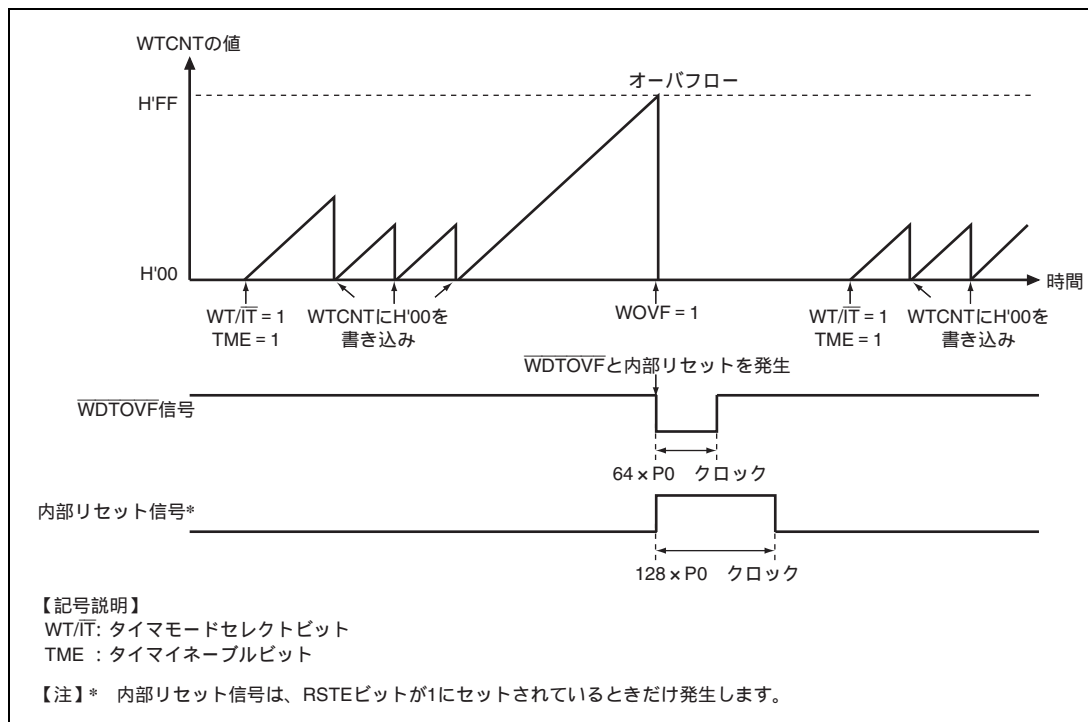


図 14.4 ウォッチドッグタイマモード時の動作

14.4.3 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのWT/ \overline{IT} ビットに0をセットして、CKS[2:0]ビットにカウントクロックの種類、WTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. 本モジュールは、カウンタがオーバーフローするとWTCSRのIOVFIに1をセットし、インターバルタイマ割り込み要求を割り込みコントローラに送ります。カウンタはカウントを続行します。

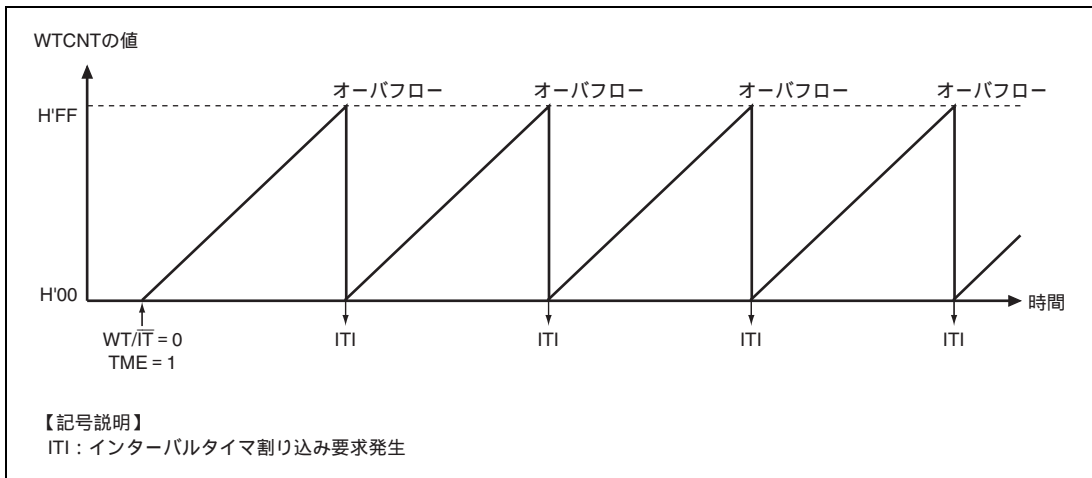


図 14.5 インターバルタイマモード時の動作

14.5 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

14.5.1 タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCNT レジスタの TME ビットのセットタイミングによって、P0 の 1 サイクル後（最短）から、CKS[2:0] で選択した分周タイミング（最長）までの間となります。2 回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中、WTCNT レジスタ書き換え後、最初のカウントアップタイミングも同様です。

14.5.2 WTCNT の設定値として H'FF は設定禁止

本モジュールでは WTCNT の値が H'FF になったことをオーバフローと判定します。したがって、WTCNT に H'FF を設定すると、CKS[2:0] の選択クロックにかかわらず、すぐにインターバルタイマ割り込みまたはリセットが発生します。

14.5.3 インターバルタイマオーバフローフラグ

WTCNT の値が H'FF のときには、WTCNT の IOVF フラグはクリアできません。

WTCNT の値が H'00 になってからクリアを行うか、WTCNT の値を H'FF 以外の値に書き換えてから IOVF フラグをクリアしてください。

14.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット

$\overline{\text{WDTOVF}}$ 信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 14.6 に示すような回路で行ってください。

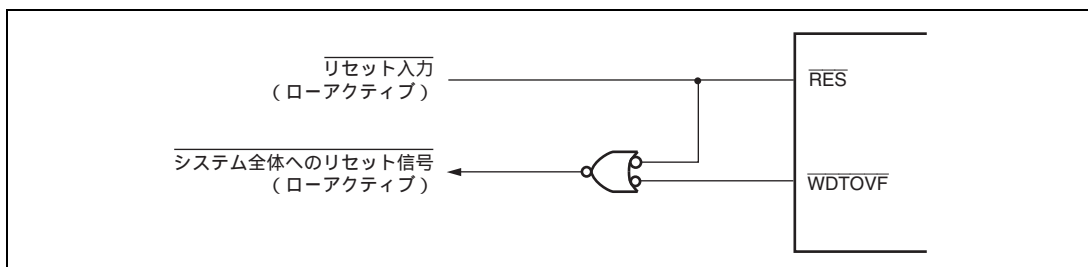


図 14.6 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

14.5.5 ウォッチドッグタイマモードのマニュアルリセット

ウォッチドッグタイマモードによるマニュアルリセット発生時、バスサイクルは保持されます。バス権解放中やダイレクトメモリアクセスコントローラがバースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。

14.5.6 ウォッチドックタイマモードでの内部リセット

ウォッチドックタイマモードで、ウォッチドックタイマカウンタ (WTCNT) のオーバフローによる内部リセットが発生した場合、ウォッチドッグリセットコントロール / ステータスレジスタ (WRCSR) は初期化されず、WOVF ビットは 1 の状態となります。WOVF ビットが 1 の状態の場合、WTCNT がオーバフローしても内部リセットは発生しません。

15. リアルタイムクロック

本 LSI は、リアルタイムクロックおよび 32.768kHz 水晶発振器を内蔵しています。

15.1 特長

- 時計・カレンダー機能（BCD表示）を搭載
秒、分、時、曜日、日、月、年をカウント
- 1～64Hzタイマ（バイナリ表示）を搭載
64Hzカウンタが、分周回路のうち64Hz～1Hzの状態を示します。
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
秒カウンタ桁上げ、または64Hzカウンタの読み出し時に64Hzカウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能
- 時計用の動作クロックは、内部クロック用と時計専用の外部クロック入力を選択可能
- アラーム割り込みによる、ディープスタンバイ復帰が可能

図 15.1 にブロック図を示します。

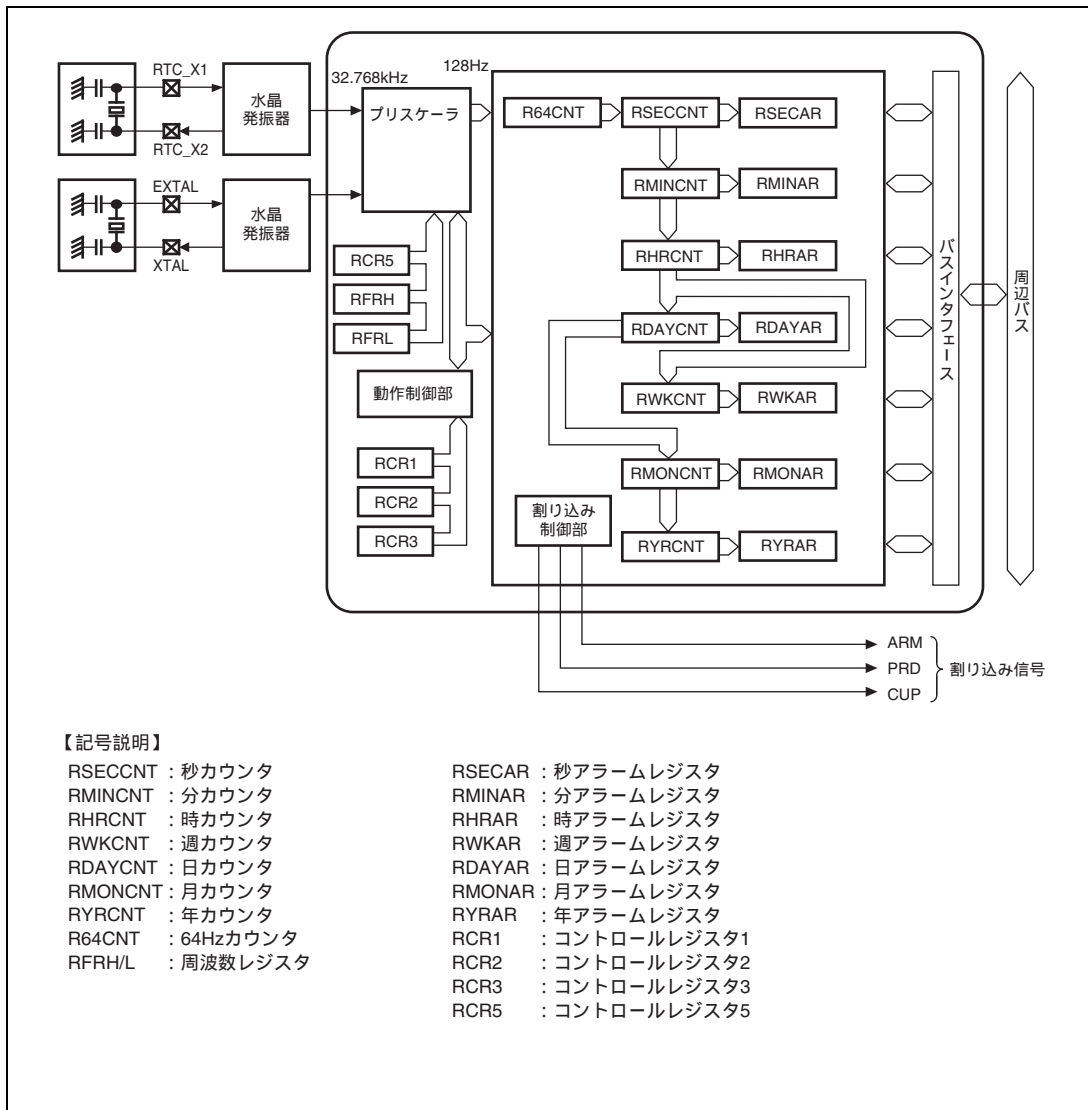


図 15.1 ブロック図

15.2 入出力端子

表 15.1 に端子構成を示します。

表 15.1 端子構成

名称	端子名	入出力	機能
リアルタイムクロック用水晶 発振子端子 / 外部クロック	RTC_X1	入力	本モジュール用に 32.768kHz の水晶発振子を接続します。 また RTC_X1 端子は外部クロックを入力することもできます。
	RTC_X2	出力	
内部クロック用水晶発振子 / 外部クロック	EXTAL	入力	内部動作用に使用する水晶発振子を接続します。 詳細はクロックパルス発振器の章を参照してください。
	XTAL	出力	

15.3 レジスタの説明

表 15.2 にレジスタ構成を示します。

表 15.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
64Hz カウンタ	R64CNT	R	H'xx	H'FFFE6000	8
秒カウンタ	RSECCNT	R/W	H'xx	H'FFFE6002	8
分カウンタ	RMINCNT	R/W	H'xx	H'FFFE6004	8
時カウンタ	RHRCNT	R/W	H'xx	H'FFFE6006	8
曜日カウンタ	RWKCNT	R/W	H'0x	H'FFFE6008	8
日カウンタ	RDAYCNT	R/W	H'xx	H'FFFE600A	8
月カウンタ	RMONCNT	R/W	H'xx	H'FFFE600C	8
年カウンタ	RYRCNT	R/W	H'xxxx	H'FFFE600E	16
秒アラームレジスタ	RSECAR	R/W	H'xx	H'FFFE6010	8
分アラームレジスタ	RMINAR	R/W	H'xx	H'FFFE6012	8
時アラームレジスタ	RHRAR	R/W	H'xx	H'FFFE6014	8
曜日アラームレジスタ	RWKAR	R/W	H'xx	H'FFFE6016	8
日アラームレジスタ	RDAYAR	R/W	H'xx	H'FFFE6018	8
月アラームレジスタ	RMONAR	R/W	H'xx	H'FFFE601A	8
年アラームレジスタ	RYRAR	R/W	H'xxxx	H'FFFE6020	16
コントロールレジスタ 1	RCR1	R/W	H'xx	H'FFFE601C	8
コントロールレジスタ 2	RCR2	R/W	H'09	H'FFFE601E	8
コントロールレジスタ 3	RCR3	R/W	H'x0	H'FFFE6024	8
コントロールレジスタ 5	RCR5	R/W	H'xx	H'FFFE6026	8
周波数レジスタ	RFRH	R/W	H'xxxx	H'FFFE602A	16
	RFRL	R/W	H'xxxx	H'FFFE602C	16

15.3.1 64Hz カウンタ (R64CNT)

R64CNT は、分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、コントロールレジスタ 1 (RCR1) の CF ビットが 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、分周回路が初期化され、R64CNT は初期化されます。

ビット:	7	6	5	4	3	2	1	0
	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	1Hz	不定	R	分周回路のうち、1Hz ~ 64Hz の状態を示します。
5	2Hz	不定	R	
4	4Hz	不定	R	
3	8Hz	不定	R	
2	16Hz	不定	R	
1	32Hz	不定	R	
0	64Hz	不定	R	

15.3.2 秒カウンタ (RSECCNT)

RSECCNT は、BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	10秒			1秒			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	10 秒	不定	R/W	秒十位カウント 秒十位は 0 から 5 をカウントして、60 秒のカウントを行います。
3~0	1 秒	不定	R/W	秒一位カウント 秒一位は 1 秒ごとに 0 から 9 をカウントします。桁上がりが発生すると、秒十位が +1 されます。

15.3.3 分カウンタ (RMINCNT)

RMINCNT は、BCD コード化された分部分の設定・カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00~59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	10分			1分			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	10 分	不定	R/W	分十位カウント 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
3~0	1 分	不定	R/W	分一位カウント 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。

15.3.4 時カウンタ (RHRCNT)

RHRCNT は、BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00 ~ 23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	10時間		1時間			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 時間	不定	R/W	時十位カウント 時十位は 0 から 2 をカウントします。
3~0	1 時間	不定	R/W	時一位カウント 時一位は 1 時間ごとに 0 から 9 をカウントします。桁上がりが発生すると、時十位が +1 されます。

15.3.5 曜日カウンタ (RWKCNT)

RWKCNT は、BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 0~6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	曜日		
初期値:	0	0	0	0	0	不定	不定	不定
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	曜日	不定	R/W	曜日カウンタ バイナリコードで曜日を表します。 000: 日 001: 月 010: 火 011: 水 100: 木 101: 金 110: 土 111: 予約 (設定禁止)

15.3.6 日カウンタ (RDAYCNT)

RDAYCNT は、BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 01 ~ 31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RDAYCNT の設定範囲は、月ごとおよびうるう年によって変化しますので、確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット:	7	6	5	4	3	2	1	0
	-	-	10日		1日			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 日	不定	R/W	日十位カウンタ
3~0	1 日	不定	R/W	日一位カウンタ 日一位は 1 日ごとに 0~9 をカウントします。桁上がりが発生すると日十位が +1 されます。

15.3.7 月カウンタ (RMONCNT)

RMONCNT は、BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	10月	1月			
初期値:	0	0	0	不定	不定	不定	不定	不定
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	10 月	不定	R/W	月十位カウンタ
3~0	1 月	不定	R/W	月一位カウンタ 月一位は 1 月ごとに 0~9 をカウントします。桁上がりが発生すると月十位が +1 されます。

15.3.8 年カウンタ (RYRCNT)

RYRCNT は、BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリーによって、カウント動作を行います。

設定可能範囲は、10 進 (BCD) で 0000 ~ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	1000 年	不定	R/W	年千位カウント
11~8	100 年	不定	R/W	年百位カウント
7~4	10 年	不定	R/W	年十位カウント
3~0	1 年	不定	R/W	年一位カウント

15.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、BCD コード化された秒部分のカウンタ RSECNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RSECNT の値と比較を行います。
6~4	10 秒	不定	R/W	秒十位の設定値
3~0	1 秒	不定	R/W	秒一位の設定値

15.3.10 分アラームレジスタ (RMINAR)

RMINAR は、BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ(RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3)のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RMINCNT の値と比較を行います。
6~4	10 分	不定	R/W	分十位の設定値
3~0	1 分	不定	R/W	分一位の設定値

15.3.11 時アラームレジスタ (RHRAR)

RHRAR は、BCD コード化された時部分のカウンタ RHCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10時間		1時間			
初期値:	不定	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RHCNT の値と比較を行います。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 時間	不定	R/W	時十位の設定値
3~0	1 時間	不定	R/W	時一位の設定値

15.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 0~6+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	曜日		
初期値:	不定	0	0	0	0	不定	不定	不定
R/W:	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	不定	R/W	1 にセットされていると、RWKCNT の値と比較を行います。
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	曜日	不定	R/W	曜日の設定値 000: 日 001: 月 010: 火 011: 水 100: 木 101: 金 110: 土 111: 予約 (設定禁止)

15.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01 ~ 31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10日		1日			
初期値:	不定	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RDAYCNT の値と比較を行います。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 日	不定	R/W	日十位の設定値
3~0	1 日	不定	R/W	日一位の設定値

15.3.14 月アラームレジスタ (RMONAR)

RMONAR は、BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	10月	1月			
初期値:	不定	0	0	不定	不定	不定	不定	不定
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RMONCNT の値と比較を行います。
6、5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	10 月	不定	R/W	月十位の設定値
3~0	1 月	不定	R/W	月一位の設定値

15.3.15 年アラームレジスタ (RYRAR)

RYRAR は、BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。

設定可能範囲は、10 進 (BCD) で 0000 ~ 9999 であり、それ以外の値が設定されると、正常に動作しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	1000年	不定	R/W	年千位の設定値
11~8	100年	不定	R/W	年百位の設定値
7~4	10年	不定	R/W	年十位の設定値
3~0	1年	不定	R/W	年一位の設定値

15.3.16 コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのおののフラグについて、割り込みを発生するかどうか選択できます。

CF フラグは、分周回路がリセット (RCR2 の RESET ビットと ADJ ビットを 1 にセット) されるまでは不定になります。CF フラグを使用する場合は、使用前に必ず分周回路をリセットしてください。

AF フラグは、アラームレジスタとカウンタに値がセットされるまでは不定になります。AF フラグを使用する場合には、使用前に必ずアラームレジスタとカウンタを設定してください。

ビット:	7	6	5	4	3	2	1	0
	CF	-	-	CIE	AIE	-	-	AF
初期値:	不定	0	0	0	0	0	0	不定
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	桁上げフラグ このフラグが 1 にセットされた場合、秒カウンタ桁上げ、または 64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。 0: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし [クリア条件] CF に 0 を書き込んだとき 1: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり [セット条件] 秒カウンタ桁上げまたは 64Hz カウンタ桁上げ時の読み出し時の 64Hz カウンタ桁上げあり、または CF に 1 を書き込んだとき

ビット	ビット名	初期値	R/W	説 明
6、5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ 桁上げフラグ (CF) が1にセットされているとき、割り込み発生を許可するビットです。 0: CF フラグが1にセットされたとき、桁上げ割り込みを発生させない 1: CF フラグが1にセットされたとき、桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ アラームフラグ (AF) が1にセットされているとき、割り込み発生を許可するビットです。 0: AF フラグが1にセットされたとき、アラーム割り込みを発生させない 1: AF フラグが1にセットされたとき、アラーム割り込みを発生させる
2、1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	AF	不定	R/W	アラームフラグ アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAR) で設定したアラーム時刻 (ENB ビットを1に設定したレジスタのみ) とカウンタが一致したとき1にセットされるフラグです。 0: アラームレジスタとカウンタは不一致 [クリア条件] AF に0を書き込んだとき 1: アラームレジスタとカウンタは一致* [セット条件] アラームレジスタ (ENB ビットを1に設定したレジスタのみ) とカウンタが一致したとき 【注】*1を書き込むと、元の値が保持されます。

15.3.17 コントロールレジスタ 2 (RCR2)

RCR2 は、周期割り込み制御、30 秒調整、分周回路リセット、カウント制御に関するレジスタです。

パワーオンリセットおよびディープスタンバイモード時は初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。

ビット：	7	6	5	4	3	2	1	0
	PEF	PES[2:0]			RTCEN	ADJ	RESET	START
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PEF	0	R/W	周期割り込みフラグ PES2 ~ PES0 ビットで設定された周期で割り込み発生を示すフラグです。 このフラグが 1 にセットされた場合、周期割り込みを発生します。 0 : PES2 ~ PES0 ビットで設定された周期で割り込み発生なし [クリア条件] PEF に 0 を書き込んだとき 1 : PES2 ~ PES0 ビットで設定された周期で割り込み発生あり [セット条件] PES2 ~ PES0 ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき
6~4	PES[2:0]	000	R/W	割り込みイネーブルフラグ 周期割り込みの周期を設定します。 000 : 周期割り込み発生なし 001 : 設定禁止 010 : 周期割り込み発生の周期を 1/64 秒ごとにする 011 : 周期割り込み発生の周期を 1/16 秒ごとにする 100 : 周期割り込み発生の周期を 1/4 秒ごとにする 101 : 周期割り込み発生の周期を 1/2 秒ごとにする 110 : 周期割り込み発生の周期を 1 秒ごとにする 111 : 周期割り込み発生の周期を 2 秒ごとにする
3	RTCEN	1	R/W	RTC_X1 クロック制御 RTC_X1 端子の機能を制御します。 0 : 内蔵水晶発振器を停止 / 外部クロック入力禁止 1 : 内蔵水晶発振器を動作 / 外部クロック入力許可

ビット	ビット名	初期値	R/W	説 明
2	ADJ	0	R/W	30 秒調整 30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路（プリスケラおよび R64CNT）も同時にリセットされます。自動的にこの ADJ ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0：通常の時計動作 1：30 秒の調整を行う
1	RESET	0	R/W	リセット 1 を書き込むことによって、分周回路および R64CNT レジスタ、アラームレジスタ、RCR3 レジスタ、RCR1 レジスタの CF、AF ビット、RCR2 レジスタの PEF ビットが初期化されます。なお、1 が書き込まれた場合、上記レジスタがリセットされた後、自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0：通常の時計動作 1：分周回路をリセット
0	START	1	R/W	START ビット カウンタ（時計）動作を停止させたり、再起動をかけるビットです。 0：秒、分、時、日、曜日、月、年カウンタは停止 1：秒、分、時、日、曜日、月、年カウンタは通常動作

15.3.18 コントロールレジスタ 3 (RCR3)

RCR3 は、ENB ビットが 1 にセットされていると、RYRCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

ビット：	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	-	-	-
初期値：	不定	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RYRCNT の値と比較を行います。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

15.3.19 コントロールレジスタ 5 (RCR5)

RCR5のRCKSEL[1:0]ビットが00にセットされていると、RTC_X1クロックを使用して時計のカウント動作を行い、RCKSEL[1:0]ビットが01にセットされていると、EXTALクロックを使用して時計のカウント動作を行います。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RCKSEL[1:0]	
初期値:	0	0	0	0	0	0	不定	不定
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	RCKSEL[1:0]	不定	R/W	動作クロック選択ビット 動作クロックを、RTC_X1、EXTALを選択することが可能です。なお、動作中にRCKSEL[1:0]の切り換えは行わないでください。 00: RTC_X1を選択 01: EXTALを選択 10: 設定禁止 11: 設定禁止

15.3.20 周波数レジスタ H/L (RFRH/L)

RFRH/Lは、読み出し/書き込み可能なレジスタで、16ビットで構成されています。

RFC[18:0]には、EXTALクロックで動作時、128Hzのクロックを作るための「周波数比較値」を設定します。「周波数比較値」は、EXTALクロック周波数により、値を変更してください。計算方法は下記を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SEL64	-	-	-	-	-	-	-	-	-	-	-	-	RFC[18:16]		
初期値:	不定	0	0	0	0	0	0	0	0	0	0	0	0	不定	不定	不定
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	SEL64	不定	R/W	64分周選択 EXTALクロック周波数が128Hzでは割り切れないが、64Hzで割り切れる場合の動作クロックであることを示します。 0: EXTALクロック周波数が128Hzで割り切れる 1: EXTALクロック周波数が128Hzでは割り切れないが、64Hzで割り切れる

ビット	ビット名	初期値	R/W	説明
30~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~0	RFC[18:0]	不定	R/W	周波数比較値 EXTAL クロックから、動作クロックを作成するために、比較値を設定します。

(1) 「周波数比較値」計算方法

- EXTALクロック周波数が128Hzで割り切れる場合

$$\text{RFC}[18:0] = (\text{EXTALクロック周波数}) \div 128$$

SEL64ビットを0に設定してください。

- EXTALクロック周波数が128Hzでは割り切れないが、64Hzで割り切れる場合

$$\text{RFC}[18:0] = (\text{EXTALクロック周波数}) \div 64$$

SEL64ビットを1に設定してください。

(2) 設定例

表 15.3 設定例

クロック周波数		SEL64 設定値	RFC 設定値
EXTAL	10MHz	0	H'1312D
	11MHz	1	H'29F63
	12MHz	0	H'16E36
	13MHz	1	H'31975

15.4 動作説明

本モジュールの使用例を示します。

15.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

15.4.2 時刻設定手順

時刻設定手順例を図 15.2 に示します。

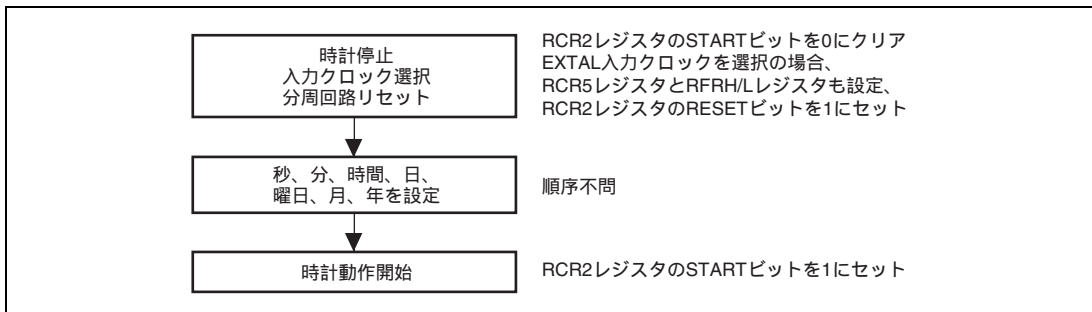


図 15.2 時刻設定手順

15.4.3 時刻読み出し手順

時刻読み出し手順を図 15.3 に示します。

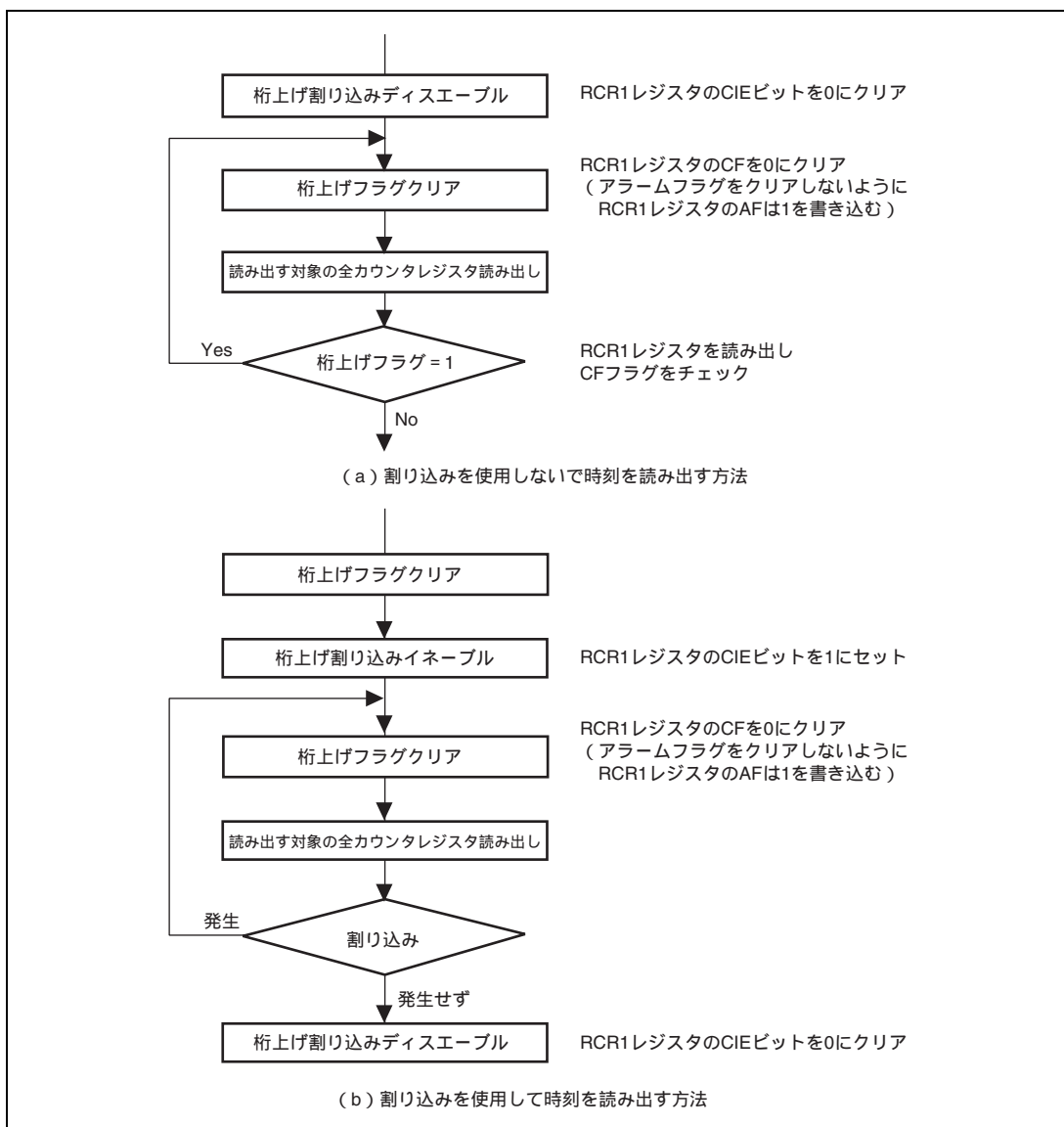


図 15.3 時刻読み出し手順

時刻読み出し中に桁上げが起ると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 15.3 の (a) に、桁上げ割り込みを使用する方法を図 15.3 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

15.4.4 アラーム機能

アラーム機能の使用例を図 15.4 に示します。

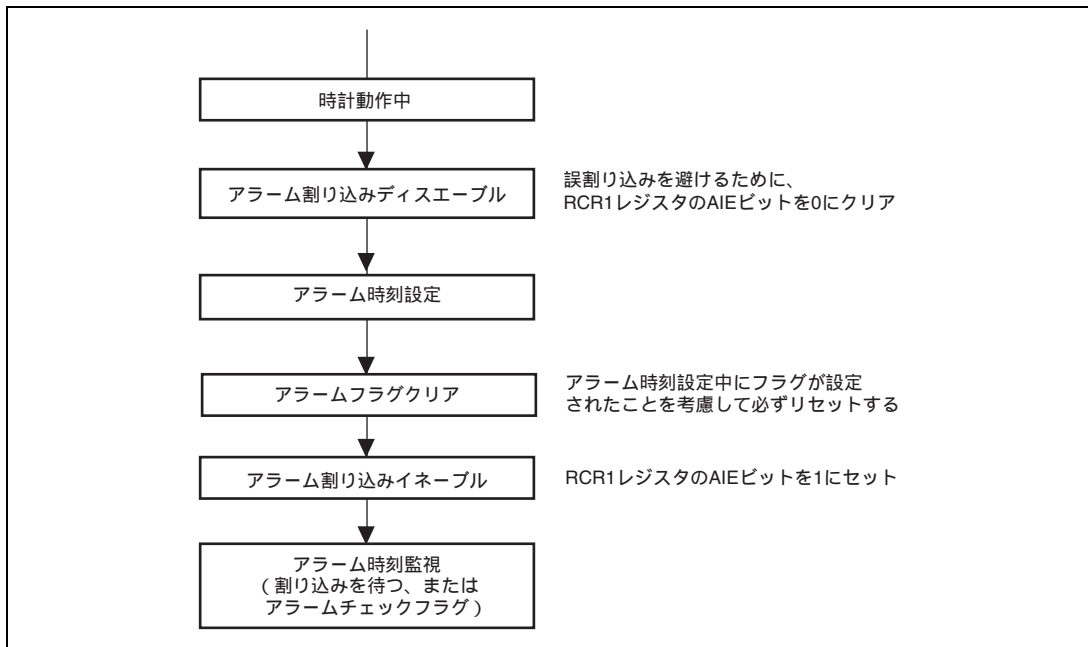


図 15.4 アラーム機能の使用法

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENBビットに0を書き込みます。

カウンタとアラーム時刻が一致した場合は、RCR1レジスタのAFビットに1がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1レジスタのAIEビットに1が書き込まれている場合、アラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致しているとセットされます。しかし、アラームフラグに0を書き込むとクリアされます。

15.5 使用上の注意事項

15.5.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2 レジスタの START ビット = 1 のとき) は、以下のレジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCONT

上記のレジスタへ書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

15.5.2 リアルタイムクロックの周期割り込みの使用について

周期割り込みの使用方法を図 15.5 に示します。

周期割り込みは、RCR2 レジスタの PES[2:0] ビットで設定した周期で定期的に割り込みを発生させることができます。PES[2:0] ビットで設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES[2:0] ビット設定時および周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

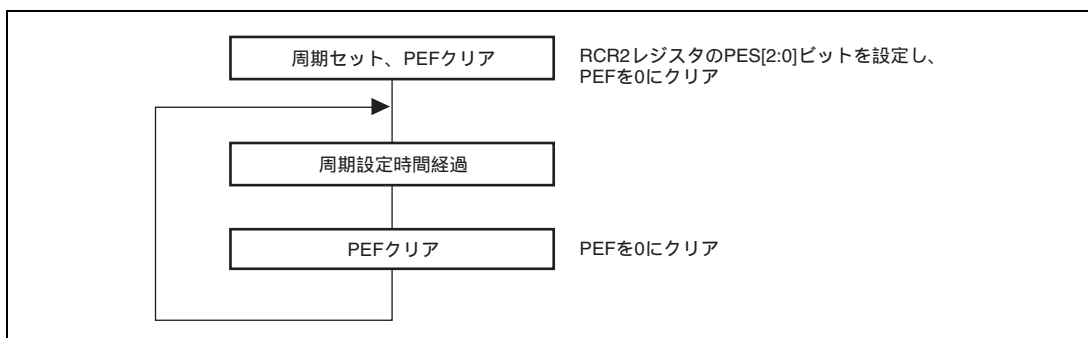


図 15.5 周期割り込み機能の使用方法

15.5.3 レジスタ設定後のスタンバイ遷移について

本モジュール内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、設定したレジスタのダミーリードを行ってからスタンバイ状態に遷移してください。

15.5.4 レジスタ書き込み / 読み出し時の注意事項

- 秒カウンタなどカウントレジスタおよびRCR2レジスタの書き込み後の読み出しは、ダミーリードを2回行った後にリードしてください。2回のダミーリードでは、書き込み前の値が読み出せます。3回目のリードで書き込み値が反映されます。
- 上記以外のレジスタは、書き込み直後の読み出しで書き込み値が反映されます。

16. FIFO 内蔵シリアルコミュニケーション インタフェース

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする 8 チャンネルの FIFO 内蔵シリアルコミュニケーションインタフェースを備えています。また、各チャンネルとも独立に送信 / 受信用に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

16.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビットまたは 8 ビット

ストップビット長 : 1 ビットまたは 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークが検出されます。またフレーミングエラー発生時に RxD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっているので、シリアルデータの高速連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース
ポーレートジェネレータ（内部クロック）、またはSCK端子（外部クロック）から選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ割り込み、ブレーク割り込み、受信FIFOデータフル割り込み、および受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- 本モジュールを使用しないときは、消費電力低減のため本モジュールに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいて、モデムコントロール機能（ $\overline{\text{RTS}}$ および $\overline{\text{CTS}}$ ）を内蔵（SH7268ではチャンネル1のみ、SH7269ではチャンネル1、5、7のみ）
- 送信、および受信FIFOデータレジスタのデータ数、および受信FIFOデータレジスタの受信データの受信エラー数を検出できます。
- 調歩同期式モード受信時、タイムアウトエラー（DR）を検出できます。
- 調歩同期式モードにおいて、ビットレートの16/8倍の基本クロックでの動作を選択可能
- 調歩同期式モード、クロックソースが内部クロック / SCK端子は入力端子において、ポーレートジェネレータ通常 / 倍速モード選択可能

図 16.1 にブロック図を示します。ただし、 $\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$ 端子のないチャンネルがあります。

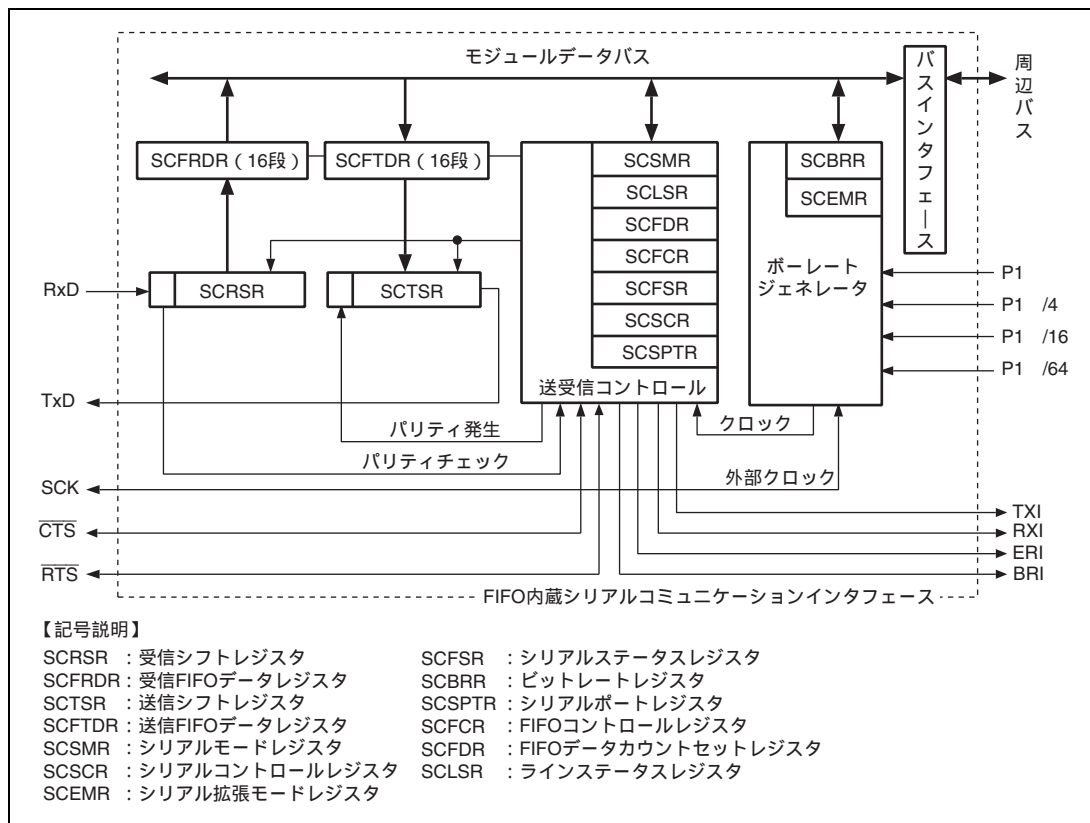


図 16.1 ブロック図

16.2 入出力端子

表 16.1 に端子構成を示します。

表 16.1 端子構成

チャンネル	名称	端子名	入出力	機能
0~7	シリアルクロック端子	SCK0 ~ SCK7	入出力	クロック入出力
	受信データ端子	RxD0 ~ RxD7	入力	受信データ入力
	送信データ端子	TxD0 ~ TxD7	出力	送信データ出力
1, 5, 7	リクエストツースェンド端子	RTS1, RTS5*, RTS7*	入出力	リクエストツースェンド
	クリアツースェンド端子	$\overline{\text{CTS1}}$, $\overline{\text{CTS5}}$ *, $\overline{\text{CTS7}}$ *	入出力	クリアツースェンド

【注】 * SH7268 では、 $\overline{\text{RTS5}}$ 端子、 $\overline{\text{CTS5}}$ 端子、 $\overline{\text{RTS7}}$ 端子と $\overline{\text{CTS7}}$ 端子は使用できません。

16.3 レジスタの説明

表 16.2 にレジスタ構成を示します。

表 16.2 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'0000	H'E8007000	16
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FF	H'E8007004	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'0000	H'E8007008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	W	不定	H'E800700C	8
	シリアルステータスレジスタ_0	SCFSR_0	R/(W)* ¹	H'0060	H'E8007010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	R	不定	H'E8007014	8
	FIFO コントロールレジスタ_0	SCFCR_0	R/W	H'0000	H'E8007018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	R	H'0000	H'E800701C	16
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0050	H'E8007020	16
	ラインステータスレジスタ_0	SCLSR_0	R/(W)* ²	H'0000	H'E8007024	16
	シリアル拡張モードレジスタ_0	SCEMR_0	R/W	H'0000	H'E8007028	16
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'0000	H'E8007800	16
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FF	H'E8007804	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'0000	H'E8007808	16
	送信 FIFO データレジスタ_1	SCFTDR_1	W	不定	H'E800780C	8
	シリアルステータスレジスタ_1	SCFSR_1	R/(W)* ¹	H'0060	H'E8007810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	R	不定	H'E8007814	8
	FIFO コントロールレジスタ_1	SCFCR_1	R/W	H'0000	H'E8007818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	R	H'0000	H'E800781C	16
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0050	H'E8007820	16
	ラインステータスレジスタ_1	SCLSR_1	R/(W)* ²	H'0000	H'E8007824	16
	シリアル拡張モードレジスタ_1	SCEMR_1	R/W	H'0000	H'E8007828	16
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'0000	H'E8008000	16
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FF	H'E8008004	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'0000	H'E8008008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	W	不定	H'E800800C	8
	シリアルステータスレジスタ_2	SCFSR_2	R/(W)* ¹	H'0060	H'E8008010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	R	不定	H'E8008014	8
	FIFO コントロールレジスタ_2	SCFCR_2	R/W	H'0000	H'E8008018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	R	H'0000	H'E800801C	16
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0050	H'E8008020	16

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	ラインステータスレジスタ_2	SCLSR_2	R/(W)* ²	H'0000	H'E8008024	16
	シリアル拡張モードレジスタ_2	SCEMR_2	R/W	H'0000	H'E8008028	16
3	シリアルモードレジスタ_3	SCSMR_3	R/W	H'0000	H'E8008800	16
	ビットレートレジスタ_3	SCBRR_3	R/W	H'FF	H'E8008804	8
	シリアルコントロールレジスタ_3	SCSCR_3	R/W	H'0000	H'E8008808	16
	送信 FIFO データレジスタ_3	SCFTDR_3	W	不定	H'E800880C	8
	シリアルステータスレジスタ_3	SCFSR_3	R/(W)* ¹	H'0060	H'E8008810	16
	受信 FIFO データレジスタ_3	SCFRDR_3	R	不定	H'E8008814	8
	FIFO コントロールレジスタ_3	SCFCR_3	R/W	H'0000	H'E8008818	16
	FIFO データカウントセットレジスタ_3	SCFDR_3	R	H'0000	H'E800881C	16
	シリアルポートレジスタ_3	SCSPTR_3	R/W	H'0050	H'E8008820	16
	ラインステータスレジスタ_3	SCLSR_3	R/(W)* ²	H'0000	H'E8008824	16
	シリアル拡張モードレジスタ_3	SCEMR_3	R/W	H'0000	H'E8008828	16
	4	シリアルモードレジスタ_4	SCSMR_4	R/W	H'0000	H'E8009000
ビットレートレジスタ_4		SCBRR_4	R/W	H'FF	H'E8009004	8
シリアルコントロールレジスタ_4		SCSCR_4	R/W	H'0000	H'E8009008	16
送信 FIFO データレジスタ_4		SCFTDR_4	W	不定	H'E800900C	8
シリアルステータスレジスタ_4		SCFSR_4	R/(W)* ¹	H'0060	H'E8009010	16
受信 FIFO データレジスタ_4		SCFRDR_4	R	不定	H'E8009014	8
FIFO コントロールレジスタ_4		SCFCR_4	R/W	H'0000	H'E8009018	16
FIFO データカウントセットレジスタ_4		SCFDR_4	R	H'0000	H'E800901C	16
シリアルポートレジスタ_4		SCSPTR_4	R/W	H'0050	H'E8009020	16
ラインステータスレジスタ_4		SCLSR_4	R/(W)* ²	H'0000	H'E8009024	16
シリアル拡張モードレジスタ_4		SCEMR_4	R/W	H'0000	H'E8009028	16
5		シリアルモードレジスタ_5	SCSMR_5	R/W	H'0000	H'E8009800
	ビットレートレジスタ_5	SCBRR_5	R/W	H'FF	H'E8009804	8
	シリアルコントロールレジスタ_5	SCSCR_5	R/W	H'0000	H'E8009808	16
	送信 FIFO データレジスタ_5	SCFTDR_5	W	不定	H'E800980C	8
	シリアルステータスレジスタ_5	SCFSR_5	R/(W)* ¹	H'0060	H'E8009810	16
	受信 FIFO データレジスタ_5	SCFRDR_5	R	不定	H'E8009814	8
	FIFO コントロールレジスタ_5	SCFCR_5	R/W	H'0000	H'E8009818	16
	FIFO データカウントセットレジスタ_5	SCFDR_5	R	H'0000	H'E800981C	16
	シリアルポートレジスタ_5	SCSPTR_5	R/W	H'0050	H'E8009820	16
	ラインステータスレジスタ_5	SCLSR_5	R/(W)* ²	H'0000	H'E8009824	16
	シリアル拡張モードレジスタ_5	SCEMR_5	R/W	H'0000	H'E8009828	16

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
6	シリアルモードレジスタ_6	SCSMR_6	R/W	H'0000	H'E800A000	16
	ビットレートレジスタ_6	SCBRR_6	R/W	H'FF	H'E800A004	8
	シリアルコントロールレジスタ_6	SCSCR_6	R/W	H'0000	H'E800A008	16
	送信 FIFO データレジスタ_6	SCFTDR_6	W	不定	H'E800A00C	8
	シリアルステータスレジスタ_6	SCFSR_6	R/(W)* ¹	H'0060	H'E800A010	16
	受信 FIFO データレジスタ_6	SCFRDR_6	R	不定	H'E800A014	8
	FIFO コントロールレジスタ_6	SCFCR_6	R/W	H'0000	H'E800A018	16
	FIFO データカウントセットレジスタ_6	SCFDR_6	R	H'0000	H'E800A01C	16
	シリアルポートレジスタ_6	SCSPTR_6	R/W	H'0050	H'E800A020	16
	ラインステータスレジスタ_6	SCLSR_6	R/(W)* ²	H'0000	H'E800A024	16
	シリアル拡張モードレジスタ_6	SCEMR_6	R/W	H'0000	H'E800A028	16
7	シリアルモードレジスタ_7	SCSMR_7	R/W	H'0000	H'E800A800	16
	ビットレートレジスタ_7	SCBRR_7	R/W	H'FF	H'E800A804	8
	シリアルコントロールレジスタ_7	SCSCR_7	R/W	H'0000	H'E800A808	16
	送信 FIFO データレジスタ_7	SCFTDR_7	W	不定	H'E800A80C	8
	シリアルステータスレジスタ_7	SCFSR_7	R/(W)* ¹	H'0060	H'E800A810	16
	受信 FIFO データレジスタ_7	SCFRDR_7	R	不定	H'E800A814	8
	FIFO コントロールレジスタ_7	SCFCR_7	R/W	H'0000	H'E800A818	16
	FIFO データカウントセットレジスタ_7	SCFDR_7	R	H'0000	H'E800A81C	16
	シリアルポートレジスタ_7	SCSPTR_7	R/W	H'0050	H'E800A820	16
	ラインステータスレジスタ_7	SCLSR_7	R/(W)* ²	H'0000	H'E800A824	16
	シリアル拡張モードレジスタ_7	SCEMR_7	R/W	H'0000	H'E800A828	16

【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～8、3、2 は読み出し専用であり書き込むことはできません。

*2 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～1 は読み出し専用であり書き込むことはできません。

16.3.1 受信シフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に受信 FIFO データレジスタ (SCFRDR) へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	-	-	-	-	-	-	-	-									
R/W:	-	-	-	-	-	-	-	-									

16.3.2 受信 FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 段 FIFO レジスタです。1 バイトのシリアルデータの受信が終了すると、受信シフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

SCFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	-	-	-	-	-	-	-	-									
R/W:	R	R	R	R	R	R	R	R									

16.3.3 送信シフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。送信 FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

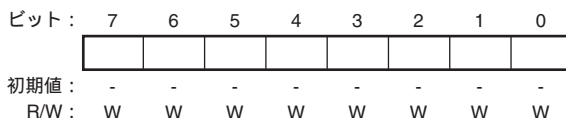
CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	-	-	-	-	-	-	-	-									
R/W:	-	-	-	-	-	-	-	-									

16.3.4 送信 FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。送信シフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は常に CPU による書き込みが可能です。

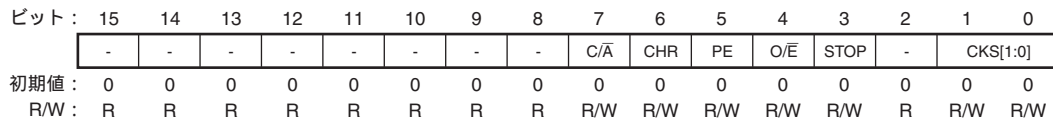
SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。



16.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、シリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するためのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。



ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード 動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0: 8 ビットデータ 1: 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、送信 FIFO データレジスタの MSB (ビット 7) は送信されません。

ビット	ビット名	初期値	R/W	説 明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると、送信時には O/E ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0 : 偶数パリティ*¹ 1 : 奇数パリティ*²</p> <p>【注】 *1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>0 : 1ストップビット 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>1 : 2ストップビット 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータの内部クロックソースを選択します。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「16.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00 : P1 クロック 01 : P1 /4 クロック 10 : P1 /16 クロック 11 : P1 /64 クロック</p> <p>【注】P1 : 周辺クロック</p>

16.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	-	CKE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	送信インタラプトイネーブル 送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) へシリアル送信データが転送され、送信 FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンpty割り込み (TXI) 要求の発生を許可 / 禁止します。 0: 送信 FIFO データエンpty割り込み (TXI) 要求を禁止 1: 送信 FIFO データエンpty割り込み (TXI) 要求を許可* 【注】* TXI の解除は、SCFTDR に指定した送信トリガ数より多い送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。
6	RIE	0	R/W	受信インタラプトイネーブル シリアルステータスレジスタ (SCFSR) の RDF フラグまたは DR フラグが 1 にセットされたときの受信 FIFO データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、および SCFSR の BRK フラグまたはラインステータスレジスタ (SCLSR) の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可 / 禁止します。 0: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を禁止 1: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を許可* 【注】* RXI 割り込み要求の解除は、DR または RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。 ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

ビット	ビット名	初期値	R/W	説 明
5	TE	0	R/W	<p>送信イネーブル</p> <p>シリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* この状態で SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR および SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>受信イネーブル</p> <p>シリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*¹</p> <p>1 : 受信動作を許可*²</p> <p>【注】*¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロックをそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>受信エラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可*</p> <p>【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説 明
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>クロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE[1:0]によって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期モードで同期クロック出力に設定する場合は、SCSMR の C/\bar{A} ビットを 1 に設定してから CKE[1:0]を設定してください。</p> <ul style="list-style-type: none"> • 調歩同期モード <ul style="list-style-type: none"> 00 : 内部クロック / SCK 端子は入力端子 (入力信号は無視) 01 : 内部クロック / SCK 端子はクロック出力 (ビットレートの 16/8 倍の周波数のクロックを出力) 10 : 外部クロック / SCK 端子はクロック入力 (ビットレートの 16/8 倍の周波数のクロックを入力) 11 : 設定禁止 • クロック同期モード <ul style="list-style-type: none"> 00 : 内部クロック / SCK 端子は同期クロック出力 01 : 内部クロック / SCK 端子は同期クロック出力 10 : 外部クロック / SCK 端子は同期クロック入力 11 : 設定禁止

16.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は、16 ビットのレジスタです。上位 8 ビットは受信 FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し / 書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。さらに、PER フラグ (ビット 15~12、2)、FER フラグ (ビット 11~8、3) は読み出し専用であり、書き込むことはできません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER[3:0]				FER[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値 :	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15～12	PER[3:0]	0000	R	<p>パリティエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 15～12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER[3:0]は 0000 を表示します。</p>
11～8	FER[3:0]	0000	R	<p>フレーミングエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 11～8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER[3:0]は 0000 を表示します。</p>
7	ER	0	R(W)*	<p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*¹</p> <p>0 : 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ER=1 の状態を読み出した後、0 を書き込んだとき <p>1 : 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1 回のデータ受信の終わりで受信データの最後のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 の場合*² • 受信時の受信データとパリティビットを合わせた 1 の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき <p>【注】*¹ SCSCR の RE ビットを 0 にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCFRDR から読み出したデータに受信エラーが含まれるかどうかは、SCFSR の FER ビットと PER ビットで判定できます。</p> <p>*² 2 ストップモードのときは第 1 ストップビットのみチェックされ、第 2 ストップビットはチェックされません。</p>

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/(W)*	<p>送信エンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCFTDR へ送信データを書き込み、TEND=1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき*1 <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に SCFTDR に送信データがないとき <p>【注】*1 TXI 割り込み要求によりダイレクトメモリアクセスコントローラで SCFTDR へデータのライトを行った場合、送信終了フラグとして使用しないでください。</p>
5	TDFE	1	R/(W)*	<p>送信 FIFO データエンプティ</p> <p>送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0]で指定した送信トリガデータ数より少なくなり、SCFTDR への送信データの書き込みが許可されることを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータを SCFTDR に書き込み、TDFE に 0 を書き込んだとき 送信 FIFO データエンプティ割り込み (TXI) によりダイレクトメモリアクセスコントローラを起動し、指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを*1を表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】*1 SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットで示されます。</p>

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/(W)*	<p>ブレーク検出</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0: ブレーク信号なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • BRK=1の状態を読み出した後、BRK フラグに 0 を書き込んだとき <p>1: ブレーク信号を受信*1</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】*1 ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると、受信データの転送が再開します。</p>
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

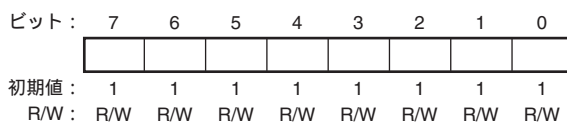
ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>受信 FIFO データフル</p> <p>受信データが受信 FIFO データレジスタ (SCFRDR) に転送され、SCFRDR のデータ数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0]で指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SCFRDR の書き込まれた受信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • RDF = 1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき • 受信 FIFO データフル割り込み (RXI) によりダイレクトメモリアクセスコントローラを起動し、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数以上の受信データ数が SCFRDR に格納されるとき*1 <p>【注】*1 SCFRDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR の受信データ数は SCFRDR の下位 8 ビットで示されます。</p>
0	DR	0	R/(W)*	<p>受信データレディ</p> <p>調歩同期モードで、受信 FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • DR=1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • 受信 FIFO データフル割り込み (RXI) によりダイレクトメモリアクセスコントローラを起動し、SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが受信されていないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過*1後も次のデータが受信されないとき <p>【注】*1 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

16.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS[1:0]、シリアル拡張モードレジスタ (SCEMR) の BGDM ビットおよび ABCS ビットとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、8 つのチャンネルにはそれぞれ異なる値を設定することができます。



SCBRR の設定値は以下の計算式で求められます。

【調歩同期式モード】

- ボーレートジェネレータ通常モード (SCEMRのBGDM = 0)

$$N = (P1 / (64 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの16倍の基本クロックで動作時)

$$N = (P1 / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの8倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCEMRのBGDM = 1)

$$N = (P1 / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの16倍の基本クロックで動作時)

$$N = (P1 / (16 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの8倍の基本クロックで動作時)

【クロック同期式モード】

$$N = \frac{P1}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)

(電気的特性を満足する設定値としてください)

P1 : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n = 0, 1, 2, 3)

(n とクロックの関係は、表 16.3 を参照してください)

表 16.3 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS[1]	CKS[0]
0	P1	0	0
1	P1 /4	0	1
2	P1 /16	1	0
3	P1 /64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード (SCEMRのBGDM = 0)

$$\text{誤差 (\%)} = \{ ((P1 \times 10^6) / ((N+1) \times B \times 64 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ ((P1 \times 10^6) / ((N+1) \times B \times 32 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCEMRのBGDM = 1)

$$\text{誤差 (\%)} = \{ ((P1 \times 10^6) / ((N+1) \times B \times 32 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ ((P1 \times 10^6) / ((N+1) \times B \times 16 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

表 16.4 にボーレートジェネレータ通常モード (SCEMR の BGDM=0)、16 倍の基本クロック動作 (SCEMR の ABCS=0) のとき、調歩同期式モードの SCBRR の設定例を示します。また、表 16.5 にクロック同期式モードの SCBRR の設定例を示します。

表 16.4 ビットレートに対する SCBRR の設定例 [調歩同期式モード、BGDM=0、ABCS=0]

ビットレ ート (bit/s)	P1 (MHz)								
	50			60			66.67		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	221	-0.02						
150	3	162	-0.15	3	194	0.16	3	216	0.01
300	3	80	0.47	3	97	-0.35	3	108	-0.45
600	2	162	-0.15	2	194	0.16	2	216	0.01
1200	2	80	0.47	2	97	-0.35	2	108	-0.45
2400	1	162	-0.15	1	194	0.16	1	216	0.01
4800	1	80	0.47	1	97	-0.35	1	108	-0.45
9600	0	162	-0.15	0	194	0.16	0	216	0.01
19200	0	80	0.47	0	97	-0.35	0	108	-0.45
31250	0	49	0.00	0	59	0.00	0	66	-0.50
38400	0	40	-0.76	0	48	-0.35	0	53	0.47

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差が出ます。

表 16.5 ビットレートに対する SCBRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	P1 (MHz)					
	50		60		66.67	
	n	N	n	N	n	N
500	-	-				
1000	3	194	3	233	-	-
2500	3	77	3	93	3	103
5000	2	155	2	187	2	207
10000	2	77	2	93	2	103
25000	1	124	1	149	1	166
50000	1	62	1	74	1	82
100000	0	124	0	149	0	166
250000	0	49	0	59	0	66
500000	0	24	0	29	-	-
1000000	-	-	0	14	-	-
2000000	-	-	-	-	-	-

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差が出ます。

表 16.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 16.7 に外部クロック入力における調歩同期式モードの最大ビットレート、表 16.8 に外部クロック入力 ($t_{\text{scyc}} = 12t_{\text{pcyc}}$ 時*) におけるクロック同期式モードの最大ビットレートを示します。

【注】 * 本 LSI と通信相手先の電気的特性を満足することを確認してください。

表 16.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

P1 (MHz)	設定値				最大ビットレート (bit/s)
	BGDM	ABCS	n	N	
50	0	0	0	0	1562500
		1	0	0	3125000
	1	0	0	0	3125000
		1	0	0	6250000
60	0	0	0	0	1875000
		1	0	0	3750000
	1	0	0	0	3750000
		1	0	0	7500000
66.67	0	0	0	0	2083333
		1	0	0	4166667
	1	0	0	0	4166667
		1	0	0	8333333

表 16.7 外部クロック入力時の最大ビットレート（調歩同期式モード）

P1 (MHz)	外部入力クロック (MHz)	設定値	最大ビットレート (bit/s)
		ABCS	
50	12.5000	0	781250
		1	1562500
60	15.0000	0	937500
		1	1875000
66.67	16.6667	0	1041667
		1	2083333

表 16.8 外部クロック入力時の最大ビットレート（クロック同期式モード、 $t_{\text{sync}} = 12t_{\text{pclk}}$ 時）

P1 (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
50	4.1667	4166666.7
60	5.0000	5000000.0
66.67	5.5556	5555555.5

16.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、送信 FIFO データレジスタおよび受信 FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RSTRG[2:0]			RTRG[1:0]		TTRG[1:0]		MCE	TFRST	FRFRST	LOOP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	RSTRG[2:0]	000	R/W	RTS 出力アクティブトリガ 受信 FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、 $\overline{\text{RTS}}$ 信号はハイレベルになります。 000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14

ビット	ビット名	初期値	R/W	説明
7、6	RTRG[1:0]	00	R/W	<p>受信 FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。受信 FIFO データレジスタ (SCFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。</p> <ul style="list-style-type: none"> • 調歩同期式モード <ul style="list-style-type: none"> 00 : 1 01 : 4 10 : 8 11 : 14 • クロック同期式モード <ul style="list-style-type: none"> 00 : 1 01 : 2 10 : 8 11 : 14 <p>【注】クロック同期式モードのとき、ダイレクトメモリアクセスコントローラにより受信データを転送する場合、受信トリガ数を 1 に設定してください。1 以外に設定した場合、CPU により SCFRDR に残っている受信データを読み出す必要があります。</p>
5、4	TTRG[1:0]	00	R/W	<p>送信 FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。送信 FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは 1 にセットされます。</p> <ul style="list-style-type: none"> 00 : 8 (8) * 01 : 4 (12) * 10 : 2 (14) * 11 : 0 (16) * <p>【注】* () 内の数値は TDFE フラグが 1 にセットされるとき SCFTDR レジスタの空きバイト数を意味します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を許可 / 禁止します。</p> <p>SH7268 ではチャンネル 0、2~7、SH7269 ではチャンネル 0、2、3、4、6、クロック同期モードでは MCE を常に 0 にしてください。</p> <ul style="list-style-type: none"> 0 : モデム信号を禁止* 1 : モデム信号を許可 <p>【注】* 入力値に関係なく $\overline{\text{CTS}}$ はアクティブ 0 に固定され、$\overline{\text{RTS}}$ も 0 に固定されます。</p>

ビット	ビット名	初期値	R/W	説 明
2	TFRST	0	R/W	送信 FIFO データレジスタリセット 送信 FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】* パワーオンリセット時にはリセット動作が行われます。
1	RFRST	0	R/W	受信 FIFO データレジスタリセット 受信 FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】* パワーオンリセット時にはリセット動作が行われます。
0	LOOP	0	R/W	ループバックテスト 送信出力端子 (TxD) と受信入力端子 (RxD)、 $\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続しループバックテストを許可します。 0: ループバックテストを禁止 1: ループバックテストを許可

16.3.10 FIFO データカウントセットレジスタ (SCFDR)

SCFDR は、送信 FIFO データレジスタ (SCFTDR) と受信 FIFO データレジスタ (SCFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU から読み出しが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	T[4:0]				-	-	-	R[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	T[4:0]	00000	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	R[4:0]	00000	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR に格納されていることを示します。

16.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、本モジュールの端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 7、6 で $\overline{\text{RTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 5、4 で $\overline{\text{CTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 3、2 で SCK 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。

SCSPTR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO	0	R/W	RTS ポート入出力 シリアルポートの $\overline{\text{RTS}}$ 端子の入出力を指定します。実際に $\overline{\text{RTS}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力しない 1: $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力する
6	RTSDT	1	R/W	RTS ポートデータ シリアルポートの $\overline{\text{RTS}}$ 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が $\overline{\text{RTS}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{RTS}}$ 端子の値が読み出されます。ただし PFC で $\overline{\text{RTS}}$ 入出力に設定しておく必要があります。 0: 入出力データがローレベル 1: 入出力データがハイレベル
5	CTSIO	0	R/W	$\overline{\text{CTS}}$ ポート入出力 シリアルポートの $\overline{\text{CTS}}$ 端子の入出力を指定します。実際に $\overline{\text{CTS}}$ 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力しない 1: $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力する

ビット	ビット名	初期値	R/W	説明
4	CTS $\overline{\text{SDT}}$	1	R/W	<p>$\overline{\text{CTS}}$ ポートデータ</p> <p>シリアルポートの $\overline{\text{CTS}}$ 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTS$\overline{\text{SDT}}$ ビットの値が $\overline{\text{CTS}}$ 端子に出力されます。CTSIO ビットの値にかかわらず、CTS$\overline{\text{SDT}}$ ビットからは $\overline{\text{CTS}}$ 端子の値が読み出されます。ただし PFC で $\overline{\text{CTS}}$ 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
3	SCKIO	0	R/W	<p>SCK ポート入出力</p> <p>シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。</p> <p>0 : SCK 端子に SCKDT ビットの値を出力しない 1 : SCK 端子に SCKDT ビットの値を出力する</p>
2	SCKDT	0	R/W	<p>SCK ポートデータ</p> <p>シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし PFC で SCK 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
1	SPB2IO	0	R/W	<p>シリアルポートブ레이크入出力</p> <p>シリアルポートの Tx$\overline{\text{D}}$ 端子の出力条件を指定します。実際に Tx$\overline{\text{D}}$ 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。</p> <p>0 : Tx$\overline{\text{D}}$ 端子に SPB2DT ビットの値を出力しない 1 : Tx$\overline{\text{D}}$ 端子に SPB2DT ビットの値を出力する</p>
0	SPB2DT	0	R/W	<p>シリアルポートブ레이크データ</p> <p>シリアルポートの Rx$\overline{\text{D}}$ 端子の入力データおよび Tx$\overline{\text{D}}$ 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。Tx$\overline{\text{D}}$ 端子を出力に設定した場合、SPB2DT ビットの値が Tx$\overline{\text{D}}$ 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは Rx$\overline{\text{D}}$ 端子の値が読み出されます。ただし PFC で Rx$\overline{\text{D}}$ 入力、Tx$\overline{\text{D}}$ 出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>

16.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU から読み出し / 書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/(W)*	<p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ORER=1の状態を読み出した後、0を書き込んだとき <p>1: 受信時にオーバーランエラーが発生したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信 FIFO にいっぱい16バイトのデータが受信された状態で次のシリアル受信を完了したとき <p>【注】*¹ シリアルコントロールレジスタ(SCSCR)のREビットを0にクリアしたときには、ORERフラグは影響を受けず以前の状態を保持します。</p> <p>*² 受信 FIFO データレジスタ(SCFRDR)ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

16.3.13 シリアル拡張モードレジスタ (SCEMR)

SCEMR は、常に CPU から読み出し / 書き込みが可能です。BGDM ビットを 1 にセットすることにより、調歩同期式モード (SCSMR の $C/\bar{A}=0$) かつクロックソースを内部クロック / SCK 端子は入力端子 (SCSCR の $CKE[1:0]=00$) のとき、本モジュール内部のポーレートジェネレータが倍速モードで動作します。

また、ABCS ビットの設定を変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックを選択することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BGDM	-	-	-	-	-	-	ABCS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	BGDM	0	R/W	ポーレートジェネレータ倍速モード BGDM ビットを 1 にセットすると、本モジュール内部のポーレートジェネレータが倍速モードで動作します。BGDM の設定は、調歩同期式モード (SCSMR の $C/\bar{A}=0$) かつクロックソースを内部クロック / SCK 端子は入力端子 (SCSCR の $CKE[1:0]=00$) のときに有効です。上記設定以外のときは通常モードを使用してください。 0: 通常モード 1: 倍速モード
6~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ABCS	0	R/W	調歩同期式基本クロックセレクト 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。ABCS ビットの設定は、調歩同期式モード (SCSMR の $C/\bar{A}=0$) のとき有効です。 0: ビットレートの 16 倍の周波数の基本クロックで動作 1: ビットレートの 8 倍の周波数の基本クロックで動作

16.4 動作説明

16.4.1 概要

本モジュールは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。

送信 / 受信のそれぞれに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。さらに SH7268 ではチャンネル 1 に、SH7269 ではチャンネル 1、5、7 に、モデムコントロール信号として $\overline{\text{RTS}}$ 信号、 $\overline{\text{CTS}}$ 信号を用意しています。送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 16.9 に示します。また、クロックソースは、シリアルコントロールレジスタ (SCSCR) の $\text{CKE}[1:0]$ の組み合わせで決まります。これを表 16.10 に示します。

(1) 調歩同期式モード

- データ長：7ビット / 8ビットから選択可能
- パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、受信FIFOデータフル、オーバランエラー、受信データレディ、およびブレークの検出が可能
- 送受信FIFOレジスタそれぞれの格納データ数を表示
- クロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：ポーレートジェネレータのクロックで動作
外部クロックを選択した場合：ビットレートの16/8倍の周波数のクロックを入力することが必要
(内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

- 送信 / 受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- クロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：ポーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された外部同期クロックで動作

表 16.9 SCSMR の設定値と送信 / 受信フォーマット

SCSMR				モード	送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
	1	0	0		7 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビット	なし	なし

【記号説明】 x : Don't care

表 16.10 SCSMR、SCSCR の設定値とクロックソースの選択

SCSMR	SCSCR	モード	クロック ソース	SCK 端子の機能
ビット 7	ビット 1、0			
C/ \bar{A}	CKE[1:0]			
0	00	調歩同期式モード	内部	SCK 端子を使用しません
	01			ビットレートの 16/8 倍の周波数のクロックを出力
	10		外部	ビットレートの 16/8 倍の周波数のクロックを入力
	11		設定禁止	
1	0x	クロック同期式モード	内部	同期クロックを出力
	10		外部	同期クロックを入力
	11		設定禁止	

【記号説明】 x : Don't care

【注】 ボーレートジェネレータ倍速モード (BGDM = 1) を使用する際は、調歩同期式モード (C/ \bar{A} = 0) がクロックソースを内部クロック / SCK 端子を使用しない (CKE[1:0] = 00) 設定にしてください。

16.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

本モジュール内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO パツファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 16.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、受信時にスタートビットの立ち下がりエッジで同期化を行います。また、データを 1 ビット期間の 16/8 倍の周波数のクロックの 8/4 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

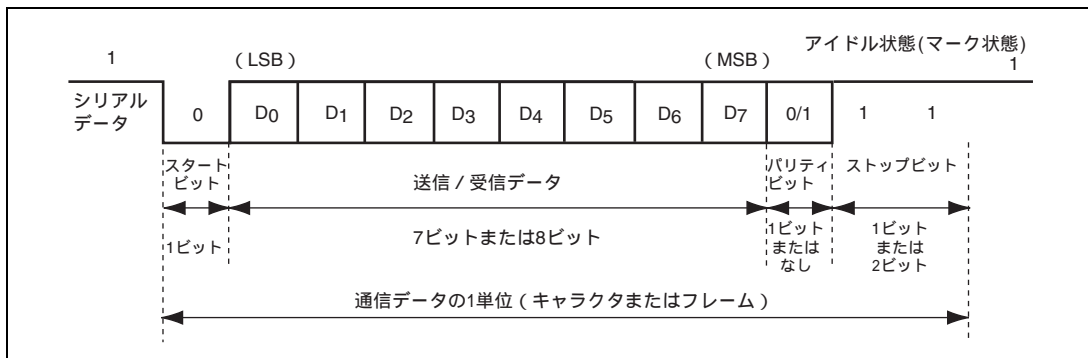


図 16.2 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 16.11 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 16.11 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
		1	START	8ビットデータ								STOP	STOP		
	1	0	START	8ビットデータ								P	STOP		
		1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
		1	START	7ビットデータ							STOP	STOP			
	1	0	START	7ビットデータ							P	STOP			
		1	START	7ビットデータ							P	STOP	STOP		

【記号説明】

START : スタートビット
 STOP : ストップビット
 P : パリティビット

(2) クロック

本モジュールの送受信クロックは、SCSMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR) の CKE[1:0]の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは SCK 端子から入力された外部クロックの 2 種類から選択できます。クロックソースの選択については表 16.10 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16/8 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16/8 倍の周波数です。

(3) データの送信 / 受信動作

• 初期化 (調歩同期モード)

データの送信 / 受信前には、まずシリアルコントロールレジスタ (SCSCR) のTEビットおよびREビットを0にクリアした後、以下の順で初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、必ずTEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、送信シフトレジスタ (SCTSR) は初期化されます。しかし、TEビットとREビットを0にクリアしても、シリアルステータスレジスタ (SCFSR)、送信FIFOデータレジスタ (SCFTDR)、受信FIFOデータレジスタ (SCFRDR) は初期化されず、それらの内容は保持されますのでご注意ください。TEビットの0クリアは、送信データをすべて送信し、SCFSRのTENDフラグがセットされた後に行ってください。TEビットは送信中でも0クリア可能ですが、送信データは0クリアした後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図16.3に初期化フローチャートの例を示します。

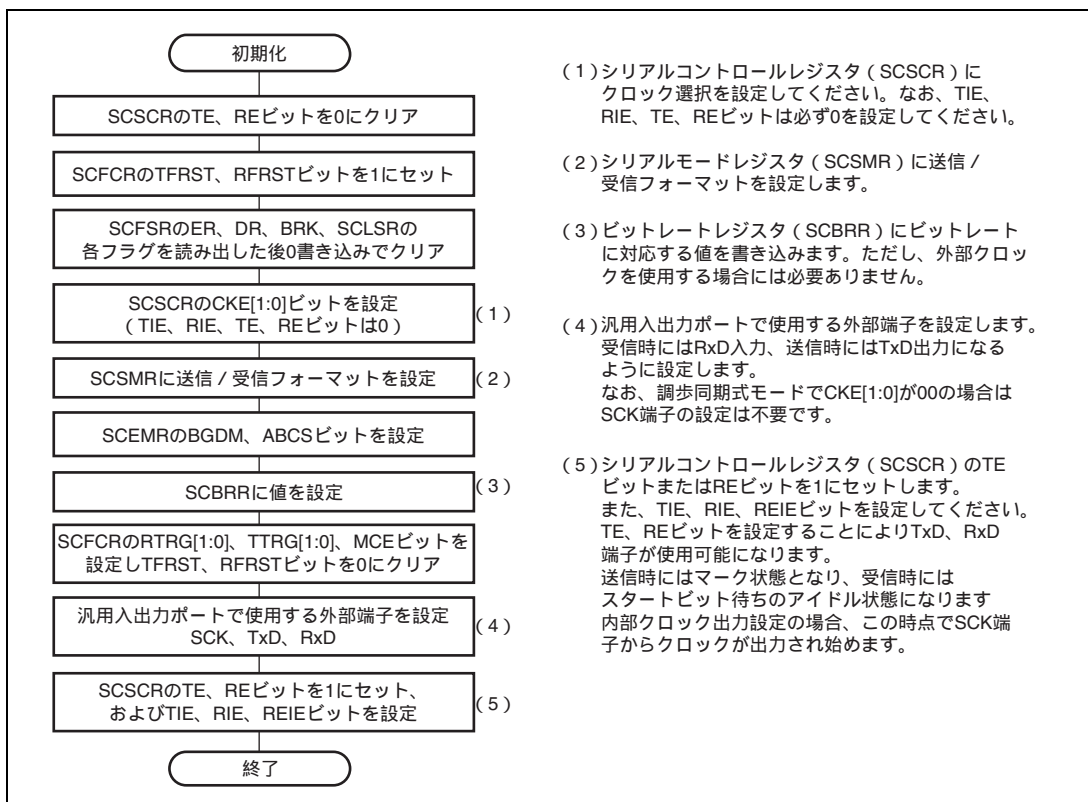


図 16.3 初期化フローチャートの例

- シリアルデータ送信（調歩同期式モード）

図16.4にシリアル送信のフローチャートの例を示します。

送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

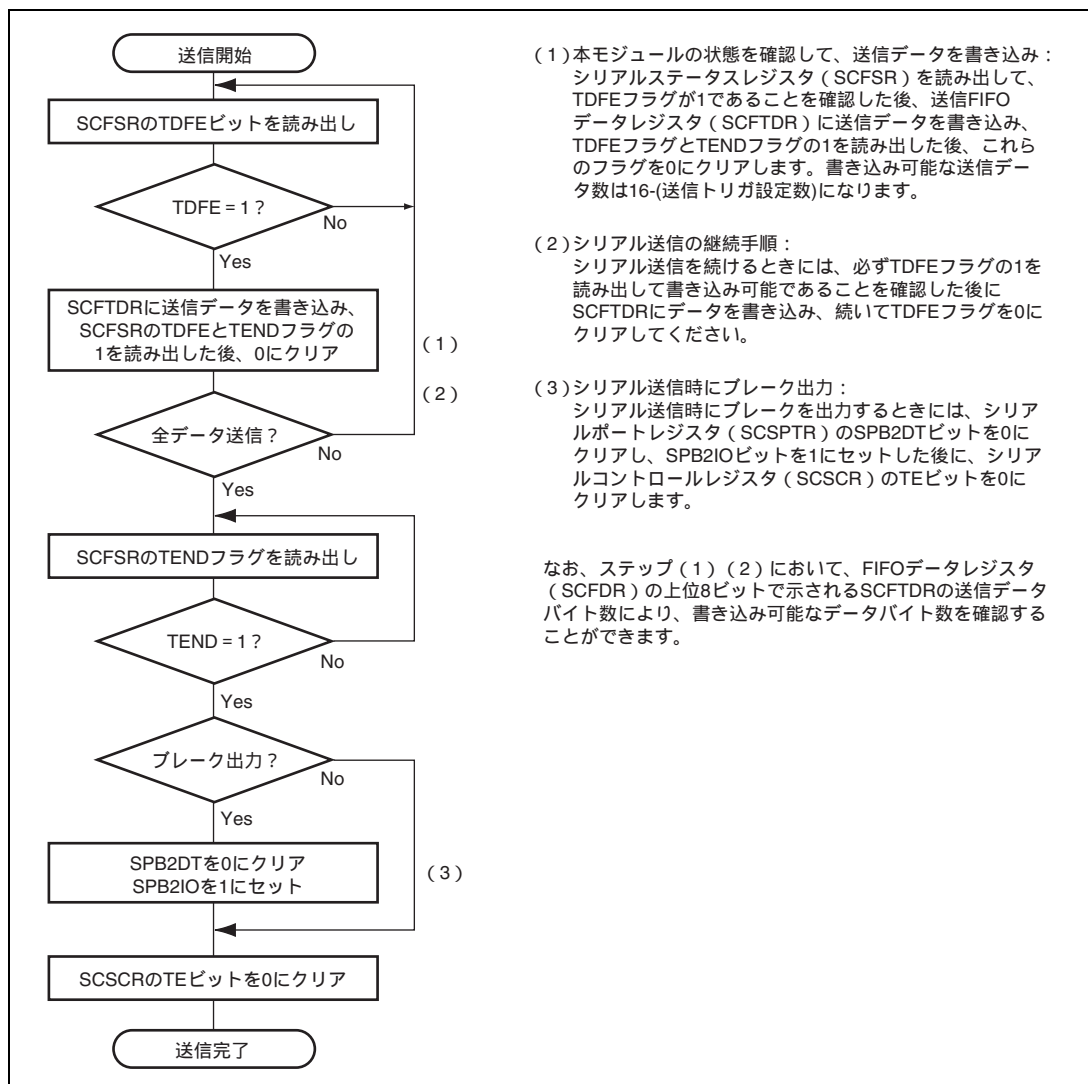


図 16.4 シリアル送信のフローチャートの例

シリアル送信時には以下のように動作します。

- 送信FIFOデータレジスタ（SCFTDR）にデータが書き込まれると、SCFTDRから送信シフトレジスタ（SCTSR）にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ（SCFSR）のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は（16 - 送信トリガ設定数）です。

2. SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を実行します。SCFTDRの送信データバイト数がFIFOコントロールレジスタ（SCFCR）で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ（SCSCR）のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み（TXI）要求を発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット：1ビットのパリティビット（偶数パリティ、または奇数パリティ）が出力されます（なお、パリティビットを出力しないフォーマットも選択できます）。
 - (d) ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. ストップビットを送出するタイミングでSCFTDR送信データをチェックします。データがあると、SCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

調歩同期式モードでの送信時の動作例を図16.5に示します。

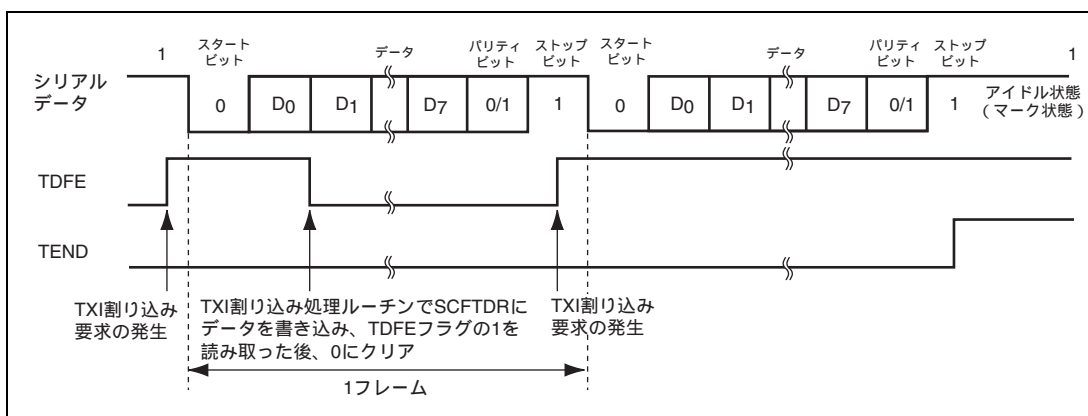
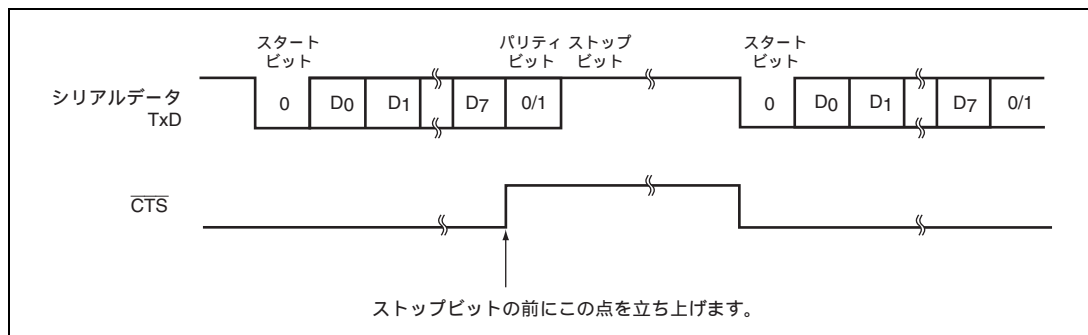


図 16.5 送信時の動作例（8ビットデータ/パリティあり/1ストップビットの例）

4. SH7268ではチャンネル1、SH7269ではチャンネル1、5、7において、モデムコントロールを許可した場合、 $\overline{\text{CTS}}$ 入力値によって送信を停止/再開することができます。 $\overline{\text{CTS}}$ が1にセットされると、送信中のときは1フレームの送信終了後マーク状態になります。 $\overline{\text{CTS}}$ が0にセットされると、次の送信データがスタートビットを先頭に出力されます。

モデムコントロールを使用した動作例を図16.6に示します。

図 16.6 モデムコントロールを使用した動作例 ($\overline{\text{CTS}}$)

- シリアルデータ受信 (調歩同期式モード)

図16.7、図16.8にシリアル受信フローチャートの例を示します。

受信を可能に設定した後、シリアルデータ受信は次の手順に従い行ってください。

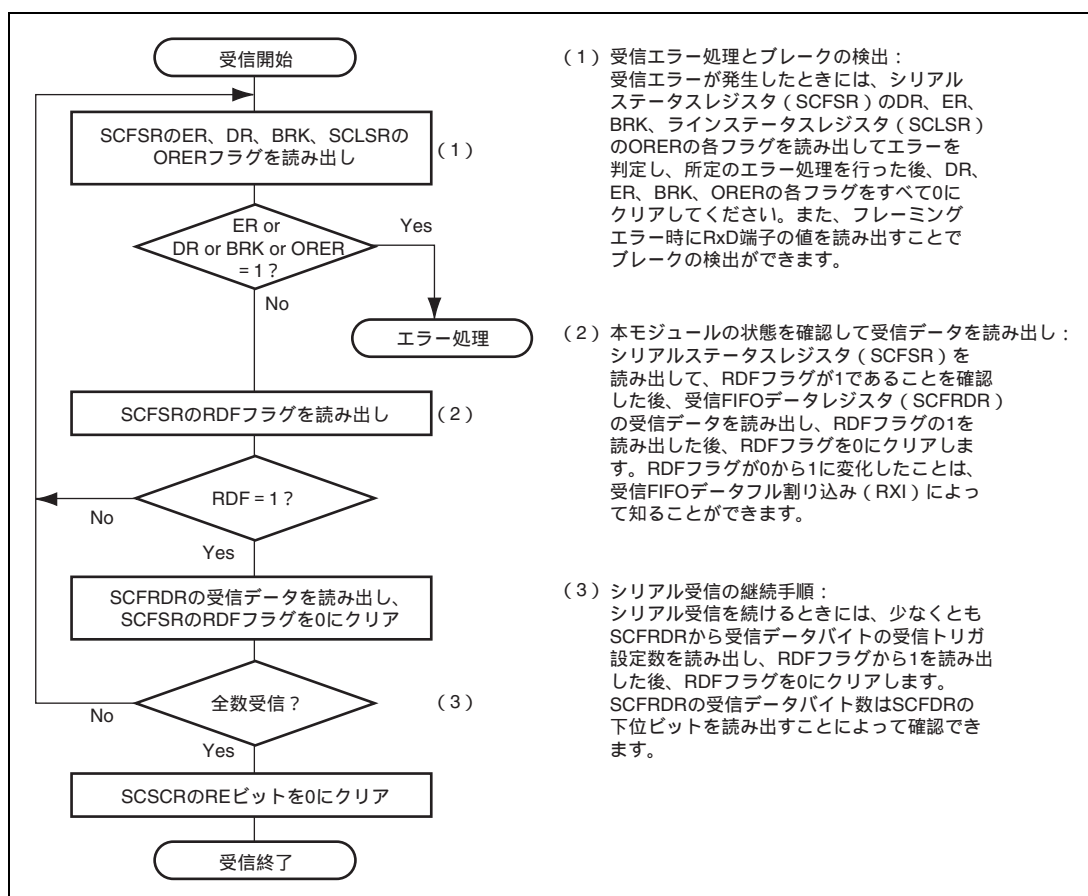


図 16.7 シリアル受信のフローチャートの例 (1)

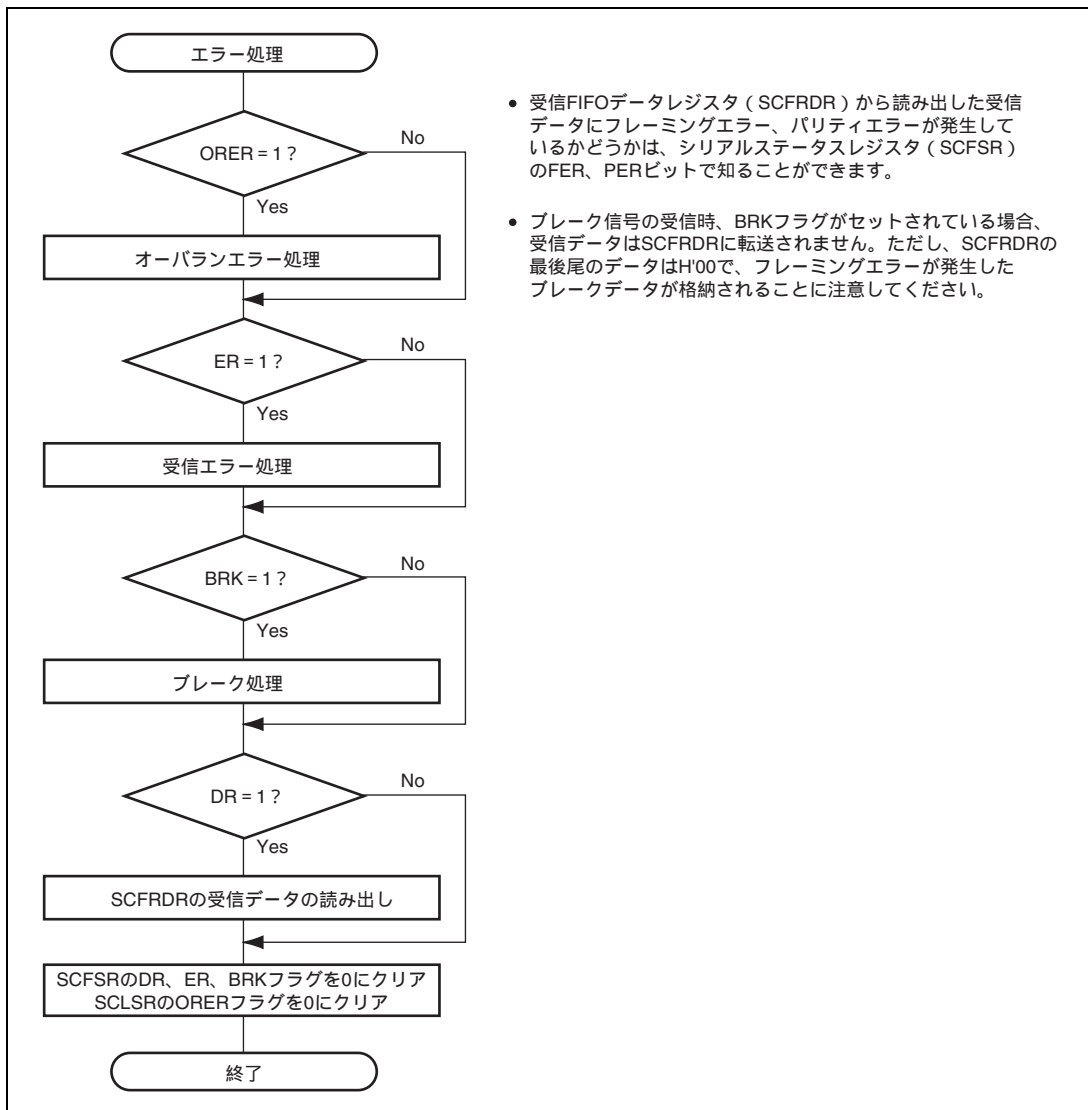


図 16.8 シリアル受信のフローチャートの例 (2)

受信時に以下のように動作します。

1. 通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データを受信シフトレジスタ (SCRSR) からSCFRDRに転送できる状態であるかをチェックします。

(c) オーバランエラーチェック：オーバランエラーが発生していないことを示すORERフラグが0であるかどうかをチェックします。

(d) ブレークチェック：ブレーク状態がセットされていないことを示すBRKフラグが0であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDRに受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

- RDFまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると、受信FIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、受信エラー割り込み (ERI) 要求が発生します。さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図16.9に示します。

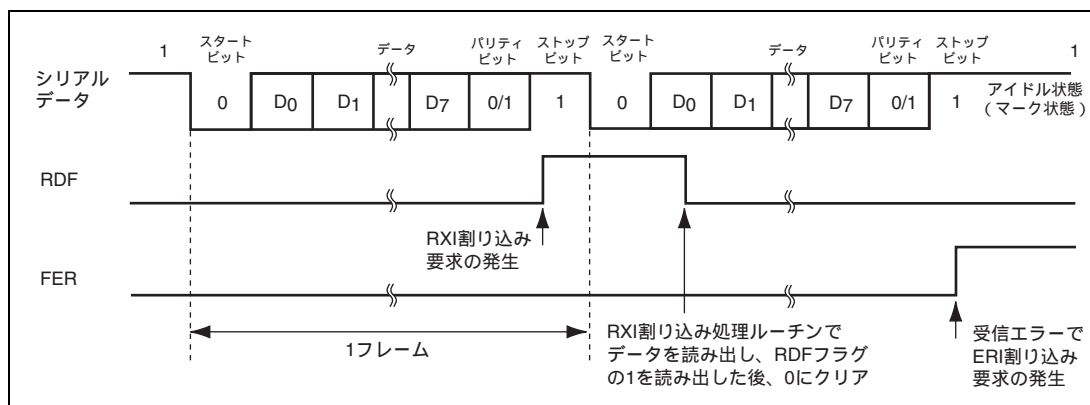
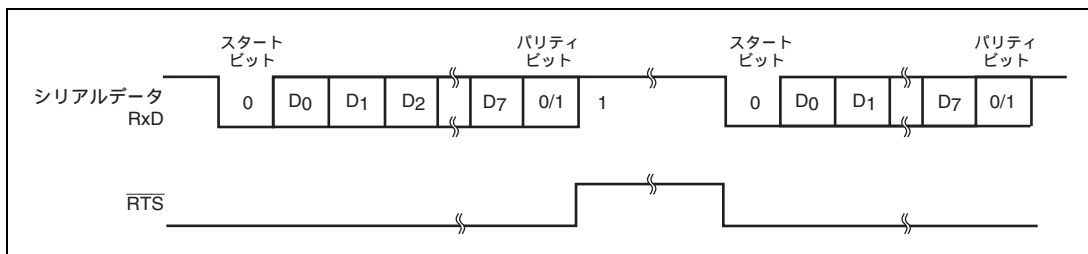


図 16.9 受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

- SH7258ではチャンネル1、SH7269ではチャンネル1、5、7においてモデムコントロールが有効であると、SCFRDRが空のときRTS信号が出力されます。RTSが0の場合受信が可能です。RTSが1の場合はSCFRDRのデータ数がRTS出力アクティブトリガ設定数以上であることを示します。

モデムコントロール使用時の動作例を図16.10に示します。

図 16.10 モデムコントロール使用時の動作例 ($\overline{\text{RTS}}$)

16.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

本モジュール内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 16.11 に示します。

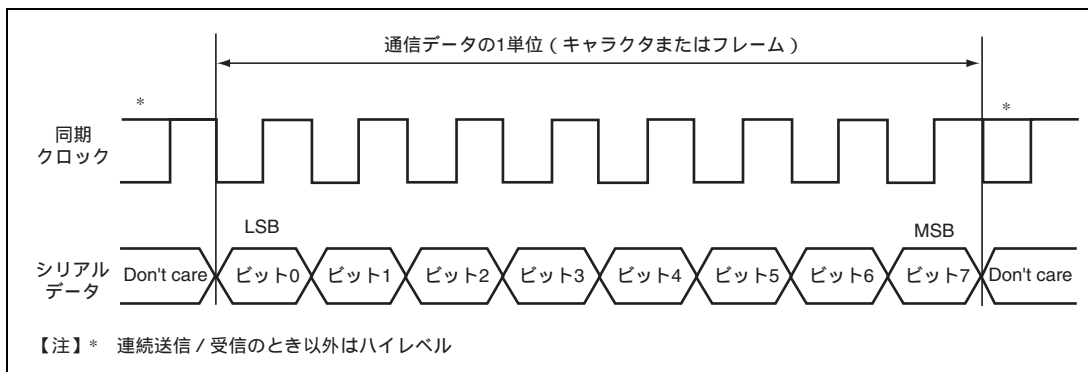


図 16.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の $C\bar{A}$ ビットと SCSCR の $CKE[1:0]$ の設定により内蔵ポーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) データの送信 / 受信動作

• 初期化 (クロック同期式モード)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) の TE および RE ビットを 0 にクリアした後、以下の手順で初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると送信シフトレジスタ (SCTSR) が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および受信データレジスタ (SCRDR) の内容は保持されますので注意してください。

図 16.12 に初期化フローチャートの例を示します。

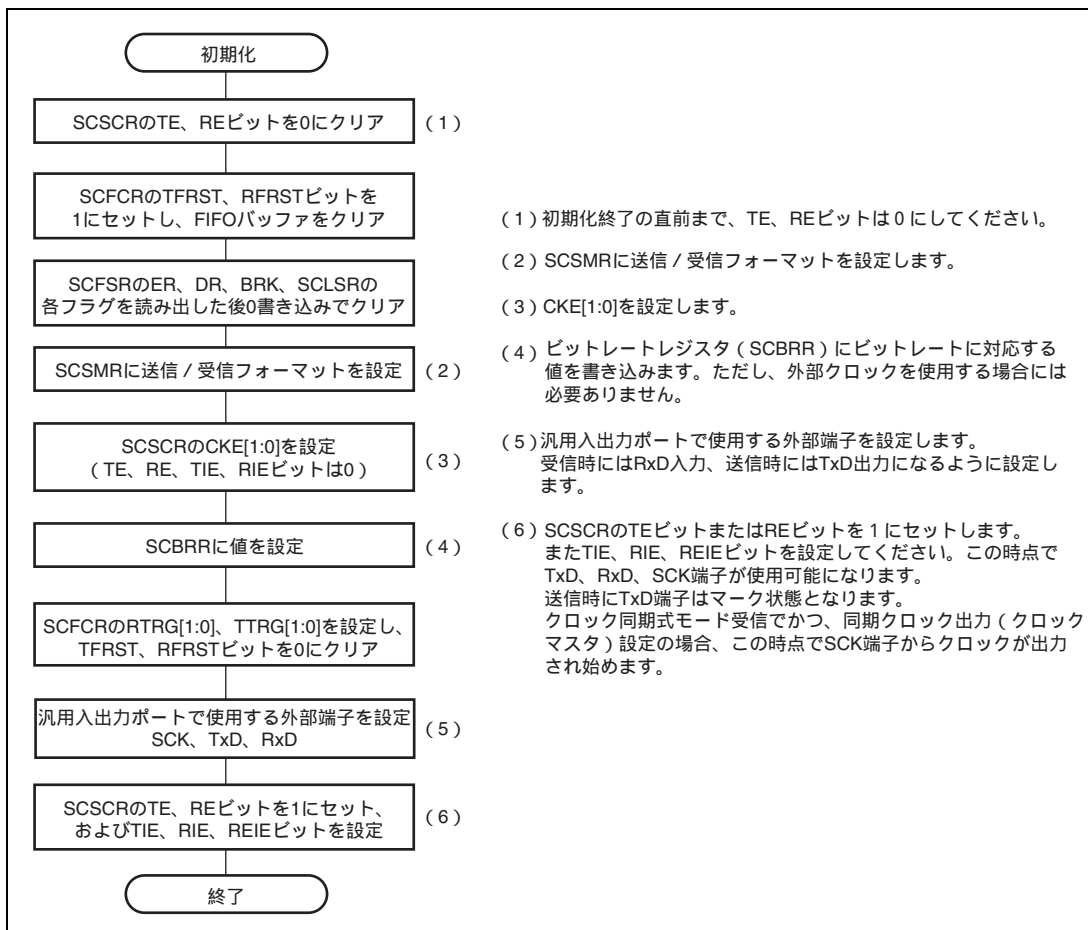


図 16.12 初期化フローチャートの例

- シリアルデータ送信（クロック同期式モード）

図16.13にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、送信動作可能状態に設定した後、以下の手順で行ってください。

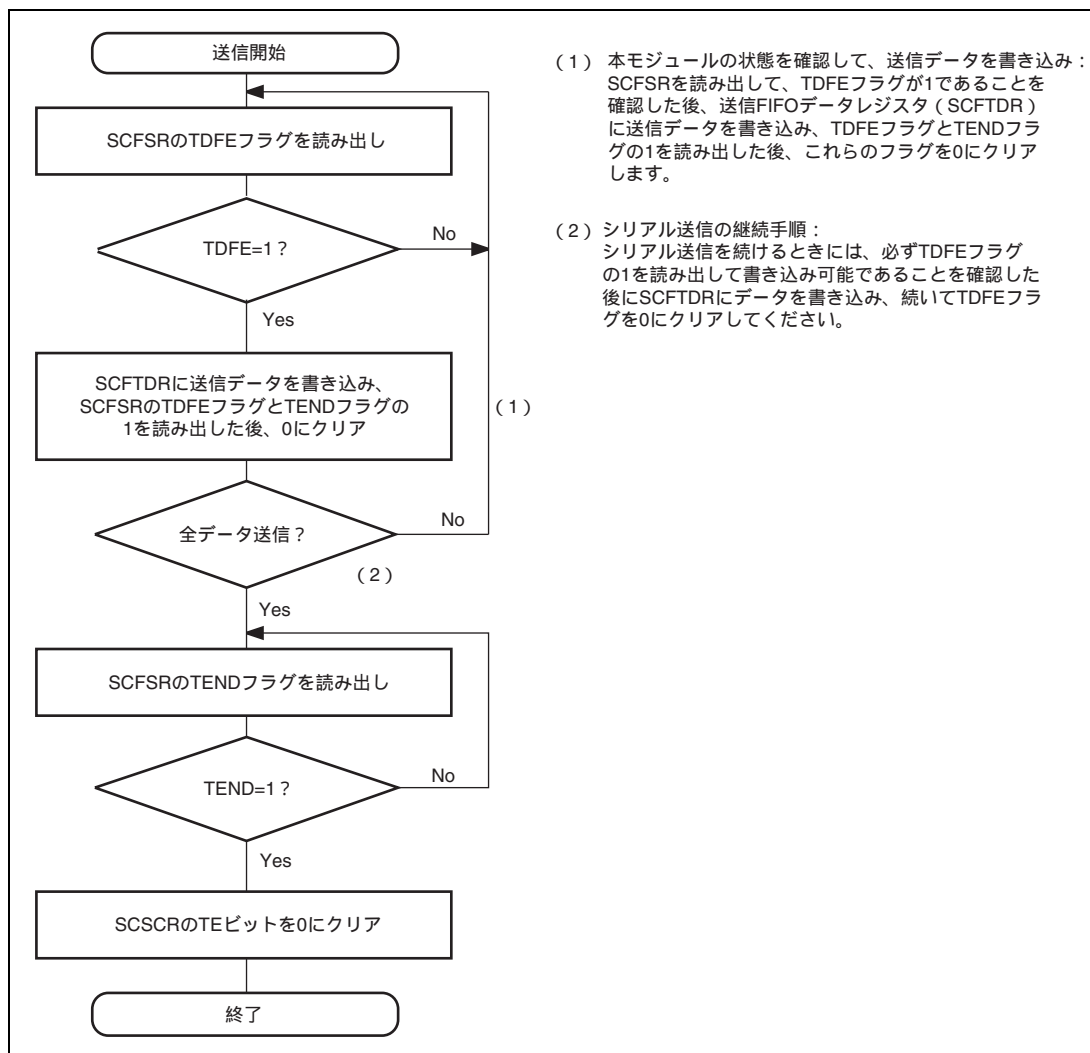


図 16.13 シリアル送信のフローチャートの例

シリアル送信時に以下のように動作します。

1. 送信FIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRから送信シフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) の TDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンpty割り込み (TXI) 要求が発生します。
 クロック出力モードに設定したときには、同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。
3. 最終ビットを送出するタイミングでSCFTDR送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、TxD端子は状態を保持します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図16.14に送信時の動作例を示します。

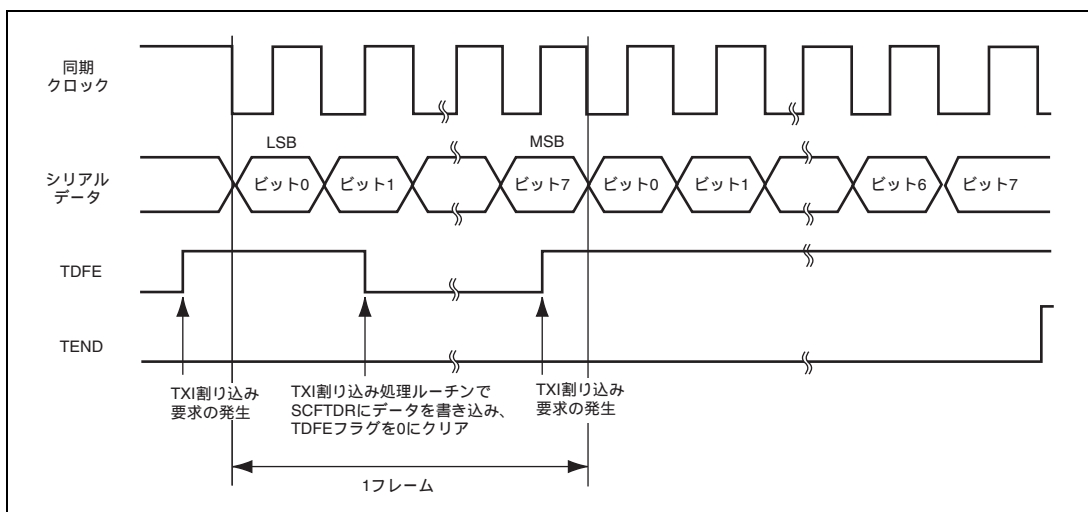


図 16.14 送信時の動作例

- シリアルデータ受信（クロック同期式モード）

図16.15、図16.16にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、受信動作可能状態に設定した後、以下の手順に従って行ってください。

初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

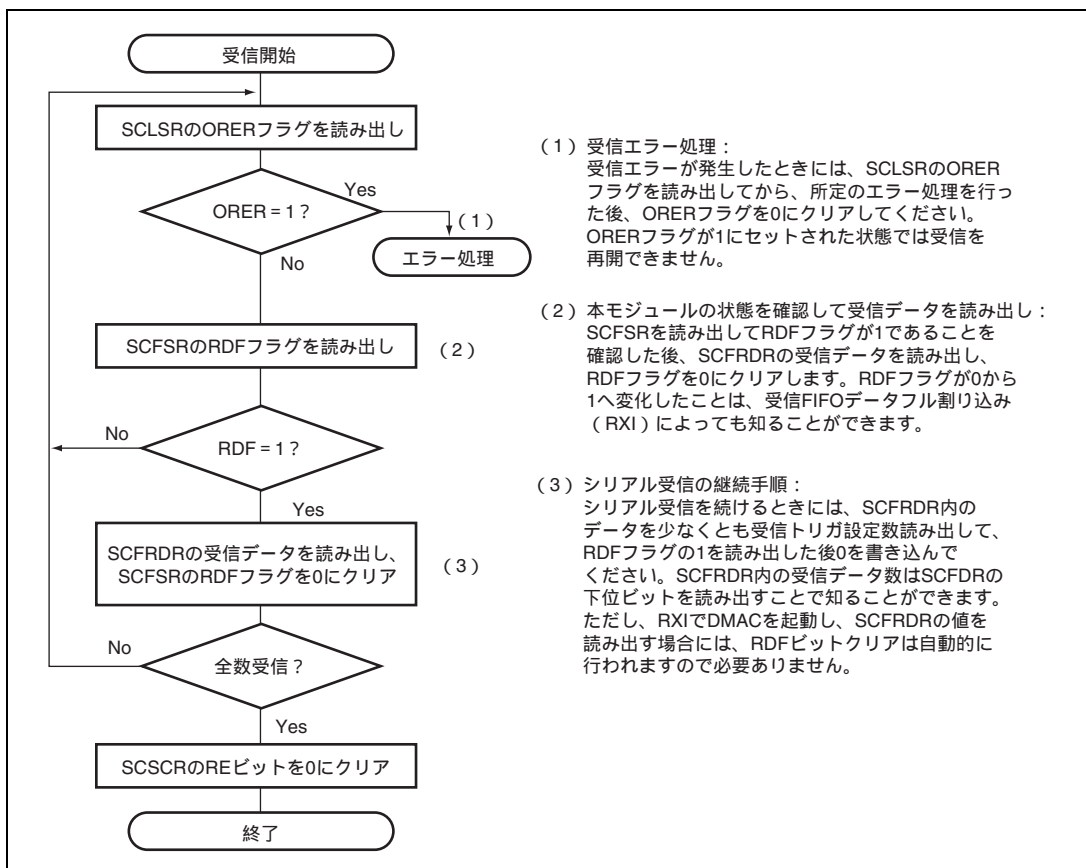


図 16.15 シリアル受信のフローチャートの例（1）

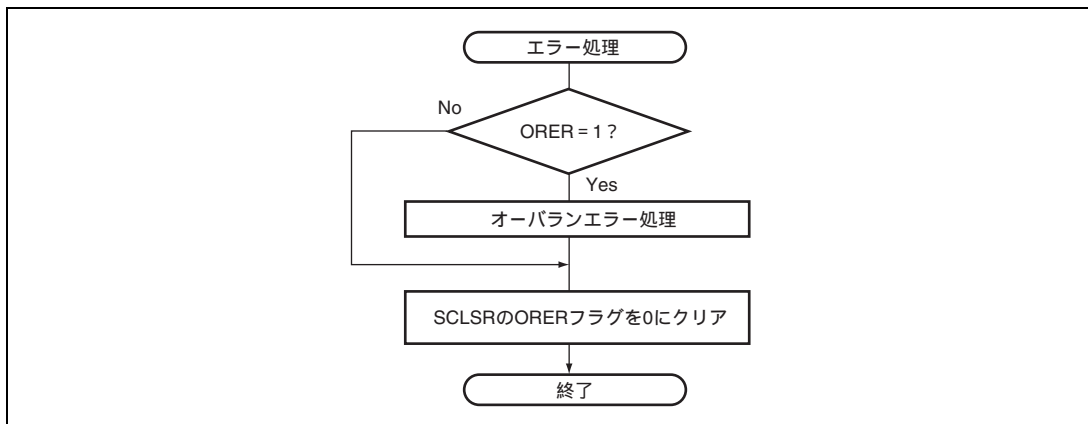


図 16.16 シリアル受信のフローチャートの例 (2)

シリアル受信時に以下のように動作します。

1. 同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータを受信シフトレジスタ (SCRSR) のLSBからMSBの順に格納します。受信後、受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。このチェックがパスしたときRDFフラグが1にセットされ、SCFRDRに受信データが格納されます。エラーチェックでオーバーランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとブレーク割り込み (BRI) 要求を発生します。

図16.17に受信時の動作例を示します。

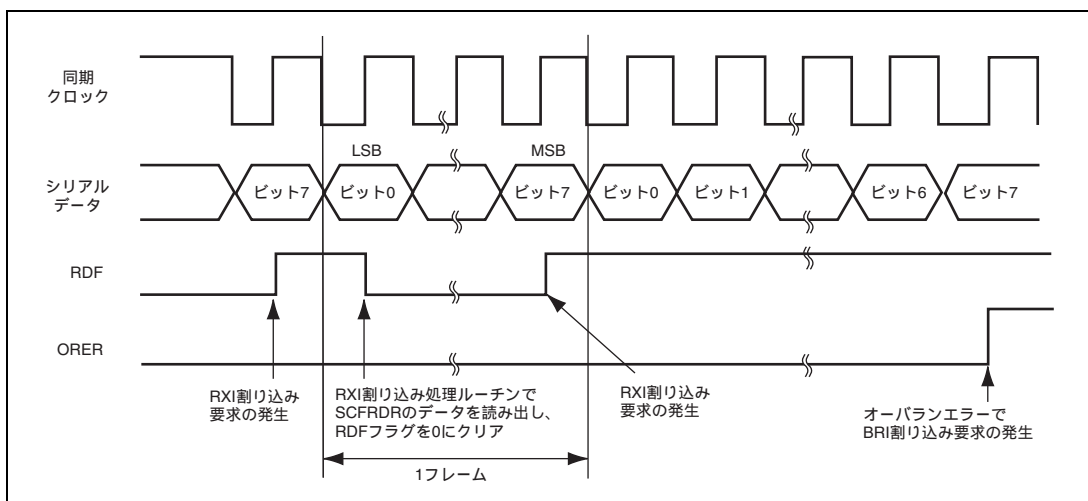


図 16.17 受信時の動作例

• シリアルデータ送受信同時動作（クロック同期式モード）

図16.18にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、送受信動作可能状態に設定した後、以下の手順に従って行ってください。

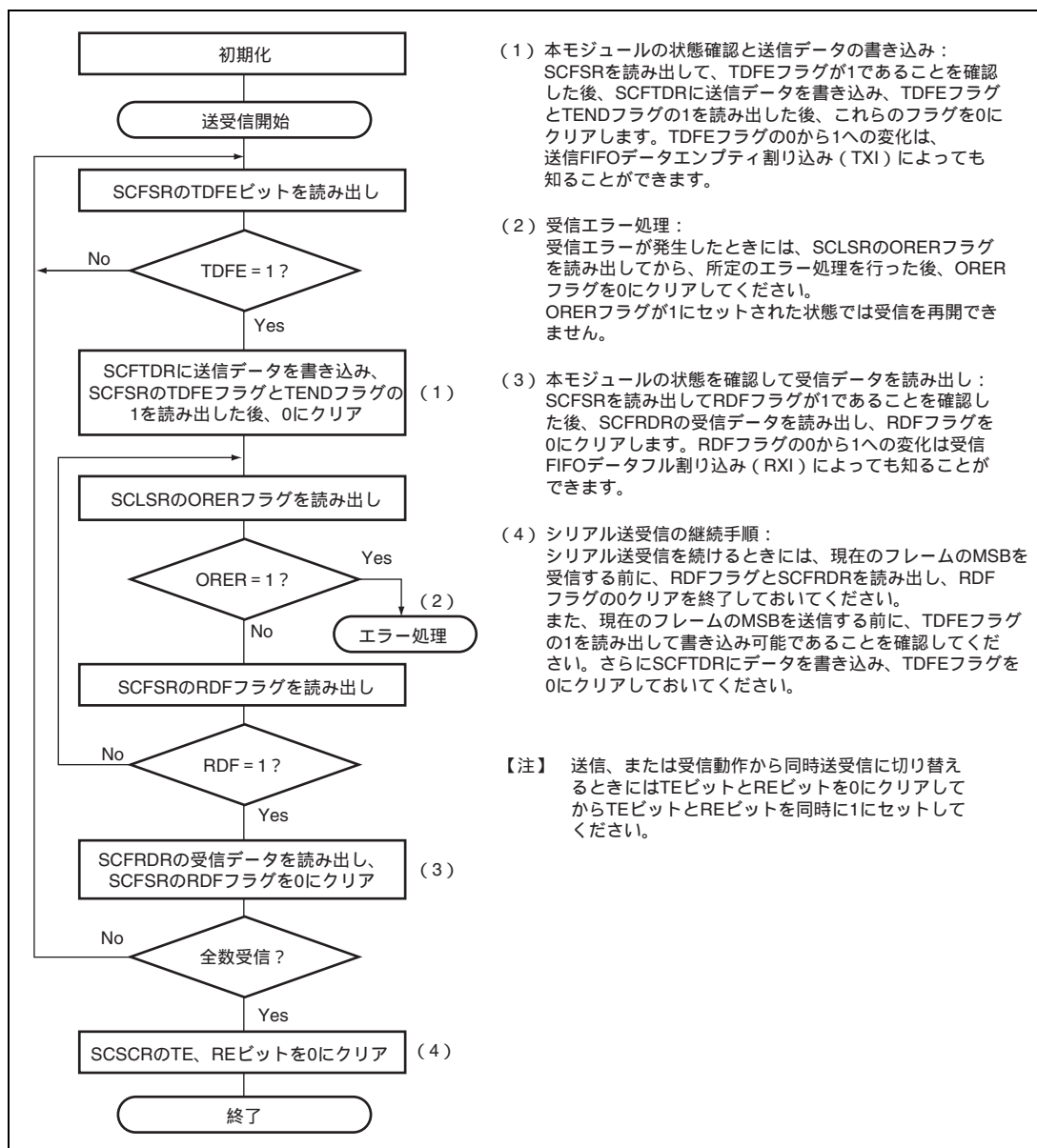


図 16.18 シリアルデータ送受信フローチャートの例

16.5 割り込み

本モジュールは、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 16.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。この TXI 割り込み要求でダイレクトメモリアクセスコントローラを起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求が発生します。この RXI 割り込み要求でダイレクトメモリアクセスコントローラを起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。また、DR フラグが 1 にセットされたことによる RXI 割り込み要求は、調歩同期モード時のみ発生します。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求または BRI 割り込み要求を出すことができます。

なお、TXI は送信データを書き込み可能なことを示し、RXI は SCFRDR に受信データがあることを示しています。

表 16.12 割り込み要因

割り込み要因	内 容	ダイレクトメモリアクセス コントローラの起動	リセット解除時 優先順位
BRI	ブ레이크 (BRK) またはオーバラン (ORER) による割り込み	不可	高   低
ERI	受信エラー (ER) による割り込み	不可	
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

16.6 使用上の注意事項

本モジュールを使用する際は、以下のことに注意してください。

16.6.1 SCFTDR への書き込みと TDFE フラグ

シリアルステータスレジスタ (SCFSR) の TDFE フラグは、送信 FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0]で設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、TDFE フラグのクリアは、SCFTDR に書き込んだデータバイト数が送信トリガ数を上回るときに 1 を読み出した後に実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ (SCFDR) の上位 8 ビットから知ることができます。

16.6.2 SCFRDR の読み出しと RDF フラグ

シリアルステータスレジスタ (SCFSR) の RDF フラグは、受信 FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0]で設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数を上回る場合、RDF フラグは、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF フラグのクリアは、受信 FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。SCFRDR の受信データバイト数は、FIFO データカウントレジスタ (SCFDR) の下位 8 ビットから知ることができます。

16.6.3 ダイレクトメモリアクセスコントローラ使用上の制約事項

TXI 割り込み要求によりダイレクトメモリアクセスコントローラで SCFTDR へデータのライトを行った場合、TEND フラグの状態は不定となります。したがって、この場合 TEND フラグを転送終了フラグとして使用しないでください。

16.6.4 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

16.6.5 ブレークの送り出し

TxD 端子の入出力条件とレベルは、シリアルポートレジスタ (SCSPTR) の SPB2IO ビットと SPB2DR ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TxD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 (ハイレベル出力) に設定しておきます。

シリアル送信時にブレーク信号を送り出すためには、SPB2DT ビットを 0 にクリア (ローレベルを指定) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子から 0 が出力されます。

16.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

本モジュールはビットレートの 16/8 倍の周波数の基本クロックで動作しています。受信時には、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8/4 クロック目の立ち上がりエッジで内部に取り込みます。16 倍の周波数の基本クロックで動作したときのタイミングを図 16.19 に示します。

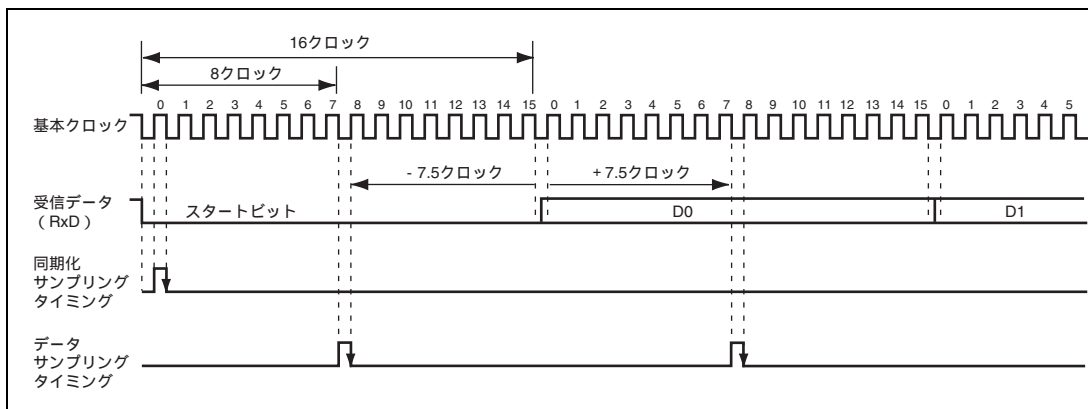


図 16.19 調歩同期式モードでの受信データサンプリングタイミング
(ビットレートの 16 倍の周波数の基本クロックで動作)

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100[\%] \quad \dots \text{式(1)}$$

M：受信マージン(%)

N：ビットレートに対するクロック周波数の比(N=16/8)

D：クロックデューティ(D:0~1.0)

L：フレーム長(L=9~12)

F：クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5、N=16 とすると、受信マージンは式(2)より 46.875%となります。

D=0.5、F=0のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \dots \text{式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30%の余裕を持たせてください。

16.6.7 調歩同期式基本クロックセレクト

本 LSI では、シリアル拡張モードレジスタ (SCEMR) の ABCS ビットを変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックをビットレートの 16/8 倍の周波数にすることができます。

ただし、「16.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式(1)からわかるように、基本クロックの周波数をビットレートの 8 倍に下げると受信マージンが減少するので注意してください。

所望のビットレートが、シリアルモードレジスタ (SCSMR) の CKS[1:0]、ビットレートレジスタ (SCBRR) の設定のみで可能であれば、1 ビット期間の基本クロックをビットレートの 16 倍の周波数 (SCEMR の ABCS=0) とすることをお勧めします。また、クロックソースを内部クロック / SCK 端子を使用しなければ、ポーレートジェネレータ倍速モード (SCEMR の BGDM=1) にすることで受信マージンを落とさずにビットレートを上げることができます。

17. ルネサスシリアルペリフェラルインタフェース

本 LSI は、独立した 2 チャンルのルネサスシリアルペリフェラルインタフェースを備えています。

本モジュールは、全二重同期式のシリアル通信ができます。

17.1 特長

本 LSI の本モジュールには次のような特長があります。

- SPI 転送機能
 - MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) 信号を使用して、SPI 動作 (4 線式) でシリアル通信が可能。
 - マスタ / スレーブモードでのシリアル通信が可能。
 - モードフォルトエラー検出が可能 (SPI スレーブモード設定時のみ)。
 - オーバランエラー検出が可能 (SPI スレーブモード設定時のみ)。
 - シリアル転送クロックの極性を変更可能。
 - シリアル転送クロックの位相を変更可能。
- データフォーマット
 - MSB ファースト / LSB ファーストの切り替え可能。
 - 転送ビット長を 8、16、32 ビットに変更可能。
- ビットレート
 - マスタ時の RSPCK は、最大 4096 分周
 - 内蔵ボーレートジェネレータで P1 を分周して RSPCK を生成。
 - 外部入力クロックをシリアルクロックとして使用。
- バッファ構成
 - 送信用バッファ 8 Byte、受信用バッファ 32 Byte。

- SSL制御機能

1チャンネルあたり1本のSSL信号あり。

マスタ設定時には、SSL信号を出力。

スレーブ設定時には、SSL信号を入力。

SSL出力のアサートからRSPCK動作までの遅延（RSPCK遅延）を設定可能。

設定範囲：1～8 RSPCK 設定単位：1 RSPCK

RSPCK停止からSSL出力のネゲートまでの遅延（SSLネゲート遅延）を設定可能。

設定範囲：1～8 RSPCK 設定単位：1 RSPCK

次アクセスのSSL出力アサートのウェイト（次アクセス遅延）を設定可能。

設定範囲：1～8 RSPCK 設定単位：1 RSPCK

SSL極性変更機能。

- マスタ転送時の制御方式

最大4コマンドで構成された転送をシーケンシャルにループ実行可能。

各コマンドに設定可能な項目は以下のとおり。

SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延。

送信バッファへのライトで転送を起動可能。

SPTEFビットクリアで転送を起動可能。

SSLネゲート時のMOSI信号値を設定可能。

- 割り込み要因

マスカブルな割り込み要因あり。

受信割り込み（受信バッファフル）。

送信割り込み（送信バッファエンブティ）。

エラー割り込み（モードフォルト、オーバラン）。

- その他

ループバックモードあり。

ディスエーブル（初期化）機能あり。

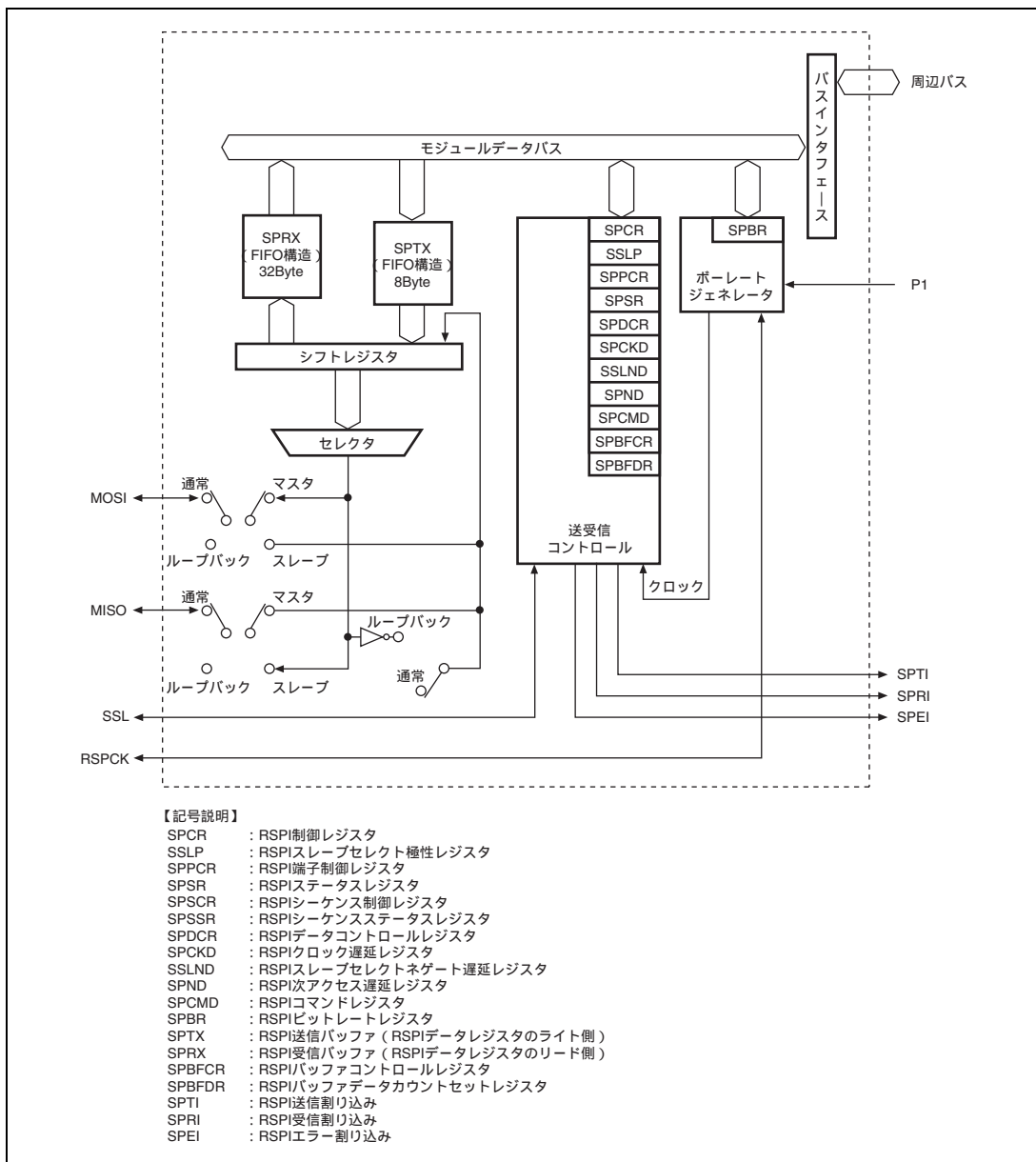


図 17.1 ブロック図 (1チャンネル分)

17.2 入出力端子

表 17.1 に端子構成を示します。SSL 端子の入出力方向は、マスタ設定の場合には出力、スレーブ設定の場合には入力に、本モジュールが自動的に切り替えます。RSPCK、MOSI、MISO の入出力方向は、マスタ/スレーブ設定と SSL 入力レベルに応じて、本モジュールが自動的に切り替えます（「17.4.2 端子の制御」を参照）。

表 17.1 端子構成

チャンネル	名称	端子名	入出力	機能
0	クロック端子	RSPCK0	入出力	クロック入出力
	マスタ送出データ端子	MOSI0	入出力	マスタ送出データ
	スレーブ送出データ端子	MISO0	入出力	スレーブ送出データ
	スレーブセレクト 0 端子	SSL00	入出力	スレーブセレクト
1	クロック端子	RSPCK1	入出力	クロック入出力
	マスタ送出データ端子	MOSI1	入出力	マスタ送出データ
	スレーブ送出データ端子	MISO1	入出力	スレーブ送出データ
	スレーブセレクト 0 端子	SSL10	入出力	スレーブセレクト

【注】本文中ではチャンネルを省略し、RSPICK、MOSI、MISO、SSL と略称します。

17.3 レジスタの説明

表 17.2 にレジスタ構成を示します。これらのレジスタにより、マスタ/スレーブモードの指定、転送フォーマットの指定、および送信部/受信部の制御を行うことができます。

表 17.2 レジスタ構成

チャネル	名称	略称* ¹	R/W	初期値	アドレス	アクセス サイズ
0	制御レジスタ_0	SPCR_0	R/W	H'00	H'E800E000	8、16
	スレーブセレクト極性レジスタ_0	SSLP_0	R/W	H'00	H'E800E001	8、16
	端子制御レジスタ_0	SPPCR_0	R/W	H'00	H'E800E002	8、16
	ステータスレジスタ_0	SPSR_0	R/(W)* ²	H'60	H'E800E003	8、16
	データレジスタ_0	SPDR_0	R/W	不定	H'E800E004	8、16、32
	シーケンス制御レジスタ_0	SPSCR_0	R/W	H'00	H'E800E008	8、16
	シーケンスステータスレジスタ_0	SPSSR_0	R	H'00	H'E800E009	8、16
	ビットレートレジスタ_0	SPBR_0	R/W	H'FF	H'E800E00A	8、16
	データコントロールレジスタ_0	SPDCR_0	R/W	H'20	H'E800E00B	8、16
	クロック遅延レジスタ_0	SPCKD_0	R/W	H'00	H'E800E00C	8、16
	スレーブセレクトネゲート遅延 レジスタ_0	SSLND_0	R/W	H'00	H'E800E00D	8、16
	次アクセス遅延レジスタ_0	SPND_0	R/W	H'00	H'E800E00E	8
	コマンドレジスタ_00	SPCMD_00	R/W	H'070D	H'E800E010	16
	コマンドレジスタ_01	SPCMD_01	R/W	H'070D	H'E800E012	16
	コマンドレジスタ_02	SPCMD_02	R/W	H'070D	H'E800E014	16
	コマンドレジスタ_03	SPCMD_03	R/W	H'070D	H'E800E016	16
	バッファコントロールレジスタ_0	SPBFCR_0	R/W	H'00	H'E800E020	8、16
	バッファデータカウントセット レジスタ_0	SPBFDR_0	R	H'0000	H'E800E022	16

チャンネル	名称	略称* ¹	R/W	初期値	アドレス	アクセス サイズ
1	制御レジスタ_1	SPCR_1	R/W	H'00	H'E800E800	8、16
	スレーブセレクト極性レジスタ_1	SSLP_1	R/W	H'00	H'E800E801	8、16
	端子制御レジスタ_1	SPPCR_1	R/W	H'00	H'E800E802	8、16
	ステータスレジスタ_1	SPSR_1	R/(W)* ²	H'60	H'E800E803	8、16
	データレジスタ_1	SPDR_1	R/W	不定	H'E800E804	8、16、32
	シーケンス制御レジスタ_1	SPSCR_1	R/W	H'00	H'E800E808	8、16
	シーケンスステータスレジスタ_1	SPSSR_1	R	H'00	H'E800E809	8、16
	ビットレートレジスタ_1	SPBR_1	R/W	H'FF	H'E800E80A	8、16
	データコントロールレジスタ_1	SPDCR_1	R/W	H'20	H'E800E80B	8、16
	クロック遅延レジスタ_1	SPCKD_1	R/W	H'00	H'E800E80C	8、16
	スレーブセレクトネゲート遅延 レジスタ_1	SSLND_1	R/W	H'00	H'E800E80D	8、16
	次アクセス遅延レジスタ_1	SPND_1	R/W	H'00	H'E800E80E	8
	コマンドレジスタ_10	SPCMD_10	R/W	H'070D	H'E800E810	16
	コマンドレジスタ_11	SPCMD_11	R/W	H'070D	H'E800E812	16
	コマンドレジスタ_12	SPCMD_12	R/W	H'070D	H'E800E814	16
	コマンドレジスタ_13	SPCMD_13	R/W	H'070D	H'E800E816	16
	バッファコントロールレジスタ_1	SPBFCR_1	R/W	H'00	H'E800E820	8、16
	バッファデータカウントセット レジスタ_1	SPBFDR_1	R	H'0000	H'E800E822	16

【注】 *1 本文中ではチャンネルを省略してレジスタ名を表記しています。

*2 フラグをクリアするために0のみ書き込むことができます。

17.3.1 制御レジスタ (SPCR)

SPCR は、動作モードを設定するためのレジスタです。SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、MSTR ビット、MODFEN ビットの設定値を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MOD FEN	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	SPRIE	0	R/W	受信割り込みイネーブル 受信バッファ (SPRX) の受信データ数が指定受信トリガ数以上になり、ステータスレジスタ (SPSR) の SPRF フラグが 1 にセットされたとき、受信割り込み (SPRI) 要求の発生の許可 / 禁止を設定します。 0 : 受信割り込み要求の発生を禁止する 1 : 受信割り込み要求の発生を許可する
6	SPE	0	R/W	機能イネーブル 本ビットを 1 にすることにより、本モジュールの機能が有効になります。ステータスレジスタ (SPSR) の MODF ビットが 1 の場合には、SPE ビットを 1 に設定することはできません (「17.4.6 エラー検出」を参照)。SPE ビットを 0 にすると、本モジュールの機能は無効化されて、モジュール機能の一部が初期化されます (「17.4.7 初期化」を参照)。 0 : 本モジュールの機能は無効化する 1 : 本モジュールの機能を有効化する
5	SPTIE	0	R/W	送信割り込みイネーブル 送信バッファ (SPTX) の送信データ数が指定送信トリガ数以下になり、ステータスレジスタ (SPSR) の SPTEF フラグが 1 にセットされたとき、送信割り込み (SPTI) 要求の発生の許可 / 禁止を設定します。 0 : 送信割り込み要求の発生を禁止する 1 : 送信割り込み要求の発生を許可する
4	SPEIE	0	R/W	エラー割り込みイネーブル 本モジュールがモードフォルトエラーを検出してステータスレジスタ (SPSR) の MODF ビットを 1 にした場合、または本モジュールがオーバーランエラーを検出して SPSR の OVRF ビットを 1 にした場合のエラー割り込み要求の発生を許可 / 禁止するためのビットです (「17.4.6 エラー検出」を参照)。 0 : エラー割り込み要求の発生を禁止する 1 : エラー割り込み要求の発生を許可する 【注】 SPI スレーブモード設定時のみ有効となります。

ビット	ビット名	初期値	R/W	説明
3	MSTR	0	R/W	<p>マスタ/スレーブモード選択</p> <p>マスタ/スレーブモードを選択するためのビットです。また、本モジュールは MSTR ビットの設定に従って、RSPCK、MOSI、MISO、SSL 端子の方向を決定します。</p> <p>0 : スレーブモード 1 : マスタモード</p>
2	MODFEN	0	R/W	<p>モードフォルトエラー検出イネーブル</p> <p>モードフォルトエラーの検出を許可/禁止するためのビットです（「17.4.6 エラー検出」を参照）。</p> <p>0 : モードフォルトエラー検出を禁止する 1 : モードフォルトエラー検出を許可する</p> <p>【注】 SPI スレーブモード設定時のみ有効となります。 また、MSTR ビットをマスタモード設定する場合はかならず、MODFEN ビットを 0 に設定してください。</p>
1、0	-	すべて 0	R	<p>リザーブビット</p> <p>書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>

17.3.2 スレーブセレクト極性レジスタ (SSLP)

SSLP は、SSL 信号の極性を設定するためのレジスタです。制御レジスタ (SPCR) の SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、SSL0P ビットを書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SSL0P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
0	SSL0P	0	R/W	SSL 信号極性設定 SSL 信号の極性を設定するためのビットです。SSL0P の設定値が、SSL 信号のアクティブ極性を示します。 0 : SSL 信号は 0 アクティブ 1 : SSL 信号は 1 アクティブ

17.3.3 端子制御レジスタ (SPPCR)

SPPCR は、端子モードを設定するために使用されるレジスタです。SPCR の SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、SPPCR を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	MOIFE	MOIFV	-	-	-	SPLP
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
5	MOIFE	0	R/W	MOSI アイドル値固定イネーブル マスタモードの本モジュールが、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）に MOSI 出力値を固定するために使用するビットです。MOIFE が 0 の場合には、本モジュールは SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI に出力します。MOIFE が 1 の場合には、本モジュールは MOIFV ビットに設定された固定値を MOSI に出力します。 0 : MOSI 出力値は前回転送の最終データ 1 : MOSI 出力値は MOIFV ビットの設定値
4	MOIFV	0	R/W	MOSI アイドル固定値 マスタモードで MOIFE ビットが 1 の場合には、本モジュールは MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を決定します。 0 : MOSI アイドル固定値は 0 1 : MOSI アイドル固定値は 1
3~1	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
0	SPLP	0	R/W	ループバック SPLP ビットを 1 にすると、本モジュールは MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。 0 : 通常モード 1 : ループバックモード

17.3.4 ステータスレジスタ (SPSR)

SPSR は、動作状態を示すフラグを格納したレジスタです。

ビット:	7	6	5	4	3	2	1	0
	SPRF	TEND	SPTEF	-	-	MODF	-	OVRF
初期値:	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R/(W)*	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	SPRF	0	R	<p>受信バッファフルフラグ</p> <p>受信バッファ (SPRX) の受信データ数がバッファコントロールレジスタ (SPBFCR) の受信バッファデータ数トリガ (RXTRG) で指定した値以上になったことを示すビットです。</p> <p>0: 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満である</p> <p>1: 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上である</p> <p>SPRF ビットを 0 にクリアするための条件は以下のとおりです。</p> <ul style="list-style-type: none"> • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満まで受信バッファを読み出したとき • 受信バッファデータリセットを有効にしたとき • パワーオンリセット <p>SPRF ビットを 1 にセットするための条件は以下のとおりです。</p> <ul style="list-style-type: none"> • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上のとき
6	TEND	1	R	<p>送信終了</p> <p>送信終了したことを示すビットです。TEND ビットが 1 の場合、送信終了したことを示し、TEND ビットが 0 の場合、送信未終了であることを示します。</p> <p>TEND ビットを 0 にクリアする条件は以下のとおりです。</p> <ul style="list-style-type: none"> • 送信レジスタからシフトレジスタへ送信データが転送されたとき <p>TEND ビットを 1 にセットする条件は以下のとおりです。</p> <ul style="list-style-type: none"> • シリアル転送終了時に送信バッファ (SPTX) のデータ格納数が空であるとき

ビット	ビット名	初期値	R/W	説明
5	SPTEF	1	R	<p>送信バッファエンプティフラグ</p> <p>送信バッファ (SPTX) の送信データ数がバッファコントロールレジスタ (SPBFCR) の送信バッファデータ数トリガ (TXTRG) で指定した値以下になったことを示すビットです。</p> <p>0: 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値以上である</p> <p>1: 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値未満である</p> <p>SPTEF ビットを 0 にクリアする条件は以下のとおりです。</p> <ul style="list-style-type: none"> 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値より多くなるまで送信バッファに書き込んだとき <p>SPTEF ビットに 1 をセットする条件は以下のとおりです。</p> <ul style="list-style-type: none"> 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値未満になったとき 送信バッファデータリセットを有効にしたとき パワーオンリセット
4、3	-	すべて 0	R	<p>リザーブビット</p> <p>書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>
2	MODF	0	R/(W)*	<p>モードフォルトエラーフラグ</p> <p>モードフォルトエラーの発生状況を示すビットです。本モジュールがスレープモードの場合に MODFEN ビットに 1 を設定すると、データ転送に必要な RSPCK サイクルが終了する前に SSL 端子がネゲートされると、本モジュールがモードフォルトエラーを検出します。なお、SSL 信号のアクティブレベルは、スレープセレクト極性レジスタ (SSLP) の SSL0P ビットによって決定されます。MODF ビットのクリア条件は以下のとおりです。</p> <ul style="list-style-type: none"> MODF が 1 にされた状態の SPSR を読み出した後、MODF に 0 を書き込む パワーオンリセット <p>0: モードフォルトエラーなし</p> <p>1: モードフォルトエラー発生</p> <p>【注】 SPI スレープモード設定時のみ有効となります。</p>
1	-	0	R	<p>リザーブビット</p> <p>書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>

ビット	ビット名	初期値	R/W	説明
0	OVRF	0	R/(W)*	<p>オーバランエラーフラグ</p> <p>オーバランエラーの発生状況を示すビットです。受信バッファ (SPRX) に受信データ長の空きがない状態でシリアル転送が完了した場合に、本モジュールはオーバランエラーを検出し、OVRF ビットを 1 にします。OVRF ビットのクリア条件は、以下のとおりです。</p> <ul style="list-style-type: none"> • OVRF が 1 にされた状態の SPSR を読み出した後、OVRF に 0 を書き込む • パワーオンリセット <p>0 : オーバランエラーなし 1 : オーバランエラー発生</p> <p>【注】 SPI スレーブモード設定時のみ有効となります。</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

17.3.5 データレジスタ (SPDR)

SPDR は、送受信のデータを格納するバッファです。

送信用バッファ (SPTX) と受信用バッファ (SPRX) は独立したバッファで、これらのバッファが SPDR にマッピングされています。

SPDR へのリード/ライトは、データコントロールレジスタ (SPDCR) のアクセス幅設定ビット (SPLW) の設定によって、バイト/ワード/ロングワードで行ってください。

SPDR の使用するビット長はコマンドレジスタ (SPCMD) のデータ長設定ビット (SPB3~0) によって決定されます。

SPDR への書き込みは、送信バッファに SPDR アクセス幅長の空きがあると、SPDR から送信バッファへデータを書き込みます。送信バッファに SPDR アクセス幅長の空きがないと、書き込みを行いません。書き込みを試みてもデータは無視されます。

SPDR からデータを読み出すと、受信バッファにある受信データを読み出すことができます。受信バッファに受信データがない状態で読み出すと不定値となります。

また、SPDR にロングワード/ワード/バイトのアクセス幅で書き込みを行う場合、下記のビットに送信データを書き込んでください。下記のビット以外に書き込んだ場合のデータは保証しません。

- ロングワード：31~0ビット
- ワード：31~16ビット
- バイト：31~24ビット

SPDR からロングワード/ワード/バイトのアクセス幅で読み込みを行う場合、下記のビットから受信データを読み込んでください。下記のビット以外から読み込んだ場合のデータは不定値となります。

- ロングワード：31~0ビット
- ワード：31~16ビット
- バイト：31~24ビット

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

17.3.6 シーケンス制御レジスタ (SPSCR)

SPSCR は、本モジュールがマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュール機能がイネーブルである状態において、SPSCR を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPS LN1	SPS LN0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明															
7~2	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。															
1 0	SPSLN1 SPSLN0	0 0	R/W R/W	<p>シーケンス長設定</p> <p>マスタモードの本モジュールがシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの本モジュールは SPSLN1、SPSLN0 に設定されたシーケンス長に応じて、参照するコマンドレジスタ 0~3 (SPCMD0~3) と参照順を変更します。SPSLN1、SPSLN0 の設定値とシーケンス長、本モジュールが参照する SPCMD0~3 の関係は以下のとおりです。なお、スレープモードの本モジュールでは、常に SPCMD0 が参照されます。</p> <table style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="padding-right: 20px;">シーケンス長</td> <td style="padding-right: 20px;">参照する SPCMD レジスタ (番号)</td> <td></td> </tr> <tr> <td>00:</td> <td>1</td> <td>0 0 ...</td> </tr> <tr> <td>01:</td> <td>2</td> <td>0 1 0 ...</td> </tr> <tr> <td>10:</td> <td>3</td> <td>0 1 2 0 ...</td> </tr> <tr> <td>11:</td> <td>4</td> <td>0 1 2 3 0 ...</td> </tr> </table>	シーケンス長	参照する SPCMD レジスタ (番号)		00:	1	0 0 ...	01:	2	0 1 0 ...	10:	3	0 1 2 0 ...	11:	4	0 1 2 3 0 ...
シーケンス長	参照する SPCMD レジスタ (番号)																		
00:	1	0 0 ...																	
01:	2	0 1 0 ...																	
10:	3	0 1 2 0 ...																	
11:	4	0 1 2 3 0 ...																	

17.3.7 シーケンスステータスレジスタ (SPSSR)

SPSSR は、本モジュールがマスタ動作する場合のシーケンス制御の状態を示すレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPCP1	SPCP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
1 0	SPCP1 SPCP0	0 0	R R	コマンドポインタ シーケンス制御で、現在ポインタで指されているコマンドレジスタ 0~3 (SPCMD0~3) を示すビットです。SPCP1、SPCP0 の値と SPCMD0~SPCMD3 の対応は以下のとおりです。 なお、シーケンス制御については、「17.4.8(1)(c) シーケンス制御」を参照してください。 00 : SPCMD0 01 : SPCMD1 10 : SPCMD2 11 : SPCMD3

17.3.8 ビットレートレジスタ (SPBR)

SPBR は、マスタモード時のビットレート設定に使用するレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールの機能がイネーブルである状態において、SPBR を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

本モジュールをスレーブモードで使用する場合には、SPBR、BRDV の設定に関係なく、入力クロックのビットレートに依存します。

ビットレートは SPBR の設定値とコマンドレジスタ (SPCMD0~3) の BRDV1~0 ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR の設定値 (0、1、2、……、255)、N は BRDV1~0 ビットの設定値 (0、1、2、3) です。

$$\text{ビットレート} = \frac{f(P1)}{2 \times (n+1) \times 2^N}$$

SPBR レジスタ、BRDV1~0 ビットの設定値とビットレートの関係の例を表 17.3 に示します。

表 17.3 SPBR レジスタ、BRDV1~0 ビットの設定値とビットレート

SPBR の 設定値 (n)	BRDV1~0 の 設定値 (N)	分周比	ビットレート		
			P1 = 50MHz	P1 = 60MHz	P1 = 66.67MHz
0	0	2	25.0Mbps	30.0Mbps	33.33Mbps
1	0	4	12.5Mbps	15.0Mbps	16.67Mbps
2	0	6	8.33Mbps	10.0Mbps	11.11Mbps
3	0	8	6.25Mbps	7.50Mbps	8.33Mbps
4	0	10	5.00Mbps	6.00Mbps	6.67Mbps
5	0	12	4.16Mbps	5.00Mbps	5.56Mbps
5	1	24	2.08Mbps	2.50Mbps	2.78Mbps
5	2	48	1.04Mbps	1.25Mbps	1.39Mbps
5	3	96	520kbps	625kbps	694.48kbps
255	3	4096	12.20kbps	14.64kbps	16.28kbps

17.3.9 データコントロールレジスタ (SPDCR)

SPDCR は、SPDR レジスタへのアクセス幅をバイトアクセス / ロングワードアクセス / ワードアクセスに設定、本モジュールがマスタモード設定時、ダミーデータ送信イネーブル (TXDMY) の許可設定をするためのレジスタです。

ステータスレジスタ (SPCR) の TEND ビットが送信未終了の状態のときに SPDCR を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	TXDMY	SPLW1	SPLW0	-	-	-	-	-
初期値:	0	0	1	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	TXDMY	0	R/W	ダミーデータ送信イネーブル ダミーデータ送信の許可 / 禁止を設定するためのビットです。 TXDMY を 1 にセットにし通信を行った場合、送信バッファに送信データがない場合でも、MOSI 端子からダミーデータを送信し、シリアル通信をすることが可能となります。 送信バッファに送信データがなく、TXDMY に 1 がセットされている場合に、ダミーデータをシフトレジスタへ転送します。TXDMY を 1 にセットし、転送を行った場合、送信されるダミーデータは不定値となります。 0 : ダミーデータ送信を禁止にする 1 : ダミーデータ送信を許可にする 【注】 本モジュールがマスタ設定時のみ有効となります。
6 5	SPLW1 SPLW0	0 1	R/W R/W	アクセス幅設定 データレジスタ (SPDR) へのアクセス幅を設定します。データレジスタ (SPDR) への転送データ長と SPLW のアクセス幅設定が異なる場合の動作は保証しません。 00 : 設定禁止 01 : SPDR レジスタへバイトアクセス 10 : SPDR レジスタへはワードアクセス 11 : SPDR レジスタへはロングワードアクセス
4~0	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。

17.3.10 クロック遅延レジスタ (SPCKD)

SPCKD は、コマンドレジスタ (SPCMD) の SCKDEN ビットが 1 の状態における、SSL 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SPCKD を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SCKDL2 ~ SCKDL0 に B'000 を設定してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SCK DL2	SCK DL1	SCK DL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2	SCKDL2	0	R/W	RSPCK 遅延設定 SPCMD の SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定するためのビットです。 SCKDL2 ~ SCKDL0 の設定値と RSPCK 遅延値の関係は以下のとおりです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK
1	SCKDL1	0	R/W	
0	SCKDL0	0	R/W	

17.3.11 スレーブセレクトネゲート遅延レジスタ (SSLND)

SSLND は、マスタモードの本モジュールがシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SSLND を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SLNDL2 ~ SLNDL0 に B'000 を設定してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SLN DL2	SLN DL1	SLN DL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2	SLNDL2	0	R/W	SSL ネゲート遅延設定 SPCMD の SLNDEN ビットが 1 の場合の SSL ネゲート遅延を設定するためのビットです。 SLNDL2 ~ SLNDL0 の設定値と SSL ネゲート遅延値の関係は以下のとおりです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK
1	SLNDL1	0	R/W	
0	SLNDL0	0	R/W	

17.3.12 次アクセス遅延レジスタ (SPND)

SPND は、コマンドレジスタ (SPCMD) の SPNDEN ビットが 1 の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SPND を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレープモードで使用する場合には、SPNDL2 ~ SPNDL0 に B'000 を設定してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SPN DL2	SPN DL1	SPN DL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2	SPNDL2	0	R/W	次アクセス遅延設定 SPCMD の SPNDEN ビットが 1 の場合の次アクセス遅延を設定するためのビットです。 SPNDL2 ~ SPNDL0 の設定値と次アクセス遅延値の関係は以下のとおりです。 000 : 1RSPCK + 2P1 001 : 2RSPCK + 2P1 010 : 3RSPCK + 2P1 011 : 4RSPCK + 2P1 100 : 5RSPCK + 2P1 101 : 6RSPCK + 2P1 110 : 7RSPCK + 2P1 111 : 8RSPCK + 2P1
1	SPNDL1	0	R/W	
0	SPNDL0	0	R/W	

17.3.13 コマンドレジスタ (SPCMD)

1 チャンネルにコマンドレジスタ (SPCMD) が 4 本あります (SPCMD0 ~ SPCMD3)。SPCMD0 ~ SPCMD3 は、マスタモードの転送フォーマットを設定するために使用されます。また、SPCMD0 の一部のビットは、スレーブモードの転送フォーマットを設定するためにも使用されます。マスタモードの本モジュールはシーケンス制御レジスタ (SPSCR) の SPSLN1、SPSLN0 ビットの設定に従ってシーケンシャルに SPCMD0 ~ 3 を参照し、参照した SPCMD に設定されたシリアル転送を実行します。

ステータスレジスタ (SPSR) の TEND ビットが送信未終了の状態のときに、本モジュールが参照している SPCMD を書き換えた場合には、本モジュールの以降の動作は保証されません。マスタモードの本モジュールが参照している SPCMD は、シーケンスステータスレジスタ (SPSSR) の SPCP1、0 ビットにより確認できます。また、スレーブモードの本モジュールがイネーブルな状態において、SPCMD0 を書き換えた場合には、以降の動作は保証されません。

ビット:	15	14	13	12	11	10	9	8
	SCK DEN	SLN DEN	SPN DEN	LSBF	SPB3	SPB2	SPB1	SPB0
初期値:	0	0	0	0	0	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
初期値:	0	0	0	0	1	1	0	1
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKDEN	0	R/W	<p>RSPCK 遅延設定イネーブル</p> <p>マスタモードの本モジュールが、SSL 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定するためのビットです。SCKDEN が 0 の場合には、本モジュールは RSPCK 遅延を 1RSPCK にします。SCKDEN が 1 の場合には、本モジュールはクロック遅延レジスタ (SPCKD) の設定に従った RSPCK 遅延で RSPCK の発振を開始します。本モジュールをスレーブモードで使用する場合には、SCKDEN に 0 を設定してください。</p> <p>0: RSPCK 遅延は 1RSPCK 1: RSPCK 遅延は RSPCK 遅延レジスタ (SPCKD) の設定値</p>

ビット	ビット名	初期値	R/W	説明
14	SLNDEN	0	R/W	<p>SSL ネゲート遅延設定イネーブル</p> <p>マスタモードの本モジュールが、RSPCK を発振停止してから SSL 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定するためのビットです。SLNDEN が 0 の場合には、本モジュールは SSL ネゲート遅延を 1RSPCK にします。SLNDEN が 1 の場合には、本モジュールはスレーブセレクトネゲート遅延レジスタ (SSLND) の設定に従った RSPCK 遅延で SSL をネゲートします。</p> <p>本モジュールをスレーブモードで使用する場合には、SLNDEN に 0 を設定してください。</p> <p>0 : SSL ネゲート遅延は 1RSPCK 1 : SSL ネゲート遅延はスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値</p>
13	SPNDEN	0	R/W	<p>次アクセス遅延イネーブル</p> <p>マスタモードの本モジュールがシリアル転送を終了して SSL 信号を非アクティブにしてから、次アクセスの SSL 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定するためのビットです。SPNDEN が 0 の場合には、本モジュールは次アクセス遅延を 1RSPCK + 2P1 にします。SPNDEN が 1 の場合には、本モジュールは次アクセス遅延レジスタ (SPND) の設定に従った次アクセス遅延を挿入します。</p> <p>本モジュールをスレーブモードで使用する場合には、SPNDEN に 0 を設定してください。</p> <p>0 : 次アクセス遅延は 1RSPCK + 2P1 1 : 次アクセス遅延は次アクセス遅延レジスタ (SPND) の設定値</p>
12	LSBF	0	R/W	<p>LSB ファースト</p> <p>マスタモード / スレーブモードのデータフォーマットを、MSB ファースト / LSB ファーストに設定するためのビットです。</p> <p>0 : MSB ファースト 1 : LSB ファースト</p>
11	SPB3	0	R/W	データ長設定
10	SPB2	1	R/W	マスタモード / スレーブモードの転送データ長を設定するためのビット
9	SPB1	1	R/W	です。
8	SPB0	1	R/W	<p>0100 ~ 0111 : 8 ビット</p> <p>1111 : 16 ビット</p> <p>0010, 0011 : 32 ビット</p> <p>その他 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
7	SSLKP	0	R/W	<p>SSL 信号レベル保持</p> <p>マスタモードの本モジュールがシリアル転送する場合に、現コマンドに対応する SSL ネグートタイミングから次コマンドに対応する SSL アサートタイミングの間に、現コマンドの SSL 信号レベルを保持するか、ネグートするかを設定するビットです。</p> <p>本モジュールをスレープモードで使用する場合には、SSLKP に 0 を設定してください。</p> <p>0 : 転送終了時に SSL 信号をネグート</p> <p>1 : 転送終了後から次アクセス開始まで SSL 信号レベルを保持</p>
6~4	-	すべて 0	R	<p>リザーブビット</p> <p>書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>
3 2	BRDV1 BRDV0	1 1	R/W R/W	<p>ビットレート分周設定</p> <p>ビットレートを決定するために使用するレジスタです。BRDV1、0 ビットとビットレートレジスタ (SPBR) の設定値の組み合わせでビットレートを決定します (「17.3.8 ビットレートレジスタ (SPBR)」を参照)。SPBR の設定値は、ベースとなるビットレートを決定します。BRDV1~0 ビットの設定値は、ベースのビットレートに対して分周なし / 2 分周 / 4 分周 / 8 分周したビットレートを選択するために使用します。SPCMD0~3 にはそれぞれ異なる BRDV1、0 の設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。</p> <p>00 : ベースのビットレートを選択</p> <p>01 : ベースのビットレートの 2 分周を選択</p> <p>10 : ベースのビットレートの 4 分周を選択</p> <p>11 : ベースのビットレートの 8 分周を選択</p>
1	CPOL	0	R/W	<p>RSPCK 極性設定</p> <p>マスタモード / スレープモードの RSPCK 極性を設定するためのビットです。本モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。</p> <p>0 : アイドル時の RSPCK が 0</p> <p>1 : アイドル時の RSPCK が 1</p>
0	CPHA	1	R/W	<p>RSPCK 位相設定</p> <p>マスタモード / スレープモードの RSPCK 位相を設定するためのビットです。本モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。</p> <p>0 : 奇数エッジでデータサンプル、偶数エッジでデータ変化</p> <p>1 : 奇数エッジでデータ変化、偶数エッジでデータサンプル</p>

17.3.14 バッファコントロールレジスタ (SPBFCR)

SPBFCR は、送信バッファ (SPTX) / 受信バッファ (SPRX) のデータ数のリセット、トリガデータ数の設定を行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	TXRST	RXRST	TXTRG[1:0]	-	RXTRG[2:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TXRST	0	R/W	送信バッファデータリセット 送信バッファ内の送信データを無効にし、データが何も無い状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】 * パワーオンリセット時にはリセット動作が行われます。
6	RXRST	0	R/W	受信バッファデータリセット 受信バッファ内の受信データを無効にし、データが何も無い状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】 * パワーオンリセット時にはリセット動作が行われます。
5、4	TXTRG	00	R/W	送信バッファデータ数トリガ ステータスレジスタの SPTEF フラグの基準となる、送信バッファエンブティタイミングの設定をします。送信バッファ (SPTX) に格納されたデータバイト数が以下に示す設定トリガ数以下になったとき SPTEF フラグは 1 にセットされます。 00: 7Byte (1) * 01: 6Byte (2) * 10: 4Byte (4) * 11: 0Byte (8) * 【注】 * ()内の数値は送信バッファ (SPTX) の空きバイト数を示します。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2~0	RXTRG	000	R/W	<p>受信バッファデータ数トリガ</p> <p>ステータスレジスタの SPRF フラグの基準値となる、受信バッファフルタイムングの設定をします。受信バッファ (SPRX) に格納されたデータバイト数が以下に示す設定トリガ数以上になったときに SPRF フラグは 1 にセットされます。</p> <p>000 : 1Byte (31) *</p> <p>001 : 2Byte (30) *</p> <p>010 : 4Byte (28) *</p> <p>011 : 8Byte (24) *</p> <p>100 : 16Byte (16) *</p> <p>101 : 24Byte (8) *</p> <p>110 : 32Byte (0) *</p> <p>111 : 5Byte (27) *</p> <p>【注】 * () 内の数値は受信バッファ (SPRX) の空きバイト数を示します。</p>

17.3.15 バッファデータカウントセットレジスタ (SPBFDR)

SPBFDR は、送信バッファ (SPTX) と受信バッファ (SPRX) に格納されているデータ数を示します。

上位 8 ビットで SPTX の送信データバイト数を、下位 8 ビットで SPRX の受信データバイト数を示します。

ビット :	15	14	13	12	11	10	9	8
	-	-	-	-	T[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	-	-	R[5:0]					
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
11~8	T[3:0]	0000	R	SPTX に格納されている未送信データバイト数を示します。 B'0000 は SPTX がエンプティ状態であることを示します。 B'1000 は SPTX がフル状態であることを示します。
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
5~0	R[5:0]	000000	R	SPRX に格納されている受信データバイト数を示します。 B'000000 は SPRX がエンプティ状態であることを示します。 B'100000 は SPRX がフル状態であることを示します。

17.4 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

17.4.1 動作の概要

本モジュールは、スレーブモード、マスタモードのシリアル転送が可能です。モードは、制御レジスタ (SPCR) の MSTR ビットによって設定可能です。表 17.4 にモードと SPCR 設定の関係および各モードの概要を下記に示します。

表 17.4 モードと SPCR 設定の関係および各モードの概要

モード	スレーブ (SPI 動作)	マスタ (SPI 動作)
MSTR ビットの設定	0	1
MODFEN ビットの設定	0 or 1	0
RSPCK 信号	入力	出力
MOSI 信号	入力	出力
MISO 信号	出力 / Hi-Z	入力
SSL 信号	入力	出力
SSL 極性変更機能	あり	あり
転送レート	~P1 /8	~P1 /2
クロックソース	RSPCK 入力	内蔵ポーレートジェネレータ
クロック極性	2 種	2 種
クロック位相	2 種	2 種
先頭転送ビット	MSB / LSB	MSB / LSB
転送データ長	8、16、32 ビット	8、16、32 ビット
バースト転送	可能 (CPHA=1)	可能 (CPHA=0、1)
RSPCK 遅延制御	なし	あり
SSL ネグート遅延制御	なし	あり
次アクセス遅延制御	なし	あり
転送起動方法	SSL 入力アクティブ または RSPCK 発振	SPE=1 で送信 バッファ書き込み
シーケンス制御	なし	あり
送信バッファエンプティ検出	あり	あり
受信バッファフル検出	あり	あり
オーバランエラー検出	あり	なし
モードフォルトエラー検出	あり (MODFEN=1)	なし

17.4.2 端子の制御

本モジュールは、制御レジスタ (SPCR) の MSTR ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。端子状態と各ビットの設定値の関係を表 17.5 に示します。

表 17.5 端子の状態と制御ビット設定値の関係

モード	端子	端子状態
マスタ (SPI 動作) (MSTR=1)	RSPCK	CMOS 出力
	SSL	CMOS 出力
	MOSI	CMOS 出力
	MISO	入力
スレーブ (SPI 動作) (MSTR=0)	RSPCK	入力
	SSL	入力
	MOSI	入力
	MISO*	CMOS 出力 / Hi-Z

【注】 * SSL が非アクティブレベルまたは SPCR の SPE ビットが 0 の場合、端子状態が Hi-Z になります。

マスタモード (SPI 動作) の本モジュールは、SPPCR の MOIFE ビットと MOIFV ビットの設定に従って、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI 信号値を表 17.6 のように決定します。

表 17.6 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE	MOIFV	SSL ネゲート期間の MOSI 信号値
0	0、1	前回転送の最終データ
1	0	常に 0
1	1	常に 1

17.4.3 システム構成例

(1) マスタ/スレーブ (本 LSI = マスタ)

図 17.2 に、本 LSI をマスタとして使用した場合のマスタ/スレーブのシステムの構成例を示します。マスタ/スレーブの構成では、本 LSI (マスタ) の SSL 出力は使用しません。スレーブの SSL 入力 は 0 レベルに固定して、スレーブを常にセレクト状態にします。制御レジスタ (SPCR) の CPHA ビットが 0 の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSL 出力をスレーブデバイスの SSL 入力に接続してください。

本 LSI (マスタ) は、RSPCK と MOSI を常にドライブします。スレーブは、MISO を常にドライブします。

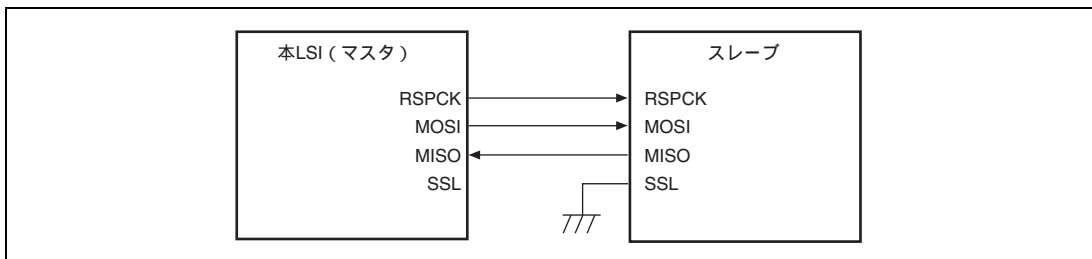


図 17.2 マスタ/スレーブの構成例 (本 LSI = マスタ)

(2) マスタ/スレーブ (本 LSI = スレーブ)

図 17.3 に、本 LSI をスレーブとして使用した場合のマスタ/スレーブのシステム構成例を示します。本 LSI をスレーブとして使用する場合には、SSL 端子を SSL 入力として使用します。マスタは、RSPCK と MOSI を常にドライブします。本 LSI (スレーブ) は、MISO を常にドライブします。SSL が非アクティブレベルの場合、端子状態が Hi-Z になります。

コマンドレジスタ (SPCMD) の CPHA ビットを 1 に設定したシングルスレーブ構成の場合には、本 LSI (スレーブ) の SSL 入力を 0 レベルに固定して本 LSI (スレーブ) を常に選択状態とし、シリアル転送を実行することも可能です (図 17.4)。

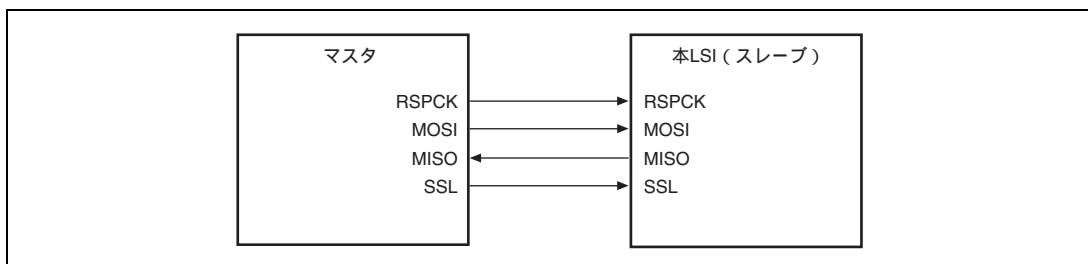


図 17.3 マスタ/スレーブの構成例 (本 LSI = スレーブ)

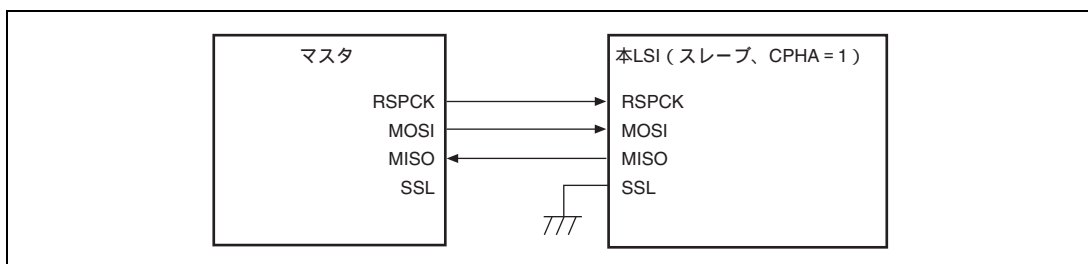


図 17.4 マスタ/スレーブの構成例 (本 LSI = スレーブ、CPHA = 1)

(3) マスタ/マルチスレーブ (本 LSI = スレーブ)

図 17.5 に、本 LSI をスレーブとして使用した場合のマスタ/マルチスレーブのシステム構成例を示します。図 17.5 の例では、マスタと 2 つの本 LSI (スレーブ X、スレーブ Y) からシステムを構成しています。

マスタの RSPCK 出力と MOSI 出力は、本 LSI (スレーブ X、スレーブ Y) の RSPCK 入力と MOSI 入力に接続します。本 LSI (スレーブ X、スレーブ Y) の MISO 出力は、マスタの MISO 入力に接続します。マスタの SSLX 出力、SSLY 出力は、本 LSI (スレーブ X、スレーブ Y) の SSL 入力に接続します。

マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI (スレーブ X、スレーブ Y) のうち、SSL0 入口に 0 レベルを入力されているスレーブが、MISO をドライブします。

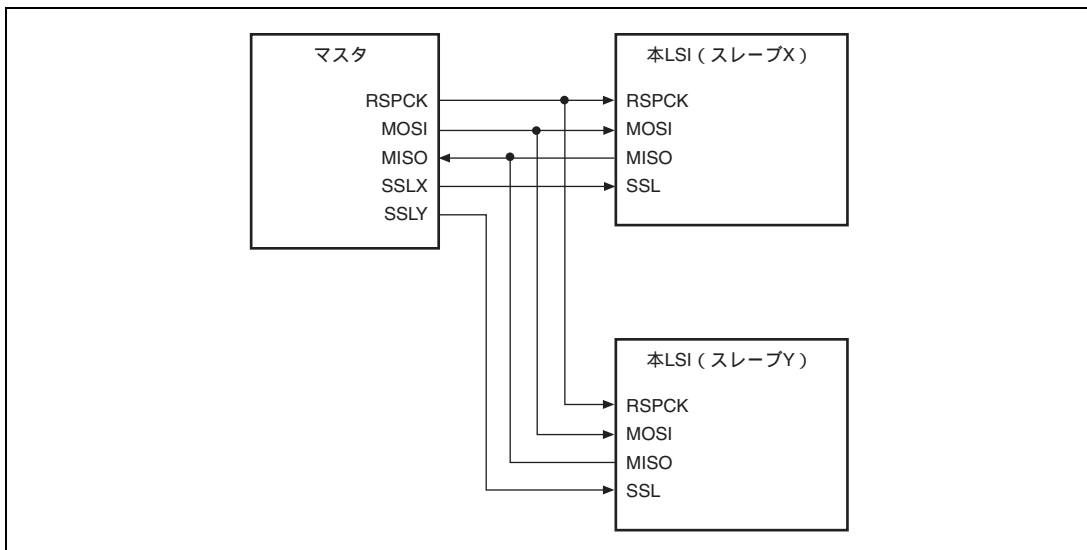


図 17.5 シングルマスタ/マルチスレーブの構成例 (本 LSI = スレーブ)

17.4.4 転送フォーマット

(1) CPHA = 0 の場合

図 17.6 にコマンドレジスタ (SPCMD) の CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 17.6 において、RSPCK (CPOL = 0) は SPCMD の CPOL ビットが 0 の場合、RSPCK (CPOL = 1) は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、本モジュールがシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、本モジュールの設定に依存します。詳細は「17.4.2 端子の制御」を参照してください。

CPHA ビットが 0 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSI 信号と MISO 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL 信号のアサートから RSPCK 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCK 発振停止から SSL 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSL 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、システム上のマスタデバイスによって制御されます。本モジュールがマスタモードである場合の t1、t2、t3 については、「17.4.3 (1) マスタ/スレーブ (本 LSI = マスタ)」を参照してください。

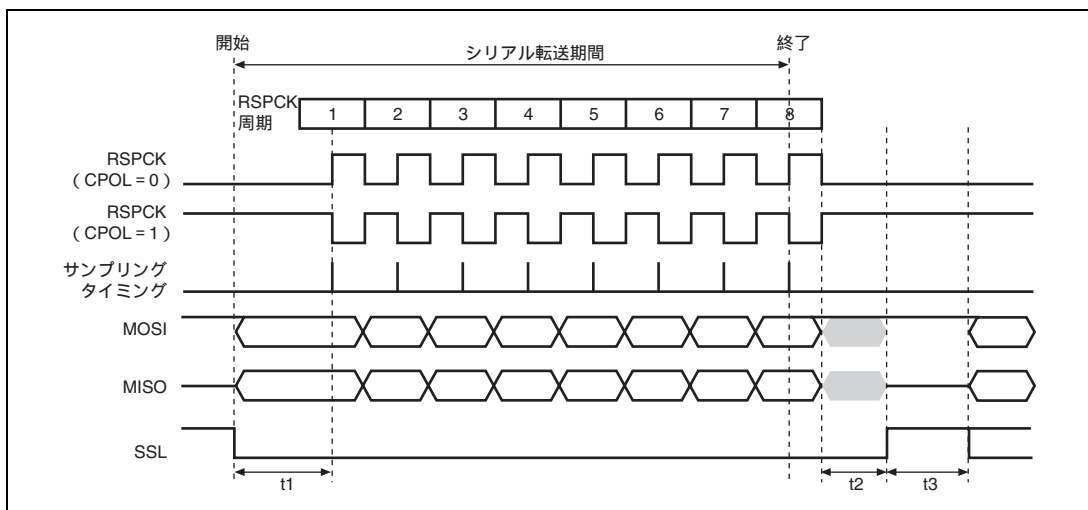


図 17.6 転送フォーマット (CPHA = 0)

(2) CPHA = 1 の場合

図 17.7 コマンドレジスタ (SPCMD) の CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 17.7 において、RSPCK (CPOL = 0) は SPCMD の CPOL ビットが 0 の場合、RSPCK (CPOL = 1) は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、本モジュールがシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、モード (マスタ/スレーブ) に依存します。詳細は「17.4.2 端子の制御」を参照してください。

CPHA ビットが 1 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA = 0 の場合と同様です。本モジュールがマスタモードである場合の t1、t2、t3 については、「17.4.3 (1) マスタ/スレーブ (本 LSI = マスタ)」を参照してください。

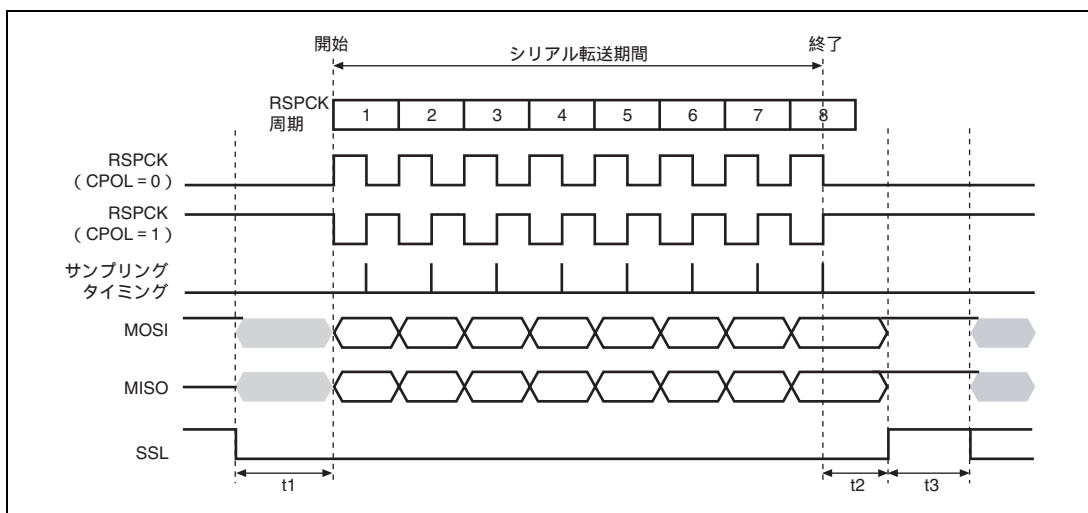


図 17.7 転送フォーマット (CPHA = 1)

17.4.5 データフォーマット

データフォーマットは、コマンドレジスタ (SPCMD) の設定値に依存します。MSB / LSB ファーストにかかわらず、本モジュールはデータレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

(1) MSB ファースト転送 (32 ビットデータ)

図 17.8 に、本モジュールがデータ長 32 ビットの MSB ファースト転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、SPDR の送信バッファに T31 ~ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31 ~ R00 が格納されます。この状態で、本モジュールはシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31 ~ R00 がシフトレジスタからシフトアウトされます。

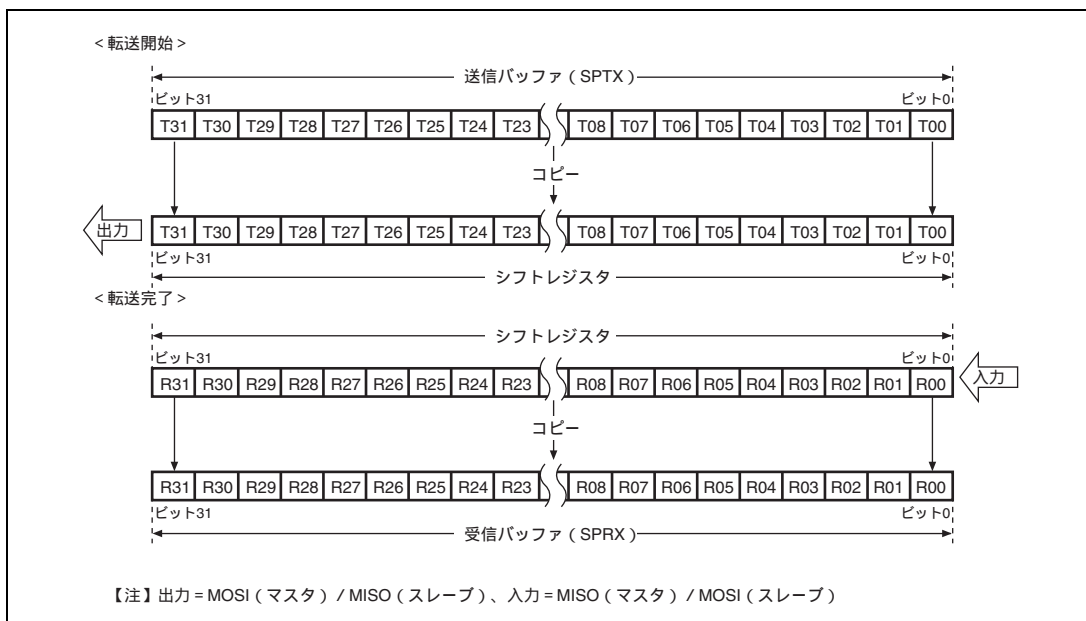


図 17.8 MSB ファースト転送 (32 ビットデータ)

(2) MSB ファースト転送 (16 ビットデータ)

図 17.9 に、本モジュールが 16 ビットのデータ転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T15 ~ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタのビット 15 からデータを出し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 15 ~ 0 には受信データ R15 ~ R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31 ~ 16 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R15 ~ R00 がシフトレジスタからシフトアウトされます。

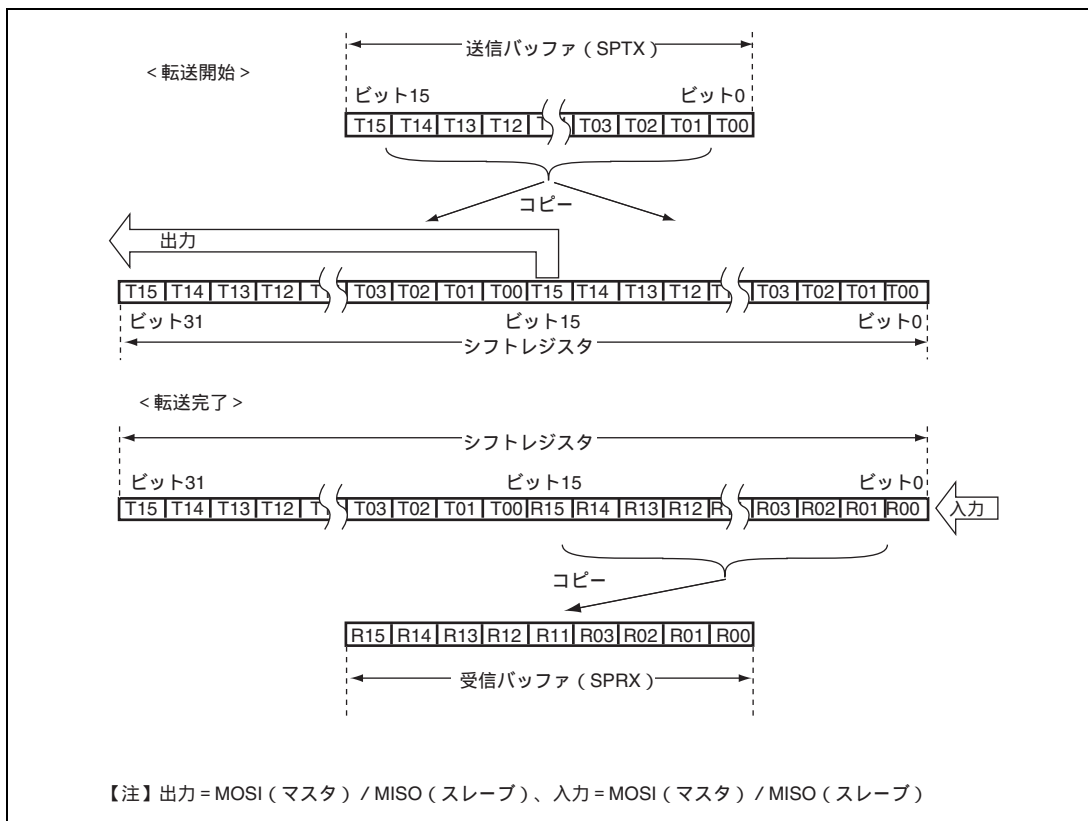


図 17.9 MSB ファースト転送 (16 ビットデータ)

(3) MSB ファースト転送 (8 ビットデータ)

図 17.10 に、本モジュールが 8 ビットのデータ転送を実施する場合のデータレジスタ (SPDR) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T07 ~ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタのビット 7 からデータを出し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。8 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 7 ~ 0 には受信データ R07 ~ R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31 ~ 8 には、転送前のデータが保持されています。この状態で、本モジュールはシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R07 ~ R00 がシフトレジスタからシフトアウトされます。

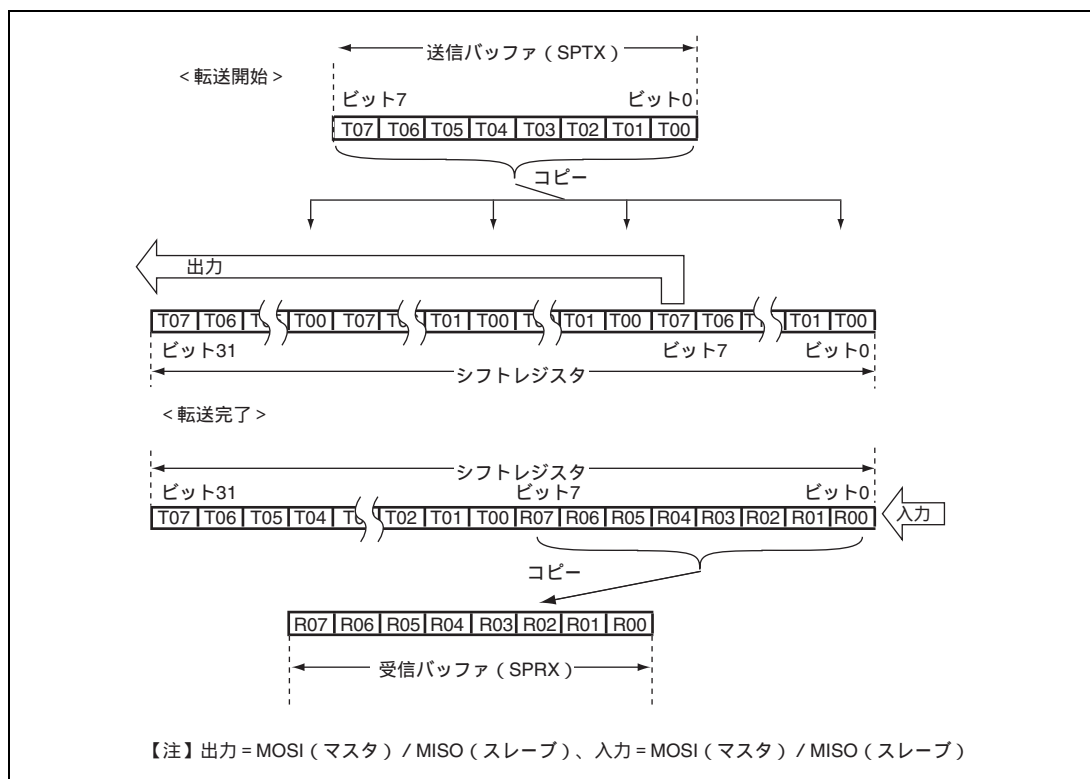


図 17.10 MSB ファースト転送 (8 ビットデータ)

(4) LSB ファースト転送 (32 ビットデータ)

図 17.11 に、本モジュールがデータ長 32 ビットの LSB ファースト転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T31 ~ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファの送信データをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB (ビット 31) から送信データを出力し、シフトレジスタの LSB (ビット 0) から受信データをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタには受信データ R00 ~ R31 が格納されます。この状態で、本モジュールはシフトレジスタから受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。

また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ R31 がシフトレジスタからシフトアウトされます。

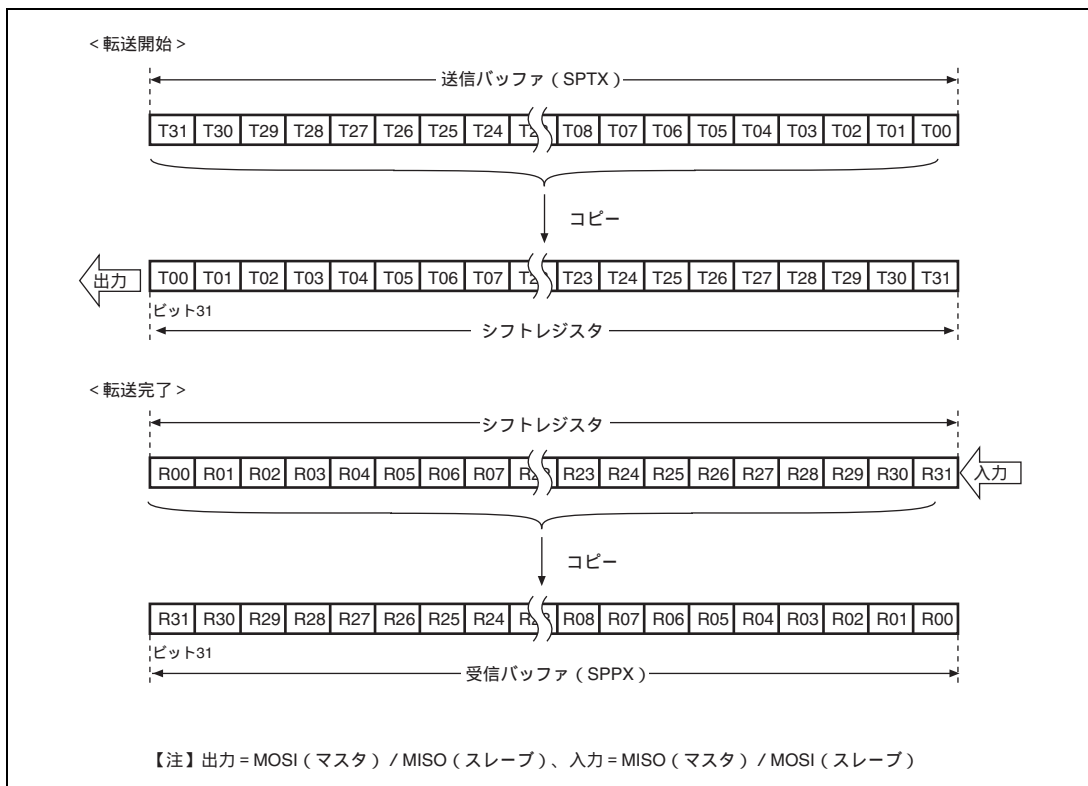


図 17.11 LSB ファースト転送 (32 ビットデータ)

(5) LSB ファースト転送 (16 ビットデータ)

図 17.12 に、本モジュールが 16 ビットのデータ転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T15 ~ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタのビット 16 からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31 ~ 16 には受信データ R00 ~ R15 が格納されます。シリアル転送完了後のシフトレジスタのビット 15 ~ 0 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ R15 がシフトレジスタからシフトアウトされます。

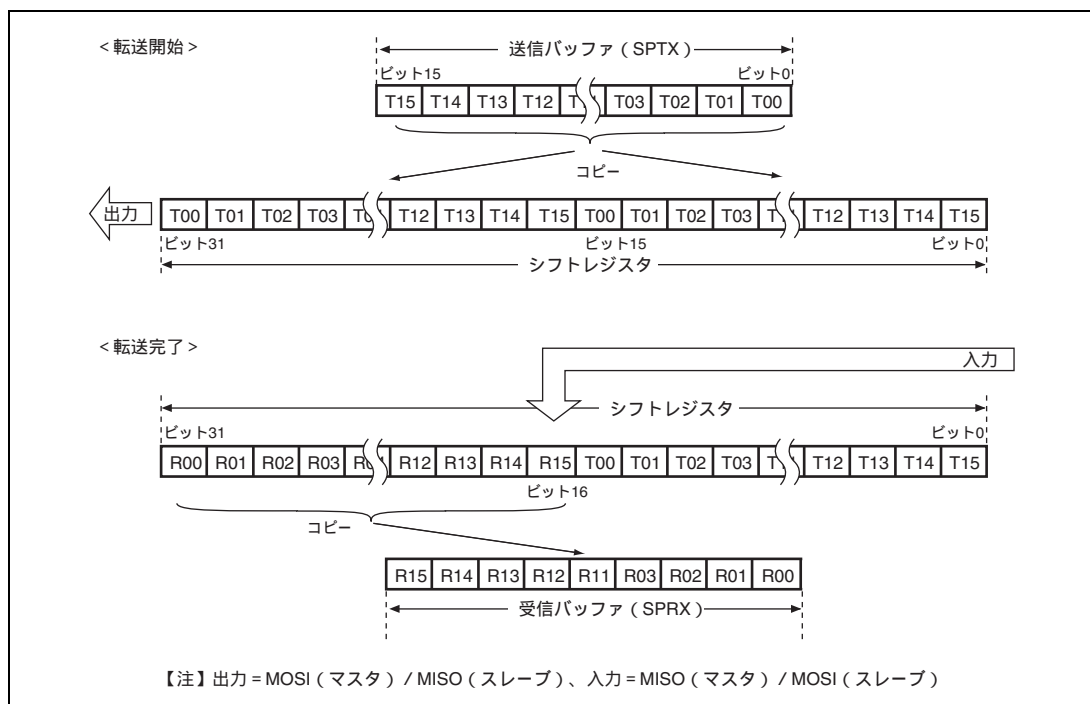


図 17.12 LSB ファースト転送 (16 ビットデータ)

(6) LSB ファースト転送 (8 ビットデータ)

図 17.13 に、本モジュールが 8 ビットのデータ転送を実施する場合の送信バッファ(SPTX)とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T07 ~ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファの送信データをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB (ビット 31) からデータを出し出し、シフトレジスタのビット 24 からデータをシフトインします。8 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31 ~ 24 には受信データ R00 ~ R07 が格納されます。シリアル転送完了後のシフトレジスタのビット 23 ~ 0 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ R07 がシフトレジスタからシフトアウトされます。

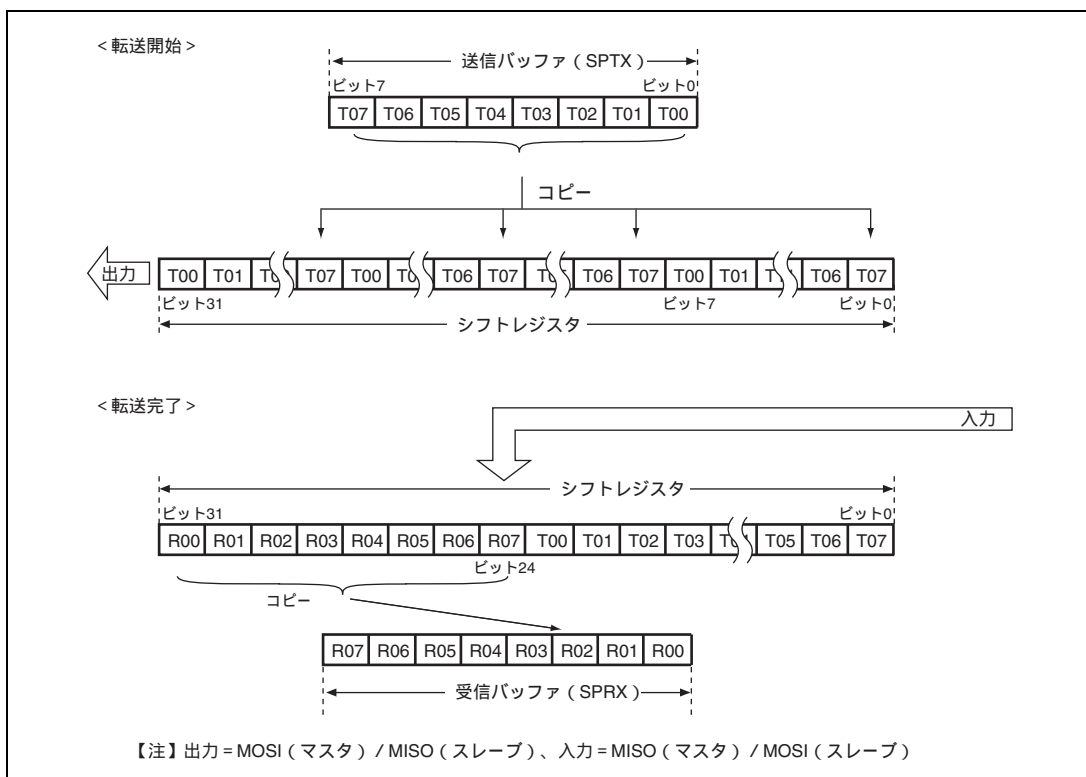


図 17.13 LSB ファースト転送 (8 ビットデータ)

17.4.6 エラー検出

通常のシリアル転送では、データレジスタ (SPDR) の送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを SPDR の受信バッファから読み出すことができます。SPDR へアクセスした場合の送受信バッファの状態やシリアル転送の開始 / 終了時の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、本モジュールはオーバランエラーまたはモードフォルトエラーとして検出します。表 17.7 に、通常以外の転送動作とエラー検出機能の関係を示します。

表 17.7 通常以外の転送の発生条件とエラー検出機能

	発生条件	動作	エラー検出
A	送信バッファがいっぱいの状態で SPDR を書き込み。	書き込みデータ欠落。	なし
B	スレープモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始。	前回シリアル転送時の受信データをシリアル送信。	なし
C	受信バッファに受信データが 1 つもない状態で SPDR を読み出し。	不定出力	なし
D	受信バッファが受信データでいっぱい状態で、シリアル転送が終了。	シリアル受信データ欠落。	オーバランエラー検出 (スレープモードのみ)
E	スレープモードでシリアル転送中に SSL 入力信号がネゲート。	シリアル転送中断。 送受信データ欠落。 動作ディスエーブル。	モードフォルトエラー検出

表 17.7 の A に示した動作に対しては、本モジュールはエラーを検出しません。SPDR への書き込みが可能であるかについては、バッファデータカウントセットレジスタ (SPBFDR) の T[3:0] ビットで確認することができます。

B に示した動作に対しても、本モジュールはエラーを検出しません。本モジュールでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR の受信バッファに保持されているので、正しく読み出されます。

C に示した動作に対しても、本モジュールはエラーを検出しません。不要なデータを読み出さないためには、バッファデータカウントセットレジスタ (SPBFDR) の R[5:0] ビットで受信バッファに格納されている受信データ数を確認してください。

D に示したオーバランエラーについては、「17.4.6 (1) オーバランエラー」で詳しく説明します。また、E に示したモードフォルトエラーについては、「17.4.6 (2) モードフォルトエラー」で説明します。

(1) オーバランエラー

データレジスタ (SPDR) の受信バッファフル状態でシリアル転送が終了すると、本モジュールはオーバランエラーを検出して SPSR の OVRF ビットを 1 にします。OVRF ビットが 1 の状態では、本モジュールはシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR の OVRF ビットを 0 にするためには、パワーオンリセットを実施するか、OVRF ビットが 1 にセットされた状態の SPSR を読み出した後に、OVRF に 0 を書き込む必要があります。

図 17.14 に、SPSR の SPRF ビットと OVRF ビットの動作を示します。図 17.14 に記載した SPSR アクセスと SPDR アクセスは、それぞれのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。図 17.14 の例では、コマンドレジスタ (SPCMD) の CPHA が 1、CPOL が 0 の設定で、本モジュールが 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

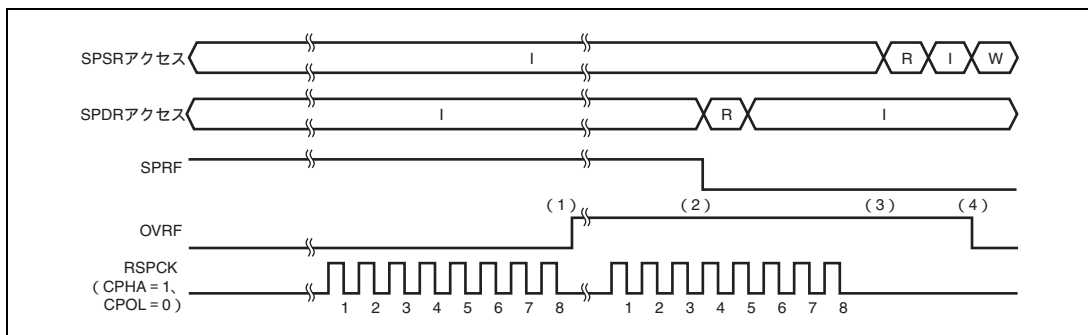


図 17.14 SPRF、OVRF ビットの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファに受信データ長の空きがない状態でシリアル転送が終了すると、本モジュールがオーバランエラーを検出し、OVRF ビットを 1 にします。本モジュールはシフトレジスタのデータを受信バッファにコピーしません。
2. SPDR を読み出し、バッファコントロールレジスタ (SPBFCR) の受信バッファデータ数トリガ (RXTRG) ビットで設定したトリガ数以下になっても OVRF ビットはクリアされません。
3. オーバランエラー発生状態で、シリアル転送が終了すると本モジュールはシフトレジスタを空っぽであると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF ビットが 1 の状態で SPSR を読み出した後、OVRF に 0 を書き込むと、本モジュールは OVRF ビットをクリアします。

オーバランの発生は、SPSR の読み出しあるいはエラー割り込みと SPSR の読み出しによって確認できます。エラー割り込みを利用する場合には、制御レジスタ (SPCR) の SPEIE ビットを 1 にしてください。エラー割り込みを利用せずにシリアル転送を実行する場合には、SPDR の読み出し直後に SPSR を読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。

OVRF ビットを 0 にクリアする条件は以下のとおりです。

- OVRFが1にされた状態のSPSRを読み出した後、OVRFに0を書き込む
- パワーオンリセット

【注】オーバランエラーが発生している状態で、受信バッファに受信データ格納領域がある場合、本モジュールは受信データを受信します。

(2) モードフォルトエラー

MSTR ビットが 0 の場合には、本モジュールはスレープモードで動作します。スレープモードで MODFEN ビットが 1 の場合、シリアル転送期間 (有効データのドライブ開始から最終有効データの取り込みまで) に SSL 入力信号がネゲートされると、本モジュールはモードフォルトエラーを検出します。

本モジュールはモードフォルトエラーを検出すると出力信号のドライブ停止および SPCR レジスタの SPE ビットのクリアを実施します。SPE ビットが 0 になると本モジュールの機能が無効化され、本モジュールによる外部信号のドライブは停止します。SPE ビットを 0 にすることによる本モジュール機能の無効化については「17.4.7 初期化」を参照してください。

モードフォルトエラーの発生は、SPSR の読み出し、あるいはエラー割り込みと SPSR の読み出しによって確認できます。エラー割り込みを利用する場合には、制御レジスタ (SPCR) の SPEIE ビットを 1 にしてください。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR をポーリングする必要があります。

MODF ビットが 1 の状態では、SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に本モジュールの機能を有効にするためには、必ず MODF ビットを 0 にしてください。MODF ビットを 0 にクリアする条件は以下のとおりです。

- MODFが1にされた状態のSPSRを読み出した後、MODFに0を書き込む
- パワーオンリセット

17.4.7 初期化

制御レジスタ (SPCR) の SPE ビットに 0 を書き込んだ場合、またはモードフォルトエラー検出により本モジュールが SPE ビットを 0 にクリアした場合には、本モジュールは機能を無効化し、モジュール機能の一部を初期化します。また、パワーオンリセットが発生した場合には、本モジュールはモジュール機能をすべて初期化します。以下に、SPE ビットのクリアによる初期化について説明します。

(1) SPE ビットのクリアによる初期化

SPCR の SPE ビットがクリアされた場合、本モジュールは以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- 内部ステートの初期化
- SPSR の TEND ビットの初期化

SPE ビットのクリアによる初期化では、本モジュールの制御ビットは初期化されません。このため、SPE ビットに 1 を再設定すれば初期化前と同じ転送モードで本モジュールを起動できます。

17.4.8 SPI 動作

(1) マスタモード動作

マルチマスタモード動作について説明します。

(a) シリアル転送の開始

シリアル転送の開始条件は送信バッファからシフトレジスタへ送信データをコピーし、シフトレジスタがフルになり、かつ受信バッファに受信データ長の空きがある場合にシリアル転送を開始します。また、シフトレジスタに送信データが書き込まれていた場合、送信バッファからシフトレジスタへのコピーは行われません。

なお、転送フォーマットの詳細については「17.4.4 転送フォーマット」を参照してください。

(b) シリアル転送の終了

コマンドレジスタ (SPCMD) の CPHA ビットにかかわらず、本モジュールは最終サンプリングタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。シリアル転送終了後にシフトレジスタから受信データを受信バッファにコピーします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信データ長の空きを確保してください。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのデータ長は、コマンドレジスタ (SPCMD) の SPB3 ~ SPB0 ビットの設定値に依存します。転送フォーマットの詳細については「17.4.4 転送フォーマット」を参照してください。

(c) シーケンス制御

マスタモード時の転送フォーマットは、シーケンス制御レジスタ (SPSCR)、コマンドレジスタ 0~3 (SPCMD0~3)、ビットレートレジスタ (SPBR)、クロック遅延値レジスタ (SPCKD)、スレープセレクトネゲート遅延レジスタ (SSLND)、次アクセス遅延値レジスタ (SPND) によって決定されます。

SPSCR は、マスタモードの本モジュールで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0~3 には、SSL 出力信号値、MSB / LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD にはクロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

本モジュールは、SPSCR に設定されたシーケンス長に従って、SPCMD0~3 の一部 / 全部からなるシーケンスを構成します。本モジュールには、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、シーケンスステータスレジスタ (SPSSR) の SPCP1、0 ビットを読み出すことで確認が可能です。制御レジスタ (SPCR) の SPE ビットを 1 にして本モジュールの機能をイネーブルにすると、本モジュールはコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。本モジュールは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、本モジュールはポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

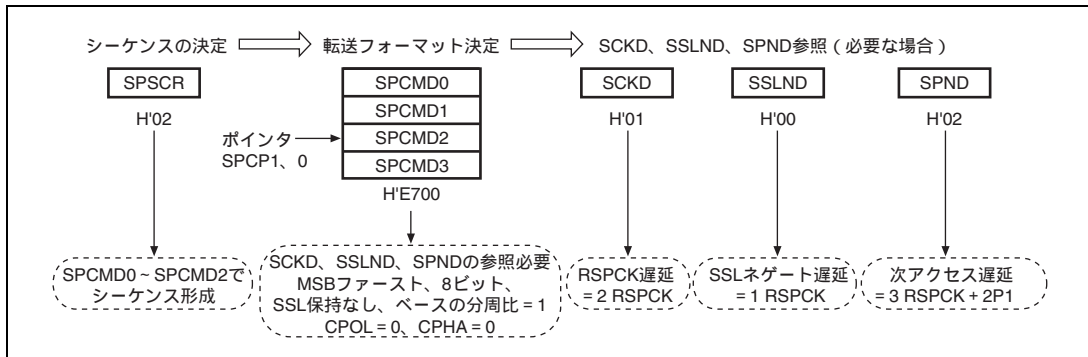


図 17.15 マスタモードでのシリアル転送方式の決定方法

(d) パースト転送

本モジュールが現在のシリアル転送で参照しているコマンドレジスタ (SPCMD) の SSLKP ビットが 1 の場合には、本モジュールはシリアル転送中の SSL 信号レベルを次のシリアル転送の SSL 信号アサート開始まで保持します。次のシリアル転送での SSL 信号レベルが、現在のシリアル転送での SSL 信号レベルと同じであれば、本モジュールは SSL 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (パースト転送)。

図 17.16 に、SPCMD0、1 の設定を使用してパースト転送を実現した場合の SSL 信号動作例を示します。図 17.16 に記載した (1) ~ (7) の動作内容について、以下に説明します。なお、SSL 出力信号の極性は、スレープセレクト極性レジスタ (SSLP) の設定値に依存します。

1. SPCMD0に従ったSSL信号のアサートとRSPCK遅延の挿入を実施します。
2. SPCMD0に従ったシリアル転送を実行します。
3. SSLネゲート遅延を挿入します。
4. SPCMD0のSSLKPビットが1であるため、SPCMD0でのSSL信号値を保持します。この期間は、最短の場合にはSPCMD0の次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタがエンプティの場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
5. SPCMD1に従ったSSL信号のアサートとRSPCK遅延の挿入を実施します。
6. SPCMD1に従ったシリアル転送を実行します。
7. SPCMD1のSSLKPビットが0であるため、SSL信号をネゲートします。また、SPCMD1に従った次アクセス遅延が挿入されます。

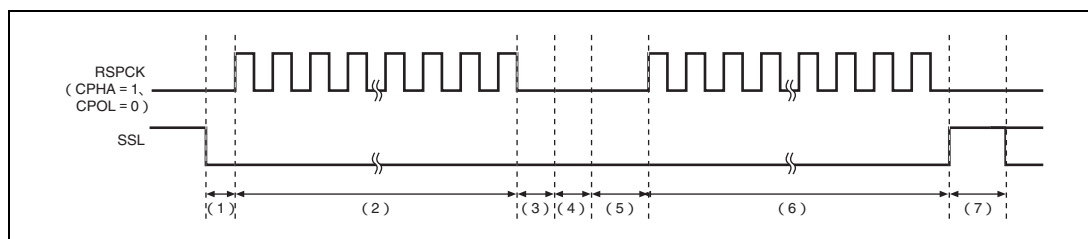


図 17.16 SSLKP ビットを利用したパースト転送動作の例

SSLKP ビットに 1 を設定した SPCMD での SSL 信号出力設定と、次転送で使用する SPCMD での SSL 信号出力設定が異なる場合、本モジュールは次転送のコマンドに対応した SSL 信号のアサート時 (図 17.16 の (5)) に SSL 信号状態を切り替えます。このような SSL 信号の切り替えが発生した場合、MISO をドライブするスレープが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの本モジュールは、SSLKP を使用しない場合の SSL 信号動作をモジュール内部で参照しています。SPCMD の CPHA ビットが 0 の場合でも、本モジュールは内部で検出した次転送の SSL 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのパースト転送は、CPHA ビットの設定値にかかわらず実行できます (「17.4.8 (2) スレープモード動作」を参照)。

(e) RSPCK 遅延 (t1)

マスタモードの RSPCK 遅延値は、コマンドレジスタ (SPCMD) の SCKDEN ビットの設定とクロック遅延レジスタ (SPCKD) の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SCKDEN ビットと SPCKD を使用して、表 17.8 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「17.4.4 転送フォーマット」を参照してください。

表 17.8 SCKDEN、SPCKD と RSPCK 遅延値の関係

SCKDEN	SPCKD	RSPCK 遅延値
0	000 ~ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(f) SSL ネゲート遅延 (t2)

マスタモードの SSL ネゲート遅延値は、コマンドレジスタ (SPCMD) の SLNDEN ビットの設定と SSL ネゲート遅延レジスタ (SSLND) の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SLNDEN ビットと SSLND を使用して、表 17.9 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「17.4.4 転送フォーマット」を参照してください。

表 17.9 SSLND と SSL ネゲート遅延値の関係

SLNDEN	SSLND	SSL ネゲート遅延値
0	000 ~ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(g) 次アクセス遅延 (t3)

マスタモードの次アクセス遅延は、コマンドレジスタ (SPCMD) の SPNDEN ビットの設定と次アクセス遅延レジスタ (SPND) の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SPNDEN ビットと SPND を使用して、表 17.10 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「17.4.4 転送フォーマット」を参照してください。

表 17.10 SPNDEN、SPND と次アクセス遅延値の関係

SPNDEN	SPND	次アクセス遅延値
0	000 ~ 111	1RSPCK + 2P1
1	000	1RSPCK + 2P1
	001	2RSPCK + 2P1
	010	3RSPCK + 2P1
	011	4RSPCK + 2P1
	100	5RSPCK + 2P1
	101	6RSPCK + 2P1
	110	7RSPCK + 2P1
	111	8RSPCK + 2P1

(h) 初期化フロー

図 17.17 に、SPI 動作時、本モジュールをマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、ダイレクトメモリアクセスコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

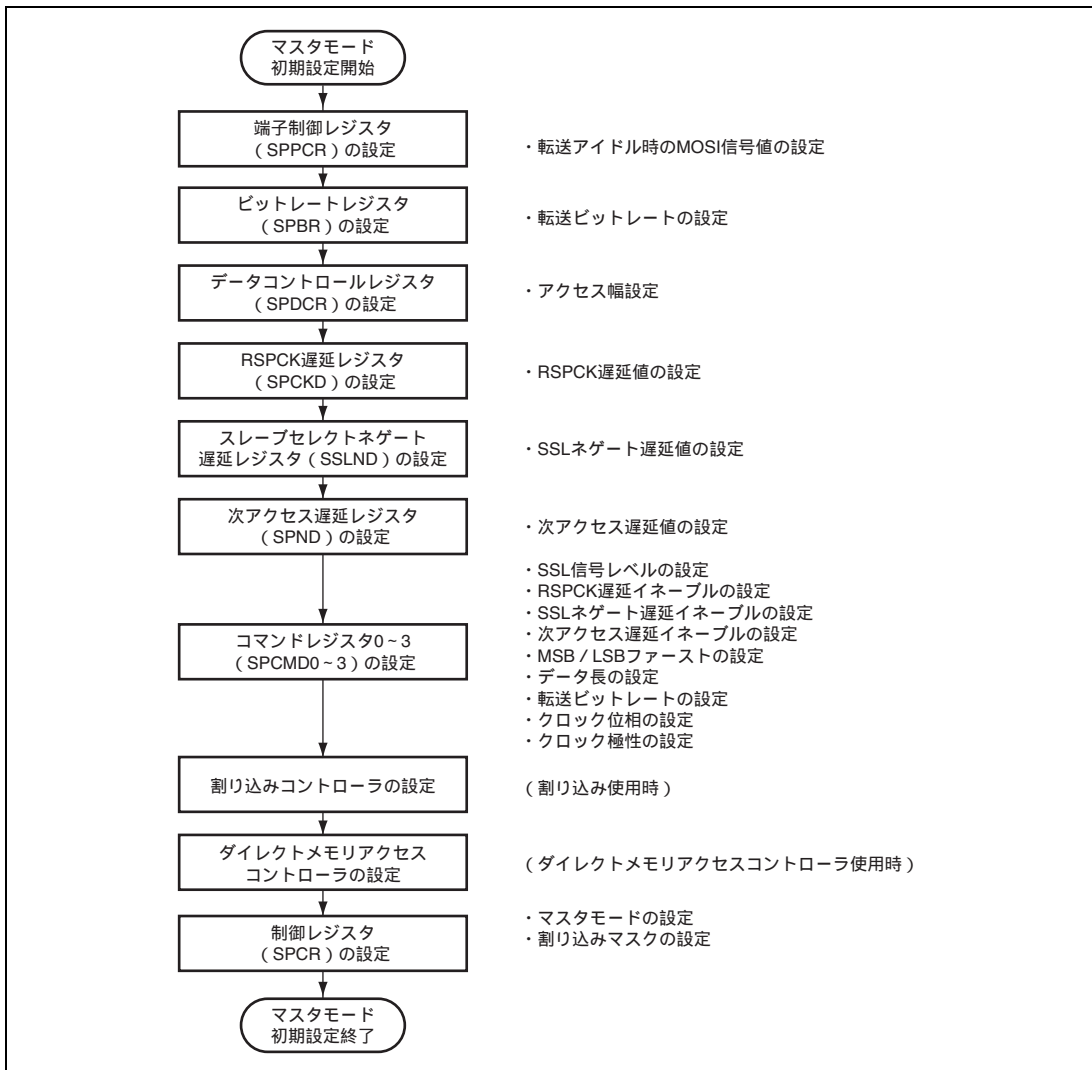


図 17.17 マスタモード時の初期化フロー例

(i) 転送動作フロー

図 17.18 に、SPI 動作時、マスタモードの転送動作フローを示します。

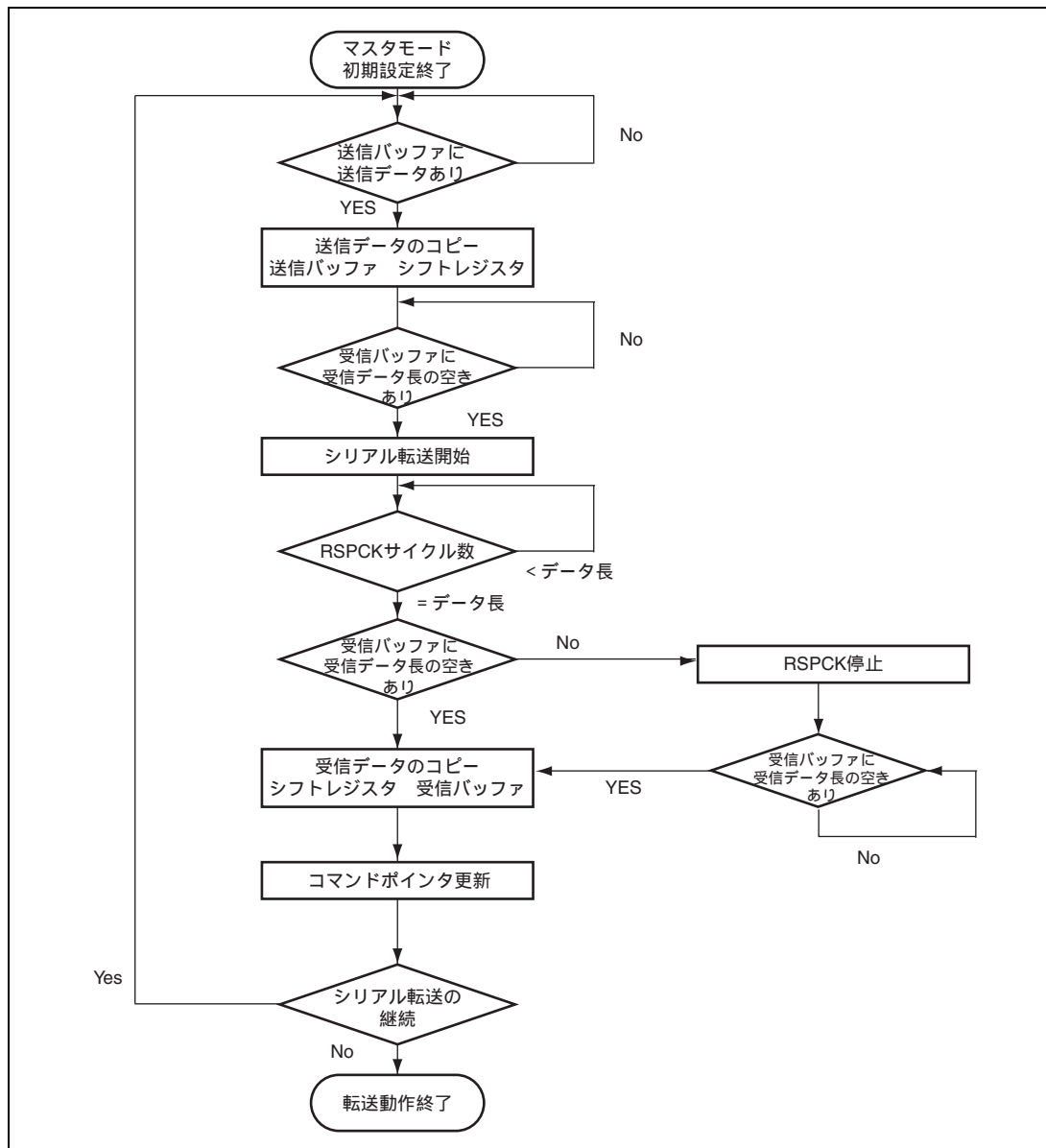


図 17.18 マスタモード時の転送動作フロー

(2) スレーブモード動作

(a) シリアル転送の開始

コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 0 の場合、本モジュールは SSL 入力信号のアサートを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 0 の場合には、SSL 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、本モジュールは SSL 入力信号のアサート状態で最初の RSPCK エッジを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 1 の場合には、SSL 信号アサート状態における最初の RSPCK エッジがシリアル転送開始のトリガになります。

本モジュールは、シフトレジスタがエンプティの状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、本モジュールはシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、本モジュールが MISO 出力信号のドライブを開始するタイミングは、SSL 信号アサートタイミングです。CPHA ビットの設定によって、本モジュールが出力するデータの有効/無効が異なります。

なお、本モジュールの転送フォーマットの詳細については、「17.4.4 転送フォーマット」を参照してください。SSL 入力信号の極性は、スレーブセレクト極性レジスタ (SSLP) の SSLP ビットの設定値に依存します。

(b) シリアル転送の終了

コマンドレジスタ 0 (SPCMD0) の CPHA ビットにかかわらず、本モジュールは最終サンプリングタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。受信バッファに受信データを保存することができる空きがある場合には、シリアル転送の終了後に、本モジュールはシフトレジスタからデータレジスタ (SPDR) の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、本モジュールはシリアル転送の終了後にシフトレジスタの状態をエンプティに変更します。シリアル転送開始からシリアル転送終了の間に本モジュールが SSL 入力信号のネゲートを検出するとモードフォルトエラーが発生します (「17.4.6 エラー検出」を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのデータ長は SPCMD0 の SPB3 ~ SPB0 ビットの設定値に依存します。SSL 入力信号の極性は、スレーブセレクト極性レジスタ (SSLP) の SSLP ビットの設定値に依存します。転送フォーマットの詳細については、「17.4.4 転送フォーマット」を参照してください。

(c) スレーブ時の注意点

コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 0 の場合には、本モジュールは SSL 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 17.4 の例に示したような構成で本モジュールをスレーブで使用する場合には、SSL 入力信号が常にアクティブ状態に固定されるため、CPHA を 0 に設定した本モジュールではシリアル転送を正しく開始できません。SSL 入力信号をアクティブ状態に固定する構成で、スレーブモードの送受信を正しく実行するためには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合には、SSL 入力信号を固定しないでください。

(d) バースト転送

コマンドレジスタ0 (SPCMD0) の CPHA ビットが 1 の場合には、SSL 入力信号のアサート状態を保持したまま連続的なシリアル転送 (バースト転送) を実行することが可能です。CPHA ビットが 1 の場合には、SSL 入力信号アクティブ状態における最初の RSPCK エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSL 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが 0 の場合には、「17.4.8 (2) (c) スレープ時の注意点」と同じ理由のために、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(e) 初期化フロー

図 17.19 に、SPI 動作時、本モジュールをスレープモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、ダイレクトメモリアクセスコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

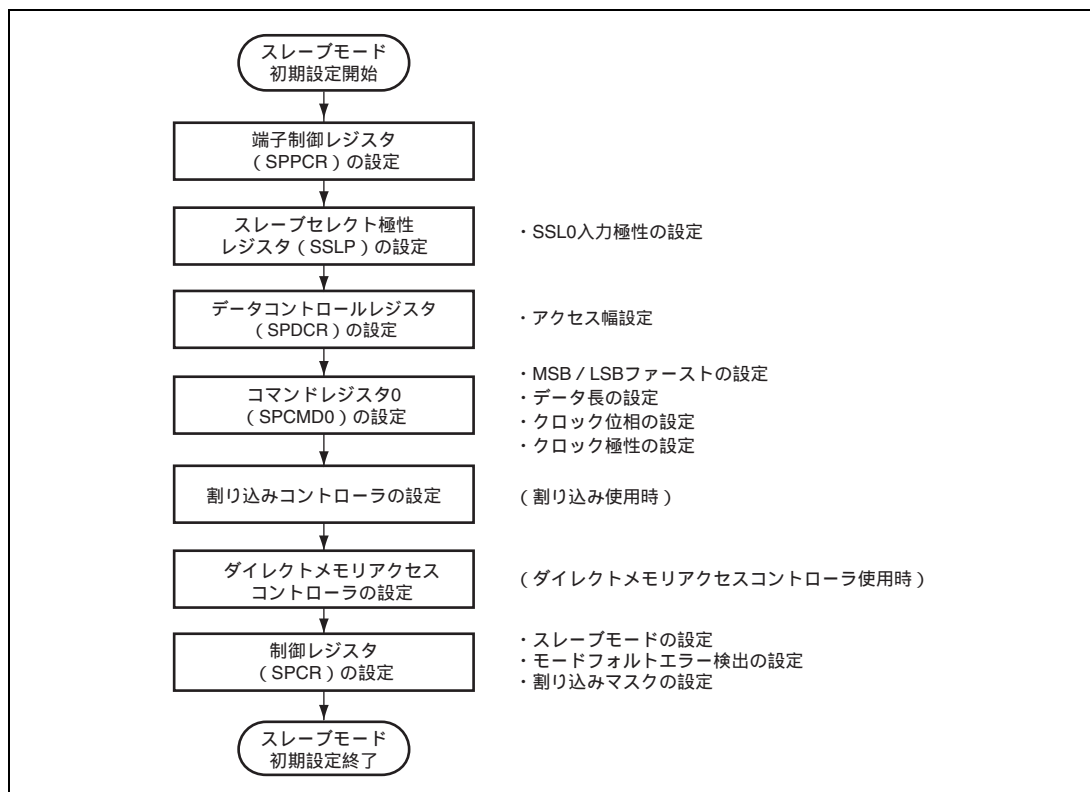


図 17.19 スレープモード時の初期化フロー例

(f) 転送動作フロー (CPHA = 0)

図 17.20 に、SPI 動作時、コマンドレジスタ 0 (SPCMD0) の CPHA ビットを 0 に設定したスレーブモードの転送動作フローを示します。

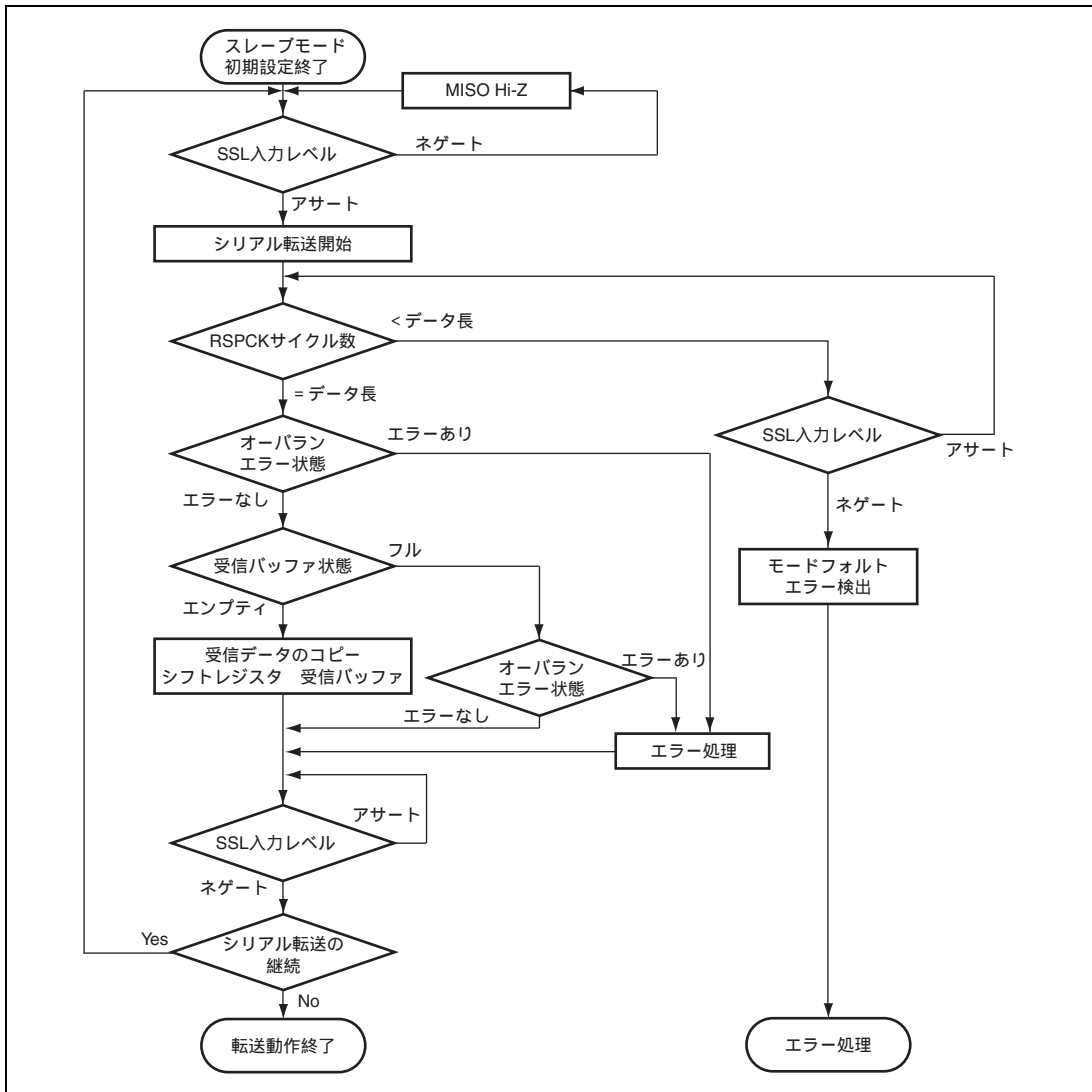


図 17.20 スレーブモード時の転送動作フロー (CPHA = 0)

(g) 転送動作フロー (CPHA = 1)

図 17.21 に、SPI 動作時、コマンドレジスタ 0 (SPCMD0) の CPHA ビットを 1、制御レジスタ (SPCR) の MODFEN ビットを 1 に設定したスレープモードの転送動作フローを示します。MODFEN ビットを 0 に設定した状態でシリアル転送を開始し、RSPCK サイクル数がデータ長より短い状態で SSL 入力レベルがネゲートされた場合、以降の動作は保証されません。

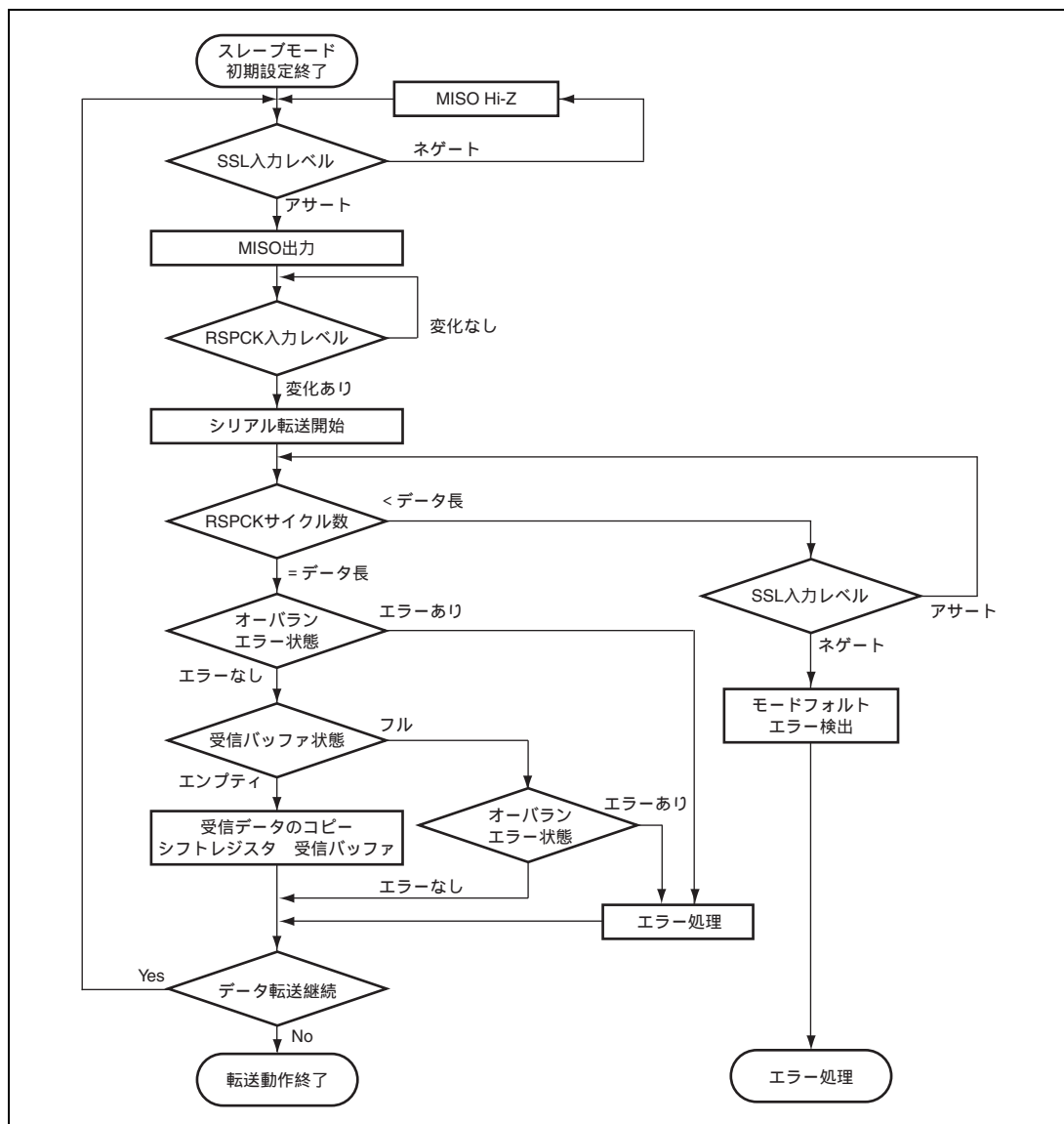


図 17.21 スレープモード時の転送動作フロー (CPHA = 1)

17.4.9 エラー処理

図 17.22、図 17.23 に、エラー処理を示します。マスタモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

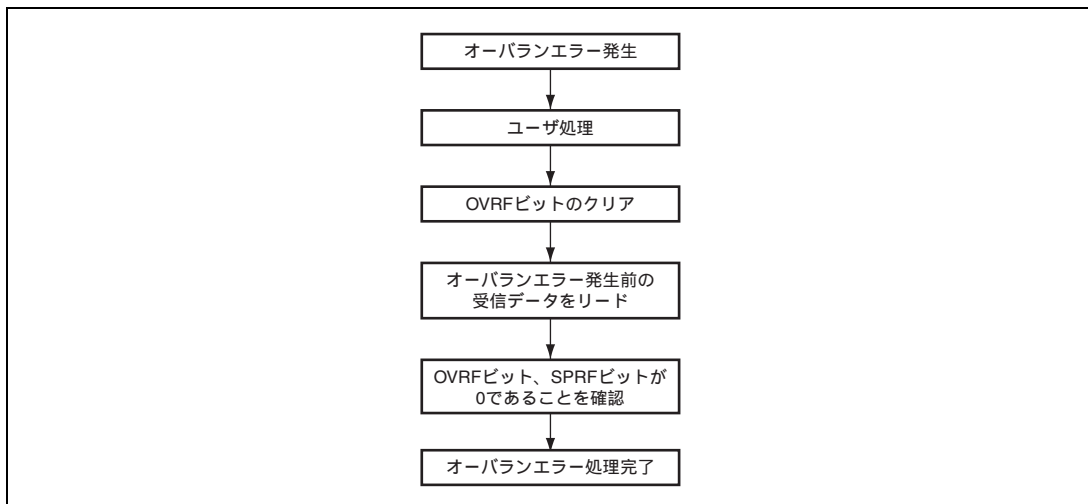


図 17.22 エラー処理（オーバーランエラー）

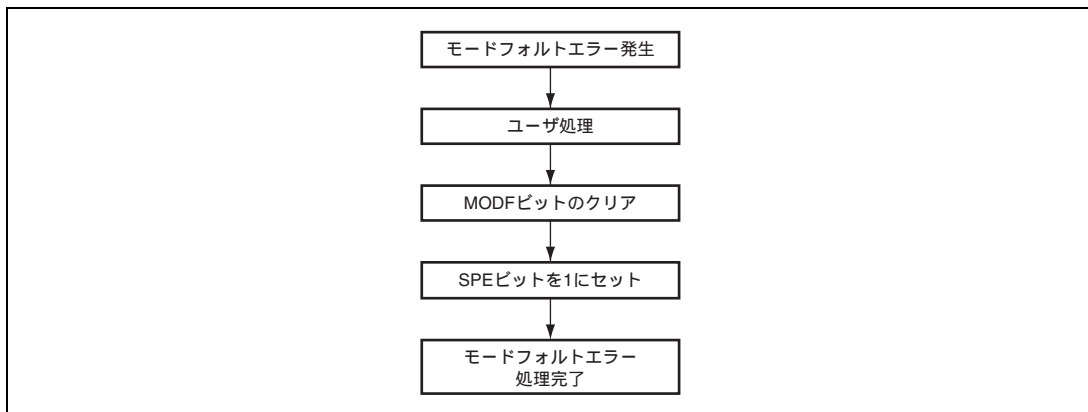


図 17.23 エラー処理（モードフォルトエラー）

17.4.10 ループバックモード

端子制御レジスタ(SPPCR)の SPLP ビットに 1 を書き込むと、本モジュールは MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路(反転)を接続します。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、送信データが受信データになります。図 17.24 に、マスタモードの本モジュールをループバックモードに設定した場合のシフトレジスタ入出力経路の構成を示します。

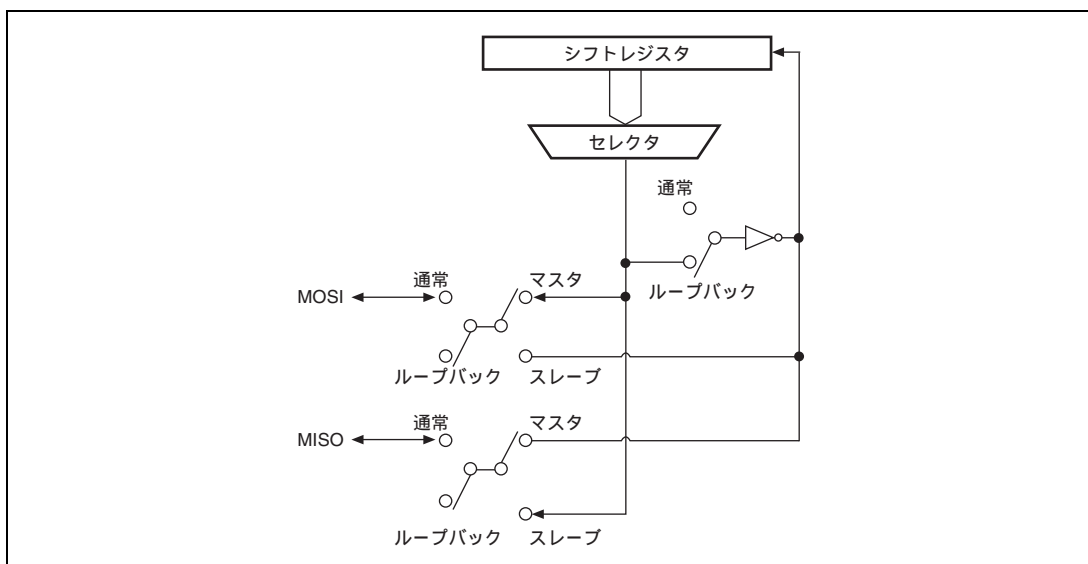


図 17.24 ループバックモード時のシフトレジスタ入出力構成 (マスタモード)

17.4.11 割り込み要因

割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバランがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でダイレクトメモリアクセスコントローラを起動し、データ転送を行うことができます。

表 17.11 に、割り込み要因を示します。

表 17.11 の割り込み条件が成立すると、割り込みが発生します。CPU またはダイレクトメモリアクセスコントローラによるデータ転送で割り込み要因をクリアしてください。

表 17.11 割り込み要因

名称	割り込み要因	略称	割り込み条件	ダイレクトメモリアクセス コントローラ起動
SPRI	受信バッファフル	RXI	(SPRIE=1)・(SPRF=1)	
SPTI	送信バッファエンプティ	TXI	(SPTIE=1)・(SPTIEF=1)	
SPEI	モードフォルト	MOI	(SPEIE=1)・(MODF=1)	-
	オーバラン	OVI	(SPEIE=1)・(OVRF=1)	-

18. ルネサスクワッドシリアルペリフェラル インタフェース

本 LSI は独立した 2 チャンネルのルネサスクワッドシリアルペリフェラルインタフェースを備えています。

18.1 特長

本モジュールは以下の特長を持ちます。

- Single/Dual/Quad-SPI動作でシリアルフラッシュメモリとの通信が可能

Single-SPI動作

QMO (MasterOut)、QMI (MasterIn)、QSSL (Slave Select)、QSPCLK (SPI Clock) の4線を用いてシリアルフラッシュメモリへアクセスを行う

QMO端子は出力、QMI端子は入力

QSSL端子、QSPCLK端子は出力

Dual-SPI動作

QIO1-0、QSSL、QSPCLKの4線を用いてシリアルフラッシュメモリへアクセスを行う

QSSL端子、QSPCLK端子は出力

QIO1-0端子は双方向

Quad-SPI動作

QIO3-0、QSSL、QSPCLKの6線を用いてシリアルフラッシュメモリへアクセスを行う

QSSL端子、QSPCLK端子は出力

QIO3-0端子は双方向

- 転送データ長

8ビット～128Gビットで転送可能

ただし、8、16、32ビットの転送を基本の1転送として1～4294967296回繰り返しの連続転送とする

- ビットレート

QSPCLK分周比を1～4080で設定可能 (但し、送信時は2分周以上とする)

内部ポーレートジェネレータでP1 を分周してQSPCLKを生成

- バッファ構成

送信バッファ：8ビット×32個

受信バッファ：8ビット×32個

- シフトレジスタ

送信用、受信用それぞれに専用で32ビットずつのシフトレジスタを持つ

- QSSL端子制御
 - QSSL信号アサートからQSPCLK動作までの遅延（クロック遅延）を設定可能
設定範囲：0及び、1.5～8.5QSPCLK 設定単位：1QSPCLK
 - QSPCLK停止からQSSL出力ネゲートまでの遅延（QSSLネゲート遅延）を設定可能
設定範囲：0～8QSPCLK 設定単位：1QSPCLK
 - 次のアクセスのQSSL出力アサートのウェイト（次アクセス遅延）を設定可能
設定範囲：0～8QSPCLK 設定単位：1QSPCLK
 - 転送終了後から次アクセスまでの間QSSL出力値を保持可能
 - QSSL極性変更可能
- 転送制御
 - 最大4コマンドで構成された転送方式をシーケンシャルにループ実行可能
 - Single-SPIまたはDual/Quad-SPIライト動作：SPI機能有効で送信バッファへのデータライトで転送を起動
 - Dual/Quad-SPIリード動作：受信バッファに転送データ長の空きがある状態でSPI機能有効で転送を起動
 - QSSLネゲート時間中、QIO3-0端子出力、およびQMO出力は設定可能
 - Single/Dual-SPIモード時、QIO3-2端子出力は設定可能
- 割り込み要因
 - マスク可能な割り込み要因あり
 - 受信バッファフル割り込み
 - 送信バッファエンプティ割り込み
- その他
 - ループバックモード
 - 初期化機能あり

18.2 入出力端子

端子構成を表 18.1 に示します。

表 18.1 端子構成

チャンネル	名称	端子名	入出力	機能
0	クロック端子	QSPCLK_0	出力	クロック出力
	マスタ送出データ端子 / データ 0 端子 ^{*2}	QMO_0/QIO0_0	入出力	マスタ送出データ / データ 0
	マスタ入力データ端子 / データ 1 端子 ^{*2}	QMI_0/QIO1_0	入出力	マスタ入力データ / データ 1
	データ 2 端子 ^{*3}	QIO2_0	入出力	データ 2
	データ 3 端子 ^{*3}	QIO3_0	入出力	データ 3
	スレーブセレクト端子	QSSL_0	出力	スレーブセレクト
1	クロック端子	QSPCLK_1	出力	クロック出力
	マスタ送出データ端子 / データ 0 端子 ^{*2}	QMO_1/QIO0_1	入出力	マスタ送出データ / データ 0
	マスタ入力データ端子 / データ 1 端子 ^{*2}	QMI_1/QIO1_1	入出力	マスタ入力データ / データ 1
	データ 2 端子 ^{*3}	QIO2_1	入出力	データ 2
	データ 3 端子 ^{*3}	QIO3_1	入出力	データ 3
	スレーブセレクト端子	QSSL_1	出力	スレーブセレクト

【注】 *1 本文中では端子のチャンネルを省略して、QSPCLK、QMO/QIO0、QMI/QIO1、QIO2、QIO3、QSSL と表記します。

*2 Single-SPI モード時は QMO/QMI、Dual/Quad-SPI モード時は QIO0/QIO1 となります。

*3 Single/Dual-SPI モード時はレジスタ設定による固定値出力、Quad-SPI モード時は QIO2/QIO3 となります。

18.3 レジスタの説明

レジスタ構成を表 18.2 に示します。

表 18.2 レジスタ構成

チャネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ
0	制御レジスタ_0	SPCR_0	R/W	H'00	H'E8033800	8、16、32
	スレープセレクト極性レジスタ_0	SSLP_0	R/W	H'00	H'E8033801	8、16、32
	端子制御レジスタ_0	SPPCR_0	R/W	H'06	H'E8033802	8、16、32
	ステータスレジスタ_0	SPSR_0	R	H'60	H'E8033803	8、16、32
	データレジスタ_0	SPDR_0	R/W	不定	H'E8033804	8、16、32
	シーケンス制御レジスタ_0	SPSCR_0	R/W	H'00	H'E8033808	8、16、32
	シーケンスステータスレジスタ_0	SPSSR_0	R	H'00	H'E8033809	8、16、32
	ビットレートレジスタ_0	SPBR_0	R/W	H'FF	H'E803380A	8、16、32
	データコントロールレジスタ_0	SPDCR_0	R/W	H'00	H'E803380B	8、16、32
	クロック遅延レジスタ_0	SPCKD_0	R/W	H'00	H'E803380C	8、16、32
	スレープセレクトネゲート遅延レジスタ_0	SSLND_0	R/W	H'00	H'E803380D	8、16、32
	次アクセス遅延レジスタ_0	SPND_0	R/W	H'00	H'E803380E	8、16、32
	コマンドレジスタ 0_0	SPCMD0_0	R/W	H'E001	H'E8033810	16、32
	コマンドレジスタ 1_0	SPCMD1_0	R/W	H'E001	H'E8033812	16、32
	コマンドレジスタ 2_0	SPCMD2_0	R/W	H'E001	H'E8033814	16、32
	コマンドレジスタ 3_0	SPCMD3_0	R/W	H'E001	H'E8033816	16、32
	バッファコントロールレジスタ_0	SPBFCR_0	R/W	H'00	H'E8033818	8、16、32
	バッファデータカウントレジスタ_0	SPBDCR_0	R	H'0000	H'E803381A	16、32
	データ長倍数設定レジスタ 0_0	SPBMUL0_0	R/W	H'00000001	H'E803381C	32
	データ長倍数設定レジスタ 1_0	SPBMUL1_0	R/W	H'00000001	H'E8033820	32
データ長倍数設定レジスタ 2_0	SPBMUL2_0	R/W	H'00000001	H'E8033824	32	
データ長倍数設定レジスタ 3_0	SPBMUL3_0	R/W	H'00000001	H'E8033828	32	

チャネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ
1	制御レジスタ_1	SPCR_1	R/W	H'00	H'E8034000	8、16、32
	スレープセレクト極性レジスタ_1	SSLP_1	R/W	H'00	H'E8034001	8、16、32
	端子制御レジスタ_1	SPPCR_1	R/W	H'06	H'E8034002	8、16、32
	ステータスレジスタ_1	SPSR_1	R	H'60	H'E8034003	8、16、32
	データレジスタ_1	SPDR_1	R/W	不定	H'E8034004	8、16、32
	シーケンス制御レジスタ_1	SPSCR_1	R/W	H'00	H'E8034008	8、16、32
	シーケンスステータスレジスタ_1	SPSSR_1	R	H'00	H'E8034009	8、16、32
	ビットレートレジスタ_1	SPBR_1	R/W	H'FF	H'E803400A	8、16、32
	データコントロールレジスタ_1	SPDCR_1	R/W	H'00	H'E803400B	8、16、32
	クロック遅延レジスタ_1	SPCKD_1	R/W	H'00	H'E803400C	8、16、32
	スレープセレクトネゲート遅延レジスタ_1	SSLND_1	R/W	H'00	H'E803400D	8、16、32
	次アクセス遅延レジスタ_1	SPND_1	R/W	H'00	H'E803400E	8、16、32
	コマンドレジスタ 0_1	SPCMD0_1	R/W	H'E001	H'E8034010	16、32
	コマンドレジスタ 1_1	SPCMD1_1	R/W	H'E001	H'E8034012	16、32
	コマンドレジスタ 2_1	SPCMD2_1	R/W	H'E001	H'E8034014	16、32
	コマンドレジスタ 3_1	SPCMD3_1	R/W	H'E001	H'E8034016	16、32
	バッファコントロールレジスタ_1	SPBFCR_1	R/W	H'00	H'E8034018	8、16、32
	バッファデータカウントレジスタ_1	SPBDCR_1	R	H'0000	H'E803401A	16、32
	データ長倍数設定レジスタ 0_1	SPBMUL0_1	R/W	H'00000001	H'E803401C	32
	データ長倍数設定レジスタ 1_1	SPBMUL1_1	R/W	H'00000001	H'E8034020	32
データ長倍数設定レジスタ 2_1	SPBMUL2_1	R/W	H'00000001	H'E8034024	32	
データ長倍数設定レジスタ 3_1	SPBMUL3_1	R/W	H'00000001	H'E8034028	32	

【注】 *1 本文中ではチャネルを省略してレジスタ名で表記しています。

18.3.1 制御レジスタ (SPCR)

制御レジスタ (SPCR) は動作モードを設定するためのレジスタです。

ビット:	7	6	5	4	3	2	1	0
	SPRIE	SPE	SPTIE	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
7	SPRIE	0	R/W	受信割り込みイネーブル 受信バッファの受信データ数が指定したトリガ以上になり、ステータスレジスタのフラグが1になったときの受信割り込み要求を許可 / 禁止します。 0: 割り込み要求禁止 1: 割り込み要求許可
6	SPE	0	R/W	SPI 機能イネーブル 1に設定でSPIモジュールの機能を有効にします。 0にすると本モジュールの一部が初期化されます。 0: 機能無効 1: 機能有効
5	SPTIE	0	R/W	送信割り込みイネーブル 送信バッファの送信データ数が指定したトリガ以下になり、ステータスレジスタのフラグが1になったときの送信割り込み要求を許可 / 禁止します。 0: 割り込み要求禁止 1: 割り込み要求許可
4	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	-	0	R/W	リザーブビット 書き込む値は常に1にしてください。0を書き込んだときの動作は保証されません。
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

18.3.2 スレーブセレクト極性レジスタ (SSLP)

スレーブセレクト極性レジスタ (SSLP) は QSSL 信号の極性を設定するためのレジスタです。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SSLP
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7-1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SSLP	0	R/W	QSSL 信号極性設定 QSSL 信号の極性を設定するビットです。 0: QSSL 信号は Low アクティブ 1: QSSL 信号は High アクティブ

18.3.3 端子制御レジスタ (SPPCR)

端子制御レジスタ (SPPCR) は端子モードを設定するレジスタです。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	MOIFE	MOIFV	-	IO3FV	IO2FV	SPLP
初期値:	0	0	0	0	0	1	1	0
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MOIFE	0	R/W	データ出力アイドル値固定イネーブル QSSL ネグート期間またはバースト転送時の QSSL 保持期間に出力端子の値を固定するためのビットです。 Single-SPI モード時は QMO、Dual-SPI モード時は QIO1-0、Quad-SPI モード時は QIO3-0 について有効です。 0: 出力値は前回転送の最終データ 1: 出力値は MOIFV ビットの設定値 【注】 Dual/Quad-SPI モード時、リード後の QIO1-0/QIO3-0 は本ビットの設定に関わらず Hi-Z となります。(「18.4.2 端子の制御」参照)

ビット	ビット名	初期値	R/W	説明
4	MOIFV	0	R/W	データ出力アイドル時固定値 MOIFE ビットが 1 の場合、本ビットの設定値に従って QSSL ネゲート期間の出力端子の値を決定します。 0 : 出力端子アイドル値は 0 1 : 出力端子アイドル値は 1
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	IO3FV	1	R/W	Single/Dual-SPI 時 QIO3 出力固定値 Single/Dual-SPI モード時、QIO3 端子の出力方向を固定するためのビットです。Single/Dual-SPI モード時のみ有効であり、このとき MOIFE ビットおよび MOIFV ビットの値には影響されません。 0 : QIO3 は 0 固定 1 : QIO3 は 1 固定
1	IO2FV	1	R/W	Single/Dual-SPI 時 QIO2 固定値 Single/Dual-SPI モード時、QIO2 端子の出力方向を固定するためのビットです。Single/Dual-SPI モード時のみ有効であり、このとき MOIFE ビットおよび MOIFV ビットの設定値には影響されません。 0 : QIO2 は 0 固定 1 : QIO2 は 1 固定
0	SPLP	0	R/W	ループバックモード SPLP ビットを 1 に設定すると、本モジュールはデータ入出力端子と送信用 / 受信用シフトレジスタ間の経路を遮断し、送信用 / 受信用シフトレジスタ間で接続しません。 0 : 通常モード 1 : ループバックモード 【注】 Dual/Quad-SPI でループバックモードとする場合、コマンドレジスタ 0~3 (SPCMD0~3) の SPRW は 0 (ライト動作) としてください。

18.3.4 ステータスレジスタ (SPSR)

ステータスレジスタ (SPSR) は本モジュールの動作状態を示すフラグを格納したレジスタです。

ビット:	7	6	5	4	3	2	1	0
	SPRFF	TEND	SPTEF	-	-	-	-	-
初期値:	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	SPRFF	0	R	受信バッファフルフラグ 受信バッファの受信データ数がバッファコントロールレジスタの受信バッファデータ数トリガで指定した値以上になったことを示します。 0: 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満である 1: 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上である [クリア条件] <ul style="list-style-type: none"> • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満になるまで受信バッファを読み出したとき • 受信バッファデータリセットを有効にしたとき • パワーオンリセット [セット条件] <ul style="list-style-type: none"> • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上になったとき
6	TEND	1	R	通信終了フラグ 本ビットが1のとき通信終了したことを示します。0のときは通信未終了です。 [クリア条件] <ul style="list-style-type: none"> • 送信レジスタから送信用シフトレジスタへ送信データが転送されたとき • Dual/Quad-SPI モードで受信動作を開始したとき [セット条件] <ul style="list-style-type: none"> • シリアル転送終了時に送信バッファのデータ格納数が空であったとき (ダミー送信許可ビット (TXDMY) が1にセットされている場合を除く) • シリアル転送終了時に受信バッファに次の受信データ長の空きがないとき

ビット	ビット名	初期値	R/W	説明
5	SPTEF	1	R	<p>送信バッファエンプティフラグ</p> <p>送信バッファの送信データ数がバッファコントロールレジスタの送信バッファデータ数トリガで指定した値以下になったことを示します。</p> <p>0 : 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値より多い</p> <p>1 : 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値以下である</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値より多くなるまで送信バッファに書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値以下になったとき 送信バッファデータリセットを有効にしたとき パワーオンリセット
4-0	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

18.3.5 データレジスタ (SPDR)

データレジスタ (SPDR) は送受信用のデータバッファへアクセスするレジスタです。

送信バッファ (SPTXB) と受信バッファ (SPRXB) は独立したバッファで、これらのバッファが SPDR にマッピングされています。本レジスタへの書き込みは送信バッファ (SPTXB) へ行われ、本レジスタからの読み込みは受信バッファ (SPRXB) から行われます。

本レジスタへのアクセスはバイト/ワード/ロングワードで行ってください。

各アクセスサイズでの有効データは以下となります。

ロングワード：31～0 ビット

ワード：31～16 ビット

バイト：31～24 ビット

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.3.6 シーケンス制御レジスタ (SPSCR)

シーケンス制御レジスタ (SPSCR) は、本モジュールのシーケンス制御方式を設定するためのレジスタです。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPSC1	SPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	SPSC1 SPSC0	0 0	R/W R/W	シーケンス制御設定 本モジュールのシーケンス動作を設定します。 SPSC[1:0]ビットの設定値に従ってコマンドレジスタ0~3 (SPCMD0~3) を順番に参照します。 参照するコマンドレジスタ (SPCMD) 番号 00:0 0 . . . 01:0 1 0 . . . 10:0 1 2 0 . . . 11:0 1 2 3 0 . . .

18.3.7 シーケンスステータスレジスタ (SPSSR)

シーケンスステータスレジスタ (SPSSR) はシーケンスの状態を示すレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPSS1	SPSS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SPSS1	0	R	シーケンスステータス シーケンス制御で現在参照しているコマンドレジスタ 0~3 (SPCMD0~3) を示します。 00 : SPCMD0 01 : SPCMD1 10 : SPCMD2 11 : SPCMD3
0	SPSS0	0	R	

18.3.8 ビットレートレジスタ (SPBR)

ビットレートレジスタ (SPBR) はビットレートを設定するレジスタです。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	SPBR7	SPBR6	SPBR5	SPBR4	SPBR3	SPBR2	SPBR1	SPBR0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートは本レジスタの設定値とコマンドレジスタ 0~3 (SPCMD0~3) のビットレート分周設定ビット (BRDV[1:0]) の設定値により決定されます。

本レジスタを 0 に設定すると、1 分周となります。

SPBR 0 のときのビットレートの計算式は以下のとおりです。

式中の n は本レジスタの設定値 (1、...255)、N はビットレート分周ビット (BRDV[1:0]) の設定値 (0、1、2、3) です。

$$\text{ビットレート} = \frac{f(P1\phi)}{2 \times n \times 2^N}$$

SPBR レジスタと BRDV[1:0] ビットの設定値とビットレートの関係を表 18.3 に示します。

表 18.3 SPBR レジスタ、BRDV[1:0]ビットの設定値とビットレート

SPBR の設定値 (n)	BRDV[1:0]の設定値(N)	分周比	ビットレート	
			P1 = 50MHz	P1 = 66.67MHz
0	0	1	50.0Mbps	66.67Mbps
1	0	2	25.00Mbps	33.33Mbps
2	0	4	12.50Mbps	16.67Mbps
3	0	6	8.33Mbps	11.11Mbps
4	0	8	6.25Mbps	8.33Mbps
5	0	10	5.00Mbps	6.67Mbps
6	0	12	4.16Mbps	5.56Mbps
6	1	24	2.08Mbps	2.78Mbps
6	2	48	1.04Mbps	1.39Mbps
6	3	96	520kbps	694.48kbps
255	3	4080	12.25kbps	16.34kbps

【注】 送信するときは必ず QSPCLK が 2 分周以上となるようにビットレートレジスタ (SPBR) とビットレート分周ビット (BRDV) を設定してください。

18.3.9 データコントロールレジスタ (SPDCR)

データコントロールレジスタ (SPDCR) はダミーデータ送信許可を設定するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	TXDMY	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	TXDMY	0	R/W	ダミーデータ送信イネーブル Single-SPI 動作時、送信バッファに送信データがない場合に QMO 端子からダミーデータを出力することを許可 / 禁止します。 送信バッファに送信データがなく、TXDMY に 1 が設定されているとき、QMO 端子からダミーデータとして 0 が出力されます。 本ビットはステータスレジスタ (SPSR) の通信終了フラグ (TEND) が 1 であるときに変更可能です。それ以外の状態で変更した場合の動作は保証されません。 0 : ダミーデータ送信禁止 1 : ダミーデータ送信許可
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.3.10 クロック遅延レジスタ (SPCKD)

クロック遅延レジスタ (SPCKD) は QSSL 信号アサートから QSPCLK 発振までの期間 (クロック遅延) を設定するためのレジスタです。コマンドレジスタ 0~3 (SPCMD0~3) のクロック遅延設定イネーブルビット (SCKDEN) が 1 のときに本レジスタの設定値が有効になります。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SCKDL2	SCKDL1	SCKDL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SCKDL2	0	R/W	クロック遅延設定 コマンドレジスタ 0~3 (SPCMD0~3) の SCKDEN ビットが 1 の場合、QSSL 信号アサートから QSPCLK 発振までの期間 (クロック遅延) を設定します。 000 : 1.5QSPCLK 001 : 2.5QSPCLK 010 : 3.5QSPCLK 011 : 4.5QSPCLK 100 : 5.5QSPCLK 101 : 6.5QSPCLK 110 : 7.5QSPCLK 111 : 8.5QSPCLK
1	SCKDL1	0	R/W	
0	SCKDL0	0	R/W	

18.3.11 スレーブセレクトネゲート遅延レジスタ (SSLND)

スレーブセレクトネゲート遅延レジスタ (SSLND) はシリアル転送の最終 QSPCLK エッジを送出してから QSSL 信号をネゲートするまでの期間 (QSSL ネゲート遅延) を設定するためのレジスタです。コマンドレジスタ 0~3 (SPCMD0~3) の QSSL ネゲート遅延設定イネーブルビット (SLNDEN) が 1 のときに本レジスタの設定値が有効になります。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	SLNDL2	SLNDL1	SLNDL0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SLNDL2	0	R/W	QSSL ネゲート遅延設定 コマンドレジスタ 0~3 (SPCMD0~3) の SLNDEN ビットが 1 の場合、シリアル転送の最終 QSPCLK エッジを送出してから QSSL 信号をネゲートするまでの期間 (QSSL ネゲート遅延) を設定します。 000 : 1QSPCLK 001 : 2QSPCLK 010 : 3QSPCLK 011 : 4QSPCLK 100 : 5QSPCLK 101 : 6QSPCLK 110 : 7QSPCLK 111 : 8QSPCLK
1	SLNDL1	0	R/W	
0	SLNDL0	0	R/W	

18.3.12 次アクセス遅延レジスタ (SPND)

次アクセス遅延レジスタ (SPND) はシリアル転送終了から次のシリアル転送までの期間 (次アクセス遅延) を設定するレジスタです。コマンドレジスタ 0~3 (SPCMD0~3) の次アクセス遅延設定イネーブルビット (SPNDEN) が 1 のときに本レジスタの設定値が有効になります。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SPNDL2	SPNDL1	SPNDL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SPNDL2	0	R/W	次アクセス遅延設定 コマンドレジスタ 0~3 (SPCMD0~3) の次アクセス遅延設定イネーブルビット (SPNDEN) が 1 の場合、シリアル転送終了から次のシリアル転送開始までの期間 (次アクセス遅延) を設定します。 000 : 1QSPCLK 001 : 2QSPCLK 010 : 3QSPCLK 011 : 4QSPCLK 100 : 5QSPCLK 101 : 6QSPCLK 110 : 7QSPCLK 111 : 8QSPCLK
1	SPNDL1	0	R/W	
0	SPNDL0	0	R/W	

18.3.13 コマンドレジスタ n (SPCMDn) (n=0、1、2、3)

本モジュールは4本のコマンドレジスタ (SPCMD0~3) を持ちます。これらは転送フォーマットを設定するために使用されます。シーケンス制御レジスタ (SPSCR) の設定に従って SPCMD0~3 を参照し、参照したコマンドレジスタに設定されたシリアル転送を実行します。

ステータスレジスタ (SPSR) の通信終了フラグ (TEND) が通信未終了の状態のときに参照しているコマンドレジスタを書き換えた場合、以降の動作は保証されません。参照しているコマンドレジスタはシーケンスステータスレジスタ (SPSSR) により確認できます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	SSLKP	SPIMOD ₁	SPIMOD ₀	SPRW	BRDV1	BRDV0	CPOL	CPHA
初期値:	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKDEN	1	R/W	<p>クロック遅延設定イネーブル</p> <p>QSSL 信号をアサートしてから QSPCLK を発振するまでの期間 (クロック遅延) を設定します。本ビットが 0 の場合、クロック遅延期間は 0QSPCLK になります。本ビットが 1 の場合、クロック遅延レジスタ (SPCKD) の設定値に従って QSPCLK の発振を開始します。複数のコマンドにわたり QSSL をアサートし続ける連続アクセスの 2 回目以降の場合のみ 0 に設定可能です。それ以外は 1 設定としてください。</p> <p>0 : クロック遅延期間は 0QSPCLK 1 : クロック遅延期間はクロック遅延レジスタ (SPCKD) の設定値</p>
14	SLNDEN	1	R/W	<p>QSSL ネゲート遅延設定イネーブル</p> <p>QSPCLK を発振停止してから QSSL 信号をネゲートするまでの期間 (QSSL ネゲート遅延) を設定します。本ビットが 0 の場合、QSSL ネゲート遅延期間は 0QSPCLK になります。本ビットが 1 の場合、QSSL ネゲート遅延レジスタ (SSLND) の設定値に従って QSSL をネゲートします。複数のコマンドにわたり QSSL をアサートし続ける連続アクセスで最後のコマンドで無い場合は 0 に設定可能です。それ以外は 1 設定としてください。</p> <p>0 : QSSL ネゲート遅延期間は 0QSPCLK 1 : QSSL ネゲート遅延期間は QSSL ネゲート遅延レジスタ (SSLND) の設定値</p>
13	SPNDEN	1	R/W	<p>次アクセス遅延設定イネーブル</p> <p>シリアル転送を終了して次のシリアル転送を開始するまでの期間 (次アクセス遅延) を設定します。本ビットが 0 の場合、次アクセス遅延期間は 0QSPCLK になります。本ビットが 1 の場合、次アクセス遅延レジスタ (SPND) の設定値に従って次のシリアル転送を開始します。複数のコマンドにわたり QSSL をアサートし続ける連続アクセスで最後のコマンドで無い場合は 0 に設定可能です。それ以外は 1 設定としてください。</p> <p>0 : 次アクセス遅延期間は 0QSPCLK 1 : 次アクセス遅延期間は次アクセス遅延レジスタ (SPND) の設定値</p>
12	LSBF	0	R/W	<p>LSB ファースト設定</p> <p>データフォーマットを MSB ファースト / LSB ファーストに設定します。</p> <p>0 : MSB ファースト 1 : LSB ファースト</p>
11 10 9 8	SPB3 SPB2 SPB1 SPB0	0 0 0 0	R/W R/W R/W R/W	<p>転送データ長設定</p> <p>シリアル転送の基本となる転送データ長を設定します。LSB ファーストで転送する場合、転送データは本ビットで設定されたデータ幅でビット順を反転します。実際に転送されるデータ長は本ビットの設定に転送データ長倍数設定レジスタ 0 ~ 3 (SPBMUL0~3) の設定値を掛けた値となります。</p> <p>0000 : 8 ビット (1 バイト) 0001 : 16 ビット (2 バイト) 0010 : 32 ビット (4 バイト) 0011 ~ 1111 : 設定禁止</p>

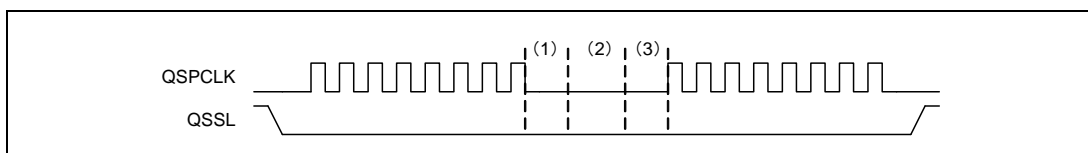
ビット	ビット名	初期値	R/W	説明
7	SSLKP	0	R/W	<p>QSSL 信号レベル保持</p> <p>現コマンドに対応する転送終了から次コマンドに対応する転送開始までの間に QSSL 信号を保持するか設定します。本ビットを 1 に設定することにより、QSSL 信号をアサートしたまま次アクセスへ移行することが可能です。</p> <p>0 : 転送終了後に QSSL 信号をネゲート</p> <p>1 : 転送終了後から次アクセス開始まで QSSL 信号レベルを保持</p>
6 5	SPIMOD1 SPIMOD0	0 0	R/W R/W	<p>SPI 動作モード設定</p> <p>動作モードを設定します。</p> <p>動作モードは Single/Dual/Quad-SPI から選びます。</p> <p>00 : Single-SPI 01 : Dual-SPI 10 : Quad-SPI 11 : 設定禁止</p>
4	SPRW	0	R/W	<p>SPI リードライトアクセス設定</p> <p>Dual/Quad-SPI モード時のアクセス方向を設定します。</p> <p>Single-SPI モード時、本ビットは無効です。</p> <p>0 : ライト動作 (QIO1-0/QIO3-0 は出力)</p> <p>1 : リード動作 (QIO1-0/QIO3-0 は入力)</p>
3 2	BRDV1 BRDV0	0 0	R/W R/W	<p>ビットレート分周設定</p> <p>本ビットとビットレートレジスタ (SPBR) の設定値の組み合わせでビットレートを決定します。ビットレートレジスタ (SPBR) の設定値によりベースとなるビットレートを決定します。本ビットの設定値はベースのビットレートに対して分周無し / 2 分周 / 4 分周 / 8 分周したビットレートを選択するために使用します。コマンドレジスタ 0~3 で、それぞれ異なる BRDV[1:0] の設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。</p> <p>00 : ベースのビットレート 01 : ベースのビットレートの 2 分周 10 : ベースのビットレートの 4 分周 11 : ベースのビットレートの 8 分周</p> <p>【注】 送信するときは必ず QSPCLK が 2 分周以上となる組み合わせでビットレートレジスタ (SPBR) と本ビットを設定してください。</p>
1	CPOL	0	R/W	<p>QSPCLK 極性設定</p> <p>QSPCLK の極性を設定します。通信を行うモジュール間で同一の極性としてください。</p> <p>0 : 正極性 (アイドル時に QSPCLK は 0)</p> <p>1 : 負極性 (アイドル時に QSPCLK は 1)</p>

ビット	ビット名	初期値	R/W	説明
0	CPHA	1	R/W	<p>QSPCLK 位相設定</p> <p>転送データのラッチ/シフトを行う QSPCLK エッジを設定します。通信を行うモジュール間で同一の位相としてください。</p> <p>0: 奇数エッジでデータラッチ、偶数エッジでデータシフト</p> <p>1: 奇数エッジでデータシフト、偶数エッジでデータラッチ</p> <p>【注】 QSPCLK の最初のエッジを 1 番目のエッジとしています。</p>

【ご参考】 シリアルフラッシュメモリのデータシートによっては QSPCLK の設定について SPI モード 0~3 と表現されているものがあります。この設定を SPI モード[1:0]とした場合、本書における CPOL および CPHA はそれぞれ CPOL = SPI モード[1]、CPHA = SPI モード[0]と対応します。

本モジュールの CPOL/CPHA の初期値は CPOL = 0、CPHA = 1 であり、SPI モード 1 が初期値となっています。

- 【注】
1. クロック遅延期間、QSSL ネゲート遅延期間、次アクセス遅延期間のいずれかまたは全部を 0 とする場合、必ず SSLKP = 1 とし、QSSL をネゲートしない連続アクセスとしてください。それ以外の場合の動作は保証しません。また、QSSL をネゲートしない連続アクセスでの各遅延期間の設定の仕方は下記をご参照ください。
 2. QSSL をネゲートしない連続アクセスの場合、QSPCLK クロックの停止後、QSSL ネゲート遅延期間、次アクセス遅延期間、次のコマンドのクロック遅延期間とつながります。このとき、クロック遅延設定イネーブル (SPCKDEN)、QSSL ネゲート遅延設定イネーブル (SLNDEN)、次アクセス遅延設定イネーブル (SPNDEN) の設定を 0 とする場合、必ず後ろに来る期間からとってください。



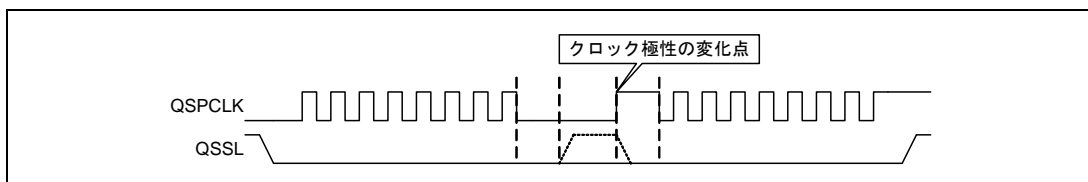
上図において、(1)はQSSLネゲート遅延期間、(2)は次アクセス遅延期間、(3)は次のコマンドのクロック遅延期間です。これらのうちどれかを0とする場合、必ず(3)から0としてください。

すなわち、{(1)、(2)、(3)} = {0、0、1}、{0、1、1}、{0、1、0}...というように0の後に1の設定とすることは禁止です。

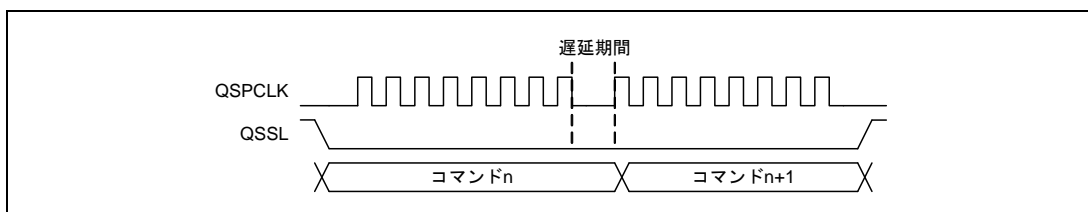
可能な設定は{(1)、(2)、(3)} = {1、1、1}、{1、1、0}、{1、0、0}、{0、0、0}です。

これ以外の設定の場合、動作は保証しません。

- 【注】
1. QSSLを保持した連続転送にてBRDV[1:0]およびCPOLをコマンドごとに变化させる場合、コマンド間の遅延期間は必ずQSSLネゲート遅延期間、次アクセス遅延期間、クロック遅延期間を挿入してください。それ以外の場合の動作は保証しません。
 2. QSSLを保持したままCPOLを变化させる場合、クロック極性の变化点がクロックエッジとして検出されうることをご考慮してください。



- 【注】 QSSLを保持した連続転送にてSPIMOD[1:0]およびCPHAをコマンドごとに变化させる場合、コマンド間の遅延期間は必ず1サイクル以上挿入してください。それ以外の場合の動作は保証しません。
(Dual/Quad-SPIのライト/リードを切り換える場合も含まれます。)
- なお、下図においてコマンドnがDual/Quad-SPIライト動作時では、コマンドnの期間中データ線をドライブします。



18.3.14 バッファコントロールレジスタ (SPBFCR)

バッファコントロールレジスタ (SPBFCR) は送信バッファ (SPTXB) および受信バッファ (SPRXB) 内のデータ数のリセット、トリガデータ数の設定を行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	TXRST	RXRST	TXTRG1	TXTRG0	—	RXTRG2	RXTRG1	RXTRG0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TXRST	0	R/W	送信バッファリセット 送信バッファの送信データを無効にし、バッファが空の状態にリセットします。 0: 送信バッファ通常動作 1: 送信バッファリセット
6	RXRST	0	R/W	受信バッファリセット 受信バッファの受信データを無効にし、バッファが空の状態にリセットします。 0: 受信バッファ通常動作 1: 受信バッファリセット
5 4	TXTRG1 TXTRG0	0 0	R/W R/W	送信バッファデータ数トリガ ステータスレジスタの送信バッファエンプティフラグ (SPTEF) の基準となる、送信バッファエンプティタイミングを設定します。送信バッファ (SPTXB) に格納されたデータバイト数が設定トリガ数以下になったとき SPTEF フラグが 1 にセットされます。 00: 31 バイト (1 バイト空きあり) 01: 30 バイト (2 バイト空きあり) 10: 28 バイト (4 バイト空きあり) 11: 0 バイト (32 バイト空きあり)
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 1 0	RXTRG2 RXTRG1 RXTRG0	0 0 0	R/W R/W R/W	受信バッファデータ数トリガ ステータスレジスタの受信バッファフルフラグ (SPRFF) の基準となる、受信バッファフルタイミングを設定します。受信バッファ (SPRXB) に格納されたデータバイト数が設定トリガ数以上になったとき SPRFF フラグが 1 にセットされます。 000: 1 バイト (31 バイト空きあり) 001: 2 バイト (30 バイト空きあり) 010: 4 バイト (28 バイト空きあり) 011: 5 バイト (27 バイト空きあり) 100: 8 バイト (24 バイト空きあり) 101: 16 バイト (16 バイト空きあり) 110: 24 バイト (8 バイト空きあり) 111: 32 バイト (0 バイト空きあり)

18.3.15 バッファデータカウントレジスタ (SPBDCR)

バッファデータカウントレジスタ (SPBDCR) は送信バッファ (SPTXB) と受信バッファ (SPRXB) に格納されているデータ数を示します。上位 8 ビットで送信バッファの送信データバイト数を、下位 8 ビットで受信バッファの受信データバイト数を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXBC5	TXBC4	TXBC3	TXBC2	TXBC1	TXBC0	—	—	RXBC5	RXBC4	RXBC3	RXBC2	RXBC1	RXBC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~8	TXBC[5:0]	000000	R	送信バイト数カウンタ 送信データバッファ (SPTXB) に格納されているデータバイト数を示します。 B'000000 で SPTXB がエンプティであることを示します。 B'100000 で SPTXB がフルであることを示します。
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	RXBC[5:0]	000000	R	受信バイト数カウンタ 受信データバッファ (SPRXB) に格納されているデータバイト数を示します。 B'000000 で SPRXB がエンプティであることを示します。 B'100000 で SPRXB がフルであることを示します。

18.3.16 転送データ長倍数設定レジスタ n (SPBMULn) (n = 0、1、2、3)

転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) はコマンドレジスタ 0~3 (SPCMD0~3) の転送データ長設定ビット (SPB[3:0]) で設定されたデータ長の転送の繰り返し回数を設定するレジスタです。本レジスタは 4 本あり、それぞれがコマンドレジスタ 0~3 に対応します。

ステータスレジスタ (SPSR) の通信終了フラグ (TEND) が通信未終了の状態のときに参照しているコマンドレジスタと対応する本レジスタを書き換えた場合、以降の動作は保証されません。参照しているコマンドレジスタはシーケンスステータスレジスタ (SPSSR) により確認できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPBMUL [31:24]								SPBMUL [23:16]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPBMUL [15:8]								SPBMUL [7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	SPBMUL [31:0]	H'00000001	R/W	<p>転送データ長倍数設定ビット</p> <p>転送データ長の倍数を設定します。</p> <p>本ビットはコマンドレジスタ (SPCMD0~3) の転送データ長設定ビット (SPB[3:0]) で設定された転送データ長の繰り返し回数を設定するビットです。</p> <p>転送データ長は SPB[3:0] × SPBMUL[31:0] で決定されます。</p> <p>本ビットを H'00000000 に設定すると、4,294,967,296 回の繰り返し回数となります。</p>

18.4 動作説明

本章では有効データのドライブ開始から最終データの取り込みまでの期間をシリアル転送期間と表し、QSSL ネットワーク期間をアイドル時と表します。

18.4.1 動作の概要

本モジュールは Single/Dual/Quad-SPI でのシリアル転送が可能です。Single/Dual/Quad-SPI の特長を表 18.4 に示します。

表 18.4 各 SPI モードの特長

	Single-SPI	Dual-SPI	Quad-SPI
データ線本数	入力、出力各 1 本	入出力 2 本	入出力 4 本
データ線方向	単方向	双方向	双方向
送受信同時動作		×	×

また、動作の概要を表 18.5 に示します。

表 18.5 動作の概要

項 目	特 長
QSPCLK 信号	出力
QMO 信号 (Single-SPI)	出力
QMI 信号 (Single-SPI)	入力
QIO1-0 (Dual-SPI) / QIO3-0 (Quad-SPI)	入出力
QSSL 信号	出力
QSSL 極性変更	
転送レート	~ P1
クロックソース	内部ポーレートジェネレータ
クロック極性	正 / 負
クロック位相	(立ち上がりラッチ / 立ち下がり出力) (立ち下がりラッチ / 立ち上がり出力)
転送ビット順	MSB ファースト / LSB ファースト
転送データ長	(8/16/32) × (1 ~ 4,294,967,296) ビット
バースト転送	
QSPCLK 遅延制御	
QSSL ネゲート遅延制御	
次アクセス遅延制御	
転送起動方法	SPE = 1 で送信バッファ書き込み SPE = 1 で受信バッファ空きあり*
シーケンス制御	
送信バッファエンプティ検出	
受信バッファフル検出	

【注】 * Single-SPI および Dual/Quad-SPI ライト動作時は SPE = 1 & 送信バッファ書き込みで転送起動
Dual/Quad-SPI リード動作時は SPE = 1 & 受信バッファに転送データ長の空きありで転送起動

18.4.2 端子の制御

本モジュールは Single-SPI/Dual/Quad-SPI 動作のライト/リード転送後の状態により端子状態を自動的に切り替えます。アイドル時のデータ端子 (QMO/QMI/QIO[3:0]) の状態は端子制御レジスタ (SPPCR) のデータ出力アイドル値固定イネーブルビット (MOIFE) / データ出力アイドル時固定値ビット (MOIFV) および Single/Dual-SPI 時 QIO3 出力固定値ビット (IO3FV) / Single/Dual-SPI 時 QIO2 出力固定値ビット (IO2FV) の設定により異なります。Single-SPI の端子状態を表 18.6 に、Dual/Quad-SPI の端子状態を表 18.7 に示します。

表 18.6 Single-SPI の端子状態

	Single-SPI
QSSL	出力
QSPCLK	出力
QMO	出力
QMI	入力
アイドル時 QMO	MOIFE = 0 : 最終出力値 MOIFE = 1 : MOIFV 設定値
アイドル時 QMI	-
QIO2	IO2FV 設定値出力 or 不使用
QIO3	IO3FV 設定値出力 or 不使用

表 18.7 Dual/Quad-SPI の端子状態

	Dual-SPI	Quad-SPI
QSSL	出力	出力
QSPCLK	出力	出力
QIO0	入出力	入出力
QIO1	入出力	入出力
QIO2	IO2FV 設定値出力 or 不使用	入出力
QIO3	IO3FV 設定値出力 or 不使用	入出力
アイドル時 QIO0	ライト後： MOIFE = 0 : 最終出力値 MOIFE = 1 : MOIFV 設定値 リード後 : Hi-Z	ライト後： MOIFE = 0 : 最終出力値 MOIFE = 1 : MOIFV 設定値 リード後 : Hi-Z
アイドル時 QIO1	ライト後： MOIFE = 0 : 最終出力値 MOIFE = 1 : MOIFV 設定値 リード後 : Hi-Z	ライト後： MOIFE = 0 : 最終出力値 MOIFE = 1 : MOIFV 設定値 リード後 : Hi-Z
アイドル時 QIO2	IO2FV 設定値出力 or 不使用	ライト後： MOIFE = 0 : 最終出力値 MOIFE = 1 : MOIFV 設定値 リード後 : Hi-Z
アイドル時 QIO3	IO3FV 設定値出力 or 不使用	ライト後： MOIFE = 0 : 最終出力値 MOIFE = 1 : MOIFV 設定値 リード後 : Hi-Z

18.4.3 転送フォーマット

SPI ではコマンドレジスタ 0~3 (SPCMD0~3) の QSPCLK 極性設定ビット (CPOL) および QSPCLK 位相設定ビット (CPHA) の設定により 4 つのクロック設定が存在します。8 ビット MSB ファースト転送を例に各設定でのデータラッチ/シフトタイミングを図 18.1 に示します。図中'L'はラッチタイミングを表し、'S'はシフトタイミングを表します。また、DATA は Single-SPI モードでは QMI/QMO、Dual-SPI モードでは QIO1-0、Quad-SPI モードでは QIO3-0 に対応します。 t_{ckd} は SPCMD0~3 のクロック遅延設定イネーブルビット (SCKDEN) を 1 に設定したときのクロック遅延期間です。同様に t_{slnd} は SPCMD0~3 の QSSL ネゲート遅延設定イネーブルビット (SLNDEN) を 1 に設定したときの QSSL ネゲート遅延期間、 t_{spnd} は SPCMD0~3 の次アクセス遅延イネーブルビット (SPNDEN) を 1 に設定したときの次アクセス遅延期間です。

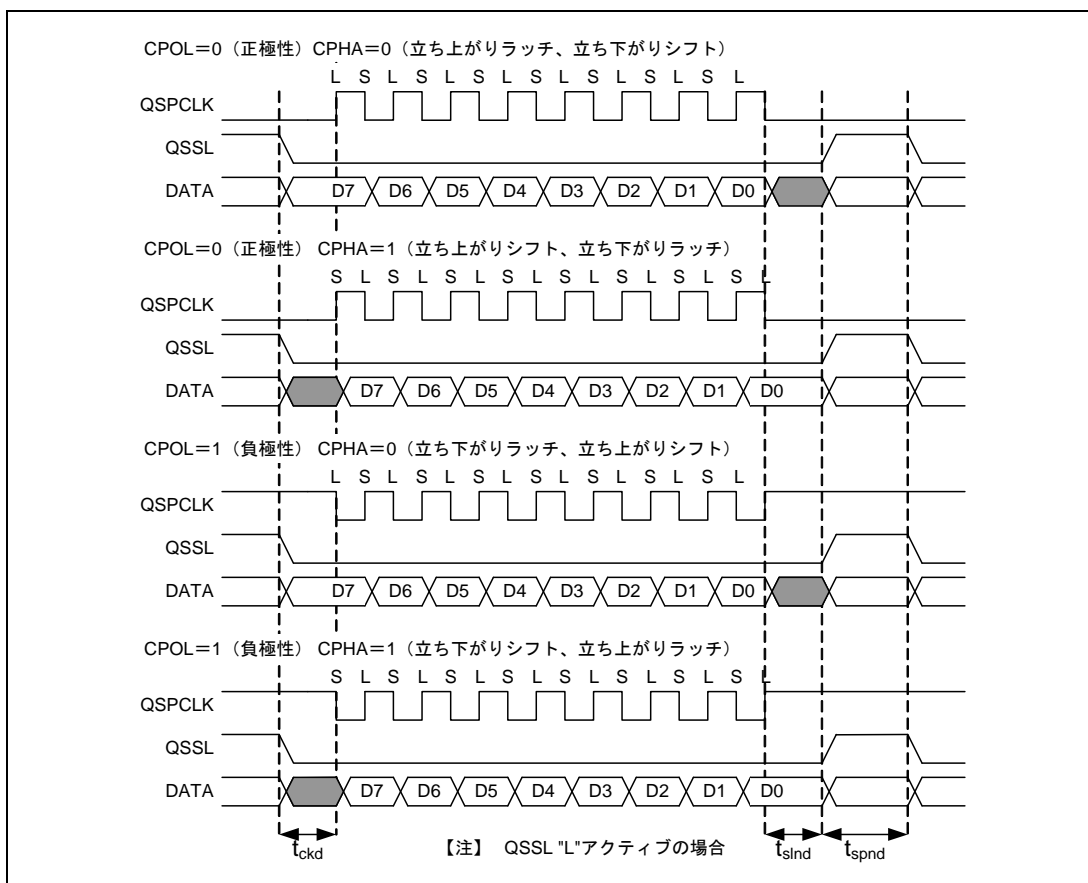


図 18.1 SPI クロック設定と転送タイミング

ただし、1分周では送信動作と CPHA = 0 の受信動作には対応しません。

以下、CPOL = 0、CPHA = 0 の設定を例に Single/Dual/Quad-SPI での 8 ビット MSB ファースト転送を説明します。

(1) Single-SPI モード

Single-SPI モードの転送フォーマットを図 18.2 に示します。Single-SPI では送受信同時に動作します。送受信ともに 1 本ずつのデータ線でシリアル通信するため、転送速度は 1QSPCLK 当たり 1 ビットとなります。転送データはコマンドレジスタ 0~3 (SPCMD0~3) にて設定します。転送データの詳細は「18.4.4 転送データ」を参照してください。

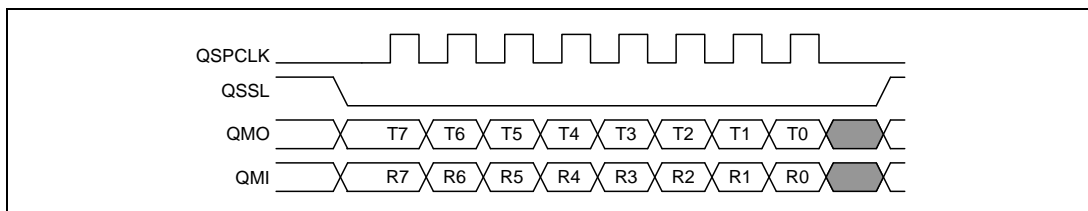


図 18.2 Single-SPI モード転送フォーマット

(2) Dual-SPI モード

Dual-SPI モードの転送フォーマットを図 18.3 に示します。Dual-SPI では送信または受信のどちらか一方のみの動作となります。送信 / 受信の設定は SPCMD0~3 の SPI リードライトアクセス設定ビット (SPRW) にて行います。ライト動作で送信し、リード動作で受信します。QIO1-0 はそれぞれの動作で出力と入力切り替わります。送受信ともに 2 本のデータ線でシリアル通信をするため、通信速度は 1QSPCLK 当たり 2 ビットとなります。転送データの先頭ビットは QIO1 から転送されます。転送データは SPCMD0~3 にて設定します。転送データの詳細は次項「18.4.4 転送データ」を参照してください。

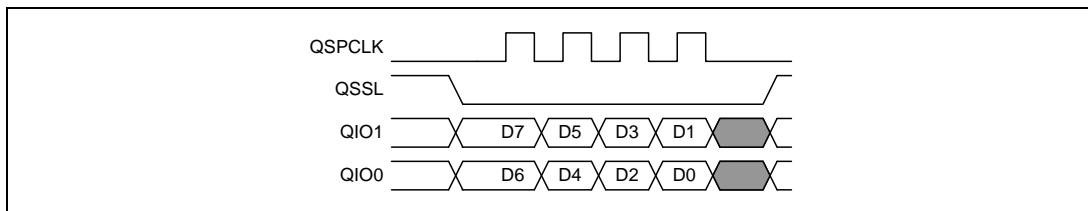


図 18.3 Dual-SPI モード転送フォーマット

(3) Quad-SPI モード

Quad-SPI モードの転送フォーマットを図 18.4 に示します。Quad-SPI では送信または受信のどちらか一方のみの動作となります。送信 / 受信の設定はコマンドレジスタ 0~3 (SPCMD0~3) の SPI リードライトアクセス設定ビット (SPRW) にて行います。ライト動作で送信し、リード動作で受信します。QIO3-0 はそれぞれの動作で出力と入力切り替わります。送受信ともに 4 本のデータ線でシリアル通信をするため、通信速度は 1QSPCLK 当たり 4 ビットとなります。転送データの先頭ビットは QIO3 から転送されます。転送データは SPCMD0~3 にて設定します。転送データの詳細は次項「18.4.4 転送データ」を参照してください。

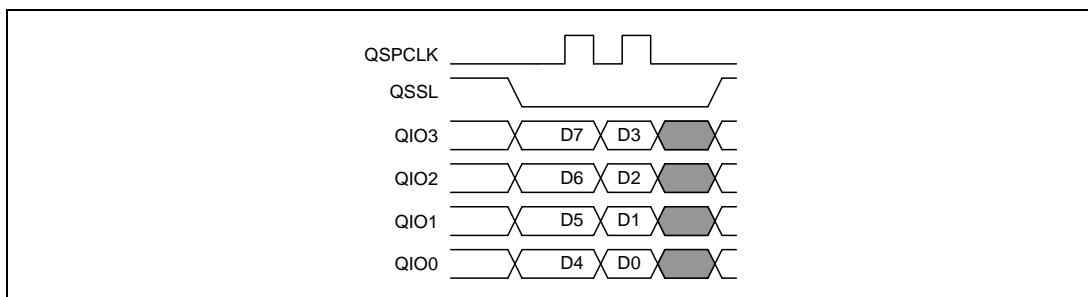


図 18.4 Quad-SPI モード転送フォーマット

18.4.4 転送データ

データフォーマットはコマンドレジスタ 0~3 (SPCMD0~3) の転送データ長設定ビット (SPB[3:0])、LSB ファースト設定ビット (LSBF) および転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) により決定されます。本モジュールでは MSB/LSB ファーストに関わらず、送信用シフトレジスタの MSB から転送データ長分のデータを送信データとし、受信シフトレジスタの LSB から転送バイト長分のデータを受信データとします。以降、基本となる転送データ長 32 ビット、16 ビット、8 ビットの転送に沿って説明します。

(1) MSB ファースト転送 (32 ビットデータ)

32 ビット MSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信シフトレジスタと受信バッファの動作を図 18.5 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 32 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出力し、32 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信用シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信シフトレジスタの LSB (ビット 0) から書き込まれます。32 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信シフトレジスタはフルとなります。受信バッファ (SPRXB) に 32 ビット分の空きがある場合、受信シフトレジスタの LSB から 32 ビットのデータを受信バッファにコピーし、受信シフトレジスタはエンプティとなります。受信バッファに 32 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、32 ビットの空きを確保してください。実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

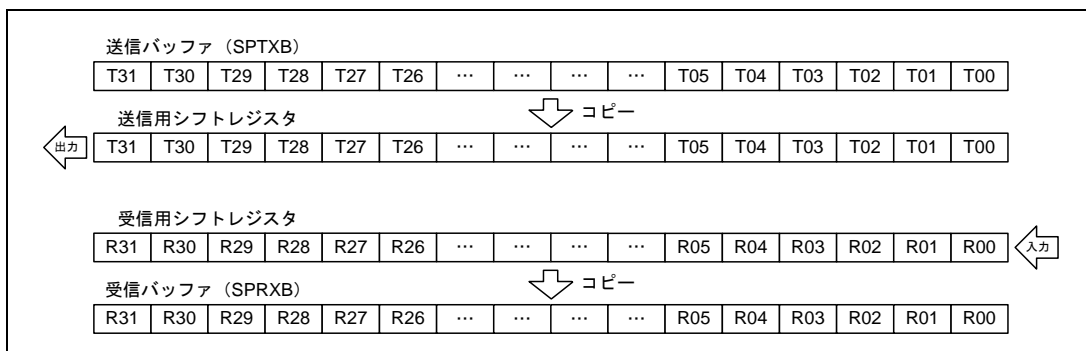


図 18.5 MSB ファースト転送 (32 ビットデータ)

(2) MSB ファースト転送 (16 ビットデータ)

16 ビット MSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信用シフトレジスタと受信バッファの動作を図 18.6 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 16 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出し、16 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信用シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信用シフトレジスタの LSB (ビット 0) から書き込まれます。16 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信用シフトレジスタはフルとなります。受信バッファ (SPRXB) に 16 ビット分の空きがある場合、受信用シフトレジスタの LSB から 16 ビットのデータを受信バッファにコピーし、受信用シフトレジスタはエンプティとなります。受信バッファに 16 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、16 ビットの空きを確保してください。実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

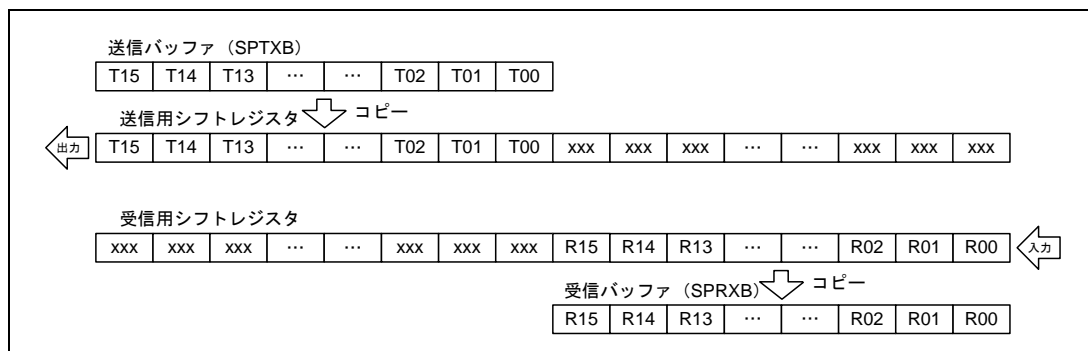


図 18.6 MSB ファースト転送 (16 ビット)

(3) MSB ファースト転送 (8 ビットデータ)

8 ビット MSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信用シフトレジスタと受信バッファの動作を図 18.7 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 8 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出し、8 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信用シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信用シフトレジスタの LSB (ビット 0) から書き込まれます。8 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信用シフトレジスタはフルとなります。受信バッファ (SPRXB) に 8 ビット分の空きがある場合、受信用シフトレジスタの LSB から 8 ビットのデータを受信バッファにコピーし、受信用シフトレジスタはエンプティとなります。受信バッファに 8 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、8 ビットの空きを確保してください。

実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

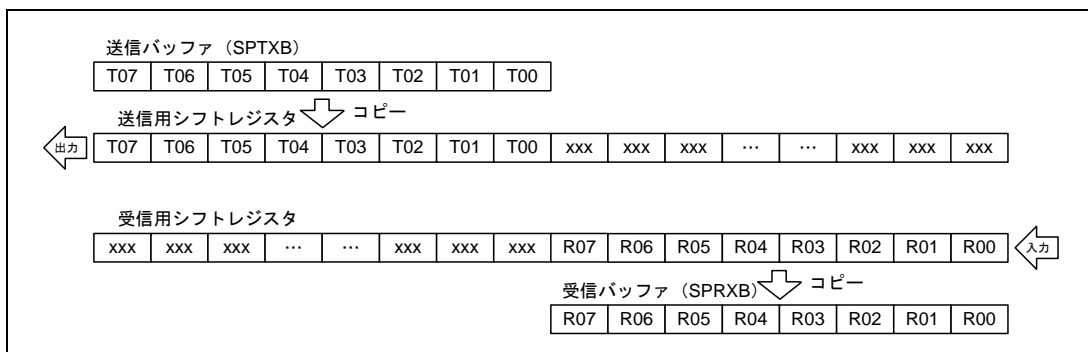


図 18.7 MSB ファースト転送 (8 ビット)

(4) LSB ファースト転送 (32 ビットデータ)

32 ビットデータを LSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信シフトレジスタと受信バッファの動作を図 18.8 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 32 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、32 ビットのビット順を反転した送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出力し、32 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信用シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信シフトレジスタの LSB (ビット 0) から書き込まれます。32 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信シフトレジスタはフルとなります。受信バッファ (SPRXB) に 32 ビット分の空きがある場合、受信シフトレジスタの LSB から 32 ビットのビット順を反転して受信バッファにコピーし、受信シフトレジスタはエンプティとなります。受信バッファに 32 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、32 ビットの空きを確保してください。

実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

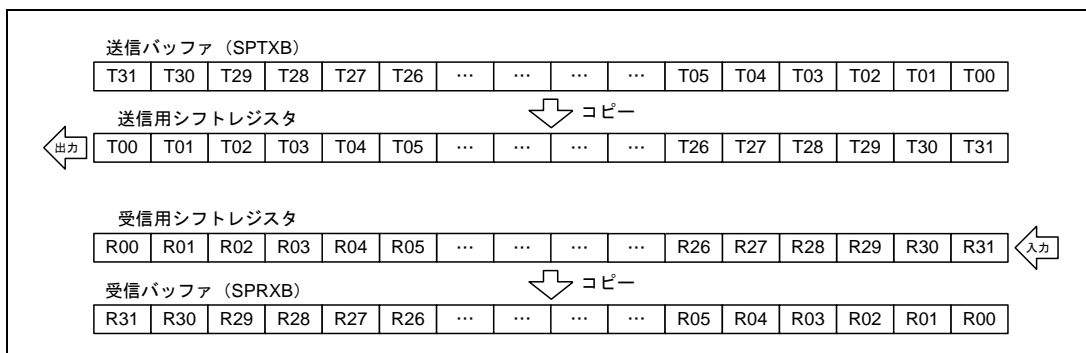


図 18.8 LSB ファースト転送 (32 ビット)

(5) LSB ファースト転送 (16 ビットデータ)

16 ビットデータを LSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信シフトレジスタと受信バッファの動作を図 18.9 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 16 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、16 ビットのビット順を反転した送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出し、16 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信用シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信シフトレジスタの LSB (ビット 0) から書き込まれます。16 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信シフトレジスタはフルとなります。受信バッファ (SPRXB) に 16 ビット分の空きがある場合、受信シフトレジスタの LSB から 16 ビットのビット順を反転して受信バッファにコピーし、受信シフトレジスタはエンプティとなります。受信バッファに 16 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、16 ビットの空きを確保してください。

実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

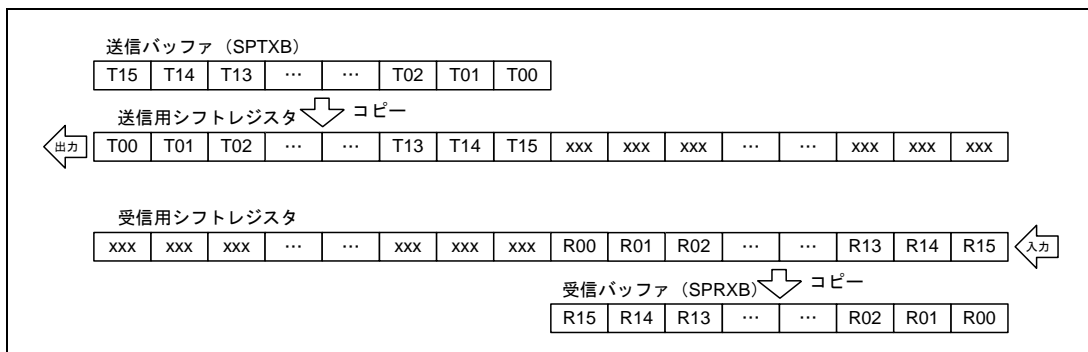


図 18.9 LSB ファースト転送 (16 ビット)

(6) LSB ファースト転送 (8 ビットデータ)

8 ビットデータを LSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信シフトレジスタと受信バッファの動作を図 18.10 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 8 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、8 ビットのビット順を反転した送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出し、8 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信用シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信シフトレジスタの LSB (ビット 0) から書き込まれます。8 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信シフトレジスタはフルとなります。受信バッファ (SPRXB) に 8 ビット分の空きがある場合、受信シフトレジスタの LSB から 8 ビットのビット順を反転して受信バッファにコピーし、受信シフトレジスタはエンプティとなります。受信バッファに 8 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、8 ビットの空きを確保してください。

実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

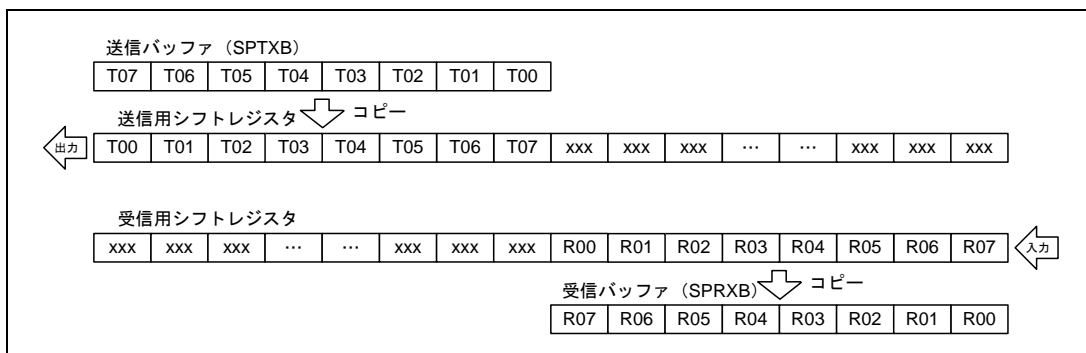


図 18.10 LSB ファースト転送 (8 ビット)

18.4.5 通常以外の動作

通常のシリアル転送では、データレジスタ（SPDR）から送信バッファに書き込んだデータをシリアル送信し、シリアル受信したデータは SPDR を読むことで受信バッファから読み出すことができます。しかし、SPDR へアクセスしたときの送信バッファと受信バッファの状態によっては、通常以外の転送が実行される場合があります。

通常以外の転送動作を表 18.8 に示します。

表 18.8 通常以外の転送の発生条件

	発生条件	動作
A	送信バッファがフルの状態ですべて SPDR に書き込み	書き込みデータの欠落
B	受信バッファがエンプティの状態ですべて SPDR を読み出し	不定出力

表 18.8 の A の動作のとき、SPDR への書き込みが可能であるかについてはバッファデータカウントレジスタ（SPBDCR）の送信バイト数カウンタビット（TXBC[5:0]）を確認してください。

また、B の動作のとき、受信バッファに有効なデータが格納されているかについては SPBDCR の受信バイト数カウンタビット（RXBC[5:0]）を確認してください。

18.4.6 初期化

制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) に 0 を書き込んだ場合、本モジュールは機能を無効化し、一部の機能を初期化します。また、パワーオンリセットが発生した場合、本モジュールはすべての機能を初期化します。

SPCR の SPE ビットが 0 クリアされた場合、以下の初期化を実施します。

- 実行中のシリアル転送を中断
- 送信用シフトレジスタおよび受信用シフトレジスタの初期化
- 内部ステートマシンの初期化
- シーケンスの初期化
- SPSR の通信終了ビット (TEND) の初期化

SPE ビットの 0 クリアによる初期化では、本モジュールの制御ビットと送信 / 受信バッファは初期化されません。このため、SPE ビットを 1 に設定することで、SPE ビットの 0 クリア前と同じ状態で転送を再開することができます。ただし、SPE ビットを 0 クリアすると送信用シフトレジスタおよび受信用シフトレジスタは初期化されるため、転送途中であった場合の転送データは破棄されます。

18.4.7 SPI 動作

本モジュールの動作モードは以下のとおりです。

- Single-SPIモード
- Dual-SPIモード / Quad-SPIモード

それぞれの動作について以下に説明します。

(1) Single-SPI モード

(a) シリアル転送の開始

シリアル転送の開始条件は送信バッファに転送データ長のデータがあることと受信バッファに転送データ長の空きがあることです。

(b) シリアル転送の終了

シリアル転送の終了条件はクロック設定に関わらず最終サンプリングタイミングに対応する QSPCLK エッジを送出することです。シリアル転送が正常に終了すると、受信データが受信用シフトレジスタから受信バッファへコピーされます。シリアル転送が終了し、受信用シフトレジスタから受信バッファへ受信データがコピーされた後、受信バッファに次に転送するデータ長の空きがない場合、次の転送は開始されません。

(c) シーケンス制御

Single-SPI モードの場合、シーケンス制御レジスタ (SPSCR) に設定することによりコマンドレジスタ 0~3 (SPCMD0~3) および転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の一部または全部からなるシーケンスを構成することができます。また、本モジュールにはコマンドレジスタに対するポインタが存在し、シーケンスステータスレジスタ (SPSSR) を読むことでこのポインタの値を確認できます。

制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) を 1 に設定して本モジュールの機能を有効にすると、コマンドレジスタに対するポインタを SPCMD0 にセットし、シリアル転送開始時に SPCMD0 と SPBMUL0 の設定内容を転送フォーマットに反映します。本モジュールは参照している SPCMD0~3 に対応する転送の次アクセス遅延期間が終了するたびにコマンドレジスタ用ポインタをインクリメントします。シーケンスを構成しているコマンドの最終のものに対応する転送が終了するとポインタは SPCMD0 に戻り、シーケンスは繰り返し実行されます。

SPCMD0~3 はそれぞれに対して、基本となる転送データ長、MSB/LSB ファースト、クロック設定、ビットレートの一部、SPI 転送モードおよび転送方向 (Dual/Quad-SPI モードのみ)、QSSL 保持、クロック遅延期間、QSSL ネゲート遅延期間、次アクセス遅延期間の設定ができます。ここで設定した基本となる転送データ長に SPBMUL0~3 の設定値を掛けた値がトータルの転送データ長となります。

シーケンス制御レジスタを H'02 に設定し、SPCMD0~2 を用いてシーケンスを構成したときの動作例を図 18.11 に示します。図中 QMO/QMI の灰色部は無効データを表します。また、図中 (1) ~ (3) は以下を示します。

1. クロック遅延期間 (SPCKD) 設定値 = B'000 (1.5QSPCLK)
2. QSSLネゲート遅延期間 (SSLND) 設定値 = B'000 (1QSPCLK)
3. 次アクセス遅延期間 (SPND) 設定値 = B'000 (1QSPCLK)

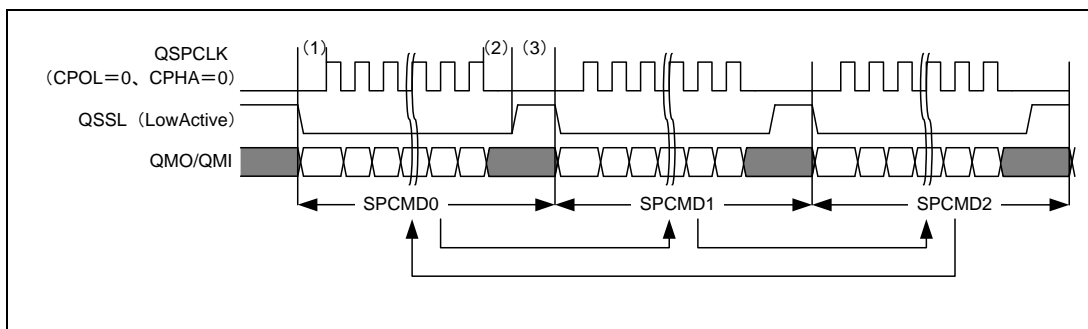


図 18.11 シーケンス制御動作例

(d) バースト転送

Single-SPI モードでは 2 通りの方法でバースト転送を実行することが可能です。

一つはコマンドレジスタ 0~3 (SPCMD0~3) の転送データ長設定ビット (SPB[3:0]) と転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) を用いる方法です。SPB[3:0] ビットを 8、16、32 ビットに設定し、SPBMUL0~3 を 1~4,294,967,296 に設定することにより、SPB[3:0] ビットで設定した長さの転送を 1 転送として SPBMUL0~3 に設定した回数だけ連続的に繰り返す転送を実行します。ただし、転送中に送信バッファ (SPTXB) に送信データが無くなった場合、または受信バッファ (SPRXB) に SPB[3:0] ビットに設定したデータ長の空きが無くなった場合はクロックを停止して、転送の再開を待ちます。SPB[3:0] ビットを 32 ビット設定、SPBMUL を 4 に設定し、トータルの転送データ長を 128 ビットとした場合のバースト転送の例を図 18.12 に示します。図中 (1) ~ (4) の内容を以下に説明します。

1. 1回目の32ビット転送です。
2. 2回目の32ビット転送です。
3. 送信バッファに送信データが無くなったか受信バッファに32ビット分の空きが無くなったためにクロックを停止します。その間のQMO出力は直前の値を保持します。送信データが書き込まれるか受信バッファに空きができるとクロックを送出して転送を再開します。
4. 3回目と4回目の32ビット転送です。

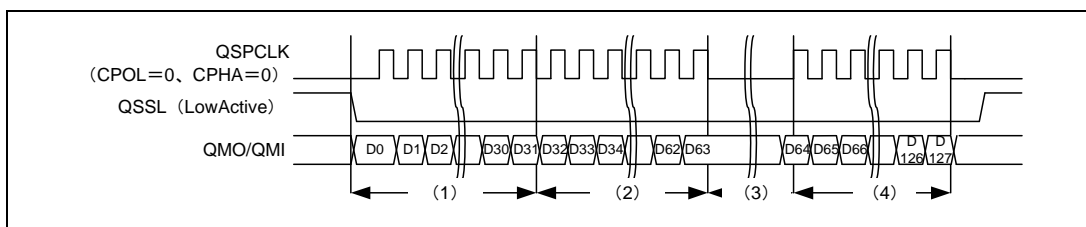


図 18.12 転送データ長を 128 ビットに設定したバースト転送の例 (Single-SPI モード)

もう一つの方法はシリアル転送終了後、次のシリアル転送まで QSSL をアサートし続けることでバースト転送を実行する方法です。コマンドレジスタ 0~3 (SPCMD0~3) の QSSL 信号レベル保持ビット (SSLKP) を 1 に設定すると、そのコマンドレジスタに対応する転送終了から次の転送までの間 QSSL 信号をアサートし続けます。QSSL 信号レベル保持機能を利用したバースト転送の例を図 18.13 に示します。図中 (1) ~ (6) の動作内容を以下に説明します。

1. SPCMD0に従ったクロック遅延期間です。バースト転送の最初の転送では必ず1.5QSPCLK以上となるように設定してください。
2. SPCMD0に従ったQSSLネゲート遅延期間です。SSLKPを1に設定しているため、QSSLネゲート遅延期間後もQSSLはネゲートされません。SPCMD0のQSSLネゲート遅延設定イネーブルビット (SLNDEN) の設定により期間の長さが変化します。SLNDENを1に設定するとスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値に従います。SLNDENを0に設定すると0QSPCLKとなります。
3. SPCMD0に従った次アクセス遅延期間です。SSLKPを1に設定しているため、この期間もQSSLはネゲートされません。SPCMD0の次アクセス遅延設定イネーブルビット (SPNDEN) の設定により期間の長さが変化します。SPNDENを1に設定すると次アクセス遅延レジスタ (SPND) の設定値に従います。SPNDENを0に設定すると0QSPCLKとなります。
4. SPCMD1に従ったクロック遅延期間です。SPCMD1のクロック遅延設定イネーブルビット (SCKDEN) の設定により期間の長さが変化します。SCKDENを1に設定するとクロック遅延設定レジスタ (SPCKD) の設定値に従います。SCKDENを0に設定すると0QSPCLKとなります。
5. SPCMD1に従ったQSSLネゲート遅延期間です。バースト転送の最後の転送では必ず1QSPCLK以上となるように設定してください。SPCMD1のSSLKPを0に設定しているため、QSSLネゲート遅延期間後にQSSLがネゲートされます。
6. SPCMD1に従った次アクセス遅延期間です。バースト転送の最後の転送では必ず1QSPCLK以上となるように設定してください。また、必ずSSLKPを0としてQSSLをネゲートしてください。

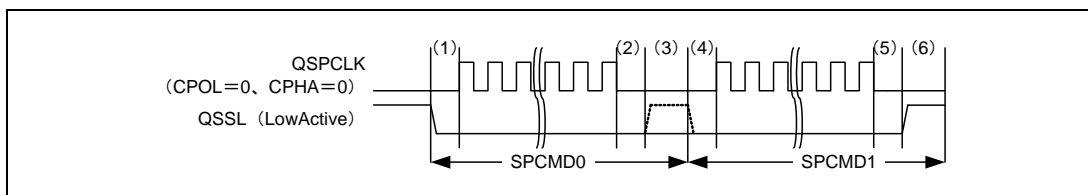


図 18.13 QSSL 信号レベル保持を利用したバースト転送の例 (Single-SPI モード)

この方法によるバースト転送を設定するときは、以下の内容に注意してください。

コマンドの更新によりクロック分周比またはクロック極性を変更する場合は必ず (2) ~ (4) の期間を挿入してください。

また、クロック分周比を変更した場合、(4) の期間が設定値より前後する場合があります。

コマンドの更新によりクロック位相または Single/Dual/Quad-SPI の転送モードを変更する場合は少なくとも (2) の期間を挿入してください (Dual/Quad-SPI はリード/ライトの変更も含む)。

(e) 初期設定フロー

Single-SPI モード時の初期設定フローの例を図 18.14 に示します。割り込みコントローラ、ダイレクトメモリアクセスコントローラの設定についてはそれぞれの章を参照してください。

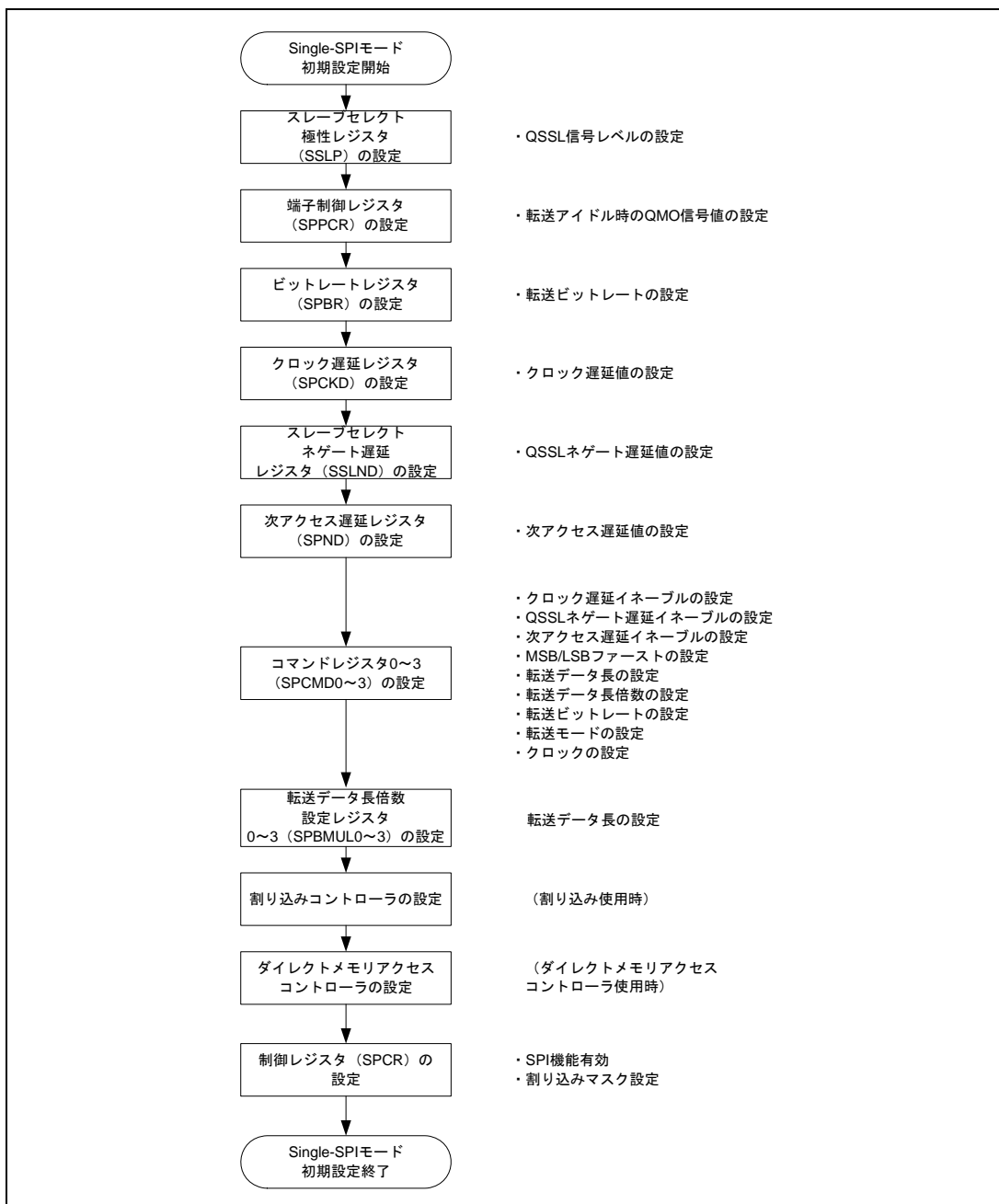


図 18.14 Single-SPI モード時の初期設定フロー例

(f) 転送動作フロー

Single-SPI モード時の動作フローを図 18.15 に示します。転送データ長設定によるバースト転送もこのフローに準じた動作をします。

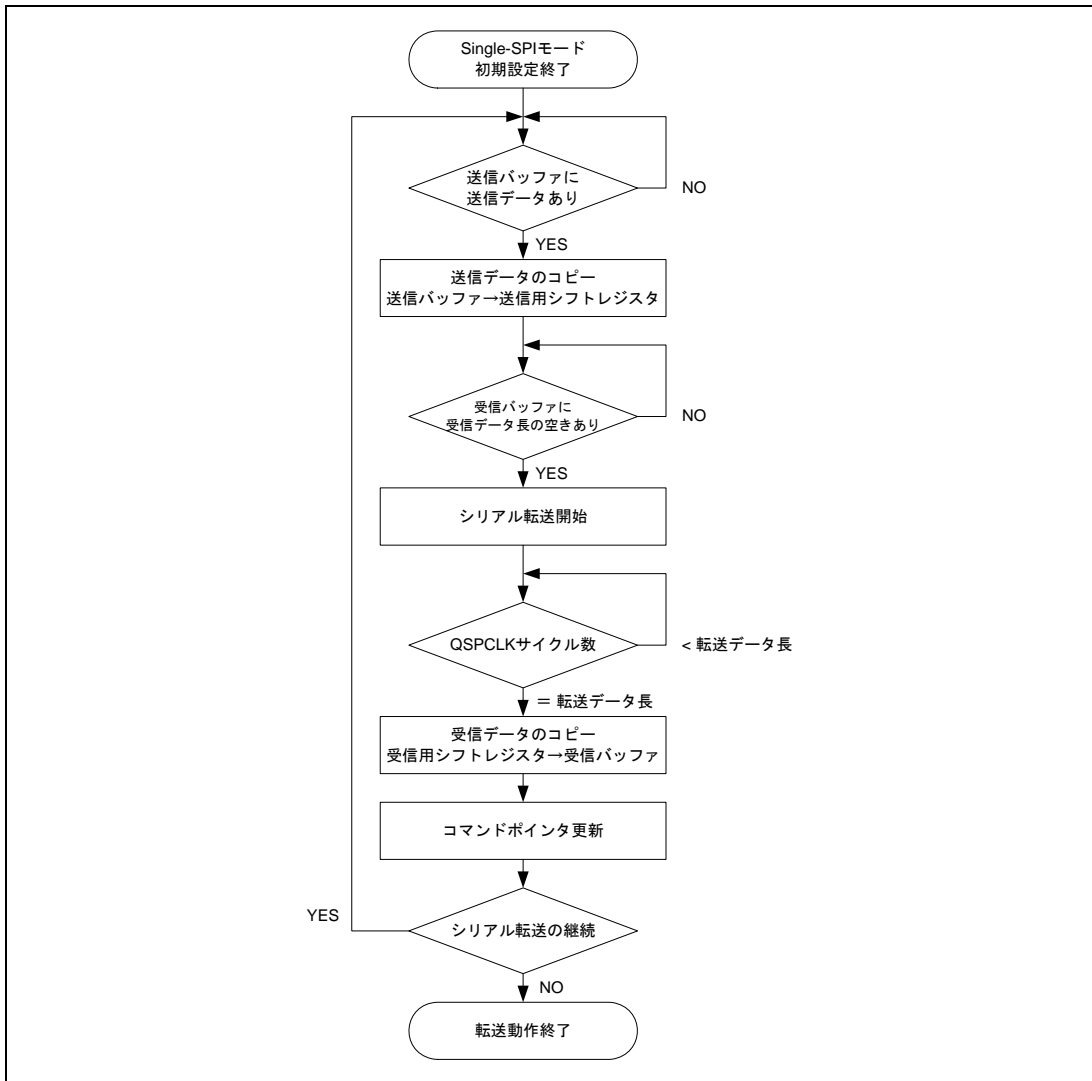


図 18.15 Single-SPI モードの動作フロー

(2) Dual-SPI モード / Quad-SPI モード

(a) シリアル転送の開始

Dual-SPI モードと Quad-SPI モードのシリアル転送開始条件はデータ送信時と受信時で異なります。

データ送信時の開始条件は送信バッファに転送データ長のデータがあることです。

データ受信時の開始条件は受信バッファに転送データ長の空きがあることです。

(b) シリアル転送の終了

転送終了条件は送受信に関わらず最終サンプリングタイミングに対応する QSPCLK エッジを送出することです。Dual/Quad-SPI モードでのアイドル時の QIO 端子制御はライト後とリード後で異なります。ライト後はレジスタ設定により最終出力データか固定値を出力します。リード後は QIO 端子を Hi-Z にします。Quad-SPI モードを例としたアクセス終了後の端子状態を図 18.16 に示します。図中 (1)、(2) について以下に説明します。

1. ライト時 QIO0～3 は出力であるため、ライト動作終了後に QSSL がネゲートされると、端子制御レジスタ (SPPCR) のデータ出力アイドル値固定イネーブルビット (MOIFE) の設定により出力値を変化させます。MOIFE が 1 の場合、データ出力アイドル時固定値ビット (MOIFV) に設定された値を出力し、MOIFE が 0 の場合は最終出力データの値を出力します。
2. リード時 QIO0～3 は入力であるため、リード動作終了後は QSSL がネゲートされると、MOIFE および MOIFV の値に関わらず Hi-Z となります。

Dual/Quad-SPI モードの端子制御については「18.4.2 端子の制御」を参照してください。

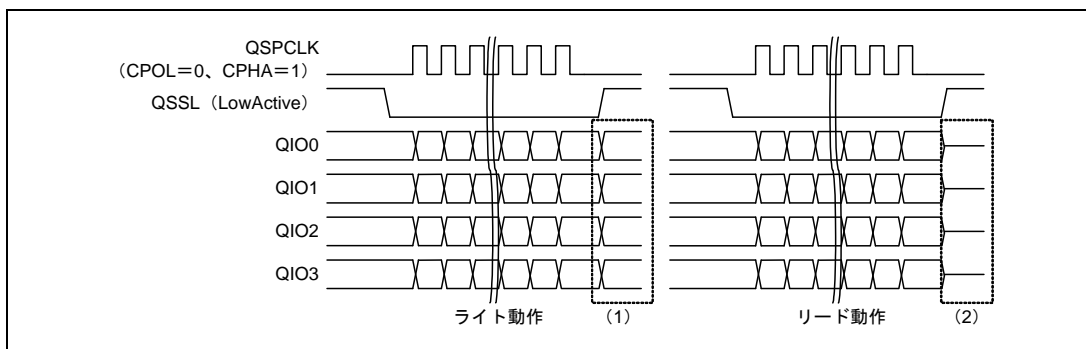


図 18.16 Dual/Quad-SPI モード転送終了後の端子状態 (Quad-SPI の例)

(c) シーケンス制御

Dual/Quad-SPI モードでは Single-SPI モードと同様にシーケンス制御レジスタ (SPSCR) とコマンドレジスタ 0 ~ 3 (SPCMD0 ~ 3)、転送データ長倍数設定レジスタ 0 ~ 3 (SPBMUL0 ~ 3) を用いてシーケンスを構成することができます。動作の詳細は「18.4.7 SPI 動作 (1) Single-SPI モード (c) シーケンス制御」を参照してください。

Dual/Quad-SPI モードではシリアル転送は送信または受信の一方のみの動作となるため、送受信は SPCMD0 ~ 3 の SPI リードライトアクセス設定ビット (SPRW) にて設定します。また、Dual/Quad-SPI モードと Single-SPI モードを含めた 3 つの動作モードは SPCMD0 ~ 3 の SPI 動作モード設定ビット (SPIMOD[1:0]) にて設定します。これらを用いることにより Single-SPI モード、Dual-SPI モードの送受信および Quad-SPI モードの送受信をシーケンス制御で切り替えることが可能です。転送モードを切り替えてシーケンスを構成する例を図 18.17 に示します。

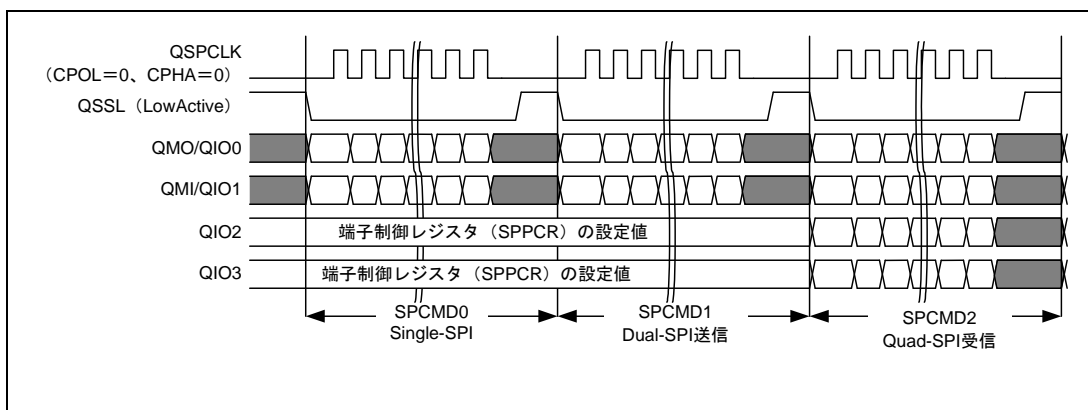


図 18.17 転送モードを切り替えたシーケンス構成の例

- 【注】 Dual/Quad-SPI モードでシーケンスを構成する場合は次の点にご注意ください。
- シーケンスを構成するコマンドがすべて Dual/Quad-SPI リード動作である場合、受信バッファに受信データ長の空きがある限りシーケンス動作を実行します。
 - リード動作を終了させるためには、必要なデータ長を受信したあとで制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) を 0 クリアするか、最後のシーケンスをライト動作として、送信バッファを空にしてください。

(d) バースト転送

Dual/Quad-SPI モードでは 2 通りの方法でバースト転送を実行することが可能です。

一つはコマンドレジスタ 0~3 (SPCMD0~3) の転送データ長設定ビット (SPB[3:0]) と転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) を用いる方法です。Single-SPI モードの場合と同様に SPB[3:0] ビットを 8、16、32 ビットに設定し、SPBMUL0~3 を 1~4,294,967,296 に設定することにより、SPB[3:0] ビットで設定した長さの転送を SPBMUL0~3 に設定した回数だけ連続的に繰り返す転送を実行します。ただし、ライト時に送信バッファ (SPTXB) に送信データが無くなるか、リード時に受信バッファ (SPRXB) に SPB[3:0] ビットに設定したデータ長の空きが無くなった場合はクロックを停止して、転送の再開を待ちます。この方法は Dual/Quad-SPI モードで大量のデータを転送したいときに有効です。SPB[3:0] ビットを 32 ビット設定、SPBMUL を 4 に設定し、トータルの転送データ長を 128 ビットに設定した場合の Quad-SPI のバースト転送例を図 18.18 に示します。図中(1)~(4)の内容を以下に説明します。

1. 1回目の32ビット転送です。
2. 2回目の32ビット転送です。
3. 送信バッファに送信データが無くなったか受信バッファに32ビット分の空きが無くなったためにクロックを停止します。その間のQIO3-0が出力の場合は直前の値を保持します。QIO3-0が入力の場合は通信相手となるデバイスの出力によります。送信データが書き込まれるか受信バッファに空きができて転送再開の条件が整うと内部クロックにて送信データを出力します。
4. 3回目と4回目の32ビット転送です。

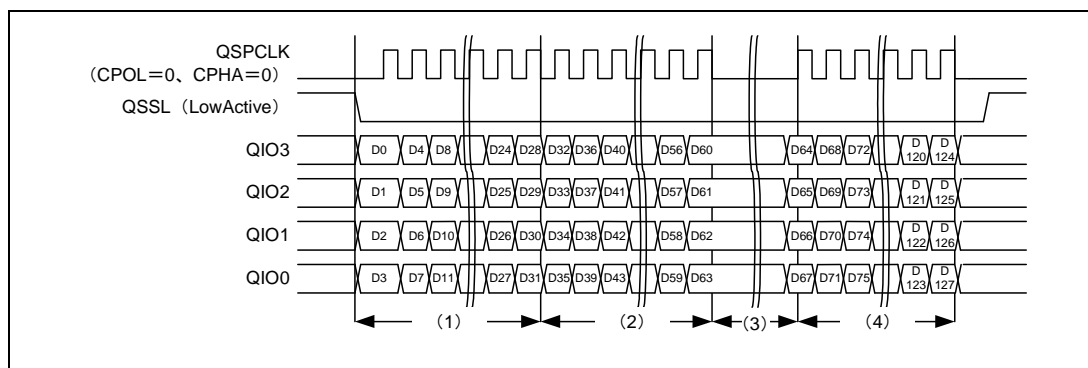


図 18.18 転送データ長を 128 ビットに設定したバースト転送の例 (Quad-SPI モード)

もう一つの方法は Single-SPI モードと同様に QSSL 信号レベル保持機能を用いる方法です。この方法は転送の途中で SPI 転送モード (Single/Dual/Quad-SPI) を変更することができるため、シリアルフラッシュメモリにコマンドデータを Single-SPI モードでライトし、メモリ格納データを Quad-SPI モードでライトする場合などで有効です。ただし、SPI 転送モードを変更する場合は転送の間に遅延期間を 1 サイクル以上挿入してください。Single-SPI と Quad-SPI を混合したバースト転送の例を図 18.19 に示します。図中(1)~(6)の動作内容を以下に説明します。

1. SPCMD0に従ったクロック遅延期間です。バースト転送の最初の転送では必ず1.5QSPCLK以上となるように設定してください。
2. SPCMD0に従ったQSSLネゲート遅延期間です。SPCMD0のQSSL信号レベル保持ビット (SSLKP) を1に設定しているため、QSSLネゲート遅延期間後もQSSLはネゲートされません。SPCMD0のQSSLネゲート遅延設定イネーブルビット (SLNDEN) の設定により期間の長さが変化します。SLNDENを1に設定するとスレープセレクトネゲート遅延レジスタ (SSLND) の設定値に従います。SLNDENを0に設定すると0QSPCLKとなります。
3. SPCMD0に従った次アクセス遅延期間です。SSLKPを1に設定しているため、この期間もQSSLはネゲートされません。SPCMD0の次アクセス遅延設定イネーブルビット (SPNDEN) の設定により期間の長さが変化します。SPNDENを1に設定すると次アクセス遅延レジスタ (SPND) の設定値に従います。SPNDENを0に設定すると0QSPCLKとなります。この期間までSPCMD0の設定に従ってデータ端子をドライブします。
4. SPCMD1に従ったクロック遅延期間です。SPCMD1のクロック遅延設定イネーブルビット (SCKDEN) の設定により期間の長さが変化します。SCKDENを1に設定するとクロック遅延設定レジスタ (SPCKD) の設定値に従います。SCKDENを0に設定すると0QSPCLKとなります。
5. SPCMD1に従ったQSSLネゲート遅延期間です。バースト転送の最後の転送では必ず1QSPCLK以上となるように設定してください。SPCMD1のSSLKPを0に設定しているため、QSSLネゲート遅延期間後にQSSLがネゲートされます。
6. SPCMD1に従った次アクセス遅延期間です。バースト転送の最後の転送では必ず1QSPCLK以上となるように設定してください。また、必ずSSLKPを0としてQSSLをネゲートしてください。

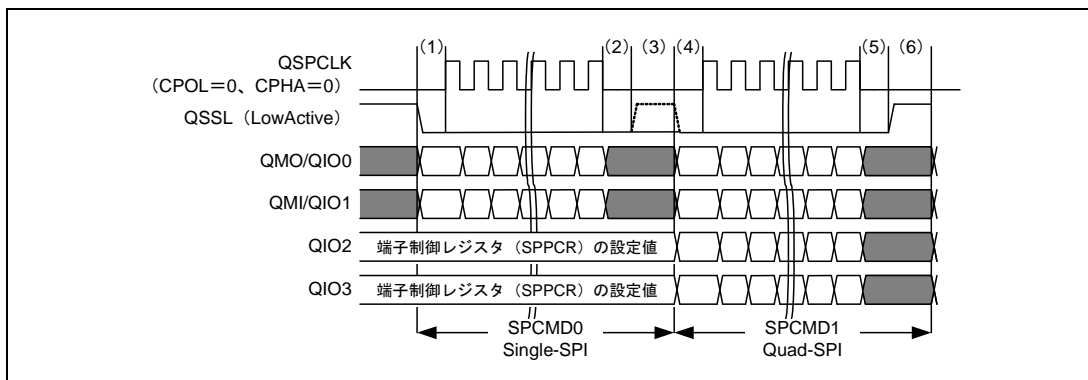


図 18.19 QSSL 信号レベル保持を利用したバースト転送の例 (Single-SPI、Quad-SPI 混合)

この方法によるバースト転送を設定するときは、以下の内容に注意してください。

コマンドの更新によりクロック分周比またはクロック極性を変更する場合は必ず (2) ~ (4) の期間を挿入してください。

また、クロック分周比を変更した場合、(4) の期間が設定値より前後する場合があります。

コマンドの更新によりクロック位相または Single/Dual/Quad-SPI の転送モードを変更する場合は少なくとも (2) の期間を挿入してください (Dual/Quad-SPI はリード/ライトの変更も含む)。

(e) 初期設定フロー

Dual/Quad-SPI モード時の初期設定フローの例を図 18.20 に示します。割り込みコントローラ、ダイレクトメモリアクセスコントローラの設定についてはそれぞれの章を参照してください。

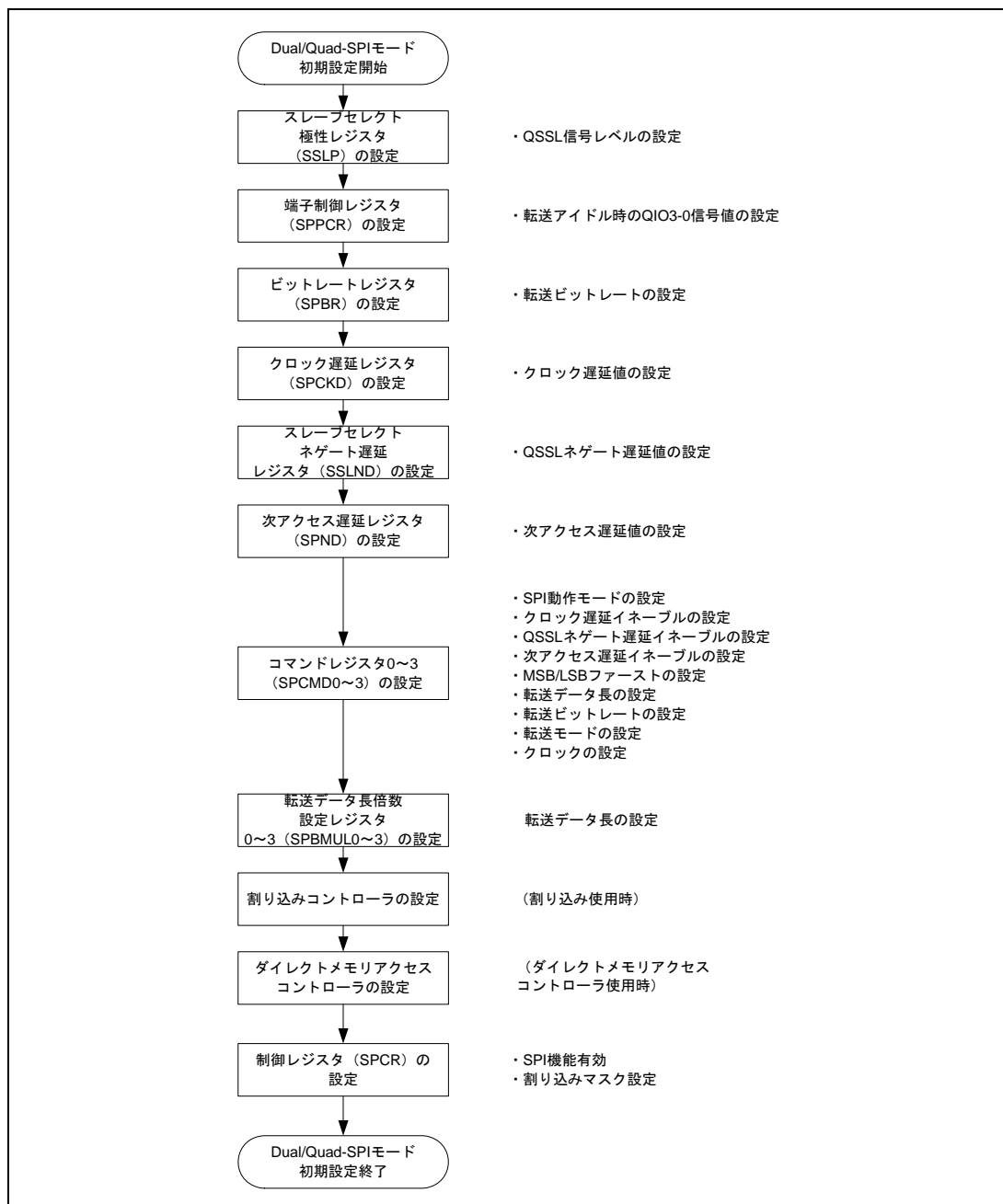


図 18.20 Dual/Quad-SPI モード時の初期設定フロー例

(f) 転送動作フロー

Dual/Quad-SPI モード時の動作フローを図 18.21 に示します。

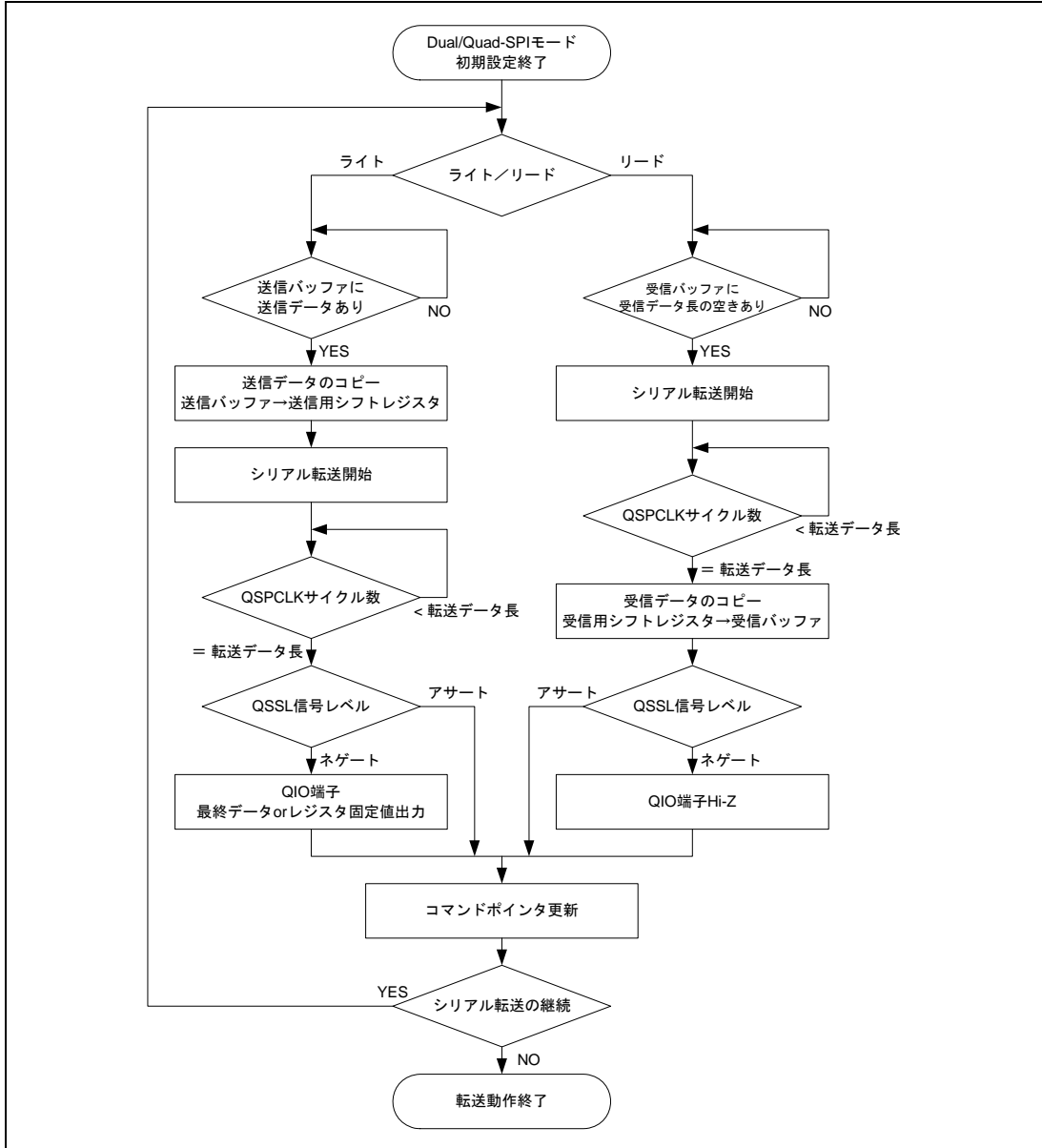


図 18.21 Dual/Quad-SPI モードの動作フロー

18.4.8 割り込み要因

本モジュールの割り込み要因には受信バッファフルと送信バッファエンプティがあります。受信バッファフルおよび送信バッファエンプティ割り込みでダイレクトメモリアクセスコントローラを起動し、データ転送を行うことができます。

割り込み要因を表 18.9 に示します。表中の割り込み条件が成立すると割り込みが発生します。CPU またはダイレクトメモリアクセスコントローラによるデータ転送で割り込み要因をクリアしてください。

表 18.9 割り込み要因

名称	割り込み要因	略称	割り込み条件	ダイレクトメモリアクセス コントローラ起動
SPRI	受信バッファフル	RXI	$(SPRIE = 1) \cdot (SPRFF = 1)$	
SPTI	送信バッファエンプティ	TXI	$(SPTIE = 1) \cdot (SPTEF = 1)$	

18.4.9 ループバックモード

本モジュールにはテスト用の機能としてループバックモードがあります。ループバックモードにするには端子制御レジスタ (SPPCR) のループバックモードビット (SPLP) を 1 に設定します。ループバックモードでは送信用 / 受信用シフトレジスタと QMI/QMO 端子および QIO3-0 の間の経路を遮断し、送信用シフトレジスタの出力と受信用シフトレジスタの入力を接続します。ループバックモード時の内部結線の概略を図 18.22 に示します。

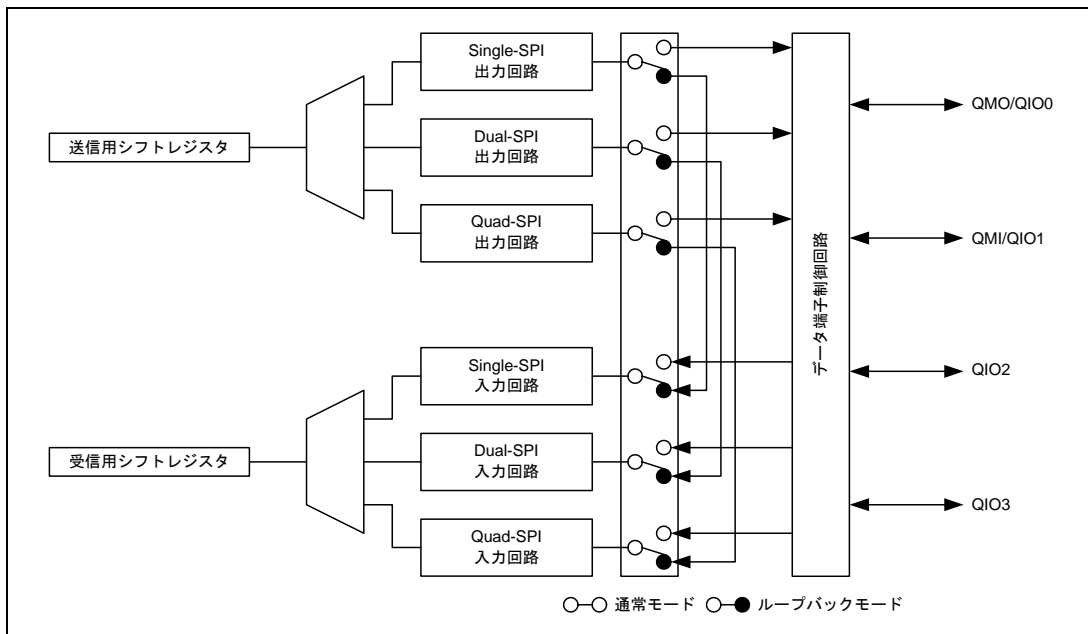


図 18.22 ループバックモードの内部結線概略図

19. SPI マルチ I/O バスコントローラ

SPI マルチ I/O バスコントローラは、SPI マルチ I/O バス空間に接続されたシリアルフラッシュに対し制御信号を出力します。これにより、シリアルフラッシュを直接接続することができます。

19.1 特長

本モジュールは、接続したシリアルフラッシュに対し、SPI マルチ I/O バス空間への直接リードおよび SPI モードによるデータの送受信を行うことができます。

1. シリアルフラッシュインタフェース
 - シリアルフラッシュを2個まで接続可能
 - データバス幅を1つのシリアルフラッシュに対し、1ビット、2ビット、4ビットから選択可能
2. 外部アドレス空間リードモード
 - アドレス空間最大8Gバイトまでサポート（シリアルフラッシュ2個接続時）
 - アクセスアドレスをモニタすることにより、SPBSSL端子の自動制御可能
 - リードキャッシュ内蔵（ラインサイズ64ビット×16エントリ）により、効率の良いデータ受信可能
3. SPI動作モード
 - シリアルフラッシュに対し、任意のリード/ライト動作可能
4. ビットレート
 - 内部ポーレートジェネレータでB を分周してSPBCLKを生成
 - SPBCLK分周比を2のみ設定可能
5. SPBSSL端子制御
 - SPBSSL信号アサートからSPBCLK動作までの遅延（クロック遅延）を設定可能
設定範囲：1～8SPBCLK 設定単位：1SPBCLK
 - SPBSSL極性変更可能

19.2 ブロック図

本モジュールの全体ブロックを図 19.1 に示します。

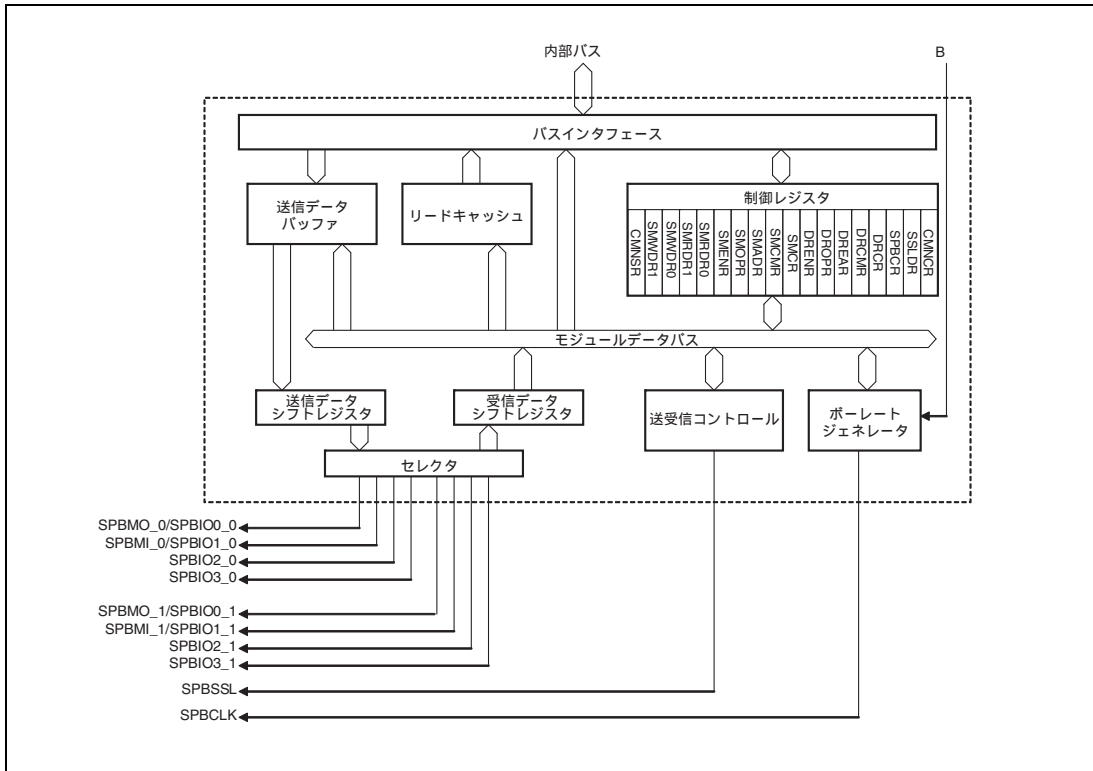


図 19.1 ブロック図

19.3 入出力端子

端子構成を表 19.1 に示します。

表 19.1 端子構成

チャンネル	名称	端子名	入出力	機能
共通	クロック端子	SPBCLK	出力	クロック出力
	スレーブセレクト端子	SPBSSL	出力	スレーブセレクト
0	データ 0 端子	SPBMO_0/SPBIO0_0	入出力	マスタ送出データ / データ 0
	データ 1 端子	SPBMI_0/SPBIO1_0	入出力	マスタ入力データ / データ 1
	データ 2 端子	SPBIO2_0	入出力	データ 2
	データ 3 端子	SPBIO3_0	入出力	データ 3
1	データ 0 端子	SPBMO_1/SPBIO0_1	入出力	マスタ送出データ / データ 0
	データ 1 端子	SPBMI_1/SPBIO1_1	入出力	マスタ入力データ / データ 1
	データ 2 端子	SPBIO2_1	入出力	データ 2
	データ 3 端子	SPBIO3_1	入出力	データ 3

19.4 レジスタの説明

レジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
共通コントロールレジスタ	CMNCR	R/W	H'00AA4000	H'FFFC1C00	32
SSL 遅延レジスタ	SSLDR	R/W	H'00000000	H'FFFC1C04	32
ビットレート設定レジスタ	SPBCR	R/W	H'00000003	H'FFFC1C08	32
データリードコントロールレジスタ	DRCR	R/W	H'00000000	H'FFFC1C0C	32
データリードコマンド設定レジスタ	DRCMR	R/W	H'00000000	H'FFFC1C10	32
データリード拡張アドレス設定レジスタ	DREAR	R/W	H'00000000	H'FFFC1C14	32
データリードオプション設定レジスタ	DROPR	R/W	H'00000000	H'FFFC1C18	32
データリードイネーブル設定レジスタ	DRENDR	R/W	H'00004700	H'FFFC1C1C	32
SPI モードコントロールレジスタ	SMCR	R/W	H'00000000	H'FFFC1C20	32
SPI モードコマンド設定レジスタ	SMCMR	R/W	H'00000000	H'FFFC1C24	32
SPI モードアドレス設定レジスタ	SMADR	R/W	H'00000000	H'FFFC1C28	32
SPI モードオプション設定レジスタ	SMOPR	R/W	H'00000000	H'FFFC1C2C	32
SPI モードイネーブル設定レジスタ	SMENR	R/W	H'00004000	H'FFFC1C30	32
SPI モードリードデータレジスタ 0	SMRDR0	R	不定	H'FFFC1C38	8、16、32
SPI モードリードデータレジスタ 1	SMRDR1	R	不定	H'FFFC1C3C	8、16、32
SPI モードライトデータレジスタ 0	SMWDR0	R/W	H'00000000	H'FFFC1C40	8、16、32
SPI モードライトデータレジスタ 1	SMWDR1	R/W	H'00000000	H'FFFC1C44	8、16、32
共通ステータスレジスタ	CMNSR	R	H'00000001	H'FFFC1C48	32

19.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は、SPI マルチ I/O バスコントローラの制御を行う 32 ビットのレジスタです。本レジスタの設定は、外部アドレス空間リード / SPI 動作モード両方に反映されます。

CMNSR レジスタの SSLF フラグ = "0" のときに変更してください。CMNSR レジスタの SSLF フラグ = "1" 時に変更した場合の動作は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD	-	-	-	-	-	-	-	MOII03[1:0]	MOII02[1:0]	MOII01[1:0]	MOII00[1:0]				
初期値 :	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0
R/W :	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO3FV[1:0]	IO2FV[1:0]	-	-	IO0FV[1:0]	-	CPHAT	CPHAR	SSLP	CPOL	-	BSZ[1:0]				
初期値 :	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MD	0	R/W	動作モード切り替え 動作モードの切り替えを行います。 0 : 外部アドレス空間リードモード 1 : SPI 動作モード
30~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23, 22	MOII03 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO3_0、SPBIO3_1 SPBSSL ネゲート期間に SPBIO3_0、SPBIO3_1 の出力値を固定します。 00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z
21, 20	MOII02 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO2_0、SPBIO2_1 SPBSSL ネゲート期間に SPBIO2_0、SPBIO2_1 の出力値を固定します。 00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z
19, 18	MOII01 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO1_0、SPBIO1_1 SPBSSL ネゲート期間に SPBIO1_0、SPBIO1_1 の出力値を固定します。 00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z

ビット	ビット名	初期値	R/W	説明
17、16	MOIIO0 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO0_0、SPBIO0_1 SPBSSL ネゲート期間に SPBIO0_0、SPBIO0_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z
15、14	IO3FV[1:0]	01	R/W	1 ビット / 2 ビット幅時 SPBIO3_0、SPBIO3_1 固定値 1 ビット / 2 ビット幅時、SPBIO3_0、SPBIO3_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z
13、12	IO2FV[1:0]	00	R/W	1 ビット / 2 ビット幅時 SPBIO2_0、SPBIO2_1 固定値 1 ビット / 2 ビット幅時、SPBIO2_0、SPBIO2_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	IO0FV[1:0]	00	R/W	1 ビット幅入力時 SPBIO0_0、SPBIO0_1 固定値 1 ビット幅入力時、SPBIO0_0、SPBIO0_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	CPHAT	0	R/W	出力シフト設定 出力データの SPBCLK エッジを設定します。 CPHAT と CPHAR の設定は CPHAR 説明の表に従ってください。 0：偶数エッジでデータ送信 1：奇数エッジでデータ送信

ビット	ビット名	初期値	R/W	説明															
5	CPHAR	0	R/W	<p>入力ラッチ設定</p> <p>受信データの SPBCLK エッジを設定します。</p> <p>CPHAT と CPHAR の設定は下表に従ってください。</p> <p>0 : 奇数エッジでデータ受信 1 : 偶数エッジでデータ受信</p> <p style="text-align: center;">CPHAT と CPHAR の設定値</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>CPHAT</th> <th>CPHAR</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>設定可</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定可</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定可</td> </tr> </tbody> </table>	CPHAT	CPHAR		0	0	設定可	0	1	設定可	1	0	設定禁止	1	1	設定可
CPHAT	CPHAR																		
0	0	設定可																	
0	1	設定可																	
1	0	設定禁止																	
1	1	設定可																	
4	SSLP	0	R/W	<p>SPBSSL 信号極性設定</p> <p>SPBSSL 信号の極性を設定します。</p> <p>0 : SPBSSL 信号は Low アクティブ 1 : SPBSSL 信号は High アクティブ</p>															
3	CPOL	0	R/W	<p>SPBSSL ネゲート期間 SPBCLK 出力方向</p> <p>SPBSSL ネゲート期間の SPBCLK 出力方向を設定します。</p> <p>0 : SPBSSL ネゲート時 SPBCLK は 0 出力 1 : SPBSSL ネゲート時 SPBCLK は 1 出力</p>															
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>															
1、0	BSZ[1:0]	00	R/W	<p>データバス幅指定</p> <p>接続するシリアルフラッシュの数を指定します。</p> <p>00 : 1 個 01 : 2 個 1X : 設定禁止</p> <p>【注】 本ビットを変更した場合は、必ず DRCR レジスタの RCF ビット="1"により、リードキャッシュの全エントリをクリアしてください。</p>															

19.4.2 SSL 遅延レジスタ (SSLDL)

SSLDL は、SPBSSL 信号と SPBCLK 信号間のタイミング調整を行う 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード / SPI 動作モード両方に反映されます。

CMNSR レジスタの SSLF フラグ = "0" のときに変更してください。CMNSR レジスタの SSLF フラグ = "1" 時に変更した場合の動作は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SPNDL[2:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	SLNDL[2:0]			-	-	-	-	-	SCKDL[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	SPNDL[2:0]	000	R/W	次アクセス遅延設定 転送終了から次の転送開始までの期間 (次アクセス) を設定します。 000 : 1SPBCLK 上記以外 : 設定禁止
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	SLNDL[2:0]	000	R/W	SPBSSL ネゲート遅延設定 転送の最終 SPBCLK エッジを送出してから SPBSSL 端子をネゲートするまでの期間 (SPBSSL ネゲート遅延) を設定します。 000 : 1.5SPBCLK 上記以外 : 設定禁止
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2~0	SCKDL[2:0]	000	R/W	クロック遅延設定 SPBSSL 端子アサートから SPBCLK 発振までの期間 (クロック遅延) を設定します。 000 : 1SPBCLK 001 : 2SPBCLK 010 : 3SPBCLK 011 : 4SPBCLK 100 : 5SPBCLK 101 : 6SPBCLK 110 : 7SPBCLK 111 : 8SPBCLK

19.4.3 ビットレート設定レジスタ (SPBCR)

SPBCR は、ビットレートを設定する 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード / SPI 動作モード両方に反映されます。

CMNSR レジスタの SSLF フラグ = "0" のときに変更してください。CMNSR レジスタの SSLF フラグ = "1" 時に変更した場合の動作は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPBR[7:0]							-	-	-	-	-	-	-	BRDV[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15 ~ 8	SPBR[7:0]	すべて 0	R/W	ビットレート設定 ビットレートを設定します。ビットレートは BRDV[1:0] ビットとの組み合わせで決定されます。詳細は表 19.3 を参照してください。
7 ~ 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	BRDV[1:0]	11	R/W	ビットレート分周設定 ビットレートを設定します。ビットレートは SPBR[7:0] ビットとの組み合わせで決定されます。SPBR の設定値は、ベースとなるビットレートを決定します。本ビットの設定値は、ベースのビットレートに対して分周なし / 2 分周したビットレートを選択するために使用します。 00 : ベースのビットレートを選択 01 : ベースのビットレートの 2 分周を選択 上記以外 : 設定禁止

(1) ビットレート

SPBR[7:0]、BRDV[1:0]にてビットレートの設定をします。2分周となる設定以外は禁止です。

表 19.3 SPBR[7:0]、BRDV[1:0]ビットの設定値とビットレート

SPBR[7:0]の 設定値	BRDV[1:0]の 設定値	分周比	ビットレート	
			B = 66.67MHz	B = 133.33MHz
0	1	2	33.33Mbps	66.66Mbps
1	0	2	33.33Mbps	66.66Mbps

19.4.4 データリードコントロールレジスタ (DRCR)

外部アドレス空間リード時の動作を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	RBURST[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RCF	RBE	-	-	-	-	-	-	-	SSLE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~16	RBURST [3:0]	0000	R/W	リードデータバースト長 リード時のバースト長を設定します。 RBE ビット = "1" にセットしたときに有効となります。 0000 : 1 データ長連続 0001 : 2 データ長連続 : 1110 : 15 データ長連続 1111 : 16 データ長連続 1 データ長は 64 ビットです。
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	RCF	0	W	リードキャッシュフラッシュ 1 を書き込むと、リードキャッシュの全エントリをクリアします。 読み出すと常に 0 が読み出されます。 【注】 RCF ビットに 1 を書き込んでリードキャッシュのクリアを行った後は、DRCR レジスタの内容を読み出した後に外部アドレス空間リードを行ってください。
8	RBE	0	R/W	リードバースト リード時のバースト ON/OFF を設定します。 0 : アクセスサイズに応じてリードします。 1 : リードキャッシュが有効となり、RBURST[3:0] ビットに指定されたバースト数分のリードをします。
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
0	SSLE	0	R/W	SPBSSL ネゲート設定 リードバースト時の SPBSSL のネゲート条件を設定します。 通常リード時はアクセスごとに SPBSSL をネゲートします。 0: バースト長で設定されたデータ転送終了ごとに SPBSSL をネゲートします。 1: アクセスしたアドレスが前回転送のアドレスから連続していないときに SPBSSL をネゲートします。

19.4.5 データリードコマンド設定レジスタ (DRCMR)

外部アドレス空間リード時に発行するコマンドを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	CMD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	OCMD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	CMD[7:0]	H'00	R/W	コマンド コマンドを設定します。
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	OCMD[7:0]	H'00	R/W	オプションコマンド オプションコマンドを設定します。

19.4.6 データリード拡張アドレス設定レジスタ (DREAR)

シリアルフラッシュのアドレスを 32 ビットで出力するときの設定をする 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	EAV[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	EAC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	EAV[7:0]	H'00	R/W	32 ビット拡張上位アドレス固定値設定 シリアルフラッシュのアドレスを 32 ビットで出力するとき、EAC[2:0] ビットで設定した外部アドレスの上位のアドレスビット値を設定するレジスタです。ビット 0 がシリアルフラッシュのアドレスビット[25]に対応し、ビット 7 がビット[32]に対応します。 この設定は DRENr レジスタの ADE[3] ビット = 1 のときに有効となります。 EAC[2:0] = 000 のとき、シリアルフラッシュのアドレス[32:25]の固定値を EAV[7:0] に設定します。 EAC[2:0] = 001 のとき、シリアルフラッシュのアドレス[32:26]の固定値を EAV[7:1] に設定します。 (1) CMNCR レジスタの BSZ[1:0] ビット = 00 (シリアルフラッシュ 1 個接続) シリアルフラッシュのアドレス[31:0]を用いてアクセスします。 (2) CMNCR レジスタの BSZ[1:0] ビット = 01 (シリアルフラッシュ 2 個接続) シリアルフラッシュのアドレス[32:1]を用いてアクセスします。
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	EAC[2:0]	000	R/W	32 ビット拡張外部アドレス有効範囲設定 シリアルフラッシュのアドレスを 32 ビットで出力するとき、シリアルフラッシュのアドレスとして使用する外部アドレスの範囲を設定します。 この設定は DRENr レジスタの ADE[3] ビット = 1 のときに有効となります。 000 : 外部アドレスのビット[24:0]が有効 001 : 外部アドレスのビット[25:0]が有効 上記以外 : 設定禁止

19.4.7 データリードオプション設定レジスタ (DROPR)

外部アドレス空間リード時のオプションデータを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPD3[7:0]								OPD2[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OPD1[7:0]								OPD0[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	OPD3[7:0]	H'00	R/W	オプションデータ 3 オプションデータ 3 を設定します。
23~16	OPD2[7:0]	H'00	R/W	オプションデータ 2 オプションデータ 2 を設定します。
15~8	OPD1[7:0]	H'00	R/W	オプションデータ 1 オプションデータ 1 を設定します。
7~0	OPD0[7:0]	H'00	R/W	オプションデータ 0 オプションデータ 0 を設定します。

【注】 出力の順番は OPD3 OPD2 OPD1 OPD0 です。

19.4.8 データリードイネーブル設定レジスタ (DREN R)

外部アドレス空間リード時にコマンド / オptionalコマンド / アドレス / オptionalデータ / リードデータのビット幅、およびリードデータ以外の出力イネーブルの設定をする 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDB[1:0]		OCDB[1:0]		-	-	ADB[1:0]		-	-	OPDB[1:0]		-	-	DRDB[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	CDE	-	OCDE	ADE[3:0]			OPDE[3:0]			-	-	-	-		
初期値:	0	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31, 30	CDB[1:0]	00	R/W	コマンドビット幅 コマンドのビット幅を設定します。 00: 1 ビット 01: 2 ビット 10: 4 ビット 11: 設定禁止
29, 28	OCDB[1:0]	00	R/W	Optionalコマンドビット幅 Optionalコマンドのビット幅を設定します。 00: 1 ビット 01: 2 ビット 10: 4 ビット 11: 設定禁止
27, 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25, 24	ADB[1:0]	00	R/W	アドレスビット幅 アドレスのビット幅を設定します。 00: 1 ビット 01: 2 ビット 10: 4 ビット 11: 設定禁止
23, 22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
21、20	OPDB[1:0]	00	R/W	オプションデータビット幅 オプションデータのビット幅を設定します。 00 : 1 ビット 01 : 2 ビット 10 : 4 ビット 11 : 設定禁止
19、18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17、16	DRDB[1:0]	00	R/W	データリードビット幅 データリードのビット幅を設定します。 00 : 1 ビット 01 : 2 ビット 10 : 4 ビット 11 : 設定禁止
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	CDE	1	R/W	コマンドイネーブル コマンド出力を設定します。 0 : 出力しない 1 : 出力する
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	OCDE	0	R/W	オプションコマンドイネーブル オプションコマンド出力を設定します。 0 : 出力しない 1 : 出力する

ビット	ビット名	初期値	R/W	説明
11~8	ADE[3:0]	0111	R/W	<p>アドレスイネーブル アドレス出力を設定します。</p> <p>必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。</p> <p>(1) CMNCR レジスタの BSZ[1:0]ビット = 00 (シリアルフラッシュ 1 個接続)</p> <p>0000 : 出力しない 0111 : Address[23:0]を出力 1111 : Address[31:0]を出力 上記以外 : 設定禁止</p> <p>(2) CMNCR レジスタの BSZ[1:0]ビット = 01 (シリアルフラッシュ 2 個接続)</p> <p>0000 : 出力しない 0111 : Address[24:1]を出力 1111 : Address[32:1]を出力 上記以外 : 設定禁止</p>
7~4	OPDE[3:0]	0000	R/W	<p>オプションデータイネーブル オプションデータ出力を設定します。</p> <p>必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。</p> <p>0000 : 出力しない 1000 : OPD3 を出力 1100 : OPD3、OPD2 を出力 1110 : OPD3、OPD2、OPD1 を出力 1111 : OPD3、OPD2、OPD1、OPD0 を出力 上記以外 : 設定禁止</p>
3~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

19.4.9 SPI モードコントロールレジスタ (SMCR)

SPI 動作モードの動作を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SSLKP	-	-	-	-	-	SPIRE	SPIWE	SPIE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	SSLKP	0	R/W	SPBSSL 信号レベル保持 転送終了後の SPBSSL の状態を決定します。 0 : 転送終了時に SPBSSL 信号をネグート 1 : 転送終了後から次アクセス開始まで SPBSSL 信号レベルを保持 【注】 SPIDB[1:0] ビットで転送データビット幅を 2 ビットまたは 4 ビットに設定した場合、SPIRE ビットと SSLKP ビットを同時に 1 に設定しないでください。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SPIRE	0	R/W	データリードイネーブル SPI 動作モード時のリードイネーブルです。 0 : データリードしない 1 : データリードする 【注】 SPIDB[1:0] ビットで転送データビット幅を 2 ビットまたは 4 ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に 1 に設定しないでください。
1	SPIWE	0	R/W	データライトイネーブル SPI 動作モード時のライトイネーブルです。 0 : データライトしない 1 : データライトする 【注】 SPIDB[1:0] ビットで転送データビット幅を 2 ビットまたは 4 ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に 1 に設定しないでください。

ビット	ビット名	初期値	R/W	説明
0	SPIE	0	W	<p>SPI データ転送イネーブル</p> <p>本ビットを 1 セットすることにより、データ転送を行います。</p> <p>CMNSR レジスタの TEND ビット = "1" 時のみ有効です。CMNSR レジスタの TEND ビット = "0" 時に、1 セットした場合の動作は保証しません。</p> <p>t3 期間に 1 セットした場合は、t3 期間終了後にデータ転送を開始します。</p> <p>読み出すと常に 0 が読み出されます。</p> <p>【注】 SPBSSL がネゲートされているときは SPIRE、SPIWE ビット = "0" でも、出力イネーブルに設定したコマンド / オptional コマンド / アドレス / オption データは出力されます。SPBSSL がアサートされているときは「19.6.1 SPI 動作モードの SPBSSL 保持状態からの転送開始の注意事項」に従ってください。</p>

19.4.10 SPI モードコマンド設定レジスタ (SMCMR)

SPI 動作モード時に発行するコマンドを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	CMD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	OCMD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	CMD[7:0]	H'00	R/W	コマンド コマンドを設定します。
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	OCMD[7:0]	H'00	R/W	オプションコマンド オプションコマンドを設定します。

19.4.11 SPI モードアドレス設定レジスタ (SMADR)

SPI 動作モード時のアドレスを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR[31:24]								ADR[23:16]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 24	ADR[31:24]	H'00	R/W	アドレス シリアルフラッシュのアドレスを 32 ビットで出力するときのビット 31 ~ 24 を設定します。 この設定は SMENR レジスタの ADE[3] ビット = 1 のときに有効になります。
23 ~ 0	ADR[23:0]	H'000000	R/W	アドレス アドレスを設定します。

19.4.12 SPI モードオプション設定レジスタ (SMOPR)

SPI 動作モード時のオプションデータを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPD3[7:0]								OPD2[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OPD1[7:0]								OPD0[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 24	OPD3[7:0]	H'00	R/W	オプションデータ 3 オプションデータ 3 を設定します。
23 ~ 16	OPD2[7:0]	H'00	R/W	オプションデータ 2 オプションデータ 2 を設定します。
15 ~ 8	OPD1[7:0]	H'00	R/W	オプションデータ 1 オプションデータ 1 を設定します。
7 ~ 0	OPD0[7:0]	H'00	R/W	オプションデータ 0 オプションデータ 0 を設定します。

【注】 出力の順番は OPD3 OPD2 OPD1 OPD0 です。

19.4.13 SPI モードイネーブル設定レジスタ (SMENR)

SPI 動作モード時にコマンド / オプションコマンド / アドレス / オプションデータ / 転送データのビット幅およびイネーブルの設定をする 32 ビットのレジスタです。コマンド / オプションコマンド / アドレス / オプションデータ / 転送データすべてをディスエーブルにすることは禁止です。必ず 1 つはイネーブルとしてください。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDB[1:0]		OCDB[1:0]		-	-	ADB[1:0]		-	-	OPDB[1:0]		-	-	SPIDB[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	CDE	-	OCDE	ADE[3:0]			OPDE[3:0]			SPIDE[3:0]					
初期値 :	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	CDB[1:0]	00	R/W	コマンドビット幅 コマンドのビット幅を設定します。 00 : 1 ビット 01 : 2 ビット 10 : 4 ビット 11 : 設定禁止
29、28	OCDB[1:0]	00	R/W	オプションコマンドビット幅 オプションコマンドのビット幅を設定します。 00 : 1 ビット 01 : 2 ビット 10 : 4 ビット 11 : 設定禁止
27、26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25、24	ADB[1:0]	00	R/W	アドレスビット幅 アドレスのビット幅を設定します。 00 : 1 ビット 01 : 2 ビット 10 : 4 ビット 11 : 設定禁止
23、22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
21、20	OPDB[1:0]	00	R/W	オプションデータビット幅 オプションデータのビット幅を設定します。 00 : 1 ビット 01 : 2 ビット 10 : 4 ビット 11 : 設定禁止
19、18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17、16	SPIDB[1:0]	00	R/W	転送データビット幅 転送データビット幅を設定します。 00 : 1 ビット 01 : 2 ビット 10 : 4 ビット 11 : 設定禁止
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	CDE	1	R/W	コマンドイネーブル コマンド出力を設定します。 0 : 出力しない 1 : 出力する
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	OCDE	0	R/W	オプションコマンドイネーブル オプションコマンド出力を設定します。 0 : 出力しない 1 : 出力する
11~8	ADE[3:0]	0000	R/W	アドレスイネーブル アドレス出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000 : 出力しない 0100 : ADR[23:16]を出力 0110 : ADR[23:8]を出力 0111 : ADR[23:0]を出力 1111 : ADR[31:0]を出力 上記以外 : 設定禁止

ビット	ビット名	初期値	R/W	説明
7~4	OPDE[3:0]	0000	R/W	<p>オプションデータイネーブル オプションデータ出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。</p> <p>0000 : 出力しない 1000 : OPD3 を出力 1100 : OPD3、OPD2 を出力 1110 : OPD3、OPD2、OPD1 を出力 1111 : OPD3、OPD2、OPD1、OPD0 を出力 上記以外 : 設定禁止</p>
3~0	SPIDE[3:0]	0000	R/W	<p>転送データイネーブル 転送データの有効を設定します。 CMNCR レジスタの BSZ[1:0]ビットにより、有効データが異なります。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。</p> <p>(1) CMNCR レジスタの BSZ[1:0]ビット = 00 (シリアルフラッシュ 1 個接続)</p> <p>0000 : 転送しない 1000 : 8 ビット転送 (DATA[31:24]を有効) 1100 : 16 ビット転送 (DATA[31:16]を有効) 1111 : 32 ビット転送 (DATA[31:0]を有効) 上記以外 : 設定禁止</p> <p>(2) CMNCR レジスタの BSZ[1:0]ビット = 01 (シリアルフラッシュ 2 個接続)</p> <p>0000 : 転送しない 1000 : 16 ビット転送 (DATA[63:48]を有効) 1100 : 32 ビット転送 (DATA[63:32]を有効) 1111 : 64 ビット転送 (DATA[63:0]を有効) 上記以外 : 設定禁止</p>

19.4.14 SPI モードリードデータレジスタ 0 (SMRDR0)

SPI 動作モード時のリードデータを格納する 32 ビットのレジスタです。

本レジスタへのアクセスは SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

CMNSR レジスタの TEND フラグ = "1" のときにリードしてください。CMNSR レジスタの TEND フラグ = "0" 時にリードした場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDATA0[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDATA0[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31-0	RDATA0[31:0]	不定	R	リードデータ SPI 動作モード時にリードしたデータを格納します。 CMNCR レジスタの BSZ[1:0] ビットにより、データビットが異なります。 BSZ[1:0] = 00 : リードデータ[31:0]となります。 BSZ[1:0] = 01 : リードデータ[63:32]となります。

本レジスタと SMRDR1 レジスタは SPI 動作モードの受信が終了すると内容が書き換えられます。

SPI 動作モードの受信が終了したら必ずデータを読み出してください。

19.4.15 SPI モードリードデータレジスタ 1 (SMRDR1)

SPI 動作モード時のリードデータを格納する 32 ビットのレジスタです。

CMNCR レジスタの BSZ[1:0]ビット = 01 (シリアルフラッシュ 2 個接続) 時に有効となります。BSZ[1:0]ビット = 00 (シリアルフラッシュ 1 個接続) 時、本レジスタの値は無効です。

本レジスタへのアクセスは SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0]ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

CMNSR レジスタの TEND フラグ = "1" のときにリードしてください。CMNSR レジスタの TEND フラグ = "0" 時にリードした場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDATA1[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDATA1[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RDATA1[31:0]	不定	R	リードデータ SPI 動作モード時にリードしたデータを格納します。 CMNCR レジスタの BSZ[1:0]ビット = 01 (シリアルフラッシュ 2 個接続) 時のみ有効となります。00 (シリアルフラッシュ 1 個接続) 時、本ビットの値は無効です。 BSZ[1:0] = 01 : リードデータ[31:0]となります。

19.4.16 SPI モードライトデータレジスタ 0 (SMWDR0)

SPI 動作モード時のライトデータを設定する 32 ビットのレジスタです。

本レジスタへのアクセスは SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WDATA0[31:16]																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDATA0[15:0]																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31-0	WDATA0[31:0]	すべて 0	R/W	ライトデータ SPI 動作モード時にライトするデータを格納します。 CMNCR レジスタの BSZ[1:0] ビットにより、データビットが異なります。 BSZ[1:0] = 00 : ライトデータ[31:0]となります。 BSZ[1:0] = 01 : ライトデータ[63:32]となります。

19.4.17 SPI モードライトデータレジスタ 1 (SMWDR1)

SPI 動作モード時のライトデータを設定する 32 ビットのレジスタです。

CMNCR レジスタの BSZ[1:0]ビット = 01 (シリアルフラッシュ 2 個接続) 時に有効となります。BSZ[1:0]ビット = 00 (シリアルフラッシュ 1 個接続) 時、本レジスタの値は無効です。

本レジスタへのアクセスは SPI モードインーブルレジスタ (SMENR) の SPIDE[3:0]ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

CMNSR レジスタの TEND フラグ = "1" のときに変更してください。CMNSR レジスタの TEND フラグ = "0" 時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDATA1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDATA1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	WDATA1[31:0]	すべて 0	R/W	ライトデータ SPI 動作モード時にライトするデータを格納します。 CMNCR レジスタの BSZ[1:0]ビット = 01 (シリアルフラッシュ 2 個接続) 時のみ有効となります。00 (シリアルフラッシュ 1 個接続) 時、本ビットの値は無効です。 BSZ[1:0] = 01 : ライトデータ[31:0]となります。

19.4.18 共通ステータスレジスタ (CMNSR)

動作状態を示すフラグを格納する 32 ビットのレジスタです。

本レジスタは、外部アドレス空間リード / SPI 動作モード両方に反映されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SSLF	TEND
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SSLF	0	R	SPBSSL 端子モニタ 0 : SPBSSL 端子がネゲート中 1 : SPBSSL 端子がアサート中
0	TEND	1	R	転送終了フラグ データ転送を終了したことを示します。 0 : 転送中であることを表示 1 : 転送を終了したことを表示

19.5 動作説明

19.5.1 システム構成

本モジュールは、シリアルフラッシュ（データ幅 1/2/4 ビット）を直接 1、2 個接続することが可能です。接続数は CMNCR レジスタの BSZ[1:0] ビットにより切り替えます。

シリアルフラッシュを 1、2 個接続したシステム構成例を図 19.2 と図 19.3 に示します。

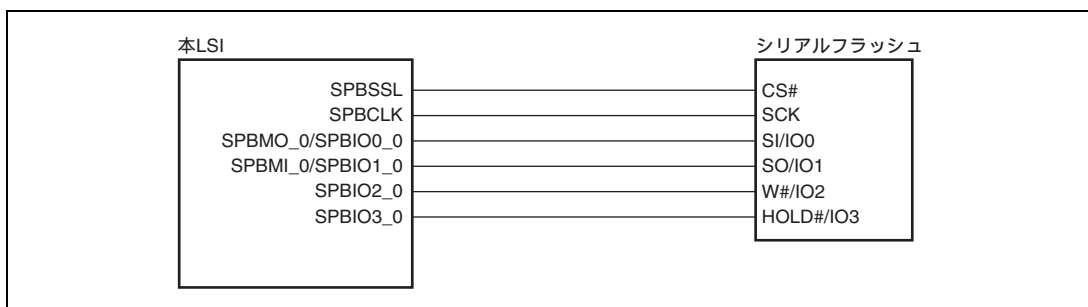


図 19.2 データ幅 4 ビット、シリアルフラッシュ 1 個接続例 (CMNCR レジスタの BSZ[1:0] ビット = 00)

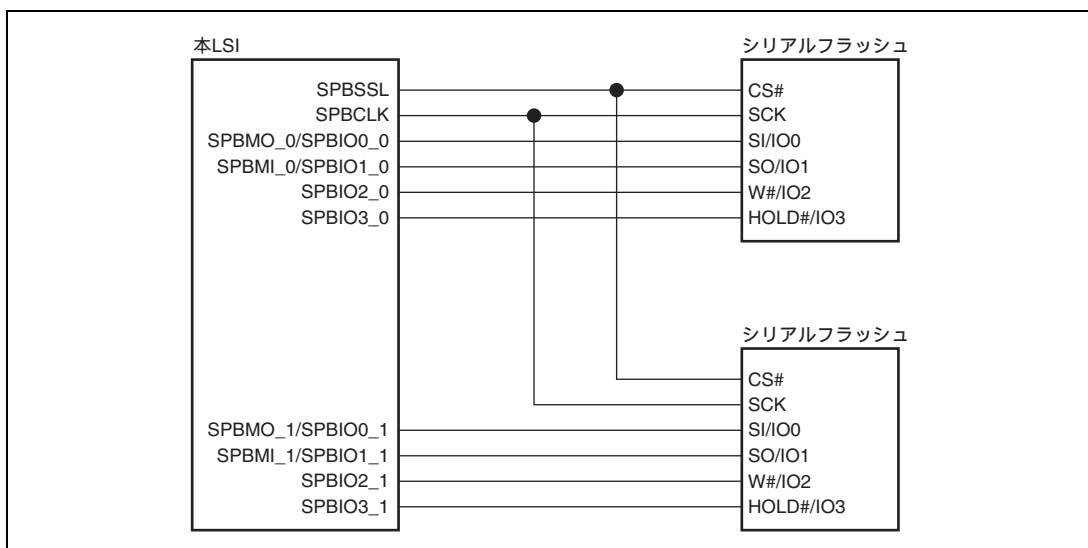


図 19.3 データ幅 4 ビット、シリアルフラッシュ 2 個接続例 (CMNCR レジスタの BSZ[1:0] ビット = 01)

19.5.2 アドレスマップ

外部アドレス空間リードモード時、接続するシリアルフラッシュは、SPI マルチ I/O バス空間に割り当てられます。シリアルフラッシュ接続数によりアクセスできるアドレス空間の最大値が異なります。DREAR レジスタとの組み合わせにより、シリアルフラッシュ 1 個接続時は最大 4G バイト、シリアルフラッシュ 2 個接続時は最大 8G バイトまでアクセス可能です。

表 19.4 アドレスマップ

シリアルフラッシュ接続数	内部アドレス	キャッシュ	最大アクセス領域
1 個	H'18000000 ~ H'1BFFFFFF	有効	4G バイト
	H'38000000 ~ H'3BFFFFFF	無効	
2 個	H'18000000 ~ H'1BFFFFFF	有効	8G バイト
	H'38000000 ~ H'3BFFFFFF	無効	

19.5.3 シリアルフラッシュ 32 ビットアドレス

SPI マルチ I/O バス空間は 64M バイトであるため、直接アクセスできるのはシリアルフラッシュの 32 ビットアドレス領域の一部となります。このとき、32 ビットアドレスの上位ビットはレジスタに設定した固定値となります。

シリアルフラッシュのアドレスを 32 ビットで出力するためには、DRENr レジスタの ADE[3]ビット = 1 に設定し、DREAR レジスタの EAC[2:0]ビットにシリアルフラッシュのアドレスとして使用する外部アドレスの範囲と、DREAR レジスタの EAV[7:0]ビットに 32 ビットアドレスの上位ビットとする固定値を設定します。

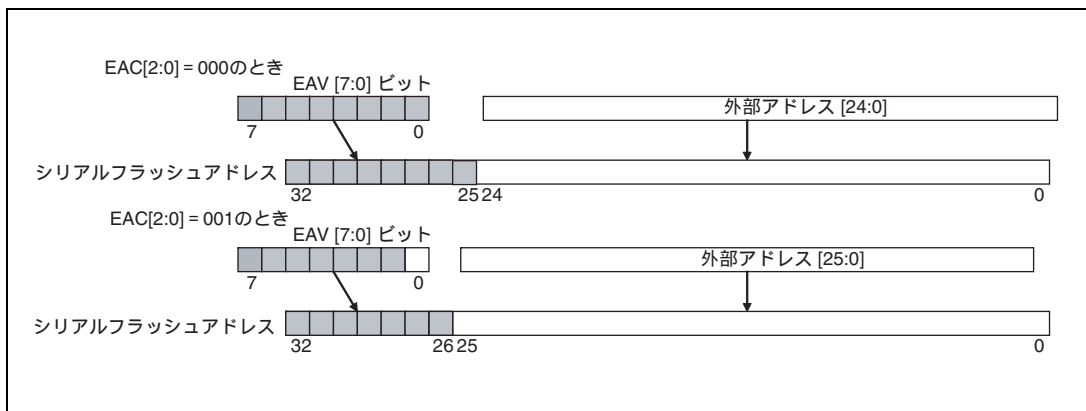


図 19.4 32 ビットアドレス設定

DRENr レジスタの ADE[3]ビット = 1 とすることで、シリアルフラッシュのアドレスを [31:0] ビットで出力することが可能となります。

EAC[2:0] = 000 とした場合、外部アドレス [24:0] が有効となります。[32:25] ビットは EAV[7:0] に設定してください。

EAC[2:0] = 001 とした場合、外部アドレス [25:0] が有効となります。[32:26] ビットは EAV[7:1] に設定してください。

実際にアクセスで使用するアドレスはシリアルフラッシュの接続個数で異なります。

シリアルフラッシュ 1 個接続のときはアドレス[31:0]を使用します。

シリアルフラッシュ 2 個接続のときはアドレス[32:1]を使用します。

【注】4G バイト未満の容量のシリアルフラッシュを使用する場合、以下のことに注意してください。

バースト動作 (DRCR レジスタの RBE ビット=1) のとき、シリアルフラッシュの最終アドレスを跨いでアクセスを行うと、アクセスアドレスとシリアルフラッシュの内部アドレスに相違が生じます。

これを防ぐため、使用するシリアルフラッシュの容量毎にアクセス可能なアドレス領域をソフトウェアにて管理する必要があります。

19.5.4 データアライメント

シリアルフラッシュを 2 個接続したとき、端子 SPBIO3_0-SPBIO0_0 に接続したシリアルフラッシュは $2n$ 番地、端子 SPBIO3_1-SPBIO0_1 に接続したシリアルフラッシュは $2n+1$ 番地となります。必ずワード以上でアクセスする必要があり、バイト単位でアクセスすることはできません。シリアルフラッシュを 2 個接続したときの、データアライメントを表 19.5 に示します。

表 19.5 シリアルフラッシュ 2 個接続時のデータアライメント

オペレーション		シリアルフラッシュ	
		端子 SPBIO3_0-SPBIO0_0	端子 SPBIO3_1-SPBIO0_1
0 番地ワードアクセス		データ 15~8	データ 7~0
2 番地ワードアクセス		データ 15~8	データ 7~0
0 番地ロングワードアクセス	1 ワード (0 番地)	データ 31~24	データ 23~16
	2 ワード (2 番地)	データ 15~8	データ 7~0
0 番地ダブルロングワードアクセス	1 ワード (0 番地)	データ 63~56	データ 55~48
	2 ワード (2 番地)	データ 47~40	データ 39~32
	3 ワード (4 番地)	データ 31~24	データ 23~16
	4 ワード (6 番地)	データ 15~8	データ 7~0

19.5.5 動作モード

本モジュールは、外部アドレス空間リードモードおよび SPI 動作モードの 2 つのモードを持っています。

外部アドレス空間リードモードは、SPI マルチ I/O バス空間へのリードを SPI 通信に変換し、データの受信を行います。データ取得後、発行元のバスマスタにデータを返します。詳細については、「19.5.6 外部アドレス空間リードモード」を参照してください。

SPI 動作モードは、レジスタ設定にて任意の SPI 通信を行います。詳細については、「19.5.8 SPI 動作モード」を参照してください。

19.5.6 外部アドレス空間リードモード

外部アドレス空間リードモードにより、SPI マルチ I/O バス空間へのリードを SPI 通信に変換することができます。また、リード時に発行するコマンド/オプションコマンド/オプションデータを、レジスタ設定にて変更することができます。

外部アドレス空間リードモードでは、通常リード動作とバーストリード動作の 2 つの動作を選択することができます。転送フォーマットは、共通コントロールレジスタ (CMNCR)、SSL 遅延レジスタ (SSLDR)、ビットレート設定レジスタ (SPBCR)、データリードコントロールレジスタ (DRCR)、データリードコマンド設定レジスタ (DRCMR)、データリード拡張アドレス設定レジスタ (DREAR)、データリードオプション設定レジスタ (DROPR)、データリードイネーブル設定レジスタ (DRENr) により決定されます。

(1) 通常リード動作

DRCR レジスタの RBE ビット = "0" に設定することにより、通常リード動作となります。

通常リード動作では、バイト/ワード/ロングワード/ダブルロングワードリードに対し、それぞれ 8 ビット / 16 ビット / 32 ビット / 64 ビット分データをリードします。ただし、バイトアクセスはシリアルフラッシュ 1 個接続時のみ可能となります。データリード後、SPBSSL 端子はネゲートされます。

通常リード動作時のタイミング図を図 19.5 に示します。

t1 は SPBSSL 端子アサートから SPBCLK 発振までの期間 (クロック遅延)、t2 は転送の最終 SPBCLK エッジを送出してから SPBSSL 端子をネゲートするまでの期間 (SPBSSL ネゲート遅延)、t3 は転送終了から次の転送開始までの期間 (次アクセス) を意味します。t1、t2、t3 の詳細については、「19.5.9 転送フォーマット」を参照してください。

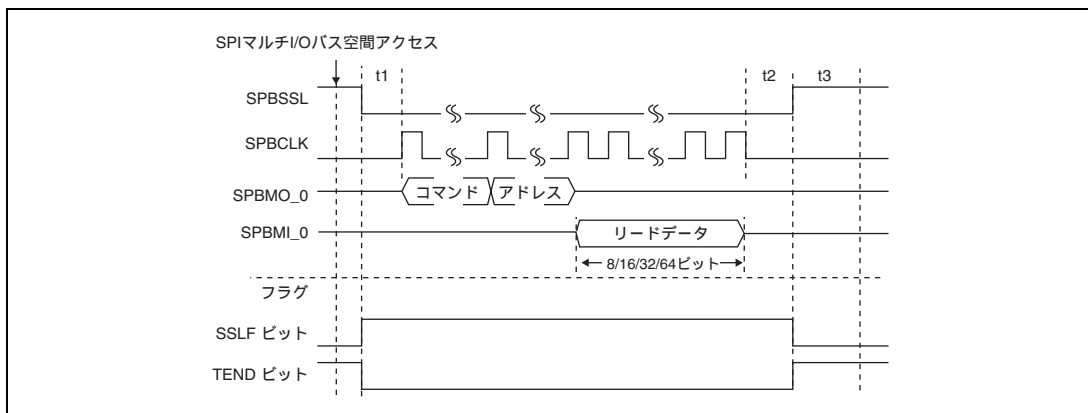


図 19.5 通常リード動作タイミング

(2) バーストリード動作

DRCR レジスタの RBE ビット = "1" に設定することにより、バーストリード動作となります。

バーストリード動作では、リードキャッシュが有効となります。リードキャッシュの動作については「19.5.7 リードキャッシュ」を参照してください。

バイト/ワード/ロングワード/ダブルロングワードリードに対し、まずリードキャッシュからデータを参照します。リードキャッシュにデータがある場合は、シリアルフラッシュへはアクセスせず、リードキャッシュからデータを読み出します。リードキャッシュにデータが無い場合は、シリアルフラッシュへバーストリードし、読み出したデータはリードキャッシュに格納されます。このときのデータ転送長は $64 \text{ ビット} \times \text{RBURST}[3:0]$ ビットであり、必ず 64 ビット境界からリードします。

また、DRCR レジスタの SSLE ビットによりデータ転送後の SPBSSL 端子の状態を選択できます。SSLE ビット = 0 であれば、データ転送後必ず SPBSSL 端子をネゲートします。SSLE ビット = 1 の動作については、「19.5.6 (3) バーストリード動作 SPBSSL 自動ネゲート」を参照してください。

本動作の模式図および SSLE ビット = "0" 時のバーストリード動作タイミングを図 19.6 と図 19.7 に示します。

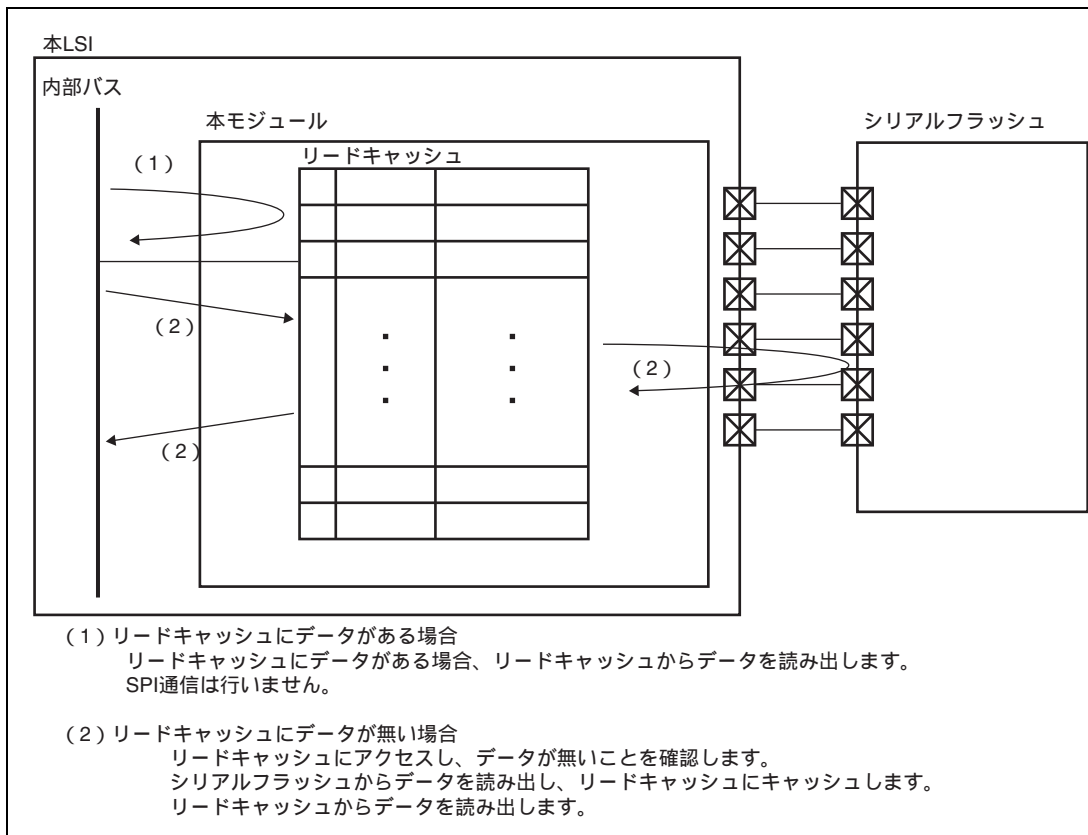


図 19.6 バーストリード動作時のリード動作

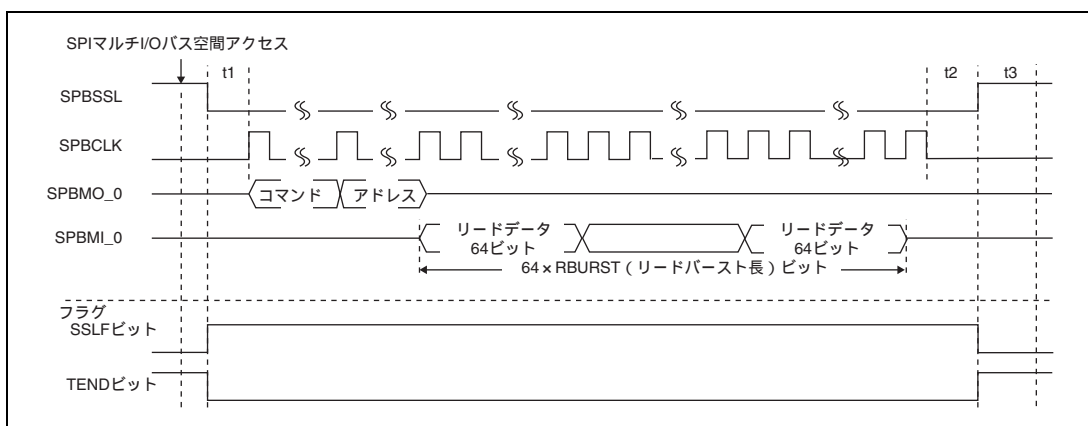


図 19.7 バーストリード動作タイミング (SSLE ビット = 0)

(3) パーストリード動作 SPBSSL 自動ネゲート

本モジュールは、DRCR レジスタの SSLE ビット = "1" 設定時パーストリード転送後に SPBSSL 端子をネゲートしません。次回アクセス時、前回リードアドレスに対してアドレスが連続している場合、コマンド / オptional コマンド / アドレス / オptional データは発行せずに、パーストリードを行います。また、アドレスが連続していない場合は SPBSSL 端子を一度ネゲートし、コマンド / オptional コマンド / アドレス / オptional データを発行後にパーストリードを行います。

連続アドレス時および非連続アドレス時のパーストリードタイミングを図 19.8 と図 19.9 に示します。

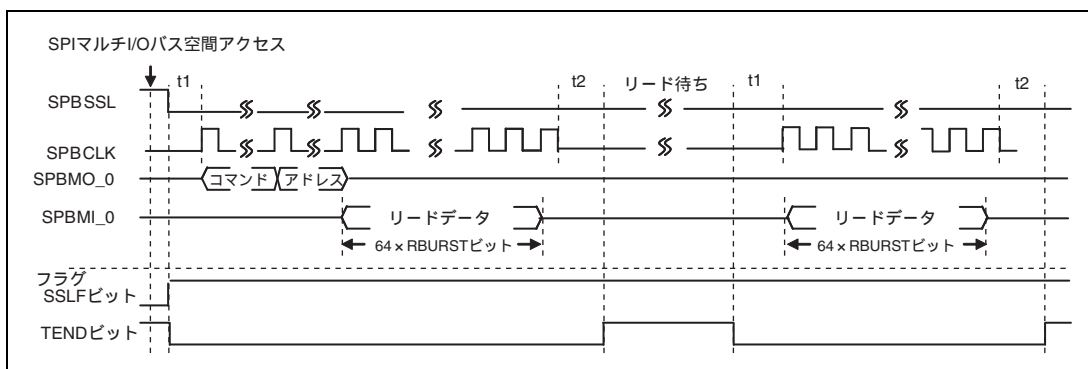


図 19.8 連続アドレスパーストリード動作タイミング (SSLE ビット = 1)

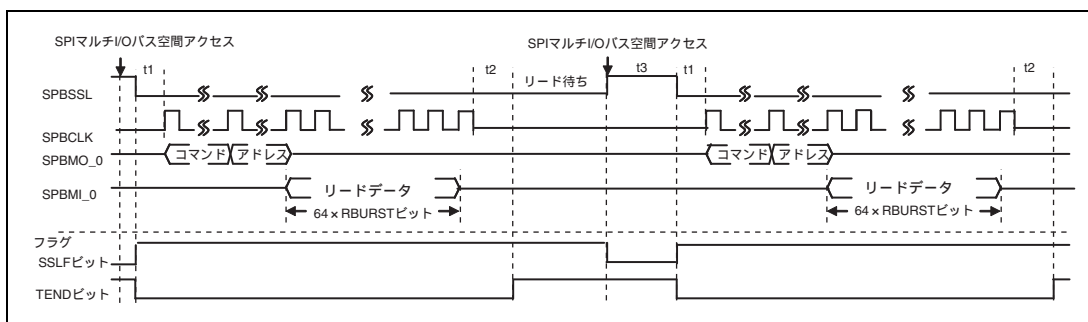


図 19.9 非連続アドレスパーストリード動作タイミング (SSLE ビット = 1)

本動作にて SPBSSL をネゲートして終了させる場合は次の手順をとってください。

1. DRCRレジスタのSSLEビットを0クリアする。
2. リードキャッシュをフラッシュする。
3. (ダミー)リードアクセスする。

(4) 初期設定フロー

外部アドレス空間リードモード時の初期設定フロー例を図 19.10 に示します。

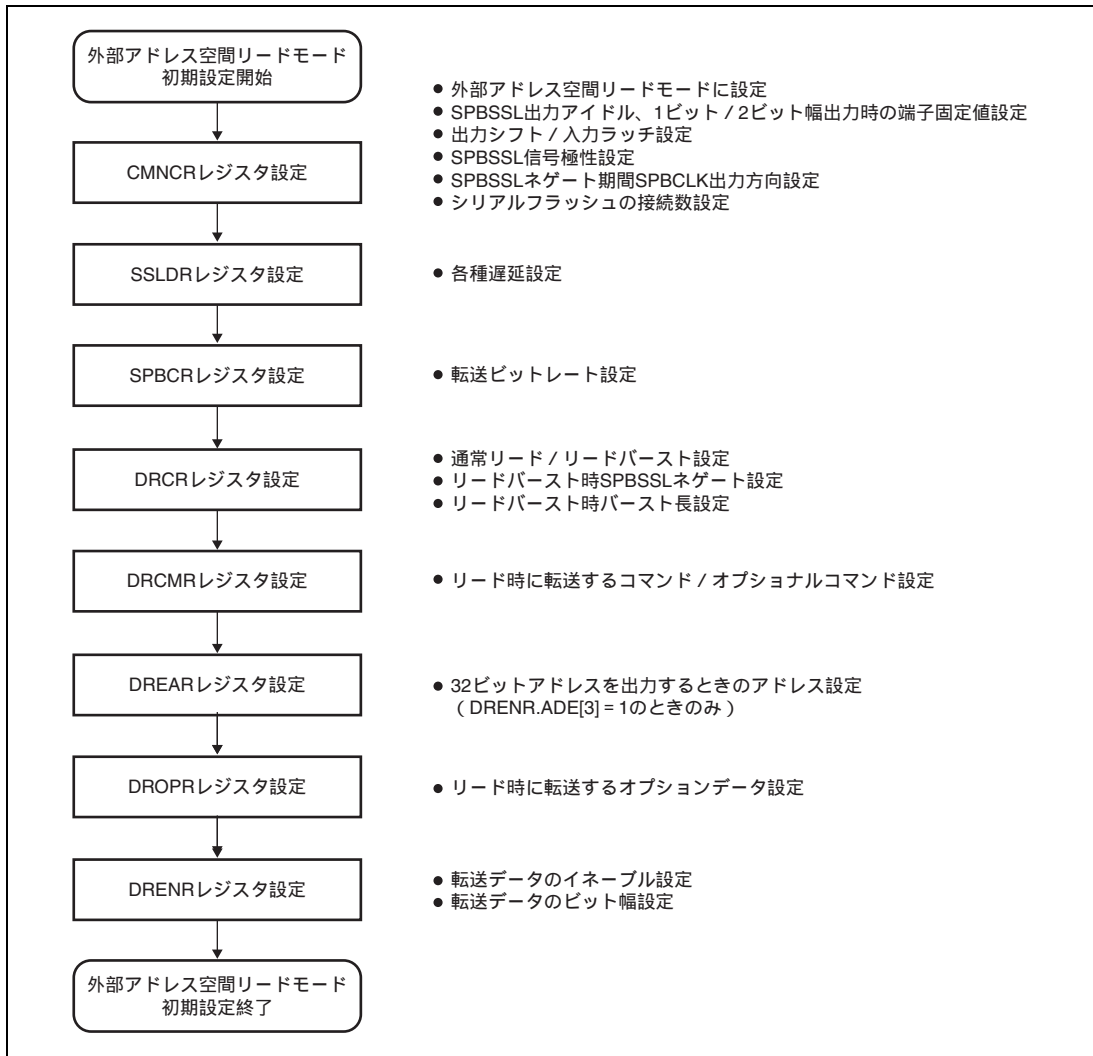


図 19.10 外部アドレス空間リードモード時の初期設定フロー例

19.5.7 リードキャッシュ

本モジュールは、簡易的なリードキャッシュを内蔵しています。外部アドレス空間リードモード、バーストリード動作時リードキャッシュを使用できます。リードキャッシュは、ラインサイズ 64 ビット、16 エントリで構成されています。

リードキャッシュの構成を図 19.11 に示します。

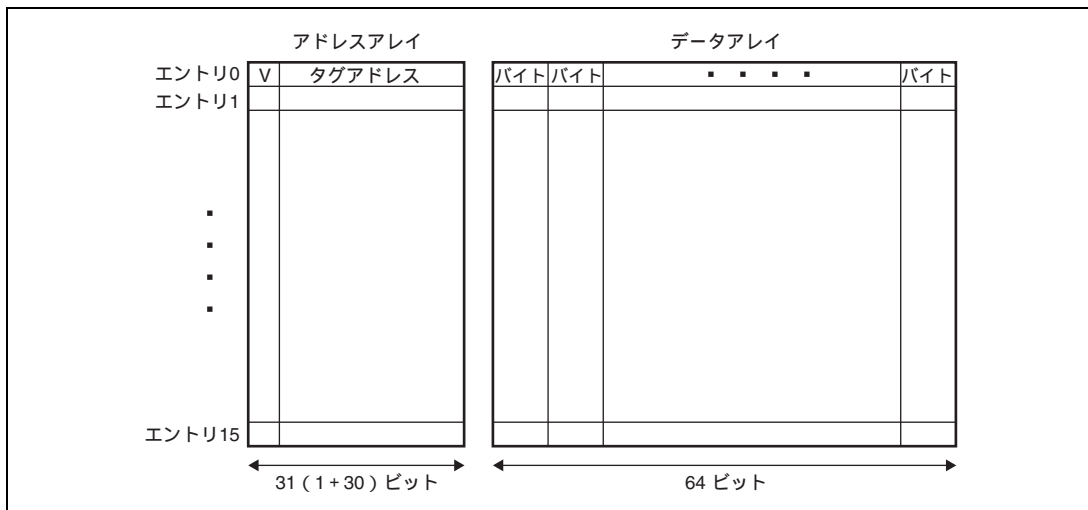


図 19.11 リードキャッシュの構成

(1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

タグアドレスは、シリアルフラッシュに使用されるアドレスを保持します。アドレス 32~3 ビットからなります。アドレス出力が 24 ビットで、シリアルフラッシュ 1 個接続時はアドレス 23~3 が有効となり、シリアルフラッシュ 2 個接続時はアドレス 24~3 が有効となります。

アドレス出力が 32 ビットで、シリアルフラッシュ 1 個接続時はアドレス 31~3 が有効となり、シリアルフラッシュ 2 個接続時はアドレス 32~3 が有効となります。

(2) データアレイ

64 ビットのリードデータを保持します。リードキャッシュへの登録はライン単位で行われます。

(3) リード動作

リードヒットした場合、リードキャッシュからデータを読み出します。リードミスした場合、64×RBURST (リードバースト長) 分データをシリアルフラッシュから読み出し、リードキャッシュを更新した後、バスマスタに対しデータを返します。

(4) データ置換

データの更新はライトポインタにより管理されます。リードミス時、ライトポインタが指し示しているエンタリから RBURST (リードバースト長) 分、データを置換します。つまり格納した古い順から置換します。データを参照したかどうかは影響しません。

19.5.8 SPI 動作モード

本モジュールは、レジスタ設定で任意の SPI 動作を行うことができます。

転送フォーマットは、共通コントロールレジスタ (CMNCR)、SSL 遅延レジスタ (SSLDR)、ビットレート設定レジスタ (SPBCR)、SPI モードコントロールレジスタ (SMCR)、SPI モードコマンド設定レジスタ (SMCMR)、SPI モードアドレス設定レジスタ (SMADR)、SPI モードオプション設定レジスタ (SMOPR)、SPI モードイネーブル設定レジスタ (SMENR)、SPI モードリードデータレジスタ (SMRDR)、SPI モードライトデータレジスタ (SMWDR) により決定されます。シリアルフラッシュのステータスリードまたはライト動作等に使用することができます。

(1) 転送の開始

SMCR レジスタの SPIE ビット = "1" により、設定した転送フォーマットにて転送を開始します。ライトイネーブル時、SPI モードライトデータレジスタがシリアルフラッシュに送信されます。リードイネーブル時、シリアルフラッシュから読み出したデータが、SPI モードリードデータレジスタに格納されます。

タイミング図を図 19.12 に示します。

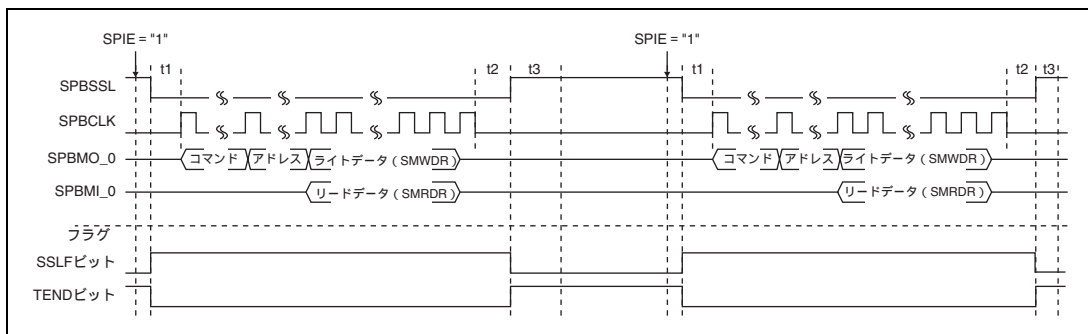


図 19.12 SPI 動作タイミング図

(2) リード/ライトイネーブル

リード動作：SMCR レジスタの SPIRE ビット = "1" に設定することで、データをリードすることができます。リードしたデータは SMRDR レジスタに格納されます。

ライト動作：SMCR レジスタの SPIWE ビット = "1" に設定することで、データをライトすることができます。SMWDR レジスタに格納されたデータが出力されます。

また、SMENR レジスタの SPIDB[1:0] ビットのビット幅を 1 ビットに設定しているときは、SPIRE、SPIWE ビット = "1" に設定することで送受信可能となります。ただし、SPIDB[1:0] ビットのビット幅を 2 ビット / 4 ビットに設定したときは、SPIRE、SPIWE ビットのどちらか片方を有効にしてください。両方有効にした場合の動作は保証しません。

(3) SPBSSL 端子アサート保持

SMCR レジスタの SSLKP ビット = "1" により、SPBSSL 端子を次の転送までアサートし続けます。本機能により、SPBSSL アサート状態のまま連続的に転送を行うことができます。

【注】SPI モードで転送データビット幅が 2 ビット / 4 ビットでリードするときは、この機能は使用できません。

SSLKP ビットを利用した転送タイミングを図 19.13 に示します。

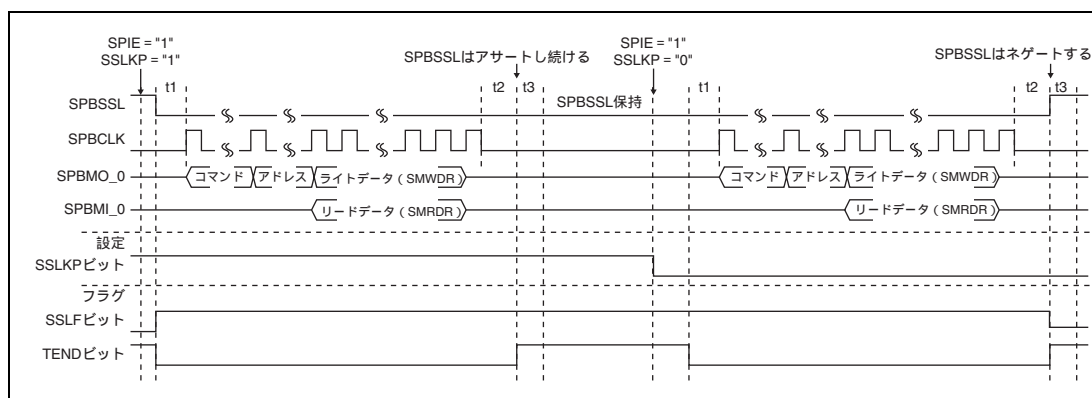


図 19.13 SSLKP ビットを利用した転送タイミング図

(4) 初期設定フロー

SPI 動作モード時の初期設定フロー例を図 19.14 に示します。

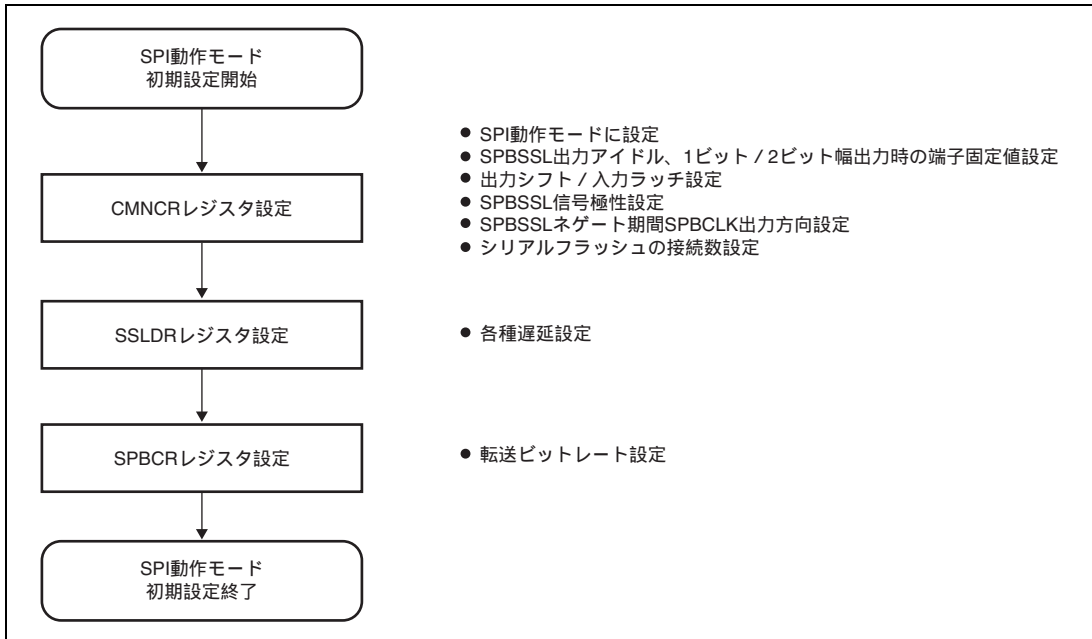


図 19.14 SPI 動作モード時の初期設定フロー例

(5) データ転送設定フロー

SPI 動作モード時のデータ転送設定フロー例を図 19.15 に示します。

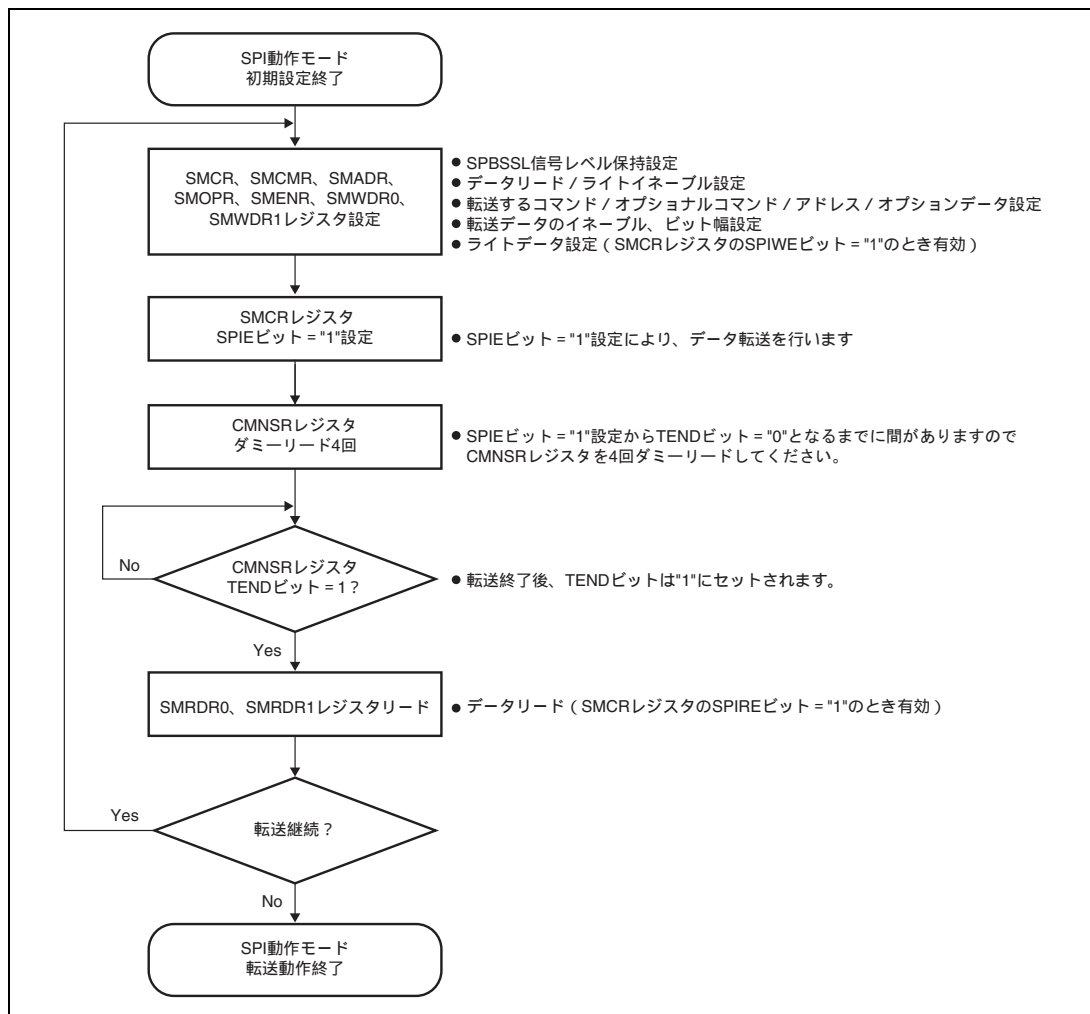


図 19.15 SPI 動作モード時のデータ転送設定フロー例

19.5.9 転送フォーマット

(1) SPBSSL 端子のイネーブル極性制御

CMNCR レジスタの SSLP ビットにより、SPBSSL のイネーブル極性を変更することが可能です。

(2) SPBCLK 出力

CMNCR レジスタの CPOL ビットにより、SPBSSL ネゲート時の SPBCLK 出力方向を設定可能です。

(3) データ送信・受信タイミング

CMNCR レジスタの CPHAT ビットによりデータ送信タイミングを奇数 / 偶数に設定可能です。同様に CMNCR レジスタの CPHAR ビットによりデータ受信タイミングを奇数 / 偶数に設定可能です。

(4) 遅延期間

t1 は、SPBSSL 端子アサートから SPBCLK 発振までの期間(クロック遅延)です。SSLDR レジスタの SCKDL[2:0] ビットで設定できます。t2 は、SPBCLK 発振停止から SPBSSL 信号のネゲートまでの期間 (SPBSSL ネゲート遅延) です。t3 は、転送終了後に次転送のための SPBSSL 信号アサートを抑制するための期間(次アクセス遅延)です。t2 は 1.5SPBCLK サイクル、t3 は 1SPBCLK サイクルとなります。

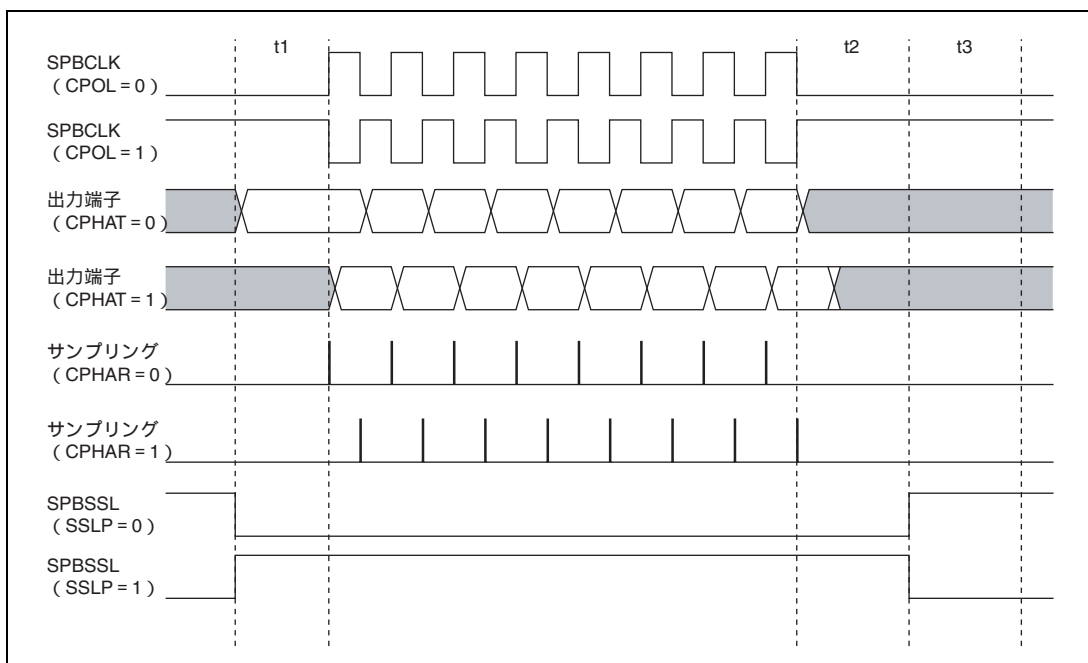


図 19.16 転送フォーマット

19.5.10 データフォーマット

本モジュールは、コマンド、オプションコマンド、アドレス、オプションデータ、データの順番でデータ入出力を行います。

(1) データレジスタ

入出力されるデータを表 19.6 に示します。

表 19.6 データレジスタ

データ		外部アドレス空間リード動作	SPI 動作
コマンド (8 ビット)		DRCMR.CMD[7:0]ビット	SMCMR.CMD[7:0]ビット
オプションコマンド (8 ビット)		DRCMR.OCMD[7:0]ビット	SMCMR.OCMD[7:0]ビット
アドレス (32 ビット / 24 ビット)	BSZ[1:0]=00 (1 個接続)	32 ビット時: DREAR.EAV[6:1~0]ビット + リードした下位アドレス[25~24:0]ビット 24 ビット時: リードした下位アドレス[23:0]ビット	32 ビット時: SMADR.ADR[31:0]ビット 24 ビット時:
	BSZ[1:0]=01 (2 個接続)	32 ビット時: DREAR.EAV[7:1~0]ビット + リードした下位アドレス[25~24:1]ビット 24 ビット時: リードした下位アドレス[24:1]ビット	SMADR.ADR[23:0]ビット
オプションデータ (8 ビット×4)		DROPR レジスタ	SMOPR レジスタ
転送データ		通常リード: 8/16/32/64 ビット バーストリード: 64×RBURST ビット	リード: SMRDR0、1 レジスタ ライト: SMWDR0、1 レジスタ

(2) データイネーブル

外部アドレス空間リード動作時、DRENr レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]ビットにより、コマンド、オプションコマンド、アドレス、オプションデータの転送イネーブル/ディスエーブルを制御することが可能です。同様に SPI 動作モード時、SMENr レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、SPIDE[3:0]ビットにより、コマンド、オプションコマンド、アドレス、オプションデータ、転送データのイネーブル/ディスエーブルを制御することが可能です。ただし、SPI 動作モード時、すべてをディスエーブルにすることは禁止です。必ず 1 つはイネーブルとしてください。また、外部アドレス空間リード動作時のアドレス/オプションデータ、SPI 動作モード時のアドレス/オプションデータ/転送データは、転送データ長により設定可能なイネーブルビットが決まっています。設定可能なイネーブルビットの組み合わせについては、各レジスタの説明を参照してください。

ディスエーブルにした場合、そのデータは飛ばされ、次のデータの入出力を行います。コマンド、オプションコマンド、アドレス、オプションデータは常に出力です。データは外部アドレス空間リード動作時は常に入力、SPI 動作モード時は、SMCR レジスタの SPIRE、SPIWE ビット設定により入出力を決定します。

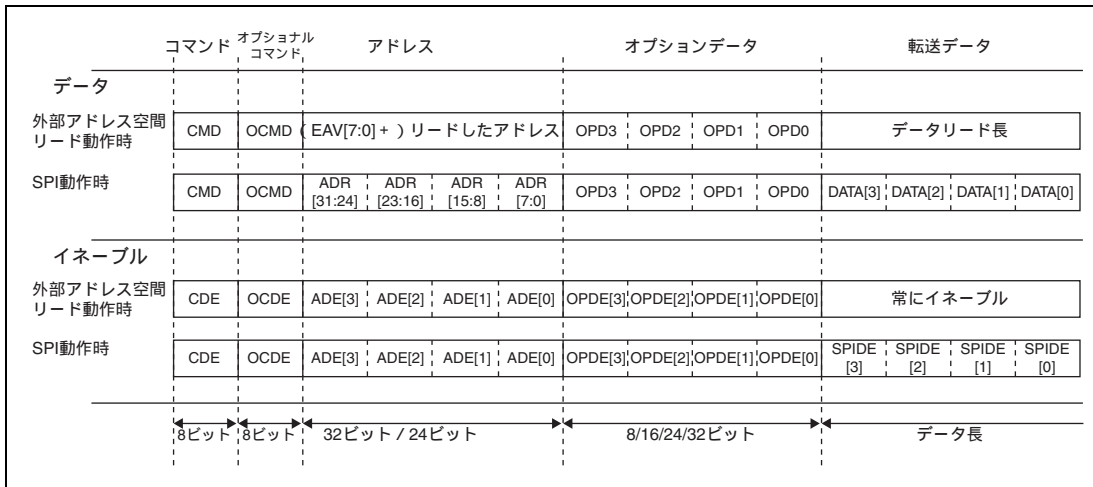


図 19.17 データとイネーブル

(3) ビット幅

外部アドレス空間リード動作時、DRENR レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、DRDB[1:0] ビットによりコマンド / オプションコマンド / アドレス / オプションデータ / リードデータのビット幅をそれぞれ制御することが可能です。

同様に SPI 動作モード時、SMENR レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、SPIDB[1:0] ビットによりコマンド / オプションコマンド / アドレス / オプションデータ / リードライトデータのビット幅を制御することが可能です。

(a) 1 ビット幅

ビット幅を 1 ビットに設定した場合、SPBMI_0、SPBMI_1 端子は入力、SPBMO_0、SPBMO_1 端子は出力となります。SPBIO2_0、SPBIO2_1、SPBIO3_0、SPBIO3_1 端子は使用しません。

転送フォーマット例を図 19.18 と図 19.19 に示します。

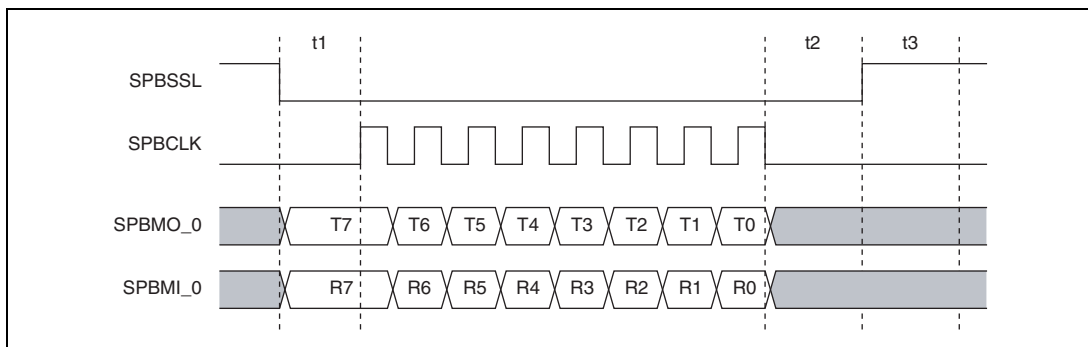


図 19.18 1 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

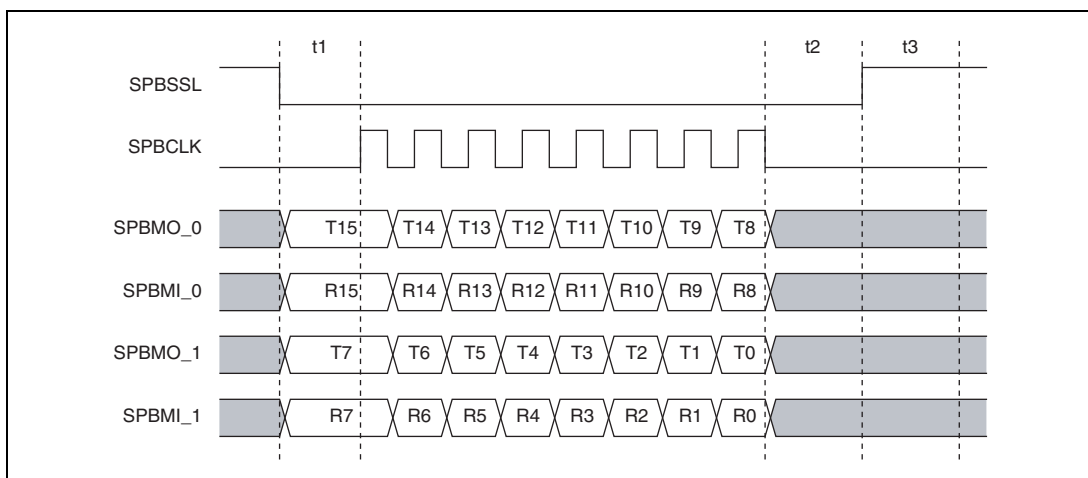


図 19.19 1 ビット幅、シリアルフラッシュ 2 個接続転送フォーマット例

(b) 2 ビット幅

ビット幅を 2 ビットに設定した場合、SPBIO0_0、SPBIO0_1 端子および SPBIO1_0、SPBIO1_1 端子は入力もしくは出力のどちらかになります。SPBIO2_0、SPBIO2_1、SPBIO3_0、SPBIO3_1 端子は使用しません。

転送フォーマット例を図 19.20 と図 19.21 に示します。

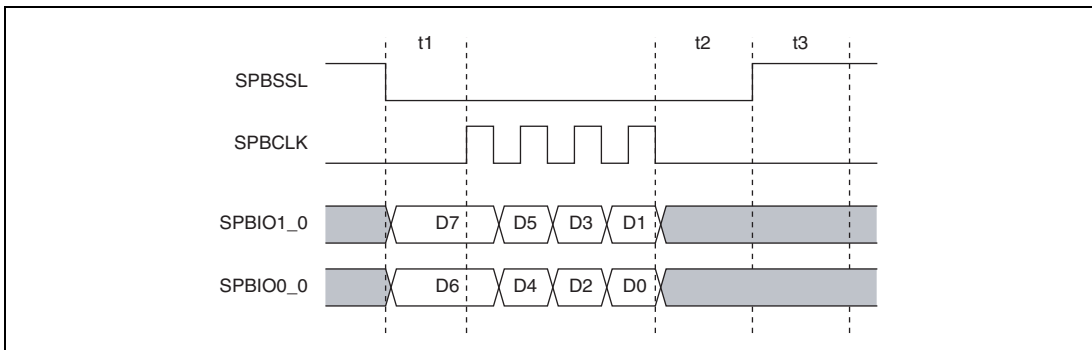


図 19.20 2 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

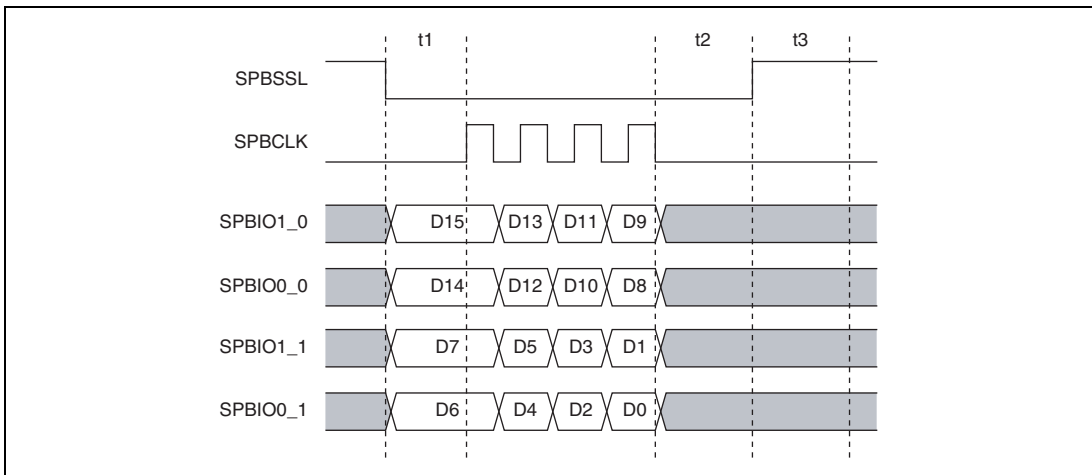


図 19.21 2 ビット幅、シリアルフラッシュ 2 個接続転送フォーマット例

(c) 4 ビット幅

ビット幅を 4 ビットに設定した場合、SPBIO0_0、SPBIO0_1、SPBIO1_0、SPBIO1_1、SPBIO2_0、SPBIO2_1、SPBIO3_0、SPBIO3_1 端子は入力もしくは出力のどちらかになります。転送フォーマット例を図 19.22 と図 19.23 に示します。

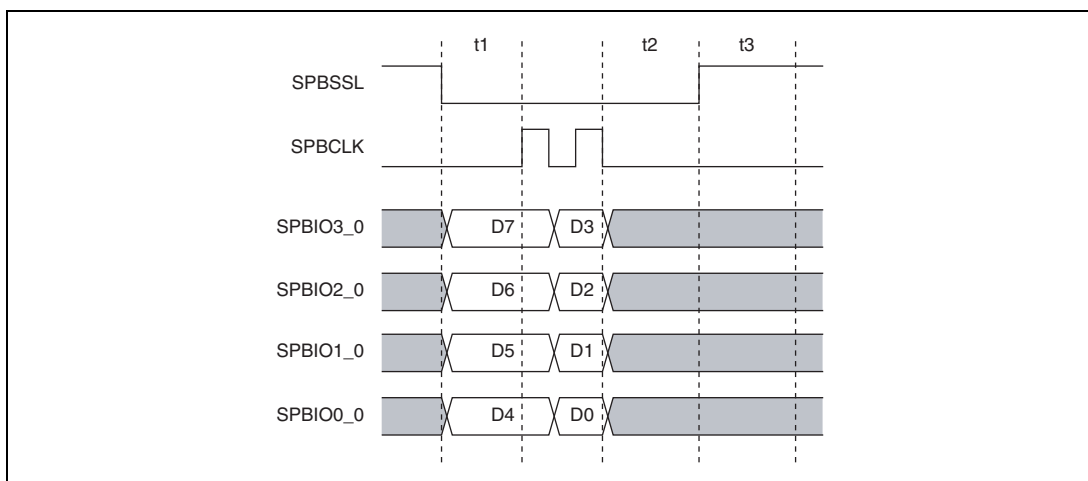


図 19.22 4 ビット幅、シリアルフラッシュ 1 個転送フォーマット例

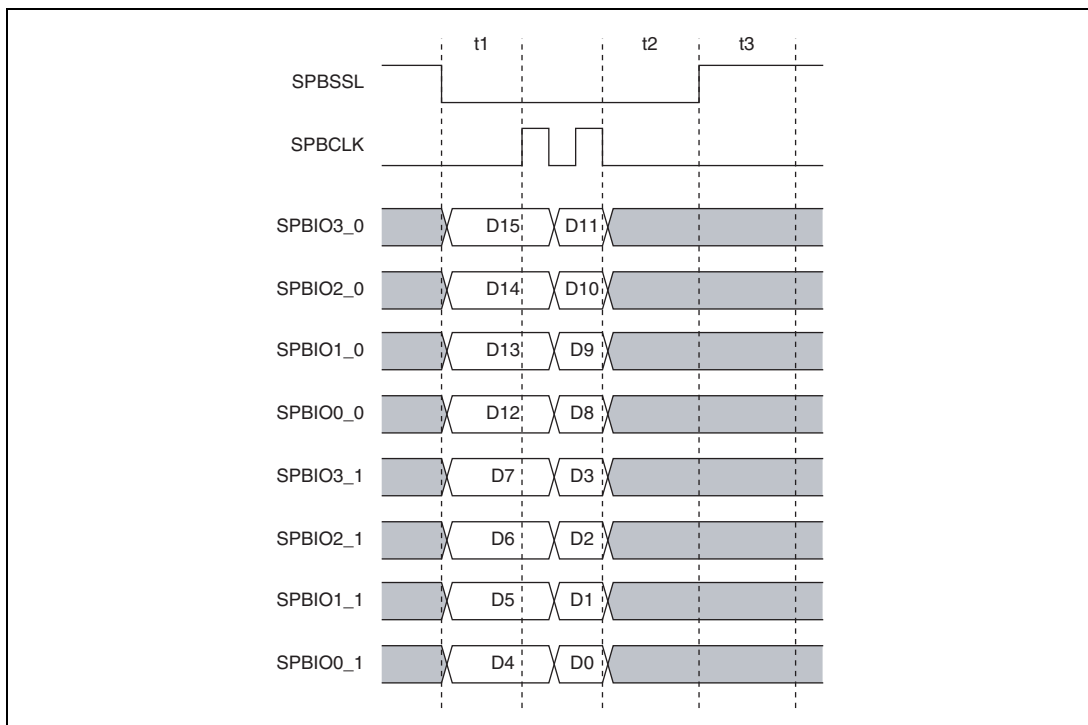


図 19.23 4 ビット幅、シリアルフラッシュ 2 個転送フォーマット例

19.5.11 データ端子制御

本モジュールは、使用するデータ幅・リード・ライト設定により端子状態を自動的に切り替えます。また、SPBSSL ネゲートの端子状態は CMNCR レジスタの MOIO3、MOIO2、MOIO1、MOIO0 ビットにより設定可能です。

SPBSSL、SPBCLK 端子は常に出力です。それぞれの端子状態の表を表 19.7～表 19.9 に示します。

表 19.7 端子状態(1)

端子	SPBSSL ネゲート	SPBSSL アサート		
		コマンド、オプションコマンド、アドレス、オプションデータ		
		1 ビット幅	2 ビット幅	4 ビット幅
SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	MOIO0 ビット設定値	出力	出力	出力
SPBMI_0/SPBIO1_0、 SPBMI_1/SPBIO1_1	MOIO1 ビット設定値	Hi-Z	出力	出力
SPBIO2_0、SPBIO2_1	MOIO2 ビット設定値	IO2FV ビット設定値	IO2FV ビット設定値	出力
SPBIO3_0、SPBIO3_1	MOIO3 ビット設定値	IO3FV ビット設定値	IO3FV ビット設定値	出力

表 19.8 端子状態(2)

端子	転送データ					
	外部アドレス空間リード動作			SPI 動作		
	1 ビット幅	2 ビット幅	4 ビット幅	SPIRE ビット=1、SPIWE ビット=0		
				1 ビット幅	2 ビット幅	4 ビット幅
SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	IO0FV ビット 設定値	入力	入力	IO0FV ビット 設定値	入力	入力
SPBMI_0/SPBIO1_0、 SPBMI_1/SPBIO1_1	入力	入力	入力	入力	入力	入力
SPBIO2_0、SPBIO2_1	IO2FV ビット 設定値	IO2FV ビット 設定値	入力	IO2FV ビット 設定値	IO2FV ビット 設定値	入力
SPBIO3_0、SPBIO3_1	IO3FV ビット 設定値	IO3FV ビット 設定値	入力	IO3FV ビット 設定値	IO3FV ビット 設定値	入力

表 19.9 端子状態 (3)

端子	転送データ					
	SPI 動作					
	SPIRE ビット=0、SPIWE ビット=1			SPIRE ビット=1、SPIWE ビット=1		
	1 ビット幅	2 ビット幅	4 ビット幅	1 ビット幅	2 ビット幅	4 ビット幅
SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	出力	出力	出力	出力	設定禁止	設定禁止
SPBMI_0/SPBIO1_0、 SPBMI_1/SPBIO1_1	Hi-Z	出力	出力	入力	設定禁止	設定禁止
SPBIO2_0、SPBIO2_1	IO2FV ビット 設定値	IO2FV ビット 設定値	出力	IO2FV ビット 設定値	設定禁止	設定禁止
SPBIO3_0、SPBIO3_1	IO3FV ビット 設定値	IO3FV ビット 設定値	出力	IO3FV ビット 設定値	設定禁止	設定禁止

19.5.12 SPBSSL 端子制御

SPBSSL 端子のネゲート条件を下記に示します。

(1) 外部アドレス空間リード動作

(a) 通常リード動作 (DRCR レジスタの RBE ビット = "0")

データ転送完了し、t2 サイクル後にネゲート

(b) パーストリード SPBSSL 自動ネゲートなし

(DRCR レジスタの RBE ビット = "1"、DRCR レジスタの SSLE ビット = "0")

データ転送完了し、t2 サイクル後にネゲート

(c) パーストリード SPBSSL 自動ネゲート

(DRCR レジスタの RBE ビット = "1"、DRCR レジスタの SSLE ビット = "1")

- リードアドレスが前回リードしたアドレスに対し非連続のとき、t2 サイクル後にネゲート

(2) SPI 動作モード

(a) SPBSSL 端子アサート保持なし (SMCR レジスタの SSLKP ビット = "0")

データ転送完了し、t2 サイクル後にネゲート

(b) SPBSSL 端子アサート保持あり (SMCR レジスタの SSLKP ビット = "1")

ネゲートしません。

ネゲートする場合は、SSLKP ビット = "0" 設定後にデータの転送を行ってください。

19.5.13 フラグ

本モジュールは、CMNSR レジスタに SSLF、TEND ビットの 2 つのビットを持っています。これらのビットは読み出しのみ可能です。

(1) SSLF ビット

SPBSSL の端子状態を示します。SPBSSL をアサートしているときは"1"、ネゲートしているときは"0"が読み出されます。

(2) TEND ビット

データ転送中 / 終了を示します。

t1 期間、データ転送、t2 期間のとき、データ転送中であることを示し TEND ビット = "0"が読み出されます。

上記以外のとき、データ転送終了を示し TEND ビット = "1"が読み出されます。

(3) レジスタ書き換え

SSLF、TEND ビットの状態により、レジスタ書き換えタイミングを決定します。各種レジスタの書き換えタイミングを表 19.10 に示します。

表 19.10 各種レジスタ書き換えタイミング

フラグ	書き換え可能レジスタ	備考
SSLF = "0"	CMNCR、SSLDR、SPBCR、DRCCRレジスタ	SPBSSL端子ネゲート時
TEND = "1"	DRCMR、DREAR、DROPR、DRENr、SMCR、SMCMR、SMADR、SMOPR、SMENR、SMWDR0、SMWDR1レジスタ	転送終了時

19.6 使用上の注意事項

19.6.1 SPI 動作モードの SPBSSL 保持状態からの転送開始の注意事項

SPI 動作モードで SPBSSL 端子をアサートしている状態で、コマンド / オptionalコマンド / アドレス / オプションデータで転送を開始する際は、SMCR レジスタの SPIWE ビットを 1 に設定してください。

20. I²C バスインタフェース 3

I²C バスインタフェース 3 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

なお、チャンネル数は 4 チャンネルあります。

20.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信 / 受信可能
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期機能内蔵
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。
- 割り込み要因：6種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトラージンロスト、NACK 検出、停止条件検出
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラを起動させてデータの転送を行うことができます。
- バスを直接駆動可能
SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期式シリアルフォーマット

- 割り込み要因：4種類
送信データエンプティ、送信終了、受信データフル、オーバランエラー
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラを起動させてデータの転送を行うことができます。

図 20.1 にブロック図を示します。

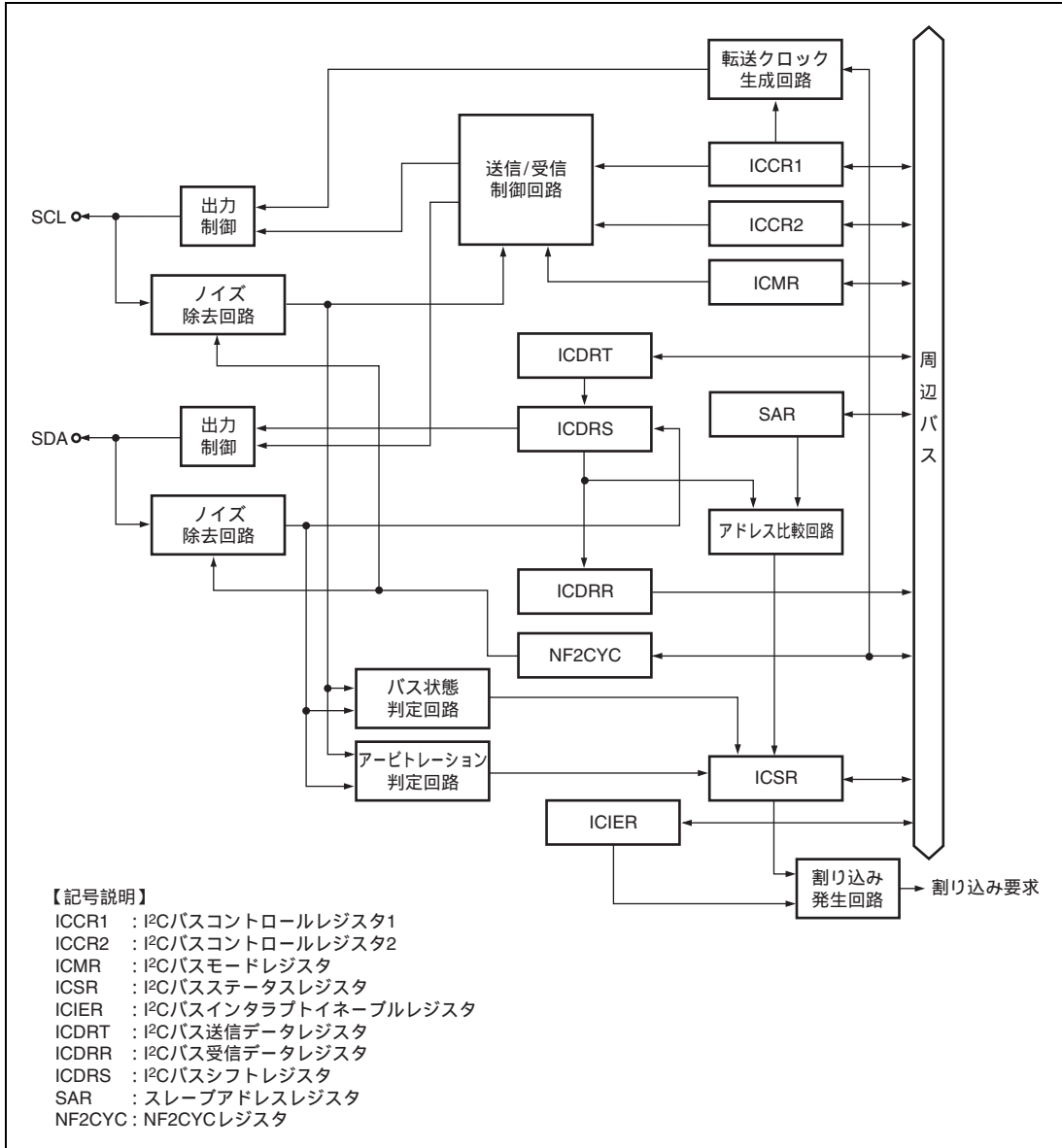


図 20.1 ブロック図

20.2 入出力端子

表 20.1 に端子構成を示します。

表 20.1 端子構成

名称	端子名	入出力	機能
シリアルクロック端子	SCL0 ~ SCL3	入出力	I ² C シリアルクロック入出力端子
シリアルデータ端子	SDA0 ~ SDA3	入出力	I ² C シリアルデータ入出力端子

図 20.2 に入出力端子の外部回路接続例を示します。

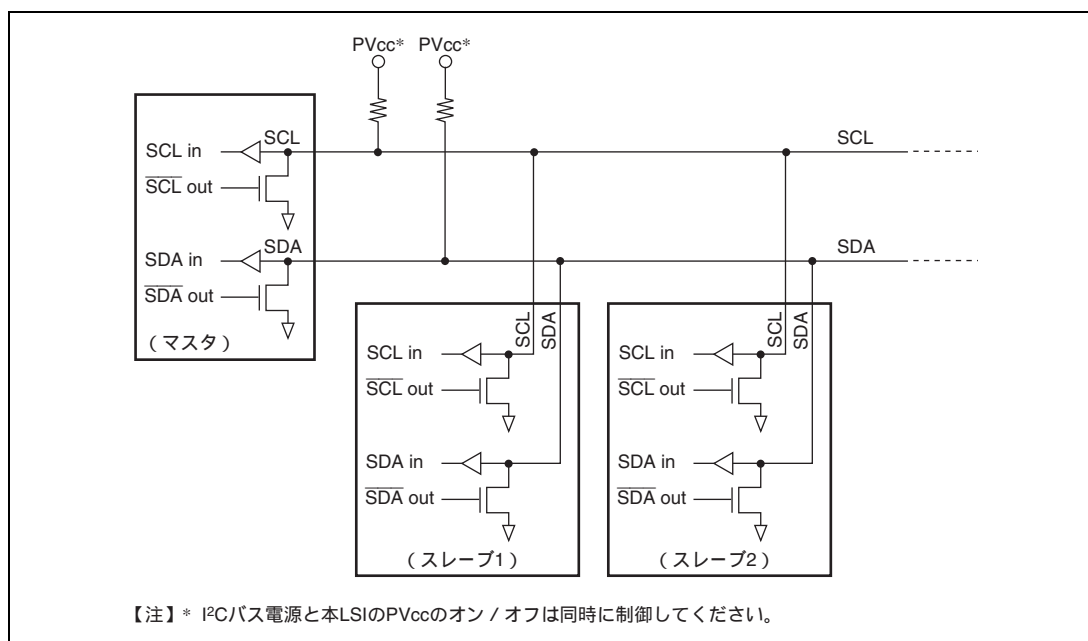


図 20.2 入出力端子の外部回路接続例

20.3 レジスタの説明

表 20.2 にレジスタ構成を示します。

表 20.2 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	I ² C バスコントロールレジスタ 1	ICCR1_0	R/W	H'00	H'FFFEE000	8
	I ² C バスコントロールレジスタ 2	ICCR2_0	R/W	H'7D	H'FFFEE001	8
	I ² C バスモードレジスタ	ICMR_0	R/W	H'38	H'FFFEE002	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_0	R/W	H'00	H'FFFEE003	8
	I ² C バスステータスレジスタ	ICSR_0	R/W	H'00	H'FFFEE004	8
	スレーブアドレスレジスタ	SAR_0	R/W	H'00	H'FFFEE005	8
	I ² C バス送信データレジスタ	ICDRT_0	R/W	H'FF	H'FFFEE006	8
	I ² C バス受信データレジスタ	ICDRR_0	R/W	H'FF	H'FFFEE007	8
	NF2CYC レジスタ	NF2CYC_0	R/W	H'00	H'FFFEE008	8
1	I ² C バスコントロールレジスタ 1	ICCR1_1	R/W	H'00	H'FFFEE400	8
	I ² C バスコントロールレジスタ 2	ICCR2_1	R/W	H'7D	H'FFFEE401	8
	I ² C バスモードレジスタ	ICMR_1	R/W	H'38	H'FFFEE402	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_1	R/W	H'00	H'FFFEE403	8
	I ² C バスステータスレジスタ	ICSR_1	R/W	H'00	H'FFFEE404	8
	スレーブアドレスレジスタ	SAR_1	R/W	H'00	H'FFFEE405	8
	I ² C バス送信データレジスタ	ICDRT_1	R/W	H'FF	H'FFFEE406	8
	I ² C バス受信データレジスタ	ICDRR_1	R/W	H'FF	H'FFFEE407	8
	NF2CYC レジスタ	NF2CYC_1	R/W	H'00	H'FFFEE408	8
2	I ² C バスコントロールレジスタ 1	ICCR1_2	R/W	H'00	H'FFFEE800	8
	I ² C バスコントロールレジスタ 2	ICCR2_2	R/W	H'7D	H'FFFEE801	8
	I ² C バスモードレジスタ	ICMR_2	R/W	H'38	H'FFFEE802	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_2	R/W	H'00	H'FFFEE803	8
	I ² C バスステータスレジスタ	ICSR_2	R/W	H'00	H'FFFEE804	8
	スレーブアドレスレジスタ	SAR_2	R/W	H'00	H'FFFEE805	8
	I ² C バス送信データレジスタ	ICDRT_2	R/W	H'FF	H'FFFEE806	8
	I ² C バス受信データレジスタ	ICDRR_2	R/W	H'FF	H'FFFEE807	8
	NF2CYC レジスタ	NF2CYC_2	R/W	H'00	H'FFFEE808	8

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
3	I ² C バスコントロールレジスタ 1	ICCR1_3	R/W	H'00	H'FFFEEC00	8
	I ² C バスコントロールレジスタ 2	ICCR2_3	R/W	H'7D	H'FFFEEC01	8
	I ² C バスモードレジスタ	ICMR_3	R/W	H'38	H'FFFEEC02	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_3	R/W	H'00	H'FFFEEC03	8
	I ² C バスステータスレジスタ	ICSR_3	R/W	H'00	H'FFFEEC04	8
	スレーブアドレスレジスタ	SAR_3	R/W	H'00	H'FFFEEC05	8
	I ² C バス送信データレジスタ	ICDRT_3	R/W	H'FF	H'FFFEEC06	8
	I ² C バス受信データレジスタ	ICDRR_3	R/W	H'FF	H'FFFEEC07	8
	NF2CYC レジスタ	NF2CYC_3	R/W	H'00	H'FFFEEC08	8

20.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、I²C バスインタフェース 3 の動作 / 停止、送信 / 受信制御、マスタモード / スレーブモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ビット:	7	6	5	4	3	2	1	0
	ICE	RCVD	MST	TRS	CKS[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0: SCL/SDA の出力禁止 (SCL/SDA への入力は無効) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディセーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0: 次の受信動作を継続 1: 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ / スレーブ選択 送信 / 受信選択 I ² C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS ともにハードウェアによってリセットされてスレーブ受信モードに変わります。 なお TRS の変更は転送フレーム間で行ってください。 また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。 MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期式シリアルフォーマットを選択した場合、MST = 1 のとき、クロック出力となります。 00: スレーブ受信モード 01: スレーブ送信モード 10: マスタ受信モード 11: マスタ送信モード
3~0	CKS[3:0]	0000	R/W	転送クロック選択 マスタモードのとき、必要な転送レート (表 20.3 参照) にあわせて設定してください。

表 20.3 転送レート

NF2CYC	ICCR1				クロック	転送レート (kHz)		
	ビット 4	ビット 3	ビット 2	ビット 1		ビット 0	P = 25.00MHz	P = 33.33MHz
CKS4	CKS[3]	CKS[2]	CKS[1]	CKS[0]				
0	0	0	0	0	0	P0 /44	568.18	757.50
				1	0	P0 /52	480.77	640.96
			1	0	0	P0 /64	390.63	520.78
				1	0	P0 /72	347.22	462.92
		1	0	0	0	P0 /84	297.62	396.79
				1	0	P0 /92	271.74	362.28
			1	0	0	P0 /100	250.00	333.30
				1	0	P0 /108	231.48	308.61
	1	0	0	0	0	P0 /176	142.05	189.38
				1	0	P0 /208	120.19	160.24
			1	0	0	P0 /256	97.66	130.20
				1	0	P0 /288	86.81	115.73
		1	0	0	0	P0 /336	74.40	99.20
				1	0	P0 /368	67.93	90.57
			1	0	0	P0 /400	62.50	83.33
				1	0	P0 /432	57.87	77.15
1	0	0	0	0	0	P0 /352	71.02	94.69
				1	0	P0 /416	60.10	80.12
			1	0	0	P0 /512	48.83	65.10
				1	0	P0 /576	43.40	57.86
		1	0	0	0	P0 /672	37.20	49.60
				1	0	P0 /736	33.97	45.29
			1	0	0	P0 /800	31.25	41.66
				1	0	P0 /864	28.94	38.58
	1	0	0	0	0	P0 /704	35.51	47.34
				1	0	P0 /832	30.05	40.06
			1	0	0	P0 /1024	24.41	32.55
				1	0	P0 /1152	21.70	28.93
		1	0	0	0	P0 /1344	18.60	24.80
				1	0	P0 /1472	16.98	22.64
			1	0	0	P0 /1600	15.63	20.83
				1	0	P0 /1728	14.47	19.29

【注】 外部仕様を満足するように設定してください。

20.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスのコントロール部のリセットを制御します。

ビット:	7	6	5	4	3	2	1	0
	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
初期値:	0	1	1	1	1	1	0	1
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I²C バスの占有 / 解放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に 0 が読み出されます。I²C バスフォーマットの場合、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたことと認識して 1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたことと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。</p>
6	SCP	1	R/W	<p>開始 / 停止条件発行禁止</p> <p>SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p style="margin-left: 20px;">0: リード時、SDA 端子出力が Low レベル ライト時、SDA 端子出力を Low レベルに変更</p> <p style="margin-left: 20px;">1: リード時、SDA 端子出力が High レベル ライト時、SDA 端子出力を Hi-Z に変更(外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 をライトします。本ビットは読み出すと常に 1 が読み出されます。</p>

ビット	ビット名	初期値	R/W	説明
3	SCLO	1	R	SCL 出力レベル SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。
2	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	IICRST	0	R/W	コントロール部リセット IICRST は ICMR の BC[2:0] ビットと内部回路をリセットします。I ² C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットすると ICMR の BC[2:0] ビットと内部回路をリセットすることができます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

20.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、8 ビットの読み出し / 書き込み可能なレジスタで、MSB ファースト / LSB ファーストの選択、転送ビット数の選択を行います。

ICCR2 の IICRST により BC[2:0] が H'0 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	MLS	-	-	-	BCWP	BC[2:0]		
初期値 :	0	0	1	1	1	0	0	0
R/W :	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときには 0 に設定してください。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	BCWP	1	R/W	BC ライトプロテクト BC[2:0] の書き込みを制御します。BC[2:0] を書き換える場合は、本ビットを 0 に設定してください。なおクロック同期式シリアルフォーマットでは BC[2:0] の書き換えは行わないでください。 0 : ライト時、BC[2:0] の値を設定 1 : リード時、常に 1 をリード ライト時、BC[2:0] 設定値は無効

ビット	ビット名	初期値	R/W	説 明																		
2~0	BC[2:0]	000	R/W	<p>ビットカウンタ</p> <p>次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I²C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。また本ビットは、パワーオンリセット、ソフトウェアスタンバイモード、モジュールスタンバイモード、および ICCR2 の IICRST を 1 セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。</p> <table border="0"> <tr> <td>I²C バスフォーマット</td> <td>クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I ² C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I ² C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

20.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因の許可、アクノリッジの有効 / 無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット:	7	6	5	4	3	2	1	0
	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	送信インタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンpty割り込み (TXI) を許可 / 禁止します。 0: 送信データエンpty割り込み要求 (TXI) の禁止 1: 送信データエンpty割り込み要求 (TXI) の許可
6	TEIE	0	R/W	送信エンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可 / 禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R/W	受信インタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出アービトレーションロスト / オーバランエラー割り込み要求 (NAKI) の許可 / 禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可
3	STIE	0	R/W	停止条件検出インタラプトイネーブル STIE は、ICSR の STOP がセットされたとき、停止条件検出割り込み要求 (STPI) の許可 / 禁止を選択します。 0: 停止条件検出割り込み要求 (STPI) の禁止 1: 停止条件検出割り込み要求 (STPI) の許可

ビット	ビット名	初期値	R/W	説 明
2	ACKE	0	R/W	アクノリッジビット判定選択 0: 受信アクノリッジの内容を無視して連続的に転送を行う 1: 受信アクノリッジが1の場合、転送を中断する
1	ACKBR	0	R	受信アクノリッジ 送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。また本ビットは、ICCR2 の BBSY を1にセットするとクリアされます。 0: 受信アクノリッジ=0 1: 受信アクノリッジ=1
0	ACKBT	0	R/W	送信アクノリッジ 受信モード時、アクノリッジのタイミングで送出するビットを設定します。 0: アクノリッジのタイミングで0を送出 1: アクノリッジのタイミングで1を送出

20.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要求フラグおよびステータスの確認を行います。

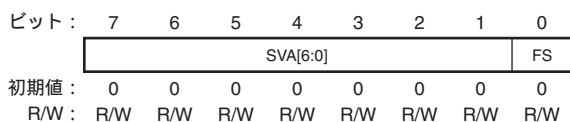
ビット:	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TDRE	0	R/W	送信データエンpty [クリア条件] <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] <ul style="list-style-type: none"> • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンptyになったとき • TRS をセットしたとき • 開始条件 (再送含む) を発行したとき • スレープモードで受信モードから送信モードになったとき
6	TEND	0	R/W	送信エンド [クリア条件] <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] <ul style="list-style-type: none"> • I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき • クロック同期式シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき
5	RDRF	0	R/W	受信データフル [クリア条件] <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき • ICDRR をリードしたとき [セット条件] <ul style="list-style-type: none"> • ICDRS から ICDRR に受信データが転送されたとき
4	NACKF	0	R/W	ノーアクノリッジ検出フラグ [クリア条件] <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき [セット条件] <ul style="list-style-type: none"> • ICIEP の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • フレームの転送の完了後に停止条件を検出したとき
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVEは、I²Cバスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期式シリアルフォーマットの場合、RDRF=1の状態でも最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときにI²Cバスインタフェース3はSDAをモニタし、自分が出したデータと異なった場合、ALフラグを1にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタ送信モードの場合、SCLの立ち上がりで内部SDAとSDA端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA端子がHighレベルのとき • クロック同期式シリアルフォーマットの場合、RDRF=1の状態でも最終ビットを受信したとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームがSARのSVA6-SVA0と一致した場合にセットされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²Cバスフォーマットのスレーブ受信モードのとき有効</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードかつゼネラルコールアドレスを検出したとき

20.3.6 スレーブアドレスレジスタ (SAR)

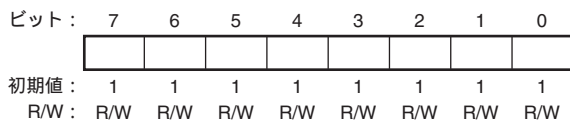
SAR は、8 ビットの読み出し / 書き込み可能なレジスタで、フォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。



ビット	ビット名	初期値	R/W	説明
7~1	SVA[6:0]	0000000	R/W	スレーブアドレス I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0: I ² C バスフォーマット選択 1: クロック同期式シリアルフォーマット選択

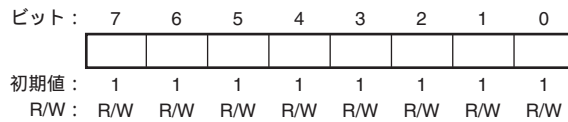
20.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットの読み出し / 書き込み可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。



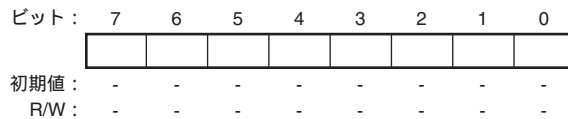
20.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。



20.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信 / 受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。



20.3.10 NF2CYC レジスタ (NF2CYC)

NF2CYC は、8 ビットの読み出し / 書き込み可能なレジスタで、転送クロック選択、SCL 端子、SDA 端子のノイズ除去幅を選択することができます。詳細動作については、「20.4.7 ノイズ除去回路」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	CKS4	-	-	PRS	NF2 CYC
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	CKS4	0	R/W	転送クロック選択 マスタモードのとき、必要な転送レート(表 20.3 参照)にあわせて設定してください。
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	PRS	0	R/W	パルス幅比率選択 SCL の High 幅と Low 幅の比率を指定します。 0 : High : Low = 0.5 : 0.5 1 : High : Low 0.4 : 0.6
0	NF2CYC	0	R/W	ノイズ除去幅選択 0 : 周辺クロックで 1 サイクル周期以内のノイズを除去することができます 1 : 周辺クロックで 2 サイクル周期以内のノイズを除去することができます

20.4 動作説明

I²C バスインタフェース 3 には、SAR の FS の設定により、I²C バスフォーマットとクロック同期式シリアルフォーマットで通信することができます。

20.4.1 I²C バスフォーマット

I²C バスフォーマットを図 20.3 に、I²C バスのタイミングを図 20.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

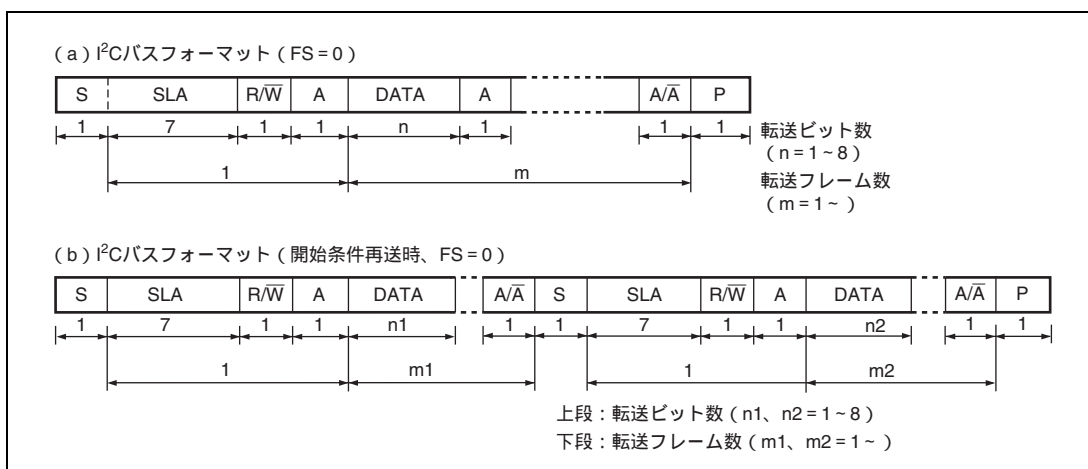


図 20.3 I²C バスフォーマット

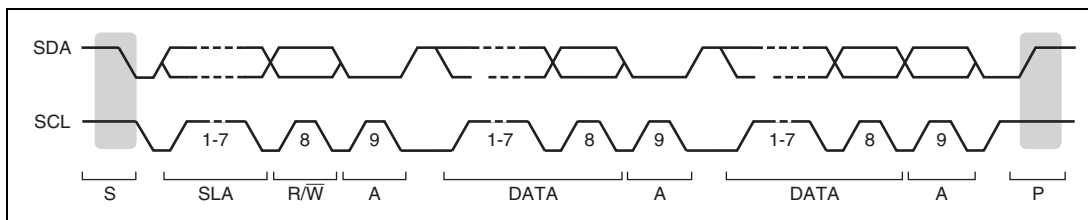


図 20.4 I²C バスタイミング

【記号説明】

- S : 開始条件。マスタデバイスが SCL = High レベルの状態での SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態での SDA を Low レベルから High レベルに変化させます。

20.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 20.5 と図 20.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。また、ICCR1のCKS[3:0]等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが解放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY = 1とSCP = 0をライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスと $R\bar{W}$ を示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY = 0とSCP = 0を、ライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF = 1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

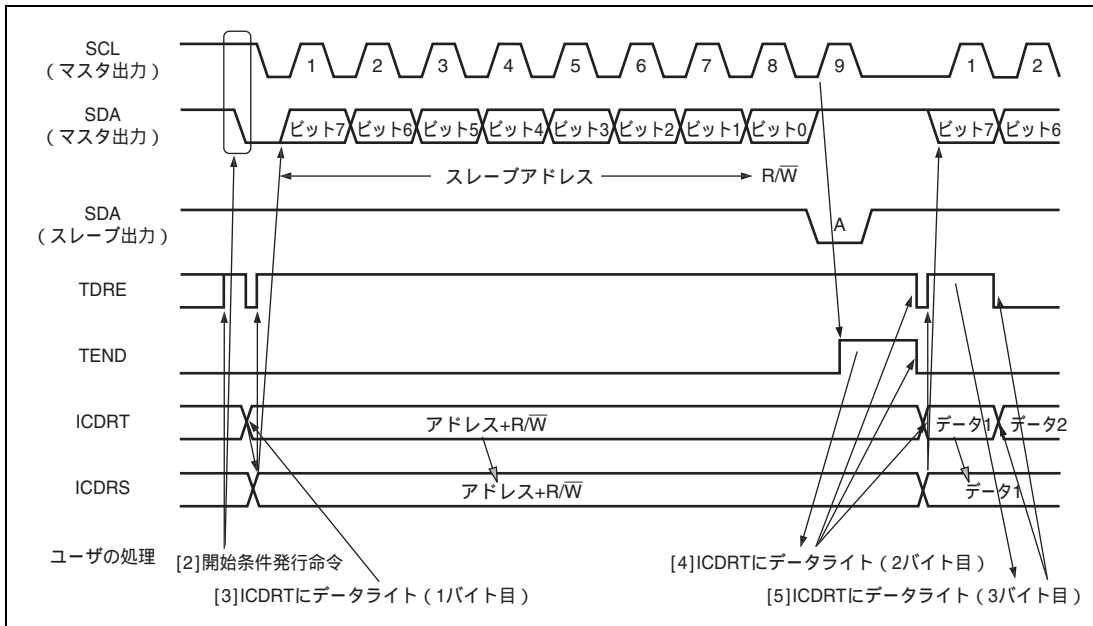


図 20.5 マスタ送信モード動作タイミング (1)

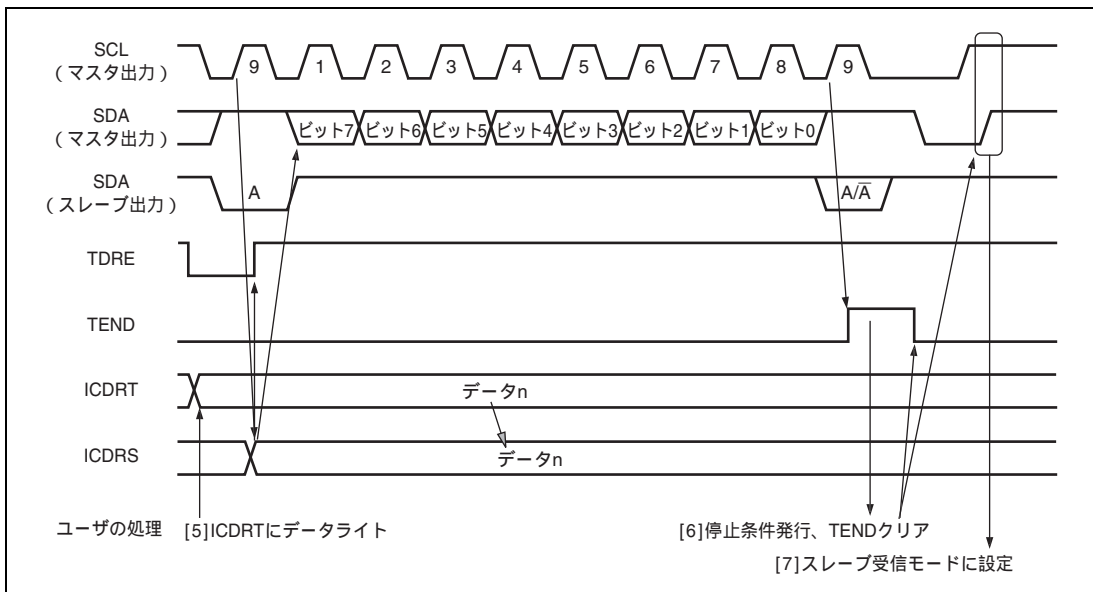


図 20.6 マスタ送信モード動作タイミング (2)

20.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアキュリッジを返します。マスタ受信モードの動作タイミングについては図 20.7 と図 20.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始*し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCLがLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

【注】 * 1バイトだけ受信したい場合は、ICCR1のRCVDセット後、ICDRRのダミーリードを行ってください。

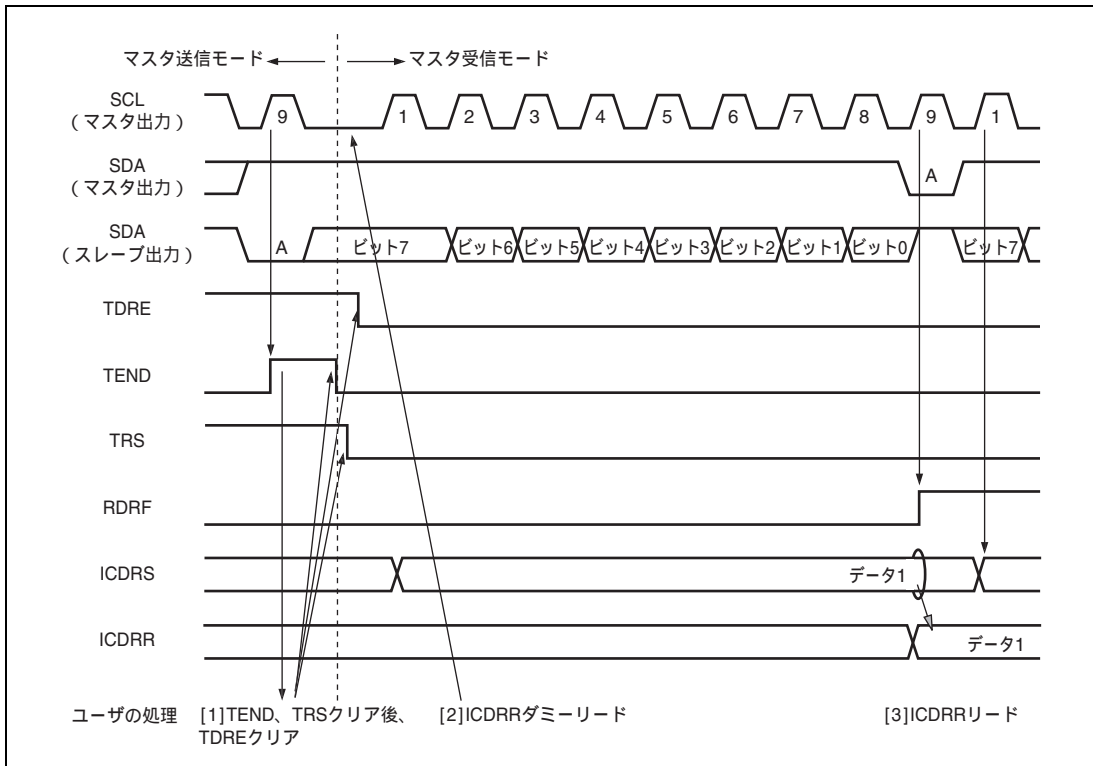


図 20.7 マスタ受信モード動作タイミング (1)

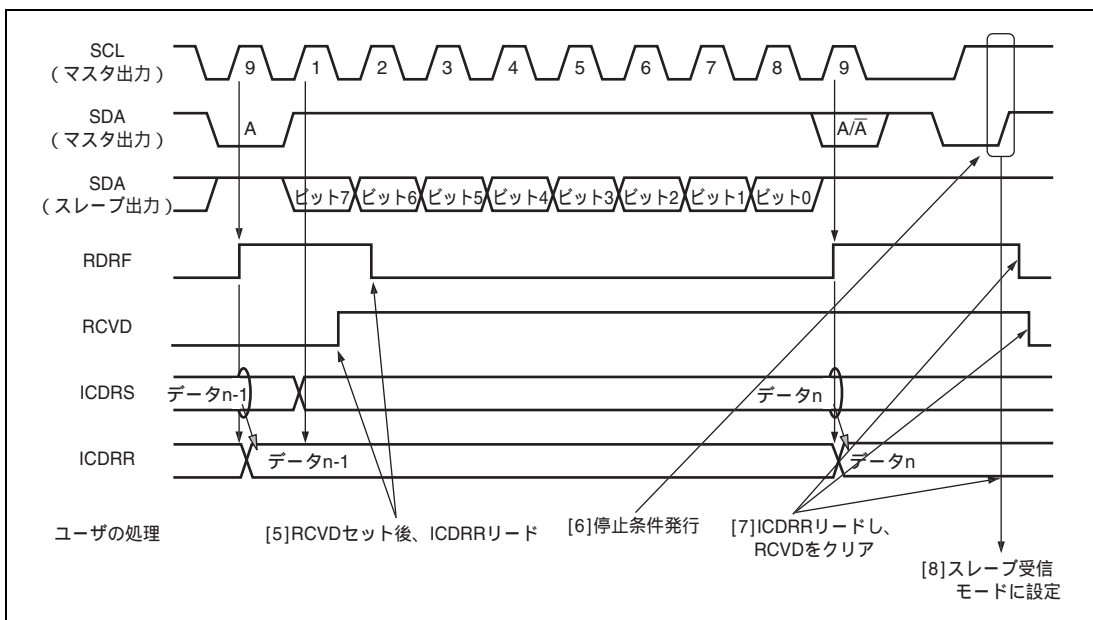


図 20.8 マスタ受信モード動作タイミング (2)

20.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 20.9 と図 20.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

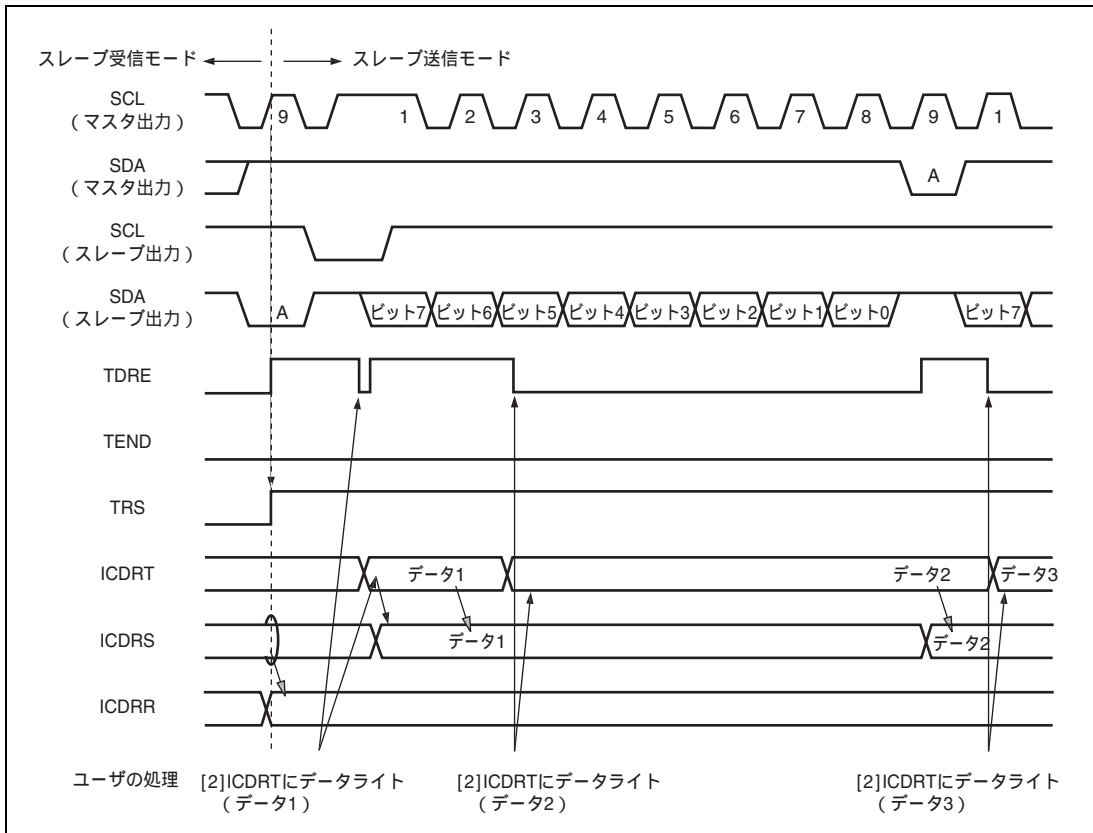


図 20.9 スレーブ送信モード動作タイミング (1)

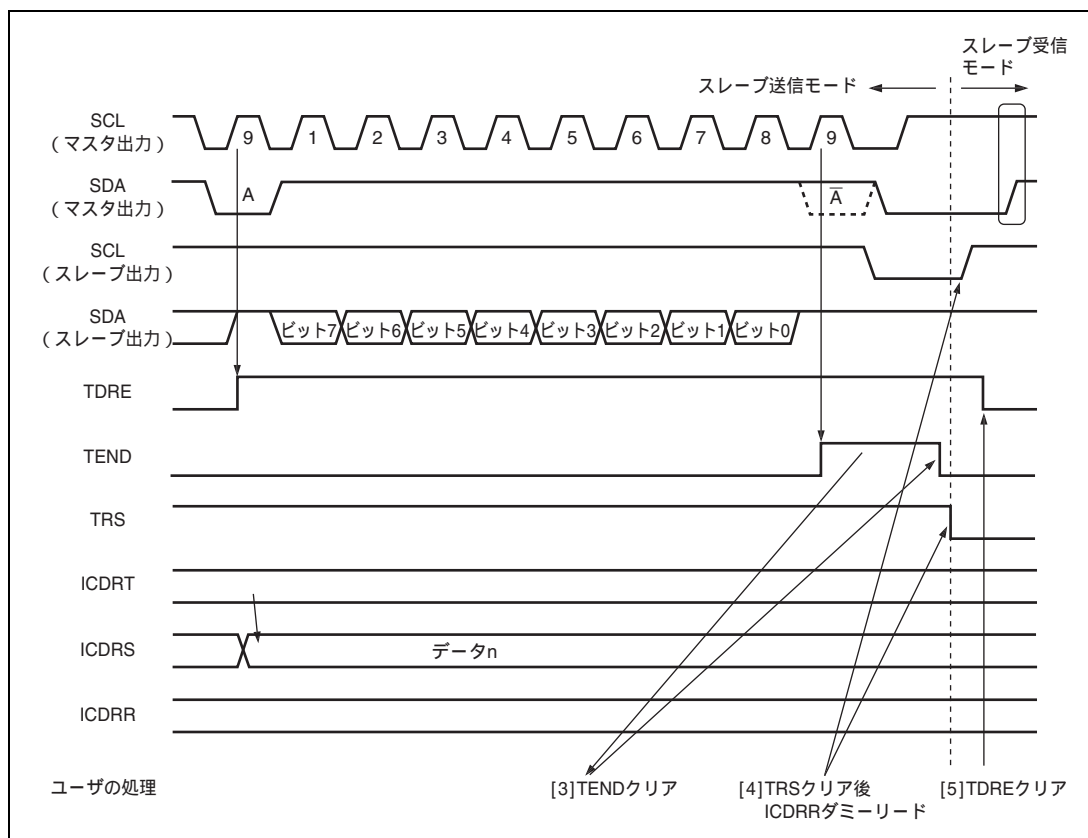


図 20.10 スレーブ送信モード動作タイミング (2)

20.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアノリッジを返します。スレーブ動作モードタイミングについては図 20.11 と図 20.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード(リードデータはスレーブアドレス+R/Wを示すので不要)します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

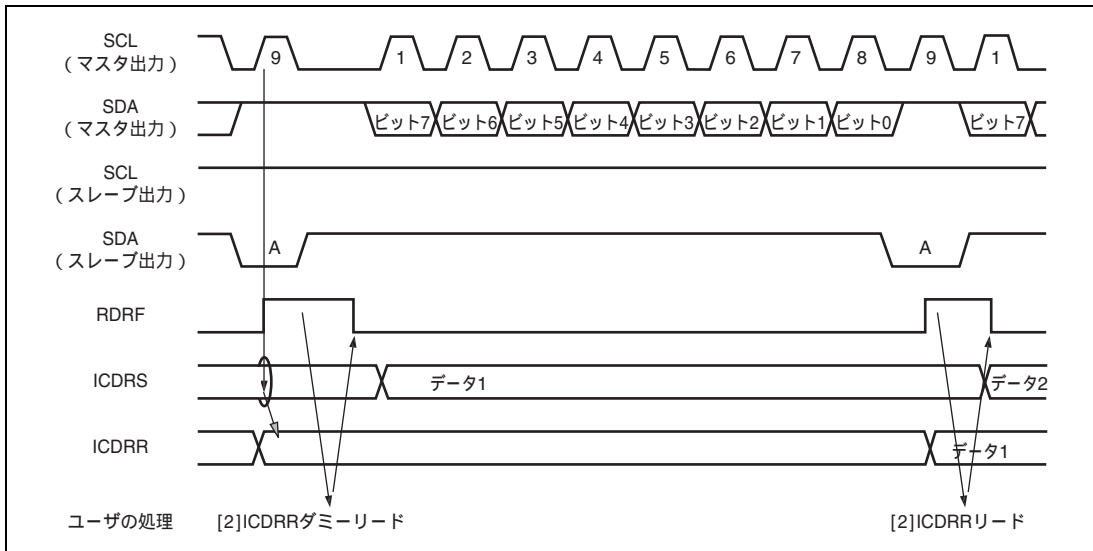


図 20.11 スレープ受信モード動作タイミング (1)

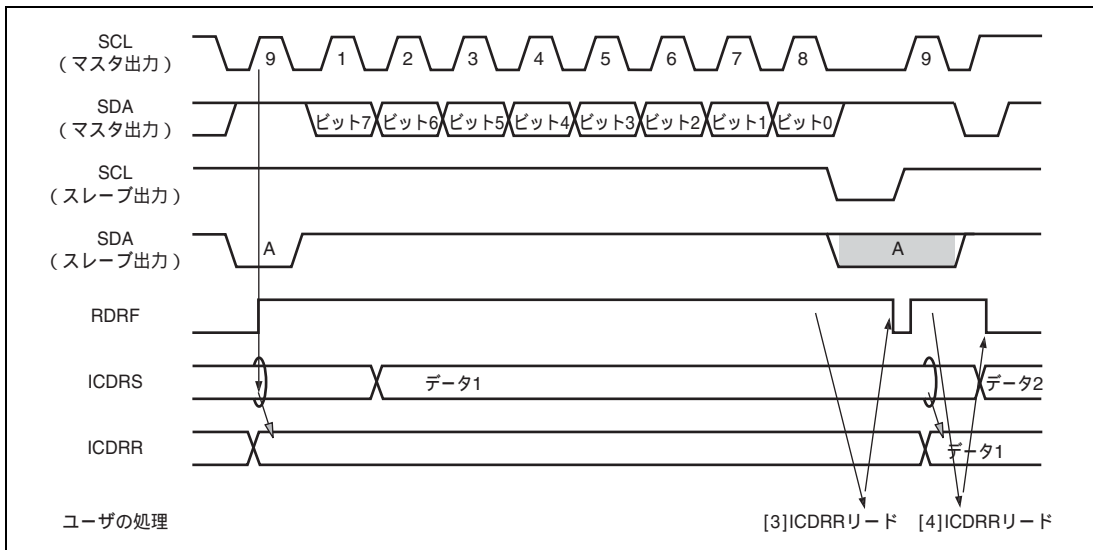


図 20.12 スレープ受信モード動作タイミング (2)

20.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルフォーマットとして動作させることができます。ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき転送クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルフォーマットの転送フォーマットを図 20.13 に示します。

転送データは SCL クロックの立ち下がりから立ち上がりまで出力され、SCL クロックの立ち上がりエッジでデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

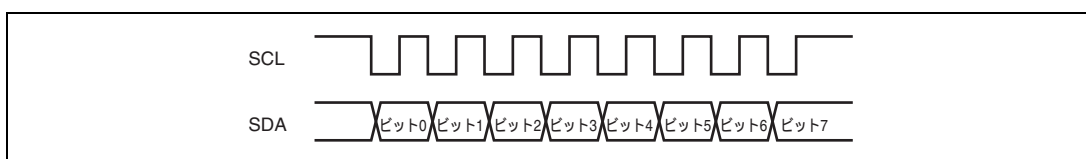


図 20.13 クロック同期式シリアルフォーマットの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 20.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS[3:0]などを設定します（初期設定）。
2. ICCR1のTRSを設定して送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

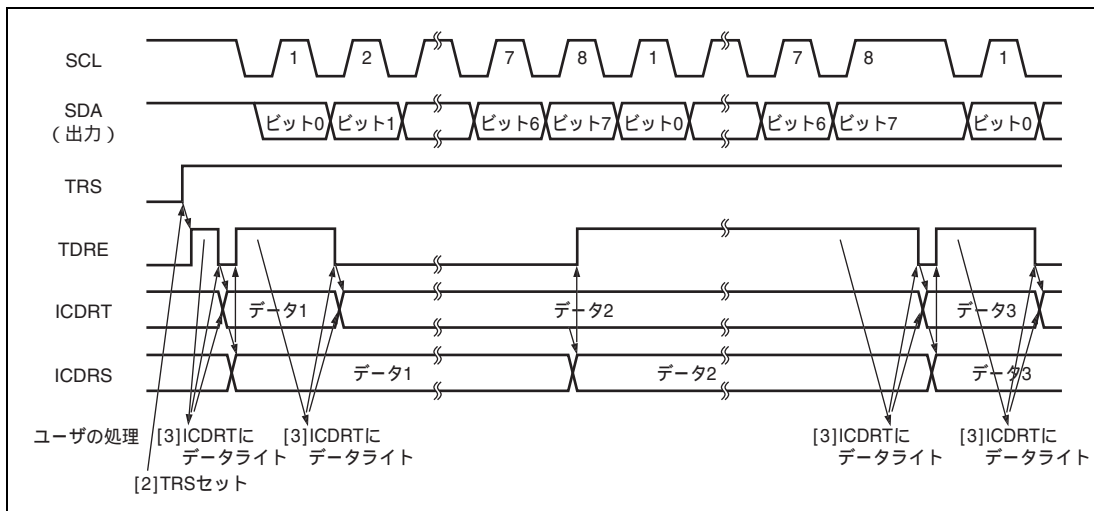


図 20.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST = 1 のとき出力、MST = 0 のとき入力となります。受信モード動作タイミングについては図 20.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]等を設定します（初期設定）。
2. 転送クロックを出力時、MST = 1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST = 1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST = 1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

【注】 MST = 1で1バイトだけ受信したい場合は下記手順で行ってください。動作タイミングについては図 20.16 を参照してください。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]等を設定します（初期設定）。
2. ICCR1のRCVDビットが0の状態、MST = 1にセットします。これにより受信クロックの出力を開始します。
3. ICMRのBC[2]ビットが1にセットされたことを確認後、ICCR1のRCVDビットを1にセットしてください。これにより受信クロックを1バイト分出力した後、SCLがHighレベルに固定されます。

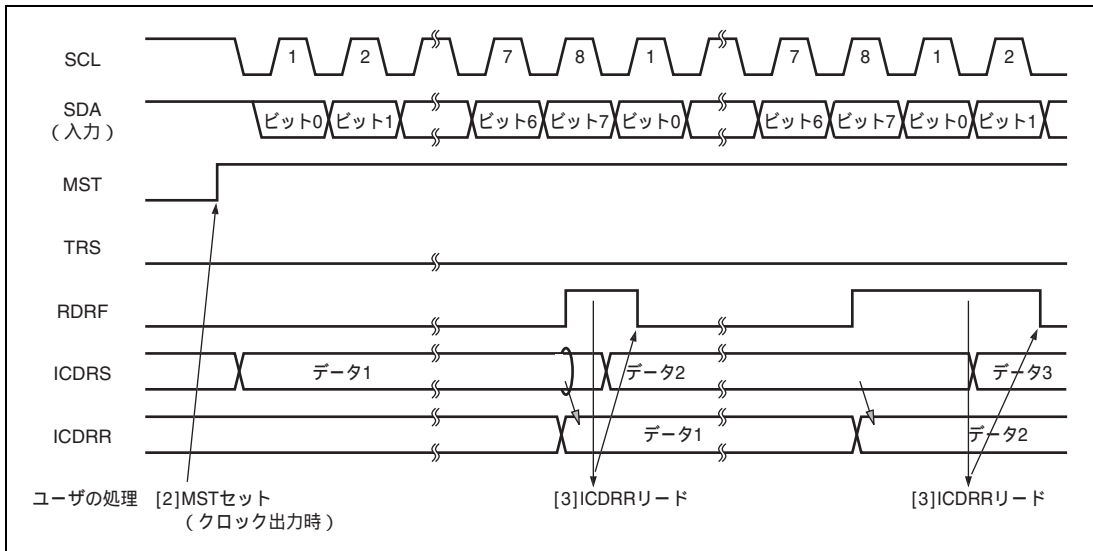


図 20.15 受信モード動作タイミング

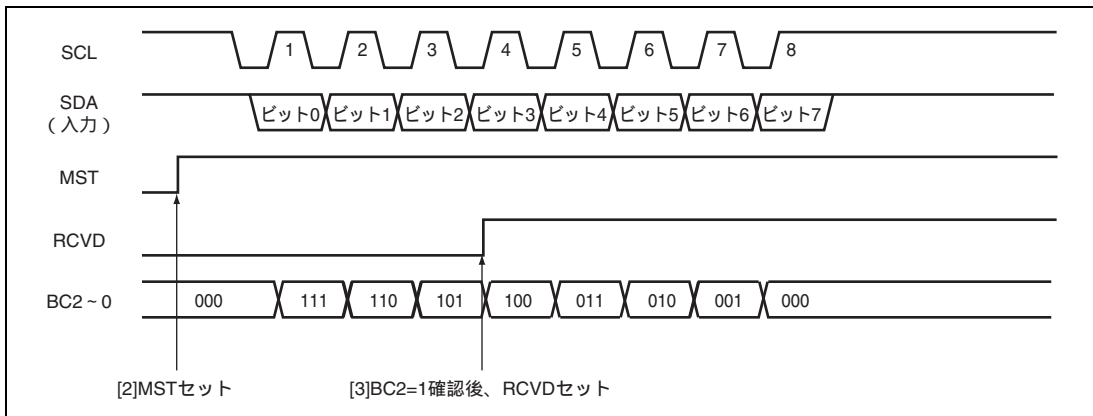


図 20.16 1 バイト受信動作タイミング (MST = 1)

20.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 20.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が周辺クロックでサンプリングされ、NF2CYC レジスタが 0 のときは、2 つのラッチ出力が一致したときに後段へレベルを伝えます。また NF2CYC レジスタが 1 のときは、3 つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

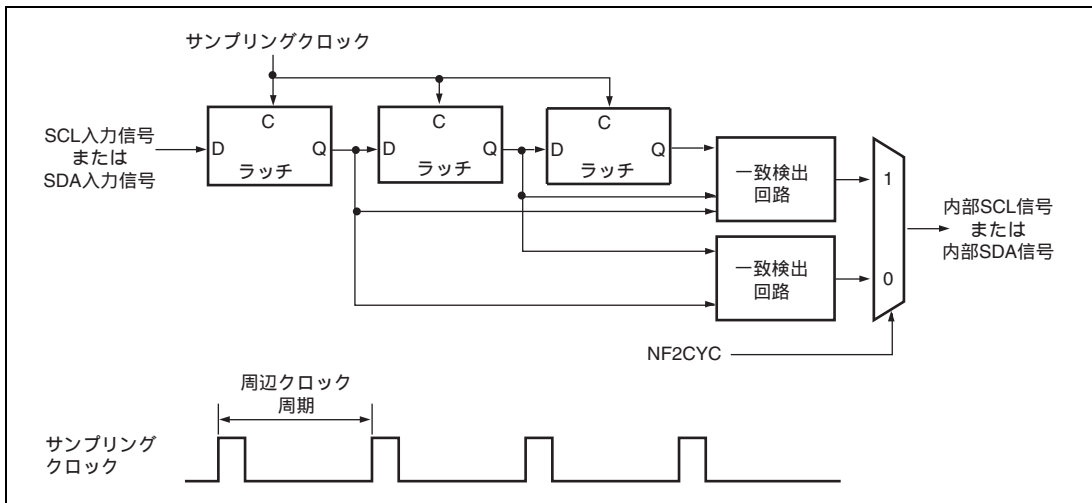


図 20.17 ノイズ除去回路のブロック図

20.4.8 使用例

I²C バスインタフェース 3 を使用する場合の各モードでのフローチャート例を図 20.18 ~ 図 20.21 に示します。

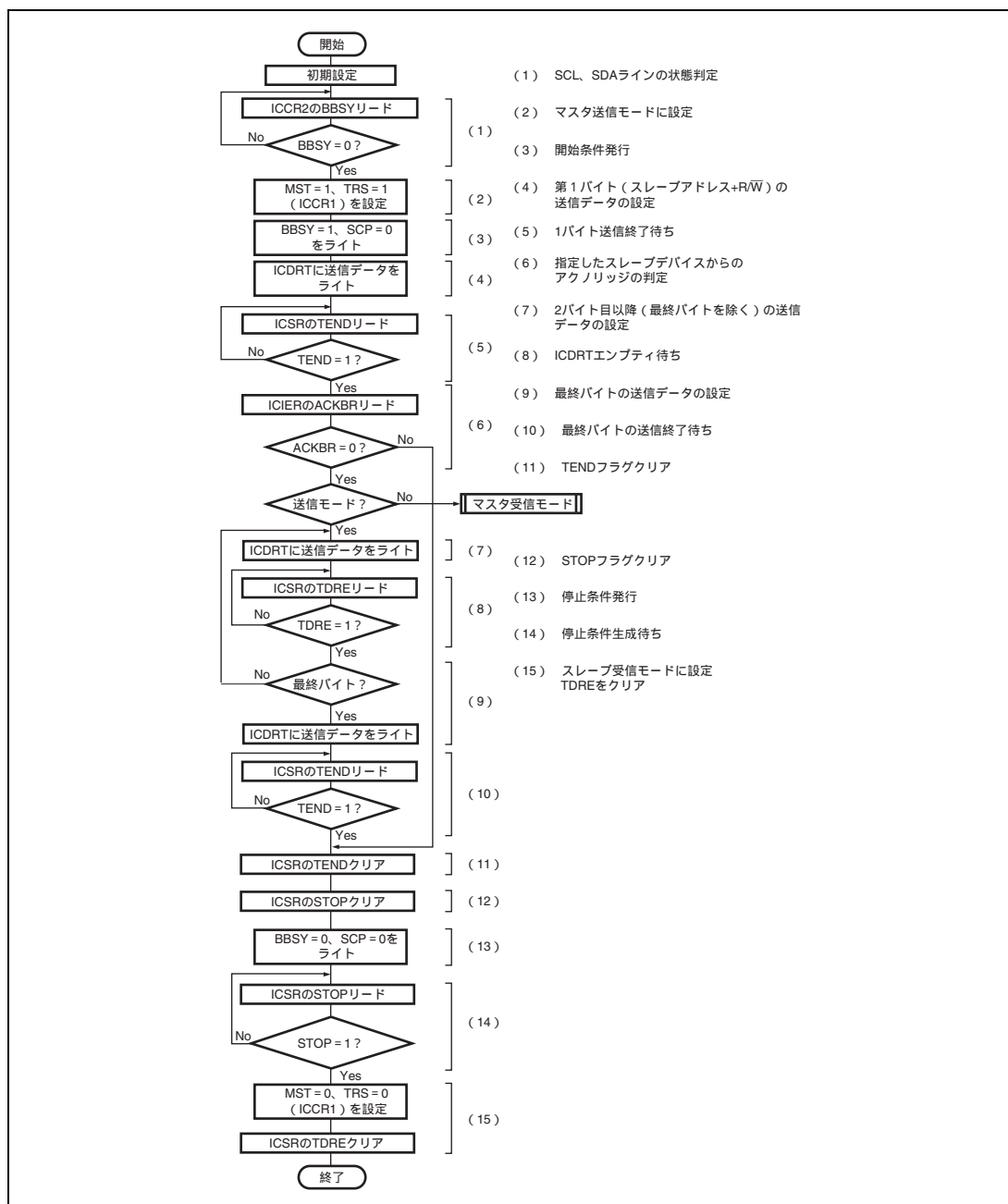


図 20.18 マスタ送信モードのフローチャート例

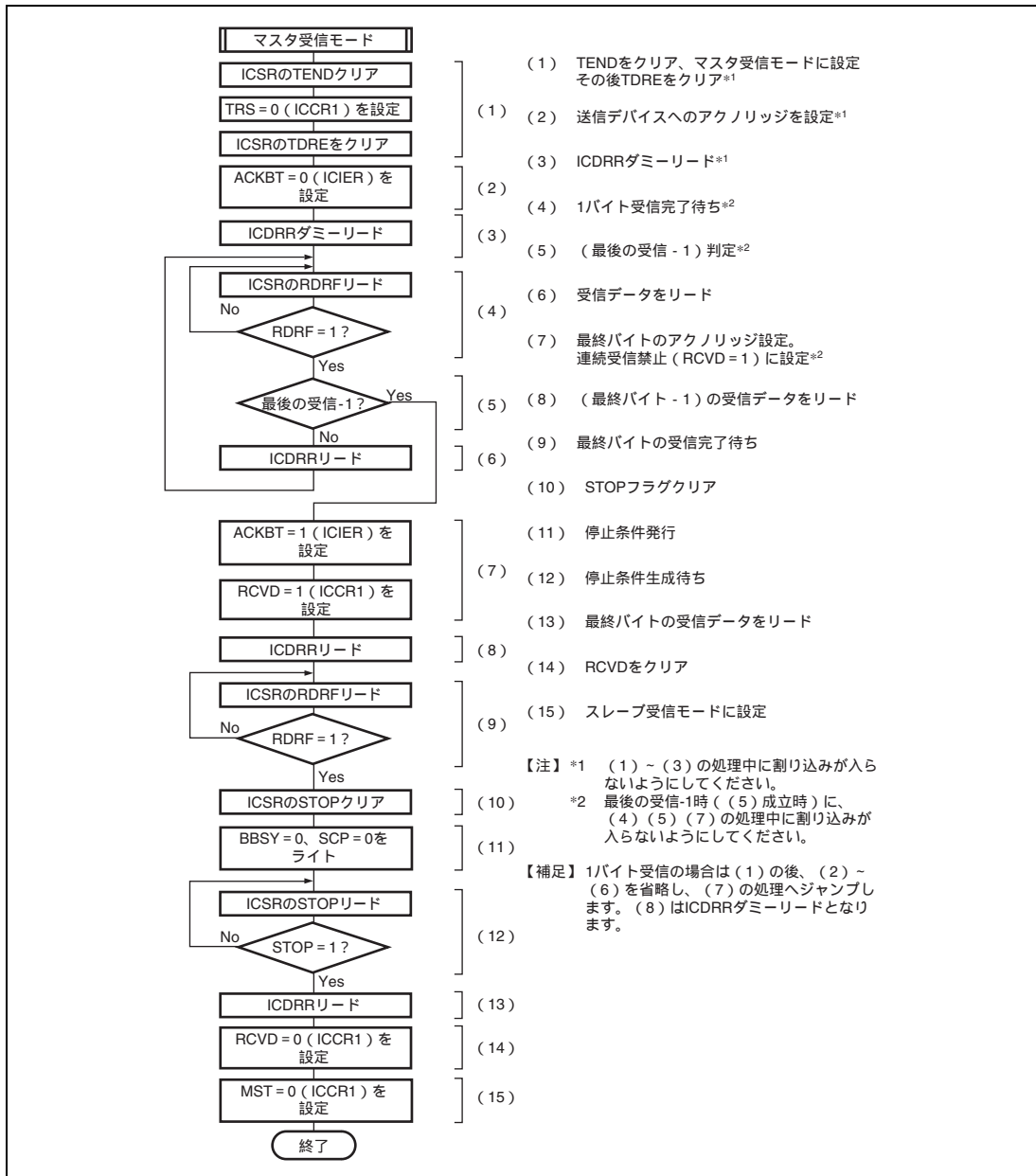


図 20.19 マスタ受信モードのフローチャート例

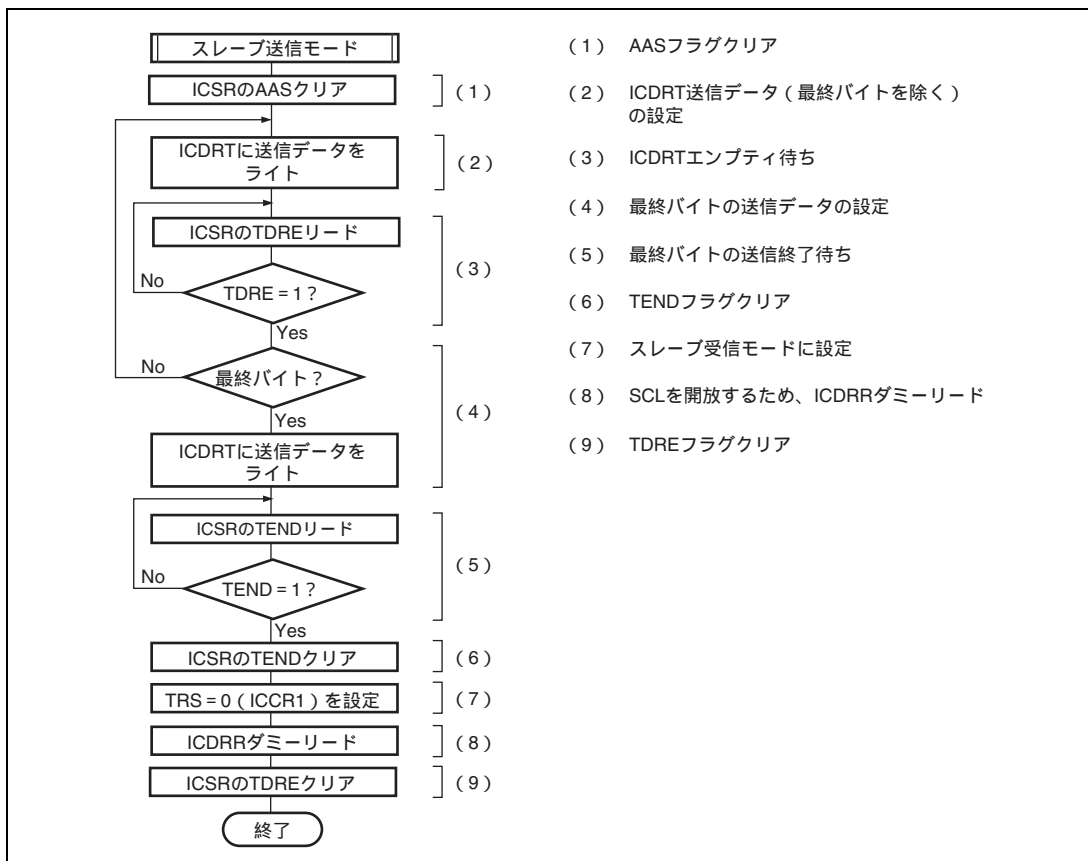


図 20.20 スレーブ送信モードのフローチャート例

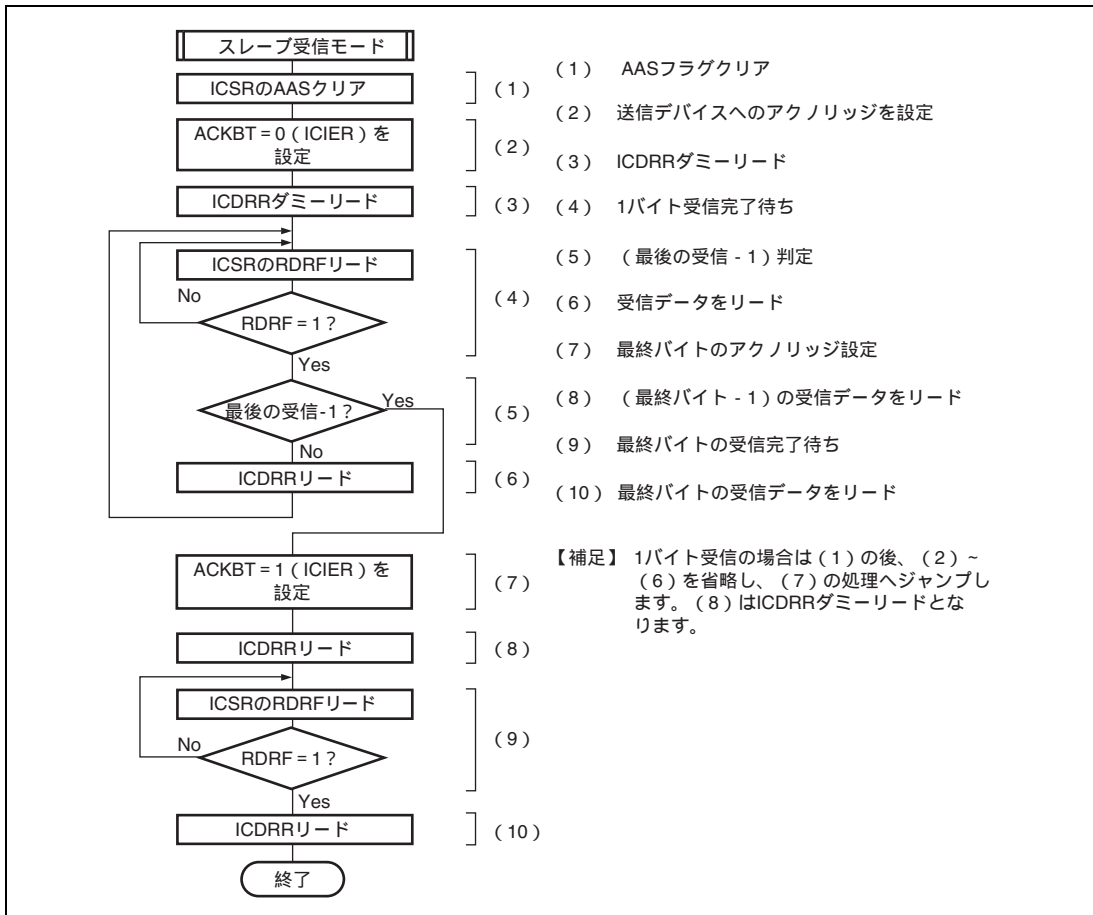


図 20.21 スレーブ受信モードのフローチャート例

20.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト/オーバーランエラーの 6 種類があります。表 20.4 に各割り込み要求の内容を示します。

表 20.4 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C バス フォーマット	クロック同期式 シリアル フォーマット
送信データエンプティ	TXI	$(TDRE = 1) \cdot (TIE = 1)$		
送信終了	TEI	$(TEND = 1) \cdot (TEIE = 1)$		
受信データフル	RXI	$(RDRF = 1) \cdot (RIE = 1)$		
停止条件検出	STPI	$(STOP = 1) \cdot (STIE = 1)$		×
NACK 検出	NAKI	$\{(NACKF = 1) + (AL = 1)\} \cdot (NAKIE = 1)$		×
アービトレーションロスト/ オーバーランエラー				

表 20.4 の割り込み条件が 1 のとき、CPU は割り込み例外処理を実行します。なお TXI と RXI は、ダイレクトメモリアクセスコントローラの起動設定を行っている場合は、ダイレクトメモリアクセスコントローラを起動できます。その場合、CPU への割り込みは発生しません。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

20.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 20.22 に、SCL を Low 出力 Hi-Z にしてから SCL をモニタするまでの時間を表 20.5 に示します。

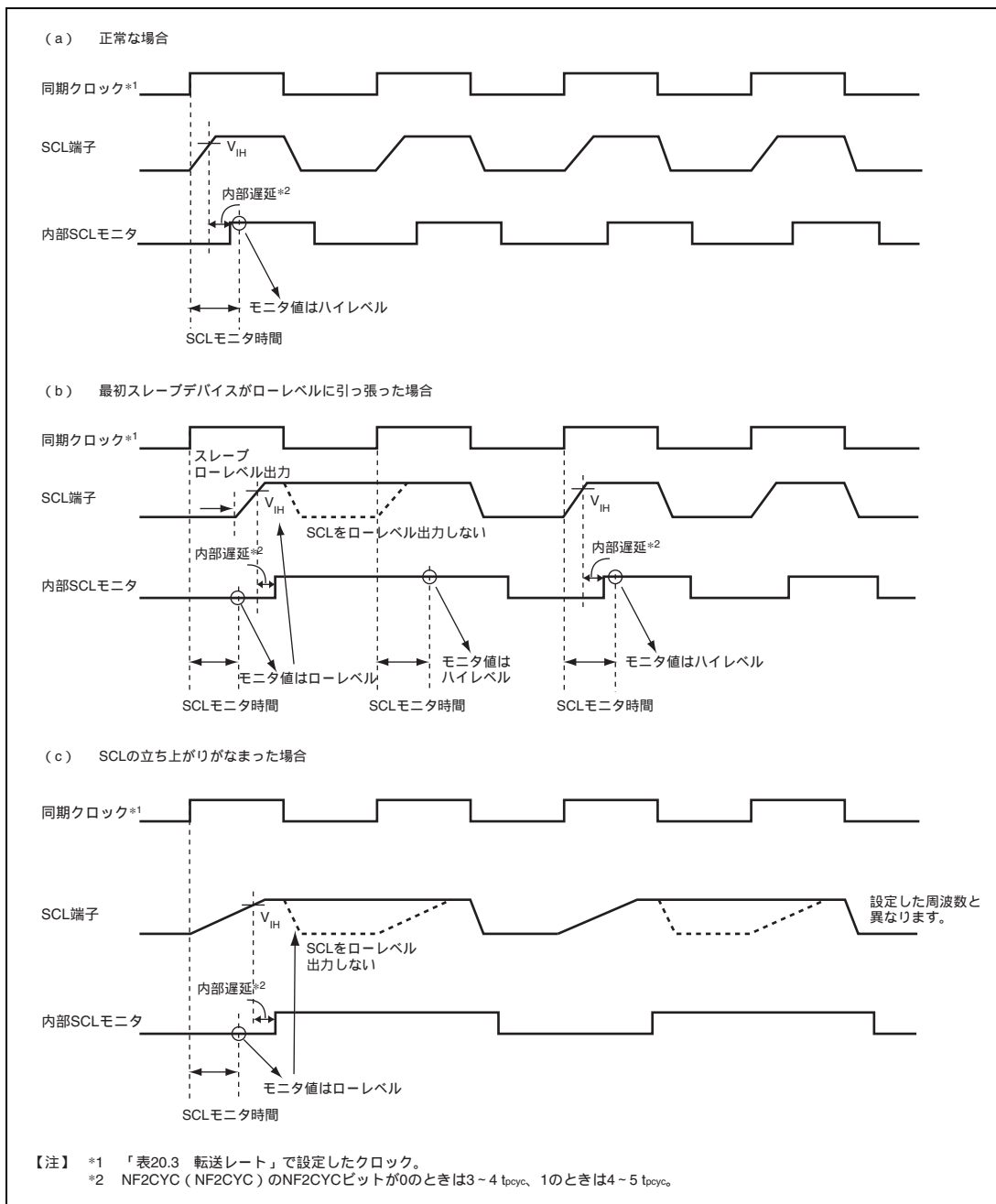


図 20.22 ビット同期回路のタイミング

表 20.5 SCL をモニタする時間

CKS4	CKS[3]	CKS[2]	SCL をモニタする時間
0	0	0	9tpcyc
		1	21tpcyc
	1	0	39tpcyc
		1	87tpcyc
1	0	0	79tpcyc
		1	175tpcyc
	1	0	159tpcyc
		1	351tpcyc

【注】 * tpcyc は周辺クロック 0 (P0) の同期を示します。

20.7 使用上の注意事項

20.7.1 マルチマスタで使用時の注意

マルチマスタで使用し、本モジュール転送レートの設定 (ICCR1 CKS[3:0]) が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。

他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定する必要があります。

20.7.2 マスタ受信モード時の注意

8 クロック目の立ち下がり付近で ICDRR をリードした場合、受信データが取れなくなる場合があります。

また、受信バッファフルかつ 8 クロック目の立ち下がり付近で RCVD=1 に設定すると、停止条件の発行ができなくなる場合があります。

以下の、1.か2.の方法どちらかで対応してください。

1. マスタ受信モードでICDRRをリードする処理は8クロックの立ち上がりまでに行ってください。
2. マスタ受信モードはRCVD=1にし、1バイトごとの通信で処理を行ってください。

20.7.3 マスタ受信モード、ACKBT 設定時の注意

マスタ受信モード動作時、連続転送している最終データの 8 つ目の SCL が立ち下がる前に ACKBT を設定してください。スレーブ送信側デバイスがオーバーランする恐れがあります。

20.7.4 アービトレーションロスト時の MST と TRN ビットの状態についての注意

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL = 1 かつマスタ送信モード (MST = 1、TRS = 1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記の方法があります。

- マルチマスタで使用時、MST、TRS の設定は MOV 命令で行ってください。
- アービトレーションロストした場合、MST = 0、TRS = 0 を確認してください。

万一、MST = 0、TRS = 0 以外の状態の場合、MST = 0、TRS = 0 を設定し直してください。

20.7.5 I²C バスインタフェースモードのマスタ受信モード時の注意事項

マスタ受信後、SCL の 9 クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

20.7.6 IICRST、BBSY ビットに関する注意事項

ICCR2 の IICRST ビットに 1 をライトすると、本 LSI は SCL、SDA 端子を解放します。そのとき、端子が SCL = High レベルの状態でも SDA が Low レベルから High レベルに変化すると、停止条件と認識して ICCR2 の BBSY ビットが 0 にクリアされます。

20.7.7 マスタ送信モード、ACKE ビット = 1 設定時における停止条件発行の注意

マスタ送信モードかつ I²C バスインタラプトイネーブルレジスタ (ICIER) の ACKE ビット = 1 設定で停止条件を発行したとき、発行するタイミングにより停止条件が正常に出力されないことがあります。

この現象を回避するためには、9 クロック目の立ち下がりを経験してから、停止条件の発行を行ってください。9 クロック目の立ち下がりには、I²C コントロールレジスタ 2 (ICCR2) の SCLO ビットをチェックすることにより認識することができます。

21. シリアルサウンドインタフェース

シリアルサウンドインタフェースは、I²Sバスと互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的なフォーマットだけでなく、マルチチャンネルモードにも対応しています。

21.1 特長

- チャンネル数：6チャンネル
- 動作モード：非圧縮モード
非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。
- トランスミッタまたはレシーバのいずれとしても動作可能
チャンネル0は全二重通信が可能
- シリアルバスフォーマットを使用可能
- データバッファとシフトレジスタ間は非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能
- DMA転送または割り込みで、データ送受信を制御可能
- オーバサンプルクロックを以下の端子から選択可能
AUDIO_CLK (1~50MHz)
AUDIO_X1、AUDIO_X2 (水晶発振子接続時：10~50MHz、外部クロック入力時：1~50MHz)
- 送信部、受信部に8段FIFOバッファ内蔵
- 最初のシステムワード区間のみSSIWSがハイレベルとなるマルチチャンネルモード (TDMモード) をサポートします。
- SSIWSを停止せずに動作するモード (WSコンティニューモード) をサポートします。

図 21.1 にブロック図を示します。

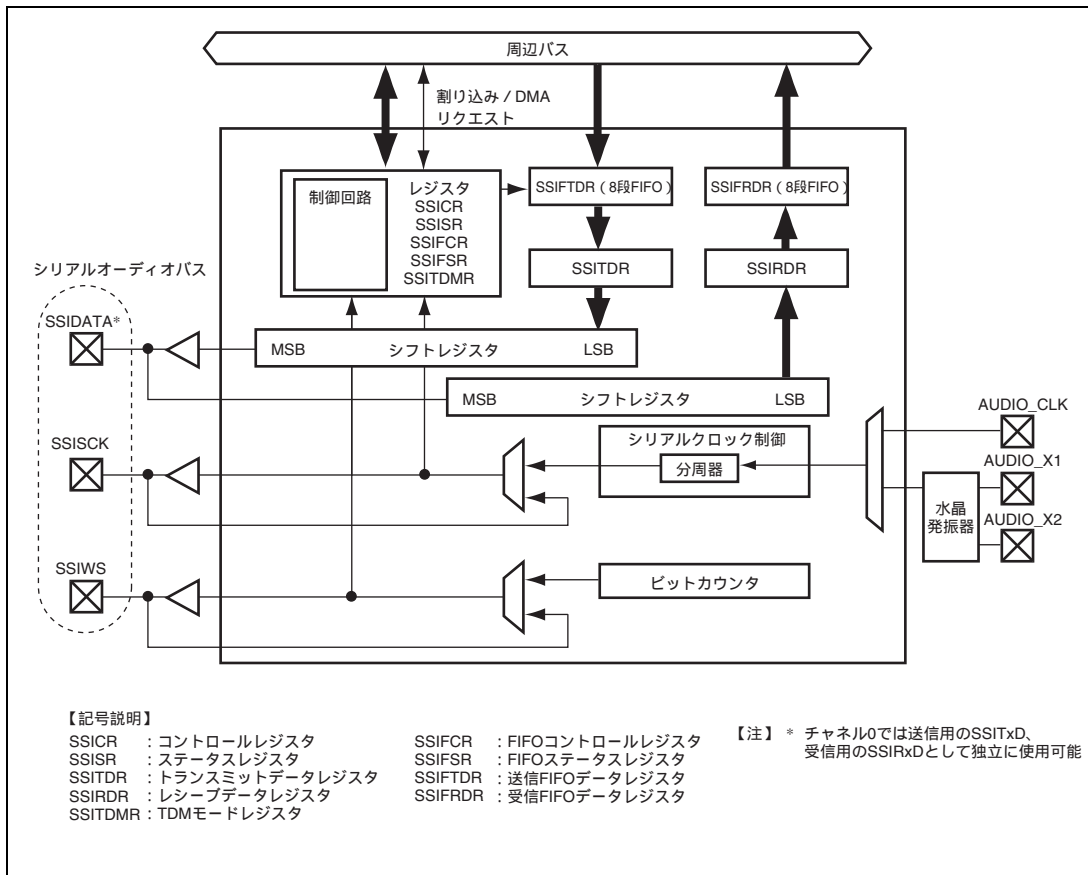


図 21.1 ブロック図

21.2 入出力端子

表 21.1 に端子構成を示します。

表 21.1 端子構成

チャンネル	名称	入出力	機能
0	SSISCK0*	入出力	シリアルビットクロック
	SSIWS0*	入出力	ワード選択
	SSITxD0	出力	シリアルデータ出力
	SSIRxD0*	入力	シリアルデータ入力
1～5	SSISCK1～SSISCK5*	入出力	シリアルビットクロック
	SSIWS1～SSIWS5*	入出力	ワード選択
	SSIDATA1～SSIDATA5*	入出力	シリアルデータ入出力
共通	AUDIO_CLK	入力	オーディオ用外部クロック (オーバーサンプルクロックを入力)
	AUDIO_X1	入力	オーディオ用水晶発振子 / 外部クロック (オーバーサンプルクロックを入力)
	AUDIO_X2	出力	

【注】 * スレーブモード時は、入力経路に存在するノイズキャンセラ機能の使用有無を選択できます。

詳細は「48.2.34 シリアルサウンドインタフェースノイズキャンセラコントロールレジスタ (SNCR)」を参照してください。

21.3 レジスタの説明

表 21.2 にレジスタ構成を示します。また本文中では、チャンネルによる区別を省略して説明しています。

表 21.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	コントロールレジスタ 0	SSICR_0	R/W	H'00000000	H'FFFF0000	8、16、32
	ステータスレジスタ 0	SSISR_0	R/W* ¹	H'02000013	H'FFFF0004	8、16、32
	FIFO コントロールレジスタ 0	SSIFCR_0	R/W	H'00000000	H'FFFF0010	8、16、32
	FIFO ステータスレジスタ 0	SSIFSR_0	R/(W)* ²	H'00010000	H'FFFF0014	8、16、32
	送信 FIFO データレジスタ 0	SSIFTDR_0	W	不定	H'FFFF0018	32
	受信 FIFO データレジスタ 0	SSIFRDR_0	R	不定	H'FFFF001C	32
	TDM モードレジスタ 0	SSITDMR_0	R/W	H'00000000	H'FFFF0020	8、16、32
1	コントロールレジスタ 1	SSICR_1	R/W	H'00000000	H'FFFF0800	8、16、32
	ステータスレジスタ 1	SSISR_1	R/W* ¹	H'02000013	H'FFFF0804	8、16、32
	FIFO コントロールレジスタ 1	SSIFCR_1	R/W	H'00000000	H'FFFF0810	8、16、32
	FIFO ステータスレジスタ 1	SSIFSR_1	R/(W)* ²	H'00010000	H'FFFF0814	8、16、32
	送信 FIFO データレジスタ 1	SSIFTDR_1	W	不定	H'FFFF0818	32
	受信 FIFO データレジスタ 1	SSIFRDR_1	R	不定	H'FFFF081C	32
	TDM モードレジスタ 1	SSITDMR_1	R/W	H'00000000	H'FFFF0820	8、16、32
2	コントロールレジスタ 2	SSICR_2	R/W	H'00000000	H'FFFF1000	8、16、32
	ステータスレジスタ 2	SSISR_2	R/W* ¹	H'02000013	H'FFFF1004	8、16、32
	FIFO コントロールレジスタ 2	SSIFCR_2	R/W	H'00000000	H'FFFF1010	8、16、32
	FIFO ステータスレジスタ 2	SSIFSR_2	R/(W)* ²	H'00010000	H'FFFF1014	8、16、32
	送信 FIFO データレジスタ 2	SSIFTDR_2	W	不定	H'FFFF1018	32
	受信 FIFO データレジスタ 2	SSIFRDR_2	R	不定	H'FFFF101C	32
	TDM モードレジスタ 2	SSITDMR_2	R/W	H'00000000	H'FFFF1020	8、16、32
3	コントロールレジスタ 3	SSICR_3	R/W	H'00000000	H'FFFF1800	8、16、32
	ステータスレジスタ 3	SSISR_3	R/W* ¹	H'02000013	H'FFFF1804	8、16、32
	FIFO コントロールレジスタ 3	SSIFCR_3	R/W	H'00000000	H'FFFF1810	8、16、32
	FIFO ステータスレジスタ 3	SSIFSR_3	R/(W)* ²	H'00010000	H'FFFF1814	8、16、32
	送信 FIFO データレジスタ 3	SSIFTDR_3	W	不定	H'FFFF1818	32
	受信 FIFO データレジスタ 3	SSIFRDR_3	R	不定	H'FFFF181C	32
	TDM モードレジスタ 3	SSITDMR_3	R/W	H'00000000	H'FFFF1820	8、16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
4	コントロールレジスタ 4	SSICR_4	R/W	H'00000000	H'FFFF2000	8、16、32
	ステータスレジスタ 4	SSISR_4	R/W* ¹	H'02000013	H'FFFF2004	8、16、32
	FIFO コントロールレジスタ 4	SSIFCR_4	R/W	H'00000000	H'FFFF2010	8、16、32
	FIFO ステータスレジスタ 4	SSIFSR_4	R/(W)* ²	H'00010000	H'FFFF2014	8、16、32
	送信 FIFO データレジスタ 4	SSIFTDR_4	W	不定	H'FFFF2018	32
	受信 FIFO データレジスタ 4	SSIFRDR_4	R	不定	H'FFFF201C	32
	TDM モードレジスタ 4	SSITDMR_4	R/W	H'00000000	H'FFFF2020	8、16、32
5	コントロールレジスタ 5	SSICR_5	R/W	H'00000000	H'FFFF2800	8、16、32
	ステータスレジスタ 5	SSISR_5	R/W* ¹	H'02000013	H'FFFF2804	8、16、32
	FIFO コントロールレジスタ 5	SSIFCR_5	R/W	H'00000000	H'FFFF2810	8、16、32
	FIFO ステータスレジスタ 5	SSIFSR_5	R/(W)* ²	H'00010000	H'FFFF2814	8、16、32
	送信 FIFO データレジスタ 5	SSIFTDR_5	W	不定	H'FFFF2818	32
	受信 FIFO データレジスタ 5	SSIFRDR_5	R	不定	H'FFFF281C	32
	TDM モードレジスタ 5	SSITDMR_5	R/W	H'00000000	H'FFFF2820	8、16、32

【注】 *1 本レジスタのビット 29～26 は読み出し/書き込み可能ですが、それ以外のビットは読み出し専用です。詳細は、「21.3.2 ステータスレジスタ (SSISR)」を参照してください。

*2 本レジスタのビット 16 とビット 0 はフラグをクリアするために 0 のみ書き込むことができます。それ以外のビットは読み出し専用です。詳細は、「21.3.6 FIFO ステータスレジスタ (SSIFSR)」を参照してください。

21.3.1 コントロールレジスタ (SSICR)

SSICR は、読み出し / 書き込み可能な 32 ビットのレジスタで、IRQ の制御、各極性の状態の選択、動作モードの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IEN	-	CHNL[1:0]			DWL[2:0]		SWL[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]			MUEN	-	TEN	REN	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
30	CKS	0	R/W	オーバサンプルクロック選択 オーバサンプルクロックの供給源を選択します。 0: AUDIO_X1 入力 1: AUDIO_CLK 入力
29	TUIEN	0	R/W	送信アンダフロー割り込みイネーブル 0: アンダフロー割り込みを禁止 1: アンダフロー割り込みを許可
28	TOIEN	0	R/W	送信オーバフロー割り込みイネーブル 0: オーバフロー割り込みを禁止 1: オーバフロー割り込みを許可
27	RUIEN	0	R/W	受信アンダフロー割り込みイネーブル 0: アンダフロー割り込みを禁止 1: アンダフロー割り込みを許可
26	ROIEN	0	R/W	受信オーバフロー割り込みイネーブル 0: オーバフロー割り込みを禁止 1: オーバフロー割り込みを許可
25	IEN	0	R/W	アイドルモード割り込みイネーブル 0: アイドルモード割り込みを禁止 1: アイドルモード割り込みを許可
24	-	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
23, 22	CHNL[1:0]	00	R/W	<p>チャンネル</p> <p>【TDM=0 のとき】</p> <p>各システムワードのチャンネル数を示します。</p> <p>00：各システムワードは1チャンネルで構成されています。</p> <p>01：各システムワードは2チャンネルで構成されています。</p> <p>10：各システムワードは3チャンネルで構成されています。</p> <p>11：各システムワードは4チャンネルで構成されています。</p> <p>【TDM=1 のとき】</p> <p>TDM フレームのシステムワード数を示します。</p> <p>00：設定禁止</p> <p>01：TDM フレームは4システムワードで構成されています。</p> <p>10：TDM フレームは6システムワードで構成されています。</p> <p>11：TDM フレームは8システムワードで構成されています。</p>
21 ~ 19	DWL[2:0]	000	R/W	<p>データワード長</p> <p>データワードのビット数を示します。</p> <p>000：8ビット</p> <p>001：16ビット</p> <p>010：18ビット</p> <p>011：20ビット</p> <p>100：22ビット</p> <p>101：24ビット</p> <p>110：32ビット</p> <p>111：設定禁止</p>
18 ~ 16	SWL[2:0]	000	R/W	<p>システムワード長</p> <p>システムワードのビット数を示します。</p> <p>000：8ビット</p> <p>001：16ビット</p> <p>010：24ビット</p> <p>011：32ビット</p> <p>100：48ビット</p> <p>101：64ビット</p> <p>110：128ビット</p> <p>111：256ビット</p>
15	SCKD	0	R/W	<p>シリアルビットクロック方向</p> <p>0：シリアルビットクロック入力、スレーブモード</p> <p>1：シリアルビットクロック出力、マスタモード</p> <p>【注】(SCKD、SWSD) = (0、0) と (1、1) の設定のみ可能です。それ以外の設定は禁止です。</p>

ビット	ビット名	初期値	R/W	説明															
14	SWSD	0	R/W	シリアル WS 方向 0: シリアルワード選択入力、スレーブモード 1: シリアルワード選択出力、マスタモード 【注】 (SCKD、SWSD) = (0、0) と (1、1) の設定のみ可能です。それ以外の設定は禁止です。															
13	SCKP	0	R/W	シリアルビットクロック極性 0: SSIWS と SSIDATA は SSISCK の立ち下がりエッジで変化 (SCK 立ち上がりエッジでサンプリング) 1: SSIWS と SSIDATA は SSISCK の立ち上がりエッジで変化 (SCK 立ち下がりエッジでサンプリング) <table border="1" data-bbox="605 662 1200 929"> <thead> <tr> <th></th> <th>SCKP = 0</th> <th>SCKP = 1</th> </tr> </thead> <tbody> <tr> <td>受信時 SSIDATA入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 SSIDATA出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> <tr> <td>スレーブモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> </tbody> </table>		SCKP = 0	SCKP = 1	受信時 SSIDATA入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	送信時 SSIDATA出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ	スレーブモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ
	SCKP = 0	SCKP = 1																	
受信時 SSIDATA入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
送信時 SSIDATA出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
スレーブモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
12	SWSP	0	R/W	シリアル WS 極性 【TDM = 0 のとき】 0: SSIWS は第 1 チャンネルではローレベル、第 2 チャンネルではハイレベル 1: SSIWS は第 1 チャンネルではハイレベル、第 2 チャンネルではローレベル 【TDM = 1 のとき】 0: SSIWS はシステムワード 1 の区間のみハイレベル、それ以外ではローレベル 1: 設定禁止															
11	SPDP	0	R/W	シリアルパディング極性 0: パディングビットはローレベル 1: パディングビットはハイレベル															
10	SDTA	0	R/W	シリアルデータアライメント 0: シリアルデータ、パディングビットの順に送受信 1: パディングビット、シリアルデータの順に送受信															

ビット	ビット名	初期値	R/W	説明																																																																																																																													
9	PDTA	0	R/W	<p>パラレルデータアライメント</p> <p>データワード長が 32 ビットのと看、このビットは意味を持ちません。</p> <p>このビットは、受信モード時の SSIRDR と送信モード時の SSITDR に適用します。</p> <p>【データワード長が 8、16 ビットのと看】</p> <p>0：パラレルデータ (SSITDR、SSIRDR) の下位側を先行して送受信</p> <p>1：パラレルデータ (SSITDR、SSIRDR) の上位側を先行して送受信</p> <p>【データワード長が 18、20、22、24 ビットのと看】</p> <p>0：パラレルデータ (SSITDR、SSIRDR) を左詰め</p> <p>1：パラレルデータ (SSITDR、SSIRDR) を右詰め</p> <p>• PDTA = 0</p> <table border="1" data-bbox="683 705 1114 1130"> <thead> <tr> <th>DWL[2:0]</th> <th>SSITDR/SSIRDR[31:0]</th> </tr> </thead> <tbody> <tr> <td>000</td> <td> <table border="1"> <tr> <td>31</td> <td>24 23</td> <td>16 15</td> <td>8 7</td> <td>0</td> </tr> <tr> <td colspan="2">第4ワード</td> <td colspan="2">第3ワード</td> <td>第2ワード</td> </tr> <tr> <td colspan="2">第1ワード</td> <td colspan="3"></td> </tr> </table> </td> </tr> <tr> <td>001</td> <td> <table border="1"> <tr> <td>31</td> <td>16 15</td> <td>0</td> </tr> <tr> <td colspan="2">第2ワード</td> <td>第1ワード</td> </tr> </table> </td> </tr> <tr> <td>010</td> <td> <table border="1"> <tr> <td>31</td> <td>14 13</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table> </td> </tr> <tr> <td>011</td> <td> <table border="1"> <tr> <td>31</td> <td>12 11</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table> </td> </tr> <tr> <td>100</td> <td> <table border="1"> <tr> <td>31</td> <td>10 9</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table> </td> </tr> <tr> <td>101</td> <td> <table border="1"> <tr> <td>31</td> <td>8 7</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table> </td> </tr> <tr> <td>110</td> <td> <table border="1"> <tr> <td>31</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> </tr> </table> </td> </tr> </tbody> </table> <p>• PDTA = 1</p> <table border="1" data-bbox="692 1178 1107 1590"> <thead> <tr> <th>DWL[2:0]</th> <th>SSITDR/SSIRDR[31:0]</th> </tr> </thead> <tbody> <tr> <td>000</td> <td> <table border="1"> <tr> <td>31</td> <td>24 23</td> <td>16 15</td> <td>8 7</td> <td>0</td> </tr> <tr> <td>第1ワード</td> <td>第2ワード</td> <td>第3ワード</td> <td>第4ワード</td> <td></td> </tr> </table> </td> </tr> <tr> <td>001</td> <td> <table border="1"> <tr> <td>31</td> <td>16 15</td> <td>0</td> </tr> <tr> <td>第1ワード</td> <td>第2ワード</td> <td></td> </tr> </table> </td> </tr> <tr> <td>010</td> <td> <table border="1"> <tr> <td>31</td> <td>18 17</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table> </td> </tr> <tr> <td>011</td> <td> <table border="1"> <tr> <td>31</td> <td>20 19</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table> </td> </tr> <tr> <td>100</td> <td> <table border="1"> <tr> <td>31</td> <td>22 21</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table> </td> </tr> <tr> <td>101</td> <td> <table border="1"> <tr> <td>31</td> <td>24 23</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table> </td> </tr> <tr> <td>110</td> <td> <table border="1"> <tr> <td>31</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> </tr> </table> </td> </tr> </tbody> </table>	DWL[2:0]	SSITDR/SSIRDR[31:0]	000	<table border="1"> <tr> <td>31</td> <td>24 23</td> <td>16 15</td> <td>8 7</td> <td>0</td> </tr> <tr> <td colspan="2">第4ワード</td> <td colspan="2">第3ワード</td> <td>第2ワード</td> </tr> <tr> <td colspan="2">第1ワード</td> <td colspan="3"></td> </tr> </table>	31	24 23	16 15	8 7	0	第4ワード		第3ワード		第2ワード	第1ワード					001	<table border="1"> <tr> <td>31</td> <td>16 15</td> <td>0</td> </tr> <tr> <td colspan="2">第2ワード</td> <td>第1ワード</td> </tr> </table>	31	16 15	0	第2ワード		第1ワード	010	<table border="1"> <tr> <td>31</td> <td>14 13</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	14 13	0	有効		無効	011	<table border="1"> <tr> <td>31</td> <td>12 11</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	12 11	0	有効		無効	100	<table border="1"> <tr> <td>31</td> <td>10 9</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	10 9	0	有効		無効	101	<table border="1"> <tr> <td>31</td> <td>8 7</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	8 7	0	有効		無効	110	<table border="1"> <tr> <td>31</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> </tr> </table>	31	0	有効		DWL[2:0]	SSITDR/SSIRDR[31:0]	000	<table border="1"> <tr> <td>31</td> <td>24 23</td> <td>16 15</td> <td>8 7</td> <td>0</td> </tr> <tr> <td>第1ワード</td> <td>第2ワード</td> <td>第3ワード</td> <td>第4ワード</td> <td></td> </tr> </table>	31	24 23	16 15	8 7	0	第1ワード	第2ワード	第3ワード	第4ワード		001	<table border="1"> <tr> <td>31</td> <td>16 15</td> <td>0</td> </tr> <tr> <td>第1ワード</td> <td>第2ワード</td> <td></td> </tr> </table>	31	16 15	0	第1ワード	第2ワード		010	<table border="1"> <tr> <td>31</td> <td>18 17</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table>	31	18 17	0	無効	有効		011	<table border="1"> <tr> <td>31</td> <td>20 19</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table>	31	20 19	0	無効	有効		100	<table border="1"> <tr> <td>31</td> <td>22 21</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table>	31	22 21	0	無効	有効		101	<table border="1"> <tr> <td>31</td> <td>24 23</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table>	31	24 23	0	無効	有効		110	<table border="1"> <tr> <td>31</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> </tr> </table>	31	0	有効	
DWL[2:0]	SSITDR/SSIRDR[31:0]																																																																																																																																
000	<table border="1"> <tr> <td>31</td> <td>24 23</td> <td>16 15</td> <td>8 7</td> <td>0</td> </tr> <tr> <td colspan="2">第4ワード</td> <td colspan="2">第3ワード</td> <td>第2ワード</td> </tr> <tr> <td colspan="2">第1ワード</td> <td colspan="3"></td> </tr> </table>	31	24 23	16 15	8 7	0	第4ワード		第3ワード		第2ワード	第1ワード																																																																																																																					
31	24 23	16 15	8 7	0																																																																																																																													
第4ワード		第3ワード		第2ワード																																																																																																																													
第1ワード																																																																																																																																	
001	<table border="1"> <tr> <td>31</td> <td>16 15</td> <td>0</td> </tr> <tr> <td colspan="2">第2ワード</td> <td>第1ワード</td> </tr> </table>	31	16 15	0	第2ワード		第1ワード																																																																																																																										
31	16 15	0																																																																																																																															
第2ワード		第1ワード																																																																																																																															
010	<table border="1"> <tr> <td>31</td> <td>14 13</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	14 13	0	有効		無効																																																																																																																										
31	14 13	0																																																																																																																															
有効		無効																																																																																																																															
011	<table border="1"> <tr> <td>31</td> <td>12 11</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	12 11	0	有効		無効																																																																																																																										
31	12 11	0																																																																																																																															
有効		無効																																																																																																																															
100	<table border="1"> <tr> <td>31</td> <td>10 9</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	10 9	0	有効		無効																																																																																																																										
31	10 9	0																																																																																																																															
有効		無効																																																																																																																															
101	<table border="1"> <tr> <td>31</td> <td>8 7</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	8 7	0	有効		無効																																																																																																																										
31	8 7	0																																																																																																																															
有効		無効																																																																																																																															
110	<table border="1"> <tr> <td>31</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> </tr> </table>	31	0	有効																																																																																																																													
31	0																																																																																																																																
有効																																																																																																																																	
DWL[2:0]	SSITDR/SSIRDR[31:0]																																																																																																																																
000	<table border="1"> <tr> <td>31</td> <td>24 23</td> <td>16 15</td> <td>8 7</td> <td>0</td> </tr> <tr> <td>第1ワード</td> <td>第2ワード</td> <td>第3ワード</td> <td>第4ワード</td> <td></td> </tr> </table>	31	24 23	16 15	8 7	0	第1ワード	第2ワード	第3ワード	第4ワード																																																																																																																							
31	24 23	16 15	8 7	0																																																																																																																													
第1ワード	第2ワード	第3ワード	第4ワード																																																																																																																														
001	<table border="1"> <tr> <td>31</td> <td>16 15</td> <td>0</td> </tr> <tr> <td>第1ワード</td> <td>第2ワード</td> <td></td> </tr> </table>	31	16 15	0	第1ワード	第2ワード																																																																																																																											
31	16 15	0																																																																																																																															
第1ワード	第2ワード																																																																																																																																
010	<table border="1"> <tr> <td>31</td> <td>18 17</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table>	31	18 17	0	無効	有効																																																																																																																											
31	18 17	0																																																																																																																															
無効	有効																																																																																																																																
011	<table border="1"> <tr> <td>31</td> <td>20 19</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table>	31	20 19	0	無効	有効																																																																																																																											
31	20 19	0																																																																																																																															
無効	有効																																																																																																																																
100	<table border="1"> <tr> <td>31</td> <td>22 21</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table>	31	22 21	0	無効	有効																																																																																																																											
31	22 21	0																																																																																																																															
無効	有効																																																																																																																																
101	<table border="1"> <tr> <td>31</td> <td>24 23</td> <td>0</td> </tr> <tr> <td>無効</td> <td>有効</td> <td></td> </tr> </table>	31	24 23	0	無効	有効																																																																																																																											
31	24 23	0																																																																																																																															
無効	有効																																																																																																																																
110	<table border="1"> <tr> <td>31</td> <td>0</td> </tr> <tr> <td colspan="2">有効</td> </tr> </table>	31	0	有効																																																																																																																													
31	0																																																																																																																																
有効																																																																																																																																	
8	DEL	0	R/W	<p>シリアルデータディレイ</p> <p>0：SSIWS と SSIDATA 間で 1 クロックサイクルの遅延</p> <p>1：SSIWS と SSIDATA 間の遅延なし</p>																																																																																																																													

ビット	ビット名	初期値	R/W	説明
7~4	CKDV[3:0]	0000	R/W	<p>シリアルオーバサンプルクロック分周比</p> <p>オーバサンプルクロック (AUDIO) に対するシリアルビットクロックの分周比を設定します。SCKD=0 のとき、これらのビットは無視されます。シリアルビットクロックはシフトレジスタで使われ、SSISCK 端子から供給されます。</p> <p>0000 : AUDIO</p> <p>0001 : AUDIO /2</p> <p>0010 : AUDIO /4</p> <p>0011 : AUDIO /8</p> <p>0100 : AUDIO /16</p> <p>0101 : AUDIO /32</p> <p>0110 : AUDIO /64</p> <p>0111 : AUDIO /128</p> <p>1000 : AUDIO /6</p> <p>1001 : AUDIO /12*</p> <p>1010 : AUDIO /24</p> <p>1011 : AUDIO /48*</p> <p>1100 : AUDIO /96*</p> <p>1101 : 設定禁止</p> <p>1110 : 設定禁止</p> <p>1111 : 設定禁止</p> <p>【注】* チャネル0のみ設定可。チャネル1~5は設定禁止です。</p>
3	MUEN	0	R/W	<p>ミュートイネーブル</p> <p>0 : 本モジュールはミュート状態でない</p> <p>1 : 本モジュールはミュート状態</p> <p>【注】ミュート状態では、出力するシリアルデータを0に置き換えますが、モジュール内部のデータ転送は停止しません。送信 FIFO のデータ数は減少していきますので、送信アンダフローを発生させないためには、SSIFTDR にダミーデータを書き込んでください。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に0にしてください。</p>
1	TEN	0	R/W	<p>送信イネーブル</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可</p>
0	REN	0	R/W	<p>受信イネーブル</p> <p>0 : 受信動作を禁止</p> <p>1 : 受信動作を許可</p>

21.3.2 ステータスレジスタ (SSISR)

SSISR は、本モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	TUIRQ	TOIRQ	RUIRQ	ROIIRQ	IIRQ	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	0	0	0	0	1	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	TCHNO[1:0]	TSWNO	RCHNO[1:0]	RSWNO	IDST		
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	1	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * 読み出し / 書き込み可能。0を書き込むビットは初期化されますが、1の書き込みは無視されます。

ビット	ビット名	初期値	R/W	説明
31、30	-	不定	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
29	TUIRQ	0	R/(W)*	送信アンダフローエラー割り込みステータスフラグ 本ステータスフラグは要求ルートにより低いレートで送信データが供給されたことを示します。 このビットは、TUIEN ビットの設定にかかわらず1にセットされます。0にクリアするには、0を書き込んでください。 TUIRQ = 1 かつ TUIEN = 1 のとき、割り込みが発生します。 TUIRQ = 1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが1回多く送信される可能性があり、マルチチャンネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されます。 【注】 アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。
28	TOIRQ	0	R/(W)*	送信オーバフローエラー割り込みステータスフラグ 本ステータスフラグは要求ルートより高いレートで送信データが供給されたことを示します。 このビットは、TOIEN ビットの設定にかかわらず1にセットされます。0にクリアするには、0を書き込んでください。 TOIRQ = 1 かつ TOIEN = 1 のとき、割り込みが発生します。 TOIRQ = 1 のとき、送信 FIFO がフル (TDC = H'8) の状態で SSIFTDR への書き込みが発生したことを示しています。これによりデータが損失される可能性があり、マルチチャンネルデータの破壊につながる恐れがあります。

ビット	ビット名	初期値	R/W	説明
27	RUIRQ	0	R/(W)*	<p>受信アンダフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより低いレートで受信データが供給されたことを示します。</p> <p>このビットは、RUIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>RUIRQ = 1 かつ RUIEN = 1 のとき、割り込みが発生します。</p> <p>RUIRQ = 1 のとき、受信 FIFO が空 (RDC = H'0) の状態で SSIFRDR が読み出されたことを示しています。このとき、無効な受信データが格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p>
26	ROIHQ	0	R/(W)*	<p>受信オーバフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートで受信データが供給されたことを示します。</p> <p>このビットは ROIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>ROIHQ = 1 かつ ROIEN = 1 のとき、割り込みが発生します。</p> <p>ROIHQ = 1 のとき、SSIRDR に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>【注】オーバフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。</p>
25	IIRQ	1	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは本モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、I IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、I IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んででも割り込みをクリアできません。</p> <p>I IIRQ = 1 かつ I IEN = 1 のとき、割り込みが発生します。</p> <p>0 : 本モジュールはアイドル状態でない 1 : 本モジュールはアイドル状態</p>
24~7	-	不定	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
6、5	TCHNO [1:0]	00	R	<p>送信チャンネル番号</p> <p>現在のチャンネルを示します。</p> <p>このビットには、SSITDR にどのチャンネルのデータを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかがかわらず、この値は変化します。</p> <p>TDM = 1 または CONT = 1 の場合は、本ビットは使用できません。</p>

ビット	ビット名	初期値	R/W	説明
4	TSWNO	1	R	送信シリアルワード番号 現在のワード番号を示します。 このビットには、SSITDR にどちらかのシステムワードを書き込むべきかを表します。データをシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。 TDM = 1 または CONT = 1 の場合は、本ビットは使用できません。
3、2	RCHNO [1:0]	00	R	受信チャンネル番号 現在のチャンネルを示します。 このビットは、SSIRDR 内の現在のデータがどのチャンネルのものかを表します。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。 TDM = 1 または CONT = 1 の場合は、本ビットは使用できません。
1	RSWNO	1	R	受信シリアルワード番号 現在のワード番号を示します。 このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表します。SSIRDR が読み出されたかどうかにかかわらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。 TDM = 1 または CONT = 1 の場合は、本ビットは使用できません。
0	IDST	1	R	アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。 TEN = 1 または REN = 1 の状態でシリアルバスが動作中のとき、このビットはクリアされます。 このビットは TEN、REN がともにクリアされ、現在のシステムワードの通信が終了すると、自動的に 1 にセットされます。 【注】現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。

【注】 * 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

21.3.3 トランスミットデータレジスタ (SSITDR)

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。SSITDR へ格納する送信データは送信 FIFO データレジスタから自動的に転送されます。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

CPU から SSITDR の読み出し / 書き込みをすることはできません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

21.3.4 レシーブデータレジスタ (SSIRDR)

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。SSIRDR に格納された受信データは受信 FIFO データレジスタへ自動的に転送されます。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

CPU から SSIRDR の読み出し / 書き込みをすることはできません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

21.3.5 FIFO コントロールレジスタ (SSIFCR)

SSIFCR は、送信、および受信 FIFO データレジスタのデータトリガ数、リセットおよび割り込み要求イネーブルの設定を行うレジスタです。また、SSIFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TTRG[1:0]	RTRG[1:0]	TIE	RIE	TFRST	FRFRST		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7, 6	TTRG[1:0]	00	R/W	送信データ数トリガ 送信動作時に、FIFO ステータスレジスタ (SSIFSR) の TDE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。送信 FIFO データレジスタ (SSIFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDE フラグは 1 にセットされます。 00 : 7 (1) * 01 : 6 (2) * 10 : 4 (4) * 11 : 2 (6) * 【注】* () 内の数値は TDE フラグが 1 にセットされるとき SSIFTDR レジスタの空き段数を意味します。
5, 4	RTRG[1:0]	00	R/W	受信データ数トリガ 受信動作時に、FIFO ステータスレジスタ (SSIFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。受信 FIFO データレジスタ (SSIFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。 00 : 1 01 : 2 10 : 4 11 : 6

ビット	ビット名	初期値	R/W	説明
3	TIE	0	R/W	<p>送信インタラプトイネーブル</p> <p>送信動作時に、送信 FIFO データレジスタ (SSIFTDR) からトランスミットデータレジスタ (SSITDR) へシリアル送信データが転送され、送信 FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、FIFO ステータスレジスタ (SSIFSR) の TDE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。</p> <p>0: 送信データエンプティ割り込み (TXI) 要求を禁止 1: 送信データエンプティ割り込み (TXI) 要求を許可*</p> <p>【注】* TXI の解除は、TDE フラグの 0 クリア (詳細は TDE ビットの説明参照) か、TIE を 0 にクリアすることで行うことができます。</p>
2	RIE	0	R/W	<p>受信インタラプトイネーブル</p> <p>受信動作時に、FIFO ステータスレジスタ (SSIFSR) の RDF フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求の発生を許可 / 禁止します。</p> <p>0: 受信データフル割り込み (RXI) 要求を禁止 1: 受信データフル割り込み (RXI) 要求を許可*</p> <p>【注】* RXI 割り込み要求の解除は、RDF フラグの 0 クリア (詳細は RDF ビットの説明参照) か、RIE ビットを 0 にクリアすることで行えます。</p>
1	TFRST	0	R/W	<p>送信 FIFO データレジスタリセット</p> <p>送信 FIFO データレジスタ内のデータを無効にし、データを空の状態にリセットします。</p> <p>0: リセット動作を禁止* 1: リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
0	RFRST	0	R/W	<p>受信 FIFO データレジスタリセット</p> <p>受信 FIFO データレジスタ内のデータを無効にし、データを空の状態にリセットします。</p> <p>0: リセット動作を禁止* 1: リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>

21.3.6 FIFO ステータスレジスタ (SSIFSR)

SSIFSR は、送信、および受信 FIFO データレジスタの動作状態を示すステータスフラグで構成されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	TDC[3:0]				-	-	-	-	-	-	-	-	TDE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	RDC[3:0]				-	-	-	-	-	-	-	-	RDF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*	

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27~24	TDC[3:0]	0000	R	SSIFTDR に格納されたデータ数を示します。 H'0 は送信データがないことを、H'8 は 32 バイトの送信データが SSIFTDR に格納されていることを示します。
23~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	TDE	1	R/(W)*	送信データエンプティ 送信 FIFO データレジスタ (SSIFTDR) からトランスミットデータレジスタ (SSITDR) にデータが転送され、SSIFTDR のデータ数が FIFO コントロールレジスタ (SSIFCR) の TTRG[1:0] で指定した送信トリガデータ数より少なくなり、SSIFTDR への送信データの書き込みが許可されることを示します。 0: SSIFTDR の送信データ数が指定送信トリガ数より多いことを表示 [クリア条件] <ul style="list-style-type: none"> 指定送信トリガ数より多いデータを SSIFTDR に書き込み、TDE に 0 を書き込んだとき 送信データエンプティ割り込み (TXI) によりダイレクトメモリアクセスコントローラを起動し、指定送信トリガ数より多いデータを SSIFTDR に書き込んだとき 1: SSIFTDR の送信データ数が指定送信トリガ数以下であること*1 を表示 [セット条件] <ul style="list-style-type: none"> パワーオンリセット SSIFTDR に格納された送信データ数が指定送信トリガ数以下になったとき 【注】 *1 SSIFTDR は 8 段の FIFO レジスタであるため、TDE = 1 の状態で書き込むことができるデータの最大数は「8 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SSIFTDR のデータ数は SSIFSR の TDC ビットで示されます。

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~8	RDC[3:0]	0000	R	SSIFRDR に格納されたデータ数を示します。 H'0 は受信データがないことを、H'8 は 32 バイトの受信データが SSIFRDR 格納されていることを示します。
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RDF	0	R/(W)*	<p>受信データフル</p> <p>受信データが受信 FIFO データレジスタ (SSIFRDR) に転送され、SSIFRDR のデータ数が FIFO コントロールレジスタ (SSIFCR) の RTRG[1:0]で指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SSIFRDR の受信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • RFRST に 1 を書き込んで受信 FIFO を空にした後、RDF に 0 を書き込んだとき • SSIFRDR の受信データ数が指定受信トリガ数より少なくなるまで SSIFRDR を読み出し、RDF に 0 を書き込んだとき • 受信データフル割り込み (RXI) によりダイレクトメモリアクセスコントローラを起動し、SSIFRDR の受信データ数が指定受信トリガ数より少なくなるまで SSIFRDR を読み出したとき <p>1 : SSIFRDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数以上の受信データ数が SSIFRDR に格納されるとき*1 <p>【注】*1 SSIFRDR は 8 段の FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SSIFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SSIFRDR のデータ数は SSIFSR の RDC ビットで示されます。</p>

【注】 * 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

21.3.7 送信 FIFO データレジスタ (SSIFTDR)

SSIFTDR は、シリアル送信するデータを格納する 32 ビット×8 段 FIFO レジスタです。SSI は、トランスミットデータレジスタ (SSITDR) の空を検出すると、SSIFTDR に書き込まれた送信データを SSITDR に転送してシリアル送信を開始します。SSIFTDR の送信データが空になるまで連続シリアル送信ができます。SSIFTDR は常に CPU による書き込みが可能です。

SSIFTDR が送信データでいっぱい (32 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視され、オーバフローとなります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

【注】* FIFO受信動作時は書き込みできません。

21.3.8 受信 FIFO データレジスタ (SSIFRDR)

SSIFRDR は、受信したシリアルデータを格納する 32 ビット×8 段 FIFO レジスタです。本モジュールは、4 バイトのシリアルデータの受信が終了すると、レシーブデータレジスタ (SSIRDR) から SSIFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。32 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SSIFRDR から読み出しはできますが書き込みはできません。受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になり、受信アンダフローとなります。

SSIFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われ、受信オーバフローとなります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

21.3.9 TDM モードレジスタ (SSITDMR)

SSITDMR は、読み出し / 書き込み可能な 32 ビットのレジスタで、TDM モードの設定、WS コンティニューモードの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CONT	-	-	-	-	-	-	-	TDM
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	CONT	0	R/W	WS コンティニューモード 0 : WS コンティニューモードを禁止 1 : WS コンティニューモードを許可 【注】 マスタモード (SCKD = 1 かつ SWSD = 1) の場合のみ設定可能です。
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TDM	0	R/W	TDM モード 0 : TDM モードを禁止 1 : TDM モードを許可

21.4 動作説明

21.4.1 バスフォーマット

本モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 21.3 に示す 12 個の主要なモードから選択できます。

表 21.3 バスフォーマット

	TEN	REN	SCKD	SWSD	TDM	MUEN	IEN	TOIEN	TUIEN	ROIEN	RUIEN	CONT	SWSP	DEL	PDTA	SDTA	SPDP	SCKP	SWL [2:0]	DWL [2:0]	CHNL [1:0]	
非圧縮スレーブレシーバ	0	1	0	0	0	コントロールビット						コンフィギュレーションビット										
非圧縮スレーブトランスミッタ	1	0	0	0	0																	
非圧縮スレーブトランシーバ	1	1	0	0	0																	
非圧縮マスタレシーバ	0	1	1	1	0																	
非圧縮マスタトランスミッタ	1	0	1	1	0																	
非圧縮マスタトランシーバ	1	1	1	1	0																	
TDM スレーブレシーバ	0	1	0	0	1							0	コンフィギュレーションビット									
TDM スレーブトランスミッタ	1	0	0	0	1							0										
TDM スレーブトランシーバ	1	1	0	0	1							0										
TDM マスタレシーバ	0	1	1	1	1							0										
TDM マスタトランスミッタ	1	0	1	1	1							0										
TDM マスタトランシーバ	1	1	1	1	1							0										

21.4.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。I²S 互換フォーマットだけでなく、多数の改良版にも対応しています。

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が本モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が本モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(3) スレーブトランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が本モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは本モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(5) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは本モジュールのコンフィギュレーションビットの設定に従います。

(6) マスタトランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは本モジュールのコンフィギュレーションビットの設定に従います。

(7) 動作設定 - ワード長関連

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。本モジュールは多数のコンフィギュレーションをサポートできますが、ここでは I²S 互換、MSB ファースト・左詰め、MSB ファースト・右詰め、各フォーマットについて説明します。

- I²S互換フォーマット

図 21.2、図 21.3 に、パディングなしとパディングありの I²S 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

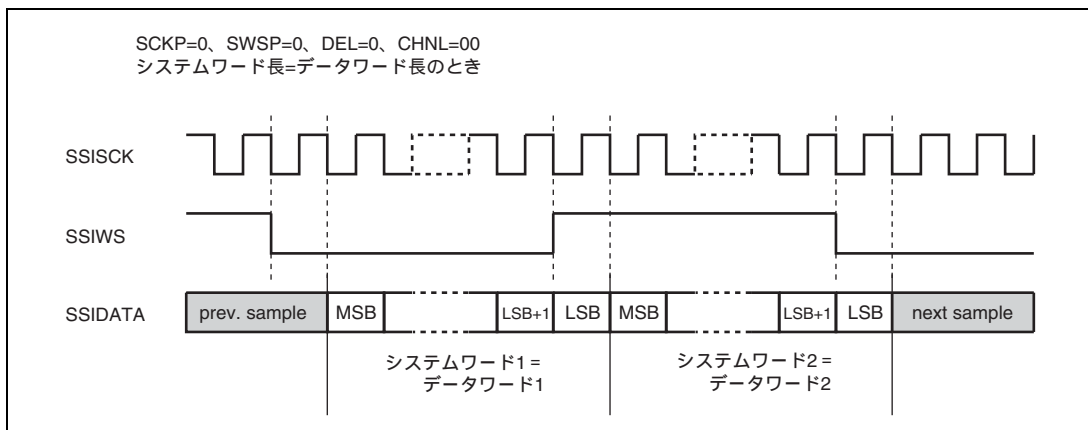
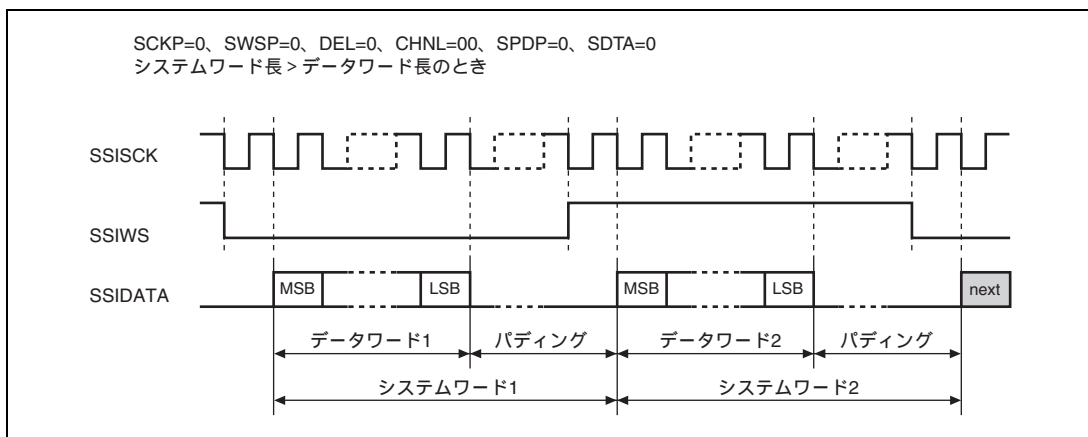
図 21.2 I²S 互換フォーマット (パディングなし)図 21.3 I²S 互換フォーマット (パディングあり)

図 21.4 に MSB ファースト・左詰めフォーマットを、図 21.5 に MSB ファースト・右詰めフォーマットを示します。

- MSBファースト・左詰めフォーマット

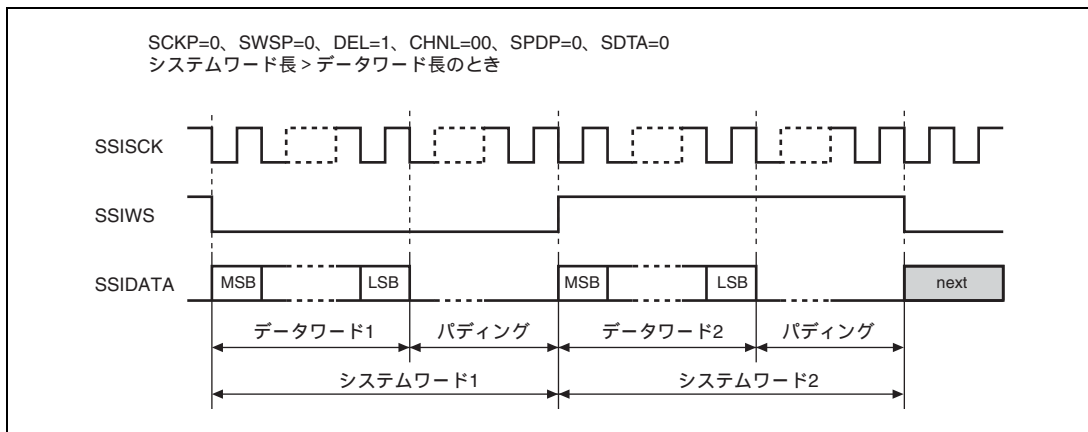


図 21.4 MSB ファースト・左詰めフォーマット (シリアルデータ、パディングビットの順に送受信)

- MSBファースト・右詰めフォーマット

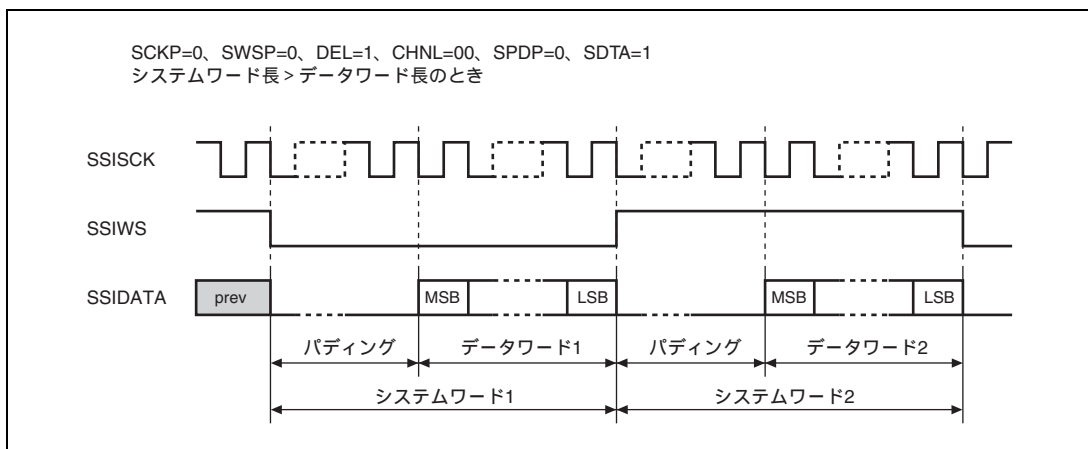


図 21.5 MSB ファースト・右詰めフォーマット (パディングビット、シリアルデータの順に送受信)

(8) マルチチャンネルフォーマット

I²S バス仕様の定義を拡張し、2 システムワード中に 2 より多いチャンネルの転送を行うデバイスタイプもあります。

本モジュールは、CHNL、SWL および DWL ビットを使って、4、6、および 8 チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 21.4 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

表 21.4 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2:0]	000	001	010	011	100	101	110
CHNL [1:0]	システムワードごとに デコードされるチャンネル	SWL [2:0]	デコードされた ワード長	8	16	18	20	22	24	32
00	1	000	8	0	-	-	-	-	-	-
		001	16	8	0	-	-	-	-	-
		010	24	16	8	6	4	2	0	-
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	-	-	-	-	-	-	-
		001	16	0	-	-	-	-	-	-
		010	24	8	-	-	-	-	-	-
		011	32	16	0	-	-	-	-	-
		100	48	32	16	12	8	4	0	-
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	0	-	-	-	-	-	-
		011	32	8	-	-	-	-	-	-
		100	48	24	0	-	-	-	-	-
		101	64	40	16	10	4	-	-	-
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	-	-	-	-	-	-	-
		011	32	0	-	-	-	-	-	-
		100	48	16	-	-	-	-	-	-
		101	64	32	0	-	-	-	-	-
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

本モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。本モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 21.6 ~ 図 21.8 に、4、6 および 8 チャンルのデータがどのようにシリアルオーディオバスに転送されるかを示します。図 21.6 はパディングビットがない場合、図 21.7 は左詰めの場合、図 21.8 は右詰めの場合を示します。これらの例は、すべて任意の例です。

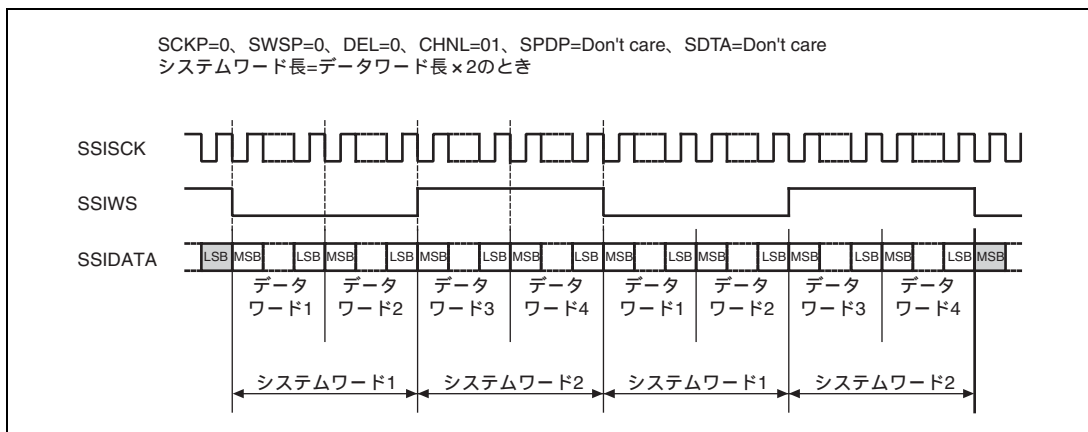


図 21.6 マルチチャンネルフォーマット (4チャンネル、パディングなし)

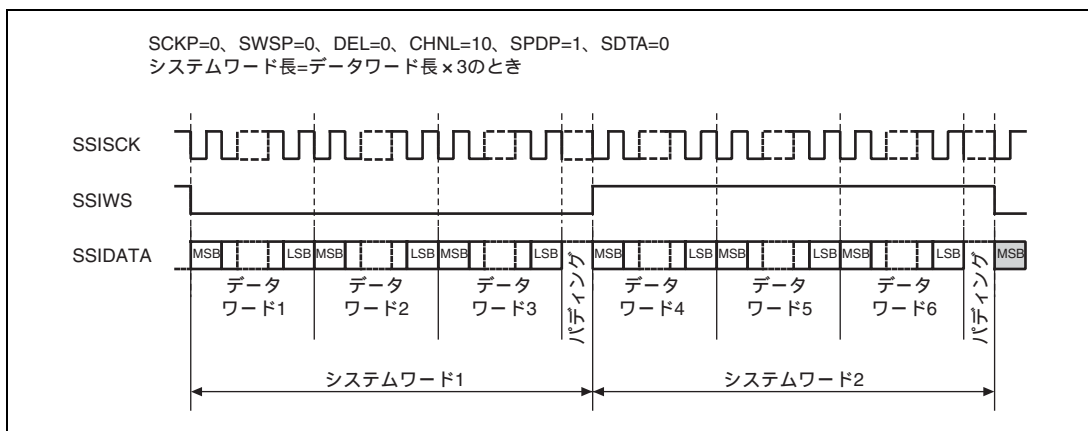


図 21.7 マルチチャンネルフォーマット (6チャンネル、Highパディング)

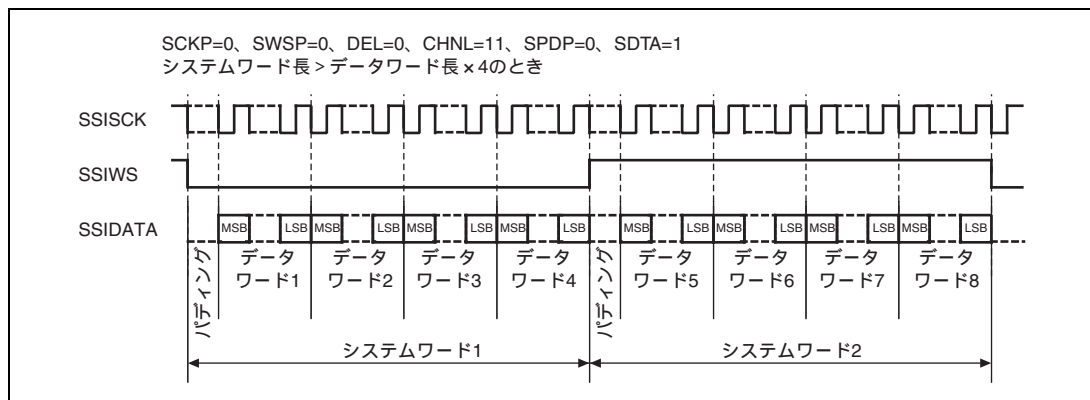


図 21.8 マルチチャンネルフォーマット
(8チャンネル、パディングビット、シリアルデータの順に送受信、パディングあり)

(9) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 21.9 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

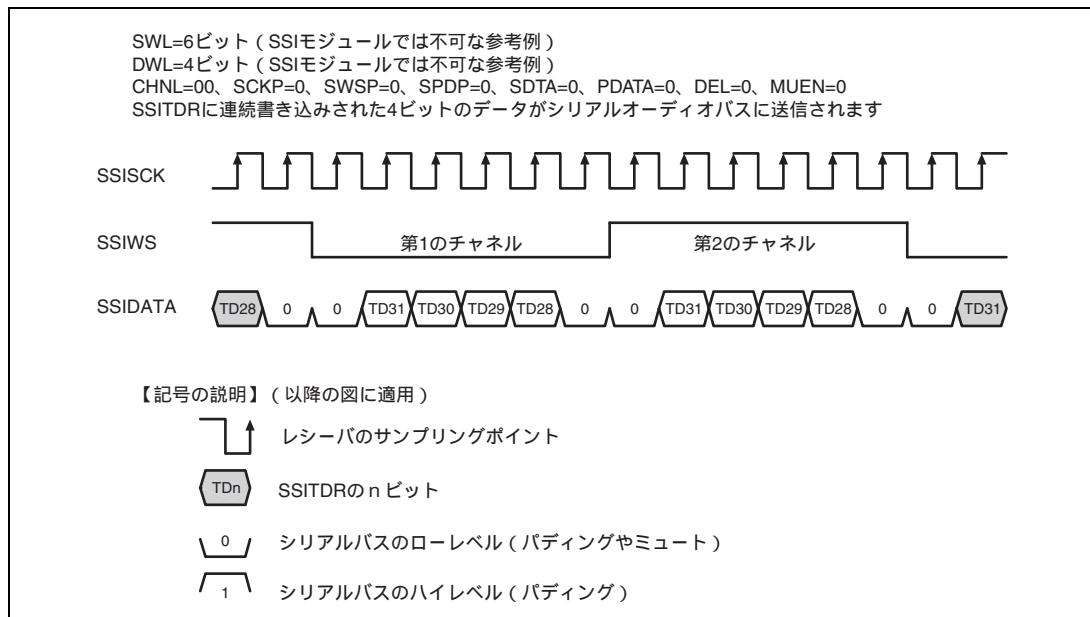


図 21.9 基本フォーマット例 (送信モード、任意のシステム/データワード長)

図 21.9 の例では、6 ビットのシステムワードと 4 ビットのデータワードが使用されます。これらの設定は本モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

- 反転クロック

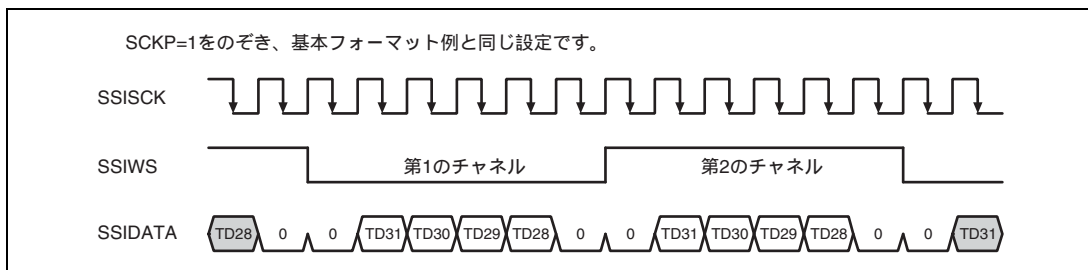


図 21.10 反転クロック

- 反転ワード選択信号

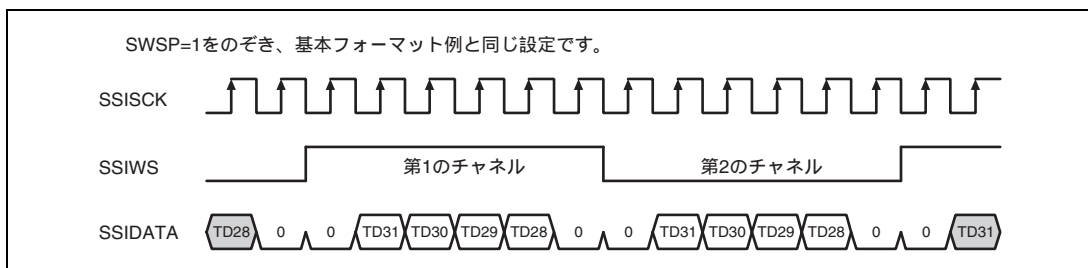


図 21.11 反転ワード選択信号

- 反転パディング極性

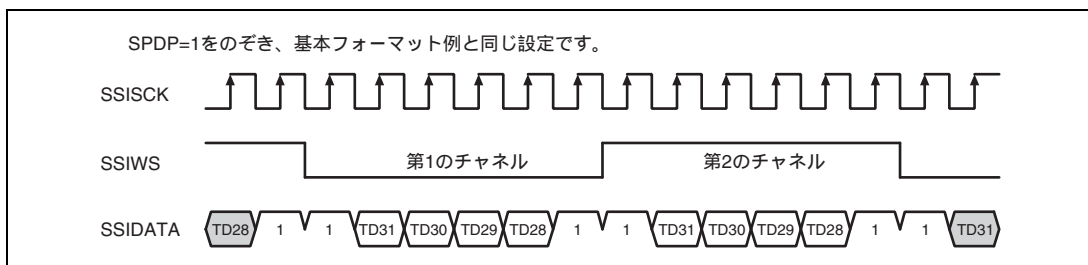


図 21.12 反転パディング極性

- パディングビット、シリアルデータの順に送受信、遅延あり

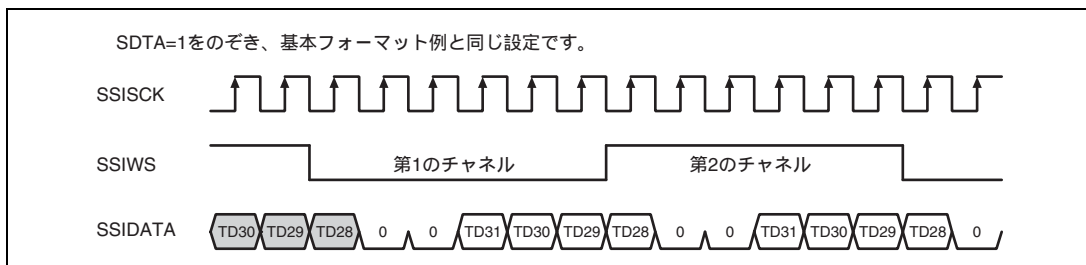


図 21.13 パディングビット、シリアルデータの順に送受信、遅延あり

- パディングビット、シリアルデータの順に送受信、遅延なし

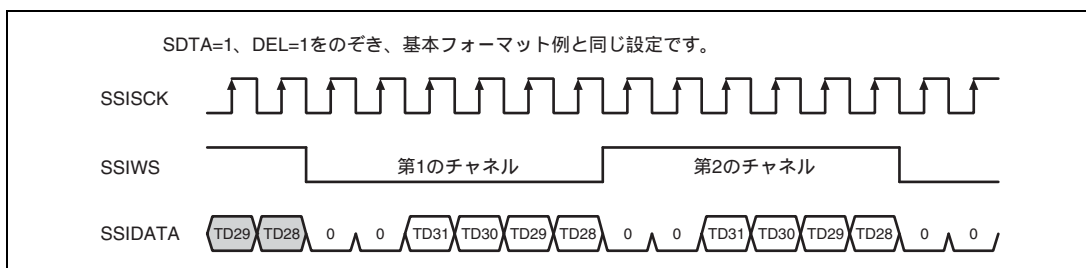


図 21.14 パディングビット、シリアルデータの順に送受信、遅延なし

- シリアルデータ、パディングビットの順に送受信、遅延なし

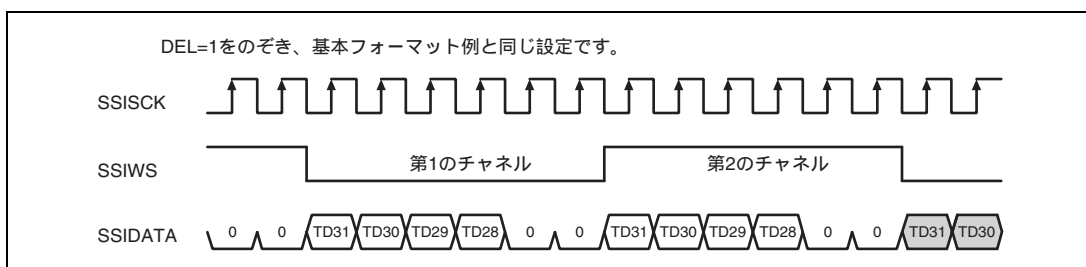


図 21.15 シリアルデータ、パディングビットの順に送受信、遅延なし

- パラレルデータの右詰め、遅延あり

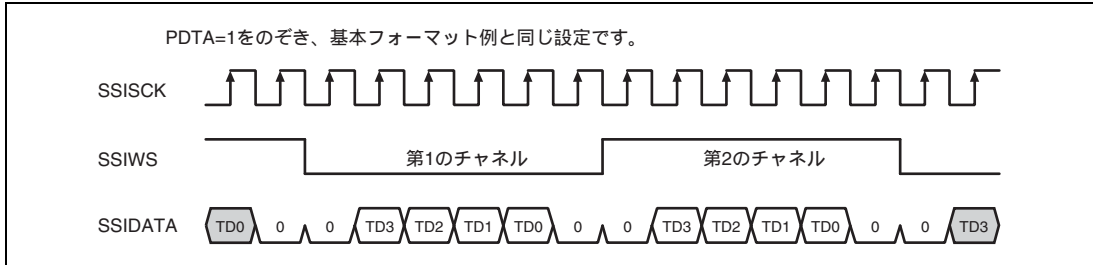


図 21.16 パラレルデータの右詰め、遅延あり

- ミュート有効

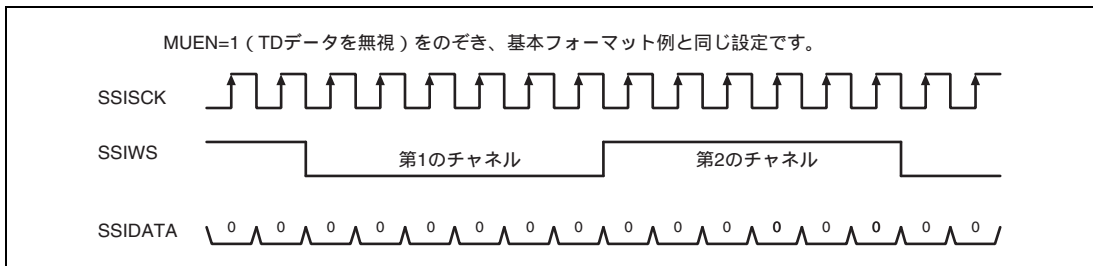


図 21.17 ミュート有効

21.4.3 TDM モード

TDM モードは、TDM 対応のマルチチャネル・デバイスと接続するためのモードです。このモードは TDM モードレジスタ (SSITDMR) の TDM ビットにて設定できます。このモードに設定すると、SSIWS 信号はシステムワード 1 の区間のみハイレベルとなり、それ以外の区間はローレベルになります。この SSIWS 信号に発生するパルスを SYNC パルスと定義します。なお、SYNC パルスは、正極性 (システムワード 1 の区間のみハイレベル) のみで動作します。

図 21.18 にパディングなしの TDM フォーマットと図 21.19 にパディングありの TDM フォーマットを示します。

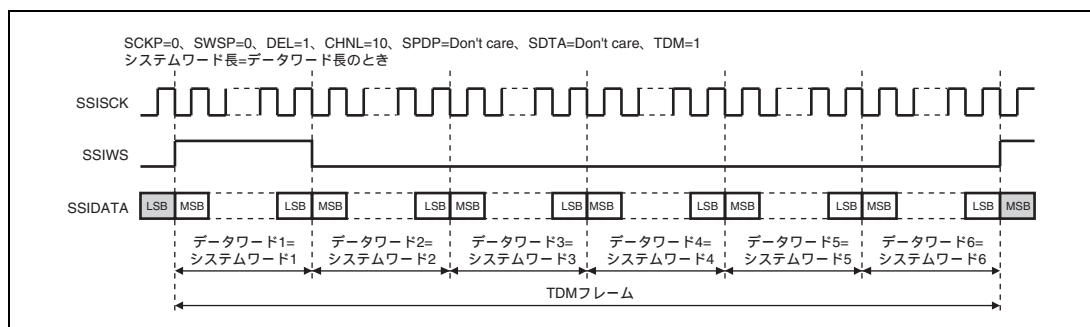


図 21.18 TDM フォーマット (6 システムワード、パディングなし)

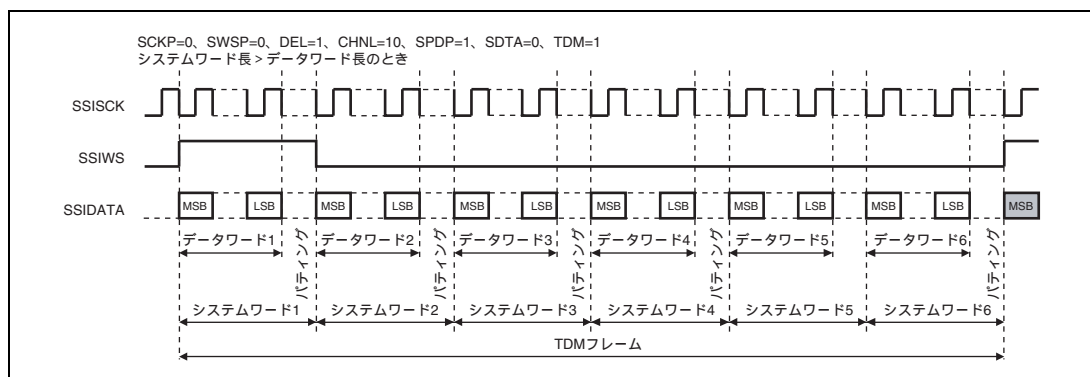


図 21.19 TDM フォーマット (6 システムワード、パディングあり)

21.4.4 WS コンティニューモード

WS コンティニューモードは、データ転送の許可/禁止に関係なく SSIWS 信号を出力し続けるモードです。このモードは TDM モードレジスタ(SSITDMR)の CONT ビットにて設定できます。このモードを許可すると、SSICR.TEN ビットおよび SSICR.REN ビットを 0 に設定（転送停止）しても SSIWS 信号は停止せず動作し続けます。一方、このモードを禁止すると、SSICR.TEN ビットおよび SSICR.REN ビットをいずれも 0 に設定した場合は、SSIWS 信号が停止します。

図 21.20、図 21.21 に WS コンティニューモードの許可 / 禁止設定の動作を示します。

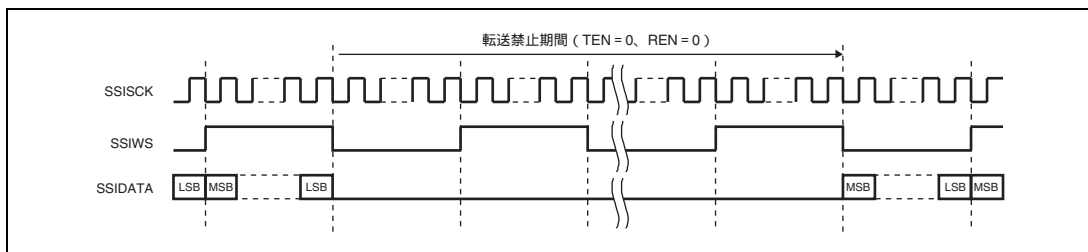


図 21.20 WS コンティニューモード許可

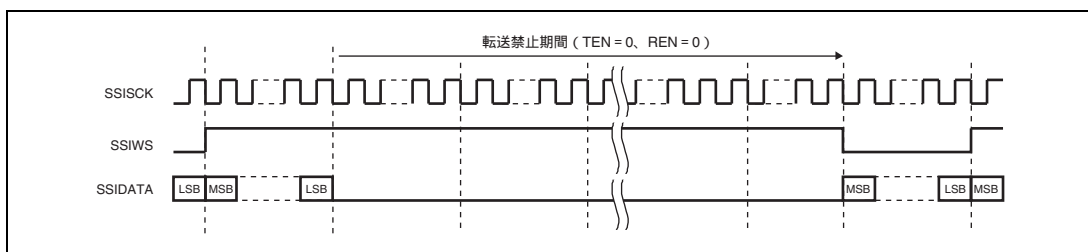


図 21.21 WS コンティニューモード禁止

21.4.5 動作モード

コンフィギュレーション、有効および無効の3つの動作モードがあります。図 21.22 に動作モードの遷移図を示します。

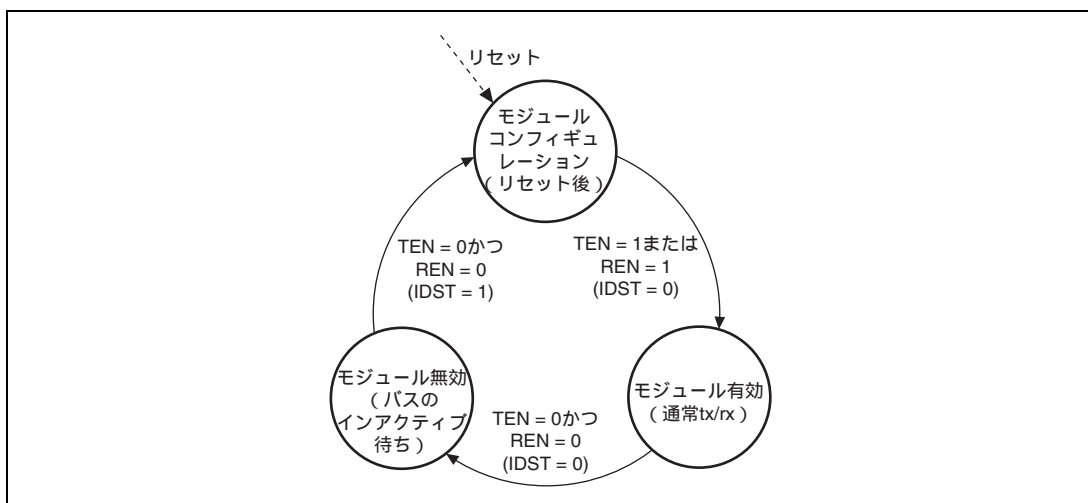


図 21.22 動作モード遷移図

(1) コンフィギュレーションモード

リセット解除後にこのモードになります。本モジュールがTENビットまたはRENビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

TENビットまたはRENビットをセットすると、本モジュールはモジュール有効モードに遷移します。

(2) モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「21.4.6 送信動作」と「21.4.7 受信動作」を参照してください。

21.4.6 送信動作

送信は DMA 転送か割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバフローの発生時、または DMA 転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて本モジュールがデータ供給のために生成する割り込みを用いる方法があります。

本モジュールを無効にする場合、IIRQ ビットがアイドル状態を示すまでクロック*は供給され続けなければなりません。

図 21.23 に DMA 制御モードの送信動作を、図 21.24 に割り込み制御モードの送信動作を示します。

【注】 * SCKD=0 のとき SSISCK 端子からの入力クロック
SCKD=1 のときオーバサンプルクロック

(1) ダイレクトメモリアクセスコントローラを使用した送信

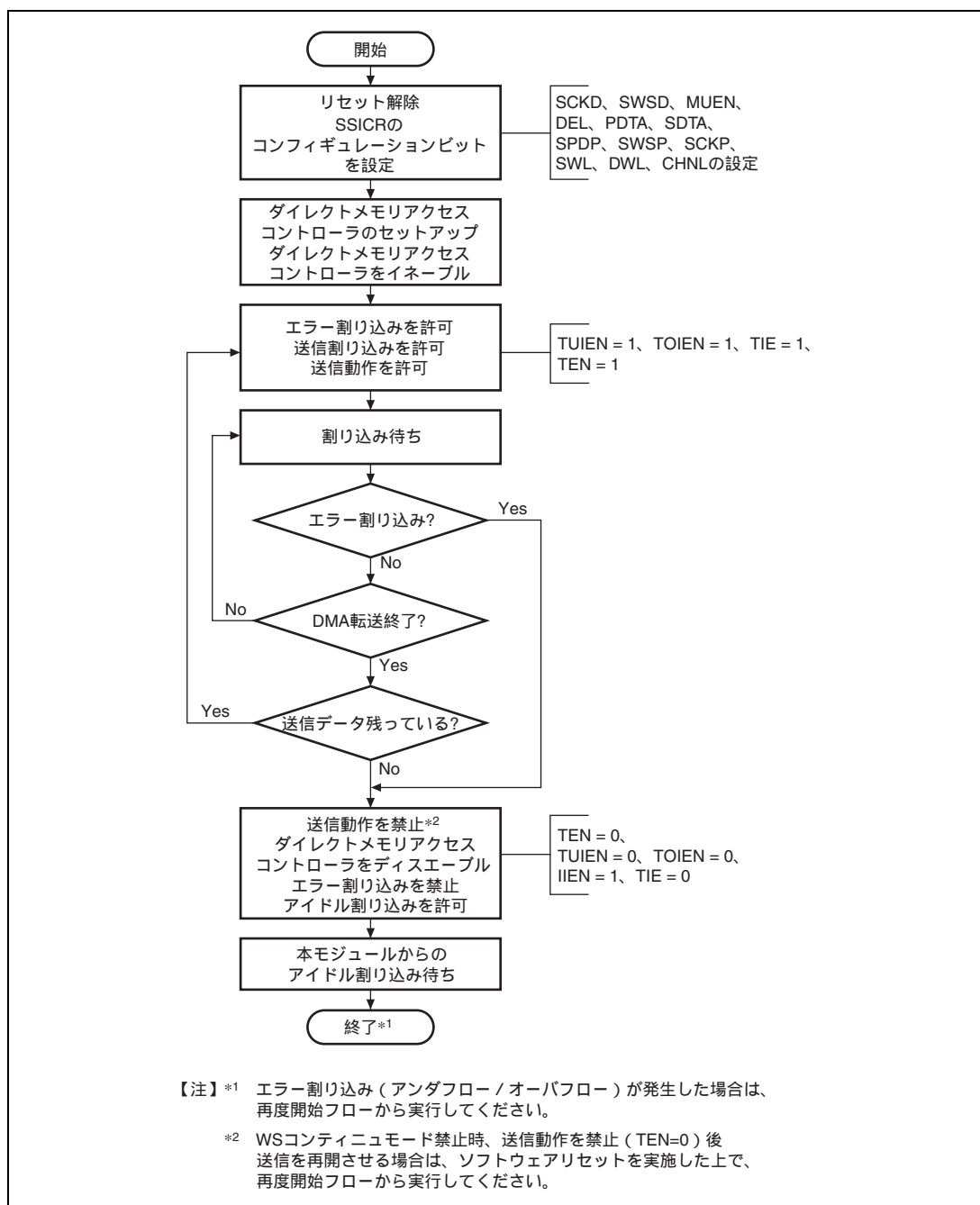


図 21.23 ダイレクトメモリアクセスコントローラを使用した送信

(2) 割り込みデータフロー制御を使用した送信

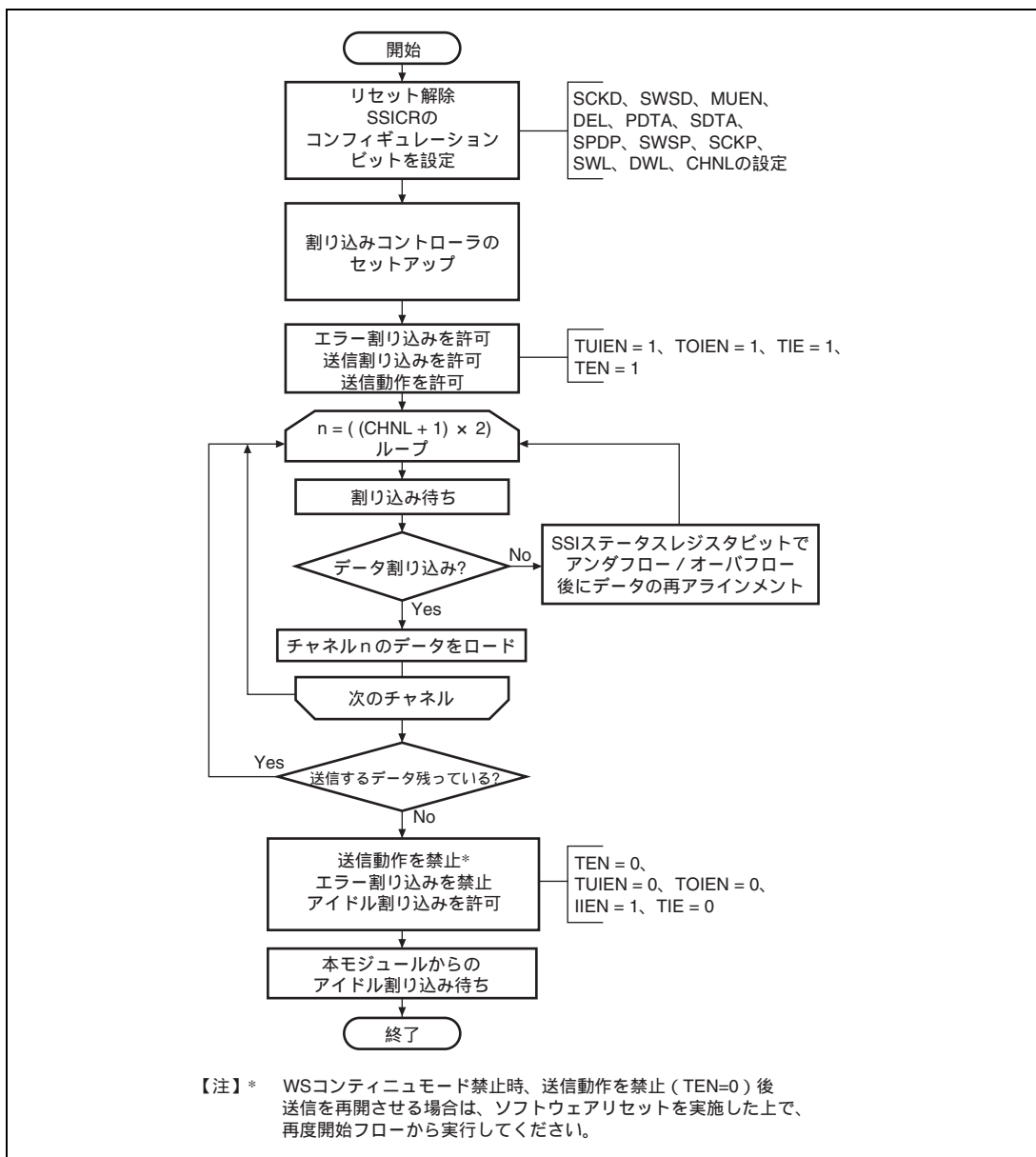


図 21.24 割り込みデータフロー制御を使用した送信

21.4.7 受信動作

送信同様、受信も DMA 転送または割り込みで制御できます。

図 21.25、図 21.26 にそれぞれの動作フローチャートを示します。

本モジュールを無効にする場合、IIRQ ビットがアイドル状態を示すまでクロック*は供給され続けなければなりません。

- 【注】 * SCKD = 0 のとき SSISCK 端子からの入力クロック
SCKD = 1 のときオーバサンプルクロック

(1) ダイレクトメモリアクセスコントローラを使用した受信

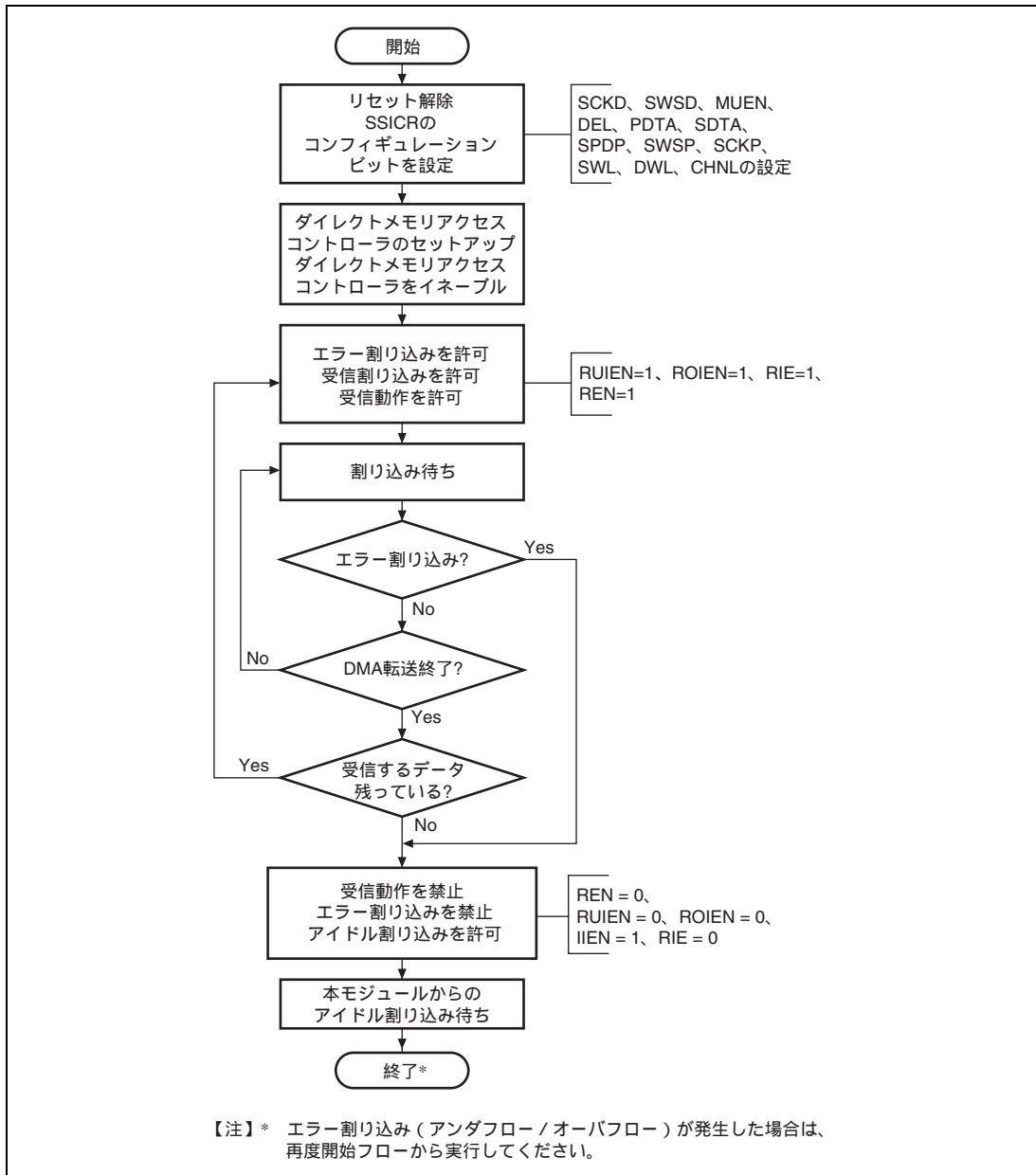


図 21.25 ダイレクトメモリアクセスコントローラを使用した受信

(2) 割り込みデータフロー制御を使用した受信

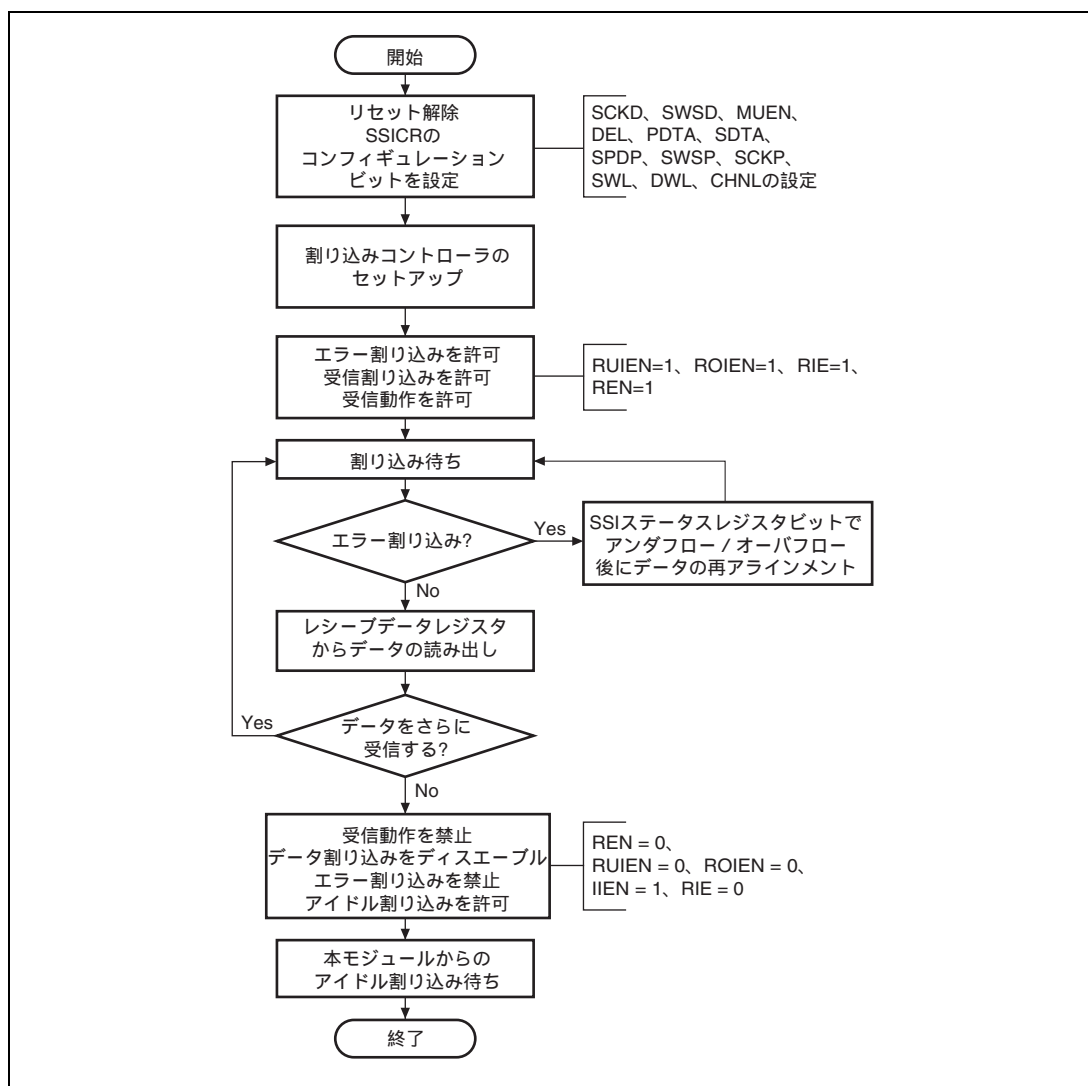


図 21.26 割り込みデータフロー制御を使用した受信

アンダフローやオーバーフロー条件が一致した場合、送信時は TCHNO[1:0]ビットと TSWNO ビットを、受信時は RCHNO[1:0]ビットと RSWNO ビットを使って、本モジュールを一致する前の状態に回復できます。アンダフローやオーバーフローが発生したら、ホスト CPU はチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。トランスミッタとして動作する場合、本モジュールが次に送信する予定のデータに到達するまでホスト CPU は送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、本モジュールが次に受信すると示しているデータを格納できるようになるまでホスト CPU はヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

21.4.8 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SCKD=0)、本モジュールはクロックスレープモードであり、シフトレジスタが使うビットクロックは SSISCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SCKD=1)、本モジュールはクロックマスタモードであり、シフトレジスタが使うビットクロックはオーバサンプルクロックまたはそれを分周したクロックです。オーバサンプルクロックは、SSICR のシリアルオーバサンプルクロック分周比 (CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSISCK 端子の出力はビットクロックと同じになります。

21.5 使用上の注意事項

21.5.1 DMA 動作中にアンダフローまたはオーバフローが起こった場合の制限事項

DMA 動作中にアンダフローまたはオーバフローが起こった場合、モジュールの再起動が必要です。送信バッファおよび受信バッファは L チャンネルと R チャンネルが共用の 32 ビットのレジスタで構成しています。そのため、たとえばコントロールレジスタ (SSICR) のデータワード長 (DWL2~DWL0) が 32 ビットの設定で、システムワード長 (SWL2~SWL0) が 32 ビットの設定の場合、アンダフローまたはオーバフローが一度発生すると、L チャンネルで送受信すべきデータを、R チャンネルで送受信してしまうことがあります。

そこで、送信アンダフロー、送信オーバフロー、受信アンダフロー、受信オーバフローの 4 通りのエラー割り込み、またはこれらに対応するエラーステータスフラグ (SSISR の TUIRQ、TOIRQ、RUIRQ、ROIrq の各ビット) によりエラーの発生を確認した場合、SSICR の TEN または REN ビットに 0 を書き込むことにより、DMA 転送要求を禁止して動作を停止させてください (このときダイレクトメモリアクセスコントローラの設定も停止させてください)。その後、受信動作時はエラーステータスフラグビットに 0 を書き込み、エラーステータスをクリアし、再度ダイレクトメモリアクセスコントローラの設定を行い転送を再開してください。

送信動作時はソフトウェアリセットを実施したうえで再度開始フローから実行してください。

21.5.2 マスタランシーバからマスタレシーバへモードを切り替える場合の注意

WS コンティニューモード禁止 (SSITDMR.CONT=0) の状態で、マスタランシーバモードでの動作中に送信アンダフローが発生し、SSICR の TEN ビットに 0 を書き込んで送信動作を停止した場合、SSIWS 出力が途切れます。マスタレシーバモードへ切り替えた後も途切れることなく受信を続ける場合は、送信アンダフローが発生しないよう、SSIFTDR にダミーデータを書き込んでください。

21.5.3 TDM モード、WS コンティニューモードの制限事項

TDM モード、WS コンティニューモードの設定を切り替える場合、切り替え直後の SSISCK 信号、SSIWS 信号の動作は保証されません。接続するデバイスに影響する場合は、動的に設定を切り替えないでください。

WS コンティニューモード許可 (SSITDMR.CONT = 1) 時、送信動作の一時停止、再開を行う際は、送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を 2 の倍数で終了させたのち、送信アンダーフローのエラー割り込み、または対応するエラーステータスフラグ (SSISR.TUIRQ) によりエラーの発生を確認してから、SSISCR の TEN に 0 を書き込んでください。

なお、SSISCR.TEN=1 で送信アンダーフロー発生時は、SSIFTDR に書き込んだ最後のデータが繰り返し出力されますので、最後のデータはダミーデータを書き込むか、SSISCR の MUEN に 1 を書き込んでミュート状態にしてください。

再開時はソフトウェアリセットの実施は行わず、エラーステータスフラグビットに 0 を書き込み、エラーステータスをクリアしたのち、アイドルモードステータスフラグ (SSISR.IDST) によりモジュールがアイドル状態であることを確認してから、SSISCR の TEN に 1 を書き込んで動作を再開させてください。

22. FIFO 付きクロック同期シリアル I/O

本 LSI は、FIFO 付きクロック同期シリアル I/O を内蔵しています。

22.1 特長

- シリアル転送

FIFO容量32ビット×16段（送受信独立）

8ビットモノラル/16ビットモノラル/16ビットステレオ音声入出力に対応

データの送信はMSBが先頭（MSB First）

サンプリングレート最大48kHzに対応

同期方法はフレーム同期パルスに対応

リニア/オーディオ/A-Law、 μ -Law CODECチップに接続可能

マスタ/スレーブ両モードに対応

- シリアルクロック

クロックソースとしてAUDIO_CLK、AUDIO_X1から選択可能

- 割り込み：1種類

- DMA転送：2種類

送信FIFO転送リクエスト、受信FIFO転送リクエスト

図 22.1 にブロック図を示します。

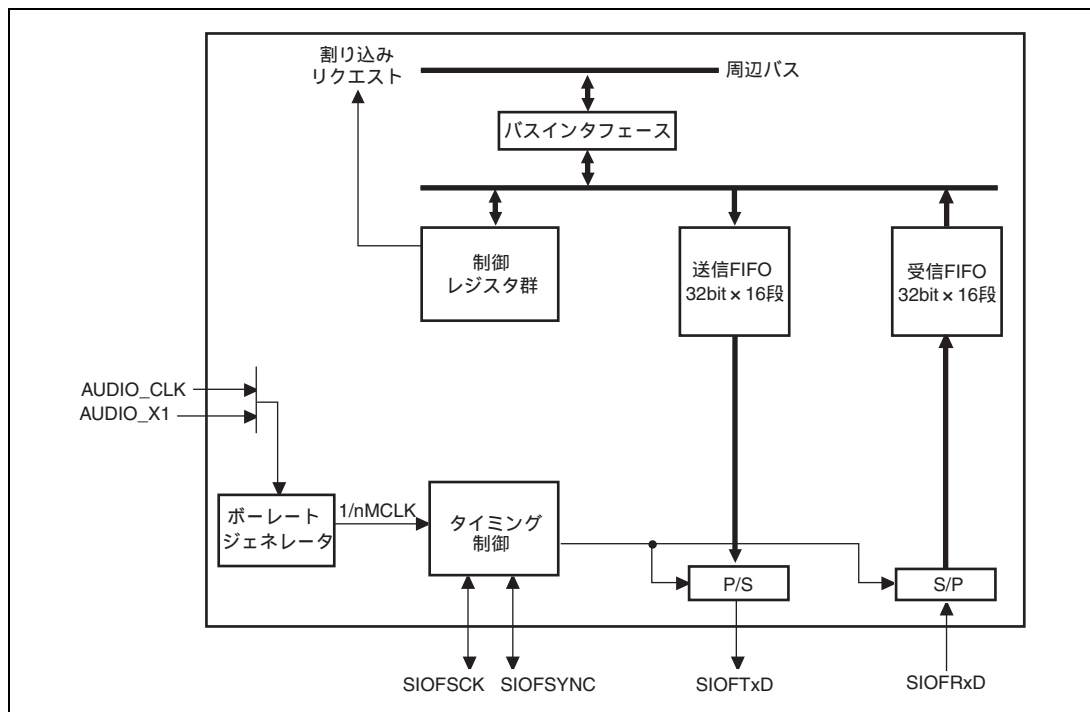


図 22.1 ブロック図

22.2 入出力端子

表 22.1 に端子構成を示します。

表 22.1 端子構成

端子名	入出力	機能
AUDIO_CLK	入力	オーディオ用外部クロック
AUDIO_X1	入力	オーディオ用水晶発振子 / 外部クロック
AUDIO_X2	出力	
SIOFSCK	入出力	シリアルクロック (送受信共通)
SIOFSYNC	入出力	フレーム同期信号 (送受信共通)
SIOFTxD	出力	送信データ
SIOFRxD	入力	受信データ

22.3 レジスタの説明

表 22.2 にレジスタ構成を示します。

表 22.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
モードレジスタ	SIMDR	R/W	H'8000	H'FFFF4800	16
クロックセレクトレジスタ	SISCR	R/W	H'8000	H'FFFF4802	16
送信データアサインレジスタ	SITDAR	R/W	H'0000	H'FFFF4804	16
受信データアサインレジスタ	SIRDAR	R/W	H'0000	H'FFFF4806	16
コントロールレジスタ	SICTR	R/W	H'0000	H'FFFF480C	16
FIFO コントロールレジスタ	SIFCTR	R/W*	H'1000	H'FFFF4810	16
ステータスレジスタ	SISTR	R/W*	H'0000	H'FFFF4814	16
割り込み許可レジスタ	SIIER	R/W	H'0000	H'FFFF4816	16
送信データレジスタ	SITDR	W	不定	H'FFFF4820	8、16、32
受信データレジスタ	SIRDR	R	不定	H'FFFF4824	8、16、32

【注】 * 本レジスタビットは、読み出し / 書き込み可能ビットと読み出し専用ビットが混在しています。詳細は各レジスタの章を参照してください。

22.3.1 モードレジスタ (SIMDR)

SIMDR は、本モジュールの動作モードを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRMD1	TRMD0	SYNCAT	REDG	FL3	FL2	FL1	FL0	TXDIZ	-	SYNCAC	SYNCDL	-	-	-	-
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	TRMD1	1	R/W	転送モード 1、0 転送モードを選択します。 00:スレープモード 01:設定禁止 10:マスタモード 11:設定禁止
14	TRMD0	0	R/W	
13	SYNCAT	0	R/W	SIOFSYNC 端子有効タイミング SIOFSYNC 信号の出力位置を示します。 本ビットはマスタモード時に有効となります。 0:フレームの先頭ビットデータ 1:スロットの最終ビットデータ 【注】本ビットに1を設定した場合は、必ず有効データを送受信もしくは送信に設定してください。
12	REDG	0	R/W	受信データサンプリングエッジ 本ビットはマスタモード時に有効となります。 0: SIOFRxD を SIOFSCK の立ち下がりエッジでサンプリングする (SIOFTxD は SIOFSCK の立ち上がりエッジで送出します) 1: SIOFRxD を SIOFSCK の立ち上がりエッジでサンプリングする (SIOFTxD は SIOFSCK の立ち下がりエッジで送出します)
11	FL3	0	R/W	フレーム長 3-0 00xx: データ長は 8 ビット、フレーム長は 8 ビット 0100: データ長は 8 ビット、フレーム長は 16 ビット 0101: データ長は 8 ビット、フレーム長は 32 ビット 0110: データ長は 8 ビット、フレーム長は 64 ビット 0111: データ長は 8 ビット、フレーム長は 128 ビット 10xx: データ長は 16 ビット、フレーム長は 16 ビット 1100: データ長は 16 ビット、フレーム長は 32 ビット 1101: データ長は 16 ビット、フレーム長は 64 ビット 1110: データ長は 16 ビット、フレーム長は 128 ビット 1111: データ長は 16 ビット、フレーム長は 256 ビット 【注】x: Don't care
10	FL2	0	R/W	
9	FL1	0	R/W	
8	FL0	0	R/W	

ビット	ビット名	初期値	R/W	説 明
7	TXDIZ	0	R/W	送信無効時* SIOFTxD 端子の出力 0: 無効時 1 出力 1: 無効時ハイインピーダンス状態 【注】* 無効時とは、ディセーブル時および送信データ、制御データとして割り当てていないスロットを出力する場合を指します。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SYNCAC	0	R/W	SIOFSYNC 端子極性 本ビットはマスタモード時に有効となります。 0: ハイアクティブ 1: ローアクティブ
4	SYNCDL	0	R/W	SIOFSYNC 端子に対しデータ端子ビットの遅延 スレーブモードでは、1 ビット遅延のみ有効です。 0: ビット遅延なし 1: 1 ビット遅延
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

22.3.2 コントロールレジスタ (SICTR)

SICTR は、本モジュールの動作状態を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKE	FSE	-	-	-	-	TXE	RXE	-	-	-	-	-	-	TXRST	RXRST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKE	0	R/W	シリアルクロック出力イネーブル 本ビットはマスタモード時に有効となります。 0 : SIOFSCK の出力を禁止 (0 を出力する) 1 : SIOFSCK の出力を許可 • 本ビットに 1 をセットすると、本モジュールはポーレートジェネレータを初期化し、動作を開始すると同時に SIOFSCK にポーレートジェネレータで生成したクロックを出力します。
14	FSE	0	R/W	フレーム同期信号出力イネーブル 本ビットはマスタモード時に有効となります。 0 : SIOFSYNC の出力を禁止 (0 を出力する) 1 : SIOFSYNC の出力を許可 • 本ビットに 1 をセットすると、本モジュールはフレームカウンタを初期化し、動作を開始します。
13~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TXE	0	R/W	送信イネーブル 0 : SIOFTxD からのデータ送出を禁止 1 : SIOFTxD からのデータ送出を許可 • 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 • 本ビットに 1 をセットすると、本モジュールは SIFCTR レジスタの TFWM ビットの設定に従い、送信転送リクエストを発行します。送信 FIFO にデータを格納すると、SIOFTxD から送信データの送出を開始します。 • 送信リセット時に初期化されます。
8	RXE	0	R/W	受信イネーブル 0 : SIOFRxD からのデータ受信を禁止 1 : SIOFRxD からのデータ受信を許可 • 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 • 本ビットに 1 をセットすると、本モジュールは SIOFRxD からの受信データの取り込みを開始します。受信 FIFO にデータが格納されると、SIFCTR の RFWM ビットの設定に従い、受信転送リクエストを発行します。 • 受信リセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TXRST	0	R/W	送信リセット 0 : 送信動作をリセットしない 1 : 送信動作をリセットする • 本ビットへの設定は、ただちに有効となります。また、初期化されるレジスタを設定する前に、本ビットを 0 にクリアしてください。 • 本ビットを 1 にセットすると、本モジュールは SIOFTxD の出力を 1 にし、下記のレジスタとデータを初期化します。 1. SITDR レジスタ 2. 送信 FIFO の有効データ 3. SISTR レジスタの TFEMP、TDREQ ビット 4. TXE ビット 【注】必ず 1 転送クロック期間以上、1 にセットしてください。
0	RXRST	0	R/W	受信リセット 0 : 受信動作をリセットしない 1 : 受信動作をリセットする • 本ビットへの設定は、ただちに有効となります。また、初期化されるレジスタを設定する前に、本ビットを 0 にクリアしてください。 • 本ビットに 1 をセットすると、本モジュールは SIOFRxD からの受信を停止し、下記のレジスタとデータを初期化します。 1. SIRDR レジスタ 2. 受信 FIFO の有効データ 3. SISTR レジスタの RFFUL、RDREQ ビット 4. RXE ビット 【注】必ず 1 転送クロック期間以上、1 にセットしてください。

22.3.3 送信データレジスタ (SITDR)

SITDR は、本モジュールの送信データを設定します。本レジスタへの設定データは、送信 FIFO に格納されま

す。
本レジスタは、SICTR の TXRST ビットにより送信リセットで初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITDL[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITDR[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~16	SITDL [15:0]	不定	W	左 ch.送信データ 左 ch.データとして SIOFTxD から送信するデータを設定します。送信フレームにおける左 ch.データの位置は、SITDAR の TDLA ビットへの設定値に従います。 • 本ビットは SITDAR の TDLE ビットに 1 をセットした場合に有効となります。
15~0	SITDR [15:0]	不定	W	右 ch.送信データ 右 ch.データとして SIOFTxD から送信するデータを設定します。送信フレームにおける右 ch.データの位置は、SITDAR の TDRA ビットへの設定値に従います。 • 本ビットは SITDAR の TDRE ビットに 1 をセットし、かつ SITDAR の TLREP ビットを 0 にクリアした場合に有効となります。

22.3.4 受信データレジスタ (SIRDR)

SIRDR は、本モジュールの受信データの読み出しを行います。本レジスタには受信 FIFO のデータが格納され

ます。
本レジスタは、SICTR の RXRST ビットにより受信リセットで初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRD[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRDR[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 16	SIRDLD [15:0]	不定	R	左 ch.受信データ 左 ch.データとして SIOFRxD から受信したデータを格納します。受信フレームにおける左 ch.データの位置は、SIRDAR の RDLD ビットへの設定値に従います。 • 本ビットは SIRDAR の RDLE ビットに 1 をセットした場合に有効となります。
15 ~ 0	SIRDRL [15:0]	不定	R	右 ch.受信データ 右 ch.データとして SIOFRxD から受信したデータを格納します。受信フレームにおける右 ch.データの位置は、SIRDAR の RDRL ビットへの設定値に従います。 • 本ビットは SIRDAR の RDRE ビットに 1 をセットした場合に有効となります。

22.3.5 ステータスレジスタ (SISTR)

SISTR は、本モジュールの状態を表示します。本レジスタの各ビットは、SIER レジスタの対応するビットに 1 をセットした場合に、本モジュールの割り込みリクエストとなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	TFEMP	TDREQ	-	-	RFFUL	RDREQ	-	-	-	FSERR	TFOVF	TFUDF	RFUDF	RFOVF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	-	0	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
13	TFEMP	0	R	送信 FIFO エンプティ 0: 送信 FIFO がエンプティ状態でない 1: 送信 FIFO がエンプティ状態である • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • SITDR にデータを書き込んだ場合、本ビットは本モジュールにより 0 にクリアされます。 【注】本ビットが 1 にセットされたとき、すでに送信 FIFO アンダフローが発生している可能性があります。そのため、本ビットを送信データレジスタへの書き込みタイミングに使用しないでください。

ビット	ビット名	初期値	R/W	説明
12	TDREQ	0	R	<p>送信 FIFO 転送リクエスト</p> <p>0: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値未満である</p> <p>1: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値以上である</p> <p>送信 FIFO 転送リクエストは、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えたときに発行します。</p> <p>ダイレクトメモリアクセスコントローラによる送信データ転送を用いる場合には、ダイレクトメモリアクセスコントローラによるアクセスによって、本ビットは必ず 0 にクリアされます。ダイレクトメモリアクセスコントローラアクセス後も本ビットの設定条件が満たされている場合には、再び本ビットに 1 がセットされます。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値よりも少なくなると、本ビットは本モジュールにより 0 にクリアされます。
11、10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9	RFFUL	0	R	<p>受信 FIFO フル</p> <p>0: 受信 FIFO がフル状態でない</p> <p>1: 受信 FIFO がフル状態である</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • SIRDR の読み出しを行うと、本ビットは本モジュールにより 0 にクリアされます。
8	RDREQ	0	R	<p>受信 FIFO 転送リクエスト</p> <p>0: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値未満である</p> <p>1: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値以上である</p> <p>受信 FIFO 転送リクエストは、受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値を超えたときに発行します。</p> <p>ダイレクトメモリアクセスコントローラによる受信データ転送を用いる場合には、ダイレクトメモリアクセスコントローラによるアクセスによって、本ビットは必ず 0 にクリアされます。ダイレクトメモリアクセスコントローラアクセス後も本ビットの設定条件が満たされている場合には、再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値よりも少なくなると、本ビットは本モジュールにより 0 にクリアされます。
7~5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
4	FSERR	0	R/W	<p>フレーム同期エラー</p> <p>0: フレーム同期エラー未発生 1: フレーム同期エラー発生</p> <p>フレーム同期エラーとは、転送データの送受信完了前に、次のフレーム同期タイミングとなったことを表します。</p> <p>フレーム同期エラー発生時、本モジュールは転送可能なスロットに対してのみ送受信を行います。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。 • 本ビットに 1 をセットすると、本モジュールにより 0 にクリアされます。また、本ビットを 0 にセットした場合の操作は無効となります。
3	TFOVF	0	R/W	<p>送信 FIFO オーバフロー</p> <p>0: 送信 FIFO オーバフロー未発生 1: 送信 FIFO オーバフロー発生</p> <p>送信 FIFO オーバフローとは、送信 FIFO がフル状態のときに SITDR への書き込みが発生したことを表します。</p> <p>送信 FIFO オーバフロー時、本モジュールはオーバフローとなった書き込みを無効とします。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットに 1 をセットすると、本モジュールにより 0 にクリアされます。また、本ビットを 0 にセットした場合の操作は無効となります。
2	TFUDF	0	R/W	<p>送信 FIFO アンダフロー</p> <p>0: 送信 FIFO アンダフロー未発生 1: 送信 FIFO アンダフロー発生</p> <p>送信 FIFO アンダフローとは、送信 FIFO がエンプティ状態のときに送信動作によるロードが発生したことを表します。</p> <p>送信 FIFO アンダフロー時、本モジュールは前回送出データを繰り返して送ります。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットに 1 をセットすると、本モジュールにより 0 にクリアされます。また、本ビットを 0 にセットした場合の操作は無効となります。
1	RFUDF	0	R/W	<p>受信 FIFO アンダフロー</p> <p>0: 受信 FIFO アンダフロー未発生 1: 受信 FIFO アンダフロー発生</p> <p>受信 FIFO アンダフローとは、受信 FIFO がエンプティ状態のときに SIRDR の読み出しが発生したことを表します。</p> <p>受信 FIFO アンダフロー時、SIRDR から読み出したデータの値は保証しません。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットに 1 をセットすると、本モジュールにより 0 にクリアされます。また、本ビットを 0 にセットした場合の操作は無効となります。

ビット	ビット名	初期値	R/W	説明
0	RFOVF	0	R/W	<p>受信 FIFO オーバフロー</p> <p>0 : 受信 FIFO オーバフロー未発生</p> <p>1 : 受信 FIFO オーバフロー発生</p> <p>受信 FIFO オーバフローとは、受信 FIFO がフル状態のときに受信動作による書き込みが発生したことを表します。</p> <p>受信 FIFO オーバフロー時、オーバーフローとなった受信データは消失します。</p> <ul style="list-style-type: none"> 本ビットに 1 をセットすると、本モジュールにより 0 にクリアされます。また、本ビットを 0 にセットした場合の操作は無効となります。

22.3.6 割り込み許可レジスタ (SIER)

SIER は、本モジュールの割り込みの発行を許可します。本レジスタの各ビットに 1 を設定、かつ SISTR の対応する各ビットに 1 がセットされた場合に割り込みが発行されます。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TDMAE	-	TFEMPE	TDREQE	RDMAE	-	RFFULE	RDREQE	-	-	-	FSERRE	TFOVFE	TFUDFE	RFUDFE	RFOVFE
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W	R	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDMAE	0	R/W	<p>送信 FIFO DMA 転送要求イネーブル</p> <p>送信 FIFO 転送リクエストを割り込み / DMA 転送要求として伝えます。</p> <p>0 : CPU への割り込みとして使用</p> <p>1 : ダイレクトメモリアクセスコントローラへの DMA 転送要求として使用</p>
14	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
13	TFEMPE	0	R/W	<p>送信 FIFO エンプティイネーブル</p> <p>0 : 送信エンプティによる割り込みを禁止</p> <p>1 : 送信エンプティによる割り込みを許可</p>
12	TDREQE	0	R/W	<p>送信 FIFO 転送リクエストイネーブル</p> <p>0 : 送信 FIFO 転送リクエストによる割り込み / DMA 転送要求を禁止</p> <p>1 : 送信 FIFO 転送リクエストによる割り込み / DMA 転送要求を許可</p>
11	RDMAE	0	R/W	<p>受信 FIFO DMA 転送要求イネーブル</p> <p>受信 FIFO 転送リクエストを割り込み / DMA 転送要求として伝えます。</p> <p>0 : CPU への割り込みとして使用</p> <p>1 : ダイレクトメモリアクセスコントローラへの DMA 転送要求として使用</p>
10	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
9	RFFULE	0	R/W	受信 FIFO フルイネーブル 0 : 受信 FIFO フルによる割り込みを禁止 1 : 受信 FIFO フルによる割り込みを許可
8	RDREQE	0	R/W	受信 FIFO 転送リクエストイネーブル 0 : 受信 FIFO 転送リクエストによる割り込み / DMA 転送要求を禁止 1 : 受信 FIFO 転送リクエストによる割り込み / DMA 転送要求を許可
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	FSERRE	0	R/W	フレーム同期エラーイネーブル 0 : フレーム同期エラーによる割り込みを禁止 1 : フレーム同期エラーによる割り込みを許可
3	TFOVFE	0	R/W	送信 FIFO オーバフローイネーブル 0 : 送信 FIFO オーバフローによる割り込みを禁止 1 : 送信 FIFO オーバフローによる割り込みを許可
2	TFUDFE	0	R/W	送信 FIFO アンダフローイネーブル 0 : 送信 FIFO アンダフローによる割り込みを禁止 1 : 送信 FIFO アンダフローによる割り込みを許可
1	RFUDFE	0	R/W	受信 FIFO アンダフローイネーブル 0 : 受信 FIFO アンダフローによる割り込みを禁止 1 : 受信 FIFO アンダフローによる割り込みを許可
0	RFOVFE	0	R/W	受信 FIFO オーバフローイネーブル 0 : 受信 FIFO オーバフローによる割り込みを禁止 1 : 受信 FIFO オーバフローによる割り込みを許可

22.3.7 FIFO コントロールレジスタ (SIFCTR)

SIFCTR は、送受信 FIFO の転送が可能なエリアを表示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFWM2	TFWM1	TFWM0	TFUA4	TFUA3	TFUA2	TFUA1	TFUA0	RFWM2	RFWM1	RFWM0	RFUA4	RFUA3	RFUA2	RFUA1	RFUA0
初期値 :	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	TFWM2	0	R/W	送信 FIFO ウォータマーク 000 : 送信 FIFO の空き領域が 16 段のときに転送要求を発行する 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : 送信 FIFO の空き領域が 12 段以上のときに転送要求を発行する 101 : 送信 FIFO の空き領域が 8 段以上のときに転送要求を発行する 110 : 送信 FIFO の空き領域が 4 段以上のときに転送要求を発行する 111 : 送信 FIFO の空き領域が 1 段以上のときに転送要求を発行する • 送信 FIFO の転送要求は、SISTR の TDREQE ビットで行います。 • 本ビットへの設定にかかわらず、送信 FIFO は常に 16 段の FIFO として動作を行います。
14	TFWM1	0	R/W	
13	TFWM0	0	R/W	
12	TFUA4	1	R	送信 FIFO 使用可能エリア 転送可能な FIFO 段数を B'00000 (フル) ~ B'10000 (エンプティ) で表示します。
11	TFUA3	0	R	
10	TFUA2	0	R	
9	TFUA1	0	R	
8	TFUA0	0	R	
7	RFWM2	0	R/W	受信 FIFO ウォータマーク 000 : 受信 FIFO の有効データ領域が 1 段以上のときに転送要求を発行する 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : 受信 FIFO の有効データ領域が 4 段以上のときに転送要求を発行する 101 : 受信 FIFO の有効データ領域が 8 段以上のときに転送要求を発行する 110 : 受信 FIFO の有効データ領域が 12 段以上のときに転送要求を発行する 111 : 受信 FIFO の有効データ領域が 16 段のときに転送要求を発行する • 受信 FIFO の転送要求は、SISTR の RDREQE ビットで行います。 • 本ビットへの設定にかかわらず、受信 FIFO は常に 16 段の FIFO として動作を行います。
6	RFWM1	0	R/W	
5	RFWM0	0	R/W	
4	RFUA4	0	R	受信 FIFO 使用可能エリア 転送可能な FIFO 段数を B'00000 (エンプティ) ~ B'10000 (フル) で表示します。
3	RFUA3	0	R	
2	RFUA2	0	R	
1	RFUA1	0	R	
0	RFUA0	0	R	

22.3.8 クロックセレクトレジスタ (SISCR)

SISCR は、マスタ時のシリアルクロック生成条件を設定します。本レジスタへの設定は、SIMDR の TRMD1、TRMD0 ビットに B'10 が設定されているときに有効です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSSEL	-	-	BRPS4	BRPS3	BRPS2	BRPS1	BRPS0	-	-	-	-	-	BRDV2	BRDV1	BRDV0
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MSSEL	1	R/W	マスタクロックソース選択 0: マスタクロックとして AUDIO_X1 を使用 1: マスタクロックとして AUDIO_CLK を使用 マスタクロックとは、ポーレートジェネレータに入力するクロックを指します。
14、13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	BRPS4	0	R/W	プリスケアラ設定 ポーレートジェネレータのプリスケアラのカウント値によりマスタクロックの分周比を設定します。 設定の範囲は B'00000 (×1/1) ~ B'11111 (×1/32) となります。
11	BRPS3	0	R/W	
10	BRPS2	0	R/W	
9	BRPS1	0	R/W	
8	BRPS0	0	R/W	
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	BRDV2	0	R/W	ポーレートジェネレータ分周比 ポーレートジェネレータにおける出力段の分周比を設定します。 000: プリスケアラ出力×1/2 001: プリスケアラ出力×1/4 010: プリスケアラ出力×1/8 011: プリスケアラ出力×1/16 100: プリスケアラ出力×1/32 101: 設定禁止 110: 設定禁止 111: 設定禁止 ポーレートジェネレータの最終分周比は、BRPS×BRDV で決定します (最大 1/1024)。
1	BRDV1	0	R/W	
0	BRDV0	0	R/W	

22.3.9 送信データアサインレジスタ (SITDAR)

SITDAR は、フレーム内の送信データ位置 (スロット No.) を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLE	-	-	-	TDLA3	TDLA2	TDLA1	TDLA0	TDRE	TLREP	-	-	TDRA3	TDRA2	TDRA1	TDRA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDLE	0	R/W	送信左 ch. データイネーブル 0: 左 ch. データの送信を許可しない 1: 左 ch. データの送信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	TDLA3	0	R/W	送信左 ch. データアサイン 3~0 送信フレームにおける左 ch. データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 左 ch. データの送信データは SITDR の SITDL ビットに設定します。
10	TDLA2	0	R/W	
9	TDLA1	0	R/W	
8	TDLA0	0	R/W	
7	TDRE	0	R/W	送信右 ch. データイネーブル 0: 右 ch. データの送信を許可しない 1: 右 ch. データの送信を許可する
6	TLREP	0	R/W	送信左 ch. リピート 0: 右 ch. データとして SITDR の SITDR ビット設定値を送出する。 1: 右 ch. データとして SITDR の SITDL ビット設定値を繰り返して送 出する。 • 本ビットの設定は TDRE ビットが 1 のとき有効となります。 • ビットに 1 を設定した場合、SITDR への設定は無視されます。
5, 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TDRA3	0	R/W	送信右 ch. データアサイン 3~0 送信フレームにおける右 ch. データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 右 ch. データの送信データは SITDR の SITDR ビットに設定します。
2	TDRA2	0	R/W	
1	TDRA1	0	R/W	
0	TDRA0	0	R/W	

22.3.10 受信データアサインレジスタ (SIRDAR)

SIRDAR は、フレーム内の受信データ位置 (スロット No.) を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLE	-	-	-	RDLA3	RDLA2	RDLA1	RDLA0	RDRE	-	-	-	RDRA3	RDRA2	RDRA1	RDRA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RDLE	0	R/W	受信左 ch. データイネーブル 0: 左 ch. データの受信を許可しない 1: 左 ch. データの受信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	RDLA3	0	R/W	受信左 ch. データアサイン 3~0 受信フレームにおける左 ch. データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 左 ch. データの受信データは SIRDR の SIRDL ビットに格納されます。
10	RDLA2	0	R/W	
9	RDLA1	0	R/W	
8	RDLA0	0	R/W	
7	RDRE	0	R/W	受信右 ch. データイネーブル 0: 右 ch. データの受信を許可しない 1: 右 ch. データの受信を許可する
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RDRA3	0	R/W	受信右 ch. データアサイン 3~0 受信フレームにおける右 ch. データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 右 ch. データの受信データは SIRDR の SIRDR ビットに格納されます。
2	RDRA2	0	R/W	
1	RDRA1	0	R/W	
0	RDRA0	0	R/W	

22.4 動作説明

22.4.1 シリアルクロック

(1) マスタ/スレーブ

本モジュールのクロックモードとして下記に示す 2 つのモードがあります。

- スレーブモード : SIOFSCK、SIOFSYNCは入力
- マスタモード : SIOFSCK、SIOFSYNCは出力

(2) ボーレートジェネレータ

本モジュールがマスタに設定されている場合には、ボーレートジェネレータ (BRG) を用いてシリアルクロックを生成します。ボーレートジェネレータの分周比は、 $1/2 \sim 1/1024$ です。

図 22.2 にシリアルクロック供給系統図を示します。

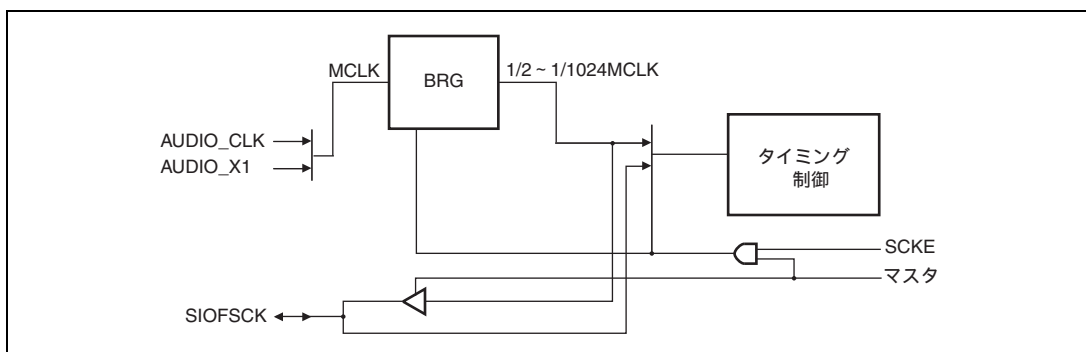


図 22.2 シリアルクロック供給

また、表 22.3 にシリアルクロック周波数の例を示します。

表 22.3 シリアルクロック周波数例

フレーム長	サンプリングレート		
	8kHz	44.1kHz	48kHz
32 ビット	256kHz	1.4112MHz	1.536MHz
64 ビット	512kHz	2.8224MHz	3.072MHz
128 ビット	1.024MHz	5.6448MHz	6.144MHz
256 ビット	2.048MHz	11.289MHz	12.289MHz

22.4.2 シリアルタイミング

(1) SIOFSYNC

SIOFSYNC はフレーム同期信号です。

図 22.3 に SIOFSYNC による同期タイミングを示します。

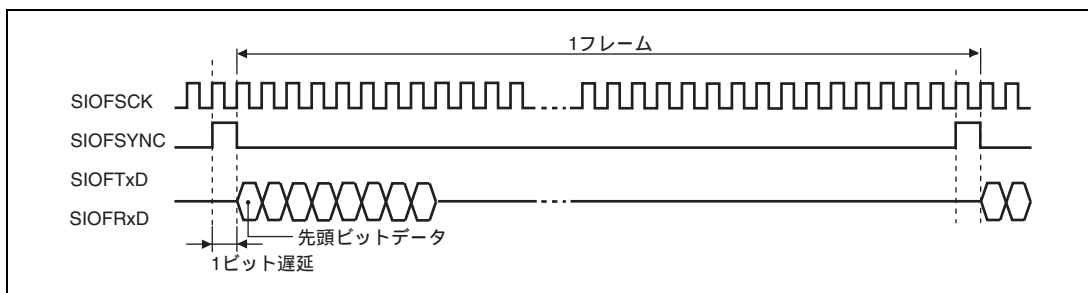


図 22.3 シリアルデータ同期タイミング

(2) 送受信タイミング

SIOFSCK に対する SIOFTxD の送信タイミングおよび SIOFRxD の受信タイミングは、サンプリングタイミングとして下記の設定が可能です。送受信タイミングの設定は、SIMDR の REDG ビットに行います。

- 立ち下がりサンプリング
- 立ち上がりサンプリング (マスタモード時のみ可能)

図 22.4 に送受信タイミングを示します。

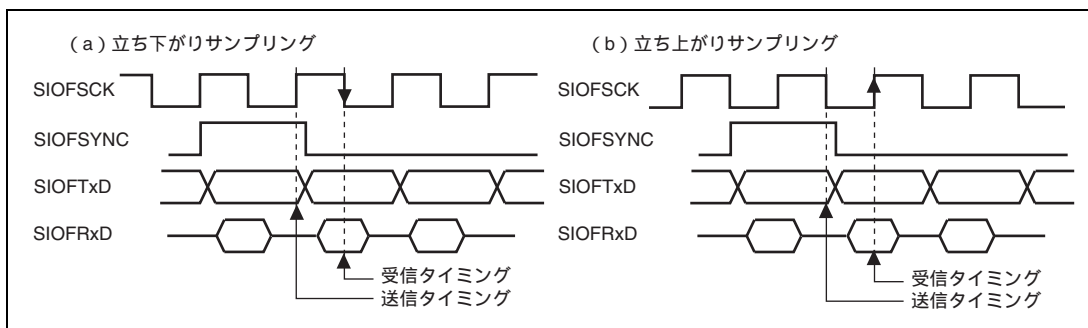


図 22.4 送受信タイミング

22.4.3 転送データフォーマット

本モジュールは、下記の転送を行います。

- 送受信データ8ビットモノラル/16ビットモノラル/16ビットステレオの転送データ

(1) 転送モード

本モジュールは、転送モードとして表 22.4 に示す 2 つのモードがあります。転送モードの設定は SIMDR の TRMD1 ~ TRMD0 ビットに行います。

表 22.4 シリアル転送モード

転送モード	SIOFSYNC	ビット遅延
スレーブモード	同期パルス	SYNCDL ビット
マスタモード		

(2) フレーム長

本モジュールが転送を行うフレームの長さは SIMDR の FL3 ~ FL0 ビットに対して設定を行います。表 22.5 に設定値とフレーム長の関係を示します。

表 22.5 フレーム長

FL3 ~ FL0	スロット長	1 フレームあたりのビット	対応する転送データ
00xx	8	8	8 ビットモノラル
0100	8	16	8 ビットモノラル
0101	8	32	8 ビットモノラル
0110	8	64	8 ビットモノラル
0111	8	128	8 ビットモノラル
10xx	16	16	16 ビットモノラル
1100	16	32	16 ビットモノラル/ステレオ
1101	16	64	16 ビットモノラル/ステレオ
1110	16	128	16 ビットモノラル/ステレオ
1111	16	256	16 ビットモノラル/ステレオ

【注】 x : Don't care

(3) スロット位置

本モジュールは、1 フレームにおける送信データ、受信データの位置をスロット番号でそれぞれ個別に設定することが可能です。設定は下記に示すレジスタに対して行います。

- 送信データ : SITDAR
- 受信データ : SIRDAR

22.4.4 転送データのレジスタ割り付け

送受信データの書き込み / 読み出しは下記レジスタに対して行います。

- 送信データ書き込み：SITDR（8、16、32ビットアクセス）
- 受信データ読み出し：SIRDAR（8、16、32ビットアクセス）

図 22.5 に送受信データと SITDR、SIRDAR のビットアライメントを示します。

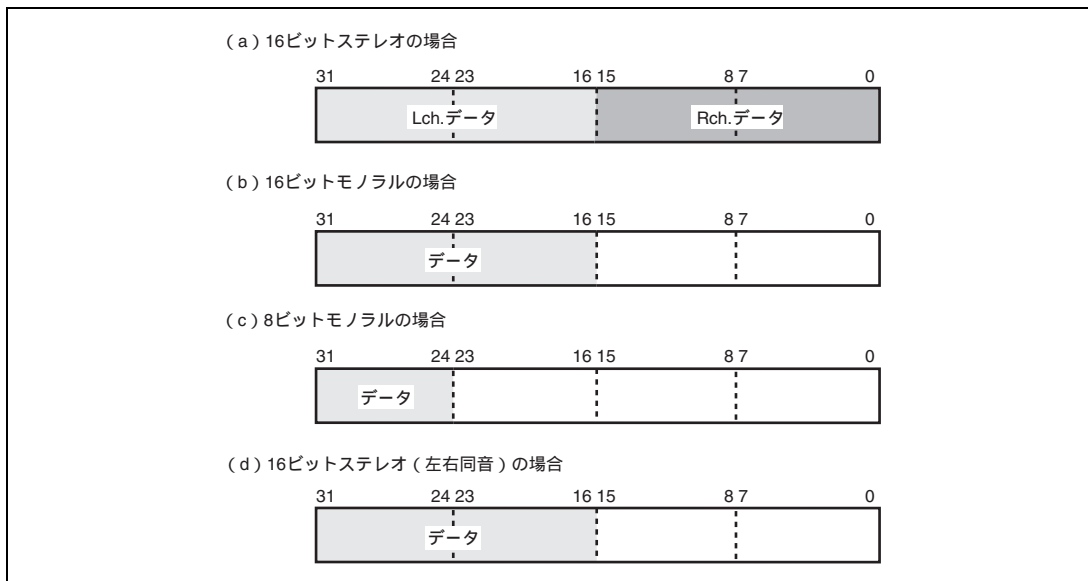


図 22.5 送受信データビットアライメント

【注】 ハッチングの部分だけが有効なデータとして送受信されます。このため、ハッチングがかかっていない領域のデータは送受信の対象となりません。

送信データのモノラル/ステレオの設定は、SITDAR の TDLE ビットおよび TDRE ビットに対して行います。受信データのモノラル/ステレオの設定は、SIRDAR の RDLE ビットおよび RDRE ビットに対して行います。また、送信データステレオ時の左右同音出力は、SITDAR の TLREP ビットに設定を行います。表 22.6 に送信データにおける音声モードの設定を、表 22.7 に受信データにおける音声モードの設定を示します。

表 22.6 送信データ音声モード

モード \ ビット	TDLE	TDRE	TLREP
モノラル	1	0	x
ステレオ	1	1	0
左右同音	1	1	1

【注】 x : Don't care

表 22.7 受信データ音声モード

モード \ ビット	RDLE	RDRE
モノラル	1	0
ステレオ	1	1

【注】 受信データには、左右同音モードは存在しません。

モノラルで送受信を行う場合には、左チャンネル側を使用してください。

22.4.5 FIFO

(1) 概要

本モジュールの送信 / 受信 FIFO の特長を下記に示します。

- 送信 / 受信それぞれ32ビット×16段の容量
- アクセスサイズにかかわらず、FIFOバッファ1段分を使用します。(1段のアクセスを複数回に分割することは不可能です。)

(2) 転送要求

FIFO の転送リクエストは、下記に記すリクエストで CPU およびダイレクトメモリアクセスコントローラに出力することが可能です。

- 送信要求：TDREQ (送信FIFO転送リクエスト)
- 受信要求：RDREQ (受信FIFO転送リクエスト)

送受信 FIFO の転送リクエストを発行する条件は、それぞれ個別に設定が可能です。送信リクエストの条件は SIFCTR の TFWM2 ~ TFWM0 ビットに設定し、また受信 FIFO の転送リクエストは RFWM2 ~ RFWM0 ビットに設定します。表 22.8 に送信リクエスト発行条件を示し、表 22.9 に受信リクエスト発行条件を示します。

表 22.8 送信リクエスト発行条件

TFWM2~0	リクエスト段数	送信リクエスト発行	使用領域
000	1	空き領域が 16 段	小 ↑ ↓ 大
100	4	空き領域が 12 段以上	
101	8	空き領域が 8 段以上	
110	12	空き領域が 4 段以上	
111	16	空き領域が 1 段以上	

表 22.9 受信リクエスト発行条件

RFWM2~0	リクエスト段数	受信リクエスト発行	使用領域
000	1	有効データが 1 段以上	小 ↑ ↓ 大
100	4	有効データが 4 段以上	
101	8	有効データが 8 段以上	
110	12	有効データが 12 段以上	
111	16	有効データが 16 段	

FIFO の段数は 16 段です。有効データ領域もしくは空き領域が 16 段を超えた場合は、オーバフローエラーもしくはアンダフローエラーを発行します。

また、転送リクエストは FIFO がエンプティ状態もしくはフル状態にならなくても、上記条件を満たさなくなった時点で解除します。

(3) 段数表示

送信 / 受信 FIFO の使用状況を、下記に示す内容でレジスタに表示します。

- 送信FIFO：SIFCTRのTFUA4～TFUA0ビットに空き領域の段数を表示
- 受信FIFO：SIFCTRのRFUA4～RFUA0ビットに有効データの段数を表示

上記内容は、CPU もしくはダイレクトメモリアクセスコントローラが転送可能なデータ数を表します。

22.4.6 送受信手順

(1) マスタ設定時の送信手順

図 22.6 に本モジュールがマスタ時の送信設定例および動作を示します。

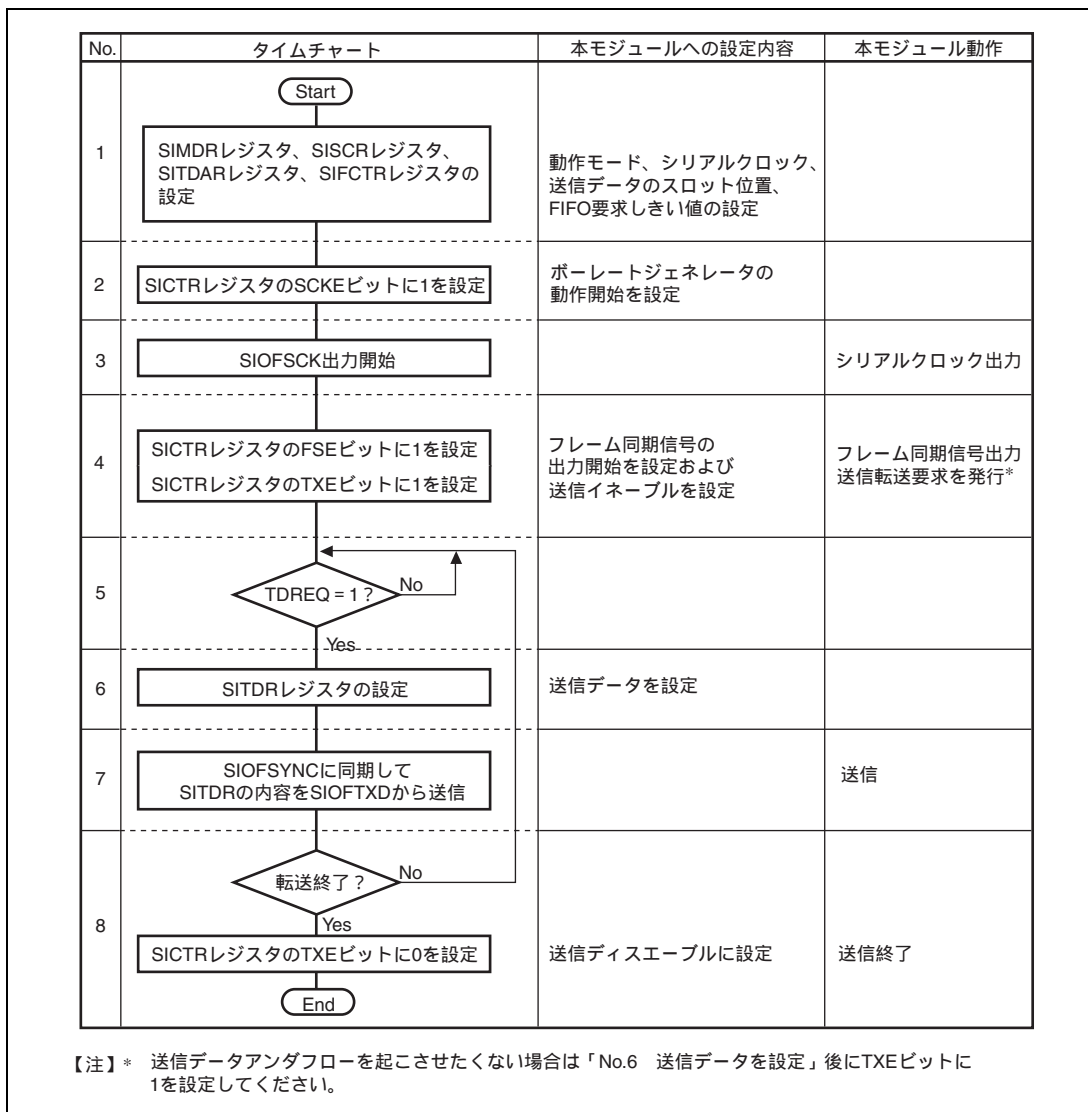


図 22.6 マスタ時送信動作例

(2) マスタ設定時の受信手順

図 22.7 に本モジュールがマスタ時の受信設定例および動作を示します。

No.	タイムチャート	本モジュールへの設定内容	本モジュール動作
1		動作モード、シリアルクロック、受信データのスロット位置、FIFO要求しきい値の設定	
2		ポーレートジェネレータの動作開始を設定	
3			シリアルクロック出力
4		フレーム同期信号の出力開始を設定および受信イネーブルを設定	フレーム同期信号出力
5			受信FIFOしきい値に従い受信転送要求を発行
6			受信
7		受信データの読み出し	
8		受信ディスエーブルに設定	受信終了

図 22.7 マスタ時受信動作例

(3) スレープ時送信

図 22.8 に本モジュールがスレープ時の送信設定例および動作を示します。

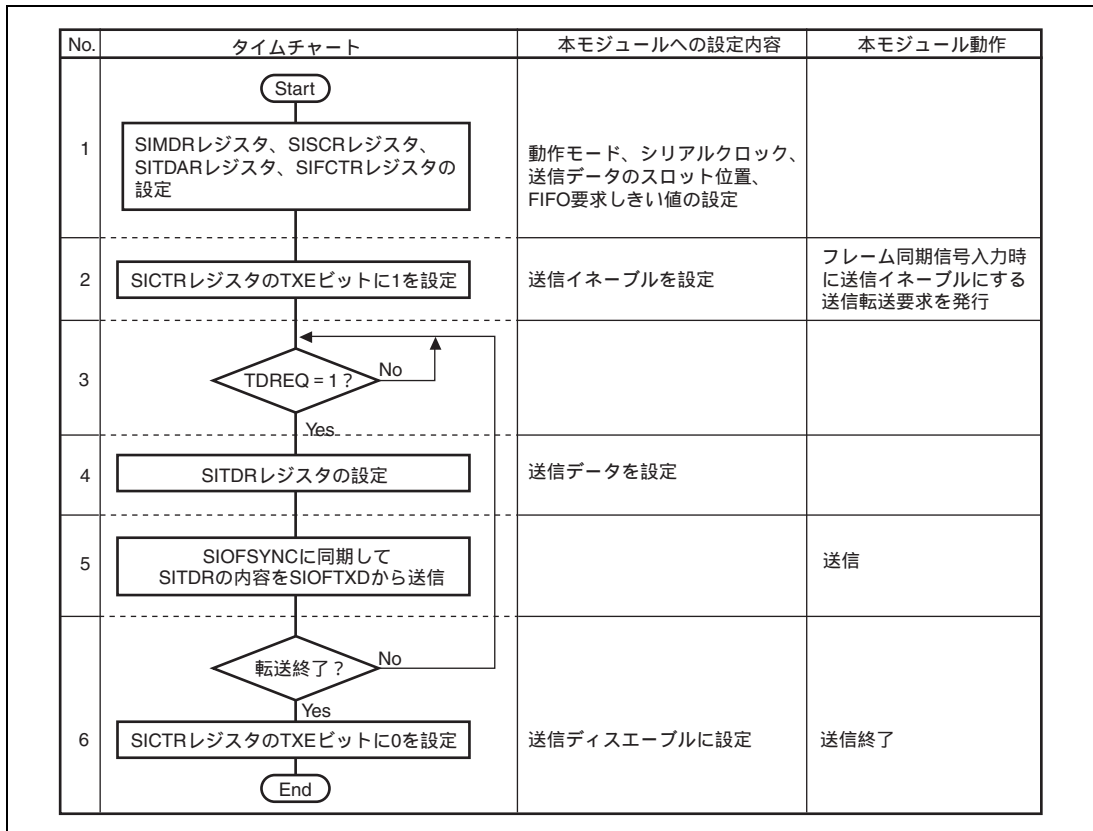


図 22.8 スレープ時送信動作例

(4) スレープ時受信

図 22.9 に本モジュールがスレープ時の受信設定例および動作を示します。

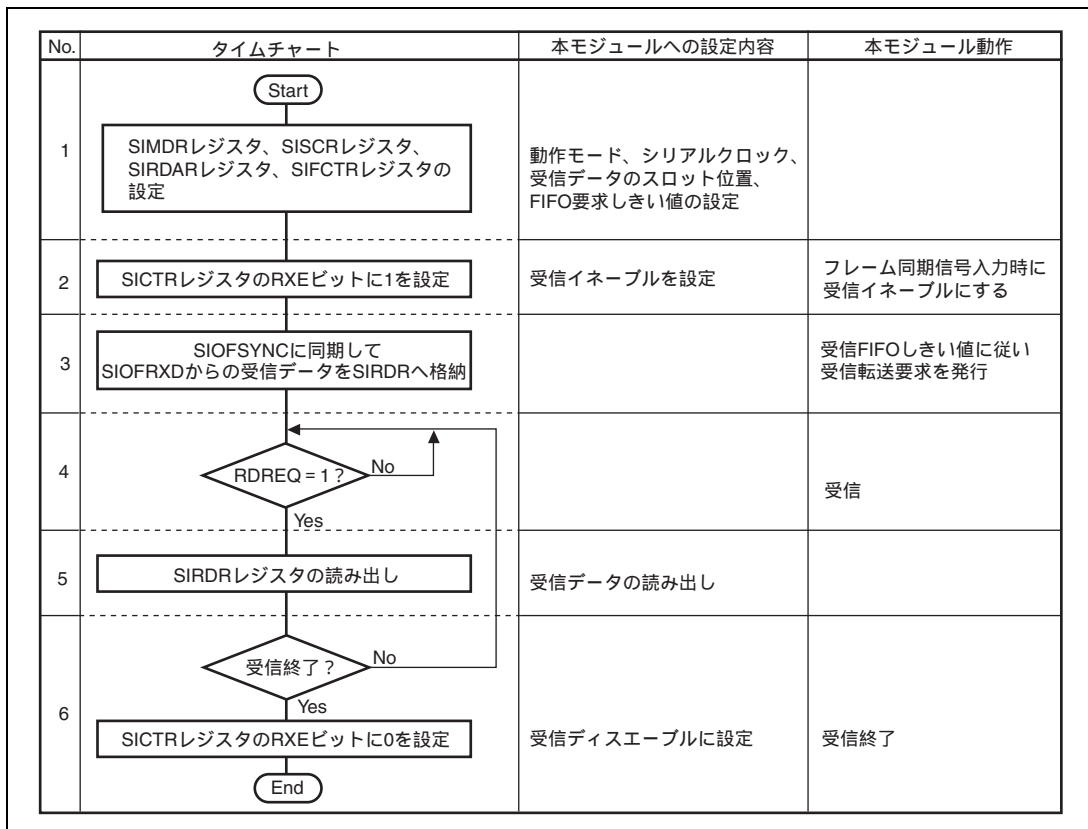


図 22.9 スレープ時受信動作例

(5) 送受信リセット

本モジュールは、下記のビットに 1 をセットすることで、送信部と受信部を個別にリセットすることが可能です。

- 送信リセット：(SICTRのTXRSTビット)
- 受信リセット：(SICTRのRXRSTビット)

表 22.10 に送信 / 受信リセットで初期化される内容を示します。

表 22.10 送信 / 受信リセット

種類	初期化対象
送信リセット	SITDR 送信 FIFO の有効データ SISTR の TFEMP ビット、TDREQ ビット SICTR の TXE ビット
受信リセット	SIRDR 受信 FIFO の有効データ SISTR の RFFUL ビット、RDREQ ビット SICTR の RXE ビット

22.4.7 割り込み

本モジュールは、1 種類の割り込みを持っています。

(1) 割り込みリクエスト

割り込みは、それぞれ複数のリクエストによって発行することができます。各リクエストは、SISTR に本モジュールのステータスとして表示します。表 22.11 に割り込みリクエストの一覧を示します。

表 22.11 割り込みリクエスト

No.	区分	ビット名	機能名称	内 容
1	送信	TDREQ	送信 FIFO 転送リクエスト	送信 FIFO に設定値以上のデータが格納された
2		TFEMP	送信 FIFO エンプティ	送信 FIFO がエンプティ状態である
3	受信	RDREQ	受信 FIFO 転送リクエスト	受信 FIFO に設定値以上のデータが格納された
4		RFFUL	受信 FIFO フル	受信 FIFO がフル状態である
5	エラー	TFUDF	送信 FIFO アンダフロー	送信 FIFO がエンプティ状態にシリアルデータ送出タイミングが来た
6		TFOVF	送信 FIFO オーバフロー	送信 FIFO がフル状態時に送信 FIFO に書き込みを行った
7		RFOVF	受信 FIFO オーバフロー	受信 FIFO がフル状態時にシリアルデータを受信した
8		RFUDF	受信 FIFO アンダフロー	受信 FIFO がエンプティ状態時に受信 FIFO 読み出しを行った
9		FSERR	FS エラー	設定ビット数以前に同期信号が入力された (スレーブ時)

割り込みリクエストによって割り込みを発行するか否かは、SIER の設定により決定します。本モジュールの割り込み発行は、SIER の対応するビットが許可されている状態で、かつそれらに対応する割り込みリクエストが発行された場合に起こります。

(2) 送受信区分について

送信区分のリクエスト、受信区分のリクエストは状態を表す信号であり、いったん 1 にセットされてもその後送信 / 受信 FIFO の状態が変化すると本モジュールが自動的に 0 にクリアします。

ただし、DMA 転送を用いた場合には、ダイレクトメモリアクセスコントローラアクセスによって必ず 0 にクリアされます。ダイレクトメモリアクセスコントローラアクセス後も設定条件が満たされている場合には、再び 1 にセットされます。

(3) エラー発生時の処理

SISTR にステータスとして表示する各エラー発生時、本モジュールは下記に示す動作を行います。

- 送信FIFOアンダフロー (TFUDF)
直前の送信データを再び送信します。
- 送信FIFOオーバフロー (TFOVF)
送信FIFOの内容は保護され、オーバフローとなった書き込みは無視します。
- 受信FIFOオーバフロー (RFOVF)
オーバフローとなったデータが廃棄され、消失します。
- 受信FIFOアンダフロー (RFUDF)
不定値が読み出されます。
- FSエラー (FSERR)
エラーとなった同期信号に従って、内部カウンタはリセットされます。

22.4.8 送受信タイミング

本モジュールのシリアル送受信の例を図 22.10 ~ 図 22.15 に示します。

(1) 8ビットモノラルの場合(その1)

立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 8 ビット

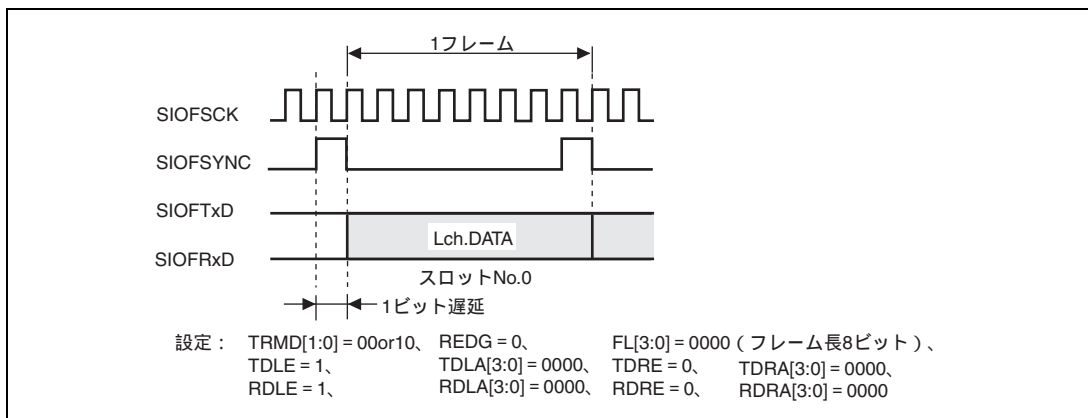


図 22.10 送受信タイミング (8ビットモノラル - 1)

(2) 8 ビットモノラルの場合 (その 2)

立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 16 ビット

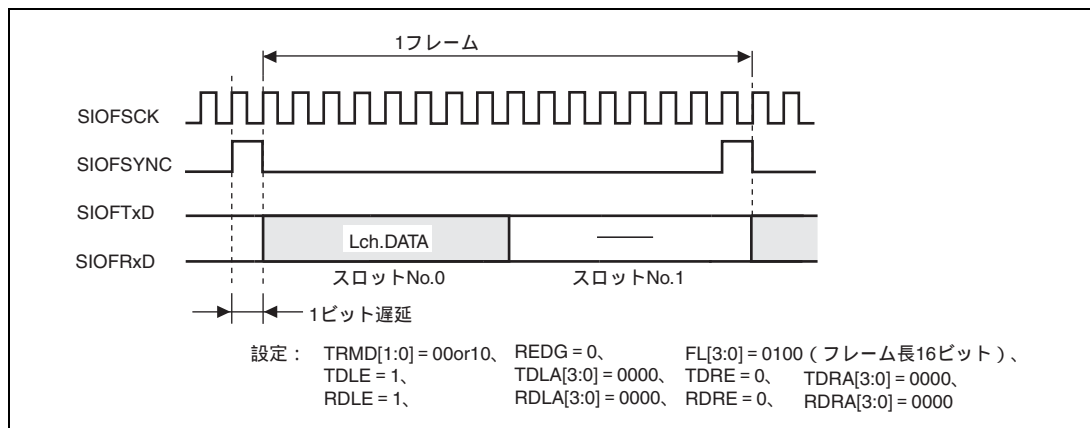


図 22.11 送受信タイミング (8 ビットモノラル - 2)

(3) 16 ビットモノラルの場合

立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 64 ビット

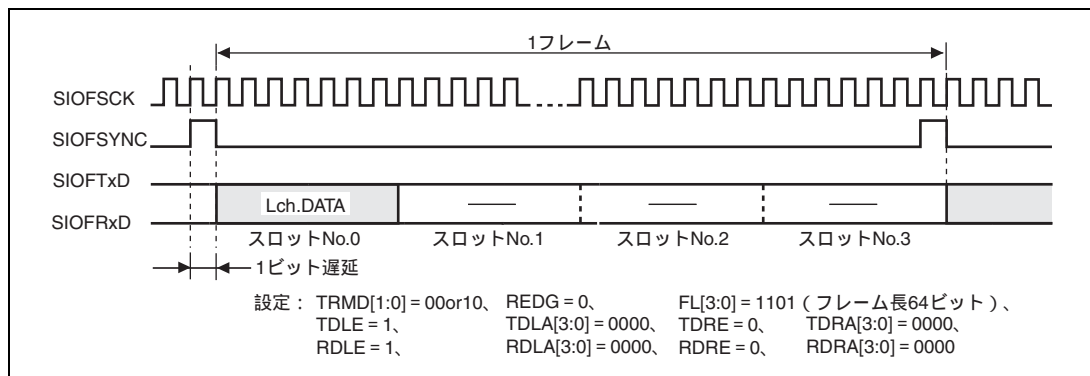


図 22.12 送受信タイミング (16 ビットモノラル)

(4) 16 ビットステレオの場合 (その 1)

立ち下がりサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.1、フレーム長は 128 ビット

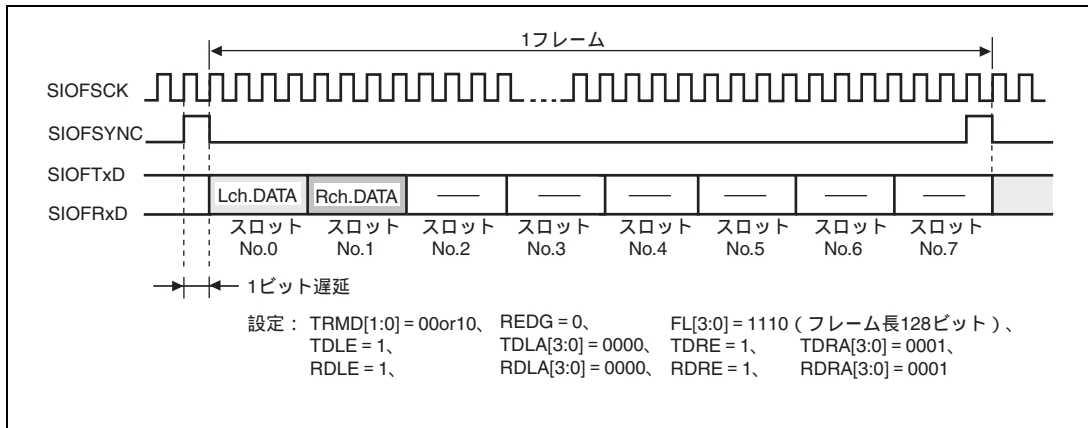


図 22.13 送受信タイミング (16 ビットステレオ - 1)

(5) 16 ビットステレオの場合 (その 2)

立ち下がりサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.2、フレーム長は 128 ビット

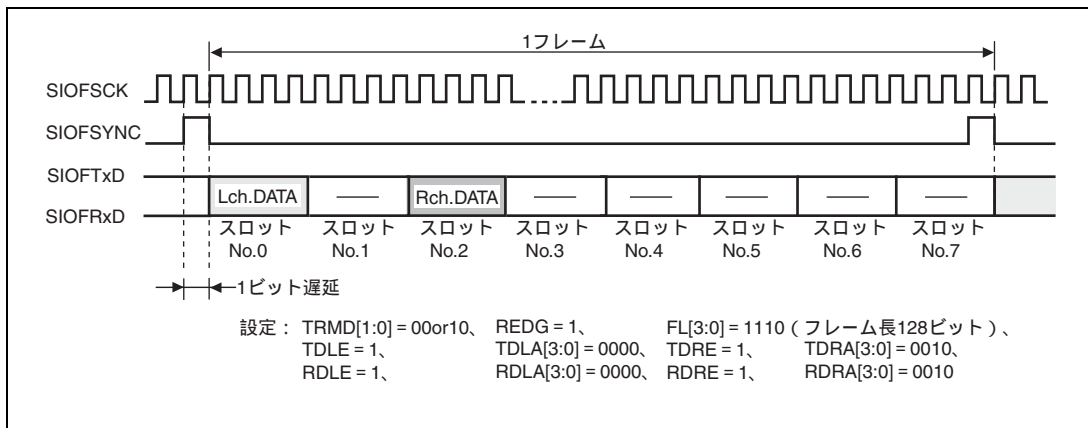


図 22.14 送受信タイミング (16 ビットステレオ - 2)

(6) 各スロット終了時に同期パルスを出力するモードの場合 (SYNCAT ビットが 1 のとき)

立ち下がりサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.1、フレーム長は 128 ビット
本モードでは、スロット No.0 に必ず有効データを設定してください。また、有効データは必ず送受信または送信設定にしてください。

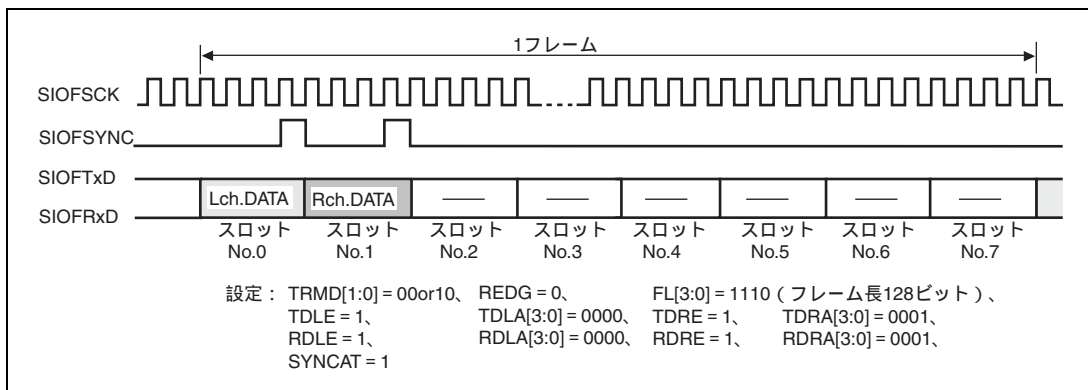


図 22.15 送受信タイミング (16 ビットステレオ)

23. コントローラエリアネットワーク

コントローラエリアネットワーク (Renesas CAN Time Trigger Level 1) は自動車および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。

本章はプログラムインタフェースについて説明します。

また CAN のデータリンクコントローラの機能については下記参考文献を参照してください。

[参考文献]

1. CAN Specification Version 2.0 part A, Robert Bosch GmbH, 1991
2. CAN Specification Version 2.0 part B, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany, 1997
4. Road vehicles-Controller area network (CAN) : Part 1: Data link layer and physical signaling (ISO-11898-1, 2003)
5. Road vehicles - Controller area network (CAN): Part 4: Time triggered communication (ISO-11898-4, 2004)

23.1 特長

23.1.1 特長

- CAN規格2.0B対応
- ビットタイミングはISO-11898規格に準拠
- 32個のメールボックス
- クロック周波数：最大33.33MHz
- プログラム可能な31個の送信用メールボックスおよび1個の受信用メールボックス
- 低消費電力のCANスリープモードおよびCANバスアクティビティを検出してCANスリープモードを自動解除
- すべてのメールボックスにも対応したプログラム可能な受信フィルタマスク (スタンダードIDおよびエクステンデッドID)
- 最大1Mbpsのプログラム可能なCANデータレート
- リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
- 豊富な割り込み要因
- テスト機能を内蔵 (リスンオンリモード、エラーバッシュモード)
- 16ビットのフリーランニングタイマ (多様なクロックソース、プリスケアラ、3個のタイマコンペアマッチレジスタ)

- タイムトリガ送信用の6ビットサイクルカウンタ (Basic Cycle)
- タイマのコンペアマッチレジスタによる割り込み
- タイマカウンタのクリアおよび設定が可能
- タイムトリガ用レジスタ : Local_Time、Cycle_time、Ref_Mark、Tx_Enable_Window、Ref_Trigger_Offset
- SOFでのフレキシブルなタイムスタンプ機能を送信、受信ともにサポート
- イベントトリガ送信に加え、タイムトリガ送信および定周期送信もサポート
- サイクルカウンタ (Basic Cycle) をCANフレームに組み込んで送信可能

23.1.2 本マイコンにおける特長

- 32メールボックス×3チャンネル搭載
- 3チャンネルは汎用入出力ポートの設定により、次の接続による使用が可能
32メールボックス×3チャンネル
64メールボックス*×1チャンネル (RCAN_0、1) と32メールボックス×1チャンネル (RCAN_2)
96メールボックス*×1チャンネル
- チャンネル0、1、2ともにメールボックス0の受信メッセージによりダイレクトメモリアクセスコントローラ起動可能
- CRxn (PC5、PC7、PJ20、PJ22) 端子の変化でディープスタンバイモードを解除可能
詳細は「第49章 低消費電力モード」参照

【注】 * 64 / 96 メールボックス構成においては使用上の注意事項があります。「23.12 使用上の注意事項」を参照してください。

23.2 構成

23.2.1 ブロック図

本モジュールは、CAN2.0B Active と ISO-11898 をサポートする CAN フレームを構成、制御する自由度の大きい洗練された方法を提供します。本モジュールは機能的に、マイクロプロセッサインタフェース (MPI)、メールボックス、メールボックスコントロール、タイマ、および CAN インタフェースの 5 種類のブロックからなります。

図 23.1 にブロック図を示します。

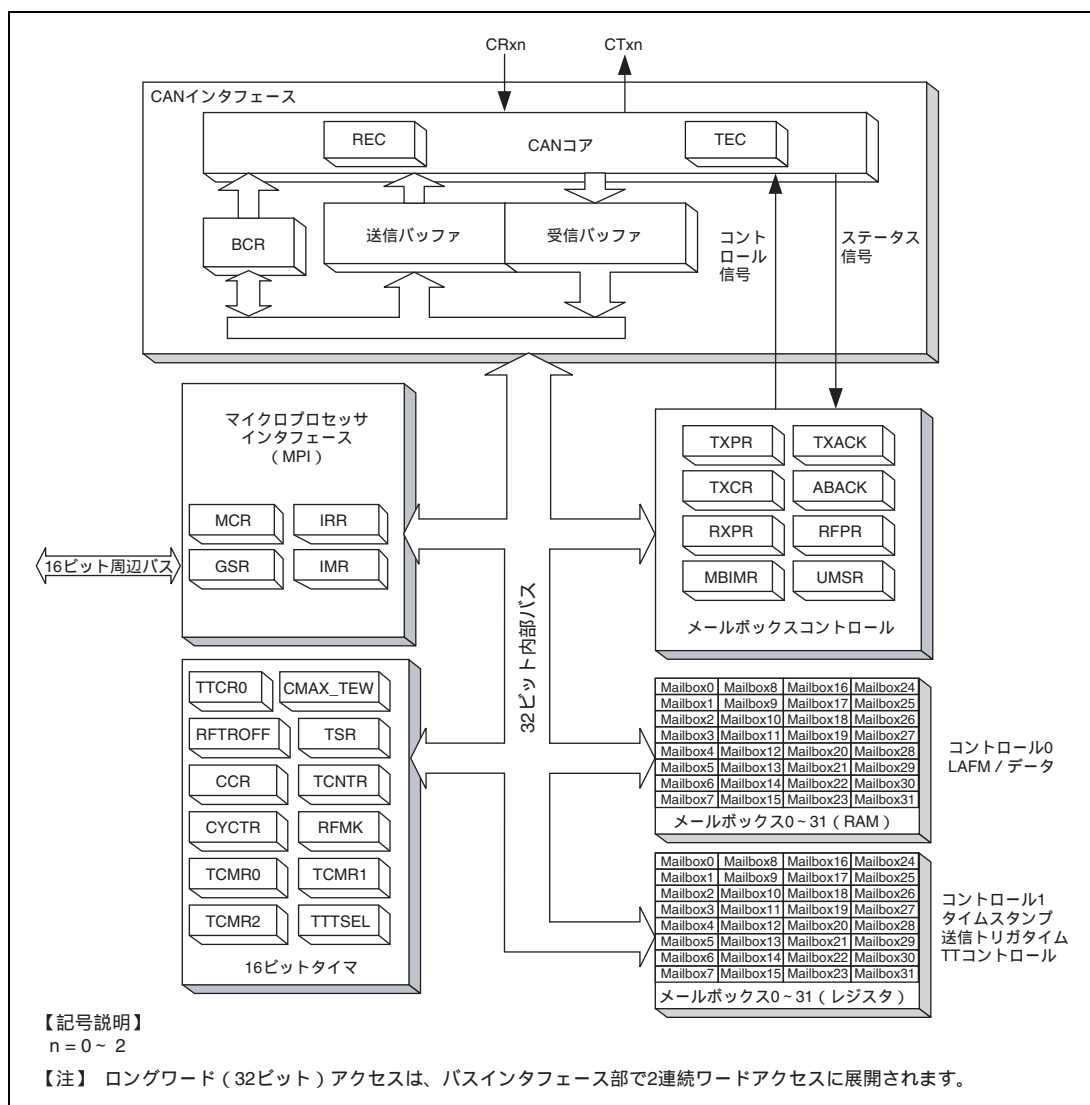


図 23.1 ブロック図 (1 チャネルあたり)

23.2.2 各ブロックの機能

(1) マイクロプロセッサインタフェース (MPI)

MPI は、CPU と本モジュールのレジスタやメールボックスとの間の通信を可能にし、メモリインタフェースを制御します。また MPI は CAN バスのアクティブを検出し、MPI 自体や本モジュールの他のモジュールにも CAN バスのアクティブを通知するウェイクアップコントロールロジックを持っているので、本モジュールは自動的に CAN スリープモードを解除することができます。なお MPI のレジスタには、MCR、IRR、GSR、および IMR があります。

(2) メールボックス

メールボックスは、メッセージバッファとして RAM およびレジスタに配列されています。RAM とレジスタ内には、それぞれ 32 個のメールボックスがあり、以下の情報を格納します。

[RAM]

- CANメッセージコントロール (ID、RTR、IDE など)
- CANメッセージデータ (CANデータフレーム用)
- 受信用のローカルアクセプタンスフィルタマスク (LAFM)

[レジスタ]

- CANメッセージコントロール (DLC)
- メッセージ送信/受信タイムスタンプ
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット
- 送信トリガタイム

(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するための RAM アドレスとデータを生成し、対応するレジスタをセット/クリアします。
- イベントトリガメッセージ送信時は、内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。タイムトリガ送信の場合は、送信トリガタイムのコンペアマッチでメッセージをロードします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

(4) タイマ

本タイマは、特定の時間枠でメッセージを送信し、結果を記録するための機能ブロックです。16 ビットのフリーランニングアップカウンタで、CPU で制御することができます。ローカルタイムと比較する 16 ビットのコンペアマッチレジスタが 1 個と、サイクルタイムと比較するコンペアマッチレジスタが 2 個あります。これらのコンペアマッチレジスタは、割り込み信号を発生し、カウンタをクリアすることができます。本タイマのクロックは、システムクロックから生成する多数のクロック周期から選択することができますが、CAN バスの 1 ビットタイミングでカウントするようにプログラムすることも可能です。本タイマのレジスタには、TCNTR、TTCR0、CMA_X_TEW、RFTROFF、TSR、CCR、CYCTR、RFMK、TCMR0、TCMR1、TCMR2、および TTTSEL があります。

(5) CAN インタフェース

本ブロックは参考文献[2]と[4]の CAN バスデータリンクコントローラ仕様をサポートしています。これは OSI モデルで規定されるデータリンクコントローラの全機能を満たします。また、CAN バスに特化したレジスタやロジックも提供します。具体的には、受信エラーカウンタ、送信エラーカウンタ、ビットコンフィギュレーションレジスタ、種々のテストモードなどです。さらに、CAN データリンクコントローラの送受信を格納する機能もあります。

23.2.3 端子構成

表 23.1 に端子構成を示します。

表 23.1 端子構成

名称	端子名	入出力	機能
送信データ端子	CTxn	出力	CAN バス送信用端子です。
受信データ端子	CRxn	入力	CAN バス受信用端子です。

【注】 n=0、1、2

23.2.4 メモリマップ

図 23.2 にメモリマップを示します。

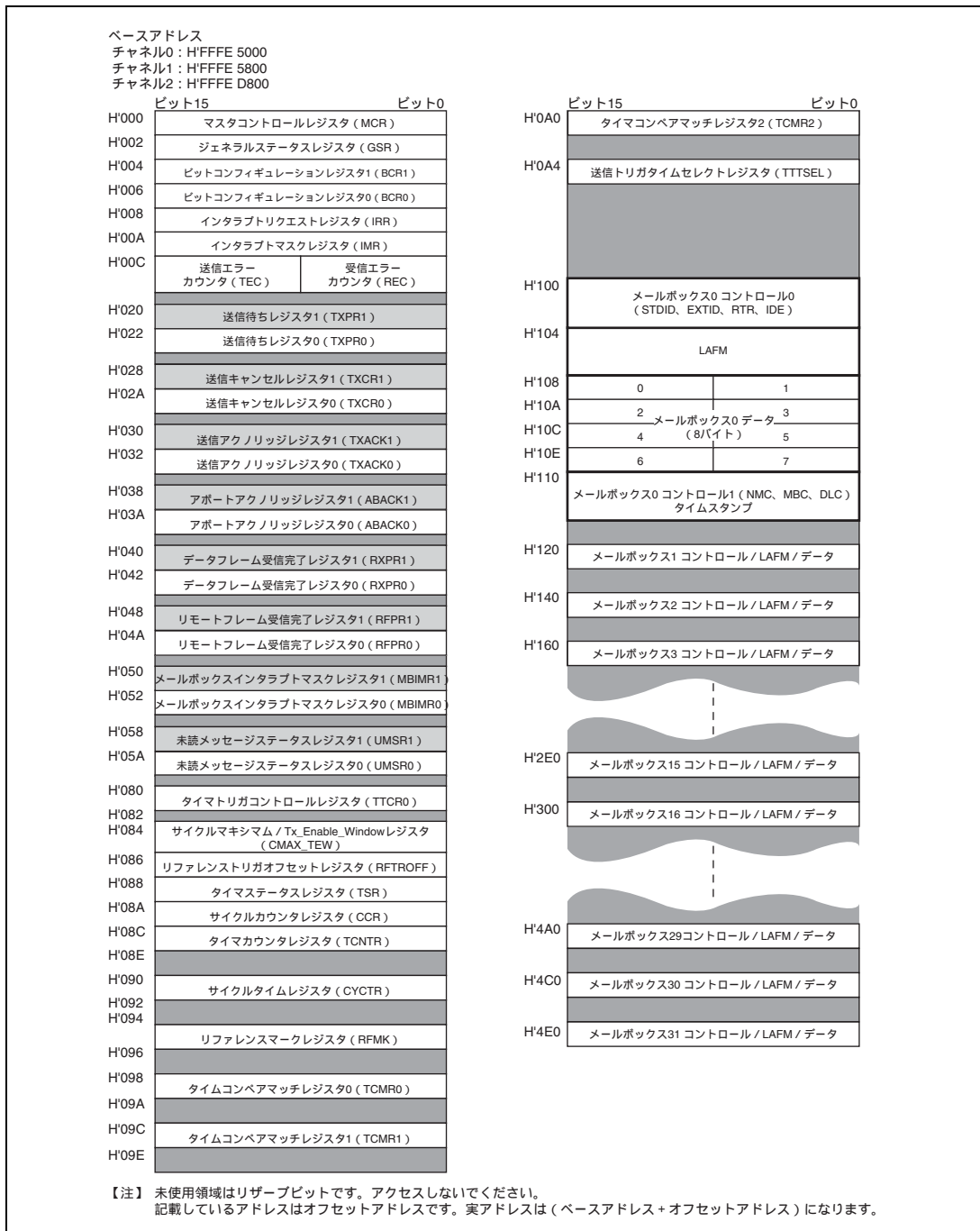


図 23.2 メモリマップ (1チャンネルあたり)

23.3 メールボックス

23.3.1 メールボックスの構成

メールボックスはCAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの 3 個の格納フィールドからなります。さらに、タイムスタンプ、タイムトリガコンフィギュレーション、およびタイムトリガコントロールのフィールドを持つメールボックスもあります。

表 23.2 に各メールボックスに対するメッセージコントロール、LAFM、メッセージデータ、タイムスタンプ、送信トリガタイム、およびタイムトリガコントロールのアドレスマップを示します。

表 23.2 各メールボックスのアドレスマップ (1 チャンネルあたり)

メール ボックス	アドレス						
	コントロール0	LAFM	データ	コントロール1	タイム スタンプ	トリガタイム	TT コントロール
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	2 バイト	2 バイト
0 (受信のみ)	100 - 103	104 - 107	108 - 10F	110 - 111	112 - 113	-	-
1	120 - 123	124 - 127	128 - 12F	130 - 131	132 - 133	-	-
2	140 - 143	144 - 147	148 - 14F	150 - 151	152 - 153	-	-
3	160 - 163	164 - 167	168 - 16F	170 - 171	172 - 173	-	-
4	180 - 183	184 - 187	188 - 18F	190 - 191	192 - 193	-	-
5	1A0 - 1A3	1A4 - 1A7	1A8 - 1AF	1B0 - 1B1	1B2 - 1B3	-	-
6	1C0 - 1C3	1C4 - 1C7	1C8 - 1CF	1D0 - 1D1	1D2 - 1D3	-	-
7	1E0 - 1E3	1E4 - 1E7	1E8 - 1EF	1F0 - 1F1	1F2 - 1F3	-	-
8	200 - 203	204 - 207	208 - 20F	210 - 211	212 - 213	-	-
9	220 - 223	224 - 227	228 - 22F	230 - 231	232 - 233	-	-
10	240 - 243	244 - 247	248 - 24F	250 - 251	252 - 253	-	-
11	260 - 263	264 - 267	268 - 26F	270 - 271	272 - 273	-	-
12	280 - 283	284 - 287	288 - 28F	290 - 291	292 - 293	-	-
13	2A0 - 2A3	2A4 - 2A7	2A8 - 2AF	2B0 - 2B1	2B2 - 2B3	-	-
14	2C0 - 2C3	2C4 - 2C7	2C8 - 2CF	2D0 - 2D1	2D2 - 2D3	-	-
15	2E0 - 2E3	2E4 - 2E7	2E8 - 2EF	2F0 - 2F1	2F2 - 2F3	-	-
16	300 - 303	304 - 307	308 - 30F	310 - 311	-	-	-
17	320 - 323	324 - 327	328 - 32F	330 - 331	-	-	-
18	340 - 343	344 - 347	348 - 34F	350 - 351	-	-	-
19	360 - 363	364 - 367	368 - 36F	370 - 371	-	-	-
20	380 - 383	384 - 387	388 - 38F	390 - 391	-	-	-
21	3A0 - 3A3	3A4 - 3A7	3A8 - 3AF	3B0 - 3B1	-	-	-
22	3C0 - 3C3	3C4 - 3C7	3C8 - 3CF	3D0 - 3D1	-	-	-

メールボックス	アドレス						
	コントロール0	LAFM	データ	コントロール1	タイムスタンプ	トリガタイム	TT コントロール
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	2 バイト	2 バイト
23	3E0 - 3E3	3E4 - 3E7	3E8 - 3EF	3F0 - 3F1	-	-	-
24	400 - 403	404 - 407	408 - 40F	410 - 411	-	414 - 415	416 - 417
25	420 - 423	424 - 427	428 - 42F	430 - 431	-	434 - 435	436 - 437
26	440 - 443	444 - 447	448 - 44F	450 - 451	-	454 - 455	456 - 457
27	460 - 463	464 - 467	468 - 46F	470 - 471	-	474 - 475	476 - 477
28	480 - 483	484 - 487	488 - 48F	490 - 491	-	494 - 495	496 - 497
29	4A0 - 4A3	4A4 - 4A7	4A8 - 4AF	4B0 - 4B1	-	4B4 - 4B5	4B6 - 4B7
30	4C0 - 4C3	4C4 - 4C7	4C8 - 4CF	4D0 - 4D1	4D2 - 4D3 (ローカル タイム)	4D4 - 4D5	-
31	4E0 - 4E3	4E4 - 4E7	4E8 - 4EF	4F0 - 4F1	4F2 - 4F3 (ローカル タイム)	-	-

メールボックス 0 は受信専用です。他のすべてのメールボックスは、メッセージコントロールの MBC (メールボックス構成) ビットの設定により、送信、受信ともに可能です。メールボックスの構成の詳細を図 23.3 ~ 図 23.5 に示します。

表 23.3 メールボックスの役割

	イベントトリガ		タイムトリガ		備考	
	送信	受信	送信	受信	タイムスタンプレジスタ	送信トリガタイムレジスタ
MB31	設定可	設定可	-	タイムリファレンス受信	有	-
MB30	設定可	設定可	タイムマスタモード時 タイムリファレンス送信	タイムスレーブ モード時受信	有	有
MB29 ~ MB24	設定可	設定可	設定可	設定可	-	有
MB23 ~ MB16	設定可	設定可	- (ET)	設定可	-	-
MB15 ~ MB1	設定可	設定可	- (ET)	設定可	有	-
MB0	-	設定可	-	設定可	有	-

【注】 ET : タイムトリガモード時のマージドアービトレーティングウィンドウ内で送信動作可能です。

・ MB0 (タイムスタンプ付き受信メールボックス)

アドレス	データバス																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0	
H*102+N*32	EXTID[15:0]																16	
H*104+N*32	IDE LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM	
H*106+N*32	EXTID_LAFM[15:0]																16	
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16	
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16	
H*110+N*32	0	0	NMC	0	0	MBC[2:0]*		0	0	0	0	DLC[3:0]		8/16	コントロール1			
H*112+N*32	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)																16	タイムスタンプ

・ MB15-1 (タイムスタンプ付きメールボックス)

アドレス	データバス																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0	
H*102+N*32	EXTID[15:0]																16	
H*104+N*32	IDE LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM	
H*106+N*32	EXTID_LAFM[15:0]																16	
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16	
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16	
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]		8/16	コントロール1			
H*112+N*32	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)																16	タイムスタンプ

【注】 * MBC[1] = 1 固定

1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
2. ATXとDARTはメールボックス0ではサポートされません。また、メールボックス0のMBCの設定値は限られています。
3. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 23.3 メールボックス (0~15) の構成

・ MB23 - 16 (メールボックス: タイムスタンプなし)

アドレス	データバス																アクセスサイズ	フィールド名		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]				16/32	コントロール0	
H*102+N*32	EXTID[15:0]																16			
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]				16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]																16			
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ		
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16			
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32			
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16			
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]			8/16	コントロール1				
・ MB29 - 24 (タイムトリガモード時タイムトリガ送信)																				
アドレス	データバス																アクセスサイズ	フィールド名		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]				16/32	コントロール0	
H*102+N*32	EXTID[15:0]																16			
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]				16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]																16			
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ		
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16			
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32			
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16			
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]			8/16	コントロール1				
H*112+N*32	リザーブ																—	—		
H*114+N*32	送信トリガタイム (TTT)																16	トリガタイム		
H*116+N*32	TTW[1:0]		オフセット						0	0	0	0	Rep_Factor			16	TTコントロール			

【注】 1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
2. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 23.4 メールボックス (16 ~ 29) の構成

・MB30 (タイムトリガモード時タイムリファレンス送信)

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16	
H*104+N*32	IDE LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM	
H*106+N*32	EXTID_LAFM[15:0]															16	
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32	データ	
H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16		
H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32		
H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16		
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]	0	0	0	0	DLC[3:0]			8/16	コントロール1		
H*112+N*32	TimeStamp[15:0] (SOFでのTCNTR値)															16	タイムスタンプ
H*114+N*32	タイムリファレンスとしての送信トリガタイム (TTT)															16	トリガタイム

・MB31 (タイムトリガモード時タイムリファレンス受信)

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16	
H*104+N*32	IDE LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM	
H*106+N*32	EXTID_LAFM[15:0]															16	
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32	データ	
H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16		
H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32		
H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16		
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]	0	0	0	0	DLC[3:0]			8/16	コントロール1		
H*112+N*32	TimeStamp[15:0] (SOFでのTCNTR値)															16	タイムスタンプ

【注】 1. グレー表示のビットはリザーブビットです。書き込み値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
2. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 23.5 メールボックス (30、31) の構成

23.3.2 メッセージコントロールフィールド

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL0H	H'100+N*32	15	IDE	ID 拡張 CAN データフレームとリモートフレームがスタンダードフォーマットかエクステンデッドフォーマットかを区別します。 0 : スタンダードフォーマット 1 : エクステンデッドフォーマット
		14	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き換えます。 【重要】MBC=B'001 でデータフレーム自動送信 (ATX) ビットをセットすると RTR はセットできません。リモートフレームを受信すると、CPU は対応する RFPR ビットまたは IRR2 (リモートフレーム受信割り込み) ビットによって通知されますが、本モジュールは現在のメッセージをデータフレームとして送信する必要があるので RTR ビットは変化しません。 【重要】MBC=B'001 で ATX=1 を設定し、リモートフレームを受信したメールボックスは自動的に送信設定されます。そのときデータフレームが送信されるように、RTR は 0 に設定しなければなりません。 0 : データフレーム 1 : リモートフレーム
		13	-	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12~2	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定するビットです。
		1, 0	EXTID [17:16]	エクステンデッド ID データフレームとリモートフレームの ID (エクステンデッド ID) を設定するビットです。
MB[x]. CONTROL0L	H'102+N*32	15~0	EXTID [15:0]	

• メールボックス0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	0	0	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

【注】 MBC[1]の値は常に1です。

• メールボックス1~31

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1	H'110+N*32	15, 14	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
		13	NMC	<p>ニューメッセージコントロール</p> <p>このビットが0にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持しUMSRの対応するビットをセットします。</p> <p>このビットが1にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージをオーバーライトし、UMSRの対応するビットをセットします。</p> <p>【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPRおよびRFPRフラグは(USMRと一緒に)同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にあるRTRビットも上書きされます。</p> <p>【重要】 タイムトリガモード使用時には、メールボックス31のNMCを必ず1にセットし、RXPR[31]がクリアされなくてもすべてのリファレンスメッセージを受信できるようにしてください。</p> <p>0: オーバランモード 1: オーバライトモード</p>

レジスタ名	アドレス	ビット	ビット名	説 明
MB[x]. CONTROL1	H'110+N*32	12	ATX	<p>データフレーム自動送信</p> <p>本ビットが1にセットされ、リモートフレームがメールボックスで受信されると、DLCが格納され、TXPRは自動的にセットされます。同じメールボックスから書き換えられたDLCを使用し、自動的にデータフレームが送信されます。</p> <p>自動送信設定されたメールボックスは、メッセージ送信プライオリティビット(MCR2)の設定に従って、ID優先順位あるいはメールボックス優先順位にスケジューリングされます。本機能を使用するにはMBC[2:0]をB'001に設定してください。この機能を用いて送信を行うとき、用いるデータ長コード(DLC)は受信されたものが使用されます。これを適用するには、リモートフレームのDLCは要求されているデータフレームのDLCに対応したものであることが必要です。</p> <p>【重要】1. ATXが使用され、MBCがB'001のとき、リモートフレームのIDは、応答メッセージの場合と同じく、データフレームのIDと完全に同じでなくてはならないため、IDEビットのフィルタは使用できません。</p> <p>2. 本機能を使用する場合、リモートフレームを受信するにもかかわらず、RTRビットはセットされません。リモートフレームを受信するとCPUはセット済みRFPRによって通知されますが、本モジュールは現在のメッセージをデータフレームとして送信する必要があるためRTRビットは変更されません。</p> <p>3. リモートフレームの自動送信が開始されないこともあります。オーバランの状態(NMC=0のときのUMSRセット)に注意してください。</p> <p>4. ATX=1に設定されたメールボックスがリモートフレームによりオーバラン状態になった場合、旧メッセージの自動送信の要求が受け付けられる場合があります。</p> <p>0: データフレームの自動送信無効 1: データフレームの自動送信有効</p> <p>【注】本ビットはメールボックス1~31にのみあります。メールボックス0ではリザーブビットとなります。</p>
		11	DART	<p>自動再送信無効</p> <p>このビットが1にセットされると、CANバスエラーのイベントが発生した場合や、CANバスのアービトラジョンで負けた場合、メッセージの自動再送信を無効にします。実際に、本機能が使用されるときは、対応するTXCRビットが送信の最初に自動的にセットされます。このビットが0にセットされると、本モジュールは、TXCRで送信リクエストをキャンセルされるか、送信が正常終了されるまで送信をリクエストします。</p> <p>0: 再送信有効 1: 再送信無効</p> <p>【注】本ビットはメールボックス1~31にのみあります。メールボックス0ではリザーブビットとなります。</p>

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1	H'110+N*32	10~8	MBC[2:0]	<p>メールボックスコンフィギュレーション</p> <p>これらのビットは各メールボックスの機能を表 23.4 のように設定します。MBC が B'111 のとき、メールボックスはアクティブでなくなります。つまり TXPR やその他の設定にかかわらずメッセージの送受信を行いません。</p> <p>MBC を B'100、B'101、B'110 に設定することは禁止されています。MBC の値を B'000 とそれ以外に設定すれば、LAFM フィールドは使用可能となります。</p> <p>MBC が受信に設定されているとき、TXPR はセットしないでください。ハードウェア保護機能はなく、TXPR はセットされたままになります。メールボックス 0 の MBC[1]は受信専用のため、ハードウェアによって 1 に固定されています。</p>
		7~4	-	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
		3~0	DLC[3:0]	<p>データ長コード</p> <p>データフレームで送信されるデータのバイト数 (0~8) をエンコードします。</p> <p>0000 : データ長 0 バイト 0001 : データ長 1 バイト 0010 : データ長 2 バイト 0011 : データ長 3 バイト 0100 : データ長 4 バイト 0101 : データ長 5 バイト 0110 : データ長 6 バイト 0111 : データ長 7 バイト 1xxx : データ長 8 バイト</p> <p>【注】 x : Don't care</p>

表 23.4 メールボックスの機能の設定

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明	
0	0	0	可	可	不可	不可	<ul style="list-style-type: none"> • メールボックス 0 は使用不可能 • タイムトリガ送信は使用可能 	
0	0	1	可	可	不可	可	<ul style="list-style-type: none"> • ATX で使用可能* • メールボックス 0 は使用不可能 • LAFM は使用可能 	
0	1	0	不可	不可	可	可	<ul style="list-style-type: none"> • メールボックス 0 は使用可能 • LAFM は使用可能 	
0	1	1	不可	不可	可	不可	<ul style="list-style-type: none"> • メールボックス 0 は使用可能 • LAFM は使用可能 	
1	0	0	設定禁止					
1	0	1	設定禁止					
1	1	0	設定禁止					
1	1	1	メールボックスインアクティブ (初期値)					

【注】 * 自動再送信をサポートするために、MBC が B'001 で ATX が 1 のとき RTR は 0 にしてください。ATX が 1 の設定で使用するときは IDE のフィルタは使用しないでください。

23.3.3 ローカルアクセプタンスフィルタマスク (LAFM)

MBC が B'001、B'010、B'011 の値の場合、このフィールドは受信用の LAFM として使用されます。LAFM はメールボックスが複数の受信 ID を受け入れることを許可します。LAFM は、図 23.6 に示すとおり、2 つの 16 ビットの読み出し / 書き込み可能なエリアから成ります。

レジスタ名	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
MB[0].LAFMH	H'104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]												EXTID_LAFM[17:16]	16/32	LAFM
MB[0].LAFML	H'106+N*32	EXTID_LAFM[15:0]																16	

図 23.6 ローカルアクセプタンスフィルタマスク (LAFM)

1 つのビットが LAFM にセットされている場合、本モジュールが一致する CAN-ID でメールボックスを検索するとき、受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールボックスに設定されている STDID/IDE/EXTID と一致していません。LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. 本モジュールは、メールボックス 31 からメールボックス 0 まで、一致する ID の検索を行います。本モジュールは一致する ID を検知すると、そのメッセージは NMC や RXPR/RFPR フラグによらず、ただちに検索を終了します。これは、LAFM を使用していても受信メッセージは 1 つのメールボックスにのみ格納されることを示します。
 2. 1 つのメッセージが受信され一致するメールボックスが見つかったら、メッセージ全体がメールボックスに格納されます。LAFM を使用している場合、STDID、RTR、IDE、EXTID は受信されたメッセージの STDID、RTR、IDE、EXTID に更新されるので、受信前に設定されていたものと異なることがあります。

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. LAFMH	H'104+N*32	15	IDE_LAFM	IDE ビットのフィルタマスクビット 0 : 対応する IDE ビットが有効 1 : 対応する IDE ビットが無効
		14, 13	-	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12~2	STDID_LAFM [10:0]	STDID[10:0]のフィルタマスクビット 0 : 対応する STDID ビットが有効 1 : 対応する STDID ビットが無効
		1, 0	EXTID_LAFM [17:16]	EXTID[17:0]のフィルタマスクビット 0 : 対応する EXTID ビットが有効 1 : 対応する EXTID ビットが無効
MB[x]. LAFML	H'106+N*32	15~0	EXTID_LAFM [15:0]	1 : 対応する EXTID ビットが無効

23.3.4 メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

- タイムトリガ送信時の注意事項

メールボックス 30 は、CMAX B'111、MBC[30]=B'000 で TXPR[30] を 1 に設定すると、タイムリファレンス受信用に設定できます。この際、必ず DLC には 0 より大きい値を設定し、RTR は 0 に設定してください (TTCAN Level 1 にて規定)。メールボックス 30 の送信開始時に、データフィールドの先頭バイトの MSG_DATA_0[5:0] にサイクルカウンタ値 (CCR) が埋め込まれてメッセージを送信します。

MSG_DATA_0[7:6] は、メールボックスに格納された値が送信されます。

Next_is_Gap を送信する必要がある場合は、ユーザは MSG_DATA_0[7] を 1 に設定することで送信できます。

このとき、CCR の値は送信されるフレームに入りますが、メールボックス 30 のメッセージデータフィールドには格納されませんのでご注意ください。

メールボックス 31 は、CMAX B'111、MBC[31]=B'011 で設定するとタイムリファレンス受信用に設定されます。有効なリファレンスメッセージを受信すると (ID 一致、DLC>0)、本モジュールは RFMK およびサイクルカウンタ (CCR) を書き換えることにより、Cycle_Time と Basic_Cycle を同期化します。

MB30, 31		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
H'108+N*32	Next_is_Gap/Cycle_Counter (最初のRx/Tx/バイト)	MSG_DATA_1											8/16/32ビット		データ			
H'10A+N*32	MSG_DATA_2	MSG_DATA_3											8/16ビット					
H'10C+N*32	MSG_DATA_4	MSG_DATA_5											8/16/32ビット					
H'10E+N*32	MSG_DATA_6	MSG_DATA_7											8/16ビット					

図 23.7 メッセージデータフィールド

23.3.5 タイムスタンプ

送信 / 受信メッセージに記録されたタイムスタンプを格納します。タイムスタンプは、メッセージがスケジュールどおりに送信 / 受信されたかどうかをモニタするのに役立ちます。

- タイムスタンプ

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(1) メッセージ受信

メールボックス0～15の受信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ0 (TTCR0) のビット14の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値またはCCR[5:0] (サイクルカウンタ) + CYCTR[15:6] (サイクルタイムレジスタ) の値が受信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

メールボックス30、31の受信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が受信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

(2) メッセージ送信

メールボックス1～15の送信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ0 (TTCR0) のビット14の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値またはCCR[5:0] (サイクルカウンタ) + CYCTR[15:6] (サイクルタイムレジスタ) の値が送信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

メールボックス30、31の送信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が送信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

【重要】 タイムスタンプはテンポラリレジスタに格納されます。送信または受信が正常に行われると、その値がメールボックスのフィールドにコピーされます。また、オーバーランによって UMSR[N]がセットされると同時に CPU が RXPR[N]/RFPR[N]をクリアしたとき、タイムスタンプのみが更新されることがあります。したがって、RXPR[N]/RFPR[N]がクリアされる前の正しいタイムスタンプ値をリードすることができます。

23.3.6 送信トリガタイム (TTT) とタイムトリガコントロール

メールボックス 24~29 では、タイムトリガモード (CMAX B'111) で MBC を B'000 に設定すると、送信トリガタイムはタイムウィンドウ間の境界を決定するための Time_Mark として機能します。

送信トリガタイム (TTT) とタイムトリガコントロール (TT コントロール) は、以下に示す 2 つの 16 ビットリード/ライトレジスタで構成されています。

メールボックス 30 にはタイムトリガコントロール (TT コントロール) がなく、Time_Ref として機能します。

メールボックス 24~30 をタイムトリガモード送信に使用しない場合は、受信用メールボックスとして使用することができます。ただし、タイムトリガモードを使用する場合は、イベントトリガ送信の対象にはなりません。

- 送信トリガタイム (TTT)

送信トリガタイム (TTT) は、サイクルタイム内でメッセージの送信を開始する時間を指定します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8	TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0
-------	-------	-------	-------	-------	-------	------	------	------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

- タイムトリガコントロール (TT コントロール)

タイムトリガコントロール (TT コントロール) は、ウィンドウの属性、送信を開始するシステムマトリックス内のサイクルカウント (Basic Cycle) および定周期送信の頻度を指定します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTW[1:0]	Offset[5:0]					0	0	0	0	0	rep_factor[2:0]				
----------	-------------	--	--	--	--	---	---	---	---	---	-----------------	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R R R R R R/W R/W R/W

タイムトリガモードをサポートするすべてのメールボックス間の相違点を図 23.8 に示します。

MB29-24																						
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																						
送信トリガタイム (サイクルタイム)																						
H114 + N*32											16ビット		トリガタイム									
H116 + N*32											TTW[1:0]		Offset[5:0]		0 0 0 0		rep_factor[2:0]		16ビット		TTコントロール	
MB30																						
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																						
送信トリガタイム (サイクルタイム)																						
H114 + N*32											16ビット		トリガタイム									

図 23.8 送信トリガコントロールフィールド

- TTW[1:0] (タイムトリガウィンドウ)

タイムウィンドウの属性を示します。TTW=B'10 設定でスタートしたマージドアービトレーティングウィンドウ (Merged Arbitrating Window) は、必ず TTW=B'11 設定によって終了してください。マージドアービトレーティングウィンドウの先頭から最後まで間に TTW=B'10 設定のメッセージを数個使用することができます。

TTW[1]	TTW[0]	説 明
0	0	エクスクルーシブウィンドウ : exclusive window (初期値)
0	1	アービトレーティングウィンドウ : arbitrating window
1	0	マージドアービトレーティングウィンドウの開始 : Start of Merged arbitrating window
1	1	マージドアービトレーティングウィンドウの終了 : End of Merged arbitrating window

TT レジスタの値が CYCTR の値と一致し、Offset の値が CCR の値と一致すると、対応するメールボックスから送信を試みます。この機能を有効にするには、CMAX B'111 に設定し、タイマ (TCNTR) を動作させ (TTCR0 のビット 15 が 1)、対応するメールボックスの MBC=B'000 に設定し、対応する TXPR のビットを 1 に設定してください。TXPR のビットをソフトウェアでセットした後は、定周期送信を続けるために、本モジュールはその TXPR のビット (メールボックス 24~30) をクリアしません。

定周期送信を停止するには、TXCR で TXPR をクリアしてください。この場合、送信完了直後に TXACK をクリアしないと、同じメールボックスの TXACK と ABACK の両方がセットされる可能性があります (図 23.9 参照)。

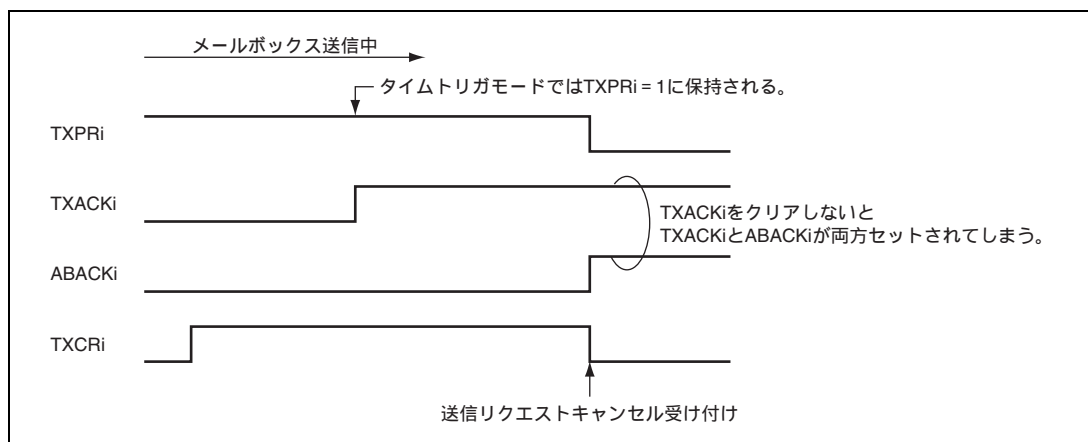


図 23.9 タイムトリガ送信時の TXACK と ABACK

なお、メールボックス 30 では TTW=B'01、Offset=B'000000、rep_factor=B'000 に固定です。以下の表に rep_factor と Offset の組み合わせを示します。

rep_factor	説 明
B'000	サイクルカウントごと（初期値）
B'001	2 サイクルカウントごと
B'010	4 サイクルカウントごと
B'011	8 サイクルカウントごと
B'100	16 サイクルカウントごと
B'101	32 サイクルカウントごと
B'110	64 サイクルカウントごと（システムマトリックスごとに 1 回）
B'111	リザーブ

Offset フィールドは、タイムトリガメールボックスがメッセージの送信を開始できる最初のサイクルカウンタ値を決定します。

Offset	説 明
B'000000	オフセット（Offset）= 最初のサイクルカウント（初期値）
B'000001	オフセット（Offset）= 2 番目のサイクルカウント
B'000010	オフセット（Offset）= 3 番目のサイクルカウント
B'000011	オフセット（Offset）= 4 番目のサイクルカウント
B'000100	オフセット（Offset）= 5 番目のサイクルカウント
...	...
B'111110	オフセット（Offset）= 63 番目のサイクルカウント
B'111111	オフセット（Offset）= 64 番目のサイクルカウント

以下の関係を満たさなければなりません。

$$\text{Cycle_Count_Maximum} + 1 \geq \text{Repeat_Factor} > \text{Offset}$$

$$\text{Cycle_Count_Maximum} = 2^{\text{CMAX}} - 1$$

$$\text{Repeat_Factor} = 2^{\text{rep_factor}}$$

CMAX、Repeat_Factor、および Offset はレジスタ値です。

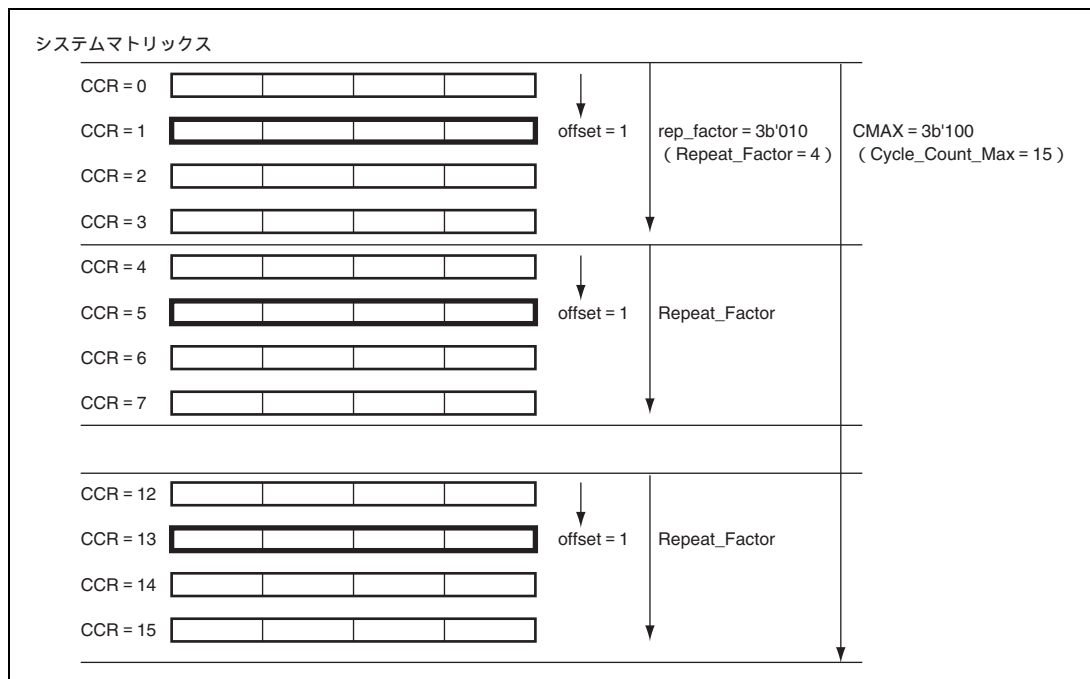


図 23.10 システムマトリックス

送信トリガタイムは昇順に設定してください。送信トリガタイム間の差は、 $TTT(\text{メールボックス } i) - TTT(\text{メールボックス } i-1) > TEW + \text{最大フレーム長} + 9$ を満たすように設定してください。

23.4 コントロールレジスタ

コントロールレジスタについて説明します。コントロールレジスタはワードサイズ（16ビット）でのみアクセスできます。

表 23.5 にコントロールレジスタを示します。

表 23.5 コントロールレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ(ビット)
マスタコントロールレジスタ	MCR	H'000	16
ジェネラルステータスレジスタ	GSR	H'002	16
ビットコンフィギュレーションレジスタ1	BCR1	H'004	16
ビットコンフィギュレーションレジスタ0	BCR0	H'006	16
インタラプトリクエストレジスタ	IRR	H'008	16
インタラプトマスクレジスタ	IMR	H'00A	16
送信エラーカウンタ / 受信エラーカウンタ	TEC/REC	H'00C	16

23.4.1 マスタコントロールレジスタ (MCR)

MCR は、16 ビットの読み出し / 書き込み可能なレジスタで、本モジュールを制御します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCR15	MCR14	-	-	-	TST[2:0]		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
初期値 :	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MCR15	1	R/W	<p>ID 並べ替え</p> <p>本ビットは HCAN2 と互換性のあるメッセージコントロールおよび LAFM の STDID、RTR、IDE、EXTID の順序を設定できます。なお本ビットはリセットモードでのみ変更可能です。ID 並び替えの順序については図 23.11 を参照してください。</p> <p>0 : 本モジュールと HCAN2 は同等の順序 1 : 本モジュールと HCAN2 は異なる順序</p>

ビット	ビット名	初期値	R/W	説 明
14	MCR14	0	R/W	<p>自動バスオフホルト</p> <p>本ビットと MCR6 がともに設定された場合、本モジュールがバスオフ状態に入ると MCR1 はただちに自動的にセットされます。本ビットはリセットモードでのみ変更可能です。</p> <p>0: 通常の復帰シーケンス (128×11 レセツピビット) で本モジュールバスオフ状態を維持</p> <p>1: MCR6 がセットされると本モジュールはバスオフ状態のあと、ただちにホルトモードに入ります</p>
13~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
10~8	TST[2:0]	000	R/W	<p>テストモード</p> <p>本ビットはテストモードを有効/無効にします。テストモードを起動する前に、本モジュールをホルトモードあるいはリセットモードにする必要がありますので注意してください。これは、テストモードへの遷移が進行中の送受信に影響することを回避するためです。詳細については「23.7.2 テストモードの設定」を参照してください。</p> <p>テストモードは診断およびテストのためだけに用いるもので、本モジュールが通常動作時には使用できません。</p> <p>000: ノーマルモード</p> <p>001: リスンオンリモード (受信専用モード)</p> <p>010: セルフテストモード 1 (外部)</p> <p>011: セルフテストモード 2 (内部)</p> <p>100: ライトエラーカウンタ</p> <p>101: エラーパッシブモード</p> <p>110: 設定禁止</p> <p>111: 設定禁止</p>
7	MCR7	0	R/W	<p>自動ウェイクモード</p> <p>本ビットは CAN スリープモードの自動ウェイクモードを有効/無効にします。本ビットが設定されると、本モジュールは CAN バスアクティビティ (ドミナントビット) を検出して自動的に CAN スリープモード (MCR5) を解除します。本ビットがクリアされると本モジュールは自動的に CAN スリープモードを解除しません。</p> <p>本モジュールは、ウェイクアップしたメッセージを格納できません。</p> <p>0: CAN バスのアクティビティによる自動ウェイクモードが無効</p> <p>1: CAN バスのアクティビティによる自動ウェイクモードが有効</p> <p>【注】 CAN スリープモード中は MCR7 ビットを変更できません。</p>

ビット	ビット名	初期値	R/W	説明
6	MCR6	0	R/W	<p>バスオフ時ホルト</p> <p>本ビットは、バスオフ時に MCR1 がセットされるとただちにホルトモードに入ることを有効にするか無効にするかを設定します。本ビットはリセットあるいはホルトモードでのみ変更可能です。バスオフ時にホルトモードに入った場合、CAN コントローラもただちにエラーアクティブモードに復帰するので注意してください。</p> <p>0 : バスオフ時にホルトモードには入らず、復帰シーケンスが終了するのを待ちます</p> <p>1 : バスオフ時に MCR1 設定によるホルトモード遷移を有効にします</p>
5	MCR5	0	R/W	<p>CAN スリープモード</p> <p>本ビットは CAN スリープモードへの遷移を有効/無効にします。本モジュールがホルトモード時に本ビットがセットされると、CAN スリープモードへの遷移が有効になります。本ビットの設定は、ホルトモードに入った後に許可されます。2 つのエラ - カウンタ (REC、TEC) は CAN スリープモードの間は変化しません。CAN スリープモードを解除するには 2 つの方法があります。</p> <ul style="list-style-type: none"> • MCR5 ビットに 0 を書き込む • MCR7 が有効の場合、CAN バス上のドミナントビットを検出する <p>自動スリープ解除モードが無効であれば、CAN スリープモードが終了するまで本モジュールはすべての CAN バスの動作を無視します。CAN スリープモードを解除するときは、本モジュールは CAN バス動作に入る前に 11 レセツピットをチェックすることで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに本モジュールが最初のメッセージを受信できないことを意味します。同様に CAN トランシーバもスタンバイモードを終了するときには最初のメッセージを受信できませんので、ソフトウェアはこの方法で設計する必要があります。</p> <p>CAN スリープモード中は MCR、GSR、IRR、IMR レジスタだけがアクセス可能です。詳細は「23.7.1 (3) CAN スリープモード」を参照してください。</p> <p>0 : CAN スリープモードが解除されています</p> <p>1 : CAN スリープモードへの遷移が有効です</p> <p>【注】本モジュールは、最初にホルトモードに設定してから CAN スリープモードに遷移できます。これにより、CAN スリープモードに遷移する前に CPU が待ち状態のすべての割り込みをクリアすることができます。すべての割り込みがクリアされてしまうと同時に本モジュールはホルトモードから CAN スリープモードに遷移しなければなりません。(具体的には MCR5 に 1 を、MCR1 に 0 を同時にライトします。)</p>
4、3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信プライオリティ</p> <p>本ビットはペンディング中の送信データの送信順序を選択します。本ビットを1にセットした場合、送信データは送信待ちレジスタ(TXPR)のビット順で送信されます。</p> <p>送信はメールボックス31を最優先で開始し、メールボックス1まで続けます(メールボックスが送信用に設定されている場合)。</p> <p>本機能は、メールボックス24~30のタイムトリガ送信には使用できませんのでご注意ください。もし本ビットがクリアされると、すべての送信メッセージは(内部アービトレーションを走らせることにより)ID優先順位どおり送信されます。最優先のメッセージは最小の数字のアービトレーションフィールド(STDID + IDE ビット+ EXTID (IDE = 1 の場合) + RTR ビット)を持ち、最初に送信されます。</p> <p>内部アービトレーションはRTRビットとIDEビットを含みます(内部アービトレーションは、2つのCANノード間のCANバス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します)。</p> <p>本ビットはリセットあるいはホルトモードでのみ変更可能です。</p> <p>0: メッセージID優先順に送信 1: メールボックス番号順(メールボックス31→メールボックス1)に送信</p>

ビット	ビット名	初期値	R/W	説 明
1	MCR1	0	R/W	<p>ホルトリクエスト</p> <p>本ビットをセットするとCANコントローラは現在の動作を終了したのちホルトモードに入ります(ここでCANバスからは切り離されます)。本モジュールは本ビットがクリアされるまでホルトモードのままになります。</p> <p>ホルトモード中、CAN インタフェースはCANバス動作に関係せず、メッセージの格納や送信も行いません。ホルト状態をCPUに通知するためのIRR0とGSR4を除き、ユーザレジスタ(メールボックスの内容およびTEC/RECを含みます)の内容は保持されます。</p> <p>CANバスがアイドルまたはインタミッション状態の場合は、MCR6にかかわらず本モジュールは1ビット時間内にホルトモードになります。MCR6がセットされていると、バスオフ中のホルトリクエストも1ビット時間内に動作します。それ以外ではバスオフ復帰シーケンスが完了するまではホルトモードに入りません。ホルトモードになるとIRR0とGSR4によって通知されます。</p> <p>MCR14とMCR6がセットされていると、本ビットは本モジュールがバスオフ状態に移移するとすぐに自動的にセットされます。</p> <p>ホルトモード中、本モジュールはバス動作に関係しないため、ビットタイミング設定を除き本モジュールの構成を変更することができます。CANバス動作に再び参加するには、本ビットを0にクリアする必要があります。クリア後、本モジュールは11レセツピットが検出されるまで待ち、CANバスに参加します。</p> <p>0: ホルトモードリクエストをクリア 1: ホルトモード遷移リクエスト</p> <p>【注】1. ホルトリクエストが発行された後は、CPUはホルトモードへの遷移が完了するまで(IRR0とGSR4で通知されます)TXPRとTXCRにアクセスおよび本ビットをクリアすることができません。MCR1がセットされた後、この状態はホルトモードに入ってから、(ソフトウェアまたハードウェアでの)リセット動作でのみ解除できます。</p> <p>2. ホルトモードへのあるいはホルトモードからの遷移が可能なのは、BCR1とBCR0レジスタが適切なポーレートに設定されているときだけです。</p>

ビット	ビット名	初期値	R/W	説明
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>本ビットは本モジュールのリセットを制御します。本ビットが0から1に変わったとき、CAN コントローラはリセットルーチンに入り、内部ロジックを初期化して、リセットモードを通知するため GSR3 と IRR0 をセットします。すべてのユーザレジスタが初期化されます。</p> <p>本ビットがセットされている間、本モジュールは再構成することができます。CAN バスに参加するために本ビットは0をライトしてクリアする必要があります。クリア後、本モジュールは、11 レセシブビットの検出を待って CAN バスに参加します。</p> <p>CAN バス上の値をサンプリングするためにボーレートを適切な値にセットする必要があります。パワーオンリセット後には、このビットと GSR3 は常にセットされます。これはリセットがリクエストされ本モジュールを構成する必要があることを示します。</p> <p>リセットリクエストはパワーオンリセットに相当しますがソフトウェアで制御されます。</p> <p>0 : リセットモードリクエストをクリア [クリア条件] 本モジュールをリセットした後に0が書き込まれたとき 1 : CAN インタフェースのリセットモード遷移リクエスト</p>

・ MCR15 (ID並べ替え) = 0																		
アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H*100+N*32	0	STDID[10:0]											RTR	IDE	EXTID[17:16]	16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16		
H*104+N*32	0	STDID_LAFM[10:0]											0	IDE_LAFM	EXTID_LAFM [17:16]	16/32	LAFMフィールド	
H*106+N*32	EXTID_LAFM[15:0]															16		
・ MCR15 (ID並べ替え) = 1																		
アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H*100+N*32	IED	RTR	0	STDID[10:0]											EXTID[17:16]		16/32	コントロール0
H*102+N*32	EXTID[15:0]															16		
H*104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM [17:16]		16/32	LAFMフィールド
H*106+N*32	EXTID_LAFM[15:0]															16		

図 23.11 ID 並べ替え

23.4.2 ジェネラルステータスレジスタ (GSR)

GSR は、16 ビットの読み出し専用レジスタで、本モジュールの状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
5	GSR5	0	R	エラーパッシブステータス CAN インタフェースがエラーパッシブかどうかを示します。本ビットは本モジュールがエラーパッシブ状態になるとすぐに1にセットされ、再びエラーアクティブ状態になるとクリアされます。これは、エラーパッシブ中とバスオフ中は、GSR5は1を保持することを意味します。したがって、正確な状態を知るにはGSR5とGSR0の両方を調べてください。 0: 本モジュールはエラーパッシブあるいはバスオフ状態ではありません [クリア条件] 本モジュールがエラーアクティブ状態の間 1: 本モジュールがエラーパッシブ(ただしGSR0=0の場合)あるいはバスオフ(ただしGSR0=1の場合)です [セット条件] TEC 128またはREC 128またはテストモードでエラーパッシブモード選択時
4	GSR4	0	R	ホルト/スリープステータス CAN コントローラがホルト/スリープかどうかを示します。本フラグのクリア時間はIRR12のセッティング時間とは同じではありませんので留意してください。このフラグはCAN コントローラの状態を反映するもので、本モジュールの状態をフルに反映するものではありません。本モジュールはCAN スリープモードを終了しMCR5がクリアされるとアクセス可能になります。CAN コントローラのカン スリープモードは、転送クロック2ビット分経過後に終了します。 0: 本モジュールはホルトモードでもCAN スリープモードでもありません 1: ホルトモード(MCR1=1の場合)またはCAN スリープモード(MCR5=1の場合)です [セット条件] MCR1がセットされCAN バスがインタミッションまたはアイドルの場合、またはMCR5がセットされ本モジュールがホルトモードのとき、またはMCR14とMCR6が両者とともセットされて本モジュールがバスオフへ遷移したとき

ビット	ビット名	初期値	R/W	説明
3	GSR3	1	R	リセットステータス 本モジュールがリセット状態かどうかを示します。 0: 本モジュールはリセット状態ではありません 1: 本モジュールがリセット状態です [セット条件] 本モジュールのソフトウェアまたはハードウェアリセットの後
2	GSR2	1	R	メッセージ送信中フラグ 本モジュールがバスオフ状態にあるのか、メッセージを送信中なのかまたは送信中に検出されたエラー起因によるエラー/オーバーロードのフラグを送信中なのかをCPUに示すフラグです。TXACKをセットするタイミングとGSR2をクリアするタイミングとは異なります。TXACKはEOFの7番目のビットにセットされます。GSR2については、送信待ちのメッセージがない場合には、インタミッションの3番目のビットでセットされます。また、アービトレーションロスト、バスアイドル、受信、リセット、ホルト遷移でもセットされます。 0: 本モジュールはバスオフ状態またはメッセージを送信中です 1: [セット条件] バスオフ状態でない、またはメッセージを送信中でない
1	GSR1	0	R	送信/受信ワーニングフラグ エラーワーニングを示すフラグです。 0: [クリア条件] TEC < 96 かつ REC < 96 またはバスオフのとき 1: [セット条件] 96 TEC < 256 または 96 REC < 256 のとき 【注】 REC は、バスオフ復帰シーケンスに必要な 11 レセップビットの繰り返し回数をカウントするために、バスオフ中は増加します。ただし、本ビットはバスオフ中にはセットされません。
0	GSR0	0	R	バスオフフラグ 本モジュールがバスオフ状態であることを示します。 0: [クリア条件] バスオフ状態から復帰またはハードウェアあるいはソフトウェアリセットの後 1: [セット条件] TEC = 256 (バスオフ状態)

23.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)

BCR0、BCR1 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケアラを設定します。

以下、タイムクオンタを以下のとおり定義します。

$$\text{タイムクオンタ} = 2 \times \text{BRP} / f_{\text{clk}}$$

BRP (ボーレートプリスケアラ) は BCR0 格納値 + 1 の値です。f_{clk} は周辺クロック 0 周波数です。

(1) BCR1

TSEG1 と TSEG2 の設定については表 23.6 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG1[3:0]				-	TSG2[2:0]			-	-	SJW[1:0]		-	-	-	BSP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~12	TSG1[3:0]	0000	R/W	タイムセグメント 1 これらのビットは、CAN バス上のエッジをポジティブフェーズエラーで補償するため、セグメント TSEG1 (= PRSEG + PHSEG1) を設定するために使用します。4~16 タイムクオンタが設定できます。 0000 : 設定禁止 0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1 = 4 タイムクオンタ 0100 : PRSEG + PHSEG1 = 5 タイムクオンタ : : 1111 : PRSEG + PHSEG1 = 16 タイムクオンタ
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	TSG2[2:0]	000	R/W	<p>タイムセグメント 2</p> <p>これらのビットは、CAN バス上のエッジをネガティブフェーズエラーで補償するため、セグメント TSEG2 (= PRSEG2) を設定することに使用します。2~8 タイムクオンタが設定できます。</p> <p>000 : 設定禁止</p> <p>001 : PHSEG2 = 2 タイムクオンタ (条件によっては設定禁止です。表 23.6 を参照してください)</p> <p>010 : PHSEG2 = 3 タイムクオンタ</p> <p>011 : PHSEG2 = 4 タイムクオンタ</p> <p>100 : PHSEG2 = 5 タイムクオンタ</p> <p>101 : PHSEG2 = 6 タイムクオンタ</p> <p>110 : PHSEG2 = 7 タイムクオンタ</p> <p>111 : PHSEG2 = 8 タイムクオンタ</p>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
5、4	SJW[1:0]	00	R/W	<p>再同期ジャンプ幅</p> <p>同期ジャンプ幅を設定します。</p> <p>00 : 同期ジャンプ幅 = 1 タイムクオンタ</p> <p>01 : 同期ジャンプ幅 = 2 タイムクオンタ</p> <p>10 : 同期ジャンプ幅 = 3 タイムクオンタ</p> <p>11 : 同期ジャンプ幅 = 4 タイムクオンタ</p>
3~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
0	BSP	0	R/W	<p>ビットサンプルポイント</p> <p>データがサンプリングされるポイントを設定します。</p> <p>0 : 1 か所でビットサンプリングが行われます (タイムセグメント 1 の最後)</p> <p>1 : 3 か所でビットサンプリングが行われます (PHSEG1 の最終 3 クロックサイクルの立ち上がりエッジ)</p>

(2) BCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BRP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
7~0	BRP[7:0]	00000000	R/W	ポーレートプリスケアラ これらのビットは、1 タイムクオンタに対応する周辺クロック 0 の数を設定します。 00000000 : 2×周辺クロック 0 00000001 : 4×周辺クロック 0 00000010 : 6×周辺クロック 0 : 2×(レジスタ値+1)×周辺クロック 0 11111111 : 512×周辺クロック 0

- ビットコンフィギュレーションレジスタについて

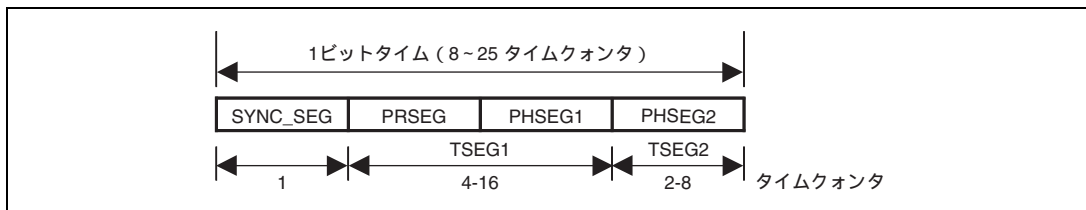


図 23.12 1 ビットタイムの構成

SYNC_SEG : CAN バス上のノードの同期をするセグメント

(通常のビットエッジ遷移がこのセグメントで発生します)

PRSEG : ネットワーク間の物理的な遅延を調整するセグメント

PHSEG1 : フェーズドリフト (正方向) のバッファセグメント (同期または再同期の際、拡張されます)

PHSEG2 : フェーズドリフト (負方向) のバッファセグメント (同期または再同期の際、縮小されます)

TSEG1 : TSG1 + 1

TSEG2 : TSG2 + 1

ビットレートは以下のとおり計算されます。

$$\text{ビットレート} = f_{clk} / (2 \times (\text{BRP} + 1) \times (\text{TSEG1} + \text{TSEG2} + 1))$$

BRP はレジスタ値で与えられ、また TSEG1 および TSEG2 は上述の表から算出した値であって実際の設定値ではありません。前記ビットレート計算式のタイムセグメントの「+1」は SYNC_SEG の 1 タイムクオンタであることによります。

f_{clk} = 周辺クロック 0

BCR 設定上の制約となる事項

TSEG1 (Min.) > TSEG2 SJW (Max.) (SJW = 1 ~ 4)

8 TSEG1 + TSEG2 + 1 25タイムクオンタ (TSEG1 + TSEG2 + 1 = 7は不可)

TSEG2 2

ビットコンフィギュレーションレジスタの TSEG1 および TSEG2 の値が表 23.6 に示される設定値の範囲であれば、上述の制限事項を満たします。表 23.6 の値は SJW の設定可能値を示したものです。「不可」で示されたところは TSEG1 と TSEG2 との組み合わせがとれません。

表 23.6 TSG と TSEG の設定

		001	010	011	100	101	110	111	TSG2
		2	3	4	5	6	7	8	TSEG2
TSG1	TSEG1								
0011	4	不可	1-3	不可	不可	不可	不可	不可	
0100	5	1-2	1-3	1-4	不可	不可	不可	不可	
0101	6	1-2	1-3	1-4	1-4	不可	不可	不可	
0110	7	1-2	1-3	1-4	1-4	1-4	不可	不可	
0111	8	1-2	1-3	1-4	1-4	1-4	1-4	不可	
1000	9	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1001	10	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1010	11	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1011	12	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1100	13	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1101	14	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1110	15	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1111	16	1-2	1-3	1-4	1-4	1-4	1-4	1-4	

例 1 : f_{clk} が 25MHz でビットレートを 250kbps とする場合、BRP = 4、TSEG1 = 5、TSEG2 = 4 が条件を満たします。この場合、BCR1 には H'4300、BCR0 には H'0004 をライトすることになります。

例 2 : f_{clk} が 33MHz でビットレートを 500kbps とする場合、BRP = 2、TSEG1 = 6、TSEG2 = 4 が条件を満たします。この場合、BCR1 には H'5300、BCR0 には H'0002 をライトすることになります。

23.4.4 インタラプトリクエストレジスタ (IRR)

IRR は、16 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因のステータスフラグで構成されています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	IRR15	0	R/W	<p>タイマコンペアマッチ割り込み 1</p> <p>タイマコンペアマッチレジスタ 1 (TCMR1) のコンペアマッチが発生したことを示します。TCMR1 の設定値がサイクルタイムと一致すると (TCMR1=CYCTR)、本ビットがセットされます。</p> <p>0 : TCMR1 のタイマコンペアマッチが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : TCMR1 のタイマコンペアマッチが発生</p> <p>[セット条件] TCMR1 がサイクルタイムと一致 (TCMR1=CYCTR)</p>
14	IRR14	0	R/W	<p>タイマコンペアマッチ割り込み 0</p> <p>タイマコンペアマッチレジスタ 0 (TCMR0) のコンペアマッチが発生したことを示します。TCMR0 の設定値がローカルタイムと一致すると (TCMR0=TCNTR)、本ビットがセットされます。</p> <p>0 : TCMR0 のタイマコンペアマッチが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : TCMR0 のタイマコンペアマッチが発生</p> <p>[セット条件] TCMR0 がタイム値と一致 (TCMR0=TCNTR)</p>

ビット	ビット名	初期値	R/W	説明
13	IRR13	0	R/W	<p>タイマオーバーラン割り込み / Next_is_Gap 受信割り込み / メッセージエラー割り込み</p> <p>本割り込みは本モジュールのモードにより異なった意味を持ち、以下の状態を示します。</p> <ul style="list-style-type: none"> • イベントトリガモード (テストモードを含む) で動作中、タイマ (TCNTR) オーバーランが発生。 • タイムトリガモード (テストモードを含む) で動作中、Next_is_Gap がセットされたタイムリファレンスメッセージを受信。 • テストモードでメッセージエラーが発生。ただし、テストモード中にメッセージオーバーロード条件が発生しても、本ビットはセットされません。 <p>0: イベントトリガモード (テストモードを含む) でタイマ (TCNTR) オーバーランが発生していない タイムトリガモード (テストモードを含む) で Next_is_Gap 付きタイムリファレンスメッセージを受信していない テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1: [セット条件] イベントトリガモード (テストモードを含む) でタイマ (TCNTR) オーバーランが発生し、H'FFFF から H'0000 に変化 タイムトリガモード (テストモードを含む) で Next_is_Gap 付きタイムリファレンスメッセージを受信 テストモードでメッセージエラーが発生</p>
12	IRR12	0	R/W	<p>CAN スリープモード時バスアクティビティ</p> <p>本ビットは CAN バスアクティビティの存在を示します。本モジュールが CAN スリープモードのとき、CAN バス上でドミナントビットを検出すると、本ビットがセットされます。本ビットに 1 を書き込むと割り込みがクリアされます。0 を書き込むと無視されます。オートウェイクアップ機能を使用せず本割り込みを受け付けない場合は、対応するマスクビットで必ず本割り込みを無効にしてください。オートウェイクアップ機能不使用時に本割り込みが要求された場合は、CAN スリープモードから復帰した後に本ビットをクリアしてください。これは、受信ライン上の新しい立ち下がりエッジにより、再び割り込みがセットされるのを防ぐためです。</p> <p>本割り込みのセット時間は、GSR4 のクリア時間と異なりますので注意してください。</p> <p>0: バスアイドル状態</p> <p>[クリア条件] 1 を書き込む</p> <p>1: CAN バスアクティビティを CAN スリープモード中に検出</p> <p>[セット条件] CAN スリープモード中に CRxn 上でドミナントへのビット状態変化を検出</p>

ビット	ビット名	初期値	R/W	説明
11	IRR11	0	R/W	<p>タイマコンペアマッチ割り込み 2</p> <p>タイマコンペアマッチレジスタ 2 (TCMR2) のコンペアマッチが発生したことを示します。TCMR2 の設定値がサイクルタイムと一致すると (TCMR2=CYCTR)、本ビットがセットされます。</p> <p>0 : TCMR2 のタイマコンペアマッチが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : TCMR2 のタイマコンペアマッチが発生</p> <p>[セット条件] TCMR2 がサイクルタイムと一致 (TCMR2=CYCTR)</p>
10	IRR10	0	R/W	<p>スタートシステムマトリックス割り込み</p> <p>次のシステムマトリックスが開始したことを示します。CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信完了時に本ビットがセットされます。CMAx=0 の場合は、本割り込みはサイクルカウント (Basic Cycle) ごとにセットされます。</p> <p>0 : 新しいシステムマトリックスの先頭でない</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : サイクルカウンタが 0 になった</p> <p>[セット条件]</p> <p>CMAx!=B'111 かつ CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信が完了</p>
9	IRR9	0	R	<p>メッセージオーバーラン / オーバライト割り込みフラグ</p> <p>本ビットは、メッセージを受信したが、対応する RXPR または RFPR がすでに 1 にセットされているためメールボックス内のメッセージが読み出されず、CPU によってクリアされていないことにより新しく受信されたメッセージは NMC ビットの設定によって、捨てられる (オーバーラン) か上書き (オーバーライト) されたことを示します。本ビットは UMSR レジスタの対応するビットに 1 を書き込むとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0 : メッセージオーバーラン / オーバライト通知がない</p> <p>[クリア条件] UMSR のすべてのビットがクリアまたはセットされたすべての UMSR に対応する MBIMR がセット</p> <p>1 : オーバランが発生したため、受信メッセージが捨てられた。またはメッセージがオーバーライトされた</p> <p>[セット条件] 対応する PXPR または RFPR = 1 かつ MBIMR = 0 のときにメッセージを受信</p>

ビット	ビット名	初期値	R/W	説明
8	IRR8	0	R	<p>メールボックスエンプティ割り込みフラグ</p> <p>送信用に設定されたメッセージの1つが正常に送信(対応する TXACK フラグがセット)または送信アボート(送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット)されると、本ビットがセットされます。</p> <p>このときイベントトリガモードでは、対応する TXPR がクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。</p> <p>タイムトリガモードでは、プログラムされたサイクルカウント (Basic Cycle) ごとの送信を続けるため、メールボックス 24~30 の TXPR は送信完了後にクリアされません。</p> <p>実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0 : 送信または送信キャンセルするメッセージが処理中でない</p> <p>[クリア条件] すべての TXACK および ABACK ビットがクリアまたは、セットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット</p> <p>1 : メッセージが送信または送信アボート(送信キャンセル)され、次のメッセージの格納が可能となった(タイムトリガモードでは、メールボックス 24~30 はアボート時のみ次のメッセージを格納可能)</p> <p>[セット条件] TXACK または ABACK ビットがセットされたとき(対応する MBIMR = 0 の場合)</p>
7	IRR7	0	R/W	<p>オーバーロードフレーム</p> <p>本モジュールがオーバーロードフレーム送信を検出したことを示すフラグです。IRR7 に 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : [セット条件] オーバロード条件を検出</p>

ビット	ビット名	初期値	R/W	説明
6	IRR6	0	R/W	<p>バスオフ割り込みフラグ</p> <p>本ビットは、本モジュールがバスオフ状態になったとき、またはバスオフ状態からエラーアクティブ状態に戻ったときセットされます。したがって、ノードの TEC \geq 256、バスオフ復帰シーケンスの終了 (11 レセツピビットを 128 回連続受信) またはバスオフから停止状態への遷移 (オートまたはマニュアル) が要因となります。</p> <p>本ビットは本モジュールがバスオフ解除となった後もセットされた状態となりますので、ソフトウェアでクリアする必要があります。ソフトウェアで GSR0 をリードして、本モジュールがバスオフ状態かエラーアクティブ状態か判定してください。本ビットはノードがまだバスオフ状態であっても 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 送信エラーによりバスオフ状態に遷移した、またはバスオフ状態からエラーアクティブ状態に復帰した</p> <p>[セット条件] TEC \geq 256 または 11 レセツピビットを 128 回連続受信した後バスオフ終了またはバスオフから停止状態へ遷移</p>
5	IRR5	0	R/W	<p>エラーパッシブ割り込みフラグ</p> <p>受信または送信エラーカウンタによるエラーパッシブ状態、またはテストモードによって強制的にエラーパッシブ状態になったことを示します。本ビットに 1 を書き込むとクリアされ、0 を書き込むと無視されます。本ビットがクリアされてもノードはエラーパッシブ状態のままとなる場合があります。ソフトウェアで GSR0 および GSR5 をチェックし、本モジュールがエラーパッシブ状態であるかバスオフ状態であるか判定する必要があります。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 送信 / 受信エラーによるエラーパッシブ状態</p> <p>[セット条件] TEC \geq 128 または REC \geq 128 またはエラーパッシブテストモードを使用</p>
4	IRR4	0	R/W	<p>受信エラーカウンタワーニング割り込みフラグ</p> <p>本モジュールがバスオフ状態でないときに受信エラーカウンタ (REC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 受信エラーによるエラーワーニング状態</p> <p>[セット条件] 本モジュールがバスオフ状態以外で REC \geq 96</p>

ビット	ビット名	初期値	R/W	説明
3	IRR3	0	R/W	<p>送信エラーカウンタワーニング割り込みフラグ</p> <p>本モジュールがバスオフ状態でないときに送信エラーカウンタ (TEC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む 1 : 送信エラーによるエラーワーニング状態</p> <p>[セット条件] TEC ≥ 96</p>
2	IRR2	0	R	<p>リモートフレーム受信割り込みフラグ</p> <p>メールボックスがリモートフレームを受信したことを示します。対応する MBIMR がセットされていない少なくとも 1 つのメールボックスに、リモートフレーム送信リクエストが格納されているとセットされます。本ビットは、リモートフレーム受信完了レジスタ (RFPR) のすべてのビットがクリアされるとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0 : [クリア条件] RFPR のすべてのビットがクリア 1 : 少なくとも 1 つのリモートフレームリクエストが処理待ち状態</p> <p>[セット条件] 対応する MBIMR = 0 のときリモートフレームを受信</p>
1	IRR1	0	R	<p>データフレーム受信割り込みフラグ</p> <p>処理待ち状態の受信データフレームが存在することを示します。本ビットが 1 のとき、少なくとも 1 つのメールボックスに未処理のメッセージが格納されています。本ビットは、データフレーム受信完了レジスタ (RXPR) のすべてのビットがクリアされると (どの受信メールボックスにも未処理のメッセージがない) クリアされます。MBIMR が 0 でない各受信メールボックスの RXPR フラグの論理和が設定されます。</p> <p>また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0 : [クリア条件] RXPR のすべてのビットがクリア 1 : データフレームを受信しメールボックスに格納した</p> <p>[セット条件] 対応する MBIMR = 0 のときデータを受信</p>

ビット	ビット名	初期値	R/W	説明
0	IRR0	1	R/W	<p>リセット/ホルト/スリープ割り込みフラグ 下記の3つの要因によってセットされます。</p> <ul style="list-style-type: none"> ソフトウェアリセット (MCR0) またはハードウェアリセット後、リセットモードに遷移 ホルトリクエスト (MCR1) の後、ホルトモードに遷移 ホルトモードでスリープリクエスト (MCR5) 発行後、CAN スリープモードに遷移 <p>本ビットがセットされた後 GSR をリードして、本モジュールの状態を知ることができます。</p> <p>【注】 スリープモードリクエストを発行する必要がある場合、事前にホルトモードを使用してください。MCR5 の説明および図 23.17 を参照してください。</p> <p>IRR0 は GSR3 または GSR4 が 0 から 1 に変化したとき、またはホルトモードから CAN スリープモードに遷移したときにセットされます。したがって、本モジュールがホルトモード解除の直後に再びホルトモードに遷移した場合は GSR4 がクリアされないため、IRR0 はセットされません。同様に、CAN スリープモードからホルトモードに直接遷移した場合も IRR0 はセットされません。ホルトモード / CAN スリープモードから送信 / 受信動作に遷移する際、GSR4 がクリアされるまでに [1 ビット時間 - TSEG2] ~ [1 ビット時間 × 2 - TSEG2] の時間が必要です。</p> <p>リセットモードの場合、IRR0 はセットされますが初期化によって IMR0 が自動的にセットされるため、CPU への割り込みはアサートされません。</p> <p>0 : [クリア条件] 1 を書き込む 1 : ソフトウェアリセットモードまたはホルトモードまたは CAN スリープモードへ遷移</p> <p>[セット条件] リセット (MCR0 またはハードウェア) またはホルトモード (MCR1) または CAN スリープモード (MCR5) リクエストの後、リセット/ホルト/CAN スリープモードへの遷移が完了</p>

23.4.5 インタラプトマスクレジスタ (IMR)

IMR は、16 ビットの読み出し / 書き込み可能なレジスタで、インタラプトリクエストレジスタ (IRR) の各ビットに対応する割り込みの IRQ 出力信号の生成をマスクします。ビットを 1 に設定すると対応する割り込み要求がマスクされます。IMR は IRQ の生成を直接制御しますが、IRR の対応するビットのセットを禁止しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	IMR[15:0]	H'FFFF	R/W	IRR[15:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0: 対応する IRR をマスクしない (割り込み要因が発生すると IRQ が生成される) 1: IRR の対応する割り込みをマスクする

23.4.6 送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)

TEC および REC は、読み出し / 条件付き書き込み可能な 16 ビットのレジスタで、CAN インタフェースにおける送信 / 受信メッセージエラー数を示すカウンタです。カウンタ値は前述した参考文献の [1]、[2]、[3]、[4] に規定されています。ライトエラーカウンタテストモード以外では本レジスタはリード専用で、CAN インタフェースによってのみ書き換え可能です。本レジスタは、リセットリクエスト (MCR0) またはバスオフ状態への遷移によってクリアされます。

ライトエラーカウンタテストモード (TST[2:0] = B'100) では、本レジスタへの書き込みが可能です。TEC および REC には同じ値しか書き込めません。TEC に書き込まれた値は TEC および REC に設定されます。本レジスタに書き込む際は、本モジュールをホルトモードにする必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * MCR の TST[2:0] = B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 レセッシブビットの受信回数をカウントします。

ビット	ビット名	初期値	R/W	説明
15~8	TEC[7:0]	H'00	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。
7~0	REC[7:0]	H'00	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。

23.5 メールボックスレジスタ

メールボックスレジスタについて説明します。メールボックスレジスタは、各メールボックスを制御し、メールボックスの状態を示します。

表 23.7 にメールボックスレジスタを示します。

【重要】 ロングワードアクセスは、2つの連続したワードアクセスとして行われます。

表 23.7 メールボックスレジスタ

レジスタ名	略称	アドレス	アクセスサイズ(ビット)
送信待ちレジスタ 1	TXPR1	H'020	32
送信待ちレジスタ 0	TXPR0	H'022	-
		H'024	
		H'026	
送信キャンセルレジスタ 1	TXCR1	H'028	16 / 32
送信キャンセルレジスタ 0	TXCR0	H'02A	16
		H'02C	
		H'02E	
送信アクノリッジレジスタ 1	TXACK1	H'030	16 / 32
送信アクノリッジレジスタ 0	TXACK0	H'032	16
		H'034	
		H'036	
アボートアクノリッジレジスタ 1	ABACK1	H'038	16 / 32
アボートアクノリッジレジスタ 0	ABACK0	H'03A	16
		H'03C	
		H'03E	
データフレーム受信完了レジスタ 1	RXPR1	H'040	16 / 32
データフレーム受信完了レジスタ 0	RXPR0	H'042	16
		H'044	
		H'046	
リモートフレーム受信完了レジスタ 1	RFPR1	H'048	16 / 32
リモートフレーム受信完了レジスタ 0	RFPR0	H'04A	16
		H'04C	
		H'04E	
メールボックスインタラプトマスクレジスタ 1	MBIMR1	H'050	16 / 32
メールボックスインタラプトマスクレジスタ 0	MBIMR0	H'052	16
		H'054	
		H'056	
未読メッセージステータスレジスタ 1	UMSR1	H'058	16 / 32

レジスタ名	略称	アドレス	アクセスサイズ(ビット)
未読メッセージステータスレジスタ 0	UMSR0	H'05A	16
		H'05C	
		H'05E	

23.5.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0)

TXPR1 と TXPR0 は連結され、CAN モジュールの送信待ちフラグを格納する 32 ビットのレジスタを構成します。16 ビットバスインタフェースの場合、ロングワードアクセスは、2 つの連続したワードアクセスとして行われます。

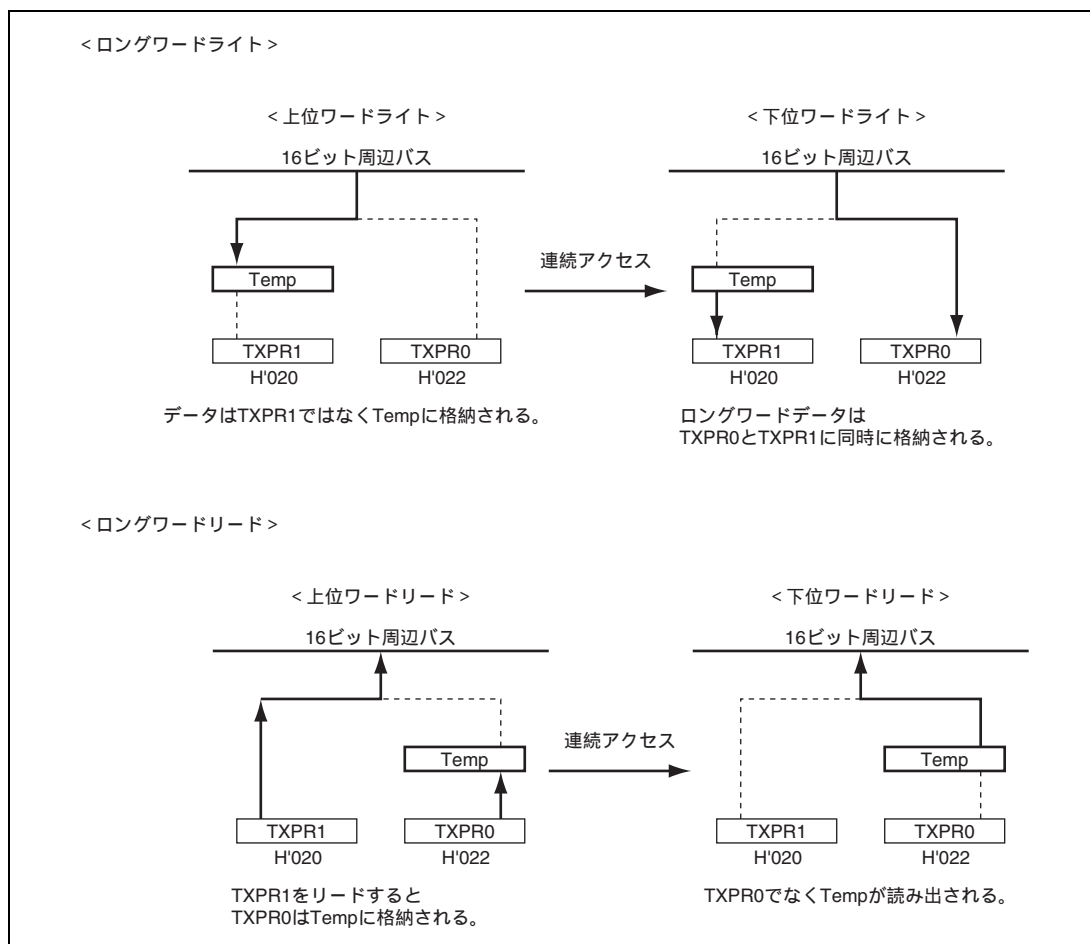


図 23.13 16 ビットバスインタフェース時のロングワードアクセス

TXPR1 レジスタはメールボックス 31~16 を制御し、TXPR0 レジスタはメールボックス 15~1 を制御します。CPU はビットに 1 を書き込むことで対応する送信メッセージに対して操作することができます。0 書き込みは無効で、TXPR をクリアするには TXCR の対応するビットをセットしなければなりません。CPU は TXPR をリードして、送信待ちのメールボックスおよび送信中のメールボックスを知ることができます。実際には、メールボックス 0 以外のすべてのメールボックスについて送信待ちビットが存在します。また、送信に設定されていないメールボックスに対するビットに 1 を書き込むことは禁止されています。

イベントトリガモードでは、メッセージが正常に送信された後または TXCR からの送信アボートが行われた後、本モジュールは対応する送信待ちフラグをクリアします。タイムトリガモードでは、プログラムされたサイクルカウント (Basic Cycle) ごとの送信を続けるため、メールボックス 30~24 の TXPR は送信完了後にクリアされません。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART (自動再送信無効) ビットがセットされていなければ、本モジュールは自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアボートアクノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されます。

TXPR の状態が変化したときは、バスアービトレーションに負けたり CAN バス上にエラーが発生した場合でも、ID が示す優先順位 (MCR2 = 0) が最も高いメッセージが常に送信されるように処理します。詳細については「23.7 動作説明」を参照してください。

本モジュールが TXPR のビットの状態を 0 に変更したとき、メールボックスエンプティ割り込みフラグ (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したかアボートされたことを示します。メッセージの送信が正常終了した場合は、TXACK に示され、メッセージ送信がアボートされた場合は ABACK に示されます。これらのレジスタをチェックすることによって対応するメールボックスのメッセージデータフィールドの内容を次の送信用に書き換えることができます。

(1) TXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	TXPR1[15:0]	H'0000	R/W	<p>対応するメールボックスに対してCANフレーム送信をリクエストします。ビット15~0はメールボックス31~16に対応しています。複数のビットがセットされた場合の送信順序は、MCR2ビットの設定によりメッセージID優先順またはメールボックス番号順に送信されます。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 [クリア条件] メッセージ送信終了(イベントトリガメッセージの場合) またはメッセージ送信アボート(自動的にクリアされます)</p> <p>1: 対応するメールボックスに送信リクエストが発生</p>

(2) TXPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。

TXPR1/TXPR0のリード/ライトは、必ずロングワードアクセスで行ってください。

ビット	ビット名	初期値	R/W	説明
15~1	TXPR0[15:1]	H'0000	R/W	<p>対応するメールボックスにCANフレーム送信リクエストが発生していることを示します。ビット15~1はメールボックス15~1に対応しています。複数のビットがセットされた場合の送信順序は、MCR2ビットの設定によりメッセージID優先順またはメールボックス番号順に送信されます。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 [クリア条件] メッセージ送信終了(イベントトリガメッセージの場合) またはメッセージ送信アボート(自動的にクリアされます)</p> <p>1: 対応するメールボックスに送信リクエストが発生</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に0となります。1を書き込むと無視されます。読み出し値は0です。</p>

23.5.2 送信キャンセルレジスタ 1、0 (TXCR1、TXCR0)

TXCR1 と TXCR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、TXCR1 はメールボックス 31 ~ 16 を制御し、TXCR0 はメールボックス 15 ~ 1 を制御します。CPU は TXCR を使用して、TXPR の送信リクエストをキャンセルします。TXPR のビットをクリアするには、CPU から対応する TXCR のビットに 1 を書き込んでください。0 を書き込むと無視されます。

アポートが正常に行われると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。しかし、メールボックスが送信を開始した後は、本レジスタのビットでキャンセルすることはできません。このような場合、送信が正常終了すると CAN コントローラは TXPR と TXCR のビットをクリアし、TXACK のビットをセットします。しかし、アービトレーションに負けたりバス上にエラーが発生したことによって送信が行われなかった場合は、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、対応する ABACK のビットをセットします。CPU が送信待ち状態でないメールボックスの送信をクリアしようとしても無視されます。この場合、CPU は TXCR のフラグをセットすることはできません。

(1) TXCR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	TXCR1[15:0]	H'0000	R/W	<p>送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~0 はメールボックス 31~16 (および TXPR1[15:0]) に対応しています。</p> <p>0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます)</p> <p>1: 対応するメールボックスに対して送信キャンセルを要求</p>

(2) TXCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TXCR0[15:1]															-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXCR0[15:1]	H'0000	R/W	<p>送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット15~1はメールボックス15~1(およびTXPR0[15:1])に対応しています。</p> <p>0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます)</p> <p>1: 対応するメールボックスに対して送信キャンセルを要求</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に0となります。1を書き込むと無視され、読み出し値は常に0です。</p>

23.5.3 送信アクノリッジレジスタ 1、0 (TXACK1、TXACK0)

TXACK1 と TXACK0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、メールボックスの送信が正常に行われたことを CPU に通知するために使用します。送信が正常に行われると、本モジュールは TXACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって TXACK のビットをクリアすることができます。0 を書き込むと無視されます。

(1) TXACK1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	TXACK1[15:0]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~0 はメールボックス 31~16 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) が正常に送信された [セット条件] 対応するメールボックスのメッセージ送信が完了

(2) TXACK0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TXACK0[15:1]															-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	-

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) が正常に送信された [セット条件] 対応するメールボックスのメッセージ送信が完了
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

23.5.4 アポートアクノリッジレジスタ 1、0 (ABACK1、ABACK0)

ABACK1 と ABACK0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、要求に応じてメールボックスの送信がアポートされたことを CPU に通知するために使用します。アポートが行われると、本モジュールは ABACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって ABACK のビットをクリアすることができます。0 を書き込むと無視されます。本モジュールが ABACK のビットをセットすることにより、対応する TXCR ビットによって TXPR ビットがクリアされたことを認識します。

(1) ABACK1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	ABACK1[15:0]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~0 はメールボックス 31~16 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル

(2) ABACK0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	ABACK0[15:1]															-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	ABACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

23.5.5 データフレーム受信完了レジスタ 1、0 (RXPR1、RXPR0)

RXPR1 と RXPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがデータフレームを受信したことを示すフラグで構成されています。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効とされます。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によってデータフレームを受信するように設定されている場合のみビットがセットされます。RXPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR1 (データフレーム受信割り込みフラグ) もセットされ、さらに IMR1 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

(1) RXPR1

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RXPR1[15:0]

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RXPR1[15:0]	H'0000	R/W	ビット 15~0 はメールボックス番号 31~16 の受信用に設定されたメールボックスに対応します。 0 : [クリア条件] 1 を書き込む 1 : 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

(2) RXPR0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RXPR0[15:0]

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RXPR0[15:0]	H'0000	R/W	ビット 15~0 はメールボックス番号 15~0 の受信用に設定されたメールボックスに対応します。 0 : [クリア条件] 1 を書き込む 1 : 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

23.5.6 リモートフレーム受信完了レジスタ 1、0 (RFPR1、RFPR0)

RFPR1 と RFPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがリモートフレームを受信したことを示すフラグで構成されています。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効となります。すべてのメールボックスに対してビットが存在しますが、メールボックスが MBC (メールボックスコンフィギュレーション) によってリモートフレームを受信するように設定されている場合のみビットがセットされます。RFPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR2 (リモートフレーム受信割り込みフラグ) もセットされ、さらに IMR2 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

(1) RFPR1

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFPR1[15:0]															
初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
R/W: R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*															

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RFPR1[15:0]	H'0000	R/W	メールボックス 31~16 のリモートリクエスト受信フラグです。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

(2) RFPR0

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFPR0[15:0]															
初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
R/W: R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*															

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RFPR0[15:0]	H'0000	R/W	メールボックス 15~0 のリモートリクエスト受信フラグです。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

23.5.7 メールボックスインタラプトマスクレジスタ 1、0 (MBIMR1、MBIMR0)

MBIMR1 と MBIMR0 は、16 ビットの読み出し / 書き込み可能なレジスタです。MBIMR は、メールボックスの動作に関連する IRR (IRR1 : データフレーム受信割り込み、IRR2 : リモートフレーム受信割り込み、IRR8 : メールボックスエンプティ割り込み、IRR9 : メッセージオーバーラン / オーバライト割り込み) をマスクするレジスタです。メールボックスが受信に設定されている場合、受信割り込みフラグ (IRR1、IRR2、IRR9) による割り込みをマスクします。RXPR、RFPR、UMSR ビットのセットには影響しません。メールボックスが送信に設定されている場合は、送信や送信アポート (IRR8) による割り込みやメールボックスエンプティ割り込みをマスクします。送信による TXPR/TXCR ビットのクリアと TXACK ビットのセット、送信アポートによる TXPR/TXCR ビットのクリアと ABACK ビットのセットには影響しません。

マスクするメールボックスに対応するビットに 1 を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます。

(1) MBIMR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR1[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR1[15:0]	H'FFFF	R/W	メールボックス 31 ~ 16 からの割り込み要求を許可 / 禁止します。 0 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

(2) MBIMR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR0[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR0[15:0]	H'FFFF	R/W	メールボックス 15 ~ 0 からの割り込み要求を許可 / 禁止します。 0 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

23.5.8 未読メッセージステータスレジスタ 1、0 (UMSR1、UMSR0)

UMSR1 と UMSR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、新しいメッセージを受信する際に CPU / ダイレクトメモリアクセスコントローラによって内容がアクセスされていない受信メールボックスを記録します。メールボックスの新しいメッセージを受信するときに、RXPR または RFPR の対応するビットが CPU によってクリアされていないと、UMSR のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無効とされます。

メールボックスが送信に設定されている場合は、対応する UMSR のビットはセットされません。

(1) UMSR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	UMSR1[15:0]	H'0000	R/W	メールボックス 31 ~ 16 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。 0 : [クリア条件] 1 を書き込む 1 : 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した [セット条件] RXPR または RFPR がクリアされる前に新しいメッセージを受信

(2) UMSR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	UMSR0[15:0]	H'0000	R/W	メールボックス 15 ~ 0 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。 0 : [クリア条件] 1 を書き込む 1 : 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した [セット条件] RXPR または RFPR がクリアされる前に新しいメッセージを受信

23.6 タイマレジスタ

本モジュールのタイマは 16 ビットのタイマで、数種のクロックソースをサポートしています。プリスケールカウンタにより、クロックの速度を落とすことができます。また、3 個のコンペアマッチレジスタ (TCMR2、TCMR1、TCMR0) を備えています。アドレスマップを以下に示します。

【重要】タイマレジスタはすべてワード (16 ビット) アクセスのみ可能です。

表 23.8 タイマレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
タイムトリガコントロールレジスタ 0	TTCR0	H'080	16
サイクルマキシマム / Tx_Enable_Window レジスタ	CMAX_TEW	H'084	16
リファレンストリガオフセットレジスタ	RFTR0FF	H'086	16
タイムステータスレジスタ	TSR	H'088	16
サイクルカウンタレジスタ	CCR	H'08A	16
タイマカウンタレジスタ	TCNTR	H'08C	16
サイクルタイムレジスタ	CYCTR	H'090	16
リファレンスマークレジスタ	RFMK	H'094	16
タイマコンペアマッチレジスタ 0	TCMR0	H'098	16
タイマコンペアマッチレジスタ 1	TCMR1	H'09C	16
タイマコンペアマッチレジスタ 2	TCMR2	H'0A0	16
送信トリガタイムセレクトレジスタ	TTTSEL	H'0A4	16

23.6.1 タイムトリガコントロールレジスタ 0 (TTCR0)

TTCR0 は、16 ビットの読み出し / 書き込み可能なレジスタです。

タイマの動作を制御します。定周期送信や監視用レジスタの設定は、本レジスタを設定し、タイマを動作させてから行ってください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	-	-	-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TCR15	0	R/W	<p>タイマイネーブル</p> <p>本ビットをセットすると TCNTR は動作し、クリアすると TCNTR と CCR がクリアされます。</p> <p>0 : TCNTR と CCR をクリアし、動作停止</p> <p>1 : タイマ動作</p>
14	TCR14	0	R/W	<p>タイムスタンプ値</p> <p>メールボックス 15~0 の送信および受信タイムスタンプとして、サイクルタイム (CYCTR) を使用するか CCR[5:0] + CYCTR[15:6] を使用するか指定します。本機能は、タイムトリガモードで Rx_Trigger をモニタするのに便利です。</p> <p>本レジスタはメールボックス 30 および 31 のタイムスタンプには影響しません。</p> <p>0 : メールボックス 15~0 のタイムスタンプに CYCTR[15:0] を使用</p> <p>1 : メールボックス 15~0 のタイムスタンプに CCR[5:0] + CYCTR[15:6] を使用</p>
13	TCR13	0	R/W	<p>TCMR2 によるキャンセル</p> <p>本ビットおよびビット 12 がセットされた状態で、本モジュールがホルトモード以外でコンペアマッチが発生したときに、当該 TXPR ビットに対応するすべての TXCR ビットを自動セットします。それにより送信キュー内のメッセージをキャンセルします。</p> <p>0 : TCMR2 のコンペアマッチによる送信キャンセル禁止</p> <p>1 : TCMR2 のコンペアマッチによる送信キャンセル許可</p>
12	TCR12	0	R/W	<p>コンペアマッチイネーブル</p> <p>本ビットをセットすると TCMR2 のコンペアマッチで IRR11 がセットされます。</p> <p>0 : TCMR2 のコンペアマッチで IRR11 がセットされない</p> <p>1 : TCMR2 のコンペアマッチで IRR11 がセットされる</p>

ビット	ビット名	初期値	R/W	説明
11	TCR11	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR1 のコンペアマッチで IRR15 がセットされます。 0 : TCMR1 のコンペアマッチで IRR15 がセットされない 1 : TCMR1 のコンペアマッチで IRR15 がセットされる
10	TCR10	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR0 のコンペアマッチで IRR14 がセットされます。 0 : TCMR0 のコンペアマッチで IRR14 がセットされない 1 : TCMR0 のコンペアマッチで IRR14 がセットされる
9~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
6	TCR6	0	R/W	TCMR0 によるタイムクリア制御 TCNTR が TCMR0 と一致したときにタイマを H'0000 にクリアするか指定します。また、TCMR0 は IRR14 により CPU に対して割り込み信号を発生することもできます。 【注】本モジュールが TTCAN モードで動作中 (CMAX≠B'111) は、本ビットを 0 に設定しローカルタイムがクリアされないようにしてください。 0 : TCMR0 でタイムクリアしない 1 : TCMR0 でタイムクリア
5~0	TPSC5~ TPSC0	H'00	R/W	タイムプリスケアラ 本ビットの設定により、タイマのソースクロック (4×[本モジュールのシステムクロック]) を分周して使用することができます。プリスケアラはイベントトリガモードでのみ有効です。TTCAN モードで (CMAX≠B'111) は、自動的に 1 ビットタイミング (=CAN バス上の 1 ビット長) が TCNTR のソースクロックとして選択されます。 ソースクロック周期とタイマ周期の関係を以下に示します。 000000 : 1X ソースクロック 000001 : 2X ソースクロック 000010 : 3X ソースクロック 000011 : 4X ソースクロック 000100 : 5X ソースクロック : 111111 : 64X ソースクロック

23.6.2 サイクルマキシマム / Tx_Enable_Window レジスタ (CMAX_TEW)

CMAX_TEW は、16 ビットの読み出し / 書き込み可能なレジスタです。

CMAX はタイムトリガ送信用のサイクルカウンタ (CCR) の最大値を指定し、これによりシステムマトリックスのサイクルカウンタ数 (Basic Cycle) が設定されます。サイクルカウンタが最大値になると (CCR=CMAX)、1 サイクルカウンタ後にサイクルカウンタは 0 にクリアされ、IRR10 割り込みが発生します。

TEW は Tx_Enable_Window 幅を指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMAX[2:0]			-	-	-	-	TEW[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
10~8	CMAX[2:0]	111	R/W	サイクルカウンタ最大値 CCR の最大値を示します。 サイクルカウンタ最大値 = $2^{\text{CMAX}} - 1$ (CMAX = レジスタ値) タイムトリガ送信用のマトリックスサイクル内で可能なサイクルカウンタ数は、(サイクルカウンタ最大値 + 1) となります。 CMAX = B'111 設定時、本モジュールはタイムトリガモードであり、タイムトリガ機能を使用できます。 CMAX = B'111 設定時、本モジュールはイベントトリガモードです。 000: サイクルカウンタ最大値 = 0 001: サイクルカウンタ最大値 = 1 010: サイクルカウンタ最大値 = 3 011: サイクルカウンタ最大値 = 7 100: サイクルカウンタ最大値 = 15 101: サイクルカウンタ最大値 = 31 110: サイクルカウンタ最大値 = 63 111: 本モジュールはイベントトリガモード (CCR はクリア) 【注】 イベントトリガモードを使用する場合は、CMAX=B'111 に設定してください。
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
3~0	TEW[3:0]	0000	R/W	<p>Tx_Enable_Window</p> <p>Tx_Enable_Window 幅を設定します。</p> <p>TEW=B'0000 のとき、ウィンドウ幅は 1 ビットタイミングとなります。</p> <p>B'0000 ~ B'1111 のすべての値を設定することができます。</p> <p>0000 : Tx_Enable_Window 幅=1</p> <p>0001 : Tx_Enable_Window 幅=2</p> <p>0010 : Tx_Enable_Window 幅=3</p> <p>0011 : Tx_Enable_Window 幅=4</p> <p>：</p> <p>1111 : Tx_Enable_Window 幅=16</p> <p>【注】本モジュールの CAN データリンクコントローラは、送信リクエストから送信を開始するのに常に CAN バス 1~2 ビットタイミングを必要とします。したがって、上記の値はこの精度を考慮していません。</p>

23.6.3 リファレンストリガオフセットレジスタ (RFTROFF)

RFTROFF は、8 ビットの読み出し / 書き込み可能なレジスタです。

メールボックス 30 の送信トリガタイム (TTT) に -127 ~ +127 までオフセットを設定することができます。メールボックス 30 の TTT は、RFTROFF レジスタ値の符号拡張値を付加した後、CYCTR と比較されます。

ただし、TTT の値は変更されません。本オフセット値はメールボックス 30 にのみ影響します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTROFF[7:0]								-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	RFTROFF [7:0]	H'00	R/W	<p>リファレンストリガオフセット値を示します。</p> <p>00000000 : ref_trigger_offset =+0</p> <p>00000001 : ref_trigger_offset =+1</p> <p>00000010 : ref_trigger_offset =+2</p> <p>：</p> <p>01111111 : ref_trigger_offset =+127</p> <p>：</p> <p>11111111 : ref_trigger_offset =-1</p> <p>11111110 : ref_trigger_offset =-2</p> <p>：</p> <p>10000001 : ref_trigger_offset =-127</p>
7~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

23.6.4 タイマステータスレジスタ (TSR)

TSR は、16 ビットの読み出し専用レジスタで、これにより CPU はタイマコンペアマッチ状態およびタイマオーバラン状態を監視することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R*	R*	R*	R*	R*

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
4	TSR4	0	R*	スタートシステムマトリックス 次のシステムマトリックスが開始したことを示します。 CCR=0 のとき、本ビットはタイムリファレンスメッセージの送信 / 受信完了時にセットされます。 0 : 次のシステムマトリックスの先頭でない [クリア条件] IRR10 (サイクルカウンタオーバーフロー割り込みフラグ) に 1 を書き込む 1 : サイクルカウンタが 0 になった [セット条件] サイクルカウンタの値が最大値 (CMAX) から H'0 に変化 CMAX!=B'111 かつ CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信が完了
3	TSR3	0	R*	タイマコンペアマッチフラグ 2 タイマコンペアマッチレジスタ 2 (TCMR2) のコンペアマッチが発生したことを示します。TCMR2 に設定した値がサイクルタイムレジスタと一致 (TCMR2=CYCTR) したとき、TTCR0 のビット 12 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR11 (タイマコンペアマッチ割り込み 2 フラグ) がクリアされるとクリアされます。 0 : TCMR2 のタイマコンペアマッチが発生していない [クリア条件] IRR11 (タイマコンペアマッチ割り込み 2 フラグ) に 1 を書き込む 1 : TCMR2 のタイマコンペアマッチが発生 [セット条件] TTCR0 のビット 12 が 1 のとき TCMR2 がサイクルタイムと一致 (TCMR2=CYCTR)

ビット	ビット名	初期値	R/W	説明
2	TSR2	0	R*	<p>タイマコンペアマッチフラグ 1</p> <p>タイマコンペアマッチレジスタ 1 (TCMR1) のコンペアマッチが発生したことを示します。TCMR1 に設定した値がサイクルタイムレジスタと一致 (TCMR1=CYCTR) したとき、TTCR0 のビット 11 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR15 (タイマコンペアマッチ割り込み 1 フラグ) がクリアされるとクリアされます。</p> <p>0 : TCMR1 のタイマコンペアマッチが発生していない</p> <p>[クリア条件]</p> <p>IRR15 (タイマコンペアマッチ割り込み 1 フラグ) に 1 を書き込む</p> <p>1 : TCMR1 のタイマコンペアマッチが発生</p> <p>[セット条件]</p> <p>TTCR0 のビット 11 が 1 のとき TCMR1 がサイクルタイムと一致 (TCMR1=CYCTR)</p>
1	TSR1	0	R*	<p>タイマコンペアマッチフラグ 0</p> <p>タイマコンペアマッチレジスタ 0 (TCMR0) のコンペアマッチが発生したことを示します。TCM02 に設定した値がタイマ値と一致 (TCMR0=TCNTR) したとき、TTCR0 のビット 10 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR14 (タイマコンペアマッチ割り込み 0 フラグ) がクリアされるとクリアされます。</p> <p>0 : TCMR0 のタイマコンペアマッチが発生していない</p> <p>[クリア条件]</p> <p>IRR14 (タイマコンペアマッチ割り込み 0 フラグ) に 1 を書き込む</p> <p>1 : TCMR0 のタイマコンペアマッチが発生</p> <p>[セット条件]</p> <p>TTCR0 のビット 10 が 1 のとき TCMR0 がタイマ値と一致 (TCMR0=TCNTR)</p>

ビット	ビット名	初期値	R/W	説明
0	TSR0	0	R*	<p>タイマオーバーラン / Next_is_Gap 受信 / メッセージエラー</p> <p>本フラグは3つの異なる機能が割り付けられています。イベントトリガモードで動作中にタイマオーバーランが発生、タイムトリガモードで動作中に Next_is_Gap がセットされたタイムリファレンスメッセージを受信、およびテストモード中に CAN バス上で検出されたエラーが発生したことを示します。テストモードは他の設定よりも高い優先度を持ちます。</p> <p>0: イベントトリガモードでタイマ (TCNTR) オーバーランが発生していない タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信していない テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] IRR13 に 1 を書き込む</p> <p>1: [セット条件] イベントトリガモードでタイマ (TCNTR) オーバーランが発生し、H'FFFF から H'0000 に変化 タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信 テストモードでメッセージエラーが発生</p>

【注】 * 本ビットは読み出し専用で、CPU はサイクルカウンタ、タイマ、およびコンペアマッチレジスタの状態を監視することができます。本ビットに対する書き込みは無効です。

23.6.5 サイクルカウンタレジスタ (CCR)

CCR は、6 ビットの読み出し / 書き込み可能なレジスタです。

タイムトリガ送信のサイクルカウント値 (Basic Cycle) を表示するためのレジスタです。

CCR の値は、本モジュールがポテンシャルタイムマスタとして動作するか、タイムスレーブとして動作するかにより、更新方法が変わります。CCR は以下のように更新されます。

本モジュールがタイムマスタ (ポテンシャル) として動作する場合 :

- サイクルタイム (CYCTR) がメールボックス30の送信トリガタイムと一致するたびに+1増加
または
- 有効なリファレンスメッセージを受信するたびにメールボックス31のMSG_DATA_0[5:0]の値を上書き

本モジュールがタイムスレーブとして動作する場合 :

- 有効なリファレンスメッセージを受信するたびにメールボックス31のMSG_DATA_0[5:0]の値を上書き

CMAX=B'111 かつ TTCR0[15]=0 の場合 :

- CCRの値は常にB'000000

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	CCR[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
5~0	CCR[5:0]	H'00	R/W	サイクルカウンタレジスタ タイムトリガ送信用マトリックスサイクルの現在のサイクルカウント数を示します。

23.6.6 タイマカウンタレジスタ (TCNTR)

TCNTR は、16 ビットの読み出し / 書き込み可能なレジスタです。

TCNTR はフリーランニングタイマカウンタです。TTCR0[15]=1 に設定することでタイマがカウントします。

タイマカウンタのプリスケアラは、本モジュールのトリガモードにより変わります。

- イベントトリガモード時 (C_{MAX} = B'111) : TTCR0[5:0]のTPSC値
- タイムトリガモード時 (C_{MAX} = B'111) : CANバス1ビットタイミング

TTCR0[6]=1 を設定時、TCNTR の値がタイマコンペアマッチレジスタ 0 (TCMR0) と一致すると、TCNTR は H'0000 にクリアされカウントアップします。

タイムトリガモードでは、TCNTR はローカルタイム (Local time) として使用します。したがって、TTCR0[6]=0 に設定してフリーランニングタイマとして動作させます。

- 【注】
1. TTCR0[15]=0 の場合、TCNTR は常に H'0000 です。
 2. タイマをイネーブル設定 (TTCR0[15]=1) してから TCNTR がカウントを開始するまで、数千クロックサイクルの遅延があります。これはプリスケアラの内部論理に起因するものです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

- 【注】 * 本レジスタへの書き込みは、タイムイネーブル設定 (TTCR0[15]=1) されたときのみ可能です。
タイムトリガモード (C_{MAX} が B'111 以外) では、書き込みは禁止です。

ビット	ビット名	初期値	R/W	説明
15~0	TCNTR[15:0]	H'0000	R/W	フリーランニングタイマの値を示します。

23.6.7 サイクルタイムレジスタ (CYCTR)

CYCTR は、サイクルタイムを示す 16 ビットの読み出し専用レジスタです。

$\text{Cycle_Time (CYCTR)} = \text{Local_Time (TCNTR)} - \text{Reference_Mark (RFMK)}$

イベントトリガモードでは、RFMK は 0 に固定されるので本レジスタは TCNTR のコピーとなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CYCTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	CYCTR[15:0]	H'0000	R	サイクルタイムを示します。

23.6.8 リファレンスマークレジスタ (RFMK)

RFMK は、16 ビットの読み出し専用レジスタです。リファレンスメッセージが正常に送信または受信されたときに、リファレンスメッセージの SOF におけるローカルタイム(TCNTR)をキャプチャするためのレジスタです。イベントトリガモードでは本レジスタは使用せず、常に 0 にクリアされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMK[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	RFMK[15:0]	H'0000	R	リファレンスマークレジスタ タイムリファレンスメッセージの SOF における TCNTR の値を示します。

23.6.9 タイマコンペアマッチレジスタ 0~2 (TCMR0~2)

TCMR0~2 は、16 ビットの読み出し / 書き込み可能なレジスタです。

割り込み信号の発生、タイマ値のクリア (TCMR0 のみサポート)、送信リクエストのクリア (TCMR2 のみサポート) を行うことが可能です。

TCMR0 は TCNTR と比較し、TCMR1 と TCMR2 は CYCTR と比較します。各コンペアマッチレジスタの比較値はそれぞれ独立に設定することができます。コンペアマッチのフラグをセットするには、TTCR0 のビット 12~10 をセットする必要があります。タイムトリガモードでは、TCMR0 は Init_Watch_Trigger、TCMR2 は Watch_Trigger に使用します。

(1) 割り込み機能

各レジスタの割り込みフラグは、TTCR0 のビット 12、ビット 11、ビット 10 を設定することで許可します。

コンペアマッチが発生すると、IRR の対応する割り込みフラグ (ビット 11、ビット 15、ビット 14) をセットします。

割り込み信号の発生は、IMR のビット 11、ビット 15、ビット 14 で抑止することができます。

コンペアマッチ発生時に IRR11 (または IRR15 か IRR14) がセットされると、タイムステータスレジスタ (TSR) のビット 3、ビット 2、またはビット 1 もセットされます。また、IRR のビットをクリアすると、対応する TSR のビットもクリアされます。

(2) タイマクリア機能

TCMR0 のみコンペアマッチによるタイマ値 (TCNTR) のクリア機能があります。TTCR0[6]=1 設定時に有効です。TCMR1 と TCMR2 には本機能はありません。

(3) 送信リクエストされたメッセージのキャンセル機能

TCMR2 は、TTCR0[13:12]=B'11 設定時に、ホルトモード以外で TCMR2 のコンペアマッチ発生時に TXPR 設定に対応する TXCR 設定を行います。したがって、送信中のメッセージを除き、送信待ちリクエストをキャンセルします。

TCMR1 と TCMR0 には本機能はありません。

- TCMR0

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TCMR0[15:0]

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR0[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の TCNTR の値を示します。

- TCMR1

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TCMR1[15:0]

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR1[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

- TCMR2

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TCMR2[15:0]

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR2[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

23.6.10 送信トリガタイムセレクトレジスタ (TTTSEL)

TTTSEL は、16 ビットの読み出し / 書き込み可能なレジスタで、サイクルタイムとコンペアマッチさせる送信トリガタイムを指定します。1 ビットのみセットできます。複数のビットをセットしないでください。またはすべてのビットをクリアしないでください。本レジスタは、コンフィギュレーションモードでのみ変更することができます。変更時のアルゴリズムを図 23.14 に示します。

TTTSEL はテストおよび診断専用です。通常動作時は書き込まないでください。また、読み出し値は保証されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	TTTSEL[14:8]								-	-	-	-	-	-	-	-
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

【注】 1 ビットのみセット可能。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
14~8	TTTSEL [14:8]	B'1000000	R/W	CYCTR とコンペアマッチさせる送信トリガタイムを指定します。ビット 14~8 は、メールボックス 30~24 に対応しています。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

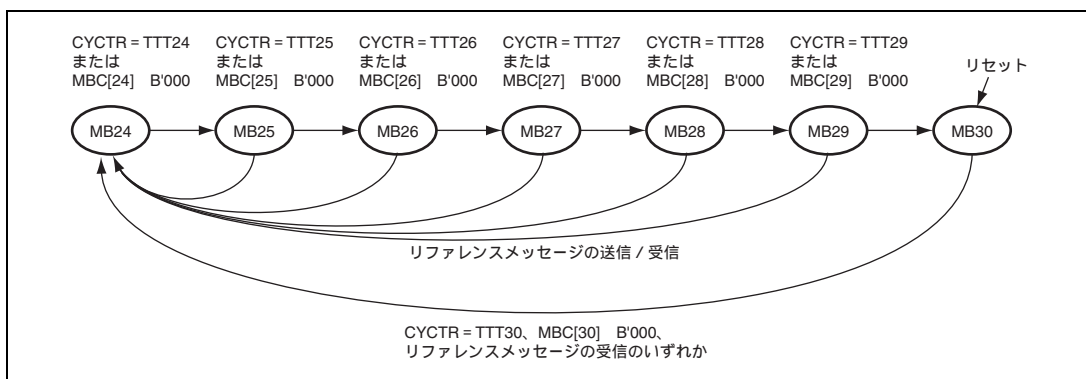


図 23.14 TTTSEL 変更アルゴリズム

23.7 動作説明

23.7.1 本モジュールの設定

ハードウェアリセット(パワーオンリセット)またはソフトウェアリセット(MCR0)後のコンフィギュレーションモードおよびホルトモード時の本モジュールの設定について説明します。どちらの場合も本モジュールはCANバスアクティビティに参加できません。また、本モジュールの設定の変更がCANバス上の通信に影響を与えることはありません。

(1) リセットシーケンス

図 23.15 にソフトウェアリセットまたはハードウェアリセット後の本モジュールの設定手順を示します。リセット後すべてのレジスタは初期化されます。したがって、CANバスアクティビティに参加する前に本モジュールを設定する必要があります。詳細については図中の注を参照してください。

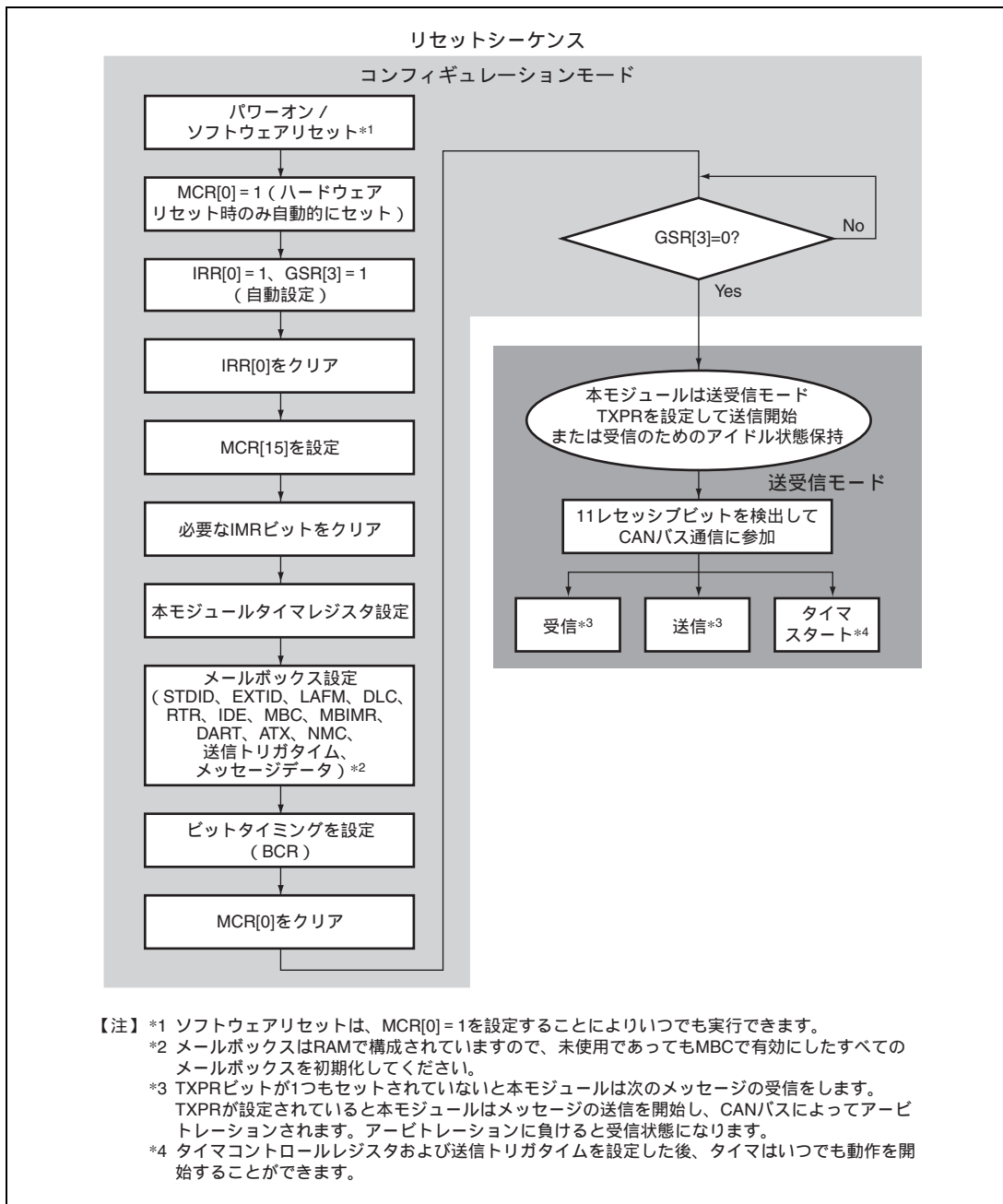


図 23.15 リセットシーケンス

(2) ホルトモード

本モジュールはホルトモードのとき、CAN バスアクティビティに参加することができません。したがってユーザは、CAN バス上の通信に影響を与えることなく必要なレジスタの設定を変更することができます。ここで重要なのは、レジスタを変更する前に本モジュールがホルトモードになるまで待つことです。ホルトモードへの遷移はかならずしも即時に行われるとはかぎりません（CAN バスがアイドルまたは休止状態のときに遷移します）。本モジュールがホルトモードに遷移すると GSR4 ビットがセットされます。

レジスタ設定終了後はホルトリクエストを解除する必要があります。ホルトリクエスト解除後（MCR1=0 か GSR4=0）に本モジュールは CAN バス上で 11 レセッシブビットを検出した後 CAN バスアクティビティに参加します。

(3) CAN スリープモード

CAN スリープモード中では、本モジュールの主要なモジュールのクロックは消費電流を低減するために停止しますが、MCR、GSR、IRR、および IMR レジスタのみアクセスできます。なお、送信と受信に関連する割り込みは、CAN スリープモード中ではクリアできませんので、あらかじめクリアしてください。

図 23.16 に CAN スリープモードのフローチャートを示します。

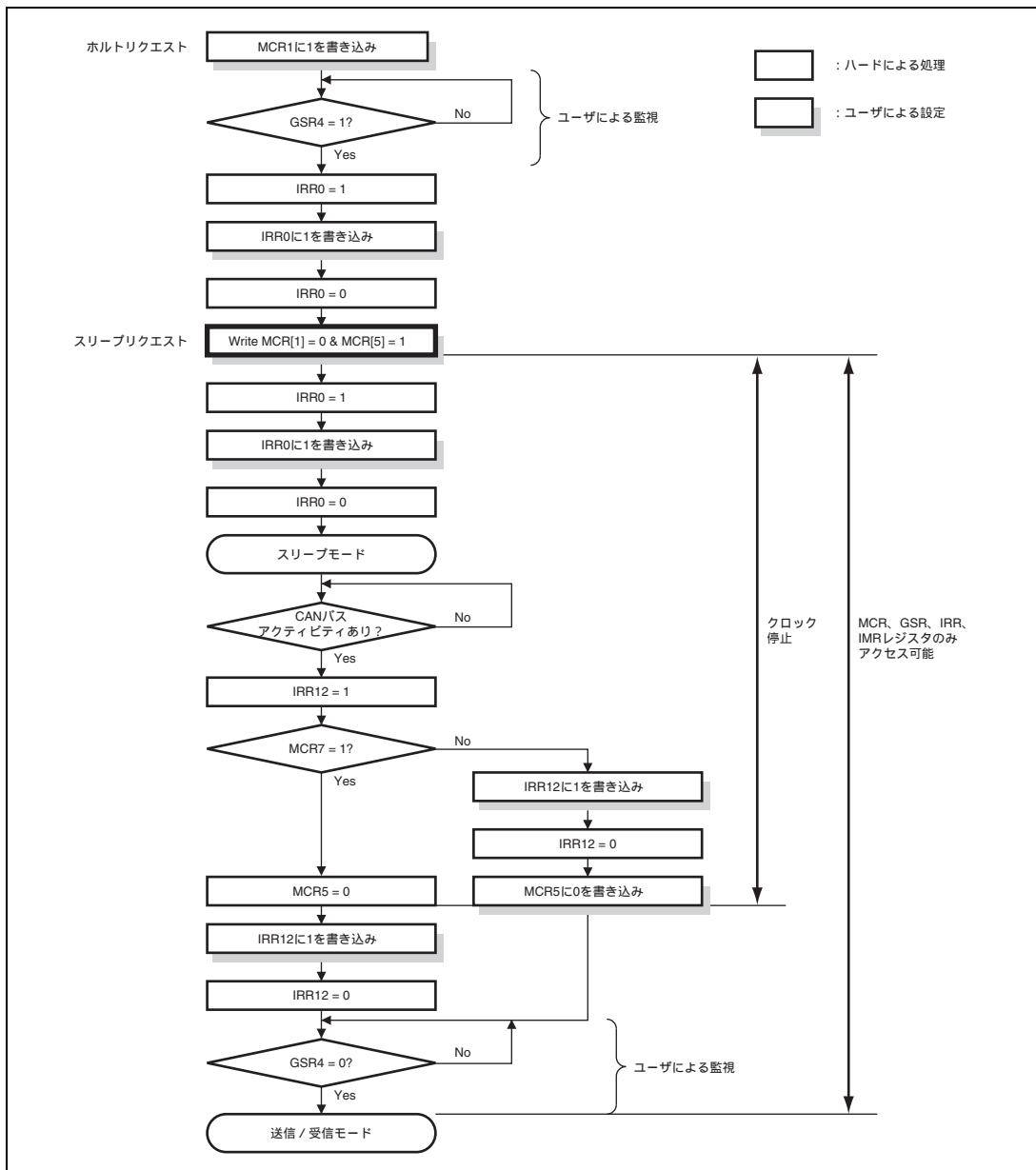


図 23.16 CAN スリープモードのフローチャート

図 23.17 に可能な状態遷移を示します。

なお、ホルトモード以外で MCR5 (CAN スリープモード) ビットをセットしないでください。

また、MCR1 ビットをセットした後は、MCR1 をクリアする前に必ず GSR4 のセットを確認して本モジュールをホルトモードにしてください。

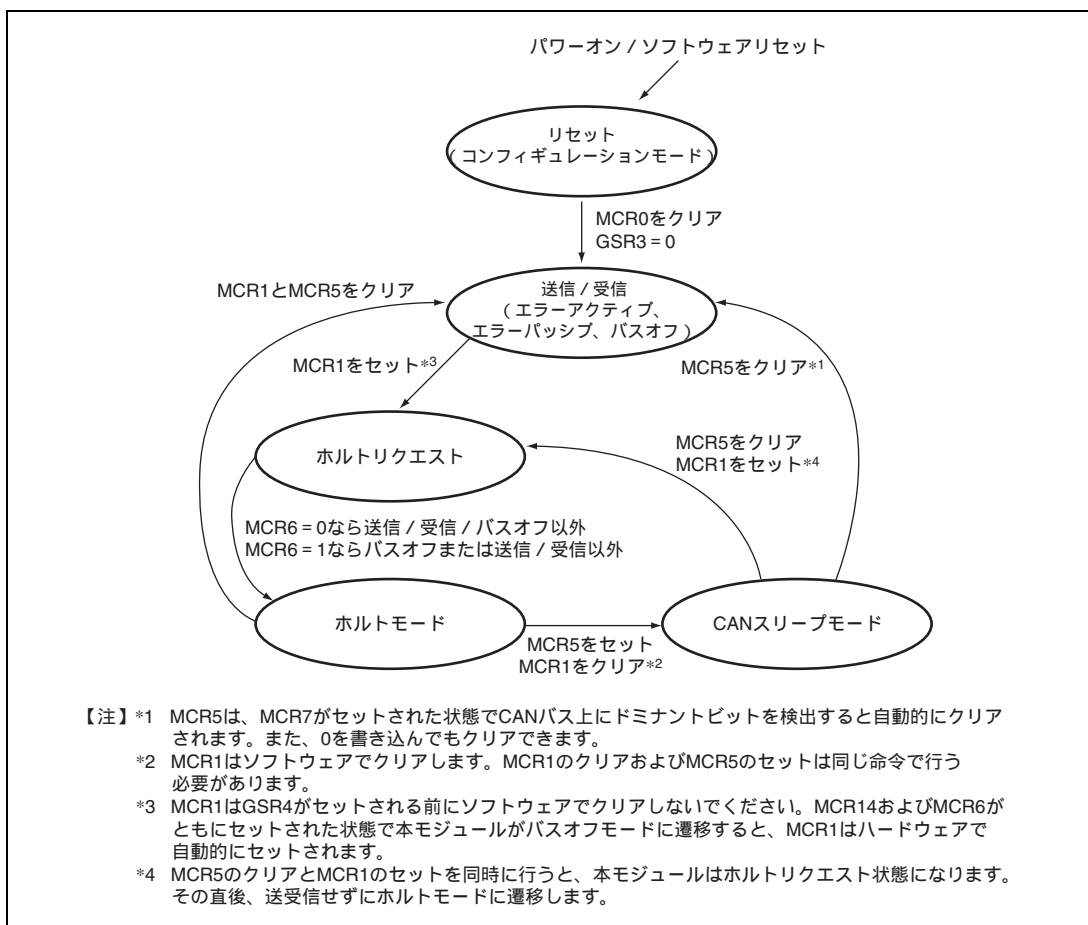


図 23.17 状態遷移図

各モードでのアクセスを許可する条件を表 23.9 に示します。

表 23.9 アクセス可能なレジスタ

ステータス モード	レジスタ										
	MCR、 GSR	IRR、 IMR	BCR	MBIMR タイマ TT レジ スタ	フラグ レジスタ	メール ボックス (コント ロール0、 LAFM)		メール ボックス (データ)	メール ボックス (コント ロール1)		メール ボックス (トリガ タイム、 TT コント ロール)
リセット	Yes	Yes	Yes	Yes	Yes	Yes		Yes	Yes		Yes
送信 / 受信	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*	Yes*
ホルト リクエスト	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*	Yes*
ホルト モード	Yes	Yes	No	Yes	Yes	Yes		Yes	Yes		Yes
CAN スリープ モード	Yes	Yes	No	No	No	No		No	No		No

【記号説明】

Yes : アクセスを許可するレジスタ

No : アクセスを禁止するレジスタ

【注】 * TXPR0 がセットされていない場合

23.7.2 テストモードの設定

本モジュールには種々のテストモードがあります。テストモードの選択はMCRレジスタのTST[2:0]ビットで行います。本モジュールは、デフォルト（初期値）ではノーマルモードで動作します。

表 23.10 にテストモード設定を示します。

テストモードの選択はコンフィギュレーションモードでのみ可能です。選択したテストモードを実行するには、テストモードを選択した後コンフィギュレーションモードを解除（BCR0/BCR1 が設定されていることを確認）してください。

表 23.10 テストモードの設定

TST2	TST1	TST0	モード
0	0	0	ノーマルモード
0	0	1	リスンオンリモード（受信専用モード）
0	1	0	セルフテストモード1（外部）
0	1	1	セルフテストモード2（内部）
1	0	0	ライトエラーカウンタ
1	0	1	エラーパッシブモード
1	1	0	設定禁止
1	1	1	設定禁止

- ノーマルモード

本モジュールは通常の動作をします。

- リスンオンリモード

ポーレート検出用にISO-11898で要求されているモードです。エラーカウンタはクリアされた後に動作禁止となり、TEC/RECの値が増加しないようになります。また、CTxn（n=0、1、2）出力を禁止し、本モジュールによるエラーフレームやアクノリッジビットの生成を抑制します。メッセージエラーが発生するとIRR13がセットされます。

- セルフテストモード（外部）

本モジュール自体でアクノリッジビットを生成し、必要ならばメッセージを受信メールボックスに格納します。CRxn/CTxn（n=0、1、2）端子は必ずCANバスに接続してください。

- セルフテストモード（内部）

本モジュール自体でアクノリッジビットを生成し、必要ならばメッセージを受信メールボックスに格納します。内部CTxn（n=0、1、2）が内部CRxn（n=0、1、2）にループバックされるため、CRxn/CTxn（n=0、1、2）端子をCANバスその他の外部デバイスに接続する必要はありません。CTxn（n=0、1、2）端子はレセシブビットのみ出力し、CRxn（n=0、1、2）端子は無効となります。

- ライトエラーカウンタ

TEC/RECは本モードで書き込み可能です。エラーカウンタに127より大きい値を書き込むことにより、本モジュールを強制的にエラーパッシブモードにすることができます。TECに書き込まれた値はRECに書き込まれるので、TECとRECは常に同じ値に設定されます。同様に、95より大きい値を書き込むことにより、本モジュールを強制的にエラーワーニングモードにすることができます。

TEC/RECに書き込む際は本モジュールがホルトモードでなければなりません(エラーカウンタ書き込み時にMCR1 = 1)。さらにCAN仕様により、ホルトモードを解除する前に本テストモードを解除してTEC/RECを再び動作可能にする必要があります。

- エラーパッシブモード

本モジュールは強制的にエラーパッシブモードにすることができます。

エラーパッシブモードを実行することによってRECの値が変わることはありませんが、一度エラーパッシブモードで動作すると、エラーを受信すればRECの値は通常どおり増加します。本モードでは、TECの値が256に達すると本モジュールはバスオフ状態になりますが、本モードを使用すると本モジュールはエラーアクティブになることができません。したがって本モジュールはバスオフ復帰シーケンスの最後に、エラーアクティブではなくエラーパッシブに遷移します。

メッセージエラー発生時には、すべてのテストモードでIRR13ビットがセットされます。

23.7.3 メッセージ送信シーケンス

(1) メッセージ送信リクエスト

バス上に CAN フレームを送信するシーケンスの例を図 23.18 に示します。

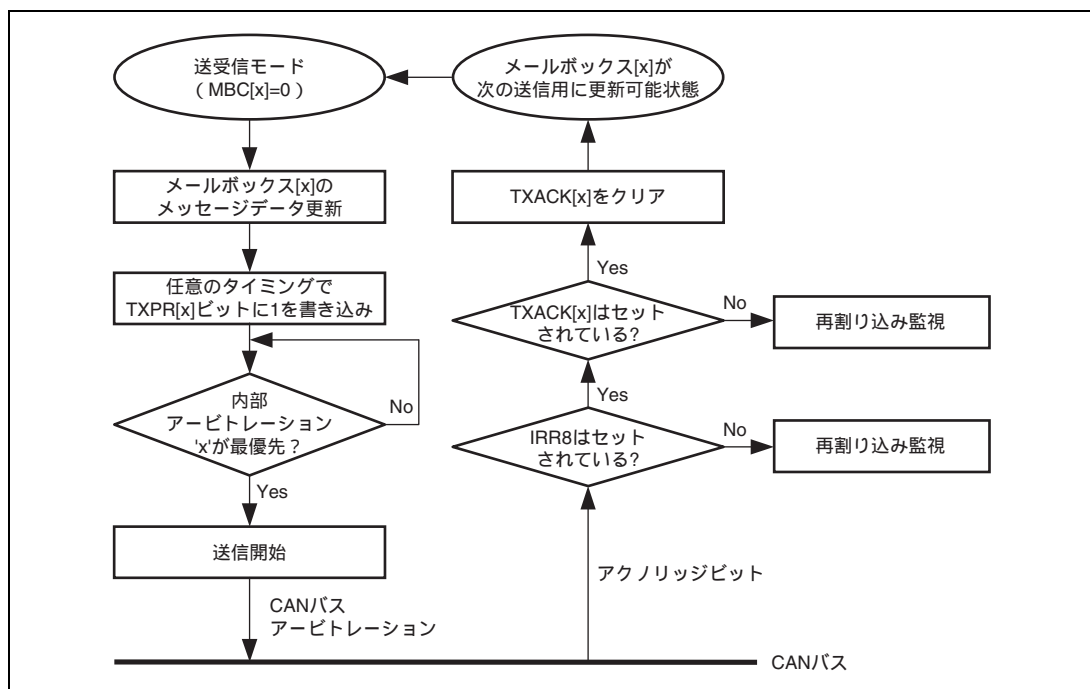


図 23.18 メッセージ送信リクエスト

レジスタの章で説明したとおり、TXACK または ABACK ビットのいずれかがセットされると、IRR8 がセットされることにご注意ください。これはいずれかのメールボックスが送信または送信アボートを終了し、次の送信用に更新可能状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していない(すべての TXPR フラグがセットされていない)ことを示しています。

(2) 送信用内部アービトレーション

図 23.19 は、本モジュールがどのようにしてメッセージ ID に従った順序で送信リクエストされたメッセージのスケジューリングを行うかを説明しています。内部アービトレーションでは、送信リクエストされたメッセージのうち最も優先度の高いものを取り出します。

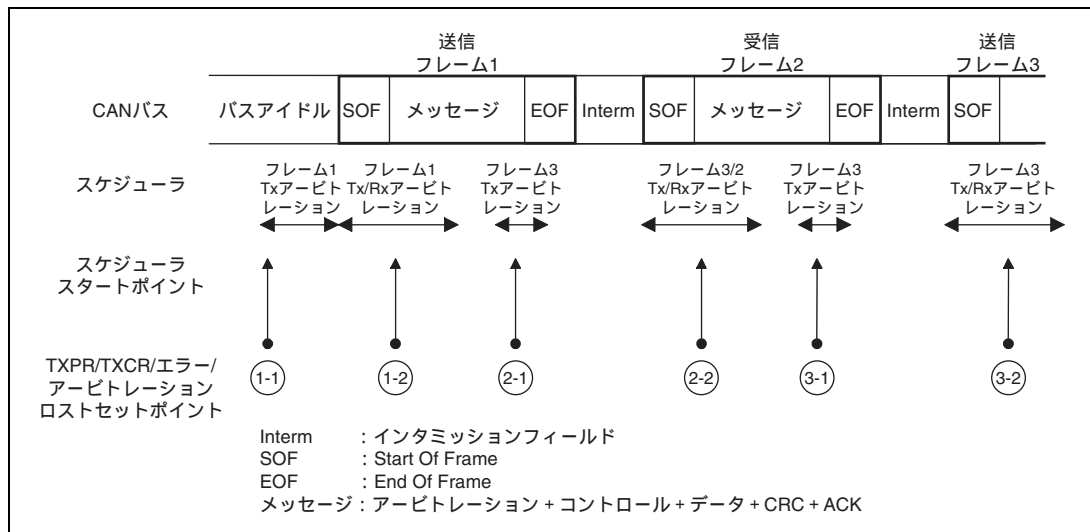


図 23.19 送信用内部アービトレーション

- 1-1 : CANバスがアイドル状態のとき TXPR ビットがセットされると、ただちに内部アービトレーションを実行し、送信を開始します。
- 1-2 : SOF で送信、受信の両方の動作を開始します。受信フレームでないため、本モジュールは送信を行います。
- 2-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 2-2 : SOF で送信、受信の両方の動作を開始します。優先度の高い受信フレームであるため、本モジュールは受信を行います。このため、フレーム3を送信せずに受信を行います。
- 3-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 3-2 : SOF で送信、受信の両方の動作を開始します。送信フレームの優先度が受信フレームよりも高いため、本モジュールは送信を行います。

CANバス上でエラーが検出された場合、次の送信用の内部アービトレーションは各エラーデリミタの先頭でも行われます。また、オーバーロードフレームの後のエラーデリミタの先頭でも行われます。

送信用アービトレーションはCRCのデリミタで行われるため、ATX=1のメールボックスがリモートフレームリクエストを受信した場合、そのリクエストに応じて送信するメッセージが送信用アービトレーションに参加するタイミングは、その後のバスアイドルまたはCRCデリミタまたはエラーデリミタになります。

CANバスの状態により、TXCRがセットされてから最大1CANフレームの遅延後に対応するメッセージのアポート処理が行われます。

(3) タイムトリガ送信

本モジュールは、ISO-11898-4 TTCAN Level 1 の仕様に準拠したタイムトリガモード通信を、ハードウェアでサポートしています。

ここでは、タイムトリガモードを使用するための基本的な手順を記します。

- タイムトリガモードの設定

タイムトリガモードをセットアップするには以下の設定が必要です。

- CMAX_TEWのCMAXをB'111以外の値に設定
- TTCR0のビット15をセットし、TCNTRの動作を開始
- コンペアマッチでTCNTRがクリアされないように、TTCR0のビット6をクリア
- タイムトリガ送信をするメールボックスのTXPRは、定周期送信を行うためにクリアされません。

- 各レジスタの役割

本モジュールのユーザレジスタを使用して、TTCAN 規格が要求する主な機能を扱うことができます。

TCNTR	Local_Time
RFMK	Ref_Mark
CYCTR	サイクルタイム = TCNTR - RFMK
RFTROFF	メールボックス 30 の Ref_Trigger_Offset
メールボックス 31	タイムリファレンスメッセージ専用受信メールボックス
メールボックス 30	タイムリファレンスメッセージ専用送信メールボックス (ポテンシャルタイムマスタとして動作する場合)
メールボックス 29~24	タイムトリガ送信対応のメールボックス
メールボックス 23~16	タイムスタンプなしの受信対応のメールボックス (イベントトリガ送信用メールボックスとして使用することもできます。)
メールボックス 15~0	タイムスタンプ付き受信対応のメールボックス (イベントトリガ送信用メールボックスとして使用することもできます。)
Tx-Trigger Time	メッセージを送信するタイミングを指定する Time_Mark
CMAX	ポテンシャルタイムマスタとして動作する場合のサイクルカウント数 (Basic Cycle) の最大値を指定
TEW	Tx_Enable_Window 幅を指定
TCMR0	Init_Watch_Trigger (ローカルタイムとコンペアマッチ)
TCMR1	ユーザ指定イベント監視用にサイクルタイムとコンペアマッチ
TCMR2	Watch_Trigger (サイクルタイムとコンペアマッチ) 待ち状態にある送信をすべてアボートするように設定することができます。
TTW	送信に使用するタイムウィンドウの属性を指定
TTTSEL	次の送信待ちメールボックスを指定

• タイムマスタ/タイムスレーブ

本モジュールは、ネットワークのポテンシャルタイムマスタまたはタイムスレーブとして動作するように設定することができます。各モードに必要な設定と本モジュールが自動的に行う処理を下記の表に示します。

モード	設定	機能
タイムスレーブ	TXPR[30]=0 & MBC[30]≠B'000 & CMAx≠B'111 & MBC[31]=B'011	CAN バス上で SOF が検出される度に TCNTR をサンプリングし、内部レジスタに格納します。メールボックス 31 が有効なタイムリファレンスメッセージを受信すると、TCNTR の値 (SOF で格納) を Ref_Mark (RFMK) にコピーします。 受信したリファレンスメッセージのサイクルカウンタ値 (CCR) を自ノードのサイクルカウンタレジスタ (CCR) にコピーします。 Next_is_Gap=1 ならば IRR13 をセットします。
(ポテンシャル) タイムマスタ	TXPR[30]=1 & MBC[30]=B'000 & DLC[30]>0 & CMAx≠B'111 & MBC[31]=B'011	以下の 2 つの場合があります。 (1) メールボックス 31 が有効なタイムリファレンスメッセージを受信すると、SOF で内部レジスタに格納した TCNTR の値を Ref_Mark (RFMK) にコピーします。受信したリファレンスメッセージのサイクルカウンタ値 (CCR) を自ノードのサイクルカウンタレジスタ (CCR) にコピーし、Next_is_Gap=1 ならば IRR13 をセットします。 (2) メールボックス 30 からタイムリファレンスメッセージが送信されると、SOF で内部レジスタに格納した TCNTR の値を Ref_Mark (RFMK) にコピーします。メールボックス 30 の TTT が CYCTR に一致するとサイクルカウンタ (CCR) をインクリメントします。 サイクルカウンタ (CCR) はタイムリファレンスメッセージの最初のデータバイト (Data0[7:6]、CCR[5:0]) に組み込まれます。

• 送信トリガタイムの設定

送信トリガタイム (TTT) は、以下に示すように昇順に設定してください。TTT 間の差分は、次の式を満たす必要があります。式中の TEW はレジスタ値です。

$$\begin{aligned} & \text{TTT (メールボックス 24)} < \text{TTT (メールボックス 25)} < \text{TTT (メールボックス 26)} < \\ & \text{TTT (メールボックス 27)} < \text{TTT (メールボックス 28)} < \text{TTT (メールボックス 29)} < \\ & \text{TTT (メールボックス 30)} \end{aligned}$$

かつ

$$\text{TTT (メールボックス } i) - \text{TTT (メールボックス } i-1) > \text{TEW} + \text{最大フレーム長} + 9$$

ポテンシャルタイムマスタとして動作する場合、TTT (メールボックス 24) ~ TTT (メールボックス 29) は Time_Mark に、TTT (メールボックス 30) は Basic_Cycle length を示す Time_Ref に対応しています。

上記の制約は、タイムトリガ送信に設定されたメールボックスにのみ適用されます。

【重要】 送信トリガタイム設定の制約により、1 つのタイムウィンドウに割り付けることのできるメールボックスは 1 つのみとなります。

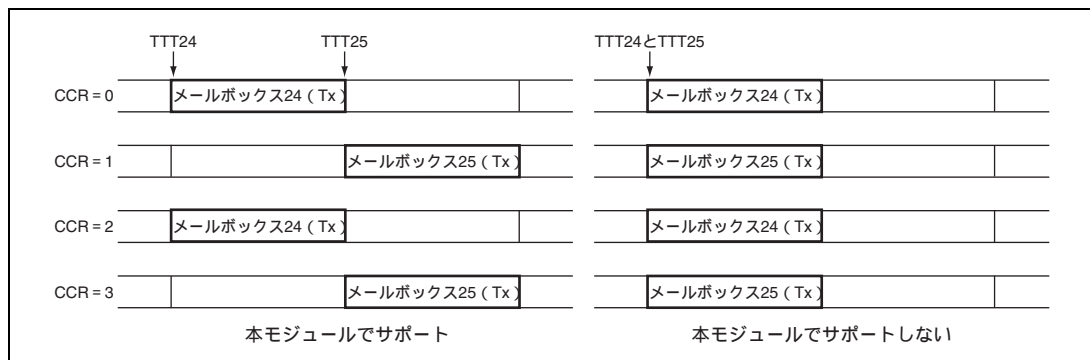


図 23.20 送信トリガタイムの制約

Watch_Trigger としての TCMR2 の値は、1Basic_Cycle length を示す TTT (メールボックス 30) より大きくなければなりません。

図 23.21、図 23.22 に、(ポテンシャル)タイムマスタおよびタイムスレーブの設定例を示します。図中の L は、タイムリファレンスメッセージの時間長です。

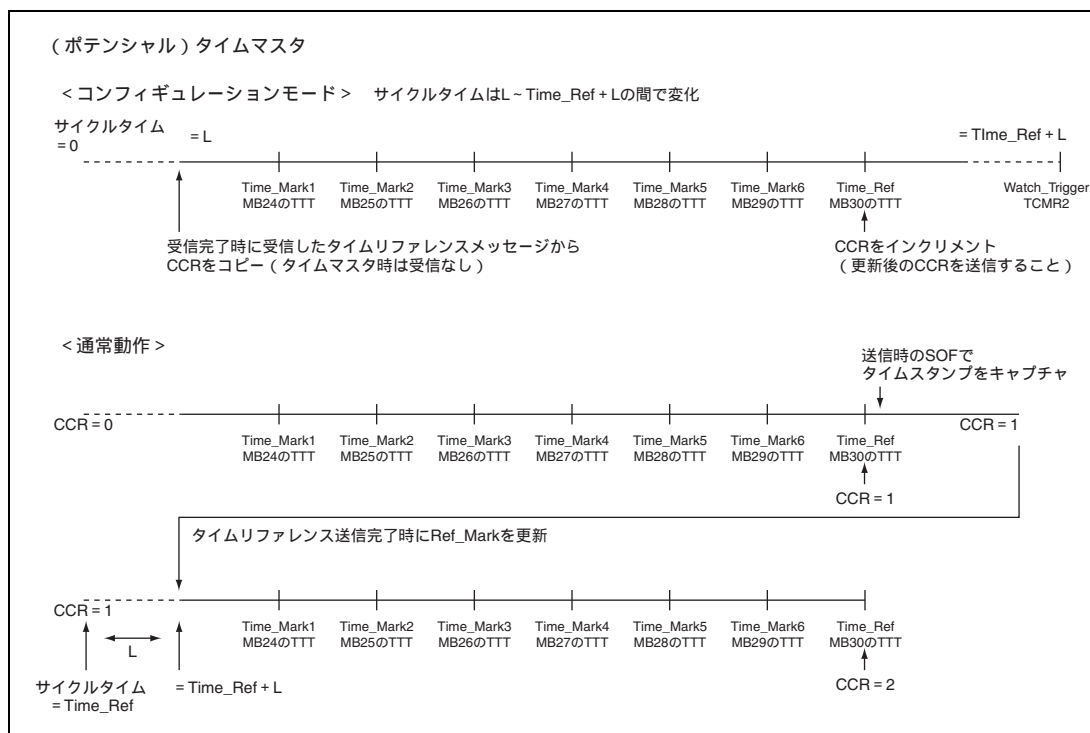


図 23.21 (ポテンシャル)タイムマスタ

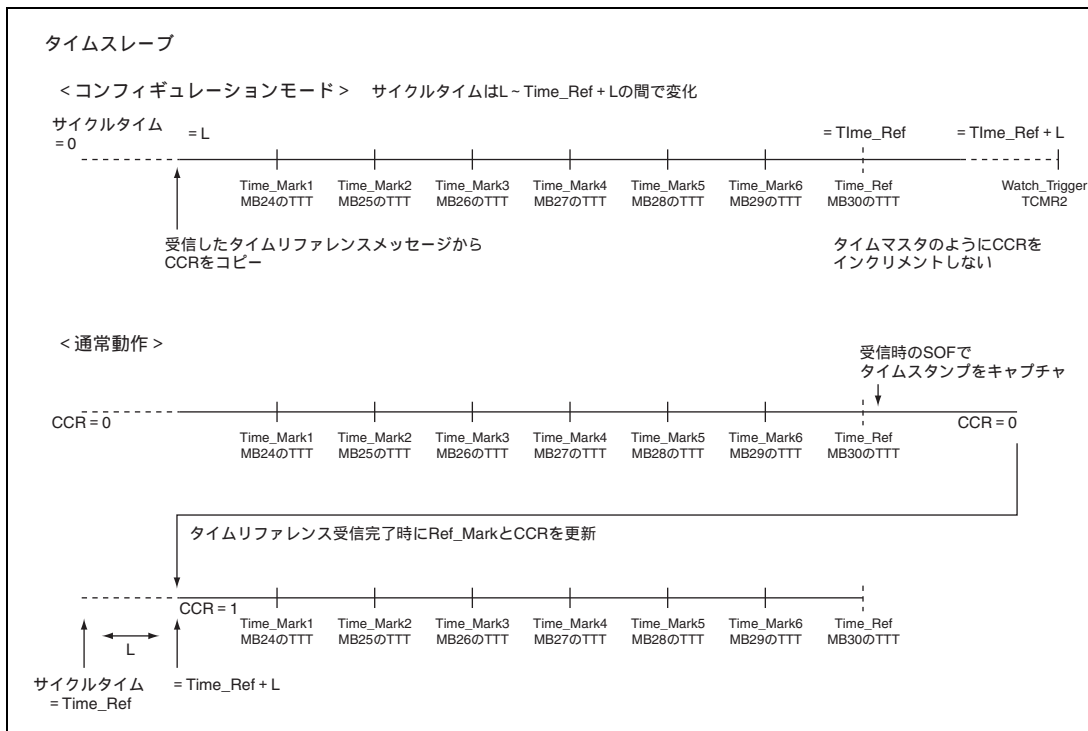


図 23.22 タイムスレーブ

- ソフトウェアで実装する機能

TTCANの機能には、ソフトウェアで実装する必要のあるものがあります。主な機能を以下に示します。詳細はISO-11898-4を参照してください。

- Init_Watch_TriggerからWatch_Triggerへの変更

本モジュールでは、Init_Watch_TriggerおよびWatch_TriggerのハードウェアサポートとしてそれぞれTCMR0レジスタとTCMR2レジスタを用意しています。CANバス上で最初のリファレンスメッセージが検出されるまでTCMR0を有効かつTCMR2を無効にし、その後TCMR0を無効かつTCMR2を有効にする制御はソフトウェアで行います。(スケジュール同期化ステートマシン)

Next_is_Gap受信割り込みのみサポートしています。アプリケーションにて、対応するTXCRフラグをセットすることにより、現在のBasic_Cycleの終了時にすべての送信を停止する必要があります。

マスタ/スレーブモード制御

自動サイクルタイム同期とCCRのインクリメントのみサポートしています。

- メッセージステータスカウント

エクスクルーシブウィンドウの定周期メッセージに関するスケジュールエラーを、ソフトウェアでカウントする必要があります。

- タイムトリガ通信のメッセージ送信リクエスト

タイムトリガモードを使用する場合、ISO11898-4 の要求事項を満たさなければなりません。

以下の手順を行ってください。

1. 本モジュールをリセットまたはホルトモードにする
2. TCMR0にInit_Watch_Trigger (H'FFFF) を設定
3. TTCR0のビット10でTCMR0によるコンペアマッチを有効に設定
4. TCMR2に指定のWatch_Trigger 値を設定
5. TTCR0のビット12を0に保持し、TCMR2によるコンペアマッチを無効にする。
6. CMAXに必要な値を設定 (B'111以外)
7. TEWに必要な値を設定
8. メールボックスをタイムトリガ送信および受信に設定する
9. メールボックス31のLAFMを下位3ビットに対して設定
10. MCR、BCR1、BCR0に必要な値を設定
11. ポテンシャルタイムマスタとして動作する場合は下記を設定
 - RFTROFFに必要なInit_Ref_Offset値を設定
 - メールボックス30のTXPRをセット
 - TTTSELにH'4000を書き込む
12. TTCR0のビット15でタイムTCNTRをイネーブルにする
13. 通常モードに移行
14. 有効なリファレンスメッセージが送信または受信されるのを待つ、もしくはTCMR0のコンペアマッチを待つ
15. ローカルタイム (TCNTR) がTCMR0の値に一致したら、Init_Watch_Triggerに到達したことを意味し、アプリケーションでメールボックス30のTXCRをセットし再び開始する
16. リファレンスメッセージが送信されたら (TXACK[30] がセットされた)、RFTROFFを0に設定
17. 有効なリファレンスメッセージを受信したら (RXPR[31] がセットされた)、下記を行う
 - メールボックス31のIDの下位3ビットの優先度がメールボックス30の下位3ビットよりも高ければ (ポテンシャルタイムマスタとして動作する場合)、RFTROFFの値をInit_Ref_Offsetに保持
 - メールボックス31のIDの下位3ビットの優先度がメールボックス30の下位3ビットよりも低ければ (ポテンシャルタイムマスタとして動作する場合)、RFTROFFの値を1デクリメント
18. TTCR0のビット10をクリアし、TCMR0 によるコンペアマッチを無効にする
19. TTCR0のビット12をセットし、TCMR2 によるコンペアマッチを有効にする
20. CANバス上でリファレンスメッセージを2個検出 (送信または受信) した後、アプリケーションで他のタイムトリガメールボックスのTXPRをセットすることができます。

CAN バス上でリファレンスメッセージが検出されずに、サイクルタイム CYCTR が TCMR2 の値に到達した場合はいつでも、本モジュールは待ち状態の送信（リファレンスメッセージを含む）をすべて自動的にアポートします。

タイムトリガモードでさらに送信を要求するときのシーケンスを以下に示します。

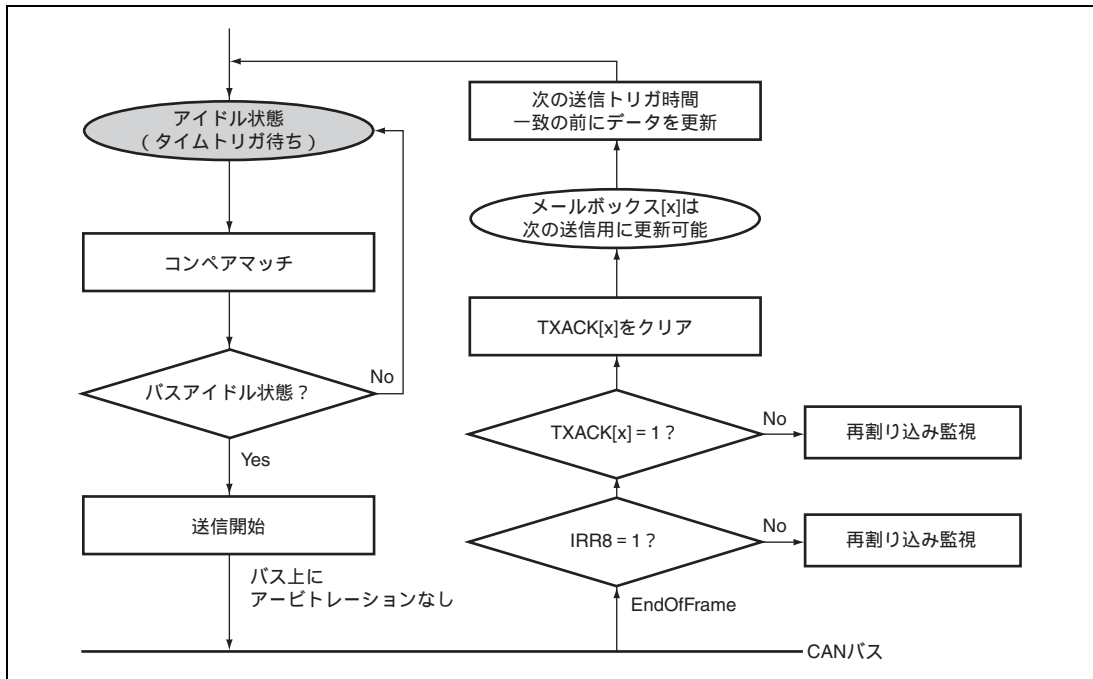


図 23.23 メッセージ送信リクエスト

ソフトウェアは、送信トリガが発生する前にメッセージの更新が確実に行われるようにしなければなりません。CYCTR がメールボックスの TTT (送信トリガ時間) に到達し、CCR がプログラムされた送信用サイクルに一致すると、本モジュールはただちに送信バッファにメッセージを転送します。

この時点で、本モジュールは指定された Tx_Enable Window 内で送信を試みます。このタイムスロットを逃すと、送信が定周期の場合（メールボックス 24～30）、本モジュールは対応する TXPR ビットを 1 に保持し送信リクエストを次の送信トリガまで保留します。

本モジュールが上記のタイムスロットを逃す 3 つの要因があります。

1. CANバスが使用中
2. タイムトリガメッセージ送信中にCANバス上にエラーが発生
3. タイムトリガメッセージ送信中にアービトレーションロストが発生

マージドアービトレーティングウィンドウ (Merged Arbitrating Window) の場合、この送信スロットは、ウィンドウを開始した ($TTW=B'10$) メールボックスの送信トリガから、ウィンドウを終了する ($TTW=B'11$) メールボックスの TEW の最後までです。TXPR はいつでも変更可能です。本モジュールは、タイムトリガメッセージの送信が常に正しくスケジュールされるようにしますが、正確なスケジュールを保証するため、以下に示す重要な規則があります。

- TTT (送信トリガタイム) は、コンフィギュレーションモードで変更可能。
- Basic_Cycle length サイクルカウンタ (Basic Cycle) 長を指定する Time_Ref を超える TTT の設定は不可。違反すると、スケジューリングで問題が発生します。
- 定周期送信では、TXPR は自動的にクリアされません。定周期送信をキャンセルする必要がある場合は、アプリケーションで対応する TXCR ビットをセットします。

• タイムトリガシステムの例

タイムスレープモードの本モジュールを使用して、タイムトリガシステムが動作する簡単な例を下图に示します。

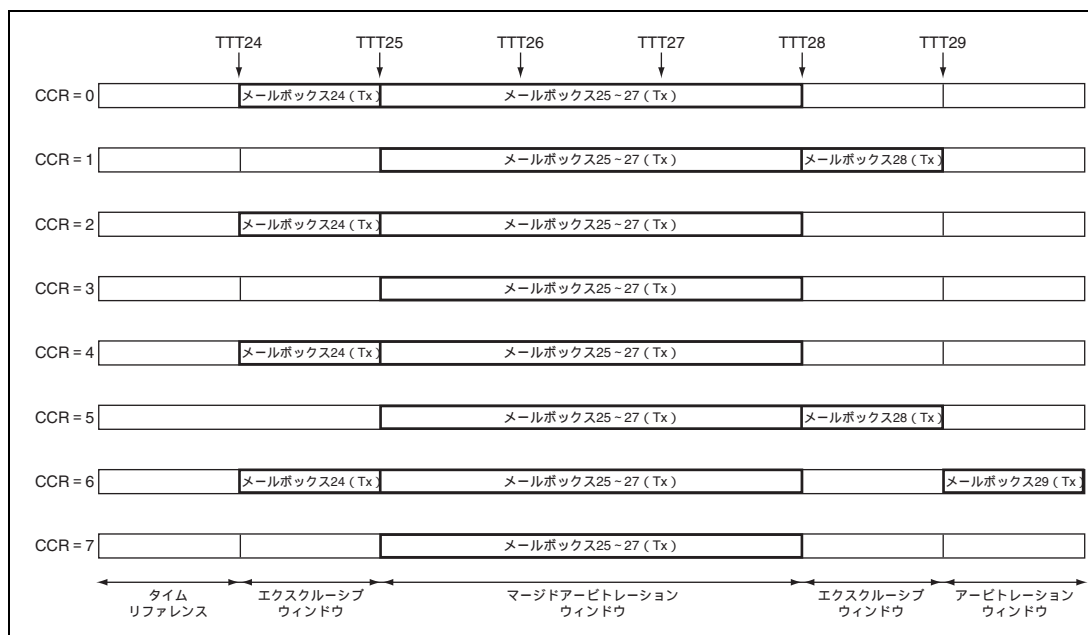


図 23.24 タイムスレープとしてのタイムトリガシステム例

図 23.24 の例で使用する値を表 23.11 に示します。

表 23.11 例で使用する設定値

	rep_factor (レジスタ)	Offset	TTW[1:0]	MBC[2:0]
メールボックス 24	B'001	B'000000	B'00	B'000
メールボックス 25	B'000	B'000000	B'10	B'000
メールボックス 26	B'000	B'000000	B'10	B'000
メールボックス 27	B'000	B'000000	B'11	B'000
メールボックス 28	B'010	B'000001	B'00	B'000
メールボックス 29	B'011	B'000110	B'01	B'000
メールボックス 30	-	-	-	B'111
メールボックス 31	-	-	-	B'011

【注】 CMAX = B'011、TXPR[30] = 0

マージドアービトレイティングウィンドウ内では、タイムトリガ送信リクエストは FCFS (First Come First Served) で処理されます。たとえば、メールボックス 25 が送信トリガタイム 25 (TTT25) と送信トリガタイム 26 (TTT26) の間で送信できなかった場合、TTT26 - TTT28 間ではメールボックス 25 はメールボックス 26 より優先度が高くなります。

タイムトリガ送信を無効にするには、MBC を B'111 に設定します。本モジュールがタイムマスタの場合、MBC[30] = B'000 としなければならず、タイムリファレンスウィンドウは自動的にアービトレイティングウィンドウと認識されます。

- タイマ動作

図23.25にタイマのタイミング図を示します。送信トリガタイム = n と設定すると、タイムトリガ送信は、 $CYCTR = n + 2$ から $CYCTR = n + 3$ の間に開始します。

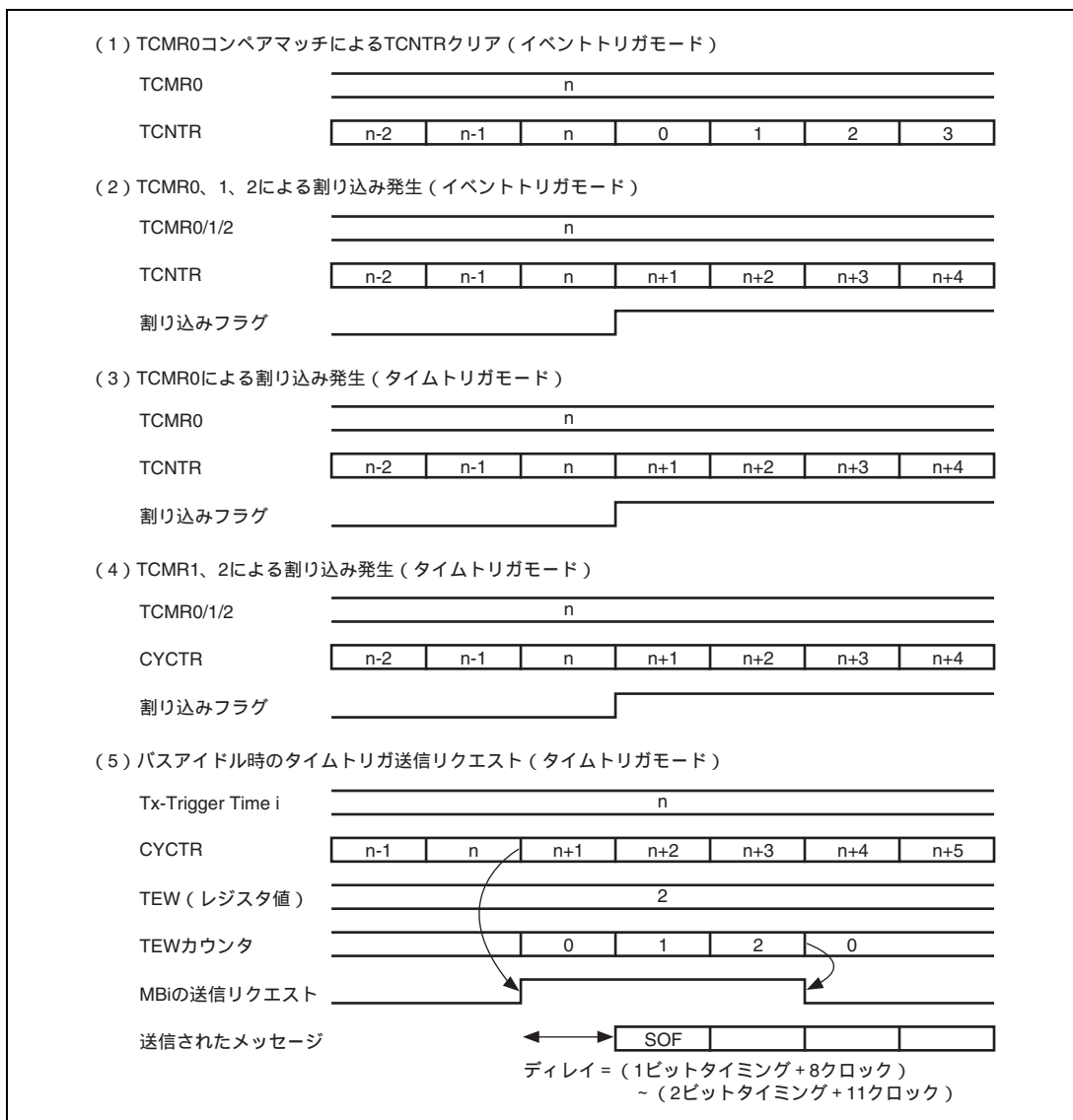


図 23.25 タイマのタイミング図

マージドアービトレイティングウィンドウ内では、イベントトリガ送信はタイマトリガ送信完了後に処理されます。たとえば、メールボックス 25 の送信が完了したときに CYCTR が TTT26 に到達していないと、MCR2 で指定したメッセージ送信の優先順位により、イベントトリガ送信が開始します。タイマトリガ送信の TXPR は送信完了後にクリアされませんが、イベントトリガ送信の TXPR は送信完了後にクリアされます。

マージドアービトレイティングウィンドウを閉じるメールボックスの TXPR がセットされない場合は、そのメールボックスの TTT の後に続く TEW の最後でマージドアービトレイティングウィンドウが閉じます。

「23.3.1 メールボックスの構成」の表 23.3 を参照してください。 .

23.7.4 メッセージ受信シーケンス

メッセージ受信シーケンスを図 23.26 に示します。

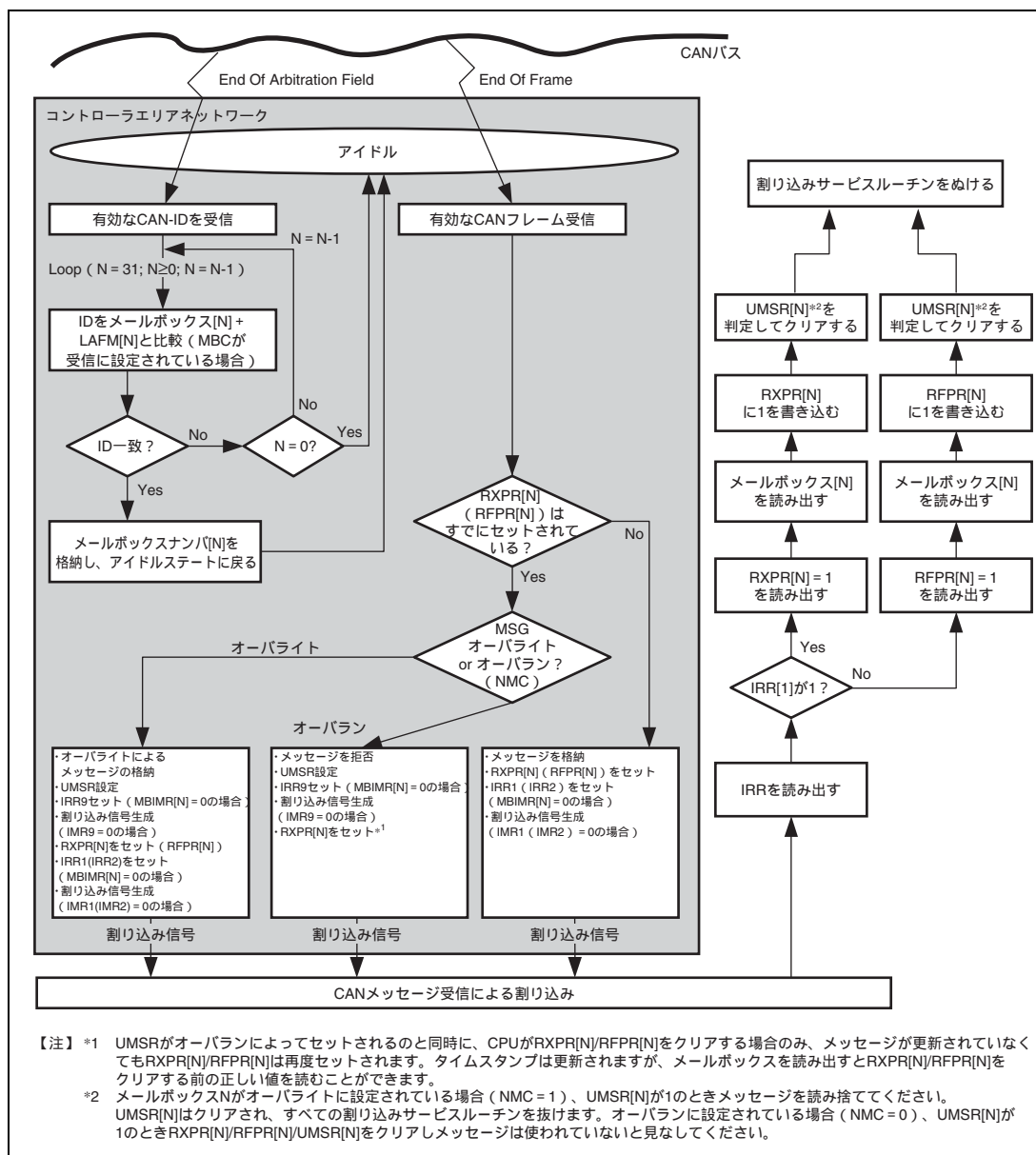


図 23.26 メッセージ受信シーケンス

メッセージを受信中に本モジュールがアービトレーションフィールドの最後を認識すると、受信した ID とメールボックスに設定された ID の比較を始めます。比較する順序はメールボックス 31 からメールボックス 0 の順です。まず MBC をチェックし、メールボックスが受信に設定されているか調べます。その後 LAFM を読み込み、続いてメールボックス 31 (受信用に設定されている場合) の ID を読み込み、受信した ID と比較します。一致しない場合は、メールボックス 30 (受信用に設定されている場合) に対して同じチェックを行います。一致する ID を見つけると本モジュールはそのメールボックス番号 (N) を内部バッファに格納し、サーチを停止した後アイドル状態に戻り EOF (End Of Frame) を待ちます。EOF の 6 ビット目が通知されると、受信メッセージは NMC ビットの設定により書き込まれるか廃棄されます。

通信中に本モジュールのメッセージ ID と LAFM の設定を変更することはできません。設定変更する手段の 1 つとしてホルトモードおよびコンフィギュレーションモードがあります。受信メッセージを対応するメールボックスに書き込むときに、メッセージ ID を含めて書き込まれるため、LAFM を使用する場合は CAN-ID が異なる CAN-ID でオーバーライトされることがあります。これはまた、受信したメッセージの ID が複数のメールボックスの ID + LAFM と一致する場合には、受信メッセージは常にメールボックス番号の一番大きいメールボックスに格納され、小さい番号のメールボックスにはメッセージが格納されなくなってしまうことを意味しています。したがって、ID と LAFM の設定値は注意深く選択する必要があります。

図 23.26 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバーライトされること (NMC が 1 のとき) を検出するためです。UMSR の最後のチェック中にオーバーライトが検出された場合、メッセージを破棄し再度読み込む必要があります。

メールボックスがオーバーランに (NMC = 0) 設定されているときは、UMSR がセットされた場合のメッセージは有効です。しかし、CAN バスでモニタされた最新のメッセージではなく古いメッセージです。メッセージの読み出しは、関連する RXPR/RFPR フラグをクリアする前に行ってください。

受信したリモートフレームがデータフレームでオーバーライトされた場合、リモートフレーム受信割り込み (IRR2) およびデータフレーム受信割り込み (IRR1) がセットされ、受信フラグ (RXPR、RFPR) もセットされますので、ご注意ください。同様にデータフレームがリモートフレームでオーバーライトされた場合も IRR2 と IRR1 がセットされます。

メッセージを受信しメールボックスに格納すると、受信されなかったデータフィールドはすべて 0 として格納されます。スタンダード ID を受信した場合も同様です。エクステンデッド ID (EXTID[17:0]) には 0 が書き込まれます。

23.7.5 メールボックスの再設定

メールボックスの再設定が必要な場合は、下記の手順に従ってください。

(1) 送信ボックスの設定変更

下記の2つの場合があります。

- ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DARTの変更

MBC = B'000の場合のみ変更可能です。対応するTXPRビットがセットされていないことを確認してください。設定（MBCを除く）はいつでも変更することができます。

- 送信ボックスから受信ボックスへの設定変更

対応するTXPRビットがセットされていないことを確認してください。ホルトモードまたはリセット状態でのみ変更可能です。本モジュールがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信/送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

本モジュールがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

(2) 受信ボックスのID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBCの設定変更および受信ボックスから送信ボックスへの変更

設定変更はホルトモードでのみ可能です。メッセージがCANバス上にあり本モジュールが受信モードの場合、そのメッセージを逃すことはありません。本モジュールは現在行っている受信を完了してからホルトモードに遷移します。本モジュールがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信/送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

本モジュールがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

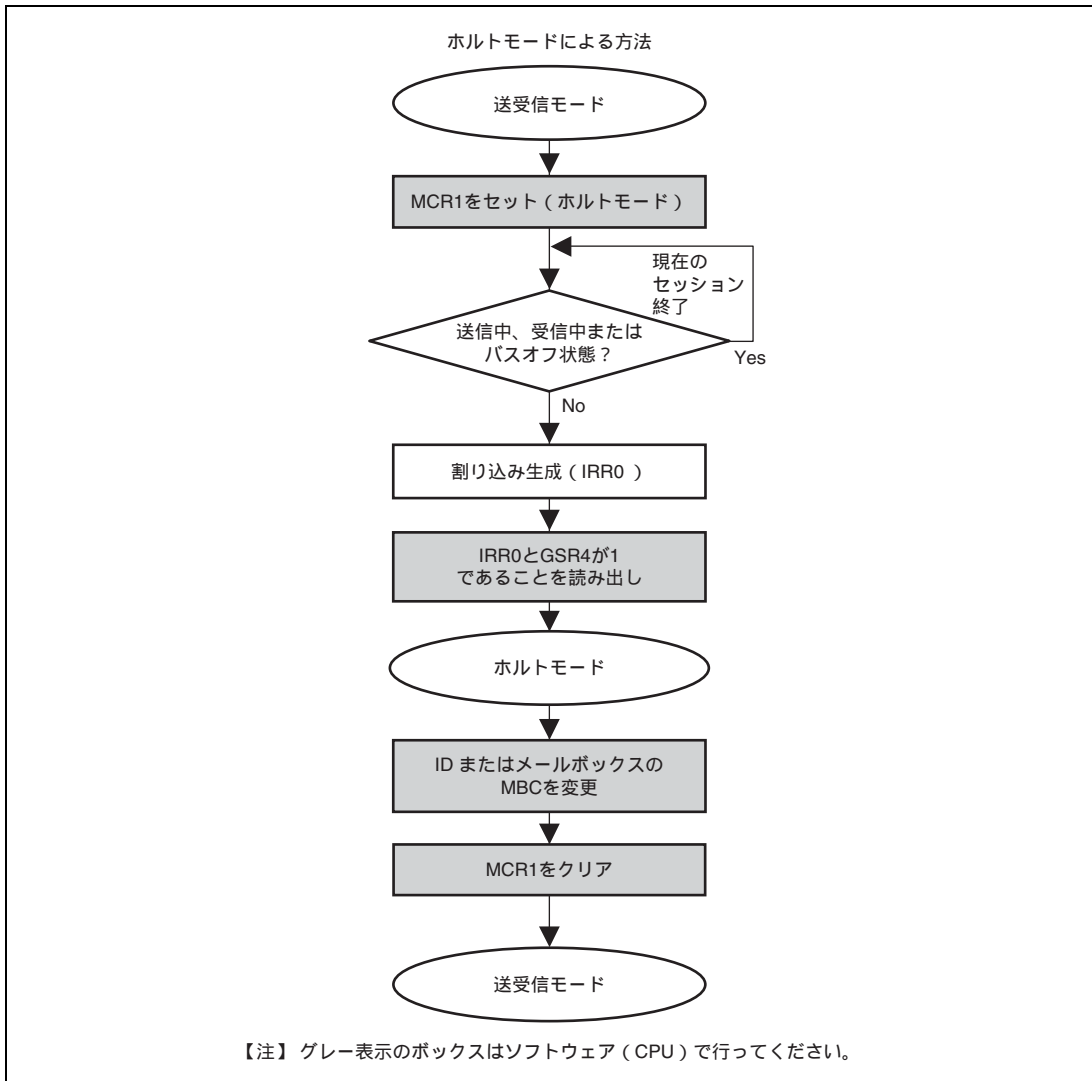


図 23.27 受信ボックスの ID 変更 / 受信ボックスから送信ボックスへの変更

23.8 割り込み要因

本モジュールには表 23.12 に示す割り込み要因があります。これらの要因はマスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ (MBIMR) およびインタラプトマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「第 7 章 割り込みコントローラ」を参照してください。

表 23.12 割り込み要因

名称	要 因	割り込みフラグ	ダイレクトメモリ アクセスコントローラの起動
ERSn* ¹	エラーバツプ (TEC 128 または REC 128)	IRR5	不可
	バスオフ (TEC 256) / バスオフからの復帰	IRR6	
	エラーワーニング (TEC 96)	IRR3	
	エラーワーニング (REC 96)	IRR4	
OVRn* ¹	リセット / ホルト / CAN スリープ遷移	IRR0	
	オーバロードフレーム送信	IRR7	
	未読メッセージのオーバライト (オーバラン)	IRR9	
	スタートシステムマトリックス	IRR10	
	TCMR2 コンペアマッチ	IRR11	
	CAN スリープ中 CAN バス動作の検出	IRR12	
	タイマオーバラン / Next_is_Gap / メッセージエラー	IRR13	
	TCMR0 コンペアマッチ	IRR14	
	TCMR1 コンペアマッチ	IRR15	
RM0n* ^{1*2}	データフレーム受信	IRR1* ³	可* ⁴
RM1n* ^{1*2}	リモートフレーム受信	IRR2* ³	
SLEn* ¹	メッセージの送信 / 送信取り消し (スロットエンプティ)	IRR8	不可

【注】 *1 n=0、1、2

- *2 RM0 はメールボックス 0 のリモートフレーム受信フラグ (RFPR0[0]) またはデータフレーム受信フラグ (RXPR0[0]) による割り込み、RM1 はメールボックス n (n=1~31) のリモートフレーム受信フラグ (RFPR0[n]) またはデータフレーム受信フラグ (RXPR0[n]) による割り込みです。
- *3 IRR1 はメールボックス 0~31 のデータフレーム受信フラグ、IRR2 はメールボックス 0~31 のリモートフレーム受信フラグです。
- *4 RM0n 割り込みのみダイレクトメモリアクセスコントローラを起動できます。

23.9 ダイレクトメモリアクセスコントローラインタフェース

各チャンネルのメールボックス0にメッセージを受信すると、ダイレクトメモリアクセスコントローラを起動することができます。なお、ダイレクトメモリアクセスコントローラ起動を設定し、DMA転送が終了すると、自動的にRXPR0とRFPR0レジスタのフラグはクリアされます。このとき、本モジュールからの受信割り込みでCPUへの割り込みは発生しません。図23.28にDMA転送フローチャートを示します。

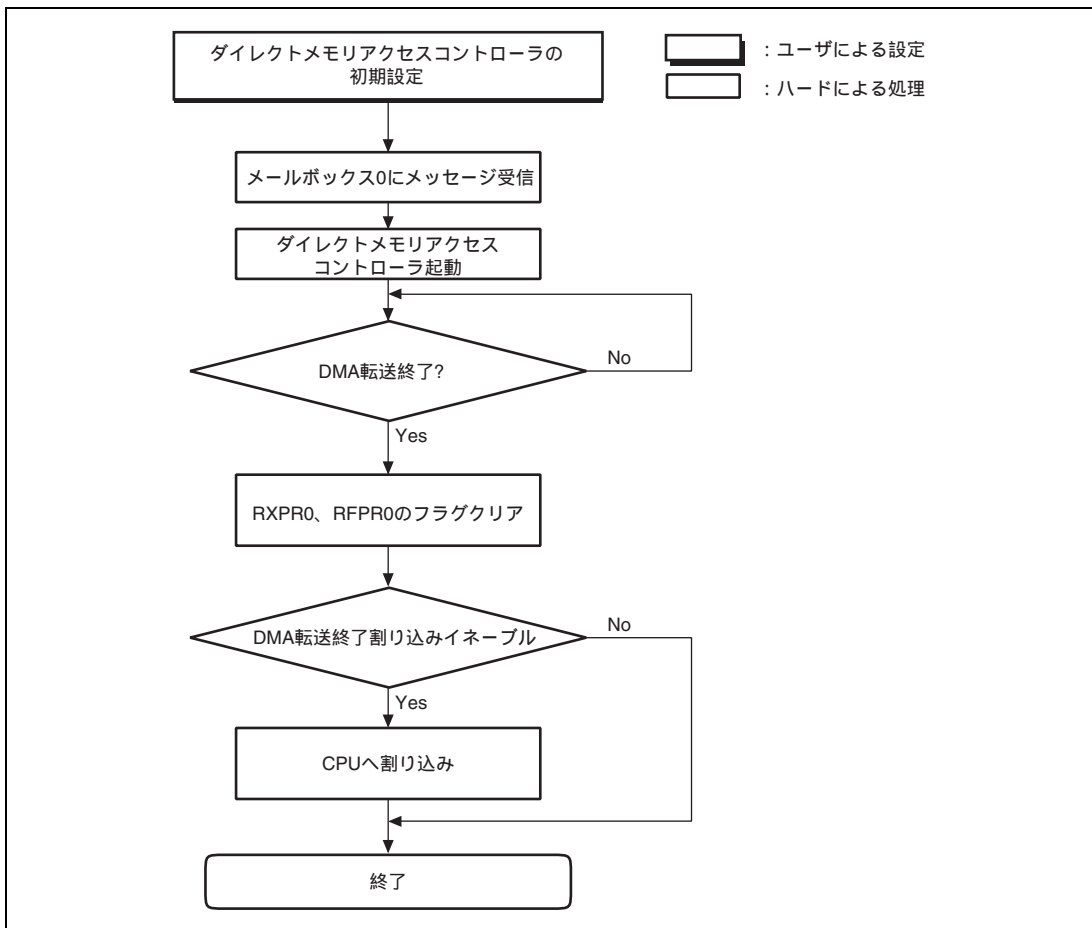


図 23.28 DMA 転送フローチャート

23.10 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC はルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。図 23.29 に接続例を示します。

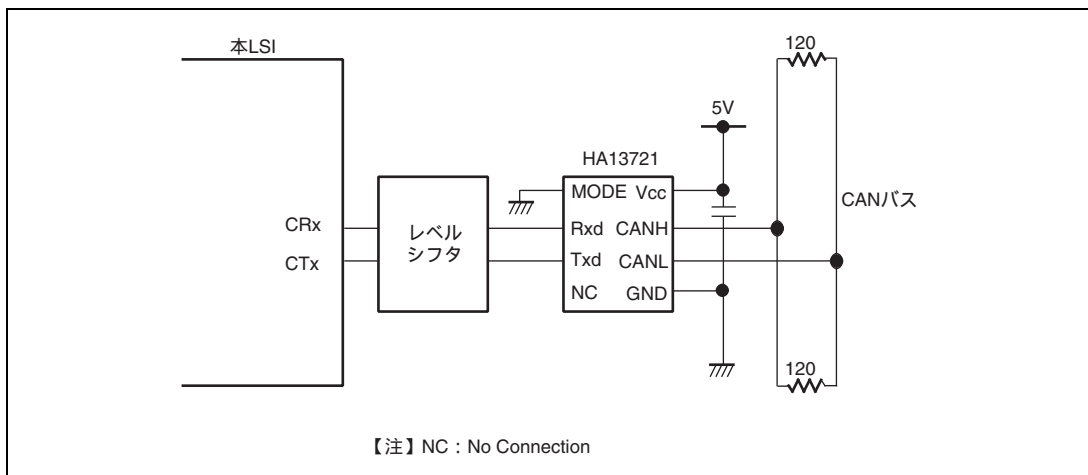


図 23.29 HA13721 を用いたハイスピード CAN インタフェース

23.11 端子ポート設定

ポート設定は、必ずコンフィギュレーションモード中またはそれ以前に行ってください。ポート設定方法の詳細は「第 48 章 汎用入出力ポート」を参照してください。本 LSI は本モジュールを 3 チャンネル内蔵しており、3 種類の使用方法があります。

- 3チャンネルの32メールボックス
- 1チャンネルの64メールボックス (RCAN_0、1) と1チャンネルの32メールボックス (RCAN_2)
- 1チャンネルの96メールボックス

【注】 64 / 96 メールボックス使用時には注意が必要です。「23.12.1 1チャンネル 64 / 96 メールボックスでのポート設定についての注意事項」を必ずお読みください。

図 23.30、図 23.31、図 23.32 に各ポート設定での接続例を示します。

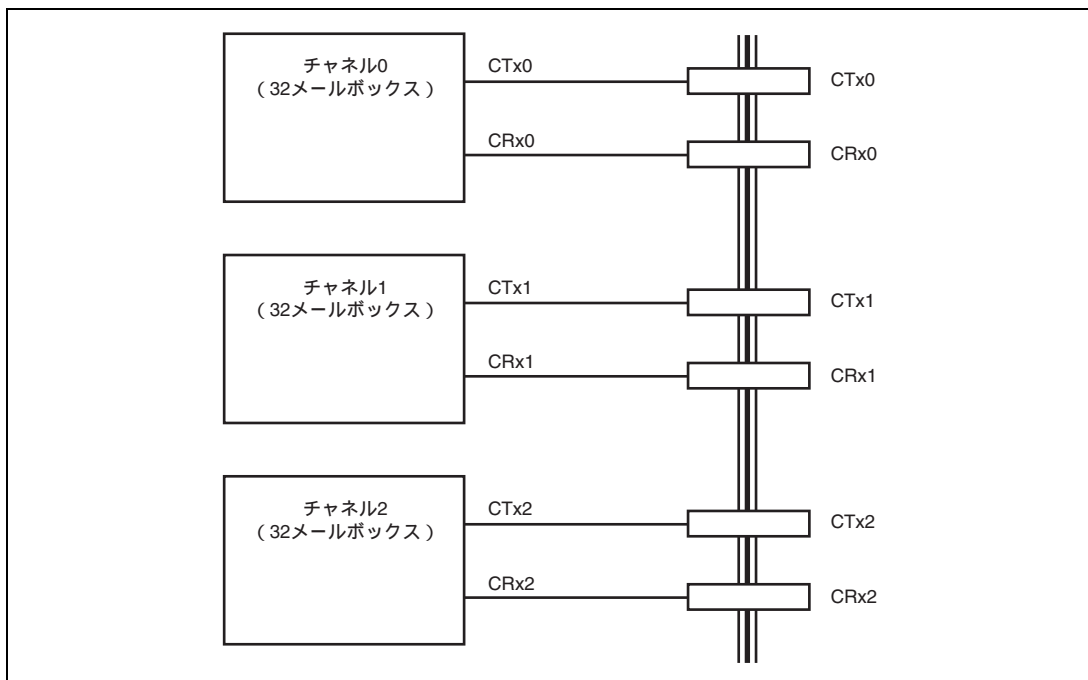


図 23.30 チャンネル 0、1、2 を個別のチャンネルとして使用するときの接続例

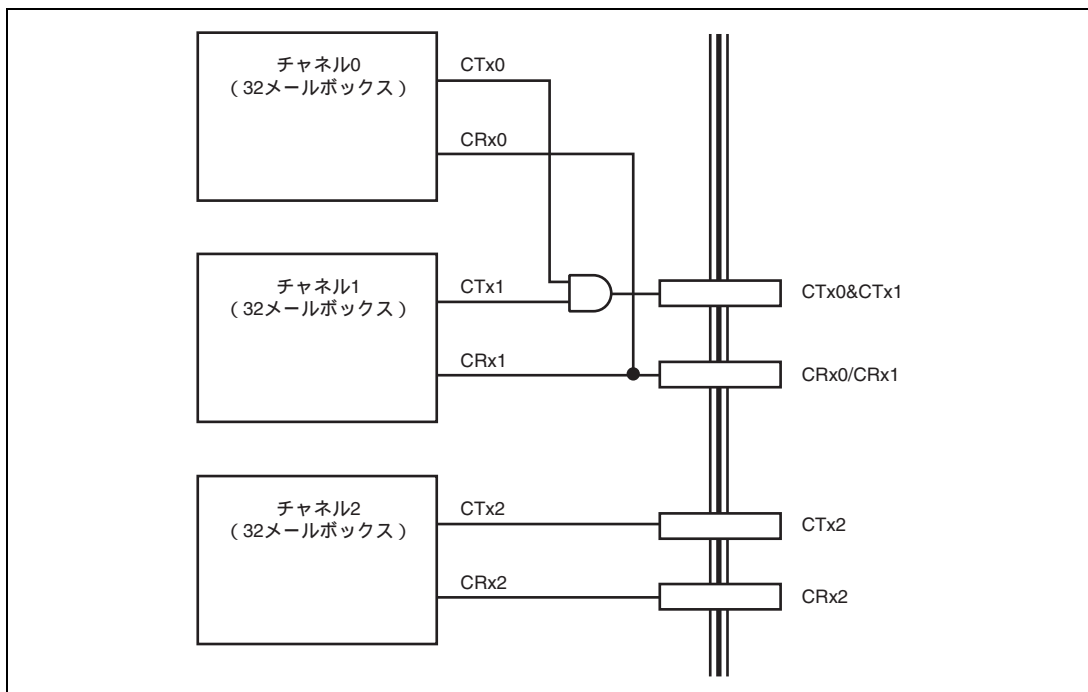


図 23.31 チャンネル 0、1 を 64 メールボックスの 1 チャンネル、
チャンネル 2 を 32 メールボックスの 1 チャンネルとして使用するときの接続例

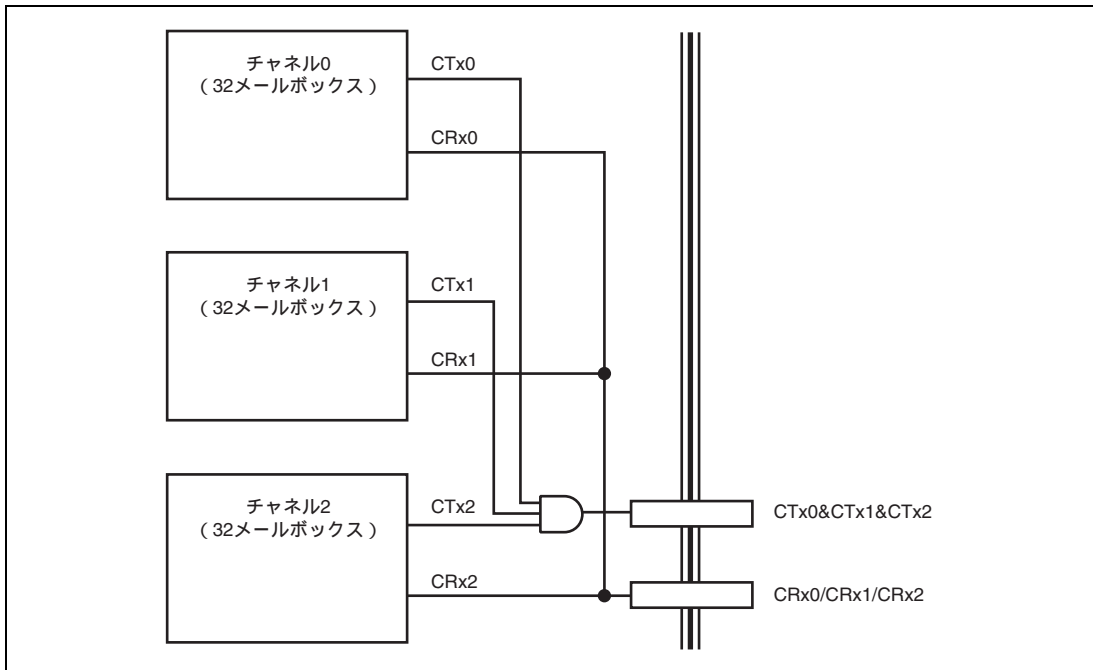


図 23.32 チャンネル 0、1、2 を 96 メールボックスの 1 チャンネルとして使用するときの接続例

23.12 使用上の注意事項

23.12.1 1チャンネル64 / 96 メールボックスでのポート設定についての注意事項

本 LSI は、本モジュールを 3 チャンネル内蔵しています。1 チャンネルで 64 または 96 メールボックスの設定で使用する際、以下の注意事項があります。

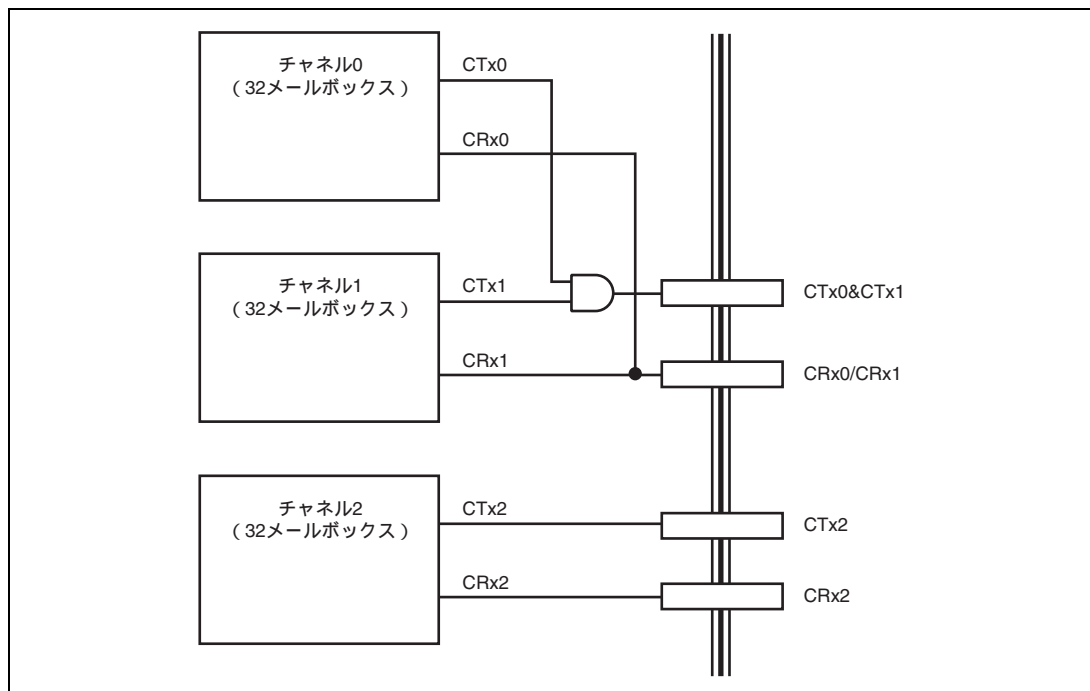


図 23.33 チャンネル 0、1 を 64 メールボックスの 1 チャンネル、
チャンネル 2 を 32 メールボックスの 1 チャンネルとして使用するときの接続例

1. CANバスに他ノードを接続しない状態でメッセージ送信した場合、ACKエラーが発生しません。上図のチャンネル0からメッセージを送信した場合、ACKフィールドでチャンネル1がACKを送信するためです。チャンネル1はCANバス上のメッセージを受信しており、CANプロトコルに従いACKフィールドでACKを送信し、そのACKをチャンネル0が受信します。
対応方法は、メッセージを送信しないチャンネル1をテストモードのリスンオンリモード状態 (TST[2:0] = B'001) またはリセット状態 (MCR0=1設定) にしてください。これにより、メッセージを送信しないチャンネルからACKを送信しません。
2. 送信順位を決定する内部アービトレーションは、それぞれチャンネル0とチャンネル1で独立して実施します。送信可能バッファは31メールボックス/チャンネルありますが、62バッファの範囲で内部アービトレーションは実施しません。

3. 同一送信メッセージIDをチャンネル0とチャンネル1に設定しないでください。CANバス上でのアービトレーション実施後、2つのチャンネルからメッセージを送信することになります。

24. IEBus™ コントローラ

本 LSI は、1 チャンネルの IEBus コントローラを内蔵しています。IEBus™ (Inter Equipment Bus™) *は、装置間のデータ転送を目的とした小規模のデジタルデータ転送システムです。

本 LSI は IEBus ドライバ/レシーバを内蔵していないため、専用のドライバ/レシーバを外付けする必要があります。また、IERxD、IETxD 端子は 3V 仕様のため、専用のレベルシフタを外付けする必要があります。

【注】 * IEBus™ (Inter Equipment Bus™) はルネサスエレクトロニクスの商標です。

24.1 特長

- IEBusのプロトコル制御 (レイア2) に対応
 - 半二重非同期通信
 - マルチマスタ方式
 - 同報通信機能
 - 伝送速度の異なる3種類のモードが選択可能
- データ送受信バッファ内蔵
 - 送信バッファ / 受信バッファは各128バイト
 - モード2の最大伝送バイト数である128バイトまで連続送受信が可能
- 動作周波数
 - 12MHz、12.58MHz (AUDIO_X1*、AUDIO_X2*) のクロックを1/2に分周して使用
 - 18MHz、18.87MHz (AUDIO_X1*、AUDIO_X2*) のクロックを1/3に分周して使用
 - 24MHz、25.16MHz (P0 またはAUDIO_X1*、AUDIO_X2*) のクロックを1/4に分周して使用
 - 30MHz、31.45MHz (P0 またはAUDIO_X1*、AUDIO_X2*) のクロックを1/5に分周して使用
 - 36MHz、37.74MHz (AUDIO_X1*、AUDIO_X2*) のクロックを1/6に分周して使用
 - 42MHz、44.03MHz (AUDIO_X1*、AUDIO_X2*) のクロックを1/7に分周して使用
 - 48MHz (AUDIO_X1*、AUDIO_X2*) のクロックを1/8に分周して使用

【注】 * シリアルサウンドインタフェース、FIFO 付きクロック同期シリアル I/O、ルネサス SPDIF インタフェースへのクロック入力として使用しない場合のみ、本モジュールのクロック入力として使用できます。

- モジュールスタンバイモードの設定可能

24.1.1 IEBus 通信プロトコル

IEBus の概要は、以下のとおりです。

- 通信方式：半2重非同期通信
- マルチマスタ方式

IEBusに接続しているすべてのユニットがほかのユニットへデータの伝送が実現できます。

- 同報通信機能（1ユニット対複数ユニットの通信）

グループ同報通信：グループユニットに対しての同報通信

一斉同報通信：すべてのユニットに対しての同報通信

- 伝送速度の異なる3種類のモードが選択可能

表 24.1 3種類のモード

モード	IEB *1 = 12MHz、18MHz、 24MHz*2、30MHz、36MHz、 42MHz、48MHz	IEB *1 = 12.58MHz、18.87MHz*2、 25.16MHz、31.45MHz、 37.74MHz、44.03MHz	最大伝送バイト数 (バイト/フレーム)
0	約 3.9kbps	約 4.1kbps	16
1	約 17kbps	約 18kbps	32
2	約 26kbps	約 27kbps	128

【注】 *1 周辺クロック 0 (P0) または AUDIO_X1、AUDIO_X2 のクロック

*2 本 LSI を使用したときの発振周波数

- アクセス制御：CSMA/CD (Carrier Sense Multiple Access with Collision Detection)

バス占有の優先順位は、次のとおりです。

1. 同報通信（1ユニット対複数ユニットの通信）が通常通信（1ユニット対1ユニットの通信）より優先
2. マスタアドレスの小さい方が優先

- 通信規模

ユニット数：最大50

ケーブル長：最長150m（ツイストペアケーブルを使用した場合）

【注】 実際のシステムにおける通信規模は、外付けの IEBus ドライバ/レシーバの特性や使用するケーブルの特性により異なります。

(1) バス占有権の決定（アービトレーション）

IEBus に接続された装置は他の装置を制御するときに、バスを占有するための動作を行います。この動作を、アービトレーションと呼びます。アービトレーションでは、複数のユニットが同時に送信を開始した場合に、それらの中から1つのユニットに対し、バスを占有する許可を与える処理が行われます。

アービトレーションにより1装置のみがバス占有権を得るため、次のようなバス占有の優先条件が決められています。

(a) 通信の種類による優先

同報通信(1 ユニット対複数ユニットの通信)が通常通信(1 ユニット対 1 ユニットの通信)より優先されます。

(b) マスタアドレスによる優先

通信種類が同じ場合には、マスタアドレスの最も小さいものが優先されます。

例：マスタアドレスは 12 ビットで構成され、H'000 のユニットが最上位の優先順位を持ち、H'FFF のユニットが最下位の優先順位を持ちます。

【注】 アービトレーションに負けた場合、自動的に再送信モードに入ることができます(再送信回数は、IEMCR の RN ビットで 0~7 回に設定可能です)。

(2) 通信モード

IEBus には、伝送速度の異なる 3 種の通信モードが用意されています。各通信モードにおける伝送速度および 1 通信フレームの中の最大伝送バイト数を、表 24.2 に示します。

表 24.2 各通信モードにおける伝送速度、最大伝送バイト数

通信モード	最大伝送バイト数 (バイト/フレーム)	実効伝送速度*1 (kbps)	
		IEB *2 = 12MHz、18MHz、24MHz、 30MHz、36MHz、42MHz、48MHz*3	IEB *2 = 12.58MHz、18.87MHz、 25.16MHz、31.45MHz、 37.74MHz、44.03MHz*3
0	16	約 3.9	約 4.1
1	32	約 17	約 18
2	128	約 26	約 27

【注】 IEBus に接続した各装置は、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタユニットとその通信相手局(スレーブユニット)の通信モードが同一でないと、通信は正しく行われません。

IEB = 6MHz の装置と IEB = 6.29MHz の装置間では、通信モードが同一でも通信は正しく行われません。必ず同じ発振周波数で通信を行ってください。

*1 最大伝送バイト数を伝送したときの実行伝送速度

*2 周辺クロック 0 (P0)または AUDIO_X1、AUDIO_X2 のクロック

*3 本 LSI を使用したときの発振周波数

(3) 通信アドレス

IEBus では、各装置に 12 ビットの固有な通信アドレスが割り当てられます。通信アドレスは、次のように構成されます。

上位 4 ビット：グループ番号(各装置の所属するグループを識別する番号)

下位 8 ビット：ユニット番号(グループ内の各装置を識別する番号)

(4) 同報通信

通常の送信では、マスタユニットとその通信相手局となるスレーブユニットはともに1ユニットで、1対1の送信または受信が行われます。それに対し、同報通信ではスレーブユニットが複数存在し、マスタユニットは複数のスレーブユニットに対して送信を行います。スレーブユニットは複数存在するため、通信中スレーブユニットからは、アクノリッジは返されません。

また、同報通信を行うか通常の通信を行うかは、同報ビットによって決まります。(同報ビットについては、「24.1.2(1)(b)同報ビット」を参照してください)。

同報通信には、次の2種類があります。

(a) グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内の装置に対して同報通信を行います。

(b) 一斉同報通信

グループ番号の値にかかわらずすべての装置に対して同報通信を行います。

グループ同報と一斉同報の識別は、スレーブアドレスの値で行われます(スレーブアドレスについては、「24.1.2(3)スレーブアドレスフィールド」を参照してください)。

24.1.2 伝送プロトコル

IEBusの伝送信号フォーマットを図24.1に示します。

通信データは、通信フレームと呼ぶ一連の信号として伝送されます。1通信フレームで伝送可能なデータ数および伝送速度は、通信モードによって異なります。

(IEB = 12MHz、18MHz、24MHz、30MHz、36MHz時)																
フィールド名	ヘッダ		マスタアドレスフィールド		スレーブアドレスフィールド			コントロールフィールド			電文長フィールド			データフィールド		
ビット数	1	1	12	1	12	1	1	4	1	1	8	1	1	8	1	1
	スタートビット	同報ビット	マスタアドレス	P	スレーブアドレス	P	A	コントロールビット	P	A	電文長ビット	P	A	データビット	P	A
伝送時間																
モード0	約7330μs							約1590 × Nμs								
モード1	約2090μs							約410 × Nμs								
モード2	約1590μs							約300 × Nμs								

P: パリティビット(1ビット)
A: アクノリッジビット(1ビット)
A = 0のとき: ACK
A = 1のとき: NAK
N: データバイト数

【注】同報通信時には、アクノリッジビットの値は無視されます。

図 24.1 伝送信号フォーマット

(1) ヘッダ

ヘッダは、スタートビットおよび同報ビットで構成されています。

(a) スタートビット

スタートビットはデータ伝送の始まりをほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間ロウレベルの信号（スタートビット）を出力し、同報ビットの出力へ移行します。

スタートビットを出力しようとしたとき、すでにほかのユニットがスタートビットを出力している場合には、スタートビットを出力しないでそのユニットのスタートビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を始めたユニット以外は、このスタートビットを検出し受信状態へ移行します。

(b) 同報ビット

同報ビットは、同報通信、または通常の通信の識別を行うビットです。

同報ビットが0の場合には同報通信、1の場合には通常の通信を表します。また同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブアドレスの値によって行われます（スレーブアドレスについては、「24.1.2(3) スレーブアドレスフィールド」を参照してください）。

同報通信の場合には通信相手局となるスレーブユニットが複数存在するため、(2)以降各フィールドでのアクノリッジビットは返されません。

2つ以上のユニットが同じタイミングで通信フレームの送出を開始した場合には、同報通信が通常の通信より優先し、アービトレーションに勝ち残ります。

(2) マスタアドレスフィールド

マスタアドレスフィールドは、自分のユニットアドレス（マスタアドレス）をほかのユニットに送信するためのフィールドです。マスタアドレスフィールドはマスタアドレスビットとパリティビットで構成されています。

マスタアドレスは12ビットで構成されておりMSBより出力されます。

2つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタアドレスフィールドへ持ち越されます。

マスタアドレスフィールドでは、1ビット送信するたびに自分が出力しているデータとバス上のデータとの比較を行います。比較の結果、自分の出力しているマスタアドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断し、送信を中止し受信状態へ移行します。

IEBusはワイヤードANDで構成されているため、アービトレーションに参加しているユニット（アービトレーションマスタ）の中で、最小のマスタアドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に12ビットのマスタアドレス出力後、1つのユニットのみがマスタユニットとして送信状態で残ります。

次に、このマスタユニットはパリティビット*を出力し、ほかのユニットに対してマスタアドレスを確定させ、スレーブアドレスフィールド出力へ移行します。

【注】 * パリティは偶数パリティを使用しており、マスタアドレスビット中の1のビットの数が奇数のとき、パリティビットが1となります。

(3) スレーブアドレスフィールド

スレーブアドレスフィールドは、通信を行いたいユニット（スレーブユニット）のアドレス（スレーブアドレス）を送信するためのフィールドです。スレーブアドレスフィールドはスレーブアドレスビット、パリティビットおよびアクノリッジビットで構成されています。

スレーブアドレスは 12 ビットで構成され MSB から出力されます。12 ビットのスレーブアドレス送信後、スレーブアドレスが間違っ受て受信されることを避けるため、パリティビットを出力します。次に、スレーブユニットがバス上に存在することを確認するために、マスタユニットはスレーブユニットからのアクノリッジ信号の検出を行います。アクノリッジ信号を検出した場合、コントロールフィールド出力へ移行します。ただし、同報通信時には、アクノリッジビットを検出せずに、コントロールフィールド出力へ移行します。

スレーブユニットは、スレーブアドレスが一致し、マスタアドレスとスレーブアドレスの両方のパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。スレーブユニットはパリティが奇数の場合、マスタアドレスまたはスレーブアドレスが正しく受信されなかったと判断し、アクノリッジ信号を出力しません。このとき、マスタユニットは、待機（モニタ）状態になり通信が終了します。

また、同報通信の場合は、スレーブアドレスは次のようにグループ同報か、一斉同報かの識別に使用されます。

スレーブアドレスが H'FFF のとき ：一斉同報通信

スレーブアドレスが H'FFF 以外のとき：グループ同報通信

【注】 グループ同報通信時のグループ番号は、スレーブアドレスの上位 4 ビットの値になります。

(4) コントロールフィールド

コントロールフィールドは、次のデータフィールドの種類や方向を送信するためのフィールドです。コントロールフィールドはコントロールビット、パリティビットおよびアクノリッジビットで構成されています。

コントロールビットは 4 ビットで構成され MSB から出力されます。

コントロールビットに続いて、パリティビットが出力されます。パリティが偶数でかつ、マスタユニットの要求機能をスレーブが実行可能な場合は、スレーブユニットはアクノリッジ信号を出力し、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブユニットがマスタユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブユニットはアクノリッジ信号を出力せず、待機（モニタ）状態に戻ります。

マスタユニットはアクノリッジ信号を確認後、次の電文長フィールドへ移行します。

アクノリッジ信号の確認ができない場合は、マスタユニットは待機状態になり、通信が終了します。ただし同報通信の場合には、マスタユニットはアクノリッジ信号を確認せずに、次の電文長フィールドへ移行します。

コントロールビットの内容については表 24.4 を参照してください。

(5) 電文長フィールド

電文長フィールドは、通信データのバイト数を指定するためのフィールドです。電文長フィールドは、電文長ビットと、パリティビットおよびアクノリッジビットで構成されます。

電文長ビットは 8 ビットで構成され、MSB から出力されます。通信データのバイト数を表 24.3 に示します。

表 24.3 電文長ビットの内容

電文長ビット	送信データ・バイト数
H'01	1 バイト
H'02	2 バイト
.	.
.	.
H'FF	255 バイト
H'00	256 バイト

【注】 通信モードにより、1 フレームの最大伝送バイト数以上を設定すると、複数フレームでの通信となります。その際、2 回目以降は、電文長ビットは残りの通信データのバイト数となります。本 LSI では電文長ビットの設定は 1 フレームの最大伝送バイト数以上は設定できません。以下に示す範囲内で設定してください。

モード 0 : 1 ~ 16 バイト

モード 1 : 1 ~ 32 バイト

モード 2 : 1 ~ 128 バイト

このフィールドの動作は、マスタ送信時(コントロールビットのビット 3 が 1)とマスタ受信時(コントロールビットのビット 3 が 0)で異なります。

(a) マスタ送信時

電文長ビットおよびパリティビットは、マスタユニットが出力します。スレーブユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力し、次のデータフィールドへ移行します。ただし、同報通信時では、スレーブユニットはアクノリッジ信号を出力しません。

また、スレーブユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機(モニタ)状態に戻ります。このとき、マスタユニットも待機状態に戻り、通信が終了します。

(b) マスタ受信時

電文長ビットおよびパリティビットは、スレーブユニットが出力します。マスタユニットはパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。

マスタユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機状態に戻ります。このとき、スレーブユニットも待機状態に戻り、通信が終了します。

(6) データフィールド

データフィールドは、スレーブユニットに対しデータを送受信するためのフィールドです。マスタユニットは、データフィールドを使用してスレーブユニットにデータを送信したり、スレーブユニットからデータを受信したりします。データフィールドはデータビット、パリティビットおよびアクノリッジビットで構成されています。

データユニットは 8 ビットで構成され MSB から出力されます。

データビットに続きパリティビットとアクノリッジビットが、それぞれマスタユニットおよびスレーブユニットより出力されます。

同報通信は、マスタユニットの送信動作のみに行われます。また、このときアクノリッジ信号は無視されます。

マスタ送信時とマスタ受信時の動作は次のようになります。

(a) マスタ送信時

マスタユニットからスレーブユニットへ書き込みを行う場合、マスタユニットは、スレーブユニットに対してデータビット、パリティビットを送信します。スレーブユニットはデータビット、パリティビットを受信し、パリティが偶数で、かつ受信バッファが空いていれば、アクノリッジ信号を出力します。パリティが奇数、または受信バッファが空いていない場合には、スレーブユニットは対応するデータの受け付けを拒否し、アクノリッジ信号出力を行いません。

スレーブユニットからアクノリッジ信号が出力されなかった場合、マスタユニットは再び同じデータを送信します。この動作はスレーブユニットからのアクノリッジ信号を検出するか、データ最大伝送バイト数を超えるまで続けられます。

パリティが偶数で、スレーブユニットからアクノリッジ信号が出力された場合は、データに続きがあり、かつ最大伝送バイト数を超えていなければ、マスタユニットは次のデータを送信します。

また、同報通信の場合では、スレーブユニットからはアクノリッジ信号は出力されず、マスタユニットはデータを1バイトごとに転送します。

(b) マスタ受信時

マスタユニットがスレーブユニットから読み込みを行う場合、マスタユニットはすべての読み込みビットに対応する同期信号を出力します。

スレーブユニットは、データ、パリティビットの内容をマスタユニットからの同期信号に応じてバス上に出します。

マスタユニットは、スレーブユニットの出力したデータパリティビットを読み込み、パリティを確認します。

パリティが奇数の場合、または受信バッファが空いていない場合は、マスタユニットはそのデータ受け付けを拒否し、アクノリッジ信号を出力しません。1通信フレームで送信可能な最大伝送バイト数以内であれば、マスタユニットは同じデータの読み込み動作を繰り返します。また、パリティが偶数で、かつ受信バッファが空いていれば、マスタユニットはデータを受け付け、アクノリッジ信号を返します。1フレームで送信可能な最大バイト数以内であればマスタユニットは次のデータを読み込みます。

(7) パリティビット

パリティビットは、伝送データに誤りがないことを確認するために使用されます。

パリティビットは、マスタアドレスビット、スレーブアドレスビット、コントロールビット、電文長ビット、データビットの各データに対して付加されます。

パリティは、偶数パリティです。データの中の1のビット数が奇数の場合は、パリティビットは1となります。データ中の1の数が偶数の場合は、パリティビットは0となります。

(8) アクノリッジビット

通常通信(1ユニット対1ユニット間の通信)においては、データを正しく受け付けたかを確認するために、次の箇所にアクノリッジビットが付加されます。

- スレーブアドレスフィールドの最後
- コントロールフィールドの最後

- 電文長フィールドの最後
- データフィールドの最後

アクノリッジビットの定義は次のとおりです。

- 0：伝送データを認識したことを表します。（ACK）
- 1：伝送データを認識しなかったことを表します。（NAK）

ただし、同報通信の場合には、アクノリッジビットの内容は無視されます。

(a) スレーブアドレスフィールドの最後のアクノリッジビット

スレーブアドレスフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- マスタアドレスビットまたはスレーブアドレスビットのパリティが正しくない場合
- タイミングエラー（ビットフォーマットにエラー）が発生した場合
- スレーブユニットが存在しなかった場合

(b) コントロールフィールドの最後のアクノリッジビット

コントロールフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- コントロールビットのパリティが正しくない場合
- スレーブ受信バッファ*が空でないのに、コントロールビットのビット3が1（書き込み動作）の場合
- スレーブ送信バッファ*が空なのに、コントロールビットがデータの読み込み（H'3、H'7）の場合
- ロックを設定されているのに、ロックを設定したユニット以外からコントロールビットのH'3、H'6、H'7、H'A、H'B、H'E、H'Fを要求した場合
- ロックを設定されていないのに、コントロールビットがロックアドレスの読み込み（H'4、H'5）の場合
- タイミングエラーが発生した場合
- 未定義のコントロールビットの場合

【注】 * 「24.1.3（1）スレーブステータス（SSR）の読み込み（コントロールビット：H'0、H'6）」を参照してください。

(c) 電文長フィールドの最後のアクノリッジビット

電文長フィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- 電文長ビットのパリティが正しくない場合
- タイミングエラーが発生した場合

(d) データフィールドの最後のアクノリッジビット

データフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- データビットのパリティが正しくない場合*
- タイミングエラーが前回のアクノリッジビット伝送以降で発生した場合
- 受信バッファがフルの状態になり、それ以上のデータを受け付けることができない場合*

【注】 * この場合、送信側では1フレームで伝送可能な最大伝送バイト数以内であれば、最大伝送バイト数に達するまでそのデータフィールドの送信を再実行します。

24.1.3 伝送データ（データフィールドの内容）

データフィールドの内容は、コントロールビットで示されるデータになります。

表 24.4 コントロールビットの内容

設定値	ビット 3* ¹	ビット 2	ビット 1	ビット 0	機 能* ²
H'0	0	0	0	0	スレープステータス (SSR) の読み込み
H'1	0	0	0	1	未定義
H'2	0	0	1	0	未定義
H'3	0	0	1	1	データ読み込みとロック
H'4	0	1	0	0	ロックアドレスの読み込み (下位 8 ビット)
H'5	0	1	0	1	ロックアドレスの読み込み (上位 4 ビット)
H'6	0	1	1	0	スレープステータス (SSR) の読み込みとロック解除
H'7	0	1	1	1	データ読み込み
H'8	1	0	0	0	未定義
H'9	1	0	0	1	未定義
H'A	1	0	1	0	コマンド書き込みとロック
H'B	1	0	1	1	データ書き込みとロック
H'C	1	1	0	0	未定義
H'D	1	1	0	1	未定義
H'E	1	1	1	0	コマンド書き込み
H'F	1	1	1	1	データ書き込み

【注】 *1 ビット 3 (MSB) の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータの転送方向が変わります。

ビット 3 が 1 の場合：マスタユニットからスレーブユニットへ転送

ビット 3 が 0 の場合：スレーブユニットからマスタユニットへ転送

*2 H'3、H'6、H'A、H'B はロックの設定、および解除を指定するコントロールビットです。

H'1、H'2、H'8、H'9、H'C、H'D の未定義値が送信された場合はアクノリッジを返しません。

マスタユニットによりロックを設定されたユニットは、ロックを要求したマスタユニット以外から受信したコントロールビットが表 24.5 以外の場合、受け付けを拒否し、アクノリッジビットを出力しません。

表 24.5 ロックされたスレーブユニットに対するコントロールフィールド

設定値	ビット 3	ビット 2	ビット 1	ビット 0	機 能
H'0	0	0	0	0	スレープステータスの読み込み
H'4	0	1	0	0	ロックアドレスの読み込み (下位 8 ビット)
H'5	0	1	0	1	ロックアドレスの読み込み (上位 4 ビット)

(1) スレープステータス (SSR) の読み込み (コントロールビット : H'0、H'6)

マスタユニットは、スレープステータスの読み込み (H'0、H'6) を行うことにより、スレープユニットが、アクノリッジビット (ACK) を返送しなかった理由を知ることができます。スレープステータスは、スレープステータスが最後に行った通信結果に対して決定されます。すべてのスレープユニットは、スレープステータスの情報を提供できます。スレープステータスについて、図 24.2 に示します。

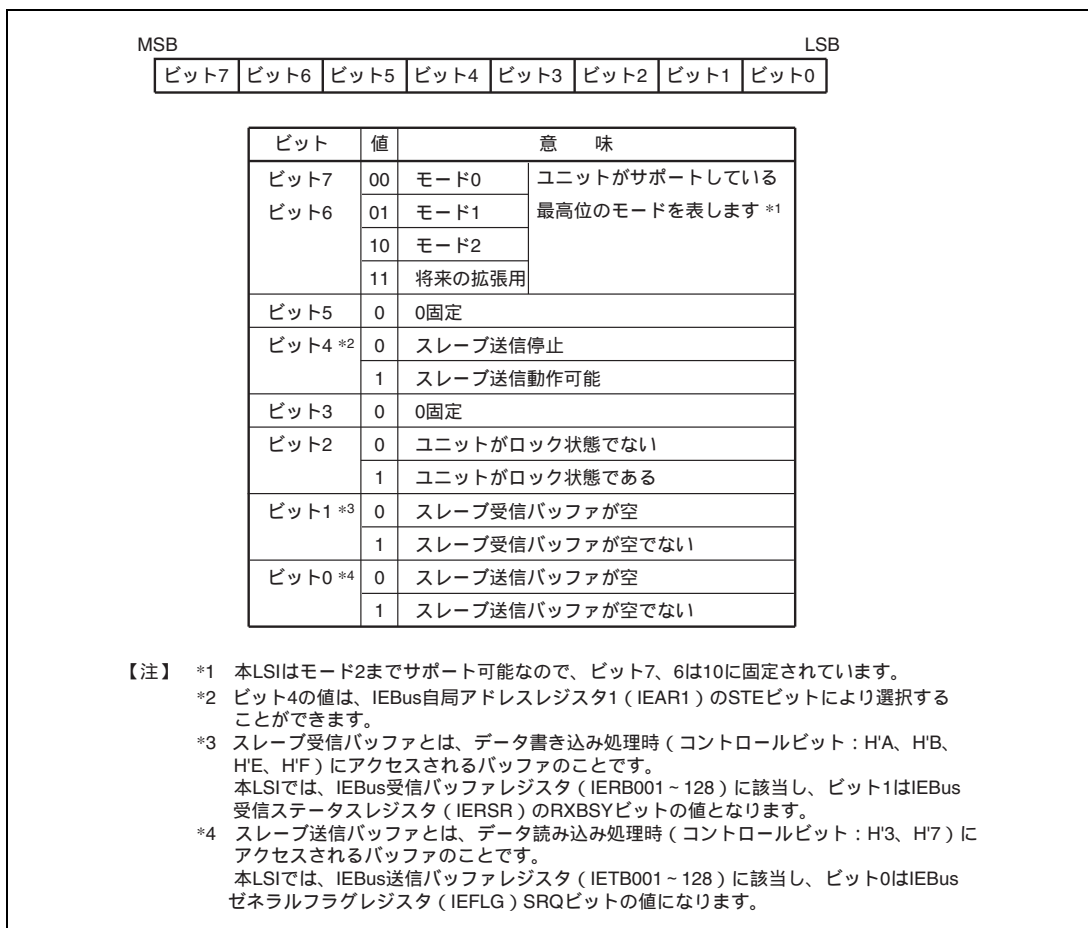


図 24.2 スレープステータス (SSR) のビット構成

(2) データコマンド転送 (コントロールビット : 読み込み (H'3、H'7)、書き込み (H'A、H'B、H'E、H'F))

データ読み込み (H'3、H'7) の場合、スレープユニットのデータバッファにあるデータが、マスタユニットに読み込まれます。データ書き込み (H'B、H'F) またはコマンド書き込み (H'A、H'E) の場合、スレープユニットが受信したデータはそのスレープユニットの動作規定に従って処理されます。

- 【注】 1. データとコマンドの選択は、ユーザがシステムに応じて自由に決めることができます。
 2. H'3、H'A、H'B は通信条件、状態によりロックが設定されることがあります。

(3) ロックアドレスの読み込み (コントロールビット : H'4、H'5)

ロックアドレスの読み込み処理時 (H'4、H'5) には、ロック命令を発行したマスタユニットのアドレス (12 ビット) が、次に示すように 1 バイト単位に構成されて、読み出されます。

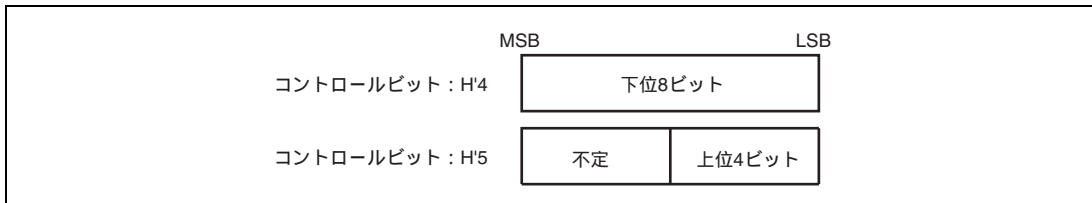


図 24.3 ロックアドレスの構成

(4) ロックの設定、解除 (コントロールビット : 設定 (H'3、H'A、H'B)、解除 (H'6))

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。ロックを設定されたユニットは、ロックをかけたユニット以外からは受信しません。

ロックの設定および解除を、次に示します。

(a) ロックの設定

ロックを指定したコントロールビット (H'3、H'A、H'B) で、電文長フィールドのアクノリッジビット 0 の送受信終了後、電文長ビットにて指定されたバイト数分のデータの送受信を完了せずに通信フレームを終了した場合に、スレーブユニットはマスタユニットにより、ロックを設定されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット (ビット 2) が 1 にセットされます。

ロックが設定されるのは、フレーム最大伝送バイト数を超えたときのみで、他のエラー終了ではセットされません。

(b) ロックの解除

ロックを指定したコントロールビット (H'3、H'A、H'B) または、ロックの解除を指定したコントロールビット (H'6) で、1 通信フレーム内に、電文長ビットで指定したバイト数分のデータの送受信完了後、スレーブユニットは、マスタユニットによりロックを解除されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット (ビット 2) が 0 にリセットされます。

なお、同報通信時にはロックの設定および解除は行われません。

【注】 ロックの解除を指定されたユニット自身で解除するには、次の 3 種類の方法があります。

- ・パワーオンリセットをかける
- ・ディープスタンバイをかける
- ・IEBus コマンドレジスタ (IECMR) でロック状態解除コマンドを発行する

なお、ロック状態の有無は IEFLG の LCK ビットで確認できます。

24.1.4 ビットフォーマット

IEBus の通信フレームを構成するビットのフォーマット（概念）を図 24.4 に示します。

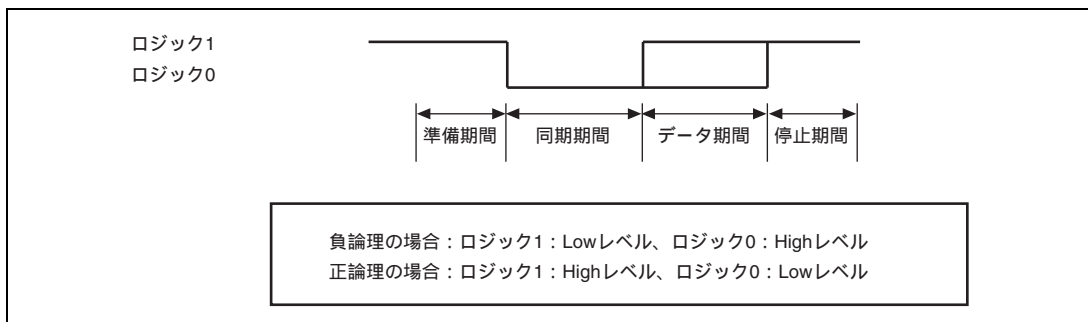


図 24.4 IEBus のビットフォーマット（概念）

以下、正論理の場合のビットフォーマットの各期間を説明します。

準備期間：最初のロジック 1 期間（High レベル）

同期期間：次のロジック 0 期間（Low レベル）

データ期間：ビットの値を表す期間（ロジック 1：High レベル、ロジック 0：Low レベル）

停止期間：最後のロジック 1 期間（High レベル）

負論理の場合、正論理から反転したレベルになります。

同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBus は、1 ビットごとに同期がとられています。また、ビット全体の時間と、そのビット内に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタユニットかスレーブユニットかの違いにより異なります。

24.1.5 構成

図 24.5 に全体ブロック図を、表 24.6 に各ブロックの機能を示します。

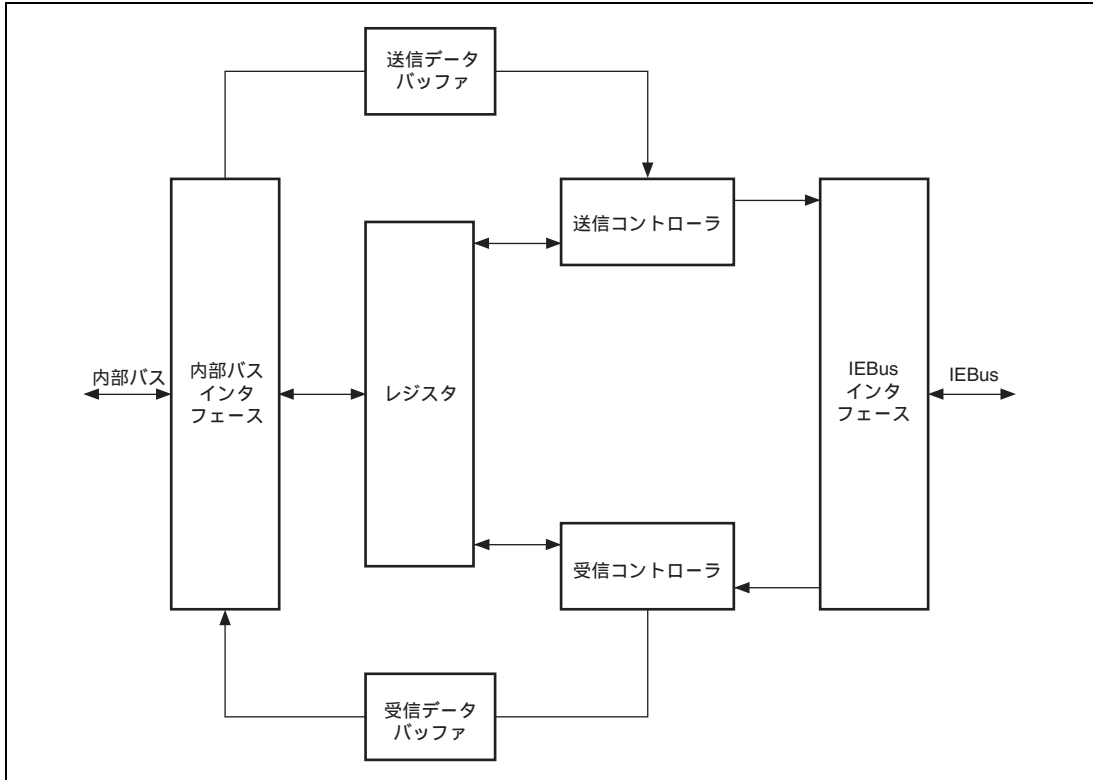


図 24.5 ブロック図

表 24.6 各ブロックの機能

ブロック	機能
内部バスインタフェース	内部バスのインタフェース機能
	<ul style="list-style-type: none"> • データ幅 8 ビット • レジスタアクセス
IEBus インタフェース	IEBus 仕様に準拠したインタフェース機能
	<ul style="list-style-type: none"> • 送信コントローラからデータを IEBus 仕様のビットフォーマットで IEBus 送出 • IEBus 仕様のビットフォーマットからフレームデータを抽出し受信コントローラへ転送
レジスタ	制御レジスタ
	<ul style="list-style-type: none"> • 本モジュール制御のためのレジスタ • 内部バスよりリード/ライト可能
送信コントローラ	送信バッファのデータ IEBus に送信
	<ul style="list-style-type: none"> • レジスタからのヘッダ情報と送信バッファのデータにより送信フレームを生成し送信 • 送信エラー検出
受信コントローラ	IEBus からのデータを受信バッファに格納
	<ul style="list-style-type: none"> • 受信したフレームをヘッダ情報はレジスタにデータは受信バッファに格納 • 受信エラー検出
送信データバッファ	データ送信用バッファ
	<ul style="list-style-type: none"> • IEBus へ送信するデータを格納するバッファ • バッファ容量 128 バイト
受信データバッファ	データ受信用バッファ
	<ul style="list-style-type: none"> • IEBus から受信したデータを格納するバッファ • バッファ容量 128 バイト

24.2 入出力端子

表 24.7 端子構成

名称	端子名	入出力	機能
IEBus 受信データ端子	IERxD	入力	受信データ入力端子
IEBus 送信データ端子	IETxD	出力	送信データ出力端子

24.3 レジスタの説明

表 24.8 にレジスタ構成を示します。

表 24.8 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
IEBus コントロールレジスタ	IECTR	R/W	H'00	H'FFFEF000	8
IEBus コマンドレジスタ	IECMR	W	H'00	H'FFFEF001	8
IEBus マスタコントロールレジスタ	IEMCR	R/W	H'00	H'FFFEF002	8
IEBus 自局アドレスレジスタ 1	IEAR1	R/W	H'00	H'FFFEF003	8
IEBus 自局アドレスレジスタ 2	IEAR2	R/W	H'00	H'FFFEF004	8
IEBus スレーブアドレス設定レジスタ 1	IESA1	R/W	H'00	H'FFFEF005	8
IEBus スレーブアドレス設定レジスタ 2	IESA2	R/W	H'00	H'FFFEF006	8
IEBus 送信電文長レジスタ	IETBFL	R/W	H'00	H'FFFEF007	8
IEBus 受信マスタアドレスレジスタ 1	IEMA1	R	H'00	H'FFFEF009	8
IEBus 受信マスタアドレスレジスタ 2	IEMA2	R	H'00	H'FFFEF00A	8
IEBus 受信コントロールフィールド レジスタ	IERCTL	R	H'00	H'FFFEF00B	8
IEBus 受信電文長レジスタ	IERBFL	R	H'00	H'FFFEF00C	8
IEBus ロックアドレスレジスタ 1	IELA1	R	H'00	H'FFFEF00E	8
IEBus ロックアドレスレジスタ 2	IELA2	R	H'00	H'FFFEF00F	8
IEBus ゼネラルフラグレジスタ	IEFLG	R	H'00	H'FFFEF010	8
IEBus 送信ステータスレジスタ	IETSR	R/(W)*	H'00	H'FFFEF011	8
IEBus 送信割り込み許可レジスタ	IEIET	R/W	H'00	H'FFFEF012	8
IEBus 受信ステータスレジスタ	IERSR	R/(W)*	H'00	H'FFFEF014	8
IEBus 受信割り込み許可レジスタ	IEIER	R/W	H'00	H'FFFEF015	8
IEBus クロック選択レジスタ	IECKSR	R/W	H'01	H'FFFEF018	8
IEBus 送信データバッファ 001 ~ 128	IETB001 ~ IETB128	W	不定	H'FFFEF100 ~ H'FFFEF17F	8
IEBus 受信データバッファ 001 ~ 128	IERB001 ~ IERB128	R	不定	H'FFFEF200 ~ H'FFFEF27F	8

【注】 * フラグをクリアするための 1 ライトのみ可能です。

24.3.1 IEBus コントロールレジスタ (IECTR)

IECTR は、本モジュールの動作の制御の設定を行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	IOL	DEE	-	RE	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	IOL	0	R/W	入出力レベル IERxD、IETxD 端子の入出力端子のレベル（正論理、負論理）を選択します。 0: 端子の入出力は負論理 （ロジック 1 が Low レベル、ロジック 0 が High レベル） 1: 端子の入出力は正論理 （ロジック 1 が High レベル、ロジック 0 が Low レベル）
5	DEE	0	R/W	同報受信エラー割り込みイネーブル 本ビットを 1 にセットすると、同報受信時に、受信バッファが受信可能状態にならない場合（RE ビットが 1 にセットされていない状態か、RXBSY フラグがセットされている状態）、同報受信エラー割り込みが発生します。その際、IEBus 受信マスタアドレスレジスタ 1、2 が格納されます。 本ビットが 0 のときは、同報受信時に、受信バッファが受信可能状態にならない場合、同報受信エラー割り込みは発生せず受信を中止して待機状態に入ります。マスタアドレスは保存されません。 0: コントロールフィールドまでの同報受信エラーを発生させない 1: コントロールフィールドまでの同報受信エラーを発生させる
4	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	RE	0	R/W	レシーブイネーブル 受信の許可/禁止を設定します。本ビットの設定は、フレーム受信前の初期設定で行ってください。 0: 受信動作を禁止 1: 受信動作を許可
2~0	-	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

24.3.2 IEBus コマンドレジスタ (IECMR)

IECMR は、通信の制御を行うためのコマンドを発行するレジスタです。本レジスタはライト専用レジスタです。リード値は不定です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMD		
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	W	W	W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	-	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
2~0	CMD	000	W	コマンドビット 通信制御を行うためのコマンドを発行します。本コマンド発行後、IEFLG の CMX ビットがセットされている間はコマンド実行中です。CMX が 0 になって、動作状態に移行します。 000: ノーオペレーション (動作に影響なし) 001: ロック状態 (他局からの要求) を解除*1 010: マスタとしての通信を要求 011: マスタ通信を中止*2 100: 未定義*4 101: スレープからのデータ送信を要求 110: スレープからのデータ送信を中止*3 111: 未定義*4

【注】 *1 スレープ通信状態では、実行禁止です。

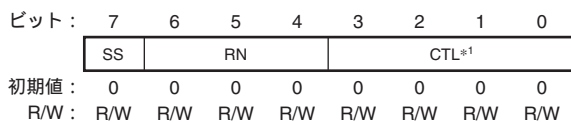
*2 マスタ通信中 (MRQ = 1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されません。マスタ通信中に本コマンドを発行すると、通信コントローラはただちに待機状態に入ります。同時に、発行されていたマスタ送信要求は終了 (MRQ = 0) します。

*3 スレープ送信 (SRQ = 1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されません。スレープ送信中に本コマンドを発行すると、スレープ送信を行う前では、SRQ = 0 となるため、マスタからの送信要求に対応しなくなります。スレープ送信を行っている状態でコマンドを発行すると、送信動作を中止し、待機状態になります。(SRQ = 0)

*4 未定義ビットです。本コマンドを発行しても動作に影響ありません。

24.3.3 IEBus マスタコントロールレジスタ (IEMCR)

IEMCR は、マスタ通信を行うときの通信条件を設定します。



ビット	ビット名	初期値	R/W	説 明
7	SS	0	R/W	同報 / 通常通信の選択 マスタ通信時の、同報 / 通常通信の選択を行います。 0 : マスタ通信時、同報通信 1 : マスタ通信時、通常通信
6~4	RN	000	R/W	再送回数 マスタ通信中にアービトレーションに負けた場合に、自動的に再送信を行う回数を設定します。アービトレーションに負けた場合、IETSR の TXEAL ビットがセットされ、送信エラー終了となります。 000 : 0 回 001 : 1 回 010 : 2 回 011 : 3 回 100 : 4 回 101 : 5 回 110 : 6 回 111 : 7 回

ビット	ビット名	初期値	R/W	説 明
3~0	CTL* ¹	0000	R/W	コントロールビット マスタ送信時の、コントロールフィールドのコントロールビットの設定を行います。 0000 : スレープステータスの読み込み 0001 : 未定義* ³ 0010 : 未定義* ³ 0011 : データ読み込みとロック* ² 0100 : ロックアドレスの読み込み (下位 8 ビット) 0101 : ロックアドレスの読み込み (上位 4 ビット) 0110 : スレープステータスの読み込みとロック解除* ² 0111 : データ読み込み 1000 : 未定義* ³ 1001 : 未定義* ³ 1010 : コマンド書き込みとロック* ² 1011 : データ書き込みとロック* ² 1100 : 未定義* ³ 1101 : 未定義* ³ 1110 : コマンド書き込み 1111 : データ書き込み

【注】 *1 ビット 3 の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータ転送方向が変わります。

ビット 3 が 1 の場合 : マスタユニットからスレープユニットへの転送

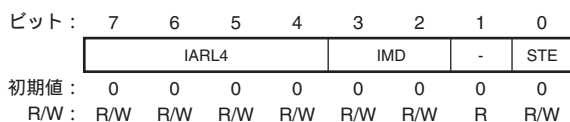
ビット 3 が 0 の場合 : スレープユニットからマスタユニットへの転送

*2 ロックの設定および解除を指定するコントロールビットです。

*3 使用禁止です。

24.3.4 IEBus 自局アドレスレジスタ 1 (IEAR1)

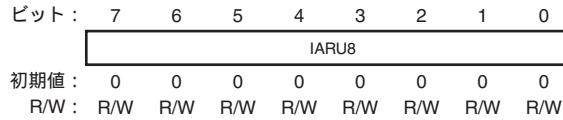
IEAR1 は、自局アドレスの下位 4 ビットと、通信モードを設定します。自局アドレスは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。



ビット	ビット名	初期値	R/W	説明
7~4	IARL4	0000	R/W	IEBus 自局アドレス下位 4 ビット 自局アドレスの下位 4 ビットを設定します。マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスとの比較を行います。
3, 2	IMD	00	R/W	IEBus 通信モード IEBus 通信モードの選択を行います。 00: 通信モード 0 01: 通信モード 1 10: 通信モード 2 11: 設定禁止
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	STE	0	R/W	スレーブ送信設定 スレーブステータスレジスタのビット 4 の値を設定します。本ビットを 1 に設定すると、マスタユニットに対して、スレーブステータスレジスタの送信により、スレーブ送信可能状態である、という情報を与えます。本ビットはスレーブステータスレジスタの値を設定するだけで、スレーブ送信の動作には直接影響しません。 0: スレーブステータスのビット 4 は 0 (スレーブ送信停止状態) 1: スレーブステータスのビット 4 は 1 (スレーブ送信可能状態)

24.3.5 IEBus 自局アドレスレジスタ 2 (IEAR2)

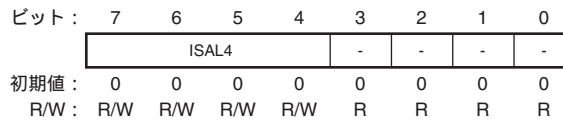
IEAR2 は、自局アドレスの上位 8 ビットを設定します。本レジスタは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。



ビット	ビット名	初期値	R/W	説明
7~0	IARU8	すべて 0	R/W	IEBus 自局アドレス上位 8 ビット 自局アドレスの上位 8 ビットを設定します。マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスとの比較を行います。

24.3.6 IEBus スレーブアドレス設定レジスタ 1 (IESA1)

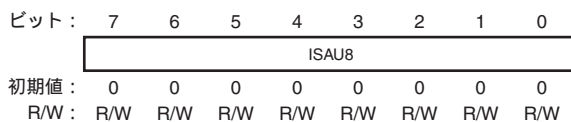
IESA1 は、通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。



ビット	ビット名	初期値	R/W	説明
7~4	ISAL4	0000	R/W	IEBus スレーブアドレス下位 4 ビット 通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24.3.7 IEBus スレーブアドレス設定レジスタ 2 (IESA2)

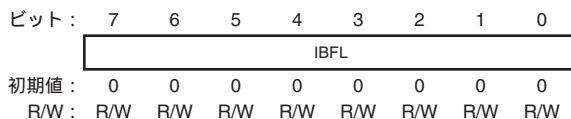
IESA2 は、通信相手のスレーブユニットのアドレスの上位 8 ビット設定します。



ビット	ビット名	初期値	R/W	説 明
7~0	ISAU8	すべて 0	R/W	IEBus スレーブアドレス上位 8 ビット 通信相手のスレーブユニットのアドレスの上位 8 ビットを設定します。

24.3.8 IEBus 送信電文長レジスタ (IETBFL)

IETBFL は、マスタ送信、スレーブ送信を行う際の電文長を設定します。



ビット	ビット名	初期値	R/W	説 明
7~0	IBFL	すべて 0	R/W	送信電文長ビット マスタ送信する際の電文長の値を設定します。通信モードの最大伝送バイト数以内の値を設定してください。 H'01 : 1 バイト H'02 : 2 バイト : H'7F : 127 バイト H'80 : 128 バイト H'81 : 未定義* : H'FF : 未定義* H'00 : 未定義*

【注】 * 設定禁止です。

24.3.9 IEBus 受信マスタアドレスレジスタ 1 (IEMA1)

IEMA1 は、スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	IMAL4				-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~4	IMAL4	0000	R	IEBus 受信マスタアドレス下位 4 ビット スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットを表示します。本レジスタは、スレーブ / 同報受信が開始されると有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。IECTR の DEE ビットで同報受信エラーが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA1 にマスタアドレス下位 4 ビットが格納されます。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24.3.10 IEBus 受信マスタアドレスレジスタ 2 (IEMA2)

IEMA2 は、スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットが読み出されます。本レジスタは、スレーブ / 同報受信が開始すると有効になります (IERSR の RXS ビットがセットされた時点で、内容が書き換えられます)。

IECTR の DEE ビットで同報受信エラー割り込みが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA2 にマスタアドレス上位 8 ビットが格納されます。本レジスタへのライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	IMAU8							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	IMAU8	すべて 0	R	IEBus 受信マスタアドレス上位 8 ビット スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットを表示します。本レジスタは、スレーブ / 同報受信が開始されると有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。IECTR の DEE ビットで同報受信エラーが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA2 にマスタアドレス上位 8 ビットが格納されます。

24.3.11 IEBus 受信コントロールフィールドレジスタ (IERCTL)

IERCTL は、スレーブ / 同報受信時のコントロールフィールドの値が読み出されます。本レジスタは、スレーブ / 同報受信が開始すると有効になります(IERSR の RXS ビットがセットされた時点で、内容が書き換えられます)。本レジスタへのライトは無効です。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	RCTL			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	RCTL	0000	R	IEBus 受信コントロールフィールド スレーブ / 同報受信時のコントロールフィールドの値を表示します。本レジスタは、スレーブ / 同報受信が開始されると有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。

24.3.12 IEBus 受信電文長レジスタ (IERBFL)

IERBFL は、スレーブ / 同報受信時の電文長フィールドが読み出されます。本レジスタは、スレーブ / 同報受信が開始すると有効になります (IERSR の RXS ビットがセットされた時点で、内容が書き換えられます)。

本レジスタへのライトは無効です。

ビット :	7	6	5	4	3	2	1	0
	RBFL							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	RBFL	すべて 0	R	IEBus 受信電文長 スレーブ / 同報受信時の電文長フィールドの内容が読み出されます。

24.3.13 IEBus ロックアドレスレジスタ 1 (IELA1)

IELA1 は、ロックが設定されたときのロックアドレスの低位 8 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	ILAL8							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	ILAL8	すべて 0	R	IEBus ロックアドレス低位 8 ビット ロックを設定したマスタユニットのアドレス低位 8 ビットを表示します。 IEFLG の LCK ビットがセットされているときのみ有効です。

24.3.14 IEBus ロックアドレスレジスタ 2 (IELA2)

IELA2 は、ロックが設定されたときのロックアドレスの上位 4 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	ILAU4			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	ILAU4	0000	R	IEBus ロックアドレス上位 4 ビット ロックを設定したマスタユニットのアドレス上位 4 ビットを格納します。 IEFLG の LCK ビットがセットされているときのみ有効です。

24.3.15 IEBus ゼネラルフラグレジスタ (IEFLG)

IEFLG は、本モジュールのコマンドの実行状態の表示、ロック状態の表示、スレーブアドレスの一致、同報受信の検出を行います。

ビット:	7	6	5	4	3	2	1	0
	CMX	MRQ	SRQ	SRE	LCK	-	RSS	GG
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	CMX	0	R	コマンド実行状態 コマンドの実行状態を示します。 0: コマンドの実行は終了 1: コマンド実行中 [セット条件] • MRQ、SRQ、SRE のいずれかがセットされた条件で、マスタ通信要求コマンドかスレーブ送信要求コマンドを発行時 [クリア条件] • コマンドが実行終了したとき。
6	MRQ	0	R	マスタ通信要求 マスタユニットとして、通信要求期間中か期間中でないかを示します。 0: マスタユニットとしての通信要求期間中ではない 1: マスタユニットとしての通信要求期間中 [セット条件] • マスタ通信要求コマンドを発行し、CMX ビットが0になったとき。 [クリア条件] • マスタ通信が終了したとき。
5	SRQ	0	R	スレーブ送信要求 スレーブユニットとして、送信要求期間中か期間中でないかを示します。 0: スレーブユニットとして送信要求期間中ではない 1: スレーブユニットとして送信要求期間中 [セット条件] • スレーブ送信要求コマンドを発行し、CMX ビットが0になったとき。 [クリア条件] • スレーブ送信が終了したとき。

ビット	ビット名	初期値	R/W	説明
4	SRE	0	R	スレーブ受信状態 スレーブ/同報受信の実行状態を示します。 0: スレーブ/同報受信中ではない 1: スレーブ/同報受信中 [セット条件] • IECTR の RE ビットが 1 の状態で、スレーブ/同報受信を開始したとき。 [クリア条件] • スレーブ/同報受信が終了したとき。
3	LCK	0	R	ロック状態表示 マスタユニットからロック要求を受けて、ロックが設定された場合、セットされます。IELA1、IELA2 の値は本ビットがセットされているとき、有効です。 0: ロックは解除 1: ロック状態 [セット条件] • マスタからロック設定のコントロールビットを受信し、電文長で指定されたデータを受信しなかったとき (LCK がセットされるのはフレーム最大伝送バイト数を超えたときのみで、他のエラー終了ではセットされません)。 [クリア条件] • ロック解除条件が成立するか、ロック解除コマンドを発行したとき。
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	RSS	0	R	受信同報ビット 受信した同報ビットの値を示します。スレーブ/同報受信開始時有効になります (RXS ビットがセットされた時点で内容が書き換えられます)。 スレーブ/同報受信開始時までは、前回値を保持します。 0: 受信した同報ビットは 0 1: 受信した同報ビットは 1
0	GG	0	R	一斉同報受信認識 同報受信時、スレーブアドレスが H'FFF を認識したとき、セットされます。受信同報ビットと同様に、スレーブ/同報受信開始時有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。 スレーブ/同報受信開始時までは、前回値を保持します。スレーブ通常受信の場合は、0 になります。 0: (1) スレーブ受信であった (2) 同報受信時、スレーブアドレスフィールドで H'FFF を認識しなかった 1: 同報受信時、スレーブアドレスフィールドで H'FFF を認識した

24.3.16 IEBus 送信ステータスレジスタ (IETSR)

IETSR は、送信開始、送信正常終了、送信エラー終了等の状態を検出します。

それぞれの要因は、IEBus 送信割り込み許可レジスタ (IEIET) に対応したビットを持っており、割り込みの禁止 / 許可を設定することができます。本ビットは各ビットに 1 を書き込むことによりクリアされます。

ビット:	7	6	5	4	3	2	1	0
	-	TXS	TXF	-	TXEAL	TXETTIME	TXERO	TXEACK
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/(W)*	R/(W)*	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TXS	0	R/(W)*	送信開始 本モジュールが、送信開始したことを示します。 [セット条件] • マスタ送信時、アービトレーションに勝ち残って、マスタアドレスフィールドまで送信終了したとき。 [クリア条件] • 1 をライトしたとき
5	TXF	0	R/(W)*	送信正常終了 送信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを検出します。 [セット条件] • 電文長ビットで指定した送信データバイト数分の送信を終了したとき [クリア条件] • 1 をライトしたとき
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TXEAL	0	R/(W)*	アービトレーション負け 本モジュールはマスタ通信時にアービトレーションに負けた場合、IEMCR の RN で設定された回数だけ、再度スタートビットから送信を行います。設定回数すべて、アービトレーションに負けた場合には、本ビットをセットし待機状態になります。設定回数の再送時にアービトレーションに勝った場合、本ビットは 1 にセットされません。本ビットがセットされるのは、アービトレーションに負けて、通信が待機状態になったときです。 [セット条件] • データ送信中に、アービトレーション負けが発生し送信が終了したことを示します。 [クリア条件] • 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
2	TXETTME	0	R/(W)*	<p>送信タイミングエラー</p> <p>データ送信中、IEBus プロトコルで規定したタイミングでデータの転送が行われなかったとき、本ビットがセットされます。本モジュールは、本ビットをセットして待機状態になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> データ送信中に、タイミングエラーが発生したことを示します。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1をライトしたとき
1	TXERO	0	R/(W)*	<p>送信フレーム最大伝送バイト数オーバ</p> <p>データ送信時に、受信ユニットから NAK を受信し再送したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは電文長の値が最大伝送数より大きい値であったため、送信が終了しなかったことを示します。本モジュールは本ビットをセットして待機状態になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 通信モードで定義する最大バイト数まで送信したが、送信が終了しなかったことを示します。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1をライトしたとき
0	TXEACK	0	R/(W)*	<p>アクノリッジビット</p> <p>データフィールドのアクノリッジビットで受信したデータを示します。</p> <ul style="list-style-type: none"> データフィールド以外のアクノリッジビット <p>NAK を受信すると、送信を中止し待機状態に入ります。本ビットは 1 にセットされます。</p> <ul style="list-style-type: none"> データフィールドでのアクノリッジビット <p>データフィールド送信時に、受信ユニットから NAK を受信すると、受信ユニットから ACK を受信するまで、通信モードで定義される最大バイト数まで再送を行います。この場合、送信中に受信ユニットから、ACK を受信した場合には、本ビットは設定されず、そのまま送信を行います。ACK を受信することができずに、通信を終了した場合に、本ビットは 1 にセットされます。</p> <p>【注】本フラグは同報通信では、無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> アクノリッジビットで 1 (NAK) を検出したことを示します。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1をライトしたとき

【注】 * フラグをクリアするための 1 ライトのみ可能です。

24.3.17 IEBus 送信割り込み許可レジスタ (IEIET)

IEIET は、IETSR の送信開始、送信正常終了、送信エラー終了等の各要因について、割り込みの禁止 / 許可を設定することができます。

ビット:	7	6	5	4	3	2	1	0
	-	TXSE	TXFE	-	TXEAL	TXE TTMEE	TXEROE	TXE ACKE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TXSE	0	R/W	送信開始割り込み許可 送信開始 (TXS) 割り込みの禁止 / 許可を設定します。 0: 送信開始 (TXS) 割り込みを禁止 1: 送信開始 (TXS) 割り込みを許可
5	TXFE	0	R/W	送信正常終了割り込み許可 送信正常終了 (TXF) 割り込みの禁止 / 許可を設定します。 0: 送信正常終了 (TXF) 割り込みを禁止 1: 送信正常終了 (TXF) 割り込みを許可
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TXEAL	0	R/W	アービトレーション負け割り込み許可 アービトレーション負け (TXEAL) 割り込みの禁止 / 許可を設定します。 0: アービトレーション負け (TXEAL) 割り込みを禁止 1: アービトレーション負け (TXEAL) 割り込みを許可
2	TXE TTMEE	0	R/W	送信タイミングエラー割り込み許可 送信タイミングエラー (TXETTMEE) 割り込みの禁止 / 許可を設定します。 0: 送信タイミングエラー (TXETTMEE) 割り込みを禁止 1: 送信タイミングエラー (TXETTMEE) 割り込みを許可
1	TXEROE	0	R/W	送信フレーム最大伝送バイト数オーバ割り込み許可 送信フレーム最大伝送バイト数オーバ (TXEROE) 割り込みの禁止 / 許可を設定します。 0: 送信連フレーム最大伝送バイト数オーバ (TXEROE) 割り込みを禁止 1: 送信連フレーム最大伝送バイト数オーバ (TXEROE) 割り込みを許可
0	TXE ACKE	0	R/W	アクノリッジビット割り込み許可 アクノリッジビット (TXEACKE) 割り込みの禁止 / 許可を設定します。 0: アクノリッジビット (TXEACKE) 割り込みを禁止 1: アクノリッジビット (TXEACKE) 割り込みを許可

24.3.18 IEBus 受信ステータスレジスタ (IERSR)

IERSR は、受信ビジー、受信開始、受信正常終了、受信エラー終了等の状態を検出します。各要因は、IEIER に対応したビットを持っており、割り込みの禁止 / 許可を設定することができます。本ビットは各ビットに 1 を書き込むことによりクリアされます。

ビット :	7	6	5	4	3	2	1	0
	RXBSY	RXS	RXF	RXEDE	RXEOVE	RXE RTME	RXEDLE	RXEPE
初期値 :	0	0	0	0	0	0	0	0
	R/W : R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)*							

ビット	ビット名	初期値	R/W	説明
7	RXBSY	0	R/(W)*	受信ビジー 受信データバッファ (IERB001 ~ IERB128) に受信したデータが格納されていることを示します。受信データをすべて読み出した後クリアしてください。本ビットがセットされている間は、次の受信データを受信できません。 [セット条件] <ul style="list-style-type: none"> • 受信データが受信データバッファにすべて書き込まれたとき [クリア条件] <ul style="list-style-type: none"> • 1 をライトしたとき
6	RXS	0	R/(W)*	受信開始 本モジュールが受信開始したことを示します。 [セット条件] <ul style="list-style-type: none"> • スレーブ受信時、マスタユニットから、電文長フィールドまで正しく受信したとき [クリア条件] <ul style="list-style-type: none"> • 1 をライトしたとき
5	RXF	0	R/(W)*	受信正常終了 受信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを示します。 [セット条件] <ul style="list-style-type: none"> • 1 : 電文長ビットで指定した受信データバイト数分の受信を終了したとき [クリア条件] <ul style="list-style-type: none"> • 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
4	RXEDE	0	R/(W)*	<p>同報受信エラー</p> <p>同報受信のコントロールフィールド受信時、受信バッファが受信可能状態でない (RE ビットが 1 にセットされていない状態か、RXBSY フラグがセットされている状態) ためデータを受信できなかったことを示します。本ビットは IECTR の DEE ビットが 1 のとき、機能します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 同報受信でデータを受信できなかったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 をライトしたとき
3	RXEOVE	0	R/(W)*	<p>受信オーバランフラグ</p> <p>データ受信中のオーバラン発生を示すフラグです。</p> <p>本モジュールは、RXBSY フラグがクリアされていない状態、すなわち受信データが読み出されていない状態で、次のデータ受信を開始すると、本フラグをセットします。このとき本モジュールはオーバランエラーが発生したと判断し、通信相手に NAK を返送します。この後、通信相手はフレーム最大伝送バイト数に達するまで、再送を行いますが、RXBSY フラグがセットされたままだと、本モジュールは NAK を送信し続けます。RXBSY フラグがクリアされると、本モジュールは ACK を送信し次のデータを取り込みます。同報受信の場合、データ受信開始時に、RXBSY ビットがセットされていると、ただちに待機状態に入ります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RXBSY フラグがクリアされていない状態で、次のデータを受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 をライトしたとき
2	RXERTME	0	R/(W)*	<p>受信タイミングエラー</p> <p>データ受信時、IEBus プロトコルで規定したタイミングで正しくデータを受信できなかった場合、本ビットがセットされます。本モジュールは、本ビットをセットして待機状態になります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。この時、このビットはセットされません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • データ受信中に、タイミングエラーが発生したことを示します <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
1	RXEDLE	0	R/(W)*	<p>受信フレーム最大伝送バイト数オーバー</p> <p>データ受信時に、パリティエラーかオーバーランエラーが発生し、再送による受信を行ったため、通信モードで定義される最大バイト長内で、受信が終了しなかったか、電文長の値が、最大伝送バイト数より大きい値であったため、受信が終了しなかったことを示します。本モジュールは本ビットをセットして待機状態になります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このときビットはセットされません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 通信モードで定義される最大バイト数内で、受信が終了しなかったことを示します <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 をライトしたとき
0	RXEPE	0	R/(W)*	<p>パリティエラー</p> <p>データフィールド受信中に、パリティエラーが発生したことを示します。データフィールド受信前にパリティエラーが発生した場合、本モジュールはただちに待機状態になります。RXEPE はセットされません。データフィールド受信中にパリティエラーが発生し、フレーム最大伝送バイト数に達するまで受信を行っていない場合、RXEPE はまだセットされません。パリティエラーが発生すると、本モジュールはアクノリッジビットで通信相手に NAK を返送します。このとき、通信相手はフレーム最大伝送バイト数に達するまで、再送を行いますが、再受信中に、パリティエラーが解消され、正常に受信が行われると、RXEPE はセットされません。電文長で設定されたバイト数だけ受信を行わずに受信を中止し待機状態になった時に、パリティエラーが解消されていなかった場合、RXEPE はセットされます。同報受信の場合、データフィールド受信中にパリティエラーが発生すると、本モジュールは RXEPE をセットし、ただちに待機状態になります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、このビットはセットされません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> フレーム最大伝送バイト数に達するまで受信を行い、最終受信バイトのデータフィールドのパリティビットが偶数パリティでなかったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 をライトしたとき

【注】 * フラグをクリアするための 1 ライトのみ可能です。

24.3.19 IEBus 受信割り込み許可レジスタ (IEIER)

IEIER は、IERSR の受信ビジー、受信開始、受信正常終了、受信エラー終了等のそれぞれの要因について、割り込みの禁止 / 許可を設定することができます。

ビット:	7	6	5	4	3	2	1	0
	RXBSYE	RXSE	RXFE	RXEDEE	RXE OVEE	RXE RTMEE	RXE DLEE	RXPEEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	RXBSYE	0	R/W	受信ビジー割り込み許可 受信ビジー (RXBSY) 割り込みの禁止 / 許可を設定します。 0: 受信ビジー (RXBSY) 割り込みを禁止 1: 受信ビジー (RXBSY) 割り込みを許可
6	RXSE	0	R/W	受信開始割り込み許可 受信開始 (RXS) 割り込みの禁止 / 許可を設定します。 0: 受信開始 (RXS) 割り込みを禁止 1: 受信開始 (RXS) 割り込みを許可
5	RXFE	0	R/W	受信正常終了割り込み許可 受信正常終了 (RXF) 割り込みの禁止 / 許可を設定します。 0: 受信正常終了 (RXF) 割り込みを禁止 1: 受信正常終了 (RXF) 割り込みを許可
4	RXEDEE	0	R/W	同報受信エラー割り込み許可 同報受信エラー (RXEDE) 割り込みの禁止 / 許可を設定します。 0: 同報受信エラー (RXEDE) 割り込みを禁止 1: 同報受信エラー (RXEDE) 割り込みを許可
3	RXEOVEE	0	R/W	オーバーラン制御フラグ割り込み許可 オーバーラン制御フラグ (RXEOVE) 割り込みの禁止 / 許可を設定します。 0: オーバーラン制御フラグ (RXEOVE) 割り込みを禁止 1: オーバーラン制御フラグ (RXEOVE) 割り込みを許可
2	RXERTMEE	0	R/W	受信タイミングエラー割り込み許可 受信タイミングエラー (RXERTME) 割り込みの禁止 / 許可を設定します。 0: 受信タイミングエラー (RXERTME) 割り込みを禁止 1: 受信タイミングエラー (RXERTME) 割り込みを許可
1	RXEDLEE	0	R/W	受信フレーム最大伝送バイト数オーバ割り込み許可 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みの禁止 / 許可を設定します。 0: 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みを禁止 1: 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みを許可

ビット	ビット名	初期値	R/W	説 明
0	RXEPEE	0	R/W	パリティエラー割り込み許可 パリティエラー（RXEPE）割り込みの禁止 / 許可を設定します。 0：パリティエラー（RXEPE）割り込みを禁止 1：パリティエラー（RXEPE）割り込みを許可

24.3.20 IEBus クロック選択レジスタ（IECKSR）

IECKSR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本モジュールで使用するクロックの設定を行います。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	CKS3	-	CKS[2:0]		
初期値：	0	0	0	0	0	0	0	1
R/W：	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CKS3	0	R/W	入力クロック選択 3 ^{*1} * ² 本モジュールで使用するクロックの選択を行います。 0：周辺クロック 0（P0）を使用します。 1：AUDIO_X1、AUDIO_X2 のクロックを使用します。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	CKS[2:0]	001	R/W	入力クロック選択 2~0 ^{*1} 本モジュールで使用するクロックの分周を選択します。 000：設定禁止 001：CKS3 で選択したクロック（IEB）の 1/2 のクロックを使用します。 （IEB = 12MHz、12.58MHz） 010：CKS3 で選択したクロック（IEB）の 1/3 のクロックを使用します。 （IEB = 18MHz、18.87MHz） 011：CKS3 で選択したクロック（IEB）の 1/4 のクロックを使用します。 （IEB = 24MHz、25.16MHz） 100：CKS3 で選択したクロック（IEB）の 1/5 のクロックを使用します。 （IEB = 30MHz、31.45MHz） 101：CKS3 で選択したクロック（IEB）の 1/6 のクロックを使用します。 （IEB = 36MHz、37.74MHz） 110：CKS3 で選択したクロック（IEB）の 1/7 のクロックを使用します。 （IEB = 42MHz、44.03MHz） 111：CKS3 で選択したクロック（IEB）の 1/8 のクロックを使用します。 （IEB = 48MHz）

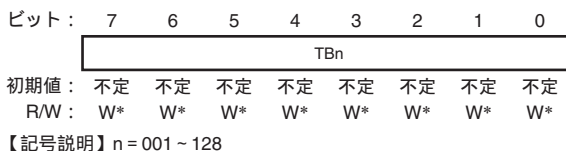
【注】 *1 IEBus 送受信動作中は CKS3、CKS[2:0] ビットの設定を変更しないでください。

*2 CKS3 ビットを 1 に設定しているときは、STBCR3 レジスタの MSTP36 ビットを必ず 0 に設定してください。STBCR3 レジスタの設定方法については「第 49 章 低消費電力モード」を参照してください。

24.3.21 IEBus 送信データバッファ 001 ~ 128 (IETB001 ~ IETB128)

マスタ送信時に送信するデータを書き込む 128 バイト (8 × 128) バッファです。

IETB001 ~ IETB128 の初期値は不定です。



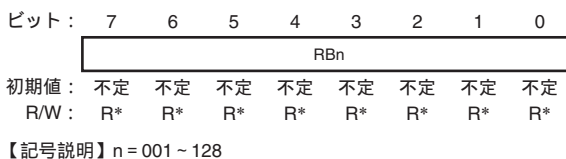
ビット	ビット名	初期値	R/W	説明
7~0	TBn	不定	W*	IEBus 送信データバッファ TB001 から TB128 は、マスタ送信時にデータフィールドで送信するデータを書き込みます。TB001 が先頭データ 1 バイトで、TB002、TB003...の順に送信順に書き込みます。TB128 が 128 バイト送信時の最終データとなります。

【注】 * マスタ送信中 (IEF LG の MRQ = 1) のときは、書き込み禁止です。

24.3.22 IEBus 受信データバッファ 001 ~ 128 (IERB001 ~ IERB128)

スレーブ受信時に送信するデータを格納する 128 バイト (8 × 128) バッファです。

IERB001 ~ IERB128 の初期値は不定です。



ビット	ビット名	初期値	R/W	説明
7~0	RBn	不定	R*	IEBus 受信データバッファ RB001 から RB128 は、IEBus 受信ステータスレジスタ (IERSR) の RXBSY ビットが 1 のとき、読み出すことができます。RB001 から RB128 で読み出すデータはスレーブ受信時のデータフィールドの値になります。受信時のデータは RB001 が先頭データ 1 バイトで、RB002、RB003...の順に書き込まれます。RB128 が 128 バイト受信時の最終データとなります。

【注】 * スレーブ受信中 (IEF LG の SRE = 1 かつ IERSR の RXBSY = 0) のときは、読み出し禁止です。(リード値不定)

24.4 データフォーマット

24.4.1 送信フォーマット

図 24.6 に IEBus データ送信時の伝送フォーマットと各レジスタの関係を示します。

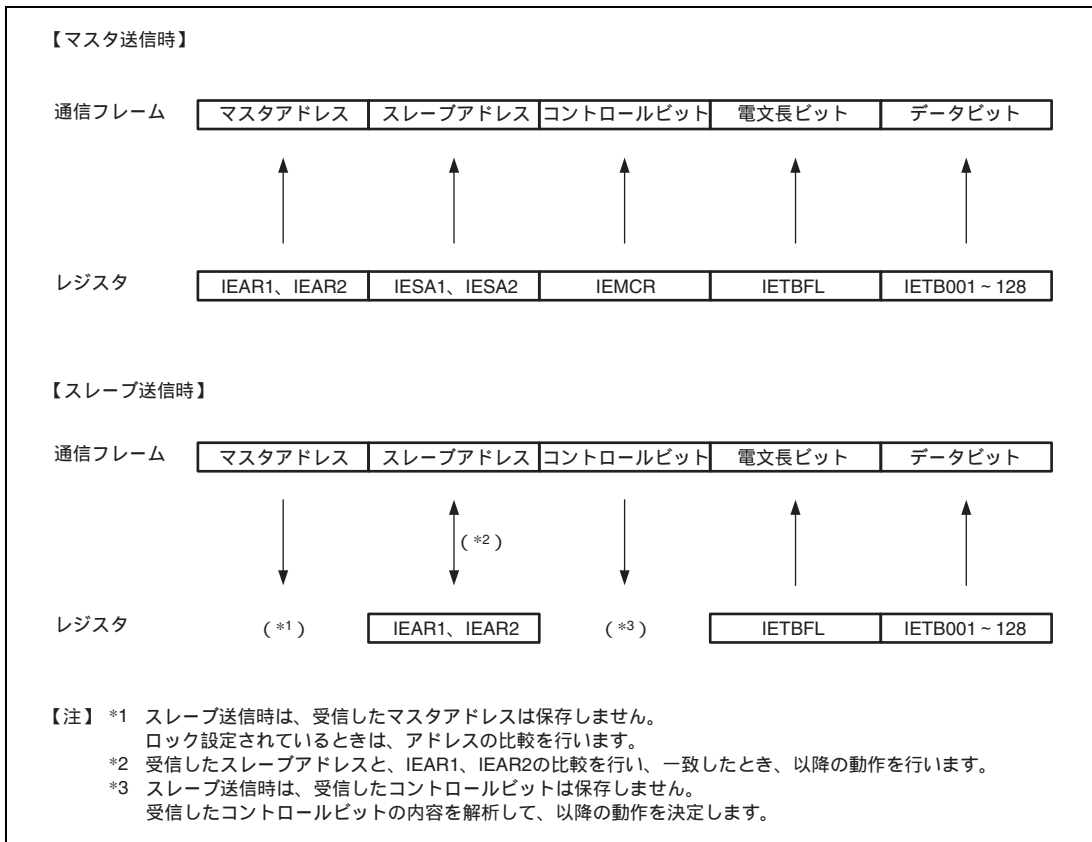


図 24.6 送信時の伝送信号フォーマットと各レジスタの関係

24.4.2 受信フォーマット

図 24.7 に IEBus データ受信時の伝送フォーマットと各レジスタの関係を示します。

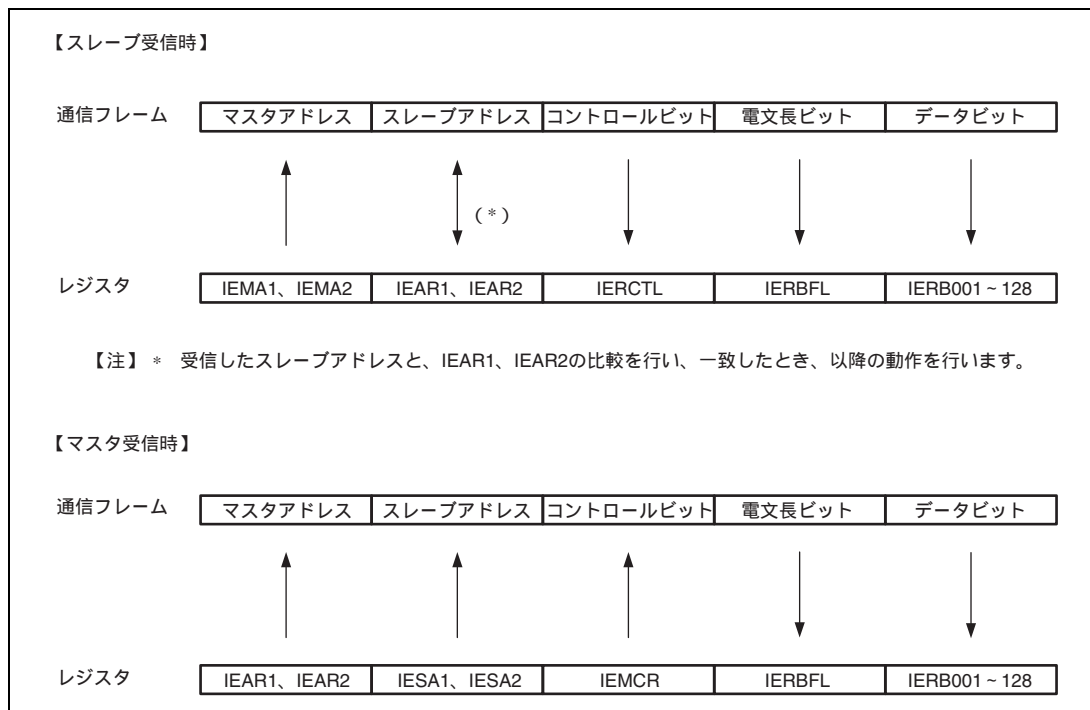


図 24.7 受信時の伝送信号フォーマットと各レジスタの関係

24.5 ソフト制御フロー

24.5.1 初期設定

図 24.8 に初期設定フローを示します。

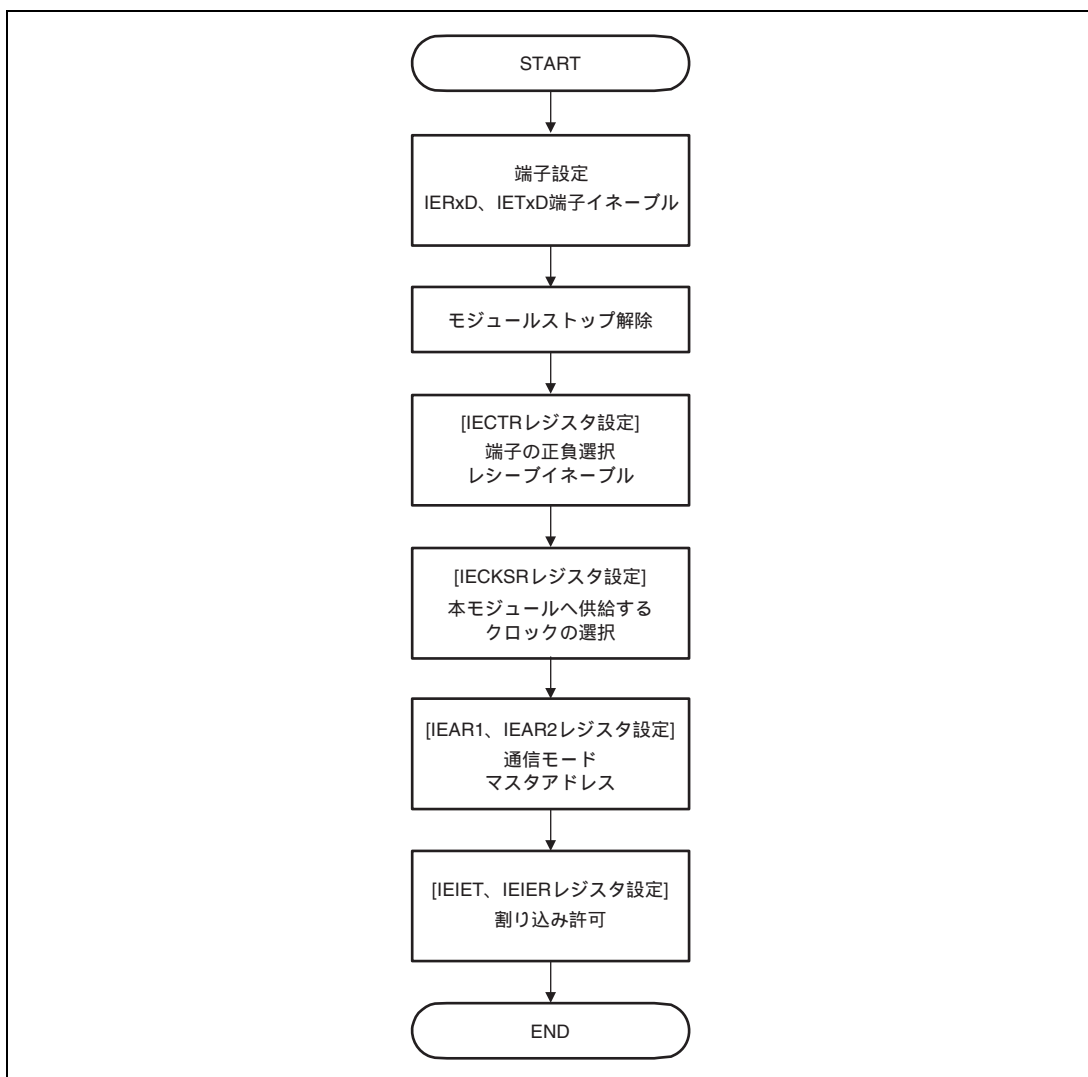


図 24.8 初期設定フロー

24.5.2 マスタ送信

図 24.9 にマスタ送信フローを示します。

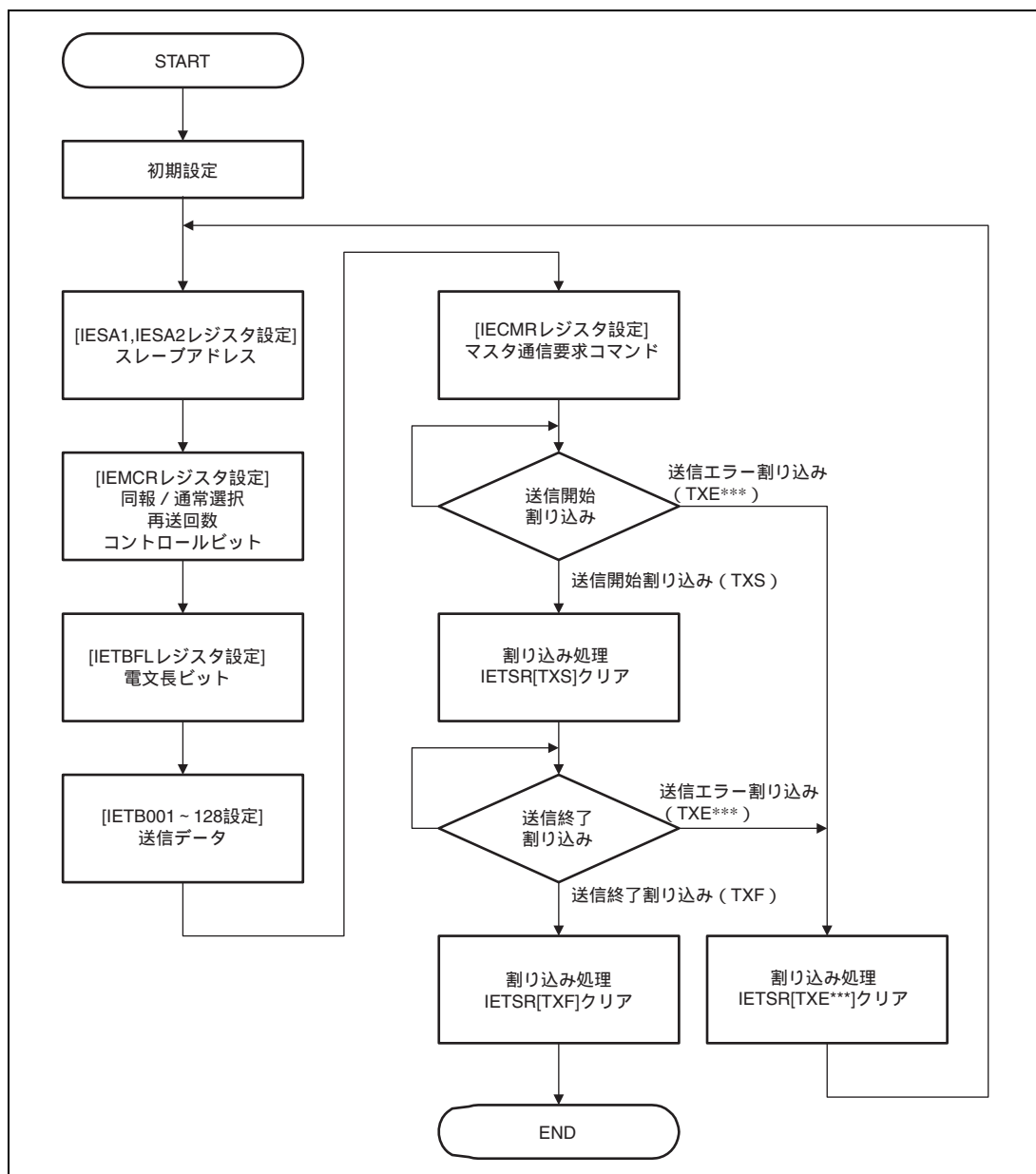


図 24.9 マスタ送信フロー

24.5.3 スレーブ受信

図 24.10 にスレーブ受信フローを示します。

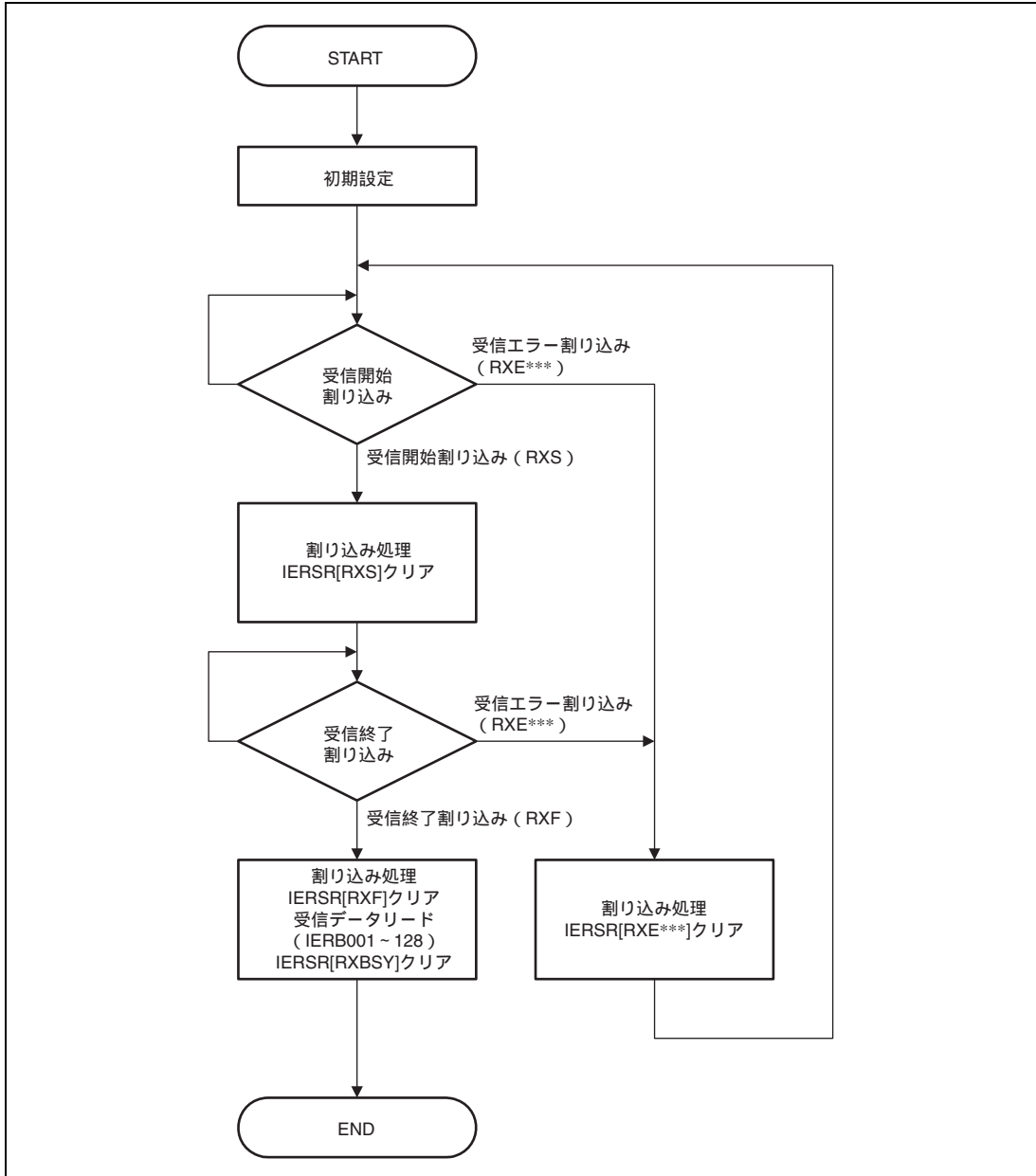


図 24.10 スレーブ受信フロー

24.5.4 マスタ受信

図 24.11 にマスタ受信フローを示します。

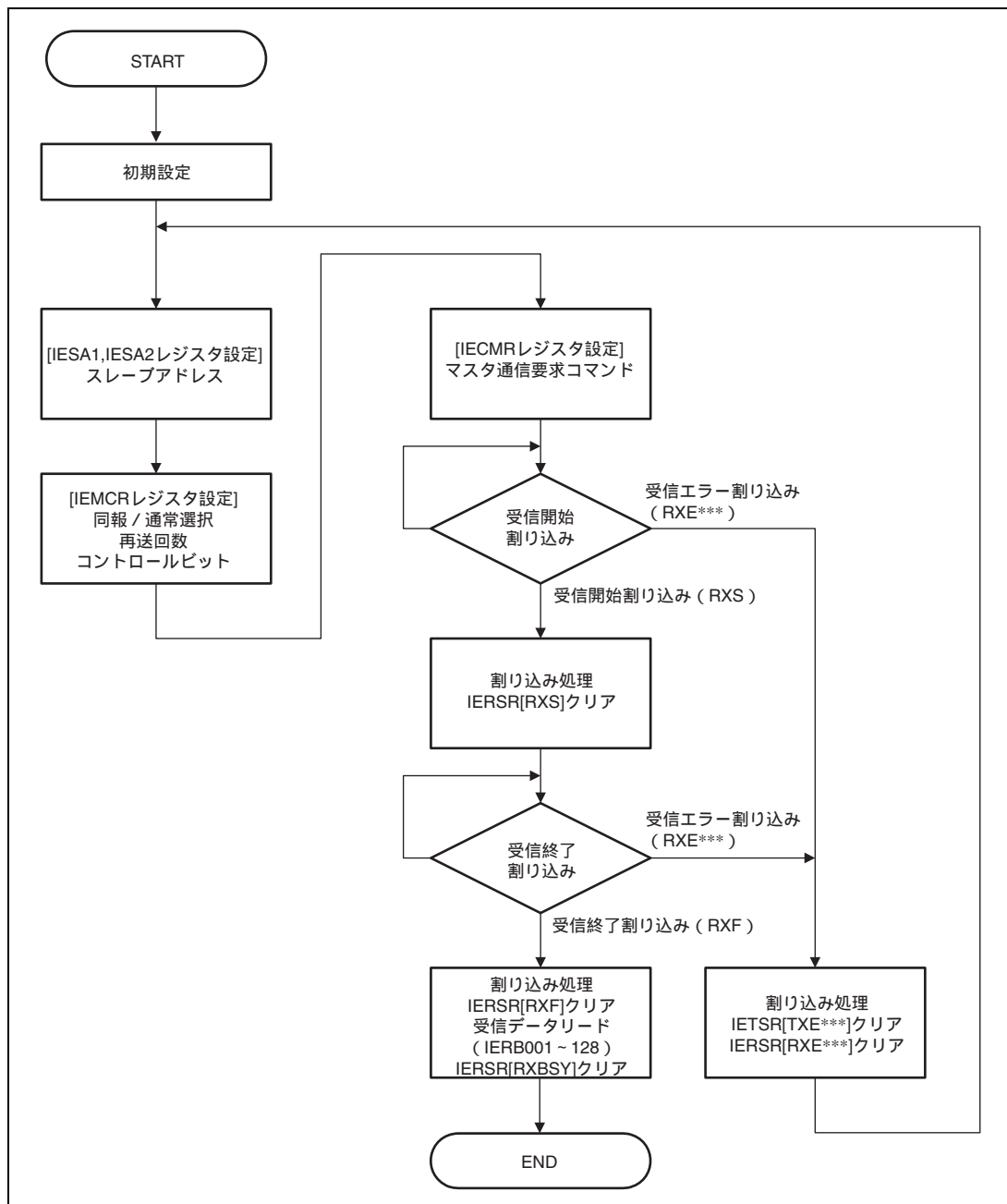


図 24.11 マスタ受信フロー

24.5.5 スレーブ送信

図 24.12 にスレーブ送信を示します。

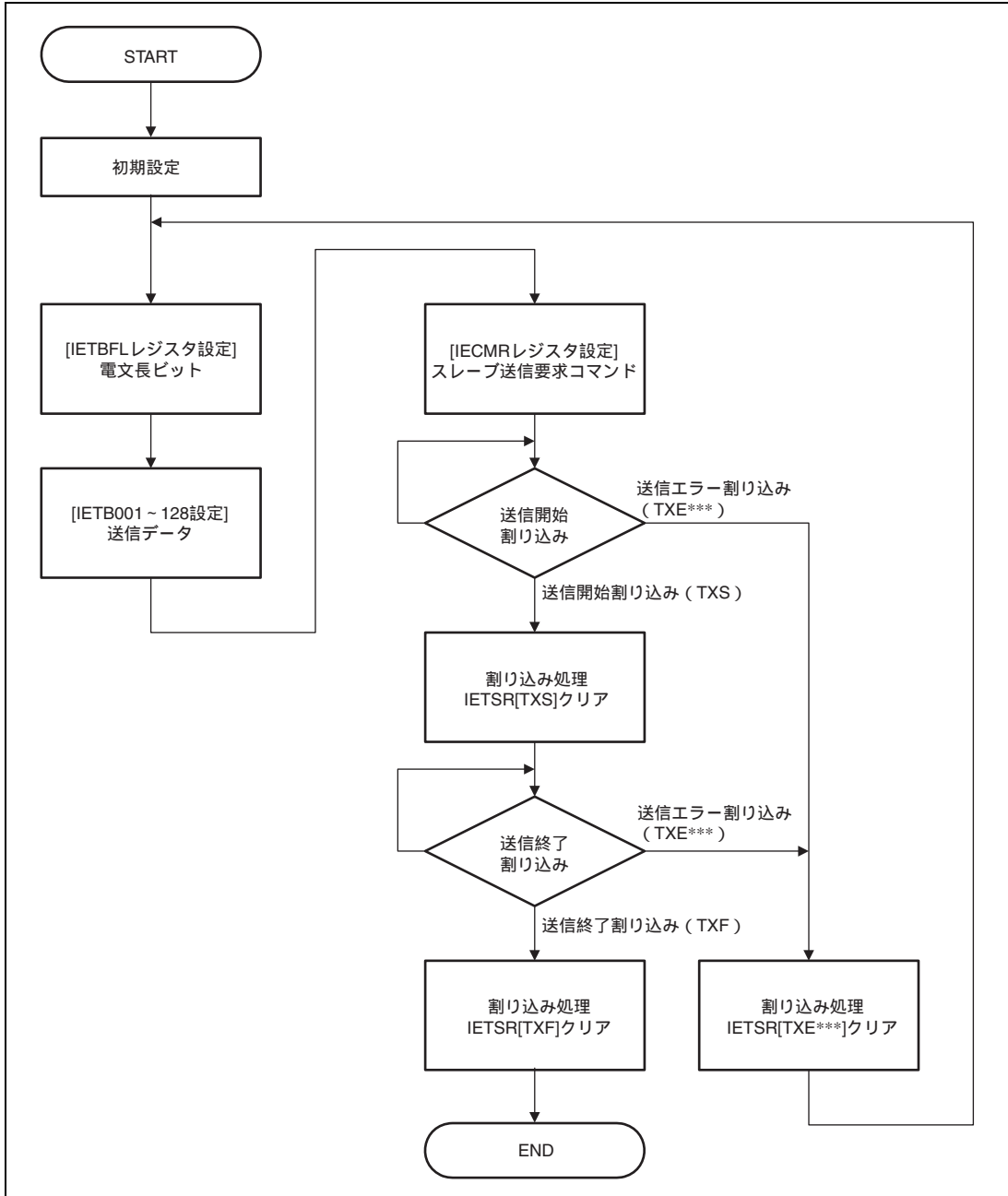


図 24.12 スレーブ送信フロー

24.6 動作タイミング

24.6.1 マスタ送信

図 24.13 にマスタ送信動作タイミングを示します。

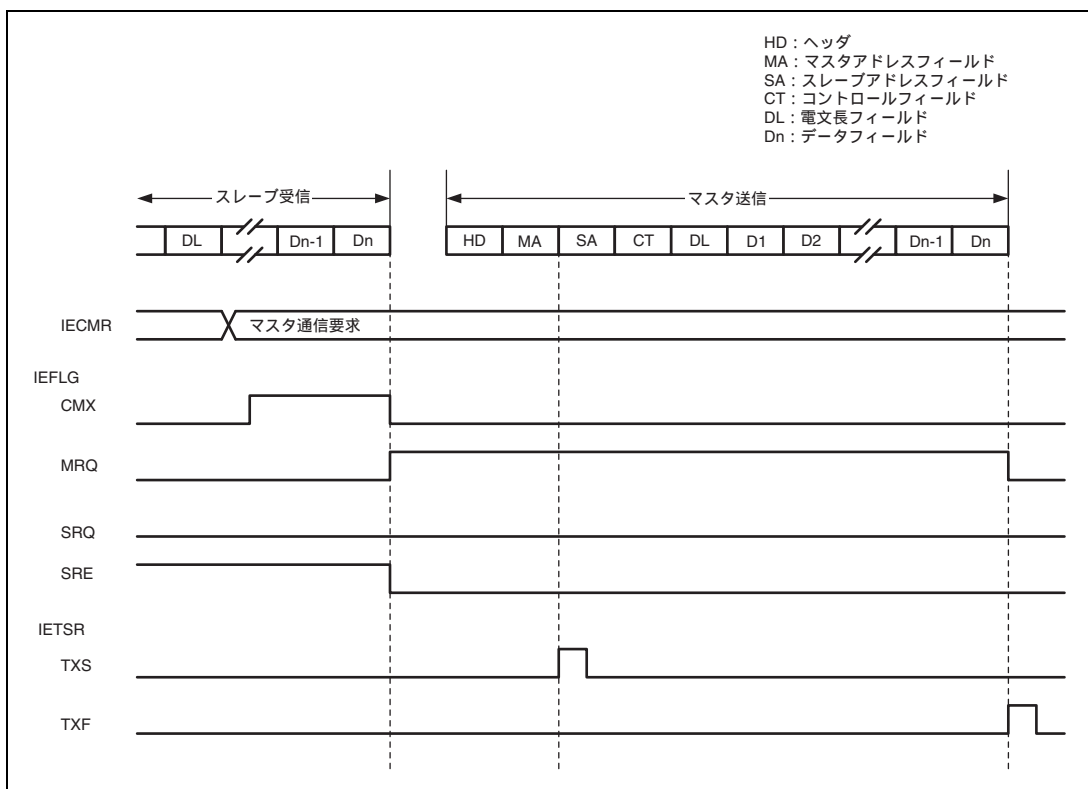


図 24.13 マスタ送信動作タイミング

24.6.2 スレーブ受信

図 24.14 にスレーブ受信動作タイミングを示します。

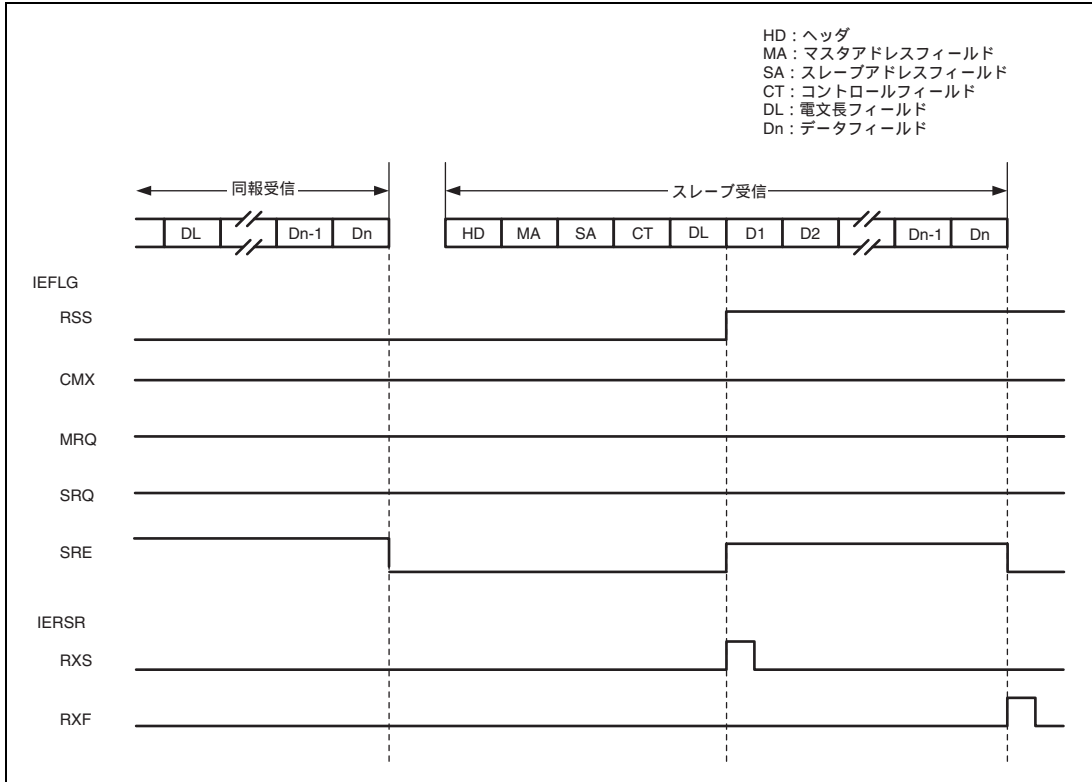


図 24.14 スレーブ受信動作タイミング

24.6.3 マスタ受信

図 24.15 にマスタ受信動作タイミングを示します。

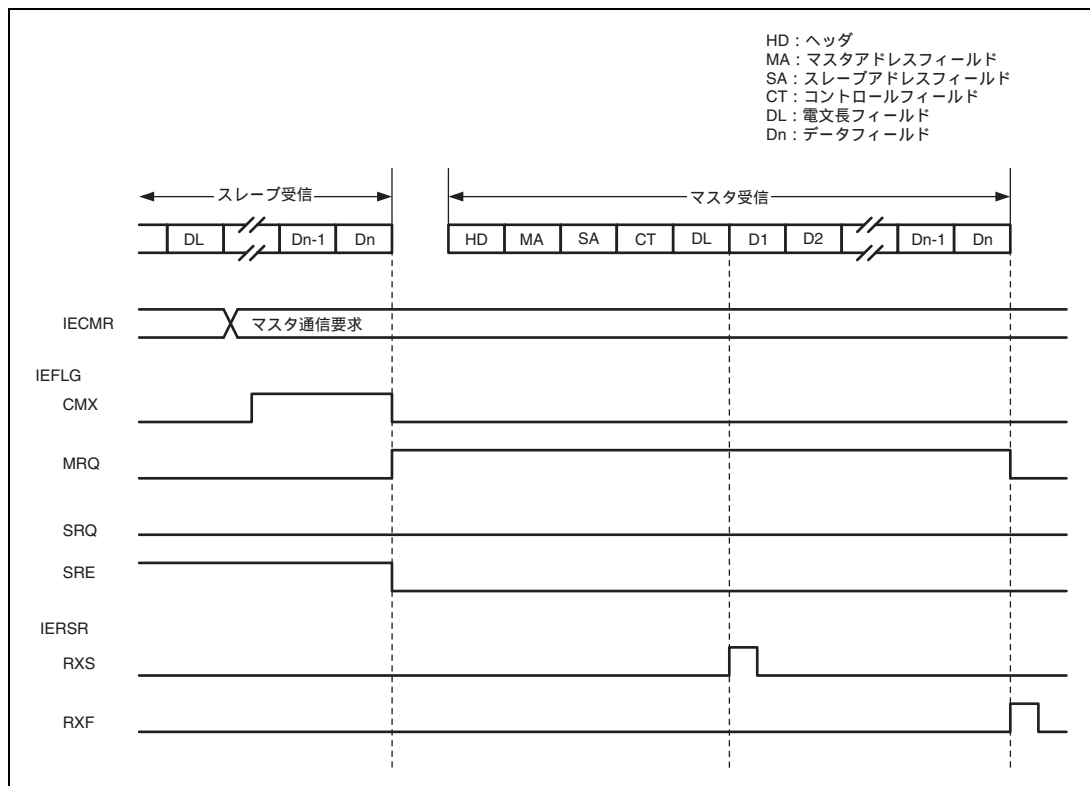


図 24.15 マスタ受信動作タイミング

24.6.4 スレーブ送信

図 24.16 にスレーブ送信動作タイミングを示します。

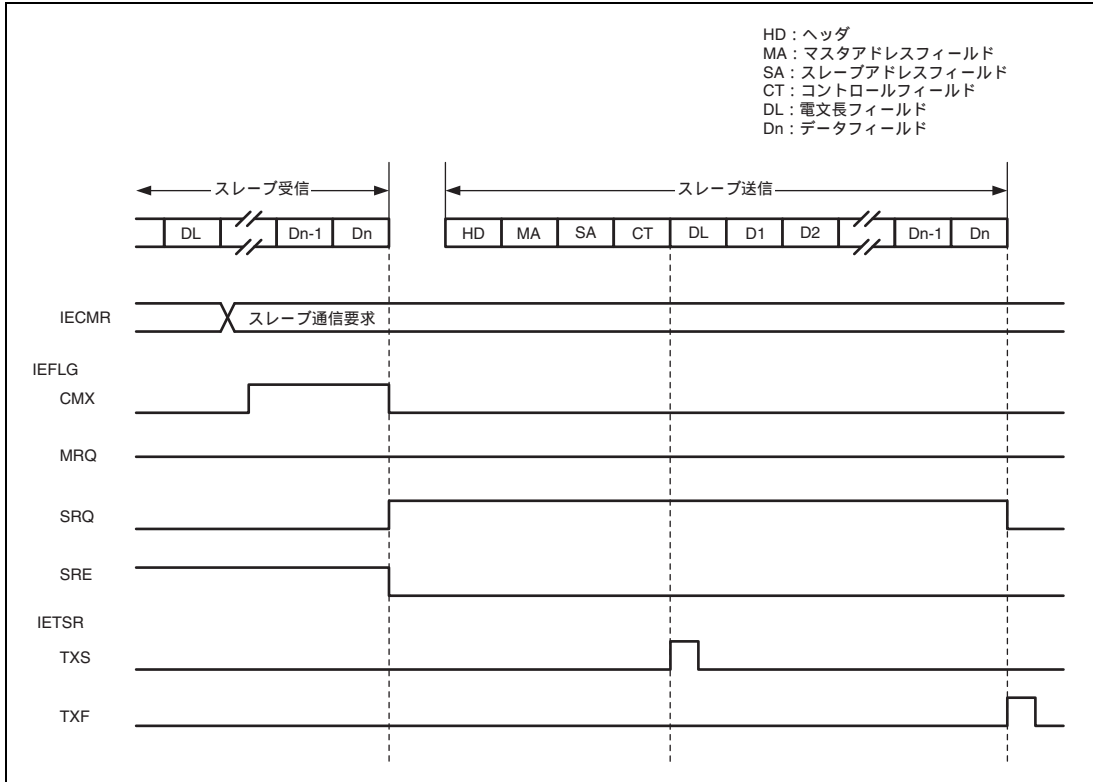


図 24.16 スレーブ送信動作タイミング

24.7 割り込み要因

本モジュールの割り込みには、送信開始 (TXS)、送信正常終了 (TXF)、アービトレーション負け (TXEAL)、送信タイミングエラー (TXETME)、送信フレーム最大伝送バイト数オーバ (TXERO)、アクノリッジビット (TXEACK)、受信ビジー (RXBSY)、受信開始 (RXS)、受信正常終了 (RXF)、同報受信エラー (RXEDE)、受信オーバランフラグ (RXEOVE)、受信タイミングエラー (RXERTME)、受信フレーム最大伝送バイト数オーバ (RXEDLE)、パリティエラー (RXEPE) があります。

各要因は、IEBus 送信割り込み許可レジスタ (IEIET)、IEBus 受信割り込み許可レジスタ (IEIER) に対応したビットを持っており、割り込みの禁止 / 許可を設定することができます。また、IEBus 送信ステータスレジスタ (IETSR)、IEBus 受信ステータスレジスタ (IERSR) に対応したステータスフラグを持っており、ステータスフラグをリードすることで要因の判定を行うことができます。

図 24.17 に割り込み要因の関係を示します。

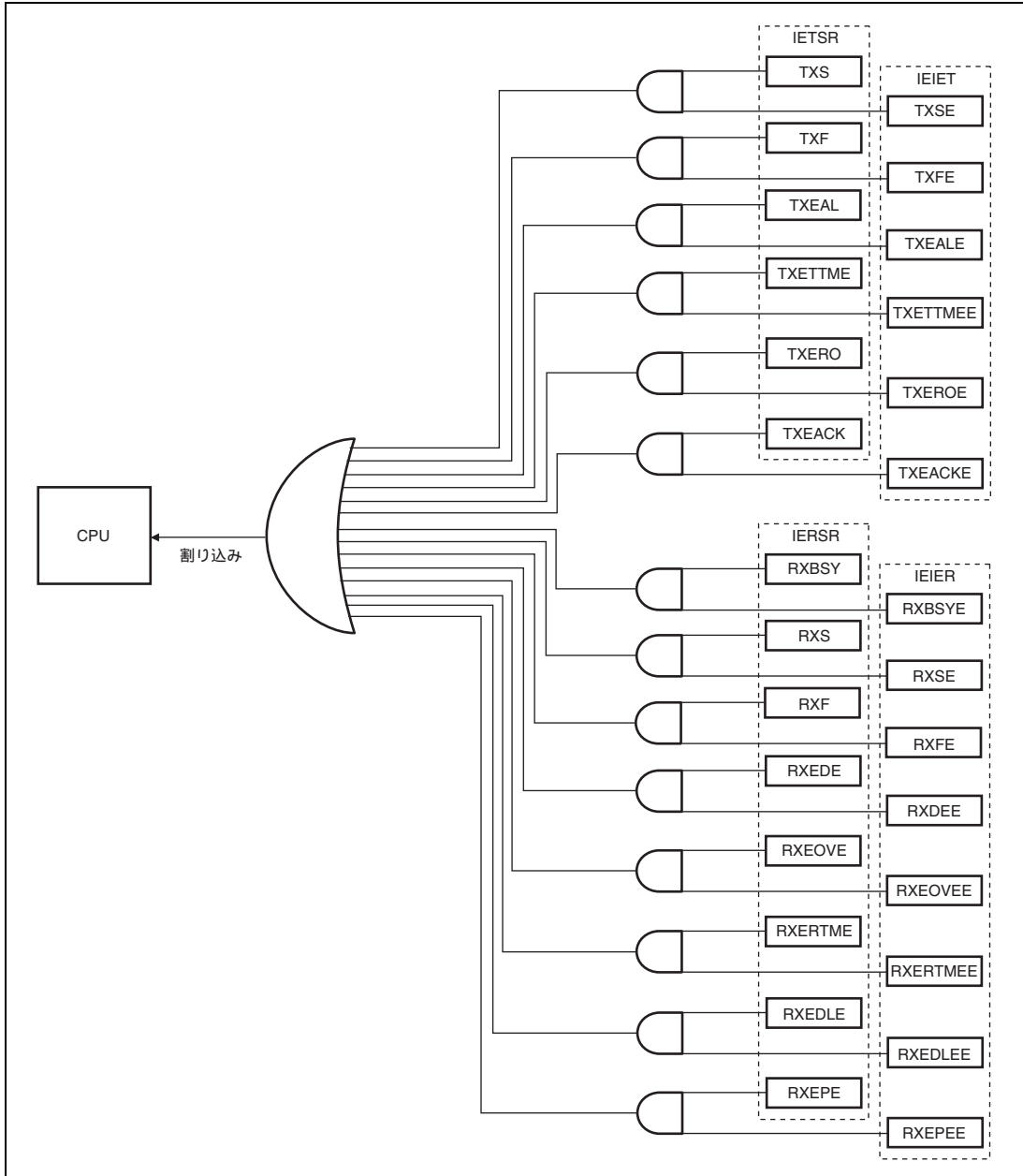


図 24.17 割り込み要因の関係

24.8 使用上の注意事項

24.8.1 最大伝送バイト長内で通信が終了しなかったときの注意事項

(1) データ送信

データ送信時に、受信ユニットから NAK を受信したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは電文長の値が最大伝送バイト数より大きい値であったため、最大バイト長内で送信が終了しなかった場合、IETSR のエラーフラグをセットして待機状態に入りますが、このとき最大伝送バイト数+1 バイト目まで送信を行います。その後、最大伝送バイト数+1 バイト目のアクノリッジビットで NAK を受信した場合、TXERO フラグがセットされます。NAK ではなく ACK を受信した場合は TXF フラグがセットされます。

図 24.18 に最大バイト長内で送信が終了しなかったときの動作タイミングを示します。

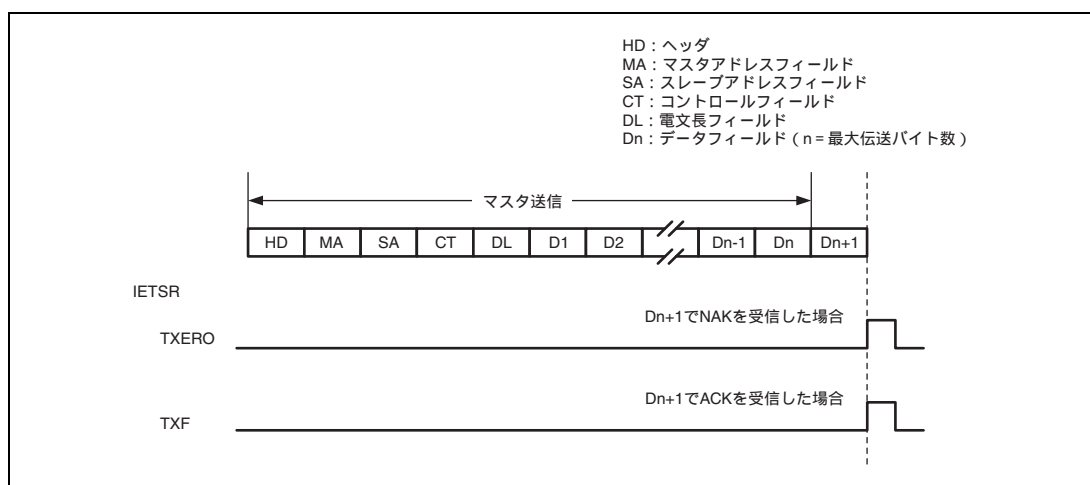


図 24.18 最大バイト長内で送信が終了しなかったときの動作タイミング

(2) データ受信

データ受信時に、パリティエラーかオーバランエラーが発生し再送による受信を行ったため、通信モードで定義される最大バイト長内で受信が終了しなかったか、電文長の値が最大伝送バイト数より大きい値であったため受信が終了しなかった場合、IERSR のエラーフラグをセットして待機状態に入りますが、このとき最大伝送バイト数+1 バイト目のデータ受信待ち状態になります。そのため、最大伝送バイト数+1 バイト目のデータを受信できなかった場合、受信タイミングエラーを検出し、RXERTME フラグがセットされます。このとき RXEDLE フラグはセットされません。RXEDLE フラグは最大伝送バイト数+1 バイト目のデータを受信した場合にセットされます。

また、最大伝送バイト長まで受信し、パリティエラーが解消されていなかった場合も同様で、最大伝送バイト数+1 バイト目のデータを受信できなかった場合、RXERTME フラグがセットされます。このとき RXEPE フラグはセットされません。RXEPE フラグは最大伝送バイト数+1 バイト目のデータを受信した場合にセットされます。

図 24.19 に最大バイト長内で受信が終了しなかったときの動作タイミングを示します。

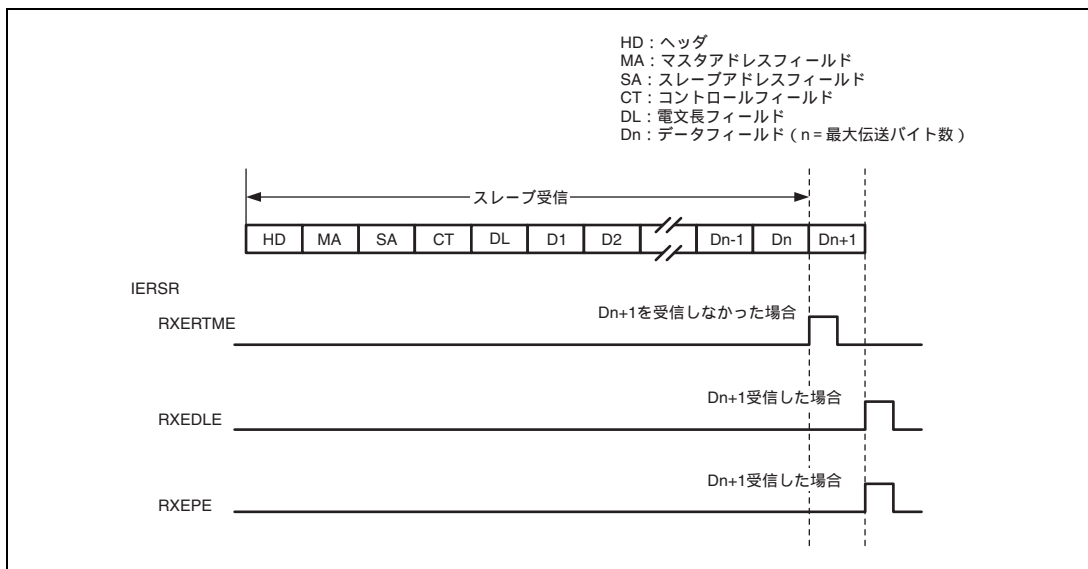


図 24.19 最大バイト長内で受信が終了しなかったときの動作タイミング

25. ルネサス SPDIF インタフェース

25.1 概要

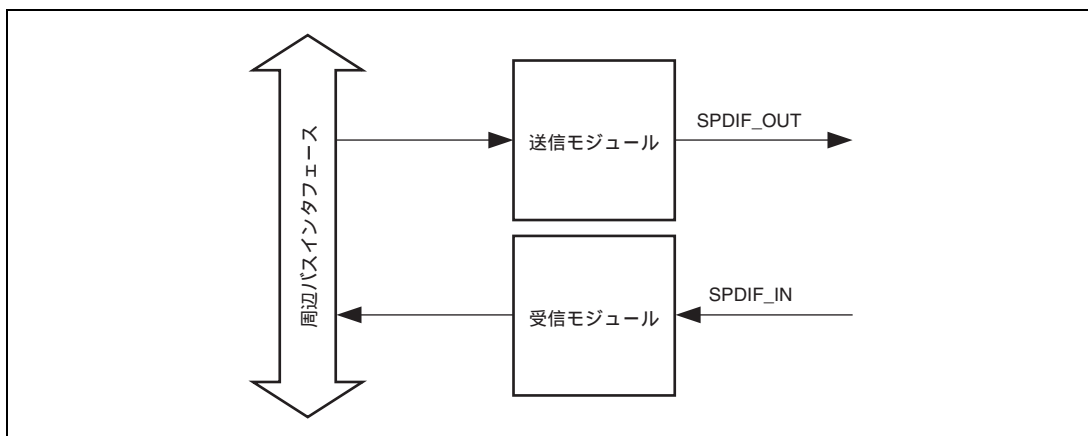


図 25.1 概略ブロック図

25.2 特長

- IEC60958規格に適合（ステレオ、民生用モードのみ）
- サンプリング周波数：32kHz、44.1kHz、48kHz
- オーディオワードサイズ：16～24ビット/サンプル
- バイフェーズマーク方式エンコード
- データのダブルバッファ
- パリティ付きシリアルデータ
- 同時送受信可能
- 受信モジュールはIEC61937圧縮モードデータを自動検出可能

25.3 機能ブロック図

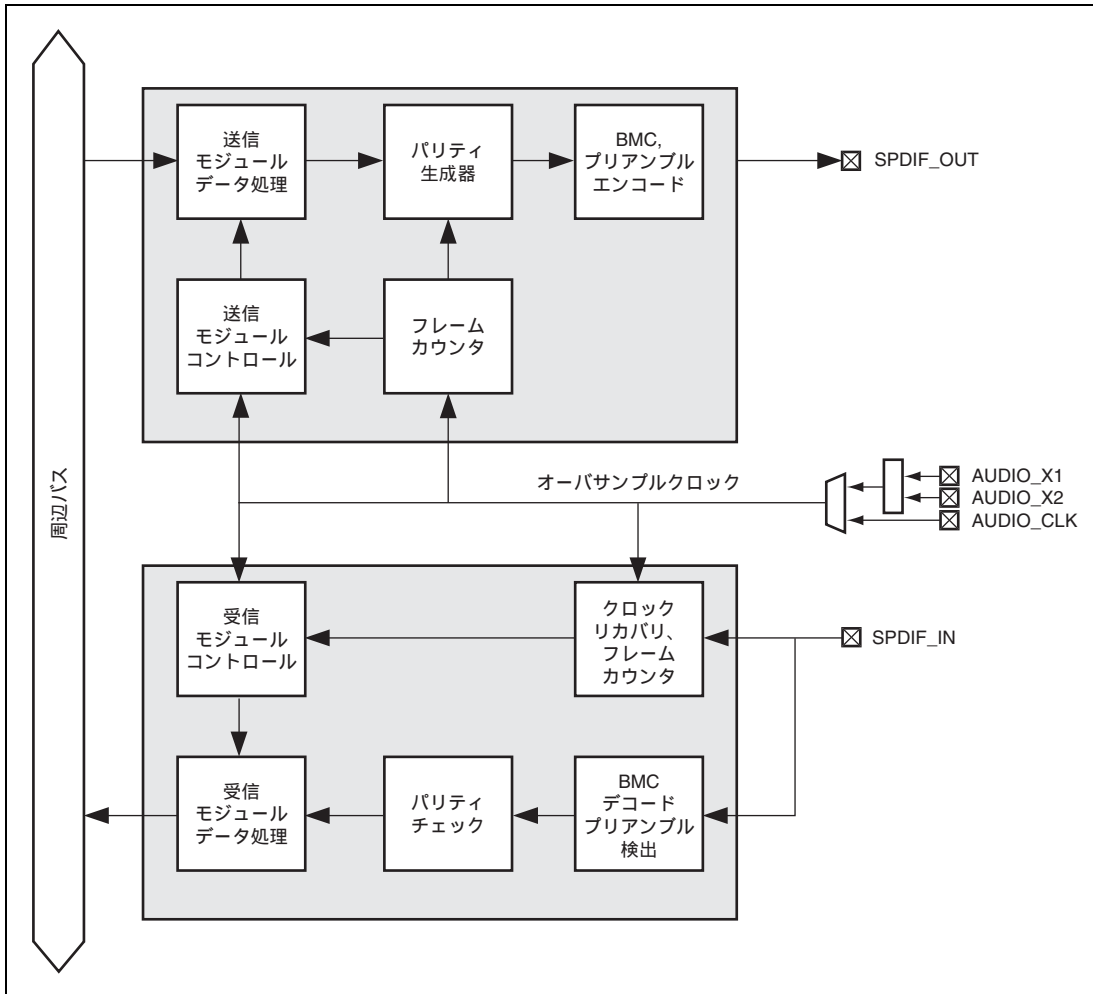


図 25.2 機能ブロック図

25.4 入出力端子

表 25.1 に端子構成を示します。

表 25.1 端子構成

チャンネル	名称	入出力	機能
0	SPDIF_IN	入力	送信側バイフェーズマーク・エンコードされた SPDIF ビットストリーム
1	SPDIF_OUT	出力	受信側バイフェーズマーク・エンコードされた SPDIF ビットストリーム
0、1 共通	AUDIO_CLK	入力	オーディオ用外部クロック
	AUDIO_X1	入力	オーディオ用水晶発振子 / 外部クロック
	AUDIO_X2	出力	

25.5 ルネサス SPDIF (IEC60958) フレームフォーマット

ルネサス SPDIF のフレームは 2 つのサブフレーム (チャンネル 1 およびチャンネル 2) で構成され、サブフレームには 4 ビットのプリアンブル、最大 24 ビットのオーディオデータ、V フラグ、ユーザビット、チャンネルステータスビット、偶数パリティビットがあります。図 25.3 に、サブフレームフォーマットを示します。ルネサス SPDIF は、このフォーマットに対して伝送ラインの DC 成分が最小となるバイフェーズマーク方式による変調 (チャンネルコーディング) を行います。

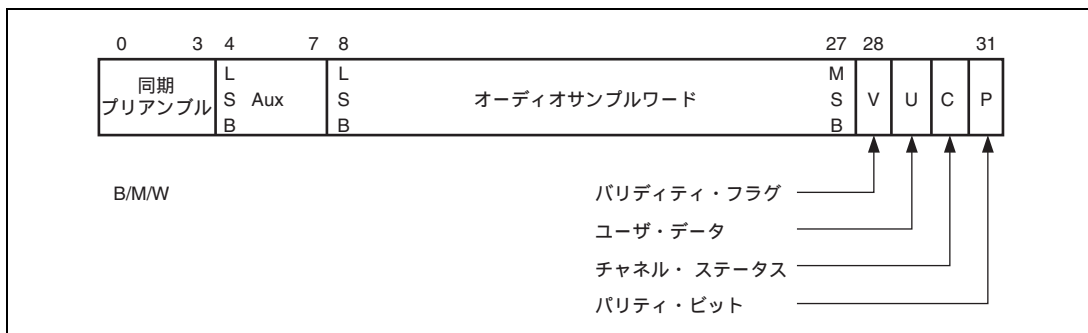


図 25.3 サブフレームフォーマット

図 25.4 に連続する 192 フレームからなるブロックフォーマットを示します。開始フレーム (プリアンブル B) から 192 番目のフレーム 191 までが 1 ブロックであり、各サブフレームはプリアンブルにより識別します。サブフレームは 1 ブロックに 384 個あり、新しいブロックの開始を示すサブフレーム 0、サブフレーム 1 (通常、左チャンネル)、サブフレーム 2 (通常、右チャンネル) の 3 種類で構成されます。通常、SPDIF で送受信される音楽データは連続しており、ブロックが連続します。

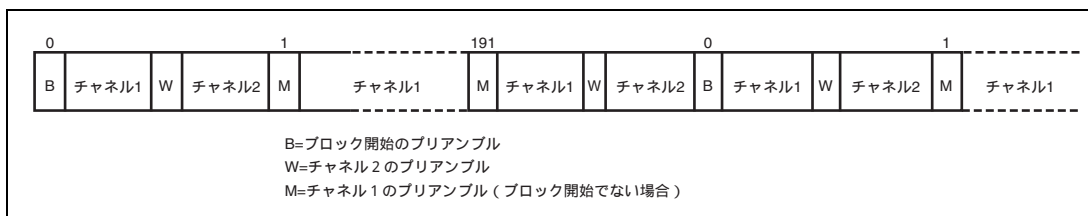


図 25.4 ブロックフォーマット

表 25.2 に、ルネサス SPDIF プリアンブルの値 (2 進) を示します。先行するシンボルの状態 (パリティビット) によりプリアンブルの極性が変わります。

表 25.2 プリアンプルの値

プリアンブル	先行シンボル状態 = 0	先行シンボル状態 = 1
B	11101000	00010111
M	11100010	00011101
W	11100100	00011011

【備考】図 25.3 で示すように、サブフレームのタイムスロット 31 にある偶数パリティビットにより、1 回の送信ではプリアンブルタイプが決まります。したがって、通常ルネサス SPDIF を通じて送られるセット状態はいずれか 1 つが選択されます。しかし、IEC60958 などではプリアンブル極性を逆に接続することも考慮して両タイプをデコードすることを規定しており、ルネサス SPDIF は表 25.2 のプリアンブルをデコードしています。

チャンネルステータス情報は、1 つのサブフレームに 1 ビットエンコードします。したがって、1 ブロック当たりのチャンネルステータス情報は、サブフレーム 1 とサブフレーム 2 で各々 192 ビットとなります。チャンネルステータスのフォーマットについては、IEC60958 規格を参照してください。

25.6 レジスタ構成

表 25.3 にレジスタ構成を示します。

表 25.3 レジスタ構成

チャンネル	名称	略称	アドレス	アクセスサイズ
0 (送信)	送信モジュールチャンネル 1 オーディオレジスタ	TLCA	H'E801 2000	32
	送信モジュールチャンネル 2 オーディオレジスタ	TRCA	H'E801 2004	32
	送信モジュールチャンネル 1 ステータスレジスタ	TLCS	H'E801 2008	32
	送信モジュールチャンネル 2 ステータスレジスタ	TRCS	H'E801 200C	32
	送信ユーザデータレジスタ	TUI	H'E801 2010	32
1 (受信)	受信モジュールチャンネル 1 オーディオレジスタ	RLCA	H'E801 2014	32
	受信モジュールチャンネル 2 オーディオレジスタ	RRCA	H'E801 2018	32
	受信モジュールチャンネル 1 ステータスレジスタ	RLCS	H'E801 201C	32
	受信モジュールチャンネル 2 ステータスレジスタ	RRCS	H'E801 2020	32
	受信ユーザデータレジスタ	RUI	H'E801 2024	32
0、1 共通	コントロールレジスタ	CTRL	H'E801 2028	32
	ステータスレジスタ	STAT	H'E801 202C	32
0、1 共通	送信モジュール DMA オーディオデータレジスタ	TDAD	H'E801 2030	32
	受信モジュール DMA オーディオデータレジスタ	RDAD	H'E801 2034	32

【注】 レジスタはすべてロングワードレジスタですので、常にロングワードでアクセスしてください。各レジスタの図で、0 と書いてあるビットには常に 0 を書き込んでください (ライト可能な場合)。この場合、読み出し値も常に 0 です (リード可能な場合)。

25.7 レジスタの説明

【レジスタ説明の記号説明】

初期値：リセット後のレジスタ値

：不定値

R/W：リードおよびライト可。書き込み値を読み出すことができます。

R：リードのみ可。書き込む値は常に0にしてください。

R/WC0：リードおよびライト可。0を書き込むとビットは初期化されますが、1の書き込みは無視されます。

R/WC1：リードおよびライト可。1を書き込むとビットは初期化されますが、0の書き込みは無視されます。

W：ライトのみ可。リードは禁止されています。リザーブビットの場合、書き込む値は常に0にしてください。

/W：ライトのみ可。読み出し値は不定です。

25.7.1 コントロールレジスタ (CTRL)

ビット：	31	30	29	28	27	26	25	24
	-	-	-	CKS	-	PB	RASS	
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R/W	R/W	R/W
ビット：	23	22	21	20	19	18	17	16
	TASS		RDE	TDE	NCSI	AOS	RME	TME
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8
	REIE	TEIE	UBOI	UBUI	CREI	PAEI	PREI	CSEI
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
	ABOI	ABUI	RUII	TUII	RCSI	RCBI	TCSI	TCBI
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット
28	CKS	0	R/W	オーバサンプルクロックセレクト オーバサンプルクロックの供給源を選択します。 0：AUDIO_X1 1：AUDIO_CLK
27	—	0	R	リザーブビット

ビット	ビット名	初期値	R/W	説明
26	PB	0	R/W	バスバック 送信モジュール SPDIF 出力を、SPDIF モジュールの SPDIF 受信モジュールに戻します (バスバック)。 0 : バスバック無効 1 : バスバック有効
25、24	RASS	すべて 0	R/W	受信モジュールオーディオサンプルビットサイズ データアライメントのための、受信モジュールオーディオサンプルビットのサイズ (16、20、または 24 ビット) を指定します。 00 : 16 ビットサンプル 01 : 20 ビットサンプル 10 : 24 ビットサンプル 11 : 予約
23、22	TASS	すべて 0	R/W	送信モジュールオーディオサンプルビットサイズ データアライメントのための、送信モジュールオーディオサンプルビットのサイズ (16、20、または 24 ビット) を指定します。 00 : 16 ビットサンプル 01 : 20 ビットサンプル 10 : 24 ビットサンプル 11 : 予約
21	RDE	0	R/W	受信モジュール DMA イネーブル 受信モジュールの DMA 要求を許可します。 0 : 受信モジュール DMA を禁止 1 : 受信モジュール DMA を許可
20	TDE	0	R/W	送信モジュール DMA イネーブル 送信モジュールの DMA 要求を許可します。 0 : 送信モジュール DMA を禁止 1 : 送信モジュール DMA を許可
19	NCSI	0	R/W	新チャンネルステータス情報 送信モジュールに修理すべき新チャンネルステータス情報がある場合、このビットを 1 に設定します。 0 : 新チャンネルステータス情報はありません。 1 : 新チャンネルステータス情報があります。
18	AOS	0	R/W	オーディオオンリーサンプル ユーザデータレジスタにユーザ情報がある場合、このビットを 0 に設定します。1 に設定した場合、ユーザビットにはすべて 0 が設定されます。 0 : ユーザ情報があります。 1 : ユーザ情報はなりません。

ビット	ビット名	初期値	R/W	説明
17	RME	0	R/W	受信モジュールイネーブル 受信モジュールを有効にします。 0：受信モジュールは無効 1：受信モジュールは有効
16	TME	0	R/W	送信モジュールイネーブル 送信モジュールを有効にします。 0：送信モジュールは無効 1：送信モジュールは有効
15	REIE	0	R/W	受信モジュールエラー割り込みイネーブル このビットをクリアすると、受信モジュールのエラー割り込みをすべてマスクします。セットすると、受信モジュールエラー割り込みをすべて許可します。 0：受信モジュールエラー割り込みを禁止 1：受信モジュールエラー割り込みを許可
14	TEIE	0	R/W	送信モジュールエラー割り込みイネーブル このビットをクリアすると、送信モジュールのエラー割り込みをすべてマスクします。セットすると、送信モジュールエラー割り込みをすべて許可します。 0：送信モジュールエラー割り込みを禁止 1：送信モジュールエラー割り込みを許可
13	UBOI	0	R/W	ユーザバッファオーバーラン割り込みイネーブル ユーザバッファオーバーラン割り込みを許可します。 0：ユーザバッファオーバーラン割り込みを禁止 1：ユーザバッファオーバーラン割り込みを許可
12	UBUI	0	R/W	ユーザバッファアンダラン割り込みイネーブル ユーザバッファアンダラン割り込みを許可します。 0：ユーザバッファアンダラン割り込みを禁止 1：ユーザバッファアンダラン割り込みを許可
11	CREI	0	R/W	クロックリカバリエラー割り込みイネーブル クロックリカバリエラー割り込みを許可します。 0：クロックリカバリエラー割り込みを禁止 1：クロックリカバリエラー割り込みを許可
10	PAEI	0	R/W	パリティエラー割り込みイネーブル パリティチェックエラー割り込みを許可します。 0：パリティチェックエラー割り込みを禁止 1：パリティチェックエラー割り込みを許可

ビット	ビット名	初期値	R/W	説明
9	PREI	0	R/W	<p>プリアンプエラー割り込みイネーブル プリアンプチェックエラー割り込みを許可します。</p> <p>0 : プリアンプエラー割り込みを禁止 1 : プリアンプエラー割り込みを許可</p>
8	CSEI	0	R/W	<p>チャンネルステータスエラー割り込みイネーブル チャンネルステータスエラー割り込みを許可します。</p> <p>0 : チャンネルステータスエラー割り込みを禁止 1 : チャンネルステータスエラー割り込みを許可</p>
7	ABOI	0	R/W	<p>オーディオバッファオーバーラン割り込みイネーブル 受信モジュールオーディオバッファオーバーラン割り込みを許可します。</p> <p>0 : オーディオバッファオーバーラン割り込みを禁止 1 : オーディオバッファオーバーラン割り込みを許可</p>
6	ABUI	0	R/W	<p>オーディオバッファアンダラン割り込みイネーブル 送信モジュールオーディオバッファアンダラン割り込みを許可します。</p> <p>0 : オーディオバッファアンダラン割り込みを禁止 1 : オーディオバッファアンダラン割り込みを許可</p>
5	RUII	0	R/W	<p>受信モジュールユーザ情報割り込みイネーブル 受信モジュールユーザ情報レジスタフル割り込みを許可します。</p> <p>0 : 受信モジュールユーザ情報割り込みを禁止 1 : 受信モジュールユーザ情報割り込みを許可</p>
4	TUII	0	R/W	<p>送信モジュールユーザ情報割り込みイネーブル 送信モジュールユーザ情報レジスタエンpty割り込みを許可します。</p> <p>0 : 送信モジュールユーザ情報割り込みを禁止 1 : 送信モジュールユーザ情報割り込みを許可</p>
3	RCSI	0	R/W	<p>受信モジュールチャンネルステータス割り込みイネーブル 受信モジュールチャンネルステータスレジスタエンpty割り込みを許可します。</p> <p>0 : 受信モジュールチャンネルステータス割り込みを禁止 1 : 受信モジュールチャンネルステータス割り込みを許可</p>
2	RCBI	0	R/W	<p>受信モジュールチャンネルバッファ割り込みイネーブル 受信モジュールオーディオチャンネルバッファエンpty割り込みを許可します。</p> <p>0 : 受信モジュールオーディオチャンネル割り込みを禁止 1 : 受信モジュールオーディオチャンネル割り込みを許可</p>

ビット	ビット名	初期値	R/W	説明
1	TCSI	0	R/W	送信モジュールチャンネルステータス割り込みイネーブル 送信モジュールチャンネルステータスレジスタエンティ割り込みを許可します。 0：送信モジュールチャンネルステータス割り込みを禁止 1：送信モジュールチャンネルステータス割り込みを許可
0	TCBI	0	R/W	送信モジュールチャンネルバッファ割り込みイネーブル 送信モジュールオーディオチャンネルバッファエンティ割り込みを許可します。 0：送信モジュールオーディオチャンネル割り込みを禁止 1：送信モジュールオーディオチャンネル割り込みを許可

25.7.2 ステータスレジスタ (STAT)

ビット：	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R
ビット：	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CMD
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8
	RIS	TIS	UBO	UBU	CE	PARE	PREE	CSE
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0
ビット：	7	6	5	4	3	2	1	0
	ABO	ABU	RUIR	TUIR	CSRX	CBRX	CSTX	CBTX
初期値：	0	0	0	0	0	0	0	0
R/W：	R/WC0	R/WC0	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~17	—	すべて 0	R	リザーブビット
16	CMD	0	R	圧縮モードデータ 受信データが圧縮モードデータ (V フラグおよびチャンネルステータスのビット 1=1) のとき、このビットがセットされます。 0：圧縮モードデータではありません。 1：圧縮モードデータです。

ビット	ビット名	初期値	R/W	説明
15	RIS	1	R	受信モジュールアイドル状態 受信モジュールがアイドル状態のとき、このビットがセットされます。 0：受信モジュールはアイドル状態ではありません。 1：受信モジュールはアイドル状態です。
14	TIS	1	R	送信モジュールアイドル状態 送信モジュールがアイドル状態のとき、このビットがセットされます。 0：送信モジュールはアイドル状態ではありません。 1：送信モジュールはアイドル状態です。
13	UBO	0	R/WC0	ユーザバッファオーバーラン* 受信モジュールユーザバッファがオーバーランすると、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのREIE ビットとUBOI ビットがセットされていると、割り込みが発生します。 0：ユーザバッファはオーバーランしていません。 1：ユーザバッファオーバーランが発生しました。
12	UBU	0	R/WC0	ユーザバッファアンダラン* 送信モジュールユーザバッファがアンダランすると、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのTEIE ビットとUBUI ビットがセットされていると、割り込みが発生します。 0：ユーザバッファはアンダランしていません。 1：ユーザバッファアンダランが発生しました。
11	CE	0	R/WC0	クロックエラー* クロックリカバリの同期がとれなくなると、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのREIE ビットとCREI ビットがセットされていると、割り込みが発生します。 0：クロックリカバリ正常 1：クロックリカバリエラー
10	PARE	0	R/WC0	パリティエラー* パリティチェックの結果がエラーとなったとき、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのREIE ビットとPAEI ビットがセットされていると、割り込みが発生します。 0：パリティチェック正常 1：パリティエラー

ビット	ビット名	初期値	R/W	説明
9	PREE	0	R/WC0	<p>プリアンブルエラー*</p> <p>未定義プリアンブルやプリアンブルが正しい位置に現れなかったとき、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタの REIE ビットと PREI ビットがセットされていると、割り込みが発生します。</p> <p>【注】 ブロック開始のプリアンブルのあとでのみセットされます。</p> <p>0: プリアンブルは正しい位置にあります。</p> <p>1: プリアンブルエラー</p>
8	CSE	0	R/WC0	<p>チャンネルステータスエラー*</p> <p>チャンネルステータス情報が、送信状態にある 32 番目のフレームより前に書き込まれたとき、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタの TEIE ビットと CSEI ビットがセットされていると、割り込みが発生します。</p> <p>0: チャンネルステータス正常</p> <p>1: チャンネルステータスエラー</p>
7	ABO	0	R/WC0	<p>オーディオバッファオーバーラン*</p> <p>受信モジュールオーディオバッファが第1ステージと第2ステージが共にフル状態で、データが上書きされたことを示します。ビットに0を書き込むと、このビットはクリアされます。コントロールレジスタの REIE ビットと ABOI ビットがセットされていると、割り込みが発生します。</p> <p>0: 受信モジュールオーディオバッファはオーバーランしていません。</p> <p>1: 受信モジュールオーディオバッファオーバーランが発生しました。</p>
6	ABU	0	R/WC0	<p>オーディオバッファアンダラン*</p> <p>送信モジュールオーディオバッファが第1ステージと第2ステージともに空になり、最後のデータ転送が繰り返されたことを示します。ビットに0を書き込むと、このビットはクリアされます。コントロールレジスタの TEIE ビットと ABUI ビットがセットされていると、割り込みが発生します。</p> <p>0: 送信モジュールオーディオバッファはアンダランしていません。</p> <p>1: 送信モジュールオーディオバッファアンダランが発生しました。</p>

ビット	ビット名	初期値	R/W	説明
5	RUIR	0	R	<p>受信モジュールユーザ情報レジスタ</p> <p>受信モジュールユーザ情報レジスタの状態を示します。受信モジュールユーザレジスタを読み出すと、このビットはクリアされます。コントロールレジスタの RUII ビットがセットされていると、割り込みが発生します。</p> <p>0: 受信モジュールユーザ情報レジスタエンpty 1: 受信モジュールユーザ情報レジスタフル</p>
4	TUIR	0	R	<p>送信モジュールユーザ情報レジスタ</p> <p>送信モジュールユーザ情報レジスタの状態を示します。送信モジュールユーザレジスタに書き込むと、このビットはクリアされます。コントロールレジスタの TUII ビットがセットされていると、割り込みが発生します。</p> <p>0: 送信モジュールユーザ情報レジスタフル 1: 送信モジュールユーザ情報レジスタエンpty</p>
3	CSRX	0	R	<p>チャンネル 1、2 ステータス—受信モジュール</p> <p>受信モジュールチャンネルステータスレジスタの状態を示します。受信モジュールチャンネルステータスレジスタを読み出すと、このビットはクリアされます。コントロールレジスタの RCSI ビットがセットされていると、割り込みが発生します。</p> <p>0: 受信モジュールチャンネルステータスレジスタエンpty 1: 受信モジュールチャンネルステータスレジスタフル</p>
2	CBRX	0	R	<p>チャンネル 1、2 バッファ 受信モジュール</p> <p>受信モジュールオーディオチャンネルレジスタの状態を示します。受信モジュールオーディオチャンネルレジスタを読み出すと、このビットはクリアされます。コントロールレジスタの RCBI ビットがセットされていると、割り込みが発生します。</p> <p>0: 受信モジュールオーディオチャンネルレジスタエンpty 1: 受信モジュールオーディオチャンネルレジスタフル</p>
1	CSTX	0	R	<p>チャンネル 1、2 ステータス—送信モジュール</p> <p>送信モジュールチャンネルステータスレジスタの状態を示します。送信モジュールチャンネルステータスレジスタに書き込むと、このビットはクリアされます。コントロールレジスタの TCSI ビットがセットされていると、割り込みが発生します。</p> <p>0: 送信モジュールチャンネルステータスレジスタフル 1: 送信モジュールチャンネルステータスレジスタエンpty</p>

ビット	ビット名	初期値	R/W	説 明
0	CBTX	0	R	チャンネル 1、2 バッファ—送信モジュール 送信モジュールオーディオチャンネルレジスタの状態を示しま す。送信モジュールオーディオチャンネルレジスタに書き込むと、 このビットはクリアされます。コントロールレジスタの TCBI ビットがセットされていると、割り込みが発生します。 0：送信モジュールオーディオチャンネルレジスタフル 1：送信モジュールオーディオチャンネルレジスタエンプティ

【注】 * DMA 転送中にエラービットを検出した場合は、DMA 転送の再設定が必要です。この場合、ルネサス SPDIF モジ
 ュールイネーブルビット (RME または TME ビット)、DMA イネーブルビット (RDE または TDE ビット) を「禁
 止」に設定し、エラー状態を解除した上で、ダイレクトメモリアクセスコントローラを再設定してください。この
 後、モジュールイネーブルビットを「許可」に設定し DMA 転送を再開できます。

25.7.3 送信モジュールチャンネル1 オーディオレジスタ (TLCA)

ビット:	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W
ビット:	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~24	-	-	W	リザーブビット
23~0	オーディオ PCM データ	すべて0	W	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

25.7.4 送信モジュールチャンネル2 オーディオレジスタ (TRCA)

ビット:	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W
ビット:	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~24	-	-	W	リザーブビット
23~0	オーディオ PCM データ	すべて 0	W	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

25.7.5 送信モジュール DMA オーディオデータレジスタ (TDAD)

ビット:	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W
ビット:	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~24	-	-	W	リザーブビット
23~0	オーディオ PCM データ	すべて 0	W	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

25.7.6 送信ユーザデータレジスタ (TUI)

サブフレームの U ビットデータを書き込みます。U ビットデータはサブフレーム 1、サブフレーム 2 の順番で送信するため、16 フレームごとにデータを更新してください。ユーザバイトの内容については、使用するデバイスに対応するユーザ情報の規格を参照してください。送信するユーザビットは LSB 側から順番に設定します。

ビット:	31	30	29	28	27	26	25	24
	ユーザバイト4							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	23	22	21	20	19	18	17	16
	ユーザバイト3							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8
	ユーザバイト2							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
	ユーザバイト1							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
31~24	ユーザバイト4	すべて0	W	U ビット情報が格納されます。
23~16	ユーザバイト3	すべて0	W	
15~8	ユーザバイト2	すべて0	W	
7~0	ユーザバイト1	すべて0	W	

25.7.7 送信モジュールチャンネル 1 ステータスレジスタ (TLCS)

送信するチャンネルステータス情報は 30 ビットのレジスタに格納します。チャンネルステータス情報は 1 フレーム当たり各チャンネルごとに 192 ビットで構成されますが、必要なデータは下記レジスタに設定する 30 ビット分しかないため、最初の 30 ビットを送信したあとは 0 を送ります。

ビット :	31	30	29	28	27	26	25	24
	-	-	CLAC[1:0]		FS[3:0]			
初期値 :	-	-	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W
ビット :	23	22	21	20	19	18	17	16
	CHNO[3:0]				SRCNO[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W
ビット :	15	14	13	12	11	10	9	8
	CATCD[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W
ビット :	7	6	5	4	3	2	1	0
	-	-	CTL[4:0]				-	
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31、30	—	—	W	リザーブビット
29、28	CLAC[1:0]	すべて 0	W	クロック精度 00 : レベル 2 01 : レベル 1 10 : レベル 3 11 : 予約
27 ~ 24	FS[3:0]	すべて 0	W	サンプル周波数 (FS) 0000 : 44.1 kHz 0010 : 48 kHz 0011 : 32 kHz
23 ~ 20	CHNO[3:0]	すべて 0	W	チャンネル番号 0000 : Don't care 0001 : A (左チャンネル) 0010 : B (右チャンネル) 0011 : C

ビット	ビット名	初期値	R/W	説明
19~16	SRCNO[3:0]	すべて 0	W	送信元番号 0000 : Don't care 0001 : 1 0010 : 2 0011 : 3
15~8	CATCD[7:0]	すべて 0	W	カテゴリコード (例) 00000000 : 2 チャンネル汎用フォーマット 00000001 : 2 チャンネルコンパクトディスク (IEC908) 00000010 : 2 チャンネル PCM エンコーダ / デコーダ 00000011 : 2 チャンネルデジタルオーディオテープレコーダ
7、6	—	すべて 0	W	リザーブビット 書き込む値は常に 0 にしてください。
5~1	CTL[4:0]	すべて 0	W	コントロール コントロールビットは送信元からコピーされます (IEC60958 規格を参照)。
0	—	0	W	リザーブビット 書き込む値は常に 0 にしてください。

25.7.8 送信モジュールチャンネル 2 ステータスレジスタ (TRCS)

送信するチャンネルステータス情報は 30 ビットのレジスタに格納します。チャンネルステータス情報は 1 フレーム当たり各チャンネルごとに 192 ビットで構成されますが、必要なデータは下記レジスタに設定する 30 ビット分しかないため、最初の 30 ビットを送信した後は 0 を送ります。

ビット:	31	30	29	28	27	26	25	24
	-	-	CLAC[1:0]		FS[3:0]			
初期値:	-	-	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	23	22	21	20	19	18	17	16
	CHNO[3:0]			SRCNO[3:0]				
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8
	CATCD[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
	-	-	CTL[4:0]				-	
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31、30			W	リザーブビット
29、28	CLAC[1:0]	すべて 0	W	クロック精度 00 : レベル 2 01 : レベル 1 10 : レベル 3 11 : 予約
27 ~ 24	FS[3:0]	すべて 0	W	サンプル周波数 (FS) 0000 : 44.1 kHz 0010 : 48 kHz 0011 : 32 kHz
23 ~ 20	CHNO[3:0]	すべて 0	W	チャンネル番号 0000 : Don't care 0001 : A (左チャンネル) 0010 : B (右チャンネル) 0011 : C

ビット	ビット名	初期値	R/W	説明
19~16	SRCNO[3:0]	すべて 0	W	送信元番号 0000 : Don't care 0001 : 1 0010 : 2 0011 : 3
15~8	CATCD[7:0]	すべて 0	W	カテゴリコード (例) 00000000 : 2 チャンネル汎用フォーマット 00000001 : 2 チャンネルコンパクトディスク (IEC908) 00000010 : 2 チャンネル PCM エンコーダ / デコーダ 00000011 : 2 チャンネルデジタルオーディオテープレコーダ
7、6		すべて 0	W	リザーブビット 書き込む値は常に 0 にしてください。
5~1	CTL[4:0]	すべて 0	W	コントロール コントロールビットは送信元からコピーされます (IEC60958 規格を参照)。
0		0	W	リザーブビット 書き込む値は常に 0 にしてください。

25.7.9 受信モジュールチャンネル1 オーディオレジスタ (RLCA)

ビット :	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値 :	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R
ビット :	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 24			R	リザーブビット
23 ~ 0	オーディオ PCM データ	すべて 0	R	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

25.7.10 受信モジュールチャンネル2 オーディオレジスタ (RRCA)

ビット:	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R
ビット:	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24			R	リザーブビット
23~0	オーディオ PCM データ	すべて 0	R	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

25.7.11 受信モジュール DMA オーディオデータ (RDAD)

ビット :	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値 :	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R
ビット :	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 24			R	リザーブビット
23 ~ 0	オーディオ PCM データ	すべて 0	R	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

25.7.12 受信ユーザデータレジスタ (RUI)

ルネサス SPDIF をととして受信したサブフレームの U ビットデータが格納されます。LSB 側からサブフレーム 1、サブフレーム 2 の順番で U ビット情報が格納されるため、16 フレームごとに読み出してください。ユーザバイトの内容については、使用するデバイスに対応する規格を参照してください。

ビット:	31	30	29	28	27	26	25	24
	ユーザバイト4							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	23	22	21	20	19	18	17	16
	ユーザバイト3							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8
	ユーザバイト2							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	ユーザバイト1							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~24	ユーザバイト4	すべて0	R	U ビット情報が格納されます。
23~16	ユーザバイト3	すべて0	R	
15~8	ユーザバイト2	すべて0	R	
7~0	ユーザバイト1	すべて0	R	

25.7.13 受信モジュールチャンネル 1 ステータスレジスタ (RLCS)

チャンネルステータスは、ブロック開始から受信したサブフレーム 1 が順番にレジスタの LSB ビットより格納されます。チャンネルステータスの内容は IEC-60958 を参照してください。

ビット :	31	30	29	28	27	26	25	24	
	-	-	CLAC[1:0]		FS[3:0]				
初期値 :	-	-	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	
ビット :	23	22	21	20	19	18	17	16	
	CHNO[3:0]				SRCNO[3:0]				
初期値 :	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	
	CATCD[7:0]								
初期値 :	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	
ビット :	7	6	5	4	3	2	1	0	
	-	-	CTL[4:0]				-		
初期値 :	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
31、30	—	—	R	リザーブビット
29、28	CLAC[1:0]	すべて 0	R	クロック精度 00 : レベル 2 01 : レベル 1 10 : レベル 3 11 : 予約
27~24	FS[3:0]	すべて 0	R	サンプル周波数 (fs) 0000 : 44.1 kHz 0010 : 48 kHz 0011 : 32 kHz
23~20	CHNO[3:0]	すべて 0	R	チャンネル番号 0000 : Don't care 0001 : A (左チャンネル) 0010 : B (右チャンネル) 0011 : C

ビット	ビット名	初期値	R/W	説 明
19~16	SRCNO[3:0]	すべて 0	R	送信元番号 0000 : Don't care 0001 : 1 0010 : 2 0011 : 3
15~8	CATCD[7:0]	すべて 0	R	カテゴリコード (例) 00000000 : 2 チャンネル汎用フォーマット 00000001 : 2 チャンネルコンパクトディスク (IEC908) 00000010 : 2 チャンネル PCM エンコーダ / デコーダ 00000011 : 2 チャンネルデジタルオーディオテープレコーダ
7、6	—	すべて 0	R	リザーブビット
5~1	CTL[4:0]	すべて 0	R	コントロール コントロールビットは送信元からコピーされます (IEC60958 規格を参照)。
0	—	0	R	リザーブビット

25.7.14 受信モジュールチャンネル2 ステータスレジスタ (RRCS)

チャンネルステータスは、ブロック開始から受信したサブフレーム2が順番にレジスタのLSBビットより格納されます。チャンネルステータスの内容はIEC-60958を参照してください。

ビット:	31	30	29	28	27	26	25	24
	-	-	CLAC[1:0]		FS[3:0]			
初期値:	-	-	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	23	22	21	20	19	18	17	16
	CHNO[3:0]				SRCNO[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8
	CATCD[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	-	-	CTL[4:0]				-	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30		-	R	リザーブビット
29、28	CLAC[1:0]	すべて0	R	クロック精度 00: レベル2 01: レベル1 10: レベル3 11: 予約
27~24	FS[3:0]	すべて0	R	サンプル周波数 (fs) 0000: 44.1 kHz 0010: 48 kHz 0011: 32 kHz
23~20	CHNO[3:0]	すべて0	R	チャンネル番号 0000: Don't care 0001: A (左チャンネル) 0010: B (右チャンネル) 0011: C

ビット	ビット名	初期値	R/W	説 明
19~16	SRCNO[3:0]	すべて 0	R	送信元番号 0000 : Don't care 0001 : 1 0010 : 2 0011 : 3
15~8	CATCD[7:0]	すべて 0	R	カテゴリコード (例) 00000000 : 2 チャンネル汎用フォーマット 00000001 : 2 チャンネルコンパクトディスク (IEC908) 00000010 : 2 チャンネル PCM エンコーダ / デコーダ 00000011 : 2 チャンネルデジタルオーディオテープレコーダ
7、6		すべて 0	R	リザーブビット
5~1	CTL[4:0]	すべて 0	R	コントロール コントロールビットは送信元からコピーされます (IEC60958 規格を参照)。
0		0	R	リザーブビット

25.8 機能の説明 - 送信モジュール

25.8.1 送信モジュール

送信モジュールは、送信する PCM データおよび補助情報を IEC60958 規格 (SPDIF) に適合したバイフェーズマーク方式の変調にエンコードして送信します。

送信モジュールのクロックは、外部から供給されるオーバサンプリングクロックです。このクロックは通常バイフェーズマーク方式のエンコードに必要なクロック周波数の 8 倍の周波数でオーバサンプルとなる値を選択します。この場合、サブフレーム内にある 32 個タイムスロットの送信に必要なクロック周波数は、オーディオデータのサンプル周波数の 512 倍となります。

オーディオデータとチャンネルステータス情報は、まずモジュールのチャンネル 1 に、次にチャンネル 2 に書き込みます。チャンネルステータスは、一般には情報が変化したときのみ書き込みが必要となります。チャンネルステータスの書き込みは 30 フレーム後 (現在のチャンネルステータスデータの送信がすべて完了したとき) に SPDIF モジュールから要求されるため、31 フレームから次のブロック = 192 フレームが開始する前に書き込みをしてください。

オーディオデータは、ダブルバッファ構成で格納します。ダブルバッファの第 1 ステージにデータがなくなったことを確認する手段には、割り込み要求を送る方法とステータスレジスタを読み出す 2 つがあります。DMA 転送は、最初の要求でチャンネル 1 オーディオデータを、2 番目の要求でチャンネル 2 オーディオデータを送信します。

送信するチャンネルステータス情報はチャンネル 1、2 の 30 ビットのレジスタに設定します。チャンネルステータス情報は 1 ブロック間では各チャンネル当たり 192 ビットとなりますが、必要なデータは 30 ビット分しかないため、ルネサス SPDIF モジュールでは最初の 30 ビットを送信した後はブロックが完了するまでゼロを送信します。

ユーザデータは 32 ビットのダブルバッファ配列です。ダブルバッファの第 1 ステージが空の状態は、割り込みによる要求かステータスレジスタを読み出すことにより確認します。一般にユーザデータ情報はブロック間のデータ長では不足し、チャンネル 1、チャンネル 2 の順に送信し、1 ブロック間のユーザデータは 384 ビット送信後、次のブロックも連続して送信します。

ルネサス SPDIF モジュールでは扱うオーディオデータはリニア PCM で、設定できるサイズは最大 24 ビットです。このため、オーディオデータがリニア PCM であることを示す V フラグは常に 0 となります。V フラグはレジスタによる設定はありません。シリアル出力データの 32 ビット (プリアンプルは含まず) ごとに偶数パリティを生成します。

【注】 送信モジュールユーザバッファのアンダランが発生すると、次のデータが書き込まれるまで、SPDIF のバッファにある現在のデータを送信します。

25.8.2 送信モジュールの初期化

送信モジュールは、リセット後にデフォルトでアイドル状態に遷移します。また、CTRL レジスタの TME ビットに 0 を書き込んでアイドル状態に遷移させることもできます。アイドル状態では、送信モジュールは次のような設定になります。

- 送信モジュールのアイドルステータスビット (TIS) は 1 にセットされ、その他のステータスビットはすべて 0 にクリアされます。
- プリアンプル生成が無効になります。
- チャンネル 1、2 の同期が 0 にセットされます (チャンネル 1 : 0、チャンネル 2 : 1)。
- ワードカウントとフレームカウントが 0 になります。
- バイフェーズマークによるエンコーダからの出力が 0 になります。

チャンネルステータスレジスタ、ユーザデータレジスタ、オーディオデータレジスタは、アイドル状態に遷移する前の値を保持します。アイドル状態から復帰するには、CTRL レジスタの TME ビットに 1 を書き込んでください。

25.8.3 送信モジュールの初期設定

TME ビットを 1 にセットすると、TUIR ビットおよび CSTX ビットが 1 にセットされますが、このとき、1) TUI、2) TLCS、TRCS の順にデータを書き込むと、チャンネルステータスエラーが発生します。エラーの発生を抑えるには、1) TLCS、TRCS、2) TUI の順に書き込んでください。

また、TME ビットを 1 にセットした後、最初のオーディオデータの書き込み (CPU アクセスによる TLCA、TRCA への書き込み、または、DMA 転送による TDAD への書き込み) は、TLCS、TRCS、TUI への書き込み後、CSTX および TUIR がクリアされたことを確認してから行ってください。

25.8.4 送信モジュールのデータ転送

送信モジュールがアイドル状態から復帰すると、データ転送が可能になります。データ転送は、3つの方法のいずれかで開始できます。割り込みで転送を行う方法、DMA 要求で行う方法、ステータスレジスタを読み出して行う方法です。送受信に共通な割り込み信号と、送信モジュール用の単独の DMA 要求信号が用意されています。

図 25.5 に、割り込みを用いた送信モジュールのデータ転送を示します。

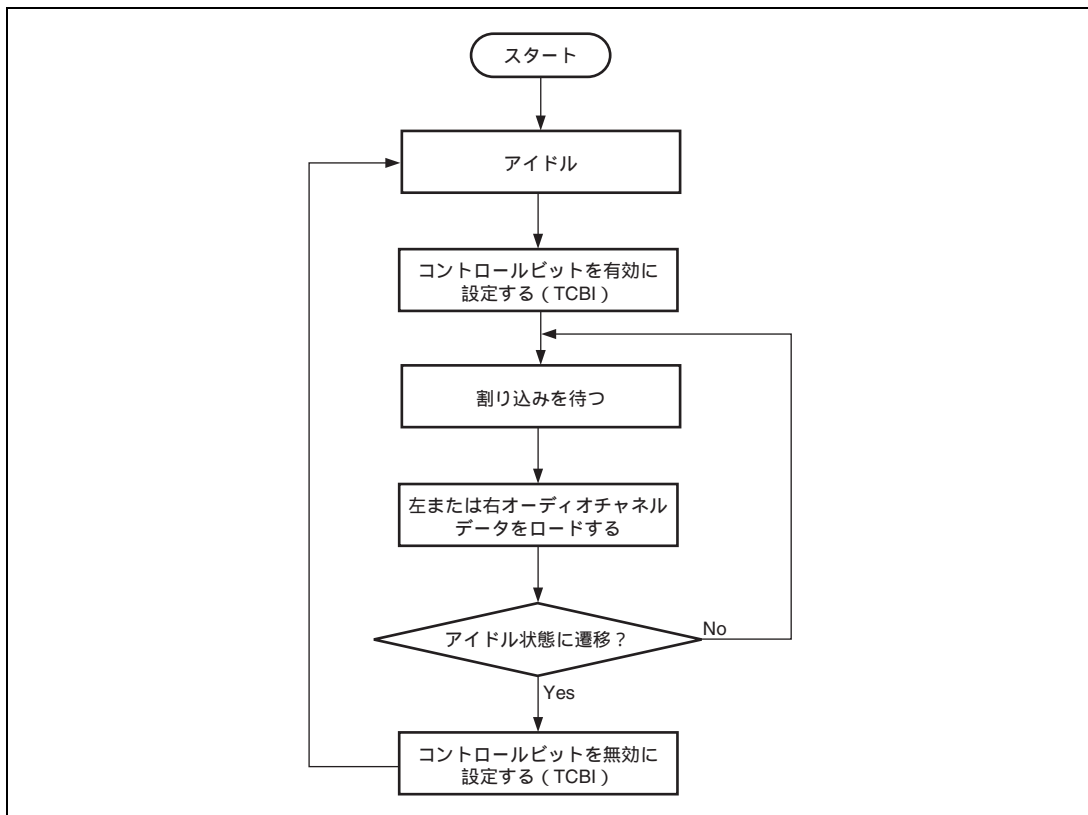


図 25.5 送信モジュールのデータ転送フロー（割り込みによる方法）

図 25.6 に、DMA 要求を用いた送信モジュールのデータ転送を示します。

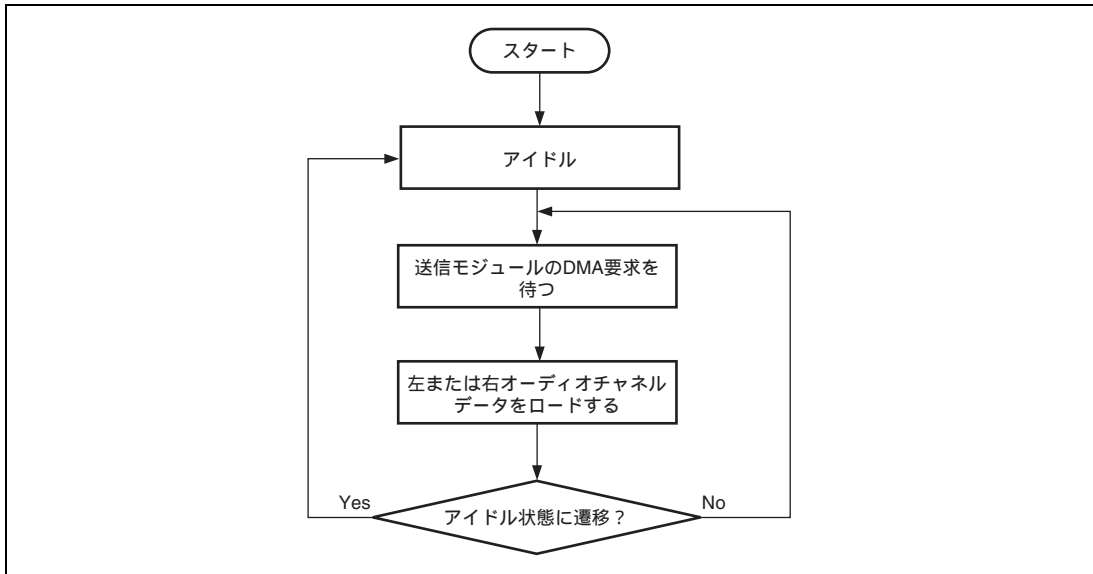


図 25.6 送信モジュールデータ転送フロー（DMA 要求による方法）

チャンネルステータス情報は、その情報が変化したときに更新します。更新する場合は、次のブロックを送信する前に行わなければならないため、更新するチャンネルステータスは、30 フレームの送信が完了したあとに書き込んでください。30 フレームの送信完了は、割り込みで通知するか、またはステータスビットを読み出して検出することができます。30 フレームの送信が完了する前（現在の情報の送信中）にチャンネルステータス情報を書き込むと、ステータスレジスタのチャンネルステータスエラービット（CSE）がセットされ、割り込みが発生します。

【注】 30 フレームで、1 つのチャンネルステータスブロックの有効な情報をすべて送信することができます。

25.9 機能の説明 - 受信モジュール

25.9.1 受信モジュール

受信モジュールは、IEC60958 規格でエンコードされた入力からデータとクロックを復調します。復調されたデータはリア PCM 形式のデータでオーディオデータレジスタに格納され、補助情報として同時に受信されるチャンネルステータスとユーザ情報はレジスタに格納されます。

受信モジュールのメインクロックは、外部から供給されるオーバサンプリングクロックです。受信モジュールは、オーバサンプリングクロックの 4 倍の周波数で動作します。

【注】 送信モジュールと受信モジュールのオーバサンプリングクロックは同一です。

パルス幅カウンタと平均化フィルタを用いてクロックリカバリを行い、入力データの各ビットの中間点でサンプリングパルスを発生するようにします。クロックエラーステータスビットは、クロック同期ミスを示します。入力データに最初のプリアンプルが現れたとき、同期がとられます。調整を継続することで、ジッタやクロック変動がクロックリカバリ規定の範囲内である間は、そのクロックリカバリへの影響を抑えることができます。

クロックリカバリが成功すると、バイフェーズマーク方式によるデコーダがプリアンプル検出を開始します。デコーダはブロック開始のプリアンプル(表 25.2 参照)を検索します。プリアンプルエラーステータスビットは、次のプリアンプルが正しいタイミングで現れなかったことを示します。これは、転送の抜けや障害によるものと考えられます。

デコードしたデータに対し、偶数パリティチェックを行います。不一致があると、パリティエラーステータスビットがセットされます。

SPDIF モジュールは、オーディオデータ以外に、ユーザデータとチャンネルステータス情報を取り出します。オーディオデータは、ダブルバッファ構成で格納します。バッファフル状態による割り込み要求送信か、またはステータスビットを読み出すことで、データが読み出し可能になったことを検出できます。DMA 転送は、最初の要求でチャンネル 1 オーディオデータを、2 番目の要求でチャンネル 2 オーディオデータを転送します。

チャンネルステータス情報は 30 ビットのレジスタに格納します。チャンネルステータス情報は、1 サブフレームあたり 1 ビットずつ受信しているため、各チャンネル分合計 30 フレームを受信するまではレジスタへの格納が完了しません。新しいチャンネルステータス情報を現在のデータと比較し、変化があったときだけ CPU が新しい情報を読み出します。同時にユーザデータも受信しますが、ユーザデータはサブフレームごとにレジスタに格納するため、16 フレームで受信が完了します。

- 【注】
1. チャンネルステータス情報データ要求は、DMA 転送できません。
 2. 受信モジュールユーザバッファのオーバーランが発生すると、SPDIF のバッファにある現在のデータは、SPDIF インタフェースから入力される次のデータで上書きされます。

25.9.2 受信モジュールの初期化

受信モジュールは、リセット後にデフォルトでアイドル状態に遷移します。また、CTRL レジスタの RME ビットに 0 を書き込んでアイドル状態に遷移させることもできます。アイドル状態では、受信モジュールは次のような設定になります。

- 受信モジュールのアイドルステータスビットは 1 にセットされ、その他のステータスビットはすべて 0 にクリアされます。
- チャンネル 1、2 の同期が 0 にセットされます (チャンネル 1 : 0、チャンネル 2 : 1)。
- ワードカウントとフレームカウントが 0 になります。

チャンネルステータスレジスタ、ユーザデータレジスタ、オーディオデータレジスタは、アイドル状態に遷移する前の値を保持します。アイドル状態から復帰するには、CTRL レジスタの RME ビットに 1 を書き込んでください。

25.9.3 受信モジュールのデータ転送

受信モジュールがアイドル状態から復帰するとデータ転送が可能になります。データ転送は、3 つの方法のいずれかで開始できます。割り込みで転送を行う方法、ステータスレジスタを読み出して行う方法、DMA 要求で行う方法です。送受信に共通な割り込み信号と、受信モジュール用の単独の DMA 要求信号が用意されています。受信モジュールへのデータ転送中、以下の要因によるエラー信号で、割り込みが発生する可能性があります。

1. クロックリカバリエラー
2. 転送ミスまたは障害 プリアンブルエラーで通知
3. パリティチェックエラー

転送ミスまたは障害の場合、サブフレーム開始またはブロック開始のプリアンブルの位置がずれたり、現れなかったりします。

パリティチェックエラーは、パリティビットが誤っている場合に発生します。このエラーは、上記のどの要因でも発生する可能性があります。

- クロックリカバリの許容差
クロックリカバリの受信マージンは、以下の式で表します。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M : 受信マージン

N : オーバサンプリング速度

L : フレーム長 = 33

D : デューティサイクル = 0.6

F : オーバサンプリングクロック偏差 = レベル II 精度 = $1000 \times 10e^{-6}$

図 25.7 に、受信マージン M を示します。

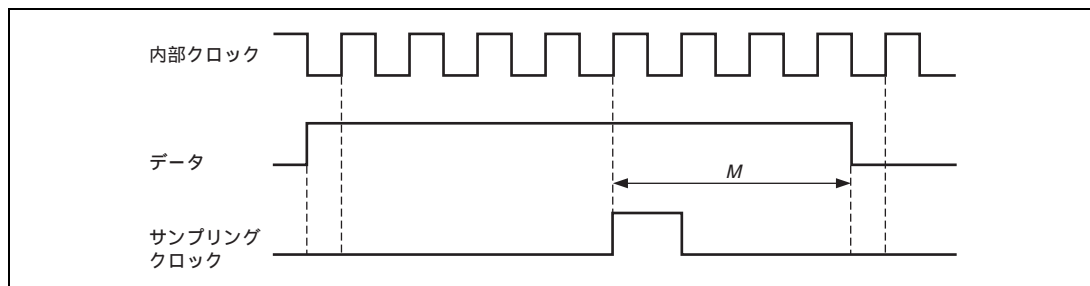


図 25.7 受信マージン

上記の式にジッタを導入した場合、以下の不等式で表します。

$$j \leq \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

J : クロックジッタ

8 倍のオーバサンプリング速度：受信マージン = 39.25%

4 倍のオーバサンプリング速度：受信マージン = 31.75%

2 倍のオーバサンプリング速度：受信マージン = 16.75%

最速のサンプル周波数は 48kHz です。この場合、必要なクロック周波数は、 $128 \times 48\text{kHz} = 6.144\text{MHz}$ です。1 サイクル中の最悪ケースのジッタは、40ns = 周期の 24.5%と定められています。したがって、4 以上のオーバサンプリング速度であれば、上記の不等式が満たされます。

図 25.8 に、割り込みを用いた受信モジュールのデータ転送を示します。

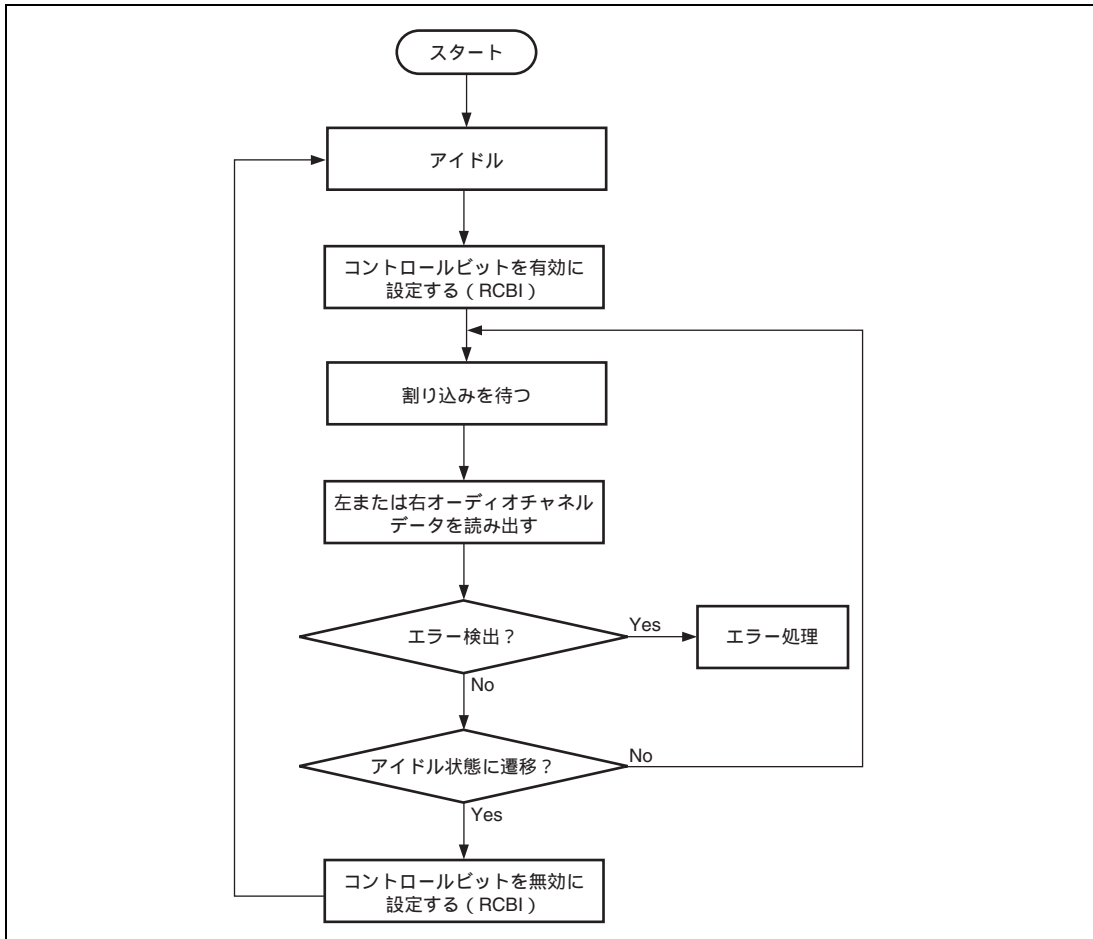


図 25.8 受信モジュールのデータ転送フロー（割り込みによる方法）

チャンネルステータス情報レジスタに情報が格納されたことを通知する割り込みは、30 番目のフレーム受信が完了したあとで情報が変化したときのみ発生します。

25.10 モジュールの停止

25.10.1 送信モジュールと受信モジュールのアイドル状態

送信モジュールと受信モジュールは、コントロールレジスタのアイドルビット(送信モジュールは TME ビット、受信モジュールは RME ビット)に 0 を書き込むことで、動作を無効にできます。このアイドル状態は、ステータスレジスタのアイドルビット(送信モジュールは TIS ビット、受信モジュールは RIS ビット)を読み出すことで検出できます。

25.11 圧縮モードデータ

圧縮モードデータは、IEC61937 仕様で定義されています。SPDIF モジュールは、圧縮モードデータの検出のみを行います。バリディティフラグ(V フラグ)とチャンネルステータスデータのビット 1 をチェックし、両方とも 1 の場合は圧縮モードデータとしてステータスレジスタの CMD ビットに設定します。

【注】 受信モジュールのみが圧縮モードデータを検出します。この情報は、送信モジュールには関係がありません。

25.12 参考

IEC60958 デジタルオーディオインタフェース

IEC61937 圧縮モードデジタルオーディオインタフェース

25.13 使用上の注意

25.13.1 TUIR のクリアについて

TUI に書き込んだ後、TUIR がクリアされるまで、最大 1 フレーム分の送信の完了を待つ必要があります。送信モジュールユーザ情報割り込みによって TUI にデータを書き込む場合は、割り込みを誤って再度受け付けられないように、TUIR がクリアされたことを確認してから、割り込み処理ルーチンを終了させてください。

25.13.2 オーディオ用入力クロックの周波数

AUDIO X1、AUDIO X2 または AUDIO CLK に入力するクロックの周波数は、P1 の周波数よりも低くしてください。

26. CD-ROM デコーダ

CD-ROM デコーダは、CD-DSP から転送されたストリームデータの ROM デコード処理を行います。CD-DA^{*1} の場合には、ストリームデータは PCM データになっていますので、CD-ROM デコーダには入力されません。CD-ROM^{*2} の場合に、ストリームデータを入力し、同期コード検出・保護、デスクランブル、ECC 訂正、EDC チェックを行い、ストリームデータを出力します。

ただし、ストリームデータは、シリアルサウンドインタフェースを経由して CD-ROM データが転送されることを前提としています。したがって、CD 規格にあるサブコードの処理は行いません。

- 【注】 *1 JIS S 8605 (Red Book) に準拠
*2 JIS X 6281 (Yellow Book) に準拠

26.1 特長

- 同期コード検出・保護

CD-ROM同期コードを検出します。また、キズ等により同期コードを検出できなかったときは、同期コードを保護（自動挿入）します。

保護の種類としては、自動同期保護モード、外部同期保護モード、内挿同期モードおよび、内挿/外部同期保護モードがあります。

- デスクランブル
- ECC訂正

P訂正、Q訂正、PQ訂正、QP訂正が実施できます。

PQ訂正、QP訂正は繰り返し訂正をすることができ、最大で3回訂正できます。ただし、CDの倍速に依存しており、例えば、CD-ROMデコーダの動作周波数を60MHz、CD2倍速とすると、最大で3回の繰り返し訂正ができます。

ECC訂正には、2面のバッファを持っており、1面でストリームデータを受信しながら、もう1面でECC訂正を行う並列動作が可能です。

- EDCチェック

EDCのチェックは、ECC訂正前後に行います。ECC前のEDCチェックがOKであった場合、シンドローム演算結果によらずECC訂正を行わないモードもあります。

- バッファリングデータ制御

CD-ROMデコーダは、同期コードを先頭とする特定のフォーマットでバッファリング領域へデータを出力します。

26.1.1 データフォーマット

本モジュールは、図 26.1 の 5 種類のフォーマットをサポートしています。

Mode0	同期 (12バイト)	ヘッダ (4バイト)	All 0				
Mode1	同期 (12バイト)	ヘッダ (4バイト)	データ (2048バイト)	EDC (4バイト)	0 (8バイト)	P/パリティ (172バイト)	Q/パリティ (104バイト)
Mode2 (notXA)	同期 (12バイト)	ヘッダ (4バイト)	データ (2336バイト)				
Mode2 Form1	同期 (12バイト)	ヘッダ (4バイト)	サブヘッダ (8バイト)	データ (2048バイト)	EDC (4バイト)	P/パリティ (172バイト)	Q/パリティ (104バイト)
Mode2 Form2	同期 (12バイト)	ヘッダ (4バイト)	サブヘッダ (8バイト)	データ (2324バイト)		EDC (4バイト)	

図 26.1 データフォーマット

26.2 ブロック図

図 26.2 に CD-ROM デコーダ機能を実現するための、本 LSI での CD-ROM デコーダ機能と、周辺バスに接続するためのバスブリッジを示します。

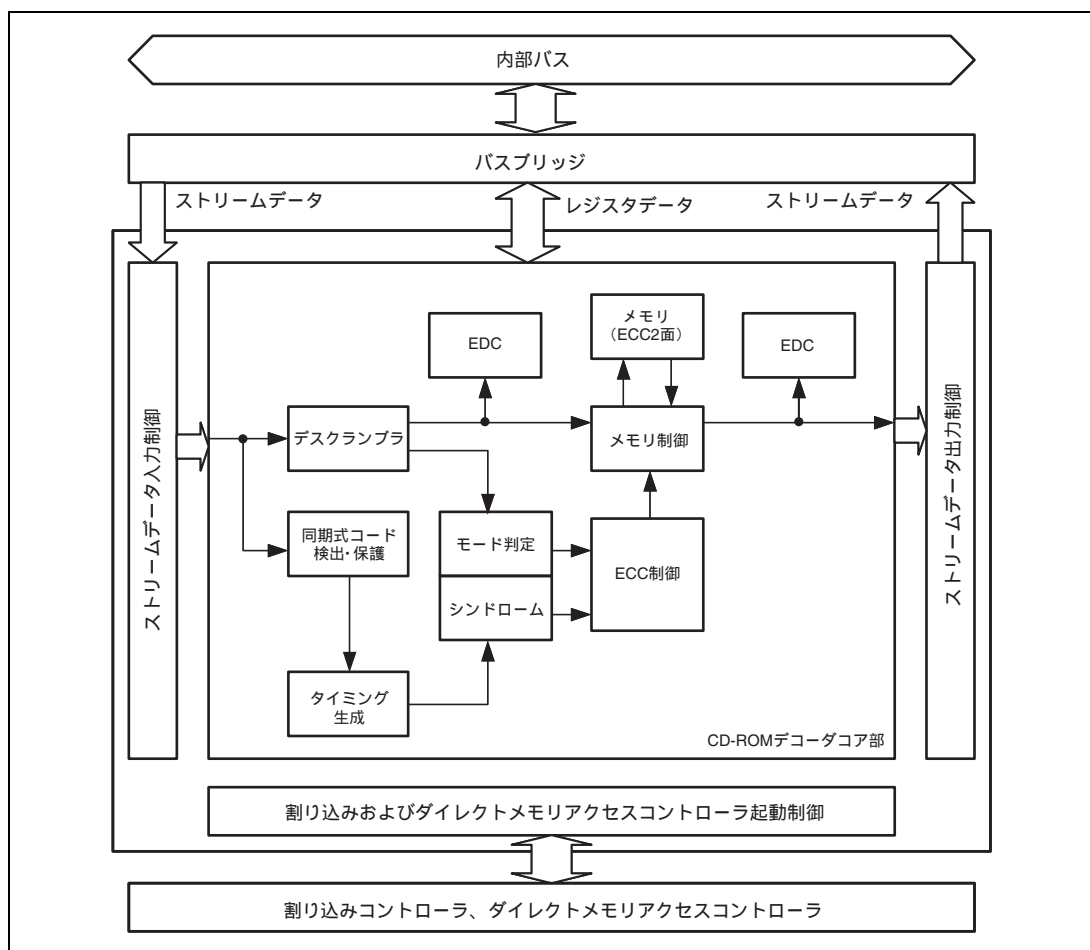


図 26.2 ブロック図

CD-ROM デコーダコア部は、CD-ROM デコードをするために必要なデスクランブル機能、同期コードの検出、ECC (P、Q 訂正) 機能、EDC チェック機能を実行します。メモリは 2 セクタ分持っています。

内部バスからのデータは入出力各々1系統ですが、バスブリッジ論理で、レジスタアクセスポートとストリームデータポートに分岐します。

CD-DSP からのストリームデータは、シリアルサウンドインタフェースを経由し、ストリームデータ入力制御ブロックに転送します。それから CD-ROM デコーダを通過し、デスクランブル、ECC 訂正、EDC チェック後、1セクタ分のデータが揃います。その後、ストリームデータ出力制御ブロックを経由し、ストリームデータバッファ内に転送します。ストリームデータの転送はダイレクトメモリアクセスコントローラによる方法と、CPU による方法があります。

図 26.3 にバスブリッジ部のブロック図を示します。

入力ストリームデータはシリアルサウンドインタフェースから転送されるため転送ピッチは遅いですが、出力ストリームデータはすでに CD-ROM デコーダコア内にあるため、高速での転送が可能です。また、出力ストリームデータは SDRAM 等にバッファリングするため、SDRAM ビジー率を下げるために、高速で転送する必要があります。そこで、内部バスからの出力ストリームデータ読み出しリクエストが CD-ROM デコーダにくる前に、データを先読みし、バスブリッジ内レジスタにストリームデータを蓄えておき、内部バスからのリクエストがきたら、すぐにデータを内部バスへ出力可能な状態にしています。それゆえ、すでに出力ストリームデータが先読みされ、レジスタに蓄えられている状態で、他のレジスタ読み出しリクエストがくる場合もあります。そのため、本モジュールは出力ストリームデータ用レジスタと他のレジスタ読み出し用の中継レジスタを別々に持っています。

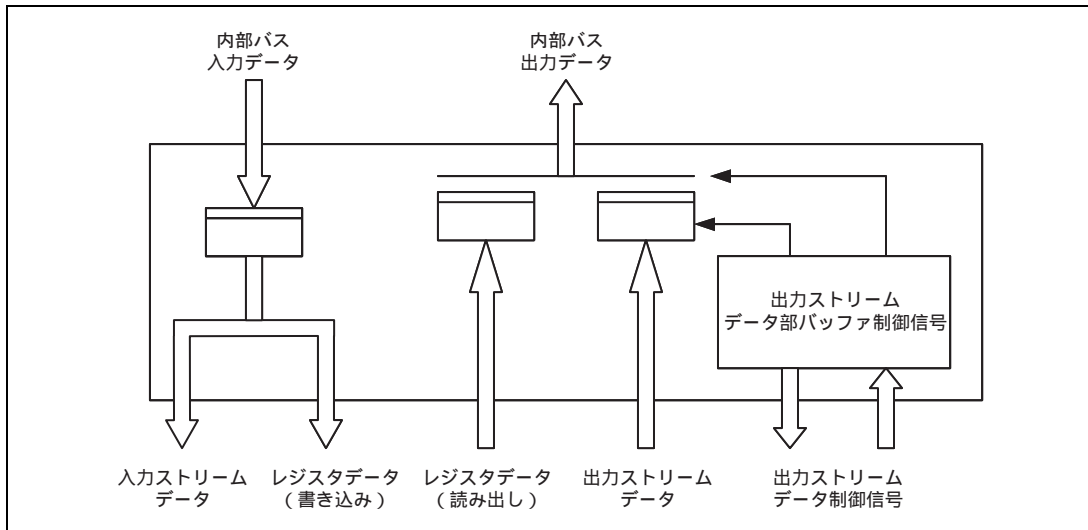


図 26.3 バスブリッジ部のブロック図

図 26.4 にストリームデータ入力制御ブロック図を示します。ストリームデータ入力制御部は、入力ストリームデータの制御論理と、CD-ROM デコーダの制御モードを変えるレジスタを持っています。

シリアルサウンドインタフェースから転送されてきたデータは、シリアルサウンドインタフェースのモードによりエンディアンの違いで転送順番が変わったり、パディングデータが転送されたりします。こういった種々のデータに対応するために、動作モードを変えるレジスタを備えていたり、CD-ROM デコーダコア部を制御する制御信号を生成したりします。入力ストリームデータ保持レジスタは、16 ビット 2 面のレジスタを持っています。レジスタで設定されたモードにより、先にシリアルサウンドインタフェースから転送されてきた 16 ビットデータを先に CD-ROM デコーダコア部に供給したり、後に送られてきた 16 ビットを先に供給したりすることができます。また、パディングデータを CD-ROM デコーダコア部に供給しないようにすることも可能です。

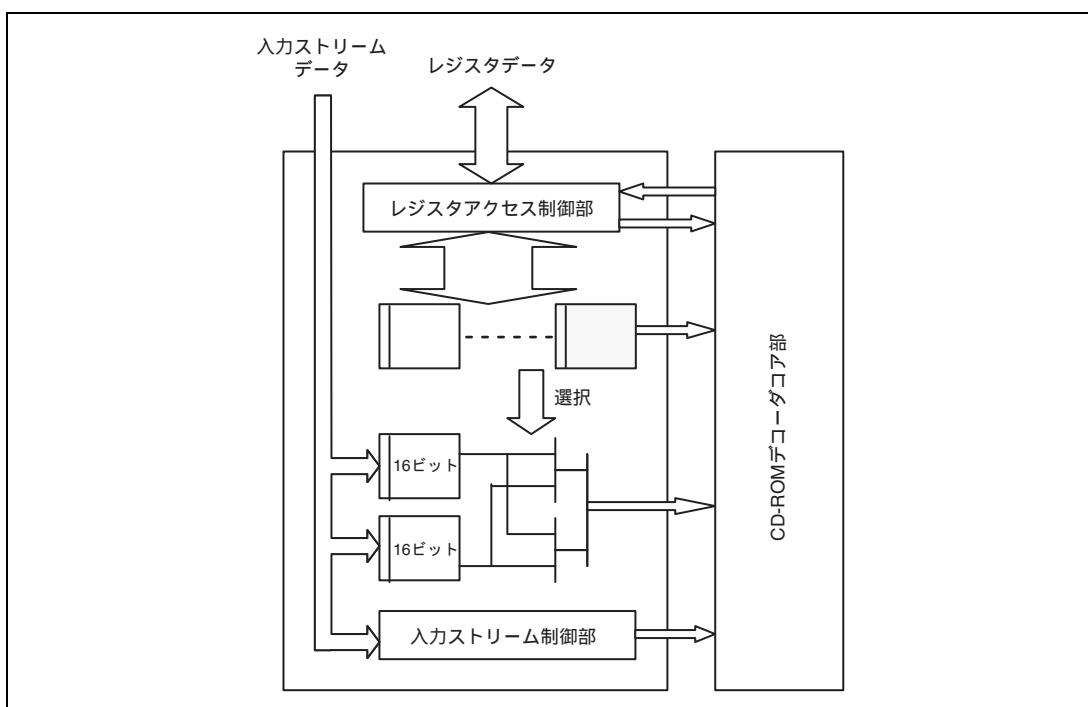


図 26.4 ストリームデータ入力制御ブロック図

図 26.5 にストリームデータ出力制御ブロック図を示します。

CD-ROM デコーダコア部から 1 セクタ分の CD-ROM データが揃ったことを認識し、バスブリッジ部にある出力ストリームデータレジスタの空き状態を確認して、CD-ROM デコーダコア部から出力ストリームデータを取得します。

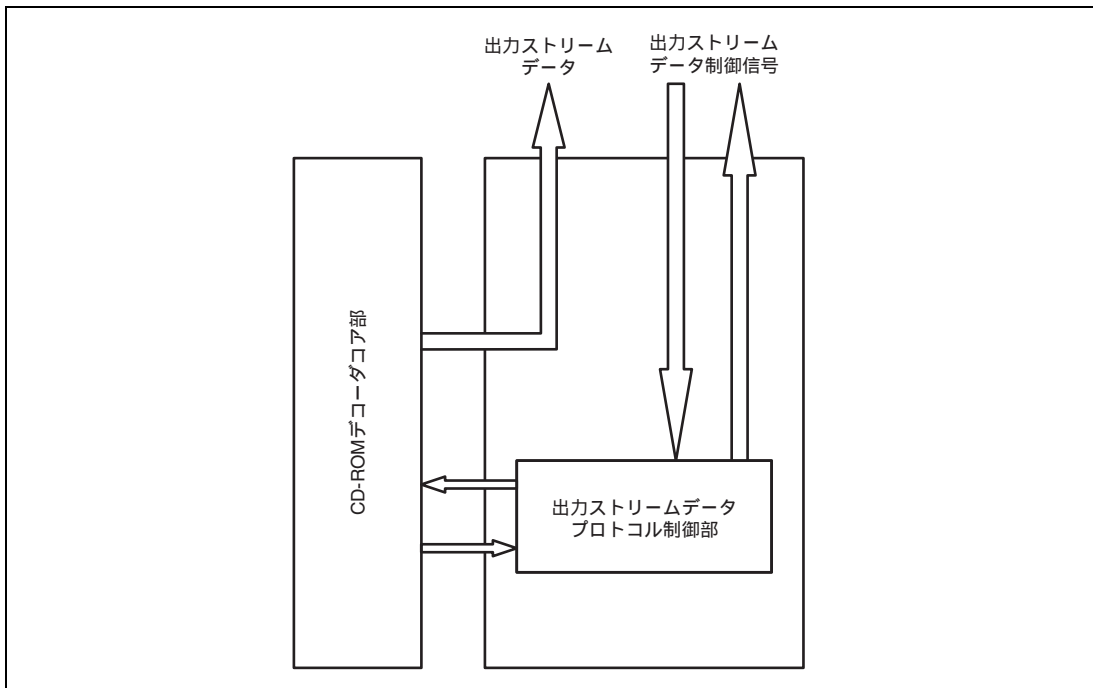


図 26.5 ストリームデータ出力制御ブロック図

割り込みおよびダイレクトメモリアクセスコントローラ起動制御では、割り込みの保留やフラグクリア、割り込みのマスク、ダイレクトメモリアクセスコントローラへの起動信号アサートと、転送データ量を検出し起動信号をネグートする機能を持っています。

26.3 レジスタの説明

表 26.1 にレジスタ構成を示します。

表 26.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
イネーブルコントロールレジスタ	CROMEN	R/W	H'00	H'E8005000	8
同期コードの同期制御コントロールレジスタ	CROMSY0	R/W	H'89	H'E8005001	8
デコーディングモードコントロールレジスタ	CROMCTL0	R/W	H'82	H'E8005002	8
EDC、ECC チェック制御コントロールレジスタ	CROMCTL1	R/W	H'D1	H'E8005003	8
デコード処理自動停止コントロールレジスタ	CROMCTL3	R/W	H'00	H'E8005005	8
デコードオプション設定コントロールレジスタ	CROMCTL4	R/W	H'00	H'E8005006	8
HEAD20～22 表示コントロールレジスタ	CROMCTL5	R/W	H'00	H'E8005007	8
同期コードステータスレジスタ	CROMST0	R	H'00	H'E8005008	8
ECC 後のヘッダに対するエラーステータスレジスタ	CROMST1	R	H'00	H'E8005009	8
ECC 後のサブヘッダに対するエラーステータスレジスタ	CROMST3	R	H'00	H'E800500B	8
ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ	CROMST4	R	H'00	H'E800500C	8
モード判定結果とリンクセクタ検出ステータスレジスタ	CROMST5	R	H'00	H'E800500D	8
ECC、EDC エラーステータスレジスタ	CROMST6	R	H'00	H'E800500E	8
バッファステータスレジスタ	CBUFST0	R	H'00	H'E8005014	8
デコード中止要因ステータスレジスタ	CBUFST1	R	H'00	H'E8005015	8
バッファオーバーフローステータスレジスタ	CBUFST2	R	H'00	H'E8005016	8
ECC 訂正前ヘッダ部-MINUTES データレジスタ	HEAD00	R	H'00	H'E8005018	8
ECC 訂正前ヘッダ部-SECONDS データレジスタ	HEAD01	R	H'00	H'E8005019	8
ECC 訂正前ヘッダ部-FRAMES (1/75 秒) データレジスタ	HEAD02	R	H'00	H'E800501A	8
ECC 訂正前ヘッダ部-MODE データレジスタ	HEAD03	R	H'00	H'E800501B	8
ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ	SHEAD00	R	H'00	H'E800501C	8
ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ	SHEAD01	R	H'00	H'E800501D	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ECC 訂正前サブヘッダ部-サブモード (BYTE-18) データレジスタ	SHEAD02	R	H'00	H'E800501E	8
ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データレジスタ	SHEAD03	R	H'00	H'E800501F	8
ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ	SHEAD04	R	H'00	H'E8005020	8
ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ	SHEAD05	R	H'00	H'E8005021	8
ECC 訂正前サブヘッダ部-サブモード (BYTE-22) データレジスタ	SHEAD06	R	H'00	H'E8005022	8
ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データレジスタ	SHEAD07	R	H'00	H'E8005023	8
ECC 訂正後ヘッダ部-MINUTES データ レジスタ	HEAD20	R	H'00	H'E8005024	8
ECC 訂正後ヘッダ部-SECONDS データ レジスタ	HEAD21	R	H'00	H'E8005025	8
ECC 訂正後ヘッダ部-FRAMES (1/75 秒) データレジスタ	HEAD22	R	H'00	H'E8005026	8
ECC 訂正後ヘッダ部-MODE データレジスタ	HEAD23	R	H'00	H'E8005027	8
ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ	SHEAD20	R	H'00	H'E8005028	8
ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ	SHEAD21	R	H'00	H'E8005029	8
ECC 訂正後サブヘッダ部-サブモード (BYTE-18) データレジスタ	SHEAD22	R	H'00	H'E800502A	8
ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データレジスタ	SHEAD23	R	H'00	H'E800502B	8
ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ	SHEAD24	R	H'00	H'E800502C	8
ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ	SHEAD25	R	H'00	H'E800502D	8
ECC 訂正後サブヘッダ部-サブモード (BYTE-22) データレジスタ	SHEAD26	R	H'00	H'E800502E	8
ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データレジスタ	SHEAD27	R	H'00	H'E800502F	8
自動バッファリング設定コントロール レジスタ	CBUFCTL0	R/W	H'04	H'E8005040	8
自動バッファリング開始セクタ設定 -MINUTES コントロールレジスタ	CBUFCTL1	R/W	H'00	H'E8005041	8
自動バッファリング開始セクタ設定 -SECONDS コントロールレジスタ	CBUFCTL2	R/W	H'00	H'E8005042	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ	CBUFCTL3	R/W	H'00	H'E8005043	8
ISY 割り込み要因マスクコントロール レジスタ	CROMSTOM	R/W	H'00	H'E8005045	8
CD-ROM デコーダモジュールリセット コントロールレジスタ	ROMDECRST	R/W	H'00	H'E8005100	8
CD-ROM デコーダモジュールリセット ステータスレジスタ	RSTSTAT	R	H'00	H'E8005101	8
シリアルサウンドインタフェース データコントロールレジスタ	SSI	R/W	H'18	H'E8005102	8
割り込みフラグレジスタ	INTHOLD	R/W	H'00	H'E8005108	8
割り込み要因マスクコントロールレジスタ	INHINT	R/W	H'00	H'E8005109	8
CD-ROM デコーダストリームデータ入力 レジスタ	STRMDIN0	R/W	H'0000	H'E8005200	リード : 16 ライト : 16、32
CD-ROM デコーダストリームデータ入力 レジスタ	STRMDIN2	R/W	H'0000	H'E8005202	16
CD-ROM デコーダストリームデータ出力 レジスタ	STRMDOUT0	R	H'0000	H'E8005204	16、32

26.3.1 イネーブルコントロールレジスタ (CROMEN)

CROMEN は、Subcode 処理イネーブル、CD-ROM デコード処理イネーブル、CD-ROM デコード処理強制終了を行います。

ビット:	7	6	5	4	3	2	1	0
	SUBC_	CROM_	CROM_	-	-	-	-	-
	EN	EN	STP	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SUBC_EN	0	R/W	Subcode 処理イネーブル CROM_EN と同時にセット、クリアを行ってください。異常自動停止時および CROM_STP = 1 で自動的に 0 になります。
6	CROM_EN	0	R/W	CD-ROM デコード処理イネーブル このビットを 1 にすると、有効な同期コードを検出後、CD-ROM デコード処理を開始します。このビットを 0 にすると、現在のデコード中のセクタの処理が終了した時点でデコード処理を中止します。 自動デコード停止機能により停止したときおよび CROM_STP = 1 で自動的に 0 になります。
5	CROM_STP	0	R/W	CD-ROM デコード処理強制終了 このビットを 1 にすると即座に CD-ROM デコード処理が停止します。 SUBC_EN、CROM_EN ビットは自動的に 0 になります。デコード処理を再開する前に、このビットを 0 にする必要があります。
4~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

26.3.2 同期コードの同期制御コントロールレジスタ (CROMSY0)

CROMSY0 は同期コード保護機能を選択します。

ビット:	7	6	5	4	3	2	1	0
	SY AUT	SY IEN	SY DEN	-	-	-	-	-
初期値:	1	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SY_AUT	1	R/W	CD-ROM 同期コードの自動同期保護モード このビットを 1 にすると、CD-ROM 同期コードの同期保護(同期コードの挿入)が自動になります。このビットが 1 のとき、SY_IEN、SY_DEN の設定は無効です。
6	SY_IEN	0	R/W	内部同期信号イネーブル CD-ROM デコーダ内部のカウントによって作られる内部同期信号を有効にします。 SY_AUT=0 のとき、このビットを 1 にすると、CD-ROM データの同期は常に内部カウントによる内挿モードになります。
5	SY_DEN	0	R/W	同期信号の外部同期コードとの同期化 入力データから検出される同期コードを常時監視し、内部カウント値にかかわらず、常に同期化します。 このビットの設定は、SY_AUT=0 のときに有効です。
4	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	-	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2、1	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	-	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

表 26.2 同期コード保護機能の設定

SY_AUT	SY_IEN	SY_DEN	動作モード
1	-	-	自動同期保護モード
0	0	1	外部同期モード
0	1	0	内挿同期モード
0	1	1	内挿 / 外部同期モード
0	0	0	設定禁止

26.3.3 デコーディングモードコントロールレジスタ (CROMCTL0)

CROMCTL0 は各種機能の制御、Mode 判定 / Form 判定の選択およびセクタタイプの設定を行います。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット:	7	6	5	4	3	2	1	0
	MD_DESC	-	MD_AUTO	MD_AUTOS1	MD_AUTOS2	MD_SEC[2:0]		
初期値:	1	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MD_DESC	1	R/W	デスクランブル機能制御 0: デスクランブル機能 OFF 1: デスクランブル機能 ON
6	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MD_AUTO	0	R/W	Mode Form の自動検出機能制御 0: OFF 1: ON 検出可能なフォーマットは、Mode0、Mode1、Mode2(not XA)、Mode2 Form1、Mode2 Form2 です。Mode Form が検出できなかったとき、前セクタの Mode Form を継続します。デコード開始の最初のセクタの Mode Form が検出できなかった場合は、MD_SEC[2:0]の設定値を初期値として使用します。
4	MD_AUTOS1	0	R/W	MD_AUTO = 1 時の Mode 判定基準 0: 同期コードが検出された場合のみ Mode 判定を行う 1: 常に Mode 判定を行う このビットの設定は、MD_AUTO = 1 のときのみ有効です。判定不能の場合、前セクタの Mode を引き継ぎます。このビットを 0 とすると、当該セクタの同期コードが検出された場合のみ Mode 判定を行います。
3	MD_AUTOS2	0	R/W	MD_AUTO = 1 時の Mode2 の Form 判定基準 0: サブヘッダ内 2 箇所 の Form のうち、コードが一致しなかったら、not XA とします。 1: XA 判定は行いません。最初の Form を有効とします。ただし、2 箇所 の Form 一致チェックは行い、ステータスには反映します。 このビットの設定は、MD_AUTO = 1 のときのみ有効です。

ビット	ビット名	初期値	R/W	説明
2~0	MD_SEC[2:0]	010	R/W	セクタタイプ設定 000 : 設定禁止 001 : Mode0 010 : Mode1 011 : Long (Mode0、Mode1、Mode2 EDC/ECC データなし) 100 : 設定禁止 101 : Mode2 Form1 110 : Mode2 Form2 111 : Mode2 自動フォーム検出 B'111 に設定した場合で、フォーム判定できなかった場合は、Mode2 not XA として処理します。

26.3.4 EDC、ECC チェック制御コントロールレジスタ (CROMCTL1)

CROMCTL1 は、EDC、ECC チェックを制御するレジスタです。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット :	7	6	5	4	3	2	1	0
	M2F2 EDC	MD_DEC[2:0]			-	-	MD_PQREP[1:0]	
初期値 :	1	1	0	1	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	M2F2EDC	1	R/W	Mode2 Form2 において EDC コードが All 0 ならば EDC 機能を無効とします。 このビットを 1 とすると、Mode2 Form2 で EDC コードが 0 の場合、EDC チェックが NG となっても IERR 割り込みは発生しません。
6~4	MD_DEC [2:0]	101	R/W	EDC、ECC チェックモード選択 000 : チェックなし 001 : EDC のみ 010 : Q + EDC 011 : P + EDC 100 : QP + EDC 101 : PQ + EDC 110 : 設定禁止 111 : 設定禁止
3, 2	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1, 0	MD_PQREP [1:0]	01	R/W	PQ、QP 訂正の訂正繰り返し回数 MD_DEC ビットで、PQ、QP 訂正を設定したときの訂正繰り返し回数を選択します。 00：設定禁止 01：1 回訂正 10：2 回繰り返し訂正 11：3 回繰り返し訂正

26.3.5 デコード処理自動停止コントロールレジスタ (CROMCTL3)

CROMCTL3 はデコード異常発生時、自動的にデコード処理を停止することができます。停止した場合、IBUF 割り込みが発生し、CBUFST1 レジスタで停止要因を確認することができます。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット： 7 6 5 4 3 2 1 0

STP_ECC	STP_EDC	-	STP_MD	STP_MIN	-	-	-
初期値： 0	0	0	0	0	0	0	0
R/W： R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	STP_ECC	0	R/W	STP_ECC ビットを 1 にセットすると、ECC 訂正不能となったとき、CD-ROM デコード処理を中止します。
6	STP_EDC	0	R/W	STP_EDC ビットを 1 にセットすると、ECC 後の EDC でエラーとなったとき、CD-ROM デコード処理を中止します。
5	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	STP_MD	0	R/W	STP_MD ビットを 1 にセットすると、Mode Form が直前のセクタと異なっていた場合、デコード処理を中止します。
3	STP_MIN	0	R/W	STP_MIN ビットを 1 にセットすると、MINUTES、SECONDS、FRAME (1/75 秒) が途中でずれたときにデコード処理を中止します。
2~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

26.3.6 デコードオプション設定コントロールレジスタ (CROMCTL4)

CROMCTL4 は、リンクブロック検出制御、ステータスレジスタの表示選択および ECC 訂正モードの制御を行います。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット:	7	6	5	4	3	2	1	0
	-	LINK2	-	ER0SEL	NO_ECC	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット 書き込む値は 0 でも 1 でも構いません。読み出すと書き込んだ値が読み出せません。
6	LINK2	0	R/W	リンクブロック検出条件の選択 0: ランアウト 1、2 のいずれかと、ランイン 3、4 の両方を検出した場合にリンクブロックと判定 1: ランアウト 1、2、リンクのうち、2 つ検出でリンクブロックと判定 LINK_ON がセットされる条件はリンクセクタをデコードしたタイミングとなります。
5	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	ER0SEL	0	R/W	ROM データ関連ステータスレジスタの設定条件選択 0: 現在デコード中のセクタの情報を表示 1: バッファリングが完了した最新セクタの情報を表示 CROMST0 レジスタのビット 5~0、CROMST4、CROMST5 レジスタのビット 7~1、HEAD00~02 が対象です。
3	NO_ECC	0	R/W	ECC 前 EDC チェックが OK であったときの ECC 訂正モード選択 このビットを 1 にすると、ECC 前 EDC チェックが OK だった場合、シンドローム演算結果に関係なく、ECC 訂正を行いません。
2~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

26.3.7 HEAD20～22 表示コントロールレジスタ (CROMCTL5)

CROMCTL5 は、HEAD20～22 の表示方式を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	MSF LBA_SEL
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～1	-	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MSF_LBA_ SEL	0	R/W	HEAD20～22 の表示方式 0: ヘッダの MSF をそのまま BCD (10 進数) 表示 1: トータルセクタ値を 16 進数表示

26.3.8 同期コードステータスレジスタ (CROMST0)

CROMST0 は、同期式コード保護機能時のステータスを示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	ST_ SYIL	ST_ SYNO	ST_ BLKS	ST_ BLKL	ST_ SECS	ST_ SECL
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7, 6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
5	ST_SYIL	0	R	ワードカウンタ (同期コード間隔を計測) の正しくないところで、同期コードが検出されたが、無視して同期化しなかったことを示します。 このビットは、自動同期保護モードまたは内挿モード時のみ有効です。
4	ST_SYNO	0	R	ワードカウンタが最終値になったにもかかわらず、同期コードが検出されず内挿してデコーダを同期化したことを示します。 このビットは、自動同期保護モードまたは内挿モード時のみ有効です。
3	ST_BLKs	0	R	ワードカウンタの正しくないところで、同期コードが検出され、これによってデコーダが同期化したことを示します。 このビットは、自動同期保護モードまたは外部同期モード時のみ有効です。
2	ST_BLKL	0	R	ワードカウンタが最終値になったにもかかわらず、同期コードが検出されず、1セクタの期間が長くなったことを示します。 このビットは、外部同期モードのときのみ有効です。
1	ST_SECS	0	R	同期コードと内挿した同期タイミングをショートセクタとして対応したことを示します。このビットが1になった場合、デコードをただちに停止させ、現在デコード中の1つ前のセクタからリトライを行ってください。

ビット	ビット名	初期値	R/W	説明
0	ST_SECL	0	R	同期コードと内挿した同期タイミングをロングセクタとして対応したことを示します。このビットが1になった場合、デコードをただちに停止させ、現在デコード中の2つ前のセクタからリトライを行ってください。

26.3.9 ECC 後のヘッダに対するエラーステータスレジスタ (CROMST1)

CROMST1 は、ECC 後のヘッダに対するエラー状態を示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	ER2_HEAD0	ER2_HEAD1	ER2_HEAD2	ER2_HEAD3
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7-4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
3	ER2_HEAD0	0	R	ECC 後のヘッダ部 MINUTES に対するエラー状態を示します。
2	ER2_HEAD1	0	R	ECC 後のヘッダ部 SECONDS に対するエラー状態を示します。
1	ER2_HEAD2	0	R	ECC 後のヘッダ部 FRAME(1/75 秒) に対するエラー状態を示します。
0	ER2_HEAD3	0	R	ECC 後のヘッダ部 MODE に対するエラー状態を示します。

26.3.10 ECC 後のサブヘッダに対するエラーステータスレジスタ (CROMST3)

CROMST3 は、ECC 後のサブヘッダに対するエラー状態を示します。

ビット:	7	6	5	4	3	2	1	0
	ER2_SHEAD0	ER2_SHEAD1	ER2_SHEAD2	ER2_SHEAD3	ER2_SHEAD4	ER2_HEAD5	ER2_HEAD6	ER2_HEAD7
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	ER2_SHEAD0	0	R	ECC 後のサブヘッダ (ファイルナンバ) に対するエラー状態を示します。 SHEAD20 レジスタのエラーを示します。
6	ER2_SHEAD1	0	R	ECC 後のサブヘッダ (チャンネルナンバ) に対するエラー状態を示します。 SHEAD21 レジスタのエラーを示します。
5	ER2_SHEAD2	0	R	ECC 後のサブヘッダ (サブモード) に対するエラー状態を示します。 SHEAD22 レジスタのエラーを示します。
4	ER2_SHEAD3	0	R	ECC 後のサブヘッダ (データタイプ) に対するエラー状態を示します。 SHEAD23 レジスタのエラーを示します。
3	ER2_SHEAD4	0	R	ECC 後のサブヘッダ (ファイルナンバ) に対するエラー状態を示します。 SHEAD24 レジスタのエラーを示します。

ビット	ビット名	初期値	R/W	説明
2	ER2_SHEAD5	0	R	ECC 後のサブヘッダ (チャネルナンバ) に対するエラー状態を示します。 SHEAD25 レジスタのエラーを示します。
1	ER2_SHEAD6	0	R	ECC 後のサブヘッダ (サブモード) に対するエラー状態を示します。 SHEAD26 レジスタのエラーを示します。
0	ER2_SHEAD7	0	R	ECC 後のサブヘッダ (データタイプ) に対するエラー状態を示します。 SHEAD27 レジスタのエラーを示します。

26.3.11 ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ (CROMST4)

CROMST4 は、自動モード判定、Mode2 の Form 判定のエラーを示します。

ビット: 7 6 5 4 3 2 1 0

NG_MD	NG_MDCMP1	NG_MDCMP2	NG_MDCMP3	NG_MDCMP4	NG_MDDEF	NG_MDTIM1	NG_MDTIM2
初期値: 0	0	0	0	0	0	0	0
R/W: R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	NG_MD	0	R	自動モード判定基準で、モード判定ができなかったことを示します。
6	NG_MDCMP1	0	R	Mode2 の Form を判定する際、ファイルナンバ (BYTE-16 と BYTE-20) でコンペアエラーが発生したことを示します。
5	NG_MDCMP2	0	R	Mode2 の Form を判定する際、チャネルナンバ (BYTE-17 と BYTE-21) でコンペアエラーが発生したことを示します。
4	NG_MDCMP3	0	R	Mode2 の Form を判定する際、サブモード (BYTE-18 と BYTE-22) でコンペアエラーが発生したことを示します。
3	NG_MDCMP4	0	R	Mode2 の Form を判定する際、データタイプ (BYTE-19 と BYTE-23) でコンペアエラーが発生したことを示します。
2	NG_MDDEF	0	R	Mode、Form が直前のセクタと異なったことを示します。
1	NG_MDTIM1	0	R	ヘッダの MINUTES、SECONDS、FRAMES (1/75 秒) が途中でずれたことを示します。 次セクタからの連続性チェックは、更新値を使用します。
0	NG_MDTIM2	0	R	ヘッダの MINUTES、SECONDS、FRAMES が BCD (10 進) 値以外だったことを示します。 このビットは、BCD 以外の値 (A ~ F)、HEAD01 が H'59 より大きい値、HEAD02 が H'74 より大きい値であったことを意味します。 次セクタからの連続性チェックは内挿値を使用します。

26.3.12 モード判定結果とリンクセクタ検出ステータスレジスタ (CROMST5)

CROMST5 は、自動モード判定結果およびリンクブロック検出を示します。

ビット:	7	6	5	4	3	2	1	0
	ST_AMD[2:0]	ST_MDX	LINK_ON	LINK_DET	LINK_SDET	LINK_OUT1		
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~5	ST_AMD[2:0]	000	R	自動モード判定結果 自動モード判定機能を利用した際のモード判定結果を示します。 000 : 自動モード判定機能を利用していない 001 : Mode0 010 : Mode1 011 : - 100 : Mode2 not XA 101 : Mode2 Form1 110 : Mode2 Form2 111 : -
4	ST_MDX	0	R	自動モード判定を使用せず、手動設定したとき、設定値と論理が認識した結果が不一致であることを示します。手動設定値が優先です。
3	LINK_ON	0	R	リンクブロック判定でリンクブロックと認識できたとき 1 となります。リンクブロック判定基準は CROMCTL4 レジスタの LINK2 ビットを参照してください。
2	LINK_DET	0	R	リンクブロック (ランアウト 1~ランイン 4) が検出されたことを示します。ECC 訂正前のデータで検出しているため、リンクブロックと同じコードにデータが誤っていた場合、LINK_DET = 1 となることがあります。
1	LINK_SDET	0	R	リンクブロックがデコード開始後 7 セクタ以内に検出されたことを示します。
0	LINK_OUT1	0	R	ECC 処理後にランアウト 1 セクタと判定されたことを示します。 このビットは、IERR 割り込みが発生していない (ECC 訂正が正しく行われた) ときのみ有効です。

26.3.13 ECC、EDC エラーステータスレジスタ (CROMST6)

CROMST6 は、ECC 処理エラーおよび ECC 前後の EDC チェックエラーを示します。

ビット:	7	6	5	4	3	2	1	0
	ST_ERR	-	ST_ECCABT	ST_ECCNG	ST_ECCP	ST_ECCQ	ST_EDC1	ST_EDC2
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	ST_ERR	0	R	ECC 後のデコードブロックに 1 バイトでもエラーがあることを示します。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
5	ST_ECCABT	0	R	ECC 処理が途中で中断されたことを示します。 このビットは、ECC 訂正処理中にセクタ切り替えが発生したときに 1 となります。タイミングによっては、このビットが 1 となっても、CBUFST2 レジスタの BUF_NG ビットが 0 となっていれば ECC 訂正動作に問題はありません。
4	ST_ECCNG	0	R	エラー訂正できなかったことを示します。 このビットはショートセクタ検出時にも 1 となります。
3	ST_ECCP	0	R	ECC 処理で P 系列の訂正ができなかったことを示します。 このビットは同期状態が正常 (ショートセクタまたはロングセクタではない) 時のみ有効です。 P 系列のシンδροーム値が All0 以外の場合、1 となります。
2	ST_ECCQ	0	R	ECC 処理で Q 系列の訂正ができなかったことを示します。 このビットは同期状態が正常 (ショートセクタまたはロングセクタではない) 時のみ有効です。 Q 系列のシンδροーム値が All0 以外の場合、1 となります。
1	ST_EDC1	0	R	ECC 前の EDC チェックが NG だったことを示します。 このビットは EDC が有効で、ショートセクタとなった場合も 1 となります。
0	ST_EDC2	0	R	ECC 後の EDC チェックが NG だったことを示します。

26.3.14 バッファステータスレジスタ (CBUFST0)

CBUFST0 は、バッファリング開始セクタ検索中またはバッファリング中であることを示します。

ビット:	7	6	5	4	3	2	1	0
	BUF_REF	BUF_ACT	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BUF_REF	0	R	バッファリング開始セクタを検索中であることを示します。 このビットは自動バッファリング機能使用時 (CBUF_AUT = 1) のみ有効です。
6	BUF_ACT	0	R	バッファリング中であることを示します。
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。

26.3.15 デコード中止要因ステータスレジスタ (CBUFST1)

CBUFST1 は、各種エラーのためデコード/バッファリング処理が中止されたことを示します。

本レジスタは CROMCTL3 の対応するビットを 1 としているときのみセットされます。

ビット:	7	6	5	4	3	2	1	0
	BUF_ECC	BUF_EDC	-	BUF_MD	BUF_MIN	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BUF_ECC	0	R	ECC 訂正不能で ROM デコード/バッファリング処理を中止したことを示します。
6	BUF_EDC	0	R	ECC 訂正後 EDC チェックでエラーを検出したためデコード/バッファリング処理を中止したことを示します。
5	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
4	BUF_MD	0	R	Mode、Form が直前のセクタと異なったためにデコード/バッファリング処理を中止したことを示します。
3	BUF_MIN	0	R	MINUTES、SECONDS、FRAMES (1/75 秒) が途中でずれたためにデコード/バッファリング処理を中止したことを示します。
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。

26.3.16 バッファオーバフローステータスレジスタ (CBUFST2)

CBUFST2 は、バッファへの転送が完了しないうちにセクタ切り替えが発生したことを示します。

ビット:	7	6	5	4	3	2	1	0
	BUF_	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BUF_NG	0	R	バッファへのデータ転送が完了しないうちにセクタの切り替えが発生したことを示します。出力ストリームデータを CD-ROM デコーダから引き出さずに 3 セクタ目のデータが入力されると本ビットが 1 となります。割り込みは発生しません。本ビットが 1 になった場合、ROMDECRST レジスタの LOGICRST ビットによるリセットのみ 0 にクリアされます。
6-0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。

26.3.17 ECC 訂正前ヘッダ部-MINUTES データレジスタ (HEAD00)

HEAD00 は、ECC 訂正前のヘッダ部 MINUTES 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD00[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7-0	HEAD00[7:0]	H'00	R	ECC 訂正前のヘッダ部 MINUTES 値

26.3.18 ECC 訂正前ヘッダ部-SECONDS データレジスタ (HEAD01)

HEAD01 は、ECC 訂正前のヘッダ部 SECONDS 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD01[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7-0	HEAD01[7:0]	H'00	R	ECC 訂正前のヘッダ部 SECONDS 値

26.3.19 ECC 訂正前ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD02)

HEAD02 は、ECC 訂正前のヘッダ部 FRAMES (1/75 秒) 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD02[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD02[7:0]	H'00	R	ECC 訂正前のヘッダ部 FRAMES (1/75 秒) 値

26.3.20 ECC 訂正前ヘッダ部-MODE データレジスタ (HEAD03)

HEAD03 は、ECC 訂正前のヘッダ部 MODE 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD03[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD03[7:0]	H'00	R	ECC 訂正前のヘッダ部 MODE 値

26.3.21 ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ (SHEAD00)

SHEAD00 は、ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-16) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD00[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD00 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-16) Mode2 以外のときは、相当する位置のバイトデータを表示します。

26.3.22 ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD01)

SHEAD01 は、ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-17) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD01[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD01 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-17) Mode2 以外のときは、相当する位置のバイトデータを表示します。

26.3.23 ECC 訂正前サブヘッダ部-サブモード (BYTE-18) データレジスタ (SHEAD02)

SHEAD02 は、ECC 訂正前のサブヘッダ部サブモード値 (BYTE-18) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD02[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD02 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部サブモード値 (BYTE-18) Mode2 以外のときは、相当する位置のバイトデータを表示します。

26.3.24 ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD03)

SHEAD03 は、ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-19) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD03[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD03 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-19) Mode2 以外のときは、相当する位置のバイトデータを表示します。

26.3.25 ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD04)

SHEAD04 は、ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-20) を示します。

ビット :	7	6	5	4	3	2	1	0
	SHEAD04[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD04 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-20) Mode2 以外のときは、相当する位置のバイトデータを表示します。

26.3.26 ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD05)

SHEAD05 は、ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-21) を示します。

ビット :	7	6	5	4	3	2	1	0
	SHEAD05[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD05 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-21) Mode2 以外のときは、相当する位置のバイトデータを表示します。

26.3.27 ECC 訂正前サブヘッダ部-サブモード (BYTE-22) データレジスタ (SHEAD06)

SHEAD06 は、ECC 訂正前のサブヘッダ部サブモード値 (BYTE-22) を示します。

ビット :	7	6	5	4	3	2	1	0
	SHEAD06[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD06 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部サブモード値 (BYTE-22) Mode2 以外のときは、相当する位置のバイトデータを表示します。

26.3.28 ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD07)

SHEAD07 は、ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-23) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD07[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	SHEAD07 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-23) Mode2 以外のときは、相当する位置のバイトデータを表示します。

26.3.29 ECC 訂正後ヘッダ部-MINUTES データレジスタ (HEAD20)

HEAD20 は、ECC 訂正後のヘッダ部 MINUTES 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD20[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	HEAD20[7:0]	H'00	R	ECC 訂正後のヘッダ部 MINUTES 値 MSF_LBA_SEL = 1 のときは M、S、F のトータルセクタ値 (1/3) を表示します。

26.3.30 ECC 訂正後ヘッダ部-SECONDS データレジスタ (HEAD21)

HEAD21 は、ECC 訂正後のヘッダ部 SECONDS 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD21[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	HEAD21[7:0]	H'00	R	ECC 訂正後のヘッダ部 SECONDS 値 MSF_LBA_SEL = 1 のときは M、S、F のトータルセクタ値 (2/3) を表示します。

26.3.31 ECC 訂正後ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD22)

HEAD22 は、ECC 訂正後のヘッダ部 FRAMES (1/75 秒) 値を示します。

ビット :	7	6	5	4	3	2	1	0
	HEAD22[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD22[7:0]	H'00	R	ECC 訂正後のヘッダ部 FRAMES (1/75 秒) 値 MSF_LBA_SEL = 1 のときは M、S、F のトータルセクタ値 (3/3) を表示します。

26.3.32 ECC 訂正後ヘッダ部-MODE データレジスタ (HEAD23)

HEAD23 は、ECC 訂正後のヘッダ部 MODE 値を示します。

ビット :	7	6	5	4	3	2	1	0
	HEAD23[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD23[7:0]	H'00	R	ECC 訂正後のヘッダ部 MODE 値

26.3.33 ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ (SHEAD20)

SHEAD20 は、ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-16) を示します。

ビット :	7	6	5	4	3	2	1	0
	SHEAD20[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD20 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-16)

26.3.34 ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD21)

SHEAD21 は、ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-17) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD21[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD21 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-17)

26.3.35 ECC 訂正後サブヘッダ部-サブモード (BYTE-18) データレジスタ (SHEAD22)

SHEAD22 は、ECC 訂正後のサブヘッダ部サブモード値 (BYTE-18) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD22[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD22 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部サブモード値 (BYTE-18)

26.3.36 ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD23)

SHEAD23 は、ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-19) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD23[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD23 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-19)

26.3.37 ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD24)

SHEAD24 は、ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-20) を示します。

ビット :	7	6	5	4	3	2	1	0
	SHEAD24[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7-0	SHEAD24 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-20)

26.3.38 ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD25)

SHEAD25 は、ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-21) を示します。

ビット :	7	6	5	4	3	2	1	0
	SHEAD25[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7-0	SHEAD25 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-21)

26.3.39 ECC 訂正後サブヘッダ部-サブモード (BYTE-22) データレジスタ (SHEAD26)

SHEAD26 は、ECC 訂正後のサブヘッダ部サブモード値 (BYTE-22) を示します。

ビット :	7	6	5	4	3	2	1	0
	SHEAD26[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7-0	SHEAD26 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部サブモード値 (BYTE-22)

26.3.40 ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD27)

SHEAD27 は、ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-23) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD27[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	SHEAD27 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-23)

26.3.41 自動バッファリング設定コントロールレジスタ (CBUFCTL0)

ビット:	7	6	5	4	3	2	1	0
	CBUF_AUT	CBUF_EN	-	CBUF_MD[1:0]		CBUF_TS	CBUF_Q	-
初期値:	0	0	0	0	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CBUF_AUT	0	R/W	自動バッファリング機能制御 CROM_EN = 1 に設定した状態で、このビットを ON/OFF する場合には、CBUF_EN も同時に ON/OFF を行ってください。行わない場合、CBUFST0、CBUFST1、CBUFST2 の表示は保証できません。 0: 自動バッファリング OFF 1: 自動バッファリング ON
6	CBUF_EN	0	R/W	バッファ RAM へのバッファリング制御 本ビットは、自動 / マニュアル両バッファリングモードにおいて、バッファリングの ON/OFF を行います。マニュアルバッファリング時には、ISEC 割り込みが発生した後、本ビットをセットしてください。 自動バッファリング停止時には自動でリセットします。 0: バッファリング OFF 1: バッファリング ON
5	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4, 3	CBUF_MD [1:0]	00	R/W	自動バッファリング機能を使用する際の開始セクタの検出モード設定 00 : 前セクタ検出と現セクタ検出で連続性 (ヘッダ値) OK 01 : 現セクタ検出で内挿値との連続性 OK 10 : 現セクタ検出 OK 11 : 現セクタ未検出でも内挿値で判定
2	CBUF_TS	1	R/W	CBUFCTL1 ~ 3 の設定方法 0 : CBUFCTL1 ~ 3 : BCD (10 進数) 1 : トータルセクタ値 (16 進数)
1	CBUF_Q	0	R/W	QCODE の CRC-NG 時の QCODE バッファリングデータ指定 0 : CRC-OK だった最終セクタ値をバッファリング 1 : そのまま NG データをバッファリング 【注】本 LSI ではサブコードは入力されませんので、本ビットは常に 1 を設定してください。
0	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

26.3.42 自動バッファリング開始セクタ設定-MINUTES コントロールレジスタ (CBUFCTL1)

CBUFCTL1 は、バッファリング開始セクタのヘッダ-MINUTES 値を示します。

ビット :	7	6	5	4	3	2	1	0
	BS_MIN[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	BS_MIN[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ-MINUTES 値

26.3.43 自動バッファリング開始セクタ設定-SECONDS コントロールレジスタ (CBUFCTL2)

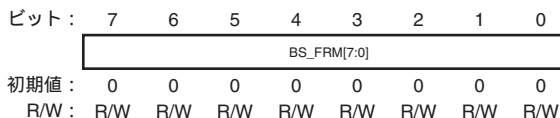
CBUFCTL2 は、バッファリング開始セクタのヘッダ-SECONDS 値を示します。

ビット :	7	6	5	4	3	2	1	0
	BS_SEC[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	BS_SEC[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ-SECONDS 値

26.3.44 自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ (CBUFCTL3)

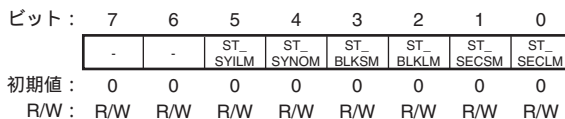
CBUFCTL3 は、バッファリング開始セクタのヘッダ-FRAMES (1/75 秒) 値を示します。



ビット	ビット名	初期値	R/W	説明
7~0	BS_FRM[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ-FRAMES (1/75 秒) 値

26.3.45 ISY 割り込み要因マスクコントロールレジスタ (CROMST0M)

CROMST0M は、同期コードステータスレジスタ (CROMST0) の各ビットによる ISY 割り込み要因をマスクします。



ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	ST_SYILM	0	R/W	ISY 割り込み ST_SYIL (CROMST0 レジスタのビット5) 要因マスク
4	ST_SYNOM	0	R/W	ISY 割り込み ST_SYNO (CROMST0 レジスタのビット4) 要因マスク
3	ST_BLKSM	0	R/W	ISY 割り込み ST_BLKS (CROMST0 レジスタのビット3) 要因マスク
2	ST_BLKLM	0	R/W	ISY 割り込み ST_BLKL (CROMST0 レジスタのビット2) 要因マスク
1	ST_SECSM	0	R/W	ISY 割り込み ST_SECS (CROMST0 レジスタのビット1) 要因マスク
0	ST_SECLM	0	R/W	ISY 割り込み ST_SECL (CROMST0 レジスタのビット0) 要因マスク

26.3.46 CD-ROM デコーダモジュールリセットコントロールレジスタ (ROMDECRST)

ROMDECRST は、CD-ROM デコーダのランダム論理部のリセット、CD-ROM デコーダの RAM クリアを行います。

ビット:	7	6	5	4	3	2	1	0
	LOGI CRST	RAM RST	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	LOGICRST	0	R/W	CD-ROM デコーダのランダム論理部のリセット信号 本レジスタに 1 をセットしている間、リセット信号が出力されます。
6	RAMRST	0	R/W	CD-ROM デコーダが持つ RAM のクリア信号 RSTSTAT レジスタの RAMCLRST ビットにより、RAM クリア完了を確認してください。
5~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 LOGICRST を 1 にセットする場合は、RAMRST ビットが 0 となっていることを確認後、本レジスタに B'10000000 を書き込んでください。

26.3.47 CD-ROM デコーダモジュールリセットステータスレジスタ (RSTSTAT)

RSTSTAT は、CD-ROM デコーダの RAM のクリア状態を示します。

ビット:	7	6	5	4	3	2	1	0
	RAM CLRST	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	RAMCLRST	0	R	ROMDECRST レジスタの RAMRST = 1 ライト後、RAM のクリアが完了すると、本ビットが 1 となります。RAMRST = 0 ライトにより、本ビットがクリアされます。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。

26.3.48 シリアルサウンドインタフェースデータコントロールレジスタ (SSI)

SSI はストリームデータに関する各種設定を行います。なお、本レジスタを設定したときの動作については「26.4.1 入力ストリームデータエンディアン変換機能」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	BYTEND	BITEND	BUFEND0[1:0]	BUFEND1[1:0]	-	-	-	-
初期値:	0	0	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	BYTEND	0	R/W	シリアルサウンドインタフェースからのストリーム入力データのエンディアンを変更します。 1 がセットされると STRMDIN0、STRMDIN2 のバイト 0 とバイト 1 を入れ替えます。
6	BITEND	0	R/W	シリアルサウンドインタフェースからのストリーム入力データのビット並びを変更します。 1 がセットされると、バイト内のビット並びを 0 7 を 7 0 に入れ替えます。
5, 4	BUFEND0 [1:0]	01	R/W	シリアルサウンドインタフェースから転送されるストリームデータの順番を入れ替える、あるいは、ストリームデータを抑止することを選択します。シリアルサウンドインタフェースでは、「パディングありモード」「パディングなしモード」が選択できます。「パディングなしモード」では、シリアルサウンドインタフェースから 32 ビットのデータが CD-ROM データとして転送されません。CD-ROM デコーダ内部では 16 ビットの入力ストリームデータレジスタを 2 組実装しており、この順番を入れ替えることができます。また、「パディングありモード」ではパディングのついた 32 ビットのデータがシリアルサウンドインタフェースから転送されます。パディング部は意味を持ちませんので、ストリームデータとして抑止する必要があり、本レジスタの設定で抑止することが可能です。CD-ROM デコードは 16 ビットのストリームデータとして扱い、本レジスタでは 32 ビットのシリアルサウンドインタフェースからの転送データのうち、先に入力する 16 ビットを制御します。 00: 先に処理するストリームデータを抑止します 01: シリアルサウンドインタフェースからの 32 ビットのストリームデータのうち、上位の 16 ビットデータを先にストリームデータとして処理します 10: シリアルサウンドインタフェースからの 32 ビットのストリームデータのうち、下位の 16 ビットデータを先にストリームデータとして処理します 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
3, 2	BUFEND1 [1:0]	10	R/W	<p>シリアルサウンドインタフェースから転送されるストリームデータの順番を入れ替える、あるいは、ストリームデータを抑止することを選択します。シリアルサウンドインタフェースでは、「パディングありモード」「パディングなしモード」が選択できます。「パディングなしモード」では、シリアルサウンドインタフェースから 32 ビットのデータが CD-ROM データとして転送されません。CD-ROM デコーダ内部では 16 ビットの入力ストリームデータレジスタを 2 組実装しており、この順番を入れ替えることができます。また、「パディングありモード」ではパディングのついた 32 ビットのデータがシリアルサウンドインタフェースから転送されます。パディング部は意味を持ちませんので、ストリームデータとして抑止する必要があり、本レジスタの設定で抑止することが可能です。CD-ROM デコードは 16 ビットのストリームデータとして扱い、本レジスタでは 32 ビットのシリアルサウンドインタフェースからの転送データのうち、後に入力する 16 ビットを制御します。</p> <p>00 : 後に処理するストリームデータを抑止します</p> <p>01 : シリアルサウンドインタフェースからの 32 ビットのストリームデータのうち、上位の 16 ビットデータを後にストリームデータとして処理します</p> <p>10 : シリアルサウンドインタフェースからの 32 ビットのストリームデータのうち、下位の 16 ビットデータを後にストリームデータとして処理します</p> <p>11 : 設定禁止</p>
1, 0	-	すべて 0	R/W	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

26.3.49 割り込みフラグレジスタ (INTHOLD)

INTHOLD は、各種割り込みフラグで構成されています。

ビット:	7	6	5	4	3	2	1	0
	ISEC	ITARG	ISY	IERR	IBUF	IREADY	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ISEC	0	R/W	<p>ISEC 割り込みフラグ</p> <p>1 を読み出さないと 0 を書き込みません。</p>
6	ITARG	0	R/W	<p>ITARG 割り込みフラグ</p> <p>1 を読み出さないと 0 を書き込みません。</p>
5	ISY	0	R/W	<p>ISY 割り込みフラグ</p> <p>1 を読み出さないと 0 を書き込みません。</p>
4	IERR	0	R/W	<p>IERR 割り込みフラグ</p> <p>1 を読み出さないと 0 を書き込みません。</p>
3	IBUF	0	R/W	<p>IBUF 割り込みフラグ</p> <p>1 を読み出さないと 0 を書き込みません。</p>

ビット	ビット名	初期値	R/W	説 明
2	IREADY	0	R/W	IREADY 割り込みフラグ 1を読み出さないと0を書き込めません。
1、0	-	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

26.3.50 割り込み要因マスクコントロールレジスタ (INHINT)

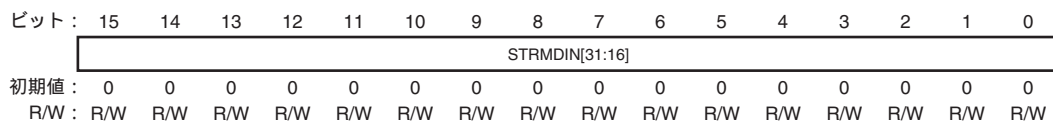
INHINT は、CD-ROM デコーダの各種割り込み要求を制御します。

ビット:	7	6	5	4	3	2	1	0
	INH ISEC	INH ITARG	INH ISY	INH IERR	INH IBUF	INH IREADY	PREINH REQDM	PREINH IREADY
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	INHISEC	0	R/W	ISEC 割り込みマスク 本ビットが1のとき、ISEC 割り込み要求を禁止します。
6	INHITARG	0	R/W	ITARG 割り込みマスク 本ビットが1のとき、ITARG 割り込み要求を禁止します。
5	INHISY	0	R/W	ISY 割り込みマスク 本ビットが1のとき、ISY 割り込み要求を禁止します。
4	INHIERR	0	R/W	IERR 割り込みマスク 本ビットが1のとき、IERR 割り込み要求を禁止します。
3	INHIBUF	0	R/W	IBUF 割り込みマスク 本ビットが1のとき、IBUF 割り込み要求を禁止します。
2	INHIREADY	0	R/W	IREADY 割り込みマスク 本ビットが1のとき、IREADY 割り込み要求を禁止します。
1	PREINH REQDM	0	R/W	出力ストリームデータの DMA 転送要求割り込みフラグのセットを禁止します。 本ビットが1のとき、DMA 転送要求割り込み要因を保持しなくなります。
0	PREINH IREADY	0	R/W	IREADY 割り込みのフラグのセットを禁止します。 本ビットが1のとき、IREADY フラグに割り込み要因を保持しなくなります。

26.3.51 CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN0)

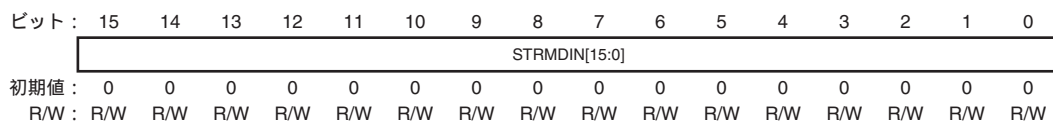
STRMDIN0 は、CD-ROM デコーダに入力する 4 バイトデータの MSB 側 2 バイトを示します。



ビット	ビット名	初期値	R/W	説明
15~0	STRMDIN [31:16]	H'0000	R/W	CD-ROM デコーダに入力する 4 バイトデータの MSB 側 2 バイト CD-ROM デコーダは 4 バイト幅のデータウィンドをレジスタとしてもち、当該レジスタに入力されるデータをストリームデータとして処理します。1 セクタのデータ量は 2352 バイトです。

26.3.52 CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN2)

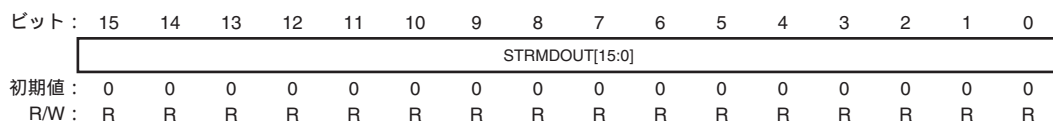
STRMDIN2 は、CD-ROM デコーダに入力する 4 バイトデータの LSB 側 2 バイトを示します。



ビット	ビット名	初期値	R/W	説明
15~0	STRMDIN [15:0]	H'0000	R/W	CD-ROM デコーダに入力する 4 バイトデータの LSB 側 2 バイト CD-ROM デコーダは 4 バイト幅のデータウィンドをレジスタとしてもち、当該レジスタに入力されるデータをストリームデータとして処理します。1 セクタのデータ量は 2352 バイトです。

26.3.53 CD-ROM デコーダストリームデータ出力レジスタ (STRMDOUT0)

STRMDOUT0 は、CD-ROM デコーダから出力される 2 バイトデータを示します。



ビット	ビット名	初期値	R/W	説明
15~0	STRMDOUT [15:0]	H'0000	R	CD-ROM デコーダから出力される 2 バイトデータ CD-ROM デコーダは 2 バイト幅のデータウィンドをレジスタとしてもち、当該レジスタから出力されるデータが ROM デコード処理後のデータとなります。当該レジスタをアクセスするたびに別に定義する出力フォーマットに従ってアクセスサイズ分のデータが順次出力されます。1 セクタ分のデータは 2768 バイトです。必ず 2768 バイト分読み出してください。

26.4 動作説明

26.4.1 入力ストリームデータエンディアン変換機能

CD-ROM デコーダコア部には、CD-ROM データフォーマット仕様順にストリームデータを入力する必要があります。しかし、システムによっては、シリアルサウンドインタフェースからのデータの順番が入れ替わっていたり、パディング部を転送する必要があったりすることがあります。そこで、ストリームデータ入力制御部には、データの順番を入れ替えたり、パディングデータを CD-ROM デコーダコア部に入力しないようにする機能があります。

これらは、シリアルサウンドインタフェースデータコントロールレジスタ (SSI) で制御します。図 26.6 は、入力ストリームデータとして“パディングデータ+同期コード先頭 2 バイト”、すなわち H'000000FF を 16 ビット単位で順番が逆になったデータ (H'00FF0000) が CD-ROM デコーダに入力された場合を示します。

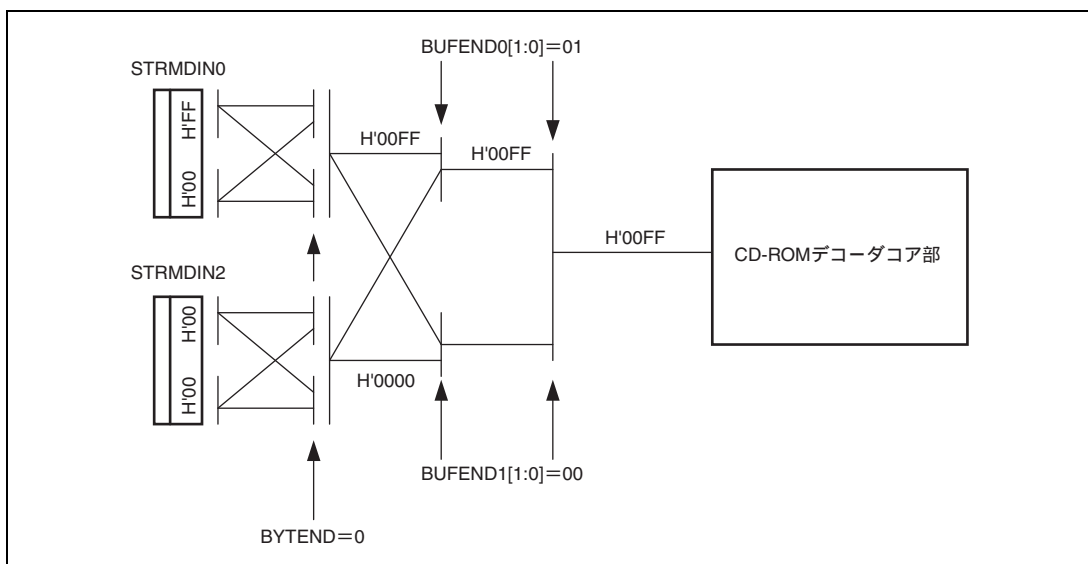


図 26.6 パディングデータ付ストリームデータの SSI レジスタ制御例

図 26.7 は、入力ストリームデータとしてパディングデータを持たない H'12345678 を 16 ビット単位で順番が逆になったデータ (H'56781234) が CD-ROM デコーダに入力された場合を示します。

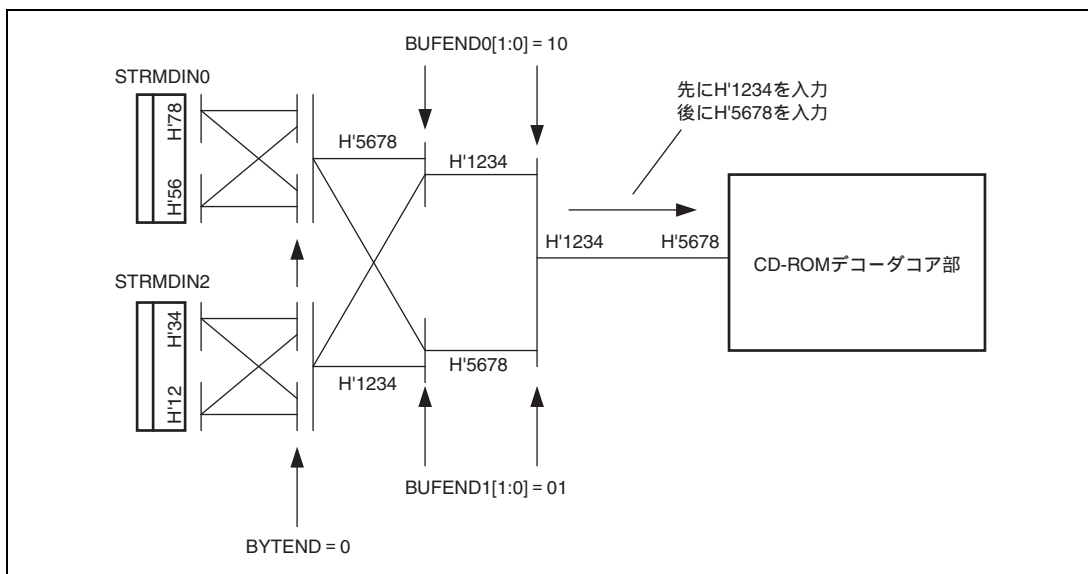


図 26.7 パディングデータなしストリームデータの SSI レジスタ制御例

26.4.2 同期コード保護機能

CD-ROM のデータは、H'00FFFFFFFFFFFFFFFFF00 (同期コード) で始まる 2352 バイトが 1 セクタのデータとなりますが、キズ等により、同期コードが異常なタイミングで認識されたり、逆に、同期コードが検出されるべきタイミングに検出できなかったりする場合があります。そのため、本 CD-ROM デコーダには、異常なタイミングで同期コードを検出したときには、その同期コードを無視する機能、同期コードが検出されるべきタイミングで検出できなかったときには、同期コードを保護する機能があります。

同期コード保護機能には以下のモードがあります。設定についての詳細は、「26.3.2 同期コードの同期制御コントロールレジスタ (CROMSY0)」および表 26.2 を参照してください。

- 自動同期保護モード
- 外部同期モード
- 内挿同期モード
- 内挿 / 外部同期モード

(1) 自動同期保護モード

自動同期保護モードは、1 セクタ (2352 バイト) 期間内で検出した同期コードは無視し、次セクタの先頭で同期コードが検出できなかった場合は、同期コードを保護します。また、同期タイミングが変化した場合、同期タイミングが変化後、2352 バイト期間で同期検出したところで、再同期します。

したがって、異常同期パターンを排除し、同期タイミング変更に従従する場合に有効です。ただし、同期タイミング変更時の最初の 1 セクタについては追従できません。

図 26.8 に、正常な場合、図 26.9 に、1 セクタ期間内で同期コードを検出した場合、図 26.10 に、1 セクタ期間を超えたタイミングで同期コードを検出した場合の動作を示します。

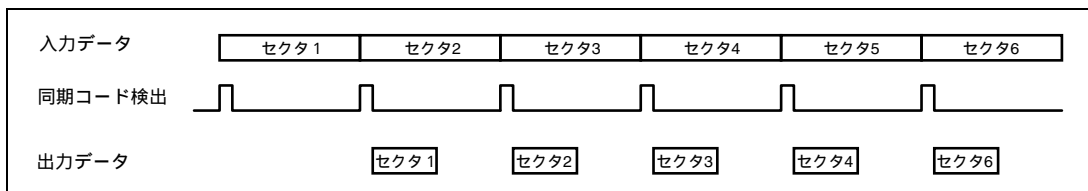


図 26.8 正常タイミングでの自動同期保護モード動作

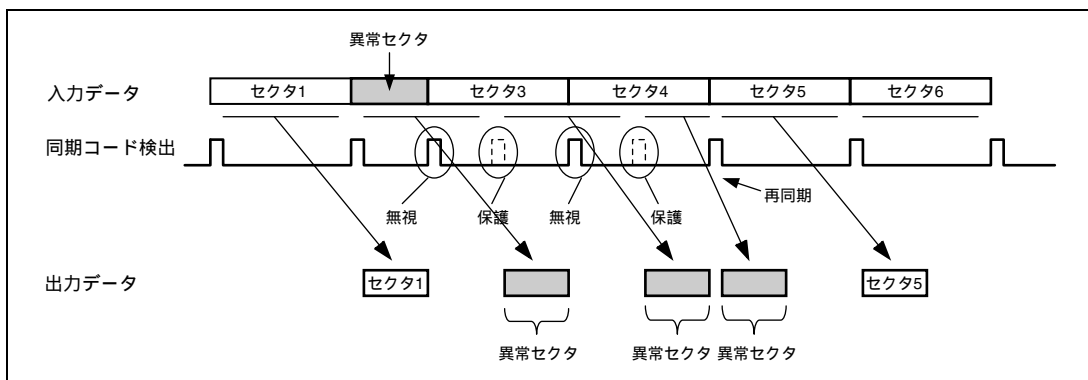


図 26.9 ショートセクタでの自動同期保護モード動作

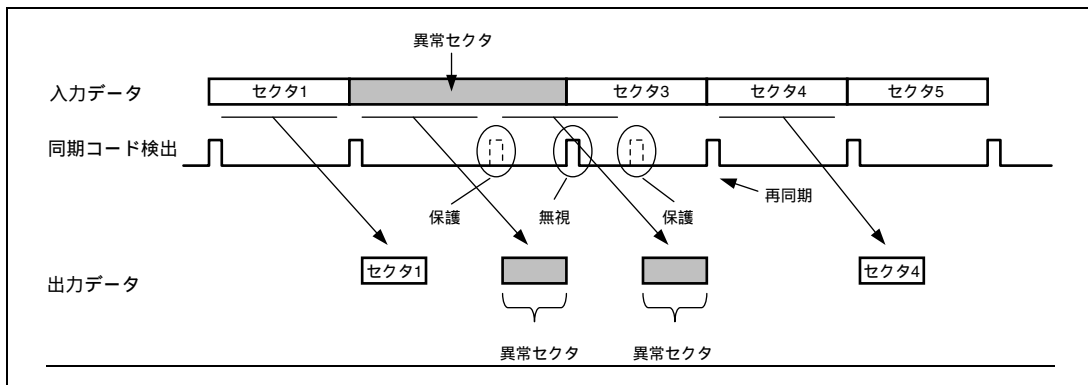


図 26.10 ロングセクタでの自動同期保護モード動作

(2) 外部同期モード

外部同期モードは、常に入力されるデータの同期コードで同期します。2352 バイトで次の同期コードが見つからない場合は、同期コードを検出するまでデコードしません。

したがって、外部同期タイミングに追従する場合に有効です。ただし、異常同期コードパターンが入力されると正常にデコードできません。

図 26.11 に、外部同期モードでの動作を示します。

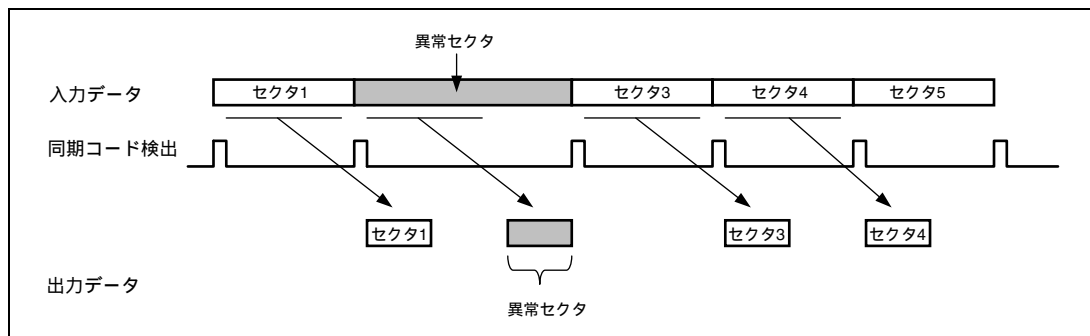


図 26.11 外部同期モード動作

(3) 内挿同期モード

内挿同期モードは、デコード開始時の同期コードパターンを検出した後は、内部カウンタによって、常に同期します。したがって、同期パターンが壊れているような場合に有効です。

ただし、同期コードタイミングが変化すると追従することができず、正しくデコードできません。

図 26.12 に、内挿同期モードでの動作を示します。

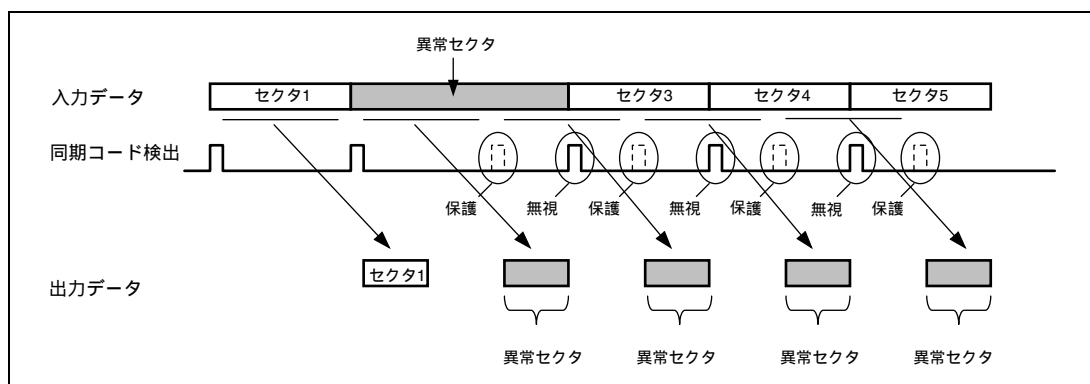


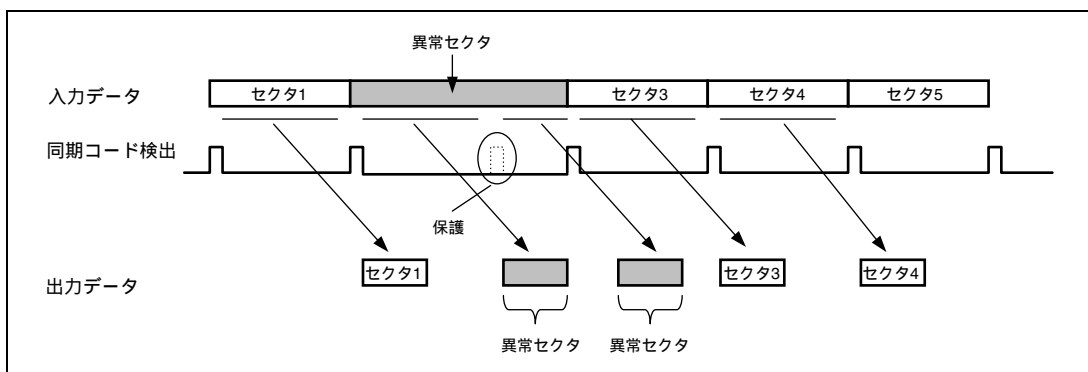
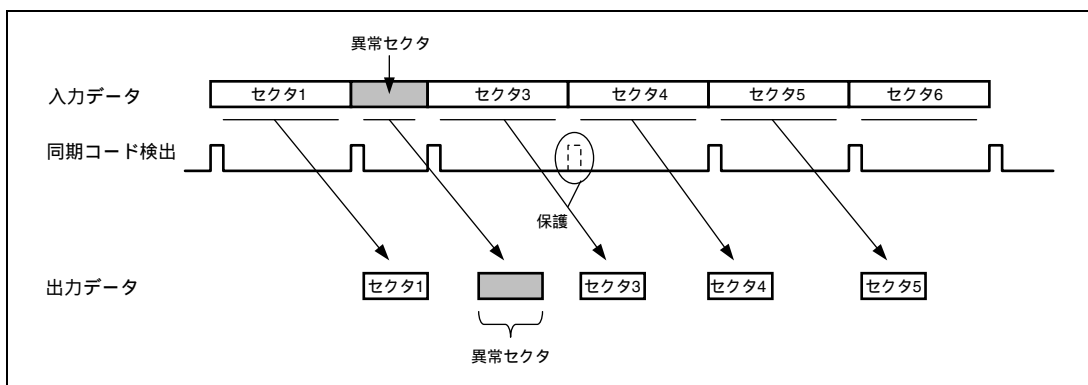
図 26.12 内挿同期モード動作

(4) 内挿 / 外部同期モード

内挿 / 外部同期モードは、同期コードパターンを検出すると、それに同期し、2352 バイトで同期パターンが見つからない場合には保護します。自動同期保護モードと比較して、同期タイミングの変更にすぐ追従できます。

ただし、異常タイミングで同期パターンが入ってくると、正常にデコードできません。

図 26.13 に、ショートセクタが発生した場合の内挿 / 外部同期モードでの動作、図 26.14 に、ロングセクタが発生した場合の内挿 / 外部同期モードでの動作を示します。



26.4.3 エラー訂正

CD-ROM デコーダには、エラーを訂正するための EDC、P パリティ、Q パリティ情報をもったフォーマットがあります。本 CD-ROM デコーダにおいては、以下の機能があり、エラー訂正を行います。

- シンドローム演算機能
- ECC訂正機能
- EDCチェック機能

(1) シンドローム演算機能

CD-ROM デコーダ Mode1 および、Mode2 Form1 の場合で、1 セクタのデータが入力された後、エラーがあると判断された（シンドローム演算結果が 0 でなかった）場合、ECC 訂正が行われます。ECC 訂正後、修正されたデータに対するシンドローム演算結果が、CROMST6 レジスタの ST_ECCP ビット（P 系列）、ST_ECCQ ビット（Q 系列）に出力されます。

(2) ECC 訂正および EDC チェック

EDC、P パリティ、Q パリティを持つ CD-ROM フォーマットデータに対して、ECC 訂正、EDC チェックを行います。ECC の訂正モードは P 訂正、Q 訂正、PQ 訂正（P 訂正後、Q 訂正）、QP 訂正（Q 訂正後、P 訂正）に対応しており、PQ 訂正、QP 訂正については、最大 3 回（倍速により制限あり）までの繰り返し訂正が可能です。

EDC チェックは、ECC 訂正前と後の 2 回行います。

ECC 訂正、EDC チェックのチェックモードは、CROMCTL1 レジスタの MD_DEC[2:0] ビットで設定します。また、PQ 訂正、QP 訂正モードを選択した際の訂正繰り返し回数は、CROMCTL1 レジスタの MD_PQREP[1:0] ビットで設定します。

自動モード・フォーム検出機能使用時には、判定されたモードに従って、ECC 訂正、EDC チェックが行われます。P パリティ、Q パリティ、EDC のない Mode0、Mode2 と判断した際には、ECC 訂正、EDC チェックは行われません。また、Mode2 Form2 と判断した際には、ECC 訂正は行われません。

(a) ECC 訂正

ECC 訂正使用時は、訂正不能と判断すると、IERR 割り込みを発生し、CROMST6 レジスタの ST_ECCNG ビットが 1 になります。また、当該ビットは、ショートセクタ検出時にも 1 となります。

CROMCTL4 レジスタの NO_ECC ビットが 1 に設定されていたときは、ECC 前 EDC チェックが OK であったなら、シンドローム演算結果にかかわらず ECC 訂正を行いません。

(b) EDC チェック

EDC チェック使用時には、設定したモード・フォームに従って EDC チェックを行います。また、自動モード・フォーム検出機能使用時には、判定されたモード・フォームに従って、EDC チェックを行います。

ECC 訂正前、訂正後の EDC チェック結果が、それぞれ CROMST6 レジスタの ST_EDC1、ST_EDC2 ビットに反映されます。また、ECC 訂正後の EDC チェック結果が NG となった場合、IERR 割り込みを発生します。

26.4.4 自動デコード停止機能

CD-ROM データをデコード中に異常が発生した場合、自動的にデコードを停止することができます。

自動停止する要因は、以下の場合があります。どの要因を有効にするかは、CROMCTL3 レジスタで設定します。

- ECC訂正が不能になった場合
- ECC後のEDCチェックがNGになった場合
- モード、フォームが変化した場合
- MSF (分、秒、フレーム (1/75秒)) が不連続となった場合

上記要因で自動停止する場合には、要因が発生したセクタを出力した後、デコードを停止します。

CROMCTL3 レジスタで設定した要因が発生して、デコードが停止した場合、CBUFST1 レジスタで、どの要因で自動停止したかを確認することができます。

また、CD-ROM デコーダ内には、2セクタ分のバッファを持っています。出力ストリームデータを読み出さずに、ストリームデータを入力し続けると、3セクタ目のデータが入力された時点で、CD-ROM デコーダは停止します。このとき、CBUFST2 レジスタのBUF_NG ビットが1となります。割り込みは発生しません。CBUFST2 レジスタのBUF_NG ビットが1となったときには、ROMDECRST レジスタのLOGICRST ビットによりCD-ROM デコーダ機能をクリアしないと回復できません。ROMDECRST レジスタのLOGICRST ビットを1にすることにより、リセット信号が出力され、設定されていたレジスタも初期値にクリアされます。

26.4.5 バッファリングフォーマット

図 26.15 は、CD-ROM デコード後の出力ストリームデータフォーマットを示しています。

CD-ROM デコーダの出力は、2 バイト幅のウィンドレジスタ STRMDOUT0 を持っており、CD-ROM デコード完了後、当該レジスタをアクセスすると、同期コードから順に出力されます。

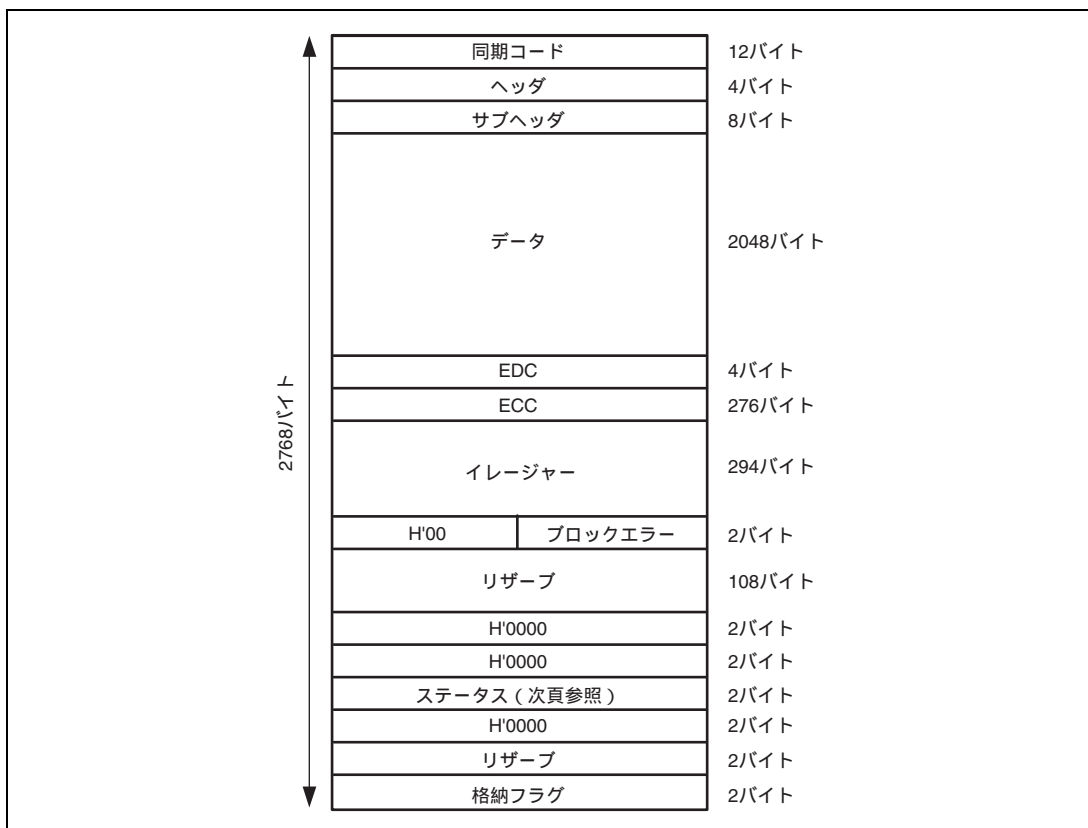


図 26.15 出力ストリームデータフォーマット

図 26.15 のステータスの 2 バイトは、以下の意味を持っています。アサインされていないビットは不定です。

ステータス															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERR	QERR	EDCE	-	-	-	-	-	SD	SY	FM[2:0]			HD	-	-

PERR : P 系列にエラーが残っていることを示します。

QERR : Q 系列にエラーが残っていることを示します。

EDCE : ECC 後の EDC チェックが NG であることを示します。

SD : ショートセクタとなったことを示します。

SY : 同期コードを内挿したことを示します。

FM : データフォーマットを意味しています。

001 : Mode0

010 : Mode1

011 : Long (EDC、ECC なしフォーマット)

100 : Mode2 notXA

101 : Mode2 Form1

110 : Mode2 Form2

HD : ヘッダの連続性 (分、秒、フレーム (1/75 秒)) で NG)

図 26.15 の格納フラグは 1 セクタ分出力するごとに H'0000 ~ H'FFFF までカウントアップ (H'FFFF 後、H'0000 にラップアラウンド) します。なお、格納フラグに限り 2 バイトの上位バイトと下位バイトが入れ替わりますのでご注意ください。

26.4.6 目標セクタバッファリング機能

CD-ROM デコーダには、出力したいセクタを指定する方法として、目標セクタを事前に設定しておき CD-ROM デコーダ自体が目標セクタを検出する、自動バッファリング機能と、CD-ROM デコーダ内にバッファリングされているセクタをソフトウェアが認識しながら、ソフトウェアにより目標セクタの出力を指示する、手動バッファリング機能があります。

以下に、自動・手動バッファリングを行うための CD-ROM デコーダ内レジスタの設定方法を示します。

(1) 自動バッファリング設定

図 26.16 に自動バッファリングの設定例を示します。

CD-ROM デコーダレジスタを設定し、ストリームデータを入力すれば、目標セクタを CD-ROM デコーダが検出し、ストリームデータを出力開始します。

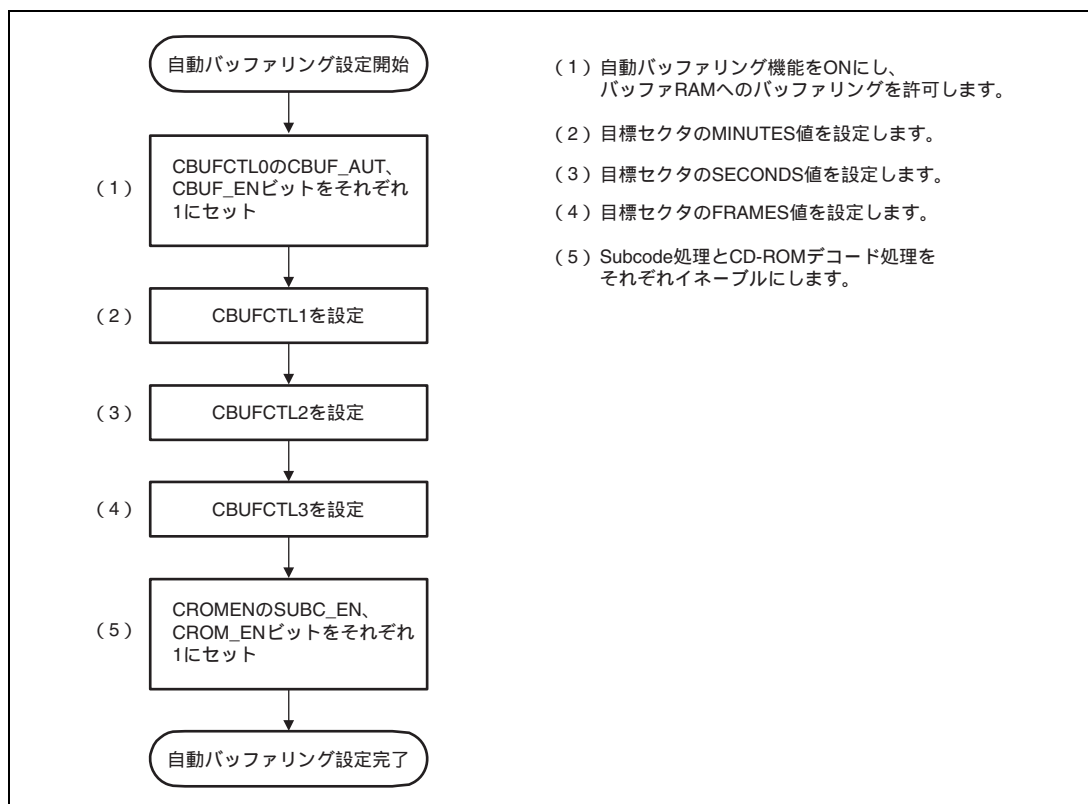


図 26.16 自動バッファリングの設定例

(2) 手動バッファリング設定

図 26.17 に手動バッファリングの設定例を示します。

ISEC 割り込みがかかるたびに、目標セクタであるかどうかを判定し、目標セクタとなってから、バッファリングを ON とします。

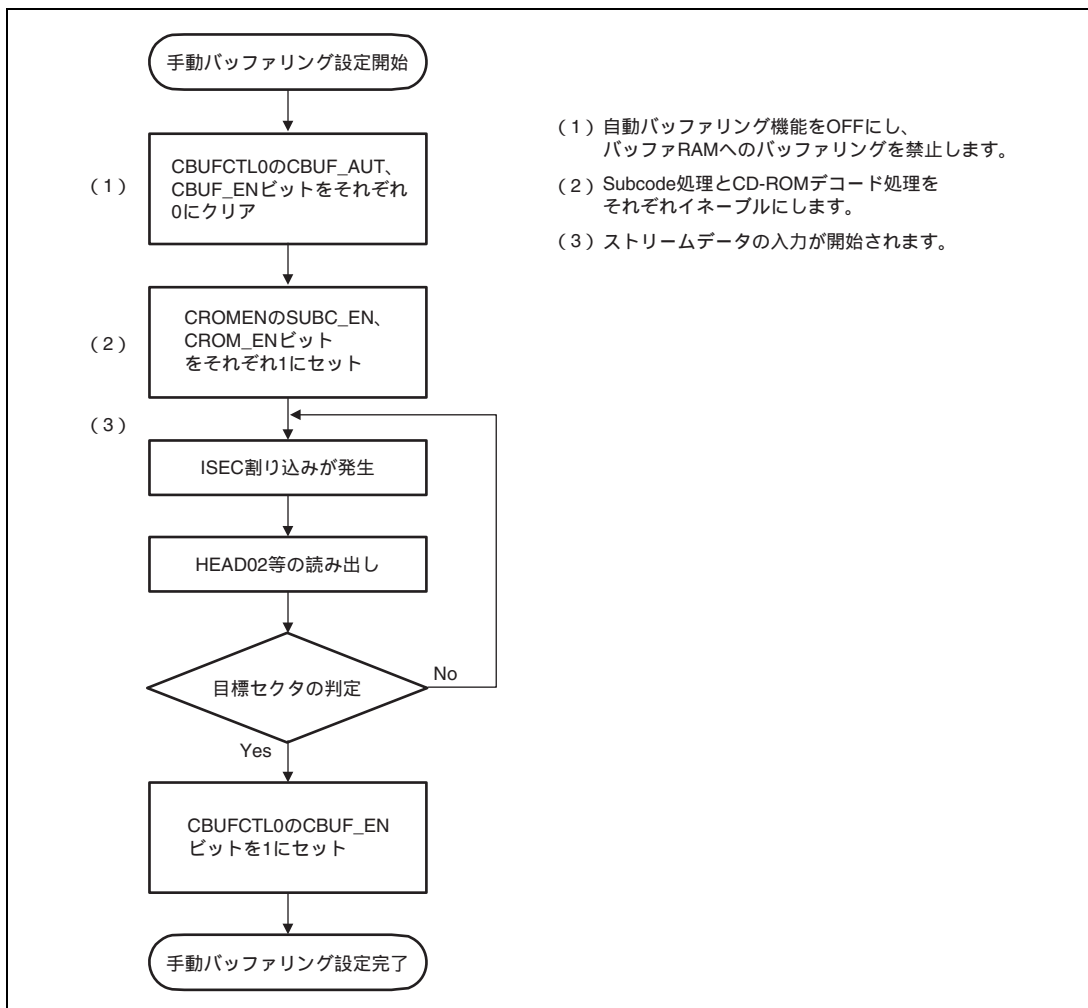


図 26.17 手動バッファリングの設定例

26.5 割り込み要因

26.5.1 割り込みおよび DMA 転送要求信号

表 26.3 は、CD-ROM デコーダが出力する割り込み信号と DMA 転送を要求する信号の意味と接続先を示しています。

表 26.3 割り込みおよび DMA 転送要求一覧

名 称	条 件	接 続 先
ISEC	セクタが切り替わったとき	割り込みコントローラ
ITARG	CD-ROM のアクセスセクタが目標セクタからずれたとき	割り込みコントローラ
ISY	CD-ROM 同期コード異常タイミング	割り込みコントローラ
IERR	ECC 訂正不能、もしくは ECC 訂正後の EDC チェックでエラーが発生したとき	割り込みコントローラ
IBUF	バッファへのデータ転送状況に変化があったとき	割り込みコントローラ
IREADY	CD-ROM のバッファへのデータ転送要求	割り込みコントローラ
DMA 転送要求	CD-ROM のバッファへのデータ転送要求	ダイレクトメモリ アクセスコントローラ

(1) ISEC 割り込み

同期コードから始まる 1 つのセクタから、次のセクタに切り替わったときに発生します。

(2) ITARG 割り込み

CD-DSP から転送されるストリームデータが、目標セクタとずれていたときに発生します。CD-ROM デコーダではサブコード内の時間をチェックし、正しい状態では、目標とするセクタの少し前からデータ転送が開始されることを期待しますが、以下の場合に割り込みを発生します。

- 目標とするセクタのかなり以前のデータが転送されたとき
- 目標とするセクタの後のデータが転送されたとき

なお、本割り込みは、サブコードから ITARG を検出しますが、本 LSI ではシリアルサウンドインタフェースから CD-ROM データが転送されるので、本割り込みは意味を持ちません。

(3) ISY 割り込み

以下の場合に割り込みを発生します。

- ワードカウンタ（同期コード間隔チェックカウンタ）の正しくないところで同期コードを検出したが、当該同期コードを無視したとき
- ワードカウンタが最終値になったが同期コードが検出されず、内挿（保護）したとき
- ワードカウンタの正しくないところで同期コードを検出し、当該同期コードにより再同期したとき
- ワードカウンタが最終値になったが同期コードが検出されず、1セクタの期間が長くなったとき
- 同期コードと内挿したタイミングがショートセクタとなったとき

- 同期コードと内挿したタイミングがロングセクタとなったとき

(4) IERR 割り込み

以下の場合に割り込みを発生します。

- ECCで訂正しきれなかったとき
- ECCでは訂正OKとなったが、ECC訂正後のEDCチェックでエラーが発生したとき

(5) IBUF 割り込み

以下切り替わりで割り込みを発生します。

- リングバッファヘデータ転送中 データ転送完了 (次転送データ検索中)
- リングバッファへの転送データ検索中 データ転送開始

(6) IREADY 割り込み

1セクタ分のCD-ROM デコードが終了すると発生する割り込みです。出力ストリームデータをCPUでSDRAMへバッファリングするときは、本割り込みを起動信号として使用します。

(7) DMA 転送要求

ダイレクトメモリアクセスコントローラを起動する要因は、IREADYと同じです。1セクタ分の出力ストリームデータが揃うと割り込み要求を発生し、図26.15で示した2768バイトのデータを転送し終わると、一度ネゲートします。これは、次の1セクタ分の出力ストリームデータが揃うまでに時間がかかりますので、ダイレクトメモリアクセスコントローラからのデータ転送要求を一度停止させるためです。

26.5.2 ステータスレジスタの更新タイミング

CD-ROM デコーダが持つステータス情報のレジスタはISEC 割り込みごとに更新されます。どのセクタの情報が反映されるかは、CROMCTL4 レジスタのER0SEL ビットで設定します。

26.6 使用上の注意事項

26.6.1 デコード動作状態でバッファリングのみ停止 / 再開させる場合の注意

CD-ROM デコーダを動作させたまま、出力ストリームデータを読み出さないと、CBUFST2 レジスタの BUF_NG ビットが 1 となり、以降 CD-ROM デコーダは動作不能となります。

バッファリングのみ停止する場合は、CBUFCTL0 レジスタの CBUF_EN ビットを 0 に設定します。また、自動バッファリング機能使用時には、同時に CBUFCTL0 レジスタの CBUF_AUT ビットを 0 に設定します。このとき、現在バッファリング中のセクタは読み出してください。

バッファリングを再開するときには、自動バッファリング機能を使用している場合、CBUFCTL0 レジスタの CBUF_AUT ビットと CBUF_EN ビットを同時に 1 にセットしてください。

26.6.2 同期コードステータスレジスタ (CROMST0) 設定時の注意

1. CROMST0レジスタのST_SECSビットが1になった場合、デコードをただちに停止させ、現在デコード中の1つ前のセクタからリトライを行ってください。
2. CROMST0レジスタのST_SECLビットが1になった場合、デコードをただちに停止させ、現在デコード中の2つ前のセクタからリトライを行ってください。

26.6.3 リンクブロックでの注意

本 CD-ROM デコーダのリンクブロック検出機能は、ECC 訂正前のヘッダ情報を用いて判断しています。したがって、入力ストリームデータが誤っていたとき、リンクブロックを誤検出する可能性があります。これを防ぐため、ソフトウェアにて以下の対策をしてください。

- バッファリング中(CBUFST0レジスタBUF_ACT = 1) ISEC割り込みのたびにCROMST5レジスタLINK_OUT1 ビットを確認し、1のとき、HEAD20~23レジスタ値からMSF値を記憶してください。このとき、IERR割り込みが発生していないことを確認してください。発生していた場合は、MSF値をとらないでください。
- 上記のLINK_OUT1ビットが1であることを確認した後、7セクタ間 (ISEC割り込み7回) 以下の処理を行ってください。

1. ISEC割り込みのたびに、CROMST5レジスタのLINK_ON = 1を確認し、その後の2セクタ間で再び、LINK_ON = 1を検出したとき
2. LINK_ON = 1が1度も検出されなかったとき

上記 1、2の場合、デコードを強制終了し、CROMSY0 レジスタを外部同期モードにして、目標セクタを上記で記憶した MSF 値 + 7 (リンクブロックの直後) を目標セクタとして、リトライしてください。

開始セクタアドレスは、ランアウトの格納アドレス + 7 になります。

26.6.4 CD-DSP 停止・再開時の注意点

CD-ROM デコーダへの入力ストリームデータを停止・再開するときに、停止したときのストリームデータが同期コードの直前で停止せず、その後再開すると、不当なストリームデータを認識してしまうことがあります。これは、停止したとき途中まで入力されていたストリームデータと、再開したときに入力されていたストリームデータが混在してしまうためです。入力ストリームデータを停止・再開するときは注意してください。

26.6.5 IREADY フラグクリアの注意点

割り込み処理などで IREADY フラグをクリアする際は、必ず 1 セクタ分 (2768 バイト) のデータを読み出した後に 0 クリアしてください。1 セクタ分の読み出しが完了する前に IREADY フラグを 0 クリアしてしまうと、以降のセクタについてはデコード不能となります。このとき、復帰する場合は CD-ROM デコーダモジュールリセットコントロールレジスタ (ROMDECRST) の LOGICRST ビットを 1 ライト後に 0 ライトとアクセスしてください。

26.6.6 ストリームデータ転送における注意点 (1)

ストリームデータの読み出しがストリームデータの書き込みより遅い場合、CD-ROM デコーダはバッファオーバフロー状態に陥り異常停止します。ストリームデータの書き込み、読み出しの転送には十分注意してください。以下に、ストリームデータ転送設定の組み合わせ例を示します。

表 26.4 ストリームデータ転送設定の組み合わせ例

ストリーム入力	ストリーム出力
ダイレクトメモリアクセスコントローラによる LW / サイクルスチール転送 (パディングなし)	(1) ダイレクトメモリアクセスコントローラによる 16 バイト / サイクルスチール転送 (16 バイト*) (2) ダイレクトメモリアクセスコントローラによるバースト転送 (16 バイト*、ロングワード、ワード)
ダイレクトメモリアクセスコントローラによる LW / サイクルスチール転送 (パディングあり)	(1) ダイレクトメモリアクセスコントローラによるサイクルスチール転送 (16 バイト*、ロングワード) (2) ダイレクトメモリアクセスコントローラによるバースト転送 (16 バイト*、ロングワード、ワード)
CPU による LW ライト	(1) ダイレクトメモリアクセスコントローラによるサイクルスチール転送 (16 バイト*、ロングワード、ワード) (2) ダイレクトメモリアクセスコントローラによるバースト転送 (16 バイト*、ロングワード、ワード)

【注】 * 通常の 16 バイト転送設定に加え、DMA チャンネルコントロールレジスタ (CHCR_n) のビット 25 を 1 にすることも合わせて行ってください。

26.6.7 ストリームデータ転送における注意点 (2)

ストリームデータの読み出しは、必ずダイレクトメモリアクセスコントローラもしくは CPU のどちらか一方で行ってください。ダイレクトメモリアクセスコントローラと CPU のリードが混在した場合には、ストリームデータが CD-ROM のフォーマットとして認識できなくなる可能性があります。

27. A/D 変換器

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 8 チャンネルのアナログ入力を選択することができます。

27.1 特長

- 分解能：10ビット
- 入力チャンネル：SH7268は6チャンネル、SH7269は8チャンネル
- 最小変換時間：1チャンネル当たり6.0 μ s
- 絶対精度： ± 5 LSB
- 動作モード：3種類
 - シングルモード：1チャンネルのA/D変換
 - マルチモード：1～4チャンネルのA/D変換または1～8チャンネルのA/D変換（SH7268は6チャンネル）
 - スキャンモード：1～4チャンネルの連続A/D変換または1～8チャンネルの連続A/D変換（SH7268は6チャンネル）
- データレジスタ：8本
 - 変換結果を各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - マルチファンクションタイマパルスユニット2による変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了時に、A/D変換終了割り込み（ADI）要求を発生可能
- モジュールスタンバイモードの設定可能

図 27.1 にブロック図を示します。

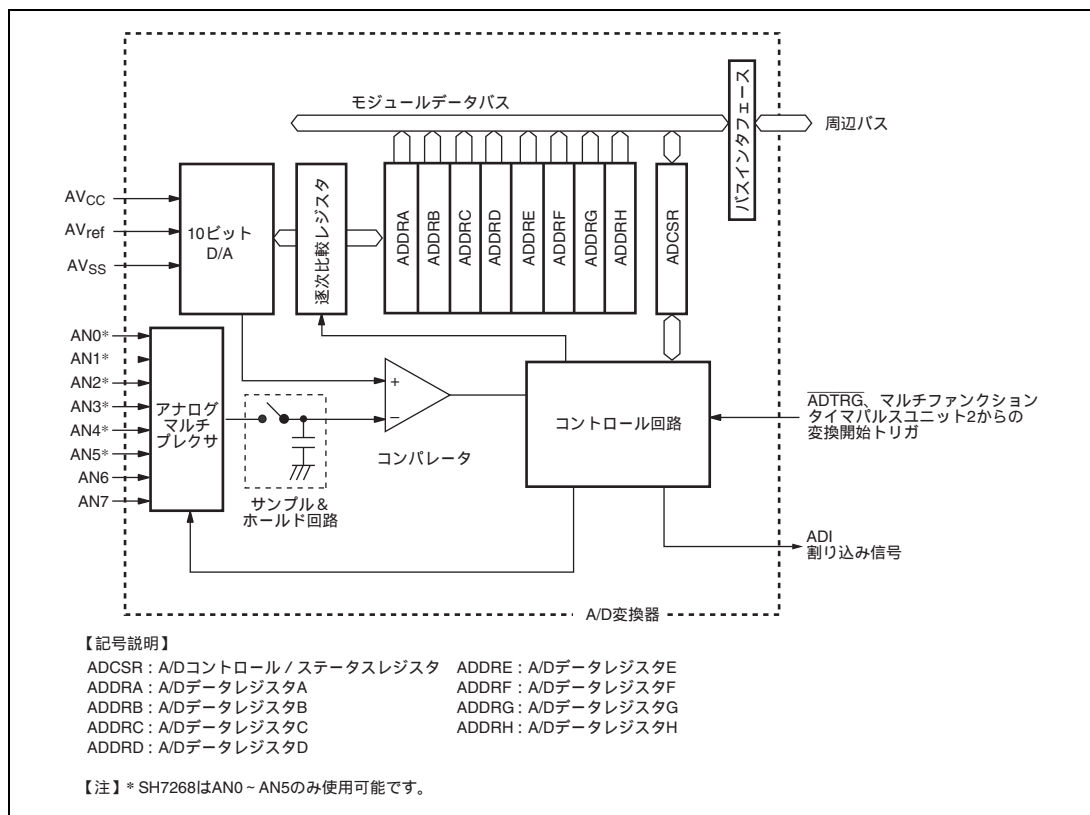


図 27.1 ブロック図

27.2 入出力端子

表 27.1 に端子構成を示します。

表 27.1 端子構成

名称	端子名	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子および A/D 変換の基準グランド
アナログ基準電圧端子	AVref	入力	A/D 変換器の基準電圧端子
アナログ入力端子 0*	AN0	入力	アナログ入力
アナログ入力端子 1*	AN1	入力	
アナログ入力端子 2*	AN2	入力	
アナログ入力端子 3*	AN3	入力	
アナログ入力端子 4*	AN4	入力	
アナログ入力端子 5*	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力

【注】* SH7268 はアナログ入力端子 0～5 (AN0～AN5) のみ使用可能です。

27.3 レジスタの説明

表 27.2 にレジスタ構成を示します。

表 27.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ A	ADDRA	R	H'0000	H'E8005800	16
A/D データレジスタ B	ADDRB	R	H'0000	H'E8005802	16
A/D データレジスタ C	ADDRC	R	H'0000	H'E8005804	16
A/D データレジスタ D	ADDRD	R	H'0000	H'E8005806	16
A/D データレジスタ E	ADDRE	R	H'0000	H'E8005808	16
A/D データレジスタ F	ADDRF	R	H'0000	H'E800580A	16
A/D データレジスタ G	ADDRG	R	H'0000	H'E800580C	16
A/D データレジスタ H	ADDRH	R	H'0000	H'E800580E	16
A/D コントロール / ステータスレジスタ	ADCSR	R/W	H'0000	H'E8005820	16

27.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA~ADDRH の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR のビット 15~6 に転送され、保持されます。ビット 5~0 は読み出すと常に 0 が読み出されます。

ADDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

アナログ入力チャンネルと ADDR の対応を表 27.3 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6		すべて 0	R	ビットデータ (10 ビット)
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 27.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	変換結果が格納される A/D データレジスタ
AN0*	ADDRA
AN1*	ADDRB
AN2*	ADDRC
AN3*	ADDRD
AN4*	ADDRE
AN5*	ADDRF
AN6	ADDRG
AN7	ADDRH

【注】* SH7268 は AN0~AN5 のみ使用可能です。

27.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は、16 ビットの読み出し/書き込み可能なレジスタで、動作モードの選択、A/D 変換の動作制御、および外部トリガ入力による A/D 変換開始の許可または禁止の選択を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	TRGS[3:0]				CKS[2:0]		MDS[2:0]			CH[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)*1	<p>A/D エンドフラグ</p> <p>A/D 変換の終了を示すステータスフラグです。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ADF = 1 の状態で ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき ADI 割り込みによりダイレクトメモリアクセスコントローラが起動され、ADDR を読み出したとき <p>[セット条件]</p> <ul style="list-style-type: none"> シングルモードで A/D 変換が終了したとき マルチモードで選択されたすべてのチャンネルの A/D 変換が終了したとき スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき
14	ADIE	0	R/W	<p>A/D インタラプトイネーブル</p> <p>A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。</p> <p>0: A/D 変換の終了による割り込み (ADI) 要求を禁止</p> <p>1: A/D 変換の終了による割り込み (ADI) 要求を許可</p>
13	ADST	0	R/W	<p>A/D スタート</p> <p>A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。</p> <p>0: A/D 変換を停止</p> <p>1: シングルモード時: A/D 変換を開始。指定したチャンネルの A/D 変換が終了すると自動的にクリア。</p> <p>マルチモード時: A/D 変換を開始。指定したすべてのチャンネルを一巡して A/D 変換が終了すると自動的に 0 にクリア。</p> <p>スキャンモード時: A/D 変換を開始。ソフトウェア、パワーオンリセット、ディープスタンバイモード、ソフトウェアスタンバイモード、またはモジュールスタンバイモードへの遷移により 0 にクリアされるまで連続変換し続けます。</p>

ビット	ビット名	初期値	R/W	説明
12~9	TRGS[3:0]	0000	R/W	<p>タイマトリガセレクト</p> <p>トリガ信号による A/D 変換開始の許可または禁止を選択します。</p> <p>0000 : 外部トリガによる A/D 変換開始を禁止</p> <p>0001 : マルチファンクションタイムパルスユニット 2 からの変換トリガ TRGAN による A/D 変換開始</p> <p>0010 : マルチファンクションタイムパルスユニット 2 からの変換トリガ TRG0N による A/D 変換開始</p> <p>0011 : マルチファンクションタイムパルスユニット 2 からの変換トリガ TRG4AN による A/D 変換開始</p> <p>0100 : マルチファンクションタイムパルスユニット 2 からの変換トリガ TRG4BN による A/D 変換開始</p> <p>1001 : $\overline{\text{ADTRG}}$ による A/D 変換開始</p> <p>上記以外 : 設定禁止</p>
8~6	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>A/D 変換時間の設定を行います*²。変換時間の設定は変換停止中 (ADST = 0) に行ってください。</p> <p>000 : 変換時間 = 412 t_{yc} (最大値)</p> <p>001 : 変換時間 = 480 t_{yc} (最大値)</p> <p>010 : 変換時間 = 548 t_{yc} (最大値)</p> <p>011、100、101、110、111 : 設定禁止</p>
5~3	MDS[2:0]	000	R/W	<p>マルチスキャンモード</p> <p>A/D 変換の動作モードを選択します。</p> <p>0xx : シングルモード</p> <p>100 : マルチモード。1~4 チャンネルの A/D 変換</p> <p>101 : マルチモード。1~8 チャンネルの A/D 変換</p> <p>110 : スキャンモード。1~4 チャンネルの A/D 変換</p> <p>111 : スキャンモード。1~8 チャンネルの A/D 変換</p>

ビット	ビット名	初期値	R/W	説 明																														
2~0	CH[2:0]	000	R/W	チャンネルセレクト ADCSR の MDS ビットとともにアナログ入力を選択します。 <table style="width: 100%; border: none;"> <tr> <td style="width: 33%;"></td> <td style="width: 33%; text-align: center;">MDS = 100 または</td> <td style="width: 33%; text-align: center;">MDS = 101 または</td> </tr> <tr> <td style="text-align: center;">MDS = 0xx のとき</td> <td style="text-align: center;">MDS = 110 のとき</td> <td style="text-align: center;">MDS = 111 のとき</td> </tr> <tr> <td style="text-align: center;">000 : AN0</td> <td style="text-align: center;">000 : AN0</td> <td style="text-align: center;">000 : AN0</td> </tr> <tr> <td style="text-align: center;">001 : AN1</td> <td style="text-align: center;">001 : AN0、AN1</td> <td style="text-align: center;">001 : AN0、AN1</td> </tr> <tr> <td style="text-align: center;">010 : AN2</td> <td style="text-align: center;">010 : AN0 ~ AN2</td> <td style="text-align: center;">010 : AN0 ~ AN2</td> </tr> <tr> <td style="text-align: center;">011 : AN3</td> <td style="text-align: center;">011 : AN0 ~ AN3</td> <td style="text-align: center;">011 : AN0 ~ AN3</td> </tr> <tr> <td style="text-align: center;">100 : AN4</td> <td style="text-align: center;">100 : AN4</td> <td style="text-align: center;">100 : AN0 ~ AN4</td> </tr> <tr> <td style="text-align: center;">101 : AN5</td> <td style="text-align: center;">101 : AN4、AN5</td> <td style="text-align: center;">101 : AN0 ~ AN5</td> </tr> <tr> <td style="text-align: center;">110 : AN6^{*3}</td> <td style="text-align: center;">110 : AN4 ~ AN6^{*3}</td> <td style="text-align: center;">110 : AN0 ~ AN6^{*3}</td> </tr> <tr> <td style="text-align: center;">111 : AN7^{*3}</td> <td style="text-align: center;">111 : AN4 ~ AN7^{*3}</td> <td style="text-align: center;">111 : AN0 ~ AN7^{*3}</td> </tr> </table>		MDS = 100 または	MDS = 101 または	MDS = 0xx のとき	MDS = 110 のとき	MDS = 111 のとき	000 : AN0	000 : AN0	000 : AN0	001 : AN1	001 : AN0、AN1	001 : AN0、AN1	010 : AN2	010 : AN0 ~ AN2	010 : AN0 ~ AN2	011 : AN3	011 : AN0 ~ AN3	011 : AN0 ~ AN3	100 : AN4	100 : AN4	100 : AN0 ~ AN4	101 : AN5	101 : AN4、AN5	101 : AN0 ~ AN5	110 : AN6 ^{*3}	110 : AN4 ~ AN6 ^{*3}	110 : AN0 ~ AN6 ^{*3}	111 : AN7 ^{*3}	111 : AN4 ~ AN7 ^{*3}	111 : AN0 ~ AN7 ^{*3}
	MDS = 100 または	MDS = 101 または																																
MDS = 0xx のとき	MDS = 110 のとき	MDS = 111 のとき																																
000 : AN0	000 : AN0	000 : AN0																																
001 : AN1	001 : AN0、AN1	001 : AN0、AN1																																
010 : AN2	010 : AN0 ~ AN2	010 : AN0 ~ AN2																																
011 : AN3	011 : AN0 ~ AN3	011 : AN0 ~ AN3																																
100 : AN4	100 : AN4	100 : AN0 ~ AN4																																
101 : AN5	101 : AN4、AN5	101 : AN0 ~ AN5																																
110 : AN6 ^{*3}	110 : AN4 ~ AN6 ^{*3}	110 : AN0 ~ AN6 ^{*3}																																
111 : AN7 ^{*3}	111 : AN4 ~ AN7 ^{*3}	111 : AN0 ~ AN7 ^{*3}																																

【記号説明】 x : Don't care

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 A/D 変換器特性の絶対精度を満足するためには、最小変換時間以上となるよう設定してください。

*3 SH7268 では設定禁止です。

27.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。動作モードにはシングルモードとマルチモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

27.4.1 シングルモード

シングルモードは、1 チャネルのみの A/D 変換を行う場合に選択します。

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、マルチファンクションタイムパルスユニット2、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的に 0 にクリアされて A/D 変換器は待機状態になります。

A/D 変換中に、モードやアナログ入力チャネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。更新した後、ADST ビットを 1 にセットすると（モードおよびチャネルの変換と ADST ビットのセットは同時に行うことができます）、再び A/D 変換を開始します。

シングルモードでチャネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 27.2 に示します（動作例におけるビットの指定は ADCSR レジスタです）。

1. 動作モードをシングルモードに、入力チャネルを AN1 に (CH[2:0]=001)、A/D 割り込み要求許可 (ADIE=1) に設定して、A/D 変換を開始 (ADST=1) します。
2. A/D 変換が終了すると、A/D 変換結果が ADDR8 に転送されます。同時に、ADF=1、ADST=0 となり、A/D 変換器は変換待機となります。
3. ADF=1、ADIE=1 となっているため、ADI 割り込み要求が発生します。
4. A/D 割り込み処理ルーチンが開始されます。
5. ADF=1 を読み出した後、ADF に 0 を書き込みます。
6. A/D 変換結果 (ADDR8) を読み出して、処理します。
7. A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され 2.~7. を行います。

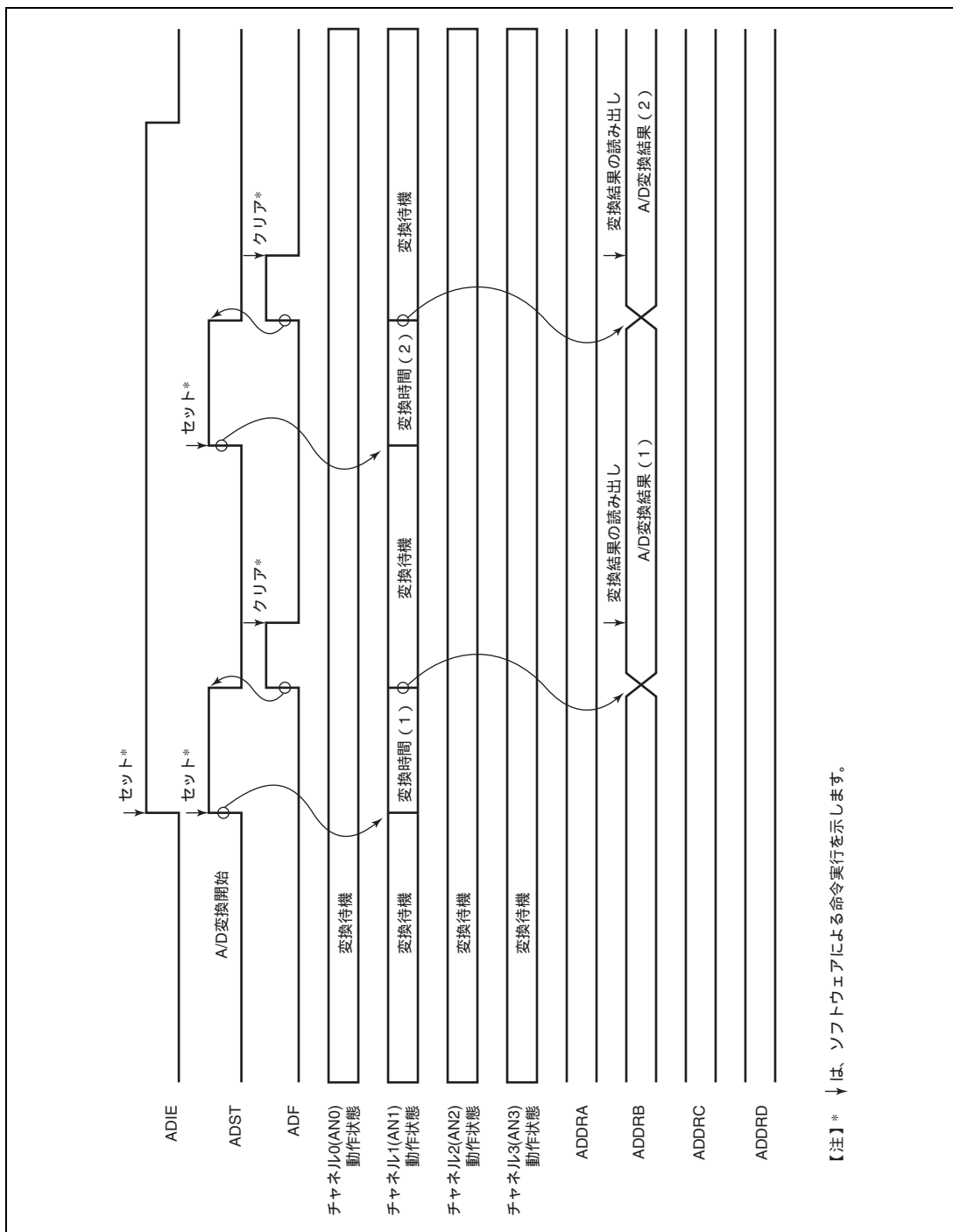


図 27.2 A/D 変換器の動作例 (シングルモード、チャンネル 1 選択時)

27.4.2 マルチモード

マルチモードは、複数チャンネル（1チャンネルを含む）のアナログ入力をそれぞれ1回順次変換します。

マルチモードは指定された最大8チャンネルのアナログ入力を以下のように1回A/D変換します。

1. ソフトウェア、マルチファンクションタイマパルスユニット2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順（たとえばAN0、AN1...AN3）にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的に0にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止し、A/D変換器は待機状態になります。ADFビットは、ADF = 1を読み出した後、ADFビットに0を書き込むとクリアされます。

A/D変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると（モードおよびチャンネルの変更とADSTビットのセットは同時に行うことができます）、第1チャンネルが選択され、再びA/D変換を開始します。

マルチモードで3チャンネル（AN0～AN2）を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図27.3に示します。

1. 動作モードをマルチモード（MDS[2]=1、MDS[1]=0）に、アナログ入力チャンネルをAN0～AN2（CH[2:0]=010）に設定してA/D変換を開始（ADST=1）します。
2. 第1チャンネル（AN0）のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR₀に転送します。
3. 次に第2チャンネル（AN1）が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル（AN2）まで変換を行います。
5. 選択されたすべてのチャンネル（AN0～AN2）の変換が終了すると、ADF=1となり、ADSTビットを0にして変換を終了します。
6. このときADIEビットが1であると、A/D変換終了後、ADI割り込みを発生します。

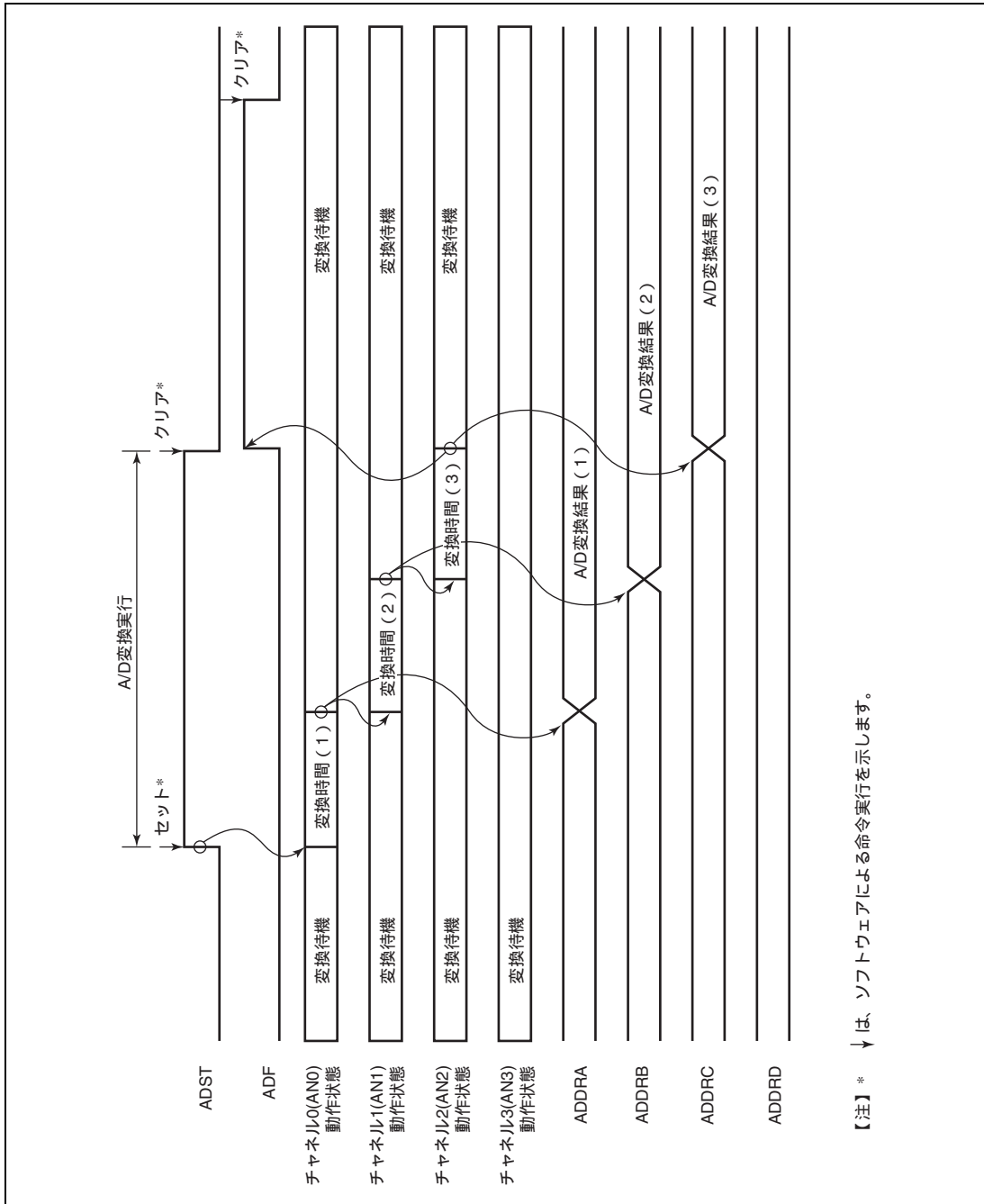


図 27.3 A/D 変換器の動作例 (マルチモード、AN0 ~ AN2 の 3 チャンネル選択時)

27.4.3 スキャンモード

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニタするようなシステムに適します。スキャンモードは、指定された最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェア、マルチファンクションタイマパルスユニット2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順(たとえばAN0、AN1...AN3)にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びチャンネル番号の小さい順にA/D変換を実行します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。
ADFビットは、ADF=1を読み出したあと、ADFビットに0を書き込むとクリアされます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると(モードおよびチャンネルの変更とADSTビットのセットは同時に行うことができます)、第1チャンネルが選択され、再びA/D変換を開始します。

スキャンモードで3チャンネル(AN0~AN2)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図27.4に示します。

1. 動作モードをスキャンモード(MDS[2]=1、MDS[1]=1)に、アナログ入力チャンネルをAN0~AN2(CH[2:0]=010)に設定してA/D変換を開始(ADST=1)します。
2. 第1チャンネル(AN0)のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRaに転送します。
3. 次に第2チャンネル(AN1)が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル(AN2)まで変換を行います。
5. 選択されたすべてのチャンネル(AN0~AN2)の変換が終了すると、ADF=1となり、再び、第1チャンネル(AN0)を選択し、連続して変換が行われます。このときADIEビットが1であると、A/D変換(第3チャンネルの変換)終了後、ADI割り込みを発生します。
6. ADSTビットは自動的にクリアされず、ADSTビットが1にセットされている間は2.~4.を繰り返します。繰り返している間はADF=1を保持しています。ADSTビットを0にクリアすると、A/D変換が停止します。ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

2.~4.を繰り返している間ADF=1でADIE=1の場合、常にADI割り込みを発生します。第3チャンネルの変換終了時点で割り込みを発生させたい場合は、割り込み発生後、ADFビットを0にクリアしてください。

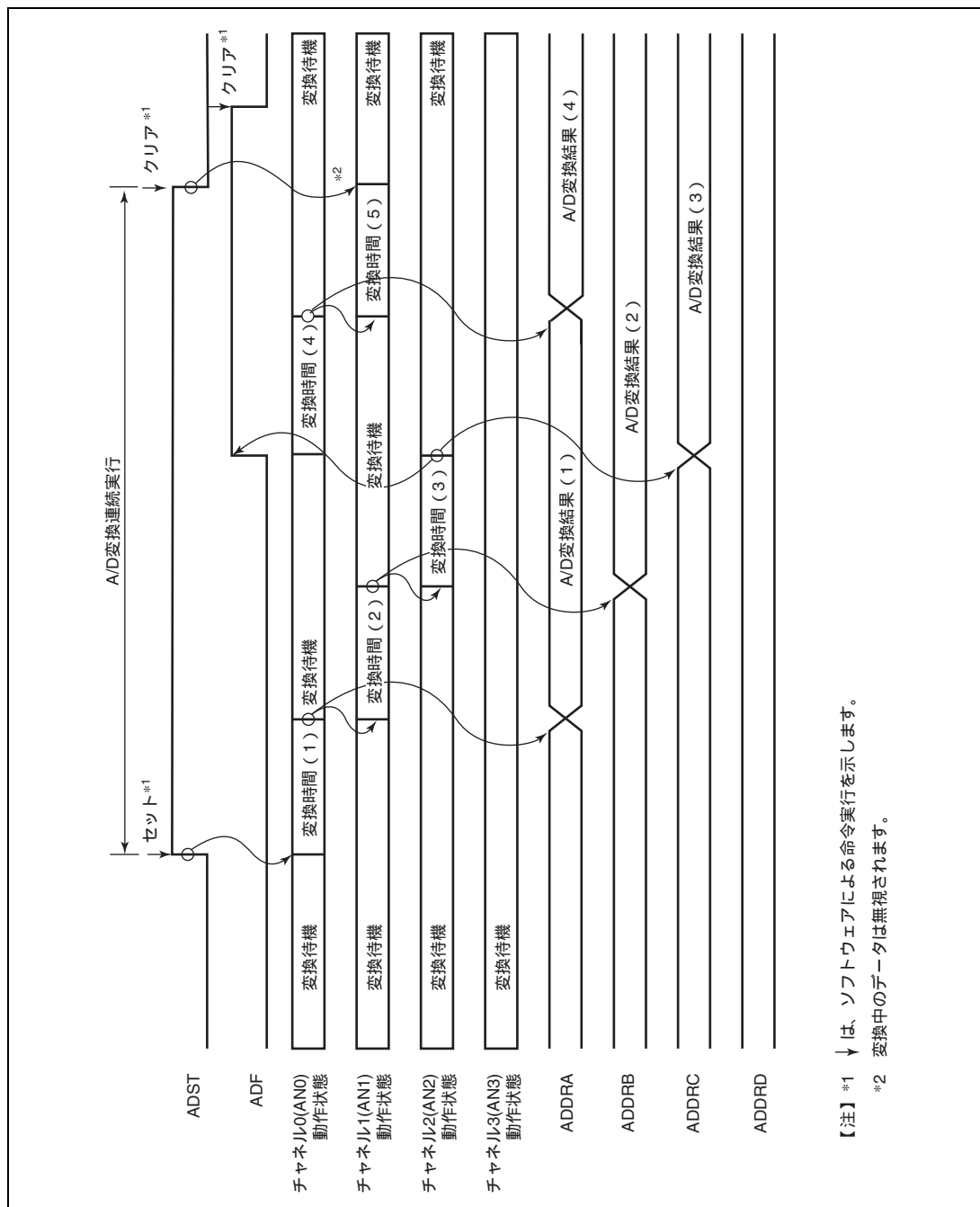


図 27.4 A/D 変換器の動作例 (スキャンモード、AN0 ~ AN2 の3チャンネル選択時)

27.4.4 外部トリガ、マルチファンクションタイマパルスユニット 2 による A/D 変換器の起動

外部トリガ、マルチファンクションタイマパルスユニット 2 からの A/D 変換要求によって、A/D 変換器を独立に起動することができます。外部トリガ、マルチファンクションタイマパルスユニット 2 から A/D 変換器を起動するときには、A/D トリガイネーブルビット (TRGS3 ~ TRGS0) の設定を行います。この状態で外部トリガ、マルチファンクションタイマパルスユニット 2 の A/D 変換要求が発生すると、ADST ビットを 1 にセットします。これで、A/D 変換が開始されます。変換を行うチャンネルは、ADCSR の CH2 ~ CH0 ビットで決まります。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

27.4.5 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_b) 経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 27.5 に示します。また、A/D 変換時間を表 27.4 に示します。

A/D 変換時間 (t_{CONV}) は、図 27.5 に示すように、 t_b と入力サンプリング時間 (t_{SPL}) を含めた時間となります。ここで t_b は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 27.4 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 27.4 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 27.5 に示す値となります。

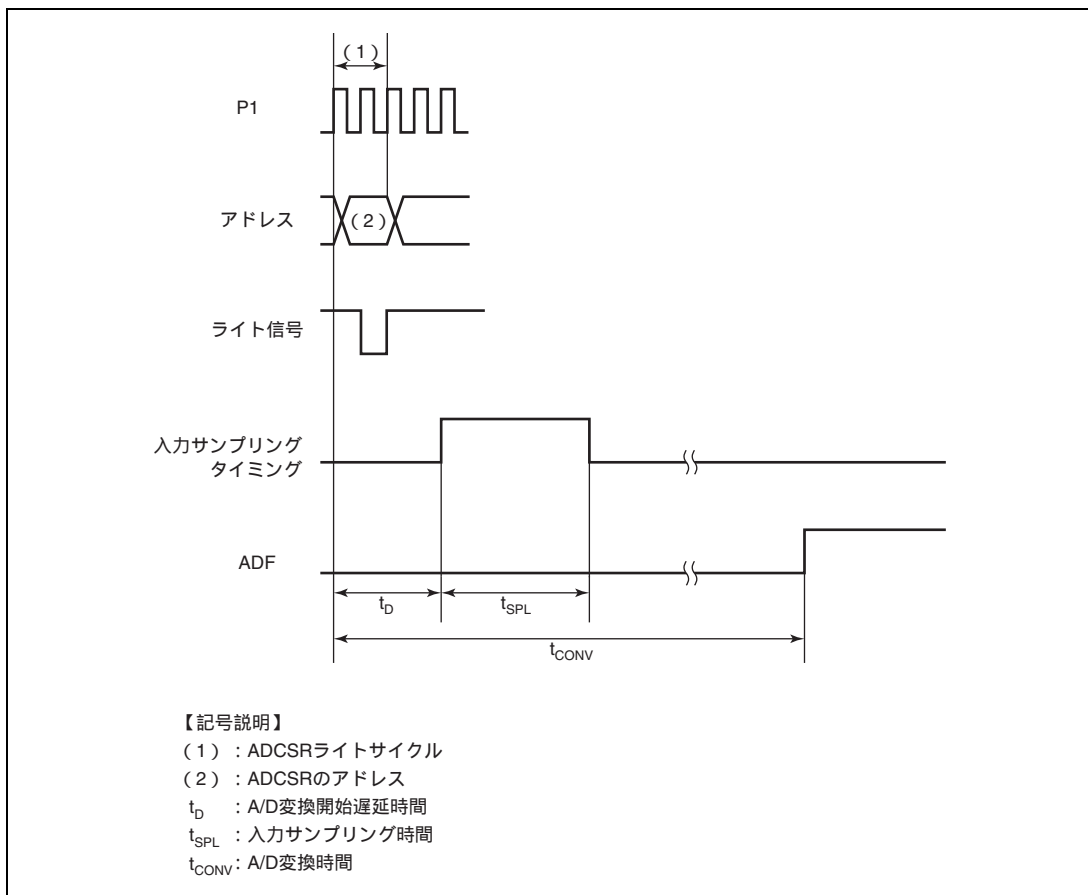


図 27.5 A/D 変換タイミング

表 27.4 A/D 変換時間 (シングルモード)

項目	記号	CKS2 = 0								
		CKS1 = 0						CKS1 = 1		
		CKS0 = 0			CKS0 = 1			CKS0 = 0		
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
A/D 変換開始遅延時間	t_D	15	-	26	17	-	30	19	-	34
入力サンプリング時間	t_{SPL}	-	97	-	-	113	-	-	129	-
A/D 変換時間	t_{CONV}	401	-	412	467	-	480	533	-	548

【注】 表中の数値の単位は t_{cyc} です。

表 27.5 A/D 変換時間 (マルチモード / スキャンモード)

CKS2	CKS1	CKS0	変換時間 (t_{cyc})
0	0	0	384 (固定)
		1	448 (固定)
	1	0	512 (固定)

【注】 表中の数値の単位は t_{cyc} です。

27.4.6 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCSR の TRGS3 ~ TRGS0 ビットが B'1001 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード / マルチモード / スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 27.6 に示します。

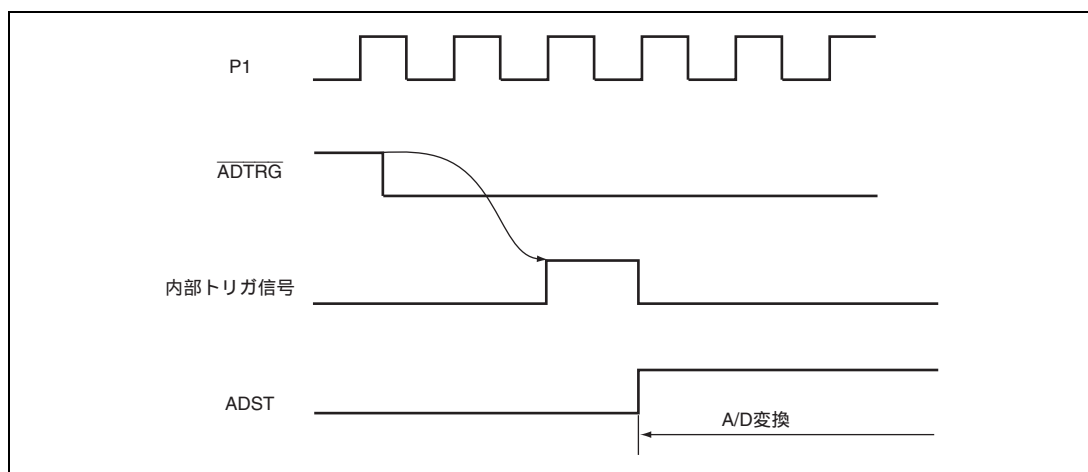


図 27.6 外部トリガ入力タイミング

27.5 割り込み要因と DMA 転送要求

A/D 変換器は、A/D 変換が終了すると、A/D 変換割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされていると ADI 割り込み要求が発生します。なお、ADI 割り込みは、ダイレクトメモリアクセスコントローラの設定により、ダイレクトメモリアクセスコントローラの起動ができます。このとき、CPU への割り込み要求は発生されません。ダイレクトメモリアクセスコントローラの起動設定を行わない場合は、CPU への割り込み要求が発生します。ダイレクトメモリアクセスコントローラを使用して ADI 割り込みで変換されたデータのリードを行うと、連続変換がソフトウェアの負担なく実現できます。

シングルモードでは、ADI 割り込みによる DMA 転送は 1 回となるように設定してください。スキャンモードまたはマルチモードによる複数チャンネルの A/D 変換では DMA 転送回数を 1 回に設定すると、1 チャンネルのデータ転送のみで DMA 転送が終了してしまいます。ダイレクトメモリアクセスコントローラによりすべての変換データを転送するには、転送元アドレスが A/D 変換データ格納先の ADDR となるように設定し、転送回数を変換チャンネル数に設定してください。

ADI でダイレクトメモリアクセスコントローラを起動する場合、DMA 転送時に ADCSR の ADF ビットは自動的にクリアされます。

表 27.6 割り込み要因と DMA 転送要求の関係

名称	割り込み要因	割り込みフラグ	ダイレクトメモリアクセスコントローラの起動
ADI	A/D 変換終了	ADCSR の ADF	可

27.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値をアナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 27.7 に沿って、上記 1.~4.の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの A/D 変換器を 3 ビットの A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）B'000000000 (図では 000) から B'000000001 (図では 001) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 27.7 (1)) です。フルスケール誤差とはデジタル出力値が B'111111110 (図では 110) から最大値（フルスケール電圧）B'111111111 (図では 111) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 27.7 (2)) です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます (図 27.7 (3))。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 27.7 (4)) です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

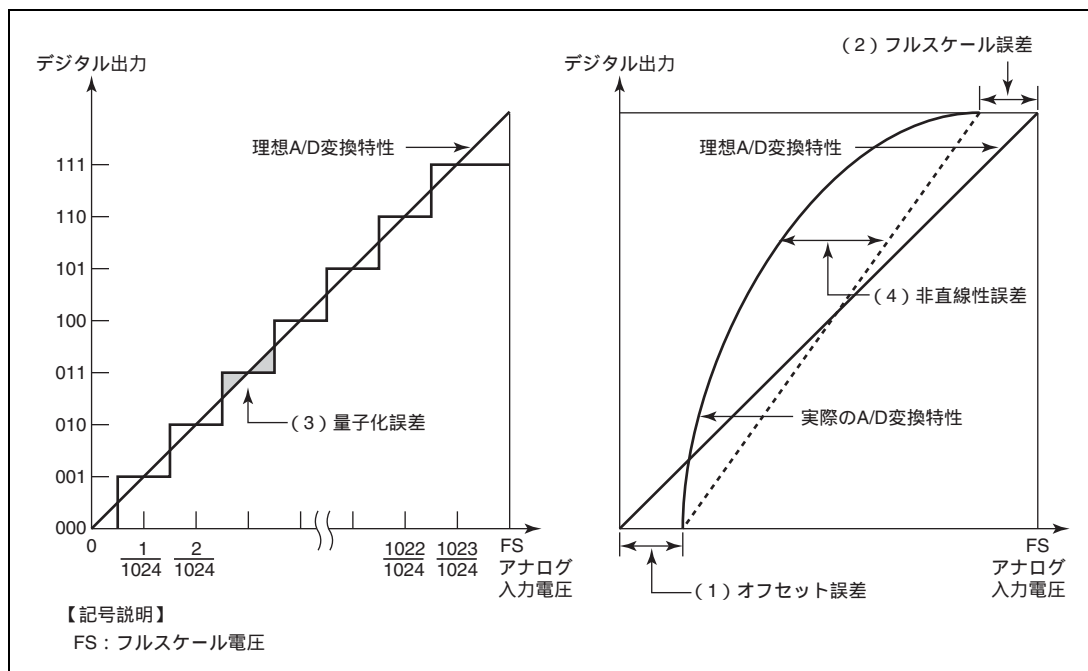


図 27.7 A/D 変換精度の定義

27.7 使用上の注意事項

A/D 変換器を使用する際は、以下のことに注意してください。

27.7.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、A/D 変換器の動作禁止 / 許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 49 章 低消費電力モード」を参照してください。

27.7.2 アナログ電圧の設定

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響をおよぼすことがあります。

1. アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は AV_{SS} AN_n AV_{CC} の範囲としてください。(n = 0 ~ 7)

2. AV_{CC}、AV_{SS} 入力電圧

AV_{CC}、AV_{SS} 入力電圧は、PV_{CC} - 0.3V AV_{CC} PV_{CC}、AV_{SS} = V_{SS} としてください。さらに、A/D 変換器を使用しないときやソフトウェアスタンバイモード時でも、AV_{CC}、AV_{SS} 端子をオープンにしないでください。使用しないときは、必ず AV_{CC} は電源 (PV_{CC}) に、AV_{SS} はグランド (V_{SS}) に接続してください。

3. AV_{REF} の設定範囲

AV_{REF} 端子によるリファレンス電圧範囲は 3.0V AV_{REF} AV_{CC} にしてください。

27.7.3 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN0 ~ AN3)、アナログ基準電圧 (AV_{REF})、アナログ電源 (AV_{CC}) は、アナロググランド (AV_{SS}) で、デジタル回路を分離してください。さらに、アナロググランド (AV_{SS}) は、ボード上の安定したデジタルグランド (V_{SS}) に一点接続してください。

27.7.4 アナログ入力端子の取り扱い

アナログ入力端子 (AN0 ~ AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 27.8 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 27.9 にアナログ入力端子の等価回路を、表 27.7 にアナログ入力端子の規格を示します。

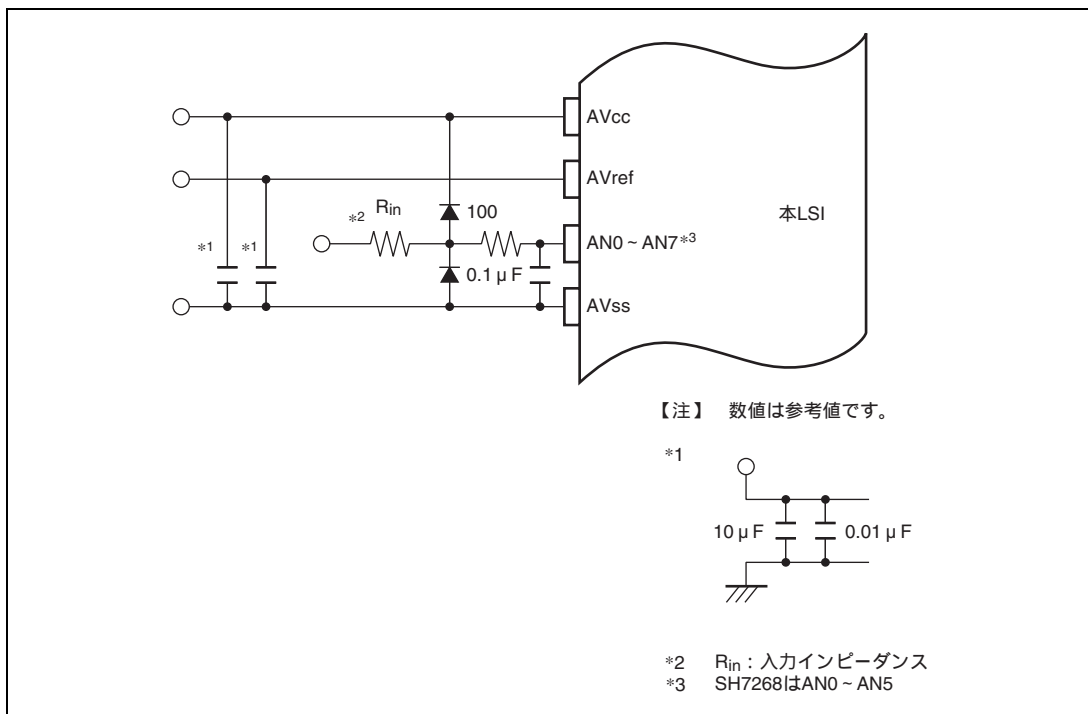


図 27.8 アナログ入力端子の保護回路例

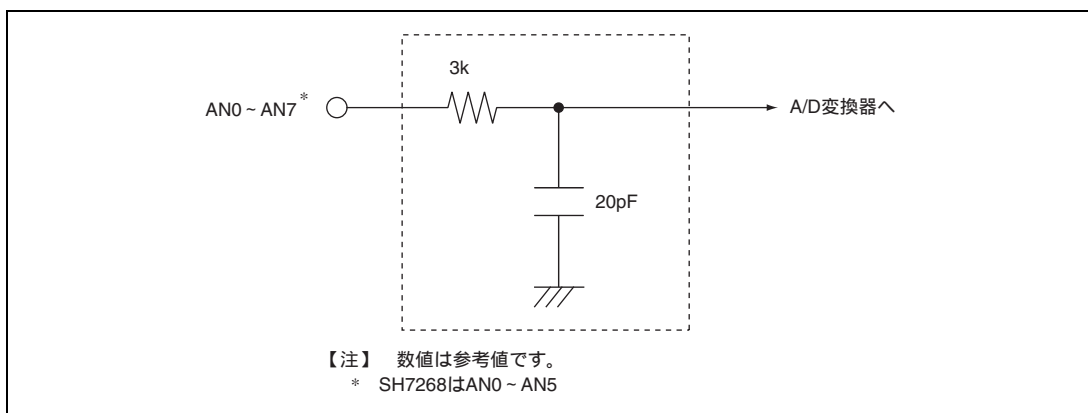


図 27.9 アナログ入力端子の等価回路

表 27.7 アナログ入力端子の規格

項目	Min.	Max.	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k

27.7.5 許容信号源インピーダンス

本 LSI のアナログ入力、信号源インピーダンスが $5k$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k$ を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $3k$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号(たとえば $5mV/\mu s$ 以上)には追従できないことがあります(図 27.10)。高速のアナログ信号を変換する場合やスキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

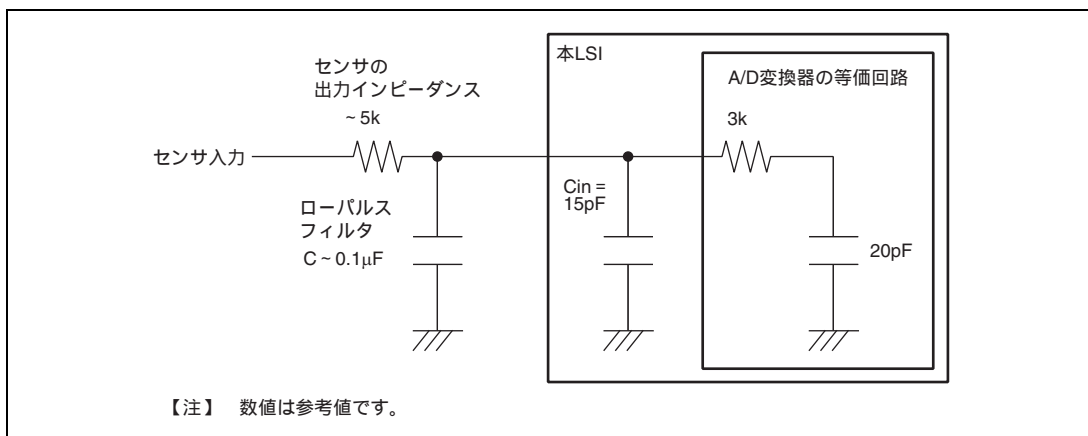


図 27.10 アナログ入力回路の例

27.7.6 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになります。GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等は電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

27.7.7 スキャンモードおよびマルチモード使用時の注意

スキャンモードおよびマルチモードの停止直後に変換を開始した場合、誤った変換結果を示すことがあります。連続して変換を行う場合は、 $ADST = 0$ とした後、1 チャンネル分の A/D 変換時間以上経過してから起動 ($ADST = 1$) するようにしてください (1 チャンネル分の変換時間は分周レジスタ設定により異なります)。

28. NAND フラッシュメモリコントローラ

NAND フラッシュメモリコントローラは、外付けの NAND 型フラッシュメモリとのメモリインタフェースを提供します。

28.1 特長

(1) NAND 型フラッシュメモリのメモリインタフェース

- NAND型フラッシュメモリとの直結が可能なインタフェース
- セクタ (512+16バイト) 単位のリードライト。
- バイト単位のリードライト
- ラージブロック (2048+64) サイズのフラッシュメモリに対応*
- 5バイトアドレスへの拡張により2Gビット超のアドレスに対応

【注】 * 本モジュールは、512+16 バイトを 1 セクタとして扱います。1 ページ 2048 + 64 バイトの製品に関しては、512+16 バイトごと (1 ページを 4 セクタ) に分割して処理します。

(2) アクセスモード：本モジュールでは次の 2 つのアクセスモードが選択できます。

- コマンドアクセスモード：本モジュールからフラッシュメモリに対して発行するコマンド、アドレス、入出力するデータサイズをレジスタに指定することで一連のアクセスを行います。
- セクタアクセスモード*：セクタアドレスを指定することで、セクタ単位のリードライトを実行します。セクタ数を指定することで、連続するセクタに対するリードライトを実行できます。

【注】 * 本 LSI では、セクタアクセスモードでのデータ読み出しは使用できません。

(3) セクタと管理コード

- セクタはアクセスの基本単位で、512バイトのデータと16バイトの管理コードから構成されます。
- 管理コードには、ユーザ情報を書き込むことができます。

(4) データエラー時

- プログラム/イレースエラー発生時、エラー要因フラグに反映されます。独立要因の割り込みが指定可能で
ず。

(5) データ転送用 FIFO とデータレジスタ

- フラッシュメモリのデータ転送用に224バイトのデータFIFOレジスタ (FLDTFIFO) を内蔵
- 管理コードのデータ転送用に32バイトの管理コードFIFOレジスタ (FLECFIFO) を内蔵

(6) DMA 転送

- ダイレクトメモリアクセスコントローラにフラッシュメモリのデータと管理コードの転送先を個別に指定す
ることにより、異なる領域にデータと管理コードを転送できます。

(7) アクセスタイム

- NAND型フラッシュメモリ端子側の動作クロック (FCLK) は、周辺クロック0 (P0) を分周して使用しま
す。分周率は、共通コントロールレジスタ (FLCMNCR) のQTSELビットにより指定可能です。
- CPGの設定を変更する場合は、本モジュールをモジュールストップにより停止させた状態で行ってください。
- NAND型フラッシュメモリでは、 $\overline{\text{FRE}}$ 端子、 $\overline{\text{FWE}}$ 端子がFCLKの動作周波数で動作します。接続するメモリの
最大動作周波数を超えないように設定してください。

図 28.1 にブロック図を示します。

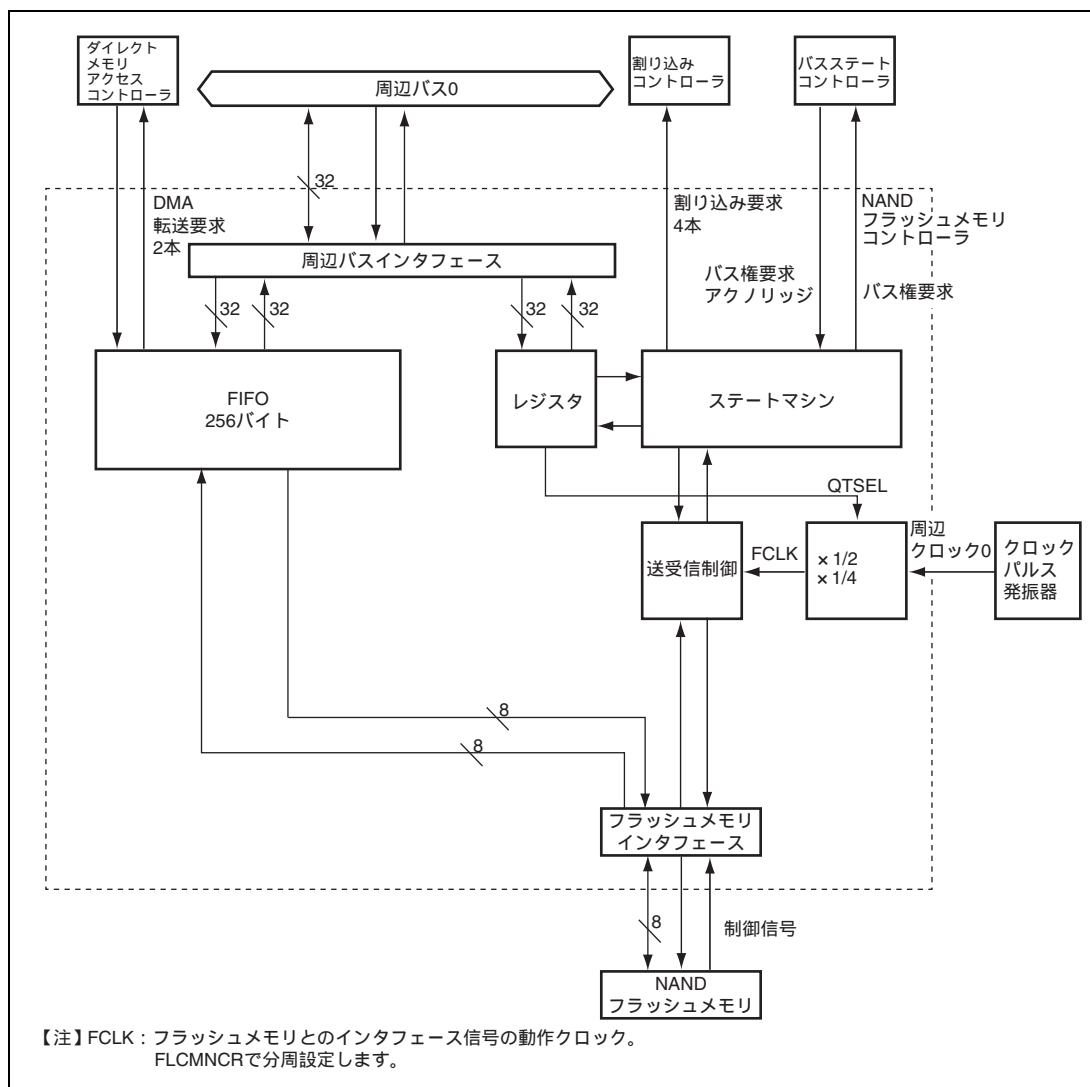


図 28.1 ブロック図

28.2 入出力端子

表 28.1 に端子構成を示します。

表 28.1 端子構成

端子名	入出力	対応するフラッシュメモリの端子	機能
		NAND 型	
$\overline{\text{FCE}}$	出力	$\overline{\text{CE}}$	フラッシュメモリチップイネーブル 本 LSI に接続されたフラッシュメモリをイネーブルにします。
NAF7~0	入出力	I/O7~I/O0	フラッシュメモリデータ コマンド、アドレス、データの入出力端子です。
FCLE	出力	CLE	フラッシュメモリコマンドラッチイネーブル コマンド出力時にアサートします。
FALE	出力	ALE	フラッシュメモリアドレスラッチイネーブル アドレス出力時にアサートします。 データ入出力時にネゲートします。
$\overline{\text{FRE}}$	出力	$\overline{\text{RE}}$	フラッシュメモリリードイネーブル $\overline{\text{RE}}$ の立ち下がりがエッジでデータリードします。
$\overline{\text{FWE}}$	出力	$\overline{\text{WE}}$	フラッシュメモリライトイネーブル $\overline{\text{WE}}$ の立ち上がりエッジでフラッシュメモリがコマンド、アドレスおよびデータをラッチします。
FRB	入力	R/ $\overline{\text{B}}$	フラッシュメモリレディ/ビジー ハイレベルでレディ状態を、ローレベルでビジー状態を示します。
- *	-	$\overline{\text{WP}}$	ライトプロテクト/リセット ローレベルで電源投入切断時の偶発的消去/プログラムから保護します。
- *	-	$\overline{\text{SE}}$	スベアエリアイネーブル スベアエリアアクセス可能にする端子です。セクタアクセスモードを使う場合は、ローレベル固定にしてください。

【注】 * 本 LSI では、サポートしていません。

28.3 レジスタの説明

表 28.2 にレジスタ構成を示します。

表 28.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通コントロールレジスタ	FLCMNCR	R/W	H'00100001	H'FFFF4000	32
コマンド制御レジスタ	FLCMDCR	R/W	H'00000000	H'FFFF4004	32
コマンドコードレジスタ	FLCMCDR	R/W	H'00000000	H'FFFF4008	32
アドレスレジスタ	FLADR	R/W	H'00000000	H'FFFF400C	32
アドレスレジスタ 2	FLADR2	R/W	H'00000000	H'FFFF403C	32
データレジスタ	FLDATAR	R/W	H'00000000	H'FFFF4010	32
データカウンタレジスタ	FLDTCNTR	R/W	H'00000000	H'FFFF4014	32
割り込み DMA 制御レジスタ	FLINTDMACR	R/W	H'00000000	H'FFFF4018	32
レディビジータイムアウト設定レジスタ	FLBSYTMR	R/W	H'00000000	H'FFFF401C	32
レディビジータイムアウトカウンタ	FLBSYCNT	R	H'00000000	H'FFFF4020	32
データ FIFO レジスタ	FLDTFIFO	R/W	H'xxxxxxxx	H'FFFF4050	32
管理コード FIFO レジスタ	FLECFIFO	R/W	H'xxxxxxxx	H'FFFF4060	32
転送制御レジスタ	FLTRCR	R/W	H'00	H'FFFF402C	8
バス占有期間設定レジスタ	FLHOLDCR	R/W	H'00000000	H'FFFF4038	32

28.3.1 共通コントロールレジスタ (FLCMNCR)

FLCMNCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、アクセスモードなどを指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BUSYON	-	-	SNAND	QT SEL	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ACM[1:0]	NAND WF	-	-	-	-	-	-	CE	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	BUSYON	0	R/W	ビジー選択ビット FRB 端子がビジー状態中に外部バス権を解放するか否かを指定します。ただし、一連の処理が終了すると、レディ / ビジーの状態にかかわらず FCE 端子はネゲートされます。詳細は「28.7.1 外部バス権解放のタイミング」を参照してください。 0 : FRB 端子がビジー状態中、バス権を所有 1 : FRB 端子がビジー状態中、バス権を解放 【注】 フラッシュメモリによっては、ビジー期間中に FCE 端子をネゲートしてはならない製品もありますので注意してください。
20	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18	SNAND	0	R/W	大容量 NAND フラッシュメモリ選択ビット 1G ビット以上のフラッシュメモリのうち、1 ページの構成が 2048 + 64 バイトである NAND フラッシュメモリのために使用します。 0 : 1 ページ構成が 512 + 16 バイトのフラッシュメモリ使用時は 0 に設定してください。 1 : 1 ページ構成が 2048 + 64 バイトの NAND 型フラッシュメモリ使用時は 1 に設定してください。
17	QTSEL	0	R/W	フラッシュクロック分周選択ビット フラッシュメモリ内で使用するクロック FCLK の分周選択ビットです。 0 : CPG からのクロック (P0) を 2 分の 1 に分周して FCLK として使用します。 1 : CPG からのクロック (P0) を 4 分の 1 に分周して FCLK として使用します。

ビット	ビット名	初期値	R/W	説明
16~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11、10	ACM[1:0]	00	R/W	アクセスモード指定ビット 1、0 アクセスモードを指定します。 00：コマンドアクセスモード 01：セクタアクセスモード* 10：設定禁止 11：設定禁止 【注】 * セクタアクセスモードでのデータ読み出しはできません。
9	NANDWF	0	R/W	NAND ウェイト挿入動作ビット 0：アドレス、データの入出力が 1FCLK サイクルで行われます 1：アドレス、データの入出力が 2FCLK サイクルで行われます
8~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	CE	0	R/W	チップイネーブルビット 0：ディスエーブル ($\overline{\text{FCE}}$ 端子にハイレベルを出力します。) 1：イネーブル ($\overline{\text{FCE}}$ 端子にローレベルを出力します。)
2、1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

28.3.2 コマンド制御レジスタ (FLCMDCR)

FLCMDCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセスモードでのコマンド発行、アドレス発行の有無やデータの入出力先の指定ができます。セクタアクセスモードでは、セクタ転送回数の指定ができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	ADR CNT2	SCTCNT[19:16]				ADR MD	CDS RC	DOSR	-	-	SEL RW	DOA DR	ADRCNT[1:0]	DOC MD2	DOC MD1		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SCTCNT[15:0]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31	ADRCNT2	0	R/W	アドレス発行バイト数指定ビット 2 アドレスステージで発行するアドレスデータのバイト数を指定します。 ADRCNT[1:0]ビットとあわせて使用します。 0: ADRCNT[1:0]で指定したバイト数だけアドレスを発行します。 1: 5 バイトのアドレスを発行 ADRCNT[1:0]は 00 に設定してください。
30~27	SCTCNT [19:16]	0000	R/W	セクタ転送回数指定ビット[19:16] セクタ転送回数指定ビット SCTCNT[15:0]の拡張ビットです。 SCTCNT[19:16]と SCTCNT[15:0]はあわせて SCTCNT[19:0]の 20 ビットのカウンタとして動作します。
26	ADRMD	0	R/W	セクタアクセスアドレス指定ビット コマンドアクセスモード時は、このビットは無効です。セクタアクセスモード時のみ有効となります。 0: アドレスレジスタの値はセクタアドレスとして処理されます。セクタアクセス時は通常こちらを使用してください。 1: アドレスレジスタの値がそのまま、フラッシュメモリのアドレスとして出力されます。 【注】連続セクタアクセス時は、0 に設定してください。
25	CDSRC	0	R/W	データバッファ指定ビット コマンドアクセスモード時、データステージのリード / ライトするデータバッファを指定します。 0: データバッファとして FLDATAR を指定 1: データバッファとして FLDTFIFO を指定

ビット	ビット名	初期値	R/W	説明
24	DOSR	0	R/W	ステータスリードチェックビット コマンドアクセスモード時、第2コマンド発行後、ステータスリードを行うか指定します。 0：ステータスリードを行わない 1：ステータスリードを実行する
23、22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	SELRW	0	R/W	データリードライト指定ビット データステージでのリードライト方向を指定します。 0：リード 1：ライト
20	DOADR	0	R/W	アドレスステージ実行指定ビット コマンドアクセスモード時、アドレスステージを実行するかどうかを指定します。 0：アドレスステージを実行しない 1：アドレスステージを実行する
19、18	ADRCNT[1:0]	00	R/W	アドレス発行バイト数指定ビット1、0 アドレスステージで発行するアドレスデータのバイト数を指定します。 00：1バイトのアドレスを発行 01：2バイトのアドレスを発行 10：3バイトのアドレスを発行 11：4バイトのアドレスを発行
17	DOCMD2	0	R/W	第2コマンドステージ実行指定ビット コマンドアクセスモード時、第2コマンドステージを実行するかどうかを指定します。 0：第2コマンドステージを実行しない 1：第2コマンドステージを実行する
16	DOCMD1	0	R/W	第1コマンドステージ実行指定ビット コマンドアクセスモード時、第1コマンドステージを実行するかどうかを指定します。 0：第1コマンドステージを実行しない 1：第1コマンドステージを実行する
15~0	SCTCNT[15:0]	H'0000	R/W	セクタ転送回数指定ビット[15:0] セクタアクセスモードで連続して読み出すセクタ数を指定します。1セクタ転送終了ごとにカウントダウンし、0になると停止します。 SCTCNT[19:16]と合わせて使用します。 コマンドアクセスモード時は、動作中H'0 0001になります。

28.3.3 コマンドコードレジスタ (FLCMCDR)

FLCMCDR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセス、セクタアクセス時に発行するコマンドの値を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD2[7:0]								CMD1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~8	CMD2[7:0]	H'00	R/W	第 2 コマンドデータビット 第 2 コマンドステージに発行するコマンドコードを指定します。
7~0	CMD1[7:0]	H'00	R/W	第 1 コマンドデータビット 第 1 コマンドステージに発行するコマンドコードを指定します。

28.3.4 アドレスレジスタ (FLADR)

FLADR は、読み出し / 書き込み可能な 32 ビットのレジスタで、アドレスとして出力する値を指定します。ADR1 から順にコマンドレジスタで指定されたバイト数がバイト単位でアドレスとして出力されます。なお、コマンド制御レジスタのセクタアクセスアドレス指定ビット (ADRMD) で、アドレスデータビットに指定されたセクタ番号がアドレスに変換された値を出力するかどうかを指定できます。

- ADRMD = 1 のとき

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR4[7:0]								ADR3[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR2[7:0]								ADR1[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	ADR4[7:0]	H'00	R/W	第 4 アドレスデータビット ADRMD = 1 のときにアドレスとしてフラッシュメモリに 4 番目に出力されるデータを指定します。
23~16	ADR3[7:0]	H'00	R/W	第 3 アドレスデータビット ADRMD = 1 のときにアドレスとしてフラッシュメモリに 3 番目に出力されるデータを指定します。
15~8	ADR2[7:0]	H'00	R/W	第 2 アドレスデータビット ADRMD = 1 のときにアドレスとしてフラッシュメモリに 2 番目に出力されるデータを指定します。
7~0	ADR1[7:0]	H'00	R/W	第 1 アドレスデータビット ADRMD = 1 のときにアドレスとしてフラッシュメモリに最初に出力されるデータを指定します。

• ADRMD = 0 のとき

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	ADR[25:16]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25 ~ 0	ADR[25:0]	H'0000000	R/W	セクタアドレス指定ビット ADRMD = 0 のとき、アクセスするセクタ番号を指定します。セクタ番号は、アドレスに変換されてフラッシュメモリに出力されます。FLCMDRCR の ADRCNT2 ビットが 1 のときは、ADR[25:0]、ADRCNT2 ビットが 0 のときは ADR[17:0] が有効になります。詳細は図 28.11 を参照してください。 <ul style="list-style-type: none"> • ラージブロック品 (2048 + 64 バイト) ADR[25:2] でページアドレス、ADR[1:0] でセクタ単位のコラムアドレスを指定できます。 ADR[1:0] = 00 : 0 バイト目 (0 セクタ) ADR[1:0] = 01 : 512 + 16 バイト目 (1 セクタ) ADR[1:0] = 10 : 1024 + 32 バイト目 (2 セクタ) ADR[1:0] = 11 : 1536 + 48 バイト目 (3 セクタ) • スモールブロック品 (512 + 16 バイト) ページアドレスのみの指定となります。

28.3.5 アドレスレジスタ 2 (FLADR2)

FLADR2 は、読み出し / 書き込み可能な 32 ビットのレジスタで、FLCMDCR の ADRCNT2 ビットが 1 のとき有効になります。コマンドアクセスモードでアドレスとして出力する値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	ADR5[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	ADR5[7:0]	H'00	R/W	第 5 アドレスデータビット ADRMD = 1 のときにアドレスとしてフラッシュメモリに 5 番目に出力されるデータを指定します。

28.3.6 データカウンタレジスタ (FLDTCNTR)

FLDTCNTR は、読み出し / 書き込み可能な 32 ビットのレジスタです。コマンドアクセスモード時に、リードライトするバイト数を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFLW[7:0]								DTFLW[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	DTCNT[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	ECFLW[7:0]	H'00	R	FLECFIFO アクセス数ビット FLECFIFO のリードライト可能なロングワード数を示します。 CPU による FLECFIFO リードライト時に利用できます。 FLECFIFO リード時は、FLECFIFO 内の読み出し可能なデータのロングワード数を示します。 FLECFIFO ライト時は、FLECFIFO 内の書き込み可能な空きロングワード数を示します。
23~16	DTFLW[7:0]	H'00	R	FLDTFIFO アクセス数ビット FLDTFIFO のリードライト可能なロングワード数を示します。 CPU による FLDTFIFO リードライト時に利用できます。 FLDTFIFO リード時は、FLDTFIFO 内の読み出し可能なデータのロングワード数を示します。 FLDTFIFO ライト時は、FLDTFIFO 内の書き込み可能な空きロングワード数を示します。
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	DTCNT[11:0]	H'000	R/W	データ数指定ビット コマンドアクセスモードで、リードライトするデータのバイト数を指定します (フラッシュメモリ書き込み時は 2048+64 バイトまで、読み出し時は 128 バイトまで指定可能です)。

28.3.7 データレジスタ (FLDATAR)

FLDATAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

コマンドアクセスモードで FLCMDCR の CDSRC ビットに 0 を設定した場合に使用される入出力データ格納用レジスタです。5 バイト以上の連続データのリードライト時には使用できません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DT4[7:0]								DT3[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DT2[7:0]								DT1[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	DT4[7:0]	H'00	R/W	第 4 データビット NAF7~0 から 4 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します。 読み出し時：読み出しデータが格納されます。
23~16	DT3[7:0]	H'00	R/W	第 3 データビット NAF7~0 から 3 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します。 読み出し時：読み出しデータが格納されます。
15~8	DT2[7:0]	H'00	R/W	第 2 データビット NAF7~0 から 2 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します。 読み出し時：読み出しデータが格納されます。
7~0	DT1[7:0]	H'00	R/W	第 1 データビット NAF7~0 から 1 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します。 読み出し時：読み出しデータが格納されます。

28.3.8 割り込み DMA 制御レジスタ (FLINTDMACR)

FLINTDMACR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送要求および割り込みの許可 / 禁止を設定します。本モジュールからダイレクトメモリアクセスコントローラに対する転送要求は、各アクセスモードの動作開始後発生します。

また、ビット 9~5 は、フラッシュメモリアクセス時の各種エラーおよび FIFO からの転送要求の有無を表示するフラグビットで、0 書き込みのみ可能なビットです。フラグをクリアする場合、クリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	FIFOTRG [1:0]	AC1 CLR	AC0 CLR	DREQ1 EN	DREQ0 EN	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ST ERB	BTO ERB	TRR EQF1	TRR EQF0	STER INTE	RBBER INTE	TE INTE	TR INTE1	TR INTE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

【注】 * 0書き込みのみ有効です。

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21、20	FIFOTRG[1:0]	00	R/W	FIFO トリガ設定ビット FLDTFIFO、FLECFIFO の転送要求発生条件 (バイト数) を設定します。 <ul style="list-style-type: none"> フラッシュメモリ読み出し時 FLDTFIFO (FLECFIFO) の格納バイト数が以下に示す値以上になったとき CPU に割り込み、または DMA 転送要求を発生。 00 : 4 (4) 01 : 16 (16) 10 : 128 (4) 11 : 128 (16) フラッシュメモリ書き込み時 FLDTFIFO (FLECFIFO) の空きバイト数が以下に示す値以上になったとき CPU に割り込み、または DMA 転送要求を発生。 00 : 4 (4) 01 : 16 (16) 10 : 128 (4) 11 : 128 (16) 【注】 FLDTFIFO の DMA 転送を行う場合、"10"、"11"への設定禁止。

ビット	ビット名	初期値	R/W	説明
19	AC1CLR	0	R/W	FLECFIFO クリアビット FLECFIFO をクリアします。 0 : FLECFIFO の値を保持します。フラッシュメモリアクセス時は 0 に設定してください。 1 : FLECFIFO をクリアします。クリア後は 0 に設定してください。
18	AC0CLR	0	R/W	FLDTFIFO クリアビット データ領域 FLDTFIFO をクリアします。 0 : FLDTFIFO の値を保持します。フラッシュメモリアクセス時は 0 に設定してください。 1 : FLDTFIFO の値をクリアします。クリア後は 0 に設定してください。
17	DREQ1EN	0	R/W	FLECFIFODMA リクエストイネーブルビット FLECFIFO 領域からの DMA 転送要求発行許可 / 禁止を選択します。 0 : FLECFIFO 領域からの DMA 転送要求発行を禁止します 1 : FLECFIFO 領域からの DMA 転送要求発行を許可します
16	DREQ0EN	0	R/W	FLDTFIFODMA リクエストイネーブルビット FLDTFIFO 領域からの DMA 転送要求発行許可 / 禁止を選択します。 0 : FLDTFIFO 領域からの DMA 転送要求発行を禁止します 1 : FLDTFIFO 領域からの DMA 転送要求発行を許可します
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	STERB	0	R/(W)*	ステータスエラービット ステータスリードの結果を示します。ステータスリードした場合、FLBSYCNT の STAT[7:0] ビットの特定ビットが 1 であれば、本ビットに 1 がセットされます。 本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。 0 : ステータスエラーなし (FLBSYCNT の STAT[7:0] ビットの特定ビットが 0 であったことを示します) 1 : ステータスエラーが発生したことを示します。 特定ビットに関しては「28.4.6 ステータスリード」を参照してください。
7	BTOERB	0	R/(W)*	R/ \bar{B} タイムアウトエラービット R/ \bar{B} タイムアウトエラーが発生した (FLBSYCNT の RBTIMCNT[19:0] ビットがカウントダウン後 0 になった) とき、本ビットに 1 がセットされます。 本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。 0 : R/ \bar{B} タイムアウトエラーなし 1 : R/ \bar{B} タイムアウトエラーが発生したことを示します。

ビット	ビット名	初期値	R/W	説明
6	TRREQF1	0	R/(W)*	<p>FLECFIFO 転送要求フラグビット</p> <p>FLECFIFO からの転送要求が発生したことを示します。</p> <p>本ビットはフラグビットであるため、1 は書き込めません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : FLECFIFO からの転送要求は発生していません</p> <p>1 : FLECFIFO からの転送要求が発生したことを示します</p>
5	TRREQF0	0	R/(W)*	<p>FLDTFIFO 転送要求フラグビット</p> <p>FLDTFIFO からの転送要求が発生したことを示します。</p> <p>本ビットはフラグビットであるため、1 は書き込めません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : FLDTFIFO からの転送要求は発生していません</p> <p>1 : FLDTFIFO からの転送要求が発生したことを示します</p>
4	STERINTE	0	R/W	<p>ステータスエラー発生時の割り込み許可ビット</p> <p>ステータスエラーによる CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : ステータスエラーによる CPU に対する割り込み禁止</p> <p>1 : ステータスエラーによる CPU に対する割り込み許可</p>
3	RBERINTE	0	R/W	<p>R/\bar{R} タイムアウトエラー発生時の割り込み許可ビット</p> <p>R/\bar{R} タイムアウトエラーによる CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : R/\bar{R} タイムアウトエラーによる CPU に対する割り込み禁止</p> <p>1 : R/\bar{R} タイムアウトエラーによる CPU に対する割り込み許可</p>
2	TEINTE	0	R/W	<p>転送終了割り込み許可ビット</p> <p>転送終了 (FLTRCR の TREND ビット) による CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : 転送終了による CPU に対する割り込み禁止</p> <p>1 : 転送終了による CPU に対する割り込み許可</p>
1	TRINTE1	0	R/W	<p>CPU への FLECFIFO 転送要求許可ビット</p> <p>FLECFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : FLECFIFO からの転送要求による CPU に対する割り込み禁止</p> <p>1 : FLECFIFO からの転送要求による CPU に対する割り込み許可</p> <p>DMA 転送をイネーブルにしている時は、本ビットを 0 に設定してください。</p>

ビット	ビット名	初期値	R/W	説明
0	TRINTE0	0	R/W	<p>CPU への FLDTFIFO 転送要求許可ビット</p> <p>FLDTFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : FLDTFIFO からの転送要求による CPU に対する割り込み禁止</p> <p>1 : FLDTFIFO からの転送要求による CPU に対する割り込み許可</p> <p>DMA 転送をイネーブルにしている時は、本ビットを 0 に設定してください。</p>

【注】 * 0 書き込みのみ有効です。

28.3.9 レディビジータイムアウト設定レジスタ (FLBSYTMR)

FLBSYTMR は、読み出し / 書き込み可能な 32 ビットのレジスタで、FRB 端子がビジー状態のときのタイムアウト時間を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	RBTMOUT[19:16]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTMOUT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
19~0	RBTMOUT[19:0]	H'00000	R/W	<p>レディビジータイムアウトビット</p> <p>ビジー状態のタイムアウトまでの時間を (P のクロック数で) 設定します。0 に設定した場合、タイムアウトは発生しません。</p>

28.3.10 レディビジータイムアウトカウンタ (FLBSYCNT)

FLBSYCNT は、読み出し専用の 32 ビットのレジスタです。

ステータスリード動作で読み出したフラッシュメモリのステータスを STAT[7:0]に格納します。

FRB 端子がビジー状態になると、FLBSYTMR の RBTMOUT[19:0]ビットに設定したタイムアウト時間を RBTIMCNT[19:0]ビットにコピーしカウントダウンを開始します。RBTIMCNT[19:0]ビットの値が 0 になると FLINTDMACR の BTOERB ビットに 1 をセットしタイムアウトエラーが発生したことを通知します。このとき FLINTDMACR の RBERINTE ビットで割り込みを許可していれば、FLSTE 割り込みを発行することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STAT[7:0]							-	-	-	-	RBTIMCNT[19:16]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTIMCNT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	STAT[7:0]	H'00	R	フラッシュメモリからステータスリードした値を表示します。
23~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
19~0	RBTIMCNT[19:0]	H'00000	R	レディビジータイムアウトカウンタビット FRB 端子がビジー状態になったとき、FLBSYTMR の RBTMOUT[19:0]ビットの設定値が本ビットにコピーされます。 その後 FRB 端子がビジー状態の間、本ビットの値はカウントダウンされ、0 になるとタイムアウトエラーが発生します。

28.3.11 データ FIFO レジスタ (FLDTFIFO)

FLDTFIFO は、データ FIFO 領域に対するリードライト用レジスタです。

DMA 転送時は、本レジスタをデータの転送先 (転送元) に指定してください。

FLCMDRCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。また、リードライト方向を変更する場合、FLINTDMACR の AC0CLR ビットで FLDTFIFO をクリアしてから使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTFO[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTFO[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DTFO[31:0]	H'xxxxxxxx	R/W	データ FIFO 領域へのリードライト用レジスタ 書き込み時: データ FIFO 領域にデータが書き込まれます。 読み出し時: データ FIFO 領域のデータが読み出されます。

28.3.12 管理コード FIFO レジスタ (FLECFIFO)

FLECFIFO は、管理コード FIFO 領域に対するリードライト用レジスタです。

DMA 転送時は、本レジスタを管理コードの転送先 (転送元) に指定してください。

FLCMDRCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。また、リードライト方向を変更する場合、FLINTDMACR の AC1CLR ビットで FLECFIFO をクリアしてから使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFO[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECFO[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	ECFO[31:0]	H'xxxxxxxx	R/W	管理コード FIFO 領域へのリードライト用レジスタ 書き込み時: 管理コード FIFO 領域にデータが書き込まれます。 読み出し時: 管理コード FIFO 領域のデータが読み出されます。

28.3.13 転送制御レジスタ (FLTRCR)

TRSTRT ビットを 1 にすることによりフラッシュメモリへのアクセスを開始させます。TREND ビットによりアクセスの終了を確認できます。転送中 (TRSTRT ビットを 1 にセットしてから TREND ビットに 1 がセットされるまでの間) には強制終了 (TRSTRT ビットを 0 にセット) は行わないでください。また、フラッシュメモリ読み出し時は、フラッシュメモリからの読み出しが終了した時点で TREND がセットされます。FIFO に読み出しデータが残っている場合は、FIFO の読み出しが終了するまで強制終了は行わないでください。また、本モジュールが外部バスのバス権を獲得し転送が行われている間、TREND がセットされ転送終了するまで、SLEEP 命令を実行しないでください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TR STAT	TR END	TR STRT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TRSTAT	0	R	転送状態ビット 本モジュールが外部バスのバス権を獲得し、転送が実際に行われていることを示します。 0: 転送は開始されていません。 1: 転送中、転送終了
1	TREND	0	R/W	処理終了フラグビット 指定したアクセスモードによる処理が終了したことを示します。 書き込むときは、0 を書き込んでください。
0	TRSTRT	0	R/W	転送開始ビット TREND が 0 のときに TRSTR を 0 から 1 にセットすることで、アクセスモード指定ビット ACM[1:0] で指定したアクセスモードでの処理を開始します。 0: 転送停止 1: 転送開始

28.3.14 バス占有期間設定レジスタ (FLHOLDCR)

フラッシュメモリに対し、セクタアクセスモードによるアクセスを実施している区間において、他モジュール (CPU を含む) が BSC 配下のメモリに対してアクセスした場合、本モジュールの外部バス権の解放頻度を設定するレジスタです。本レジスタの HOLDEN ビットが 0 の場合、本モジュールはフラッシュメモリとの転送中に外部バスを占有します。プログラムコード、および、転送データの格納場所、使用方法によってはデッドロックを引き起こしますので注意してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	HOLDEN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	HOLDEN	0	R/W	バス占有イネーブルビット フラッシュメモリへのセクタアクセスモードによるアクセス中の外部バス権解放を設定します。 0 : 転送期間中、バス権を解放しません。 1 : セクタアクセスモード時 FIFO エンプティ / フル状態に遷移した場合、バス権を解放します。 【注】コマンドアクセスモードで FIFO を使用する場合本モジュール制御プログラム、および、転送データを内蔵 RAM に格納してください。

28.4 動作説明

28.4.1 アクセス手順

本モジュールのアクセスは、一連のアクセス手順を分割して、独立したステージに分かれています。たとえば、NAND 型フラッシュメモリの書き込み時は、以下の 5 つのステージからなります。

- 第1コマンド発行ステージ（ライトセットアップコマンド）
- アドレス発行ステージ（ライトアドレス）
- データステージ（出力）
- 第2コマンド発行ステージ（ライトスタートコマンド）
- ステータスリード

一連のアクセスはこの 5 つのステージを順に実行することにより実現され、最後のステージ（この場合ステータスリード）が終了した時点でフラッシュメモリへのアクセスが終了します。

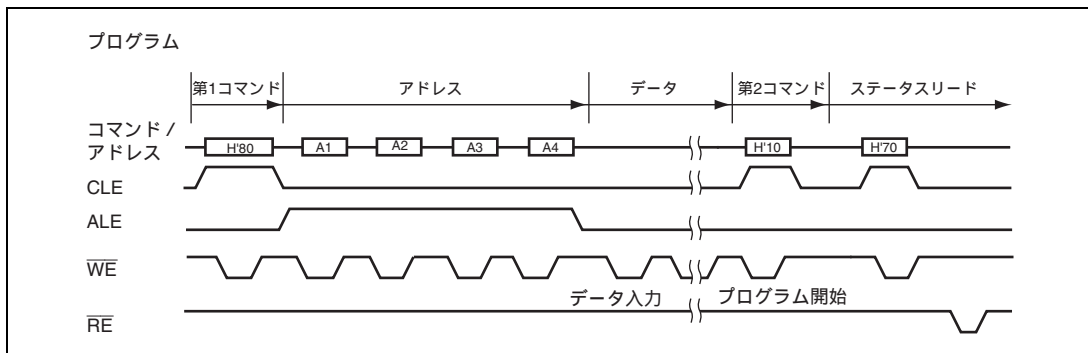


図 28.2 NAND 型フラッシュメモリのライト動作をステージに区分した例

詳細および NAND 型フラッシュメモリのリード動作については、「28.4.4 コマンドアクセスモード」を参照してください。

28.4.2 動作モード

動作モードには、

- コマンドアクセスモード
- セクタアクセスモード

の 2 モードがあります。ECC の生成 / エラーチェックは、セクタアクセスモードで実行されます。

28.4.3 レジスタ設定手順

図 28.3 にフラッシュメモリとのアクセスに必要なレジスタ設定フローを示します。

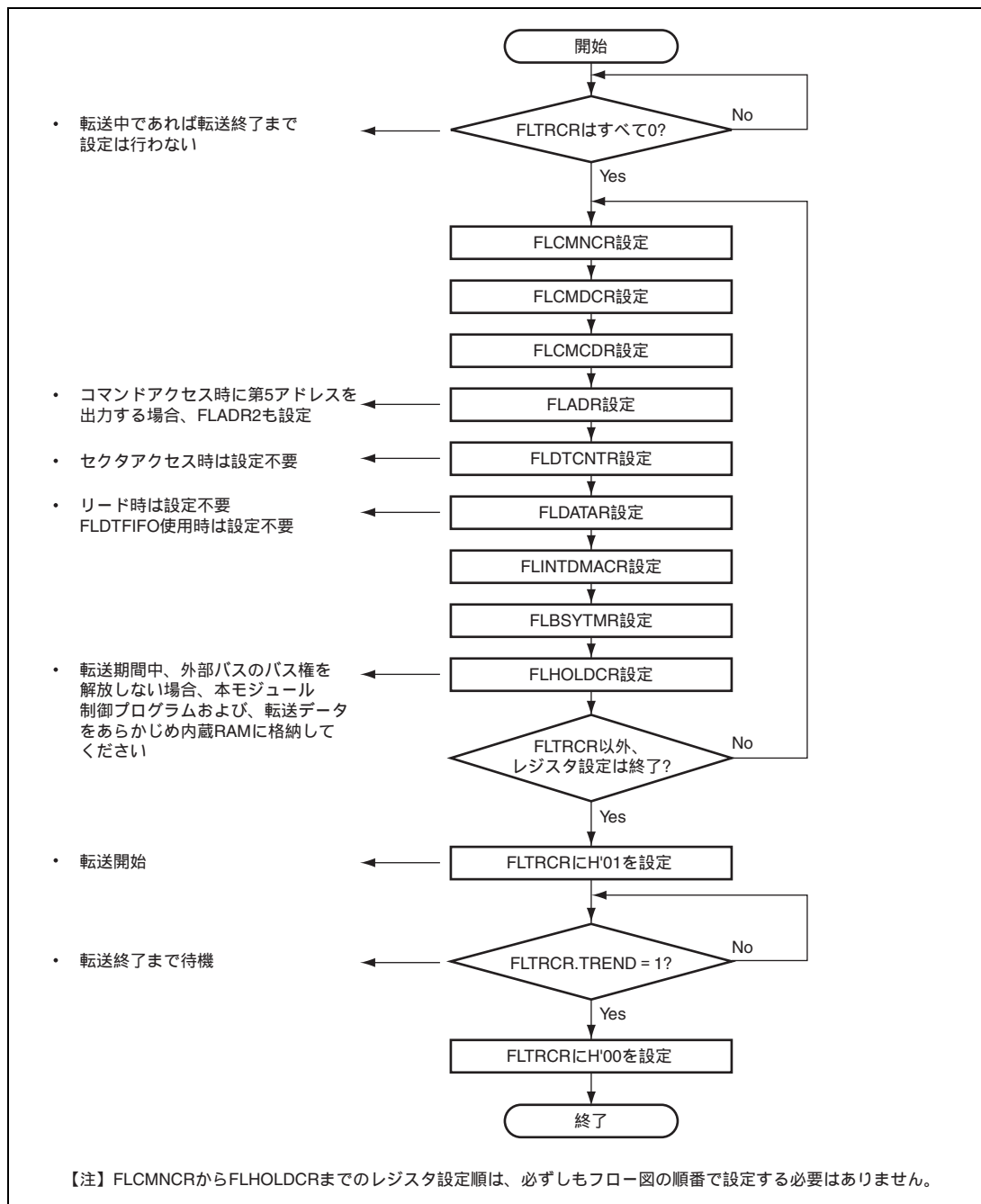


図 28.3 レジスタ設定フロー

28.4.4 コマンドアクセスモード

コマンドアクセスモードは、レジスタにフラッシュメモリに対して発行するコマンド、アドレス、データ、リード/ライト方向および回数等を設定することにより、フラッシュメモリにアクセスを行うモードです。入出力データは、FLDTFIFO を用い DMA 転送が可能です。

(1) NAND 型フラッシュメモリのアクセス

図 28.4 に NAND 型フラッシュメモリに対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、アドレス長は 3 バイトを指定。リードバイト数としてデータカウンタに 8 バイトを指定した場合の動作です。

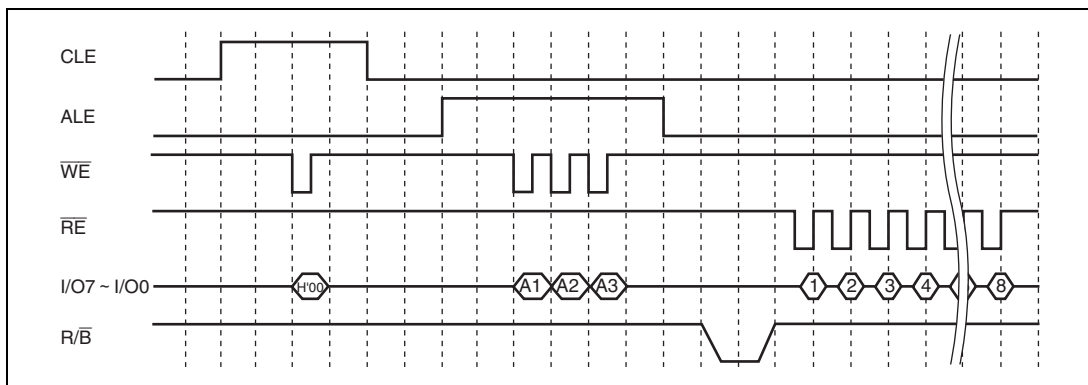


図 28.4 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 28.5、図 28.6 に NAND 型フラッシュメモリに対して書き込み動作を行った場合の波形を示します。

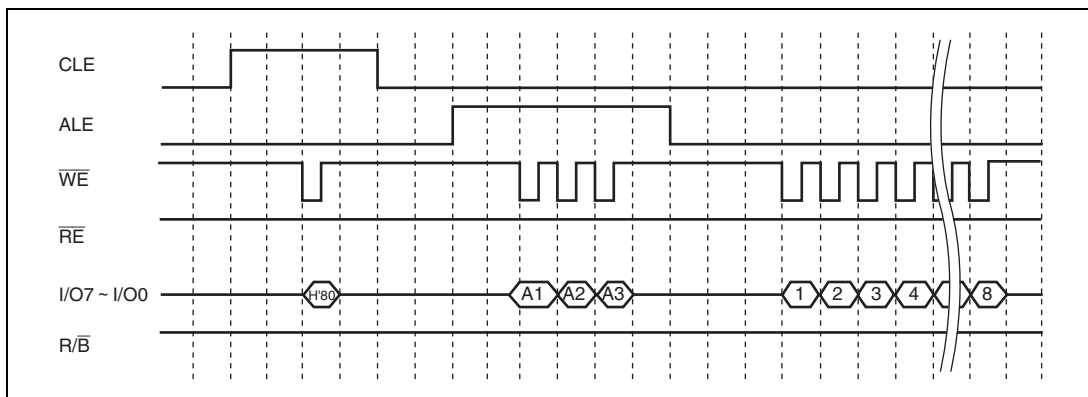


図 28.5 NAND 型フラッシュメモリの書き込み動作タイミング (1)

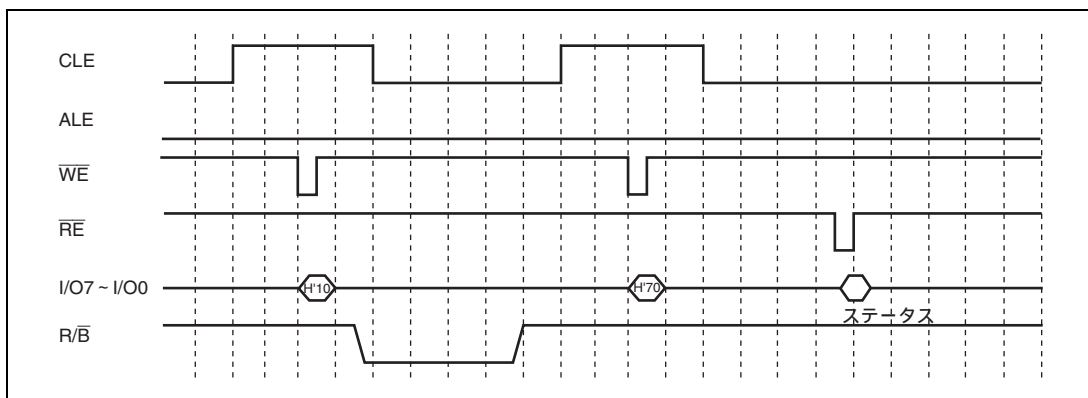


図 28.6 NAND 型フラッシュメモリの書き込み動作タイミング (2)

(2) NAND 型フラッシュメモリ (2048 + 64 バイト) のアクセス

図 28.7 に NAND 型フラッシュメモリ (2048 + 64 バイト) に対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00、第 2 コマンドに H'30 を指定、アドレス長は 4 バイトを指定。リードバイト数としてデータカウンタに 4 バイトを指定した場合の動作です。

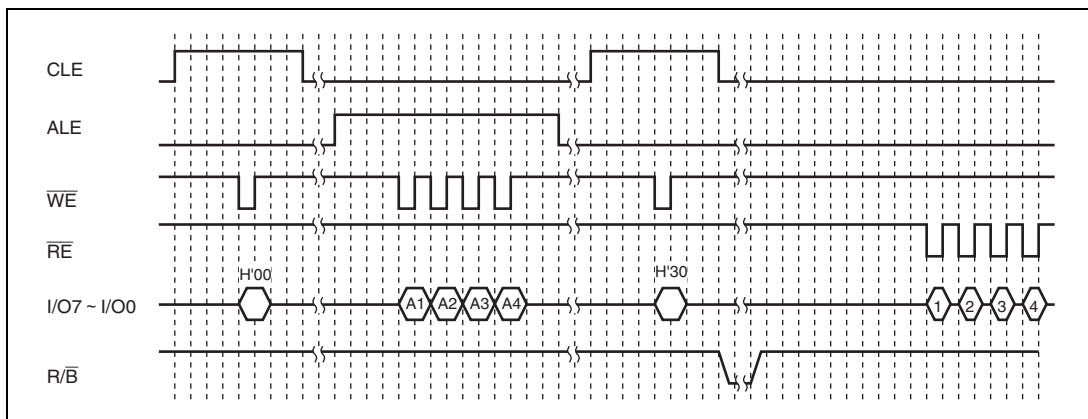


図 28.7 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 28.8、図 28.9 に NAND 型フラッシュメモリ (2048 + 64 バイト) に対して書き込み動作を行った場合の波形を示します。

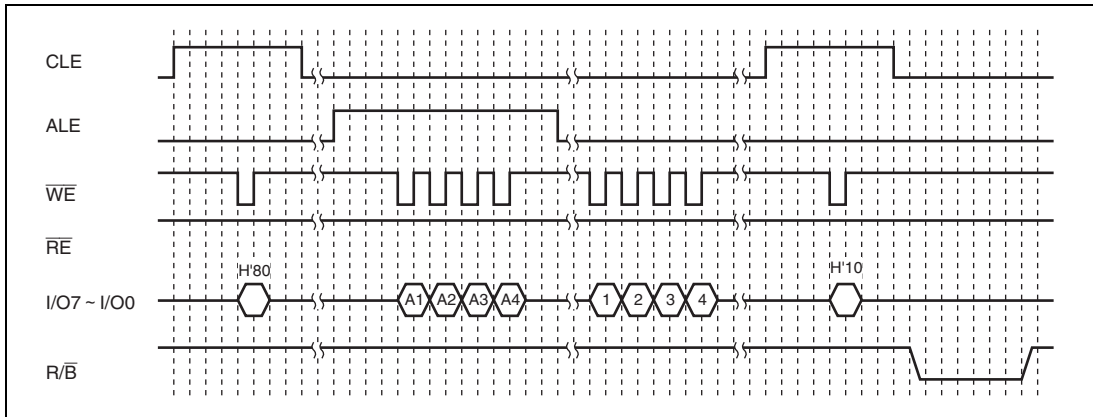


図 28.8 NAND 型フラッシュメモリの書き込み動作タイミング (1)

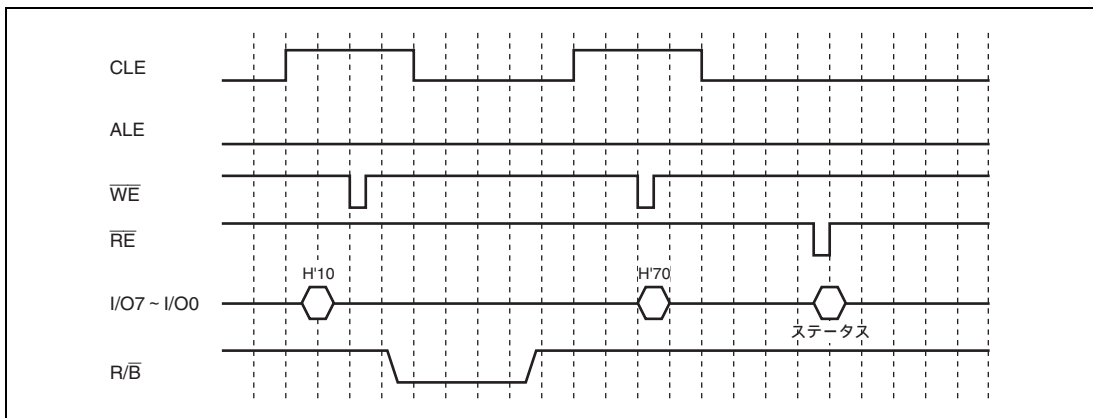


図 28.9 NAND 型フラッシュメモリの書き込み動作タイミング (2)

28.4.5 セクタアクセスモード

セクタアクセスモードでは、アクセスするセクタ番号を指定することによりセクタ単位のリードライトが可能です。

512 バイトのデータは FLDTFIFO に、16 バイトの管理コードは FLECFIFO に格納されるので、FLINTDMACR の DREQ1EN、DREQ0EN を設定しそれぞれ DMA 転送が行えます。

フラッシュメモリ内のセクタ(データ+管理コード)とアドレス空間上のメモリとの DMA 転送の関係を図 28.10 に示します。

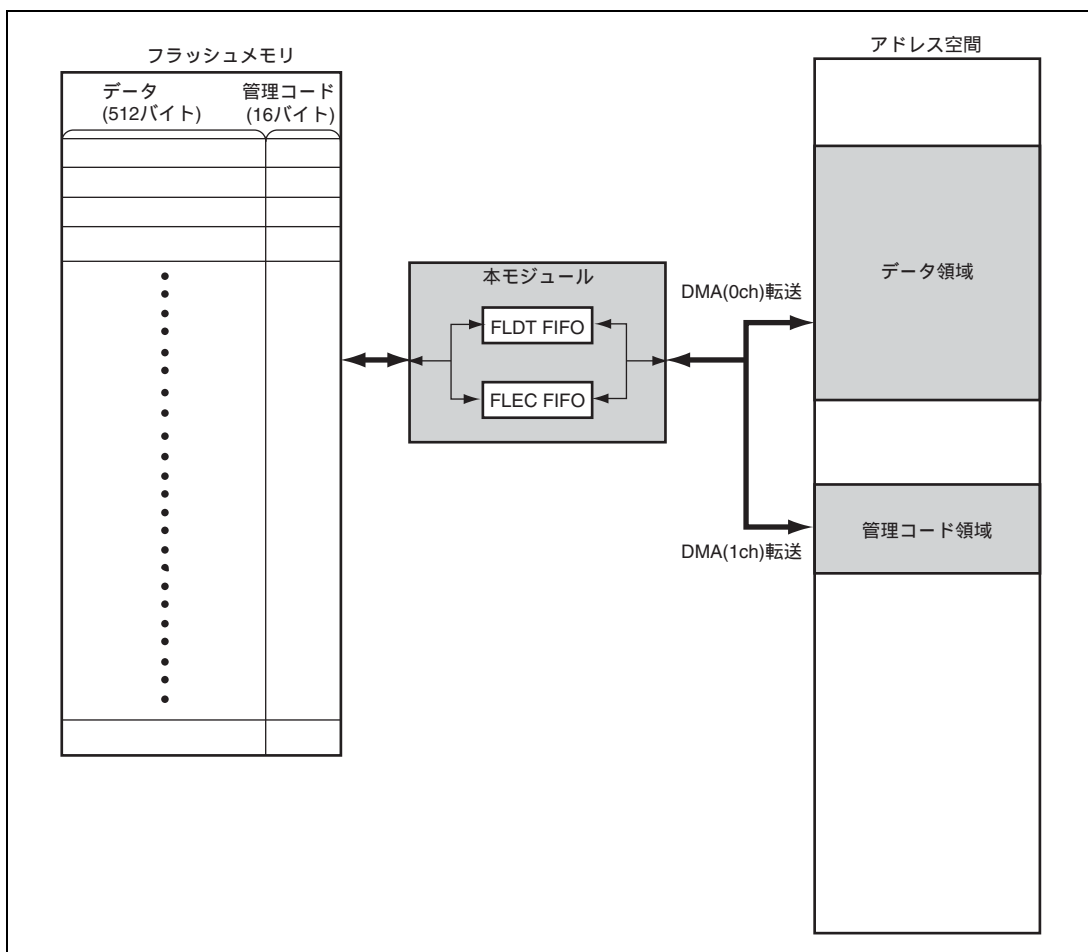


図 28.10 DMA 転送とセクタ (データ、管理コード) とメモリと DMA 転送の関連模式図

(1) セクタアドレス

NAND型フラッシュメモリの物理セクタアドレスとフラッシュメモリのアドレスの関係を図28.11に示します。

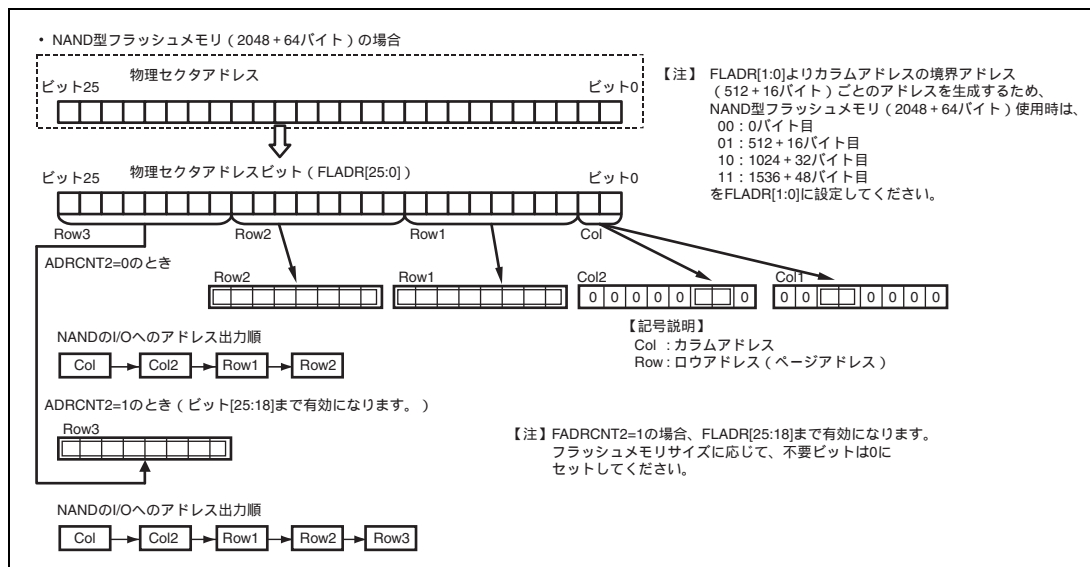


図 28.11 セクタ番号と NAND 型フラッシュメモリのアドレスの展開例

(2) 連続セクタアクセス

NAND 型フラッシュメモリの先頭のセクタアドレスとセクタ転送回数を指定することにより、連続したセクタのリード/ライトが可能になります。途中に不良セクタが存在し、物理セクタが不連続である 0~40 までの論理セクタを転送する場合の物理セクタ指定レジスタとセクタ転送回数指定レジスタの設定例を図 28.12 にまとめます。

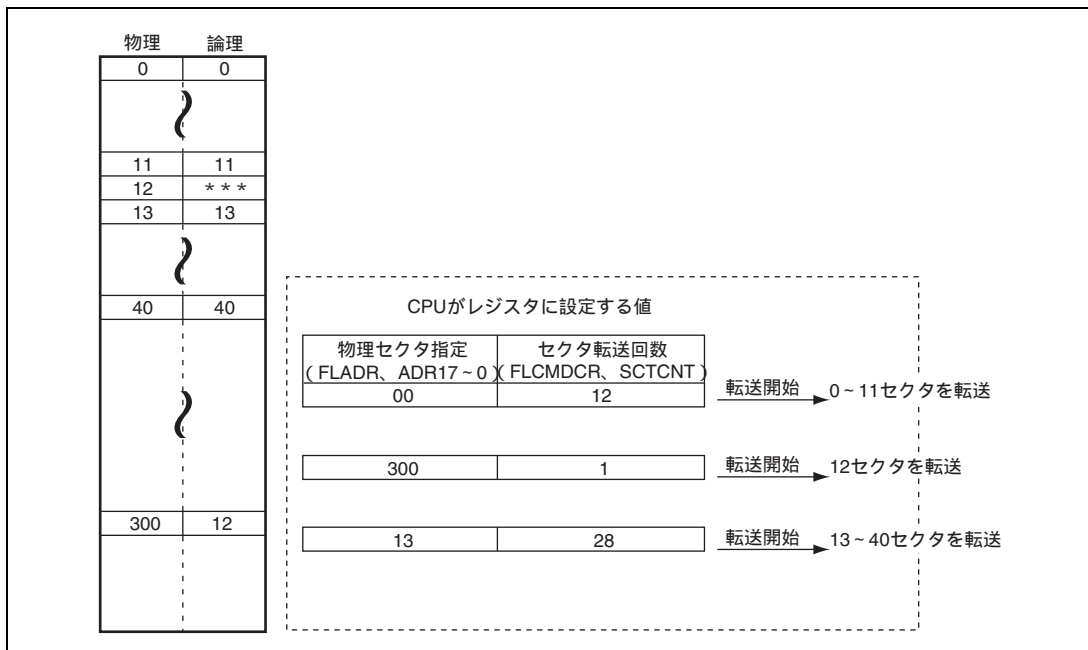


図 28.12 不良セクタがある場合のセクタアクセス例

(3) セクタアクセスモード時のフラッシュメモリアクセス

図 28.13、図 28.14 にセクタアクセスモード時、NAND 型フラッシュメモリに対して書き込みおよび読み出し動作を行った際の波形を示します。

図 28.13 は、メモリ容量：1G ビットのラージブロック品への書き込み波形になります。複数ページにまたがる連続セクタアクセス実行時は、1 ページ（2048 + 64 バイト）ごとに、図 28.13 の波形でフラッシュメモリに値を書き込みます。

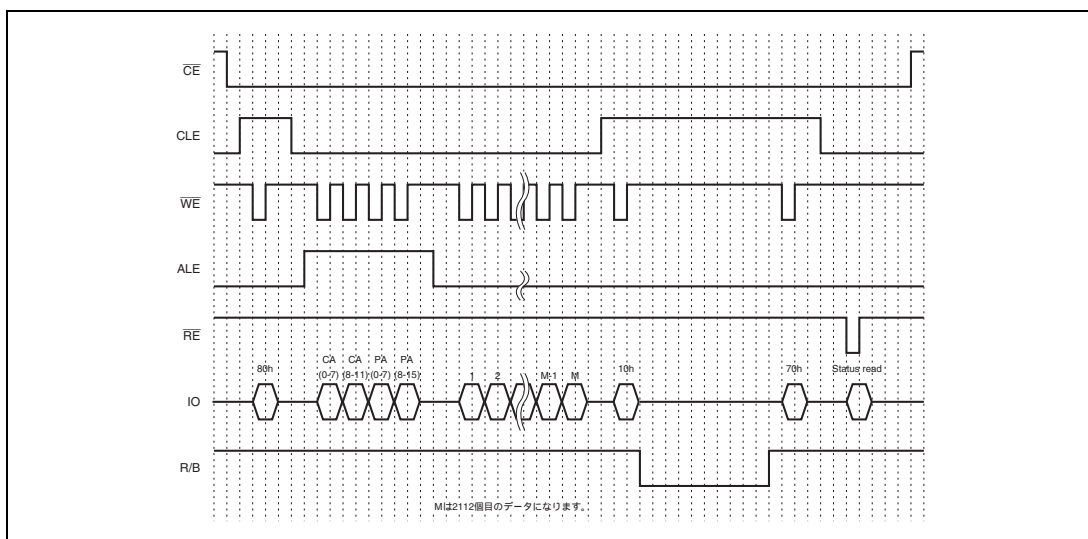


図 28.13 NAND 型フラッシュメモリの書き込み動作タイミング

図 28.14 は、メモリ容量 : 1G ビットのラージブロック品への読み出し波形になります。複数ページにまたがる連続セクタアクセス実行時は、1 ページ (2048+64 バイト) ごとに、図 28.14 の波形でフラッシュメモリからデータを読み出します。

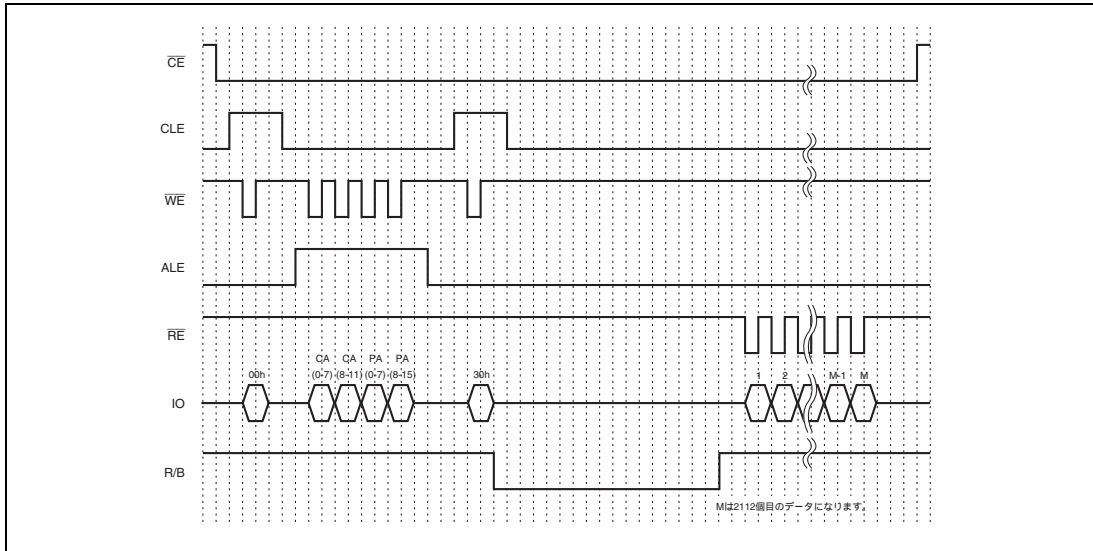


図 28.14 NAND 型フラッシュメモリからの読み出しタイミング (セクタアクセスモード)

28.4.6 ステータスリード

本モジュールは NAND 型フラッシュメモリのステータスレジスタの値を読み出すことができます。ステータスレジスタの値は I/O7~0 から入力され FLBSYCNT の STAT[7:0]ビットに格納され、CPU からの読み出しが可能です。ステータスレジスタの値が FLBSYCNT の STAT[7:0]ビットに格納されたときに書き込みエラーやイレースエラーを検出した場合、FLINTDMACR の STERB ビットに 1 がセットされ、FLINTDMACR の STERINTE ビットが許可されていれば CPU に対し割り込みを発生させます。また、連続セクタアクセスの途中でステータスエラーが発生した場合、FLTRCR の TREND ビットに 1 がセットされ、処理が終了します。

(1) NAND 型フラッシュメモリのステータスリード

NAND 型フラッシュメモリのステータスリードは、NAND 型フラッシュメモリに対し、コマンド H'70 を入力することで実現できます。FLCMDRCR の DOSR ビットを 1 にセットし、コマンドアクセスモードまたはセクタアクセスモードで書き込みを実行すれば、本モジュールは自動的に H'70 を NAND 型フラッシュメモリに入力し、ステータスリードを行います。NAND 型フラッシュメモリステータスリード時、I/O7~0 から入力されるステータスレジスタ各ビットの意味を表 28.3 に示します。

表 28.3 NAND 型フラッシュメモリのステータスリード

I/O	状態 (definition)	説明
I/O7	書き込み保護	0 : 書き込み不可 1 : 書き込み可
I/O6	レディ / ビジー	0 : ビジー状態 1 : レディ状態
I/O5~1	リザーブ	-
I/O0	書き込み / 消去	0 : Pass (成功) 1 : Fail (失敗)

28.5 割り込み処理

本モジュールには 5 種類の割り込み要因(ステータスエラー、レディ/ビジータイムアウトエラー、転送終了、FIFO0 転送要求、FIFO1 転送要求)があります。すべての割り込み要因は独立した割り込みフラグを持っており、割り込みイネーブルビットにより許可されていれば、CPU に対し独立した割り込み要求が発生します。ステータスエラーとレディ/ビジータイムアウトエラーは、CPU に対して共通の FLSTE 割り込みを使用します。

表 28.4 割り込み要求

割り込み要因	割り込みフラグ	許可ビット	意味	優先順位
FLSTE 割り込み	STERB	STERINTE	ステータスエラー	高 ↑ ↓ 低
	BTOERB	RBERINTE	レディ/ビジータイムアウトエラー	
FLTEND 割り込み	TREND	TEINTE	転送終了	
FLTRQ0 割り込み	TRREQF0	TRINTE0	FIFO0 転送要求	
FLTRQ1 割り込み	TRREQF1	TRINTE1	FIFO1 転送要求	

28.6 DMA 転送の設定

本モジュールはデータ領域 FLDTFIFO と管理コード領域 FLECFIFO から個別に DMA 転送要求を出すことができます。各アクセスモードでの DMA 転送の可/不可を表 28.5 に示します。

表 28.5 DMA 転送の設定

	セクタアクセスモード	コマンドアクセスモード
FLDTFIFO	可能	可能
FLECFIFO	可能	不可

ダイレクトメモリアクセスコントローラの設定については「第 11 章 ダイレクトメモリアクセスコントローラ」を参照してください。

28.7 使用上の注意事項

28.7.1 外部バス権解放のタイミング

本モジュールは、レディ/ビジーの状態にかかわらず、一連の処理が終了した時点で $\overline{\text{FCE}}$ をネゲートします。共通コントロールレジスタ (FLCMNCR) のビット 21 (BUSYON) を 0 にセットした場合、ビジー期間中でも本モジュールの処理終了と同時に $\overline{\text{FCE}}$ がネゲートされバス権を解放しますので注意してください。BUSYON=0 の場合、コマンド制御レジスタ (FLCMDRCR) のビット 24 (DOSR) に 1 をセットし、ステータスリードを実行することで、ビジー期間中もバス権を獲得することができます。

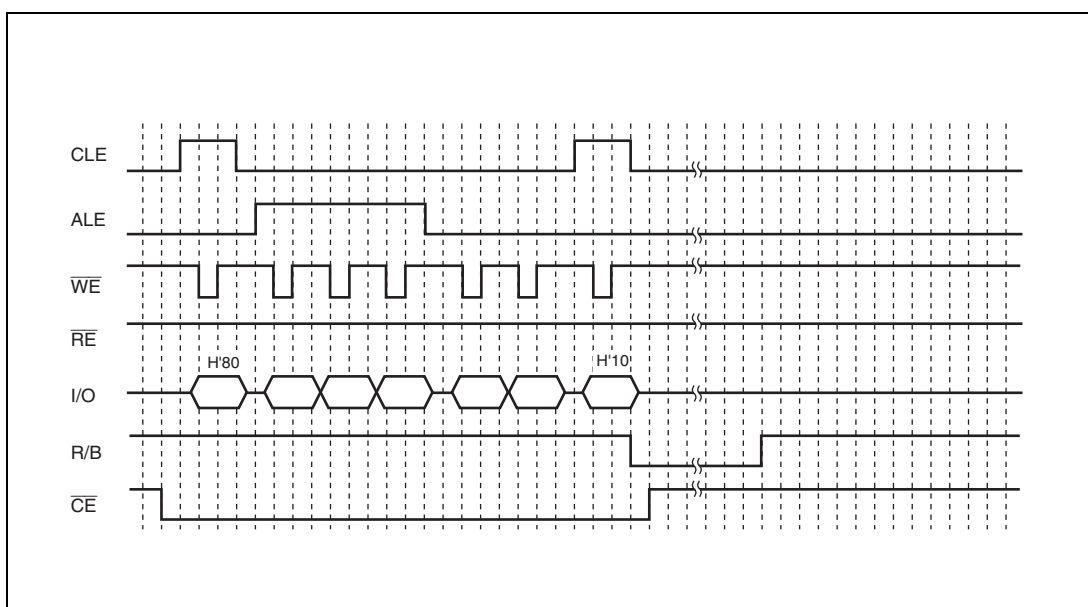


図 28.15 BUSYON=0、DOSR=0 (フラッシュメモリへの書き込み)

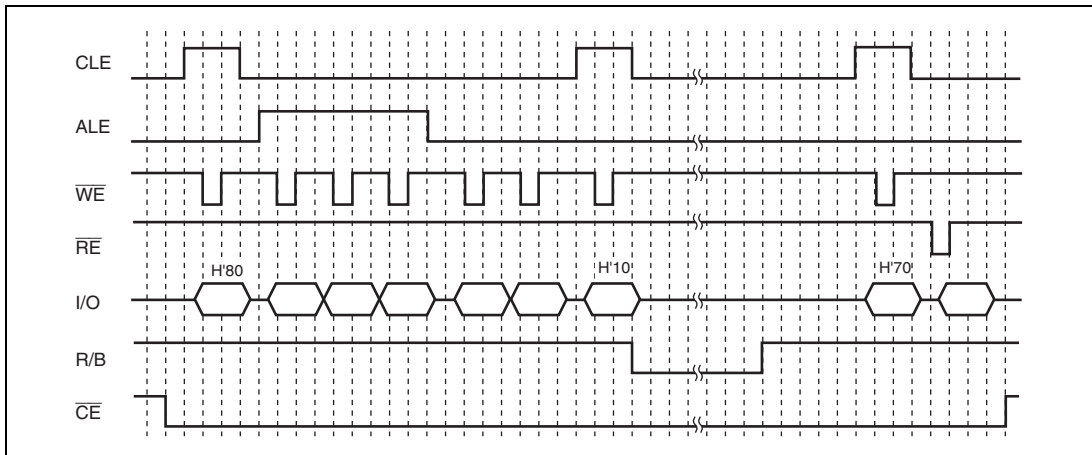


図 28.16 BUSYON=0、DOSR = 1 (フラッシュメモリへの書き込み)

28.7.2 SNAND ビットに関する注意事項

共通コントロールレジスタ (FLCMNCR) の SNAND ビット使用時は、コマンド制御レジスタ (FLCMDRCR) の DOCMD1、DOCMD2 ビットの設定によらず、第 1 コマンド、第 2 コマンドのみの対応となります。

コマンド発行無し、もしくは第 1 コマンドのみを発行する場合、SNAND ビットには 0 を設定してください。

29. USB2.0 ホスト / ファンクションモジュール

本モジュールは、USB ホストコントローラ機能とファンクションコントローラ機能を備えた USB コントローラです。ホストコントローラ機能選択時は、USB (Universal Serial Bus) 規格 2.0 のハイスピード転送、フルスピード転送、ロースピード転送に対応します。ファンクションコントローラ機能選択時は、ハイスピード転送、フルスピード転送に対応します。また、本モジュールは、USB トランシーバを内蔵し、USB 規格で定義されている全転送タイプに対応しています。

データ転送用に 8K バイトのバッファメモリを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1~9 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

29.1 特長

(1) USB ハイスピード対応のホストコントローラとファンクションコントローラを内蔵

- USBホストコントローラとファンクションコントローラを内蔵
- USBホストコントローラ機能とファンクションコントローラ機能をレジスタ設定により切り替え可能
- USBトランシーバ内蔵

(2) 少ない外付け素子かつ省スペース実装が可能

- D+プルアップ抵抗内蔵 (ファンクション動作時)
- D+、D-のプルダウン抵抗内蔵 (ホスト動作時)
- D+、D-終端抵抗内蔵 (ハイスピード動作時)
- D+、D-出力抵抗内蔵 (フルスピード動作時)

(3) USB 通信の全種類のデータ転送タイプに対応

- コントロール転送
- バルク転送
- インタラプト転送 (High Bandwidthは非対応)
- アイソクロナス転送 (High Bandwidthは非対応)

(4) 内部バスインタフェース

- DMAインタフェースを2チャンネル内蔵

(5) パイプコンフィギュレーション

- USB通信用バッファメモリを8Kバイト内蔵
- 最大10本のパイプを選択可能 (デフォルトコントロールパイプを含む)
- プログラマブルなパイプ構成
- パイプ1~9は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件は以下のとおりです。

パイプ0 : コントロール転送専用のパイプ (デフォルトコントロールパイプ : DCP)、256バイト固定シングルバッファ

パイプ1、2 : バルク転送またはアイソクロナス転送を選択可能なパイプ、連続転送モード、バッファサイズはプログラマブル (最大2Kバイトでダブルバッファ指定可能)

パイプ3~5 : バルク転送専用のパイプ、連続転送モード、バッファサイズはプログラマブル (最大2Kバイトでダブルバッファ指定可能)

パイプ6~9 : インタラプト転送専用のパイプ、64バイト固定シングルバッファ

(6) ホストコントローラ機能選択時の特長

- ハイスピード転送 (480Mbps)、フルスピード転送 (12Mbps) およびロースピード (1.5Mbps) に対応
- ハブを1段経由し、複数の周辺デバイスと接続し通信が可能
- リセットハンドシェイク自動応答
- SOF、パケット送信のスケジュールを自動化
- アイソクロナス転送、インタラプト転送の転送インターバル設定機能

(7) ファンクションコントローラ機能選択時の特長

- ハイスピード転送 (480Mbps) およびフルスピード転送 (12Mbps) に対応
- リセットハンドシェイク自動応答による、ハイスピード動作もしくはフルスピード動作の自動認識
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能 (NRDY)
- SOF補間機能

(8) その他の機能

- トランザクションカウントによるトランスファ終了機能
- BRDY割り込みイベント通知タイミング変更機能 (BFRE)
- DnFIFO (n = 0、1) ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM)
- トランスファ終了による応答PIDのNAK設定機能 (SHTNAK)

29.2 入出力端子

表 29.1 に端子構成を示します。

表 29.1 端子構成

区分	名称	端子名	入出力	機能
USB バス インタフェース	USB D+データ	DP	入出力	USB 内蔵トランシーバ D+入出力です。 USB バスの D+端子に接続してください。
	USB D-データ	DM	入出力	USB 内蔵トランシーバ D-入出力です。 USB バスの D-端子に接続してください。
VBUS 監視入力	VBUS 入力	VBUS	入力	USB ケーブル接続モニタ端子です。 USB バスの Vbus に接続してください。Vbus の接続 / 切断を検出することができます。USB バスの Vbus と接続しない場合は、5V に固定してください。ホストコントローラ機能選択時にも 5V を供給してください。 【注】 接続される周辺デバイスへの Vbus 供給はできません。
基準抵抗	リファレンス入力	REFRIN	入力	基準抵抗接続用端子です。 5.6K \pm 1%抵抗を介して USBAPV _{ss} に接続してください (SH7268 / SH7269(QFP))。 5.6K \pm 1%抵抗を介して V _{ss} に接続してください (SH7269(BGA))。
クロック	USB 用水晶発振子 / 外部クロック	USB_X1	入力	USB 用水晶発振子を接続します。また USB_X1 端子は外部クロックを入力することもできます。
		USB_X2	出力	
電源	トランシーバ部 アナログ端子電源	USBAPVcc	入力	端子用電源です。
	トランシーバ部 アナログ端子グラ ランド*	USBAPVss	入力	端子用グラウンドです。
	トランシーバ部 デジタル端子電源*	USBDPVcc	入力	端子用電源です。
	トランシーバ部 デジタル端子グラ ランド*	USBDPVss	入力	端子用グラウンドです。
	トランシーバ部 アナログコア電源	USBAVcc	入力	コア用電源です。
	トランシーバ部 アナログコアグラ ランド*	USBAVss	入力	コア用グラウンドです。
	トランシーバ部 デジタルコア電源*	USBDVcc	入力	コア用電源です。

区分	名称	端子名	入出力	機能
電源	トランシーバ部 デジタルコアグラ ンド*	USBVss	入力	コア用グラウンドです。
	USB480MHz 用 電源*	USBVcc	入力	480MHz 動作部電源です。
	USB480MHz 用 グラウンド*	USBVss	入力	480MHz 動作部グラウンドです。

【注】 * SH7269 (BGA) には存在しません。

29.3 レジスタの説明

表 29.2 にレジスタ構成を示します。

表 29.2 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセス サイズ
システムコンフィギュレーションコントロールレジスタ	SYSCFG	R/W	H'E801 0000	16
CPU バスウェイト設定レジスタ	BUSWAIT	R/W	H'E801 0002	16
システムコンフィギュレーションステータスレジスタ	SYSSTS	R	H'E801 0004	16
デバイスステートコントロールレジスタ	DVSTCTR	R/W	H'E801 0008	16
テストモードレジスタ	TESTMODE	R/W	H'E801 000C	16
DMA0-FIFO バスコンフィギュレーションレジスタ	D0FBCFG	R/W	H'E801 0010	16
DMA1-FIFO バスコンフィギュレーションレジスタ	D1FBCFG	R/W	H'E801 0012	16
CFIFO ポートレジスタ	CFIFO	R/W	H'E801 0014	8、16、32
D0FIFO ポートレジスタ	D0FIFO	R/W	H'E801 0018	8、16、32
D1FIFO ポートレジスタ	D1FIFO	R/W	H'E801 001C	8、16、32
CFIFO ポート選択レジスタ	CFIFOSEL	R/W	H'E801 0020	16
CFIFO ポートコントロールレジスタ	CFIFOCTR	R/W	H'E801 0022	16
D0FIFO ポート選択レジスタ	D0FIFOSEL	R/W	H'E801 0028	16
D0FIFO ポートコントロールレジスタ	D0FIFOCTR	R/W	H'E801 002A	16
D1FIFO ポート選択レジスタ	D1FIFOSEL	R/W	H'E801 002C	16
D1FIFO ポートコントロールレジスタ	D1FIFOCTR	R/W	H'E801 002E	16
割り込み許可レジスタ 0	INTENB0	R/W	H'E801 0030	16
割り込み許可レジスタ 1	INTENB1	R/W	H'E801 0032	16
BRDY 割り込み許可レジスタ	BRDYENB	R/W	H'E801 0036	16
NRDY 割り込み許可レジスタ	NRDYENB	R/W	H'E801 0038	16
BEMP 割り込み許可レジスタ	BEMPENB	R/W	H'E801 003A	16
SOF 出力コンフィギュレーションレジスタ	SOFCFG	R/W	H'E801 003C	16
割り込みステータスレジスタ 0	INTSTS0	R/W	H'E801 0040	16
割り込みステータスレジスタ 1	INTSTS1	R/W	H'E801 0042	16
BRDY 割り込みステータスレジスタ	BRDYSTS	R/W	H'E801 0046	16
NRDY 割り込みステータスレジスタ	NRDYSTS	R/W	H'E801 0048	16
BEMP 割り込みステータスレジスタ	BEMPSTS	R/W	H'E801 004A	16
フレームナンバーレジスタ	FRMNUM	R/W	H'E801 004C	16
μフレームナンバーレジスタ	UFRMNUM	R	H'E801 004E	16
USB アドレスレジスタ	USBADDR	R	H'E801 0050	16
USB リクエストタイプレジスタ	USBREQ	R/W	H'E801 0054	16

レジスタ名	略称	R/W	アドレス	アクセス サイズ
USB リクエストバリュージェジスタ	USBVAL	R/W	H'E801 0056	16
USB リクエストインデックスレジスタ	USBINDX	R/W	H'E801 0058	16
USB リクエストレンゲスレジスタ	USBLENG	R/W	H'E801 005A	16
DCP コンフィギュレーションレジスタ	DCPCFG	R/W	H'E801 005C	16
DCP マックスパケットサイズレジスタ	DCPMAXP	R/W	H'E801 005E	16
DCP コントロールレジスタ	DCPCTR	R/W	H'E801 0060	16
パイプウィンドウ選択レジスタ	PIPESEL	R/W	H'E801 0064	16
パイプコンフィギュレーションレジスタ	PIPECFG	R/W	H'E801 0068	16
パイプバッファ指定レジスタ	PIPEBUF	R/W	H'E801 006A	16
パイプマックスパケットサイズレジスタ	PIPEMAXP	R/W	H'E801 006C	16
パイプ周期制御レジスタ	PIPEPERI	R/W	H'E801 006E	16
パイプ1 コントロールレジスタ	PIPE1CTR	R/W	H'E801 0070	16
パイプ2 コントロールレジスタ	PIPE2CTR	R/W	H'E801 0072	16
パイプ3 コントロールレジスタ	PIPE3CTR	R/W	H'E801 0074	16
パイプ4 コントロールレジスタ	PIPE4CTR	R/W	H'E801 0076	16
パイプ5 コントロールレジスタ	PIPE5CTR	R/W	H'E801 0078	16
パイプ6 コントロールレジスタ	PIPE6CTR	R/W	H'E801 007A	16
パイプ7 コントロールレジスタ	PIPE7CTR	R/W	H'E801 007C	16
パイプ8 コントロールレジスタ	PIPE8CTR	R/W	H'E801 007E	16
パイプ9 コントロールレジスタ	PIPE9CTR	R/W	H'E801 0080	16
パイプ1 トランザクションカウンタインエーブルレジスタ	PIPE1TRE	R/W	H'E801 0090	16
パイプ1 トランザクションカウンタレジスタ	PIPE1TRN	R/W	H'E801 0092	16
パイプ2 トランザクションカウンタインエーブルレジスタ	PIPE2TRE	R/W	H'E801 0094	16
パイプ2 トランザクションカウンタレジスタ	PIPE2TRN	R/W	H'E801 0096	16
パイプ3 トランザクションカウンタインエーブルレジスタ	PIPE3TRE	R/W	H'E801 0098	16
パイプ3 トランザクションカウンタレジスタ	PIPE3TRN	R/W	H'E801 009A	16
パイプ4 トランザクションカウンタインエーブルレジスタ	PIPE4TRE	R/W	H'E801 009C	16
パイプ4 トランザクションカウンタレジスタ	PIPE4TRN	R/W	H'E801 009E	16
パイプ5 トランザクションカウンタインエーブルレジスタ	PIPE5TRE	R/W	H'E801 00A0	16
パイプ5 トランザクションカウンタレジスタ	PIPE5TRN	R/W	H'E801 00A2	16
デバイスアドレス0 コンフィギュレーションレジスタ	DEVADD0	R/W	H'E801 00D0	16
デバイスアドレス1 コンフィギュレーションレジスタ	DEVADD1	R/W	H'E801 00D2	16
デバイスアドレス2 コンフィギュレーションレジスタ	DEVADD2	R/W	H'E801 00D4	16
デバイスアドレス3 コンフィギュレーションレジスタ	DEVADD3	R/W	H'E801 00D6	16
デバイスアドレス4 コンフィギュレーションレジスタ	DEVADD4	R/W	H'E801 00D8	16
デバイスアドレス5 コンフィギュレーションレジスタ	DEVADD5	R/W	H'E801 00DA	16

レジスタ名	略称	R/W	アドレス	アクセス サイズ
デバイスアドレス 6 コンフィグレーションレジスタ	DEVADD6	R/W	H'E801 00DC	16
デバイスアドレス 7 コンフィグレーションレジスタ	DEVADD7	R/W	H'E801 00DE	16
デバイスアドレス 8 コンフィグレーションレジスタ	DEVADD8	R/W	H'E801 00E0	16
デバイスアドレス 9 コンフィグレーションレジスタ	DEVADD9	R/W	H'E801 00E2	16
デバイスアドレス A コンフィグレーションレジスタ	DEVADDA	R/W	H'E801 00E4	16

29.3.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

SYSCFG は、ハイスピード動作の許可、ホストコントローラ機能またはファンクションコントローラ機能の選択、DP、DM 端子の制御、入力クロック選択および本モジュールの動作許可制御を行うレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCKE	—	—	HSE	DCFM	DRPD	DPRPU	UCKFSEL	UCKPSEL	UPLLE	USBE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	SCKE	0	R/W	USB モジュールクロック許可 本モジュールへのクロック供給の停止 / 許可を指定します。 0 : USB モジュールへのクロック供給停止 1 : USB モジュールへのクロック供給許可 本ビットが 0 の場合、本レジスタおよび BUSWAIT レジスタのみ、読み出し / 書き込みができます。 USB モジュール内の他のレジスタは、読み出しはできますが、書き込みはできません。 UCKFSEL にて 12MHz を選択時に本ビットを変更する場合、以下を守ってください。 <ul style="list-style-type: none"> 本ビットに 1 を設定する場合、UPLLE ビットに 1 を設定してから 1ms 以上待つようにしてください。 ソフトウェアスタンバイ、USB モジュールスタンバイモードへ移行する場合、本ビットに 0 を設定してください。
9, 8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7	HSE	0	R/W	<p>ハイスピード動作許可</p> <p>0 : ハイスピード動作禁止 ファンクションコントローラ機能選択時 : フルスピード動作のみ ホストコントローラ機能選択時 : フルスピードまたはロースピード動作</p> <p>1 : ハイスピード動作許可 (本モジュールが通信スピードを検出します)</p> <p>(1) ホストコントローラ機能選択時 HSE = 0 を設定した場合、USB ポートはロースピード動作またはフルスピード動作を行います。 USB ポートにロースピードの周辺デバイスがアタッチされたことを検出した場合には、必ず HSE = 0 を設定してください。 HSE = 1 を設定した場合、本モジュールはリセットハンドシェイクプロトコルを実行し、その結果に従い自動的に USB ポートをハイスピードまたはフルスピード動作を行います。 本ビットの変更は、アタッチ検出 (ATTCH 割り込み検出) 後から USB バスリセット実行前 (USBRESET = 1 設定前) の間に行ってください。</p> <p>(2) ファンクションコントローラ機能選択時 HSE = 0 を設定した場合、本モジュールはフルスピード動作を行います。 HSE = 1 を設定した場合、本モジュールはリセットハンドシェイクプロトコルを実行し、その結果に従い自動的にハイスピードまたはフルスピード動作を行います。 本ビットの書き換えは、DPRPU = 0 のときに行ってください。</p>
6	DCFM	0	R/W	<p>コントローラ機能選択</p> <p>本モジュールの機能を選択します。</p> <p>0 : ファンクションコントローラ機能を選択 1 : ホストコントローラ機能を選択</p> <p>本ビットの変更は、DPRPU = 0 かつ DRPD = 0 のときに行ってください。</p>
5	DRPD	0	R/W	<p>D+ / D-ライン抵抗制御</p> <p>ホストコントローラ機能選択時、D+ / D-ラインのブルダウンの禁止 / 許可を指定します。</p> <p>0 : ブルダウン禁止 1 : ブルダウン許可</p> <p>本ビットの 1 への設定は、ホストコントローラ機能選択時に行ってください。 ファンクションコントローラ機能選択時は、0 を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
4	DPRPU	0	R/W	<p>D+ライン抵抗制御</p> <p>ファンクションコントローラ機能選択時、D+ラインのプルアップの禁止/許可を指定します。</p> <p>0: プルアップ禁止 1: プルアップ許可</p> <p>ファンクションコントローラ機能選択時に本ビットを1に設定すると、本モジュールはD+ラインをプルアップし、USBホストに対してアタッチを通知することができます。また、本ビットを1から0に変更することにより、本モジュールはD+ラインのプルアップを解消しますので、USBホストに対してデタッチしたと見せることができます。</p> <p>本ビットへの1設定は、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、0を設定してください。</p> <p>【注】 USB切断時は必ず本ビットを0に変更してください。また、本ビットを1から0に変更する際は、必ず以下の処理を追加してください。</p> <ol style="list-style-type: none"> 1. DPRPU ビットに0を設定 2. 1μs以上待つ 3. DCFM ビットを1に設定 4. 200ns以上待つ 5. DCFM ビットを0に設定
3	UCKFSEL	0	R/W	<p>クロック入力周波数選択</p> <p>本モジュールへ供給するクロック入力周波数を選択</p> <p>0: 48MHz 入力 1: 12MHz 入力</p> <p>本ビットの変更は、SCKE=0のときに行ってください。</p> <p>【注】 UCKPSEL にて EXTAL 入力選択時は、本ビットに1を設定してください。</p>
2	UCKPSEL	0	R/W	<p>クロック入力端子選択</p> <p>本モジュールへ供給するクロック入力端子を選択</p> <p>0: USB_X1 入力 1: EXTAL 入力</p> <p>本ビットの変更は、SCKE=0のときに行ってください。</p>
1	UPLLE	0	R/W	<p>USB 内部 PLL 動作許可</p> <p>UCKFSEL にて 12MHz 入力を選択時、USB 内部 PLL の動作禁止/許可を指定します。</p> <p>0: 内部 PLL 動作禁止 1: 内部 PLL 動作許可</p> <p>UCKFSEL にて 48MHz 入力を選択した場合、本ビットの設定は無効となります。</p> <p>本ビットの変更は、SCKE=0のときに行ってください。</p> <p>UCKFSEL にて 12MHz を選択時にソフトウェアスタンバイ、USB モジュールスタンバイモードへ移行する場合、本ビットに0を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
0	USBE	0	R/W	<p>USB モジュール動作許可</p> <p>本モジュールの動作禁止 / 許可を指定します。</p> <p>0 : USB モジュール動作禁止</p> <p>1 : USB モジュール動作許可</p> <p>本ビットを 1 から 0 に変更したときに初期化されるレジスタとビットを表 29.3 と表 29.4 に示します。</p> <p>本ビットの変更は、SCKE = 1 のときに行ってください。</p> <p>ホストコントローラ機能選択時は、DRPD = 1 設定後、LNST ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USB E = 1 設定を行ってください。</p>

表 29.3 USB E = 0 書き込みにより初期化されるレジスタ (ファンクションコントローラ機能選択時)

レジスタ名	ビット名	備考
SYSSTS	LNST	ホストコントローラ機能選択時は値保持
DVSTCTR	RHST	
INTSTS0	DVSQ	ホストコントローラ機能選択時は値保持
USBADDR	USBADDR	ホストコントローラ機能選択時は値保持
USEREQ	BRequest、bmRequestType	ホストコントローラ機能選択時は値保持
USBVAL	wValue	ホストコントローラ機能選択時は値保持
USBINDX	wIndex	ホストコントローラ機能選択時は値保持
USBLENG	wLength	ホストコントローラ機能選択時は値保持

表 29.4 USB E = 0 書き込みにより初期化されるレジスタ (ホストコントローラ機能選択時)

レジスタ名	ビット名	備考
DVSTCTR	RHST	
FRMNUM	FRNM	ファンクションコントローラ機能選択時は値保持
UFRMNUM	UFRNM	ファンクションコントローラ機能選択時は値保持

29.3.2 CPU バスウェイト設定レジスタ (BUSWAIT)

BUSWAIT は、CPU から本モジュールに対するアクセスウェイト数を指定します。

SYSCFG レジスタの SCKE ビットが 0 の場合であっても、本レジスタへの書き込みは可能です。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	BWAIT[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	BWAIT [3:0]	1111	R/W	CPU バスアクセスウェイトの指定 レジスタアクセスウェイト数を指定します (FIFO ポートへのアクセスウェイトと共通)。詳細は「29.4.1 (5) レジスタアクセスウェイト制御」を参照してください。 0000 : 0 ウェイト (アクセスサイクル 2) : 0010 : 2 ウェイト (アクセスサイクル 4) : 0100 : 4 ウェイト (アクセスサイクル 6) : 1111 : 15 ウェイト (アクセスサイクル 17)

29.3.3 システムコンフィギュレーションステータスレジスタ (SYSSTS)

SYSSTS は、USB データバスのラインステータス (D+および D-ライン) をモニタします。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]
初期値:	0	0	0	0	0	不定	0	0	0	0	0	0	0	0	不定*	不定*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
9~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	LNST[1:0]	不定*	R	USB データラインステータスマニタ USB データバスライン (D+ライン、D-ライン) のステータスが表示されます。USB データバスラインステータスを表 29.5 に示します。 本ビットの参照は、ファンクションコントローラ機能選択時にはアタッチ処理 (DPRPU = 1 設定) 以後、ホストコントローラ機能選択時には、ブルダウン許可 (DRPD = 1 設定) 以後に行ってください。

【注】 * DP、DM 端子の状態に依存します。

表 29.5 USB データバスラインステータス表

LNST[1]	LNST[0]	ロースピード動作時 (ホストコントローラ 機能選択時のみ)	フルスピード動作時	ハイスピード動作時	Chirp 動作時
0	0	SE0	SE0	Squelch	Squelch
0	1	K-State	J-State	UnSquelch	Chirp J
1	0	J-State	K-State	Invalid	Chirp K
1	1	SE1	SE1	Invalid	Invalid

【記号説明】

Chirp : ハイスピード動作許可の状態 (SYSCFG.HSE = 1) でリセットハンドシェイクプロトコル (RHSP) 実行中

Squelch : SE0 またはアイドル状態

UnSquelch : ハイスピード J-State またはハイスピード K-State

Chirp J : Chirp J-State

Chirp K : Chirp K-State

Invalid : 無効

29.3.4 デバイスステートコントロールレジスタ (DVSTCTR)

DVSTCTR は、USB データバスの状態制御および確認をします。

本レジスタは、パワーオンリセットで初期化されます。USB バスリセットでは、WKUP ビットのみ初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W*	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	WKUP	0	R/W*	<p>ウェイクアップ出力</p> <p>ファンクションコントローラ機能選択時に、USB バス上へのリモートウェイクアップ（レジューム信号出力）禁止 / 許可を指定します。</p> <p>0: リモートウェイクアップ信号非出力 1: リモートウェイクアップ信号出力</p> <p>本モジュールは、リモートウェイクアップ信号の出力時間を管理しています。本ビットに1を設定すると、本モジュールは10msのK-Stateを出力した後、本ビットを0にします。</p> <p>USB規格では、リモートウェイクアップ信号の送信までに最短5msのUSBバスアイドル状態を保持する必要があります。このため、本モジュールは、サスペンド状態を検出した直後に本ビットに1を書き込んでも、2ms待ってからK-Stateを出力します。</p> <p>本ビットへの1書き込みは、デバイスステートがサスペンド（INTSTS0.DVSQ = 1xx）であり、かつUSBホストからリモートウェイクアップが許可されている場合のみ行ってください。本ビットを1に設定する場合は、サスペンド中であっても内部クロックを停止しないでください。（SCKE = 1の状態ではWKUP = 1を書き込んでください。）</p> <p>ホストコントローラ機能選択時は、0を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
7	RWUPE	0	R/W	<p>リモートウェイクアップ検出許可</p> <p>ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ（レジューム信号出力）の禁止 / 許可を指定します。</p> <p>0 : ダウンポートリモートウェイクアップ出力禁止</p> <p>1 : ダウンポートリモートウェイクアップ許可</p> <p>本ビットを 1 に設定すると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号（2.5 μs 間の K-State）を検出し、レジューム処理（K-State のドライブ）を行います。</p> <p>本ビットを 0 に設定した場合、本モジュールが USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号（K-State）を検出しても無視します。</p> <p>本ビットを 1 に設定したときには、サスペンド中であっても内部クロックを停止しないでください（SCKE = 1 の状態にしてください）。また、サスペンド状態からの USB バスリセット実行（USBRST = 1 設定）は行わないでください。USB Specification2.0 で禁止されています。</p> <p>ファンクションコントローラ機能選択時は、0 を設定してください。</p>
6	USBRST	0	R/W	<p>バスリセット出力</p> <p>ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。</p> <p>0 : USB バスリセット信号非出力</p> <p>1 : USB バスリセット信号出力</p> <p>ホストコントローラ機能選択時、本ビットを 1 に設定すると、本モジュールは USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。このとき、HSE ビットが 1 の場合、リセットハンドシェイクプロトコルを実行します。</p> <p>本モジュールは、USBRST = 1 の期間（USBRST = 0 を書き込むまで）SE0 出力を継続します。USBRST = 1 の期間（USB バスリセット期間）は USB Specification2.0 に準拠した時間を確保してください。</p> <p>通信中（UACT = 1）またはレジューム中（RESUME = 1）に本ビットに 1 を書き込んだ場合、本モジュールは UACT = 0 かつ RESUME = 0 の状態になるまで USB バスリセットを開始しません。</p> <p>USB バスリセット終了（USBRST = 0 書き込み）と同時に UACT ビットに 1 を書き込んでください。</p> <p>ファンクションコントローラ機能選択時は、0 を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
5	RESUME	0	R/W	<p>レジューム出力</p> <p>ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。</p> <p>0: レジューム信号非出力</p> <p>1: レジューム信号出力</p> <p>本ビットを1に設定すると、本モジュールはポートを K-State ドライブし、レジューム出力を行います。</p> <p>本モジュールは、RESUME = 1 の期間 (RESUME = 0 を書き込むまで) K-State 出力を継続します。 RESUME = 1 の期間 (レジューム期間) は USB Specification2.0 に準拠した時間を確保してください。</p> <p>本ビットへの1書き込みは、サスペンド中の中のみ行ってください。</p> <p>レジューム終了 (RESUME = 0 書き込み) と同時に UACT ビットに1を書き込んでください。</p> <p>ファンクションコントローラ機能選択時は、0を設定してください。</p>
4	UACT	0	R/W	<p>USB バス許可</p> <p>ホストコントローラ機能選択時に、USB バス動作許可 (USB バス上への SOF または μSOF パケットの送出制御) を行います。</p> <p>0: ダウンポート動作禁止 (SOF / μ SOF 送出禁止)</p> <p>1: ダウンポート動作許可 (SOF / μ SOF 送出許可)</p> <p>本ビットを1に設定すると、本モジュールは USB ポートを USB バス許可状態にし、SOF 出力およびデータ送受信を行います。</p> <p>UACT = 1 を書き込んでから、1 (マイクロ) フレーム時間以内に SOF / μ SOF 出力を開始します。</p> <p>本ビットを0に設定した場合、本モジュールは SOF / μ SOF 出力後アイドル状態に遷移します。</p> <p>以下の場合に、本モジュールは本ビットを0に設定します。</p> <ul style="list-style-type: none"> • 通信中 (UACT = 1 設定時) に DTCH 割り込みを検出した場合 • 通信中 (UACT = 1 設定時) に EOFERR 割り込みを検出した場合 <p>本ビットへの1書き込みは、USB バスリセット処理終了時 (USB RST = 0 書き込み)、または、サスペンドからのレジューム処理終了時 (RESUME = 0 書き込み) のいずれかのタイミングで行ってください。</p> <p>ファンクションコントローラ機能選択時は、0を設定してください。</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2~0	RHST[2:0]	000	R	<p>リセットハンドシェイク</p> <p>リセットハンドシェイクの状態を表示します。</p> <p>(1) ホストコントローラ機能選択時</p> <p>000 : 通信速度不定 (パワード時あるいは非接続時)</p> <p>1xx : リセットハンドシェイク処理中</p> <p>001 : ロースピード接続時</p> <p>010 : フルスピード接続時</p> <p>011 : ハイスピード接続時</p> <p>USBRSST = 1 書き込み後、本ビットは 100 を示します。</p> <p>ポートに対して HSE = 1 を設定している場合、本モジュールが周辺デバイスからの ChirpK を検出した時点で、本ビットは 111 を示します。</p> <p>USBRSST = 0 を書き込み、本モジュールが SE0 ドライブを終了した時点で、本モジュールは RHST ビットの値を確定します。</p> <p>UTST = 1xxx を書き込んだ場合 (HOST テスト用パラメータを設定したとき) には、本ビットは 011 を示します。</p> <p>(2) ファンクションコントローラ機能選択時</p> <p>000 : 通信速度不定</p> <p>100 : リセットハンドシェイク処理中</p> <p>010 : フルスピード接続時</p> <p>011 : ハイスピード接続時</p> <p>HSE = 1 を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは 100 を示します。その後、本モジュールが ChirpK を出力し、USB ホストからの ChirpJK を 3 回検出した時点で本ビットは 011 を示します。</p> <p>ChirpK 出力後、2.5ms 以内にハイスピードに確定しなければ、本ビットは 010 を示します。</p> <p>HSE = 0 を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは 010 を示します。</p> <p>本モジュールが USB バスリセットを検出後、RHST ビットが 010 または 011 に確定した時点で、DVST 割り込みが発生します。</p>

【注】 * 1 書き込みのみ有効です。

29.3.5 テストモードレジスタ (TESTMODE)

TESTMODE は、ハイスピード動作時の USB テスト信号出力を制御します。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]			
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	UTST[3:0]	0000	R/W	<p>テストモード</p> <p>本ビットに値を書き込むことにより、本モジュールは、ハイスピード動作時の USB テスト信号を出力します。</p> <p>表 29.6 に本モジュールのテストモード動作表を示します。</p> <p>(1) ホストコントローラ機能選択時</p> <p>DRPD = 1 書き込み後に本ビットの設定が可能です。DRPD = 1 かつ UACT = 1 を設定することで、本モジュールは波形出力を行います。本ビットへの書き込みを行うことにより、ハイスピード終端を行います。</p> <ul style="list-style-type: none"> UTST ビット設定手順は以下のとおりです。 <ol style="list-style-type: none"> パワーオンリセット クロック起動(水晶発振および USB PLL 安定後 SCCKE ビットに 1 を設定) DCFM = 1、DRPD = 1 (HSE = 1 の設定は必要ありません。) USBE = 1 UTST ビットにテスト内容に応じた値を設定 UACT ビットに 1 を設定 UTST ビット変更手順は以下のとおりです。 <ol style="list-style-type: none"> (上記 6.の状態) UACT = 0、USBE = 0 USBE = 1 UTST ビットにテスト内容に応じた値を設定 UACT ビットに 1 を設定 <p>Test_SE0_NAK(1011)設定時は、UACT = 1 を設定しても本モジュールは SOF パケットを出力しません。</p> <p>Test_Force_Enable (1101) 設定時は、UACT = 1 を設定することで、本モジュールは SOF パケットを出力します。また、本モード設定時には、本モジュールがハイスピードディスコネクトを検出 (DTCH 割り込みを検出) しても本モジュールは検出に付随するハードウェア制御を行いません。</p> <p>UTST ビットを設定する場合は、すべてのパイプの PID ビットに NAK を設定にしてください。</p> <p>テストモード設定後、通常の USB 通信を行う場合は、パワーオンリセットを実施してください。</p> <p>(2) ファンクションコントローラ機能選択時</p> <p>ハイスピード通信時の USB ホストからの SetFeature リクエストに従って本ビットを書き込んでください。</p> <p>本ビットに 0001 ~ 0100 を設定している時には、本モジュールはサスペンド状態へ遷移しません。</p>

表 29.6 テストモード動作表

テストモード	UTST ビット設定	
	ファンクションコントローラ機能選択時	ホストコントローラ機能選択時
通常動作	0000	0000
Test_J	0001	1001
Test_K	0010	1010
Test_SE0_NAK	0011	1011
Test_Packet	0100	1100
Test_Force_Enable	-	1101
Reserved	0101 ~ 0111	1110 ~ 1111

29.3.6 DMA-FIFO バスコンフィグレーションレジスタ (D0FBCFG、D1FBCFG)

D0FBCFG レジスタは、DMA0-FIFO のバスアクセス制御を、D1FBCFG レジスタは、DMA1-FIFO のバスアクセス制御を行うレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TENDE	—	—	—	—
初期値:	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	0	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~5	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
4	TENDE	0	R/W	DMA 転送終了サンプリング許可 DMA 転送終了時に、ダイレクトメモリアccessコントローラから出力される DMA 転送終了信号の受け付け制御を行います。詳細は、「29.4.4(3)DMA 転送 (D0FIFO/D1FIFO ポート)」を参照してください。 0: DMA 転送終了信号をサンプリングしない 1: DMA 転送終了信号をサンプリングする DMA の転送サイズを 16 バイトにする場合は、0 を設定してください。
3~0	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

29.3.7 FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)

CFIFO、D0FIFO、D1FIFO は、FIFO バッファメモリへのデータ読み出し / 書き込みを行うポートレジスタです。

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の 3 つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータリード / ライトを行う本ポートレジスタ (CFIFO、D0FIFO、D1FIFO) 以外に、FIFO ポートに割り当てられるパイプを選択する選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)、コントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR) で構成されています。

各 FIFO ポートには、下記に示す特徴があります。

- DCP用FIFOバッファへのアクセスは、CFIFOポートを通して行ってください。
- DMA転送によるFIFOバッファアクセスはD0FIFOあるいはD1FIFOポートを通して行ってください。
- CPUによるD1FIFOあるいはD0FIFOポートアクセスも可能です。
- FIFOポート固有の機能を使用する場合は、CURPIPEビットに設定するパイプ番号 (選択パイプ) を変更できません (DMA転送機能使用時など)。
- FIFOポートを構成するレジスタ群は、他のFIFOポートに影響を与えることはありません。
- 同一パイプを別々のFIFOポートに割り当てないでください。
- FIFOバッファの状況には、アクセス権がCPU側にある場合とSIE側にある場合の 2 種類があります。FIFOバッファのアクセス権がSIE側にある場合は、CPUからアクセスができません。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIFOPORT[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFOPORT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	FIFOPORT [31:0]	すべて 0	R/W	<p>FIFO ポート</p> <p>本ビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。</p> <p>本レジスタへのアクセスは、各コントロールレジスタ (CFIFOCTR、D0FIFOCTR または D1FIFOCTR) の FRDY ビットが 1 を示しているときのみ可能です。</p> <p>本レジスタの有効ビットは、MBW ビットの設定値および BIGEND ビットの設定値により異なります。有効ビットを、表 29.7 ~ 表 29.9 に示します。</p>

表 29.7 32 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス

表 29.8 16 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	書き込み：無効、読み出し：禁止*		N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	書き込み：無効、読み出し：禁止*	

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

表 29.9 8 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	書き込み：無効、読み出し：禁止*			N+0 アドレス
1	N+0 アドレス	書き込み：無効、読み出し：禁止*		

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

29.3.8 FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)

CFIFOSEL、D0FIFOSEL、D1FIFOSEL は、FIFO ポートに割り当てるパイプの選択、各 FIFO ポートへのアクセスの制御をします。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL の CURPIPE ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE ビットの設定が B'000 の場合には、パイプ指定なしとなります。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

本レジスタは、パワーオンリセットで初期化されます。

(1) CFIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	—	—	MBW[1:0]	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W*	R	R	R/W	R/W	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	リードカウントモード CFIFOCTR レジスタの DTLN ビットの読み出しモードを指定します。 0: CFIFO の全受信データ読み出し終了時に DTLN ビットを 0 クリア (ダブルバッファの場合は一面のみ読み出し終了時) 1: CFIFO 受信データ読み出しごとに DTLN ビットをカウントダウン
14	REW	0	R/W*	バッファポインタリワインド バッファポインタのリワインドをする / しないを指定します。 0: バッファポインタリワインドしない 1: バッファポインタリワインドする 選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。 REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。 REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。 送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。
13, 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
11、10	MBW[1:0]	00	R/W	<p>CFIFO ポートアクセスビット幅</p> <p>CFIFO ポートへのアクセスビット幅を指定します。</p> <p>00 : 8 ビット幅</p> <p>01 : 16 ビット幅</p> <p>10 : 32 ビット幅</p> <p>11 : 設定禁止</p> <p>いったんバッファメモリの読み出し処理を開始すると、すべてのデータ読み出しが完了するまで FIFO ポートアクセスビット幅の変更は行えません。指定パイプが受信方向の場合、本ビットの設定は下記いずれかの手順で行ってください。</p> <ul style="list-style-type: none"> • CURPIPE ビットへの設定と同時に書き込む • DCP 設定 (CURPIPE=B'000) の場合、ISEL ビットへの設定と同時に書き込む <p>詳細は、「29.4.4 FIFO バッファメモリ」を参照してください。</p> <p>選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p>
9	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	BIGEND	0	R/W	<p>CFIFO ポートエンディアン制御</p> <p>CFIFO ポートのバイトエンディアンを指定します。</p> <p>0 : リトルエンディアン</p> <p>1 : ビッグエンディアン</p>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5	ISEL	0	R/W	<p>DCP 選択時の CFIFO ポートアクセス方向</p> <p>0 : バッファメモリ読み出し選択</p> <p>1 : バッファメモリ書き込み選択</p> <p>選択パイプが DCP のときに、本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスする事ができます。</p> <p>本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。</p>

ビット	ビット名	初期値	R/W	説明
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	CURPIPE [3:0]	0000	R/W	CFIFO ポートアクセスパイプ指定 CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。 0000 : DCP 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9 上記以外 : 設定禁止 本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。 CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。 FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。

【注】 * 0 読み出し、1 書き込みのみ有効です。

(2) D0FIFOSEL、D1FIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	DCLRM	DREQE	MBW[1:0]	—	BIG END	—	—	—	—	CURPIPE[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W*	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	<p>リードカウントモード</p> <p>DnFIFOCTR レジスタの DTLN ビットの読み出しモードを指定します。</p> <p>0: DnFIFO の全受信データ読み出し終了時に DTLN ビットを 0 クリア (ダブルバッファの場合は一面分の読み出し終了時)</p> <p>1: DnFIFO 受信データ読み出しごとに DTLN ビットカウントダウン</p> <p>BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、本ビットに 0 を設定してください。</p>
14	REW	0	R/W*	<p>バッファポインタリワインド</p> <p>バッファポインタのリワインドをする / しないを指定します。</p> <p>0: バッファポインタリワインドしない</p> <p>1: バッファポインタリワインドする</p> <p>選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます(ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。</p> <p>REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。 REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。</p> <p>送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。</p>
13	DCLRM	0	R/W	<p>選択パイプのデータ読み出し後の自動バッファメモリクリアモード</p> <p>選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止 / 許可を指定します。</p> <p>0: 自動バッファクリアモード禁止</p> <p>1: 自動バッファクリアモード許可</p> <p>本ビットに 1 を設定した場合、選択パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または BFRE = 1 設定時にショートパケット受信しデータ読み出しを完了時に、FIFO バッファへの BCLR = 1 処理を本モジュールが行います。</p> <p>BRDYM = 1 に設定して本モジュールを使用するときには、必ず本ビットに 0 を設定してください。</p>

ビット	ビット名	初期値	R/W	説 明
12	DREQE	0	R/W	<p>DMA 転送要求許可</p> <p>DMA 転送要求発行の禁止 / 許可を指定します。</p> <p>0 : DMA 転送要求禁止</p> <p>1 : DMA 転送要求許可</p> <p>DMA 転送要求発行を許可する場合、CURPIPE ビット設定後に本ビットに 1 を設定してください。</p> <p>CURPIPE ビット設定を変更するときには、本ビットに 0 を設定した後で変更を行ってください。</p>
11、10	MBW[1:0]	00	R/W	<p>FIFO ポートアクセスビット幅</p> <p>DnFIFO ポートアクセスビット幅を指定します。</p> <p>00 : 8 ビット幅</p> <p>01 : 16 ビット幅</p> <p>10 : 32 ビット幅</p> <p>11 : 設定禁止</p> <p>いったんバッファメモリの読み出し処理を開始すると、すべてのデータ読み出しが完了するまで FIFO ポートアクセスビット幅の変更は行えません。</p> <p>また選択パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。詳細は「29.4.4 FIFO バッファメモリ」を参照してください。</p> <p>指定パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p>
9	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	BIGEND	0	R/W	<p>FIFO ポートエンディアン制御</p> <p>DnFIFO ポートのバイトエンディアンを指定します。</p> <p>0 : リトルエンディアン</p> <p>1 : ビッグエンディアン</p>
7~4	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3~0	CURPIPE [3:0]	0000	R/W	<p>FIFO ポートアクセスパイプ指定</p> <p>D0FIFO / D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。</p> <p>0000 : 指定なし 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9</p> <p>上記以外 : 設定禁止</p> <p>本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。</p>

【注】 * 0 読み出し、1 書き込みのみ有効です。

29.3.9 FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)

CFIFOCTR、D0FIFOCTR、D1FIFOCTR は、バッファメモリの書き込み終了、CPU 側バッファクリア、および FIFO ポートアクセス可能かどうかを設定するレジスタです。本レジスタには、各 FIFO ポートに対応しています。本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BVAL	BCLR	FRDY	—	DTLN[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*2	R/W*1	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BVAL	0	R/W*2	<p>バッファメモリ有効フラグ</p> <p>CURPIPE に指定したパイプ (選択パイプ) の CPU 側の FIFO バッファの書き込み終了時に 1 を指定します。</p> <p>0 : 無効</p> <p>1 : 書き込み終了</p> <p>選択パイプが送信方向のとき、以下の場合に本ビットに 1 を設定してください。本モジュールは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <ul style="list-style-type: none"> • ショートパケットの送信を行いたいとき、データ書き込み終了時に本ビットに 1 を設定 • Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に本ビットに 1 を設定 • 連続転送モードのパイプに対して、MaxPacketSize の自然数倍かつ BufferSize 未満のデータ書き込み後に本ビットに 1 を設定 <p>非連続転送モードのパイプに対して MaxPacketSize 分のデータを書き込むと、本モジュールが本ビットを 1 にし、CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <p>選択パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に 1 を書き込んだ場合には、本モジュールはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。</p> <p>本ビットへの 1 書き込みは、本モジュールが FRDY = 1 を示しているときに実施してください。</p> <p>選択パイプが受信方向のときには、本ビットへの 1 書き込みを行わないでください。</p>

ビット	ビット名	初期値	R/W	説明
14	BCLR	0	R/W ^{*1}	<p>CPU バッファクリア</p> <p>選択パイプの CPU 側の FIFO バッファをクリアする場合に 1 を指定します。</p> <p>0 : 無効</p> <p>1 : CPU 側バッファメモリクリア</p> <p>選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能状態である場合でも、本モジュールは片面の FIFO バッファのみをクリアします。</p> <p>選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR = 1 設定により本モジュールは FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の PID ビットを必ず NAK に設定した後で BCLR = 1 を行ってください。</p> <p>選択パイプが DCP 以外の場合、本ビットへの 1 書き込みは、本モジュールが FRDY = 1 を示しているときに実施してください。</p>
13	FRDY	0	R	<p>FIFO ポートレディ</p> <p>FIFO ポートにアクセス可能かどうかが表示されます。</p> <p>0 : FIFO ポートアクセス不可</p> <p>1 : FIFO ポートアクセス可能</p> <p>以下の場合には、本モジュールは FRDY = 1 を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR = 1 を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。</p> <ul style="list-style-type: none"> • 選択パイプにアサインされている FIFO バッファが空の状態 Zero-Length パケット受信した場合。 • BFRE = 1 設定時に、ショートパケットを受信し、データ読み出しを完了した場合。
12	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
11~0	DTLN [11:0]	H'000	R	<p>受信データ長 受信データ長が表示されます。</p> <p>FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> • RCNT = 0 設定時 : FIFO バッファ 1 面分の受信データを読み出し完了するまで、本モジュールは受信データ長を本ビットに表示します。 BFRE = 1 設定時には、読み出しが完了しても BCLR = 1 を行うまでは本モジュールは受信データ長を保持します。 • RCNT = 1 設定時 : 読み出しごとに本モジュールは DTLN ビットの表示をダウンカウントします。(MBW = 00 設定時は-1、MBW = 01 設定時は-2、MBW = 10 設定時は-4 ずつダウンカウント) <p>1 面分の FIFO バッファ読み出し完了時に、本モジュールは DTLN = 0 を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を DTLN ビットに表示します。</p> <p>【注】 RCNT = 1 説明時、FIFO ポートをリードしてから本ビットが更新されるまで 10 バスサイクルかかります。</p>

【注】 *1 0 読み出し、1 書き込みのみ有効です。

*2 1 書き込みのみ有効です。

29.3.10 割り込み許可レジスタ 0 (INTENB0)

INTENB0 は、各割り込み許可の指定を行います。本レジスタに 1 を設定したビットに対応する割り込みを本モジュールが検出した場合に、本モジュールは USB 割り込みを発生します。

本モジュールは、本レジスタの設定値 (割り込み通知の禁止 / 許可) にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットに 1 を表示します。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが 1 を示している状態で、本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは USB 割り込み発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBSE	0	R/W	VBUS 割り込み許可 VBINT 割り込み検出時、USB 割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
14	RSME	0	R/W	レジューム割り込み許可* RESM 割り込み検出時、USB 割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
13	SOFE	0	R/W	フレーム番号更新割り込み許可 SOFR 割り込み検出時、USB 割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
12	DVSE	0	R/W	デバイスステート遷移割り込み許可* DVST 割り込み検出時、USB 割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	CTRE	0	R/W	コントロール転送ステージ遷移割り込み許可* CTRTR 割り込み検出時、USB 割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10	BEMPE	0	R/W	バッファエンプティ割り込み許可 BEMP 割り込み検出時、USB 割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説明
9	NRDYE	0	R/W	バッファノットレディ応答割り込み許可 NRDY 割り込み検出時、USB 割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
8	BRDYE	0	R/W	バッファレディ割り込み許可 BRDY 割り込み検出時、USB 割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * RSME ビット、DVSE ビットおよび CTRE ビットは、ファンクションコントローラ機能選択時のみ設定ができます。ホストコントローラ機能選択時は、許可を行わないでください。

29.3.11 割り込み許可レジスタ 1 (INTENB1)

INTENB1 は、ホストコントローラ機能選択時の割り込み許可の設定を行います。

本レジスタに 1 を設定したビットに対応する割り込みを本モジュールが検出した場合に、本モジュールは USB 割り込みを発生します。

本モジュールは、本レジスタの設定値 (割り込み通知の禁止 / 許可) にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS1 レジスタの対応するステータスビットに 1 を表示します。

各割り込み要因に対応する INTSTS1 レジスタのステータスビットが 1 を示している状態で、本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは USB 割り込み発生します。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHGE	—	DTCHE	ATT CHE	—	—	—	—	EOF ERRE	SIGNE	SACKE	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHGE	0	R/W	USB バス変化割り込み許可 BCHG 割り込み検出時の USB 割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	DTCHE	0	R/W	切断検出割り込み許可 DTCH 割り込み検出時の USB 割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	ATT CHE	0	R/W	接続検出割り込み許可 ATT CHE 割り込み検出時の USB 割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10-7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	EOF ERRE	0	R/W	EOF エラー検出割り込み許可 EOFERR 割り込み検出時、USB 割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説明
5	SIGNE	0	R/W	セットアップトランザクションエラー割り込み許可 SIGN 割り込み検出時、USB 割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
4	SACKE	0	R/W	セットアップトランザクション正常応答割り込み許可 SACK 割り込み検出時、USB 割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 INTENB1 レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ設定ができます。ファンクションコントローラ機能選択時は、許可を行わないでください。

29.3.12 BRDY 割り込み許可レジスタ (BRDYENB)

BRDYENB は、各パイプの BRDY 割り込み検出時に、INTSTS0 レジスタの BRDY ビットを 1 に設定することを禁止するか/許可するかを指定します。

本レジスタに 1 を設定したパイプに対して、本モジュールが BRDY 割り込みを検出した場合に、本モジュールは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの BRDY ビットに 1 を表示し、BRDY 割り込みを発生します。

BRDYSTS レジスタの PIPEBRDY ビットの少なくともひとつのビットが 1 を示している状態で、本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは BRDY 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDYE	PIPE8 BRDYE	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BRDYE	0	R/W	パイプ 9 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8BRDYE	0	R/W	パイプ 8 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7BRDYE	0	R/W	パイプ 7 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BRDYE	0	R/W	パイプ 6 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BRDYE	0	R/W	パイプ 5 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BRDYE	0	R/W	パイプ 4 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3BRDYE	0	R/W	パイプ 3 の BRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
2	PIPE2BRDYE	0	R/W	パイプ 2 の BRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1BRDYE	0	R/W	パイプ 1 の BRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0BRDYE	0	R/W	パイプ 0 の BRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

29.3.13 NRDY 割り込み許可レジスタ (NRDYENB)

NRDYENB は、各パイプの NRDY 割り込み検出時に INTSTS0 レジスタの NRDY ビットを 1 に設定することを禁止する / 許可するかを指定します。

本レジスタに 1 を設定したパイプに対して、本モジュールが NRDY 割り込み要因を検出した場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの NRDY ビットに 1 を表示し、NRDY 割り込みを発生します。

NRDYSTS レジスタの PIPENRDY ビットの少なくともひとつのビットが 1 を示している状態で、本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは NRDY 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDYE	PIPE8 NRDYE	PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	PIPE3 NRDYE	PIPE2 NRDYE	PIPE1 NRDYE	PIPE0 NRDYE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9NRDYE	0	R/W	パイプ 9 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8NRDYE	0	R/W	パイプ 8 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7NRDYE	0	R/W	パイプ 7 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6NRDYE	0	R/W	パイプ 6 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5NRDYE	0	R/W	パイプ 5 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4NRDYE	0	R/W	パイプ 4 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3NRDYE	0	R/W	パイプ 3 の NRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
2	PIPE2NRDYE	0	R/W	パイプ 2 の NRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1NRDYE	0	R/W	パイプ 1 の NRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0NRDYE	0	R/W	パイプ 0 の NRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

29.3.14 BEMP 割り込み許可レジスタ (BEMPENB)

BEMPENB は、各パイプの BEMP 割り込み検出時に INTSTS0 レジスタの BEMP ビットを 1 に設定することを禁止する / 許可するかを指定します。

本レジスタに 1 を設定したパイプに対して、本モジュールが BEMP 割り込み要因を検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの BEMP ビットに 1 を表示し、BEMP 割り込みを発生します。

BEMPSTS レジスタの PIPEBEMP ビットの少なくともひとつのビットが 1 を示している状態で、本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは BEMP 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMPE	PIPE8 BEMPE	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BEMPE	0	R/W	パイプ 9 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8BEMPE	0	R/W	パイプ 8 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7BEMPE	0	R/W	パイプ 7 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BEMPE	0	R/W	パイプ 6 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BEMPE	0	R/W	パイプ 5 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BEMPE	0	R/W	パイプ 4 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3BEMPE	0	R/W	パイプ 3 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
2	PIPE2BEMPE	0	R/W	パイプ 2 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1BEMPE	0	R/W	パイプ 1 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0BEMPE	0	R/W	パイプ 0 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

29.3.15 SOF 出力コンフィグレーションレジスタ (SOFCFG)

SOFCFG は、トランザクションの有効期間や BRDY 割り込みステータスクリアタイミングなどを指定します。本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TRNEN SEL	—	BRDYM	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TRNENSEL	0	R/W	トランザクション有効期間切り替えビット フルスピードまたはロースピード通信中、1フレーム中に本モジュールがトークン発行を行う期間(トランザクション有効期間)を指定します。 0: ロースピード未対応 1: ロースピード対応 本ビットは、ホストコントローラ機能選択時のみ有効です。また、ホストコントローラ機能選択時であってもハイスピードのトランザクション有効期間には影響しません。 ファンクションコントローラ機能選択時は、0を設定してください。
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	BRDYM	0	R/W	各パイプの BRDY 割り込みステータスクリアタイミング設定 各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。 本ビットの設定は、本モジュールの初期設定時(通信前)に行ってください。通信後の設定変更は行わないでください。 0: 0書き込みによりステータスをクリア 1: FIFO バッファの読み出しまたは FIFO バッファへの書き込み動作により本モジュールがステータスを自動クリア
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

29.3.16 割り込みステータスレジスタ 0 (INTSTS0)

INTSTS0 は、各検出された割り込みのステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで DVST、DVSQ[2:0]ビットは初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]			
初期値	0	0	0	0/1*1	0	0	0	0	0/1*3	0*2	0*2	0/1*2	0	0	0	0
R/W	R/W*7	R/W*7	R/W*7	R/W*7	R/W*7	R	R	R	R	R	R	R	R/W*7	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBINT	0	R/W*7	VBUS 割り込みステータス*4*5 0 : VBUS 割り込み非発生 1 : VBUS 割り込み発生 本モジュールが VBUS 端子入力値の変化(ハイレベルからローレベルへの変化あるいはローレベルからハイレベルへの変化)を検出したときに、本ビットに 1 を表示します。本モジュールは VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、VBSTS ビット読み出しを数回繰り返し一致することを確認することで、チャタリング除去を実施してください。
14	RESM	0	R/W*7	レジューム割り込みステータス*4*5*6 0 : レジューム割り込み非発生 1 : レジューム割り込み発生 ファンクションコントローラ機能設定時、本モジュールがサスペンド状態 (DVSQ = 1XX) であり、かつ、DP 端子の立ち下がりを検出したときに、本ビットに 1 を表示します。 ホストコントローラ機能選択時、読み出し値は無効です。
13	SOFR	0	R/W*7	フレーム番号更新割り込みステータス*4 0 : SOF 割り込み非発生 1 : SOF 割り込み発生 (1) ホストコントローラ機能設定時 UACT ビットを 1 に設定しているとき、フレームナンバーの更新タイミングで本ビットに 1 を表示します。(本割り込みは、1ms ごとに検出します。) (2) ファンクションコントローラ機能設定時 フレームナンバーの更新時に本モジュールは本ビットに 1 を表示します。(本割り込みは、1ms ごとに検出します。) USB ホストからの SOF パケットが破損したときでも、内部補間により、本モジュールは SOFR 割り込みを検出します。

ビット	ビット名	初期値	R/W	説明
12	DVST	0/1* ¹	R/W* ⁷	<p>デバイスステート遷移割り込みステータス*⁴*⁶</p> <p>0 : デバイスステート遷移割り込み非発生 1 : デバイスステート遷移割り込み発生</p> <p>ファンクションコントローラ機能設定時、本モジュールがデバイスステートの变化を検出したときに、本モジュールは DVST の値を更新し、本ビットに 1 を表示します。</p> <p>本割り込みが発生したときには、本モジュールが次のデバイスステート遷移を検出する前に、ステータスクリアを実施してください。</p> <p>ホストコントローラ機能選択時、読み出し値は無効です。</p>
11	CTRT	0	R/W* ⁷	<p>コントロール転送ステージ遷移割り込みステータス*⁴*⁶</p> <p>0 : コントロール転送ステージ遷移割り込み非発生 1 : コントロール転送ステージ遷移割り込み発生</p> <p>ファンクションコントローラ機能設定時、本モジュールがコントロール転送のステージ遷移を検出したときに、本モジュールは CTSQ の値を更新し、本ビットに 1 を表示します。</p> <p>本割り込みが発生したときには、本モジュールがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。</p> <p>ホストコントローラ機能選択時、読み出し値は無効です。</p>
10	BEMP	0	R	<p>バッファエンプティ割り込みステータス</p> <p>0 : BEMP 割り込み非発生 1 : BEMP 割り込み発生</p> <p>BEMPENB レジスタの PIPEBEMPE ビットに 1 を設定したパイプに対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくともひとつが 1 の状態になったとき (BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが BEMP 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPEBEMP ステータスのアサート条件は、「29.4.2 (3) BEMP 割り込み」を参照ください。</p> <p>PIPEBEMPE ビットで許可を設定しているパイプに対応する PIPEBEMP ビットすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>

ビット	ビット名	初期値	R/W	説明
9	NRDY	0	R	<p>バッファノットレディ割り込みステータス</p> <p>0 : NRDY 割り込み非発生 1 : NRDY 割り込み発生</p> <p>NRDYENB レジスタの PIPENRDYE ビットに 1 を設定したパイプに対応する NRDYSTS レジスタの PIPENRDY ビットのうち、少なくともひとつが 1 の状態になったとき (NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが NRDY 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPENRDY ステータスのアサート条件は、「29.4.2 (2) NRDY 割り込み」を参照ください。</p> <p>PIPENRDYE ビットで許可を設定しているパイプに対応する PIPENRDY ビットのすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。</p> <p>本ビットに対して 0 を書き込んで、本ビットの 0 クリアを行うことはできません。</p>
8	BRDY	0	R	<p>バッファレディ割り込みステータス</p> <p>BRDY 割り込みステータスが表示されます。</p> <p>0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生</p> <p>BRDYENB レジスタの PIPEBRDYE ビットに 1 を設定したパイプに対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくともひとつが 1 の状態になったとき (BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが BRDY 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPEBRDY ステータスのアサート条件は、「29.4.2 (1) BRDY 割り込み」を参照ください。</p> <p>PIPEBRDYE ビットで許可を設定しているパイプに対応する PIPEBRDY ビットのすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。</p> <p>本ビットに対して 0 を書き込んで、本ビットの 0 クリアを行うことはできません。</p>
7	VBSTS	0/1* ³	R	<p>VBUS 入力ステータス</p> <p>0 : VBUS 端子がローレベル 1 : VBUS 端子がハイレベル</p>

ビット	ビット名	初期値	R/W	説明
6~4	DVSQ[2:0]	000/001*2	R	デバイスステート 000 : パワードステート 001 : デフォルトステート 010 : アドレスステート 011 : コンフィギュレーションステート 1xx : サスペンドステート ホストコントローラ機能選択時、読み出し値は無効です。
3	VALID	0	R/W*7	USB リクエスト受信 0 : 未検出 1 : セットアップパケット受信 ホストコントローラ機能選択時、読み出し値は無効です。
2~0	CTSQ[2:0]	000	R	コントロール転送ステージ 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (NoData) ステータスステージ 110 : コントロール転送シーケンスエラー 111 : 設定禁止 ホストコントローラ機能選択時、読み出し値は無効です。

- 【注】
- *1 パワーオンリセットのとき B'0、USB バスリセットのとき B'1 です。
 - *2 パワーオンリセットのとき B'000、USB バスリセットのとき B'001 です。
 - *3 VBUS 端子がハイレベルのとき 1、ローレベルのとき 0 です。
 - *4 VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、または CTRT ビットをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。0 を示しているステータスビットへの 0 の書き込みを行わないでください。
 - *5 本モジュールは、VBINT ビット、RESM ビットが示すステータス変化をクロック停止中 (SCKE = 0) でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ステータスのクリアはクロック許可後に行ってください。
 - *6 RESM ビット、DVST ビット、CTRT ビットのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを禁止 (0) にしてください。
 - *7 0 書き込みのみ有効です。

29.3.17 割り込みステータスレジスタ 1 (INTSTS1)

INTSTS1 は、各割り込みのステータスを確認するレジスタです。

本レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHG	—	DTCH	ATTCH	—	—	—	—	EOF ERR	SIGN	SACK	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W*1	R	R/W*1	R/W*1	R	R	R	R	R/W*1	R/W*1	R/W*1	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHG	0	R/W*1	USB バス変化割り込みステータス USB バス変化割り込みステータスが表示されます。 0 : BCHG 割り込み非発生 1 : BCHG 割り込み発生 USB ポートでフルスピード / ロースピード信号レベルでの状態変化が発生した (J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した) ときに、本モジュールは BCHG 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生を発生させます。 USB ポートの現在の入力状態を、SYSSTS0 レジスタの LNST ビットに表示します。BCHG 端子割り込み発生時は、LNST ビット読み出しを数回行い、一致を確認することで、チャタリング除去を実施してください。 USB バス変化は、内部クロック停止状態でも検出します。 ファンクションコントローラ機能選択時、読み出し値は無効です。
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12	DTCH	0	R/W* ¹	<p>USB 切断検出割り込みステータス</p> <p>ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。</p> <p>0 : DTCH 割り込み非発生 1 : DTCH 割り込み発生</p> <p>USB バスディスコネクト検出時に、本モジュールは DTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生します。</p> <p>本モジュールは、USB 2.0 仕様に準じた基準でバスディスコネクトを検出します。</p> <p>本モジュールは、DTCH 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ (ATTCH 割り込み発生) 待ちの状態に遷移してください。</p> <p>(1) UACT ビットを 0 に変更し表示。 (2) アイドル状態に遷移させる。</p> <p>ファンクションコントローラ機能選択時、読み出し値は無効です。</p>
11	ATTCH	0	R/W* ¹	<p>ATTCH 割り込みステータス</p> <p>ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されません。</p> <p>0 : ATTCH 割り込み非発生 1 : ATTCH 割り込み発生</p> <p>本モジュールがフルスピード / ロースピード信号レベルの J-State または K-State を 2.5 μs 間発生したとき、本モジュールは ATTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生をします。</p> <p>本モジュールの ATTCH 割り込み検出条件は、具体的には以下のとおりです。</p> <ul style="list-style-type: none"> • K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μs 間継続したとき • J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μs 間継続したとき <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>
10~7	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
6	EOFERR	0	R/W*1	<p>EOF エラー検出割り込みステータス</p> <p>ホストコントローラ機能選択時、EOFERR 割り込みステータスが表示されます。</p> <p>0 : EOFERR 割り込み非発生 1 : EOFERR 割り込み発生</p> <p>USB 2.0 仕様に定められている EOF2 タイミング時点で通信が終了しないことを本モジュールが検出したときに、本モジュールは EOFERR 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは EOFERR 割り込みを発生します。</p> <p>本モジュールは、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへの再 Enumeration を行ってください。</p> <p>(1) UACT ビットを 0 に変更し表示 (2) アイドル状態に遷移させる。</p> <p>ファンクションコントローラ機能選択時、読み出し値は無効です。</p>
5	SIGN	0	R/W*1	<p>セットアップトランザクションエラー割り込みステータス</p> <p>ホストコントローラ機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。</p> <p>0 : SIGN 割り込み非発生 1 : SIGN 割り込み発生</p> <p>本モジュールが発行したセットアップトランザクションにおいて、周辺デバイスが ACK 応答を行わない状態が連続 3 回発生したときに、本モジュールは SIGN 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは SIGN 割り込み発生をします。</p> <p>本モジュールの SIGN 割り込み検出条件は、具体的には 3 回の連続したセットアップトランザクションに対して、以下のいずれかの応答が発生したときです。</p> <ul style="list-style-type: none"> • 周辺デバイスが何も応答しない状態で本モジュールがタイムアウトを検出したとき • ACK バケットが破損したとき • ACK 以外のハンドシェイク (NAK, NYET, または STALL) を受信したとき <p>ファンクションコントローラ機能選択時、読み出し値は無効です。</p>

ビット	ビット名	初期値	R/W	説明
4	SACK	0	R/W*1	<p>セットアップトランザクション正常応答割り込みステータス</p> <p>ホストコントローラ機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。</p> <p>0 : SACK 割り込み非発生</p> <p>1 : SACK 割り込み発生</p> <p>本モジュールが発行したセットアップトランザクションにおいて、周辺デバイスからの ACK 応答を受信したときに、本モジュールは SACK 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは SACK 割り込みを発生します。</p>
3~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 *1 0 書き込みのみ有効です。

- *2 本モジュールは BCHG ビットが示すステータス変化をクロック停止中 (SCKE = 0) でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ステータスのクリアはクロック許可後に行ってください。BCHG ビット以外の割り込みは、クロック停止中 (SCKE = 0) は検出しません。

29.3.18 BRDY 割り込みステータスレジスタ (BRDYSTS)

BRDYSTS は、各パイプの BRDY 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDY	PIPE8 BRDY	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BRDY	0	R/W*1	パイプ 9 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
8	PIPE8BRDY	0	R/W*1	パイプ 8 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
7	PIPE7BRDY	0	R/W*1	パイプ 7 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BRDY	0	R/W*1	パイプ 6 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BRDY	0	R/W*1	パイプ 5 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BRDY	0	R/W*1	パイプ 4 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BRDY	0	R/W*1	パイプ 3 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BRDY	0	R/W*1	パイプ 2 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BRDY	0	R/W*1	パイプ 1 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説 明
0	PIPE0BRDY	0	R/W* ¹	パイプ 0 の BRDY 割り込みステータス* ² 0 : 割り込み非発生 1 : 割り込み発生

【注】 *1 0 書き込みのみ有効です。

*2 BRDYM = 0 設定の場合、本割り込みのクリアは、必ず FIFO アクセスを行う前に実施してください。

29.3.19 NRDY 割り込みステータスレジスタ (NRDYSTS)

NRDYSTS は、各パイプの NRDY 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDY	PIPE8 NRDY	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	PIPE9NRDY	0	R/W*	パイプ9のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
8	PIPE8NRDY	0	R/W*	パイプ8のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
7	PIPE7NRDY	0	R/W*	パイプ7のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6NRDY	0	R/W*	パイプ6のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5NRDY	0	R/W*	パイプ5のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4NRDY	0	R/W*	パイプ4のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3NRDY	0	R/W*	パイプ3のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2NRDY	0	R/W*	パイプ2のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1NRDY	0	R/W*	パイプ1のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説 明
0	PIPE0NRDY	0	R/W*	パイプ 0 の NRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生

【注】 * 0 書き込みのみ有効です。

29.3.20 BEMP 割り込みステータスレジスタ (BEMPSTS)

BEMPSTS は、各パイプの BEMP 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMP	PIPE8 BEMP	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	PIPE3 BEMP	PIPE2 BEMP	PIPE1 BEMP	PIPE0 BEMP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BEMP	0	R/W*	パイプ 9 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
8	PIPE8BEMP	0	R/W*	パイプ 8 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
7	PIPE7BEMP	0	R/W*	パイプ 7 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BEMP	0	R/W*	パイプ 6 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BEMP	0	R/W*	パイプ 5 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BEMP	0	R/W*	パイプ 4 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BEMP	0	R/W*	パイプ 3 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BEMP	0	R/W*	パイプ 2 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BEMP	0	R/W*	パイプ 1 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説 明
0	PIPE0BEMP	0	R/W*	パイプ 0 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生

【注】 * 0 書き込みのみ有効です。

29.3.21 フレームナンバーレジスタ (FRMNUM)

FRMNUM は、アイソクロナスエラー通知の要因判別およびフレーム番号等の表示をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVRN	CRCE	—	—	—	FRMNUM[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	OVRN	0	R/W*	<p>オーバラン / アンダラン検出ステータス</p> <p>アイソクロナス転送を行っているパイプに対するオーバラン / アンダランエラー検出の有無が表示されます。</p> <p>0: エラーなし 1: エラー発生</p> <p>本ビットに0を書き込むことにより、本ビットを0にクリアすることができます。</p> <p>(1) ホストコントローラ機能選択時</p> <p>以下のいずれかの場合に、本モジュールが本ビットに1を表示します。</p> <ul style="list-style-type: none"> 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき <p>(2) ファンクションコントローラ機能選択時</p> <p>以下のいずれかの場合に、本モジュールが本ビットに1を表示します。</p> <ul style="list-style-type: none"> 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN トークンを受信したとき 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき <p>【注】 本ビットはデバッグ用です。システムとしてオーバラン / アンダランが発生しないよう設計してください。</p>

ビット	ビット名	初期値	R/W	説明
14	CRCE	0	R/W*	受信データエラー アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。またこのとき、同時に内部 NRDY 割り込み要求を発生させます。詳細は「29.4.2 割り込み機能」を参照してください。 0: エラーなし 1: エラー発生
13~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	FRNM [10:0]	H'000	R	フレーム番号 本モジュールは、1ms に 1 回の SOF 発行タイミングまたは SOF 受信時に本ビットを書き換え、最新のフレーム番号を表示します。 本ビットを読み出すときは、2 回読み出し、一致することを確認してください。

【注】 * 0書き込みのみ有効です。

29.3.22 μフレームナンバーレジスタ (UFRMNUM)

UFRMNUM は、μフレーム番号を表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	UFRNM[2:0]	000	R	μフレーム μフレーム番号が確認できます。 ハイスピード動作時は、本モジュールは、本ビットにμフレーム番号を表示します。 ハイスピード以外での動作時には、本ビットにB'000を表示します。 本ビットを読み出すときは、2 回読み出し、一致することを確認してください。

29.3.23 USB アドレスレジスタ (USBADDR)

USBADDR は、USB アドレスを表示します。

本レジスタは、ファンクションコントローラ機能選択時のみ有効です。ホストコントローラ機能選択時の周辺デバイスアドレスの設定は、PIPEMAXP レジスタの DEVSEL ビットを使用してください。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	USBADDR[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	USBADDR[6:0]	H'00	R	USB アドレス ファンクションコントローラ機能選択時に、SET_ADDRESS リクエストを正常に処理したときに、ホストから割り付けられた USB アドレスを表示します。

29.3.24 USB リクエストタイプレジスタ (USBREQ)

USBREQ は、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ は、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

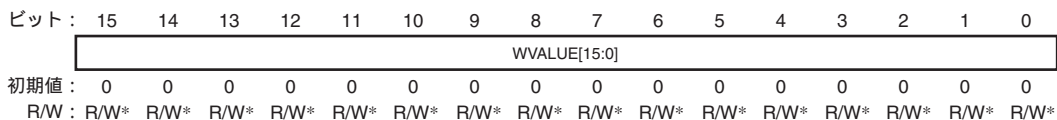
ビット	ビット名	初期値	R/W	説明
15~8	BREQUEST[7:0]	H'00	R/W*	リクエスト USB リクエスト bRequest の値を格納します。 (1) ホストコントローラ機能選択時 送信するセットアップトランザクションの USB リクエストデータ値を設定してください。SUREQ = 1 設定後、SUREQ = 0 を読み出すまでは、本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ機能選択時 セットアップトランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。
7~0	BMREQUEST TYPE[7:0]	H'00	R/W*	リクエストタイプ USB リクエスト bmRequestType の値を格納します。 (1) ホストコントローラ機能選択時 送信するセットアップトランザクションの USB リクエストデータ値を設定してください。SUREQ = 1 設定後、SUREQ = 0 を読み出すまでは、本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ機能選択時 セットアップトランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

29.3.25 USB リクエストバリューレジスタ (USBVAL)

USBVAL は、ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。



ビット	ビット名	初期値	R/W	説明
15~0	WVALUE[15:0]	H'0000	R/W*	バリュー USB リクエスト wValue の値を格納します。 (1) ホストコントローラ機能を選択時 送信するセットアップトランザクションの USB リクエスト wValue の値を設定してください。SUREQ = 1 設定後、SUREQ = 0 を読み出すまでは、本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 セットアップトランザクションで受信した USB リクエスト wValue の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し / 書き込み可能です。

29.3.26 USB リクエストインデックスレジスタ (USBINDEX)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBINDEX は、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WINDEX[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WINDEX[15:0]	H'0000	R/W*	インデックス USB リクエスト wIndex の値を格納します。 (1) ホストコントローラ機能を選択時 送信するセットアップトランザクションの USB リクエスト wIndex の値を設定してください。SUREQ = 1 設定後、SUREQ = 0 を読み出すまでは、本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 セットアップトランザクションで受信した USB リクエスト wIndex の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

29.3.27 USB リクエストレングスレジスタ (USBLENG)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG は、ファンクションコントローラ機能選択時、受信した wLength の値が格納されます。ホストコントローラ機能選択時、送信する wLength の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WLENGTH[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WLENGTH[15:0]	H'0000	R/W*	レングス USB リクエスト wLength の値を格納します。 (1) ホストコントローラ機能を選択時 送信するセットアップトランザクションの USB リクエスト wLength の値を設定してください。SUREQ = 1 設定後、SUREQ = 0 を読み出すまでは、ビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 セットアップトランザクションで受信した USB リクエスト wLength の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し / 書き込み可能です。

29.3.28 DCP コンフィギュレーションレジスタ (DCPCFG)

DCPCFG は、デフォルトコントロールパイプ (DCP) に対して、データの転送方向を指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CNTMD	SHTNAK	—	—	DIR	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	CNTMD	0	R/W	連続転送モード DCP を連続転送モードで通信させるかどうかを指定します。 0: 非連続転送モード 1: 連続転送モード 本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。 また、DCP を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、BCLR = 1 を書き込み、DCP に割り付けられた FIFO バッファのクリアを実行してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
7	SHTNAK	0	R/W	トランスファ終了時のパイプ禁止 DCP が受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。 0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止 本ビットに1を設定している場合、本モジュールは、DCP に対しトランスファの終了を判定したときに DCP に対応する PID ビットを NAK に変更します。 本モジュールは、ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したときにトランスファ終了と判定します。 本ビットの変更は、CSSTS = 0 および PID = NAK の状態のときに実施してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。 DCP が送信方向の場合は、本ビットを0に設定してください。

ビット	ビット名	初期値	R/W	説明
6、5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	DIR	0	R/W	転送方向 ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。 0：データ受信方向 1：データ送信方向 ファンクションコントローラ機能選択時には、本ビットへは0を設定してください。
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

29.3.29 DCP マックスパケットサイズレジスタ (DCPMAXP)

DCPMAXP は、DCP に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
15~12	DEVSEL[3:0]	0000	R/W	<p>デバイス選択</p> <p>ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。</p> <p>0000 : アドレス 0000</p> <p>0001 : アドレス 0001</p> <p> :</p> <p> :</p> <p>1001 : アドレス 1001</p> <p>1010 : アドレス 1010</p> <p>上記以外 : 設定禁止</p> <p>本ビットの設定値に対応する DEVADDn レジスタの設定を行ったあとで、本ビットを設定してください。</p> <p>例えば、DEVSEL = 0010 を設定する場合、DEVADD2 レジスタの設定を行ってください。</p> <p>本ビットの設定は、CSSTS = 0、PID = NAK および SUREQ = 0 の期間に実施してください。</p> <p>DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>ファンクションコントローラ機能選択時は、本ビットの値を B'0000 に設定してください。</p>
11~7	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
6~0	MXPS[6:0]	H'40	R/W	<p>マックスパケットサイズ</p> <p>DCP の最大データペイロード (マックスパケットサイズ) を本ビットに設定してください。</p> <p>初期値は、H'40 (64 バイト) です。</p> <p>MXPS ビットの設定は、USB 規格に準拠した値を設定してください。</p> <p>MXPS ビットの設定は、CSSTS = 0 および PID = NAK の状態のときに実施してください。</p> <p>DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>MXPS = 0 の設定での FIFO バッファへの書き込み、または PID = BUF の設定は行わないでください。</p>

29.3.30 DCP コントロールレジスタ (DCPCTR)

DCPCTR は、DCP に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、および応答 PID の設定を行います。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで CCPL、PID[2:0]ビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	SUREQ	CSCLR	CSSTS	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	PINGE	—	CCPL	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R	R/W*2	R/W*1	R	R/W*1	R	R	R/W*1	R/W*1	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	<p>バッファステータス</p> <p>DCP FIFO バッファへのアクセス可否ステータスが表示されます。</p> <p>0: バッファアクセス不可</p> <p>1: バッファアクセス可</p> <p>本ビットの意味は、ISEL ビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> • ISEL = 0 のとき、受信データの読み出しが可能かどうかを表示します。 • ISEL = 1 のとき、送信データの書き込みが可能かどうかを表示します。
14	SUREQ	0	R/W*2	<p>セットアップトークン送出</p> <p>ホストコントローラ機能選択時、本ビットを 1 にセットすることにより、セットアップパケットを送信します。</p> <p>0: 無効</p> <p>1: セットアップパケット送出</p> <p>セットアップトランザクション処理終了後、本モジュールは SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、本ビットを 0 にクリアします。</p> <p>また、SUREQCLR ビットを 1 にセットすることにより、本モジュールは本ビットを 0 にクリアします。</p> <p>DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタにセットアップトランザクションで送信したい USB リクエストを設定した後で、本ビットに 1 を設定してください。SUREQ = 1 を設定する前に、DCP の PID ビットを NAK に設定していることを確認してください。また、本ビットへの 1 設定後、セットアップトランザクションが終了するまで (SUREQ = 1) の期間は DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。</p> <p>セットアップトークンを出すときのみ本ビットを 1 にセットしてください。その他のときには、必ず 0 を書き込んでください。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
13	CSCLR	0	R/W*1	<p>スプリットトランザクションの C-SPLIT ステータスクリア</p> <p>ホストコントローラ機能選択時に、スプリットトランザクションを使用する転送において、本ビットを 1 にすることにより CSSTS ビットを 0 にクリアすることができます。このとき、DCP の次回の転送は S-SPLIT から再開されます。</p> <p>0 : 無効</p> <p>1 : CSSTS ビットの 0 クリア実行</p> <p>本ビットに 1 を設定すると本モジュールは CSSTS ビットを 0 にクリアします。</p> <p>スプリットトランザクションを使用する転送において、強制的に次回の転送を S-SPLIT から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。</p> <p>本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 ままです。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
12	CSSTS	0	R	<p>スプリットトランザクションの COMPLETE SPLIT (C-SPLIT) ステータス</p> <p>ホストコントローラ機能選択時に、スプリットトランザクションの C-SPLIT ステータスが表示されます。</p> <p>0 : START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用デバイスの処理中</p> <p>1 : C-SPLIT トランザクション処理中</p> <p>本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検知したときに本ビットの 0 を表示します。</p> <p>ファンクションコントローラ機能選択時、本ビットの読み出し値は無効です。</p>

ビット	ビット名	初期値	R/W	説明
11	SUREQCLR	0	R/W* ¹	<p>SUREQ ビットクリア</p> <p>ホストコントローラ機能選択時に、本ビットを 1 にすることにより SUREQ ビットを 0 にクリアすることができます。</p> <p>0：無効</p> <p>1：SUREQ ビットの 0 クリア実行</p> <p>本ビットは常に 0 を表示します。</p> <p>セットアップトランザクションにおいて、SUREQ = 1 のまま通信が停止したときに、本ビットに 1 を設定してください。正常なセットアップトランザクションでは、トランザクション終了時に本モジュールが自動的に SUREQ ビットを 0 にクリアしますので、クリア処理は不要です。</p> <p>本ビットによる SUREQ ビットの制御は、UACT = 0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
10、9	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	SQCLR	0	R/W* ¹	<p>トグルビットクリア</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定する事ができます。</p> <p>0：無効</p> <p>1：DATA0 指定</p> <p>本ビットは常に 0 を表示します。</p> <p>SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p> <p>本ビットへの 1 設定は、CSSTS = 0 かつ PID = NAK の状態のときに実施してください。</p> <p>DCP の PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W*1	<p>トグルビットセット</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定することができます。</p> <p>0 : 無効</p> <p>1 : DATA1 指定</p> <p>SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p> <p>本ビットへの 1 設定は、CSSTS = 0 かつ PID = NAK の状態のときに実施してください。</p> <p>DCP の PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>
6	SQMON	1	R	<p>シーケンストグルビットモニタ</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0</p> <p>1 : DATA1</p> <p>トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p> <p>ファンクションコントローラ機能選択時、セットアップパケット正常受信時に、本モジュールは本ビットを 1 にセット（期待値を DATA1 に設定）します。</p> <p>また、ファンクションコントローラ機能選択時、本モジュールはステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また正常終了してもトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>当該パイプを現在トランザクションで使用かどうかが表示されます。</p> <p>0 : 当該パイプはトランザクションで未使用</p> <p>1 : 当該パイプはトランザクションで使用</p> <p>本モジュールは、DCP の USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。</p> <p>PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p> <p>詳細は「29.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
4	PINGE	0	R/W	<p>PING トークン発行許可</p> <p>ホストコントローラ機能選択時に、本ビットに 1 を設定すると、送信方向の転送において本モジュールは PING トークンの発行を行います。送信方向の転送を PING トランザクションから開始します。</p> <p>0 : PING トークン発行禁止</p> <p>1 : 通常 PING 動作</p> <p>PING トランザクションにおいて ACK ハンドシェイクを検出した場合、次のトランザクションで OUT トランザクションを実行します。</p> <p>OUT トランザクションにおいて NAK ハンドシェイクを検出した場合、次のトランザクションで PING トランザクションを実行します。</p> <p>ホストコントローラ機能選択時に本ビットに 0 を設定すると、送信方向の転送において本モジュールは PING トークンの発行を行いません。送信方向の転送はすべて OUT トランザクションで実行します。</p> <p>本ビットの変更は、CSSTS = 0 かつ PID = NAK のときに実施してください。</p> <p>DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	CCPL	0	R/W*1	<p>コントロール転送終了許可</p> <p>ファンクションコントローラ機能選択時に、本ビットを 1 にすることによりコントロール転送のステータスステージの終了許可を設定します。</p> <p>0 : 無効</p> <p>1 : コントロール転送終了許可</p> <p>対応する PID ビットが BUF のとき、本ビットに 1 を設定すると、本モジュールはコントロール転送のステージを完了させます。</p> <p>すなわち、コントロールリード転送時では USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時では USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、本ビットの設定値に関係なく本モジュールはセットアップステージからステータスステージ完了まで自動応答を行います。</p> <p>新たなセットアップパケットを受信したときに、本モジュールは本ビットを 1 から 0 に変更します。</p> <p>VALID = 1 のとき、本ビットへの 1 書き込みを行うことが出来ません。</p> <p>ホストコントローラ機能選択時には、本ビットへは必ず 0 を書き込んでください。</p>
1, 0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>本ビットでコントロール転送における本モジュールの応答を制御します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>(1) ホストコントローラ機能選択時</p> <p>以下の手順で本ビットを NAK から BUF に変更してください。</p> <ul style="list-style-type: none"> 送信方向設定時 <p>UACT = 1 かつ PID = NAK の状態で FIFO バッファに送信データを書き込み完了し、PID = BUF を書き込んでください。PID = BUF の書き込み後、本モジュールは OUT トランザクション(または PING トランザクション)を実行します。</p> <ul style="list-style-type: none"> 受信方向設定時 <p>UACT = 1 かつ PID = NAK の状態で FIFO バッファが空の状態であることを確認し(空の状態にし)、PID = BUF を書き込んでください。PID = BUF の書き込み後、本モジュールは IN トランザクションを実行します。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 本ビットに BUF を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは PID = STALL (11) を表示します。 • CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID = NAK を表示します。 • STALL ハンドシェイクを受信した場合、本モジュールは PID = STALL (11) を表示します。 <p>本モジュールが選択パイプにおいてスプリットトランザクションの S-SPLIT 発行後 (CSSTS = 1 表示中) に本ビットを NAK に変更しても、C-SPLIT 終了までトランザクションを実行します。C-SPLIT 終了時に本モジュールは PID = NAK を表示します。</p> <p>(2) ファンクションコントローラ機能選択時</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 本モジュールがセットアップパケットを受信したときに、本モジュールは本ビットを PID = NAK に変更します。このとき、本モジュールは VALID = 1 を表示し、VALID = 0 を設定するまでは本ビットの変更を行うことはできません。 • 本ビットに BUF を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは PID = STALL (11) を表示します。 • 本モジュールがコントロール転送シーケンスエラーを検出した場合、PID = STALL (1x) を表示します。 • 本モジュールが USB バスリセットを検出した場合、PID = NAK を表示します。 <p>SET_ADDRESS リクエスト処理 (自動処理) 時には、本モジュールは本ビットの設定値を参照しません。</p>

【注】 *1 読み出すと常に 0 が読み出されます。書き込みは 1 のみ有効です。

*2 書き込みは 1 のみ有効です。

29.3.31 パイプウィンドウ選択レジスタ (PIPESEL)

パイプ 1~9 の設定は、PIPESEL、PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE および PIPEnTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプを選択した後、PIPECFG、PIPEBUF、PIPEMAXP および PIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	PIPESEL [3:0]	0000	R/W	パイプウィンドウ選択 本ビットに 0001~1001 を設定すると、PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタは、対応するパイプの情報および設定値を示します。 0000: 未選択 0001: パイプ 1 0010: パイプ 2 0011: パイプ 3 0100: パイプ 4 0101: パイプ 5 0110: パイプ 6 0111: パイプ 7 1000: パイプ 8 1001: パイプ 9 上記以外: 設定禁止 本ビットに 0000 を設定すると、PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタはすべて 0 を示します。このとき、上記レジスタへの書き込みは無効です。

29.3.32 パイプコンフィギュレーションレジスタ (PIPECFG)

パイプ1~9に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、また連続転送モードか非連続転送モードか、シングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE[1:0]		—	—	—	BFRE	DBLB	CNTMD	SHT NAK	—	—	DIR	EPNUM[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	TYPE[1:0]	00	R/W	<p>転送タイプ</p> <p>PIPESEL ビットに指定したパイプ(選択パイプ)の転送タイプを指定します。</p> <ul style="list-style-type: none"> パイプ1、2の場合 <ul style="list-style-type: none"> 00: パイプ使用不可 01: バルク転送 10: 設定禁止 11: アイソクロナス転送 パイプ3~5の場合 <ul style="list-style-type: none"> 00: パイプ使用不可 01: バルク転送 10: 設定禁止 11: 設定禁止 パイプ6~9の場合 <ul style="list-style-type: none"> 00: パイプ使用不可 01: 設定禁止 10: インタラプト転送 11: 設定禁止 <p>選択パイプを PID = BUF に設定する(選択したパイプを使用した USB 通信を開始する)前に、必ず本ビットを 00 以外の値に設定してください。</p> <p>本ビットの変更は、選択パイプの PID ビットが NAK 状態のときに行ってください。選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>
13~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	BFRE	0	R/W	<p>BRDY 割り込み動作指定</p> <p>本モジュールから CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します。</p> <p>0 : データ送受信で BRDY 割り込み</p> <p>1 : データ読み出し完了時に BRDY 割り込み</p> <p>本ビットはパイプ 1-5 選択時に有効です。</p> <p>本ビットに 1 を設定し、かつ選択パイプを受信方向で使用している場合、本モジュールは、トランスファの終了を検出し、そのバケットを読み出し終えたときに BRDY 割り込みを発行します。</p> <p>この設定で BRDY 割り込みが発生したときには、BCLR = 1 の書き込み処理を行う必要があります。BCLR = 1 を行うまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。</p> <p>本ビットに 1 を設定し、かつ、選択パイプを送信方向で使用している場合、本モジュールは BRDY 割り込みを発生させません。</p> <p>詳細は、「29.4.2 (1) BRDY 割り込み」を参照してください。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
9	DBLB	0	R/W	<p>ダブルバッファモード</p> <p>選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。</p> <p>0: シングルバッファ 1: ダブルバッファ</p> <p>本ビットはパイプ 1~5 選択時に有効です。</p> <p>本ビットに 1 を設定している場合、本モジュールは選択パイプに対し、PIPEBUF レジスタの BUFSIZE ビットで指定した FIFO バッファサイズを 2 面分割り当てます。</p> <p>すなわち、本モジュールが選択パイプに対して割り当てる FIFO バッファの容量は以下のとおりです。</p> <p>(BUFSIZE+1) × 64 × (DBLB+1) [バイト]</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>
8	CNTMD	0	R/W	<p>連続転送モード</p> <p>選択パイプを連続転送モードで通信させるかどうかを指定します。</p> <p>0: 非連続転送モード 1: 連続転送モード</p> <p>本ビットは、PIPESEL ビットでパイプ 1~5 を選択し、かつバルク転送選択時 (TYPE = 01) に有効です。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SHTNAK	0	R/W	<p>トランスファ終了時のパイプ禁止</p> <p>選択パイプが受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。</p> <p>0 : トランスファ終了時にパイプ継続 1 : トランスファ終了時にパイプ禁止</p> <p>本ビットは、選択パイプがパイプ1～パイプ5であり、かつ、受信方向である場合に有効なビットです。</p> <p>受信方向パイプに対して本ビットに1を設定している場合、本モジュールは、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PID ビットを NAK に変更します。本モジュールは、以下条件が満たされたときにトランスファ終了と判定します。</p> <ul style="list-style-type: none"> • ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき。 • トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき。 <p>本ビットの変更は、CSSTS = 0 および PID = NAK の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>送信方向パイプに対しては、本ビットを0に設定してください。</p>
6, 5	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
4	DIR	0	R/W	<p>転送方向</p> <p>選択パイプの転送方向を指定します。</p> <p>0 : 受信方向 1 : 送信方向</p> <p>本ビットに0を設定している場合、本モジュールは選択パイプを受信方向に、本ビットに1を設定している場合、本モジュールは選択パイプを送信方向に使用します。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
3~0	EPNUM[3:0]	0000	R/W	<p>エンドポイント番号</p> <p>選択パイプのエンドポイント番号を指定します。</p> <p>0000 の設定は、未使用パイプを意味します。</p> <p>本ビットの変更は、CSSTS = 0 および PID = NAK の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>DIR ビットと EPNUM ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください。(EPNUM = 0000 の設定は重複可能です。)</p>

29.3.33 パイプバッファ指定レジスタ (PIPEBUF)

PIPEBUF は、パイプ 1~9 に対して、バッファサイズおよびバッファ番号を指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BUFSIZE[4:0]						—	—	—	BUFNUMB[6:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~10	BUFSIZE [4:0]	H'00	R/W	バッファサイズ PIPESEL ビットに指定したパイプ (選択パイプ) のバッファサイズを指定します。単位はブロック数であり、1 ブロックは 64 バイトです。 00000 (H'00) : 64 バイト 00001 (H'01) : 128 バイト : : 11111 (H'1F) : 2K バイト DBLB=1 を設定している場合、本モジュールは選択パイプに対し、本ビットで指定した FIFO バッファサイズを 2 面分割り当てます。 本モジュールが選択パイプに対して割り当てる FIFO バッファの容量は以下のとおりです。 (BUFSIZE+1) × 64 × (DBLB+1) [バイト] 選択パイプに応じて、本ビットに設定可能な値が異なります。 パイプ 1~5 の場合: BUFSIZE = H'00 ~ H'1F を設定してください。 パイプ 6~9 の場合: BUFSIZE = H'00 を設定してください。 CNTMD=1 で使用する場合は、本ビットに、MaxPacketSize の整数倍の値を設定してください。 本ビットの変更は、CSSTS=0、PID=NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。 選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
9~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
6~0	BUFNMB [6:0]	H'00	R/W	<p>バッファ番号</p> <p>選択パイプに割り付ける FIFO バッファのうち、先頭のブロック番号を指定してください。選択パイプに対して割り当てる FIFO バッファのブロックは以下のとおりです。</p> <p>ブロック番号 : BUFNMB ~ ブロック番号 : BUFNMB+ (BUFSIZE+1) × (DBLB+1)-1</p> <p>H'04 ~ H'7F の範囲で指定します。</p> <p>選択パイプとしてパイプ 1~5 を設定している場合、本ビットにはユーザーシステムに合わせた値を設定することができます。</p> <p>BUFNMB = 0~3 は DCP 専用です。</p> <p>BUFNMB = 4 はパイプ 6 専用です。</p> <p>ただしパイプ 6 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 6 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 4 を自動的に割り付けます。</p> <p>BUFNMB = 5 はパイプ 7 専用です。</p> <p>ただしパイプ 7 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 7 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 5 を自動的に割り付けます。</p> <p>BUFNMB = 6 はパイプ 8 専用です。</p> <p>ただしパイプ 8 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 8 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 6 を自動的に割り付けます。</p> <p>BUFNMB = 7 はパイプ 9 専用です。</p> <p>ただしパイプ 9 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 9 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 7 を自動的に割り付けます。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>

29.3.34 パイプマックスパケットサイズレジスタ (PIPEMAXP)

PIPEMAXP は、パイプ 1~9 に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	MXPS[10:0]										
初期値 :	0	0	0	0	0	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	DEVSEL[3:0]	0000	R/W	<p>デバイス選択</p> <p>ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。</p> <p>0000 : アドレス 0000 0001 : アドレス 0001 0010 : アドレス 0010 : : 1010 : アドレス 1010 上記以外 : 設定禁止</p> <p>本ビットの設定値に対応する DEVADDn (n=0~A) レジスタの設定を行ったあとで、本ビットを設定してください。</p> <p>例えば、DEVSEL = 0010 を設定する場合、DEVADD2 アドレスの設定を行ってください。</p> <p>本ビットの設定を、PID を BUF から NAK へ変更した後で変更する場合は、選択パイプの CSSTS = 0 および PBUSY = 0 を確認してから行ってください。本モジュールにより PID が NAK に変更された場合には、PBUSY ビットの確認は必要ありません</p> <p>ファンクションコントローラ機能を選択したときは、本ビットの値を B'0000 に設定してください。</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10~0	MXPS[10:0]	*	R/W	<p>マックスパケットサイズ</p> <p>選択パイプの最大データペイロード（マックスパケットサイズ）を指定します。パイプごとに設定可能な値の範囲を以下に示します。</p> <p>パイプ 1、2： 1 バイト（H'001）～1024 バイト（H'400）</p> <p>パイプ 3～5： 8 バイト（H'008）、16 バイト（H'010）、32 バイト（H'020）、64 バイト（H'040）、512 バイト（H'200）</p> <p>（[2:0]のビットはありません。）</p> <p>パイプ 6～9： 1 バイト（H'001）～64 バイト（H'040）</p> <p>MXPS ビットの設定は、転送タイプごとに USB 規格に準拠した値を設定してください。</p> <p>アイソクロナスパイプをスプリットトランザクションで通信する場合には、MXPS ビットには 188 バイト以下の値を設定してください。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>MXPS = 0 の設定での FIFO バッファへの書き込み、または PID = BUF の設定は行わないでください。</p>

【注】 * PIPESEL レジスタの PIPESEL ビットでパイプを選択していないとき H'000、選択しているとき H'040 です。

29.3.35 パイプ周期制御レジスタ (PIPEPERI)

パイプ1~9に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	—	IITV[2:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	IFIS	0	R/W	アイソクロナス IN バッファフラッシュ PIPESEL ビットに指定したパイプ (選択パイプ) がアイソクロナス IN 転送の場合に、バッファフラッシュ有無を指定します。 0: バッファフラッシュしない 1: バッファフラッシュする ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV ビットに設定したインターバルごとの (マイクロ) フレーム中に USB ホストから IN トークンを本モジュールが受信しなかった場合に、本モジュールが自動的に FIFO バッファをクリアする機能です。 ダブルバッファ設定時 (DBLB=1 設定時) は、本モジュールがクリアするのは古い方の 1 面分データのみです。 FIFO バッファクリアのタイミングは、IN トークンを受信するはずの (マイクロ) フレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングにクリアを行います。 ホストコントローラ機能選択時には、本ビットへは 0 を設定してください。 選択パイプの転送タイプがアイソクロナス以外の場合は、本ビットへは 0 を設定してください。
11~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	IITV[2:0]	000	R/W	<p>インターバルエラー検出間隔</p> <p>選択パイプのインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。</p> <p>詳細機能は、後述のようにホストコントローラ機能選択時とファンクションコントローラ機能選択時で異なります。</p> <p>本ビットの設定は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプが未設定時に実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、PID = NAK 設定後 ACLRM = 1 をセットし、インターバルタイマの初期化を行ってください。</p> <p>パイプ 3~5 に対しては、本ビットは存在しません。パイプ 3~5 に対応する本ビットの位置には 000 を設定してください。</p>

29.3.36 パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ~ 9)

パイプ 1 ~ 9 に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、自動応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、および応答 PID の設定を行います。本設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで PID[1:0] ビットは初期化されます。

(1) PIPEnCTR (n = 1 ~ 5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	INBUFM	CSCLR	CSSTS	—	AT REPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W*	R	R	R/W	R/W	R/W*	R/W*	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	<p>バッファステータス</p> <p>当該パイプの FIFO バッファステータスが表示されます。</p> <p>0 : CPU からのバッファアクセス不可</p> <p>1 : CPU からのバッファアクセス可</p> <p>本ビットの意味は、DIR、BFRE および DCLRM ビットの設定値により表 29.10 に示すように異なります。</p>
14	INBUFM	0	R	<p>送信バッファモニタ</p> <p>当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。</p> <p>0 : バッファメモリに送信可能データなし</p> <p>1 : バッファメモリに送信可能データあり</p> <p>当該パイプを送信方向 (DIR = 1) に設定している場合に、少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、本モジュールは本ビットに 1 を表示します。</p> <p>書き込みが完了している面の FIFO バッファ上のデータを本モジュールがすべて送信完了したときに、本モジュールは本ビットに 0 を表示します。ダブルバッファ使用時 (DBLB = 1 設定時) には、本モジュールが 2 面分のデータを送信完了し、かつ 1 面分のデータ書き込みを完了していないときに、本ビットに 0 を表示します。</p> <p>当該パイプを受信方向 (DIR = 0) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。</p>

ビット	ビット名	初期値	R/W	説明
13	CSCLR	0	R/W*	<p>CSPLIT ステータスクリアビット</p> <p>ホストコントローラ機能選択時に、本ビットに 1 を設定すると本モジュールは CSSTS ビットを 0 にクリアします。</p> <p>0 : 書き込み無効 1 : CSSTS ビットをクリア</p> <p>スプリットトランザクションを使用する転送において、強制的に次回の転送を S-SPLIT から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。</p> <p>本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 のままです。ファンクションコントローラ機能選択時には、本ビットへは必ず 0 を書き込んでください。</p>
12	CSSTS	0	R	<p>CSSTS ステータスビット</p> <p>ホストコントローラ機能選択時に、本モジュールはスプリットトランザクションの C-SPLIT のステータスを本ビットに表示します。</p> <p>0 : START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用転送である 1 : C-SPLIT トランザクション処理中</p> <p>本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検出したときに本ビットに 0 を表示します。</p> <p>なお、C-SPLIT 処理中にデタッチした場合、本ビットは 1 のままとなる場合があります。この場合 (DTCH=1 検出時)、CSCLR ビットにて本ビットのクリアを実施してください。</p> <p>本ビットの表示は、ホストコントローラ機能選択時のみ有効な値を示します。</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	ATREPM	0	R/W	<p>自動応答モード</p> <p>当該パイプの自動応答禁止 / 許可を指定します。</p> <p>0 : 自動応答禁止 1 : 自動応答許可</p> <p>ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、本ビットへの 1 設定が可能です。</p> <p>本ビットに 1 を設定した場合、USB ホストからのトークンに対し本モジュールは以下のように応答します。</p> <p>(1) 当該パイプがバルクイン転送 (TYPE = 01 かつ DIR = 1 を設定) の場合</p> <p>ATREPM = 1 かつ PID = BUF を設定している場合、IN トークンに対して本モジュールは Zero-Length パケットを送信します。</p> <p>USB ホストからの ACK 受信の度に (1 トランザクションは IN トークン受信 Zero Length パケット送信 ACK 受信)、本モジュールはシーケンストグルビット (DATA-PID) の更新 (トグル) を行います。</p> <p>BRDY 割り込み、BEMP 割り込みは発生させません。</p> <p>(2) 当該パイプがバルクアウト転送 (TYPE = 01 かつ DIR = 0 を設定) の場合</p> <p>ATREPM = 1 かつ PID = BUF を設定している場合、OUT トークン (または PING トークン) に対して本モジュールは NAK 応答を行い、NRDY 割り込みを発生させます。</p> <p>本ビットの変更は、CSSTS = 0 かつ PID = NAK 設定時に実施してください。対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>本ビットを 1 に設定して USB 通信を行う場合、FIFO バッファは必ず空の状態を設定を行ってください。本ビットを 1 に設定して USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。</p> <p>当該パイプの転送タイプがアイソクロナス転送の場合、本ビットには必ず 0 を設定してください。</p> <p>ホストコントローラ機能選択時には、本ビットへは必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
9	ACLRM	0	R/W	<p>自動バッファクリアモード</p> <p>当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。</p> <p>0 : 禁止</p> <p>1 : 許可 (全バッファ初期化)</p> <p>当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。</p> <p>本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容を表 29.11(1) に示します。また、この処理が必要なケースを表 29.11(2) に示します。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および当該パイプを CURPIPE ビットに未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>
8	SQCLR	0	R/W*	<p>トグルビットクリア</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。</p> <p>0 : 無効</p> <p>1 : DATA0 指定</p> <p>本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>ホストコントローラ機能選択時、バルクアウト転送パイプに対して本ビットに 1 を設定すると、本モジュールは当該パイプの次回転送を PING トークンから開始します。</p> <p>SQCLR ビットへの 1 設定は、CSSTS = 0 かつ PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W*	<p>トグルビットセット</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに 1 を指定します。</p> <p>0 : 無効 1 : DATA1 指定</p> <p>本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>SQSET ビットへの 1 設定は、CSSTS = 0 かつ PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>
6	SQMON	0	R	<p>トグルビット確認</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0 1 : DATA1</p> <p>当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>当該パイプを現在トランザクションで使用かどうかが表示されます。</p> <p>0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用</p> <p>本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。</p> <p>PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p> <p>詳細は「29.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。</p>
4~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>当該パイプの次回トランザクションにおける応答方法を指定します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本モジュールの基本動作 (通信パケットにエラーがない場合の動作) は表 29.12 および表 29.13 のとおりです。</p> <p>当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY = 0 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>当該パイプにおいてスプリットトランザクションの S-Split 発行後 (CSSTS = 1) に、本ビットを NAK に変更しても、C-Split 終了までトランザクションを実行します。</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 当該パイプが受信方向の場合、かつ選択パイプの SHTNAK ビットに 1 を設定している場合、本モジュールがトランスファー終了を認識したときに、PID = NAK を表示します。 • 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本モジュールは PID = STALL (11) を表示します。 • ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、本モジュールは PID = NAK を表示します。 • ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID = NAK を表示します。 • ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、本モジュールは PID = STALL (11) を表示します。 <p>本ビットの設定は以下の手順で行ってください。</p> <ul style="list-style-type: none"> • NAK (00) 状態から STALL 状態にする場合には、10 を書き込んでください。 • BUF (01) 状態から STALL 状態にする場合には、11 を書き込んでください。 • STALL (11) から NAK 状態にする場合には、一度 10 を書き込んでから 00 を書き込んでください。 • STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

【注】 * 0 読み出し、1 書き込みのみ有効です。

表 29.10 BSTS ビットの動作

DIR ビット	BFRE ビット	DCLRM ビット	BSTS ビットの意味
0	0	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了した後で BCLR = 1 を書き込んだときに 0 を表示します。
		1	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
1	0	0	FIFO バッファへの送信データの書き込みが可能になったときに 1 を表示し、データの書き込みが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

表 29.11 (1) ACLRM = 1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容
1	当該パイプに割り付けた FIFO バッファのすべての内容(ダブルバッファ設定時は FIFO バッファを 2 面ともクリア)
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値

表 29.11 (2) ACLRM = 1 設定が必要なケース

番号	クリアが必要なケース
1	当該パイプに割り付けた FIFO バッファのすべての内容をクリアしたい場合
2	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットの設定値変更時
4	DBLB ビットの設定値変更時
5	トランザクションカウント機能の強制終了実行時

表 29.12 PID ビットによる本モジュールの動作一覧 (ホストコントローラ機能選択時)

PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作
00 (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
01 (BUF)	バルク または インタラプト	設定値に依存しない	UACT = 1 が設定されて、かつ当該パイプに対応する FIFO バッファが送受信可能な状態ならばトークンを発行する UACT = 0 が設定される、または送受信可能でなければトークンを発行しない
	アイソクロナス	設定値に依存しない	当該パイプに対応する FIFO バッファの状態にかかわらずトークンを発行する

PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作
10 (STALL) または 11 (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 29.13 PID ビットによる本モジュールの動作一覧 (ファンクションコントローラ機能選択時)

PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作
00 (NAK)	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う。
	アイソクロナス	受信方向 (DIR=0)	USB ホストからのトークン無応答を行う。
		送信方向 (DIR=1)	USB ホストからのトークンに対し Zero-Length パケットを送信する。
01 (BUF)	バルク	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う。 USB ホストからの PING トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならば ACK 応答を行う。受信可能な状態でなければ NYET 応答を行う
	インタラプト	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う
	バルクまたは インタラプト	送信方向 (DIR = 1)	対応する FIFO バッファが送信可能な状態ならば USB ホストからのトークンに対しデータを送信する。送信可能でなければ NAK 応答を行う
	アイソクロナス	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する
		送信方向 (DIR = 1)	対応する FIFO バッファが送信可能な状態ならば USB ホストからのトークンに対しデータを送信する。送信可能でなければ Zero-Length パケットを送信する
10 (STALL) または 11 (STALL)	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに STALL 応答を行う
11 (STALL)	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う

(2) PIPEnCTR (n=6~9)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	—	CSCLR	CSSTS	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W*	R/W	R	R	R/W	R/W*	R/W*	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	バッファステータス 当該パイプの FIFO バッファステータスが表示されます。 0: バッファアクセス不可 1: バッファアクセス可 本ビットの意味は、DIR、BFRE および DCLRM ビットの設定値により表 29.10 に示すように異なります
14	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	CSCLR	0	R/W*	CSPLIT ステータスクリアビット 本ビットを 1 にセットすることにより、当該パイプの CSSTS ビットをクリアします。 0: 書き込み無効 1: CSSTS ビットをクリア スプリットトランザクションを使用する転送において、強制的に次回の転送を S-SPLIT から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。 本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。 CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 のままです。ファンクションコントローラ機能選択時には、本ビットへは必ず 0 を書き込んでください。
12	CSSTS	0	R/W	ホストコントローラ機能選択時に、本モジュールはスプリットトランザクションの C-SPLIT のステータスを本ビットに表示します。 0: START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用転送である 1: C-SPLIT トランザクション処理中 本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検出したときに本ビットに 0 を表示します。 本ビットの表示は、ホストコントローラ機能選択時のみ有効な値を示します。
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	ACLRM	0	R/W	<p>自動バッファクリアモード</p> <p>当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。</p> <p>0 : 自動バッファクリアモード禁止</p> <p>1 : 自動バッファクリアモード許可 (全バッファ初期化)</p> <p>当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。</p> <p>本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容を表 29.14(1) に示します。また、この処理が必要なケースを表 29.14(2) に示します。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および当該パイプを CURPIPE ビットに未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>
8	SQCLR	0	R/W*	<p>トグルビットクリア</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。</p> <p>0 : 無効</p> <p>1 : DATA0 指定</p> <p>本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>ホストコントローラ機能選択時、バルクアウト転送パイプに対して本ビットに 1 を設定すると、本モジュールは当該パイプの次回転送を PING トークンから開始します。</p> <p>SQCLR ビットへの 1 設定は、CSSTS = 0 かつ PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W*	<p>トグルビットセット</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに 1 を指定します。</p> <p>0 : 無効 1 : DATA1 指定</p> <p>本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>SQSET ビットへの 1 設定は、CSSTS = 0 かつ PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p>
6	SQMON	0	R	<p>トグルビット確認</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0 1 : DATA1</p> <p>当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>当該パイプを現在トランザクションで使用かどうかが表示されます。</p> <p>0 : 当該パイプをトランザクションにて未使用 1 : 当該パイプをトランザクションにて使用</p> <p>本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。</p> <p>PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p>
4~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>当該パイプの次回トランザクションにおける応答方法を指定します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本モジュールの基本動作(通信パケットにエラーがない場合の動作)は表 29.12 および表 29.13 のとおりです。</p> <p>当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に移移したことを確認するために PBUSY = 0 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>当該パイプにおいてスプリットトランザクションの S-Split 発行後(CSSTS = 1)に、本ビットを NAK に変更しても、C-Split 終了までトランザクションを実行します。</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 当該パイプが受信方向の場合、かつ選択パイプの SHTNAK ビットに 1 を設定している場合、本モジュールがトランスファー終了を認識したときに、PID = NAK を表示します。 • 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本モジュールは PID = STALL (11) を表示します。 • ファンクションコントローラ機能選択時に、USB パスリセットを検出した場合、本モジュールは PID = NAK を表示します。 • ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID = NAK を表示します。 • ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、本モジュールは PID = STALL (11) を表示します。 <p>本ビットの設定は以下の手順で行ってください。</p> <ul style="list-style-type: none"> • NAK (00) 状態から STALL 状態にする場合には、10 を書き込んでください。 • BUF (01) 状態から STALL 状態にする場合には、11 を書き込んでください。 • STALL (11) から NAK 状態にする場合には、一度 10 を書き込んでから 00 を書き込んでください。 • STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

【注】 * 0 読み出し、1 書き込みのみ有効です。

表 29.14 (1) ACLRM = 1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容
1	当該パイプに割り付けた FIFO バッファのすべての内容
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値

表 29.14 (2) ACLRM = 1 設定が必要なケース

番号	クリアが必要なケース
1	当該パイプに割り付けた FIFO バッファのすべての内容をクリアしたい場合
2	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットの設定値変更時
4	トランザクションカウント機能の強制終了実行時

29.3.37 パイプ n トランザクションカウンタインーブルレジスタ (PIPE_nTRE) (n = 1 ~ 5)

PIPE_nTRE は、パイプ 1 ~ 5 に対応するトランザクションカウンタの無効 / 有効の指定や、カウンタクリアの指定を行います。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W*1	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TRENB	0	R/W	トランザクションカウンタ許可 トランザクションカウンタ無効 / 有効を指定します。 0 : トランザクションカウンタ機能無効 1 : トランザクションカウンタ機能有効 受信パイプに対して、TRNCNT ビットに総パケット数を設定した後で本ビットに 1 を設定すると、本モジュールは TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。 <ul style="list-style-type: none"> 連続送受信モード使用 (CNTMD = 1 設定) 時、受信完了時に FIFO バッファがフルの状態でも、CPU 側にトグルさせます。 SHTNAK = 1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点に対応するパイプの PID ビットを NAK に変更します。 BFRE = 1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします。 送信パイプについては、本ビットに 0 を設定してください。 トランザクションカウンタ機能を使用しない場合は、本ビットに 0 を設定してください。 トランザクションカウンタ機能を使用する場合、本ビットに 1 を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前に本ビットに 1 を設定してください。
8	TRCLR	0	R/W*1	トランザクションカウンタクリア 当該パイプに対応するトランザクションカウンタの現在のカウンタ値をクリアし、本ビットに 0 を表示します。 0 : 無効 1 : カレントカウンタクリア
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】 *1 0 読み出し、1 書き込みのみ有効です。
- *2 本レジスタの各ビットの変更は、CSSTS = 0 かつ PID = NAK 時に実施してください。
対応するパイプの PID ビットを BUF から NAK へ変更したあとで各ビットの設定値を変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

29.3.38 パイプ n トランザクションカウンタレジスタ (PIPE_nTRN) (n = 1 ~ 5)

PIPE_nTRN は、パイプ 1~5 に対応するトランザクションカウンタです。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで設定値が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRNCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT [15:0]	すべて 0	R/W	<p>トランザクションカウンタ</p> <p>ライト時:</p> <p>DMA 転送のトランザクション回数を設定します。</p> <p>リード時:</p> <p>TRENB = 0 の場合は設定したトランザクション回数が表示されます。</p> <p>TRENB = 1 の場合はカウント中のトランザクション回数が表示されません。</p> <p>本モジュールは、受信時の状態が以下のすべてを満たしたときに本ビットを 1 インクリメントします。</p> <ul style="list-style-type: none"> • TRENB = 1 である • パケット受信時に (TRCNT 設定値 現在のカウンタ値+1) である • 受信したパケットのペイロードが MXPS ビットへの設定値と一致した <p>本モジュールは、以下のいずれかの条件が満たされたときに本ビットの表示を 0 にクリアします。</p> <ul style="list-style-type: none"> • 以下の条件がすべて満たされたとき <ul style="list-style-type: none"> TRENB = 1 である パケット受信時に (TRCNT 設定値 = 現在のカウンタ値+1) である 受信したパケットのペイロードが MXPS ビットへの設定値と一致した • 以下条件がすべて満たされたとき <ul style="list-style-type: none"> TRENB = 1 である ショートパケットを受信した • 以下の条件が満たされたとき <ul style="list-style-type: none"> TRCLR ビットに 1 を設定した

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT [15:0]	すべて 0	R/W	<p>送信パイプについては、本ビットに 0 を設定してください。</p> <p>トランザクションカウント機能を使用しない場合は、本ビットに 0 を設定してください。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK、かつ TRENB = 0 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>本ビットの値を変更する場合は、TRENB = 1 を設定する前に TRCNT = 1 を実施してください。</p>

29.3.39 デバイスアドレス n コンフィグレーションレジスタ (DEVADDn) (n = 0 ~ A)

DEVADDn は、パイプ 0 ~ A に対して、通信対象の周辺デバイスが接続されている HUB のアドレスやポート番号、および通信速度を指定します。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、必ず本レジスタの各ビットを設定してください。

本レジスタの各ビットの変更は、本ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下の 1. と 2. の両方条件を満たしているパイプです。

1. DEVSELビットの設定が、本レジスタを指定しているとき
2. 選択パイプのPIDビットにBUFを設定しているとき、または選択パイプがDCPでありSUREQ = 1を設定しているとき

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	UPPHUB[3:0]				HUBPORT[2:0]		USBSPD[1:0]		—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14 ~ 11	UPPHUB [3:0]	0000	R/W	通信対象接続 HUB レジスタ 通信対象の周辺デバイスが接続されている HUB の USB アドレスを設定します。 0000 : 周辺デバイスが本 LSI のポートに直接接続されている 0001 ~ 1010 : HUB の USB アドレス 1011 ~ 1111 : 設定禁止 ホストコントローラ機能選択時、本モジュールは、スプリットトランザクションを実行するときに本ビットの設定値を参照してバケットを生成します。 ファンクションコントローラ機能選択時、0000 を設定してください。
10 ~ 8	HUBPORT [2:0]	000	R/W	通信対象接続 HUB ポート 通信対象の周辺デバイスが接続されている HUB のポート番号を設定します。 000 : 周辺デバイスが本 LSI のポートに直接接続されている 001 ~ 111 : HUB のポート番号 ホストコントローラ機能選択時、本モジュールは、スプリットトランザクションを実行するときに本ビットの設定値を参照してバケットを生成します。 ファンクションコントローラ機能選択時、000 を設定してください。

ビット	ビット名	初期値	R/W	説明
7、6	USBSPD [1:0]	00	R/W	通信対象デバイスの転送速度 通信対象の周辺デバイスの USB 転送速度を設定します。 00 : DEVADDn レジスタ未使用 01 : ロースピード 10 : フルスピード 11 : ハイスピード ホストコントローラ機能選択時、本モジュールは、本ビットの設定値を参照してパケットを生成します。 ファンクションコントローラ機能選択時、00 を設定してください。
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

29.4 動作説明

29.4.1 システム制御および発振制御

本節では、本モジュールの初期設定に必要なレジスタ操作および消費電力制御を行うために必要なレジスタについて説明します。

(1) リセット

表 29.15 に本モジュールのリセット種別の一覧を示します。なお、各リセット動作後のレジスタ初期化状態については、「29.3 レジスタの説明」を参照してください。

表 29.15 リセット種別一覧表

名称	操 作
パワーオンリセット	RES 端子からのローレベル入力
USB バスリセット	ファンクションコントローラ機能選択時に、本モジュールが D+、D-ラインから自動検出

(2) コントローラ機能の選択設定

本モジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG レジスタの DCFM ビットで行ってください。DCFM ビットの設定は、パワーオンリセット直後の初期設定または D+のプルアップ禁止状態 (DPRPU = 0) で D+/D-のプルダウン禁止状態 (DRPD = 0) ときに行ってください。

(3) ハイスピード動作の許可

本モジュールは、USB 通信速度 (通信ビットレート) を設定することができます。

ホストコントローラ機能選択時、ハイスピード動作またはフルスピード / ロースピード動作に設定できます。ファンクションコントローラ機能選択時、ハイスピード動作またはフルスピード動作のどちらかを選択することができます。本モジュールでハイスピード動作を許可する場合は、SYSCFG レジスタの HSE ビットを 1 に設定してください。ハイスピード動作が許可されている場合は、本モジュールがリセットハンドシェイクプロトコルを実行し、USB 通信速度を自動的に設定します。リセットハンドシェイクの結果は、DVSTCTR レジスタの RHST ビットで確認できます。

ハイスピード動作が禁止されている場合は、本モジュールは、ホストコントローラ機能が選択時は、フルスピードまたはロースピードで動作し、ファンクションコントローラ機能選択時は、フルスピードでのみ動作します。

HSE ビットの変更は、ホストコントローラ機能が選択時は、アタッチ検出からバスリセットの実行前に、ファンクションコントローラ機能が選択時は、D+のプルアップ禁止状態 (DPRPU = 0) のときに行ってください。

(4) USB データバス抵抗制御

図 29.1 に本モジュールと USB コネクタの接続図を示します。

本モジュールは、D+信号のプルアップ抵抗と D+、D-信号のプルダウン抵抗を内蔵しています。SYSCFG レジスタの DPRPU、DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

ファンクションコントローラ機能選択時は、USB ホストへの接続を認識した後で、SYSCFG レジスタの DPRPU ビットを 1 に設定し、D+信号をプルアップしてください。

また、USB ホストの切断を認識した場合は、以下処理の通り、DPRPU ビットと DCFM ビットの操作を実施してください。

- (1) DPRPU ビットに 0 を設定
- (2) 1 μ s 以上待つ
- (3) DCFM ビットを 1 に設定
- (4) 200ns 以上待つ
- (5) DCFM ビットを 0 に設定

また、本モジュールは D+、D-信号のハイスピード動作時の終端抵抗とフルスピード動作時の出力抵抗の制御を行います。ホストコントローラまたは周辺機器との接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム検出により本モジュールが自動的に行います。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に SYSCFG レジスタの DPRPU ビットに 0 を設定した場合は、USB データラインのプルアップ抵抗（または終端抵抗）をディスエーブルにしますので、USB ホストにデバイスの切断を通知することができます。

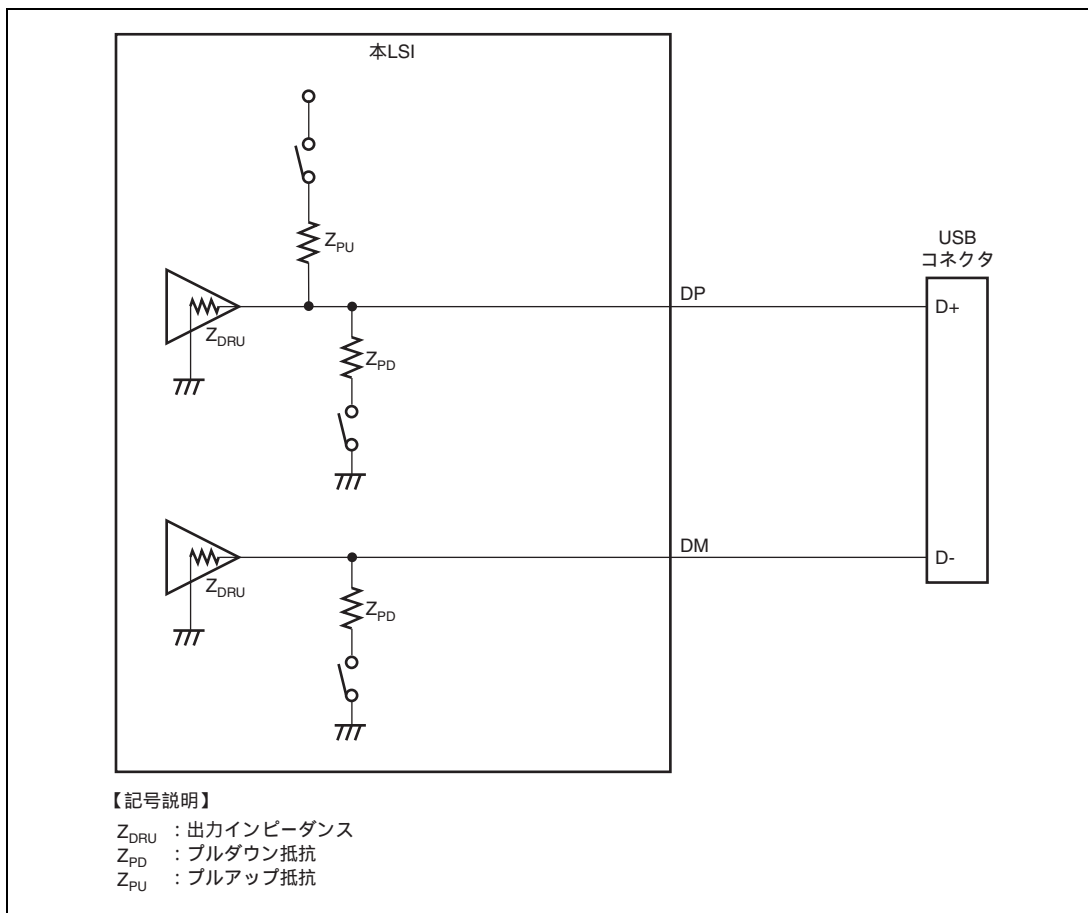


図 29.1 USB コネクタ接続図

(5) レジスタアクセスウェイト制御

本モジュールの SYSSTS 以降のレジスタへのアクセスサイクルには、以下のような制約があります。

ウェイト制約：本モジュールのレジスタへの連続アクセスのサイクルは、USB クロック (48MHz) の 4 サイクル期間 (83.33ns) 以上でなければならない。

本制約を満たすために BUSWAIT レジスタの BWAIT[3:0]ビットで、レジスタアクセスへのウェイト制御を行う必要があります。初期値は最大値 (アクセスサイクル 17 クロックサイクル) ですので、最適な設定値を選択してください。

設定例 1：本モジュールのレジスタに連続してアクセスする場合

周辺クロック 1 周波数：66.67MHz

計算：(2 サイクル (本モジュールのレジスタへのアクセスサイクル) + 1 サイクル (連続アクセス間隔期間) + BWAIT) × 1/66.67MHz = 83.33ns

BWAIT = 3

設定例 2：高速内蔵 RAM から FIFO ポートレジスタへデータを DMA 転送する場合

周辺クロック 1 周波数：66.67MHz

計算：(2 サイクル (本モジュールのレジスタへのアクセスサイクル) + 2 サイクル (高速内蔵 RAM へのアクセスサイクル) + BWAIT) × 1/66.67MHz = 83.33ns

BWAIT = 2

(6) 入力クロックの選択設定

本モジュールは、USB_X1 または EXTAL を入力端子として、48MHz または 12MHz を入力クロックとして選択することができます。入力端子、入力周波数の選択は、SYSCFG レジスタの UCKPSEL、UCKFSEL ビットで行ってください。UCKPSEL、UCKFSEL ビットの設定は USB モジュールへのクロック供給停止状態 (SCKE = 0) のときに行ってください。

(7) USB モジュールへのクロック供給設定

本モジュールへのクロック供給の設定方法は、クロック入力周波数の選択によって異なります。

(a) 48MHz 入力選択時

SYSCFG レジスタの UCKFSEL、UCKPSEL ビットにそれぞれ 0 を設定し、48MHz 入力、USB_X1 を選択した後、クロック供給設定を SCKE ビットで行ってください。本 LSI では 48MHz 入力の指定はクロック入力端子 USB_X1 の場合のみ有効です。

(b) 12MHz 入力選択時

SYSCFG レジスタの UCKFSEL ビットに 1 を設定し、UCKPSEL ビットにてクロック入力端子を選択した後、以下に示す手順でクロック供給設定を行ってください。

設定例 1：パワーオンリセット直後の初期設定からクロック供給を許可する場合

1. UPLLEビットに1を設定。
2. 1ms待つ。
3. SCKEビットに1を設定。

設定例 2：サスペンド時にクロック供給を停止する場合

1. SCKEビットに 0 を設定。
2. UPLLEビットに 0 を設定。

設定例 3：サスペンド復帰時にクロック供給を許可する場合

1. UPLLEビットに1を設定。
2. 1ms待つ。
3. SCKEビットに1を設定。

【注】 ファンクションコントローラ機能かつハイスピード動作選択時、USB リセットによりサスペンド復帰する場合は、2.5ms 以内に SCKE ビットに 1 を設定してください。

29.4.2 割り込み機能

表 29.16 に本モジュールの割り込み発生条件一覧表を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、本モジュールは割り込みコントローラへ USB 割り込み要求を発行します。

表 29.16 割り込み発生条件一覧表

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
VBINT	VBUS 割り込み	<ul style="list-style-type: none"> VBUS 入力端子の状態変化を検出したとき (L H、H L の両方の変化) 	ホスト、ファンクション	VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> サスペンド状態において USB バスの状態変化を検出したとき (J-State K-State または J-State SE0) 	ファンクション	-
SOFR	フレーム番号更新割り込み	<ul style="list-style-type: none"> [ホストコントローラ機能選択時] フレーム番号の異なる SOF パケットを送信したとき [ファンクションコントローラ機能選択時] フレーム番号の異なる SOF パケットを受信したとき 	ホスト、ファンクション	-
DVST	デバイス状態遷移割り込み	<ul style="list-style-type: none"> デバイス状態の遷移を検出したとき USB バスリセット検出 サスペンド状態検出 SET_ADDRESS リクエストの受信 SET_CONFIGURATION リクエストの受信 	ファンクション	DVSQ
CTRTR	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> コントロール転送のステージ遷移を検出したとき セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生 	ファンクション	CTSQ
BEMP	バッファエンプティ割り込み	<ul style="list-style-type: none"> バッファメモリ中の全データを送信してバッファが空になったとき マックスパケットサイズを超えたパケットを受信したとき 	ホスト、ファンクション	BEMPSTS. PIPEBEMP

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
NRDY	バッファ ノットレディ 割り込み	<p>[ホストコントローラ機能選択時]</p> <ul style="list-style-type: none"> 発行したトークンに対して周辺デバイス側からの STALL を受信したとき 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき。(無応答が3回連続、またはパケット受信エラーが3回連続) アイソクロナス転送時にオーバラン/アンダランが発生したとき <p>[ファンクションコントローラ機能選択時]</p> <ul style="list-style-type: none"> PID=BUF 設定かつバッファメモリが送信可能ではない状態でトークンを受信したとき アイソクロナス転送でデータ受信時に CRC エラー、ビットスタップエラーが発生したとき アイソクロナス転送でデータ受信時にインターバルエラーが発生したとき 	ホスト、 ファンクション	NRDYSTS. PIPENRDY
BRDY	バッファレディ 割り込み	<ul style="list-style-type: none"> バッファがレディ(リードまたはライト可能状態)になったとき 	ホスト、 ファンクション	BRDYSTS. PIPEBRDY
BCHG	バス変化割り 込み	<ul style="list-style-type: none"> USB バスステートの変化を検出したとき 	ホスト	-
DTCH	デバイス切断 検出	<ul style="list-style-type: none"> 周辺デバイスの切断を検出したとき 	ホスト	-
ATTCH	デバイス接続 検出	<ul style="list-style-type: none"> USB バスステートが 2.5 μs 連続した J-STATE、または 2.5 μs 連続した K-STATE を検出したとき。周辺デバイスの接続検出に使用可能。 	ホスト	-
EOFERR	EOF エラー検出	<ul style="list-style-type: none"> 周辺デバイスの EOF エラーを検出 	ホスト	-
SACK	セットアップ 正常	<ul style="list-style-type: none"> セットアップトランザクションの正常応答 (ACK) を受信したとき 	ホスト	-
SIGN	セットアップ エラー	<ul style="list-style-type: none"> セットアップトランザクションのエラー(無応答または ACK パケット破損)を3回連続で検出したとき 	ホスト	-

図 29.2 に本モジュールの割り込み関連図を示します。

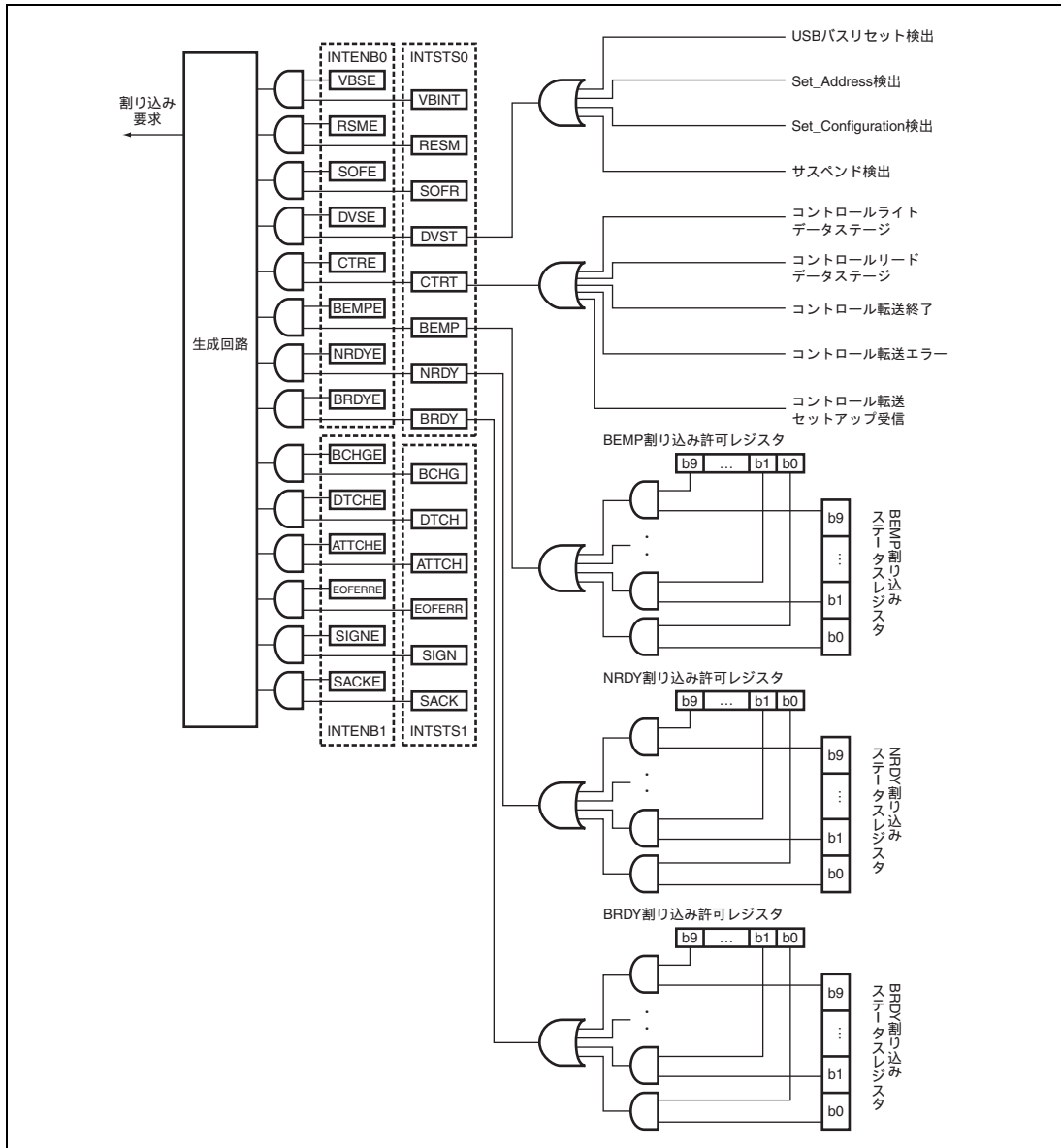


図 29.2 割り込みの関連図

(1) BRDY 割り込み

BRDY 割り込みは、ホストコントローラ、ファンクションコントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、本モジュールは BRDYSTS レジスタの該当ビットを 1 にセットします。このとき、当該パイプに対応する BRDYENB レジスタの PIPEBRDYE ビットを 1 に設定し、かつ、INTENB0 レジスタの BRDYE ビットを 1 に設定していれば、本モジュールは BRDY 割り込みを発生させます。

BRDY 割り込みは、BRDYM ビットおよび各パイプの BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(a) BRDYM = 0 かつ BFRE = 0 設定時

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

本モジュールは、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する PIPEBRDY ビットに 1 を表示します。

1. 送信方向に設定したパイプの場合

- DIR ビットを 0 から 1 に変更したとき
- 当該パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、本モジュールが当該パイプの packets 送信を完了したとき
連続送受信モードに設定した場合には、FIFO バッファ一面分のデータの送信完了時に要求トリガが発生します。
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- ACLRM ビットに 1 を書き込むことにより、FIFO バッファが書き込み不可状態から書き込み可能状態になったとき

DCP に対しては (すなわち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

2. 受信方向に設定したパイプの場合

- 当該パイプに割り付けた FIFO バッファへの CPU からの読み出しが不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき
データ PID ミスマッチのトランザクションに対しては要求トリガは発生しません。
連続送受信モードの場合には、MaxPacketSize のデータサイズで、かつまだバッファに空きがある場合には要求トリガは発生しません。
ショートパケットを受信した場合には、FIFO バッファに空きがあっても要求トリガは発生します。
トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガは発生します。このとき、FIFO バッファにまだ空きがあっても要求トリガは発生します。

- FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では本割り込みは発生しません。

当該パイプに対応する BRDYSTS レジスタの PIPEBRDY ビットに 0 を書き込むことにより、当該パイプの PIPEBRDY 割り込みステータスを 0 にクリアすることができます。このとき、他のパイプに対応するビットには 1 を書き込んでください。

本割り込みステータスのクリアは、必ず FIFO バッファへのアクセスを行う前に実施してください。

(b) BRDYM = 0 かつ BFRE = 1 設定時

この設定の場合、本モジュールは、受信パイプにおいて 1 トランスファー分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、本レジスタの当該パイプに対応するビットに 1 を表示します。

本モジュールは、以下のいずれかのときに 1 トランスファーにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- トランザクションカウンタ (TRNCNT ビット) を使用し、TRNCNT ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、本モジュールは 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケット受信した場合は、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN ビットが 0 の状態になった時点で、本モジュールは 1 トランスファー分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応する FIFOCTR レジスタの BCLR ビットに 1 を書き込んでください。

本設定の場合には、本モジュールは送信パイプに対して BRDY 割り込みを検出しません。

当該パイプに対応する PIPEBRDY ビットに 0 を書き込むことにより、当該パイプの PIPEBRDY 割り込みステータスを 0 にクリアすることができます。このとき他のパイプに対応するビットには 1 を書き込んでください。

本モードを使用するときには、トランスファ分の処理を終了するまで BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(c) BRDYM = 1 かつ BFRE = 0 設定時

この設定の場合、PIPEBRDY ビットの値は各パイプの BSTS ビットに連動します。すなわち、BRDY 割り込みステータスは FIFO バッファの状態によって本モジュールが 1、0 を表示します。

1. 送信方向に設定したパイプの場合

FIFOポートにデータが書き込み可能な状態であれば1を表示し、書き込み不可の状態になれば0を表示します。

ただしDCPの送信パイプが書き込み可能であっても、BRDY割り込みは発生しません。

2. 受信方向に設定したパイプの場合

FIFOポートにデータが読み出し可能な状態であれば1を表示し、すべてのデータを読み出したら（読み出し不可の状態になったら）0を表示します。

FIFOバッファが空でZero-Lengthパケットを受信した場合、BCLR = 1を書き込むまで該当ビットには1が表示されBRDY割り込みは発生し続けます。

本設定時、PIPEBRDYビットの0クリアを行うことはできません。

BRDYM = 1設定時は、BFREビットは必ずすべて（全パイプ）0に設定してください。

図 29.3 に、BRDY 割り込み発生タイミング図を示します。

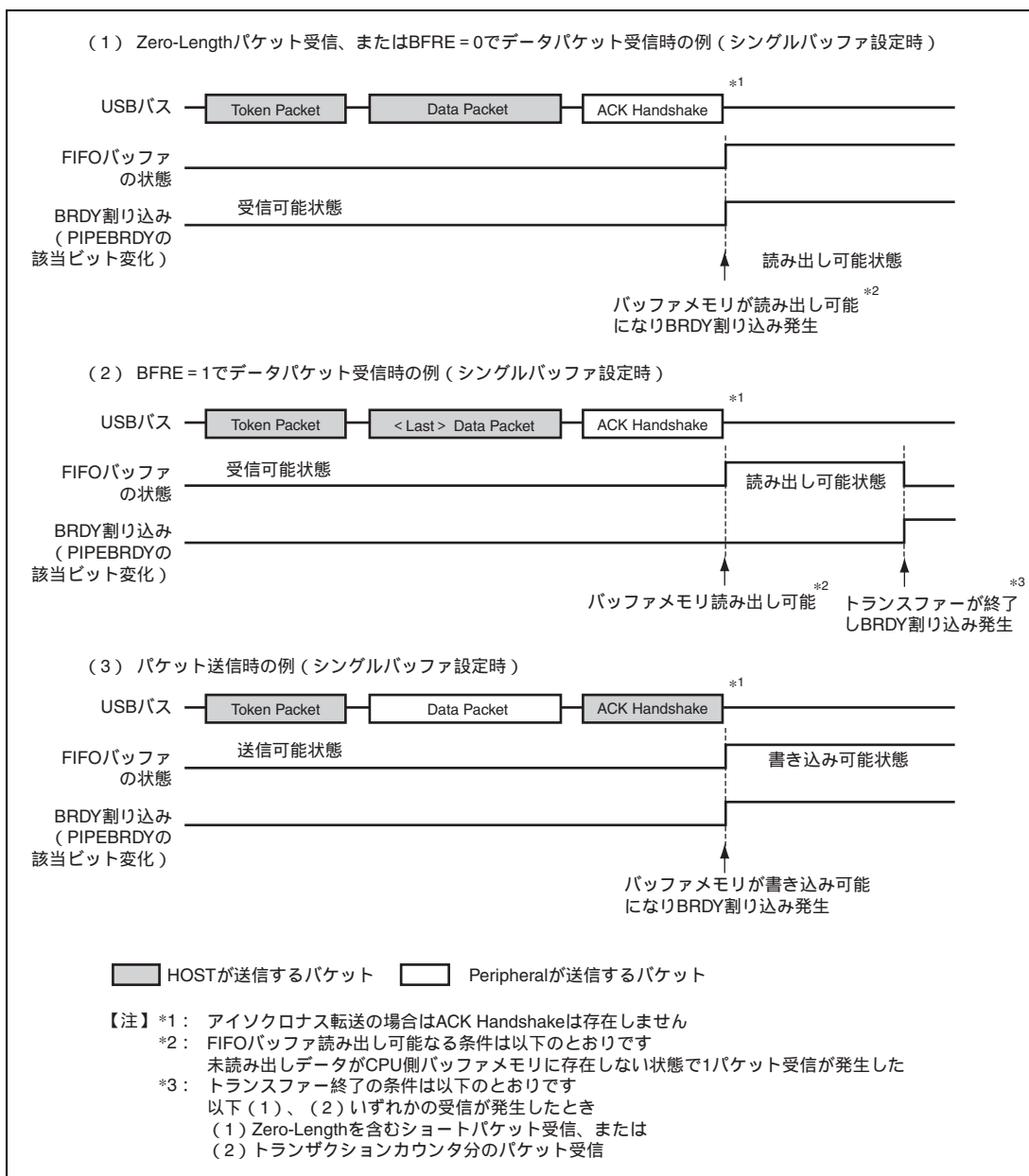


図 29.3 BRDY 割り込み発生タイミング図

(2) NRDY 割り込み

PID = BUF に設定したパイプに対して、本モジュールが内部 NRDY 割り込み要求を発生させた場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに 1 を表示します。このとき、NRDYENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS0 レジスタの NRDY ビットに 1 を表示し、USB 割り込みを発生します。

本モジュールが、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時のセットアップトランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントローラ機能選択時のセットアップトランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(a) ホストコントローラ機能選択時でかつスプリットトランザクションが発生しない接続の場合

1. 送信方向パイプの場合

本モジュールは、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに送信データがない状態でOUTトークン発行タイミングに達したとき。

このとき、本モジュールはOUTトークンに続けてZero-Lengthパケットを送信し、PIPENRDYビットの対応するビットに1を表示し、OVRNビットにも1を表示します。

- 転送タイプがアイソクロナス以外のパイプ、かつセットアップトランザクション以外の通信において、周辺デバイスが無応答（周辺デバイスからのハンドシェイクパケットを検出しないままタイムアウトを検出）した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき

このとき、本モジュールは、PIPENRDYビットの対応するビットに1を表示し、対応するパイプのPIDビットをNAKに変更します。

- セットアップトランザクション以外の通信において、周辺デバイスからSTALLハンドシェイクを受信したとき（OUTに対するSTALLだけでなく、PINGに対するSTALLも該当します）。

このとき本モジュールは、PIPENRDYビットの対応するビットに1を表示し、対応するパイプのPIDビットをSTALL (11) に変更します。

2. 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに空きがない状態でINトークン発行タイミングに達したとき。

このとき本モジュールは、INトークンに対する受信データを破棄し、当該パイプに対応するPIPENRDYビットに1を表示し、OVRNビットにも1を表示します。

更に、INトークンに対する受信データにパケットエラーを検出した場合には、CRCEビットにも1を表示します。

- 転送タイプがアイソクロナス転送以外のパイプで、本モジュールが発行したINトークンに対して周辺デバイスが無応答（周辺デバイスからのDATAパケットを検出しないうままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをNAKに変更します。
- 転送タイプがアイソクロナスのパイプにおいて、INトークンに対して周辺デバイスが無応答（周辺デバイスからのDATAパケットを検出しないうままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示します（対応するパイプのPIDビットの変更は行いません）。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットにCRCエラーまたはビットスタッフィングエラーを検出したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、CRCEビットに1を表示します。
- STALLハンドシェイクを受信したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをSTALLに変更します。

(b) ホストコントローラ機能選択時でかつスプリットトランザクションが発生する接続の場合

1. 送信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに送信データがない状態でOUTトークン発行タイミングに達したとき。
このとき本モジュールは、Start-Splitトランザクション（S-SPLIT）発行時点で当該パイプに対応するPIPENRDYビットに1を表示し、OVRNビットに1を表示します。また、OUTトークンに続けてZero-Lengthパケットを送信します。
- 転送タイプがアイソクロナス以外のパイプにおいて、S-SPLITまたはComplete-Splitトランザクション（C-SPLIT）に対して、HUBが無応答（HUBからのハンドシェイクパケットを検出しないうままタイムアウトを検出）、またはHUBからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットNAKに変更します。
C-SPLIT発行時にNRDY割り込みを検出した場合には、本モジュールはCSSTSビットをクリアし0を表示します。
- C-SPLITに対し、STALLハンドシェイクを受信したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをSTALL（11）に変更し、CSSTSビットをクリアし0を表示します。
ただしセットアップトランザクションにおいては、本割り込みを検出しません。

- 転送タイプがインタラプトのパイプにおいて、microFrame番号 = 4のときのC-SPLITに対して、NYETを受信したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、CSSTSビットをクリアし0を表示します（対応するパイプのPIDビットは変更しません）。

2. 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに空きがない状態でINトークン発行タイミングに達したとき。

このとき本モジュールは、S-SPLIT発行時点で当該パイプに対応するPIPENRDYビットに1を表示し、OVRNビットに1を表示します。また、INトークンに対する受信データを破棄します。

- 転送タイプがバルクのパイプの転送、またはDCPのセットアップトランザクション以外の転送において、S-SPLITまたはC-SPLIT発行時に、本モジュールが発行したINトークンに対してHUBが無応答（HUBからのDATAパケットを検出しないままタイムアウトを検出）した場合、またはHUBからのパケットにエラーを検出した場合が任意の組み合わせで3回連続して発生したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをNAKに変更します。C-SPLITにおいて本条件が発生した場合には、本モジュールはCSSTSビットをクリアし0を表示します。

- 転送タイプがアイソクロナスまたはインタラプトのパイプのC-SPLITにおいて、本モジュールが発行したINトークンに対してHUBが無応答（HUBからのDATAパケットを検出しないままタイムアウトを検出）した場合、またはHUBからのパケットにエラーを検出した場合が任意の組み合わせで3回連続して発生したとき。

転送タイプがインタラプトのパイプにおいて、本条件が発生した場合、本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをNAKに変更し、CSSTSビットをクリアし0を表示します。

転送タイプがアイソクロナスのパイプにおいて、本条件が発生した場合、本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、CRCEビットに1を表示し、CSSTSビットをクリアし0を表示します。（パイプのPIDビットの変更は行いません）。

- 転送タイプがアイソクロナス以外のパイプのC-SPLITにおいて、STALLハンドシェイクを受信した場合。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをSTALL（11）に変更し、CSSTSビットをクリアし0を表示します。

- 転送タイプがアイソクロナス/インタラプトのパイプのC-SPLITにおいて、microFrame = 4のときにNYETハンドシェイクを受信した場合。

このとき本モジュール、当該パイプに対応するPIPENRDYビットに1を表示し、CRCEビットに1を表示し、CSSTSビットをクリアし0を表示します。（パイプのPIDビットの変更は行いません）。

(c) ファンクションコントローラ機能選択時

1. 送信方向パイプの場合

- FIFOバッファに送信データがない状態でINトークンを受信したとき

INトークン受信時に本モジュールはNRDY割り込み要求を発生させPIPENRDYビットに1を表示します。
割り込み発生パイプの転送タイプがアイソクロナスの場合、本モジュールはZero-Length/パケットを送信し、OVRNビットに1を表示します。

2. 受信方向パイプの場合

- FIFOバッファに空きがない状態でOUTトークンを受信したとき

割り込み発生パイプの転送タイプがアイソクロナスの場合、OUTトークン受信時に本モジュールはNRDY割り込み要求を発生させ、PIPENRDYビットに1を表示し、OVRNビットに1を表示します。

割り込み発生パイプの転送タイプがアイソクロナス以外の場合、本モジュールは、OUTトークンに続くデータ受信後NAKハンドシェイクを送信するときにNRDY割り込み要求を発生させ、PIPENRDYビットに1を表示します。

ただし、再送時 (DATA-PIDミスマッチ発生時) には、NRDY割り込み要求を発生させません。また、DATAパケットにエラーがある場合にも、発生させません。

- FIFOバッファに空きがない状態でPINGトークンを受信したとき

PINGトークン受信時に本モジュールはNRDY割り込み要求を発生させPIPENRDYビットに1を表示します。

- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき
SOF受信のタイミングで本モジュールは、NRDY割り込み要求を発生させ、PIPENRDYビットに1を表示します。

図 29.4 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

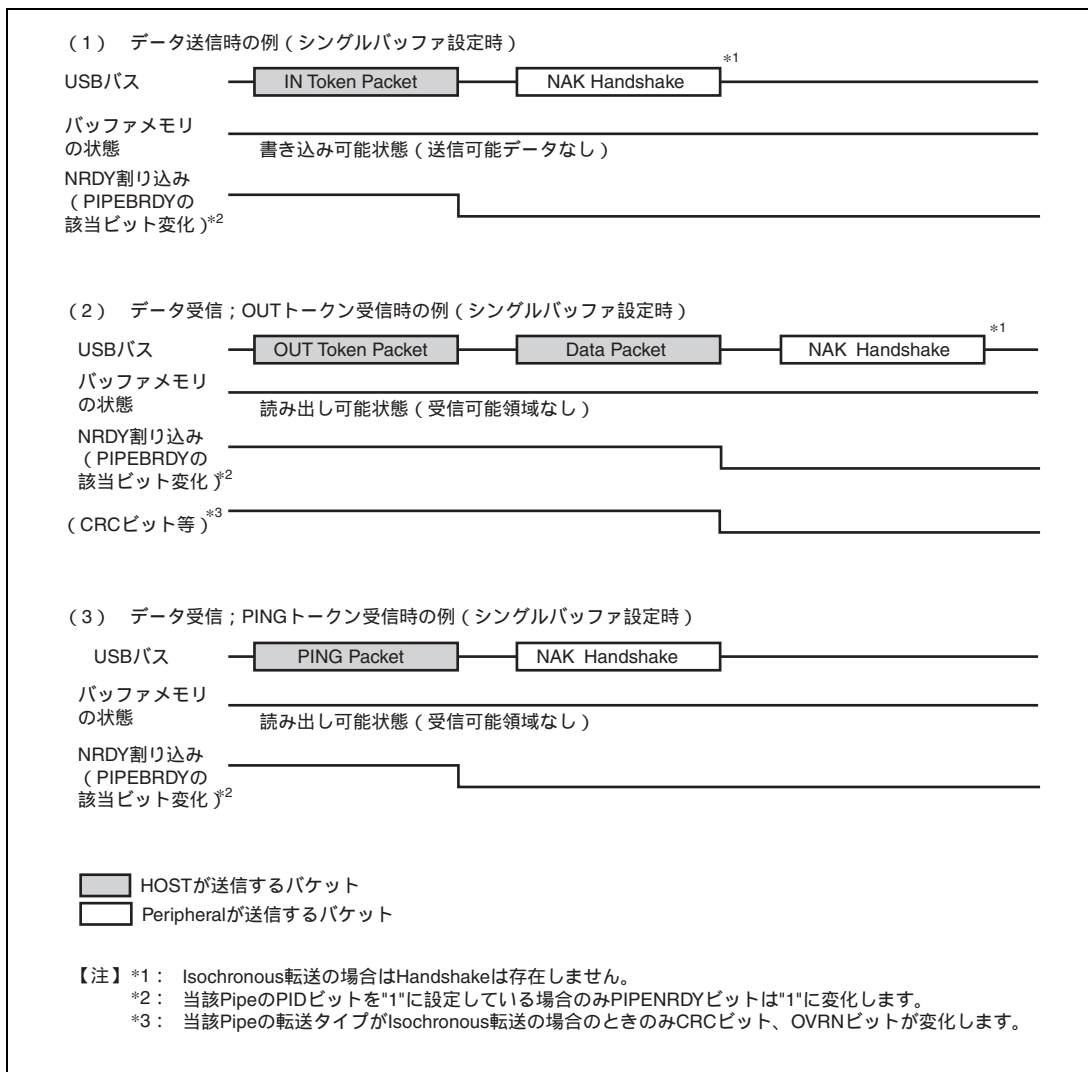


図 29.4 ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図

(3) BEMP 割り込み

PID = BUF に設定したパイプに対して、本モジュールが、BEMP 割り込みを検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに 1 を表示します。このとき、BEMPENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS0 レジスタの BEMP ビットに 1 を表示し、USB 割り込みを発生します。

以下の場合に、本モジュールは内部 BEMP 割り込み要求を発生させます。

1. 送信方向パイプにおいて、送信完了時 (Zero-Lengthパケットの送信時を含む) に、対応するパイプのFIFOバッファが空のとき。

シングルバッファ設定時は、DCP以外のパイプに対してはBRDY割り込みと同時に内部BEMP割り込み要求を発生させます。

ただし、以下の場合には内部BEMP割り込み要求を発生させません。

- ダブルバッファ設定時に、1面分のデータ送信完了時にCPU側のFIFOバッファに対する書き込みを開始している場合
- また、ACLRMビットまたはBCLRビットに1を書き込むことによるバッファクリア (エンプティ)。
- ファンクションコントローラ機能設定時、コントロール転送StatusステージのIN転送 (Zero-Lengthパケット送信) 時

2. 受信方向パイプの場合

MaxPacketSizeの設定値より大きなデータサイズを正常受信したとき。

この場合、本モジュールは、BEMP割り込み要求を発生させ、PIPEBEMPビットの対応するビットに1を表示し、受信データを破棄し、対応するパイプのPIDビットをSTALL (11) に変更します。

このとき本モジュールは、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時にはSTALL応答を行います。

ただし、以下の場合には内部BEMP割り込み要求を発生させません。

- 受信データにCRCエラー、またはビットスタッフィングエラー等を検出したとき
- セットアップトランザクション実行時

PIPEBEMPビットに0を書き込むことにより、ステータスをクリアすることができます。

PIPEBEMPビットに1を書き込んでも、何もしません。

図 29.5 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

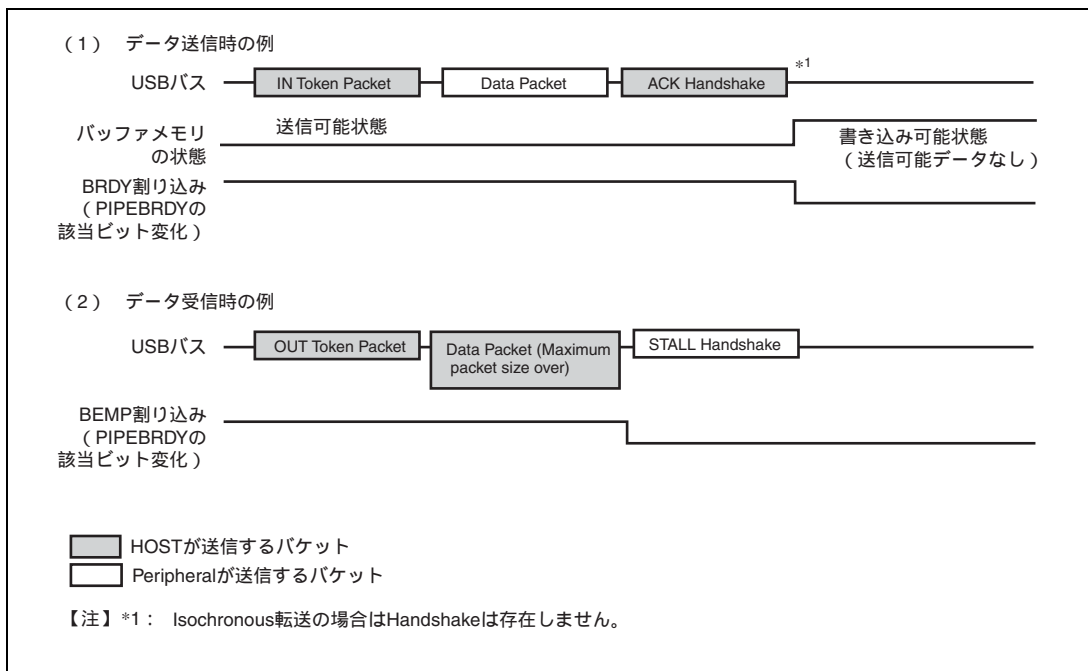


図 29.5 ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

(4) デバイスステート遷移割り込み

図 29.6 に本モジュールのデバイスステート遷移図を示します。本モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰 (レジューム信号検出) は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

デフォルトステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

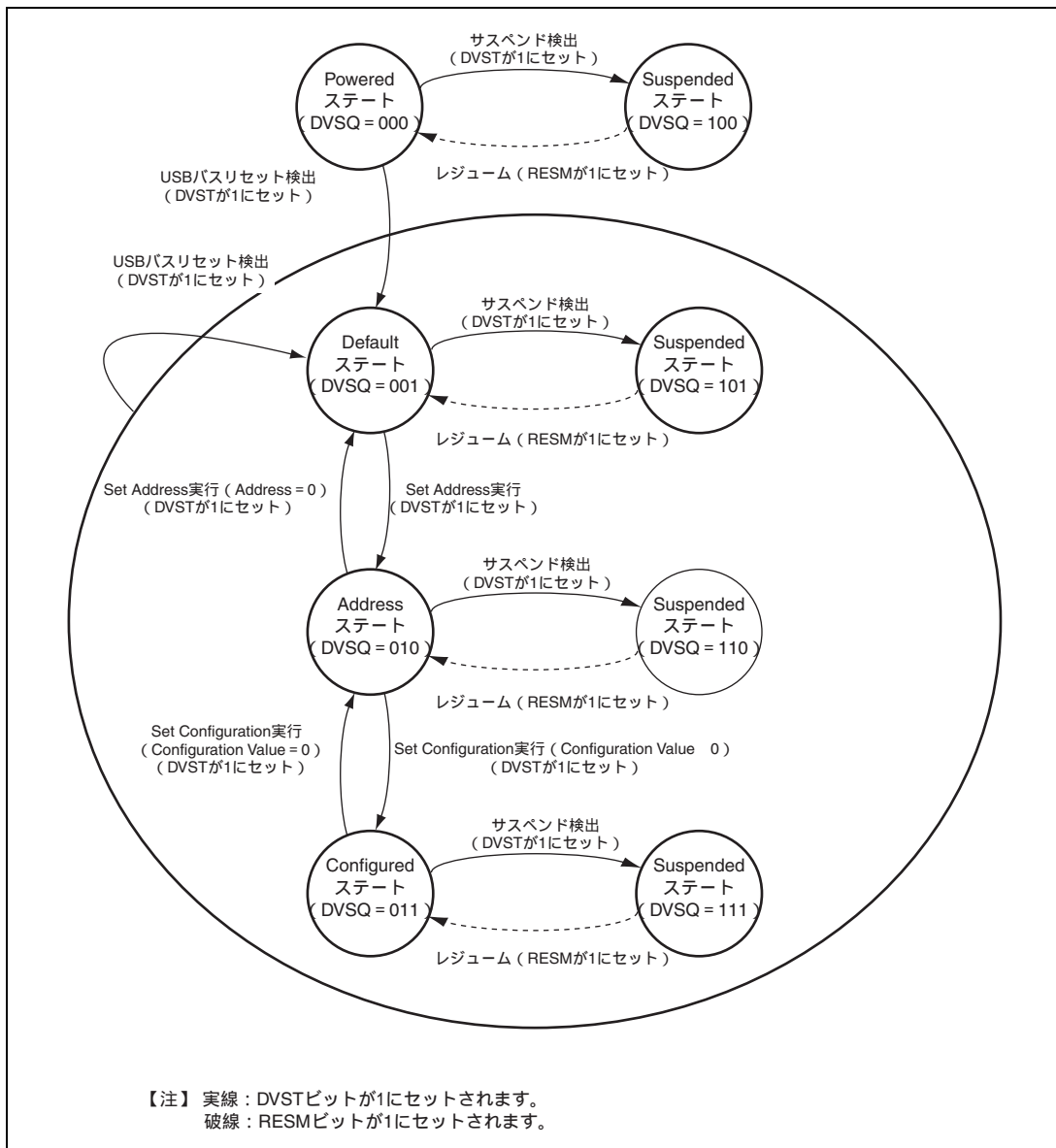


図 29.6 デバイス状態遷移図

(5) コントロール転送ステージ遷移割り込み (ファンクションコントローラ機能)

図 29.7 に本モジュールのコントロール転送ステージ遷移図を示します。本モジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが B'1x (STALL 応答) になります。

1. コントロールリード転送時

- データステージのINトークンに対して、一度もデータ転送していない状態でOUTまたはPINGトークンを受信
- ステータスステージでINトークン受信
- ステータスステージでデータパケットがDATAPID = DATA0のパケットを受信

2. コントロールライト転送時

- データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
- データステージで最初のデータパケットがDATAPID = DATA0のパケットを受信
- ステータスステージでOUTまたはPINGトークン受信

3. コントロールライトノデータコントロール転送時

- ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時は、CTSQ = 110 の値がシステムから CTRT = 0 書き込み (割り込みステータスクリア) するまで保持されます。このため、CTSQ = 110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、本モジュールで保持されており、割り込みステータスクリア後に、CTRT 割り込みが発生します)。

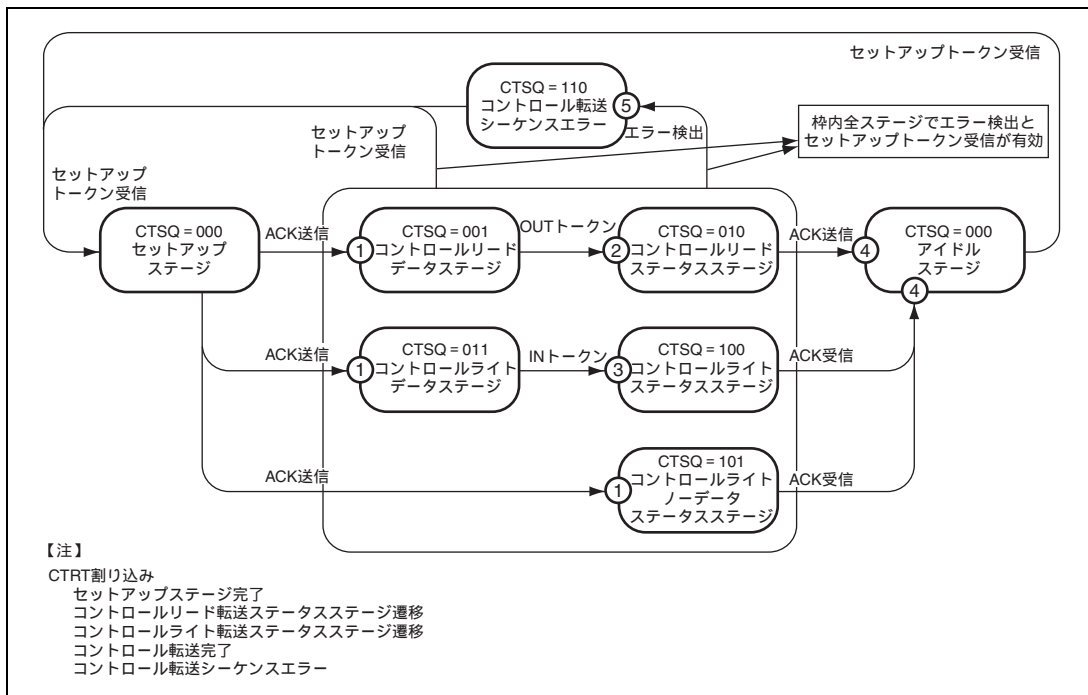


図 29.7 コントロール転送ステージ遷移図

(6) フレーム更新割り込み

図 29.8 に本モジュールの SOFR 割り込み出力タイミング例を示します。

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときに SOFR 割り込みが発生します。

ファンクションコントローラ機能を選択した場合、本モジュールは、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みが発生します。しかし、ハイスピード動作中は μ SOF ロック状態にならないと、フレーム番号を更新せず SOFR 割り込みも発生しません。また、SOF の補間機能も動作しません。 μ SOF ロック状態とは、エラーなしでフレーム番号の異なる μ SOF パケットを 2 回連続受信することです。

なお、 μ SOF ロック監視開始条件および μ SOF ロック監視停止条件は下記 1、2.のとおりです。

1. μ SOF ロック監視開始条件
USBE = 1
2. μ SOF ロック監視停止条件
USBE = 0、USBバスリセット受信、またはサスペンド検出

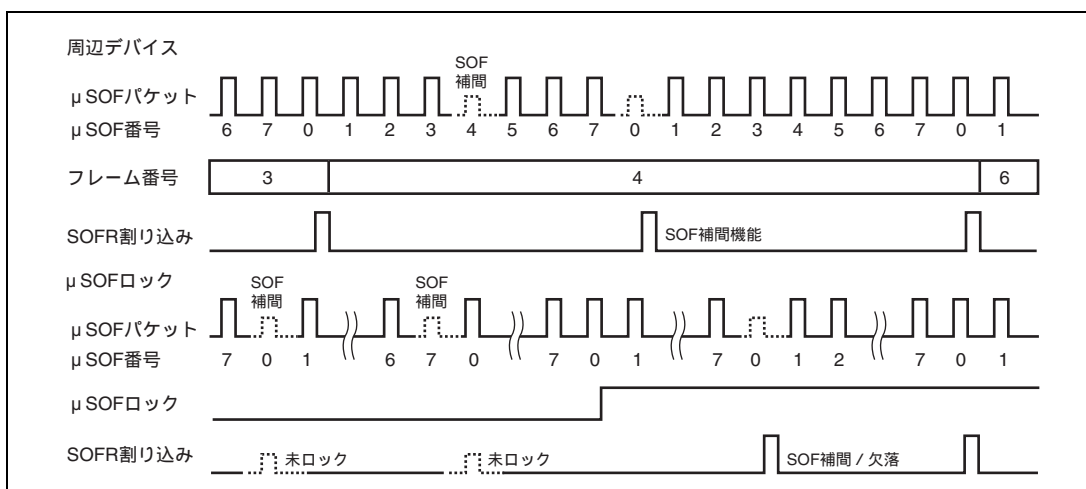


図 29.8 SOFR 割り込み出力タイミングの例

(7) VBUS 割り込み

VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0 レジスタの VBSTS ビットにて VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

(8) レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化 (J-State K-State または J-State SE0) したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

(9) BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

(10) DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。本モジュールは、USB Specification 2.0 に準じた基準でバスディスコネクトを検出します。

本モジュールは、DTCH 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下のハードウェア制御を行います。USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ (ATTCH 割り込み発生) 待ちの状態に遷移してください。

- UACTビットを0に変更し表示する。
- アイドル状態に遷移させる。

(11) SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

(12) SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合 (無応答) や、ACK パケットの破損を検出することができます。

(13) ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード / ロースピード信号レベルの J-State または K-State を 2.5 μ s 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0またはSE1からJ-Stateに変化しJ-Stateのまま2.5 μ s間継続したとき
- J-State、SE0またはSE1からK-Stateに変化しK-Stateのまま2.5 μ s間継続したとき

(14) EOFERR 割り込み

USB Specification2.0 に定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みが発生します。

本モジュールは、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR割り込みを検出したポートのUACTビットを0に変更し表示する。
- EOFERR割り込みが発生したポートをアイドル状態に遷移させる。

29.4.3 パイプコントロール

表 29.17 に本モジュールのパイプ設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。本モジュールにはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 29.17 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備 考
DCPCFG	TYPE	転送タイプを指定	パイプ 1~9 : 設定可
PIPECFG	BFRE	BRDY 割り込みモードを選択	パイプ 1~5 : 設定可
	DBLB	ダブルバッファを選択	パイプ 1~5 : 設定可
	CNTMD	連続転送または非連続転送を選択	DCP : 設定可 パイプ 1、2 : 設定可 (バルク転送選択時のみ設定可能) パイプ 3~5 : 設定可
	DIR	転送方向を選択	IN または OUT 設定可
	EPNUM	エンドポイント番号	パイプ 1~9 : 設定可 パイプ使用時は 0000 以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	DCP : 設定可 パイプ 1、2 : 設定可 (バルク転送選択時のみ設定可能) パイプ 3~5 : 設定可
	PIPEBUF	BUFSIZE	バッファメモリサイズ
BUFNMB		バッファメモリ番号	DCP : 設定不可 (領域 H'0 ~ H'3 固定) パイプ 1~5 : 設定可 (領域 H'8 ~ H'7F で指定可) パイプ 6~9 : 設定不可 (領域 H'4 ~ H'7 固定)
DCPMAXP	DEVSEL	デバイス選択	ホストコントローラ機能選択時のみ参照
PIPEMAXP	MXPS	マックスパケットサイズ	USB 規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1、2 : 設定可 (アイソクロナス転送選択時のみ) パイプ 3~9 : 設定不可
	IITV	インターバルカウンタ	パイプ 1、2 : 設定可 (アイソクロナス転送選択時のみ) パイプ 3~9 : 設定不可

レジスタ名	ビット名	設定内容	備 考
DCPCTR	BSTS	バッファステータス	DCP は ISEL ビットにより、受信 / 送信バッファ状態の切り替え
PIPEnCTR	INBUFM	IN バッファモニタ	パイプ 3～5 のみ搭載
	SUREQ	セットアップ リクエスト	DCP のみ設定可能 ホストコントローラ機能選択時のみ制御可能
	SUREQCLR	SUREQ クリア	DCP のみ設定可能 ホストコントローラ機能選択時のみ制御可能
	CSCLR	CSSTS クリア	ホストコントローラ機能選択時のみ制御可能
	CSSTS	SPLIT ステータス表示	ホストコントローラ機能選択時のみ参照可能
	ATREPM	自動応答モード	パイプ 1～5 : 設定可 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ 1～9 : 設定可
	SQCLR	シーケンスクリア	データグルビットのクリア
	SQSET	シーケンスセット	データグルビットのセット
	SQMON	シーケンス確認	データグルビットの確認
	PBUSY	パイプビジー確認	
	PID	応答 PID	「29.4.3 (6) 応答 PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウン ト許可	パイプ 1～5 : 設定可
	TRCLR	カレントトランザクシ ョンカウンタのクリア	パイプ 1～5 : 設定可
PIPEnTRN	TRNCNT	トランザクションカウ ンタ	パイプ 1～5 : 設定可

(1) パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可 (PID = NAK) であるときのみ書き換えが可能です。

USB 通信許可 (PID = BUF) 状態では設定禁止であるレジスタ

- DCPMAXPレジスタの各ビット
- DCPCTRレジスタのSQCLRビット、SQSETビット、PINGEビット
- PIPECFGレジスタ、PIPEBUFレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット
- PIPEnCTRレジスタのATREPMビット、ACLRMビット、SQCLRビット、SQSETビット
- PIPEnTREレジスタ、PIPEnTRNレジスタの各ビット
- DEVADDnレジスタの各ビット

【注】 CSCLR ビットおよび DEVADDn レジスタの設定については、上記以外にもレジスタ説明にある設定方法を守ってください。

USB 通信許可 (PID = BUF) 状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求発生。
2. 当該パイプのPIDをNAKに変更。
3. 当該パイプのCSSTSビットが0になるまで待つ。(ホストコントローラ機能選択時のみ)
4. 当該パイプのPBUSYビットが0になるまで待つ。

[注] USB トランザクション処理中にデタッチした場合、PBUSY ビットが1のままとなる場合があります。

5. パイプコントロールレジスタのビット変更開始。

またパイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれのCURPIPE ビットにも設定されていないパイプ情報のみ書き換えが可能です。

FIFO-PORT の CURPIPE に設定中に設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- PIPECFGレジスタ、PIPEBUFレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット
- PIPEnCTRレジスタのACLRMビット

パイプ情報を変更する場合には、CURPIPE ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、BCLR にてバッファのクリア処理をしてください。

(2) 転送タイプ

PIPEPCFG レジスタの TYPE ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- パイプ1、2：バルク転送またはアイソクロナス転送を設定してください。
- パイプ3～5：バルク転送を設定してください。
- パイプ6～9：インタラプト転送を設定してください。

(3) エンドポイント番号

PIPEPCFG レジスタの EPNUM ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント0に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP：設定不要（エンドポイント0固定）です。
- パイプ1～9：1から15までを選択して設定してください。

ただし、DIRビットとEPNUMビットの組み合わせが重複しないように設定してください。

(4) マックスパケットサイズ設定

DCPMAXP レジスタおよびPIPEMAXP レジスタのMXPS ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ 1~5 は USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ 6~9 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前 (PID = BUF) に設定してください。

- DCP : ハイスピード動作時は64を設定してください。
- DCP : フルスピード動作時は、8、16、32、64から選択して設定してください。
- パイプ1~5 : ハイスピードバルク転送時は、512を設定してください。
- パイプ1~5 : フルスピードバルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2 : ハイスピードアイソクロナス転送時は、1から1024の値を設定してください。
- パイプ1、2 : フルスピードアイソクロナス転送時は、1から1023の値を設定してください。
- パイプ6~9 : 1から64の値を設定してください。

インタラプト転送およびアイソクロナス転送の High Bandwidth は未対応です。

(5) トランザクションカウンタ (パイプ 1~5 読み出し方向)

本モジュールは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタは、D0FIFO/D1FIFO ポートにて選択されているパイプが、バッファメモリからデータ読み出し方向で設定されている場合に動作する機能です。トランザクションカウンタには、トランザクション回数を指定する TRNCNT レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、カレントカウンタが指定回数に一致すると、バッファメモリが読み出し可能状態となります。TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。TRENB ビットの設定により、TRNCNT レジスタ読み出し時の情報が異なります。

- TRENB = 0 : 設定したトランザクションカウンタ値が読み出せません。
- TRENB = 1 : 内部でカウントしたカレントカウンタ値が読み出せません。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID = BUF の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

(6) 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID ビットにて各パイプの応答 PID を設定します。

各設定における本モジュールの動作は下記のとおりです。

1. ホストコントローラ機能選択時の応答PID設定

応答PIDは、トランザクションの実施を指定します。

- NAK設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF設定：バッファメモリの状況に応じてトランザクションが実施されます。
 - OUT方向の場合、バッファメモリに送信データがある場合、OUTトークンを発行します。
 - IN方向の場合、バッファメモリに空きがあり受信可能な場合、INトークンを発行します。
- STALL設定：パイプ禁止状態です。トランザクションは実施されません。

【注】 DCP のセットアップトランザクションは、SUREQ ビットで設定します。

2. ファンクションコントローラ機能選択時の応答PID設定

応答PIDは、ホストからのトランザクションに対する応答を指定します。

- NAK設定：発生したトランザクションに対して常にNAK応答します。
- BUF設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL設定：発生したトランザクションに対して常にSTALL応答します。

【注】 セットアップトランザクションに対しては、PID の設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

PID ビットは、トランザクション結果により本モジュールによる書き込みが発生する場合があります。本モジュールにより PID ビットへの書き込みが発生するのは以下の場合です。

1. ホストコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID = NAKとなり、トークンの発行を自動的に停止します。
 - アイソクロナス以外の転送で、送信したトークンに対する応答において、無応答、ビットスタッフィングエラーまたはCRCエラーなどの受信エラーが3回連続して発生したとき
 - アイソクロナス転送で、送信したトークンに対する応答において、ビットスタッフィングエラーまたはCRCエラーなどの受信エラーが3回連続して発生したとき
 - DCPCFGレジスタのSHTNAKビットを1に設定した場合で、コントロールリード転送のデータステージにおいて、ショートパケットを受信したとき
 - バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定した場合でショートパケットを受信したとき
 - バルク転送時にSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき
- BUF設定：本モジュールによるBUF書き込みはありません。

- STALL 設定：以下の場合に PID = STALL となり、トークンの発行を自動的に停止します。
 - 送信したトークンに対して STALL を受信したとき
 - 受信したデータパケットがマックスパケットサイズを超えたとき
- 2. ファンクションコントローラ機能選択時にハードウェアが応答 PID を設定する場合
 - NAK 設定：以下の場合に PID = NAK となり、トランザクションに対して常に NAK 応答します。
 - セットアップトークンを正常に受信したとき (DCP のみ)
 - バルク転送時に PIPECFG レジスタの SHTNAK ビットを 1 に設定し、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
 - BUF 設定：本モジュールによる BUF 書き込みはありません。
 - STALL 設定：以下の場合に PID = STALL となり、トランザクションに対して常に STALL 応答します。
 - 受信データパケットでマックスパケットサイズオーバーエラーを検出したとき
 - コントロール転送シーケンスエラーを検出したとき (DCP のみ)

(7) データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本モジュールによりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPECTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPECTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に本モジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 になります。ステータスステージではシーケンスビットを参照せず、DATA1 で応答します。このため、設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットを設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、データ PID シーケンスビットを設定する必要がありますので注意してください。

なお、アイソクロナス転送設定パイプは、SQSET ビットによるシーケンスビット操作を行うことはできません。

(8) 応答 PID = NAK 機能

本モジュールには、PIPECFG レジスタの SHTNAK ビットに 1 を設定することで、トランスファの最後 (ショートパケット受信またはトランザクションカウンタでモジュールが自動識別) のデータパケット受信タイミングで、パイプ動作を禁止 (応答 PID = NAK) する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、再度パイプ許可 (応答 PID = BUF) 設定を行う必要があります。

なお、本機能はバルク転送時のみ動作することが可能です。

(9) オート応答モード

バルク転送のパイプ(パイプ1~5)において、PIPEnCTR レジスタの ATREPM ビットに1をセットすると、オート応答モードとなります。OUT 転送時(DIR=0)には OUT-NAK モードとなり、IN 転送時(DIR=1)には Null 自動応答モードとなります。

• OUT-NAK モード

バルク OUT 転送のパイプにおいて、ATREPM ビットに1をセットすると、OUT トークンまたは PING トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ設定するためには、パイプ動作禁止状態(応答 PID=NAK)で OUT-NAK モードに設定して、パイプ動作許可(応答 PID=BUF)を行ってください。パイプ動作許可後に、OUT-NAK モードが有効になります。ただし、パイプ動作禁止にする直前で OUT トークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態(応答 PID=NAK)で OUT-NAK モードを解除して、パイプ動作許可(応答 PID=BUF)を行ってください。通常モードでは、OUT データ受信が可能となり、PING トークンに対しては、バッファが受信可能であれば ACK を返します。

• Null自動応答モード

バルク IN 転送のパイプにおいて、ATREPM ビットに1をセットすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態(応答 PID=NAK)で、Null 自動応答モードに設定して、パイプ動作許可(応答 PID=BUF)を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。INBUFM ビットが0であることで確認してください。INBUFM ビットが1の場合には、バッファ内にデータが存在しているため、ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態(応答 PID=NAK)を Zero-Length パケット送信分ウェイト(フルスピード時:10 μ s、ハイスピード時:3 μ s)した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可(応答 PID=BUF)を行うことにより、ホストへのパケット送信が可能となります。

29.4.4 FIFO バッファメモリ

(1) FIFO バッファメモリ割り当て

図 29.9 に本モジュールの FIFO バッファメモリマップ例を示します。FIFO バッファメモリは CPU と本モジュールが共用する領域です。FIFO バッファメモリの状況には、アクセス権がシステム (CPU 側) にある場合と本モジュール (SIE 側) にある場合があります。

FIFO バッファメモリは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数 (PIPEBUF レジスタの BUFNMB および BUFSIZE ビット) で設定します。

PIPECFG レジスタの CNTMD ビットにて連続転送モードを選択した場合には、BUFSIZE ビットの設定は、必ずマックスケットサイズの整数倍になるように設定してください。また PIPECFG レジスタの DBLB ビットにてダブルバッファを選択した場合には、同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てられます。

また、バッファメモリへのアクセス (データ読み書き) は 3 本の FIFO ポートを使用します。FIFO ポートに割り当てるパイプは、C/DnFIFOSEL レジスタの CURPIPE ビットにてパイプ番号を指定します。

各パイプのバッファステータスは、DCPCTR レジスタおよび PIPEnCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、CFIFOCTR レジスタおよび DnFIFOCTR レジスタの FRDY ビットで確認できます。

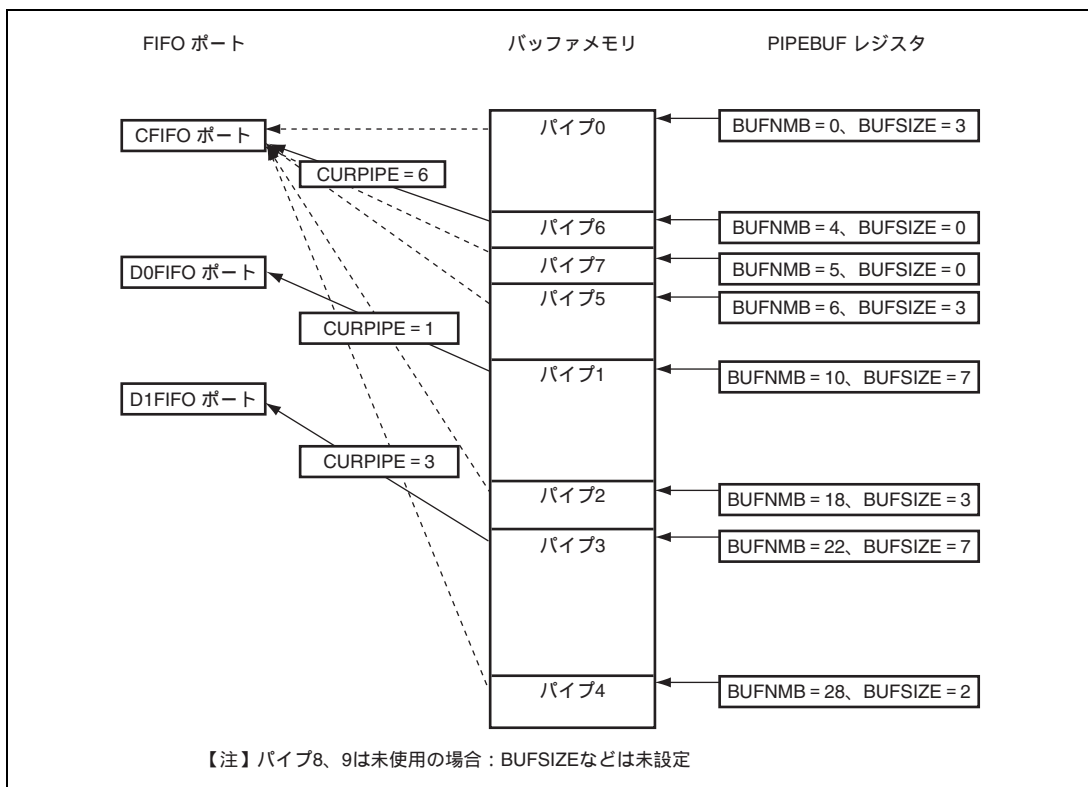


図 29.9 バッファメモリマップ例

- バッファステータス

表 29.18 および表 29.19 に本モジュールのバッファステータス表を示します。バッファメモリステータスを DCPCTR レジスタの BSTS ビットおよび PIPEnCTR レジスタの INBUFM ビットにて確認できます。バッファメモリのアクセス方向は、PIPECFG レジスタの DIR ビットまたは CFIFOSEL レジスタの ISEL ビット（DCP 選択時）で、バッファメモリのアクセス方向を指定します。

なお、INBUFM ビットは送信方向のパイプ 1~5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS ビットは CPU 側のバッファの状態を、INBUFM ビットは SIE 側のバッファの状態を判断するために使用します。CPU（ダイレクトメモリアクセスコントローラ）による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM ビットで送信完了を確認できます。

表 29.18 BSTS ビットによるバッファステータス表

ISEL または DIR	BSTS	バッファメモリの状態
0（受信方向）	0	受信データなし、または受信中 FIFO ポートからの読み出し不可
0（受信方向）	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可のためバッファクリアが必要
1（送信方向）	0	送信を完了していない FIFO ポートへの書き込み不可
1（送信方向）	1	送信完了 CPU は書き込み可能

表 29.19 INBUFM ビットによるバッファステータス表

DIR	INBUFM	バッファメモリの状態
0（受信方向）	無効	無効
1（送信方向）	0	送信可能データを送信完了した 送信可能データなし
1（送信方向）	1	送信可能データが FIFO ポートから書き込まれた 送信可能データあり

- FIFO バッファクリア

表 29.20 に本モジュールによる FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、BCLR、DCLRM、ACLRM ビットにてクリアできます。

表 29.20 バッファクリア一覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
機能	CPU 側バッファメモリをクリアします。	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	1 ライトでクリア	1 : モード有効 0 : モード無効	1 : モード有効 0 : モード無効

- バッファ領域

表 29.21 に本モジュールのバッファメモリマップを示します。バッファメモリには、あらかじめパイプに割り当てられている専用固定領域およびユーザ設定が可能なユーザ領域があります。

DCP 用バッファは、コントロールリード転送およびコントロールライト転送で、同一領域を使用する専用固定領域です。

パイプ 6~9 領域は、あらかじめ領域を割り当ててありますが、パイプ 6~9 を使用しない場合はユーザ領域としてパイプ 1~5 に割り当てて使用可能です。

各パイプで領域が重ならないように設定してください。特にダブルバッファ設定時は領域が設定値の倍になりますので注意してください。

また、マックスパケットサイズ未満の設定値でバッファサイズ指定は行わないでください。

表 29.21 バッファメモリマップ

バッファメモリ番号	バッファサイズ	パイプ設定	備考
H'0 ~ H'3	256 バイト	DCP 専用固定領域	シングルバッファ
H'4	64 バイト	パイプ 6 用固定領域	シングルバッファ
H'5	64 バイト	パイプ 7 用固定領域	シングルバッファ
H'6	64 バイト	パイプ 8 用固定領域	シングルバッファ
H'7	64 バイト	パイプ 9 用固定領域	シングルバッファ
H'8 ~ H'7F	最大 7616 バイト	パイプ 1~5 ユーザ領域	ダブルバッファ設定可能、連続転送可能

- 自動バッファクリアモード機能

本モジュールには、PIPE_nCTR レジスタの ACLRM ビットに 1 を設定することで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、本機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットに 1 を設定し、続けて 0 を設定することで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

- バッファメモリ仕様 (シングル/ダブル設定)

パイプ 1~5 は、PIPECFG レジスタの DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。ダブルバッファは同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てる機能です。図 29.10 に本モジュールのバッファメモリ設定例を示します。

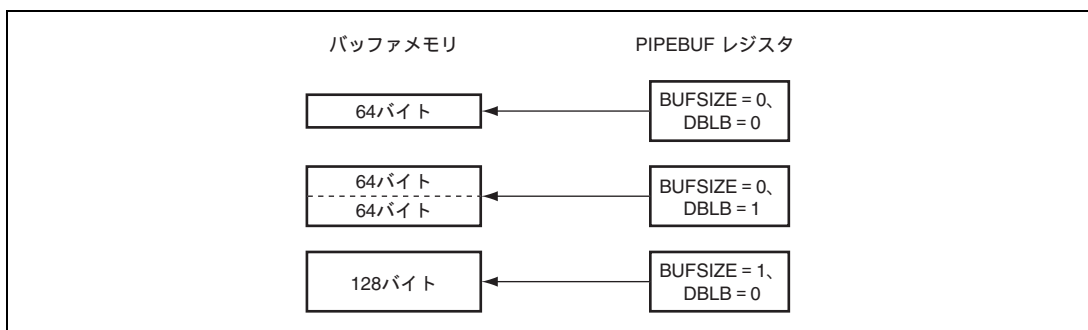


図 29.10 バッファメモリ設定例

- バッファメモリ動作（連続転送設定）

DCPCFG レジスタおよび PIPECFG レジスタの CNTMD ビットにて連続転送モード、または非連続転送モードを選択できます。この選択は、DCP およびパイプ 1~5 に対して有効です。

連続転送モード機能は、複数のトランザクションを連続して送受信する機能です。連続転送モード設定時は、各パイプに割り当てられたバッファサイズまで CPU へ割り込みを発生させずにデータ転送ができます。

連続送信モードでは、書き込みデータをマックスパケットサイズで分割して送信します。バッファサイズ未満のデータ送信（ショートパケットまたはマックスパケットサイズの整数倍でバッファサイズ未満）の場合には、送信データの書き込み後 BVAL = 1 を設定する必要があります。

連続受信モードでは、バッファサイズまでのパケット受信、トランザクションカウンタの終了、またはショートパケットを受信するまで割り込みは発生しません。

表 29.22 に CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係を示します。

表 29.22 CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

連続転送モード	読み出し可能状態、送信可能状態判定方法
非連続転送 (CNTMD = 0)	受信方向設定時 (DIR = 0) FIFO バッファ読み出し可能状態になる条件： <ul style="list-style-type: none"> • 本モジュールが 1 パケット受信したとき
	送信方向設定時 (DIR = 1) FIFO バッファ送信可能状態になる条件： 以下のいずれかを満たしたとき <ul style="list-style-type: none"> • マックスパケットサイズ分のデータを FIFO バッファに書き込んだとき • ショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL = 1 を書き込んだとき
連続転送 (CNTMD = 1)	受信方向設定時 (DIR = 0) FIFO バッファ読み出し可能状態になる条件： 以下のいずれかを満たしたとき <ul style="list-style-type: none"> • 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 (DCP : 256 バイト固定、パイプ 1~5 : (BUFSIZE+1) × 64) が等しくなったとき • 本モジュールが Zero-Length パケット以外のショートパケットを受信したとき • 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本モジュールが Zero-Length パケットを受信したとき • 選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき (パイプ 1~5 のみ)
	送信方向設定時 (DIR = 1) FIFO バッファ送信可能状態になる条件： 以下のいずれかを満たしたとき <ul style="list-style-type: none"> • 書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき • 選択パイプに割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL = 1 を書き込んだとき • DMA 転送終了サンプリング許可ビット (TENDE) を 1 に設定し DMA 転送で、選択パイプに割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合も含む) を FIFO バッファに書き込み、最後の書き込み時に DMA 転送終了信号を受け付けたとき (パイプ 1~5 のみ)

図 29.11 に本モジュールのバッファメモリ動作例を示します。

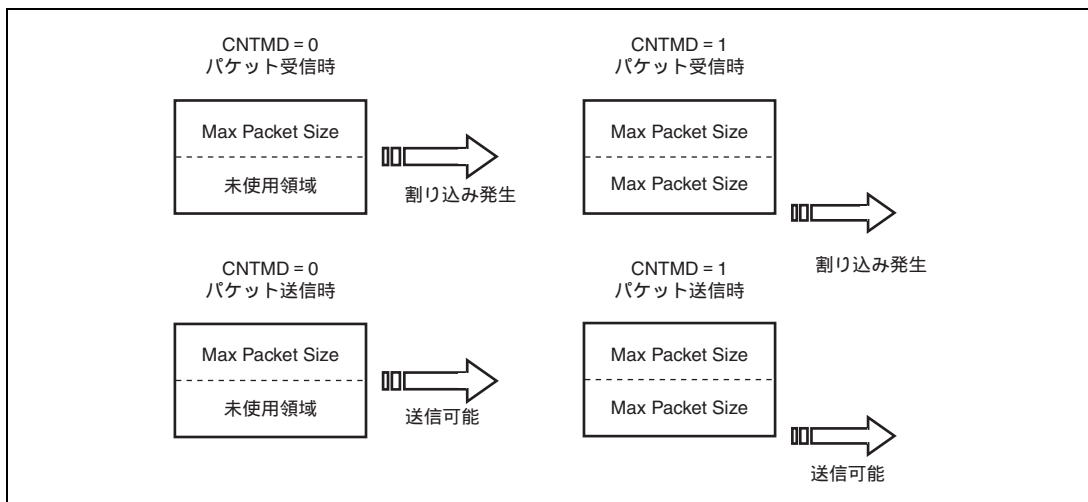


図 29.11 バッファメモリ動作例

(2) FIFO ポートの機能

表 29.23 に本モジュールの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、バッファフル(非連続転送時はマックスケットサイズ数)まで書き込みを行うと、自動的に送信可能状態となります。バッファフル(非連続転送時はマックスケットサイズ数)未満のデータを送信可能状態にするには、C/DnFIFOCTR レジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時(DTLN = 0)は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DnFIFOCTR レジスタの DTLN ビットにて確認します。

表 29.23 FIFO ポート機能設定表

レジスタ名	ビット名	機 能	備考
C/DnFIFOSEL	RCNT	DTLN 読み出しモード選択	
	REW	バッファメモリリワインド(再読み出し、再書き込み)	
	DCLRMR	指定パイプの受信データ読み出し後自動クリア	DnFIFO 専用
	DREQE	DMA 転送許可	DnFIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	BIGEND	FIFO ポートエンディアン選択	
	ISEL	FIFO ポートアクセス方向	DCP 専用
	CURPIPE	カレントパイプ選択	
C/DnFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU 側バッファメモリクリア	
	DTLN	受信データ長確認	

(a) FIFO ポート選択

表 29.24 に各 FIFO ポートで選択可能なパイプ表を示します。C/DnFIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE 値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、本コントローラがパイプ変更処理中である事を示します) FRDY = 1 を確認し FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG レジスタの DIR ビットに従います。ただし、DCP のみ ISEL ビットにより決定します。

表 29.24 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1~9	CPU アクセス	CFIFO ポートレジスタ
	DMA アクセス	D0FIFO/D1FIFO ポートレジスタ

(b) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、C/DnFIFOSEL レジスタの REW ビットを使用します。

C/DnFIFOSEL レジスタの CURPIPE ビット設定と同時に REW ビットを 1 に設定してパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポイントをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、0 に設定しパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポイントをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、FRDY = 1 を確認する必要があります。

(c) FIFO ポートへの端数データアクセス方法

FIFO ポートの読み出しにおいて、読み出すデータが FIFO ポート選択レジスタの MBW ビットで指定したビット幅よりも少ない場合、MBW ビットで指定したビット幅で読み出し、不要なデータをソフトウェアにて削除してください。

FIFO ポートの書き込みにおいて、書き込むデータが FIFO ポート選択レジスタの MBW ビットで指定したビット幅よりも少ない場合、下記例のようにアクセスしてください。例として、FIFO ポートアクセス幅を 32 ビット (MBW=10) に設定している際、24 ビットデータを書き込む方法を示します。

- 端数データ書き込み例1：16ビット幅で1回、8ビット幅で1回書き込む

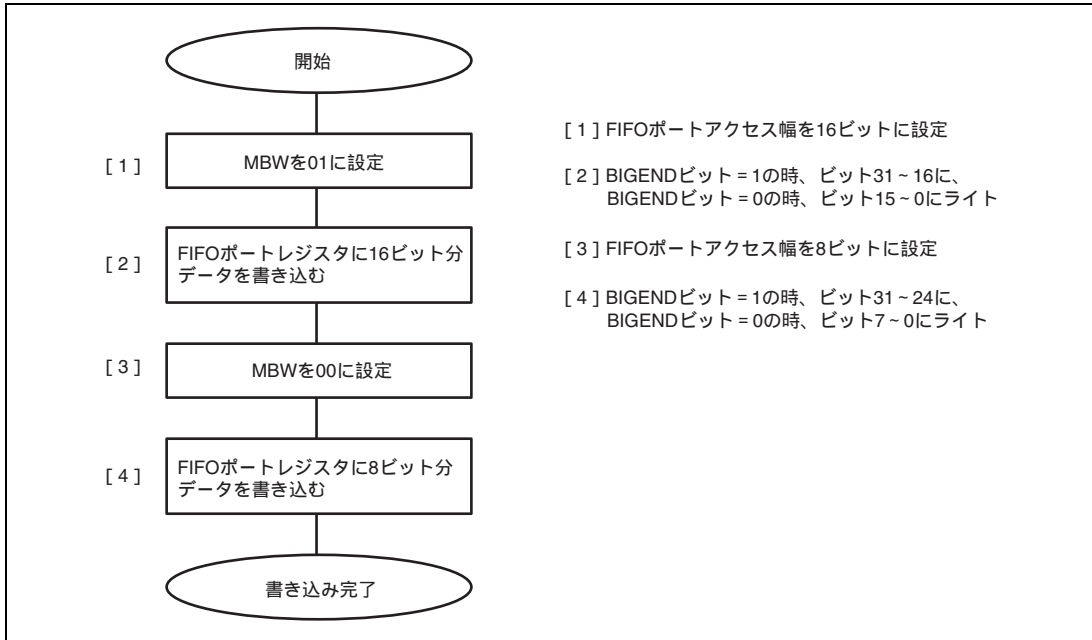


図 29.12 FIFO ポートへの端数データ書き込み例 1

- 端数データ書き込み例2：8ビット幅で3回書き込む

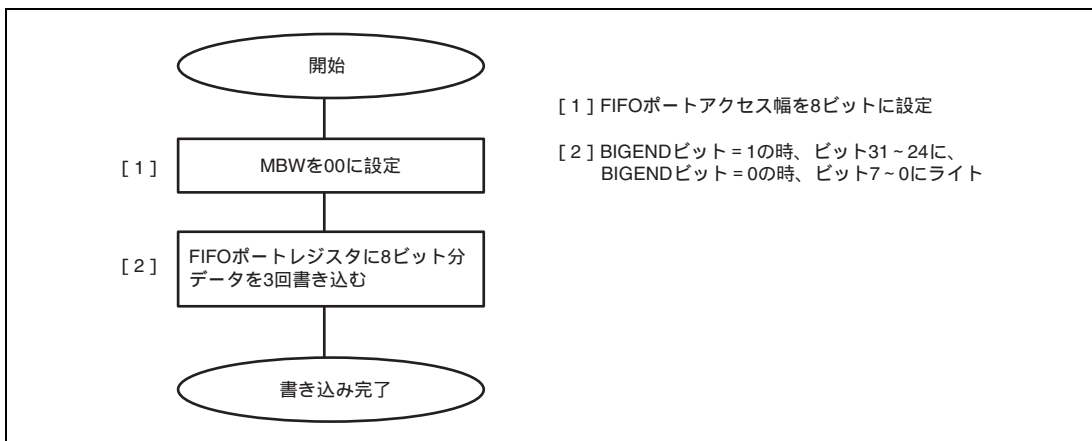


図 29.13 FIFO ポートへの端数データ書き込み例 2

(d) パイプが受信方向の場合における MBW ビット変更方法

指定パイプが受信方向の場合、FIFO ポート選択レジスタ (CFIFOSEL、DFIFOSEL、DIFIFOSEL) の MBW ビットは、CURPIPE の設定と同時に書き込みを行ってください。CFIFO レジスタで DCP 設定 (CURPIPE=000) の場合は、CURPIPE もしくは ISEL ビットの設定と同時に書き込みを行ってください。

現在設定中のパイプで MBW ビットのみを変更したい場合は下記手順で行ってください。ただし、いったんバッファメモリの読み出し処理を開始した場合は、すべてのデータ読み出しが完了するまで MBW ビットの変更は行わないでください。

選択 CURPIPE がバッファメモリ書き込み方向のときは、MBW のみの設定で変更可能です。

ただし、いったんバッファメモリの書き込み処理を開始した場合は、8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅への切り替えは行わないでください。

- DFIFO0、DFIFO1またはCFIFOのCURPIPEがDCP設定 (000) 以外のとき

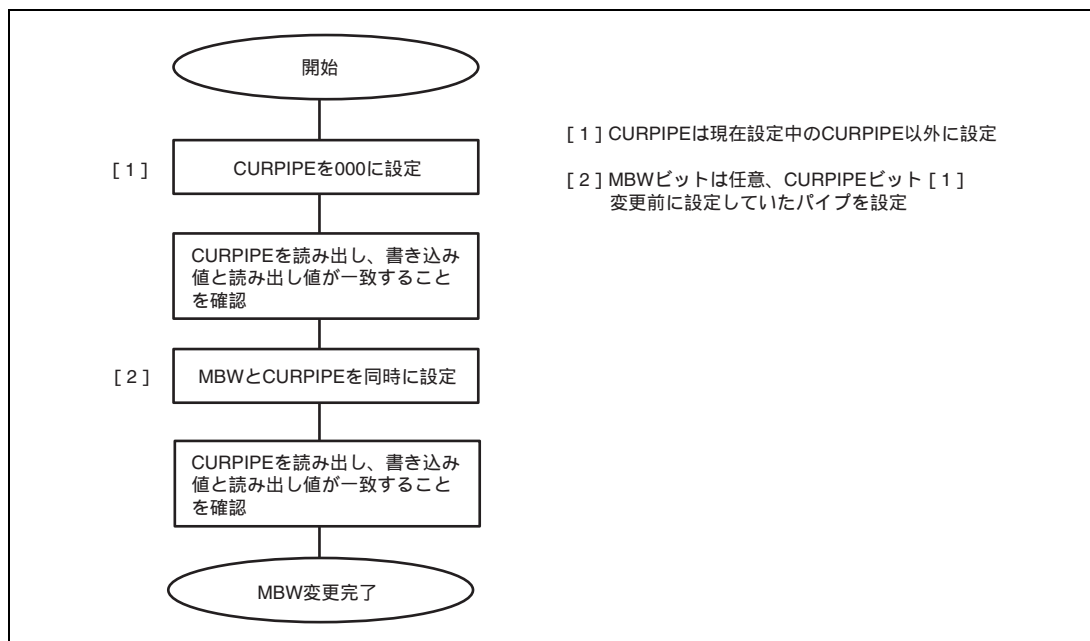


図 29.14 DFIFO0、DFIFO1 または CFIFO の CURPIPE が DCP 設定 (000) 以外のときの MBW 変更例

- CFIFOのCURPIPEがDCP設定 (000) のとき

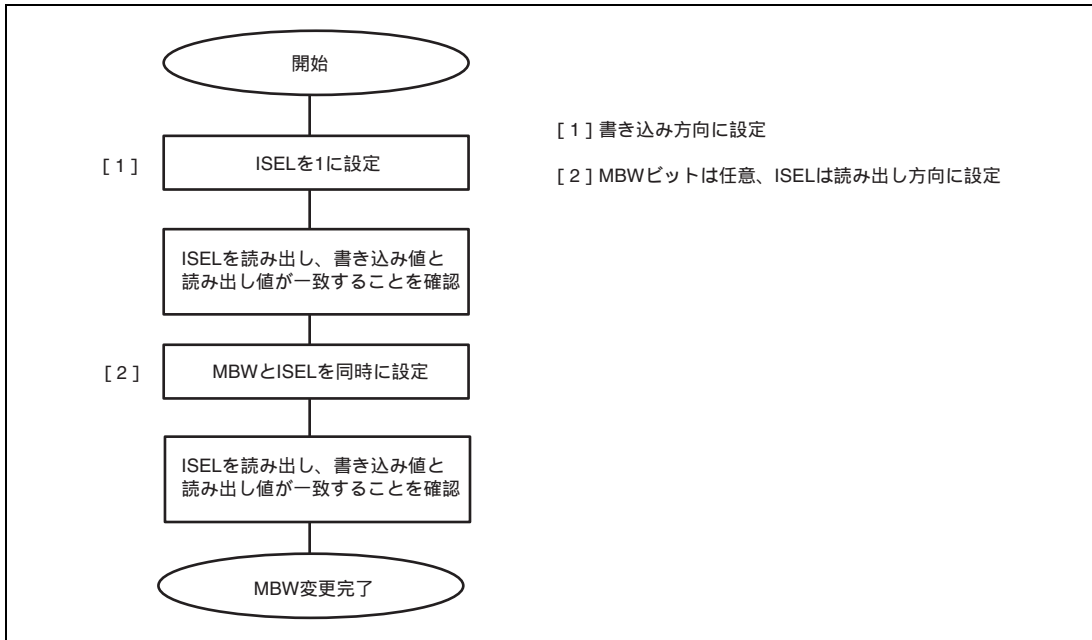


図 29.15 CURPIPE が DCP 設定 (000) 時の MBW 変更例

(3) DMA 転送 (D0FIFO/D1FIFO ポート)

(a) DMA 転送概要

パイプ 1~9 に対して、ダイレクトメモリアクセスコントローラによる FIFO ポートアクセスが可能です。DMA に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL レジスタの MBW ビットにて FIFO ポートへの転送単位を、CURPIPE ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(b) DMA 転送終了自動認識

本モジュールは、DMA 転送終了信号入力を制御することによって、DMA 転送による FIFO データ書き込みを終了させることが可能です。DMA 転送終了信号は、ダイレクトメモリアクセスコントローラの DMA トランスファカウンタ (DMATCR) に設定した回数分 DMA 転送を行うと、ダイレクトメモリアクセスコントローラから出力されます。転送終了信号をサンプリングすると、バッファメモリを送信可能状態 (BVAL = 1 を設定したのと同じ状態) にします。DMA 転送終了信号をサンプリングするか否かの設定を、DnFBCFG レジスタの TENDE ビットにて行うことができます。

なお、本機能は DMA の転送サイズを 16 バイトに設定した場合は使用できません。

(c) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

本モジュールは、DnFIFOSEL レジスタの DCLRM ビットに 1 を設定することで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 29.25 に各設定での、パケット受信とバッファメモリクリア処理の関連を示します。表 29.25 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DCLRM ビットを使用することでバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 29.25 パケット受信とバッファメモリクリア処理の関連表

レジスタ設定	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
パケット受信時のバッファ状態				
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

29.4.5 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 256 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

(1) ホストコントローラ機能選択時のコントロール転送

(a) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR レジスタの SUREQ ビットに 1 を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、0 にクリアされます。SUREQ=1 中は上記 USB リクエストレジスタを操作しないでください。セットアップトランザクションのデバイスアドレスは、DCPMAXP レジスタの DEVSEL ビットで指定します。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットおよび SACK ビット)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR レジスタの SQMON ビットの内容にかかわらず、常に DATA0 のデータパケット (USB リクエスト) が送信されます。

(b) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。また、DCPCFG レジスタの DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCTR レジスタの SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するように制御してください。

(c) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCTR レジスタの SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR レジスタの DTLN ビットで受信データ長を確認のうえ、BCLR ビットでバッファメモリクリアを行ってください。

(2) ファンクションコントローラ機能選択時のコントロール転送

(a) セットアップステージ

本モジュールは、本モジュールに対する正常なセットアップパケットに対して必ず ACK 応答します。セットアップステージの本モジュールの動作を以下に示します。

1. 新しいセットアップパケットを受信すると、本モジュールは以下のビットをセットします。
 - INTSTS0レジスタのVALIDビットを1にセット
 - DCPCTRレジスタのPIDビットをNAKにセット
 - DCPCTRレジスタのCCPLビットを0にセット
2. セットアップパケットに引き続きデータパケット受信すると、本モジュールは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、必ず VALID = 0 を設定後に行ってください。VALID = 1 状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本モジュールは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本モジュールは、受信した USB リクエストの方向ビット (bmRequestType のビット 8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違っただけのシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本モジュールのステージ管理については図 29.7 を参照してください。

(b) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

DCPCTR レジスタの PID ビットを BUF に設定することでトランザクションを実行します。

データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してください。

転送データが DCP バッファメモリのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

ハイスピード動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

(c) ステータスステージ

DCPCTR レジスタの PID ビットが PID = BUF の状態で、CCPL ビットに 1 を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本モジュールが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合
USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
本モジュールはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

(d) コントロール転送自動応答機能

本モジュールは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合は応答が必要です。

- bmRequestType H'00
- wIndex H'00
- wLength H'00
- wValue > H'7F
- DVSQ = 011 (Configured)

SET_ADDRESS 以外のすべてのリクエストには対応する応答が必要です。

29.4.6 バルク転送 (パイプ 1~5)

バルク転送は、バッファメモリ使用方法 (シングル / ダブルバッファ設定、または連続 / 非連続転送モード設定) の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態は本モジュールが管理し、PING パケット / NYET ハンドシェイクには自動応答します。

(1) ホストコントローラ機能選択時の PING パケット制御

OUT 方向の PING パケットの送信は、本モジュールにより自動的に送出されます。

以下に示すとおり初期状態が PING パケット送出状態で ACK ハンドシェイクを受信することにより OUT パケットを送出します。OUT トランザクションにおいて NAK または NYET を受信すると PING 送出状態に戻ります。

1. OUTデータ送信設定
2. PINGパケット送信
3. ACKハンドシェイク受信
4. OUTデータパケット送信
5. ACKハンドシェイク受信
(4.と5.を繰り返します。)
6. OUTデータパケット送信
7. NAK/NYETハンドシェイク受信
8. PINGパケット送信

また、本モジュールが PING パケットの送信に戻る要因は、パワーオンリセット、NYET/NAK ハンドシェイク受信、シーケンストグルビットのクリア (SQCLR)、バッファクリア (ACLRM) 設定です。

(2) ファンクションコントローラ機能選択時の NYET ハンドシェイク制御

表 29.26 にバルク転送およびコントロール転送における受信トークンに対する応答一覧表を示します。本モジュールは、バルク転送およびコントロール転送において、OUT トークン受信時にバッファメモリに 1 パケットの空き領域しかない場合に NYET 応答を行います。ただし、ショートパケット受信時は、この条件の場合でも NYET パケット応答をせずに ACK 応答となります。

表 29.26 受信トークンに対する応答一覧表

DCPCTR.PID ビット設定値	バッファメモリ の状態	トークン	応答	備 考
NAK/STALL	-	SETUP	ACK	-
	-	IN/OUT/PING	NAK/STALL	-
BUF	-	SETUP	ACK	-
	RCV-BRDY1	OUT/PING	ACK	OUT トークン受信時はデータパケットを受信
	RCV-BRDY2	OUT	NYET	データパケット受信、受信不能通知
	RCV-BRDY2	OUT (Short)	ACK	データパケット受信、受信可能通知
	RCV-BRDY2	PING	ACK	受信可能通知
	RCV-NRDY	OUT/PING	NAK	受信不能通知
	TRN-BRDY	IN	DATA0/1	データパケット送信
	TRN-NRDY	IN	NAK	送信不能通知

【記号説明】

RCV-BRDY1 : OUT/PING トークン受信時にバッファメモリに 2 パケット分以上の空き領域がある

RCV-BRDY2 : OUT トークン受信時にバッファメモリに 1 パケット分の空き領域しかない

RCV-NRDY : PING トークン受信時にバッファメモリに空き領域がない

TRN-BRDY : IN トークン受信時にバッファメモリに送信データがある

TRN-NRDY : IN トークン受信時にバッファメモリに送信データがない

29.4.7 インタラプト転送 (パイプ 6~9)

ファンクションコントローラ機能選択時、本モジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PING パケットは無視（無応答になる）します。また、NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。OUT 方向の転送であっても、PING トークンは発行せずに OUT トークンを発行します。

なお、本モジュールは、インタラプト転送の High-Bandwidth 転送には対応していません。

(1) ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI レジスタの IITV ビットに、トランザクションのインターバルを設定します。本コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(a) カウンタの初期化

本コントローラがインターバルカウンタを初期化する条件は以下のとおりです。

- パワーオンリセット：

IITV ビットが初期化されます。

- ACLRM によるバッファメモリ初期化

IITV ビットは初期化されませんがカウントは初期化されます。ACLRM ビットを 0 にすることにより、IITV の設定値を最初からカウントします。

なお以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USB バスリセット、USB サスペンド

IITV ビットは初期化されません。UACT ビットを 1 にすることにより、USB バスリセット、USB サスペンド状態とする前の値からカウントを開始します。

(b) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- IN 方向（受信）の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT 方向（送信）の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

29.4.8 アイソクロナス転送 (パイプ 1、2)

本モジュールは、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ (IITVビット指定)
- アイソクロナスIN転送データセットアップコントロール (IDLY機能)
- アイソクロナスIN転送バッファフラッシュ機能 (IFISビット指定)

本モジュールは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

ホストコントローラ機能選択時で、2パイプ同時にアイソクロナス転送として使用する場合には、Universal Serial Bus Revision 2.0 Specification「5.6.3 Isochronous Transfer Packet Size Constraints」に記載されているパケット制約を守ってください。

(1) アイソクロナス転送のエラー検出

本モジュールは、アイソクロナス転送のエラー発生を、ソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。表 29.27 および表 29.28 に本モジュールがエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

1. PIDエラー

- 受信パケットのPIDが不正な場合

2. CRCエラー、ビットスタッフィングエラー

- 受信パケットのCRCにエラーがあった場合またはビットスタッフィングが不正な場合

3. マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた

4. オーバラン、アンダランエラー

- ホストコントローラ機能選択時

IN方向 (受信) の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合

OUT方向 (送信) の転送時にトークンの送信タイミングにバッファメモリにデータがない場合

- ファンクションコントローラ機能選択時

IN方向 (送信) の転送時にINトークン受信時にバッファメモリにデータがない場合

OUT方向 (受信) の転送時にOUTトークン受信したがバッファメモリに空き領域がない場合

5. インターバルエラー

ファンクションコントローラ機能選択時に、以下の場合にインターバルエラーとします。

- アイソクロナスIN転送でインターバルフレームにINトークンを受信できなかった場合
- アイソクロナスOUT転送でインターバルフレーム以外にOUTトークンを受信した場合

表 29.27 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）。
2	CRC エラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）。
3	オーバラン、アンダランエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させ、OVRN ビットをセットします。ホストコントローラ機能選択時は、トークンを送信しません。ファンクションコントローラ機能選択時は、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY 割り込みを発生させます。ホストコントローラ機能選択時は発生しません。

表 29.28 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	割り込み発生せず（破損パケットとして無視）。
2	CRC エラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させて、CRCE ビットをセットします。
3	マックスパケットサイズオーバーエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、BEMP 割り込みを発生させて、PID を STALL にセットします。

(2) DATA-PID

本モジュールは、High-Bandwidth 転送には対応していません。ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

1. IN方向

- DATA0：データパケットのPIDとして送信します。
- DATA1：送信しません。
- DATA2：送信しません。
- mData：送信しません。

2. OUT方向（フルスピード動作時）

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：パケットを無視します。
- mData：パケットを無視します。

3. OUT方向（ハイスピード動作時）

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：データパケットのPIDとして正常受信します。
- mData：データパケットのPIDとして正常受信します。

(3) インターバルカウンタ

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 29.29 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表 29.29 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナス IN 転送でインターバルフレームに IN トークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレームに OUT トークンを正常受信できない。

インターバルのカウンタは、SOF の受信または補間された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームまたは $2^{IITV} \mu$ フレームです。

(a) ファンクションコントローラ機能選択時でのインターバルカウンタの初期化

本モジュールは、下記の条件でインターバルカウンタを初期化します。

- パワーオンリセット
IITVビットが初期化されます。
- ACLRMによるバッファメモリ初期化
IITVビットは初期化されませんがカウントは初期化されます。
- USBバスリセット

インターバルカウンタが初期化された後は、正常に packets を転送したあとに、下記 1. または 2. の条件でインターバルのカウントを開始します。

1. PID = BUF 状態で IN トークンに対して、データを送信後の SOF 受信
2. PID = BUF 状態で OUT トークンのデータを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

1. PID ビットを NAK または STALL に設定した場合
インターバルタイムは停止しません。次のインターバルにトランザクションの実行を試みます。
2. USBバスリセットおよびUSBサスペンド
IITVビットは初期化されません。SOFを受信すると、受信前の値からカウントを開始します。

(b) ホストコントローラ機能選択時のインターバルカウンタと転送制御

IITV ビットの設定値に従って本モジュールはトークン発行間隔を制御します。本モジュールは 2^{IITV} 回の (マイクロ) フレームに 1 回の間隔で選択パイプに対するトークンを発行します。

本モジュールは、ハイスピード HUB に接続されたフルスピード/ロースピードの周辺デバイスとの通信に使用するパイプに対しては、1ms フレームでインターバルをカウントします。

本モジュールは、PID ビットを BUF に設定した次の (マイクロ) フレームからトークン発行間隔のカウントを開始します。

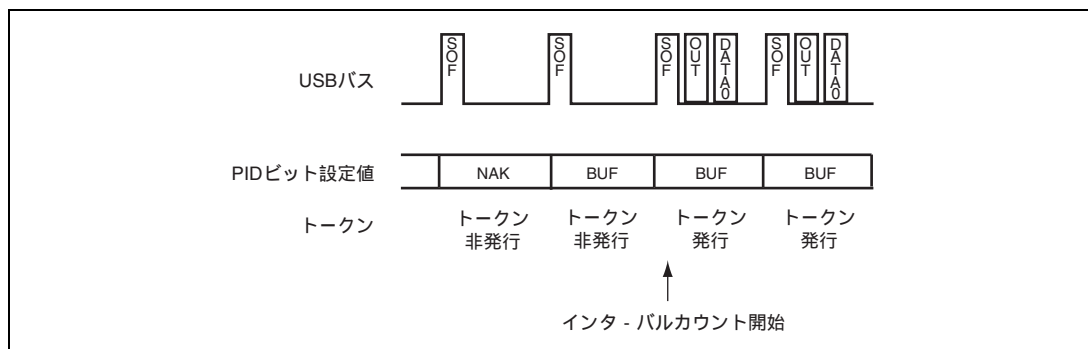


図 29.16 IITV = 0 の場合のトークン発行有無

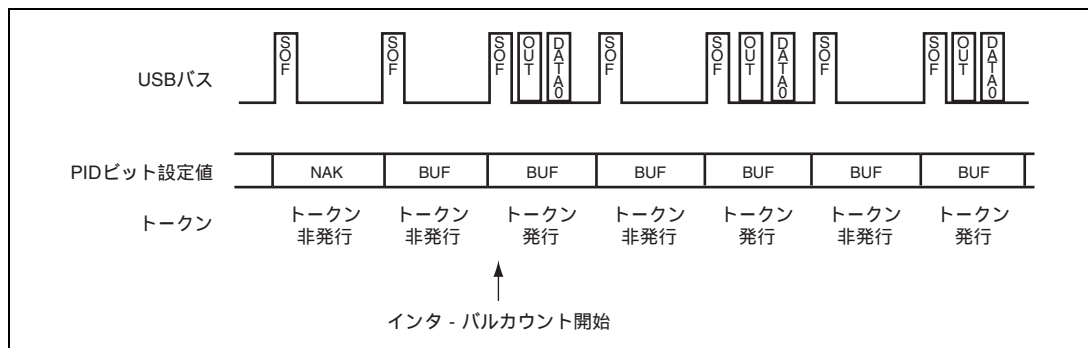


図 29.17 IITV = 1 の場合のトークン発行有無

選択パイプの転送タイプがアイソクロナスの場合には、本モジュールはトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも本モジュールはトークンを発行します。

1. 選択パイプがアイソクロナスIN転送パイプの場合

INトークンを発行し、周辺デバイスから正常にパケットを受信しなかった場合（無応答やパケットエラー等の場合）に、NRDY割り込みを発生させます。

FIFOバッファからデータを読み出すのが遅いなどの原因で）FIFOバッファがフルのために、本モジュールがデータを受信できない状態で、INトークン発行タイミングに至った場合、本モジュールはOVRNビットに1を表示し、NRDY割り込みを発生させます。

2. 選択パイプがアイソクロナスOUT転送パイプの場合

FIFOバッファにデータを書き込むのが遅いなどの原因で）送信可能なデータがFIFOバッファにない状態でOUTトークン発行タイミングに至った場合、本モジュールはOVRNビットに1を表示し、NRDY割り込みを発生させ、Zero-Lengthパケットを送信します。

トークン発行間隔のリセット条件は、パワーオンリセットおよびACLRM = 1に設定したときです。

(c) ファンクションコントローラ機能選択時のインターバルカウントと転送制御

1. 選択パイプがアイソクロナスOUT転送パイプの場合

IITVビットに設定したインターバルごとの（マイクロ）フレーム中にDATAパケットを受信しなかったとき、本コントローラはNRDY割り込みを発生させます。

DATAパケットにCRCエラー等のエラーが発生したために受信できなかったとき、またはFIFOバッファがフルのために本モジュールがデータを受信できなかったときにもNRDY割り込みを発生させます。

NRDY割り込みの発生のタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングに割り込みを発生させます。

ただしIITV = 0以外のときには、インターバルカウント開始後のインターバルごとのSOFパケット受信時にNRDY割り込みを発生させます。

インターバルタイマ起動後、PIDビットにNAKを設定した場合、本モジュールはSOFパケットを受信しても

NRDY割り込みを発生させません。

インターバルのカウンタ開始条件は、IITVビットの設定値により異なります。

- IITV = 0 のとき：選択パイプのPIDビットをBUFに変更した次の（マイクロ）フレームからインターバルのカウンタを開始します。

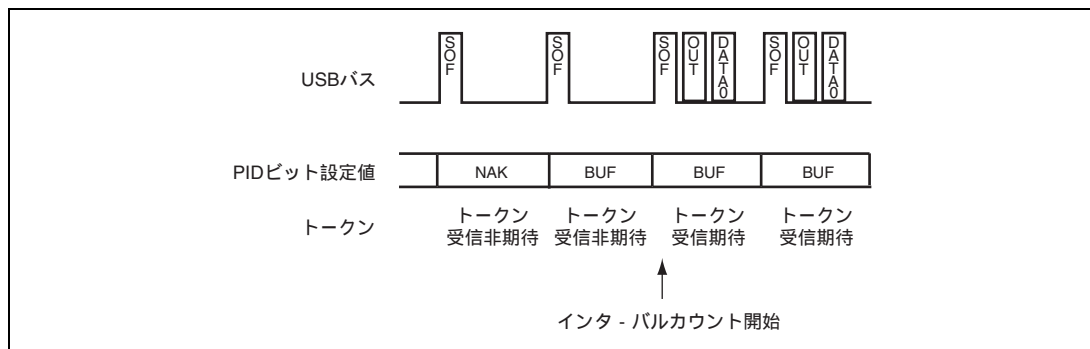


図 29.18 IITV = 0 の場合の（マイクロ）フレームとトークン受信期待有無の関係

- IITV = 0 以外のとき：選択パイプのPIDビットをBUFに変更した後最初のDATAパケット正常受信完了時点からインターバルのカウンタを開始します。

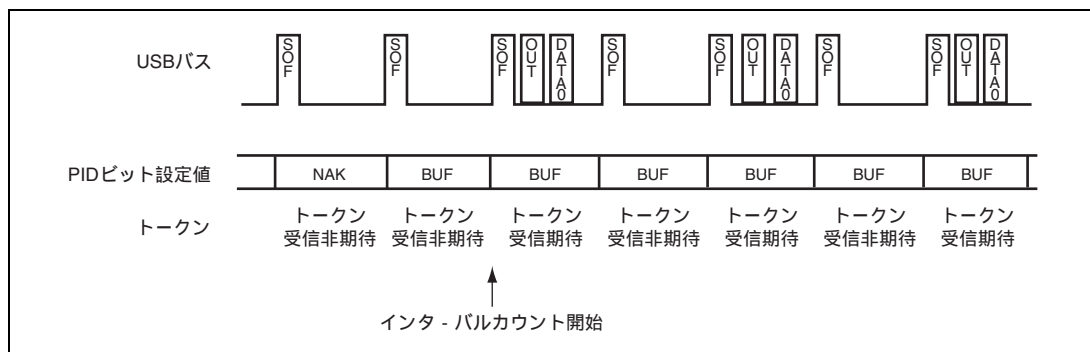


図 29.19 IITV = 1 の場合の（マイクロ）フレームとトークン受信期待有無の関係

2. 選択パイプがアイソクロナスIN転送パイプの場合

IFIS = 1 と組み合わせて使用します。IFIS = 0 の場合にはIITVビットへの設定値とは関係なく、受信したトークンにตอบสนองしてデータパケットを送信します。

IFIS = 1 を設定している場合、FIFOバッファに送信可能なデータが存在している状態で、IITVビットに設定したインターバルごとの（マイクロ）フレーム中にINトークンを受信しなかったとき、本モジュールはFIFOバッファをクリアします。

INトークンにCRCエラー等のバスエラーが発生したために本モジュールが正常受信できなかった場合にもクリアを行います。

FIFOバッファクリアのタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングにFIFOバッファクリアを行います。

インターバルのカウンタ開始条件は、IITVビットの設定値により異なります。(OUT時と同様です)

ファンクションコントローラ機能選択時のインターバルカウンタのクリア条件は以下のいずれかの場合です。

- パワーオンリセット
- ACLRM = 1を設定した場合
- 本モジュールがUSBバスリセットを検出した場合

(4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、本モジュールのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOFパケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数のINトークンを受信しても、送出されるバッファメモリはただ1パケット分となります。

INトークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Lengthパケットを送出しアンダランエラーとなります。

図 29.20 に本モジュールで、IITV = 0 (毎フレーム) を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

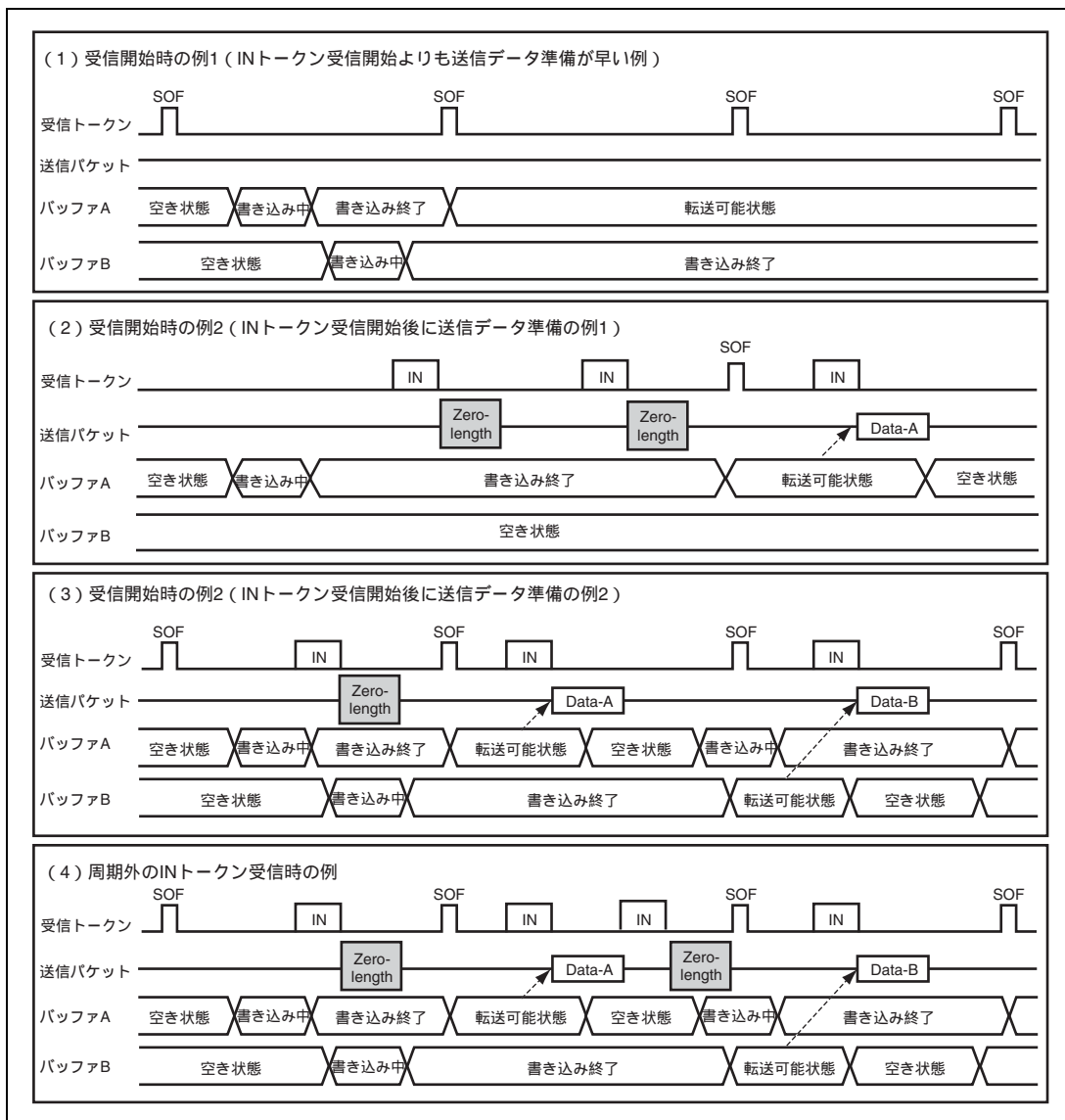


図 29.20 データセットアップ機能動作例

(5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、本モジュールは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの SOF または μ SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF または μ SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

- IITV = 0 の場合

パイプが有効となった次のフレームからバッファフラッシュ動作します。

- IITV = 0 以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図 29.21 に本モジュールのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダランエラーとして Zero-Length パケットを送出します。

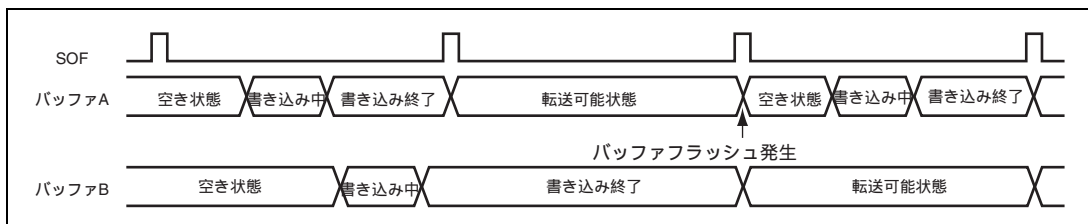


図 29.21 バッファフラッシュ機能動作例

図 29.22 に本モジュールのインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバーランエラーとの区別は OVRN ビットで判定してください。図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

1. IN方向

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であればZero-Lengthパケット送信しアンダランエラー

2. OUT方向

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバーランエラー

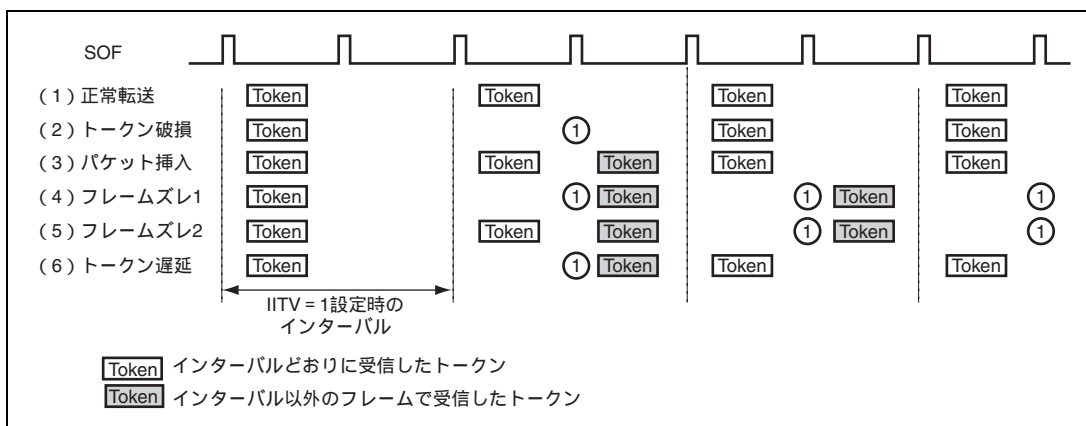


図 29.22 IITV = 1 のときのインターバルエラー発生例

29.4.9 SOF 補間機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1ms (フルスピード動作時) または 125 μ s (ハイスピード動作時) 間隔で SOF パケットを受信できなかった場合に、本モジュールは SOF を補間します。SOF 補間動作の開始は SYSCFG レジスタの USBE ビット = 1、SYSCFG レジスタの SCKE ビット = 1 かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオンリセット
- USBバスリセット
- サスペンド検出

また、SOF 補間は次の仕様で動作します。

- フレーム間隔 (125 μ s または 1ms) はリセットハンドシェイクプロトコルの結果に従う。
- SOFパケット受信までは補間機能は動作しない。
- 最初のSOFパケット受信後は内部クロック48MHzで125 μ s または 1ms をカウントし補間する。
- 2回目以降のSOFパケットを受信後は前回の受信間隔を用いて補間する。
- サスペンド時およびUSBバスリセット受信中は補間しない。

(ハイスピード時のサスペンド移行では最終パケットから3msの間は補間を継続します)

本モジュールは、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補間を行うため、正常動作を継続させることができます。

- フレーム番号およびマイクロフレーム番号の更新
- SOFR 割り込みおよび μ SOF ロック
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。ハイスピード動作時に μ SOF パケットが欠落した場合には、UFRMNUM レジスタの UFRNM ビットが更新されます。ただし、UFRNM = 000 の μ SOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する UFRNM = 000 以外の μ SOF パケットが正常に受信されても FRNM ビットは更新されません。

29.4.10 パイプスケジュール

(1) トランザクション発行条件

本モジュールは、ホストコントローラ機能選択時、UACT=1 を設定したあと、表 29.30 に示す条件でトランザクションを発行します。

表 29.30 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファの状態	SUREQ
セットアップ	- * ¹	- * ¹	- * ¹	- * ¹	1 設定
コントロール転送のデータステージ、 ステータスステージ、 バルク転送	IN	BUF	無効	受信領域あり	- * ¹
	OUT	BUF	無効	送信データあり	- * ¹
インタラプト転送	IN	BUF	有効	受信領域あり	- * ¹
	OUT	BUF	有効	送信データあり	- * ¹
アイソクロナス転送	IN	BUF	有効	* ²	- * ¹
	OUT	BUF	有効	* ³	- * ¹

【注】 *¹ 表中の「-」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。

*² 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

*³ 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

(2) 転送スケジュール

本モジュールのフレーム内の転送スケジューリング方法について説明します。本モジュールは、SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行

パイプ1 パイプ2 パイプ6 パイプ7 パイプ8 パイプ9の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。

2. コントロール転送のセットアップトランザクション

DCPを確認してセットアップトランザクションが可能であれば送信します。

3. バルク、コントロール転送データステージ、ステータスステージの実行

DCP パイプ1 パイプ2 パイプ3 パイプ4 パイプ5の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。

トランザクションを発行したとき、周辺デバイスからの応答がACKであってもNAKであっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3.を繰り返します。

(3) USB 通信許可

DVSTCTR レジスタの UACT ビットを 1 に設定することにより、SOF または μ SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを 0 に設定すると、SOF または μ SOF の送信を停止しサスペンドとなります。UACT ビットを 1 に設定する場合、次の SOF または μ SOF を送信してから停止します。

29.5 使用上の注意

29.5.1 USB トランシーバ部電源

- 電源USBAVcc、USBDVcc*、USBUVcc*はVccと同電位にしてください。
- 電源USBAPVcc、USBDPVcc*はPVccと同電位にしてください。
- グランドUSBAVss*、USBDVss*、USBUVss*、USBAPVss*、USBDPVss*は、Vssと同電位にしてください。
- アナログ電源 (USBAVcc、USBAVss*、USBAPVcc、USBAPVss*) はデジタル電源と分離してください。

【注】 * SH7269 (BGA) には存在しません。

30. デジタルビデオデコーダ

30.1 特長

デジタルビデオデコーダは、映像信号入力用 A/D 変換器、同期分離回路、Burst Controlled Oscillator (BCO)、2D 適応型 Y/C 分離回路、クロマデコード回路、デジタルクランプ回路および出力調整回路から構成されています。表 30.1 にデジタルビデオデコーダの機能を示します。

表 30.1 デジタルビデオデコーダ機能

項目	機能
入力信号	<ul style="list-style-type: none">映像信号複合映像信号 (CVBS)
機能概要	<ul style="list-style-type: none">映像信号入力用 A/D 変換器 VIN1、VIN2 端子の入力選択 シンクチップクランプ内蔵 Programmable Gain Amp (PGA) 内蔵 (1.835dB ~ 8.023dB) 10ビット精度パイプライン方式 A/D 変換器内蔵同期分離 ノイズ除去 LPF、自動レベル制御同期スライサ、水平 Auto Frequency Control (AFC)、垂直カウントダウン、インタレース判定、Auto Gain Control (AGC) / ピークリミッタ制御Burst Controlled Oscillator (BCO) 色副搬送波再生、カラーシステム判定 (詳細は表 30.3 を参照)Y/C 分離 (詳細は表 30.2 を参照) NTSC 2D、PAL 2D、SECAM 1D 対応クロマデコード NTSC、PAL、SECAM 対応 カラーキラー、Auto Color Control (ACC)、TINT 補正、R-Y 軸補正デジタルクランプ ベDESTAL クランプ (Y)、センタークランプ (Cb/Cr)、ノイズ検出出力調整 コントラスト調整 : 0 ~ 約 2[倍] カラー調整 (Cb/Cr 独立) : 0 ~ 約 2[倍]

表 30.2 Y/C 分離動作対応表

	Y/C分離動作
NTSC-3.58	2次元適応
NTSC-4.43	2次元適応
PAL-M	2次元適応
PAL-N	2次元適応
PAL-4.43	2次元適応
SECAM	1次元

表 30.3 カラーシステム判定表

COLORSYS[1:0]	FSCMODE	FVMODE	判別結果
0 : NTSC	0 : 3.58MHz	don't care	NTSC-M
0 : NTSC	1 : 4.43MHz	don't care	NTSC-4.43
1 : PAL	0 : 3.58MHz	0 : 50Hz	PAL-N
1 : PAL	0 : 3.58MHz	1 : 60Hz	PAL-M
1 : PAL	1 : 4.43MHz	0 : 50Hz	PAL-B、H、I、G、D
1 : PAL	1 : 4.43MHz	1 : 60Hz	PAL-60
2 : SECAM	-	-	SECAM
3 : unknown	-	-	判別不能

30.2 ブロック図

本モジュールの全体ブロック図を示します。

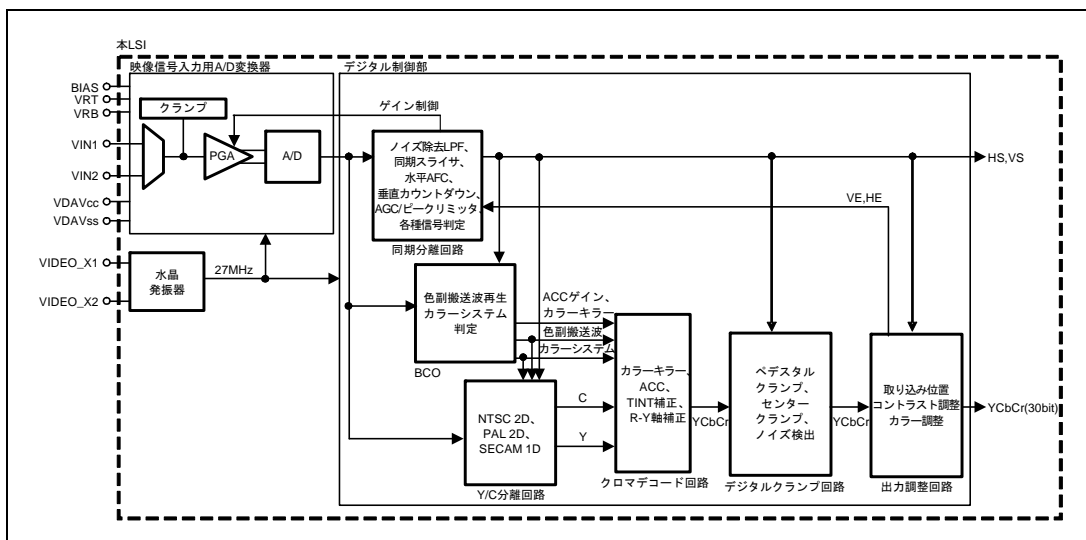


図 30.1 ブロック図

30.3 入出力端子

表 30.4 に端子構成を示します。

表 30.4 端子構成

区分	名称	端子名	入出力	機能
信号	複合映像信号入力	VIN1	入力	複合映像信号 (CVBS) の入力端子1です。
		VIN2	入力	複合映像信号 (CVBS) の入力端子2です。
クロック	水晶発振子 / 外部クロック	VIDEO_X1	入力	デジタルビデオデコーダ用水晶発振子を接続します。また VIDEO_X1端子は外部クロックを入力することもできます。
		VIDEO_X2	出力	
基準電圧	TOP基準電圧	VRT	出力	映像信号入力用A/D変換器用TOP基準電圧端子です。 0.1 μFのコンデンサを介してVDAVssに接続してください。
	BOTTOM基準電圧	VRB	出力	映像信号入力用A/D変換器用BOTTOM基準電圧端子です。 0.1 μFのコンデンサを介してVDAVssに接続してください。
	リファレンス電圧	BIAS	入力	映像信号入力用A/D変換器用リファレンス電圧端子です。 24kΩ ± 1%抵抗を介してVDAVssに接続してください。
電源	アナログ電源	VDAVcc	入力	映像信号入力用A/D変換器の電源端子です。
	アナロググランド	VDAVss	入力	映像信号入力用A/D変換器のグランド端子です。

30.4 レジスタの説明

表 30.5 にレジスタ構成を示します。

表 30.5 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセス サイズ
ADC制御レジスタ1	ADCCR1	R/W	H'FFFFFFA008	16
タイミング生成制御レジスタ(1)	TGCR1	R/W	H'FFFFFFA00E	16
タイミング生成制御レジスタ(2)	TGCR2	R/W	H'FFFFFFA010	16
タイミング生成制御レジスタ(3)	TGCR3	R/W	H'FFFFFFA012	16
同期分離制御レジスタ(1)	SYNSCR1	R/W	H'FFFFFFA01A	16
同期分離制御レジスタ(2)	SYNSCR2	R/W	H'FFFFFFA01C	16
同期分離制御レジスタ(3)	SYNSCR3	R/W	H'FFFFFFA01E	16
同期分離制御レジスタ(4)	SYNSCR4	R/W	H'FFFFFFA020	16
同期分離制御レジスタ(5)	SYNSCR5	R/W	H'FFFFFFA022	16
水平AFC制御レジスタ(1)	HAFCCR1	R/W	H'FFFFFFA024	16
水平AFC制御レジスタ(2)	HAFCCR2	R/W	H'FFFFFFA026	16
水平AFC制御レジスタ(3)	HAFCCR3	R/W	H'FFFFFFA028	16
垂直カウントダウン制御レジスタ(1)	VCDWCR1	R/W	H'FFFFFFA02A	16
デジタルクランプ制御レジスタ(1)	DCPCR1	R/W	H'FFFFFFA030	16
デジタルクランプ制御レジスタ(2)	DCPCR2	R/W	H'FFFFFFA032	16
デジタルクランプ制御レジスタ(3)	DCPCR3	R/W	H'FFFFFFA034	16
デジタルクランプ制御レジスタ(4)	DCPCR4	R/W	H'FFFFFFA036	16
デジタルクランプ制御レジスタ(5)	DCPCR5	R/W	H'FFFFFFA038	16
デジタルクランプ制御レジスタ(6)	DCPCR6	R/W	H'FFFFFFA03A	16
デジタルクランプ制御レジスタ(7)	DCPCR7	R/W	H'FFFFFFA03C	16
デジタルクランプ制御レジスタ(8)	DCPCR8	R/W	H'FFFFFFA03E	16
ノイズ検出制御レジスタ	NSDCR	R/W	H'FFFFFFA040	16
バーストロック制御、クロマデコード制御レジスタ	BTLCR	R/W	H'FFFFFFA042	16
バーストゲートパルス制御レジスタ	BTGPCR	R/W	H'FFFFFFA044	16
ACC制御レジスタ(1)	ACCCR1	R/W	H'FFFFFFA046	16
ACC制御レジスタ(2)	ACCCR2	R/W	H'FFFFFFA048	16
ACC制御レジスタ(3)	ACCCR3	R/W	H'FFFFFFA04A	16
TINT制御レジスタ	TINTCR	R/W	H'FFFFFFA04C	16
Y/C遅延制御、クロマデコード制御レジスタ	YCDCR	R/W	H'FFFFFFA04E	16
AGC制御レジスタ(1)	AGCCR1	R/W	H'FFFFFFA050	16
AGC制御レジスタ(2)	AGCCR2	R/W	H'FFFFFFA052	16
ピークリミッタ制御レジスタ	PKLIMITCR	R/W	H'FFFFFFA054	16
レンジオーバ制御レジスタ(1)	RGORCR1	R/W	H'FFFFFFA056	16

レジスタ名	略称	R/W	アドレス	アクセス サイズ
レンジオーバー制御レジスタ (2)	RGORCR2	R/W	H'FFFFFFA058	16
レンジオーバー制御レジスタ (3)	RGORCR3	R/W	H'FFFFFFA05A	16
レンジオーバー制御レジスタ (4)	RGORCR4	R/W	H'FFFFFFA05C	16
レンジオーバー制御レジスタ (5)	RGORCR5	R/W	H'FFFFFFA05E	16
レンジオーバー制御レジスタ (6)	RGORCR6	R/W	H'FFFFFFA060	16
レンジオーバー制御レジスタ (7)	RGORCR7	R/W	H'FFFFFFA062	16
水平AFC位相比較器のフィードバック量調整レジスタ	AFCPFCR	R/W	H'FFFFFFA07C	16
レジスタ更新制御レジスタ	RUPDCR	R/W	H'FFFFFFA07E	16
同期分離ステータス、垂直周期リードレジスタ	VSYNCSR	R	H'FFFFFFA080	16
水平周期リードレジスタ	HSYNCSR	R	H'FFFFFFA082	16
デジタルクランプリードレジスタ (1)	DCPSR1	R	H'FFFFFFA084	16
デジタルクランプリードレジスタ (2)	DCPSR2	R	H'FFFFFFA086	16
ノイズ検出リードレジスタ	NSDSR	R	H'FFFFFFA08C	16
クロマデコードリードレジスタ (1)	CROMASR1	R	H'FFFFFFA08E	16
クロマデコードリードレジスタ (2)	CROMASR2	R	H'FFFFFFA090	16
同期分離リードレジスタ	SYNCSR	R	H'FFFFFFA092	16
AGC制御リードレジスタ (1)	AGCCSR1	R	H'FFFFFFA094	16
AGC制御リードレジスタ (2)	AGCCSR2	R	H'FFFFFFA096	16
Y/C分離制御レジスタ (3)	YCSCR3	R/W	H'FFFFFFA104	16
Y/C分離制御レジスタ (4)	YCSCR4	R/W	H'FFFFFFA106	16
Y/C分離制御レジスタ (5)	YCSCR5	R/W	H'FFFFFFA108	16
Y/C分離制御レジスタ (6)	YCSCR6	R/W	H'FFFFFFA10A	16
Y/C分離制御レジスタ (7)	YCSCR7	R/W	H'FFFFFFA10C	16
Y/C分離制御レジスタ (8)	YCSCR8	R/W	H'FFFFFFA10E	16
Y/C分離制御レジスタ (9)	YCSCR9	R/W	H'FFFFFFA110	16
Y/C分離制御レジスタ (11)	YCSCR11	R/W	H'FFFFFFA114	16
Y/C分離制御レジスタ (12)	YCSCR12	R/W	H'FFFFFFA116	16
デジタルクランプ制御レジスタ (9)	DCPCR9	R/W	H'FFFFFFA180	16
Y/C分離用クロマフィルタタップ係数 (WA_F0) レジスタ	YCTWA_F0	R/W	H'FFFFFFA192	16
Y/C分離用クロマフィルタタップ係数 (WA_F1) レジスタ	YCTWA_F1	R/W	H'FFFFFFA194	16
Y/C分離用クロマフィルタタップ係数 (WA_F2) レジスタ	YCTWA_F2	R/W	H'FFFFFFA196	16
Y/C分離用クロマフィルタタップ係数 (WA_F3) レジスタ	YCTWA_F3	R/W	H'FFFFFFA198	16
Y/C分離用クロマフィルタタップ係数 (WA_F4) レジスタ	YCTWA_F4	R/W	H'FFFFFFA19A	16
Y/C分離用クロマフィルタタップ係数 (WA_F5) レジスタ	YCTWA_F5	R/W	H'FFFFFFA19C	16
Y/C分離用クロマフィルタタップ係数 (WA_F6) レジスタ	YCTWA_F6	R/W	H'FFFFFFA19E	16
Y/C分離用クロマフィルタタップ係数 (WA_F7) レジスタ	YCTWA_F7	R/W	H'FFFFFFA1A0	16
Y/C分離用クロマフィルタタップ係数 (WA_F8) レジスタ	YCTWA_F8	R/W	H'FFFFFFA1A2	16

レジスタ名	略称	R/W	アドレス	アクセス サイズ
Y/C分離用クロマフィルタタップ係数 (WB_F0) レジスタ	YCTWB_F0	R/W	H'FFFFFFA1A4	16
Y/C分離用クロマフィルタタップ係数 (WB_F1) レジスタ	YCTWB_F1	R/W	H'FFFFFFA1A6	16
Y/C分離用クロマフィルタタップ係数 (WB_F2) レジスタ	YCTWB_F2	R/W	H'FFFFFFA1A8	16
Y/C分離用クロマフィルタタップ係数 (WB_F3) レジスタ	YCTWB_F3	R/W	H'FFFFFFA1AA	16
Y/C分離用クロマフィルタタップ係数 (WB_F4) レジスタ	YCTWB_F4	R/W	H'FFFFFFA1AC	16
Y/C分離用クロマフィルタタップ係数 (WB_F5) レジスタ	YCTWB_F5	R/W	H'FFFFFFA1AE	16
Y/C分離用クロマフィルタタップ係数 (WB_F6) レジスタ	YCTWB_F6	R/W	H'FFFFFFA1B0	16
Y/C分離用クロマフィルタタップ係数 (WB_F7) レジスタ	YCTWB_F7	R/W	H'FFFFFFA1B2	16
Y/C分離用クロマフィルタタップ係数 (WB_F8) レジスタ	YCTWB_F8	R/W	H'FFFFFFA1B4	16
Y/C分離用クロマフィルタタップ係数 (NA_F0) レジスタ	YCTNA_F0	R/W	H'FFFFFFA1B6	16
Y/C分離用クロマフィルタタップ係数 (NA_F1) レジスタ	YCTNA_F1	R/W	H'FFFFFFA1B8	16
Y/C分離用クロマフィルタタップ係数 (NA_F2) レジスタ	YCTNA_F2	R/W	H'FFFFFFA1BA	16
Y/C分離用クロマフィルタタップ係数 (NA_F3) レジスタ	YCTNA_F3	R/W	H'FFFFFFA1BC	16
Y/C分離用クロマフィルタタップ係数 (NA_F4) レジスタ	YCTNA_F4	R/W	H'FFFFFFA1BE	16
Y/C分離用クロマフィルタタップ係数 (NA_F5) レジスタ	YCTNA_F5	R/W	H'FFFFFFA1C0	16
Y/C分離用クロマフィルタタップ係数 (NA_F6) レジスタ	YCTNA_F6	R/W	H'FFFFFFA1C2	16
Y/C分離用クロマフィルタタップ係数 (NA_F7) レジスタ	YCTNA_F7	R/W	H'FFFFFFA1C4	16
Y/C分離用クロマフィルタタップ係数 (NA_F8) レジスタ	YCTNA_F8	R/W	H'FFFFFFA1C6	16
Y/C分離用クロマフィルタタップ係数 (NB_F0) レジスタ	YCTNB_F0	R/W	H'FFFFFFA1C8	16
Y/C分離用クロマフィルタタップ係数 (NB_F1) レジスタ	YCTNB_F1	R/W	H'FFFFFFA1CA	16
Y/C分離用クロマフィルタタップ係数 (NB_F2) レジスタ	YCTNB_F2	R/W	H'FFFFFFA1CC	16
Y/C分離用クロマフィルタタップ係数 (NB_F3) レジスタ	YCTNB_F3	R/W	H'FFFFFFA1CE	16
Y/C分離用クロマフィルタタップ係数 (NB_F4) レジスタ	YCTNB_F4	R/W	H'FFFFFFA1D0	16
Y/C分離用クロマフィルタタップ係数 (NB_F5) レジスタ	YCTNB_F5	R/W	H'FFFFFFA1D2	16
Y/C分離用クロマフィルタタップ係数 (NB_F6) レジスタ	YCTNB_F6	R/W	H'FFFFFFA1D4	16
Y/C分離用クロマフィルタタップ係数 (NB_F7) レジスタ	YCTNB_F7	R/W	H'FFFFFFA1D6	16
Y/C分離用クロマフィルタタップ係数 (NB_F8) レジスタ	YCTNB_F8	R/W	H'FFFFFFA1D8	16
輝度 (Y) 信号ゲイン調整制御レジスタ	YGAINCR	R/W	H'FFFFFFA200	16
色差 (Cb) 信号ゲイン調整制御レジスタ	CBGAINCR	R/W	H'FFFFFFA202	16
色差 (Cr) 信号ゲイン調整制御レジスタ	CRGAINCR	R/W	H'FFFFFFA204	16
PGA部レジスタ更新制御	PGA_UPDATE	R/W	H'FFFFFFA280	16
PGA制御レジスタ	PGACR	R/W	H'FFFFFFA282	16
ADC制御レジスタ2	ADCCR2	R/W	H'FFFFFFA284	16

30.4.1 ADC 制御レジスタ 1 (ADCCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	AGC MODE	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	AGCMODE	0	R/W	A/DコンバータAGCオン/オフ制御 0: AGCオフ 1: AGCオン
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(1) AGC 制御

AGCMODE にて AGC の ON/OFF を制御します。AGCMODE='1'設定にて、同期振幅、映像のピーク振幅の検出から、PGA のゲインをコントロールすることで AGC 動作を行います。

PGACR.PGA_GAIN_SEL='1'にて、PGACR.PGA_GAIN 値で PGA のゲインを直接制御することができます。この際、AGCMODE は無効になります。

また、AGCMODE='0'、PGACR.PGA_GAIN_SEL='0'の設定は禁止です。

30.4.2 タイミング生成制御レジスタ (1) (TGCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SRCLEFT[8:0]								
初期値:	0	0	0	0	0	0	0	1	0	0	1	1	1	1	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8~0	SRCLEFT[8:0]	H'13C	R/W	入力映像信号取り込み範囲左端 水平同期基準からの位置を27MHzクロック周期単位にて指定

【注】 本レジスタはすべてレジスタ更新制御レジスタ (RUPDCR) の NEWSETTING = 1 の状態で、垂直同期信号がアサートされたときに更新されます。

(1) タイミング生成 (水平開始) 制御

SRCLEFT にて出力する映像信号に対して水平イネーブル信号の開始を水平同期基準からの位置を 27MHz クロック周期単位にて設定します。

30.4.3 タイミング生成制御レジスタ (2) (TGCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SRCTOP[5:0]						SRCHEIGHT[9:0]									
初期値:	0	1	0	1	0	0	0	0	1	1	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	SRCTOP[5:0]	H'14	R/W	入力映像信号取り込み範囲上端 垂直同期基準からの位置を1ライン単位にて指定
9~0	SRCHEIGHT[9:0]	H'0E8	R/W	入力映像信号取り込み高さ 垂直有効期間を1ライン単位にて指定

【注】 本レジスタはすべてレジスタ更新制御レジスタ (RUPDCR) の NEWSETTING = 1 の状態で、垂直同期信号がアサートされたときに更新されます。

(1) タイミング (垂直開始) 生成制御

SRCTOP にて出力する映像信号に対して垂直イネーブル信号の開始を垂直同期基準からの位置を 1 ライン単位にて設定します。

(2) タイミング生成 (垂直幅) 制御

SRCHEIGHT にて出力する映像信号に対して垂直イネーブル信号の高さを 1 ライン単位にて設定します。

30.4.4 タイミング生成制御レジスタ (3) (TGCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SRCWIDTH[10:0]										
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	SRCWIDTH[10:0]	H'500	R/W	入力映像信号取り込み幅 水平有効期間を27MHzクロック周期単位にて指定

【注】 本レジスタはすべてレジスタ更新制御レジスタ (RUPDCR) の NEWSETTING = 1 の状態で、垂直同期信号がアサートされたときに更新されます。

(1) タイミング生成 (水平幅) 制御

SRCWIDTH にて出力する映像信号に対して水平イネーブル信号の幅を 27MHz クロック周期単位にて設定します。

NTSC (59.94Hz)、PAL/SECAM (50.00Hz) 時の各設定におけるタイミング図を図 30.2、図 30.3、図 30.4、図 30.5、図 30.6 に示します。

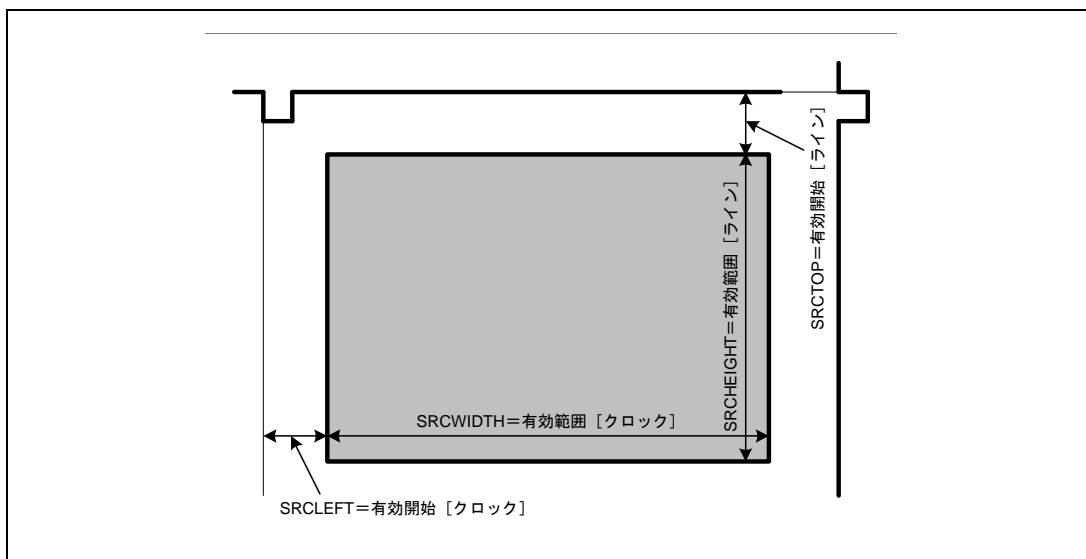


図 30.2 有効画像範囲設定図

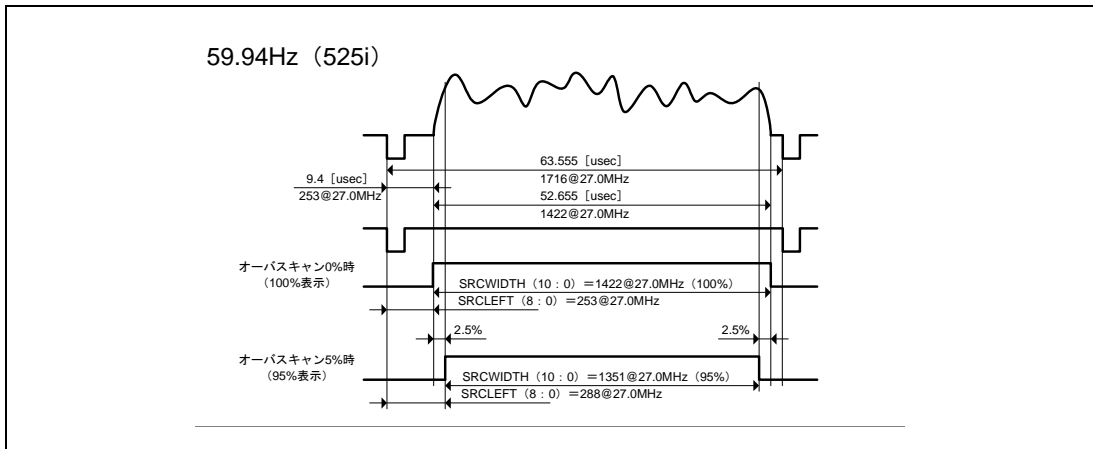


図 30.3 水平有効画像期間設定例 (59.94Hz (525i))

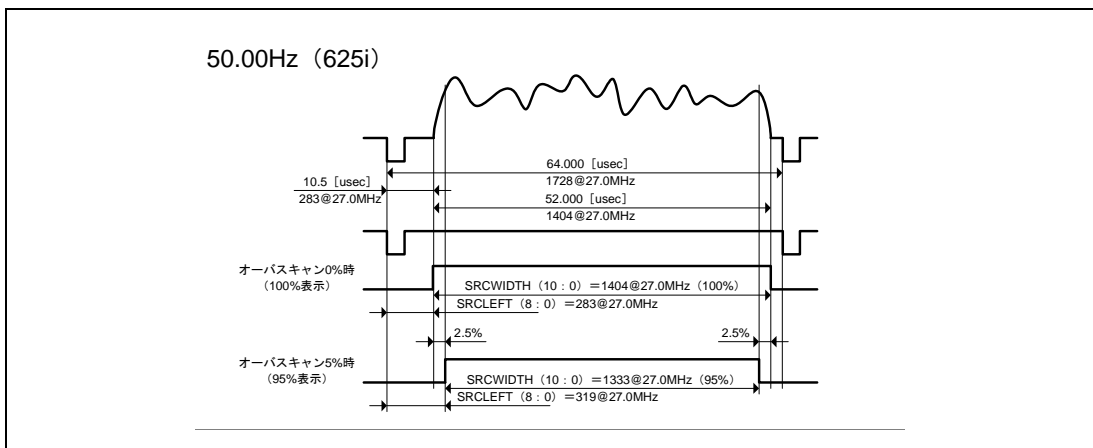


図 30.4 水平有効画像期間設定例 (50.00Hz (625i))

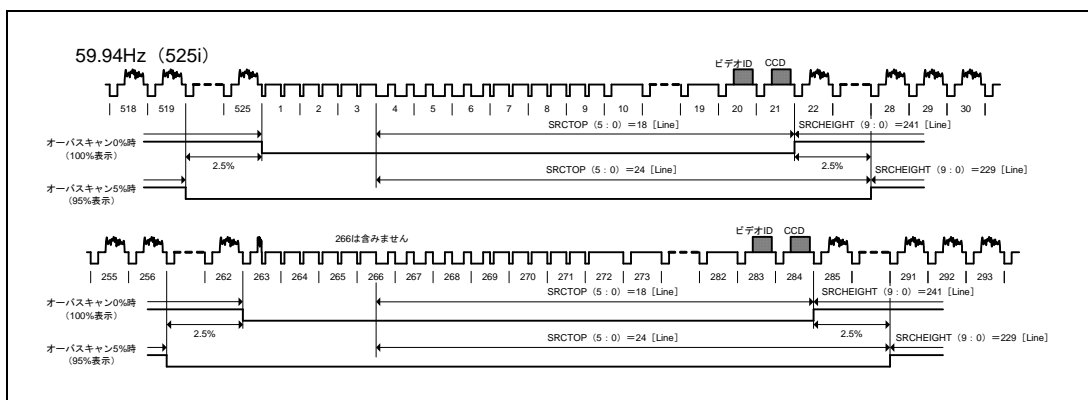


図 30.5 垂直有効画像期間設定例 (59.94Hz (525i))

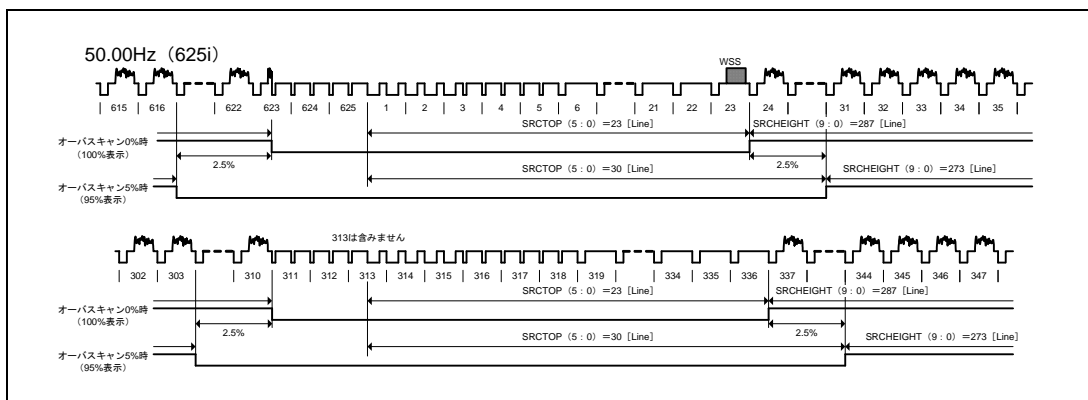


図 30.6 垂直有効画像期間設定例 (50.00Hz (625i))

有効期間幅は必要以上に大きく設定しないでください。

TGCR1 ~ TGCR3 の設定は、ピークリミッタの有効期間等、本モジュール内部でのみ使用されます。入力映像の表示サイズ設定については、ビデオディスプレイコントローラ 4 のスケール部における、取り込み垂直サイズレジスタ (SCL0_DS2)、取り込み水平サイズレジスタ (SCL0_DS3) にて行ってください。

30.4.5 同期分離制御レジスタ (1) (SYNSCR1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LPFVSYNC[2:0]			LPFHSYNC[2:0]			-	-	VELOCITYSHIFT_H[3:0]			SLICER MODE_H[1:0]		SLICER MODE_V[1:0]		
初期値 :	0	1	1	0	1	1	0	0	0	0	0	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	LPFVSYNC[2:0]	011	R/W	垂直同期分離前段のローパスフィルタの遮断周波数 0 : なし 1 : 0.94MHz 2 : 0.67MHz 3 : 0.54MHz 4 : 0.47MHz 5 : 0.34MHz 6 : 0.27MHz 7 : 0.23MHz
12~10	LPFHSYNC[2:0]	011	R/W	水平同期分離前段のローパスフィルタの遮断周波数 0 : なし 1 : 2.15MHz 2 : 1.88MHz 3 : 1.34MHz 4 : 1.07MHz 5 : 0.94MHz 6 : 0.67MHz 7 : 0.54MHz
9、8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~4	VELOCITYSHIFT_H [3:0]	0000	R/W	複合同期分離 (水平同期信号用) のリファレンスレベル演算速度調整 0 : 等倍 1 : 2倍 2 : 4倍 3 : 8倍 4 : 16倍 5 : 32倍 6 : 64倍 7 : 128倍 その他 : 256倍 速度標準 (等倍) 速度速 (256倍)
3、2	SLICERMODE_H [1:0]	10	R/W	複合同期分離回路 (水平同期信号用) の自動スライスレベル設定 0 : レジスタCSYNCSLICE_Hにより手動設定 1 : 同期深さの25% (自動) 2 : 同期深さの50% (自動) 3 : 同期深さの75% (自動)

ビット	ビット名	初期値	R/W	説明
1, 0	SLICERMODE_V [1:0]	10	R/W	複合同期分離回路（垂直同期信号用）の自動スライスレベル設定 0：レジスタCSYNCSLICE_Vにより手動設定 1：同期深さの25%（自動） 2：同期深さの50%（自動） 3：同期深さの75%（自動）

（1）垂直同期分離前段のローパスフィルタ制御

LPFVSYNCにて同期分離回路に入力される映像信号に対して、ノイズによる同期分離の誤動作を防止するためにノイズ除去用ローパスフィルタを設定します。ローパスフィルタの遮断周波数は複合同期信号成分が劣化しない（検出できる）範囲を設定します。

表 30.6 垂直同期分離前段のローパスフィルタの遮断周波数

垂直同期分離用		
LPFVSYNC[2:0]	t	fc[MHz]
1	0.109375	0.939647766
2	0.078125	0.671176976
3	0.0625	0.536941581
4	0.0546875	0.469823883
5	0.0390625	0.335588488
6	0.03125	0.26847079
7	0.0273438	0.234911942

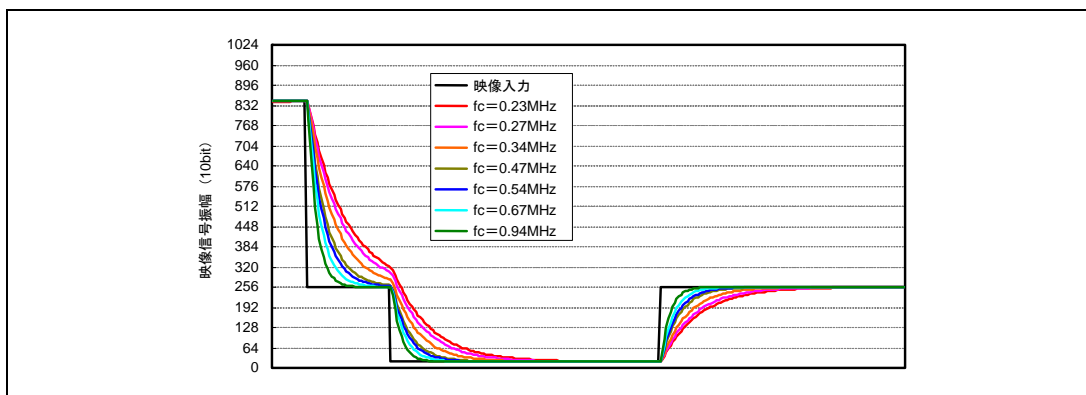


図 30.7 全白信号入力時における水平同期信号付近のローパスフィルタ出力波形（垂直：模式図）

(2) 水平同期分離前段のローパスフィルタ制御

LPFHSYNC にて同期分離回路に入力される映像信号に対して、ノイズによる同期分離の誤動作を防止するためにノイズ除去用ローパスフィルタを設定します。ローパスフィルタの遮断周波数は複合同期信号成分が劣化しない(検出できる)範囲を設定します。

表 30.7 水平同期分離前段のローパスフィルタの遮断周波数

水平同期分離用		
LPFHSYNC[2:0]	t	fc[MHz]
1	0.25	2.147766323
2	0.21875	1.879295533
3	0.15625	1.342353952
4	0.125	1.073883162
5	0.10938	0.939647766
6	0.07813	0.671176976
7	0.0625	0.536941581

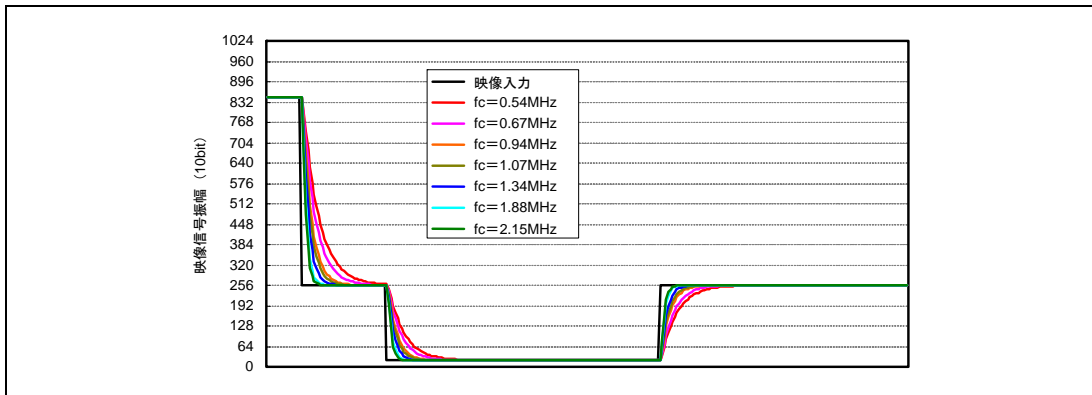


図 30.8 全白信号入力時における水平同期信号付近のローパスフィルタ出力波形(水平:模式図)

(3) 同期分離のリファレンスレベル演算速度制御

VELOCITYSHIFT_H にてスライスレベルを自動判定時のレベル判定の速度を制御します。

同期サグ等の影響で同期曲がりが発生する場合、このレジスタにて判定速度を上げることで同期曲がりを改善することができます。

(4) 水平同期スライサ制御

SLICERMODE_H にて映像信号から複合同期信号の分離を制御します。

複合同期分離のスライスレベル設定は、自動設定と手動設定が選択できます。自動設定時には、後述の同期信号振幅検出の結果に基づいてスライスレベルを自動設定します。

同期スライサは、水平、垂直同期に対して独立に制御できます。

(5) 垂直同期スライサ制御

SLICERMODE_V にて映像信号から複合同期信号の分離を制御します。

複合同期分離のスライスレベル設定は、自動設定と手動設定が選択できます。自動設定時には、後述の同期信号振幅検出の結果に基づいてスライスレベルを自動設定します。

同期スライサは、水平、垂直同期に対して独立に制御できます。

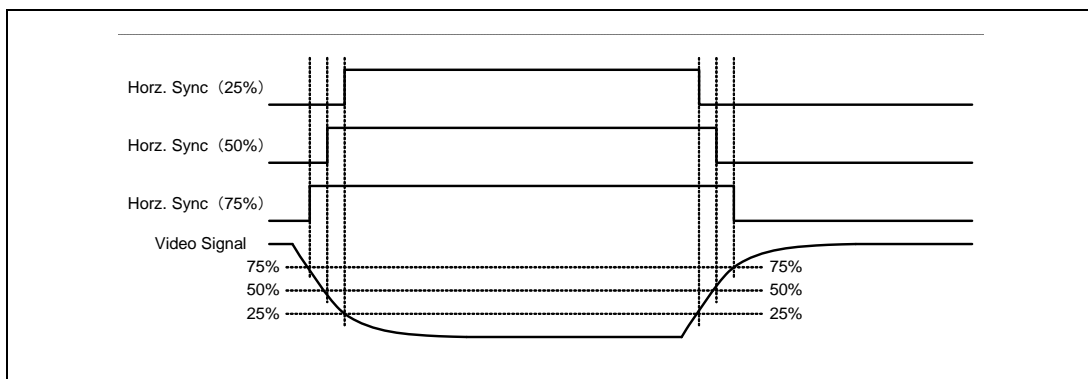


図 30.9 自動スライスレベル設定

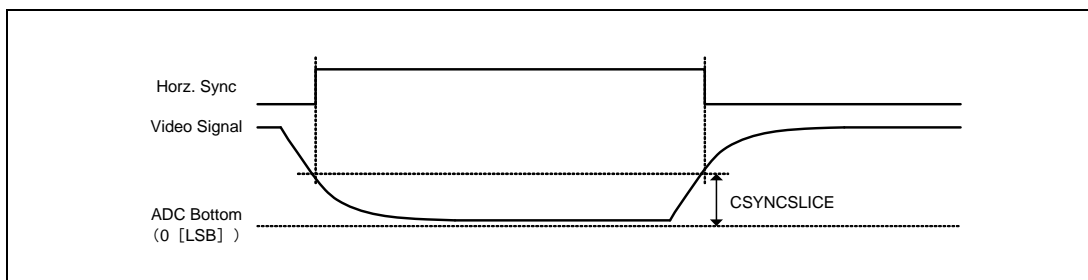


図 30.10 手動スライスレベル設定

30.4.6 同期分離制御レジスタ (2) (SYNSCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SYNCMAXDUTY_H[5:0]					SYNCMINDUTY_H[5:0]						
初期値:	0	0	0	0	0	0	1	1	1	1	0	0	1	0	1	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~6	SYNCMAXDUTY_H [5:0]	001111	R/W	水平周期と水平同期信号パルス幅の最大比 自動スライスレベル設定 (SLICERMODE_H '0') のとき有効
5~0	SYNCMINDUTY_H [5:0]	001010	R/W	水平周期と水平同期信号パルス幅の最小比 自動スライスレベル設定 (SLICERMODE_H '0') のとき有効

(1) 水平同期分離用の同期振幅検出制御

SYNCMAXDUTY_H、SYNCMINDUTY_H にて映像信号中に含まれる複合同期信号の同期信号振幅の検出を制御します。

表 30.8 複合同期分離の自動スライスレベルレジスタ機能表

	水平 期間 [usec]	水平 同期幅 [usec]	映像 有効期間 [usec]	水平 帰線期間 [usec]	SYNCMAXDUTY_H [5:0]	SYNCMINDUTY_H [5:0]
						推奨値
525i/59.94Hz	63.56	4.70	52.66	10.90	15	10
625i/50Hz	64.00	4.70	52.00	12.00	15	10

30.4.7 同期分離制御レジスタ (3) (SYNSCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SSCLIPSEL[3:0]				CSYNCSLICE_H[9:0]									
初期値:	0	0	1	1	1	1	0	0	1	0	0	1	0	0	1	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13~10	SSCLIPSEL[3:0]	1111	R/W	クリップ値の設定 垂直/水平同期分離のローパスフィルタへ入力される映像信号をクリップします。 (ビット値 = クリップ値 : 振幅1/2 ~ クリップなし) 0 : 512 1 : 546 2 : 580 3 : 614 4 : 648 5 : 682 6 : 716 7 : 750 8 : 785 9 : 819 10 : 853 11 : 887 12 : 921 13 : 955 14 : 989 15 : 1023
9~0	CSYNCSLICE_H [9:0]	0010010010	R/W	複合同期信号分離(水平同期信号用のためのスライスレベル 手動スライスレベル設定 (SLICERMODE_H='0') のとき有効 設定範囲 : 0 ~ 1023

(1) 同期分離用映像信号のクリップ制御

SSCLIPSEL にて同期分離回路に入力される映像信号に対して、映像信号の振幅依存性を防止するために映像の高階調成分をクリップするレベルを制御します。

映像クリップレベルは、複合同期信号成分が劣化しない(検出できる)範囲を設定します。

(2) 水平同期分離用のスライスレベル制御

CSYNCSLICE_H にて同期分離のスライスレベルを制御します。本ビットは、SLICERMODE_H='0'のときのみ有効です。

30.4.8 同期分離制御レジスタ（４）（SYNSCR4）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SYNCMAXDUTY_V[5:0]						SYNCMINDUTY_V[5:0]					
初期値：	0	0	0	0	0	0	1	1	1	1	0	0	1	0	1	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11～6	SYNCMAXDUTY_V [5:0]	001111	R/W	水平周期と水平同期信号パルス幅の最大比 自動スライスレベル設定（SLICERMODE_V '0'）のとき有効
5～0	SYNCMINDUTY_V [5:0]	001010	R/W	水平周期と水平同期信号パルス幅の最小比 自動スライスレベル設定（SLICERMODE_V '0'）のとき有効

（１）垂直同期分離用の同期振幅検出制御

SYNCMAXDUTY_V、SYNCMINDUTY_V にて映像信号中に含まれる複合同期信号の同期信号振幅の検出を制御します。

表 30.9 複合同期分離の自動スライスレベルレジスタ機能表

	水平 期間 [usec]	水平 同期幅 [usec]	映像 有効期間 [usec]	水平 帰線期間 [usec]	SYNCMAXDUTY_V [5:0]	SYNCMINDUTY_V [5:0]
						推奨値
525i/59.94Hz	63.56	4.70	52.66	10.90	15	9
625i/50Hz	64.00	4.70	52.00	12.00	15	9

30.4.9 同期分離制御レジスタ (5) (SYNSCR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSYNC DELAY	VSYNCSLICE[4:0]					CSYNSLICE_V[9:0]									
初期値:	0	0	1	0	1	1	0	0	1	0	0	1	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	VSYNCDelay	0	R/W	分離された垂直同期信号を水平周期の1/4だけ遅らせる 1: 1/4fH遅延有り 0: 1/4fH遅延無し 【注】* フィールド判別結果が安定しないときにこの値を変えると改善することがあります。
14~10	VSYNCSLICE [4:0]	01011	R/W	垂直同期分離のしきい値 値が大きいかほど幅広のパルスである必要があります。
9~0	CSYNSLICE_V [9:0]	0010010010	R/W	複合同期信号分離 (垂直同期信号用) のためのスライスレベル 手動スライスレベル設定 (SLICERMODE_V='0') のとき有効 設定範囲: 0~1023

(1) 垂直同期分離制御

VSYNCDelay にて垂直同期信号と水平同期信号の位相を制御します。

VSYNCDelay='1'に設定すると、垂直同期信号が 1/4fH 遅延させることによってフィールド判別結果の安定性が改善することがあります。

(2) 垂直同期分離制御

VSYNCSLICE にて複合同期信号から垂直同期信号を分離するため閾値を制御します。

各映像信号フォーマットの切り込みパルス信号の信号幅に応じて設定を行います。表 30.10 に推奨設定値を示します。

表 30.10 切り込みパルス幅に対する閾値一覧表 (参考)

	切り込みパルス期間 [usec]	VSYNCSLICE[4:0]
525i/59.94Hz	27.08	10
625i/50Hz	27.30	10

(3) 垂直同期分離用のスライスレベル制御

CSYNSLICE_V にて同期分離のスライスレベルを制御します。本ビットは、SLICERMODE_V='0'のときのみ有効です。

30.4.10 水平 AFC 制御レジスタ (1) (HAFCCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HAFCGAIN[3:0]			—	HAFCFREERUN	HAFCTYP[9:0]										
初期値:	0	1	1	0	0	0	1	0	1	0	1	1	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	HAFCGAIN[3:0]	0110	R/W	水平AFCループゲイン設定 0~5: 小さい値ほど引き込みが遅い 6: 標準値 7~15: 大きい値ほど引き込みが早い
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	HAFCFREERUN	0	R/W	水平AFCフリーラン発振モードON/OFF 0: OFF 1: ON
9~0	HAFCTYP[9:0]	101011 0100	R/W	水平AFCの中心発振周期 27MHzクロック周期単位、1024クロックからのオフセット分を指定

(1) 水平 AFC のループゲイン制御

HAFCGAIN にて水平 AFC のループゲイン (応答速度) を制御します。

値が大きいくほど引き込み (応答速度) が早くなりますが、ノイズに対する誤判定が高くなります。

(2) 水平 AFC のフリーラン制御

HAFCFREERUN にて水平 AFC のフリーランを制御します。

HAFCFREERUN を '1' に設定することで水平 AFC が入力に依存しなくなりフリーラン動作します。通常は、'0' に設定してください。

(3) 水平 AFC のロック範囲 (水平) 制御

HAFCMIN、HAFCTYP、HAFCMAX にて水平 AFC の中心周波数、ロック範囲を制御します。

弱電界、VTR 特殊再生等の劣化信号に対する水平同期信号安定化を行うための水平 AFC 機能を制御します。

HAFCMIN[9:0]	: 水平 AFC の最小発振周期
HAFCTYP[9:0]	: 水平 AFC の中心発振周期
HAFCMAX[9:0]	: 水平 AFC の最大発振周期

水平 AFC のロック範囲は、次式で表されます。

$$\text{HAFCMIN} < \text{HAFCTYP} < \text{HAFCMAX} \quad \dots$$

ここで

$$\text{HAFCMIN} = \text{HAFCTYP} - \text{許容偏差}$$

$$\text{HAFCTYP} = N \times M - 1024$$

$$\text{HAFCMAX} = \text{HAFCTYP} + \text{許容偏差}$$

M : 水平期間あたりのクロック数 (27MHz サンプリング)

N : 倍速設定

2 (倍速) : M < 1024 のとき、1 (通常) : M ≥ 1024 のとき

です。式が満たされた場合、水平 AFC がロックします。

水平 AFC がロックした場合、VSYNC SR レジスタ FHLOCK = '1' となり、ロックしない場合は、FHLOCK = '0' となります。

表 30.11 水平 AFC ロック範囲設定表

信号 FORMAT	fH水平 周期	M fH @27.0MHz	N倍速 設定	HAFCMAX [9:0]	HAFCTYP [9:0]	HAFCMIN [9:0]	偏差		単位
525i	63.56 [usec]	1716 [clk]	1	771	692	618	79	- 74	[clk]
				15.034	15.734	16.434	- 0.700	0.700	[kHz]
625i	64.00 [usec]	1728 [clk]	1	785	704	629	81	- 75	[clk]
				14.925	15.625	16.325	- 0.700	0.700	[kHz]

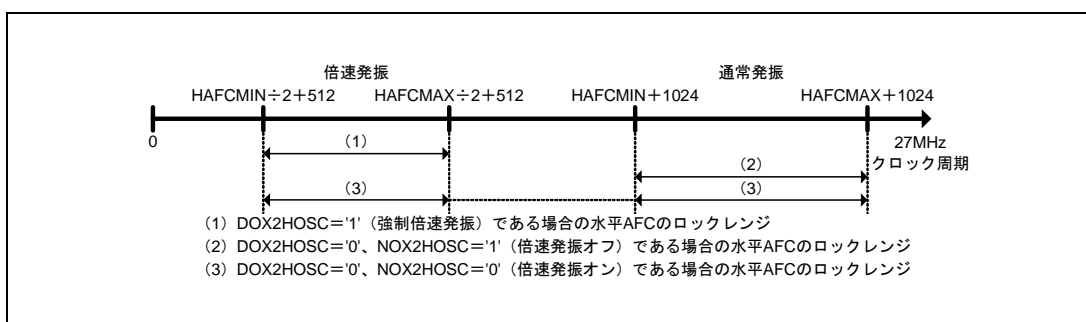


図 30.11 水平 AFC のロック範囲 (水平)

30.4.11 水平 AFC 制御レジスタ (2) (HAFCCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HAFSTART[3:0]				NOX2H OSC	DOX2H OSC	HAFCMAX[9:0]									
初期値:	0	0	0	0	0	0	1	0	1	1	1	0	0	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	HAFSTART[3:0]	0000	R/W	水平AFCの通常動作開始ライン (= VBI処理終了ライン) 垂直同期信号の後Nライン目から位相比較を開始
11	NOX2HOSC	0	R/W	水平AFC倍速判定禁止設定 0: 自動制御 1: 倍速発振禁止
10	DOX2HOSC	0	R/W	水平AFC強制倍速発振設定 0: 自動制御 1: 強制倍速発振
9~0	HAFCMAX[9:0]	101110 0110	R/W	水平AFCの最大発振周期 27MHzクロック周期単位、1024クロックからのオフセット分を指定

(1) 水平 AFC のロック範囲 (垂直) 制御

HAFSTART、HAFEND にて水平 AFC の動作範囲を指定することができます。通常、VTR のヘッドスイッチ部での誤動作を避けるために、垂直同期信号の数ライン手前から垂直同期信号まで水平 AFC 動作を停止するように設定します。



図 30.12 水平 AFC のロック範囲 (垂直)

(2) 水平 AFC の倍速制御

NOX2HOSC、DOX2HOSC にて水平 AFC の倍速判定を制御します。

NTSC、PAL、SECAM では、DOX2HOSC は常に '0' に設定してください。

30.4.12 水平 AFC 制御レジスタ (3) (HAFCCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HAFCEMEND[3:0]				HAFCMODE[1:0]		HAFCMIN[9:0]									
初期値:	1	0	0	0	1	0	1	0	1	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	HAFCEMEND[3:0]	1000	R/W	水平AFCの通常動作終了ライン (= VBI処理開始ライン) 垂直同期信号のNライン手前から位相比較を停止
11, 10	HAFCMODE[1:0]	10	R/W	水平AFCのVBI期間動作モード設定 [1] 低S/N時のループゲイン制御設定 0: ループゲイン固定 1: ループゲイン自動制御 [0] VBI期間の水平AFC制御設定 0: VBI期間の位相比較停止 1: VBI期間のループゲイン低下
9~0	HAFCMIN[9:0]	101000 0010	R/W	水平AFCの最小発振周期 27MHzクロック周期単位、1024クロックからのオフセット分を指定

(1) 水平 AFC の VBI 期間の動作制御

HAFCMODE[1]を'1'に設定することで低 S/N (VSYNC.SR.ISNOISY='1') 時ループゲインを下げてノイズに対する誤動作を防止します

本ビットの推奨設定値は'1'になります。

HAFCMODE[0]にて VBI 期間の水平 AFC 動作を制御します。

本ビットの推奨設定値は'0'になります。

30.4.13 垂直カウントダウン制御レジスタ (1) (VCDWCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VCDFREERUN	NOVCD50	NOVCD60	VCDDEFAULT[1:0]		VCDWINDOW[5:0]					VCDOFFSET[4:0]					
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	VCDFREERUN	0	R/W	垂直カウントダウンのフリーラン発振モードON/OFF 0: OFF 1: ON
14	NOVCD50	0	R/W	垂直カウントダウン50Hz発振モードをOFFにする 0: 50Hz発振ON 1: 50Hz発振OFF
13	NOVCD60	0	R/W	垂直カウントダウン60Hz (59.94Hz) 発振モードをOFFにする 0: 60Hz発振ON 1: 60Hz発振OFF
12, 11	VCDDEFAULT[1:0]	00	R/W	垂直カウントダウンの中心発振周期 0: 自動判定 1: 50.00Hz 2: 59.94Hz 3: 60.00Hz
10~5	VCDWINDOW[5:0]	010100	R/W	垂直カウントダウンの同期範囲 (0.1ms単位で設定)
4~0	VCDOFFSET[4:0]	01010	R/W	垂直カウントダウンの最小発振周期 中心周期からのずれを0.1ms単位で設定

(1) 垂直カウントダウンのフリーラン制御

VCDFREERUN にて垂直カウントダウンのフリーランを制御します。

VCDFREERUN を '1' に設定することで垂直カウントダウンが入力に依存しなくなりフリーラン動作します。通常は、'0' に設定してください。

(2) 垂直カウントダウンの 50Hz 系発振制御

NOVCD50 にて 50Hz 系の発振を制御します。

NOVCD50 = '1' に設定すると、垂直カウントダウンが 50Hz 系にはロックしなくなります。

(3) 垂直カウントダウンの 60Hz 系発振制御

NOVCD60 にて 60Hz 系の発振を制御します。

NOVCD60 = '1' に設定すると、垂直カウントダウンが 60Hz 系にはロックしなくなります。

(4) 垂直カウントダウンの中心周波数制御

VCDDEFAULT にて垂直カウントダウンの中心周波数を制御します。

表 30.12 垂直カウントダウン動作モード表

VCDDEFAULT[1:0]	動作モード
0	自動判定
1	50.00 Hz
2	59.94 Hz
3	60.00 Hz

(5) 垂直カウントダウンのロック範囲制御

VCDWINDOW、VCDOFFSET にて垂直カウントダウンのロック範囲を制御します。

各ビットの設定は、図 30.13 に示すとおりです。

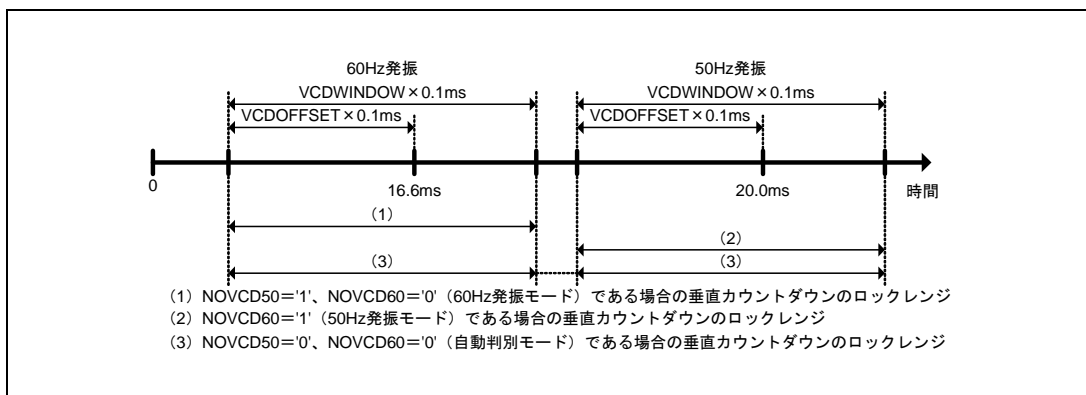


図 30.13 垂直カウントダウンのロックレンジ

30.4.14 デジタルクランプ制御レジスタ (1) (DCPCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCPMODE_Y	-	-	-	DCPCHECK	-	BLANKLEVEL_Y[9:0]									
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DCPMODE_Y	1	R/W	クランプレベル設定モード (Y信号) 0: 手動クランプレベル設定 1: 自動クランプレベル設定
14~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	DCPCHECK	0	R/W	デジタルクランプパルス位置確認 クランプ位置にのみクランプオフセットレベルで与えられた値だけオフセットが付きます。
10	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	BLANKLEVEL_Y [9:0]	000000 0000	R/W	クランプオフセットレベル (Y信号) (減算値を設定) 1LSB単位、二の補数

(1) Y系クランプ動作制御

DCPMODE_YにてY信号のクランプレベルを制御します。

DCPMODE_Y=0'設定時は、BLANKLEVEL_Yで設定された値を映像信号から減算します。

$$Y \text{ 信号出力} = Y \text{ 信号入力} - \text{BLANKLEVEL_Y}$$

DCPMODE_Y='1'設定時は、デジタルクランプパルス位置の映像信号のレベル (ペDESTアルレベル) にBLANKLEVEL_Yで設定された値を加算したものを映像信号から減算します。

$$Y \text{ 信号出力} = Y \text{ 信号入力} - (\text{検出値} + \text{BLANKLEVEL_Y})$$

(2) デジタルクランプパルス位置確認制御

DCPCHECKにて画面上でデジタルクランプパルス位置確認を制御します。

位置確認は以下の手順にて行います。

デジタルクランプ位置確認ビット: DCPCHECK='1'に設定。

入力映像信号取り込み範囲左端設定ビット: SRCLEFT='0'、ビデオディスプレイコントローラ4のスケールング部における、取り込み水平レジスタ(SCL0_DS3).RES_HS[10:0]='0'に設定。

モニタしたい信号系のクランプオフセットレベルを最小値 (BLANKLEVEL_Yは-512、BLANKLEVEL_CB,CRは-32) に設定。

DCPPOS_Y(もしくはDCPPOS_C)、DCPWIDTHにてパルスの位置および幅を調整。

30.4.15 デジタルクランプ制御レジスタ (2) (DCPCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCPMODE_C	-	-	-	BLANKLEVEL_CB[5:0]					BLANKLEVEL_CR[5:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DCPMODE_C	0	R/W	クランプレベル設定モード (Cb/Cr信号) 0: 手動クランプレベル設定 1: 自動クランプレベル設定
14~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~6	BLANKLEVEL_CB [5:0]	000000	R/W	クランプオフセットレベル (Cb信号) (減算値を設定) 1LSB単位、二の補数
5~0	BLANKLEVEL_CR [5:0]	000000	R/W	クランプオフセットレベル (Cr信号) (減算値を設定) 1LSB単位、二の補数

(1) Cb/Cr 系クランプ動作制御

DCPMODE_C にて Cb/Cr 信号のクランプレベルを制御します。

DCPMODE_C=0'設定時は、BLANKLEVEL_CB/CR で設定された値を映像信号から減算します。

$$\text{Cb 信号出力} = \text{Cb 信号入力} - \text{BLANKLEVEL_CB}$$

$$\text{Cr 信号出力} = \text{Cr 信号入力} - \text{BLANKLEVEL_CR}$$

DCPMODE_C='1'設定時は、デジタルクランプパルス位置の映像信号のレベル (センターレベル) に BLANKLEVEL_CB/CR で設定された値を加算したものを映像信号から減算します。

$$\text{Cb 信号出力} = \text{Cb 信号入力} - (\text{検出値} + \text{BLANKLEVEL_CB})$$

$$\text{Cr 信号出力} = \text{Cr 信号入力} - (\text{検出値} + \text{BLANKLEVEL_CR})$$

30.4.16 デジタルクランプ制御レジスタ (3) (DCPCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	DCPRESPONSE[2:0]			—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	DCPRESPONSE [2:0]	101	R/W	デジタルクランプの応答速度 値が大きいほど応答が速くなるが、雑音には弱くなります
11~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(1) デジタルクランプの応答速度制御

DCPRESPONSE にてデジタルクランプの応答速度を制御します。

DCPRESPONSE の値が大きいほど応答が速くなるが、雑音には弱くなります。

DCPRESPONSE は Y/Cb/Cr で共通になります。

30.4.17 デジタルクランプ制御レジスタ (4) (DCPCR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCPSTART[5:0]						—	—	—	—	—	—	—	—	—	—
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	DCPSTART[5:0]	010000	R/W	デジタルクランプ開始ライン (1ライン単位) 垂直同期信号の後Nライン目からクランプ開始
9~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

30.4.18 デジタルクランプ制御レジスタ (5) (DCPCR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCPEND[5:0]						-	-	-	-	-	-	-	-	-	-
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	DCPEND[5:0]	010000	R/W	デジタルクランプ終了ライン (1ライン単位) 垂直同期信号のNライン手前からクランプ停止
9~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(1) デジタルクランプ制御 (垂直)

DCPSTART、DCPEND にてデジタルクランプの垂直方向の動作を制御します。

各ビットの設定は、図 30.14 に示すとおりです。

DCPSTART、DCPEND は Y/Cb/Cr で共通になります。

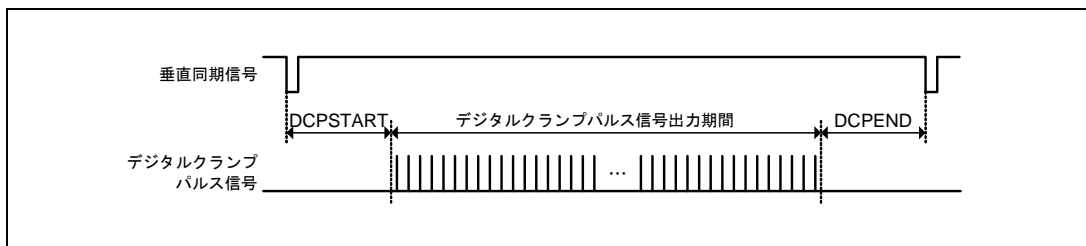


図 30.14 デジタルクランプタイミング (垂直) 図

30.4.19 デジタルクランプ制御レジスタ (6) (DCPCR6)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	DCPWIDTH[6:0]						-	-	-	-	-	-	-	-	-
初期値:	0	0	1	1	0	1	1	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~8	DCPWIDTH[6:0]	0110110	R/W	デジタルクランプパルスの幅 設定範囲: 0~127、27MHzクロック周期単位
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

30.4.20 デジタルクランプ制御レジスタ (7) (DCPCR7)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCPPOS_Y[7:0]								-	-	-	-	-	-	-	-
初期値:	1	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	DCPPOS_Y[7:0]	101000 10	R/W	デジタルクランプパルスの水平開始位置 (Y信号) 設定範囲: 0~255、27MHzクロック周期単位
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

30.4.21 デジタルクランプ制御レジスタ (8) (DCPCR8)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCPPOS_C[7:0]								-	-	-	-	-	-	-	-
初期値:	0	0	0	1	1	0	1	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	DCPPOS_C[7:0]	000110 11	R/W	デジタルクランプパルスの水平開始位置 (Cb/Cr信号) 設定範囲: 0~255、27MHzクロック周期単位
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(1) デジタルクランプ制御 (水平)

DCPWIDTH、DCPPOS_Y、DCPPOS_C にてデジタルクランプの水平方向を制御します。

各ビットの設定は、図 30.15 に示すとおりです。

DCPPOS_Y は Y 信号、DCPPOS_C は Cb/Cr 信号に対応します。DCPWIDTH は Y/Cb/Cr で共通になります。

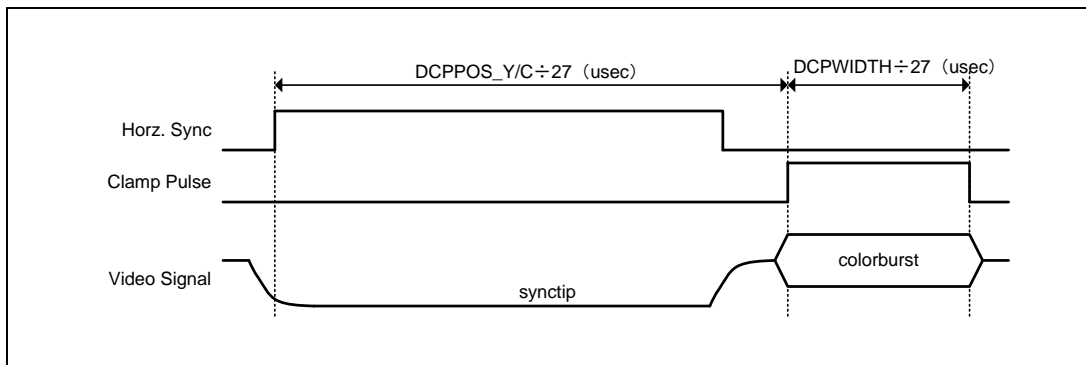


図 30.15 デジタルクランプタイミング (水平) 図

30.4.22 ノイズ検出制御レジスタ (NSDCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	ACFINPUT[1:0]	—	—	—	ACFLAGTIME[4:0]				—	—	ACFFILTER[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13, 12	ACFINPUT[1:0]	00	R/W	自己相関関数を求める映像信号 0: Y信号、 1: Cb信号、 2, 3: Cr信号
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8~4	ACFLAGTIME[4:0]	00000	R/W	自己相関関数を計算する際の遅延時間 0~31クロック@27MHzクロック 遅延時間を0とするとNSDSR.ACFSTRENGTHの値はノイズ電力にほぼ対応します。
3, 2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	ACFFILTER[1:0]	00	R/W	自己相関関数値の平滑化パラメータ ACFFILTERの値が小さいほど、長時間の平均になります。 1フィールド~数秒まで変化します。

(1) ノイズ検出の入力制御

ACFINPUT にてノイズ検出の入力を制御します。

表 30.13 ノイズ検出の入力選択表

ACFINPUT	入力信号
0	Y信号
1	Cb信号
2, 3	Cr信号

(2) ノイズ検出の自己相関関数制御

ACFLAGTIME にてノイズ検出の自己相関関数を制御します。

遅延時間を 0 とすると NSDSR.ACFSTRENGTH の値はノイズ電力にほぼ対応します。

(3) ノイズ検出の平滑化フィルタ制御

ACFFILTER にてノイズ検出の入力の平滑化を制御します。

ACFFILTER の値が小さいほどフィールド積算量が多くなります (ノイズ検出までに時間がかかります)。

30.4.23 バーストロック制御、クロマデコード制御レジスタ (BTLCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCKRANGE [1:0]	LOOPGAIN[1:0]	LOCKLIMIT[1:0]	BCOFR EERUN	—	DEFAULTSYS [1:0]	NONTSC358	NONTSC443	NOPAL M	NOPAL N	NOPAL 443	NOSEC AM				
初期値:	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	LOCKRANGE[1:0]	01	R/W	バーストロックPLLのロックレンジ 0: ±400Hz 1: ±800Hz 2: ±1200Hz 3: ±1600Hz
13, 12	LOOPGAIN[1:0]	01	R/W	バーストロックPLLのループゲイン 値が大きいほど応答が速くなるが、雑音には弱くなります
11, 10	LOCKLIMIT[1:0]	10	R/W	バーストロックPLLが自走周波数の再サーチを行うレベル値 大きいほどロックが外れやすく、再サーチが行われやすくなります
9	BCOFR EERUN	0	R/W	バーストロックPLLのフリーラン発振モードON/OFF 0: OFF 1: ON
8	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7, 6	DEFAULTSYS[1:0]	00	R/W	デフォルトの色方式 0: NTSC 1: PAL 2: SECAM 3: 指定なし
5	NONTSC358	0	R/W	NTSC - M判別を行わない 0: NTSC - M判別ON 1: NTSC - M判別OFF
4	NONTSC443	0	R/W	NTSC - 4.43判別を行わない 0: NTSC - 4.43判別ON 1: NTSC - 4.43判別OFF
3	NOPALM	0	R/W	PAL - M判別を行わない 0: PAL - M判別ON 1: PAL - M判別OFF

ビット	ビット名	初期値	R/W	説明
2	NOPALN	0	R/W	PAL - N判別を行わない 0 : PAL - N判別ON 1 : PAL - N判別OFF
1	NOPAL443	0	R/W	PAL - B、G、H、I、D判別を行わない 0 : PAL - B、G、H、I、D判別ON 1 : PAL - B、G、H、I、D判別OFF
0	NOSECAM	0	R/W	SECAM判別を行わない 0 : SECAM判別ON 1 : SECAM判別OFF

(1) バーストロック PLL のロック範囲制御

LOCKRANGE にてバーストロック PLL のロック範囲を制御します。

表 30.14 バーストロック PLL のロック範囲

LOCKRANGE	バーストロックPLLのロック範囲
0	±400Hz
1	±800Hz
2	±1200Hz
3	±1600Hz

(2) バーストロック PLL のループゲイン制御

LOOPGAIN にてバーストロック PLL のループゲインを制御します。

値が大きいくほど応答が速くなりますが、雑音には弱くなります。

(3) バーストロック PLL のロックリミット制御

LOCKLIMIT にてバーストロック PLL のロックリミットを制御します。

LOCKLIMIT の値が大きいくほど、バーストロック PLL の自走周波数のロックが外れやすく、再サーチが行われやすくなります。

(4) バーストロック PLL のループゲイン制御

BCOFREERUN にてバーストロック PLL のフリーランを制御します。

BCOFREERUN を '1' に設定することでバーストロック PLL が入力に依存しなくなりフリーラン動作します。通常は、'0' に設定してください。

(5) クロマデコードのデフォルトのカラーシステム制御

DEFAULTSYS にてクロマデコードのカラーシステム自動判別不能時のデフォルトのカラーシステムを制御します。

表 30.15 デフォルトのカラーシステム

DEFAULTSYS	デフォルトのカラーシステム
0	NTSC
1	PAL
2	SECAM
3	指定なし

(6) カラーシステム判定制御

NONTSC358、NONTSC443、NOPALM、NOPALN、NOPAL443、NOSECAM にてカラーシステム判定を制御します。

カラーシステム判別は全自動制御、手動制御および一部のカラーシステムのみ自動（指定以外は判別しない）制御を選択できます。どのカラーシステムにも当てはまらない場合は、DEFAULTSYS で指定されたカラーシステムとして動作します。

タイプの判別制御（オン/オフ）を個別に設定することができます。また、1つのカラーシステムのみを判別可能にすることで、カラーシステムを固定することができます。表 30.16 にカラーシステムの判別方法を示します。

表 30.16 カラーシステム判別制御表

	NOSECAM	NOPAL443	NOPALN	NOPALM	NONTSC443	NONTSC358
Auto	0	0	0	0	0	0
NTSC - 3.58 (M)	1	1	1	1	1	0
NTSC - 4.43	1	1	1	1	0	1
PAL - M	1	1	1	0	1	1
PAL - N	1	1	0	1	1	1
PAL - 4.43	1	0	1	1	1	1
SECAM	0	1	1	1	1	1

自動設定時、判別したカラーシステム結果をレジスタに格納します。表 30.17 および表 30.18 にレジスタ値によるカラーシステムの判別結果を示します。

表 30.17 カラーシステム判定表 (1)

COLORSYS [1:0]	FSCMODE	FVMODE	判別結果
0 : NTSC	0 : 3.58MHz	don't care	NTSC - M
0 : NTSC	1 : 4.43MHz	don't care	NTSC - 4.43
1 : PAL	0 : 3.58MHz	0 : 50Hz	PAL - N
1 : PAL	0 : 3.58MHz	1 : 60Hz	PAL - M
1 : PAL	1 : 4.43MHz	0 : 50Hz	PAL - B、H、I、G、D
1 : PAL	1 : 4.43MHz	1 : 60Hz	PAL - 60
2 : SECAM	-	-	SECAM
3 : unknown	-	-	判別不能

表 30.18 カラーシステム判定表 (2)

	ISNTSC	ISPAL	ISSECAM
判定不能	0	0	0
NTSC	1	0	0
PAL	0	1	0
SECAM	0	0	1

30.4.24 バーストゲートパルス制御レジスタ (BTGPCR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

BGPCHECK	BGPWIDTH[6:0]						BGPSTART[7:0]									
初期値:	0	0	1	0	0	1	0	0	1	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BGPCHECK	0	R/W	バーストゲートパルス位置確認 バーストゲートパルスの前縁および後縁を白線で表示
14~8	BGPWIDTH[6:0]	0100100	R/W	バーストゲートパルスの幅 64クロック幅からのオフセット分を指定 27MHzクロック周期単位
7~0	BGPSTART[7:0]	10000010	R/W	バーストゲートパルス開始位置 水平同期基準からの位置を指定 27MHzクロック周期単位

(1) バーストゲートパルス制御

BGPWIDTH、BGPSTART にてバーストゲートパルスのタイミングを制御します。

バーストロック PLL の基準信号となる映像信号中のカラーバーストを抜き取るバーストゲートパルスの位置を指定します。通常、VTR 等にて発生するカラーバースト信号の挿入位置ずれに対応するために、水平同期信号の後半部分からバーストゲートパルスを開始し、標準位置を包含する形にて設定を行います。

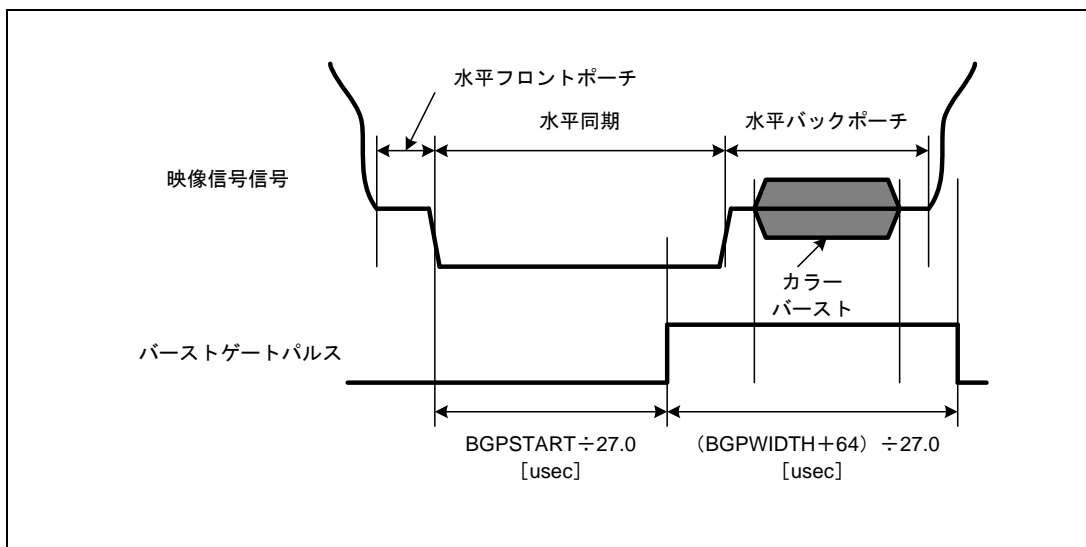


図 30.16 バーストゲートパルス生成タイミング

(2) バーストゲートパルス位置確認

BGPCHECK にて画面上でバーストゲートパルス位置確認を制御します。

位置確認は以下の手順にて行います。

- バーストゲート位置確認：BGPCHECK = '1' に設定。
- 入力映像信号取り込み範囲左端設定：SRCLEFT = '0'、ビデオディスプレイコントローラ4のスケールリング部における、取り込み水平レジスタ(SCL0_DS3).RES_HS[10:0] = '0' に設定。
- BGPSTART、BGPWIDTHでパルスの位置および幅を調整。

30.4.25 ACC 制御レジスタ (1) (ACCCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KILLEROFFSET[3:0]				ACC MODE	ACCMAXGAIN [1:0]		ACCLEVEL[8:0]								
初期値:	1	0	0	0	0	0	0	1	0	0	1	0	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 12	KILLEROFFSET[3:0]	1000	R/W	KILLERLEVEL + KILLEROFFSETがカラーキラーをオフにするレベルになります。 このレベルはカラーバースト信号のPeak-to-Peak振幅に対応します。
11	ACCMODE	0	R/W	ACC動作モード 0 : 自動ゲイン設定 1 : 手動ゲイン設定
10, 9	ACCMAXGAIN[1:0]	00	R/W	ACC最大ゲイン ACCMODE = '0' (自動ゲイン設定) のときに有効 0 : 6倍 1 : 8倍 2 : 12倍 3 : 16倍
8 ~ 0	ACCLEVEL[8:0]	100100 100	R/W	ACC基準カラーバースト振幅 ACCMODE = '0' (自動ゲイン設定) のときに有効 1LSB単位、Peak-to-Peakの振幅値を設定

(1) カラーキラーオフセット制御

KILLEROFFSET にてカラーキラーの OFF 時のヒステリシスを制御します。

KILLEROFFSET の値を大きくしすぎるとバースト振幅がより大きくなるとカラーキラーが OFF しません。また、値が小さすぎるとノイズの影響でカラーキラーが ON/OFF を繰り返します。

標準的には、'4' ~ '10'程度を設定します。

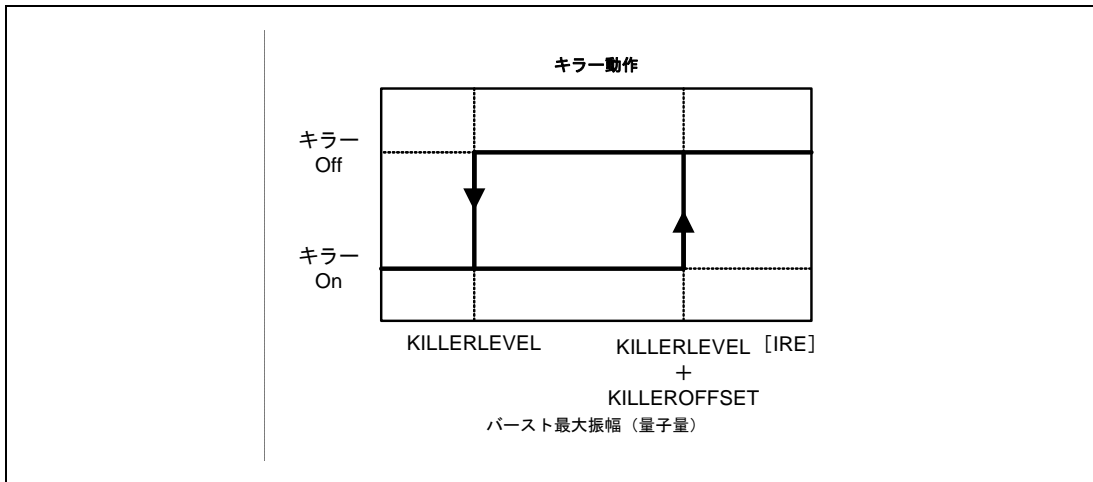


図 30.17 カラーキラー動作

(2) ACC 動作制御

ACCMODE にて ACC の動作を制御します。

表 30.19 ACC の動作モード

ACCMODE	カラーゲイン調整
0	自動
1	手動

(3) ACC 最大ゲイン制御

ACCMAXGAIN にて ACC の最大ゲインを制御します。

本ビットは、ACCMODE=0時のみ有効です。

表 30.20 ACC の最大ゲイン

ACCMAXGAIN	カラーゲインの最大値
0	6[倍]
1	8[倍]
2	12[倍]
3	16[倍]

(4) ACC レベル制御

ACCLEVEL にてクロマ信号のゲイン補正後のバースト振幅を制御します。

本ビットは、ACCMODE = '0'時のみ有効です。

ACCは、入力のクロマ信号のバースト振幅をACCLEVEL値と同一レベルになるようにゲイン調整を行います。

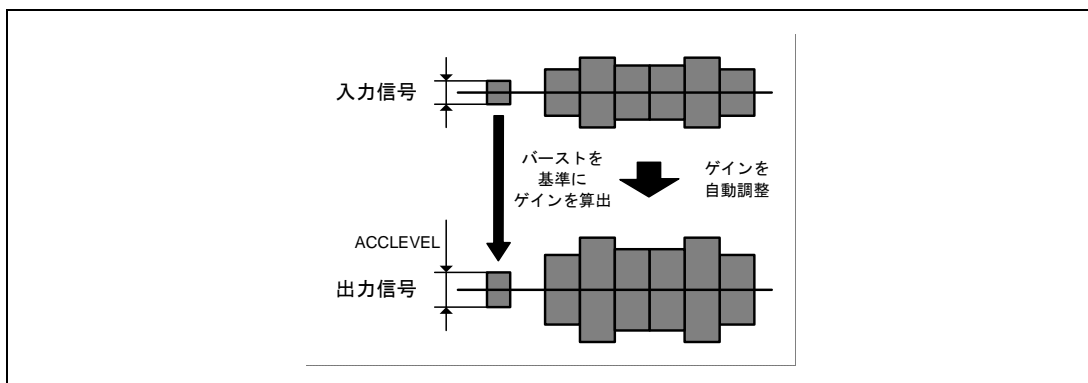


図 30.18 ACC レベル設定

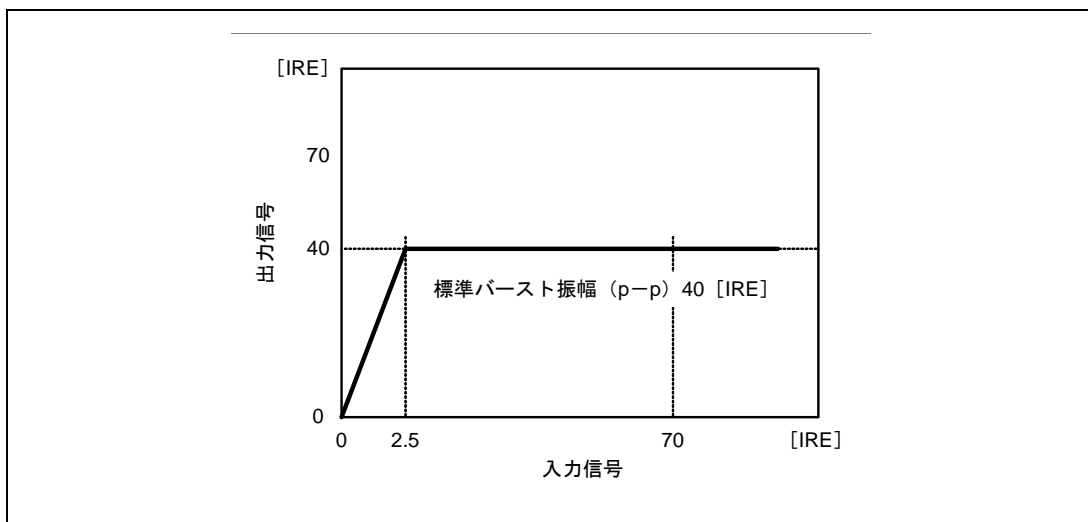


図 30.19 ACC の入出力特性

表 30.21 ACC 特性表

入力バースト信号レベル	出力バースト信号レベル
- 24.1[dB]以上	基準振幅 (可変) ± 許容誤差 (可変)
- 24.1[dB]以下	入力レベルに比例して減少

30.4.26 ACC 制御レジスタ (2) (ACCCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CHROMASUB GAIN[1:0]	CHROMAMAINGAIN[8:0]									
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10, 9	CHROMASUBGAIN [1:0]	00	R/W	クロマ手動ゲイン (サブ) ACCMODE = '1' (手動ゲイン設定) のときに有効 0 : 1倍 1 : 2倍 2 : 4倍 3 : 8倍
8~0	CHROMAMAINGAIN [8:0]	100000 000	R/W	クロマ手動ゲイン (メイン) ACCMODE = '1' (手動ゲイン設定) のときに有効 256が1倍に相当します

(1) クロマゲイン調整 (手動) 制御

CHROMASUBGAIN、CHROMAMAINGAIN にてクロマゲインを制御します。

本ビットは、ACCMODE = '1'時のみ有効です。

$$C \text{ 信号出力} = C \text{ 信号入力} \times (\text{CHROMASUBGAIN} + (\text{CHROMAMAINGAIN} \div 256))$$

30.4.27 ACC 制御レジスタ (3) (ACCCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ACCRESPONSE [1:0]		ACCPRECIS[5:0]					KILLER MODE	KILLERLEVEL[5:0]					-		
初期値:	0	1	0	1	0	1	0	0	0	0	0	1	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15, 14	ACCRESPONSE [1:0]	01	R/W	ACCの応答速度 値が大きいほど応答が速くなりますが、雑音には弱くなります
13~8	ACCPRECIS [5:0]	010100	R/W	ACCゲイン調整精度 ACC調整後のカラーバースト振幅の許容誤差を10ビット精度の1LSB単位で設定
7	KILLERMODE	0	R/W	強制カラーキラーモードのON/OFF 0: 自動判定 1: 強制キラーON
6~1	KILLERLEVEL [5:0]	001001	R/W	カラーキラーの動作開始点 10ビット精度で1LSB単位、Peak-to-Peak振幅の半分の値を設定
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(1) ACC の応答速度制御

ACCRESPONSE にて ACC の応答速度を制御します。

値が大きいほど応答が速くなり、値が小さいほど応答が遅くなります(値が大きいほど応答が速くなりますが、雑音に反応しやすくなります)。

(2) ACC の許容誤差範囲制御

ACCPRECIS にて ACCLEVEL (目標値) に対する出力信号のバースト信号振幅の許容誤差を制御します。

ACCLEVEL = '236'、ACCPRECIS = '20'の場合、

$$(236 - 20) < \text{出力信号のバースト振幅} < (236 + 20)$$

の範囲で ACC にてゲイン調整が実施されます。

(3) キラー動作モード制御

KILLERMODE にてキラーの動作モードを制御します。

KILLERMODE = '1'時、強制的にキラーON します。

(4) キラーレベル制御

KILLERLEVEL にてキラーが ON するレベルを制御します。

詳細は「30.4.25 ACC 制御レジスタ (1) (ACCCR1)」の「(1) カラーキラーオフセット制御」を参照してください。

30.4.28 TINT 制御レジスタ (TINTCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TINTSUB[5:0]						TINTMAIN[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	TINTSUB[5:0]	000000	R/W	R-Y復調軸の微調整 (NTSC/PALのみ有効) 360/1024度単位、二の補数
9~0	TINTMAIN[9:0]	0000000 000	R/W	色相調整量 (NTSC/PALのみ有効) 360/1024度単位、二の補数

(1) R-Y 軸補正制御

TINTSUB にて ±11.25 度 R-Y 軸の位相を制御します。

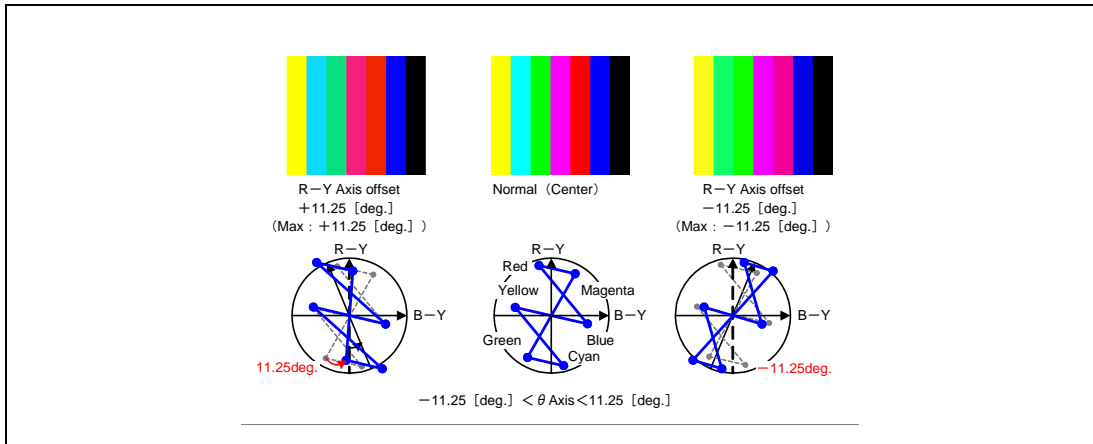


図 30.20 R-Y 軸補正の例

(2) 色相調整 (TINT) 補正制御

TINTMAIN にて 0 ~ 360 度の復調軸の位相を制御します。

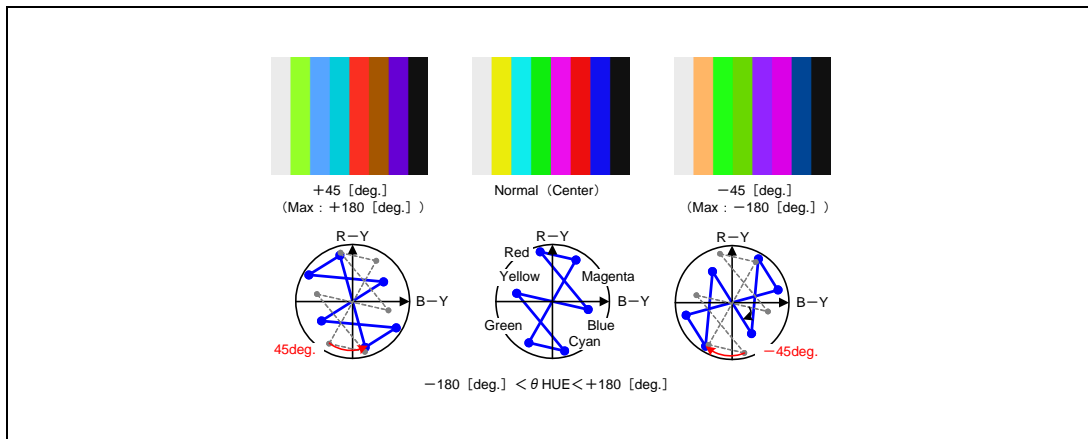


図 30.21 色相調整 (TINT) 補正の例

30.4.29 Y/C 遅延制御、クロマデコード制御レジスタ (YCDCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	LUMADelay[4:0]				-	CHROMALPF	DEMOMODE[1:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8~4	LUMADelay[4:0]	00000	R/W	輝度信号の遅延調整 - 16クロック ~ +15クロック、二の補数で設定
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	CHROMALPF	0	R/W	復調後クロマ用LPF 0: 使用しない 1: 使用する
1, 0	DEMOMODE[1:0]	10	R/W	復調前のライン平均処理 0: なし 1: 設定禁止 2: PALのみ 3: 設定禁止

(1) Y/C 遅延調整制御

LUMADELAY にて Y/C の遅延を制御します。

表 30.22 Y/C 遅延調整制御

LUMADELAY	動作
31	Y信号を - 1[clk]遅延
:	:
16	Y信号を - 16[clk]遅延
0	遅延なし
1	Y信号を + 1[clk]遅延
:	:
15	Y信号を + 15[clk]遅延

(2) 復調後の帯域抑制フィルタ制御

CHROMALPF にて復調後の帯域抑制フィルタを制御します。

表 30.23 復調後の帯域抑制フィルタ制御

CHROMALPF	動作
0	復調後の帯域抑制フィルタOFF
1	復調後の帯域抑制フィルタON

(3) クロマデコード動作制御

DEMOMODE にてクロマ復調の動作モードを制御します。

表 30.24 クロマデコード動作モード表

DEMOMODE	出力バースト信号レベル
0	1ライン復調
2	PALのみ2ライン復調
1、3	設定禁止

30.4.30 AGC 制御レジスタ (1) (AGCCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DOREDUCE	NOREDUC	AGCRESPONSE[2:0]			AGCLEVEL[8:0]								
初期値:	0	0	0	0	1	0	1	0	1	1	1	0	1	1	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	DOREDUCE	0	R/W	VBI期間における同期振幅検出手動切り替え 0: 同期振幅をAGCの基準に設定 1: AGCゲインを通常の3/4倍に設定
12	NOREDUC	0	R/W	VBI期間における同期振幅検出切り替え 0: 同期振幅検出する 1: 同期振幅検出しない
11~9	AGCRESPONSE [2:0]	101	R/W	AGCの応答速度 値が大きいかほど応答が速くなりますが、雑音に反応しやすくなります
8~0	AGCLEVEL[8:0]	011101 100	R/W	同期パルスの基準振幅 設定範囲: 0~511、10ビット符号なし

(1) VBI 期間の同期振幅検出制御

DOREDUCE、NOREDUC にて AGC の VBI 期間の同期信号振幅変動の検出を制御します。

表 30.25 VBI 期間における同期振幅検出動作

DOREDUCE	VBI期間における同期振幅検出動作
0	同期振幅をAGCの基準
1	AGCゲインを通常の3/4倍

表 30.26 VBI 期間における同期振幅検出

NOREDUC	VBI期間における同期振幅検出
0	同期振幅検出する
1	同期振幅検出しない

(2) AGC の応答速度制御

AGCRESPONSE にて AGC の応答速度を制御します。

値が大きいかほど応答が速くなり、値が小さいほど応答が遅くなります(値が大きいかほど応答が速くなりますが、雑音に反応しやすくなります)。

弱電界、VTR の特殊再生 (早送り / 巻戻し再生) での誤動作を考慮して推奨値を '4' としています。

(3) AGC のレベル制御

AGCLEVEL にて AGC のターゲットレベルを制御します。

NTSC 信号を 10 ビットの A/D 変換器で量子化した場合の A/D 変換器のフルレンジに対する同期信号振幅は、

$$1023[\text{LSB}] \times (40[\text{IRE}] \div 173[\text{IRE}]) = 236.53179[\text{LSB}]$$

となります。

各入力信号フォーマットに対する AGC レベルの理想値を表 30.27 に示します。

表 30.27 AGC レベル設定値 (理想値)

入力信号フォーマット	AGCLEVEL[8:0]
NTSC	236
PAL/SECAM	248

表 30.28 AGC 特性表

入力同期信号レベル	出力同期信号レベル
0[dB]以上	入力レベルに比例して増加
- 8.52[dB] ~ 0[dB]	基準振幅 (可変) ± 許容誤差 (可変)
- 8.52[dB]以下	入力レベルに比例して減少

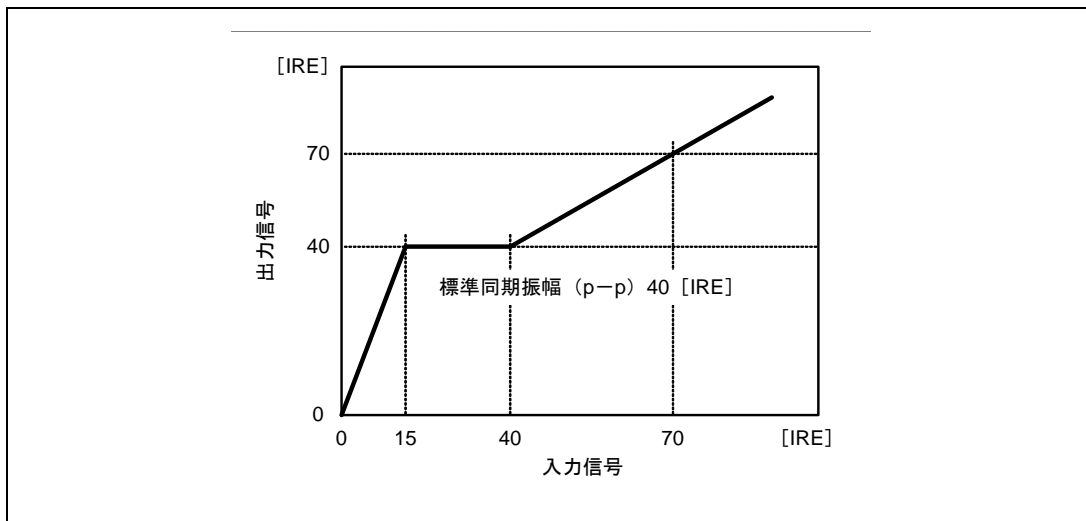


図 30.22 AGC 特性図 (同期信号振幅基準)

30.4.31 AGC 制御レジスタ (2) (AGCCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	AGCPRECIS[5:0]					-	-	-	-	-	-	-	-	-	-
初期値:	1	1	0	0	1	0	1	0	0	1	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
13~8	AGCPRECIS[5:0]	001010	R/W	AGCゲイン調整精度 AGC調整後の同期パルス振幅の許容誤差を10ビット精度の1LSB単位で設定
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(1) AGC の許容誤差範囲制御

AGCPRECIS にて AGCLEVEL (目標値) に対する出力信号の同期信号振幅の許容誤差を制御します。

AGCLEVEL = '236'、AGCPRECIS = '10' の場合、

$$(236 - 10) < \text{出力信号の同期振幅} < (236 + 10)$$

の範囲にて AGC ゲインが固定されます。この場合、PGA のゲイン設定としては、2 ステップの範囲を取り得ることになります。同期信号振幅が安定した映像では、PGA のゲイン設定が 1 ステップの範囲となる設定 (AGCPRECIS = '4') が強電界時の推奨です。上記設定では、弱電界等でハンチング動作を起こす可能性があり、推奨値を '10' としています。

30.4.32 ピークリミッタ制御レジスタ (PKLIMITCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEAKLEVEL[1:0]		PEAKATTACK[1:0]		PEAKRELEASE[1:0]		PEAKRATIO[1:0]		MAXPEAKSAMPLES[7:0]							
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PEAKLEVEL[1:0]	00	R/W	ピークリミッタによって制限されるピーク輝度値の値(映像信号レベル) 0: リミッタOFF 1: 1008LSB 2: 992LSB 3: 960LSB 【注】 AGCがOFFである場合にはPEAKLEVELの値によらずピークリミッタは動作しません
13, 12	PEAKATTACK[1:0]	10	R/W	ピークリミッタのゲイン減少時の応答速度 値が大きいかほど応答が速くなります
11, 10	PEAKRELEASE[1:0]	00	R/W	ピークリミッタのゲイン増加時の応答速度 値が大きいかほど応答が速くなります
9, 8	PEAKRATIO[1:0]	00	R/W	ピークリミッタの最大圧縮率 0: 50%まで圧縮 1: 25%まで圧縮 2: 12.5%まで圧縮 3: 0%まで圧縮
7~0	MAXPEAK SAMPLES[7:0]	00000000	R/W	オーバフローを起こしている画素の許容最大数 1024画素単位で指定、この値を超えるとピークリミッタの動作を開始します

(1) ピークリミッタのレベル制御

PEAKLEVEL にてピークリミッタによって制限されるピーク輝度値を制御します。

PEAKLEVEL で設定された値以上の画素をカウントし、MAXPEAKSAMPLES で設定された値以上の画素数が存在すると、ピークリミッタ機能が働きゲインをダウンします。

表 30.29 ピークリミッタのレベル制御

PEAKLEVEL	出力同期信号レベル
0	ピークリミッタOFF
1	1008LSBにてピークリミッタ動作
2	992LSBにてピークリミッタ動作
3	960LSBにてピークリミッタ動作

(2) ピークリミッタの応答速度制御

PEAKATTACK にてピークリミッタのゲイン減少時の応答速度を制御します。

値が大きいくほど応答が速くなります。

(3) ピークリミッタの応答速度制御

PEAKRELEASE にてピークリミッタのゲイン増加時の応答速度を制御します。

値が大きいくほど応答が速くなります。

(4) ピークリミッタのゲインダウン制御

PEAKRATIO にてピークリミッタの最大圧縮率を制御します。

ピークリミッタ機能でゲインをダウンする場合のゲインのダウン量（圧縮率）を制御します。

表 30.30 ピークリミッタのゲインダウン制御

PEAKRATIO	出力同期信号レベル
0	50.0%まで圧縮
1	25.0%まで圧縮
2	12.5%まで圧縮
3	0%まで圧縮

(5) ピークリミッタの判定制御

MAXPEAKSAMPLES にてオーバフローを起こしている画素の許容最大数を制御します。

垂直有効期間の間に PEAKLEVEL で設定された値以上の画素をカウントし、MAXPEAKSAMPLES で設定された値以上の画素数が存在すると、ピークリミッタ機能が働きゲインをダウンします。

許容最大数は MAXPEAKSAMPLES に 1024 を掛けた値になります。

30.4.33 レンジオーバ制御レジスタ (1) (RGORCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RADJ_O_LEVEL0[9:0]									
初期値:	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	RADJ_O_LEVEL0 [9:0]	111111 1111	R/W	A/Dオーバーサレッシュレベル (LEVEL0/1間) LEVEL0 (通常空間) からLEVEL3 (完全レンジオーバ) まであり

(1) A/D オーバサレッシュレベル (LEVEL0/1 間) 制御

RADJ_O_LEVEL0 にて A/D オーバサレッシュレベル (LEVEL0/1 間) を制御します。

サレッシュレベルの対応を図 30.23 に示します。

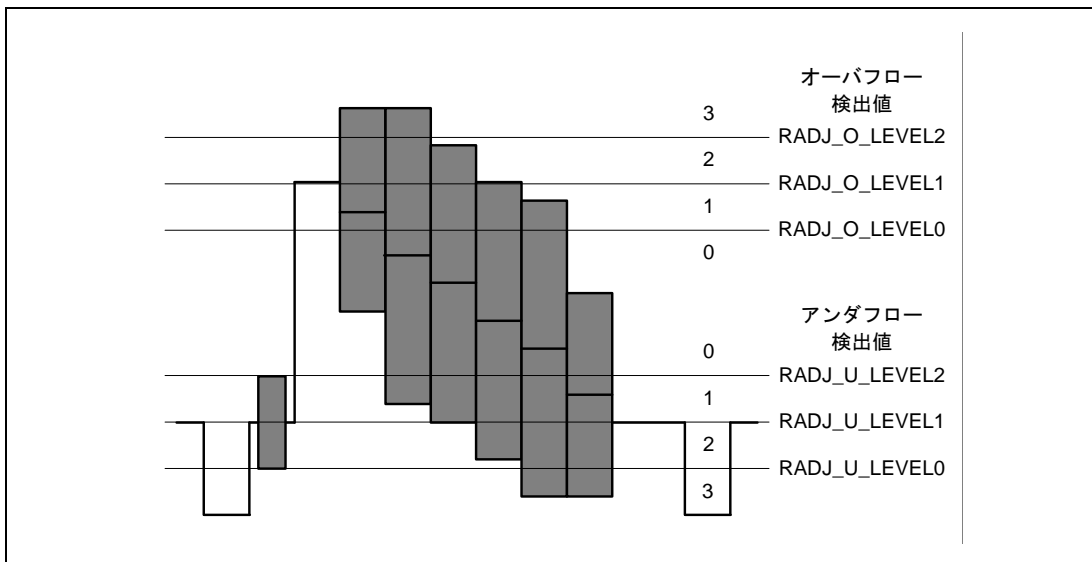


図 30.23 レンジオーバ制御の判定領域

30.4.34 レンジオーバ制御レジスタ (2) (RGORCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RADJ_U_LEVEL0[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	RADJ_U_LEVEL0 [9:0]	000000 0000	R/W	A/Dアンダスレッシュレベル (LEVEL3/2間) LEVEL0 (通常空間) からLEVEL3 (完全レンジアンダ) まであり

(1) A/D アンダスレッシュレベル (LEVEL3/2 間) 制御

RADJ_U_LEVEL0 にて A/D アンダスレッシュレベル (LEVEL3/2 間) を制御します。

スレッシュレベルの対応は「30.4.33 レンジオーバ制御レジスタ (1) (RGORCR1)」を参照してください。

30.4.35 レンジオーバ制御レジスタ (3) (RGORCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RADJ_O_LEVEL1[9:0]									
初期値:	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	RADJ_O_LEVEL1 [9:0]	111111 1111	R/W	A/Dオーバスレッシュレベル (LEVEL1/2間) LEVEL0 (通常空間) からLEVEL3 (完全レンジオーバ) まであり

(1) A/D オーバスレッシュレベル (LEVEL1/2 間) 制御

RADJ_O_LEVEL1 にて A/D オーバスレッシュレベル (LEVEL1/2 間) を制御します。

スレッシュレベルの対応は「30.4.33 レンジオーバ制御レジスタ (1) (RGORCR1)」を参照してください。

30.4.36 レンジオーバ制御レジスタ (4) (RGORCR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RADJ_U_LEVEL1[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	RADJ_U_LEVEL1 [9:0]	000000 0000	R/W	A/Dアンダスレッシュレベル (LEVEL2/1間) LEVEL0 (通常空間) からLEVEL3 (完全レンジアンダ) まであり

(1) A/D アンダスレッシュレベル (LEVEL2/1 間) 制御

RADJ_U_LEVEL1 にて A/D アンダスレッシュレベル (LEVEL2/1 間) を制御します。

スレッシュレベルの対応は「30.4.33 レンジオーバ制御レジスタ(1) (RGORCR1)」を参照してください。

30.4.37 レンジオーバ制御レジスタ (5) (RGORCR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RADJ_O_LEVEL2[9:0]									
初期値:	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	RADJ_O_LEVEL2 [9:0]	111111 1111	R/W	A/Dオーバスレッシュレベル (LEVEL2/3間) LEVEL0 (通常空間) からLEVEL3 (完全レンジオーバ) まであり

(1) A/D オーバスレッシュレベル (LEVEL2/3 間) 制御

RADJ_O_LEVEL2 にて A/D オーバスレッシュレベル (LEVEL2/3 間) を制御します。

スレッシュレベルの対応は「30.4.33 レンジオーバ制御レジスタ(1) (RGORCR1)」を参照してください。

30.4.38 レンジオーバ制御レジスタ (6) (RGORCR6)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RADJ_U_LEVEL2[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	RADJ_U_LEVEL2 [9:0]	000000 0000	R/W	A/Dアンダスレッシュレベル (LEVEL1/0間) LEVEL0 (通常空間) からLEVEL3 (完全レンジアンダ) まであり

(1) A/D アンダスレッシュレベル (LEVEL1/0 間) 制御

RADJ_U_LEVEL2 にて A/D アンダスレッシュレベル (LEVEL1/0 間) を制御します。

スレッシュレベルの対応は「30.4.33 レンジオーバ制御レジスタ (1) (RGORCR1)」を参照してください。

30.4.39 レンジオーバ制御レジスタ (7) (RGORCR7)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TEST_MONI[2:0]		RADJ_MIX_K_FIX[2:0]		—	—	—	—	—	—	—	—	UCMP_SW	DCMP_SW	HWIDE_SW
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	TEST_MONI[2:0]	000	R/W	テストモード 0~3: 通常動作 4: LEVEL0 部分黒出力 5: LEVEL1 部分黒出力 6: LEVEL2 部分黒出力 7: LEVEL3 部分黒出力
11~9	RADJ_MIX_K_FIX [2:0]	000	R/W	レンジオーバアンダ強制モード 0~3: 自動検知 4: LEVEL0 (通常) 固定 5: LEVEL1 (ほぼ通常) 固定 6: LEVEL2 (ほぼレンジオーバ) 固定 7: LEVEL3 (完全レンジオーバ状態) 固定
8~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	UCMP_SW	0	R/W	レンジオーバ判別許可 0: レンジオーバ検知しない 1: レンジオーバ検知する
1	DCMP_SW	0	R/W	レンジアンダ判別許可 0: レンジアンダ検知しない 1: レンジアンダ検知する
0	HWIDE_SW	1	R/W	レンジオーバ、アンダレベルの水平拡大 0: 水平拡大なし 1: 水平拡大あり

(1) レンジオーバのテスト制御

TEST_MONI にてレンジオーバのテストを制御します。

(2) レンジオーバアンダ強制モード制御

RADJ_MIX_K_FIX にてレンジオーバアンダ強制許可を制御します。

(3) レンジオーバ判別許可制御

UCMP_SW にてレンジオーバ判別許可を制御します。

(4) レンジアンダ判別許可制御

DCMP_SW にてレンジアンダ判別許可を制御します。

(5) レンジオーバ、アンダレベルの水平拡大制御

HWIDE_SW にてレンジオーバ、アンダレベルの水平拡大を制御します。

30.4.40 水平 AFC 位相比較器のフィードバック量調整レジスタ (AFPCFCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PHDET_FIX	-	PHDET_DIV[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PHDET_FIX	0	R/W	強制LOWGAIN制御 0: LOWGAIN判定結果使用 1: 強制 (PHDET_DIVによる調整)
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PHDET_DIV[2:0]	101	R/W	同期信号のロック安定度低下時の位相比較結果のフィードバック量の調整 0: 1/1 1: 1/2 2: 1/4 3: 1/8 4: 1/16 5: 1/32 6~7: 設定禁止

(1) 位相比較器のフィードバック量の調整

ロック安定度が下がった場合の位相比較結果のフィードバック量を調整します。

分母が大きいほど、信号に対する反応が遅くなります。

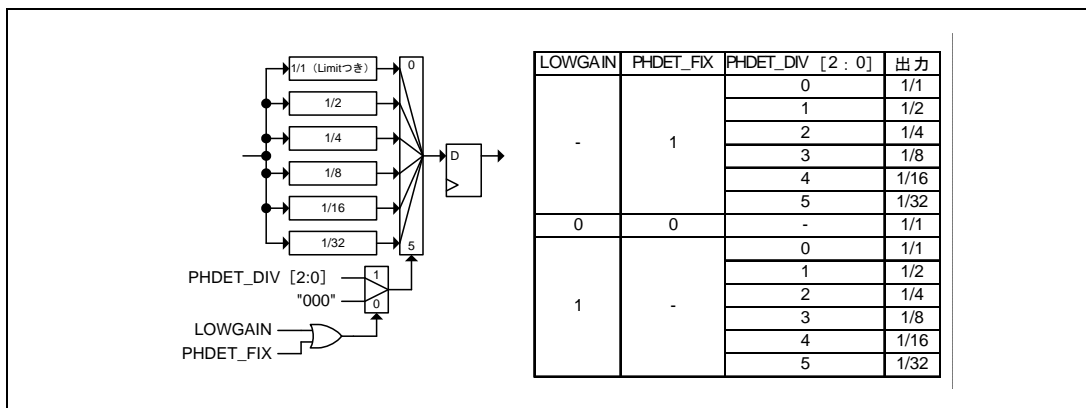


図 30.24 位相比較器のフィードバック量の調整

30.4.41 レジスタ更新制御レジスタ (RUPDCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NEWSE TTING	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	NEWSETTING	0	R/W	TGCR1~3 レジスタの V 更新許可 1: 許可 0: 禁止
14~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) TGCR1~3 レジスタの V 更新許可制御

NEWSETTING にて TGCR1~3 レジスタの V 更新許可を制御します。

30.4.42 同期分離ステータス、垂直周期リードレジスタ (VSYNC_SR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FHCOUNT[0]	FHLOCK	ISNOISY	FHMODE	NOSIGNAL	FVLOCK	FVMODE	INTERLACED	FVCOUNT[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	FHCOUNT[0]	0	R	水平 AFC 発振周期 (bit0) 27MHz クロックの 1/64 クロック単位
14	FHLOCK	0	R	水平 AFC ロック判定 0: アンロック 1: ロック
13	ISNOISY	0	R	同期分離による低 S/N 信号判別結果 0: 低 S/N 信号でない 1: 低 S/N 信号である
12	FHMODE	0	R	倍速判定結果 0: 通常 (525i / 625i 等) 1: 倍速 (525p / 625p 等)
11	NOSIGNAL	0	R	無信号判別結果 0: 垂直同期信号あり 1: 垂直同期信号なし
10	FVLOCK	0	R	垂直カウントダウンのロック判定 0: アンロック 1: ロック
9	FVMODE	0	R	垂直カウントダウン発振モード 0: 50Hz 1: 60Hz
8	INTERLACED	0	R	インタレース判別結果 0: 非インタレース 1: インタレース
7~0	FVCOUNT[7:0]	00000000	R	垂直周期計測結果 (0.1ms 単位)

(1) 水平 AFC 発振周期のリード

FHCOUNT にて水平 AFC 発振周期の bit0 をリードします。

(2) 水平 AFC ロック判定のリード

FHLOCK にて水平 AFC ロック判定をリードします。

- (3) 同期分離による低 S/N 信号判別結果のリード
ISNOISY にて同期分離による低 S/N 信号判別結果をリードします。
- (4) 倍速判定結果のリード
FHMODE にて倍速判定結果をリードします。
- (5) 無信号判別結果のリード
NOSIGNAL にて無信号判別結果をリードします。
- (6) 垂直カウントダウンのロック判定のリード
FVLOCK にて垂直カウントダウンのロック判定をリードします。
- (7) インタレース判別結果のリード
INTERLACED にてインタレース判別結果をリードします。
- (8) 垂直周期計測結果のリード
FVCOUNT にて垂直周期計測結果をリードします。

30.4.43 水平周期リードレジスタ (HSYNC_SR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FHCOUNT[16:1]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	FHCOUNT[16:1]	H'0000	R	水平 AFC 発振周期 (bit16 - bit1) 27MHz クロックの 1/64 クロック単位

(1) 水平 AFC 発振周期のリード

FHCOUNT にて水平 AFC 発振周期の上位ビットをリードします。

30.4.44 デジタルクランプリードレジスタ (1) (DCPSR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CLAMPLEVEL_CB[5:0]						CLAMPLEVEL_Y[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	CLAMPLEVEL_CB [5:0]	000000	R	デジタルクランプ減算値 (Cb 信号) 基準黒レベルからのオフセット (1LSB 単位、二の補数)
9~0	CLAMPLEVEL_Y [9:0]	000000 0000	R	デジタルクランプ減算値 (Y 信号) 基準黒レベルからのオフセット (1LSB 単位、二の補数)

(1) Cb 信号のデジタルクランプ減算値のリード

CLAMPLEVEL_CB にて Cb 信号のデジタルクランプ減算値をリードします。

(2) Y 信号のデジタルクランプ減算のリード

CLAMPLEVEL_Y にて Y 信号のデジタルクランプ減算値をリードします。

30.4.45 デジタルクランプリードレジスタ (2) (DCPSR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CLAMPLEVEL_CR[5:0]						-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	CLAMPLEVEL_CR[5:0]	000000	R	デジタルクランプ減算値 (Cr 信号) 基準黒レベルからのオフセット (1LSB 単位、二の補数)
9~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) Cr 信号のデジタルクランプ減算値のリード

CLAMPLEVEL_CR にて Cr 信号のデジタルクランプ減算値をリードします。

30.4.46 ノイズ検出リードレジスタ (NSDSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ACFSTRENGTH[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	ACFSTRENGTH [15:0]	H'0000	R	デジタルクランプパルスの位置 (通常ベデスタル位置) におけるノイズの自己相関の強さ ACFLAGTIME : 0 のときはほぼベデスタル位置におけるノイズ電力に対応する値となります。 このとき平方根がノイズ振幅、対数が S/N にほぼ対応した値になります。 (相対値)

(1) デジタルクランプパルスの位置 (通常ベデスタル位置) におけるノイズの自己相関の強さのリード

ACFSTRENGTH にてデジタルクランプパルスの位置 (通常ベデスタル位置) におけるノイズの自己相関の強さをリードします。

30.4.47 クロマデコードリードレジスタ (1) (CROMASR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COLORSYS[1:0]		FSC MODE	FSC LOCK	NO BURST	ACCSUBGAIN [1:0]		ACCMAINGAIN[8:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	COLORSYS[1:0]	00	R	色方式判別結果 0: NTSC 1: PAL 2: SECAM 3: 判別不能
13	FSCMODE	0	R	色副搬送波周波数判別結果 0: 3.58MHz 1: 4.43MHz
12	FSCLOCK	0	R	バーストロック PLL ロック判定 1: ロック 0: アンロック
11	NOBURST	0	R	カラーバースト検出結果 0: カラーバーストあり 1: カラーバーストなし
10、9	ACCSUBGAIN [1:0]	00	R	現在の ACC ゲイン値 (サブ) 0: 1 倍 1: 2 倍 2: 4 倍 3: 8 倍
8~0	ACCMAINGAIN [8:0]	000000 000	R	現在の ACC ゲイン値 (メイン) 256 が 1 倍

(1) 色方式判別結果のリード

COLORSYS にて色方式判別結果をリードします。

(2) 色副搬送波周波数判別結果のリード

FSCMODE にて色副搬送波周波数判別結果をリードします。

(3) バーストロック PLL ロック判定のリード

FSCLOCK にてバーストロック PLL ロック判定をリードします。

(4) カラーバースト検出結果のリード

NOBURST にてカラーバースト検出結果をリードします。

(5) 現在の ACC ゲイン値 (サブ) のリード

ACCSUBGAIN にて現在の ACC ゲイン値 (サブ) をリードします。

(6) 現在の ACC ゲイン値 (メイン) のリード

ACCMaingain にて現在の ACC ゲイン値 (メイン) をリードします。

30.4.48 クロマデコードリードレジスタ (2) (CROMASR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	ISSECAM	ISPAL	ISNTSC	-	-	LOCKLEVEL[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	ISSECAM	0	R	SECAM 検出器検出結果 0: SECAM でない 1: SECAM である
11	ISPAL	0	R	PAL 検出器検出結果 0: PAL でない 1: PAL である
10	ISNTSC	0	R	NTSC 検出器検出結果 0: NTSC でない 1: NTSC である
9, 8	-	すべて0	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
7~0	LOCKLEVEL[7:0]	000000 00	R	バーストロック PLL による低 S/N 信号判別結果 値が大きいくほど S/N が高い

(1) SECAM 検出器検出結果のリード

ISSECAM にて SECAM 検出器検出結果をリードします。

(2) PAL 検出器検出結果のリード

ISPAL にて PAL 検出器検出結果をリードします。

(3) NTSC 検出器検出結果のリード

ISNTSC にて NTSC 検出器検出結果をリードします。

(4) バーストロック PLL による低 S/N 信号判別結果のリード

LOCKLEVEL にてバーストロック PLL による低 S/N 信号判別結果をリードします。

30.4.49 同期分離リードレジスタ (SYNCSSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	ISREDUCED	-	-	SYNCDEPTH[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15-13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	ISREDUCED	0	R	VBI 期間の同期振幅の検出結果 0: 映像有効期間よりも振幅が大きい 1: 映像有効期間と等しい
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9-0	SYNCDEPTH[9:0]	000000 0000	R	同期パルス振幅検出結果

(1) VBI 期間の同期振幅の検出結果のリード

ISREDUCED にて VBI 期間の同期振幅の検出結果をリードします。

(2) 同期パルス振幅検出結果のリード

SYNCDEPTH にて同期パルス振幅検出結果をリードします。

30.4.50 AGC 制御リードレジスタ (1) (AGCCSR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HIGHSAMPLES[7:0]							PEAKSAMPLES[7:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	HIGHSAMPLES [7:0]	000000 00	R	ピークリミッタで制限されるピーク輝度以上の輝度値を持つ画素の数 1024 画素単位
7~0	PEAKSAMPLES [7:0]	000000 00	R	オーバフローを起こしている画素の数 1024 画素単位

(1) ピークリミッタで制限されるピーク輝度以上の輝度値を持つ画素の数のリード

HIGHSAMPLES にてピークリミッタで制限されるピーク輝度以上の輝度値を持つ画素の数をリードします。

(2) オーバフローを起こしている画素の数のリード

PEAKSAMPLES にてオーバフローを起こしている画素の数をリードします。

30.4.51 AGC 制御リードレジスタ (2) (AGCCSR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	AGCCON VERGE	AGCGAIN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	AGCCONVERGE	0	R	AGC の収束判定結果 1: 収束 0: 収束していない
7~0	AGCGAIN[7:0]	010000 00	R	現在の AGC ゲイン値 64 が 1 倍に相当

(1) AGC の収束判定結果のリード

AGCCONVERGE にて AGC の収束判定結果をリードします。

(2) 現在の AGC ゲイン値のリード

AGCGAIN にて現在の AGC ゲイン値をリードします。

30.4.52 Y/C 分離制御レジスタ (3) (YCSCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	K15[3:0]				K13[5:0]					K11[5:0]						
初期値:	0	0	1	0	0	0	1	0	0	0	0	0	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	K15[3:0]	0010	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、水平 BPF の適用範囲が狭くなります。
11~6	K13[5:0]	001000	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、水平 BPF の適用範囲が狭くなります。
5~0	K11[5:0]	000100	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、水平 BPF の適用範囲が狭くなります。

(1) Y/C 分離 2 次元フィルタ選択係数制御

K15 にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

(2) Y/C 分離 2 次元フィルタ選択係数制御

K13 にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

(3) Y/C 分離 2 次元フィルタ選択係数制御

K11 にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

30.4.53 Y/C 分離制御レジスタ (4) (YCSCR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	K16[3:0]				K14[5:0]						K12[5:0]					
初期値:	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	K16[3:0]	0011	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、水平 BPF の適用範囲が狭くなります。
11~6	K14[5:0]	010000	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、水平 BPF の適用範囲が狭くなります。
5~0	K12[5:0]	000001	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、水平 BPF の適用範囲が狭くなります。

(1) Y/C 分離 2 次元フィルタ選択係数制御

K16 にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

(2) Y/C 分離 2 次元フィルタ選択係数制御

K14 にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

(3) Y/C 分離 2 次元フィルタ選択係数制御

K12 にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

30.4.54 Y/C 分離制御レジスタ (5) (YCSCR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	K22A[7:0]								—	—	K21A[5:0]					
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	K22A[7:0]	0100000 0	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、垂直 BPF の適用範囲が狭くなります。
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	K21A[5:0]	000110	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、垂直 BPF の適用範囲が狭くなります。

(1) Y/C 分離 2 次元フィルタ選択係数制御

K22A にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

(2) Y/C 分離 2 次元フィルタ選択係数制御

K21A にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

30.4.55 Y/C 分離制御レジスタ (6) (YCSCR6)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	K22B[7:0]								-	-	K21B[5:0]					
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	K22B[7:0]	000100 00	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、垂直 BPF の適用範囲が狭くなります。
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	K21B[5:0]	000110	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、垂直 BPF の適用範囲が狭くなります。

(1) Y/C 分離 2 次元フィルタ選択係数制御

K22B にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

(2) Y/C 分離 2 次元フィルタ選択係数制御

K21B にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

30.4.56 Y/C 分離制御レジスタ (7) (YCSCR7)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	K23B[3:0]				K23A[3:0]				—	—	—	K24[4:0]				
初期値:	0	1	1	0	0	0	1	1	0	0	1	0	0	1	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	K23B[3:0]	0110	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、垂直 BPF の適用範囲が狭くなります。
11~8	K23A[3:0]	0011	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、垂直 BPF の適用範囲が狭くなります。
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4~0	K24[4:0]	00101	R/W	Y/C 分離 2 次元フィルタ選択係数 この値を大きくすると、垂直 BPF の適用範囲が広くなります。

(1) Y/C 分離 2 次元フィルタ選択係数制御

K23B にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

(2) Y/C 分離 2 次元フィルタ選択係数制御

K23A にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

(3) Y/C 分離 2 次元フィルタ選択係数制御

K24 にて、Y/C 分離 2 次元フィルタ選択係数を制御します。

詳細は、「30.5.5 (3) 水平・垂直相関検出」を参照してください。

30.4.57 Y/C 分離制御レジスタ (8) (YCSCR8)

2 次元 Y/C 分離では水平 BPF、垂直 BPF および水平垂直 BPF を適応的に切り替えます。水平 BPF および水平垂直 BPF については、水平方向の特性を選択できます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HBPF_NARROW	HVBPF_NARROW	HBPF1_9TAP_ON	HVBPF1_9TAP_ON	HFIL_TAP_SEL	—	—	—	—	—	—	—	—	—	—	—
初期値 :	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	HBPF_NARROW	1	R/W	水平 BPF (後段) の選択 0 : バイパス 1 : 17TAP
14	HVBPF_NARROW	1	R/W	水平垂直 BPF(後段)の選択 0 : バイパス 1 : 17TAP
13	HBPF1_9TAP_ON	0	R/W	水平 BPF (前段) の選択 0 : 17TAP 1 : 9TAP
12	HVBPF1_9TAP_ON	0	R/W	水平垂直 (前段) の BPF 選択 0 : 17TAP 1 : 9TAP
11	HFIL_TAP_SEL	0	R/W	水平フィルタ & 水平垂直フィルタ帯域切り替え信号 0 : 17TAP 1 : 9TAP
10~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) 水平 BPF の選択制御

HBPF_NARROW にて水平 BPF(後段)の選択を制御します。

詳細は、「30.5.5 (2) 水平・垂直フィルタ」を参照してください。

(2) 水平垂直 BPF の選択制御

HVBPF_NARROW にて水平垂直 BPF (後段) の選択を制御します。

詳細は、「30.5.5 (2) 水平・垂直フィルタ」を参照してください。

(3) 水平 BPF (広帯域) 選択制御

HBPF1_9TAP_ON にて水平 BPF (前段) 選択を制御します。

詳細は、「30.5.5 (2) 水平・垂直フィルタ」を参照してください。

(4) 水平垂直 BPF (広帯域) 選択制御

HVBPF1_9TAP_ON にて水平垂直 BPF (前段) 選択を制御します。

詳細は、「30.5.5 (2) 水平・垂直フィルタ」を参照してください。

(5) 水平 BPF 帯域切替制御

HFIL_TAP_SEL にて混合する水平 BPF の帯域切替を制御します。

詳細は、「30.5.5 (5) 水平・垂直混合」を参照してください。

30.4.58 Y/C 分離制御レジスタ (9) (YCSCR9)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DET2_ON	-	-	-	HSEL_MIX_Y[3:0]			VSEL_MIX_Y[3:0]			HVSEL_MIX_Y[3:0]					
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DET2_ON	1	R/W	2次元フィルタ混合処理選択 0: 相関検出フィルタを通した信号を混合しない 1: 相関検出フィルタを通した信号を混合する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~8	HSEL_MIX_Y [3:0]	0000	R/W	水平フィルタを通した信号と水平フィルタ(前段)を通した信号の混合比 0: 水平フィルタ 100.0% 1: 水平フィルタ 87.5% + 水平フィルタ(前段) 12.5% 2: 水平フィルタ 75.0% + 水平フィルタ(前段) 25.0% 3: 水平フィルタ 62.5% + 水平フィルタ(前段) 37.5% 4: 水平フィルタ 50.0% + 水平フィルタ(前段) 50.0% 5: 水平フィルタ 37.5% + 水平フィルタ(前段) 62.5% 6: 水平フィルタ 25.0% + 水平フィルタ(前段) 75.0% 7: 水平フィルタ 12.5% + 水平フィルタ(前段) 87.5% 8: 水平フィルタ(前段)100.0% 9~15: 設定禁止
7~4	VSEL_MIX_Y [3:0]	0000	R/W	垂直フィルタを通した信号と水平垂直フィルタ(前段)を通した信号の混合比 0: 垂直フィルタ 100.0% 1: 垂直フィルタ 87.5% + 水平垂直フィルタ(前段) 12.5% 2: 垂直フィルタ 75.0% + 水平垂直フィルタ(前段) 25.0% 3: 垂直フィルタ 62.5% + 水平垂直フィルタ(前段) 37.5% 4: 垂直フィルタ 50.0% + 水平垂直フィルタ(前段) 50.0% 5: 垂直フィルタ 37.5% + 水平垂直フィルタ(前段) 62.5% 6: 垂直フィルタ 25.0% + 水平垂直フィルタ(前段) 75.0% 7: 垂直フィルタ 12.5% + 水平垂直フィルタ(前段) 87.5% 8: 水平垂直フィルタ(前段) 100.0% 9~15: 設定禁止

ビット	ビット名	初期値	R/W	説明
3~0	HVSEL_MIX_Y [3:0]	0	R/W	水平垂直フィルタを通した信号と水平垂直フィルタ（前段）を通した信号の混合比 0：水平垂直フィルタ 100.0% 1：水平垂直フィルタ 87.5% + 水平垂直フィルタ(前段)12.5% 2：水平垂直フィルタ 75.0% + 水平垂直フィルタ(前段)25.0% 3：水平垂直フィルタ 62.5% + 水平垂直フィルタ(前段)37.5% 4：水平垂直フィルタ 50.0% + 水平垂直フィルタ(前段)50.0% 5：水平垂直フィルタ 37.5% + 水平垂直フィルタ(前段)62.5% 6：水平垂直フィルタ 25.0% + 水平垂直フィルタ(前段)75.0% 7：水平垂直フィルタ 12.5% + 水平垂直フィルタ(前段)87.5% 8：水平垂直フィルタ(前段)100.0% 9~15：設定禁止

(1) 2次元フィルタ混合処理選択制御

DET2_ON にて 2次元フィルタ混合処理選択を処理します。

詳細は、「30.5.5 (5) 水平・垂直混合」を参照してください。

(2) 水平フィルタを通した信号と水平フィルタ（前段）を通した信号の混合比制御

HSEL_MIX_Y にて、水平フィルタを通した信号と水平フィルタ（前段）を通した信号の混合比を制御します。

詳細は、「30.5.5 (5) 水平・垂直混合」を参照してください。

(3) 垂直フィルタを通した信号と水平垂直フィルタ（前段）を通した信号の混合比制御

VSEL_MIX_Y にて、垂直フィルタを通した信号と水平垂直フィルタ（前段）を通した信号の混合比を制御します。

詳細は、「30.5.5 (5) 水平・垂直混合」を参照してください。

(4) 水平垂直フィルタを通した信号と水平垂直フィルタ（前段）を通した信号の混合比制御

HVSEL_MIX_Y にて、水平垂直フィルタを通した信号と水平垂直フィルタ（前段）を通した信号の混合比を制御します。

詳細は、「30.5.5 (5) 水平・垂直混合」を参照してください。

30.4.59 Y/C 分離制御レジスタ (11) (YCSCR11)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	V_Y_LEVEL[8:0]								
初期値:	1	1	0	1	1	0	0	0	0	0	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12, 11	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
10, 9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8~0	V_Y_LEVEL [8:0]	0000000 11	R/W	相関検出フィルタの垂直輝度検出レベル この値以下で輝度と判断します。

(1) 相関検出フィルタの垂直輝度検出レベル

V_Y_LEVEL[8:0]にて相関検出フィルタの垂直輝度検出レベルを制御します。

本モジュールを使用する際は、必ず'すべて 0'を設定してください。

30.4.60 Y/C 分離制御レジスタ (12) (YCSCR12)

2 次元 Y/C 分離動作時は、水平 BPF、垂直 BPF および水平垂直 BPF の切り替え後、縦続接続用水平 BPF によって水平方向の帯域をさらに狭くすることができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DET2_MIX_C[3:0]			DET2_MIX_Y[3:0]				—	—	—	—	FIL2_MODE_2D [1:0]	—	FIL2_NAR ROW_2D		
初期値:	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15~12	DET2_MIX_C[3:0]	0000	R/W	水平垂直適応フィルタを通した C 信号と相関検出フィルタを通した信号の混合比 (DET2_ON=0'のときは 0 設定) 0: 水平垂直適応フィルタ 100.0% 1: 水平垂直適応フィルタ 87.5% + 相関検出フィルタ 12.5% 2: 水平垂直適応フィルタ 75.0% + 相関検出フィルタ 25.0% 3: 水平垂直適応フィルタ 62.5% + 相関検出フィルタ 37.5% 4: 水平垂直適応フィルタ 50.0% + 相関検出フィルタ 50.0% 5: 水平垂直適応フィルタ 37.5% + 相関検出フィルタ 62.5% 6: 水平垂直適応フィルタ 25.0% + 相関検出フィルタ 75.0% 7: 水平垂直適応フィルタ 12.5% + 相関検出フィルタ 87.5% 8: 相関検出フィルタ 100.0% 9~15: 設定禁止
11~8	DET2_MIX_Y[3:0]	0110	R/W	水平垂直適応フィルタを通した Y 生成用 C 信号と相関検出フィルタを通した信号の混合比 (DET2_ON=0'のときは 0 設定) 0: 水平垂直適応フィルタ 100.0% 1: 水平垂直適応フィルタ 87.5% + 相関検出フィルタ 12.5% 2: 水平垂直適応フィルタ 75.0% + 相関検出フィルタ 25.0% 3: 水平垂直適応フィルタ 62.5% + 相関検出フィルタ 37.5% 4: 水平垂直適応フィルタ 50.0% + 相関検出フィルタ 50.0% 5: 水平垂直適応フィルタ 37.5% + 相関検出フィルタ 62.5% 6: 水平垂直適応フィルタ 25.0% + 相関検出フィルタ 75.0% 7: 水平垂直適応フィルタ 12.5% + 相関検出フィルタ 87.5% 8: 相関検出フィルタ 100.0% 9~15: 設定禁止
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3, 2	FIL2_MODE_2D [1:0]	01	R/W	2 次元縦続接続 / TAKE - OFF フィルタモード選択 0: バイパス 1: 縦続接続フィルタを選択 2: TAKE - OFF フィルタを選択 3: 設定禁止

ビット	ビット名	初期値	R/W	説明
1	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	FIL2_NARROW_2D	1	R/W	2次元縦続接続フィルタ選択 0: バイパス 1: 17TAP

- (1) 水平垂直適応フィルタを通したC信号と相関検出フィルタを通した信号の混合比制御
DET2_MIX_Cにて色信号(適応処理結果)と相関検出フィルタを通した信号の混合比を制御します。
詳細は、「30.5.5(6) 相関検出値混合」を参照してください。
- (2) 水平垂直適応フィルタを通したY生成用C信号と相関検出フィルタを通した信号の混合比を制御します。
詳細は、「30.5.5(6) 相関検出値混合」を参照してください。
- (3) 2次元縦続接続/TAKE-OFFフィルタモード選択制御
FIL2_MODE_2Dにて2次元縦続接続/TAKE-OFFフィルタモード選択を制御します。
詳細は、「30.5.5(8) 縦続接続フィルタ」を参照してください。
- (4) 2次元縦続接続フィルタ選択制御
FIL2_NARROW_2Dにて2次元縦続接続フィルタ選択を制御します。
詳細は、「30.5.5(8) 縦続接続フィルタ」を参照してください。

30.4.61 デジタルクランプ制御レジスタ（9）（DCPCR9）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CLP_HOLD_ON_Y	CLP_HOLD_ON_CB	CLP_HOLD_ON_CR	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
12	CLP_HOLD_ON_Y	1	R/W	クランプデータの HOLD 処理のオン/オフ (Y) 0 : HOLD 処理なし 1 : HOLD 処理あり
11	CLP_HOLD_ON_CB	1	R/W	クランプデータの HOLD 処理のオン/オフ (Cb) 0 : HOLD 処理なし 1 : HOLD 処理あり
10	CLP_HOLD_ON_CR	1	R/W	クランプデータの HOLD 処理のオン/オフ (Cr) 0 : HOLD 処理なし 1 : HOLD 処理あり
9~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(1) クランプデータの HOLD 処理のオン/オフ (Y) 制御

CLP_HOLD_ON_Y にて Y 系のクランプデータの HOLD 処理のオン/オフを制御します。

本モジュールを使用する際は、必ず'0'を設定してください。

(2) クランプデータの HOLD 処理のオン/オフ (Cb) 制御

CLP_HOLD_ON_CB にて Cb 系のクランプデータの HOLD 処理のオン/オフを制御します。

本モジュールを使用する際は、必ず'0'を設定してください。

(3) クランプデータの HOLD 処理のオン/オフ (Cr) 制御

CLP_HOLD_ON_CR にて Cr 系のクランプデータの HOLD 処理のオン/オフを制御します。

本モジュールを使用する際は、必ず'0'を設定してください。

30.4.62 Y/C 分離用クロマフィルタタップ係数 (WA_F0~F8) レジスタ (YCTWA_F0~F8)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	FIL2_2D_WA_F0~F8[12:0]												
初期値:	0	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12~0	FIL2_2D_WA_F0 ~ F8[12:0]	*	R/W	2次元縦続接続広帯域(3.58/4.43/SECAM-DR)/TAKE-OFFフィルタTAP係数0~8 [12]:符号 [11:0]:絶対値 *初期値 FIL2_2D_WA_F0 : H'0018 FIL2_2D_WA_F1 : H'002C FIL2_2D_WA_F2 : H'0014 FIL2_2D_WA_F3 : H'1034 FIL2_2D_WA_F4 : H'1080 FIL2_2D_WA_F5 : H'1080 FIL2_2D_WA_F6 : H'100C FIL2_2D_WA_F7 : H'0084 FIL2_2D_WA_F8 : H'00C8

(1) 2次元縦続接続広帯域(3.58/4.43/SECAM-DR)/TAKE-OFFフィルタTAP係数0~8制御

FIL2_2D_WA_F0~F8[12:0]にて2次元縦続接続広帯域(3.58/4.43/SECAM-DR)/TAKE-OFFフィルタTAP係数0~8を制御します。

伝達関数は、

$$H(z) = \{F0(z^{-8} + z^{+8}) + F1(z^{-7} + z^{+7}) + F2(z^{-6} + z^{+6}) + F3(z^{-5} + z^{+5}) + F4(z^{-4} + z^{+4}) + F5(z^{-3} + z^{+3}) + F6(z^{-2} + z^{+2}) + F7(z^{-1} + z^{+1}) + F8(z^0)\} \div 1024$$

となります。

係数値は、最上位ビットを符号、実効値を絶対値で設定します。

表 30.31 TAP 係数の設定値

最上位ビット	最上位ビット以外	設定値
0	0 ~ 4095	+0 ~ +4095
1	0 ~ 4095	-0 ~ -4095

各フィルタの推奨設定値は「30.5.5(8) 縦続接続フィルタ」を参照してください。

30.4.63 Y/C 分離用クロマフィルタタップ係数 (WB_F0~F8) レジスタ (YCTWB_F0~F8)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FIL2_2D_WB_F0~F8[12:0]												
初期値:	0	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12~0	FIL2_2D_WB_F0 ~ F8[12:0]	*	R/W	2次元縦続接続広帯域 (SECAM-DB) フィルタ TAP 係数 0~8 [12]: 符号 [11:0]: 絶対値 *初期値 FIL2_2D_WB_F0 : H'100C FIL2_2D_WB_F1 : H'0028 FIL2_2D_WB_F2 : H'003C FIL2_2D_WB_F3 : H'000C FIL2_2D_WB_F4 : H'1068 FIL2_2D_WB_F5 : H'109C FIL2_2D_WB_F6 : H'1040 FIL2_2D_WB_F7 : H'0078 FIL2_2D_WB_F8 : H'00D0

(1) 2次元縦続接続広帯域 (SECAM-DB) フィルタ TAP 係数 0~8 制御

FIL2_2D_WB_F0~F8[12:0]にて2次元縦続接続広帯域 (SECAM-DB) フィルタ TAP 係数 0~8 を制御します。

伝達関数は、

$$H(z) = \{F0(z^{-8} + z^{+8}) + F1(z^{-7} + z^{+7}) + F2(z^{-6} + z^{+6}) + F3(z^{-5} + z^{+5}) + F4(z^{-4} + z^{+4}) + F5(z^{-3} + z^{+3}) + F6(z^{-2} + z^{+2}) + F7(z^{-1} + z^{+1}) + F8(z^0)\} \div 1024$$

となります。

係数値は、最上位ビットを符号、実効値を絶対値で設定します。

表 30.32 TAP 係数の設定値

最上位ビット	最上位ビット以外	設定値
0	0 ~ 4095	+0 ~ +4095
1	0 ~ 4095	-0 ~ -4095

各フィルタの推奨設定値は「30.5.5 (8) 縦続接続フィルタ」を参照してください。

30.4.64 Y/C 分離用クロマフィルタタップ係数 (NA_F0~F8) レジスタ (YCTNA_F0~F8)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	FIL2_2D_NA_F0~F8[12:0]												
初期値:	0	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12~0	FIL2_2D_NA_F0 ~ F8[12:0]	*	R/W	2次元縦続接続狭帯域 (3.58/4.43/SECAM-DR) フィルタ TAP 係数 0~8 [12]: 符号 [11:0]: 絶対値 *初期値 FIL2_2D_NA_F0 : H'0018 FIL2_2D_NA_F1 : H'002C FIL2_2D_NA_F2 : H'0014 FIL2_2D_NA_F3 : H'1034 FIL2_2D_NA_F4 : H'1080 FIL2_2D_NA_F5 : H'1080 FIL2_2D_NA_F6 : H'100C FIL2_2D_NA_F7 : H'0084 FIL2_2D_NA_F8 : H'00C8

(1) 2次元縦続接続狭帯域 (3.58/4.43/SECAM-DR) フィルタ TAP 係数 0~8 制御

FIL2_2D_NA_F0~F8[12:0]にて2次元縦続接続狭帯域 (3.58/4.43/SECAM-DR) フィルタ TAP 係数 0~8 を制御します。

伝達関数は、

$$H(z) = \{F0(z^{-8} + z^{+8}) + F1(z^{-7} + z^{+7}) + F2(z^{-6} + z^{+6}) + F3(z^{-5} + z^{+5}) + F4(z^{-4} + z^{+4}) + F5(z^{-3} + z^{+3}) + F6(z^{-2} + z^{+2}) + F7(z^{-1} + z^{+1}) + F8(z^0)\} / 1024$$

となります。

係数値は、最上位ビットを符号、実効値を絶対値で設定します。

表 30.33 TAP 係数の設定値

最上位ビット	最上位ビット以外	設定値
0	0 ~ 4095	+0 ~ +4095
1	0 ~ 4095	-0 ~ -4095

各フィルタの推奨設定値は「30.5.5 (8) 縦続接続フィルタ」を参照してください。

30.4.65 Y/C 分離用クロマフィルタタップ係数 (NB_F0~F8) レジスタ (YCTNB_F0~F8)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FIL2_2D_NB_F0~F8[12:0]												
初期値:	0	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~0	FIL2_2D_NB_F0 ~ F8[12:0]	*	R/W	2次元縦続接続狭帯域 (SECAM-DB) フィルタ TAP 係数 0~8 [12]: 符号 [11:0]: 絶対値 *初期値 FIL2_2D_NB_F0 : H'1438 FIL2_2D_NB_F1 : H'0AF0 FIL2_2D_NB_F2 : H'1CEC FIL2_2D_NB_F3 : H'065C FIL2_2D_NB_F4 : H'05A4 FIL2_2D_NB_F5 : H'1CEC FIL2_2D_NB_F6 : H'085C FIL2_2D_NB_F7 : H'0178 FIL2_2D_NB_F8 : H'1568

(1) 2次元縦続接続狭帯域 (SECAM-DB) フィルタ TAP 係数 0~8 制御

FIL2_2D_NB_F0~F8[12:0]にて2次元縦続接続狭帯域 (SECAM-DB) フィルタ TAP 係数 0~8 を制御します。

伝達関数は、

$$H(z) = \{F0(z^{-8} + z^{+8}) + F1(z^{-7} + z^{+7}) + F2(z^{-6} + z^{+6}) + F3(z^{-5} + z^{+5}) + F4(z^{-4} + z^{+4}) + F5(z^{-3} + z^{+3}) + F6(z^{-2} + z^{+2}) + F7(z^{-1} + z^{+1}) + F8(z^0)\} \div 1024$$

となります。

係数値は、最上位ビットを符号、実効値を絶対値で設定します。

表 30.34 TAP 係数の設定値

最上位ビット	最上位ビット以外	設定値
0	0 ~ 4095	+ 0 ~ + 4095
1	0 ~ 4095	- 0 ~ - 4095

各フィルタの推奨設定値は「30.5.5 (8) 縦続接続フィルタ」を参照してください。

30.4.66 輝度 (Y) 信号ゲイン調整制御レジスタ (YGAINCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	Y_GAIN2[9:0]									
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	Y_GAIN2[9:0]	100000 0000	R/W	Y 信号ゲイン係数 (0=0[倍]、512=1.0[倍]、1023 2.0[倍])

(1) Y 信号出力ゲイン制御

Y_GAIN2 にて Y 信号の出力ゲインを制御します。

$$Y \text{ 信号出力} = \text{デコード後の Y 信号} \times (Y_GAIN2 \div 512)$$

30.4.67 色差 (Cb) 信号ゲイン調整制御レジスタ (CBGAINCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CB_GAIN2[9:0]									
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	CB_GAIN2[9:0]	100000 0000	R/W	Cb 信号ゲイン係数 (0=0[倍]、512=1.0[倍]、1023 2.0[倍])

(1) Cb 信号出力ゲイン制御

CB_GAIN2 にて Cb 信号の出力ゲインを制御します。

$$Cb \text{ 信号出力} = \text{デコード後の Cb 信号} \times (CB_GAIN2 \div 512)$$

30.4.68 色差 (Cr) 信号ゲイン調整制御レジスタ (CRGAINCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	CR_GAIN2[9:0]									
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	CR_GAIN2[9:0]	100000 0000	R/W	Cr 信号ゲイン係数 (0=0[倍]、512=1.0[倍]、1023 2.0[倍])

(1) Cr 信号出力ゲイン制御

CR_GAIN2 にて Cr 信号の出力ゲインを制御します。

$$\text{Cr 信号出力} = \text{デコード後の Cr 信号} \times (\text{CR_GAIN2} \div 512)$$

30.4.69 PGA 部レジスタ更新 (PGA_UPDATE)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PGA_VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PGA_VEN	1	R/W	PGACR レジスタの V 更新許可 1: 許可 0: 禁止

(1) PGACR レジスタの V 更新許可

PGA_VEN にて PGACR レジスタの V 更新許可を制御します。

30.4.70 PGA 制御レジスタ (PGACR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PGA_GAIN_SEL	PGA_GAIN[4:0]				-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PGA_GAIN_SEL	0	R/W	PGA 切り替え設定 0: 自動 (AGC) 1: 手動 (PGA_GAIN 参照)
12~8	PGA_GAIN[4:0]	01000	R/W	PGA ゲイン設定 0(0.8Vpp) ~ 31(1.6Vpp)
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 本レジスタはすべて PGA 部レジスタ更新 (PGA_UPDATE) の PGA_VEN = 1 の状態で、垂直同期信号がアサートされたときに更新されます。

(1) PGA 切り替え設定

PGA_GAIN_SEL='0'、ADCCR1.AGCMODE='1'で、AGC でコントロールされた値が PGA のゲイン設定に反映されます。PGA_GAIN_SEL='1'設定時、PGA_GAIN の値が PGA のゲイン設定に反映されます。この際、ADCCR1.AGCMODE は無効になります。

また、ADCCR1.AGCMODE='0'、PGA_GAIN_SEL='0'の設定は禁止です。

(2) PGA ゲイン設定

PGA_GAIN_SEL='1'設定時、PGA_GAIN の値が PGA のゲイン設定に反映されます。本 LSI の PGA は 32 段階の設定が可能です。

30.4.71 ADC 制御レジスタ 2 (ADCCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ADC_VINSEL
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ADC_VINSEL	0	R/W	入力端子制御 0 : VIN1 を入力 1 : VIN2 を入力

(1) 入力端子制御

ADC_VINSEL にて、複合映像信号の入力する端子を選択します。

30.5 動作説明

30.5.1 概要

本モジュールは、複合映像信号 (CVBS) をデコードし、水平 / 垂直同期信号、輝度 (Y) 信号、色差 (Cb/Cr) 信号に分離します。カラーシステムは NTSC/PAL/SECAM に対応しています。回路としては、映像信号入力用 A/D 変換器、同期分離回路、Burst Controlled Oscillator (BCO)、Y/C 分離回路、クロマデコード回路、デジタルクランプ回路および出力調整回路から構成されます。図 30.25 にブロック図を示します。

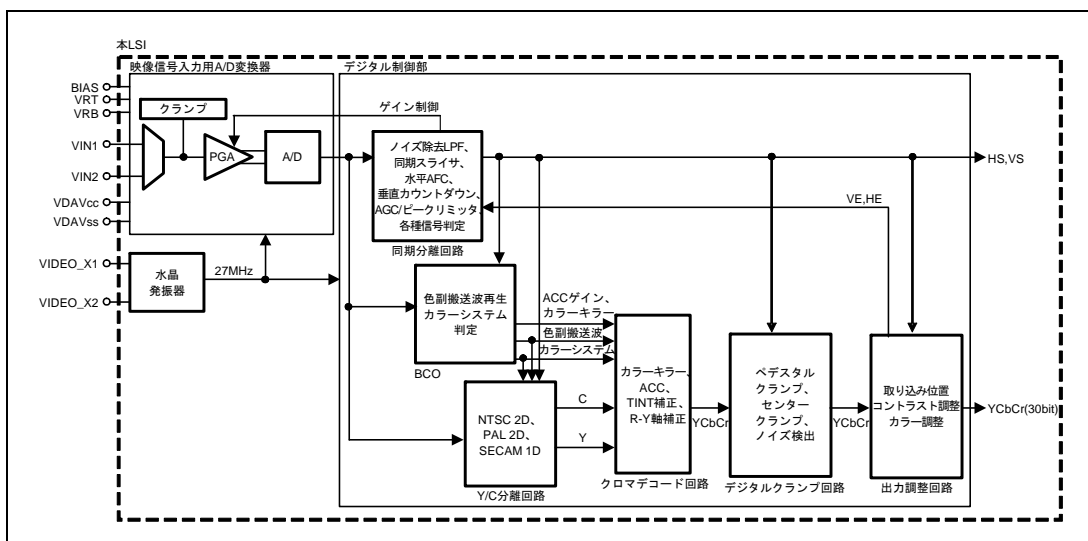


図 30.25 全体ブロック図

(1) 映像信号入力用 A/D 変換器

複合映像信号 (CVBS) を、シンクチップクランプ、Programmable Gain Amp (PGA) で処理した後に A/D 変換します。複合映像信号は VIN1, VIN2 端子から選択となります。

(2) 同期分離回路

複合映像信号から水平同期信号、垂直同期信号を抜き出します。また、同期信号の振幅を検出することにより、自動で PGA のゲイン調整を行う Auto Gain Control (AGC) の機能を有します。

(3) Burst Controlled Oscillator (BCO)

複合映像信号からカラーバースト信号を抽出し、色復調に必要となる色副搬送波信号を再生します。また、カラーバースト信号から位相および周波数情報を得ることでカラーシステムの検出を行います。

(4) Y/C 分離回路

NTSC/PAL/SECAM フォーマットの複合映像信号から Y 信号と C 信号に分離します。NTSC/PAL は 2 次元適応、SECAM は 1 次元での分離となります。

(5) クロマデコーダ

「Y/C 分離回路」にて抽出した C 信号を、Cb/Cr 信号に復調します。また、カラーバースト信号の振幅を検出することにより自動でカラーゲイン調整を行う Auto Color Control (ACC)、復調時の色相を調整する TINT/R-Y 軸補正等の機能を有します。

(6) デジタルクランプ回路

任意のクランプ位置にて、Y 信号はペDESTALクランプ、Cb/Cr 信号はセンタークランプを行います。また、自己相関関数によりノイズ量を検出する機能を有します。

(7) 出力調整回路

取り込み位置の設定およびコントラスト、カラー調整を行います。

30.5.2 映像信号入力用 A/D 変換器

複合映像信号 (CVBS) を、シンクチップクランプ、Programmable Gain Amp (PGA) で処理した後に A/D 変換します。

映像信号入力用 A/D 変換器のブロック図を図 30.26 に示します。

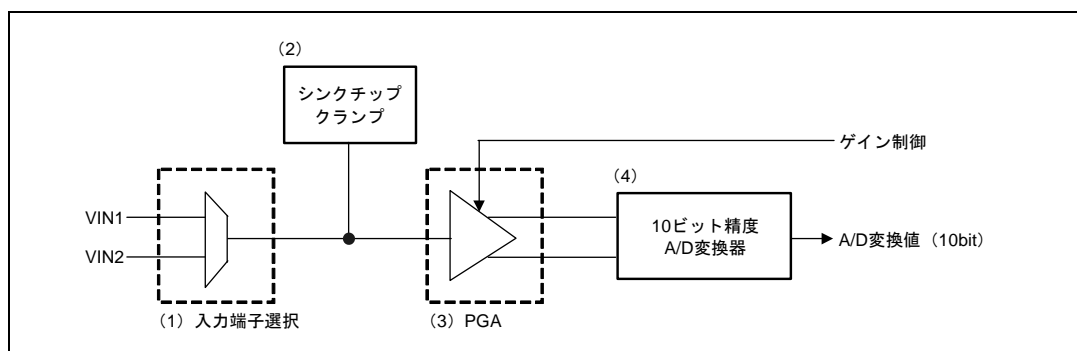


図 30.26 映像信号入力用 A/D 変換器ブロック図

また、映像信号が A/D 変換されるまでのイメージ波形を図 30.27 に示します。

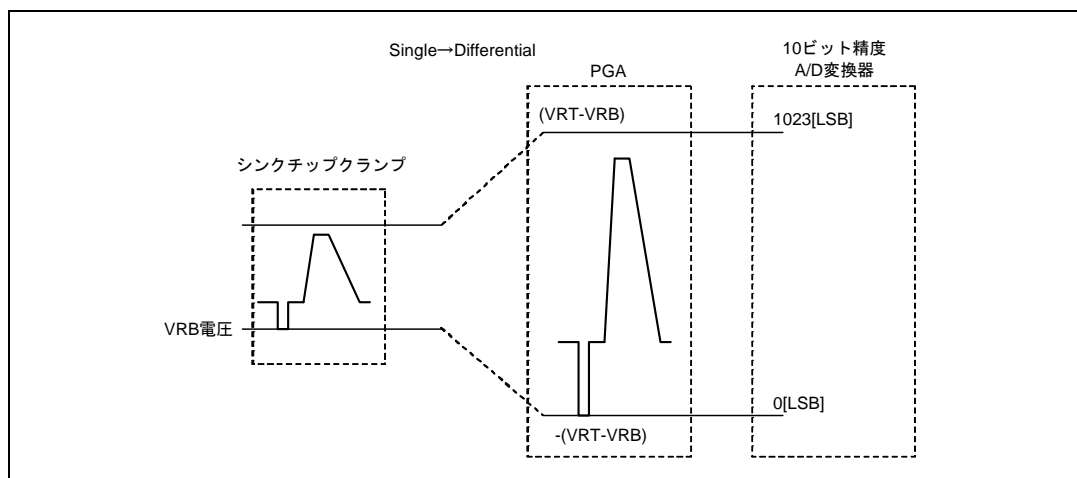


図 30.27 A/D 変換イメージ図

(1) 入力端子選択

VIN1、VIN2 端子から入力する端子を選択します。ADCCR2.ADC_VINSEL にて選択することができます。

(2) シンクチップクランプ

シンクチップレベルを VRB 電圧 (1.0V) にクランプします。

(3) Programmable Gain Amp(PGA)

映像入力信号の電圧(0.8V_{pp} ~ 1.6V_{pp})を、A/D 変換器の入力電圧レベル(2.0V_{pp})になるようにゲイン調整します。ゲインは32段階で設定可能です。ゲインは1段階上がる毎にTYP:0.2[dB]上がります。最小はTYP:1.835[dB]、最大はTYP:8.023[dB]となります。

PGA のゲイン設定を表 30.35 に示します。

表 30.35 PGA ゲイン設定表(dB 表示)

PGAゲイン設定	入力レンジ[Vpp]	ゲイン(dB)
0	1.619	1.835
1	1.585	2.021
2	1.551	2.206
3	1.519	2.392
4	1.486	2.579
5	1.455	2.766
6	1.423	2.954
7	1.393	3.142
8	1.363	3.332
9	1.333	3.522
・	・	・
・	・	・
・	・	・
27	0.879	7.143
28	0.857	7.360
29	0.836	7.578
30	0.815	7.799
31	0.794	8.023

PGA ゲイン設定は、PGACR.PGA_GAIN_SEL='1'により、PGACR.PGA_GAIN[4:0]で設定できます。AGC オン(ADCCR1.AGCMODE='1')のときは、自動で設定を行います。

(4) 10ビット精度 A/D 変換器

PGA にてゲイン調整された映像信号を A/D 変換します。分解能は10ビット精度、サンプリング周波数はVIDEO_X1/X2 から入力されるクロック 27MHz になります。

30.5.3 同期分離回路

複合映像信号から水平同期信号、垂直同期信号を抜き出します。また、同期信号の振幅を検出することにより、自動で PGA のゲイン調整を行う Auto Gain Control (AGC) の機能を有します。

同期分離回路のブロック図を図 30.28 に示します。

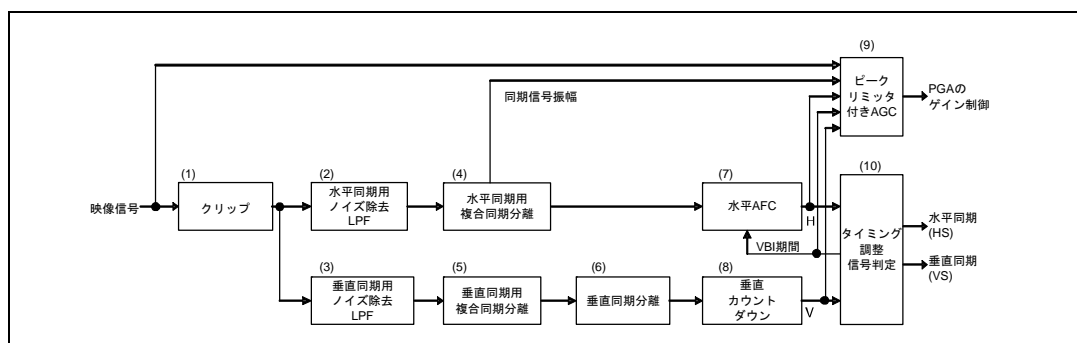


図 30.28 同期分離回路ブロック図

(1) クリップ

映像信号の振幅依存性を防止するために、映像の高階調成分をクリップします。クリップするレベルは、SYNSCR3.SSCLIPSEL[3:0]で設定できます。

映像クリップレベルは、複合同期信号成分が劣化しない（検出できる）範囲を設定します。

(2) 水平同期用ノイズ除去ローパスフィルタ (LPF)

複合同期信号を分離する前に、映像信号に重畳されているノイズを除去します。ローパスフィルタは水平/垂直同期用にそれぞれ設定できます。水平同期用ローパスフィルタの遮断周波数は、SYNSCR1.LPFHSYNC[2:0]で設定できます。遮断周波数は複合同期信号成分が劣化しない（検出できる）範囲を設定します。

(3) 垂直同期用ノイズ除去ローパスフィルタ (LPF)

複合同期信号を分離する前に、映像信号に重畳されているノイズを除去します。ローパスフィルタは水平/垂直同期用にそれぞれ設定できます。垂直同期用ローパスフィルタの遮断周波数は、SYNSCR1.LPFVSYNC[2:0]で設定できます。遮断周波数は複合同期信号成分が劣化しない（検出できる）範囲を設定します。

(4) 水平同期用複合同期分離

スライスレベルに基づいて、映像信号から複合同期信号を分離します。複合同期分離のスライスレベルは、水平/垂直同期用にそれぞれ設定できます。SYNSCR1.SLICERMODE_H[1:0]で、スライスレベルの自動設定と手動設定を選択できます。

自動設定にした場合は、SYNSCR1.SLICERMODE_H[1:0]、SYNSCR2.SYNCMAXDUTY_H[5:0]、SYNSCR2.SYNCMINDUTY_H[5:0]の設定に応じて、スライスレベルを自動制御します。また、SYNSCR1.VELOCITYSHIFT_H[3:0]でスライスレベル判定の速度を設定できます。

手動設定にした場合は、SYNSCR3.CSYNCSLICE_H[9:0]の値がスライスレベルとなります。

(5) 垂直同期用複合同期分離

スライスレベルに基づいて、映像信号から複合同期信号を分離します。複合同期分離のスライスレベルは、水平/垂直同期用にそれぞれ設定できます。SYNSCR1.SLICERMODE_V[1:0]で、スライスレベルの自動設定と手動設定を選択できます。

自動設定にした場合は、SYNSCR1.SLICERMODE_V[1:0]、SYNSCR4.SYNCMAXDUTY_V[5:0]、SYNSCR4.SYNCMINDUTY_V[5:0]の設定に応じて、スライスレベルを自動制御します。

手動設定にした場合は、SYNSCR5.CSYNSLICE_V[9:0]の値がスライスレベルとなります。

(6) 垂直同期分離

(5)にて分離した複合同期信号から、垂直同期信号を抽出します。SYNSCR5.VSYNSLICE[4:0]で、垂直同期信号を分離するための閾値を設定できます。各映像信号フォーマットの切り込みパルス信号の信号幅に応じて設定します。

(7) 水平 Auto Frequency Control (AFC)

水平 Auto Frequency Control (AFC) は、(4)にて分離した複合同期信号から、水平同期信号を抽出するためのデジタル PLL です。擬似水平同期信号を除去すると共に、欠落した水平同期信号を補間して、安定した水平同期信号を生成します。

HAFCCR1.HAFCTYP[9:0]、HAFCCR2.HAFCMAX[9:0]、HAFCCR3.HAFCCMIN[9:0]で、水平 AFC の中心周波数、ロック範囲を設定できます。水平 AFC がロックした場合 VSYNSR.FHLOCK='1' となり、アンロックの場合 VSYNSR.FHLOCK='0' となります。また、{HSYNSR.FHCOUNT[16:1]、VSYNSR.FHCOUNT[0]}にて水平 AFC の発振周期を確認できます。

HAFCCR1.HAFCCGAIN[3:0]で、水平 AFC のループゲイン (応答速度) を設定できます。応答速度を早くするとロックアップタイムは短くなり、ノイズ等により水平周期が変動しやすくなります。また、HAFCCR3.HAFCCMODE[1]、AFCPCFR.PHDET_FIX、PHDET_DIV[2:0]により、低 S/N 時にループゲインを下げてノイズに対する誤動作を防止することができます。VSYNSR.ISNOISY にて、低 S/N か否か読み出すことができます。

HAFCCR2.HAFCCSTART[3:0]、HAFCCR3.HAFCCEND[3:0]、HAFCCR3.HAFCCMODE[0]で、垂直帰線期間 (VBI) 時のループゲインを設定できます。通常は、VTR のヘッドスイッチ部での誤動作を避けるために使用します。

(8) 垂直カウントダウン

垂直カウントダウンは、(6)にて分離した垂直同期信号から擬似同期信号を除去すると共に、欠落した垂直同期信号を補間して、安定した垂直同期信号を生成します。

VCDWCR1.VCDDEFAULT[1:0]で、垂直カウントダウンの発振周期を設定できます。'0'に設定した場合は、入力された垂直同期信号を判別して、自動で発振周期を設定します。入力された垂直同期信号の判別結果は、VSYNSR.FVMODE に反映されます。'1'に設定した場合は、50.00Hz 発振モードとなります。この時、予期しない誤動作を避けるため、VCDWCR1.NOVCD60='1' (60Hz 発振 OFF) とすることを推奨します。'2','3'に設定した場合は、59.94/60.00Hz 発振モードとなります。このとき、予期しない誤動作を避けるため、VCDWCR1.NOVCD50='1' (50Hz 発振 OFF) とすることを推奨します。

VCDWCR1.VCDWINDOW[5:0]、VCDWCR1.VCDOFFSET[4:0]で、垂直カウントダウンのロック範囲を設定します。垂直カウントダウンがロックした場合 VSYNC SR.FVLOCK='1' となり、アンロックの場合 VSYNC SR.FVLOCK='0' となります。

VSYNC SR.FVCOUNT[7:0]にて、入力された垂直同期信号の周期を確認できます。垂直同期信号の入力が検出できない場合、VSYNC SR.NOSIGNAL='1' にセットされます。

(9) ピークリミッタ付き Auto Gain Control (AGC)

Auto Gain Control (AGC) は、同期信号の振幅を検出し、目標値にあわせて PGA のゲインを自動制御します。AGC は、ADCCR1.AGCMODE='1' 設定で動作します。

- 同期振幅に応じたゲイン制御

同期信号の振幅目標値は、AGCCR1.AGCLEVEL[8:0]、AGCCR2.AGCPRECIS[5:0]で設定できます。たとえば、NTSC信号を10ビットのA/D変換器で量子化した場合、A/D変換器のフルレンジに対する同期信号振幅は、

$$1023[\text{LSB}] \times (40[\text{IRE}] \div 173[\text{IRE}]) = 236.53179[\text{LSB}]$$

となりますので、AGCCR1.AGCLEVEL[8:0]に236[LSB]を設定します。目標値 (AGCCR1.AGCLEVEL[8:0]) ± AGCCR2.AGCPRECIS[5:0]のとき、ゲインが固定されます。AGCCSR2.AGCCONVERGEを読み出すことにより、ゲインが安定したか否かが判別できます。SYNCSR.SYNCDEPTH[9:0]にて、検出した同期信号振幅を確認できます。また、AGCCR1.AGCRESPONSE[2:0]によりAGCの応答速度を設定できます。応答速度を上げると、入力信号に対し高速に追従しますが、ノイズに反応し易くなります。

AGCCSR2.AGCGAIN[7:0]にて、現在設定されているゲイン値を確認できます。実際のPGAのゲイン設定値は、「PGAのゲイン設定値 = 0.585776 × (AGCCSR2.AGCGAIN[7:0] - 49)」

で概ね算出できます。たとえば、AGCCSR2.AGCGAIN[7:0] = 64(1倍に相当)のとき、

$$\text{「PGAのゲイン設定値} = 0.585776 \times (64 - 49) = 8.78\text{」}$$

となり、8 or 9がPGAのゲイン設定値となります。PGAのゲインは、0 ~ 31まで設定可能です。

AGCCR1.DOREDUCE、AGCCR1.NOREDUCEで、VBI期間時のゲインを設定することができます。

SYNCSR.ISREDUCEDにて、VBI期間の同期振幅結果を読み出すことができます。

- ピークリミッタ

ピークリミッタは、同期信号の振幅値と映像信号の振幅値の比がずれているときに動作します。仮に映像信号の振幅 / 同期信号の振幅比が想定より小さい場合、PGAのゲインは小さくなりますので、ゲイン調整後の映像信号はA/D変換器のフルレンジよりも小さくなります。逆に、映像信号の振幅 / 同期信号の振幅比が想定より大きい場合、PGAのゲインは高くなりますので、ゲイン調整後の映像信号はA/D変換器のフルレンジよりも大きくなります。

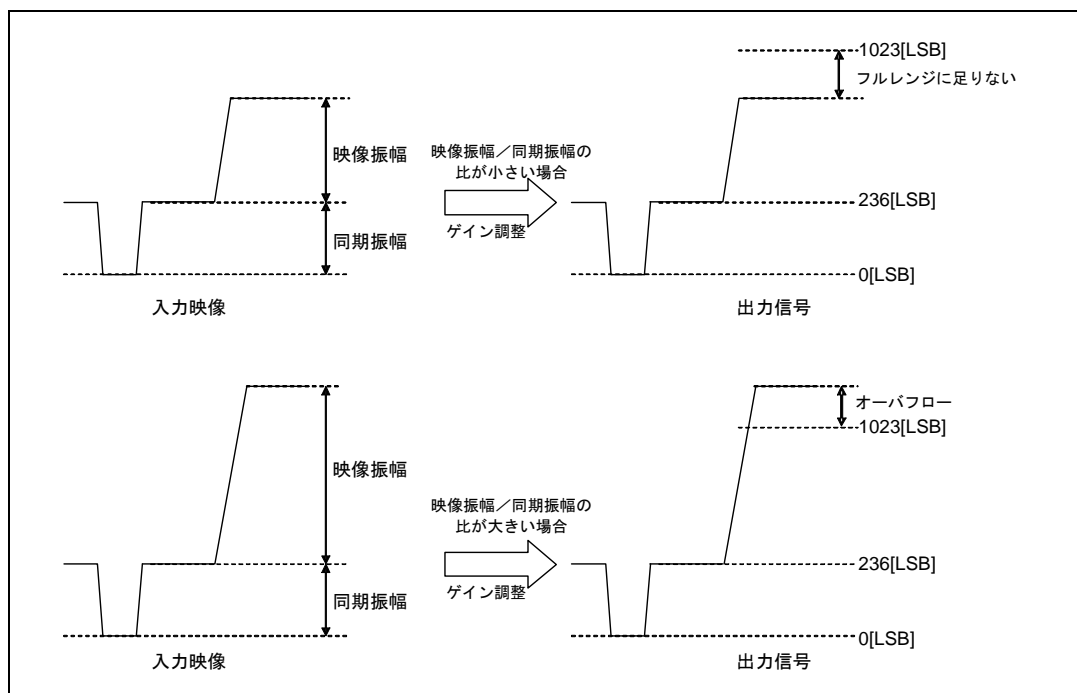


図 30.29 映像振幅 / 同期振幅の比がずれている場合

そのため、映像信号のピーク値をサンプリングし、サンプリングした値によりPGAのゲインを調整します。

PKLIMITCR.PEAKLEVEL[1:0]で、制限されるピーク値を設定できます。サンプリングした映像信号のピーク値がPKLIMITCR.PEAKLEVEL[1:0]で設定した値よりも小さいとき、ゲインを上げます。逆にサンプリングした映像信号のピーク値がPKLIMITCR.PEAKLEVEL[1:0]で設定した値よりも大きく、

PKLIMITCR.MAXPEAKSAMPLES[7:0]で設定した許容最大数を越えた時、ゲインを下げます。

PKLIMITCR.PEAKATTACK[1:0]、PKLIMITCR.PEAKRELEASE[1:0]、PKLIMITCR.PEAKRATIO[1:0]で、ゲイン増加/減少の応答速度および最大圧縮率を設定できます。また、AGCCSR1.HIGHSAMPLES[7:0]にてPKLIMITCR.PEAKLEVEL[1:0]で設定した値を超える画素数、AGCCSR1.PEAKSAMPLES[7:0]にてオーバーフロー（1023[LSB]超え）を起こした画素数を確認できます。

- 手動設定

PGACR.PGA_GAIN_SEL='1'により、PGAのゲイン設定値を手動で設定できます。設定される値は、PGACR.PGA_GAIN[4:0]の値となります。PGACR.PGA_GAIN_SEL='1'のとき、ADCCR1.AGCMODEの設定は無効となります。PGACR.PGA_GAIN_SEL='0'（自動）、ADCCR1.AGCMODE='0'（AGCオフ）の設定は禁止です。

（10）タイミング調整、信号判定

（7）、（8）で生成された水平同期信号および垂直同期信号の出力タイミングを調整します。また、フィールド判別を行っており、VSYNCSR.INTERLACEDにて、インタレースまたはプログレッシブの確認をすることができます。フィールド判別が安定しない場合は、SYNCSR5.VSYNCDELAY='1'にすることにより改善することができます。

フィールド判別の結果に従って水平同期信号と垂直同期信号の位相調整を行っており、同期分離回路から出力される垂直同期信号は1水平期間遅延したものとなります。このため、本モジュールの出力信号をビデオディスプレイコントローラ4で取り込む場合は上記の遅延を考慮し、取り込み映像信号垂直位置設定(SCL0_DS2.RES_VS)には以下を設定してください。

VSYNC+V バックポーチライン数 - 2

30.5.4 Burst Controlled Oscillator (BCO)

複合映像信号からカラーバースト信号を抽出し、色復調に必要となる色副搬送波信号を再生します。また、カラーバースト信号から位相および周波数情報を得ることでカラーシステムの検出を行います。

Burst Controlled Oscillator のブロック図を図 30.30 に示します。

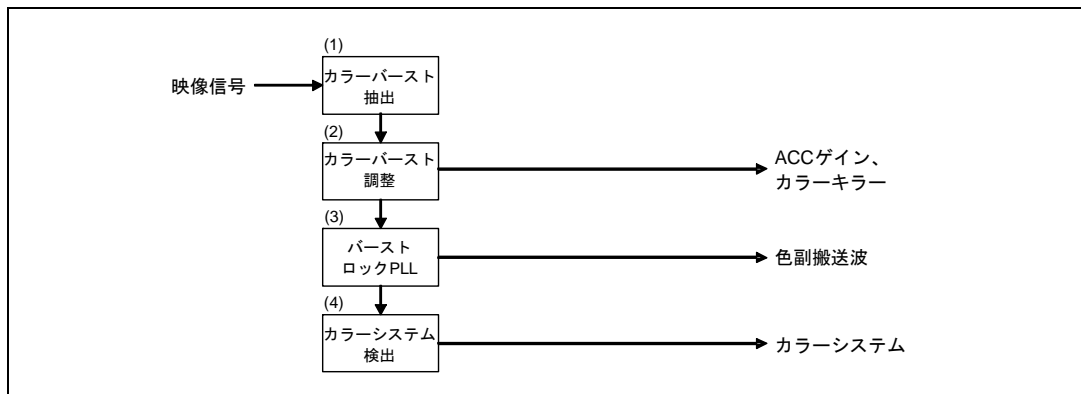


図 30.30 Burst Controlled Oscillator ブロック図

(1) カラーバースト抽出

カラーバースト信号を抽出します。BTGPCR.BGPWIDTH[6:0]、BTGPCR.BGPSTART[7:0]で、抽出するカラーバースト信号の位置を調整できます。また、CROMASR1.NOBURSTにて、カラーバースト信号の抽出結果を確認できます。

(2) カラーバースト調整

抽出したカラーバースト信号の振幅を調整します。詳細については、「30.5.6(1) Auto Color Control(ACC)」を参照してください。また、入力したカラーバースト信号の振幅に応じて、カラーキラーのON/OFF信号を出力します。詳細については、「30.5.6(2) カラーキラー」を参照してください。

(3) バーストロック PLL

バーストロック PLL は、調整したカラーバースト信号から色副搬送波を再生するデジタル PLL です。

BTLCR.LOCKRANGE[1:0]で、バーストロック PLL のロック範囲を設定できます。ロックした場合 CROMASR1.FSCLOCK='1'となり、アンロックの場合 CROMASR1.FSCLOCK='0'となります。

BTLCR.LOOPGAIN[1:0]、BTLCR.LOCKLIMIT[1:0]で、バーストロック PLL のループゲインを設定できます。応答速度/周波数のサーチ時間を早くすると、ロックアップタイムは短くなりますが、ノイズ等により変動/ロック外れしやすくなります。

CROMASR2.LOCKLEVEL[7:0]にて、カラーバースト信号の S/N を確認できます。

(4) カラーシステム判定

バーストロック PLL の発振周波数、カラーバースト信号の位相情報から、入力映像信号のカラーシステムを判定します。BTLCR.NONTSC358、BTLCR.NONTSC443、BTLCR.NOPALM、BTLCR.NOPALN、BTLCR.NOPAL443、BTLCR.NOSECAM で、カラーシステム判定を設定できます。カラーシステム判別は全自動制御、手動制御および一部のカラーシステムのみ自動（指定以外は判別しない）制御を選択できます。どのカラーシステムにも当てはまらない場合は、BTLCR.DEFAULTSYS[1:0]で指定されたカラーシステムとして動作します。

NTSC/PAL/SECAM 信号を検出したとき、それぞれ CROMASR2.ISNTSC、CROMASR2.ISPAL、CROMASR2.ISSECAM から '1' が読み出されます。また、CROMASR1.COLORSYS[1:0]にて、現在動作しているカラーシステムを確認できます。

CROMASR1.FSCMODE を読み出すことにより、色副搬送波の周波数を確認できます。

30.5.5 Y/C 分離回路

NTSC/PAL/SECAM フォーマットの複合映像信号から Y 信号と C 信号を分離をします。NTSC/PAL は 2 次元適応、SECAM は 1 次元での分離となります。Y/C 分離回路のブロック図を図 30.31 に示します。

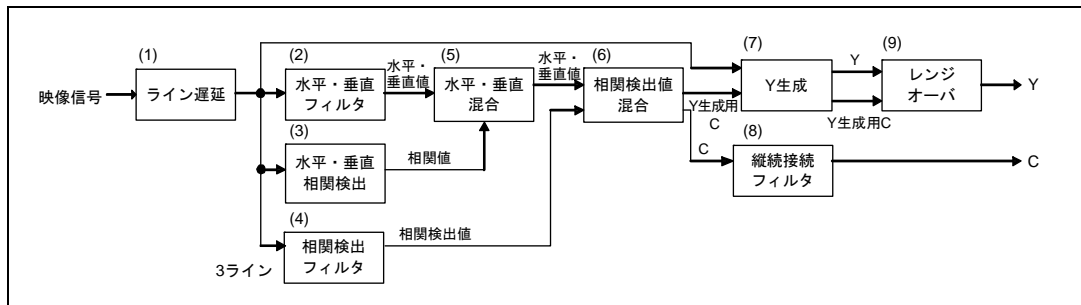


図 30.31 Y/C 分離回路ブロック図

また、各カラーフォーマットに対する Y/C 分離回路の動作を表 30.36 に示します。

表 30.36 Y/C 分離動作対応表

	Y/C 分離動作
NTSC - 3.58	2次元適応
NTSC - 4.43	2次元適応
PAL - M	2次元適応
PAL - N	2次元適応
PAL - 4.43	2次元適応
SECAM	1次元

(1) ライン遅延

2次元 Y/C 分離は、3ライン分のデータ必要になります (NTSC : 近接 1 ライン、PAL : 1 ラインおき)。そのため、本ブロックでは映像信号を遅延させ 3 ライン分のデータを保持します。

(2) 水平・垂直フィルタ

2次元適応 Y/C 分離では、水平バンドパスフィルタ(BPF)、垂直バンドパスフィルタ (BPF) および水平垂直バンドパスフィルタ(BPF)を上下左右画素の相関に応じて適宜切り替えます。本ブロックでは、入力信号に対し水平 BPF、垂直 BPF および水平垂直 BPF の処理を行います。1次元 Y/C 分離では、水平 BPF のみ使用します。図 30.32 に構成図を示します。

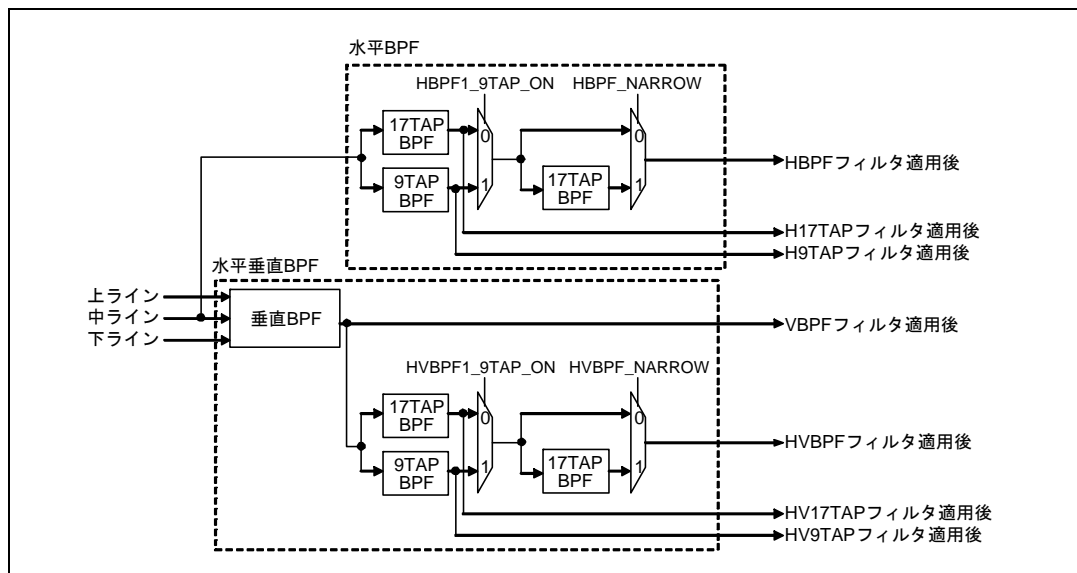


図 30.32 水平・垂直フィルタ構成図

水平方向のバンドパスフィルタは2段構成となります。前段は9TAP/17TAPの選択となります。

YSCSR8.HBPF1_9TAP_ON / HVBPF1_9TAP_ON = '0'で17TAP、YSCSR8.HBPF1_9TAP_ON / HVBPF1_9TAP_ON = '1'で9TAPのBPFが選択されます。後段はバイパス/17TAPの選択となります。YSCSR8.HBPF_NARROW / HVBPF_NARROW = '0'でバイパス、YSCSR8.HBPF_NARROW / HVBPF_NARROW = '1'で17TAPのBPF選択となります。

(3) 水平・垂直相関検出

水平 / 垂直 / 水平垂直画素の相関値を検出します。検出した相関値に Y/C 分離 2 次元フィルタ選択係数を混合した値が、水平 / 垂直 / 水平垂直フィルタ選択の相関値となります。

Y/C 分離 2 次元フィルタ選択係数を表 30.37 に示します。

表 30.37 Y/C 分離 2 次元フィルタ選択係数

カテゴリ	ビット名	説明	関連性
垂直Y/C分離 選択係数	YCSCR5. K21A[5:0]	この値を大きくすることにより、垂直BPFの適用範囲が狭くなります。	これらのビットには関連があります。 水平方向のドット妨害が目立つ場合は、値を小さく（K24は大きく）してください。 ただし、値を小さく（K24は大きく）しすぎると垂直方向のドット妨害が発生します。
	YCSCR5. K22A[7:0]	この値を大きくすることにより、垂直BPFの適用範囲が狭くなります。	
	YCSCR7 K23A[3:0]	この値を大きくすることにより、垂直BPFの適用範囲が狭くなります。	
	YCSCR7 K24[4:0]	この値を大きくすることにより、垂直BPFの適用範囲が広くなります。	
	YCSCR6 K21B[5:0]	この値を大きくすることにより、垂直BPFの適用範囲が狭くなります。	これらのビットには関連があります。 水平方向のドット妨害が目立つ場合は、値を小さくしてください。 ただし、値を小さくしすぎると垂直方向のドット妨害が発生します。
	YCSCR6 K22B[7:0]	この値を大きくすることにより、垂直BPFの適用範囲が狭くなります。	
	YCSCR7 K23B[3:0]	この値を大きくすることにより、垂直BPFの適用範囲が狭くなります。	
水平Y/C分離 選択係数	YCSCR3. K11[5:0]	この値を大きくすることにより、水平BPFの適用範囲が狭くなります。	これらのビットには関連があります。 垂直方向のドット妨害が目立つ場合は、値を小さくしてください。 ただし、値を小さくしすぎると水平方向のドット妨害が発生します。
	YCSCR3. K13[5:0]	この値を大きくすることにより、水平BPFの適用範囲が狭くなります。	
	YCSCR3. K15[3:0]	この値を大きくすることにより、水平BPFの適用範囲が狭くなります。	
	YCSCR4. K12[5:0]	この値を大きくすることにより、水平BPFの適用範囲が狭くなります。	これらのビットには関連があります。 垂直方向のドット妨害が目立つ場合は、値を小さくしてください。 ただし、値を小さくしすぎると水平方向のドット妨害が発生します。
	YCSCR4. K14[5:0]	この値を大きくすることにより、水平BPFの適用範囲が狭くなります。	
	YCSCR4. K16[3:0]	この値を大きくすることにより、水平BPFの適用範囲が狭くなります。	

(4) 相関検出フィルタ

本モジュール独自の相関検出フィルタです。ライン間の相関を重視することで、特に十字交点のドット妨害を軽減することができます。水平・垂直フィルタで取りきれないドット妨害に対し、相関検出フィルタ後の信号を混合することによりドット妨害を軽減できます。

(5) 水平・垂直混合

水平 / 垂直 / 水平垂直フィルタを通した信号に対し、それぞれ水平 / 水平垂直フィルタ（前段）適用後の信号を混合します。その後、(3)にて算出した相関値に基づき、水平 / 垂直 / 水平垂直フィルタを通した信号の選択を行います。

図 30.33 に構成図を示します。

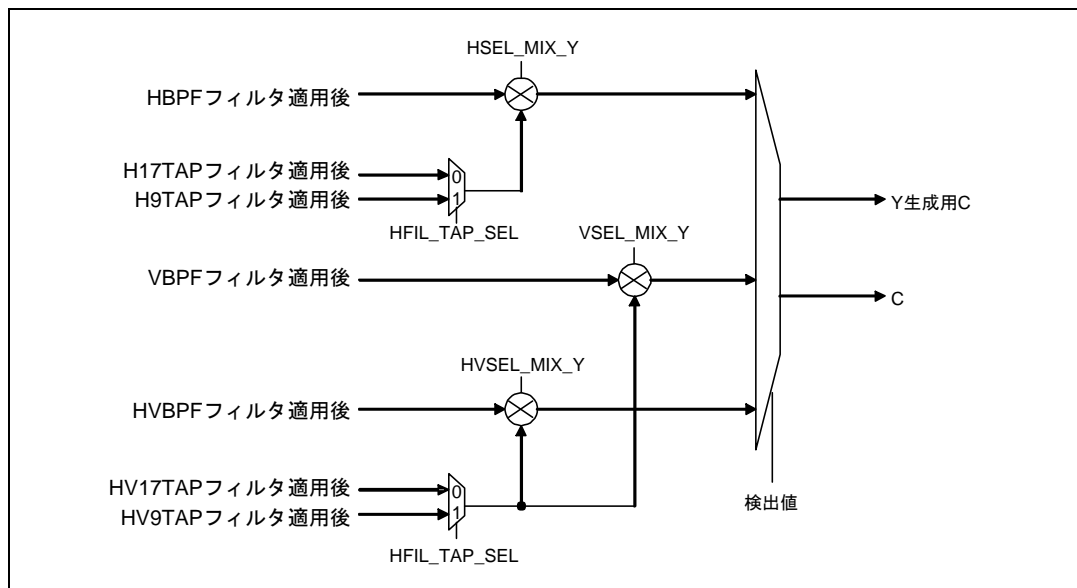


図 30.33 水平・垂直混合構成図

YCSCR8.HFIL_TAP_SEL で、混合する水平 / 水平垂直フィルタ（前段）適用後の信号を選択できます。YCSCR8.HFIL_TAP_SEL='0'のとき 17TAP フィルタ、YCSCR8.HFIL_TAP_SEL='1'のとき 9TAP フィルタ適用後の信号を選択します。

水平フィルタを通した信号に、上記水平フィルタ(前段)適用後の信号を混合します。YCSCR9.HSEL_MIX_Y[3:0]で、混合比を設定できます。同様に垂直 / 水平垂直フィルタを通した信号に、上記水平垂直フィルタ（前段）適用後の信号を混合します。YCSCR9.VSEL_MIX_Y[3:0]、YCSCR9.HVSEL_MIX_Y[3:0]で、混合比を設定できます。

(3)水平・垂直相関検出で算出した相関値に基づき、水平 / 垂直 / 水平垂直フィルタ適用後の信号を選択します。

(6) 相関検出値混合

(5)にて生成した Y 信号用 C および C 信号に対し、(4)の相関検出フィルタ適用後の信号を混合します。

図 30.34 に構成図を示します。

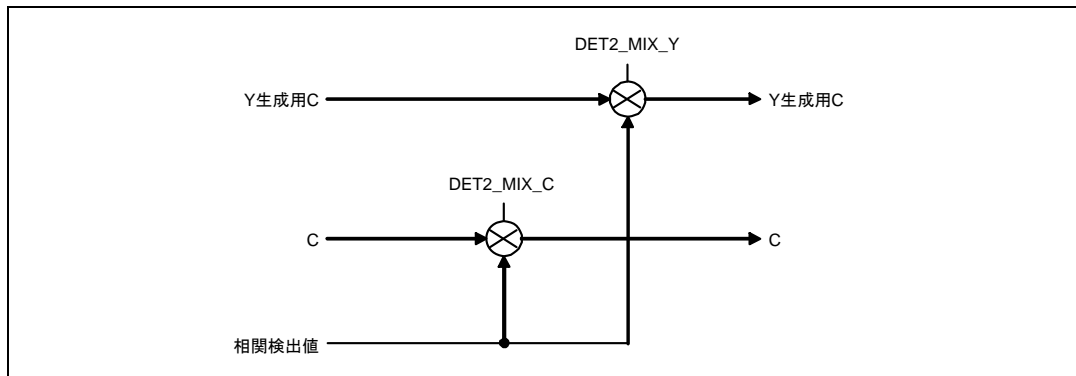


図 30.34 相関検出値混合構成図

YCSCR9.DET2_ON='1'で、相関検出フィルタ適用後の信号を混合します。YCSCR12.DET2_MIX_Y[3:0]で、Y 生成用 C 信号と相関検出フィルタ適用後の信号の混合比を設定できます。同様に YCSCR12.DET2_MIX_C[3:0]で、C 信号と相関検出フィルタ適用後の信号の混合比を設定できます。

YCSCR9.DET2_ON='0'のときは、水平・垂直フィルタ適用後の信号をそのまま出力します。

(7) Y 生成

映像信号から Y 生成用 C 信号を引くことにより、Y 信号を生成します。

(8) 縦続接続フィルタ

C 信号に対し、更なる帯域制限のための縦続接続フィルタもしくは TAKE-OFF フィルタを通します。

図 30.35 に構成図を示します。

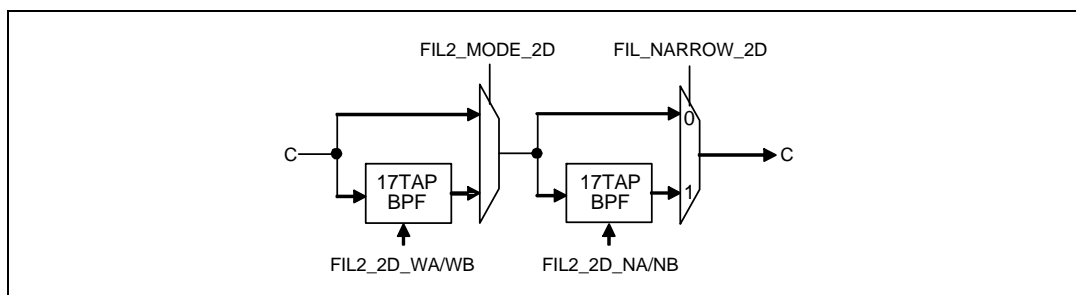


図 30.35 縦続接続フィルタ構成図

縦続接続フィルタは、2段構成となります。前段はバイパス / 17TAP の選択となります。

YCSCR12.FIL2_MODE_2D[1:0]で、バイパス/縦続接続フィルタ / TAKE-OFF フィルタの選択ができます。

後段も同様に YCSCR12.FIL2_NARROW_2D で、バイパス / 17TAP の選択ができます。

前後段それぞれのフィルタは、ユニバーサルフィルタになっており、YCTWA_F0 ~ YCTWA_F8、YCTWB_F0 ~ YCTWB_F8、YCTNA_F0 ~ YCTNA_F8、YCTNB_F0 ~ YCTNB_F8 で設定できます。

各フィルタの推奨設定値を表 30.38 ~ 表 30.40 に示します。

表 30.38 2 次元 Y/C 用フィルタのレジスタ設定表 (NTSC)

ビット名	NTSC					ビット名	NTSC				
	バイパス	縦続接続 フィルタ		TAKE-OFF フィルタ			バイパス	縦続接続 フィルタ		TAKE-OFF フィルタ	
		1 段	2 段	広帯域	狭帯域			1 段	2 段	広帯域	狭帯域
FIL2_MODE_2D	0	1		2		FIL2_MODE_2D	0	1		2	
FIL2_NARROW_2D	-	0	1	-	-	FIL2_NARROW_2D	-	0	1	-	-
FIL2_2D_WA_F0	-	24	24	0	0	FIL2_2D_NA_F0	-	-	24	-	-
FIL2_2D_WA_F1	-	44	44	0	-48	FIL2_2D_NA_F1	-	-	44	-	-
FIL2_2D_WA_F2	-	20	20	0	-20	FIL2_2D_NA_F2	-	-	20	-	-
FIL2_2D_WA_F3	-	-52	-52	-28	160	FIL2_2D_NA_F3	-	-	-52	-	-
FIL2_2D_WA_F4	-	-128	-128	96	232	FIL2_2D_NA_F4	-	-	-128	-	-
FIL2_2D_WA_F5	-	-128	-128	228	-116	FIL2_2D_NA_F5	-	-	-128	-	-
FIL2_2D_WA_F6	-	-12	-12	-916	-900	FIL2_2D_NA_F6	-	-	-12	-	-
FIL2_2D_WA_F7	-	132	132	-204	-4	FIL2_2D_NA_F7	-	-	132	-	-
FIL2_2D_WA_F8	-	200	200	1648	1392	FIL2_2D_NA_F8	-	-	200	-	-
FIL2_2D_WB_F0	-	-	-	-	-	FIL2_2D_NB_F0	-	-	-	-	-
FIL2_2D_WB_F1	-	-	-	-	-	FIL2_2D_NB_F1	-	-	-	-	-
FIL2_2D_WB_F2	-	-	-	-	-	FIL2_2D_NB_F2	-	-	-	-	-
FIL2_2D_WB_F3	-	-	-	-	-	FIL2_2D_NB_F3	-	-	-	-	-
FIL2_2D_WB_F4	-	-	-	-	-	FIL2_2D_NB_F4	-	-	-	-	-
FIL2_2D_WB_F5	-	-	-	-	-	FIL2_2D_NB_F5	-	-	-	-	-
FIL2_2D_WB_F6	-	-	-	-	-	FIL2_2D_NB_F6	-	-	-	-	-
FIL2_2D_WB_F7	-	-	-	-	-	FIL2_2D_NB_F7	-	-	-	-	-
FIL2_2D_WB_F8	-	-	-	-	-	FIL2_2D_NB_F8	-	-	-	-	-

表 30.39 2次元 Y/C 用フィルタのレジスタ設定表 (PAL)

ビット名	PAL					ビット名	PAL				
	ハイス	縦続接続 フィルタ		TAKE-OFF フィルタ			ハイス	縦続接続 フィルタ		TAKE-OFF フィルタ	
		1段	2段	広帯域	狭帯域			1段	2段	広帯域	狭帯域
FIL2_MODE_2D	0	1		2		FIL2_MODE_2D	0	1		2	
FIL2_NARROW_2D	-	0	1	-	-	FIL2_NARROW_2D	-	0	1	-	-
FIL2_2D_WA_F0	-	-20	-20	0	0	FIL2_2D_NA_F0	-	-	-20	-	-
FIL2_2D_WA_F1	-	24	24	0	0	FIL2_2D_NA_F1	-	-	24	-	-
FIL2_2D_WA_F2	-	64	64	0	-23	FIL2_2D_NA_F2	-	-	64	-	-
FIL2_2D_WA_F3	-	40	40	16	-46	FIL2_2D_NA_F3	-	-	40	-	-
FIL2_2D_WA_F4	-	-76	-76	59	145	FIL2_2D_NA_F4	-	-	-76	-	-
FIL2_2D_WA_F5	-	-164	-164	85	409	FIL2_2D_NA_F5	-	-	-164	-	-
FIL2_2D_WA_F6	-	-84	-84	-498	-918	FIL2_2D_NA_F6	-	-	-84	-	-
FIL2_2D_WA_F7	-	108	108	-101	-363	FIL2_2D_NA_F7	-	-	108	-	-
FIL2_2D_WA_F8	-	216	216	878	1592	FIL2_2D_NA_F8	-	-	216	-	-
FIL2_2D_WB_F0	-	-	-	-	-	FIL2_2D_NB_F0	-	-	-	-	-
FIL2_2D_WB_F1	-	-	-	-	-	FIL2_2D_NB_F1	-	-	-	-	-
FIL2_2D_WB_F2	-	-	-	-	-	FIL2_2D_NB_F2	-	-	-	-	-
FIL2_2D_WB_F3	-	-	-	-	-	FIL2_2D_NB_F3	-	-	-	-	-
FIL2_2D_WB_F4	-	-	-	-	-	FIL2_2D_NB_F4	-	-	-	-	-
FIL2_2D_WB_F5	-	-	-	-	-	FIL2_2D_NB_F5	-	-	-	-	-
FIL2_2D_WB_F6	-	-	-	-	-	FIL2_2D_NB_F6	-	-	-	-	-
FIL2_2D_WB_F7	-	-	-	-	-	FIL2_2D_NB_F7	-	-	-	-	-
FIL2_2D_WB_F8	-	-	-	-	-	FIL2_2D_NB_F8	-	-	-	-	-

表 30.40 2次元 Y/C 用フィルタのレジスタ設定表 (SECAM)

ビット名	SECAM				ビット名	SECAM			
	パリティ	縦続接続 フィルタ		TAKE-OFF フィルタ		パリティ	縦続接続 フィルタ		TAKE-OFF フィルタ
		1 段	2 段				1 段	2 段	
FIL2_MODE_2D	0	1		2	FIL2_MODE_2D	0	1		2
FIL2_NARROW_2D	-	0	1	-	FIL2_NARROW_2D	-	0	1	-
FIL2_2D_WA_F0	-	-20	-20	0	FIL2_2D_NA_F0	-	-	-1008	-
FIL2_2D_WA_F1	-	24	24	-12	FIL2_2D_NA_F1	-	-	1976	-
FIL2_2D_WA_F2	-	64	64	-18	FIL2_2D_NA_F2	-	-	-2024	-
FIL2_2D_WA_F3	-	40	40	38	FIL2_2D_NA_F3	-	-	444	-
FIL2_2D_WA_F4	-	-76	-76	100	FIL2_2D_NA_F4	-	-	1868	-
FIL2_2D_WA_F5	-	-164	-164	88	FIL2_2D_NA_F5	-	-	-2864	-
FIL2_2D_WA_F6	-	-84	-84	-508	FIL2_2D_NA_F6	-	-	1352	-
FIL2_2D_WA_F7	-	108	108	-114	FIL2_2D_NA_F7	-	-	1376	-
FIL2_2D_WA_F8	-	216	216	852	FIL2_2D_NA_F8	-	-	-2240	-
FIL2_2D_WB_F0	-	-12	-12	-	FIL2_2D_NB_F0	-	-	-1080	-
FIL2_2D_WB_F1	-	40	40	-	FIL2_2D_NB_F1	-	-	2800	-
FIL2_2D_WB_F2	-	60	60	-	FIL2_2D_NB_F2	-	-	-3308	-
FIL2_2D_WB_F3	-	12	12	-	FIL2_2D_NB_F3	-	-	1628	-
FIL2_2D_WB_F4	-	-104	-104	-	FIL2_2D_NB_F4	-	-	1444	-
FIL2_2D_WB_F5	-	-156	-156	-	FIL2_2D_NB_F5	-	-	-3308	-
FIL2_2D_WB_F6	-	-64	-64	-	FIL2_2D_NB_F6	-	-	2140	-
FIL2_2D_WB_F7	-	120	120	-	FIL2_2D_NB_F7	-	-	376	-
FIL2_2D_WB_F8	-	208	208	-	FIL2_2D_NB_F8	-	-	-1384	-

(9) レンジオーバ

映像信号の色振幅の上部または下部がオーバフロー / アンダフローを起こした場合、Y/C 分離が正常に行われずドット妨害として縦筋の線が現れることがあります。この現象を軽減するため、オーバフロー / アンダフローが発生した時、Y 信号にローパスフィルタを自動で挿入します（縦筋の周波数成分をカット）。

RGORCR7.UCMP_SW='1'によりレンジオーバ処理、RGORCR7.DCMP_SW='1'によりレンジアンダ処理が有効となります。レンジオーバのレベルは、RGORCR1.RADJ_O_LEVEL0[9:0],RGORCR3.RADJ_O_LEVEL1[9:0],RGORCR5.RADJ_O_LEVEL2[9:0]により4段階に設定します。同様にレンジアンダのレベルは、RGORCR2.RADJ_U_LEVEL0[9:0],RGORCR4.RADJ_U_LEVEL1[9:0],RGORCR6.RADJ_O_LEVEL2[9:0]により4段階に設定します。レンジオーバ / アンダのレベルにより挿入するフィルタを適宜変更します。

HWIDE_SW='1'により、検出するレベルを処理している画素だけではなく、水平方向に5画素分の最大値（最小値）を検出してレンジオーバ / アンダの判定をします。

30.5.6 クロマデコーダ

「Y/C 分離回路」にて抽出した C 信号を、Cb/Cr 信号に復調します。また、カラーバースト信号の振幅を検出することにより自動でカラーゲイン調整を行う Auto Color Control (ACC)、復調時の色相を調整する TINT/R-Y 軸補正等の機能を有します。

クロマデコーダのブロック図を図 30.36 に示します。

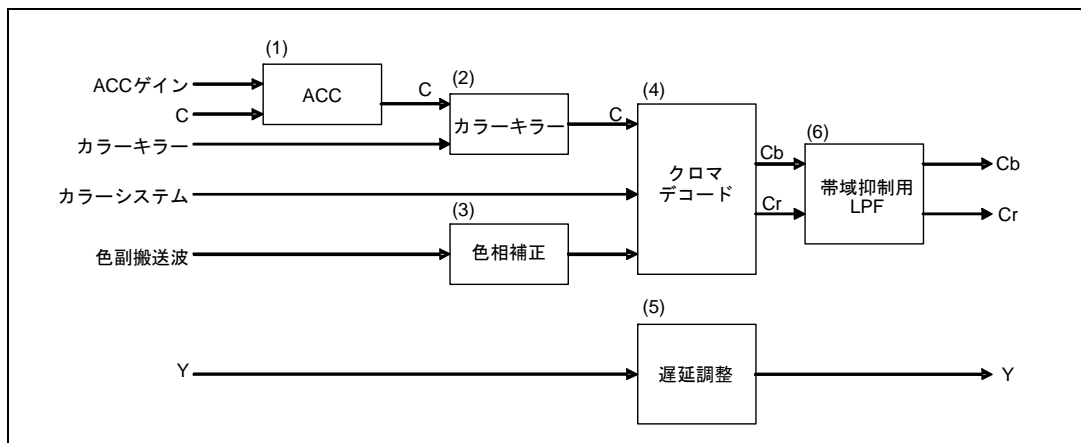


図 30.36 クロマデコーダブロック図

(1) Auto Color Control (ACC)

Auto Color Control(ACC)は、カラーバースト信号の振幅を検出し目標値にあわせて、C 信号のゲインを自動制御します。ACC は、ACCCR1.ACCMODE='0'設定にて動作します。

カラーバースト信号の振幅目標値は、ACCCR1.ACCLEVEL[8:0]で設定できます。目標値 (ACCCR1.ACCLEVEL[8:0]) ± ACCCR3.ACCPRECIS[5:0]のとき、ゲインが固定されます。また、ACCCR1.ACCMAXGAIN[1:0]で、最大ゲインを制限することができます。CROMASR1.ACCMAINGAIN[8:0] (メイン)、CROMASR1.ACCSUBGAIN[1:0] (サブ)にて、現在設定されているゲイン値を確認できます。

ACCCR1.ACCMODE='1'で、手動でC信号のゲイン値を設定することができます。値は、ACCCR2.CHROMAMAINGAIN[8:0] (メイン)、ACCCR2.CHROMASUBGAIN[1:0] (サブ) で設定します。

(2) カラーキラー

カラーキラーは、弱電界等によりカラーバースト信号の振幅が小さいとき、色情報を削除します。カラーキラーのON/OFFはヒステリシスになっており、ACCCR3.KILLERLEVEL[5:0]のときカラーキラーON、ACCCR3.KILLERLEVEL[5:0]+ACCCR1.KILLEROFFSET[3:0]のときカラーキラーOFFとなります。また、ACCCR3.KILLERMODEにより強制的にカラーキラーONにすることもできます。

(3) 色相補正

色副搬送波の位相を調整することにより、クロマデコード後のCb/Crの色相を調整することができます。本調整はNTSC/PALのみ有効となります。TINTCR.TINTMAIN[9:0]で、復調軸の位相を制御します。また、TINTCR.TINTSUB[5:0]で、R-Y軸の位相を制御します。

(4) クロマデコード

C信号からCb/Cr信号を復調します。YCDCR.DEMODMODE[1:0]で、復調前のライン平均処理を行うことができます。通常はYCDCR.DEMODMODE[1:0]='2' (PALのみ2ライン復調、NTSCは1ライン復調) に設定してください。

(5) 遅延調整

Y信号を遅延させることにより、Y/C信号の遅延を調整します。YCDCR.LUMADELAY[4:0]で、-16~15クロックまで調整できます。

(6) 帯域制御用LPF

クロマデコード後のCb/Cr信号に対し、ローパスフィルタをかけることにより帯域を抑制することができます。YCDCR.CHROMALPFで、ローパスフィルタのON/OFFを設定します。

30.5.7 デジタルクランプ回路

任意のクランプ位置にて、Y 信号はペDESTALクランプ、Cb/Cr 信号はセンタークランプ処理を行います。また、自己相関関数によりノイズ量を検出する機能を有しています。

デジタルクランプのブロック図を図 30.37 に示します。

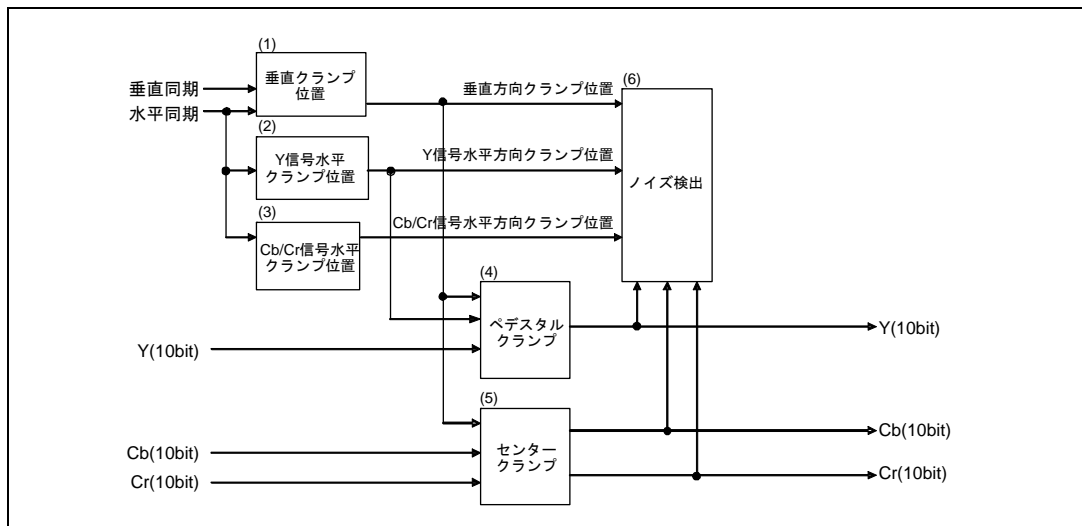


図 30.37 デジタルクランプブロック図

(1) 垂直クランプ位置

DCPCR4.DCPSTART[5:0]、DCPCR5.DCPEND[5:0]で、垂直方向クランプ位置を設定します。垂直方向クランプ位置は、Y/Cb/Cr 共通設定となります。

(2) Y 信号水平クランプ位置

DCPCR7.DCPPOS_Y[7:0]で、Y 信号の水平方向クランプの開始位置を設定します。DCPCR6.DCPWIDTH[6:0]で、水平方向のクランプ幅を設定します。水平方向のクランプ幅は、Y/Cb/Cr 共通設定となります。

(3) Cb/Cr 信号水平クランプ位置

DCPCR8.DCPPOS_C[7:0]で、Cb/Cr 信号の水平方向クランプの開始位置を設定します。DCPCR6.DCPWIDTH[6:0]で、水平方向のクランプ幅を設定します。水平方向のクランプ幅は、Y/Cb/Cr 共通設定となります。

(4) ペDESTALクランプ

ペDESTALクランプにより、Y 信号のペDESTALレベルを安定させます。

DCPCR1.DCPMODE_Y='0' 設定時は、DCPCR1.BLANKLEVEL_Y[9:0]で設定された値を Y 信号から減算します。

Y 信号出力 = Y 信号入力 - DCPCR1.BLANKLEVEL_Y[9:0]

DCPCR1.DCPMODE_Y='1' 設定時は、設定したクランプ位置で検出した Y 信号のレベルに、DCPCR1.BLANKLEVEL_Y[9:0]を加算した値を、Y 信号から減算します。

Y 信号出力 = Y 信号入力 - (検出値 + DCPCR1.BLANKLEVEL_Y[9:0])

検出値は、DCPSR1.CLAMPLEVEL_Y[9:0]で読み出すことができます。

また、DCPCR3.DCPRESPONSE[2:0]で、クランプの応答速度を設定することができます。本設定は、Y/Cb/Cr 共通設定となります。

(5) センタークランプ

センタークランプにより、Cb/Cr 信号のセンターレベルを安定させます。

DCPCR2.DCPMODE_C='0' 設定時は、DCPCR2.BLANKLEVEL_CB/CR[5:0]で設定された値を Cb/Cr 信号から減算します。

Cb 信号出力 = Cb 信号入力 - DCPCR2.BLANKLEVEL_CB[5:0]

Cr 信号出力 = Cr 信号入力 - DCPCR2.BLANKLEVEL_CR[5:0]

DCPMODE_C='1' 設定時は、設定したクランプ位置で検出した Cb/Cr 信号のレベルに、DCPCR2.BLANKLEVEL_CB/CR[5:0]を加算した値を、Cb/Cr 信号から減算します。

Cb 信号出力 = Cb 信号入力 - (検出値 + DCPCR2.BLANKLEVEL_CB[5:0])

Cr 信号出力 = Cr 信号入力 - (検出値 + DCPCR2.BLANKLEVEL_CR[5:0])

検出値は、DCPSR1.CLAMPLEVEL_CB[5:0]、DCPSR2.CLAMPLEVEL_CR[5:0]で読み出すことができます。

また、DCPCR3.DCPRESPONSE[2:0]で、クランプの応答速度を設定できます。本設定は、Y/Cb/Cr 共通設定となります。

(6) ノイズ検出

自己相関関数により、設定したクランプ位置のノイズ量を検出することができます。NSDCR.ACFINPUT[1:0]により、Y/Cb/Cr から自己相関関数を求める信号を選択します。NSDCR.ACFLAGTIME[4:0]により自己相関関数を計算する際の遅延時間、NSDCR.ACFILTER[1:0]により自己相関関数のフィールド積算量を設定します。自己相関関数（相関係数）は、NSDSR.ACFSTRENGTH[15:0]で読み出すことができます。

30.5.8 出力調整回路

本回路では、取り込み位置の設定およびコントラスト、カラー調整を行うことができます。

出力調整回路のブロック図を図 30.38 に示します。

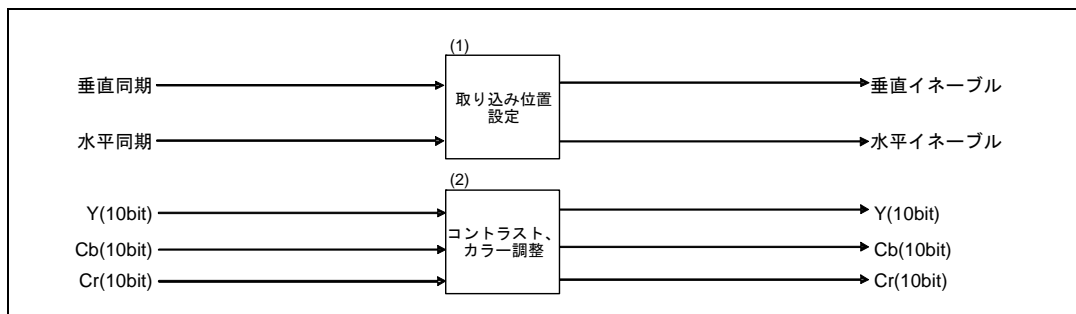


図 30.38 出力調整ブロック図

(1) 取り込み位置設定

入力映像信号の取り込み位置を設定します。取り込み位置は、TGCR1.SRCLEFT[8:0]、TGCR2.SRCTOP[5:0]、TGCR2.SRCHEIGHT[9:0]、TGCR3.SRCWIDTH[10:0]で設定します。ただし、本設定は本モジュール内部でのみ使用されます。入力映像の表示サイズ設定については、ビデオディスプレイコントローラ 4 のスケーリング部における、取り込み垂直サイズレジスタ (SCL0_DS2)、取り込み水平サイズレジスタ (SCL0_DS3) にて行ってください。

(2) コントラスト、カラー調整

出力 Y/Cb/Cr 信号のゲインを調整します。YGAINCR.Y_GAIN2[9:0]で、コントラスト調整 (Y 信号のゲイン調整) することが可能です。CBGAINCR.CB_GAIN2[9:0]、CRGAINCR.CR_GAIN2[9:0]で、カラー調整 (Cb/Cr 信号のゲイン調整) することが可能です。

30.6 推奨設定

表 30.41、表 30.42 に本モジュールの推奨設定値を記載します。

表 30.41 各カラーフォーマット共通推奨設定一覧

レジスタ	ビット	初期値 (10進)	推奨値 (10進)	備考
ADCCR1	AGCMODE	0	1	AGCオン
SYNSCR1	LPFVSYNC	3	3	
	LPFHSYNC	3	5	
	VELOCITYSHIFT_H	0	2	
	SLICERMODE_H	2	2	自動スライス
	SLICERMODE_V	2	2	自動スライス
SYNSCR2	SYNCMAXDUTY_H	15	15	
	SYNCMINDUTY_H	10	10	
SYNSCR3	SSCLIPSEL	15	15	
	CSYNCSLICE_H	146	146	
SYNSCR4	SYNCMAXDUTY_V	15	15	
	SYNCMINDUTY_V	10	9	
SYNSCR5	VSYNCDelay	0	0	
	VSYNCSLICE	11	10	
	CSYNCSLICE_V	146	146	
HAFCCR1	HAFCGAIN	6	12	
	HAFCFREERUN	0	0	
HAFCCR2	HAFSTART	0	0	
	NOX2HOSC	0	1	
	DOX2HOSC	0	0	
HAFCCR3	HAFEND	8	8	
	HAFMODE	2	2	VBI期間比較停止
VCDWCR1	VCDFREERUN	0	0	
DCPCR1	DCPMODE_Y	1	1	自動クランプ
	DCPCHECK	0	0	
	BLANKLEVEL_Y	0	-40 (984)	
DCPCR2	DCPMODE_C	0	0	
	BLANKLEVEL_CB	0	0	
	BLANKLEVEL_CR	0	0	
DCPCR3	DCPRESAMPLE	5	0	
DCPCR4	DCPSTART	16	16	
DCPCR5	DCPEND	16	2	
DCPCR6	DCPWIDTH	54	27	
DCPCR7	DCPPOS_Y	162	162	

レジスタ	ビット	初期値 (10進)	推奨値 (10進)	備考
DCPCR8	DCPPOS_C	27	54	
NSDCR	ACFINPUT	0	0	
	ACFLAGTIME	0	0	
	ACFFILTER	0	3	
BTLCR	LOCKRANGE	1	1	
	LOOPGAIN	1	3	
	LOCKLIMIT	2	1	
	BCOFREERUN	0	0	
BTGPCR	BGPCHECK	0	0	
	BGPWIDTH	36	54	
	BGPSTART	130	110	
ACCCR1	KILLEROFFSET	8	5	
	ACCMODE	0	0	ACCオン
	ACCMAXGAIN	0	0	
ACCCR2	CHROMASUBGAIN	0	0	
	CHROMAMAINGAIN	256	210	
ACCCR3	ACCRESPONSE	1	1	
	ACCPRECIS	20	8	
	KILLERMODE	0	0	
	KILLERLEVEL	9	4	
TINTCR	TINTSUB	0	0	
	TINTMAIN	0	0	
YCDCR	LUMADELAY	0	0	
	CHROMALPF	0	0	
	DEMODMODE	2	2	
AGCCR1	DOREDUCE	0	0	
	NOREDUCE	0	0	
	AGCRESPONSE	5	4	
AGCCR2	AGCPRECIS	10	10	
PKLIMITCR	PEAKLEVEL	0	2	ピークリミッタオン
	PEAKATTACK	2	2	
	PEAKRELEASE	0	3	
	PEAKRATIO	0	0	
	MAXPEAKSAMPLES	0	20	
RGORCR1	RADJ_O_LEVEL0	1023	928	
RGORCR2	RADJ_U_LEVEL0	0	32	
RGORCR3	RADJ_O_LEVEL1	1023	960	
RGORCR4	RADJ_U_LEVEL1	0	48	

レジスタ	ビット	初期値 (10進)	推奨値 (10進)	備考
RGORCR5	RADJ_O_LEVEL2	1023	992	
RGORCR6	RADJ_U_LEVEL2	0	64	
RGORCR7	TEST_MONI	0	0	
	RADJ_MIX_K_FIX	0	0	
	UCMP_SW	0	1	レンジオーバー検知
	DCMP_SW	0	1	レンジアンダ検知
	HWIDE_SW	1	1	
AFCPFCR	PHDET_FIX	0	0	
	PHDET_DIV	5	5	
RUPDCR	NEWSETTING	0	1	
YCSCR8	HBPF_NARROW	1	0	
	HVBPF_NARROW	1	0	
	HBPF1_9TAP_ON	0	0	
	HVBPF1_9TAP_ON	0	0	
	HFIL_TAP_SEL	0	0	
YCSCR11	V_Y_LEVEL	3	0	
DCPCR9	CLP_HOLD_ON_Y	1	0	
	CLP_HOLD_ON_CB	1	0	
	CLP_HOLD_ON_CR	1	0	
YCTWA_F0 ~ F8	FIL2_2D_WA_F0 ~ F8	30.5.5 (8) 縦続接続フィルタ参照		
YCTWB_F0 ~ F8	FIL2_2D_WB_F0 ~ F8	30.5.5 (8) 縦続接続フィルタ参照		
YCTNA_F0 ~ F8	FIL2_2D_NA_F0 ~ F8	30.5.5 (8) 縦続接続フィルタ参照		
YCTNB_F0 ~ F8	FIL2_2D_NB_F0 ~ F8	30.5.5 (8) 縦続接続フィルタ参照		
YGAINCR	Y_GAIN2	512	816	
CBGAINCR	CB_GAIN2	512	663	
CRGAINCR	CR_GAIN2	512	663	
PGA_UPDATE	PGA_VEN	1	1	
PGACR	PGA_GAIN_SEL	0	0	
	PGA_GAIN	0	0	
ADCCR2	ADC_VINSEL	0	0	

表 30.42 各カラーフォーマット個別推奨設定一覧

レジスタ	ビット	NTSC-3.58	NTSC-4.43	PAL-4.43	PAL-M	PAL-N	SECAM	NTSC-443 (60Hz)	PAL-60
取り込み位置設定									
TGCR1	SRCLEFT	256	256	256	256	256	256	256	256
TGCR2	SRCTOP	16	19	19	16	19	19	16	16
	SRCHEIGHT	241	288	288	241	288	288	241	241
TGCR3	SRCWIDTH	1428	1412	1412	1428	1412	1412	1428	1428
水平AFC設定									
HAFCCR1	HAFCTYP	692	704	704	692	704	704	692	692
HAFCCR2	HAFCMAX	792	785	785	792	785	785	792	792
HAFCCR3	HAFCMIN	592	630	630	592	630	630	592	592
垂直カウントダウン設定									
VCDWCR1	NOVCD50	1	0	0	1	0	0	1	1
	NOVCD60	0	1	1	0	1	1	0	0
	VCDDEFAULT	2	1	1	2	1	1	2	2
	VCDWINDOW	30	30	30	30	30	30	30	30
	VCDOFFSET	15	15	15	15	15	15	15	15
BCO設定									
BTLCR	DEFAULTSYS	0	0	1	1	1	2	0	1
	NONTSC358	0	1	1	1	1	1	1	1
	NONTSC443	1	0	1	1	1	1	0	1
	NOPALM	1	1	1	0	1	1	1	1
	NOPALN	1	1	1	1	0	1	1	1
	NOPAL443	1	1	0	1	1	1	1	0
	NOSECAM	1	1	1	1	1	0	1	1
ACCレベル設定									
ACCCR1	ACCLEVEL	220	220	230	230	230	220	220	230
AGCレベル設定									
AGCCR1	AGCLEVEL	230	230	242	242	242	242	230	242

レジスタ	ビット	NTSC-3.58	NTSC-4.43	PAL-4.43	PAL-M	PAL-N	SECAM	NTSC-443 (60Hz)	PAL-60
Y/C分離設定									
YCSCR3	K15	2	2	2	2	2	2	2	2
	K13	8	8	8	8	8	8	8	8
	K11	4	4	3	3	3	4	4	3
YCSCR4	K16	3	3	4	4	4	3	3	4
	K14	16	16	63	63	63	16	16	63
	K12	8	8	2	2	2	1	8	2
YCSCR5	K22A	32	32	32	32	32	32	32	32
	K21A	6	6	10	10	10	10	6	10
YCSCR6	K22B	8	8	15	15	15	15	8	15
	K21B	6	6	10	10	10	6	6	10
YCSCR7	K23B	6	6	3	3	3	3	6	3
	K23A	3	3	3	3	3	3	3	3
	K24	5	5	8	8	8	8	5	8
YCSCR9	DET2_ON	1	1	0	0	0	1	1	0
	HSEL_MIX_Y	6	6	0	0	0	6	6	0
	VSEL_MIX_Y	6	6	0	0	0	6	6	0
	HVSEL_MIX_Y	0	0	0	0	0	0	0	0
YCSCR12	DET2_MIX_C	0	0	0	0	0	0	0	0
	DET2_MIX_Y	2	2	0	0	0	0	2	0
	FIL2_MODE_2D	1	1	0	0	0	1	1	0
	FIL2_NARROW_2D	1	1	1	1	1	1	1	1

30.7 接続例

図 30.39 に本モジュールの端子接続例を示します。

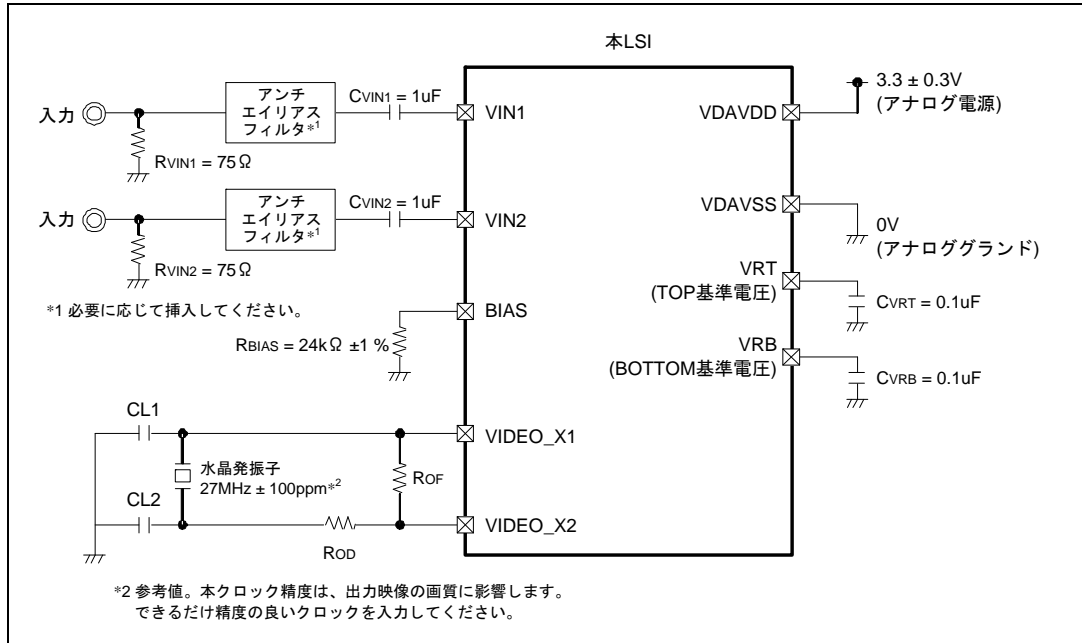


図 30.39 端子接続例

31. ビデオディスプレイコントローラ 4 (1) 概要

31.1 特長

ビデオディスプレイコントローラ 4 は以下の 6 つのブロックで構成されています。なお、画面合成は、映像 + グラフィックス 2 面、もしくはグラフィックス 3 面の選択になります。

1. 入力制御部：入力映像の選択、同期調整、水平ノイズリダクション、カラーマトリクス機能によるブライト調整、ゲイン調整、YCbCr GBR変換
2. スケーリング部：フレームバッファを使用した入力映像の拡大・縮小、回転、および、フレームバッファに設定フィールド数分をリピート録画する機能
3. 画質改善部：黒伸張、LTI / シャープネス、カラーマトリクス機能によるYCbCr GBR変換
4. 画面合成部：映像 + グラフィックス 2 面、もしくはグラフィックス 3 面を重ね合わせる機能
5. 出力制御部：ブライト / コントラスト調整、ガンマ補正、ディザ処理、出力フォーマット変換、TFT-LCD パネル向けの制御信号出力機能
6. システム制御部：割り込み制御、パネルロック制御、CLUTテーブル選択信号ステータスフラグ出力機能

表 31.1 にビデオディスプレイコントローラ 4 の主な機能を示します。

表 31.1 ビデオディスプレイコントローラ 4 機能

項目	機能
動作周波数	入力映像クロック : 27/54MHz (ビデオ映像)、~66.67MHz (RGB 映像) パネルクロック : ~66.67MHz (パネル仕様に依存)
入力映像規格	ITU-R BT.656 規格準拠 8bit (27MHz) に対応 ITU-R BT.601 規格準拠 8bit (27MHz、インタレース信号) に対応 ITU-R BT.601 規格準拠 8bit (54MHz、プログレッシブ信号) に対応 デジタル端子入力 : YCbCr444、RGB888、RGB666、RGB565 映像に対応 デジタル端子入力サイズ : 設定可能な入力映像サイズ* 水平 1024 画素、垂直 1024 ライン 【注】* 接続するデバイスとの AC 特性に依存します。 入力映像サイズ例 : SVGA (800×600)、WVGA (800×480)、VGA (640×480)、WAVGA (480×240)、 QVGA 横長 (320×240)、QVGA 縦長 (240×320)
映像録画機能	YCbCr422/RGB565/RGB888 形式にて 1/1、1/2、1/4、1/8 フィールドのレートで映像を保存 保存可能な最大映像サイズ : 入力映像の等倍
映像画質調整機能	コントラスト調整、ブライト調整、水平ノイズリダクション、黒伸張、LTI/シャープネス
映像スケーリング処理	垂直 1/8~8 倍、リニア/ホールド補間 水平 1/8~8 倍、リニア/ホールド補間 初期位相を調整することにより IP 変換可能
映像回転機能	0、90、180、270 度回転および水平鏡像 (ただし歪み補正エンジンと排他制御)
グラフィックス	グラフィックス面数 : 3 面 (グラフィックス (1)、(2)、(3)) 対応ピクセルフォーマット : RGB565 プログレッシブ形式 (:なし、R:5bit、G:6bit、B:5bit の計 16bit) RGB888 プログレッシブ形式 (:なし、R:8bit、G:8bit、B:8bit の計 24bit) RGB1555 プログレッシブ形式 (:1bit、R:5bit、G:5bit、B:5bit の計 16bit) RGB4444 プログレッシブ形式 (:4bit、R:4bit、G:4bit、B:4bit の計 16bit) RGB8888 プログレッシブ形式 (:8bit、R:8bit、G:8bit、B:8bit の計 32bit) CLUT8 プログレッシブ形式 (CLUT:8bit) CLUT4 プログレッシブ形式 (CLUT:4bit) CLUT1 プログレッシブ形式 (CLUT:1bit) YCbCr422 プログレッシブ形式 (Y:8bit、Cb/Cr:8bit の計 16bit) (グラフィックス (1) のみ) 読み出し可能な最大画像サイズ : 水平 1024 画素、垂直 1024 ライン

項目	機能
グラフィックス機能	矩形領域 ブレンド 設定した領域にて、透過率 に基づきミキシング (フェードイン、フェードアウト機能有り) クロマキー 設定した RGB 色、CLUT 値にて、透過率 に基づきミキシング 画素単位 ブレンド RGB1555、 RGB4444、 RGB8888、 CLUT8/4/1 形式のグラフィ ックス画像のとき、透過率 に基づきミキシング 各ドットにて、上記機能の 値の優先順位は 矩形領域 ブレンド > クロマキー > 画素単位 ブレンド
出力映像サイズ	設定可能な最大出力映像サイズ*：水平 1999 画素、垂直 2035 ライン 【注】* 表示するパネルとの AC 特性に依存します。 出力映像サイズ例： SVGA (800 × 600)、WVGA (800 × 480)、 VGA (640 × 480)、WQVGA (480 × 240)、 QVGA 横長 (320 × 240)、 QVGA 縦長 (240 × 320)
出力映像形式	RGB888 プロGRESSIVE映像出力 (24bit のパラレル出力) RGB666 プロGRESSIVE映像出力 (18bit のパラレル出力) RGB565 プロGRESSIVE映像出力 (16bit のパラレル出力) RGB888 プロGRESSIVE映像出力 (8bit のシリアル出力)
パネル出力調整機能	パネルブライツ / コントラスト調整、RGB ガンマ補正、ディザ処理、出力フォーマット変換
同期信号出力	TFT-LCD パネル向けの制御信号を出力する
割り込み出力	映像入力 / 出力の垂直同期信号 ライン割り込み出力 (任意のラインにて出力可能) 映像入力の垂直同期周期異常検出信号 フィールド書き込み完了信号 内部バッファのオーバフロー / アンダフロー検出信号

31.2 ブロック図

本モジュールの全体ブロック図を示します。詳細については各ブロックの説明を参照してください。

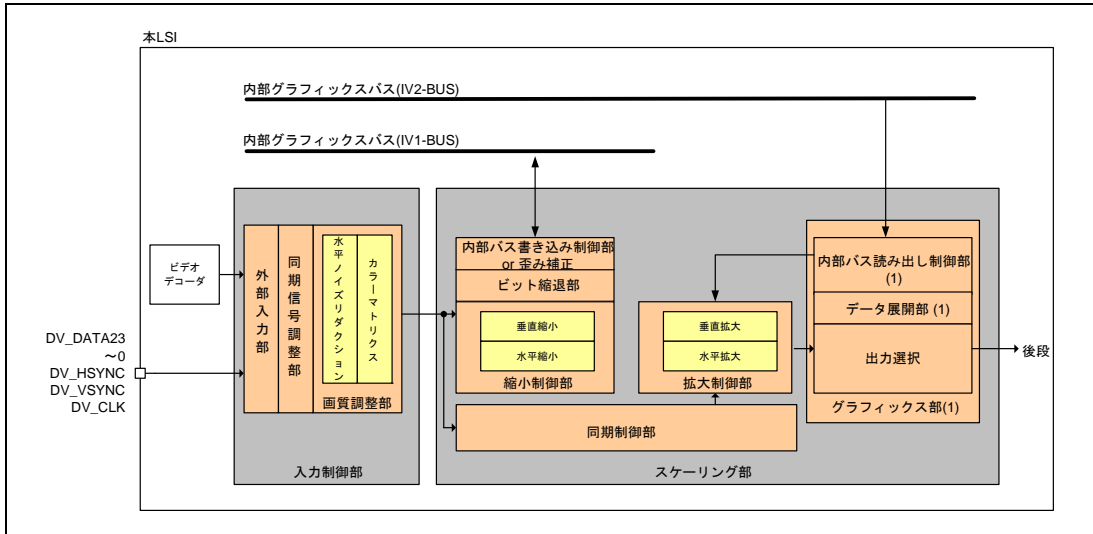


図 31.1 ビデオディスプレイコントローラ 4 前段ブロック図

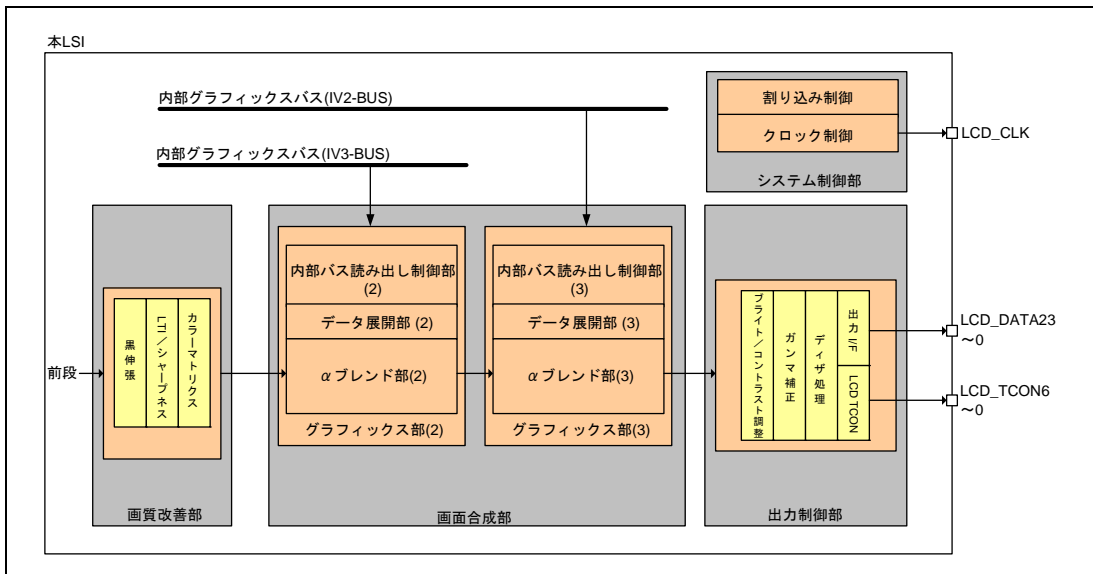


図 31.2 ビデオディスプレイコントローラ 4 後段ブロック図

31.3 入出力端子

表 31.2 に端子構成を示します。

表 31.2 入出力端子

端子名	入出力	名称	説明
DV_CLK	入力	外部入力クロック	外部入力のクロック端子です。
DV_VSYNC	入力	外部入力垂直同期	外部入力の垂直同期端子です。
DV_HSYNC	入力	外部入力水平同期	外部入力の水平同期端子です。
DV_DATA23-0	入力	外部入力映像データ	外部入力の映像データ端子です。
LCD_CLK	出力	パネルクロック	パネル出力のクロック端子です。
LCD_DATA23-0	出力	パネル用映像データ	パネル出力の映像データ端子です。
LCD_TCON6-0	出力	パネル用制御信号	パネル出力のタイミング制御端子です。
LCD_EXTCLK	入力	パネルクロックソース	パネルクロックソース入力端子です。

31.4 クロック

本モジュールが各機能で使用するクロックは、主に映像クロックとピクセルクロックがあります。

映像クロックは、入力制御部からスケーリング部の縮小制御部を通して、映像をバッファに書き込む（内部バス書き込み制御）まで使用されます。入力制御部の INP_SEL_CNT.INP_SEL=0（ビデオデコーダ出力選択）のとき、VIDEO_X1(27MHz)クロックが映像クロックとなります。INP_SEL_CNT.INP_SEL=1（外部入力端子選択）のとき、DV_CLK クロックが映像クロックとなります。

ピクセルクロックは、スケーリング部のグラフィックス読み出し（内部バス読み出し制御部）から出力制御部まで使用されます。出力制御部でパラレル RGB 出力を選択した時、ピクセルクロックはパネルクロック（LCD_CLK）と同じ周波数になります。パネルクロックは、システム制御部の SYSCNT_PANEL_CLK.PANEL_ICKSEL[1:0]により、映像クロック、LCD_EXTCLK、周辺バスクロック 1 (P1)から選択可能です。出力制御部でシリアル RGB（3/4 倍速モード）を選択したとき、ピクセルクロックはパネルクロック（LCD_CLK）の 1/3、1/4 の周波数となります。

【注】 LCD_EXTCLK をご使用になる場合の注意

LCD_EXTCLK 信号は、PE0 端子、PH5 端子、PG27 端子の 3 か所にマルチプレクスされていますが、デジタルビデオデコーダを使用する際には PE0 と PG27 端子をご使用になる事を推奨いたします。PH5 端子をご使用になった場合、アナログ入力画面にノイズが発生する可能性があります。

31.5 水平・垂直同期信号

スケーリング部の同期制御部にて、スケーリング部の拡大制御部より後段論理で使用する水平・垂直同期信号を生成します。この水平・垂直同期信号は、LCD パネル駆動用の各種タイミングを生成する LCD TCON の基準信号となるため、LCD パネルへ渡す制御信号 (LCD_TCON6~0 端子) もこれらの信号が基準となります。

この出力する水平同期信号は、常に自走周期であり、SCL0_FRC4.RES_FH[10:0]で水平周期を設定します。一方、出力する垂直同期信号は、スケーリング部の SCL0_FRC3.RES_VS_SEL により、外部入力 (ビデオデコーダまたはデジタル端子入力) の垂直同期信号または自走垂直同期信号から選択します。

(1) 外部入力垂直同期

本モードでは、外部入力の垂直同期信号を基準に出力する垂直同期信号を生成します。ビデオデコーダまたはデジタル端子からの入力映像をパネルに表示する際は、必ず本モードにしてください。本モードでも、出力する水平同期信号は自走周期となります。タイミング図を下記に示します。

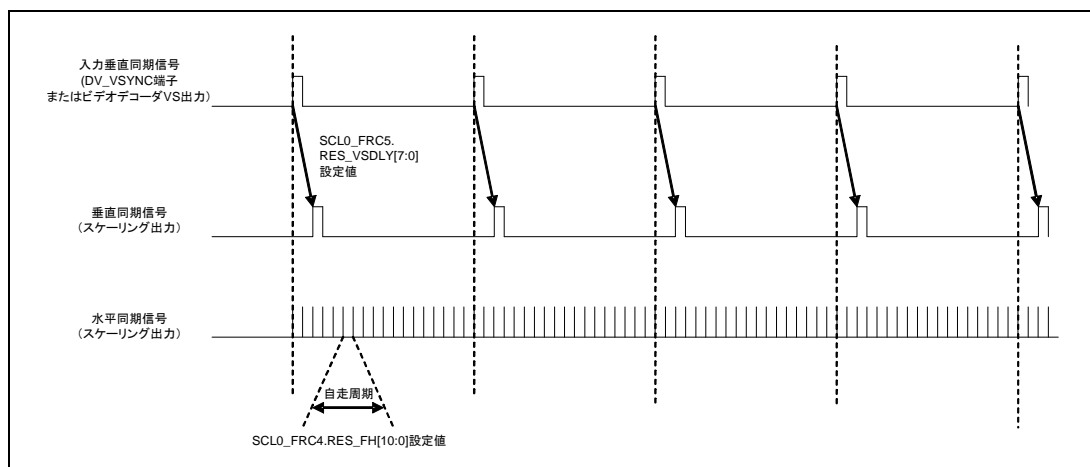


図 31.3 外部入力垂直同期タイミング図

(2) 自走垂直同期

本モードでは、ピクセルクロックを元に垂直同期信号を生成します(自走)。SCL0_FRC4.RES_FV[10:0]で垂直同期を設定します。出力する水平同期信号も自走周期となります。タイミング図を下記に示します。

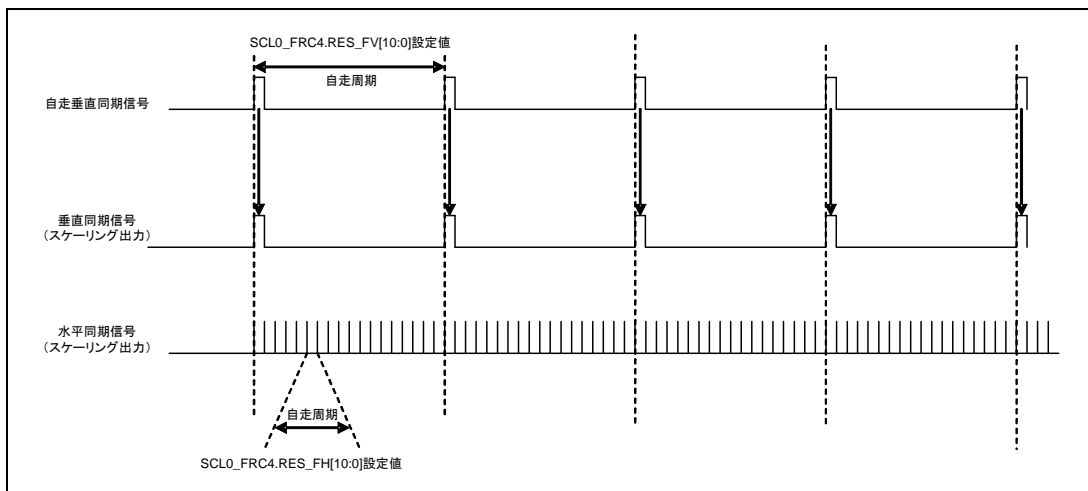


図 31.4 自走垂直同期タイミング図

(3) 同期信号選択一覧

同期信号選択の使用例一覧を下記に示します。

表 31.3 同期信号選択一覧

外部映像入力	グラフィックス表示	垂直同期信号選択
表示なし	なし	使用しない
表示なし	あり	自走垂直同期
表示あり	なし	外部入力垂直同期
表示あり	あり	外部入力垂直同期
録画	なし	使用しない
録画	あり	自走垂直同期

(4) 垂直同期信号切り替え時の注意事項

垂直同期信号選択を切り替えるとき、出力する垂直同期信号は不連続となるため、パネル表示が乱れる期間があります。そのため、必要に応じてミュート処理をした状態で、垂直同期信号を切り替えてください。ミュート処理はパネルの仕様に応じて処理してください。

32. ビデオディスプレイコントローラ 4 (2) 入力制御部

32.1 入力制御機能

32.1.1 機能概要

入力制御部は、ビデオデコーダの出力と外部入力端子の信号選択、同期調整、水平ノイズリダクション、およびカラーマトリクスによるブライト調整、ゲイン調整、YCbCr → GBR 変換を行います。

下図に入力制御部の機能ブロック図を示します。

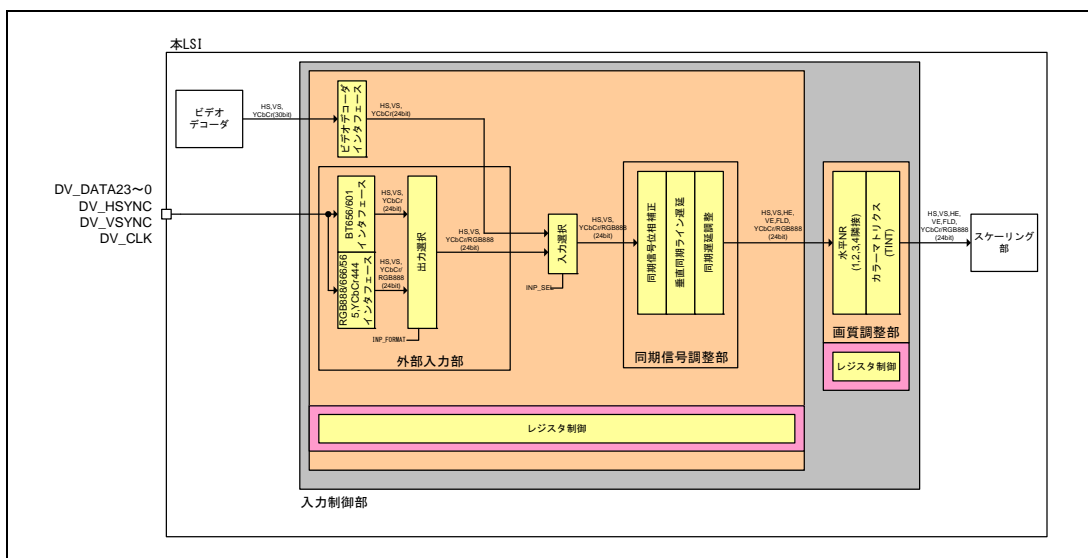


図 32.1 入力制御部の機能ブロック図

32.1.2 外部入力部、同期信号調整部のレジスタ更新制御

外部入力部、同期信号調整部の制御レジスタは、更新制御レジスタに 1 をセットすることにより更新されます。

画質調整部の制御レジスタは、すべて垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

表 32.1 レジスタの更新制御

レジスタ名	ビット名	初期値	説明
INP_UPDATE	INP_EXT_UPDATE	0	外部入力部のレジスタ更新 0: レジスタを更新しない 1: レジスタを更新する
INP_UPDATE	INP_IMG_UPDATE	0	同期信号調整部のレジスタ更新 0: レジスタを更新しない 1: レジスタを更新する
IMGCNT_UPDATE	IMGCNT_VEN	0	画質調整部のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

32.1.3 入力選択

ビデオデコーダ出力と外部入力端子から信号を選択します。

表 32.2 入力選択

レジスタ名	ビット名	初期値	説明
INP_SEL_CNT	INP_SEL	0	入力選択 0: ビデオデコーダ出力 1: 外部入力端子

32.1.4 外部入力の映像信号制御

外部入力の映像信号は、YCbCr444、RGB888、RGB666、RGB565、BT656、BT601 のフォーマットに対応します。

BT656 信号は、インタレース信号の 525Line/59.94Hz (27.0MHz)、625Line/50.00Hz (27.0MHz) に対応します。

BT601 信号は、データラインが 8 ビットの 525Line/59.94Hz (27.0MHz)、625Line/50.00Hz (27.0MHz) のインタレース信号、525Line/59.94Hz (54.0MHz)、625Line/50.00Hz (54.0MHz) のプログレッシブ信号に対応します。

上記の信号選択は INP_FORMAT[2:0] で行います。また、INP_ENDIAN_ON、INP_SWAP_ON でビットエンディアン、B/R 信号入れ替えを制御します。

表 32.3 外部入力の映像信号制御

レジスタ名	ビット名	初期値	説明
INP_SEL_CNT	INP_FORMAT[2:0]	000	外部入力のフォーマット選択 0 : YCbCr444、RGB888 1 : RGB666 2 : RGB565 3 : BT656 4 : BT601 5 ~ 7 : 設定禁止
INP_EXT_SYNC_CNT	INP_ENDIAN_ON	0	外部入力のビットエンディアン変更オン / オフ制御 0 : オフ 1 : オン
INP_EXT_SYNC_CNT	INP_SWAP_ON	0	外部入力の B/R 信号入れ替えオン / オフ制御 0 : オフ 1 : オン

32.1.5 外部入力のクロックのエッジ選択

INP_PXD_EDGE、INP_VS_EDGE、INP_HS_EDGE で映像信号、垂直同期信号、水平同期信号の受付クロックのエッジを個別に選択します。

表 32.4 外部入力のクロックのエッジ選択

レジスタ名	ビット名	初期値	説明
INP_SEL_CNT	INP_PXD_EDGE	0	外部入力の映像信号 DV_DATA23~0 の入力段取り込みクロックのエッジ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ
INP_SEL_CNT	INP_VS_EDGE	0	外部入力の垂直同期信号 DV_VSYNC の入力段取り込みクロックのエッジ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ
INP_SEL_CNT	INP_HS_EDGE	0	外部入力の水平同期信号 DV_HSYNC の入力段取り込みクロックのエッジ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ

外部入力の標準入力タイミングは図 32.2 に示すとおりです。

INP_PXD_EDGE = 0、INP_VS_EDGE = 0、INP_HS_EDGE = 0 では、クロック信号 DV_CLK の立ち上がりで各入力信号を受け付けることができます。

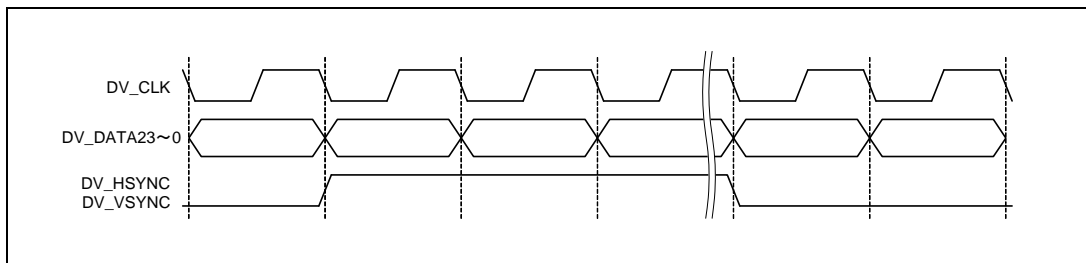


図 32.2 外部入力の標準入力タイミング (クロック位相)

32.1.6 外部入力の同期信号の反転制御

INP_VS_INV、INP_HS_INV で垂直同期信号、水平同期信号の極性反転を制御します。

表 32.5 同期信号の反転制御

レジスタ名	ビット名	初期値	説明
INP_EXT_SYNC_CNT	INP_VS_INV	0	外部入力の垂直同期信号 DV_VSYNC の反転制御 0：非反転（正極性） 1：反転（負極性）
INP_EXT_SYNC_CNT	INP_HS_INV	0	外部入力の水平同期信号 DV_HSYNC の反転制御 0：非反転（正極性） 1：反転（負極性）

32.1.7 外部入力の映像信号のビット割り付け

各フォーマット時の外部入力の映像信号 DV_DATA 端子の信号割当を以下に示します。

(1) YCbCr444/RGB888 入力

YCbCr444/RGB888 入力時、外部入力の映像信号 DV_DATA 端子は表 32.6 に示すとおり、内部信号 Y/GOUT、Cb/BOUT、Cr/ROUT に割り付けられます。

表 32.6 YCbCr444/RGB888 入力時の DV_DATA 端子入力のビット割り付け

INP_FORMAT[2:0]	0	0	0	0
INP_ENDIAN_ON	0	0	1	1
INP_SWAP_ON	0	1	0	1
DV_DATA23	Cr/ROUT[7]	Cb/BOUT[7]	Cr/ROUT[0]	Cb/BOUT[0]
DV_DATA22	Cr/ROUT[6]	Cb/BOUT[6]	Cr/ROUT[1]	Cb/BOUT[1]
DV_DATA21	Cr/ROUT[5]	Cb/BOUT[5]	Cr/ROUT[2]	Cb/BOUT[2]
DV_DATA20	Cr/ROUT[4]	Cb/BOUT[4]	Cr/ROUT[3]	Cb/BOUT[3]
DV_DATA19	Cr/ROUT[3]	Cb/BOUT[3]	Cr/ROUT[4]	Cb/BOUT[4]
DV_DATA18	Cr/ROUT[2]	Cb/BOUT[2]	Cr/ROUT[5]	Cb/BOUT[5]
DV_DATA17	Cr/ROUT[1]	Cb/BOUT[1]	Cr/ROUT[6]	Cb/BOUT[6]
DV_DATA16	Cr/ROUT[0]	Cb/BOUT[0]	Cr/ROUT[7]	Cb/BOUT[7]
DV_DATA15	Y/GOUT[7]	Y/GOUT[7]	Y/GOUT[0]	Y/GOUT[0]
DV_DATA14	Y/GOUT[6]	Y/GOUT[6]	Y/GOUT[1]	Y/GOUT[1]
DV_DATA13	Y/GOUT[5]	Y/GOUT[5]	Y/GOUT[2]	Y/GOUT[2]
DV_DATA12	Y/GOUT[4]	Y/GOUT[4]	Y/GOUT[3]	Y/GOUT[3]
DV_DATA11	Y/GOUT[3]	Y/GOUT[3]	Y/GOUT[4]	Y/GOUT[4]
DV_DATA10	Y/GOUT[2]	Y/GOUT[2]	Y/GOUT[5]	Y/GOUT[5]
DV_DATA9	Y/GOUT[1]	Y/GOUT[1]	Y/GOUT[6]	Y/GOUT[6]
DV_DATA8	Y/GOUT[0]	Y/GOUT[0]	Y/GOUT[7]	Y/GOUT[7]
DV_DATA7	Cb/BOUT[7]	Cr/ROUT[7]	Cb/BOUT[0]	Cr/ROUT[0]
DV_DATA6	Cb/BOUT[6]	Cr/ROUT[6]	Cb/BOUT[1]	Cr/ROUT[1]
DV_DATA5	Cb/BOUT[5]	Cr/ROUT[5]	Cb/BOUT[2]	Cr/ROUT[2]
DV_DATA4	Cb/BOUT[4]	Cr/ROUT[4]	Cb/BOUT[3]	Cr/ROUT[3]
DV_DATA3	Cb/BOUT[3]	Cr/ROUT[3]	Cb/BOUT[4]	Cr/ROUT[4]
DV_DATA2	Cb/BOUT[2]	Cr/ROUT[2]	Cb/BOUT[5]	Cr/ROUT[5]
DV_DATA1	Cb/BOUT[1]	Cr/ROUT[1]	Cb/BOUT[6]	Cr/ROUT[6]
DV_DATA0	Cb/BOUT[0]	Cr/ROUT[0]	Cb/BOUT[7]	Cr/ROUT[7]

(2) RGB666 入力

RGB666 入力時、外部入力の映像信号 DV_DATA 端子は表 32.7 に示すとおり、内部信号 GOUT、BOUT、ROUT に割り付けられます。

割り付けられた GOUT、BOUT、ROUT 信号は以下の演算式で RGB666 インタフェースから計 24 ビットで映像出力されます。

$$G[7:0] = GOUT[7:2] \times 255 \div 63$$

$$B[7:0] = BOUT[7:2] \times 255 \div 63$$

$$R[7:0] = ROUT[7:2] \times 255 \div 63$$

表 32.7 RGB666 入力時の DV_DATA 端子入力のビット割り付け

INP_FORMAT[2:0]	1	1	1	1
INP_ENDIAN_ON	0	0	1	1
INP_SWAP_ON	0	1	0	1
DV_DATA17	ROUT[7]	BOUT[7]	ROUT[2]	BOUT[2]
DV_DATA16	ROUT[6]	BOUT[6]	ROUT[3]	BOUT[3]
DV_DATA15	ROUT[5]	BOUT[5]	ROUT[4]	BOUT[4]
DV_DATA14	ROUT[4]	BOUT[4]	ROUT[5]	BOUT[5]
DV_DATA13	ROUT[3]	BOUT[3]	ROUT[6]	BOUT[6]
DV_DATA12	ROUT[2]	BOUT[2]	ROUT[7]	BOUT[7]
DV_DATA11	GOUT[7]	GOUT[7]	GOUT[2]	GOUT[2]
DV_DATA10	GOUT[6]	GOUT[6]	GOUT[3]	GOUT[3]
DV_DATA9	GOUT[5]	GOUT[5]	GOUT[4]	GOUT[4]
DV_DATA8	GOUT[4]	GOUT[4]	GOUT[5]	GOUT[5]
DV_DATA7	GOUT[3]	GOUT[3]	GOUT[6]	GOUT[6]
DV_DATA6	GOUT[2]	GOUT[2]	GOUT[7]	GOUT[7]
DV_DATA5	BOUT[7]	ROUT[7]	BOUT[2]	ROUT[2]
DV_DATA4	BOUT[6]	ROUT[6]	BOUT[3]	ROUT[3]
DV_DATA3	BOUT[5]	ROUT[5]	BOUT[4]	ROUT[4]
DV_DATA2	BOUT[4]	ROUT[4]	BOUT[5]	ROUT[5]
DV_DATA1	BOUT[3]	ROUT[3]	BOUT[6]	ROUT[6]
DV_DATA0	BOUT[2]	ROUT[2]	BOUT[7]	ROUT[7]

(3) RGB565 入力

RGB565 入力時、外部入力の映像信号 DV_DATA 端子は表 32.8 に示すとおり、内部信号 GOUT、BOUT、ROUT に割り付けられます。

割り付けられた GOUT、BOUT、ROUT 信号は以下の演算式で RGB565 インタフェースから計 24 ビットで映像出力されます。

$$G[7:0] = GOUT[7:2] \times 255 \div 63$$

$$B[7:0] = BOUT[7:3] \times 255 \div 31$$

$$R[7:0] = ROUT[7:3] \times 255 \div 31$$

表 32.8 RGB565 入力時の DV_DATA 端子入力のビット割り付け

INP_FORMAT[2:0]	2	2	2	2
INP_ENDIAN_ON	0	0	1	1
INP_SWAP_ON	0	1	0	1
DV_DATA15	ROUT[7]	BOUT[7]	ROUT[3]	BOUT[3]
DV_DATA14	ROUT[6]	BOUT[6]	ROUT[4]	BOUT[4]
DV_DATA13	ROUT[5]	BOUT[5]	ROUT[5]	BOUT[5]
DV_DATA12	ROUT[4]	BOUT[4]	ROUT[6]	BOUT[6]
DV_DATA11	ROUT[3]	BOUT[3]	ROUT[7]	BOUT[7]
DV_DATA10	GOUT[7]	GOUT[7]	GOUT[2]	GOUT[2]
DV_DATA9	GOUT[6]	GOUT[6]	GOUT[3]	GOUT[3]
DV_DATA8	GOUT[5]	GOUT[5]	GOUT[4]	GOUT[4]
DV_DATA7	GOUT[4]	GOUT[4]	GOUT[5]	GOUT[5]
DV_DATA6	GOUT[3]	GOUT[3]	GOUT[6]	GOUT[6]
DV_DATA5	GOUT[2]	GOUT[2]	GOUT[7]	GOUT[7]
DV_DATA4	BOUT[7]	ROUT[7]	BOUT[3]	ROUT[3]
DV_DATA3	BOUT[6]	ROUT[6]	BOUT[4]	ROUT[4]
DV_DATA2	BOUT[5]	ROUT[5]	BOUT[5]	ROUT[5]
DV_DATA1	BOUT[4]	ROUT[4]	BOUT[6]	ROUT[6]
DV_DATA0	BOUT[3]	ROUT[3]	BOUT[7]	ROUT[7]

(4) BT656 / BT601 入力

BT656 / BT601 入力時、外部入力の映像信号 DV_DATA 端子は表 32.9 に示すとおり、内部信号 BTOUT に割り付けられます。

割り付けられた BTOUT 信号から YCbCr 信号を生成します。

YCbCr 信号の生成は後述 32.1.11 を参照してください。

表 32.9 BT656 / BT601 入力時の DV_DATA 端子入力のビット割り付け

INP_FORMAT[2:0]	3 ~ 4	3 ~ 4
INP_ENDIAN_ON	0	1
INP_SWAP_ON	0	0
DV_DATA7	BTOUT[7]	BTOUT[0]
DV_DATA6	BTOUT[6]	BTOUT[1]
DV_DATA5	BTOUT[5]	BTOUT[2]
DV_DATA4	BTOUT[4]	BTOUT[3]
DV_DATA3	BTOUT[3]	BTOUT[4]
DV_DATA2	BTOUT[2]	BTOUT[5]
DV_DATA1	BTOUT[1]	BTOUT[6]
DV_DATA0	BTOUT[0]	BTOUT[7]

32.1.8 BT601 の標準信号タイミング

BT601 フォーマットの水平タイミングを図 32.3、図 32.4 に、垂直タイミングを図 32.5、図 32.6 に示します。

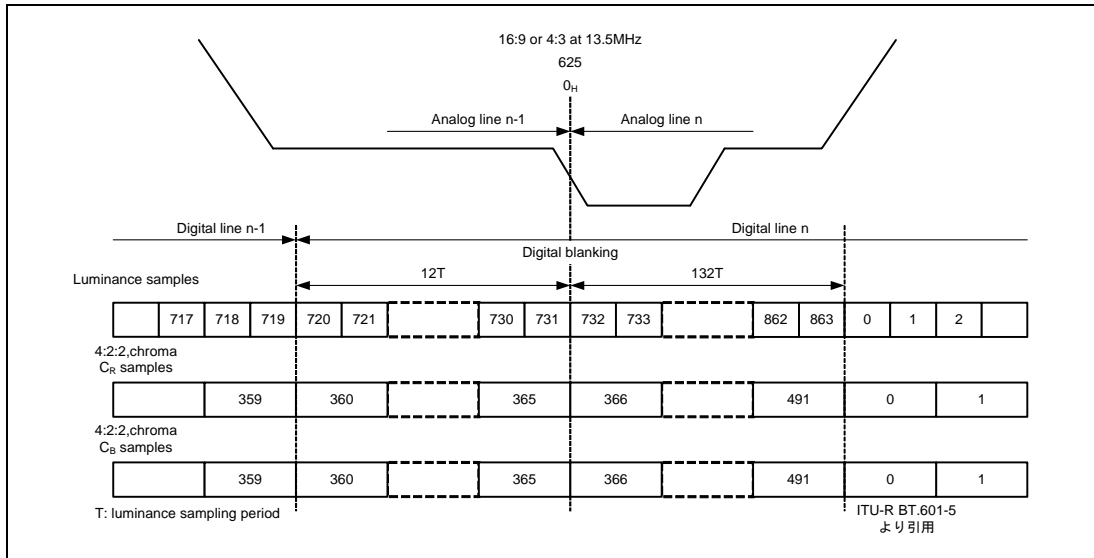


図 32.3 BT601 水平タイミング (625 ライン / 50.00Hz)

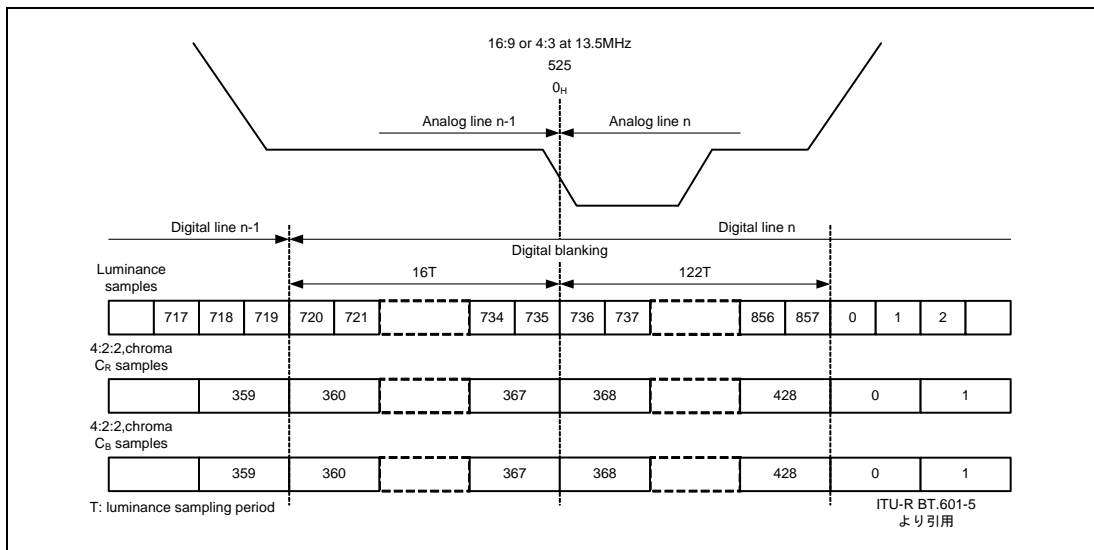


図 32.4 BT601 水平タイミング (525 ライン / 59.94Hz)

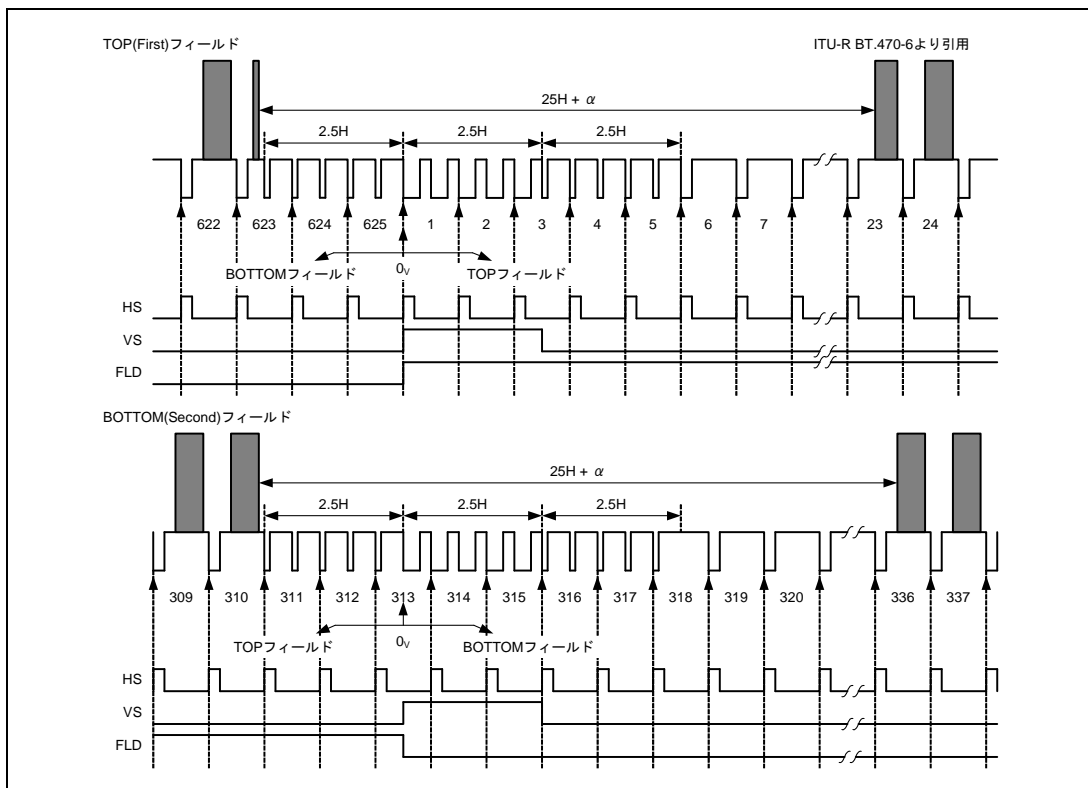


図 32.5 BT601 垂直タイミング (625 ライン / 50.00Hz)

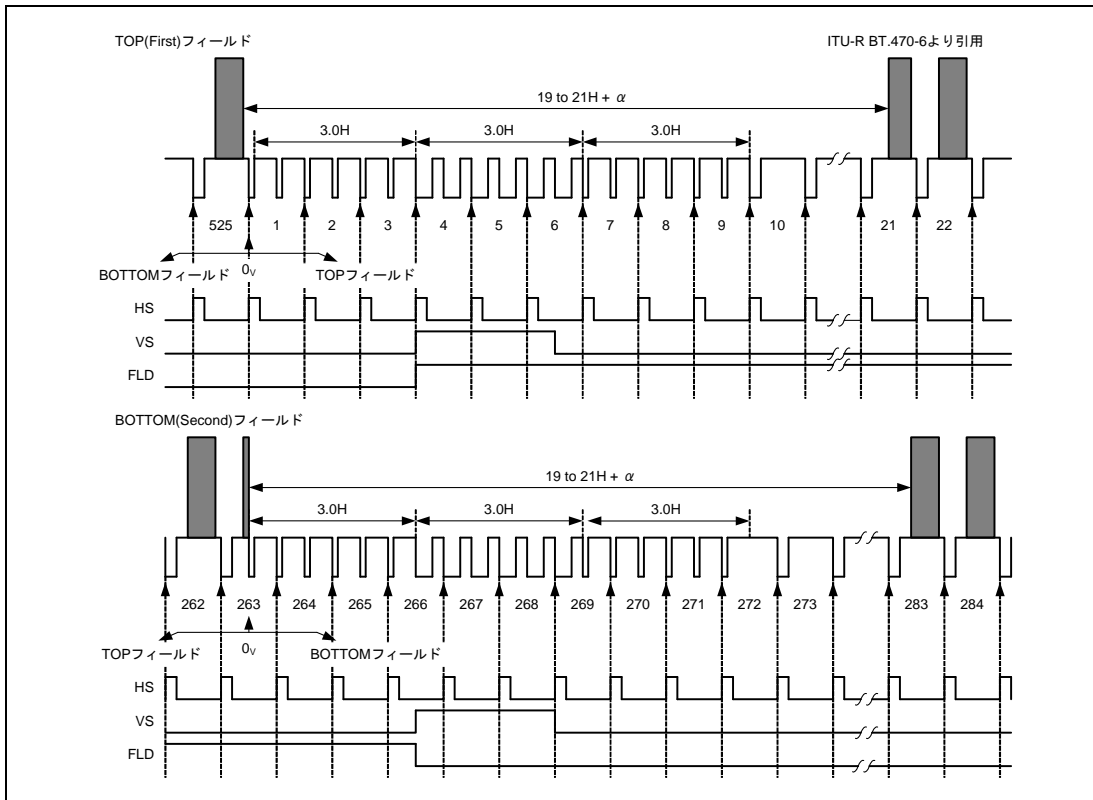


図 32.6 BT601 垂直タイミング (525 ライン / 59.94Hz)

32.1.9 BT656 の標準信号タイミング

BT656 フォーマットの水平タイミングを図 32.7、図 32.8 に示します。

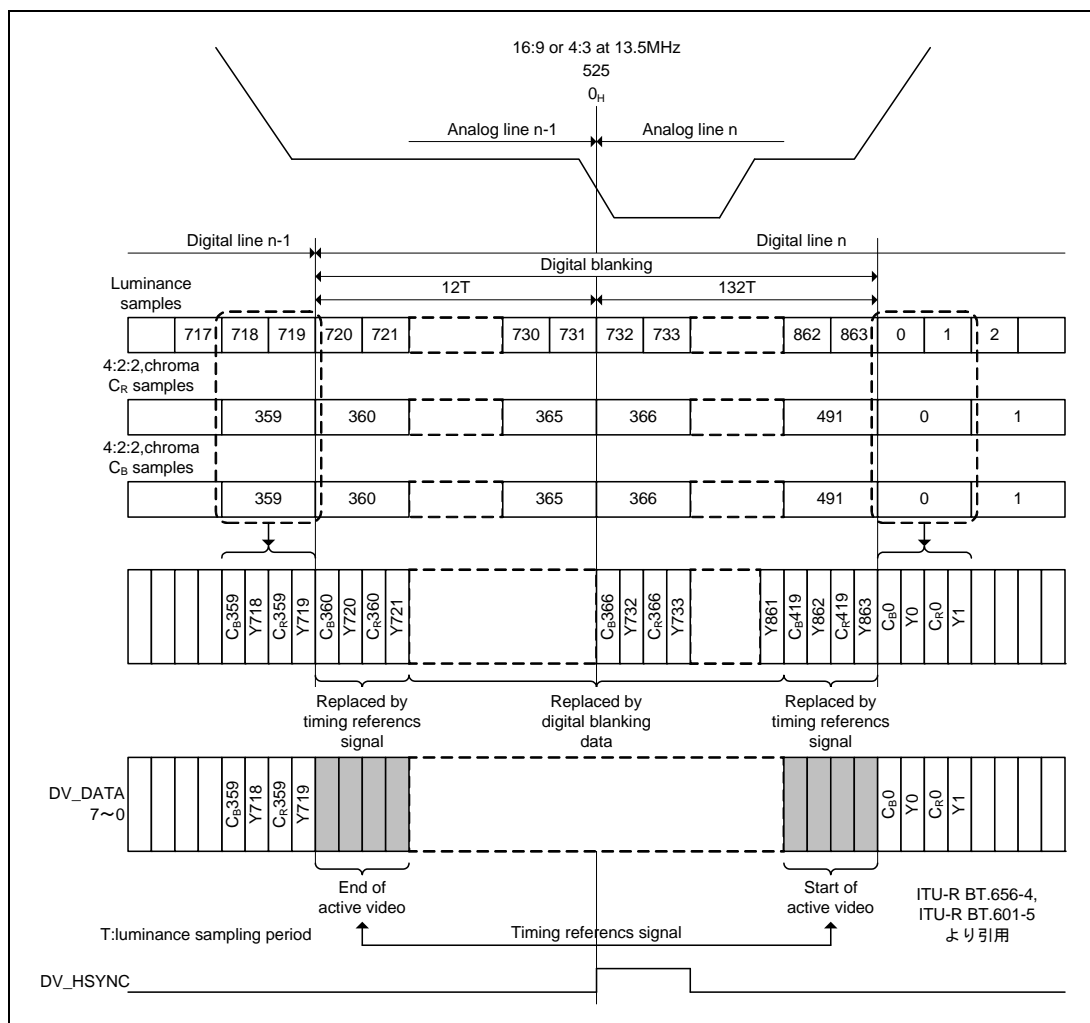


図 32.7 BT656 水平タイミング (625 ライン / 50.00Hz)

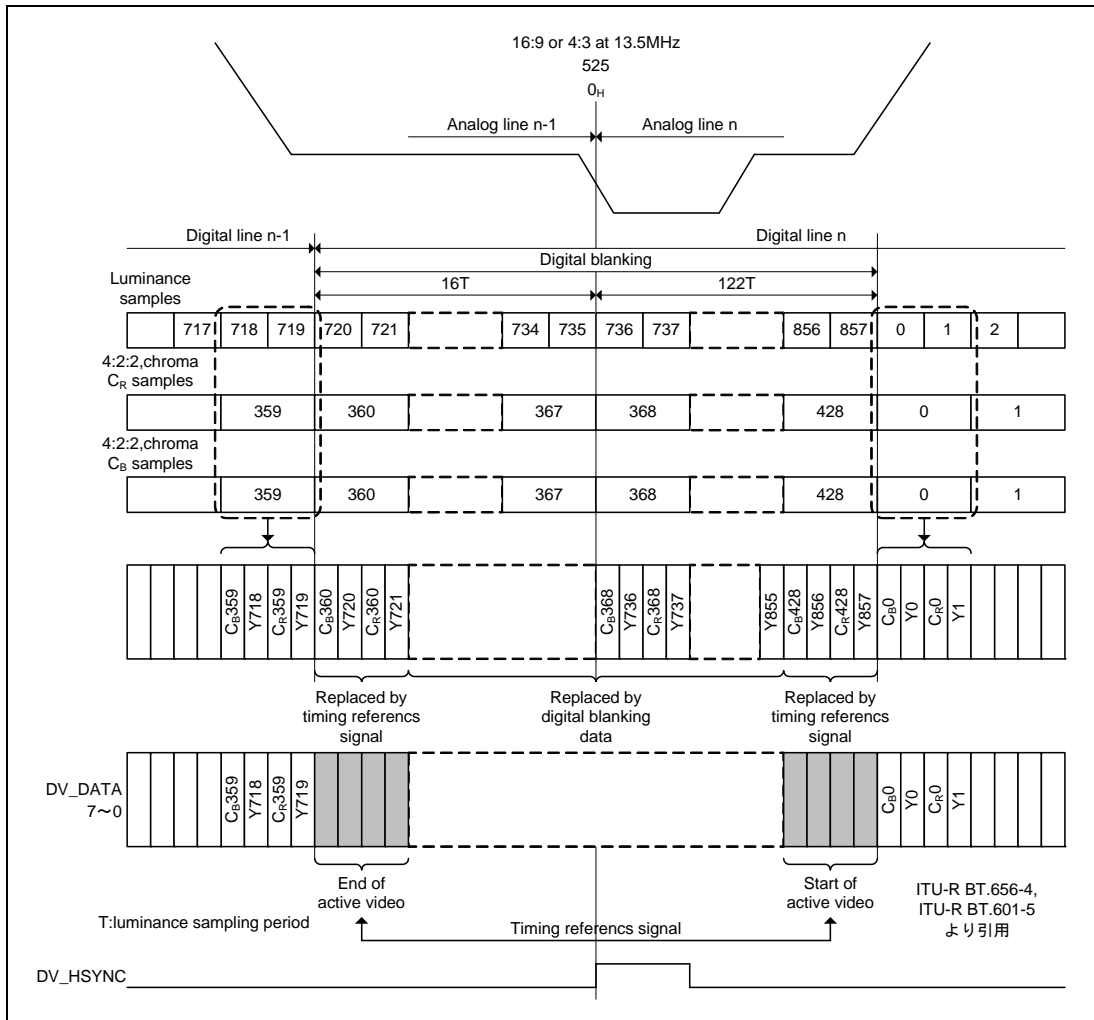


図 32.8 BT656 水平タイミング (525 ライン / 59.94Hz)

32.1.10 BT656 の SAV、EAV コード

BT656 フォーマットの SAV、EAV コードの挿入タイミングを表 32.10 に示します。ビット情報を表 32.11、表 32.12 に示します。本製品では、表 32.12 に示すパリティビット P3、P2、P1、P0 は参照しません。

表 32.10 SAV、EAV コードの挿入タイミング (ライン)

		625	525
V-digital field blanking			
Field 1	Start (V = 1)	Line 624	Line 1
	Finish (V = 0)	Line 23	Line 20
Field 2	Start (V = 1)	Line 311	Line 264
	Finish (V = 0)	Line 336	Line 283
V-digital field blanking			
Field 1	F = 0	Line 1	Line 4
Field 2	F = 1	Line 313	Line 266

表 32.11 SAV、EAV コードのビット情報 (1)

Data bit number	1st word (FF)	2nd word (00)	3rd word (00)	4th word (XY)
7 (MSB)	1	0	0	1
6	1	0	0	F
5	1	0	0	V
4	1	0	0	H
3	1	0	0	P3
2	1	0	0	P2
1	1	0	0	P1
0	1	0	0	P0

F = 0 during field 1

F = 1 during field 2

V = 0 elsewhere

V = 1 during field blanking

H = 0 is SAV

H = 1 is EAV

表 32.12 SAV、EAV コードのビット情報 (2)

F	V	H	P3	P2	P1	P0
0	0	0	0	0	0	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	1	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1

SAV、EAV コード表を図 32.9、図 32.10 に示します。

		1H 期間																				
		EAV				H blank				SAV				有効エリア								
		1	2	3	4					285	286	287	288	289	290	291	292	...	1725	1726	1727	1728
Field1 (top)	1	FF	00	00	B6		FF	00	00	AB	Digital Blanking Data											
	:	FF	00	00	B6		FF	00	00	AB												
	22	FF	00	00	B6		FF	00	00	AB												
	23	FF	00	00	9D		FF	00	00	80	Cb0	Y0	Cr0	Y1	...	Cb718	Y718	Cr718	Y719			
	:	FF	00	00	9D		FF	00	00	80	:	:	:	:	:	:	:	:	:			
	:	FF	00	00	9D		FF	00	00	80	:	有効画素データ領域								:		
	:	FF	00	00	9D		FF	00	00	80	:	:	:	:	:	:	:	:	:	:		
	:	FF	00	00	9D		FF	00	00	80	:	:	:	:	:	:	:	:	:	:		
	:	FF	00	00	9D		FF	00	00	80	:	:	:	:	:	:	:	:	:	:	:	
	310	FF	00	00	9D	FF	00	00	80	Cb0	Y0	Cr0	Y1	...	Cb718	Y718	Cr718	Y719				
311	FF	00	00	B6		FF	00	00	AB	Digital Blanking Data												
312	FF	00	00	B6		FF	00	00	AB													
Field2 (bottom)	313	FF	00	00	F1		FF	00	00	EC	Digital Blanking Data											
	:	FF	00	00	F1		FF	00	00	EC												
	335	FF	00	00	F1		FF	00	00	EC												
	336	FF	00	00	DA		FF	00	00	C7	Cb0	Y0	Cr0	Y1	...	Cb718	Y718	Cr718	Y719			
	:	FF	00	00	DA		FF	00	00	C7	:	:	:	:	:	:	:	:				
	:	FF	00	00	DA		FF	00	00	C7	:	有効画素データ領域								:		
	:	FF	00	00	DA		FF	00	00	C7	:	:	:	:	:	:	:	:	:			
	:	FF	00	00	DA		FF	00	00	C7	:	:	:	:	:	:	:	:	:			
	:	FF	00	00	DA		FF	00	00	C7	:	:	:	:	:	:	:	:	:			
	623	FF	00	00	DA	FF	00	00	C7	Cb0	Y0	Cr0	Y1	...	Cb718	Y718	Cr718	Y719				
624	FF	00	00	F1		FF	00	00	EC	Digital Blanking Data												
625	FF	00	00	F1		FF	00	00	EC													

図 32.9 BT656 の SAV、EAV コード (625 ライン / 50.00Hz)

		1H 期間																	
		EAV				H blank				SAV				有効エリア					
		1	2	3	4	273	274	275	276	277	278	279	280	...	1713	1714	1715	1716	
Field2	1	FF	00	00	F1	FF	00	00	EC	Digital Blanking Data									
	2	FF	00	00	F1	FF	00	00	EC										
	3	FF	00	00	F1	FF	00	00	EC										
	4	FF	00	00	B6	FF	00	00	AB	Digital Blanking Data									
	:	FF	00	00	B6	FF	00	00	AB										
	19	FF	00	00	B6	FF	00	00	AB										
Field1 (top)	20	FF	00	00	9D	FF	00	00	80	Cb0	Y0	Cr0	Y1	...	Cb718	Y718	Cr718	Y719	
	:	FF	00	00	9D	FF	00	00	80	:									:
	:	FF	00	00	9D	FF	00	00	80	:									:
	:	FF	00	00	9D	FF	00	00	80	:	有効画素データ領域								:
	:	FF	00	00	9D	FF	00	00	80	:									:
	:	FF	00	00	9D	FF	00	00	80	:									:
	263	FF	00	00	9D	FF	00	00	80	Cb0	Y0	Cr0	Y1	...	Cb718	Y718	Cr718	Y719	
	264	FF	00	00	B6	FF	00	00	AB	Digital Blanking Data									
	265	FF	00	00	B6	FF	00	00	AB										
	266	FF	00	00	F1	FF	00	00	EC	Digital Blanking Data									
	:	FF	00	00	F1	FF	00	00	EC										
	282	FF	00	00	F1	FF	00	00	EC										
Field2 (bottom)	283	FF	00	00	DA	FF	00	00	C7	Cb0	Y0	Cr0	Y1	...	Cb718	Y718	Cr718	Y719	
	:	FF	00	00	DA	FF	00	00	C7	:									:
	:	FF	00	00	DA	FF	00	00	C7	:									:
	:	FF	00	00	DA	FF	00	00	C7	:	有効画素データ領域								:
	:	FF	00	00	DA	FF	00	00	C7	:									:
525	FF	00	00	DA	FF	00	00	C7	Cb0	Y0	Cr0	Y1	...	Cb718	Y718	Cr718	Y719		

図 32.10 BT656 の SAV、EAV コード (525 ライン / 59.94Hz)

32.1.11 BT656 / BT601 設定

BT656 フォーマットは、525 ラインの 59.94Hz、625 ラインの 50.00Hz のインタレース信号のフォーマットに対応します。

BT601 フォーマットは、525 ラインの 59.94Hz、625 ラインの 50.00Hz のインタレース信号 / プログレッシブ信号のフォーマットに対応します。

BT656 フォーマットは 525 ラインと 625 ラインで垂直同期信号のタイミングが異なります。

INP_F525_625 で動作モードを設定します。

表 32.13 BT656 動作モード設定

レジスタ名	ビット名	初期値	説明
INP_EXT_SYNC_CNT	INP_F525_625	0	外部入力系統の BT656 入力時のライン数設定 0 : 525 ライン 1 : 625 ライン

BT656/BT601 フォーマットのインタレース信号入力時、垂直同期信号と水平同期信号の 1/2fH 位相タイミングを INP_FH50[9:0] で設定します。

INP_FH50[9:0] は垂直同期位相調整部でも使用するため、レジスタ説明に関しては表 32.17 を参照してください。

BT656 フォーマット入力時、水平同期信号の基準を INP_H_EDGE_SEL で設定します。

表 32.14 BT656 水平同期信号の基準選択

レジスタ名	ビット名	初期値	説明
INP_EXT_SYNC_CNT	INP_H_EDGE_SEL	0	外部入力系統の BT656 水平同期信号の基準選択 0 : EAV 基準 1 : SAV 基準

BT656/BT601 フォーマット入力時、DV_DATA 端子より入力して割り付けられた内部信号 BTOUT[7:0]は 24 ビットの YCbCr 信号に展開されます。

INP_H_POS[1:0]にて水平同期信号基準に対する展開タイミングを設定します。

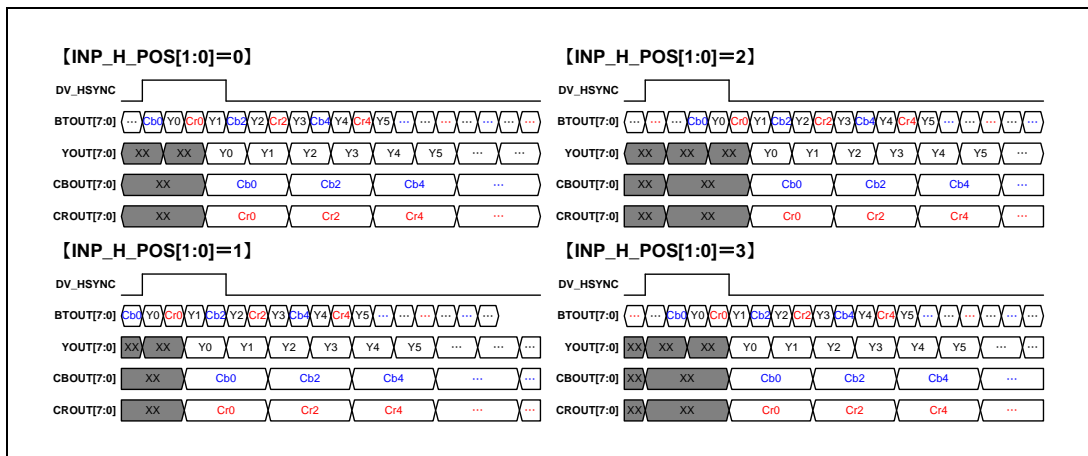


図 32.11 BT656/BT601 入力時の YCbCr データ展開

表 32.15 データ列の開始タイミング選択

レジスタ名	ビット名	初期値	説明
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	0	水平同期基準に対する Y/Cb/Y/Cr のデータ列の開始タイミング設定 0 : Cb/Y/Cr/Y 1 : Y/Cr/Y/Cb 2 : Cr/Y/Cb/Y 3 : Y/Cb/Y/Cr

32.1.12 YCbCr444/RGB888/666/565 の外部入力タイミング

YCbCr444/RGB888/666/565 フォーマットは、プログレッシブの YCbCr/RGB 信号に対応します。

同期信号の幅 (H_SYNC、V_SYNC)、極性 (H_POL、V_POL)、有効期間の開始位置 (H_BP、V_BP)、終了位置 (H_FP、V_FP)、映像の幅 (H_ACTIVE、V_ACTIVE) の対応は表 32.16 のとおりです。

表 32.16 YCbCr/RGB 信号の受付タイミング

項目	説明
外部入力クロック	外部入力クロックの周波数の最大値：66.67[MHz]
垂直同期信号幅 (V_SYNC)	垂直同期信号幅の最小値：1[CLK]以上
垂直同期信号極性 (V_POL)	正極性、負極性をレジスタにて選択
垂直有効期間の開始位置 (V_BP)	垂直同期基準から映像開始まで 5[ライン]以上
垂直有効期間の映像幅 (V_ACTIVE)	垂直有効期間の最大値：1024[ライン]
垂直有効期間の終了位置 (V_FP)	映像終了から垂直同期基準まで 4[ライン]以上 ^{*1}
水平同期信号幅 (H_SYNC)	水平同期信号幅の最小値：1[CLK]以上
水平同期信号極性 (H_POL)	正極性、負極性をレジスタにて選択
水平有効期間の開始位置 (H_BP)	水平同期基準から映像開始まで 16[CLK]以上
水平有効期間の映像幅 (H_ACTIVE)	水平有効期間の最大値：1024[画素]
水平有効期間の終了位置 (H_FP)	映像終了から水平同期基準まで 16[CLK]以上 ^{*2}
垂直トータルライン数 (V_BP+V_ACTIVE+V_FP)	垂直同期信号間の幅：2047[ライン]以下
水平トータル画素数 (H_BP+H_ACTIVE+H_FP)	水平同期信号間の幅：2047[CLK]以下

【注】 *1 4[ライン]未満の場合は、INP_DLY_ADJ.INP_VS_DLY_L[2:0]で、V_FP が 4[ライン]以上となるように調整してください。

*2 16[CLK]未満の場合は、INP_DLY_ADJ.INP_VS_DLY[7:0]、INP_HS_DLY[7:0]、INP_FLD_DLY[7:0]で、H_FP が 16[CLK]以上となるように調整してください。

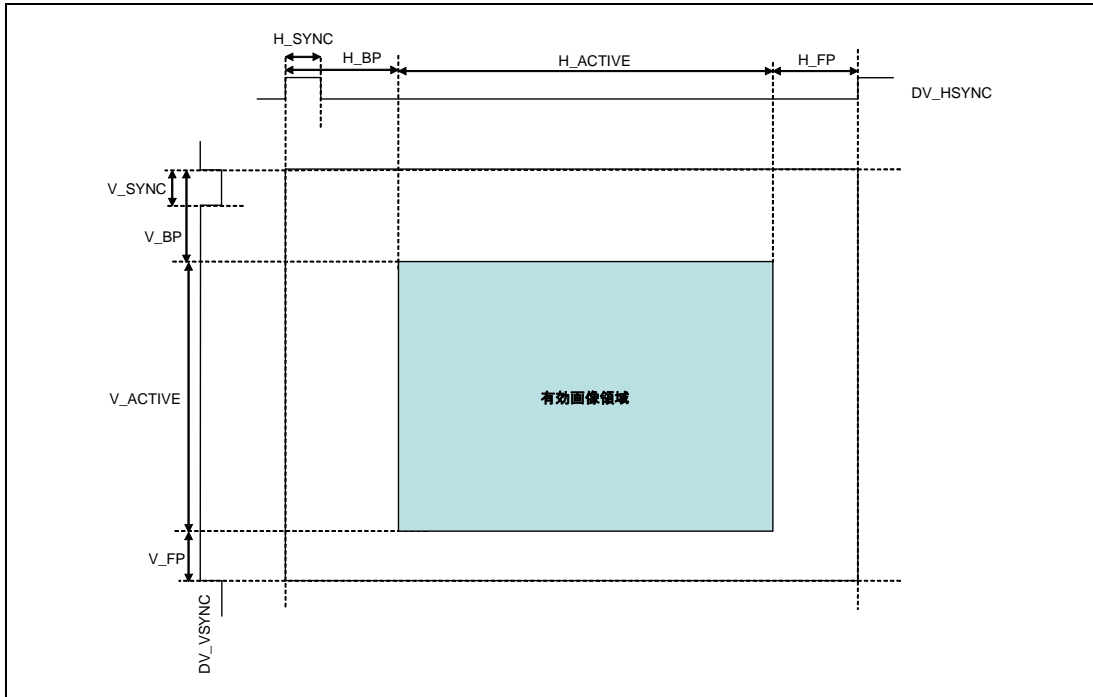


図 32.12 YCbCr/RGB 信号の受付タイミング図

32.1.13 フィールド判別と垂直同期位相調整

入力信号の垂直同期信号と水平同期信号の位相を検出してインタレース信号のフィールド判別を行います。水平同期信号に対して ± 0.5 水平期間に垂直同期信号の基準が検出された場合は、インタレースの TOP フィールド、 ± 0.5 水平期間外に垂直同期信号の基準が検出された場合は、インタレースの BOTTOM フィールドと判定します。

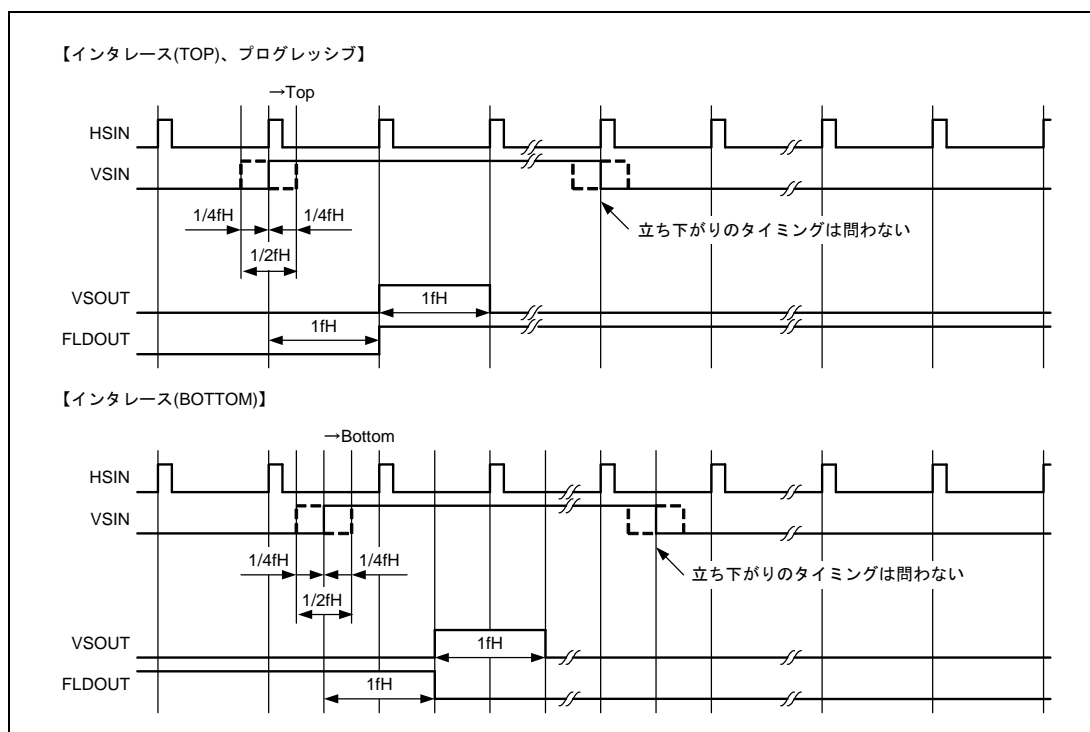


図 32.13 垂直同期位相調整

垂直同期信号の $1/2fH$ 位相のタイミングを `INP_FH50[9:0]`、垂直同期信号の $1/4fH$ 位相のタイミングを `INP_FH25[9:0]` で設定します。

表 32.17 垂直同期位相タイミング設定

レジスタ名	ビット名	初期値	説明
<code>INP_VSYNC_PH_ADJ</code>	<code>INP_FH50[9:0]</code>	858	垂直同期の $1/2fH$ 位相タイミング設定 必ず水平周期の $1/2$ クロック周期を設定してください。
<code>INP_VSYNC_PH_ADJ</code>	<code>INP_FH25[9:0]</code>	429	垂直同期の $1/4fH$ 位相タイミング設定 必ず水平周期の $1/4$ クロック周期を設定してください。

32.1.14 垂直同期信号ライン遅延調整

垂直同期信号ライン遅延調整部では、垂直同期信号、フィールド判別信号をライン単位で遅延させることができます。

垂直フロントポーチが短い映像信号が入力された場合、垂直フロントポーチの調整を行います。

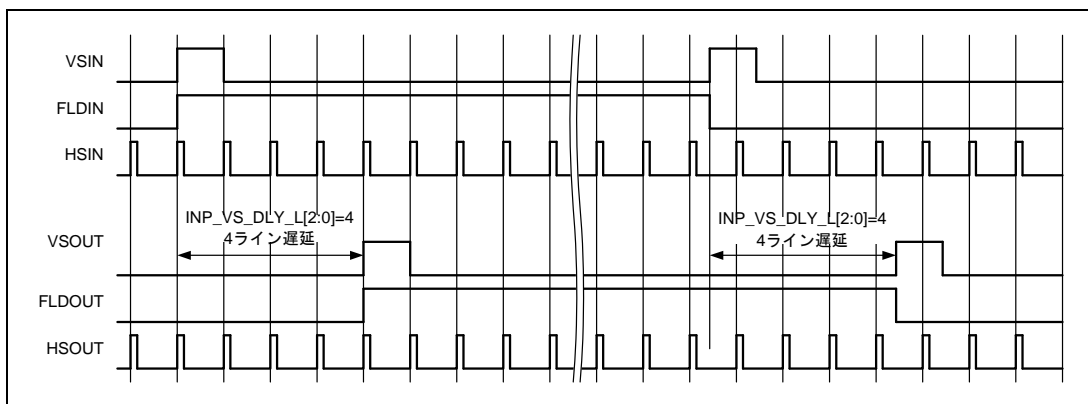


図 32.14 垂直同期信号ライン遅延タイミング図

表 32.18 垂直同期信号ライン遅延調整

レジスタ名	ビット名	初期値	説明
INP_DLY_ADJ	INP_VS_DLY_L[2:0]	0	垂直同期信号、フィールド判別のライン遅延量 遅延量：0～7[ライン]

32.1.15 同期遅延調整

垂直同期信号、水平同期信号、フィールド判別信号を独立にクロック単位で遅延調整ができます。

入力の同期乱れによる水平フロントポーチの欠落マージン調整を行います。

表 32.19 同期信号の遅延調整

レジスタ名	ビット名	初期値	説明
INP_DLY_ADJ	INP_VS_DLY[7:0]	0	垂直同期信号の遅延量 遅延量：0～254[clk]
INP_DLY_ADJ	INP_HS_DLY[7:0]	0	水平同期信号の遅延量 遅延量：0～254[clk]
INP_DLY_ADJ	INP_FLD_DLY[7:0]	0	フィールド判別信号の遅延量 遅延量：0～254[clk]

32.1.16 水平ノイズリダクション

水平画素参照によるノイズリダクションを行います。

ノイズリダクションは、ノイズ成分の周波数帯域 (TAP)、ノイズレベル (閾値)、ノイズリダクションの強度 (ゲイン) にて制御します。

(1) ノイズ成分の周波数帯域 (TAP) 設定

NR1D_Y_TAP[1:0]、NR1D_CB_TAP[1:0]、NR1D_CR_TAP[1:0]にてノイズの周波数帯域を 4 種類独立に選択できます。

1 画素隣接 (ノイズリダクション NR1D_Y/CB/CR_TAP=0) 時: $BPF_{(1)} = \frac{1}{4}(-1 \times Z_{(-1)}, 2 \times Z_{(0)}, -1 \times Z_{(+1)})$

2 画素隣接 (ノイズリダクション NR1D_Y/CB/CR_TAP=1) 時: $BPF_{(2)} = \frac{1}{4}(-1 \times Z_{(-2)}, 2 \times Z_{(0)}, -1 \times Z_{(+2)})$

3 画素隣接 (ノイズリダクション NR1D_Y/CB/CR_TAP=2) 時: $BPF_{(3)} = \frac{1}{4}(-1 \times Z_{(-3)}, 2 \times Z_{(0)}, -1 \times Z_{(+3)})$

4 画素隣接 (ノイズリダクション NR1D_Y/CB/CR_TAP=3) 時: $BPF_{(4)} = \frac{1}{4}(-1 \times Z_{(-4)}, 2 \times Z_{(0)}, -1 \times Z_{(+4)})$

【注】 $Z_{(0)}$ はノイズリダクション該当画素。 $Z_{(n)}$ は該当画素から水平方向に n 移動した画素。

(2) ノイズレベル (閾値) 設定

ノイズ検出量 (BPF 出力値) の絶対値と NR1D_Y_TH[6:0]、NR1D_CB_TH[6:0]、NR1D_CR_TH[6:0]を比較し、ノイズ検出量 > NR1D_Y/CB/CR_TH 時、ノイズ検出量の絶対値を NR1D_Y/CB/CR_TH (固定値) とします。

ABS(BPF_(n)) ≤ NR1D_Y/CB/CR_TH 時のノイズ検出量の絶対値: NOISE_ABS = ABS(BPF_(n))

ABS(BPF_(n)) > NR1D_Y/CB/CR_TH 時のノイズ検出量の絶対値: NOISE_ABS = NR1D_Y/CB/CR_TH

(3) ノイズリダクション強度 (ゲイン) 設定

NR1D_Y_GAIN[1:0]、NR1D_CB_GAIN[1:0]、NR1D_CR_GAIN[1:0]にてノイズ検出量の絶対値にゲインをかけて、元信号にフィードバック演算を行います。

ノイズ検出量(BPF_(n))が負 (-) の場合の演算: $DOUT = DIN + NOISE_ABS \div 2^{(NR1D_Y/CB/CR_GAIN+1)}$

ノイズ検出量(BPF_(n))が正 (+) の場合の演算: $DOUT = DIN - NOISE_ABS \div 2^{(NR1D_Y/CB/CR_GAIN+1)}$

表 32.20 水平ノイズリダクション

レジスタ名	ビット名	初期値	説明
IMGCNT_NR_CNT0	NR1D_MD	1	水平ノイズリダクション動作モード 0: G/B/R モード 1: Y/Cb/Cr モード
IMGCNT_NR_CNT0	NR1D_ON	0	ノイズリダクションのオン/オフ制御 0: ノイズリダクションオフ 1: ノイズリダクションオン
IMGCNT_NR_CNT0	NR1D_Y_TAP[1:0]	0	Y/G 信号の TAP 選択 0: 1 画素隣接、1: 2 画素隣接、2: 3 画素隣接、3: 4 画素隣接
IMGCNT_NR_CNT0	NR1D_Y_TH[6:0]	8	Y/G 信号のコアリングの最大値 (絶対値) ノイズ検出値 NR1D_Y_TH にてコアリングを実施。 符号無し: 0 ~ 127[LSB]
IMGCNT_NR_CNT0	NR1D_Y_GAIN[1:0]	3	Y/G 信号のノイズリダクションゲイン調整 0: 1/2、1: 1/4、2: 1/8、3: 1/16
IMGCNT_NR_CNT1	NR1D_CB_TAP[1:0]	0	Cb/B 信号の TAP 選択 0: 1 画素隣接、1: 2 画素隣接、2: 3 画素隣接、3: 4 画素隣接
IMGCNT_NR_CNT1	NR1D_CB_TH[6:0]	8	Cb/B 信号のコアリングの最大値 (絶対値) ノイズ検出値 NR1D_C_TH にてコアリングを実施。 符号無し: 0 ~ 127[LSB]
IMGCNT_NR_CNT1	NR1D_CB_GAIN[1:0]	3	Cb/B 信号のノイズリダクションゲイン調整 0: 1/2、1: 1/4、2: 1/8、3: 1/16
IMGCNT_NR_CNT1	NR1D_CR_TAP[1:0]	0	Cr/R 信号の TAP 選択 0: 1 画素隣接、1: 2 画素隣接、2: 3 画素隣接、3: 4 画素隣接
IMGCNT_NR_CNT1	NR1D_CR_TH[6:0]	8	Cr/R 信号のコアリングの最大値 (絶対値) ノイズ検出値 NR1D_C_TH にてコアリングを実施。 符号無し: 0 ~ 127[LSB]
IMGCNT_NR_CNT1	NR1D_CR_GAIN[1:0]	3	Cr/R 信号のノイズリダクションゲイン調整 0: 1/2、1: 1/4、2: 1/8、3: 1/16

32.1.17 カラーマトリクス

カラーマトリクスは、各入力信号のオフセット調整と9軸のゲイン調整を行うことができます。これにより、ブライト調整、ゲイン調整、YCbCr GBR、GBR YCbCr の相互変換を行うことができます。

(1) GBR GBR 変換

$$YGIN_A = YGIN + IMGCNT_MTX_YG - 128$$

$$CBBIN_A = CBBIN + IMGCNT_MTX_B - 128$$

$$CRRIN_A = CRRIN + IMGCNT_MTX_R - 128$$

$$YGOUT = (IMGCNT_MTX_GG \times YGIN_A + IMGCNT_MTX_GB \times CBBIN_A + IMGCNT_MTX_GR \times CRRIN_A) \div 256$$

$$CBBOUT = (IMGCNT_MTX_BG \times YGIN_A + IMGCNT_MTX_BB \times CBBIN_A + IMGCNT_MTX_BR \times CRRIN_A) \div 256$$

$$CRROUT = (IMGCNT_MTX_RG \times YGIN_A + IMGCNT_MTX_RB \times CBBIN_A + IMGCNT_MTX_RR \times CRRIN_A) \div 256$$

(2) GBR YCbCr 変換

$$YGIN_A = YGIN + IMGCNT_MTX_YG - 128$$

$$CBBIN_A = CBBIN + IMGCNT_MTX_B - 128$$

$$CRRIN_A = CRRIN + IMGCNT_MTX_R - 128$$

$$YGOUT = (IMGCNT_MTX_GG \times YGIN_A + IMGCNT_MTX_GB \times CBBIN_A + IMGCNT_MTX_GR \times CRRIN_A) \div 256$$

$$CBBOUT = (IMGCNT_MTX_BG \times YGIN_A + IMGCNT_MTX_BB \times CBBIN_A + IMGCNT_MTX_BR \times CRRIN_A) \div 256 + 128$$

$$CRROUT = (IMGCNT_MTX_RG \times YGIN_A + IMGCNT_MTX_RB \times CBBIN_A + IMGCNT_MTX_RR \times CRRIN_A) \div 256 + 128$$

表 32.21 SMPTE 293M のマトリクス係数 (標準値)

	YGIN		CBBIN		CRRIN	
	係数	設定値	係数	設定値	係数	設定値
YGOUT	0.587	IMGCNT_MTX_GG =150	0.114	IMGCNT_MTX_GB =29	0.299	IMGCNT_MTX_GR =77
CBBOUT	- 0.331	IMGCNT_MTX_BG =1963	0.500	IMGCNT_MTX_BB =128	- 0.169	IMGCNT_MTX_BR =2005
CRROUT	- 0.419	IMGCNT_MTX_RG =1941	- 0.081	IMGCNT_MTX_RB =2027	0.500	IMGCNT_MTX_RR =128

(3) YCbCr GBR 変換

$$YGIN_A = YGIN + IMGCNT_MTX_YG - 128$$

$$CBBIN_A = CBBIN - 128$$

$$CRRIN_A = CRRIN - 128$$

$$YGOUT = (IMGCNT_MTX_GG \times YGIN_A + IMGCNT_MTX_GB \times CBBIN_A + IMGCNT_MTX_GR \times CRRIN_A) \div 256$$

$$CBBOUT = (IMGCNT_MTX_BG \times YGIN_A + IMGCNT_MTX_BB \times CBBIN_A + IMGCNT_MTX_BR \times CRRIN_A) \div 256$$

$$CRROUT = (IMGCNT_MTX_RG \times YGIN_A + IMGCNT_MTX_RB \times CBBIN_A + IMGCNT_MTX_RR \times CRRIN_A) \div 256$$

表 32.22 SMPTE 293M のマトリクス係数 (標準値)

	YGIN		CBBIN		CRRIN	
	係数	設定値	係数	設定値	係数	設定値
YGOUT	1.000	IMGCNT_MTX_GG =256	- 0.344	IMGCNT_MTX_GB =1960	- 0.714	IMGCNT_MTX_GR =1865
CBBOUT	1.000	IMGCNT_MTX_BG =256	1.772	IMGCNT_MTX_BB =454	0.000	IMGCNT_MTX_BR =0
CRROUT	1.000	IMGCNT_MTX_RG =256	0.000	IMGCNT_MTX_RB =0	1.402	IMGCNT_MTX_RR =359

(4) YCbCr YCbCr 変換

$$YGIN_A = YGIN + IMGCNT_MTX_YG - 128$$

$$CBBIN_A = CBBIN - 128$$

$$CRRIN_A = CRRIN - 128$$

$$YGOUT = (IMGCNT_MTX_GG \times YGIN_A + IMGCNT_MTX_GB \times CBBIN_A + IMGCNT_MTX_GR \times CRRIN_A) \div 256$$

$$CBBOUT = (IMGCNT_MTX_BG \times YGIN_A + IMGCNT_MTX_BB \times CBBIN_A + IMGCNT_MTX_BR \times CRRIN_A) \div 256 + 128$$

$$CRROUT = (IMGCNT_MTX_RG \times YGIN_A + IMGCNT_MTX_RB \times CBBIN_A + IMGCNT_MTX_RR \times CRRIN_A) \div 256 + 128$$

表 32.23 YCbCr GBR 変換

レジスタ名	ビット名	初期値	説明
IMGCNT_MTX_MODE	IMGCNT_MTX_MD [1:0]	3	動作モード 0 : GBR => GBR 1 : GBR => YCbCr 2 : YCbCr => GBR 3 : YCbCr => YCbCr
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_YG [7:0]	128	Y/G 信号のオフセット (DC) 調整 符号無し (0 (- 128) ~ 128 (0) ~ 255 (+ 127) [LSB])
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_B [7:0]	128	B 信号のオフセット (DC) 調整 符号無し (0 (- 128) ~ 128 (0) ~ 255 (+ 127) [LSB])
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_R [7:0]	128	R 信号のオフセット (DC) 調整 符号無し (0 (- 128) ~ 128 (0) ~ 255 (+ 127) [LSB])
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_GG [10:0]	256	Y/G 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GB [10:0]	0	Y/G 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GR [10:0]	0	Y/G 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_BG [10:0]	0	Cb/B 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BB [10:0]	256	Cb/B 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BR [10:0]	0	Cb/B 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_RG [10:0]	0	Cr/R 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RB [10:0]	0	Cr/R 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RR [10:0]	256	Cr/R 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])

32.2 レジスタの説明

表 32.24、表 32.25 にレジスタ構成を示します。

【レジスタ説明の記号説明】

初期値 : パワーオンリセット後のレジスタ値

- : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R/WC1 : リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

- /W : ライトのみ可。読み出し値は不定です。

表 32.24 入力制御部レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
外部入力部レジスタ更新制御レジスタ	INP_UPDATE	R/WC1	H'0000 0000	H'FFFF 7400	32/16
入力選択制御レジスタ	INP_SEL_CNT	R/W	H'0000 0000	H'FFFF 7404	32/16
外部入力同期信号制御レジスタ	INP_EXT_SYNC_CNT	R/W	H'0000 0000	H'FFFF 7408	32/16
垂直同期信号位相調整レジスタ	INP_VSYNC_PH_ADJ	R/W	H'035A 01AD	H'FFFF 740C	32/16
同期信号遅延調整レジスタ	INP_DLY_ADJ	R/W	H'0000 0000	H'FFFF 7410	32/16

表 32.25 画質調整部レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
画質調整部レジスタ更新制御 レジスタ	IMGCNT_UPDATE	R/WC1	H'0000 0000	H'FFFF 7480	32/16
NR 制御レジスタ 0	IMGCNT_NR_CNT0	R/W	H'0010 0803	H'FFFF 7484	32/16
NR 制御レジスタ 1	IMGCNT_NR_CNT1	R/W	H'0803 0803	H'FFFF 7488	32/16
画質調整部マトリクスモード レジスタ	IMGCNT_MTX_MODE	R/W	H'0000 0003	H'FFFF 74A0	32/16
画質調整部マトリクス YG 調整レジスタ 0	IMGCNT_MTX_YG_ADJ0	R/W	H'0080 0100	H'FFFF 74A4	32/16
画質調整部マトリクス YG 調整レジスタ 1	IMGCNT_MTX_YG_ADJ1	R/W	H'0000 0000	H'FFFF 74A8	32/16
画質調整部マトリクス CBB 調整レジスタ 0	IMGCNT_MTX_CBB_ADJ0	R/W	H'0080 0000	H'FFFF 74AC	32/16
画質調整部マトリクス CBB 調整レジスタ 1	IMGCNT_MTX_CBB_ADJ1	R/W	H'0100 0000	H'FFFF 74B0	32/16
画質調整部マトリクス CRR 調整レジスタ 0	IMGCNT_MTX_CRR_ADJ0	R/W	H'0080 0000	H'FFFF 74B4	32/16
画質調整部マトリクス CRR 調整レジスタ 1	IMGCNT_MTX_CRR_ADJ1	R/W	H'0000 0100	H'FFFF 74B8	32/16

32.2.1 外部入力部レジスタ更新制御レジスタ (INP_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	INP_EXT_UPDATE	—	—	—	INP_IMG_UPDATE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	INP_EXT_UPDATE	0	R/WC1	外部入力部のレジスタ更新 0: レジスタを更新しない 1: レジスタを更新する
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INP_IMG_UPDATE	0	R/WC1	同期信号調整部のレジスタ更新 0: レジスタを更新しない 1: レジスタを更新する

32.2.2 入力選択制御レジスタ (INP_SEL_CNT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	INP_SEL	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	INP_FORMAT[2:0]	—	—	—	—	INP_PXD_EDGE	—	—	—	—	INP_VS_EDGE	—	—	—	INP_HS_EDGE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	INP_SEL	0	R/W	入力選択 0: ビデオデコード出力 1: 外部入力端子
19~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	INP_FORMAT [2:0]	0	R/W	外部入力のフォーマット選択 0: YCbCr444、RGB888 1: RGB666 2: RGB565 3: BT656 4: BT601 5~7: 設定禁止
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	INP_PXD_EDGE	0	R/W	外部入力の映像信号 DV_DATA23-0 の入力段取り込みクロックのエッジ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	INP_VS_EDGE	0	R/W	外部入力の垂直同期信号 DV_VSYNC の入力段取り込みクロックのエッジ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
0	INP_HS_EDGE	0	R/W	外部入力の水平同期信号 DV_HSYNC の入力段取り込みクロックのエッジ選択 0 : 立ち上がりエッジ 1 : 立ち下がりエッジ

【注】 INP_FORMAT、INP_PXD_EDGE、INP_VS_EDGE、INP_HS_EDGE は外部入力部レジスタ更新制御レジスタ (INP_UPDATE) の INP_EXT_UPDATE=1 で更新されます。INP_SEL は、設定すると更新されず。

32.2.3 外部入力同期信号制御レジスタ (INP_EXT_SYNC_CNT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	INP_ENDIAN_ON	—	—	—	INP_SWAP_ON	—	—	—	INP_VS_INV	—	—	—	INP_HS_INV
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	INP_H_EDGE_SEL	—	—	—	INP_F525_625	—	—	—	INP_H_POS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	INP_ENDIAN_ON	0	R/W	外部入力のビットエンディアン変更オン / オフ制御 0: オフ 1: オン
27~25	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	INP_SWAP_ON	0	R/W	外部入力の B/R 信号入れ替えオン / オフ制御 0: オフ 1: オン
23~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	INP_VS_INV	0	R/W	外部入力の垂直同期信号 DV_VSYNC の反転制御 0: 非反転 (正極性) 1: 反転 (負極性)
19~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	INP_HS_INV	0	R/W	外部入力の水平同期信号 DV_HSYNC の反転制御 0: 非反転 (正極性) 1: 反転 (負極性)
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	INP_H_EDGE_SEL	0	R/W	外部入力の BT656 水平同期信号の基準選択 0: EAV 基準 1: SAV 基準
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
4	INP_F525_625	0	R/W	外部入力の BT656 入力時のライン数設定 0 : 525 ライン 1 : 625 ライン
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	INP_H_POS [1:0]	0	R/W	外部入力の BT656/601 入力時の 水平同期基準に対する Y/Cb/Y/Cr のデータ列の開始タイミング設定 0 : Cb/Y/Cr/Y 1 : Y/Cr/Y/Cb 2 : Cr/Y/Cb/Y 3 : Y/Cb/Y/Cr

【注】 本レジスタはすべて外部入力部レジスタ更新制御レジスタ (INP_UPDATE) の INP_EXT_UPDATE=1 で更新されます。

32.2.4 垂直同期信号位相調整レジスタ (INP_VSYNC_PH_ADJ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	INP_FH50[9:0]											
初期値:	0	0	0	0	0	0	1	1	0	1	0	1	1	0	1	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	INP_FH25[9:0]											
初期値:	0	0	0	0	0	0	0	1	1	0	1	0	1	1	0	1		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~16	INP_FH50[9:0]	858	R/W	垂直同期の 1/2fH 位相タイミング設定 必ず水平周期の 1/2 クロック周期を設定してください。
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	INP_FH25[9:0]	429	R/W	垂直同期の 1/4fH 位相タイミング設定 必ず水平周期の 1/4 クロック周期を設定してください。

【注】 INP_FH50[9:0]は外部入力部レジスタ更新制御レジスタ (INP_UPDATE) の INP_EXT_UPDATE=1 および INP_IMG_UPDATE=1 で、INP_FH25[9:0]は外部入力部レジスタ更新制御レジスタ (INP_UPDATE) の INP_IMG_UPDATE=1 で更新されます。

32.2.5 同期信号遅延調整レジスタ (INP_DLY_ADJ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	INP_VS_DLY_L[2:0]			INP_FLD_DLY[7:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	INP_VS_DLY[7:0]							INP_HS_DLY[7:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~24	INP_VS_DLY_L [2:0]	0	R/W	垂直同期信号、フィールド判別のライン遅延量 遅延量: 0~7[ライン]
23~16	INP_FLD_DLY [7:0]	0	R/W	フィールド判別信号の遅延量 遅延量: 0~254[clk]
15~8	INP_VS_DLY [7:0]	0	R/W	垂直同期信号の遅延量 遅延量: 0~254[clk]
7~0	INP_HS_DLY [7:0]	0	R/W	水平同期信号の遅延量 遅延量: 0~254[clk]

【注】 本レジスタはすべて外部入力部レジスタ更新制御レジスタ (INP_UPDATE) の INP_IMG_UPDATE=1 で更新されます。

32.2.6 画質調整部レジスタ更新制御レジスタ (IMGCNT_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IMGCNT_VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	IMGCNT_VEN	0	R/WC1	画質調整部のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

32.2.7 NR 制御レジスタ 0 (IMGCNT_NR_CNT0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	NR1D_MD	—	—	—	NR1D_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	NR1D_Y_TH[6:0]						—	—	NR1D_Y_TAP[1:0]			—	—	NR1D_Y_GAIN[1:0]	
初期値:	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	NR1D_MD	1	R/W	水平ノイズリダクション動作モード 0: G/B/R モード 1: Y/Cb/Cr モード
19~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	NR1D_ON	0	R/W	ノイズリダクションの On/Off 制御 0: ノイズリダクションオフ 1: ノイズリダクションオン
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~8	NR1D_Y_TH [6:0]	8	R/W	Y、G 信号のコアリングの最大値 (絶対値) ノイズ検出値 NR1D_Y_TH にてコアリングを実施。 符号無し: 0~127[LSB]
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	NR1D_Y_TA P[1:0]	0	R/W	Y、G 信号の TAP 選択 0: 1 画素隣接 1: 2 画素隣接 2: 3 画素隣接 3: 4 画素隣接
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	NR1D_Y_GAI N[1:0]	3	R/W	Y、G 信号のノイズリダクションゲイン調整 0: 1/2 1: 1/4 2: 1/8 3: 1/16

【注】 本レジスタはすべて画質調整部レジスタ更新制御レジスタ (IMGCNT_UPDATE) の IMGCNT_VEN=1 で更新されます。

32.2.8 NR 制御レジスタ 1 (IMGCNT_NR_CNT1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	NR1D_CB_TH[6:0]						—	—	NR1D_CB_TAP[1:0]	—	—	NR1D_CB_GAIN[1:0]				
初期値 :	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	NR1D_CR_TH[6:0]						—	—	NR1D_CR_TAP[1:0]	—	—	NR1D_CR_GAIN[1:0]				
初期値 :	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~24	NR1D_CB_TH [6:0]	8	R/W	Cb/B 信号のコアリングの最大値 (絶対値) ノイズ検出値 NR1D_CB_TH にてコアリングを実施。 符号無し : 0~127[LSB]
23, 22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21, 20	NR1D_CB_TAP [1:0]	0	R/W	Cb/B 信号の TAP 選択 0 : 1 画素隣接 1 : 2 画素隣接 2 : 3 画素隣接 3 : 4 画素隣接
19, 18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17, 16	NR1D_CB_GAIN [1:0]	3	R/W	Cb/B 信号のノイズリダクションゲイン調整 0 : 1/2 1 : 1/4 2 : 1/8 3 : 1/16
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~8	NR1D_CR_TH [6:0]	8	R/W	Cr/R 信号のコアリングの最大値 (絶対値) ノイズ検出値 NR1D_CR_TH にてコアリングを実施。 符号無し : 0~127[LSB]
7, 6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
5, 4	NR1D_CR_TAP [1:0]	0	R/W	Cr/R 信号の TAP 選択 0 : 1 画素隣接 1 : 2 画素隣接 2 : 3 画素隣接 3 : 4 画素隣接
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	NR1D_CR_GAIN[1:0]	3	R/W	Cr/R 信号のノイズリダクションゲイン調整 0 : 1/2 1 : 1/4 2 : 1/8 3 : 1/16

【注】 本レジスタはすべて画質調整部レジスタ更新制御レジスタ (IMGCNT_UPDATE) の IMGCNT_VEN=1 で更新されます。

32.2.9 画質調整部マトリクスモードレジスタ (IMGCNT_MTX_MODE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IMGCNT_MTX_MD[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	IMGCNT_MTX_MD[1:0]	3	R/W	動作モード 0: GBR => GBR 1: GBR => YCbCr 2: YCbCr => GBR 3: YCbCr => YCbCr

【注】 本レジスタはすべて画質調整部レジスタ更新制御レジスタ (IMGCNT_UPDATE) の IMGCNT_VEN=1 で更新されます。

32.2.10 画質調整部マトリクス YG 調整レジスタ 0 (IMGCNT_MTX_YG_ADJ0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	IMGCNT_MTX_YG[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	IMGCNT_MTX_GG[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	IMGCNT_MTX_YG[7:0]	128	R/W	Y/G 信号のオフセット (DC) 調整 符号無し (0 (- 128) ~ 128 (0) ~ 255 (+ 127) [LSB])
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	IMGCNT_MTX_GG[10:0]	256	R/W	Y/G 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])

【注】 本レジスタはすべて画質調整部レジスタ更新制御レジスタ (IMGCNT_UPDATE) の IMGCNT_VEN=1 で更新されます。

32.2.11 画質調整部マトリクス YG 調整レジスタ 1 (IMGCNT_MTX_YG_ADJ1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	IMGCNT_MTX_GB[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	IMGCNT_MTX_GR[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	IMGCNT_MTX_GB[10:0]	0	R/W	Y/G 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	IMGCNT_MTX_GR[10:0]	0	R/W	Y/G 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])

【注】 本レジスタはすべて画質調整部レジスタ更新制御レジスタ (IMGCNT_UPDATE) の IMGCNT_VEN = 1 で更新されます。

32.2.12 画質調整部マトリクス CBB 調整レジスタ 0 (IMGCNT_MTX_CBB_ADJ0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	IMGCNT_MTX_B[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	IMGCNT_MTX_BG[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	IMGCNT_MTX_B[7:0]	128	R/W	Cb/B 信号のオフセット (DC) 調整 符号無し (0 (-128) ~ 128 (0) ~ 255 (+127) [LSB])
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	IMGCNT_MTX_BG[10:0]	0	R/W	Cb/B 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (-1024 ~ +1023[LSB], 256[LSB] = 1.0[倍])

【注】 本レジスタはすべて画質調整部レジスタ更新制御レジスタ (IMGCNT_UPDATE) の IMGCNT_VEN=1 で更新されます。

32.2.13 画質調整部マトリクス CBB 調整レジスタ 1 (IMGCNT_MTX_CBB_ADJ1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	IMGCNT_MTX_BB[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	IMGCNT_MTX_BR[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	IMGCNT_MTX_BB[10:0]	256	R/W	Cb/B 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	IMGCNT_MTX_BR[10:0]	0	R/W	Cb/B 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])

【注】 本レジスタはすべて画質調整部レジスタ更新制御レジスタ (IMGCNT_UPDATE) の IMGCNT_VEN=1 で更新されます。

32.2.14 画質調整部マトリクス CRR 調整レジスタ 0 (IMGCNT_MTX_CRR_ADJ0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	IMGCNT_MTX_R[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	IMGCNT_MTX_RG[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	IMGCNT_MTX_ R[7:0]	128	R/W	Cr/R 信号のオフセット (DC) 調整 符号無し (0 (-128) ~ 128 (0) ~ 255 (+127) [LSB])
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	IMGCNT_MTX_ RG[10:0]	0	R/W	Cr/R 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (-1024 ~ +1023[LSB]、256[LSB]=1.0[倍])

【注】 本レジスタはすべて画質調整部レジスタ更新制御レジスタ (IMGCNT_UPDATE) の IMGCNT_VEN=1 で更新されます。

32.2.15 画質調整部マトリクス CRR 調整レジスタ 1 (IMGCNT_MTX_CRR_ADJ1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	IMGCNT_MTX_RB[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	IMGCNT_MTX_RR[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	IMGCNT_MTX_RB[10:0]	0	R/W	Cr/R 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	IMGCNT_MTX_RR[10:0]	256	R/W	Cr/R 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])

【注】 本レジスタはすべて画質調整部レジスタ更新制御レジスタ (IMGCNT_UPDATE) の IMGCNT_VEN=1 で更新されます。

32.3 使用方法

32.3.1 入力フォーマット調整方法

各入力フォーマットの設定例を示します。

表 32.26 ビデオデコーダ (NTSC) 入力の設定例

レジスタ名	ビット名	説明	設定値
INP_SEL_CNT	INP_SEL	入力信号の選択をします。	0
INP_SEL_CNT	INP_FORMAT[2:0]	外部入力のフォーマットを選択します。	制御不要
INP_SEL_CNT	INP_PXD_EDGE	外部入力の映像信号の取り込みクロックのエッジの選択をします。	制御不要
INP_SEL_CNT	INP_VS_EDGE	外部入力の垂直同期信号の取り込みクロックのエッジの選択をします。	制御不要
INP_SEL_CNT	INP_HS_EDGE	外部入力の水平同期信号の取り込みクロックのエッジの選択をします。	制御不要
INP_EXT_SYNC_CNT	INP_ENDIAN_ON	外部入力のビットエンディアンの変更をします。	制御不要
INP_EXT_SYNC_CNT	INP_SWAP_ON	外部入力の B/R 信号入れ替えオン/オフ制御をします。	制御不要
INP_EXT_SYNC_CNT	INP_HS_INV	外部入力の水平同期信号の反転制御をします。	制御不要
INP_EXT_SYNC_CNT	INP_VS_INV	外部入力の垂直同期信号の反転制御をします。	制御不要
INP_EXT_SYNC_CNT	INP_H_EDGE_SEL	BT656 入力の水平同期基準の選択をします。	制御不要
INP_EXT_SYNC_CNT	INP_F525_625	BT656 入力のライン数の設定をします。	制御不要
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	BT656/601 入力の水平同期に対するデータ開始のタイミング設定をします。	制御不要
INP_VSYNC_PH_ADJ	INP_FH50[9:0]	1/2fH 位相の設定をします。(クロック単位で設定)	858
INP_VSYNC_PH_ADJ	INP_FH25[9:0]	1/4fH 位相の設定をします。(クロック単位で設定)	429
INP_DLY_ADJ	INP_VS_DLY_L[2:0]	垂直同期信号、フィールド判別のライン遅延量を設定します。	0
INP_DLY_ADJ	INP_VS_DLY[7:0]	垂直同期信号の遅延量を設定します。(クロック単位で設定)	0
INP_DLY_ADJ	INP_HS_DLY[7:0]	水平同期信号の遅延量を設定します。(クロック単位で設定)	0
INP_DLY_ADJ	INP_FLD_DLY[7:0]	フィールド判別信号の遅延量を設定します。(クロック単位で設定)	0

【注】 レジスタ設定後に一部のレジスタで、外部入力部レジスタ更新制御レジスタ (INP_UPDATE) の INP_EXT_UPDATE = 1 および INP_IMG_UPDATE = 1 の設定が必要です。

表 32.27 外部入力 (BT656,525i) の設定例

レジスタ名	ビット名	説明	設定値
INP_SEL_CNT	INP_SEL	入力信号の選択をします。	1
INP_SEL_CNT	INP_FORMAT[2:0]	外部入力のフォーマットを選択します。	3
INP_SEL_CNT	INP_PXD_EDGE	外部入力の映像信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_VS_EDGE	外部入力の垂直同期信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_HS_EDGE	外部入力の水平同期信号の取り込みクロックのエッジの選択をします。	0
INP_EXT_SYNC_CNT	INP_ENDIAN_ON	外部入力のビットエンディアンの変更をします。	0
INP_EXT_SYNC_CNT	INP_SWAP_ON	外部入力の B/R 信号入れ替えオン/オフ制御をします。	0
INP_EXT_SYNC_CNT	INP_HS_INV	外部入力の水平同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_VS_INV	外部入力の垂直同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_H_EDGE_SEL	BT656 入力の水平同期基準の選択をします。	0
INP_EXT_SYNC_CNT	INP_F525_625	BT656 入力のライン数の設定をします。	0
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	BT656/601 入力の水平同期に対するデータ開始のタイミング設定をします。	0
INP_VSYNC_PH_ADJ	INP_FH50[9:0]	1/2fH 位相の設定をします。(クロック単位で設定)	858
INP_VSYNC_PH_ADJ	INP_FH25[9:0]	1/4fH 位相の設定をします。(クロック単位で設定)	429
INP_DLY_ADJ	INP_VS_DLY_L[2:0]	垂直同期信号、フィールド判別のライン遅延量を設定します。	0
INP_DLY_ADJ	INP_VS_DLY[7:0]	垂直同期信号の遅延量を設定します。(クロック単位で設定)	0
INP_DLY_ADJ	INP_HS_DLY[7:0]	水平同期信号の遅延量を設定します。(クロック単位で設定)	0
INP_DLY_ADJ	INP_FLD_DLY[7:0]	フィールド判別信号の遅延量を設定します。(クロック単位で設定)	0

【注】 レジスタ設定後に一部のレジスタで、外部入力部レジスタ更新制御レジスタ (INP_UPDATE) の INP_EXT_UPDATE = 1 および INP_IMG_UPDATE = 1 の設定が必要です。

表 32.28 外部入力 (BT601,525i) の設定例

レジスタ名	ビット名	説明	設定値
INP_SEL_CNT	INP_SEL	入力信号の選択をします。	1
INP_SEL_CNT	INP_FORMAT[2:0]	外部入力のフォーマットを選択します。	4
INP_SEL_CNT	INP_PXD_EDGE	外部入力の映像信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_VS_EDGE	外部入力の垂直同期信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_HS_EDGE	外部入力の水平同期信号の取り込みクロックのエッジの選択をします。	0
INP_EXT_SYNC_CNT	INP_ENDIAN_ON	外部入力のビットエンディアンの変更をします。	0
INP_EXT_SYNC_CNT	INP_SWAP_ON	外部入力の B/R 信号入れ替えオン/オフ制御をします。	0
INP_EXT_SYNC_CNT	INP_HS_INV	外部入力の水平同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_VS_INV	外部入力の垂直同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_H_EDGE_SEL	BT656 入力の水平同期基準の選択をします。	0
INP_EXT_SYNC_CNT	INP_F525_625	BT656 入力のライン数の設定をします。	0
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	BT656/601 入力の水平同期に対するデータ開始のタイミング設定をします。	0
INP_VSYNC_PH_ADJ	INP_FH50[9:0]	1/2fH 位相の設定をします。(クロック単位で設定)	858
INP_VSYNC_PH_ADJ	INP_FH25[9:0]	1/4fH 位相の設定をします。(クロック単位で設定)	429
INP_DLY_ADJ	INP_VS_DLY_L[2:0]	垂直同期信号、フィールド判別のライン遅延量を設定します。	0
INP_DLY_ADJ	INP_VS_DLY[7:0]	垂直同期信号の遅延量を設定します。(クロック単位で設定)	0
INP_DLY_ADJ	INP_HS_DLY[7:0]	水平同期信号の遅延量を設定します。(クロック単位で設定)	0
INP_DLY_ADJ	INP_FLD_DLY[7:0]	フィールド判別信号の遅延量を設定します。(クロック単位で設定)	0

【注】 レジスタ設定後に一部のレジスタで、外部入力部レジスタ更新制御レジスタ (INP_UPDATE) の INP_EXT_UPDATE = 1 および INP_IMG_UPDATE = 1 の設定が必要です。

32.3.2 カラーマトリクス変換の使用方法

標準的な各データ変換の設定例を示します。

表 32.29 カラーマトリクス変換

レジスタ名	ビット名	GBR GBR	GBR YCbCr	YCbCr GBR	YCbCr YCbCr
IMGCNT_MTX_MODE	IMGCNT_MTX_MD[1:0]	0	1	2	3
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_YG[7:0]	128	128	128	128
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_GG[10:0]	256	150	256	256
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GB[10:0]	0	29	1960	0
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GR[10:0]	0	77	1865	0
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_B[7:0]	128	128	128	128
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_BG[10:0]	0	1963	256	0
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BB[10:0]	256	128	454	256
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BR[10:0]	0	2005	0	0
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_R[7:0]	128	128	128	128
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_RG[10:0]	0	1941	256	0
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RB[10:0]	0	2027	0	0
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RR[10:0]	256	128	359	256

【注】 レジスタ設定後に画質調整部レジスタ更新制御レジスタ (IMGCN_UPDATE) の IMGCNT_VEN = 1 の設定が必要です。

33. ビデオディスプレイコントローラ 4 (3) スケーリング部

33.1 スケーリング機能

33.1.1 機能概要

スケーリング部は、入力制御部の YCbCr、RGB 出力信号に対して、同期信号生成、画像の縮小・拡大・回転制御を行います。

また、フレームバッファに対して映像の録画を行います。

スケーリング部の拡大処理は、グラフィックス (1) の処理と選択になります。

下図にスケーリング部の機能ブロック図を示します。

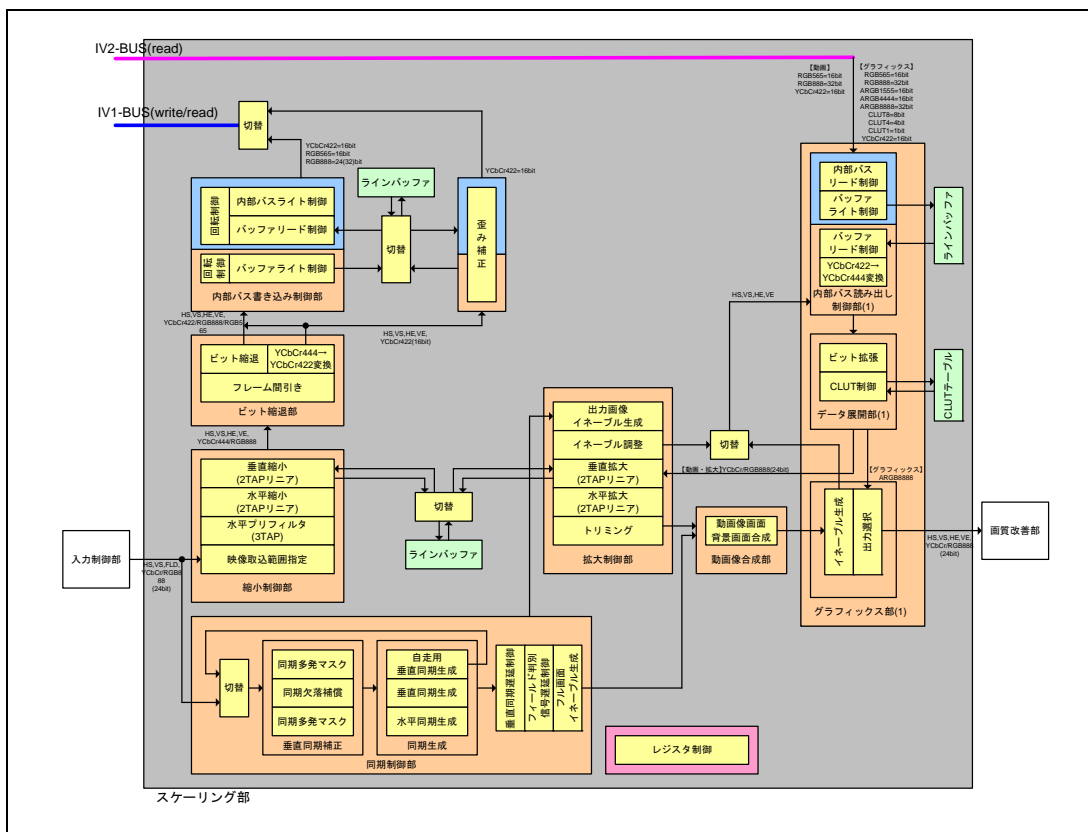


図 33.1 スケーリング部の機能ブロック図

33.1.2 レジスタ制御

(1) レジスタの更新制御

スケーリング部、グラフィックス部の制御レジスタは、同期制御部の一部レジスタを除き垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

表 33.1 レジスタの更新制御

レジスタ名	ビット名	初期値	説明
SCL0_UPDATE	SCL0_UPDATE	0	同期制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを更新する
SCL0_UPDATE	SCL0_VEN_D	0	拡大制御、フレームバッファ読み出し制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
SCL0_UPDATE	SCL0_VEN_C	0	縮小制御、フレームバッファ書き込み制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
SCL0_UPDATE	SCL0_VEN_B	0	同期制御、拡大制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
SCL0_UPDATE	SCL0_VEN_A	0	縮小制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
SCL1_UPDATE	SCL1_VEN_B	0	フレームバッファ書き込み制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
SCL1_UPDATE	SCL1_VEN_A	0	フレームバッファ書き込み制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
GR1_UPDATE	GR1_P_VEN	0	グラフィックス表示のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
GR1_UPDATE	GR1_IBUS_VEN	0	フレームバッファ読み出し制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

SCL0_VEN_A、SCL0_VEN_C、SCL1_VEN_A、SCL1_VEN_B で制御されるレジスタは入力垂直同期信号の立ち上がりで更新されます。

SCL0_VEN_B、SCL0_VEN_D、GR1_P_VEN、GR1_IBUS_VEN で制御されるレジスタは出力垂直同期信号の立ち上がりで更新されます。

33.1.3 同期制御

(1) 垂直同期信号選択

スケーリング出力の垂直同期信号を選択します。

外部入力信号を表示する場合は、外部入力の垂直同期信号を出力します。

外部入力信号がない場合は、自走垂直同期信号を出力します。

表 33.2 垂直同期信号選択制御

レジスタ名	ビット名	初期値	説明
SCL0_FRC3	RES_VS_SEL	1	出力する垂直同期信号の選択 0 : 外部入力垂直同期信号 1 : 内部生成した自走用垂直同期信号

(2) 垂直同期信号多発マスク

入力の垂直同期信号を受け付けてから、次の垂直同期信号の受付を開始するタイミングを設定することで、標準周期より短い周期の垂直同期信号の受付を禁止します。

垂直同期信号の受付をマスクする期間は、RES_VMASK[15:0]で設定します。

$$\text{マスク期間}[\text{usec}] = \text{RES_VMASK} \times 128 \div \text{ピクセルクロック}[\text{MHz}]$$

本機能は RES_VMASK_ON でオン/オフを制御します。

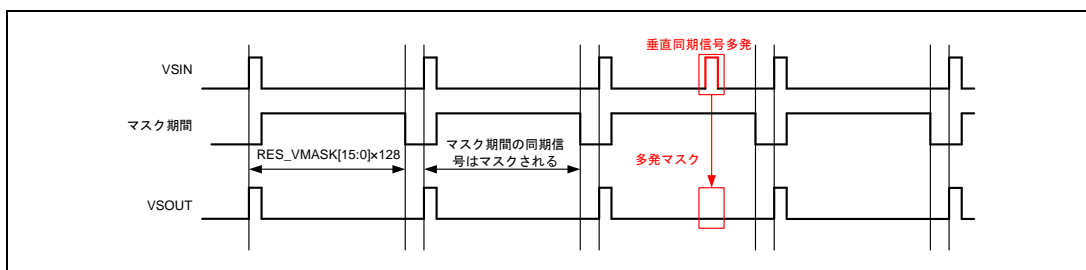


図 33.2 垂直同期信号多発マスクのタイミング図

表 33.3 垂直同期信号多発マスク制御

レジスタ名	ビット名	初期値	説明
SCL0_FRC1	RES_VMASK_ON	1	垂直同期信号の多発マスク制御 0：多発マスク制御オフ 1：多発マスク制御オン
SCL0_FRC1	RES_VMASK[15:0]	2800	垂直同期信号の多発マスク期間設定 垂直同期信号からの同期多発マスクをする期間をピクセルクロック周期の128倍で設定 マスク期間[usec] = RES_VMASK × 128 ÷ ピクセルクロック[MHz]

(3) 垂直同期信号欠落補償

入力垂直同期信号を受け付けてから、次の垂直同期信号が入力されるまでのウェイト期間を設定することで、標準周期より長い周期の垂直同期信号を出力しないようにします。

ウェイト期間内に垂直同期信号の受付がない場合は、内部で生成した同期信号を挿入します。

垂直同期信号の受付をウェイトする期間は、RES_VLACK[15:0]で設定します。

$$\text{ウェイト期間}[\text{usec}] = \text{RES_VLACK} \times 128 \div \text{ピクセルクロック}[\text{MHz}]$$

本機能はRES_VLACK_ONでオン/オフを制御します。

垂直同期信号の受付期間中に垂直同期信号が入力されなかった場合は、RES_QVLACKが“H”にセットされます。

垂直同期信号の受付期間中に垂直同期信号が4回以上連続して検出された場合は、RES_QVLOCKが“H”にセットされます。

RES_QVLOCKはRES_VMASK_ON、RES_VLACK_ONが共にオフ設定でも検出可能です。

ただし、RES_VMASK、RES_VLACKを正しく設定する必要があります。

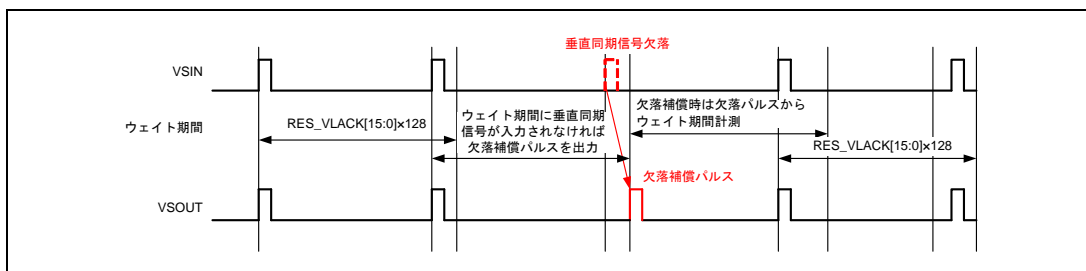


図 33.3 垂直同期信号の欠落補償

表 33.4 垂直同期信号欠落補償制御

レジスタ名	ビット名	初期値	説明
SCL0_FRC2	RES_VLACK_ON	1	垂直同期信号の欠落補償制御 0: 欠落補償制御オフ 1: 欠落補償制御オン
SCL0_FRC2	RES_VLACK[15:0]	3600	垂直同期信号の欠落補償期間設定 垂直同期信号から同期欠落補償パルスを出力するまでのウェイト期間をピクセルクロック周期の 128 倍で設定 ウェイト期間[usec] = RES_VLACK × 128 ÷ ピクセルクロック [MHz]
SCL0_FRC9	RES_QVLACK	-	垂直同期信号欠落検出フラグ 1: 入力垂直同期信号欠落あり 0: 入力垂直同期信号欠落なし
SCL0_FRC9	RES_QVLOCK	-	垂直同期信号ロック検出フラグ 1: 入力垂直同期信号に多発または欠落なしが 4 垂直期間以上連続 0: 入力垂直同期信号に多発または欠落あり

垂直同期信号多発マスクと垂直同期信号欠落補償は多発マスク 欠落補償 多発マスクの構成になっています。垂直同期信号が欠落し、欠落補償パルス後にすぐ入力された場合などでも、垂直同期信号の出力が多発しないように欠落補償後に多発マスク処理を挿入しています

後段の垂直同期多発マスク処理のオン/オフ制御は垂直同期欠落補償と共通設定、マスク周期は前段の垂直同期多発マスク処理のマスク期間設定と共通設定となっています。

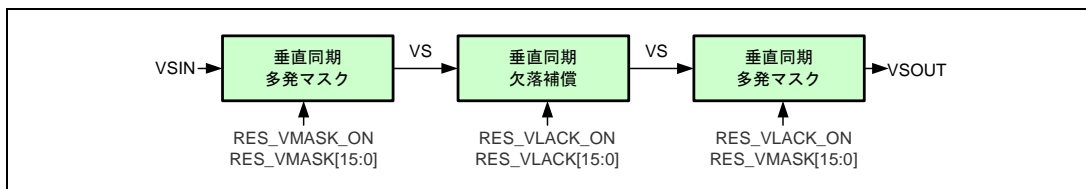


図 33.4 多発マスク・欠落補償構成

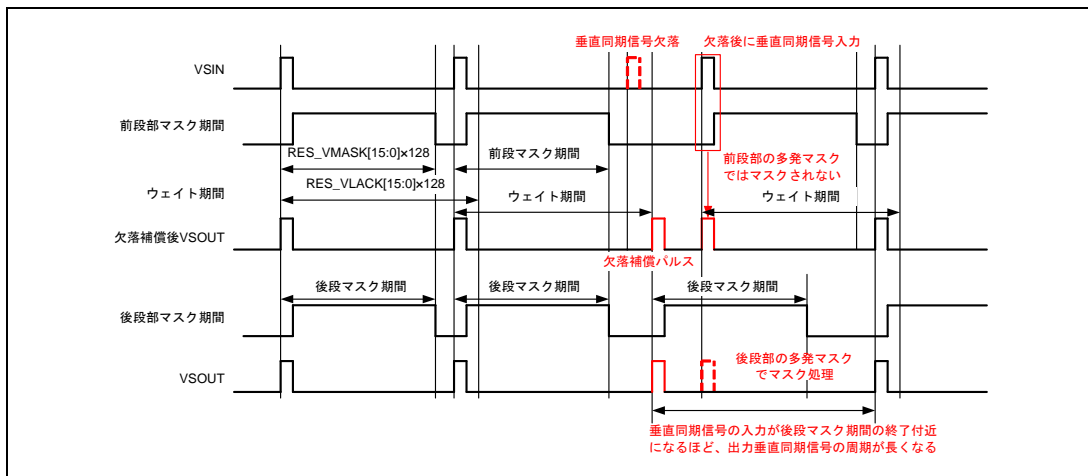


図 33.5 多発マスク・欠落補償タイミング図

(4) 自走周期

自走用の垂直同期信号・水平同期信号の周期を設定します。

$$\text{水平同期信号周期}[\text{usec}] = (\text{RES_FH} + 1) \div \text{ピクセルクロック}[\text{MHz}]$$

$$\text{垂直同期信号周期}[\text{usec}] = \text{水平周期}[\text{usec}] \times (\text{RES_FV} + 1)$$

表 33.5 自走周期制御

レジスタ名	ビット名	初期値	説明
SCL0_FRC4	RES_FV[10:0]	524	自走用垂直同期信号の周期設定 自走用垂直同期信号周期 = (RES_FV + 1) × 水平周期[usec]
SCL0_FRC4	RES_FH[10:0]	799	水平同期信号の周期設定 水平同期信号周期[usec] = (RES_FH + 1) ÷ ピクセルクロック[MHz]

外部入力垂直同期信号を選択する場合は RES_VS_SEL=0 とします。このとき、内部生成された自走用垂直同期信号は出力されません。

水平同期信号は常に自走設定で生成した水平同期信号がスケーリング部より出力されます。

(5) 垂直同期信号遅延制御

スケーリング出力の垂直同期信号の遅延を制御します。

フレームバッファの読み出しタイミング調整に使用します。

表 33.6 垂直同期信号遅延制御

レジスタ名	ビット名	初期値	説明
SCL0_FRC5	RES_VSDLY[7:0]	1	垂直同期信号遅延制御 垂直同期信号を出力水平周期単位にて遅延調整 垂直同期信号遅延量[usec] : RES_VSDLY × 出力水平周期[usec]

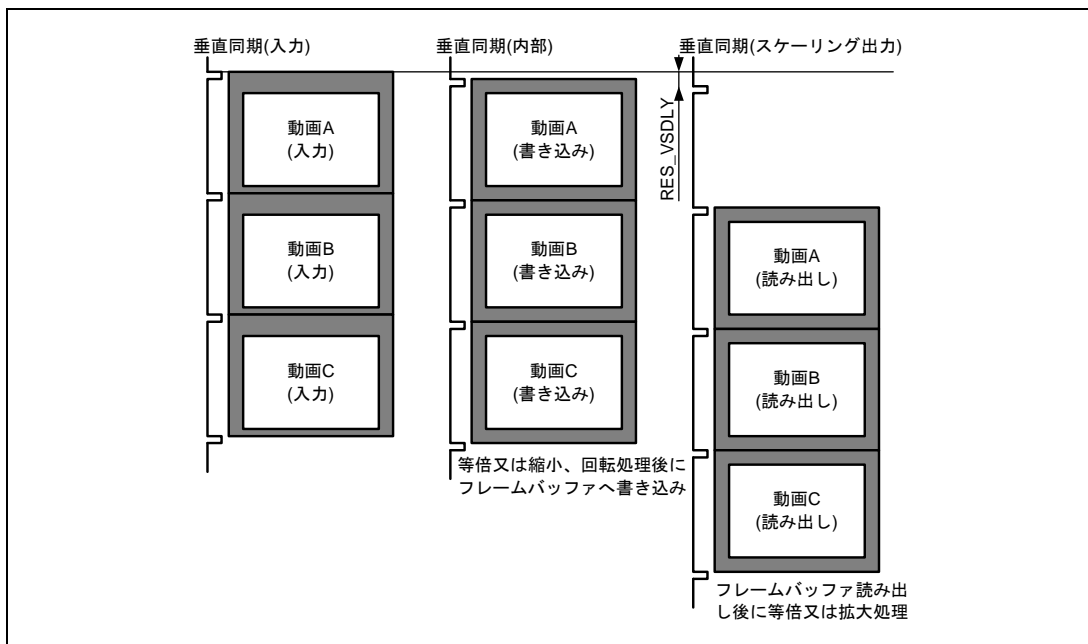


図 33.6 垂直同期信号の位相関係図 (フレームバッファ 2 面使用時)

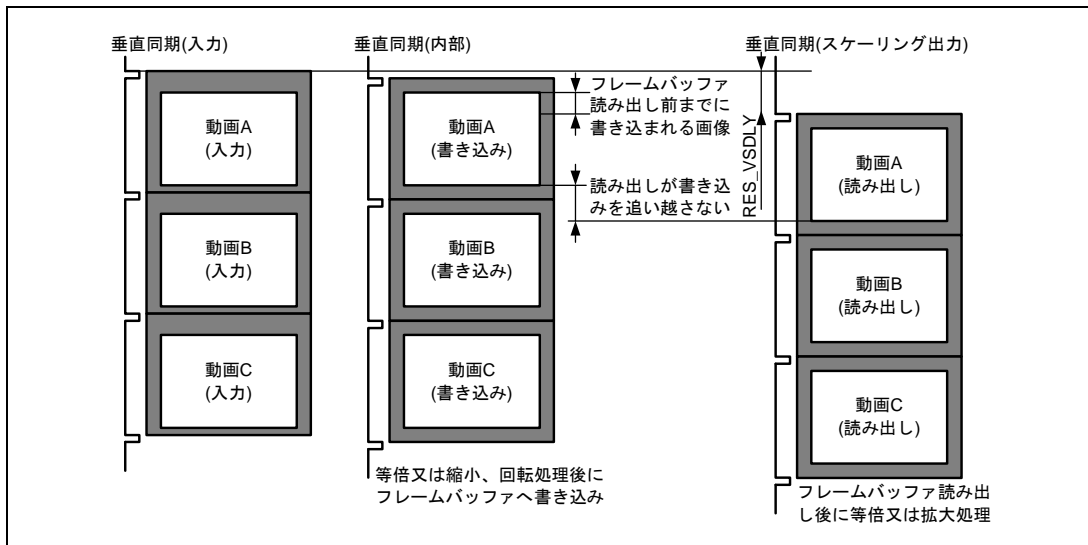


図 33.7 垂直同期信号の位相関係図 (フレームバッファ 1 面使用時)

33.1.4 画角サイズ設定

(1) 画像取り込み範囲設定

縮小、拡大処理を行う画像の取り込み範囲を設定します。

画像の取込み範囲の設定は、入力される水平同期信号、垂直同期信号基準として開始位置、幅にて設定します。

表 33.7 画像取り込み範囲制御

レジスタ名	ビット名	初期値	説明
SCL0_DS2	RES_VS[10:0]	18	取込映像信号垂直位置設定 (VSYNC + V バックポーチ ライン数-1) 【注】4 ライン以上、RES_VS+RES_VW が 2039 ライン以内になるように設定してください。
SCL0_DS2	RES_VW[10:0]	240	取込映像信号垂直幅 (ライン数) 【注】RES_VS+RES_VW が 2039 ライン以内になるように設定してください。
SCL0_DS3	RES_HS[10:0]	244	取込映像信号水平位置設定 (HSYNC + H バックポーチ 映像クロック数) 【注】16 クロック以上、RES_HS+RES_HW が 2015 クロック以内になるように設定してください。
SCL0_DS3	RES_HW[10:0]	1440	取込映像信号水平幅 (映像クロック数) 【注】RES_HS+RES_HW が 2015 クロック以内になるように設定してください。

(2) フル画面イネーブル生成

スケーリング出力のフル画面の有効期間を設定します。

有効期間の設定は、スケーリング出力の水平同期信号、垂直同期信号を基準として開始位置、幅にて設定します。

V フロントポーチが 4 ライン以上、H フロントポーチが 16 クロック以上となるように設定してください。

表 33.8 フル画面イネーブル制御

レジスタ名	ビット名	初期値	説明
SCL0_FRC6	RES_F_VS[10:0]	35	フル画面の垂直イネーブル信号開始位置設定 (VSYNC + V バックポーチ ライン数) 【注】4 ライン以上、RES_F_VS+RES_F_VW が 2039 ライン以内になるように設定してください。
SCL0_FRC6	RES_F_VW[10:0]	480	フル画面の垂直イネーブル信号幅設定 (ライン数) 【注】RES_F_VS+RES_F_VW が 2039 ライン以内になるように設定してください。
SCL0_FRC7	RES_F_HS[10:0]	144	フル画面の水平イネーブル信号開始位置設定 (HSYNC + H バックポーチ ピクセルクロック数) 【注】16 クロック以上、RES_F_HS+RES_F_HW が 2015 クロック以内になるように設定してください。
SCL0_FRC7	RES_F_HW[10:0]	640	フル画面の水平イネーブル信号幅設定 (ピクセルクロック数) 【注 1】RES_F_HS+RES_F_HW が 2015 クロック以内になるように設定してください。 【注 2】LCD 出力信号としてシリアル RGB 出力を選択する場合は、 (フル画面の水平信号幅 + 2) を設定してください。

(3) 画像出力イネーブル生成

出力する画像の有効期間を設定します。

有効期間の設定は、スケーリング出力の水平同期信号、垂直同期信号基準として開始位置、幅にて設定します。

表 33.9 画像出力イネーブル制御

レジスタ名	ビット名	初期値	説明
SCL0_US2	RES_P_VS[10:0]	35	画像出力の垂直イネーブル信号開始位置設定 (VSYNC + V バックポーチ ライン数) 【注】4 ライン以上、RES_P_VS+RES_P_VW が 2039 ライン以内になるように設定してください。
SCL0_US2	RES_P_VW[10:0]	480	画像出力の垂直イネーブル信号幅設定 (ライン数) 【注】RES_P_VS+RES_P_VW が 2039 ライン以内になるように設定してください。
SCL0_US3	RES_P_HS[10:0]	144	画像出力の水平イネーブル信号開始位置設定 (HSYNC + H バックポーチ ピクセルクロック数) 【注】16 クロック以上、RES_P_HS+RES_P_HW が 2015 クロック以内になるように設定してください。
SLC0_US3	RES_P_HW[10:0]	640	画像出力の水平イネーブル信号幅設定 (ピクセルクロック数) 【注】RES_P_HS+RES_P_HW が 2015 クロック以内になるように設定してください。

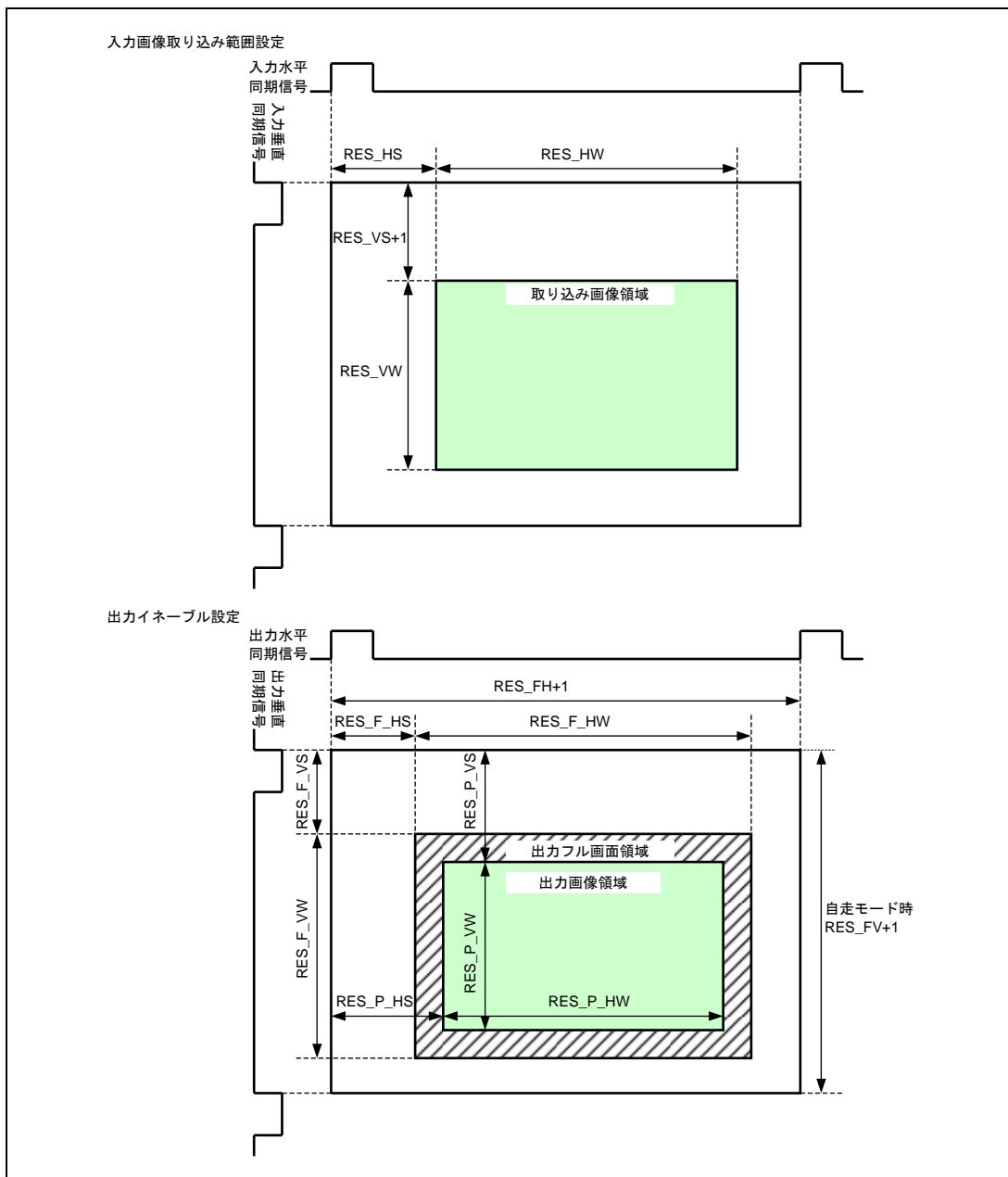


図 33.8 イネーブル設定図

33.1.5 スケーリング設定

(1) スケーリング処理ブロック

縮小制御部では、入力制御部からの入力画像に対してスケーリング処理します。

回転制御がある場合、縮小スケーリング後に回転してフレームバッファへ書き込みます。

拡大制御部では回転後の画像をフレームバッファより読み出してスケーリング処理をします。

表 33.10 回転制御・スケーリング処理

回転制御	水平スケーリング	垂直スケーリング	縮小制御部	拡大制御部
通常	水平縮小	垂直縮小	水平縮小 / 垂直縮小	水平等倍 / 垂直等倍
	水平縮小	垂直拡大	水平縮小 / 垂直等倍	水平等倍 / 垂直拡大
	水平拡大	垂直縮小	水平等倍 / 垂直縮小	水平拡大 / 垂直等倍
	水平拡大	垂直拡大	水平等倍 / 垂直等倍	水平拡大 / 垂直拡大
水平鏡像	水平縮小	垂直縮小	水平縮小 / 垂直縮小	水平等倍 / 垂直等倍
	水平縮小	垂直拡大	水平縮小 / 垂直等倍	水平等倍 / 垂直拡大
	水平拡大	垂直縮小	水平等倍 / 垂直縮小	水平拡大 / 垂直等倍
	水平拡大	垂直拡大	水平等倍 / 垂直等倍	水平拡大 / 垂直拡大
90 度回転	(水平入力 垂直出力) 縮小	(垂直入力 水平出力) 縮小	水平縮小 / 垂直縮小	水平等倍 / 垂直等倍
	(水平入力 垂直出力) 縮小	(垂直入力 水平出力) 拡大	水平縮小 / 垂直等倍	水平拡大 / 垂直等倍
	(水平入力 垂直出力) 拡大	(垂直入力 水平出力) 拡大	水平等倍 / 垂直等倍	水平拡大 / 垂直拡大
180 度回転	水平縮小	垂直縮小	水平縮小 / 垂直縮小	水平等倍 / 垂直等倍
	水平縮小	垂直拡大	水平縮小 / 垂直等倍	水平等倍 / 垂直拡大
	水平拡大	垂直縮小	水平等倍 / 垂直縮小	水平拡大 / 垂直等倍
	水平拡大	垂直拡大	水平等倍 / 垂直等倍	水平拡大 / 垂直拡大
270 度回転	(水平入力 垂直出力) 縮小	(垂直入力 水平出力) 縮小	水平縮小 / 垂直縮小	水平等倍 / 垂直等倍
	(水平入力 垂直出力) 縮小	(垂直入力 水平出力) 拡大	水平縮小 / 垂直等倍	水平拡大 / 垂直等倍
	(水平入力 垂直出力) 拡大	(垂直入力 水平出力) 拡大	水平等倍 / 垂直等倍	水平拡大 / 垂直拡大

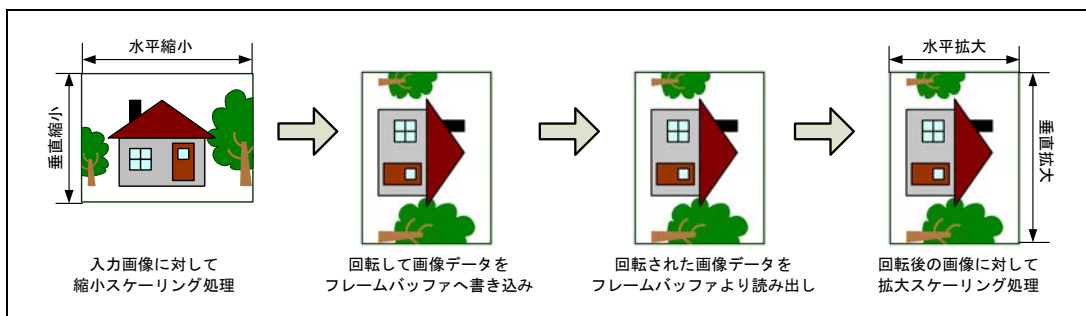


図 33.9 回転制御・スケーリング処理

縮小制御部の垂直縮小と拡大制御部の垂直拡大は排他処理のため、同時に使用することはできません。
したがって、90 度回転または 270 度回転時、下記のスケーリング処理を行うことはできません。

表 33.11 対応不可のスケーリング処理

回転制御	水平スケーリング	垂直スケーリング	縮小制御部	拡大制御部
90 度回転 270 度回転	(水平入力 垂直出力) 拡大	(垂直入力 水平出力) 縮小	水平等倍 / 垂直縮小	水平等倍 / 垂直拡大

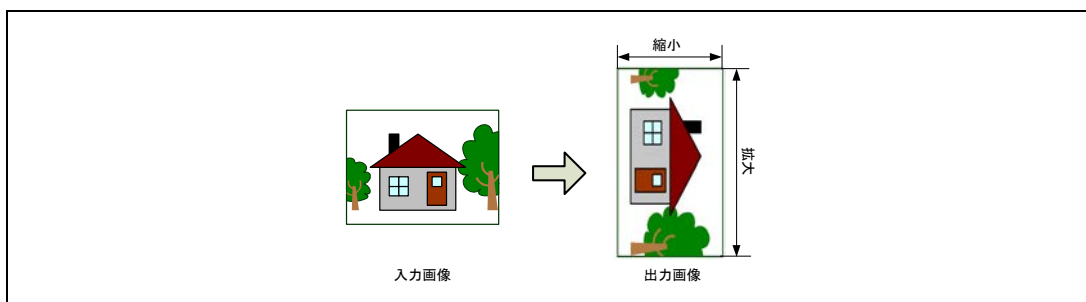


図 33.10 対応不可のスケーリング処理

33.1.6 水平プリフィルタ

水平縮小処理時の信号の周波数帯域抑制用に輝度 (Y) 信号、および RGB 信号に対して水平プリフィルタのオン/オフを制御します。入力フォーマットは、書き込み動作モードレジスタ (SCL1_WR1) の RES_MD[1:0] の設定に従います。

水平縮小率が高く、折り返し周波数成分が目立つ場合には水平プリフィルタをオンしてください。

表 33.12 水平プリフィルタ制御の設定値

入力フォーマット	RES_PFIL_SEL	動作
YCbCr 入力	1	Y 信号フィルタオン、Cb/Cr 信号フィルタオフ
	0	フィルタオフ
RGB 入力	1	RGB 信号フィルタオン
	0	フィルタオフ

表 33.13 水平プリフィルタ制御

レジスタ名	ビット名	初期値	説明
SCL0_DS4	RES_PFIL_SEL	0	輝度信号プリフィルタモード選択 0 : プリフィルタオフ 1 : プリフィルタオン (1/4 + 1/2 + 1/4)

33.1.7 水平縮小処理

水平画素に対して 1/1 ~ 1/8[倍]の任意倍率での画素変換を行います。

スケーリングフィルタは、ホールド補間とリニア補間を選択できます。

(1) 1TAP ホールド補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、 $X_{interpo}$ 補間値は以下になります。

$$X_{interpo} = X_n$$

(2) 2TAP リニア補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、 $X_{interpo}$ 補間値は補間位置 phase より以下になります。

$$X_{interpo} = (X_n \times (4096 - phase) + X_{n+1} \times phase) / 4096$$

(3) 水平縮小率計算

水平縮小率 RES_DS_H_RATIO は縮小制御部の入力画素数 RES_HW と出力画素数 RES_OUT_HW より下の式にて求められます。(小数点以下は四捨五入)

$$RES_DS_H_RATIO = \text{round}(RES_HW \div RES_OUT_HW \times 4096)$$

水平等倍時は RES_HW と RES_OUT_HW を同じ値に設定してください。

水平等倍時は RES_DS_H_RATIO=4096 に設定してください。

(4) 入力最終画素欠落対策

画面右端の出力最終画素は、(入力最終 - 1)画素と入力最終画素との補間で作られます。水平縮小率によっては、出力最終画素の補間位置が(入力最終 - 1)画素付近になることにより、入力最終画素が欠落したように見える場合があります。

以下の計算式にて水平縮小率を調整することで入力最終画素欠落の影響を少なくすることができます。

調整前の水平縮小率 RATIO_org を求め、調整値 を算出し縮小率 RES_DS_H_RATIO を求めます。

$$RATIO_org = \text{round}(RES_HW \div RES_OUT_HW \times 4096)$$

$$= (RATIO_org \times (RES_OUT_HW - 1) - (RES_HW - 1) \times 4096) \div (RES_OUT_HW - 1)$$

$$RES_DS_H_RATIO = \text{roundup}(RATIO_org - \quad)$$

表 33.14 水平縮小制御

レジスタ名	ビット名	初期値	説明
SCL0_DS1	RES_DS_H_ON	1	水平縮小オン/オフ設定 0: オフ 1: オン
SCL0_DS7	RES_OUT_HW[10:0]	640	縮小制御部出力の水平有効画素数 (映像クロック数)
SCL0_DS4	RES_DS_H_INTERPOTYP	1	水平補間方法選択 0: ホールド補間 1: リニア補間
SCL0_DS4	RES_DS_H_RATIO[15:0]	9224	水平縮小率 [15:12]: 整数部 [11:0]: 小数部 $\text{round}(\text{RES_HW} \div \text{RES_OUT_HW} \times 4096)$ RES_DS_H_RATIO < 4096: 設定禁止、 RES_DS_H_RATIO = 4096: 等倍、 RES_DS_H_RATIO > 4096: 縮小

【注】 RES_OUT_HW は 4 画素アライメントかつ、RES_OUT_HW RES_HW で設定してください。

33.1.8 垂直縮小処理

垂直ラインに対して 1/1 ~ 1/8[倍]の任意倍率での画素変換を行います。

スケーリングフィルタとしては、ホールド補間とリニア補間を選択できます。

(1) 1TAP ホールド補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、 X_{interpo} 補間値は以下になります。

$$X_{\text{interpo}} = X_n$$

(2) 2TAP リニア補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、 X_{interpo} 補間値は補間位置 phase 以下になります。

$$X_{\text{interpo}} = (X_n \times (4096 - \text{phase}) + X_{n+1} \times \text{phase}) / 4096$$

(3) 垂直縮小率計算

垂直縮小率 RES_V_RATIO は縮小制御部の入力ライン数 RES_VW と出力ライン数 RES_OUT_VW より下の式にて求められます。(小数点以下は四捨五入)

$$\text{RES_V_RATIO} = \text{round}(\text{RES_VW} \div \text{RES_OUT_VW} \times 4096)$$

垂直等倍時または垂直拡大時は RES_VW と RES_OUT_VW を同じ値に設定してください。

垂直等倍時は RES_V_RATIO=4096 で縮小処理を行います。

(4) 入力最終ライン欠落対策

画面下端の出力最終ラインは、(入力最終 - 1)ラインと入力最終ラインとの補間で作られます。垂直縮小率によっては、出力最終ラインの補間位置が(入力最終 - 1)ライン付近になることにより、入力最終ラインが欠落し

たように見える場合があります。

以下の計算式にて垂直縮小率を調整することで入力最終ライン欠落の影響を少なくすることができます。

調整前の垂直縮小率 $RATIO_org$ を求め、調整値 を算出し縮小率 RES_V_RATIO を求めます。

$$RATIO_org = \text{round} (RES_VW \div RES_OUT_VW \times 4096)$$

$$= (RATIO_org \times (RES_OUT_VW - 1) - (RES_VW - 1) \times 4096) \div (RES_OUT_VW - 1)$$

$$RES_V_RATIO = \text{round} (RATIO_org -)$$

表 33.15 垂直縮小制御

レジスタ名	ビット名	初期値	説明
SCL0_DS1	RES_DS_V_ON	1	垂直縮小オン/オフ設定 0: オフ 1: オン
SCL0_DS7	RES_OUT_VW[10:0]	240	縮小制御部出力の垂直有効ライン数 (ライン数) 本ビットの設定は、フレームバッファへの書き込みライン数に反映されません。 SCL1_WR1.RES_LOOP=0 (フレーム書き込みモード) 設定時は、1 フレーム分のライン数を指定してください。 SCL1_WR1.RES_LOOP=1 (ライン書き込みモード) 設定時は、リング状に書き出すライン数を指定してください。
SCL0_DS5	RES_V_INTERPOTYP	1	垂直補間方法選択 0: ホールド補間 1: リニア補間
SCL0_DS6	RES_V_RATIO[15:0]	2044	垂直拡大/縮小率 [15:12]: 整数部 [11:0]: 小数部 round($RES_VW \div RES_OUT_VW \times 4096$): 縮小時 round($RES_IN_VW \div RES_P_VW \times 4096$): 拡大時 RES_V_RATIO<4096: 拡大、 RES_V_RATIO=4096: 等倍、 RES_V_RATIO>4096: 縮小

【注】 RES_V_RATIO、RES_V_INTERPOTYP は垂直縮小、垂直拡大で共通レジスタとなります。

垂直縮小と垂直拡大は排他処理のため、同時に使用することはできません。

RES_OUT_VW は 4 ラインアライメントかつ、RES_OUT_VW RES_VW で設定してください。

33.1.9 水平拡大処理

水平画素に対して 1~8[倍]の任意倍率での画素変換を行います。

スケーリングフィルタとしては、ホールド補間とリニア補間を選択できます。

(1) 1TAP ホールド補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、 $X_{interpo}$ 補間値は以下になります。

$$X_{interpo} = X_n$$

(2) 2TAP リニア補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、 $X_{interpo}$ 補間値は補間位置 phase より以下になります。

$$X_{interpo} = (X_n \times (4096 - phase) + X_{n+1} \times phase) / 4096$$

(3) 水平拡大率計算

水平拡大率 RES_US_H_RATIO は拡大制御部の入力画素数 RES_IN_HW と出力画素数 RES_P_HW より下の式にて求められます。(小数点以下は四捨五入)

$$RES_US_H_RATIO = \text{round}(RES_IN_HW \div RES_P_HW \times 4096)$$

水平等倍時は RES_IN_HW と RES_P_HW を同じ値に設定してください。

水平等倍時は RES_US_H_RATIO=4096 に設定してください。

(4) 折り返し対策

画面右端の出力最終画素は、入力最終画素と折り返し(入力最終 - 1)画素との補間で作られます。、そのため、水平拡大率によっては折り返しが目立つ場合があります。

以下の計算式にて水平拡大率を調整することで折り返し画素の影響を少なくすることができます。

調整前の水平拡大率 RATIO_org を求め、調整値 を算出し拡大率 RES_US_H_RATIO を求めます。

$$RATIO_org = \text{round}(RES_IN_HW \div RES_P_HW \times 4096)$$

$$= (RATIO_org \times (RES_P_HW - 1) - (RES_IN_HW - 1) \times 4096) \div (RES_P_HW - 1)$$

$$RES_US_H_RATIO = \text{round}(RATIO_org -)$$

表 33.16 水平拡大処理制御

レジスタ名	ビット名	初期値	説明
SCL0_US1	RES_US_H_ON	1	水平拡大オン/オフ設定 0: オフ 1: オン
SCL0_US4	RES_IN_HW[10:0]	640	拡大制御部入力の水平有効画素数 (ピクセルクロック数)
SCL0_US6	RES_US_H_INTERPOTYP	1	水平補間方法指示 0: ホールド補間 1: リニア補間
SCL0_US5	RES_US_H_RATIO[15:0]	9224	水平拡大率 [15:12]: 整数部 [11:0]: 小数部 $\text{round}(RES_IN_HW \div RES_P_HW \times 4096)$ RES_US_H_RATIO<4096: 拡大、 RES_US_H_RATIO=4096: 等倍、 RES_US_H_RATIO>4096: 設定禁止

33.1.10 垂直拡大処理

垂直ラインに対して 1~8[倍]の任意倍率での画素変換を行います。

スケーリングフィルタとしては、ホールド補間とリニア補間を選択できます。

(1) 1TAP ホールド補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、 $X_{interpo}$ 補間値は以下になります。

$$X_{interpo} = X_n$$

(2) 2TAP リニア補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、 $X_{interpo}$ 補間値は補間位置 phase より以下になります。

$$X_{interpo} = (X_n \times (4096 - phase) + X_{n+1} \times phase) / 4096$$

(3) 垂直拡大率計算

垂直拡大率 RES_V_RATIO は拡大制御部の入力ライン数 RES_IN_VW と出力ライン数 RES_P_VW より下の式にて求められます。(小数点以下は四捨五入)

$$RES_V_RATIO = \text{round}(RES_IN_VW \div RES_P_VW \times 4096)$$

垂直等倍時または垂直縮小時は RES_IN_VW と RES_P_VW を同じ値に設定してください。

(4) 折り返し対策

画面下端の出力最終ライン波、最終ラインと折り返し(入力最終 - 1)ラインとの補間で作られます。そのため、垂直拡大率によっては折り返しが目立つ場合があります。

以下の計算式にて垂直拡大率を調整することで折り返しラインの影響を少なくすることができます。

調整前の垂直拡大率 RATIO_org を求め、調整値 を算出し拡大率 RES_V_RATIO を求めます。

$$RATIO_org = \text{round}(RES_IN_VW \div RES_P_VW \times 4096)$$

$$= (RATIO_org \times (RES_P_VW - 1) - (RES_IN_VW - 1) \times 4096) \div (RES_P_VW - 1)$$

$$RES_V_RATIO = \text{round}(RATIO_org -)$$

表 33.17 垂直拡大処理制御

レジスタ名	ビット名	初期値	説明
SCL0_US1	RES_US_V_ON	1	垂直拡大オン / オフ設定 0 : オフ 1 : オン
SCL0_US4	RES_IN_VW[10:0]	240	拡大制御部入力 of 垂直有効ライン数 (ライン数)
SCL0_DS5	RES_V_INTERPOTYP	1	垂直補間方法選択 0 : ホールド補間 1 : リニア補間
SCL0_DS6	RES_V_RATIO[15:0]	2044	垂直拡大率 [15:12] : 整数部 [11:0] : 小数部 round($RES_VW \div RES_OUT_VW \times 4096$) : 縮小時 round($RES_IN_VW \div RES_P_VW \times 4096$) : 拡大時 RES_V_RATIO < 4096 : 拡大、 RES_V_RATIO = 4096 : 等倍、 RES_V_RATIO > 4096 : 縮小

【注】 RES_V_RATIO、RES_V_INTERPOTYP は垂直縮小、垂直拡大で共通レジスタとなります。

垂直縮小と垂直拡大は排他処理のため、同時に使用することはできません。

33.1.11 IP 変換

(1) 初期位相制御

インタレース信号入力時には、TOP フィールドと BOTTOM フィールドのスケージング初期位相を個別に調整することでフィールド間のラインオフセットによるラインフリッカを軽減させて表示します。

各動作時の設定は、下表を参照してください。

表 33.18 IP 変換時のスケージング初期位相設定表 (標準値)

回転制御	水平スケージング	垂直スケージング	参照ビット (設定値)
通常	水平縮小	垂直縮小	RES_TOP_INIPHASE = 2048
	水平縮小	垂直拡大	RES_TOP_INIPHASE = 2048
	水平拡大	垂直縮小	RES_TOP_INIPHASE = 2048
	水平拡大	垂直拡大	RES_TOP_INIPHASE = 2048
水平鏡像	水平縮小	垂直縮小	RES_TOP_INIPHASE = 2048
	水平縮小	垂直拡大	RES_TOP_INIPHASE = 2048
	水平拡大	垂直縮小	RES_TOP_INIPHASE = 2048
	水平拡大	垂直拡大	RES_TOP_INIPHASE = 2048
90 度回転	(水平入力 垂直出力) 縮小	(垂直入力 水平出力) 縮小	RES_TOP_INIPHASE = 2048
	(水平入力 垂直出力) 縮小	(垂直入力 水平出力) 拡大	RES_TOP_INIPHASE = 2048
	(水平入力 垂直出力) 拡大	(垂直入力 水平出力) 拡大	RES_US_HB_INIPHASE = 2048

回転制御	水平スケーリング	垂直スケーリング	参照ビット (設定値)
180 度回転	水平縮小	垂直縮小	RES_TOP_INIPHASE = 2048
	水平縮小	垂直拡大	RES_BTM_INIPHASE = 2048
	水平拡大	垂直縮小	RES_TOP_INIPHASE = 2048
	水平拡大	垂直拡大	RES_BTM_INIPHASE = 2048
270 度回転	(水平入力 垂直出力) 縮小	(垂直入力 水平出力) 縮小	RES_TOP_INIPHASE = 2048
	(水平入力 垂直出力) 縮小	(垂直入力 水平出力) 拡大	RES_TOP_INIPHASE = 2048
	(水平入力 垂直出力) 拡大	(垂直入力 水平出力) 拡大	RES_US_HT_INIPHASE = 2048

【注】 表中に設定値がない初期位相制御レジスタは0を設定してください。
 プログレッシブ信号入力時、初期位相制御レジスタは0を設定してください。

表 33.19 スケーリング初期位相制御

レジスタ名	ビット名	初期値	説明
SCL0_DS5	RES_BTM_INIPHASE[11:0]	0	BOTTOM フィールド垂直補間開始位相値 0 ~ 4095 (0 ~ 約 1.0)
SCL0_DS5	RES_TOP_INIPHASE[11:0]	2048	TOP フィールド垂直補間開始位相値 0 ~ 4095 (0 ~ 約 1.0)
SCL0_US6	RES_US_HB_INIPHASE [11:0]	0	BOTTOM フィールド水平補間開始位相値 0 ~ 4095 (0 ~ 約 1.0)
SCL0_US6	RES_US_HT_INIPHASE [11:0]	0	TOP フィールド水平補間開始位相値 0 ~ 4095 (0 ~ 約 1.0)

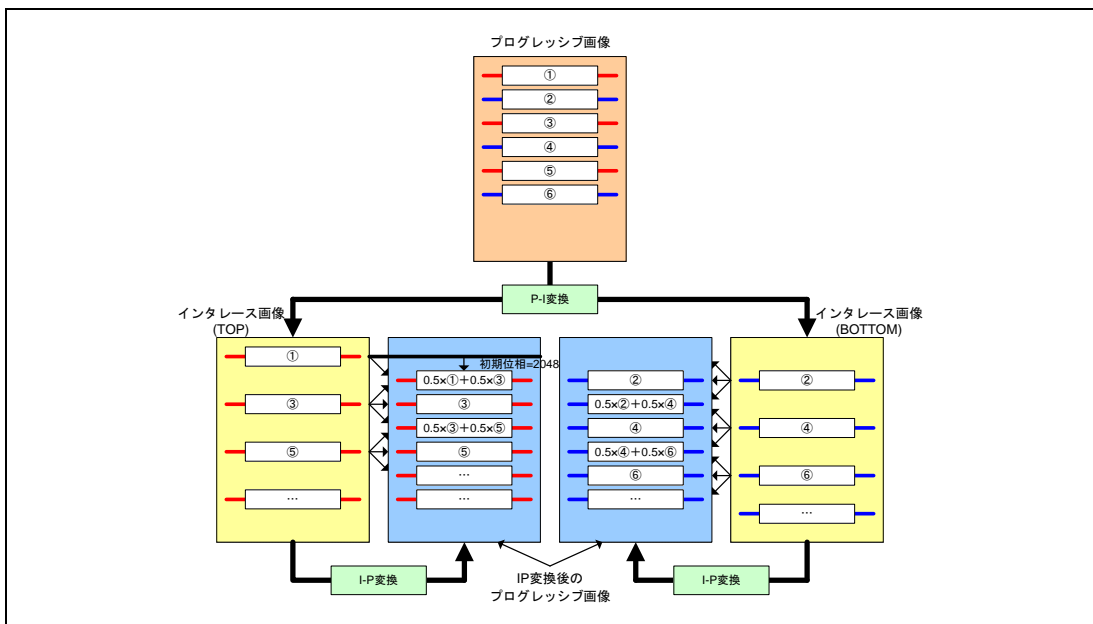


図 33.11 IP 変換処理概要図

(2) フィールド判別信号制御

インタレース信号入力時、垂直スケーリングにより拡大制御部へ出力するフィールド判別信号の制御を行います。

プログレッシブ信号入力時、または垂直スケーリングを縮小制御部で行う場合、拡大制御部へ出力されるフィールド判別信号は固定値となるため、RES_FLD_DLY_SEL 設定値はどちらでも構いません。

表 33.20 フィールド判別信号制御の設定値

入力信号	回転制御	垂直処理	フレームバッファ	RES_FLD_DLY_SEL
プログレッシブ	-	-	-	-
インタレース	通常 水平鏡像 180度回転	垂直縮小	-	-
		垂直拡大	1面以下 2面以上	0 1
	90度回転 270度回転	(水平入力 垂直出力) 縮小	-	-
		(水平入力 垂直出力) 拡大	2面以上	1

表 33.21 フィールド判別信号制御

レジスタ名	ビット名	初期値	説明
SCL0_FRC5	RES_FLD_DLY_SEL	1	フィールド判別信号の遅延制御 0: 遅延無し 1: 1 垂直期間遅延

(3) フィールド判別信号切り替え (R 版のみ)

拡大制御部へ出力されるフィールド判別信号の切り替えを行います。

表 33.22 フィールド判別信号切り替え

レジスタ名	ビット名	初期値	説明
SCL0_FRC8	RES_US_FLD	0	フィールド判別信号切り替え 0: 同期制御部が生成するフィールド判別信号 1: 読み出しフレーム番号 (フレーム 0: TOP、フレーム 1: BOTTOM) 【注】 RES_FLM_MD=0 の場合は、本ビットに 0 を設定してください。

33.1.12 トリミング

スケーリング後の画像に対して RES_V CUT、RES_H CUT で設定された上下左右端の画像をカットして出力します。

また、RES_DISP_ON を 1 に設定することで領域の枠を表示することができます。

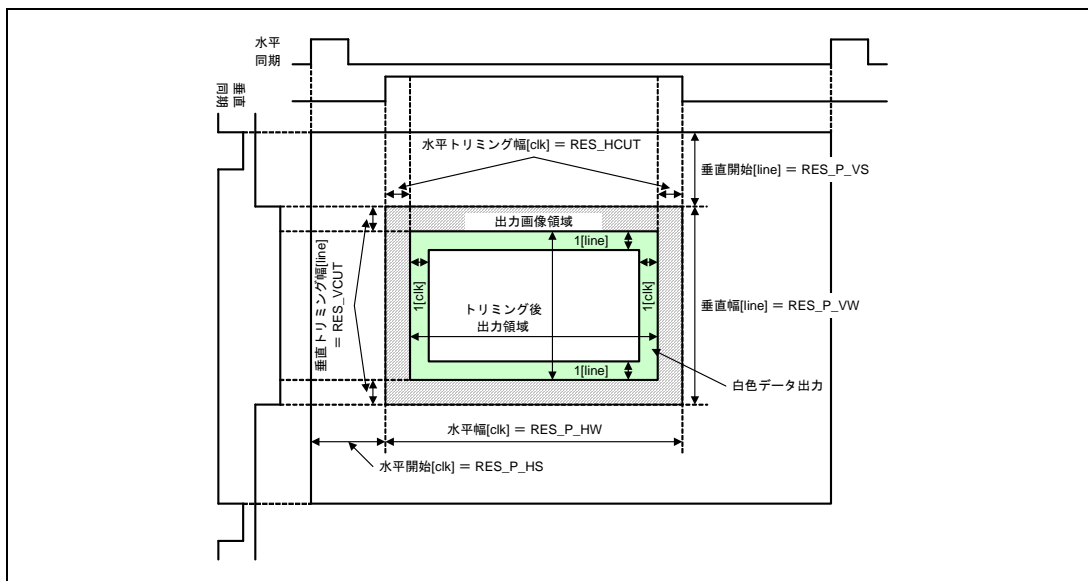


図 33.12 トリミング領域図 (枠表示時)

表 33.23 トリミング制御

レジスタ名	ビット名	初期値	説明
SCL0_US7	RES_H CUT[7:0]	0	スケーリング後画像の水平方向左右カット数 ピクセルクロック数を設定
SCL0_US7	RES_V CUT[7:0]	0	スケーリング後画像の垂直方向上下カット数 ライン数を設定
SCL0_US8	RES_DISP_ON	0	トリミング後画像の枠表示オン/オフ設定 0: 枠表示オフ 1: 枠表示オン

33.1.13 画面合成

フル画面の有効期間に対して画像出力の領域を重ねて出力します。フル画面の有効期間に対して画像出力領域が小さい場合には、RES_BK_COL_R、RES_BK_COL_G、RES_BK_COL_B にて設定されたバックグラウンドカラーを表示します。

表 33.24 画面合成制御

レジスタ名	ビット名	初期値	説明
SCL0_OVR1	RES_BK_COL_R[7:0]	128	背景表示色設定 R/Cr 信号 R : 8 ビット符号無し (0~255[LSB]) Cr : 8 ビット 128 オフセットバイナリ符号無し (0~255[LSB])
SCL0_OVR1	RES_BK_COL_B[7:0]	128	背景表示色設定 B/Cb 信号 B : 8 ビット符号無し (0~255[LSB]) Cb : 8 ビット 128 オフセットバイナリ符号無し (0~255[LSB])
SCL0_OVR1	RES_BK_COL_G[7:0]	0	背景表示色設定 G/Y 信号 G/Y : 8 ビット符号無し (0~255[LSB])

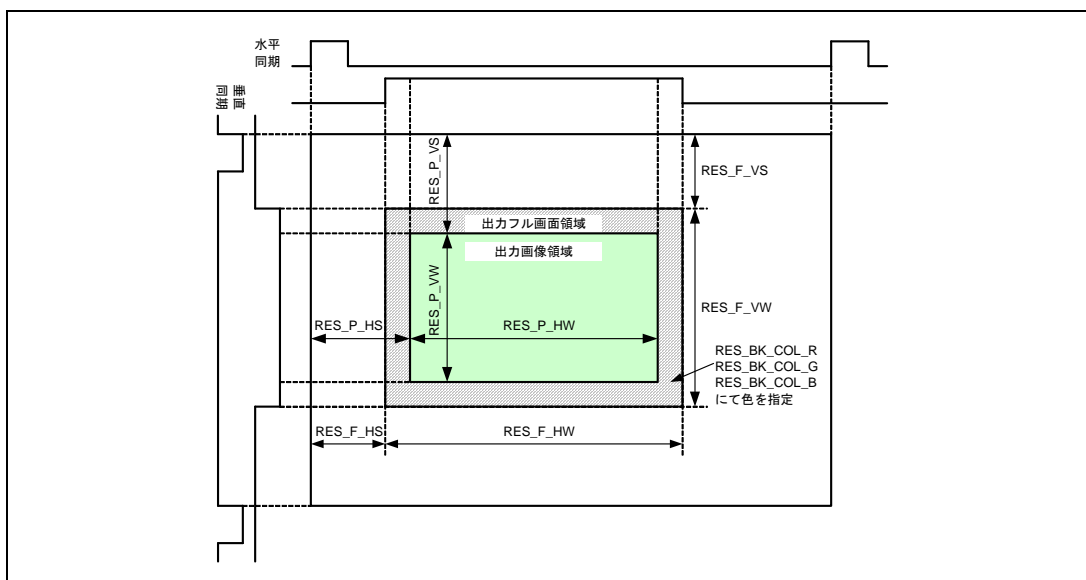


図 33.13 フル画面に対して画像出力サイズが小さい場合の領域図

33.1.14 フレームバッファ書き込み映像フォーマット選択

フレームバッファへの書き込み映像フォーマットを選択します。

スケーリング部には YCbCr 信号 24 ビット、または RGB 信号 24 ビットが入力されますが、フレームバッファへの書き込みは YCbCr422 (16 ビット)、RGB565 (16 ビット)、RGB888 (32 ビット) で行います。

RGB565 へのビット縮退処理は、RES_DTH_ON により四捨五入または 2×2 パターンディザの 2 種から選択できます。パターンディザの詳細については、出力制御部の「36.1.7 ディザ処理」を参照してください。

歪み補正エンジンへは YCbCr 信号入力を YCbCr422 に変換して出力します。

歪み補正処理に関しては、「第 38 章 歪み補正エンジン」を参照してください。

表 33.25 フレームバッファ書き込み動作モード設定表

RES_BITDEC_ON	RES_MD[1:0]	動作モード
0	2	RGB888 (通常、水平鏡像)
1	1	RGB565 (通常、水平鏡像、回転)
0	0	YCbCr422 (通常、水平鏡像、回転)
1	0	YCbCr422 (歪み補正)

表 33.26 映像フォーマット選択制御

レジスタ名	ビット名	初期値	説明
SCL1_WR1	RES_MD[1:0]	0	フレームバッファ書き込み映像フォーマット 0: YCbCr422 (16 ビット) 1: RGB565 (16 ビット) 2: RGB888 (24 (32) ビット) 3: 設定禁止
SCL1_WR6	RES_BITDEC_ON	0	ビット縮退オン/オフ設定 0: オフ 1: オン
SCL1_WR6	RES_DTH_ON	0	ディザ補正オン/オフ設定 0: オフ (四捨五入) 1: オン (2×2 パターンディザ)

33.1.15 水平鏡像、回転処理

縮小処理後の画像を水平鏡像、回転処理してフレームバッファに書き込みを行います。

水平鏡像、回転処理における画像と処理モードの対応表を下表に示します。

表 33.27 水平鏡像、回転処理の対応表

RES_DS_WR_MD[2:0]	書き込み動作モード	YCbCr422	RGB565	RGB888
0	通常書き込み			
1	水平鏡像書き込み			
2	90度回転書き込み			×
3	180度回転書き込み			×
4	270度回転書き込み			×
5~7	設定禁止	-	-	-

表 33.28 水平鏡像、回転処理制御

レジスタ名	ビット名	初期値	説明
SCL1_WR1	RES_DS_WR_MD[2:0]	0	フレームバッファ書き込み動作モード 0: 通常書き込み 1: 水平鏡像書き込み 2: 90度回転書き込み 3: 180度回転書き込み 4: 270度回転書き込み 5~7: 設定禁止

33.1.16 フレームバッファ書き込み処理

(1) フレームバッファ転送モード

映像、グラフィックスデータを格納するフレームバッファへのアクセスモードとして、32バイト転送、128バイト転送が選択できます。

表 33.29 フレームバッファ転送モード

レジスタ名	ビット名	初期値	説明
SCL1_WR1	RES_BST_MD	0	フレームバッファ書き込み転送のバースト長 0: 32バイト 1: 128バイト

(2) フレームバッファ書き込み制御

フレームバッファへの書き込みオン/オフを制御します。

表 33.30 フレームバッファ書き込み制御

レジスタ名	ビット名	初期値	説明
SCL1_WR5	RES_WENB	0	フレームバッファ書き込み許可 書き込み許可設定後、2 フレーム目から書き込みを開始します。 0: 書き込み禁止 1: 書き込み許可

(3) フレームバッファ書き込みレート選択

フレームバッファへの書き込みレートを入力信号の垂直周期にて 1/1、1/2、1/4、1/8 の選択ができます。

また、1/2、1/4、1/8 時には、書き込み対象フィールドの選択ができます。

表 33.31 フレームバッファ書き込み制御

レジスタ名	ビット名	初期値	説明
SCL1_WR5	RES_FS_RATE[1:0]	0	書き込み間隔 入力信号に対し書き込みフレームレートを設定します 0: 入力信号に対して 1/1 (RES_FLD_SEL の設定は無効となります) 1: 入力信号に対して 1/2 2: 入力信号に対して 1/4 3: 入力信号に対して 1/8
SCL1_WR5	RES_FLD_SEL	0	書き込みフィールド選択 0: TOP フィールド 1: BOTTOM フィールド
SCL1_WR5	RES_INTER	1	フィールド動作モード設定 0: プログレッシブ 1: インタレース

(4) フレームバッファ書き込みアドレス

フレームバッファ上のアドレスは、ベースアドレス、ラインオフセットアドレス、フレームオフセットアドレス、1 ラインのデータサイズ、1 フレームのライン数にて設定します。

また、フレームバッファアドレス生成モードの選択ができます。(R 版のみ)

RES_BASE[31:0]、RES_LN_OFF[14:0]、RES_FLM_OFF[22:0]は 32 バイト単位で設定します(下位 5 ビットは 0 固定)。

ただし、128 バイト転送時は 128 バイト単位での設定が必要なため、アドレス制御レジスタの[6:5]は 0 固定で設定してください。

1 ラインのデータサイズ、1 フレームのライン数は縮小制御部にて設定されるレジスタ値が使用されます。

表 33.32 フレームバッファ書き込みアドレス制御

レジスタ名	ビット名	初期値	説明
SCL1_WR1	RES_FLM_MD	0	<p>フレームバッファアドレス生成モード選択</p> <p>0 : RES_BASE + RES_FLM_OFF × フレーム番号</p> <p>1 : RES_BASE + RES_FLM_OFF × フィールド情報 (TOP : 0、BOTTOM : 1)</p> <p>【注】プログレッシブ信号入力時は、本ビットに 0 を設定してください。 本ビットを 1 に設定する場合、フレームバッファは必ず 2 面に設定してください。</p> <p>本ビットは R 版にのみ実装されています。R 版以外では、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
SCL1_WR2	RES_BASE[31:0]	0	<p>フレームバッファのベースアドレス</p> <p>フレームデータを格納するフレームバッファの先頭アドレスを設定</p> <p>32 バイト転送時：下位 5 ビットは 0_0000 固定してください。</p> <p>128 バイト転送時：下位 7 ビットは 000_0000 固定してください。</p>
SCL1_WR3	RES_LN_OFF[14:0]	2048	<p>フレームバッファのラインオフセットアドレス</p> <p>ラインの先頭アドレス計算時のラインオフセットアドレスを設定</p> <p>ライン 0 : RES_BASE</p> <p>ライン 1 : RES_BASE + RES_LN_OFF × 1</p> <p>：</p> <p>ライン n : RES_BASE + RES_LN_OFF × n</p> <p>32 バイト転送時：下位 5 ビットは 0_0000 固定してください。</p> <p>128 バイト転送時：下位 7 ビットは 000_0000 固定してください。</p>
SCL1_WR4	RES_FLM_OFF[22:0]	524288	<p>フレームバッファのフレームオフセットアドレス</p> <p>各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定</p> <p>バッファ 0 : RES_BASE</p> <p>バッファ 1 : RES_BASE + RES_FLM_OFF × 1</p> <p>：</p> <p>バッファ n : RES_BASE + RES_FLM_OFF × n</p> <p>32 バイト転送時：下位 5 ビットは 0_0000 固定してください。</p> <p>128 バイト転送時：下位 7 ビットは 000_0000 固定してください。</p>

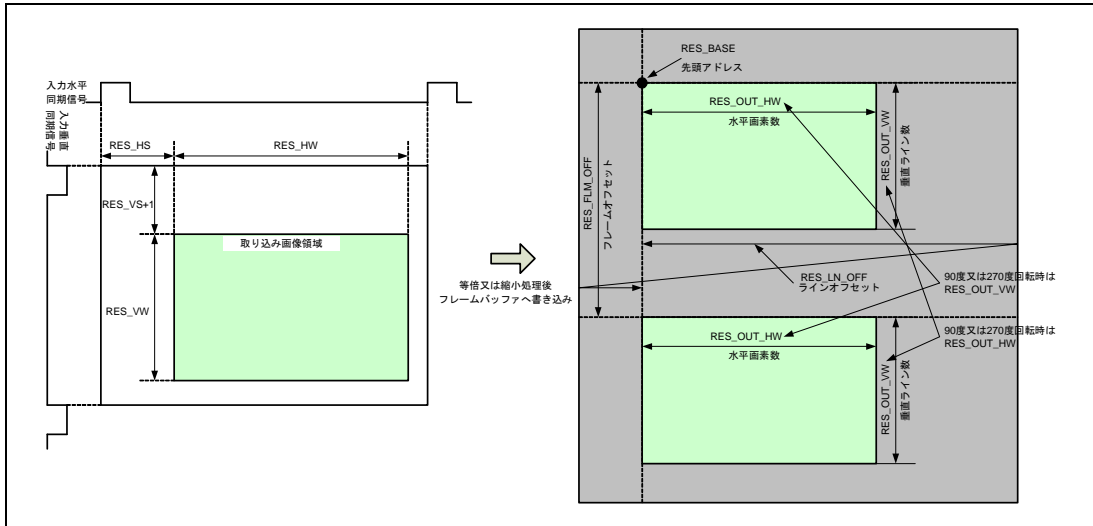


図 33.14 フレームバッファのデータ配置のイメージ図

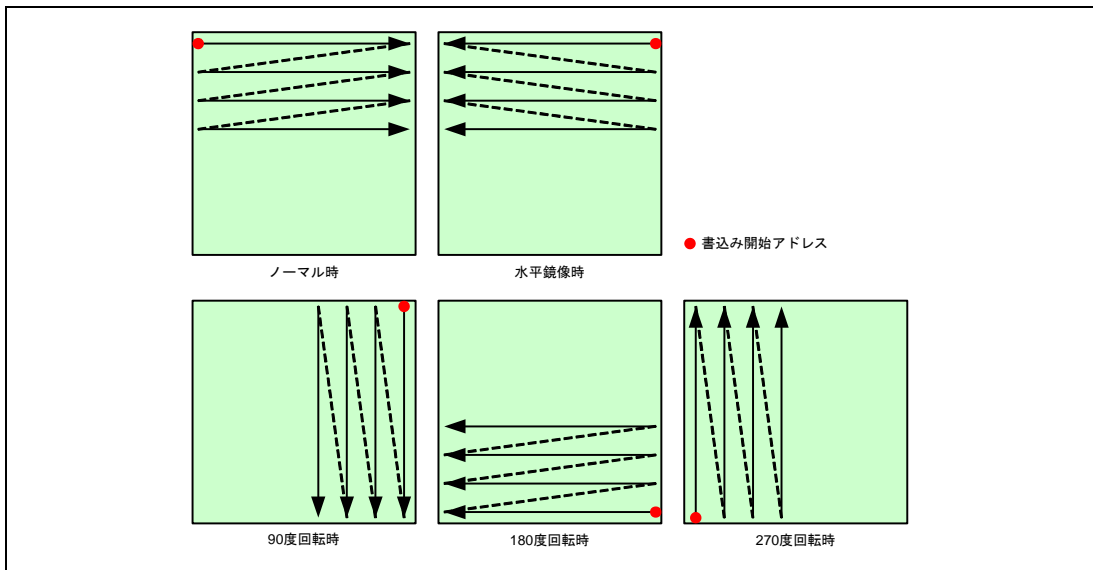


図 33.15 各書き込みモード時のフレームバッファ上のデータ配置のイメージ図

(5) フレームバッファ管理

スケーリング部は、フレームバッファとして複数フレームに対応しています。

RES_FLM_NUM にて設定したフレーム数にて巡回書き込みを行います。

回転処理時は、RES_FLM_NUM=1 (2 フレーム使用) に設定してください。

フレームバッファをライン設定にてリング状に使用する場合は、RES_FLM_NUM=0 (1 フレーム使用)、RES_LOOP=1 に設定してください。

表 33.33 フレームバッファ書き込み制御

レジスタ名	ビット名	初期値	説明
SCL1_WR3	RES_FLM_NUM[9:0]	1	書き込みフレームバッファのフレーム数 RES_FLM_NUM + 1 のフレーム数を使用 通常表示時 : 0 or 1 に設定 (1 面 or 2 面) 水平鏡像表示時 : 0 or 1 に設定 (1 面 or 2 面) 回転表示時 : 1 に設定 (2 面) 録画時 : 保存するフレーム数-1 を設定
SCL1_WR1	RES_LOOP	0	フレームバッファ書き込みモード選択 0 : フレーム書き込みモード 1 : ライン書き込みモード (リング状読み出し)
SCL1_WR7	RES_FLM_CNT[9:0]	-	現在アクセスしている 1 つ前のフレーム番号

(6) バッファオーバーフロー処理

フレームバッファへの書き込み処理にてバストラフィック等の問題で書き込みできなかった場合、オーバーフロー割り込みを割り込み制御に対して出力します。

表 33.34 バッファオーバーフロー検出

レジスタ名	ビット名	初期値	説明
SCL1_WR7	RES_OVERFLOW	-	ラインバッファのオーバーフロー検出 1: ラインバッファオーバーフローあり 0: ラインバッファオーバーフローなし

(7) フレームバッファ書き込み終了フラグ

フレームバッファへ1フレーム分のデータ書き込み処理が終了したらフレームバッファ書き込み終了割り込みを割り込み制御に対して出力します。

33.1.17 拡大処理とグラフィックス(1)処理の選択

拡大処理は、グラフィックス(1)処理と排他動作になり、同時にフレームバッファより読み出すことはできません。

入力される映像信号を表示またはグラフィックスを拡大して表示する場合は、拡大制御部よりフレームバッファのデータを読み出します。

ただし、グラフィックス表示は RGB565、RGB888、YCbCr422 フォーマットのみ拡大制御部にて拡大表示が可能です。

グラフィックスを拡大せずに表示する場合は、グラフィックス(1)処理部よりフレームバッファのデータを読み出します。

RES_IBUS_SYNC_SEL にてフレームバッファ読み出しの同期信号、読み出しサイズ設定レジスタを選択します。

表 33.35 拡大処理とグラフィックス(1)処理の選択

スケーリング表示出力	RES_IBUS_SYNC_SEL	フレームバッファ読み出し同期信号	フレームバッファ読み出しサイズ設定	表示イネーブル設定
入力映像信号表示 グラフィックス拡大表示	0	拡大制御部出力	RES_IN_VW RES_IN_HW	RES_P_VS RES_P_VW RES_P_HS RES_P_HW
グラフィックス表示	1	グラフィックス(1)出力	GR1_FLM_LNUM* GR1_HW*	GR1_GRC_VS GR1_GRC_VW GR1_GRC_HS GR1_GRC_HW

【注】 * レジスタ設定値+1 が読み出しサイズになります。

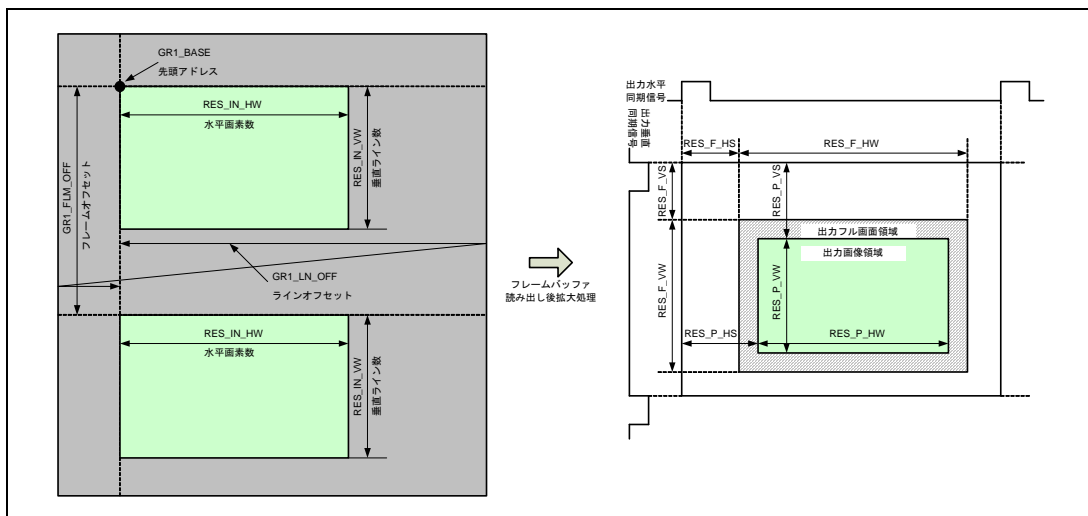


図 33.16 入力映像信号表示、グラフィックス拡大表示時の領域設定

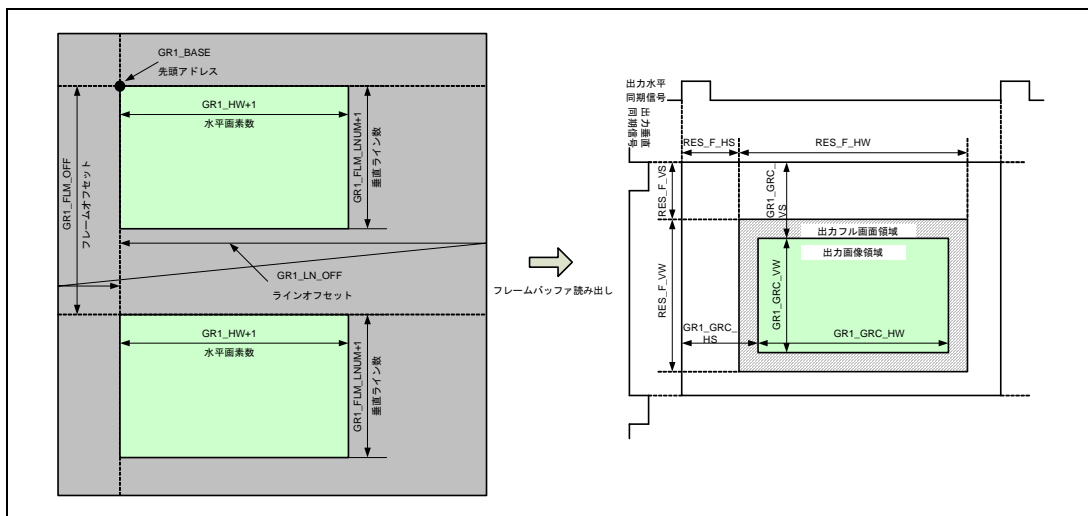


図 33.17 グラフィックス表示時の領域設定

表 33.36 拡大処理とグラフィックス (1) 処理の選択制御

レジスタ名	ビット名	初期値	説明
SCL0_US8	RES_IBUS_SYNC_SEL	0	フレームバッファ読み出し部の同期信号選択 0 : 拡大制御部同期信号 1 : グラフィックス部同期信号

拡大制御部からの表示 (映像表示、グラフィックス拡大表示) とグラフィックス表示の選択は GR1_DISP_SEL にて制御されます。

グラフィックス処理の詳細は後述の画面合成部を参照してください。

33.1.18 フレームバッファ読み出し処理

フレームバッファの読み出し処理、グラフィックス処理に関しては、後述の画面合成部を参照してください。

33.2 レジスタの説明

表 33.37 にレジスタ構成を示します。

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

- : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R/WC1 : リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

- /W : ライトのみ可。読み出し値は不定です。

表 33.37 スケーリング部 レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
SCL0 レジスタ更新制御レジスタ	SCL0_UPDATE	R/WC1	H'0000 0000	H'FFFF 7500	32/16
マスク処理レジスタ	SCL0_FRC1	R/W	H'0AF0 0001	H'FFFF 7504	32/16
欠落補償レジスタ	SCL0_FRC2	R/W	H'0E10 0001	H'FFFF 7508	32/16
出力同期選択レジスタ	SCL0_FRC3	R/W	H'0000 0001	H'FFFF 750C	32/16
自走周期レジスタ	SCL0_FRC4	R/W	H'020C 031F	H'FFFF 7510	32/16
出力遅延制御レジスタ	SCL0_FRC5	R/W	H'0000 0101	H'FFFF 7514	32/16
フル画面垂直サイズレジスタ	SCL0_FRC6	R/W	H'0023 01E0	H'FFFF 7518	32/16
フル画面水平サイズレジスタ	SCL0_FRC7	R/W	H'0090 0280	H'FFFF 751C	32/16
フィールド判別信号切り替えレジスタ (R 版のみ)	SCL0_FRC8	R/W	H'0000 0011	H'FFFF 7520	32/16
同期検出レジスタ	SCL0_FRC9	R	H'0000 0000	H'FFFF 7524	32/16
縮小制御レジスタ	SCL0_DS1	R/W	H'0000 0011	H'FFFF 752C	32/16
取り込み垂直サイズレジスタ	SCL0_DS2	R/W	H'0012 00F0	H'FFFF 7530	32/16
取り込み水平サイズレジスタ	SCL0_DS3	R/W	H'00F4 05A0	H'FFFF 7534	32/16
水平縮小レジスタ	SCL0_DS4	R/W	H'1000 2408	H'FFFF 7538	32/16
垂直初期位相レジスタ	SCL0_DS5	R/W	H'1800 0000	H'FFFF 753C	32/16
垂直スケーリングレジスタ	SCL0_DS6	R/W	H'0000 07FC	H'FFFF 7540	32/16
縮小制御部出力サイズレジスタ	SCL0_DS7	R/W	H'00F0 0280	H'FFFF 7544	32/16
拡大制御レジスタ	SCL0_US1	R/W	H'0000 0011	H'FFFF 7548	32/16
出力画像垂直サイズレジスタ	SCL0_US2	R/W	H'0023 01E0	H'FFFF 754C	32/16
出力画像水平サイズレジスタ	SCL0_US3	R/W	H'0090 0280	H'FFFF 7550	32/16
拡大制御部入力サイズレジスタ	SCL0_US4	R/W	H'00F0 0280	H'FFFF 7554	32/16
水平拡大レジスタ	SCL0_US5	R/W	H'0000 2408	H'FFFF 7558	32/16
水平拡大初期位相レジスタ	SCL0_US6	R/W	H'1000 0000	H'FFFF 755C	32/16

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
トリミングレジスタ	SCL0_US7	R/W	H'0000 0000	H'FFFF 7560	32/16
フレームバッファ読み出し選択レジスタ	SCL0_US8	R/W	H'0000 0000	H'FFFF 7564	32/16
背景色レジスタ	SCL0_OVR1	R/W	H'0080 0080	H'FFFF 756C	32/16
SCL1 レジスタ更新制御レジスタ	SCL1_UPDATE	R/WC1	H'0000 0000	H'FFFF 7580	32/16
書き込み動作モードレジスタ	SCL1_WR1	R/W	H'0000 0000	H'FFFF 7588	32/16
書き込みアドレスレジスタ 1	SCL1_WR2	R/W	H'0000 0000	H'FFFF 758C	32/16
書き込みアドレスレジスタ 2	SCL1_WR3	R/W	H'0800 0001	H'FFFF 7590	32/16
書き込みアドレスレジスタ 3	SCL1_WR4	R/W	H'0008 0000	H'FFFF 7594	32/16
フレーム間引きレジスタ	SCL1_WR5	R/W	H'0000 1000	H'FFFF 759C	32/16
ビット縮退レジスタ	SCL1_WR6	R/W	H'0000 0000	H'FFFF 75A0	32/16
書き込み検出レジスタ	SCL1_WR7	R	H'0000 0000	H'FFFF 75A4	32/16
グラフィックス (1) レジスタ更新制御 レジスタ	GR1_UPDATE	R/WC1	H'0000 0000	H'FFFF 7600	32/16
フレームバッファ読み出し制御レジスタ (グラフィックス (1))	GR1_FLM_RD	R/W	H'0000 0000	H'FFFF 7604	32/16
フレームバッファ制御レジスタ 1 (グラフィックス (1))	GR1_FLM1	R/W	H'0000 0000	H'FFFF 7608	32/16
フレームバッファ制御レジスタ 2 (グラフィックス (1))	GR1_FLM2	R/W	H'0000 0000	H'FFFF 760C	32/16
フレームバッファ制御レジスタ 3 (グラフィックス (1))	GR1_FLM3	R/W	H'0800 0001	H'FFFF 7610	32/16
フレームバッファ制御レジスタ 4 (グラフィックス (1))	GR1_FLM4	R/W	H'0008 0000	H'FFFF 7614	32/16
フレームバッファ制御レジスタ 5 (グラフィックス (1))	GR1_FLM5	R/W	H'0000 03FF	H'FFFF 7618	32/16
フレームバッファ制御レジスタ 6 (グラフィックス (1))	GR1_FLM6	R/W	H'8000 0000	H'FFFF 761C	32/16
アルファブレンド制御レジスタ 1 (グラフィックス (1))	GR1_AB1	R/W	H'0000 0000	H'FFFF 7620	32/16
アルファブレンド制御レジスタ 2 (グラフィックス (1))	GR1_AB2	R/W	H'0000 0000	H'FFFF 7624	32/16
アルファブレンド制御レジスタ 3 (グラフィックス (1))	GR1_AB3	R/W	H'0000 0000	H'FFFF 7628	32/16
アルファブレンド制御レジスタ 7 (グラフィックス (1))	GR1_AB7	R/W	H'00FF 0000	H'FFFF 7638	32/16
アルファブレンド制御レジスタ 8 (グラフィックス (1))	GR1_AB8	R/W	H'0000 0000	H'FFFF 763C	32/16
アルファブレンド制御レジスタ 9 (グラフィックス (1))	GR1_AB9	R/W	H'0000 0000	H'FFFF 7640	32/16

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
アルファブレンド制御レジスタ 10 (グラフィックス(1))	GR1_AB10	R/W	H'0000 0000	H'FFFF 7644	32/16
アルファブレンド制御レジスタ 11 (グラフィックス(1))	GR1_AB11	R/W	H'0000 0000	H'FFFF 7648	32/16
背景色制御レジスタ(グラフィックス(1))	GR1_BASE	R/W	H'0000 8080	H'FFFF 764C	32/16
CLUT テーブル制御レジスタ (グラフィックス(1))	GR1_CLUT	R/W	H'0000 0000	H'FFFF 7650	32/16

33.2.1 SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SCL0_VEN_D	SCL0_VEN_C	—	—	—	SCL0_UPDATE	—	—	—	SCL0_VEN_B	—	—	—	SCL0_VEN_A
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/WC1	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説 明
31~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	SCL0_VEN_D	0	R/WC1	拡大制御、フレームバッファ読み出し制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
12	SCL0_VEN_C	0	R/WC1	縮小制御、フレームバッファ書き込み制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	SCL0_UPDATE	0	R/WC1	同期制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを更新する
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	SCL0_VEN_B	0	R/WC1	同期制御、拡大制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

ビット	ビット名	初期値	R/W	説明
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SCL0_VEN_A	0	R/WC1	縮小制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

33.2.2 マスク処理レジスタ (SCL0_FRC1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RES_VMASK[15:0]															
初期値:	0	0	0	0	1	0	1	0	1	1	1	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RES_VMASK_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~16	RES_VMASK [15:0]	2800	R/W	垂直同期信号の多発マスク期間設定 垂直同期信号からの同期多発マスクをする期間をピクセルクロック周期の 128 倍で設定 マスク期間[usec] = RES_VMASK × 128 ÷ ピクセルクロック[MHz]
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RES_VMASK_ON	1	R/W	垂直同期信号の多発マスク制御 0: 多発マスク制御オフ 1: 多発マスク制御オン

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_UPDATE=1 で更新されます。

33.2.3 欠落補償レジスタ (SCL0_FRC2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RES_VLACK[15:0]															
初期値:	0	0	0	0	1	1	1	0	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RES_VLACK_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~16	RES_VLACK [15:0]	3600	R/W	垂直同期信号の欠落補償期間設定 垂直同期信号から同期欠落補償パルスを出力するまでのウェイト期間をピクセルクロック周期の 128 倍で設定 ウェイト期間[usec] = RES_VLACK × 128 ÷ ピクセルクロック[MHz]
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RES_VLACK _ON	1	R/W	垂直同期信号の欠落補償制御 0: 欠落補償制御オフ 1: 欠落補償制御オン

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_UPDATE=1 で更新されます。

33.2.4 出力同期選択レジスタ (SCL0_FRC3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RES_VS_SEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RES_VS_SEL	1	R/W	出力する垂直同期信号の選択 0: 外部入力垂直同期信号 1: 内部生成した自走用垂直同期信号

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_UPDATE=1 で更新されます。

33.2.5 自走周期レジスタ (SCL0_FRC4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	RES_FV[10:0]										
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RES_FH[10:0]										
初期値:	0	0	0	0	0	0	1	1	0	0	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	RES_FV [10:0]	524	R/W	自走用垂直同期信号の周期設定 自走用垂直同期信号周期 = (RES_FV + 1) × 水平周期[usec]
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	RES_FH [10:0]	799	R/W	水平同期信号の周期設定 水平同期信号周期[usec] = (RES_FH + 1) ÷ ピクセルクロック[MHz]

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_UPDATE=1 で更新されます。

33.2.6 出力遅延制御レジスタ (SCL0_FRC5)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RES_FLD_DLY_SEL	RES_VSDLY[7:0]							
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	RES_FLD_DLY_SEL	1	R/W	フィールド判別信号の遅延制御 0 : 遅延無し 1 : 1 垂直期間遅延
7~0	RES_VSDLY [7:0]	1	R/W	垂直同期信号遅延制御 垂直同期信号を出力水平周期単位にて遅延調整 垂直同期信号遅延量[usec] : RES_VSDLY × 出力水平周期[usec]

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.7 フル画面垂直サイズレジスタ (SCL0_FRC6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	RES_F_VS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RES_F_VW[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	RES_F_VS [10:0]	35	R/W	フル画面の垂直イネーブル信号開始位置設定 (VSYNC+Vバックポーチ ライン数) 【注】4ライン以上、RES_F_VS+RES_F_VWが2039ライン以内になるように設定してください。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	RES_F_VW [10:0]	480	R/W	フル画面の垂直イネーブル信号幅設定 (ライン数) 【注】RES_F_VS+RES_F_VWが2039ライン以内になるように設定してください。

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.8 フル画面水平サイズレジスタ (SCL0_FRC7)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	RES_F_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RES_F_HW[10:0]										
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	RES_F_HS [10:0]	144	R/W	フル画面の水平イネーブル信号開始位置設定 (HSYNC+Hバックポーチ ピクセルクロック数) 【注】16クロック以上、RES_F_HS+RES_F_HWが2015クロック以内になるように設定してください。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	RES_F_HW [10:0]	640	R/W	フル画面の水平イネーブル信号幅設定 (ピクセルクロック数) 【注1】RES_F_HS+RES_F_HWが2015クロック以内になるように設定してください。 【注2】LCD出力信号としてシリアルRGB出力を選択する場合は、(フル画面の水平信号幅+2)を設定してください。

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.9 フィールド判別信号切り替えレジスタ (SCL0_FRC8) (R版のみ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RES_US_FLD	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W:	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	RES_US_FLD	0	R/W	フィールド判別信号切り替え 0:同期制御部が生成するフィールド判別信号 1:読み出しフレーム番号(フレーム0:TOP、フレーム1:BOTTOM) 【注】RES_FLM_MD=0の場合は、本ビットに0を設定してください。
9~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.10 同期検出レジスタ (SCL0_FRC9)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RES_QVLOCK	—	—	—	RES_QVLACK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	RES_QVLOCK	0	R	垂直同期信号ロック検出フラグ 1: 入力垂直同期信号に多発または欠落なしが4垂直期間以上連続 0: 入力垂直同期信号に多発または欠落あり
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RES_QVLACK	0	R	垂直同期信号欠落検出フラグ 1: 入力垂直同期信号欠落あり 0: 入力垂直同期信号欠落なし

33.2.11 縮小制御レジスタ (SCL0_DS1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RES_DS_V_ON	—	—	—	RES_DS_H_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	RES_DS_V_ON	1	R/W	垂直縮小オン/オフ設定 0: オフ 1: オン
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RES_DS_H_ON	1	R/W	水平縮小オン/オフ設定 0: オフ 1: オン

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_A=1 で更新されます。

33.2.12 取り込み垂直サイズレジスタ (SCL0_DS2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	RES_VS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RES_VW[10:0]										
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	RES_VS [10:0]	18	R/W	取込映像信号垂直位置設定 (VSYNC+Vバックポーチ-1ライン数) 【注】4ライン以上、RES_VS+RES_VWが2039ライン以内になるように設定してください。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	RES_VW [10:0]	240	R/W	取込映像信号垂直幅 (ライン数) 【注】RES_VS+RES_VWが2039ライン以内になるように設定してください。

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_A=1 で更新されます。

33.2.13 取り込み水平サイズレジスタ (SCL0_DS3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	RES_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RES_HW[10:0]										
初期値:	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	RES_HS [10:0]	244	R/W	取込映像信号水平位置設定 (HSYNC+Hバックポーチ 映像クロック数) 【注】16クロック以上、RES_HS+RES_HWが2015クロック以内になるように設定してください。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	RES_HW [10:0]	1440	R/W	取込映像信号水平幅 (映像クロック数) 【注】RES_HS+RES_HWが2015クロック以内になるように設定してください。

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_A=1 で更新されます。

33.2.14 水平縮小レジスタ (SCL0_DS4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RES_PFIL_SEL	RES_DS_H_INTERPOTYP	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RES_DS_H_RATIO[15:0]															
初期値:	0	0	1	0	0	1	0	0	0	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	RES_PFIL_SEL	0	R/W	輝度信号プリフィルタモード選択 0: プリフィルタオフ 1: プリフィルタオン (1/4 + 1/2 + 1/4)
28	RES_DS_H_INTERPOTYP	1	R/W	水平補間方法選択 0: ホールド補間 1: リニア補間
27~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	RES_DS_H_RATIO [15:0]	9224	R/W	水平縮小率 [15:12]: 整数部 [11:0]: 小数部 round (RES_HW ÷ RES_OUT_HW × 4096) RES_DS_H_RATIO < 4096 : 設定禁止、 RES_DS_H_RATIO = 4096 : 等倍、 RES_DS_H_RATIO > 4096 : 縮小

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_A=1 で更新されます。

33.2.15 垂直初期位相レジスタ (SCL0_DS5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	RES_V_INTERPOTYP	RES_TOP_INIPHASE[11:0]											
初期値:	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RES_BTM_INIPHASE[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28	RES_V_INTERPOTYP	1	R/W	垂直補間方法選択 0: ホールド補間 1: リニア補間
27~16	RES_TOP_INIPHASE [11:0]	2048	R/W	TOP フィールド垂直補間開始位相値 0~4095 (0~約 1.0)
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	RES_BTM_INIPHASE [11:0]	0	R/W	BOTTOM フィールド垂直補間開始位相値 0~4095 (0~約 1.0)

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_A=1 および SCL0_VEN_B=1 で更新されます。

33.2.16 垂直スケーリングレジスタ (SCL0_DS6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RES_V_RATIO[15:0]															
初期値:	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~0	RES_V_RATIO [15:0]	2044	R/W	垂直拡大/縮小率 [15:12]: 整数部 [11:0]: 小数部 round(RES_VW ÷ RES_OUT_VW × 4096): 縮小時 iround(RES_IN_VW ÷ RES_P_VW × 4096): 拡大時 RES_V_RATIO < 4096: 拡大、 RES_V_RATIO = 4096: 等倍、 RES_V_RATIO > 4096: 縮小

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_A=1 および SCL0_VEN_B=1 で更新されます。このため、グラフィックス拡大表示を行う場合でも入力垂直同期信号と出力垂直同期信号の両方が必要となります。

33.2.17 縮小制御部出力サイズレジスタ (SCL0_DS7)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	RES_OUT_VW[10:0]										
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RES_OUT_HW[10:0]										
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	RES_OUT_VW [10:0]	240	R/W	縮小制御部出力の垂直有効ライン数 (ライン数) 本ビットの設定は、フレームバッファへの書き込みライン数に反映され ます。 SCL1_WR1.RES_LOOP=0 (フレーム書き込みモード) 設定時は、 1 フレーム分のライン数を指定してください。 SCL1_WR1.RES_LOOP=1 (ライン書き込みモード) 設定時は、リング状に 書き出すライン数を指定してください。 【注】 RES_OUT_VW は、4 ラインアライメントかつ RES_OUT_VW RES_VW で設定してください。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	RES_OUT_HW [10:0]	640	R/W	縮小制御部出力の水平有効画素数 (映像クロック数) 【注】 RES_OUT_HW は、4 画素アライメントかつ RES_OUT_HW RES_HW で設定してください。

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_A=1 および SCL0_VEN_C=1 で更新されます。

33.2.18 拡大制御レジスタ (SCL0_US1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RES_US_V_ON	—	—	—	RES_US_H_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	RES_US_V_ON	1	R/W	垂直拡大オン/オフ設定 0: オフ 1: オン
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RES_US_H_ON	1	R/W	水平拡大オン/オフ設定 0: オフ 1: オン

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.19 出力画像垂直サイズレジスタ (SCL0_US2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	RES_P_VS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RES_P_VW[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	RES_P_VS [10:0]	35	R/W	画像出力の垂直イネーブル信号開始位置設定 (VSYNC+Vバックポーチ ライン数) 【注】4ライン以上、RES_P_VS+RES_P_VWが2039ライン以内になるように設定してください。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	RES_P_VW [10:0]	480	R/W	画像出力の垂直イネーブル信号幅設定 (ライン数) 【注】RES_P_VS+RES_P_VWが2039ライン以内になるように設定してください。

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.20 出力画像水平サイズレジスタ (SCL0_US3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	RES_P_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RES_P_HW[10:0]										
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	RES_P_HS [10:0]	144	R/W	画像出力の水平イネーブル信号開始位置設定 (HSYNC+Hバックポーチ ピクセルクロック数) 【注】16クロック以上、RES_P_HS+RES_P_HWが2015クロック以内になるように設定してください。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	RES_P_HW [10:0]	640	R/W	画像出力の水平イネーブル信号幅設定 (ピクセルクロック数) 【注】RES_P_HS+RES_P_HWが2015クロック以内になるように設定してください。

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.21 拡大制御部入力サイズレジスタ (SCL0_US4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	RES_IN_VW[10:0]										
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RES_IN_HW[10:0]										
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	RES_IN_VW [10:0]	240	R/W	拡大制御部入力の垂直有効ライン数 (ライン数)
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	RES_IN_HW [10:0]	640	R/W	拡大制御部入力の水平有効画素数 (ピクセルクロック数)

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 および SCL0_VEN_D=1 で更新されます。

33.2.22 水平拡大レジスタ (SCL0_US5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RES_US_H_RATIO[15:0]															
初期値:	0	0	1	0	0	1	0	0	0	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~0	RES_US_H_RATIO [15:0]	9224	R/W	水平拡大率 [15:12]: 整数部 [11:0]: 小数部 $\text{round}(\text{RES_IN_HW} \div \text{RES_P_HW} \times 4096)$ RES_US_H_RATIO<4096: 拡大、 RES_US_H_RATIO=4096: 等倍、 RES_US_H_RATIO>4096: 設定禁止

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.23 水平拡大初期位相レジスタ (SCL0_US6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	RES_US_H_INTERPOTYP	RES_US_HT_INIPHASE[11:0]											
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RES_US_HB_INIPHASE[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	RES_US_H_INTERPOTYP	1	R/W	水平補間方法指示 0: ホールド補間 1: リニア補間
27~16	RES_US_HT_INIPHASE [11:0]	0	R/W	TOP フィールド水平補間開始位相値 0~4095 (0~約1.0)
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~0	RES_US_HB_INIPHASE [11:0]	0	R/W	BOTTOM フィールド水平補間開始位相値 0~4095 (0~約1.0)

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.24 トリミングレジスタ (SCL0_US7)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RES_HCUT[7:0]								RES_VCUT[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~8	RES_HCUT [7:0]	0	R/W	スケーリング後画像の水平方向左右カット数 ピクセルクロック数を設定
7~0	RES_VCUT [7:0]	0	R/W	スケーリング後画像の垂直方向上下カット数 ライン数を設定

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.25 フレームバッファ読み出し選択レジスタ (SCL0_US8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RES_IBUS_SYNC_SEL	—	—	—	RES_DISP_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	RES_IBUS_SYNC_SEL	0	R/W	フレームバッファ読み出し部の同期信号選択 0: 拡大制御部同期信号 1: グラフィック部同期信号
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RES_DISP_ON	0	R/W	トリミング後画像の枠表示オン/オフ設定 0: 枠表示オフ 1: 枠表示オン

【注】 RES_IBUS_SYNC_SEL は、SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 および SCL0_VEN_D=1 で更新されます。

RES_DISP_ON は、SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.26 背景色レジスタ (SCL0_OVR1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	RES_BK_COL_R[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RES_BK_COL_G[7:0]								RES_BK_COL_B[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	RES_BK_ COL_R [7:0]	128	R/W	背景表示色設定 R/Cr 信号 R : 8 ビット符号無し (0~255[LSB]) Cr : 8 ビット 128 オフセットバイナリ符号無し (0~255[LSB])
15~8	RES_BK_ COL_G [7:0]	0	R/W	背景表示色設定 G/Y 信号 G/Y : 8 ビット符号無し (0~255[LSB])
7~0	RES_BK_ COL_B [7:0]	128	R/W	背景表示色設定 B/Cb 信号 B : 8 ビット符号無し (0~255[LSB]) Cb : 8 ビット 128 オフセットバイナリ符号無し (0~255[LSB])

【注】 本レジスタはすべて SCL0 レジスタ更新制御レジスタ (SCL0_UPDATE) の SCL0_VEN_B=1 で更新されます。

33.2.27 SCL1 レジスタ更新制御レジスタ (SCL1_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SCL1_VEN_B	—	—	—	SCL1_VEN_A
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SCL1_VEN_B	0	R/WC1	フレームバッファ書き込み制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SCL1_VEN_A	0	R/WC1	フレームバッファ書き込み制御のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

33.2.28 書き込み動作モードレジスタ (SCL1_WR1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RES_FLM_MD	—	RES_DS_WR_MD[2:0]	RES_MD[1:0]	RES_LOOP	RES_BST_MD			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	RES_FLM_MD	0	R/W	フレームバッファアドレス生成モード選択 0: RES_BASE + RES_FLM_OFF × フレーム番号 1: RES_BASE + RES_FLM_OFF × フィールド情報 (TOP: 0, BOTTOM: 1) 【注】プログレッシブ信号入力時は、本ビットに 0 を設定してください。本ビットを 1 に設定する場合、フレームバッファは必ず 2 面に設定してください。 本ビットは R 版にのみ実装されています。R 版以外では、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	RES_DS_WR_MD [2:0]	0	R/W	フレームバッファ書き込み動作モード 0: 通常書き込み 1: 水平鏡像書き込み 2: 90 度回転書き込み 3: 180 度回転書き込み 4: 270 度回転書き込み 5~7: 設定禁止
3, 2	RES_MD [1:0]	0	R/W	フレームバッファ書き込み映像フォーマット 0: YCbCr422 (16 ビット) 1: RGB565 (16 ビット) 2: RGB888 (24 (32) ビット) 3: 設定禁止
1	RES_LOOP	0	R/W	フレームバッファ書き込みモード選択 0: フレーム書き込みモード 1: ライン書き込みモード (リング状読み出し)
0	RES_BST_MD	0	R/W	フレームバッファ書き込み転送のバースト長 0: 32 バイト 1: 128 バイト

【注】 RES_FLM_MD、RES_LOOP、RES_BST_MD は SCL1 レジスタ更新制御レジスタ (SCL1_UPDATE) の SCL1_VEN_B=1 で更新されます。

RES_DS_WR_MD、RES_MD は SCL1 レジスタ更新制御レジスタ (SCL1_UPDATE) の SCL1_VEN_A=1 および SCL1_VEN_B=1 で更新されます。

33.2.29 書き込みアドレスレジスタ 1 (SCL1_WR2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RES_BASE[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RES_BASE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RES_BASE [31:0]	0	R/W	フレームバッファのベースアドレス フレームデータを格納するフレームバッファの先頭アドレスを設定 32バイト転送時: 下位5ビットは0_0000固定してください。 128バイト転送時: 下位7ビットは000_0000固定してください。

【注】 本レジスタはすべて SCL1 レジスタ更新制御レジスタ (SCL1_UPDATE) の SCL1_VEN_B=1 で更新されます。

33.2.30 書き込みアドレスレジスタ 2 (SCL1_WR3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	RES_LN_OFF[14:0]														
初期値:	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RES_FLM_NUM[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~16	RES_LN_OFF [14:0]	2048	R/W	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定 ライン0: RES_BASE ライン1: RES_BASE + RES_LN_OFF × 1 : ラインn: RES_BASE + RES_LN_OFF × n 32バイト転送時: 下位5ビットは0_0000 固定してください。 128バイト転送時: 下位7ビットは000_0000 固定してください。
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	RES_FLM_NUM [9:0]	1	R/W	書き込みフレームバッファのフレーム数 RES_FLM_NUM + 1 のフレーム数を使用 通常表示時 : 0 or 1 に設定 (1面 or 2面) 水平鏡像表示時: 0 or 1 に設定 (1面 or 2面) 回転表示時 : 1 に設定 (2面) 録画時 : 保存するフレーム数-1 を設定

【注】 本レジスタはすべて SCL1 レジスタ更新制御レジスタ (SCL1_UPDATE) の SCL1_VEN_B=1 で更新されます。

33.2.31 書き込みアドレスレジスタ 3 (SCL1_WR4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	RES_FLM_OFF[22:16]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RES_FLM_OFF[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22~0	RES_FLM_OFF [22:0]	524288	R/W	フレームバッファのフレームオフセットアドレス 各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定 バッファ 0 : RES_BASE バッファ 1 : RES_BASE + RES_FLM_OFF × 1 : バッファ n : RES_BASE + RES_FLM_OFF × n 32 バイト転送時 : 下位 5 ビットは 0_0000 固定してください。 128 バイト転送時 : 下位 7 ビットは 000_0000 固定してください。

【注】 本レジスタはすべて SCL1 レジスタ更新制御レジスタ (SCL1_UPDATE) の SCL1_VEN_B=1 で更新されます。

33.2.32 フレーム間引きレジスタ (SCL1_WR5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	RES_INTER	—	—	RES_FS_RATE[1:0]	—	—	—	RES_FLD_SEL	—	—	—	—	RES_WENB
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	RES_INTER	1	R/W	フィールド動作モード設定 0: プログレッシブ 1: インタレース
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	RES_FS_RATE [1:0]	0	R/W	書き込み間隔 入力信号に対し書き込みフレームレートを設定します 0: 入力信号に対して 1/1 (RES_FLD_SEL の設定は無効となります) 1: 入力信号に対して 1/2 2: 入力信号に対して 1/4 3: 入力信号に対して 1/8
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	RES_FLD_SEL	0	R/W	書き込みフィールド選択 0: TOP フィールド 1: BOTTOM フィールド
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RES_WENB	0	R/W	フレームバッファ書き込み許可 書き込み許可設定後、2フレーム目から書き込みを開始します。 0: 書き込み禁止 1: 書き込み許可

【注】 本レジスタはすべて SCL1 レジスタ更新制御レジスタ (SCL1_UPDATE) の SCL1_VEN_A=1 で更新されます。

33.2.33 ビット縮退レジスタ (SCL1_WR6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RES_DTH_ON	—	—	—	RES_BITDEC_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	RES_DTH_ON	0	R/W	ディザ補正オン/オフ設定 0: オフ (四捨五入) 1: オン (2x2 パターンディザ)
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RES_BITDEC_ON	0	R/W	ビット縮退オン/オフ設定 0: オフ 1: オン

【注】 本レジスタはすべて SCL1 レジスタ更新制御レジスタ (SCL1_UPDATE) の SCL1_VEN_A=1 で更新されます。

33.2.34 書き込み検出レジスタ (SCL1_WR7)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RES OVER FLOW	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	RES_FLM_CNT[9:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	RES_ OVERFLOW	0	R	ラインバッファのオーバーフロー検出 1:ラインバッファオーバーフローあり 0:ラインバッファオーバーフローなし
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	RES_FLM_CNT [9:0]	0	R	現在アクセスしている1つ前のフレーム番号

33.2.35 グラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	GR1_P_VEN	—	—	—	GR1_IBUS_VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR1_P_VEN	0	R/WC1	グラフィックス表示のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR1_IBUS_VEN	0	R/WC1	フレームバッファ読み出しのレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

33.2.36 フレームバッファ読み出し制御レジスタ (グラフィックス (1)) (GR1_FLM_RD)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR1_R_ENB
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR1_R_ENB	0	R/W	フレームバッファ読み出し許可 0: 読み出しを禁止 1: 読み出しを許可

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_IBUS_VEN=1 で更新されます。

33.2.37 フレームバッファ制御レジスタ 1 (グラフィックス (1)) (GR1_FLM1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR1_LN_OFF_DIR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GR1_FLM_SEL[1:0]	—	—	—	GR1_IMR_FLM_INV	—	—	—	—	GR1_BST_MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR1_LN_OFF_DIR	0	R/W	フレームバッファのラインオフセットアドレスの方向設定 0: ラインオフセットアドレス分をインクリメント 1: ラインオフセットアドレス分をデクリメント
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9, 8	GR1_FLM_SEL [1:0]	0	R/W	フレームバッファアドレス設定信号の選択 0: 縮小処理と連携 1: GR1_FLM_NUM を選択 2: 歪み補正処理と連携 3: 設定禁止
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR1_IMR_FLM_INV	0	R/W	歪み補正フレームバッファ番号設定 0: 読み出しフレームバッファ番号入れ替えなし 1: 読み出しフレームバッファ番号入れ替えあり
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR1_BST_MD	0	R/W	フレームバッファバースト転送モード 0: 32 バイト 1: 128 バイト

【注】 GR1_LN_OFF_DIR、GR1_FLM_SEL、GR1_IMR_FLM_INV はグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_IBUS_VEN=1 で更新されます。

GR1_BST_MD はグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_IBUS_VEN=1 および GR1_P_VEN=1 で更新されます。

33.2.38 フレームバッファ制御レジスタ 2 (グラフィックス (1)) (GR1_FLM2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR1_BASE[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR1_BASE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	GR1_BASE [31:0]	0	R/W	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32 バイトバースト転送時は GR_BASE[4:3]、128 バイトバースト転送時は GR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位 3 ビットは 000 固定してください。

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_IBUS_VEN=1 および GR1_P_VEN=1 で更新されます。

33.2.39 フレームバッファ制御レジスタ 3 (グラフィックス (1)) (GR1_FLM3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">-</td> <td colspan="15" style="text-align: center;">GR1_LN_OFF[14:0]</td> </tr> </table>																-	GR1_LN_OFF[14:0]														
-	GR1_LN_OFF[14:0]																															
初期値:	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0																
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">-</td> <td style="width: 10%;">-</td> <td style="width: 10%;">-</td> <td style="width: 10%;">-</td> <td style="width: 10%;">-</td> <td style="width: 10%;">-</td> <td colspan="10" style="text-align: center;">GR1_FLM_NUM[9:0]</td> </tr> </table>																-	-	-	-	-	-	GR1_FLM_NUM[9:0]									
-	-	-	-	-	-	GR1_FLM_NUM[9:0]																										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1																
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30~16	GR1_LN_OFF [14:0]	2048	R/W	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。 ライン 0: GR1_BASE ライン 1: GR1_BASE + GR1_LN_OFF × 1 : ライン n: GR1_BASE + GR1_LN_OFF × n 32 バイト転送時: 下位 5 ビットは 0_0000 固定してください。 128 バイト転送時: 下位 7 ビットは 000_0000 固定してください。
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	GR1_FLM_NUM [9:0]	1	R/W	フレームバッファのフレーム番号 GR1_FLM_SEL = 1 のとき、フレーム番号を手動設定します。

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_IBUS_VEN=1 で更新されます。

33.2.40 フレームバッファ制御レジスタ 4 (グラフィックス (1)) (GR1_FLM4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	GR1_FLM_OFF[22:16]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR1_FLM_OFF[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22~0	GR1_FLM_OFF [22:0]	524288	R/W	フレームバッファのフレームオフセットアドレス 複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定します。 バッファ 0: GR1_BASE バッファ 1: GR1_BASE + GR1_FLM_OFF × 1 : バッファ n: GR1_BASE + GR1_FLM_OFF × n 32 バイト転送時: 下位 5 ビットは 0_0000 固定してください。 128 バイト転送時: 下位 7 ビットは 000_0000 固定してください。

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_IBUS_VEN=1 で更新されます。

33.2.41 フレームバッファ制御レジスタ 5 (グラフィックス (1)) (GR1_FLM5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	GR1_FLM_LNUM[9:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	GR1_FLM_LOOP[9:0]											
初期値:	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~16	GR1_FLM_LNUM [9:0]	0	R/W	1 フレームのライン数設定 ライン数は (GR1_FLM_LNUM + 1) ラインになります。
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	GR1_FLM_LOOP [9:0]	1023	R/W	アドレスをリング状に読み出す場合のライン数 ライン数は (GR1_FLM_LOOP + 1) ラインになります。

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_IBUS_VEN=1 で更新されます。

33.2.42 フレームバッファ制御レジスタ 6 (グラフィックス (1)) (GR1_FLM6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR1_FORMAT[3:0]				—	—	GR1_HW[9:0]									
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR1_YCC_SWAP[2:0]		GR1_ENDIAN_ON	—	—	—	GR1_CNV4444_MD	—	—	GR1_STA_POS[5:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	GR1_FORMAT [3:0]	8	R/W	フレームバッファ読み出し信号のフォーマット設定 0: RGB565 1: RGB888 2: RGB1555 3: RGB4444 4: RGB8888 5: CLUT8 6: CLUT4 7: CLUT1 8: YCbCr422 9~15: 設定禁止
27, 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~16	GR1_HW [9:0]	0	R/W	水平有効期間の幅設定 幅は (GR1_HW + 1) 画素になります。 【注】 2 以上の値を設定してください。
15~13	GR1_YCC _SWAP [2:0]	0	R/W	YCbCr422 フォーマット時バッファ読み出しデータのスワップ制御 GR1_ENDIAN_ON=1 のときのみ有効 0:Cb/Y0/Cr/Y1 1:Y0/Cb/Y1/Cr 2:Cr/Y0/Cb/Y1 3:Y0/Cr/Y1/Cb 4:Y1/Cr/Y0/Cb 5:Cr/Y/Cb/Y0 6:Y1/Cb/Y0/Cr 7:Cb/Y1/Cr/Y0

ビット	ビット名	初期値	R/W	説明
12	GR1_ENDIAN_ON	0	R/W	バッファ読み出しデータのエンディアン制御オン/オフ設定 0: オフ 1: オン
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR1_CNV444_MD	0	R/W	YCbCr422 YCbCr444 変換時の補間モード設定 0: ホールド補間 1: 平均値補間
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5~0	GR1_STA_POS[5:0]	0	R/W	データの読み飛ばし量 ラインの先頭から GR1_STA_POS 分のデータを読み飛ばします。

【注】 GR1_YCC_SWAP、GR1_ENDIAN_ON、GR1_CNV444、GR1_STA_POS はグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_P_VEN=1 で更新されます。

GR1_FORMAT、GR1_HW はグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_IBUS_VEN=1 および GR1_P_VEN=1 で更新されます。

33.2.43 アルファブレンド制御レジスタ 1 (グラフィックス (1)) (GR1_AB1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	GR1_GRC_DISP_ON	—	—	GR1_DISP_SEL[1:0]	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR1_GRC_DISP_P_ON	0	R/W	グラフィックス画像領域の枠の表示オン/オフ設定 0: 表示オフ 1: 表示オン
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	GR1_DISP_SEL [1:0]	0	R/W	グラフィックス表示設定 0: 背景色表示 (レジスタ GR1_BASE) 1: 下層グラフィックス表示 映像表示またはグラフィックス拡大表示の場合は、上記を選択してください。 2: カレントグラフィックス表示 グラフィックス表示の場合は、上記を選択してください。 3: 下層グラフィックスとカレントグラフィックスのブレンド表示* 【注】* クロマキー処理を行う際に設定します。クロマキー処理を行う際は、カレントグラフィックスのみを表示させるために、クロマキー対象画素を置換する 値およびクロマキー対象外画素の値を 255 にしてください。

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_P_VEN=1 で更新されず。

33.2.44 アルファブレンド制御レジスタ 2 (グラフィックス (1)) (GR1_AB2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	GR1_GRC_VS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	GR1_GRC_VW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	GR1_GRC_VS [10:0]	0	R/W	グラフィックス画像領域の垂直開始位置設定 【注】4 ライン以上、GR1_GRC_VS+GR1_GRC_VW が 2039 ライン以内になるように設定してください。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	GR1_GRC_VW [10:0]	0	R/W	グラフィックス画像領域の垂直幅設定

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_P_VEN=1 で更新されません。

33.2.45 アルファブレンド制御レジスタ 3 (グラフィックス (1)) (GR1_AB3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	GR1_GRC_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	GR1_GRC_HW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	GR1_GRC_HS [10:0]	0	R/W	グラフィックス画像領域の水平開始位置設定 【注】16クロック以上、GR1_GRC_HS+GR1_GRC_HWが2015クロック以内になるように設定してください。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	GR1_GRC_HW [10:0]	0	R/W	グラフィックス画像領域の水平幅設定 【注】水平幅 1,2 画素表示を行う場合は、GR1_HW=2、GR1_GRC_HW=1 (1画素)、2 (2画素) と設定してください。

【注】本レジスタはすべてグラフィックス(1)レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_P_VEN=1 で更新されます。

33.2.46 アルファブレンド制御レジスタ 7 (グラフィックス (1)) (GR1_AB7)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	GR1 CK_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	GR1_CK_ON	0	R/W	CLUT 参照 / RGB 参照クロマキー処理オン / オフ設定 0: オフ、1: オン

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_P_VEN=1 で更新されま
す。

33.2.47 アルファブレンド制御レジスタ 8 (グラフィックス (1)) (GR1_AB8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR1_CK_KCLUT[7:0]								GR1_CK_KG[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR1_CK_KB[7:0]								GR1_CK_KR[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR1_CK_KCLUT[7:0]	0	R/W	CLUT 参照クロマキー処理対象 CLUT 信号 CLUT : 8 ビット符号無し (0~255[LSB])
23~16	GR1_CK_KG[7:0]	0	R/W	RGB 参照クロマキー処理対象 G 信号 G : 8 ビット符号無し (0~255[LSB])
15~8	GR1_CK_KB[7:0]	0	R/W	RGB 参照クロマキー処理対象 B 信号 B : 8 ビット符号無し (0~255[LSB])
7~0	GR1_CK_KR[7:0]	0	R/W	RGB 参照クロマキー処理対象 R 信号 R : 8 ビット符号無し (0~255[LSB])

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_P_VEN=1 で更新されます。

33.2.48 アルファブレンド制御レジスタ 9 (グラフィックス (1)) (GR1_AB9)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR1_CK_A[7:0]								GR1_CK_G[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR1_CK_B[7:0]								GR1_CK_R[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR1_CK_A [7:0]	0	R/W	RGB 参照クロマキー処理置換後アルファ信号 : 8 ビット符号無し (0~255[LSB]) 【注】カレントグラフィックスのみを表示させるために、必ず 255 に設定してください。
23~16	GR1_CK_G [7:0]	0	R/W	RGB 参照クロマキー処理置換後 G 信号 G : 8 ビット符号無し (0~255[LSB])
15~8	GR1_CK_B [7:0]	0	R/W	RGB 参照クロマキー処理置換後 B 信号 B : 8 ビット符号無し (0~255[LSB])
7~0	GR1_CK_R [7:0]	0	R/W	RGB 参照クロマキー処理置換後 R 信号 R : 8 ビット符号無し (0~255[LSB])

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_P_VEN=1 で更新されません。

33.2.49 アルファブレンド制御レジスタ 10 (グラフィックス (1)) (GR1_AB10)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR1_A0[7:0]								GR1_G0[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR1_B0[7:0]								GR1_R0[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR1_A0 [7:0]	0	R/W	CLUT1 の 0 信号 CLUT1 フォーマットかつ CLUT1=0 のときに 信号に置換 RGB1555 フォーマットかつ =0 のときに 信号に置換 【注】カレントグラフィックスのみを表示させるために、必ず 255 に設定してください。
23~16	GR1_G0 [7:0]	0	R/W	CLUT1 の G0 信号 CLUT1 フォーマットかつ CLUT1=0 のときに G 信号に置換
15~8	GR1_B0 [7:0]	0	R/W	CLUT1 の B0 信号 CLUT1 フォーマットかつ CLUT1=0 のときに B 信号に置換
7~0	GR1_R0 [7:0]	0	R/W	CLUT1 の R0 信号 CLUT1 フォーマットかつ CLUT1=0 のときに R 信号に置換

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_P_VEN=1 で更新されません。

33.2.50 アルファブレンド制御レジスタ 11 (グラフィックス (1)) (GR1_AB11)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR1_A1[7:0]								GR1_G1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR1_B1[7:0]								GR1_R1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR1_A1 [7:0]	0	R/W	CLUT1 の 1 信号 CLUT1 フォーマットかつ CLUT1=1 のときに 信号に置換 RGB1555 フォーマットかつ =1 のときに 信号に置換 【注】カレントグラフィックスのみを表示させるために、必ず 255 に設定してください。
23~16	GR1_G1 [7:0]	0	R/W	CLUT1 の G1 信号 CLUT1 フォーマットかつ CLUT1=1 のときに G 信号に置換
15~8	GR1_B1 [7:0]	0	R/W	CLUT1 の B1 信号 CLUT1 フォーマットかつ CLUT1=1 のときに B 信号に置換
7~0	GR1_R1 [7:0]	0	R/W	CLUT1 の R1 信号 CLUT1 フォーマットかつ CLUT1=1 のときに R 信号に置換

【注】 本レジスタはすべてグラフィックス (1) レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_P_VEN=1 で更新されません。

33.2.51 背景色制御レジスタ (グラフィックス (1)) (GR1_BASE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	GR1_BASE_G[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR1_BASE_B[7:0]								GR1_BASE_R[7:0]							
初期値:	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23~16	GR1_BASE_G [7:0]	0	R/W	背景色 G 信号 G : 8 ビット符号無し (0~255[LSB])
15~8	GR1_BASE_B [7:0]	128	R/W	背景色 B 信号 B : 8 ビット符号無し (0~255[LSB])
7~0	GR1_BASE_R [7:0]	128	R/W	背景色 R 信号 R : 8 ビット符号無し (0~255[LSB])

【注】 本レジスタはすべてグラフィックス(1)レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_P_VEN=1 で更新されます。

33.2.52 CLUT テーブル制御レジスタ (グラフィックス (1)) (GR1_CLUT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR1_CLT_SEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR1_CLT_SEL	0	R/W	CLUT テーブル選択信号 0: CLUT テーブル0 を選択 CLUT テーブル0 を参照し RGB8888 に展開します。 CPU 側は CLUT テーブル1 にリード/ライトすることができます。 1: CLUT テーブル1 を選択 CLUT テーブル1 を参照し RGB8888 に展開します。 CPU 側は CLUT テーブル0 にリード/ライトすることができます。
15~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 本レジスタはすべてグラフィックス(1)レジスタ更新制御レジスタ (GR1_UPDATE) の GR1_P_VEN=1 で更新され
ず。

33.3 使用方法

33.3.1 525i 映像入力、VGA(640×480) サイズ映像出力時のスケーリング設定例

(1) 入出力画角

表 33.38 の入出力画角の信号に対しての設定例を示します。

オーバースキャン率は 100%とします。

表 33.38 525i 映像入力、VGA(640×480) サイズ映像出力時の入出力画角

入力信号	出力信号	信号フォーマット	回転	バッファ面	スケーリングフィルタ
1440×240	640×480	YCbCr	通常	2面	2TAP リニア

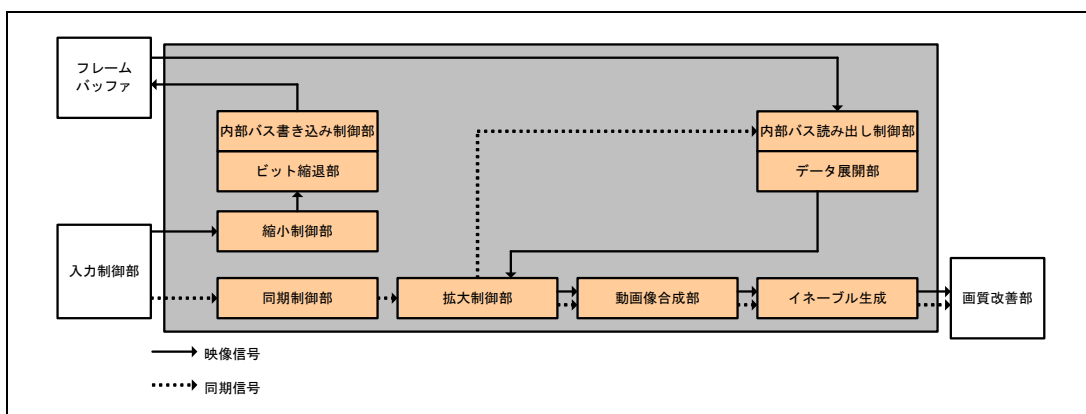


図 33.18 入力映像表示時の信号経路

(2) 水平スケーリング (水平縮小、スケーリングフィルタは 2TAP リニア)

折り返し対策でのスケーリング率算出は以下となります。

$$\begin{aligned} \text{RATIO_org} &= \text{round}(1440 \div 640 \times 4096) = 9216 \\ &= (9216 \times (640 - 1) - (1440 - 1) \times 4096) \div (640 - 1) = -8.01 \\ \text{水平スケーリング率} &= \text{roundup}(9216 - (-8.01)) = 9225 \end{aligned}$$

(3) 垂直スケーリング (垂直拡大、スケーリングフィルタは 2TAP リニア)

折り返し対策でのスケーリング率算出は以下となります。

$$\begin{aligned} \text{RATIO_org} &= \text{round}(240 \div 480 \times 4096) = 2048 \\ &= (2048 \times (480 - 1) - (240 - 1) \times 4096) \div (480 - 1) = 4.27 \\ \text{垂直スケーリング率} &= \text{round}(2048 - (4.07)) = 2044 \end{aligned}$$

(4) フレームバッファアクセス領域設定

フレームバッファへは縮小スケーリング後に映像データを書き込むため、書き込みサイズは 640×240 となります。

フレームバッファのラインオフセットは 640 画素以上、フレームオフセットはラインオフセット×240 以上のバッファ領域が必要になります。

フレームバッファの work 領域を 1024 × 256 とします。

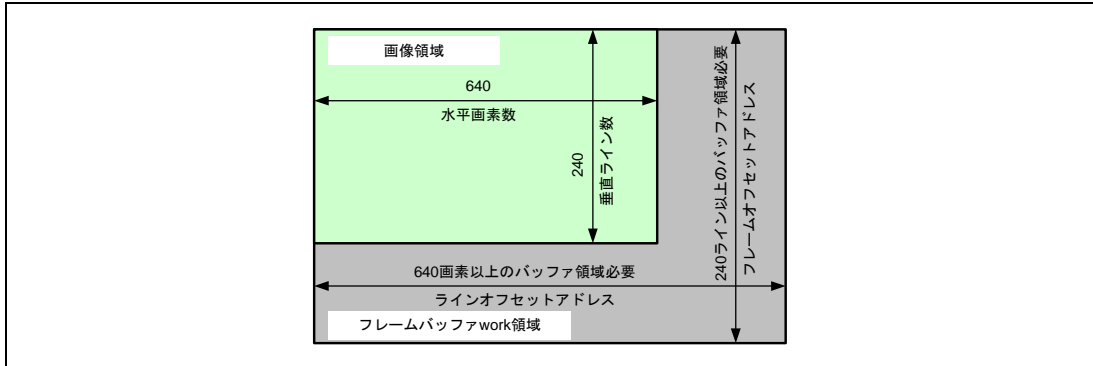


図 33.19 フレームバッファアクセス領域設定

フレームバッファとは 64 ビット単位でアクセスしているため、YCbCr422 (16 ビット) は 4 画素単位のアクセスとなります。

ラインオフセットアドレス設定は以下のようになります。

$$\text{RES_LN_OFF}[14:0] = 1024 \times 2 = 2048$$

$$\text{GR1_LN_OFF}[14:0] = 1024 \times 2 = 2048$$

フレームオフセットアドレス設定は以下のようになります。

$$\text{RES_FLM_OFF}[22:0] = \text{RES_LN_OFF}[14:0] \times 256 = 524288$$

$$\text{GR1_FLM_OFF}[22:0] = \text{GR1_LN_OFF}[14:0] \times 256 = 524288$$

(5) レジスタ設定例

表 33.39 525i 映像入力、VGA サイズ映像出力時のレジスタ設定例

レジスタ名	ビット名	設定値	備考
同期制御			
SCL0_FRC3	RES_VS_SEL	0	外部垂直同期選択
SCL0_FRC4	RES_FH[10:0]	799	出力信号の水平周期幅 (周期幅 = 設定値 + 1)
画角サイズ設定			
SCL0_DS2	RES_VS[10:0]	15	入力信号の取込垂直開始位置
SCL0_DS2	RES_VW[10:0]	240	入力信号の取込垂直幅
SCL0_DS3	RES_HS[10:0]	244	入力信号の取込水平開始位置
SCL0_DS3	RES_HW[10:0]	1440	入力信号の取込水平幅
SCL0_FRC6	RES_F_VS[10:0]	35	フル画面の垂直有効開始位置
SCL0_FRC6	RES_F_VW[10:0]	480	フル画面の垂直有効幅
SCL0_FRC7	RES_F_HS[10:0]	144	フル画面の水平有効開始位置
SCL0_FRC7	RES_F_HW[10:0]	640	フル画面の水平有効幅
SCL0_US2	RES_P_VS[10:0]	35	画像出力の垂直有効開始位置
SCL0_US2	RES_P_VW[10:0]	480	画像出力の垂直有効幅
SCL0_US3	RES_P_HS[10:0]	144	画像出力の水平有効開始位置
SCL0_US3	RES_P_HW[10:0]	640	画像出力の水平有効幅
スケーリング設定			
SCL0_DS4	RES_DS_H_RATIO[15:0]	9224	RES_DS_H_RATIO 4096 のため水平縮小処理
SCL0_DS1	RES_DS_H_ON	1	水平縮小オン
SCL0_US1	RES_US_H_ON	0	水平拡大オフ
SCL0_US5	RES_US_H_RATIO[15:0]	4096	RES_US_H_RATIO 4096 のため水平拡大オフ
SCL0_DS1	RES_DS_V_ON	0	垂直縮小オフ
SCL0_US1	RES_US_V_ON	1	垂直拡大オン
SCL0_DS6	RES_V_RATIO[15:0]	2044	RES_V_RATIO < 4096 のため垂直拡大処理
SCL0_DS7	RES_OUT_VW[10:0]	240	垂直縮小はオフのため入力有効垂直幅
SCL0_DS7	RES_OUT_HW[10:0]	640	水平縮小後の水平画像サイズ
SCL0_US4	RES_IN_VW[10:0]	240	フレームバッファ読み出し垂直幅
SCL0_US4	RES_IN_HW[10:0]	640	フレームバッファ読み出し水平幅
IP 変換設定			
SCL0_DS5	RES_TOP_INIPHASE[11:0]	2048	TOP フィールドを 0.5 ライン位相調整
SCL0_DS5	RES_BTM_INIPHASE[11:0]	0	BOTTOM フィールドは位相調整なし
SCL0_FRC5	RES_FLD_DLY_SEL	1	フレームバッファ 2 面使用、垂直拡大処理で IP 変換
フレームバッファ書き込み設定			
SCL1_WR1	RES_DS_WR_MD[2:0]	0	回転制御は通常書き込み

レジスタ名	ビット名	設定値	備考
SCL1_WR1	RES_MD[1:0]	0	フレームバッファ書き込みフォーマット YCbCr422 (16 ビット)
SCL1_WR2	RES_BASE[31:0]	0	フレームバッファ書き込み先頭アドレス (設定例では 0 とする)
SCL1_WR3	RES_LN_OFF[14:0]	2048	フレームバッファ書き込みラインオフセット
SCL1_WR3	RES_FLM_NUM[9:0]	1	フレームバッファ 2 面使用
SCL1_WR4	RES_FLN_OFF[22:0]	524288	フレームバッファ書き込みフレームオフセット
SCL1_WR5	RES_WENB	1	フレームバッファ書き込み許可
フレームバッファ読み出し設定			
GR1_FLM1	GR1_FLM_SEL[1:0]	0	フレームバッファ書き込み出力のフレーム番号を選択
GR1_FLM2	GR1_BASE[31:0]	0	フレームバッファ書き込み設定に合わせる
GR1_FLM3	GR1_LN_OFF[14:0]	2048	フレームバッファ書き込み設定に合わせる
GR1_FLM4	GR1_FLM_OFF[22:0]	524288	フレームバッファ書き込み設定に合わせる
GR1_FLM6	GR1_FORMAT[3:0]	8	フレームバッファ読み出しフォーマット YCbCr422
GR1_FLM_RD	GR1_R_ENB	1	フレームバッファ読み出し許可
GR1_FLM6	GR1_CNV444_MD	1	YCbCr422 YCbCr444 変換時の平均値補間
拡大処理選択			
SCL0_US8	RES_IBUS_SYNC_SEL	0	映像信号の拡大処理出力を表示
GR1_AB1	GR1_DISP_SEL[1:0]	1	スケーリング表示を選択

33.3.2 グラフィックス表示時のスケーリング設定例

(1) グラフィックス画角

表 33.40 の入出力画角の信号に対しての設定例を示します。

表 33.40 グラフィックス表示時の入出力画角

グラフィックスサイズ	出力信号	グラフィックス信号フォーマット
640 × 480	640 × 480	RGB888

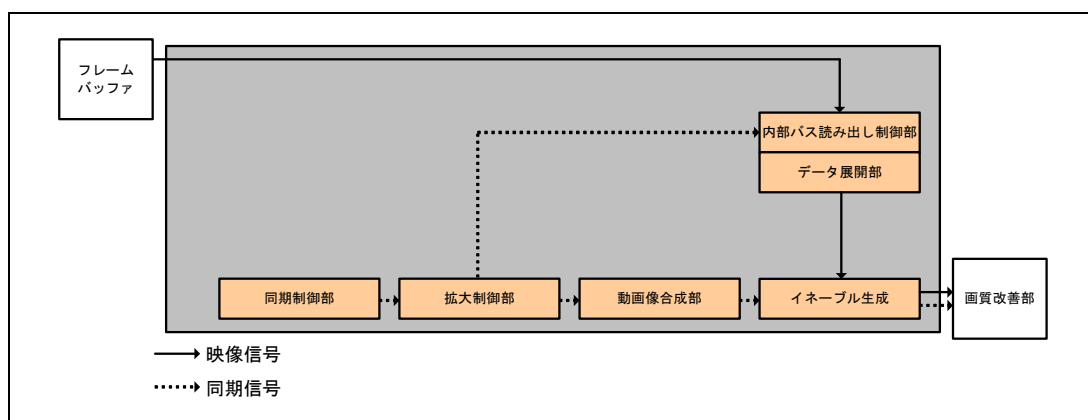


図 33.20 グラフィックス表示時の信号経路

(2) フレームバッファアクセス領域設定

グラフィックスデータを格納するフレームバッファは 640 × 480 以上の領域に展開する必要があります。

フレームバッファのグラフィックス展開領域を 640 × 480 とします。

フレームバッファとは 64 ビット単位でアクセスしているため、RGB888 (32 ビット) は 2 画素単位のアクセスとなります。

ラインオフセットアドレス設定は以下のようになります。

$$GR1_LN_OFF[14:0] = 640 \times 4 = 2560$$

フレームオフセットアドレス設定は以下のようになります。

$$GR1_FLM_OFF[22:0] = GR1_LN_OFF[14:0] \times 480 = 1228800$$

(3) レジスタ設定例

表 33.41 グラフィックス表示時のレジスタ設定例

レジスタ名	ビット名	設定値	備考
同期制御			
SCL0_FRC3	RES_VS_SEL	1	自走垂直同期選択 (入力信号がある場合は外部同期選択も可能)
SCL0_FRC4	RES_FV[10:0]	524	出力信号の垂直周期幅 (周期幅 = 設定値 + 1)
SCL0_FRC4	RES_FH[10:0]	799	出力信号の水平周期幅 (周期幅 = 設定値 + 1)
画角サイズ設定			
SCL0_FRC6	RES_F_VS[10:0]	35	フル画面の垂直有効開始位置
SCL0_FRC6	RES_F_VW[10:0]	480	フル画面の垂直有効幅
SCL0_FRC7	RES_F_HS[10:0]	144	フル画面の水平有効開始位置
SCL0_FRC7	RES_F_HW[10:0]	640	フル画面の水平有効幅
GR1_AB2	GR1_GRC_VS[10:0]	35	グラフィックス出力の垂直有効開始位置
GR1_AB2	GR1_GRC_VW[10:0]	480	グラフィックス出力の垂直有効幅
GR1_AB3	GR1_GRC_HS[10:0]	144	グラフィックス出力の水平有効開始位置
GR1_AB3	GR1_GRC_HW[10:0]	640	グラフィックス出力の水平有効幅
フレームバッファ読み出し設定			
GR1_FLM1	GR1_FLM_SEL[1:0]	1	レジスタ設定でフレーム番号を選択
GR1_FLM3	GR1_FLM_NUM[9:0]	0	フレームバッファのフレーム番号設定 (設定例では 0 とする)
GR1_FLM5	GR1_FLM_LNUM[9:0]	479	グラフィックスのライン数設定 (ライン数 = 設定値 + 1)
GR1_FLM6	GR1_HW[9:0]	639	グラフィックスの水平有効幅設定 (有効幅 = 設定値 + 1)
GR1_FLM2	GR1_BASE[31:0]	0	グラフィックス展開設定に合わせる (設定例では 0 とする)
GR1_FLM3	GR1_LN_OFF[14:0]	2560	グラフィックス展開設定に合わせる
GR1_FLM4	GR1_FLM_OFF[22:0]	1228800	グラフィックス展開設定に合わせる
GR1_FLM6	GR1_FORMAT[3:0]	1	フレームバッファ読み出しフォーマット RGB888
GR1_FLM_RD	GR1_R_ENB	1	フレームバッファ読み出し許可
拡大処理選択			
SCL0_US8	RES_IBUS_SYNC_SEL	1	グラフィックス出力を表示
GR1_AB1	GR1_DISP_SEL[1:0]	2	グラフィックス表示を選択

33.3.3 グラフィックス拡大表示時のスケーリング設定例

(1) 入出力画角

表 33.42 の入出力画角の信号に対しての設定例を示します。

表 33.42 グラフィックス拡大表示時の入出力画角

グラフィックスサイズ	出力信号	グラフィックス信号フォーマット
640 × 480	800 × 600	RGB565

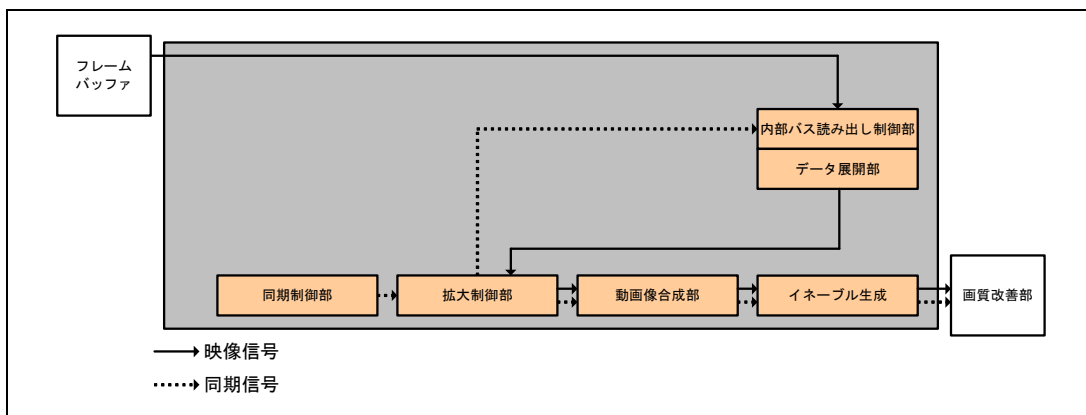


図 33.21 グラフィックス拡大表示時の信号経路

(2) 水平スケーリング（水平拡大、スケーリングフィルタは2TAP リニア）

折り返し対策でのスケーリング率算出は以下となります。

$$\text{RATIO_org} = \text{round}(640 \div 800 \times 4096) = 3277$$

$$= (3277 \times (800 - 1) - (640 - 1) \times 4096) \div (800 - 1) = 1.23$$

$$\text{水平スケーリング率} = \text{round}(3277 - (1.23)) = 3276$$

(3) 垂直スケーリング（垂直拡大、スケーリングフィルタは2TAP リニア）

折り返し対策でのスケーリング率算出は以下となります。

$$\text{RATIO_org} = \text{round}(480 \div 600 \times 4096) = 3277$$

$$= (3277 \times (600 - 1) - (480 - 1) \times 4096) \div (600 - 1) = 1.57$$

$$\text{垂直スケーリング率} = \text{round}(3277 - (1.57)) = 3275$$

(4) フレームバッファアクセス領域設定

グラフィックスデータを格納するフレームバッファは 640 × 480 以上の領域に展開する必要があります。

フレームバッファのグラフィックス展開領域を 640 × 480 とします。

フレームバッファとは 64 ビット単位でアクセスしているため、RGB565 (16 ビット) は 4 画素単位のアクセスとなります。

ラインオフセットアドレス設定は以下のようになります。

$$GR1_LN_OFF[14:0] = 640 \times 2 = 1280$$

フレームオフセットアドレス設定は以下のようになります。

$$GR1_FLM_OFF[22:0] = GR1_LN_OFF[14:0] \times 480 = 614400$$

(5) レジスタ設定例

表 33.43 グラフィックス拡大表示時のレジスタ設定例

レジスタ名	ビット名	設定値	備考
同期制御			
SCL0_FRC3	RES_VS_SEL	1	自走垂直同期選択 (入力信号がある場合は外部同期選択も可能)
SCL0_FRC4	RES_FV[10:0]	668	出力信号の垂直周期幅 (周期幅 = 設定値 + 1)
SCL0_FRC4	RES_FH[10:0]	1040	出力信号の水平周期幅 (周期幅 = 設定値 + 1)
画角サイズ設定			
SCL0_FRC6	RES_F_VS[10:0]	27	フル画面の垂直有効開始位置
SCL0_FRC6	RES_F_VW[10:0]	600	フル画面の垂直有効幅
SCL0_FRC7	RES_F_HS[10:0]	216	フル画面の水平有効開始位置
SCL0_FRC7	RES_F_HW[10:0]	800	フル画面の水平有効幅
SCL0_US2	RES_P_VS[10:0]	27	画像出力の垂直有効開始位置
SCL0_US2	RES_P_VW[10:0]	600	画像出力の垂直有効幅
SCL0_US3	RES_P_HS[10:0]	216	画像出力の水平有効開始位置
SCL0_US3	RES_P_HW[10:0]	800	画像出力の水平有効幅
スケーリング設定			
SCL0_US5	RES_US_H_RATIO[15:0]	3276	RES_US_H_RATIO < 4096 のため水平拡大処理
SCL0_DS6	RES_V_RATIO[15:0]	3275	RES_V_RATIO < 4096 のため垂直拡大処理
SCL0_US1	RES_US_H_ON	1	水平拡大オン
SCL0_US1	RES_US_V_ON	1	垂直拡大オン
SCL0_US4	RES_IN_VW[10:0]	480	フレームバッファ読み出し垂直幅
SCL0_US4	RES_IN_HW[10:0]	640	フレームバッファ読み出し水平幅
フレームバッファ読み出し設定			
GR1_FLM1	GR1_FLM_SEL[1:0]	1	レジスタ設定でフレーム番号を選択
GR1_FLM3	GR1_FLM_NUM[9:0]	0	フレームバッファのフレーム番号設定 (設定例では 0 とする)
GR1_FLM2	GR1_BASE[31:0]	0	グラフィックス展開設定に合わせる (設定例では 0 とする)
GR1_FLM3	GR1_LN_OFF[14:0]	1280	グラフィックス展開設定に合わせる

レジスタ名	ビット名	設定値	備考
GR1_FLM4	GR1_FLM_OFF[22:0]	614400	グラフィックス展開設定に合わせる
GR1_FLM6	GR1_FORMAT[3:0]	0	フレームバッファ読み出しフォーマット RGB565
GR1_FLM_RD	GR1_R_ENB	1	フレームバッファ読み出し許可
拡大処理選択			
SCL0_US8	RES_IBUS_SYNC_SEL	0	映像信号の拡大処理出力を表示
GR1_AB1	GR1_DISP_SEL[1:0]	1	スケーリング表示を選択

34. ビデオディスプレイコントローラ 4 (4) 画質改善部

34.1 画質改善機能

34.1.1 機能概要

画質改善部は、スケーリング後の YCbCr 信号に対して、黒伸張、LTI / シャープネス、カラーマトリクスによる YCbCr → RGB 変換を行います。

RGB 信号入力時、画質改善は行われません。

下図に画質改善部の機能ブロック図を示します。

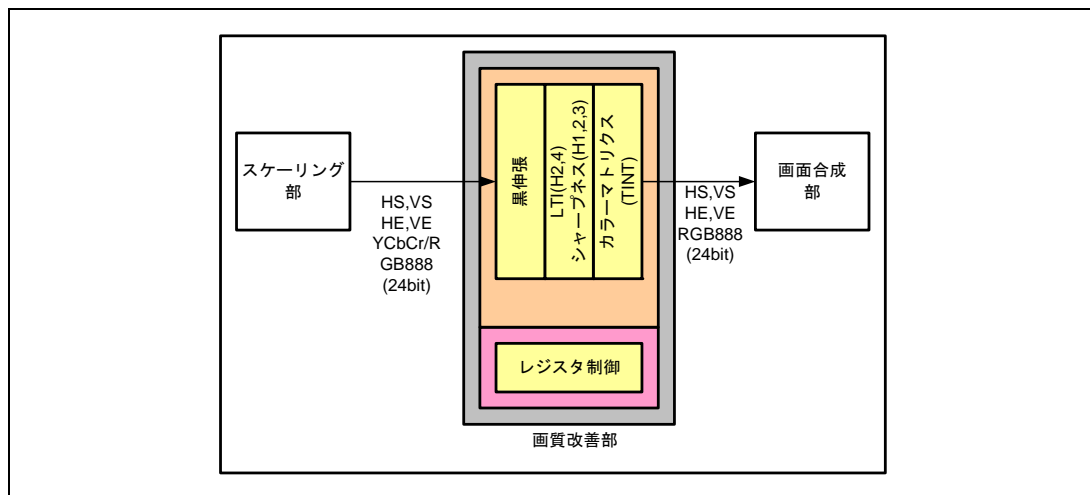


図 34.1 画質改善部の機能ブロック図

34.1.2 レジスタの更新制御

画質改善部の制御レジスタは、すべて垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

表 34.1 レジスタの更新制御

レジスタ名	ビット名	初期値	説明
ADJ_UPDATE	ADJ_VEN	0	画質改善部のレジスタ更新 0 : レジスタを更新しない 1 : レジスタを垂直同期信号の立ち上がりで更新する

34.1.3 黒伸張

黒伸張は、YCbCr フォーマットの入力映像信号に対して、Y 信号の黒伸張補正を行います。

補正は時定数調整、深さ(ゲイン)調整、開始点にて調整します。

図 34.2 に黒伸張補正図を示します。

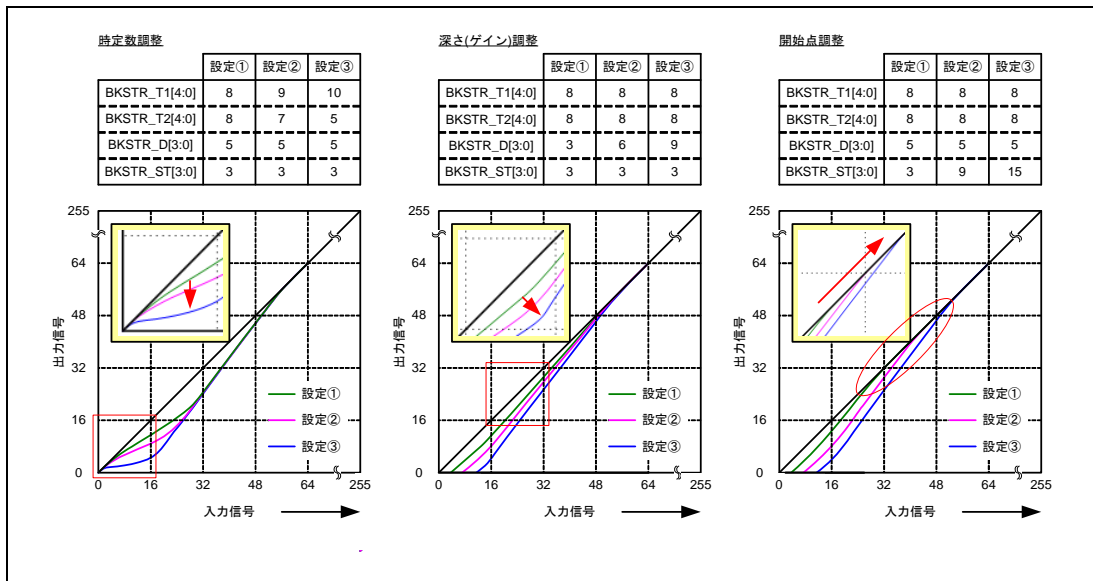


図 34.2 黒伸張補正図 (設定例)

表 34.2 黒伸張制御

レジスタ名	ビット名	初期値	説明
ADJ_BKSTR_SET	BKSTR_ON	0	黒伸張オン/オフ制御 0: 黒伸張オフ 1: 黒伸張オン
ADJ_BKSTR_SET	BKSTR_ST[3:0]	0	黒伸張の開始点指定 0 (低) ~ 15 (高)
ADJ_BKSTR_SET	BKSTR_T1[4:0]	0	黒伸張の時定数 (T1) 0 (小) ~ 31 (大)
ADJ_BKSTR_SET	BKSTR_T2[4:0]	0	黒伸張の時定数 (T2) 0 (小) ~ 30 (大)、31: 設定禁止
ADJ_BKSTR_SET	BKSTR_D[3:0]	0	黒伸張の深さ 0 (浅) ~ 15 (深)

34.1.4 エンハンサ

スケーリング後の Y 信号入力に対して水平方向のトランジェント改善 (LTI)、シャープネス処理を行います。

(1) エンハンサ領域指定

エンハンサの動作範囲を水平同期信号、垂直同期信号の立ち上がりエッジを基準で指定します。ENH_HS は 4 クロック以上、ENH_VS は 2 ライン以上必要です。図 34.3 にエンハンサの領域設定図を示します。

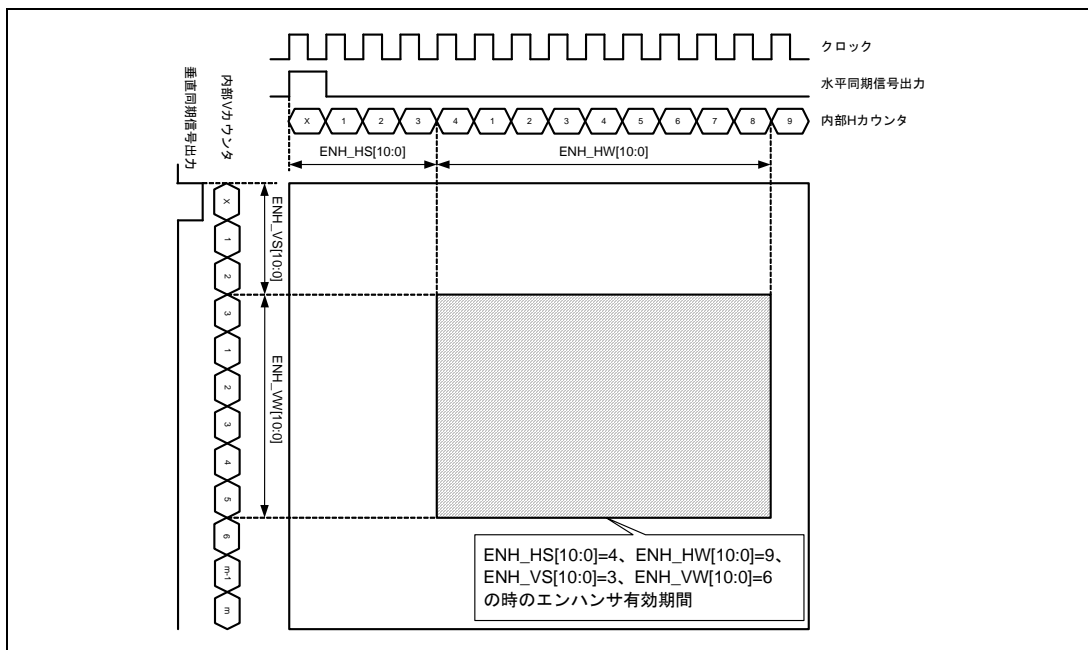


図 34.3 エンハンサ有効期間

レジスタ ENH_DISP_ON = 1 にすることでエンハンサの有効領域枠表示することができます。

表 34.3 エンハンサ領域制御

レジスタ名	ビット名	初期値	説明
ADJ_ENH_TIM1	ENH_MD	1	動作モード 0 : RGB モード 1 : YCbCr モード
ADJ_ENH_TIM2	ENH_VS[10:0]	0	エンハンサ有効領域の垂直有効画像領域の開始位置設定 【注】2 ライン以上の設定にしてください。
ADJ_ENH_TIM2	ENH_VW[10:0]	0	エンハンサ有効領域の垂直有効画像領域の幅設定
ADJ_ENH_TIM3	ENH_HS[10:0]	0	エンハンサ有効領域の水平有効画像領域の開始位置設定 【注】4 クロック以上の設定にしてください。
ADJ_ENH_TIM3	ENH_HW[10:0]	0	エンハンサ有効領域の水平有効画像領域の幅設定

レジスタ名	ビット名	初期値	説明
ADJ_ENH_TIM1	ENH_DISP_ON	0	エンハンサ有効領域の枠表示オン/オフ設定 0: 表示オフ 1: 表示オン

(2) LTI (Luminance Transient Improvement)

Y 信号入力に対して水平方向のトランジェント改善を行います。

ブランキングのトランジェント改善はオフになります。

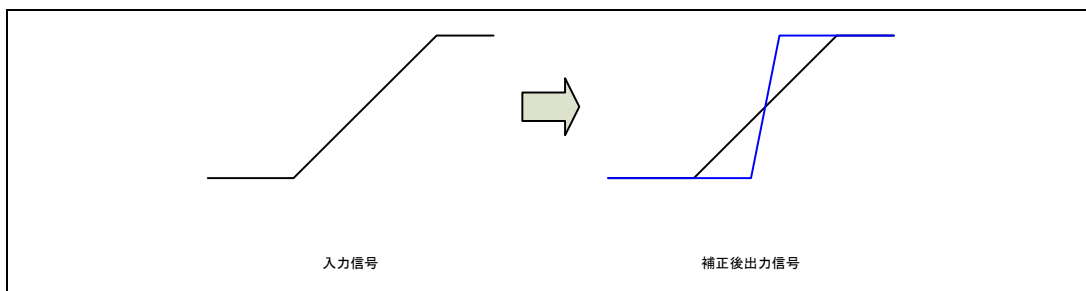


図 34.4 LTI 補正図

LTI は画像のエッジ検出後、水平方向 2 帯域を独立で制御ができます。

LTI は画像のエッジ検出後にメディアンフィルタを挿入しています。

LTI (H4) はメディアンフィルタの参照画素を選択することが可能です。

ただし、通常動作ではエッジ検出時の 1/2 の TAP データ (隣接 2 画素目) を参照します。

表 34.4 LTI 参照画素表

LTI 帯域	エッジ検出時の参照画素	LPF の有無	メディアンフィルタ参照画素
水平 LTI (H2)	隣接 2 画素目参照	LPF なし、または LPF (1、2、1)	隣接 1 画素目参照
水平 LTI (H4)	隣接 4 画素目参照	LPF (1、2、1)	隣接 1 画素目、または隣接 2 画素目参照

LTI はエッジ検出結果に対してコアリングをかけることができます。

エッジ検出結果よりレジスタ設定したコアリングを減算し、減算結果のコアリング出力に対して LTI 補正を行います。

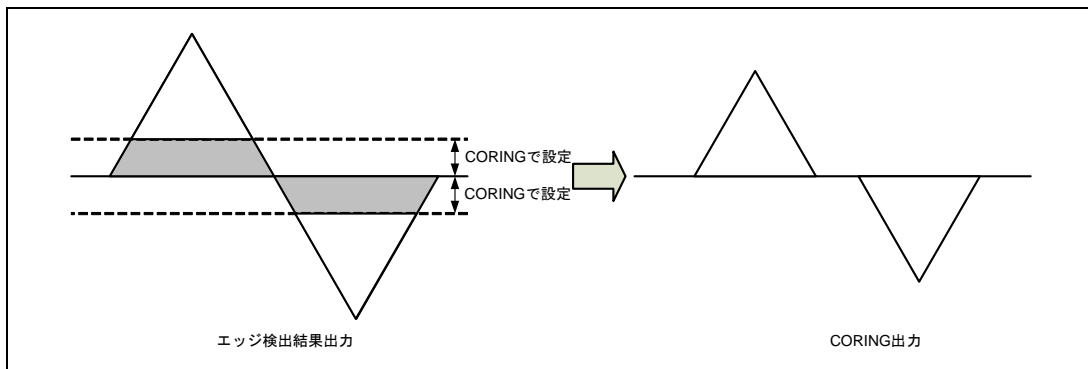


図 34.5 LTI コアリング図

表 34.5 LTI 制御

レジスタ名	ビット名	初期値	説明
ADJ_ENH_LTI1	LTI_H_ON	0	LTI のオン / オフ制御 0 : LTI オフ 1 : LTI オン
ADJ_ENH_LTI1	LTI_H2_INC_ZERO[7:0]	10	メディアンフィルタの LTI 補正スレッシュ設定 右 TAP 値 - 中心 TAP 値 < LTI_H2_INC_ZERO または 左 TAP 値 - 中心 TAP 値 < LTI_H2_INC_ZERO の場合 LTI 補正禁止
ADJ_ENH_LTI1	LTI_H2_LPF_SEL	0	H2 エッジ検出前の折り返し除去用 LPF 選択 0 : LPF なし 1 : LPF あり
ADJ_ENH_LTI1	LTI_H2_GAIN[7:0]	0	LTI のエッジ振幅値に対するゲイン設定 0 (0 倍) ~ 64 (+1 倍) ~ 255 (+約 4 倍)
ADJ_ENH_LTI1	LTI_H2_CORE[7:0]	0	LTI のコアリング (コアリング量は最大 255) エッジ振幅値に対して LTI_H2_CORE 以下の振幅 をコアリング (128 設定で 128)
ADJ_ENH_LTI2	LTI_H4_INC_ZERO[7:0]	10	メディアンフィルタの LTI 補正スレッシュ設定 右 TAP 値 - 中心 TAP 値 < LTI_H4_INC_ZERO または 左 TAP 値 - 中心 TAP 値 < LTI_H4_INC_ZERO の場合 LTI 補正禁止
ADJ_ENH_LTI2	LTI_H4_MEDIAN_TAP_SEL	0	メディアンフィルタの参照画素選択 0 : 隣接 2 画素目参照 1 : 隣接 1 画素目参照
ADJ_ENH_LTI2	LTI_H4_GAIN[7:0]	0	LTI のエッジ振幅値に対するゲイン設定 0 (0 倍) ~ 64 (+1 倍) ~ 255 (+約 4 倍)

レジスタ名	ビット名	初期値	説明
ADJ_ENH_LTI2	LTI_H4_CORE[7:0]	0	LTIのコアリング（コアリング量は最大 255） エッジ振幅値に対して LTI_H4_CORE 以下の振幅をコアリング（128 設定で 128）

(3) シャープネス処理

Y 信号入力に対して水平方向の輪郭強調を行います。元信号に対して、オーバーシュート、アンダーシュートを付けることにより輪郭を強調します。なお、ブランキングの輪郭強調はオフになります。

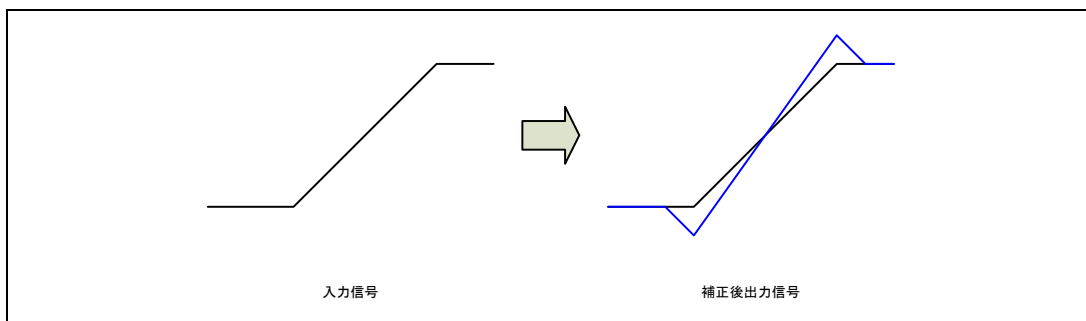


図 34.6 シャープネス補正図

シャープネスは画像のエッジを検出後、水平方向 3 帯域を独立で制御ができます。

水平方向はエッジ検出時の折り返し防止用に 3TAP LPF を挿入しており、レジスタ設定でオン / オフを選択できます。

表 34.6 シャープネスの参照画素表

シャープネス帯域	エッジ検出時の参照画素	LPF の有無
水平シャープネス (H1)	隣接 1 画素目参照	LPF なし
水平シャープネス (H2)	隣接 2 画素目参照	LPF なし、または、LPF (1、2、1)
水平シャープネス (H3)	隣接 3 画素目参照	LPF (1、2、1)

SHP_CORE の値によって、輪郭強調をかけるエッジ振幅を調整できます。

画像のエッジ検出結果が SHP_CORE より大きい場合、輪郭強調となります。

輪郭強調は (エッジ振幅値 - SHP_CORE) に対してシャープネスゲインをかけて補正値を出力します。

画像のエッジ検出結果が SHP_CORE より小さい場合、シャープネスはオフとなります。

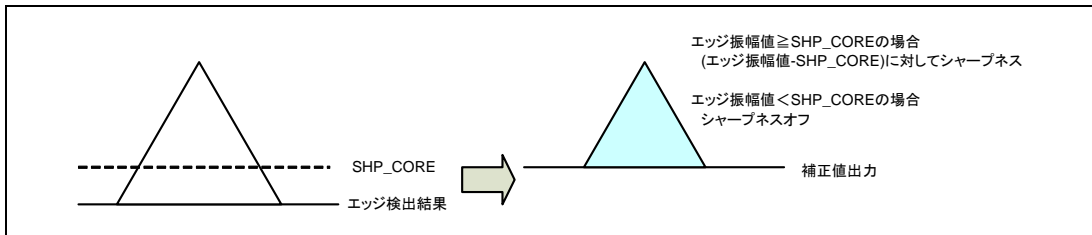


図 34.7 シャープネス特性図

表 34.7 シャープネス制御

レジスタ名	ビット名	初期値	説明
ADJ_ENH_SHP1	SHP_H_ON	0	シャープネスのオン/オフ制御 0: 水平シャープネスオフ 1: 水平シャープネスオン
ADJ_ENH_SHP3	SHP_H2_LPF_SEL	0	H2 エッジ検出前の折り返し除去用 LPF 選択 0: LPF なし 1: LPF あり
ADJ_ENH_SHP2	SHP_H1_CLIP_O[7:0]	0	シャープネスの補正值クリップ (オーバーシュート側) SHP_H1_CLIP_O で補正值をクリップ処理
ADJ_ENH_SHP2	SHP_H1_CLIP_U[7:0]	0	シャープネスの補正值クリップ (アンダーシュート側) SHP_H1_CLIP_U で補正值をクリップ処理
ADJ_ENH_SHP2	SHP_H1_GAIN_O[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定 (オーバーシュート側) 0 (0 倍) ~ 64 (+1 倍) ~ 255 (+約 4 倍) シャープネス補正值= $SHP_H1_GAIN_O \times (\text{エッジ振幅値} - SHP_H1_CORE)$
ADJ_ENH_SHP2	SHP_H1_GAIN_U[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定 (アンダーシュート側) 0 (0 倍) ~ 64 (+1 倍) ~ 255 (+約 4 倍) シャープネス補正值= $SHP_H1_GAIN_U \times (\text{エッジ振幅値} - SHP_H1_CORE)$
ADJ_ENH_SHP1	SHP_H1_CORE[6:0]	0	シャープネスの能動範囲の指定 エッジ振幅値 \geq SHP_H1_CORE: シャープネス処理あり エッジ振幅値 $<$ SHP_H1_CORE: シャープネス処理なし 128 以上のエッジ検出値はシャープネス処理固定
ADJ_ENH_SHP4	SHP_H2_CLIP_O[7:0]	0	シャープネスの補正值クリップ (オーバーシュート側) SHP_H2_CLIP_O で補正值をクリップ処理
ADJ_ENH_SHP4	SHP_H2_CLIP_U[7:0]	0	シャープネスの補正值クリップ (アンダーシュート側) SHP_H2_CLIP_U で補正值をクリップ処理

レジスタ名	ビット名	初期値	説明
ADJ_ENH_SHP4	SHP_H2_GAIN_O[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定 (オーバーシュート側) 0 (0倍) ~ 64 (+1倍) ~ 255 (+約4倍) シャープネス補正值= $SHP_H2_GAIN_O \times (\text{エッジ振幅値} - SHP_H2_CORE)$
ADJ_ENH_SHP4	SHP_H2_GAIN_U[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定 (アンダーシュート側) 0 (0倍) ~ 64 (+1倍) ~ 255 (+約4倍) シャープネス補正值= $SHP_H2_GAIN_U \times (\text{エッジ振幅値} - SHP_H2_CORE)$
ADJ_ENH_SHP3	SHP_H2_CORE[6:0]	0	シャープネスの能動範囲の指定 エッジ振幅値 SHP_H2_CORE : シャープネス処理あり エッジ振幅値 < SHP_H2_CORE : シャープネス処理なし 128 以上のエッジ検出値はシャープネス処理固定
ADJ_ENH_SHP6	SHP_H3_CLIP_O[7:0]	0	シャープネスの補正值クリップ (オーバーシュート側) SHP_H3_CLIP_O で補正值をクリップ処理
ADJ_ENH_SHP6	SHP_H3_CLIP_U[7:0]	0	シャープネスの補正值クリップ (アンダーシュート側) SHP_H3_CLIP_U で補正值をクリップ処理
ADJ_ENH_SHP6	SHP_H3_GAIN_O[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定 (オーバーシュート側) 0 (0倍) ~ 64 (+1倍) ~ 255 (+約4倍) シャープネス補正值= $SHP_H3_GAIN_O \times (\text{エッジ振幅値} - SHP_H3_CORE)$
ADJ_ENH_SHP6	SHP_H3_GAIN_U[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定 (アンダーシュート側) 0 (0倍) ~ 64 (+1倍) ~ 255 (+約4倍) シャープネス補正值= $SHP_H3_GAIN_U \times (\text{エッジ振幅値} - SHP_H3_CORE)$
ADJ_ENH_SHP5	SHP_H3_CORE[6:0]	0	シャープネスの能動範囲の指定 エッジ振幅値 SHP_H3_CORE : シャープネス処理あり エッジ振幅値 < SHP_H3_CORE : シャープネス処理なし 128 以上のエッジ検出値はシャープネス処理固定

34.1.5 カラーマトリクス

カラーマトリクスは、各入力信号のオフセット調整と9軸のゲイン調整を行うことができます。これにより YCbCr GBR 変換を行うことができます。

(1) GBR GBR 変換

$$YGIN_A = YGIN + ADJ_MTX_YG - 128$$

$$CBBIN_A = CBBIN + ADJ_MTX_B - 128$$

$$CRRIN_A = CRRIN + ADJ_MTX_R - 128$$

$$YGOUT = (ADJ_MTX_GG \times YGIN_A + ADJ_MTX_GB \times CBBIN_A + ADJ_MTX_GR \times CRRIN_A) \div 256$$

$$CBBOUT = (ADJ_MTX_BG \times YGIN_A + ADJ_MTX_BB \times CBBIN_A + ADJ_MTX_BR \times CRRIN_A) \div 256$$

$$CRROUT = (ADJ_MTX_RG \times YGIN_A + ADJ_MTX_RB \times CBBIN_A + ADJ_MTX_RR \times CRRIN_A) \div 256$$

(2) YCbCr GBR 変換

$$YGIN_A = YGIN + ADJ_MTX_YG - 128$$

$$CBBIN_A = CBBIN - 128$$

$$CRRIN_A = CRRIN - 128$$

$$YGOUT = (ADJ_MTX_GG \times YGIN_A + ADJ_MTX_GB \times CBBIN_A + ADJ_MTX_GR \times CRRIN_A) \div 256$$

$$CBBOUT = (ADJ_MTX_BG \times YGIN_A + ADJ_MTX_BB \times CBBIN_A + ADJ_MTX_BR \times CRRIN_A) \div 256$$

$$CRROUT = (ADJ_MTX_RG \times YGIN_A + ADJ_MTX_RB \times CBBIN_A + ADJ_MTX_RR \times CRRIN_A) \div 256$$

表 34.8 SMPTE 293M のマトリクス係数 (標準値)

	YGIN		CBBIN		CRRIN	
	係数	ビット設定値	係数	ビット設定値	係数	ビット設定値
YGOUT	1.000	ADJ_MTX_GG =256	- 0.344	ADJ_MTX_GB =1960	- 0.714	ADJ_MTX_GR =1865
CBBOUT	1.000	ADJ_MTX_BG =256	1.772	ADJ_MTX_BB =454	0.000	ADJ_MTX_BR =0
CRROUT	1.000	ADJ_MTX_RG =256	0.000	ADJ_MTX_RB =0	1.402	ADJ_MTX_RR =359

表 34.9 カラーマトリクス制御

レジスタ名	ビット名	初期値	説明
ADJ_MTX_MODE	ADJ_MTX_MD[1:0]	2	動作モード 0 : GBR GBR 1 : 設定禁止 2 : YCbCr GBR 3 : 設定禁止
ADJ_MTX_YG_ADJ0	ADJ_MTX_YG[7:0]	128	Y/G 信号のオフセット (DC) 調整 符号無し (0 (- 128) ~ 128 (0) ~ 255 (+ 127) [LSB])
ADJ_MTX_CBB_ADJ0	ADJ_MTX_B[7:0]	128	B 信号のオフセット (DC) 調整 符号無し (0 (- 128) ~ 128 (0) ~ 255 (+ 127) [LSB])
ADJ_MTX_CRR_ADJ0	ADJ_MTX_R[7:0]	128	R 信号のオフセット (DC) 調整 符号無し (0 (- 128) ~ 128 (0) ~ 255 (+ 127) [LSB])
ADJ_MTX_YG_ADJ0	ADJ_MTX_GG[10:0]	256	G 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB], 256[LSB] = 1.0[倍])
ADJ_MTX_YG_ADJ1	ADJ_MTX_GB[10:0]	1960	G 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB], 256[LSB] = 1.0[倍])
ADJ_MTX_YG_ADJ1	ADJ_MTX_GR[10:0]	1865	G 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB], 256[LSB] = 1.0[倍])
ADJ_MTX_CBB_ADJ0	ADJ_MTX_BG[10:0]	256	B 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB], 256[LSB] = 1.0[倍])
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BB[10:0]	454	B 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB], 256[LSB] = 1.0[倍])
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BR[10:0]	0	B 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB], 256[LSB] = 1.0[倍])
ADJ_MTX_CRR_ADJ0	ADJ_MTX_RG[10:0]	256	R 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB], 256[LSB] = 1.0[倍])
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RB[10:0]	0	R 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB], 256[LSB] = 1.0[倍])
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RR[10:0]	359	R 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB], 256[LSB] = 1.0[倍])

34.2 レジスタの説明

表 34.10 にレジスタ構成を示します。

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

- : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R/WC1 : リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

- /W : ライトのみ可。読み出し値は不定です。

表 34.10 画質改善部レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
画質改善部レジスタ更新制御レジスタ	ADJ_UPDATE	R/WC1	H'0000 0000	H'FFFF 7680	32/16
黒伸張部レジスタ	ADJ_BKSTR_SET	R/W	H'0000 0000	H'FFFF 7684	32/16
エンハンサタイミング調整レジスタ 1	ADJ_ENH_TIM1	R/W	H'0000 0010	H'FFFF 7688	32/16
エンハンサタイミング調整レジスタ 2	ADJ_ENH_TIM2	R/W	H'0023 01E0	H'FFFF 768C	32/16
エンハンサタイミング調整レジスタ 3	ADJ_ENH_TIM3	R/W	H'0091 0280	H'FFFF 7690	32/16
エンハンサシャープネスレジスタ 1	ADJ_ENH_SHP1	R/W	H'0000 0000	H'FFFF 7694	32/16
エンハンサシャープネスレジスタ 2	ADJ_ENH_SHP2	R/W	H'0000 0000	H'FFFF 7698	32/16
エンハンサシャープネスレジスタ 3	ADJ_ENH_SHP3	R/W	H'0000 0000	H'FFFF 769C	32/16
エンハンサシャープネスレジスタ 4	ADJ_ENH_SHP4	R/W	H'0000 0000	H'FFFF 76A0	32/16
エンハンサシャープネスレジスタ 5	ADJ_ENH_SHP5	R/W	H'0000 0000	H'FFFF 76A4	32/16
エンハンサシャープネスレジスタ 6	ADJ_ENH_SHP6	R/W	H'0000 0000	H'FFFF 76A8	32/16
エンハンサ LTI レジスタ 1	ADJ_ENH_LTI1	R/W	H'000A 0000	H'FFFF 76AC	32/16
エンハンサ LTI レジスタ 2	ADJ_ENH_LTI2	R/W	H'000A 0000	H'FFFF 76B0	32/16
画質改善部マトリクスモードレジスタ	ADJ_MTX_MODE	R/W	H'0000 0002	H'FFFF 76B4	32/16
画質改善部マトリクス YG 調整レジスタ 0	ADJ_MTX_YG_ADJ0	R/W	H'0080 0100	H'FFFF 76B8	32/16
画質改善部マトリクス YG 調整レジスタ 1	ADJ_MTX_YG_ADJ1	R/W	H'07A8 0749	H'FFFF 76BC	32/16
画質改善部マトリクス CBB 調整レジスタ 0	ADJ_MTX_CBB_ADJ0	R/W	H'0080 0100	H'FFFF 76C0	32/16
画質改善部マトリクス CBB 調整レジスタ 1	ADJ_MTX_CBB_ADJ1	R/W	H'01C6 0000	H'FFFF 76C4	32/16
画質改善部マトリクス CRR 調整レジスタ 0	ADJ_MTX_CRR_ADJ0	R/W	H'0080 0100	H'FFFF 76C8	32/16
画質改善部マトリクス CRR 調整レジスタ 1	ADJ_MTX_CRR_ADJ1	R/W	H'0000 0167	H'FFFF 76CC	32/16

34.2.1 画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADJ_VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ADJ_VEN	0	R/WC1	画質改善部のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

34.2.2 黒伸張部レジスタ (ADJ_BKSTR_SET)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	BKSTR_ON	BKSTR_ST[3:0]			BKSTR_D[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	BKSTR_T1[4:0]				—	—	—	BKSTR_T2[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	BKSTR_ON	0	R/W	黒伸張オン/オフ制御 0: 黒伸張オフ 1: 黒伸張オン
23~20	BKSTR_ST[3:0]	0	R/W	黒伸張の開始点指定。設定値: 0 (低) ~ 15 (高)
19~16	BKSTR_D[3:0]	0	R/W	黒伸張の深さ。設定値: 0 (浅) ~ 15 (深)
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12~8	BKSTR_T1[4:0]	0	R/W	黒伸張の時定数 (T1)。設定値: 0 (小) ~ 31 (大)
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	BKSTR_T2[4:0]	0	R/W	黒伸張の時定数 (T2)。設定値: 0 (小) ~ 31 (大)

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.3 エンハンサタイミング調整レジスタ 1 (ADJ_ENH_TIM1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	ENH_MD	—	—	—	ENH_DISP_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	ENH_MD	1	R/W	動作モード 0: RGB モード 1: YCbCr モード
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ENH_DISP_ON	0	R/W	エンハンサ有効領域の枠の表示オン/オフ設定 0: 表示オフ 1: 表示オン

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN =1 で更新されます。

34.2.4 エンハンサタイミング調整レジスタ 2 (ADJ_ENH_TIM2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	ENH_VS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	ENH_VW[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	ENH_VS[10:0]	35	R/W	エンハンサ有効領域の垂直有効画像領域の開始位置設定 【注】2 ライン以上の設定にしてください。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	ENH_VW[10:0]	480	R/W	エンハンサ有効領域の垂直有効画像領域の幅設定

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.5 エンハンサタイミング調整レジスタ 3 (ADJ_ENH_TIM3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	ENH_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	ENH_HW[10:0]										
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	ENH_HS[10:0]	145	R/W	エンハンサ有効領域の水平有効画像領域の開始位置設定 【注】4クロック以上の設定にしてください。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	ENH_HW[10:0]	640	R/W	エンハンサ有効領域の水平有効画像領域の幅設定

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN =1 で更新されます。

34.2.6 エンハンサシャープネスレジスタ 1 (ADJ_ENH_SHP1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SHP_H_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	SHP_H1_CORE[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	SHP_H_ON	0	R/W	シャープネスのオン/オフ制御 0: 水平シャープネスオフ 1: 水平シャープネスオン
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	SHP_H1_CORE[6:0]	0	R/W	シャープネスの能動範囲の指定 エッジ振幅値 SHP_H1_CORE: シャープネス処理あり エッジ振幅値 < SHP_H1_CORE: シャープネス処理なし 128 以上のエッジ検出値はシャープネス処理固定

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN =1 で更新されます。

34.2.7 エンハンサシャープネスレジスタ 2 (ADJ_ENH_SHP2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SHP_H1_CLIP_O[7:0]								SHP_H1_CLIP_U[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SHP_H1_GAIN_O[7:0]								SHP_H1_GAIN_U[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	SHP_H1_CLIP_O[7:0]	0	R/W	シャープネスの補正值クリップ (オーバーシュート側) SHP_H1_CLIP_O で補正值をクリップ処理
23~16	SHP_H1_CLIP_U[7:0]	0	R/W	シャープネスの補正值クリップ (アンダーシュート側) SHP_H1_CLIP_U で補正值をクリップ処理
15~8	SHP_H1_GAIN_O[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定 (オーバーシュート側) 0 (0倍) ~ 64 (+1倍) ~ 255 (+約4倍) シャープネス補正值= SHP_H1_GAIN_O × (エッジ振幅値 - SHP_H1_CORE)
7~0	SHP_H1_GAIN_U[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定 (アンダーシュート側) 0 (0倍) ~ 64 (+1倍) ~ 255 (+約4倍) シャープネス補正值= SHP_H1_GAIN_U × (エッジ振幅値 - SHP_H1_CORE)

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.8 エンハンサシャープネスレジスタ 3 (ADJ_ENH_SHP3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SHP_H2_LPF_SEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	SHP_H2_CORE[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	SHP_H2_LPF_SEL	0	R/W	H2 エッジ検出前の折り返し除去用 LPF 選択 0 : LPF なし 1 : LPF あり
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	SHP_H2_CORE[6:0]	0	R/W	シャープネスの能動範囲の指定 エッジ振幅値 SHP_H2_CORE : シャープネス処理あり エッジ振幅値 < SHP_H2_CORE : シャープネス処理なし 128 以上のエッジ検出値はシャープネス処理固定

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN =1 で更新されます。

34.2.9 エンハンサシャープネスレジスタ 4 (ADJ_ENH_SHP4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SHP_H2_CLIP_O[7:0]								SHP_H2_CLIP_U[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SHP_H2_GAIN_O[7:0]								SHP_H2_GAIN_U[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	SHP_H2_CLIP_O[7:0]	0	R/W	シャープネスの補正值クリップ (オーバーシュート側) SHP_H2_CLIP_O で補正值をクリップ処理
23~16	SHP_H2_CLIP_U[7:0]	0	R/W	シャープネスの補正值クリップ (アンダーシュート側) SHP_H2_CLIP_U で補正值をクリップ処理
15~8	SHP_H2_GAIN_O[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定 (オーバーシュート側) 0 (0倍) ~ 64 (+1倍) ~ 255 (+約4倍) シャープネス補正值= SHP_H2_GAIN_O × (エッジ振幅値 - SHP_H2_CORE)
7~0	SHP_H2_GAIN_U[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定 (アンダーシュート側) 0 (0倍) ~ 64 (+1倍) ~ 255 (+約4倍) シャープネス補正值= SHP_H2_GAIN_U × (エッジ振幅値 - SHP_H2_CORE)

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.10 エンハンサシャープネスレジスタ 5 (ADJ_ENH_SHP5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SHP_H3_CORE[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	SHP_H3_CORE[6:0]	0	R/W	シャープネスの能動範囲の指定 エッジ振幅値 SHP_H3_CORE : シャープネス処理あり エッジ振幅値 < SHP_H3_CORE : シャープネス処理なし 128 以上のエッジ検出値はシャープネス処理固定

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.11 エンハンサシャープネスレジスタ 6 (ADJ_ENH_SHP6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SHP_H3_CLIP_O[7:0]								SHP_H3_CLIP_U[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SHP_H3_GAIN_O[7:0]								SHP_H3_GAIN_U[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	SHP_H3_CLIP_O[7:0]	0	R/W	シャープネスの補正值クリップ (オーバーシュート側) SHP_H3_CLIP_O で補正值をクリップ処理
23~16	SHP_H3_CLIP_U[7:0]	0	R/W	シャープネスの補正值クリップ (アンダーシュート側) SHP_H3_CLIP_U で補正值をクリップ処理
15~8	SHP_H3_GAIN_O[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定 (オーバーシュート側) 0 (0倍) ~ 64 (+1倍) ~ 255 (+約4倍) シャープネス補正值= SHP_H3_GAIN_O × (エッジ振幅値 - SHP_H3_CORE)
7~0	SHP_H3_GAIN_U[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定 (アンダーシュート側) 0 (0倍) ~ 64 (+1倍) ~ 255 (+約4倍) シャープネス補正值= SHP_H3_GAIN_U × (エッジ振幅値 - SHP_H3_CORE)

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.12 エンハンサ LTI レジスタ 1 (ADJ_ENH_LTI1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LTI_H_ON	-	-	-	-	-	-	LTI_H2_LPF_SEL	LTI_H2_INC_ZERO[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W:	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LTI_H2_GAIN[7:0]								LTI_H2_CORE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	LTI_H_ON	0	R/W	LTI のオン / オフ制御 0 : LTI オフ 1 : LTI オン
30 ~ 25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	LTI_H2_LPF_SEL	0	R/W	H2 エッジ検出前の折り返し除去用 LPF 選択 0 : LPF なし 1 : LPF あり
23 ~ 16	LTI_H2_INC_ZERO[7:0]	10	R/W	メディアンフィルタの LTI 補正スレッシュ設定 右 TAP 値 - 中心 TAP 値 < LTI_H2_INC_ZERO または 左 TAP 値 - 中心 TAP 値 < LTI_H2_INC_ZERO の場合 LTI 補正禁止
15 ~ 8	LTI_H2_GAIN [7:0]	0	R/W	LTI のエッジ振幅値に対するゲイン設定 0 (0 倍) ~ 64 (+1 倍) ~ 255 (+約 4 倍)
7 ~ 0	LTI_H2_CORE [7:0]	0	R/W	LTI のコアリング (コアリング量は最大 255) エッジ振幅値に対して LTI_H2_CORE 以下の振幅をコアリング (128 設定で 128)

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.13 エンハンサ LTI レジスタ 2 (ADJ_ENH_LTI2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	LTI_H4_MEDIAN_TAP_SEL	LTI_H4_INC_ZERO[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LTI_H4_GAIN[7:0]								LTI_H4_CORE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	LTI_H4_MEDIAN_TAP_SEL	0	R/W	メディアンフィルタの参照画素選択 0: 隣接 2 画素目参照 1: 隣接 1 画素目参照
23~16	LTI_H4_INC_ZERO [7:0]	10	R/W	メディアンフィルタの LTI 補正スレッシュ設定 右 TAP 値 - 中心 TAP 値 < LTI_H4_INC_ZERO または 左 TAP 値 - 中心 TAP 値 < LTI_H4_INC_ZERO の場合 LTI 補正禁止
15~8	LTI_H4_GAIN[7:0]	0	R/W	LTI のエッジ振幅値に対するゲイン設定 0 (0 倍) ~ 64 (+1 倍) ~ 255 (+約 4 倍)
7~0	LTI_H4_CORE[7:0]	0	R/W	LTI のコアリング (コアリング量は最大 255) エッジ振幅値に対して LTI_H4_CORE 以下の振幅をコアリング (128 設定で 128)

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.14 画質改善部マトリクスモードレジスタ (ADJ_MTX_MODE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADJ_MTX_MD[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	ADJ_MTX_MD[1:0]	2	R/W	動作モード 0: GBR => GBR 1: 設定禁止 2: YCbCr=> GBR 3: 設定禁止

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN =1 で更新されます。

34.2.15 画質改善部マトリクス YG 調整レジスタ 0 (ADJ_MTX_YG_ADJ0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	ADJ_MTX_YG[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	ADJ_MTX_GG[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	ADJ_MTX_YG [7:0]	128	R/W	Y/G 信号のオフセット (DC) 調整 符号無し (0 (- 128) ~ 128 (0) ~ 255 (+ 127) [LSB])
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	ADJ_MTX_GG [10:0]	256	R/W	G 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023 [LSB]、256 [LSB] = 1.0 [倍])

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.16 画質改善部マトリクス YG 調整レジスタ 1 (ADJ_MTX_YG_ADJ1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	ADJ_MTX_GB[10:0]										
初期値:	0	0	0	0	0	1	1	1	1	0	1	0	1	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	ADJ_MTX_GR[10:0]										
初期値:	0	0	0	0	0	1	1	1	0	1	0	0	1	0	0	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	ADJ_MTX_GB [10:0]	1960	R/W	G 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	ADJ_MTX_GR [10:0]	1865	R/W	G 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.17 画質改善部マトリクス CBB 調整レジスタ 0 (ADJ_MTX_CBB_ADJ0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	ADJ_MTX_B[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	ADJ_MTX_BG[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	ADJ_MTX_B [7:0]	128	R/W	B 信号のオフセット (DC) 調整 符号無し (0 (- 128) ~ 128 (0) ~ 255 (+ 127) [LSB])
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	ADJ_MTX_BG [10:0]	256	R/W	B 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023 [LSB]、256 [LSB] = 1.0 [倍])

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.18 画質改善部マトリクス CBB 調整レジスタ 1 (ADJ_MTX_CBB_ADJ1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	ADJ_MTX_BB[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	0	0	0	1	1	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	ADJ_MTX_BR[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	ADJ_MTX_BB [10:0]	454	R/W	B 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	ADJ_MTX_BR [10:0]	0	R/W	B 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.2.19 画質改善部マトリクス CRR 調整レジスタ 0 (ADJ_MTX_CRR_ADJ0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	ADJ_MTX_R[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	ADJ_MTX_RG[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	ADJ_MTX_R [7:0]	128	R/W	R 信号のオフセット (DC) 調整 符号無し (0 (- 128) ~ 128 (0) ~ 255 (+ 127) [LSB])
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	ADJ_MTX_RG [10:0]	256	R/W	R 信号出力の Y/G 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB]=1.0[倍])

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN =1 で更新されます。

34.2.20 画質改善部マトリクス CRR 調整レジスタ 1 (ADJ_MTX_CRR_ADJ1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	ADJ_MTX_RB[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	ADJ_MTX_RR[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	1	1	0	0	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	ADJ_MTX_RB [10:0]	0	R/W	R 信号出力の Cb/B 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	ADJ_MTX_RR [10:0]	359	R/W	R 信号出力の Cr/R 信号のゲイン調整 符号付 (2 の補数) (- 1024 ~ + 1023[LSB]、256[LSB] = 1.0[倍])

【注】 本レジスタはすべて画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 で更新されます。

34.3 使用方法

34.3.1 黒伸張の使用方法

黒伸張の深さ (BKSTR_D[3:0]) と黒伸張の開始点 (BKSTR_ST[3:0]) の設定により、黒の伸張度合いを調整できます。黒伸張の時間軸の変化量は、時定数設定 (BKSTR_T1[4:0]、BKSTR_T2[4:0]) により、調整することが可能です。時定数設定を行うことにより、シーンの切り替わりでの急な変化を抑えることができます。

表 34.11 黒伸張の設定レジスタ

レジスタ名	ビット名	設定値
ADJ_BKSTR_SET	BKSTR_ON	黒伸張オンの場合 : 1
ADJ_BKSTR_SET	BKSTR_D[3:0]	黒伸張の深さを設定します。値が大きいほど、深くなります。
ADJ_BKSTR_SET	BKSTR_ST[3:0]	黒伸張の開始点を設定します。値が大きいほど、伸張領域が多くなります。
ADJ_BKSTR_SET	BKSTR_T1[4:0]	黒伸張の正方向の時定数を設定します。値が大きいほど、変化が遅くなります。
ADJ_BKSTR_SET	BKSTR_T2[4:0]	黒伸張の負方向の時定数を設定します。値が大きいほど、変化が遅くなります。

【注】 レジスタ設定後に画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 の設定が必要です。

34.3.2 エンハンサの LTI 処理

図 34.8 に LTI 調整を示します。

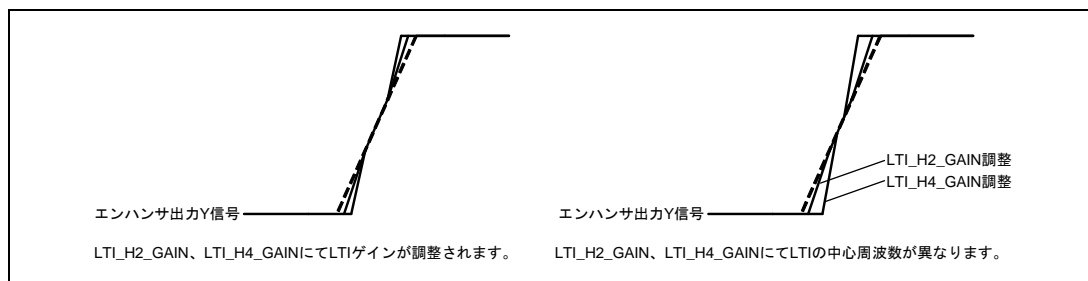


図 34.8 LTI 調整例

34.3.3 エンハンサのシャープネス処理

図 34.9 にシャープネス調整例を示します。

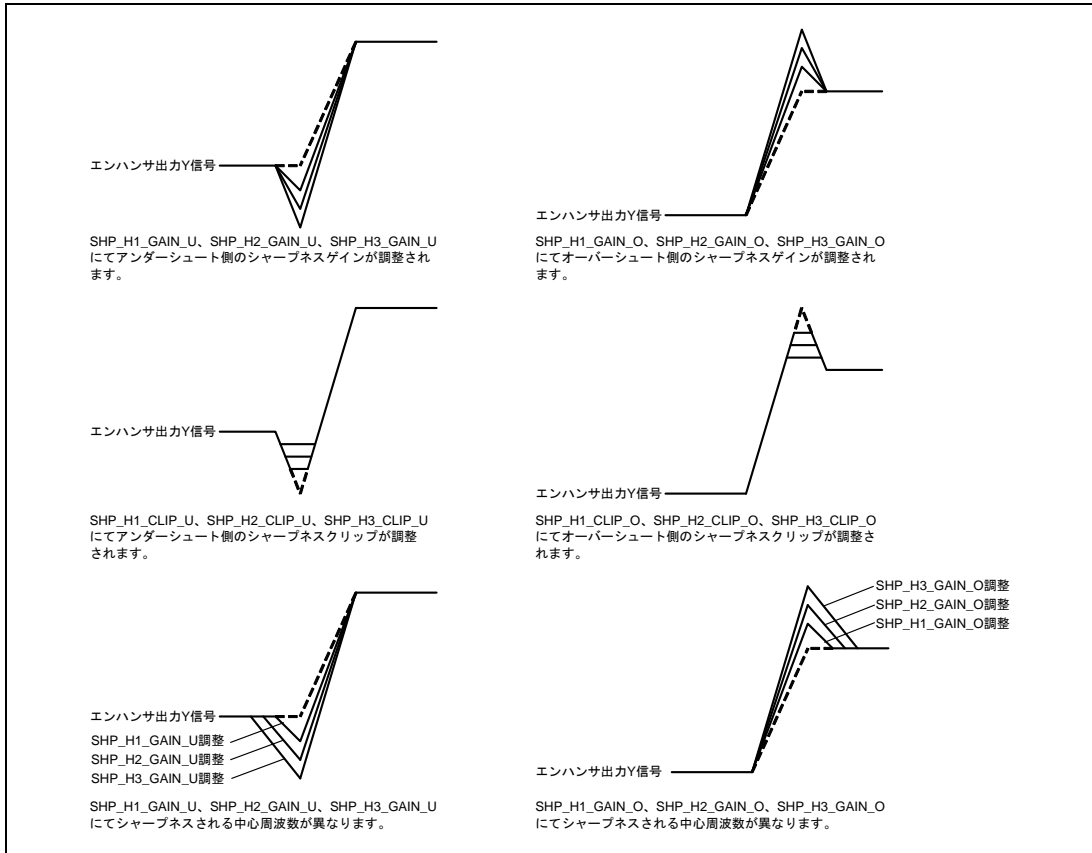


図 34.9 シャープネス調整例

34.3.4 カラーマトリクスデータのデータ変換設定方法

画質改善部より後段回路は GBR 入力を想定としているため、カラーマトリクス回路にて GBR フォーマットで出力する必要があります。

表 34.12 に、GBR 変換設定例を示します。

表 34.12 マトリクス変換の推奨設定値

レジスタ名	ビット名	GBR	GBR 変換	YCbCr	GBR 変換
		推奨値		推奨値	
ADJ_MTX_MODE	ADJ_MTX_MD[1:0]	0		2	
ADJ_MTX_YG_ADJ0	ADJ_MTX_YG[7:0]	128		128	
ADJ_MTX_CBB_ADJ0	ADJ_MTX_B[7:0]	128		128	
ADJ_MTX_CRR_ADJ0	ADJ_MTX_R[7:0]	128		128	
ADJ_MTX_YG_ADJ0	ADJ_MTX_GG[10:0]	256		256	
ADJ_MTX_YG_ADJ1	ADJ_MTX_GB[10:0]	0		1960	
ADJ_MTX_YG_ADJ1	ADJ_MTX_GR[10:0]	0		1865	
ADJ_MTX_CBB_ADJ0	ADJ_MTX_BG[10:0]	0		256	
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BB[10:0]	256		454	
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BR[10:0]	0		0	
ADJ_MTX_CRR_ADJ0	ADJ_MTX_RG[10:0]	0		256	
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RB[10:0]	0		0	
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RR[10:0]	256		359	

【注】 レジスタ設定後に画質改善部レジスタ更新制御レジスタ (ADJ_UPDATE) の ADJ_VEN = 1 の設定が必要です。

35. ビデオディスプレイコントローラ 4 (5) 画面合成部

35.1 画面合成機能

35.1.1 機能概要

画面合成部は、フレームバッファ上のグラフィックスデータを読み出して表示を行います。

合成は、映像+グラフィックス2面、もしくは、グラフィックス3面の選択ができます。

グラフィックスデータは、RGB565、RGB888、RGB1555、RGB4444、RGB8888、CLUT8、CLUT4、CLUT1、YCbCr422 (グラフィックス(1)) に対応しています。

映像データは、RGB565、RGB888、YCbCr422 に対応しています。

各グラフィックスプレーンに対して背景色、下層グラフィックス、カレントグラフィックス、下層グラフィックスとカレントグラフィックスのブレンド処理 (グラフィックス(2)、(3)) の表示が行えます。

フレームバッファとして大容量内蔵 RAM および外部 SDRAM を使用可能ですが、外部 SDRAM を使用した場合バス帯域が足りなくなり表示ができなくなる可能性がありますので、フレームバッファは、内蔵の大容量 RAM に配置する事を推奨いたします。

下図に画面合成部の機能ブロック図を示します。

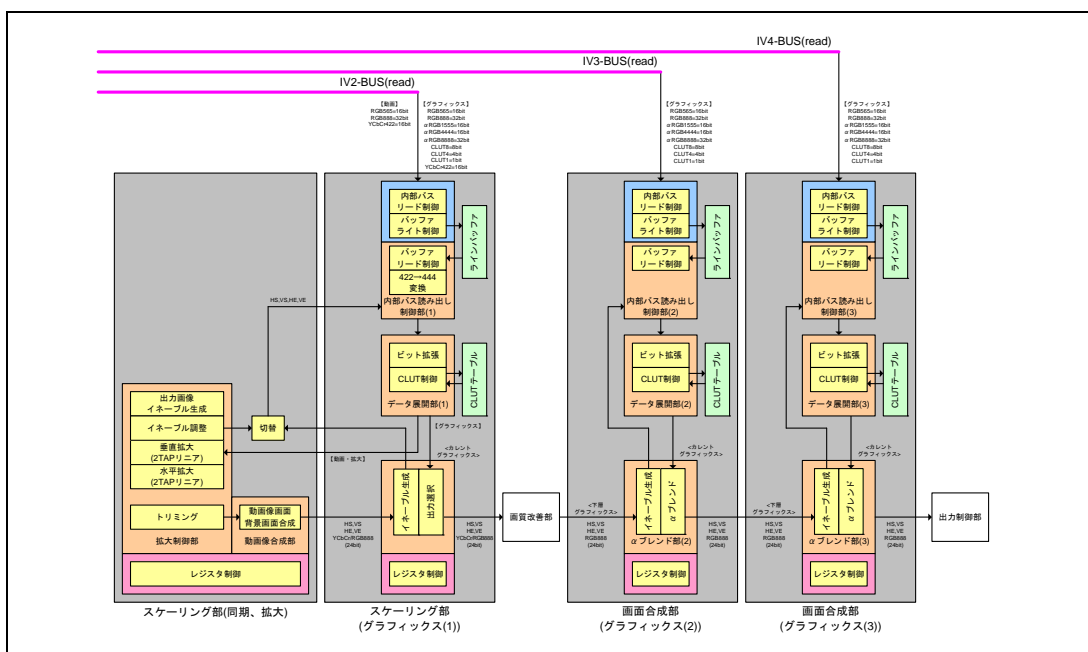


図 35.1 画面合成部の機能ブロック図

35.1.2 グラフィックスデータ読み出し制御

グラフィックスデータ読み出し制御は、スケーリング部のグラフィックス(1)表示、画面合成部のグラフィックス(2)表示、グラフィックス(3)表示の3系統あります。

各部のレジスタ・ビットは、GR1_xxxx、GR2_xxxx、GR3_xxxx となりますが、本仕様書では、レジスタ・ビット名を GR_xxxx として記載します。

(1) レジスタの更新制御

グラフィックス表示、フレームバッファ読み出しの制御レジスタは、すべて垂直同期信号で更新タイミングを管理します。

更新制御レジスタに1をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に0にクリアされます。

表 35.1 レジスタの更新制御

レジスタ名	ビット名	初期値	説明
GR_UPDATE	GR_P_VEN	0	グラフィックス表示のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
GR_UPDATE	GR_IBUS_VEN	0	フレームバッファ読み出しのレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

(2) フレームバッファバースト転送モード

映像、グラフィックスデータが格納されているフレームバッファへのアクセスは、32 バイト転送、128 バイト転送の2モードを選択できます。

表 35.2 フレームバッファバースト転送モード

レジスタ名	ビット名	初期値	説明
GR_FLM1	GR_BST_MD	0	フレームバッファバースト転送モード 0: 32 バイト 1: 128 バイト

(3) フレームバッファ制御モード

フレームバッファの読み出しは、複数面に対応しています。

グラフィックスに対しては、GR_FLM_SEL[1:0] = 1 を設定し、GR_FLM_NUM[9:0] で表示面のフレーム番号を設定します。映像に対しては、書き込み時の処理に応じて GR_FLM_SEL[1:0] でモードを選択します。映像時の使用フレーム数は、書き込み処理部で設定した値で動作します。

表 35.3 フレームバッファ制御モード

レジスタ名	ビット名	初期値	説明
GR_FLM1	GR_FLM_SEL[1:0]	0	フレームバッファアドレス設定信号の選択 0: 縮小処理と連携、またはフレーム 0 を選択*1 1: レジスタ GR_FLM_NUM を選択 2: 歪み補正処理と連携、またはフレーム 0 を選択*2 3: 設定禁止
GR_FLM3	GR_FLM_NUM[9:0]	0	フレームバッファのフレーム番号 レジスタ GR_FLM_SEL = 1 のとき、フレーム番号を手動設定します。

【注】 *1 グラフィックス (1) は縮小処理と連携。グラフィックス (2)、(3) はフレーム 0 を選択。

*2 グラフィックス (1) は歪み補正処理と連携。グラフィックス (2)、(3) はフレーム 0 を選択。

(4) フレームバッファ読み出し制御

フレームバッファの読み出しの許可 / 禁止を制御します。

表 35.4 フレームバッファ読み出し制御

レジスタ名	ビット名	初期値	説明
GR_FLM_RD	GR_R_ENB	0	フレームバッファ読み出し許可 0: 読み出しを禁止 1: 読み出しを許可

(5) 歪み補正フレームバッファ制御

歪み補正フレームバッファはフレーム 0、フレーム 1 の 2 面を使用し、歪み補正エンジンより読み出すフレーム番号が設定されます。

GR_IMR_FLM_INV で読み出すフレームバッファ番号(フレーム 0、フレーム 1)を入れ替えることができます。本ビットは GR_FLM_SEL = 2 のときのみ有効となります。

表 35.5 歪み補正フレームバッファ制御

レジスタ名	ビット名	初期値	説明
GR1_FLM1	GR1_IMR_FLM_INV	0	歪み補正フレームバッファ番号設定* 0: 読み出しフレームバッファ番号入れ替えなし 1: 読み出しフレームバッファ番号入れ替えあり

【注】 * 本ビットはグラフィックス(1)のみ存在します。

(6) フレームバッファサイズ

読み出すフレームバッファのサイズを設定します。

GR_HW[9:0]で水平の画素数を、GR_FLM_LNUM[9:0]で垂直のライン数を設定します。

表 35.6 フレームバッファサイズ

レジスタ名	ビット名	初期値	説明
GR_FLM6	GR_HW[9:0]	0	水平有効期間の幅設定 幅は (GR_HW + 1) 画素になります。 【注】 2 以上の値を設定してください。
GR_FLM5	GR_FLM_LNUM[9:0]	0	1 フレームのライン数設定 ライン数は (GR_FLM_LNUM + 1) ラインになります。

(7) フレームバッファアドレス計算

フレームバッファのデータ領域は、GR_BASE[31:0]、GR_LN_OFF[14:0]、GR_FLM_OFF[22:0]と表示面のフレーム番号で計算します。

GR_LN_OFF[14:0]、GR_FLM_OFF[22:0]は、32/128 バイト単位で設定します(下位 5/7 ビットは 0 固定)。

GR_BASE[31:0]は、表示データの開始位置を設定するために 64 ビット単位で設定します(下位 3 ビットは固定)。

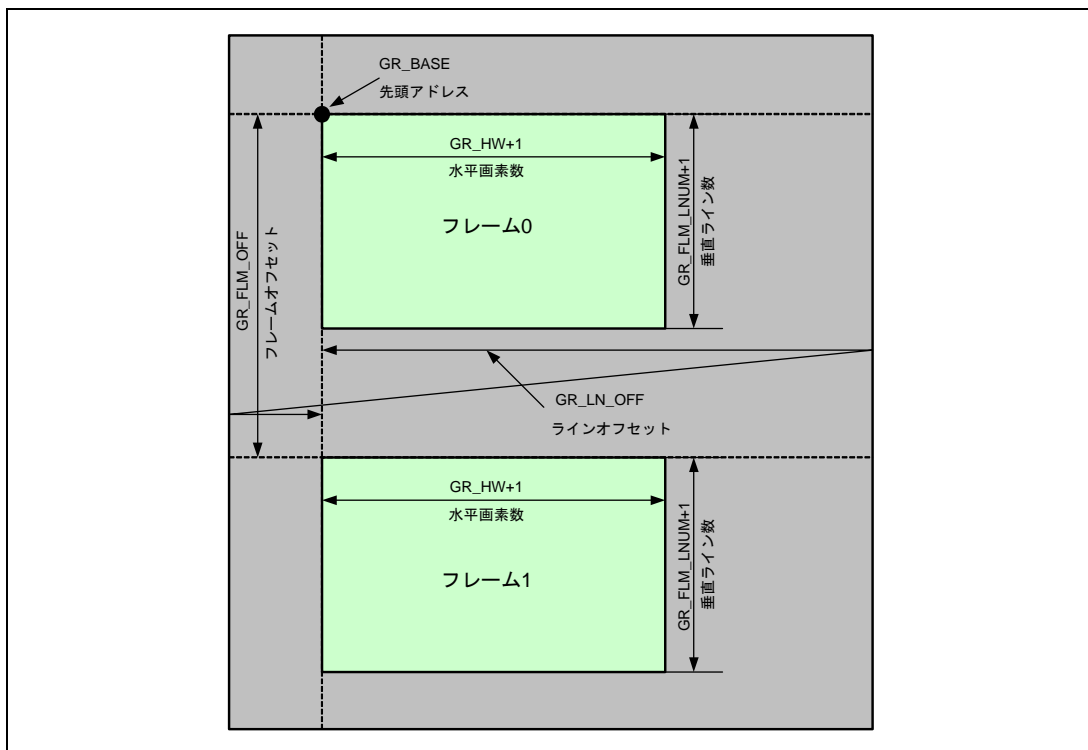


図 35.2 フレームバッファ上のデータ配置のイメージ図

表 35.7 フレームバッファアドレス計算

レジスタ名	ビット名	初期値	説明
GR_FLM2	GR_BASE[31:0]	0	<p>フレームバッファのベースアドレス</p> <p>フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。</p> <p>32 バイトバースト転送時は GR_BASE[4:3]、128 バイトバースト転送時は GR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。</p> <p>下位 3 ビットは 000 固定してください。</p>
GR_FLM3	GR_LN_OFF[14:0]	0	<p>フレームバッファのラインオフセットアドレス</p> <p>ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。</p> <p>ライン 0 : GR_BASE</p> <p>ライン 1 : GR_BASE + GR_LN_OFF × 1</p> <p>：</p> <p>ライン n : GR_BASE + GR_LN_OFF × n</p> <p>32 バイト転送時：下位 5 ビットは 0_0000 固定してください。</p> <p>128 バイト転送時：下位 7 ビットは 000_0000 固定してください。</p>
GR_FLM4	GR_FLM_OFF[22:0]	0	<p>フレームバッファのフレームオフセットアドレス</p> <p>複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定します。</p> <p>バッファ 0 : GR_BASE</p> <p>バッファ 1 : GR_BASE + GR_FLM_OFF × 1</p> <p>：</p> <p>バッファ n : GR_BASE + GR_FLM_OFF × n</p> <p>32 バイト転送時：下位 5 ビットは 0_0000 固定してください。</p> <p>128 バイト転送時：下位 7 ビットは 000_0000 固定してください。</p>

(8) 1面以下のフレームバッファサイズ設定

フレームバッファサイズをライン単位で設定することができます。

GR_FLM_LOOP[9:0]で設定したライン数を GR_FLM_LNUM[9:0]より小さくすると、(GR_FLM_LOOP[9:0]+1)で設定したライン数の読み出しを完了するとフレームバッファの先頭から再読み出しを行います。

表 35.8 1面以下のフレームバッファサイズ指定

レジスタ名	ビット名	初期値	説明
GR_FLM5	GR_FLM_LOOP[9:0]	1023	<p>アドレスをリング状に読み出す場合のライン数</p> <p>ライン数は (GR_FLM_LOOP + 1) ラインになります。</p>

(9) フレームバッファのラインオフセット制御

フレームバッファのラインオフセットアドレスの方向を設定します。

表 35.9 フレームバッファのラインオフセットアドレスの方向制御

レジスタ名	ビット名	初期値	説明
GR_FLM1	GR_LN_OFF_DIR	0	フレームバッファのラインオフセットアドレスの方向設定 0: ラインオフセットアドレス分をインクリメント 1: ラインオフセットアドレス分をデクリメント

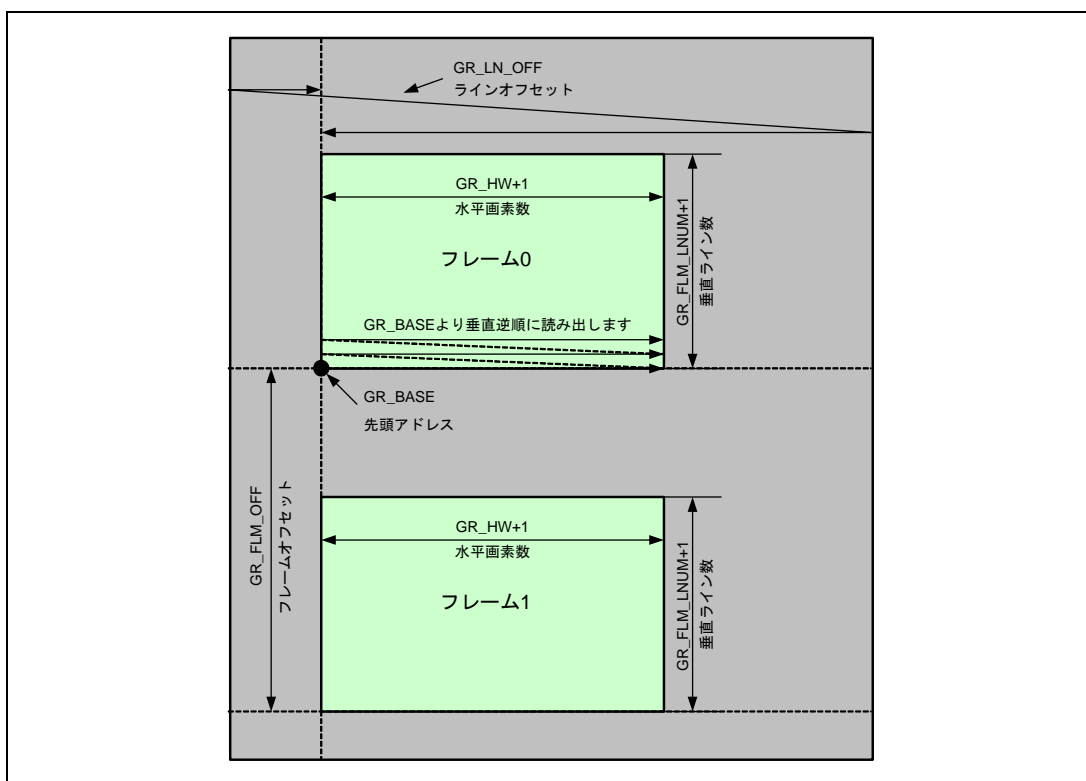


図 35.3 ラインオフセット デクリメント制御時のデータ配置イメージ図

(10) フレームバッファ読み出し信号フォーマット選択

グラフィックス(1)、(2)、(3)は、RGB565、RGB888、RGB1555、RGB4444、RGB8888、CLUT8、CLUT4、CLUT1のフォーマットに対応しています。さらに、グラフィックス(1)はYCbCr422フォーマットに対応しています。

GR_FORMAT[3:0]でフォーマットを設定します。

表 35.10 フレームバッファ読み出し信号フォーマット選択

レジスタ名	ビット名	初期値	説明
GR_FLM6	GR_FORMAT[3:0]	0	フレームバッファ読み出し信号のフォーマット設定 0 : RGB565 1 : RGB888 2 : RGB1555 3 : RGB4444 4 : RGB8888 5 : CLUT8 6 : CLUT4 7 : CLUT1 8 : YCbCr422、または設定禁止* 9 ~ 15 : 設定禁止

【注】 * グラフィックス(1)はYCbCr422設定可。グラフィックス(2)、(3)は設定禁止。

(11) エンディアン制御

フレームバッファは、64ビット1データで管理しており、GR_ENDIAN_ONで読み出すデータのエンディアンを制御できます。YCbCr422フォーマットはGR_ENDIAN_ON = 1のとき、GR_YCC_SWAP[2:0]でデータ割り付けを制御します。

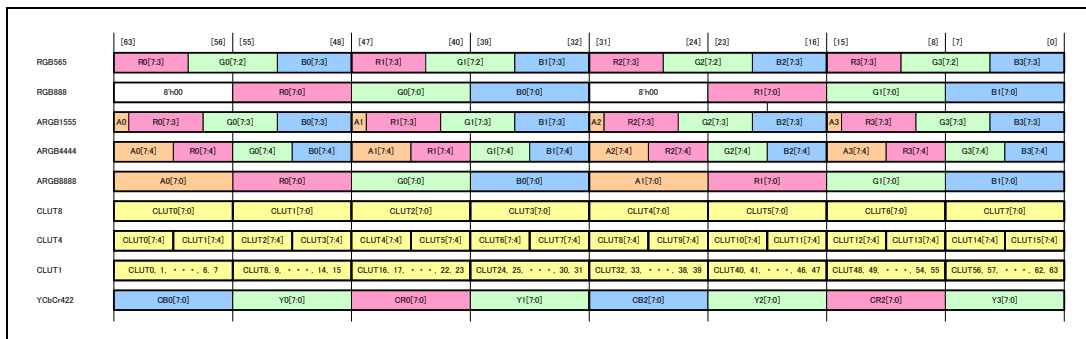


図 35.4 エンディアン制御なし時のデータ割り付け

	[63]	[56]	[55]	[48]	[47]	[40]	[39]	[32]	[31]	[24]	[23]	[16]	[15]	[8]	[7]	[0]								
RGB565	G0(4:2)	B0(7:3)	R0(7:3)	G0(7:5)	G1(4:2)	B1(7:3)	R1(7:3)	G1(7:5)	G2(4:2)	B2(7:3)	R2(7:3)	G2(7:5)	G3(4:2)	B3(7:3)	R3(7:3)	G3(7:5)								
RGB888	B0(7:0)		G0(7:0)		R0(7:0)		8100		B1(7:0)		G1(7:0)		R1(7:0)		8100									
ARGB1555	G0(5:3)	B0(7:3)	A0	R0(7:3)	G0(7:6)	G1(5:3)	B1(7:3)	A1	R1(7:3)	G1(7:6)	G2(5:3)	B2(7:3)	A2	R2(7:3)	G2(7:6)	G3(5:3)	B3(7:3)	A3	R3(7:3)	G3(7:6)				
ARGB4444	G0(7:4)	B0(7:4)	A0(7:4)	R0(7:4)	G1(7:4)	B1(7:4)	A1(7:4)	R1(7:4)	G2(7:4)	B2(7:4)	A2(7:4)	R2(7:4)	G3(7:4)	B3(7:4)	A3(7:4)	R3(7:4)								
ARGB8888	B0(7:0)		G0(7:0)		R0(7:0)		A0(7:0)		B1(7:0)		G1(7:0)		R1(7:0)		A1(7:0)									
CLUT8	CLUT0(7:0)			CLUT1(7:0)			CLUT2(7:0)			CLUT3(7:0)			CLUT4(7:0)			CLUT5(7:0)			CLUT6(7:0)			CLUT7(7:0)		
CLUT4	CLUT0(7:4)	CLUT1(7:4)	CLUT2(7:4)	CLUT3(7:4)	CLUT4(7:4)	CLUT5(7:4)	CLUT6(7:4)	CLUT7(7:4)	CLUT8(7:4)	CLUT9(7:4)	CLUT10(7:4)	CLUT11(7:4)	CLUT12(7:4)	CLUT13(7:4)	CLUT14(7:4)	CLUT15(7:4)								
CLUT1	CLUT0.1, . . . , 6, 7			CLUT8.8, . . . , 14, 15			CLUT16.17, . . . , 22, 23			CLUT24.25, . . . , 30, 31			CLUT32.33, . . . , 38, 39			CLUT40.41, . . . , 46, 47			CLUT48.49, . . . , 54, 55			CLUT56.57, . . . , 62, 63		

図 35.5 エンディアン制御時のデータ割り付け

	[63]	[56]	[55]	[48]	[47]	[40]	[39]	[32]	[31]	[24]	[23]	[16]	[15]	[8]	[7]	[0]
YCC_SWAP=0	CB0(7:0)		Y0(7:0)		CR0(7:0)		Y1(7:0)		CB2(7:0)		Y2(7:0)		CR2(7:0)		Y3(7:0)	
YCC_SWAP=1	Y0(7:0)		CB0(7:0)		Y1(7:0)		CR0(7:0)		Y2(7:0)		CB2(7:0)		Y3(7:0)		CR2(7:0)	
YCC_SWAP=2	CR0(7:0)		Y0(7:0)		CB0(7:0)		Y1(7:0)		CR2(7:0)		Y2(7:0)		CB2(7:0)		Y3(7:0)	
YCC_SWAP=3	Y0(7:0)		CR0(7:0)		Y1(7:0)		CB0(7:0)		Y2(7:0)		CR2(7:0)		Y3(7:0)		CB2(7:0)	
YCC_SWAP=4	Y1(7:0)		CR0(7:0)		Y0(7:0)		CB0(7:0)		Y3(7:0)		CR2(7:0)		Y2(7:0)		CB2(7:0)	
YCC_SWAP=5	CR0(7:0)		Y1(7:0)		CB0(7:0)		Y0(7:0)		CR2(7:0)		Y3(7:0)		CB2(7:0)		Y2(7:0)	
YCC_SWAP=6	Y1(7:0)		CB0(7:0)		Y0(7:0)		CR0(7:0)		Y3(7:0)		CB2(7:0)		Y2(7:0)		CR2(7:0)	
YCC_SWAP=7	CB0(7:0)		Y1(7:0)		CR0(7:0)		Y0(7:0)		CB2(7:0)		Y3(7:0)		CR2(7:0)		Y2(7:0)	

図 35.6 YCbCr422 のデータスワップ制御時のデータ割り付け

表 35.11 エンディアン制御

レジスタ名	ビット名	初期値	説明
GR_FLM6	GR_ENDIAN_ON	0	バッファ読み出しデータのエンディアン制御オン/オフ設定 0 : オフ 1 : オン
GR1_FLM6	GR1_YCC_SWAP[2:0]	0	YCbCr422 フォーマット時バッファ読み出しデータのスワップ制御 GR1_ENDIAN_ON = 1 のときのみ有効 * 0 : CbY0/CrY1 1 : Y0/Cb/Y1/Cr 2 : Cr/Y0/Cb/Y1 3 : Y0/Cr/Y1/Cb 4 : Y1/Cr/Y0/Cb 5 : Cr/Y1/Cb/Y0 6 : Y1/Cb/Y0/Cr 7 : Cb/Y1/Cr/Y0

【注】 * 本ビットはグラフィックス(1)のみ存在します。

(12) 読み出しデータの表示開始画素設定

フレームバッファ上のデータに対して水平方向にオフセットをつけて表示を行う場合は、GR_BASE[31:0]、GR_STA_POS[5:0]で表示開始画素を設定します。GR_BASE[31:0]、GR_STA_POS[5:0]の値は、各フォーマットで計算式が異なります。表示開始の水平オフセットをH_OFFとすると下表で計算できます。

表 35.12 各フォーマット時の表示開始画素位置の計算式

映像 / グラフィックスのフォーマット	1画素のビット数	計算式*1
RGB888 RGB8888 YCbCr422*2	32	GR_BASE[31:3] = int (H_OFF ÷ 2) GR_STA_POS[5:0] = mod (H_OFF ÷ 2)
RGB565 RGB1555 RGB4444	16	GR_BASE[31:3] = int (H_OFF ÷ 4) GR_STA_POS[5:0] = mod (H_OFF ÷ 4)
CLUT8	8	GR_BASE[31:3] = int (H_OFF ÷ 8) GR_STA_POS[5:0] = mod (H_OFF ÷ 8)
CLUT4	4	GR_BASE[31:3] = int (H_OFF ÷ 16) GR_STA_POS[5:0] = mod (H_OFF ÷ 16)
CLUT1	1	GR_BASE[31:3] = int (H_OFF ÷ 64) GR_STA_POS[5:0] = mod (H_OFF ÷ 64)

【注】 *1 int()関数は商、mod()関数は余りを出力します。

*2 グラフィックス(2)、(3)は YCbCr422 フォーマットに対応していません。YCbCr422 フォーマットは Cb/Y0/Cr/Y1 の画素 32 ビット構成ですので、開始位置制御は 32 ビット単位の調整となります。

表 35.13 読み出しデータの表示開始画素設定

レジスタ名	ビット名	初期値	説明
GR_FLM6	GR_STA_POS[5:0]	0	データの読み飛ばし量 ラインの先頭から GR_STA_POS 分のデータを読み飛ばします。
GR_FLM2	GR_BASE[31:0]	0	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32 バイトバースト転送時は GR_BASE[4:3]、128 バイトバースト転送時は GR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位 3 ビットは 000 固定してください。

(13) YCbCr422 YCbCr444 変換

グラフィックス (1) の YCbCr422 フォーマットを YCbCr444 フォーマットに変換します。

グラフィックス (2)、(3) に本機能は存在しません。

表 35.14 YCbCr422 YCbCr444 変換

レジスタ名	ビット名	初期値	説明
GR1_FLM6	GR1_CNV444_MD	0	YCbCr422 YCbCr444 変換時の補間モード設定* 0: ホールド補間 1: 平均値補間

【注】 * グラフィックス (2)、(3) は YCbCr422 フォーマットに対応していないため、本ビットは設けていません。

(14) ビット拡張

RGB565、RGB888、RGB1555、RGB4444 フォーマットを RGB8888 フォーマットに変換します。

RGB565 RGB8888 フォーマット変換

変換後 [7:0] = 255 固定

変換後 $R[7:0] = R[4:0] \times 263 \div 32$ (少数点第一位で四捨五入) $\#R[4:0] \times 255 \div 31$ の近似式

変換後 $G[7:0] = G[5:0] \times 259 \div 64$ (少数点第一位で四捨五入) $\#G[5:0] \times 255 \div 63$ の近似式

変換後 $B[7:0] = B[4:0] \times 263 \div 32$ (少数点第一位で四捨五入) $\#B[4:0] \times 255 \div 31$ の近似式

RGB888 RGB8888 フォーマット変換

変換後 [7:0] = 255 固定

RGB1555 RGB8888 フォーマット変換

変換後 [7:0] = 入力 1' のときは GR_A1 参照、0 のときは GR_A0 参照

変換後 $R[7:0] = R[4:0] \times 263 \div 32$ (少数点第一位で四捨五入) $\#R[4:0] \times 255 \div 31$ の近似式

変換後 $G[7:0] = G[4:0] \times 263 \div 32$ (少数点第一位で四捨五入) $\#G[4:0] \times 255 \div 31$ の近似式

変換後 $B[7:0] = B[4:0] \times 263 \div 32$ (少数点第一位で四捨五入) $\#B[4:0] \times 255 \div 31$ の近似式

RGB4444 RGB8888 フォーマット変換

変換後 [7:0] = [3:0] $\times 17$

変換後 $R[7:0] = R[3:0] \times 17$

変換後 $G[7:0] = G[3:0] \times 17$

変換後 $B[7:0] = B[3:0] \times 17$

(15) バッファアングダフロー処理

フレームバッファからの読み出し処理にてバストラフィック等で読み出しできなかった場合、アングダフロー割り込み信号を出力します。

35.1.3 グラフィックス領域設定

グラフィックスの表示領域は、水平同期信号、垂直同期信号の立ち上がりエッジを基準に GR_GRC_HS[10:0]、GR_GRC_HW[10:0]、GR_GRC_VS[10:0]、GR_GRC_VW[10:0]で設定します。

図 35.7 にグラフィックスの表示領域を示します。

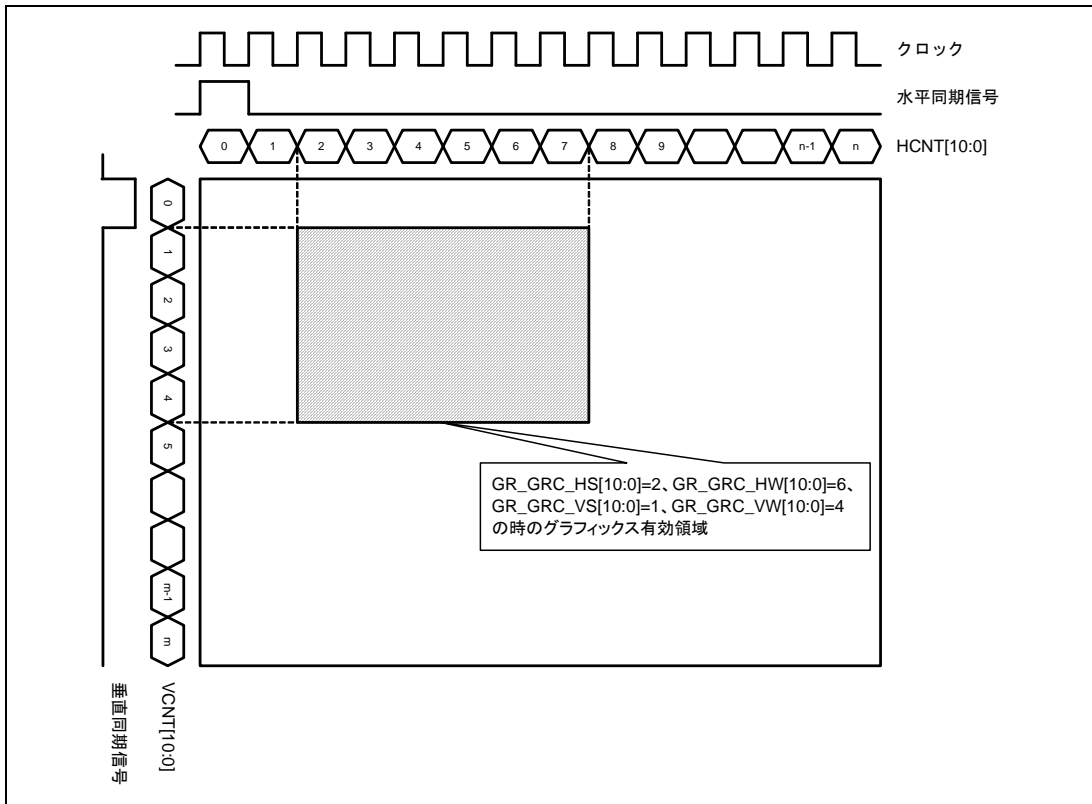


図 35.7 グラフィックスの表示領域

GR_GRC_DISP_ON = 1 にすることでグラフィックス領域の枠を表示することができます。

表 35.15 グラフィックスの表示領域設定

レジスタ名	ビット名	初期値	説 明
GR_AB3	GR_GRC_HS[10:0]	0	グラフィックス画像領域の水平開始位置設定 【注】16 クロック以上、GR_GRC_HS+GR_GRC_HW が 2015 クロック以内になるように設定してください。
GR_AB3	GR_GRC_HW[10:0]	0	グラフィックス画像領域の水平幅設定 【注】水平幅 1、2 画素表示を行う場合は、GR_HW = 2、 GR_GRC_HW = 1 (1 画素)、2 (2 画素) と設定してく ださい。
GR_AB2	GR_GRC_VS[10:0]	0	グラフィックス画像領域の垂直開始位置設定 【注】4 ライン以上、GR_GRC_VS+GR_GRC_VW が 2039 ラ イン以内になるように設定してください。
GR_AB2	GR_GRC_VW[10:0]	0	グラフィックス画像領域の垂直幅設定
GR_AB1	GR_GRC_DISP_ON	0	グラフィックス画像領域の枠の表示オン / オフ設定 0 : 表示オフ 1 : 表示オン

35.1.4 指定ライン割り込み生成

GR3_LINE[10:0]で設定したライン時に割り込み信号を発生します。

表 35.16 指定ライン割り込み

レジスタ名	ビット名	初期値	説 明
GR3_CLUT_INT	GR3_LINE[10:0]	0	ライン割り込み設定* ライン数がレジスタ GR3_LINE の値と一致するとき、割り込み信号を出 力します。本機能は、グラフィックス (3) の機能を使用しない場合で も動作します。

【注】 * グラフィックス (3) のみに存在する機能です。グラフィックス (1)、(2) には、本ビットは存在しません。

35.1.5 フレームバッファ読み出し信号フォーマットとアルファブレンドの対応

GR_FORMAT[3:0]でグラフィックスデータのフレームバッファ読み出し信号フォーマットを選択します。

表 35.17 に各信号フォーマットに対するアルファブレンドの対応表を示します。各種ブレンド機能は、グラフィックス (2)、(3) に存在します。値の優先順位は、矩形領域アルファブレンド > クロマキー > 画素単位アルファブレンドとなります。

表 35.17 読み出し信号フォーマットとアルファブレンドの対応表

GR_FORMAT [3:0]	信号フォーマット	矩形領域 アルファブレンド	RGB 参照 クロマキー	CLUT 参照 クロマキー	画素単位 アルファブレンド
0	RGB565		* ¹	×	×
1	RGB888			×	×
2	RGB1555		* ¹ * ³	×	* ³
3	RGB4444		* ¹	×	
4	RGB8888			×	
5	CLUT8		×		
6	CLUT4		×		
7	CLUT1	* ⁴	×	* ⁴	* ⁴
8	YCbCr422	×	×	×	

【注】 *¹ フレームバッファ読み出し信号フォーマットが各 8 ビットではない場合の RGB 参照クロマキーは、演算により各 8 ビットに換算します（「35.1.2 (14) ビット拡張」参照）。

*² 値を 255 として扱うため、カレントグラフィックス表示固定になります。

*³ フレームバッファ読み出しデータのアルファ値は 1 ビットです。この 1 ビット信号により、8 ビットの 値を格納したレジスタ 2 セットのどちらかを選択します。

*⁴ フレームバッファ信号の CLUT 値は 1 ビットです。この 1 ビット信号により、各 8 ビットの /G/B/R 値を格納したレジスタ 2 セットのどちらかを選択します。CLUT テーブルは参照しません。

*⁵ グラフィックス (1) は YCbCr422 を表示できますが、各種ブレンド / クロマキー処理はできません。

35.1.6 表示選択

GR_DISP_SEL[1:0]で背景色、下層グラフィックス、カレントグラフィックス、下層グラフィックスとカレントグラフィックスのブレンドの4種類の表示を選択します。ブレンド時は、矩形領域アルファブレンド、RGB参照クロマキー、CLUT参照クロマキー、画素単位アルファブレンドの処理を選択できます。

表 35.18 に表示選択の一覧表を示します。

表 35.18 表示選択の一覧表

GR_DISP_SEL [1:0]	GR_ARC_ON	GR_CK_ON	グラフィックス 領域内の処理	グラフィックス 領域外の処理
0	X	X	背景色	背景色
1	X	X	下層グラフィックス	下層グラフィックス
2	X	X	カレントグラフィックス	背景色
3	1	X	矩形領域アルファブレンド*	下層グラフィックス
3	0	1	RGB参照クロマキー またはCLUT参照クロマキー	下層グラフィックス
3	0	0	画素単位アルファブレンド*	下層グラフィックス

【注】 * 各種ブレンド機能は、グラフィックス(2)、(3)にのみ存在します。

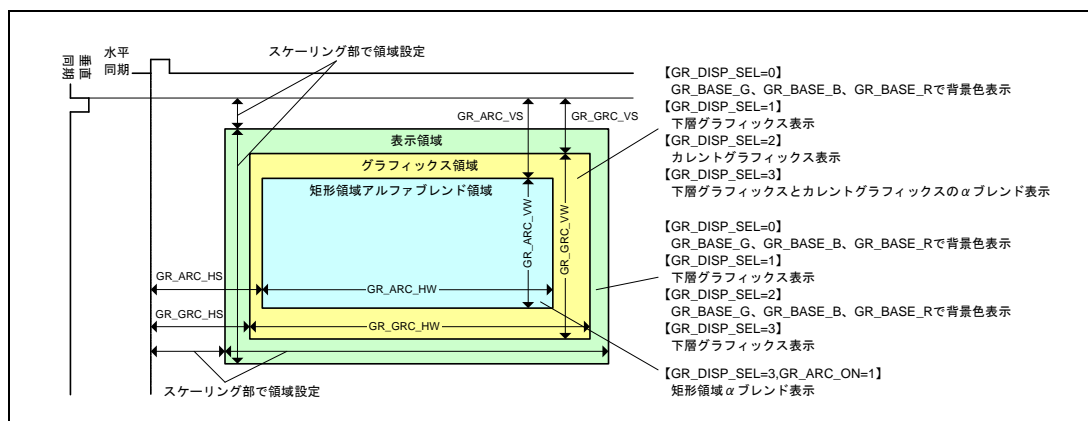


図 35.8 グラフィックス表示選択図

図 35.9 に GR_DISP_SEL = 3 時のグラフィックスプレーン図を示します。

下層グラフィックス、カレントグラフィックスの対応は図 35.1 を参照してください。

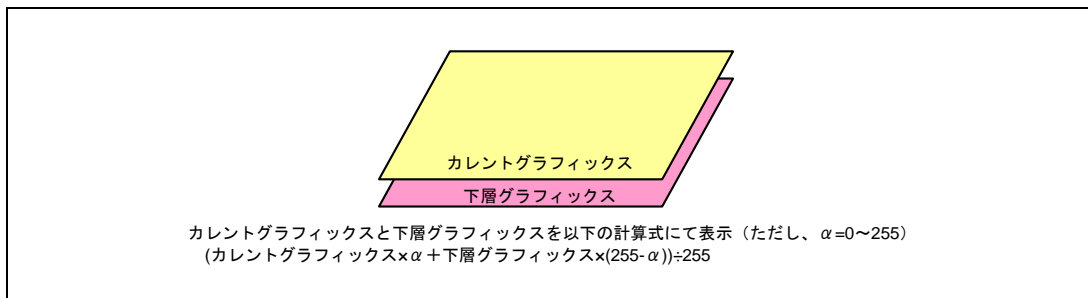


図 35.9 GR_DISP_SEL = 3 時のグラフィックスプレーン図

表 35.19 アルファブレンド設定

レジスタ名	ビット名	初期値	説明
GR_AB1	GR_DISP_SEL[1:0]	0	グラフィックス表示設定 0: 背景色表示 1: 下層グラフィックス表示 2: カレントグラフィックス表示 3: 下層グラフィックスとカレントグラフィックスのブレンド表示*1
GR_AB1	GR_ARC_ON	0	矩形領域アルファブレンド処理オン/オフ設定*2 0: オフ 1: オン
GR_AB7	GR_CK_ON	0	CLUT 参照 / RGB 参照クロマキー処理オン/オフ設定 0: オフ 1: オン

【注】 *1 グラフィックス (1) では、クロマキー処理のみ可能です。クロマキー処理を行う際は、カレントグラフィックスのみを表示させるために、クロマキー対象画素を置換する 値およびクロマキー対象外画素の 値を 255 にしてください。

*2 グラフィックス (2)、(3) のみに存在する機能です。グラフィックス (1) には、本ビットは存在しません。

35.1.7 背景色表示処理

GR_BASE_G[7:0]、GR_BASE_B[7:0]、GR_BASE_R[7:0]で設定した色を表示します。

G 出力 = GR_BASE_G

B 出力 = GR_BASE_B

R 出力 = GR_BASE_R

表 35.20 背景色設定

レジスタ名	ビット名	初期値	説明
GR_BASE	GR_BASE_G[7:0]	0	背景色 G 信号 G : 8 ビット符号無し (0~255[LSB])
GR_BASE	GR_BASE_B[7:0]	0	背景色 B 信号 B : 8 ビット符号無し (0~255[LSB])
GR_BASE	GR_BASE_R[7:0]	0	背景色 R 信号 R : 8 ビット符号無し (0~255[LSB])

35.1.8 下層グラフィックス表示処理

下層グラフィックスを表示します。

G 出力 = 下層グラフィックス G 入力

B 出力 = 下層グラフィックス B 入力

R 出力 = 下層グラフィックス R 入力

35.1.9 カレントグラフィックス表示処理

カレントグラフィックスを表示します。

G 出力 = カレントグラフィックス G 入力

B 出力 = カレントグラフィックス B 入力

R 出力 = カレントグラフィックス R 入力

35.1.10 矩形領域アルファブレンド表示処理

矩形領域アルファブレンド処理の矩形領域は、水平同期信号、垂直同期信号の立ち上がりエッジを基準に GR_ARC_HS[10:0]、GR_ARC_HW[10:0]、GR_ARC_VS[10:0]、GR_ARC_VW[10:0]で設定します。本機能はグラフィックス (1) には存在しません。

図 35.10 に矩形領域アルファブレンド処理の領域設定を示します。

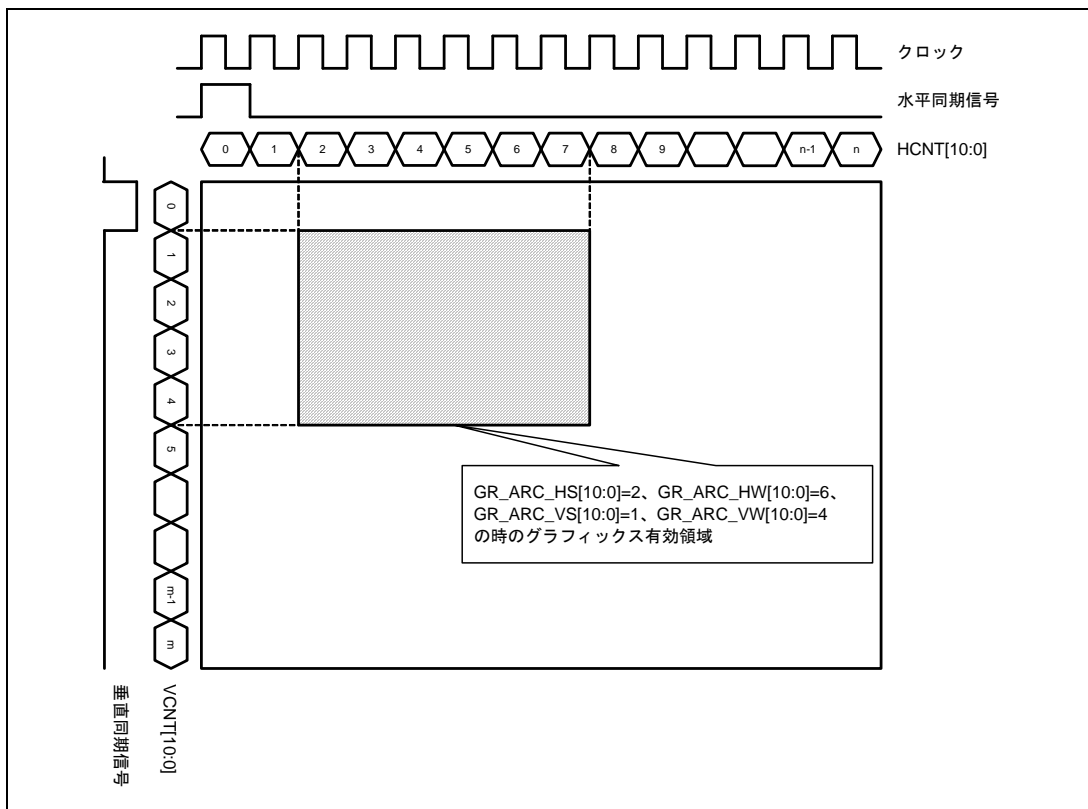


図 35.10 矩形領域アルファブレンド処理の領域設定

GR_ARC_DISP_ON = 1 にすることでグラフィックス領域の枠を表示することができます。

表 35.21 矩形領域アルファブレンド処理の領域設定

レジスタ名	ビット名	初期値	説明
GR_AB5	GR_ARC_HS[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の水平開始位置設定
GR_AB5	GR_ARC_HW[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の水平幅設定
GR_AB4	GR_ARC_VS[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の垂直開始位置設定
GR_AB4	GR_ARC_VW[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の垂直幅設定
GR_AB1	GR_ARC_DISP_ON	0	矩形領域アルファブレンド処理の画像領域の枠の表示オン/オフ設定 0 : 表示オフ 1 : 表示オン

矩形領域アルファブレンド処理は、GR_ARC_DEF[7:0]、GR_ARC_MODE、GR_ARC_COEF[7:0]、GR_ARC_RATE[7:0]でフェードイン/アウト係数を設定することにより、カレントグラフィックスのフェードイン、フェードアウトを行います。

まず、GR_ARC_DEF[7:0]を 値に代入します。

垂直同期信号がレジスタ GR_ARC_RATE[7:0]+1 と同じ回数立ち上がるたびに、GR_ARC_COEF[7:0]を 値に加減算します。

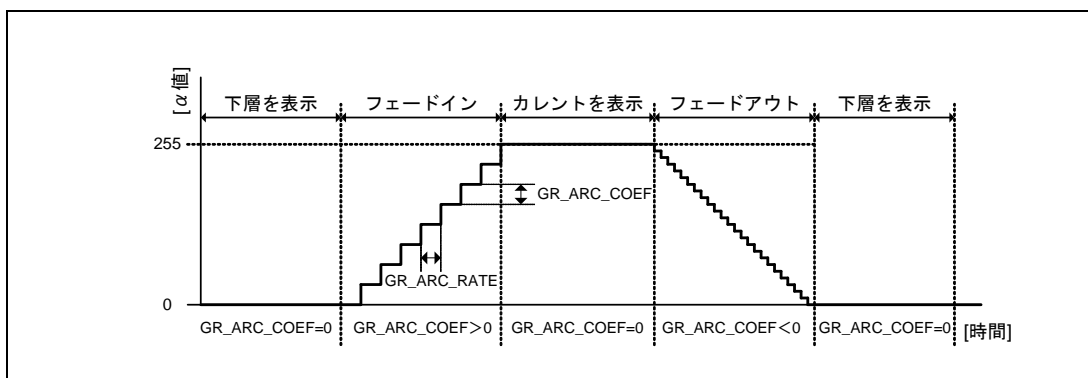


図 35.11 フェードイン、フェードアウト

表 35.22 矩形領域アルファブレンド処理設定

レジスタ名	ビット名	初期値	説明
GR_AB7	GR_ARC_DEF[7:0]	0	矩形領域アルファブレンド処理のアルファ初期値 【注】加算または減算処理中 (GR_ARC_ST = 1) に、アルファ初期値を変更することはできません。上記状態で変更を行うときは、一度矩形領域アルファブレンド処理をオフに設定 (GR_ARC_ON = 0) する必要があります。
GR_AB6	GR_ARC_MODE	0	矩形領域アルファブレンド処理モード 0: 加算 1: 減算
GR_AB6	GR_ARC_COEF[7:0]	0	矩形領域アルファブレンド処理のアルファ係数 (0~255) [7:0]: 変化量 (絶対値表記)
GR_AB6	GR_ARC_RATE[7:0]	0	矩形領域アルファブレンド処理のフレームレート
GR_MON	GR_ARC_ST	-	矩形領域アルファブレンド処理のステータスフラグ 0: 加算または減算処理完了 (値が'0'または 255 の状態) 1: 加算または減算処理中

下記式で設定した値を後述のアルファブレンド演算に適用します。

値 = フェードイン / アウト係数

G 値 = カレントグラフィックス G 入力

B 値 = カレントグラフィックス B 入力

R 値 = カレントグラフィックス R 入力

35.1.11 RGB 参照クロマキー表示処理

下記 3 式すべてを満たす画素に対して RGB 参照クロマキー処理を行います。

カレントグラフィックス G 入力 = GR_CK_KG

カレントグラフィックス B 入力 = GR_CK_KB

カレントグラフィックス R 入力 = GR_CK_KR

RGB 参照クロマキー処理は下記式で設定した値を後述のアルファブレンド演算式に適用します。

【 RGB1555 フォーマットのとき (GR_FORMAT[3:0] = 2 のとき) 】

値 = (カレントグラフィックス 入力 = 1 のときは GR_A1、0 のときは GR_A0)

G 値 = GR_CK_G

B 値 = GR_CK_B

R 値 = GR_CK_R

【 その他のフォーマットのとき (GR_FORMAT[3:0] = 0、1、3、4 のとき) 】

値 = GR_CK_A

G 値 = GR_CK_G

B 値 = GR_CK_B

R 値 = GR_CK_R

RGB 参照クロマキー処理を行わない画素は下記式で設定した値を後述のアルファブレンド演算式に適用します。

値 = カレントグラフィックス 入力

G 値 = カレントグラフィックス G 入力

B 値 = カレントグラフィックス B 入力

R 値 = カレントグラフィックス R 入力

表 35.23 RGB 参照クロマキー処理設定

レジスタ名	ビット名	初期値	説 明
GR_AB8	GR_CK_KG[7:0]	0	RGB 参照クロマキー処理対象 G 信号 G : 8 ビット符号無し (0~255[LSB])
GR_AB8	GR_CK_KB[7:0]	0	RGB 参照クロマキー処理対象 B 信号 B : 8 ビット符号無し (0~255[LSB])
GR_AB8	GR_CK_KR[7:0]	0	RGB 参照クロマキー処理対象 R 信号 R : 8 ビット符号無し (0~255[LSB])
GR_AB9	GR_CK_A[7:0]	0	RGB 参照クロマキー処理置換後アルファ信号* : 8 ビット符号無し (0~255[LSB])
GR_AB9	GR_CK_G[7:0]	0	RGB 参照クロマキー処理置換後 G 信号 G : 8 ビット符号無し (0~255[LSB])
GR_AB9	GR_CK_B[7:0]	0	RGB 参照クロマキー処理置換後 B 信号 B : 8 ビット符号無し (0~255[LSB])
GR_AB9	GR_CK_R[7:0]	0	RGB 参照クロマキー処理置換後 R 信号 R : 8 ビット符号無し (0~255[LSB])

【注】 * グラフィックス (1) で本機能を使用する場合は、255 に設定してください。

35.1.12 CLUT 参照クロマキー表示処理

下記式を満たす画素に対して CLUT 参照クロマキー処理を行います。

カレントグラフィックス CLUT 入力 = GR_CK_KCLUT

CLUT 参照クロマキー処理は下記式で設定した値を後述のアルファブレンド演算式に適用します。

【CLUT1 フォーマットのとき (GR_FORMAT[3:0] = 7 のとき)】

値 = (カレントグラフィックス CLUT 入力 = 1 のときは GR_A1、0 のときは GR_A0)

G 値 = (カレントグラフィックス CLUT 入力 = 1 のときは GR_G1、0 のときは GR_G0)

B 値 = (カレントグラフィックス CLUT 入力 = 1 のときは GR_B1、0 のときは GR_B0)

R 値 = (カレントグラフィックス CLUT 入力 = 1 のときは GR_R1、0 のときは GR_R0)

【その他のフォーマットのとき (GR_FORMAT[3:0] = 5、6 のとき)】

値 = GR_CK_A

G 値 = GR_CK_G

B 値 = GR_CK_B

R 値 = GR_CK_R

CLUT 参照クロマキー処理を行わない画素は下記式で設定した値を後述のアルファブレンド演算式に適用します。

値 = カレントグラフィックス 入力
 G 値 = カレントグラフィックス G 入力
 B 値 = カレントグラフィックス B 入力
 R 値 = カレントグラフィックス R 入力

表 35.24 CLUT 参照クロマキー処理設定

レジスタ名	ビット名	初期値	説明
GR_AB8	GR_CK_KCLUT[7:0]	0	CLUT 参照クロマキー処理対象 CLUT 信号 CLUT : 8 ビット符号無し (0 ~ 255[LSB])
GR_AB10	GR_A0[7:0]	0	CLUT1 の 0 信号* CLUT1 フォーマットかつ CLUT1 = 0 のときに 信号に置換 RGB1555 フォーマットかつ = 0 のときに 信号に置換
GR_AB10	GR_G0[7:0]	0	CLUT1 の G0 信号 CLUT1 フォーマットかつ CLUT1 = 0 のときに G 信号に置換
GR_AB10	GR_B0[7:0]	0	CLUT1 の B0 信号 CLUT1 フォーマットかつ CLUT1 = 0 のときに B 信号に置換
GR_AB10	GR_R0[7:0]	0	CLUT1 の R0 信号 CLUT1 フォーマットかつ CLUT1 = 0 のときに R 信号に置換
GR_AB11	GR_A1[7:0]	0	CLUT1 の 1 信号* CLUT1 フォーマットかつ CLUT1 = 1 のときに 信号に置換 RGB1555 フォーマットかつ = 1 のときに 信号に置換
GR_AB11	GR_G1[7:0]	0	CLUT1 の G1 信号 CLUT1 フォーマットかつ CLUT1 = 1 のときに G 信号に置換
GR_AB11	GR_B1[7:0]	0	CLUT1 の B1 信号 CLUT1 フォーマットかつ CLUT1 = 1 のときに B 信号に置換
GR_AB11	GR_R1[7:0]	0	CLUT1 の R1 信号 CLUT1 フォーマットかつ CLUT1 = 1 のときに R 信号に置換

【注】 * グラフィックス (1) で本機能を使用する場合は、255 に設定してください。

35.1.13 画素単位アルファブレンド表示処理

画素単位アルファブレンド処理は下記式で設定した値を後述のアルファブレンド演算式に適用します。

値 = カレントグラフィックス 入力
 G 値 = カレントグラフィックス G 入力
 B 値 = カレントグラフィックス B 入力
 R 値 = カレントグラフィックス R 入力

35.1.14 アルファブレンド演算式

以下のとおり、信号 値により、2 系統の入力信号のアルファブレンド処理をします。(小数点以下切り上げ)

G 出力 = (G 値 × 値 + 下層グラフィックス G 入力 × (255 - 値)) ÷ 256
 B 出力 = (B 値 × 値 + 下層グラフィックス B 入力 × (255 - 値)) ÷ 256
 R 出力 = (R 値 × 値 + 下層グラフィックス R 入力 × (255 - 値)) ÷ 256

35.1.15 CLUT テーブル

CLUT8/CLUT4 時は CLUT テーブルを参照し RGB8888 に展開します。CLUT1 時は、レジスタを参照し RGB8888 に展開します。

図 35.12 に CLUT テーブルのデータ配置を示します。

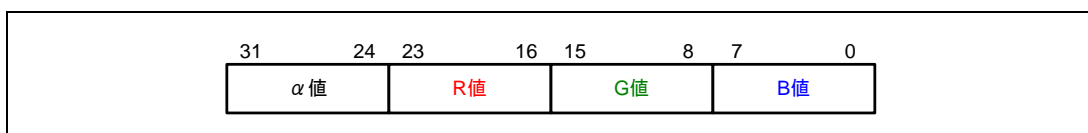


図 35.12 CLUT テーブルのデータ配置

CLUT テーブルは、下記アドレスに配置されています。

グラフィックス (1) CLUT テーブル : H'FFFF6000 ~ H'FFFF63FF

(CLUT4 時は H'FFFF6000 ~ H'FFFF603F まで有効)

グラフィックス (2) CLUT テーブル : H'FFFF6400 ~ H'FFFF67FF

(CLUT4 時は H'FFFF6400 ~ H'FFFF643F まで有効)

グラフィックス (3) CLUT テーブル : H'FFFF6800 ~ H'FFFF6BFF

(CLUT4 時は H'FFFF6800 ~ H'FFFF683F まで有効)

CLUT テーブルは、同一アドレスに 2 面 (CLUT テーブル 0、CLUT テーブル 1) あります。GR_CLT_SEL で CLUT テーブルを選択して使用します。これにより本モジュールが CLUT テーブルを参照している際でも、反対面の CLUT テーブルを書き換えることができます。

表 35.25 CLUT テーブル選択設定

レジスタ名	ビット名	初期値	説明
GR_CLUT	GR_CLT_SEL	0	CLUT テーブル選択信号 0 : CLUT テーブル 0 を選択 CLUT テーブル 0 を参照し RGB8888 に展開します。 CPU 側は CLUT テーブル 1 にリード/ライトすることができます。 1 : CLUT テーブル 1 を選択 CLUT テーブル 1 を参照し RGB8888 に展開します。 CPU 側は CLUT テーブル 0 にリード/ライトすることができます。

35.2 レジスタの説明

表 35.26 ~ 表 35.28 に、レジスタ構成を示します。

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

- : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R/WC1 : リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

R : リードのみ可。書き込み値は常に 0 にしてください。

- /W : ライトのみ可。読み出し値は不定です。

表 35.26 にグラフィックス (2) のレジスタ構成を示します。

表 35.27 にグラフィックス (3) のレジスタ構成を示します。

表 35.28 に CLUT テーブル構成を示します。

グラフィックス (1) のレジスタ構成はスケーリング部に記載しています。

表 35.26 画面合成部 (グラフィックス (2)) レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
グラフィックス (2) レジスタ更新制御レジスタ	GR2_UPDATE	R/WC1	H'0000 0000	H'FFFF 7700	32/16
フレームバッファ読み出し制御レジスタ (グラフィックス (2))	GR2_FLM_RD	R/W	H'0000 0000	H'FFFF 7704	32/16
フレームバッファ制御レジスタ 1 (グラフィックス (2))	GR2_FLM1	R/W	H'0000 0000	H'FFFF 7708	32/16
フレームバッファ制御レジスタ 2 (グラフィックス (2))	GR2_FLM2	R/W	H'0000 0000	H'FFFF 770C	32/16
フレームバッファ制御レジスタ 3 (グラフィックス (2))	GR2_FLM3	R/W	H'0000 0000	H'FFFF 7710	32/16
フレームバッファ制御レジスタ 4 (グラフィックス (2))	GR2_FLM4	R/W	H'0000 0000	H'FFFF 7714	32/16
フレームバッファ制御レジスタ 5 (グラフィックス (2))	GR2_FLM5	R/W	H'0000 03FF	H'FFFF 7718	32/16
フレームバッファ制御レジスタ 6 (グラフィックス (2))	GR2_FLM6	R/W	H'0000 0000	H'FFFF 771C	32/16

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
アルファブレンド制御レジスタ 1 (グラフィックス (2))	GR2_AB1	R/W	H'0000 0000	H'FFFF 7720	32/16
アルファブレンド制御レジスタ 2 (グラフィックス (2))	GR2_AB2	R/W	H'0000 0000	H'FFFF 7724	32/16
アルファブレンド制御レジスタ 3 (グラフィックス (2))	GR2_AB3	R/W	H'0000 0000	H'FFFF 7728	32/16
アルファブレンド制御レジスタ 4 (グラフィックス (2))	GR2_AB4	R/W	H'0000 0000	H'FFFF 772C	32/16
アルファブレンド制御レジスタ 5 (グラフィックス (2))	GR2_AB5	R/W	H'0000 0000	H'FFFF 7730	32/16
アルファブレンド制御レジスタ 6 (グラフィックス (2))	GR2_AB6	R/W	H'0000 0000	H'FFFF 7734	32/16
アルファブレンド制御レジスタ 7 (グラフィックス (2))	GR2_AB7	R/W	H'00FF 0000	H'FFFF 7738	32/16
アルファブレンド制御レジスタ 8 (グラフィックス (2))	GR2_AB8	R/W	H'0000 0000	H'FFFF 773C	32/16
アルファブレンド制御レジスタ 9 (グラフィックス (2))	GR2_AB9	R/W	H'0000 0000	H'FFFF 7740	32/16
アルファブレンド制御レジスタ 10 (グラフィックス (2))	GR2_AB10	R/W	H'0000 0000	H'FFFF 7744	32/16
アルファブレンド制御レジスタ 11 (グラフィックス (2))	GR2_AB11	R/W	H'0000 0000	H'FFFF 7748	32/16
背景色制御レジスタ (グラフィックス (2))	GR2_BASE	R/W	H'0000 0000	H'FFFF 774C	32/16
CLUT テーブル制御レジスタ (グラフィックス (2))	GR2_CLUT	R/W	H'0000 0000	H'FFFF 7750	32/16
ステータスマニタレジスタ (グラフィックス (2))	GR2_MON	R	H'0000 0000	H'FFFF 7754	32/16

表 35.27 画面合成部 (グラフィックス (3)) レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
グラフィックス (3) レジスタ更新制御レジスタ	GR3_UPDATE	R/WC1	H'0000 0000	H'FFFF 7780	32/16
フレームバッファ読み出し制御レジスタ (グラフィックス (3))	GR3_FLM_RD	R/W	H'0000 0000	H'FFFF 7784	32/16
フレームバッファ制御レジスタ 1 (グラフィックス (3))	GR3_FLM1	R/W	H'0000 0000	H'FFFF 7788	32/16
フレームバッファ制御レジスタ 2 (グラフィックス (3))	GR3_FLM2	R/W	H'0000 0000	H'FFFF 778C	32/16
フレームバッファ制御レジスタ 3 (グラフィックス (3))	GR3_FLM3	R/W	H'0000 0000	H'FFFF 7790	32/16
フレームバッファ制御レジスタ 4 (グラフィックス (3))	GR3_FLM4	R/W	H'0000 0000	H'FFFF 7794	32/16
フレームバッファ制御レジスタ 5 (グラフィックス (3))	GR3_FLM5	R/W	H'0000 03FF	H'FFFF 7798	32/16
フレームバッファ制御レジスタ 6 (グラフィックス (3))	GR3_FLM6	R/W	H'0000 0000	H'FFFF 779C	32/16
アルファブレンド制御レジスタ 1 (グラフィックス (3))	GR3_AB1	R/W	H'0000 0000	H'FFFF 77A0	32/16
アルファブレンド制御レジスタ 2 (グラフィックス (3))	GR3_AB2	R/W	H'0000 0000	H'FFFF 77A4	32/16
アルファブレンド制御レジスタ 3 (グラフィックス (3))	GR3_AB3	R/W	H'0000 0000	H'FFFF 77A8	32/16
アルファブレンド制御レジスタ 4 (グラフィックス (3))	GR3_AB4	R/W	H'0000 0000	H'FFFF 77AC	32/16
アルファブレンド制御レジスタ 5 (グラフィックス (3))	GR3_AB5	R/W	H'0000 0000	H'FFFF 77B0	32/16
アルファブレンド制御レジスタ 6 (グラフィックス (3))	GR3_AB6	R/W	H'0000 0000	H'FFFF 77B4	32/16
アルファブレンド制御レジスタ 7 (グラフィックス (3))	GR3_AB7	R/W	H'00FF 0000	H'FFFF 77B8	32/16
アルファブレンド制御レジスタ 8 (グラフィックス (3))	GR3_AB8	R/W	H'0000 0000	H'FFFF 77BC	32/16
アルファブレンド制御レジスタ 9 (グラフィックス (3))	GR3_AB9	R/W	H'0000 0000	H'FFFF 77C0	32/16

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
アルファブレンド制御レジスタ 10 (グラフィックス(3))	GR3_AB10	R/W	H'0000 0000	H'FFFF 77C4	32/16
アルファブレンド制御レジスタ 11 (グラフィックス(3))	GR3_AB11	R/W	H'0000 0000	H'FFFF 77C8	32/16
背景色制御レジスタ (グラフィックス(3))	GR3_BASE	R/W	H'0000 0000	H'FFFF 77CC	32/16
CLUT テーブル・割り込み 制御レジスタ(グラフィックス(3))	GR3_CLUT_INT	R/W	H'0000 0000	H'FFFF 77D0	32/16
ステータスマニタレジスタ (グラフィックス(3))	GR3_MON	R	H'0000 0000	H'FFFF 77D4	32/16

表 35.28 CLUT テーブル構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
グラフィックス(1) CLUT テーブル	GR1_CLUTT	R/W		H'FFFF 6000 ~ H'FFFF 63FF	32
グラフィックス(2) CLUT テーブル	GR2_CLUTT	R/W		H'FFFF 6400 ~ H'FFFF 67FF	32
グラフィックス(3) CLUT テーブル	GR3_CLUTT	R/W		H'FFFF 6800 ~ H'FFFF 6BFF	32

35.2.1 グラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	GR2_P_VEN	—	—	—	GR2_IBUS_VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR2_P_VEN	0	R/WC1	グラフィックス表示のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_IBUS_VEN	0	R/WC1	フレームバッファ読み出しのレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

35.2.2 フレームバッファ読み出し制御レジスタ (グラフィックス (2)) (GR2_FLM_RD)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR2_R_ENB
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_R_ENB	0	R/W	フレームバッファ読み出し許可 0: 読み出しを禁止 1: 読み出しを許可

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_IBUS_VEN = 1 で更新されます。

35.2.3 フレームバッファ制御レジスタ 1 (グラフィックス (2)) (GR2_FLM1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR2_LN_OFF_DIR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GR2_FLM_SEL[1:0]	—	—	—	—	—	—	—	—	GR2_BST_MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR2_LN_OFF_DIR	0	R/W	フレームバッファのラインオフセットアドレスの方向設定 0: ラインオフセットアドレス分をインクリメント 1: ラインオフセットアドレス分をデクリメント
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	GR2_FLM_SEL[1:0]	0	R/W	フレームバッファアドレス設定信号の選択 0: フレーム0を選択 1: GR2_FLM_NUMを選択 2: フレーム0を選択 3: 設定禁止
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_BST_MD	0	R/W	フレームバッファバースト転送モード 0: 32バイト 1: 128バイト

【注】 GR2_LN_OFF_DIR、GR2_FLM_SEL はグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_IBUS_VEN = 1 で更新されます。

GR2_BST_MD はグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_IBUS_VEN = 1 および GR2_P_VEN = 1 で更新されます。

35.2.4 フレームバッファ制御レジスタ 2 (グラフィックス (2)) (GR2_FLM2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_BASE[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_BASE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	GR2_BASE [31:0]	0	R/W	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32 バイトバースト転送時は GR_BASE[4:3]、128 バイトバースト転送時は GR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位 3 ビットは 000 固定してください。

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_IBUS_VEN = 1 および GR2_P_VEN = 1 で更新されます。

35.2.5 フレームバッファ制御レジスタ 3 (グラフィックス (2)) (GR2_FLM3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_LN_OFF[14:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_FLM_NUM[9:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30~16	GR2_LN_OFF[14:0]	0	R/W	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。 ライン 0 : GR2_BASE ライン 1 : GR2_BASE + GR2_LN_OFF × 1 : ライン n : GR2_BASE + GR2_LN_OFF × n 32 バイト転送時 : 下位 5 ビットは 0_0000 固定してください。 128 バイト転送時 : 下位 7 ビットは 000_0000 固定してください。
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	GR2_FLM_NUM[9:0]	0	R/W	フレームバッファのフレーム番号 GR2_FLM_SEL = 1 のとき、フレーム番号を手動設定します。

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_IBUS_VEN = 1 で更新されます。

35.2.6 フレームバッファ制御レジスタ 4 (グラフィックス (2)) (GR2_FLM4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	GR2_FLM_OFF[22:16]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_FLM_OFF[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22~0	GR2_FLM_OFF[22:0]	0	R/W	フレームバッファのフレームオフセットアドレス 複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定します。 バッファ 0 : GR2_BASE バッファ 1 : GR2_BASE + GR2_FLM_OFF × 1 : バッファ n : GR2_BASE + GR2_FLM_OFF × n 32 バイト転送時 : 下位 5 ビットは 0_0000 固定してください。 128 バイト転送時 : 下位 7 ビットは 000_0000 固定してください。

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_IBUS_VEN = 1 で更新されます。

35.2.7 フレームバッファ制御レジスタ 5 (グラフィックス (2)) (GR2_FLM5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	GR2_FLM_LNUM[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	GR2_FLM_LOOP[9:0]									
初期値:	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~16	GR2_FLM_LNUM[9:0]	0	R/W	1 フレームのライン数設定 ライン数は (GR2_FLM_LNUM + 1) ラインになります。
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	GR2_FLM_LOOP[9:0]	1023	R/W	アドレスをリング状に読み出す場合のライン数 ライン数は (GR2_FLM_LOOP + 1) ラインになります。

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_IBUS_VEN = 1 で更新されます。

35.2.8 フレームバッファ制御レジスタ 6 (グラフィックス (2)) (GR2_FLM6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_FORMAT[3:0]				-	-	GR2_HW[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	GR2_ENDIAN_ON	-	-	-	-	-	-	GR2_STA_POS[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	GR2_FORMAT[3:0]	0	R/W	フレームバッファ読み出し信号のフォーマット設定 0: RGB565 1: RGB888 2: RGB1555 3: RGB4444 4: RGB8888 5: CLUT8 6: CLUT4 7: CLUT1 8~15: 設定禁止
27, 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~16	GR2_HW[9:0]	0	R/W	水平有効期間の幅設定 幅は (GR2_HW + 1) 画素になります。 【注】2 以上の値を設定してください。
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	GR2_ENDIAN_ON	0	R/W	バッファ読み出しデータのエンディアン制御オン / オフ設定 0: オフ 1: オン
11~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	GR2_STA_POS[5:0]	0	R/W	データの読み飛ばし量 ラインの先頭から GR2_STA_POS 分のデータを読み飛ばします。

【注】 GR2_ENDIAN_ON、GR2_STA_POS はグラフィックス(2)レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

GR2_FORMAT、GR2_HW はグラフィックス(2)レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_IBUS_VEN = 1 および GR2_P_VEN = 1 で更新されます。

35.2.9 アルファブレンド制御レジスタ 1 (グラフィックス (2)) (GR2_AB1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	GR2_ARC_ON	-	-	-	GR2_ARC_DISP_ON	-	-	-	GR2_GRC_DISP_ON	-	-	GR2_DISP_SEL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	GR2_ARC_ON	0	R/W	矩形領域アルファブレンド処理オン/オフ設定 0: オフ、1: オン
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR2_ARC_DISP_ON	0	R/W	矩形領域アルファブレンド処理の画像領域の枠の表示オン/オフ設定 0: 表示オフ 1: 表示オン
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR2_GRC_DISP_ON	0	R/W	グラフィックス画像領域の枠の表示オン/オフ設定 0: 表示オフ 1: 表示オン
3, 2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	GR2_DISP_SEL[1:0]	0	R/W	グラフィックス表示設定 0: 背景色表示 1: 下層グラフィックス表示 2: カレントグラフィックス表示 3: 下層グラフィックスとカレントグラフィックスのブレンド表示

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.10 アルファブレンド制御レジスタ 2 (グラフィックス (2)) (GR2_AB2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	GR2_GRC_VS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	GR2_GRC_VW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	GR2_GRC_VS[10:0]	0	R/W	グラフィックス画像領域の垂直開始位置設定 【注】4 ライン以上、GR2_GRC_VS+GR2_GRC_VW が 2039 ライン以内になるように設定してください。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	GR2_GRC_VW[10:0]	0	R/W	グラフィックス画像領域の垂直幅設定

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.11 アルファブレンド制御レジスタ 3 (グラフィックス (2)) (GR2_AB3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	GR2_GRC_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	GR2_GRC_HW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	GR2_GRC_HS[10:0]	0	R/W	グラフィックス画像領域の水平開始位置設定 【注】16 クロック以上、GR2_GRC_HS+GR2_GRC_HW が 2015 クロック以内になるように設定してください。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	GR2_GRC_HW[10:0]	0	R/W	グラフィックス画像領域の水平幅設定 【注】水平幅 1、2 画素表示を行う場合は、GR2_HW = 2、GR2_GRC_HW = 1 (1 画素)、2 (2 画素) と設定してください。

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.12 アルファブレンド制御レジスタ 4 (グラフィックス (2)) (GR2_AB4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	GR2_ARC_VS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	GR2_ARC_VW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	GR2_ARC_VS [10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直開始位置設定
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	GR2_ARC_VW [10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直幅設定

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.13 アルファブレンド制御レジスタ 5 (グラフィックス (2)) (GR2_AB5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	GR2_ARC_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	GR2_ARC_HW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	GR2_ARC_HS[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平開始位置設定
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	GR2_ARC_HW[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平幅設定

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.14 アルファブレンド制御レジスタ 6 (グラフィックス (2)) (GR2_AB6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	GR2_ARC_MODE	GR2_ARC_COEF[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	GR2_ARC_RATE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	GR2_ARC_MODE	0	R/W	矩形領域アルファブレンド処理モード 0: 加算 1: 減算
23~16	GR2_ARC_COEF [7:0]	0	R/W	矩形領域アルファブレンド処理のアルファ係数 (0~255) [7:0]: 変化量 (絶対値表記)
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	GR2_ARC_RATE [7:0]	0	R/W	矩形領域アルファブレンド処理のフレームレート

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.15 アルファブレンド制御レジスタ 7 (グラフィックス (2)) (GR2_AB7)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	GR2_ARC_DEF[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	GR2_CK_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	GR2_ARC_DEF[7:0]	255	R/W	矩形領域アルファブレンド処理のアルファ初期値 【注】加算または減算処理中 (GR2_ARC_ST = 1) に、アルファ初期値を変更することはできません。上記状態で変更を行うときは、一度矩形領域アルファブレンド処理をオフに設定 (GR2_ARC2_ON = 0) する必要があります。
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	GR2_CK_ON	0	R/W	CLUT 参照 / RGB 参照クロマキー処理オン / オフ設定 0: オフ, 1: オン

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.16 アルファブレンド制御レジスタ 8 (グラフィックス (2)) (GR2_AB8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_CK_KCLUT[7:0]								GR2_CK_KG[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_CK_KB[7:0]								GR2_CK_KR[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR2_CK_KCLUT[7:0]	0	R/W	CLUT 参照クロマキー処理対象 CLUT 信号 CLUT : 8 ビット符号無し (0~255[LSB])
23~16	GR2_CK_KG[7:0]	0	R/W	RGB 参照クロマキー処理対象 G 信号 G : 8 ビット符号無し (0~255[LSB])
15~8	GR2_CK_KB[7:0]	0	R/W	RGB 参照クロマキー処理対象 B 信号 B : 8 ビット符号無し (0~255[LSB])
7~0	GR2_CK_KR[7:0]	0	R/W	RGB 参照クロマキー処理対象 R 信号 R : 8 ビット符号無し (0~255[LSB])

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.17 アルファブレンド制御レジスタ 9 (グラフィックス (2)) (GR2_AB9)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_CK_A[7:0]								GR2_CK_G[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_CK_B[7:0]								GR2_CK_R[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR2_CK_A [7:0]	0	R/W	RGB/CLUT 参照クロマキー処理置換後アルファ信号 : 8 ビット符号無し (0~255[LSB])
23~16	GR2_CK_G [7:0]	0	R/W	RGB/CLUT 参照クロマキー処理置換後 G 信号 G : 8 ビット符号無し (0~255[LSB])
15~8	GR2_CK_B [7:0]	0	R/W	RGB/CLUT 参照クロマキー処理置換後 B 信号 B : 8 ビット符号無し (0~255[LSB])
7~0	GR2_CK_R [7:0]	0	R/W	RGB/CLUT 参照クロマキー処理置換後 R 信号 R : 8 ビット符号無し (0~255[LSB])

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.18 アルファブレンド制御レジスタ 10 (グラフィックス (2)) (GR2_AB10)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_A0[7:0]								GR2_G0[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_B0[7:0]								GR2_R0[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR2_A0[7:0]	0	R/W	CLUT1 の 0 信号 CLUT1 フォーマットかつ CLUT1 = 0 のときに 信号に置換 RGB1555 フォーマットかつ = 0 のときに 信号に置換
23~16	GR2_G0[7:0]	0	R/W	CLUT1 の G0 信号 CLUT1 フォーマットかつ CLUT1 = 0 のときに G 信号に置換
15~8	GR2_B0[7:0]	0	R/W	CLUT1 の B0 信号 CLUT1 フォーマットかつ CLUT1 = 0 のときに B 信号に置換
7~0	GR2_R0[7:0]	0	R/W	CLUT1 の R0 信号 CLUT1 フォーマットかつ CLUT1 = 0 のときに R 信号に置換

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.19 アルファブレンド制御レジスタ 11 (グラフィックス (2)) (GR2_AB11)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_A1[7:0]								GR2_G1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_B1[7:0]								GR2_R1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR2_A1[7:0]	0	R/W	CLUT1 の 1 信号 CLUT1 フォーマットかつ CLUT1 = 1 のときに 信号に置換 RGB1555 フォーマットかつ = 1 のときに 信号に置換
23~16	GR2_G1[7:0]	0	R/W	CLUT1 の G1 信号 CLUT1 フォーマットかつ CLUT1 = 1 のときに G 信号に置換
15~8	GR2_B1[7:0]	0	R/W	CLUT1 の B1 信号 CLUT1 フォーマットかつ CLUT1 = 1 のときに B 信号に置換
7~0	GR2_R1[7:0]	0	R/W	CLUT1 の R1 信号 CLUT1 フォーマットかつ CLUT1 = 1 のときに R 信号に置換

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.20 背景色制御レジスタ (グラフィックス (2)) (GR2_BASE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	GR2_BASE_G[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_BASE_B[7:0]								GR2_BASE_R[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	GR2_BASE_G[7:0]	0	R/W	背景色 G 信号 G : 8 ビット符号無し (0~255[LSB])
15~8	GR2_BASE_B[7:0]	0	R/W	背景色 B 信号 B : 8 ビット符号無し (0~255[LSB])
7~0	GR2_BASE_R[7:0]	0	R/W	背景色 R 信号 R : 8 ビット符号無し (0~255[LSB])

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.21 CLUT テーブル制御レジスタ (グラフィックス (2)) (GR2_CLUT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR2_CLT_SEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR2_CLT_SEL	0	R/W	CLUT テーブル選択信号 0: CLUT テーブル0を選択 CLUT テーブル0を参照し RGB8888に展開します。 CPU側はCLUT テーブル1にリード/ライトすることができます。 1: CLUT テーブル1を選択 CLUT テーブル1を参照し RGB8888に展開します。 CPU側はCLUT テーブル0にリード/ライトすることができます。
15~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 本レジスタはすべてグラフィックス (2) レジスタ更新制御レジスタ (GR2_UPDATE) の GR2_P_VEN = 1 で更新されます。

35.2.22 ステータスマニタレジスタ (グラフィックス (2)) (GR2_MON)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR2_ARC_ST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	GR2_ARC_ST	0	R	矩形領域アルファブレンド処理のステータスフラグ 0: 加算または減算処理完了 (値が 0 または 255 の状態) 1: 加算または減算処理中

35.2.23 グラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	GR3 P_VEN	—	—	—	GR3 IBUS_VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	GR3_P_VEN	0	R/W C1	グラフィックス表示のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	GR3_IBUS_VEN	0	R/W C1	フレームバッファ読み出しのレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

35.2.24 フレームバッファ読み出し制御レジスタ (グラフィックス (3)) (GR3_FLM_RD)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_R_ENB
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_R_ENB	0	R/W	フレームバッファ読み出し許可 0: 読み出しを禁止 1: 読み出しを許可

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_IBUS_VEN = 1 で更新されます。

35.2.25 フレームバッファ制御レジスタ 1 (グラフィックス (3)) (GR3_FLM1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_LN_OFF_DIR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GR3_FLM_SEL[1:0]	—	—	—	—	—	—	—	—	GR3_BST_MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR3_LN_OFF_DIR	0	R/W	フレームバッファのラインオフセットアドレスの方向設定 0: ラインオフセットアドレス分をインクリメント 1: ラインオフセットアドレス分をデクリメント
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	GR3_FLM_SEL[1:0]	0	R/W	フレームバッファアドレス設定信号の選択 0: フレーム0を選択 1: GR3_FLM_NUMを選択 2: フレーム0を選択 3: 設定禁止
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_BST_MD	0	R/W	フレームバッファバースト転送モード 0: 32バイト 1: 128バイト

【注】 GR3_LN_OFF_DIR、GR3_FLM_SEL はグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_IBUS_VEN = 1 で更新されます。

GR3_BST_MD はグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_IBUS_VEN = 1 および GR3_P_VEN = 1 で更新されます。

35.2.26 フレームバッファ制御レジスタ 2 (グラフィックス (3)) (GR3_FLM2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_BASE[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_BASE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	GR3_BASE [31:0]	0	R/W	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32 バイトバースト転送時は GR_BASE[4:3]、128 バイトバースト転送時は GR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位 3 ビットは 000 固定してください。

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_IBUS_VEN = 1 および GR3_P_VEN = 1 で更新されます。

35.2.27 フレームバッファ制御レジスタ 3 (グラフィックス (3)) (GR3_FLM3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16															
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:10%; text-align:center;">-</td> <td colspan="14" style="text-align:center;">GR3_LN_OFF[14:0]</td> </tr> </table>															-	GR3_LN_OFF[14:0]														
-	GR3_LN_OFF[14:0]																														
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:10%; text-align:center;">-</td> <td style="width:10%; text-align:center;">-</td> <td style="width:10%; text-align:center;">-</td> <td style="width:10%; text-align:center;">-</td> <td style="width:10%; text-align:center;">-</td> <td style="width:10%; text-align:center;">-</td> <td colspan="10" style="text-align:center;">GR3_FLM_NUM[9:0]</td> </tr> </table>															-	-	-	-	-	-	GR3_FLM_NUM[9:0]									
-	-	-	-	-	-	GR3_FLM_NUM[9:0]																									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W															

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~16	GR3_LN_OFF[14:0]	0	R/W	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。 ライン0: GR3_BASE ライン1: GR3_BASE + GR3_LN_OFF × 1 : ラインn: GR3_BASE + GR3_LN_OFF × n 32バイト転送時: 下位5ビットは0_0000固定してください。 128バイト転送時: 下位7ビットは000_0000固定してください。
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	GR3_FLM_NUM[9:0]	0	R/W	フレームバッファのフレーム番号 GR3_FLM_SEL = 1 のとき、フレーム番号を手動設定します。

【注】 本レジスタはすべてグラフィックス(3)レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_IBUS_VEN = 1 で更新されます。

35.2.28 フレームバッファ制御レジスタ 4 (グラフィックス (3)) (GR3_FLM4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	GR3_FLM_OFF[22:16]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_FLM_OFF[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22~0	GR3_FLM_OFF[22:0]	0	R/W	フレームバッファのフレームオフセットアドレス 複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定します。 バッファ 0 : GR3_BASE バッファ 1 : GR3_BASE + GR3_FLM_OFF × 1 : バッファ n : GR3_BASE + GR3_FLM_OFF × n 32 バイト転送時 : 下位 5 ビットは 0_0000 固定してください。 128 バイト転送時 : 下位 7 ビットは 000_0000 固定してください。

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_IBUS_VEN = 1 で更新されます。

35.2.29 フレームバッファ制御レジスタ 5 (グラフィックス (3)) (GR3_FLM5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	GR3_FLM_LNUM[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	GR3_FLM_LOOP[9:0]									
初期値:	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~16	GR3_FLM_LNUM[9:0]	0	R/W	1 フレームのライン数設定 ライン数は (GR3_FLM_LNUM + 1) ラインになります。
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	GR3_FLM_LOOP[9:0]	1023	R/W	アドレスをリング状に読み出す場合のライン数 ライン数は (GR3_FLM_LOOP + 1) ラインになります。

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_IBUS_VEN = 1 で更新されます。

35.2.30 フレームバッファ制御レジスタ 6 (グラフィックス (3)) (GR3_FLM6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_FORMAT[3:0]				-	-	GR3_HW[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	GR3_ENDIAN_ON	-	-	-	-	-	-	GR3_STA_POS[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	GR3_FORMAT[3:0]	0	R/W	フレームバッファ読み出し信号のフォーマット設定 0: RGB565 1: RGB888 2: RGB1555 3: RGB4444 4: RGB8888 5: CLUT8 6: CLUT4 7: CLUT1 8~15: 設定禁止
27, 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~16	GR3_HW[9:0]	0	R/W	水平有効期間の幅設定 幅は (GR3_HW + 1) 画素になります。 【注】2 以上の値を設定してください。
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	GR3_ENDIAN_ON	0	R/W	バッファ読み出しデータのエンディアン制御オン/オフ設定 0: オフ 1: オン
11~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	GR3_STA_POS[5:0]	0	R/W	データの読み飛ばし量 ラインの先頭から GR3_STA_POS 分のデータを読み飛ばします。

【注】 GR3_ENDIAN_ON、GR3_STA_POS はグラフィックス(3)レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

GR3_FORMAT、GR3_HW はグラフィックス(3)レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_IBUS_VEN = 1 および GR3_P_VEN = 1 で更新されます。

35.2.31 アルファブレンド制御レジスタ 1 (グラフィックス (3)) (GR3_AB1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	GR3_ARC_ON	—	—	—	GR3_ARC_DISP_ON	—	—	—	GR3_GRC_DISP_ON	—	—	GR3_DISP_SEL[1:0]	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	GR3_ARC_ON	0	R/W	矩形領域アルファブレンド処理オン / オフ設定 0: オフ、1: オン
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	GR3_ARC_DISP_ON	0	R/W	矩形領域アルファブレンド処理の画像領域の枠の表示オン / オフ設定 0: 表示オフ 1: 表示オン
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	GR3_GRC_DISP_ON	0	R/W	グラフィックス画像領域の枠の表示オン / オフ設定 0: 表示オフ 1: 表示オン
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	GR3_DISP_SEL[1:0]	0	R/W	グラフィックス表示設定 0: 背景色表示 1: 下層グラフィックス表示 2: カレントグラフィックス表示 3: 下層グラフィックスとカレントグラフィックスのブレンド表示

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.32 アルファブレンド制御レジスタ 2 (グラフィックス (3)) (GR3_AB2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	GR3_GRC_VS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	GR3_GRC_VW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	GR3_GRC_VS[10:0]	0	R/W	グラフィックス画像領域の垂直開始位置設定 【注】4 ライン以上、GR3_GRC_VS+GR3_GRC_VW が 2039 ライン以内になるように設定してください。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	GR3_GRC_VW[10:0]	0	R/W	グラフィックス画像領域の垂直幅設定

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.33 アルファブレンド制御レジスタ 3 (グラフィックス (3)) (GR3_AB3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	GR3_GRC_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	GR3_GRC_HW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	GR3_GRC_HS[10:0]	0	R/W	グラフィックス画像領域の水平開始位置設定 【注】16 クロック以上、GR3_GRC_HS+GR3_GRC_HW が 2015 クロック以内になるように設定してください。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	GR3_GRC_HW[10:0]	0	R/W	グラフィックス画像領域の水平幅設定 【注】水平幅 1、2 画素表示を行う場合は、GR3_HW = 2、GR3_GRC_HW = 1 (1 画素)、2 (2 画素) と設定してください。

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.34 アルファブレンド制御レジスタ 4 (グラフィックス (3)) (GR3_AB4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	GR3_ARC_VS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	GR3_ARC_VW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	GR3_ARC_VS[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直開始位置設定
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	GR3_ARC_VW[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直幅設定

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.35 アルファブレンド制御レジスタ 5 (グラフィックス (3)) (GR3_AB5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	GR3_ARC_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	GR3_ARC_HW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	GR3_ARC_HS[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平開始位置設定
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	GR3_ARC_HW[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平幅設定

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN=1 で更新されます。

35.2.36 アルファブレンド制御レジスタ 6 (グラフィックス (3)) (GR3_AB6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	GR3_ARC_MODE	GR3_ARC_COEF[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	GR3_ARC_RATE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	GR3_ARC_MODE	0	R/W	矩形領域アルファブレンド処理モード 0: 加算 1: 減算
23~16	GR3_ARC_COEF [7:0]	0	R/W	矩形領域アルファブレンド処理のアルファ係数 (0~255) [7:0]: 変化量 (絶対値表記)
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	GR3_ARC_RATE [7:0]	0	R/W	矩形領域アルファブレンド処理のフレームレート

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.37 アルファブレンド制御レジスタ 7 (グラフィックス (3)) (GR3_AB7)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	GR3_ARC_DEF[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	GR3_CK_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	GR3_ARC_DEF[7:0]	255	R/W	矩形領域アルファブレンド処理のアルファ初期値 【注】加算または減算処理中 (GR3_ARC_ST = 1) に、アルファ初期値を変更することはできません。上記状態で変更を行うときは、一度矩形領域アルファブレンド処理をオフに設定 (GR3_ARC_ON = 0) する必要があります。
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	GR3_CK_ON	0	R/W	CLUT 参照 / RGB 参照クロマキー処理オン / オフ設定 0: オフ, 1: オン

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.38 アルファブレンド制御レジスタ 8 (グラフィックス (3)) (GR3_AB8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_CK_KCLUT[7:0]								GR3_CK_KG[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_CK_KB[7:0]								GR3_CK_KR[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR3_CK_KCLUT[7:0]	0	R/W	CLUT 参照クロマキー処理対象 CLUT 信号 CLUT : 8 ビット符号無し (0~255[LSB])
23~16	GR3_CK_KG[7:0]	0	R/W	RGB 参照クロマキー処理対象 G 信号 G : 8 ビット符号無し (0~255[LSB])
15~8	GR3_CK_KB[7:0]	0	R/W	RGB 参照クロマキー処理対象 B 信号 B : 8 ビット符号無し (0~255[LSB])
7~0	GR3_CK_KR[7:0]	0	R/W	RGB 参照クロマキー処理対象 R 信号 R : 8 ビット符号無し (0~255[LSB])

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.39 アルファブレンド制御レジスタ 9 (グラフィックス (3)) (GR3_AB9)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_CK_A[7:0]								GR3_CK_G[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_CK_B[7:0]								GR3_CK_R[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR3_CK_A [7:0]	0	R/W	RGB/CLUT 参照クロマキー処理置換後アルファ信号 : 8 ビット符号無し (0~255[LSB])
23~16	GR3_CK_G [7:0]	0	R/W	RGB/CLUT 参照クロマキー処理置換後 G 信号 G : 8 ビット符号無し (0~255[LSB])
15~8	GR3_CK_B [7:0]	0	R/W	RGB/CLUT 参照クロマキー処理置換後 B 信号 B : 8 ビット符号無し (0~255[LSB])
7~0	GR3_CK_R [7:0]	0	R/W	RGB/CLUT 参照クロマキー処理置換後 R 信号 R : 8 ビット符号無し (0~255[LSB])

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.40 アルファブレンド制御レジスタ 10 (グラフィックス (3)) (GR3_AB10)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_A0[7:0]								GR3_G0[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_B0[7:0]								GR3_R0[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR3_A0[7:0]	0	R/W	CLUT1 の 0 信号 CLUT1 フォーマットかつ CLUT1 = 0 のときに 信号に置換 RGB1555 フォーマットかつ = 0 のときに 信号に置換
23~16	GR3_G0[7:0]	0	R/W	CLUT1 の G0 信号 CLUT1 フォーマットかつ CLUT1 = 0 のときに G 信号に置換
15~8	GR3_B0[7:0]	0	R/W	CLUT1 の B0 信号 CLUT1 フォーマットかつ CLUT1 = 0 のときに B 信号に置換
7~0	GR3_R0[7:0]	0	R/W	CLUT1 の R0 信号 CLUT1 フォーマットかつ CLUT1 = 0 のときに R 信号に置換

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.41 アルファブレンド制御レジスタ 11 (グラフィックス (3)) (GR3_AB11)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_A1[7:0]								GR3_G1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_B1[7:0]								GR3_R1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GR3_A1[7:0]	0	R/W	CLUT1 の 1 信号 CLUT1 フォーマットかつ CLUT1 = 1 のときに 信号に置換 RGB1555 フォーマットかつ = 1 のときに 信号に置換
23~16	GR3_G1[7:0]	0	R/W	CLUT1 の G1 信号 CLUT1 フォーマットかつ CLUT1 = 1 のときに G 信号に置換
15~8	GR3_B1[7:0]	0	R/W	CLUT1 の B1 信号 CLUT1 フォーマットかつ CLUT1 = 1 のときに B 信号に置換
7~0	GR3_R1[7:0]	0	R/W	CLUT1 の R1 信号 CLUT1 フォーマットかつ CLUT1 = 1 のときに R 信号に置換

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.42 背景色制御レジスタ (グラフィックス (3)) (GR3_BASE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	GR3_BASE_G[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_BASE_B[7:0]								GR3_BASE_R[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	GR3_BASE_ G[7:0]	0	R/W	背景色 G 信号 G : 8 ビット符号無し (0~255[LSB])
15~8	GR3_BASE_ B[7:0]	0	R/W	背景色 B 信号 B : 8 ビット符号無し (0~255[LSB])
7~0	GR3_BASE_ R[7:0]	0	R/W	背景色 R 信号 R : 8 ビット符号無し (0~255[LSB])

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.43 CLUT テーブル・割り込み制御レジスタ (グラフィックス (3)) (GR3_CLUT_INT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_CLUT_SEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR3_LINE[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR3_CLUT_SEL	0	R/W	CLUT テーブル選択信号 0: CLUT テーブル0 を選択 CLUT テーブル0 を参照し RGB8888 に展開します。 CPU 側は CLUT テーブル1 にリード/ライトすることができます。 1: CLUT テーブル1 を選択 CLUT テーブル1 を参照し RGB8888 に展開します。 CPU 側は CLUT テーブル0 にリード/ライトすることができます。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	GR3_LINE [10:0]	0	R/W	ライン割り込み設定 ライン数が GR3_LINE の値と一致するとき、割り込み信号を出力します。 本機能は、グラフィックス (3) の機能を使用しない場合でも動作します。

【注】 本レジスタはすべてグラフィックス (3) レジスタ更新制御レジスタ (GR3_UPDATE) の GR3_P_VEN = 1 で更新されます。

35.2.44 ステータスマニタレジスタ (グラフィックス (3)) (GR3_MON)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_ARC_ST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	GR3_ARC_ST	0	R	矩形領域アルファブレンド処理のステータスフラグ 0: 加算または減算処理完了 (値が 0 または 255 の状態) 1: 加算または減算処理中

35.3 使用方法

35.3.1 ミュート

GR1_DISP_SEL[1:0]、GR2_DISP_SEL[1:0]、GR3_DISP_SEL[1:0]の初期値はすべて0です。そのため、初期状態では、グラフィックス(1)、(2)、(3)すべてグラフィックス領域内も領域外も背景色を表示する設定になっています。背景色の初期値は黒ですので、初期状態は黒のミュート表示になっています。

35.3.2 矩形領域アルファブレンド

フェードイン、フェードアウト中に GR_ARC_MODE、GR_ARC_COEF[7:0]、GR_ARC_RATE[7:0]を変更すると、アルファ係数、フレームレートを途中で変化させることが可能です。

36. ビデオディスプレイコントローラ 4 (6) 出力制御部

36.1 出力制御機能

36.1.1 機能概要

出力制御部は、画面合成部の RGB 出力信号に対して、ブライト調整、コントラスト調整、RGB 独立のガンマ補正、ディザ処理、および、出力フォーマット変換を行います。また、LCD パネル駆動用の各種タイミング信号の生成を行います。

下図に出力制御部の機能ブロック図を示します。

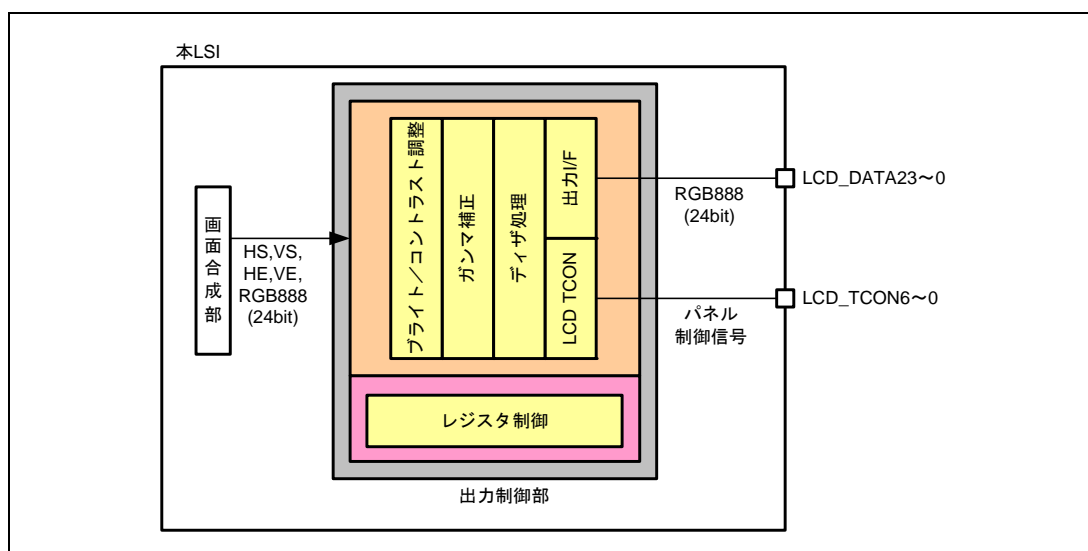


図 36.1 出力制御部の機能ブロック図

36.1.2 レジスタの更新制御

出力制御の制御レジスタは、すべて垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

表 36.1 レジスタの更新制御

レジスタ名	ビット名	初期値	説明
OUT_UPDATE	OUTCNT_VEN	0	ブライツ/コントラスト調整、ディザ処理、出力インタフェースのレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
GAM_G_UPDATE	GAM_G_VEN	0	ガンマ補正 (G) のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
GAM_B_UPDATE	GAM_B_VEN	0	ガンマ補正 (B) のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
GAM_R_UPDATE	GAM_R_VEN	0	ガンマ補正 (R) のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する
TCON_UPDATE	TCON_VEN	0	LCD TCON のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

36.1.3 経路選択

ブライツ/コントラスト調整とガンマ補正は、レジスタの設定により、処理の順番を入れ替えることができます。

表 36.2 経路選択

レジスタ名	ビット名	初期値	説明
OUT_CLK_PHASE	OUTCNT_FRONT_GAM	0	補正回路の順番の制御 0: ブライツ コントラスト ガンマ補正 1: ガンマ補正 ブライツ コントラスト

36.1.4 ブライト調整

画面合成部の RGB 信号に対して、RGB 独立にブライト (DC) 調整を行います。

(ブライト調整後の BRT_R/G/BOUT は、オーバフロー、アンダフローが発生しないようにビットを多く設けています。オーバフロー、アンダフロー処理はコントラスト演算時に行います。)

(1) ブライト (DC) 調整の計算式

$$\text{BRT_GOUT} = \text{GIN} + \text{PBRT_G} - 512$$

$$\text{BRT_BOUT} = \text{BIN} + \text{PBRT_B} - 512$$

$$\text{BRT_ROUT} = \text{RIN} + \text{PBRT_R} - 512$$

表 36.3 ブライト (DC) 調整

レジスタ名	ビット名	初期値	説明
OUT_BRIGHT1	PBRT_G[9:0]	512	G 信号のブライト (DC) 調整 符号無し (0 (- 512) ~ 512 (0) ~ 1023 (+ 511) [LSB]、 512[LSB]オフセット付)
OUT_BRIGHT2	PBRT_B[9:0]	512	B 信号のブライト (DC) 調整 符号無し (0 (- 512) ~ 512 (0) ~ 1023 (+ 511) [LSB]、 512[LSB]オフセット付)
OUT_BRIGHT2	PBRT_R[9:0]	512	R 信号のブライト (DC) 調整 符号無し (0 (- 512) ~ 512 (0) ~ 1023 (+ 511) [LSB]、 512[LSB]オフセット付)

36.1.5 コントラスト調整

ブライト演算結果の RGB 信号に対して、コントラスト演算を行います。

(オーバフロー、アンダフローが発生した場合は、最大値 / 最小値にクリップします。)

(1) コントラスト (ゲイン) 調整の計算式

$$\text{GOUT} = \text{BRT_GOUT} \times \text{CONT_G} \div 128$$

$$\text{BOUT} = \text{BRT_BOUT} \times \text{CONT_B} \div 128$$

$$\text{ROUT} = \text{BRT_ROUT} \times \text{CONT_R} \div 128$$

表 36.4 コントラスト (ゲイン) 調整

レジスタ名	ビット名	初期値	説明
OUT_CONTRAST	CONT_G[7:0]	128	G 信号のコントラスト (ゲイン) 調整 0/128 ~ 255/128 (約 2 倍)
OUT_CONTRAST	CONT_B[7:0]	128	B 信号のコントラスト (ゲイン) 調整 0/128 ~ 255/128 (約 2 倍)
OUT_CONTRAST	CONT_R[7:0]	128	R 信号のコントラスト (ゲイン) 調整 0/128 ~ 255/128 (約 2 倍)

36.1.6 ガンマ補正

256 階調の入力信号に対してレベルを 32 分割し各々のゲインを制御することでガンマ補正を行います。各領域のゲイン係数は、0~約 2.0[倍]にて設定できます。

(1) 各領域のガンマ補正式

$$DOUT = ((DIN - TH_{(n)}) \times GAIN_{(n)} + OFFSET_{(n)}) \div 256$$

DIN : 入力信号 (8 ビット)
 DOUT : 出力信号 (10 ビット)
 TH_(n) : 閾値 (8 ビット)
 OFFSET_(n) : オフセット値 (19 ビット)
 GAIN_(n) : ゲイン係数 (11 ビット)

(2) 各領域のオフセット計算式

$$OFFSET_{(n)} = OFFSET_{(n-1)} + DEF_O_{(n)} \quad \text{ただし } n=0 \text{ 時は } OFFSET_{(0)} = 0$$

$$DEF_O_{(n)} = (TH_{(n)} - TH_{(n-1)}) \times GAIN_{(n-1)} \quad \text{ただし } n=0 \text{ 時は } DEF_O_{(0)} = 0$$

OFFSET_(n) : 現在の領域のオフセット値 (19 ビット)
 OFFSET_(n-1) : 1 つ前の領域のオフセット値 (19 ビット)
 DEF_O_(n) : 現在と 1 つ前の領域のオフセット値の差分 (19 ビット)
 TH_(n) : 現在の領域の閾値 (8 ビット)
 TH_(n-1) : 1 つ前の領域の閾値 (8 ビット)
 GAIN_(n-1) : 1 つ前の領域のゲイン係数 (11 ビット)

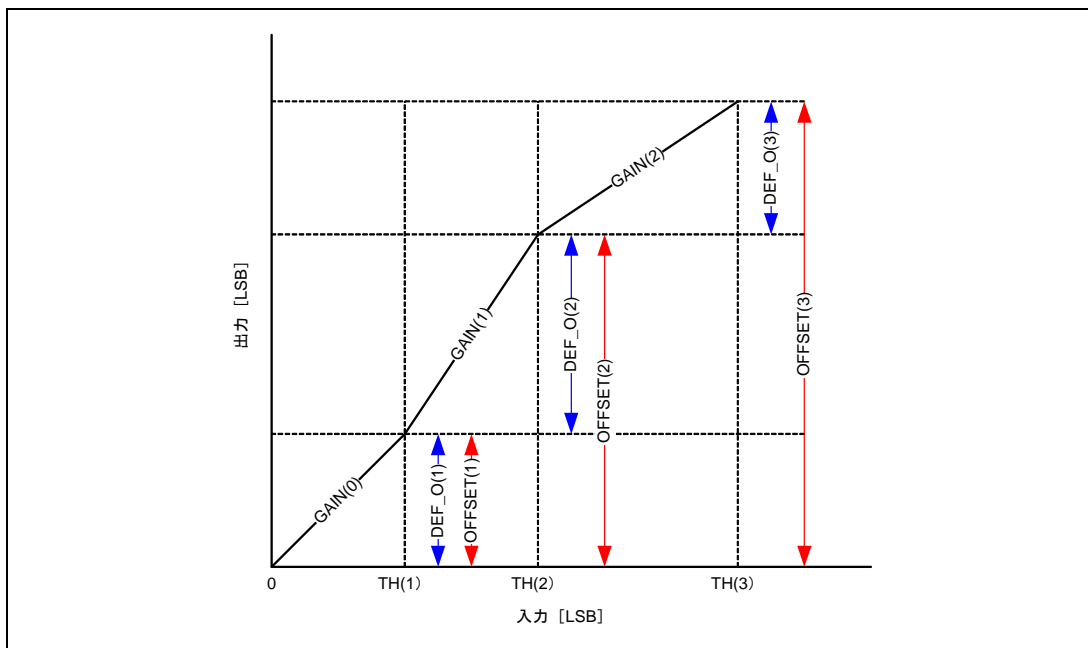


図 36.2 オフセット算出式の対応図

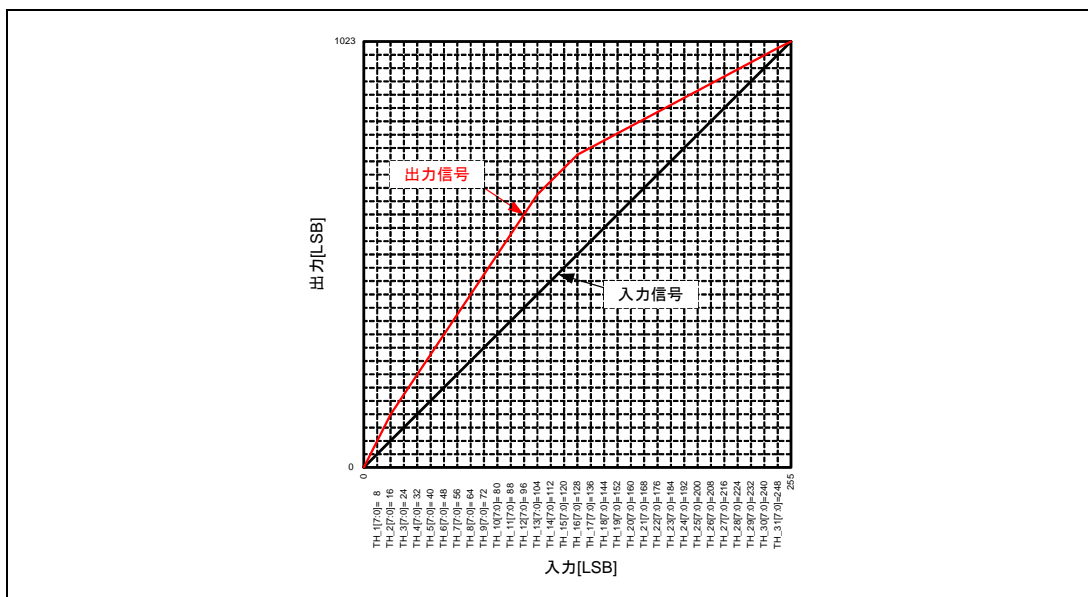


図 36.3 ガンマ補正の入出力特性 (例)

表 36.5 ガンマ補正

レジスタ名	ビット名	初期値	説明
GAM_SW	GAM_ON	0	ガンマ補正オン/オフ制御 0: オフ 1: オン
GAM_G_AREA1 ~ 8	GAM_G_TH_01 ~ 31[7:0]	*	G 信号の領域 1 ~ 31 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値*1 < 本領域の閾値 < 次領域の閾値*2 【注】 *1 GAM_G_TH_01 は 0 *2 GAM_G_TH_31 は 255 *初期値 GAM_G_TH_01 : 8、GAM_G_TH_02 : 16、 GAM_G_TH_03 : 24、GAM_G_TH_04 : 32、 GAM_G_TH_05 : 40、GAM_G_TH_06 : 48、 GAM_G_TH_07 : 56、GAM_G_TH_08 : 64、 GAM_G_TH_09 : 72、GAM_G_TH_10 : 80 GAM_G_TH_11 : 88、GAM_G_TH_12 : 96、 GAM_G_TH_13 : 104、GAM_G_TH_14 : 112、 GAM_G_TH_15 : 120、GAM_G_TH_16 : 128、 GAM_G_TH_17 : 136、GAM_G_TH_18 : 144、 GAM_G_TH_19 : 152、GAM_G_TH_20 : 160、 GAM_G_TH_21 : 168、GAM_G_TH_22 : 176、 GAM_G_TH_23 : 184、GAM_G_TH_24 : 192、 GAM_G_TH_25 : 200、GAM_G_TH_26 : 208、 GAM_G_TH_27 : 216、GAM_G_TH_28 : 224、 GAM_G_TH_29 : 232、GAM_G_TH_30 : 240、 GAM_G_TH_31 : 248
GAM_G_LUT1 ~ 16	GAM_G_GAIN_00 ~ 31[10:0]	1024	G 信号の領域 0 ~ 31 のゲイン調整 符号無し (0 ~ 2047[LSB]、1024[LSB] = 1.0[倍])

レジスタ名	ビット名	初期値	説明
GAM_B_AREA1 ~ 8	GAM_B_TH_01 ~ 31[7:0]	*	<p>B 信号の領域 1 ~ 31 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値*1 < 本領域の閾値 < 次領域の閾値*2</p> <p>【注】 *1 GAM_B_TH_01 は 0 *2 GAM_B_TH_31 は 255</p> <p>*初期値 GAM_B_TH_01 : 8、GAM_B_TH_02 : 16、 GAM_B_TH_03 : 24、GAM_B_TH_04 : 32、 GAM_B_TH_05 : 40、GAM_B_TH_06 : 48、 GAM_B_TH_07 : 56、GAM_B_TH_08 : 64、 GAM_B_TH_09 : 72、GAM_B_TH_10 : 80 GAM_B_TH_11 : 88、GAM_B_TH_12 : 96、 GAM_B_TH_13 : 104、GAM_B_TH_14 : 112、 GAM_B_TH_15 : 120、GAM_B_TH_16 : 128、 GAM_B_TH_17 : 136、GAM_B_TH_18 : 144、 GAM_B_TH_19 : 152、GAM_B_TH_20 : 160、 GAM_B_TH_21 : 168、GAM_B_TH_22 : 176、 GAM_B_TH_23 : 184、GAM_B_TH_24 : 192、 GAM_B_TH_25 : 200、GAM_B_TH_26 : 208、 GAM_B_TH_27 : 216、GAM_B_TH_28 : 224、 GAM_B_TH_29 : 232、GAM_B_TH_30 : 240、 GAM_B_TH_31 : 248</p>
GAM_B_LUT1 ~ 16	GAM_B_GAIN_00 ~ 31[10:0]	1024	<p>B 信号の領域 0 ~ 31 のゲイン調整 符号無し (0 ~ 2047[LSB]、1024[LSB] = 1.0[倍])</p>

レジスタ名	ビット名	初期値	説明
GAM_R_AREA1 ~ 8	GAM_R_TH_01 ~ 31[7:0]	*	<p>R 信号の領域 1 ~ 31 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値*1 < 本領域の閾値 < 次領域の閾値*2</p> <p>【注】 *1 GAM_R_TH_01 は 0 *2 GAM_R_TH_31 は 255</p> <p>*初期値 GAM_R_TH_01 : 8、GAM_R_TH_02 : 16、 GAM_R_TH_03 : 24、GAM_R_TH_04 : 32、 GAM_R_TH_05 : 40、GAM_R_TH_06 : 48、 GAM_R_TH_07 : 56、GAM_R_TH_08 : 64、 GAM_R_TH_09 : 72、GAM_R_TH_10 : 80 GAM_R_TH_11 : 88、GAM_R_TH_12 : 96、 GAM_R_TH_13 : 104、GAM_R_TH_14 : 112、 GAM_R_TH_15 : 120、GAM_R_TH_16 : 128、 GAM_R_TH_17 : 136、GAM_R_TH_18 : 144、 GAM_R_TH_19 : 152、GAM_R_TH_20 : 160、 GAM_R_TH_21 : 168、GAM_R_TH_22 : 176、 GAM_R_TH_23 : 184、GAM_R_TH_24 : 192、 GAM_R_TH_25 : 200、GAM_R_TH_26 : 208、 GAM_R_TH_27 : 216、GAM_R_TH_28 : 224、 GAM_R_TH_29 : 232、GAM_R_TH_30 : 240、 GAM_R_TH_31 : 248</p>
GAM_R_LUT1 ~ 16	GAM_R_GAIN_00 ~ 31[10:0]	1024	<p>R 信号の領域 0 ~ 31 のゲイン調整 符号無し (0 ~ 2047[LSB]、1024[LSB] = 1.0[倍])</p>

36.1.7 ディザ処理

ディザ処理は、ブライト/コントラスト調整またはガンマ補正出力の 10 ビット RGB 信号に対して、10 ビット 8/6/5 ビットのビット縮退を行います。ディザ処理の動作モードは、切り捨てモード、四捨五入モード、2x2 パターンディザモード、ランダムパターンディザモードの 4 種類から選択できます。

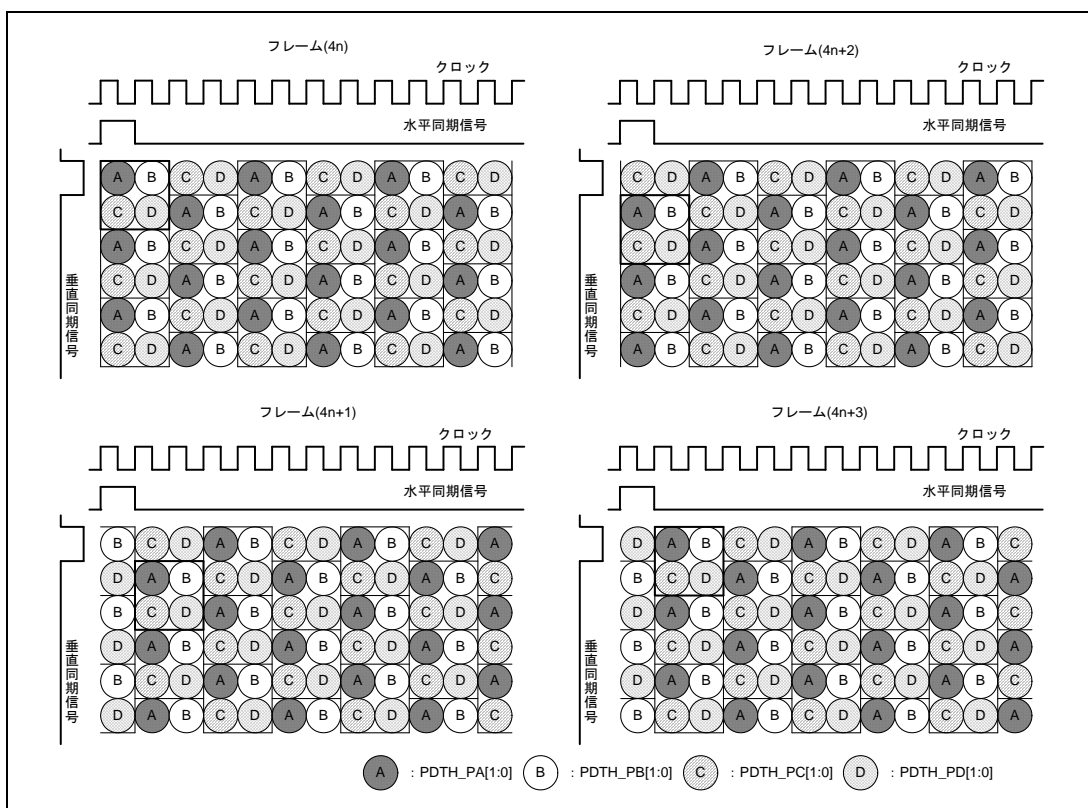


図 36.4 2x2 パターンディザの動作仕様図

変換式は下記となります。

- 切り捨てモード

1. 10ビット 8ビット

出力RGBデータ[7:0] = 入力RGBデータ[9:0] ÷ 4 (小数点以下切り捨て)

2. 10ビット 6ビット

出力RGBデータ[7:2] = 入力RGBデータ[9:0] ÷ 16 (小数点以下切り捨て)

3. 10ビット 5ビット

出力RGBデータ[7:3] = 入力RGBデータ[9:0] ÷ 32 (小数点以下切り捨て)

- 四捨五入モード

1. 10ビット 8ビット

出力RGBデータ[7:0] = 入力RGBデータ[9:0] ÷ 4 (小数点第一位で四捨五入)

2. 10ビット 6ビット

出力RGBデータ[7:2] = 入力RGBデータ[9:0] ÷ 16 (小数点第一位で四捨五入)

3. 10ビット 5ビット

出力RGBデータ[7:3] = 入力RGBデータ[9:0] ÷ 32 (小数点第一位で四捨五入)

- 2x2パターンディザ、ランダムパターンディザモード

1. 10ビット 8ビット

出力RGBデータ[7:0] = 入力RGBデータ[9:0] ÷ 4 + 小数点第一位にパターン値 (加算後に小数点第一位で切り捨て)

2. 10ビット 6ビット

出力RGBデータ[7:2] = 入力RGBデータ[9:0] ÷ 16 + 小数点第一位にパターン値 (加算後に小数点第一位で切り捨て)

3. 10ビット 5ビット

出力RGBデータ[7:3] = 入力RGBデータ[9:0] ÷ 32 + 小数点第一位にパターン値 (加算後に小数点第一位で切り捨て)

表 36.6 パネルディザ補正

レジスタ名	ビット名	初期値	説明
OUT_PDTHA	PDTH_SEL[1:0]	0	パネルディザ動作モード 0: 切り捨て 1: 四捨五入 2: 2x2 パターンディザ 3: ランダムパターンディザ
OUT_PDTHA	PDTH_FORMAT[1:0]	0	パネルディザ出力フォーマット選択 0: RGB888 1: RGB666 2: RGB565 3: 設定禁止
OUT_PDTHA	PDTH_PA[1:0]	3	2x2 パターンディザのパターン値 (A) 符号無し (0~3[LSB])
OUT_PDTHA	PDTH_PB[1:0]	0	2x2 パターンディザのパターン値 (B) 符号無し (0~3[LSB])
OUT_PDTHA	PDTH_PC[1:0]	2	2x2 パターンディザのパターン値 (C) 符号無し (0~3[LSB])
OUT_PDTHA	PDTH_PD[1:0]	1	2x2 パターンディザのパターン値 (D) 符号無し (0~3[LSB])

36.1.8 出力フォーマット変換

出力フォーマット変換はディザ処理後の RGB 信号を LCD 出力信号として、パラレル RGB888、RGB666、RGB565、シリアル RGB のいずれかのフォーマットに変換します。

また、変換したデータの LCD 出力ピンの割当を選択できます。

(1) RGB888 出力時の LCD 信号のビット割り付け

RGB888 出力のとき、LCD 信号出力に割り付けられる RGB 信号入力を表 36.7 に示します。

R/G/BIN[7:0]は、ディザ処理後の RGB 内部信号です。

表 36.7 RGB888 出力時の RGB 信号入力のビット割り付け

OUT_FORMAT	0	0	0	0
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
LCD_DATA23	RIN[7]	BIN[7]	RIN[0]	BIN[0]
LCD_DATA22	RIN[6]	BIN[6]	RIN[1]	BIN[1]
LCD_DATA21	RIN[5]	BIN[5]	RIN[2]	BIN[2]
LCD_DATA20	RIN[4]	BIN[4]	RIN[3]	BIN[3]
LCD_DATA19	RIN[3]	BIN[3]	RIN[4]	BIN[4]
LCD_DATA18	RIN[2]	BIN[2]	RIN[5]	BIN[5]
LCD_DATA17	RIN[1]	BIN[1]	RIN[6]	BIN[6]
LCD_DATA16	RIN[0]	BIN[0]	RIN[7]	BIN[7]
LCD_DATA15	GIN[7]	GIN[7]	GIN[0]	GIN[0]
LCD_DATA14	GIN[6]	GIN[6]	GIN[1]	GIN[1]
LCD_DATA13	GIN[5]	GIN[5]	GIN[2]	GIN[2]
LCD_DATA12	GIN[4]	GIN[4]	GIN[3]	GIN[3]
LCD_DATA11	GIN[3]	GIN[3]	GIN[4]	GIN[4]
LCD_DATA10	GIN[2]	GIN[2]	GIN[5]	GIN[5]
LCD_DATA9	GIN[1]	GIN[1]	GIN[6]	GIN[6]
LCD_DATA8	GIN[0]	GIN[0]	GIN[7]	GIN[7]
LCD_DATA7	BIN[7]	RIN[7]	BIN[0]	RIN[0]
LCD_DATA6	BIN[6]	RIN[6]	BIN[1]	RIN[1]
LCD_DATA5	BIN[5]	RIN[5]	BIN[2]	RIN[2]
LCD_DATA4	BIN[4]	RIN[4]	BIN[3]	RIN[3]
LCD_DATA3	BIN[3]	RIN[3]	BIN[4]	RIN[4]
LCD_DATA2	BIN[2]	RIN[2]	BIN[5]	RIN[5]
LCD_DATA1	BIN[1]	RIN[1]	BIN[6]	RIN[6]
LCD_DATA0	BIN[0]	RIN[0]	BIN[7]	RIN[7]

(2) RGB666 出力時の LCD 信号のビット割り付け

RGB666 出力のとき、LCD 信号出力に割り付けられる RGB 信号入力を表 36.8 に示します。

R/G/BIN[7:0]は、ディザ処理後の RGB 内部信号です。

表 36.8 RGB666 出力時の RGB 信号入力のビット割り付け

OUT_FORMAT	1	1	1	1
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
LCD_DATA23	0 固定	0 固定	0 固定	0 固定
LCD_DATA22	0 固定	0 固定	0 固定	0 固定
LCD_DATA21	0 固定	0 固定	0 固定	0 固定
LCD_DATA20	0 固定	0 固定	0 固定	0 固定
LCD_DATA19	0 固定	0 固定	0 固定	0 固定
LCD_DATA18	0 固定	0 固定	0 固定	0 固定
LCD_DATA17	RIN[7]	BIN[7]	RIN[2]	BIN[2]
LCD_DATA16	RIN[6]	BIN[6]	RIN[3]	BIN[3]
LCD_DATA15	RIN[5]	BIN[5]	RIN[4]	BIN[4]
LCD_DATA14	RIN[4]	BIN[4]	RIN[5]	BIN[5]
LCD_DATA13	RIN[3]	BIN[3]	RIN[6]	BIN[6]
LCD_DATA12	RIN[2]	BIN[2]	RIN[7]	BIN[7]
LCD_DATA11	GIN[7]	GIN[7]	GIN[2]	GIN[2]
LCD_DATA10	GIN[6]	GIN[6]	GIN[3]	GIN[3]
LCD_DATA9	GIN[5]	GIN[5]	GIN[4]	GIN[4]
LCD_DATA8	GIN[4]	GIN[4]	GIN[5]	GIN[5]
LCD_DATA7	GIN[3]	GIN[3]	GIN[6]	GIN[6]
LCD_DATA6	GIN[2]	GIN[2]	GIN[7]	GIN[7]
LCD_DATA5	BIN[7]	RIN[7]	BIN[2]	RIN[2]
LCD_DATA4	BIN[6]	RIN[6]	BIN[3]	RIN[3]
LCD_DATA3	BIN[5]	RIN[5]	BIN[4]	RIN[4]
LCD_DATA2	BIN[4]	RIN[4]	BIN[5]	RIN[5]
LCD_DATA1	BIN[3]	RIN[3]	BIN[6]	RIN[6]
LCD_DATA0	BIN[2]	RIN[2]	BIN[7]	RIN[7]

(3) RGB565 出力時の LCD 信号のビット割り付け

RGB565 出力のとき、LCD 信号出力に割り付けられる RGB 信号入力を表 36.9 に示します。

R/G/BIN[7:0]は、ディザ処理後の RGB 内部信号です。

表 36.9 RGB565 出力時の RGB 信号入力のビット割り付け

OUT_FORMAT	2	2	2	2
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
LCD_DATA23	0 固定	0 固定	0 固定	0 固定
LCD_DATA22	0 固定	0 固定	0 固定	0 固定
LCD_DATA21	0 固定	0 固定	0 固定	0 固定
LCD_DATA20	0 固定	0 固定	0 固定	0 固定
LCD_DATA19	0 固定	0 固定	0 固定	0 固定
LCD_DATA18	0 固定	0 固定	0 固定	0 固定
LCD_DATA17	0 固定	0 固定	0 固定	0 固定
LCD_DATA16	0 固定	0 固定	0 固定	0 固定
LCD_DATA15	RIN[7]	BIN[7]	RIN[3]	BIN[3]
LCD_DATA14	RIN[6]	BIN[6]	RIN[4]	BIN[4]
LCD_DATA13	RIN[5]	BIN[5]	RIN[5]	BIN[5]
LCD_DATA12	RIN[4]	BIN[4]	RIN[6]	BIN[6]
LCD_DATA11	RIN[3]	BIN[3]	RIN[7]	BIN[7]
LCD_DATA10	GIN[7]	GIN[7]	GIN[2]	GIN[2]
LCD_DATA9	GIN[6]	GIN[6]	GIN[3]	GIN[3]
LCD_DATA8	GIN[5]	GIN[5]	GIN[4]	GIN[4]
LCD_DATA7	GIN[4]	GIN[4]	GIN[5]	GIN[5]
LCD_DATA6	GIN[3]	GIN[3]	GIN[6]	GIN[6]
LCD_DATA5	GIN[2]	GIN[2]	GIN[7]	GIN[7]
LCD_DATA4	BIN[7]	RIN[7]	BIN[3]	RIN[3]
LCD_DATA3	BIN[6]	RIN[6]	BIN[4]	RIN[4]
LCD_DATA2	BIN[5]	RIN[5]	BIN[5]	RIN[5]
LCD_DATA1	BIN[4]	RIN[4]	BIN[6]	RIN[6]
LCD_DATA0	BIN[3]	RIN[3]	BIN[7]	RIN[7]

(4) シリアル RGB 出力時の LCD 信号のビット割り付け

シリアル RGB 出力のとき、表 36.10 に示す RGB 信号入力を rgb 内部信号に割り付け、その信号をパラレルシリアル変換して LCD 信号に出力します。R/G/BIN[7:0]は、ディザ処理後の RGB 内部信号です。

内部信号 r[7:0]、g[7:0]、b[7:0]はシリアルに LCD_DATA7 ~ 0 に出力されます。

表 36.10 シリアル RGB 出力時の RGB 信号入力のビット割り付け

OUT_FORMAT	3	3	3	3
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
r[7]	RIN[7]	BIN[7]	RIN[0]	BIN[0]
r[6]	RIN[6]	BIN[6]	RIN[1]	BIN[1]
r[5]	RIN[5]	BIN[5]	RIN[2]	BIN[2]
r[4]	RIN[4]	BIN[4]	RIN[3]	BIN[3]
r[3]	RIN[3]	BIN[3]	RIN[4]	BIN[4]
r[2]	RIN[2]	BIN[2]	RIN[5]	BIN[5]
r[1]	RIN[1]	BIN[1]	RIN[6]	BIN[6]
r[0]	RIN[0]	BIN[0]	RIN[7]	BIN[7]
g[7]	GIN[7]	GIN[7]	GIN[0]	GIN[0]
g[6]	GIN[6]	GIN[6]	GIN[1]	GIN[1]
g[5]	GIN[5]	GIN[5]	GIN[2]	GIN[2]
g[4]	GIN[4]	GIN[4]	GIN[3]	GIN[3]
g[3]	GIN[3]	GIN[3]	GIN[4]	GIN[4]
g[2]	GIN[2]	GIN[2]	GIN[5]	GIN[5]
g[1]	GIN[1]	GIN[1]	GIN[6]	GIN[6]
g[0]	GIN[0]	GIN[0]	GIN[7]	GIN[7]
b[7]	BIN[7]	RIN[7]	BIN[0]	RIN[0]
b[6]	BIN[6]	RIN[6]	BIN[1]	RIN[1]
b[5]	BIN[5]	RIN[5]	BIN[2]	RIN[2]
b[4]	BIN[4]	RIN[4]	BIN[3]	RIN[3]
b[3]	BIN[3]	RIN[3]	BIN[4]	RIN[4]
b[2]	BIN[2]	RIN[2]	BIN[5]	RIN[5]
b[1]	BIN[1]	RIN[1]	BIN[6]	RIN[6]
b[0]	BIN[0]	RIN[0]	BIN[7]	RIN[7]

(5) パラレル シリアル変換

パラレル シリアル変換は、表 36.11 に示すとおり、倍速モード制御とスキャン方向選択により、4 種類のパラレル シリアル変換が可能です (表中の n は自然数)。

表 36.11 シリアル RGB 出力仕様

OUT_FRQ_SEL	1	1	2	2
OUT_DIR_SEL	0	1	0	1
ライン (2n-1)	繰り返し (r g b)	繰り返し (b g r)	繰り返し (r g b X)	繰り返し (X b g r)
ライン 2n	繰り返し (g b r)	繰り返し (r b g)	繰り返し (r g b X)	繰り返し (X b g r)

図 36.5、図 36.6 にそれぞれ 3 倍速と 4 倍速のパラレル シリアル変換のタイミング図を示します。

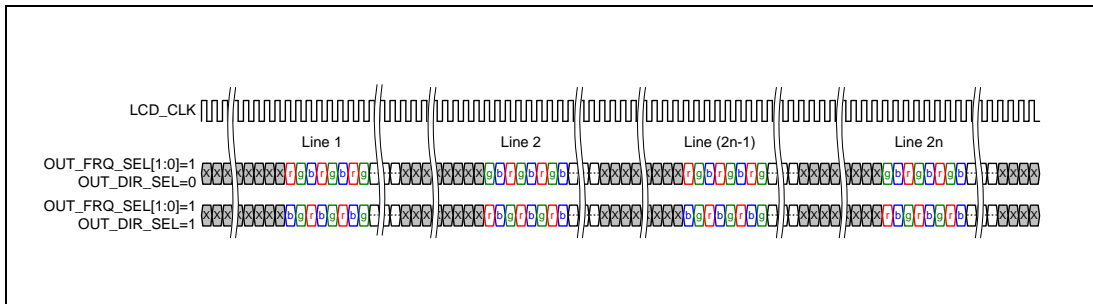


図 36.5 3 倍速パラレル シリアル変換タイミング図

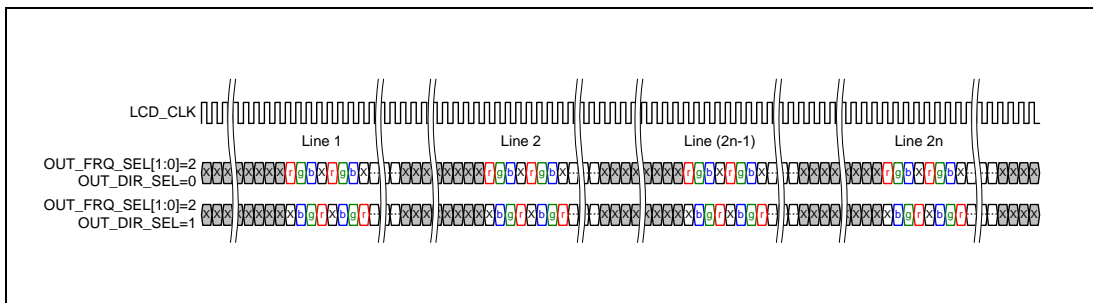


図 36.6 4 倍速パラレル シリアル変換タイミング図

シリアル出力時の HE 信号との位相タイミングをレジスタ OUT_PHASE[1:0]で調整できます。

図 36.7 にシリアル RGB 出力 (3 倍速モード) のクロック位相のタイミング図を示します。

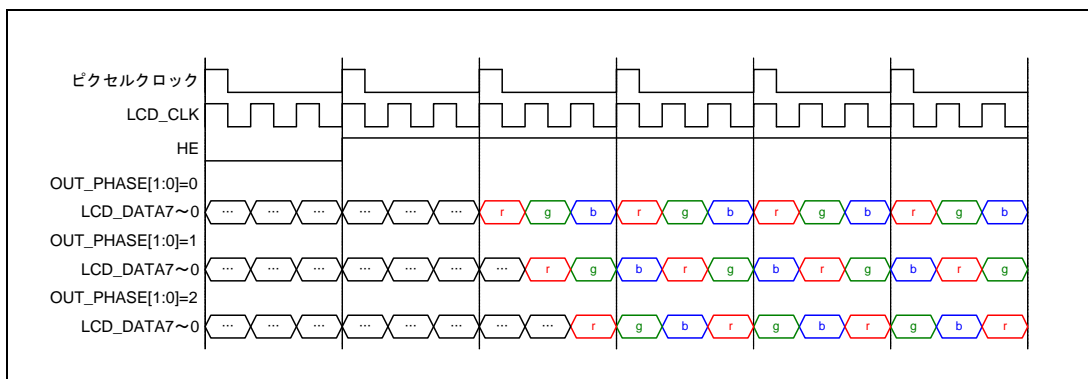


図 36.7 シリアル RGB (3 倍速モード) のクロック位相のタイミング図

図 36.8 にシリアル RGB 出力 (4 倍速モード) のクロック位相のタイミング図を示します。

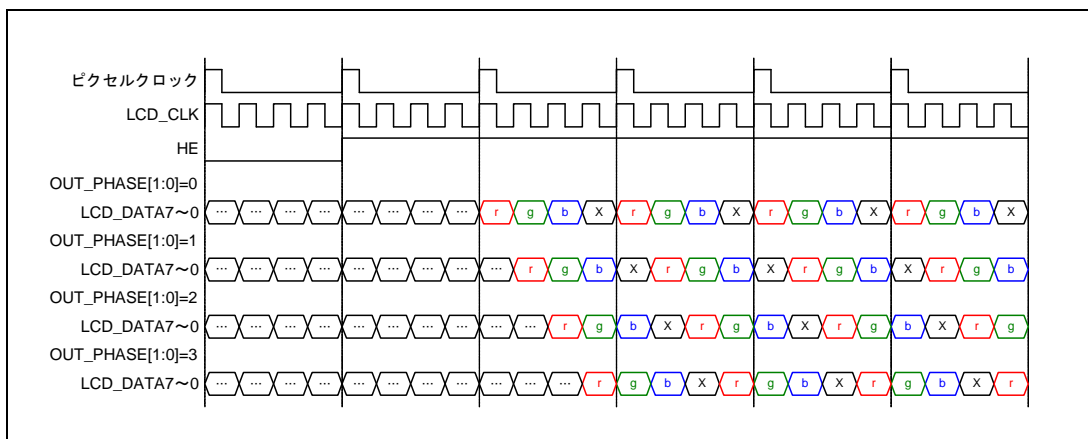


図 36.8 シリアル RGB (4 倍速モード) のクロック位相のタイミング図

表 36.12 出力フォーマット変換

レジスタ名	ビット名	初期値	説明
OUT_SET	OUT_FORMAT[1:0]	0	出力フォーマット選択 0 : RGB888 1 : RGB666 2 : RGB565 3 : シリアル RGB
OUT_SET	OUT_ENDIAN_ON	0	ビットエンディアン変更オン / オフ制御 0 : オフ 1 : オン
OUT_SET	OUT_SWAP_ON	0	B/R 信号入れ替えオン / オフ制御 0 : オフ 1 : オン
OUT_SET	OUT_FRQ_SEL[1:0]	0	クロック周波数制御 0 : 1 倍速 (パラレル RGB) 1 : 3 倍速 (シリアル RGB) 2 : 4 倍速 (シリアル RGB) 3 : 設定禁止
OUT_SET	OUT_DIR_SEL	0	スキャン方向選択 0 : 正スキャン 1 : 逆スキャン
OUT_SET	OUT_PHASE[1:0]	0	シリアル RGB 出力時のクロック位相調整 3 倍速のとき 0 : 0[clk]、1 : 1[clk]、2 : 2[clk]、3 : 設定禁止 4 倍速のとき 0 : 0[clk]、1 : 1[clk]、2 : 2[clk]、3 : 3[clk]

36.1.9 LCD TCON

LCD パネル駆動用の各種タイミング信号を生成します。

生成可能なタイミング信号は、垂直パネルドライバ信号 2 本、水平パネルドライバ信号 5 本、垂直と水平パネルドライバ信号の合成信号 1 本です。表 36.13 に生成可能なタイミング信号の一覧を示します。

表 36.13 LCD TCON 生成信号

信号名	分類	説明
STVA/VS	垂直	<ul style="list-style-type: none"> ゲートスタート信号 パルス幅、パルス位置、パルス極性の制御が可能 垂直同期信号 同期信号幅、同期信号位置、同期信号極性の制御が可能
STVB/VE	垂直	<ul style="list-style-type: none"> ゲートスタート信号 パルス幅、パルス位置、パルス極性の制御が可能 垂直イネーブル信号 同期信号幅、同期信号位置、同期信号極性の制御が可能
STH/SP/HS	水平	<ul style="list-style-type: none"> ソーススタート信号 パルス幅、パルス位置、パルス極性の制御が可能 水平同期信号 同期信号幅、同期信号位置、同期信号極性の制御が可能
STB/LP/HE	水平	<ul style="list-style-type: none"> ソースストロープ信号 パルス幅、パルス位置、パルス極性の制御が可能 水平イネーブル信号 イネーブル幅、イネーブル位置、イネーブル極性の制御が可能
CPV/GCK	水平	<ul style="list-style-type: none"> ゲートクロック信号 パルス幅、パルス位置、パルス極性の制御が可能
POLA	水平	<ul style="list-style-type: none"> VCOM 電圧極性制御信号 極性反転位置、極性反転動作 (1x1、1x2、2x2) の制御が可能
POLB	水平	<ul style="list-style-type: none"> VCOM 電圧極性制御信号 極性反転位置、極性反転動作 (1x1、1x2、2x2) の制御が可能
DE	水平・垂直	<ul style="list-style-type: none"> データイネーブル信号 イネーブル幅、イネーブル位置、イネーブル極性の制御が可能

(1) 水平基準オフセット制御

水平同期信号の立ち上がりを基準として TCON_OFFSET[10:0]分のクロック遅延した基準信号を生成します。水平同期信号をまたいで信号生成する必要がある場合は、このオフセットした基準信号を基に信号を生成します。

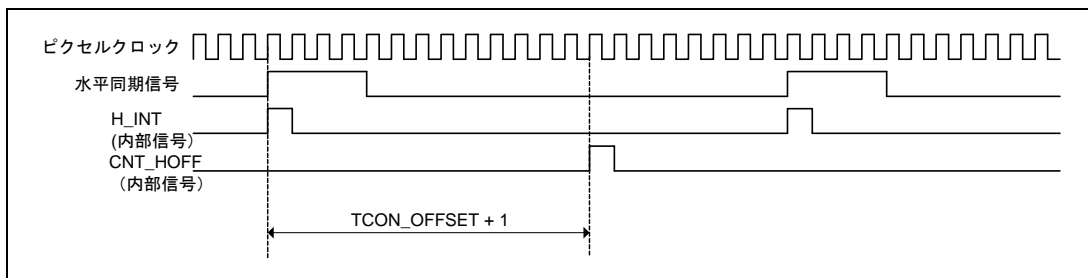


図 36.9 オフセット付き水平基準 (H_OFF) 信号生成

表 36.14 水平基準信号選択表

レジスタ名	ビット名	初期値	説明
TCON_TIM	TCON_OFFSET[10:0]	0	オフセット付き水平同期信号のタイミング設定 水平同期信号の立ち上がりからのクロック数を設定
TCON_TIM_STH2	TCON_STH_HS_SEL	0	STH 信号の動作基準選択 0: 水平同期信号基準 1: オフセット後の水平同期信号基準
TCON_TIM_STB2	TCON_STB_HS_SEL	0	STB 信号の動作基準選択 0: 水平同期信号基準 1: オフセット後の水平同期信号基準
TCON_TIM_CPV2	TCON_CPV_HS_SEL	0	CPV 信号の動作基準選択 0: 水平同期信号基準 1: オフセット後の水平同期信号基準
TCON_TIM_POLA2	TCON_POLA_HS_SEL	0	POLA 信号の動作基準選択 0: 水平同期信号基準 1: オフセット後の水平同期信号基準
TCON_TIM_POLB2	TCON_POLB_HS_SEL	0	POLB 信号の動作基準選択 0: 水平同期信号基準 1: オフセット後の水平同期信号基準

【注】 POLA、POLB 信号をリバースモードで信号生成するときは、TCON_POLA_HS_SEL、TCON_POLB_HS_SEL は 0 に設定してください。

(2) 水平パネルドライバ信号生成 (A)

水平同期パネルドライバ信号生成は、第 1 の変化タイミングを設定する $TCON_xxxx_HS[10:0]$ 、第 2 の変化タイミングを設定する $TCON_xxxx_HW[10:0]$ によって水平周期に 2 回変化するタイミング信号を生成します。

内部カウンタは以下の動作を行います。

1. 水平同期信号の立ち上がりを基準 (カウンタリセット)
2. パネルクロックの立ち上がりを基準としてカウントアップ

なお、第 2 の変化タイミングを設定する $TCON_xxxx_HW[10:0]$ を 0 に設定することで固定値 0 を出力することもできます。

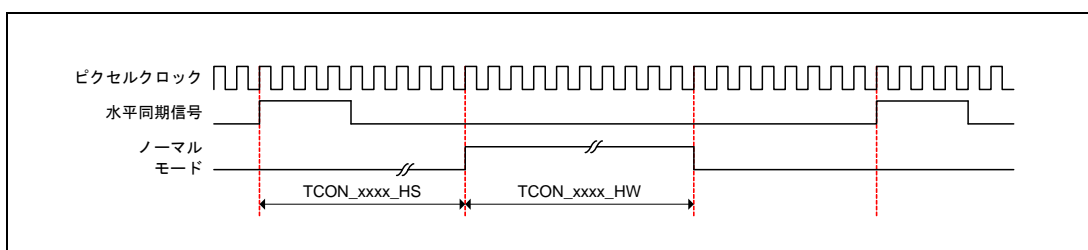


図 36.10 水平パネルドライバ信号 (ノーマルモード)

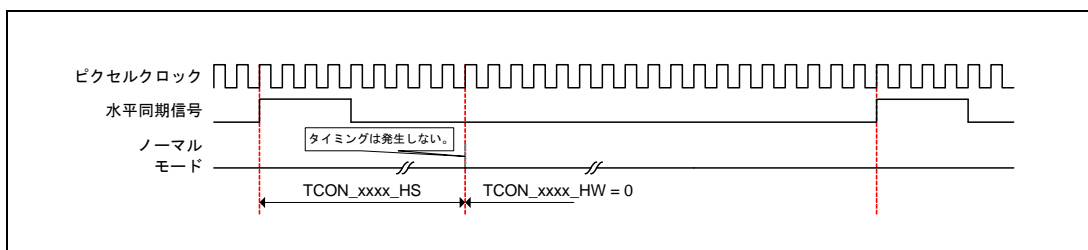


図 36.11 水平パネルドライバ信号 (ノーマルモード、 $TCON_xxxx_HW = 0$ 時)

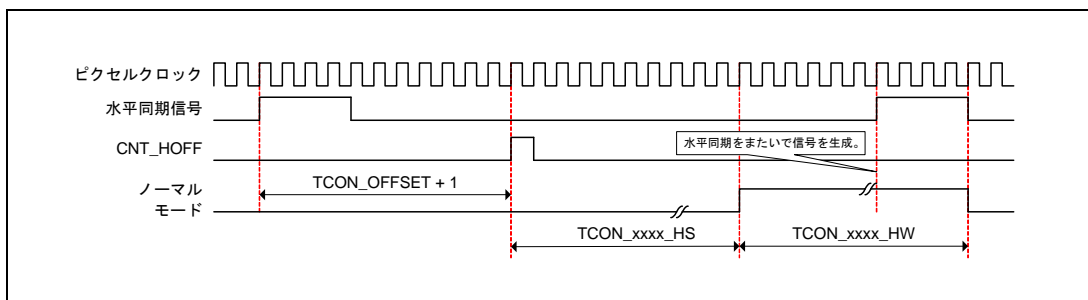


図 36.12 水平パネルドライバ信号 (ノーマルモード、オフセット付き水平基準を使用時)

表 36.15 水平パネルドライバ信号生成 (A) 設定

レジスタ名	ビット名	初期値	説明
TCON_TIM_STH1	TCON_STH_HS[10:0]	0	STH 信号のパルス開始位置 (第 1 の変化タイミング) を設定 水平同期信号の立ち上がりから TCON_STH_HS 後にパルスを 出力開始 (クロック周期)
TCON_TIM_STH1	TCON_STH_HW[10:0]	96	STH 信号のパルス幅 (第 2 の変化タイミング) を設定 TCON_STH_HW 期間パルス出力 (クロック周期)
TCON_TIM_STB1	TCON_STB_HS[10:0]	144	STB 信号のパルス開始位置 (第 1 の変化タイミング) を設定 水平同期信号の立ち上がりから TCON_STB_HS 後にパルスを 出力開始 (クロック周期)
TCON_TIM_STB1	TCON_STB_HW[10:0]	640	STB 信号のパルス幅 (第 2 の変化タイミング) を設定 TCON_STB_HW 期間パルス出力 (クロック周期)
TCON_TIM_CPV1	TCON_CPV_HS[10:0]	0	CPV 信号のパルス開始位置 (第 1 の変化タイミング) を設定 水平同期信号の立ち上がりから TCON_CPV_HS 後にパルス を出力開始 (クロック周期)
TCON_TIM_CPV1	TCON_CPV_HW[10:0]	0	CPV 信号のパルス幅 (第 2 の変化タイミング) を設定 TCON_CPV_HW 期間パルス出力 (クロック周期)

(3) 水平パネルドライバ信号生成 (B)

(2) のノーマルモード動作に加えて、垂直同期信号の立ち上がりを基準に動作を開始し、第 1 の変化タイミングを設定する TCON_XXXX_HS[10:0] のタイミングにて水平周期ごとに極性が反転する信号を生成できます。

リバースモード時には、垂直のライン数 (偶数、奇数) にかかわらず常に垂直周期ごとに極性が反転された信号を生成します。極性の反転動作として、下記の 3 モードの選択が可能です。

表 36.16 水平パネルドライバ信号生成モード表

レジスタ名	ビット名	初期値	説明
TCON_TIM_POLA2	TCON_POLA_MD[1:0]	1	POLA 信号の生成モード選択 0 : ノーマルモード 水平周期に 2 回変化する信号を生成します。 1 : 1x1 リバースモード 1 水平周期ごとに極性が反転する信号を生成します。 2 : 1x2 リバースモード 開始 1 水平期間で極性が反転し、その後、2 水平周期ごとに極性が反転する信号を生成します。 3 : 2x2 リバースモード 2 水平周期ごとに極性が反転する信号を生成します。
TCON_TIM_POLB2	TCON_POLB_MD[1:0]	1	POLB 信号の生成モード選択 0 : ノーマルモード 水平周期に 2 回変化する信号を生成します。 1 : 1x1 リバースモード 1 水平周期ごとに極性が反転する信号を生成します。 2 : 1x2 リバースモード 開始 1 水平期間で極性が反転し、その後、2 水平周期ごとに極性が反転する信号を生成します。 3 : 2x2 リバースモード 2 水平周期ごとに極性が反転する信号を生成します。

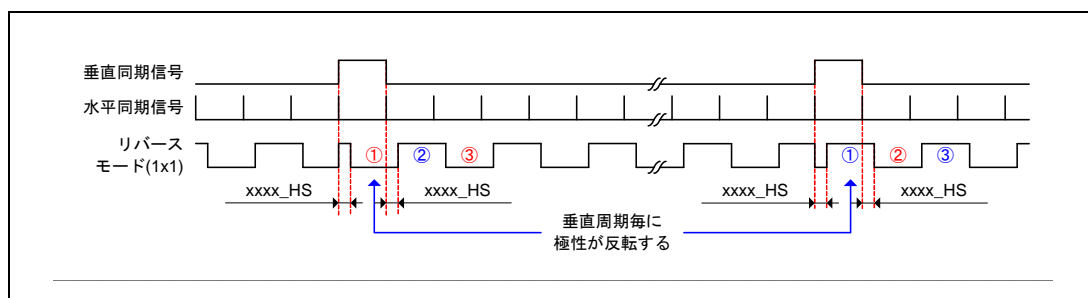


図 36.13 水平パネルドライバ信号 (リバースモード、1x1 時)

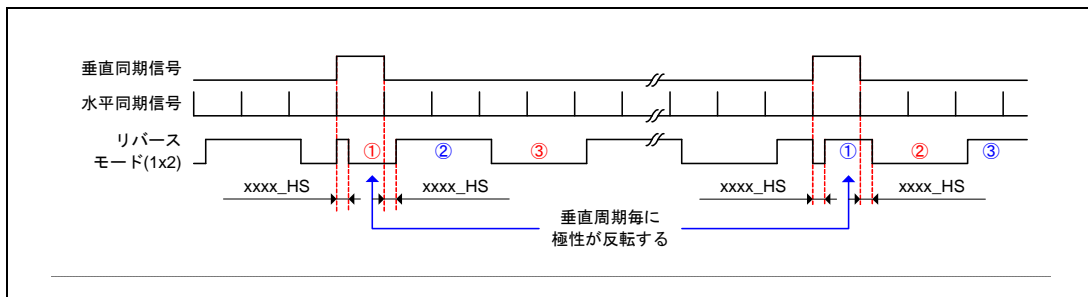


図 36.14 水平パネルドライバ信号（リバースモード、1x2 時）

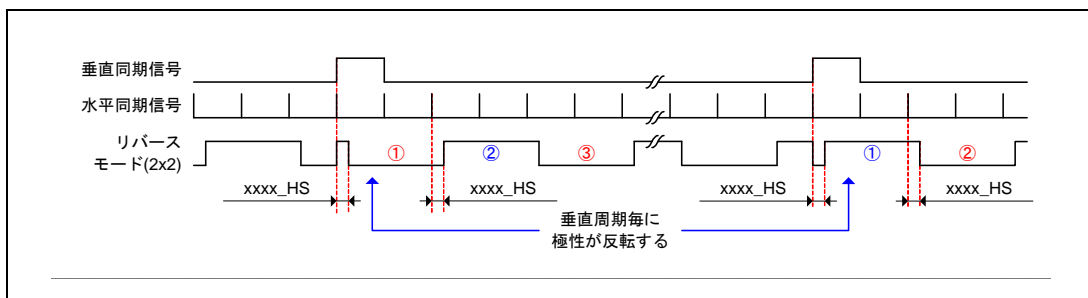


図 36.15 水平パネルドライバ信号（リバースモード、2x2 時）

表 36.17 水平パネルドライバ信号生成（B）設定

レジスタ名	ビット名	初期値	説明
TCON_TIM_POLA1	TCON_POLA_HS[10:0]	0	POLA 信号のパルス開始位置（第 1 の変化タイミング）を設定 水平同期信号の立ち上がりから TCON_POLA_HS 後にパルスを出力開始（クロック周期） 【注】1x1、1x2、2x2 リバースモード設定時、必ず 1 以上を設定してください。
TCON_TIM_POLA1	TCON_POLA_HW[10:0]	0	POLA 信号のパルス幅（第 2 の変化タイミング）を設定 TCON_POLA_HW 期間パルス出力（クロック周期）
TCON_TIM_POLB1	TCON_POLB_HS[10:0]	0	POLB 信号のパルス開始位置（第 1 の変化タイミング）を設定 水平同期信号の立ち上がりから TCON_POLB_HS 後にパルスを出力開始（クロック周期） 【注】1x1、1x2、2x2 リバースモード設定時、必ず 1 以上を設定してください。
TCON_TIM_POLB1	TCON_POLB_HW[10:0]	0	POLB 信号のパルス幅（第 2 の変化タイミング）を設定 TCON_POLB_HW 期間パルス出力（クロック周期）

(4) 垂直パネルドライバ信号生成

垂直同期パネルドライバ信号生成は、以下の動作を行います。

1. 垂直同期信号の立ち上がりにて初期化
2. 内部カウンタと第1の変化タイミングを設定する $TCON_xxxx_VS[10:0]$ 、第2の変化タイミングを設定する $TCON_xxxx_VW[10:0]$ によって垂直周期に2回変化するタイミング信号を生成します。

内部カウンタは以下の 2 つの場合でカウントアップします。

1. 内部カウンタは水平同期信号の立ち上がり基準
2. 水平同期信号の立ち上がりを基準に $TCON_HALF[10:0]$ の設定によりクロック遅延した基準 (通常 $1/2fH$ を設定)

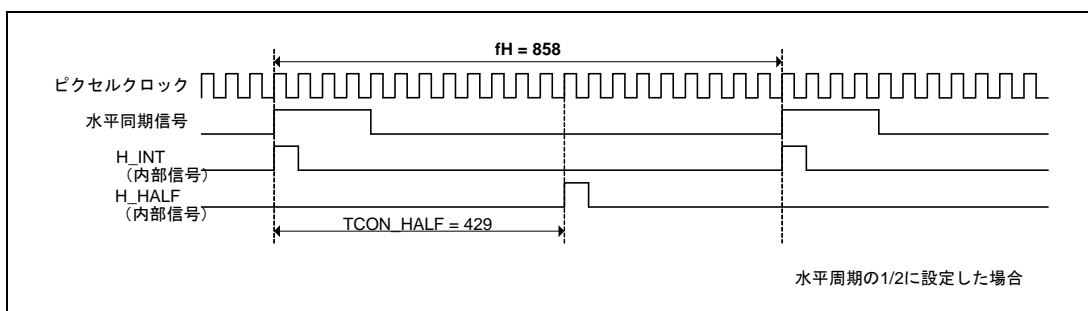


図 36.16 1/2 パルス (H_HALF) 信号生成

表 36.18 1/2 パルス (H_HALF) 信号生成設定

レジスタ名	ビット名	初期値	説明
TCON_TIM	TCON_HALF[10:0]	400	1/2fH タイミング設定 垂直カウンタのカウント動作タイミングを水平同期信号の立ち上がりからのクロック数を指定

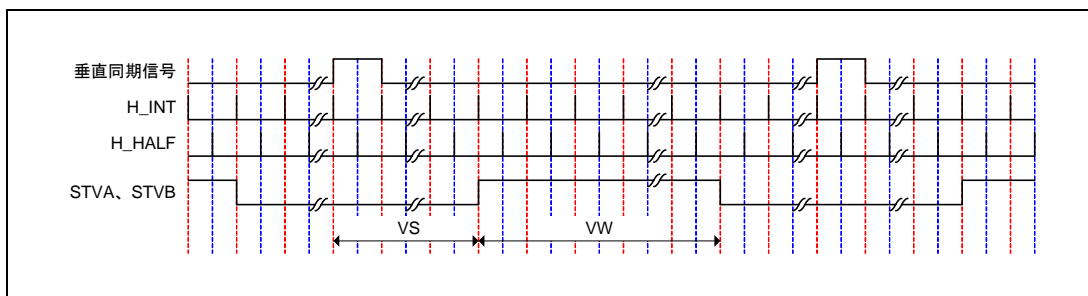


図 36.17 垂直パネルドライバ信号 (H_INT 基準動作)

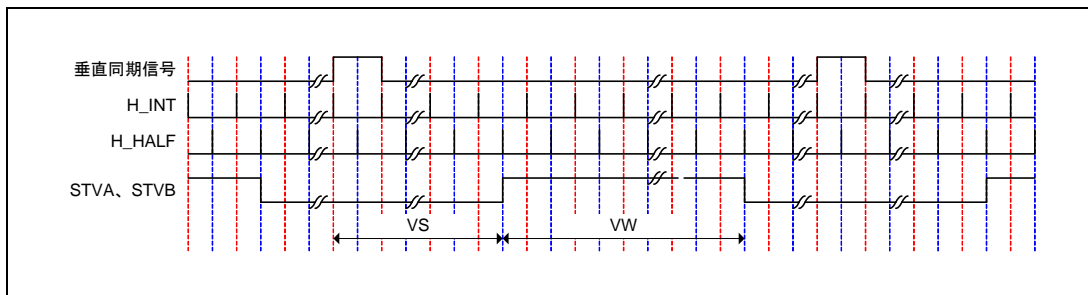


図 36.18 垂直パネルドライバ信号 (H_HALF 基準動作)

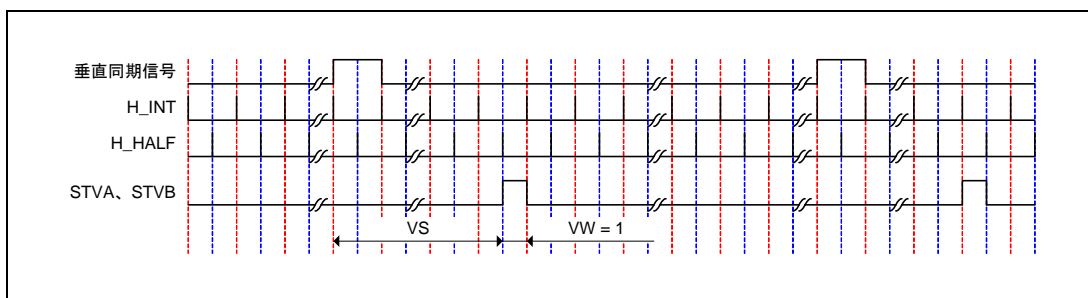


図 36.19 垂直パネルドライバ信号 (H_INT、H_HALF 基準動作)

表 36.19 垂直パネルドライバ信号生成

レジスタ名	ビット名	初期値	説明
TCON_TIM_STVA1	TCON_STVA_VS[10:0]	0	STVA 信号のパルス開始位置 (第 1 の変化タイミング) を設定 垂直同期信号の立ち上がりから TCON_STVA_VS 後にパルスを出力開始 (1/2fH 周期)
TCON_TIM_STVA1	TCON_STVA_VW[10:0]	4	STVA 信号のパルス幅 (第 2 の変化タイミング) を設定 TCON_STVA_VW 期間パルス出力 (1/2fH 周期)
TCON_TIM_STVB1	TCON_STVB_VS[10:0]	70	STVB 信号のパルス開始位置 (第 1 の変化タイミング) を設定 垂直同期信号の立ち上がりから TCON_STVB_VS 後にパルスを出力開始 (1/2fH 周期)
TCON_TIM_STVB1	TCON_STVB_VW[10:0]	960	STVB 信号のパルス幅 (第 2 の変化タイミング) を設定 TCON_STVB_VW 期間パルス出力 (1/2fH 周期)

(5) DE タイミング信号生成

水平パネルドライバ (HE) 信号と垂直パネルドライバ (VE) 信号を合成 (論理積) して映像信号の有効期間を示すデータイネーブル (DE) 信号を生成します。

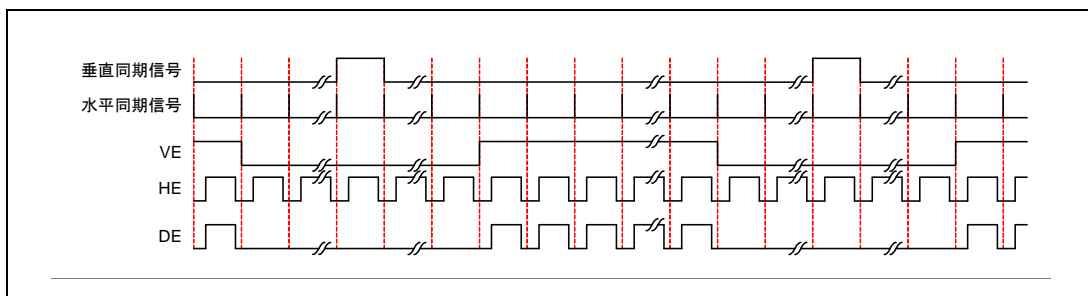


図 36.20 データイネーブル信号生成

(6) 極性反転

信号生成回路にて生成された各々の信号に対して信号の極性を反転することができます。

表 36.20 パネルドライバ信号極性反転制御

レジスタ名	ビット名	初期値	説明
TCON_TIM_STVA2	TCON_STVA_INV	1	STVA 信号の極性反転制御 0: 非反転 1: 反転
TCON_TIM_STVB2	TCON_STVB_INV	0	STVB 信号の極性反転制御 0: 非反転 1: 反転
TCON_TIM_STH2	TCON_STH_INV	1	STH 信号の極性反転制御 0: 非反転 1: 反転
TCON_TIM_STB2	TCON_STB_INV	0	STB 信号の極性反転制御 0: 非反転 1: 反転
TCON_TIM_CPV2	TCON_CPV_INV	0	CPV 信号の極性反転制御 0: 非反転 1: 反転
TCON_TIM_POLA2	TCON_POLA_INV	0	POLA 信号の極性反転制御 0: 非反転 1: 反転
TCON_TIM_POLB2	TCON_POLB_INV	0	POLB 信号の極性反転制御 0: 非反転 1: 反転

レジスタ名	ビット名	初期値	説明
TCON_TIM_DE	TCON_DE_INV	0	DE 信号の極性反転制御 0 : 非反転 1 : 反転

(7) 出力選択

極性反転制御された各々の信号に対して出力ピンへの割当を選択します。

表 36.21 パネルドライバ信号出力選択

レジスタ名	ビット名	初期値	説明
TCON_TIM_STVA2	TCON_STVA_SEL[2:0]	0	LCD_TCON0 端子への出力信号選択 0 : STVA/VS 1 : STVB/VE 2 : STH/SP/HS 3 : STB/LP/HE 4 : CPV/GCK 5 : POLA 6 : POLB 7 : DE
TCON_TIM_STVB2	TCON_STVB_SEL[2:0]	1	LCD_TCON1 端子への出力信号選択 0 : STVA/VS 1 : STVB/VE 2 : STH/SP/HS 3 : STB/LP/HE 4 : CPV/GCK 5 : POLA 6 : POLB 7 : DE
TCON_TIM_STH2	TCON_STH_SEL[2:0]	2	LCD_TCON2 端子への出力信号選択 0 : STVA/VS 1 : STVB/VE 2 : STH/SP/HS 3 : STB/LP/HE 4 : CPV/GCK 5 : POLA 6 : POLB 7 : DE

レジスタ名	ビット名	初期値	説明
TCON_TIM_STB2	TCON_STB_SEL[2:0]	7	LCD_TCON3 端子への出力信号選択 0 : STVA/VS 1 : STVB/VE 2 : STH/SP/HS 3 : STB/LP/HE 4 : CPV/GCK 5 : POLA 6 : POLB 7 : DE
TCON_TIM_CPV2	TCON_CPV_SEL[2:0]	4	LCD_TCON4 端子への出力信号選択 0 : STVA/VS 1 : STVB/VE 2 : STH/SP/HS 3 : STB/LP/HE 4 : CPV/GCK 5 : POLA 6 : POLB 7 : DE
TCON_TIM_POLA2	TCON_POLA_SEL[2:0]	5	LCD_TCON5 端子への出力信号選択 0 : STVA/VS 1 : STVB/VE 2 : STH/SP/HS 3 : STB/LP/HE 4 : CPV/GCK 5 : POLA 6 : POLB 7 : DE
TCON_TIM_POLB2	TCON_POLB_SEL[2:0]	6	LCD_TCON6 端子への出力信号選択 0 : STVA/VS 1 : STVB/VE 2 : STH/SP/HS 3 : STB/LP/HE 4 : CPV/GCK 5 : POLA 6 : POLB 7 : DE

(8) 出力位相選択

映像出力信号、および、各種タイミング出力信号は、LCD_CLK (パネルクロック) 基準で出力位相を個別に選択できます。

表 36.22 パネル出力信号の位相選択

レジスタ名	ビット名	初期値	説明
OUT_CLK_PHASE	OUTCNT_LCD_EDGE	0	LCD_DATA23~0 端子の出力位相制御 0 : LCD_CLK 端子の立ち上がりエッジで出力 1 : LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STVA_EDGE	0	LCD_TCON0 端子信号の出力位相制御 0 : LCD_CLK 端子の立ち上がりエッジで出力 1 : LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STVB_EDGE	0	LCD_TCON1 端子信号の出力位相制御 0 : LCD_CLK 端子の立ち上がりエッジで出力 1 : LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STH_EDGE	0	LCD_TCON2 端子の出力位相制御 0 : LCD_CLK 端子の立ち上がりエッジで出力 1 : LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STB_EDGE	0	LCD_TCON3 端子の出力位相制御 0 : LCD_CLK 端子の立ち上がりエッジで出力 1 : LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_CPV_EDGE	0	LCD_TCON4 端子の出力位相制御 0 : LCD_CLK 端子の立ち上がりエッジで出力 1 : LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_POLA_EDGE	0	LCD_TCON5 端子の出力位相制御 0 : LCD_CLK 端子の立ち上がりエッジで出力 1 : LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_POLB_EDGE	0	LCD_TCON6 端子の出力位相制御 0 : LCD_CLK 端子の立ち上がりエッジで出力 1 : LCD_CLK 端子の立ち下がりエッジで出力

36.2 レジスタの説明

表 36.23 にレジスタ構成を示します。

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

- : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R/WC1 : リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

- /W : ライトのみ可。読み出し値は不定です。

表 36.23 ガンマ補正部レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
ガンマ補正部レジスタ更新制御レジスタ G	GAM_G_UPDATE	R/WC1	H'0000 0000	H'FFFF 7800	32/16
ガンマ補正部機能スイッチレジスタ	GAM_SW	R/W	H'0000 0000	H'FFFF 7804	32/16
ガンマ補正部テーブル設定レジスタ G1	GAM_G_LUT1	R/W	H'0400 0400	H'FFFF 7808	32/16
ガンマ補正部テーブル設定レジスタ G2	GAM_G_LUT2	R/W	H'0400 0400	H'FFFF 780C	32/16
ガンマ補正部テーブル設定レジスタ G3	GAM_G_LUT3	R/W	H'0400 0400	H'FFFF 7810	32/16
ガンマ補正部テーブル設定レジスタ G4	GAM_G_LUT4	R/W	H'0400 0400	H'FFFF 7814	32/16
ガンマ補正部テーブル設定レジスタ G5	GAM_G_LUT5	R/W	H'0400 0400	H'FFFF 7818	32/16
ガンマ補正部テーブル設定レジスタ G6	GAM_G_LUT6	R/W	H'0400 0400	H'FFFF 781C	32/16
ガンマ補正部テーブル設定レジスタ G7	GAM_G_LUT7	R/W	H'0400 0400	H'FFFF 7820	32/16
ガンマ補正部テーブル設定レジスタ G8	GAM_G_LUT8	R/W	H'0400 0400	H'FFFF 7824	32/16
ガンマ補正部テーブル設定レジスタ G9	GAM_G_LUT9	R/W	H'0400 0400	H'FFFF 7828	32/16
ガンマ補正部テーブル設定レジスタ G10	GAM_G_LUT10	R/W	H'0400 0400	H'FFFF 782C	32/16
ガンマ補正部テーブル設定レジスタ G11	GAM_G_LUT11	R/W	H'0400 0400	H'FFFF 7830	32/16
ガンマ補正部テーブル設定レジスタ G12	GAM_G_LUT12	R/W	H'0400 0400	H'FFFF 7834	32/16
ガンマ補正部テーブル設定レジスタ G13	GAM_G_LUT13	R/W	H'0400 0400	H'FFFF 7838	32/16
ガンマ補正部テーブル設定レジスタ G14	GAM_G_LUT14	R/W	H'0400 0400	H'FFFF 783C	32/16
ガンマ補正部テーブル設定レジスタ G15	GAM_G_LUT15	R/W	H'0400 0400	H'FFFF 7840	32/16
ガンマ補正部テーブル設定レジスタ G16	GAM_G_LUT16	R/W	H'0400 0400	H'FFFF 7844	32/16
ガンマ補正部領域設定レジスタ G1	GAM_G_AREA1	R/W	H'0008 1018	H'FFFF 7848	32/16
ガンマ補正部領域設定レジスタ G2	GAM_G_AREA2	R/W	H'2028 3038	H'FFFF 784C	32/16
ガンマ補正部領域設定レジスタ G3	GAM_G_AREA3	R/W	H'4048 5058	H'FFFF 7850	32/16
ガンマ補正部領域設定レジスタ G4	GAM_G_AREA4	R/W	H'6068 7078	H'FFFF 7854	32/16
ガンマ補正部領域設定レジスタ G5	GAM_G_AREA5	R/W	H'8088 9098	H'FFFF 7858	32/16
ガンマ補正部領域設定レジスタ G6	GAM_G_AREA6	R/W	H'A0A8 B0B8	H'FFFF 785C	32/16

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
ガンマ補正部領域設定レジスタ G7	GAM_G_AREA7	R/W	H'0C08 D0D8	H'FFFF 7860	32/16
ガンマ補正部領域設定レジスタ G8	GAM_G_AREA8	R/W	H'E0E8 F0F8	H'FFFF 7864	32/16
ガンマ補正部レジスタ更新制御レジスタ B	GAM_B_UPDATE	R/WC1	H'0000 0000	H'FFFF 7880	32/16
ガンマ補正部テーブル設定レジスタ B1	GAM_B_LUT1	R/W	H'0400 0400	H'FFFF 7888	32/16
ガンマ補正部テーブル設定レジスタ B2	GAM_B_LUT2	R/W	H'0400 0400	H'FFFF 788C	32/16
ガンマ補正部テーブル設定レジスタ B3	GAM_B_LUT3	R/W	H'0400 0400	H'FFFF 7890	32/16
ガンマ補正部テーブル設定レジスタ B4	GAM_B_LUT4	R/W	H'0400 0400	H'FFFF 7894	32/16
ガンマ補正部テーブル設定レジスタ B5	GAM_B_LUT5	R/W	H'0400 0400	H'FFFF 7898	32/16
ガンマ補正部テーブル設定レジスタ B6	GAM_B_LUT6	R/W	H'0400 0400	H'FFFF 789C	32/16
ガンマ補正部テーブル設定レジスタ B7	GAM_B_LUT7	R/W	H'0400 0400	H'FFFF 78A0	32/16
ガンマ補正部テーブル設定レジスタ B8	GAM_B_LUT8	R/W	H'0400 0400	H'FFFF 78A4	32/16
ガンマ補正部テーブル設定レジスタ B9	GAM_B_LUT9	R/W	H'0400 0400	H'FFFF 78A8	32/16
ガンマ補正部テーブル設定レジスタ B10	GAM_B_LUT10	R/W	H'0400 0400	H'FFFF 78AC	32/16
ガンマ補正部テーブル設定レジスタ B11	GAM_B_LUT11	R/W	H'0400 0400	H'FFFF 78B0	32/16
ガンマ補正部テーブル設定レジスタ B12	GAM_B_LUT12	R/W	H'0400 0400	H'FFFF 78B4	32/16
ガンマ補正部テーブル設定レジスタ B13	GAM_B_LUT13	R/W	H'0400 0400	H'FFFF 78B8	32/16
ガンマ補正部テーブル設定レジスタ B14	GAM_B_LUT14	R/W	H'0400 0400	H'FFFF 78BC	32/16
ガンマ補正部テーブル設定レジスタ B15	GAM_B_LUT15	R/W	H'0400 0400	H'FFFF 78C0	32/16
ガンマ補正部テーブル設定レジスタ B16	GAM_B_LUT16	R/W	H'0400 0400	H'FFFF 78C4	32/16
ガンマ補正部領域設定レジスタ B1	GAM_B_AREA1	R/W	H'0008 1018	H'FFFF 78C8	32/16
ガンマ補正部領域設定レジスタ B2	GAM_B_AREA2	R/W	H'2028 3038	H'FFFF 78CC	32/16
ガンマ補正部領域設定レジスタ B3	GAM_B_AREA3	R/W	H'4048 5058	H'FFFF 78D0	32/16
ガンマ補正部領域設定レジスタ B4	GAM_B_AREA4	R/W	H'6068 7078	H'FFFF 78D4	32/16
ガンマ補正部領域設定レジスタ B5	GAM_B_AREA5	R/W	H'8088 9098	H'FFFF 78D8	32/16
ガンマ補正部領域設定レジスタ B6	GAM_B_AREA6	R/W	H'A0A8 B0B8	H'FFFF 78DC	32/16
ガンマ補正部領域設定レジスタ B7	GAM_B_AREA7	R/W	H'C0C8 D0D8	H'FFFF 78E0	32/16
ガンマ補正部領域設定レジスタ B8	GAM_B_AREA8	R/W	H'E0E8 F0F8	H'FFFF 78E4	32/16
ガンマ補正部レジスタ更新制御レジスタ R	GAM_R_UPDATE	R/WC1	H'0000 0000	H'FFFF 7900	32/16
ガンマ補正部テーブル設定レジスタ R1	GAM_R_LUT1	R/W	H'0400 0400	H'FFFF 7908	32/16
ガンマ補正部テーブル設定レジスタ R2	GAM_R_LUT2	R/W	H'0400 0400	H'FFFF 790C	32/16
ガンマ補正部テーブル設定レジスタ R3	GAM_R_LUT3	R/W	H'0400 0400	H'FFFF 7910	32/16
ガンマ補正部テーブル設定レジスタ R4	GAM_R_LUT4	R/W	H'0400 0400	H'FFFF 7914	32/16
ガンマ補正部テーブル設定レジスタ R5	GAM_R_LUT5	R/W	H'0400 0400	H'FFFF 7918	32/16
ガンマ補正部テーブル設定レジスタ R6	GAM_R_LUT6	R/W	H'0400 0400	H'FFFF 791C	32/16
ガンマ補正部テーブル設定レジスタ R7	GAM_R_LUT7	R/W	H'0400 0400	H'FFFF 7920	32/16
ガンマ補正部テーブル設定レジスタ R8	GAM_R_LUT8	R/W	H'0400 0400	H'FFFF 7924	32/16
ガンマ補正部テーブル設定レジスタ R9	GAM_R_LUT9	R/W	H'0400 0400	H'FFFF 7928	32/16

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
ガンマ補正部テーブル設定レジスタ R10	GAM_R_LUT10	R/W	H'0400 0400	H'FFFF 792C	32/16
ガンマ補正部テーブル設定レジスタ R11	GAM_R_LUT11	R/W	H'0400 0400	H'FFFF 7930	32/16
ガンマ補正部テーブル設定レジスタ R12	GAM_R_LUT12	R/W	H'0400 0400	H'FFFF 7934	32/16
ガンマ補正部テーブル設定レジスタ R13	GAM_R_LUT13	R/W	H'0400 0400	H'FFFF 7938	32/16
ガンマ補正部テーブル設定レジスタ R14	GAM_R_LUT14	R/W	H'0400 0400	H'FFFF 793C	32/16
ガンマ補正部テーブル設定レジスタ R15	GAM_R_LUT15	R/W	H'0400 0400	H'FFFF 7940	32/16
ガンマ補正部テーブル設定レジスタ R16	GAM_R_LUT16	R/W	H'0400 0400	H'FFFF 7944	32/16
ガンマ補正部領域設定レジスタ R1	GAM_R_AREA1	R/W	H'0008 1018	H'FFFF 7948	32/16
ガンマ補正部領域設定レジスタ R2	GAM_R_AREA2	R/W	H'2028 3038	H'FFFF 794C	32/16
ガンマ補正部領域設定レジスタ R3	GAM_R_AREA3	R/W	H'4048 5058	H'FFFF 7950	32/16
ガンマ補正部領域設定レジスタ R4	GAM_R_AREA4	R/W	H'6068 7078	H'FFFF 7954	32/16
ガンマ補正部領域設定レジスタ R5	GAM_R_AREA5	R/W	H'8088 9098	H'FFFF 7958	32/16
ガンマ補正部領域設定レジスタ R6	GAM_R_AREA6	R/W	H'A0A8 B0B8	H'FFFF 795C	32/16
ガンマ補正部領域設定レジスタ R7	GAM_R_AREA7	R/W	H'C0C8 D0D8	H'FFFF 7960	32/16
ガンマ補正部領域設定レジスタ R8	GAM_R_AREA8	R/W	H'E0E8 F0F8	H'FFFF 7964	32/16

表 36.24 TCON 部レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
TCON レジスタ更新制御レジスタ	TCON_UPDATE	R/WC1	H'0000 0000	H'FFFF 7980	32/16
TCON 基準タイミング設定レジスタ	TCON_TIM	R/W	H'0190 0000	H'FFFF 7984	32/16
TCON 垂直タイミング設定レジスタ A1	TCON_TIM_STVA1	R/W	H'0000 0004	H'FFFF 7988	32/16
TCON 垂直タイミング設定レジスタ A2	TCON_TIM_STVA2	R/W	H'0000 0010	H'FFFF 798C	32/16
TCON 垂直タイミング設定レジスタ B1	TCON_TIM_STVB1	R/W	H'0046 03C0	H'FFFF 7990	32/16
TCON 垂直タイミング設定レジスタ B2	TCON_TIM_STVB2	R/W	H'0000 0001	H'FFFF 7994	32/16
TCON 水平タイミング設定レジスタ STH1	TCON_TIM_STH1	R/W	H'0000 0060	H'FFFF 7998	32/16
TCON 水平タイミング設定レジスタ STH2	TCON_TIM_STH2	R/W	H'0000 0012	H'FFFF 799C	32/16
TCON 水平タイミング設定レジスタ STB1	TCON_TIM_STB1	R/W	H'0090 0280	H'FFFF 79A0	32/16
TCON 水平タイミング設定レジスタ STB2	TCON_TIM_STB2	R/W	H'0000 0007	H'FFFF 79A4	32/16
TCON 水平タイミング設定レジスタ CPV1	TCON_TIM_CPV1	R/W	H'0000 0000	H'FFFF 79A8	32/16
TCON 水平タイミング設定レジスタ CPV2	TCON_TIM_CPV2	R/W	H'0000 0004	H'FFFF 79AC	32/16
TCON 水平タイミング設定レジスタ POLA1	TCON_TIM_POLA1	R/W	H'0000 0000	H'FFFF 79B0	32/16
TCON 水平タイミング設定レジスタ POLA2	TCON_TIM_POLA2	R/W	H'0000 1005	H'FFFF 79B4	32/16
TCON 水平タイミング設定レジスタ POLB1	TCON_TIM_POLB1	R/W	H'0000 0000	H'FFFF 79B8	32/16
TCON 水平タイミング設定レジスタ POLB2	TCON_TIM_POLB2	R/W	H'0000 1006	H'FFFF 79BC	32/16
TCON データイネーブル極性設定レジスタ	TCON_TIM_DE	R/W	H'0000 0000	H'FFFF 79C0	32/16

表 36.25 出力制御部レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
出力制御部レジスタ更新制御レジスタ	OUT_UPDATE	R/WC1	H'0000 0000	H'FFFF 7A00	32/16
出力インタフェース用レジスタ	OUT_SET	R/W	H'001F 0000	H'FFFF 7A04	32/16
ブライト (DC) 補正用レジスタ 1	OUT_BRIGHT1	R/W	H'0000 0200	H'FFFF 7A08	32/16
ブライト (DC) 補正用レジスタ 2	OUT_BRIGHT2	R/W	H'0200 0200	H'FFFF 7A0C	32/16
コントラスト (ゲイン) 補正用レジスタ	OUT_CONTRAST	R/W	H'0080 8080	H'FFFF 7A10	32/16
パネルディザレジスタ	OUT_PDTHA	R/W	H'0000 3021	H'FFFF 7A14	32/16
出力位相制御レジスタ	OUT_CLK_PHASE	R/W	H'0000 0000	H'FFFF 7A24	32/16

36.2.1 ガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GAM_G_VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説 明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	GAM_G_VEN	0	R/WC1	ガンマ補正 (G) のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

36.2.2 ガンマ補正部機能スイッチレジスタ (GAM_SW)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GAM_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GAM_ON	0	R/W	ガンマ補正オン/オフ制御 0: オフ 1: オン

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE) の GAM_G_VEN = 1 で更新されます。

36.2.3 ガンマ補正部テーブル設定レジスタ G1 ~ 16 (GAM_G_LUT1 ~ 16)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GAM_G_GAIN_xx[10:0]										
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GAM_G_GAIN_yy[10:0]										
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
26 ~ 16	*	1024	R/W	<p>GAM_G_LUT1 : G 信号の領域 0 のゲイン調整 GAM_G_LUT2 : G 信号の領域 2 のゲイン調整 GAM_G_LUT3 : G 信号の領域 4 のゲイン調整 GAM_G_LUT4 : G 信号の領域 6 のゲイン調整 GAM_G_LUT5 : G 信号の領域 8 のゲイン調整 GAM_G_LUT6 : G 信号の領域 10 のゲイン調整 GAM_G_LUT7 : G 信号の領域 12 のゲイン調整 GAM_G_LUT8 : G 信号の領域 14 のゲイン調整 GAM_G_LUT9 : G 信号の領域 16 のゲイン調整 GAM_G_LUT10 : G 信号の領域 18 のゲイン調整 GAM_G_LUT11 : G 信号の領域 20 のゲイン調整 GAM_G_LUT12 : G 信号の領域 22 のゲイン調整 GAM_G_LUT13 : G 信号の領域 24 のゲイン調整 GAM_G_LUT14 : G 信号の領域 26 のゲイン調整 GAM_G_LUT15 : G 信号の領域 28 のゲイン調整 GAM_G_LUT16 : G 信号の領域 30 のゲイン調整 符号無し (0 ~ 2047[LSB]、1024[LSB] = 1.0[倍]) * : ビット名 GAM_G_LUT1 : GAM_G_GAIN_00[10:0] GAM_G_LUT2 : GAM_G_GAIN_02[10:0] GAM_G_LUT3 : GAM_G_GAIN_04[10:0] GAM_G_LUT4 : GAM_G_GAIN_06[10:0] GAM_G_LUT5 : GAM_G_GAIN_08[10:0] GAM_G_LUT6 : GAM_G_GAIN_10[10:0] GAM_G_LUT7 : GAM_G_GAIN_12[10:0] GAM_G_LUT8 : GAM_G_GAIN_14[10:0] GAM_G_LUT9 : GAM_G_GAIN_16[10:0] GAM_G_LUT10 : GAM_G_GAIN_18[10:0] GAM_G_LUT11 : GAM_G_GAIN_20[10:0] GAM_G_LUT12 : GAM_G_GAIN_22[10:0] GAM_G_LUT13 : GAM_G_GAIN_24[10:0] GAM_G_LUT14 : GAM_G_GAIN_26[10:0] GAM_G_LUT15 : GAM_G_GAIN_28[10:0] GAM_G_LUT16 : GAM_G_GAIN_30[10:0]</p>
15 ~ 11	-	すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10~0	*	1024	R/W	GAM_G_LUT1 : G 信号の領域 1 のゲイン調整 GAM_G_LUT2 : G 信号の領域 3 のゲイン調整 GAM_G_LUT3 : G 信号の領域 5 のゲイン調整 GAM_G_LUT4 : G 信号の領域 7 のゲイン調整 GAM_G_LUT5 : G 信号の領域 9 のゲイン調整 GAM_G_LUT6 : G 信号の領域 11 のゲイン調整 GAM_G_LUT7 : G 信号の領域 13 のゲイン調整 GAM_G_LUT8 : G 信号の領域 15 のゲイン調整 GAM_G_LUT9 : G 信号の領域 17 のゲイン調整 GAM_G_LUT10 : G 信号の領域 19 のゲイン調整 GAM_G_LUT11 : G 信号の領域 21 のゲイン調整 GAM_G_LUT12 : G 信号の領域 23 のゲイン調整 GAM_G_LUT13 : G 信号の領域 25 のゲイン調整 GAM_G_LUT14 : G 信号の領域 27 のゲイン調整 GAM_G_LUT15 : G 信号の領域 29 のゲイン調整 GAM_G_LUT16 : G 信号の領域 31 のゲイン調整 符号無し (0 ~ 2047[LSB]、1024[LSB] = 1.0[倍]) * : ビット名 GAM_G_LUT1 : GAM_G_GAIN_01[10:0] GAM_G_LUT2 : GAM_G_GAIN_03[10:0] GAM_G_LUT3 : GAM_G_GAIN_05[10:0] GAM_G_LUT4 : GAM_G_GAIN_07[10:0] GAM_G_LUT5 : GAM_G_GAIN_09[10:0] GAM_G_LUT6 : GAM_G_GAIN_11[10:0] GAM_G_LUT7 : GAM_G_GAIN_13[10:0] GAM_G_LUT8 : GAM_G_GAIN_15[10:0] GAM_G_LUT9 : GAM_G_GAIN_17[10:0] GAM_G_LUT10 : GAM_G_GAIN_19[10:0] GAM_G_LUT11 : GAM_G_GAIN_21[10:0] GAM_G_LUT12 : GAM_G_GAIN_23[10:0] GAM_G_LUT13 : GAM_G_GAIN_25[10:0] GAM_G_LUT14 : GAM_G_GAIN_27[10:0] GAM_G_LUT15 : GAM_G_GAIN_29[10:0] GAM_G_LUT16 : GAM_G_GAIN_31[10:0]

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE) の GAM_G_VEN = 1 で更新されません。

36.2.4 ガンマ補正部領域設定レジスタ G1 (GAM_G_AREA1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	GAM_G_TH_01[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_02[7:0]							GAM_G_TH_03[7:0]								
初期値:	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	GAM_G_TH_01[7:0]	8	R/W	G 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 < 本領域の閾値 < 次領域の閾値
15~8	GAM_G_TH_02[7:0]	16	R/W	G 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_G_TH_03[7:0]	24	R/W	G 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE) の GAM_G_VEN = 1 で更新され
ます。

36.2.5 ガンマ補正部領域設定レジスタ G2 (GAM_G_AREA2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_04[7:0]								GAM_G_TH_05[7:0]							
初期値:	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_06[7:0]								GAM_G_TH_07[7:0]							
初期値:	0	0	1	1	0	0	0	0	0	0	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_G_TH_04[7:0]	32	R/W	G 信号の領域 4 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_G_TH_05[7:0]	40	R/W	G 信号の領域 5 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_G_TH_06[7:0]	48	R/W	G 信号の領域 6 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_G_TH_07[7:0]	56	R/W	G 信号の領域 7 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE) の GAM_G_VEN = 1 で更新されま
す。

36.2.6 ガンマ補正部領域設定レジスタ G3 (GAM_G_AREA3)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_08[7:0]								GAM_G_TH_09[7:0]							
初期値 :	0	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_10[7:0]								GAM_G_TH_11[7:0]							
初期値 :	0	1	0	1	0	0	0	0	0	1	0	1	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_G_TH_08[7:0]	64	R/W	G 信号の領域 8 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_G_TH_09[7:0]	72	R/W	G 信号の領域 9 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_G_TH_10[7:0]	80	R/W	G 信号の領域 10 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_G_TH_11[7:0]	88	R/W	G 信号の領域 11 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE) の GAM_G_VEN = 1 で更新されます。

36.2.7 ガンマ補正部領域設定レジスタ G4 (GAM_G_AREA4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_12[7:0]								GAM_G_TH_13[7:0]							
初期値:	0	1	1	0	0	0	0	0	0	1	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_14[7:0]								GAM_G_TH_15[7:0]							
初期値:	0	1	1	1	0	0	0	0	0	1	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_G_TH_12[7:0]	96	R/W	G 信号の領域 12 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_G_TH_13[7:0]	104	R/W	G 信号の領域 13 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_G_TH_14[7:0]	112	R/W	G 信号の領域 14 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_G_TH_15[7:0]	120	R/W	G 信号の領域 15 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE) の GAM_G_VEN = 1 で更新されません。

36.2.8 ガンマ補正部領域設定レジスタ G5 (GAM_G_AREA5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_16[7:0]								GAM_G_TH_17[7:0]							
初期値:	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_18[7:0]								GAM_G_TH_19[7:0]							
初期値:	1	0	0	1	0	0	0	0	1	0	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_G_TH_16[7:0]	128	R/W	G 信号の領域 16 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_G_TH_17[7:0]	136	R/W	G 信号の領域 17 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_G_TH_18[7:0]	144	R/W	G 信号の領域 18 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_G_TH_19[7:0]	152	R/W	G 信号の領域 19 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE) の GAM_G_VEN = 1 で更新されません。

36.2.9 ガンマ補正部領域設定レジスタ G6 (GAM_G_AREA6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_20[7:0]								GAM_G_TH_21[7:0]							
初期値:	1	0	1	0	0	0	0	0	1	0	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_22[7:0]								GAM_G_TH_23[7:0]							
初期値:	1	0	1	1	0	0	0	0	1	0	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_G_TH_20[7:0]	160	R/W	G 信号の領域 20 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_G_TH_21[7:0]	168	R/W	G 信号の領域 21 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_G_TH_22[7:0]	176	R/W	G 信号の領域 22 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_G_TH_23[7:0]	184	R/W	G 信号の領域 23 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE) の GAM_G_VEN = 1 で更新されま
す。

36.2.10 ガンマ補正部領域設定レジスタ G7 (GAM_G_AREA7)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_24[7:0]								GAM_G_TH_25[7:0]							
初期値:	1	1	0	0	0	0	0	0	1	1	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_26[7:0]								GAM_G_TH_27[7:0]							
初期値:	1	1	0	1	0	0	0	0	1	1	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_G_TH_24[7:0]	192	R/W	G 信号の領域 24 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_G_TH_25[7:0]	200	R/W	G 信号の領域 25 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_G_TH_26[7:0]	208	R/W	G 信号の領域 26 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_G_TH_27[7:0]	216	R/W	G 信号の領域 27 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE) の GAM_G_VEN = 1 で更新されません。

36.2.11 ガンマ補正部領域設定レジスタ G8 (GAM_G_AREA8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_28[7:0]								GAM_G_TH_29[7:0]							
初期値:	1	1	1	0	0	0	0	0	1	1	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_30[7:0]								GAM_G_TH_31[7:0]							
初期値:	1	1	1	1	0	0	0	0	1	1	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_G_TH_28[7:0]	224	R/W	G 信号の領域 28 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_G_TH_29[7:0]	232	R/W	G 信号の領域 29 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_G_TH_30[7:0]	240	R/W	G 信号の領域 30 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_G_TH_31[7:0]	248	R/W	G 信号の領域 31 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 255

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G (GAM_G_UPDATE) の GAM_G_VEN = 1 で更新されません。

36.2.12 ガンマ補正部レジスタ更新制御レジスタ B (GAM_B_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GAM_B_VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GAM_B_VEN	0	R/WC 1	ガンマ補正 (B) のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

36.2.13 ガンマ補正部テーブル設定レジスタ B1 ~ 16 (GAM_B_LUT1 ~ 16)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GAM_B_GAIN_xx[10:0]										
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GAM_B_GAIN_yy[10:0]										
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
26~16	*	1024	R/W	<p>GAM_B_LUT1 : B 信号の領域 0 のゲイン調整 GAM_B_LUT2 : B 信号の領域 2 のゲイン調整 GAM_B_LUT3 : B 信号の領域 4 のゲイン調整 GAM_B_LUT4 : B 信号の領域 6 のゲイン調整 GAM_B_LUT5 : B 信号の領域 8 のゲイン調整 GAM_B_LUT6 : B 信号の領域 10 のゲイン調整 GAM_B_LUT7 : B 信号の領域 12 のゲイン調整 GAM_B_LUT8 : B 信号の領域 14 のゲイン調整 GAM_B_LUT9 : B 信号の領域 16 のゲイン調整 GAM_B_LUT10 : B 信号の領域 18 のゲイン調整 GAM_B_LUT11 : B 信号の領域 20 のゲイン調整 GAM_B_LUT12 : B 信号の領域 22 のゲイン調整 GAM_B_LUT13 : B 信号の領域 24 のゲイン調整 GAM_B_LUT14 : B 信号の領域 26 のゲイン調整 GAM_B_LUT15 : B 信号の領域 28 のゲイン調整 GAM_B_LUT16 : B 信号の領域 30 のゲイン調整 符号無し (0 ~ 2047[LSB]、1024[LSB] = 1.0[倍]) * : ビット名 GAM_B_LUT1 : GAM_B_GAIN_00[10:0] GAM_B_LUT2 : GAM_B_GAIN_02[10:0] GAM_B_LUT3 : GAM_B_GAIN_04[10:0] GAM_B_LUT4 : GAM_B_GAIN_06[10:0] GAM_B_LUT5 : GAM_B_GAIN_08[10:0] GAM_B_LUT6 : GAM_B_GAIN_10[10:0] GAM_B_LUT7 : GAM_B_GAIN_12[10:0] GAM_B_LUT8 : GAM_B_GAIN_14[10:0] GAM_B_LUT9 : GAM_B_GAIN_16[10:0] GAM_B_LUT10 : GAM_B_GAIN_18[10:0] GAM_B_LUT11 : GAM_B_GAIN_20[10:0] GAM_B_LUT12 : GAM_B_GAIN_22[10:0] GAM_B_LUT13 : GAM_B_GAIN_24[10:0] GAM_B_LUT14 : GAM_B_GAIN_26[10:0] GAM_B_LUT15 : GAM_B_GAIN_28[10:0] GAM_B_LUT16 : GAM_B_GAIN_30[10:0]</p>
15~11	-	すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10~0	*	1024	R/W	GAM_B_LUT1 : B 信号の領域 1 のゲイン調整 GAM_B_LUT2 : B 信号の領域 3 のゲイン調整 GAM_B_LUT3 : B 信号の領域 5 のゲイン調整 GAM_B_LUT4 : B 信号の領域 7 のゲイン調整 GAM_B_LUT5 : B 信号の領域 9 のゲイン調整 GAM_B_LUT6 : B 信号の領域 11 のゲイン調整 GAM_B_LUT7 : B 信号の領域 13 のゲイン調整 GAM_B_LUT8 : B 信号の領域 15 のゲイン調整 GAM_B_LUT9 : B 信号の領域 17 のゲイン調整 GAM_B_LUT10 : B 信号の領域 19 のゲイン調整 GAM_B_LUT11 : B 信号の領域 21 のゲイン調整 GAM_B_LUT12 : B 信号の領域 23 のゲイン調整 GAM_B_LUT13 : B 信号の領域 25 のゲイン調整 GAM_B_LUT14 : B 信号の領域 27 のゲイン調整 GAM_B_LUT15 : B 信号の領域 29 のゲイン調整 GAM_B_LUT16 : B 信号の領域 31 のゲイン調整 符号無し (0 ~ 2047[LSB]、1024[LSB] = 1.0[倍]) * : ビット名 GAM_B_LUT1 : GAM_B_GAIN_01[10:0] GAM_B_LUT2 : GAM_B_GAIN_03[10:0] GAM_B_LUT3 : GAM_B_GAIN_05[10:0] GAM_B_LUT4 : GAM_B_GAIN_07[10:0] GAM_B_LUT5 : GAM_B_GAIN_09[10:0] GAM_B_LUT6 : GAM_B_GAIN_11[10:0] GAM_B_LUT7 : GAM_B_GAIN_13[10:0] GAM_B_LUT8 : GAM_B_GAIN_15[10:0] GAM_B_LUT9 : GAM_B_GAIN_17[10:0] GAM_B_LUT10 : GAM_B_GAIN_19[10:0] GAM_B_LUT11 : GAM_B_GAIN_21[10:0] GAM_B_LUT12 : GAM_B_GAIN_23[10:0] GAM_B_LUT13 : GAM_B_GAIN_25[10:0] GAM_B_LUT14 : GAM_B_GAIN_27[10:0] GAM_B_LUT15 : GAM_B_GAIN_29[10:0] GAM_B_LUT16 : GAM_B_GAIN_31[10:0]

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ B (GAM_B_UPDATE) の GAM_B_VEN = 1 で更新され
 ます。

36.2.14 ガンマ補正部領域設定レジスタ B1 (GAM_B_AREA1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	GAM_B_TH_01[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_02[7:0]								GAM_B_TH_03[7:0]							
初期値:	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	GAM_B_TH_01[7:0]	8	R/W	B 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 < 本領域の閾値 < 次領域の閾値
15~8	GAM_B_TH_02[7:0]	16	R/W	B 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_B_TH_03[7:0]	24	R/W	B 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ B (GAM_B_UPDATE) の GAM_B_VEN = 1 で更新されま
す。

36.2.15 ガンマ補正部領域設定レジスタ B2 (GAM_B_AREA2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_04[7:0]								GAM_B_TH_05[7:0]							
初期値:	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_06[7:0]								GAM_B_TH_07[7:0]							
初期値:	0	0	1	1	0	0	0	0	0	0	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_B_TH_04[7:0]	32	R/W	B 信号の領域 4 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_B_TH_05[7:0]	40	R/W	B 信号の領域 5 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_B_TH_06[7:0]	48	R/W	B 信号の領域 6 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_B_TH_07[7:0]	56	R/W	B 信号の領域 7 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ B (GAM_B_UPDATE) の GAM_B_VEN = 1 で更新されません。

36.2.16 ガンマ補正部領域設定レジスタ B3 (GAM_B_AREA3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_08[7:0]								GAM_B_TH_09[7:0]							
初期値:	0	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_10[7:0]								GAM_B_TH_11[7:0]							
初期値:	0	1	0	1	0	0	0	0	0	1	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_B_TH_08[7:0]	64	R/W	B 信号の領域 8 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_B_TH_09[7:0]	72	R/W	B 信号の領域 9 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_B_TH_10[7:0]	80	R/W	B 信号の領域 10 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_B_TH_11[7:0]	88	R/W	B 信号の領域 11 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ B (GAM_B_UPDATE) の GAM_B_VEN = 1 で更新されません。

36.2.17 ガンマ補正部領域設定レジスタ B4 (GAM_B_AREA4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_12[7:0]								GAM_B_TH_13[7:0]							
初期値:	0	1	1	0	0	0	0	0	0	1	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_14[7:0]								GAM_B_TH_15[7:0]							
初期値:	0	1	1	1	0	0	0	0	0	1	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_B_TH_12[7:0]	96	R/W	B 信号の領域 12 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_B_TH_13[7:0]	104	R/W	B 信号の領域 13 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_B_TH_14[7:0]	112	R/W	B 信号の領域 14 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_B_TH_15[7:0]	120	R/W	B 信号の領域 15 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ B (GAM_B_UPDATE) の GAM_B_VEN = 1 で更新されま
す。

36.2.18 ガンマ補正部領域設定レジスタ B5 (GAM_B_AREA5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_16[7:0]								GAM_B_TH_17[7:0]							
初期値:	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_18[7:0]								GAM_B_TH_19[7:0]							
初期値:	1	0	0	1	0	0	0	0	1	0	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_B_TH_16[7:0]	128	R/W	B 信号の領域 16 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_B_TH_17[7:0]	136	R/W	B 信号の領域 17 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_B_TH_18[7:0]	144	R/W	B 信号の領域 18 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_B_TH_19[7:0]	152	R/W	B 信号の領域 19 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ B (GAM_B_UPDATE) の GAM_B_VEN = 1 で更新されません。

36.2.19 ガンマ補正部領域設定レジスタ B6 (GAM_B_AREA6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_20[7:0]								GAM_B_TH_21[7:0]							
初期値:	1	0	1	0	0	0	0	0	1	0	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_22[7:0]								GAM_B_TH_23[7:0]							
初期値:	1	0	1	1	0	0	0	0	1	0	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_B_TH_20[7:0]	160	R/W	B 信号の領域 20 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_B_TH_21[7:0]	168	R/W	B 信号の領域 21 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_B_TH_22[7:0]	176	R/W	B 信号の領域 22 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_B_TH_23[7:0]	184	R/W	B 信号の領域 23 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ B (GAM_B_UPDATE) の GAM_B_VEN = 1 で更新されません。

36.2.20 ガンマ補正部領域設定レジスタ B7 (GAM_B_AREA7)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_24[7:0]								GAM_B_TH_25[7:0]							
初期値:	1	1	0	0	0	0	0	0	1	1	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_26[7:0]								GAM_B_TH_27[7:0]							
初期値:	1	1	0	1	0	0	0	0	1	1	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_B_TH_24[7:0]	192	R/W	B 信号の領域 24 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_B_TH_25[7:0]	200	R/W	B 信号の領域 25 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_B_TH_26[7:0]	208	R/W	B 信号の領域 26 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_B_TH_27[7:0]	216	R/W	B 信号の領域 27 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ B (GAM_B_UPDATE) の GAM_B_VEN = 1 で更新されま
す。

36.2.21 ガンマ補正部領域設定レジスタ B8 (GAM_B_AREA8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_28[7:0]								GAM_B_TH_29[7:0]							
初期値:	1	1	1	0	0	0	0	0	1	1	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_30[7:0]								GAM_B_TH_31[7:0]							
初期値:	1	1	1	1	0	0	0	0	1	1	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_B_TH_28[7:0]	224	R/W	B 信号の領域 28 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_B_TH_29[7:0]	232	R/W	B 信号の領域 29 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_B_TH_30[7:0]	240	R/W	B 信号の領域 30 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_B_TH_31[7:0]	248	R/W	B 信号の領域 31 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 255

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ B (GAM_B_UPDATE) の GAM_B_VEN = 1 で更新されません。

36.2.22 ガンマ補正部レジスタ更新制御レジスタ R (GAM_R_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GAM_R_VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GAM_R_VEN	0	R/WC1	ガンマ補正 (R) のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

36.2.23 ガンマ補正部テーブル設定レジスタ R1 ~ 16 (GAM_R_LUT1 ~ 16)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GAM_R_GAIN_xx[10:0]										
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GAM_R_GAIN_yy[10:0]										
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
26~16	*	1024	R/W	<p>GAM_R_LUT1 : R 信号の領域 0 のゲイン調整 GAM_R_LUT2 : R 信号の領域 2 のゲイン調整 GAM_R_LUT3 : R 信号の領域 4 のゲイン調整 GAM_R_LUT4 : R 信号の領域 6 のゲイン調整 GAM_R_LUT5 : R 信号の領域 8 のゲイン調整 GAM_R_LUT6 : R 信号の領域 10 のゲイン調整 GAM_R_LUT7 : R 信号の領域 12 のゲイン調整 GAM_R_LUT8 : R 信号の領域 14 のゲイン調整 GAM_R_LUT9 : R 信号の領域 16 のゲイン調整 GAM_R_LUT10 : R 信号の領域 18 のゲイン調整 GAM_R_LUT11 : R 信号の領域 20 のゲイン調整 GAM_R_LUT12 : R 信号の領域 22 のゲイン調整 GAM_R_LUT13 : R 信号の領域 24 のゲイン調整 GAM_R_LUT14 : R 信号の領域 26 のゲイン調整 GAM_R_LUT15 : R 信号の領域 28 のゲイン調整 GAM_R_LUT16 : R 信号の領域 30 のゲイン調整</p> <p>符号無し (0~2047[LSB]、1024[LSB]=1.0[倍]) * : ビット名 GAM_R_LUT1 : GAM_R_GAIN_00[10:0] GAM_R_LUT2 : GAM_R_GAIN_02[10:0] GAM_R_LUT3 : GAM_R_GAIN_04[10:0] GAM_R_LUT4 : GAM_R_GAIN_06[10:0] GAM_R_LUT5 : GAM_R_GAIN_08[10:0] GAM_R_LUT6 : GAM_R_GAIN_10[10:0] GAM_R_LUT7 : GAM_R_GAIN_12[10:0] GAM_R_LUT8 : GAM_R_GAIN_14[10:0] GAM_R_LUT9 : GAM_R_GAIN_16[10:0] GAM_R_LUT10 : GAM_R_GAIN_18[10:0] GAM_R_LUT11 : GAM_R_GAIN_20[10:0] GAM_R_LUT12 : GAM_R_GAIN_22[10:0] GAM_R_LUT13 : GAM_R_GAIN_24[10:0] GAM_R_LUT14 : GAM_R_GAIN_26[10:0] GAM_R_LUT15 : GAM_R_GAIN_28[10:0] GAM_R_LUT16 : GAM_R_GAIN_30[10:0]</p>
15~11	-	すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10~0	*	1024	R/W	GAM_R_LUT1 : R 信号の領域 1 のゲイン調整 GAM_R_LUT2 : R 信号の領域 3 のゲイン調整 GAM_R_LUT3 : R 信号の領域 5 のゲイン調整 GAM_R_LUT4 : R 信号の領域 7 のゲイン調整 GAM_R_LUT5 : R 信号の領域 9 のゲイン調整 GAM_R_LUT6 : R 信号の領域 11 のゲイン調整 GAM_R_LUT7 : R 信号の領域 13 のゲイン調整 GAM_R_LUT8 : R 信号の領域 15 のゲイン調整 GAM_R_LUT9 : R 信号の領域 17 のゲイン調整 GAM_R_LUT10 : R 信号の領域 19 のゲイン調整 GAM_R_LUT11 : R 信号の領域 21 のゲイン調整 GAM_R_LUT12 : R 信号の領域 23 のゲイン調整 GAM_R_LUT13 : R 信号の領域 25 のゲイン調整 GAM_R_LUT14 : R 信号の領域 27 のゲイン調整 GAM_R_LUT15 : R 信号の領域 29 のゲイン調整 GAM_R_LUT16 : R 信号の領域 31 のゲイン調整 符号無し (0~2047[LSB]、1024[LSB]=1.0[倍]) * : ビット名 GAM_R_LUT1 : GAM_R_GAIN_01[10:0] GAM_R_LUT2 : GAM_R_GAIN_03[10:0] GAM_R_LUT3 : GAM_R_GAIN_05[10:0] GAM_R_LUT4 : GAM_R_GAIN_07[10:0] GAM_R_LUT5 : GAM_R_GAIN_09[10:0] GAM_R_LUT6 : GAM_R_GAIN_11[10:0] GAM_R_LUT7 : GAM_R_GAIN_13[10:0] GAM_R_LUT8 : GAM_R_GAIN_15[10:0] GAM_R_LUT9 : GAM_R_GAIN_17[10:0] GAM_R_LUT10 : GAM_R_GAIN_19[10:0] GAM_R_LUT11 : GAM_R_GAIN_21[10:0] GAM_R_LUT12 : GAM_R_GAIN_23[10:0] GAM_R_LUT13 : GAM_R_GAIN_25[10:0] GAM_R_LUT14 : GAM_R_GAIN_27[10:0] GAM_R_LUT15 : GAM_R_GAIN_29[10:0] GAM_R_LUT16 : GAM_R_GAIN_31[10:0]

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ R (GAM_R_UPDATE) の GAM_R_VEN = 1 で更新され
ます。

36.2.24 ガンマ補正部領域設定レジスタ R1 (GAM_R_AREA1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	GAM_R_TH_01[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_02[7:0]								GAM_R_TH_03[7:0]							
初期値:	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	GAM_R_TH_01[7:0]	8	R/W	R 信号の領域 1 の開始閾値 符号無し (0~255[LSB]) 0 < 本領域の閾値 < 次領域の閾値
15~8	GAM_R_TH_02[7:0]	16	R/W	R 信号の領域 2 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_R_TH_03[7:0]	24	R/W	R 信号の領域 3 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ R (GAM_R_UPDATE) の GAM_R_VEN = 1 で更新されません。

36.2.25 ガンマ補正部領域設定レジスタ R2 (GAM_R_AREA2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_04[7:0]								GAM_R_TH_05[7:0]							
初期値:	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_06[7:0]								GAM_R_TH_07[7:0]							
初期値:	0	0	1	1	0	0	0	0	0	0	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_R_TH_04[7:0]	32	R/W	R 信号の領域 4 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_R_TH_05[7:0]	40	R/W	R 信号の領域 5 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_R_TH_06[7:0]	48	R/W	R 信号の領域 6 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_R_TH_07[7:0]	56	R/W	R 信号の領域 7 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ R (GAM_R_UPDATE) の GAM_R_VEN = 1 で更新されま
す。

36.2.26 ガンマ補正部領域設定レジスタ R3 (GAM_R_AREA3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_08[7:0]								GAM_R_TH_09[7:0]							
初期値:	0	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_10[7:0]								GAM_R_TH_11[7:0]							
初期値:	0	1	0	1	0	0	0	0	0	1	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_R_TH_08[7:0]	64	R/W	R 信号の領域 8 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_R_TH_09[7:0]	72	R/W	R 信号の領域 9 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_R_TH_10[7:0]	80	R/W	R 信号の領域 10 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_R_TH_11[7:0]	88	R/W	R 信号の領域 11 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ R (GAM_R_UPDATE) の GAM_R_VEN = 1 で更新されま
す。

36.2.27 ガンマ補正部領域設定レジスタ R4 (GAM_R_AREA4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_12[7:0]								GAM_R_TH_13[7:0]							
初期値:	0	1	1	0	0	0	0	0	0	1	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_14[7:0]								GAM_R_TH_15[7:0]							
初期値:	0	1	1	1	0	0	0	0	0	1	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_R_TH_12[7:0]	96	R/W	R 信号の領域 12 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_R_TH_13[7:0]	104	R/W	R 信号の領域 13 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_R_TH_14[7:0]	112	R/W	R 信号の領域 14 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_R_TH_15[7:0]	120	R/W	R 信号の領域 15 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ R (GAM_R_UPDATE) の GAM_R_VEN = 1 で更新されま
す。

36.2.28 ガンマ補正部領域設定レジスタ R5 (GAM_R_AREA5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_16[7:0]								GAM_R_TH_17[7:0]							
初期値:	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_18[7:0]								GAM_R_TH_19[7:0]							
初期値:	1	0	0	1	0	0	0	0	1	0	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_R_TH_16[7:0]	128	R/W	R 信号の領域 16 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_R_TH_17[7:0]	136	R/W	R 信号の領域 17 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_R_TH_18[7:0]	144	R/W	R 信号の領域 18 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_R_TH_19[7:0]	152	R/W	R 信号の領域 19 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ R (GAM_R_UPDATE) の GAM_R_VEN = 1 で更新されま
す。

36.2.29 ガンマ補正部領域設定レジスタ R6 (GAM_R_AREA6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_20[7:0]								GAM_R_TH_21[7:0]							
初期値:	1	0	1	0	0	0	0	0	1	0	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_22[7:0]								GAM_R_TH_23[7:0]							
初期値:	1	0	1	1	0	0	0	0	1	0	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_R_TH_20[7:0]	160	R/W	R 信号の領域 20 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_R_TH_21[7:0]	168	R/W	R 信号の領域 21 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_R_TH_22[7:0]	176	R/W	R 信号の領域 22 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_R_TH_23[7:0]	184	R/W	R 信号の領域 23 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ R (GAM_R_UPDATE) の GAM_R_VEN = 1 で更新されません。

36.2.30 ガンマ補正部領域設定レジスタ R7 (GAM_R_AREA7)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_24[7:0]								GAM_R_TH_25[7:0]							
初期値:	1	1	0	0	0	0	0	0	1	1	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_26[7:0]								GAM_R_TH_27[7:0]							
初期値:	1	1	0	1	0	0	0	0	1	1	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_R_TH_24[7:0]	192	R/W	R 信号の領域 24 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_R_TH_25[7:0]	200	R/W	R 信号の領域 25 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_R_TH_26[7:0]	208	R/W	R 信号の領域 26 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_R_TH_27[7:0]	216	R/W	R 信号の領域 27 の開始閾値 符号無し (0~255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ R (GAM_R_UPDATE) の GAM_R_VEN = 1 で更新されま
す。

36.2.31 ガンマ補正部領域設定レジスタ R8 (GAM_R_AREA8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_28[7:0]								GAM_R_TH_29[7:0]							
初期値:	1	1	1	0	0	0	0	0	1	1	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_30[7:0]								GAM_R_TH_31[7:0]							
初期値:	1	1	1	1	0	0	0	0	1	1	1	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	GAM_R_TH_28[7:0]	224	R/W	R 信号の領域 28 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
23~16	GAM_R_TH_29[7:0]	232	R/W	R 信号の領域 29 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
15~8	GAM_R_TH_30[7:0]	240	R/W	R 信号の領域 30 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 < 次領域の閾値
7~0	GAM_R_TH_31[7:0]	248	R/W	R 信号の領域 31 の開始閾値 符号無し (0 ~ 255[LSB]) 前領域の閾値 < 本領域の閾値 255

【注】 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ R (GAM_R_UPDATE) の GAM_R_VEN = 1 で更新されま
す。

36.2.32 TCON レジスタ更新制御レジスタ (TCON_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TCON_VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TCON_VEN	0	R/WC 1	LCD TCON のレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

36.2.33 TCON 基準タイミング設定レジスタ (TCON_TIM)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	TCON_HALF[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TCON_OFFSET[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	TCON_HALF[10:0]	400	R/W	1/2fH タイミング設定 垂直カウンタのカウンタ動作タイミングを水平同期信号の立ち上がりからのクロック数を指定
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	TCON_OFFSET[10:0]	0	R/W	オフセット付き水平同期信号のタイミング設定 水平同期信号の立ち上がりからのクロック数を指定

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.34 TCON 垂直タイミング設定レジスタ A1 (TCON_TIM_STVA1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	TCON_STVA_VS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TCON_STVA_VW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	TCON_ STVA_VS [10:0]	0	R/W	STVA 信号のパルス開始位置 (第 1 の変化タイミング) を設定 垂直同期信号の立ち上がりから TCON_STVA_VS 後にパルスを出力開始 (1/2fH 周期)
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	TCON_ STVA_VW [10:0]	4	R/W	STVA 信号のパルス幅 (第 2 の変化タイミング) を設定 TCON_STVA_VW 期間パルス出力 (1/2fH 周期)

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.35 TCON 垂直タイミング設定レジスタ A2 (TCON_TIM_STVA2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TCON_STVA_INV	—	TCON_STVA_SEL[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_STVA_INV	1	R/W	STVA 信号の極性反転制御 0: 非反転 1: 反転
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	TCON_STVA_SEL [2:0]	0	R/W	LCD_TCON0 端子への出力信号選択 0: STVA/VS 1: STVB/VE 2: STH/SP/HS 3: STB/LP/HE 4: CPV/GCK 5: POLA 6: POLB 7: DE

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.36 TCON 垂直タイミング設定レジスタ B1 (TCON_TIM_STVB1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	TCON_STVB_VS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TCON_STVB_VW[10:0]										
初期値:	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	TCON_ STVB_VS [10:0]	70	R/W	STVB 信号のパルス開始位置 (第 1 の変化タイミング) を設定 垂直同期信号の立ち上がりから TCON_STVB_VS 後にパルスを出力開始 (1/2fH 周期)
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	TCON_ STVB_VW [10:0]	960	R/W	STVB 信号のパルス幅 (第 2 の変化タイミング) を設定 TCON_STVB_VW 期間パルス出力 (1/2fH 周期)

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.37 TCON 垂直タイミング設定レジスタ B2 (TCON_TIM_STVB2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TCON_STVB_INV	—	TCON_STVB_SEL[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_STVB_INV	0	R/W	STVB 信号の極性反転制御 0: 非反転 1: 反転
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	TCON_STVB_SEL [2:0]	1	R/W	LCD_TCON1 端子への出力信号選択 0: STVA/VS 1: STVB/VE 2: STH/SP/HS 3: STB/LP/HE 4: CPV/GCK 5: POLA 6: POLB 7: DE

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.38 TCON 水平タイミング設定レジスタ STH1 (TCON_TIM_STH1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	TCON_STH_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TCON_STH_HW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	TCON_ STH_HS [10:0]	0	R/W	STH 信号のパルス開始位置 (第 1 の変化タイミング) を設定 水平同期信号の立ち上がりから TCON_STH_HS 後にパルスを出力開始 (クロック周期)
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	TCON_ STH_HW [10:0]	96	R/W	STH 信号のパルス幅 (第 2 の変化タイミング) を設定 TCON_STH_HW 期間パルス出力 (クロック周期)

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.39 TCON 水平タイミング設定レジスタ STH2 (TCON_TIM_STH2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCON STH_HS_ SEL	—	—	—	TCON STH_INV	—	TCON_STH_SEL[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_ STH_HS_ SEL	0	R/W	STH 信号の動作基準選択 0 : 水平同期信号基準 1 : オフセット後の水平同期信号基準
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_ STH_INV	1	R/W	STH 信号の極性反転制御 0 : 非反転 1 : 反転
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	TCON_ STH_SEL [2:0]	2	R/W	LCD_TCON2 端子への出力信号選択 0 : STVA/VS 1 : STVB/VE 2 : STH/SP/HS 3 : STB/LP/HE 4 : CPV/GCK 5 : POLA 6 : POLB 7 : DE

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.40 TCON 水平タイミング設定レジスタ STB1 (TCON_TIM_STB1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	TCON_STB_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TCON_STB_HW[10:0]										
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	TCON_ STB_HS [10:0]	144	R/W	STB 信号のパルス開始位置 (第 1 の変化タイミング) を設定 水平同期信号の立ち上がりから TCON_STB_HS 後にパルスを出力開始 (クロック周期)
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	TCON_ STB_HW [10:0]	640	R/W	STB 信号のパルス幅 (第 2 の変化タイミング) を設定 TCON_STB_HW 期間パルス出力 (クロック周期)

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.41 TCON 水平タイミング設定レジスタ STB2 (TCON_TIM_STB2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCON_STB_HS_SEL	—	—	—	TCON_STB_INV	—	TCON_STB_SEL[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_STB_HS_SEL	0	R/W	STB 信号の動作基準選択 0: 水平同期信号基準 1: オフセット後の水平同期信号基準
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_STB_INV	0	R/W	STB 信号の極性反転制御 0: 非反転 1: 反転
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	TCON_STB_SEL [2:0]	7	R/W	LCD_TCON3 端子への出力信号選択 0: STVA/VS 1: STVB/VE 2: STH/SP/HS 3: STB/LP/HE 4: CPV/GCK 5: POLA 6: POLB 7: DE

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.42 TCON 水平タイミング設定レジスタ CPV1 (TCON_TIM_CPV1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	TCON_CPV_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TCON_CPV_HW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	TCON_ CPV_HS [10:0]	0	R/W	CPV 信号のパルス開始位置 (第1の変化タイミング) を設定 水平同期信号の立ち上がりから TCON_CPV_HS 後にパルスを出力開始 (クロック周期)
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	TCON_ CPV_HW [10:0]	0	R/W	CPV 信号のパルス幅 (第2の変化タイミング) を設定 TCON_CPV_HW 期間パルス出力 (クロック周期)

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.43 TCON 水平タイミング設定レジスタ CPV2 (TCON_TIM_CPV2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCON_CPV_HS_SEL	—	—	—	TCON_CPV_INV	—	TCON_CPV_SEL[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_CPV_HS_SEL	0	R/W	CPV 信号の動作基準選択 0: 水平同期信号基準 1: オフセット後の水平同期信号基準
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_CPV_INV	0	R/W	CPV 信号の極性反転制御 0: 非反転 1: 反転
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	TCON_CPV_SEL [2:0]	4	R/W	LCD_TCON4 端子への出力信号選択 0: STVA/VS 1: STVB/VE 2: STH/SP/HS 3: STB/LP/HE 4: CPV/GCK 5: POLA 6: POLB 7: DE

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.44 TCON 水平タイミング設定レジスタ POLA1 (TCON_TIM_POLA1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	TCON_POLA_HS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TCON_POLA_HW[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	TCON_ POLA_HS [10:0]	0	R/W	POLA 信号のパルス開始位置 (第1の変化タイミング) を設定 水平同期信号の立ち上がりから TCON_POLA_HS 後にパルスを出力開始 (クロック周期) 【注】1x1、1x2、2x2 リバースモード設定時、必ず1以上を設定してください。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	TCON_ POLA_HW [10:0]	0	R/W	POLA 信号のパルス幅 (第2の変化タイミング) を設定 TCON_POLA_HW 期間パルス出力 (クロック周期)

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.45 TCON 水平タイミング設定レジスタ POLA2 (TCON_TIM_POLA2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TCON_POLA_MD[1:0]		—	—	—	TCON_POLA_HS_SEL	—	—	—	TCON_POLA_INV	—	TCON_POLA_SEL[2:0]		
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	1
R/W:	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	TCON_POLA_MD [1:0]	1	R/W	POLA 信号の生成モード選択 0: ノーマルモード 水平周期に 2 回変化する信号を生成する。 1: 1x1 リバースモード 1 水平周期ごとに極性が反転する信号を生成する。 2: 1x2 リバースモード 開始 1 水平期間で極性が反転し、その後、2 水平周期ごとに極性が反転する信号を生成する。 3: 2x2 リバースモード 2 水平周期ごとに極性が反転する信号を生成する。
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	TCON_POLA_HS_SEL	0	R/W	POLA 信号の動作基準選択 0: 水平同期信号基準 1: オフセット後の水平同期信号基準
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	TCON_POLA_INV	0	R/W	POLA 信号の極性反転制御 0: 非反転 1: 反転
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2~0	TCON_ POLA_SEL [2:0]	5	R/W	LCD_TCON5 端子への出力信号選択 0 : STVA/VS 1 : STVB/VE 2 : STH/SP/HS 3 : STB/LP/HE 4 : CPV/GCK 5 : POLA 6 : POLB 7 : DE

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.46 TCON 水平タイミング設定レジスタ POLB1 (TCON_TIM_POLB1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TCON_POLB_HS[10:0]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TCON_POLB_HW[10:0]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	TCON_ POLB_HS [10:0]	0	R/W	POLB 信号のパルス開始位置 (第 1 の変化タイミング) を設定 水平同期信号の立ち上がりから TCON_POLB_HS 後にパルスを出力開始 (クロック周期) 【注】 1x1、1x2、2x2 リバースモード設定時、必ず 1 以上を設定してください。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	TCON_ POLB_HW [10:0]	0	R/W	POLB 信号のパルス幅 (第 2 の変化タイミング) を設定 TCON_POLB_HW 期間パルス出力 (クロック周期)

【注】 本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.47 TCON 水平タイミング設定レジスタ POLB2 (TCON_TIM_POLB2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TCON_POLB_MD[1:0]		—	—	—	TCON_POLB_HS_SEL	—	—	—	TCON_POLB_INV	—	TCON_POLB_SEL[2:0]		
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0
R/W:	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	TCON_ POLB_MD [1:0]	1	R/W	POLB 信号の生成モード選択 0: ノーマルモード 水平周期に 2 回変化する信号を生成する。 1: 1x1 リバースモード 1 水平周期ごとに極性が反転する信号を生成する。 2: 1x2 リバースモード 開始 1 水平期間で極性が反転し、その後、2 水平周期ごとに極性が反転する信号を生成する。 3: 2x2 リバースモード 2 水平周期ごとに極性が反転する信号を生成する。
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	TCON_ POLB_HS_ SEL	0	R/W	POLB 信号の動作基準選択 0: 水平同期信号基準 1: オフセット後の水平同期信号基準
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	TCON_ POLB_INV	0	R/W	POLB 信号の極性反転制御 0: 非反転 1: 反転
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2~0	TCON_ POLB_SEL [2:0]	6	R/W	LCD_TCON6 端子への出力信号選択 0 : STVA/VS 1 : STVB/VE 2 : STH/SP/HS 3 : STB/LP/HE 4 : CPV/GCK 5 : POLA 6 : POLB 7 : DE

【注】本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.48 TCON データイネーブル極性設定レジスタ (TCON_TIM_DE)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TCON_ DE_INV
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TCON_ DE_INV	0	R/W	DE 信号の極性反転制御 0 : 非反転 1 : 反転

【注】本レジスタはすべて TCON レジスタ更新制御レジスタ (TCON_UPDATE) の TCON_VEN = 1 で更新されます。

36.2.49 出力制御部レジスタ更新制御レジスタ (OUT_UPDATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OUTCNT_VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	OUTCNT_VEN	0	R/WC1	ブライト/コントラスト、ディザ処理、出力インタフェースのレジスタ更新 0: レジスタを更新しない 1: レジスタを垂直同期信号の立ち上がりで更新する

36.2.50 出力インタフェース用レジスタ (OUT_SET)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	OUT_ENDIAN_ON	—	—	—	OUT_SWAP_ON	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	OUT_FORMAT[1:0]	—	—	OUT_FRQ_SEL[1:0]	—	—	—	—	OUT_DIR_SEL	—	—	—	—	OUT_PHASE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28	OUT_ENDIAN_ON	0	R/W	ビットエンディアン変更オン/オフ制御 0: オフ 1: オン
27~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	OUT_SWAP_ON	0	R/W	B/R 信号入れ替えオン/オフ制御 0: オフ 1: オン
23~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~16	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	OUT_FORMAT [1:0]	0	R/W	出力フォーマット選択 0: RGB888 1: RGB666 2: RGB565 3: シリアル RGB
11, 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9, 8	OUT_FRQ_SEL [1:0]	0	R/W	クロック周波数制御 0: 1 倍速 (パラレル RGB) 1: 3 倍速 (シリアル RGB) 2: 4 倍速 (シリアル RGB) 3: 設定禁止

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	OUT_DIR_SEL	0	R/W	スキャン方向選択 0 : 正スキャン 1 : 逆スキャン
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	OUT_PHASE [1:0]	0	R/W	シリアル RGB 出力時のクロック位相調整 3 倍速のとき 0 : 0[clk] 1 : 1[clk] 2 : 2[clk] 3 : 設定禁止 4 倍速のとき 0 : 0[clk] 1 : 1[clk] 2 : 2[clk] 3 : 3[clk]

【注】 本レジスタはすべて出力制御部レジスタ更新制御レジスタ (OUT_UPDATE) の OUTCNT_VEN = 1 で更新されます。

36.2.51 ブライト (DC) 補正用レジスタ 1 (OUT_BRIGHT1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PBRT_G[9:0]									
初期値 :	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	PBRT_G[9:0]	512	R/W	G 信号のブライト (DC) 調整 符号無し (0 (-512) ~ 512 (0) ~ 1023 (+511)) [LSB]、512[LSB]オフセット付)

【注】 本レジスタはすべて出力制御部レジスタ更新制御レジスタ (OUT_UPDATE) の OUTCNT_VEN = 1 で更新されます。

36.2.52 ブライト (DC) 補正用レジスタ 2 (OUT_BRIGHT2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	PBRT_B[9:0]									
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PBRT_R[9:0]									
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~16	PBRT_B[9:0]	512	R/W	B信号のブライト(DC)調整 符号無し(0(-512)~512(0)~1023(+511)[LSB]、512[LSB]オフセット付)
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	PBRT_R[9:0]	512	R/W	R信号のブライト(DC)調整 符号無し(0(-512)~512(0)~1023(+511)[LSB]、512[LSB]オフセット付)

【注】 本レジスタはすべて出力制御部レジスタ更新制御レジスタ (OUT_UPDATE) の OUTCNT_VEN = 1 で更新されます。

36.2.53 コントラスト (ゲイン) 補正用レジスタ (OUT_CONTRAST)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	CONT_G[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CONT_B[7:0]								CONT_R[7:0]							
初期値:	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	CONT_G[7:0]	128	R/W	G 信号のコントラスト (ゲイン) 調整 0/128 ~ 255/128 (約 2 倍)
15~8	CONT_B[7:0]	128	R/W	B 信号のコントラスト (ゲイン) 調整 0/128 ~ 255/128 (約 2 倍)
7~0	CONT_R[7:0]	128	R/W	R 信号のコントラスト (ゲイン) 調整 0/128 ~ 255/128 (約 2 倍)

【注】 本レジスタはすべて出力制御部レジスタ更新制御レジスタ (OUT_UPDATE) の OUTCNT_VEN = 1 で更新されます。

36.2.54 パネルディザレジスタ (OUT_PDTHA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	PDTH_SEL[1:0]	—	—	—	—	PDTH_FORMAT[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PDTH_PA[1:0]	—	—	—	PDTH_PB[1:0]	—	—	—	PDTH_PC[1:0]	—	—	—	—	PDTH_PD[1:0]
初期値:	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	PDTH_SEL [1:0]	0	R/W	パネルディザ動作モード 0: 切り捨て 1: 四捨五入 2: 2x2 パターンディザ 3: ランダムパターンディザ
19、18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	PDTH_FORMAT [1:0]	0	R/W	パネルディザ出力フォーマット選択 0: RGB888 1: RGB666 2: RGB565 3: 設定禁止
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PDTH_PA [1:0]	3	R/W	2x2 パターンディザのパターン値 (A) 符号無し (0~3[LSB])
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PDTH_PB [1:0]	0	R/W	2x2 パターンディザのパターン値 (B) 符号無し (0~3[LSB])
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	PDTH_PC [1:0]	2	R/W	2x2 パターンディザのパターン値 (C) 符号無し (0~3[LSB])
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	PDTH_PD [1:0]	1	R/W	2x2 パターンディザのパターン値 (D) 符号無し (0~3[LSB])

【注】本レジスタはすべて出力制御部レジスタ更新制御レジスタ (OUT_UPDATE) の OUTCNT_VEN = 1 で更新されます。

36.2.55 出力位相制御レジスタ (OUT_CLK_PHASE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	OUTCNT_ FRONT_ GAM	—	—	—	OUTCNT_ LCD_ EDGE	—	OUTCNT_ STVA_ EDGE	OUTCNT_ STVB_ EDGE	OUTCNT_ STH_ EDGE	OUTCNT_ STB_ EDGE	OUTCNT_ CPV_ EDGE	OUTCNT_ POLA_ EDGE	OUTCNT_ POLB_ EDGE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	OUTCNT_ FRONT_ GAM	0	R/W	補正回路の順番の制御 0: ブライト コントラスト ガンマ補正 1: ガンマ補正 ブライト コントラスト
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	OUTCNT_ LCD_EDGE	0	R/W	LCD_DATA23~0 端子の出力位相制御 0: LCD_CLK 端子の立ち上がりエッジで出力 1: LCD_CLK 端子の立ち下がりエッジで出力
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	OUTCNT_ STVA_EDGE	0	R/W	LCD_TCON0 端子の出力位相制御 0: LCD_CLK 端子の立ち上がりエッジで出力 1: LCD_CLK 端子の立ち下がりエッジで出力
5	OUTCNT_ STVB_EDGE	0	R/W	LCD_TCON1 端子の出力位相制御 0: LCD_CLK 端子の立ち上がりエッジで出力 1: LCD_CLK 端子の立ち下がりエッジで出力
4	OUTCNT_ STH_EDGE	0	R/W	LCD_TCON2 端子の出力位相制御 0: LCD_CLK 端子の立ち上がりエッジで出力 1: LCD_CLK 端子の立ち下がりエッジで出力
3	OUTCNT_ STB_EDGE	0	R/W	LCD_TCON3 端子の出力位相制御 0: LCD_CLK 端子の立ち上がりエッジで出力 1: LCD_CLK 端子の立ち下がりエッジで出力
2	OUTCNT_ CPV_EDGE	0	R/W	LCD_TCON4 端子の出力位相制御 0: LCD_CLK 端子の立ち上がりエッジで出力 1: LCD_CLK 端子の立ち下がりエッジで出力

ビット	ビット名	初期値	R/W	説明
1	OUTCNT_ POLA_EDGE	0	R/W	LCD_TCON5 端子の出力位相制御 0 : LCD_CLK 端子の立ち上がりエッジで出力 1 : LCD_CLK 端子の立ち下がりエッジで出力
0	OUTCNT_ POLB_EDGE	0	R/W	LCD_TCON6 端子の出力位相制御 0 : LCD_CLK 端子の立ち上がりエッジで出力 1 : LCD_CLK 端子の立ち下がりエッジで出力

【注】 本レジスタはすべて出力制御部レジスタ更新制御レジスタ (OUT_UPDATE) の OUTCNT_VEN = 1 で更新されます。

36.3 使用方法

36.3.1 ガンマ補正調整方法

接続を行う各パネルの G/B/R 毎の特性を計測し、パネルにあったガンマ補正の設定を行います。
パネルの特性に依存する為、推奨設定値はありません。

36.3.2 ディザの使用方法

表示画面に擬似輪郭が出ている場合に使用します。

表 36.26 ディザの設定

ビット名	設定値
PDTH_FORMAT[1:0]	フォーマットを設定します。 RGB888 の場合 : 0 RGB666 の場合 : 1 RGB565 の場合 : 2
PDTH_SEL[1:0]	2x2 パターンディザを使用する場合 : 2
PDTH_PA[1:0]	通常、初期値で使用します : 3
PDTH_PB[1:0]	通常、初期値で使用します : 0
PDTH_PC[1:0]	通常、初期値で使用します : 2
PDTH_PD[1:0]	通常、初期値で使用します : 1

36.3.3 出力フォーマット調整方法

代表的な出力フォーマットの設定例を示します。

各出力フォーマットの同期系の設定は、スケーリング後の出力設定も同様にする必要があります。

表 36.27 同期系信号の設定例

レジスタ名	ビット名	VGA	SVGA	説明
TCON_TIM	TCON_HALF[10:0]	400	528	1H 期間の半分の値をクロック単位で設定します。
垂直同期信号				
TCON_TIM_STVA1	TCON_STVA_VS[10:0]	0	0	内部垂直同期の立ち上がりからのパルス生成開始位置を設定します。 設定する値は、1/2H 期間を 1 として設定します。
TCON_TIM_STVA1	TCON_STVA_VW[10:0]	4	8	上記パルス生成開始位置からの変化ポイントを設定します。 設定する値は、1/2H 期間を 1 として設定します。
TCON_TIM_STVA2	TCON_STVA_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STVA2	TCON_STVA_SEL[2:0]	0	0	出力選択、STVA 出力の場合：0
垂直イネーブル信号				
TCON_TIM_STVB1	TCON_STVB_VS[10:0]	68	44	内部垂直同期の立ち上がりからのパルス生成開始位置を設定します。 設定する値は、1/2H 期間を 1 として設定します。
TCON_TIM_STVB1	TCON_STVB_VW[10:0]	960	1200	上記パルス生成開始位置からの変化ポイントを設定します。 設定する値は、1/2H 期間を 1 として設定します。
TCON_TIM_STVB2	TCON_STVB_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STVB2	TCON_STVB_SEL[2:0]	1	1	出力選択、STVB 出力の場合：1
水平同期信号				
TCON_TIM_STH1	TCON_STH_HS[10:0]	0	0	内部水平同期の立ち上がりからのパルス生成開始位置を設定します。
TCON_TIM_STH1	TCON_STH_HW[10:0]	96	128	上記パルス生成開始位置からの変化ポイントを設定します。
TCON_TIM_STH2	TCON_STH_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STH2	TCON_STH_SEL[2:0]	2	2	出力選択、STH 出力の場合：2
水平イネーブル信号				
TCON_TIM_STB1	TCON_STB_HS[10:0]	128	192	内部水平同期の立ち上がりからのパルス生成開始位置を設定します。
TCON_TIM_STB1	TCON_STB_HW[10:0]	640	800	上記パルス生成開始位置からの変化ポイントを設定します。
TCON_TIM_STB2	TCON_STB_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STB2	TCON_STB_SEL[2:0]	3	3	出力選択、STB 出力の場合：3

表 36.28 データ系の設定例

レジスタ名	ビット名	RGB888	シリアル RGB (3倍速)	説明
OUT_SET	OUT_ENDIAN_ON	0	0	ビットエンディアン変更の場合：1
OUT_SET	OUT_SWAP_ON	0	0	B/R 入れ替えを行う場合：1
OUT_SET	OUT_PIXEL_INV_ON	0	0	同時変化数軽減用機能を使用する場合：1
OUT_SET	OUT_SUM_MOVE[4:0]	31	31	OUT_PIXEL_INV_ON = 1 の場合に当該レジスタは有効になります。同時変化数の閾値を設定します。
OUT_SET	OUT_FORMAT[1:0]	0	3	出力フォーマット設定 RGB888 の場合：0 RGB666 の場合：1 RGB565 の場合：2 シリアル RGB の場合：3
OUT_SET	OUT_FRQ_SEL[1:0]	0	1	出力クロック制御 RGB888、RGB666、RGB565 の場合：0 シリアル RGB3 倍速出力の場合：1 シリアル RGB4 倍速出力の場合：2
OUT_SET	OUT_DIR_SEL	0	0	シリアル RGB 出力のデータ並びを逆にする場合：1
OUT_SET	OUT_PHASE[1:0]	0	0	シリアル RGB の出力位相がずれている場合に設定をします。 遅延なしの場合：0 1 クロック遅延させる場合：1 2 クロック遅延させる場合：2 3 クロック遅延させる場合：3 (4 倍速のみ対応)

37. ビデオディスプレイコントローラ 4 (7) システム制御部

37.1 システム制御機能

37.1.1 機能概要

システム制御部は、割り込み制御、パネルロック制御、CLUT テーブル読み出し選択信号ステータスフラグ出力機能があります。

37.1.2 割り込み制御

表 37.1 に示すとおり、割り込み信号は、スケーリング部、画面合成部から出力された合計 9 本あります。これらを外部へ出力するか制御します。

割り込み信号を受け付けるときは INT_STA* を 1 に設定します。ただし、1 書き込み後に INT_STA* を読み出しでも、割り込み信号を受け付けるまで 0 が読み出されます。割り込み信号を受け付けたとき、INT_STA* から 1 を読み出します。

受け付けられた割り込み信号をクリアするときは INT_STA* を 0 に設定します。

割り込み信号をクリアした後に再度割り込み信号を受け付ける場合は INT_STA* を 1 に設定します。

表 37.1 割り込み信号

信号名	機能
VI_VSYNC	スケーリング前の垂直同期信号
LO_VSYNC	スケーリング後の垂直同期信号
VSYNCERR	スケーリングの垂直同期信号の欠落信号
VLINE	パネル出力の指定ライン信号
VFIELD	録画機能のフィールド終了信号
VBUFERR1	フレームバッファ書き込みオーバーフロー信号
VBUFERR2	グラフィックス (1) フレームバッファ読み出しアンダフロー信号
VBUFERR3	グラフィックス (2) フレームバッファ読み出しアンダフロー信号
VBUFERR4	グラフィックス (3) フレームバッファ読み出しアンダフロー信号

表 37.2 割り込みクリア/ホールド設定

レジスタ名	ビット名	初期値	説明
SYSCNT_INT2	INT_STA0	0	VI_VSYNC 割り込みクリア/ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
	INT_STA1	0	LO_VSYNC 割り込みクリア/ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
	INT_STA2	0	VSYNCERR 割り込みクリア/ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
	INT_STA3	0	VLINE 割り込みクリア/ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
	INT_STA4	0	VFIELD 割り込みクリア/ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
	INT_STA5	0	VBUFERR1 割り込みクリア/ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
	INT_STA6	0	VBUFERR2 割り込みクリア/ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り

レジスタ名	ビット名	初期値	説明
SYSCNT_INT2	INT_STA7	0	VBUFERR3 割り込みクリア / ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
SYSCNT_INT1	INT_STA8	0	VBUFERR4 割り込みクリア / ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り

表 37.3 割り込み出力オン / オフ設定

レジスタ名	ビット名	初期値	説明
SYSCNT_INT4	INT_OUT0_ON	0	VI_VSYNC 割り込み出力オン / オフ設定 0 : オフ 1 : オン
	INT_OUT1_ON	0	LO_VSYNC 割り込み出力オン / オフ設定 0 : オフ 1 : オン
	INT_OUT2_ON	0	VSYNCERR 割り込み出力オン / オフ設定 0 : オフ 1 : オン
	INT_OUT3_ON	0	VLINE 割り込み出力オン / オフ設定 0 : オフ 1 : オン
	INT_OUT4_ON	0	VFIELD 割り込み出力オン / オフ設定 0 : オフ 1 : オン
	INT_OUT5_ON	0	VBUFERR1 割り込み出力オン / オフ設定 0 : オフ 1 : オン
	INT_OUT6_ON	0	VBUFERR2 割り込み出力オン / オフ設定 0 : オフ 1 : オン
	INT_OUT7_ON	0	VBUFERR3 割り込み出力オン / オフ設定 0 : オフ 1 : オン

レジスタ名	ビット名	初期値	説明
SYSCNT_INT3	INT_OUT8_ON	0	VBUFERR4 割り込み出力オン / オフ設定 0 : オフ 1 : オン

37.1.3 パネルクロック制御

本モジュールは、パネルクロック供給源として、映像クロック、外部クロックまたは周辺クロック 1 を選択できます。また、1/1 ~ 1/32 までの分周器を内蔵しています。パネルクロックは、表 37.4 に示すレジスタで制御します。

表 37.4 パネルクロック制御

レジスタ名	ビット名	初期値	説明
SYSCNT_PANEL_CLK	PANEL_IJKSEL[1:0]	0	パネルクロック供給源選択 0 : 映像クロック選択 (INP_SEL = 0 のとき VIDEO_X1、INP_SEL = 1 のとき DV_CLK) 1 : 外部クロック選択 (LCD_EXTCLK) 2 : 周辺クロック 1 選択 (P1) 3 : 設定禁止
SYSCNT_PANEL_CLK	PANEL_ICKEN	0	パネルクロック動作許可設定 0 : パネルクロック動作ブロックの動作禁止 1 : パネルクロック動作ブロックの動作許可 【注】 PANEL_IJKSEL、PANEL_DCDR ビットの変更は、必ず本ビットを 0 に設定してから行ってください。
SYSCNT_PANEL_CLK	PANEL_DCDR[5:0]	1	クロック分周比設定 設定の詳細については表 37.5 を参照してください。 【注】表 37.5 以外の設定は禁止です。

表 37.5 入出力クロック周波数と分周比

DCDR[5:0]	クロック分周比	入出力クロック周波数 (MHz)		
		27.00	54.00	66.67*2
000001*1	1/1	27.00	54.00	66.67
000010	1/2	13.50	27.00	33.33
000011	1/3	9.00	18.00	22.22
000100	1/4	6.75	13.50	16.67
000101	1/5	5.40	10.80	13.33
000110	1/6	4.50	9.00	11.11
000111	1/7	3.86	7.71	9.52
001000	1/8	3.38	6.75	8.33

DCDR[5:0]	クロック分周比	入出力クロック周波数 (MHz)		
		27.00	54.00	66.67* ²
001001	1/9	3.00	6.00	7.41
001100	1/12	2.25	4.50	5.56
010000	1/16	1.69	3.38	4.17
011000	1/24	1.13	2.25	2.78
100000	1/32	0.84	1.69	2.08

【注】 *1 パネルクロックの供給源を周辺クロック 1 (P1) に設定している場合は、設定禁止です。

*2 パネルクロックの供給源を外部クロック (LCD_EXTCLK) または周辺クロック 1 (P1) に設定している場合。

パネルクロックの設定は下記手順にて行ってください。

(1) 1/7 分周比設定

パワーオンリセットまたはディープスタンバイ後の初期設定および入力制御部の INP_SEL_CNT.INP_SEL ビット、PANEL_IACKSEL[1:0] ビットによってパネルクロックの入力源を変更する場合は、必ず以下の手順でパネルクロックが 1/7 分周出力されていることを確認してください。

- 入力制御部の INP_SEL_CNT.INP_SEL ビット、PANEL_IACKSEL[1:0] ビットによってパネルクロックの入力源を設定後、PANEL_DCDR[5:0] ビットにて 1/7 分周を設定。
- PANEL_IACKEN に "1" を設定。
- スケーリング部で、垂直同期信号の周期を設定。
- 出力制御部の TCON_UPDATE.TCON_VEN ビットに "1" を設定。
- (d) で設定を行った垂直同期信号の周期経過後に、TCON_VEN ビットをリード。
"0" が読み出された場合、パネルクロックは正常に出力されていますので、設定完了となります。
"1" が読み出される場合、パネルクロックは "Low" または "High" レベル固定出力しています。
- 固定出力時は、低消費電力モードの SWRSTCR2.VDC4SRST ビットによりビデオディスプレイコントローラ 4 を初期化した後、(a) から再設定してください。

(2) 1/3、1/4、1/6、1/8、1/12、1/16、1/24、1/32 分周比設定

パワーオンリセットまたはディープスタンバイ後の初期設定および入力制御部の INP_SEL_CNT.INP_SEL ビット、PANEL_IACKSEL[1:0] ビットによってパネルクロックの入力源を変更する場合は、必ず以下の手順でパネルクロックが 1/12 分周出力されることを確認した後、目的的分周比に設定してください。1/12 分周が異常出力する時、目的的分周比も異常出力します。

- 入力制御部の INP_SEL_CNT.INP_SEL ビット、PANEL_IACKSEL[1:0] ビットによってパネルクロックの入力源を設定後、PANEL_DCDR[5:0] ビットにて 1/12 分周を設定。
- PANEL_IACKEN に "1" を設定。
- スケーリング部で、垂直同期信号の周期を設定。
- 出力制御部の TCON_UPDATE.TCON_VEN ビットに "1" を設定。
- (d) で設定を行った垂直同期信号の周期経過後に、TCON_VEN ビットをリード。

"0"が読み出された場合、PANEL_DCDR[5:0]ビットに目的の分周比を設定すること完了となります。

"1"が読み出される場合、パネルクロックは"Low"または"High"レベル固定出力しています。

- (f) 固定出力時は、低消費電力モードのSWRSTCR2.VDC4SRST ビットによりビデオディスプレイコントローラ 4 を初期化した後、(a)から再設定してください。

(3) その他分周比設定

パネルクロックの出力の確認を行う必要はありません。

- (a) 入力制御部の INP_SEL_CNT.INP_SEL ビット、PANEL_ICKSEL[1:0]ビットによってパネルクロックの入力源を設定後、PANEL_DCDR[5:0]ビットにて目的の分周比を設定。
- (b) PANEL_ICKEN に"1"を設定。

37.1.4 CLUT テーブル読み出し選択信号ステータスフラグ

表 37.6 に示すとおり、CLUT 読み出し選択信号ステータスフラグを読み出せます。

表 37.6 CLUT テーブル読み出し選択信号ステータスフラグ

レジスタ名	ビット名	初期値	説明
SYSCNT_CLUT	GR1_CLT_SEL_ST	-	グラフィックス(1)CLUT テーブル読み出し選択信号ステータスフラグ 0 : CLUT テーブル0を読み出し 1 : CLUT テーブル1を読み出し
SYSCNT_CLUT	GR2_CLT_SEL_ST	-	グラフィックス(2)CLUT テーブル読み出し選択信号ステータスフラグ 0 : CLUT テーブル0を読み出し 1 : CLUT テーブル1を読み出し
SYSCNT_CLUT	GR3_CLT_SEL_ST	-	グラフィックス(3)CLUT テーブル読み出し選択信号ステータスフラグ 0 : CLUT テーブル0を読み出し 1 : CLUT テーブル1を読み出し

37.2 レジスタの説明

以下のレジスタセットは、SH レジスタマップ空間に割り付けられています。

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

- : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R/WC1 : リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

- /W : ライトのみ可。読み出し値は不定です。

表 37.7 システム制御部レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセス サイズ
割り込み制御レジスタ 1	SYSCNT_INT1	R/W	H'0000 0000	H'FFFF 7A80	32/16
割り込み制御レジスタ 2	SYSCNT_INT2	R/W	H'0000 0000	H'FFFF 7A84	32/16
割り込み制御レジスタ 3	SYSCNT_INT3	R/W	H'0000 0000	H'FFFF 7A88	32/16
割り込み制御レジスタ 4	SYSCNT_INT4	R/W	H'0000 0000	H'FFFF 7A8C	32/16
パネルクロック制御レジスタ	SYSCNT_PANEL_CLK	R/W	H'0001	H'FFFF 7A90	16
CLUT テーブル読み出し選択信号 ステータスフラグレジスタ	SYSCNT_CLUT	R	H'0000	H'FFFF 7A92	16

37.2.1 割り込み制御レジスタ 1 (SYSCNT_INT1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INT_STAB
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INT_STAB	0	R/W	VBUFERR4 割り込みクリア/ホールド設定 0(W): 割り込みステータスクリア 1(W): 割り込み受け付け開始 0(R): 割り込み無し 1(R): 割り込み有り

37.2.2 割り込み制御レジスタ 2 (SYSCNT_INT2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	INT_STA7	—	—	—	INT_STA6	—	—	—	INT_STA5	—	—	—	INT_STA4
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	INT_STA3	—	—	—	INT_STA2	—	—	—	INT_STA1	—	—	—	INT_STA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	INT_STA7	0	R/W	VBUFERR3 割り込みクリア / ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
27~25	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	INT_STA6	0	R/W	VBUFERR2 割り込みクリア / ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
23~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	INT_STA5	0	R/W	VBUFERR1 割り込みクリア / ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
19~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	INT_STA4	0	R/W	VFIELD 割り込みクリア / ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	INT_STA3	0	R/W	VLINE 割り込みクリア / ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	INT_STA2	0	R/W	VSYNCERR 割り込みクリア / ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	INT_STA1	0	R/W	LO_VSYNC 割り込みクリア / ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INT_STA0	0	R/W	VI_VSYNC 割り込みクリア / ホールド設定 0(W) : 割り込みステータスクリア 1(W) : 割り込み受け付け開始 0(R) : 割り込み無し 1(R) : 割り込み有り

37.2.3 割り込み制御レジスタ 3 (SYSCNT_INT3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INT_OUT8_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INT_OUT8_ON	0	R/W	VBUFERR4 割り込み出力オン/オフ設定 0: オフ 1: オン

37.2.4 割り込み制御レジスタ 4 (SYSCNT_INT4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	INT_OUT7_ON	—	—	—	INT_OUT6_ON	—	—	—	INT_OUT5_ON	—	—	—	INT_OUT4_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	INT_OUT3_ON	—	—	—	INT_OUT2_ON	—	—	—	INT_OUT1_ON	—	—	—	INT_OUT0_ON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28	INT_OUT7_ON	0	R/W	VBUFERR3 割り込み出力オン / オフ設定 0: オフ 1: オン
27~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	INT_OUT6_ON	0	R/W	VBUFERR2 割り込み出力オン / オフ設定 0: オフ 1: オン
23~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	INT_OUT5_ON	0	R/W	VBUFERR1 割り込み出力オン / オフ設定 0: オフ 1: オン
19~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	INT_OUT4_ON	0	R/W	VFIELD 割り込み出力オン / オフ設定 0: オフ 1: オン
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	INT_OUT3_ON	0	R/W	VLINE 割り込み出力オン / オフ設定 0: オフ 1: オン
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
8	INT_OUT2_ON	0	R/W	VSYNCERR 割り込み出力オン / オフ設定 0 : オフ 1 : オン
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	INT_OUT1_ON	0	R/W	LO_VSYNC 割り込み出力オン / オフ設定 0 : オフ 1 : オン
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INT_OUT0_ON	0	R/W	VI_VSYNC 割り込み出力オン / オフ設定 0 : オフ 1 : オン

37.2.5 パネルクロック制御レジスタ (SYSCNT_PANEL_CLK)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	PANEL_ICKSEL[1:0]	-	-	-	PANEL_ICKEN	-	-	PANEL_DCDR[5:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	PANEL_ICKSEL [1:0]	0	R/W	パネルクロック供給源選択 0: 映像クロック選択 (INP_SEL = 0 のとき VIDEO_X1、INP_SEL = 1 のとき DV_CLK) 1: 外部クロック選択 (LCD_EXTCLK) 2: 周辺クロック 1 選択 (P1) 3: 設定禁止
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PANEL_ICKEN	0	R/W	パネルクロック動作許可設定 0: パネルクロック動作ブロックの動作禁止 1: パネルクロック動作ブロックの動作許可 【注】 PANEL_ICKSEL、PANEL_DCDR ビットの変更は、必ず本ビットを 0 に設定してから行ってください。
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	PANEL_DCDR [5:0]	1	R/W	クロック分周比設定 設定の詳細については表 37.5 を参照してください。 【注】表 37.5 以外の設定は禁止です。

37.2.6 CLUT テーブル読み出し選択信号ステータスフラグレジスタ (SYSCNT_CLUT)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	GR3_CLT_SEL_ST	-	-	-	GR2_CLT_SEL_ST	-	-	-	GR1_CLT_SEL_ST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR3_CLT_SEL_ST	-	R	グラフィックス (3) CLUT テーブル読み出し選択信号ステータスフラグ 0: CLUT テーブル0を読み出し 1: CLUT テーブル1を読み出し
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR2_CLT_SEL_ST	-	R	グラフィックス (2) CLUT テーブル読み出し選択信号ステータスフラグ 0: CLUT テーブル0を読み出し 1: CLUT テーブル1を読み出し
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR1_CLT_SEL_ST	-	R	グラフィックス (1) CLUT テーブル読み出し選択信号ステータスフラグ 0: CLUT テーブル0を読み出し 1: CLUT テーブル1を読み出し

38. 歪み補正エンジン（IMR-LS）

本章は、守秘契約を結んでいただいたうえで公開致します。

詳細は、弊社の営業担当にご確認ください。

39. ディスプレイアウトコンペアユニット

ディスプレイアウトコンペアユニットは、グラフィックス表示モジュール*から出力されているデータが、期待するグラフィックスデータであることをチェックすることができます。これは期待するグラフィックスデータのCRCコードをあらかじめ算出しておき、グラフィックス表示モジュールから出力されているデータのCRCコードと比較することでチェックを行います。

【注】 * 本LSIでは、ビデオディスプレイコントローラ4を指します。

39.1 特長

1. グラフィックス表示モジュールのグラフィックスプレーン比較

グラフィックス表示モジュールのグラフィックスプレーンの中から1面を選択して、CRCコード比較をすることができます。

2. ブレンド後のデータ比較

グラフィックス表示モジュールのブレンド後のグラフィックスデータと、CRCコード比較をすることができます。

3. 矩形領域指定

グラフィックス表示モジュールの出力グラフィックスデータ（グラフィックスプレーンまたはブレンド後）から指定した矩形領域と、CRCコード比較をすることができます。

4. ピクセルフォーマット

ピクセルフォーマットを、32bit/pixel、16bit/pixelから選択できます。

32bit/pixel時はARGB8888/RGB888形式、16bit/pixel時はRGB565形式となります。

39.2 ブロック図

本モジュールの全体ブロック図を示します。

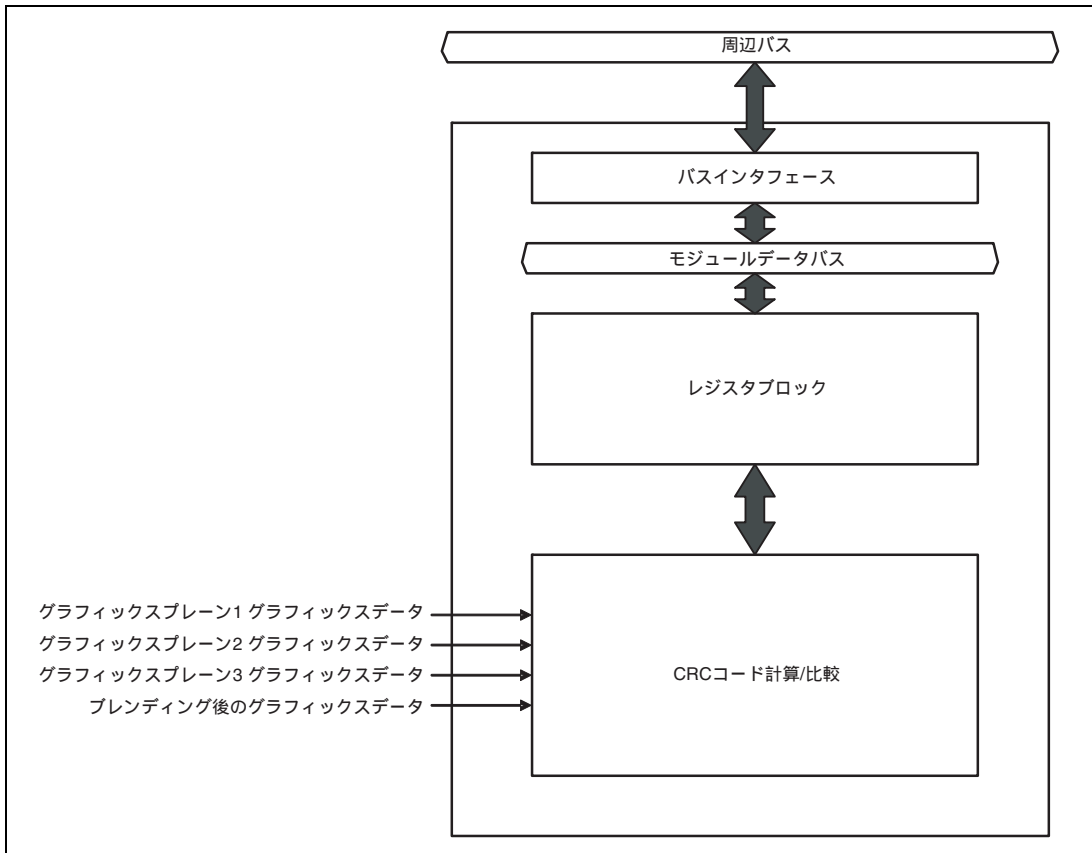


図 39.1 ブロック図

39.3 レジスタの説明

下記にレジスタ構成を示します。

表 39.1 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ
コントロールレジスタ	DOCMCR	R/W	H'FFFFFFA800	32
ステータスレジスタ	DOCMSTR	R	H'FFFFFFA804	32
ステータスクリアレジスタ	DOCMCLSTR	R/W	H'FFFFFFA808	32
割り込み許可レジスタ	DOCMIENR	R/W	H'FFFFFFA80C	32
動作パラメータ設定レジスタ	DOCMPMR	R/W	H'FFFFFFA814	32
CRC コード期待値レジスタ	DOCMCRCR	R/W	H'FFFFFFA818	32
CRC コード計算値レジスタ	DOCMCCRCR	R	H'FFFFFFA81C	32
水平方向開始位置設定レジスタ	DOCMSPXR	R/W	H'FFFFFFA820	32
垂直方向開始位置設定レジスタ	DOCMSPYR	R/W	H'FFFFFFA824	32
水平方向サイズレジスタ	DOCMSZXR	R/W	H'FFFFFFA828	32
垂直方向サイズレジスタ	DOCMSZYR	R/W	H'FFFFFFA82C	32
CRC 初期値レジスタ	DOCMCRCIR	R/W	H'FFFFFFA830	32

39.3.1 コントロールレジスタ (DOCMCR)

本レジスタは、CRC コード比較の ON/OFF 制御を行うレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CMPRU
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CMPR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	CMPRU	0	R	ディスプレイアウトコンペア実行更新値 CMPR ビットの内部更新を反映した値です。 DOCMCR の CMPR ビット、DOCMCLSTR、DOCMIENR 以外のレジスタ更新については、本ビットが 0 であることを確認して行ってください。詳細については「39.4.8 レジスタ更新タイミング」を参照してください。
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CMPR	0	R/W	ディスプレイアウトコンペア実行 ディスプレイアウトコンペアを動作させます。 本ビットは、グラフィックスデータ有効期間の初めを検出して内部にロードされます。詳細については「39.4.8 レジスタ更新タイミング」を参照してください。 0 : ディスプレイアウトコンペア停止 1 : ディスプレイアウトコンペア動作

39.3.2 ステータスレジスタ (DOCMSTR)

本レジスタは、CRC コードの比較結果を返すレジスタです。グラフィックスデータ有効期間の終わりを検出してレジスタに反映されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CMPST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	-	すべて 0	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
29~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CMPST	0	R	ディスプレイアウトコンペアステータス 0 : ディスプレイアウトコンペアで CRC コード不一致なし 1 : ディスプレイアウトコンペアで CRC コード不一致あり

39.3.3 ステータスクリアレジスタ (DOCMCLSTR)

本レジスタの CMPCLST ビットに 1 ライトすることにより、DOCMSTR の CMPST ビットをクリアすることができます。

ただし、CMPCLST ビットに 1 ライト後、DOCMSTR の CMPST ビットがクリアされるまでには一定時間必要とします。

そのため、必ず CMPCLST ビットに 1 ライト後、DOCMSTR の CMPST ビットがクリアされたことを確認してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CMP CLST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	CMPCLST	0	R/W	ディスプレイアウトコンペアステータスクリア 本ビットに1ライトすることにより、DOCMSTRのCMPSTビットを0クリアします。 読み出すと常に0が読み出されます。

39.3.4 割り込み許可レジスタ (DOCMIENR)

本レジスタは、DOCMSTRの対応する各ステータスビットの割り込みを許可します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CMPIEN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	CMPIEN	0	R/W	ディスプレイアウトコンペア相違検出割り込みイネーブル DOCMSTRのCMPSTビットが1セットされたとき、ディスプレイアウトコンペア相違検出割り込み (CMPI) を許可 / 禁止します。 0 : ディスプレイアウトコンペア相違検出割り込み (CMPI) の禁止 1 : ディスプレイアウトコンペア相違検出割り込み (CMPI) の許可

39.3.5 動作パラメータ設定レジスタ (DOCMPMR)

本レジスタにより、グラフィックスデータの選択およびピクセルフォーマットを設定することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CMPBPT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPDFA[7:0]								CMPDAUF	-	-	-	CMPSEL[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	CMPBT	0	R/W	ピクセルフォーマットデータ幅 ピクセルフォーマットのデータ幅を指定します。 0 : 32bit/pixel (ARGB8888/RGB888 形式) 1 : 16bit/pixel (RGB565 形式)
15~8	CMPDFA[7:0]	H'00	R/W	ディスプレイアウトコンペアデフォルト 値 デフォルト 値を設定します。CMPDAUF ビット = 1 のときに有効となります。
7	CMPDAUF	0	R/W	ディスプレイアウトコンペアデフォルト 値利用 デフォルト 値の使用を有効にします。 0 : デフォルト 値を使用しない 1 : デフォルト 値を使用する 【注】 RGB888 形式選択時のみ有効となります。ARGB8888/RGB565 形式 選択時は常に 0 に設定してください。 上記ピクセルフォーマット選択時において、本ビットを 0 に設定し た場合の 値はグラフィックス表示モジュールから出力されるデー タ 値となります。
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	CMPSELP[3:0]	0000	R/W	ディスプレイアウトコンペア選択プレーン CRC コード比較をする、グラフィックスデータを指定します。 0 : 非選択 1~3 : グラフィックスプレーン 1~3 のグラフィックスデータ 9 : ブレンド後のグラフィックスデータ 上記以外 : 設定禁止

39.3.6 CRC コード期待値レジスタ (DOCMECRCR)

本レジスタに、期待するグラフィックスデータの CRC コードを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMPECRC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPECRC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CMPECRC[31:0]	H'00000 000	R/W	ディスプレイアウトコンペア CRC コード期待値 選択されたグラフィックスデータ、矩形領域に対する CRC コードの期待値

39.3.7 CRC コード計算値レジスタ (DOCMCCRCR)

本レジスタから、選択されたグラフィックスプレーン、矩形領域の CRC コード計算結果を読み出すことができます。グラフィックスデータ有効期間の終わりを検出してレジスタに反映されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMPCCRC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPCCRC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	CMPCCRC[31:0]	H'00000 000	R	ディスプレイアウトコンペア CRC コード計算値 選択されたグラフィックスデータ、矩形領域に対する CRC コードの計算値

39.3.8 水平方向開始位置設定レジスタ (DOCMSPIX)

本レジスタに、CRC コード計算対象となる矩形領域の水平方向開始位置を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMPSPX[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	CMPSPX[10:0]	H'000	R/W	ディスプレイアウトコンペア水平方向開始位置 CRC コード計算対象となる矩形領域の水平方向開始位置を指定します。 グラフィックスデータの水平方向サイズ以下の値を設定してください。

39.3.9 垂直方向開始位置設定レジスタ (DOCMSPIY)

本レジスタに、CRC コード計算対象となる矩形領域の垂直方向開始位置を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMPSPY[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	CMPSPY[10:0]	H'000	R/W	ディスプレイアウトコンペア垂直方向開始位置 CRC コード計算対象となる矩形領域の垂直方向開始位置を指定します。 グラフィックスデータの垂直方向サイズ以下の値を設定してください。

39.3.10 水平方向サイズレジスタ (DOCMSZXR)

本レジスタに、CRC コード計算対象となる矩形領域の水平方向サイズを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMPSZX[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	CMPSZX[10:0]	H'000	R/W	ディスプレイアウトコンペア水平方向サイズ CRC コード計算対象となる矩形領域の水平方向サイズを指定します。 グラフィックスデータ水平方向サイズ 水平方向開始位置 (CMPSPX) + 水平方向サイズ (CMPSZX) となるように値を設定してください。

39.3.11 垂直方向サイズレジスタ (DOCMSZYR)

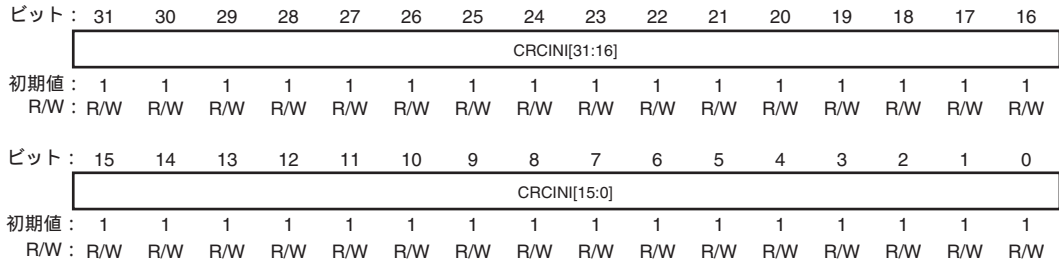
本レジスタに、CRC コード計算対象となる矩形領域の垂直方向サイズを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMPSZY[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	CMPSZY[10:0]	H'000	R/W	ディスプレイアウトコンペア垂直方向サイズ CRC コード計算対象となる矩形領域の垂直方向サイズを指定します。 グラフィックスデータ垂直方向サイズ 垂直方向開始位置 (CMPSPY) + 垂直方向サイズ (CMPSZY) となるように値を設定してください。

39.3.12 CRC 初期値レジスタ (DOCMCRCIR)

本レジスタに、CRC コードの初期値を指定します。



ビット	ビット名	初期値	R/W	説明
31~0	CRCINI[31:0]	H'FFFF FFFF	R/W	ディスプレイアウトコンペア CRC 初期値 選択されたグラフィックスデータ、矩形領域に対する CRC コードの初期値を指定します。

39.4 動作説明

39.4.1 動作の概要

本モジュールは、任意のグラフィックスデータの矩形領域の CRC コードを計算する機能があり、事前に計算された CRC コード期待値と比較することで、期待値どおりの表示出力が得られているかを検知することが可能です。

本モジュールの主な特長を下記に記載します。

- グラフィックスプレーン1~3から選択可能
- ブレンド後のグラフィックスデータを選択可能
- 選択したグラフィックスデータの任意の矩形領域を指定可能
- ピクセルフォーマットとして、32bit/pixel (ARGB8888/RGB888) もしくは16bit/pixel (RGB565) から選択可能
- 比較結果が不一致の場合の割り込み発生

39.4.2 システム構成

本モジュールは、下記の図のように構成されます。

グラフィックス表示モジュールから出力グラフィックスデータを受け取り CRC コードを計算することで、事前に計算された CRC コード期待値と比較します。グラフィックスデータはグラフィックスプレーン 1~3 およびブレンド後から選択することができます。

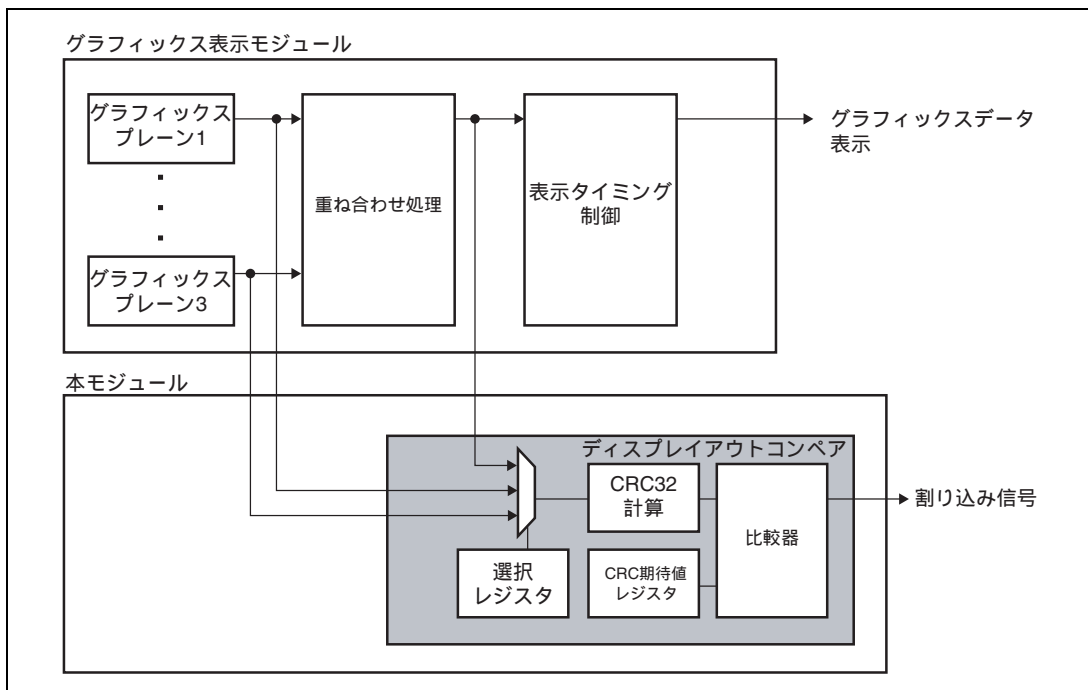


図 39.2 システム構成

39.4.3 CRC 計算方法

ディスプレイアウトコンペアユニットでは、次の CRC 多項式を用いて 32 ビットの CRC コードを生成します。
(IEEE802.3)

$$x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

CRC の計算は、ピクセル単位で CRC を計算します。(LSB から順に計算します)

つまり、32bit/pixel の場合は 32 ビット単位、16bit/pixel の場合は 16 ビット単位で計算します。また、CRC 計算されるデータの順番としては、グラフィックスデータ出力タイミング(左上 右下)でピクセルのデータを入力して計算します。

39.4.4 CRC コード生成グラフィックスデータ選択

CRC コードを計算するグラフィックスデータは、DOCMPMR の CMPSELP[3:0]ビットを設定することで、グラフィックスプレーン 1~3 または ブレンド後のグラフィックスデータから選択することができます。

39.4.5 ピクセルフォーマット

(a) ピクセルフォーマットの指定

DOCMPMR によりピクセルフォーマットを指定します。下記にピクセルフォーマット一覧を示します。

表 39.2 設定ピクセルフォーマット

DOCMPMR の設定ビット		CMPBT	CMPDFA[7:0]	CMPDAUF
32bit/pixel	ARGB8888	0	-	-
	RGB888		任意	任意
16bit/pixel	RGB565	1	-	-

(b) 対応ピクセルフォーマットデータ配置

各ピクセルフォーマットのデータ配置を下記に示します。

- ARGB8888 (32bit/pixel)

b31	b24 b23	b16 b15	b8 b7	b0
8bit	Red 8bit	Green 8bit	Blue 8bit	

- RGB888 (32bit/pixel)

b31	b24 b23	b16 b15	b8 b7	b0
*	Red 8bit	Green 8bit	Blue 8bit	

【注】 * CMPDAUF = 0 のとき、グラフィックス表示モジュールから出力される 値
 CMPDAUF = 1 のとき、CMPDFA[7:0]で指定された 値

- RGB565 (16bit/pixel)

b15	b11 b10	b5 b4	b0
Red 5bit	Green 6bit	Blue 5bit	

39.4.6 矩形領域の設定

選択したグラフィックスデータから、CRC コード計算対象となる矩形領域の開始位置、サイズをレジスタで設定することができます。CRC コード計算対象矩形領域の図およびレジスタ設定を下記に示します。

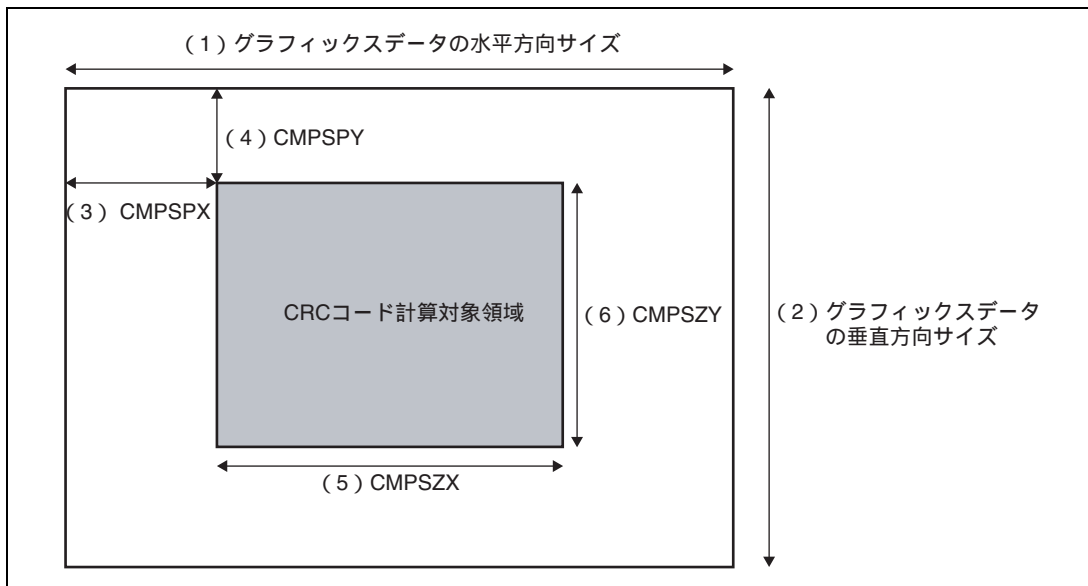


図 39.3 CRC コード計算対象矩形領域

表 39.3 CRC コード計算対象設定

No	図中の名称	設定レジスタ名	説明
(1)	グラフィックスデータの水平サイズ		グラフィックスデータの水平サイズです。 グラフィックス表示モジュールで設定してください。
(2)	グラフィックスデータの垂直サイズ		グラフィックスデータの垂直サイズです。 グラフィックス表示モジュールで設定してください。
(3)	CMPSPX (水平開始位置)	DOCMSPIXR	グラフィックスデータの左上を原点として、CRCコード計算対象までの水平位置をピクセル単位で設定します。
(4)	CMPSPY (垂直開始位置)	DOCMSPIYR	グラフィックスデータの左上を原点として、CRCコード計算対象までの垂直位置をライン単位で設定します。
(5)	CMPSZX (水平サイズ)	DOCMSZXR	CRCコード計算対象の水平サイズをピクセル単位で設定します。 グラフィックスデータの水平サイズ $\text{CMPSPX} + \text{CMPSZX}$ となるように設定してください。
(6)	CMPSZY (垂直サイズ)	DOCMSZYR	CRCコード計算対象の垂直サイズをピクセル単位で設定します。 グラフィックスデータの垂直サイズ $\text{CMPSPY} + \text{CMPSZY}$ となるように設定してください。

39.4.7 CRC 計算期間および比較タイミング

CRC 計算期間および期待値との比較タイミング図を下記に示します。

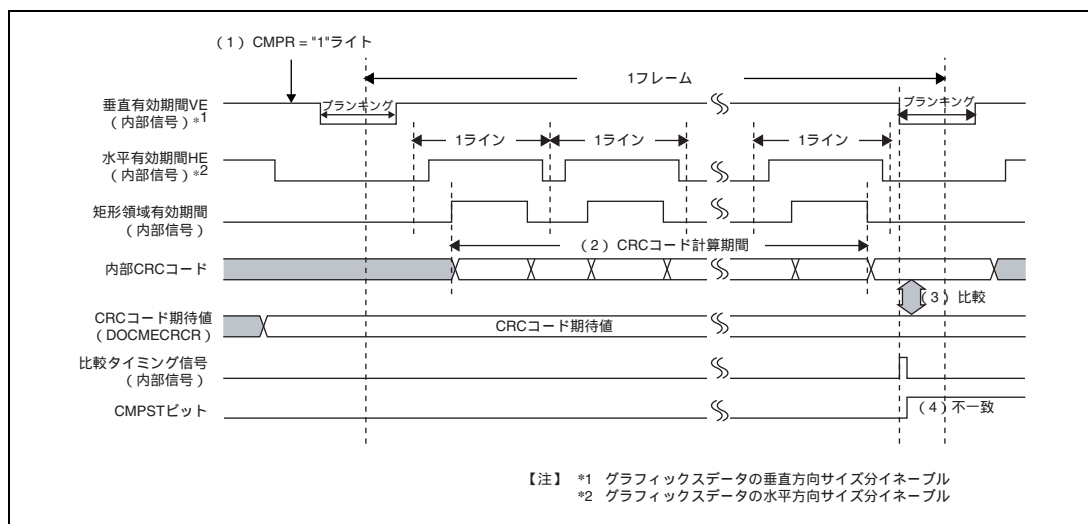


図 39.4 CRC 計算期間および比較タイミング例

【動作説明】

- (1) DOCMCR の CMPR ビットに"1"セット後、次のフレームから動作を開始します。レジスタ更新タイミングについては「39.4.8 レジスタ更新タイミング」を参照してください。
- (2) 設定した矩形領域にて、CRC コード計算を行います。
- (3) CRC コード計算結果は、グラフィックスデータ有効期間の終わりで CRC コード期待値 (DOCMECR) と比較されます。
- (4) 比較結果が一致しない場合、DOCMSTR の CMPST ビットがセットされます。

39.4.8 レジスタ更新タイミング

(1) レジスタ設定値が内部にロードされるタイミング

DOCMCR の CMPR ビット以外のレジスタは、レジスタライト後すぐに内部にロードされます。そのため、DOCMCR の CMPRU ビット = "1" でレジスタを更新すると、意図しない CRC コード計算結果となります。CRC コード計算に影響を与えるレジスタ (DOCMCLSTR、DOCMIENR 以外) については、DOCMCR の CMPRU ビット = "0" を確認して変更を行ってください。

DOCMCR の CMPR ビットは、グラフィックスデータ有効期間の初めを検出して内部にロードされます。そのため、フレーム途中でレジスタを書き換えたとしても、そのフレームの CRC コード計算に影響を与えません。

(2) 内部状態がレジスタに反映されるタイミング

DOCMSTR、DOCMCCR は、グラフィックスデータ有効期間の終わりで、内部の状態をレジスタに反映します。DOCMCR の CMPRU ビットは、グラフィックスデータ有効期間の初めで、CMPR の内部状態をレジスタに反映します。

下記にレジスタ更新タイミング図を示します。

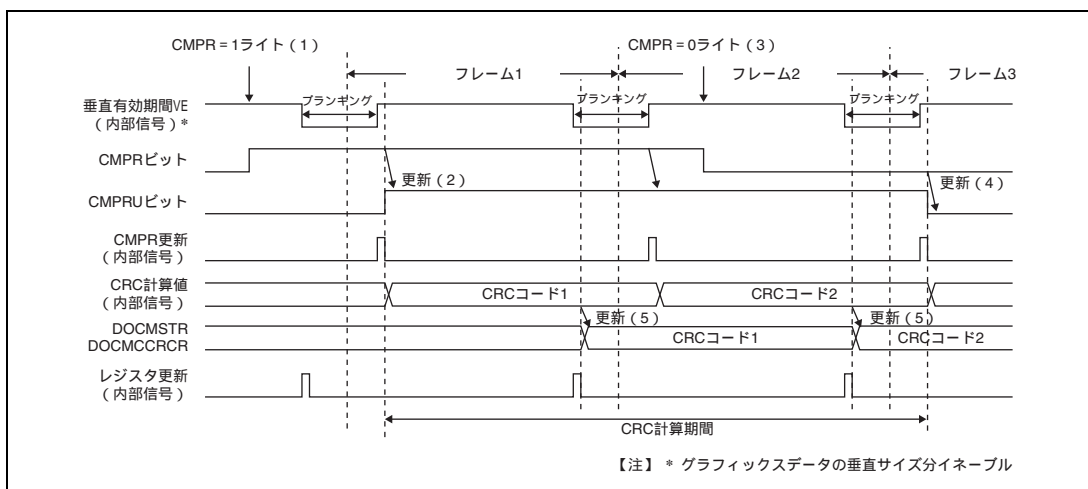


図 39.5 レジスタ更新タイミング図

【動作説明】

- (1) CMPR ビット = "1" に設定します。すぐに内部へはロードされません。
- (2) グラフィックスデータ有効期間の初めを検出して、CMPR ビット設定値が内部にロードされた後、CRC 計算を実行します。
- (3) CRC 比較を停止するために CMPR ビット = "0" に設定します。(1) 同様にすぐに内部へはロードされません。
- (4) グラフィックスデータ有効期間の初めを検出して、CMPR ビット設定値が内部にロードされた後、CRC 計算を停止します。
- (5) グラフィックスデータ有効期間の終わりで、内部の状態をレジスタに反映します。

39.4.9 動作フロー

(a) ディスプレイアウトコンペア開始フロー

ディスプレイアウトコンペア開始フロー例を下記に示します。

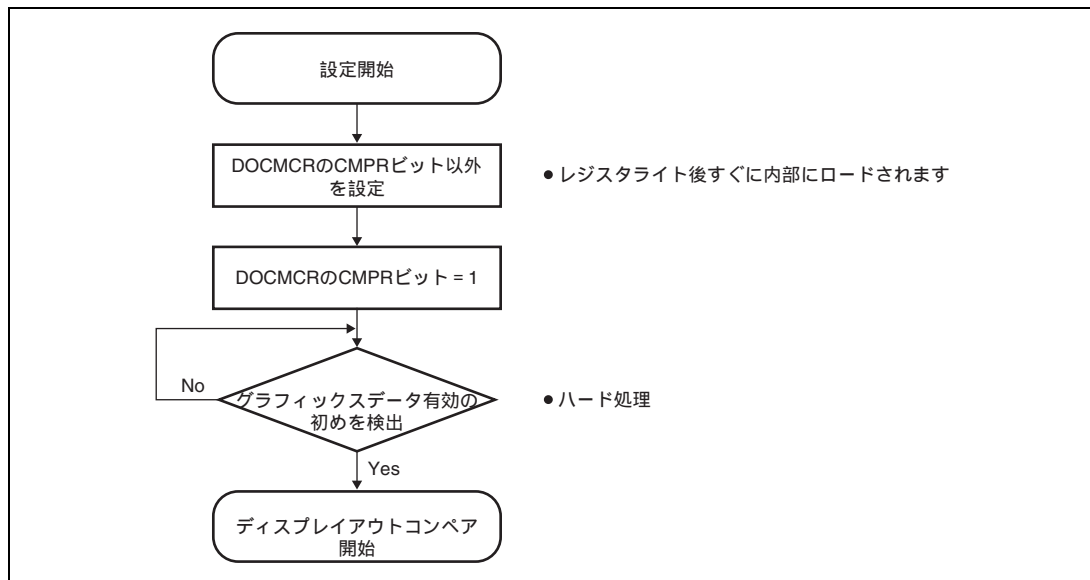


図 39.6 ディスプレイアウトコンペア開始フロー例

(b) レジスタ設定変更フロー

ディスプレイアウトコンペア中のレジスタ設定変更フロー例を下記に示します。

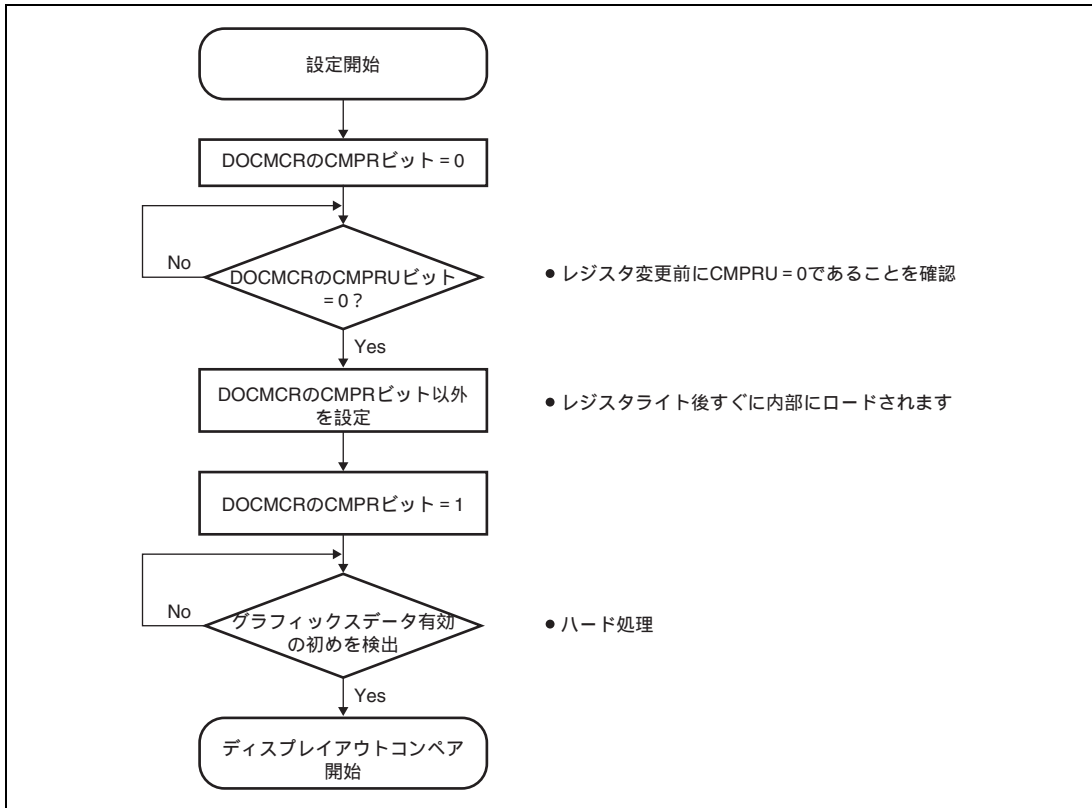


図 39.7 レジスタ設定変更フロー例

39.5 割り込み

割り込み要因には、「ディスプレイアウトコンペア相違検出割り込み」があります。

DOCMIENR の CMPIEN ビットを "1" にセットかつ DOCMSTR の CMPST ビットが "1" にセットされたとき、割り込み要求が発生します。

CMPST ビットは、割り込み例外サービスルーチン中でクリアしてください。CMPST ビットをクリアしてから実際に CPU への割り込み要因を取り下げられるまでには一定の時間を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、CMPST ビットがクリアされたことを 2 度確認した後、RTE 命令を実行してください。

39.6 使用上の注意事項

39.6.1 CRC 期待値

グラフィックスプレーン 1~3 選択時の CRC コード期待値 (DOCMECR) は、使用するグラフィックスデータからソフトウェアにて算出してください。ブレンド後のグラフィックスデータ選択では、計算誤差によりソフトウェアでグラフィックスデータを重ね合わせた結果とグラフィックス表示モジュールが重ね合わせた結果が合わない可能性があります。そのため、デバッグ時にブレンド後のグラフィックスデータ選択を行い、CRC コード計算値 (DOCMCCR) を読み出した値を、CRC コード期待値として使用してください。

39.6.2 拡大制御機能

ビデオディスプレイコントローラ 4 にて、スケーリング設定で拡大処理を行った場合、本モジュールは CRC 値を生成することができません。そのため、拡大処理を行う場合は、本モジュールを停止してください。

40. OpenVG™ 用ルネサスグラフィックスプロセッサ

40.1 特長

本プロセッサは、オープンな 2D ベクターグラフィックス API である OpenVG™1.1 に対応しており、OpenVG™ の stage2～stage8 までの各処理を専用ハードウェアとプログラマブル・シェーダでアクセラレートしております。

OpenVG™1.1 の仕様につきましては、khronos グループのホームページをご参照ください。

40.2 使用上の注意事項

OpenVG™ 用グラフィックスプロセッサと JPEG コーデックユニットを同時使用する場合、同時にバスアクセスが発生しないように、ソフトウェアにてバスアクセスの排他制御を行う必要があります。同時にバスアクセスが発生した場合の動作保証はできません。

41. JPEG コーデックユニット

JPEG コーデックユニットは、JPEG ベースラインに準拠した圧縮伸長方式を持った JPEG コーデックを内蔵しており、画像データの圧縮および JPEG データの復号を高速に処理することができます。

41.1 特長

JPEG コーデックユニットは、以下の特長を持ちます。

- 対応規格：JPEGベースライン
本章に記載の範囲内で準拠しています。未対応の基本的な特性は以下の通りです。
 - ・ 2成分を持つスキャンに未対応
 - ・ 複数成分のノンインタリーブスキャンに未対応
- 演算精度：JPEG Part2、ISO-IEC10918-2準拠
- 画像入出力方式：ブロックインタリーブ方式
- ピクセルフォーマット
 - ・ 圧縮：YCbCr422(H=2:1:1,V=1:1:1)
 - ・ 伸長：YCbCr444(H=1:1:1,V=1:1:1),
YCbCr422(H=2:1:1,V=1:1:1),
YCbCr411(H=4:1:1,V=1:1:1),
YCbCr420(H=2:1:1,V=2:1:1)ただし、バッファへの出力ピクセルフォーマットはYCbCr422, ARGB8888, RGB565になります。
- 量子化テーブル：4テーブル内蔵
- ハフマンテーブル：4テーブル内蔵（AC係数2テーブル、DC係数2テーブル）
- 対象マーカ：SOI(Start Of Image), SOF0(Start Of Frame Type 0), SOS(Start Of Scan), DQT(Define Quantization Tables), DHT(Define Huffman Tables), DRI (Define Restart Interval), RSTm (Restart marks), EOI (End Of Image)
- 画像データレート：最大133.34MB/s (66.67MHz動作時)
- 画像データの入力 / 出力、符号データの入力時に、設定されたライン数、データ数転送ごとに、転送を一時的に止めるモードをサポートすることにより、バッファ容量を削減可能
- 処理単位：アドレス境界8バイト単位で設定可能
- 処理可能画像サイズ：MCU (Minimum Coded Unit) 単位 (YCbCr444時、8ピクセル×8ライン。YCbCr422時、16ピクセル×8ライン。YCbCr411時、32ピクセル×8ライン。YCbCr420時、16ピクセル×16ライン) で割り切れるサイズ

【注】 非対応ピクセルフォーマットおよび非対応画像サイズの圧縮 / 伸長処理は行わないでください。

図 41.1 にブロック図を示します。

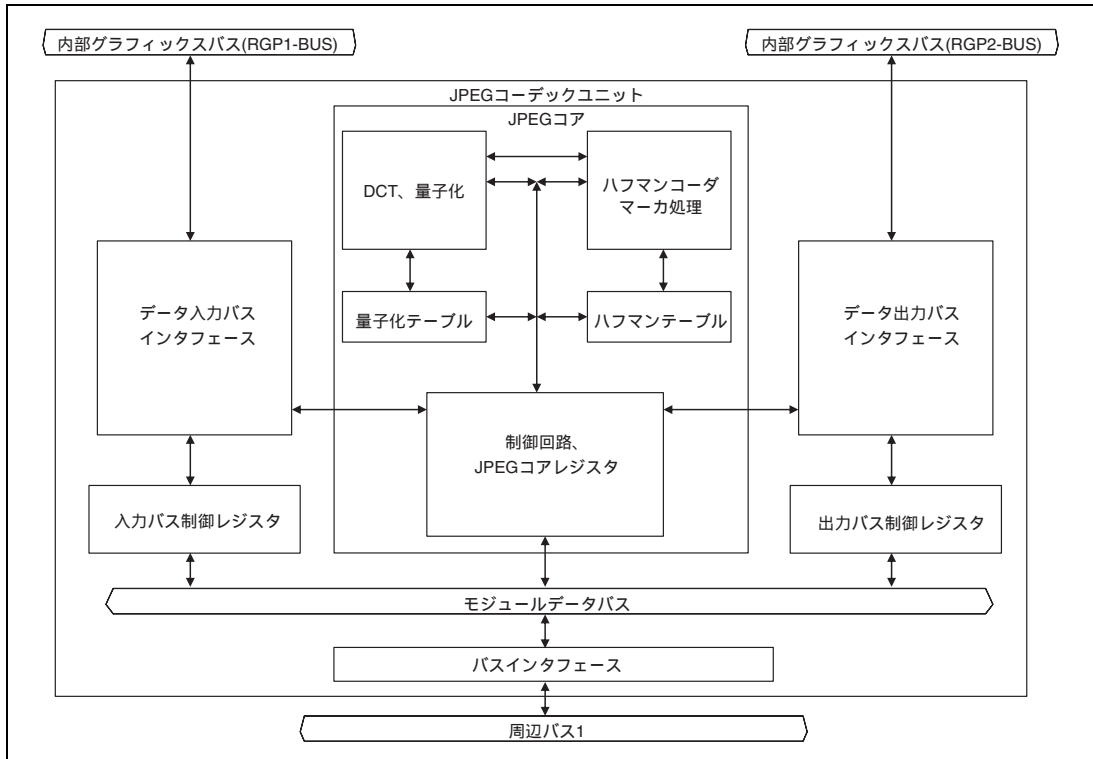


図41.1 ブロック図

41.2 レジスタの説明

表 41.1 にレジスタ構成を示します。

表41.1 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
JPEG コードモードレジスタ	JCMOD	R/W	H'E801 7000	8
JPEG コードコマンドレジスタ	JCCMD	R/W	H'E801 7001	8
JPEG コード量子化テーブル番号レジスタ	JCQTN	R/W	H'E801 7003	8
JPEG コードハフマンテーブル番号レジスタ	JCHTN	R/W	H'E801 7004	8
JPEG コード DRI 上位レジスタ	JCDRIU	R/W	H'E801 7005	8
JPEG コード DRI 下位レジスタ	JCDRID	R/W	H'E801 7006	8
JPEG コード垂直方向サイズ上位レジスタ	JCVSZU	R/W	H'E801 7007	8
JPEG コード垂直方向サイズ下位レジスタ	JCVSZD	R/W	H'E801 7008	8
JPEG コード水平方向サイズ上位レジスタ	JCHSZU	R/W	H'E801 7009	8
JPEG コード水平方向サイズ下位レジスタ	JCHSZD	R/W	H'E801 700A	8
JPEG コードデータカウント上位レジスタ	JCDTCU	R	H'E801 700B	8
JPEG コードデータカウント中位レジスタ	JCDTCM	R	H'E801 700C	8
JPEG コードデータカウント下位レジスタ	JCDTCD	R	H'E801 700D	8
JPEG 割り込みイネーブルレジスタ 0	JINTE0	R/W	H'E801 700E	8
JPEG 割り込みステータスレジスタ 0	JINTS0	R/W	H'E801 700F	8
JPEG コードデコードエラーレジスタ	JCDERR	R/W	H'E801 7010	8
JPEG コード再起動レジスタ	JCRST	R	H'E801 7011	8
JPEG インタフェース圧縮制御レジスタ	JIFECNT	R/W	H'E801 7040	32
JPEG インタフェース圧縮ソースアドレスレジスタ	JIFESA	R/W	H'E801 7044	32
JPEG インタフェース圧縮ラインオフセットレジスタ	JIFESOFST	R/W	H'E801 7048	32
JPEG インタフェース圧縮デスティネーションアドレスレジスタ	JIFEDA	R/W	H'E801 704C	32
JPEG インタフェース圧縮ソースラインカウントレジスタ	JIFESLC	R/W	H'E801 7050	32
JPEG インタフェース伸長制御レジスタ	JIFDCNT	R/W	H'E801 7058	32
JPEG インタフェース伸長ソースアドレスレジスタ	JIFDSA	R/W	H'E801 705C	32
JPEG インタフェース伸長デスティネーションオフセットレジスタ	JIFDDOFST	R/W	H'E801 7060	32
JPEG インタフェース伸長デスティネーションアドレスレジスタ	JIFDDA	R/W	H'E801 7064	32
JPEG インタフェース伸長ソースカウントレジスタ	JIFSDSC	R/W	H'E801 7068	32
JPEG インタフェース伸長デスティネーションラインカウントレジスタ	JIFDDLCL	R/W	H'E801 706C	32
JPEG インタフェース伸長 設定レジスタ	JIFDADT	R/W	H'E801 7070	32
JPEG 割り込みイネーブルレジスタ 1	JINTE1	R/W	H'E801 708C	32

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
JPEG 割り込みステータスレジスタ 1	JINTS1	R/W	H'E801 7090	32
JPEG コード量子化テーブル 0 レジスタ	JCQTBL0	R/W	H'E801 7100 ~ H'E801 713F	8
JPEG コード量子化テーブル 1 レジスタ	JCQTBL1	R/W	H'E801 7140 ~ H'E801 717F	8
JPEG コード量子化テーブル 2 レジスタ	JCQTBL2	R/W	H'E801 7180 ~ H'E801 71BF	8
JPEG コード量子化テーブル 3 レジスタ	JCQTBL3	R/W	H'E801 71C0 ~ H'E801 71FF	8
JPEG コードハフマンテーブル DC0 レジスタ	JCHTBD0	W	H'E801 7200 ~ H'E801 721B	8
JPEG コードハフマンテーブル AC0 レジスタ	JCHTBA0	W	H'E801 7220 ~ H'E801 72D1	8
JPEG コードハフマンテーブル DC1 レジスタ	JCHTBD1	W	H'E801 7300 ~ H'E801 731B	8
JPEG コードハフマンテーブル AC1 レジスタ	JCHTBA1	W	H'E801 7320 ~ H'E801 73D1	8

【注】 JPEG コード量子化テーブルおよび JPEG コードハフマンテーブルの設定は「41.3.1 (4) テーブル設定」を参照してください。

41.2.1 JPEG コードモードレジスタ (JCMOD)

JCMOD は、動作前に各種モードを設定するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	DSP	REDU[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W (圧縮):	R	R	R	R	R/W	R/W	R/W	R/W
R/W (伸長):	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7~4	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
3	DSP	0	R/W		圧縮 / 伸長設定 0 : 圧縮処理のとき 1 : 伸長処理のとき 【注】圧縮 / 伸長処理を変更する場合は、必ず低消費電力モード ソフトウェアリセットコントロールレジスタ2 (SWRSTCR2) の JCUSRST ビットにて、本モジュールを一度リセット状態にしてください。
2~0	REDU [2:0]	000	R/W	R	ピクセルフォーマット設定 [圧縮時] 001 : YCbCr422 上記以外 : 設定禁止 [伸長時] 000 : YCbCr444 001 : YCbCr422 110 : YCbCr411 010 : YCbCr420 上記以外 : 正しく処理を行えませんが、エラーとして扱ってください。

41.2.2 JPEG コードコマンドレジスタ (JCCMD)

JCCMD は、各種コマンドを設定するレジスタです。コマンド設定後に 0 書き込みによるクリアをする必要はありません。

各コマンドの同時設定は禁止です。

ビット:	7	6	5	4	3	2	1	0
	BRST	—	—	—	—	JEND	JRST	JSRT
初期値:	0	0	0	0	0	0	0	0
R/W (圧縮):	R*/W	R	R	R	R	R*/W	無効	R*/W
R/W (伸長):	R*/W	R	R	R	R	R*/W	R*/W	R*/W

【注】* 読み出し値は不定となります。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7	BRST	0	R*/W		バスリセット 本ビットに 1 を設定することにより、内部回路がリセットされます。 動作中 (JPEG コア処理開始コマンド設定後から最終出力符号 / 画像データ書き出し終了まで) は本ビットを 1 に設定しないでください。 バスリセット処理については「41.5 バスリセット処理」を参照してください。
6~3	-	すべて 0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
2	JEND	0	R*/W		割り込み要求解除コマンド JINTS0 の INS6、INS5、INS3 ビットの割り込み要因に対してのみ有効です。 割り込み要求解除は、1 を設定してください。
1	JRST	0	無効	R*/W	JPEG コア処理停止解除コマンド 画像サイズ、ピクセルフォーマットの読み出しリクエスト (JINTE0 の INT3 ビットの設定) による処理停止解除時、1 を設定してください。
0	JSRT	0	R*/W		JPEG コア処理開始コマンド 処理開始時、本ビットに 1 を設定してください。動作中に再度 1 を書き込まないでください。

【注】 * 読み出し値は不定となります。

41.2.3 JPEG コード量子化テーブル番号レジスタ (JCQTN)

JCQTN は、圧縮処理前に量子化テーブル番号を設定するレジスタです。

- 量子化テーブルNo.0 JCQTBL0を第1色成分に使用する場合、QT1にB'00を設定
- 量子化テーブルNo.1 JCQTBL1を第1色成分に使用する場合、QT1にB'01を設定
- 量子化テーブルNo.2 JCQTBL2を第1色成分に使用する場合、QT1にB'10を設定
- 量子化テーブルNo.3 JCQTBL3を第1色成分に使用する場合、QT1にB'11を設定

ビット：	7	6	5	4	3	2	1	0
	—	—	QT3[1:0]	QT2[1:0]	QT1[1:0]			
初期値：	0	0	0	0	0	0	0	0
R/W (圧縮)：	R	R	R/W	R/W	R/W	R/W	R/W	R/W
R/W (伸長)：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7、6	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
5、4	QT3[1:0]	00	R/W	R	第3色成分の量子化テーブル番号
3、2	QT2[1:0]	00	R/W	R	第2色成分の量子化テーブル番号
1、0	QT1[1:0]	00	R/W	R	第1色成分の量子化テーブル番号

41.2.4 JPEG コードハフマンテーブル番号レジスタ (JCHTN)

JCHTN は、圧縮処理前にハフマンテーブル番号 (AC/DC) を設定するレジスタです。

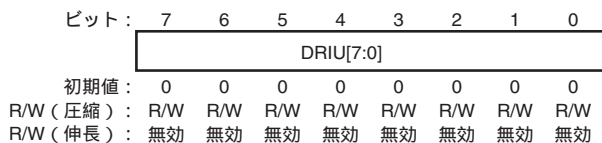
- DC/ACハフマンテーブルNo.0 (JCHTBD0、JCHTBA0)を第1色成分に使用する場合、HTA1ビットにB'0、HTD1ビットにB'0を設定
- DC/ACハフマンテーブルNo.1 (JCHTBD1、JCHTBA1)を第1色成分に使用する場合、HTA1ビットにB'1、HTD1ビットにB'1を設定

ビット:	7	6	5	4	3	2	1	0
	—	—	HTA3	HTD3	HTA2	HTD2	HTA1	HTD1
初期値:	0	0	0	0	0	0	0	0
R/W (圧縮):	R	R	R/W	R/W	R/W	R/W	R/W	R/W
R/W (伸長):	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7、6	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
5	HTA3	0	R/W	R	第3色成分のハフマンテーブル番号 (AC)
4	HTD3	0	R/W	R	第3色成分のハフマンテーブル番号 (DC)
3	HTA2	0	R/W	R	第2色成分のハフマンテーブル番号 (AC)
2	HTD2	0	R/W	R	第2色成分のハフマンテーブル番号 (DC)
1	HTA1	0	R/W	R	第1色成分のハフマンテーブル番号 (AC)
0	HTD1	0	R/W	R	第1色成分のハフマンテーブル番号 (DC)

41.2.5 JPEG コード DRI 上位レジスタ (JCDRIU)

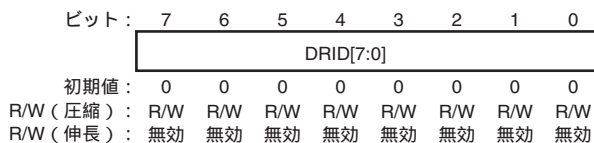
JCDRIU は、RST マーカを挿入する MCU 数の上位バイトを設定するレジスタです。



ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7~0	DRIU[7:0]	H'00	R/W	無効	RST マーカを挿入する MCU 数の上位バイト 上位、下位ともに H'00 を設定した場合、DRI、RST マーカは挿入されません。

41.2.6 JPEG コード DRI 下位レジスタ (JCDRID)

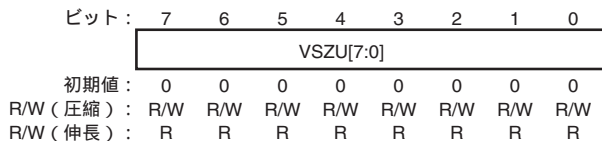
JCDRID は、RST マーカを挿入する MCU 数の下位バイトを設定するレジスタです。



ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7~0	DRID[7:0]	H'00	R/W	無効	RST マーカを挿入する MCU 数の下位バイト 上位、下位ともに H'00 を設定した場合、DRI、RST マーカは挿入されません。

41.2.7 JPEG コード垂直方向サイズ上位レジスタ (JCVSZU)

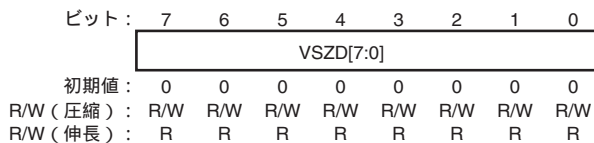
JCVSZU は、垂直方向の画像サイズ値の上位バイトを設定するレジスタです。



ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7~0	VSZU[7:0]	H'00	R/W	R	垂直方向の画像サイズ値の上位バイト 伸長時は JPEG 符号データからのダウンロード値がセットされます。

41.2.8 JPEG コード垂直方向サイズ下位レジスタ (JCVSZD)

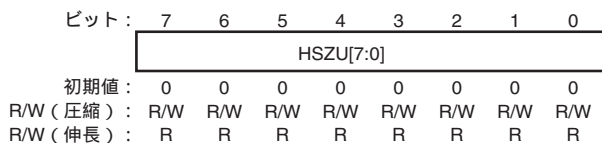
JCVSZD は、垂直方向の画像サイズ値の下位バイトを設定するレジスタです。



ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7~0	VSZD[7:0]	H'00	R/W	R	垂直方向の画像サイズ値の下位バイト 伸長時は JPEG 符号データからのダウンロード値がセットされます。

41.2.9 JPEG コード水平方向サイズ上位レジスタ (JCHSZU)

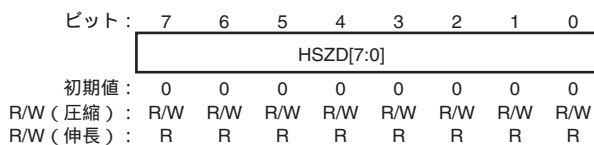
JCHSZU は、水平方向の画像サイズ値の上位バイトを設定するレジスタです。



ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7~0	HSZU[7:0]	H'00	R/W	R	水平方向の画像サイズ値の上位バイト 伸長時は JPEG 符号データからのダウンロード値がセットされます。

41.2.10 JPEG コード水平方向サイズ下位レジスタ (JCHSZD)

JCHSZD は、水平方向の画像サイズ値の下位バイトを設定するレジスタです。



ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7~0	HSZD[7:0]	H'00	R/W	R	水平方向の画像サイズ値の下位バイト 伸長時は JPEG 符号データからのダウンロード値がセットされます。

41.2.11 JPEG コードデータカウンタ上位レジスタ (JCDCU)

JCDCU は、圧縮データ量のカウンタ値の上位バイトが設定されるレジスタです。本レジスタの値は、処理開始時にリセットされます。

ビット：	7	6	5	4	3	2	1	0
DCU[7:0]								
初期値：	0	0	0	0	0	0	0	0
R/W (圧縮)：	R	R	R	R	R	R	R	R
R/W (伸長)：	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7~0	DCU[7:0]	H'00	R	無効	圧縮データ量のカウンタ値の上位バイト

41.2.12 JPEG コードデータカウンタ中位レジスタ (JCDCM)

JCDCM は、圧縮データ量のカウンタ値の中位バイトが設定されるレジスタです。本レジスタの値は、処理開始時にリセットされます。

ビット：	7	6	5	4	3	2	1	0
DCM[7:0]								
初期値：	0	0	0	0	0	0	0	0
R/W (圧縮)：	R	R	R	R	R	R	R	R
R/W (伸長)：	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7~0	DCM[7:0]	H'00	R	無効	圧縮データ量のカウンタ値の中位バイト

41.2.13 JPEG コードデータカウント下位レジスタ (JCDCD)

JCDCD は、圧縮データ量のカウンタ値の下位バイトが設定されるレジスタです。本レジスタの値は、処理開始時にリセットされます。

ビット：	7	6	5	4	3	2	1	0
	DCD[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W (圧縮)：	R	R	R	R	R	R	R	R
R/W (伸長)：	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7~0	DCD[7:0]	H'00	R	無効	圧縮データ量のカウンタ値の下位バイト

41.2.14 JPEG 割り込みイネーブルレジスタ 0 (JINTE0)

JINTE0 は、割り込み許可を設定するレジスタです。

INT7 ~ INT5 ビットを B'1 に設定した場合、圧縮データエラー発生時に JINTS0 の INS5 ビットでエラーステータスが B'1 となります。詳細なエラーコードは JCDERR の ERR ビットに示されます。

ビット：	7	6	5	4	3	2	1	0
	INT7	INT6	INT5	—	INT3	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W (圧縮)：	無効	無効	無効	R	無効	R	R	R
R/W (伸長)：	R/W	R/W	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7	INT7	0	無効	R/W	伸長時、ハフマン符号化セグメント内のリスタートインターバル間のデータ数に異常があった場合、割り込みを発生させるかどうかを設定します。 設定しない場合、エラーコードも返しません。
6	INT6	0	無効	R/W	伸長時、ハフマン符号化セグメント内の総データ数に異常があった場合、割り込みを発生させるかどうかを設定します。 設定しない場合、エラーコードも返しません。
5	INT5	0	無効	R/W	伸長時、ハフマン符号化セグメント内の最終 MCU データ数に異常があった場合、割り込みを発生させるかどうかを設定します。 設定しない場合、エラーコードも返しません。
4	-	0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
3	INT3	0	無効	R/W	圧縮データの解析の結果、画像サイズ、間引きの設定値が読み出し可能であるときに、割り込みを発生させるかどうかを設定します。
2~0	-	0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

41.2.15 JPEG 割り込みステータスレジスタ 0 (JINTS0)

JINTS0 は、割り込み発生の原因を判別するレジスタです。

本レジスタの割り込み要因は、ステータスのクリアとともに JCCMD にて割り込みを解除してください。

ビット :	7	6	5	4	3	2	1	0
	—	INS6	INS5	—	INS3	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W (圧縮) :	R	R/W*	無効	R	無効	R	R	R
R/W (伸長) :	R	R/W*	R/W*	R	R/W*	R	R	R

【注】 * 0書き込みによるクリアを行ってください。
1書き込みは行わないでください。

ビット	ビット名	初期値	R/W		説 明
			圧縮	伸長	
7	-	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	INS6	0	R/W*		正常終了したとき1に設定されます。
5	INS5	0	無効	R/W*	圧縮データエラーが発生したとき1に設定されます。
4	-	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
3	INS3	0	無効	R/W*	画像サイズ/ピクセルフォーマットを読み出し可能なとき1に設定されます。割り込み発生時、本モジュールは処理停止状態となります。処理停止状態はJCRSTに示されます。処理再開は、処理停止解除コマンド(JCCMDのJRSTビット)を設定します。
2~0	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

【注】 * 0書き込みによるクリアを行ってください。1書き込みは行わないでください。

41.2.16 JPEG コードデコードエラーレジスタ (JCDERR)

JCDERR は、伸長動作時、圧縮データ解析でエラーが発生した場合のエラー種類をコードにて判別するレジスタです。

本レジスタの値は処理開始時にリセットされます。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	ERR[3:0]			
初期値 :	0	0	0	0	1	0	1	0
R/W (圧縮) :	R	R	R	R	無効	無効	無効	無効
R/W (伸長) :	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W		説 明
			圧縮	伸長	
7~4	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。
3~0	ERR[3:0]	1010	無効	R/W	エラーコード (表 41.3、表 41.4 参照)

41.2.17 JPEG コード再起動レジスタ (JCRST)

JCRST は、画像サイズ、ピクセルフォーマットの読み出しリクエスト (JINTE0 の INT3 ビットの設定) による処理停止状態を示します。

処理再開は、処理停止解除コマンド JCCMD の JRST ビットを設定します。

ビット:	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	RST
初期値:	0	0	0	0	0	0	0	0	0
R/W (圧縮):	R	R	R	R	R	R	R	R	無効
R/W (伸長):	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7~1	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。
0	RST	0	無効	R	動作状態 0: 下記以外の状態 1: JINTE0の割り込み要因によるサスペンド中

41.2.18 JPEG インタフェース圧縮制御レジスタ (JIFECNT)

JIFECNT は、圧縮処理を制御するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W (伸長):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	JOUTSWAP[2:0]			—	DIN RINI	DIN RCMD	DIN LC	—	DINSWAP[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮):	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
R/W (伸長):	R	R	R	R	R	無効	無効	無効	R	無効	無効	無効	R	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~11	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
10~8	JOUTSW AP [2:0]	000	R/W	無効	バイト/ワード/ロングワードスワップ設定 圧縮時の出力符号データがスワップ対象となります。 000 : (1) (2) (3) (4) (5) (6) (7) (8) 001 : (2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010 : (3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011 : (4) (3) (2) (1) (8) (7) (6) (5) [ワード-バイトスワップ] 100 : (5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101 : (6) (5) (8) (7) (2) (1) (4) (3) [ロングワード-バイトスワップ] 110 : (7) (8) (5) (6) (3) (4) (1) (2) [ロングワード-ワードスワップ] 111 : (8) (7) (6) (5) (4) (3) (2) (1) [ロングワード-ワード-バイトスワップ]
7	-	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	DINRINI	0	R/W	無効	入力画像データライン再開時アドレス初期化設定 入力画像データライン停止カウントオン時のみ有効です。 データライン再開コマンドに1ライトする前に設定してください。 0 : 入力画像データライン再開時、転送アドレスを初期化しません。 1 : 入力画像データライン再開時、転送アドレスを初期化します。
5	DINRCM D	0	R/W	無効	入力画像データライン再開コマンド 入力画像データライン停止カウントオン時のみ有効です。 1に設定することで、入力画像データの読み込みを再開します。 読み出すと常に0が読み出されます。
4	DINLC	0	R/W	無効	入力画像データライン停止カウントモード設定 0 : 入力画像データライン停止カウントオフ 1 : 入力画像データライン停止カウントオン
3	-	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
2~0	DINSWA P[2:0]	000	R/W	無効	バイト/ワード/ロングワードスワップ設定 圧縮時の入力画像データがスワップ対象となります。 000 : (1) (2) (3) (4) (5) (6) (7) (8) 001 : (2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010 : (3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011 : (4) (3) (2) (1) (8) (7) (6) (5) [ワード-バイトスワップ] 100 : (5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101 : (6) (5) (8) (7) (2) (1) (4) (3) [ロングワード-バイトスワップ] 110 : (7) (8) (5) (6) (3) (4) (1) (2) [ロングワード-ワードスワップ] 111 : (8) (7) (6) (5) (4) (3) (2) (1) [ロングワード-ワード-バイトスワップ]

41.2.19 JPEG インタフェース圧縮ソースアドレスレジスタ (JIFESA)

JIFESA は、入力画像データのソースアドレスを設定するレジスタです。本レジスタは、8 バイト単位で設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ESA[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮) :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W (伸長) :	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ESA[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮) :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W (伸長) :	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~3	ESA[31:3]	H'0000	R/W	無効	入力画像データのソースアドレス設定 (8 バイト単位)
2~0	ESA[2:0]	0000	R		下位 3 ビットは必ず 0 としてください。

41.2.20 JPEG インタフェース圧縮ラインオフセットレジスタ (JIFESOFST)

JIFESOFST は、入力画像データのラインオフセットを設定するレジスタです（「41.3.4 画像データ格納」参照）。

本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮)：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W (伸長)：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ESMW[14:0]														
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮)：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W (伸長)：	R	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31～15	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14～3	ESMW [14:3]	H'0000	R/W	無効	入力画像データのラインオフセットを設定します。(8バイト単位) 下位3ビットは必ず0としてください。
2～0	ESMW [2:0]		R		

41.2.21 JPEG インタフェース圧縮デスティネーションアドレスレジスタ (JIFEDA)

JIFEDA は、出力符号データのデスティネーションアドレスを設定するレジスタです。

本レジスタは、8 バイト単位で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EDA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮):	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W (伸長):	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EDA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮):	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W (伸長):	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~3	EDA[31:3]	H'0000	R/W	無効	出力符号データのデスティネーションアドレス設定 (8 バイト単位) 下位 3 ビットは必ず 0 としてください。
2~0	EDA[2:0]	0000	R		

41.2.22 JPEG インタフェース圧縮ソースラインカウントレジスタ (JIFESLC)

JIFESLC は、入力画像データライン停止カウントオン (JIFECNT の DINLC ビット=1) 時の入力画像データライン数を設定するレジスタです。本レジスタは、8 ライン単位で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W (圧縮):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W (伸長):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LINES[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W (圧縮):	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W (伸長):	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~16	-	H'FFF8	R		リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
15~3	LINES[15:3]	H'FFF8	R/W	無効	入力画像データの読み出すライン数を設定してください。(8 ライン単位) 下位 3 ビットは必ず 0 としてください。
2~0	LINES[2:0]		R		

41.2.23 JPEG インタフェース伸長制御レジスタ (JIFDCNT)

JIFDCNT は、伸長処理を制御するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	VINTER[1:0]	HINTER[1:0]	OPF[1:0]	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮) :	R	R	無効	無効	無効	無効	無効	無効	R	R	R	R	R	R	R	R
R/W (伸長) :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	JINRINI	JINRCMD	JINC	—	JINSWAP[2:0]	—	DOUTRINI	DOUTRCMD	DOUTLC	—	DOUTSWAP[2:0]	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮) :	R	無効	無効	無効	R	無効	無効	無効	R	無効	無効	無効	R	無効	無効	無効
R/W (伸長) :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31、30	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
29、28	VINTER [1:0]	00	無効	R/W	垂直方向間引き設定 出力画像データの垂直方向を間引きします。 00 : 間引きなし 01 : 1/2 に間引き 10 : 1/4 に間引き 11 : 1/8 に間引き
27、26	HINTER [1:0]	00	無効	R/W	水平方向間引き設定 出力画像データの水平方向を間引きします。 00 : 間引きなし 01 : 1/2 に間引き 10 : 1/4 に間引き 11 : 1/8 に間引き
25、24	OPF[1:0]	00	無効	R/W	出力画像データのピクセルフォーマットを指定します。 00 : YCbCr422 01 : ARGB8888 10 : RGB565 11 : 設定禁止
23~15	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14	JINRINI	0	無効	R/W	入力符号データ再開時アドレス初期化設定 入力符号データ停止カウントオン時のみ有効です。 データ再開コマンドに1ライトする前に設定してください。 0 : 入力符号データ再開時、転送アドレスを初期化しません。 1 : 入力符号データ再開時、転送アドレスを初期化します。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
13	JINRCMD	0	無効	R/W	入力符号データ再開コマンド 入力符号データ停止カウントオン時のみ有効です。 1 に設定することで、入力符号データの読み出しを再開します。 読み出すと常に 0 が読み出されます。
12	JINC	0	無効	R/W	入力符号データ停止カウント設定 0 : 入力符号データ停止カウントオフ 1 : 入力符号データ停止カウントオン
11	-	0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
10~8	JINSWAP [2:0]	000	無効	R/W	バイト/ワード/ロングワードスワップ設定 伸長時の入力符号データがスワップ対象となります。 000 : (1) (2) (3) (4) (5) (6) (7) (8) 001 : (2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010 : (3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011 : (4) (3) (2) (1) (8) (7) (6) (5) [ワード-バイトスワップ] 100 : (5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101 : (6) (5) (8) (7) (2) (1) (4) (3) [ロングワード-バイトスワップ] 110 : (7) (8) (5) (6) (3) (4) (1) (2) [ロングワード-ワードスワップ] 111 : (8) (7) (6) (5) (4) (3) (2) (1) [ロングワード-ワード-バイトスワップ]
7	-	0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
6	DOUtrin I	0	無効	R/W	出力画像データライン再開時アドレス初期化設定 出力画像データライン停止カウントオン時のみ有効です。 データライン再開コマンドに 1 ライトする前に設定してください。 0 : 出力画像データライン再開時、転送アドレスを初期化しません。 1 : 出力画像データライン再開時、転送アドレスを初期化します。
5	DOUtrc MD	0	無効	R/W	出力画像データライン再開コマンド 出力画像データライン停止カウントオン時のみ有効です。 1 に設定することで、画像データの書き込みを再開します。 読み出すと常に 0 が読み出されます。
4	DOUtlc	0	無効	R/W	出力画像データライン停止カウント設定 0 : 出力画像データライン停止カウントオフ 1 : 出力画像データライン停止カウントオン
3	-	0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
2~0	DOUTSW AP[2:0]	000	無効	R/W	バイト/ワード/ロングワードスワップ設定 伸長時の出力画像データがスワップ対象となります。 000 : (1) (2) (3) (4) (5) (6) (7) (8) 001 : (2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010 : (3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011 : (4) (3) (2) (1) (8) (7) (6) (5) [ワード-バイトスワップ] 100 : (5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101 : (6) (5) (8) (7) (2) (1) (4) (3) [ロングワード-バイトスワップ] 110 : (7) (8) (5) (6) (3) (4) (1) (2) [ロングワード-ワードスワップ] 111 : (8) (7) (6) (5) (4) (3) (2) (1) [ロングワード-ワード-バイトスワップ]

41.2.24 JPEG インタフェース伸長ソースアドレスレジスタ (JIFDSA)

JIFDSA は、入力符号データのソースアドレスを設定します。本レジスタは、8 バイト単位で設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSA[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮) :	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W (伸長) :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSA[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮) :	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W (伸長) :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~3	DSA[31:3]	H'0000 0000	無効	R/W	入力符号データのソースアドレス設定 (8 バイト単位)
2~0	DSA[2:0]			R	下位 3 ビットは必ず 0 としてください。

41.2.25 JPEG インタフェース伸長ラインオフセットレジスタ (JIFDDOFST)

JIFDDOFST は、出力画像データのラインオフセットを設定するレジスタです（「41.3.4 画像データ格納」参照）。

本レジスタは、8 バイト単位で設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮) :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W (伸長) :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	DDMW[14:0]														
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮) :	R	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W (伸長) :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~15	-	すべて 0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
14~3	DDMW [14:3]	H'0000	無効	R/W	出力画像データのラインオフセットを設定します。(8 バイト単位) 下位 3 ビットは必ず 0 としてください。
2~0	DDMW [2:0]			R	

41.2.26 JPEG インタフェース伸長デスティネーションアドレスレジスタ (JIFDDA)

JIFDDA は、出力画像データのデスティネーションアドレスを設定するレジスタです。本レジスタは、8 バイト単位で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮):	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W (伸長):	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮):	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W (伸長):	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~3	DDA[31:3]	H'0000	無効	R/W	出力画像データのデスティネーションアドレス設定 (8 バイト単位)
2~0	DDA[2:0]	0000		R	下位 3 ビットは必ず 0 としてください。

41.2.27 JPEG インタフェース伸長ソースデータカウントレジスタ (JIFSDC)

JIFSDC は、入力符号データ停止カウントオン (JIFDCNT の JINC ビット=1) 時の入力符号データ数を設定するレジスタです。本レジスタは、8 バイト単位で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W (圧縮):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W (伸長):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JDATAS[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W (圧縮):	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W (伸長):	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~16	-	H'FFF 8		R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
15~3	JDATAS [15:3]	H'FFF 8	無効	R/W	入力符号データの読み出すデータ数を設定してください。(8 バイト単位)
2~0	JDATAS [2:0]			R	下位 3 ビットは必ず 0 としてください。

41.2.28 JPEG インタフェース伸長デスティネーションラインカウントレジスタ (JIFDDLC)

JIFDDLC は、出力画像データライン停止カウントオン (JIFDCNT の DOUTLC ビット=1) 時の出力画像データライン数を設定するレジスタです。本レジスタは、出力画像データライン数が MCU 単位となるように設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
R/W (圧縮) :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W (伸長) :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LINES[15:0]															
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W (圧縮) :	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W (伸長) :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~16	-	H'FFF8	R		リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
15~3 2~0	LINES[15:3] LINES[2:0]	H'FFF8	無効	R/W R	出力画像データの書き出すライン数を設定してください。出力画像データライン数が MCU 単位となるように設定してください。YCbCr444、YCbCr422、YCbCr411 出力時は、本設定値×1 が出力画像データライン数となります。YCbCr420 出力時は、本設定値×2 が出力画像データライン数となります。 下位3ビットは必ず0としてください。

41.2.29 JPEG インタフェース伸長 設定レジスタ (JIFDADT)

JIFDADT は、ARGB8888 形式で出力する際の の値を設定するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮) :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W (伸長) :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ALPHA[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮) :	R	R	R	R	R	R	R	R	無効	無効	無効	無効	無効	無効	無効	無効
R/W (伸長) :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~8	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	ALPHA [7:0]	H'00	無効	R/W	ARGB8888 形式で出力する際の の値を設定します。

41.2.30 JPEG 割り込みイネーブルレジスタ 1 (JINTE1)

JINTE1 は、割り込み許可を設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W (伸長):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CBTEN	DINLEN	—	—	DBTEN	JINEN	DOULEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮):	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	無効	無効	無効
R/W (伸長):	R	R	R	R	R	R	R	R	R	無効	無効	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~7	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	CBTEN	0	R/W	無効	JINTS1のCBTFビットが1セットされたとき、データ転送処理割り込み要求(JDTI)を許可/禁止します。 0: 割り込み要求の禁止 1: 割り込み要求の許可
5	DINLEN	0	R/W	無効	JINTS1のDINLFビットが1セットされたとき、データ転送処理割り込み要求(JDTI)を許可/禁止します。 0: 割り込み要求の禁止 1: 割り込み要求の許可
4、3	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2	DBTEN	0	無効	R/W	JINTS1のDBTFビットが1セットされたとき、データ転送処理割り込み要求(JDTI)を許可/禁止します。 0: 割り込み要求の禁止 1: 割り込み要求の許可
1	JINEN	0	無効	R/W	JINTS1のJINFビットが1セットされたとき、データ転送処理割り込み要求(JDTI)を許可/禁止します。 0: 割り込み要求の禁止 1: 割り込み要求の許可
0	DOULEN	0	無効	R/W	JINTS1のDOULFビットが1セットされたとき、データ転送処理割り込み要求(JDTI)を許可/禁止します。 0: 割り込み要求の禁止 1: 割り込み要求の許可

41.2.31 JPEG 割り込みステータスレジスタ 1 (JINTS1)

JINTS1 は、割り込み発生の原因を判別するレジスタです。

本レジスタの割り込み要因は、0 書き込みによるクリアを行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W (伸長):	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CBTF	DINLF	—	—	DBTF	JINF	DOU TLF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W (圧縮):	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R	R	無効	無効	無効
R/W (伸長):	R	R	R	R	R	R	R	R	R	無効	無効	R	R	R/W*	R/W*	R/W*

【注】* 読み出し値が1のビットのみ0 書き込みによるクリアを行ってください。
読み出し値が0のビットには1を書き込んでください。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31~7	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み値は必ず0にしてください。
6	CBTF	0	R/W*	無効	圧縮時、最終出力符号データを書き出したとき1に設定されます。
5	DINLF	0	R/W*	無効	圧縮時、入力画像データを JIFESLC に示すライン数分読み出したとき、1に設定されます。 JIFECNT の DINLC ビット=1 の時のみ有効となります。
4, 3	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み値は必ず0にしてください。
2	DBTF	0	無効	R/W*	伸長時、最終出力画像データを書き出したとき1に設定されます。
1	JINF	0	無効	R/W*	伸長時、入力符号データを JIFSDSC に示すデータ数分読み出したとき、1に設定されます。 JIFDCNT の JINC ビット=1 の時のみ有効となります。
0	DOU TLF	0	無効	R/W*	伸長時、出力画像データを JIFDLC に示すライン数分書き出したとき、1に設定されます。 JIFDCNT の DOU TLF ビット=1 の時のみ有効となります。

【注】* 読み出し値が1のビットのみ0 書き込みによるクリアを行ってください。
読み出し値が0のビットには1を書き込んでください。

41.3 動作説明

41.3.1 圧縮

(1) 処理概要

圧縮処理の動作フローは、以下のようになります。

1. JPEGコア起動

マーカ出力（マーカ出力終了後、画像データ入力可能）

SOI～SOSマーカ作成に約30,000サイクル必要とします。

2. 外部バッファから本モジュールに画像データをMCUごとに転送

入力画像データライン停止カウントオン設定時は、JIFESLCで設定したライン数分の画像データ読み出し完了ごとに、読み込みを停止します。JIFECNTのDINRCMDビットに1セットすることで、読み出しを再開します。

読み出し先のアドレスは、JIFECNTのDINRINIビット = 0設定時、前回転送アドレスの続きから再開します。

DINRINIビット = 1設定時は、JIFESAに設定したアドレスから再開します。

また、1画面分の画像データ転送終了時にも読み込みを停止します。

入力画像データライン停止カウントオフ設定時は、1画面分の画像データが終了するまで読み出します。

3. JPEGコア部へ画像データ入力

JPEGコアでは、MCU単位で随時処理

4. 本モジュールから外部バッファに符号データを転送

出力符号データ停止カウントオフ設定時は、1画面分の符号データが終了するまで書き込みます。

5. 1画面分のデータ処理終了で圧縮完了

(2) フローチャート (圧縮)

(a) 初期設定

JPEG コア設定、入出力バッファ設定、外部バッファに画像データを準備した後、JCCMD の JSRT ビットに 1 を設定し、本モジュールを起動します。起動後、JPEG マーカヘッダ部 (SOI~SOS) を生成し出力しますが、マーカヘッダ部生成には約 30,000 サイクル掛かります。

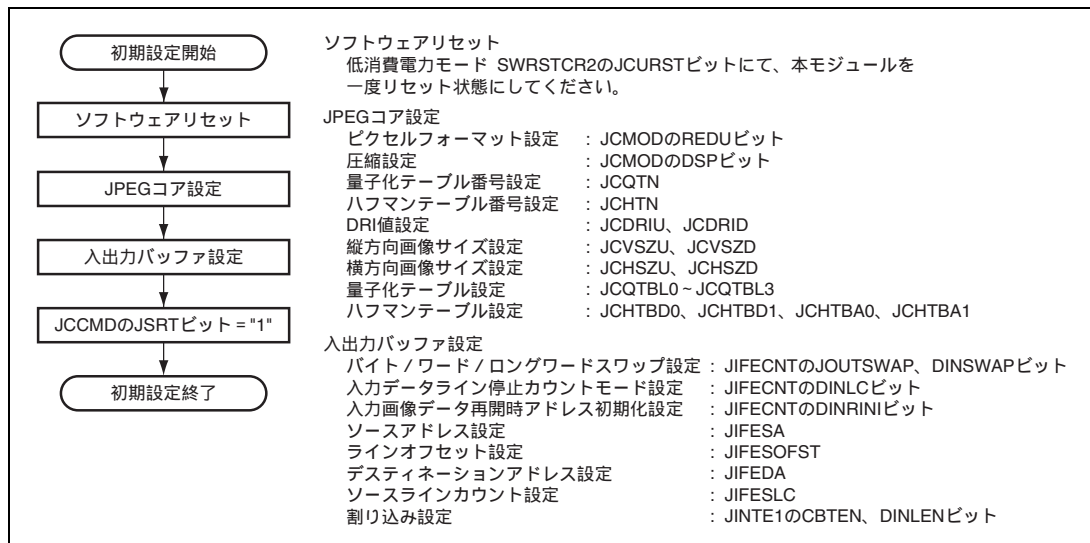


図41.2 圧縮初期設定フロー

(b) 圧縮処理

圧縮処理時のフローを下記に示します。

- JPEGコアで圧縮処理が終了すると、割り込みステータスJINTS0のINS6ビットが1に設定されます。ただし、符号データの転送が残っているため本モジュールは処理を継続しています。最終符号データの転送が終了するとJINTS1のCBTFビットにも1が設定されます。割り込み要因は、INTS6ビットに0ライトすることでクリアされます。ただし、本割り込み要因でアサートされた割り込み要求は、INTS6ビットに0ライトしてもクリアされません。割り込み要求解除コマンドを設定し (JCCMDのJENDビットに1を設定)、割り込み要求をクリアしてください。
- 圧縮処理が終了し、全符号データの転送が終了すると、割り込みステータスJINTS1のCBTFフラグが1に設定されます。JINTE1のCBTENビットを1に設定している場合、割り込みが発生します。CBTFに0書き込みすることで、割り込み要因はクリアされます。

- 入力画像データライン停止カウントオン設定時は、JIFESLCで設定したライン数分の画像データ読み出しを終了すると、JINTS1のDINLFFフラグが1に設定され、読み込みを停止します。JINTE1のDINLENビットを1に設定している場合、割り込みが発生します。DINLENビットに0書き込みすることで、割り込み要因はクリアされます。

JIFECNTのDINRCMDビットに1セットすることで、読み出しを再開します。

読み出し先のアドレスは、JIFECNTのDINRINIビット = 0設定時、前回転送アドレスの続きから再開します。

DINRINIビット = 1設定時は、JIFESAに設定したアドレスから再開します。

(c) データ補正

出力符号データを8で割った余りが1~6バイトの時、余りの1~6バイトの転送が正常に行われないことがあります。正常に転送が行われない場合、余りの1~6バイトは、JPEG インタフェース圧縮デスティネーションアドレスレジスタ (JIFEDA) が示すアドレスに上書きライトされます。*

そのため、出力符号データの転送が正常に行なわれたか確認し、正常に転送が行なわれていない場合はデータを補正する必要があります。

【注】* 本モジュールは出力符号データを16bit単位で扱います。

そのため、符号データが奇数符号長の場合、最終符号はH'D9FFを出力します。(H'FFを付加します)

余りが1,3,5バイトの時、余りのデータ(1,3,5バイト)+H'FFがJIFEDAに示すアドレスに上書きライトされます。

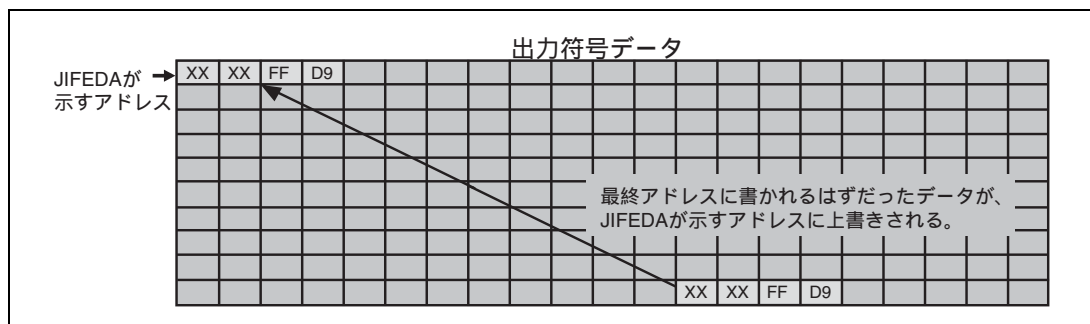


図41.3 出力符号データ異常転送イメージ図

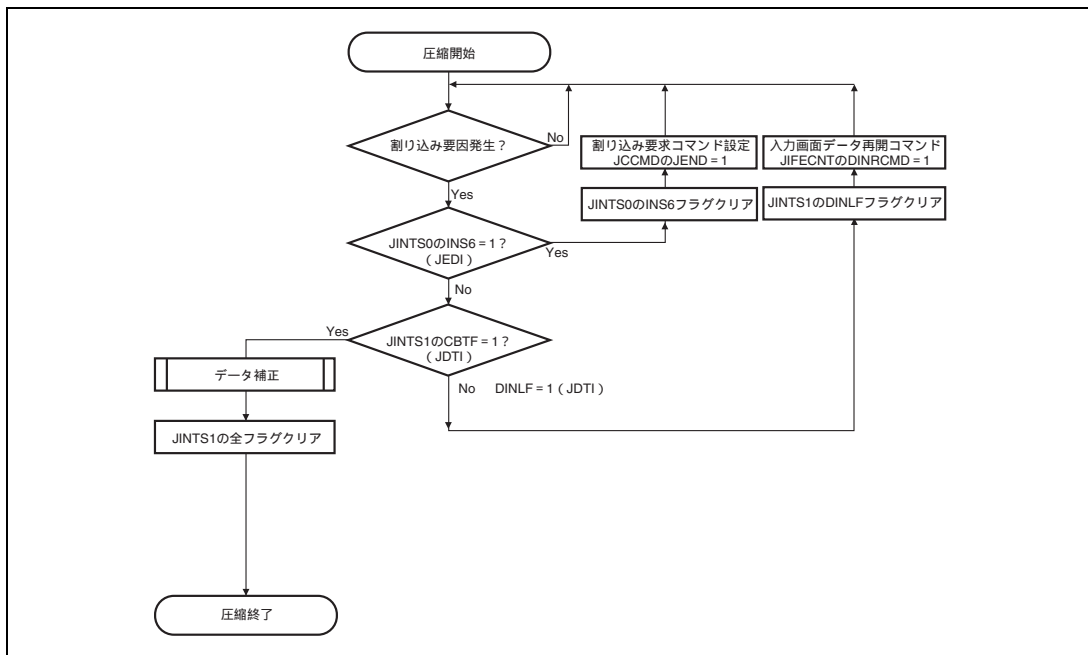


図41.4 圧縮処理フロー

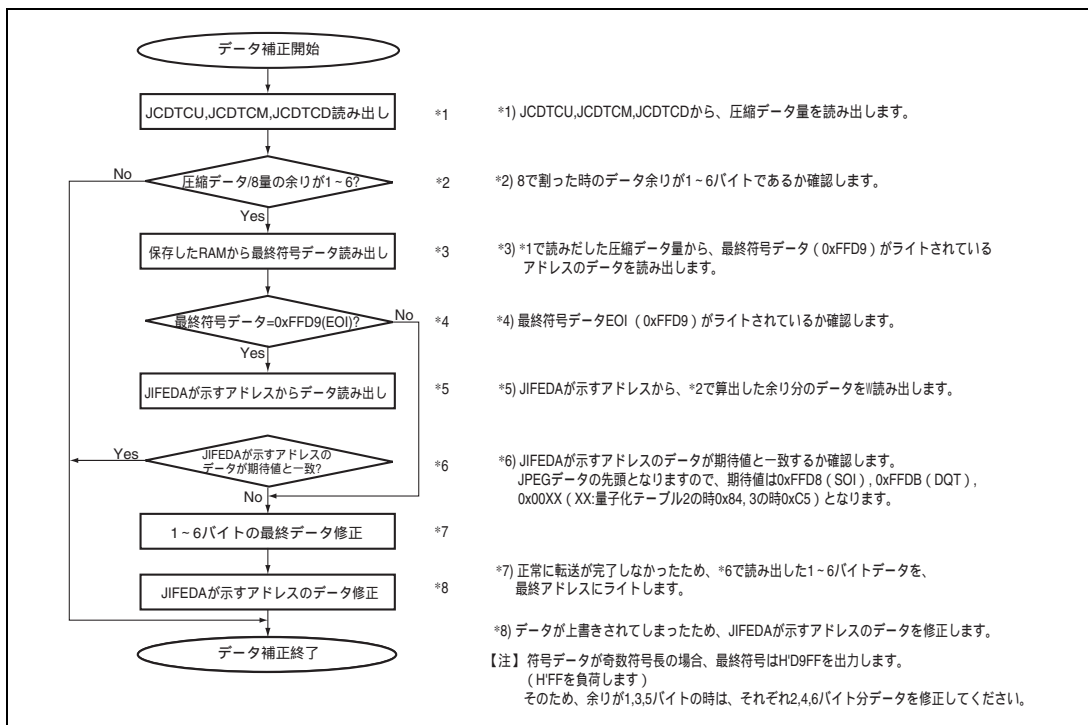


図41.5 データ補正フロー

(3) JPEG 符号データ FORMAT

圧縮時、出力されるデータストリームの構成を図 41.4 に示します。SOI ~ EOI までの符号データ量は JCDTCU、JCDTCM、JCDTCD に示されます。また、JCDRIU、JCDRID がともに H'0000 0000 に設定している場合、下記のマーカは出力されません。

- DRIマーカ
- RSTマーカ (圧縮画像データ内)

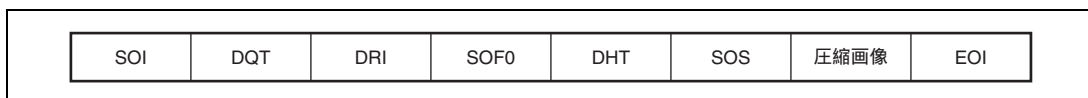


図41.6 JPEG 符号データフォーマット

DQT : 使用していないテーブルについては出力されません。

DHT : 出力順はDC0、AC0、DC1、AC1。使用していないテーブルについては出力されません。

SOF0 : 成分識別子は、C1 = 第一色成分、C2 = 第二色成分、C3 = 第三色成分となります。

SOS : スキャン成分セクタは、CS1 = 第一色成分、CS2 = 第二色成分、CS3 = 第三色成分となります。

各ヘッダ容量 (参考)

- SOI : 2バイト (FFD8)
- DQT : 量子化テーブル2枚使用時134バイト、3枚使用時199バイト (1枚増減で±65バイト)
- DRI : 6バイト
- SOF0 : 19バイト (4:2:2)
- DHT : 420バイト (2枚使用時)
- SOS : 14バイト (4:2:2)
- EOI : 2バイト (FFD9)

(4) テーブル設定

(a) 量子化テーブル設定

8×8 ブロックのアドレス順とレジスタアドレス順が対応しています。本モジュール処理中の本テーブルへのアクセスは禁止です。

表41.2 量子化テーブル

00	01	02	03	04	05	06	07
08	09	0A	0B	0C	0D	0E	0F
10	11	12	13	14	15	16	17
18	19	1A	1B	1C	1D	1E	1F
20	21	22	23	24	25	26	27
28	29	2A	2B	2C	2D	2E	2F
30	31	32	33	34	35	36	37
38	39	3A	3B	3C	3D	3E	3F

JCQTBL0 (H'E801 7100) = H'00

JCQTBL0 (H'E801 7101) = H'01

JCQTBL0 (H'E801 7102) = H'02

JCQTBL0 (H'E801 7103) = H'03

:

JCQTBL0 (H'E801 713F) = H'3F

(b) ハフマンテーブル設定

JPEG 勧告 ITU-T T81 付属書 K.3.3 記載のハフマンテーブル設定方法

圧縮処理時は全グループ番号に対してハフマン符号が生成できるように、必ず以下の設定を符号数分行ってください。

- DCハフマンテーブル：符号長ごとの符号数 = 12符号、発生頻度順のグループ番号 = 12個
 - ACハフマンテーブル：符号長ごとの符号数 = 162符号、発生頻度順のゼロラン長 / グループ番号 = 162個
- また、本モジュール処理中の本テーブルへのアクセスは禁止です。特にリードアクセスも禁止となります。

• 表K.3/T81

JCHTBD0 (H'E801 7200) = H'00

JCHTBD0 (H'E801 7201) = H'01

JCHTBD0 (H'E801 7202) = H'05

JCHTBD0 (H'E801 7203) = H'01

:

JCHTBD0 (H'E801 721B) = H'0B

• 表K.4/T81

JCHTBD1 (H'E801 7300) = H'00

JCHTBD1 (H'E801 7301) = H'03

JCHTBD1 (H'E801 7302) = H'01

JCHTBD1 (H'E801 7303) = H'01

:

JCHTBD1 (H'E801 731B) = H'0B

• 表K.5/T81

JCHTBA0 (H'E801 7220) = H'00

JCHTBA0 (H'E801 7221) = H'02

JCHTBA0 (H'E801 7222) = H'01

JCHTBA0 (H'E801 7223) = H'03

:

JCHTBA0 (H'E801 72D1) = H'FA

• 表K.6/T81

JCHTBA1 (H'E801 7320) = H'00

JCHTBA1 (H'E801 7321) = H'02

JCHTBA1 (H'E801 7322) = H'01

JCHTBA1 (H'E801 7323) = H'02

:

JCHTBA1 (H'E801 73D1) = H'FA

(5) 入力ピクセルフォーマット

本モジュールは、YCbCr422 形式で作成された画像を入力することが出来ます。

YCbCr422 形式のデータ配置は、JIFECNT の DINSWAP ビットにより下記のように変更することが可能です。

• DINSWAPビット = 000時

b63	b56	b55	b48	b47	b40	b39	b32	b31	b24	b23	b16	b15	b8	b7	b0
Y0 8bit	Cb0 8bit		Y1 8bit		Cr0 8bit		Y2 8bit		Cb1 8bit		Y3 8bit		Cr1 8bit		

• DINSWAPビット = 001時

b63	b56	b55	b48	b47	b40	b39	b32	b31	b24	b23	b16	b15	b8	b7	b0
Cb0 8bit		Y0 8bit		Cr0 8bit		Y1 8bit		Cb1 8bit		Y2 8bit		Cr1 8bit		Y3 8bit	

• DINSWAPビット = 010時

b63	b56	b55	b48	b47	b40	b39	b32	b31	b24	b23	b16	b15	b8	b7	b0
Y1 8bit		Cr0 8bit		Y0 8bit		Cb0 8bit		Y3 8bit		Cr1 8bit		Y2 8bit		Cb1 8bit	

• DINSWAPビット = 100時

b63	b56	b55	b48	b47	b40	b39	b32	b31	b24	b23	b16	b15	b8	b7	b0
Y2 8bit		Cb1 8bit		Y3 8bit		Cr1 8bit		Y0 8bit		Cb0 8bit		Y1 8bit		Cr0 8bit	

- DINSWAPビット = 101時

b63	b56	b55	b48	b47	b40	b39	b32	b31	b24	b23	b16	b15	b8	b7	b0
Cb1 8bit	Y2 8bit	Cr1 8bit	Y3 8bit	Cb0 8bit	Y0 8bit	Cr0 8bit	Y1 8bit								

- DINSWAPビット = 110時

b63	b56	b55	b48	b47	b40	b39	b32	b31	b24	b23	b16	b15	b8	b7	b0
Y3 8bit	Cr1 8bit	Y2 8bit	Cb1 8bit	Y1 8bit	Cr0 8bit	Y0 8bit	Cb0 8bit								

- DINSWAPビット = 111時

b63	b56	b55	b48	b47	b40	b39	b32	b31	b24	b23	b16	b15	b8	b7	b0
Cr1 8bit	Y3 8bit	Cb1 8bit	Y2 8bit	Cr0 8bit	Y1 8bit	Cb0 8bit	Y0 8bit								

(6) 出力符号データ

圧縮時、符号データを出力します。本モジュールは出力符号データを 16bit 単位で扱います。そのため、符号データが奇数符号長（端数）になった場合、最終符号は'H'D9FF を出力します。出力符号データのデータ配置は、JIFECNT の JOUTSWAP ビットにより変更することが可能です。

41.3.2 伸長

(1) 処理概要

伸長処理の動作フローは、以下のようになります。

1. JPEGコア起動

2. 外部バッファから本モジュールに符号データを転送

入力符号データ停止カウントオン設定時は、JIFSDCで設定したデータ数分の符号データ読み出し完了ごとに、読み出しを停止します。JIFDCNTのJINRCMDビットに1セットすることで、読み出しを再開します。読み出し先のアドレスは、JIFDCNTのJINRINIビット=0設定時、前回転送アドレスの続きから再開します。JINRINIビット=1設定時は、JIFDSAに設定したアドレスから再開します。また、符号終端検出時にも読み出しを停止します。

入力符号データ停止カウントオフ設定時は、符号終端検出するまで読み出します。

本モジュールは、符合終端が未検出である限り符号データを読み続けるため、符号データサイズ以上の読み出しを行う可能性があります。

3. JPEGコア部へ符号データ入力

JPEGコアでは、MCU単位で随時処理

4. 本モジュールから外部バッファに画像データをMCUごとに転送

出力画像データライン停止カウントオン設定時は、JIFDDLで設定したライン数分の画像データ書き込み完了ごとに、書き込みを停止します。JIFDCNTのDOUTCMDビットに1セットすることで、書き込みを再開します。

書き込み先のアドレスは、JIFDCNTのDOUINTRINIビット = 0設定時、前回転送アドレスの続きから再開します。

DOUINTRINIビット = 1設定時は、JIFDDAに設定したアドレスから再開します。

また、1画面分の画像データ転送終了時にも書き込みを停止します。

出力画像データライン停止カウントオフ設定時は、1画面分の画像データが終了するまで書き込みます。

5. 1画面分のデータ処理終了で伸長完了

(a) 初期設定

- JINTE0のINT3ビットを0に設定している場合

JPEGコア設定、入出力バッファ設定、外部バッファに符号データを準備した後、JCCMDのJSRTビットに1を設定し、本モジュールを起動します。

- JINTE0のINT3ビットを1に設定している場合

JPEGコア設定、入力バッファ設定、外部バッファに符号データを準備した後、JCCMDのJSRTビットに1を設定し、本モジュールを起動します。

符号データを伸長後、画像サイズ/ピクセルフォーマットを読み出し可能となったとき、JINTS0のINS3が設定されます。伸長処理は一時停止します。

画像サイズ/ピクセルフォーマットを読み出した後、出力バッファ設定を行います。

割り込み処理を行った後、JCCMDのJRSTビットを1に設定することで、伸長処理を再開します。

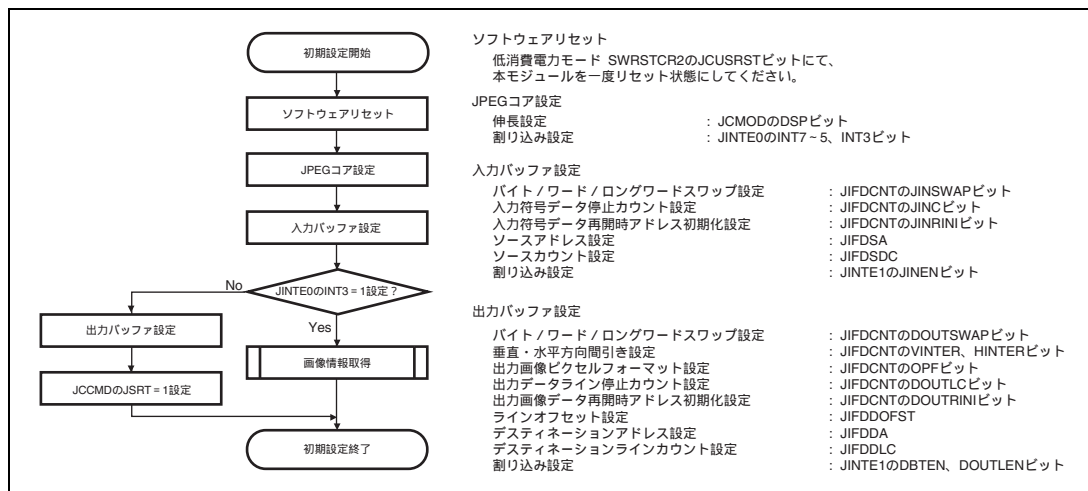


図41.7 伸長初期設定フロー

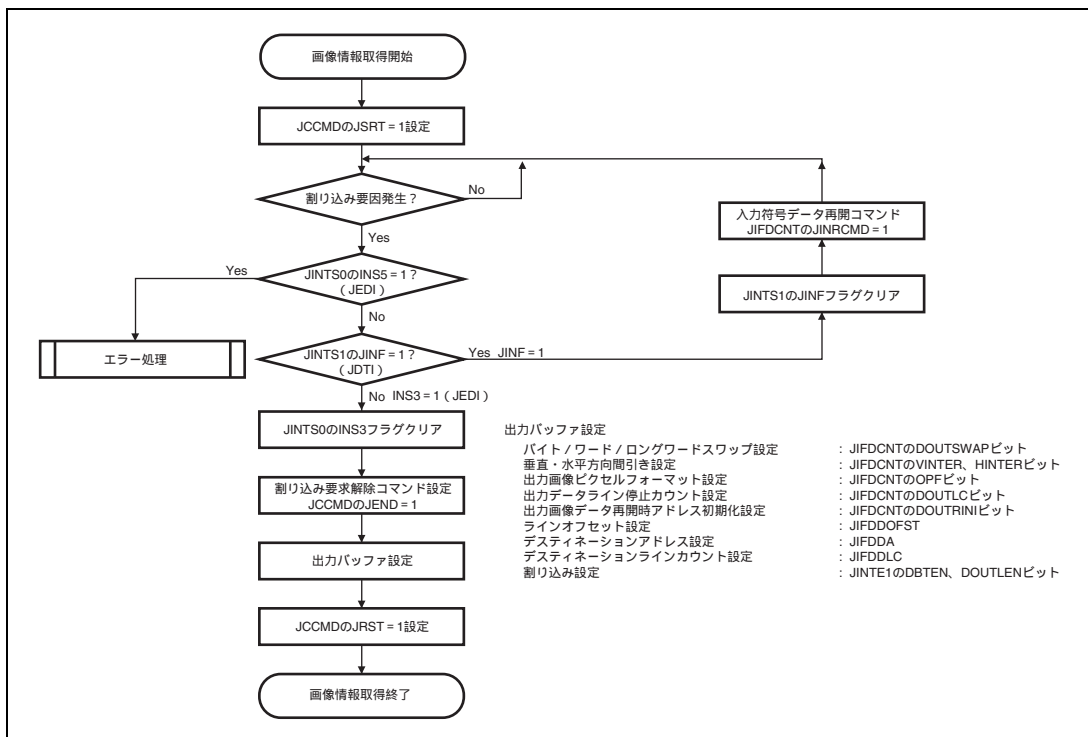


図41.8 画像情報取得フロー

(b) 伸長処理

伸長処理時のフローを下記に示します。

- JPEGコアで伸長処理が終了すると、割り込みステータスJINTS0のINS6ビットが1に設定されます。ただし、画像データの転送が残っているため本モジュールは処理を継続しています。最終画像データの転送が終了するとJINTS1のDBTFビットにも1が設定されます。割り込み要因は、INTS6ビットに0ライトすることでクリアされます。ただし、本割り込み要因でアサートされた割り込み要求は、INTS6ビットに0ライトしてもクリアされません。割り込み要求解除コマンドを設定し（JCCMDのJENDビットに1を設定）、割り込み要求をクリアしてください。
- 伸長処理が終了し、全画像データの転送が終了すると、割り込みステータスJINTS1のDBTFフラグが1に設定されます。JINTE1のDBTENビットが1に設定されている場合、割り込みが発生します。DBTFに0書き込みすることで、割り込み要因はクリアされます。
- 入力符号データ停止カウントオン設定時は、JIFSDCで設定したデータ数分の符号データ読み出しを終了すると、JINTS1のJINFフラグが1に設定され、読み込みを停止します。JINTE1のJINENビットを1に設定している場合、割り込みが発生します。JINFビットに0書き込みすることで、割り込み要因はクリアされます。JIFDCNTのJINRCMDビットに1セットすることで、読み出しを再開します。
読み出し先のアドレスは、JIFDCNTのJINRINIビット=0設定時、前回転送アドレスの続きから再開します。JINRINIビット=1設定時は、JIFDSAに設定したアドレスから再開します。
- 出力画像データ停止カウントオン設定時は、JIFDDLで設定したライン数分画像データ書き込みを終了すると、JINT1のDOUFLFフラグが1に設定され、書き込みを停止します。JINTE1のDOUFLNビットを1に設定している場合、割り込みが発生します。DOUFLFビットに0書き込みすることで、割り込み要因はクリアされます。
JIFDCNTのDOUTRCMDビットに1セットすることで、書き込みを再開します。
書き込み先のアドレスは、JIFDCNTのDOUTRINIビット=0設定時、前回転送アドレスの続きから再開します。DOUTRINIビット=1設定時は、JIFDDAに設定したアドレスから再開します。

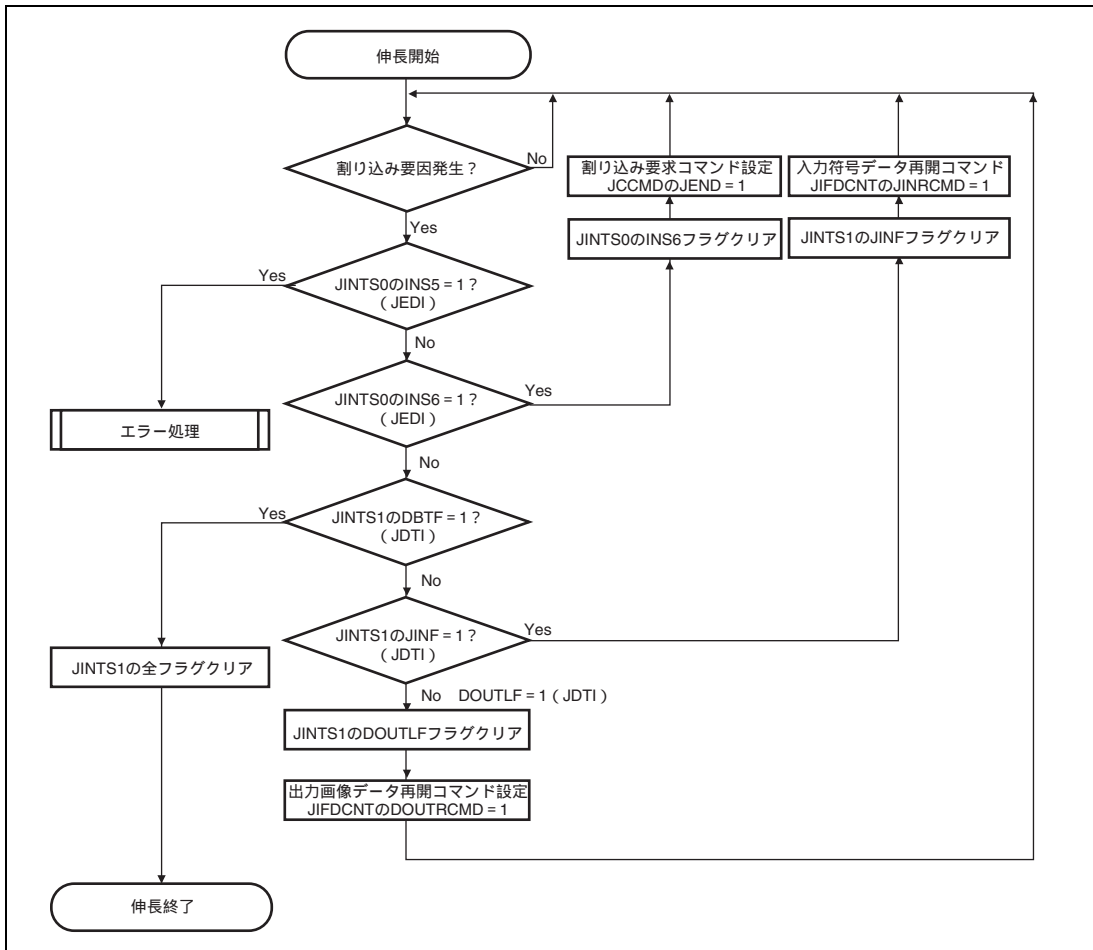


図41.9 伸長処理フロー

(c) エラー処理

割り込みステータス JINTS0 の INS5 ビットが 1 の場合、入力された JPEG 符号データに問題があり、本モジュールは伸長処理を終了しております。JCDERR の ERR ビットを読み出し、エラー要因を判定してください。本割り込み要因でアサートされた割り込み信号は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し (JCCMD の JEND ビットに 1 を設定)、割り込み要求をクリアしてください。エラー処理終了後に伸長・圧縮処理を行なう場合は、初期設定から処理を行なってください。

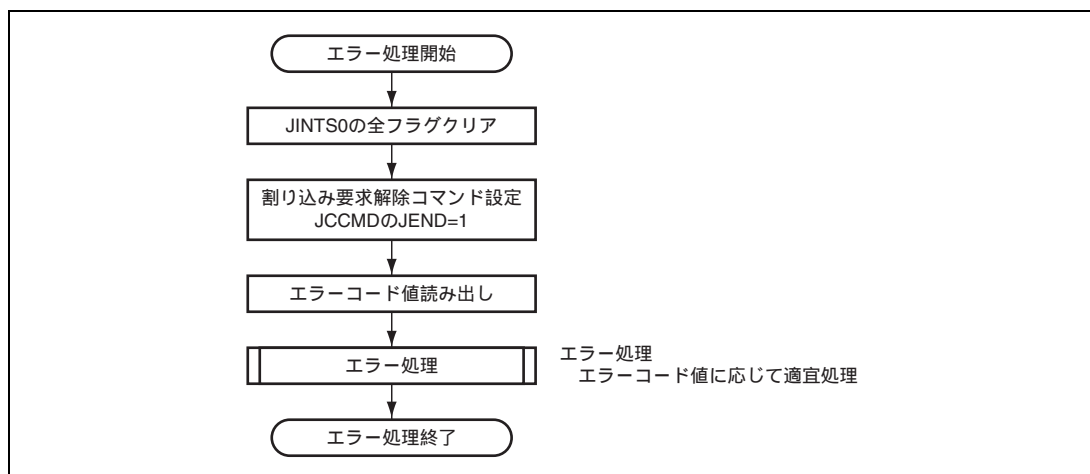


図41.10 エラー処理フロー

(2) 入力 JPEG 符号データ

伸長処理時の処理対象マーカは、SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、EOI です。その他のマーカは次項に示すエラー対象マーカ以外、検出しても読み飛ばします。

入力符号データのデータ配置は、JIFDCNT の JINSWAP ビットにより変更することが可能です。

(3) JPEG 伸長エラー

(a) エラーマーカ

伸長処理時、圧縮データ解析でマーカエラーが発生した場合、エラー種類をコードにて判別し、JCDERR の ERR ビットに表 41.3 に示すコード値を設定します。本モジュールは、エラー検出すると割り込み信号を発生し、処理を終了します。格納されるコード値は、次フレームの処理を行う際の処理開始およびバスリセットでデフォルト値 (B'1010) となります。

表41.3 伸長エラーコード

コード値 (CODE)	エラー内容
B'0000	正常
B'0001	SOI 未検出。EOI 検出まで SOI 未検出
B'0010	SOF1 - SOFF の検出
B'0011	対象外のピクセルフォーマットを検出
B'0100	SOF 精度異常。「8」以外を検出
B'0101	DQT 精度異常。「0」以外を検出
B'0110	コンポーネント異常 1。SOF0 ヘッダのコンポーネント数が「1」「3」「4」以外を検出
B'0111	コンポーネント異常 2。SOF0 ヘッダのコンポーネント数と SOS のコンポーネント数が異なる場合
B'1000	SOS 検出時に SOF0、DQT、DHT 未検出
B'1001	SOS 未検出。EOI 検出までに SOS 未検出
B'1010	EOI 未検出 (デフォルト)
B'1011	リスタートインターバルデータ数エラーを検出
B'1100	画像サイズエラーを検出
B'1101	最終 MCU データ数エラーを検出
B'1110	ブロックデータ数エラーを検出

(b) ハフマン符号化セグメントエラー

伸長動作時、圧縮データ解析でハフマン符号化セグメントにビット反転やデータ欠落によるエラーで復号データ数の増減が発生した場合、エラー種類を判別し、エラーコードを JCDERR の ERR ビットに設定します。表 41.4 にセグメントエラーコードを示します。JINTE0 の INT7 ~ INT5 の該当ビットに 1 を設定した場合のみ、エラーコードを設定し、割り込み信号を発生させ処理を終了します。格納されるコード値は、次フレームの処理を行う際の処理開始およびバスリセットでデフォルト値 (B'1010) となります。

本エラー検出は、復号データ数の増減を検出するので、ハフマン符号化セグメント内にエラーが存在しても復号データ数に増減が生じない場合、エラー検出されません。

【例】 ピクセルフォーマット設定 YCbCr422、DRI=2、X=80Pixel、Y=8Pixel のハフマン符号化セグメントのデータ数

リスタートインターバル1		リスタートインターバル2		リスタートインターバル3		
SOS	符号化セグメント	RST	符号化セグメント	RST	符号化セグメント	EOI

・最終MCUデータ数 : ピクセルフォーマット設定はYCbCr422で、1MCU分の復号データ数は256となります。
 ・リスタートインターバルデータ数 : リスタートインターバル1、2には、2MCU分のデータが存在するので、復号データ数は512となります。
 ・画像サイズ : 総復号データ数は1280となります。

図41.11 ハフマン符号化セグメント

表41.4 セグメントエラーコード

コード値 (CODE)	エラー内容
B'0000	正常
B'1011	リスタートインターバルデータ数エラーは、DRI マーカセグメントに規定されるデータ数と各インターバルのデータ数を比較し、一致しないインターバルを検出した場合、伸長エラーCODE[1011]を設定します。リスタートインターバル間隔に満たない最終インターバルは対象外です。 DRI マーカセグメントが存在しない場合や、規定値が"00"の場合は、RSTm マーカが存在してもエラー検出しません。また、RSTm マーカモジュロ 8 の m 順番 (m=0~7) もエラー検出対象外です。 JINTE0 の INT7 ビットに 0 を設定すると、本エラー検出を行いません。
B'1100	画像サイズエラーは、フレームパラメータに規定されるライン数、ライン数当たりのサンプル数より算出した画像データ数および SOS ~ EOI までの総データ数 (ピクセル単位) を比較し一致しない場合、伸長エラーCODE[1100]を設定します。JINTE0 の INT6 ビットに 0 を設定すると、本エラー検出を行いません。画像データ数は MCU 単位となりますので、算出の際のライン数とライン数当たりのサンプル数は MCU 単位にまで切り上げます。
B'1101	最終 MCU データ数エラーは、EOI 検出時の MCU データ数が MCU 単位となっているかチェックし、端数の有無を検出します。CODE[1100]が同時発生したときは、CODE[1100]が優先されます。 JINTE0 の INT5 ビットに 0 を設定すると、本エラー検出を行いません。
B'1110	ブロックデータ数エラーは、1 ブロックが 8×8 単位となっているかチェックし、端数の有無を検出します。JINTE0 の INT7 ~ INT5 ビットにすべて 0 を設定すると、本エラー検出を行いません。

41.3.3 伸長時の出力ピクセルフォーマット

本モジュールは、YCbCr444、YCbCr422、YCbCr411、YCbCr420 形式で作成された JPEG 符号データを伸長することが出来ます。ただし、出力画像のピクセルフォーマットは YCbCr422、ARGB8888、RGB565 となります。伸長したデータを出力ピクセルフォーマットに変換する流れを下記に示します。

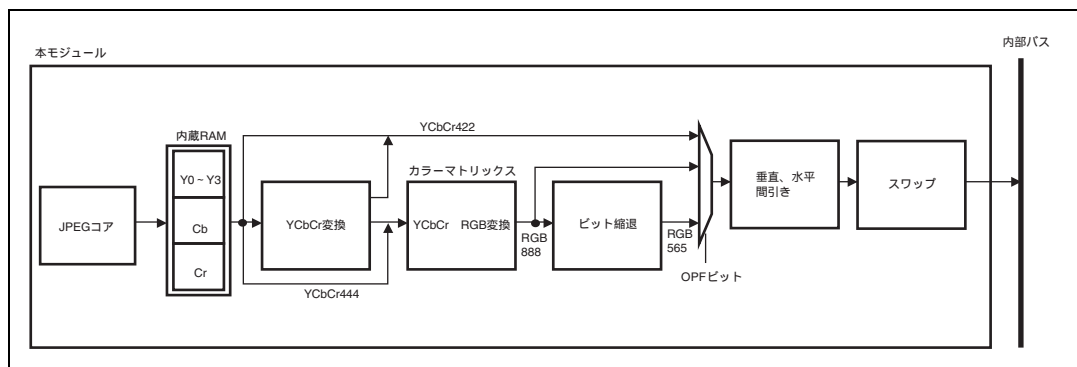


図41.12 伸長時の出力ピクセルフォーマット変換ブロック図

(1) 内蔵 RAM

JPEG コアにてデコードされたデータを、本モジュールに内蔵している RAM に MCU 単位で格納していきます。

(2) YCbCr 変換

ARGB8888、RGB565 出力時は、YCbCr422、YCbCr411、YCbCr420 形式のデータを YCbCr444 形式に変換します。YCbCr422 出力時は、YCbCr444、YCbCr411、YCbCr420 形式のデータを YCbCr422 形式に変換します。変換方法は単純補間で行います。

(3) YCbCr RGB 変換

YCbCr444 形式のデータを RGB888 形式に変換します。

演算式は下記となります。

$$R = 1.000Y + 1.402Cr$$

$$G = 1.000Y - 0.344Cb - 0.714Cr$$

$$B = 1.000Y + 1.772Cb$$

(4) ビット縮退

RGB888 を RGB565 に縮退します。Red,Blue の下位 3 ビット、Green の下位 2 ビットを削除します。

(5) 出力ピクセルフォーマット選択

JIFDCNT の OPF ビットにより、出力するピクセルフォーマットを選択します。

ピクセルフォーマットのデータ配置 (JIFDCNT の DOUTSWAP = 000 設定時) は下記になります。

- YCbCr422(32bit/pixel)

b31	b24	b23	b16	b15	b8	b7	b0
Y0 8bit	Cb 8bit	Y1 8bit	Cr 8bit				

- ARGB8888(32bit/pixel)

b31	b24	b23	b16	b15	b8	b7	b0
*	Red 8bit	Green 8bit	Blue 8bit				

【注】 * JIFDADT の ALPHA[7:0]で指定された値

- RGB565(16bit/pixel)

b15	b11	b10	b5	B4	b0
Red 5bit	Green 6bit	Blue 5bit			

(6) 垂直・水平間引き

JIFDCNT の VINTER,HINTER ビットにより、出力データを水平・垂直方向に間引くことが出来ます。

間引くラインは図 41.11 ~ 図 41.13 のようになります。

ARGB8888、RGB565 出力時は、1 画素 / 1 マスで表しています。

YCbCr422 出力時は、Y0Cb0Y1Cr0 / 1 マスで表しています。

また、MCU 単位で扱いますので水平・垂直ブロック数は伸長したピクセルフォーマットにより異なります。

n,m の値はそれぞれ下記のようになります。

[水平方向]

表41.5 水平ブロック数

圧縮形式	出力形式	n
YCbCr444	YCbCr422	1/2
YCbCr444	ARGB8888、RGB565	1
YCbCr422	YCbCr422	1
YCbCr422	ARGB8888、RGB565	2
YCbCr411	YCbCr422	2
YCbCr411	ARGB8888、RGB565	4
YCbCr420	YCbCr422	1
YCbCr420	ARGB8888、RGB565	2

[垂直方向]

表41.6 垂直ブロック数

圧縮形式	出力形式	m
YCbCr444	YCbCr422	1
YCbCr444	ARGB8888、RGB565	1
YCbCr422	YCbCr422	1
YCbCr422	ARGB8888、RGB565	1
YCbCr411	YCbCr422	1
YCbCr411	ARGB8888、RGB565	1
YCbCr420	YCbCr422	2
YCbCr420	ARGB8888、RGB565	2

- 1/2間引き

偶数ラインを間引きます。

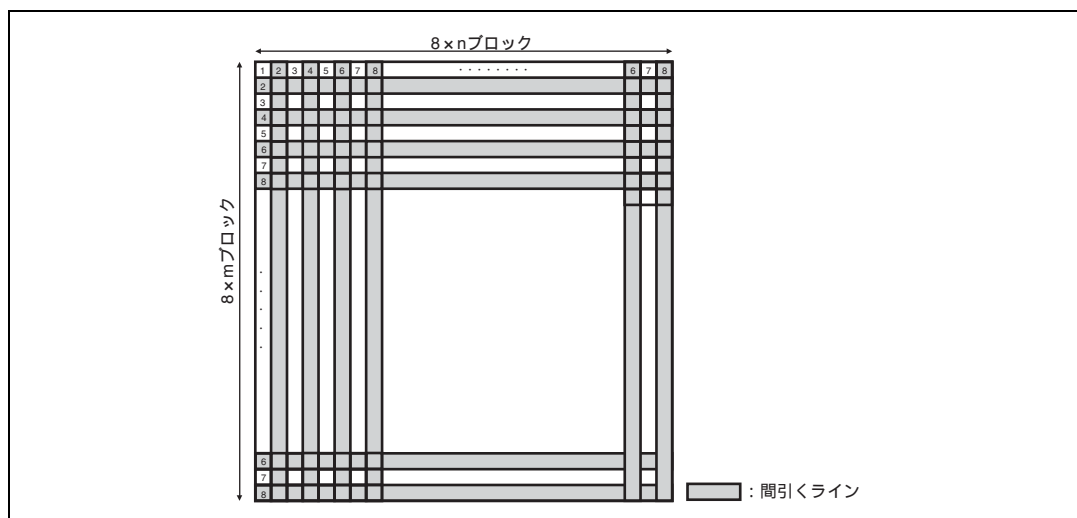


図41.13 1/2間引き選択時のMCU図

- 1/4間引き

2、3、4ライン目を間引きます。

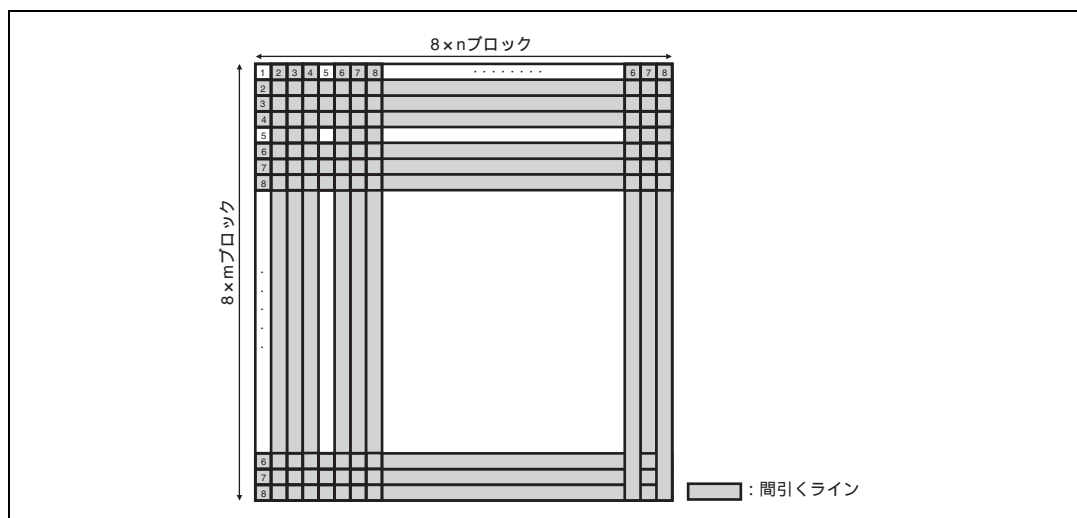


図41.14 1/4間引き選択時のMCU図

- 1/8間引き
- 2、3、4、5、6、7、8 ライン目を間引きます。

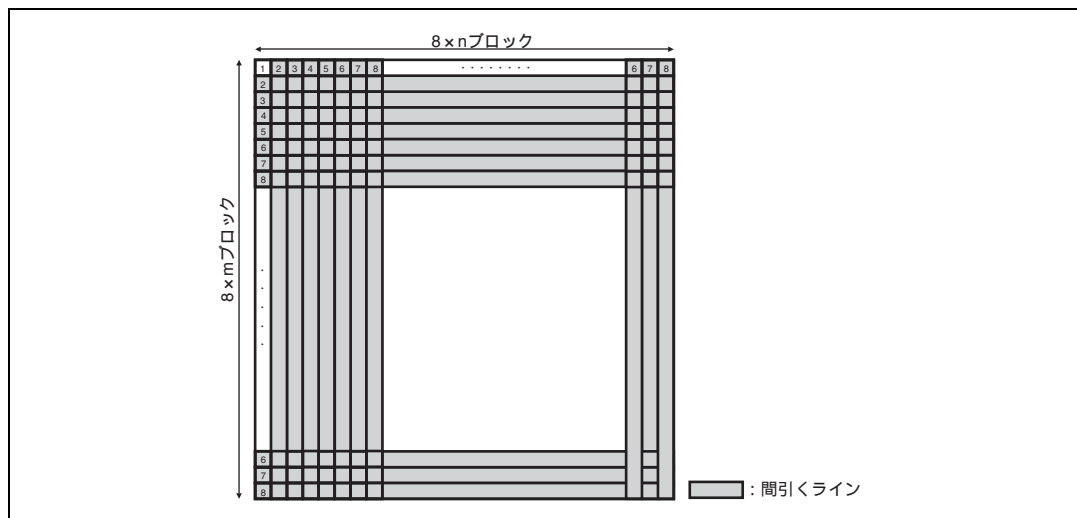


図41.15 1/8 間引き選択時の MCU 図

(7) スワップ

JIFDCNT の DOUTSWAP ビットによりデータ配置を変更することが可能です。

41.3.4 画像データ格納

下記に画像データのバッファへの格納図を示します。

スタートアドレス 圧縮：JIFESA、伸長：JIFDDA

水平方向サイズ 圧縮、伸長：JCHSZU、JCHSZD

垂直方向サイズ 圧縮、伸長：JCVSZU、JCVSZD

オフセット 圧縮：JIFESOFST、伸長 JIFDDOFST

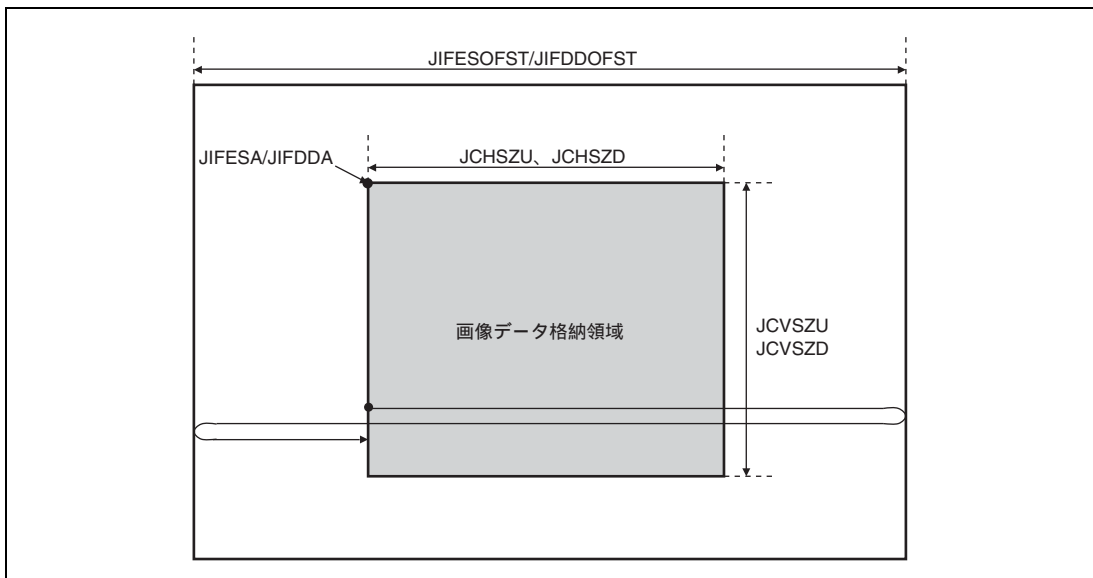


図41.16 画像データ格納イメージ

41.4 割り込み

本モジュールは、圧縮伸長処理割り込み要求 (JEDI) およびデータ転送割り込み要求 (JDTI) の 2 種類の割り込み要求を持っています。圧縮伸長処理割り込み要求は圧縮 / 伸長処理関連、データ転送割り込み要求はデータ転送関連の割り込み要因に分類されます。割り込み要因により割り込み要求の解除方法が異なります。

41.4.1 圧縮伸長処理割り込み要求 (JEDI)

割り込みステータス JINTS0 のフラグは、圧縮伸長処理による割り込み要因です。本割り込み要因でアサートされた割り込み要求は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し (JCCMD の JEND ビットに 1 を設定)、割り込み要求をクリアしてください。割り込みステータス JINTS0 のフラグが 1 セットされると、割り込みコントローラに圧縮伸長処理割り込み要求を出力します。

(1) 圧縮

- JPEG 圧縮処理終了

割り込みステータス JINTS0 の INS6 ビットが 1 の場合、JPEG 圧縮処理が終了しています。符号データの転送が完了すると、圧縮処理は終了します。

(2) 伸長

- JPEG 伸長処理終了

割り込みステータス JINTS0 の INS6 ビットが 1 の場合、JPEG 伸長処理が終了しています。画像データの転送が完了すると、伸長処理は終了します。

- JPEG 伸長エラー発生

割り込みステータス JINTS0 の INS5 ビットが 1 の場合、入力された JPEG 符号データに問題があり、伸長処理を終了しています。エラーコード (JCDERR の ERR ビット) を読み出し、エラー要因を判定してください。本割り込みは、割り込み設定 JINTE0 の INT7、INT6、INT5 に 1 が設定されている場合に発生します。

- 画像サイズ / ピクセルフォーマット情報読み出しリクエスト

割り込みステータス JINTS0 の INS3 ビットが 1 の場合、JPEG 符号データが入力され、ピクセルフォーマット、画像サイズ情報の読み出しが可能となっています。JPEG 伸長処理は一時停止状態なので、各レジスタアクセス後、処理停止解除コマンドを設定し、JPEG 伸長処理を再開させてください。本割り込みは、割り込み設定 JINTE0 の INT3 ビットに 1 が設定されている場合に発生します。

41.4.2 データ転送処理割り込み要求 (JDTI)

割り込みステータス JINTS1 のフラグは、画像 / 符号データ転送関連の割り込み要因です。本割り込み要因でアサートされた割り込み要求は、割り込みステータス書き込みクリアによりネゲートされます。

(1) 圧縮

- 入力画像設定ライン分読み出し終了で発生

割り込みステータス JINTS1 の DINLF ビットが 1 の場合、JIFESLC で設定したライン数分の画像データ転送を終了していることを示します。外部バッファに次の画像データを用意し、外部バッファからの転送処理再開を行ってください。割り込み設定 JINTE1 の DINLEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。

- 全処理終了で発生

割り込みステータス JINTS1 の CBTF ビットが 1 の場合、圧縮処理が終了し、全符号データの転送が終了しています。割り込み設定 JINTE1 の CBTEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。

(2) 伸長

- 出力画像設定ライン分書き込み終了で発生

割り込みステータス JINTS1 の DOUTLF ビットが 1 の場合、JIFDDLDC で設定したライン数分の画像データ転送を終了していることを示します。外部バッファに次の画像データ空き領域を用意し、転送処理再開を行ってください。割り込み設定 JINTE1 の DOUTLEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。

- 入力符号設定データ分読み出し終了で発生

割り込みステータス JINTS1 の JINF ビットが 1 の場合、JIFSDC で設定した符号データ数の転送を終了していることを示します。外部バッファに次の符号データを用意し、外部バッファからの転送処理再開を行ってください。割り込み設定 JINTE1 の JINEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。

- 全処理終了で発生

割り込みステータス JINTS1 の DBTF ビットが 1 の場合、伸長処理が終了し、全画像データの転送が終了していることを示します。割り込み設定 JINTE1 の DBTEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。

41.5 バスリセット処理

バスリセットコマンドを発行 (JCCMD の BRST ビットに 1 を設定) することにより、バスリセットが実行されます。動作中はバスリセットコマンドを発行しないでください。

バスリセットを入れることにより、下記のレジスタが初期化されます。

- JPEGコードデータカウント上位レジスタ (JCDTCU)
- JPEGコードデータカウント中位レジスタ (JCDTCM)
- JPEGコードデータカウント下位レジスタ (JCDTCD)
- JPEG割り込みステータスレジスタ0 (JINTS0)
- JPEGコードデコードエラーレジスタ (JCDERR)
- JPEGコード再起動レジスタ (JCRST)

41.6 使用上の注意事項

41.6.1 ピクセルフォーマット YCbCr

本モジュールでは、ピクセルフォーマット YCbCr444、422、411、420 の CbCr 入出力値を $-128 \sim 127$ の範囲で扱います。一方、ディスプレイコントローラ 4 は CbCr 入出力値を $0 \sim 255$ の範囲で扱います。したがって、本モジュールとビデオディスプレイコントローラ 4 間で、ピクセルフォーマット YCbCr のデータ受け渡しを行う場合は、CbCr 値に $-128 / +128$ の補正を行ってください。

42. サンプリングレートコンバータ

サンプリングレートコンバータは、WMA/MP3/AACなどの各種デコーダで生成されたデータのサンプリングレートを変換するモジュールです。

42.1 特長

- データ形式：16ビット（ステレオ/モノラル）
- サンプリングレート
 - 入力：8kHz、11.025kHz、12kHz、16kHz、22.05kHz、24kHz、32kHz、44.1kHz、48kHzから選択可能
 - 出力：8kHz*、16kHz*、32kHz、44.1kHz、48kHzから選択可能（*：入力44.1kHz選択時のみ）
- 処理性能：1サンプルの出力間隔は、最大約14 μ s（P0 = 33MHz）
- SNR：80db以上
- 割り込み要因：5種類
 - 入力データFIFOエンプティ、出力データFIFOフル、出力データFIFOオーバライト、出力データFIFOアンダフロー、変換処理終了
- DMA転送要因：2種類
 - 入力データFIFOエンプティ、出力データFIFOフル
- モジュールスタンバイモード
 - 不使用時に本モジュールへのクロック供給を停止することにより、消費電力の低減が可能

図 42.1 にブロック図を示します。

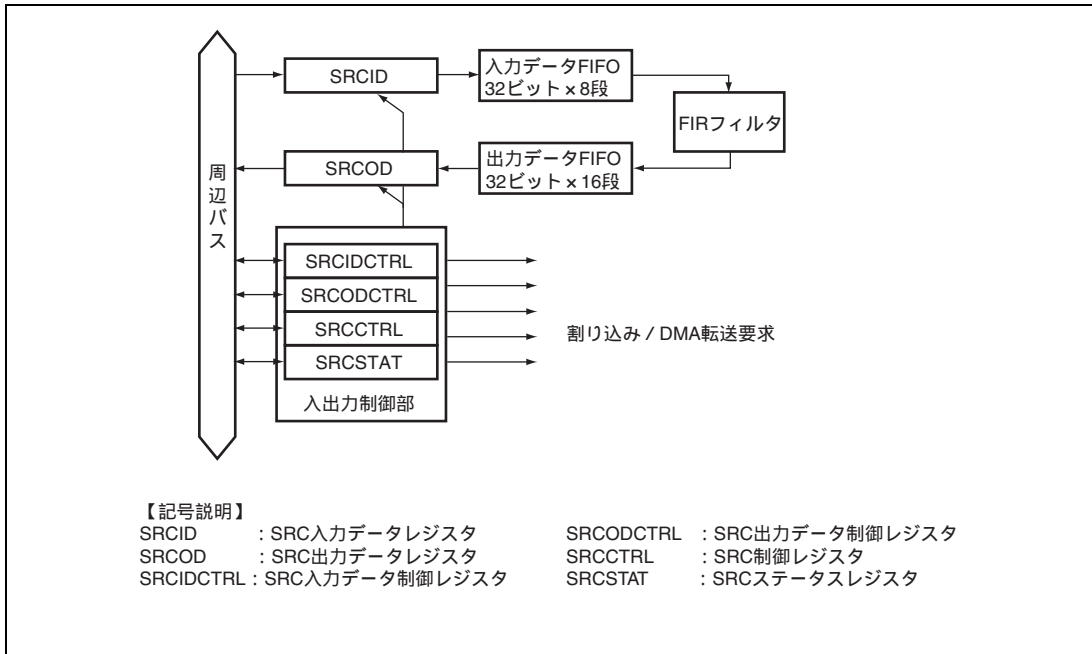


図 42.1 ブロック図

42.2 レジスタの説明

表 42.1 にレジスタ構成を示します。

表 42.1 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	入力データレジスタ_0	SRCID_0	R/W	H'00000000	H'FFFE7000	16、32
	出力データレジスタ_0	SRCOD_0	R	H'00000000	H'FFFE7004	16、32
	入力データ制御レジスタ_0	SRCIDCTRL_0	R/W	H'0000	H'FFFE7008	16
	出力データ制御レジスタ_0	SRCODCTRL_0	R/W	H'0000	H'FFFE700A	16
	制御レジスタ_0	SRCCTRL_0	R/W	H'0000	H'FFFE700C	16
	ステータスレジスタ_0	SRCSTAT_0	R/(W)*	H'0002	H'FFFE700E	16
1	入力データレジスタ_1	SRCID_1	R/W	H'00000000	H'FFFE7800	16、32
	出力データレジスタ_1	SRCOD_1	R	H'00000000	H'FFFE7804	16、32
	入力データ制御レジスタ_1	SRCIDCTRL_1	R/W	H'0000	H'FFFE7808	16
	出力データ制御レジスタ_1	SRCODCTRL_1	R/W	H'0000	H'FFFE780A	16
	制御レジスタ_1	SRCCTRL_1	R/W	H'0000	H'FFFE780C	16
	ステータスレジスタ_1	SRCSTAT_1	R/(W)*	H'0002	H'FFFE780E	16
2	入力データレジスタ_2	SRCID_2	R/W	H'00000000	H'FFFE8000	16、32
	出力データレジスタ_2	SRCOD_2	R	H'00000000	H'FFFE8004	16、32
	入力データ制御レジスタ_2	SRCIDCTRL_2	R/W	H'0000	H'FFFE8008	16
	出力データ制御レジスタ_2	SRCODCTRL_2	R/W	H'0000	H'FFFE800A	16
	制御レジスタ_2	SRCCTRL_2	R/W	H'0000	H'FFFE800C	16
	ステータスレジスタ_2	SRCSTAT_2	R/(W)*	H'0002	H'FFFE800E	16

【注】 * ビット 15～6、4 は読み出しのみ可能です。また、ビット 5、3 は 1 を読み出した後の 0 書き込みのみ可能です。

42.2.1 入力データレジスタ (SRCID)

SRCID は、32 ビットの読み出し / 書き込み可能なレジスタで、サンプリングレート変換前のデータの入力に用います。すべてのビットは読み出すと 0 が読み出されます。SRCID へ書き込まれたデータは、8 段の入力データ FIFO に格納されます。入力データ FIFO のデータ数が 8 のときは、SRCID への書き込みは無効になります。

ステレオデータの場合、ビット 31~16 には Lch のデータ、ビット 15~0 には Rch のデータを格納します。モノラルデータの場合、ビット 31~16 に格納されたデータが有効となり、ビット 15~0 に格納されたデータは無効となります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

変換処理の対象となるデータは、SRCIDCTRL の IED ビットの設定値によりアラインメントが異なります。表 42.2 に SRCIDCTRL の IED ビットの設定値とデータのアラインメントの関係を示します。

表 42.2 変換データのアラインメント

IED	Lch[15:8]	Lch[7:0]	Rch[15:8]	Rch[7:0]
0	SRCID[31:24]	SRCID[23:16]	SRCID[15:8]	SRCID[7:0]
1	SRCID[23:16]	SRCID[31:24]	SRCID[7:0]	SRCID[15:8]

42.2.2 出力データレジスタ (SRCOD)

SRCOD は、32 ビットの読み出し可能なレジスタで、サンプリングレート変換後のデータの出力に用います。16 段の出力データ FIFO に格納されたデータを SRCOD から読み出すことができます。変換処理の開始以降、出力データ FIFO のデータ数が 0 のときは、前回と同じ値が読み出されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

SRCOD の内容は、SRCODCTRL の OCH、OED ビットの設定値によりアラインメントが異なります。表 42.3 に SRCODCTRL の OCH、OED ビットの設定値と SRCOD に格納されるデータのアラインメントの関係を示します。

表 42.3 SRCOD のアラインメント

OCH	OED	SRCOD[31:24]	SRCOD[23:16]	SRCOD[15:8]	SRCOD[7:0]
0	0	Lch[15:8]	Lch[7:0]	Rch[15:8]*2	Rch[7:0]*2
	1	Lch[7:0]	Lch[15:8]	Rch[7:0]*2	Rch[15:8]*2
1*1	0	Rch[15:8]	Rch[7:0]	Lch[15:8]	Lch[7:0]
	1	Rch[7:0]	Rch[15:8]	Lch[7:0]	Lch[15:8]

【注】 *1 モノラルデータを処理する場合は設定しないでください。

*2 モノラルデータを処理する場合は無効なデータとなります。

42.2.3 入力データ制御レジスタ (SRCIDCTRL)

SRCIDCTRL は、16 ビットの読み出し / 書き込み可能なレジスタで、入力データのエンディアン形式、割り込み要求の許可 / 禁止、トリガデータ数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	IED	IEN	-	-	-	-	-	-	-	IFTRG[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	IED	0	R/W	入力データエンディアン指定 入力データのエンディアン形式を指定します。 0: ビッグエンディアン 1: リトルエンディアン
8	IEN	0	R/W	入力データエンptyインタラプトイネーブル 入力 FIFO のデータ数が IFTRG[1:0] ビットで設定されたトリガ数以下になり、ステータスレジスタ (SRCSTAT) の IINT ビットが 1 にセットされたときに、入力データエンpty割り込み要求の発生を許可 / 禁止します。 0: 入力データエンpty割り込み要求を禁止 1: 入力データエンpty割り込み要求を許可
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	IFTRG[1:0]	00	R/W	入力 FIFO データ数トリガ ステータスレジスタ (SRCSTAT) の IINT ビットをセットする条件を指定します。入力 FIFO に格納された入力データ数が以下に示す設定トリガ数以下になったとき、IINT ビットは 1 にセットされます。 00: 0 01: 2 10: 4 11: 6

42.2.4 出力データ制御レジスタ (SRCODCTRL)

SRCODCTRL は、16 ビットの読み出し / 書き込み可能なレジスタで、出力データのチャンネル入れ替え、エンディアン形式、割り込み要求の許可 / 禁止、トリガデータ数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	OCH	OED	OEN	-	-	-	-	-	-	-	OFTRG[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	OCH	0	R/W	出力データチャンネルスワップ 出力データレジスタ (SRCOD) のチャンネル入れ替えを指定します。モノラルデータを変換する場合は 1 に設定しないでください。 0: チャンネルを入れ替えない (入力データの順と同じにする) 1: チャンネルを入れ替える (入力データの順と逆にする)
9	OED	0	R/W	出力データエンディアン指定 出力データのエンディアン形式を指定します。 0: ビッグエンディアン 1: リトルエンディアン
8	OEN	0	R/W	出力データフルインタラプトイネーブル 出力 FIFO のデータ数が OFTRG[1:0] ビットで設定されたトリガ数以上になり、ステータスレジスタ (SRCSTAT) の OINT ビットがセットされたときに、出力データフル割り込み要求の発生を許可 / 禁止します。 0: 出力データフル割り込み要求を禁止 1: 出力データフル割り込み要求を許可
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	OFTRG[1:0]	00	R/W	出力 FIFO データ数トリガ ステータスレジスタ (SRCSTAT) の OINT ビットをセットする条件を指定します。出力 FIFO に格納された出力データ数が以下に示す設定トリガ数以上になったとき、OINT ビットは 1 にセットされます。 00: 1 01: 4 10: 8 11: 12

42.2.5 制御レジスタ (SRCCTRL)

SRCCTRL は、16 ビットの読み出し / 書き込み可能なレジスタで、モジュール動作の許可 / 禁止、割り込み要求の許可 / 禁止、フラッシュ処理、内部ワークメモリのクリア処理、入力および出力サンプリングレートを設定します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	CEEN	SRCEN	UDEN	OVEN	FL	CL	IFS[3:0]			-	OFS[2:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明												
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。												
13	CEEN	0	R/W	変換処理終了インタラプトイネーブル フラッシュ処理が終了した後、すべての出力データが読み出され、ステータスレジスタ (SRCSTAT) の CEF ビットが 1 にセットされたときに、変換処理終了割り込み要求の発生を許可 / 禁止します。 0 : 変換処理終了割り込み要求を禁止 1 : 変換処理終了割り込み要求を許可												
12	SRCEN	0	R/W	モジュールイネーブル 本モジュールのモジュール動作の許可 / 禁止を設定します。SRCEN = 0 のときに 1 を書き込むと、内部ワークメモ리를クリアします。 0 : 本モジュール動作を禁止 1 : 本モジュール動作を許可 【注】SRCEN = 1 のときは、下記ビットの設定値を変更しないでください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>レジスタ</th> <th>ビット</th> <th>ビット名</th> </tr> </thead> <tbody> <tr> <td>SRCIDCTRL</td> <td>9</td> <td>IED</td> </tr> <tr> <td>SRCODCTRL</td> <td>10, 9</td> <td>OCH, OED</td> </tr> <tr> <td>SRCCTRL</td> <td>7~4, 2~0</td> <td>IFS[3:0], OFS[2:0]</td> </tr> </tbody> </table>	レジスタ	ビット	ビット名	SRCIDCTRL	9	IED	SRCODCTRL	10, 9	OCH, OED	SRCCTRL	7~4, 2~0	IFS[3:0], OFS[2:0]
レジスタ	ビット	ビット名														
SRCIDCTRL	9	IED														
SRCODCTRL	10, 9	OCH, OED														
SRCCTRL	7~4, 2~0	IFS[3:0], OFS[2:0]														
11	UDEN	0	R/W	出力 FIFO アンダフローインタラプトイネーブル 出力 FIFO のデータ数が 0 の状態で出力データ FIFO の読み出しが発生し、ステータスレジスタ (SRCSTAT) の UDF ビットが 1 にセットされたときに、出力 FIFO アンダフロー割り込み要求の発生を許可 / 禁止します。 0 : 出力 FIFO アンダフロー割り込み要求を禁止 1 : 出力 FIFO アンダフロー割り込み要求を許可												

ビット	ビット名	初期値	R/W	説明																
10	OVEN	0	R/W	<p>出力 FIFO オーバライトインタラプトイネーブル</p> <p>出力 FIFO が満杯の状態でのデータの変換処理が終了し、ステータスレジスタ (SRCSTAT) の OVF ビットが 1 にセットされたときに、出力 FIFO オーバライト割り込み要求の発生を許可 / 禁止します。</p> <p>OVEN = 1 の場合は、出力 FIFO オーバライト割り込みが発生すると、CPU による SRCSTAT へのアクセスで OVF ビットがクリアされるまで、変換処理は停止し、出力データ FIFO に対する変換結果の書き込みも停止します。</p> <p>OVEN = 0 の場合は、出力 FIFO に空きができると自動的に OVF ビットがクリアされ、変換処理を継続できます。</p> <p>0 : 出力 FIFO オーバライト割り込み要求を禁止 1 : 出力 FIFO オーバライト割り込み要求を許可</p>																
9	FL	0	R/W	<p>内部ワークメモリフラッシュ</p> <p>1 を書き込むと、入力 FIFO、入力バッファメモリ、および中間バッファメモリに格納されたすべてのデータに対するサンプリングレート変換の実行 (フラッシュ処理) を開始します。読み出すと常に 0 が読み出されます。SRCEN = 0 のときは、1 を書き込んでもフラッシュ処理を実行しません。</p> <p>また、入力したデータの数が表 42.6 に示す値を下回る状態で FL ビットに 1 を書き込んだ場合は、有効な出力データが得られないため、フラッシュ処理を実行せずに、内部ワークメモリをクリアします。</p>																
8	CL	0	R/W	<p>内部ワークメモリクリア</p> <p>1 を書き込むと、入力 FIFO、出力 FIFO、入力バッファメモリ、中間バッファメモリ、およびアキュムレータをクリアします。読み出すと常に 0 が読み出されます。SRCEN = 0 の場合でも、1 を書き込むとクリアします。</p>																
7~4	IFS[3:0]	0000	R/W	<p>入力サンプリングレート</p> <p>入力サンプリングレートを設定します。</p> <table border="0"> <tr> <td>0000 : 8.0kHz</td> <td>1000 : 32.0kHz</td> </tr> <tr> <td>0001 : 11.025kHz</td> <td>1001 : 44.1kHz</td> </tr> <tr> <td>0010 : 12.0kHz</td> <td>1010 : 48.0kHz</td> </tr> <tr> <td>0011 : 設定禁止</td> <td>1011 : 設定禁止</td> </tr> <tr> <td>0100 : 16.0kHz</td> <td>1100 : 設定禁止</td> </tr> <tr> <td>0101 : 22.05kHz</td> <td>1101 : 設定禁止</td> </tr> <tr> <td>0110 : 24.0kHz</td> <td>1110 : 設定禁止</td> </tr> <tr> <td>0111 : 設定禁止</td> <td>1111 : 設定禁止</td> </tr> </table>	0000 : 8.0kHz	1000 : 32.0kHz	0001 : 11.025kHz	1001 : 44.1kHz	0010 : 12.0kHz	1010 : 48.0kHz	0011 : 設定禁止	1011 : 設定禁止	0100 : 16.0kHz	1100 : 設定禁止	0101 : 22.05kHz	1101 : 設定禁止	0110 : 24.0kHz	1110 : 設定禁止	0111 : 設定禁止	1111 : 設定禁止
0000 : 8.0kHz	1000 : 32.0kHz																			
0001 : 11.025kHz	1001 : 44.1kHz																			
0010 : 12.0kHz	1010 : 48.0kHz																			
0011 : 設定禁止	1011 : 設定禁止																			
0100 : 16.0kHz	1100 : 設定禁止																			
0101 : 22.05kHz	1101 : 設定禁止																			
0110 : 24.0kHz	1110 : 設定禁止																			
0111 : 設定禁止	1111 : 設定禁止																			
3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>																

表 42.6 サンプリングレート設定とフラッシュ処理に必要な入力データ数

OFS 設定値 (出力サンプリング レート[kHz])	IFS 設定値 (入力サンプリングレート[kHz])								
	0000 (8.0)	0001 (11.025)	0010 (12.0)	0100 (16.0)	0101 (22.05)	0110 (24.0)	1000 (32.0)	1001 (44.1)	1010 (48.0)
000 (44.1)	27	24	24	22	16	16	22		1
001 (48.0)	27	24	24	22	16	16	22	32	
010 (32.0)	24	29	24	16	24	16		16	1
100 (8.0)								1	
101 (16.0)								1	

42.2.6 ステータスレジスタ (SRCSTAT)

SRCSTAT は、16 ビットの読み出し/書き込み可能なレジスタで、出力 FIFO および入力 FIFO のデータ数、各割り込み要因の発生状態、フラッシュ処理の実行状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OFDN[4:0]				IFDN[3:0]			-	CEF	FLF	UDF	OVF	IINT	OINT		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R(W)*	R	R(W)*	R(W)*	R(W)*	R(W)*

【注】* 1を読み出した後の0書き込みのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~11	OFDN[4:0]	00000	R	出力 FIFO データカウント 出力 FIFO に格納されたデータの数を示します。
10~7	IFDN[3:0]	0000	R	入力 FIFO データカウント 入力 FIFO に格納されたデータの数を示します。
6	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	CEF	0	R(W)*	変換処理終了フラグ フラッシュ処理が終了した後、すべての出力データが読み出されたことを示します。 [クリア条件] <ul style="list-style-type: none"> • CEF = 1 の状態で CEF を読み出し後、CEF に 0 を書き込んだとき • SRCCTRL の CL ビットに 1 を書き込んだとき • SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき [セット条件] <ul style="list-style-type: none"> • フラッシュ処理が終了した後、出力データ FIFO のデータ数が 0 になったとき

ビット	ビット名	初期値	R/W	説明
4	FLF	0	R	<p>フラッシュ処理ステータスフラグ</p> <p>フラッシュ処理の実行中であることを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> フラッシュ処理が終了したとき SRCCTRL の CL ビットに 1 を書き込んだとき SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> SRCCTRL の FL ビットに 1 を書き込んだとき
3	UDF	0	R/(W)*	<p>出力 FIFO アンダフロー割り込み要求フラグ</p> <p>出力 FIFO のデータ数が 0 のときに、出力データ FIFO の読み出しが発生したことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> UDF = 1 の状態で UDF を読み出し後、UDF に 0 を書き込んだとき SRCCTRL の CL ビットに 1 を書き込んだとき SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> 出力 FIFO のデータ数が 0 の状態で、出力データ FIFO の読み出しが発生したとき
2	OVF	0	R/(W)*	<p>出力 FIFO オーバライト割り込み要求フラグ</p> <p>出力 FIFO が満杯のときに、次のデータの変換処理が終了したことを示します。OVF フラグがクリアされるまで、変換処理は停止します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SRCCTRL の OVEN ビットが 1 の場合に、OVF = 1 の状態で OVF を読み出し後、OVF に 0 を書き込んだとき SRCCTRL の OVEN ビットが 0 の場合に、SRCOD を読み出して出力 FIFO のデータ数が減少したとき SRCCTRL の CL ビットに 1 を書き込んだとき SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> 出力 FIFO が満杯の状態で、次のデータの変換処理が終了したとき

ビット	ビット名	初期値	R/W	説明
1	IINT	1	R/(W)*	<p>入力 FIFO エンプティ割り込み要求フラグ</p> <p>入力 FIFO に格納されたデータ数が SRC 入力データ制御レジスタ (SRCIDCTRL) の IFTRG[1:0]ビットで設定されたトリガ数以下になったことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IINT = 1 の状態で IINT を読み出した後、IINT に 0 を書き込んだとき • DMA 転送により、入力 FIFO のデータ数が設定されたトリガ数を上回ったとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 入力 FIFO に格納されたデータ数が設定されたトリガ数以下になったとき • SRCCTRL の CL ビットに 1 を書き込んだとき • SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき
0	OINT	0	R/(W)*	<p>出力 FIFO フル割り込み要求フラグ</p> <p>出力 FIFO に格納されたデータ数が SRC 出力データ制御レジスタ (SRCODCTRL) の OFTRG[1:0]ビットで設定されたトリガ数以上になったことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • OINT = 1 の状態で OINT を読み出した後、OINT に 0 を書き込んだとき • DMA 転送により、出力 FIFO のデータ数が設定されたトリガ数を下回ったとき • SRCCTRL の CL ビットに 1 を書き込んだとき • SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 出力 FIFO に格納されたデータ数が設定されたトリガ数以上になったとき

【注】 * 1 を読み出した後の 0 書き込みのみ可能です。

42.3 動作説明

42.3.1 初期設定

図 42.2 に初期設定の手順を示します。

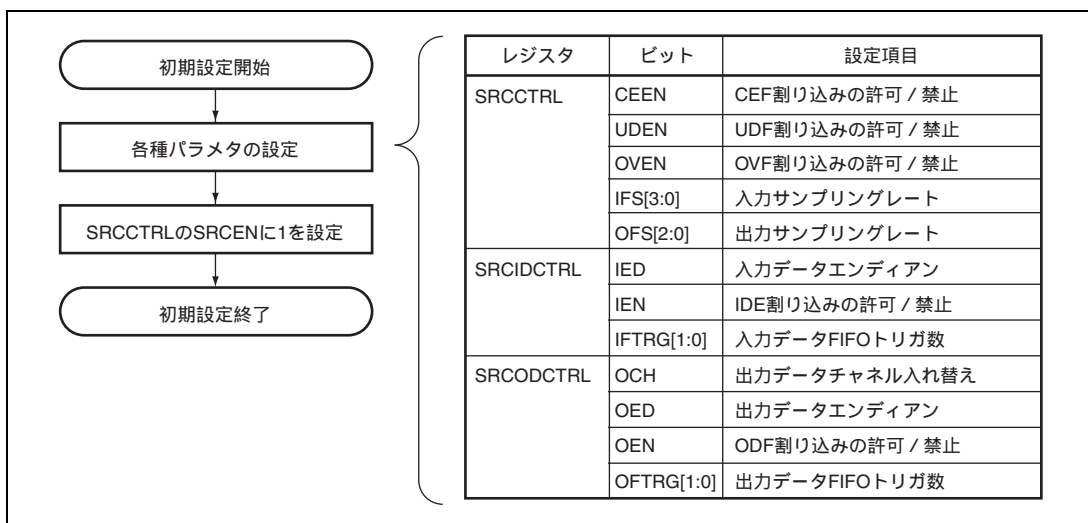


図 42.2 初期設定手順の例

42.3.2 データ入力

図 42.3 にデータ入力の手順を示します。

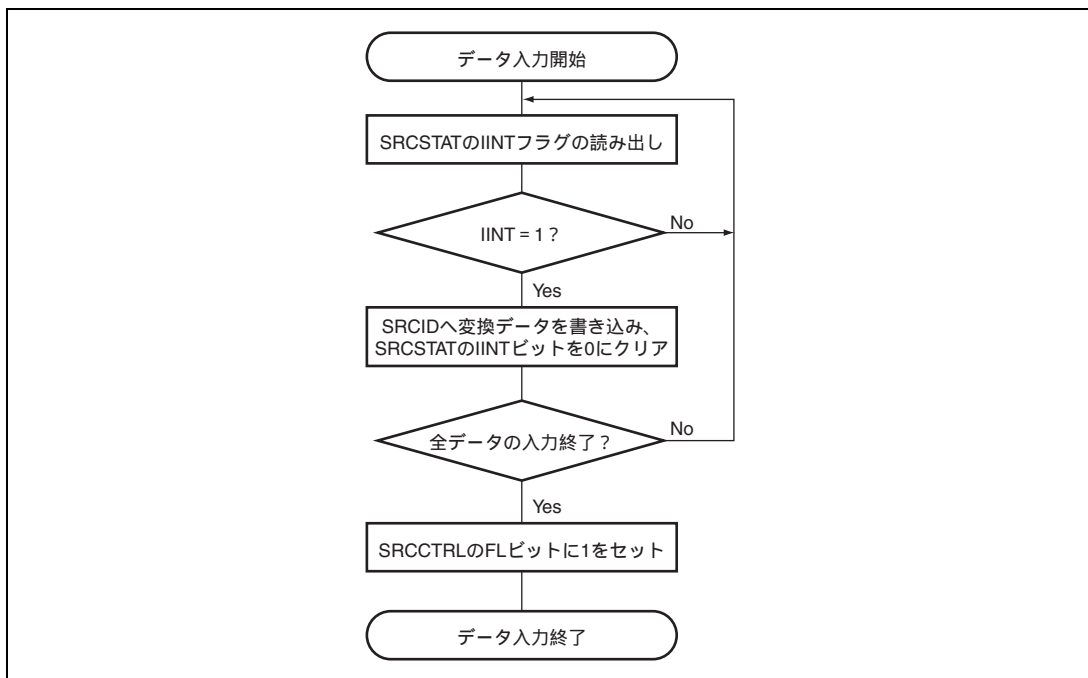


図 42.3 データ入力手順の例

(1) CPU への割り込みを使用する場合

1. SRCIDCTRLのIENビットに1を設定します。
2. SRCSTATのIINTビットに1が設定されると、IDE割り込み要求を発生します。割り込み処理ルーチンで SRCSTATのIINTビットが1であることを読み出した後、SRCIDへデータを書き込み、SRCSTATのIINTビットに0を書き込みます。その後、割り込み処理ルーチンから復帰します。
3. 2.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

(2) 割り込みによりダイレクトメモリアクセスコントローラを起動する場合

1. ダイレクトメモリアクセスコントローラのいずれかのチャンネルを本モジュールのIDEIに割り当てます。
2. SRCIDCTRLのIENビットに1を設定します。
3. SRCSTATのIINTビットに1が設定されると、IDE割り込み要求を発生し、ダイレクトメモリアクセスコントローラを起動します。DMA転送により、SRCIDへデータが書き込まれ、入力データFIFOのデータ数が SRCIDCTRLのIFTRG[1:0]ビットで設定したトリガ数を上回ると、SRCSTATのIINTビットがクリアされます。
4. 3.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

(3) シリアルサウンドインタフェースの割り込みによりダイレクトメモリアクセスコントローラを起動し、入力データをシリアルサウンドインタフェースから転送する場合

1. ダイレクトメモリアクセスコントローラのいずれかのチャンネルのDMA転送要求元にシリアルサウンドインタフェースを割り当て、転送元をシリアルサウンドインタフェースのSSIFRDR、転送先を本モジュールのSRCIDに設定した上で、受信動作が可能となるようにシリアルサウンドインタフェースを設定します。
2. SSIFSRのRDFビットに1が設定されると、シリアルサウンドインタフェース割り込み要求を発生し、ダイレクトメモリアクセスコントローラを起動します。DMA転送により、SSIFRDRから読み出されたデータがSRCIDに書き込まれます。
3. 2.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

42.3.3 データ出力

図 42.4 にデータ出力の手順を示します。

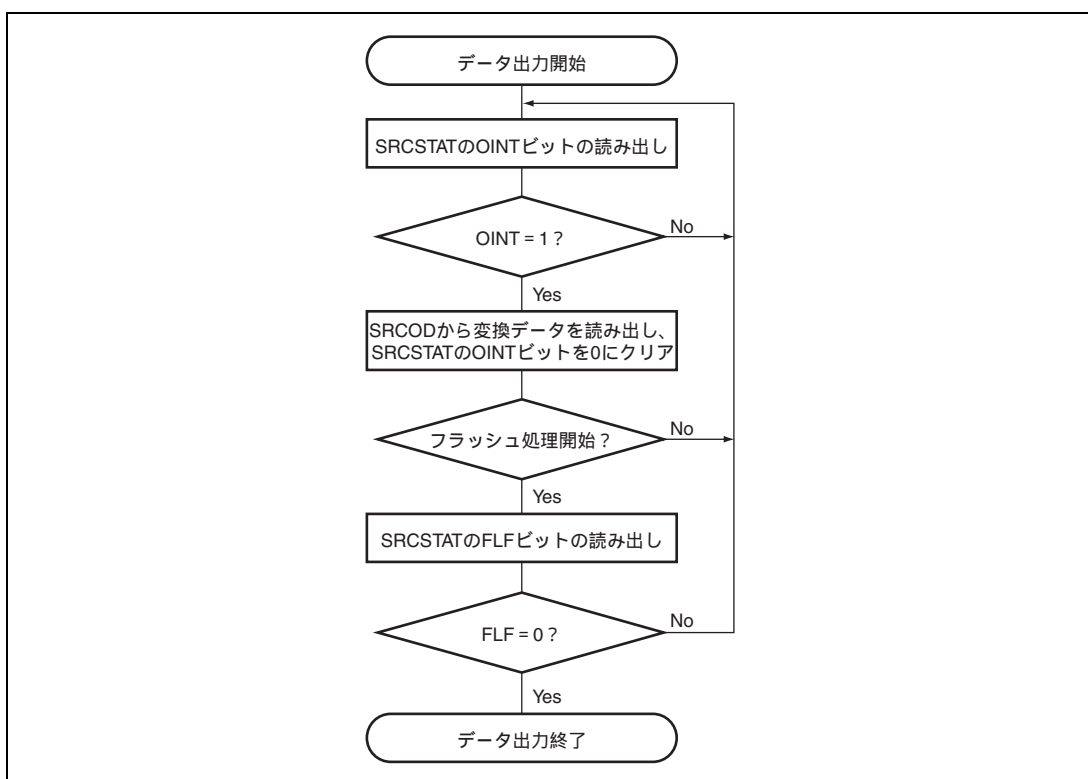


図 42.4 データ出力手順の例

(1) CPU への割り込みを使用する場合

1. SRCODCTRLのOENビットに1を設定します。
2. SRCSTATのOINTビットに1が設定されると、ODF割り込み要求を発生します。割り込み処理ルーチンでSRCSTATのOINTビットが1であることを読み出した後、SRCODからデータを読み出し、SRCSTATのOINTビットに0を書き込みます。その後、割り込み処理ルーチンから復帰します。
3. フラッシュ処理開始後、SRCSTATのCEFビットが1であることを読み出すまで、2.を繰り返します。

(2) 割り込みによりダイレクトメモリアクセスコントローラを起動する場合

1. ダイレクトメモリアクセスコントローラのいずれかのチャンネルを本モジュールのODFIに割り当てます。
2. SRCODCTRLのOENビットに1を設定します。
3. SRCSTATのOINTビットに1が設定されると、ODF割り込み要求を発生し、ダイレクトメモリアクセスコントローラを起動します。DMA転送により、SRCODからデータが読み出され、出力データFIFOのデータ数がSRCODCTRLのOFTRG[1:0]ビットで設定したトリガ数を下回ると、SRCSTATのOINTビットがクリアされません。
4. フラッシュ処理開始後、SRCSTATのFLFビットが0であることを読み出すまで、3.を繰り返します。

(3) シリアルサウンドインタフェースの割り込みによりダイレクトメモリアクセスコントローラを起動し、出力データをシリアルサウンドインタフェースへ転送する場合

1. SRCCTRLのOVENビットに0を設定し、OVF割り込み要求の発生を禁止します。
2. ダイレクトメモリアクセスコントローラのいずれかのチャンネルのDMA転送要求元にシリアルサウンドインタフェースを割り当て、転送元を本モジュールのSRCOD、転送先をシリアルサウンドインタフェースのSSIFTDRに設定した上で、送信動作が可能となるようにシリアルサウンドインタフェースを設定します。
3. SSIFSRのTDEビットに1が設定されると、シリアルサウンドインタフェースが割り込み要求を発生し、ダイレクトメモリアクセスコントローラを起動します。DMA転送により、SRCODから読み出されたデータがSSIFTDRに書き込まれます。
4. フラッシュ処理開始後、SRCSTATのCEFビットが1であることを読み出すまで、3.を繰り返します。

42.4 割り込み

本モジュールの割り込み要因には、入力 FIFO データエンプティ (IDEI)、出力 FIFO データフル (ODFI)、出力 FIFO オーバライト (OVF)、出力 FIFO アンダフロー (UDF)、および変換処理終了 (CEF) の 5 種類があります。表 42.7 に割り込みの種類と発生条件を示します。

表 42.7 割り込み要求の種類と発生条件

割り込み要求	略称	発生条件	ダイレクトメモリアクセス コントローラ起動
入力データ FIFO エンプティ	IDEI	$(IINT = 1) \cdot (IEN = 1) \cdot (SRCEN = 1)$	可
出力データ FIFO フル	ODFI	$(OINT = 1) \cdot (OEN = 1) \cdot (SRCEN = 1)$	可
出力データ FIFO オーバライト	OVF	$(OVF = 1) \cdot (OVEN = 1) \cdot (SRCEN = 1)$	不可
出力データ FIFO アンダフロー	UDF	$(UDF = 1) \cdot (UDEN = 1) \cdot (SRCEN = 1)$	不可
変換処理終了	CEF	$(CEF = 1) \cdot (CEEN = 1) \cdot (SRCEN = 1)$	不可

割り込み発生条件が成立すると、CPU は割り込み例外処理を実行します。割り込み要因フラグは、割り込み例外処理ルーチン内でクリアしてください。

IDEI 割り込みと ODFI 割り込みは、ダイレクトメモリアクセスコントローラの設定により、ダイレクトメモリアクセスコントローラを起動することができます。ダイレクトメモリアクセスコントローラを起動した場合は、本モジュールから CPU への割り込みは発生しません。DMA 転送により SRCID にデータが書き込まれ、入力データ FIFO のデータ数が設定トリガ数を上回った場合、IINT はクリアされます。同様に、SRCOD からデータが読み出され、出力データ FIFO のデータ数が設定トリガ数を下回った場合、OINT はクリアされます。

42.5 使用上の注意事項

42.5.1 レジスタアクセス時の注意

下記に示す SRCCTRL への書き込みが SRCSTAT に反映されるまでに、周辺クロック 0 (P0) で 3 サイクルかかります。

- SRCCTRL の FL ビットに 1 を書き込んだ後、SRCSTAT の FLF ビットがセットされるまで
- SRCCTRL の CL ビットに 1 を書き込んだ後、SRCSTAT の各ビットが初期化されるまで
- SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだ後、SRCSTAT の各ビットが初期化されるまで

一方、CPU はレジスタ書き込みの完了を待たずに後続の命令を実行するため、SRCCTRL への書き込み命令の直後の命令では、SRCSTAT の変更後の状態を読み出すことはできません。SRCSTAT の変更後の状態を確認する場合は、SRCCTRL への書き込み命令の後に SRCCTRL または SRCSTAT をダミーリードしてください。

42.5.2 フラッシュ処理に関する注意

SRC 制御レジスタ (SRCCTRL) の FL ビットに 1 が書き込まれると、本モジュールはそれまでに入力されたデータの終点以降に 0 データを付加しながら、変換処理を続行します。フラッシュ処理は、オーディオデータの終点となるデータの入力が完了し、後続するデータが存在しない場合に行ってください。

また、フラッシュ処理を実行した後に、再度、変換処理を行う場合は、下記のいずれかの動作によって内部ワークメモリをクリアしてください。

- SRCCTRL の CL ビットに 1 を書き込む
- SRCCTRL の SRCEN ビットに 0 を書き込んだ後に、1 を書き込む

43. サウンドジェネレータ

本 LSI はサウンドジェネレータを 4 チャンネル内蔵しています。

43.1 特長

- 8ビットPWM出力による音量調整可能
- 動作クロックを選択可能
4種類の動作クロック (P0 /2 ~ P0 /16) が選択可能
- 出力精度1%以下で100Hz ~ 20kHzの範囲で周波数設定が可能
- 出力の停止方法が選択可能
- 自動減衰機能の選択可能
- 割り込み要因 : 1種類
減衰終了割り込み要求が可能
- モジュールストップモードの設定可能

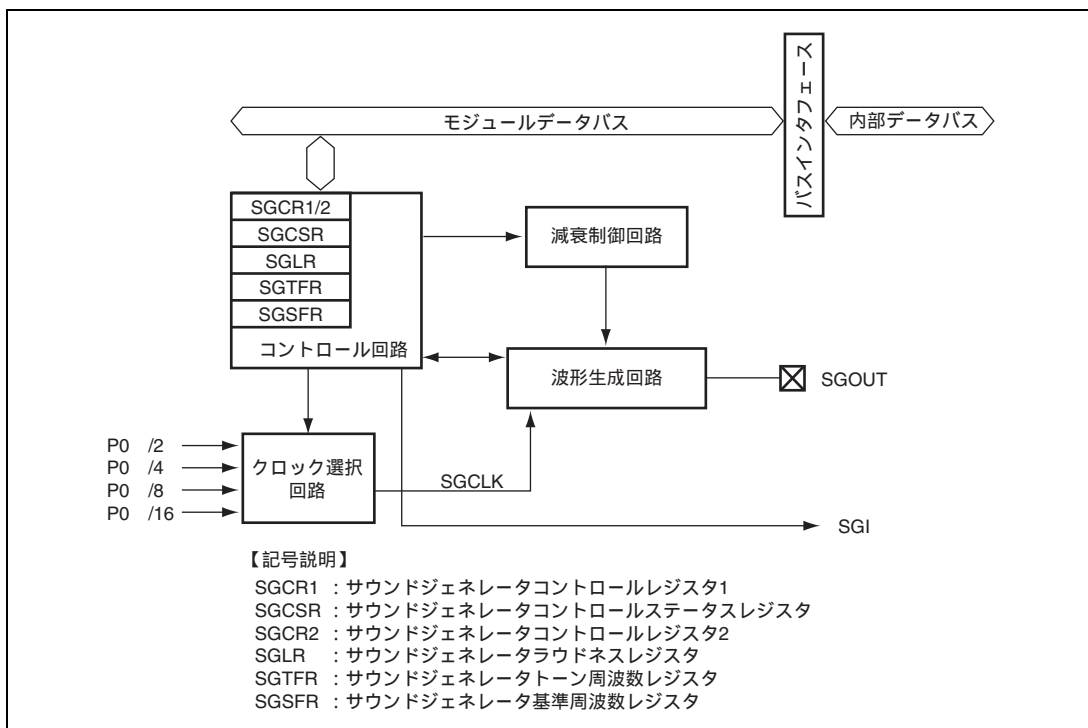


図 43.1 ブロック図

43.2 入出力端子

サウンドジェネレータの端子構成を表 43.1 に示します。

表 43.1 端子構成

名称	記号	入出力	機能
サウンドジェネレータ出力端子 0	SGOUT_0	出力	チャンネル 0 のサウンドジェネレータ出力
サウンドジェネレータ出力端子 1	SGOUT_1	出力	チャンネル 1 のサウンドジェネレータ出力
サウンドジェネレータ出力端子 2	SGOUT_2	出力	チャンネル 2 のサウンドジェネレータ出力
サウンドジェネレータ出力端子 3	SGOUT_3	出力	チャンネル 3 のサウンドジェネレータ出力

43.3 レジスタの説明

表 43.2 にレジスタ構成を示します。また、本文中では、チャンネルによる区別を省略しています。

表 43.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	サウンドジェネレータコントロールレジスタ 1_0	SGCR1_0	R/W	H'00	H'FFFEC800	8,16
	サウンドジェネレータコントロールステータス レジスタ_0	SGCSR_0	R/W	H'00	H'FFFEC801	8,16
	サウンドジェネレータコントロールレジスタ 2_0	SGCR2_0	R/W	H'00	H'FFFEC802	8,16
	サウンドジェネレータラウドネスレジスタ_0	SGLR_0	R/W	H'00	H'FFFEC803	8,16
	サウンドジェネレータトーン周波数レジスタ_0	SGTFR_0	R/W	H'00	H'FFFEC804	8,16
	サウンドジェネレータ基準周波数レジスタ_0	SGSFR_0	R/W	H'00	H'FFFEC805	8,16
1	サウンドジェネレータコントロールレジスタ 1_1	SGCR1_1	R/W	H'00	H'FFFECA00	8,16
	サウンドジェネレータコントロールステータス レジスタ_1	SGCSR_1	R/W	H'00	H'FFFECA01	8,16
	サウンドジェネレータコントロールレジスタ 2_1	SGCR2_1	R/W	H'00	H'FFFECA02	8,16
	サウンドジェネレータラウドネスレジスタ_1	SGLR_1	R/W	H'00	H'FFFECA03	8,16
	サウンドジェネレータトーン周波数レジスタ_1	SGTFR_1	R/W	H'00	H'FFFECA04	8,16
	サウンドジェネレータ基準周波数レジスタ_1	SGSFR_1	R/W	H'00	H'FFFECA05	8,16
2	サウンドジェネレータコントロールレジスタ 1_2	SGCR1_2	R/W	H'00	H'FFFEC00	8,16
	サウンドジェネレータコントロールステータス レジスタ_2	SGCSR_2	R/W	H'00	H'FFFEC01	8,16
	サウンドジェネレータコントロールレジスタ 2_2	SGCR2_2	R/W	H'00	H'FFFEC02	8,16
	サウンドジェネレータラウドネスレジスタ_2	SGLR_2	R/W	H'00	H'FFFEC03	8,16
	サウンドジェネレータトーン周波数レジスタ_2	SGTFR_2	R/W	H'00	H'FFFEC04	8,16
	サウンドジェネレータ基準周波数レジスタ_2	SGSFR_2	R/W	H'00	H'FFFEC05	8,16
3	サウンドジェネレータコントロールレジスタ 1_3	SGCR1_3	R/W	H'00	H'FFFEC00	8,16
	サウンドジェネレータコントロールステータス レジスタ_3	SGCSR_3	R/W	H'00	H'FFFEC01	8,16
	サウンドジェネレータコントロールレジスタ 2_3	SGCR2_3	R/W	H'00	H'FFFEC02	8,16
	サウンドジェネレータラウドネスレジスタ_3	SGLR_3	R/W	H'00	H'FFFEC03	8,16
	サウンドジェネレータトーン周波数レジスタ_3	SGTFR_3	R/W	H'00	H'FFFEC04	8,16
	サウンドジェネレータ基準周波数レジスタ_3	SGSFR_3	R/W	H'00	H'FFFEC05	8,16

43.3.1 サウンドジェネレータコントロールレジスタ 1 (SGCR1)

SGCR1 は、本モジュールの動作制御を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	SGST	STPM	-	SGCK[1]	SGCK[0]	DPF[2]	DPF[1]	DPF[0]
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SGST	0	R/W	動作スタート 動作の許可 / 停止を設定します。 0 : 停止 1 : 許可 ただし、SGST = 1 のときでも STPM の状態により、停止の仕方が異なります。
6	STPM	0	R/W	停止方法選択 動作停止方法を選択します。 0 : SGST = 0 で停止 1 : 減衰機能 on 時、SGST = 0 かつ SGDEF = 1 で停止 減衰機能 off 時、SGST = 0 かつ SGEND = 1 で停止
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
4, 3	SGCK[1:0]	H'0	R/W	クロックセレクト 動作クロック (SGCLK) を選択します。 00 : P0 / 2 01 : P0 / 4 10 : P0 / 8 11 : P0 / 16
2~0	DPF[2:0]	H'0	R/W	減衰機能セレクト 減衰機能の on/off および、減衰周期を選択します。 000 : 減衰機能 off 001 : TONE 周波数で減衰 010 : TONE 周波数 / 2 で減衰 011 : TONE 周波数 / 4 で減衰 100 : TONE 周波数 / 8 で減衰 101 : TONE 周波数 / 16 で減衰 110 : TONE 周波数 / 32 で減衰 111 : 設定禁止

43.3.2 サウンドジェネレータコントロールステータスレジスタ (SGCSR)

SGCSR は、ステータスレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	SGIE	SGDEF	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/(W)*	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	SGIE	0	R/W	インタラプトイネーブル 減衰終了割り込み要求を許可 / 禁止します。 0: 割り込み要求禁止 1: 割り込み要求許可
6	SGDEF	0	R/(W)*	減衰終了フラグ [セット条件] • 減衰終了時 [クリア条件] • 1 をリードした後、0 をライトしたとき • SGLR にライトしたとき
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 * フラグをクリアするための0ライトのみ可能です。

43.3.3 サウンドジェネレータコントロールレジスタ 2 (SGCR2)

SGCR2 は、本モジュールの停止の設定をします。

ビット	7	6	5	4	3	2	1	0
ビット名	SGEND	TCHG	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	SGEND	0	R/W	ストップビット 減衰機能 off かつ STPM = 1 のとき、本モジュールの動作を制御します。 0: 動作継続 1: 動作停止 STPM = 0 のときは、本ビットの状態にかかわらず SGST ビットにより動作を制御します。
6	TCHG	0	R/W	TONE チェンジプロテクト TONE ビット、および SFS ビットへのライト許可 / 禁止を設定します。 TCHG = 1 の状態で TONE ビット、および SFS ビットにライトできます。 0: TONE ビット / SFS ビットへのライト禁止 1: TONE ビット / SFS ビットへのライト許可
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

43.3.4 サウンドジェネレータラウドネスレジスタ (SGLR)

SGLR は、SGOUT のデューティを設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	LD[7]	LD[6]	LD[5]	LD[4]	LD[3]	LD[2]	LD[1]	LD[0]
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	LD[7:0]	H'00	R/W	ラウドネスデータ 出力パルスのデューティデータを格納します。

43.3.5 サウンドジェネレータトーン周波数レジスタ (SGTFR)

SGTFR は、TONE 周波数を設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	-	TONE[6]	TONE[5]	TONE[4]	TONE[3]	TONE[2]	TONE[1]	TONE[0]
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * TCHG = 1 のときのみライト可能です。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	TONE[6:0]	H'00	R/(W)*	TONE 周波数設定 SFS ビットにより設定された基準周波数を基に、TONE 周波数を設定します。なお、H'00 は設定禁止です。

【注】 * TCHG = 1 のときのみライト可能です。

43.3.6 サウンドジェネレータ基準周波数レジスタ (SGSFR)

SGSFR は、基準周波数を設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	SFS[7]	SFS[6]	SFS[5]	SFS[4]	SFS[3]	SFS[2]	SFS[1]	SFS[0]
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * TCHG = 1 のときのみライト可能です。

ビット	ビット名	初期値	R/W	説明
7~0	SFS[7:0]	H'00	R/(W)*	基準周波数設定 SGCR1 の SGCK ビットにより選択した動作クロック (SGCLK) を基に基準周波数を設定します。なお、H'00 は設定禁止です。

【注】 * TCHG = 1 のときのみライト可能です。

43.4 動作説明

43.4.1 基本動作

(1) 初期設定

各レジスタの設定を行うときには、本モジュールが停止していることを確認してから行ってください。

SGCR1 の STPM ビットで停止方法を選択し、SGCK ビットで動作クロックの選択をし、DPF2~0 ビットで減衰機能 on/off を選択し、減衰機能 on であれば減衰周期を選択します。SGCSR の SGIE ビットで割り込み要求の設定をします。

(2) 動作開始

SGCR1 の SGST ビットを 1 にセットします。SGCR2 の SGEND ビットを 0 にクリアします。SGCR2 の TCHG ビットを 1 にセットし、SGSFR と SGTFR のライトプロテクトを解除して、SGSFR の SFS7~0 ビットで基準周波数を設定し、SGTFR の TONE6~0 ビットで TONE 周波数を設定します。SGLR で音量を設定します。SGCR2、SGLR、SGTFR、SGSFR のすべてのレジスタをライトが完了すると本モジュールは動作を開始します。

(3) 動作停止

本モジュールの動作停止方法は、SGCR1 の STPM ビットで設定します。

減衰機能 off 時、STPM = 0 のときは SGEND ビットにかかわらず SGST ビットによって動作を停止します。

STPM = 1 のときは、SGST = 0 かつ SGEND = 1 で動作を停止します。

減衰機能 on 時、STPM = 0 のときは SGST ビットを 0 にクリアすることにより、自動減衰が終了し SGDEF が 1 にセットされなくても、動作を停止します。STPM = 1 のときは、SGST を 0 にクリアしても、動作を停止せず自動減衰が終了し SGDEF が 1 にセットされることで動作が停止します。

停止方法一覧表を表 43.3 に、停止方法を図 43.2 に示します。

表 43.3 停止方法一覧表

減衰機能 off 時					減衰機能 on 時				
STPM	SGST	SGEND	SGDEF	動作	STPM	SGST	SGEND	SGDEF	動作
0	0	x	x	停止	0	0	x	x	停止
0	1	x	x	出力	0	1	x	x	出力
1	0	0	x	保持*	1	0	x	0	保持*
1	0	1	x	停止	1	0	x	1	停止
1	1	0	x	出力	1	1	x	0	出力
1	1	1	x	出力	1	1	x	1	出力

【記号説明】

x : Don't care

【注】 * 保持は前状態保持

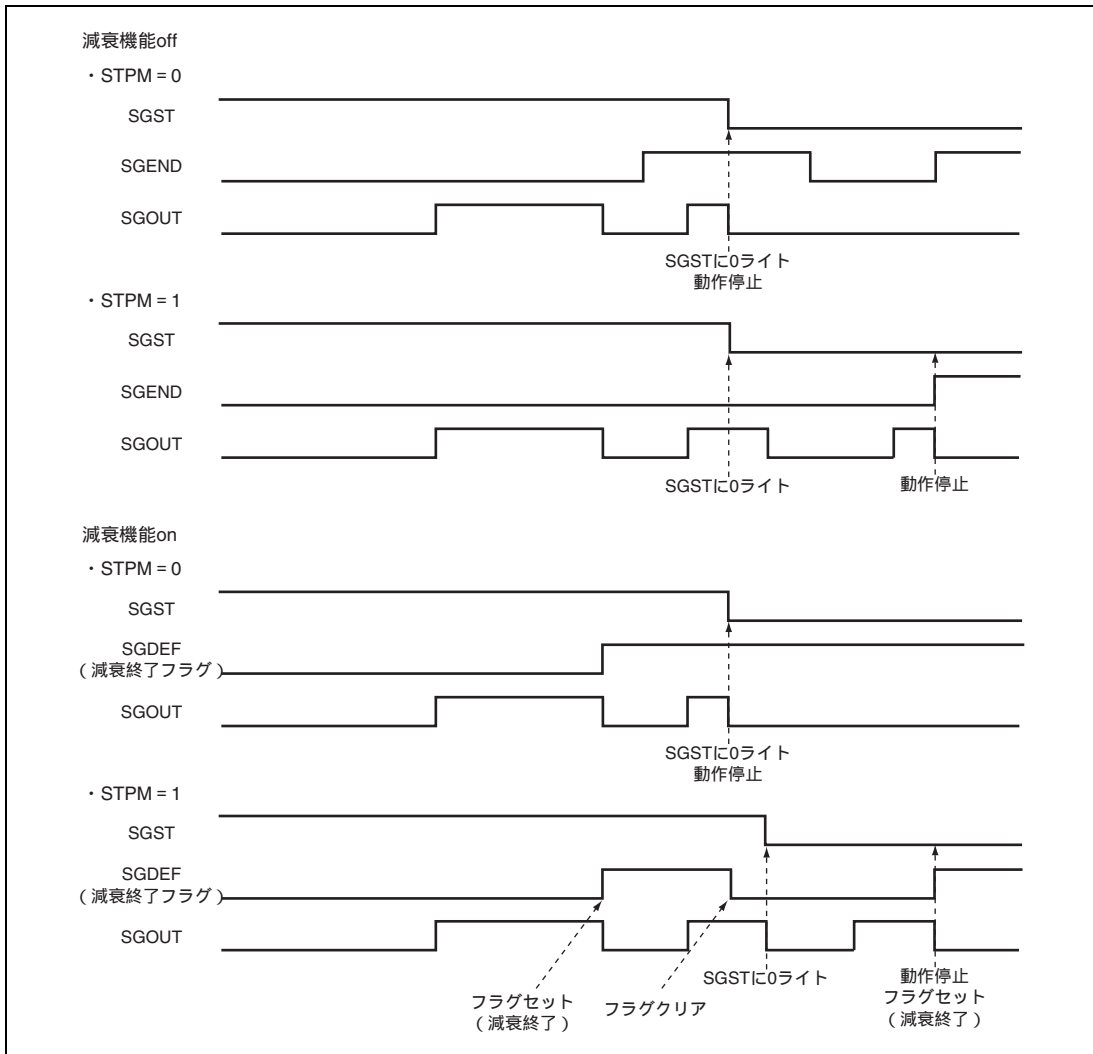


図 43.2 停止方法

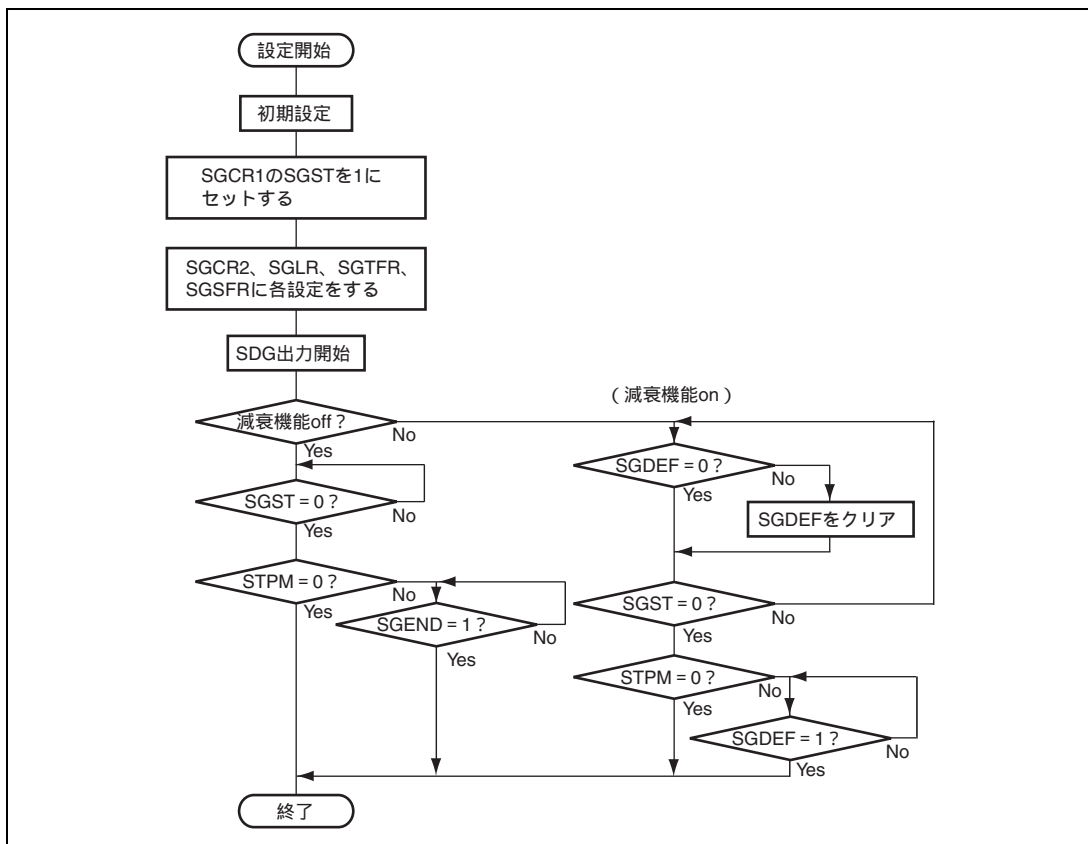


図 43.3 動作フローチャート

43.4.2 TONE 周波数の設定

本モジュールは表 43.4 のとおり、100 ~ 20kHz の TONE 周波数を 1%以内の精度で出力することができます。
TONE 周波数は以下の計算式で求められます。

$$\begin{aligned} \text{基準周波数[Hz]} &= \text{SGCLK(Hz)} / \text{SFS} \\ \text{TONE 周波数[Hz]} &= \text{基準周波数(Hz)} / (2 \times \text{TONE}) \\ &= \text{SGCLK(Hz)} / (2 \times \text{SFS} \times \text{TONE}) \end{aligned}$$

SGTFR の TONE ビット、SGSFR の SFS ビットの設定値は以下の計算式で求められます。

$$\begin{aligned} \text{SFS} &= \text{SGCLK[Hz]} / \text{基準周波数[Hz]} \\ [0 < \text{SFS} \leq 255] \\ \text{TONE} &= \text{基準周波数[Hz]} / (2 \times \text{TONE 周波数[Hz]}) \\ [0 < \text{TONE} \leq 127] \end{aligned}$$

表 43.4 に、TONE 周波数と出力誤差の関係の例を示します。

表 43.4 TONE 周波数と出力誤差の関係

TONE 周波数	SFS[7:0]	TONE[6:0]	誤差[%]
220.00	F7	2E	0.01
329.63	ED	20	0.003
440.00	F7	17	0.01
659.26	ED	10	0.003
880.00	8E	14	0.03
1318.50	ED	8	0.005
1760.00	8E	A	0.03
2637.00	ED	4	0.005
3520.00	8E	5	0.03
5274.00	ED	2	0.005
7040.00	47	5	0.03

【注】 SGCLK = 5MHz

なお、P0 の周期が変化すれば、TONE 周波数も変化するので変更する場合は注意してください。

43.4.3 自動減衰機能について

自動減衰機能時は、ラウドネスデータ (LD) が SGOUT の初期デューティになります。

SGCR1 の DPF ビットで設定された減衰周期で減衰率 1/32 ずつ、SGOUT のデューティを減少させます。

減衰特性は、以下の式によって計算されます。

$$LD_n = \text{int} (LD_0 \times (1 - 1/32)^n)$$

LD : SGOUT デューティ (初期データは SGLR)

n : 減衰周期サイクル数

減衰特性のグラフを図 43.4 に示します。

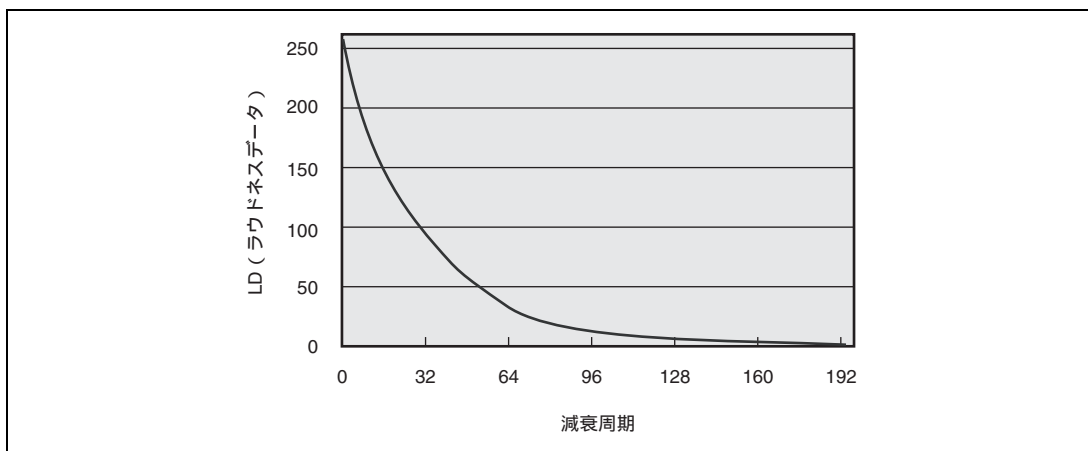


図 43.4 減衰特性

43.4.4 出力波形

本モジュールの出力波形は、図 43.5 のように内蔵 8 ビット PWM のパルス出力と TONE 周波数を合成した出力になります。内蔵 8 ビット PWM のパルス出力のデューティは、SGLR で設定されます。

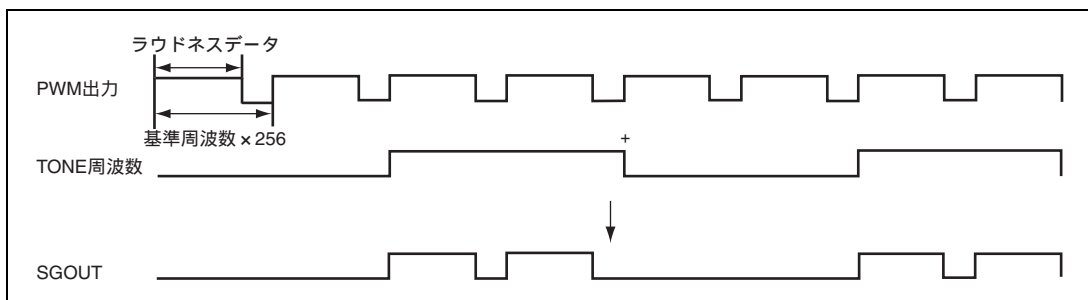


図 43.5 出力波形

43.5 割り込み要因

減衰機能 on 時に、自動減衰されて減衰が終了（内蔵 PWM のデューティが 0）すると SGCSR の SGDEF がセットされて、SGCSR の SGIE ビットが 1 にセットされていれば、割り込みを要求します。STPM=0 のときは、1 回目の減衰終了時のみに SGDEF がセットされます。なお、自動減衰途中で SGDEF をクリアすると、次の減衰終了時に SGDEF がセットされます。

表 43.5 割り込み要因

名称	割り込み要因	割り込みフラグ
SGDEI	減衰終了	SGDEF

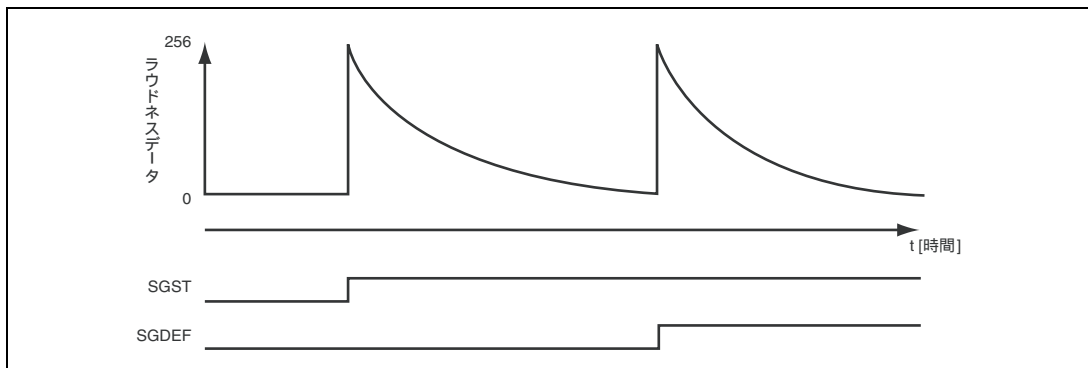


図 43.6 減衰終了フラグセットタイミング

43.6 使用上の注意事項

43.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、本モジュールの動作 / 許可を設定することが可能です。初期値では、本モジュールの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 49 章 低消費電力モード」を参照してください。

44. SD ホストインタフェース

本章は、守秘契約を結んでいただいたうえで公開致します。

詳細は、弊社の営業担当にご確認ください。

特長については、「第 1 章 概要」を参照してください。

電気的特性については、「第 52 章 電気的特性」を参照してください。

45. MMC ホストインタフェース

MMC ホストインタフェースは、JEDEC STANDARD JESD84-A44 対応したホストコントローラです。MMC インタフェースを持つ各種デバイスと接続することが可能です。

45.1 特長

- 1/4ビットのMMC busに対応
- Single Data Rateのみに対応
- MMCクロック周波数 = P1 周波数 / 2ⁿ (n=1...10)
- データバッファ : 512バイト × 2
- 割り込み要求 : 3本 (通常動作、エラー / タイムアウト、カード検出)
- DMA転送要求 : バッファライト、バッファリード
- カード検出機能

ブロック図を図 45.1 に示します。

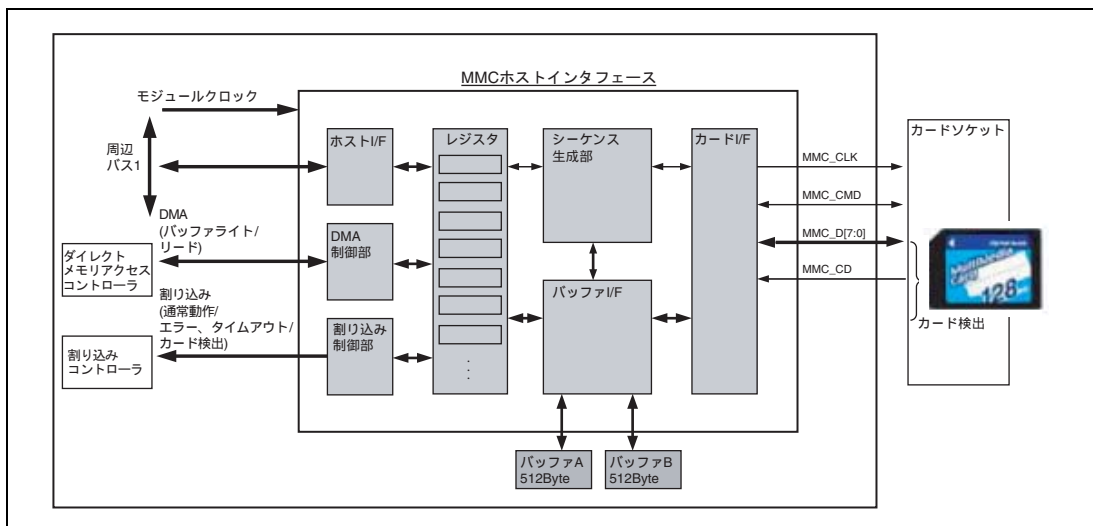


図 45.1 MMC ホストインタフェースのブロック図

45.2 入出力端子

本モジュールの端子構成を表 45.1 に示します。

表 45.1 端子構成

端子名	入出力	機能
MMC_CLK	出力	MMC クロック
MMC_CMD	入出力	コマンド / レスポンス
MMC_D[7:0]	入出力	送信データ / 受信データ
MMC_CD	入力	カード検出*

【注】 * 使用するカードソケットの仕様を考慮して接続してください。

45.3 レジスタの説明

本モジュールのレジスタ構成を表 45.2 に示します。

表 45.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
コマンド設定レジスタ	CE_CMD_SET	R/W	H'E8030800	16/32
アークメントレジスタ	CE_ARG	R/W	H'E8030808	16/32
自動 CMD12 アークメントレジスタ	CE_ARG_CMD12	R/W	H'E803080C	16/32
コマンド制御レジスタ	CE_CMD_CTRL	R/W	H'E8030810	16/32
転送ブロック設定レジスタ	CE_BLOCK_SET	R/W	H'E8030814	16/32
クロックコントロールレジスタ	CE_CLK_CTRL	R/W	H'E8030818	16/32
バッファアクセス設定レジスタ	CE_BUF_ACC	R/W	H'E803081C	16/32
レスポンスレジスタ 3	CE_RESP3	R	H'E8030820	16/32
レスポンスレジスタ 2	CE_RESP2	R	H'E8030824	16/32
レスポンスレジスタ 1	CE_RESP1	R	H'E8030828	16/32
レスポンスレジスタ 0	CE_RESP0	R	H'E803082C	16/32
自動 CMD12 レスポンスレジスタ	CE_RESP_CMD12	R	H'E8030830	16/32
データレジスタ	CE_DATA	R/W	H'E8030834	16*/32
割り込みフラグレジスタ	CE_INT	R/W	H'E8030840	16/32
割り込みイネーブルレジスタ	CE_INT_EN	R/W	H'E8030844	16/32
ステータスレジスタ 1	CE_HOST_STS1	R	H'E8030848	16/32
ステータスレジスタ 2	CE_HOST_STS2	R	H'E803084C	16/32
DMA モード設定レジスタ	CE_DMA_MODE	R/W	H'E803085C	16/32
カード検出/ポート制御レジスタ	CE_DETECT	R/W	H'E8030870	16/32
特殊モード設定レジスタ	CE_ADD_MODE	R/W	H'E8030874	16/32
バージョンレジスタ	CE_VERSION	R/W	H'E803087C	16/32

【注】 上記以外のレジスタには、アクセスしないでください。

* 16 ビットアクセス時は、H'E8030834 のみアクセス可能です。

45.3.1 コマンド設定レジスタ (CE_CMD_SET)

CE_CMD_SET は、コマンドシーケンスを設定するレジスタです。

ビット 31～16 を設定するとコマンドシーケンスがスタートします。なお、コマンドシーケンス中 (CE_HOST_STS1 の CMDSEQ ビットが 1 のとき) は、CE_CMD_SET にライトできません。「45.7.12 CE_CMD_SET 設定値」に従い CE_CMD_SET を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CMD[5:0]					RTYP[1:0]	RBSY	—	WDAT	DWEN	CMLTE	CMD12 EN		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RIDXC[1:0]	RCRC7C[1:0]	—	CRC 16C	—	CRC STE	TBIT	OPDM	—	—	SBIT	—	DATW[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/W	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29～24	CMD[5:0]	H'00	R/W	コマンドインデックス コマンドのインデックス ([45:40]) を設定します。 【注】コマンドインデックスを設定すると、コマンドシーケンスがスタートします。
23、22	RTYP[1:0]	00	R/W	レスポンスタイプ 00: レスポンス無し 01: 6 バイトのレスポンス (R1、R1b、R3、R4、R5) 10: 17 バイトのレスポンス (R2) 11: 設定禁止
21	RBSY	0	R/W	レスポンスビジーあり/なし レスポンス受信時のビジーの有無を選択します。 0: レスポンスビジーなし 1: レスポンスビジーあり (R1b)
20	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	WDAT	0	R/W	データあり/なし 0: データなし 1: データあり
18	DWEN	0	R/W	リード/ライト (データありのとき有効) 0: カードからリード 1: カードへライト

ビット	ビット名	初期値	R/W	説明
17	CMLTE	0	R/W	シングルブロック転送 / マルチブロック転送選択 (データありのとき有効) 0 : シングルブロック転送 1 : マルチブロック転送
16	CMD12EN	0	R/W	自動 CMD12 発行設定 (マルチブロック転送時有効) 0 : CMD12 を自動発行しない 1 : CMD12 を自動発行する (= 自動 CMD12) 自動 CMD12 発行については、「45.6.4 自動 CMD12 発行」を参照してください。 【注】 転送ブロックサイズ = 512 バイトに設定してください。RBSY は、0 を設定してください。
15, 14	RIDXC[1:0]	00	R/W	レスポンスインデックスチェック 6 バイトレスポンスの[45:40]、または、17 バイトレスポンスの[133:128]に対するチェック内容を設定します。 00 : インデックスチェック (コマンドのインデックスと一致することを確認) 01 : check bits チェック (All 1 になっていることを確認) 10 : チェック無し 11 : 設定禁止
13, 12	RCRC7C[1:0]	00	R/W	レスポンス CRC7 チェック 6 バイトレスポンス、または、17 バイトレスポンスの[7:1]に対するチェック内容を設定します。 00 : CRC7 チェック (レスポンスタイプを 01 に設定してください) 01 : check bits チェック (レスポンスタイプを 01 に設定してください) 10 : internal CRC7 チェック (R2 専用) (レスポンスタイプを 10 に設定してください) 11 : チェック無し
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	CRC16C	0	R/W	受信時 CRC16 チェック (データあり、かつ、リードのときに有効) 0 : CRC16 をチェックする 1 : CRC16 をチェックしない (CMD14 時に使用)
9	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	CRCSTE	0	R/W	CRC status 受信 (データあり、かつ、ライトのときに有効) 0 : CRC status を受信する 1 : CRC status を受信しない (CMD19 時に使用)

ビット	ビット名	初期値	R/W	説明
7	TBIT	0	R/W	トランスミッションビット設定 0 : トランスミッションビット ([46]) を 1 にする 1 : トランスミッションビット ([46]) を 0 にする
6	OPDM	0	R/W	オープンドレイン出力モード設定 0 : 通常出力 1 : オープンドレイン出力 【注】 MMC_CMD 線のみ有効となります。
5、4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SBIT	0	R/W	リードデータスタートビット検出設定 (データあり、かつ、リードのとき有効) 0 : DATW 設定により有効な MMC_D がすべて 0 のとき スタートビットを検出 1 : MMC_D[0] が 0 のときスタートビットを検出
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	DATW[1:0]	00	R/W	データバス幅設定 (データありのとき有効) 00 : 1 ビット 01 : 4 ビット 10 : 8 ビット 11 : 設定禁止

45.3.2 アーギュメントレジスタ (CE_ARG)

CE_ARG は、送信するコマンドのアーギュメントを設定するレジスタです。コマンドシーケンスを開始する前に CE_ARG を設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARG[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ARG[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	ARG[31:0]	H'0000 0000	R/W	コマンドの[39:8]を設定 【注】 自動 CMD12 のアーギュメントは、CE_ARG_CMD12 で設定してください。

45.3.3 自動 CMD12 アーギュメントレジスタ (CE_ARG_CMD12)

CE_ARG_CMD12 は、自動 CMD12 のアーギュメントを設定するレジスタです。マルチブロック転送時に CMD12 を自動発行するとき有効なレジスタです。

自動 CMD12 については、「45.6.4 自動 CMD12 発行」を参照ください。コマンドシーケンスを開始する前に CE_ARG_CMD12 を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C12ARG[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C12ARG[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	C12ARG [31:0]	H'0000 0000	R/W	自動 CMD12 の[39:8]を設定

45.3.4 コマンド制御レジスタ (CE_CMD_CTRL)

CE_CMD_CTRL は、強制終了を行う際に設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BREAK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	BREAK	0	R/W	コマンドシーケンス強制終了 コマンドシーケンスを中断する場合には、BREAK を 0 の状態から 1 をライトしその後 0 をライトしてください。その後、CE_HOST_STS1 の CMDSEQ が 0 になることを確認してから、ソフトリセットしてください。 【注】 ソフトリセットを行うと、レジスタの値が初期値に戻りますので、レジスタの再設定が必要になります。

45.3.5 転送ブロック設定レジスタ (CE_BLOCK_SET)

CE_BLOCK_SET は、転送するデータのブロックサイズとブロック数を設定するレジスタです。コマンドシーケンスを開始する前に CE_BLOCK_SET を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BLKCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BLKSIZ[15:0]															
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	BLKCNT [15:0]	H'0000	R/W	転送ブロック数 【注】マルチブロック転送のとき、有効となります。
15~0	BLKSIZ[15:0]	H'0200	R/W	転送ブロックサイズ 【注】転送ブロックサイズは、 <ul style="list-style-type: none"> • シングルブロック転送設定時：1~512 バイト • マルチブロック転送設定時：512 バイト に設定してください。

45.3.6 クロックコントロールレジスタ (CE_CLK_CTRL)

CE_CLK_CTRL は、MMC クロックの制御とタイムアウト値を設定するレジスタです。なお、コマンドシーケンス実行中は再設定しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CLKEN	—	—	—	—	CLKDIV[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SRSPTO[1:0]		SRBSYTO[3:0]			SRWDTO[3:0]			—	—	—	—		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	CLKEN	0	R/W	MMC クロック出力制御 0 : MMC クロックを出力しない (L 固定) 1 : MMC クロックを出力する
23~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19~16	CLKDIV[3:0]	0000	R/W	MMC クロック周波数設定 0000 : P1 /2 ¹ 0001 : P1 /2 ² : 0111 : P1 /2 ⁸ 1000 : P1 /2 ⁹ 1001 : P1 /2 ¹⁰ 1010 ~ 1111 : 設定禁止
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13, 12	SRSPTO[1:0]	00	R/W	レスポンスタイムアウト設定 CE_INT の RSPTO の期間を設定します。 00 : 64 × MMC クロック周期 01 : 128 × MMC クロック周期 10 : 256 × MMC クロック周期 11 : 設定禁止

ビット	ビット名	初期値	R/W	説 明
11~8	SRBSYTO [3:0]	0000	R/W	レスポンスビジータイムアウト設定 CE_INT の RBSYTO の期間を設定します。 0000 : 2^{14} × MMC クロック周期 0001 : 2^{15} × MMC クロック周期 : 1110 : 2^{28} × MMC クロック周期 1111 : 2^{29} × MMC クロック周期
7~4	SRWDTO[3:0]	0000	R/W	ライトデータタイムアウト/リードデータタイムアウト設定 CE_INT の WDATTO、RDATTO の期間を設定します。 0000 : 2^{14} × MMC クロック周期 0001 : 2^{15} × MMC クロック周期 : 1110 : 2^{28} × MMC クロック周期 1111 : 2^{29} × MMC クロック周期
3~0	-	0000	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

45.3.7 バッファアクセス設定レジスタ (CE_BUF_ACC)

CE_BUF_ACC は、データレジスタのアクセス方法と DMA の転送方法を設定するレジスタです。

コマンドシーケンスが実行中は再設定しないでください。バッファの説明については「45.6.3 バッファ構造とバッファアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	DMAW EN	DMAR EN	—	—	—	—	—	—	BUSW	ATYP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	DMAWEN	0	R/W	バッファライト DMA 転送要求イネーブル 0: バッファライト DMA 転送要求を禁止 1: バッファライト DMA 転送要求を許可
24	DMAREN	0	R/W	バッファリード DMA 転送要求イネーブル 0: バッファリード DMA 転送要求を禁止 1: バッファリード DMA 転送要求を許可
23~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	BUSW	0	R/W	データレジスタアクセス幅選択 0: CE_DATA に 32 ビットでアクセスする場合 1: CE_DATA に 16 ビットでアクセスする場合
16	ATYP	0	R/W	バッファアクセス選択 0: バイト単位差し替えなし 1: バイト単位差し替えあり 【注】バッファへのアクセスについては「45.6.3 バッファ構造とバッファアクセス」を参照してください。
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

45.3.8 レスポンスレジスタ 3~0 (CE_RESP3~0)

CE_RESP3~0 は、受信したレスポンス値が格納されるレジスタです。

レスポンス値のフォーマットについては、「45.6.1 コマンド/レスポンスのフォーマット」を参照してください。

• CE_RESP3

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[127:112]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[111:96]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[127:96]	H'0000 0000	R	17 バイトレスポンスの[127:96]を格納

• CE_RESP2

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[95:80]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[79:64]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[95:64]	H'0000 0000	R	17 バイトレスポンスの[95:64]を格納

• CE_RESP1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[63:48]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[47:32]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[63:32]	H'0000 0000	R	17 バイトレスポンスの[63:32]を格納

• CE_RESP0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[31:0]	H'0000 0000	R	6 バイトレスポンスの[39:8]、または、17 バイトレスポンスの[31:0]を格納 【注】 自動CMD12 に対するレスポンスは、CE_RESP_CMD12 に格納されます。

45.3.9 自動 CMD12 レスポンスレジスタ (CE_RESP_CMD12)

CE_RESP_CMD12 は、CMD12 を自動発行した際に、CMD12 に対するレスポンス値が格納されるレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP12[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP12[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RSP12[31:0]	H'0000 0000	R	自動 CMD12 に対するレスポンスの[39:8]を格納

45.3.10 データレジスタ (CE_DATA)

CE_DATA は、バッファにアクセスするためのレジスタです。

16 ビットアクセス時は、DATA[31:16]ビットのみアクセス可能です。ライトデータ/リードデータのフォーマットについては、「45.6.2 データブロックフォーマット」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DATA[31:0]	H'0000 0000	R/W	バッファライト/リード[31:0]

45.3.11 割り込みフラグレジスタ (CE_INT)

CE_INT は、コマンドシーケンスが実行中の各種ステータスを表すレジスタです。各ビットは、セット条件を満たすと 1 にセットされます。フラグをクリアする際はクリアするビットのみ 0 を設定し、それ以外のビットは 1 を設定してください。

エラー、タイムアウト発生時の動作については、「45.6.5 エラー、タイムアウト発生時の本モジュールの処理」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CMD12 DRE	CMD12 RBE	CMD12 CRE	DTRAN E	BUFR E	BUFW EN	BUFR EN	—	—	RBSY E	CRSP E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD VIO	BUF VIO	—	—	WDAT ERR	RDAT ERR	RIDX ERR	RSP ERR	—	—	—	CRCS TO	WDAT TO	RDAT TO	RBSY TO	RSP TO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	CMD12DRE	0	R/W*	自動 CMD12 & バッファリード完 セット条件: 自動 CMD12 のレスポンスビジーとバッファリードが完了したとき クリア条件: 0 ライト 【注】CMD12DRE がセットされた際は、CMD12RBE、CMD12CRE、BUFRE もセットされているので、クリアしてください。

ビット	ビット名	初期値	R/W	説明
25	CMD12RBE	0	R/W*	自動 CMD12 レスポンスビジー完 セット条件：自動 CMD12 のレスポンス受信とレスポンスビジーが完了したとき クリア条件：0 ライト 【注】CMD12RBE がセットされた際は、CMD12CRE もセットされているので、クリアしてください。また、マルチブロックライトのときに CMD12RBE がセットされた際は、DTRANE もセットされていますのでクリアしてください。
24	CMD12CRE	0	R/W*	自動 CMD12 コマンドレスポンス完 セット条件：自動 CMD12 のレスポンスを受信したとき クリア条件：0 ライト
23	DTRANE	0	R/W*	データ送信完 セット条件：全ブロックの全データの送信が完了したとき <ul style="list-style-type: none"> • CRC status を受信する設定の場合： CRC status 後のビジー（データビジー）が完了したとき • CRC status を受信しない設定の場合： データの送信が完了したとき クリア条件：0 ライト
22	BUFRE	0	R/W*	バッファリード完 セット条件：全ブロックの全データの受信が完了しバッファからリードし終わったとき クリア条件：0 ライト
21	BUFWEN	0	R/W*	バッファライト可 セット条件：バッファが空でライト可能になったとき クリア条件：0 ライト 【注】バッファライト DMA 転送要求を許可している場合は、セットされません
20	BUFREN	0	R/W*	バッファリード可 セット条件：バッファに転送ブロックサイズ分のデータが格納されリード可能になったとき クリア条件：0 ライト 【注】バッファリード DMA 転送要求を許可している場合は、セットされません
19、18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
17	RBSYE	0	R/W*	レスポンスビジー完 セット条件：レスポンスの受信とレスポンスビジーの受信が完了したとき クリア条件：0 ライト 【注】RBSYE がセットされた際は、CRSPE もセットされているので、クリアしてください。また、自動CMD12のレスポンスとレスポンスビジーについては、CMD12RBE に反映されます。
16	CRSPE	0	R/W*	コマンドレスポンス完 セット条件：コマンドの送信またはレスポンスの受信が完了したとき <ul style="list-style-type: none"> • レスポンス無し設定の場合： コマンドの送信が完了したとき • 6バイトレスポンス、17バイトレスポンス設定の場合： レスポンスを受信したとき クリア条件：0 ライト 【注】自動CMD12のレスポンスについては、CMD12CRE に反映されます。
15	CMDVIO	0	R/W*	コマンド発行エラー セット条件：CE_CMD_SET、CE_BLOCK_SET への設定に不正があったとき <ul style="list-style-type: none"> • コマンドシーケンス中の場合： CE_CMD_SET の CMD[5:0]ビットヘライトしたとき (コマンドシーケンスは自動停止しません) • コマンドシーケンス開始時の場合： レジスタの設定が、下記のいずれかの組み合わせの状態 CE_CMD_SET の CMD[5:0]ビットヘライトしたとき レスポンス無し+レスポンスビジーあり レスポンス無し+データあり データ無し+CMD12 を自動発行する データあり+シングル+CMD12 を自動発行する データあり+レスポンスビジーあり+CMD12 を自動発行する データあり+転送ブロックサイズ=0 データあり+転送ブロックサイズ 513 データあり+マルチブロック転送+転送ブロック数=0 クリア条件：0 ライト

ビット	ビット名	初期値	R/W	説明
14	BUFVIO	0	R/W*	<p>バッファアクセスエラー</p> <p>セット条件：バッファアクセスに不正があったとき</p> <ul style="list-style-type: none"> • CE_BLOCK_SET の BLKSIZ[15:0]ビットに設定したブロックサイズより多く CE_DATA へアクセスしたとき • カードからデータをリード中の場合： BUFREN がセットされていない (DMA 時は、バッファリード DMA 転送要求が出ていない) にもかかわらず、CE_DATA へアクセスしたとき • カードヘデータをライト中の場合： BUFWEN がセットされていない (DMA 時は、バッファライト DMA 転送要求が出ていない) にもかかわらず、CE_DATA へアクセスしたとき <p>クリア条件：0 ライト</p> <p>【注】BUFVIO がセットされた際は、コマンドシーケンスは自動停止しません。</p>
13, 12	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
11	WDATERR	0	R/W*	<p>ライトデータエラー</p> <p>セット条件：</p> <ul style="list-style-type: none"> • ライトデータにエラーがあったとき • CRC status のステータスにエラーがあるとき • CRC status のエンドビットにエラーがあるとき <p>クリア条件：0 ライト</p> <p>【注】WDATERR がセットされた際は、コマンドシーケンスが自動停止します。</p>
10	RDATERR	0	R/W*	<p>リードデータエラー</p> <p>セット条件：リードデータにエラーがあったとき</p> <ul style="list-style-type: none"> • リードデータの CRC16 にエラーがあるとき • リードデータのエンドビットにエラーがあるとき <p>クリア条件：0 ライト</p> <p>【注】RDATERR がセットされた際は、コマンドシーケンスが自動停止します。</p>
9	RIDXERR	0	R/W*	<p>レスポンスインデックスエラー</p> <p>セット条件：レスポンスのインデックス値にエラーがあったとき</p> <ul style="list-style-type: none"> • 6 バイトレスポンス (自動 CMD12 含む) の[45:40]、または、17 バイトレスポンスの[133:128]にエラーがあったとき (チェック内容は、CE_CMD_SET の RIDXC に設定) <p>クリア条件：0 ライト</p> <p>【注】RIDXERR がセットされた際は、コマンドシーケンスが自動停止します。</p>

ビット	ビット名	初期値	R/W	説明
8	RSPERR	0	R/W*	レスポンスエラー セット条件：レスポンスのレスポンス値にエラーがあったとき <ul style="list-style-type: none"> レスポンスのトランスミッションビットがHのとき レスポンスのエンドビットにエラーがあるとき 6バイトレスポンス（自動CMD12含む）、または、17バイトレスポンスの[7:1]にエラーがあったとき（チェック内容は、CE_CMD_SETのRCRC7Cに設定） クリア条件：0ライト 【注】RSPERRがセットされた際は、コマンドシーケンスが自動停止します。
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	CRCSTO	0	R/W*	CRC status タイムアウト セット条件：CRC status を受信できなかったとき クリア条件：0ライト 【注】CRCSTOがセットされても、コマンドシーケンスは停止しません。
3	WDATTO	0	R/W*	ライトデータタイムアウト セット条件：CRC status 受信後、CE_CLK_CTRLのSRWDTOの期間を超えビジーが続いたとき クリア条件：0ライト 【注】WDATTOがセットされても、コマンドシーケンスは停止しません。
2	RDATTO	0	R/W*	リードデータタイムアウト セット条件： <ul style="list-style-type: none"> リードコマンド送信後、CE_CLK_CTRLのSRWDTOの期間を超えリードデータを受信できなかったとき リードデータ受信後、CE_CLK_CTRLのSRWDTOの期間を超えリードデータを受信できなかったとき クリア条件：0ライト 【注】RDATTOがセットされても、コマンドシーケンスは停止しません。
1	RBSYTO	0	R/W*	レスポンスビジータイムアウト セット条件：コマンド（自動CMD12含む）送信後、CE_CLK_CTRLのSRBSYTOの期間を超えビジーが続いたとき クリア条件：0ライト 【注】RBSYTOがセットされても、コマンドシーケンスは停止しません。
0	RSPTO	0	R/W*	レスポンスタイムアウト セット条件：コマンド（自動CMD12含む）送信後、CE_CLK_CTRLのRSPTOの期間を超えレスポンスを受信できなかったとき クリア条件：0ライト 【注】RSPTOがセットされても、コマンドシーケンスは停止しません。

【注】 * 0ライトのみ有効となり、1をライトしても反映されません。

45.3.12 割り込みイネーブルレジスタ (CE_INT_EN)

CE_INT_EN は、CE_INT の割り込み出力を制御するレジスタです。1 に設定したビットに対応する CE_INT のフラグが 1 となっていた場合に、割り込みを出力します。割り込み要求の詳細については、「45.4 割り込み要求の説明」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MCMD 12DRE	MCMD 12RBE	MCMD 12CRE	MDT RANE	MBUF RE	MBUF WEN	MBUF REN	—	—	MRBSY E	MCRSP E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCMD VIO	MBUF VIO	—	—	MWDAT ERR	MRDAT ERR	MRIDX ERR	MRSP ERR	—	—	—	MCRC STO	MWDA TTO	MRDA TTO	MRBS YTO	MRSP TO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	MCMD12DRE	0	R/W	CMD12DRE 割り込みイネーブル 0 : CMD12DRE フラグによる割り込み出力を禁止 1 : CMD12DRE フラグにより割り込み出力を許可
25	MCMD12RBE	0	R/W	CMD12RBE 割り込みイネーブル 0 : CMD12RBE フラグによる割り込み出力を禁止 1 : CMD12RBE フラグにより割り込み出力を許可
24	MCMD12CRE	0	R/W	CMD12CRE 割り込みイネーブル 0 : CMD12CRE フラグによる割り込み出力を禁止 1 : CMD12CRE フラグにより割り込み出力を許可
23	MDTRANE	0	R/W	DTRANE 割り込みイネーブル 0 : DTRANE フラグによる割り込み出力を禁止 1 : DTRANE フラグにより割り込み出力を許可
22	MBUFRE	0	R/W	BUFRE 割り込みイネーブル 0 : BUFRE フラグによる割り込み出力を禁止 1 : BUFRE フラグにより割り込み出力を許可
21	MBUFWEN	0	R/W	BUFWEN 割り込みイネーブル 0 : BUFWEN フラグによる割り込み出力を禁止 1 : BUFWEN フラグにより割り込み出力を許可
20	MBUFREN	0	R/W	BUFREN 割り込みイネーブル 0 : BUFREN フラグによる割り込み出力を禁止 1 : BUFREN フラグにより割り込み出力を許可
19, 18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
17	MRBSYE	0	R/W	RBSYE 割り込みイネーブル 0 : RBSYE フラグによる割り込み出力を禁止 1 : RBSYE フラグにより割り込み出力を許可
16	MCRSPE	0	R/W	CRSPE 割り込みイネーブル 0 : CRSPE フラグによる割り込み出力を禁止 1 : CRSPE フラグにより割り込み出力を許可
15	MCMDVIO	0	R/W	CMDVIO 割り込みイネーブル 0 : CMDVIO フラグによる割り込み出力を禁止 1 : CMDVIO フラグにより割り込み出力を許可
14	MBUFVIO	0	R/W	BUFVIO 割り込みイネーブル 0 : BUFVIO フラグによる割り込み出力を禁止 1 : BUFVIO フラグにより割り込み出力を許可
13、12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	MWDATERR	0	R/W	WDATERR 割り込みイネーブル 0 : WDATERR フラグによる割り込み出力を禁止 1 : WDATERR フラグにより割り込み出力を許可
10	MRDATERR	0	R/W	RDATERR 割り込みイネーブル 0 : RDATERR フラグによる割り込み出力を禁止 1 : RDATERR フラグにより割り込み出力を許可
9	MRIDXERR	0	R/W	RIDXERR 割り込みイネーブル 0 : RIDXERR フラグによる割り込み出力を禁止 1 : RIDXERR フラグにより割り込み出力を許可
8	MRSPEERR	0	R/W	RSPERR 割り込みイネーブル 0 : RSPERR フラグによる割り込み出力を禁止 1 : RSPERR フラグにより割り込み出力を許可
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	MCRRCSTO	0	R/W	CRCSTO 割り込みイネーブル 0 : CRCSTO フラグによる割り込み出力を禁止 1 : CRCSTO フラグにより割り込み出力を許可
3	MWDATTO	0	R/W	WDATTO 割り込みイネーブル 0 : WDATTO フラグによる割り込み出力を禁止 1 : WDATTO フラグにより割り込み出力を許可
2	MRDATTO	0	R/W	RDATTO 割り込みイネーブル 0 : RDATTO フラグによる割り込み出力を禁止 1 : RDATTO フラグにより割り込み出力を許可

ビット	ビット名	初期値	R/W	説明
1	MRBSYTO	0	R/W	RBSYTO 割り込みイネーブル 0 : RBSYTO フラグによる割り込み出力を禁止 1 : RBSYTO フラグにより割り込み出力を許可
0	MRSPTO	0	R/W	RSPTO 割り込みイネーブル 0 : RSPTO フラグによる割り込み出力を禁止 1 : RSPTO フラグにより割り込み出力を許可

45.3.13 ステータスレジスタ 1 (CE_HOST_STS1)

CE_HOST_STS1 は、転送完了したブロック数、MMC_CMD 線と MMC_D 線の状態、受信したレスポンスのインデックス、コマンドシーケンスの状態を表すレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMD SEQ	CMD SIG	RSPIDX[5:0]						DATSIG[7:0]							
初期値 :	0	-	0	0	0	0	0	0	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCVBLK[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CMDSEQ	0	R	コマンドシーケンス状態表示 0 : コマンドシーケンスが初期状態にあるとき 1 : コマンドシーケンスが実行中であるとき
30	CMDSIG	不定	R	MMC_CMD 状態表示 MMC_CMD 線の状態を表示します。
29~24	RSPIDX[5:0]	H'00	R	レスポンスインデックス表示 6 バイトレスポンスの[45:40]、または、17 バイトレスポンスの[133:128]を表示します。
23~16	DATSIG[7:0]	不定	R	MMC_D 状態表示 MMC_D[7:0]線の状態を表示します。 【注】 通信エラーまたはタイムアウトが発生すると、MMCDAT[0]が0の状態のままの場合があります。
15~0	RCVBLK [15:0]	H'0000	R	転送完了ブロック数表示 転送完了したブロック数を表示します。 CE_CMD_SET の DWEN が 0 のとき : カードからリードしたブロック数 CE_CMD_SET の DWEN が 1 のとき : カードヘライトしたブロック数

45.3.14 ステータスレジスタ 2 (CE_HOST_STS2)

CE_HOST_STS2 は、各種タイムアウト、各種エラーの状態を表すレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRC STE	CRC 16E	AC12 CRCE	RSP CRC7E	CRC STEBE	RDAT EBE	AC12R EBE	RSP EBE	AC12 IDXE	RSP IDXE	—	—	—	CRCST[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	STRD ATTO	DATBS YTO	CRCST TO	AC12 BSYTO	RSPBS YTO	AC12 RSPTO	STRS PTO	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CRCSTE	0	R	CRC status エラー CRC status 値にエラーがあった場合、1 になります。
30	CRC16E	0	R	リードデータ CRC16 エラー リードデータの CRC16 にエラーがあった場合、1 になります。
29	AC12CRCE	0	R	自動 CMD12 レスポンス CRC7 エラー 自動 CMD12 に対するレスポンスの[7:1]にエラーがあった場合、1 になります。 【注】 チェック内容は、CE_CMD_SET の RCRC7C に設定。
28	RSPCRC7E	0	R	コマンドレスポンス CRC7 エラー (自動 CMD12 以外) 6 バイトレスポンス、または、17 バイトレスポンスの[7:1]にエラーがあった場合、1 になります。 【注】 チェック内容は、CE_CMD_SET の RCRC7C に設定。
27	CRCSTEBE	0	R	CRC status エンドビットエラー CRC status のエンドビットにエラーがあった場合、1 になります。
26	RDATEBE	0	R	リードデータエンドビットエラー リードデータのエンドビットにエラーがあった場合、1 になります。
25	AC12REBE	0	R	自動 CMD12 レスポンスエンドビットエラー 自動 CMD12 レスポンスのエンドビットにエラーがあった場合、1 になります。
24	RSPEBE	0	R	コマンドレスポンスエンドビットエラー (自動 CMD12 以外) レスポンスのエンドビットにエラーがあった場合、1 になります。
23	AC12IDXE	0	R	自動 CMD12 レスポンスインデックスエラー 自動 CMD12 に対するレスポンスの[45:40]にエラーがあった場合、1 になります。 【注】 チェック内容は、CE_CMD_SET の RIDXC に設定。
22	RSPIDXE	0	R	コマンドレスポンスインデックスエラー (自動 CMD12 以外) 6 バイトレスポンスの[45:40]、または、17 バイトレスポンスの[133:128]にエラーがあった場合、1 になります。 【注】 チェック内容は、CE_CMD_SET の RIDXC に設定。

ビット	ビット名	初期値	R/W	説明
21~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~16	CRCST[2:0]	000	R	CRC status 表示 受信した CRC status のステータス値を表示します
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	STRDATTO	0	R	リードデータタイムアウト <ul style="list-style-type: none"> リードコマンド送信後、CE_CLK_CTRL の SRWDTO の期間を超えリードデータを受信できなかった場合、1になります。 リードデータ受信後、CE_CLK_CTRL の SRWDTO の期間を超えリードデータを受信できなかった場合、1になります。
13	DATBSYTO	0	R	データビジータイムアウト CRC status 受信後、CE_CLK_CTRL の SRWDTO の期間を超えビジーが続いた場合、1になります。
12	CRCSTTO	0	R	CRC status タイムアウト CRC status が受信できなかった場合、1になります。
11	AC12BSYTO	0	R	自動 CMD12 レスポンスビジータイムアウト 自動 CMD12 送信後、CE_CLK_CTRL の SRBSYTO の期間を超えビジーが続いた場合、1になります。
10	RSPBSYTO	0	R	レスポンスビジータイムアウト コマンド(自動 CMD12 以外)送信後、CE_CLK_CTRL の SRBSYTO の期間を超えビジーが続いた場合、1になります。
9	AC12RSPTO	0	R	自動 CMD12 レスポンスタイムアウト 自動 CMD12 送信後、CE_CLK_CTRL の SRSPTO の期間を超えレスポンスを受信できなかった場合、1になります。
8	STRSPTO	0	R	レスポンスタイムアウト コマンド(自動 CMD12 以外)送信後、CE_CLK_CTRL の SRSPTO の期間を超えレスポンスを受信できなかった場合、1になります。
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

45.3.15 DMA モード設定レジスタ (CE_DMA_MODE)

CE_DMA_MODE は、DMA 転送を行う際に設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMA SEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DMASEL	0	R/W	DMA 転送サイズ選択 CE_DATA リード/ライト DMA 転送を行なう場合の転送単位を選択します。DMA チャンネルコントロールレジスタのトランスファサイズ (TS[1:0]) の転送サイズと合わせて設定してください。 0: ワード (2 バイト)、または、ロングワード (4 バイト) 単位 1: 16 バイト (ロングワード×4) 単位 【注】 16 バイト単位での転送で、通信エラーまたはタイムアウト等により DMA 転送を強制終了した場合、本ビットに 0 を書き込んだ後、再設定してください。また、ソフトウェアリセット使用時も、本ビットに 0 を書き込んだ後、再設定してください。

45.3.16 カード検出 / ポート制御レジスタ (CE_DETECT)

CE_DETECT は、カードの検出を制御するレジスタです。カード検出による割り込み要求の詳細については、「45.4 割り込み要求の説明」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CD SIG	CD RISE	CD FALL	—	—	—	—	—	—	MCD RISE	MCD FALL	—	—	—	—
初期値:	0	—	0	0	0	—	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W*	R/W*	R	R	R	R	R	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
14	CDSIG	不定	R	MMC_CD 端子状態表示 MMC_CD 端子の状態を表示します。
13	CDRISE	0	R/W*	MMC_CD 端子 rise 検出フラグ セット条件: MMC_CD 端子が Low High に変化したとき クリア条件: 0 をライト
12	CDFALL	0	R/W*	MMC_CD 端子 fall 検出フラグ セット条件: MMC_CD 端子が High Low に変化したとき クリア条件: 0 をライト
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
10	-	不定	R	リザーブビット 書き込む値は常に0にしてください。
9~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
5	MCDRISE	0	R/W	CDRISE 割り込みイネーブル 0: CDRISE フラグによる割り込み出力を禁止 1: CDRISE フラグにより割り込み出力を許可
4	MCDFALL	0	R/W	CDFALL 割り込みイネーブル 0: CDFALL フラグによる割り込み出力を禁止 1: CDFALL フラグにより割り込み出力を許可
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

【注】 * 0 ライトのみ有効となり、1 をライトしても反映されません。

45.3.17 特殊モード設定レジスタ (CE_ADD_MODE)

CE_ADD_MODE は、内部クロックを制御するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CLK MAIN	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
19	CLKMAIN	0	R/W	内部クロック制御 0: 通常モード 1: 低消費電力モード (カード検出のみ可能)
18~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

45.3.18 バージョンレジスタ (CE_VERSION)

CE_VERSION は、本モジュールのバージョン値の表示とソフトウェアリセットを制御するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SW RST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VERSION[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	SWRST	0	R/W	ソフトウェアリセット 0: ソフトウェアリセット解除 (通常動作) 1: ソフトウェアリセット中 SWRST に 1 を設定すると、全レジスタの値が初期値になります (SWRST は初期値になりません)。
30~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	VERSION [15:0]	H'0003	R	バージョン表示 本モジュールのバージョン値を表示します。

45.4 割り込み要求の説明

本モジュールの割り込み要求の仕様を表 45.3 に示します。本モジュールには、通常動作割り込み、エラー / タイムアウト割り込み、カード検出割り込みの 3 種類の割り込み要求があります。割り込みフラグが 1 かつ割り込みイネーブルが 1 のとき割り込み要求をアサートします。

表 45.3 割り込み要求の仕様

フラグレジスタ	ビット	マスクレジスタ	ビット	割り込み要求	
CE_INT	CMD12DRE	CE_INT_EN	MCMD12DRE	通常動作割り込み (MMC2)	
	CMD12RBE		MCMD12RBE		
	CMD12CRE		MCMD12CRE		
	DTRANE		MDTRANE		
	BUFRE		MBUFRE		
	BUFWEN		MBUFWEN		
	BUFREN		MBUFREN		
	RBSYE		MRBSYE		
	CRSPE		MCRSPE		
	CMDVIO		MCMDVIO		エラー / タイムアウト 割り込み (MMC1)
	BUFVIO		MBUFVIO		
	WDATERR		MWDATERR		
	RDATERR		MRDATERR		
	RIDXERR		MRIDXERR		
	RSPERR		MRSPELL		
	CRCSTO		MCRCSTO		
	WDATTO		MWDATTO		
	RDATTO		MRDATTO		
	RBSYTO		MRBSYTO		
	RSPTO		MRSPTO		
CE_DETECT	CDRISE	CE_DETECT	MCDRISE	カード検出割り込み (MMC0)	
	CDFALL		MCDFALL		

45.5 DMA 仕様

本モジュールは、バッファリード用とバッファライト用 2 チャンネルの DMA 転送要求を持っています。

45.5.1 バッファライト DMA の説明

CE_BUF_ACC の DMAWEN ビットを 1 に設定し、バッファが空であるとき、バッファライト DMA 転送要求がアサートされます。

DMA 転送要求は、 $BLKSIZ$ (CE_BLOCK_SET に設定したブロックサイズ) \times $BLKCNT$ (CE_BLOCK_SET に設定した転送ブロック数) 分アサートされ、最終ブロックの転送が終わるとネゲートされます。この際、CE_INT の BUFWEN ビットはアサートされませんので、注意してください。

DMA 転送中にエラーが発生するか強制終了を実行すると、コマンドシーケンスが自動停止するため、DMA 転送要求はネゲートされます。

45.5.2 バッファリード DMA の説明

CE_BUF_ACC の DMAREN ビットを 1 に設定し、CE_BLOCK_SET に設定した転送ブロックサイズ分のデータがたまっているとき、バッファリード DMA 転送要求がアサートされます。

DMA 転送要求は、 $BLKSIZ$ (CE_BLOCK_SET に設定したブロックサイズ) \times $BLKCNT$ (CE_BLOCK_SET に設定した転送ブロック数) 分アサートされ、最終ブロックの転送が終わるとネゲートされます。この際、CE_INT の BUFREN はアサートされませんので、注意してください。

DMA 転送中にエラーが発生するか強制終了を実行すると、コマンドシーケンスが自動停止するため、DMA 転送要求はネゲートされます。

45.6 動作説明

45.6.1 コマンド/レスポンスのフォーマット

送信するコマンドのフォーマットを図 45.2 に示します。CE_CMD_SET の CMD[5:0] ビットに設定したコマンドインデックスと CE_ARG の ARG[31:0] ビットに設定したアーギュメントが反映されます。

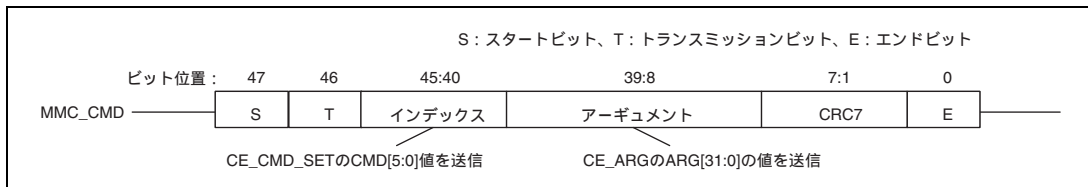


図 45.2 コマンドのフォーマット

6 バイトレスポンス受信時のフォーマットを図 45.3 に、17 バイトレスポンス (R2) 受信時のフォーマットを図 45.4 に示します。CE_HOST_STS1 の RSPIDX[5:0] ビットにレスポンスインデックスが格納され、CE_RESP0 もしくは CE_RESP3 ~ 0 にレスポンスのステータス値が格納されます。

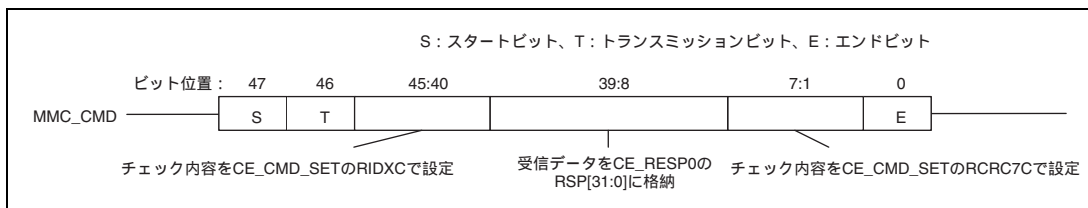


図 45.3 6 バイトレスポンスのフォーマット

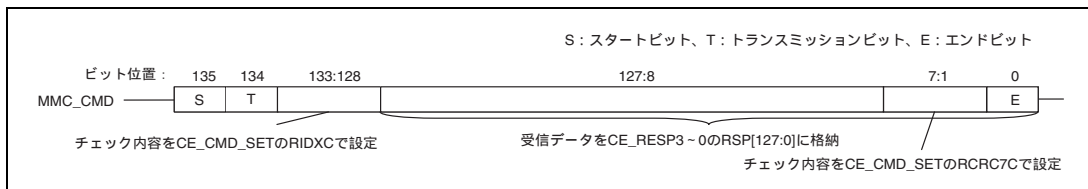


図 45.4 17 バイトレスポンスのフォーマット (R2)

45.6.2 データブロックフォーマット

データブロックのフォーマットを図 45.5 に示します。図の D0 ~ D3 については、「45.6.3 バッファ構造とバッファアクセス」を参照してください。カードにライトする場合、バッファに格納されたデータを送信します。カードからリードする場合、受信したデータをバッファに格納します。

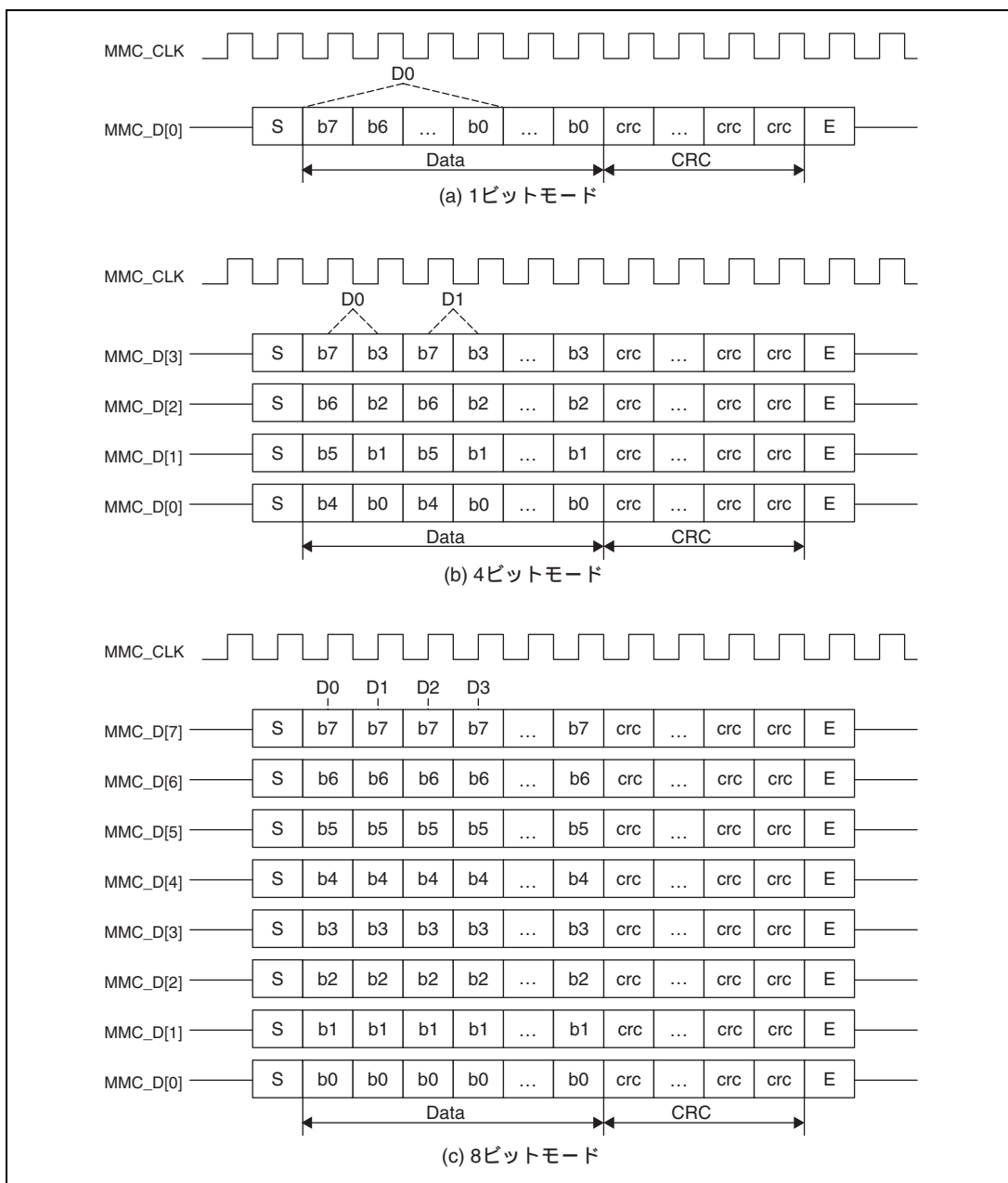


図 45.5 データブロックのフォーマット

45.6.3 バッファ構造とバッファアクセス

本モジュールは図 45.6 に示すように、512 バイトの RAM を 2 つ持っています。そのため、マルチブロックライト時には、バッファに格納された 1 ブロック分のデータ (= 512 バイト) を送信しても、もう片方のバッファがフルであれば、引き続き、次のブロックのデータを送信することができます。また、マルチブロックリード時には、1 ブロック分の受信データ (= 512 バイト) をバッファに格納しても、もう片方のバッファが空であれば、引き続き、次のブロックの受信データをバッファに格納することができます。

なお、マルチブロックリード時に両方のバッファが空でない場合には、MMC クロックを停止して受信を一時停止します。そして、どちらかのバッファが空になったとき、MMC クロックの供給を開始して受信を再開します。

バッファには、CE_DATA を使ってアクセスします。転送ブロックサイズを $4 \times n + 1$ もしくは $4 \times n + 3$ と設定した場合、16 ビットアクセス時は $4 \times n + 2$ バイトもしくは $4 \times (n + 1)$ バイト分 CE_DATA にアクセスしてください。32 ビットアクセス時は $4 \times (n + 1)$ バイト分 CE_DATA にアクセスしてください ($n = 0, 1, 2, 3, \dots, 127$)。

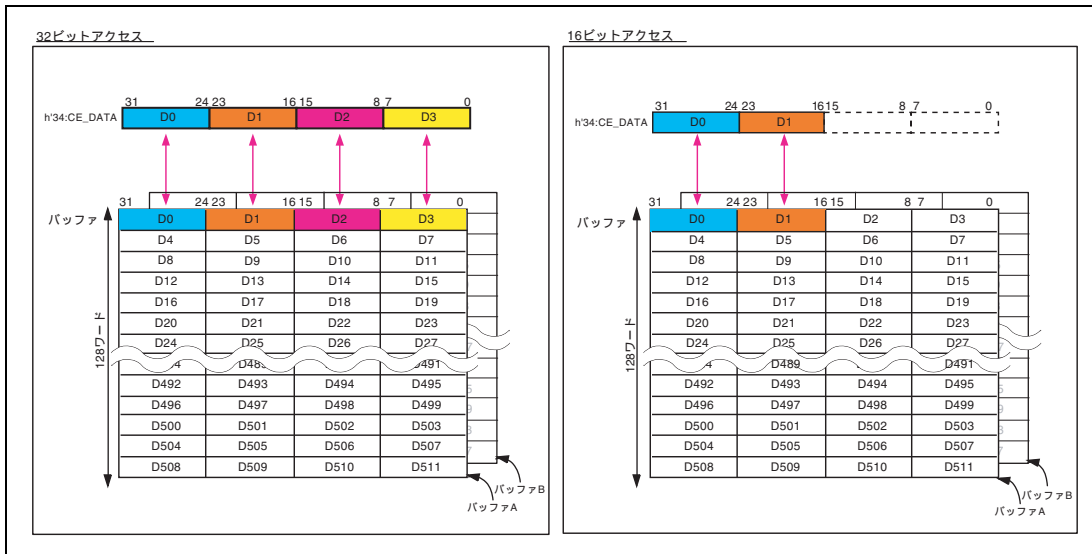


図 45.6 ダブルバッファの構造

また、CE_BUF_ACCのバッファアクセス選択機能により、CE_DATAにライト、リードするデータを1バイト単位で差し替え、バッファにアクセスすることができます。

図 45.7 に、32 ビット / 16 ビットアクセス時の仕様を示します。

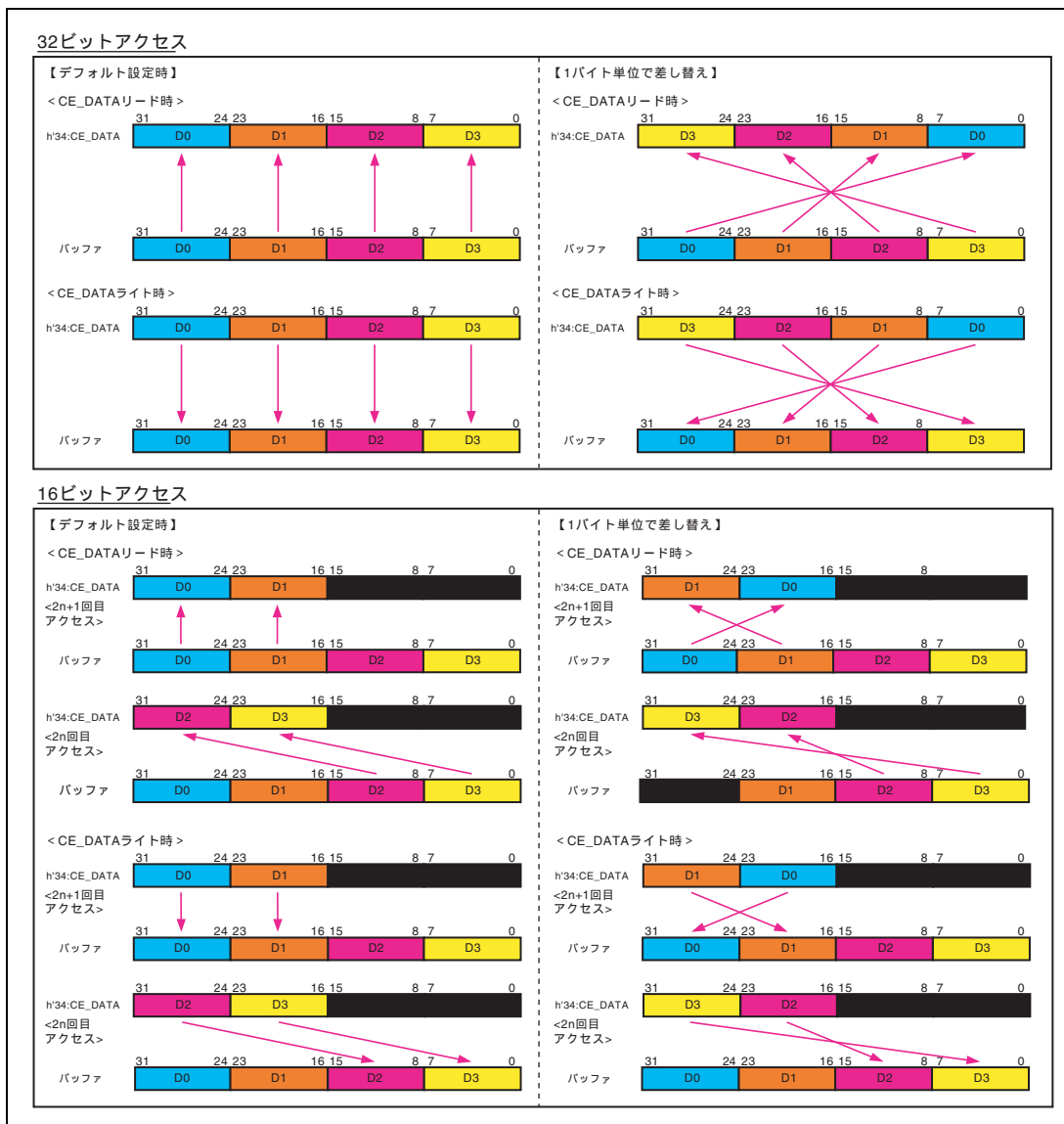


図 45.7 32 ビット / 16 ビットアクセス時の 1 バイト単位差し替えの仕様 (n=0、1、2、...、255)

45.6.4 自動 CMD12 発行

本モジュールは、CE_CMD_SET の CMD12EN を 1 に設定しマルチブロック転送を行うと、CMD12 を自動で発行します。

図 45.8 に、マルチブロックリード時の自動 CMD12 発行タイミングを示します。CMD12 は、最終ブロック受信中に、データのエンドビットから 2 ビット前にコマンドのエンドビットが来るように発行されます。

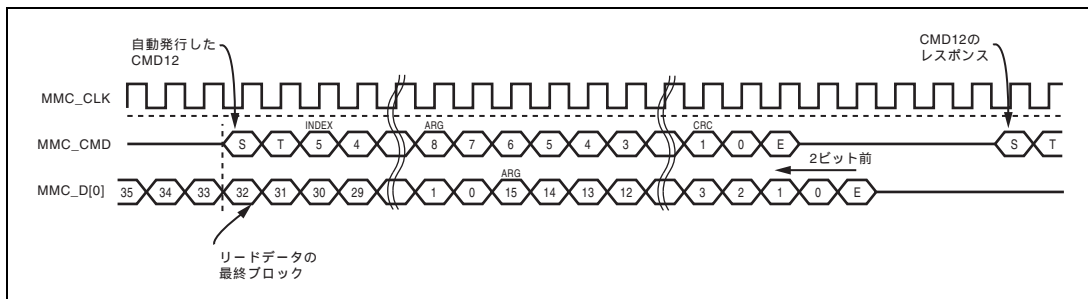


図 45.8 マルチブロックリード時の自動 CMD12 発行タイミング (1 ビットモード時)

図 45.9 に、マルチブロックライト時の自動 CMD12 発行タイミングを示します。CMD12 は、最終ブロックの送信後のデータビジーが終了した後に発行されます。

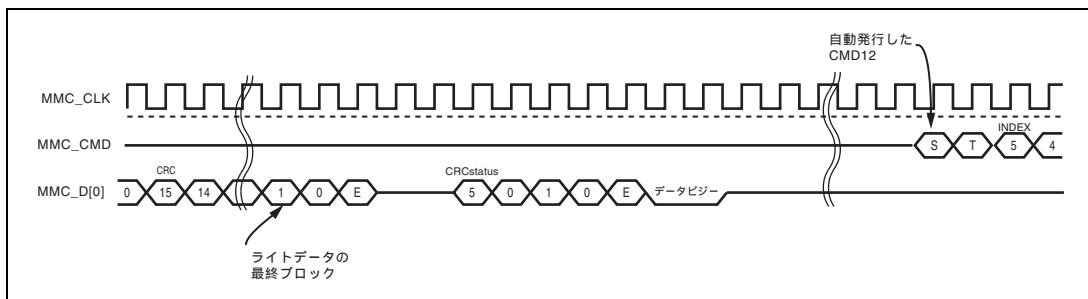


図 45.9 マルチブロックライト時の自動 CMD12 発行タイミング (1 ビットモード時)

なお、自動 CMD12 のアーギュメントは、CE_ARG_CMD12 に設定します。また、CMD12 に対するレスポンス [39:8]が、CE_RESP_CMD12 に格納されます。また、レスポンス受信時のビジーを受信します。

45.6.5 エラー、タイムアウト発生時の本モジュールの処理

エラーが発生したときに、本モジュールが停止しないことがあります。エラーが発生したときに、コマンドシーケンスが実行中（CE_HOST_STS1 の CMDSEQ で確認）であれば、強制終了を行った後、ソフトリセットしてください。なお、エラー発生時にバッファに格納されていた送信データ、受信データは保証されません。

タイムアウトが発生したとき、本モジュールは停止しません。タイムアウト発生後に次のコマンドを発行する場合には、強制終了を行った後、ソフトリセットしてから、次のコマンドを発行してください。

強制終了に関しては、「45.8 使用上の注意事項」を参照してください。

45.7 設定例

代表的なコマンドシーケンスを実行する手順について説明します。

45.7.1 凡例の説明

図中記載の記号についての凡例を、図 45.10 に示します。

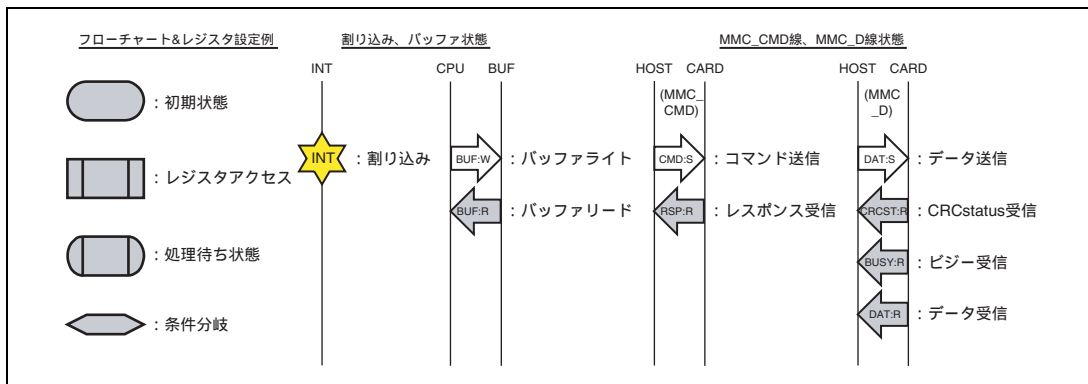


図 45.10 図中記載記号の凡例

45.7.2 コマンド送信設定例

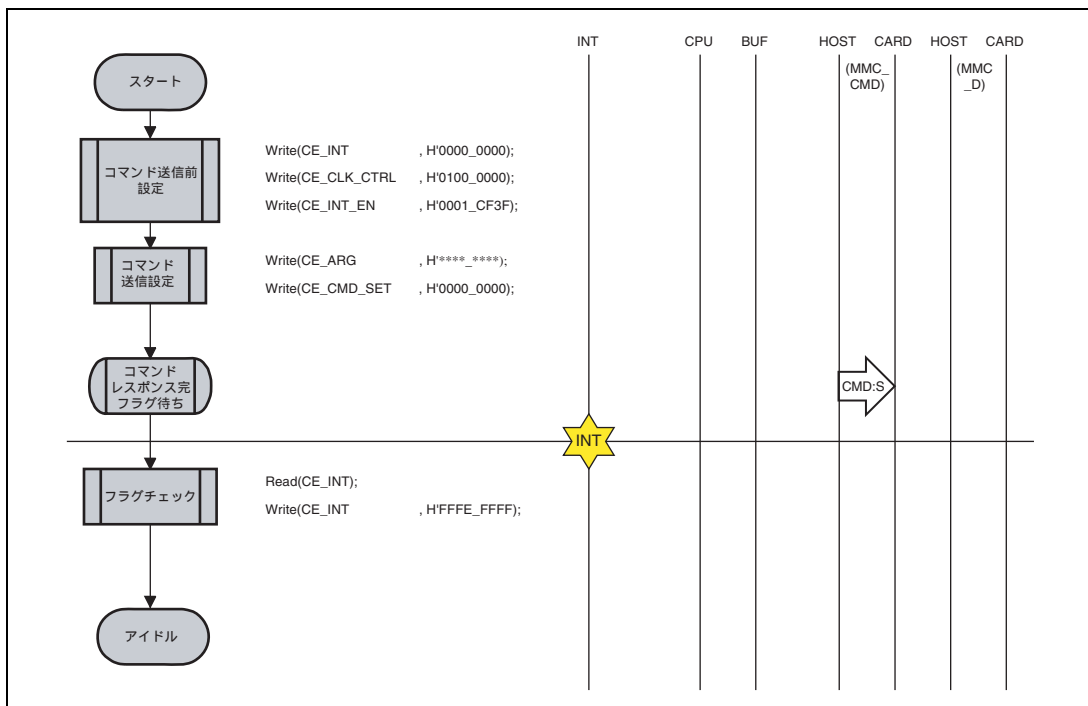


図 45.11 コマンド送信設定例 (CMD0)

45.7.3 コマンド送信 レスポンス受信設定例

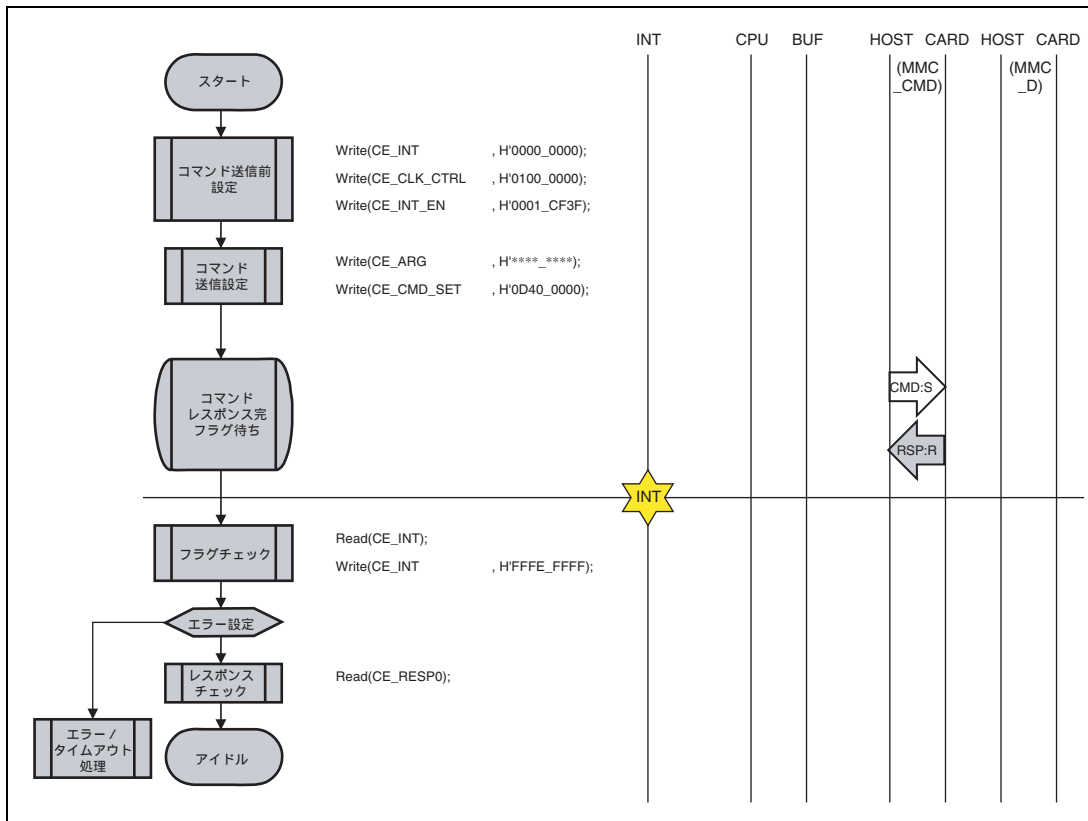


図 45.12 コマンド送信 レスポンス受信設定例 (CMD3)

45.7.4 コマンド送信 レスポンス受信 (レスポンスビジーあり) 設定例

- ビジー時間がCE_CLK_CTRLのSRBSYTOの設定未満の場合

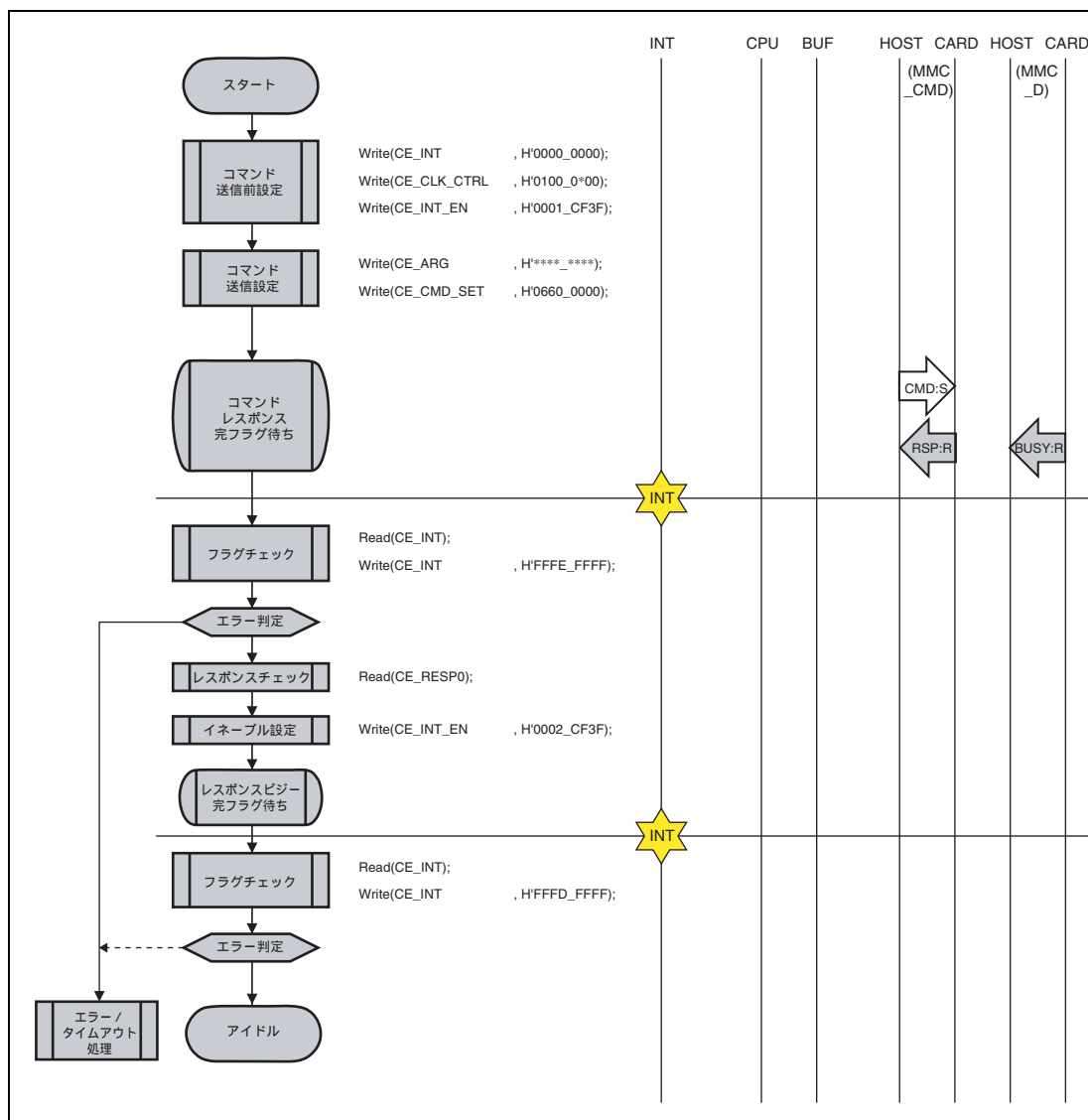


図 45.13 コマンド送信 レスポンス受信 (レスポンスビジーあり) 設定例 (CMD6)

- ビジー時間がCE_CLK_CTRLのSRBSYTOの設定以上になることがある場合

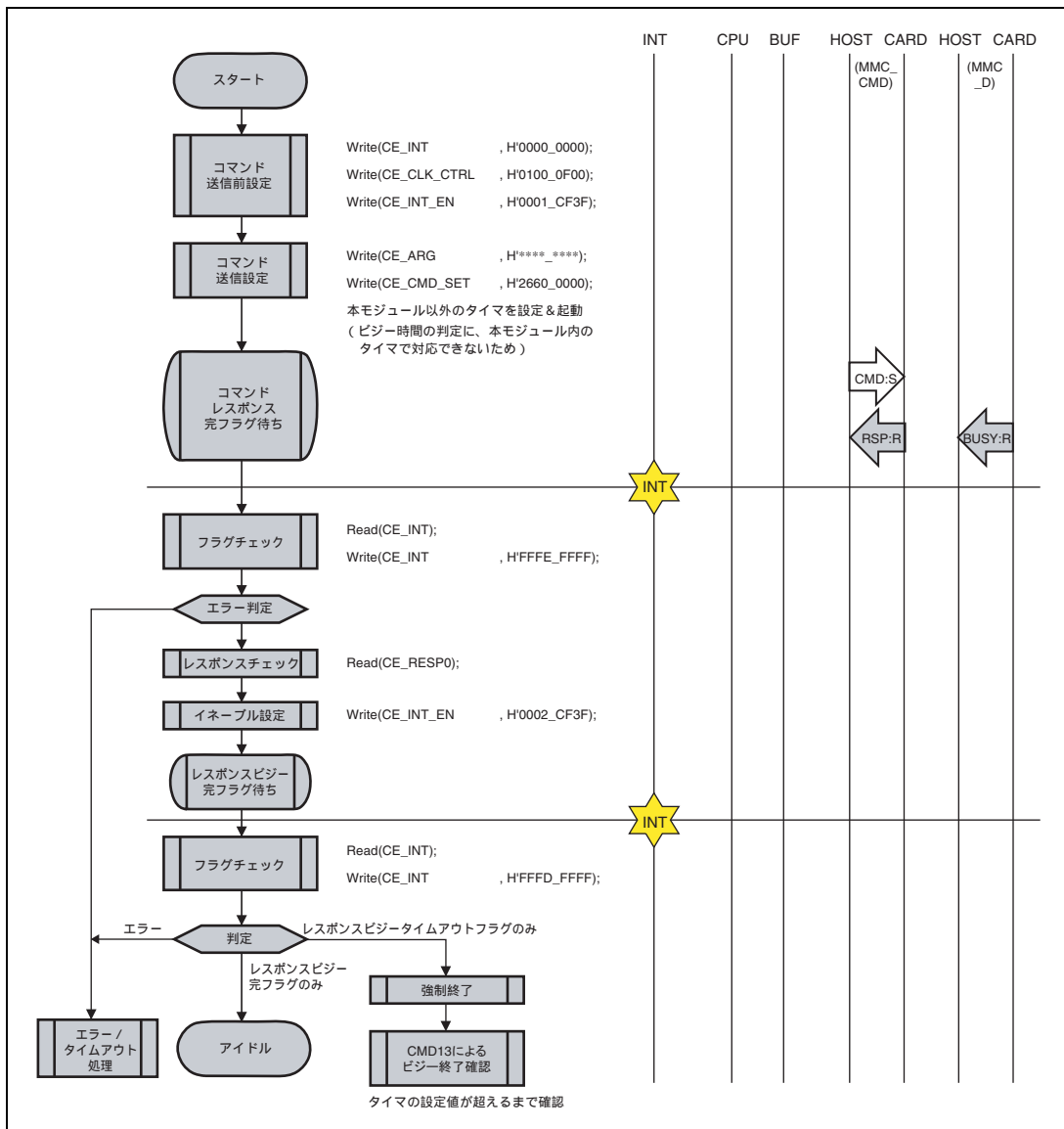


図 45.14 コマンド送信 レスポンス受信 (レスポンスビジーあり) 設定例 (CMD38)

45.7.5 シングルブロックリード設定例

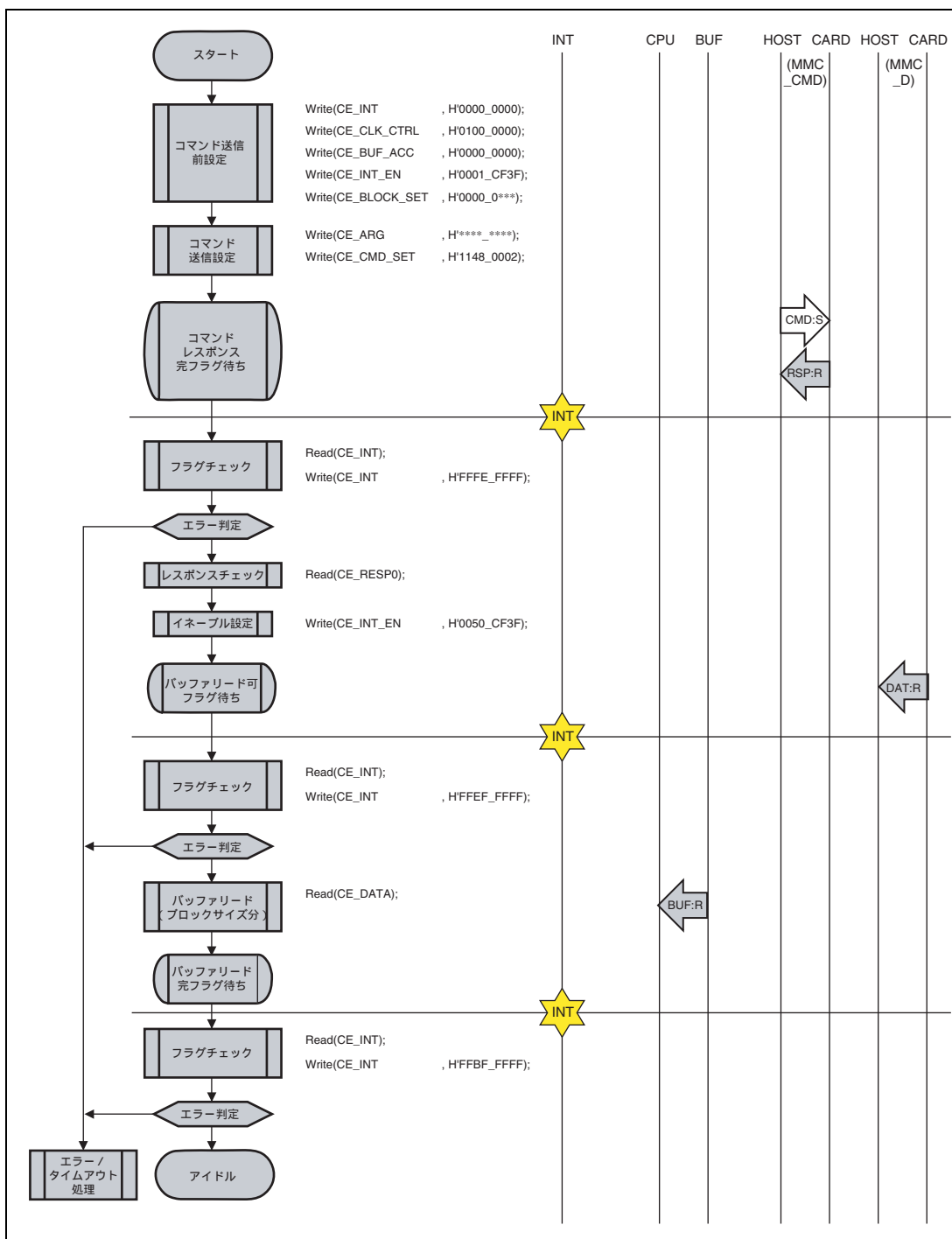


図 45.15 シングルブロックリード設定例 (CMD17)

45.7.6 マルチブロックリード設定例

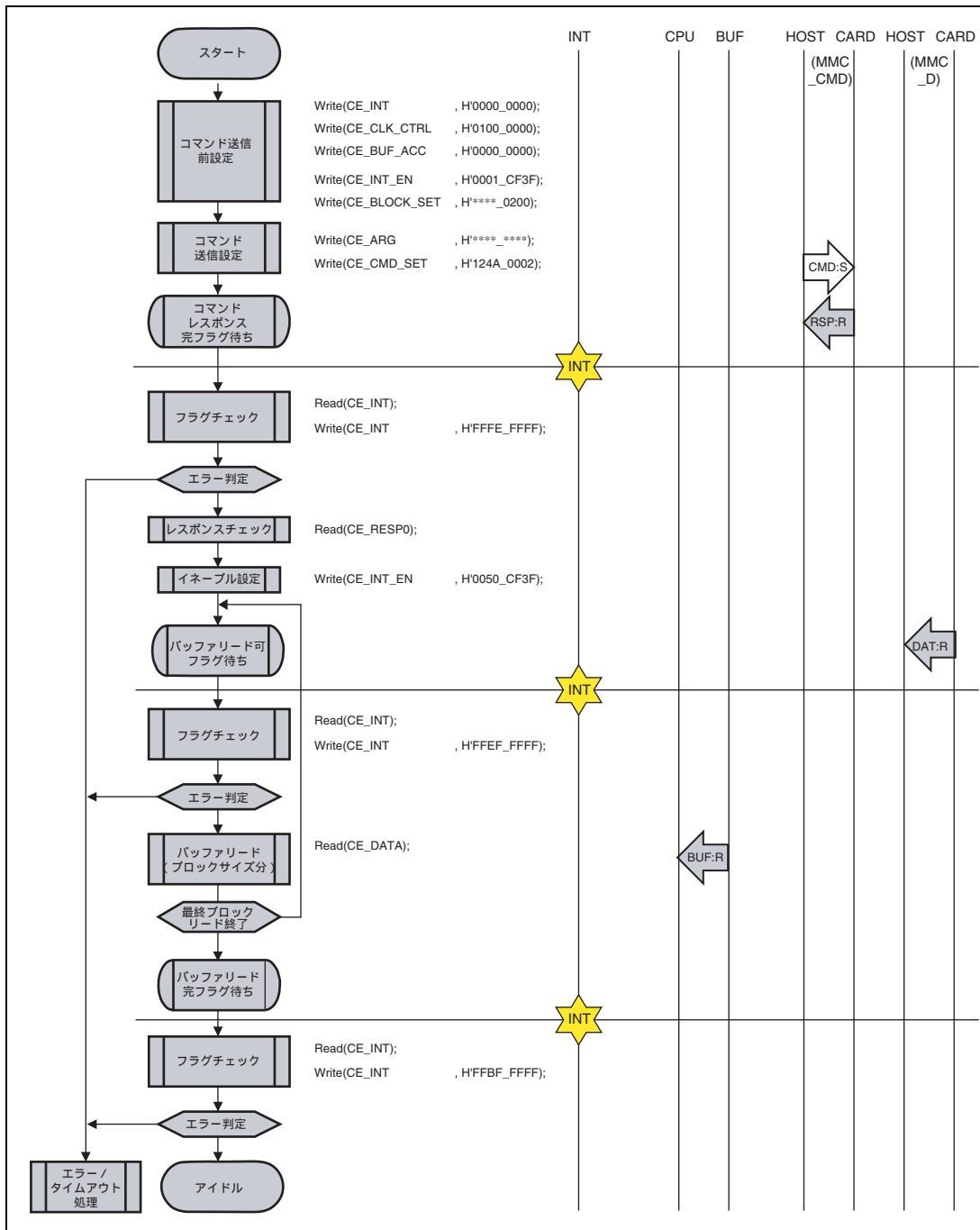


図 45.16 マルチブロックリード設定例 (CMD18 Pre-defined)

45.7.7 マルチブロックリード (自動 CMD12 あり) 設定例

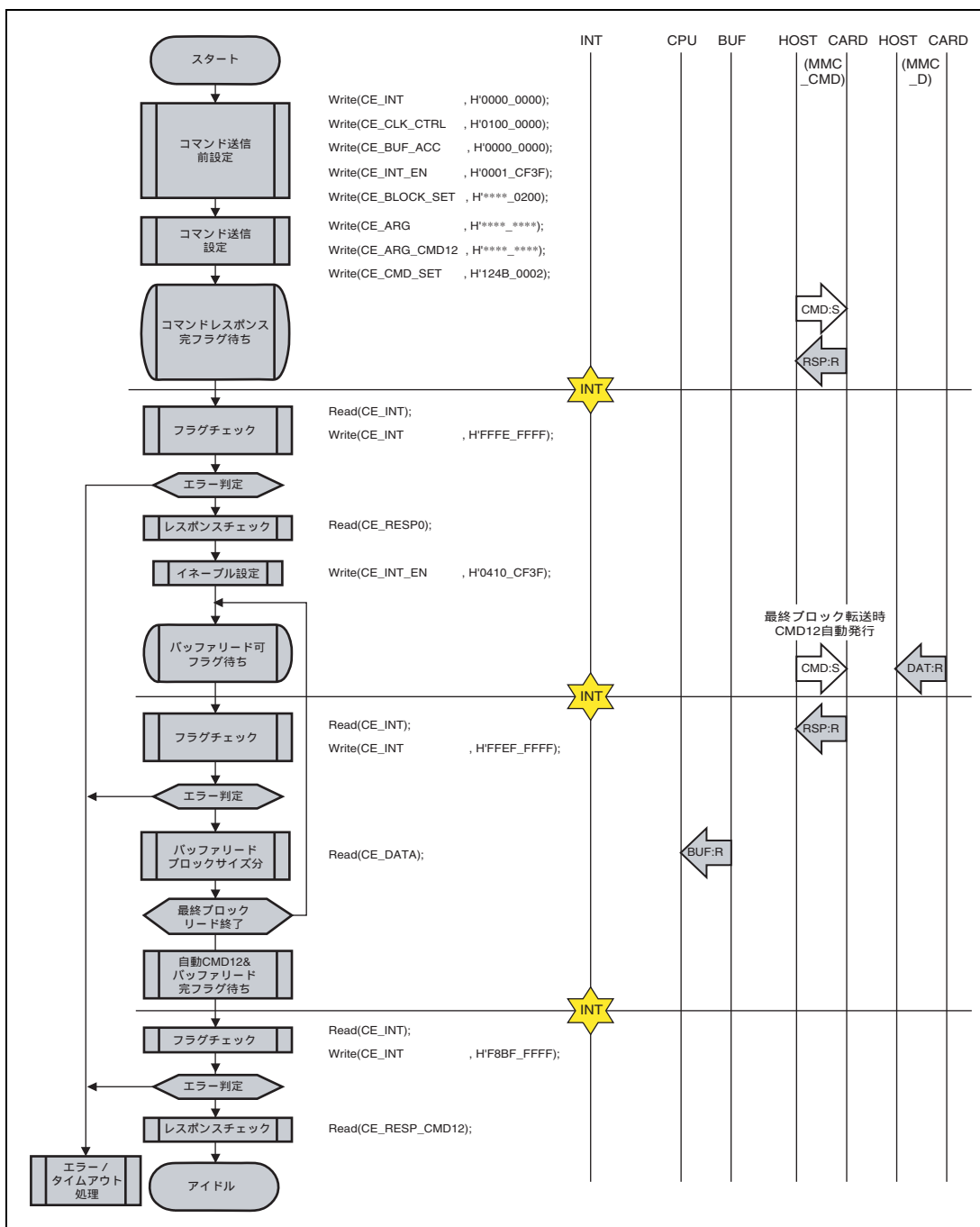


図 45.17 マルチブロックリード (自動 CMD12 あり) 設定例 (CMD18 Open-ended)

45.7.8 シングルブロックライト設定例

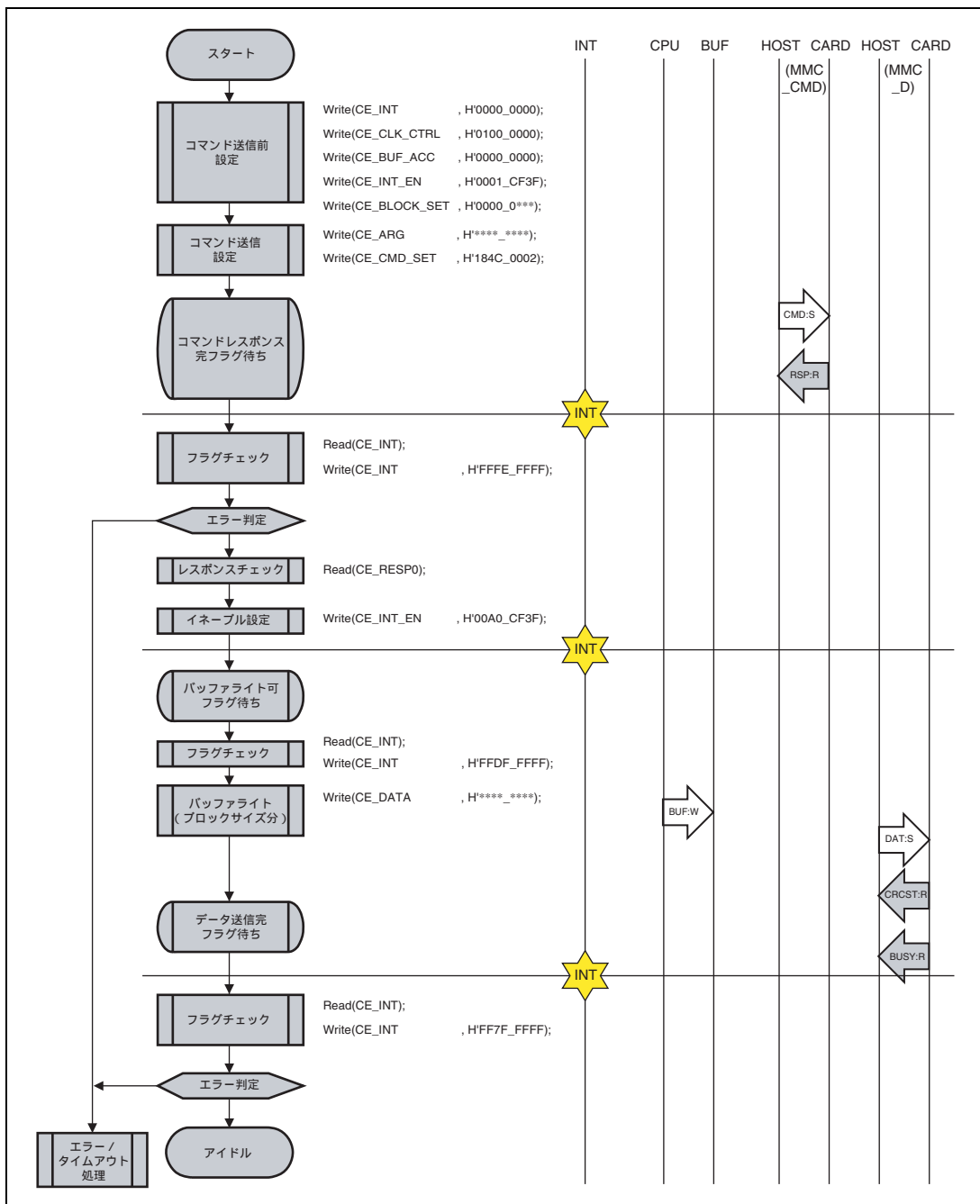


図 45.18 シングルブロックライト設定例 (CMD24)

45.7.9 マルチブロックライト設定例

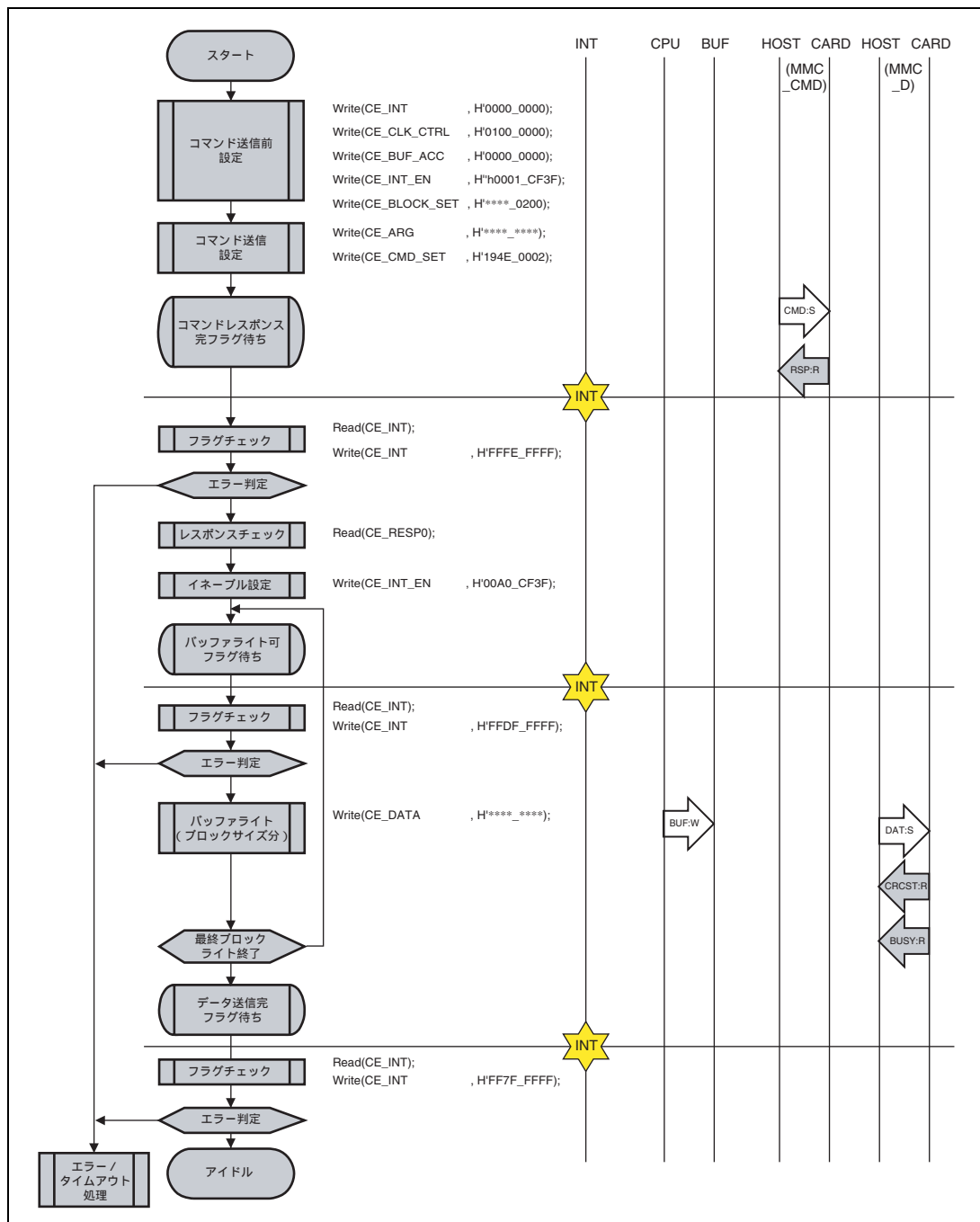


図 45.19 マルチブロックライト設定例 (CMD25 Pre-defined)

45.7.10 マルチブロックライト (自動 CMD12 あり) 設定例

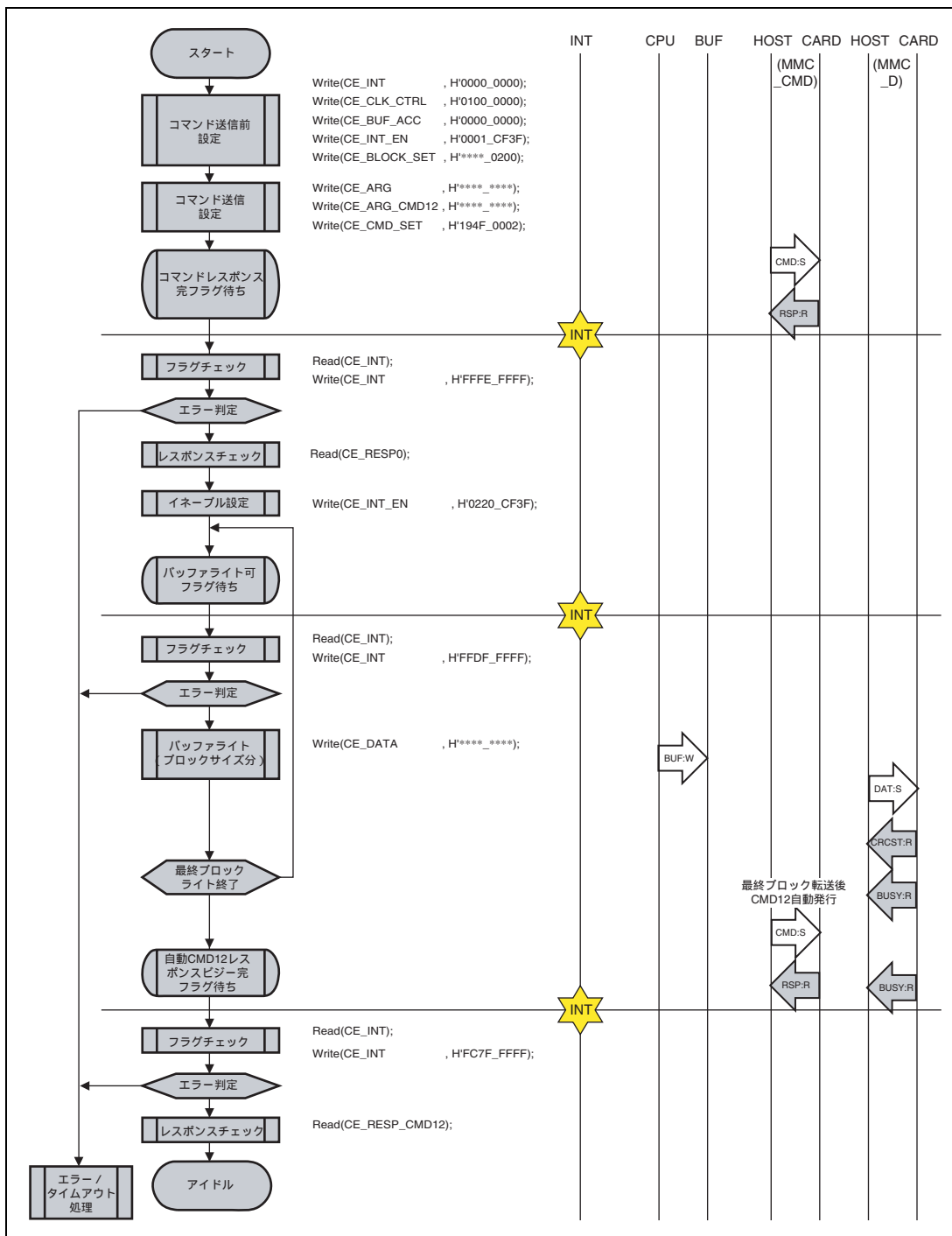


図 45.20 マルチブロックライト (自動 CMD12 あり) 設定例 (CMD25 Open-ended)

45.7.11 強制終了設定例

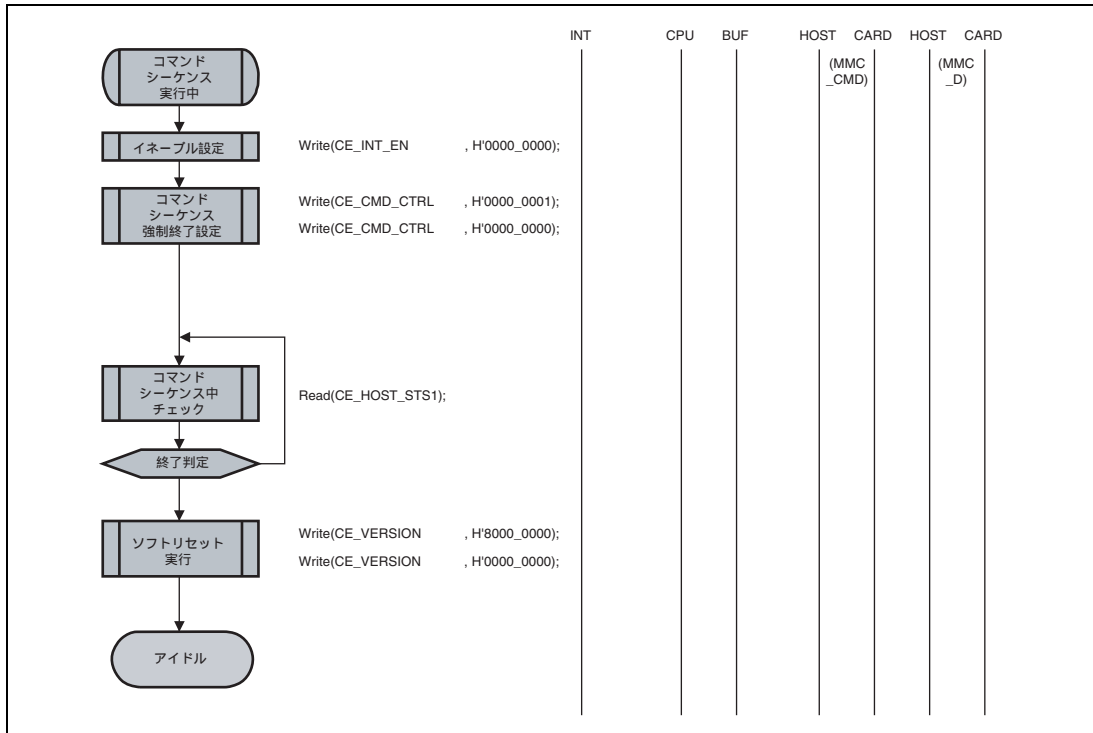


図 45.21 強制終了設定例

45.7.12 CE_CMD_SET 設定値

コマンドを発行する際の設定値一覧を、表 45.4 に示します。

表 45.4 CE_CMD_SET 設定値

Command	Response	CE_CMD_SET 設定値																				備考			
		.	.	CMD[5:0]	RTYP[1:0]	RBSY	.	WDAT	DWEN	CMLTE	CMD12EN	RIDXCl[1:0]	RCRC7C[1:0]	.	CRC16C	.	CRCSTE	TBIT	OPDM	.	.		SBIT	.	DATW[1:0]
CMD0	-	0	0	000000	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD1	R3	0	0	000001	01	0	0	0	0	0	0	01	01	0	0	0	0	0	0	0	0	0	0	00	
CMD2	R2	0	0	000010	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	0	0	0	00	
CMD3	R1	0	0	000011	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD4	-	0	0	000100	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD5	R1b	0	0	000101	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD6	R1b	0	0	000110	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD7	R1	0	0	000111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
	R1b	0	0	000111	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD8	R1	0	0	001000	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD9	R2	0	0	001001	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	0	0	0	00	
CMD10	R2	0	0	001010	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	0	0	0	00	
CMD12	R1	0	0	001100	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
	R1b	0	0	001100	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD13	R1	0	0	001101	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD14	R1	0	0	001110	01	0	0	1	0	0	0	00	00	0	1	0	0	0	0	0	0	0	1	0	**
CMD15	-	0	0	001111	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD16	R1	0	0	010000	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD17	R1	0	0	010001	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD18	R1	0	0	010010	01	0	0	1	0	1	0	00	00	0	0	0	0	0	0	0	0	0	*	**	Pre-defined
	R1	0	0	010010	01	0	0	1	0	1	1	00	00	0	0	0	0	0	0	0	0	0	*	**	Open-ended
CMD19	R1	0	0	010011	01	0	0	1	1	0	0	00	00	0	0	0	0	1	0	0	0	0	0	**	
CMD23	R1	0	0	010111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD24	R1	0	0	011000	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD25	R1	0	0	011001	01	0	0	1	1	1	0	00	00	0	0	0	0	0	0	0	0	0	*	**	Pre-defined
	R1	0	0	011001	01	0	0	1	1	1	1	00	00	0	0	0	0	0	0	0	0	0	*	**	Open-ended
CMD26	R1	0	0	011010	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD27	R1	0	0	011011	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD28	R1b	0	0	011100	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD29	R1b	0	0	011101	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	

Command	Response	CE_CMD_SET 設定値																				備考				
		.	.	CMD[5:0]	RTYP[1:0]	RBSY	.	WDAT	DWEN	CMLTE	CMD12EN	RIDXCI[1:0]	RCRC7C[1:0]	.	CRC16C	.	CRCSTE	TBIT	OPDM	.	.		SBIT	.	DATW[1:0]	
CMD30	R1	0	0	011110	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	*	**	
CMD31	R1	0	0	011111	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	*	**	
CMD35	R1	0	0	100011	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	0	00	
CMD36	R1	0	0	100100	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	0	00	
CMD38	R1b	0	0	100110	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	0	00	
CMD39	R4	0	0	100111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	0	00	
CMD40	R5	0	0	101000	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	0	00	Send CMD
	R5	0	0	101000	01	0	0	0	0	0	0	00	00	0	0	0	0	1	1	0	0	0	0	0	00	Send RSP
CMD42	R1	0	0	101010	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	0	0	**	
CMD55	R1	0	0	110111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	0	00	
CMD56	R1	0	0	111000	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	*	**	Read
	R1	0	0	111000	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	0	*	**	Write

【注】 本モジュールは、CMD11 と CMD20 には対応していません。

45.8 使用上の注意事項

45.8.1 カード検出について

本モジュールのカード検出機能である、CE_DETECT の CDRISE、CDFALL にチャタリング除去機能はついていませんのでご注意ください。チャタリング除去処理は、ソフトウェアで行う必要があります。

46. モータコントロール PWM タイマ

本 LSI は、1 チャンネルあたり最大 8 本のパルス出力が可能なモータコントロール PWM (Pulse Width Modulator) タイマを 2 チャンネル内蔵しています。

46.1 特長

- 最大16本のパルス出力が可能
8本の出力を持つ10ビットPWMを2チャンネル内蔵しています。
10ビットのカウンタ (PWCNT) とサイクルレジスタ (PWCYR) を備えています。
デューティおよび出力極性は1本ごとに設定可能です。
- 1サイクルごとにデータの自動転送が可能
4本のデューティレジスタ (PWDTR) にはそれぞれにバッファレジスタ (PWBFR) を備えており、1サイクルごとに自動的にデータ転送されます。
- デューティ設定可能
デューティレジスタの設定値で0%から100%まで設定できます。
- 5種類のカウントクロックが選択可能
5種類のカウントクロック (P0 、 P0 /2、 P0 /4、 P0 /8、 P0 /16) が選択できます。
- 内部16ビットバスによる高速アクセスが可能
- 割り込み要因 : 2種類
サイクルレジスタのコンペアマッチで、2チャンネル個別に割り込み要求が可能です。
- レジスタのデータの自動転送が可能
ダイレクトメモリアクセスコントローラの起動により、ブロック転送および1ワードデータ転送が可能です。
- モジュールストップモードの設定可能

図 46.1 にブロック図を示します。

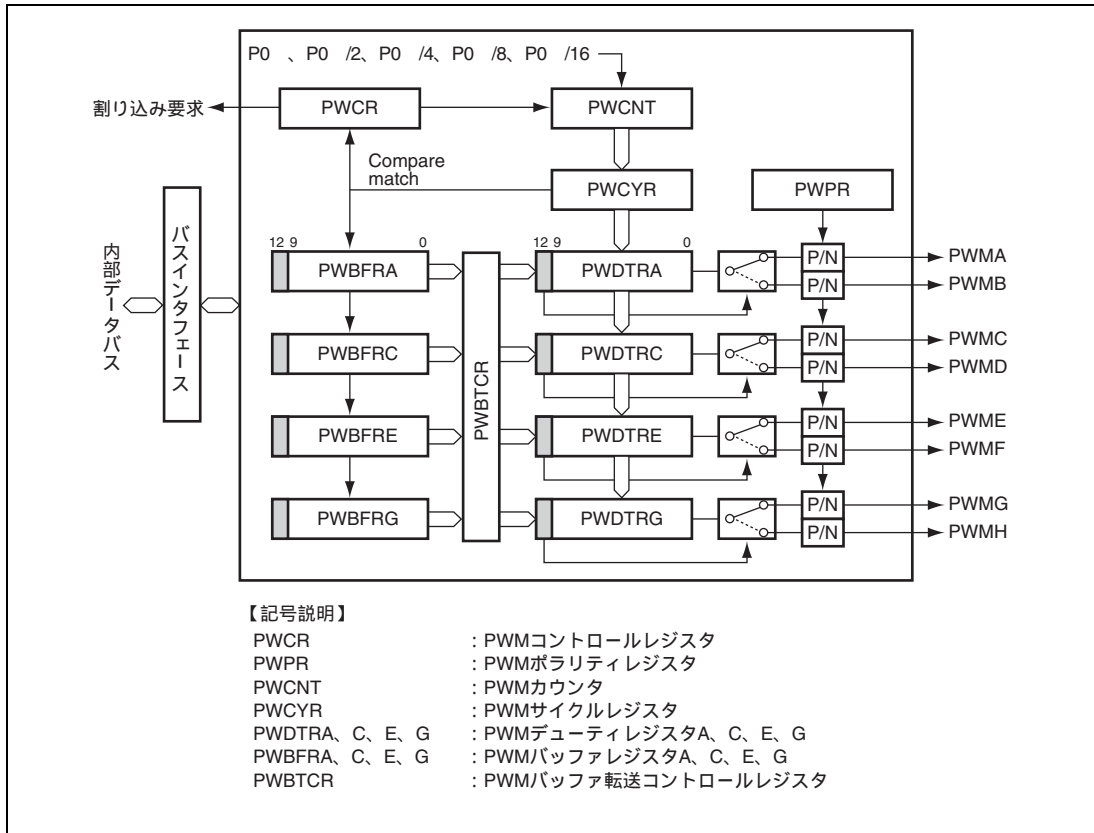


図 46.1 PWM のブロック図

46.2 入出力端子

表 46.1 に端子構成を示します。

表 46.1 端子構成

チャンネル	名 称	記号	入出力	機 能
1	PWM 出力端子 1A	PWM1A	出力	チャンネル 1A の PWM 出力
	PWM 出力端子 1B	PWM1B	出力	チャンネル 1B の PWM 出力
	PWM 出力端子 1C	PWM1C	出力	チャンネル 1C の PWM 出力
	PWM 出力端子 1D	PWM1D	出力	チャンネル 1D の PWM 出力
	PWM 出力端子 1E	PWM1E	出力	チャンネル 1E の PWM 出力
	PWM 出力端子 1F	PWM1F	出力	チャンネル 1F の PWM 出力
	PWM 出力端子 1G	PWM1G	出力	チャンネル 1G の PWM 出力
	PWM 出力端子 1H	PWM1H	出力	チャンネル 1H の PWM 出力
2	PWM 出力端子 2A	PWM2A	出力	チャンネル 2A の PWM 出力
	PWM 出力端子 2B	PWM2B	出力	チャンネル 2B の PWM 出力
	PWM 出力端子 2C	PWM2C	出力	チャンネル 2C の PWM 出力
	PWM 出力端子 2D	PWM2D	出力	チャンネル 2D の PWM 出力
	PWM 出力端子 2E	PWM2E	出力	チャンネル 2E の PWM 出力
	PWM 出力端子 2F	PWM2F	出力	チャンネル 2F の PWM 出力
	PWM 出力端子 2G	PWM2G	出力	チャンネル 2G の PWM 出力
	PWM 出力端子 2H	PWM2H	出力	チャンネル 2H の PWM 出力

46.3 レジスタの説明

表 46.2 にレジスタ構成を示します。

表 46.2 レジスタ構成

レジスタ名称	略称	R/W	初期値	アドレス	アクセス サイズ
PWM コントロールレジスタ_1	PWCR_1	R/W	H'00	H'FFFEF4E0	8,16
PWM ポラリティレジスタ_1	PWPR_1	R/W	H'00	H'FFFEF4E4	8,16
PWM サイクルレジスタ_1	PWCYR_1	R/W	H'FFFF	H'FFFEF4E6	16
PWM バッファレジスタ_1A	PWBFR_1A	R/W	H'EC00	H'FFFEF4E8	16
PWM バッファレジスタ_1C	PWBFR_1C	R/W	H'EC00	H'FFFEF4EA	16
PWM バッファレジスタ_1E	PWBFR_1E	R/W	H'EC00	H'FFFEF4EC	16
PWM バッファレジスタ_1G	PWBFR_1G	R/W	H'EC00	H'FFFEF4EE	16
PWM コントロールレジスタ_2	PWCR_2	R/W	H'00	H'FFFEF4F0	8,16
PWM ポラリティレジスタ_2	PWPR_2	R/W	H'00	H'FFFEF4F4	8,16
PWM サイクルレジスタ_2	PWCYR_2	R/W	H'FFFF	H'FFFEF4F6	16
PWM バッファレジスタ_2A	PWBFR_2A	R/W	H'EC00	H'FFFEF4F8	16
PWM バッファレジスタ_2C	PWBFR_2C	R/W	H'EC00	H'FFFEF4FA	16
PWM バッファレジスタ_2E	PWBFR_2E	R/W	H'EC00	H'FFFEF4FC	16
PWM バッファレジスタ_2G	PWBFR_2G	R/W	H'EC00	H'FFFEF4FE	16
PWM バッファ転送コントロールレジスタ	PWBTCR	R/W	H'00	H'FFFEF406	8,16

46.3.1 PWM コントロールレジスタ_n (PWCR_n) (n=1、2)

PWCR_n は割り込みの許可、カウンタの起動 / 停止、およびカウンタのクロック選択を行います。また、サイクルレジスタのコンペアマッチを示すフラグも備えています。

ビット:	7	6	5	4	3	2	1	0
	-	-	IE	CMF	CST	CKS2	CKS1	CKS0
初期値:	1	1	0	0	0	0	0	0
R/W:	-	-	R/W	R(W)*	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 1	-	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。
5	IE	0	R/W	割り込みイネーブル 対応するチャンネルの PWCYR_n がコンペアマッチしたときの、割り込みの許可 / 禁止を選択します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可
4	CMF	0	R(W)*	コンペアマッチフラグ 対応するチャンネルの PWCYR_n のコンペアマッチの発生を示します。 [セット条件] PWCNT_n = (PWCYR_n-1) になったとき [クリア条件] • 1 の状態をリード後、0 をライトしたとき • コンペアマッチ割り込みにより、ダイレクトメモリアクセスコントローラが起動され、DMA 転送が実行されたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
3	CST	0	R/W	カウンタスタート 対応するチャンネルの PWCNT_n の起動 / 停止を選択します。 0 : PWCNT_n を停止 1 : PWCNT_n を起動
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 対応するチャンネルの PWCNT_n のカウンタクロックを選択します。 000 : 内部クロック P0 でカウント 001 : 内部クロック P0 / 2 でカウント 010 : 内部クロック P0 / 4 でカウント 011 : 内部クロック P0 / 8 でカウント 1xx : 内部クロック P0 / 16 でカウント

【記号説明】 x : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

46.3.2 PWM ポラリティレジスタ_n (PWPR_n) (n = 1, 2)

PWPR_n は PWM 出力の極性の選択を行います。

ビット:	7	6	5	4	3	2	1	0
	OPSnH	OPSnG	OPSnF	OPSnE	OPSnD	OPSnC	OPSnB	OPSnA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	OPSnH	0	R/W	アウトプットポラリティセレクト
6	OPSnG	0	R/W	各ビットに対応する PWM 出力の極性を選択します。 0 : PWM 直接出力 1 : PWM 反転出力
5	OPSnF	0	R/W	
4	OPSnE	0	R/W	
3	OPSnD	0	R/W	
2	OPSnC	0	R/W	
1	OPSnB	0	R/W	
0	OPSnA	0	R/W	

(n = 1, 2)

46.3.3 PWM カウンタ_n (PWCNT_n) (n=1, 2)

PWCNT_n は、10 ビットのアップカウンタで、入力するクロックによりカウントアップされます。入力するクロックは、PWCR_n の CKS2~CKS0 ビットで選択します。PWCNT_n は CPU から直接アクセスできません。PWCNT_n は、PWCR_n の CST ビットが 0 のとき、HFC00 に初期化されます。

46.3.4 PWM サイクルレジスタ_n (PWCYR_n) (n=1, 2)

PWCYR_n は、16 ビットのリード/ライト可能なレジスタで、PWM の変換周期を設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8
	PWC Y15	PWC Y14	PWC Y13	PWC Y12	PWC Y11	PWC Y10	PWC Y9	PWC Y8
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	PWC Y7	PWC Y6	PWC Y5	PWC Y4	PWC Y3	PWC Y2	PWC Y1	PWC Y0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWCYR_n のコンペアマッチが発生すると、PWCNT_n はクリアされ、バッファレジスタ (PWBFR_n) からデューティレジスタ (PWDTR_n) へのデータ転送が行われます。

PWCYR_n への書き込みは PWCNT_n の停止中に行ってください。また、PWCYR_n に HFC00 を設定しないでください。

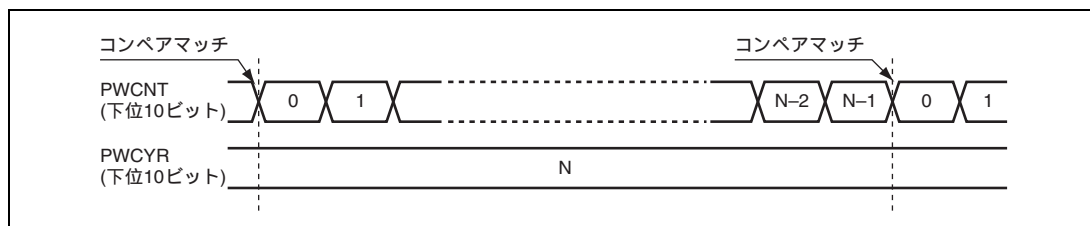


図 46.2 サイクルレジスタのコンペアマッチ

46.3.5 PWM デューティレジスタ_nA、nC、nE、nG (PWDTR_nA、PWDTR_nC、PWDTR_nE、PWDTR_nG) (n = 1、2)

PWDTR_n は、4本のレジスタ (PWDTR_nA、PWDTR_nC、PWDTR_nE、PWDTR_nG) で構成されています。PWDTR_nA は PWMnA、B 出力に、PWDTR_nC は PWMnC、D 出力に、PWDTR_nE は PWMnE、F 出力に、PWDTR_nG は PWMnG、H 出力にそれぞれ対応します。PWDTR_n は CPU から直接アクセスできません。PWCYR_n のコンペアマッチが発生すると、バッファレジスタ (PWBFR_n) からデューティレジスタ (PWDTR_n) にデータ転送が行われます。PWDTR_n は CST ビットが 0 のとき、H'00 に初期化されます。

ビット :	15	14	13	12	11	10	9	8
	-	-	-	OTS	-	-	DT9	DT8
初期値 :	-	-	-	0	-	-	0	0
R/W :	-	-	-	-	-	-	-	-
ビット :	7	6	5	4	3	2	1	0
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説 明
15 ~ 13	-	すべて -	-	リザーブビット
12	OTS	0	-	アウトプッターミナルセレクト PWM 出力を行う端子を選択します。非選択の端子は Low レベル (PWPR_n の当該ビットが 1 のときは High レベル) を出力します。詳細は表 46.3 を参照してください。
11、10	-	すべて -	-	リザーブビット
9	DT9	0	-	デューティ PWM 出力のデューティを設定するデータです。PWCYR_n のコンペアマッチの発生で PWCNT_n がクリアされてから、PWDTR_n のコンペアマッチが発生するまでの間、High レベル (PWPR_n の当該ビットが 1 のときは Low レベル) を出力します。全ビットが 0 の場合は、High レベル (PWPR_n の当該ビットが 1 のときは Low レベル) を出力する期間はありません。
8	DT8	0	-	
7	DT7	0	-	
6	DT6	0	-	
5	DT5	0	-	
4	DT4	0	-	
3	DT3	0	-	
2	DT2	0	-	
1	DT1	0	-	
0	DT0	0	-	

表 46.3 OTS ビット出力選択

レジスタ	ビット 12	説明
	OTS	
PWDTR_1A/ PWDTR_2A	0	PWMnA 出力を選択
	1	PWMnB 出力を選択
PWDTR_1C/ PWDTR_2C	0	PWMnC 出力を選択
	1	PWMnD 出力を選択
PWDTR_1E/ PWDTR_2E	0	PWMnE 出力を選択
	1	PWMnF 出力を選択
PWDTR_1G/ PWDTR_2G	0	PWMnG 出力を選択
	1	PWMnH 出力を選択

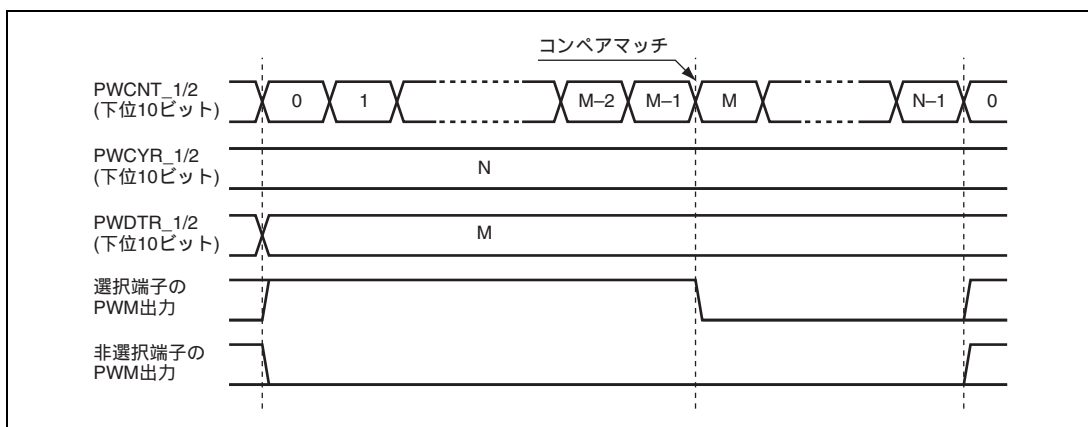


図 46.3 デューティレジスタのコンペアマッチ (PWPR_n の OPS = 0)

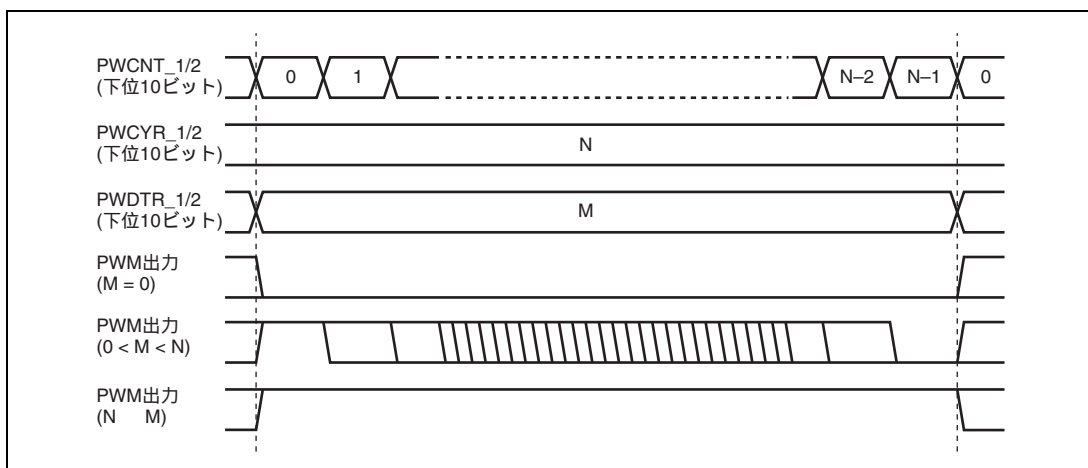


図 46.4 デューティレジスタの設定値による PWM 出力の相違 (PWPR_n の OPS = 0)

46.3.6 PWM バッファレジスタ_nA、nC、nE、nG (PWBFR_nA、PWBFR_nC、PWBFR_nE、PWBFR_nG)

PWBFR_n は 4 本のレジスタで (PWBFR_nA、PWBFR_nC、PWBFR_nE、PWBFR_nG) で構成されています。PWCYR のコンペアマッチが発生するとバッファレジスタ (PWBFR_n) からデューティレジスタ (PWDTR_n) にデータが転送されます。

ビット :	15	14	13	12	11	10	9	8
	-	-	-	OTS	-	-	DT9	DT8
初期値 :	1	1	1	0	1	1	0	0
R/W :	R	R	R	R/W	R	R	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~13	-	すべて 1	R	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。
12	OTS	0	R/W	アウトプッタターミナルセレクト PWDTR_n のビット 12 のためのデータです。
11、10	-	すべて 1	R	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。
9	DT9	0	R/W	デューティ PWDTR_n のビット 9~0 のためのデータです。
8	DT8	0	R/W	
7	DT7	0	R/W	
6	DT6	0	R/W	
5	DT5	0	R/W	
4	DT4	0	R/W	
3	DT3	0	R/W	
2	DT2	0	R/W	
1	DT1	0	R/W	
0	DT0	0	R/W	

46.3.7 PWM バッファ転送コントロールレジスタ (PWBTCCR)

PWBTCCR は PWM カウンタと PWM サイクルレジスタのコンペアマッチによる、バッファレジスタからデューティレジスタへのデータ転送を禁止 / 許可します。

ビット:	7	6	5	4	3	2	1	0
	BTC2G	BTC2E	BTC2C	BTC2A	BTC1G	BTC1E	BTC1C	BTC1A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	BTC2G	0	R/W	0 : PWCNT _n と PWCYR _n のコンペアマッチで PWBFR _n PWDTR _n への転送許可 1 : PWCNT _n と PWCYR _n のコンペアマッチで PWBFR _n PWDTR _n への転送禁止
6	BTC2E	0	R/W	
5	BTC2C	0	R/W	
4	BTC2A	0	R/W	
3	BTC1G	0	R/W	
2	BTC1E	0	R/W	
1	BTC1C	0	R/W	
0	BTC1A	0	R/W	

46.4 バスマスタとのインタフェース

46.4.1 16 ビットデータレジスタ

PWCYR_n、PWBFR_n は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。8 ビット単位でのリード/ライトはできません。常に 16 ビット単位でアクセスしてください。

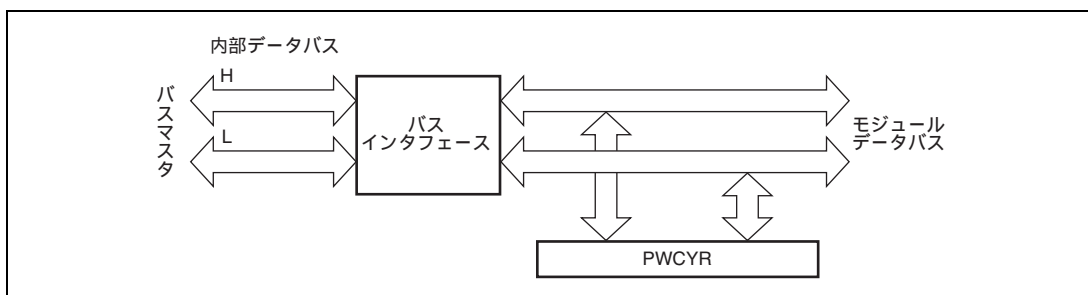


図 46.5 16 ビットレジスタのアクセス動作 (バスマスタ↔PWCYR_n (16 ビット))

46.4.2 8 ビットデータレジスタ

PWCR_n、PWPR_n、PWBTCR は 8 ビットのレジスタです。8 ビット単位でのリード/ライトが可能です。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。下位 8 ビットは読み出すと常に H'FF になります。

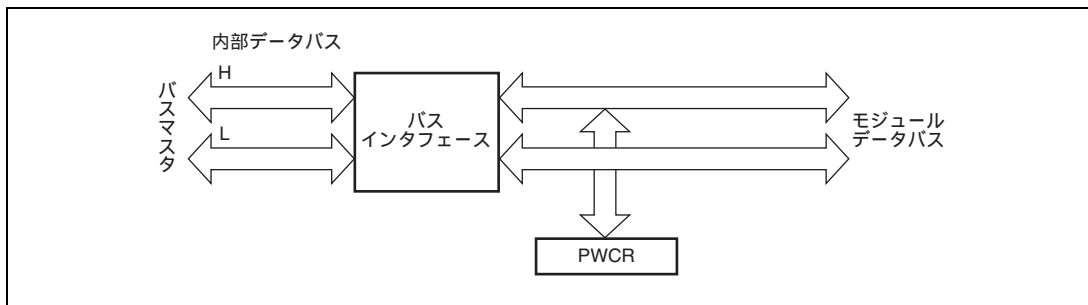


図 46.6 8 ビットレジスタのアクセス動作 (バスマスタ↔PWCR_n (上位 8 ビット))

46.5 動作説明

46.5.1 PWM の動作

PWM1A ~ 1H、PWM2A ~ 2H 端子からは、図 46.7 に示すような PWM 波形が出力されます。

(1) 初期設定

PWPR_n で PWM 出力の極性を設定します。PWCR_n の CKS2 ~ CKS0 ビットによって PWCNT_n に入力するクロックを選択します。

PWCYR_n で PWM の変換周期を設定します。PWBFR_nA、nC、nE、nG に 1 フレーム目のデータを設定します。

(2) 起動

PWCR_n の CST ビットを 1 にセットすると、PWCNT_n はアップカウントを開始します。PWCNT_n と PWCYR_n のコンペアマッチが発生すると、バッファレジスタからデューティレジスタにデータが転送され、PWCR_n の CMF ビットが 1 にセットされます。このとき、PWCR_n の IE ビットが 1 にセットされていれば、割り込み要求またはダイレクトメモリアクセスコントローラの起動が可能です。

(3) 波形出力

PWDTR_nA、nC、nE、nG の OTS ビットによって選択された PWM 出力は、PWCNT_n と PWCYR_n のコンペアマッチが発生すると High レベルを出力します。OTS ビットによって選択されない PWM 出力は Low レベルを出力します。PWCNT_n と PWDTR_nA、nC、nE、nG のコンペアマッチが発生すると、対応する PWM 出力から Low レベルを出力します。なお、PWPR_n の対応するビットが 1 のときは反転して出力します。

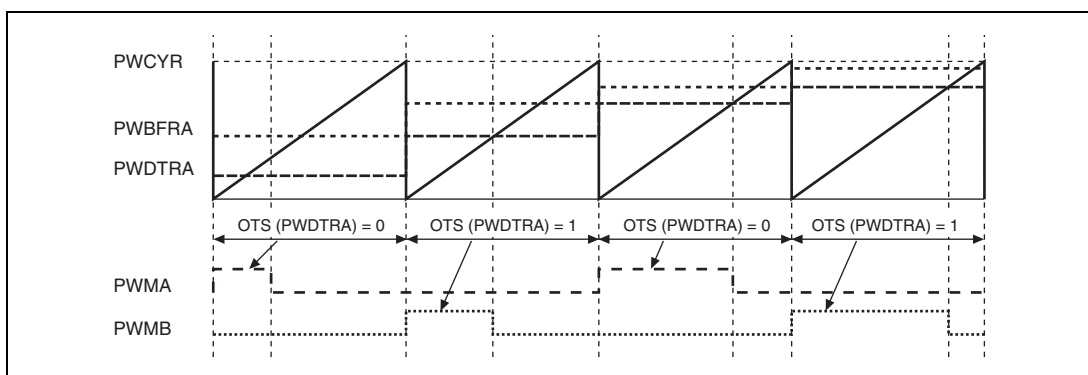


図 46.7 PWM の動作

(4) 次フレーム

PWCNT_n と PWCYR_n のコンペアマッチが発生し、バッファレジスタからデューティレジスタにデータが転送されます。PWCNT_n はリセットされ、H'000 からカウントアップします。PWCR_n の CMF ビットはセットされ PWCR_n の IE ビットがセットされていれば、割り込み要求またはダイレクトメモリアクセスコントローラの起動が可能です。

(5) 停止

PWCR_n の CST ビットを 0 にクリアすると、PWCNT_n はリセットされ停止します。各 PWM 出力からは Low レベル (PWPR_n の対応するビットが 1 のときは High レベル) を出力します。

46.5.2 バッファ転送制御について

PWM バッファ転送コントロールレジスタの対応するビットをセットするとコンペアマッチによるバッファ転送を禁止します。バッファレジスタの書き換え中にコンペアマッチが発生しても出力変化を起こしません。対応するビットをクリアするとそれ以降に発生したコンペアマッチでバッファ転送が行われます。

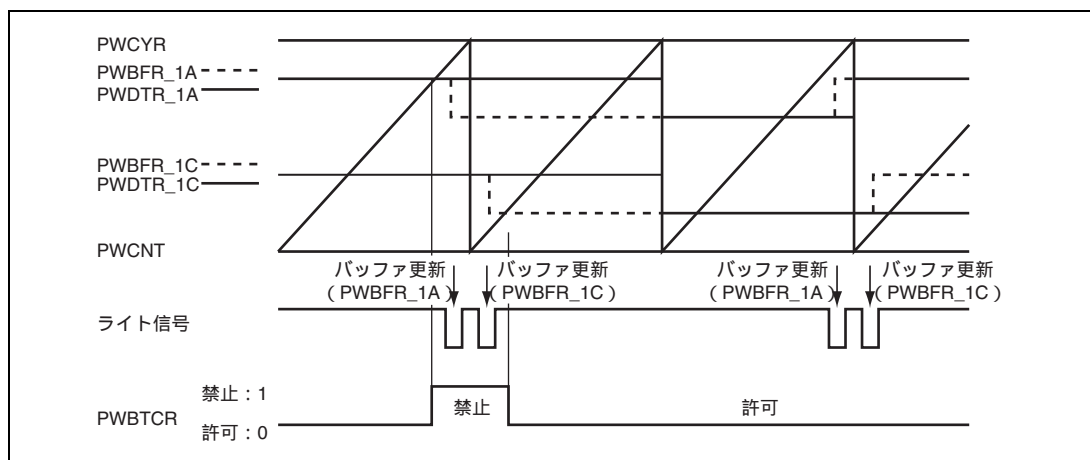


図 46.8 バッファ転送禁止動作説明

46.6 使用上の注意事項

46.6.1 バッファレジスタのライトとコンペアマッチの競合

サイクルレジスタのコンペアマッチの直後のステートで PWBFR_n のライトが行われると、バッファレジスタと共にデューティレジスタも書き換えられます。サイクルレジスタのコンペアマッチで変化した PWM 出力は、競合によるデューティレジスタの書き換えでは変化しないので、意図しないデューティの出力になることがあります。

バッファレジスタの書き換えは、ダイレクトメモリアクセスコントローラによる自動転送、コンペアマッチ割り込みによる例外処理、または PWCR_n の CMF (コンペアマッチフラグ) の立ち上がりを検出して、サイクルレジスタのコンペアマッチが発生するまでに完了してください。

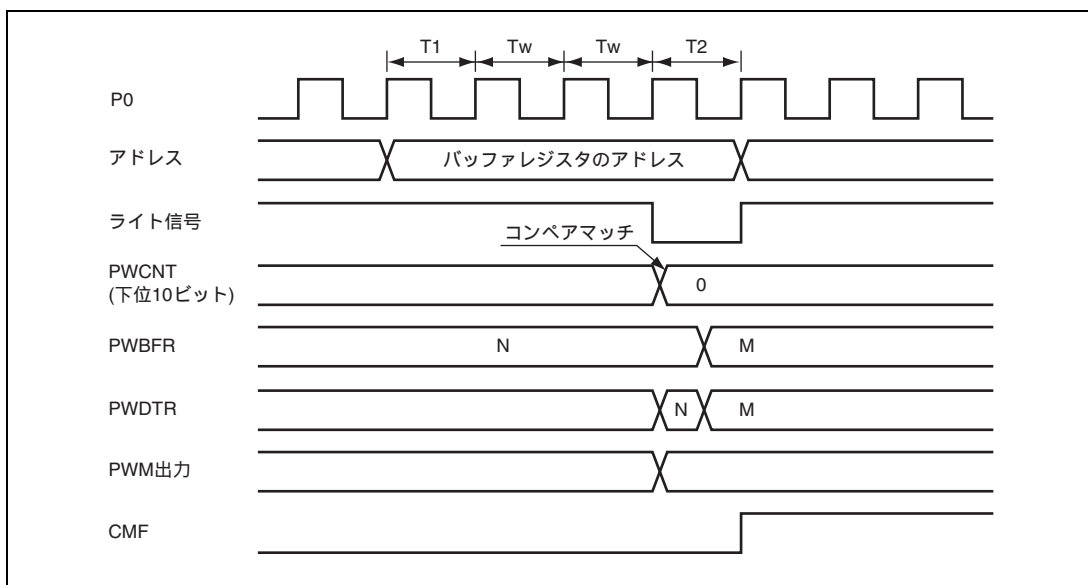


図 46.9 バッファレジスタのライトとコンペアマッチの競合

47. 内蔵 RAM

本 LSI は、高速アクセス可能な高速内蔵 RAM と、表示領域、ワーク領域用に大容量内蔵 RAM (内 128KB を保持用内蔵 RAM と共用)、およびディープスタンバイモードでもデータを保持できる保持用内蔵 RAM を内蔵しており、命令やデータを格納することができます。

高速内蔵 RAM および大容量内蔵 RAM (保持用内蔵 RAM を含む) は、RAM イネーブルおよびライトイネーブルにより、メモリの動作およびライト動作を禁止することが可能です。

保持用内蔵 RAM は、大容量内蔵 RAM のページ 0 に割り付けられており、ディープスタンバイモードでデータを保持するかしないかを保持用内蔵 RAM のページごとに選択することが可能です。

47.1 特長

- ページ

高速内蔵 RAM は 4 ページで構成されており、1 ページあたりの容量は 16K バイトです。

大容量内蔵 RAM は 6 ページで構成されています。

保持用内蔵 RAM は 4 ページで構成されています。各ページの容量は、ページ 0 は 16K バイト、ページ 1 は 16K バイト、ページ 2 は 32K バイト、ページ 3 は 64K バイトです。

- メモリマップ

内蔵 RAM は、表 47.1 ~ 表 47.3 のアドレス空間に配置されています。

表 47.1 高速内蔵 RAM アドレス空間

ページ	アドレス
ページ 0	H'FFF80000 ~ H'FFF83FFF
ページ 1	H'FFF84000 ~ H'FFF87FFF
ページ 2	H'FFF88000 ~ H'FFF8BFFF
ページ 3	H'FFF8C000 ~ H'FFF8FFFF

表 47.2 大容量内蔵 RAM アドレス空間

ページ	キャッシュ有効アドレス	キャッシュ無効アドレス
ページ 0 (256KB)	H'1C000000 ~ H'1C03FFFF	H'3C000000 ~ H'3C03FFFF
ページ 1 (256KB)	H'1C040000 ~ H'1C07FFFF	H'3C040000 ~ H'3C07FFFF
ページ 2 (512KB)	H'1C080000 ~ H'1C0FFFFFF	H'3C080000 ~ H'3C0FFFFFF
ページ 3 (512KB)	H'1C100000 ~ H'1C17FFFF	H'3C100000 ~ H'3C17FFFF
ページ 4 (512KB)	H'1C180000 ~ H'1C1FFFFFF	H'3C180000 ~ H'3C1FFFFFF
ページ 5 (512KB)	H'1C200000 ~ H'1C27FFFF	H'3C200000 ~ H'3C27FFFF

表 47.3 保持用内蔵 RAM アドレス空間

ページ	キャッシュ有効アドレス	キャッシュ無効アドレス
ページ 0 (16KB)	H'1C000000 ~ H'1C003FFF	H'3C000000 ~ H'3C003FFF
ページ 1 (16KB)	H'1C004000 ~ H'1C007FFF	H'3C004000 ~ H'3C007FFF
ページ 2 (32KB)	H'1C008000 ~ H'1C00FFFF	H'3C008000 ~ H'3C00FFFF
ページ 3 (64KB)	H'1C010000 ~ H'1C01FFFF	H'3C010000 ~ H'3C01FFFF

- ポート

高速内蔵RAMの各ページは2本の独立した読み出し/書き込みポートを持ち、内部DMAバス(IDバス)、CPU命令フェッチバス(Fバス)、CPUメモリアクセスバス(Mバス)と接続されています(ただし、Fバスは読み出しポートのみに接続されています)。CPUからのアクセスにはFバスおよびMバス、DMACからのアクセスにはIDバスが使用されます。

大容量内蔵RAMの各ページは1本の読み出し/書き込みポートを持ち、内部CPUバス(ICバス)、内部DMAバス(IDバス)、および内部グラフィックスバス(IV1~4、RGP1~4)に接続されています。なお、保持用内蔵RAMは、大容量内蔵RAMのページ0に含まれるため、ページ0の読み出し/書き込みポートを共有します。

- 優先順位

高速内蔵RAMの同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にIDバス、Mバス、Fバスとなります。

大容量内蔵RAMの同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順に(A)、RGP1バス、RGP2バス、RGP3バス、RGP4バスとなります。(A)はラウンドロビン動作となっており、IV1バス(リード)、IV1バス(ライト)、IV2バス、IV3バス、IV4バス、ICバス、IDバス間で優先順位の入れ替えを行います。

- アクセスサイクル数

高速内蔵RAM：Fバス・Mバスからのアクセスサイクル数は、リード/ライトともに1I サイクルです。

IDバスからのアクセスサイクルは、CPUクロック（I）と内部バスクロック（B）のクロック比に依存します。

表47.4にIDバスからのアクセスサイクル数を示します。

表 47.4 高速内蔵 RAM ID バスアクセスサイクル数

リード/ライト	I : B クロック比	アクセスサイクル数 (B)
リード	1 : 1	3
	2 : 1	2
	3 : 1	2
	4 : 1	2
	6 : 1	1
	8 : 1	1
ライト	1 : 1	2
	2 : 1	2
	3 : 1	2
	4 : 1	2
	6 : 1	1
	8 : 1	1

【注】 設定可能なI とB のクロック比については、「第5章 クロックパルス発振器」を参照してください。

大容量内蔵RAM：すべてのバスでアクセスサイクル数は、リード/ライトともに1B サイクルです。

47.2 使用上の注意事項

47.2.1 ページ競合

高速内蔵 RAM もしくは大容量内蔵 RAM の同じページに対して異なるバスから同時にアクセス要求が発生した場合、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。例えば、バスごとに異なるページをアクセスすると競合は発生しません。

47.2.2 RAME ビット、RAMWE ビットについて

高速内蔵 RAM に対して、RAME ビットおよび RAMWE ビットの設定をディスエーブルする場合には、RAME ビットおよび RAMWE ビット設定前に必ず各ページに対して任意の同一アドレスのリード/ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが RAM に書き込まれない可能性があります。

```
//ページ0に対して
MOV.L #H'FFF80000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ1に対して
MOV.L #H'FFF84000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ2に対して
MOV.L #H'FFF88000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ3に対して
MOV.L #H'FFF8C000, R0
MOV.L @R0, R1
MOV.L R1, @R0
```

図 47.1 実行例

47.2.3 データ保持について

高速内蔵 RAM、大容量内蔵 RAM (保持用内蔵 RAM 含む) は、パワーオンリセット、ディープスタンバイモード以外の動作状態において、データを保持し続けます。パワーオンリセット、ディープスタンバイモードでは下記動作となります。

(1) パワーオンリセット

(a) 高速内蔵 RAM

RAME ビットまたは RAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。

RAME、RAMWE ビットが共に有効の場合、データを保持することはできません。

(b) 大容量内蔵 RAM (保持用内蔵 RAM 除く)

VRAME または VRAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。

VRAME、VRAMWE ビットが共に有効の場合、データを保持することはできません。

(c) 保持用内蔵 RAM

VRAME、VRAMWE または RRAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。ただし、パワーオンリセットによりディープスタンバイモードを解除した場合は除きます。

VRAME、VRAMWE、RRAMWE ビットが共に有効の場合、データを保持することはできません。

(2) ディープスタンバイモード

(a) 高速内蔵 RAM、大容量内蔵 RAM (保持用内蔵 RAM 除く)

データを保持することはできません。

(b) 保持用内蔵 RAM

RRAMKP ビットを有効にすることにより、ディープスタンバイモードにおいてもデータを保持し続けます。

ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、データを保持することはできません。

割り込み、解除用端子の変化によりディープスタンバイモードを解除した場合は、パワーオンリセット例外処理が実行されますが、データは保持されます。

48. 汎用入出力ポート

本 LSI には A、B、C、D、E、F、G、H、J の計 9 組の汎用入出力ポートがあります。

それぞれのポートは、周辺モジュールの端子とマルチプレクスされています。

汎用入出力ポートは、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタ、端子のデータを格納するためのデータレジスタ、および端子の値を読み出すためのポートレジスタで構成されています。

48.1 特長

- コントロールレジスタの設定により、マルチプレクス端子の機能を選択
汎用入出力機能またはマルチファンクションタイムパルスユニット2のTIOC入出力機能が選択された場合、IOレジスタにより入出力方向を選択

表 48.1 汎用入出力本数

ポート	SH7268	SH7269
A	入出力 2 本	
B	入出力 22 本	
C	入出力 9 本	
D	入出力 16 本	
E	オープンドレイン出力付き入力 4 本	オープンドレイン出力付き入力 8 本
F	入出力 23 本	
G	入出力 28 本	
H	入力 6 本	入力 8 本
J	-	入出力 32 本
総数	111 本 (入出力 101 本、 オープンドレイン出力付き入力 4 本、入力 6 本)	149 本 (入出力 133 本、 オープンドレイン出力付き入力 8 本、入力 8 本)

表 48.2~表 48.10 に本 LSI のマルチプレクス端子を示します。
網かけ部分のレジスタおよび端子機能は SH7269 のみ使用できます。

表 48.2 マルチプレクス一覧表 (ポート A)

ポート	RES 端子入力値	
	H	L
	機能 1	機能 2
A	PA1	MD_BOOT1
	PA0	MD_BOOT0

【注】 ポート A の機能 2 は、 $\overline{\text{RES}} = \text{L}$ の状態で有効になり、 $\overline{\text{RES}} = \text{H}$ の状態では、常に汎用入出力機能となります。

表 48.3 マルチプレクス一覧表 (ポート B)

設定レジスタ	モードビット (PbMD[2:0]) 設定値					
	000	001	010	011	100	110
	機能 1	機能 2	機能 3	機能 4	機能 5	機能 7
PBCR5	PB22	A22	CTx2	IETxD	CS4	-
	PB21	A21	CRx2	IERxD	-	-
	PB20	A20	QMI_0/QIO1_0	MISO0	-	SPBMI_0/SPBIO1_0
PBCR4	PB19	A19	QMO_0/QIO0_0	MOSI0	-	SPBMO_0/SPBIO0_0
	PB18	A18	QSSL_0	SSL00	-	SPBSSL
	PB17	A17	QSPCLK_0	RSPCK0	-	SPBCLK
	PB16	A16	QIO3_0	-	-	SPBIO3_0
PBCR3	PB15	A15	QIO2_0	-	-	SPBIO2_0
	PB14	A14	QIO3_1	-	-	SPBIO3_1
	PB13	A13	QIO2_1	-	-	SPBIO2_1
	PB12	A12	TIOC3D	-	-	-
PBCR2	PB11	A11	TIOC3C	-	-	-
	PB10	A10	TIOC3B	-	-	-
	PB9	A9	TIOC3A	-	-	-
	PB8	A8	TIOC2B	-	-	-
PBCR1	PB7	A7	TIOC2A	-	-	-
	PB6	A6	TIOC1B	-	-	-
	PB5	A5	TIOC1A	-	-	-
	PB4	A4	TIOC0D	-	-	-
PBCR0	PB3	A3	TIOC0C	-	-	-
	PB2	A2	TIOC0B	-	-	-
	PB1	A1	TIOC0A	-	-	-

表 48.4 マルチプレクス一覧表 (ポート C)

設定レジスタ	モードビット (PCnMD[2:0]) 設定値					
	000	001	010	011	100	101
	機能 1	機能 2	機能 3	機能 4	機能 5	機能 6
PCCR2	PC8	$\overline{CS3}$	TxD7	CTx1	CTx0&CTx1	-
PCCR1	PC7	CKE	RxD7	CRx1	CRx0/CRx1	IRQ1
	PC6	\overline{CAS}	SCK7	CTx0	CTx0&CTx1& CTx2	-
	PC5	\overline{RAS}	-	CRx0	CRx0/CRx1/ CRx2	IRQ0
	PC4	$\overline{WE1/DQMLU}/$ \overline{WE}	TxD6	-	-	-
PCCR0	PC3	$\overline{WE0/DQMLL}$	RxD6	-	-	-
	PC2	$\overline{RD}/\overline{WR}$	SCK6	-	-	-
	PC1	\overline{RD}	-	-	-	-
	PC0	$\overline{CS0}$	MD_BOOT2	-	-	-

【注】 PC0 の機能 3 は、 $\overline{RES} = L$ の状態で有効になり、 $\overline{RES} = H$ の状態では、機能 1 または機能 2 となります。

表 48.5 マルチプレクス一覧表（ポート D）

設定レジスタ	モードビット（PDnMD[1:0]）設定値		
	00	01	10
	機能 1	機能 2	機能 3
PDCR3	PD15	D15/NAF7	PWM2H
	PD14	D14/NAF6	PWM2G
	PD13	D13/NAF5	PWM2F
	PD12	D12/NAF4	PWM2E
PDCR2	PD11	D11/NAF3	PWM2D
	PD10	D10/NAF2	PWM2C
	PD9	D9/NAF1	PWM2B
	PD8	D8/NAF0	PWM2A
PDCR1	PD7	D7/FWE	PWM1H
	PD6	D6/FALE	PWM1G
	PD5	D5/FCLE	PWM1F
	PD4	D4/FRE	PWM1E
PDCR0	PD3	D3	PWM1D
	PD2	D2	PWM1C
	PD1	D1	PWM1B
	PD0	D0	PWM1A

【注】 機能 2 のバスステートコントローラおよび NAND フラッシュメモリコントローラの機能は、自動的に切り替わります（「第 10 章 バスステートコントローラ」参照）。

表 48.6 マルチプレクス一覧表（ポート E）

設定レジスタ	モードビット（PEnMD[2:0]）設定値				
	000	001	010	011	100
	機能 1	機能 2	機能 3	機能 4	機能 5
PECR1	PE7	SDA3	RxD7	-	-
	PE6	SCL3	RxD6	-	-
	PE5	SDA2	RxD5	DV_HSYNC	-
	PE4	SCL2	RxD4	DV_VSYNC	-
PECR0	PE3	SDA1	TCLKD	$\overline{\text{ADTRG}}$	DV_HSYNC
	PE2	SCL1	TCLKC	$\overline{\text{IOIS16}}$	DV_VSYNC
	PE1	SDA0	TCLKB	AUDIO_CLK	DV_CLK
	PE0	SCL0	TCLKA	LCD_EXTCLK	-

表 48.7 マルチプレクス一覧表 (ポート F)

設定レジスタ	モードビット (PFnMD[2:0]) 設定値						
	000	001	010	011	100	101	110
	機能 1	機能 2	機能 3	機能 4	機能 5	機能 6	機能 7
PFCR6	PF23	SD_D2_0	-	-	TxD3	MMC_D2	-
	PF22	SD_D3_0	-	-	RxD3	MMC_D3	-
	PF21	SD_CMD_0	-	-	SCK3	MMC_CMD	-
	PF20	SD_CLK_0	SSIDATA3	-	-	MMC_CLK	-
PFCR5	PF19	SD_D0_0	SSIWS3	-	IRQ7	MMC_D0	-
	PF18	SD_D1_0	SSISCK3	-	IRQ6	MMC_D1	-
	PF17	SD_WP_0	-	FRB	IRQ5	-	-
	PF16	SD_CD_0	-	\overline{FCE}	IRQ4	MMC_CD	-
PFCR4	PF15	A0	SSIDATA2	WDTOVF	TxD2	UBCTRG	-
PFCR3	PF14	A25	SSIWS2	-	RxD2	-	-
	PF13	A24	SSISCK2	-	SCK2	-	-
	PF12	-	SSIDATA1	DV_DATA3	TxD1	MMC_D7	-
PFCR2	PF11	-	SSIWS1	DV_DATA2	RxD1	MMC_D6	-
	PF10	$\overline{CS1}$	SSISCK1	DV_DATA1	SCK1	MMC_D5	-
	PF9	\overline{BS}	-	DV_DATA0	SCK0	MMC_D4	$\overline{RTS1}$
	PF8	A23	-	-	TxD0	-	-
PFCR1	PF7	-	SSIRxD0	-	RxD0	SGOUT_3	$\overline{CTS1}$
	PF6	$\overline{CE2A}$	SSITxD0	-	-	SGOUT_2	-
	PF5	-	SSIWS0	-	-	SGOUT_1	-
	PF4	$\overline{CS5/CE1A}$	SSISCK0	-	-	SGOUT_0	-
PFCR0	PF3	$\overline{CS2}$	QMI_1/QIO_1	MISO1	TIOC4D	AUDIO_XOUT	SPBML_1/SPBIO1_1
	PF2	\overline{WAIT}	QMO_1/QIO0_1	MOSI1	TIOC4C	TEND0	SPBMO_1/SPBIO0_1
	PF1	\overline{BACK}	QSSL_1	SSL10	TIOC4B	DACK0	-
	PF0	\overline{BREQ}	QSPCLK_1	RSPCK1	TIOC4A	DREQ0	-

表 48.8 マルチプレクス一覧表 (ポート G)

設定レジスタ	モードビット (PGnMD[2:0]) 設定値				
	000	001	010	011	100
	機能 1	機能 2	機能 3	機能 4	機能 5
PGCR6	PG27	-	LCD_TCON2	LCD_EXTCLK	-
	PG26	-	LCD_TCON1	-	-
	PG25	-	LCD_TCON0	-	-
	PG24	-	LCD_CLK	-	-
PGCR5	PG23	-	LCD_DATA23	LCD_TCON6	TxD5
	PG22	-	LCD_DATA22	LCD_TCON5	RxD5
	PG21	DV_DATA7	LCD_DATA21	LCD_TCON4	TxD4
	PG20	DV_DATA6	LCD_DATA20	LCD_TCON3	RxD4
PGCR4	PG19	DV_DATA5	LCD_DATA19	SPDIF_OUT	SCK5
	PG18	DV_DATA4	LCD_DATA18	SPDIF_IN	SCK4
	PG17	$\overline{WE3}/\overline{CIOWR}/\overline{AH}/\overline{DQMUJ}$	LCD_DATA17	-	-
	PG16	$\overline{WE2}/\overline{CIORD}/\overline{DQMUL}$	LCD_DATA16	-	-
PGCR3	PG15	D31	LCD_DATA15	PINT7	-
	PG14	D30	LCD_DATA14	PINT6	-
	PG13	D29	LCD_DATA13	PINT5	-
	PG12	D28	LCD_DATA12	PINT4	-
PGCR2	PG11	D27	LCD_DATA11	PINT3	TIOC3D
	PG10	D26	LCD_DATA10	PINT2	TIOC3C
	PG9	D25	LCD_DATA9	PINT1	TIOC3B
	PG8	D24	LCD_DATA8	PINT0	TIOC3A
PGCR1	PG7	D23	LCD_DATA7	IRQ7	TIOC2B
	PG6	D22	LCD_DATA6	IRQ6	TIOC2A
	PG5	D21	LCD_DATA5	IRQ5	TIOC1B
	PG4	D20	LCD_DATA4	IRQ4	TIOC1A
PGCR0	PG3	D19	LCD_DATA3	IRQ3	TIOC0D
	PG2	D18	LCD_DATA2	IRQ2	TIOC0C
	PG1	D17	LCD_DATA1	IRQ1	TIOC0B
	PG0	D16	LCD_DATA0	IRQ0	TIOC0A

表 48.9 マルチプレクス一覧表 (ポート H)

設定レジスタ	モードビット (PHnMD[1:0]) 設定値			
	00	01	10	11
	機能 1	機能 2	機能 3	機能 4
PHCR1	PH7	AN7	PINT7	-
	PH6	AN6	PINT6	-
	PH5	AN5	PINT5	LCD_EXTCLK
	PH4	AN4	PINT4	-
PHCR0	PH3	AN3	PINT3	-
	PH2	AN2	PINT2	-
	PH1	AN1	PINT1	-
	PH0	AN0	PINT0	-

表 48.10 マルチプレクス一覧表 (ポート J : SH7269 のみ)

設定レジスタ	モードビット (PJnMD[2:0]) 設定値						
	000	001	010	011	100	101	110
	機能 1	機能 2	機能 3	機能 4	機能 5	機能 6	機能 7
PJCR7	PJ31	DV_CLK	-	-	-	-	-
	PJ30	-	SSIDATA5	-	TIOC2B	IETxD	-
	PJ29	-	SSIWS5	-	TIOC2A	IERxD	-
	PJ28	-	SSISCK5	-	TIOC1B	RTS7	-
PJCR6	PJ27	SGOUT_3	-	-	TIOC1A	CTS7	-
	PJ26	SGOUT_2	SSIDATA4	LCD_TCON5	-	TxD7	-
	PJ25	SGOUT_1	SSIWS4	LCD_TCON4	SPDIF_OUT	RxD7	-
	PJ24	SGOUT_0	SSISCK4	LCD_TCON3	SPDIF_IN	SCK7	-
PJCR5	PJ23	DV_DATA23	LCD_DATA23	LCD_TCON6	IRQ3	CTx1	CTx0&CTx1
	PJ22	DV_DATA22	LCD_DATA22	LCD_TCON5	IRQ2	CRx1	CRx0/CRx1
	PJ21	DV_DATA21	LCD_DATA21	LCD_TCON4	IRQ1	CTx2	CTx0&CTx1 &CTx2
	PJ20	DV_DATA20	LCD_DATA20	LCD_TCON3	IRQ0	CRx2	CRx0/CRx1/ CRx2
PJCR4	PJ19	DV_DATA19	LCD_DATA19	MISO0	TIOC0D	SIOFRxD	AUDIO_XOUT
	PJ18	DV_DATA18	LCD_DATA18	MOSI0	TIOC0C	SIOFTxD	-
	PJ17	DV_DATA17	LCD_DATA17	SSL00	TIOC0B	SIOFSYNC	-
	PJ16	DV_DATA16	LCD_DATA16	RSPCK0	TIOC0A	SIOFSCK	-
PJCR3	PJ15	DV_DATA15	LCD_DATA15	PINT7	PWM2H	TxD7	-
	PJ14	DV_DATA14	LCD_DATA14	PINT6	PWM2G	TxD6	-
	PJ13	DV_DATA13	LCD_DATA13	PINT5	PWM2F	TxD5	-
	PJ12	DV_DATA12	LCD_DATA12	PINT4	PWM2E	SCK7	-

設定レジスタ	モードビット (PJnMD[2:0]) 設定値						
	000	001	010	011	100	101	110
	機能 1	機能 2	機能 3	機能 4	機能 5	機能 6	機能 7
PJCR2	PJ11	DV_DATA11	LCD_DATA11	PINT3	PWM2D	SCK6	-
	PJ10	DV_DATA10	LCD_DATA10	PINT2	PWM2C	SCK5	-
	PJ9	DV_DATA9	LCD_DATA9	PINT1	PWM2B	RTS5	-
	PJ8	DV_DATA8	LCD_DATA8	PINT0	PWM2A	CTS5	-
PJCR1	PJ7	DV_DATA7	LCD_DATA7	SD_D2_1	PWM1H	-	-
	PJ6	DV_DATA6	LCD_DATA6	SD_D3_1	PWM1G	-	-
	PJ5	DV_DATA5	LCD_DATA5	SD_CMD_1	PWM1F	-	-
	PJ4	DV_DATA4	LCD_DATA4	SD_CLK_1	PWM1E	-	-
PJCR0	PJ3	DV_DATA3	LCD_DATA3	SD_D0_1	PWM1D	-	-
	PJ2	DV_DATA2	LCD_DATA2	SD_D1_1	PWM1C	-	-
	PJ1	DV_DATA1	LCD_DATA1	SD_WP_1	PWM1B	-	-
	PJ0	DV_DATA0	LCD_DATA0	SD_CD_1	PWM1A	-	-

48.2 レジスタの説明

表 48.11 にレジスタ構成を示します。

表 48.11 レジスタ構成

ポート	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
A	ポート A・IO レジスタ 0	PAIOR0	R/W	H'0000	H'FFFE3812	8、16*2
	ポート A データレジスタ 0	PADR0	R/W	H'0000	H'FFFE3816	8、16*2
	ポート A ポートレジスタ 0	PAPR0	R	H'xxxx	H'FFFE381A	8、16
B	ポート B コントロールレジスタ 5	PBCR5	R/W	H'0000/H'0001*1	H'FFFE3824	8、16、32
	ポート B コントロールレジスタ 4	PBCR4	R/W	H'0000/H'1111*1	H'FFFE3826	8、16
	ポート B コントロールレジスタ 3	PBCR3	R/W	H'0000/H'1111*1	H'FFFE3828	8、16、32
	ポート B コントロールレジスタ 2	PBCR2	R/W	H'0000/H'1111*1	H'FFFE382A	8、16
	ポート B コントロールレジスタ 1	PBCR1	R/W	H'0000/H'1111*1	H'FFFE382C	8、16、32
	ポート B コントロールレジスタ 0	PBCR0	R/W	H'0000/H'1110/H'1100*1	H'FFFE382E	8、16
	ポート B・IO レジスタ 1	PBIOR1	R/W	H'0000	H'FFFE3830	8、16、32
	ポート B・IO レジスタ 0	PBIOR0	R/W	H'0000	H'FFFE3832	8、16
	ポート B データレジスタ 1	PBDR1	R/W	H'0000	H'FFFE3834	8、16、32
	ポート B データレジスタ 0	PBDR0	R/W	H'0000	H'FFFE3836	8、16
	ポート B ポートレジスタ 1	PBPR1	R	H'xxxx	H'FFFE3838	8、16、32
	ポート B ポートレジスタ 0	PBPR0	R	H'xxxx	H'FFFE383A	8、16
	C	ポート C コントロールレジスタ 2	PCCR2	R/W	H'0000	H'FFFE384A
ポート C コントロールレジスタ 1		PCCR1	R/W	H'0000	H'FFFE384C	8、16、32
ポート C コントロールレジスタ 0		PCCR0	R/W	H'0000/H'0011*1	H'FFFE384E	8、16
ポート C・IO レジスタ 0		PCIOR0	R/W	H'0000	H'FFFE3852	8、16
ポート C データレジスタ 0		PCDR0	R/W	H'0000	H'FFFE3856	8、16
ポート C ポートレジスタ 0		PCPR0	R	H'xxxx	H'FFFE385A	8、16
D	ポート D コントロールレジスタ 3	PDCR3	R/W	H'0000/H'1111*1	H'FFFE3868	8、16、32
	ポート D コントロールレジスタ 2	PDCR2	R/W	H'0000/H'1111*1	H'FFFE386A	8、16
	ポート D コントロールレジスタ 1	PDCR1	R/W	H'0000/H'1111*1	H'FFFE386C	8、16、32
	ポート D コントロールレジスタ 0	PDCR0	R/W	H'0000/H'1111*1	H'FFFE386E	8、16
	ポート D・IO レジスタ 0	PDIOR0	R/W	H'0000	H'FFFE3872	8、16
	ポート D データレジスタ 0	PDDR0	R/W	H'0000	H'FFFE3876	8、16
	ポート D ポートレジスタ 0	PDPR0	R	H'xxxx	H'FFFE387A	8、16

ポート	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
E	ポート E コントロールレジスタ 1	PECR1	R/W	H'0000	H'FFFE388C	8、16、32
	ポート E コントロールレジスタ 0	PECR0	R/W	H'0000	H'FFFE388E	8、16
	ポート E・IO レジスタ 0	PEIOR0	R/W	H'0000	H'FFFE3892	8、16
	ポート E データレジスタ 0	PEDR0	R/W	H'0000	H'FFFE3896	8、16
	ポート E ポートレジスタ 0	PEPR0	R	H'xxxx	H'FFFE389A	8、16
F	ポート F コントロールレジスタ 6	PFCR6	R/W	H'0000	H'FFFE38A2	8、16
	ポート F コントロールレジスタ 5	PFCR5	R/W	H'0000	H'FFFE38A4	8、16、32
	ポート F コントロールレジスタ 4	PFCR4	R/W	H'0000	H'FFFE38A6	8 ^{*3} 、16
	ポート F コントロールレジスタ 3	PFCR3	R/W	H'0000	H'FFFE38A8	8、16、32
	ポート F コントロールレジスタ 2	PFCR2	R/W	H'0000	H'FFFE38AA	8、16
	ポート F コントロールレジスタ 1	PFCR1	R/W	H'0000	H'FFFE38AC	8、16、32
	ポート F コントロールレジスタ 0	PFCR0	R/W	H'0000	H'FFFE38AE	8、16
	ポート F・IO レジスタ 1	PFIOR1	R/W	H'0000	H'FFFE38B0	8、16、32
	ポート F・IO レジスタ 0	PFIOR0	R/W	H'0000	H'FFFE38B2	8、16
	ポート F データレジスタ 1	PFDR1	R/W	H'0000	H'FFFE38B4	8、16、32
	ポート F データレジスタ 0	PFDR0	R/W	H'0000	H'FFFE38B6	8、16
	ポート F ポートレジスタ 1	PFPR1	R	H'xxxx	H'FFFE38B8	8、16、32
	ポート F ポートレジスタ 0	PFPR0	R	H'xxxx	H'FFFE38BA	8、16
	G	ポート G コントロールレジスタ 6	PGCR6	R/W	H'0000	H'FFFE38C2
ポート G コントロールレジスタ 5		PGCR5	R/W	H'0000	H'FFFE38C4	8、16、32
ポート G コントロールレジスタ 4		PGCR4	R/W	H'0000	H'FFFE38C6	8、16
ポート G コントロールレジスタ 3		PGCR3	R/W	H'0000/H'1111 ^{*1}	H'FFFE38C8	8、16、32
ポート G コントロールレジスタ 2		PGCR2	R/W	H'0000/H'1111 ^{*1}	H'FFFE38CA	8、16
ポート G コントロールレジスタ 1		PGCR1	R/W	H'0000/H'1111 ^{*1}	H'FFFE38CC	8、16、32
ポート G コントロールレジスタ 0		PGCR0	R/W	H'0000/H'1111 ^{*1}	H'FFFE38CE	8、16
ポート G・IO レジスタ 1		PGIOR1	R/W	H'0000	H'FFFE38D0	8、16、32
ポート G・IO レジスタ 0		PGIOR0	R/W	H'0000	H'FFFE38D2	8、16
ポート G データレジスタ 1		PGDR1	R/W	H'0000	H'FFFE38D4	8、16、32
ポート G データレジスタ 0		PGDR0	R/W	H'0000	H'FFFE38D6	8、16
ポート G ポートレジスタ 1		PGPR1	R	H'xxxx	H'FFFE38D8	8、16、32
ポート G ポートレジスタ 0		PGPR0	R	H'xxxx	H'FFFE38DA	8、16
H		ポート H コントロールレジスタ 1	PHCR1	R/W	H'0000	H'FFFE38EC
	ポート H コントロールレジスタ 0	PHCR0	R/W	H'0000	H'FFFE38EE	8、16
	ポート H ポートレジスタ 0	PHPR0	R	H'xxxx	H'FFFE38FA	8、16

ポート	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
J	ポートJコントロールレジスタ7	PJCR7	R/W	H'0000	H'FFFE3900	8、16、32
	ポートJコントロールレジスタ6	PJCR6	R/W	H'0000	H'FFFE3902	8、16
	ポートJコントロールレジスタ5	PJCR5	R/W	H'0000	H'FFFE3904	8、16、32
	ポートJコントロールレジスタ4	PJCR4	R/W	H'0000	H'FFFE3906	8、16
	ポートJコントロールレジスタ3	PJCR3	R/W	H'0000	H'FFFE3908	8、16、32
	ポートJコントロールレジスタ2	PJCR2	R/W	H'0000	H'FFFE390A	8、16
	ポートJコントロールレジスタ1	PJCR1	R/W	H'0000	H'FFFE390C	8、16、32
	ポートJコントロールレジスタ0	PJCR0	R/W	H'0000	H'FFFE390E	8、16
	ポートJ・IOレジスタ1	PJIOR1	R/W	H'0000	H'FFFE3910	8、16、32
	ポートJ・IOレジスタ0	PJIOR0	R/W	H'0000	H'FFFE3912	8、16
	ポートJデータレジスタ1	PJDR1	R/W	H'0000	H'FFFE3914	8、16、32
	ポートJデータレジスタ0	PJDR0	R/W	H'0000	H'FFFE3916	8、16
	ポートJポートレジスタ1	PJPR1	R	H'xxxx	H'FFFE3918	8、16、32
	ポートJポートレジスタ0	PJPR0	R	H'xxxx	H'FFFE391A	8、16
-	シリアルサウンドインタフェース ノイズキャンセラコントロールレジスタ	SNCR	R/W	H'0000	H'FFFE393E	8、16

- 【注】 *1 LSIのブートモードにより初期値が異なります。
 *2 16ビットアクセスの場合、読み出しはできますが、書き込みはできません。
 *3 8ビットアクセスの場合、読み出しはできますが、書き込みはできません。

48.2.1 ポート A・IO レジスタ 0 (PAIOR0)

PAIOR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PAIIOR、PA0IOR ビットが、それぞれ、PA1、PA0 端子に対応しています。PAIOR0 のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIOR0 のビット 15~9、7~1 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PA1 IOR	-	-	-	-	-	-	-	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

48.2.2 ポート A データレジスタ 0 (PADR0)

PADR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA1DR、PA0DR ビットは、それぞれ PA1、PA0 端子に対応しています。

端子機能が汎用出力の場合には、PADR0 に値を書き込むと端子からその値が出力され、PADR0 を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADR0 を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADR0 に値を書き込むと、PADR0 にその値を書き込めますが端子の状態には影響しません。表 48.12 に PADR0 の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PA1 DR	-	-	-	-	-	-	-	PA0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA1DR	0	R/W	表 48.12 参照
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA0DR	0	R/W	表 48.12 参照

表 48.12 ポート A データレジスタ 0 (PADR0) の読み出し / 書き込み動作

- PADR0 のビット 8、0

PAIOR0	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADR0 に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR0 の値	書き込み値が端子から出力される

48.2.3 ポート A ポートレジスタ 0 (PAPR0)

PAPR0 は、読み出し専用の 16 ビットのレジスタで、PA1PR、PA0PR ビットが、それぞれ PA1、PA0 端子に対応しています。PAPR0 は常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PA1 PR	PA0 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PA1	PA0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PA1PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
0	PA0PR	端子の状態	R	

(2) ポート B コントロールレジスタ 4 (PBCR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB19MD[2:0]			-	PB18MD[2:0]			-	PB17MD[2:0]			-	PB16MD[2:0]		
初期値:	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PB19MD [2:0]	000/001	R/W	<p>PB19 モード PB19 の機能を制御します。</p> <ul style="list-style-type: none"> • ブートモード 0、1 000: 設定禁止 001: A19 (初期値) 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 000: PB19 (初期値) 001: A19 010: QMO_0/QIO0_0 011: MOSIO 100: 設定禁止 101: 設定禁止 110: SPBMO_0/SPBIO0_0 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PB18MD [2:0]	000/001	R/W	<p>PB18 モード PB18 の機能を制御します。</p> <ul style="list-style-type: none"> • ブートモード 0、1 000: 設定禁止 001: A18 (初期値) 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 000: PB18 (初期値) 001: A18 010: QSSL_0 011: SSL00 100: 設定禁止 101: 設定禁止 110: SPBSSL 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
6~4	PB17MD [2:0]	000/001	R/W	<p>PB17 モード</p> <p>PB17 の機能を制御します。</p> <ul style="list-style-type: none"> • ブートモード 0、1 000 : 設定禁止 001 : A17 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 000 : PB17 (初期値) 001 : A17 010 : QSPCLK_0 011 : RSPCK0 100 : 設定禁止 101 : 設定禁止 110 : SPBCLK 111 : 設定禁止
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	PB16MD [2:0]	000/001	R/W	<p>PB16 モード</p> <p>PB16 端子の機能を制御します。</p> <ul style="list-style-type: none"> • ブートモード 0、1 000 : 設定禁止 001 : A16 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 000 : PB16 (初期値) 001 : A16 010 : QIO3_0 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : SPBIO3_0 111 : 設定禁止

(3) ポート B コントロールレジスタ 3 (PBCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB15MD[2:0]			-	PB14MD[2:0]			-	PB13MD[2:0]			-	-	PB12MD[1:0]	
初期値:	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PB15MD [2:0]	000/001	R/W	<p>PB15 モード PB15 の機能を制御します。</p> <ul style="list-style-type: none"> • ブートモード 0、1 000: 設定禁止 001: A15 (初期値) 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 000: PB15 (初期値) 001: A15 010: QIO2_0 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: SPBIO2_0 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PB14MD [2:0]	000/001	R/W	<p>PB14 モード PB14 の機能を制御します。</p> <ul style="list-style-type: none"> • ブートモード 0、1 000: 設定禁止 001: A14 (初期値) 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 000: PB14 (初期値) 001: A14 010: QIO3_1 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: SPBIO3_1 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
6~4	PB13MD [2:0]	000/001	R/W	PB13 モード PB13 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 000 : 設定禁止 001 : A13 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 000 : PB13 (初期値) 001 : A13 010 : QIO2_1 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : SPBIO2_1 111 : 設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB12MD [1:0]	00/01	R/W	PB12 モード PB12 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 00 : 設定禁止 01 : A12 (初期値) 10 : 設定禁止 11 : 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 00 : PB12 (初期値) 01 : A12 10 : TIOC3D 11 : 設定禁止

(4) ポート B コントロールレジスタ 2 (PBCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB11MD[1:0]	-	-	PB10MD[1:0]	-	-	PB9MD[1:0]	-	-	PB8MD[1:0]	-	-	-	-
初期値:	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PB11MD [1:0]	00/01	R/W	PB11 モード PB11 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 00 : 設定禁止 01 : A11 (初期値) 10 : 設定禁止 11 : 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 00 : PB11 (初期値) 01 : A11 10 : TIOC3C 11 : 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9、8	PB10MD [1:0]	00/01	R/W	PB10 モード PB10 の機能を制御します。 ・ブートモード 0、1 00：設定禁止 01：A10（初期値） 10：設定禁止 11：設定禁止 ・ブートモード 2～5 00：PB10（初期値） 01：A10 10：TIOC3B 11：設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB9MD [1:0]	00/01	R/W	PB9 モード PB9 の機能を制御します。 ・ブートモード 0、1 00：設定禁止 01：A9（初期値） 10：設定禁止 11：設定禁止 ・ブートモード 2～5 00：PB9（初期値） 01：A9 10：TIOC3A 11：設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB8MD [1:0]	00/01	R/W	PB8 モード PB8 の機能を制御します。 ・ブートモード 0、1 00：設定禁止 01：A8（初期値） 10：設定禁止 11：設定禁止 ・ブートモード 2～5 00：PB8（初期値） 01：A8 10：TIOC2B 11：設定禁止

(5) ポート B コントロールレジスタ 1 (PBCR1)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB7MD[1:0]	-	-	PB6MD[1:0]	-	-	PB5MD[1:0]	-	-	PB4MD[1:0]	-	-	-	-
初期値：	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13、12	PB7MD[1:0]	00/01	R/W	PB7 モード PB7 の機能を制御します。 • ブートモード 0、1 • ブートモード 2~5 00：設定禁止 00：PB7（初期値） 01：A7（初期値） 01：A7 10：設定禁止 10：TIOC2A 11：設定禁止 11：設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PB6MD[1:0]	00/01	R/W	PB6 モード PB6 の機能を制御します。 • ブートモード 0、1 • ブートモード 2~5 00：設定禁止 00：PB6（初期値） 01：A6（初期値） 01：A6 10：設定禁止 10：TIOC1B 11：設定禁止 11：設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB5MD[1:0]	00/01	R/W	PB5 モード PB5 の機能を制御します。 • ブートモード 0、1 • ブートモード 2~5 00：設定禁止 00：PB5（初期値） 01：A5（初期値） 01：A5 10：設定禁止 10：TIOC1A 11：設定禁止 11：設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB4MD[1:0]	00/01	R/W	PB4 モード PB4 端子の機能を制御します。 • ブートモード 0、1 • ブートモード 2~5 00：設定禁止 00：PB4（初期値） 01：A4（初期値） 01：A4 10：設定禁止 10：TIOC0D 11：設定禁止 11：設定禁止

(6) ポート B コントロールレジスタ 0 (PBCR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB3MD[1:0]	-	-	PB2MD[1:0]	-	-	PB1MD[1:0]	-	-	-	-	-	-	-
初期値:	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PB3MD[1:0]	00/01	R/W	PB3 モード PB3 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 00: 設定禁止 01: A3 (初期値) 10: 設定禁止 11: 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 00: PB3 (初期値) 01: A3 10: TIOC0C 11: 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PB2MD[1:0]	00/01	R/W	PB2 モード PB2 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 00: 設定禁止 01: A2 (初期値) 10: 設定禁止 11: 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 00: PB2 (初期値) 01: A2 10: TIOC0B 11: 設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB1MD[1:0]	00/01	R/W	PB1 モード PB1 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0 00: 設定禁止 01: A1 (初期値) 10: 設定禁止 11: 設定禁止 <ul style="list-style-type: none"> • ブートモード 1~5 00: PB1 (初期値) 01: A1 10: TIOC0A 11: 設定禁止
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

48.2.5 ポート B・IO レジスタ 0、1 (PBIOR0、PBIOR1)

PBIOR1、PBIOR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB22IOR ~ PB1IOR ビットが、それぞれ、PB22 ~ PB1 端子に対応しています。PBIOR1、PBIOR0 は、ポート B の端子機能が汎用入出力 (PB22 ~ PB1) またはマルチファンクションタイムパルスユニット 2 の TIOC 入出力機能の場合に有効で、その他の機能の場合は無効です。PBIOR1、PBIOR0 のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIOR1 のビット 15 ~ 7、PBIOR0 のビット 0 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) ポート B・IO レジスタ 1 (PBIOR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PB22 IOR	PB21 IOR	PB20 IOR	PB19 IOR	PB18 IOR	PB17 IOR	PB16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート B・IO レジスタ 0 (PBIOR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 IOR	PB14 IOR	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

48.2.6 ポート B データレジスタ 0、1 (PBDR0、PBDR1)

PBDR1、PBDR0は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB22DR ~ PB1DR ビットは、それぞれ PB22 ~ PB1 端子に対応しています。

端子機能が汎用出力の場合には、PBDR1、PBDR0 に値を書き込むと端子からその値が出力され、PBDR1、PBDR0 を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDR1、PBDR0 を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR1、PBDR0 に値を書き込むと、PBDR1、PBDR0 にその値を書き込みますが端子の状態には影響しません。表 48.13 に PBDR1、PBDR0 の読み出し / 書き込み動作を示します。

(1) ポート B データレジスタ 1 (PBDR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PB22 DR	PB21 DR	PB20 DR	PB19 DR	PB18 DR	PB17 DR	PB16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PB22DR	0	R/W	表 48.13 参照
5	PB21DR	0	R/W	
4	PB20DR	0	R/W	
3	PB19DR	0	R/W	
2	PB18DR	0	R/W	
1	PB17DR	0	R/W	
0	PB16DR	0	R/W	

(2) ポート B データレジスタ 0 (PBDR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 DR	PB14 DR	PB13 DR	PB12 DR	PB11 DR	PB10 DR	PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15	PB15DR	0	R/W	表 48.13 参照
14	PB14DR	0	R/W	
13	PB13DR	0	R/W	
12	PB12DR	0	R/W	
11	PB11DR	0	R/W	
10	PB10DR	0	R/W	
9	PB9DR	0	R/W	
8	PB8DR	0	R/W	
7	PB7DR	0	R/W	
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 48.13 ポート B データレジスタ 1、0 (PBDR1、PBDR0) の読み出し / 書き込み動作

- PBDR1のビット6~0およびPBDR0のビット15~1

PBIOR1、0	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR0、1 に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR0、1 に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR0、1 の値	書き込み値が端子から出力される
	汎用出力以外	PBDR0、1 の値	PBDR0、1 に書き込めるが、端子の状態に影響しない

48.2.7 ポート B ポートレジスタ 0、1 (PBPR0、PBPR1)

PBPR1、PBPR0 は、それぞれ読み出し専用の 16 ビットのレジスタで、PB22PR ~ PB16PR ビットが、それぞれ PB22 ~ PB1 端子に対応しています。PBPR1、PBPR0 は、PBCR5 ~ PBCR0 の設定にかかわらず常に端子の値を読み出すことができます。

(1) ポート B ポートレジスタ 1 (PBPR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PB22 PR	PB21 PR	PB20 PR	PB19 PR	PB18 PR	PB17 PR	PB16 PR
初期値:	0	0	0	0	0	0	0	0	0	PB22	PB21	PB20	PB19	PB18	PB17	PB16
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PB22PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
5	PB21PR	端子の状態	R	
4	PB20PR	端子の状態	R	
3	PB19PR	端子の状態	R	
2	PB18PR	端子の状態	R	
1	PB17PR	端子の状態	R	
0	PB16PR	端子の状態	R	

(2) ポート B ポートレジスタ 0 (PBPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 PR	PB14 PR	PB13 PR	PB12 PR	PB11 PR	PB10 PR	PB9 PR	PB8 PR	PB7 PR	PB6 PR	PB5 PR	PB4 PR	PB3 PR	PB2 PR	PB1 PR	-
初期値:	PB15	PB14	PB13	PB12	PB11	PB10	PB9	PB8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PB15PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PB14PR	端子の状態	R	
13	PB13PR	端子の状態	R	
12	PB12PR	端子の状態	R	
11	PB11PR	端子の状態	R	
10	PB10PR	端子の状態	R	
9	PB9PR	端子の状態	R	
8	PB8PR	端子の状態	R	
7	PB7PR	端子の状態	R	
6	PB6PR	端子の状態	R	
5	PB5PR	端子の状態	R	
4	PB4PR	端子の状態	R	
3	PB3PR	端子の状態	R	
2	PB2PR	端子の状態	R	
1	PB1PR	端子の状態	R	
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

48.2.8 ポート C コントロールレジスタ 0~2 (PCCR0~PCCR2)

PCCR0~PCCR2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にあるマルチプレクス端子の機能を選びます。

(1) ポート C コントロールレジスタ 2 (PCCR2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PC8MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PC8MD[2:0]	000	R/W	PC8 モード PC8 の機能を制御します。 000 : PC8 001 : $\overline{\text{CS3}}$ 010 : TxD7 011 : CTx1 100 : CTx0&CTx1 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(2) ポート C コントロールレジスタ 1 (PCCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PC7MD[2:0]			-	PC6MD[2:0]			-	PC5MD[2:0]			-	-	PC4MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PC7MD[2:0]	000	R/W	PC7 モード PC7 の機能を制御します。 000 : PC7 001 : CKE 010 : RxD7 011 : CRx1 100 : CRx0/CRx1 101 : IRQ1 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PC6MD[2:0]	000	R/W	PC6 モード PC6 の機能を制御します。 000 : PC6 001 : $\overline{\text{CAS}}$ 010 : SCK7 011 : CTx0 100 : CTx0&CTx1&CTx2 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PC5MD[2:0]	000	R/W	PC5 モード PC5 の機能を制御します。 000 : PC5 001 : $\overline{\text{RAS}}$ 010 : 設定禁止 011 : CRx0 100 : CRx0/CRx1/CRx2 101 : IRQ0 110 : 設定禁止 111 : 設定禁止
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	PC4MD[1:0]	00	R/W	PC4 モード PC4 の機能を制御します。 00 : PC4 01 : $\overline{\text{WE1/DQMLU}}/\overline{\text{WE}}$ 10 : TxD6 11 : 設定禁止

(3) ポート C コントロールレジスタ 0 (PCCR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PC3MD[1:0]	-	-	PC2MD[1:0]	-	-	-	PC1MD	-	-	-	PC0MD		
初期値:	0	0	0 0	0	0	0 0	0	0	0	0	0/1	0	0	0	0	0/1
R/W:	R	R	R/W R/W	R	R	R/W R/W	R	R	R	R/W	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PC3MD[1:0]	00	R/W	PC3 モード PC3 端子の機能を制御します。 00 : PC3 01 : $\overline{WE0/DQMLL}$ 10 : RxD6 11 : 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PC2MD[1:0]	00	R/W	PC2 モード PC2 端子の機能を制御します。 00 : PC2 01 : RD/\overline{WR} 10 : SCK6 11 : 設定禁止
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC1MD	0/1	R/W	PC1 モード PC1 端子の機能を制御します。 • ブートモード 0、1 0 : 設定禁止 1 : \overline{RD} (初期値) • ブートモード 2~5 0 : PC1 (初期値) 1 : \overline{RD}
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC0MD	0/1	R/W	PC0 モード PC0 端子の機能を制御します。 • ブートモード 0、1 0 : 設定禁止 1 : $\overline{CS0}$ (初期値) • ブートモード 2~5 0 : PC0 (初期値) 1 : $\overline{CS0}$

48.2.9 ポート C・IO レジスタ 0 (PCIOR0)

PCIOR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PC8IOR ~ PC0IOR ビットが、それぞれ、PC8 ~ PC0 端子に対応しています。PCIOR0 は、ポート C の端子機能が汎用入出力 (PC8 ~ PC0) の場合に有効で、その他の機能の場合は無効です。PCIOR0 のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIOR0 のビット 15 ~ 9 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

48.2.10 ポート C データレジスタ 0 (PCDR0)

PCDR0は、読み出し / 書き込み可能な16ビットのレジスタで、ポートCのデータを格納します。PC8DR ~ PC0DRビットは、それぞれPC8 ~ PC0端子に対応しています。

端子機能が汎用出力の場合には、PCDR0に値を書き込むと端子からその値が出力され、PCDR0を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDR0を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。またPCDR0に値を書き込むと、PCDR0にその値を書き込みますが端子の状態には影響しません。表48.14にPCDR0の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PC8DR	0	R/W	表48.14 参照
7	PC7DR	0	R/W	
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

表 48.14 ポート C データレジスタ 0 (PCDR0) の読み出し / 書き込み動作

• PCDR0のビット8~0

PCIOR0	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDR0に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDR0に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDR0の値	書き込み値が端子から出力される
	汎用出力以外	PCDR0の値	PCDR0に書き込めるが、端子の状態に影響しない

48.2.11 ポート C ポートレジスタ 0 (PCPR0)

PCPR0 は、読み出し専用の 16 ビットのレジスタで、PC8PR ~ PC0PR ビットが、それぞれ PC8 ~ PC0 端子に対応しています。PCPR0 は PCCR0 ~ PCCR2 の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PC8 PR	PC7 PR	PC6 PR	PC5 PR	PC4 PR	PC3 PR	PC2 PR	PC1 PR	PC0 PR
初期値:	0	0	0	0	0	0	0	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC8PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
7	PC7PR	端子の状態	R	
6	PC6PR	端子の状態	R	
5	PC5PR	端子の状態	R	
4	PC4PR	端子の状態	R	
3	PC3PR	端子の状態	R	
2	PC2PR	端子の状態	R	
1	PC1PR	端子の状態	R	
0	PC0PR	端子の状態	R	

48.2.12 ポート D コントロールレジスタ 0~3 (PDCR0~PDCR3)

PDCR0~PDCR3 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。

(1) ポート D コントロールレジスタ 3 (PDCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD15MD[1:0]	-	-	PD14MD[1:0]	-	-	PD13MD[1:0]	-	-	PD12MD[1:0]	-	-	-	-
初期値:	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	PD15MD[1:0]	00/01	R/W	PD15 モード PD15 端子の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 00: 設定禁止 01: D15/NAF7 (初期値) 10: 設定禁止 11: 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 00: PD15 (初期値) 01: D15/NAF7 10: PWM2H 11: 設定禁止
11, 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9, 8	PD14MD[1:0]	00/01	R/W	PD14 モード PD14 端子の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 00: 設定禁止 01: D14/NAF6 (初期値) 10: 設定禁止 11: 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 00: PD14 (初期値) 01: D14/NAF6 10: PWM2G 11: 設定禁止
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5, 4	PD13MD[1:0]	00/01	R/W	PD13 モード PD13 端子の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 00: 設定禁止 01: D13/NAF5 (初期値) 10: 設定禁止 11: 設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 00: PD13 (初期値) 01: D13/NAF5 10: PWM2F 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	PD12MD[1:0]	0/1	R/W	PD12 モード PD12 端子の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 00：設定禁止 01：D12/NAF4 (初期値) 10：設定禁止 11：設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 00：PD12 (初期値) 01：D12/NAF4 10：PWM2E 11：設定禁止

(2) ポート D コントロールレジスタ 2 (PDCR2)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD11MD[1:0]	-	-	PD10MD[1:0]	-	-	PD9MD[1:0]	-	-	PD8MD[1:0]	-	-	PD7MD[1:0]	PD6MD[1:0]
初期値：	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PD11MD[1:0]	00/01	R/W	PD11 モード PD11 端子の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 00：設定禁止 01：D11/NAF3 (初期値) 10：設定禁止 11：設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 00：PD11 (初期値) 01：D11/NAF3 10：PWM2D 11：設定禁止
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PD10MD[1:0]	00/01	R/W	PD10 モード PD10 端子の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 00：設定禁止 01：D10/NAF2 (初期値) 10：設定禁止 11：設定禁止 <ul style="list-style-type: none"> • ブートモード 2~5 00：PD10 (初期値) 01：D10/NAF2 10：PWM2C 11：設定禁止
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
9、8	PD6MD[1:0]	00/01	R/W	PD6 モード PD 端子の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 • ブートモード 2~5 00：設定禁止 00：PD6（初期値） 01：D6/FALE（初期値） 01：D6/FALE 10：設定禁止 10：PWM1G 11：設定禁止 11：設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PD5MD[1:0]	00/01	R/W	PD5 モード PD5 端子の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 • ブートモード 2~5 00：設定禁止 00：PD5（初期値） 01：D5/FCLE（初期値） 01：D5/FCLE 10：設定禁止 10：PWM1F 11：設定禁止 11：設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PD4MD[1:0]	00/01	R/W	PD4 モード PD4 端子の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 0、1 • ブートモード 2~5 00：設定禁止 00：PD4（初期値） 01：D4/FRE（初期値） 01：D4/FRE 10：設定禁止 10：PWM1E 11：設定禁止 11：設定禁止

(4) ポート D コントロールレジスタ 0 (PDCR0)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD3MD[1:0]	-	-	PD2MD[1:0]	-	-	PD1MD[1:0]	-	-	PD0MD[1:0]	-	-	PD0MD[1:0]	
初期値：	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13、12	PD3MD[1:0]	00/01	R/W	PD3 モード PD3 端子の機能を制御します。 • ブートモード 0、1 • ブートモード 2~5 00：設定禁止 00：PD3（初期値） 01：D3（初期値） 01：D3 10：設定禁止 10：PWM1D 11：設定禁止 11：設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PD2MD[1:0]	00/01	R/W	PD2 モード PD2 端子の機能を制御します。 • ブートモード 0、1 • ブートモード 2~5 00：設定禁止 00：PD2（初期値） 01：D2（初期値） 01：D2 10：設定禁止 10：PWM1C 11：設定禁止 11：設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PD1MD[1:0]	00/01	R/W	PD1 モード PD1 端子の機能を制御します。 • ブートモード 0、1 • ブートモード 2~5 00：設定禁止 00：PD1（初期値） 01：D1（初期値） 01：D1 10：設定禁止 10：PWM1B 11：設定禁止 11：設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PD0MD[1:0]	00/01	R/W	PD0 モード PD0 端子の機能を制御します。 • ブートモード 0、1 • ブートモード 2~5 00：設定禁止 00：PD0（初期値） 01：D0（初期値） 01：D0 10：設定禁止 10：PWM1A 11：設定禁止 11：設定禁止

48.2.13 ポート D・IO レジスタ 0 (PDIOR0)

PDIOR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD15IOR ~ PD0IOR ビットが、それぞれ、PD15 ~ PD0 端子に対応しています。PDIOR0 は、ポート D の端子機能が汎用入出力 (PD15 ~ PD0) の場合に有効で、その他の機能の場合は無効です。PDIOR0 のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

48.2.14 ポート D データレジスタ 0 (PDDR0)

PDDR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD15DR ~ PD0DR ビットは、それぞれ PD15 ~ PD0 端子に対応しています。

端子機能が汎用出力の場合には、PDDR0 に値を書き込むと端子からその値が出力され、PDDR0 を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDR0 を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDR0 に値を書き込むと、PDDR0 にその値を書き込みますが端子の状態には影響しません。表 48.15 に PDDR0 の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 DR	PD14 DR	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PD15DR	0	R/W	表 48.15 参照
14	PD14DR	0	R/W	
13	PD13DR	0	R/W	
12	PD12DR	0	R/W	
11	PD11DR	0	R/W	
10	PD10DR	0	R/W	
9	PD9DR	0	R/W	
8	PD8DR	0	R/W	
7	PD7DR	0	R/W	
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

表 48.15 ポート D データレジスタ 0 (PDDR0) の読み出し / 書き込み動作

• PDDR0のビット15~0

PDIOR0	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDR0 に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDR0 に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDR0 の値	書き込み値が端子から出力される
	汎用出力以外	PDDR0 の値	PDDR0 に書き込めるが、端子の状態に影響しない

48.2.15 ポート D ポートレジスタ 0 (PDPR0)

PDPR0 は、読み出し専用の 16 ビットのレジスタで、PD15PR ~ PD0PR ビットが、それぞれ PD15 ~ PD0 端子に対応しています。PDPR0 は PDCR0 ~ PDCR3 の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 PR	PD14 PR	PD13 PR	PD12 PR	PD11 PR	PD10 PR	PD9 PR	PD8 PR	PD7 PR	PD6 PR	PD5 PR	PD4 PR	PD3 PR	PD2 PR	PD1 PR	PD0 PR
初期値:	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	PD15PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PD14PR	端子の状態	R	
13	PD13PR	端子の状態	R	
12	PD12PR	端子の状態	R	
11	PD11PR	端子の状態	R	
10	PD10PR	端子の状態	R	
9	PD9PR	端子の状態	R	
8	PD8PR	端子の状態	R	
7	PD7PR	端子の状態	R	
6	PD6PR	端子の状態	R	
5	PD5PR	端子の状態	R	
4	PD4PR	端子の状態	R	
3	PD3PR	端子の状態	R	
2	PD2PR	端子の状態	R	
1	PD1PR	端子の状態	R	
0	PD0PR	端子の状態	R	

48.2.16 ポート E コントロールレジスタ 0、1 (PECR0、PECR1)

PECR1、PECR0 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にあるマルチプレクス端子の機能を選びます。

(1) ポート E コントロールレジスタ 1 (PECR1 : SH7269 のみ)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PE7MD[1:0]	-	-	PE6MD[1:0]	-	-	PE5MD[1:0]	-	-	PE4MD[1:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PE7MD[1:0]	00	R/W	PE7 モード PE7 の機能を制御します。 00 : PE7 01 : SDA3 10 : RxD7 11 : 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PE6MD[1:0]	00	R/W	PE6 モード PE6 の機能を制御します。 00 : PE6 01 : SCL3 10 : RxD6 11 : 設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PE5MD[1:0]	00	R/W	PE5 モード PE5 の機能を制御します。 00 : PE5 01 : SDA2 10 : RxD5 11 : DV_HSYNC
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PE4MD[1:0]	00	R/W	PE4 モード PE4 の機能を制御します。 00 : PE4 01 : SCL2 10 : RxD4 11 : DV_VSYNC

(2) ポート E コントロールレジスタ 0 (PECR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE3MD[2:0]			-	PE2MD[2:0]			-	PE1MD[2:0]			-	-	PE0MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PE3MD[2:0]	000	R/W	PE3 モード PE3 の機能を制御します。 000 : PE3 001 : SDA1 010 : TCLKD 011 : $\overline{\text{ADTRG}}$ 100 : DV_HSYNC 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PE2MD[2:0]	000	R/W	PE2 モード PE2 の機能を制御します。 000 : PE2 001 : SCL1 010 : TCLKD 011 : $\overline{\text{IOIS16}}$ 100 : DV_VSYNC 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PE1MD[2:0]	000	R/W	PE1 モード PE1 の機能を制御します。 000 : PE1 001 : SDA0 010 : TCLKB 011 : AUDIO_CLK 100 : DV_CLK 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	PE0MD[1:0]	00	R/W	PE0 モード PE0 の機能を制御します。 00 : PE0 01 : SCL0 10 : TCLKA 11 : LCD_EXTCLK

48.2.17 ポート E・IO レジスタ 0 (PEIOR0)

PEIOR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F にある端子の入出力方向を選びます。PE7IOR ~ PE0IOR ビットが、それぞれ、PE7 ~ PE0 端子に対応しています。PEIOR0 は、ポート E の端子機能が汎用入出力 (PE7 ~ PE0) の場合に有効で、その他の機能の場合は無効です。PEIOR0 のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIOR0 のビット 15 ~ 8 および SH7268 のビット 7 ~ 4 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

48.2.18 ポート E データレジスタ 0 (PEDR0)

PEDR0は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE7DR ~ PE0DR ビットは、それぞれ PE7 ~ PE0 端子に対応しています。

ポート E の 8 本は、オープンドレイン出力端子です。端子機能が汎用出力の場合には、PEDR0 に 0 を書き込むと端子から 0 が出力され、1 を書き込むと端子はハイインピーダンス状態になります。また、PEDR0 を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDR0 を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDR0 に値を書き込むと、PEDR0 にその値を書き込みますが端子の状態には影響しません。表 48.16 に PEDR0 の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PE7DR	0	R/W	表 48.16 参照 【注】 SH7268 ではビット 7~4 はリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

表 48.16 ポート E データレジスタ 0 (PEDR0) の読み出し / 書き込み動作

• PEDR0のビット7~0

PEIOR0	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDR0 に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDR0 に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDR0 の値	PExDR = 0 のとき、端子から 0 出力 PExDR = 1 のとき、端子はハイインピーダンス状態
	汎用出力以外	PEDR0 の値	PEDR0 に書き込めるが、端子の状態に影響しない

48.2.19 ポート E ポートレジスタ 0 (PEPR0)

PEPR0 は、読み出し専用の 16 ビットのレジスタで、PE7PR ~ PE0PR ビットが、それぞれ PE7 ~ PE0 端子に対応しています。PEPR0 は PECR0、PECR1 の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE7 PR	PE6 PR	PE5 PR	PE4 PR	PE3 PR	PE2 PR	PE1 PR	PE0 PR
初期値:	0	0	0	0	0	0	0	0	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PE7PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。 【注】 SH7268 ではビット 7~4 はリザーブビットです。読み出すと常に 1 が読み出されます。
6	PE6PR	端子の状態	R	
5	PE5PR	端子の状態	R	
4	PE4PR	端子の状態	R	
3	PE3PR	端子の状態	R	
2	PE2PR	端子の状態	R	
1	PE1PR	端子の状態	R	
0	PE0PR	端子の状態	R	

48.2.20 ポート F コントロールレジスタ 0~6 (PFCR0~PFCR6)

PFCR0~PFCR6 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート F にあるマルチプレクス端子の機能を選びます。

(1) ポート F コントロールレジスタ 6 (PFCR6)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PF23MD[2:0]			-	PF22MD[2:0]			-	PF21MD[2:0]			-	PF20MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PF23MD[2:0]	000	R/W	PF23 モード PF23 の機能を制御します。 000 : PF23 001 : SD_D2_0 010 : 設定禁止 011 : 設定禁止 100 : TxD3 101 : MMC_D2 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PF22MD[2:0]	000	R/W	PF22 モード PF22 の機能を制御します。 000 : PF22 001 : SD_D3_0 010 : 設定禁止 011 : 設定禁止 100 : RxD3 101 : MMC_D3 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PF21MD[2:0]	000	R/W	PF21 モード PF21 の機能を制御します。 000 : PF21 001 : SD_CMD_0 010 : 設定禁止 011 : 設定禁止 100 : SCK3 101 : MMC_CMD 110 : 設定禁止 111 : 設定禁止

ビット	ビット名	初期値	R/W	説明
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PF20MD[2:0]	000	R/W	PF20 モード PF20 の機能を制御します。 000 : PF20 001 : SD_CLK_0 010 : SSIDATA3 011 : 設定禁止 100 : 設定禁止 101 : MMC_CLK 110 : 設定禁止 111 : 設定禁止

(2) ポートFコントロールレジスタ5 (PFCR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PF19MD[2:0]		-	PF18MD[2:0]		-	PF17MD[2:0]		-	PF16MD[2:0]		-			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PF19MD[2:0]	000	R/W	PF19 モード PF19 の機能を制御します。 000 : PF19 001 : SD_D0_0 010 : SSIWS3 011 : 設定禁止 100 : IRQ7 101 : MMC_D0 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PF18MD[2:0]	000	R/W	PF18 モード PF18 の機能を制御します。 000 : PF18 001 : SD_D1_0 010 : SSISCK3 011 : 設定禁止 100 : IRQ6 101 : MMC_D1 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PF17MD[2:0]	000	R/W	PF17 モード PF17 の機能を制御します。 000 : PF17 001 : SD_WP_0 010 : 設定禁止 011 : FRB 100 : IRQ5 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

ビット	ビット名	初期値	R/W	説明
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PF16MD[2:0]	000	R/W	PF16 モード PF16 の機能を制御します。 000 : PF16 001 : SD_CD_0 010 : 設定禁止 011 : FCE 100 : IRQ4 101 : MMC_CD 110 : 設定禁止 111 : 設定禁止

(3) ポートFコントロールレジスタ4 (PFCR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PF15MD[2:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

【注】 PFCR4へ書き込む場合は、ビット15~8の値をH'5Aとして、16ビットアクセスで書き込んでください。
8ビットアクセスによる書き込みはできません。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。 PF15MD[2:0]へ書き込む場合は、書き込む値をH'5Aにしてください。
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PF15MD[2:0]	000*	R/W	PF15 モード PF15 の機能を制御します。 000 : PF15 001 : A0 010 : SSIDATA2 011 : <u>WDTOVF</u> 100 : TxD2 101 : <u>UBCTRG</u> 110 : 設定禁止 111 : 設定禁止

【注】 * WDT オーバフローによるパワーオンリセットでは初期化されません。

(4) ポートFコントロールレジスタ3 (PFCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	PF14MD[2:0]		-	PF13MD[2:0]			-	PF12MD[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PF14MD[2:0]	000	R/W	PF14 モード PF14の機能を制御します。 000 : PF14 001 : A25 010 : SSIWS2 011 : 設定禁止 100 : RxD2 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PF13MD[2:0]	000	R/W	PF13 モード PF13の機能を制御します。 000 : PF13 001 : A24 010 : SSISCK2 011 : 設定禁止 100 : SCK2 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PF12MD[2:0]	000	R/W	PF12 モード PF12の機能を制御します。 000 : PF12 001 : 設定禁止 010 : SSIDATA1 011 : DV_DATA3 100 : TxD1 101 : MMC_D7 110 : 設定禁止 111 : 設定禁止

(5) ポート F コントロールレジスタ 2 (PFCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PF11MD[2:0]		-	PF10MD[2:0]		-	PF9MD[2:0]		-	PF8MD[2:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PF11MD[2:0]	000	R/W	PF11 モード PF11 の機能を制御します。 000 : PF11 001 : 設定禁止 010 : SSIWS1 011 : DV_DATA2 100 : RxD1 101 : MMC_D6 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PF10MD[2:0]	000	R/W	PF10 モード PF10 の機能を制御します。 000 : PF10 001 : CS $\bar{1}$ 010 : SSISCK1 011 : DV_DATA1 100 : SCK1 101 : MMC_D5 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PF9MD[2:0]	000	R/W	PF9 モード PF9 の機能を制御します。 000 : PF9 001 : \overline{BS} 010 : 設定禁止 011 : DV_DATA0 100 : SCK0 101 : MMC_D4 110 : $\overline{RTS1}$ 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PF8MD[2:0]	000	R/W	PF8 モード PF8 の機能を制御します。 000 : PF8 001 : A23 010 : 設定禁止 011 : 設定禁止 100 : TxD0 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(6) ポート F コントロールレジスタ 1 (PFCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PF7MD[2:0]			-	PF6MD[2:0]			-	PF5MD[2:0]			-	PF4MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PF7MD[2:0]	000	R/W	PF7 モード PF7 の機能を制御します。 000 : PF7 001 : 設定禁止 010 : SSIRxD0 011 : 設定禁止 100 : RxD0 101 : SGOUT_3 110 : $\overline{CTS1}$ 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PF6MD[2:0]	000	R/W	PF6 モード PF6 の機能を制御します。 000 : PF6 001 : $\overline{CE2A}$ 010 : SSITxD0 011 : 設定禁止 100 : 設定禁止 101 : SGOUT_2 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PF5MD[2:0]	000	R/W	PF5 モード PF5 の機能を制御します。 000 : PF5 001 : 設定禁止 010 : SSIWS0 011 : 設定禁止 100 : 設定禁止 101 : SGOUT_1 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PF4MD[2:0]	000	R/W	PF4 モード PF4 の機能を制御します。 000 : PF4 001 : $\overline{CS5/CE1A}$ 010 : SSISCK0 011 : 設定禁止 100 : 設定禁止 101 : SGOUT_0 110 : 設定禁止 111 : 設定禁止

(7) ポート F コントロールレジスタ 0 (PFCR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PF3MD[2:0]			-	PF2MD[2:0]			-	PF1MD[2:0]			-	PF0MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PF3MD[2:0]	000	R/W	PF3 モード PF3 の機能を制御します。 000 : PF3 001 : $\overline{CS2}$ 010 : QMI_1/QIO1_1 011 : MISO1 100 : TIOC4D 101 : AUDIO_XOUT 110 : SPBMI_1/SPBIO1_1 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PF2MD[2:0]	000	R/W	PF2 モード PF2 の機能を制御します。 000 : PF2 001 : \overline{WAIT} 010 : QMO_1/QIO0_1 011 : MOSI1 100 : TIOC4C 101 : TEND0 110 : SPBMO_1/SPBIO0_1 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PF1MD[2:0]	000	R/W	PF1 モード PF1 の機能を制御します。 000 : PF1 001 : \overline{BACK} 010 : QSSL_1 011 : SSL10 100 : TIOC4B 101 : DACK0 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PF0MD[2:0]	000	R/W	PF0 モード PF0 の機能を制御します。 000 : PF0 001 : \overline{BREQ} 010 : QSPCLK_1 011 : RSPCK1 100 : TIOC4A 101 : DREQ0 110 : 設定禁止 111 : 設定禁止

48.2.21 ポート F・IO レジスタ 0、1 (PFIOR0、PFIOR1)

PFIOR1、PFIOR0 は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート F にある端子の入出力方向を選びます。PF23IOR ~ PF0IOR ビットが、それぞれ、PF23 ~ PF0 端子に対応しています。PFIOR1、PFIOR0 は、ポート F の端子機能が汎用入出力 (PF23 ~ PF0) またはマルチファンクションタイマパルスユニット 2 の TIOC 入出力機能の場合に有効で、その他の機能の場合は無効です。PFIOR1、PFIOR0 のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PFIOR1 のビット 15 ~ 8 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) ポート F・IO レジスタ 1 (PFIOR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF23 IOR	PF22 IOR	PF21 IOR	PF20 IOR	PF19 IOR	PF18 IOR	PF17 IOR	PF16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート F・IO レジスタ 0 (PFIOR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15 IOR	PF14 IOR	PF13 IOR	PF12 IOR	PF11 IOR	PF10 IOR	PF9 IOR	PF8 IOR	PF7 IOR	PF6 IOR	PF5 IOR	PF4 IOR	PF3 IOR	PF2 IOR	PF1 IOR	PF0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

48.2.22 ポート F データレジスタ 0、1 (PFDR0、PFDR1)

PFDR1、PFDR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F のデータを格納します。PF23DR ~ PF0DR ビットは、それぞれ PF23 ~ PF0 端子に対応しています。

端子機能が汎用出力の場合には、PFDR1、PFDR0 に値を書き込むと端子からその値が出力され、PFDR1、PFDR0 を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PFDR1、PFDR0 を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PFDR1、PFDR0 に値を書き込むと、PFDR1、PFDR0 にその値を書き込めますが端子の状態には影響しません。表 48.17 に PFDR1、PFDR0 の読み出し / 書き込み動作を示します。

(1) ポート F データレジスタ 1 (PFDR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF23 DR	PF22 DR	PF21 DR	PF20 DR	PF19 DR	PF18 DR	PF17 DR	PF16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PF23DR	0	R/W	表 48.17 参照
6	PF22DR	0	R/W	
5	PF21DR	0	R/W	
4	PF20DR	0	R/W	
3	PF19DR	0	R/W	
2	PF18DR	0	R/W	
1	PF17DR	0	R/W	
0	PF16DR	0	R/W	

(2) ポート F データレジスタ 0 (PFDR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15 DR	PF14 DR	PF13 DR	PF12 DR	PF11 DR	PF10 DR	PF9 DR	PF8 DR	PF7 DR	PF6 DR	PF5 DR	PF4 DR	PF3 DR	PF2 DR	PF1 DR	PF0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PF15DR	0	R/W	表 48.17 参照
14	PF14DR	0	R/W	
13	PF13DR	0	R/W	
12	PF12DR	0	R/W	
11	PF11DR	0	R/W	
10	PF10DR	0	R/W	
9	PF9DR	0	R/W	
8	PF8DR	0	R/W	
7	PF7DR	0	R/W	
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

表 48.17 ポート F データレジスタ 1、0 (PFDR1、PFDR0) の読み出し / 書き込み動作

- PFDR1のビット23~0およびPFDR0のビット15~0

PFIOR0	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR1、PFDR0 に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDR1、PFDR0 に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR0 の値	書き込み値が端子から出力される
	汎用出力以外	PFDR0 の値	PFDR1、PFDR0 に書き込めるが、端子の状態に影響しない

48.2.23 ポート F ポートレジスタ 0、1 (PFPR0、PFPR1)

PFPR1、PFPR0 は、読み出し専用の 16 ビットのレジスタで、PF23PR ~ PF0PR ビットが、それぞれ PF23 ~ PF0 端子に対応しています。PFPR1、PFPR0 は PFCR0 ~ PFCR5 の設定にかかわらず常に端子の値を読み出すことができます。

(1) ポート F ポートレジスタ 1 (PFPR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF23 PR	P226 PR	PF21 PR	PF20 PR	PF19 PR	PF18 PR	PF17 PR	PF16 PR
初期値:	0	0	0	0	0	0	0	0	PF23	PF22	PF21	PF20	PF19	PF18	PF17	PF16
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PF23PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
6	PF22PR	端子の状態	R	
5	PF21PR	端子の状態	R	
4	PF20PR	端子の状態	R	
3	PF19PR	端子の状態	R	
2	PF18PR	端子の状態	R	
1	PF17PR	端子の状態	R	
0	PF16PR	端子の状態	R	

(2) ポート F ポートレジスタ 0 (PFPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15 PR	PF14 PR	PF13 PR	PF12 PR	PF11 PR	PF10 PR	PF9 PR	PF8 PR	PF7 PR	PF6 PR	PF5 PR	PF4 PR	PF3 PR	PF2 PR	PF1 PR	PF0 PR
初期値:	PF15	PF14	PF13	PF12	PF11	PF10	PF9	PF8	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PF15PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PF14PR	端子の状態	R	
13	PF13PR	端子の状態	R	
12	PF12PR	端子の状態	R	
11	PF11PR	端子の状態	R	
10	PF10PR	端子の状態	R	
9	PF9PR	端子の状態	R	
8	PF8PR	端子の状態	R	
7	PF7PR	端子の状態	R	
6	PF6PR	端子の状態	R	
5	PF5PR	端子の状態	R	
4	PF4PR	端子の状態	R	
3	PF3PR	端子の状態	R	
2	PF2PR	端子の状態	R	
1	PF1PR	端子の状態	R	
0	PF0PR	端子の状態	R	

48.2.24 ポート G コントロールレジスタ 0 ~ 6 (PGCR0 ~ PGCR6)

PGCR0~PGCR6 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート G にあるマルチプレクス端子の機能を選びます。

(1) ポート G コントロールレジスタ 6 (PGCR6)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PG27MD[1:0]	-	-	PG26MD[1:0]	-	-	PG25MD[1:0]	-	-	PG24MD[1:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	PG27MD[1:0]	00	R/W	PG27 モード PG27 の機能を制御します。 00 : PG27 01 : 設定禁止 10 : LCD_TCON2 11 : LCD_EXTCLK
11, 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9, 8	PG26MD[1:0]	00	R/W	PG26 モード PG26 の機能を制御します。 00 : PG26 01 : 設定禁止 10 : LCD_TCON1 11 : 設定禁止
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5, 4	PG25MD[1:0]	00	R/W	PG25 モード PG25 の機能を制御します。 00 : PG25 01 : 設定禁止 10 : LCD_TCON0 11 : 設定禁止
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	PG24MD[1:0]	00	R/W	PG24 モード PG24 の機能を制御します。 00 : PG24 01 : 設定禁止 10 : LCD_CLK 11 : 設定禁止

(2) ポート G コントロールレジスタ 5 (PGCR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PG23MD[2:0]		-	PG22MD[2:0]		-	PG21MD[2:0]		-	PG20MD[2:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PG23MD[2:0]	000	R/W	PG23 モード PG23 の機能を制御します。 000 : PG23 001 : 設定禁止 010 : LCD_DATA23 011 : LCD_TCON6 100 : TxD5 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PG22MD[2:0]	000	R/W	PG22 モード PG22 の機能を制御します。 000 : PG22 001 : 設定禁止 010 : LCD_DATA22 011 : LCD_TCON5 100 : RxD5 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PG21MD[2:0]	000	R/W	PG21 モード PG21 の機能を制御します。 000 : PG21 001 : DV_DATA7 010 : LCD_DATA21 011 : LCD_TCON4 100 : TxD4 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PG20MD[2:0]	000	R/W	PG20 モード PG20 の機能を制御します。 000 : PG20 001 : DV_DATA6 010 : LCD_DATA20 011 : LCD_TCON3 100 : RxD4 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(3) ポート G コントロールレジスタ 4 (PGCR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PG19MD[2:0]		-	PG18MD[2:0]		-	-	PG17MD[1:0]		-	-	PG16MD[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PG19MD[2:0]	000	R/W	PG19 モード PG19の機能を制御します。 000 : PG19 001 : DV_DATA5 010 : LCD_DATA19 011 : SPDIF_OUT 100 : SCK5 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PG18MD[2:0]	000	R/W	PG18 モード PG18の機能を制御します。 000 : PG18 001 : DV_DATA4 010 : LCD_DATA18 011 : SPDIF_IN 100 : SCK4 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	PG17MD[1:0]	00	R/W	PG17 モード PG17の機能を制御します。 00 : PG17 01 : WE3/CIOWR/AH/DQMUU 10 : LCD_DATA17 11 : 設定禁止
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	PG16MD[1:0]	00	R/W	PG16 モード PG16の機能を制御します。 00 : PG16 01 : WE2/CIORD/DQMUL 10 : LCD_DATA16 11 : 設定禁止

(4) ポート G コントロールレジスタ 3 (PGCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PG15MD[1:0]	-	-	PG14MD[1:0]	-	-	PG13MD[1:0]	-	-	PG12MD[1:0]				
初期値:	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PG15MD[1:0]	00/01	R/W	PG15 モード PG15 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 1 <ul style="list-style-type: none"> 00: 設定禁止 01: D31 (初期値) 10: 設定禁止 11: 設定禁止 • ブートモード 0、2~5 <ul style="list-style-type: none"> 00: PG15 (初期値) 01: D31 10: LCD_DATA15 11: PINT7
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PG14MD[1:0]	00/01	R/W	PG14 モード PG14 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 1 <ul style="list-style-type: none"> 00: 設定禁止 01: D30 (初期値) 10: 設定禁止 11: 設定禁止 • ブートモード 0、2~5 <ul style="list-style-type: none"> 00: PG14 (初期値) 01: D30 10: LCD_DATA14 11: PINT6
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	PG13MD[1:0]	00/01	R/W	PG13 モード PG13 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 1 <ul style="list-style-type: none"> 00: 設定禁止 01: D29 (初期値) 10: 設定禁止 11: 設定禁止 • ブートモード 0、2~5 <ul style="list-style-type: none"> 00: PG13 (初期値) 01: D29 10: LCD_DATA13 11: PINT5
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
1、0	PG12MD[1:0]	00/01	R/W	PG12 モード PG12 の機能を制御します。 • ブートモード 1 00 : 設定禁止 01 : D28 (初期値) 10 : 設定禁止 11 : 設定禁止 • ブートモード 0、2~5 00 : PG12 (初期値) 01 : D28 10 : LCD_DATA12 11 : PINT4

(5) ポート G コントロールレジスタ 2 (PGCR2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PG11MD[2:0]		-	PG10MD[2:0]		-	PG9MD[2:0]		-	PG8MD[2:0]					
初期値 :	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PG11MD[2:0]	000/001	R/W	PG11 モード PG11 の機能を制御します。 • ブートモード 1 000 : 設定禁止 001 : D27 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 0、2~5 000 : PG11 (初期値) 001 : D27 010 : LCD_DATA11 011 : PINT3 100 : TIOC3D 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	PG10MD[2:0]	000/001	R/W	PG10 モード PG10の機能を制御します。 ・ブートモード 1 000 : 設定禁止 001 : D26 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 ・ブートモード 0、2~5 000 : PG10 (初期値) 001 : D26 010 : LCD_DATA10 011 : PINT2 100 : TIOC3C 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PG9MD[2:0]	000/001	R/W	PG9 モード PG9の機能を制御します。 ・ブートモード 1 000 : 設定禁止 001 : D25 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 ・ブートモード 0、2~5 000 : PG9 (初期値) 001 : D25 010 : LCD_DATA9 011 : PINT1 100 : TIOC3B 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PG8MD[2:0]	000/001	R/W	PG8 モード PG8の機能を制御します。 ・ブートモード 1 000 : 設定禁止 001 : D24 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 ・ブートモード 0、2~5 000 : PG8 (初期値) 001 : D24 010 : LCD_DATA8 011 : PINT0 100 : TIOC3A 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(6) ポート G コントロールレジスタ 1 (PGCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PG7MD[2:0]		-	PG6MD[2:0]		-	PG5MD[2:0]		-	PG4MD[2:0]					
初期値:	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PG7MD[2:0]	000/001	R/W	PG7 モード PG7 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 1 000: 設定禁止 001: D23 (初期値) 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止 <ul style="list-style-type: none"> • ブートモード 0、2~5 000: PG7 (初期値) 001: D23 010: LCD_DATA7 011: IRQ7 100: TIOC2B 101: 設定禁止 110: 設定禁止 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PG6MD[2:0]	000/001	R/W	PG6 モード PG6 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 1 000: 設定禁止 001: D22 (初期値) 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止 <ul style="list-style-type: none"> • ブートモード 0、2~5 000: PG6 (初期値) 001: D22 010: LCD_DATA6 011: IRQ6 100: TIOC2A 101: 設定禁止 110: 設定禁止 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
6~4	PG5MD[2:0]	000/001	R/W	PG5 モード PG5 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 1 000 : 設定禁止 001 : D21 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 <ul style="list-style-type: none"> • ブートモード 0、2~5 000 : PG5 (初期値) 001 : D21 010 : LCD_DATA5 011 : IRQ5 100 : TIOC1A 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PG4MD[2:0]	000/001	R/W	PG4 モード PG4 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 1 000 : 設定禁止 001 : D20 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 <ul style="list-style-type: none"> • ブートモード 0、2~5 000 : PG4 (初期値) 001 : D20 010 : LCD_DATA4 011 : IRQ4 100 : TIOC1A 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(7) ポート G コントロールレジスタ 0 (PGCR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PG3MD[2:0]			-	PG2MD[2:0]			-	PG1MD[2:0]			-	PG0MD[2:0]		
初期値:	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
14~12	PG3MD[2:0]	000/001	R/W	PG3 モード PG3 の機能を制御します。 • ブートモード 1 000 : 設定禁止 001 : D19 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 0、2~5 000 : PG3 (初期値) 001 : D19 010 : LCD_DATA3 011 : IRQ3 100 : TIOC0D 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PG2MD[2:0]	000/001	R/W	PG2 モード PG2 の機能を制御します。 • ブートモード 1 000 : 設定禁止 001 : D18 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 0、2~5 000 : PG2 (初期値) 001 : D18 010 : LCD_DATA2 011 : IRQ2 100 : TIOC0C 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PG1MD[2:0]	000/001	R/W	PG1 モード PG1 の機能を制御します。 • ブートモード 1 000 : 設定禁止 001 : D17 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 0、2~5 000 : PG1 (初期値) 001 : D17 010 : LCD_DATA1 011 : IRQ1 100 : TIOC0B 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

ビット	ビット名	初期値	R/W	説 明
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PG0MD[2:0]	000/001	R/W	PG0 モード PG0 の機能を制御します。 <ul style="list-style-type: none"> • ブートモード 1 000 : 設定禁止 001 : D16 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 <ul style="list-style-type: none"> • ブートモード 0、2~5 000 : PG0 (初期値) 001 : D16 010 : LCD_DATA0 011 : IRQ0 100 : TI0C0A 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

48.2.25 ポート G・IO レジスタ 0、1 (PGIOR0、PGIOR1)

PGIOR1、PGIOR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G にある端子の入出力方向を選びます。PG27IOR ~ PG0IOR ビットが、それぞれ、PG27 ~ PG0 端子に対応しています。PGIOR1、PGIOR0 は、ポート G の端子機能が汎用入出力 (PG27 ~ PG0) またはマルチファンクションタイムパルスユニット 2 の TIOC 入出力機能の場合に有効で、その他の機能の場合は無効です。PGIOR1、PGIOR0 のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PGIOR1 のビット 15 ~ 12 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) ポート G・IO レジスタ 1 (PGIOR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PG27 IOR	PG26 IOR	PG25 IOR	PG24 IOR	PG23 IOR	PG22 IOR	PG21 IOR	PG20 IOR	PG19 IOR	PG18 IOR	PG17 IOR	PG16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート G・IO レジスタ 0 (PGIOR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15 IOR	PG14 IOR	PG13 IOR	PG12 IOR	PG11 IOR	PG10 IOR	PG9 IOR	PG8 IOR	PG7 IOR	PG6 IOR	PG5 IOR	PG4 IOR	PG3 IOR	PG2 IOR	PG1 IOR	PG0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

48.2.26 ポート G データレジスタ 0、1 (PGDR0、PGDR1)

PGDR1、PGDR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G のデータを格納します。PG27DR ~ PG0DR ビットは、それぞれ PG27 ~ PG0 端子に対応しています。

端子機能が汎用出力の場合には、PGDR1、PGDR0 に値を書き込むと端子からその値が出力され、PGDR1、PGDR0 を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PGDR1、PGDR0 を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PGDR1、PGDR0 に値を書き込むと、PGDR1、PGDR0 にその値を書き込みますが端子の状態には影響しません。表 48.18 に PGDR1、PGDR0 の読み出し / 書き込み動作を示します。

(1) ポート G データレジスタ 1 (PGDR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PG27 DR	PG26 DR	PG25 DR	PG24 DR	PG23 DR	PG22 DR	PG21 DR	PG20 DR	PG19 DR	PG18 DR	PG17 DR	PG16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	PG27DR	0	R/W	表 48.18 参照
10	PG26DR	0	R/W	
9	PG25DR	0	R/W	
8	PG24DR	0	R/W	
7	PG23DR	0	R/W	
6	PG22DR	0	R/W	
5	PG21DR	0	R/W	
4	PG20DR	0	R/W	
3	PG19DR	0	R/W	
2	PG18DR	0	R/W	
1	PG17DR	0	R/W	
0	PG16DR	0	R/W	

(2) ポート G データレジスタ 0 (PGDR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15 DR	PG14 DR	PG13 DR	PG12 DR	PG11 DR	PG10 DR	PG9 DR	PG8 DR	PG7 DR	PG6 DR	PG5 DR	PG4 DR	PG3 DR	PG2 DR	PG1 DR	PG0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PG15DR	0	R/W	表 48.18 参照
14	PG14DR	0	R/W	
13	PG13DR	0	R/W	
12	PG12DR	0	R/W	
11	PG11DR	0	R/W	
10	PG10DR	0	R/W	
9	PG9DR	0	R/W	
8	PG8DR	0	R/W	
7	PG7DR	0	R/W	
6	PG6DR	0	R/W	
5	PG5DR	0	R/W	
4	PG4DR	0	R/W	
3	PG3DR	0	R/W	
2	PG2DR	0	R/W	
1	PG1DR	0	R/W	
0	PG0DR	0	R/W	

表 48.18 ポート G データレジスタ 1、0 (PGDR1、PGDR0) の読み出し / 書き込み動作

- PGDR1のビット11~0およびPGDR0のビット15~0

PGIOR1、0	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PGDR0、1に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PGDR0、1に書き込めるが、端子の状態に影響しない
1	汎用出力	PGDR0、1の値	書き込み値が端子から出力される
	汎用出力以外	PGDR0、1の値	PGDR0、1に書き込めるが、端子の状態に影響しない

48.2.27 ポート G ポートレジスタ 0、1 (PGPR0、PGPR1)

PGPR1、PGPR0 は、それぞれ読み出し専用の 16 ビットのレジスタで、PG27PR ~ PG0PR ビットが、それぞれ PG27 ~ PG0 端子に対応しています。PGPR1、PGPR0 は、PGCR6 ~ PGCR0 の設定にかかわらず常に端子の値を読み出すことができます。

(1) ポート G ポートレジスタ 1 (PGPR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PG27 PR	PG26 PR	PG25 PR	PG24 PR	PG23 PR	PG22 PR	PG21 PR	PG20 PR	PG19 PR	PG18 PR	PG17 PR	PG16 PR
初期値:	0	0	0	0	PG27	PG26	PG25	PG24	PG23	PG22	PG21	PG20	PG19	PG18	PG17	PG16
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	PG27PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
10	PG26PR	端子の状態	R	
9	PG25PR	端子の状態	R	
8	PG24PR	端子の状態	R	
7	PG23PR	端子の状態	R	
6	PG22PR	端子の状態	R	
5	PG21PR	端子の状態	R	
4	PG20PR	端子の状態	R	
3	PG19PR	端子の状態	R	
2	PG18PR	端子の状態	R	
1	PG17PR	端子の状態	R	
0	PG16PR	端子の状態	R	

(2) ポート G ポートレジスタ 0 (PGPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15 PR	PG14 PR	PG13 PR	PG12 PR	PG11 PR	PG10 PR	PG9 PR	PG8 PR	PG7 PR	PG6 PR	PG5 PR	PG4 PR	PG3 PR	PG2 PR	PG1 PR	PG0 PR
初期値:	PG15	PG14	PG13	PG12	PG11	PG10	PG9	PG8	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PG15PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PG14PR	端子の状態	R	
13	PG13PR	端子の状態	R	
12	PG12PR	端子の状態	R	
11	PG11PR	端子の状態	R	
10	PG10PR	端子の状態	R	
9	PG9PR	端子の状態	R	
8	PG8PR	端子の状態	R	
7	PG7PR	端子の状態	R	
6	PG6PR	端子の状態	R	
5	PG5PR	端子の状態	R	
4	PG4PR	端子の状態	R	
3	PG3PR	端子の状態	R	
2	PG2PR	端子の状態	R	
1	PG1PR	端子の状態	R	
0	PG0PR	端子の状態	R	

48.2.28 ポートHコントロールレジスタ0、1 (PHCR0、PHCR1)

PHCR1、PHCR0は、それぞれ16ビットの読み出し/書き込み可能なレジスタで、ポートHにあるマルチプレクス端子の機能を選びます。

(1) ポートHコントロールレジスタ1 (PHCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PH7MD[1:0]	-	-	PH6MD[1:0]	-	-	PH5MD[1:0]	-	-	PH4MD[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13, 12	PH7MD[1:0]	00	R/W	PH7モード PH7の機能を制御します。 00: PH7 01: AN7 10: PINT7 11: 設定禁止 【注】 SH7268ではビット13、12はリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11, 10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9, 8	PH6MD[1:0]	00	R/W	PH6モード PH6の機能を制御します。 00: PH6 01: AN6 10: PINT6 11: 設定禁止 【注】 SH7268ではビット9、8はリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7, 6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5, 4	PH5MD[1:0]	00	R/W	PH5モード PH5の機能を制御します。 00: PH5 01: AN5 10: PINT5 11: LCD_EXTCLK
3, 2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	PH4MD[1:0]	00	R/W	PH4モード PH4の機能を制御します。 00: PH4 01: AN4 10: PINT4 11: 設定禁止

(2) ポートHコントロールレジスタ0 (PHCR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PH3MD[1:0]	-	-	PH2MD[1:0]	-	-	PH1MD[1:0]	-	-	PH0MD[1:0]	-	-	PH0MD[1:0]	
初期値:	0	0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0
R/W:	R	R	R/W R/W	R/W R/W	R R	R/W R/W	R R	R R	R/W R/W	R/W R/W	R R	R/W R/W	R R	R/W R/W	R/W R/W	

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PH3MD[1:0]	00	R/W	PH3 モード PH3 の機能を制御します。 00 : PH3 01 : AN3 10 : PINT3 11 : 設定禁止
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PH2MD[1:0]	00	R/W	PH2 モード PH2 の機能を制御します。 00 : PH2 01 : AN2 10 : PINT2 11 : 設定禁止
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	PH1MD[1:0]	00	R/W	PH1 モード PH1 の機能を制御します。 00 : PH1 01 : AN1 10 : PINT1 11 : 設定禁止
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	PH0MD[1:0]	00	R/W	PH0 モード PH0 の機能を制御します。 00 : PH0 01 : AN0 10 : PINT0 11 : 設定禁止

48.2.29 ポートHポートレジスタ0 (PHPR0)

PHPR0は、読み出し専用の16ビットのレジスタで、PH7PR～PH0PRビットが、それぞれPH7～PH0端子に対応しています。PHPR0は汎用入力機能が選択されているとき、常に端子の値を読み出すことができます。A/D変換器の機能を選択している場合は1が読み出されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PH7 PR	PH6 PR	PH5 PR	PH4 PR	PH3 PR	PH2 PR	PH1 PR	PH0 PR
初期値:	0	0	0	0	0	0	0	0	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15～8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	PH7PR	端子の状態	R	【注】 SH7268ではビット7、6はリザーブビットです。読み出すと常に1が読み出されます。
6	PH6PR	端子の状態	R	
5	PH5PR	端子の状態	R	
4	PH4PR	端子の状態	R	
3	PH3PR	端子の状態	R	
2	PH2PR	端子の状態	R	
1	PH1PR	端子の状態	R	
0	PH0PR	端子の状態	R	

48.2.30 ポート J コントロールレジスタ 0~7 (PJCR0~PJCR7 : SH7269 のみ)

PJCR7~PJCR0 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート J にあるマルチプレクス端子の機能を選びます。

(1) ポート J コントロールレジスタ 7 (PJCR7)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PJ31 MD	-	PJ30MD[2:0]			-	PJ29MD[2:0]			-	PJ28MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PJ31MD	0	R/W	PJ31 モード PJ31 の機能を制御します。 0 : PJ31 1 : DV_CLK
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PJ30MD[2:0]	000	R/W	PJ30 モード PJ30 の機能を制御します。 000 : PJ30 001 : 設定禁止 010 : SSIDATA5 011 : 設定禁止 100 : TIOC2B 101 : IETxD 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PJ29MD[2:0]	000	R/W	PJ29 モード PJ29 の機能を制御します。 000 : PJ29 001 : 設定禁止 010 : SSIWS5 011 : 設定禁止 100 : TIOC2A 101 : IERxD 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PJ24MD[2:0]	000	R/W	PJ24 モード PJ24 の機能を制御します。 000 : PJ24 001 : SGOUT_0 010 : SSISCK4 011 : LCD_TCON3 100 : SPDIF_IN 101 : SCK7 110 : 設定禁止 111 : 設定禁止

(3) ポートJコントロールレジスタ5 (PJCR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ23MD[2:0]			-	PJ22MD[2:0]			-	PJ21MD[2:0]			-	PJ20MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PJ23MD[2:0]	000	R/W	PJ23 モード PJ23 の機能を制御します。 000 : PJ23 001 : DV_DATA23 010 : LCD_DATA23 011 : LCD_TCON6 100 : IRQ3 101 : CTx1 110 : CTx0&CTx1 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PJ22MD[2:0]	000	R/W	PJ22 モード PJ22 の機能を制御します。 000 : PJ22 001 : DV_DATA22 010 : LCD_DATA22 011 : LCD_TCON5 100 : IRQ2 101 : CRx1 110 : CRx0/CRx1 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PJ17MD[2:0]	000	R/W	PJ17 モード PJ17 の機能を制御します。 000 : PJ17 001 : DV_DATA17 010 : LCD_DATA17 011 : SSL00 100 : TIOC0B 101 : SIOFSYNC 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PJ16MD[2:0]	000	R/W	PJ16 モード PJ16 の機能を制御します。 000 : PJ16 001 : DV_DATA16 010 : LCD_DATA16 011 : RSPCK0 100 : TIOC0A 101 : SIOFSCK 110 : 設定禁止 111 : 設定禁止

(5) ポートJコントロールレジスタ3 (PJCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ15MD[2:0]			-	PJ14MD[2:0]			-	PJ13MD[2:0]			-	PJ12MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PJ15MD[2:0]	000	R/W	PJ15 モード PJ15 の機能を制御します。 000 : PJ15 001 : DV_DATA15 010 : LCD_DATA15 011 : PINT7 100 : PWM2H 101 : TxD7 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PJ10MD[2:0]	000	R/W	PJ10 モード PJ10の機能を制御します。 000 : PJ10 001 : DV_DATA10 010 : LCD_DATA10 011 : PINT2 100 : PWM2C 101 : SCK5 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PJ9MD[2:0]	000	R/W	PJ9 モード PJ9の機能を制御します。 000 : PJ9 001 : DV_DATA9 010 : LCD_DATA9 011 : PINT1 100 : PWM2B 101 : $\overline{\text{RTS5}}$ 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PJ8MD[2:0]	000	R/W	PJ8 モード PJ8の機能を制御します。 000 : PJ8 001 : DV_DATA8 010 : LCD_DATA8 011 : PINT0 100 : PWM2A 101 : $\overline{\text{CTS5}}$ 110 : 設定禁止 111 : 設定禁止

(7) ポートJコントロールレジスタ1 (PJCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ7MD[2:0]			-	PJ6MD[2:0]			-	PJ5MD[2:0]			-	PJ4MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明								
14~12	PJ7MD[2:0]	000	R/W	<p>PJ7 モード</p> <p>PJ7 の機能を制御します。</p> <table> <tr> <td>000 : PJ7</td> <td>100 : PWM1H</td> </tr> <tr> <td>001 : DV_DATA7</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : LCD_DATA7</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SD_D2_1</td> <td>111 : 設定禁止</td> </tr> </table>	000 : PJ7	100 : PWM1H	001 : DV_DATA7	101 : 設定禁止	010 : LCD_DATA7	110 : 設定禁止	011 : SD_D2_1	111 : 設定禁止
000 : PJ7	100 : PWM1H											
001 : DV_DATA7	101 : 設定禁止											
010 : LCD_DATA7	110 : 設定禁止											
011 : SD_D2_1	111 : 設定禁止											
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>								
10~8	PJ6MD[2:0]	000	R/W	<p>PJ6 モード</p> <p>PJ6 の機能を制御します。</p> <table> <tr> <td>000 : PJ6</td> <td>100 : PWM1G</td> </tr> <tr> <td>001 : DV_DATA6</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : LCD_DATA6</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SD_D3_1</td> <td>111 : 設定禁止</td> </tr> </table>	000 : PJ6	100 : PWM1G	001 : DV_DATA6	101 : 設定禁止	010 : LCD_DATA6	110 : 設定禁止	011 : SD_D3_1	111 : 設定禁止
000 : PJ6	100 : PWM1G											
001 : DV_DATA6	101 : 設定禁止											
010 : LCD_DATA6	110 : 設定禁止											
011 : SD_D3_1	111 : 設定禁止											
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>								
6~4	PJ5MD[2:0]	000	R/W	<p>PJ5 モード</p> <p>PJ5 の機能を制御します。</p> <table> <tr> <td>000 : PJ5</td> <td>100 : PWM1F</td> </tr> <tr> <td>001 : DV_DATA5</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : LCD_DATA5</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SD_CMD_1</td> <td>111 : 設定禁止</td> </tr> </table>	000 : PJ5	100 : PWM1F	001 : DV_DATA5	101 : 設定禁止	010 : LCD_DATA5	110 : 設定禁止	011 : SD_CMD_1	111 : 設定禁止
000 : PJ5	100 : PWM1F											
001 : DV_DATA5	101 : 設定禁止											
010 : LCD_DATA5	110 : 設定禁止											
011 : SD_CMD_1	111 : 設定禁止											
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>								
2~0	PJ4MD[2:0]	000	R/W	<p>PJ4 モード</p> <p>PJ4 の機能を制御します。</p> <table> <tr> <td>000 : PJ4</td> <td>100 : PWM1E</td> </tr> <tr> <td>001 : DV_DATA4</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : LCD_DATA4</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SD_CLK_1</td> <td>111 : 設定禁止</td> </tr> </table>	000 : PJ4	100 : PWM1E	001 : DV_DATA4	101 : 設定禁止	010 : LCD_DATA4	110 : 設定禁止	011 : SD_CLK_1	111 : 設定禁止
000 : PJ4	100 : PWM1E											
001 : DV_DATA4	101 : 設定禁止											
010 : LCD_DATA4	110 : 設定禁止											
011 : SD_CLK_1	111 : 設定禁止											

(8) ポート J コントロールレジスタ 0 (PJCR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ3MD[2:0]		-	PJ2MD[2:0]		-	PJ1MD[2:0]		-	PJ0MD[2:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PJ3MD[2:0]	000	R/W	PJ3 モード PJ3 の機能を制御します。 000 : PJ3 001 : DV_DATA3 010 : LCD_DATA3 011 : SD_D0_1 100 : PWM1D 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PJ2MD[2:0]	000	R/W	PJ2 モード PJ2 の機能を制御します。 000 : PJ2 001 : DV_DATA2 010 : LCD_DATA2 011 : SD_D1_1 100 : PWM1C 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PJ1MD[2:0]	000	R/W	PJ1 モード PJ1 の機能を制御します。 000 : PJ1 001 : DV_DATA1 010 : LCD_DATA1 011 : SD_WP_1 100 : PWM1B 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PJ0MD[2:0]	000	R/W	PJ0 モード PJ0 の機能を制御します。 000 : PJ0 001 : DV_DATA0 010 : LCD_DATA0 011 : SD_CD_1 100 : PWM1A 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

48.2.31 ポート J・IO レジスタ 0、1 (PJIOR0、PJIOR1 : SH7269 のみ)

PJIOR1、PJIOR0 は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート J にある端子の入出力方向を選びます。PJ31IOR ~ PJ0IOR ビットが、それぞれ、PJ31 ~ PJ0 端子に対応しています。PJIOR1、PJIOR0 は、ポート J の端子機能が汎用入出力 (PJ31 ~ PJ0) の場合に有効で、その他の機能の場合は無効です。PJIOR1、PJIOR0 のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

(1) ポート J・IO レジスタ 1 (PJIOR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ31 IOR	PJ30 IOR	PJ29 IOR	PJ28 IOR	PJ27 IOR	PJ26 IOR	PJ25 IOR	PJ24 IOR	PJ23 IOR	PJ22 IOR	PJ21 IOR	PJ20 IOR	PJ19 IOR	PJ18 IOR	PJ17 IOR	PJ16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート J・IO レジスタ 0 (PJIOR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 IOR	PJ14 IOR	PJ13 IOR	PJ12 IOR	PJ11 IOR	PJ10 IOR	PJ9 IOR	PJ8 IOR	PJ7 IOR	PJ6 IOR	PJ5 IOR	PJ4 IOR	PJ3 IOR	PJ2 IOR	PJ1 IOR	PJ0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

48.2.32 ポート J データレジスタ 0、1 (PJDR0、PJDR1 : SH7269 のみ)

PJDR1、PJDR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート J のデータを格納します。PJ31DR ~ PJ0DR ビットは、それぞれ PJ31 ~ PJ0 端子に対応しています。

端子機能が汎用出力の場合には、PJDR1、PJDR0 に値を書き込むと端子からその値が出力され、PJDR1、PJDR0 を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PJDR1、PJDR0 を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PJDR1、PJDR0 に値を書き込むと、PJDR1、PJDR0 にその値を書き込みますが端子の状態には影響しません。表 48.19 に PJDR1、PJDR0 の読み出し / 書き込み動作を示します。

(1) ポート J データレジスタ 1 (PJDR1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ31DR	PJ30DR	PJ29DR	PJ28DR	PJ27DR	PJ26DR	PJ25DR	PJ24DR	PJ23DR	PJ22DR	PJ21DR	PJ20DR	PJ19DR	PJ18DR	PJ17DR	PJ16DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	PJ31DR	0	R/W	表 48.19 参照
14	PJ30DR	0	R/W	
13	PJ29DR	0	R/W	
12	PJ28DR	0	R/W	
11	PJ27DR	0	R/W	
10	PJ26DR	0	R/W	
9	PJ25DR	0	R/W	
8	PJ24DR	0	R/W	
7	PJ23DR	0	R/W	
6	PJ22DR	0	R/W	
5	PJ21DR	0	R/W	
4	PJ20DR	0	R/W	
3	PJ19DR	0	R/W	
2	PJ18DR	0	R/W	
1	PJ17DR	0	R/W	
0	PJ16DR	0	R/W	

(2) ポート J データレジスタ 0 (PJDR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 DR	PJ14 DR	PJ13 DR	PJ12 DR	PJ11 DR	PJ10 DR	PJ9 DR	PJ8 DR	PJ7 DR	PJ6 DR	PJ5 DR	PJ4 DR	PJ3 DR	PJ2 DR	PJ1 DR	PJ0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PJ15DR	0	R/W	表 48.19 参照
14	PJ14DR	0	R/W	
13	PJ13DR	0	R/W	
12	PJ12DR	0	R/W	
11	PJ11DR	0	R/W	
10	PJ10DR	0	R/W	
9	PJ9DR	0	R/W	
8	PJ8DR	0	R/W	
7	PJ7DR	0	R/W	
6	PJ6DR	0	R/W	
5	PJ5DR	0	R/W	
4	PJ4DR	0	R/W	
3	PJ3DR	0	R/W	
2	PJ2DR	0	R/W	
1	PJ1DR	0	R/W	
0	PJ0DR	0	R/W	

表 48.19 ポート J データレジスタ 1、0 (PJDR1、PJDR0) の読み出し / 書き込み動作

● PJDR1、PJDR0

PJIOR1、0	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PJDR1、PJDR0 に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PJDR1、PJDR0 に書き込めるが、端子の状態に影響しない
1	汎用出力	PJDR1、PJDR0 の値	書き込み値が端子から出力される
	汎用出力以外	PJDR1、PJDR0 の値	PJDR1、PJDR0 に書き込めるが、端子の状態に影響しない

48.2.33 ポート J ポートレジスタ 0、1 (PJPR0、PJPR1 : SH7269 のみ)

PJPR1、PJPR0 は、読み出し専用の 16 ビットのレジスタで、PJ31PR ~ PJ0PR ビットが、それぞれ PJ31 ~ PJ0 端子に対応しています。PJPR1、PJPR0 は PJCR0、PJCR1 の設定にかかわらず常に端子の値を読み出すことができます。

(1) ポート J ポートレジスタ 1 (PJPR1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ31 PR	PJ30 PR	PJ29 PR	PJ28 PR	PJ27 PR	PJ26 PR	PJ25 PR	PJ24 PR	PJ23 PR	PJ22 PR	PJ21 PR	PJ20 PR	PJ19 PR	PJ18 PR	PJ17 PR	PJ16 PR
初期値 :	PJ31	PJ30	PJ29	PJ28	PJ27	PJ26	PJ25	PJ24	PJ23	PJ22	PJ21	PJ20	PJ19	PJ18	PJ17	PJ16
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	PJ31PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PJ30PR	端子の状態	R	
13	PJ29PR	端子の状態	R	
12	PJ28PR	端子の状態	R	
11	PJ27PR	端子の状態	R	
10	PJ26PR	端子の状態	R	
9	PJ25PR	端子の状態	R	
8	PJ24PR	端子の状態	R	
7	PJ23PR	端子の状態	R	
6	PJ22PR	端子の状態	R	
5	PJ21PR	端子の状態	R	
4	PJ20PR	端子の状態	R	
3	PJ19PR	端子の状態	R	
2	PJ18PR	端子の状態	R	
1	PJ17PR	端子の状態	R	
0	PJ16PR	端子の状態	R	

(2) ポート J ポートレジスタ 0 (PJPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 PR	PJ14 PR	PJ13 PR	PJ12 PR	PJ11 PR	PJ10 PR	PJ9 PR	PJ8 PR	PJ7 PR	PJ6 PR	PJ5 PR	PJ4 PR	PJ3 PR	PJ2 PR	PJ1 PR	PJ0 PR
初期値:	PJ15	PJ14	PJ13	PJ12	PJ11	PJ10	PJ9	PJ8	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PJ15PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PJ14PR	端子の状態	R	
13	PJ13PR	端子の状態	R	
12	PJ12PR	端子の状態	R	
11	PJ11PR	端子の状態	R	
10	PJ10PR	端子の状態	R	
9	PJ9PR	端子の状態	R	
8	PJ8PR	端子の状態	R	
7	PJ7PR	端子の状態	R	
6	PJ6PR	端子の状態	R	
5	PJ5PR	端子の状態	R	
4	PJ4PR	端子の状態	R	
3	PJ3PR	端子の状態	R	
2	PJ2PR	端子の状態	R	
1	PJ1PR	端子の状態	R	
0	PJ0PR	端子の状態	R	

48.2.34 シリアルサウンドインタフェースノイズキャンセラコントロールレジスタ (SNCR)

SNCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、チップ端子からシリアルサウンドインタフェースへの入力経路に存在するノイズキャンセラを制御します。各ビットは、対応するシリアルサウンドインタフェースのチャンネルがスレーブモードである場合のみ設定可能です。マスタモード時は、初期値のまま使用してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	SSI5 NCE	SSI4 NCE	SSI3 NCE	SSI2 NCE	SSI1 NCE	SSI0 NCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SSI5NCE	0	R/W	シリアルサウンドインタフェースチャンネル 5 ノイズキャンセララインナップル SSISCK5、SSIWS5、SSIDATA5 のノイズキャンセラの有効 / 無効を選択します。 0 : ノイズキャンセラ無効 1 : ノイズキャンセラ有効
4	SSI4NCE	0	R/W	シリアルサウンドインタフェースチャンネル 4 ノイズキャンセララインナップル SSISCK4、SSIWS4、SSIDATA4 のノイズキャンセラの有効 / 無効を選択します。 0 : ノイズキャンセラ無効 1 : ノイズキャンセラ有効
3	SSI3NCE	0	R/W	シリアルサウンドインタフェースチャンネル 3 ノイズキャンセララインナップル SSISCK3、SSIWS3、SSIDATA3 のノイズキャンセラの有効 / 無効を選択します。 0 : ノイズキャンセラ無効 1 : ノイズキャンセラ有効
2	SSI2NCE	0	R/W	シリアルサウンドインタフェースチャンネル 2 ノイズキャンセララインナップル SSISCK2、SSIWS2、SSIDATA2 のノイズキャンセラの有効 / 無効を選択します。 0 : ノイズキャンセラ無効 1 : ノイズキャンセラ有効
1	SSI1NCE	0	R/W	シリアルサウンドインタフェースチャンネル 1 ノイズキャンセララインナップル SSISCK1、SSIWS1、SSIDATA1 のノイズキャンセラの有効 / 無効を選択します。 0 : ノイズキャンセラ無効 1 : ノイズキャンセラ有効

ビット	ビット名	初期値	R/W	説 明
0	SSI0NCE	0	R/W	シリアルサウンドインタフェースチャンネル0 ノイズキャンセライネーブル SSISCK0、SSIWS0、SSIRxD0 のノイズキャンセラの有効 / 無効を選択します。 0 : ノイズキャンセラ無効 1 : ノイズキャンセラ有効

49. 低消費電力モード

本 LSI は、低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、ディープスタンバイモード、モジュールスタンバイ機能をサポートしています。低消費電力モードでは、CPU、クロック、内蔵メモリ、一部内蔵周辺モジュール等の機能を停止したり、電源をオフにしたりすることにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込み等によって解除されます。

49.1 特長

49.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. ディープスタンバイモード
4. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、表 49.1 に示します。

表 49.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態 ^{*1}								解除方法	
		CPG	CPU	CPUレジスタ	高速内蔵RAM キャッシュメモリ	大容量内蔵RAM (保持用内蔵RAM含む)	内蔵周辺モジュール	リアルタイムクロック	電源		外部メモリ
スリープモード	STBCR1のSTBYビットが0の状態 でSLEEP命令を実行	動作	停止	保持	動作	動作	動作	動作 ^{*2}	動作	オートリフレッシュ にしてください	・割り込み ・マニュアルリセット ・パワーオンリセット ・DMAアドレスエラー
ソフトウェアスタンバイモード	STBCR1のSTBYビットが1、DEEPビットが0の状態 でSLEEP命令を実行	停止	停止	保持	停止 (内容は保持 ^{*5*6})	停止 (内容は保持 ^{*5*6*7})	停止	動作 ^{*2}	動作	セルフリフレッシュ にしてください	・NMI割り込み ・IRQ割り込み ・パワーオンリセット
ディープスタンバイモード	STBCR1のSTBYビットとDEEPビットが1の状態 でSLEEP命令を実行	停止	停止	停止	停止 (内容は非保持)	停止 (保持用内蔵RAMの内容は保持 ^{*3})	停止	動作 ^{*2}	停止	セルフリフレッシュ にしてください	・NMI割り込み ^{*4} ・パワーオンリセット ^{*4} ・リアルタイムクロックアラーム割り込み ^{*4} ・解除用端子の変化 ^{*4}
モジュールスタンバイモード	STBCR2、STBCR3、STBCR4、STBCR5、STBCR6、STBCR7、STBCR8、STBCR9、STBCR10のMSTPビットを1とする	動作	動作	保持	動作	動作	指定モジュールが停止	停止	動作	オートリフレッシュ にしてください	・MSTPビットを0に クリア ・パワーオンリセット (ただしユーザデバッグインタフェース、ダイレクトメモリアクセスコントローラのみ)

【注】 *1 端子状態は、保持またはハイインピーダンスです。詳細は「第 53 章 端子状態と処理方法」の「53.1 端子状態」を参照してください。

*2 リアルタイムクロックは RCR2 レジスタの START ビットが 1 のとき動作します。詳細は「第 15 章 リアルタイムクロック」を参照してください。なお、パワーオンリセットによりディープスタンバイモードを解除した場合、動作状態を保持することができません。再度、リアルタイムクロックの初期設定を行ってください。

*3 RRAMKP レジスタの RRAMKP3 ~ RRAMKP0 ビットを 1 にセットすると保持用内蔵 RAM の対象エリアの内容を、ディープスタンバイモード遷移時に保持することができます。ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、保持している内容は初期化されます。

*4 ディープスタンバイモードは、割り込み (NMI、リアルタイムクロックアラーム割り込み)、リセット (パワーオンリセット) および解除用端子 (PJ23 ~ PJ20、PG3 ~ PG2、PF19 ~ PF16、PC7、PC5) の変化により解除されます。ただし、リセット以外によってディープスタンバイモードを解除する場合も、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。PJ23 ~ PJ20 は、SH7269 でのみ使用できます。

*5 パワーオンリセットによりソフトウェアスタンバイモードを解除した場合、保持している内容は初期化されます。

*6 高速内蔵 RAM は、SYSCR1 レジスタの RAME ビット、または SYSCR2 レジスタの RAMWE ビットをディセーブルにすることにより、パワーオンリセットでソフトウェアスタンバイモードを解除した場合でも、保持し続けることができます。

*7 大容量内蔵 RAM (保持用内蔵 RAM 含む) は、SYSCR3 レジスタの VRAME ビット、または SYSCR4 レジスタの VRAMWE ビットをディセーブルにすることにより、パワーオンリセットでソフトウェアスタンバイモードを解除した場合でも、保持し続けることができます。

49.2 レジスタの説明

表 49.2 にレジスタ構成を示します。

表 49.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
スタンバイコントロールレジスタ 1	STBCR1	R/W	H'00	H'FFFE0014	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'00	H'FFFE0018	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'7E	H'FFFE0408	8
スタンバイコントロールレジスタ 4	STBCR4	R/W	H'FF	H'FFFE040C	8
スタンバイコントロールレジスタ 5	STBCR5	R/W	H'FF	H'FFFE0410	8
スタンバイコントロールレジスタ 6	STBCR6	R/W	H'FF	H'FFFE0414	8
スタンバイコントロールレジスタ 7	STBCR7	R/W	H'FF	H'FFFE0418	8
スタンバイコントロールレジスタ 8	STBCR8	R/W	H'FF	H'FFFE041C	8
スタンバイコントロールレジスタ 9	STBCR9	R/W	H'FF	H'FFFE0440	8
スタンバイコントロールレジスタ 10	STBCR10	R/W	H'7F	H'FFFE0444	8
ソフトウェアリセットコントロールレジスタ 1	SWRSTCR1	R/W	H'00	H'FFFE0430	8
ソフトウェアリセットコントロールレジスタ 2	SWRSTCR2	R/W	H'00	H'FFFE0434	8
システムコントロールレジスタ 1	SYSCR1	R/W	H'FF	H'FFFE0400	8
システムコントロールレジスタ 2	SYSCR2	R/W	H'FF	H'FFFE0404	8
システムコントロールレジスタ 3	SYSCR3	R/W	H'FF	H'FFFE0420	8
システムコントロールレジスタ 4	SYSCR4	R/W	H'FF	H'FFFE0424	8
システムコントロールレジスタ 5	SYSCR5	R/W	H'00	H'FFFE0428	8
保持用内蔵 RAM 保持エリア指定レジスタ	RRAMKP	R/W	H'00	H'FFFE6800	8
ディープスタンバイコントロールレジスタ	DSCTR	R/W	H'00	H'FFFE6802	8
ディープスタンバイ解除要因セレクトレジスタ	DSSSR	R/W	H'0000	H'FFFE6804	16
ディープスタンバイ解除エッジセレクトレジスタ	DSESR	R/W	H'0000	H'FFFE6806	16
ディープスタンバイ解除要因フラグレジスタ	DSFR	R/W	H'0000	H'FFFE6808	16
XTAL 水晶発振器ゲインコントロールレジスタ	XTALCTR	R/W	H'00	H'FFFE6810	8

49.2.1 スタンバイコントロールレジスタ 1 (STBCR1)

STBCR1 は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	STBY	DEEP	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	STBY	0	R/W	ソフトウェアスタンバイ、ディープスタンバイ
6	DEEP	0	R/W	ソフトウェアスタンバイモード、ディープスタンバイモードへの遷移を指定します。 0x : SLEEP 命令の実行で、スリープモードへ遷移 10 : SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移 11 : SLEEP 命令の実行で、ディープスタンバイモードへ遷移
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【記号説明】 x : Don't care

49.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 10	MSTP 9	MSTP 8	MSTP 7	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	MSTP10	0	R/W	モジュールストップ 10 MSTP10 ビットを 1 にセットするとユーザデバッグインタフェースへのクロックの供給を停止します。 0: ユーザデバッグインタフェースは動作 1: ユーザデバッグインタフェースへのクロックの供給を停止
6	MSTP9	0	R/W	モジュールストップ 9 MSTP9 ビットを 1 にセットするとユーザブレイクコントローラへのクロックの供給を停止します。 0: ユーザブレイクコントローラは動作 1: ユーザブレイクコントローラへのクロックの供給を停止
5	MSTP8	0	R/W	モジュールストップ 8 MSTP8 ビットを 1 にセットするとダイレクトメモリアクセスコントローラへのクロックの供給を停止します。 0: ダイレクトメモリアクセスコントローラは動作 1: ダイレクトメモリアクセスコントローラへのクロックの供給を停止 【注】マルチファンクションタイマパルスユニット 2、コンペアマッチタイマ、FIFO 内蔵シリアルコミュニケーションインタフェース、コントローラエリアネットワーク、IEBus™ コントローラ、サウンドジェネレータ、モータコントロール PWM タイマを使用する場合は、本ビットを 1 に設定しないでください。
4	MSTP7	0	R/W	モジュールストップ 7 MSTP7 ビットを 1 にセットすると FPU へのクロックの供給を停止します。MSTP7 ビットを 1 にセットした後、0 をライトしてクリアすることはできません。つまり、MSTP7 ビットを 1 にセットして FPU へのクロック供給をいったん停止した後、MSTP7 ビットを 0 にクリアして FPU へのクロック供給を再開することはできません。 FPU へのクロックの供給を停止した後、再開するには、本 LSI をパワーオンリセットしてください。 0: FPU は動作 1: FPU へのクロックの供給を停止
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

49.2.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	HIZ	MSTP 36	MSTP 35	-	-	MSTP 32	-	MSTP 30
初期値 :	0	1	1	1	1	1	1	0
R/W :	R/W	R/W	R/W	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	HIZ	0	R/W	<p>ポートハイインピーダンス</p> <p>ソフトウェアスタンバイモード時およびディープスタンバイモード時に、特定の出力端子の状態を保持するか、ハイインピーダンスにするかを選択します。どの端子を制御するかは、「第 53 章 端子状態と処理方法」の「53.1 端子状態」を参照してください。</p> <p>本ビットは、ウォッチドッグタイマの WTSCR の TME ビットが 1 の状態では設定しないでください。出力端子の状態をハイインピーダンスにしたいときには、必ず TME ビットが 0 の状態で、HIZ ビットをセットしてください。</p> <p>0 : ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態を保持する</p> <p>1 : ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態をハイインピーダンスにする</p>
6	MSTP36	1	R/W	<p>モジュールストップ 36</p> <p>MSTP36 ビットを 1 にセットすると IEBus コントローラへのクロックの供給を停止します。</p> <p>0 : IEBus コントローラは動作</p> <p>1 : IEBus コントローラへのクロックの供給を停止</p>
5	MSTP35	1	R/W	<p>モジュールストップ 35</p> <p>MSTP35 ビットを 1 にセットするとマルチファンクションタイマパルスユニット 2 へのクロックの供給を停止します。</p> <p>0 : マルチファンクションタイマパルスユニット 2 は動作</p> <p>1 : マルチファンクションタイマパルスユニット 2 へのクロックの供給を停止</p>
4、3	-	すべて 1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください</p>
2	MSTP32	1	R/W	<p>モジュールストップ 32</p> <p>MSTP32 ビットを 1 にセットすると A/D 変換器へのクロックの供給を停止します。</p> <p>0 : A/D 変換器は動作</p> <p>1 : A/D 変換器へのクロックの供給を停止</p>
1	-	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>

ビット	ビット名	初期値	R/W	説 明
0	MSTP30	0	R/W	<p>モジュールストップ 30</p> <p>MSTP30 ビットを 1 にセットするとリアルタイムクロックへのクロックの供給を停止します。</p> <p>0 : リアルタイムクロックは動作</p> <p>1 : リアルタイムクロックへのクロックの供給を停止</p> <p>【注】リアルタイムクロックを停止する場合、以下のリアルタイムクロックのレジスタ設定を行ってください。</p> <ul style="list-style-type: none"> コントロールレジスタ 2 (RCR2) の RTCEN ビットを 0 に設定 コントロールレジスタ 5 (RCR5) の RCKSEL ビットを 0 に設定 <p>上記の設定の後に、MSTP30 ビットを 1 に設定してください。</p>

49.2.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	MSTP 47	MSTP 46	MSTP 45	MSTP 44	MSTP 43	MSTP 42	MSTP 41	MSTP 40
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MSTP47	1	R/W	<p>モジュールストップ 47</p> <p>MSTP47 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャンネル 0 へのクロックの供給を停止します。</p> <p>0 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 0 は動作</p> <p>1 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 0 へのクロックの供給を停止</p>
6	MSTP46	1	R/W	<p>モジュールストップ 46</p> <p>MSTP46 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャンネル 1 へのクロックの供給を停止します。</p> <p>0 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 1 は動作</p> <p>1 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 1 へのクロックの供給を停止</p>
5	MSTP45	1	R/W	<p>モジュールストップ 45</p> <p>MSTP45 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャンネル 2 へのクロックの供給を停止します。</p> <p>0 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 2 は動作</p> <p>1 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 2 へのクロックの供給を停止</p>

ビット	ビット名	初期値	R/W	説 明
4	MSTP44	1	R/W	モジュールストップ 44 MSTP44 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャンネル 3 へのクロックの供給を停止します。 0 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 3 は動作 1 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 3 へのクロックの供給を停止
3	MSTP43	1	R/W	モジュールストップ 43 MSTP43 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャンネル 4 へのクロックの供給を停止します。 0 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 4 は動作 1 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 4 へのクロックの供給を停止
2	MSTP42	1	R/W	モジュールストップ 42 MSTP42 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャンネル 5 へのクロックの供給を停止します。 0 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 5 は動作 1 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 5 へのクロックの供給を停止
1	MSTP41	1	R/W	モジュールストップ 41 MSTP41 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャンネル 6 へのクロックの供給を停止します。 0 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 6 は動作 1 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 6 へのクロックの供給を停止
0	MSTP40	1	R/W	モジュールストップ 40 MSTP40 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャンネル 7 へのクロックの供給を停止します。 0 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 7 は動作 1 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 7 へのクロックの供給を停止

49.2.5 スタンバイコントロールレジスタ 5 (STBCR5)

STBCR5 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 57	MSTP 56	MSTP 55	MSTP 54	MSTP 53	MSTP 52	MSTP 51	MSTP 50
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MSTP57	1	R/W	モジュールストップ 57 MSTP57 ビットを 1 にセットすると I ² C バスインタフェース 3 チャンネル 0 へのクロックの供給を停止します。 0: I ² C バスインタフェース 3 チャンネル 0 は動作 1: I ² C バスインタフェース 3 チャンネル 0 へのクロックの供給を停止
6	MSTP56	1	R/W	モジュールストップ 56 MSTP56 ビットを 1 にセットすると I ² C バスインタフェース 3 チャンネル 1 へのクロックの供給を停止します。 0: I ² C バスインタフェース 3 チャンネル 1 は動作 1: I ² C バスインタフェース 3 チャンネル 1 へのクロックの供給を停止
5	MSTP55	1	R/W	モジュールストップ 55 MSTP55 ビットを 1 にセットすると I ² C バスインタフェース 3 チャンネル 2 へのクロックの供給を停止します。 0: I ² C バスインタフェース 3 チャンネル 2 は動作 1: I ² C バスインタフェース 3 チャンネル 2 へのクロックの供給を停止
4	MSTP54	1	R	モジュールストップ 54 MSTP54 ビットを 1 にセットすると I ² C バスインタフェース 3 チャンネル 3 へのクロックの供給を停止します。 0: I ² C バスインタフェース 3 チャンネル 3 は動作 1: I ² C バスインタフェース 3 チャンネル 3 へのクロックの供給を停止
3	MSTP53	1	R/W	モジュールストップ 53 MSTP53 ビットを 1 にセットするとコントローラエリアネットワークチャンネル 0 へのクロックの供給を停止します。 0: コントローラエリアネットワークチャンネル 0 は動作 1: コントローラエリアネットワークチャンネル 0 へのクロックの供給を停止
2	MSTP52	1	R/W	モジュールストップ 52 MSTP52 ビットを 1 にセットするとコントローラエリアネットワークチャンネル 1 へのクロックの供給を停止します。 0: コントローラエリアネットワークチャンネル 1 は動作 1: コントローラエリアネットワークチャンネル 1 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
1	MSTP51	1	R/W	モジュールストップ 51 MSTP51 ビットを 1 にセットするとルネサスシリアルペリフェラルインタフェースチャンネル 0 へのクロックの供給を停止します。 0 : ルネサスシリアルペリフェラルインタフェースチャンネル 0 は動作 1 : ルネサスシリアルペリフェラルインタフェースチャンネル 0 へのクロックの供給を停止
0	MSTP50	1	R/W	モジュールストップ 50 MSTP50 ビットを 1 にセットするとルネサスシリアルペリフェラルインタフェースチャンネル 1 へのクロックの供給を停止します。 0 : ルネサスシリアルペリフェラルインタフェースチャンネル 1 は動作 1 : ルネサスシリアルペリフェラルインタフェースチャンネル 1 へのクロックの供給を停止

49.2.6 スタンバイコントロールレジスタ 6 (STBCR6)

STBCR6 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット: 7 6 5 4 3 2 1 0

MSTP	MSTP	MSTP	MSTP	MSTP	MSTP	MSTP	MSTP
67	66	65	64	63	62	61	60
初期値: 1	1	1	1	1	1	1	1
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MSTP67	1	R/W	モジュールストップ 67 MSTP67 ビットを 1 にセットするとシリアルサウンドインタフェースチャンネル 0 へのクロックの供給を停止します。 0 : シリアルサウンドインタフェースチャンネル 0 は動作 1 : シリアルサウンドインタフェースチャンネル 0 へのクロックの供給を停止
6	MSTP66	1	R/W	モジュールストップ 66 MSTP66 ビットを 1 にセットするとシリアルサウンドインタフェースチャンネル 1 へのクロックの供給を停止します。 0 : シリアルサウンドインタフェースチャンネル 1 は動作 1 : シリアルサウンドインタフェースチャンネル 1 へのクロックの供給を停止
5	MSTP65	1	R/W	モジュールストップ 65 MSTP65 ビットを 1 にセットするとシリアルサウンドインタフェースチャンネル 2 へのクロックの供給を停止します。 0 : シリアルサウンドインタフェースチャンネル 2 は動作 1 : シリアルサウンドインタフェースチャンネル 2 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
4	MSTP64	1	R/W	<p>モジュールストップ 64</p> <p>MSTP64 ビットを 1 にセットするとシリアルサウンドインタフェースチャンネル 3 へのクロックの供給を停止します。</p> <p>0 : シリアルサウンドインタフェースチャンネル 3 は動作</p> <p>1 : シリアルサウンドインタフェースチャンネル 3 へのクロックの供給を停止</p>
3	MSTP63	1	R/W	<p>モジュールストップ 63</p> <p>MSTP63 ビットを 1 にセットすると CD-ROM デコーダへのクロックの供給を停止します。</p> <p>0 : CD-ROM デコーダは動作</p> <p>1 : CD-ROM デコーダへのクロックの供給を停止</p>
2	MSTP62	1	R/W	<p>モジュールストップ 62</p> <p>MSTP62 ビットを 1 にセットするとサンプリングレートコンバータチャンネル 0 へのクロックの供給を停止します。</p> <p>0 : サンプリングレートコンバータチャンネル 0 は動作</p> <p>1 : サンプリングレートコンバータチャンネル 0 へのクロックの供給を停止</p>
1	MSTP61	1	R/W	<p>モジュールストップ 61</p> <p>MSTP61 ビットを 1 にセットするとサンプリングレートコンバータチャンネル 1 へのクロックの供給を停止します。</p> <p>0 : サンプリングレートコンバータチャンネル 1 は動作</p> <p>1 : サンプリングレートコンバータチャンネル 1 へのクロックの供給を停止</p>
0	MSTP60	1	R/W	<p>モジュールストップ 60</p> <p>MSTP60 ビットを 1 にセットすると USB2.0 ホスト / ファンクションモジュールへのクロックの供給を停止します。</p> <p>0 : USB2.0 ホスト / ファンクションモジュールは動作</p> <p>1 : USB2.0 ホスト / ファンクションモジュールへのクロックの供給を停止</p>

49.2.7 スタンバイコントロールレジスタ 7 (STBCR7)

STBCR7 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 77	MSTP 76	MSTP 75	-	MSTP 73	MSTP 72	-	MSTP 70
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	MSTP77	1	R/W	モジュールストップ 77 MSTP77 ビットを 1 にセットすると FIFO 付きクロック同期シリアル I/O へのクロックの供給を停止します。 0 : FIFO 付きクロック同期シリアル I/O は動作 1 : FIFO 付きクロック同期シリアル I/O へのクロックの供給を停止
6	MSTP76	1	R/W	モジュールストップ 76 MSTP76 ビットを 1 にセットするとルネサス SPDIF インタフェースへのクロックの供給を停止します。 0 : ルネサス SPDIF インタフェースは動作 1 : ルネサス SPDIF インタフェースへのクロックの供給を停止
5	MSTP75	1	R/W	モジュールストップ 75 MSTP75 ビットを 1 にセットすると SPI マルチ I/O バスコントローラへのクロックの供給を停止します。 0 : SPI マルチ I/O バスコントローラは動作 1 : SPI マルチ I/O バスコントローラへのクロックの供給を停止
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	MSTP73	1	R/W	モジュールストップ 73 MSTP73 ビットを 1 にセットするとビデオディスプレイコントローラ 4 へのクロックの供給を停止します。 0 : ビデオディスプレイコントローラ 4 は動作 1 : ビデオディスプレイコントローラ 4 へのクロックの供給を停止
2	MSTP72	1	R/W	モジュールストップ 72 MSTP72 ビットを 1 にセットするとコンペアマッチタイマへのクロックの供給を停止します。 0 : コンペアマッチタイマは動作 1 : コンペアマッチタイマへのクロックの供給を停止
1	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説明
0	MSTP70	1	R/W	モジュールストップ 70 MSTP70 ビットを 1 にセットすると NAND フラッシュメモリコントローラへのクロックの供給を停止します。 0 : NAND フラッシュメモリコントローラは動作 1 : NAND フラッシュメモリコントローラへのクロックの供給を停止

49.2.8 スタンバイコントロールレジスタ 8 (STBCR8)

STBCR8 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット: 7 6 5 4 3 2 1 0

MSTP 87	MSTP 86	MSTP 85	MSTP 84	-	MST P82	MST P81	-
初期値: 1	1	1	1	1	1	1	1
R/W: R/W	R/W	R/W	R/W	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
7	MSTP87	1	R/W	モジュールストップ 87 MSTP87 ビットを 1 にセットするとモータコントロール PWM タイマへのクロックの供給を停止します。 0 : モータコントロール PWM タイマは動作 1 : モータコントロール PWM タイマへのクロックの供給を停止
6	MSTP86	1	R/W	モジュールストップ 86 MSTP86 ビットを 1 にセットすると MMC ホストインタフェースへのクロックの供給を停止します。 0 : MMC ホストインタフェースは動作 1 : MMC ホストインタフェースへのクロックの供給を停止
5	MSTP85	1	R/W	モジュールストップ 85 MSTP85 ビットを 1 にセットすると歪み補正エンジンへのクロックの供給を停止します。 0 : 歪み補正エンジンは動作 1 : 歪み補正エンジンへのクロックの供給を停止
4	MSTP84	1	R/W	モジュールストップ 84 MSTP84 ビットを 1 にセットすると OpenVG™ 用ルネサスグラフィックスプロセッサへのクロックの供給を停止します。 0 : OpenVG™ 用ルネサスグラフィックスプロセッサは動作 1 : OpenVG™ 用ルネサスグラフィックスプロセッサへのクロックの供給を停止
3	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説明
2	MSTP82	1	R/W	モジュールストップ 82 MSTP82 ビットを 1 にセットするとルネサスクワッドシリアルペリフェラルインタフェースチャンネル 0 へのクロックの供給を停止します。 0 : ルネサスクワッドシリアルペリフェラルインタフェースチャンネル 0 は動作 1 : ルネサスクワッドシリアルペリフェラルインタフェースチャンネル 0 へのクロックの供給を停止
1	MSTP81	1	R/W	モジュールストップ 81 MSTP81 ビットを 1 にセットするとルネサスクワッドシリアルペリフェラルインタフェースチャンネル 1 へのクロックの供給を停止します。 0 : ルネサスクワッドシリアルペリフェラルインタフェースチャンネル 1 は動作 1 : ルネサスクワッドシリアルペリフェラルインタフェースチャンネル 1 へのクロックの供給を停止
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

49.2.9 スタンバイコントロールレジスタ 9 (STBCR9)

STBCR9 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	MSTP 97	MSTP 96	MSTP 95	MSTP 94	MSTP 93	MSTP 92	MSTP 91	MSTP 90
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MSTP97	1	R/W	モジュールストップ 97 MSTP97 ビットを 1 にセットすると SD ホストインタフェース 00 へのクロックの供給を停止します。 0 : SD ホストインタフェース 00 は動作 1 : SD ホストインタフェース 00 へのクロックの供給を停止
6	MSTP96	1	R/W	モジュールストップ 96 MSTP96 ビットを 1 にセットすると SD ホストインタフェース 01 へのクロックの供給を停止します。 0 : SD ホストインタフェース 01 は動作 1 : SD ホストインタフェース 01 へのクロックの供給を停止
5	MSTP95	1	R/W	モジュールストップ 95 MSTP95 ビットを 1 にセットすると SD ホストインタフェース 10 へのクロックの供給を停止します。 0 : SD ホストインタフェース 10 は動作 1 : SD ホストインタフェース 10 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
4	MSTP94	1	R/W	<p>モジュールストップ 94</p> <p>MSTP94 ビットを 1 にセットすると SD ホストインタフェース 11 へのクロックの供給を停止します。</p> <p>0 : SD ホストインタフェース 11 は動作</p> <p>1 : SD ホストインタフェース 11 へのクロックの供給を停止</p>
3	MSTP93	1	R/W	<p>モジュールストップ 93</p> <p>MSTP93 ビットを 1 にセットするとシリアルサウンドインタフェースチャンネル 4 へのクロックの供給を停止します。</p> <p>0 : シリアルサウンドインタフェースチャンネル 4 は動作</p> <p>1 : シリアルサウンドインタフェースチャンネル 4 へのクロックの供給を停止</p>
2	MSTP92	1	R/W	<p>モジュールストップ 92</p> <p>MSTP92 ビットを 1 にセットするとシリアルサウンドインタフェースチャンネル 5 へのクロックの供給を停止します。</p> <p>0 : シリアルサウンドインタフェースチャンネル 5 は動作</p> <p>1 : シリアルサウンドインタフェースチャンネル 5 へのクロックの供給を停止</p>
1	MSTP91	1	R/W	<p>モジュールストップ 91</p> <p>MSTP91 ビットを 1 にセットするとサンプリングレートコンバータチャンネル 2 へのクロックの供給を停止します。</p> <p>0 : サンプリングレートコンバータチャンネル 2 は動作</p> <p>1 : サンプリングレートコンバータチャンネル 2 へのクロックの供給を停止</p>
0	MSTP90	1	R/W	<p>モジュールストップ 90</p> <p>MSTP90 ビットを 1 にセットするとコントローラエリアネットワークチャンネル 2 へのクロックの供給を停止します。</p> <p>0 : コントローラエリアネットワークチャンネル 2 は動作</p> <p>1 : コントローラエリアネットワークチャンネル 2 へのクロックの供給を停止</p>

49.2.10 スタンバイコントロールレジスタ 10 (STBCR10)

STBCR10 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 107	MSTP 106	MSTP 105	-	MSTP 103	MSTP 102	MSTP 101	MSTP 100
初期値:	0	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MSTP107	0	R/W	モジュールストップ 107 MSTP107 ビットを 1 にセットするとデジタルビデオデコーダへのクロックの供給を停止します。 0: デジタルビデオデコーダは動作 1: デジタルビデオデコーダへのクロックの供給を停止
6	MSTP106	1	R/W	モジュールストップ 106 MSTP106 ビットを 1 にセットすると JPEG コーデックユニットへのクロックの供給を停止します。 0: JPEG コーデックユニットは動作 1: JPEG コーデックユニットへのクロックの供給を停止
5	MSTP105	1	R/W	モジュールストップ 105 MSTP105 ビットを 1 にセットするとディスプレイアウトコンベアユニットへのクロックの供給を停止します。 0: ディスプレイアウトコンベアユニットは動作 1: ディスプレイアウトコンベアユニットへのクロックの供給を停止
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	MSTP103	1	R/W	モジュールストップ 103 MSTP103 ビットを 1 にセットするとサウンドジェネレータチャンネル 0 へのクロックの供給を停止します。 0: サウンドジェネレータチャンネル 0 は動作 1: サウンドジェネレータチャンネル 0 へのクロックの供給を停止
2	MSTP102	1	R/W	モジュールストップ 102 MSTP102 ビットを 1 にセットするとサウンドジェネレータチャンネル 1 へのクロックの供給を停止します。 0: サウンドジェネレータチャンネル 1 は動作 1: サウンドジェネレータチャンネル 1 へのクロックの供給を停止
1	MSTP101	1	R/W	モジュールストップ 101 MSTP101 ビットを 1 にセットするとサウンドジェネレータチャンネル 2 へのクロックの供給を停止します。 0: サウンドジェネレータチャンネル 2 は動作 1: サウンドジェネレータチャンネル 2 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
0	MSTP100	1	R/W	モジュールストップ 100 MSTP100 ビットを 1 にセットするとサウンドジェネレータチャンネル 3 へのクロックの供給を停止します。 0 : サウンドジェネレータチャンネル 3 は動作 1 : サウンドジェネレータチャンネル 3 へのクロックの供給を停止

49.2.11 ソフトウェアリセットコントロールレジスタ 1 (SWRSTCR1)

SWRSTCR1 は、読み出し / 書き込み可能な 8 ビットのレジスタで、シリアルサウンドインタフェースと IEBus コントローラのソフトウェアリセット制御とオーディオ用水晶発振子の制御を行います。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	AXT ALE	SSIF5 SRST	SSIF4 SRST	IEB SRST	SSIF3 SRST	SSIF2 SRST	SSIF1 SRST	SSIF0 SRST
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	AXTALE	0	R/W	AUDIO_X1 クロック制御 AUDIO_X1 端子の機能を制御します。 0 : 内蔵水晶発振器を動作 / 外部クロック入力許可 1 : 内蔵水晶発振器を停止 / 外部クロック入力禁止
6	SSIF5SRST	0	R/W	シリアルサウンドインタフェースチャンネル 5 ソフトウェアリセット シリアルサウンドインタフェースチャンネル 5 のリセットをソフトウェアで制御します。 0 : シリアルサウンドインタフェースチャンネル 5 のリセットを解除 1 : シリアルサウンドインタフェースチャンネル 5 をリセット状態
5	SSIF4SRST	0	R/W	シリアルサウンドインタフェースチャンネル 4 ソフトウェアリセット シリアルサウンドインタフェースチャンネル 4 のリセットをソフトウェアで制御します。 0 : シリアルサウンドインタフェースチャンネル 4 のリセットを解除 1 : シリアルサウンドインタフェースチャンネル 4 をリセット状態
4	IEBSRST	0	R/W	IEBus コントローラソフトウェアリセット IEBus コントローラのリセットをソフトウェアで制御します。 0 : IEBus コントローラのリセットを解除 1 : IEBus コントローラをリセット状態
3	SSIF3SRST	0	R/W	シリアルサウンドインタフェースチャンネル 3 ソフトウェアリセット シリアルサウンドインタフェースチャンネル 3 のリセットをソフトウェアで制御します。 0 : シリアルサウンドインタフェースチャンネル 3 のリセットを解除 1 : シリアルサウンドインタフェースチャンネル 3 をリセット状態

ビット	ビット名	初期値	R/W	説 明
2	SSIF2SRST	0	R/W	シリアルサウンドインタフェースチャンネル2ソフトウェアリセット シリアルサウンドインタフェースチャンネル2のリセットをソフトウェアで制御 します。 0 : シリアルサウンドインタフェースチャンネル2のリセットを解除 1 : シリアルサウンドインタフェースチャンネル2をリセット状態
1	SSIF1SRST	0	R/W	シリアルサウンドインタフェースチャンネル1ソフトウェアリセット シリアルサウンドインタフェースチャンネル1のリセットをソフトウェアで制御 します。 0 : シリアルサウンドインタフェースチャンネル1のリセットを解除 1 : シリアルサウンドインタフェースチャンネル1をリセット状態
0	SSIF0SRST	0	R/W	シリアルサウンドインタフェースチャンネル0ソフトウェアリセット シリアルサウンドインタフェースチャンネル0のリセットをソフトウェアで制御 します。 0 : シリアルサウンドインタフェースチャンネル0のリセットを解除 1 : シリアルサウンドインタフェースチャンネル0をリセット状態

49.2.12 ソフトウェアリセットコントロールレジスタ 2 (SWRSTCR2)

SWRSTCR2 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールのソフトウェアリセット制御を行います。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	JCU SRST	RGPV GSRST	-	-	VDC 4SRST
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7-5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	JCUSRST	0	R/W	JPEG コーデックユニットソフトウェアリセット JPEG コーデックユニットのリセットをソフトウェアで制御します。 0 : JPEG コーデックユニットのリセットを解除 1 : JPEG コーデックユニットをリセット状態
3	RGPVSRST	0	R/W	OpenVG™ 用ルネサスグラフィックスプロセッサソフトウェアリセット OpenVG™ 用ルネサスグラフィックスプロセッサのリセットをソフトウェアで制御します。 0 : OpenVG™ 用ルネサスグラフィックスプロセッサのリセットを解除 1 : OpenVG™ 用ルネサスグラフィックスプロセッサをリセット状態
2, 1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	VDC4SRST	0	R/W	ビデオディスプレイコントローラ 4 ソフトウェアリセット ビデオディスプレイコントローラ 4 のリセットをソフトウェアで制御します。 0 : ビデオディスプレイコントローラ 4 のリセットを解除 1 : ビデオディスプレイコントローラ 4 をリセット状態

49.2.13 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は、読み出し / 書き込み可能な 8 ビットのレジスタで、高速内蔵 RAM の各ページへのアクセス (リードおよびライト) 許可 / 禁止を設定します。

SYSCR1 の RAME_n (n=0~3) ビットを 1 にセットするとページ n へのアクセスが有効になります。0 に設定するとページ n はアクセスできません。このとき、ページ n からのリードおよび命令フェッチは不定値が読み出され、ページ n へのライトは無視されます。初期値は 1 です。

RAME_n ビットを 0 に設定する場合は、RAME_n ビット設定前に必ずページ n の任意の同一アドレスに対し、リードとライトを実行してください。このアクセスを実行しない場合、ページ n の最後に書かれたデータが高速内蔵 RAM に書き込まれない可能性があります。

SYSCR1 の設定は、高速内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR1 へのライトを実行する命令の直後に SYSCR1 からリードを実行する命令を配置してください。これらが守られない場合、高速内蔵 RAM への正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAME3	RAME2	RAME1	RAME0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAME3	1	R/W	RAM イネーブル 3 (対象: 高速内蔵 RAM のページ 3*) 0: ページ 3 へのアクセス無効 1: ページ 3 へのアクセス有効
2	RAME2	1	R/W	RAM イネーブル 2 (対象: 高速内蔵 RAM のページ 2*) 0: ページ 2 のアクセス無効 1: ページ 2 へのアクセス有効
1	RAME1	1	R/W	RAM イネーブル 1 (対象: 高速内蔵 RAM のページ 1*) 0: ページ 1 へのアクセス無効 1: ページ 1 へのアクセス有効
0	RAME0	1	R/W	RAM イネーブル 0 (対象: 高速内蔵 RAM のページ 0*) 0: ページ 0 へのアクセス無効 1: ページ 0 へのアクセス有効

【注】 * 各ページのアドレスについては、「第 47 章 内蔵 RAM」を参照してください。

49.2.14 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、読み出し / 書き込み可能な 8 ビットのレジスタで、高速内蔵 RAM の各ページへのライト許可 / 禁止を設定します。

SYSCR2 の RAMWEn ($n=0\sim 3$) ビットを 1 にセットするとページ n へのライトが有効になります。0 に設定するとページ n へのライトは無視されます。初期値は 1 です。

なお、RAMWEn ビットを 0 に設定する場合は、RAMWEn ビット設定前に、ページ n の任意のアドレスに対し、リードとライトを実行してください。このアクセスを実行しない場合、ページ n の最後に書かれたデータが高速内蔵 RAM に書き込まれない可能性があります。

SYSCR2 の設定は、高速内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR2 へのライトを実行する命令の直後に SYSCR2 からリードを実行する命令を配置してください。これらが守られない場合、高速内蔵 RAM への正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAM WE3	RAM WE2	RAM WE1	RAM WE0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAMWE3	1	R/W	RAM ライトイネーブル 3 (対象: 高速内蔵 RAM のページ 3*) 0: ページ 3 へのライト無効 1: ページ 3 へのライト有効
2	RAMWE2	1	R/W	RAM ライトイネーブル 2 (対象: 高速内蔵 RAM のページ 2*) 0: ページ 2 へのライト無効 1: ページ 2 へのライト有効
1	RAMWE1	1	R/W	RAM ライトイネーブル 1 (対象: 高速内蔵 RAM のページ 1*) 0: ページ 1 へのライト無効 1: ページ 1 へのライト有効
0	RAMWE0	1	R/W	RAM ライトイネーブル 0 (対象: 高速内蔵 RAM のページ 0*) 0: ページ 0 へのライト無効 1: ページ 0 へのライト有効

【注】 * 各ページのアドレスについては、「第 47 章 内蔵 RAM」を参照してください。

49.2.15 システムコントロールレジスタ 3 (SYSCR3)

SYSCR3 は、読み出し / 書き込み可能な 8 ビットのレジスタで、大容量内蔵 RAM の各ページへのアクセス (リードおよびライト) の許可 / 禁止を設定します。

SYSCR3 の VRAMEn (n=0~5) ビットを 1 に設定するとページ n へのアクセスが有効になります。0 に設定するとページ n はアクセスできません。このとき、ページ n からのリードおよび命令フェッチは不定値が読み出され、ページ n へのライトは無視されます。初期値は 1 です。

SYSCR3 の設定は、大容量内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR3 へのライトを実行する命令の直後に SYSCR3 からリードを実行する命令を配置してください。これらが守られない場合、大容量内蔵 RAM への正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	VRA ME5	VRA ME4	VRA ME3	VRA ME2	VRA ME1	VRA ME0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	VRAME5	1	R/W	RAM イネーブル 5 (対象: 大容量内蔵 RAM のページ 5*) 0: ページ 5 へのアクセス無効 1: ページ 5 へのアクセス有効
4	VRAME4	1	R/W	RAM イネーブル 4 (対象: 大容量内蔵 RAM のページ 4*) 0: ページ 4 へのアクセス無効 1: ページ 4 へのアクセス有効
3	VRAME3	1	R/W	RAM イネーブル 3 (対象: 大容量内蔵 RAM のページ 3*) 0: ページ 3 へのアクセス無効 1: ページ 3 へのアクセス有効
2	VRAME2	1	R/W	RAM イネーブル 2 (対象: 大容量内蔵 RAM のページ 2*) 0: ページ 2 へのアクセス無効 1: ページ 2 へのアクセス有効
1	VRAME1	1	R/W	RAM イネーブル 1 (対象: 大容量内蔵 RAM のページ 1*) 0: ページ 1 へのアクセス無効 1: ページ 1 へのアクセス有効
0	VRAME0	1	R/W	RAM イネーブル 0 (対象: 大容量内蔵 RAM のページ 0*) 0: ページ 0 へのアクセス無効 1: ページ 0 へのアクセス有効

【注】 * 各ページのアドレスについては、「第 47 章 内蔵 RAM」を参照してください。

49.2.16 システムコントロールレジスタ 4 (SYSCR4)

SYSCR4 は、読み出し / 書き込み可能な 8 ビットのレジスタで、大容量内蔵 RAM の各ページへのライト許可 / 禁止を設定します。

SYSCR4 の VRAMWE_n (n=0~5) ビットを 1 に設定するとページ n へのライトが有効になります。0 に設定するとページ n へのライトは無視されます。初期値は 1 です。

SYSCR4 の設定は、大容量内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR4 へのライトを実行する命令の直後に SYSCR4 からリードを実行する命令を配置してください。これらが守られない場合、大容量内蔵 RAM への正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	-	-	VRAM WE5	VRAM WE4	VRAM WE3	VRAM WE2	VRAM WE1	VRAM WE0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7, 6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	VRAMWE5	1	R/W	RAM ライトイネーブル 5 (対象 : 大容量内蔵 RAM のページ 5*) 0 : ページ 5 へのライト無効 1 : ページ 5 へのライト有効
4	VRAMWE4	1	R/W	RAM ライトイネーブル 4 (対象 : 大容量内蔵 RAM のページ 4*) 0 : ページ 4 へのライト無効 1 : ページ 4 へのライト有効
3	VRAMWE3	1	R/W	RAM ライトイネーブル 3 (対象 : 大容量内蔵 RAM のページ 3*) 0 : ページ 3 へのライト無効 1 : ページ 3 へのライト有効
2	VRAMWE2	1	R/W	RAM ライトイネーブル 2 (対象 : 大容量内蔵 RAM のページ 2*) 0 : ページ 2 へのライト無効 1 : ページ 2 へのライト有効
1	VRAMWE1	1	R/W	RAM ライトイネーブル 1 (対象 : 大容量内蔵 RAM のページ 1*) 0 : ページ 1 へのライト無効 1 : ページ 1 へのライト有効
0	VRAMWE0	1	R/W	RAM ライトイネーブル 0 (対象 : 大容量内蔵 RAM のページ 0*) 0 : ページ 0 へのライト無効 1 : ページ 0 へのライト有効

【注】 * 各ページのアドレスについては、「第 47 章 内蔵 RAM」を参照してください。

49.2.17 システムコントロールレジスタ 5 (SYSCR5)

SYSCR5 は、読み出し / 書き込み可能な 8 ビットのレジスタで、保持用内蔵 RAM の各ページへのライト許可 / 禁止を設定します。

SYSCR5 の RRAMWE_n (n=0~3) ビットを 1 に設定するとページ n へのライトが有効になります。0 に設定するとページ n へのライトは無視されます。初期値は 0 です。

SYSCR5 の設定は、保持用内蔵 RAM 空間以外にあるプログラムで行ってください。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RRAM WE3	RRAM WE2	RRAM WE1	RRAM WE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RRAMWE3	0	R/W	RAM ライトイネーブル 3 (対象: 保持用内蔵 RAM のページ 3 ^{*2}) 0: ページ 3 へのライト無効 1: ページ 3 へのライト有効
2	RRAMWE2	0	R/W	RAM ライトイネーブル 2 (対象: 保持用内蔵 RAM のページ 2 ^{*2}) 0: ページ 2 へのライト無効 1: ページ 2 へのライト有効
1	RRAMWE1	0	R/W	RAM ライトイネーブル 1 (対象: 保持用内蔵 RAM のページ 1 ^{*2}) 0: ページ 1 へのライト無効 1: ページ 1 へのライト有効
0	RRAMWE0	0	R/W	RAM ライトイネーブル 0 (対象: 保持用内蔵 RAM のページ 0 ^{*2}) 0: ページ 0 へのライト無効 1: ページ 0 へのライト有効

【注】 *1 各ページのアドレスについては、「第 47 章 内蔵 RAM」を参照してください。

*2 SYSCR3.VRAME0=0 (大容量内蔵 RAM のページ 0 へのアクセス無効) に設定している場合は、本ビットの設定にかかわらず保持用内蔵 RAM へのアクセス (リードおよびライト) はできません。また、SYSCR4.VRAMWE0=0 (大容量内蔵 RAM のページ 0 へのライト無効) に設定している場合は、本ビットの設定にかかわらず保持用内蔵 RAM へのライトはできません。

49.2.18 保持用内蔵 RAM 保持エリア指定レジスタ (RRAMKP)

RRAMKP は、読み出し / 書き込み可能な 8 ビットのレジスタで、ディープスタンバイモード時に対象の保持用内蔵 RAM エリアの内容を保持するかどうかを設定します。

RRAMKP3~0 ビットを 1 にセットすると、対象の保持用内蔵 RAM エリアの内容がディープスタンバイモード時に保持されます。0 にクリアすると、対象の保持用内蔵 RAM エリアの内容がディープスタンバイモード時に保持されません。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RRAM KP3	RRAM KP2	RRAM KP1	RRAM KP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RRAMKP3	0	R/W	保持用内蔵 RAM 保持エリア 3 (対象: 保持用内蔵 RAM のページ 3*) 0: ディープスタンバイモード時、保持用内蔵 RAM を保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM を保持する
2	RRAMKP2	0	R/W	保持用内蔵 RAM 保持エリア 2 (対象: 保持用内蔵 RAM のページ 2*) 0: ディープスタンバイモード時、保持用内蔵 RAM を保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM を保持する
1	RRAMKP1	0	R/W	保持用内蔵 RAM 保持エリア 1 (対象: 保持用内蔵 RAM のページ 1*) 0: ディープスタンバイモード時、保持用内蔵 RAM を保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM を保持する
0	RRAMKP0	0	R/W	保持用内蔵 RAM 保持エリア 0 (対象: 保持用内蔵 RAM のページ 0*) 0: ディープスタンバイモード時、保持用内蔵 RAM を保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM を保持する

【注】 * 各ページのアドレスについては、「第 47 章 内蔵 RAM」を参照してください。

49.2.19 ディープスタンバイコントロールレジスタ (DSCTR)

DSCTR は、読み出し / 書き込み可能な 8 ビットのレジスタで、ディープスタンバイモードから復帰する際の、外部メモリ制御端子の状態と起動方法を制御します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	EBUS KEEPE	RAM BOOT	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	EBUSKEEPE	0	R/W	外部メモリ制御端子状態保持 0 : ディープスタンバイモードから復帰時、外部メモリ制御端子の状態を保持しない 1 : ディープスタンバイモードから復帰時、外部メモリ制御端子の状態を保持する
6	RAMBOOT	0	R/W	ディープスタンバイから復帰後の起動方法選択 ディープスタンバイから復帰後の起動方法を選択します。 0 : リセット時に設定したブートモードに従います。 1 : 保持用内蔵 RAM からプログラムを読み出します。 プログラムカウンタ (PC) : H'1C000000 番地 スタックポインタ (SP) : H'1C000004 番地
5~0	-	すべて0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

49.2.20 ディープスタンバイ解除要因セレクトレジスタ (DSSSR)

DSSSR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードをどの要因で解除するかを選択するビットで構成されています。リアルタイムクロックのアラーム割り込み、解除用端子 (PJ23 ~ PJ20、PG3、PG2、PF19 ~ PF16、PC7、PC5) の変化を選択可能です。解除用端子は、汎用入出力ポートの機能設定にかかわらずディープスタンバイ解除要因として機能します。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ23	PJ22	PJ21	PJ20	PG3	PG2	NMI	-	RTCAR	PF19	PF18	PF17	PF16	PC7	PC5
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PJ23	0	R/W	PJ23 の変化で解除 0: PJ23 の変化で解除しない 1: PJ23 の変化で解除する 【注】 SH7269 のみ使用できます。
13	PJ22	0	R/W	PJ22 の変化で解除 0: PJ22 の変化で解除しない 1: PJ22 の変化で解除する 【注】 SH7269 のみ使用できます。
12	PJ21	0	R/W	PJ21 の変化で解除 0: PJ21 の変化で解除しない 1: PJ21 の変化で解除する 【注】 SH7269 のみ使用できます。
11	PJ20	0	R/W	PJ20 の変化で解除 0: PJ20 の変化で解除しない 1: PJ20 の変化で解除する 【注】 SH7269 のみ使用できます。
10	PG3	0	R/W	PG3 の変化で解除 0: PG3 の変化で解除しない 1: PG3 の変化で解除する
9	PG2	0	R/W	PG2 の変化で解除 0: PG2 の変化で解除しない 1: PG2 の変化で解除する
8	NMI	0	R/W	NMI の変化で解除 0: NMI の変化で解除しない 1: NMI の変化で解除する

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	RTCAR	0	R/W	リアルタイムクロックのアラーム割り込みで解除 0:リアルタイムクロックのアラーム割り込みで解除しない 1:リアルタイムクロックのアラーム割り込みで解除する
5	PF19	0	R/W	PF19の変化で解除 0:PF19の変化で解除しない 1:PF19の変化で解除する
4	PF18	0	R/W	PF18の変化で解除 0:PF18の変化で解除しない 1:PF18の変化で解除する
3	PF17	0	R/W	PF17の変化で解除 0:PF17の変化で解除しない 1:PF17の変化で解除する
2	PF16	0	R/W	PF16の変化で解除 0:PF16の変化で解除しない 1:PF16の変化で解除する
1	PC7	0	R/W	PC7の変化で解除 0:PC7の変化で解除しない 1:PC7の変化で解除する
0	PC5	0	R/W	PC5の変化で解除 0:PC5の変化で解除しない 1:PC5の変化で解除する

49.2.21 ディープスタンバイ解除エッジセレクトレジスタ (DSESR)

DSESR は、読み出し/書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードを、DSSSR で解除要因に選択した端子の検出エッジを選択するビットで構成されています。ディープスタンバイモードの解除には、割り込みコントローラの設定にかかわらず、本レジスタの設定が有効となります。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ23E	PJ22E	PJ21E	PJ20E	PG3E	PG2E	NMIE	-	-	PF19E	PF18E	PF17E	PF16E	PC7E	PC5E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PJ23E	0	R/W	PJ23 エッジ検出 0: PJ23 の立ち下がりエッジで検出する 1: PJ23 の立ち上がりエッジで検出する 【注】 SH7269 のみ使用できます。
13	PJ22E	0	R/W	PJ22 エッジ検出 0: PJ22 の立ち下がりエッジで検出する 1: PJ22 の立ち上がりエッジで検出する 【注】 SH7269 のみ使用できます。
12	PJ21E	0	R/W	PJ21 エッジ検出 0: PJ21 の立ち下がりエッジで検出する 1: PJ21 の立ち上がりエッジで検出する 【注】 SH7269 のみ使用できます。
11	PJ20E	0	R/W	PJ20 エッジ検出 0: PJ20 の立ち下がりエッジで検出する 1: PJ20 の立ち上がりエッジで検出する 【注】 SH7269 のみ使用できます。
10	PG3E	0	R/W	PG3 エッジ検出 0: PG3 の立ち下がりエッジで検出する 1: PG3 の立ち上がりエッジで検出する
9	PG2E	0	R/W	PG2 エッジ検出 0: PG2 の立ち下がりエッジで検出する 1: PG2 の立ち上がりエッジで検出する
8	NMIE	0	R/W	NMI エッジ検出 0: NMI の立ち下がりエッジで検出する 1: NMI の立ち上がりエッジで検出する

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	PF19E	0	R/W	PF19 エッジ検出 0 : PF19 の立ち下がりエッジで検出する 1 : PF19 の立ち上がりエッジで検出する
4	PF18E	0	R/W	PF18 エッジ検出 0 : PF18 の立ち下がりエッジで検出する 1 : PF18 の立ち上がりエッジで検出する
3	PF17E	0	R/W	PF17 エッジ検出 0 : PF17 の立ち下がりエッジで検出する 1 : PF17 の立ち上がりエッジで検出する
2	PF16E	0	R/W	PF16 エッジ検出 0 : PF16 の立ち下がりエッジで検出する 1 : PF16 の立ち上がりエッジで検出する
1	PC7E	0	R/W	PC7 エッジ検出 0 : PC7 の立ち下がりエッジで検出する 1 : PC7 の立ち上がりエッジで検出する
0	PC5E	0	R/W	PC5 エッジ検出 0 : PC5 の立ち下がりエッジで検出する 1 : PC5 の立ち上がりエッジで検出する

49.2.22 ディープスタンバイ解除要因フラグレジスタ (DSFR)

DSFR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードがどの要因で解除されたのかを確認するフラグと、ディープスタンバイモード解除後に端子状態の解除を行うビットで構成されます。DSFR は、ディープスタンバイモードが割り込み (NMI、リアルタイムクロックのアラーム割り込み) および解除用端子の変化により解除された場合、パワーオンリセット例外処理が実行されますが、本レジスタは前の値を保持します。ディープスタンバイモードがパワーオンリセットにより解除された場合、本レジスタは H'0000 に初期化されます。

ディープスタンバイモードに遷移する直前には、すべてのフラグをクリアする必要があります。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO KEEP	PJ23F	PJ22F	PJ21F	PJ20F	PG3F	PG2F	NMIF	-	RTC ARF	PF19F	PF18F	PF17F	PF16F	PC7F	PC5F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
15	IOKEEP	0	R/(W)*	端子状態保持解除 ディープスタンバイモード解除時に端子状態保持を解除するビットです。 0: 端子状態を保持していない [クリア条件] • 1リード後の0ライト 1: 端子状態を保持している [セット条件] • ディープスタンバイモードに遷移したとき
14	PJ23F	0	R/(W)*	PJ23 フラグ 0: PJ23 端子変化なし 1: PJ23 端子変化あり 【注】 SH7269 のみ使用できます。
13	PJ22F	0	R/(W)*	PJ22 フラグ 0: PJ22 端子変化なし 1: PJ22 端子変化あり 【注】 SH7269 のみ使用できます。
12	PJ21F	0	R/(W)*	PJ21 フラグ 0: PJ21 端子変化なし 1: PJ21 端子変化あり 【注】 SH7269 のみ使用できます。

ビット	ビット名	初期値	R/W	説明
11	PJ20F	0	R/(W)*	PJ20 フラグ 0 : PJ20 端子変化なし 1 : PJ20 端子変化あり 【注】 SH7269 のみ使用できます。
10	PG3F	0	R/(W)*	PG3 フラグ 0 : PG3 端子変化なし 1 : PG3 端子変化あり
9	PG2F	0	R/(W)*	PG2 フラグ 0 : PG2 端子変化なし 1 : PG2 端子変化あり
8	NMIF	0	R/(W)*	NMI フラグ 0 : NMI 端子に割り込みなし 1 : NMI 端子に割り込みあり
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	RTCARF	0	R/(W)*	RTCAR フラグ 0 : リアルタイムクロックのアラーム割り込みなし 1 : リアルタイムクロックのアラーム割り込みあり
5	PF19F	0	R/(W)*	PF19 フラグ 0 : PF19 端子変化なし 1 : PF19 端子変化あり
4	PF18F	0	R/(W)*	PF18 フラグ 0 : PF18 端子変化なし 1 : PF18 端子変化あり
3	PF17F	0	R/(W)*	PF17 フラグ 0 : PF17 端子変化なし 1 : PF17 端子変化あり
2	PF16F	0	R/(W)*	PF16 フラグ 0 : PF16 端子変化なし 1 : PF16 端子変化あり
1	PC7F	0	R/(W)*	PC7 フラグ 0 : PC7 端子変化なし 1 : PC7 端子変化あり
0	PC5F	0	R/(W)*	PC5 フラグ 0 : PC5 端子変化なし 1 : PC5 端子変化あり

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

49.2.23 XTAL 水晶発振器ゲインコントロールレジスタ (XTALCTR)

XTALCTR は、読み出し/書き込み可能な 8 ビットのレジスタで、XTAL 用水晶発振器のゲインを制御します。XTALCTR は、リアルタイムクロックが XTAL 入力使用時に、ソフトウェアスタンバイモード、ディープスタンバイモードがパワーオンリセット以外で解除された場合は、前の値を保持します。リアルタイムクロックが XTAL 入力未使用時には、ソフトウェアスタンバイモード、ディープスタンバイモードで、本レジスタは H'00 に初期化されます。パワーオンリセットにより解除された場合も、本レジスタは H'00 に初期化されます。

【注】 本レジスタに書き込みを行う場合は、「49.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	GAIN
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	GAIN	0	R/W	XTAL 用水晶発振器のゲイン選択 0: 大ゲイン発振 1: 小ゲイン発振

49.3 動作説明

49.3.1 スリープモード

(1) スリープモードへの遷移

STBCR1 の STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子からのクロック出力は続行されます。

(2) スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、内蔵周辺)、DMA アドレスエラー、およびリセット (マニュアルリセット、パワーオンリセット) により解除されます。

- 割り込みによる解除

NMI、IRQ、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

- DMA アドレスエラーによる解除

DMA アドレスエラーが発生するとスリープモードが解除され、DMA アドレスエラー例外処理が実行されません。

- リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

49.3.2 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

STBCR1 の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子からのクロック出力も停止します。

CPU およびキャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態は「51.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

また、CPU は、STBCR1 への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR1 への書き込み値を SLEEP 命令に確実に反映するためには、STBCR1 を読み出してから SLEEP 命令を実行してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. ウォッチドッグタイマのタイマコントロールレジスタ (WTCSR) の TME ビットを 0 にし、ウォッチドッグタイマを停止させます。
2. ウォッチドッグタイマのタイマカウンタ (WTCNT) に 0 をセットし、WTCSR レジスタの CKS[2:0] ビットを発振安定時間以上になるように、値を設定します。
3. STBCR1 レジスタの STBY ビットに 1、DEEP ビットに 0 を設定した後 STBCR1 レジスタを読み出します。その後、SLEEP 命令を実行させます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ) およびリセット (パワーオンリセット) により解除されます。CKIO 端子からクロックが出力され始めます。

• 割り込みによる解除

NMI 端子の立ち上がりエッジまたは立ち上がりエッジ (割り込みコントローラの割り込みコントロールレジスタ 0 (ICR0) の NMI エッジセレクトビット (NMIE) で選択)、IRQ 端子 (IRQ7 ~ IRQ0) の立ち上がりエッジまたは立ち上がりエッジ (割り込みコントローラの割り込みコントロールレジスタ 1 (ICR1) の IRQn センズセレクトビット (IRQn1S ~ IRQn0S) で選択) が検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ (ウォッチドッグタイマ) にだけ供給されます。

ソフトウェアスタンバイモードに遷移する前にウォッチドッグタイマのウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR) のクロックセレクトビット (CKS[2:0]) に設定しておいた時間が経過すると、ウォッチドッグタイマのオーバフローが発生します。このオーバフロー発生によってクロックが安定したと判断され本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI 割り込み例外処理 (IRQ の場合、IRQ 割り込み例外処理) が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、割り込み要求は受け付けられず、ソフトウェアスタンバイモードは解除されません。

NMI割り込みまたはIRQ割り込みによってソフトウェアスタンバイモードを解除する場合、ウォッチドッグタイマのオーバーフロー周期が発振安定時間以上となるように、CKS[2:0]ビットを設定してください。

割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CKIO端子のクロック出力の位相が不安定になることがあります。

- リセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、ソフトウェアスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{RES}}$ 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。

$\overline{\text{RES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

CKIO端子には、内部のクロックが出力され続けます。

(3) ソフトウェアスタンバイモード遷移時の注意事項

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により解除されますが、SLEEP 命令と NMI、IRQ 以外の割り込みが同時に発生すると、割り込みを受け付けてソフトウェアスタンバイモードが解除される場合があります。

ソフトウェアスタンバイモードへ遷移させるときは、割り込みが入らないように設定してから SLEEP 命令を実行してください。

(4) ソフトウェアスタンバイモード解除時の注意事項

ソフトウェアスタンバイモード解除後の発振安定時間の間、不安定なクロックがCKIO端子から出力されます。これによる誤動作を防ぐためにはFRQCRレジスタのビット13、12を変更してください。

49.3.3 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりでソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 49.1 に示します。

割り込みコントロールレジスタ 0(ICR0)の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、STBCR1 の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

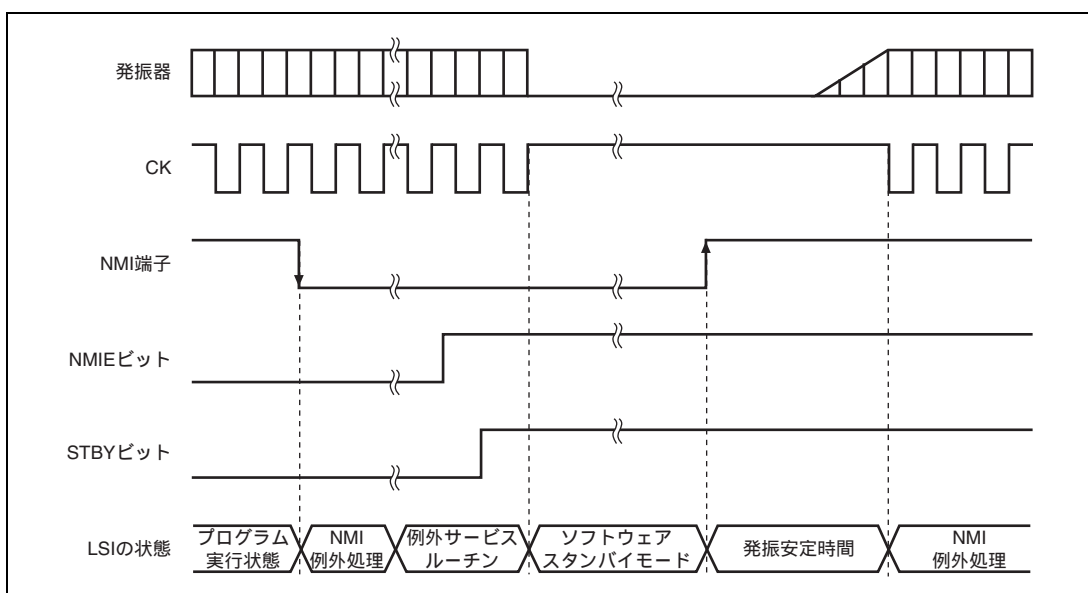


図 49.1 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

49.3.4 ディープスタンバイモード

(1) ディープスタンバイモードへの遷移

STBCR1 の STBY ビットと DEEP ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からディープスタンバイモードに遷移します。ディープスタンバイモードでは、CPU、クロック、および内蔵周辺モジュールが停止するだけでなく、RRAMKP レジスタの RRAMKP3 ~ RRAMKP0 ビットの設定により保持となる保持用内蔵 RAM エリア、リアルタイムクロックを除き電源がオフになり、消費電力を大幅に削減できます。そのため CPU およびキャッシュのレジスタ内容、内蔵周辺モジュールのレジスタに関しても値は保持されません。ただし、端子の状態はディープスタンバイモードに遷移する直前の値を保持することができます。

CPU は、DSFR への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から DSFR への書き込み値を SLEEP 命令に確実に反映するためには、DSFR を読み出してから SLEEP 命令を実行してください。

ディープスタンバイモードへ遷移する手順を以下に示します。また、そのフローを図 49.2 に示します。

1. 保持する必要がある保持用内蔵RAMエリアに対して、RRAMKPレジスタのRRAMKP3 ~ RRAMKP0ビットを設定します。設定した保持用内蔵RAMエリアに保持したいプログラムを転送します。
2. ディープスタンバイモードから復帰する時の起動方法と外部メモリ制御端子状態保持を、DSCTRレジスタのEBUSKEEPEビットとRAMBOOTビットで設定します。
3. ディープスタンバイモードを割り込みで解除する場合、どの端子またはどの条件で解除するかDSSSRの該当ビットを設定します。このとき解除する端子の入力信号検出モードをDSESRの該当ビットで設定します。
4. 保持する保持用内蔵RAMの各ページに対し、任意の同一アドレスのリード/ライトを実行します。実行しない場合、最後に書かれたデータが保持用内蔵RAMに書き込まれない可能性があります。以後、保持用内蔵RAMへのライトがある場合には、最後の保持用内蔵RAMライト後に、本処理を実行してください。
5. STBCR1レジスタのSTBYビットとDEEPビットに1を設定します。
6. DSFRレジスタのフラグをクリアした後に、DSFRレジスタを読み出します。その後、SLEEP命令を実行します。

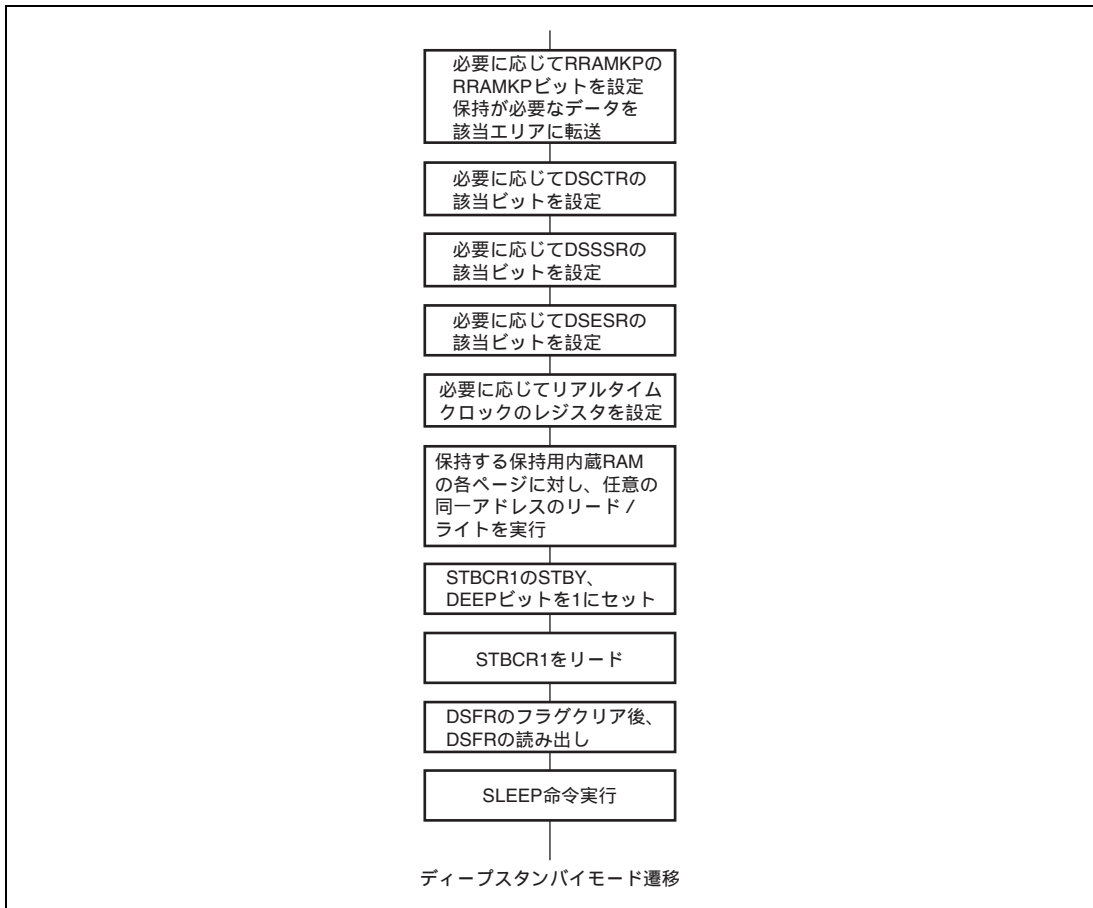


図 49.2 ディープスタンバイモード遷移フロー

(2) ディープスタンバイモードの解除

ディープスタンバイモードは、割り込み（NMI、リアルタイムクロックのアラーム割り込み）、解除用端子の変化、およびリセット（パワーオンリセット）により解除されます。リアルタイムクロックのアラーム割り込みは、割り込み優先レベルおよびCPUのステータスレジスタ（SR）とアラーム割り込みイネーブルフラグ（RCR1.AIE）に関係なく、ディープスタンバイ解除要因として動作します。リセット以外の要因によって解除する場合も、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。ディープスタンバイモード解除のフローを図 49.3 に示します。

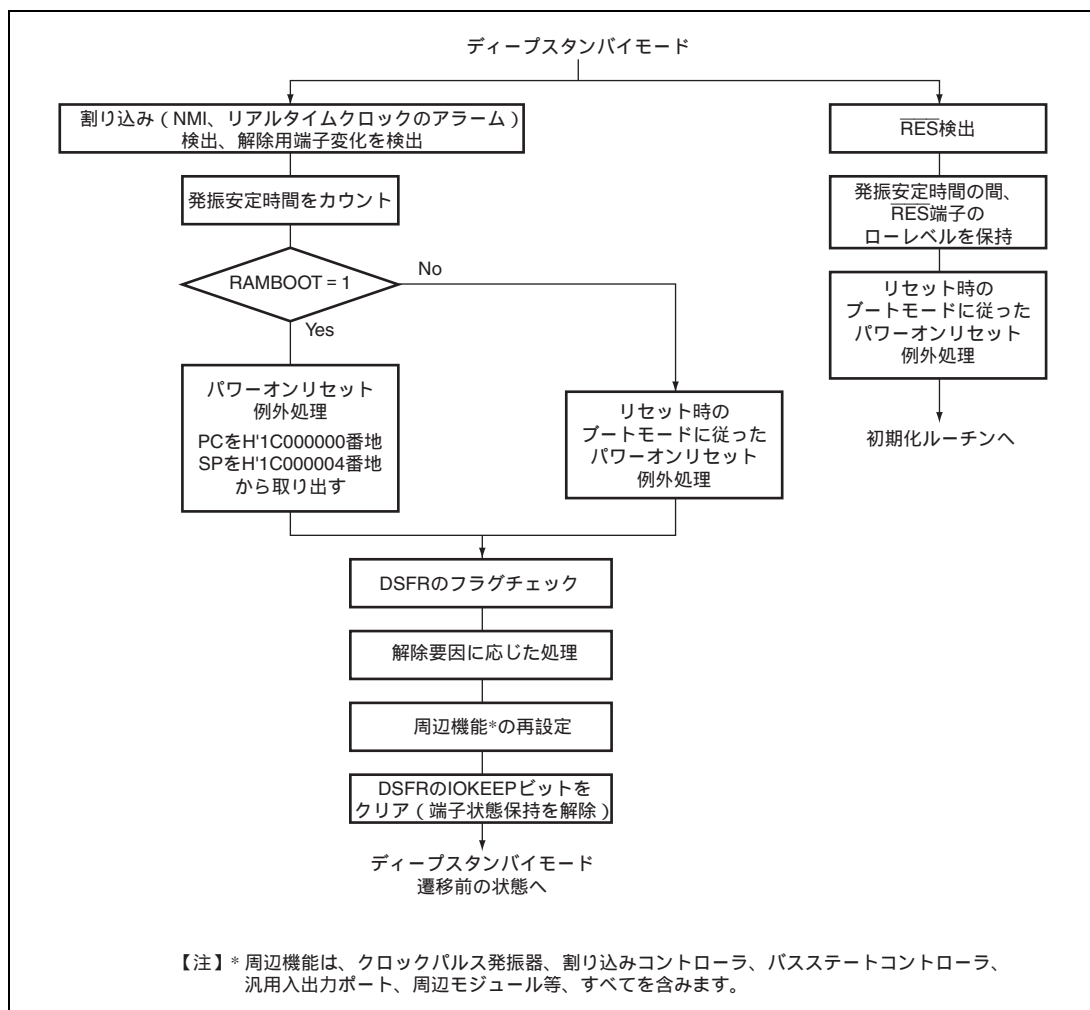


図 49.3 ディープスタンバイモード解除フロー

- リセット以外による解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ（DSESRの該当ビットで選択）、解除用端子の立ち下がりエッジまたは立ち上がりエッジ（DSESRの該当ビットで選択）が検出されるか、リアルタイムクロックのアラーム割り込み（設定方法の詳細は「15.4.4 アラーム機能」を参照してください）が発生すると、電源安定待ち時間後、クロックの発振が開始されます。発振安定時間経過後ディープスタンバイモードが解除され、パワーオンリセット例外処理が実行されます。

解除要因の検出直後からディープスタンバイモードが解除されるまでの間には、CKIO端子のクロック出力の位相が不安定になることがあります。

NMI端子、解除用端子の変化、およびリアルタイムクロックのアラーム割り込みの検出は、DSSSRの該当ビットを設定した時点から有効になります。検出された解除要因は保持されますが、DSFRへの反映はディープスタンバイモード解除後となります。また、CPUが割り込み要求を受け付けることにより、保持された解除要因がすべてクリアされます。解除要因検出後に、そのままディープスタンバイモードに遷移すると、遷移後すぐにディープスタンバイモードが解除されます。

- リセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、ディープスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{RES}}$ 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。CKIO端子には、 $\overline{\text{RES}}$ 端子をローレベルにすると内部のクロックが出力され始めます。

$\overline{\text{RES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

(3) ディープスタンバイモード解除後の動作

DSCTRレジスタのRAMBOOTビット設定により外部メモリ起動か保持用内蔵RAM起動かを選択することができます。EBUSKEEPEビットの設定によりディープスタンバイモード解除後も外部メモリ制御端子の状態を保持することができます。各ビットによるディープスタンバイモード解除後の端子状態を表 49.3 に示します。外部メモリ制御端子一覧を表 49.4 に示します。

表 49.3 DSCTR レジスタ設定によるディープスタンバイ解除後の端子状態と起動方法

EBUSKEEPE ビット	RAMBOOT ビット	起動方法	ディープスタンバイ解除後の端子状態
0	0	外部メモリ	外部メモリ制御端子は保持しない。 その他の端子はIOKEEPビットクリア時に端子保持解除。
0	1	保持用内蔵RAM	外部メモリ制御端子は保持しない。 ディープスタンバイ解除後外部メモリ制御端子は端子保持解除。 その他の端子はIOKEEPビットクリア時に端子保持解除。
1	0	-	設定禁止
1	1	保持用内蔵RAM	外部メモリ制御端子は保持する。 外部メモリ制御端子もその他の端子も、IOKEEPビットクリア時に端子保持解除。

表 49.4 外部メモリ制御端子一覧

ブートモード 0 (CS0 空間 : バス 幅 16 ビット)	ブートモード 1 (CS0 空間 : バス 幅 32 ビット)	ブートモード 2 (NAND フラッシ ュメモリ)	ブートモード 3 (シリアルフラッ シュメモリ)	ブートモード 4 (SD ホストイン タフェース)	ブートモード 5 (MMC ホストイ ンタフェース)
A[20:1] D[15:0] $\overline{\text{CS0}}$ 、 $\overline{\text{RD}}$ 、CKIO	A[20:2] D[31:0] $\overline{\text{CS0}}$ 、 $\overline{\text{RD}}$ 、CKIO	NAF[7:0] $\overline{\text{FRE}}$ 、FCLE、 FALE、 $\overline{\text{FWE}}$ 、 $\overline{\text{FCE}}$ 、 FRB	RSPCK0、SSL00、 MOSI0、MISO0 (PB17~20のみ)	SD_CLK0、 SD_CMD0、 SD_D[3:0]0	MMC_CLK、 MMC_CMD、 MMC_D[3:0]

ディープスタンバイモードが、割り込み (NMI、リアルタイムクロックのアラーム)、解除用端子の変化により解除された場合、どの要因で解除されたのかをディープスタンバイ解除要因フラグレジスタ (DSFR) により確認することができます。

ディープスタンバイモードに遷移する際、端子は直前の状態を保持していますが、外部メモリ起動モード時は、ディープスタンバイモード解除後、外部メモリ制御端子の状態保持を解除してプログラムフェッチ可能とします。その他の端子は、ディープスタンバイモード解除後も DSFR レジスタの IOKEEP ビットの 1 を読み出した後に 0 を書き込むまで端子の状態保持を続けます。保持用内蔵 RAM 起動モード時は、ディープスタンバイモード解除後、外部メモリ制御端子もその他の端子も DSFR レジスタの IOKEEP ビットの 1 を読み出した後に 0 を書き込むまで端子の状態保持を続けます。ディープスタンバイモード遷移前の状態にするには、周辺機能の再設定を行います。周辺機能には、クロックパルス発振器、割り込みコントローラ、汎用入出力ポート、周辺モジュール等のすべてを含みます。再設定後、IOKEEP ビットの 1 を読み出した後に 0 を書き込むことにより、端子の状態保持が解除されディープスタンバイモード遷移前の状態になります。

(4) ディープスタンバイモード遷移時の注意事項

解除要因を複数設定し複数の解除要因が入力された場合、解除要因フラグは複数セットされます。

49.3.5 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、プログラム実行状態およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

レジスタの状態は、「51.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセット（ただしリアルタイムクロック、ユーザデバッグインタフェース、ダイレクトメモリアクセスコントローラのみ）により行います。各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリアされたことを確認してください。

49.3.6 XTAL 用水晶発振器ゲイン調整機能

XTAL 水晶発振器ゲインコントロールレジスタの GAIN ビットを変更することにより、発振器のゲインを変更することができます。ゲインを変更する場合は、PLL 安定時間が必要になります。内蔵ウォッチドッグタイマにより安定時間のカウントを行います。

1. 初期状態では、発振器のゲインは大ゲインになっています。
2. ウォッチドッグタイマに、指定された発振安定時間になるように値をセットし、ウォッチドッグタイマを停止します。次の設定が必要です。

WTCR.TME = 0 : ウォッチドッグタイマの停止

WTCR.CKS[2:0] : ウォッチドッグタイマカウントクロックの分周率

WTCNT : カウンタの初期値

(ウォッチドッグタイマのカウントアップは、設定後のクロックでカウントアップされます。)

3. GAIN を目的とする値に設定します。
4. 本LSI内部は、一時的に停止し、ウォッチドッグタイマのカウントアップを開始します。ウォッチドッグタイマにのみクロックが供給され、それ以外の内部クロックが停止します。また、CKIO端子には不安定なクロックが出力され続けます。これによる誤動作を防ぐためには、FRQCRレジスタのCKOEN2ビットを変更してください。本状態は、ソフトウェアスタンバイモード状態と同じであり、モジュールによってはレジスタの初期化が行われず。詳細は「51.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。
5. ウォッチドッグタイマのカウントオーバーフローで設定されたクロックが供給され始め、本LSIは動作を再開します。ウォッチドッグタイマはオーバーフロー後、停止します。

49.4 使用上の注意事項

49.4.1 レジスタ設定時の注意

低消費電力モード関連のレジスタに書き込みを行う際には、以下のことに注意してください。

CPU から低消費電力モード関連のレジスタに書き込みを行う際、CPU は書き込み命令実行後、実際のレジスタへの書き込み完了まで待たされずに、後続の命令を実行します。

後続命令実行時にレジスタへの書き込みによる変更を反映させたい場合には、レジスタ書き込み命令と後続命令の間に同じレジスタに対するダミーリードを行ってください。

49.4.2 リアルタイムクロック未使用時の注意

リアルタイムクロックを使用しない場合、リアルタイムクロックのレジスタ設定を行った後、STBCR3 レジスタの MSTP30 ビットを 1 に設定してください。詳細は、「49.2.3 スタンバイコントロールレジスタ 3 (STBCR3)」を参照してください。

50. ユーザデバッグインタフェース

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェースを内蔵しています。

50.1 特長

ユーザデバッグインタフェースは、JTAG (Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) に対応したシリアル入出力インタフェースです。

本モジュールは、バウンダリスキャン用 TAP コントローラとユーザデバッグインタフェース割り込み機能などを制御するエミュレーション用 TAP コントローラを内蔵しています。電源投入時を含め、 $\overline{\text{TRST}}$ 端子をアサートすることでバウンダリスキャン用 TAP コントローラが選択されます。また、エミュレーション用 TAP コントローラ切り替えコマンドを入力することにより、エミュレーション用 TAP コントローラが選択されます。エミュレーション用 TAP コントローラからバウンダリスキャン用 TAP コントローラに切り替えるには、 $\overline{\text{TRST}}$ 端子をアサートする必要があります。

ASE モード時は、エミュレーション用 TAP コントローラが選択されます。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

図 50.1 にブロック図を示します。

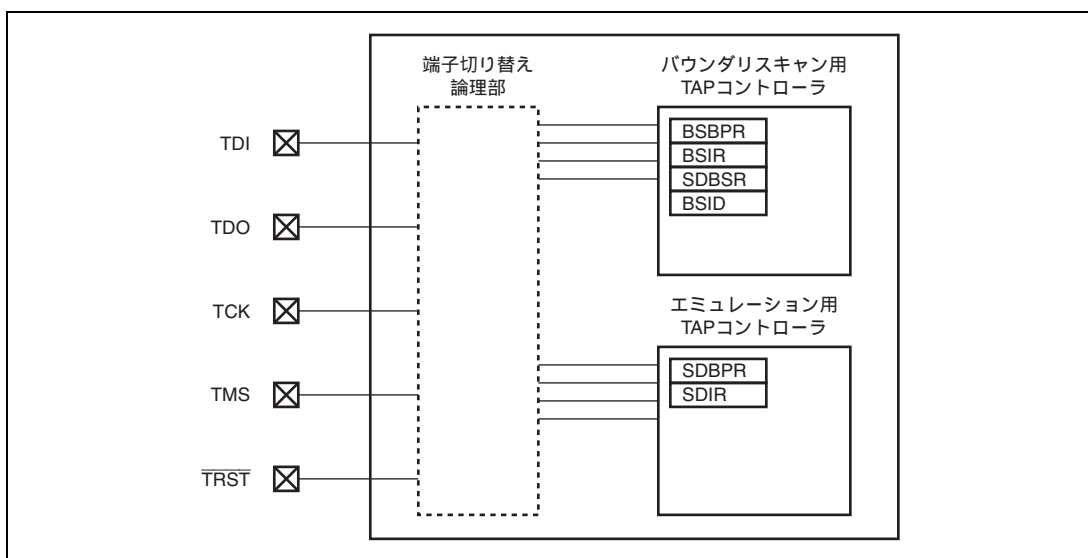


図 50.1 ブロック図

50.2 入出力端子

表 50.1 端子構成

名称	端子名	入出力	機能
シリアルデータ 入出力用クロック端子	TCK	入力	データはこのクロックに同期してデータ入力端子 (TDI) から本モジュールにシリアルに供給され、データ出力端子 (TDO) から出力されます。
モードセレクト入力端子	TMS	入力	TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは、JTAG 規格 (IEEE Std.1149.1) に対応しています。
リセット入力端子	$\overline{\text{TRST}}$	入力	TCK とは非同期で入力を受け付けローレベルで本モジュールをリセットします。本モジュール機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。リセット構成の詳細については、「50.5.2 リセット構成」を参照してください。
シリアルデータ入力端子	TDI	入力	TCK に同期してこの端子を変化させることによって本モジュールにデータを送ります。
シリアルデータ出力端子	TDO	出力	TCK に同期してこの端子を読み出すことによって本モジュールからデータを読み取ります。データ出力タイミングの初期値は立ち下がり同期ですが、SDIR に「TDO 変化タイミング切り替え」コマンドを入力することにより立ち上がり同期に変更することができます。詳細については、「50.5.3 TDO 出力タイミング」を参照してください。
ASE モードセレクト端子	$\overline{\text{ASEMD}}^*$	入力	$\overline{\text{RES}}$ 端子アサート期間中に、 $\overline{\text{ASEMD}}$ 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると製品チップモードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。 $\overline{\text{ASEMD}}$ 端子への入力レベルは、 $\overline{\text{RES}}$ 端子ネグレート後、最低 1 サイクル保持してください。

【注】 * エミュレータを使用しない場合は、ハイレベルに固定するようにしてください。

50.3 バウンダリスキャン用 TAP コントローラのレジスタの説明

バウンダリスキャン用 TAP コントローラには以下のレジスタがあります。

表 50.2 バウンダリスキャン用 TAP コントローラのレジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	BSBPR	-	-	-	-
インタラクションレジスタ	BSIR	-	H'4	-	-
バウンダリスキャンレジスタ	SDBSR	-	-	-	-
ID レジスタ	BSID	-	H'080C6447	-	-

50.3.1 バイパスレジスタ (BSBPR)

BSBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。BSIR を BYPASS モードにセットすると、BSBPR は TDI 端子と TDO 端子の間に接続されます。初期値は不定です。

50.3.2 インストラクションレジスタ (BSIR)

BSIR は 4 ビットのレジスタです。 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されま
す。CPU からは、アクセスできません。

ビット	ビット名	初期値	R/W	説明
3~0	TI[3:0]	0100	-	テストインストラクション 本モジュールのインストラクションは TDI からのシリアル入力によって BSIR に転送されます。 コマンドは表 50.3 を参照してください。

表 50.3 バウンダリスキャン用 TAP コントローラのサポートコマンド

ビット3~0				説 明
TI3	TI2	TI1	TI0	
0	0	0	0	EXTEST
0	0	0	1	SAMPLE/PRELOAD
0	0	1	1	エミュレーション用 TAP コントローラ切り替えコマンド
0	1	0	0	IDCODE (初期値)
0	1	1	0	CLAMP
0	1	1	1	HIGHZ
1	1	1	1	BYPASS
上記以外				予約

50.3.3 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。CPU からは、アクセスできません。初期値は、不定です。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。表 50.4 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

表 50.4 本 LSI の端子とバウンダリスキャンレジスタの対応

SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ	SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ	SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ
From TDI				411	411	PG5	OUTPUT	395	395	PG8	CONTROL
426	426	PG0	OUTPUT	410	410	PG5	CONTROL	394	394	PG8	INPUT
425	425	PG0	CONTROL	409	409	PG5	INPUT	-	393	PJ2	OUTPUT
424	424	PG0	INPUT	408	408	PG6	OUTPUT	-	392	PJ2	CONTROL
423	423	PG1	OUTPUT	407	407	PG6	CONTROL	-	391	PJ2	INPUT
422	422	PG1	CONTROL	406	406	PG6	INPUT	-	390	PJ3	OUTPUT
421	421	PG1	INPUT	405	405	PG7	OUTPUT	-	389	PJ3	CONTROL
420	420	PG2	OUTPUT	404	404	PG7	CONTROL	-	388	PJ3	INPUT
419	419	PG2	CONTROL	403	403	PG7	INPUT	-	387	PJ4	OUTPUT
418	418	PG2	INPUT	-	402	PJ0	OUTPUT	-	386	PJ4	CONTROL
417	417	PG3	OUTPUT	-	401	PJ0	CONTROL	-	385	PJ4	INPUT
416	416	PG3	CONTROL	-	400	PJ0	INPUT	384	384	PG9	OUTPUT
415	415	PG3	INPUT	-	399	PJ1	OUTPUT	383	383	PG9	CONTROL
414	414	PG4	OUTPUT	-	398	PJ1	CONTROL	382	382	PG9	INPUT
413	413	PG4	CONTROL	-	397	PJ1	INPUT	381	381	PG10	OUTPUT
412	412	PG4	INPUT	396	396	PG8	OUTPUT	380	380	PG10	CONTROL

SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ	SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ	SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ
379	379	PG10	INPUT	-	343	PJ9	INPUT	307	307	PF1	INPUT
378	378	PG11	OUTPUT	342	342	PG18	OUTPUT	306	306	PF2	OUTPUT
377	377	PG11	CONTROL	341	341	PG18	CONTROL	305	305	PF2	CONTROL
376	376	PG11	INPUT	340	340	PG18	INPUT	304	304	PF2	INPUT
375	375	PG12	OUTPUT	339	339	PG19	OUTPUT	303	303	PF3	OUTPUT
374	374	PG12	CONTROL	338	338	PG19	CONTROL	302	302	PF3	CONTROL
373	373	PG12	INPUT	337	337	PG19	INPUT	301	301	PF3	INPUT
372	372	PG13	OUTPUT	336	336	PG20	OUTPUT	300	300	PF4	OUTPUT
371	371	PG13	CONTROL	335	335	PG20	CONTROL	299	299	PF4	CONTROL
370	370	PG13	INPUT	334	334	PG20	INPUT	298	298	PF4	INPUT
369	369	PG14	OUTPUT	333	333	PG21	OUTPUT	297	297	PF5	OUTPUT
368	368	PG14	CONTROL	332	332	PG21	CONTROL	296	296	PF5	CONTROL
367	367	PG14	INPUT	331	331	PG21	INPUT	295	295	PF5	INPUT
366	366	PG15	OUTPUT	330	330	PG22	OUTPUT	294	294	PF6	OUTPUT
365	365	PG15	CONTROL	329	329	PG22	CONTROL	293	293	PF6	CONTROL
364	364	PG15	INPUT	328	328	PG22	INPUT	292	292	PF6	INPUT
363	363	PG16	OUTPUT	327	327	PG23	OUTPUT	291	291	PF7	OUTPUT
362	362	PG16	CONTROL	326	326	PG23	CONTROL	290	290	PF7	CONTROL
361	361	PG16	INPUT	325	325	PG23	INPUT	289	289	PF7	INPUT
-	360	PJ5	OUTPUT	324	324	PG24	OUTPUT	288	288	PF8	OUTPUT
-	359	PJ5	CONTROL	323	323	PG24	CONTROL	287	287	PF8	CONTROL
-	358	PJ5	INPUT	322	322	PG24	INPUT	286	286	PF8	INPUT
-	357	PJ6	OUTPUT	321	321	PG25	OUTPUT	285	285	PF9	OUTPUT
-	356	PJ6	CONTROL	320	320	PG25	CONTROL	284	284	PF9	CONTROL
-	355	PJ6	INPUT	319	319	PG25	INPUT	283	283	PF9	INPUT
354	354	PG17	OUTPUT	318	318	PG26	OUTPUT	282	282	PF10	OUTPUT
353	353	PG17	CONTROL	317	317	PG26	CONTROL	281	281	PF10	CONTROL
352	352	PG17	INPUT	316	316	PG26	INPUT	280	280	PF10	INPUT
-	351	PJ7	OUTPUT	315	315	PG27	OUTPUT	279	279	PF11	OUTPUT
-	350	PJ7	CONTROL	314	314	PG27	CONTROL	278	278	PF11	CONTROL
-	349	PJ7	INPUT	313	313	PG27	INPUT	277	277	PF11	INPUT
-	348	PJ8	OUTPUT	312	312	PF0	OUTPUT	276	276	PF12	OUTPUT
-	347	PJ8	CONTROL	311	311	PF0	CONTROL	275	275	PF12	CONTROL
-	346	PJ8	INPUT	310	310	PF0	INPUT	274	274	PF12	INPUT
-	345	PJ9	OUTPUT	309	309	PF1	OUTPUT	273	273	PF13	OUTPUT
-	344	PJ9	CONTROL	308	308	PF1	CONTROL	272	272	PF13	CONTROL

SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ	SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ	SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ
271	271	PF13	INPUT	235	235	PF21	INPUT	199	199	PD5	INPUT
270	270	PF14	OUTPUT	234	234	PF22	OUTPUT	198	198	PD6	OUTPUT
269	269	PF14	CONTROL	233	233	PF22	CONTROL	197	197	PD6	CONTROL
268	268	PF14	INPUT	232	232	PF22	INPUT	196	196	PD6	INPUT
267	267	PF15	OUTPUT	231	231	PF23	OUTPUT	195	195	PD7	OUTPUT
266	266	PF15	CONTROL	230	230	PF23	CONTROL	194	194	PD7	CONTROL
265	265	PF15	INPUT	229	229	PF23	INPUT	193	193	PD7	INPUT
-	264	PJ10	OUTPUT	228	228	PD0	OUTPUT	192	192	PD8	OUTPUT
-	263	PJ10	CONTROL	227	227	PD0	CONTROL	191	191	PD8	CONTROL
-	262	PJ10	INPUT	226	226	PD0	INPUT	190	190	PD8	INPUT
261	261	PF16	OUTPUT	-	225	PJ24	OUTPUT	189	189	PD9	OUTPUT
260	260	PF16	CONTROL	-	224	PJ24	CONTROL	188	188	PD9	CONTROL
259	259	PF16	INPUT	-	223	PJ24	INPUT	187	187	PD9	INPUT
258	258	PF17	OUTPUT	222	222	PD1	OUTPUT	186	186	PD10	OUTPUT
257	257	PF17	CONTROL	221	221	PD1	CONTROL	185	185	PD10	CONTROL
256	256	PF17	INPUT	220	220	PD1	INPUT	184	184	PD10	INPUT
255	255	PF18	OUTPUT	219	219	PD2	OUTPUT	183	183	PD11	OUTPUT
254	254	PF18	CONTROL	218	218	PD2	CONTROL	182	182	PD11	CONTROL
253	253	PF18	INPUT	217	217	PD2	INPUT	181	181	PD11	INPUT
-	252	PJ11	OUTPUT	216	216	PD3	OUTPUT	180	180	PD12	OUTPUT
-	251	PJ11	CONTROL	215	215	PD3	CONTROL	179	179	PD12	CONTROL
-	250	PJ11	INPUT	214	214	PD3	INPUT	178	178	PD12	INPUT
-	249	PJ12	OUTPUT	-	213	PJ25	OUTPUT	177	177	PD13	OUTPUT
-	248	PJ12	CONTROL	-	212	PJ25	CONTROL	176	176	PD13	CONTROL
-	247	PJ12	INPUT	-	211	PJ25	INPUT	175	175	PD13	INPUT
-	246	PJ13	OUTPUT	-	210	PJ26	OUTPUT	174	174	PD14	OUTPUT
-	245	PJ13	CONTROL	-	209	PJ26	CONTROL	173	173	PD14	CONTROL
-	244	PJ13	INPUT	-	208	PJ26	INPUT	172	172	PD14	INPUT
243	243	PF19	OUTPUT	-	207	PJ27	OUTPUT	171	171	PD15	OUTPUT
242	242	PF19	CONTROL	-	206	PJ27	CONTROL	170	170	PD15	CONTROL
241	241	PF19	INPUT	-	205	PJ27	INPUT	169	169	PD15	INPUT
240	240	PF20	OUTPUT	204	204	PD4	OUTPUT	168	168	PC1	OUTPUT
239	239	PF20	CONTROL	203	203	PD4	CONTROL	167	167	PC1	CONTROL
238	238	PF20	INPUT	202	202	PD4	INPUT	166	166	PC1	INPUT
237	237	PF21	OUTPUT	201	201	PD5	OUTPUT	165	165	PC2	OUTPUT
236	236	PF21	CONTROL	200	200	PD5	CONTROL	164	164	PC2	CONTROL

SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ	SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ	SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ
163	163	PC2	INPUT	127	127	PB4	INPUT	-	91	PJ19	INPUT
162	162	PC3	OUTPUT	-	126	PJ16	OUTPUT	-	90	PJ20	OUTPUT
161	161	PC3	CONTROL	-	125	PJ16	CONTROL	-	89	PJ20	CONTROL
160	160	PC3	INPUT	-	124	PJ16	INPUT	-	88	PJ20	INPUT
159	159	PC4	OUTPUT	-	123	PJ17	OUTPUT	87	87	PB13	OUTPUT
158	158	PC4	CONTROL	-	122	PJ17	CONTROL	86	86	PB13	CONTROL
157	157	PC4	INPUT	-	121	PJ17	INPUT	85	85	PB13	INPUT
156	156	PC5	OUTPUT	-	120	PJ18	OUTPUT	-	84	PJ21	OUTPUT
155	155	PC5	CONTROL	-	119	PJ18	CONTROL	-	83	PJ21	CONTROL
154	154	PC5	INPUT	-	118	PJ18	INPUT	-	82	PJ21	INPUT
153	153	PC6	OUTPUT	117	117	PB5	OUTPUT	-	81	PJ22	OUTPUT
152	152	PC6	CONTROL	116	116	PB5	CONTROL	-	80	PJ22	CONTROL
151	151	PC6	INPUT	115	115	PB5	INPUT	-	79	PJ22	INPUT
150	150	PC7	OUTPUT	114	114	PB6	OUTPUT	-	78	PJ23	OUTPUT
149	149	PC7	CONTROL	113	113	PB6	CONTROL	-	77	PJ23	CONTROL
148	148	PC7	INPUT	112	112	PB6	INPUT	-	76	PJ23	INPUT
147	147	PC8	OUTPUT	111	111	PB7	OUTPUT	75	75	PB14	OUTPUT
146	146	PC8	CONTROL	110	110	PB7	CONTROL	74	74	PB14	CONTROL
145	145	PC8	INPUT	109	109	PB7	INPUT	73	73	PB14	INPUT
144	144	PB1	OUTPUT	108	108	PB8	OUTPUT	72	72	PB15	OUTPUT
143	143	PB1	CONTROL	107	107	PB8	CONTROL	71	71	PB15	CONTROL
142	142	PB1	INPUT	106	106	PB8	INPUT	70	70	PB15	INPUT
141	141	PB2	OUTPUT	105	105	PB9	OUTPUT	69	69	PB16	OUTPUT
140	140	PB2	CONTROL	104	104	PB9	CONTROL	68	68	PB16	CONTROL
139	139	PB2	INPUT	103	103	PB9	INPUT	67	67	PB16	INPUT
138	138	PB3	OUTPUT	102	102	PB10	OUTPUT	66	66	PB17	OUTPUT
137	137	PB3	CONTROL	101	101	PB10	CONTROL	65	65	PB17	CONTROL
136	136	PB3	INPUT	100	100	PB10	INPUT	64	64	PB17	INPUT
-	135	PJ14	OUTPUT	99	99	PB11	OUTPUT	63	63	PB18	OUTPUT
-	134	PJ14	CONTROL	98	98	PB11	CONTROL	62	62	PB18	CONTROL
-	133	PJ14	INPUT	97	97	PB11	INPUT	61	61	PB18	INPUT
-	132	PJ15	OUTPUT	96	96	PB12	OUTPUT	60	60	PB19	OUTPUT
-	131	PJ15	CONTROL	95	95	PB12	CONTROL	59	59	PB19	CONTROL
-	130	PJ15	INPUT	94	94	PB12	INPUT	58	58	PB19	INPUT
129	129	PB4	OUTPUT	-	93	PJ19	OUTPUT	57	57	PB20	OUTPUT
128	128	PB4	CONTROL	-	92	PJ19	CONTROL	56	56	PB20	CONTROL

SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ	SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ	SH7268 ビット番号	SH7269 ビット番号	端子名 *1	タイプ
55	55	PB20	INPUT	-	36	PJ29	OUTPUT	-	17	PE4	INPUT
54	54	PB21	OUTPUT	-	35	PJ29	CONTROL	-	16	PE5	INPUT
53	53	PB21	CONTROL	-	34	PJ29	INPUT	-	15	PE6	OUTPUT*2
52	52	PB21	INPUT	-	33	PJ30	OUTPUT	-	14	PE7	OUTPUT*2
51	51	PB22	OUTPUT	-	32	PJ30	CONTROL	-	13	PE6	INPUT
50	50	PB22	CONTROL	-	31	PJ30	INPUT	-	12	PE7	INPUT
49	49	PB22	INPUT	-	30	PJ31	OUTPUT	11	11	NMI	INPUT
48	48	PC0	OUTPUT	-	29	PJ31	CONTROL	10	10	PH0	INPUT
47	47	PC0	CONTROL	-	28	PJ31	INPUT	9	9	PH1	INPUT
46	46	PC0	INPUT	27	27	PE0	OUTPUT*2	8	8	PH2	INPUT
45	45	PA0	OUTPUT	26	26	PE1	OUTPUT*2	7	7	PH3	INPUT
44	44	PA0	CONTROL	25	25	PE0	INPUT	6	6	PH4	INPUT
43	43	PA0	INPUT	24	24	PE1	INPUT	5	5	PH5	INPUT
42	42	PA1	OUTPUT	23	23	PE2	OUTPUT*2	-	4	PH6	INPUT
41	41	PA1	CONTROL	22	22	PE3	OUTPUT*2	-	3	PH7	INPUT
40	40	PA1	INPUT	21	21	PE2	INPUT	2	2	ASEBRKAKN /ASEBRK	OUTPUT
-	39	PJ28	OUTPUT	20	20	PE3	INPUT	1	1	ASEBRKAKN /ASEBRK	CONTROL
-	38	PJ28	CONTROL	-	19	PE4	OUTPUT*2	0	0	ASEBRKAKN /ASEBRK	INPUT
-	37	PJ28	INPUT	-	18	PE5	OUTPUT*2	To TDO			

【注】 *1 「1.6 端子一覧」の機能 1 の端子機能名

*2 オープンドレイン端子です。Low にすることで Low 出力、High にすることで Hi-Z となります。

*3 CONTROL はローアクティブです。CONTROL を Low にすることで該当端子を OUT 値に出力します。

50.3.4 ID レジスタ (BSID)

BSID は、CPU ではアクセスすることができない 32 ビットのレジスタです。端子側からは、IDCODE のコマンドがセットされたときに、読み出し可能です。書き込みはできません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DID[31:16]															
初期値 :	0	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DID[15:0]															
初期値 :	0	1	1	0	0	1	0	0	0	1	0	0	0	1	1	1
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~0	DID[31:0]	H'080C6447	-	デバイス JTAG に規定されている ID レジスタです。本 LSI では、H'080C6447 です。 ただし、上位 4 ビットは、チップのバージョンにより変更されることがあります。

50.4 エミュレーション用 TAP コントローラのレジスタの説明

エミュレーション用 TAP コントローラを使用するためには、バウンダリスキャン用 TAP コントローラの BSIR レジスタにエミュレーション用 TAP コントローラ切り替えコマンドを入力する必要があります。エミュレーション用 TAP コントローラには以下のレジスタがあります。

表 50.5 エミュレーション用 TAP コントローラのレジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	SDBPR	-	-	-	-
インタラクションレジスタ	SDIR	R	H'EFFD	H'FFFE2000	16

50.4.1 バイパスレジスタ (SDBPR)

SDBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は TDI 端子と TDO 端子の間に接続されます。初期値は不定です。

50.4.2 インストラクションレジスタ (SDIR)

SDIR は、16 ビットの読み出し専用のレジスタです。 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。また、本モジュールからは、CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。初期値は H'EFFD です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	T[7:0]							-	-	-	-	-	-	-	-	-
初期値:	1*	1*	1*	0*	1*	1*	1*	1*	1	1	1	1	1	1	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】* T[7:0]の初期値は予約値ですが、コマンドをセットする場合は必ず予約以外の値をセットしてください。

ビット	ビット名	初期値	R/W	説明
15~8	T[7:0]	11101111*	R	テストインストラクション 本モジュールのインストラクションは TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 50.6 を参照してください。
7~2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

表 50.6 エミュレーション用 TAP コントローラのサポートコマンド

ビット 15~8								説 明
TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	
0	1	1	0	-	-	-	-	ユーザデバッグインタフェースリセットネゲート
0	1	1	1	-	-	-	-	ユーザデバッグインタフェースリセットアサート
1	0	0	1	1	1	0	0	TDO 変化タイミング切り替え
1	0	1	1	-	-	-	-	ユーザデバッグインタフェース割り込み
1	1	1	1	-	-	-	-	BYPASS
上記以外								予約

50.5 動作説明

50.5.1 TAP コントローラ

図 50.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

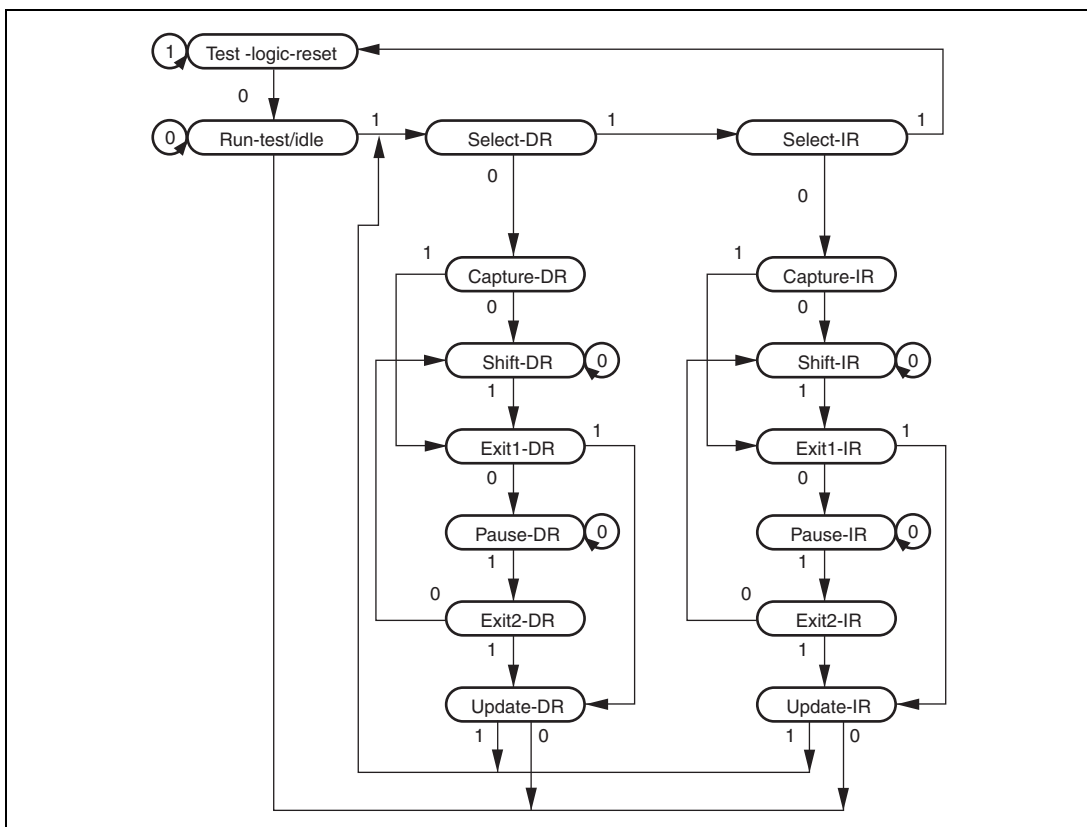


図 50.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「50.5.3 TDO 出力タイミング」を参照してください。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。 $\overline{\text{TRST}}$ のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

50.5.2 リセット構成

表 50.7 リセット構成

ASEMD* ¹	RES	TRST	チップ状態
H	L	L	パワーオンリセットおよび本モジュールのリセット
		H	パワーオンリセット
	H	L	本モジュールのみリセット
		H	通常動作
L	L	L	リセットホールド* ²
		H	パワーオンリセット
	H	L	本モジュールのみリセット
		H	通常動作

【注】 *1 製品チップモードと ASE モードの設定を選択。

$\overline{\text{ASEMD}} = \text{H}$ 、製品チップモード

$\overline{\text{ASEMD}} = \text{L}$ 、ASE モード

- *2 ASE モードで $\overline{\text{RES}}$ ネゲート時に $\overline{\text{TRST}}$ 端子がローレベルであるとリセットホールド状態になります。この状態では、CPU は起動しません。その後、 $\overline{\text{TRST}}$ をハイレベルにセットすると、本モジュール動作が有効になりますが、CPU は起動しません。リセットホールド状態は、パワーオンリセットにより解除されます。

50.5.3 TDO 出力タイミング

エミュレーション用 TAP コントローラを選択したときの TDO 変化タイミングは、初期値では TCK の立ち下がりがエッジ同期で出力されます。ただし、端子から SDIR に TDO 変化タイミング切り替えコマンドをセットし、Update-IR を通過することで、TDO の変化タイミングは TCK の立ち上がりエッジに同期します。本コマンドは、バウンダリスキャン用 TAP コントローラの TDO 出力タイミングには影響しません。

TDO 変化タイミング切り替えコマンドをセット後、TDO の変化タイミングを TCK の立ち上がりエッジ同期出力にする場合は、パワーオンリセットと同時に $\overline{\text{TRST}}$ 端子のアサートを行う必要があります。 $\overline{\text{RES}}$ 端子によるパワーオンリセットの場合、 $\overline{\text{RES}}$ 端子ネゲート後もチップ内部で同期リセットが一定期間働いています。そのため、 $\overline{\text{RES}}$ 端子ネゲート後すぐに $\overline{\text{TRST}}$ 端子をアサートした場合、TDO 変化タイミング切り替えコマンドはクリアされ、TDO の変化タイミングが TCK の立ち上がりエッジ同期出力になります。これを防ぐため、 $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず 20t_{cyc} 以上間隔を空けてください。

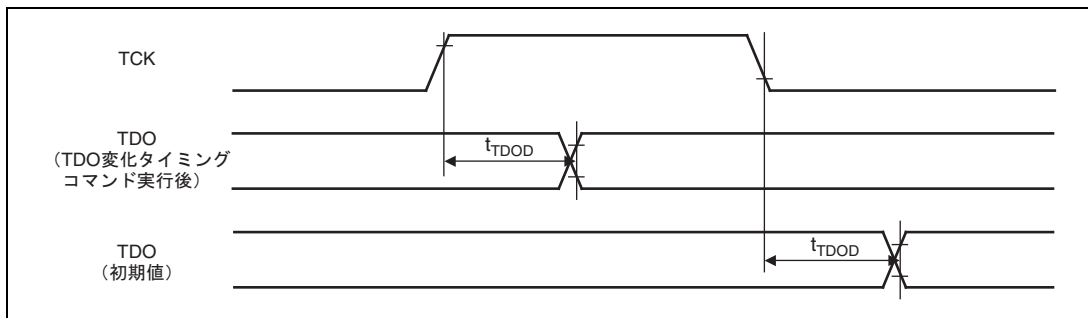


図 50.3 データ転送タイミング

50.5.4 ユーザデバッグインタフェースリセット

ユーザデバッグインタフェースリセットは、SDIR へユーザデバッグインタフェースリセットアサートコマンドをセットすることにより発生します。ユーザデバッグインタフェースリセットはパワーオンリセットと同様のリセットです。ユーザデバッグインタフェースリセットネゲートコマンドをセットすることにより、ユーザデバッグインタフェースリセットが解除されます。ユーザデバッグインタフェースリセットアサートコマンドとユーザデバッグインタフェースリセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために \overline{RES} 端子をローレベルに保つ時間と同じです。

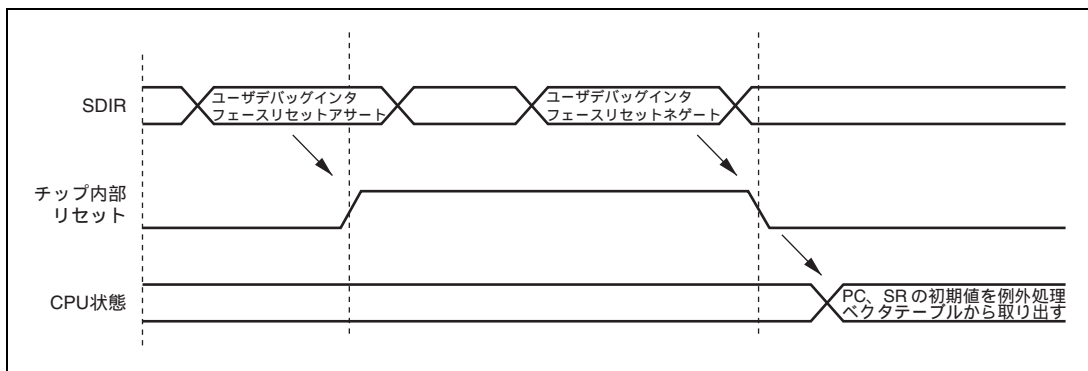


図 50.4 ユーザデバッグインタフェースリセット

50.5.5 ユーザデバッグインタフェース割り込み

ユーザデバッグインタフェース割り込み機能は SDIR へ本モジュールからのコマンドをセットすることにより割り込みを発生させます。ユーザデバッグインタフェース割り込みは一般例外 / 割り込み動作であり、例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でもユーザデバッグインタフェース割り込みは受け付けられますが、ソフトウェアスタンバイモードではユーザデバッグインタフェース割り込みは受け付けられません。

50.6 バウンダリスキャン

本モジュールから BSIR にコマンドを設定することにより、端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

50.6.1 サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、および EXTEST) と 3 つのオプション命令 (ICODE、CLAMP、および HIGHZ) をサポートします。

(1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令は、シフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中、本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は、何の影響も受けません。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは、Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは、本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力ピンから不定値が出力される (EXTEST 命令では出力ピンに常に平行出力ラッチを出力する) ことになります。

(3) EXTEST

本命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うときは、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません (シフト動作で入れ換えます)。

(4) IDCODE

端子から SDIR にコマンドを設定することにより端子を JTAG で規定されている IDCODE モードに設定できます。本モジュールを初期化した場合 ($\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にする場合) は、IDCODE モードになります。

(5) CLAMP、HIGHZ

端子から SDIR にコマンドを設定することにより端子を JTAG で規定されている CLAMP、および HIGHZ モードに設定できます。

50.6.2 注意事項

1. クロック関連信号 (EXTAL、XTAL、CKIO、AUDIO_X1、AUDIO_X2、USB_X1、USB_X2、RTC_X1、RTC_X2、および MD_CLK0) は、バウンダリスキャン対象外です。
2. リセット関連記号 ($\overline{\text{RES}}$) は、バウンダリスキャン対象外です。
3. 本モジュール関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ 、および $\overline{\text{ASEMD}}$) は、バウンダリスキャン対象外です。
4. USB 関連信号 (DP、DM、VBUS、および REFRIN) は、バウンダリスキャン対象外です。
5. バウンダリスキャンを実行するときは、 $\overline{\text{RES}}$ 端子アサート期間中に必ず $\overline{\text{ASEMD}}$ 端子にハイレベルを入力し製品チップモードで行ってください。また、バウンダリスキャン実行中は、必ず $\overline{\text{ASEMD}}$ 端子をハイレベルに固定してください。

50.7 使用上の注意事項

1. 本モジュールコマンドは、いったんセットされると他のコマンドが再セットされないかぎり変更されません。同じコマンドを連続してセットする場合は、チップ動作に影響のないコマンド（BYPASSモード等）をいったんセットしてから再度コマンドをセットする必要があります。
2. ソフトウェアスタンバイモード、本モジュールのモジュールスタンバイ状態中は、本モジュールのすべての機能を使用することができません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。
3. 本モジュールを使用する／しないにかかわらず、電源投入、ディープスタンバイからの $\overline{\text{RES}}$ 端子アサートによる解除時は必ず $\overline{\text{TRST}}$ 端子をローレベルにして本モジュールを初期化してください。
4. TDO変化タイミング切り替えコマンドをセットし、 $\overline{\text{RES}}$ 端子ネゲート後すぐに $\overline{\text{TRST}}$ 端子をアサートした場合、TDO変化タイミング切り替えコマンドがクリアされることがあります。
これを防ぐため、TDO変化タイミング切り替えコマンドをセットした場合、 $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず20tcyc以上間隔を空けてください。詳細は「50.5.3 TDO出力タイミング」を参照してください。
5. $\overline{\text{TRST}}$ 端子ネゲート後、TAPコントローラを動かす際は必ず200ns以上間隔を空けてください。
6. $\overline{\text{TRST}}$ 端子ネゲートから200ns経過するまでの間、TMS端子はハイレベルに固定してください。

51. レジスタ一覧

レジスタ一覧では、本 LSI の内蔵 I/O レジスタの情報について、以下の構成で説明します。

(1) レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）

- 機能モジュールごと、マニュアルの章番号順にレジスタを記載します。
- レジスタアドレス一覧に記載されていないリザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。
- 読み出し時と書き込み時でアクセスサイズの異なるレジスタは、アクセスサイズ部に「*」と表記しています。詳細は、該当する章のレジスタ説明を参照してください。

(2) レジスタビット一覧

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、各レジスタのビットの構成を記載します。
- リザーブビットは、ビット名称部に「 - 」と表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。

(3) 各動作モードにおけるレジスタの状態の一覧

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しています。内蔵周辺モジュール固有のリセットがある場合は、内蔵周辺モジュールの章を参照してください。

(4) 内蔵周辺モジュールのレジスタ書き込み時のご注意

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック（P₀）で2サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR1 レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR1 レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY1 ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

51.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
クロックパルス発振器	周波数制御レジスタ	FRQCR	16	H'FFFE0010	16
割り込みコントローラ	割り込みコントロールレジスタ 0	ICR0	16	H'FFFE0800	16, 32
	割り込みコントロールレジスタ 1	ICR1	16	H'FFFE0802	16, 32
	割り込みコントロールレジスタ 2	ICR2	16	H'FFFE0804	16, 32
	IRQ 割り込み要求レジスタ	IRQRR	16	H'FFFE0806	16, 32
	PINT 割り込みイネーブルレジスタ	PINTER	16	H'FFFE0808	16, 32
	PINT 割り込み要求レジスタ	PIRR	16	H'FFFE080A	16, 32
	バンクコントロールレジスタ	IBCR	16	H'FFFE080C	16, 32
	バンク番号レジスタ	IBNR	16	H'FFFE080E	16, 32
	割り込み優先レベル設定レジスタ 01	IPR01	16	H'FFFE0818	16, 32
	割り込み優先レベル設定レジスタ 02	IPR02	16	H'FFFE081A	16, 32
	割り込み優先レベル設定レジスタ 05	IPR05	16	H'FFFE0820	16, 32
	割り込み優先レベル設定レジスタ 06	IPR06	16	H'FFFE0C00	16, 32
	割り込み優先レベル設定レジスタ 07	IPR07	16	H'FFFE0C02	16, 32
	割り込み優先レベル設定レジスタ 08	IPR08	16	H'FFFE0C04	16, 32
	割り込み優先レベル設定レジスタ 09	IPR09	16	H'FFFE0C06	16, 32
	割り込み優先レベル設定レジスタ 10	IPR10	16	H'FFFE0C08	16, 32
	割り込み優先レベル設定レジスタ 11	IPR11	16	H'FFFE0C0A	16, 32
	割り込み優先レベル設定レジスタ 12	IPR12	16	H'FFFE0C0C	16, 32
	割り込み優先レベル設定レジスタ 13	IPR13	16	H'FFFE0C0E	16, 32
	割り込み優先レベル設定レジスタ 14	IPR14	16	H'FFFE0C10	16, 32
	割り込み優先レベル設定レジスタ 15	IPR15	16	H'FFFE0C12	16, 32
	割り込み優先レベル設定レジスタ 16	IPR16	16	H'FFFE0C14	16, 32
	割り込み優先レベル設定レジスタ 17	IPR17	16	H'FFFE0C16	16, 32
	割り込み優先レベル設定レジスタ 18	IPR18	16	H'FFFE0C18	16, 32
	割り込み優先レベル設定レジスタ 19	IPR19	16	H'FFFE0C1A	16, 32
	割り込み優先レベル設定レジスタ 20	IPR20	16	H'FFFE0C1C	16, 32
割り込み優先レベル設定レジスタ 21	IPR21	16	H'FFFE0C1E	16, 32	
割り込み優先レベル設定レジスタ 22	IPR22	16	H'FFFE0C20	16, 32	
割り込み優先レベル設定レジスタ 23	IPR23	16	H'FFFE0C22	16, 32	
割り込み優先レベル設定レジスタ 24	IPR24	16	H'FFFE0C24	16, 32	
割り込み優先レベル設定レジスタ 25	IPR25	16	H'FFFE0C26	16, 32	
割り込み優先レベル設定レジスタ 26	IPR26	16	H'FFFE0C28	16, 32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ユーザブレイク コントローラ	ブレイクアドレスレジスタ_0	BAR_0	32	H'FFFC0400	32
	ブレイクアドレスマスクレジスタ_0	BAMR_0	32	H'FFFC0404	32
	ブレイクデータレジスタ_0	BDR_0	32	H'FFFC0408	32
	ブレイクデータマスクレジスタ_0	BDMR_0	32	H'FFFC040C	32
	ブレイクアドレスレジスタ_1	BAR_1	32	H'FFFC0410	32
	ブレイクアドレスマスクレジスタ_1	BAMR_1	32	H'FFFC0414	32
	ブレイクデータレジスタ_1	BDR_1	32	H'FFFC0418	32
	ブレイクデータマスクレジスタ_1	BDMR_1	32	H'FFFC041C	32
	ブレイクバスサイクルレジスタ_0	BBR_0	16	H'FFFC04A0	16
	ブレイクバスサイクルレジスタ_1	BBR_1	16	H'FFFC04B0	16
	ブレイクコントロールレジスタ	BRCR	32	H'FFFC04C0	32
	キャッシュ	キャッシュ制御レジスタ 1	CCR1	32	H'FFFC1000
キャッシュ制御レジスタ 2		CCR2	32	H'FFFC1004	32
バスステート コントローラ	共通コントロールレジスタ	CMNCR	32	H'FFFC 0000	32
	CS0 空間バスコントロールレジスタ	CS0BCR	32	H'FFFC 0004	32
	CS1 空間バスコントロールレジスタ	CS1BCR	32	H'FFFC 0008	32
	CS2 空間バスコントロールレジスタ	CS2BCR	32	H'FFFC 000C	32
	CS3 空間バスコントロールレジスタ	CS3BCR	32	H'FFFC 0010	32
	CS4 空間バスコントロールレジスタ	CS4BCR	32	H'FFFC 0014	32
	CS5 空間バスコントロールレジスタ	CS5BCR	32	H'FFFC 0018	32
	CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'FFFC 0028	32
	CS1 空間ウェイトコントロールレジスタ	CS1WCR	32	H'FFFC 002C	32
	CS2 空間ウェイトコントロールレジスタ	CS2WCR	32	H'FFFC 0030	32
	CS3 空間ウェイトコントロールレジスタ	CS3WCR	32	H'FFFC 0034	32
	CS4 空間ウェイトコントロールレジスタ	CS4WCR	32	H'FFFC 0038	32
	CS5 空間ウェイトコントロールレジスタ	CS5WCR	32	H'FFFC 003C	32
	SDRAM コントロールレジスタ	SDCR	32	H'FFFC 004C	32
	リフレッシュタイムコントロール・ル/ステータスレジスタ	RTCSR	16	H'FFFC 0050	32
	リフレッシュタイムカウンタ	RTCNT	16	H'FFFC 0054	32
	リフレッシュタイムコンスタントレジスタ	RTCOR	16	H'FFFC 0058	32
	ダイレクトメモリ アクセスコントローラ	DMA ソースアドレスレジスタ_0	SAR0	32	H'FFFE1000
DMA デスティネーションアドレスレジスタ_0		DAR0	32	H'FFFE1004	16、32
DMA トランスファカウンタレジスタ_0		DMATCR0	32	H'FFFE1008	16、32
DMA チャネルコントロールレジスタ_0		RSAR0	32	H'FFFE1100	16、32
DMA リロードソースアドレスレジスタ_0		RDAR0	32	H'FFFE1104	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ダイレクトメモリ アクセスコントローラ	DMA リロードデスティネーションアドレスレジスタ_0	RDMATCR0	32	H'FFFE1108	16、32
	DMA リロードトランスファカウントレジスタ_0	CHCR0	32	H'FFFE100C	8、16、32
	DMA ソースアドレスレジスタ_1	SAR1	32	H'FFFE1010	16、32
	DMA デスティネーションアドレスレジスタ_1	DAR1	32	H'FFFE1014	16、32
	DMA トランスファカウントレジスタ_1	DMATCR1	32	H'FFFE1018	16、32
	DMA チャネルコントロールレジスタ_1	CHCR1	32	H'FFFE101C	8、16、32
	DMA リロードソースアドレスレジスタ_1	RSAR1	32	H'FFFE1110	16、32
	DMA リロードデスティネーションアドレスレジスタ_1	RDAR1	32	H'FFFE1114	16、32
	DMA リロードトランスファカウントレジスタ_1	RDMATCR1	32	H'FFFE1118	16、32
	DMA ソースアドレスレジスタ_2	SAR2	32	H'FFFE1020	16、32
	DMA デスティネーションアドレスレジスタ_2	DAR2	32	H'FFFE1024	16、32
	DMA トランスファカウントレジスタ_2	DMATCR2	32	H'FFFE1028	16、32
	DMA チャネルコントロールレジスタ_2	CHCR2	32	H'FFFE102C	8、16、32
	DMA リロードソースアドレスレジスタ_2	RSAR2	32	H'FFFE1120	16、32
	DMA リロードデスティネーションアドレスレジスタ_2	RDAR2	32	H'FFFE1124	16、32
	DMA リロードトランスファカウントレジスタ_2	RDMATCR2	32	H'FFFE1128	16、32
	DMA ソースアドレスレジスタ_3	SAR3	32	H'FFFE1030	16、32
	DMA デスティネーションアドレスレジスタ_3	DAR3	32	H'FFFE1034	16、32
	DMA トランスファカウントレジスタ_3	DMATCR3	32	H'FFFE1038	16、32
	DMA チャネルコントロールレジスタ_3	CHCR3	32	H'FFFE103C	8、16、32
	DMA リロードソースアドレスレジスタ_3	RSAR3	32	H'FFFE1130	16、32
	DMA リロードデスティネーションアドレスレジスタ_3	RDAR3	32	H'FFFE1134	16、32
	DMA リロードトランスファカウントレジスタ_3	RDMATCR3	32	H'FFFE1138	16、32
	DMA ソースアドレスレジスタ_4	SAR4	32	H'FFFE1040	16、32
	DMA デスティネーションアドレスレジスタ_4	DAR4	32	H'FFFE1044	16、32
	DMA トランスファカウントレジスタ_4	DMATCR4	32	H'FFFE1048	16、32
	DMA チャネルコントロールレジスタ_4	CHCR4	32	H'FFFE104C	8、16、32
	DMA リロードソースアドレスレジスタ_4	RSAR4	32	H'FFFE1140	16、32
	DMA リロードデスティネーションアドレスレジスタ_4	RDAR4	32	H'FFFE1144	16、32
	DMA リロードトランスファカウントレジスタ_4	RDMATCR4	32	H'FFFE1148	16、32
	DMA ソースアドレスレジスタ_5	SAR5	32	H'FFFE1050	16、32
	DMA デスティネーションアドレスレジスタ_5	DAR5	32	H'FFFE1054	16、32
	DMA トランスファカウントレジスタ_5	DMATCR5	32	H'FFFE1058	16、32
	DMA チャネルコントロールレジスタ_5	CHCR5	32	H'FFFE105C	8、16、32
DMA リロードソースアドレスレジスタ_5	RSAR5	32	H'FFFE1150	16、32	
DMA リロードデスティネーションアドレスレジスタ_5	RDAR5	32	H'FFFE1154	16、32	
DMA リロードトランスファカウントレジスタ_5	RDMATCR5	32	H'FFFE1158	16、32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ダイレクトメモリ アクセスコントローラ	DMA ソースアドレスレジスタ_6	SAR6	32	H'FFFE1060	16, 32
	DMA デスティネーションアドレスレジスタ_6	DAR6	32	H'FFFE1064	16, 32
	DMA トランスファカウントレジスタ_6	DMATCR6	32	H'FFFE1068	16, 32
	DMA チャネルコントロールレジスタ_6	CHCR6	32	H'FFFE106C	8, 16, 32
	DMA リロードソースアドレスレジスタ_6	RSAR6	32	H'FFFE1160	16, 32
	DMA リロードデスティネーションアドレスレジスタ_6	RDAR6	32	H'FFFE1164	16, 32
	DMA リロードトランスファカウントレジスタ_6	RDMATCR6	32	H'FFFE1168	16, 32
	DMA ソースアドレスレジスタ_7	SAR7	32	H'FFFE1070	16, 32
	DMA デスティネーションアドレスレジスタ_7	DAR7	32	H'FFFE1074	16, 32
	DMA トランスファカウントレジスタ_7	DMATCR7	32	H'FFFE1078	16, 32
	DMA チャネルコントロールレジスタ_7	CHCR7	32	H'FFFE107C	8, 16, 32
	DMA リロードソースアドレスレジスタ_7	RSAR7	32	H'FFFE1170	16, 32
	DMA リロードデスティネーションアドレスレジスタ_7	RDAR7	32	H'FFFE1174	16, 32
	DMA リロードトランスファカウントレジスタ_7	RDMATCR7	32	H'FFFE1178	16, 32
	DMA ソースアドレスレジスタ_8	SAR8	32	H'FFFE1080	16, 32
	DMA デスティネーションアドレスレジスタ_8	DAR8	32	H'FFFE1084	16, 32
	DMA トランスファカウントレジスタ_8	DMATCR8	32	H'FFFE1088	16, 32
	DMA チャネルコントロールレジスタ_8	RSAR8	32	H'FFFE1180	16, 32
	DMA リロードソースアドレスレジスタ_8	RDAR8	32	H'FFFE1184	16, 32
	DMA リロードデスティネーションアドレスレジスタ_8	RDMATCR8	32	H'FFFE1188	16, 32
	DMA リロードトランスファカウントレジスタ_8	CHCR8	32	H'FFFE108C	8, 16, 32
	DMA ソースアドレスレジスタ_9	SAR9	32	H'FFFE1090	16, 32
	DMA デスティネーションアドレスレジスタ_9	DAR9	32	H'FFFE1094	16, 32
	DMA トランスファカウントレジスタ_9	DMATCR9	32	H'FFFE1098	16, 32
	DMA チャネルコントロールレジスタ_9	CHCR9	32	H'FFFE109C	8, 16, 32
	DMA リロードソースアドレスレジスタ_9	RSAR9	32	H'FFFE1190	16, 32
	DMA リロードデスティネーションアドレスレジスタ_9	RDAR9	32	H'FFFE1194	16, 32
	DMA リロードトランスファカウントレジスタ_9	RDMATCR9	32	H'FFFE1198	16, 32
	DMA ソースアドレスレジスタ_10	SAR10	32	H'FFFE10A0	16, 32
	DMA デスティネーションアドレスレジスタ_10	DAR10	32	H'FFFE10A4	16, 32
	DMA トランスファカウントレジスタ_10	DMATCR10	32	H'FFFE10A8	16, 32
	DMA チャネルコントロールレジスタ_10	CHCR10	32	H'FFFE10AC	8, 16, 32
DMA リロードソースアドレスレジスタ_10	RSAR10	32	H'FFFE11A0	16, 32	
DMA リロードデスティネーションアドレスレジスタ_10	RDAR10	32	H'FFFE11A4	16, 32	
DMA リロードトランスファカウントレジスタ_10	RDMATCR10	32	H'FFFE11A8	16, 32	
DMA ソースアドレスレジスタ_11	SAR11	32	H'FFFE10B0	16, 32	
DMA デスティネーションアドレスレジスタ_11	DAR11	32	H'FFFE10B4	16, 32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ダイレクトメモリ アクセスコントローラ	DMA トランスファカウントレジスタ_11	DMATCR11	32	H'FFFE10B8	16、32
	DMA チャネルコントロールレジスタ_11	CHCR11	32	H'FFFE10BC	8、16、32
	DMA リロードソースアドレスレジスタ_11	RSAR11	32	H'FFFE11B0	16、32
	DMA リロードデスティネーションアドレスレジスタ_11	RDAR11	32	H'FFFE11B4	16、32
	DMA リロードトランスファカウントレジスタ_11	RDMATCR11	32	H'FFFE11B8	16、32
	DMA ソースアドレスレジスタ_12	SAR12	32	H'FFFE10C0	16、32
	DMA デスティネーションアドレスレジスタ_12	DAR12	32	H'FFFE10C4	16、32
	DMA トランスファカウントレジスタ_12	DMATCR12	32	H'FFFE10C8	16、32
	DMA チャネルコントロールレジスタ_12	CHCR12	32	H'FFFE10CC	8、16、32
	DMA リロードソースアドレスレジスタ_12	RSAR12	32	H'FFFE11C0	16、32
	DMA リロードデスティネーションアドレスレジスタ_12	RDAR12	32	H'FFFE11C4	16、32
	DMA リロードトランスファカウントレジスタ_12	RDMATCR12	32	H'FFFE11C8	16、32
	DMA ソースアドレスレジスタ_13	SAR13	32	H'FFFE10D0	16、32
	DMA デスティネーションアドレスレジスタ_13	DAR13	32	H'FFFE10D4	16、32
	DMA トランスファカウントレジスタ_13	DMATCR13	32	H'FFFE10D8	16、32
	DMA チャネルコントロールレジスタ_13	CHCR13	32	H'FFFE10DC	8、16、32
	DMA リロードソースアドレスレジスタ_13	RSAR13	32	H'FFFE11D0	16、32
	DMA リロードデスティネーションアドレスレジスタ_13	RDAR13	32	H'FFFE11D4	16、32
	DMA リロードトランスファカウントレジスタ_13	RDMATCR13	32	H'FFFE11D8	16、32
	DMA ソースアドレスレジスタ_14	SAR14	32	H'FFFE10E0	16、32
	DMA デスティネーションアドレスレジスタ_14	DAR14	32	H'FFFE10E4	16、32
	DMA トランスファカウントレジスタ_14	DMATCR14	32	H'FFFE10E8	16、32
	DMA チャネルコントロールレジスタ_14	CHCR14	32	H'FFFE10EC	8、16、32
	DMA リロードソースアドレスレジスタ_14	RSAR14	32	H'FFFE11E0	16、32
	DMA リロードデスティネーションアドレスレジスタ_14	RDAR14	32	H'FFFE11E4	16、32
	DMA リロードトランスファカウントレジスタ_14	RDMATCR14	32	H'FFFE11E8	16、32
	DMA ソースアドレスレジスタ_15	SAR15	32	H'FFFE10F0	16、32
	DMA デスティネーションアドレスレジスタ_15	DAR15	32	H'FFFE10F4	16、32
	DMA トランスファカウントレジスタ_15	DMATCR15	32	H'FFFE10F8	16、32
	DMA チャネルコントロールレジスタ_15	CHCR15	32	H'FFFE10FC	8、16、32
	DMA リロードソースアドレスレジスタ_15	RSAR15	32	H'FFFE11F0	16、32
	DMA リロードデスティネーションアドレスレジスタ_15	RDAR15	32	H'FFFE11F4	16、32
	DMA リロードトランスファカウントレジスタ_15	RDMATCR15	32	H'FFFE11F8	16、32
	DMA オペレーションレジスタ	DMAOR	16	H'FFFE1200	8、16
	DMA 拡張リソースセクタ 0	DMARS0	16	H'FFFE1300	16
	DMA 拡張リソースセクタ 1	DMARS1	16	H'FFFE1304	16
	DMA 拡張リソースセクタ 2	DMARS2	16	H'FFFE1308	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ダイレクトメモリ アクセスコントローラ	DMA 拡張リソースセクタ 3	DMARS3	16	H'FFFE130C	16
	DMA 拡張リソースセクタ 4	DMARS4	16	H'FFFE1310	16
	DMA 拡張リソースセクタ 5	DMARS5	16	H'FFFE1314	16
	DMA 拡張リソースセクタ 6	DMARS6	16	H'FFFE1318	16
	DMA 拡張リソースセクタ 7	DMARS7	16	H'FFFE131C	16
マルチファンクション タイマパルスユニット 2	タイマコントロールレジスタ_0	TCR_0	8	H'FFFE4300	8
	タイマモードレジスタ_0	TMDR_0	8	H'FFFE4301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFE4302	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFE4303	8
	タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFE4304	8
	タイマステータスレジスタ_0	TSR_0	8	H'FFFE4305	8
	タイマカウンタ_0	TCNT_0	16	H'FFFE4306	16
	タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFE4308	16
	タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFE430A	16
	タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFE430C	16
	タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFE430E	16
	タイマジェネラルレジスタ E_0	TGRE_0	16	H'FFFE4320	16
	タイマジェネラルレジスタ F_0	TGRF_0	16	H'FFFE4322	16
	タイマインタラプトイネーブルレジスタ_2_0	TIER2_0	8	H'FFFE4324	8
	タイマステータスレジスタ_2_0	TSR2_0	8	H'FFFE4325	8
	タイマバッファ動作転送モードレジスタ_0	TBTM_0	8	H'FFFE4326	8
	タイマコントロールレジスタ_1	TCR_1	8	H'FFFE4380	8
	タイマモードレジスタ_1	TMDR_1	8	H'FFFE4381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFFE4382	8
	タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFE4384	8
	タイマステータスレジスタ_1	TSR_1	8	H'FFFE4385	8
	タイマカウンタ_1	TCNT_1	16	H'FFFE4386	16
	タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFE4388	16
	タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFE438A	16
	タイマインプットキャプチャレジスタ	TICCR	8	H'FFFE4390	8
	タイマコントロールレジスタ_2	TCR_2	8	H'FFFE4000	8
	タイマモードレジスタ_2	TMDR_2	8	H'FFFE4001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFFE4002	8
	タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4004	8
	タイマステータスレジスタ_2	TSR_2	8	H'FFFE4005	8
	タイマカウンタ_2	TCNT_2	16	H'FFFE4006	16
	タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE4008	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
マルチファンクション タイマパルスユニット 2	タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFE400A	16
	タイマコントロールレジスタ_3	TCR_3	8	H'FFFE4200	8
	タイマモードレジスタ_3	TMDR_3	8	H'FFFE4202	8
	タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FFFE4204	8
	タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FFFE4205	8
	タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFE4208	8
	タイマステータスレジスタ_3	TSR_3	8	H'FFFE422C	8
	タイマカウンタ_3	TCNT_3	16	H'FFFE4210	16
	タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFE4218	16
	タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFE421A	16
	タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFE4224	16
	タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFE4226	16
	タイマバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FFFE4238	8
	タイマコントロールレジスタ_4	TCR_4	8	H'FFFE4201	8
	タイマモードレジスタ_4	TMDR_4	8	H'FFFE4203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	8	H'FFFE4206	8
	タイマ I/O コントロールレジスタ L_4	TIORL_4	8	H'FFFE4207	8
	タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFFE4209	8
	タイマステータスレジスタ_4	TSR_4	8	H'FFFE422D	8
	タイマカウンタ_4	TCNT_4	16	H'FFFE4212	16
	タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFFE421C	16
	タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFFE421E	16
	タイマジェネラルレジスタ C_4	TGRC_4	16	H'FFFE4228	16
	タイマジェネラルレジスタ D_4	TGRD_4	16	H'FFFE422A	16
	タイマバッファ動作転送モードレジスタ_4	TBTM_4	8	H'FFFE4239	8
	タイマ A/D 変換開始要求コントロールレジスタ	TADCR	16	H'FFFE4240	16
	タイマ A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	16	H'FFFE4244	16
	タイマ A/D 変換開始要求周期設定レジスタ B_4	TADCORB_4	16	H'FFFE4246	16
	タイマ A/D 変換開始要求周期設定バッファレジスタ A_4	TADCOBRA_4	16	H'FFFE4248	16
	タイマ A/D 変換開始要求周期設定バッファレジスタ B_4	TADCOBRB_4	16	H'FFFE424A	16
	タイマスタートレジスタ	TSTR	8	H'FFFE4280	8
	タイマシンクロレジスタ	TSYR	8	H'FFFE4281	8
	タイマリードライトイネーブルレジスタ	TRWER	8	H'FFFE4284	8
	タイマアウトプットマスタイネーブルレジスタ	TOER	8	H'FFFE420A	8
	タイマアウトプットマスタコントロールレジスタ 1	TOCR1	8	H'FFFE420E	8
	タイマアウトプットマスタコントロールレジスタ 2	TOCR2	8	H'FFFE420F	8
	タイマゲートコントロールレジスタ	TGCR	8	H'FFFE420D	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
マルチファンクション イマパルスユニット2	タイマ周期データレジスタ	TCDR	16	H'FFFE4214	16
	タイマデッドタイムデータレジスタ	TDDR	16	H'FFFE4216	16
	タイマサブカウンタ	TCNTS	16	H'FFFE4220	16
	タイマ周期バッファレジスタ	TCBR	16	H'FFFE4222	16
	タイマ割り込み間引き設定レジスタ	TITCR	8	H'FFFE4230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	8	H'FFFE4231	8
	タイマバッファ転送設定レジスタ	TBTER	8	H'FFFE4232	8
	タイマデッドタイムイネーブルレジスタ	TDER	8	H'FFFE4234	8
	タイマ波形コントロールレジスタ	TWCR	8	H'FFFE4260	8
	タイマアウトブットレベルバッファレジスタ	TOLBR	8	H'FFFE4236	8
コンペアマッチタイマ	コンペアマッチタイマスタートレジスタ	CMSTR	16	H'FFFE0000	16
	コンペアマッチタイマコントロール/ステータスレジスタ_0	CMCSR_0	16	H'FFFE0002	16
	コンペアマッチカウンタ_0	CMCNT_0	16	H'FFFE0004	8, 16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	16	H'FFFE0006	8, 16
	コンペアマッチタイマコントロール/ステータスレジスタ_1	CMCSR_1	16	H'FFFE0008	16
	コンペアマッチカウンタ_1	CMCNT_1	16	H'FFFE000A	8, 16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	16	H'FFFE000C	8, 16
ウォッチドッグタイマ	ウォッチドッグタイマカウンタ	WTCNT	8	H'FFFE0002	8, 16
	ウォッチドッグタイマコントロール/ステータスレジスタ	WTCSR	8	H'FFFE0000	8, 16
	ウォッチドッグリセットコントロール/ステータスレジスタ	WRCSR	8	H'FFFE0004	8, 16
リアルタイムクロック	64Hz カウンタ	R64CNT	8	H'FFFE6000	8
	秒カウンタ	RSECCNT	8	H'FFFE6002	8
	分カウンタ	RMINCNT	8	H'FFFE6004	8
	時カウンタ	RHRCNT	8	H'FFFE6006	8
	曜日カウンタ	RWKCNT	8	H'FFFE6008	8
	日カウンタ	RDAYCNT	8	H'FFFE600A	8
	月カウンタ	RMONCNT	8	H'FFFE600C	8
	年カウンタ	RYRCNT	16	H'FFFE600E	16
	秒アラームレジスタ	RSECAR	8	H'FFFE6010	8
	分アラームレジスタ	RMINAR	8	H'FFFE6012	8
	時アラームレジスタ	RHRAR	8	H'FFFE6014	8
	曜日アラームレジスタ	RWKAR	8	H'FFFE6016	8
	日アラームレジスタ	RDAYAR	8	H'FFFE6018	8
	月アラームレジスタ	RMONAR	8	H'FFFE601A	8
	年アラームレジスタ	RYRAR	16	H'FFFE6020	16
	コントロールレジスタ 1	RCR1	8	H'FFFE601C	8
	コントロールレジスタ 2	RCR2	8	H'FFFE601E	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
リアルタイムクロック	コントロールレジスタ3	RCR3	8	H'FFFE6024	8
	コントロールレジスタ5	RCR5	8	H'FFFE6026	8
	周波数レジスタH	RFRH	16	H'FFFE602A	16
	周波数レジスタL	RFRL	16	H'FFFE602C	16
FIFO 内蔵シリアル コミュニケーション ユニット	シリアルモードレジスタ_0	SCSMR_0	16	H'E8007000	16
	ビットレートレジスタ_0	SCBRR_0	8	H'E8007004	8
	シリアルコントロールレジスタ_0	SCSCR_0	16	H'E8007008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	8	H'E800700C	8
	シリアルステータスレジスタ_0	SCFSR_0	16	H'E8007010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	8	H'E8007014	8
	FIFO コントロールレジスタ_0	SCFCR_0	16	H'E8007018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	16	H'E800701C	16
	シリアルポートレジスタ_0	SCSPTR_0	16	H'E8007020	16
	ラインステータスレジスタ_0	SCLSR_0	16	H'E8007024	16
	シリアル拡張モードレジスタ_0	SCEMR_0	16	H'E8007028	16
	シリアルモードレジスタ_1	SCSMR_1	16	H'E8007800	16
	ビットレートレジスタ_1	SCBRR_1	8	H'E8007804	8
	シリアルコントロールレジスタ_1	SCSCR_1	16	H'E8007808	16
	送信 FIFO データレジスタ_1	SCFTDR_1	8	H'E800780C	8
	シリアルステータスレジスタ_1	SCFSR_1	16	H'E8007810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	8	H'E8007814	8
	FIFO コントロールレジスタ_1	SCFCR_1	16	H'E8007818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	16	H'E800781C	16
	シリアルポートレジスタ_1	SCSPTR_1	16	H'E8007820	16
	ラインステータスレジスタ_1	SCLSR_1	16	H'E8007824	16
	シリアル拡張モードレジスタ_1	SCEMR_1	16	H'E8007828	16
	シリアルモードレジスタ_2	SCSMR_2	16	H'E8008000	16
	ビットレートレジスタ_2	SCBRR_2	8	H'E8008004	8
	シリアルコントロールレジスタ_2	SCSCR_2	16	H'E8008008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	8	H'E800800C	8
	シリアルステータスレジスタ_2	SCFSR_2	16	H'E8008010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	8	H'E8008014	8
	FIFO コントロールレジスタ_2	SCFCR_2	16	H'E8008018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	16	H'E800801C	16
	シリアルポートレジスタ_2	SCSPTR_2	16	H'E8008020	16
	ラインステータスレジスタ_2	SCLSR_2	16	H'E8008024	16
シリアル拡張モードレジスタ_2	SCEMR_2	16	H'E8008028	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
FIFO 内蔵シリアル コミュニケーション ユニット	シリアルモードレジスタ_3	SCSMR_3	16	H'E8008800	16
	ビットレートレジスタ_3	SCBRR_3	8	H'E8008804	8
	シリアルコントロールレジスタ_3	SCSCR_3	16	H'E8008808	16
	送信 FIFO データレジスタ_3	SCFTDR_3	8	H'E800880C	8
	シリアルステータスレジスタ_3	SCFSR_3	16	H'E8008810	16
	受信 FIFO データレジスタ_3	SCFRDR_3	8	H'E8008814	8
	FIFO コントロールレジスタ_3	SCFCR_3	16	H'E8008818	16
	FIFO データカウンセットレジスタ_3	SCFDR_3	16	H'E800881C	16
	シリアルポートレジスタ_3	SCSPTR_3	16	H'E8008820	16
	ラインステータスレジスタ_3	SCLSR_3	16	H'E8008824	16
	シリアル拡張モードレジスタ_3	SCEMR_3	16	H'E8008828	16
	シリアルモードレジスタ_4	SCSMR_4	16	H'E8009000	16
	ビットレートレジスタ_4	SCBRR_4	8	H'E8009004	8
	シリアルコントロールレジスタ_4	SCSCR_4	16	H'E8009008	16
	送信 FIFO データレジスタ_4	SCFTDR_4	8	H'E800900C	8
	シリアルステータスレジスタ_4	SCFSR_4	16	H'E8009010	16
	受信 FIFO データレジスタ_4	SCFRDR_4	8	H'E8009014	8
	FIFO コントロールレジスタ_4	SCFCR_4	16	H'E8009018	16
	FIFO データカウンセットレジスタ_4	SCFDR_4	16	H'E800901C	16
	シリアルポートレジスタ_4	SCSPTR_4	16	H'E8009020	16
	ラインステータスレジスタ_4	SCLSR_4	16	H'E8009024	16
	シリアル拡張モードレジスタ_4	SCEMR_4	16	H'E8009028	16
	シリアルモードレジスタ_5	SCSMR_5	16	H'E8009800	16
	ビットレートレジスタ_5	SCBRR_5	8	H'E8009804	8
	シリアルコントロールレジスタ_5	SCSCR_5	16	H'E8009808	16
	送信 FIFO データレジスタ_5	SCFTDR_5	8	H'E800980C	8
	シリアルステータスレジスタ_5	SCFSR_5	16	H'E8009810	16
	受信 FIFO データレジスタ_5	SCFRDR_5	8	H'E8009814	8
	FIFO コントロールレジスタ_5	SCFCR_5	16	H'E8009818	16
	FIFO データカウンセットレジスタ_5	SCFDR_5	16	H'E800981C	16
	シリアルポートレジスタ_5	SCSPTR_5	16	H'E8009820	16
	ラインステータスレジスタ_5	SCLSR_5	16	H'E8009824	16
シリアル拡張モードレジスタ_5	SCEMR_5	16	H'E8009828	16	
シリアルモードレジスタ_6	SCSMR_6	16	H'E800A000	16	
ビットレートレジスタ_6	SCBRR_6	8	H'E800A004	8	
シリアルコントロールレジスタ_6	SCSCR_6	16	H'E800A008	16	
送信 FIFO データレジスタ_6	SCFTDR_6	8	H'E800A00C	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
FIFO 内蔵シリアル コミュニケーション ユニット	シリアルステータスレジスタ_6	SCFSR_6	16	H'E800A010	16
	受信 FIFO データレジスタ_6	SCFRDR_6	8	H'E800A014	8
	FIFO コントロールレジスタ_6	SCFCR_6	16	H'E800A018	16
	FIFO データカウントセットレジスタ_6	SCFDR_6	16	H'E800A01C	16
	シリアルポートレジスタ_6	SCSPTR_6	16	H'E800A020	16
	ラインステータスレジスタ_6	SCLSR_6	16	H'E800A024	16
	シリアル拡張モードレジスタ_6	SCEMR_6	16	H'E800A028	16
	シリアルモードレジスタ_7	SCSMR_7	16	H'E800A800	16
	ビットレートレジスタ_7	SCBRR_7	8	H'E800A804	8
	シリアルコントロールレジスタ_7	SCSCR_7	16	H'E800A808	16
	送信 FIFO データレジスタ_7	SCFTDR_7	8	H'E800A80C	8
	シリアルステータスレジスタ_7	SCFSR_7	16	H'E800A810	16
	受信 FIFO データレジスタ_7	SCFRDR_7	8	H'E800A814	8
	FIFO コントロールレジスタ_7	SCFCR_7	16	H'E800A818	16
	FIFO データカウントセットレジスタ_7	SCFDR_7	16	H'E800A81C	16
	シリアルポートレジスタ_7	SCSPTR_7	16	H'E800A820	16
	ラインステータスレジスタ_7	SCLSR_7	16	H'E800A824	16
	シリアル拡張モードレジスタ_7	SCEMR_7	16	H'E800A828	16
ルネサスシリアル ペリフェラル インタフェース	制御レジスタ_0	SPCR_0	8	H'E800E000	8、16
	スレープセレクト極性レジスタ_0	SSLP_0	8	H'E800E001	8、16
	端子制御レジスタ_0	SPPCR_0	8	H'E800E002	8、16
	ステータスレジスタ_0	SPSR_0	8	H'E800E003	8、16
	データレジスタ_0	SPDR_0	32	H'E800E004	8、16、32
	シーケンス制御レジスタ_0	SPSCR_0	8	H'E800E008	8、16
	シーケンスステータスレジスタ_0	SPSSR_0	8	H'E800E009	8、16
	ビットレートレジスタ_0	SPBR_0	8	H'E800E00A	8、16
	データコントロールレジスタ_0	SPDCR_0	8	H'E800E00B	8、16
	クロック遅延レジスタ_0	SPCKD_0	8	H'E800E00C	8、16
	スレープセレクトネゲート遅延レジスタ_0	SSLND_0	8	H'E800E00D	8、16
	次アクセス遅延レジスタ_0	SPND_0	8	H'E800E00E	8
	コマンドレジスタ_00	SPCMD_00	16	H'E800E010	16
	コマンドレジスタ_01	SPCMD_01	16	H'E800E012	16
	コマンドレジスタ_02	SPCMD_02	16	H'E800E014	16
	コマンドレジスタ_03	SPCMD_03	16	H'E800E016	16
	バッファコントロールレジスタ_0	SPBFCR_0	8	H'E800E020	8、16
	バッファデータカウントセットレジスタ_0	SPBFDR_0	16	H'E800E022	16
	制御レジスタ_1	SPCR_1	8	H'E800E800	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ルネサスシリアル ペリフェラル インタフェース	スレーブセレクト極性レジスタ_1	SSLP_1	8	H'E800E801	8, 16
	端子制御レジスタ_1	SPPCR_1	8	H'E800E802	8, 16
	ステータスレジスタ_1	SPSR_1	8	H'E800E803	8, 16
	データレジスタ_1	SPDR_1	32	H'E800E804	8, 16, 32
	シーケンス制御レジスタ_1	SPSCR_1	8	H'E800E808	8, 16
	シーケンスステータスレジスタ_1	SPSSR_1	8	H'E800E809	8, 16
	ビットレートレジスタ_1	SPBR_1	8	H'E800E80A	8, 16
	データコントロールレジスタ_1	SPDCR_1	8	H'E800E80B	8, 16
	クロック遅延レジスタ_1	SPCKD_1	8	H'E800E80C	8, 16
	スレーブセレクトネゲート遅延レジスタ_1	SSLND_1	8	H'E800E80D	8, 16
	次アクセス遅延レジスタ_1	SPND_1	8	H'E800E80E	8
	コマンドレジスタ_10	SPCMD_10	16	H'E800E810	16
	コマンドレジスタ_11	SPCMD_11	16	H'E800E812	16
	コマンドレジスタ_12	SPCMD_12	16	H'E800E814	16
	コマンドレジスタ_13	SPCMD_13	16	H'E800E816	16
	バッファコントロールレジスタ_1	SPBFCR_1	8	H'E800E820	8, 16
	バッファデータカウントセットレジスタ_1	SPBFDR_1	16	H'E800E822	16
ルネサス クワッドシリアル ペリフェラル インタフェース	制御レジスタ_0	SPCR_0	8	H'E8033800	8, 16, 32
	スレーブセレクト極性レジスタ_0	SSLP_0	8	H'E8033801	8, 16, 32
	端子制御レジスタ_0	SPPCR_0	8	H'E8033802	8, 16, 32
	ステータスレジスタ_0	SPSR_0	8	H'E8033803	8, 16, 32
	データレジスタ_0	SPDR_0	32	H'E8033804	8, 16, 32
	シーケンス制御レジスタ_0	SPSCR_0	8	H'E8033808	8, 16, 32
	シーケンスステータスレジスタ_0	SPSSR_0	8	H'E8033809	8, 16, 32
	ビットレートレジスタ_0	SPBR_0	8	H'E803380A	8, 16, 32
	データコントロールレジスタ_0	SPDCR_0	8	H'E803380B	8, 16, 32
	クロック遅延レジスタ_0	SPCKD_0	8	H'E803380C	8, 16, 32
	スレーブセレクトネゲート遅延レジスタ_0	SSLND_0	8	H'E803380D	8, 16, 32
	次アクセス遅延レジスタ_0	SPND_0	8	H'E803380E	8, 16, 32
	コマンドレジスタ_0_0	SPCMD0_0	16	H'E8033810	16, 32
	コマンドレジスタ_1_0	SPCMD1_0	16	H'E8033812	16, 32
	コマンドレジスタ_2_0	SPCMD2_0	16	H'E8033814	16, 32
	コマンドレジスタ_3_0	SPCMD3_0	16	H'E8033816	16, 32
	バッファコントロールレジスタ_0	SPBFCR_0	8	H'E8033818	8, 16, 32
	バッファデータカウントセットレジスタ_0	SPBDCR_0	16	H'E803381A	16, 32
	データ長倍数設定レジスタ_0_0	SPBMUL0_0	32	H'E803381C	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ルネサス クワッドシリアル ペリフェラル インタフェース	データ長倍数設定レジスタ 1_0	SPBMUL1_0	32	H'E8033820	32
	データ長倍数設定レジスタ 2_0	SPBMUL2_0	32	H'E8033824	32
	データ長倍数設定レジスタ 3_0	SPBMUL3_0	32	H'E8033828	32
	制御レジスタ_1	SPCR_1	8	H'E8034000	8、16、32
	スレーブセレクト極性レジスタ_1	SSLP_1	8	H'E8034001	8、16、32
	端子制御レジスタ_1	SPPCR_1	8	H'E8034002	8、16、32
	ステータスレジスタ_1	SPSR_1	8	H'E8034003	8、16、32
	データレジスタ_1	SPDR_1	32	H'E8034004	8、16、32
	シーケンス制御レジスタ_1	SPSCR_1	8	H'E8034008	8、16、32
	シーケンスステータスレジスタ_1	SPSSR_1	8	H'E8034009	8、16、32
	ビットレートレジスタ_1	SPBR_1	8	H'E803400A	8、16、32
	データコントロールレジスタ_1	SPDCR_1	8	H'E803400B	8、16、32
	クロック遅延レジスタ_1	SPCKD_1	8	H'E803400C	8、16、32
	スレーブセレクトネゲート遅延レジスタ_1	SSLND_1	8	H'E803400D	8、16、32
	次アクセス遅延レジスタ_1	SPND_1	8	H'E803400E	8、16、32
	コマンドレジスタ 0_1	SPCMD0_1	16	H'E8034010	16、32
	コマンドレジスタ 1_1	SPCMD1_1	16	H'E8034012	16、32
	コマンドレジスタ 2_1	SPCMD2_1	16	H'E8034014	16、32
	コマンドレジスタ 3_1	SPCMD3_1	16	H'E8034016	16、32
	バッファコントロールレジスタ_1	SPBFCR_1	8	H'E8034018	8、16、32
	バッファデータカウントセットレジスタ_1	SPBDCR_1	16	H'E803401A	16、32
	データ長倍数設定レジスタ 0_1	SPBMUL0_1	32	H'E803401C	32
	データ長倍数設定レジスタ 1_1	SPBMUL1_1	32	H'E8034020	32
	データ長倍数設定レジスタ 2_1	SPBMUL2_1	32	H'E8034024	32
	データ長倍数設定レジスタ 3_1	SPBMUL3_1	32	H'E8034028	32
	SPI マルチ I/O バスコント ローラ	共通コントロールレジスタ	CMNCR	32	H'FFFC1C00
SSL 遅延レジスタ		SSLDR	32	H'FFFC1C04	32
ビットレート設定レジスタ		SPBCR	32	H'FFFC1C08	32
データリードコントロールレジスタ		DRCR	32	H'FFFC1C0C	32
データリードコマンド設定レジスタ		DRCMR	32	H'FFFC1C10	32
データリード拡張アドレス設定レジスタ		DREAR	32	H'FFFC1C14	32
データリードオプション設定レジスタ		DROPR	32	H'FFFC1C18	32
データリードイネーブル設定レジスタ		DRENR	32	H'FFFC1C1C	32
SPI モードコントロールレジスタ		SMCR	32	H'FFFC1C20	32
SPI モードコマンド設定レジスタ		SMCMR	32	H'FFFC1C24	32
SPI モードアドレス設定レジスタ		SMADR	32	H'FFFC1C28	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
SPI マルチ I/O バスコントロール	SPI モードオプション設定レジスタ	SMOPR	32	H'FFFC1C2C	32
	SPI モードイネーブル設定レジスタ	SMENR	32	H'FFFC1C30	32
	SPI モードリードデータレジスタ 0	SMRDR0	32	H'FFFC1C38	8、16、32
	SPI モードリードデータレジスタ 1	SMRDR1	32	H'FFFC1C3C	8、16、32
	SPI モードライトデータレジスタ 0	SMWDR0	32	H'FFFC1C40	8、16、32
	SPI モードライトデータレジスタ 1	SMWDR1	32	H'FFFC1C44	8、16、32
	共通ステータスレジスタ	CMNSR	32	H'FFFC1C48	32
I ² C バスインタフェース 3	I ² C バスコントロールレジスタ 1_0	ICCR1_0	8	H'FFFEE000	8
	I ² C バスコントロールレジスタ 2_0	ICCR2_0	8	H'FFFEE001	8
	I ² C バスモードレジスタ_0	ICMR_0	8	H'FFFEE002	8
	I ² C バスインタラプティネーブルレジスタ_0	ICIER_0	8	H'FFFEE003	8
	I ² C バスステータスレジスタ_0	ICSR_0	8	H'FFFEE004	8
	スレーブアドレスレジスタ_0	SAR_0	8	H'FFFEE005	8
	I ² C バス送信データレジスタ_0	ICDRT_0	8	H'FFFEE006	8
	I ² C バス受信データレジスタ_0	ICDRR_0	8	H'FFFEE007	8
	NF2CYC レジスタ_0	NF2CYC_0	8	H'FFFEE008	8
	I ² C バスコントロールレジスタ 1_1	ICCR1_1	8	H'FFFEE400	8
	I ² C バスコントロールレジスタ 2_1	ICCR2_1	8	H'FFFEE401	8
	I ² C バスモードレジスタ_1	ICMR_1	8	H'FFFEE402	8
	I ² C バスインタラプティネーブルレジスタ_1	ICIER_1	8	H'FFFEE403	8
	I ² C バスステータスレジスタ_1	ICSR_1	8	H'FFFEE404	8
	スレーブアドレスレジスタ_1	SAR_1	8	H'FFFEE405	8
	I ² C バス送信データレジスタ_1	ICDRT_1	8	H'FFFEE406	8
	I ² C バス受信データレジスタ_1	ICDRR_1	8	H'FFFEE407	8
	NF2CYC レジスタ_1	NF2CYC_1	8	H'FFFEE408	8
	I ² C バスコントロールレジスタ 1_2	ICCR1_2	8	H'FFFEE800	8
	I ² C バスコントロールレジスタ 2_2	ICCR2_2	8	H'FFFEE801	8
	I ² C バスモードレジスタ_2	ICMR_2	8	H'FFFEE802	8
	I ² C バスインタラプティネーブルレジスタ_2	ICIER_2	8	H'FFFEE803	8
	I ² C バスステータスレジスタ_2	ICSR_2	8	H'FFFEE804	8
	スレーブアドレスレジスタ_2	SAR_2	8	H'FFFEE805	8
	I ² C バス送信データレジスタ_2	ICDRT_2	8	H'FFFEE806	8
	I ² C バス受信データレジスタ_2	ICDRR_2	8	H'FFFEE807	8
	NF2CYC レジスタ_2	NF2CYC_2	8	H'FFFEE808	8
	I ² C バスコントロールレジスタ 1_3	ICCR1_3	8	H'FFFEEC00	8
	I ² C バスコントロールレジスタ 2_3	ICCR2_3	8	H'FFFEEC01	8
	I ² C バスモードレジスタ_3	ICMR_3	8	H'FFFEEC02	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
I ² C バスインタフェース 3	I ² C バスインタラプティブルレジスタ_3	ICIER_3	8	H'FFFEEC03	8
	I ² C バスステータスレジスタ_3	ICSR_3	8	H'FFFEEC04	8
	スレーブアドレスレジスタ_3	SAR_3	8	H'FFFEEC05	8
	I ² C バス送信データレジスタ_3	ICDRT_3	8	H'FFFEEC06	8
	I ² C バス受信データレジスタ_3	ICDRR_3	8	H'FFFEEC07	8
	NF2CYC レジスタ_3	NF2CYC_3	8	H'FFFEEC08	8
シリアルサウンド インタフェース	コントロールレジスタ_0	SSICR_0	32	H'FFFF0000	8、16、32
	ステータスレジスタ_0	SSISR_0	32	H'FFFF0004	8、16、32
	FIFO コントロールレジスタ_0	SSIFCR_0	32	H'FFFF0010	8、16、32
	FIFO ステータスレジスタ_0	SSIFSR_0	32	H'FFFF0014	8、16、32
	送信 FIFO データレジスタ_0	SSIFTDR_0	32	H'FFFF0018	32
	受信 FIFO データレジスタ_0	SSIFRDR_0	32	H'FFFF001C	32
	TDM モードレジスタ_0	SSITDMR_0	32	H'FFFF0020	8、16、32
	コントロールレジスタ_1	SSICR_1	32	H'FFFF0800	8、16、32
	ステータスレジスタ_1	SSISR_1	32	H'FFFF0804	8、16、32
	FIFO コントロールレジスタ_1	SSIFCR_1	32	H'FFFF0810	8、16、32
	FIFO ステータスレジスタ_1	SSIFSR_1	32	H'FFFF0814	8、16、32
	送信 FIFO データレジスタ_1	SSIFTDR_1	32	H'FFFF0818	32
	受信 FIFO データレジスタ_1	SSIFRDR_1	32	H'FFFF081C	32
	TDM モードレジスタ_1	SSITDMR_1	32	H'FFFF0820	8、16、32
	コントロールレジスタ_2	SSICR_2	32	H'FFFF1000	8、16、32
	ステータスレジスタ_2	SSISR_2	32	H'FFFF1004	8、16、32
	FIFO コントロールレジスタ_2	SSIFCR_2	32	H'FFFF1010	8、16、32
	FIFO ステータスレジスタ_2	SSIFSR_2	32	H'FFFF1014	8、16、32
	送信 FIFO データレジスタ_2	SSIFTDR_2	32	H'FFFF1018	32
	受信 FIFO データレジスタ_2	SSIFRDR_2	32	H'FFFF101C	32
	TDM モードレジスタ_2	SSITDMR_2	32	H'FFFF1020	8、16、32
	コントロールレジスタ_3	SSICR_3	32	H'FFFF1800	8、16、32
	ステータスレジスタ_3	SSISR_3	32	H'FFFF1804	8、16、32
	FIFO コントロールレジスタ_3	SSIFCR_3	32	H'FFFF1810	8、16、32
	FIFO ステータスレジスタ_3	SSIFSR_3	32	H'FFFF1814	8、16、32
	送信 FIFO データレジスタ_3	SSIFTDR_3	32	H'FFFF1818	32
	受信 FIFO データレジスタ_3	SSIFRDR_3	32	H'FFFF181C	32
	TDM モードレジスタ_3	SSITDMR_3	32	H'FFFF1820	8、16、32
	コントロールレジスタ_4	SSICR_4	32	H'FFFF2000	8、16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
シリアルサウンド インタフェース	ステータスレジスタ_4	SSISR_4	32	H'FFFF2004	8、16、32
	FIFO コントロールレジスタ_4	SSIFCR_4	32	H'FFFF2010	8、16、32
	FIFO ステータスレジスタ_4	SSIFSR_4	32	H'FFFF2014	8、16、32
	送信 FIFO データレジスタ_4	SSIFTDR_4	32	H'FFFF2018	32
	受信 FIFO データレジスタ_4	SSIFDR_4	32	H'FFFF201C	32
	TDM モードレジスタ_4	SSITDMR_4	32	H'FFFF2020	8、16、32
	コントロールレジスタ_5	SSICR_5	32	H'FFFF2800	8、16、32
	ステータスレジスタ_5	SSISR_5	32	H'FFFF2804	8、16、32
	FIFO コントロールレジスタ_5	SSIFCR_5	32	H'FFFF2810	8、16、32
	FIFO ステータスレジスタ_5	SSIFSR_5	32	H'FFFF2814	8、16、32
	送信 FIFO データレジスタ_5	SSIFTDR_5	32	H'FFFF2818	32
	受信 FIFO データレジスタ_5	SSIFDR_5	32	H'FFFF281C	32
	TDM モードレジスタ_5	SSITDMR_5	32	H'FFFF2820	8、16、32
FIFO 付きクロック同期 シリアル I/O	モードレジスタ	SIMDR	16	H'FFFF4800	16
	クロックセレクトレジスタ	SISCR	16	H'FFFF4802	16
	送信データアサインレジスタ	SITDAR	16	H'FFFF4804	16
	受信データアサインレジスタ	SIRDAR	16	H'FFFF4806	16
	コントロールレジスタ	SICTR	16	H'FFFF480C	16
	FIFO コントロールレジスタ	SIFCTR	16	H'FFFF4810	16
	ステータスレジスタ	SISTR	16	H'FFFF4814	16
	割り込み許可レジスタ	SIIER	16	H'FFFF4816	16
	送信データレジスタ	SITDR	32	H'FFFF4820	8、16、32
	受信データレジスタ	SIRDR	32	H'FFFF4824	8、16、32
コントローラエリア ネットワーク	マスタコントロールレジスタ_0	MCR_0	16	H'FFFE5000	16
	ジェネラルステータスレジスタ_0	GSR_0	16	H'FFFE5002	16
	ビットコンフィギュレーションレジスタ_1_0	BCR1_0	16	H'FFFE5004	16
	ビットコンフィギュレーションレジスタ_0_0	BCR0_0	16	H'FFFE5006	16
	インタラプトリクエストレジスタ_0	IRR_0	16	H'FFFE5008	16
	インタラプトマスクレジスタ_0	IMR_0	16	H'FFFE500A	16
	送信/受信エラーカウンタ_0	TEC_REC_0	16	H'FFFE500C	8、16
	送信待ちレジスタ_1_0	TXPR1_0	16	H'FFFE5020	32
	送信待ちレジスタ_0_0	TXPR0_0	16	H'FFFE5022	16
	送信キャンセルレジスタ_1_0	TXCR1_0	16	H'FFFE5028	16
	送信キャンセルレジスタ_0_0	TXCR0_0	16	H'FFFE502A	16
	送信アクノリッジレジスタ_1_0	TXACK1_0	16	H'FFFE5030	16
	送信アクノリッジレジスタ_0_0	TXACK0_0	16	H'FFFE5032	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
コントローラエリア ネットワーク	アボートアクノリッジレジスタ 1_0	ABACK1_0	16	H'FFFE5038	16
	アボートアクノリッジレジスタ 0_0	ABACK0_0	16	H'FFFE503A	16
	データフレーム受信完了レジスタ 1_0	RXPR1_0	16	H'FFFE5040	16
	データフレーム受信完了レジスタ 0_0	RXPR0_0	16	H'FFFE5042	16
	リモートフレーム受信完了レジスタ 1_0	RFPR1_0	16	H'FFFE5048	16
	リモートフレーム受信完了レジスタ 0_0	RFPR0_0	16	H'FFFE504A	16
	メールボックスインタラプトマスクレジスタ 1_0	MBIMR1_0	16	H'FFFE5050	16
	メールボックスインタラプトマスクレジスタ 0_0	MBIMR0_0	16	H'FFFE5052	16
	未読メッセージステータスレジスタ 1_0	UMSR1_0	16	H'FFFE5058	16
	未読メッセージステータスレジスタ 0_0	UMSR0_0	16	H'FFFE505A	16
	タイマトリガコントロールレジスタ 0_0	TTCR0_0	16	H'FFFE5080	16
	サイクルマキシマム / Tx_Enable_Window レジスタ_0	CMAX_TEW_0	16	H'FFFE5084	16
	リファレンストリガオフセットレジスタ_0	RFTROFF_0	16	H'FFFE5086	16
	タイムステータスレジスタ_0	TSR_0	16	H'FFFE5088	16
	サイクルカウンタレジスタ_0	CCR_0	16	H'FFFE508A	16
	タイマカウンタレジスタ_0	TCNTR_0	16	H'FFFE508C	16
	サイクルタイムレジスタ_0	CYCTR_0	16	H'FFFE5090	16
	リファレンスマークレジスタ_0	RFMK_0	16	H'FFFE5094	16
	タイムコンペアマッチレジスタ 0_0	TCMR0_0	16	H'FFFE5098	16
	タイムコンペアマッチレジスタ 1_0	TCMR1_0	16	H'FFFE509C	16
	タイムコンペアマッチレジスタ 2_0	TCMR2_0	16	H'FFFE50A0	16
	送信トリガタイムセレクトレジスタ_0	TTTSEL_0	16	H'FFFE50A4	16
	メールボックス n コントロール 0H_0 (n=0-31)	MBn_CONTROL0_H_0 (n=0-31)	16	H'FFFE5100 + n×32	16、32
	メールボックス n コントロール 0L_0 (n=0-31)	MBn_CONTROL0_L_0 (n=0-31)	16	H'FFFE5102 + n×32	16
	メールボックス n ローカルアクセプタンスフィルタマスク 0_0 (n=0-31)	MBn_LAFM0_0 (n=0-31)	16	H'FFFE5104 + n×32	16、32
	メールボックス n ローカルアクセプタンスフィルタマスク 1_0 (n=0-31)	MBn_LAFM1_0 (n=0-31)	16	H'FFFE5106 + n×32	16
	メールボックス n データ 01_0 (n=0-31)	MBn_DATA_01_0 (n=0-31)	16	H'FFFE5108 + n×32	8、16、32
	メールボックス n データ 23_0 (n=0-31)	MBn_DATA_23_0 (n=0-31)	16	H'FFFE510A + n×32	8、16
	メールボックス n データ 45_0 (n=0-31)	MBn_DATA_45_0 (n=0-31)	16	H'FFFE510C + n×32	8、16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
コントローラエリア ネットワーク	メールボックスnデータ67_0 (n=0~31)	MBn_DATA_67_0 (n=0~31)	16	H'FFFE510E + n×32	8, 16
	メールボックスnコントロール1_0 (n=0~31)	MBn_CONTROL1_0 (n=0~31)	16	H'FFFE5110 + n×32	8, 16
	メールボックスnタイムスタンプ_0 (n=0~15, 30, 31)	MBn_TIMESTAMP_0 (n=0~15, 30, 31)	16	H'FFFE5112 + n×32	16
	メールボックスnトリガタイム_0 (n=24~30)	MBn_TTT_0 (n=24~30)	16	H'FFFE5114 + n×32	16
	メールボックスnTTコントロール_0 (n=24~29)	MBn_TTCNTROL_0 (n=24~29)	16	H'FFFE5116 + n×32	16
	マスタコントロールレジスタ_1	MCR_1	16	H'FFFE5800	16
	ジェネラルステータスレジスタ_1	GSR_1	16	H'FFFE5802	16
	ビットコンフィギュレーションレジスタ1_1	BCR1_1	16	H'FFFE5804	16
	ビットコンフィギュレーションレジスタ0_1	BCR0_1	16	H'FFFE5806	16
	インタラプトリクエストレジスタ_1	IRR_1	16	H'FFFE5808	16
	インタラプトマスクレジスタ_1	IMR_1	16	H'FFFE580A	16
	送信/受信エラーカウンタ_1	TEC_REC_1	16	H'FFFE580C	8, 16
	送信待ちレジスタ1_1	TXPR1_1	16	H'FFFE5820	32
	送信待ちレジスタ0_1	TXPR0_1	16	H'FFFE5822	16
	送信キャンセルレジスタ1_1	TXCR1_1	16	H'FFFE5828	16
	送信キャンセルレジスタ0_1	TXCR0_1	16	H'FFFE582A	16
	送信アクリッジレジスタ1_1	TXACK1_1	16	H'FFFE5830	16
	送信アクリッジレジスタ0_1	TXACK0_1	16	H'FFFE5832	16
	アボートアクリッジレジスタ1_1	ABACK1_1	16	H'FFFE5838	16
	アボートアクリッジレジスタ0_1	ABACK0_1	16	H'FFFE583A	16
	データフレーム受信完了レジスタ1_1	RXPR1_1	16	H'FFFE5840	16
	データフレーム受信完了レジスタ0_1	RXPR0_1	16	H'FFFE5842	16
	リモートフレーム受信完了レジスタ1_1	RFPR1_1	16	H'FFFE5848	16
	リモートフレーム受信完了レジスタ0_1	RFPR0_1	16	H'FFFE584A	16
	メールボックスインタラプトマスクレジスタ1_1	MBIMR1_1	16	H'FFFE5850	16
	メールボックスインタラプトマスクレジスタ0_1	MBIMR0_1	16	H'FFFE5852	16
	未読メッセージステータスレジスタ1_1	UMSR1_1	16	H'FFFE5858	16
	未読メッセージステータスレジスタ0_1	UMSR0_1	16	H'FFFE585A	16
	タイマトリガコントロールレジスタ0_1	TTCR0_1	16	H'FFFE5880	16
	サイクルマキシマム / Tx_Enable_Window レジスタ_1	CMAX_TEW_1	16	H'FFFE5884	16
	リファレンストリガオフセットレジスタ_1	RFTR0FF_1	16	H'FFFE5886	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
コントローラエリア ネットワーク	タイムステータスレジスタ_1	TSR_1	16	H'FFFE5888	16
	サイクルカウンタレジスタ_1	CCR_1	16	H'FFFE588A	16
	タイマカウンタレジスタ_1	TCNTR_1	16	H'FFFE588C	16
	サイクルタイムレジスタ_1	CYCTR_1	16	H'FFFE5890	16
	リファレンスマークレジスタ_1	RFMK_1	16	H'FFFE5894	16
	タイムコンペアマッチレジスタ 0_1	TCMR0_1	16	H'FFFE5898	16
	タイムコンペアマッチレジスタ 1_1	TCMR1_1	16	H'FFFE589C	16
	タイムコンペアマッチレジスタ 2_1	TCMR2_1	16	H'FFFE58A0	16
	送信トリガタイムセレクトレジスタ_1	TTTSEL_1	16	H'FFFE58A4	16
	メールボックス n コントロール 0H_1 (n=0-31)	MBn_CONTROL0_H_1 (n=0-31)	16	H'FFFE5900 + nx32	16、32
	メールボックス n コントロール 0L_1 (n=0-31)	MBn_CONTROL0_L_1 (n=0-31)	16	H'FFFE5902 + nx32	16
	メールボックス n ローカルアクセプタンスフィルタマスク 0_1 (n=0-31)	MBn_LAFM0_1 (n=0-31)	16	H'FFFE5904 + nx32	16、32
	メールボックス n ローカルアクセプタンスフィルタマスク 1_1 (n=0-31)	MBn_LAFM1_1 (n=0-31)	16	H'FFFE5906 + nx32	16
	メールボックス n データ 01_1 (n=0-31)	MBn_DATA_01_1 (n=0-31)	16	H'FFFE5908 + nx32	8、16、32
	メールボックス n データ 23_1 (n=0-31)	MBn_DATA_23_1 (n=0-31)	16	H'FFFE590A + nx32	8、16
	メールボックス n データ 45_1 (n=0-31)	MBn_DATA_45_1 (n=0-31)	16	H'FFFE590C + nx32	8、16、32
	メールボックス n データ 67_1 (n=0-31)	MBn_DATA_67_1 (n=0-31)	16	H'FFFE590E + nx32	8、16
	メールボックス n コントロール 1_1 (n=0-31)	MBn_CONTROL1_1 (n=0-31)	16	H'FFFE5910 + nx32	8、16
	メールボックス n タイムスタンプ_1 (n=0-15、30、31)	MBn_TIMESTAMP_1 (n=0-15、30、31)	16	H'FFFE5912 + nx32	16
	メールボックス n トリガタイム_1 (n=24-30)	MBn_TTT_1 (n=24-30)	16	H'FFFE5914 + nx32	16
	メールボックス n TT コントロール_1 (n=24-29)	MBn_TTCONTROL_1 (n=24-29)	16	H'FFFE5916 + nx32	16
	マスタコントロールレジスタ_2	MCR_2	16	H'FFFE5918	16
	ジェネラルステータスレジスタ_2	GSR_2	16	H'FFFE591A	16
	ビットコンフィギュレーションレジスタ 1_2	BCR1_2	16	H'FFFE591C	16
	ビットコンフィギュレーションレジスタ 0_2	BCR0_2	16	H'FFFE591E	16
	インタラプトリクエストレジスタ_2	IRR_2	16	H'FFFE5920	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
コントローラエリア ネットワーク	インタラプトマスクレジスタ ₂	IMR ₂	16	H'FFFED80A	16
	送信/受信エラーカウンタ ₂	TEC_REC ₂	16	H'FFFED80C	8、16
	送信待ちレジスタ _{1_2}	TXPR1 ₂	16	H'FFFED820	32
	送信待ちレジスタ _{0_2}	TXPR0 ₂	16	H'FFFED822	16
	送信キャンセルレジスタ _{1_2}	TXCR1 ₂	16	H'FFFED828	16
	送信キャンセルレジスタ _{0_2}	TXCR0 ₂	16	H'FFFED82A	16
	送信アクノリッジレジスタ _{1_2}	TXACK1 ₂	16	H'FFFED830	16
	送信アクノリッジレジスタ _{0_2}	TXACK0 ₂	16	H'FFFED832	16
	アボートアクノリッジレジスタ _{1_2}	ABACK1 ₂	16	H'FFFED838	16
	アボートアクノリッジレジスタ _{0_2}	ABACK0 ₂	16	H'FFFED83A	16
	データフレーム受信完了レジスタ _{1_2}	RXPR1 ₂	16	H'FFFED840	16
	データフレーム受信完了レジスタ _{0_2}	RXPR0 ₂	16	H'FFFED842	16
	リモートフレーム受信完了レジスタ _{1_2}	RFPR1 ₂	16	H'FFFED848	16
	リモートフレーム受信完了レジスタ _{0_2}	RFPR0 ₂	16	H'FFFED84A	16
	メールボックスインタラプトマスクレジスタ _{1_2}	MBIMR1 ₂	16	H'FFFED850	16
	メールボックスインタラプトマスクレジスタ _{0_2}	MBIMR0 ₂	16	H'FFFED852	16
	未読メッセージステータスレジスタ _{1_2}	UMSR1 ₂	16	H'FFFED858	16
	未読メッセージステータスレジスタ _{0_2}	UMSR0 ₂	16	H'FFFED85A	16
	タイマトリガコントロールレジスタ _{0_2}	TTCR0 ₂	16	H'FFFED880	16
	サイクルマキシマム / Tx_Enable_Window レジスタ ₂	CMAX_TEW ₂	16	H'FFFED884	16
	リファレンストリガオフセットレジスタ ₂	RFTROFF ₂	16	H'FFFED886	16
	タイマステータスレジスタ ₂	TSR ₂	16	H'FFFED888	16
	サイクルカウンタレジスタ ₂	CCR ₂	16	H'FFFED88A	16
	タイマカウンタレジスタ ₂	TCNTR ₂	16	H'FFFED88C	16
	サイクルタイムレジスタ ₂	CYCTR ₂	16	H'FFFED890	16
	リファレンスマークレジスタ ₂	RFMK ₂	16	H'FFFED894	16
	タイムコンペアマッチレジスタ _{0_2}	TCMR0 ₂	16	H'FFFED898	16
	タイムコンペアマッチレジスタ _{1_2}	TCMR1 ₂	16	H'FFFED89C	16
	タイムコンペアマッチレジスタ _{2_2}	TCMR2 ₂	16	H'FFFED8A0	16
	送信トリガタイムセレクトレジスタ ₂	TTTSEL ₂	16	H'FFFED8A4	16
	メールボックスnコントロール0H ₂ (n=0-31)	MBn_CONTROL0_H ₂ (n=0-31)	16	H'FFFED900 + n×32	16、32
	メールボックスnコントロール0L ₂ (n=0-31)	MBn_CONTROL0_L ₂ (n=0-31)	16	H'FFFED902 + n×32	16
	メールボックスnローカルアクセプタンスフィルタマスク _{0_2} (n=0-31)	MBn_LAFM0 ₂ (n=0-31)	16	H'FFFED904 + n×32	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
コントローラエリア ネットワーク	メールボックス n ローカルアクセプタンスフィルタマスク 1_2 (n=0-31)	MBn_LAFM1_2 (n=0-31)	16	H'FFFED906 + n×32	16
	メールボックス n データ 01_2 (n=0-31)	MBn_DATA_01_2 (n=0-31)	16	H'FFFED908 + n×32	8、16、32
	メールボックス n データ 23_2 (n=0-31)	MBn_DATA_23_2 (n=0-31)	16	H'FFFED90A + n×32	8、16
	メールボックス n データ 45_2 (n=0-31)	MBn_DATA_45_2 (n=0-31)	16	H'FFFED90C + n×32	8、16、32
	メールボックス n データ 67_2 (n=0-31)	MBn_DATA_67_2 (n=0-31)	16	H'FFFED90E + n×32	8、16
	メールボックス n コントロール 1_2 (n=0-31)	MBn_CONTROL1_2 (n=0-31)	16	H'FFFED910 + n×32	8、16
	メールボックス n タイムスタンプ_2 (n=0-15、30、31)	MBn_TIMESTAMP_2 (n=0-15、30、31)	16	H'FFFED912 + n×32	16
	メールボックス n トリガタイム_2 (n=24-30)	MBn_TTT_2 (n=24-30)	16	H'FFFED914 + n×32	16
	メールボックス n TT コントロール_2 (n=24-29)	MBn_TTCONTROL_2 (n=24-29)	16	H'FFFED916 + n×32	16
IEBus コントローラ	IEBus コントロールレジスタ	IECTR	8	H'FFFEF000	8
	IEBus コマンドレジスタ	IECMR	8	H'FFFEF001	8
	IEBus マスタコントロールレジスタ	IEMCR	8	H'FFFEF002	8
	IEBus 自局アドレスレジスタ 1	IEAR1	8	H'FFFEF003	8
	IEBus 自局アドレスレジスタ 2	IEAR2	8	H'FFFEF004	8
	IEBus スレーブアドレス設定レジスタ 1	IESA1	8	H'FFFEF005	8
	IEBus スレーブアドレス設定レジスタ 2	IESA2	8	H'FFFEF006	8
	IEBus 送信電文長レジスタ	IETBFL	8	H'FFFEF007	8
	IEBus 受信マスタアドレスレジスタ 1	IEMA1	8	H'FFFEF009	8
	IEBus 受信マスタアドレスレジスタ 2	IEMA2	8	H'FFFEF00A	8
	IEBus 受信コントロールフィールドレジスタ	IERCTL	8	H'FFFEF00B	8
	IEBus 受信電文長レジスタ	IERBFL	8	H'FFFEF00C	8
	IEBus ロックアドレスレジスタ 1	IELA1	8	H'FFFEF00E	8
	IEBus ロックアドレスレジスタ 2	IELA2	8	H'FFFEF00F	8
	IEBus ゼネラルフラグレジスタ	IEFLG	8	H'FFFEF010	8
	IEBus 送信ステータスレジスタ	IETSR	8	H'FFFEF011	8
	IEBus 送信割り込み許可レジスタ	IEIET	8	H'FFFEF012	8
IEBus 受信ステータスレジスタ	IEISR	8	H'FFFEF014	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
IEBus コントローラ	IEBus 受信割り込み許可レジスタ	IEIER	8	H'FFFEF015	8
	IEBus クロック選択レジスタ	IECKSR	8	H'FFFEF018	8
	IEBus 送信データバッファ 001 - 128	IETB001 - IETB128	8	H'FFFEF100 - H'FFFEF17F	8
	IEBus 受信データバッファ 001 - 128	IERB001 - IERB128	8	H'FFFEF200 - H'FFFEF27F	8
ルネサス SPDIF インタフェース	送信モジュールチャンネル 1 オーディオレジスタ	TLCA	32	H'E8012000	32
	送信モジュールチャンネル 2 オーディオレジスタ	TRCA	32	H'E8012004	32
	送信モジュールチャンネル 1 ステータスレジスタ	TLCS	32	H'E8012008	32
	送信モジュールチャンネル 2 ステータスレジスタ	TRCS	32	H'E801200C	32
	送信ユーザデータレジスタ	TUI	32	H'E8012010	32
	受信モジュールチャンネル 1 オーディオレジスタ	RLCA	32	H'E8012014	32
	受信モジュールチャンネル 2 オーディオレジスタ	RRCA	32	H'E8012018	32
	受信モジュールチャンネル 1 ステータスレジスタ	RLCS	32	H'E801201C	32
	受信モジュールチャンネル 2 ステータスレジスタ	RRCS	32	H'E8012020	32
	受信ユーザデータレジスタ	RUI	32	H'E8012024	32
	コントロールレジスタ	CTRL	32	H'E8012028	32
	ステータスレジスタ	STAT	32	H'E801202C	32
	送信モジュール DMA オーディオデータレジスタ	TDAD	32	H'E8012030	32
	受信モジュール DMA オーディオデータレジスタ	RDAD	32	H'E8012034	32
CD-ROM デコーダ	イネーブルコントロールレジスタ	CROMEN	8	H'E8005000	8
	同期コードの同期制御コントロールレジスタ	CROMSY0	8	H'E8005001	8
	デコーディングモードコントロールレジスタ	CROMCTL0	8	H'E8005002	8
	EDC、ECC チェック制御コントロールレジスタ	CROMCTL1	8	H'E8005003	8
	デコード処理自動停止コントロールレジスタ	CROMCTL3	8	H'E8005005	8
	デコードオプション設定コントロールレジスタ	CROMCTL4	8	H'E8005006	8
	HEAD20 - 22 表示コントロールレジスタ	CROMCTL5	8	H'E8005007	8
	同期コードステータスレジスタ	CROMST0	8	H'E8005008	8
	ECC 後のヘッダに対するエラーステータスレジスタ	CROMST1	8	H'E8005009	8
	ECC 後のサブヘッダに対するエラーステータスレジスタ	CROMST3	8	H'E800500B	8
	ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ	CROMST4	8	H'E800500C	8
	モード判定結果とリンクセクタ検出ステータスレジスタ	CROMST5	8	H'E800500D	8
	ECC、EDC エラーステータスレジスタ	CROMST6	8	H'E800500E	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
CD-ROM デコーダ	バッファステータスレジスタ	CBUFST0	8	H'E8005014	8
	デコード中止要因ステータスレジスタ	CBUFST1	8	H'E8005015	8
	バッファオーバーフローステータスレジスタ	CBUFST2	8	H'E8005016	8
	ECC 訂正前ヘッダ部-MINUTES データレジスタ	HEAD00	8	H'E8005018	8
	ECC 訂正前ヘッダ部-SECONDS データレジスタ	HEAD01	8	H'E8005019	8
	ECC 訂正前ヘッダ部-FRAMES (1/75 秒) データレジスタ	HEAD02	8	H'E800501A	8
	ECC 訂正前ヘッダ部-MODE データレジスタ	HEAD03	8	H'E800501B	8
	ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-16) データ レジスタ	SHEAD00	8	H'E800501C	8
	ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-17) データ レジスタ	SHEAD01	8	H'E800501D	8
	ECC 訂正前サブヘッダ部-サブモード (BYTE-18) データ レジスタ	SHEAD02	8	H'E800501E	8
	ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データ レジスタ	SHEAD03	8	H'E800501F	8
	ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データ レジスタ	SHEAD04	8	H'E8005020	8
	ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-21) データ レジスタ	SHEAD05	8	H'E8005021	8
	ECC 訂正前サブヘッダ部-サブモード (BYTE-22) データ レジスタ	SHEAD06	8	H'E8005022	8
	ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データ レジスタ	SHEAD07	8	H'E8005023	8
	ECC 訂正後ヘッダ部-MINUTES データレジスタ	HEAD20	8	H'E8005024	8
	ECC 訂正後ヘッダ部-SECONDS データレジスタ	HEAD21	8	H'E8005025	8
	ECC 訂正後ヘッダ部-FRAMES (1/75 秒) データレジスタ	HEAD22	8	H'E8005026	8
	ECC 訂正後ヘッダ部-MODE データレジスタ	HEAD23	8	H'E8005027	8
	ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データ レジスタ	SHEAD20	8	H'E8005028	8
	ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-17) データ レジスタ	SHEAD21	8	H'E8005029	8
	ECC 訂正後サブヘッダ部-サブモード (BYTE-18) データ レジスタ	SHEAD22	8	H'E800502A	8
	ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データ レジスタ	SHEAD23	8	H'E800502B	8
	ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データ レジスタ	SHEAD24	8	H'E800502C	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
CD-ROM デコーダ	ECC 訂正後サブヘッダ部-チャネルナンバ (BYTE-21) データ レジスタ	SHEAD25	8	H'E800502D	8
	ECC 訂正後サブヘッダ部-サブモード (BYTE-22) データ レジスタ	SHEAD26	8	H'E800502E	8
	ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データ レジスタ	SHEAD27	8	H'E800502F	8
	自動バッファリング設定コントロールレジスタ	CBUFCTL0	8	H'E8005040	8
	自動バッファリング開始セクタ設定-MINUTES コントロール レジスタ	CBUFCTL1	8	H'E8005041	8
	自動バッファリング開始セクタ設定-SECONDS コントロール レジスタ	CBUFCTL2	8	H'E8005042	8
	自動バッファリング開始セクタ設定-FRAMES コントロール レジスタ	CBUFCTL3	8	H'E8005043	8
	ISY 割り込み要因マスクコントロールレジスタ	CROMSTOM	8	H'E8005045	8
	CD-ROM デコーダモジュールリセットコントロールレジスタ	ROMDECRST	8	H'E8005100	8
	CD-ROM デコーダモジュールリセットステータスレジスタ	RSTSTAT	8	H'E8005101	8
	シリアルサウンドインタフェースデータコントロールレジスタ	SSI	8	H'E8005102	8
	割り込みフラグレジスタ	INTHOLD	8	H'E8005108	8
	割り込み要因マスクコントロールレジスタ	INHINT	8	H'E8005109	8
	CD-ROM デコーダストリームデータ入力レジスタ	STRMDIN0	16	H'E8005200	16、32*
	CD-ROM デコーダストリームデータ入力レジスタ	STRMDIN2	16	H'E8005202	16
CD-ROM デコーダストリームデータ出力レジスタ	STRMDOUT0	16	H'E8005204	16、32	
A/D 変換器	A/D データレジスタ A	ADDRA	16	H'E8005800	16
	A/D データレジスタ B	ADDRB	16	H'E8005802	16
	A/D データレジスタ C	ADDRC	16	H'E8005804	16
	A/D データレジスタ D	ADDRD	16	H'E8005806	16
	A/D データレジスタ E	ADDRE	16	H'E8005808	16
	A/D データレジスタ F	ADDRF	16	H'E800580A	16
	A/D データレジスタ G	ADDRG	16	H'E800580C	16
	A/D データレジスタ H	ADDRH	16	H'E800580E	16
	A/D コントロール/ステータスレジスタ	ADCSR	16	H'E8005820	16
NAND フラッシュメモリ コントローラ	共通コントロールレジスタ	FLCMNCR	32	H'FFFF4000	32
	コマンド制御レジスタ	FLCMDCR	32	H'FFFF4004	32
	コマンドコードレジスタ	FLCMCDR	32	H'FFFF4008	32
	アドレスレジスタ	FLADR	32	H'FFFF400C	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
NAND フラッシュメモリ コントローラ	アドレスレジスタ 2	FLADR2	32	H'FFFF403C	32
	データレジスタ	FLDATAR	32	H'FFFF4010	32
	データカウンタレジスタ	FLDTCNTR	32	H'FFFF4014	32
	割り込み DMA 制御レジスタ	FLINTDMACR	32	H'FFFF4018	32
	レディビジータイムアウト設定レジスタ	FLBSYTMR	32	H'FFFF401C	32
	レディビジータイムアウトカウンタ	FLBSYCNT	32	H'FFFF4020	32
	データ FIFO レジスタ	FLDTFIFO	32	H'FFFF4050	32
	管理コード FIFO レジスタ	FLECFIFO	32	H'FFFF4060	32
	転送制御レジスタ	FLTRCR	8	H'FFFF402C	8
	バス占有期間設定レジスタ	FLHOLDRCR	32	H'FFFF4038	32
USB2.0 ホスト/ファンクション モジュール	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	H'E8010000	16
	CPU バスウェイト設定レジスタ	BUSWAIT	16	H'E8010002	16
	システムコンフィギュレーションステータスレジスタ	SYSSTS	16	H'E8010004	16
	デバイスステートコントロールレジスタ	DVSTCTR	16	H'E8010008	16
	テストモードレジスタ	TESTMODE	16	H'E801000C	16
	DMA0-FIFO バスコンフィギュレーションレジスタ	D0FBCFG	16	H'E8010010	16
	DMA1-FIFO バスコンフィギュレーションレジスタ	D1FBCFG	16	H'E8010012	16
	CFIFO ポートレジスタ	CFIFO	32	H'E8010014	8、16、32
	D0FIFO ポートレジスタ	D0FIFO	32	H'E8010018	8、16、32
	D1FIFO ポートレジスタ	D1FIFO	32	H'E801001C	8、16、32
	CFIFO ポート選択レジスタ	CFIFOSEL	16	H'E8010020	16
	CFIFO ポートコントロールレジスタ	CFIFOCTR	16	H'E8010022	16
	D0FIFO ポート選択レジスタ	D0FIFOSEL	16	H'E8010028	16
	D0FIFO ポートコントロールレジスタ	D0FIFOCTR	16	H'E801002A	16
	D1FIFO ポート選択レジスタ	D1FIFOSEL	16	H'E801002C	16
	D1FIFO ポートコントロールレジスタ	D1FIFOCTR	16	H'E801002E	16
	割り込み許可レジスタ 0	INTENB0	16	H'E8010030	16
	割り込み許可レジスタ 1	INTENB1	16	H'E8010032	16
	BRDY 割り込み許可レジスタ	BRDYENB	16	H'E8010036	16
	NRDY 割り込み許可レジスタ	NRDYENB	16	H'E8010038	16
	BEMP 割り込み許可レジスタ	BEMPENB	16	H'E801003A	16
	SOF 出力コンフィギュレーションレジスタ	SOFCFG	16	H'E801003C	16
	割り込みステータスレジスタ 0	INTSTS0	16	H'E8010040	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
USB2.0 ホスト / ファンクション モジュール	割り込みステータスレジスタ 1	INTSTS1	16	H'E8010042	16
	BRDY 割り込みステータスレジスタ	BRDYSTS	16	H'E8010046	16
	NRDY 割り込みステータスレジスタ	NRDYSTS	16	H'E8010048	16
	BEMP 割り込みステータスレジスタ	BEMPSTS	16	H'E801004A	16
	フレームナンバーレジスタ	FRMNUM	16	H'E801004C	16
	μフレームナンバーレジスタ	UFRMNUM	16	H'E801004E	16
	USB アドレスレジスタ	USBADDR	16	H'E8010050	16
	USB リクエストタイプレジスタ	USBREQ	16	H'E8010054	16
	USB リクエストバリュージスタ	USBVAL	16	H'E8010056	16
	USB リクエストインデックスレジスタ	USBINDX	16	H'E8010058	16
	USB リクエストレンクスレジスタ	USBLENG	16	H'E801005A	16
	DCP コンフィギュレーションレジスタ	DCPCFG	16	H'E801005C	16
	DCP マックスパケットサイズレジスタ	DCPMAXP	16	H'E801005E	16
	DCP コントロールレジスタ	DCPCTR	16	H'E8010060	16
	パイプウィンドウ選択レジスタ	PIPESEL	16	H'E8010064	16
	パイプコンフィギュレーションレジスタ	PIPECFG	16	H'E8010068	16
	パイプバッファ指定レジスタ	PIPEBUF	16	H'E801006A	16
	パイプマックスパケットサイズレジスタ	PEMAXP	16	H'E801006C	16
	パイプ周期制御レジスタ	PIPEPERI	16	H'E801006E	16
	パイプ 1 コントロールレジスタ	PIPE1CTR	16	H'E8010070	16
	パイプ 2 コントロールレジスタ	PIPE2CTR	16	H'E8010072	16
	パイプ 3 コントロールレジスタ	PIPE3CTR	16	H'E8010074	16
	パイプ 4 コントロールレジスタ	PIPE4CTR	16	H'E8010076	16
	パイプ 5 コントロールレジスタ	PIPE5CTR	16	H'E8010078	16
	パイプ 6 コントロールレジスタ	PIPE6CTR	16	H'E801007A	16
	パイプ 7 コントロールレジスタ	PIPE7CTR	16	H'E801007C	16
	パイプ 8 コントロールレジスタ	PIPE8CTR	16	H'E801007E	16
	パイプ 9 コントロールレジスタ	PIPE9CTR	16	H'E8010080	16
	パイプ 1 トランザクションカウンタインエーブルレジスタ	PIPE1TRE	16	H'E8010090	16
	パイプ 1 トランザクションカウンタレジスタ	PIPE1TRN	16	H'E8010092	16
	パイプ 2 トランザクションカウンタインエーブルレジスタ	PIPE2TRE	16	H'E8010094	16
	パイプ 2 トランザクションカウンタレジスタ	PIPE2TRN	16	H'E8010096	16
	パイプ 3 トランザクションカウンタインエーブルレジスタ	PIPE3TRE	16	H'E8010098	16
パイプ 3 トランザクションカウンタレジスタ	PIPE3TRN	16	H'E801009A	16	
パイプ 4 トランザクションカウンタインエーブルレジスタ	PIPE4TRE	16	H'E801009C	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
USB2.0 ホスト/ファンクション モジュール	パイプ4 トランザクションカウンタレジスタ	PIPE4TRN	16	H'E801009E	16
	パイプ5 トランザクションカウンタインーブルレジスタ	PIPE5TRE	16	H'E80100A0	16
	パイプ5 トランザクションカウンタレジスタ	PIPE5TRN	16	H'E80100A2	16
	デバイスアドレス0 コンフィグレーションレジスタ	DEVADD0	16	H'E80100D0	16
	デバイスアドレス1 コンフィグレーションレジスタ	DEVADD1	16	H'E80100D2	16
	デバイスアドレス2 コンフィグレーションレジスタ	DEVADD2	16	H'E80100D4	16
	デバイスアドレス3 コンフィグレーションレジスタ	DEVADD3	16	H'E80100D6	16
	デバイスアドレス4 コンフィグレーションレジスタ	DEVADD4	16	H'E80100D8	16
	デバイスアドレス5 コンフィグレーションレジスタ	DEVADD5	16	H'E80100DA	16
	デバイスアドレス6 コンフィグレーションレジスタ	DEVADD6	16	H'E80100DC	16
	デバイスアドレス7 コンフィグレーションレジスタ	DEVADD7	16	H'E80100DE	16
	デバイスアドレス8 コンフィグレーションレジスタ	DEVADD8	16	H'E80100E0	16
	デバイスアドレス9 コンフィグレーションレジスタ	DEVADD9	16	H'E80100E2	16
	デバイスアドレスA コンフィグレーションレジスタ	DEVADDA	16	H'E80100E4	16
デジタルビデオデコーダ	ADC 制御レジスタ 1	ADCCR1	16	H'FFFFFFA008	16
	タイミング生成制御レジスタ (1)	TGCR1	16	H'FFFFFFA00E	16
	タイミング生成制御レジスタ (2)	TGCR2	16	H'FFFFFFA010	16
	タイミング生成制御レジスタ (3)	TGCR3	16	H'FFFFFFA012	16
	同期分離制御レジスタ (1)	SYNSCR1	16	H'FFFFFFA01A	16
	同期分離制御レジスタ (2)	SYNSCR2	16	H'FFFFFFA01C	16
	同期分離制御レジスタ (3)	SYNSCR3	16	H'FFFFFFA01E	16
	同期分離制御レジスタ (4)	SYNSCR4	16	H'FFFFFFA020	16
	同期分離制御レジスタ (5)	SYNSCR5	16	H'FFFFFFA022	16
	水平 AFC 制御レジスタ (1)	HAFCCR1	16	H'FFFFFFA024	16
	水平 AFC 制御レジスタ (2)	HAFCCR2	16	H'FFFFFFA026	16
	水平 AFC 制御レジスタ (3)	HAFCCR3	16	H'FFFFFFA028	16
	垂直カウントダウン制御レジスタ (1)	VCDWCR1	16	H'FFFFFFA02A	16
	デジタルランプ制御レジスタ (1)	DCPCR1	16	H'FFFFFFA030	16
	デジタルランプ制御レジスタ (2)	DCPCR2	16	H'FFFFFFA032	16
	デジタルランプ制御レジスタ (3)	DCPCR3	16	H'FFFFFFA034	16
	デジタルランプ制御レジスタ (4)	DCPCR4	16	H'FFFFFFA036	16
	デジタルランプ制御レジスタ (5)	DCPCR5	16	H'FFFFFFA038	16
	デジタルランプ制御レジスタ (6)	DCPCR6	16	H'FFFFFFA03A	16
	デジタルランプ制御レジスタ (7)	DCPCR7	16	H'FFFFFFA03C	16
デジタルランプ制御レジスタ (8)	DCPCR8	16	H'FFFFFFA03E	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
デジタルビデオデコーダ	ノイズ検出制御レジスタ	NSDCR	16	H'FFFFA040	16
	バーストロック制御、クロマデコード制御レジスタ	BTLCR	16	H'FFFFA042	16
	バーストゲートパルス制御レジスタ	BTGPCR	16	H'FFFFA044	16
	ACC 制御レジスタ (1)	ACCCR1	16	H'FFFFA046	16
	ACC 制御レジスタ (2)	ACCCR2	16	H'FFFFA048	16
	ACC 制御レジスタ (3)	ACCCR3	16	H'FFFFA04A	16
	TINT 制御レジスタ	TINTCR	16	H'FFFFA04C	16
	Y/C 遅延制御、クロマデコード制御レジスタ	YCDCR	16	H'FFFFA04E	16
	AGC 制御レジスタ (1)	AGCCR1	16	H'FFFFA050	16
	AGC 制御レジスタ (2)	AGCCR2	16	H'FFFFA052	16
	ピークリミット制御レジスタ	PKLIMITCR	16	H'FFFFA054	16
	レンジオーバー制御レジスタ (1)	RGORCR1	16	H'FFFFA056	16
	レンジオーバー制御レジスタ (2)	RGORCR2	16	H'FFFFA058	16
	レンジオーバー制御レジスタ (3)	RGORCR3	16	H'FFFFA05A	16
	レンジオーバー制御レジスタ (4)	RGORCR4	16	H'FFFFA05C	16
	レンジオーバー制御レジスタ (5)	RGORCR5	16	H'FFFFA05E	16
	レンジオーバー制御レジスタ (6)	RGORCR6	16	H'FFFFA060	16
	レンジオーバー制御レジスタ (7)	RGORCR7	16	H'FFFFA062	16
	水平 AFC 位相比較器のフィードバック量調整レジスタ	AFCPFCR	16	H'FFFFA07C	16
	レジスタ更新制御レジスタ	RUPDCR	16	H'FFFFA07E	16
	同期分離ステータス、垂直周期リードレジスタ	VSYNCSR	16	H'FFFFA080	16
	水平周期リードレジスタ	HSYNCSR	16	H'FFFFA082	16
	デジタルクランプリードレジスタ (1)	DCPSR1	16	H'FFFFA084	16
	デジタルクランプリードレジスタ (2)	DCPSR2	16	H'FFFFA086	16
	ノイズ検出リードレジスタ	NSDSR	16	H'FFFFA08C	16
	クロマデコードリードレジスタ (1)	CROMASR1	16	H'FFFFA08E	16
	クロマデコードリードレジスタ (2)	CROMASR2	16	H'FFFFA090	16
	同期分離リードレジスタ	SYNCSSR	16	H'FFFFA092	16
	AGC 制御リードレジスタ (1)	AGCCSR1	16	H'FFFFA094	16
	AGC 制御リードレジスタ (2)	AGCCSR2	16	H'FFFFA096	16
	Y/C 分離制御レジスタ (3)	YCSCR3	16	H'FFFFA104	16
	Y/C 分離制御レジスタ (4)	YCSCR4	16	H'FFFFA106	16
	Y/C 分離制御レジスタ (5)	YCSCR5	16	H'FFFFA108	16
	Y/C 分離制御レジスタ (6)	YCSCR6	16	H'FFFFA10A	16
	Y/C 分離制御レジスタ (7)	YCSCR7	16	H'FFFFA10C	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
デジタルビデオデコーダ	Y/C 分離制御レジスタ (8)	YCSCR8	16	H'FFFFA10E	16
	Y/C 分離制御レジスタ (9)	YCSCR9	16	H'FFFFA110	16
	Y/C 分離制御レジスタ (11)	YCSCR11	16	H'FFFFA114	16
	Y/C 分離制御レジスタ (12)	YCSCR12	16	H'FFFFA116	16
	デジタルクランプ制御レジスタ (9)	DCPCR9	16	H'FFFFA180	16
	Y/C 分離用クロマフィルタタップ係数 (WA_F0) レジスタ	YCTWA_F0	16	H'FFFFA192	16
	Y/C 分離用クロマフィルタタップ係数 (WA_F1) レジスタ	YCTWA_F1	16	H'FFFFA194	16
	Y/C 分離用クロマフィルタタップ係数 (WA_F2) レジスタ	YCTWA_F2	16	H'FFFFA196	16
	Y/C 分離用クロマフィルタタップ係数 (WA_F3) レジスタ	YCTWA_F3	16	H'FFFFA198	16
	Y/C 分離用クロマフィルタタップ係数 (WA_F4) レジスタ	YCTWA_F4	16	H'FFFFA19A	16
	Y/C 分離用クロマフィルタタップ係数 (WA_F5) レジスタ	YCTWA_F5	16	H'FFFFA19C	16
	Y/C 分離用クロマフィルタタップ係数 (WA_F6) レジスタ	YCTWA_F6	16	H'FFFFA19E	16
	Y/C 分離用クロマフィルタタップ係数 (WA_F7) レジスタ	YCTWA_F7	16	H'FFFFA1A0	16
	Y/C 分離用クロマフィルタタップ係数 (WA_F8) レジスタ	YCTWA_F8	16	H'FFFFA1A2	16
	Y/C 分離用クロマフィルタタップ係数 (WB_F0) レジスタ	YCTWB_F0	16	H'FFFFA1A4	16
	Y/C 分離用クロマフィルタタップ係数 (WB_F1) レジスタ	YCTWB_F1	16	H'FFFFA1A6	16
	Y/C 分離用クロマフィルタタップ係数 (WB_F2) レジスタ	YCTWB_F2	16	H'FFFFA1A8	16
	Y/C 分離用クロマフィルタタップ係数 (WB_F3) レジスタ	YCTWB_F3	16	H'FFFFA1AA	16
	Y/C 分離用クロマフィルタタップ係数 (WB_F4) レジスタ	YCTWB_F4	16	H'FFFFA1AC	16
	Y/C 分離用クロマフィルタタップ係数 (WB_F5) レジスタ	YCTWB_F5	16	H'FFFFA1AE	16
	Y/C 分離用クロマフィルタタップ係数 (WB_F6) レジスタ	YCTWB_F6	16	H'FFFFA1B0	16
	Y/C 分離用クロマフィルタタップ係数 (WB_F7) レジスタ	YCTWB_F7	16	H'FFFFA1B2	16
	Y/C 分離用クロマフィルタタップ係数 (WB_F8) レジスタ	YCTWB_F8	16	H'FFFFA1B4	16
	Y/C 分離用クロマフィルタタップ係数 (NA_F0) レジスタ	YCTNA_F0	16	H'FFFFA1B6	16
	Y/C 分離用クロマフィルタタップ係数 (NA_F1) レジスタ	YCTNA_F1	16	H'FFFFA1B8	16
	Y/C 分離用クロマフィルタタップ係数 (NA_F2) レジスタ	YCTNA_F2	16	H'FFFFA1BA	16
	Y/C 分離用クロマフィルタタップ係数 (NA_F3) レジスタ	YCTNA_F3	16	H'FFFFA1BC	16
	Y/C 分離用クロマフィルタタップ係数 (NA_F4) レジスタ	YCTNA_F4	16	H'FFFFA1BE	16
	Y/C 分離用クロマフィルタタップ係数 (NA_F5) レジスタ	YCTNA_F5	16	H'FFFFA1C0	16
	Y/C 分離用クロマフィルタタップ係数 (NA_F6) レジスタ	YCTNA_F6	16	H'FFFFA1C2	16
	Y/C 分離用クロマフィルタタップ係数 (NA_F7) レジスタ	YCTNA_F7	16	H'FFFFA1C4	16
	Y/C 分離用クロマフィルタタップ係数 (NA_F8) レジスタ	YCTNA_F8	16	H'FFFFA1C6	16
	Y/C 分離用クロマフィルタタップ係数 (NB_F0) レジスタ	YCTNB_F0	16	H'FFFFA1C8	16
	Y/C 分離用クロマフィルタタップ係数 (NB_F1) レジスタ	YCTNB_F1	16	H'FFFFA1CA	16
	Y/C 分離用クロマフィルタタップ係数 (NB_F2) レジスタ	YCTNB_F2	16	H'FFFFA1CC	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
デジタルビデオデコーダ	Y/C 分離用クロマフィルタタップ係数 (NB_F3) レジスタ	YCTNB_F3	16	H'FFFA1CE	16
	Y/C 分離用クロマフィルタタップ係数 (NB_F4) レジスタ	YCTNB_F4	16	H'FFFA1D0	16
	Y/C 分離用クロマフィルタタップ係数 (NB_F5) レジスタ	YCTNB_F5	16	H'FFFA1D2	16
	Y/C 分離用クロマフィルタタップ係数 (NB_F6) レジスタ	YCTNB_F6	16	H'FFFA1D4	16
	Y/C 分離用クロマフィルタタップ係数 (NB_F7) レジスタ	YCTNB_F7	16	H'FFFA1D6	16
	Y/C 分離用クロマフィルタタップ係数 (NB_F8) レジスタ	YCTNB_F8	16	H'FFFA1D8	16
	輝度 (Y) 信号ゲイン調整制御レジスタ	YGAINCR	16	H'FFFA200	16
	色差 (CB) 信号ゲイン調整制御レジスタ	CBGAINCR	16	H'FFFA202	16
	色差 (CR) 信号ゲイン調整制御レジスタ	CRGAINCR	16	H'FFFA204	16
	PGA 部レジスタ更新制御	PGA_UPDATE	16	H'FFFA280	16
	PGA 制御レジスタ	PGACR	16	H'FFFA282	16
	ADC 制御レジスタ 2	ADCCR2	16	H'FFFA284	16
ビデオディスプレイ コントローラ 4	外部入力部レジスタ更新制御レジスタ	INP_UPDATE	32	H'FFF7400	16、32
	入力選択制御レジスタ	INP_SEL_CNT	32	H'FFF7404	16、32
	外部入力同期信号制御レジスタ	INP_EXT_SYNC_CNT	32	H'FFF7408	16、32
	垂直同期信号位相調整レジスタ	INP_VSYNC_PH_ADJ	32	H'FFF740C	16、32
	同期信号遅延調整レジスタ	INP_DLY_ADJ	32	H'FFF7410	16、32
	画質調整部レジスタ更新制御レジスタ	IMGCNT_UPDATE	32	H'FFF7480	16、32
	NR 制御レジスタ 0	IMGCNT_NR_CNT0	32	H'FFF7484	16、32
	NR 制御レジスタ 1	IMGCNT_NR_CNT1	32	H'FFF7488	16、32
	画質調整部マトリクスモードレジスタ	IMGCNT_MTX_MODE	32	H'FFF74A0	16、32
	画質調整部マトリクス YG 調整レジスタ 0	IMGCNT_MTX_YG_ADJ0	32	H'FFF74A4	16、32
	画質調整部マトリクス YG 調整レジスタ 1	IMGCNT_MTX_YG_ADJ1	32	H'FFF74A8	16、32
	画質調整部マトリクス CBB 調整レジスタ 0	IMGCNT_MTX_CBB_ADJ0	32	H'FFF74AC	16、32
	画質調整部マトリクス CBB 調整レジスタ 1	IMGCNT_MTX_CBB_ADJ1	32	H'FFF74B0	16、32
	画質調整部マトリクス CRR 調整レジスタ 0	IMGCNT_MTX_CRR_ADJ0	32	H'FFF74B4	16、32
	画質調整部マトリクス CRR 調整レジスタ 1	IMGCNT_MTX_CRR_ADJ1	32	H'FFF74B8	16、32
	SCL0 レジスタ更新制御レジスタ	SCL0_UPDATE	32	H'FFF7500	16、32
	マスク処理レジスタ	SCL0_FRC1	32	H'FFF7504	16、32
	欠落補償レジスタ	SCL0_FRC2	32	H'FFF7508	16、32
	出力同期選択レジスタ	SCL0_FRC3	32	H'FFF750C	16、32
	自走周期レジスタ	SCL0_FRC4	32	H'FFF7510	16、32
	出力遅延制御レジスタ	SCL0_FRC5	32	H'FFF7514	16、32
	フル画面垂直サイズレジスタ	SCL0_FRC6	32	H'FFF7518	16、32
	フル画面水平サイズレジスタ	SCL0_FRC7	32	H'FFF751C	16、32
	フィールド判別信号切り替えレジスタ (R 版のみ)	SCL0_FRC8	32	H'FFF7520	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ビデオディスプレイ コントローラ 4	同期検出レジスタ	SCL0_FRC9	32	H'FFFF7524	16, 32
	縮小制御レジスタ	SCL0_DS1	32	H'FFFF752C	16, 32
	取り込み垂直サイズレジスタ	SCL0_DS2	32	H'FFFF7530	16, 32
	取り込み水平サイズレジスタ	SCL0_DS3	32	H'FFFF7534	16, 32
	水平縮小レジスタ	SCL0_DS4	32	H'FFFF7538	16, 32
	垂直初期位相レジスタ	SCL0_DS5	32	H'FFFF753C	16, 32
	垂直スケールレジスタ	SCL0_DS6	32	H'FFFF7540	16, 32
	縮小制御部出力サイズレジスタ	SCL0_DS7	32	H'FFFF7544	16, 32
	拡大制御レジスタ	SCL0_US1	32	H'FFFF7548	16, 32
	出力画像垂直サイズレジスタ	SCL0_US2	32	H'FFFF754C	16, 32
	出力画像水平サイズレジスタ	SCL0_US3	32	H'FFFF7550	16, 32
	拡大制御部入力サイズレジスタ	SCL0_US4	32	H'FFFF7554	16, 32
	水平拡大レジスタ	SCL0_US5	32	H'FFFF7558	16, 32
	水平拡大初期位相レジスタ	SCL0_US6	32	H'FFFF755C	16, 32
	トリミングレジスタ	SCL0_US7	32	H'FFFF7560	16, 32
	フレームバッファ読み出し選択レジスタ	SCL0_US8	32	H'FFFF7564	16, 32
	背景色レジスタ	SCL0_OVR1	32	H'FFFF756C	16, 32
	SCL1 レジスタ更新制御レジスタ	SCL1_UPDATE	32	H'FFFF7580	16, 32
	書き込み動作モードレジスタ	SCL1_WR1	32	H'FFFF7588	16, 32
	書き込みアドレスレジスタ 1	SCL1_WR2	32	H'FFFF758C	16, 32
	書き込みアドレスレジスタ 2	SCL1_WR3	32	H'FFFF7590	16, 32
	書き込みアドレスレジスタ 3	SCL1_WR4	32	H'FFFF7594	16, 32
	フレーム間引きレジスタ	SCL1_WR5	32	H'FFFF759C	16, 32
	ビット縮退レジスタ	SCL1_WR6	32	H'FFFF75A0	16, 32
	書き込み検出レジスタ	SCL1_WR7	32	H'FFFF75A4	16, 32
	グラフィックス (1) レジスタ更新制御レジスタ	GR1_UPDATE	32	H'FFFF7600	16, 32
	フレームバッファ読み出し制御レジスタ (グラフィックス(1))	GR1_FLM_RD	32	H'FFFF7604	16, 32
	フレームバッファ制御レジスタ 1 (グラフィックス(1))	GR1_FLM1	32	H'FFFF7608	16, 32
	フレームバッファ制御レジスタ 2 (グラフィックス(1))	GR1_FLM2	32	H'FFFF760C	16, 32
	フレームバッファ制御レジスタ 3 (グラフィックス(1))	GR1_FLM3	32	H'FFFF7610	16, 32
	フレームバッファ制御レジスタ 4 (グラフィックス(1))	GR1_FLM4	32	H'FFFF7614	16, 32
	フレームバッファ制御レジスタ 5 (グラフィックス(1))	GR1_FLM5	32	H'FFFF7618	16, 32
	フレームバッファ制御レジスタ 6 (グラフィックス(1))	GR1_FLM6	32	H'FFFF761C	16, 32
	アルファブレンド制御レジスタ 1 (グラフィックス(1))	GR1_AB1	32	H'FFFF7620	16, 32
アルファブレンド制御レジスタ 2 (グラフィックス(1))	GR1_AB2	32	H'FFFF7624	16, 32	
アルファブレンド制御レジスタ 3 (グラフィックス(1))	GR1_AB3	32	H'FFFF7628	16, 32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ビデオディスプレイ コントローラ 4	アルファブレンド制御レジスタ7 (グラフィックス(1))	GR1_AB7	32	H'FFFF7638	16, 32
	アルファブレンド制御レジスタ8 (グラフィックス(1))	GR1_AB8	32	H'FFFF763C	16, 32
	アルファブレンド制御レジスタ9 (グラフィックス(1))	GR1_AB9	32	H'FFFF7640	16, 32
	アルファブレンド制御レジスタ10 (グラフィックス(1))	GR1_AB10	32	H'FFFF7644	16, 32
	アルファブレンド制御レジスタ11 (グラフィックス(1))	GR1_AB11	32	H'FFFF7648	16, 32
	背景色制御レジスタ (グラフィックス(1))	GR1_BASE	32	H'FFFF764C	16, 32
	CLUT テーブル制御レジスタ (グラフィックス(1))	GR1_CLUT	32	H'FFFF7650	16, 32
	画質改善部レジスタ更新制御レジスタ	ADJ_UPDATE	32	H'FFFF7680	16, 32
	黒伸張部レジスタ	ADJ_BKSTR_SET	32	H'FFFF7684	16, 32
	エンハンサタイミング調整レジスタ1	ADJ_ENH_TIM1	32	H'FFFF7688	16, 32
	エンハンサタイミング調整レジスタ2	ADJ_ENH_TIM2	32	H'FFFF768C	16, 32
	エンハンサタイミング調整レジスタ3	ADJ_ENH_TIM3	32	H'FFFF7690	16, 32
	エンハンサシャープネスレジスタ1	ADJ_ENH_SHP1	32	H'FFFF7694	16, 32
	エンハンサシャープネスレジスタ2	ADJ_ENH_SHP2	32	H'FFFF7698	16, 32
	エンハンサシャープネスレジスタ3	ADJ_ENH_SHP3	32	H'FFFF769C	16, 32
	エンハンサシャープネスレジスタ4	ADJ_ENH_SHP4	32	H'FFFF76A0	16, 32
	エンハンサシャープネスレジスタ5	ADJ_ENH_SHP5	32	H'FFFF76A4	16, 32
	エンハンサシャープネスレジスタ6	ADJ_ENH_SHP6	32	H'FFFF76A8	16, 32
	エンハンサ LTI レジスタ1	ADJ_ENH_LTI1	32	H'FFFF76AC	16, 32
	エンハンサ LTI レジスタ2	ADJ_ENH_LTI2	32	H'FFFF76B0	16, 32
	画質改善部マトリクスモードレジスタ	ADJ_MTX_MODE	32	H'FFFF76B4	16, 32
	画質改善部マトリクス YG 調整レジスタ0	ADJ_MTX_YG_ADJ0	32	H'FFFF76B8	16, 32
	画質改善部マトリクス YG 調整レジスタ1	ADJ_MTX_YG_ADJ1	32	H'FFFF76BC	16, 32
	画質改善部マトリクス CBB 調整レジスタ0	ADJ_MTX_CBB_ADJ0	32	H'FFFF76C0	16, 32
	画質改善部マトリクス CBB 調整レジスタ1	ADJ_MTX_CBB_ADJ1	32	H'FFFF76C4	16, 32
	画質改善部マトリクス CRR 調整レジスタ0	ADJ_MTX_CRR_ADJ0	32	H'FFFF76C8	16, 32
	画質改善部マトリクス CRR 調整レジスタ1	ADJ_MTX_CRR_ADJ1	32	H'FFFF76CC	16, 32
	グラフィックス (2) レジスタ更新制御レジスタ	GR2_UPDATE	32	H'FFFF7700	16, 32
	フレームバッファ読み出し制御レジスタ (グラフィックス(2))	GR2_FLM_RD	32	H'FFFF7704	16, 32
	フレームバッファ制御レジスタ1 (グラフィックス(2))	GR2_FLM1	32	H'FFFF7708	16, 32
	フレームバッファ制御レジスタ2 (グラフィックス(2))	GR2_FLM2	32	H'FFFF770C	16, 32
	フレームバッファ制御レジスタ3 (グラフィックス(2))	GR2_FLM3	32	H'FFFF7710	16, 32
	フレームバッファ制御レジスタ4 (グラフィックス(2))	GR2_FLM4	32	H'FFFF7714	16, 32
	フレームバッファ制御レジスタ5 (グラフィックス(2))	GR2_FLM5	32	H'FFFF7718	16, 32
フレームバッファ制御レジスタ6 (グラフィックス(2))	GR2_FLM6	32	H'FFFF771C	16, 32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ビデオディスプレイ コントローラ 4	アルファブレンド制御レジスタ 1 (グラフィックス(2))	GR2_AB1	32	H'FFFF7720	16, 32
	アルファブレンド制御レジスタ 2 (グラフィックス(2))	GR2_AB2	32	H'FFFF7724	16, 32
	アルファブレンド制御レジスタ 3 (グラフィックス(2))	GR2_AB3	32	H'FFFF7728	16, 32
	アルファブレンド制御レジスタ 4 (グラフィックス(2))	GR2_AB4	32	H'FFFF772C	16, 32
	アルファブレンド制御レジスタ 5 (グラフィックス(2))	GR2_AB5	32	H'FFFF7730	16, 32
	アルファブレンド制御レジスタ 6 (グラフィックス(2))	GR2_AB6	32	H'FFFF7734	16, 32
	アルファブレンド制御レジスタ 7 (グラフィックス(2))	GR2_AB7	32	H'FFFF7738	16, 32
	アルファブレンド制御レジスタ 8 (グラフィックス(2))	GR2_AB8	32	H'FFFF773C	16, 32
	アルファブレンド制御レジスタ 9 (グラフィックス(2))	GR2_AB9	32	H'FFFF7740	16, 32
	アルファブレンド制御レジスタ 10 (グラフィックス(2))	GR2_AB10	32	H'FFFF7744	16, 32
	アルファブレンド制御レジスタ 11 (グラフィックス(2))	GR2_AB11	32	H'FFFF7748	16, 32
	背景色制御レジスタ (グラフィックス(2))	GR2_BASE	32	H'FFFF774C	16, 32
	CLUT テーブル制御レジスタ (グラフィックス(2))	GR2_CLUT	32	H'FFFF7750	16, 32
	ステータスマニタレジスタ (グラフィックス(2))	GR2_MON	32	H'FFFF7754	16, 32
	グラフィックス (3) レジスタ更新制御レジスタ	GR3_UPDATE	32	H'FFFF7780	16, 32
	フレームバッファ読み出し制御レジスタ (グラフィックス(3))	GR3_FLM_RD	32	H'FFFF7784	16, 32
	フレームバッファ制御レジスタ 1 (グラフィックス(3))	GR3_FLM1	32	H'FFFF7788	16, 32
	フレームバッファ制御レジスタ 2 (グラフィックス(3))	GR3_FLM2	32	H'FFFF778C	16, 32
	フレームバッファ制御レジスタ 3 (グラフィックス(3))	GR3_FLM3	32	H'FFFF7790	16, 32
	フレームバッファ制御レジスタ 4 (グラフィックス(3))	GR3_FLM4	32	H'FFFF7794	16, 32
	フレームバッファ制御レジスタ 5 (グラフィックス(3))	GR3_FLM5	32	H'FFFF7798	16, 32
	フレームバッファ制御レジスタ 6 (グラフィックス(3))	GR3_FLM6	32	H'FFFF779C	16, 32
	アルファブレンド制御レジスタ 1 (グラフィックス(3))	GR3_AB1	32	H'FFFF77A0	16, 32
	アルファブレンド制御レジスタ 2 (グラフィックス(3))	GR3_AB2	32	H'FFFF77A4	16, 32
	アルファブレンド制御レジスタ 3 (グラフィックス(3))	GR3_AB3	32	H'FFFF77A8	16, 32
	アルファブレンド制御レジスタ 4 (グラフィックス(3))	GR3_AB4	32	H'FFFF77AC	16, 32
	アルファブレンド制御レジスタ 5 (グラフィックス(3))	GR3_AB5	32	H'FFFF77B0	16, 32
	アルファブレンド制御レジスタ 6 (グラフィックス(3))	GR3_AB6	32	H'FFFF77B4	16, 32
	アルファブレンド制御レジスタ 7 (グラフィックス(3))	GR3_AB7	32	H'FFFF77B8	16, 32
	アルファブレンド制御レジスタ 8 (グラフィックス(3))	GR3_AB8	32	H'FFFF77BC	16, 32
	アルファブレンド制御レジスタ 9 (グラフィックス(3))	GR3_AB9	32	H'FFFF77C0	16, 32
	アルファブレンド制御レジスタ 10 (グラフィックス(3))	GR3_AB10	32	H'FFFF77C4	16, 32
	アルファブレンド制御レジスタ 11 (グラフィックス(3))	GR3_AB11	32	H'FFFF77C8	16, 32
	背景色制御レジスタ (グラフィックス(3))	GR3_BASE	32	H'FFFF77CC	16, 32
	CLUT テーブル・割り込み制御レジスタ (グラフィックス(3))	GR3_CLUT_INT	32	H'FFFF77D0	16, 32
	ステータスマニタレジスタ (グラフィックス(3))	GR3_MON	32	H'FFFF77D4	16, 32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ビデオディスプレイ コントローラ 4	ガンマ補正部レジスタ更新制御レジスタ G	GAM_G_UPDATE	32	H'FFFF7800	16, 32
	ガンマ補正部機能スイッチレジスタ	GAM_SW	32	H'FFFF7804	16, 32
	ガンマ補正部テーブル設定レジスタ G1	GAM_G_LUT1	32	H'FFFF7808	16, 32
	ガンマ補正部テーブル設定レジスタ G2	GAM_G_LUT2	32	H'FFFF780C	16, 32
	ガンマ補正部テーブル設定レジスタ G3	GAM_G_LUT3	32	H'FFFF7810	16, 32
	ガンマ補正部テーブル設定レジスタ G4	GAM_G_LUT4	32	H'FFFF7814	16, 32
	ガンマ補正部テーブル設定レジスタ G5	GAM_G_LUT5	32	H'FFFF7818	16, 32
	ガンマ補正部テーブル設定レジスタ G6	GAM_G_LUT6	32	H'FFFF781C	16, 32
	ガンマ補正部テーブル設定レジスタ G7	GAM_G_LUT7	32	H'FFFF7820	16, 32
	ガンマ補正部テーブル設定レジスタ G8	GAM_G_LUT8	32	H'FFFF7824	16, 32
	ガンマ補正部テーブル設定レジスタ G9	GAM_G_LUT9	32	H'FFFF7828	16, 32
	ガンマ補正部テーブル設定レジスタ G10	GAM_G_LUT10	32	H'FFFF782C	16, 32
	ガンマ補正部テーブル設定レジスタ G11	GAM_G_LUT11	32	H'FFFF7830	16, 32
	ガンマ補正部テーブル設定レジスタ G12	GAM_G_LUT12	32	H'FFFF7834	16, 32
	ガンマ補正部テーブル設定レジスタ G13	GAM_G_LUT13	32	H'FFFF7838	16, 32
	ガンマ補正部テーブル設定レジスタ G14	GAM_G_LUT14	32	H'FFFF783C	16, 32
	ガンマ補正部テーブル設定レジスタ G15	GAM_G_LUT15	32	H'FFFF7840	16, 32
	ガンマ補正部テーブル設定レジスタ G16	GAM_G_LUT16	32	H'FFFF7844	16, 32
	ガンマ補正部領域設定レジスタ G1	GAM_G_AREA1	32	H'FFFF7848	16, 32
	ガンマ補正部領域設定レジスタ G2	GAM_G_AREA2	32	H'FFFF784C	16, 32
	ガンマ補正部領域設定レジスタ G3	GAM_G_AREA3	32	H'FFFF7850	16, 32
	ガンマ補正部領域設定レジスタ G4	GAM_G_AREA4	32	H'FFFF7854	16, 32
	ガンマ補正部領域設定レジスタ G5	GAM_G_AREA5	32	H'FFFF7858	16, 32
	ガンマ補正部領域設定レジスタ G6	GAM_G_AREA6	32	H'FFFF785C	16, 32
	ガンマ補正部領域設定レジスタ G7	GAM_G_AREA7	32	H'FFFF7860	16, 32
	ガンマ補正部領域設定レジスタ G8	GAM_G_AREA8	32	H'FFFF7864	16, 32
	ガンマ補正部レジスタ更新制御レジスタ B	GAM_B_UPDATE	32	H'FFFF7880	16, 32
	ガンマ補正部テーブル設定レジスタ B1	GAM_B_LUT1	32	H'FFFF7888	16, 32
	ガンマ補正部テーブル設定レジスタ B2	GAM_B_LUT2	32	H'FFFF788C	16, 32
	ガンマ補正部テーブル設定レジスタ B3	GAM_B_LUT3	32	H'FFFF7890	16, 32
	ガンマ補正部テーブル設定レジスタ B4	GAM_B_LUT4	32	H'FFFF7894	16, 32
	ガンマ補正部テーブル設定レジスタ B5	GAM_B_LUT5	32	H'FFFF7898	16, 32
ガンマ補正部テーブル設定レジスタ B6	GAM_B_LUT6	32	H'FFFF789C	16, 32	
ガンマ補正部テーブル設定レジスタ B7	GAM_B_LUT7	32	H'FFFF78A0	16, 32	
ガンマ補正部テーブル設定レジスタ B8	GAM_B_LUT8	32	H'FFFF78A4	16, 32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ビデオディスプレイ コントローラ 4	ガンマ補正部テーブル設定レジスタ B9	GAM_B_LUT9	32	H'FFFF78A8	16, 32
	ガンマ補正部テーブル設定レジスタ B10	GAM_B_LUT10	32	H'FFFF78AC	16, 32
	ガンマ補正部テーブル設定レジスタ B11	GAM_B_LUT11	32	H'FFFF78B0	16, 32
	ガンマ補正部テーブル設定レジスタ B12	GAM_B_LUT12	32	H'FFFF78B4	16, 32
	ガンマ補正部テーブル設定レジスタ B13	GAM_B_LUT13	32	H'FFFF78B8	16, 32
	ガンマ補正部テーブル設定レジスタ B14	GAM_B_LUT14	32	H'FFFF78BC	16, 32
	ガンマ補正部テーブル設定レジスタ B15	GAM_B_LUT15	32	H'FFFF78C0	16, 32
	ガンマ補正部テーブル設定レジスタ B16	GAM_B_LUT16	32	H'FFFF78C4	16, 32
	ガンマ補正部領域設定レジスタ B1	GAM_B_AREA1	32	H'FFFF78C8	16, 32
	ガンマ補正部領域設定レジスタ B2	GAM_B_AREA2	32	H'FFFF78CC	16, 32
	ガンマ補正部領域設定レジスタ B3	GAM_B_AREA3	32	H'FFFF78D0	16, 32
	ガンマ補正部領域設定レジスタ B4	GAM_B_AREA4	32	H'FFFF78D4	16, 32
	ガンマ補正部領域設定レジスタ B5	GAM_B_AREA5	32	H'FFFF78D8	16, 32
	ガンマ補正部領域設定レジスタ B6	GAM_B_AREA6	32	H'FFFF78DC	16, 32
	ガンマ補正部領域設定レジスタ B7	GAM_B_AREA7	32	H'FFFF78E0	16, 32
	ガンマ補正部領域設定レジスタ B8	GAM_B_AREA8	32	H'FFFF78E4	16, 32
	ガンマ補正部レジスタ更新制御レジスタ R	GAM_R_UPDATE	32	H'FFFF7900	16, 32
	ガンマ補正部テーブル設定レジスタ R1	GAM_R_LUT1	32	H'FFFF7908	16, 32
	ガンマ補正部テーブル設定レジスタ R2	GAM_R_LUT2	32	H'FFFF790C	16, 32
	ガンマ補正部テーブル設定レジスタ R3	GAM_R_LUT3	32	H'FFFF7910	16, 32
	ガンマ補正部テーブル設定レジスタ R4	GAM_R_LUT4	32	H'FFFF7914	16, 32
	ガンマ補正部テーブル設定レジスタ R5	GAM_R_LUT5	32	H'FFFF7918	16, 32
	ガンマ補正部テーブル設定レジスタ R6	GAM_R_LUT6	32	H'FFFF791C	16, 32
	ガンマ補正部テーブル設定レジスタ R7	GAM_R_LUT7	32	H'FFFF7920	16, 32
	ガンマ補正部テーブル設定レジスタ R8	GAM_R_LUT8	32	H'FFFF7924	16, 32
	ガンマ補正部テーブル設定レジスタ R9	GAM_R_LUT9	32	H'FFFF7928	16, 32
	ガンマ補正部テーブル設定レジスタ R10	GAM_R_LUT10	32	H'FFFF792C	16, 32
	ガンマ補正部テーブル設定レジスタ R11	GAM_R_LUT11	32	H'FFFF7930	16, 32
	ガンマ補正部テーブル設定レジスタ R12	GAM_R_LUT12	32	H'FFFF7934	16, 32
	ガンマ補正部テーブル設定レジスタ R13	GAM_R_LUT13	32	H'FFFF7938	16, 32
	ガンマ補正部テーブル設定レジスタ R14	GAM_R_LUT14	32	H'FFFF793C	16, 32
	ガンマ補正部テーブル設定レジスタ R15	GAM_R_LUT15	32	H'FFFF7940	16, 32
	ガンマ補正部テーブル設定レジスタ R16	GAM_R_LUT16	32	H'FFFF7944	16, 32
	ガンマ補正部領域設定レジスタ R1	GAM_R_AREA1	32	H'FFFF7948	16, 32
ガンマ補正部領域設定レジスタ R2	GAM_R_AREA2	32	H'FFFF794C	16, 32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ビデオディスプレイ コントローラ 4	ガンマ補正部領域設定レジスタ R3	GAM_R_AREA3	32	H'FFFF7950	16, 32
	ガンマ補正部領域設定レジスタ R4	GAM_R_AREA4	32	H'FFFF7954	16, 32
	ガンマ補正部領域設定レジスタ R5	GAM_R_AREA5	32	H'FFFF7958	16, 32
	ガンマ補正部領域設定レジスタ R6	GAM_R_AREA6	32	H'FFFF795C	16, 32
	ガンマ補正部領域設定レジスタ R7	GAM_R_AREA7	32	H'FFFF7960	16, 32
	ガンマ補正部領域設定レジスタ R8	GAM_R_AREA8	32	H'FFFF7964	16, 32
	TCON レジスタ更新制御レジスタ	TCON_UPDATE	32	H'FFFF7980	16, 32
	TCON 基準タイミング設定レジスタ	TCON_TIM	32	H'FFFF7984	16, 32
	TCON 垂直タイミング設定レジスタ A1	TCON_TIM_STVA1	32	H'FFFF7988	16, 32
	TCON 垂直タイミング設定レジスタ A2	TCON_TIM_STVA2	32	H'FFFF798C	16, 32
	TCON 垂直タイミング設定レジスタ B1	TCON_TIM_STVB1	32	H'FFFF7990	16, 32
	TCON 垂直タイミング設定レジスタ B2	TCON_TIM_STVB2	32	H'FFFF7994	16, 32
	TCON 水平タイミング設定レジスタ STH1	TCON_TIM_STH1	32	H'FFFF7998	16, 32
	TCON 水平タイミング設定レジスタ STH2	TCON_TIM_STH2	32	H'FFFF799C	16, 32
	TCON 水平タイミング設定レジスタ STB1	TCON_TIM_STB1	32	H'FFFF79A0	16, 32
	TCON 水平タイミング設定レジスタ STB2	TCON_TIM_STB2	32	H'FFFF79A4	16, 32
	TCON 水平タイミング設定レジスタ CPV1	TCON_TIM_CPV1	32	H'FFFF79A8	16, 32
	TCON 水平タイミング設定レジスタ CPV2	TCON_TIM_CPV2	32	H'FFFF79AC	16, 32
	TCON 水平タイミング設定レジスタ POLA1	TCON_TIM_POLA1	32	H'FFFF79B0	16, 32
	TCON 水平タイミング設定レジスタ POLA2	TCON_TIM_POLA2	32	H'FFFF79B4	16, 32
	TCON 水平タイミング設定レジスタ POLB1	TCON_TIM_POLB1	32	H'FFFF79B8	16, 32
	TCON 水平タイミング設定レジスタ POLB2	TCON_TIM_POLB2	32	H'FFFF79BC	16, 32
	TCON データイネーブル極性設定レジスタ	TCON_TIM_DE	32	H'FFFF79C0	16, 32
	出力制御部レジスタ更新制御レジスタ	OUT_UPDATE	32	H'FFFF7A00	16, 32
	出力インタフェース用レジスタ	OUT_SET	32	H'FFFF7A04	16, 32
	ブライト(DC)補正用レジスタ 1	OUT_BRIGHT1	32	H'FFFF7A08	16, 32
	ブライト(DC)補正用レジスタ 2	OUT_BRIGHT2	32	H'FFFF7A0C	16, 32
	コントラスト(ゲイン)補正用レジスタ	OUT_CONTRAST	32	H'FFFF7A10	16, 32
	パネルディザレジスタ	OUT_PDTHA	32	H'FFFF7A14	16, 32
	出力位相制御レジスタ	OUT_CLK_PHASE	32	H'FFFF7A24	16, 32
	割り込み制御レジスタ 1	SYSCNT_INT1	32	H'FFFF7A80	16, 32
	割り込み制御レジスタ 2	SYSCNT_INT2	32	H'FFFF7A84	16, 32
	割り込み制御レジスタ 3	SYSCNT_INT3	32	H'FFFF7A88	16, 32
割り込み制御レジスタ 4	SYSCNT_INT4	32	H'FFFF7A8C	16, 32	
パネルクロック制御レジスタ	SYSCNT_PANEL_CLK	16	H'FFFF7A90	16	
CLUT テーブル読み出し選択信号ステータスフラグレジスタ	SYSCNT_CLUT	16	H'FFFF7A92	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
歪み補正エンジン	制御レジスタ	CR	32	H'FFFF3008	32
	ステータス・レジスタ	SR	32	H'FFFF300C	32
	ステータス・クリア・レジスタ	SRCLR	32	H'FFFF3010	32
	割り込み制御レジスタ	ICR	32	H'FFFF3014	32
	割り込みマスク・レジスタ	IMR	32	H'FFFF3018	32
	DL ステータス・レジスタ	DLPR	32	H'FFFF3020	32
	DL スタート・アドレス・レジスタ	DLSAR	32	H'FFFF3030	32
	デスティネーション・スタート・アドレス・レジスタ	DSAR	32	H'FFFF3034	32
	デスティネーション・ストライド・レジスタ	DSTR	32	H'FFFF303C	32
	デスティネーション・スタート・アドレス・レジスタ 2	DSAR2	32	H'FFFF3048	32
	DL スタート・アドレス・レジスタ 2	DLSAR2	32	H'FFFF304C	32
	トライアングル・モード・レジスタ	TRIMR	32	H'FFFF3060	32
	トライアングル・セット・レジスタ	TRIMSR	32	H'FFFF3064	32
	トライアングル・クリア・レジスタ	TRIMCR	32	H'FFFF3068	32
	トライアングル・カラー・レジスタ	TRICR	32	H'FFFF306C	32
	ソース、デスティネーション座標小数点レジスタ	UVDPOR	32	H'FFFF3070	32
	ソース幅 W レジスタ	SUSR	32	H'FFFF3074	32
	ソース幅 H レジスタ	SVSR	32	H'FFFF3078	32
	MIN クリッピング X レジスタ	XMINR	32	H'FFFF3080	32
	MIN クリッピング Y レジスタ	YMINR	32	H'FFFF3084	32
	MAX クリッピング X レジスタ	XMAXR	32	H'FFFF3088	32
	MAX クリッピング Y レジスタ	YMAXR	32	H'FFFF308C	32
	メッシュ生成 X サイズ・レジスタ	AMXSR	32	H'FFFF3090	32
	メッシュ生成 Y サイズ・レジスタ	AMYSR	32	H'FFFF3094	32
	メッシュ生成 X スタート・レジスタ	AMXOR	32	H'FFFF3098	32
	メッシュ生成 Y スタート・レジスタ	AMYOR	32	H'FFFF309C	32
	メモリ・アクセス・制御レジスタ 1	MACR1	32	H'FFFF30A0	32
	先頭ライン指定レジスタ	LSPR	32	H'FFFF3A00	32
	終了ライン指定レジスタ	LEPR	32	H'FFFF3A04	32
	メッシュ・サイズ・レジスタ	LMSR	32	H'FFFF3A08	32
ディスプレイアウト コンペアユニット	コントロールレジスタ	DOCMCR	32	H'FFFFA800	32
	ステータスレジスタ	DOCMSTR	32	H'FFFFA804	32
	ステータスクリアレジスタ	DOCMCLSTR	32	H'FFFFA808	32
	割り込み許可レジスタ	DOCMENR	32	H'FFFFA80C	32
	動作パラメータ設定レジスタ	DOCMPMR	32	H'FFFFA814	32
	CRC コード期待値レジスタ	DOCMCRCR	32	H'FFFFA818	32
	CRC コード計算値レジスタ	DOCMCCRCR	32	H'FFFFA81C	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ディスプレイアウト コンベアユニット	水平方向開始位置設定レジスタ	DOCMSPIXR	32	H'FFFFA820	32
	垂直方向開始位置設定レジスタ	DOCMSPIYR	32	H'FFFFA824	32
	水平方向サイズレジスタ	DOCMSZXR	32	H'FFFFA828	32
	垂直方向サイズレジスタ	DOCMSZYR	32	H'FFFFA82C	32
	CRC コード初期値レジスタ	DOCMCRCIR	32	H'FFFFA830	32
JPEG コーデック ユニット	JPEG コードモードレジスタ	JCMOD	8	H'E8017000	8
	JPEG コードコマンドレジスタ	JCCMD	8	H'E8017001	8
	JPEG コード量子化テーブル番号レジスタ	JCQTN	8	H'E8017003	8
	JPEG コードハフマンテーブル番号レジスタ	JCHTN	8	H'E8017004	8
	JPEG コード DRI 上位レジスタ	JCDRIU	8	H'E8017005	8
	JPEG コード DRI 下位レジスタ	JCDRID	8	H'E8017006	8
	JPEG コード垂直方向サイズ上位レジスタ	JCVSZU	8	H'E8017007	8
	JPEG コード垂直方向サイズ下位レジスタ	JCVSZD	8	H'E8017008	8
	JPEG コード水平方向サイズ上位レジスタ	JCHSZU	8	H'E8017009	8
	JPEG コード水平方向サイズ下位レジスタ	JCHSZD	8	H'E801700A	8
	JPEG コードデータカウント上位レジスタ	JCDTCU	8	H'E801700B	8
	JPEG コードデータカウント中位レジスタ	JCDTCM	8	H'E801700C	8
	JPEG コードデータカウント下位レジスタ	JCDTCD	8	H'E801700D	8
	JPEG 割り込みイネーブルレジスタ 0	JINTE0	8	H'E801700E	8
	JPEG 割り込みステータスレジスタ 0	JINTSO	8	H'E801700F	8
	JPEG コードデコードエラーレジスタ	JCDERR	8	H'E8017010	8
	JPEG コード再起動レジスタ	JCRST	8	H'E8017011	8
	JPEG インタフェース圧縮制御レジスタ	JIFECNT	32	H'E8017040	32
	JPEG インタフェース圧縮ソースアドレスレジスタ	JIFESA	32	H'E8017044	32
	JPEG インタフェース圧縮ラインオフセットレジスタ	JIFESOFST	32	H'E8017048	32
	JPEG インタフェース圧縮デスティネーションアドレス レジスタ	JIFEDA	32	H'E801704C	32
	JPEG インタフェース圧縮ソースラインカウントレジスタ	JIFESLC	32	H'E8017050	32
	JPEG インタフェース圧縮デスティネーションレジスタ	JIFEDDC	32	H'E8017054	32
	JPEG インタフェース伸長制御レジスタ	JIFDCNT	32	H'E8017058	32
	JPEG インタフェース伸長ソースアドレスレジスタ	JIFDSA	32	H'E801705C	32
	JPEG インタフェース伸長デスティネーションオフセット レジスタ	JIFDDOFST	32	H'E8017060	32
	JPEG インタフェース伸長デスティネーションアドレス レジスタ	JIFDDA	32	H'E8017064	32
JPEG インタフェース伸長ソースカウントレジスタ	JIFDSDC	32	H'E8017068	32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
JPEG コーデック ユニット	JPEG インタフェース伸長デスティネーションラインカウント レジスタ	JIFDDL	32	H'E801706C	32
	JPEG インタフェース伸長 設定レジスタ	JIFDADT	32	H'E8017070	32
	JPEG 割り込みイネーブルレジスタ 1	JINTE1	32	H'E801708C	32
	JPEG 割り込みステータスレジスタ 1	JINTS1	32	H'E8017090	32
	JPEG コード量子化テーブル 0 レジスタ	JCQTBLO	512	H'E8017100 ~ H'E801713F	8
	JPEG コード量子化テーブル 1 レジスタ	JCQTBL1	512	H'E8017140 ~ H'E801717F	8
	JPEG コード量子化テーブル 2 レジスタ	JCQTB2	512	H'E8017180 ~ H'E80171BF	8
	JPEG コード量子化テーブル 3 レジスタ	JCQTB3	512	H'E80171C0 ~ H'E80171FF	8
	JPEG コードハフマンテーブル DC0 レジスタ	JCHTBD0	224	H'E8017200 ~ H'E801721B	8
	JPEG コードハフマンテーブル AC0 レジスタ	JCHTBA0	1416	H'E8017220 ~ H'E80172D1	8
	JPEG コードハフマンテーブル DC1 レジスタ	JCHTBD1	224	H'E8017300 ~ H'E801731B	8
	JPEG コードハフマンテーブル AC1 レジスタ	JCHTBA1	1416	H'E8017320 ~ H'E80173D1	8
サンプリングレート コンバータ	入力データレジスタ_0	SRCID_0	32	H'FFFE7000	16、32
	出力データレジスタ_0	SRCOD_0	32	H'FFFE7004	16、32
	入力データ制御レジスタ_0	SRCIDCTRL_0	16	H'FFFE7008	16
	出力データ制御レジスタ_0	SRCODCTRL_0	16	H'FFFE700A	16
	制御レジスタ_0	SRCCTRL_0	16	H'FFFE700C	16
	ステータスレジスタ_0	SRCSTAT_0	16	H'FFFE700E	16
	入力データレジスタ_1	SRCID_1	32	H'FFFE7800	16、32
	出力データレジスタ_1	SRCOD_1	32	H'FFFE7804	16、32
	入力データ制御レジスタ_1	SRCIDCTRL_1	16	H'FFFE7808	16
	出力データ制御レジスタ_1	SRCODCTRL_1	16	H'FFFE780A	16
	制御レジスタ_1	SRCCTRL_1	16	H'FFFE780C	16
	ステータスレジスタ_1	SRCSTAT_1	16	H'FFFE780E	16
	入力データレジスタ_2	SRCID_2	32	H'FFFE8000	16、32
	出力データレジスタ_2	SRCOD_2	32	H'FFFE8004	16、32
	入力データ制御レジスタ_2	SRCIDCTRL_2	16	H'FFFE8008	16
	出力データ制御レジスタ_2	SRCODCTRL_2	16	H'FFFE800A	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
サンプリングレート コンバータ	制御レジスタ_2	SRCCTRL_2	16	H'FFFE800C	16
	ステータスレジスタ_2	SRCSTAT_2	16	H'FFFE800E	16
サウンドジェネレータ	サウンドジェネレータコントロールレジスタ 1_0	SGCR1_0	8	H'FFFE800	8, 16
	サウンドジェネレータコントロールステータスレジスタ_0	SGCSR_0	8	H'FFFE801	8, 16
	サウンドジェネレータコントロールレジスタ 2_0	SGCR2_0	8	H'FFFE802	8, 16
	サウンドジェネレータラウドネスレジスタ_0	SGLR_0	8	H'FFFE803	8, 16
	サウンドジェネレータトーン周波数レジスタ_0	SGTFR_0	8	H'FFFE804	8, 16
	サウンドジェネレータ基準周波数レジスタ_0	SGSFR_0	8	H'FFFE805	8, 16
	サウンドジェネレータコントロールレジスタ 1_1	SGCR1_1	8	H'FFFECA00	8, 16
	サウンドジェネレータコントロールステータスレジスタ_1	SGCSR_1	8	H'FFFECA01	8, 16
	サウンドジェネレータコントロールレジスタ 2_1	SGCR2_1	8	H'FFFECA02	8, 16
	サウンドジェネレータラウドネスレジスタ_1	SGLR_1	8	H'FFFECA03	8, 16
	サウンドジェネレータトーン周波数レジスタ_1	SGTFR_1	8	H'FFFECA04	8, 16
	サウンドジェネレータ基準周波数レジスタ_1	SGSFR_1	8	H'FFFECA05	8, 16
	サウンドジェネレータコントロールレジスタ 1_2	SGCR1_2	8	H'FFFECC00	8, 16
	サウンドジェネレータコントロールステータスレジスタ_2	SGCSR_2	8	H'FFFECC01	8, 16
	サウンドジェネレータコントロールレジスタ 2_2	SGCR2_2	8	H'FFFECC02	8, 16
	サウンドジェネレータラウドネスレジスタ_2	SGLR_2	8	H'FFFECC03	8, 16
	サウンドジェネレータトーン周波数レジスタ_2	SGTFR_2	8	H'FFFECC04	8, 16
	サウンドジェネレータ基準周波数レジスタ_2	SGSFR_2	8	H'FFFECC05	8, 16
	サウンドジェネレータコントロールレジスタ 1_3	SGCR1_3	8	H'FFFECE00	8, 16
	サウンドジェネレータコントロールステータスレジスタ_3	SGCSR_3	8	H'FFFECE01	8, 16
	サウンドジェネレータコントロールレジスタ 2_3	SGCR2_3	8	H'FFFECE02	8, 16
	サウンドジェネレータラウドネスレジスタ_3	SGLR_3	8	H'FFFECE03	8, 16
	サウンドジェネレータトーン周波数レジスタ_3	SGTFR_3	8	H'FFFECE04	8, 16
	サウンドジェネレータ基準周波数レジスタ_3	SGSFR_3	8	H'FFFECE05	8, 16
MMC ホスト インタフェース	コマンド設定レジスタ	CE_CMD_SET	32	H'E8030800	16, 32
	アークメントレジスタ	CE_ARG	32	H'E8030808	16, 32
	自動CMD12 アークメントレジスタ	CE_ARG_CMD12	32	H'E803080C	16, 32
	コマンド制御レジスタ	CE_CMD_CTRL	32	H'E8030810	16, 32
	転送ブロック設定レジスタ	CE_BLOCK_SET	32	H'E8030814	16, 32
	クロックコントロールレジスタ	CE_CLK_CTRL	32	H'E8030818	16, 32
	バッファアクセス設定レジスタ	CE_BUF_ACC	32	H'E803081C	16, 32
	レスポンスレジスタ 3	CE_RESP3	32	H'E8030820	16, 32
	レスポンスレジスタ 2	CE_RESP2	32	H'E8030824	16, 32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MMC ホスト インタフェース	レスポンスレジスタ 1	CE_RESP1	32	H'E8030828	16, 32
	レスポンスレジスタ 0	CE_RESP0	32	H'E803082C	16, 32
	自動 CMD12 レスポンスレジスタ	CE_RESP_CMD12	32	H'E8030830	16, 32
	データレジスタ	CE_DATA	32	H'E8030834	16, 32
	割り込みフラグレジスタ	CE_INT	32	H'E8030840	16, 32
	割り込みイネーブルレジスタ	CE_INT_EN	32	H'E8030844	16, 32
	ステータスレジスタ 1	CE_HOST_STS1	32	H'E8030848	16, 32
	ステータスレジスタ 2	CE_HOST_STS2	32	H'E803084C	16, 32
	DMA モード設定レジスタ	CE_DMA_MODE	32	H'E803085C	16, 32
	カード検出 / ポート制御レジスタ	CE_DETECT	32	H'E8030870	16, 32
	特殊モード設定レジスタ	CE_ADD_MODE	32	H'E8030874	16, 32
	バージョンレジスタ	CE_VERSION	32	H'E803087C	16, 32
モータコントロール PWM タイマ	PWM コントロールレジスタ_1	PWCR_1	8	H'FFFFFF4E0	8, 16
	PWM ボラリティレジスタ_1	PWPR_1	8	H'FFFFFF4E4	8, 16
	PWM サイクルレジスタ_1	PWCYR_1	16	H'FFFFFF4E6	16
	PWM バッファレジスタ_1A	PWBFR_1A	16	H'FFFFFF4E8	16
	PWM バッファレジスタ_1C	PWBFR_1C	16	H'FFFFFF4EA	16
	PWM バッファレジスタ_1E	PWBFR_1E	16	H'FFFFFF4EC	16
	PWM バッファレジスタ_1G	PWBFR_1G	16	H'FFFFFF4EE	16
	PWM コントロールレジスタ_2	PWCR_2	8	H'FFFFFF4F0	8, 16
	PWM ボラリティレジスタ_2	PWPR_2	8	H'FFFFFF4F4	8, 16
	PWM サイクルレジスタ_2	PWCYR_2	16	H'FFFFFF4F6	16
	PWM バッファレジスタ_2A	PWBFR_2A	16	H'FFFFFF4F8	16
	PWM バッファレジスタ_2C	PWBFR_2C	16	H'FFFFFF4FA	16
	PWM バッファレジスタ_2E	PWBFR_2E	16	H'FFFFFF4FC	16
	PWM バッファレジスタ_2G	PWBFR_2G	16	H'FFFFFF4FE	16
	PWM バッファ転送コントロールレジスタ	PWBTCR	8	H'FFFFFF406	8, 16
汎用入出力ポート	ポート A・IO レジスタ 0	PAIOR0	16	H'FFFFFF3812	8, 16*
	ポート A データレジスタ 0	PADR0	16	H'FFFFFF3816	8, 16*
	ポート A ポートレジスタ 0	PAPR0	16	H'FFFFFF381A	8, 16
	ポート B コントロールレジスタ 5	PBCR5	16	H'FFFFFF3824	8, 16, 32
	ポート B コントロールレジスタ 4	PBCR4	16	H'FFFFFF3826	8, 16
	ポート B コントロールレジスタ 3	PBCR3	16	H'FFFFFF3828	8, 16, 32
	ポート B コントロールレジスタ 2	PBCR2	16	H'FFFFFF382A	8, 16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
汎用入出力ポート	ポート B コントロールレジスタ 1	PBCR1	16	H'FFFE382C	8、16、32
	ポート B コントロールレジスタ 0	PBCR0	16	H'FFFE382E	8、16
	ポート B・IO レジスタ 1	PBIOR1	16	H'FFFE3830	8、16、32
	ポート B・IO レジスタ 0	PBIOR0	16	H'FFFE3832	8、16
	ポート B データレジスタ 1	PBDR1	16	H'FFFE3834	8、16、32
	ポート B データレジスタ 0	PBDR0	16	H'FFFE3836	8、16
	ポート B ポートレジスタ 1	PBPR1	16	H'FFFE3838	8、16、32
	ポート B ポートレジスタ 0	PBPR0	16	H'FFFE383A	8、16
	ポート C コントロールレジスタ 2	PCCR2	16	H'FFFE384A	8、16
	ポート C コントロールレジスタ 1	PCCR1	16	H'FFFE384C	8、16、32
	ポート C コントロールレジスタ 0	PCCR0	16	H'FFFE384E	8、16
	ポート C・IO レジスタ 0	PCIOR0	16	H'FFFE3852	8、16
	ポート C データレジスタ 0	PCDR0	16	H'FFFE3856	8、16
	ポート C ポートレジスタ 0	PCPR0	16	H'FFFE385A	8、16
	ポート D コントロールレジスタ 3	PDCR3	16	H'FFFE3868	8、16、32
	ポート D コントロールレジスタ 2	PDCR2	16	H'FFFE386A	8、16
	ポート D コントロールレジスタ 1	PDCR1	16	H'FFFE386C	8、16、32
	ポート D コントロールレジスタ 0	PDCR0	16	H'FFFE386E	8、16
	ポート D・IO レジスタ 0	PDIOR0	16	H'FFFE3872	8、16
	ポート D データレジスタ 0	PDDR0	16	H'FFFE3876	8、16
	ポート D ポートレジスタ 0	P DPR0	16	H'FFFE387A	8、16
	ポート E コントロールレジスタ 1	PECR1	16	H'FFFE388C	8、16、32
	ポート E コントロールレジスタ 0	PECR0	16	H'FFFE388E	8、16
	ポート E・IO レジスタ 0	PEIOR0	16	H'FFFE3892	8、16
	ポート E データレジスタ 0	PEDR0	16	H'FFFE3896	8、16
	ポート E ポートレジスタ 0	PEPR0	16	H'FFFE389A	8、16
	ポート F コントロールレジスタ 6	PFCR6	16	H'FFFE38A2	8、16
	ポート F コントロールレジスタ 5	PFCR5	16	H'FFFE38A4	8、16、32
	ポート F コントロールレジスタ 4	PFCR4	16	H'FFFE38A6	8、16*
	ポート F コントロールレジスタ 3	PFCR3	16	H'FFFE38A8	8、16、32
	ポート F コントロールレジスタ 2	PFCR2	16	H'FFFE38AA	8、16
	ポート F コントロールレジスタ 1	PFCR1	16	H'FFFE38AC	8、16、32
	ポート F コントロールレジスタ 0	PFCR0	16	H'FFFE38AE	8、16
	ポート F・IO レジスタ 1	PFIOR1	16	H'FFFE38B0	8、16、32
ポート F・IO レジスタ 0	PFIOR0	16	H'FFFE38B2	8、16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
汎用入出力ポート	ポート F データレジスタ 1	PFDR1	16	H'FFFE38B4	8、16、32
	ポート F データレジスタ 0	PFDR0	16	H'FFFE38B6	8、16
	ポート F ポートレジスタ 1	PFPR1	16	H'FFFE38B8	8、16、32
	ポート F ポートレジスタ 0	PFPR0	16	H'FFFE38BA	8、16
	ポート G コントロールレジスタ 6	PGCR6	16	H'FFFE38C2	8、16
	ポート G コントロールレジスタ 5	PGCR5	16	H'FFFE38C4	8、16、32
	ポート G コントロールレジスタ 4	PGCR4	16	H'FFFE38C6	8、16
	ポート G コントロールレジスタ 3	PGCR3	16	H'FFFE38C8	8、16、32
	ポート G コントロールレジスタ 2	PGCR2	16	H'FFFE38CA	8、16
	ポート G コントロールレジスタ 1	PGCR1	16	H'FFFE38CC	8、16、32
	ポート G コントロールレジスタ 0	PGCR0	16	H'FFFE38CE	8、16
	ポート G・IO レジスタ 1	PGIOR1	16	H'FFFE38D0	8、16、32
	ポート G・IO レジスタ 0	PGIOR0	16	H'FFFE38D2	8、16
	ポート G データレジスタ 1	PGDR1	16	H'FFFE38D4	8、16、32
	ポート G データレジスタ 0	PGDR0	16	H'FFFE38D6	8、16
	ポート G ポートレジスタ 1	PGPR1	16	H'FFFE38D8	8、16、32
	ポート G ポートレジスタ 0	PGPR0	16	H'FFFE38DA	8、16
	ポート H コントロールレジスタ 1	PHCR1	16	H'FFFE38EC	8、16、32
	ポート H コントロールレジスタ 0	PHCR0	16	H'FFFE38EE	8、16
	ポート H ポートレジスタ 0	PHPR0	16	H'FFFE38FA	8、16
	ポート J コントロールレジスタ 7	PJCR7	16	H'FFFE3900	8、16、32
	ポート J コントロールレジスタ 6	PJCR6	16	H'FFFE3902	8、16
	ポート J コントロールレジスタ 5	PJCR5	16	H'FFFE3904	8、16、32
	ポート J コントロールレジスタ 4	PJCR4	16	H'FFFE3906	8、16
	ポート J コントロールレジスタ 3	PJCR3	16	H'FFFE3908	8、16、32
	ポート J コントロールレジスタ 2	PJCR2	16	H'FFFE390A	8、16
	ポート J コントロールレジスタ 1	PJCR1	16	H'FFFE390C	8、16、32
	ポート J コントロールレジスタ 0	PJCR0	16	H'FFFE390E	8、16
	ポート J・IO レジスタ 1	PJIOR1	16	H'FFFE3910	8、16、32
	ポート J・IO レジスタ 0	PJIOR0	16	H'FFFE3912	8、16
	ポート J データレジスタ 1	PJDR1	16	H'FFFE3914	8、16、32
	ポート J データレジスタ 0	PJDR0	16	H'FFFE3916	8、16
	ポート J ポートレジスタ 1	PJPR1	16	H'FFFE3918	8、16、32
	ポート J ポートレジスタ 0	PJPR0	16	H'FFFE391A	8、16
	シリアルサウンドインタフェースノイズキャンセラ コントロールレジスタ	SNCR	16	H'FFFE393E	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
低消費電力モード	スタンバイコントロールレジスタ 1	STBCR1	8	H'FFFE0014	8
	スタンバイコントロールレジスタ 2	STBCR2	8	H'FFFE0018	8
	スタンバイコントロールレジスタ 3	STBCR3	8	H'FFFE0408	8
	スタンバイコントロールレジスタ 4	STBCR4	8	H'FFFE040C	8
	スタンバイコントロールレジスタ 5	STBCR5	8	H'FFFE0410	8
	スタンバイコントロールレジスタ 6	STBCR6	8	H'FFFE0414	8
	スタンバイコントロールレジスタ 7	STBCR7	8	H'FFFE0418	8
	スタンバイコントロールレジスタ 8	STBCR8	8	H'FFFE041C	8
	スタンバイコントロールレジスタ 9	STBCR9	8	H'FFFE0440	8
	スタンバイコントロールレジスタ 10	STBCR10	8	H'FFFE0444	8
	ソフトウェアリセットコントロールレジスタ 1	SWRSTCR1	8	H'FFFE0430	8
	ソフトウェアリセットコントロールレジスタ 2	SWRSTCR2	8	H'FFFE0434	8
	システムコントロールレジスタ 1	SYSCR1	8	H'FFFE0400	8
	システムコントロールレジスタ 2	SYSCR2	8	H'FFFE0404	8
	システムコントロールレジスタ 3	SYSCR3	8	H'FFFE0420	8
	システムコントロールレジスタ 4	SYSCR4	8	H'FFFE0424	8
	システムコントロールレジスタ 5	SYSCR5	8	H'FFFE0428	8
	保持用内蔵 RAM 保持エリア指定レジスタ	RRAMKP	8	H'FFFE6800	8
	ディープスタンバイコントロールレジスタ	DSCTR	8	H'FFFE6802	8
	ディープスタンバイ解除要因セレクトレジスタ	DSSSR	16	H'FFFE6804	16
ディープスタンバイ解除エッジセレクトレジスタ	DSESR	16	H'FFFE6806	16	
ディープスタンバイ解除要因フラグレジスタ	DSFR	16	H'FFFE6808	16	
XTAL 水晶発振器ゲインコントロールレジスタ	XTALCTR	8	H'FFFE6810	8	
ユーザデバッグ インタフェース	インタラクションレジスタ	SDIR	16	H'FFFE2000	16

51.2 レジスタビット一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
クロック パルス発振器	FRQCR	-	CKOEN2	CKOEN[1]	CKOEN[0]	-	-	IFC[1]	IFC[0]
		-	-	BFC[1]	BFC[0]	-	-	-	-
割り込み コントローラ	ICR0	NMIL	-	-	-	-	-	-	NMIE
		-	-	-	-	-	-	-	-
	ICR1	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S
		IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
	ICR2	-	-	-	-	-	-	-	-
		PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
IRQRR		-	-	-	-	-	-	-	-
		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
PINTER		-	-	-	-	-	-	-	-
		PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
PIRR		-	-	-	-	-	-	-	-
		PINT7R	PINT6R	PINT5R	PINT4R	PINT3R	PINT2R	PINT1R	PINT0R
IBCR		E15	E14	E13	E12	E11	E10	E9	E8
		E7	E6	E5	E4	E3	E2	E1	-
IBNR		BE[1]	BE[0]	BOVE	-	-	-	-	-
		-	-	-	-	BN[3]	BN[2]	BN[1]	BN[0]
IPR01									
IPR02									
IPR05									
IPR06									
IPR07									
IPR08									
IPR09									
IPR10									

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
割り込み コントローラ	IPR11								
	IPR12								
	IPR13								
	IPR14								
	IPR15								
	IPR16								
	IPR17								
	IPR18								
	IPR19								
	IPR20								
	IPR21								
	IPR22								
IPR23									
IPR24									
IPR25									
IPR26									
キャッシュ	CCR1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	ICF	-	-	ICE
		-	-	-	-	OCF	-	WT	OCE

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
キャッシュ	CCR2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	LE
		-	-	-	-	-	-	W3LOAD	W3LOCK
		-	-	-	-	-	-	W2LOAD	W2LOCK
ユーザ ブレイク コントローラ	BAR_0	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BAMR_0	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24
		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
		BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8
		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
	BBR_0	-	-	UBID	DBE	-	-	CP[1]	CP[0]
		CD[1]	CD[0]	ID[1]	ID[0]	RW[1]	RW[0]	SZ[1]	SZ[0]
	BDR_0	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24
		BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
		BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8
		BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
	BDMR_0	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24
		BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16
		BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8
		BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0
	BAR_1	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BAMR_1	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24
		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
		BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8
		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
	BBR_1	-	-	UBID	DBE	-	-	CP[1]	CP[0]
		CD[1]	CD[0]	ID[1]	ID[0]	RW[1]	RW[0]	SZ[1]	SZ[0]
	BDR_1	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24
		BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
		BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8
		BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ユーザ ブ레이크 コントローラ	BDMR_1	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24	
		BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16	
		BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8	
		BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0	
	BRCR	-	-	-	-	-	-	-	-	-
		-	-	-	-	UTOD1	UTOD0	CKS[1]	CKS[0]	-
		SCMFC0	SCMFC1	SCMFD0	SCMFD1	-	-	-	-	-
		PCB1	PCB0	-	-	-	-	-	-	
バーステート コントローラ	CMNCR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	BLOCK	DPRTY[1]	DPRTY[0]	DMAIW[2]	
		DMAIW[1]	DMAIW[0]	DMAIWA	-	-	-	HIZMEM	HIZCNT	
	CS0BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]	
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]	
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-	
		-	-	-	-	-	-	-	-	
	CS1BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]	
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]	
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-	
		-	-	-	-	-	-	-	-	
	CS2BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]	
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]	
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-	
		-	-	-	-	-	-	-	-	
	CS3BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]	
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]	
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-	
		-	-	-	-	-	-	-	-	
	CS4BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]	
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]	
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-	
		-	-	-	-	-	-	-	-	
CS5BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]		
	IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]		
	-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-		
	-	-	-	-	-	-	-	-		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
バスステート コントローラ	CS0WCR	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	-	-	-
		-	-	-	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	HW[1]	HW[0]
	CS0WCR	-	-	-	-	-	-	-	-
		-	-	BST[1]	BST[0]	-	-	BW[1]	BW[0]
		-	-	-	-	-	W[3]	W[2]	W[1]
		W[0]	WM	-	-	-	-	-	-
	CS0WCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	BW[1]	BW[0]
		-	-	-	-	-	W[3]	W[2]	W[1]
		W[0]	WM	-	-	-	-	-	-
	CS1WCR	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	WW[2]	WW[1]	WW[0]
		-	-	-	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	HW[1]	HW[0]
	CS2WCR	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	-	-	-
		-	-	-	-	-	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	-	-
	CS2WCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	A2CL1
		A2CL0	-	-	-	-	-	-	-
	CS3WCR	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	-	-	-
		-	-	-	-	-	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	-	-
	CS3WCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	WTRP[1]	WTRP[0]	-	WTRCD[1]	WTRCD[0]	-	A3CL1
		A3CL0	-	-	TRWL[1]	TRWL[0]	-	WTRC[1]	WTRC[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
バスステート コントローラ	CS4WCR	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	WW[2]	WW[1]	WW[0]
		-	-	-	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	HW[1]	HW[0]
	CS4WCR	-	-	-	-	-	-	-	-
		-	-	BST[1]	BST[0]	-	-	BW[1]	BW[0]
		-	-	-	SW[1]	SW[0]	W[3]	W[2]	W[1]
		W[0]	WM	-	-	-	-	HW[1]	HW[0]
	CS5WCR	-	-	-	-	-	-	-	-
		-	-	SZSEL	MPXW/BAS	-	WW[2]	WW[1]	WW[0]
		-	-	-	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	HW[1]	HW[0]
	CS5WCR	-	-	-	-	-	-	-	-
		-	-	SA[1]	SA[0]	-	-	-	-
		-	TED[3]	TED[2]	TED[1]	TED[0]	PCW[3]	PCW[2]	PCW[1]
		PCW[0]	WM	-	-	TEH[3]	TEH[2]	TEH[1]	TEH[0]
	SDCR	-	-	-	-	-	-	-	-
		-	-	-	A2ROW[1]	A2ROW[0]	-	A2COL[1]	A2COL[0]
		-	-	DEEP	-	RFSH	RMODE	PDOWN	BACTV
		-	-	-	A3ROW[1]	A3ROW[0]	-	A3COL[1]	A3COL[0]
	RTCSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		CMF	CMIE	CKS[2]	CKS[1]	CKS[0]	RRC[2]	RRC[1]	RRC[0]
	RTCNT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	RTCOR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ダイレクト メモリ アクセス コントローラ	SAR0								
	DAR0								
	DMATCR0	-	-	-	-	-	-	-	-
	CHCR0	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		DO	TL	-	TEMASK	HE	HIE	AM	AL
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		DL	DS	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR0								
	RDAR0								
	RDMATCR0	-	-	-	-	-	-	-	-
	SAR1								
	DAR1								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	DMATCHR1	-	-	-	-	-	-	-	-
	CHCR1	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		DO	TL	-	TEMASK	HE	HIE	AM	AL
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		DL	DS	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR1								
	RDAR1								
	RDMATCHR1	-	-	-	-	-	-	-	-
	SAR2								
	DAR2								
	DMATCHR2	-	-	-	-	-	-	-	-
	CHCR2	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ダイレクト メモリ アクセス コントローラ	RSAR2								
	RDAR2								
	RDMATCR2	-	-	-	-	-	-	-	-
	SAR3								
	DAR3								
	DMATCR3	-	-	-	-	-	-	-	-
	CHCR3	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR3								
	RDAR3								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	RDMATCR3	-	-	-	-	-	-	-	-
	SAR4								
	DAR4								
	DMATCR4	-	-	-	-	-	-	-	-
	CHCR4	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR4								
	RDAR4								
	RDMATCR4	-	-	-	-	-	-	-	-
	SAR5								

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ダイレクト メモリ アクセス コントローラ	DAR5								
	DMATCR5	-	-	-	-	-	-	-	-
	CHCR5	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR5								
	RDAR5								
	RDMATCR5	-	-	-	-	-	-	-	-
	SAR6								
	DAR6								
	DMATCR6	-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ダイレクト メモリ アクセス コントローラ	CHCR6	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-	
		-	-	-	TEMASK	HE	HIE	-	-	
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]	
		-	-	TB	TS[1]	TS[0]	IE	TE	DE	
	RSAR6									
	RDAR6									
	RDMATCR6	-	-	-	-	-	-	-	-	-
	SAR7									
	DAR7									
	DMATCR7	-	-	-	-	-	-	-	-	-
CHCR7	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-		
	-	-	-	TEMASK	HE	HIE	-	-		
	DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]		
	-	-	TB	TS[1]	TS[0]	IE	TE	DE		
RSAR7										

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ダイレクト メモリ アクセス コントローラ	RDAR7								
	RDMATCR7	-	-	-	-	-	-	-	-
	SAR8								
	DAR8								
	DMATCR8	-	-	-	-	-	-	-	-
	CHCR8	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR8								
	RDAR8								
	RDMATCR8	-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ダイレクト メモリ アクセス コントローラ	SAR9								
	DAR9								
	DMATCR9	-	-	-	-	-	-	-	-
	CHCR9	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR9								
	RDAR9								
	RDMATCR9	-	-	-	-	-	-	-	-
	SAR10								
	DAR10								

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ダイレクト メモリ アクセス コントローラ	DMATCHR10	-	-	-	-	-	-	-	-
	CHCR10	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR10								
	RDAR10								
	RDMATCHR10	-	-	-	-	-	-	-	-
	SAR11								
	DAR11								
	DMATCHR11	-	-	-	-	-	-	-	-
	CHCR11	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ダイレクト メモリ アクセス コントローラ	RSAR11								
	RDAR11								
	RDMATCR11	-	-	-	-	-	-	-	-
	SAR12								
	DAR12								
	DMATCR12	-	-	-	-	-	-	-	-
	CHCR12	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR12								
	RDAR12								

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ダイレクト メモリ アクセス コントローラ	RDMATCR12	-	-	-	-	-	-	-	-
	SAR13								
	DAR13								
	DMATCR13	-	-	-	-	-	-	-	-
	CHCR13	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR13								
	RDAR13								
	RDMATCR13	-	-	-	-	-	-	-	-
	SAR14								

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ダイレクト メモリ アクセス コントローラ	DAR14								
	DMATCR14	-	-	-	-	-	-	-	-
	CHCR14	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR14								
	RDAR14								
	RDMATCR14	-	-	-	-	-	-	-	-
	SAR15								
	DAR15								
	DMATCR15	-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	CHCR15	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
RSAR15									
RDAR15									
RDMATCR15		-	-	-	-	-	-	-	-
DMAOR		-	-	CMS[1]	CMS[0]	-	-	PR[1]	PR[0]
		-	-	-	-	-	AE	NMIF	DME
DMARS0	CH1MID[5]	CH1MID[4]	CH1MID[3]	CH1MID[2]	CH1MID[1]	CH1MID[0]	CH1RID[1]	CH1RID[0]	
	CH0MID[5]	CH0MID[4]	CH0MID[3]	CH0MID[2]	CH0MID[1]	CH0MID[0]	CH0RID[1]	CH0RID[0]	
DMARS1	CH3MID[5]	CH3MID[4]	CH3MID[3]	CH3MID[2]	CH3MID[1]	CH3MID[0]	CH3RID[1]	CH3RID[0]	
	CH2MID[5]	CH2MID[4]	CH2MID[3]	CH2MID[2]	CH2MID[1]	CH2MID[0]	CH2RID[1]	CH2RID[0]	
DMARS2	CH5MID[5]	CH5MID[4]	CH5MID[3]	CH5MID[2]	CH5MID[1]	CH5MID[0]	CH5RID[1]	CH5RID[0]	
	CH4MID[5]	CH4MID[4]	CH4MID[3]	CH4MID[2]	CH4MID[1]	CH4MID[0]	CH4RID[1]	CH4RID[0]	
DMARS3	CH7MID[5]	CH7MID[4]	CH7MID[3]	CH7MID[2]	CH7MID[1]	CH7MID[0]	CH7RID[1]	CH7RID[0]	
	CH6MID[5]	CH6MID[4]	CH6MID[3]	CH6MID[2]	CH6MID[1]	CH6MID[0]	CH6RID[1]	CH6RID[0]	
DMARS4	CH9MID[5]	CH9MID[4]	CH9MID[3]	CH9MID[2]	CH9MID[1]	CH9MID[0]	CH9RID[1]	CH9RID[0]	
	CH8MID[5]	CH8MID[4]	CH8MID[3]	CH8MID[2]	CH8MID[1]	CH8MID[0]	CH8RID[1]	CH8RID[0]	
DMARS5	CH11MID[5]	CH11MID[4]	CH11MID[3]	CH11MID[2]	CH11MID[1]	CH11MID[0]	CH11RID[1]	CH11RID[0]	
	CH10MID[5]	CH10MID[4]	CH10MID[3]	CH10MID[2]	CH10MID[1]	CH10MID[0]	CH10RID[1]	CH10RID[0]	
DMARS6	CH13MID[5]	CH13MID[4]	CH13MID[3]	CH13MID[2]	CH13MID[1]	CH13MID[0]	CH13RID[1]	CH13RID[0]	
	CH12MID[5]	CH12MID[4]	CH12MID[3]	CH12MID[2]	CH12MID[1]	CH12MID[0]	CH12RID[1]	CH12RID[0]	
DMARS7	CH15MID[5]	CH15MID[4]	CH15MID[3]	CH15MID[2]	CH15MID[1]	CH15MID[0]	CH15RID[1]	CH15RID[0]	
	CH14MID[5]	CH14MID[4]	CH14MID[3]	CH14MID[2]	CH14MID[1]	CH14MID[0]	CH14RID[1]	CH14RID[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
マルチ ファンク ション タイムパルス ユニット2	TCR_0	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_0	-	BFE	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]
	TIORH_0	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIORL_0	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]
	TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_0	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_0								
	TGRA_0								
	TGRB_0								
	TGRC_0								
	TGRD_0								
	TGRE_0								
	TGRF_0								
	TIER2_0	TTGE2	-	-	-	-	-	TGIEF	TGIEE
	TSR2_0	-	-	-	-	-	-	TGFF	TGFE
	TBTM_0	-	-	-	-	-	TTSE	TTSB	T TSA
	TCR_1	-	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_1	-	-	-	-	MD[3]	MD[2]	MD[1]	MD[0]
	TIOR_1	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
	TSR_1	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_1								
	TGRA_1								
	TGRB_1								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
マルチ ファンク ション タイマバルス ユニット2	TICCR	-	-	-	-	I2BE	I2AE	I1BE	I1AE
	TCR_2	-	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_2	-	-	-	-	MD[3]	MD[2]	MD[1]	MD[0]
	TIOR_2	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
	TSR_2	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_2								
	TGRA_2								
	TGRB_2								
	TCR_3	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_3	-	-	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]
	TIORH_3	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIORL_3	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]
	TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_3	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_3								
	TGRA_3								
	TGRB_3								
	TGRC_3								
	TGRD_3								
	TBTM_3	-	-	-	-	-	-	TTSB	T TSA
	TCR_4	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_4	-	-	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]
	TIORH_4	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIORL_4	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]
	TIER_4	TTGE	TTGE2	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_4	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
マルチ ファンク ション タイマパルス ユニット2	TCNT_4								
	TGRA_4								
	TGRB_4								
	TGRC_4								
	TGRD_4								
	TBTM_4	-	-	-	-	-	-	TTSB	TTSA
	TADCR	BF[1]	BF[0]	-	-	-	-	-	-
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
	TADCORA_4								
	TADCORB_4								
	TADCOBRA_4								
	TADCOBRB_4								
	TSTR	CST4	CST3	-	-	-	CST2	CST1	CST0
	TSYR	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
	TRWER	-	-	-	-	-	-	-	RWE
	TOER	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
	TOCR1	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
	TOCR2	BF[1]	BF[0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
	TGCR	-	BDC	N	P	FB	WF	VF	UF
	TCDR								
	TDDR								
TCNTS									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
マルチ ファンク ション タイムバルス ユニット2	TCBR								
	TITCR	T3AEN	3ACOR[2]	3ACOR[1]	3ACOR[0]	T4VEN	4VCOR[2]	4VCOR[1]	4VCOR[0]
	TITCNT	-	3ACNT[2]	3ACNT[1]	3ACNT[0]	-	4VCNT[2]	4VCNT[1]	4VCNT[0]
	TBTER	-	-	-	-	-	-	BTE[1]	BTE[0]
	TDER	-	-	-	-	-	-	-	TDER
	TWCR	CCE	-	-	-	-	-	-	WRE
	TOLBR	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
コンペア マッチタイマ	CMSTR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	STR1	STR0
	CMCSR_0	-	-	-	-	-	-	-	-
		CMF	CMIE	-	-	-	-	-	CKS[1]
	CMCNT_0								
	CMCOR_0								
	CMCSR_1	-	-	-	-	-	-	-	-
		CMF	CMIE	-	-	-	-	-	CKS[1]
CMCNT_1									
CMCOR_1									
ウォッチ ドッグタイマ	WTCNT								
	WTCSR	IOVF	WT \bar{IT}	TME	-	-	CKS[2]	CKS[1]	CKS[0]
	WRCSR	WOVF	RSTE	RSTS	-	-	-	-	-
リアルタイム クロック	R64CNT	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
	RSECCNT	-	10 秒[2]	10 秒[1]	10 秒[0]	1 秒[3]	1 秒[2]	1 秒[1]	1 秒[0]
	RMINCNT	-	10 分[2]	10 分[1]	10 分[0]	1 分[3]	1 分[2]	1 分[1]	1 分[0]
	RHRCNT	-	-	10 時間[1]	10 時間[0]	1 時間[3]	1 時間[2]	1 時間[1]	1 時間[0]
	RWKCNT	-	-	-	-	-	曜日[2]	曜日[1]	曜日[0]
	RDAYCNT	-	-	10 日[1]	10 日[0]	1 日[3]	1 日[2]	1 日[1]	1 日[0]
	RMONCNT	-	-	-	10 月	1 月[3]	1 月[2]	1 月[1]	1 月[0]
	RYRCNT	1000 年[3]	1000 年[2]	1000 年[1]	1000 年[0]	100 年[3]	100 年[2]	100 年[1]	100 年[0]
		10 年[3]	10 年[2]	10 年[1]	10 年[0]	1 年[3]	1 年[2]	1 年[1]	1 年[0]
	RSECAR	ENB	10 秒[2]	10 秒[1]	10 秒[0]	1 秒[3]	1 秒[2]	1 秒[1]	1 秒[0]
	RMINAR	ENB	10 分[2]	10 分[1]	10 分[0]	1 分[3]	1 分[2]	1 分[1]	1 分[0]
RHRAR	ENB	-	10 時間[1]	10 時間[0]	1 時間[3]	1 時間[2]	1 時間[1]	1 時間[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
リアルタイム クロック	RWKAR	ENB	-	-	-	-	曜日[2]	曜日[1]	曜日[0]
	RDAYAR	ENB	-	10日[1]	10日[0]	1日[3]	1日[2]	1日[1]	1日[0]
	RMONAR	ENB	-	-	10月	1月[3]	1月[2]	1月[1]	1月[0]
	RYRAR	1000年[3]	1000年[2]	1000年[1]	1000年[0]	100年[3]	100年[2]	100年[1]	100年[0]
		10年[3]	10年[2]	10年[1]	10年[0]	1年[3]	1年[2]	1年[1]	1年[0]
	RCR1	CF	-	-	CIE	AIE	-	-	AF
	RCR2	PEF	PES[2]	PES[1]	PES[0]	RTCEN	ADJ	RESET	START
	RCR3	ENB	-	-	-	-	-	-	-
	RCR5	-	-	-	-	-	-	-	RCKSEL
	RFRH	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	RFC[16]
	RFRL	RFC[15]	RFC[14]	RFC[13]	RFC[12]	RFC[11]	RFC[10]	RFC[9]	RFC[8]
		RFC[7]	RFC[6]	RFC[5]	RFC[4]	RFC[3]	RFC[2]	RFC[1]	RFC[0]
	FIFO 内蔵 シリアル コミュニケーション ユニット	SCSMR_0	-	-	-	-	-	-	-
C/ \bar{A}			CHR	PE	O/ \bar{E}	STOP	-	CKS[1]	CKS[0]
SCBRR_0									
SCSCR_0		-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]
SCFTDR_0									
SCFSR_0		PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
SCFRDR_0									
SCFCR_0		-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
SCFDR_0		-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]
SCSPTR_0		-	-	-	-	-	-	-	-
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
SCLSR_0		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ORER
SCEMR_0		-	-	-	-	-	-	-	-
		BGDM	-	-	-	-	-	-	ABCS
SCSMR_1		-	-	-	-	-	-	-	-
		C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	CKS[1]	CKS[0]
SCBRR_1									
SCSCR_1		-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FIFO 内蔵 シリアル コミュニケーション ユニット	SCFTDR_1								
	SCFSR_1	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_1								
	SCFCR_1	-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_1	-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_1	-	-	-	-	-	-	-	-
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ORER
	SCEMR_1	-	-	-	-	-	-	-	-
		BGDM	-	-	-	-	-	-	ABCS
	SCSMR_2	-	-	-	-	-	-	-	-
		C/Ā	CHR	PE	O/Ē	STOP	-	CKS[1]	CKS[0]
	SCBRR_2								
	SCSCR_2	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]
	SCFTDR_2								
	SCFSR_2	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_2								
	SCFCR_2	-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_2	-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_2	-	-	-	-	-	-	-	-
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ORER
	SCEMR_2	-	-	-	-	-	-	-	-
		BGDM	-	-	-	-	-	-	ABCS
SCSMR_3	-	-	-	-	-	-	-	-	
	C/Ā	CHR	PE	O/Ē	STOP	-	CKS[1]	CKS[0]	
SCBRR_3									

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
FIFO 内蔵 シリアル コミュニケーション ユニット	SCSCR_3	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]
	SCFTDR_3								
	SCFSR_3	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_3								
	SCFCR_3	-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_3	-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_3	-	-	-	-	-	-	-	-
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ORER
	SCEMR_3	-	-	-	-	-	-	-	-
		BGDM	-	-	-	-	-	-	ABCS
	SCSMR_4	-	-	-	-	-	-	-	-
		C/Ā	CHR	PE	O/Ē	STOP	-	CKS[1]	CKS[0]
	SCBRR_4								
	SCSCR_4	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]
	SCFTDR_4								
	SCFSR_4	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_4								
	SCFCR_4	-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_4	-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_4	-	-	-	-	-	-	-	-
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_4	-	-	-	-	-	-	-	-
-		-	-	-	-	-	-	ORER	
SCEMR_4	-	-	-	-	-	-	-	-	
	BGDM	-	-	-	-	-	-	ABCS	
SCSMR_5	-	-	-	-	-	-	-	-	
	C/Ā	CHR	PE	O/Ē	STOP	-	CKS[1]	CKS[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FIFO 内蔵 シリアル コミュニケーション ユニット	SCBRR_5								
	SCSCR_5	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]
	SCFTDR_5								
	SCFSR_5	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_5								
	SCFCR_5	-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_5	-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_5	-	-	-	-	-	-	-	-
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ORER
	SCEMR_5	-	-	-	-	-	-	-	-
		BGDM	-	-	-	-	-	-	ABCS
	SCSMR_6	-	-	-	-	-	-	-	-
		C/A	CHR	PE	O/E	STOP	-	CKS[1]	CKS[0]
	SCBRR_6								
	SCSCR_6	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]
	SCFTDR_6								
	SCFSR_6	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_6								
	SCFCR_6	-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_6	-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_6	-	-	-	-	-	-	-	-
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ORER
	SCEMR_6	-	-	-	-	-	-	-	-
		BGDM	-	-	-	-	-	-	ABCS

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FIFO 内蔵 シリアル コミュニケー ション ユニット	SCSMR_7	-	-	-	-	-	-	-	-
		C/Ā	CHR	PE	O/Ē	STOP	-	CKS[1]	CKS[0]
	SCBRR_7								
	SCSCR_7	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]
	SCFTDR_7								
	SCFSR_7	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_7								
	SCFCR_7	-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_7	-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_7	-	-	-	-	-	-	-	-
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ORER
	SCEMR_7	-	-	-	-	-	-	-	-
BGDM		-	-	-	-	-	-	ABCS	
ルネサス シリアル ペリフェラル インタ フェース	SPCR_0	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	-	-
	SSLP_0	-	-	-	-	-	-	-	SSL0P
	SPPCR_0	-	-	MOIFE	MOIFV	-	-	-	SPLP
	SPSR_0	SPRF	TEND	SPTEF	-	-	MODF	-	OVRF
	SPDR_0	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	SPSCR_0	-	-	-	-	-	-	SPSLN1	SPSLN0
	SPSSR_0	-	-	-	-	-	-	SPCP1	SPCP0
	SPBR_0	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
	SPDCR_0	TXDMY	SPLW1	SPLW0	-	-	-	-	-
	SPCKD_0	-	-	-	-	-	SCKDL2	SCKDL1	SCKDL0
	SSLND_0	-	-	-	-	-	SLNDL2	SLNDL1	SLNDL0
	SPND_0	-	-	-	-	-	SPNDL2	SPNDL1	SPNDL0
	SPCMD_00	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ルネサス シリアル ペリフェラル インタ フェース	SPCMD_01	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_02	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_03	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPBFCR_0	TXRST	RXRST	TXTRG[1]	TXTRG[0]	-	RXTRG[2]	RXTRG[1]	RXTRG[0]
	SPBFDR_0	-	-	-	-	T[3]	T[2]	T[1]	T[0]
		-	-	R[5]	R[4]	R[3]	R[2]	R[1]	R[0]
	SPCR_1	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	-	-
	SSLP_1	-	-	-	-	-	-	-	SSL0P
	SPPCR_1	-	-	MOIFE	MOIFV	-	-	-	SPLP
	SPSR_1	SPRF	TEND	SPTEF	-	-	MODF	-	OVRF
	SPDR_1	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	SPSCR_1	-	-	-	-	-	-	SPSLN1	SPSLN0
	SPSSR_1	-	-	-	-	-	-	SPCP1	SPCP0
	SPBR_1	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
	SPDCR_1	TXDMY	SPLW1	SPLW0	-	-	-	-	-
	SPCKD_1	-	-	-	-	-	SCKDL2	SCKDL1	SCKDL0
	SSLND_1	-	-	-	-	-	SLNDL2	SLNDL1	SLNDL0
	SPND_1	-	-	-	-	-	SPNDL2	SPNDL1	SPNDL0
	SPCMD_10	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_11	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_12	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
SPCMD_13	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	
	SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA	
SPBFCR_1	TXRST	RXRST	TXTRG[1]	TXTRG[0]	-	RXTRG[2]	RXTRG[1]	RXTRG[0]	
SPBFDR_1	-	-	-	-	T[3]	T[2]	T[1]	T[0]	
	-	-	R[5]	R[4]	R[3]	R[2]	R[1]	R[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ルネサス クワッド シリアル ペリフェラル インタ フェース	SPCR_0	SPRIE	SPE	SPTIE	-	-	-	-	-
	SSLP_0	-	-	-	-	-	-	-	SSLP
	SPPCR_0	-	-	MOIFE	MOIFV	-	IO3FV	IO2FV	SPLP
	SPSR_0	SPRFF	TEND	SPTIEF	-	-	-	-	-
	SPDR_0	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	SPSCR_0	-	-	-	-	-	-	SPSC1	SPSC0
	SPSSR_0	-	-	-	-	-	-	SPSS1	SPSS0
	SPBR_0	SPBR7	SPBR6	SPBR5	SPBR4	SPBR3	SPBR2	SPBR1	SPBR0
	SPDCR_0	TXDMY	-	-	-	-	-	-	-
	SPCKD_0	-	-	-	-	-	SCKDL2	SCKDL1	SCKDL0
	SSLND_0	-	-	-	-	-	SLNDL2	SLNDL1	SLNDL0
	SPND_0	-	-	-	-	-	SPNDL2	SPNDL1	SPNDL0
	SPCMD0_0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	SPIMOD1	SPIMOD0	SPRW	BRDV1	BRDV0	CPOL	CPHA
	SPCMD1_0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	SPIMOD1	SPIMOD0	SPRW	BRDV1	BRDV0	CPOL	CPHA
	SPCMD2_0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	SPIMOD1	SPIMOD0	SPRW	BRDV1	BRDV0	CPOL	CPHA
	SPCMD3_0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	SPIMOD1	SPIMOD0	SPRW	BRDV1	BRDV0	CPOL	CPHA
	SPBF0CR_0	TXRST	RXRST	TXTRG1	TXTRG0	-	RXTRG2	RXTRG1	RXTRG0
	SPBD0CR_0	-	-	TXBC5	TXBC4	TXBC3	TXBC2	TXBC1	TXBC0
		-	-	RXBC5	RXBC4	RXBC3	RXBC2	RXBC1	RXBC0
	SPBMUL0_0	SPBMUL[31]	SPBMUL[30]	SPBMUL[29]	SPBMUL[28]	SPBMUL[27]	SPBMUL[26]	SPBMUL[25]	SPBMUL[24]
		SPBMUL[23]	SPBMUL[22]	SPBMUL[21]	SPBMUL[20]	SPBMUL[19]	SPBMUL[18]	SPBMUL[17]	SPBMUL[16]
		SPBMUL[15]	SPBMUL[14]	SPBMUL[13]	SPBMUL[12]	SPBMUL[11]	SPBMUL[10]	SPBMUL[9]	SPBMUL[8]
		SPBMUL[7]	SPBMUL[6]	SPBMUL[5]	SPBMUL[4]	SPBMUL[3]	SPBMUL[2]	SPBMUL[1]	SPBMUL[0]
	SPBMUL1_0	SPBMUL[31]	SPBMUL[30]	SPBMUL[29]	SPBMUL[28]	SPBMUL[27]	SPBMUL[26]	SPBMUL[25]	SPBMUL[24]
		SPBMUL[23]	SPBMUL[22]	SPBMUL[21]	SPBMUL[20]	SPBMUL[19]	SPBMUL[18]	SPBMUL[17]	SPBMUL[16]
		SPBMUL[15]	SPBMUL[14]	SPBMUL[13]	SPBMUL[12]	SPBMUL[11]	SPBMUL[10]	SPBMUL[9]	SPBMUL[8]
SPBMUL[7]		SPBMUL[6]	SPBMUL[5]	SPBMUL[4]	SPBMUL[3]	SPBMUL[2]	SPBMUL[1]	SPBMUL[0]	

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ルネサス クワッド シリアル ペリフェラル インタ フェース	SPBMUL2_0	SPBMUL[31]	SPBMUL[30]	SPBMUL[29]	SPBMUL[28]	SPBMUL[27]	SPBMUL[26]	SPBMUL[25]	SPBMUL[24]
		SPBMUL[23]	SPBMUL[22]	SPBMUL[21]	SPBMUL[20]	SPBMUL[19]	SPBMUL[18]	SPBMUL[17]	SPBMUL[16]
		SPBMUL[15]	SPBMUL[14]	SPBMUL[13]	SPBMUL[12]	SPBMUL[11]	SPBMUL[10]	SPBMUL[9]	SPBMUL[8]
		SPBMUL[7]	SPBMUL[6]	SPBMUL[5]	SPBMUL[4]	SPBMUL[3]	SPBMUL[2]	SPBMUL[1]	SPBMUL[0]
	SPBMUL3_0	SPBMUL[31]	SPBMUL[30]	SPBMUL[29]	SPBMUL[28]	SPBMUL[27]	SPBMUL[26]	SPBMUL[25]	SPBMUL[24]
		SPBMUL[23]	SPBMUL[22]	SPBMUL[21]	SPBMUL[20]	SPBMUL[19]	SPBMUL[18]	SPBMUL[17]	SPBMUL[16]
		SPBMUL[15]	SPBMUL[14]	SPBMUL[13]	SPBMUL[12]	SPBMUL[11]	SPBMUL[10]	SPBMUL[9]	SPBMUL[8]
		SPBMUL[7]	SPBMUL[6]	SPBMUL[5]	SPBMUL[4]	SPBMUL[3]	SPBMUL[2]	SPBMUL[1]	SPBMUL[0]
	SPCR_1	SPRIE	SPE	SPTIE	-	-	-	-	-
	SSLP_1	-	-	-	-	-	-	-	SSLP
	SPPCR_1	-	-	MOIFE	MOIFV	-	IO3FV	IO2FV	SPLP
	SPSR_1	SPRFF	TEND	SPTIEF	-	-	-	-	-
	SPDR_1	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	SPSCR_1	-	-	-	-	-	-	SPSC1	SPSC0
	SPSSR_1	-	-	-	-	-	-	SPSS1	SPSS0
	SPBR_1	SPBR7	SPBR6	SPBR5	SPBR4	SPBR3	SPBR2	SPBR1	SPBR0
	SPDCR_1	TXDMY	-	-	-	-	-	-	-
	SPCKD_1	-	-	-	-	-	SCKDL2	SCKDL1	SCKDL0
	SSLND_1	-	-	-	-	-	SLNDL2	SLNDL1	SLNDL0
	SPND_1	-	-	-	-	-	SPNDL2	SPNDL1	SPNDL0
	SPCMD0_1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	SPIMOD1	SPIMOD0	SPRW	BRDV1	BRDV0	CPOL	CPHA
	SPCMD1_1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	SPIMOD1	SPIMOD0	SPRW	BRDV1	BRDV0	CPOL	CPHA
	SPCMD2_1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
SSLKP		SPIMOD1	SPIMOD0	SPRW	BRDV1	BRDV0	CPOL	CPHA	
SPCMD3_1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	
	SSLKP	SPIMOD1	SPIMOD0	SPRW	BRDV1	BRDV0	CPOL	CPHA	
SPBFCR_1	TXRST	RXRST	TXTRG1	TXTRG0	-	RXTRG2	RXTRG1	RXTRG0	
SPBDRCR_1	-	-	TXBC5	TXBC4	TXBC3	TXBC2	TXBC1	TXBC0	
	-	-	RXBC5	RXBC4	RXBC3	RXBC2	RXBC1	RXBC0	

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ルネサス クワッド シリアル ペリフェラル インタ フェース	SPBMUL0_1	SPBMUL[31]	SPBMUL[30]	SPBMUL[29]	SPBMUL[28]	SPBMUL[27]	SPBMUL[26]	SPBMUL[25]	SPBMUL[24]
		SPBMUL[23]	SPBMUL[22]	SPBMUL[21]	SPBMUL[20]	SPBMUL[19]	SPBMUL[18]	SPBMUL[17]	SPBMUL[16]
		SPBMUL[15]	SPBMUL[14]	SPBMUL[13]	SPBMUL[12]	SPBMUL[11]	SPBMUL[10]	SPBMUL[9]	SPBMUL[8]
		SPBMUL[7]	SPBMUL[6]	SPBMUL[5]	SPBMUL[4]	SPBMUL[3]	SPBMUL[2]	SPBMUL[1]	SPBMUL[0]
	SPBMUL1_1	SPBMUL[31]	SPBMUL[30]	SPBMUL[29]	SPBMUL[28]	SPBMUL[27]	SPBMUL[26]	SPBMUL[25]	SPBMUL[24]
		SPBMUL[23]	SPBMUL[22]	SPBMUL[21]	SPBMUL[20]	SPBMUL[19]	SPBMUL[18]	SPBMUL[17]	SPBMUL[16]
		SPBMUL[15]	SPBMUL[14]	SPBMUL[13]	SPBMUL[12]	SPBMUL[11]	SPBMUL[10]	SPBMUL[9]	SPBMUL[8]
		SPBMUL[7]	SPBMUL[6]	SPBMUL[5]	SPBMUL[4]	SPBMUL[3]	SPBMUL[2]	SPBMUL[1]	SPBMUL[0]
	SPBMUL2_1	SPBMUL[31]	SPBMUL[30]	SPBMUL[29]	SPBMUL[28]	SPBMUL[27]	SPBMUL[26]	SPBMUL[25]	SPBMUL[24]
		SPBMUL[23]	SPBMUL[22]	SPBMUL[21]	SPBMUL[20]	SPBMUL[19]	SPBMUL[18]	SPBMUL[17]	SPBMUL[16]
		SPBMUL[15]	SPBMUL[14]	SPBMUL[13]	SPBMUL[12]	SPBMUL[11]	SPBMUL[10]	SPBMUL[9]	SPBMUL[8]
		SPBMUL[7]	SPBMUL[6]	SPBMUL[5]	SPBMUL[4]	SPBMUL[3]	SPBMUL[2]	SPBMUL[1]	SPBMUL[0]
	SPBMUL3_1	SPBMUL[31]	SPBMUL[30]	SPBMUL[29]	SPBMUL[28]	SPBMUL[27]	SPBMUL[26]	SPBMUL[25]	SPBMUL[24]
		SPBMUL[23]	SPBMUL[22]	SPBMUL[21]	SPBMUL[20]	SPBMUL[19]	SPBMUL[18]	SPBMUL[17]	SPBMUL[16]
		SPBMUL[15]	SPBMUL[14]	SPBMUL[13]	SPBMUL[12]	SPBMUL[11]	SPBMUL[10]	SPBMUL[9]	SPBMUL[8]
		SPBMUL[7]	SPBMUL[6]	SPBMUL[5]	SPBMUL[4]	SPBMUL[3]	SPBMUL[2]	SPBMUL[1]	SPBMUL[0]
SPI マルチ I/O バスコン トローラ	CMNCR	MD	-	-	-	-	-	-	-
		MOIO3[1]	MOIO3[0]	MOIO2[1]	MOIO2[0]	MOIO1[1]	MOIO1[0]	MOIO0[1]	MOIO0[0]
		IO3FV[1]	IO3FV[0]	IO2FV[1]	IO2FV[0]	-	-	IO0FV[1]	IO0FV[0]
		-	CPHAT	CPHAR	SSLP	CPOL	-	BSZ[1]	BSZ[0]
	SSLDR	-	-	-	-	-	-	-	-
		-	-	-	-	-	SPNDL[2]	SPNDL[1]	SPNDL[0]
		-	-	-	-	-	SLNDL[2]	SLNDL[1]	SLNDL[0]
		-	-	-	-	-	SCKDL[2]	SCKDL[1]	SCKDL[0]
	SPBCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		SPBR[7]	SPBR[6]	SPBR[5]	SPBR[4]	SPBR[3]	SPBR[2]	SPBR[1]	SPBR[0]
		-	-	-	-	-	-	BRDV[1]	BRDV[0]
	DRCCR	-	-	-	-	-	-	-	-
		-	-	-	-	RBURST[3]	RBURST[2]	RBURST[1]	RBURST[0]
		-	-	-	-	-	-	RCF	RBE
		-	-	-	-	-	-	-	SSLE
	DRCMR	-	-	-	-	-	-	-	-
		CMD[7]	CMD[6]	CMD[5]	CMD[4]	CMD[3]	CMD[2]	CMD[1]	CMD[0]
		-	-	-	-	-	-	-	-
		OCMD[7]	OCMD[6]	OCMD[5]	OCMD[4]	OCMD[3]	OCMD[2]	OCMD[1]	OCMD[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SPI マルチ I/O バスコン トローラ	DREAR	-	-	-	-	-	-	-	-
		EAV[7]	EAV[6]	EAV[5]	EAV[4]	EAV[3]	EAV[2]	EAV[1]	EAV[0]
		-	-	-	-	-	-	-	-
		-	-	-	-	-	EAC[2]	EAC[1]	EAC[0]
	DROPR	OPD3[7]	OPD3[6]	OPD3[5]	OPD3[4]	OPD3[3]	OPD3[2]	OPD3[1]	OPD3[0]
		OPD2[7]	OPD2[6]	OPD2[5]	OPD2[4]	OPD2[3]	OPD2[2]	OPD2[1]	OPD2[0]
		OPD1[7]	OPD1[6]	OPD1[5]	OPD1[4]	OPD1[3]	OPD1[2]	OPD1[1]	OPD1[0]
		OPD0[7]	OPD0[6]	OPD0[5]	OPD0[4]	OPD0[3]	OPD0[2]	OPD0[1]	OPD0[0]
	DRENR	CDB[1]	CDB[0]	OCDB[1]	OCDB[0]	-	-	ADB[1]	ADB[0]
		-	-	OPDB[1]	OPDB[0]	-	-	DRDB[1]	DRDB[0]
		-	CDE	-	OCDE	ADE[3]	ADE[2]	ADE[1]	ADE[0]
		OPDE[3]	OPDE[2]	OPDE[1]	OPDE[0]	-	-	-	-
	SMCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	SSLKP
		-	-	-	-	-	SPIRE	SPIWE	SPIE
	SMCMR	-	-	-	-	-	-	-	-
		CMD[7]	CMD[6]	CMD[5]	CMD[4]	CMD[3]	CMD[2]	CMD[1]	CMD[0]
		-	-	-	-	-	-	-	-
		OCMD[7]	OCMD[6]	OCMD[5]	OCMD[4]	OCMD[3]	OCMD[2]	OCMD[1]	OCMD[0]
	SMADR	ADR[31]	ADR[30]	ADR[29]	ADR[28]	ADR[27]	ADR[26]	ADR[25]	ADR[24]
		ADR[23]	ADR[22]	ADR[21]	ADR[20]	ADR[19]	ADR[18]	ADR[17]	ADR[16]
		ADR[15]	ADR[14]	ADR[13]	ADR[12]	ADR[11]	ADR[10]	ADR[9]	ADR[8]
		ADR[7]	ADR[6]	ADR[5]	ADR[4]	ADR[3]	ADR[2]	ADR[1]	ADR[0]
	SMOPR	OPD3[7]	OPD3[6]	OPD3[5]	OPD3[4]	OPD3[3]	OPD3[2]	OPD3[1]	OPD3[0]
		OPD2[7]	OPD2[6]	OPD2[5]	OPD2[4]	OPD2[3]	OPD2[2]	OPD2[1]	OPD2[0]
		OPD1[7]	OPD1[6]	OPD1[5]	OPD1[4]	OPD1[3]	OPD1[2]	OPD1[1]	OPD1[0]
		OPD0[7]	OPD0[6]	OPD0[5]	OPD0[4]	OPD0[3]	OPD0[2]	OPD0[1]	OPD0[0]
	SMENR	CDB[1]	CDB[0]	OCDB[1]	OCDB[0]	-	-	ADB[1]	ADB[0]
		-	-	OPDB[1]	OPDB[0]	-	-	SPIDB[1]	SPIDB[0]
		-	CDE	-	OCDE	ADE[3]	ADE[2]	ADE[1]	ADE[0]
		OPDE[3]	OPDE[2]	OPDE[1]	OPDE[0]	SPIDE[3]	SPIDE[2]	SPIDE[1]	SPIDE[0]
	SMRDR0	RDATA0[31]	RDATA0[30]	RDATA0[29]	RDATA0[28]	RDATA0[27]	RDATA0[26]	RDATA0[25]	RDATA0[24]
		RDATA0[23]	RDATA0[22]	RDATA0[21]	RDATA0[20]	RDATA0[19]	RDATA0[18]	RDATA0[17]	RDATA0[16]
		RDATA0[15]	RDATA0[14]	RDATA0[13]	RDATA0[12]	RDATA0[11]	RDATA0[10]	RDATA0[9]	RDATA0[8]
		RDATA0[7]	RDATA0[6]	RDATA0[5]	RDATA0[4]	RDATA0[3]	RDATA0[2]	RDATA0[1]	RDATA0[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SPI マルチ I/O バスコン トローラ	SMRDR1	RDATA1[31]	RDATA1[30]	RDATA1[29]	RDATA1[28]	RDATA1[27]	RDATA1[26]	RDATA1[25]	RDATA1[24]
		RDATA1[23]	RDATA1[22]	RDATA1[21]	RDATA1[20]	RDATA1[19]	RDATA1[18]	RDATA1[17]	RDATA1[16]
		RDATA1[15]	RDATA1[14]	RDATA1[13]	RDATA1[12]	RDATA1[11]	RDATA1[10]	RDATA1[9]	RDATA1[8]
		RDATA1[7]	RDATA1[6]	RDATA1[5]	RDATA1[4]	RDATA1[3]	RDATA1[2]	RDATA1[1]	RDATA1[0]
	SMWDR0	WDATA0[31]	WDATA0[30]	WDATA0[29]	WDATA0[28]	WDATA0[27]	WDATA0[26]	WDATA0[25]	WDATA0[24]
		WDATA0[23]	WDATA0[22]	WDATA0[21]	WDATA0[20]	WDATA0[19]	WDATA0[18]	WDATA0[17]	WDATA0[16]
		WDATA0[15]	WDATA0[14]	WDATA0[13]	WDATA0[12]	WDATA0[11]	WDATA0[10]	WDATA0[9]	WDATA0[8]
		WDATA0[7]	WDATA0[6]	WDATA0[5]	WDATA0[4]	WDATA0[3]	WDATA0[2]	WDATA0[1]	WDATA0[0]
	SMWDR1	WDATA1[31]	WDATA1[30]	WDATA1[29]	WDATA1[28]	WDATA1[27]	WDATA1[26]	WDATA1[25]	WDATA1[24]
		WDATA1[23]	WDATA1[22]	WDATA1[21]	WDATA1[20]	WDATA1[19]	WDATA1[18]	WDATA1[17]	WDATA1[16]
		WDATA1[15]	WDATA1[14]	WDATA1[13]	WDATA1[12]	WDATA1[11]	WDATA1[10]	WDATA1[9]	WDATA1[8]
		WDATA1[7]	WDATA1[6]	WDATA1[5]	WDATA1[4]	WDATA1[3]	WDATA1[2]	WDATA1[1]	WDATA1[0]
	CMNSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	SSLF	TEND
I ² C バス インタ フェース 3	ICCR1_0	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]
	ICCR2_0	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
	ICMR_0	MLS	-	-	-	BCWP	BC[2]	BC[1]	BC[0]
	ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_0	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS
	ICDRT_0								
	ICDRR_0								
	NF2CYC_0	-	-	-	-	-	-	PRS	NF2CYC
	ICCR1_1	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]
	ICCR2_1	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
	ICMR_1	MLS	-	-	-	BCWP	BC[2]	BC[1]	BC[0]
	ICIER_1	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_1	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_1	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS
	ICDRT_1								
	ICDRR_1								
	NF2CYC_1	-	-	-	-	-	-	PRS	NF2CYC
	ICCR1_2	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]
	ICCR2_2	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
ICMR_2	MLS	-	-	-	BCWP	BC[2]	BC[1]	BC[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
iC バス インタ フェース 3	ICIER_2	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_2	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_2	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS
	ICDRT_2								
	ICDRR_2								
	NF2CYC_2	-	-	-	-	-	-	PRS	NF2CYC
	ICCR1_3	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]
	ICCR2_3	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
	ICMR_3	MLS	-	-	-	BCWP	BC[2]	BC[1]	BC[0]
	ICIER_3	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_3	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_3	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS
	ICDRT_3								
	ICDRR_3								
	NF2CYC_3	-	-	-	-	-	-	PRS	NF2CYC
シリアル サウンド インタ フェース	SSICR_0	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IEN	-
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	-	TEN	REN
	SSISR_0	-	-	TUIRQ	TOIRQ	RUIRQ	ROIHQ	IIRQ	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_0	-	-	-	-	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		-	-	-	-	-	-	-	TDE
		-	-	-	-	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		-	-	-	-	-	-	-	RDF
	SSIFTDR_0								

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
シリアル サウンド インタ フェース	SSIFRDR_0								
	SSITDMR_0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CONT
		-	-	-	-	-	-	-	TDM
	SSICR_1	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	I IEN	-
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	-	TEN	REN
	SSISR_1	-	-	TUIRQ	TOIRQ	RUIRQ	ROI RQ	IIRQ	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_1	-	-	-	-	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		-	-	-	-	-	-	-	TDE
		-	-	-	-	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		-	-	-	-	-	-	-	RDF
	SSIFTDR_1								
	SSIFRDR_1								
	SSITDMR_1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CONT
		-	-	-	-	-	-	-	TDM

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
シリアル サウンド インタ フェース	SSICR_2	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IEN	-
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	-	TEN	REN
	SSISR_2	-	-	TUIRQ	TOIRQ	RUIRQ	ROIHQ	IIRQ	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_2	-	-	-	-	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		-	-	-	-	-	-	-	TDE
		-	-	-	-	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		-	-	-	-	-	-	-	RDF
	SSIFTDR_2								
	SSIFRDR_2								
	SSITDMR_2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CONT
		-	-	-	-	-	-	-	TDM
	SSICR_3	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IEN	-
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	-	TEN	REN
SSISR_3	-	-	TUIRQ	TOIRQ	RUIRQ	ROIHQ	IIRQ	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST	

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
シリアル サウンド インタ フェース	SSIFCR_3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_3	-	-	-	-	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		-	-	-	-	-	-	-	TDE
		-	-	-	-	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		-	-	-	-	-	-	-	RDF
	SSIFTDR_3								
	SSIFRDR_3								
	SSITDMR_3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CONT
		-	-	-	-	-	-	-	TDM
	SSICR_4	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	-
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	-	TEN	REN
	SSISR_4	-	-	TUIRQ	TOIRQ	RUIRQ	ROIHQ	IIRQ	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_4	-	-	-	-	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		-	-	-	-	-	-	-	TDE
		-	-	-	-	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		-	-	-	-	-	-	-	RDF

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
シリアル サウンド インタ フェース	SSIFTDR_4								
	SSIFRDR_4								
	SSITDMR_4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CONT
		-	-	-	-	-	-	-	TDM
	SSICR_5	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	-
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	-	TEN	REN
	SSISR_5	-	-	TUIRQ	TOIRQ	RUIRQ	ROIHQ	IIRQ	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_5	-	-	-	-	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		-	-	-	-	-	-	-	TDE
		-	-	-	-	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		-	-	-	-	-	-	-	RDF
	SSIFTDR_5								
	SSIFRDR_5								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
シリアル サウンド インタ フェース	SSITDMR_5	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	CONT
		-	-	-	-	-	-	-	-	TDM
FIFO 付き クロック同期 シリアル I/O	SIMDR	TRMD[1]	TRMD[0]	SYNCAT	REDG	FL[3]	FL[2]	FL[1]	FL[0]	
		TXDIZ	-	SYNCAC	SYNCDL	-	-	-	-	
	SISCR	MSSEL	-	-	BRPS[4]	BRPS[3]	BRPS[2]	BRPS[1]	BRPS[0]	
		-	-	-	-	-	BRDV[2]	BRDV[1]	BRDV[0]	
	SITDAR	TDLE	-	-	-	TDLA[3]	TDLA[2]	TDLA[1]	TDLA[0]	
		TDRE	TLREP	-	-	TDRA[3]	TDRA[2]	TDRA[1]	TDRA[0]	
	SIRDAR	RDLE	-	-	-	RDLA[3]	RDLA[2]	RDLA[1]	RDLA[0]	
		RDRE	-	-	-	RDRA[3]	RDRA[2]	RDRA[1]	RDRA[0]	
	SICTR	SCKE	FSE	-	-	-	-	TXE	RXE	
		-	-	-	-	-	-	TXRST	RXRST	
	SIFCTR	TFWM[2]	TFWM[1]	TFWM[0]	TFUA[4]	TFUA[3]	TFUA[2]	TFUA[1]	TFUA[0]	
		RFWM[2]	RFWM[1]	RFWM[0]	RFUA[4]	RFUA[3]	RFUA[2]	RFUA[1]	RFUA[0]	
	SISTR	-	-	TFEMP	TDREQ	-	-	RFFUL	RDREQ	
		-	-	-	FSERR	TFOVF	TFUDF	RFUDF	RFOVF	
	SIER	TDMAE	-	TFEMPE	TDREQE	RDMAE	-	RFFULE	RDREQE	
		-	-	-	FSERRE	TFOVFE	TFUDFE	RFUDFE	RFOVFE	
	SITDR	SITDL[15]	SITDL[14]	SITDL[13]	SITDL[12]	SITDL[11]	SITDL[10]	SITDL[9]	SITDL[8]	
		SITDL[7]	SITDL[6]	SITDL[5]	SITDL[4]	SITDL[3]	SITDL[2]	SITDL[1]	SITDL[0]	
		SITDR[15]	SITDR[14]	SITDR[13]	SITDR[12]	SITDR[11]	SITDR[10]	SITDR[9]	SITDR[8]	
		SITDR[7]	SITDR[6]	SITDR[5]	SITDR[4]	SITDR[3]	SITDR[2]	SITDR[1]	SITDR[0]	
SIRDAR	SIRDRL[15]	SIRDRL[14]	SIRDRL[13]	SIRDRL[12]	SIRDRL[11]	SIRDRL[10]	SIRDRL[9]	SIRDRL[8]		
	SIRDRL[7]	SIRDRL[6]	SIRDRL[5]	SIRDRL[4]	SIRDRL[3]	SIRDRL[2]	SIRDRL[1]	SIRDRL[0]		
	SIRDRL[15]	SIRDRL[14]	SIRDRL[13]	SIRDRL[12]	SIRDRL[11]	SIRDRL[10]	SIRDRL[9]	SIRDRL[8]		
	SIRDRL[7]	SIRDRL[6]	SIRDRL[5]	SIRDRL[4]	SIRDRL[3]	SIRDRL[2]	SIRDRL[1]	SIRDRL[0]		
コントローラ エリア ネットワーク	MCR_0	MCR15	MCR14	-	-	-	TST[2]	TST[1]	TST[0]	
		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
	GSR_0	-	-	-	-	-	-	-	-	
		-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
BCR1_0	TSG1[3]	TSG1[2]	TSG1[1]	TSG1[0]	-	TSG2[2]	TSG2[1]	TSG2[0]		
	-	-	SJW[1]	SJW[0]	-	-	-	BSP		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	BCR0_0	-	-	-	-	-	-	-	-
		BRP[7]	BRP[6]	BRP[5]	BRP[4]	BRP[3]	BRP[2]	BRP[1]	BRP[0]
	IRR_0	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
	IMR_0	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
	TEC_REC_0	TEC[7]	TEC[6]	TEC[5]	TEC[4]	TEC[3]	TEC[2]	TEC[1]	TEC[0]
		REC[7]	REC[6]	REC[5]	REC[4]	REC[3]	REC[2]	REC[1]	REC[0]
	TXPR1_0	TXPR1[15]	TXPR1[14]	TXPR1[13]	TXPR1[12]	TXPR1[11]	TXPR1[10]	TXPR1[9]	TXPR1[8]
		TXPR1[7]	TXPR1[6]	TXPR1[5]	TXPR1[4]	TXPR1[3]	TXPR1[2]	TXPR1[1]	TXPR1[0]
	TXPR0_0	TXPR0[15]	TXPR0[14]	TXPR0[13]	TXPR0[12]	TXPR0[11]	TXPR0[10]	TXPR0[9]	TXPR0[8]
		TXPR0[7]	TXPR0[6]	TXPR0[5]	TXPR0[4]	TXPR0[3]	TXPR0[2]	TXPR0[1]	-
	TXCR1_0	TXCR1[15]	TXCR1[14]	TXCR1[13]	TXCR1[12]	TXCR1[11]	TXCR1[10]	TXCR1[9]	TXCR1[8]
		TXCR1[7]	TXCR1[6]	TXCR1[5]	TXCR1[4]	TXCR1[3]	TXCR1[2]	TXCR1[1]	TXCR1[0]
	TXCR0_0	TXCR0[15]	TXCR0[14]	TXCR0[13]	TXCR0[12]	TXCR0[11]	TXCR0[10]	TXCR0[9]	TXCR0[8]
		TXCR0[7]	TXCR0[6]	TXCR0[5]	TXCR0[4]	TXCR0[3]	TXCR0[2]	TXCR0[1]	-
	TXACK1_0	TXACK1[15]	TXACK1[14]	TXACK1[13]	TXACK1[12]	TXACK1[11]	TXACK1[10]	TXACK1[9]	TXACK1[8]
		TXACK1[7]	TXACK1[6]	TXACK1[5]	TXACK1[4]	TXACK1[3]	TXACK1[2]	TXACK1[1]	TXACK1[0]
	TXACK0_0	TXACK0[15]	TXACK0[14]	TXACK0[13]	TXACK0[12]	TXACK0[11]	TXACK0[10]	TXACK0[9]	TXACK0[8]
		TXACK0[7]	TXACK0[6]	TXACK0[5]	TXACK0[4]	TXACK0[3]	TXACK0[2]	TXACK0[1]	-
	ABACK1_0	ABACK1[15]	ABACK1[14]	ABACK1[13]	ABACK1[12]	ABACK1[11]	ABACK1[10]	ABACK1[9]	ABACK1[8]
		ABACK1[7]	ABACK1[6]	ABACK1[5]	ABACK1[4]	ABACK1[3]	ABACK1[2]	ABACK1[1]	ABACK1[0]
	ABACK0_0	ABACK0[15]	ABACK0[14]	ABACK0[13]	ABACK0[12]	ABACK0[11]	ABACK0[10]	ABACK0[9]	ABACK0[8]
		ABACK0[7]	ABACK0[6]	ABACK0[5]	ABACK0[4]	ABACK0[3]	ABACK0[2]	ABACK0[1]	-
	RXPR1_0	RXPR1[15]	RXPR1[14]	RXPR1[13]	RXPR1[12]	RXPR1[11]	RXPR1[10]	RXPR1[9]	RXPR1[8]
		RXPR1[7]	RXPR1[6]	RXPR1[5]	RXPR1[4]	RXPR1[3]	RXPR1[2]	RXPR1[1]	RXPR1[0]
	RXPR0_0	RXPR0[15]	RXPR0[14]	RXPR0[13]	RXPR0[12]	RXPR0[11]	RXPR0[10]	RXPR0[9]	RXPR0[8]
		RXPR0[7]	RXPR0[6]	RXPR0[5]	RXPR0[4]	RXPR0[3]	RXPR0[2]	RXPR0[1]	RXPR0[0]
	RFPR1_0	RFPR1[15]	RFPR1[14]	RFPR1[13]	RFPR1[12]	RFPR1[11]	RFPR1[10]	RFPR1[9]	RFPR1[8]
		RFPR1[7]	RFPR1[6]	RFPR1[5]	RFPR1[4]	RFPR1[3]	RFPR1[2]	RFPR1[1]	RFPR1[0]
	RFPR0_0	RFPR0[15]	RFPR0[14]	RFPR0[13]	RFPR0[12]	RFPR0[11]	RFPR0[10]	RFPR0[9]	RFPR0[8]
		RFPR0[7]	RFPR0[6]	RFPR0[5]	RFPR0[4]	RFPR0[3]	RFPR0[2]	RFPR0[1]	RFPR0[0]
	MBIMR1_0	MBIMR1[15]	MBIMR1[14]	MBIMR1[13]	MBIMR1[12]	MBIMR1[11]	MBIMR1[10]	MBIMR1[9]	MBIMR1[8]
		MBIMR1[7]	MBIMR1[6]	MBIMR1[5]	MBIMR1[4]	MBIMR1[3]	MBIMR1[2]	MBIMR1[1]	MBIMR1[0]
	MBIMR0_0	MBIMR0[15]	MBIMR0[14]	MBIMR0[13]	MBIMR0[12]	MBIMR0[11]	MBIMR0[10]	MBIMR0[9]	MBIMR0[8]
		MBIMR0[7]	MBIMR0[6]	MBIMR0[5]	MBIMR0[4]	MBIMR0[3]	MBIMR0[2]	MBIMR0[1]	MBIMR0[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア	UMSR1_0	UMSR1[15]	UMSR1[14]	UMSR1[13]	UMSR1[12]	UMSR1[11]	UMSR1[10]	UMSR1[9]	UMSR1[8]
		UMSR1[7]	UMSR1[6]	UMSR1[5]	UMSR1[4]	UMSR1[3]	UMSR1[2]	UMSR1[1]	UMSR1[0]
ネットワーク	UMSR0_0	UMSR0[15]	UMSR0[14]	UMSR0[13]	UMSR0[12]	UMSR0[11]	UMSR0[10]	UMSR0[9]	UMSR0[8]
		UMSR0[7]	UMSR0[6]	UMSR0[5]	UMSR0[4]	UMSR0[3]	UMSR0[2]	UMSR0[1]	UMSR0[0]
TCR0_0	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	-	-	-
		-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
CMAX_TEW_0	-	-	-	-	-	CMAX[2]	CMAX[1]	CMAX[0]	-
		-	-	-	-	TEW[3]	TEW[2]	TEW[1]	TEW[0]
RFTR0FF_0	RFTR0FF[7]	RFTR0FF[6]	RFTR0FF[5]	RFTR0FF[4]	RFTR0FF[3]	RFTR0FF[2]	RFTR0FF[1]	RFTR0FF[0]	-
		-	-	-	-	-	-	-	-
TSR_0	-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0	-
		-	-	-	-	-	-	-	-
CCR_0	-	-	-	-	-	-	-	-	-
		-	-	CCR[5]	CCR[4]	CCR[3]	CCR[2]	CCR[1]	CCR[0]
TCNTR_0	TCNTR[15]	TCNTR[14]	TCNTR[13]	TCNTR[12]	TCNTR[11]	TCNTR[10]	TCNTR[9]	TCNTR[8]	-
		TCNTR[7]	TCNTR[6]	TCNTR[5]	TCNTR[4]	TCNTR[3]	TCNTR[2]	TCNTR[1]	TCNTR[0]
CYCTR_0	CYCTR[15]	CYCTR[14]	CYCTR[13]	CYCTR[12]	CYCTR[11]	CYCTR[10]	CYCTR[9]	CYCTR[8]	-
		CYCTR[7]	CYCTR[6]	CYCTR[5]	CYCTR[4]	CYCTR[3]	CYCTR[2]	CYCTR[1]	CYCTR[0]
RFMK_0	RFMK[15]	RFMK[14]	RFMK[13]	RFMK[12]	RFMK[11]	RFMK[10]	RFMK[9]	RFMK[8]	-
		RFMK[7]	RFMK[6]	RFMK[5]	RFMK[4]	RFMK[3]	RFMK[2]	RFMK[1]	RFMK[0]
TCMR0_0	TCMR0[15]	TCMR0[14]	TCMR0[13]	TCMR0[12]	TCMR0[11]	TCMR0[10]	TCMR0[9]	TCMR0[8]	-
		TCMR0[7]	TCMR0[6]	TCMR0[5]	TCMR0[4]	TCMR0[3]	TCMR0[2]	TCMR0[1]	TCMR0[0]
TCMR1_0	TCMR1[15]	TCMR1[14]	TCMR1[13]	TCMR1[12]	TCMR1[11]	TCMR1[10]	TCMR1[9]	TCMR1[8]	-
		TCMR1[7]	TCMR1[6]	TCMR1[5]	TCMR1[4]	TCMR1[3]	TCMR1[2]	TCMR1[1]	TCMR1[0]
TCMR2_0	TCMR2[15]	TCMR2[14]	TCMR2[13]	TCMR2[12]	TCMR2[11]	TCMR2[10]	TCMR2[9]	TCMR2[8]	-
		TCMR2[7]	TCMR2[6]	TCMR2[5]	TCMR2[4]	TCMR2[3]	TCMR2[2]	TCMR2[1]	TCMR2[0]
TTTSEL_0	-	TTTSEL[14]	TTTSEL[13]	TTTSEL[12]	TTTSEL[11]	TTTSEL[10]	TTTSEL[9]	TTTSEL[8]	-
		-	-	-	-	-	-	-	-
MBn_CONTRO L0_H_0 (n = 0 ~ 31)* ¹	-	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	-
		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]
MBn_CONTRO L0_H_0 (n = 0 ~ 31)* ²	IDE	RTR	-	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	-
		STDID[5]	STDID[4]	STDID[3]	STDID[2]	STDID[1]	STDID[0]	EXTID[17]	EXTID[16]
MBn_CONTRO L0_L_0 (n = 0 ~ 31)	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	-
		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	MBn_LAFM0_0 (n = 0 ~ 31) ^{*1}	-	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]	STDID_ LAFM[5]	STDID_ LAFM[4]
		STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	-	IDE	EXTID_ LAFM[17]	EXTID_ LAFM[16]
	MBn_LAFM0_0 (n = 0 ~ 31) ^{*2}	IDE	-	-	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]
		STDID_ LAFM[5]	STDID_ LAFM[4]	STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	EXTID_ LAFM[17]	EXTID_ LAFM[16]
	MBn_LAFM1_0 (n = 0 ~ 31)	EXTID_ LAFM[15]	EXTID_ LAFM[14]	EXTID_ LAFM[13]	EXTID_ LAFM[12]	EXTID_ LAFM[11]	EXTID_ LAFM[10]	EXTID_ LAFM[9]	EXTID_ LAFM[8]
		EXTID_ LAFM[7]	EXTID_ LAFM[6]	EXTID_ LAFM[5]	EXTID_ LAFM[4]	EXTID_ LAFM[3]	EXTID_ LAFM[2]	EXTID_ LAFM[1]	EXTID_ LAFM[0]
	MBn_DATA_01_0 (n = 0 ~ 31)	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0
		MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1
	MBn_DATA_23_0 (n = 0 ~ 31)	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2
		MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3
	MBn_DATA_45_0 (n = 0 ~ 31)	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4
		MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5
	MBn_DATA_67_0 (n = 0 ~ 31)	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6
		MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7
	MBn_CONTR_OL1_0 (n = 0)	-	-	NMC	-	-	MBC[2]	MBC[1]	MBC[0]
		-	-	-	-	DLC[3]	DLC[2]	DLC[1]	DLC[0]
	MBn_CONTR_OL1_0 (n = 1 ~ 31)	-	-	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]
		-	-	-	-	DLC[3]	DLC[2]	DLC[1]	DLC[0]
	MBn_TIMEST_AMP_0 (n = 0 ~ 15, 30, 31)	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8
		TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
	MBn_TTT_0 (n = 24 ~ 30)	TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8
		TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0
	MBn_TTCON_TROL_0 (n = 24 ~ 29)	TTW[1]	TTW[0]	OFFSET[5]	OFFSET[4]	OFFSET[3]	OFFSET[2]	OFFSET[1]	OFFSET[0]
		-	-	-	-	-	REP_ FACTOR[2]	REP_ FACTOR[1]	REP_ FACTOR[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	MCR_1	MCR15	MCR14	-	-	-	TST[2]	TST[1]	TST[0]
		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0
	GSR_1	-	-	-	-	-	-	-	-
		-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
	BCR1_1	TSG1[3]	TSG1[2]	TSG1[1]	TSG1[0]	-	TSG2[2]	TSG2[1]	TSG2[0]
		-	-	SJW[1]	SJW[0]	-	-	-	BSP
	BCR0_1	-	-	-	-	-	-	-	-
		BRP[7]	BRP[6]	BRP[5]	BRP[4]	BRP[3]	BRP[2]	BRP[1]	BRP[0]
	IRR_1	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
	IMR_1	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
	TEC_REC_1	TEC[7]	TEC[6]	TEC[5]	TEC[4]	TEC[3]	TEC[2]	TEC[1]	TEC[0]
		REC[7]	REC[6]	REC[5]	REC[4]	REC[3]	REC[2]	REC[1]	REC[0]
	TXPR1_1	TXPR1[15]	TXPR1[14]	TXPR1[13]	TXPR1[12]	TXPR1[11]	TXPR1[10]	TXPR1[9]	TXPR1[8]
		TXPR1[7]	TXPR1[6]	TXPR1[5]	TXPR1[4]	TXPR1[3]	TXPR1[2]	TXPR1[1]	TXPR1[0]
	TXPR0_1	TXPR0[15]	TXPR0[14]	TXPR0[13]	TXPR0[12]	TXPR0[11]	TXPR0[10]	TXPR0[9]	TXPR0[8]
		TXPR0[7]	TXPR0[6]	TXPR0[5]	TXPR0[4]	TXPR0[3]	TXPR0[2]	TXPR0[1]	-
	TXCR1_1	TXCR1[15]	TXCR1[14]	TXCR1[13]	TXCR1[12]	TXCR1[11]	TXCR1[10]	TXCR1[9]	TXCR1[8]
		TXCR1[7]	TXCR1[6]	TXCR1[5]	TXCR1[4]	TXCR1[3]	TXCR1[2]	TXCR1[1]	TXCR1[0]
	TXCR0_1	TXCR0[15]	TXCR0[14]	TXCR0[13]	TXCR0[12]	TXCR0[11]	TXCR0[10]	TXCR0[9]	TXCR0[8]
		TXCR0[7]	TXCR0[6]	TXCR0[5]	TXCR0[4]	TXCR0[3]	TXCR0[2]	TXCR0[1]	-
	TXACK1_1	TXACK1[15]	TXACK1[14]	TXACK1[13]	TXACK1[12]	TXACK1[11]	TXACK1[10]	TXACK1[9]	TXACK1[8]
		TXACK1[7]	TXACK1[6]	TXACK1[5]	TXACK1[4]	TXACK1[3]	TXACK1[2]	TXACK1[1]	TXACK1[0]
	TXACK0_1	TXACK0[15]	TXACK0[14]	TXACK0[13]	TXACK0[12]	TXACK0[11]	TXACK0[10]	TXACK0[9]	TXACK0[8]
		TXACK0[7]	TXACK0[6]	TXACK0[5]	TXACK0[4]	TXACK0[3]	TXACK0[2]	TXACK0[1]	-
	ABACK1_1	ABACK1[15]	ABACK1[14]	ABACK1[13]	ABACK1[12]	ABACK1[11]	ABACK1[10]	ABACK1[9]	ABACK1[8]
		ABACK1[7]	ABACK1[6]	ABACK1[5]	ABACK1[4]	ABACK1[3]	ABACK1[2]	ABACK1[1]	ABACK1[0]
	ABACK0_1	ABACK0[15]	ABACK0[14]	ABACK0[13]	ABACK0[12]	ABACK0[11]	ABACK0[10]	ABACK0[9]	ABACK0[8]
		ABACK0[7]	ABACK0[6]	ABACK0[5]	ABACK0[4]	ABACK0[3]	ABACK0[2]	ABACK0[1]	-
RXPR1_1	RXPR1[15]	RXPR1[14]	RXPR1[13]	RXPR1[12]	RXPR1[11]	RXPR1[10]	RXPR1[9]	RXPR1[8]	
	RXPR1[7]	RXPR1[6]	RXPR1[5]	RXPR1[4]	RXPR1[3]	RXPR1[2]	RXPR1[1]	RXPR1[0]	
RXPR0_1	RXPR0[15]	RXPR0[14]	RXPR0[13]	RXPR0[12]	RXPR0[11]	RXPR0[10]	RXPR0[9]	RXPR0[8]	
	RXPR0[7]	RXPR0[6]	RXPR0[5]	RXPR0[4]	RXPR0[3]	RXPR0[2]	RXPR0[1]	RXPR0[0]	

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
コントローラ	RFPR1_1	RFPR1[15]	RFPR1[14]	RFPR1[13]	RFPR1[12]	RFPR1[11]	RFPR1[10]	RFPR1[9]	RFPR1[8]
		RFPR1[7]	RFPR1[6]	RFPR1[5]	RFPR1[4]	RFPR1[3]	RFPR1[2]	RFPR1[1]	RFPR1[0]
エリア	RFPR0_1	RFPR0[15]	RFPR0[14]	RFPR0[13]	RFPR0[12]	RFPR0[11]	RFPR0[10]	RFPR0[9]	RFPR0[8]
		RFPR0[7]	RFPR0[6]	RFPR0[5]	RFPR0[4]	RFPR0[3]	RFPR0[2]	RFPR0[1]	RFPR0[0]
ネットワーク	MBIMR1_1	MBIMR1[15]	MBIMR1[14]	MBIMR1[13]	MBIMR1[12]	MBIMR1[11]	MBIMR1[10]	MBIMR1[9]	MBIMR1[8]
		MBIMR1[7]	MBIMR1[6]	MBIMR1[5]	MBIMR1[4]	MBIMR1[3]	MBIMR1[2]	MBIMR1[1]	MBIMR1[0]
	MBIMR0_1	MBIMR0[15]	MBIMR0[14]	MBIMR0[13]	MBIMR0[12]	MBIMR0[11]	MBIMR0[10]	MBIMR0[9]	MBIMR0[8]
		MBIMR0[7]	MBIMR0[6]	MBIMR0[5]	MBIMR0[4]	MBIMR0[3]	MBIMR0[2]	MBIMR0[1]	MBIMR0[0]
	UMSR1_1	UMSR1[15]	UMSR1[14]	UMSR1[13]	UMSR1[12]	UMSR1[11]	UMSR1[10]	UMSR1[9]	UMSR1[8]
		UMSR1[7]	UMSR1[6]	UMSR1[5]	UMSR1[4]	UMSR1[3]	UMSR1[2]	UMSR1[1]	UMSR1[0]
	UMSR0_1	UMSR0[15]	UMSR0[14]	UMSR0[13]	UMSR0[12]	UMSR0[11]	UMSR0[10]	UMSR0[9]	UMSR0[8]
		UMSR0[7]	UMSR0[6]	UMSR0[5]	UMSR0[4]	UMSR0[3]	UMSR0[2]	UMSR0[1]	UMSR0[0]
	TCR0_1	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	-	-
		-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
	CMAX_TEW_1	-	-	-	-	-	CMAX[2]	CMAX[1]	CMAX[0]
		-	-	-	-	TEW[3]	TEW[2]	TEW[1]	TEW[0]
	RFTROFF_1	RFTROFF[7]	RFTROFF[6]	RFTROFF[5]	RFTROFF[4]	RFTROFF[3]	RFTROFF[2]	RFTROFF[1]	RFTROFF[0]
		-	-	-	-	-	-	-	-
	TSR_1	-	-	-	-	-	-	-	-
		-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0
	CCR_1	-	-	-	-	-	-	-	-
		-	-	CCR[5]	CCR[4]	CCR[3]	CCR[2]	CCR[1]	CCR[0]
	TCNTR_1	TCNTR[15]	TCNTR[14]	TCNTR[13]	TCNTR[12]	TCNTR[11]	TCNTR[10]	TCNTR[9]	TCNTR[8]
		TCNTR[7]	TCNTR[6]	TCNTR[5]	TCNTR[4]	TCNTR[3]	TCNTR[2]	TCNTR[1]	TCNTR[0]
	CYCTR_1	CYCTR[15]	CYCTR[14]	CYCTR[13]	CYCTR[12]	CYCTR[11]	CYCTR[10]	CYCTR[9]	CYCTR[8]
		CYCTR[7]	CYCTR[6]	CYCTR[5]	CYCTR[4]	CYCTR[3]	CYCTR[2]	CYCTR[1]	CYCTR[0]
	RFMK_1	RFMK[15]	RFMK[14]	RFMK[13]	RFMK[12]	RFMK[11]	RFMK[10]	RFMK[9]	RFMK[8]
		RFMK[7]	RFMK[6]	RFMK[5]	RFMK[4]	RFMK[3]	RFMK[2]	RFMK[1]	RFMK[0]
	TCMR0_1	TCMR0[15]	TCMR0[14]	TCMR0[13]	TCMR0[12]	TCMR0[11]	TCMR0[10]	TCMR0[9]	TCMR0[8]
		TCMR0[7]	TCMR0[6]	TCMR0[5]	TCMR0[4]	TCMR0[3]	TCMR0[2]	TCMR0[1]	TCMR0[0]
	TCMR1_1	TCMR1[15]	TCMR1[14]	TCMR1[13]	TCMR1[12]	TCMR1[11]	TCMR1[10]	TCMR1[9]	TCMR1[8]
		TCMR1[7]	TCMR1[6]	TCMR1[5]	TCMR1[4]	TCMR1[3]	TCMR1[2]	TCMR1[1]	TCMR1[0]
	TCMR2_1	TCMR2[15]	TCMR2[14]	TCMR2[13]	TCMR2[12]	TCMR2[11]	TCMR2[10]	TCMR2[9]	TCMR2[8]
		TCMR2[7]	TCMR2[6]	TCMR2[5]	TCMR2[4]	TCMR2[3]	TCMR2[2]	TCMR2[1]	TCMR2[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア	TTTSEL_1	-	TTTSEL[14]	TTTSEL[13]	TTTSEL[12]	TTTSEL[11]	TTTSEL[10]	TTTSEL[9]	TTTSEL[8]
		-	-	-	-	-	-	-	-
ネットワーク	MBn_CONTR	-	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]
	OLO_H_1 (n = 0 - 31)* ¹	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]
	MBn_CONTR	IDE	RTR	-	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]
	OLO_H_1 (n = 0 - 31)* ²	STDID[5]	STDID[4]	STDID[3]	STDID[2]	STDID[1]	STDID[0]	EXTID[17]	EXTID[16]
	MBn_CONTR	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]
	OLO_L_1 (n = 0 - 31)	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]
	MBn_LAFM0_1 (n = 0 - 31)* ¹	-	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]	STDID_ LAFM[5]	STDID_ LAFM[4]
		STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	-	IDE	EXTID_ LAFM[17]	EXTID_ LAFM[16]
	MBn_LAFM0_1 (n = 0 - 31)* ²	IDE	-	-	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]
		STDID_ LAFM[5]	STDID_ LAFM[4]	STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	EXTID_ LAFM[17]	EXTID_ LAFM[16]
	MBn_LAFM1_1 (n = 0 - 31)	EXTID_ LAFM[15]	EXTID_ LAFM[14]	EXTID_ LAFM[13]	EXTID_ LAFM[12]	EXTID_ LAFM[11]	EXTID_ LAFM[10]	EXTID_ LAFM[9]	EXTID_ LAFM[8]
		EXTID_ LAFM[7]	EXTID_ LAFM[6]	EXTID_ LAFM[5]	EXTID_ LAFM[4]	EXTID_ LAFM[3]	EXTID_ LAFM[2]	EXTID_ LAFM[1]	EXTID_ LAFM[0]
	MBn_DATA_01_1 (n = 0 - 31)	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0
		MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1
	MBn_DATA_23_1 (n = 0 - 31)	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2
		MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3
MBn_DATA_45_1 (n = 0 - 31)	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	
	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	
MBn_DATA_67_1 (n = 0 - 31)	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	
	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	
MBn_CONTR OL1_1 (n = 0)	-	-	NMC	-	-	MBC[2]	MBC[1]	MBC[0]	
	-	-	-	-	DLC[3]	DLC[2]	DLC[1]	DLC[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	MBn_CONTR	-	-	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]
	OL1_1 (n = 1 ~ 31)	-	-	-	-	DLC[3]	DLC[2]	DLC[1]	DLC[0]
MBn_TIMEST AMP_1 (n = 0 ~ 15, 30, 31)	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	
	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0	
MBn_TTT_1 (n = 24 ~ 30)	TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8	
	TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0	
MBn_TTCON TROL_1 (n = 24 ~ 29)	TTW[1]	TTW[0]	OFFSET[5]	OFFSET[4]	OFFSET[3]	OFFSET[2]	OFFSET[1]	OFFSET[0]	
	-	-	-	-	-	REP_ FACTOR[2]	REP_ FACTOR[1]	REP_ FACTOR[0]	
MCR_2	MCR15	MCR14	-	-	-	TST[2]	TST[1]	TST[0]	
	MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
GSR_2	-	-	-	-	-	-	-	-	
	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
BCR1_2	TSG1[3]	TSG1[2]	TSG1[1]	TSG1[0]	-	TSG2[2]	TSG2[1]	TSG2[0]	
	-	-	SJW[1]	SJW[0]	-	-	-	BSP	
BCR0_2	-	-	-	-	-	-	-	-	
	BRP[7]	BRP[6]	BRP[5]	BRP[4]	BRP[3]	BRP[2]	BRP[1]	BRP[0]	
IRR_2	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	
	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
IMR_2	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
TEC_REC_2	TEC[7]	TEC[6]	TEC[5]	TEC[4]	TEC[3]	TEC[2]	TEC[1]	TEC[0]	
	REC[7]	REC[6]	REC[5]	REC[4]	REC[3]	REC[2]	REC[1]	REC[0]	
TXPR1_2	TXPR1[15]	TXPR1[14]	TXPR1[13]	TXPR1[12]	TXPR1[11]	TXPR1[10]	TXPR1[9]	TXPR1[8]	
	TXPR1[7]	TXPR1[6]	TXPR1[5]	TXPR1[4]	TXPR1[3]	TXPR1[2]	TXPR1[1]	TXPR1[0]	
TXPR0_2	TXPR0[15]	TXPR0[14]	TXPR0[13]	TXPR0[12]	TXPR0[11]	TXPR0[10]	TXPR0[9]	TXPR0[8]	
	TXPR0[7]	TXPR0[6]	TXPR0[5]	TXPR0[4]	TXPR0[3]	TXPR0[2]	TXPR0[1]	-	
TXCR1_2	TXCR1[15]	TXCR1[14]	TXCR1[13]	TXCR1[12]	TXCR1[11]	TXCR1[10]	TXCR1[9]	TXCR1[8]	
	TXCR1[7]	TXCR1[6]	TXCR1[5]	TXCR1[4]	TXCR1[3]	TXCR1[2]	TXCR1[1]	TXCR1[0]	
TXCR0_2	TXCR0[15]	TXCR0[14]	TXCR0[13]	TXCR0[12]	TXCR0[11]	TXCR0[10]	TXCR0[9]	TXCR0[8]	
	TXCR0[7]	TXCR0[6]	TXCR0[5]	TXCR0[4]	TXCR0[3]	TXCR0[2]	TXCR0[1]	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	TXACK1_2	TXACK1[15]	TXACK1[14]	TXACK1[13]	TXACK1[12]	TXACK1[11]	TXACK1[10]	TXACK1[9]	TXACK1[8]
		TXACK1[7]	TXACK1[6]	TXACK1[5]	TXACK1[4]	TXACK1[3]	TXACK1[2]	TXACK1[1]	TXACK1[0]
	TXACK0_2	TXACK0[15]	TXACK0[14]	TXACK0[13]	TXACK0[12]	TXACK0[11]	TXACK0[10]	TXACK0[9]	TXACK0[8]
		TXACK0[7]	TXACK0[6]	TXACK0[5]	TXACK0[4]	TXACK0[3]	TXACK0[2]	TXACK0[1]	-
	ABACK1_2	ABACK1[15]	ABACK1[14]	ABACK1[13]	ABACK1[12]	ABACK1[11]	ABACK1[10]	ABACK1[9]	ABACK1[8]
		ABACK1[7]	ABACK1[6]	ABACK1[5]	ABACK1[4]	ABACK1[3]	ABACK1[2]	ABACK1[1]	ABACK1[0]
	ABACK0_2	ABACK0[15]	ABACK0[14]	ABACK0[13]	ABACK0[12]	ABACK0[11]	ABACK0[10]	ABACK0[9]	ABACK0[8]
		ABACK0[7]	ABACK0[6]	ABACK0[5]	ABACK0[4]	ABACK0[3]	ABACK0[2]	ABACK0[1]	-
	RXPR1_2	RXPR1[15]	RXPR1[14]	RXPR1[13]	RXPR1[12]	RXPR1[11]	RXPR1[10]	RXPR1[9]	RXPR1[8]
		RXPR1[7]	RXPR1[6]	RXPR1[5]	RXPR1[4]	RXPR1[3]	RXPR1[2]	RXPR1[1]	RXPR1[0]
	RXPR0_2	RXPR0[15]	RXPR0[14]	RXPR0[13]	RXPR0[12]	RXPR0[11]	RXPR0[10]	RXPR0[9]	RXPR0[8]
		RXPR0[7]	RXPR0[6]	RXPR0[5]	RXPR0[4]	RXPR0[3]	RXPR0[2]	RXPR0[1]	RXPR0[0]
	RFPR1_2	RFPR1[15]	RFPR1[14]	RFPR1[13]	RFPR1[12]	RFPR1[11]	RFPR1[10]	RFPR1[9]	RFPR1[8]
		RFPR1[7]	RFPR1[6]	RFPR1[5]	RFPR1[4]	RFPR1[3]	RFPR1[2]	RFPR1[1]	RFPR1[0]
	RFPR0_2	RFPR0[15]	RFPR0[14]	RFPR0[13]	RFPR0[12]	RFPR0[11]	RFPR0[10]	RFPR0[9]	RFPR0[8]
		RFPR0[7]	RFPR0[6]	RFPR0[5]	RFPR0[4]	RFPR0[3]	RFPR0[2]	RFPR0[1]	RFPR0[0]
	MBIMR1_2	MBIMR1[15]	MBIMR1[14]	MBIMR1[13]	MBIMR1[12]	MBIMR1[11]	MBIMR1[10]	MBIMR1[9]	MBIMR1[8]
		MBIMR1[7]	MBIMR1[6]	MBIMR1[5]	MBIMR1[4]	MBIMR1[3]	MBIMR1[2]	MBIMR1[1]	MBIMR1[0]
	MBIMR0_2	MBIMR0[15]	MBIMR0[14]	MBIMR0[13]	MBIMR0[12]	MBIMR0[11]	MBIMR0[10]	MBIMR0[9]	MBIMR0[8]
		MBIMR0[7]	MBIMR0[6]	MBIMR0[5]	MBIMR0[4]	MBIMR0[3]	MBIMR0[2]	MBIMR0[1]	MBIMR0[0]
	UMSR1_2	UMSR1[15]	UMSR1[14]	UMSR1[13]	UMSR1[12]	UMSR1[11]	UMSR1[10]	UMSR1[9]	UMSR1[8]
		UMSR1[7]	UMSR1[6]	UMSR1[5]	UMSR1[4]	UMSR1[3]	UMSR1[2]	UMSR1[1]	UMSR1[0]
	UMSR0_2	UMSR0[15]	UMSR0[14]	UMSR0[13]	UMSR0[12]	UMSR0[11]	UMSR0[10]	UMSR0[9]	UMSR0[8]
		UMSR0[7]	UMSR0[6]	UMSR0[5]	UMSR0[4]	UMSR0[3]	UMSR0[2]	UMSR0[1]	UMSR0[0]
	TCR0_2	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	-	-
		-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
	CMAX_TEW_2	-	-	-	-	-	CMAX[2]	CMAX[1]	CMAX[0]
		-	-	-	-	TEW[3]	TEW[2]	TEW[1]	TEW[0]
	RFTROFF_2	RFTROFF[7]	RFTROFF[6]	RFTROFF[5]	RFTROFF[4]	RFTROFF[3]	RFTROFF[2]	RFTROFF[1]	RFTROFF[0]
		-	-	-	-	-	-	-	-
TSR_2	-	-	-	-	-	-	-	-	
	-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0	
CCR_2	-	-	-	-	-	-	-	-	
	-	-	CCR[5]	CCR[4]	CCR[3]	CCR[2]	CCR[1]	CCR[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア	TCNTR_2	TCNTR[15]	TCNTR[14]	TCNTR[13]	TCNTR[12]	TCNTR[11]	TCNTR[10]	TCNTR[9]	TCNTR[8]
		TCNTR[7]	TCNTR[6]	TCNTR[5]	TCNTR[4]	TCNTR[3]	TCNTR[2]	TCNTR[1]	TCNTR[0]
ネットワーク	CYCTR_2	CYCTR[15]	CYCTR[14]	CYCTR[13]	CYCTR[12]	CYCTR[11]	CYCTR[10]	CYCTR[9]	CYCTR[8]
		CYCTR[7]	CYCTR[6]	CYCTR[5]	CYCTR[4]	CYCTR[3]	CYCTR[2]	CYCTR[1]	CYCTR[0]
	RFMK_2	RFMK[15]	RFMK[14]	RFMK[13]	RFMK[12]	RFMK[11]	RFMK[10]	RFMK[9]	RFMK[8]
		RFMK[7]	RFMK[6]	RFMK[5]	RFMK[4]	RFMK[3]	RFMK[2]	RFMK[1]	RFMK[0]
	TCMR0_2	TCMR0[15]	TCMR0[14]	TCMR0[13]	TCMR0[12]	TCMR0[11]	TCMR0[10]	TCMR0[9]	TCMR0[8]
		TCMR0[7]	TCMR0[6]	TCMR0[5]	TCMR0[4]	TCMR0[3]	TCMR0[2]	TCMR0[1]	TCMR0[0]
	TCMR1_2	TCMR1[15]	TCMR1[14]	TCMR1[13]	TCMR1[12]	TCMR1[11]	TCMR1[10]	TCMR1[9]	TCMR1[8]
		TCMR1[7]	TCMR1[6]	TCMR1[5]	TCMR1[4]	TCMR1[3]	TCMR1[2]	TCMR1[1]	TCMR1[0]
	TCMR2_2	TCMR2[15]	TCMR2[14]	TCMR2[13]	TCMR2[12]	TCMR2[11]	TCMR2[10]	TCMR2[9]	TCMR2[8]
		TCMR2[7]	TCMR2[6]	TCMR2[5]	TCMR2[4]	TCMR2[3]	TCMR2[2]	TCMR2[1]	TCMR2[0]
	TTTSEL_2	-	TTTSEL[14]	TTTSEL[13]	TTTSEL[12]	TTTSEL[11]	TTTSEL[10]	TTTSEL[9]	TTTSEL[8]
		-	-	-	-	-	-	-	-
MBn_CONTR OLO_H_2 (n = 0 - 31) ^{*1}		-	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]
		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]
MBn_CONTR OLO_H_2 (n = 0 - 31) ^{*2}		IDE	RTR	-	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]
		STDID[5]	STDID[4]	STDID[3]	STDID[2]	STDID[1]	STDID[0]	EXTID[17]	EXTID[16]
MBn_CONTR OLO_L_2 (n = 0 - 31)		EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]
		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]
MBn_LAFM_ 2 (n = 0 - 31) ^{*1}		-	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]	STDID_ LAFM[5]	STDID_ LAFM[4]
		STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	-	IDE	EXTID_ LAFM[17]	EXTID_ LAFM[16]
MBn_LAFM_ 2 (n = 0 - 31) ^{*2}		IDE	-	-	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]
		STDID_ LAFM[5]	STDID_ LAFM[4]	STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	EXTID_ LAFM[17]	EXTID_ LAFM[16]
MBn_LAFM1_ 2 (n = 0 - 31)		EXTID_ LAFM[15]	EXTID_ LAFM[14]	EXTID_ LAFM[13]	EXTID_ LAFM[12]	EXTID_ LAFM[11]	EXTID_ LAFM[10]	EXTID_ LAFM[9]	EXTID_ LAFM[8]
		EXTID_ LAFM[7]	EXTID_ LAFM[6]	EXTID_ LAFM[5]	EXTID_ LAFM[4]	EXTID_ LAFM[3]	EXTID_ LAFM[2]	EXTID_ LAFM[1]	EXTID_ LAFM[0]
MBn_DATA_ 01_2 (n = 0 - 31)		MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0
		MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	MBn_DATA_ 23_2 (n = 0 - 31)	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2
		MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3
	MBn_DATA_ 45_2 (n = 0 - 31)	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4
		MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5
	MBn_DATA_ 67_2 (n = 0 - 31)	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6
		MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7
	MBn_CONTR OL1_2 (n = 0)	-	-	NMC	-	-	MBC[2]	MBC[1]	MBC[0]
		-	-	-	-	DLC[3]	DLC[2]	DLC[1]	DLC[0]
	MBn_CONTR OL1_2 (n = 1 - 31)	-	-	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]
		-	-	-	-	DLC[3]	DLC[2]	DLC[1]	DLC[0]
	MBn_TIME STAMP_2 (n = 0 - 15, 30, 31)	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8
		TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
	MBn_TTT_2 (n = 24 - 30)	TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8
		TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0
	MBn_TT CONTROL_2 (n = 24 - 29)	TTW[1]	TTW[0]	OFFSET[5]	OFFSET[4]	OFFSET[3]	OFFSET[2]	OFFSET[1]	OFFSET[0]
		-	-	-	-	-	REP_FACTO R[2]	REP_FACTO R[1]	REP_FACT OR[0]
IEBus コントローラ	IECTR	-	IOL	DEE	-	RE	-	-	-
	IECMR	-	-	-	-	-	CMD[2]	CMD[1]	CMD[0]
	IEMCR	SS	RN[2]	RN[1]	RN[0]	CTL[3]	CTL[2]	CTL[1]	CTL[0]
	IEAR1	IARL4[3]	IARL4[2]	IARL4[1]	IARL4[0]	IMD[1]	IMD[0]	-	STE
	IEAR2	IARU8[7]	IARU8[6]	IARU8[5]	IARU8[4]	IARU8[3]	IARU8[2]	IARU8[1]	IARU8[0]
	IESA1	ISAL4[3]	ISAL4[2]	ISAL4[1]	ISAL4[0]	-	-	-	-
	IESA2	ISAU8[7]	ISAU8[6]	ISAU8[5]	ISAU8[4]	ISAU8[3]	ISAU8[2]	ISAU8[1]	ISAU8[0]
	IETBFL	IBFL[7]	IBFL[6]	IBFL[5]	IBFL[4]	IBFL[3]	IBFL[2]	IBFL[1]	IBFL[0]
	IEMA1	IMAL4[3]	IMAL4[2]	IMAL4[1]	IMAL4[0]	-	-	-	-
	IEMA2	IMAU8[7]	IMAU8[6]	IMAU8[5]	IMAU8[4]	IMAU8[3]	IMAU8[2]	IMAU8[1]	IMAU8[0]
	IERCTL	-	-	-	-	RCTL[3]	RCTL[2]	RCTL[1]	RCTL[0]
	IERBFL	RBFL[7]	RBFL[6]	RBFL[5]	RBFL[4]	RBFL[3]	RBFL[2]	RBFL[1]	RBFL[0]
	IELA1	ILAL8[7]	ILAL8[6]	ILAL8[5]	ILAL8[4]	ILAL8[3]	ILAL8[2]	ILAL8[1]	ILAL8[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
IEBus コントローラ	IELA2	-	-	-	-	ILAU4[3]	ILAU4[2]	ILAU4[1]	ILAU4[0]
	IEFLG	CMX	MRQ	SRQ	SRE	LCK	-	RSS	GG
	IETSR	-	TXS	TXF	-	TXEAL	TXETTME	TXERO	TXEACK
	IEIET	-	TXSE	TXFE	-	TXEAL	TXETTME	TXEROE	TXEACK
	IERSR	RXBSY	RXS	RXF	RXEDE	RXEOVE	RXERTME	RXEDLE	RXEPE
	IEIER	RXBSYE	RXSE	RXFE	RXEDDE	RXEOVEE	RXERTMEE	RXEDLEE	RXEPEE
	IECKSR	-	-	-	CKS3	-	CKS[2]	CKS[1]	CKS[0]
	IETB001 - IETB128								
	IERB001 - IERB128								
ルネサス SPDIF インタ フェース	TLCA	-	-	-	-	-	-	-	-
	TRCA	-	-	-	-	-	-	-	-
	TLCS	-	-	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
		-	-	CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	-
	TRCS	-	-	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
		-	-	CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	-
	TUI								
	RLCA	-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ルネサス SPDIF インタ フェース	RRCA	-	-	-	-	-	-	-	-
	RLCS	-	-	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
				CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	
	RRCS	-	-	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
				CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	
	RUI								
	CTRL	-	-	-	CKS	-	PB	RASS[1]	RASS[0]
		TASS[1]	TASS[0]	RDE	TDE	NCSI	AOS	RME	TME
		REIE	TEIE	UBOI	UBUI	CREI	PAEI	PREI	CSEI
		ABOI	ABUI	RUII	TUII	RCSI	RCBI	TCSI	TCBI
	STAT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CMD
		RIS	TIS	UBO	UBU	CE	PARE	PREE	CSE
		ABO	ABU	RUIR	TUIR	CSRX	CBRX	CSTX	CBTX
	TDAD	-	-	-	-	-	-	-	-
	RDAD	-	-	-	-	-	-	-	-
CD-ROM デコーダ	CROMEN	SUBC_EN	CROM_EN	CROM_STP	-	-	-	-	
	CROMSY0	SY_AUT	SY_IEN	SY_DEN	-	-	-	-	
	CROMCTL0	MD_DESC	-	MD_AUTO	MD_AUTOS1	MD_AUTOS2	MD_SEC[2]	MD_SEC[1]	MD_SEC[0]
	CROMCTL1	M2F2EDC	MD_DEC[2]	MD_DEC[1]	MD_DEC[0]	-	-	MD_ PQREP[1]	MD_ PQREP[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
CD-ROM デコーダ	CROMCTL3	STP_ECC	STP_EDC	-	STP_MD	STP_MIN	-	-	-
	CROMCTL4	-	LINK2	-	EROSEL	NO_ECC	-	-	-
	CROMCTL5	-	-	-	-	-	-	-	MSF_LBA_SEL
	CROMST0	-	-	ST_SYIL	ST_SYNO	ST_BLKLS	ST_BLKL	ST_SECS	ST_SECL
	CROMST1	-	-	-	-	ER2_HEAD0	ER2_HEAD1	ER2_HEAD2	ER2_HEAD3
	CROMST3	ER2_SHEAD0	ER2_SHEAD1	ER2_SHEAD2	ER2_SHEAD3	ER2_SHEAD4	ER2_SHEAD5	ER2_SHEAD6	ER2_SHEAD7
	CROMST4	NG_MD	NG_MDCMP1	NG_MDCMP2	NG_MDCMP3	NG_MDCMP4	NG_MDDEF	NG_MDTIM1	NG_MDTIM2
	CROMST5	ST_AMD[2]	ST_AMD[1]	ST_AMD[0]	ST_MDx	LINK_ON	LINK_DET	LINK_SDET	LINK_OUT1
	CROMST6	ST_ERR	-	ST_ECCABT	ST_ECCNG	ST_ECCP	ST_ECCQ	ST_EDC1	ST_EDC2
	CBUFST0	BUF_REF	BUF_ACT	-	-	-	-	-	-
	CBUFST1	BUF_ECC	BUF_EDC	-	BUF_MD	BUF_MIN	-	-	-
	CBUFST2	BUF_NG	-	-	-	-	-	-	-
	HEAD00	HEAD00[7]	HEAD00[6]	HEAD00[5]	HEAD00[4]	HEAD00[3]	HEAD00[2]	HEAD00[1]	HEAD00[0]
	HEAD01	HEAD01[7]	HEAD01[6]	HEAD01[5]	HEAD01[4]	HEAD01[3]	HEAD01[2]	HEAD01[1]	HEAD01[0]
	HEAD02	HEAD02[7]	HEAD02[6]	HEAD02[5]	HEAD02[4]	HEAD02[3]	HEAD02[2]	HEAD02[1]	HEAD02[0]
	HEAD03	HEAD03[7]	HEAD03[6]	HEAD03[5]	HEAD03[4]	HEAD03[3]	HEAD03[2]	HEAD03[1]	HEAD03[0]
	SHEAD00	SHEAD00[7]	SHEAD00[6]	SHEAD00[5]	SHEAD00[4]	SHEAD00[3]	SHEAD00[2]	SHEAD00[1]	SHEAD00[0]
	SHEAD01	SHEAD01[7]	SHEAD01[6]	SHEAD01[5]	SHEAD01[4]	SHEAD01[3]	SHEAD01[2]	SHEAD01[1]	SHEAD01[0]
	SHEAD02	SHEAD02[7]	SHEAD02[6]	SHEAD02[5]	SHEAD02[4]	SHEAD02[3]	SHEAD02[2]	SHEAD02[1]	SHEAD02[0]
	SHEAD03	SHEAD03[7]	SHEAD03[6]	SHEAD03[5]	SHEAD03[4]	SHEAD03[3]	SHEAD03[2]	SHEAD03[1]	SHEAD03[0]
	SHEAD04	SHEAD04[7]	SHEAD04[6]	SHEAD04[5]	SHEAD04[4]	SHEAD04[3]	SHEAD04[2]	SHEAD04[1]	SHEAD04[0]
	SHEAD05	SHEAD05[7]	SHEAD05[6]	SHEAD05[5]	SHEAD05[4]	SHEAD05[3]	SHEAD05[2]	SHEAD05[1]	SHEAD05[0]
	SHEAD06	SHEAD06[7]	SHEAD06[6]	SHEAD06[5]	SHEAD06[4]	SHEAD06[3]	SHEAD06[2]	SHEAD06[1]	SHEAD06[0]
	SHEAD07	SHEAD07[7]	SHEAD07[6]	SHEAD07[5]	SHEAD07[4]	SHEAD07[3]	SHEAD07[2]	SHEAD07[1]	SHEAD07[0]
	HEAD20	HEAD20[7]	HEAD20[6]	HEAD20[5]	HEAD20[4]	HEAD20[3]	HEAD20[2]	HEAD20[1]	HEAD20[0]
	HEAD21	HEAD21[7]	HEAD21[6]	HEAD21[5]	HEAD21[4]	HEAD21[3]	HEAD21[2]	HEAD21[1]	HEAD21[0]
	HEAD22	HEAD22[7]	HEAD22[6]	HEAD22[5]	HEAD22[4]	HEAD22[3]	HEAD22[2]	HEAD22[1]	HEAD22[0]
	HEAD23	HEAD23[7]	HEAD23[6]	HEAD23[5]	HEAD23[4]	HEAD23[3]	HEAD23[2]	HEAD23[1]	HEAD23[0]
	SHEAD20	SHEAD20[7]	SHEAD20[6]	SHEAD20[5]	SHEAD20[4]	SHEAD20[3]	SHEAD20[2]	SHEAD20[1]	SHEAD20[0]
	SHEAD21	SHEAD21[7]	SHEAD21[6]	SHEAD21[5]	SHEAD21[4]	SHEAD21[3]	SHEAD21[2]	SHEAD21[1]	SHEAD21[0]
	SHEAD22	SHEAD22[7]	SHEAD22[6]	SHEAD22[5]	SHEAD22[4]	SHEAD22[3]	SHEAD22[2]	SHEAD22[1]	SHEAD22[0]
	SHEAD23	SHEAD23[7]	SHEAD23[6]	SHEAD23[5]	SHEAD23[4]	SHEAD23[3]	SHEAD23[2]	SHEAD23[1]	SHEAD23[0]
	SHEAD24	SHEAD24[7]	SHEAD24[6]	SHEAD24[5]	SHEAD24[4]	SHEAD24[3]	SHEAD24[2]	SHEAD24[1]	SHEAD24[0]
	SHEAD25	SHEAD25[7]	SHEAD25[6]	SHEAD25[5]	SHEAD25[4]	SHEAD25[3]	SHEAD25[2]	SHEAD25[1]	SHEAD25[0]
	SHEAD26	SHEAD26[7]	SHEAD26[6]	SHEAD26[5]	SHEAD26[4]	SHEAD26[3]	SHEAD26[2]	SHEAD26[1]	SHEAD26[0]
	SHEAD27	SHEAD27[7]	SHEAD27[6]	SHEAD27[5]	SHEAD27[4]	SHEAD27[3]	SHEAD27[2]	SHEAD27[1]	SHEAD27[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
CD-ROM デコーダ	CBUFCTL0	CBUF_AUT	CBUF_EN	-	CBUF_MD[1]	CBUF_MD[0]	CBUF_TS	CBUF_Q	-
	CBUFCTL1	BS_MIN[7]	BS_MIN[6]	BS_MIN[5]	BS_MIN[4]	BS_MIN[3]	BS_MIN[2]	BS_MIN[1]	BS_MIN[0]
	CBUFCTL2	BS_SEC[7]	BS_SEC[6]	BS_SEC[5]	BS_SEC[4]	BS_SEC[3]	BS_SEC[2]	BS_SEC[1]	BS_SEC[0]
	CBUFCTL3	BS_FRM[7]	BS_FRM[6]	BS_FRM[5]	BS_FRM[4]	BS_FRM[3]	BS_FRM[2]	BS_FRM[1]	BS_FRM[0]
	CROMST0M	-	-	ST_SYILM	ST_SYNOM	ST_BLKSM	ST_BLKLM	ST_SECSM	ST_SECLM
	ROMDECRST	LOGICRST	RAMRST	-	-	-	-	-	-
	RSTSTAT	RAMCLRST	-	-	-	-	-	-	-
	SSI	BYTEND	BITEND	BUFEND0[1]	BUFEND0[0]	BUFEND1[1]	BUFEND1[0]	-	-
	INTHOLD	ISEC	ITARG	ISY	IERR	IBUF	IREADY	-	-
	INHINT	INHISEC	INHITARG	INHISY	INHIERR	INHIBUF	INHIREADY	PRE INHREQDM	PRE INHIREADY
	STRMDIN0	STRMDIN[31]	STRMDIN[30]	STRMDIN[29]	STRMDIN[28]	STRMDIN[27]	STRMDIN[26]	STRMDIN[25]	STRMDIN[24]
		STRMDIN[23]	STRMDIN[22]	STRMDIN[21]	STRMDIN[20]	STRMDIN[19]	STRMDIN[18]	STRMDIN[17]	STRMDIN[16]
	STRMDIN2	STRMDIN[15]	STRMDIN[14]	STRMDIN[13]	STRMDIN[12]	STRMDIN[11]	STRMDIN[10]	STRMDIN[9]	STRMDIN[8]
		STRMDIN[7]	STRMDIN[6]	STRMDIN[5]	STRMDIN[4]	STRMDIN[3]	STRMDIN[2]	STRMDIN[1]	STRMDIN[0]
	STRMDOUT0	STRMDOUT [15]	STRMDOUT [14]	STRMDOUT [13]	STRMDOUT [12]	STRMDOUT [11]	STRMDOUT [10]	STRMDOUT [9]	STRMDOUT [8]
		STRMDOUT [7]	STRMDOUT [6]	STRMDOUT [5]	STRMDOUT [4]	STRMDOUT [3]	STRMDOUT [2]	STRMDOUT [1]	STRMDOUT [0]
A/D 変換器	ADDRA								
				-	-	-	-	-	-
	ADDRB								
				-	-	-	-	-	-
	ADDRC								
				-	-	-	-	-	-
	ADDRD								
				-	-	-	-	-	-
	ADDRE								
				-	-	-	-	-	-
	ADDRF								
				-	-	-	-	-	-
	ADDRG								
				-	-	-	-	-	-
	ADDRH								
				-	-	-	-	-	-
	ADCSR	ADF	ADIE	ADST	TRGS[3]	TRGS[2]	TRGS[1]	TRGS[0]	CKS[2]
		CKS[1]	CKS[0]	MDS[2]	MDS[1]	MDS[0]	CH[2]	CH[1]	CH[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
NAND フラッシュ メモリ コントローラ	FLCMNCR	-	-	-	-	-	-	-	-
		-	-	BUSYON	-	-	SNAND	QTSEL	-
		-	-	-	-	ACM[1]	ACM[0]	NANDWF	-
		-	-	-	-	CE	-	-	-
FLCMDCR	FLCMDCR	ADRCNT2	SCTCNT[19]	SCTCNT[18]	SCTCNT[17]	SCTCNT[16]	ADRMD	CDSRC	DOSR
		-	-	SELRW	DOADR	ADRCNT[1]	ADRCNT[0]	DOCMD2	DOCMD1
		SCTCNT[15]	SCTCNT[14]	SCTCNT[13]	SCTCNT[12]	SCTCNT[11]	SCTCNT[10]	SCTCNT[9]	SCTCNT[8]
		SCTCNT[7]	SCTCNT[6]	SCTCNT[5]	SCTCNT[4]	SCTCNT[3]	SCTCNT[2]	SCTCNT[1]	SCTCNT[0]
FLCMCDR	FLCMCDR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		CMD2[7]	CMD2[6]	CMD2[5]	CMD2[4]	CMD2[3]	CMD2[2]	CMD2[1]	CMD2[0]
		CMD1[7]	CMD1[6]	CMD1[5]	CMD1[4]	CMD1[3]	CMD1[2]	CMD1[1]	CMD1[0]
FLADR* ³	FLADR* ³	ADR4[7]	ADR4[6]	ADR4[5]	ADR4[4]	ADR4[3]	ADR4[2]	ADR4[1]	ADR4[0]
		ADR3[7]	ADR3[6]	ADR3[5]	ADR3[4]	ADR3[3]	ADR3[2]	ADR3[1]	ADR3[0]
		ADR2[7]	ADR2[6]	ADR2[5]	ADR2[4]	ADR2[3]	ADR2[2]	ADR2[1]	ADR2[0]
		ADR1[7]	ADR1[6]	ADR1[5]	ADR1[4]	ADR1[3]	ADR1[2]	ADR1[1]	ADR1[0]
FLADR1* ⁴	FLADR1* ⁴	-	-	-	-	-	-	ADR[25]	ADR[24]
		ADR[23]	ADR[22]	ADR[21]	ADR[20]	ADR[19]	ADR[18]	ADR[17]	ADR[16]
		ADR[15]	ADR[14]	ADR[13]	ADR[12]	ADR[11]	ADR[10]	ADR[9]	ADR[8]
		ADR[7]	ADR[6]	ADR[5]	ADR[4]	ADR[3]	ADR[2]	ADR[1]	ADR[0]
FLADR2	FLADR2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		ADR5[7]	ADR5[6]	ADR5[5]	ADR5[4]	ADR5[3]	ADR5[2]	ADR5[1]	ADR5[0]
FLDTCNTR	FLDTCNTR	ECFLW[7]	ECFLW[6]	ECFLW[5]	ECFLW[4]	ECFLW[3]	ECFLW[2]	ECFLW[1]	ECFLW[0]
		DTFLW[7]	DTFLW[6]	DTFLW[5]	DTFLW[4]	DTFLW[3]	DTFLW[2]	DTFLW[1]	DTFLW[0]
		-	-	-	-	DTCNT[11]	DTCNT[10]	DTCNT[9]	DTCNT[8]
		DTCNT[7]	DTCNT[6]	DTCNT[5]	DTCNT[4]	DTCNT[3]	DTCNT[2]	DTCNT[1]	DTCNT[0]
FLDATAR	FLDATAR	DT4[7]	DT4[6]	DT4[5]	DT4[4]	DT4[3]	DT4[2]	DT4[1]	DT4[0]
		DT3[7]	DT3[6]	DT3[5]	DT3[4]	DT3[3]	DT3[2]	DT3[1]	DT3[0]
		DT2[7]	DT2[6]	DT2[5]	DT2[4]	DT2[3]	DT2[2]	DT2[1]	DT2[0]
		DT1[7]	DT1[6]	DT1[5]	DT1[4]	DT1[3]	DT1[2]	DT1[1]	DT1[0]
FLINTDMACR	FLINTDMACR	-	-	-	-	-	-	-	-
		-	-	FIFOTRG[1]	FIFOTRG[0]	AC1CLR	AC0CLR	DREQ1EN	DREQ0EN
		-	-	-	-	-	-	-	STERB
		BTOERB	TRREQF1	TRREQF0	STERINTE	RBERINTE	TEINTE	TRINTE1	TRINTE0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
NAND フラッシュ メモリ コントローラ	FLBSYTMR	-	-	-	-	-	-	-	-	
		-	-	-	-	RBTMOUT[19]	RBTMOUT[18]	RBTMOUT[17]	RBTMOUT[16]	
		RBTMOUT[15]	RBTMOUT[14]	RBTMOUT[13]	RBTMOUT[12]	RBTMOUT[11]	RBTMOUT[10]	RBTMOUT[9]	RBTMOUT[8]	
		RBTMOUT[7]	RBTMOUT[6]	RBTMOUT[5]	RBTMOUT[4]	RBTMOUT[3]	RBTMOUT[2]	RBTMOUT[1]	RBTMOUT[0]	
	FLBSYCNT	STAT[7]	STAT[6]	STAT[5]	STAT[4]	STAT[3]	STAT[2]	STAT[1]	STAT[0]	
		-	-	-	-	RBTIMCNT [19]	RBTIMCNT [18]	RBTIMCNT [17]	RBTIMCNT [16]	
		RBTIMCNT [15]	RBTIMCNT [14]	RBTIMCNT [13]	RBTIMCNT [12]	RBTIMCNT [11]	RBTIMCNT [10]	RBTIMCNT [9]	RBTIMCNT [8]	
		RBTIMCNT [7]	RBTIMCNT [6]	RBTIMCNT [5]	RBTIMCNT [4]	RBTIMCNT [3]	RBTIMCNT [2]	RBTIMCNT [1]	RBTIMCNT [0]	
	FLDTFIFO	DTFO[31]	DTFO[30]	DTFO[29]	DTFO[28]	DTFO[27]	DTFO[26]	DTFO[25]	DTFO[24]	
		DTFO[23]	DTFO[22]	DTFO[21]	DTFO[20]	DTFO[19]	DTFO[18]	DTFO[17]	DTFO[16]	
		DTFO[15]	DTFO[14]	DTFO[13]	DTFO[12]	DTFO[11]	DTFO[10]	DTFO[9]	DTFO[8]	
		DTFO[7]	DTFO[6]	DTFO[5]	DTFO[4]	DTFO[3]	DTFO[2]	DTFO[1]	DTFO[0]	
	FLECFIFO	ECFO[31]	ECFO[30]	ECFO[29]	ECFO[28]	ECFO[27]	ECFO[26]	ECFO[25]	ECFO[24]	
		ECFO[23]	ECFO[22]	ECFO[21]	ECFO[20]	ECFO[19]	ECFO[18]	ECFO[17]	ECFO[16]	
		ECFO[15]	ECFO[14]	ECFO[13]	ECFO[12]	ECFO[11]	ECFO[10]	ECFO[9]	ECFO[8]	
		ECFO[7]	ECFO[6]	ECFO[5]	ECFO[4]	ECFO[3]	ECFO[2]	ECFO[1]	ECFO[0]	
	FLTRCR	-	-	-	-	-	TRSTAT	TREND	TRSTRT	
	FLHOLDCR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	HOLDEN	
	USB2.0 ホスト/ ファンクシ ョン モジュール	SYSCFG	-	-	-	-	-	SCKE	-	-
			HSE	DCFM	DRPD	DPRPU	UCKFSEL	UCKPSEL	UPLLE	USBE
		BUSWAIT	-	-	-	-	-	-	-	-
-			-	-	-	BWAIT[3]	BWAIT[2]	BWAIT[1]	BWAIT[0]	
SYSSTS		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	LNST[1]	LNST[0]	
DVSTCTR		-	-	-	-	-	-	-	WKUP	
		RWUPE	USBRST	RESUME	UACT	-	RHST[2]	RHST[1]	RHST[0]	
TESTMODE		-	-	-	-	-	-	-	-	
		-	-	-	-	UTST[3]	UTST[2]	UTST[1]	UTST[0]	
D0FBCFG		-	-	-	-	-	-	-	-	
		-	-	-	TENDE	-	-	-	-	
D1FBCFG		-	-	-	-	-	-	-	-	
		-	-	-	TENDE	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
USB2.0 ホスト/ ファンクシ ョン モジュール	CFIFO	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	
		[31]	[30]	[29]	[28]	[27]	[26]	[25]	[24]	
		FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT
		[23]	[22]	[21]	[20]	[19]	[18]	[17]	[16]	
	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	
	[15]	[14]	[13]	[12]	[11]	[10]	[9]	[8]		
	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	
	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]		
	D0FIFO	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT
		[31]	[30]	[29]	[28]	[27]	[26]	[25]	[24]	
		FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT
		[23]	[22]	[21]	[20]	[19]	[18]	[17]	[16]	
	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	
	[15]	[14]	[13]	[12]	[11]	[10]	[9]	[8]		
	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	
	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]		
	D1FIFO	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT
		[31]	[30]	[29]	[28]	[27]	[26]	[25]	[24]	
		FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT
		[23]	[22]	[21]	[20]	[19]	[18]	[17]	[16]	
	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	
	[15]	[14]	[13]	[12]	[11]	[10]	[9]	[8]		
	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	FIFOPORT	
	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]		
	CFIFOSEL	RCNT	REW	-	-	MBW[1]	MBW[0]	-	BIGEND	
		-	-	ISEL	-	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]	
	CFIFOCTR	BVAL	BCLR	FRDY	-	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]	
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]	
	D0FIFOSEL	RCNT	REW	DCLRM	DREQE	MBW[1]	MBW[0]	-	BIGEND	
		-	-	-	-	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]	
	D0FIFOCTR	BVAL	BCLR	FRDY	-	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]	
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]	
	D1FIFOSEL	RCNT	REW	DCLRM	DREQE	MBW[1]	MBW[0]	-	BIGEND	
		-	-	-	-	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]	
	D1FIFOCTR	BVAL	BCLR	FRDY	-	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]	
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]	
INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE		
	-	-	-	-	-	-	-	-		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB2.0 ホスト/ ファンクシ ョン モジュール	INTENB1	-	BCHGE	-	DTCHE	ATTCHE	-	-	-
		-	EOFERRE	SIGNE	SACKE	-	-	-	-
	BRDYENB	-	-	-	-	-	-	PIPE9BRDYE	PIPE8BRDYE
		PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE
	NRDYENB	-	-	-	-	-	-	PIPE9NRDYE	PIPE8NRDYE
		PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
	BEMPENB	-	-	-	-	-	-	PIPE9BEMPE	PIPE8BEMPE
		PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE
	SOFCFG	-	-	-	-	-	-	-	TRNENSEL
		-	BRDYM	-	-	-	-	-	-
	INTSTS0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY
		VBSTS	DVSQ[2]	DVSQ[1]	DVSQ[0]	VALID	CTSQ[2]	CTSQ[1]	CTSQ[0]
	INTSTS1	-	BCHG	-	DTCH	ATTCH	-	-	-
		-	EOFERR	SIGN	SACK	-	-	-	-
	BRDYSTS	-	-	-	-	-	-	PIPE9BRDY	PIPE8BRDY
		PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY
	NRDYSTS	-	-	-	-	-	-	PIPE9NRDY	PIPE8NRDY
		PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
	BEMPSTS	-	-	-	-	-	-	PIPE9BEMP	PIPE8BEMP
		PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
	FRMNUM	OVRN	CRCE	-	-	-	FRNM[10]	FRNM[9]	FRNM[8]
		FRNM[7]	FRNM[6]	FRNM[5]	FRNM[4]	FRNM[3]	FRNM[2]	FRNM[1]	FRNM[0]
	UFRMNUM	-	-	-	-	-	-	-	-
		-	-	-	-	-	UFRNM[2]	UFRNM[1]	UFRNM[0]
	USBADDR	-	-	-	-	-	-	-	-
		-	USBADDR[6]	USBADDR[5]	USBADDR[4]	USBADDR[3]	USBADDR[2]	USBADDR[1]	USBADDR[0]
	USBREQ	BREQUEST[7]	BREQUEST[6]	BREQUEST[5]	BREQUEST[4]	BREQUEST[3]	BREQUEST[2]	BREQUEST[1]	BREQUEST[0]
		BMREQUEST TYPE[7]	BMREQUEST TYPE[6]	BMREQUEST TYPE[5]	BMREQUEST TYPE[4]	BMREQUEST TYPE[3]	BMREQUEST TYPE[2]	BMREQUEST TYPE[1]	BMREQUEST TYPE[0]
	USBVAL	WVALUE[15]	WVALUE[14]	WVALUE[13]	WVALUE[12]	WVALUE[11]	WVALUE[10]	WVALUE[9]	WVALUE[8]
		WVALUE[7]	WVALUE[6]	WVALUE[5]	WVALUE[4]	WVALUE[3]	WVALUE[2]	WVALUE[1]	WVALUE[0]
	USBINDX	WINDEX[15]	WINDEX[14]	WINDEX[13]	WINDEX[12]	WINDEX[11]	WINDEX[10]	WINDEX[9]	WINDEX[8]
		WINDEX[7]	WINDEX[6]	WINDEX[5]	WINDEX[4]	WINDEX[3]	WINDEX[2]	WINDEX[1]	WINDEX[0]
	USBLENG	WLENGTH[15]	WLENGTH[14]	WLENGTH[13]	WLENGTH[12]	WLENGTH[11]	WLENGTH[10]	WLENGTH[9]	WLENGTH[8]
		WLENGTH[7]	WLENGTH[6]	WLENGTH[5]	WLENGTH[4]	WLENGTH[3]	WLENGTH[2]	WLENGTH[1]	WLENGTH[0]
	DCPCFG	-	-	-	-	-	-	-	CNTMD
		SHTNAK	-	-	DIR	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB2.0 ホスト/ ファンクシ ョン モジュール	DCPMAXP	DEVSEL[3]	DEVSEL[2]	DEVSEL[1]	DEVSEL[0]	-	-	-	-
		-	MXPS[6]	MXPS[5]	MXPS[4]	MXPS[3]	MXPS[2]	MXPS[1]	MXPS[0]
	DCPCTR	BSTS	SUREQ	CSCCLR	CSSTS	SUREQCLR	-	-	SQCLR
		SQSET	SQMON	PBUSY	PINGE	-	CCPL	PID[1]	PID[0]
	PIPESEL	-	-	-	-	-	-	-	-
		-	-	-	-	PIPESEL[3]	PIPESEL[2]	PIPESEL[1]	PIPESEL[0]
	PIPECFG	TYPE[1]	TYPE[0]	-	-	-	BFRE	DBLB	CNTMD
		SHTNAK	-	-	DIR	EPNUM[3]	EPNUM[2]	EPNUM[1]	EPNUM[0]
	PIPEBUF	-	BUFSIZE[4]	BUFSIZE[3]	BUFSIZE[2]	BUFSIZE[1]	BUFSIZE[0]	-	-
		-	BUFNMB[6]	BUFNMB[5]	BUFNMB[4]	BUFNMB[3]	BUFNMB[2]	BUFNMB[1]	BUFNMB[0]
	PIPEMAXP	DEVSEL[3]	DEVSEL[2]	DEVSEL[1]	DEVSEL[0]	-	MXPS[10]	MXPS[9]	MXPS[8]
		MXPS[7]	MXPS[6]	MXPS[5]	MXPS[4]	MXPS[3]	MXPS[2]	MXPS[1]	MXPS[0]
	PIPEPERI	-	-	-	IFIS	-	-	-	-
		-	-	-	-	-	IITV[2]	IITV[1]	IITV[0]
	PIPE1CTR	BSTS	INBUFM	CSCCLR	CSSTS	-	ATREPM	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	-	-	-	PID[1]	PID[0]
	PIPE2CTR	BSTS	INBUFM	CSCCLR	CSSTS	-	ATREPM	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	-	-	-	PID[1]	PID[0]
	PIPE3CTR	BSTS	INBUFM	CSCCLR	CSSTS	-	ATREPM	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	-	-	-	PID[1]	PID[0]
	PIPE4CTR	BSTS	INBUFM	CSCCLR	CSSTS	-	ATREPM	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	-	-	-	PID[1]	PID[0]
	PIPE5CTR	BSTS	INBUFM	CSCCLR	CSSTS	-	ATREPM	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	-	-	-	PID[1]	PID[0]
	PIPE6CTR	BSTS	-	CSCCLR	CSSTS	-	-	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	-	-	-	PID[1]	PID[0]
	PIPE7CTR	BSTS	-	CSCCLR	CSSTS	-	-	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	-	-	-	PID[1]	PID[0]
	PIPE8CTR	BSTS	-	CSCCLR	CSSTS	-	-	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	-	-	-	PID[1]	PID[0]
	PIPE9CTR	BSTS	-	CSCCLR	CSSTS	-	-	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	-	-	-	PID[1]	PID[0]
	PIPE1TRE	-	-	-	-	-	-	TRENB	TRCLR
		-	-	-	-	-	-	-	-
	PIPE1TRN	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
USB2.0 ホスト/ ファンクショ ン モジュール	PIPE2TRE	-	-	-	-	-	-	TRENB	TRCLR	
		-	-	-	-	-	-	-	-	
	PIPE2TRN	TRCNT[15]	TRCNT[14]	TRCNT[13]	TRCNT[12]	TRCNT[11]	TRCNT[10]	TRCNT[9]	TRCNT[8]	
		TRCNT[7]	TRCNT[6]	TRCNT[5]	TRCNT[4]	TRCNT[3]	TRCNT[2]	TRCNT[1]	TRCNT[0]	
	PIPE3TRE	-	-	-	-	-	-	-	TRENB	TRCLR
		-	-	-	-	-	-	-	-	-
	PIPE3TRN	TRCNT[15]	TRCNT[14]	TRCNT[13]	TRCNT[12]	TRCNT[11]	TRCNT[10]	TRCNT[9]	TRCNT[8]	
		TRCNT[7]	TRCNT[6]	TRCNT[5]	TRCNT[4]	TRCNT[3]	TRCNT[2]	TRCNT[1]	TRCNT[0]	
	PIPE4TRE	-	-	-	-	-	-	-	TRENB	TRCLR
		-	-	-	-	-	-	-	-	-
	PIPE4TRN	TRCNT[15]	TRCNT[14]	TRCNT[13]	TRCNT[12]	TRCNT[11]	TRCNT[10]	TRCNT[9]	TRCNT[8]	
		TRCNT[7]	TRCNT[6]	TRCNT[5]	TRCNT[4]	TRCNT[3]	TRCNT[2]	TRCNT[1]	TRCNT[0]	
	PIPE5TRE	-	-	-	-	-	-	-	TRENB	TRCLR
		-	-	-	-	-	-	-	-	-
	PIPE5TRN	TRCNT[15]	TRCNT[14]	TRCNT[13]	TRCNT[12]	TRCNT[11]	TRCNT[10]	TRCNT[9]	TRCNT[8]	
		TRCNT[7]	TRCNT[6]	TRCNT[5]	TRCNT[4]	TRCNT[3]	TRCNT[2]	TRCNT[1]	TRCNT[0]	
	DEVADD0	-	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]	
		USBSPD[1]	USBSPD[0]	-	-	-	-	-	-	
	DEVADD1	-	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]	
		USBSPD[1]	USBSPD[0]	-	-	-	-	-	-	
	DEVADD2	-	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]	
		USBSPD[1]	USBSPD[0]	-	-	-	-	-	-	
	DEVADD3	-	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]	
		USBSPD[1]	USBSPD[0]	-	-	-	-	-	-	
	DEVADD4	-	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]	
		USBSPD[1]	USBSPD[0]	-	-	-	-	-	-	
	DEVADD5	-	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]	
		USBSPD[1]	USBSPD[0]	-	-	-	-	-	-	
	DEVADD6	-	HPPHUB[3]	HPPHUB[2]	HPPHUB[1]	HPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]	
		USBSPD[1]	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	-	-	-	
	DEVADD7	-	HPPHUB[3]	HPPHUB[2]	HPPHUB[1]	HPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]	
		USBSPD[1]	USBSPD[0]	-	-	-	-	-	-	
DEVADD8	-	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]		
	USBSPD[1]	USBSPD[0]	-	-	-	-	-	-		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
USB2.0 ホスト/ ファンクシ ョン モジュール	DEVADD9	-	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]	
		USBSPD[1]	USBSPD[0]	-	-	-	-	-	-	
	DEVADDA	-	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]	
		USBSPD[1]	USBSPD[0]	-	-	-	-	-	-	
デジタル ビデオ デコーダ	ADCCR1	-	-	-	-	-	-	-	AGCMODE	
		-	-	-	-	-	-	-	-	
	TGCR1	-	-	-	-	-	-	-	-	SRCLEFT[8]
		SRCLEFT[7]	SRCLEFT[6]	SRCLEFT[5]	SRCLEFT[4]	SRCLEFT[3]	SRCLEFT[2]	SRCLEFT[1]	SRCLEFT[0]	
	TGCR2	SRCTOP[5]	SRCTOP[4]	SRCTOP[3]	SRCTOP[2]	SRCTOP[1]	SRCTOP[0]	SRCHEIGHT [9]	SRCHEIGHT [8]	
		SRCHEIGHT [7]	SRCHEIGHT [6]	SRCHEIGHT [5]	SRCHEIGHT [4]	SRCHEIGHT [3]	SRCHEIGHT [2]	SRCHEIGHT [1]	SRCHEIGHT [0]	
	TGCR3	-	-	-	-	-	-	SRCWIDTH [10]	SRCWIDTH [9]	SRCWIDTH [8]
		SRCWIDTH [7]	SRCWIDTH [6]	SRCWIDTH [5]	SRCWIDTH [4]	SRCWIDTH [3]	SRCWIDTH [2]	SRCWIDTH [1]	SRCWIDTH [0]	
	SYNSCR1	LPFVSYNC[2]	LPFVSYNC[1]	LPFVSYNC[0]	LPFHSYNC[2]	LPFHSYNC[1]	LPFHSYNC[0]	-	-	
		VELOCITY SHIFT_H[3]	VELOCITY SHIFT_H[2]	VELOCITY SHIFT_H[1]	VELOCITY SHIFT_H[0]	SLICER MODE_H[1]	SLICER MODE_H[0]	SLICER MODE_V[1]	SLICER MODE_V[0]	
	SYNSCR2	-	-	-	-	SYNCMAX DUTY_H[5]	SYNCMAX DUTY_H[4]	SYNCMAX DUTY_H[3]	SYNCMAX DUTY_H[2]	
		SYNCMAX DUTY_H[1]	SYNCMAX DUTY_H[0]	SYNCMIN DUTY_H[5]	SYNCMIN DUTY_H[4]	SYNCMIN DUTY_H[3]	SYNCMIN DUTY_H[2]	SYNCMIN DUTY_H[1]	SYNCMIN DUTY_H[0]	
	SYNSCR3	-	-	SSCLIP SEL[3]	SSCLIP SEL[2]	SSCLIP SEL[1]	SSCLIP SEL[0]	CSYNC SLICE_H[9]	CSYNC SLICE_H[8]	
		CSYNC SLICE_H[7]	CSYNC SLICE_H[6]	CSYNC SLICE_H[5]	CSYNC SLICE_H[4]	CSYNC SLICE_H[3]	CSYNC SLICE_H[2]	CSYNC SLICE_H[1]	CSYNC SLICE_H[0]	
	SYNSCR4	-	-	-	-	SYNCMAX DUTY_V[5]	SYNCMAX DUTY_V[4]	SYNCMAX DUTY_V[3]	SYNCMAX DUTY_V[2]	
		SYNCMAX DUTY_V[1]	SYNCMAX DUTY_V[0]	SYNCMIN DUTY_V[5]	SYNCMIN DUTY_V[4]	SYNCMIN DUTY_V[3]	SYNCMIN DUTY_V[2]	SYNCMIN DUTY_V[1]	SYNCMIN DUTY_V[0]	
	SYNSCR5	VSYNC DELAY	VSYNC SLICE[4]	VSYNC SLICE[3]	VSYNC SLICE[2]	VSYNC SLICE[1]	VSYNC SLICE[0]	CSYNC SLICE_V[9]	CSYNC SLICE_V[8]	
		CSYNC SLICE_V[7]	CSYNC SLICE_V[6]	CSYNC SLICE_V[5]	CSYNC SLICE_V[4]	CSYNC SLICE_V[3]	CSYNC SLICE_V[2]	CSYNC SLICE_V[1]	CSYNC SLICE_V[0]	
	HAFCCR1	HAFCGAIN [3]	HAFCGAIN [2]	HAFCGAIN [1]	HAFCGAIN [0]	-	HAFCFREE RUN	HAFCTYP [9]	HAFCTYP [8]	
		HAFCTYP[7]	HAFCTYP[6]	HAFCTYP[5]	HAFCTYP[4]	HAFCTYP[3]	HAFCTYP[2]	HAFCTYP[1]	HAFCTYP[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
デジタル ビデオ デコーダ	HAFCCR2	HAFCCSTART [3]	HAFCCSTART [2]	HAFCCSTART [1]	HAFCCSTART [0]	NOX2HOSC	DOX2HOSC	HAFCCMAX [9]	HAFCCMAX [8]
		HAFCCMAX [7]	HAFCCMAX [6]	HAFCCMAX [5]	HAFCCMAX [4]	HAFCCMAX [3]	HAFCCMAX [2]	HAFCCMAX [1]	HAFCCMAX [0]
	HAFCCR3	HAFCCEND[3]	HAFCCEND[2]	HAFCCEND[1]	HAFCCEND[0]	HAFCCMODE[1]	HAFCCMODE[0]	HAFCCMIN[9]	HAFCCMIN[8]
		HAFCCMIN[7]	HAFCCMIN[6]	HAFCCMIN[5]	HAFCCMIN[4]	HAFCCMIN[3]	HAFCCMIN[2]	HAFCCMIN[1]	HAFCCMIN[0]
	VCDWCR1	VCDFREERUN	NOVCD50	NOVCD60	VCD DEFAULT[1]	VCD DEFAULT[0]	VCD WINDOW[5]	VCD WINDOW[4]	VCD WINDOW[3]
		VCD WINDOW[2]	VCD WINDOW[1]	VCD WINDOW[0]	VCD OFFSET[4]	VCD OFFSET[3]	VCD OFFSET[2]	VCD OFFSET[1]	VCD OFFSET[0]
	DCPCR1	DCPCMODE_Y	-	-	-	DCPCHECK	-	BLANK LEVEL_Y[9]	BLANK LEVEL_Y[8]
		BLANK LEVEL_Y[7]	BLANK LEVEL_Y[6]	BLANK LEVEL_Y[5]	BLANK LEVEL_Y[4]	BLANK LEVEL_Y[3]	BLANK LEVEL_Y[2]	BLANK LEVEL_Y[1]	BLANK LEVEL_Y[0]
	DCPCR2	DCPCMODE_C	-	-	-	BLANK LEVEL_CB[5]	BLANK LEVEL_CB[4]	BLANK LEVEL_CB[3]	BLANK LEVEL_CB[2]
		BLANK LEVEL_CB[1]	BLANK LEVEL_CB[0]	BLANK LEVEL_CR[5]	BLANK LEVEL_CR[4]	BLANK LEVEL_CR[3]	BLANK LEVEL_CR[2]	BLANK LEVEL_CR[1]	BLANK LEVEL_CR[0]
	DCPCR3	-	DCP RESPONSE[2]	DCP RESPONSE[1]	DCP RESPONSE[0]	-	-	-	-
		-	-	-	-	-	-	-	-
	DCPCR4	DCPSTART[5]	DCPSTART[4]	DCPSTART[3]	DCPSTART[2]	DCPSTART[1]	DCPSTART[0]	-	-
		-	-	-	-	-	-	-	-
	DCPCR5	DCPEND[5]	DCPEND[4]	DCPEND[3]	DCPEND[2]	DCPEND[1]	DCPEND[0]	-	-
		-	-	-	-	-	-	-	-
	DCPCR6	-	DCPWIDTH[6]	DCPWIDTH[5]	DCPWIDTH[4]	DCPWIDTH[3]	DCPWIDTH[2]	DCPWIDTH[1]	DCPWIDTH[0]
		-	-	-	-	-	-	-	-
	DCPCR7	DCPPOS_Y[7]	DCPPOS_Y[6]	DCPPOS_Y[5]	DCPPOS_Y[4]	DCPPOS_Y[3]	DCPPOS_Y[2]	DCPPOS_Y[1]	DCPPOS_Y[0]
		-	-	-	-	-	-	-	-
	DCPCR8	DCPPOS_C[7]	DCPPOS_C[6]	DCPPOS_C[5]	DCPPOS_C[4]	DCPPOS_C[3]	DCPPOS_C[2]	DCPPOS_C[1]	DCPPOS_C[0]
		-	-	-	-	-	-	-	-
	NSDCR	-	-	ACFINPUT[1]	ACFINPUT[0]	-	-	-	ACFLAG TIME[4]
		ACFLAG TIME[3]	ACFLAG TIME[2]	ACFLAG TIME[1]	ACFLAG TIME[0]	-	-	ACF FILTER[1]	ACF FILTER[0]
	BTLCR	LOCK RANGE[1]	LOCK RANGE[0]	LOOP GAIN[1]	LOOP GAIN[0]	LOCK LIMIT[1]	LOCK LIMIT[0]	BCO FREERUN	-
		DEFAULT SYS[1]	DEFAULT SYS[0]	NONTSC358	NONTSC443	NOPALM	NOPALN	NOPAL443	NOSECAM

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
デジタル ビデオ デコーダ	BTGPCR	BGPCHECK	BGPWIDTH[6]	BGPWIDTH[5]	BGPWIDTH[4]	BGPWIDTH[3]	BGPWIDTH[2]	BGPWIDTH[1]	BGPWIDTH[0]
		BGPSTART[7]	BGPSTART[6]	BGPSTART[5]	BGPSTART[4]	BGPSTART[3]	BGPSTART[2]	BGPSTART[1]	BGPSTART[0]
	ACCCR1	KILLER OFFSET[3]	KILLER OFFSET[2]	KILLER OFFSET[1]	KILLER OFFSET[0]	ACCMODE	ACC MAXGAIN[1]	ACC MAXGAIN[0]	ACC LEVEL[8]
		ACCLEVEL[7]	ACCLEVEL[6]	ACCLEVEL[5]	ACCLEVEL[4]	ACCLEVEL[3]	ACCLEVEL[2]	ACCLEVEL[1]	ACCLEVEL[0]
	ACCCR2	-	-	-	-	-	CHROMA SUBGAIN[1]	CHROMA SUBGAIN[0]	CHROMA MAINGAIN[8]
		CHROMA MAINGAIN[7]	CHROMA MAINGAIN[6]	CHROMA MAINGAIN[5]	CHROMA MAINGAIN[4]	CHROMA MAINGAIN[3]	CHROMA MAINGAIN[2]	CHROMA MAINGAIN[1]	CHROMA MAINGAIN[0]
	ACCCR3	ACC RESPONSE[1]	ACC RESPONSE[0]	ACC PRECIS[5]	ACC PRECIS[4]	ACC PRECIS[3]	ACC PRECIS[2]	ACC PRECIS[1]	ACC PRECIS[0]
		KILLER MODE	KILLER LEVEL[5]	KILLER LEVEL[4]	KILLER LEVEL[3]	KILLER LEVEL[2]	KILLER LEVEL[1]	KILLER LEVEL[0]	-
	TINTCR	TINTSUB[5]	TINTSUB[4]	TINTSUB[3]	TINTSUB[2]	TINTSUB[1]	TINTSUB[0]	TINTMAIN[9]	TINTMAIN[8]
		TINTMAIN[7]	TINTMAIN[6]	TINTMAIN[5]	TINTMAIN[4]	TINTMAIN[3]	TINTMAIN[2]	TINTMAIN[1]	TINTMAIN[0]
	YDCR	-	-	-	-	-	-	-	LUMA DELAY[4]
		LUMADELAY [3]	LUMADELAY [2]	LUMADELAY [1]	LUMADELAY [0]	-	CHROMALPF	DEMOD MODE[1]	DEMOD MODE[0]
	AGCCR1	-	-	DOREDUCE	NOREDUCE	AGC RESPONSE[2]	AGC RESPONSE[1]	AGC RESPONSE[0]	AGC LEVEL[8]
		AGC LEVEL[7]	AGC LEVEL[6]	AGC LEVEL[5]	AGC LEVEL[4]	AGC LEVEL[3]	AGC LEVEL[2]	AGC LEVEL[1]	AGC LEVEL[0]
	AGCCR2	-	-	AGC PRECIS[5]	AGC PRECIS[4]	AGC PRECIS[3]	AGC PRECIS[2]	AGC PRECIS[1]	AGC PRECIS[0]
		-	-	-	-	-	-	-	-
	PKLIMITCR	PEAK LEVEL[1]	PEAK LEVEL[0]	PEAK ATTACK[1]	PEAK ATTACK[0]	PEAK RELEASE[1]	PEAK RELEASE[0]	PEAK RATIO[1]	PEAK RATIO[0]
		MAXPEAK SAMPLES[7]	MAXPEAK SAMPLES[6]	MAXPEAK SAMPLES[5]	MAXPEAK SAMPLES[4]	MAXPEAK SAMPLES[3]	MAXPEAK SAMPLES[2]	MAXPEAK SAMPLES[1]	MAXPEAK SAMPLES[0]
	RGORCR1	-	-	-	-	-	-	RADJ_O_ LEVEL[9]	RADJ_O_ LEVEL[8]
		RADJ_O_ LEVEL[7]	RADJ_O_ LEVEL[6]	RADJ_O_ LEVEL[5]	RADJ_O_ LEVEL[4]	RADJ_O_ LEVEL[3]	RADJ_O_ LEVEL[2]	RADJ_O_ LEVEL[1]	RADJ_O_ LEVEL[0]
	RGORCR2	-	-	-	-	-	-	RADJ_U_ LEVEL[9]	RADJ_U_ LEVEL[8]
		RADJ_U_ LEVEL[7]	RADJ_U_ LEVEL[6]	RADJ_U_ LEVEL[5]	RADJ_U_ LEVEL[4]	RADJ_U_ LEVEL[3]	RADJ_U_ LEVEL[2]	RADJ_U_ LEVEL[1]	RADJ_U_ LEVEL[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
デジタル ビデオ デコーダ	RGORCR3	-	-	-	-	-	-	RADJ_O_ LEVEL1[9]	RADJ_O_ LEVEL1[8]
		RADJ_O_ LEVEL1[7]	RADJ_O_ LEVEL1[6]	RADJ_O_ LEVEL1[5]	RADJ_O_ LEVEL1[4]	RADJ_O_ LEVEL1[3]	RADJ_O_ LEVEL1[2]	RADJ_O_ LEVEL1[1]	RADJ_O_ LEVEL1[0]
	RGORCR4	-	-	-	-	-	-	RADJ_U_ LEVEL1[9]	RADJ_U_ LEVEL1[8]
		RADJ_U_ LEVEL1[7]	RADJ_U_ LEVEL1[6]	RADJ_U_ LEVEL1[5]	RADJ_U_ LEVEL1[4]	RADJ_U_ LEVEL1[3]	RADJ_U_ LEVEL1[2]	RADJ_U_ LEVEL1[1]	RADJ_U_ LEVEL1[0]
	RGORCR5	-	-	-	-	-	-	RADJ_O_ LEVEL2[9]	RADJ_O_ LEVEL2[8]
		RADJ_O_ LEVEL2[7]	RADJ_O_ LEVEL2[6]	RADJ_O_ LEVEL2[5]	RADJ_O_ LEVEL2[4]	RADJ_O_ LEVEL2[3]	RADJ_O_ LEVEL2[2]	RADJ_O_ LEVEL2[1]	RADJ_O_ LEVEL2[0]
	RGORCR6	-	-	-	-	-	-	RADJ_U_ LEVEL2[9]	RADJ_U_ LEVEL2[8]
		RADJ_U_ LEVEL2[7]	RADJ_U_ LEVEL2[6]	RADJ_U_ LEVEL2[5]	RADJ_U_ LEVEL2[4]	RADJ_U_ LEVEL2[3]	RADJ_U_ LEVEL2[2]	RADJ_U_ LEVEL2[1]	RADJ_U_ LEVEL2[0]
	RGORCR7	-	TEST_MONI [2]	TEST_MON [1]	TEST_MONI [0]	RADJ_MIX_ K_FIX[2]	RADJ_MIX_ K_FIX[1]	RADJ_MIX_ K_FIX[0]	-
		-	-	-	-	-	UCMP_SW	DCMP_SW	HWIDE_SW
	AFPCFCR	-	-	-	-	-	-	-	-
		-	-	-	PHDET_FIX	-	PHDET_ DIV[2]	PHDET_ DIV[1]	PHDET_ DIV[0]
	RUPDCR	NEWSETTING	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	VSYNCR	FHCOUNT_L	FHLOCK	ISNOISY	FHMODE	NOSIGNAL	FVLOCK	FVMODE	INTERLACED
		FVCOUNT[7]	FVCOUNT[6]	FVCOUNT[5]	FVCOUNT[4]	FVCOUNT[3]	FVCOUNT[2]	FVCOUNT[1]	FVCOUNT[0]
	HSYNSR	FHCOUNT_ H[16]	FHCOUNT_ H[15]	FHCOUNT_ H[14]	FHCOUNT_ H[13]	FHCOUNT_ H[12]	FHCOUNT_ H[11]	FHCOUNT_ H[10]	FHCOUNT_ H[9]
		FHCOUNT_ H[8]	FHCOUNT_ H[7]	FHCOUNT_ H[6]	FHCOUNT_ H[5]	FHCOUNT_ H[4]	FHCOUNT_ H[3]	FHCOUNT_ H[2]	FHCOUNT_ H[1]
	DCPSR1	CLAMP LEVEL_CB[5]	CLAMP LEVEL_CB[4]	CLAMP LEVEL_CB[3]	CLAMP LEVEL_CB[2]	CLAMP LEVEL_CB[1]	CLAMP LEVEL_CB[0]	CLAMP LEVEL_Y[9]	CLAMP LEVEL_Y[8]
		CLAMP LEVEL_Y[7]	CLAMP LEVEL_Y[6]	CLAMP LEVEL_Y[5]	CLAMP LEVEL_Y[4]	CLAMP LEVEL_Y[3]	CLAMP LEVEL_Y[2]	CLAMP LEVEL_Y[1]	CLAMP LEVEL_Y[0]
	DCPSR2	CLAMP LEVEL_CR[5]	CLAMP LEVEL_CR[4]	CLAMP LEVEL_CR[3]	CLAMP LEVEL_CR[2]	CLAMP LEVEL_CR[1]	CLAMP LEVEL_CR[0]	-	-
		-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
デジタル ビデオ デコーダ	NSDSR	ACFSTRENG TH[15]	ACFSTRENG TH[14]	ACFSTRENG TH[13]	ACFSTRENG TH[12]	ACFSTRENG TH[11]	ACFSTRENG TH[10]	ACFSTRENG TH[9]	ACFSTREN GTH[8]
		ACFSTRENG TH[7]	ACFSTRENG TH[6]	ACFSTRENG TH[5]	ACFSTRENG TH[4]	ACFSTRENG TH[3]	ACFSTRENG TH[2]	ACFSTRENG TH[1]	ACFSTREN GTH[0]
	CROMASR1	COLOR SYS[1]	COLOR SYS[0]	FSCMODE	FSCLOCK	NOBURST	ACCSUB GAIN[1]	ACCSUB GAIN[0]	ACCMAIN GAIN[8]
		ACCMAIN GAIN[7]	ACCMAIN GAIN[6]	ACCMAIN GAIN[5]	ACCMAIN GAIN[4]	ACCMAIN GAIN[3]	ACCMAIN GAIN[2]	ACCMAIN GAIN[1]	ACCMAIN GAIN[0]
	CROMASR2	-	-	-	ISSECAM	ISPAL	ISNTSC	-	-
		LOCK LEVEL[7]	LOCK LEVEL[6]	LOCK LEVEL[5]	LOCK LEVEL[4]	LOCK LEVEL[3]	LOCK LEVEL[2]	LOCK LEVEL[1]	LOCK LEVEL[0]
	SYNCSR	-	-	-	ISREDUCED	-	-	SYNCDEPTH [9]	SYNCDEPTH [8]
		SYNCDEPTH [7]	SYNCDEPTH [6]	SYNCDEPTH [5]	SYNCDEPTH [4]	SYNCDEPTH [3]	SYNCDEPTH [2]	SYNCDEPTH [1]	SYNCDEPTH [0]
	AGCCSR1	HIGH SAMPLES[7]	HIGH SAMPLES[6]	HIGH SAMPLES[5]	HIGH SAMPLES[4]	HIGH SAMPLES[3]	HIGH SAMPLES[2]	HIGH SAMPLES[1]	HIGH SAMPLES[0]
		PEAK SAMPLES[7]	PEAK SAMPLES[6]	PEAK SAMPLES[5]	PEAK SAMPLES[4]	PEAK SAMPLES[3]	PEAK SAMPLES[2]	PEAK SAMPLES[1]	PEAK SAMPLES[0]
	AGCCSR2	-	-	-	-	-	-	-	AGC CONVERGE
		AGCGAIN[7]	AGCGAIN[6]	AGCGAIN[5]	AGCGAIN[4]	AGCGAIN[3]	AGCGAIN[2]	AGCGAIN[1]	AGCGAIN[0]
	YCSCR3	K15[3]	K15[2]	K15[1]	K15[0]	K13[5]	K13[4]	K13[3]	K13[2]
		K13[1]	K13[0]	K11[5]	K11[4]	K11[3]	K11[2]	K11[1]	K11[0]
	YCSCR4	K16[3]	K16[2]	K16[1]	K16[0]	K14[5]	K14[4]	K14[3]	K14[2]
		K14[1]	K14[0]	K12[5]	K12[4]	K12[3]	K12[2]	K12[1]	K12[0]
	YCSCR5	K22A[7]	K22A[6]	K22A[5]	K22A[4]	K22A[3]	K22A[2]	K22A[1]	K22A[0]
		-	-	K21A[5]	K21A[4]	K21A[3]	K21A[2]	K21A[1]	K21A[0]
	YCSCR6	K22B[7]	K22B[6]	K22B[5]	K22B[4]	K22B[3]	K22B[2]	K22B[1]	K22B[0]
		-	-	K21B[5]	K21B[4]	K21B[3]	K21B[2]	K21B[1]	K21B[0]
	YCSCR7	K23B[3]	K23B[2]	K23B[1]	K23B[0]	K23A[3]	K23A[2]	K23A[1]	K23A[0]
		-	-	-	K24[4]	K24[3]	K24[2]	K24[1]	K24[0]
	YCSCR8	HBPF_ NARROW	HVBPF_ NARROW	HBPF_ 9TAP_ON	HVBPF_ 9TAP_ON	HFIL_ TAP_SEL	-	-	-
		-	-	-	-	-	-	-	-
	YCSCR9	DET2_ON	-	-	-	HSEL_MIX_ Y[3]	HSEL_MIX_ Y[2]	HSEL_MIX_ Y[1]	HSEL_MIX_ Y[0]
		VSEL_MIX_ Y[3]	VSEL_MIX_ Y[2]	VSEL_MIX_ Y[1]	VSEL_MIX_ Y[0]	HVSEL_MIX_ Y[3]	HVSEL_MIX_ Y[2]	HVSEL_MIX_ Y[1]	HVSEL_MIX_ _Y[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
デジタル ビデオ デコーダ	YCSCR11	-	-	-	-	-	-	-	V_Y_ LEVEL[8]
		V_Y_ LEVEL[7]	V_Y_ LEVEL[6]	V_Y_ LEVEL[5]	V_Y_ LEVEL[4]	V_Y_ LEVEL[3]	V_Y_ LEVEL[2]	V_Y_ LEVEL[1]	V_Y_ LEVEL[0]
	YCSCR12	DET2_MIX_ C[3]	DET2_MIX_ C[2]	DET2_MIX_ C[1]	DET2_MIX_ C[0]	DET2_MIX_ Y[3]	DET2_MIX_ Y[2]	DET2_MIX_ Y[1]	DET2_MIX_ Y[0]
		-	-	-	-	FIL2_MODE_ 2D[1]	FIL2_MODE_ 2D[0]	-	FIL2_ NARROW_2D
	DCPCR9	-	-	-	CLP_HOLD_ ON_Y	CLP_HOLD_ ON_CB	CLP_HOLD_ ON_CR	-	-
		-	-	-	-	-	-	-	-
	YCTWA_F0	-	-	-	FIL2_2D_ WA_F0[12]	FIL2_2D_ WA_F0[11]	FIL2_2D_ WA_F0[10]	FIL2_2D_ WA_F0[9]	FIL2_2D_ WA_F0[8]
		FIL2_2D_ WA_F0[7]	FIL2_2D_ WA_F0[6]	FIL2_2D_ WA_F0[5]	FIL2_2D_ WA_F0[4]	FIL2_2D_ WA_F0[3]	FIL2_2D_ WA_F0[2]	FIL2_2D_ WA_F0[1]	FIL2_2D_ WA_F0[0]
	YCTWA_F1	-	-	-	FIL2_2D_ WA_F1[12]	FIL2_2D_ WA_F1[11]	FIL2_2D_ WA_F1[10]	FIL2_2D_ WA_F1[9]	FIL2_2D_ WA_F1[8]
		FIL2_2D_ WA_F1[7]	FIL2_2D_ WA_F1[6]	FIL2_2D_ WA_F1[5]	FIL2_2D_ WA_F1[4]	FIL2_2D_ WA_F1[3]	FIL2_2D_ WA_F1[2]	FIL2_2D_ WA_F1[1]	FIL2_2D_ WA_F1[0]
	YCTWA_F2	-	-	-	FIL2_2D_ WA_F2[12]	FIL2_2D_ WA_F2[11]	FIL2_2D_ WA_F2[10]	FIL2_2D_ WA_F2[9]	FIL2_2D_ WA_F2[8]
		FIL2_2D_ WA_F2[7]	FIL2_2D_ WA_F2[6]	FIL2_2D_ WA_F2[5]	FIL2_2D_ WA_F2[4]	FIL2_2D_ WA_F2[3]	FIL2_2D_ WA_F2[2]	FIL2_2D_ WA_F2[1]	FIL2_2D_ WA_F2[0]
	YCTWA_F3	-	-	-	FIL2_2D_ WA_F3[12]	FIL2_2D_ WA_F3[11]	FIL2_2D_ WA_F3[10]	FIL2_2D_ WA_F3[9]	FIL2_2D_ WA_F3[8]
		FIL2_2D_ WA_F3[7]	FIL2_2D_ WA_F3[6]	FIL2_2D_ WA_F3[5]	FIL2_2D_ WA_F3[4]	FIL2_2D_ WA_F3[3]	FIL2_2D_ WA_F3[2]	FIL2_2D_ WA_F3[1]	FIL2_2D_ WA_F3[0]
	YCTWA_F4	-	-	-	FIL2_2D_ WA_F4[12]	FIL2_2D_ WA_F4[11]	FIL2_2D_ WA_F4[10]	FIL2_2D_ WA_F4[9]	FIL2_2D_ WA_F4[8]
		FIL2_2D_ WA_F4[7]	FIL2_2D_ WA_F4[6]	FIL2_2D_ WA_F4[5]	FIL2_2D_ WA_F4[4]	FIL2_2D_ WA_F4[3]	FIL2_2D_ WA_F4[2]	FIL2_2D_ WA_F4[1]	FIL2_2D_ WA_F4[0]
	YCTWA_F5	-	-	-	FIL2_2D_ WA_F5[12]	FIL2_2D_ WA_F5[11]	FIL2_2D_ WA_F5[10]	FIL2_2D_ WA_F5[9]	FIL2_2D_ WA_F5[8]
		FIL2_2D_ WA_F5[7]	FIL2_2D_ WA_F5[6]	FIL2_2D_ WA_F5[5]	FIL2_2D_ WA_F5[4]	FIL2_2D_ WA_F5[3]	FIL2_2D_ WA_F5[2]	FIL2_2D_ WA_F5[1]	FIL2_2D_ WA_F5[0]
	YCTWA_F6	-	-	-	FIL2_2D_ WA_F6[12]	FIL2_2D_ WA_F6[11]	FIL2_2D_ WA_F6[10]	FIL2_2D_ WA_F6[9]	FIL2_2D_ WA_F6[8]
		FIL2_2D_ WA_F6[7]	FIL2_2D_ WA_F6[6]	FIL2_2D_ WA_F6[5]	FIL2_2D_ WA_F6[4]	FIL2_2D_ WA_F6[3]	FIL2_2D_ WA_F6[2]	FIL2_2D_ WA_F6[1]	FIL2_2D_ WA_F6[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
デジタル ビデオ デコーダ	YCTWA_F7	-	-	-	FIL2_2D_ WA_F7[12]	FIL2_2D_ WA_F7[11]	FIL2_2D_ WA_F7[10]	FIL2_2D_ WA_F7[9]	FIL2_2D_ WA_F7[8]
		FIL2_2D_ WA_F7[7]	FIL2_2D_ WA_F7[6]	FIL2_2D_ WA_F7[5]	FIL2_2D_ WA_F7[4]	FIL2_2D_ WA_F7[3]	FIL2_2D_ WA_F7[2]	FIL2_2D_ WA_F7[1]	FIL2_2D_ WA_F7[0]
	YCTWA_F8	-	-	-	FIL2_2D_ WA_F8[12]	FIL2_2D_ WA_F8[11]	FIL2_2D_ WA_F8[10]	FIL2_2D_ WA_F8[9]	FIL2_2D_ WA_F8[8]
		FIL2_2D_ WA_F8[7]	FIL2_2D_ WA_F8[6]	FIL2_2D_ WA_F8[5]	FIL2_2D_ WA_F8[4]	FIL2_2D_ WA_F8[3]	FIL2_2D_ WA_F8[2]	FIL2_2D_ WA_F8[1]	FIL2_2D_ WA_F8[0]
	YCTWB_F0	-	-	-	FIL2_2D_ WB_F0[12]	FIL2_2D_ WB_F0[11]	FIL2_2D_ WB_F0[10]	FIL2_2D_ WB_F0[9]	FIL2_2D_ WB_F0[8]
		FIL2_2D_ WB_F0[7]	FIL2_2D_ WB_F0[6]	FIL2_2D_ WB_F0[5]	FIL2_2D_ WB_F0[4]	FIL2_2D_ WB_F0[3]	FIL2_2D_ WB_F0[2]	FIL2_2D_ WB_F0[1]	FIL2_2D_ WB_F0[0]
	YCTWB_F1	-	-	-	FIL2_2D_ WB_F1[12]	FIL2_2D_ WB_F1[11]	FIL2_2D_ WB_F1[10]	FIL2_2D_ WB_F1[9]	FIL2_2D_ WB_F1[8]
		FIL2_2D_ WB_F1[7]	FIL2_2D_ WB_F1[6]	FIL2_2D_ WB_F1[5]	FIL2_2D_ WB_F1[4]	FIL2_2D_ WB_F1[3]	FIL2_2D_ WB_F1[2]	FIL2_2D_ WB_F1[1]	FIL2_2D_ WB_F1[0]
	YCTWB_F2	-	-	-	FIL2_2D_ WB_F2[12]	FIL2_2D_ WB_F2[11]	FIL2_2D_ WB_F2[10]	FIL2_2D_ WB_F2[9]	FIL2_2D_ WB_F2[8]
		FIL2_2D_ WB_F2[7]	FIL2_2D_ WB_F2[6]	FIL2_2D_ WB_F2[5]	FIL2_2D_ WB_F2[4]	FIL2_2D_ WB_F2[3]	FIL2_2D_ WB_F2[2]	FIL2_2D_ WB_F2[1]	FIL2_2D_ WB_F2[0]
	YCTWB_F3	-	-	-	FIL2_2D_ WB_F3[12]	FIL2_2D_ WB_F3[11]	FIL2_2D_ WB_F3[10]	FIL2_2D_ WB_F3[9]	FIL2_2D_ WB_F3[8]
		FIL2_2D_ WB_F3[7]	FIL2_2D_ WB_F3[6]	FIL2_2D_ WB_F3[5]	FIL2_2D_ WB_F3[4]	FIL2_2D_ WB_F3[3]	FIL2_2D_ WB_F3[2]	FIL2_2D_ WB_F3[1]	FIL2_2D_ WB_F3[0]
	YCTWB_F4	-	-	-	FIL2_2D_ WB_F4[12]	FIL2_2D_ WB_F4[11]	FIL2_2D_ WB_F4[10]	FIL2_2D_ WB_F4[9]	FIL2_2D_ WB_F4[8]
		FIL2_2D_ WB_F4[7]	FIL2_2D_ WB_F4[6]	FIL2_2D_ WB_F4[5]	FIL2_2D_ WB_F4[4]	FIL2_2D_ WB_F4[3]	FIL2_2D_ WB_F4[2]	FIL2_2D_ WB_F4[1]	FIL2_2D_W B_F4[0]
	YCTWB_F5	-	-	-	FIL2_2D_ WB_F5[12]	FIL2_2D_ WB_F5[11]	FIL2_2D_ WB_F5[10]	FIL2_2D_ WB_F5[9]	FIL2_2D_ WB_F5[8]
		FIL2_2D_ WB_F5[7]	FIL2_2D_ WB_F5[6]	FIL2_2D_ WB_F5[5]	FIL2_2D_ WB_F5[4]	FIL2_2D_ WB_F5[3]	FIL2_2D_ WB_F5[2]	FIL2_2D_ WB_F5[1]	FIL2_2D_ WB_F5[0]
	YCTWB_F6	-	-	-	FIL2_2D_ WB_F6[12]	FIL2_2D_ WB_F6[11]	FIL2_2D_ WB_F6[10]	FIL2_2D_ WB_F6[9]	FIL2_2D_ WB_F6[8]
		FIL2_2D_ WB_F6[7]	FIL2_2D_ WB_F6[6]	FIL2_2D_ WB_F6[5]	FIL2_2D_ WB_F6[4]	FIL2_2D_ WB_F6[3]	FIL2_2D_ WB_F6[2]	FIL2_2D_ WB_F6[1]	FIL2_2D_ WB_F6[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
デジタル ビデオ デコーダ	YCTWB_F7	-	-	-	FIL2_2D_ WB_F7[12]	FIL2_2D_ WB_F7[11]	FIL2_2D_ WB_F7[10]	FIL2_2D_ WB_F7[9]	FIL2_2D_ WB_F7[8]
		FIL2_2D_ WB_F7[7]	FIL2_2D_ WB_F7[6]	FIL2_2D_ WB_F7[5]	FIL2_2D_ WB_F7[4]	FIL2_2D_ WB_F7[3]	FIL2_2D_ WB_F7[2]	FIL2_2D_ WB_F7[1]	FIL2_2D_ WB_F7[0]
	YCTWB_F8	-	-	-	FIL2_2D_ WB_F8[12]	FIL2_2D_ WB_F8[11]	FIL2_2D_ WB_F8[10]	FIL2_2D_ WB_F8[9]	FIL2_2D_ WB_F8[8]
		FIL2_2D_ WB_F8[7]	FIL2_2D_ WB_F8[6]	FIL2_2D_ WB_F8[5]	FIL2_2D_ WB_F8[4]	FIL2_2D_ WB_F8[3]	FIL2_2D_ WB_F8[2]	FIL2_2D_ WB_F8[1]	FIL2_2D_ B_F8[0]
	YCTNA_F0	-	-	-	FIL2_2D_NA _F0[12]	FIL2_2D_NA _F0[11]	FIL2_2D_NA _F0[10]	FIL2_2D_NA _F0[9]	FIL2_2D_NA _F0[8]
		FIL2_2D_NA _F0[7]	FIL2_2D_NA _F0[6]	FIL2_2D_NA _F0[5]	FIL2_2D_NA _F0[4]	FIL2_2D_NA _F0[3]	FIL2_2D_NA _F0[2]	FIL2_2D_NA _F0[1]	FIL2_2D_NA _F0[0]
	YCTNA_F1	-	-	-	FIL2_2D_NA _F1[12]	FIL2_2D_NA _F1[11]	FIL2_2D_NA _F1[10]	FIL2_2D_NA _F1[9]	FIL2_2D_NA _F1[8]
		FIL2_2D_NA _F1[7]	FIL2_2D_NA _F1[6]	FIL2_2D_NA _F1[5]	FIL2_2D_NA _F1[4]	FIL2_2D_NA _F1[3]	FIL2_2D_NA _F1[2]	FIL2_2D_NA _F1[1]	FIL2_2D_NA _F1[0]
	YCTNA_F2	-	-	-	FIL2_2D_NA _F2[12]	FIL2_2D_NA _F2[11]	FIL2_2D_NA _F2[10]	FIL2_2D_NA _F2[9]	FIL2_2D_NA _F2[8]
		FIL2_2D_NA _F2[7]	FIL2_2D_NA _F2[6]	FIL2_2D_NA _F2[5]	FIL2_2D_NA _F2[4]	FIL2_2D_NA _F2[3]	FIL2_2D_NA _F2[2]	FIL2_2D_NA _F2[1]	FIL2_2D_NA _F2[0]
	YCTNA_F3	-	-	-	FIL2_2D_NA _F3[12]	FIL2_2D_NA _F3[11]	FIL2_2D_NA _F3[10]	FIL2_2D_NA _F3[9]	FIL2_2D_NA _F3[8]
		FIL2_2D_NA _F3[7]	FIL2_2D_NA _F3[6]	FIL2_2D_NA _F3[5]	FIL2_2D_NA _F3[4]	FIL2_2D_NA _F3[3]	FIL2_2D_NA _F3[2]	FIL2_2D_NA _F3[1]	FIL2_2D_NA _F3[0]
	YCTNA_F4	-	-	-	FIL2_2D_NA _F4[12]	FIL2_2D_NA _F4[11]	FIL2_2D_NA _F4[10]	FIL2_2D_NA _F4[9]	FIL2_2D_NA _F4[8]
		FIL2_2D_NA _F4[7]	FIL2_2D_NA _F4[6]	FIL2_2D_NA _F4[5]	FIL2_2D_NA _F4[4]	FIL2_2D_NA _F4[3]	FIL2_2D_NA _F4[2]	FIL2_2D_NA _F4[1]	FIL2_2D_NA _F4[0]
	YCTNA_F5	-	-	-	FIL2_2D_NA _F5[12]	FIL2_2D_NA _F5[11]	FIL2_2D_NA _F5[10]	FIL2_2D_NA _F5[9]	FIL2_2D_NA _F5[8]
		FIL2_2D_NA _F5[7]	FIL2_2D_NA _F5[6]	FIL2_2D_NA _F5[5]	FIL2_2D_NA _F5[4]	FIL2_2D_NA _F5[3]	FIL2_2D_NA _F5[2]	FIL2_2D_NA _F5[1]	FIL2_2D_NA _F5[0]
	YCTNA_F6	-	-	-	FIL2_2D_NA _F6[12]	FIL2_2D_NA _F6[11]	FIL2_2D_NA _F6[10]	FIL2_2D_NA _F6[9]	FIL2_2D_NA _F6[8]
		FIL2_2D_NA _F6[7]	FIL2_2D_NA _F6[6]	FIL2_2D_NA _F6[5]	FIL2_2D_NA _F6[4]	FIL2_2D_NA _F6[3]	FIL2_2D_NA _F6[2]	FIL2_2D_NA _F6[1]	FIL2_2D_NA _F6[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
デジタル ビデオ デコーダ	YCTNA_F7	-	-	-	FIL2_2D_NA _F7[12]	FIL2_2D_NA _F7[11]	FIL2_2D_NA _F7[10]	FIL2_2D_NA _F7[9]	FIL2_2D_NA _F7[8]
		FIL2_2D_NA _F7[7]	FIL2_2D_NA _F7[6]	FIL2_2D_NA _F7[5]	FIL2_2D_NA _F7[4]	FIL2_2D_NA _F7[3]	FIL2_2D_NA _F7[2]	FIL2_2D_NA _F7[1]	FIL2_2D_NA _F7[0]
	YCTNA_F8	-	-	-	FIL2_2D_NA _F8[12]	FIL2_2D_NA _F8[11]	FIL2_2D_NA _F8[10]	FIL2_2D_NA _F8[9]	FIL2_2D_NA _F8[8]
		FIL2_2D_NA _F8[7]	FIL2_2D_NA _F8[6]	FIL2_2D_NA _F8[5]	FIL2_2D_NA _F8[4]	FIL2_2D_NA _F8[3]	FIL2_2D_NA _F8[2]	FIL2_2D_NA _F8[1]	FIL2_2D_NA _F8[0]
	YCTNB_F0	-	-	-	FIL2_2D_NB _F0[12]	FIL2_2D_NB _F0[11]	FIL2_2D_NB _F0[10]	FIL2_2D_NB _F0[9]	FIL2_2D_NB _F0[8]
		FIL2_2D_NB _F0[7]	FIL2_2D_NB _F0[6]	FIL2_2D_NB _F0[5]	FIL2_2D_NB _F0[4]	FIL2_2D_NB _F0[3]	FIL2_2D_NB _F0[2]	FIL2_2D_NB _F0[1]	FIL2_2D_NB _F0[0]
	YCTNB_F1	-	-	-	FIL2_2D_NB _F1[12]	FIL2_2D_NB _F1[11]	FIL2_2D_NB _F1[10]	FIL2_2D_NB _F1[9]	FIL2_2D_NB _F1[8]
		FIL2_2D_NB _F1[7]	FIL2_2D_NB _F1[6]	FIL2_2D_NB _F1[5]	FIL2_2D_NB _F1[4]	FIL2_2D_NB _F1[3]	FIL2_2D_NB _F1[2]	FIL2_2D_NB _F1[1]	FIL2_2D_NB _F1[0]
	YCTNB_F2	-	-	-	FIL2_2D_NB _F2[12]	FIL2_2D_NB _F2[11]	FIL2_2D_NB _F2[10]	FIL2_2D_NB _F2[9]	FIL2_2D_NB _F2[8]
		FIL2_2D_NB _F2[7]	FIL2_2D_NB _F2[6]	FIL2_2D_NB _F2[5]	FIL2_2D_NB _F2[4]	FIL2_2D_NB _F2[3]	FIL2_2D_NB _F2[2]	FIL2_2D_NB _F2[1]	FIL2_2D_NB _F2[0]
	YCTNB_F3	-	-	-	FIL2_2D_NB _F3[12]	FIL2_2D_NB _F3[11]	FIL2_2D_NB _F3[10]	FIL2_2D_NB _F3[9]	FIL2_2D_NB _F3[8]
		FIL2_2D_NB _F3[7]	FIL2_2D_NB _F3[6]	FIL2_2D_NB _F3[5]	FIL2_2D_NB _F3[4]	FIL2_2D_NB _F3[3]	FIL2_2D_NB _F3[2]	FIL2_2D_NB _F3[1]	FIL2_2D_NB _F3[0]
	YCTNB_F4	-	-	-	FIL2_2D_NB _F4[12]	FIL2_2D_NB _F4[11]	FIL2_2D_NB _F4[10]	FIL2_2D_NB _F4[9]	FIL2_2D_NB _F4[8]
		FIL2_2D_NB _F4[7]	FIL2_2D_NB _F4[6]	FIL2_2D_NB _F4[5]	FIL2_2D_NB _F4[4]	FIL2_2D_NB _F4[3]	FIL2_2D_NB _F4[2]	FIL2_2D_NB _F4[1]	FIL2_2D_NB _F4[0]
	YCTNB_F5	-	-	-	FIL2_2D_NB _F5[12]	FIL2_2D_NB _F5[11]	FIL2_2D_NB _F5[10]	FIL2_2D_NB _F5[9]	FIL2_2D_NB _F5[8]
		FIL2_2D_NB _F5[7]	FIL2_2D_NB _F5[6]	FIL2_2D_NB _F5[5]	FIL2_2D_NB _F5[4]	FIL2_2D_NB _F5[3]	FIL2_2D_NB _F5[2]	FIL2_2D_NB _F5[1]	FIL2_2D_NB _F5[0]
	YCTNB_F6	-	-	-	FIL2_2D_NB _F6[12]	FIL2_2D_NB _F6[11]	FIL2_2D_NB _F6[10]	FIL2_2D_NB _F6[9]	FIL2_2D_NB _F6[8]
		FIL2_2D_NB _F6[7]	FIL2_2D_NB _F6[6]	FIL2_2D_NB _F6[5]	FIL2_2D_NB _F6[4]	FIL2_2D_NB _F6[3]	FIL2_2D_NB _F6[2]	FIL2_2D_NB _F6[1]	FIL2_2D_NB _F6[0]
	YCTNB_F7	-	-	-	FIL2_2D_NB _F7[12]	FIL2_2D_NB _F7[11]	FIL2_2D_NB _F7[10]	FIL2_2D_NB _F7[9]	FIL2_2D_NB _F7[8]
		FIL2_2D_NB _F7[7]	FIL2_2D_NB _F7[6]	FIL2_2D_NB _F7[5]	FIL2_2D_NB _F7[4]	FIL2_2D_NB _F7[3]	FIL2_2D_NB _F7[2]	FIL2_2D_NB _F7[1]	FIL2_2D_NB _F7[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
デジタル ビデオ デコーダ	YCTNB_F8	-	-	-	FIL2_2D_NB _F8[12]	FIL2_2D_NB _F8[11]	FIL2_2D_NB _F8[10]	FIL2_2D_NB _F8[9]	FIL2_2D_NB _F8[8]
		FIL2_2D_NB _F8[7]	FIL2_2D_NB _F8[6]	FIL2_2D_NB _F8[5]	FIL2_2D_NB _F8[4]	FIL2_2D_NB _F8[3]	FIL2_2D_NB _F8[2]	FIL2_2D_NB _F8[1]	FIL2_2D_NB _F8[0]
	YGAINCR	-	-	-	-	-	-	Y_GAIN2[9]	Y_GAIN2[8]
		Y_GAIN2[7]	Y_GAIN2[6]	Y_GAIN2[5]	Y_GAIN2[4]	Y_GAIN2[3]	Y_GAIN2[2]	Y_GAIN2[1]	Y_GAIN2[0]
	CBGAINCR	-	-	-	-	-	-	CB_GAIN2[9]	CB_GAIN2[8]
		CB_GAIN2[7]	CB_GAIN2[6]	CB_GAIN2[5]	CB_GAIN2[4]	CB_GAIN2[3]	CB_GAIN2[2]	CB_GAIN2[1]	CB_GAIN2[0]
	CRGAINCR	-	-	-	-	-	-	CR_GAIN2[9]	CR_GAIN2[8]
		CR_GAIN2[7]	CR_GAIN2[6]	CR_GAIN2[5]	CR_GAIN2[4]	CR_GAIN2[3]	CR_GAIN2[2]	CR_GAIN2[1]	CR_GAIN2[0]
	PGA_UPDATE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	PGA_VEN
	PGACR	-	-	PGA_GAIN_ SEL	PGA_GAIN[4]	PGA_GAIN[3]	PGA_GAIN[2]	PGA_GAIN[1]	PGA_GAIN[0]
		-	-	-	-	-	-	-	-
	ADCCR2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ADC_VINSEL
	ビデオ ディスプレイ コントローラ 4	INP_UPDATE	-	-	-	-	-	-	-
			-	-	-	-	-	-	-
-			-	-	-	-	-	-	-
-			-	-	INP_EXT_ UPDATE	-	-	-	INP_JMG_ UPDATE
INP_SEL_CNT		-	-	-	-	-	-	-	-
		-	-	-	INP_SEL	-	-	-	-
		-	INP_ FORMAT[2]	INP_ FORMAT[1]	INP_ FORMAT[0]	-	-	-	INP_PXD_ EDGE
		-	-	-	INP_VS_ EDGE	-	-	-	INP_HS_ EDGE
INP_EXT_ SYNC_CNT		-	-	-	INP_ ENDIAN_ON	-	-	-	INP_SWAP_ ON
		-	-	-	INP_VS_INV	-	-	-	INP_HS_INV
		-	-	-	-	-	-	-	INP_H_ EDGE_SEL
		-	-	-	INP_F525_625	-	-	INP_H_ POS[1]	INP_H_ POS[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	INP_VSYNC_ PH_ADJ	-	-	-	-	-	-	INP_FH50[9]	INP_FH50[8]
		INP_FH50[7]	INP_FH50[6]	INP_FH50[5]	INP_FH50[4]	INP_FH50[3]	INP_FH50[2]	INP_FH50[1]	INP_FH50[0]
		-	-	-	-	-	-	INP_FH25[9]	INP_FH25[8]
		INP_FH25[7]	INP_FH25[6]	INP_FH25[5]	INP_FH25[4]	INP_FH25[3]	INP_FH25[2]	INP_FH25[1]	INP_FH25[0]
	INP_DLY_ ADJ	-	-	-	-	-	INP_VS_ DLY_L[2]	INP_VS_ DLY_L[1]	INP_VS_ DLY_L[0]
		INP_FLD_ DLY[7]	INP_FLD_ DLY[6]	INP_FLD_ DLY[5]	INP_FLD_ DLY[4]	INP_FLD_ DLY[3]	INP_FLD_ DLY[2]	INP_FLD_ DLY[1]	INP_FLD_ DLY[0]
		INP_VS_ DLY[7]	INP_VS_ DLY[6]	INP_VS_ DLY[5]	INP_VS_ DLY[4]	INP_VS_ DLY[3]	INP_VS_ DLY[2]	INP_VS_ DLY[1]	INP_VS_ DLY[0]
		INP_HS_ DLY[7]	INP_HS_ DLY[6]	INP_HS_ DLY[5]	INP_HS_ DLY[4]	INP_HS_ DLY[3]	INP_HS_ DLY[2]	INP_HS_ DLY[1]	INP_HS_ DLY[0]
	IMGCNT_ UPDATE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	IMGCNT_VEN
	IMGCNT_NR_ CNT0	-	-	-	-	-	-	-	-
		-	-	-	NR1D_MD	-	-	-	NR1D_ON
		-	NR1D_Y_ TH[6]	NR1D_Y_ TH[5]	NR1D_Y_ TH[4]	NR1D_Y_ TH[3]	NR1D_Y_ TH[2]	NR1D_Y_ TH[1]	NR1D_Y_ TH[0]
	IMGCNT_NR_ CNT1	-	NR1D_CB_ TH[6]	NR1D_CB_ TH[5]	NR1D_CB_ _TH[4]	NR1D_CB_ TH[3]	NR1D_CB_ TH[2]	NR1D_CB_ TH[1]	NR1D_CB_ TH[0]
		-	-	NR1D_CB_ TAP[1]	NR1D_CB_ TAP[0]	-	-	NR1D_CB_ GAIN[1]	NR1D_CB_ GAIN[0]
		-	NR1D_CR_ TH[6]	NR1D_CR_ TH[5]	NR1D_CR_ TH[4]	NR1D_CR_ TH[3]	NR1D_CR_ TH[2]	NR1D_CR_ TH[1]	NR1D_CR_ TH[0]
		-	-	NR1D_CR_ TAP[1]	NR1D_CR_ TAP[0]	-	-	NR1D_CR_ GAIN[1]	NR1D_CR_ GAIN[0]
	IMGCNT_ MTX_MODE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	IMGCNT_ MTX_MD[1]	IMGCNT_ MTX_MD[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	IMGCNT_	-	-	-	-	-	-	-	-
	MTX_YG_ADJ0	IMGCNT_ MTX_YG[7]	IMGCNT_ MTX_YG[6]	IMGCNT_ MTX_YG[5]	IMGCNT_ MTX_YG[4]	IMGCNT_ MTX_YG[3]	IMGCNT_ MTX_YG[2]	IMGCNT_ MTX_YG[1]	IMGCNT_ MTX_YG[0]
		-	-	-	-	-	IMGCNT_ MTX_GG[10]	IMGCNT_ MTX_GG[9]	IMGCNT_ MTX_GG[8]
		IMGCNT_ MTX_GG[7]	IMGCNT_ MTX_GG[6]	IMGCNT_ MTX_GG[5]	IMGCNT_ MTX_GG[4]	IMGCNT_ MTX_GG[3]	IMGCNT_ MTX_GG[2]	IMGCNT_ MTX_GG[1]	IMGCNT_ MTX_GG[0]
		-	-	-	-	-	IMGCNT_ MTX_GB[10]	IMGCNT_ MTX_GB[9]	IMGCNT_ MTX_GB[8]
	IMGCNT_ MTX_YG_ADJ1	IMGCNT_ MTX_GB[7]	IMGCNT_ MTX_GB[6]	IMGCNT_ MTX_GB[5]	IMGCNT_ MTX_GB[4]	IMGCNT_ MTX_GB[3]	IMGCNT_ MTX_GB[2]	IMGCNT_ MTX_GB[1]	IMGCNT_ MTX_GB[0]
		-	-	-	-	-	IMGCNT_ MTX_GR[10]	IMGCNT_ MTX_GR[9]	IMGCNT_ MTX_GR[8]
		IMGCNT_ MTX_GR[7]	IMGCNT_ MTX_GR[6]	IMGCNT_ MTX_GR[5]	IMGCNT_ MTX_GR[4]	IMGCNT_ MTX_GR[3]	IMGCNT_ MTX_GR[2]	IMGCNT_ MTX_GR[1]	IMGCNT_ MTX_GR[0]
		-	-	-	-	-	-	-	-
	IMGCNT_MT X_CBB_ADJ0	IMGCNT_ MTX_B[7]	IMGCNT_ MTX_B[6]	IMGCNT_ MTX_B[5]	IMGCNT_ MTX_B[4]	IMGCNT_ MTX_B[3]	IMGCNT_ MTX_B[2]	IMGCNT_ MTX_B[1]	IMGCNT_ MTX_B[0]
		-	-	-	-	-	IMGCNT_ MTX_BG[10]	IMGCNT_ MTX_BG[9]	IMGCNT_ MTX_BG[8]
		IMGCNT_ MTX_BG[7]	IMGCNT_ MTX_BG[6]	IMGCNT_ MTX_BG[5]	IMGCNT_ MTX_BG[4]	IMGCNT_ MTX_BG[3]	IMGCNT_ MTX_BG[2]	IMGCNT_ MTX_BG[1]	IMGCNT_ MTX_BG[0]
		-	-	-	-	-	IMGCNT_ MTX_BB[10]	IMGCNT_ MTX_BB[9]	IMGCNT_ MTX_BB[8]
	IMGCNT_MT X_CBB_ADJ1	IMGCNT_ MTX_BB[7]	IMGCNT_ MTX_BB[6]	IMGCNT_ MTX_BB[5]	IMGCNT_ MTX_BB[4]	IMGCNT_ MTX_BB[3]	IMGCNT_ MTX_BB[2]	IMGCNT_ MTX_BB[1]	IMGCNT_ MTX_BB[0]
		-	-	-	-	-	IMGCNT_ MTX_BR[10]	IMGCNT_ MTX_BR[9]	IMGCNT_ MTX_BR[8]
		IMGCNT_ MTX_BR[7]	IMGCNT_ MTX_BR[6]	IMGCNT_ MTX_BR[5]	IMGCNT_ MTX_BR[4]	IMGCNT_ MTX_BR[3]	IMGCNT_ MTX_BR[2]	IMGCNT_ MTX_BR[1]	IMGCNT_ MTX_BR[0]
		-	-	-	-	-	-	-	-
	IMGCNT_ MTX_CRR_ ADJ0	IMGCNT_ MTX_R[7]	IMGCNT_ MTX_R[6]	IMGCNT_ MTX_R[5]	IMGCNT_ MTX_R[4]	IMGCNT_ MTX_R[3]	IMGCNT_ MTX_R[2]	IMGCNT_ MTX_R[1]	IMGCNT_ MTX_R[0]
		-	-	-	-	-	IMGCNT_ MTX_RG[10]	IMGCNT_ MTX_RG[9]	IMGCNT_ MTX_RG[8]
		IMGCNT_ MTX_RG[7]	IMGCNT_ MTX_RG[6]	IMGCNT_ MTX_RG[5]	IMGCNT_ MTX_RG[4]	IMGCNT_ MTX_RG[3]	IMGCNT_ MTX_RG[2]	IMGCNT_ MTX_RG[1]	IMGCNT_ MTX_RG[0]
		-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ビデオ ディスプレイ コントローラ 4	IMGCNT_	-	-	-	-	-	IMGCNT_	IMGCNT_	IMGCNT_	
	MTX_CRR_						MTX_RB[10]	MTX_RB[9]	MTX_RB[8]	
	ADJ1	IMGCNT_	IMGCNT_	IMGCNT_	IMGCNT_	IMGCNT_	IMGCNT_	IMGCNT_	IMGCNT_	IMGCNT_
		MTX_RB[7]	MTX_RB[6]	MTX_RB[5]	MTX_RB[4]	MTX_RB[3]	MTX_RB[2]	MTX_RB[1]	MTX_RB[0]	
		-	-	-	-	-	IMGCNT_	IMGCNT_	IMGCNT_	
							MTX_RR[10]	MTX_RR[9]	MTX_RR[8]	
		IMGCNT_	IMGCNT_	IMGCNT_	IMGCNT_	IMGCNT_	IMGCNT_	IMGCNT_	IMGCNT_	
		MTX_RR[7]	MTX_RR[6]	MTX_RR[5]	MTX_RR[4]	MTX_RR[3]	MTX_RR[2]	MTX_RR[1]	MTX_RR[0]	
	SCL0_	UPDATE	-	-	-	-	-	-	-	-
			-	-	-	-	-	-	-	-
			-	-	SCL0_VEN_D	SCL0_VEN_C	-	-	-	SCL0_UPDATE
			-	-	-	SCL0_VEN_B	-	-	-	SCL0_VEN_A
	SCL0_FRC1	RES_VMASK	RES_VMASK	RES_VMASK	RES_VMASK	RES_VMASK	RES_VMASK	RES_VMASK	RES_VMASK	RES_VMASK
		[15]	[14]	[13]	[12]	[11]	[10]	[9]	[8]	
		RES_VMASK	RES_VMASK	RES_VMASK	RES_VMASK	RES_VMASK	RES_VMASK	RES_VMASK	RES_VMASK	
		[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	RES_	VMASK_ON
	SCL0_FRC2	RES_	RES_	RES_	RES_	RES_	RES_	RES_	RES_	RES_
		VLACK[15]	VLACK[14]	VLACK[13]	VLACK[12]	VLACK[11]	VLACK[10]	VLACK[9]	VLACK[8]	
		RES_	RES_	RES_	RES_	RES_	RES_	RES_	RES_	
		VLACK[7]	VLACK[6]	VLACK[5]	VLACK[4]	VLACK[3]	VLACK[2]	VLACK[1]	VLACK[0]	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	RES_VLACK	_ON
	SCL0_FRC3	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	RES_VS_SEL
SCL0_FRC4	-	-	-	-	-	RES_FV[10]	RES_FV[9]	RES_FV[8]		
	RES_FV[7]	RES_FV[6]	RES_FV[5]	RES_FV[4]	RES_FV[3]	RES_FV[2]	RES_FV[1]	RES_FV[0]		
	-	-	-	-	-	RES_FH[10]	RES_FH[9]	RES_FH[8]		
	RES_FH[7]	RES_FH[6]	RES_FH[5]	RES_FH[4]	RES_FH[3]	RES_FH[2]	RES_FH[1]	RES_FH[0]		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	SCL0_FRC5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	RES_FLD_ DLY_SEL
		RES_ VSDLY[7]	RES_ VSDLY[6]	RES_ VSDLY[5]	RES_ VSDLY[4]	RES_ VSDLY[3]	RES_ VSDLY[2]	RES_ VSDLY[1]	RES_ VSDLY[0]
	SCL0_FRC6	-	-	-	-	-	RES_ F_VS[10]	RES_ F_VS[9]	RES_ F_VS[8]
		RES_F_VS[7]	RES_F_VS[6]	RES_F_VS[5]	RES_F_VS[4]	RES_F_VS[3]	RES_F_VS[2]	RES_F_VS[1]	RES_F_VS[0]
		-	-	-	-	-	RES_ F_VW[10]	RES_ F_VW[9]	RES_ F_VW[8]
		RES_ F_VW[7]	RES_ F_VW[6]	RES_ F_VW[5]	RES_ F_VW[4]	RES_ F_VW[3]	RES_ F_VW[2]	RES_ F_VW[1]	RES_ F_VW[0]
	SCL0_FRC7	-	-	-	-	-	RES_ F_HS[10]	RES_ F_HS[9]	RES_ F_HS[8]
		RES_ F_HS[7]	RES_ F_HS[6]	RES_ F_HS[5]	RES_ F_HS[4]	RES_ F_HS[3]	RES_ F_HS[2]	RES_ F_HS[1]	RES_ F_HS[0]
		-	-	-	-	-	RES_ F_HW[10]	RES_ F_HW[9]	RES_ F_HW[8]
		RES_ F_HW[7]	RES_ F_HW[6]	RES_ F_HW[5]	RES_ F_HW[4]	RES_ F_HW[3]	RES_ F_HW[2]	RES_ F_HW[1]	RES_ F_HW[0]
	SCL0_FRC8 (R版のみ)	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	RES_US_ FLD	-	-
	SCL0_FRC9	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	RES_ QVLOCK	-	-	-	RES_ QVLACK
	SCL0_DS1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	RES_DS_V_ ON	-	-	-	RES_DS_H_ ON
	SCL0_DS2	-	-	-	-	-	RES_VS[10]	RES_VS[9]	RES_VS[8]
		RES_VS[7]	RES_VS[6]	RES_VS[5]	RES_VS[4]	RES_VS[3]	RES_VS[2]	RES_VS[1]	RES_VS[0]
		-	-	-	-	-	RES_VW[10]	RES_VW[9]	RES_VW[8]
		RES_VW[7]	RES_VW[6]	RES_VW[5]	RES_VW[4]	RES_VW[3]	RES_VW[2]	RES_VW[1]	RES_VW[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	SCL0_DS3	-	-	-	-	-	RES_HS[10]	RES_HS[9]	RES_HS[8]
		RES_HS[7]	RES_HS[6]	RES_HS[5]	RES_HS[4]	RES_HS[3]	RES_HS[2]	RES_HS[1]	RES_HS[0]
		-	-	-	-	-	RES_HW[10]	RES_HW[9]	RES_HW[8]
		RES_HW[7]	RES_HW[6]	RES_HW[5]	RES_HW[4]	RES_HW[3]	RES_HW[2]	RES_HW[1]	RES_HW[0]
	SCL0_DS4	-	-	RES_PFIL_ SEL	RES_DS_H_ INTERPOTYP	-	-	-	-
		-	-	-	-	-	-	-	-
		RES_DS_H_ RATIO[15]	RES_DS_H_ RATIO[14]	RES_DS_H_ RATIO[13]	RES_DS_H_ RATIO[12]	RES_DS_H_ RATIO[11]	RES_DS_H_ RATIO[10]	RES_DS_H_ RATIO[9]	RES_DS_H_ RATIO[8]
		RES_DS_H_ RATIO[7]	RES_DS_H_ RATIO[6]	RES_DS_H_ RATIO[5]	RES_DS_H_ RATIO[4]	RES_DS_H_ RATIO[3]	RES_DS_H_ RATIO[2]	RES_DS_H_ RATIO[1]	RES_DS_H_ RATIO[0]
	SCL0_DS5	-	-	-	RES_V_ INTERPOTYP	RES_TOP_ INIPHASE[11]	RES_TOP_ INIPHASE[10]	RES_TOP_ INIPHASE[9]	RES_TOP_ INIPHASE[8]
		RES_TOP_ INIPHASE[7]	RES_TOP_ INIPHASE[6]	RES_TOP_ INIPHASE[5]	RES_TOP_ INIPHASE[4]	RES_TOP_ INIPHASE[3]	RES_TOP_ INIPHASE[2]	RES_TOP_ INIPHASE[1]	RES_TOP_ INIPHASE[0]
		-	-	-	-	RES_BTM_ INIPHASE[11]	RES_BTM_ INIPHASE[10]	RES_BTM_ INIPHASE[9]	RES_BTM_ INIPHASE[8]
		RES_BTM_ INIPHASE[7]	RES_BTM_ INIPHASE[6]	RES_BTM_ INIPHASE[5]	RES_BTM_ INIPHASE[4]	RES_BTM_ INIPHASE[3]	RES_BTM_ INIPHASE[2]	RES_BTM_ INIPHASE[1]	RES_BTM_ INIPHASE[0]
	SCL0_DS6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RES_V_ RATIO[15]	RES_V_ RATIO[14]	RES_V_ RATIO[13]	RES_V_ RATIO[12]	RES_V_ RATIO[11]	RES_V_ RATIO[10]	RES_V_ RATIO[9]	RES_V_ RATIO[8]
		RES_V_ RATIO[7]	RES_V_ RATIO[6]	RES_V_ RATIO[5]	RES_V_ RATIO[4]	RES_V_ RATIO[3]	RES_V_ RATIO[2]	RES_V_ RATIO[1]	RES_V_ RATIO[0]
	SCL0_DS7	-	-	-	-	-	RES_OUT_ VW[10]	RES_OUT_ VW[9]	RES_OUT_ VW[8]
		RES_OUT_ VW[7]	RES_OUT_ VW[6]	RES_OUT_ VW[5]	RES_OUT_ VW[4]	RES_OUT_ VW[3]	RES_OUT_ VW[2]	RES_OUT_ VW[1]	RES_OUT_ VW[0]
		-	-	-	-	-	RES_OUT_ HW[10]	RES_OUT_ HW[9]	RES_OUT_ HW[8]
		RES_OUT_ HW[7]	RES_OUT_ HW[6]	RES_OUT_ HW[5]	RES_OUT_ HW[4]	RES_OUT_ HW[3]	RES_OUT_ HW[2]	RES_OUT_ HW[1]	RES_OUT_ HW[0]
	SCL0_US1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	RES_US_V_ ON	-	-	-	RES_US_H_ ON

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	SCL0_US2	-	-	-	-	-	RES_P_VS[10]	RES_P_VS[9]	RES_P_VS[8]
		RES_P_VS[7]	RES_P_VS[6]	RES_P_VS[5]	RES_P_VS[4]	RES_P_VS[3]	RES_P_VS[2]	RES_P_VS[1]	RES_P_VS[0]
		-	-	-	-	-	RES_P_VW[10]	RES_P_VW[9]	RES_P_VW[8]
		RES_P_VW[7]	RES_P_VW[6]	RES_P_VW[5]	RES_P_VW[4]	RES_P_VW[3]	RES_P_VW[2]	RES_P_VW[1]	RES_P_VW[0]
	SCL0_US3	-	-	-	-	-	RES_P_HS[10]	RES_P_HS[9]	RES_P_HS[8]
		RES_P_HS[7]	RES_P_HS[6]	RES_P_HS[5]	RES_P_HS[4]	RES_P_HS[3]	RES_P_HS[2]	RES_P_HS[1]	RES_P_HS[0]
		-	-	-	-	-	RES_P_HW[10]	RES_P_HW[9]	RES_P_HW[8]
		RES_P_HW[7]	RES_P_HW[6]	RES_P_HW[5]	RES_P_HW[4]	RES_P_HW[3]	RES_P_HW[2]	RES_P_HW[1]	RES_P_HW[0]
	SCL0_US4	-	-	-	-	-	RES_IN_VW[10]	RES_IN_VW[9]	RES_IN_VW[8]
		RES_IN_VW[7]	RES_IN_VW[6]	RES_IN_VW[5]	RES_IN_VW[4]	RES_IN_VW[3]	RES_IN_VW[2]	RES_IN_VW[1]	RES_IN_VW[0]
		-	-	-	-	-	RES_IN_HW[10]	RES_IN_HW[9]	RES_IN_HW[8]
		RES_IN_HW[7]	RES_IN_HW[6]	RES_IN_HW[5]	RES_IN_HW[4]	RES_IN_HW[3]	RES_IN_HW[2]	RES_IN_HW[1]	RES_IN_HW[0]
	SCL0_US5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RES_US_H_RATIO[15]	RES_US_H_RATIO[14]	RES_US_H_RATIO[13]	RES_US_H_RATIO[12]	RES_US_H_RATIO[11]	RES_US_H_RATIO[10]	RES_US_H_RATIO[9]	RES_US_H_RATIO[8]
		RES_US_H_RATIO[7]	RES_US_H_RATIO[6]	RES_US_H_RATIO[5]	RES_US_H_RATIO[4]	RES_US_H_RATIO[3]	RES_US_H_RATIO[2]	RES_US_H_RATIO[1]	RES_US_H_RATIO[0]
	SCL0_US6	-	-	-	RES_US_H_INTERPOTYP	RES_US_HT_INIPHASE[11]	RES_US_HT_INIPHASE[10]	RES_US_HT_INIPHASE[9]	RES_US_HT_INIPHASE[8]
		RES_US_HT_INIPHASE[7]	RES_US_HT_INIPHASE[6]	RES_US_HT_INIPHASE[5]	RES_US_HT_INIPHASE[4]	RES_US_HT_INIPHASE[3]	RES_US_HT_INIPHASE[2]	RES_US_HT_INIPHASE[1]	RES_US_HT_INIPHASE[0]
		-	-	-	-	RES_US_HB_INIPHASE[11]	RES_US_HB_INIPHASE[10]	RES_US_HB_INIPHASE[9]	RES_US_HB_INIPHASE[8]
		RES_US_HB_INIPHASE[7]	RES_US_HB_INIPHASE[6]	RES_US_HB_INIPHASE[5]	RES_US_HB_INIPHASE[4]	RES_US_HB_INIPHASE[3]	RES_US_HB_INIPHASE[2]	RES_US_HB_INIPHASE[1]	RES_US_HB_INIPHASE[0]
	SCL0_US7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RES_HCUT[7]	RES_HCUT[6]	RES_HCUT[5]	RES_HCUT[4]	RES_HCUT[3]	RES_HCUT[2]	RES_HCUT[1]	RES_HCUT[0]
		RES_VCUT[7]	RES_VCUT[6]	RES_VCUT[5]	RES_VCUT[4]	RES_VCUT[3]	RES_VCUT[2]	RES_VCUT[1]	RES_VCUT[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	SCL0_US8	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	RES_IBUS_ SYNC_SEL	-	-	-	RES_DISP_ ON
	SCL0_OVR1	-	-	-	-	-	-	-	-
		RES_BK_ COL_R[7]	RES_BK_ COL_R[6]	RES_BK_ COL_R[5]	RES_BK_ COL_R[4]	RES_BK_ COL_R[3]	RES_BK_ COL_R[2]	RES_BK_ COL_R[1]	RES_BK_ COL_R[0]
		RES_BK_ COL_G[7]	RES_BK_ COL_G[6]	RES_BK_ COL_G[5]	RES_BK_ COL_G[4]	RES_BK_ COL_G[3]	RES_BK_ COL_G[2]	RES_BK_ COL_G[1]	RES_BK_ COL_G[0]
		RES_BK_ COL_B[7]	RES_BK_ COL_B[6]	RES_BK_ COL_B[5]	RES_BK_ COL_B[4]	RES_BK_ COL_B[3]	RES_BK_ COL_B[2]	RES_BK_ COL_B[1]	RES_BK_ COL_B[0]
	SCL1_ UPDATE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	SCL1_VEN_B	-	-	-	SCL1_VEN_A
	SCL1_WR1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	RES_FLM_ MD (R版のみ)
		-	RES_DS_WR _MD[2]	RES_DS_WR _MD[1]	RES_DS_WR _MD[0]	RES_MD[1]	RES_MD[0]	RES_LOOP	RES_BST_ MD
	SCL1_WR2	RES_ BASE[31]	RES_ BASE[30]	RES_ BASE[29]	RES_ BASE[28]	RES_ BASE[27]	RES_ BASE[26]	RES_ BASE[25]	RES_ BASE[24]
		RES_ BASE[23]	RES_ BASE[22]	RES_ BASE[21]	RES_ BASE[20]	RES_ BASE[19]	RES_ BASE[18]	RES_ BASE[17]	RES_ BASE[16]
		RES_ BASE[15]	RES_ BASE[14]	RES_ BASE[13]	RES_ BASE[12]	RES_ BASE[11]	RES_ BASE[10]	RES_ BASE[9]	RES_ BASE[8]
		RES_ BASE[7]	RES_ BASE[6]	RES_ BASE[5]	RES_ BASE[4]	RES_ BASE[3]	RES_ BASE[2]	RES_ BASE[1]	RES_ BASE[0]
	SCL1_WR3	-	RES_LN_ OFF[14]	RES_LN_ OFF[13]	RES_LN_ OFF[12]	RES_LN_ OFF[11]	RES_LN_ OFF[10]	RES_LN_ OFF[9]	RES_LN_ OFF[8]
		RES_LN_ OFF[7]	RES_LN_ OFF[6]	RES_LN_ OFF[5]	RES_LN_ OFF[4]	RES_LN_ OFF[3]	RES_LN_ OFF[2]	RES_LN_ OFF[1]	RES_LN_ OFF[0]
		-	-	-	-	-	-	RES_FLM_ NUM[9]	RES_FLM_ NUM[8]
		RES_FLM_ NUM[7]	RES_FLM_ NUM[6]	RES_FLM_ NUM[5]	RES_FLM_ NUM[4]	RES_FLM_ NUM[3]	RES_FLM_ NUM[2]	RES_FLM_ NUM[1]	RES_FLM_ NUM[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	SCL1_WR4	-	-	-	-	-	-	-	-
		-	RES_FLM_ OFF[22]	RES_FLM_ OFF[21]	RES_FLM_ OFF[20]	RES_FLM_ OFF[19]	RES_FLM_ OFF[18]	RES_FLM_ OFF[17]	RES_FLM_ OFF[16]
		RES_FLM_ OFF[15]	RES_FLM_ OFF[14]	RES_FLM_ OFF[13]	RES_FLM_ OFF[12]	RES_FLM_ OFF[11]	RES_FLM_ OFF[10]	RES_FLM_ OFF[9]	RES_FLM_ OFF[8]
		RES_FLM_ OFF[7]	RES_FLM_ OFF[6]	RES_FLM_ OFF[5]	RES_FLM_ OFF[4]	RES_FLM_ OFF[3]	RES_FLM_ OFF[2]	RES_FLM_ OFF[1]	RES_FLM_ OFF[0]
	SCL1_WR5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	RES_INTER	-	-	RES_FS_ RATE[1]	RES_FS_ RATE[0]
		-	-	-	RES_FLD_ SEL	-	-	-	RES_WENB
	SCL1_WR6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	RES_DTH_ ON	-	-	-	RES_ BITDEC_ON
	SCL1_WR7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	RES_OVER FLOW
		-	-	-	-	-	-	RES_FLM_ CNT[9]	RES_FLM_ CNT[8]
		RES_FLM_ CNT[7]	RES_FLM_ CNT[6]	RES_FLM_ CNT[5]	RES_FLM_ CNT[4]	RES_FLM_ CNT[3]	RES_FLM_ CNT[2]	RES_FLM_ CNT[1]	RES_FLM_ CNT[0]
	GR1_UPDATE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	GR1_P_VEN	-	-	-	GR1_IBUS_ VEN
	GR1_FLM_ RD	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR1_R_ENB
	GR1_FLM1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR1_LN_ OFF_DIR
		-	-	-	-	-	-	GR1_FLM_ SEL[1]	GR1_FLM_ SEL[0]
		-	-	-	GR1_IMR_ FLM_INV	-	-	-	GR1_BST _MD

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GR1_FLM2	GR1_ BASE[31]	GR1_ BASE[30]	GR1_ BASE[29]	GR1_ BASE[28]	GR1_ BASE[27]	GR1_ BASE[26]	GR1_ BASE[25]	GR1_ BASE[24]
		GR1_ BASE[23]	GR1_ BASE[22]	GR1_ BASE[21]	GR1_ BASE[20]	GR1_ BASE[19]	GR1_ BASE[18]	GR1_ BASE[17]	GR1_ BASE[16]
		GR1_ BASE[15]	GR1_ BASE[14]	GR1_ BASE[13]	GR1_ BASE[12]	GR1_ BASE[11]	GR1_ BASE[10]	GR1_ BASE[9]	GR1_ BASE[8]
		GR1_ BASE[7]	GR1_ BASE[6]	GR1_ BASE[5]	GR1_ BASE[4]	GR1_ BASE[3]	GR1_ BASE[2]	GR1_ BASE[1]	GR1_ BASE[0]
	GR1_FLM3	-	GR1_LN_ OFF[14]	GR1_LN_ OFF[13]	GR1_LN_ OFF[12]	GR1_LN_ OFF[11]	GR1_LN_ OFF[10]	GR1_LN_ OFF[9]	GR1_LN_ OFF[8]
		GR1_LN_ OFF[7]	GR1_LN_ OFF[6]	GR1_LN_ OFF[5]	GR1_LN_ OFF[4]	GR1_LN_ OFF[3]	GR1_LN_ OFF[2]	GR1_LN_ OFF[1]	GR1_LN_ OFF[0]
		-	-	-	-	-	-	GR1_FLM_ NUM[9]	GR1_FLM_ NUM[8]
		GR1_FLM_ NUM[7]	GR1_FLM_ NUM[6]	GR1_FLM_ NUM[5]	GR1_FLM_ NUM[4]	GR1_FLM_ NUM[3]	GR1_FLM_ NUM[2]	GR1_FLM_ NUM[1]	GR1_FLM_ NUM[0]
	GR1_FLM4	-	-	-	-	-	-	-	-
		-	GR1_FLM_ OFF[22]	GR1_FLM_ OFF[21]	GR1_FLM_ OFF[20]	GR1_FLM_ OFF[19]	GR1_FLM_ OFF[18]	GR1_FLM_ OFF[17]	GR1_FLM_ OFF[16]
		GR1_FLM_ OFF[15]	GR1_FLM_ OFF[14]	GR1_FLM_ OFF[13]	GR1_FLM_ OFF[12]	GR1_FLM_ OFF[11]	GR1_FLM_ OFF[10]	GR1_FLM_ OFF[9]	GR1_FLM_ OFF[8]
		GR1_FLM_ OFF[7]	GR1_FLM_ OFF[6]	GR1_FLM_ OFF[5]	GR1_FLM_ OFF[4]	GR1_FLM_ OFF[3]	GR1_FLM_ OFF[2]	GR1_FLM_ OFF[1]	GR1_FLM_ OFF[0]
	GR1_FLM5	-	-	-	-	-	-	GR1_FLM_ LNUM[9]	GR1_FLM_ LNUM[8]
		GR1_FLM_ LNUM[7]	GR1_FLM_ LNUM[6]	GR1_FLM_ LNUM[5]	GR1_FLM_ LNUM[4]	GR1_FLM_ LNUM[3]	GR1_FLM_ LNUM[2]	GR1_FLM_ LNUM[1]	GR1_FLM_ LNUM[0]
		-	-	-	-	-	-	GR1_FLM_ LOOP[9]	GR1_FLM_ LOOP[8]
		GR1_FLM_ LOOP[7]	GR1_FLM_ LOOP[6]	GR1_FLM_ LOOP[5]	GR1_FLM_ LOOP[4]	GR1_FLM_ LOOP[3]	GR1_FLM_ LOOP[2]	GR1_FLM_ LOOP[1]	GR1_FLM_ LOOP[0]
	GR1_FLM6	GR1_ FORMAT[3]	GR1_ FORMAT[2]	GR1_ FORMAT[1]	GR1_ FORMAT[0]	-	-	GR1_HW[9]	GR1_HW[8]
		GR1_HW[7]	GR1_HW[6]	GR1_HW[5]	GR1_HW[4]	GR1_HW[3]	GR1_HW[2]	GR1_HW[1]	GR1_HW[0]
		GR1_YCC_ SWAP[2]	GR1_YCC_ SWAP[1]	GR1_YCC_ SWAP[0]	GR1_ ENDIAN_ON	-	-	-	GR1_ CNV444_MD
		-	-	GR1_STA_ POS[5]	GR1_STA_ POS[4]	GR1_STA_ POS[3]	GR1_STA_ POS[2]	GR1_STA_ POS[1]	GR1_STA_ POS[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GR1_AB1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	GR1_GRC_ DISP_ON	-	-	GR1_DISP_ SEL[1]	GR1_DISP_ SEL[0]
	GR1_AB2	-	-	-	-	-	GR1_GRC_ VS[10]	GR1_GRC_ VS[9]	GR1_GRC_ VS[8]
		GR1_GRC_ VS[7]	GR1_GRC_ VS[6]	GR1_GRC_ VS[5]	GR1_GRC_ VS[4]	GR1_GRC_ VS[3]	GR1_GRC_ VS[2]	GR1_GRC_ VS[1]	GR1_GRC_ VS[0]
		-	-	-	-	-	GR1_GRC_ VW[10]	GR1_GRC_ VW[9]	GR1_GRC_ VW[8]
		GR1_GRC_ VW[7]	GR1_GRC_ VW[6]	GR1_GRC_ VW[5]	GR1_GRC_ VW[4]	GR1_GRC_ VW[3]	GR1_GRC_ VW[2]	GR1_GRC_ VW[1]	GR1_GRC_ VW[0]
	GR1_AB3	-	-	-	-	-	GR1_GRC_ HS[10]	GR1_GRC_ HS[9]	GR1_GRC_ HS[8]
		GR1_GRC_ HS[7]	GR1_GRC_ HS[6]	GR1_GRC_ HS[5]	GR1_GRC_ HS[4]	GR1_GRC_ HS[3]	GR1_GRC_ HS[2]	GR1_GRC_ HS[1]	GR1_GRC_ HS[0]
		-	-	-	-	-	GR1_GRC_ HW[10]	GR1_GRC_ HW[9]	GR1_GRC_ HW[8]
		GR1_GRC_ HW[7]	GR1_GRC_ HW[6]	GR1_GRC_ HW[5]	GR1_GRC_ HW[4]	GR1_GRC_ HW[3]	GR1_GRC_ HW[2]	GR1_GRC_ HW[1]	GR1_GRC_ HW[0]
	GR1_AB7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR1_CK_ON
	GR1_AB8	GR1_CK_ KCLUT[7]	GR1_CK_ _KCLUT[6]	GR1_CK_ KCLUT[5]	GR1_CK_ KCLUT[4]	GR1_CK_ KCLUT[3]	GR1_CK_ KCLUT[2]	GR1_CK_ KCLUT[1]	GR1_CK_ KCLUT[0]
		GR1_CK_ KG[7]	GR1_CK_ KG[6]	GR1_CK_ KG[5]	GR1_CK_ _KG[4]	GR1_CK_ KG[3]	GR1_CK_ KG[2]	GR1_CK_ KG[1]	GR1_CK_ KG[0]
		GR1_CK_ KB[7]	GR1_CK_ KB[6]	GR1_CK_ KB[5]	GR1_CK_ KB[4]	GR1_CK_ KB[3]	GR1_CK_ KB[2]	GR1_CK_ KB[1]	GR1_CK_ KB[0]
		GR1_CK_ KR[7]	GR1_CK_ KR[6]	GR1_CK_ KR[5]	GR1_CK_ KR[4]	GR1_CK_ KR[3]	GR1_CK_ KR[2]	GR1_CK_ KR[1]	GR1_CK_ KR[0]
	GR1_AB9	GR1_CK_A[7]	GR1_CK_A[6]	GR1_CK_A[5]	GR1_CK_A[4]	GR1_CK_A[3]	GR1_CK_A[2]	GR1_CK_A[1]	GR1_CK_A[0]
		GR1_CK_G[7]	GR1_CK_G[6]	GR1_CK_G[5]	GR1_CK_G[4]	GR1_CK_G[3]	GR1_CK_G[2]	GR1_CK_G[1]	GR1_CK_G[0]
		GR1_CK_B[7]	GR1_CK_B[6]	GR1_CK_B[5]	GR1_CK_B[4]	GR1_CK_B[3]	GR1_CK_B[2]	GR1_CK_B[1]	GR1_CK_B[0]
		GR1_CK_R[7]	GR1_CK_R[6]	GR1_CK_R[5]	GR1_CK_R[4]	GR1_CK_R[3]	GR1_CK_R[2]	GR1_CK_R[1]	GR1_CK_R[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GR1_AB10	GR1_A0[7]	GR1_A0[6]	GR1_A0[5]	GR1_A0[4]	GR1_A0[3]	GR1_A0[2]	GR1_A0[1]	GR1_A0[0]
		GR1_G0[7]	GR1_G0[6]	GR1_G0[5]	GR1_G0[4]	GR1_G0[3]	GR1_G0[2]	GR1_G0[1]	GR1_G0[0]
		GR1_B0[7]	GR1_B0[6]	GR1_B0[5]	GR1_B0[4]	GR1_B0[3]	GR1_B0[2]	GR1_B0[1]	GR1_B0[0]
		GR1_R0[7]	GR1_R0[6]	GR1_R0[5]	GR1_R0[4]	GR1_R0[3]	GR1_R0[2]	GR1_R0[1]	GR1_R0[0]
	GR1_AB11	GR1_A1[7]	GR1_A1[6]	GR1_A1[5]	GR1_A1[4]	GR1_A1[3]	GR1_A1[2]	GR1_A1[1]	GR1_A1[0]
		GR1_G1[7]	GR1_G1[6]	GR1_G1[5]	GR1_G1[4]	GR1_G1[3]	GR1_G1[2]	GR1_G1[1]	GR1_G1[0]
		GR1_B1[7]	GR1_B1[6]	GR1_B1[5]	GR1_B1[4]	GR1_B1[3]	GR1_B1[2]	GR1_B1[1]	GR1_B1[0]
		GR1_R1[7]	GR1_R1[6]	GR1_R1[5]	GR1_R1[4]	GR1_R1[3]	GR1_R1[2]	GR1_R1[1]	GR1_R1[0]
	GR1_BASE	-	-	-	-	-	-	-	-
		GR1_BASE_ G[7]	GR1_BASE_ G[6]	GR1_BASE_ G[5]	GR1_BASE_ G[4]	GR1_BASE_ G[3]	GR1_BASE_ G[2]	GR1_BASE_ G[1]	GR1_BASE_ G[0]
		GR1_BASE_ B[7]	GR1_BASE_ B[6]	GR1_BASE_ B[5]	GR1_BASE_ B[4]	GR1_BASE_ B[3]	GR1_BASE_ B[2]	GR1_BASE_ B[1]	GR1_BASE_ B[0]
		GR1_BASE_ R[7]	GR1_BASE_ R[6]	GR1_BASE_ R[5]	GR1_BASE_ R[4]	GR1_BASE_ R[3]	GR1_BASE_ R[2]	GR1_BASE_ R[1]	GR1_BASE_ R[0]
	GR1_CLUT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR1_CLT_ SEL
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	ADJ_UPDATE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ADJ_VEN
	ADJ_BKSTR_ SET	-	-	-	-	-	-	-	BKSTR_ON
		BKSTR_ST[3]	BKSTR_ST[2]	BKSTR_ST[1]	BKSTR_ST[0]	BKSTR_D[3]	BKSTR_D[2]	BKSTR_D[1]	BKSTR_D[0]
		-	-	-	BKSTR_T1[4]	BKSTR_T1[3]	BKSTR_T1[2]	BKSTR_T1[1]	BKSTR_T1[0]
		-	-	-	BKSTR_T2[4]	BKSTR_T2[3]	BKSTR_T2[2]	BKSTR_T2[1]	BKSTR_T2[0]
	ADJ_ENH_ TIM1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	ENH_MD	-	-	-	ENH_DISP_ ON
	ADJ_ENH_ TIM2	-	-	-	-	-	ENH_VS[10]	ENH_VS[9]	ENH_VS[8]
		ENH_VS[7]	ENH_VS[6]	ENH_VS[5]	ENH_VS[4]	ENH_VS[3]	ENH_VS[2]	ENH_VS[1]	ENH_VS[0]
		-	-	-	-	-	ENH_VW[10]	ENH_VW[9]	ENH_VW[8]
		ENH_VW[7]	ENH_VW[6]	ENH_VW[5]	ENH_VW[4]	ENH_VW[3]	ENH_VW[2]	ENH_VW[1]	ENH_VW[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	ADJ_ENH_ TIM3	-	-	-	-	-	ENH_HS[10]	ENH_HS[9]	ENH_HS[8]
		ENH_HS[7]	ENH_HS[6]	ENH_HS[5]	ENH_HS[4]	ENH_HS[3]	ENH_HS[2]	ENH_HS[1]	ENH_HS[0]
		-	-	-	-	-	ENH_HW[10]	ENH_HW[9]	ENH_HW[8]
		ENH_HW[7]	ENH_HW[6]	ENH_HW[5]	ENH_HW[4]	ENH_HW[3]	ENH_HW[2]	ENH_HW[1]	ENH_HW[0]
	ADJ_ENH_ SHP1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	SHP_H_ON
		-	-	-	-	-	-	-	-
		-	SHP_H1_ CORE[6]	SHP_H1_ CORE[5]	SHP_H1_ CORE[4]	SHP_H1_ CORE[3]	SHP_H1_ CORE[2]	SHP_H1_ CORE[1]	SHP_H1_ CORE[0]
	ADJ_ENH_ SHP2	SHP_H1_ CLIP_O[7]	SHP_H1_ CLIP_O[6]	SHP_H1_ CLIP_O[5]	SHP_H1_ CLIP_O[4]	SHP_H1_ CLIP_O[3]	SHP_H1_ CLIP_O[2]	SHP_H1_ CLIP_O[1]	SHP_H1_ CLIP_O[0]
		SHP_H1_ CLIP_U[7]	SHP_H1_ CLIP_U[6]	SHP_H1_ CLIP_U[5]	SHP_H1_ CLIP_U[4]	SHP_H1_ CLIP_U[3]	SHP_H1_ CLIP_U[2]	SHP_H1_ CLIP_U[1]	SHP_H1_ CLIP_U[0]
		SHP_H1_ GAIN_O[7]	SHP_H1_ GAIN_O[6]	SHP_H1_ GAIN_O[5]	SHP_H1_ GAIN_O[4]	SHP_H1_ GAIN_O[3]	SHP_H1_ GAIN_O[2]	SHP_H1_ GAIN_O[1]	SHP_H1_ GAIN_O[0]
		SHP_H1_ GAIN_U[7]	SHP_H1_ GAIN_U[6]	SHP_H1_ GAIN_U[5]	SHP_H1_ GAIN_U[4]	SHP_H1_ GAIN_U[3]	SHP_H1_ GAIN_U[2]	SHP_H1_ GAIN_U[1]	SHP_H1_ GAIN_U[0]
	ADJ_ENH_ SHP3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	SHP_H2_ LPF_SEL
		-	-	-	-	-	-	-	-
		-	SHP_H2_ CORE[6]	SHP_H2_ CORE[5]	SHP_H2_ CORE[4]	SHP_H2_ CORE[3]	SHP_H2_ CORE[2]	SHP_H2_ CORE[1]	SHP_H2_ CORE[0]
	ADJ_ENH_S HP4	SHP_H2_ CLIP_O[7]	SHP_H2_ CLIP_O[6]	SHP_H2_ CLIP_O[5]	SHP_H2_ CLIP_O[4]	SHP_H2_ CLIP_O[3]	SHP_H2_ CLIP_O[2]	SHP_H2_ CLIP_O[1]	SHP_H2_ CLIP_O[0]
		SHP_H2_ CLIP_U[7]	SHP_H2_ CLIP_U[6]	SHP_H2_ CLIP_U[5]	SHP_H2_ CLIP_U[4]	SHP_H2_ CLIP_U[3]	SHP_H2_ CLIP_U[2]	SHP_H2_ CLIP_U[1]	SHP_H2_ CLIP_U[0]
		SHP_H2_ GAIN_O[7]	SHP_H2_ GAIN_O[6]	SHP_H2_ GAIN_O[5]	SHP_H2_ GAIN_O[4]	SHP_H2_ GAIN_O[3]	SHP_H2_ GAIN_O[2]	SHP_H2_ GAIN_O[1]	SHP_H2_ GAIN_O[0]
		SHP_H2_ GAIN_U[7]	SHP_H2_ GAIN_U[6]	SHP_H2_ GAIN_U[5]	SHP_H2_ GAIN_U[4]	SHP_H2_ GAIN_U[3]	SHP_H2_ GAIN_U[2]	SHP_H2_ GAIN_U[1]	SHP_H2_ GAIN_U[0]
ADJ_ENH_S HP5	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	SHP_H3_ CORE[6]	SHP_H3_ CORE[5]	SHP_H3_ CORE[4]	SHP_H3_ CORE[3]	SHP_H3_ CORE[2]	SHP_H3_ CORE[1]	SHP_H3_ CORE[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ビデオ ディスプレイ コントローラ 4	ADJ_ENH_S HP6	SHP_H3_ CLIP_O[7]	SHP_H3_ CLIP_O[6]	SHP_H3_ CLIP_O[5]	SHP_H3_ CLIP_O[4]	SHP_H3_ CLIP_O[3]	SHP_H3_ CLIP_O[2]	SHP_H3_ CLIP_O[1]	SHP_H3_ CLIP_O[0]	
		SHP_H3_ CLIP_U[7]	SHP_H3_ CLIP_U[6]	SHP_H3_ CLIP_U[5]	SHP_H3_ CLIP_U[4]	SHP_H3_ CLIP_U[3]	SHP_H3_ CLIP_U[2]	SHP_H3_ CLIP_U[1]	SHP_H3_ CLIP_U[0]	
		SHP_H3_ GAIN_O[7]	SHP_H3_ GAIN_O[6]	SHP_H3_ GAIN_O[5]	SHP_H3_ GAIN_O[4]	SHP_H3_ GAIN_O[3]	SHP_H3_ GAIN_O[2]	SHP_H3_ GAIN_O[1]	SHP_H3_ GAIN_O[0]	
		SHP_H3_ GAIN_U[7]	SHP_H3_ GAIN_U[6]	SHP_H3_ GAIN_U[5]	SHP_H3_ GAIN_U[4]	SHP_H3_ GAIN_U[3]	SHP_H3_ GAIN_U[2]	SHP_H3_ GAIN_U[1]	SHP_H3_ GAIN_U[0]	
	ADJ_ENH_ LTI1	LTI_H_ON	-	-	-	-	-	-	-	LTI_H2_ LPF_SEL
		LTI_H2_INC_ ZERO[7]	LTI_H2_INC_ ZERO[6]	LTI_H2_INC_ ZERO[5]	LTI_H2_INC_ ZERO[4]	LTI_H2_INC_ ZERO[3]	LTI_H2_INC_ ZERO[2]	LTI_H2_INC_ ZERO[1]	LTI_H2_INC_ ZERO[0]	LTI_H2_INC_ ZERO[0]
		LTI_H2_ GAIN[7]	LTI_H2_ GAIN[6]	LTI_H2_ GAIN[5]	LTI_H2_ GAIN[4]	LTI_H2_ GAIN[3]	LTI_H2_ GAIN[2]	LTI_H2_ GAIN[1]	LTI_H2_ GAIN[0]	LTI_H2_ GAIN[0]
		LTI_H2_ CORE[7]	LTI_H2_ CORE[6]	LTI_H2_ CORE[5]	LTI_H2_ CORE[4]	LTI_H2_ CORE[3]	LTI_H2_ CORE[2]	LTI_H2_ CORE[1]	LTI_H2_ CORE[0]	LTI_H2_ CORE[0]
	ADJ_ENH_ LTI2	-	-	-	-	-	-	-	-	LTI_H4_MEDI AN_TAP_SEL
		LTI_H4_INC_ ZERO[7]	LTI_H4_INC_ ZERO[6]	LTI_H4_INC_ ZERO[5]	LTI_H4_INC_ ZERO[4]	LTI_H4_INC_ ZERO[3]	LTI_H4_INC_ ZERO[2]	LTI_H4_INC_ ZERO[1]	LTI_H4_INC_ ZERO[0]	LTI_H4_INC_ ZERO[0]
		LTI_H4_ GAIN[7]	LTI_H4_ GAIN[6]	LTI_H4_ GAIN[5]	LTI_H4_ GAIN[4]	LTI_H4_ GAIN[3]	LTI_H4_ GAIN[2]	LTI_H4_ GAIN[1]	LTI_H4_ GAIN[0]	LTI_H4_ GAIN[0]
		LTI_H4_ CORE[7]	LTI_H4_ CORE[6]	LTI_H4_ CORE[5]	LTI_H4_ CORE[4]	LTI_H4_ CORE[3]	LTI_H4_ CORE[2]	LTI_H4_ CORE[1]	LTI_H4_ CORE[0]	LTI_H4_ CORE[0]
	ADJ_MTX_ MODE	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	ADJ_MTX_ MD[1]	ADJ_MTX_ MD[0]	ADJ_MTX_ MD[0]
	ADJ_MTX_ YG_ADJ0	-	-	-	-	-	-	-	-	-
		ADJ_MTX_ YG[7]	ADJ_MTX_ YG[6]	ADJ_MTX_ YG[5]	ADJ_MTX_ YG[4]	ADJ_MTX_ YG[3]	ADJ_MTX_ YG[2]	ADJ_MTX_ YG[1]	ADJ_MTX_ YG[0]	ADJ_MTX_ YG[0]
		-	-	-	-	-	ADJ_MTX_ GG[10]	ADJ_MTX_ GG[9]	ADJ_MTX_ GG[8]	ADJ_MTX_ GG[8]
		ADJ_MTX_ GG[7]	ADJ_MTX_ GG[6]	ADJ_MTX_ GG[5]	ADJ_MTX_ GG[4]	ADJ_MTX_ GG[3]	ADJ_MTX_ GG[2]	ADJ_MTX_ GG[1]	ADJ_MTX_ GG[0]	ADJ_MTX_ GG[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ビデオ ディスプレイ コントローラ 4	ADJ_MTX_ YG_ADJ1	-	-	-	-	-	ADJ_MTX_ GB[10]	ADJ_MTX_ GB[9]	ADJ_MTX_ GB[8]	
		ADJ_MTX_ GB[7]	ADJ_MTX_ GB[6]	ADJ_MTX_ GB[5]	ADJ_MTX_ GB[4]	ADJ_MTX_ GB[3]	ADJ_MTX_ GB[2]	ADJ_MTX_ GB[1]	ADJ_MTX_ GB[0]	
		-	-	-	-	-	ADJ_MTX_ GR[10]	ADJ_MTX_ GR[9]	ADJ_MTX_ GR[8]	
		ADJ_MTX_ GR[7]	ADJ_MTX_ GR[6]	ADJ_MTX_ GR[5]	ADJ_MTX_ GR[4]	ADJ_MTX_ GR[3]	ADJ_MTX_ GR[2]	ADJ_MTX_ GR[1]	ADJ_MTX_ GR[0]	
	ADJ_MTX_ CBB_ADJ0	-	-	-	-	-	-	-	-	
		ADJ_MTX_ B[7]	ADJ_MTX_ B[6]	ADJ_MTX_ B[5]	ADJ_MTX_ B[4]	ADJ_MTX_ B[3]	ADJ_MTX_ B[2]	ADJ_MTX_ B[1]	ADJ_MTX_ B[0]	
		-	-	-	-	-	ADJ_MTX_ BG[10]	ADJ_MTX_ BG[9]	ADJ_MTX_ BG[8]	
		ADJ_MTX_ BG[7]	ADJ_MTX_ BG[6]	ADJ_MTX_ BG[5]	ADJ_MTX_ BG[4]	ADJ_MTX_ BG[3]	ADJ_MTX_ BG[2]	ADJ_MTX_ BG[1]	ADJ_MTX_ BG[0]	
	ADJ_MTX_ CBB_ADJ1	-	-	-	-	-	-	ADJ_MTX_ BB[10]	ADJ_MTX_ BB[9]	ADJ_MTX_ BB[8]
		ADJ_MTX_ BB[7]	ADJ_MTX_ BB[6]	ADJ_MTX_ BB[5]	ADJ_MTX_ BB[4]	ADJ_MTX_ BB[3]	ADJ_MTX_ BB[2]	ADJ_MTX_ BB[1]	ADJ_MTX_ BB[0]	
		-	-	-	-	-	ADJ_MTX_ BR[10]	ADJ_MTX_ BR[9]	ADJ_MTX_ BR[8]	
		ADJ_MTX_ BR[7]	ADJ_MTX_ BR[6]	ADJ_MTX_ BR[5]	ADJ_MTX_ BR[4]	ADJ_MTX_ BR[3]	ADJ_MTX_ BR[2]	ADJ_MTX_ BR[1]	ADJ_MTX_ BR[0]	
	ADJ_MTX_ CRR_ADJ0	-	-	-	-	-	-	-	-	
		ADJ_MTX_ R[7]	ADJ_MTX_ R[6]	ADJ_MTX_ R[5]	ADJ_MTX_ R[4]	ADJ_MTX_ R[3]	ADJ_MTX_ R[2]	ADJ_MTX_ R[1]	ADJ_MTX_ R[0]	
		-	-	-	-	-	ADJ_MTX_ RG[10]	ADJ_MTX_ RG[9]	ADJ_MTX_ RG[8]	
		ADJ_MTX_ RG[7]	ADJ_MTX_ RG[6]	ADJ_MTX_ RG[5]	ADJ_MTX_ RG[4]	ADJ_MTX_ RG[3]	ADJ_MTX_ RG[2]	ADJ_MTX_ RG[1]	ADJ_MTX_ RG[0]	
ADJ_MTX_ CRR_ADJ1	-	-	-	-	-	-	ADJ_MTX_ RB[10]	ADJ_MTX_ RB[9]	ADJ_MTX_ RB[8]	
	ADJ_MTX_ RB[7]	ADJ_MTX_ RB[6]	ADJ_MTX_ RB[5]	ADJ_MTX_ RB[4]	ADJ_MTX_ RB[3]	ADJ_MTX_ RB[2]	ADJ_MTX_ RB[1]	ADJ_MTX_ RB[0]		
	-	-	-	-	-	ADJ_MTX_ RR[10]	ADJ_MTX_ RR[9]	ADJ_MTX_ RR[8]		
	ADJ_MTX_ RR[7]	ADJ_MTX_ RR[6]	ADJ_MTX_ RR[5]	ADJ_MTX_ RR[4]	ADJ_MTX_ RR[3]	ADJ_MTX_ RR[2]	ADJ_MTX_ RR[1]	ADJ_MTX_ RR[0]		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GR2_UPDAT E	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	GR2_P_VEN	-	-	-	GR2_IBUS_ VEN
	GR2_FLM_RD	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR2_R_ENB
	GR2_FLM1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR2_LN_ OFF_DIR
		-	-	-	-	-	-	GR2_FLM_ SEL[1]	GR2_FLM_ SEL[0]
		-	-	-	-	-	-	-	GR2_BST_ MD
	GR2_FLM2	GR2_ BASE[31]	GR2_ BASE[30]	GR2_ BASE[29]	GR2_ BASE[28]	GR2_ BASE[27]	GR2_ BASE[26]	GR2_ BASE[25]	GR2_ BASE[24]
		GR2_ BASE[23]	GR2_ BASE[22]	GR2_ _BASE[21]	GR2_ BASE[20]	GR2_ BASE[19]	GR2_ BASE[18]	GR2_ BASE[17]	GR2_ BASE[16]
		GR2_ BASE[15]	GR2_ BASE[14]	GR2_ BASE[13]	GR2_ BASE[12]	GR2_ BASE[11]	GR2_ BASE[10]	GR2_ BASE[9]	GR2_ BASE[8]
		GR2_ BASE[7]	GR2_ BASE[6]	GR2_ BASE[5]	GR2_ BASE[4]	GR2_ BASE[3]	GR2_ BASE[2]	GR2_ BASE[1]	GR2_ BASE[0]
	GR2_FLM3	-	GR2_LN_ OFF[14]	GR2_LN_ OFF[13]	GR2_LN_ OFF[12]	GR2_LN_ OFF[11]	GR2_LN_ OFF[10]	GR2_LN_ OFF[9]	GR2_LN_ OFF[8]
		GR2_LN_ OFF[7]	GR2_LN_ OFF[6]	GR2_LN_ OFF[5]	GR2_LN_ OFF[4]	GR2_LN_ OFF[3]	GR2_LN_ OFF[2]	GR2_LN_ OFF[1]	GR2_LN_ OFF[0]
		-	-	-	-	-	-	GR2_FLM_ NUM[9]	GR2_FLM_ NUM[8]
		GR2_FLM_ NUM[7]	GR2_FLM_ NUM[6]	GR2_FLM_ NUM[5]	GR2_FLM_ NUM[4]	GR2_FLM_ NUM[3]	GR2_FLM_ NUM[2]	GR2_FLM_ NUM[1]	GR2_FLM_ NUM[0]
	GR2_FLM4	-	-	-	-	-	-	-	-
		-	GR2_FLM_ OFF[22]	GR2_FLM_ OFF[21]	GR2_FLM_ OFF[20]	GR2_FLM_ OFF[19]	GR2_FLM_ OFF[18]	GR2_FLM_ OFF[17]	GR2_FLM_ OFF[16]
		GR2_FLM_ OFF[15]	GR2_FLM_ OFF[14]	GR2_FLM_ OFF[13]	GR2_FLM_ OFF[12]	GR2_FLM_ OFF[11]	GR2_FLM_ OFF[10]	GR2_FLM_ OFF[9]	GR2_FLM_ OFF[8]
		GR2_FLM_ OFF[7]	GR2_FLM_ OFF[6]	GR2_FLM_ OFF[5]	GR2_FLM_ OFF[4]	GR2_FLM_ OFF[3]	GR2_FLM_ OFF[2]	GR2_FLM_ OFF[1]	GR2_FLM_ OFF[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GR2_FLM5	-	-	-	-	-	-	GR2_FLM_ LNUM[9]	GR2_FLM_ LNUM[8]
		GR2_FLM_ LNUM[7]	GR2_FLM_ LNUM[6]	GR2_FLM_ LNUM[5]	GR2_FLM_ LNUM[4]	GR2_FLM_ LNUM[3]	GR2_FLM_ LNUM[2]	GR2_FLM_ LNUM[1]	GR2_FLM_ LNUM[0]
		-	-	-	-	-	-	GR2_FLM_ LOOP[9]	GR2_FLM_ LOOP[8]
		GR2_FLM_ LOOP[7]	GR2_FLM_ LOOP[6]	GR2_FLM_ LOOP[5]	GR2_FLM_ LOOP[4]	GR2_FLM_ LOOP[3]	GR2_FLM_ LOOP[2]	GR2_FLM_ LOOP[1]	GR2_FLM_ LOOP[0]
	GR2_FLM6	GR2_ FORMAT[3]	GR2_ FORMAT[2]	GR2_ FORMAT[1]	GR2_ FORMAT[0]	-	-	GR2_HW[9]	GR2_HW[8]
		GR2_HW[7]	GR2_HW[6]	GR2_HW[5]	GR2_HW[4]	GR2_HW[3]	GR2_HW[2]	GR2_HW[1]	GR2_HW[0]
		-	-	-	GR2_ ENDIAN_ON	-	-	-	-
		-	-	GR2_STA_ POS[5]	GR2_STA_ POS[4]	GR2_STA_ POS[3]	GR2_STA_ POS[2]	GR2_STA_ POS[1]	GR2_STA_ POS[0]
	GR2_AB1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	GR2_ARC_ ON	-	-	-	GR2_ARC_ DISP_ON
		-	-	-	GR2_GRC_ DISP_ON	-	-	GR2_DISP_ SEL[1]	GR2_DISP_ SEL[0]
	GR2_AB2	-	-	-	-	-	GR2_GRC_ VS[10]	GR2_GRC_ VS[9]	GR2_GRC_ VS[8]
		GR2_GRC_V S[7]	GR2_GRC_V S[6]	GR2_GRC_V S[5]	GR2_GRC_V S[4]	GR2_GRC_V S[3]	GR2_GRC_V S[2]	GR2_GRC_V S[1]	GR2_GRC_ VS[0]
		-	-	-	-	-	GR2_GRC_ VW[10]	GR2_GRC_ VW[9]	GR2_GRC_ VW[8]
		GR2_GRC_ VW[7]	GR2_GRC_ VW[6]	GR2_GRC_ VW[5]	GR2_GRC_ VW[4]	GR2_GRC_ VW[3]	GR2_GRC_ VW[2]	GR2_GRC_ VW[1]	GR2_GRC_ VW[0]
	GR2_AB3	-	-	-	-	-	GR2_GRC_ HS[10]	GR2_GRC_ HS[9]	GR2_GRC_ HS[8]
		GR2_GRC_ HS[7]	GR2_GRC_ HS[6]	GR2_GRC_ HS[5]	GR2_GRC_ HS[4]	GR2_GRC_ HS[3]	GR2_GRC_ HS[2]	GR2_GRC_ HS[1]	GR2_GRC_ HS[0]
		-	-	-	-	-	GR2_GRC_ HW[10]	GR2_GRC_ HW[9]	GR2_GRC_ HW[8]
		GR2_GRC_ HW[7]	GR2_GRC_ HW[6]	GR2_GRC_ HW[5]	GR2_GRC_ HW[4]	GR2_GRC_ HW[3]	GR2_GRC_ HW[2]	GR2_GRC_ HW[1]	GR2_GRC_ HW[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ビデオ ディスプレイ コントローラ 4	GR2_AB4	-	-	-	-	-	GR2_ARC_ VS[10]	GR2_ARC_ VS[9]	GR2_ARC_ VS[8]	
		GR2_ARC_ VS[7]	GR2_ARC_ VS[6]	GR2_ARC_ VS[5]	GR2_ARC_ VS[4]	GR2_ARC_ VS[3]	GR2_ARC_ VS[2]	GR2_ARC_ VS[1]	GR2_ARC_ VS[0]	
		-	-	-	-	-	GR2_ARC_ VW[10]	GR2_ARC_ VW[9]	GR2_ARC_ VW[8]	
		GR2_ARC_ VW[7]	GR2_ARC_ VW[6]	GR2_ARC_ VW[5]	GR2_ARC_ VW[4]	GR2_ARC_ VW[3]	GR2_ARC_ VW[2]	GR2_ARC_ VW[1]	GR2_ARC_ VW[0]	
	GR2_AB5	-	-	-	-	-	-	GR2_ARC_ HS[10]	GR2_ARC_ HS[9]	GR2_ARC_ HS[8]
		GR2_ARC_ HS[7]	GR2_ARC_ HS[6]	GR2_ARC_ HS[5]	GR2_ARC_ HS[4]	GR2_ARC_ HS[3]	GR2_ARC_ HS[2]	GR2_ARC_ HS[1]	GR2_ARC_ HS[0]	
		-	-	-	-	-	GR2_ARC_H W[10]	GR2_ARC_H W[9]	GR2_ARC_ HW[8]	
		GR2_ARC_ HW[7]	GR2_ARC_ HW[6]	GR2_ARC_ HW[5]	GR2_ARC_ HW[4]	GR2_ARC_ HW[3]	GR2_ARC_ HW[2]	GR2_ARC_ HW[1]	GR2_ARC_ HW[0]	
	GR2_AB6	-	-	-	-	-	-	-	GR2_ARC_ MODE	
		GR2_ARC_ COEF[7]	GR2_ARC_ COEF[6]	GR2_ARC_ COEF[5]	GR2_ARC_ COEF[4]	GR2_ARC_ COEF[3]	GR2_ARC_ COEF[2]	GR2_ARC_ COEF[1]	GR2_ARC_ COEF[0]	
		-	-	-	-	-	-	-	-	
		GR2_ARC_ RATE[7]	GR2_ARC_ RATE[6]	GR2_ARC_ RATE[5]	GR2_ARC_ RATE[4]	GR2_ARC_ RATE[3]	GR2_ARC_ RATE[2]	GR2_ARC_ RATE[1]	GR2_ARC_ RATE[0]	
	GR2_AB7	-	-	-	-	-	-	-	-	
		GR2_ARC_ DEF[7]	GR2_ARC_ DEF[6]	GR2_ARC_ DEF[5]	GR2_ARC_ DEF[4]	GR2_ARC_ DEF[3]	GR2_ARC_ EF[2]	GR2_ARC_ DEF[1]	GR2_ARC_ DEF[0]	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	GR2_CK_ON	
	GR2_AB8	GR2_CK_ KCLUT[7]	GR2_CK_ KCLUT[6]	GR2_CK_ _KCLUT[5]	GR2_CK_ KCLUT[4]	GR2_CK_ KCLUT[3]	GR2_CK_ KCLUT[2]	GR2_CK_ KCLUT[1]	GR2_CK_ KCLUT[0]	
		GR2_CK_ KG[7]	GR2_CK_ KG[6]	GR2_CK_ KG[5]	GR2_CK_ KG[4]	GR2_CK_ KG[3]	GR2_CK_ KG[2]	GR2_CK_ KG[1]	GR2_CK_ KG[0]	
		GR2_CK_ KB[7]	GR2_CK_ KB[6]	GR2_CK_ KB[5]	GR2_CK_ KB[4]	GR2_CK_ KB[3]	GR2_CK_ KB[2]	GR2_CK_ KB[1]	GR2_CK_ KB[0]	
		GR2_CK_ KR[7]	GR2_CK_ KR[6]	GR2_CK_ KR[5]	GR2_CK_ KR[4]	GR2_CK_ KR[3]	GR2_CK_ KR[2]	GR2_CK_ KR[1]	GR2_CK_ KR[0]	
	GR2_AB9	GR2_CK_A[7]	GR2_CK_A[6]	GR2_CK_A[5]	GR2_CK_A[4]	GR2_CK_A[3]	GR2_CK_A[2]	GR2_CK_A[1]	GR2_CK_A[0]	
		GR2_CK_G[7]	GR2_CK_G[6]	GR2_CK_G[5]	GR2_CK_G[4]	GR2_CK_G[3]	GR2_CK_G[2]	GR2_CK_G[1]	GR2_CK_G[0]	
		GR2_CK_B[7]	GR2_CK_B[6]	GR2_CK_B[5]	GR2_CK_B[4]	GR2_CK_B[3]	GR2_CK_B[2]	GR2_CK_B[1]	GR2_CK_B[0]	
		GR2_CK_R[7]	GR2_CK_R[6]	GR2_CK_R[5]	GR2_CK_R[4]	GR2_CK_R[3]	GR2_CK_R[2]	GR2_CK_R[1]	GR2_CK_R[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GR2_AB10	GR2_A0[7]	GR2_A0[6]	GR2_A0[5]	GR2_A0[4]	GR2_A0[3]	GR2_A0[2]	GR2_A0[1]	GR2_A0[0]
		GR2_G0[7]	GR2_G0[6]	GR2_G0[5]	GR2_G0[4]	GR2_G0[3]	GR2_G0[2]	GR2_G0[1]	GR2_G0[0]
		GR2_B0[7]	GR2_B0[6]	GR2_B0[5]	GR2_B0[4]	GR2_B0[3]	GR2_B0[2]	GR2_B0[1]	GR2_B0[0]
		GR2_R0[7]	GR2_R0[6]	GR2_R0[5]	GR2_R0[4]	GR2_R0[3]	GR2_R0[2]	GR2_R0[1]	GR2_R0[0]
	GR2_AB11	GR2_A1[7]	GR2_A1[6]	GR2_A1[5]	GR2_A1[4]	GR2_A1[3]	GR2_A1[2]	GR2_A1[1]	GR2_A1[0]
		GR2_G1[7]	GR2_G1[6]	GR2_G1[5]	GR2_G1[4]	GR2_G1[3]	GR2_G1[2]	GR2_G1[1]	GR2_G1[0]
		GR2_B1[7]	GR2_B1[6]	GR2_B1[5]	GR2_B1[4]	GR2_B1[3]	GR2_B1[2]	GR2_B1[1]	GR2_B1[0]
		GR2_R1[7]	GR2_R1[6]	GR2_R1[5]	GR2_R1[4]	GR2_R1[3]	GR2_R1[2]	GR2_R1[1]	GR2_R1[0]
	GR2_BASE	-	-	-	-	-	-	-	-
		GR2_BASE_ G[7]	GR2_BASE_ G[6]	GR2_BASE_ G[5]	GR2_BASE_ G[4]	GR2_BASE_ G[3]	GR2_BASE_ G[2]	GR2_BASE_ G[1]	GR2_BASE_ G[0]
		GR2_BASE_ B[7]	GR2_BASE_ B[6]	GR2_BASE_ B[5]	GR2_BASE_ B[4]	GR2_BASE_ B[3]	GR2_BASE_ B[2]	GR2_BASE_ B[1]	GR2_BASE_ B[0]
		GR2_BASE_ R[7]	GR2_BASE_ R[6]	GR2_BASE_ R[5]	GR2_BASE_ R[4]	GR2_BASE_ R[3]	GR2_BASE_ R[2]	GR2_BASE_ R[1]	GR2_BASE_ R[0]
	GR2_CLUT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR2_CLT_ SEL
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	GR2_MON	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR2_ARC_ST
	GR3_UPDAT E	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	GR3_P_VEN	-	-	-	GR3_IBUS_ VEN
	GR3_FLM_RD	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR3_R_ENB

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GR3_FLM1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR3_LN_ OFF_DIR
		-	-	-	-	-	-	GR3_FLM_ SEL[1]	GR3_FLM_ SEL[0]
		-	-	-	-	-	-	-	GR3_BST_ MD
	GR3_FLM2	GR3_ BASE[31]	GR3_ BASE[30]	GR3_ BASE[29]	GR3_ BASE[28]	GR3_ BASE[27]	GR3_ BASE[26]	GR3_ BASE[25]	GR3_ BASE[24]
		GR3_ BASE[23]	GR3_ BASE[22]	GR3_ BASE[21]	GR3_ BASE[20]	GR3_ BASE[19]	GR3_ BASE[18]	GR3_ BASE[17]	GR3_ BASE[16]
		GR3_ BASE[15]	GR3_ BASE[14]	GR3_ BASE[13]	GR3_ BASE[12]	GR3_ BASE[11]	GR3_ BASE[10]	GR3_ BASE[9]	GR3_ BASE[8]
		GR3_ BASE[7]	GR3_ BASE[6]	GR3_ BASE[5]	GR3_ BASE[4]	GR3_ BASE[3]	GR3_ BASE[2]	GR3_ BASE[1]	GR3_ BASE[0]
	GR3_FLM3	-	GR3_LN_ OFF[14]	GR3_LN_ OFF[13]	GR3_LN_ OFF[12]	GR3_LN_ OFF[11]	GR3_LN_ OFF[10]	GR3_LN_ OFF[9]	GR3_LN_ OFF[8]
		GR3_LN_ OFF[7]	GR3_LN_ OFF[6]	GR3_LN_ OFF[5]	GR3_LN_ OFF[4]	GR3_LN_ OFF[3]	GR3_LN_ OFF[2]	GR3_LN_ OFF[1]	GR3_LN_ OFF[0]
		-	-	-	-	-	-	GR3_FLM_ NUM[9]	GR3_FLM_ NUM[8]
		GR3_FLM_ NUM[7]	GR3_FLM_ NUM[6]	GR3_FLM_ NUM[5]	GR3_FLM_ NUM[4]	GR3_FLM_ NUM[3]	GR3_FLM_ NUM[2]	GR3_FLM_ NUM[1]	GR3_FLM_ NUM[0]
	GR3_FLM4	-	-	-	-	-	-	-	-
		-	GR3_FLM_ OFF[22]	GR3_FLM_ OFF[21]	GR3_FLM_ OFF[20]	GR3_FLM_ OFF[19]	GR3_FLM_ OFF[18]	GR3_FLM_ OFF[17]	GR3_FLM_ OFF[16]
		GR3_FLM_ OFF[15]	GR3_FLM_ OFF[14]	GR3_FLM_ OFF[13]	GR3_FLM_ OFF[12]	GR3_FLM_ OFF[11]	GR3_FLM_ OFF[10]	GR3_FLM_ OFF[9]	GR3_FLM_ OFF[8]
		GR3_FLM_ OFF[7]	GR3_FLM_ OFF[6]	GR3_FLM_ OFF[5]	GR3_FLM_ OFF[4]	GR3_FLM_ OFF[3]	GR3_FLM_ OFF[2]	GR3_FLM_ OFF[1]	GR3_FLM_ OFF[0]
	GR3_FLM5	-	-	-	-	-	-	GR3_FLM_ LNUM[9]	GR3_FLM_ LNUM[8]
		GR3_FLM_ LNUM[7]	GR3_FLM_ LNUM[6]	GR3_FLM_ LNUM[5]	GR3_FLM_ LNUM[4]	GR3_FLM_ LNUM[3]	GR3_FLM_ LNUM[2]	GR3_FLM_ LNUM[1]	GR3_FLM_ LNUM[0]
		-	-	-	-	-	-	GR3_FLM_ LOOP[9]	GR3_FLM_ LOOP[8]
		GR3_FLM_ LOOP[7]	GR3_FLM_ LOOP[6]	GR3_FLM_ LOOP[5]	GR3_FLM_ LOOP[4]	GR3_FLM_ LOOP[3]	GR3_FLM_ LOOP[2]	GR3_FLM_ LOOP[1]	GR3_FLM_ LOOP[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GR3_FLM6	GR3_ FORMAT[3]	GR3_ FORMAT[2]	GR3_ FORMAT[1]	GR3_ FORMAT[0]	-	-	GR3_HW[9]	GR3_HW[8]
		GR3_HW[7]	GR3_HW[6]	GR3_HW[5]	GR3_HW[4]	GR3_HW[3]	GR3_HW[2]	GR3_HW[1]	GR3_HW[0]
		-	-	-	GR3_ ENDIAN_ON	-	-	-	-
		-	-	GR3_STA_ POS[5]	GR3_STA_ POS[4]	GR3_STA_ POS[3]	GR3_STA_ POS[2]	GR3_STA_ POS[1]	GR3_STA_ POS[0]
	GR3_AB1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	GR3_ARC_ON	-	-	-	GR3_ARC_ DISP_ON
		-	-	-	GR3_GRC_ DISP_ON	-	-	GR3_DISP_ SEL[1]	GR3_DISP_ SEL[0]
	GR3_AB2	-	-	-	-	-	GR3_GRC_ VS[10]	GR3_GRC_ VS[9]	GR3_GRC_ VS[8]
		GR3_GRC_ VS[7]	GR3_GRC_ VS[6]	GR3_GRC_ VS[5]	GR3_GRC_ VS[4]	GR3_GRC_ VS[3]	GR3_GRC_ VS[2]	GR3_GRC_ VS[1]	GR3_GRC_ VS[0]
		-	-	-	-	-	GR3_GRC_ VW[10]	GR3_GRC_ VW[9]	GR3_GRC_ VW[8]
		GR3_GRC_ VW[7]	GR3_GRC_ VW[6]	GR3_GRC_ VW[5]	GR3_GRC_ VW[4]	GR3_GRC_ VW[3]	GR3_GRC_ VW[2]	GR3_GRC_ VW[1]	GR3_GRC_ VW[0]
	GR3_AB3	-	-	-	-	-	GR3_GRC_ HS[10]	GR3_GRC_ HS[9]	GR3_GRC_ HS[8]
		GR3_GRC_ HS[7]	GR3_GRC_ HS[6]	GR3_GRC_ HS[5]	GR3_GRC_ HS[4]	GR3_GRC_ HS[3]	GR3_GRC_ HS[2]	GR3_GRC_ HS[1]	GR3_GRC_ HS[0]
		-	-	-	-	-	GR3_GRC_ HW[10]	GR3_GRC_ HW[9]	GR3_GRC_ HW[8]
		GR3_GRC_ HW[7]	GR3_GRC_ HW[6]	GR3_GRC_ HW[5]	GR3_GRC_ HW[4]	GR3_GRC_ HW[3]	GR3_GRC_ HW[2]	GR3_GRC_ HW[1]	GR3_GRC_ HW[0]
	GR3_AB4	-	-	-	-	-	GR3_ARC_ VS[10]	GR3_ARC_ VS[9]	GR3_ARC_ VS[8]
		GR3_ARC_ VS[7]	GR3_ARC_ VS[6]	GR3_ARC_ VS[5]	GR3_ARC_ VS[4]	GR3_ARC_ VS[3]	GR3_ARC_ VS[2]	GR3_ARC_ VS[1]	GR3_ARC_ VS[0]
		-	-	-	-	-	GR3_ARC_ VW[10]	GR3_ARC_ VW[9]	GR3_ARC_ VW[8]
		GR3_ARC_ VW[7]	GR3_ARC_ VW[6]	GR3_ARC_ VW[5]	GR3_ARC_ VW[4]	GR3_ARC_ VW[3]	GR3_ARC_ VW[2]	GR3_ARC_ VW[1]	GR3_ARC_ VW[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GR3_AB5	-	-	-	-	-	GR3_ARC_ HS[10]	GR3_ARC_ HS[9]	GR3_ARC_ HS[8]
		GR3_ARC_ HS[7]	GR3_ARC_ HS[6]	GR3_ARC_ HS[5]	GR3_ARC_ HS[4]	GR3_ARC_ HS[3]	GR3_ARC_ HS[2]	GR3_ARC_ HS[1]	GR3_ARC_ HS[0]
		-	-	-	-	-	GR3_ARC_ HW[10]	GR3_ARC_ HW[9]	GR3_ARC_ HW[8]
		GR3_ARC_ HW[7]	GR3_ARC_ HW[6]	GR3_ARC_ HW[5]	GR3_ARC_ HW[4]	GR3_ARC_ HW[3]	GR3_ARC_ HW[2]	GR3_ARC_ HW[1]	GR3_ARC_ HW[0]
	GR3_AB6	-	-	-	-	-	-	-	GR3_ARC_ MODE
		GR3_ARC_ COEF[7]	GR3_ARC_ COEF[6]	GR3_ARC_ COEF[5]	GR3_ARC_ COEF[4]	GR3_ARC_ COEF[3]	GR3_ARC_ COEF[2]	GR3_ARC_ COEF[1]	GR3_ARC_ COEF[0]
		-	-	-	-	-	-	-	-
		GR3_ARC_ RATE[7]	GR3_ARC_ RATE[6]	GR3_ARC_ RATE[5]	GR3_ARC_ RATE[4]	GR3_ARC_ RATE[3]	GR3_ARC_ RATE[2]	GR3_ARC_ RATE[1]	GR3_ARC_ RATE[0]
	GR3_AB7	-	-	-	-	-	-	-	-
		GR3_ARC_ DEF[7]	GR3_ARC_ DEF[6]	GR3_ARC_ DEF[5]	GR3_ARC_ DEF[4]	GR3_ARC_ DEF[3]	GR3_ARC_ DEF[2]	GR3_ARC_ DEF[1]	GR3_ARC_ DEF[0]
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR3_CK_ON
	GR3_AB8	GR3_CK_ KCLUT[7]	GR3_CK_ KCLUT[6]	GR3_CK_ KCLUT[5]	GR3_CK_ KCLUT[4]	GR3_CK_ KCLUT[3]	GR3_CK_ KCLUT[2]	GR3_CK_ KCLUT[1]	GR3_CK_ KCLUT[0]
		GR3_CK_ KG[7]	GR3_CK_ KG[6]	GR3_CK_ KG[5]	GR3_CK_ KG[4]	GR3_CK_ KG[3]	GR3_CK_ KG[2]	GR3_CK_ KG[1]	GR3_CK_ KG[0]
		GR3_CK_ KB[7]	GR3_CK_ KB[6]	GR3_CK_ KB[5]	GR3_CK_ KB[4]	GR3_CK_ KB[3]	GR3_CK_ KB[2]	GR3_CK_ KB[1]	GR3_CK_ KB[0]
		GR3_CK_ KR[7]	GR3_CK_ KR[6]	GR3_CK_ KR[5]	GR3_CK_ KR[4]	GR3_CK_ KR[3]	GR3_CK_ KR[2]	GR3_CK_ KR[1]	GR3_CK_ KR[0]
	GR3_AB9	GR3_CK_A[7]	GR3_CK_A[6]	GR3_CK_A[5]	GR3_CK_A[4]	GR3_CK_A[3]	GR3_CK_A[2]	GR3_CK_A[1]	GR3_CK_A[0]
		GR3_CK_G[7]	GR3_CK_G[6]	GR3_CK_G[5]	GR3_CK_G[4]	GR3_CK_G[3]	GR3_CK_G[2]	GR3_CK_G[1]	GR3_CK_G[0]
		GR3_CK_B[7]	GR3_CK_B[6]	GR3_CK_B[5]	GR3_CK_B[4]	GR3_CK_B[3]	GR3_CK_B[2]	GR3_CK_B[1]	GR3_CK_B[0]
		GR3_CK_R[7]	GR3_CK_R[6]	GR3_CK_R[5]	GR3_CK_R[4]	GR3_CK_R[3]	GR3_CK_R[2]	GR3_CK_R[1]	GR3_CK_R[0]
	GR3_AB10	GR3_A0[7]	GR3_A0[6]	GR3_A0[5]	GR3_A0[4]	GR3_A0[3]	GR3_A0[2]	GR3_A0[1]	GR3_A0[0]
		GR3_G0[7]	GR3_G0[6]	GR3_G0[5]	GR3_G0[4]	GR3_G0[3]	GR3_G0[2]	GR3_G0[1]	GR3_G0[0]
		GR3_B0[7]	GR3_B0[6]	GR3_B0[5]	GR3_B0[4]	GR3_B0[3]	GR3_B0[2]	GR3_B0[1]	GR3_B0[0]
		GR3_R0[7]	GR3_R0[6]	GR3_R0[5]	GR3_R0[4]	GR3_R0[3]	GR3_R0[2]	GR3_R0[1]	GR3_R0[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GR3_AB11	GR3_A1[7]	GR3_A1[6]	GR3_A1[5]	GR3_A1[4]	GR3_A1[3]	GR3_A1[2]	GR3_A1[1]	GR3_A1[0]
		GR3_G1[7]	GR3_G1[6]	GR3_G1[5]	GR3_G1[4]	GR3_G1[3]	GR3_G1[2]	GR3_G1[1]	GR3_G1[0]
		GR3_B1[7]	GR3_B1[6]	GR3_B1[5]	GR3_B1[4]	GR3_B1[3]	GR3_B1[2]	GR3_B1[1]	GR3_B1[0]
		GR3_R1[7]	GR3_R1[6]	GR3_R1[5]	GR3_R1[4]	GR3_R1[3]	GR3_R1[2]	GR3_R1[1]	GR3_R1[0]
	GR3_BASE	-	-	-	-	-	-	-	-
		GR3_BASE_ G[7]	GR3_BASE_ G[6]	GR3_BASE_ G[5]	GR3_BASE_ G[4]	GR3_BASE_ G[3]	GR3_BASE_ G[2]	GR3_BASE_ G[1]	GR3_BASE_ G[0]
		GR3_BASE_ B[7]	GR3_BASE_ B[6]	GR3_BASE_ B[5]	GR3_BASE_ B[4]	GR3_BASE_ B[3]	GR3_BASE_ B[2]	GR3_BASE_ B[1]	GR3_BASE_ B[0]
		GR3_BASE_ R[7]	GR3_BASE_ R[6]	GR3_BASE_ R[5]	GR3_BASE_ R[4]	GR3_BASE_ R[3]	GR3_BASE_ R[2]	GR3_BASE_ R[1]	GR3_BASE_ R[0]
	GR3_CLUT_ INT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR3_CLT_ SEL
		-	-	-	-	-	GR3_LINE[10]	GR3_LINE[9]	GR3_LINE[8]
		GR3_LINE[7]	GR3_LINE[6]	GR3_LINE[5]	GR3_LINE[4]	GR3_LINE[3]	GR3_LINE[2]	GR3_LINE[1]	GR3_LINE[0]
	GR3_MON	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GR3_ARC_ST
	GAM_G_UPD ATE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GAM_G_VEN
	GAM_SW	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GAM_ON
	GAM_G_LUT1	-	-	-	-	-	GAM_G_ GAIN_00[10]	GAM_G_ GAIN_00[9]	GAM_G_ GAIN_00[8]
		GAM_G_ GAIN_00[7]	GAM_G_ GAIN_00[6]	GAM_G_ GAIN_00[5]	GAM_G_ GAIN_00[4]	GAM_G_ GAIN_00[3]	GAM_G_ GAIN_00[2]	GAM_G_ GAIN_00[1]	GAM_G_ GAIN_00[0]
		-	-	-	-	-	GAM_G_ GAIN_01[10]	GAM_G_ GAIN_01[9]	GAM_G_ GAIN_01[8]
		GAM_G_ GAIN_01[7]	GAM_G_ GAIN_01[6]	GAM_G_ GAIN_01[5]	GAM_G_ GAIN_01[4]	GAM_G_ GAIN_01[3]	GAM_G_ GAIN_01[2]	GAM_G_ GAIN_01[1]	GAM_G_ GAIN_01[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_G_LUT2	-	-	-	-	-	GAM_G_ GAIN_02[10]	GAM_G_ GAIN_02[9]	GAM_G_ GAIN_02[8]
		GAM_G_ GAIN_02[7]	GAM_G_ GAIN_02[6]	GAM_G_ GAIN_02[5]	GAM_G_ GAIN_02[4]	GAM_G_ GAIN_02[3]	GAM_G_ GAIN_02[2]	GAM_G_ GAIN_02[1]	GAM_G_ GAIN_02[0]
		-	-	-	-	-	GAM_G_ GAIN_03[10]	GAM_G_ GAIN_03[9]	GAM_G_ GAIN_03[8]
		GAM_G_ GAIN_03[7]	GAM_G_ GAIN_03[6]	GAM_G_ GAIN_03[5]	GAM_G_ GAIN_03[4]	GAM_G_ GAIN_03[3]	GAM_G_ GAIN_03[2]	GAM_G_ GAIN_03[1]	GAM_G_ GAIN_03[0]
	GAM_G_LUT3	-	-	-	-	-	GAM_G_ GAIN_04[10]	GAM_G_ GAIN_04[9]	GAM_G_ GAIN_04[8]
		GAM_G_ GAIN_04[7]	GAM_G_ GAIN_04[6]	GAM_G_ GAIN_04[5]	GAM_G_ GAIN_04[4]	GAM_G_ GAIN_04[3]	GAM_G_ GAIN_04[2]	GAM_G_ GAIN_04[1]	GAM_G_ GAIN_04[0]
		-	-	-	-	-	GAM_G_ GAIN_05[10]	GAM_G_ GAIN_05[9]	GAM_G_ GAIN_05[8]
		GAM_G_ GAIN_05[7]	GAM_G_ GAIN_05[6]	GAM_G_ GAIN_05[5]	GAM_G_ GAIN_05[4]	GAM_G_ GAIN_05[3]	GAM_G_ GAIN_05[2]	GAM_G_ GAIN_05[1]	GAM_G_ GAIN_05[0]
	GAM_G_LUT4	-	-	-	-	-	GAM_G_ GAIN_06[10]	GAM_G_ GAIN_06[9]	GAM_G_ GAIN_06[8]
		GAM_G_ GAIN_06[7]	GAM_G_ GAIN_06[6]	GAM_G_ GAIN_06[5]	GAM_G_ GAIN_06[4]	GAM_G_ GAIN_06[3]	GAM_G_ GAIN_06[2]	GAM_G_ GAIN_06[1]	GAM_G_ GAIN_06[0]
		-	-	-	-	-	GAM_G_ GAIN_07[10]	GAM_G_ GAIN_07[9]	GAM_G_ GAIN_07[8]
		GAM_G_ GAIN_07[7]	GAM_G_ GAIN_07[6]	GAM_G_ GAIN_07[5]	GAM_G_ GAIN_07[4]	GAM_G_ GAIN_07[3]	GAM_G_ GAIN_07[2]	GAM_G_ GAIN_07[1]	GAM_G_ GAIN_07[0]
	GAM_G_LUT5	-	-	-	-	-	GAM_G_ GAIN_08[10]	GAM_G_ GAIN_08[9]	GAM_G_ GAIN_08[8]
		GAM_G_ GAIN_08[7]	GAM_G_ GAIN_08[6]	GAM_G_ GAIN_08[5]	GAM_G_ GAIN_08[4]	GAM_G_ GAIN_08[3]	GAM_G_ GAIN_08[2]	GAM_G_ GAIN_08[1]	GAM_G_ GAIN_08[0]
		-	-	-	-	-	GAM_G_ GAIN_09[10]	GAM_G_ GAIN_09[9]	GAM_G_ GAIN_09[8]
		GAM_G_ GAIN_09[7]	GAM_G_ GAIN_09[6]	GAM_G_ GAIN_09[5]	GAM_G_ GAIN_09[4]	GAM_G_ GAIN_09[3]	GAM_G_ GAIN_09[2]	GAM_G_ GAIN_09[1]	GAM_G_ GAIN_09[0]
	GAM_G_LUT6	-	-	-	-	-	GAM_G_ GAIN_10[10]	GAM_G_ GAIN_10[9]	GAM_G_ GAIN_10[8]
		GAM_G_ GAIN_10[7]	GAM_G_ GAIN_10[6]	GAM_G_ GAIN_10[5]	GAM_G_ GAIN_10[4]	GAM_G_ GAIN_10[3]	GAM_G_ GAIN_10[2]	GAM_G_ GAIN_10[1]	GAM_G_ GAIN_10[0]
		-	-	-	-	-	GAM_G_ GAIN_11[10]	GAM_G_ GAIN_11[9]	GAM_G_ GAIN_11[8]
		GAM_G_ GAIN_11[7]	GAM_G_ GAIN_11[6]	GAM_G_ GAIN_11[5]	GAM_G_ GAIN_11[4]	GAM_G_ GAIN_11[3]	GAM_G_ GAIN_11[2]	GAM_G_ GAIN_11[1]	GAM_G_ GAIN_11[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_G_LUT7	-	-	-	-	-	GAM_G_ GAIN_12[10]	GAM_G_ GAIN_12[9]	GAM_G_ GAIN_12[8]
		GAM_G_ GAIN_12[7]	GAM_G_ GAIN_12[6]	GAM_G_ GAIN_12[5]	GAM_G_ GAIN_12[4]	GAM_G_ GAIN_12[3]	GAM_G_ GAIN_12[2]	GAM_G_ GAIN_12[1]	GAM_G_ GAIN_12[0]
		-	-	-	-	-	GAM_G_ GAIN_13[10]	GAM_G_ GAIN_13[9]	GAM_G_ GAIN_13[8]
		GAM_G_ GAIN_13[7]	GAM_G_ GAIN_13[6]	GAM_G_ GAIN_13[5]	GAM_G_ GAIN_13[4]	GAM_G_ GAIN_13[3]	GAM_G_ GAIN_13[2]	GAM_G_ GAIN_13[1]	GAM_G_ GAIN_13[0]
	GAM_G_LUT8	-	-	-	-	-	GAM_G_ GAIN_14[10]	GAM_G_ GAIN_14[9]	GAM_G_ GAIN_14[8]
		GAM_G_ GAIN_14[7]	GAM_G_ GAIN_14[6]	GAM_G_ GAIN_14[5]	GAM_G_ GAIN_14[4]	GAM_G_ GAIN_14[3]	GAM_G_ GAIN_14[2]	GAM_G_ GAIN_14[1]	GAM_G_ GAIN_14[0]
		-	-	-	-	-	GAM_G_ GAIN_15[10]	GAM_G_ GAIN_15[9]	GAM_G_ GAIN_15[8]
		GAM_G_ GAIN_15[7]	GAM_G_ GAIN_15[6]	GAM_G_ GAIN_15[5]	GAM_G_ GAIN_15[4]	GAM_G_ GAIN_15[3]	GAM_G_ GAIN_15[2]	GAM_G_ GAIN_15[1]	GAM_G_ GAIN_15[0]
	GAM_G_LUT9	-	-	-	-	-	GAM_G_ GAIN_16[10]	GAM_G_ GAIN_16[9]	GAM_G_ GAIN_16[8]
		GAM_G_ GAIN_16[7]	GAM_G_ GAIN_16[6]	GAM_G_ GAIN_16[5]	GAM_G_ GAIN_16[4]	GAM_G_ GAIN_16[3]	GAM_G_ GAIN_16[2]	GAM_G_ GAIN_16[1]	GAM_G_ GAIN_16[0]
		-	-	-	-	-	GAM_G_ GAIN_17[10]	GAM_G_ GAIN_17[9]	GAM_G_ GAIN_17[8]
		GAM_G_ GAIN_17[7]	GAM_G_ GAIN_17[6]	GAM_G_ GAIN_17[5]	GAM_G_ GAIN_17[4]	GAM_G_ GAIN_17[3]	GAM_G_ GAIN_17[2]	GAM_G_ GAIN_17[1]	GAM_G_ GAIN_17[0]
	GAM_G_LUT10	-	-	-	-	-	GAM_G_ GAIN_18[10]	GAM_G_ GAIN_18[9]	GAM_G_ GAIN_18[8]
		GAM_G_ GAIN_18[7]	GAM_G_ GAIN_18[6]	GAM_G_ GAIN_18[5]	GAM_G_ GAIN_18[4]	GAM_G_ GAIN_18[3]	GAM_G_ GAIN_18[2]	GAM_G_ GAIN_18[1]	GAM_G_ GAIN_18[0]
		-	-	-	-	-	GAM_G_ GAIN_19[10]	GAM_G_ GAIN_19[9]	GAM_G_ GAIN_19[8]
		GAM_G_ GAIN_19[7]	GAM_G_ GAIN_19[6]	GAM_G_ GAIN_19[5]	GAM_G_ GAIN_19[4]	GAM_G_ GAIN_19[3]	GAM_G_ GAIN_19[2]	GAM_G_ GAIN_19[1]	GAM_G_ GAIN_19[0]
	GAM_G_LUT11	-	-	-	-	-	GAM_G_ GAIN_20[10]	GAM_G_ GAIN_20[9]	GAM_G_ GAIN_20[8]
		GAM_G_ GAIN_20[7]	GAM_G_ GAIN_20[6]	GAM_G_ GAIN_20[5]	GAM_G_ GAIN_20[4]	GAM_G_ GAIN_20[3]	GAM_G_ GAIN_20[2]	GAM_G_ GAIN_20[1]	GAM_G_ GAIN_20[0]
		-	-	-	-	-	GAM_G_ GAIN_21[10]	GAM_G_ GAIN_21[9]	GAM_G_ GAIN_21[8]
		GAM_G_ GAIN_21[7]	GAM_G_ GAIN_21[6]	GAM_G_ GAIN_21[5]	GAM_G_ GAIN_21[4]	GAM_G_ GAIN_21[3]	GAM_G_ GAIN_21[2]	GAM_G_ GAIN_21[1]	GAM_G_ GAIN_21[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_G_LUT12	-	-	-	-	-	GAM_G_ GAIN_22[10]	GAM_G_ GAIN_22[9]	GAM_G_ GAIN_22[8]
		GAM_G_ GAIN_22[7]	GAM_G_ GAIN_22[6]	GAM_G_ GAIN_22[5]	GAM_G_ GAIN_22[4]	GAM_G_ GAIN_22[3]	GAM_G_ GAIN_22[2]	GAM_G_ GAIN_22[1]	GAM_G_ GAIN_22[0]
		-	-	-	-	-	GAM_G_ GAIN_23[10]	GAM_G_ GAIN_23[9]	GAM_G_ GAIN_23[8]
		GAM_G_ GAIN_23[7]	GAM_G_ GAIN_23[6]	GAM_G_ GAIN_23[5]	GAM_G_ GAIN_23[4]	GAM_G_ GAIN_23[3]	GAM_G_ GAIN_23[2]	GAM_G_ GAIN_23[1]	GAM_G_ GAIN_23[0]
	GAM_G_LUT13	-	-	-	-	-	GAM_G_ GAIN_24[10]	GAM_G_ GAIN_24[9]	GAM_G_ GAIN_24[8]
		GAM_G_ GAIN_24[7]	GAM_G_ GAIN_24[6]	GAM_G_ GAIN_24[5]	GAM_G_ GAIN_24[4]	GAM_G_ GAIN_24[3]	GAM_G_ GAIN_24[2]	GAM_G_ GAIN_24[1]	GAM_G_ GAIN_24[0]
		-	-	-	-	-	GAM_G_ GAIN_25[10]	GAM_G_ GAIN_25[9]	GAM_G_ GAIN_25[8]
		GAM_G_ GAIN_25[7]	GAM_G_ GAIN_25[6]	GAM_G_ GAIN_25[5]	GAM_G_ _GAIN_25[4]	GAM_G_ GAIN_25[3]	GAM_G_ GAIN_25[2]	GAM_G_ GAIN_25[1]	GAM_G_ GAIN_25[0]
	GAM_G_LUT14	-	-	-	-	-	GAM_G_ GAIN_26[10]	GAM_G_ GAIN_26[9]	GAM_G_ GAIN_26[8]
		GAM_G_ GAIN_26[7]	GAM_G_ GAIN_26[6]	GAM_G_ GAIN_26[5]	GAM_G_ GAIN_26[4]	GAM_G_ GAIN_26[3]	GAM_G_ GAIN_26[2]	GAM_G_ GAIN_26[1]	GAM_G_ GAIN_26[0]
		-	-	-	-	-	GAM_G_ GAIN_27[10]	GAM_G_ GAIN_27[9]	GAM_G_ GAIN_27[8]
		GAM_G_ GAIN_27[7]	GAM_G_ GAIN_27[6]	GAM_G_ GAIN_27[5]	GAM_G_ GAIN_27[4]	GAM_G_ GAIN_27[3]	GAM_G_ GAIN_27[2]	GAM_G_ GAIN_27[1]	GAM_G_ GAIN_27[0]
	GAM_G_LUT15	-	-	-	-	-	GAM_G_ GAIN_28[10]	GAM_G_ GAIN_28[9]	GAM_G_ GAIN_28[8]
		GAM_G_ AIN_28[7]	GAM_G_ GAIN_28[6]	GAM_G_ GAIN_28[5]	GAM_G_ GAIN_28[4]	GAM_G_ GAIN_28[3]	GAM_G_ GAIN_28[2]	GAM_G_ GAIN_28[1]	GAM_G_ GAIN_28[0]
		-	-	-	-	-	GAM_G_ GAIN_29[10]	GAM_G_ GAIN_29[9]	GAM_G_ AIN_29[8]
		GAM_G_ GAIN_29[7]	GAM_G_ GAIN_29[6]	GAM_G_ GAIN_29[5]	GAM_G_ GAIN_29[4]	GAM_G_ GAIN_29[3]	GAM_G_ GAIN_29[2]	GAM_G_ GAIN_29[1]	GAM_G_ GAIN_29[0]
	GAM_G_LUT16	-	-	-	-	-	GAM_G_ GAIN_30[10]	GAM_G_ GAIN_30[9]	GAM_G_ GAIN_30[8]
		GAM_G_ GAIN_30[7]	GAM_G_ GAIN_30[6]	GAM_G_ GAIN_30[5]	GAM_G_ GAIN_30[4]	GAM_G_ GAIN_30[3]	GAM_G_ GAIN_30[2]	GAM_G_ GAIN_30[1]	GAM_G_ GAIN_30[0]
		-	-	-	-	-	GAM_G_ GAIN_31[10]	GAM_G_ GAIN_31[9]	GAM_G_ GAIN_31[8]
		GAM_G_ GAIN_31[7]	GAM_G_ GAIN_31[6]	GAM_G_ GAIN_31[5]	GAM_G_ GAIN_31[4]	GAM_G_ GAIN_31[3]	GAM_G_ GAIN_31[2]	GAM_G_ GAIN_31[1]	GAM_G_ GAIN_31[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_G_ AREA1	-	-	-	-	-	-	-	-
		GAM_G_TH_ 01[7]	GAM_G_TH_ 01[6]	GAM_G_TH_ 01[5]	GAM_G_TH_ 01[4]	GAM_G_TH_ 01[3]	GAM_G_TH_ 01[2]	GAM_G_TH_ 01[1]	GAM_G_TH_ _01[0]
		GAM_G_TH_ 02[7]	GAM_G_TH_ 02[6]	GAM_G_TH_ 02[5]	GAM_G_TH_ 02[4]	GAM_G_TH_ 02[3]	GAM_G_TH_ 02[2]	GAM_G_TH_ 02[1]	GAM_G_TH_ _02[0]
		GAM_G_TH_ 03[7]	GAM_G_TH_ 03[6]	GAM_G_TH_ 03[5]	GAM_G_TH_ 03[4]	GAM_G_TH_ 03[3]	GAM_G_TH_ 03[2]	GAM_G_TH_ 03[1]	GAM_G_TH_ _03[0]
	GAM_G_ AREA2	GAM_G_TH_ 04[7]	GAM_G_TH_ 04[6]	GAM_G_TH_ 04[5]	GAM_G_TH_ 04[4]	GAM_G_TH_ 04[3]	GAM_G_TH_ 04[2]	GAM_G_TH_ 04[1]	GAM_G_TH_ _04[0]
		GAM_G_TH_ 05[7]	GAM_G_TH_ 05[6]	GAM_G_TH_ 05[5]	GAM_G_TH_ 05[4]	GAM_G_TH_ 05[3]	GAM_G_TH_ 05[2]	GAM_G_TH_ 05[1]	GAM_G_TH_ _05[0]
		GAM_G_TH_ 06[7]	GAM_G_TH_ 06[6]	GAM_G_TH_ 06[5]	GAM_G_TH_ 06[4]	GAM_G_TH_ 06[3]	GAM_G_TH_ 06[2]	GAM_G_TH_ 06[1]	GAM_G_TH_ _06[0]
		GAM_G_TH_ 07[7]	GAM_G_TH_ 07[6]	GAM_G_TH_ 07[5]	GAM_G_TH_ 07[4]	GAM_G_TH_ 07[3]	GAM_G_TH_ 07[2]	GAM_G_TH_ 07[1]	GAM_G_TH_ _07[0]
	GAM_G_ AREA3	GAM_G_TH_ 08[7]	GAM_G_TH_ 08[6]	GAM_G_TH_ 08[5]	GAM_G_TH_ 08[4]	GAM_G_TH_ 08[3]	GAM_G_TH_ 08[2]	GAM_G_TH_ 08[1]	GAM_G_TH_ _08[0]
		GAM_G_TH_ 09[7]	GAM_G_TH_ 09[6]	GAM_G_TH_ 09[5]	GAM_G_TH_ 09[4]	GAM_G_TH_ 09[3]	GAM_G_TH_ 09[2]	GAM_G_TH_ 09[1]	GAM_G_TH_ _09[0]
		GAM_G_TH_ 10[7]	GAM_G_TH_ 10[6]	GAM_G_TH_ 10[5]	GAM_G_TH_ 10[4]	GAM_G_TH_ 10[3]	GAM_G_TH_ 10[2]	GAM_G_TH_ 10[1]	GAM_G_TH_ _10[0]
		GAM_G_TH_ 11[7]	GAM_G_TH_ 11[6]	GAM_G_TH_ 11[5]	GAM_G_TH_ 11[4]	GAM_G_TH_ 11[3]	GAM_G_TH_ 11[2]	GAM_G_TH_ 11[1]	GAM_G_TH_ _11[0]
	GAM_G_ AREA4	GAM_G_TH_ 12[7]	GAM_G_TH_ 12[6]	GAM_G_TH_ 12[5]	GAM_G_TH_ 12[4]	GAM_G_TH_ 12[3]	GAM_G_TH_ 12[2]	GAM_G_TH_ 12[1]	GAM_G_TH_ _12[0]
		GAM_G_TH_ 13[7]	GAM_G_TH_ 13[6]	GAM_G_TH_ 13[5]	GAM_G_TH_ 13[4]	GAM_G_TH_ 13[3]	GAM_G_TH_ 13[2]	GAM_G_TH_ 13[1]	GAM_G_TH_ _13[0]
		GAM_G_TH_ 14[7]	GAM_G_TH_ 14[6]	GAM_G_TH_ 14[5]	GAM_G_TH_ 14[4]	GAM_G_TH_ 14[3]	GAM_G_TH_ 14[2]	GAM_G_TH_ 14[1]	GAM_G_TH_ _14[0]
		GAM_G_TH_ 15[7]	GAM_G_TH_ 15[6]	GAM_G_TH_ 15[5]	GAM_G_TH_ 15[4]	GAM_G_TH_ 15[3]	GAM_G_TH_ 15[2]	GAM_G_TH_ 15[1]	GAM_G_TH_ _15[0]
	GAM_G_ AREA5	GAM_G_TH_ 16[7]	GAM_G_TH_ 16[6]	GAM_G_TH_ 16[5]	GAM_G_TH_ 16[4]	GAM_G_TH_ 16[3]	GAM_G_TH_ 16[2]	GAM_G_TH_ 16[1]	GAM_G_TH_ _16[0]
		GAM_G_TH_ 17[7]	GAM_G_TH_ 17[6]	GAM_G_TH_ 17[5]	GAM_G_TH_ 17[4]	GAM_G_TH_ 17[3]	GAM_G_TH_ 17[2]	GAM_G_TH_ 17[1]	GAM_G_TH_ _17[0]
		GAM_G_TH_ 18[7]	GAM_G_TH_ 18[6]	GAM_G_TH_ 18[5]	GAM_G_TH_ 18[4]	GAM_G_TH_ 18[3]	GAM_G_TH_ 18[2]	GAM_G_TH_ 18[1]	GAM_G_TH_ _18[0]
		GAM_G_TH_ 19[7]	GAM_G_TH_ 19[6]	GAM_G_TH_ 19[5]	GAM_G_TH_ 19[4]	GAM_G_TH_ 19[3]	GAM_G_TH_ 19[2]	GAM_G_TH_ 19[1]	GAM_G_TH_ _19[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_G_ AREA6	GAM_G_TH_ 20[7]	GAM_G_TH_ 20[6]	GAM_G_TH_ 20[5]	GAM_G_TH_ 20[4]	GAM_G_TH_ 20[3]	GAM_G_TH_ 20[2]	GAM_G_TH_ 20[1]	GAM_G_TH_ _20[0]
		GAM_G_TH_ 21[7]	GAM_G_TH_ 21[6]	GAM_G_TH_ 21[5]	GAM_G_TH_ 21[4]	GAM_G_TH_ 21[3]	GAM_G_TH_ 21[2]	GAM_G_TH_ 21[1]	GAM_G_TH_ _21[0]
		GAM_G_TH_ 22[7]	GAM_G_TH_ 22[6]	GAM_G_TH_ 22[5]	GAM_G_TH_ 22[4]	GAM_G_TH_ 22[3]	GAM_G_TH_ 22[2]	GAM_G_TH_ 22[1]	GAM_G_TH_ _22[0]
		GAM_G_TH_ 23[7]	GAM_G_TH_ 23[6]	GAM_G_TH_ 23[5]	GAM_G_TH_ 23[4]	GAM_G_TH_ 23[3]	GAM_G_TH_ 23[2]	GAM_G_TH_ 23[1]	GAM_G_TH_ _23[0]
	GAM_G_ AREA7	GAM_G_TH_ 24[7]	GAM_G_TH_ 24[6]	GAM_G_TH_ 24[5]	GAM_G_TH_ 24[4]	GAM_G_TH_ 24[3]	GAM_G_TH_ 24[2]	GAM_G_TH_ 24[1]	GAM_G_TH_ _24[0]
		GAM_G_TH_ 25[7]	GAM_G_TH_ 25[6]	GAM_G_TH_ 25[5]	GAM_G_TH_ 25[4]	GAM_G_TH_ 25[3]	GAM_G_TH_ 25[2]	GAM_G_TH_ 25[1]	GAM_G_TH_ _25[0]
		GAM_G_TH_ 26[7]	GAM_G_TH_ 26[6]	GAM_G_TH_ 26[5]	GAM_G_TH_ 26[4]	GAM_G_TH_ 26[3]	GAM_G_TH_ 26[2]	GAM_G_TH_ 26[1]	GAM_G_TH_ _26[0]
		GAM_G_TH_ 27[7]	GAM_G_TH_ 27[6]	GAM_G_TH_ 27[5]	GAM_G_TH_ 27[4]	GAM_G_TH_ 27[3]	GAM_G_TH_ 27[2]	GAM_G_TH_ 27[1]	GAM_G_TH_ _27[0]
	GAM_G_ AREA8	GAM_G_TH_ 28[7]	GAM_G_TH_ 28[6]	GAM_G_TH_ 28[5]	GAM_G_TH_ 28[4]	GAM_G_TH_ 28[3]	GAM_G_TH_ 28[2]	GAM_G_TH_ 28[1]	GAM_G_TH_ _28[0]
		GAM_G_TH_ 29[7]	GAM_G_TH_ 29[6]	GAM_G_TH_ 29[5]	GAM_G_TH_ 29[4]	GAM_G_TH_ 29[3]	GAM_G_TH_ 29[2]	GAM_G_TH_ 29[1]	GAM_G_TH_ _29[0]
		GAM_G_TH_ 30[7]	GAM_G_TH_ 30[6]	GAM_G_TH_ 30[5]	GAM_G_TH_ 30[4]	GAM_G_TH_ 30[3]	GAM_G_TH_ 30[2]	GAM_G_TH_ 30[1]	GAM_G_TH_ _30[0]
		GAM_G_TH_ 31[7]	GAM_G_TH_ 31[6]	GAM_G_TH_ 31[5]	GAM_G_TH_ 31[4]	GAM_G_TH_ 31[3]	GAM_G_TH_ 31[2]	GAM_G_TH_ 31[1]	GAM_G_TH_ _31[0]
	GAM_B_UPD ATE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GAM_B_VEN
	GAM_B_LUT1	-	-	-	-	-	GAM_B_ GAIN_00[10]	GAM_B_ GAIN_00[9]	GAM_B_ GAIN_00[8]
		GAM_B_ GAIN_00[7]	GAM_B_ GAIN_00[6]	GAM_B_ GAIN_00[5]	GAM_B_ GAIN_00[4]	GAM_B_ GAIN_00[3]	GAM_B_ GAIN_00[2]	GAM_B_ GAIN_00[1]	GAM_B_ GAIN_00[0]
		-	-	-	-	-	GAM_B_ GAIN_01[10]	GAM_B_ GAIN_01[9]	GAM_B_ GAIN_01[8]
		GAM_B_ GAIN_01[7]	GAM_B_ GAIN_01[6]	GAM_B_ GAIN_01[5]	GAM_B_ GAIN_01[4]	GAM_B_ GAIN_01[3]	GAM_B_ GAIN_01[2]	GAM_B_ GAIN_01[1]	GAM_B_ GAIN_01[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_B_LUT2	-	-	-	-	-	GAM_B_GAI N_02[10]	GAM_B_GAI N_02[9]	GAM_B_GAI N_02[8]
		GAM_B_GAI N_02[7]	GAM_B_GAI N_02[6]	GAM_B_GAI N_02[5]	GAM_B_GAI N_02[4]	GAM_B_GAI N_02[3]	GAM_B_GAI N_02[2]	GAM_B_GAI N_02[1]	GAM_B_GAI N_02[0]
		-	-	-	-	-	GAM_B_GAI N_03[10]	GAM_B_GAI N_03[9]	GAM_B_GAI N_03[8]
		GAM_B_GAI N_03[7]	GAM_B_GAI N_03[6]	GAM_B_GAI N_03[5]	GAM_B_GAI N_03[4]	GAM_B_GAI N_03[3]	GAM_B_GAI N_03[2]	GAM_B_GAI N_03[1]	GAM_B_GAI N_03[0]
	GAM_B_LUT3	-	-	-	-	-	GAM_B_GAI N_04[10]	GAM_B_GAI N_04[9]	GAM_B_GAI N_04[8]
		GAM_B_GAI N_04[7]	GAM_B_GAI N_04[6]	GAM_B_GAI N_04[5]	GAM_B_GAI N_04[4]	GAM_B_GAI N_04[3]	GAM_B_GAI N_04[2]	GAM_B_GAI N_04[1]	GAM_B_GAI N_04[0]
		-	-	-	-	-	GAM_B_GAI N_05[10]	GAM_B_GAI N_05[9]	GAM_B_GAI N_05[8]
		GAM_B_GAI N_05[7]	GAM_B_GAI N_05[6]	GAM_B_GAI N_05[5]	GAM_B_GAI N_05[4]	GAM_B_GAI N_05[3]	GAM_B_GAI N_05[2]	GAM_B_GAI N_05[1]	GAM_B_GAI N_05[0]
	GAM_B_LUT4	-	-	-	-	-	GAM_B_GAI N_06[10]	GAM_B_GAI N_06[9]	GAM_B_GAI N_06[8]
		GAM_B_GAI N_06[7]	GAM_B_GAI N_06[6]	GAM_B_GAI N_06[5]	GAM_B_GAI N_06[4]	GAM_B_GAI N_06[3]	GAM_B_GAI N_06[2]	GAM_B_GAI N_06[1]	GAM_B_GAI N_06[0]
		-	-	-	-	-	GAM_B_GAI N_07[10]	GAM_B_GAI N_07[9]	GAM_B_GAI N_07[8]
		GAM_B_GAI N_07[7]	GAM_B_GAI N_07[6]	GAM_B_GAI N_07[5]	GAM_B_GAI N_07[4]	GAM_B_GAI N_07[3]	GAM_B_GAI N_07[2]	GAM_B_GAI N_07[1]	GAM_B_GAI N_07[0]
	GAM_B_LUT5	-	-	-	-	-	GAM_B_GAI N_08[10]	GAM_B_GAI N_08[9]	GAM_B_GAI N_08[8]
		GAM_B_GAI N_08[7]	GAM_B_GAI N_08[6]	GAM_B_GAI N_08[5]	GAM_B_GAI N_08[4]	GAM_B_GAI N_08[3]	GAM_B_GAI N_08[2]	GAM_B_GAI N_08[1]	GAM_B_GAI N_08[0]
		-	-	-	-	-	GAM_B_GAI N_09[10]	GAM_B_GAI N_09[9]	GAM_B_GAI N_09[8]
		GAM_B_GAI N_09[7]	GAM_B_GAI N_09[6]	GAM_B_GAI N_09[5]	GAM_B_GAI N_09[4]	GAM_B_GAI N_09[3]	GAM_B_GAI N_09[2]	GAM_B_GAI N_09[1]	GAM_B_GAI N_09[0]
	GAM_B_LUT6	-	-	-	-	-	GAM_B_GAI N_10[10]	GAM_B_GAI N_10[9]	GAM_B_GAI N_10[8]
		GAM_B_GAI N_10[7]	GAM_B_GAI N_10[6]	GAM_B_GAI N_10[5]	GAM_B_GAI N_10[4]	GAM_B_GAI N_10[3]	GAM_B_GAI N_10[2]	GAM_B_GAI N_10[1]	GAM_B_GAI N_10[0]
		-	-	-	-	-	GAM_B_GAI N_11[10]	GAM_B_GAI N_11[9]	GAM_B_GAI N_11[8]
		GAM_B_GAI N_11[7]	GAM_B_GAI N_11[6]	GAM_B_GAI N_11[5]	GAM_B_GAI N_11[4]	GAM_B_GAI N_11[3]	GAM_B_GAI N_11[2]	GAM_B_GAI N_11[1]	GAM_B_GAI N_11[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_B_LUT7	-	-	-	-	-	GAM_B_ GAIN_12[10]	GAM_B_ GAIN_12[9]	GAM_B_ GAIN_12[8]
		GAM_B_ GAIN_12[7]	GAM_B_ GAIN_12[6]	GAM_B_ GAIN_12[5]	GAM_B_ GAIN_12[4]	GAM_B_ GAIN_12[3]	GAM_B_ GAIN_12[2]	GAM_B_ GAIN_12[1]	GAM_B_ GAIN_12[0]
		-	-	-	-	-	GAM_B_ GAIN_13[10]	GAM_B_ GAIN_13[9]	GAM_B_ GAIN_13[8]
		GAM_B_ GAIN_13[7]	GAM_B_ GAIN_13[6]	GAM_B_ GAIN_13[5]	GAM_B_ GAIN_13[4]	GAM_B_ GAIN_13[3]	GAM_B_ GAIN_13[2]	GAM_B_ GAIN_13[1]	GAM_B_ GAIN_13[0]
	GAM_B_LUT8	-	-	-	-	-	GAM_B_ GAIN_14[10]	GAM_B_ GAIN_14[9]	GAM_B_ GAIN_14[8]
		GAM_B_ GAIN_14[7]	GAM_B_ GAIN_14[6]	GAM_B_ GAIN_14[5]	GAM_B_ GAIN_14[4]	GAM_B_ GAIN_14[3]	GAM_B_ GAIN_14[2]	GAM_B_ GAIN_14[1]	GAM_B_ GAIN_14[0]
		-	-	-	-	-	GAM_B_ GAIN_15[10]	GAM_B_ GAIN_15[9]	GAM_B_ GAIN_15[8]
		GAM_B_ GAIN_15[7]	GAM_B_ GAIN_15[6]	GAM_B_ GAIN_15[5]	GAM_B_ GAIN_15[4]	GAM_B_ GAIN_15[3]	GAM_B_ GAIN_15[2]	GAM_B_ GAIN_15[1]	GAM_B_ GAIN_15[0]
	GAM_B_LUT9	-	-	-	-	-	GAM_B_ GAIN_16[10]	GAM_B_ GAIN_16[9]	GAM_B_ GAIN_16[8]
		GAM_B_ GAIN_16[7]	GAM_B_ GAIN_16[6]	GAM_B_ GAIN_16[5]	GAM_B_ GAIN_16[4]	GAM_B_ GAIN_16[3]	GAM_B_ GAIN_16[2]	GAM_B_ GAIN_16[1]	GAM_B_ GAIN_16[0]
		-	-	-	-	-	GAM_B_ GAIN_17[10]	GAM_B_ GAIN_17[9]	GAM_B_ GAIN_17[8]
		GAM_B_ GAIN_17[7]	GAM_B_ GAIN_17[6]	GAM_B_ GAIN_17[5]	GAM_B_ GAIN_17[4]	GAM_B_ GAIN_17[3]	GAM_B_ GAIN_17[2]	GAM_B_ GAIN_17[1]	GAM_B_ GAIN_17[0]
	GAM_B_LUT10	-	-	-	-	-	GAM_B_ GAIN_18[10]	GAM_B_ GAIN_18[9]	GAM_B_ GAIN_18[8]
		GAM_B_GAI N_18[7]	GAM_B_GAI N_18[6]	GAM_B_GAI N_18[5]	GAM_B_GAI N_18[4]	GAM_B_GAI N_18[3]	GAM_B_ GAIN_18[2]	GAM_B_ GAIN_18[1]	GAM_B_ GAIN_18[0]
		-	-	-	-	-	GAM_B_ GAIN_19[10]	GAM_B_ GAIN_19[9]	GAM_B_ GAIN_19[8]
		GAM_B_ GAIN_19[7]	GAM_B_ GAIN_19[6]	GAM_B_ GAIN_19[5]	GAM_B_ GAIN_19[4]	GAM_B_ GAIN_19[3]	GAM_B_ GAIN_19[2]	GAM_B_ GAIN_19[1]	GAM_B_ GAIN_19[0]
	GAM_B_LUT11	-	-	-	-	-	GAM_B_ GAIN_20[10]	GAM_B_ GAIN_20[9]	GAM_B_ GAIN_20[8]
		GAM_B_ GAIN_20[7]	GAM_B_ GAIN_20[6]	GAM_B_GAI N_20[5]	GAM_B_GAI N_20[4]	GAM_B_GAI N_20[3]	GAM_B_ GAIN_20[2]	GAM_B_ GAIN_20[1]	GAM_B_ GAIN_20[0]
		-	-	-	-	-	GAM_B_ GAIN_21[10]	GAM_B_ GAIN_21[9]	GAM_B_ GAIN_21[8]
		GAM_B_ GAIN_21[7]	GAM_B_ GAIN_21[6]	GAM_B_ GAIN_21[5]	GAM_B_ GAIN_21[4]	GAM_B_ GAIN_21[3]	GAM_B_ GAIN_21[2]	GAM_B_ GAIN_21[1]	GAM_B_ GAIN_21[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_B_LUT12	-	-	-	-	-	GAM_B_ GAIN_22[10]	GAM_B_ GAIN_22[9]	GAM_B_ GAIN_22[8]
		GAM_B_ GAIN_22[7]	GAM_B_ GAIN_22[6]	GAM_B_ GAIN_22[5]	GAM_B_ GAIN_22[4]	GAM_B_ GAIN_22[3]	GAM_B_ GAIN_22[2]	GAM_B_ GAIN_22[1]	GAM_B_ GAIN_22[0]
		-	-	-	-	-	GAM_B_ GAIN_23[10]	GAM_B_ GAIN_23[9]	GAM_B_ GAIN_23[8]
		GAM_B_ GAIN_23[7]	GAM_B_ GAIN_23[6]	GAM_B_ GAIN_23[5]	GAM_B_ GAIN_23[4]	GAM_B_ GAIN_23[3]	GAM_B_ GAIN_23[2]	GAM_B_ GAIN_23[1]	GAM_B_ GAIN_23[0]
	GAM_B_LUT13	-	-	-	-	-	GAM_B_ GAIN_24[10]	GAM_B_ GAIN_24[9]	GAM_B_ GAIN_24[8]
		GAM_B_ GAIN_24[7]	GAM_B_ GAIN_24[6]	GAM_B_ GAIN_24[5]	GAM_B_ GAIN_24[4]	GAM_B_ GAIN_24[3]	GAM_B_ GAIN_24[2]	GAM_B_ GAIN_24[1]	GAM_B_ GAIN_24[0]
		-	-	-	-	-	GAM_B_ GAIN_25[10]	GAM_B_ GAIN_25[9]	GAM_B_ GAIN_25[8]
		GAM_B_ GAIN_25[7]	GAM_B_ GAIN_25[6]	GAM_B_ GAIN_25[5]	GAM_B_ GAIN_25[4]	GAM_B_ GAIN_25[3]	GAM_B_ GAIN_25[2]	GAM_B_ GAIN_25[1]	GAM_B_ GAIN_25[0]
	GAM_B_LUT14	-	-	-	-	-	GAM_B_ GAIN_26[10]	GAM_B_ GAIN_26[9]	GAM_B_ GAIN_26[8]
		GAM_B_ GAIN_26[7]	GAM_B_ GAIN_26[6]	GAM_B_ GAIN_26[5]	GAM_B_ GAIN_26[4]	GAM_B_ GAIN_26[3]	GAM_B_ GAIN_26[2]	GAM_B_ GAIN_26[1]	GAM_B_ GAIN_26[0]
		-	-	-	-	-	GAM_B_ GAIN_27[10]	GAM_B_ GAIN_27[9]	GAM_B_ GAIN_27[8]
		GAM_B_ GAIN_27[7]	GAM_B_ GAIN_27[6]	GAM_B_ GAIN_27[5]	GAM_B_ GAIN_27[4]	GAM_B_ GAIN_27[3]	GAM_B_ GAIN_27[2]	GAM_B_ GAIN_27[1]	GAM_B_ GAIN_27[0]
	GAM_B_LUT15	-	-	-	-	-	GAM_B_ GAIN_28[10]	GAM_B_ GAIN_28[9]	GAM_B_ GAIN_28[8]
		GAM_B_ GAIN_28[7]	GAM_B_ GAIN_28[6]	GAM_B_ GAIN_28[5]	GAM_B_ GAIN_28[4]	GAM_B_ GAIN_28[3]	GAM_B_ GAIN_28[2]	GAM_B_ GAIN_28[1]	GAM_B_ GAIN_28[0]
		-	-	-	-	-	GAM_B_ GAIN_29[10]	GAM_B_ GAIN_29[9]	GAM_B_ GAIN_29[8]
		GAM_B_ GAIN_29[7]	GAM_B_ GAIN_29[6]	GAM_B_ GAIN_29[5]	GAM_B_ GAIN_29[4]	GAM_B_ GAIN_29[3]	GAM_B_ GAIN_29[2]	GAM_B_ GAIN_29[1]	GAM_B_ GAIN_29[0]
	GAM_B_LUT16	-	-	-	-	-	GAM_B_ GAIN_30[10]	GAM_B_ GAIN_30[9]	GAM_B_ GAIN_30[8]
		GAM_B_ GAIN_30[7]	GAM_B_ GAIN_30[6]	GAM_B_ GAIN_30[5]	GAM_B_ GAIN_30[4]	GAM_B_ GAIN_30[3]	GAM_B_ GAIN_30[2]	GAM_B_ GAIN_30[1]	GAM_B_ GAIN_30[0]
		-	-	-	-	-	GAM_B_ GAIN_31[10]	GAM_B_ GAIN_31[9]	GAM_B_ GAIN_31[8]
		GAM_B_ GAIN_31[7]	GAM_B_ GAIN_31[6]	GAM_B_ GAIN_31[5]	GAM_B_ GAIN_31[4]	GAM_B_ GAIN_31[3]	GAM_B_ GAIN_31[2]	GAM_B_ GAIN_31[1]	GAM_B_ GAIN_31[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ビデオ ディスプレイ コントローラ 4	GAM_B_	-	-	-	-	-	-	-	-	
	AREA1	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_
		01[7]	01[6]	01[5]	01[4]	01[3]	01[2]	01[1]	01[0]	
		GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_
		02[7]	02[6]	02[5]	02[4]	02[3]	02[2]	02[1]	02[0]	
	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	
	03[7]	03[6]	03[5]	03[4]	03[3]	03[2]	03[1]	03[0]		
	AREA2	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_
		04[7]	04[6]	04[5]	04[4]	04[3]	04[2]	04[1]	04[0]	
		GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_
		05[7]	05[6]	05[5]	05[4]	05[3]	05[2]	05[1]	05[0]	
	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	
	06[7]	06[6]	06[5]	06[4]	06[3]	06[2]	06[1]	06[0]		
	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	
	07[7]	07[6]	07[5]	07[4]	07[3]	07[2]	07[1]	07[0]		
	GAM_B_ARE A3	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_
		08[7]	08[6]	08[5]	08[4]	08[3]	08[2]	08[1]	08[0]	
		GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_
		09[7]	09[6]	09[5]	09[4]	09[3]	09[2]	09[1]	09[0]	
	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	
10[7]	10[6]	10[5]	10[4]	10[3]	10[2]	10[1]	10[0]			
GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_		
11[7]	11[6]	11[5]	11[4]	11[3]	11[2]	11[1]	11[0]			
GAM_B_	AREA4	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	
		12[7]	12[6]	12[5]	12[4]	12[3]	12[2]	12[1]	12[0]	
		GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	
		13[7]	13[6]	13[5]	13[4]	13[3]	13[2]	13[1]	13[0]	
GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_		
14[7]	14[6]	14[5]	14[4]	14[3]	14[2]	14[1]	14[0]			
GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_		
15[7]	15[6]	15[5]	15[4]	15[3]	15[2]	15[1]	15[0]			
GAM_B_	AREA5	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	
		16[7]	16[6]	16[5]	16[4]	16[3]	16[2]	16[1]	16[0]	
		GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	
		17[7]	17[6]	17[5]	17[4]	17[3]	17[2]	17[1]	17[0]	
GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_		
18[7]	18[6]	18[5]	18[4]	18[3]	18[2]	18[1]	18[0]			
GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_	GAM_B_TH_		
19[7]	19[6]	19[5]	19[4]	19[3]	19[2]	19[1]	19[0]			

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_B_ AREA6	GAM_B_TH_ 20[7]	GAM_B_TH_ 20[6]	GAM_B_TH_ 20[5]	GAM_B_TH_ 20[4]	GAM_B_TH_ 20[3]	GAM_B_TH_ 20[2]	GAM_B_TH_ 20[1]	GAM_B_TH_ 20[0]
		GAM_B_TH_ 21[7]	GAM_B_TH_ 21[6]	GAM_B_TH_ 21[5]	GAM_B_TH_ 21[4]	GAM_B_TH_ 21[3]	GAM_B_TH_ 21[2]	GAM_B_TH_ 21[1]	GAM_B_TH_ 21[0]
		GAM_B_TH_ 22[7]	GAM_B_TH_ 22[6]	GAM_B_TH_ 22[5]	GAM_B_TH_ 22[4]	GAM_B_TH_ 22[3]	GAM_B_TH_ 22[2]	GAM_B_TH_ 22[1]	GAM_B_TH_ 22[0]
		GAM_B_TH_ 23[7]	GAM_B_TH_ 23[6]	GAM_B_TH_ 23[5]	GAM_B_TH_ 23[4]	GAM_B_TH_ 23[3]	GAM_B_TH_ 23[2]	GAM_B_TH_ 23[1]	GAM_B_TH_ 23[0]
	GAM_B_ AREA7	GAM_B_TH_ 24[7]	GAM_B_TH_ 24[6]	GAM_B_TH_ 24[5]	GAM_B_TH_ 24[4]	GAM_B_TH_ 24[3]	GAM_B_TH_ 24[2]	GAM_B_TH_ 24[1]	GAM_B_TH_ 24[0]
		GAM_B_TH_ 25[7]	GAM_B_TH_ 25[6]	GAM_B_TH_ 25[5]	GAM_B_TH_ 25[4]	GAM_B_TH_ 25[3]	GAM_B_TH_ 25[2]	GAM_B_TH_ 25[1]	GAM_B_TH_ 25[0]
		GAM_B_TH_ 26[7]	GAM_B_TH_ 26[6]	GAM_B_TH_ 26[5]	GAM_B_TH_ 26[4]	GAM_B_TH_ 26[3]	GAM_B_TH_ 26[2]	GAM_B_TH_ 26[1]	GAM_B_TH_ 26[0]
		GAM_B_TH_ 27[7]	GAM_B_TH_ 27[6]	GAM_B_TH_ 27[5]	GAM_B_TH_ 27[4]	GAM_B_TH_ 27[3]	GAM_B_TH_ 27[2]	GAM_B_TH_ 27[1]	GAM_B_TH_ 27[0]
	GAM_B_ AREA8	GAM_B_TH_ 28[7]	GAM_B_TH_ 28[6]	GAM_B_TH_ 28[5]	GAM_B_TH_ 28[4]	GAM_B_TH_ 28[3]	GAM_B_TH_ 28[2]	GAM_B_TH_ 28[1]	GAM_B_TH_ 28[0]
		GAM_B_TH_ 29[7]	GAM_B_TH_ 29[6]	GAM_B_TH_ 29[5]	GAM_B_TH_ 29[4]	GAM_B_TH_ 29[3]	GAM_B_TH_ 29[2]	GAM_B_TH_ 29[1]	GAM_B_TH_ 29[0]
		GAM_B_TH_ 30[7]	GAM_B_TH_ 30[6]	GAM_B_TH_ 30[5]	GAM_B_TH_ 30[4]	GAM_B_TH_ 30[3]	GAM_B_TH_ 30[2]	GAM_B_TH_ 30[1]	GAM_B_TH_ 30[0]
		GAM_B_TH_ 31[7]	GAM_B_TH_ 31[6]	GAM_B_TH_ 31[5]	GAM_B_TH_ 31[4]	GAM_B_TH_ 31[3]	GAM_B_TH_ 31[2]	GAM_B_TH_ 31[1]	GAM_B_TH_ 31[0]
	GAM_R_UPD ATE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GAM_R_VEN
	GAM_R_LUT1	-	-	-	-	-	GAM_R_ GAIN_00[10]	GAM_R_ GAIN_00[9]	GAM_R_ GAIN_00[8]
		GAM_R_ GAIN_00[7]	GAM_R_ GAIN_00[6]	GAM_R_ GAIN_00[5]	GAM_R_ GAIN_00[4]	GAM_R_ GAIN_00[3]	GAM_R_ GAIN_00[2]	GAM_R_ GAIN_00[1]	GAM_R_ GAIN_00[0]
		-	-	-	-	-	GAM_R_ GAIN_01[10]	GAM_R_ GAIN_01[9]	GAM_R_ GAIN_01[8]
		GAM_R_ GAIN_01[7]	GAM_R_ GAIN_01[6]	GAM_R_ GAIN_01[5]	GAM_R_ GAIN_01[4]	GAM_R_ GAIN_01[3]	GAM_R_ GAIN_01[2]	GAM_R_ GAIN_01[1]	GAM_R_ GAIN_01[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_R_LUT2	-	-	-	-	-	GAM_R_ GAIN_02[10]	GAM_R_ GAIN_02[9]	GAM_R_ GAIN_02[8]
		GAM_R_ GAIN_02[7]	GAM_R_ GAIN_02[6]	GAM_R_ GAIN_02[5]	GAM_R_ GAIN_02[4]	GAM_R_ GAIN_02[3]	GAM_R_ GAIN_02[2]	GAM_R_ GAIN_02[1]	GAM_R_ GAIN_02[0]
		-	-	-	-	-	GAM_R_ GAIN_03[10]	GAM_R_ GAIN_03[9]	GAM_R_ GAIN_03[8]
		GAM_R_ GAIN_03[7]	GAM_R_ GAIN_03[6]	GAM_R_ GAIN_03[5]	GAM_R_ GAIN_03[4]	GAM_R_ GAIN_03[3]	GAM_R_ GAIN_03[2]	GAM_R_ GAIN_03[1]	GAM_R_ GAIN_03[0]
	GAM_R_LUT3	-	-	-	-	-	GAM_R_ GAIN_04[10]	GAM_R_ GAIN_04[9]	GAM_R_ GAIN_04[8]
		GAM_R_ GAIN_04[7]	GAM_R_ GAIN_04[6]	GAM_R_ GAIN_04[5]	GAM_R_ GAIN_04[4]	GAM_R_ GAIN_04[3]	GAM_R_ GAIN_04[2]	GAM_R_ GAIN_04[1]	GAM_R_ GAIN_04[0]
		-	-	-	-	-	GAM_R_ GAIN_05[10]	GAM_R_ GAIN_05[9]	GAM_R_ GAIN_05[8]
		GAM_R_ GAIN_05[7]	GAM_R_ GAIN_05[6]	GAM_R_ GAIN_05[5]	GAM_R_ GAIN_05[4]	GAM_R_ GAIN_05[3]	GAM_R_ GAIN_05[2]	GAM_R_ GAIN_05[1]	GAM_R_ GAIN_05[0]
	GAM_R_LUT4	-	-	-	-	-	GAM_R_ GAIN_06[10]	GAM_R_ GAIN_06[9]	GAM_R_ GAIN_06[8]
		GAM_R_ GAIN_06[7]	GAM_R_ GAIN_06[6]	GAM_R_ GAIN_06[5]	GAM_R_ GAIN_06[4]	GAM_R_ GAIN_06[3]	GAM_R_ GAIN_06[2]	GAM_R_ GAIN_06[1]	GAM_R_ GAIN_06[0]
		-	-	-	-	-	GAM_R_ GAIN_07[10]	GAM_R_ GAIN_07[9]	GAM_R_ GAIN_07[8]
		GAM_R_ GAIN_07[7]	GAM_R_ GAIN_07[6]	GAM_R_ GAIN_07[5]	GAM_R_ GAIN_07[4]	GAM_R_ GAIN_07[3]	GAM_R_ GAIN_07[2]	GAM_R_ GAIN_07[1]	GAM_R_ GAIN_07[0]
	GAM_R_LUT5	-	-	-	-	-	GAM_R_ GAIN_08[10]	GAM_R_ GAIN_08[9]	GAM_R_ GAIN_08[8]
		GAM_R_ GAIN_08[7]	GAM_R_ GAIN_08[6]	GAM_R_ GAIN_08[5]	GAM_R_ GAIN_08[4]	GAM_R_ GAIN_08[3]	GAM_R_ GAIN_08[2]	GAM_R_ GAIN_08[1]	GAM_R_ GAIN_08[0]
		-	-	-	-	-	GAM_R_ GAIN_09[10]	GAM_R_ GAIN_09[9]	GAM_R_ GAIN_09[8]
		GAM_R_ GAIN_09[7]	GAM_R_ GAIN_09[6]	GAM_R_ GAIN_09[5]	GAM_R_ GAIN_09[4]	GAM_R_ GAIN_09[3]	GAM_R_ GAIN_09[2]	GAM_R_ GAIN_09[1]	GAM_R_ GAIN_09[0]
	GAM_R_LUT6	-	-	-	-	-	GAM_R_ GAIN_10[10]	GAM_R_ GAIN_10[9]	GAM_R_ GAIN_10[8]
		GAM_R_ GAIN_10[7]	GAM_R_ GAIN_10[6]	GAM_R_ GAIN_10[5]	GAM_R_ GAIN_10[4]	GAM_R_ GAIN_10[3]	GAM_R_ GAIN_10[2]	GAM_R_ GAIN_10[1]	GAM_R_ GAIN_10[0]
		-	-	-	-	-	GAM_R_ GAIN_11[10]	GAM_R_ GAIN_11[9]	GAM_R_ GAIN_11[8]
		GAM_R_ GAIN_11[7]	GAM_R_ GAIN_11[6]	GAM_R_ GAIN_11[5]	GAM_R_ GAIN_11[4]	GAM_R_ GAIN_11[3]	GAM_R_ GAIN_11[2]	GAM_R_ GAIN_11[1]	GAM_R_ GAIN_11[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_R_LUT7	-	-	-	-	-	GAM_R_ GAIN_12[10]	GAM_R_ GAIN_12[9]	GAM_R_ GAIN_12[8]
		GAM_R_ GAIN_12[7]	GAM_R_ GAIN_12[6]	GAM_R_ GAIN_12[5]	GAM_R_ GAIN_12[4]	GAM_R_ GAIN_12[3]	GAM_R_ GAIN_12[2]	GAM_R_ GAIN_12[1]	GAM_R_ GAIN_12[0]
		-	-	-	-	-	GAM_R_ GAIN_13[10]	GAM_R_ GAIN_13[9]	GAM_R_ GAIN_13[8]
		GAM_R_ GAIN_13[7]	GAM_R_ GAIN_13[6]	GAM_R_ GAIN_13[5]	GAM_R_ GAIN_13[4]	GAM_R_ GAIN_13[3]	GAM_R_ GAIN_13[2]	GAM_R_ GAIN_13[1]	GAM_R_ GAIN_13[0]
	GAM_R_LUT8	-	-	-	-	-	GAM_R_ GAIN_14[10]	GAM_R_ GAIN_14[9]	GAM_R_ GAIN_14[8]
		GAM_R_ GAIN_14[7]	GAM_R_ GAIN_14[6]	GAM_R_ GAIN_14[5]	GAM_R_ GAIN_14[4]	GAM_R_ GAIN_14[3]	GAM_R_ GAIN_14[2]	GAM_R_ GAIN_14[1]	GAM_R_ GAIN_14[0]
		-	-	-	-	-	GAM_R_ GAIN_15[10]	GAM_R_ GAIN_15[9]	GAM_R_ GAIN_15[8]
		GAM_R_ GAIN_15[7]	GAM_R_ GAIN_15[6]	GAM_R_ GAIN_15[5]	GAM_R_ GAIN_15[4]	GAM_R_ GAIN_15[3]	GAM_R_ GAIN_15[2]	GAM_R_ GAIN_15[1]	GAM_R_ GAIN_15[0]
	GAM_R_LUT9	-	-	-	-	-	GAM_R_GAI N_16[10]	GAM_R_GAI N_16[9]	GAM_R_GAI N_16[8]
		GAM_R_ GAIN_16[7]	GAM_R_ GAIN_16[6]	GAM_R_ GAIN_16[5]	GAM_R_ GAIN_16[4]	GAM_R_ GAIN_16[3]	GAM_R_ GAIN_16[2]	GAM_R_ GAIN_16[1]	GAM_R_ GAIN_16[0]
		-	-	-	-	-	GAM_R_ GAIN_17[10]	GAM_R_ GAIN_17[9]	GAM_R_ GAIN_17[8]
		GAM_R_ GAIN_17[7]	GAM_R_ GAIN_17[6]	GAM_R_ GAIN_17[5]	GAM_R_ GAIN_17[4]	GAM_R_ GAIN_17[3]	GAM_R_ GAIN_17[2]	GAM_R_ GAIN_17[1]	GAM_R_ GAIN_17[0]
	GAM_R_ LUT10	-	-	-	-	-	GAM_R_ GAIN_18[10]	GAM_R_ GAIN_18[9]	GAM_R_ GAIN_18[8]
		GAM_R_ GAIN_18[7]	GAM_R_ GAIN_18[6]	GAM_R_ GAIN_18[5]	GAM_R_ GAIN_18[4]	GAM_R_ GAIN_18[3]	GAM_R_ GAIN_18[2]	GAM_R_ GAIN_18[1]	GAM_R_ GAIN_18[0]
		-	-	-	-	-	GAM_R_ GAIN_19[10]	GAM_R_ GAIN_19[9]	GAM_R_ GAIN_19[8]
		GAM_R_ GAIN_19[7]	GAM_R_ GAIN_19[6]	GAM_R_ GAIN_19[5]	GAM_R_ GAIN_19[4]	GAM_R_ GAIN_19[3]	GAM_R_ GAIN_19[2]	GAM_R_ GAIN_19[1]	GAM_R_ GAIN_19[0]
	GAM_R_ LUT11	-	-	-	-	-	GAM_R_ GAIN_20[10]	GAM_R_ GAIN_20[9]	GAM_R_ GAIN_20[8]
		GAM_R_ GAIN_20[7]	GAM_R_ GAIN_20[6]	GAM_R_ GAIN_20[5]	GAM_R_ GAIN_20[4]	GAM_R_ GAIN_20[3]	GAM_R_ GAIN_20[2]	GAM_R_ GAIN_20[1]	GAM_R_ GAIN_20[0]
		-	-	-	-	-	GAM_R_ GAIN_21[10]	GAM_R_ GAIN_21[9]	GAM_R_ GAIN_21[8]
		GAM_R_ GAIN_21[7]	GAM_R_ GAIN_21[6]	GAM_R_ GAIN_21[5]	GAM_R_ GAIN_21[4]	GAM_R_ GAIN_21[3]	GAM_R_ GAIN_21[2]	GAM_R_ GAIN_21[1]	GAM_R_ GAIN_21[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_R_ LUT12	-	-	-	-	-	GAM_R_ GAIN_22[10]	GAM_R_ GAIN_22[9]	GAM_R_ GAIN_22[8]
		GAM_R_ GAIN_22[7]	GAM_R_ GAIN_22[6]	GAM_R_ GAIN_22[5]	GAM_R_ GAIN_22[4]	GAM_R_ GAIN_22[3]	GAM_R_ GAIN_22[2]	GAM_R_ GAIN_22[1]	GAM_R_ GAIN_22[0]
		-	-	-	-	-	GAM_R_ GAIN_23[10]	GAM_R_ GAIN_23[9]	GAM_R_ GAIN_23[8]
		GAM_R_ GAIN_23[7]	GAM_R_ GAIN_23[6]	GAM_R_ GAIN_23[5]	GAM_R_ GAIN_23[4]	GAM_R_ GAIN_23[3]	GAM_R_ GAIN_23[2]	GAM_R_ GAIN_23[1]	GAM_R_ GAIN_23[0]
	GAM_R_ LUT13	-	-	-	-	-	GAM_R_ GAIN_24[10]	GAM_R_ GAIN_24[9]	GAM_R_ GAIN_24[8]
		GAM_R_ GAIN_24[7]	GAM_R_ GAIN_24[6]	GAM_R_ GAIN_24[5]	GAM_R_ GAIN_24[4]	GAM_R_ GAIN_24[3]	GAM_R_ GAIN_24[2]	GAM_R_ GAIN_24[1]	GAM_R_ GAIN_24[0]
		-	-	-	-	-	GAM_R_ GAIN_25[10]	GAM_R_ GAIN_25[9]	GAM_R_ GAIN_25[8]
		GAM_R_ GAIN_25[7]	GAM_R_ GAIN_25[6]	GAM_R_ GAIN_25[5]	GAM_R_ GAIN_25[4]	GAM_R_ GAIN_25[3]	GAM_R_ GAIN_25[2]	GAM_R_ GAIN_25[1]	GAM_R_ GAIN_25[0]
	GAM_R_ LUT14	-	-	-	-	-	GAM_R_ GAIN_26[10]	GAM_R_ GAIN_26[9]	GAM_R_ GAIN_26[8]
		GAM_R_ GAIN_26[7]	GAM_R_ GAIN_26[6]	GAM_R_ GAIN_26[5]	GAM_R_ GAIN_26[4]	GAM_R_ GAIN_26[3]	GAM_R_ GAIN_26[2]	GAM_R_ GAIN_26[1]	GAM_R_ GAIN_26[0]
		-	-	-	-	-	GAM_R_ GAIN_27[10]	GAM_R_ GAIN_27[9]	GAM_R_ GAIN_27[8]
		GAM_R_ GAIN_27[7]	GAM_R_ GAIN_27[6]	GAM_R_ GAIN_27[5]	GAM_R_ GAIN_27[4]	GAM_R_ GAIN_27[3]	GAM_R_ GAIN_27[2]	GAM_R_ GAIN_27[1]	GAM_R_ GAIN_27[0]
	GAM_R_ LUT15	-	-	-	-	-	GAM_R_GAI N_28[10]	GAM_R_GAI N_28[9]	GAM_R_GAI N_28[8]
		GAM_R_ GAIN_28[7]	GAM_R_ GAIN_28[6]	GAM_R_ GAIN_28[5]	GAM_R_ GAIN_28[4]	GAM_R_ GAIN_28[3]	GAM_R_ GAIN_28[2]	GAM_R_ GAIN_28[1]	GAM_R_ GAIN_28[0]
		-	-	-	-	-	GAM_R_ GAIN_29[10]	GAM_R_ GAIN_29[9]	GAM_R_ GAIN_29[8]
		GAM_R_ GAIN_29[7]	GAM_R_ GAIN_29[6]	GAM_R_ GAIN_29[5]	GAM_R_ GAIN_29[4]	GAM_R_ GAIN_29[3]	GAM_R_ GAIN_29[2]	GAM_R_ GAIN_29[1]	GAM_R_ GAIN_29[0]
GAM_R_ LUT16	-	-	-	-	-	GAM_R_ GAIN_30[10]	GAM_R_ GAIN_30[9]	GAM_R_ GAIN_30[8]	
	GAM_R_ GAIN_30[7]	GAM_R_ GAIN_30[6]	GAM_R_ GAIN_30[5]	GAM_R_ GAIN_30[4]	GAM_R_ GAIN_30[3]	GAM_R_ GAIN_30[2]	GAM_R_ GAIN_30[1]	GAM_R_ GAIN_30[0]	
	-	-	-	-	-	GAM_R_ GAIN_31[10]	GAM_R_ GAIN_31[9]	GAM_R_ GAIN_31[8]	
	GAM_R_ GAIN_31[7]	GAM_R_ GAIN_31[6]	GAM_R_ GAIN_31[5]	GAM_R_ GAIN_31[4]	GAM_R_ GAIN_31[3]	GAM_R_ GAIN_31[2]	GAM_R_ GAIN_31[1]	GAM_R_ GAIN_31[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ビデオ ディスプレイ コントローラ 4	GAM_R_	-	-	-	-	-	-	-	-	
	AREA1	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_
		01[7]	01[6]	01[5]	01[4]	01[3]	01[2]	01[1]	01[0]	
		GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_
		02[7]	02[6]	02[5]	02[4]	02[3]	02[2]	02[1]	02[0]	
	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	
	03[7]	03[6]	03[5]	03[4]	03[3]	03[2]	03[1]	03[0]		
	AREA2	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_
		04[7]	04[6]	04[5]	04[4]	04[3]	04[2]	04[1]	04[0]	
		GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_
		05[7]	05[6]	05[5]	05[4]	05[3]	05[2]	05[1]	05[0]	
	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	
	06[7]	06[6]	06[5]	06[4]	06[3]	06[2]	06[1]	06[0]		
	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	
	07[7]	07[6]	07[5]	07[4]	07[3]	07[2]	07[1]	07[0]		
	AREA3	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_
		08[7]	08[6]	08[5]	08[4]	08[3]	08[2]	08[1]	08[0]	
		GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_
		09[7]	09[6]	09[5]	09[4]	09[3]	09[2]	09[1]	09[0]	
	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	
10[7]	10[6]	10[5]	10[4]	10[3]	10[2]	10[1]	10[0]			
GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_		
11[7]	11[6]	11[5]	11[4]	11[3]	11[2]	11[1]	11[0]			
AREA4	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	
	12[7]	12[6]	12[5]	12[4]	12[3]	12[2]	12[1]	12[0]		
	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	
	13[7]	13[6]	13[5]	13[4]	13[3]	13[2]	13[1]	13[0]		
GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_		
14[7]	14[6]	14[5]	14[4]	14[3]	14[2]	14[1]	14[0]			
GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_		
15[7]	15[6]	15[5]	15[4]	15[3]	15[2]	15[1]	15[0]			
AREA5	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	
	16[7]	16[6]	16[5]	16[4]	16[3]	16[2]	16[1]	16[0]		
	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	
	17[7]	17[6]	17[5]	17[4]	17[3]	17[2]	17[1]	17[0]		
GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_		
18[7]	18[6]	18[5]	18[4]	18[3]	18[2]	18[1]	18[0]			
GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_	GAM_R_TH_		
19[7]	19[6]	19[5]	19[4]	19[3]	19[2]	19[1]	19[0]			

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	GAM_R_ AREA6	GAM_R_TH_ 20[7]	GAM_R_TH_ 20[6]	GAM_R_TH_ 20[5]	GAM_R_TH_ 20[4]	GAM_R_TH_ 20[3]	GAM_R_TH_ 20[2]	GAM_R_TH_ 20[1]	GAM_R_TH_ 20[0]
		GAM_R_TH_ 21[7]	GAM_R_TH_ 21[6]	GAM_R_TH_ 21[5]	GAM_R_TH_ 21[4]	GAM_R_TH_ 21[3]	GAM_R_TH_ 21[2]	GAM_R_TH_ 21[1]	GAM_R_TH_ 21[0]
		GAM_R_TH_ 22[7]	GAM_R_TH_ 22[6]	GAM_R_TH_ 22[5]	GAM_R_TH_ 22[4]	GAM_R_TH_ 22[3]	GAM_R_TH_ 22[2]	GAM_R_TH_ 22[1]	GAM_R_TH_ 22[0]
		GAM_R_TH_ 23[7]	GAM_R_TH_ 23[6]	GAM_R_TH_ 23[5]	GAM_R_TH_ 23[4]	GAM_R_TH_ 23[3]	GAM_R_TH_ 23[2]	GAM_R_TH_ 23[1]	GAM_R_TH_ 23[0]
	GAM_R_ AREA7	GAM_R_TH_ 24[7]	GAM_R_TH_ 24[6]	GAM_R_TH_ 24[5]	GAM_R_TH_ 24[4]	GAM_R_TH_ 24[3]	GAM_R_TH_ 24[2]	GAM_R_TH_ 24[1]	GAM_R_TH_ 24[0]
		GAM_R_TH_ 25[7]	GAM_R_TH_ 25[6]	GAM_R_TH_ 25[5]	GAM_R_TH_ 25[4]	GAM_R_TH_ 25[3]	GAM_R_TH_ 25[2]	GAM_R_TH_ 25[1]	GAM_R_TH_ 25[0]
		GAM_R_TH_ 26[7]	GAM_R_TH_ 26[6]	GAM_R_TH_ 26[5]	GAM_R_TH_ 26[4]	GAM_R_TH_ 26[3]	GAM_R_TH_ 26[2]	GAM_R_TH_ 26[1]	GAM_R_TH_ 26[0]
		GAM_R_TH_ 27[7]	GAM_R_TH_ 27[6]	GAM_R_TH_ 27[5]	GAM_R_TH_ 27[4]	GAM_R_TH_ 27[3]	GAM_R_TH_ 27[2]	GAM_R_TH_ 27[1]	GAM_R_TH_ 27[0]
	GAM_R_ AREA8	GAM_R_TH_ 28[7]	GAM_R_TH_ 28[6]	GAM_R_TH_ 28[5]	GAM_R_TH_ 28[4]	GAM_R_TH_ 28[3]	GAM_R_TH_ 28[2]	GAM_R_TH_ 28[1]	GAM_R_TH_ 28[0]
		GAM_R_TH_ 29[7]	GAM_R_TH_ 29[6]	GAM_R_TH_ 29[5]	GAM_R_TH_ 29[4]	GAM_R_TH_ 29[3]	GAM_R_TH_ 29[2]	GAM_R_TH_ 29[1]	GAM_R_TH_ 29[0]
		GAM_R_TH_ 30[7]	GAM_R_TH_ 30[6]	GAM_R_TH_ 30[5]	GAM_R_TH_ 30[4]	GAM_R_TH_ 30[3]	GAM_R_TH_ 30[2]	GAM_R_TH_ 30[1]	GAM_R_TH_ 30[0]
		GAM_R_TH_ 31[7]	GAM_R_TH_ 31[6]	GAM_R_TH_ 31[5]	GAM_R_TH_ 31[4]	GAM_R_TH_ 31[3]	GAM_R_TH_ 31[2]	GAM_R_TH_ 31[1]	GAM_R_TH_ 31[0]
	TCON_UPDA TE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	TCON_VEN
	TCON_TIM	-	-	-	-	-	TCON_ HALF[10]	TCON_ HALF[9]	TCON_ HALF[8]
		TCON_ HALF[7]	TCON_ HALF[6]	TCON_ HALF[5]	TCON_ HALF[4]	TCON_ HALF[3]	TCON_ HALF[2]	TCON_ HALF[1]	TCON_ HALF[0]
		-	-	-	-	-	TCON_OFFS ET[10]	TCON_OFFS ET[9]	TCON_OFF SET[8]
		TCON_ OFFSET[7]	TCON_ OFFSET[6]	TCON_ OFFSET[5]	TCON_ OFFSET[4]	TCON_ OFFSET[3]	TCON_ OFFSET[2]	TCON_ OFFSET[1]	TCON_ OFFSET[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ビデオ ディスプレイ コントローラ 4	TCON_TIM_S TVA1	-	-	-	-	-	TCON_STVA _VS[10]	TCON_STVA _VS[9]	TCON_STVA _VS[8]	
		TCON_STVA _VS[7]	TCON_STVA _VS[6]	TCON_STVA _VS[5]	TCON_STVA _VS[4]	TCON_STVA _VS[3]	TCON_STVA _VS[2]	TCON_STVA _VS[1]	TCON_STVA _VS[0]	
		-	-	-	-	-	TCON_STVA _VW[10]	TCON_STVA _VW[9]	TCON_STVA _VW[8]	
		TCON_STVA _VW[7]	TCON_STVA _VW[6]	TCON_STVA _VW[5]	TCON_STVA _VW[4]	TCON_STVA _VW[3]	TCON_STVA _VW[2]	TCON_STVA _VW[1]	TCON_STVA _VW[0]	
	TCON_TIM_S TVA2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	TCON_STVA _INV	-	TCON_STVA _SEL[2]	TCON_STVA _SEL[1]	TCON_STVA _SEL[0]	
	TCON_TIM_S TVB1	-	-	-	-	-	-	TCON_STVB _VS[10]	TCON_STVB _VS[9]	TCON_STVB _VS[8]
		TCON_STVB _VS[7]	TCON_STVB _VS[6]	TCON_STVB _VS[5]	TCON_STVB _VS[4]	TCON_STVB _VS[3]	TCON_STVB _VS[2]	TCON_STVB _VS[1]	TCON_STVB _VS[0]	
		-	-	-	-	-	TCON_STVB _VW[10]	TCON_STVB _VW[9]	TCON_STVB _VW[8]	
		TCON_STVB _VW[7]	TCON_STVB _VW[6]	TCON_STVB _VW[5]	TCON_STVB _VW[4]	TCON_STVB _VW[3]	TCON_STVB _VW[2]	TCON_STVB _VW[1]	TCON_STVB _VW[0]	
	TCON_TIM_S TVB2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	TCON_STVB _INV	-	TCON_STVB _SEL[2]	TCON_STVB _SEL[1]	TCON_STVB _SEL[0]	
	TCON_TIM_S TH1	-	-	-	-	-	-	TCON_STH_ HS[10]	TCON_STH_ HS[9]	TCON_STH_ HS[8]
		TCON_STH_ HS[7]	TCON_STH_ HS[6]	TCON_STH_ HS[5]	TCON_STH_ HS[4]	TCON_STH_ HS[3]	TCON_STH_ HS[2]	TCON_STH_ HS[1]	TCON_STH_ HS[0]	
		-	-	-	-	-	TCON_STH_ HW[10]	TCON_STH_ HW[9]	TCON_STH_ HW[8]	
		TCON_STH_ HW[7]	TCON_STH_ HW[6]	TCON_STH_ HW[5]	TCON_STH_ HW[4]	TCON_STH_ HW[3]	TCON_STH_ HW[2]	TCON_STH_ HW[1]	TCON_STH_ HW[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ビデオ ディスプレイ コントローラ 4	TCON_TIM_ STH2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	TCON_STH_ HS_SEL
		-	-	-	TCON_STH_ INV	-	TCON_STH_ SEL[2]	TCON_STH_ SEL[1]	TCON_STH_ SEL[0]	
	TCON_TIM_ STB1	-	-	-	-	-	-	TCON_STB_ HS[10]	TCON_STB_ HS[9]	TCON_STB_ HS[8]
		TCON_STB_ HS[7]	TCON_STB_ HS[6]	TCON_STB_ HS[5]	TCON_STB_ HS[4]	TCON_STB_ HS[3]	TCON_STB_ HS[2]	TCON_STB_ HS[1]	TCON_STB_ HS[0]	
		-	-	-	-	-	TCON_STB_ HW[10]	TCON_STB_ HW[9]	TCON_STB_ HW[8]	
		TCON_STB_ HW[7]	TCON_STB_ HW[6]	TCON_STB_ HW[5]	TCON_STB_ HW[4]	TCON_STB_ HW[3]	TCON_STB_ HW[2]	TCON_STB_ HW[1]	TCON_STB_ HW[0]	
	TCON_TIM_ STB2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	TCON_STB_ HS_SEL
		-	-	-	TCON_STB_ INV	-	TCON_STB_ SEL[2]	TCON_STB_ SEL[1]	TCON_STB_ SEL[0]	
	TCON_TIM_C PV1	-	-	-	-	-	-	TCON_CPV_ HS[10]	TCON_CPV_ HS[9]	TCON_CPV_ HS[8]
		TCON_CPV_ HS[7]	TCON_CPV_ HS[6]	TCON_CPV_ HS[5]	TCON_CPV_ HS[4]	TCON_CPV_ HS[3]	TCON_CPV_ HS[2]	TCON_CPV_ HS[1]	TCON_CPV_ HS[0]	
		-	-	-	-	-	TCON_CPV_ HW[10]	TCON_CPV_ HW[9]	TCON_CPV_ HW[8]	
		TCON_CPV_ HW[7]	TCON_CPV_ HW[6]	TCON_CPV_ HW[5]	TCON_CPV_ HW[4]	TCON_CPV_ HW[3]	TCON_CPV_ HW[2]	TCON_CPV_ HW[1]	TCON_CPV_ HW[0]	
	TCON_TIM_C PV2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	TCON_CPV_ HS_SEL
		-	-	-	TCON_CPV_ INV	-	TCON_CPV_ SEL[2]	TCON_CPV_ SEL[1]	TCON_CPV_ SEL[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ビデオ ディスプレイ コントローラ 4	TCON_TIM_ POLA1	-	-	-	-	-	TCON_POLA _HS[10]	TCON_POLA _HS[9]	TCON_POLA _HS[8]	
		TCON_POLA _HS[7]	TCON_POLA _HS[6]	TCON_POLA _HS[5]	TCON_POLA _HS[4]	TCON_POLA _HS[3]	TCON_POLA _HS[2]	TCON_POLA _HS[1]	TCON_POLA _HS[0]	
		-	-	-	-	-	TCON_POLA _HW[10]	TCON_POLA _HW[9]	TCON_POLA _HW[8]	
		TCON_POLA _HW[7]	TCON_POLA _HW[6]	TCON_POLA _HW[5]	TCON_POLA _HW[4]	TCON_POLA _HW[3]	TCON_POLA _HW[2]	TCON_POLA _HW[1]	TCON_POLA _HW[0]	
	TCON_TIM_ POLA2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	TCON_POLA _MD[1]	TCON_POLA _MD[0]	-	-	-	TCON_POLA _HS_SEL	
		-	-	-	TCON_POLA _INV	-	TCON_POLA _SEL[2]	TCON_POLA _SEL[1]	TCON_POLA _SEL[0]	
	TCON_TIM_ POLB1	-	-	-	-	-	-	TCON_POLB _HS[10]	TCON_POLB _HS[9]	TCON_POLB _HS[8]
		TCON_POLB _HS[7]	TCON_POLB _HS[6]	TCON_POLB _HS[5]	TCON_POLB _HS[4]	TCON_POLB _HS[3]	TCON_POLB _HS[2]	TCON_POLB _HS[1]	TCON_POLB _HS[0]	
		-	-	-	-	-	TCON_POLB _HW[10]	TCON_POLB _HW[9]	TCON_POLB _HW[8]	
		TCON_POLB _HW[7]	TCON_POLB _HW[6]	TCON_POLB _HW[5]	TCON_POLB _HW[4]	TCON_POLB _HW[3]	TCON_POLB _HW[2]	TCON_POLB _HW[1]	TCON_POLB _HW[0]	
	TCON_TIM_ POLB2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	TCON_POLB _MD[1]	TCON_POLB _MD[0]	-	-	-	TCON_POLB _HS_SEL	
		-	-	-	TCON_POLB _INV	-	TCON_POLB _SEL[2]	TCON_POLB _SEL[1]	TCON_POLB _SEL[0]	
	TCON_TIM_DE	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	TCON_DE_ INV	
	OUT_UPDATE	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	OUTCNT_ VEN	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	OUT_SET	-	-	-	OUT_ ENDIAN_ON	-	-	-	OUT_ SWAP_ON
		-	-	-	-	-	-	-	-
		-	-	OUT_ FORMAT[1]	OUT_ FORMAT[0]	-	-	OUT_FRQ_ SEL[1]	OUT_FRQ_ SEL[0]
		-	-	-	OUT_DIR_ SEL	-	-	OUT_ PHASE[1]	OUT_ PHASE[0]
	OUT_BRIGHT1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	PBRT_G[9]	PBRT_G[8]
		PBRT_G[7]	PBRT_G[6]	PBRT_G[5]	PBRT_G[4]	PBRT_G[3]	PBRT_G[2]	PBRT_G[1]	PBRT_G[0]
	OUT_BRIGHT2	-	-	-	-	-	-	PBRT_B[9]	PBRT_B[8]
		PBRT_B[7]	PBRT_B[6]	PBRT_B[5]	PBRT_B[4]	PBRT_B[3]	PBRT_B[2]	PBRT_B[1]	PBRT_B[0]
		-	-	-	-	-	-	PBRT_R[9]	PBRT_R[8]
		PBRT_R[7]	PBRT_R[6]	PBRT_R[5]	PBRT_R[4]	PBRT_R[3]	PBRT_R[2]	PBRT_R[1]	PBRT_R[0]
	OUT_ CONTRAST	-	-	-	-	-	-	-	-
		CONT_G[7]	CONT_G[6]	CONT_G[5]	CONT_G[4]	CONT_G[3]	CONT_G[2]	CONT_G[1]	CONT_G[0]
		CONT_B[7]	CONT_B[6]	CONT_B[5]	CONT_B[4]	CONT_B[3]	CONT_B[2]	CONT_B[1]	CONT_B[0]
	OUT_PDTHA	CONT_R[7]	CONT_R[6]	CONT_R[5]	CONT_R[4]	CONT_R[3]	CONT_R[2]	CONT_R[1]	CONT_R[0]
		-	-	-	-	-	-	-	-
		-	-	PDTH_SEL[1]	PDTH_SEL[0]	-	-	PDTH_ FORMAT[1]	PDTH_ FORMAT[0]
		-	-	PDTH_PA[1]	PDTH_PA[0]	-	-	PDTH_PB[1]	PDTH_PB[0]
	OUT_CLK_ PHASE	-	-	PDTH_PC[1]	PDTH_PC[0]	-	-	PDTH_PD[1]	PDTH_PD[0]
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	OUTCNT_ FRONT_GAM	-	-	-	OUTCNT_ LCD_EDGE
		-	OUTCNT_ STVA_EDGE	OUTCNT_ STVB_EDGE	OUTCNT_ STH_EDGE	OUTCNT_ STB_EDGE	OUTCNT_ CPV_EDGE	OUTCNT_ POLA_EDGE	OUTCNT_ POLB_EDGE
	SYSCNT_INT1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	INT_STA8

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ビデオ ディスプレイ コントローラ 4	SYSCNT_INT2	-	-	-	INT_STA7	-	-	-	INT_STA6
		-	-	-	INT_STA5	-	-	-	INT_STA4
		-	-	-	INT_STA3	-	-	-	INT_STA2
		-	-	-	INT_STA1	-	-	-	INT_STA0
	SYSCNT_INT3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	INT_OUT8_ ON
	SYSCNT_INT4	-	-	-	INT_OUT7_ ON	-	-	-	INT_OUT6_ ON
		-	-	-	INT_OUT5_ ON	-	-	-	INT_OUT4_ ON
		-	-	-	INT_OUT3_ ON	-	-	-	INT_OUT2_ ON
		-	-	-	INT_OUT1_ ON	-	-	-	INT_OUT0_ ON
	SYSCNT_ PANEL_CLK	-	-	PANEL_ ICKSEL[1]	PANEL_ ICKSEL[0]	-	-	-	PANEL_ ICKEN
		-	-	PANEL_ DCDR[5]	PANEL_ DCDR[4]	PANEL_ DCDR[3]	PANEL_ DCDR[2]	PANEL_ DCDR[1]	PANEL_ DCDR[0]
	SYSCNT_ CLUT	-	-	-	-	-	-	-	GR3_CLT_ SEL_ST
		-	-	-	GR2_CLT_ SEL_ST	-	-	-	GR1_CLT_ SEL_ST
歪み補正 エンジン	CR	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	
		SWRST	-	-	-	-	-	-	-
		-	-	RESUME	STOP	-	-	ARS	RS
	SR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	DSA	-	STP	-	INT	IER	TRA
	SRCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	STPCLR	-	INTCLR	IERCLR	TRACLR

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
歪み補正 エンジン	ICR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	STPENB	-	INTENB	IERENB	TRAENB
	IMR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	STM	-	INM	IEM	TRAM
	DLPR	DLP[31]	DLP[30]	DLP[29]	DLP[28]	DLP[27]	DLP[26]	DLP[25]	DLP[24]
		DLP[23]	DLP[22]	DLP[21]	DLP[20]	DLP[19]	DLP[18]	DLP[17]	DLP[16]
		DLP[15]	DLP[14]	DLP[13]	DLP[12]	DLP[11]	DLP[10]	DLP[9]	DLP[8]
		DLP[7]	DLP[6]	DLP[5]	DLP[4]	DLP[3]	DLP[2]	DLP[1]	DLP[0]
	DLSAR	DLSA[31]	DLSA[30]	DLSA[29]	DLSA[28]	DLSA[27]	DLSA[26]	DLSA[25]	DLSA[24]
		DLSA[23]	DLSA[22]	DLSA[21]	DLSA[20]	DLSA[19]	DLSA[18]	DLSA[17]	DLSA[16]
		DLSA[15]	DLSA[14]	DLSA[13]	DLSA[12]	DLSA[11]	DLSA[10]	DLSA[9]	DLSA[8]
		DLSA[7]	DLSA[6]	DLSA[5]	DLSA[4]	DLSA[3]	DLSA[2]	DLSA[1]	DLSA[0]
	DSAR	DSAR[31]	DSAR[30]	DSAR[29]	DSAR[28]	DSAR[27]	DSAR[26]	DSAR[25]	DSAR[24]
		DSAR[23]	DSAR[22]	DSAR[21]	DSAR[20]	DSAR[19]	DSAR[18]	DSAR[17]	DSAR[16]
		DSAR[15]	DSAR[14]	DSAR[13]	DSAR[12]	DSAR[11]	DSAR[10]	DSAR[9]	DSAR[8]
		DSAR[7]	DSAR[6]	DSAR[5]	DSAR[4]	DSAR[3]	DSAR[2]	DSAR[1]	DSAR[0]
	DSTR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	DSTR[12]	DSTR[11]	DSTR[10]	DSTR[9]	DSTR[8]
		DSTR[7]	DSTR[6]	DSTR[5]	DSTR[4]	DSTR[3]	DSTR[2]	DSTR[1]	DSTR[0]
	DSAR2	DSAR2[31]	DSAR2[30]	DSAR2[29]	DSAR2[28]	DSAR2[27]	DSAR2[26]	DSAR2[25]	DSAR2[24]
		DSAR2[23]	DSAR2[22]	DSAR2[21]	DSAR2[20]	DSAR2[19]	DSAR2[18]	DSAR2[17]	DSAR2[16]
		DSAR2[15]	DSAR2[14]	DSAR2[13]	DSAR2[12]	DSAR2[11]	DSAR2[10]	DSAR2[9]	DSAR2[8]
		DSAR2[7]	DSAR2[6]	DSAR2[5]	DSAR2[4]	DSAR2[3]	DSAR2[2]	DSAR2[1]	DSAR2[0]
	DLSAR2	DLSA[31]	DLSA[30]	DLSA[29]	DLSA[28]	DLSA[27]	DLSA[26]	DLSA[25]	DLSA[24]
		DLSA[23]	DLSA[22]	DLSA[21]	DLSA[20]	DLSA[19]	DLSA[18]	DLSA[17]	DLSA[16]
		DLSA[15]	DLSA[14]	DLSA[13]	DLSA[12]	DLSA[11]	DLSA[10]	DLSA[9]	DLSA[8]
		DLSA[7]	DLSA[6]	DLSA[5]	DLSA[4]	DLSA[3]	DLSA[2]	DLSA[1]	DLSA[0]
	TRIMR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	TCM	DUDVM	DXDYM	AUTOSG	AUTODG	BFE	TME

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
歪み補正 エンジン	TRIMSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	TCMS	DUDVMS	DXDYMS	AUTOSGS	AUTODGS	BFES	TMES
	TRIMCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	TCMC	DUDVMC	DXDYMC	AUTOSGC	AUTODGC	BFEC	TMEC
	TRICR	-	-	-	-	-	-	-	-
		TCV[7]	TCV[6]	TCV[5]	TCV[4]	TCV[3]	TCV[2]	TCV[1]	TCV[0]
		TCU[7]	TCU[6]	TCU[5]	TCU[4]	TCU[3]	TCU[2]	TCU[1]	TCU[0]
		TCY[7]	TCY[6]	TCY[5]	TCY[4]	TCY[3]	TCY[2]	TCY[1]	TCY[0]
	UVDPOR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	DDP
		-	-	-	-	-	UVDPO[2]	UVDPO[1]	UVDPO[0]
	SUSR	-	-	-	-	-	-	SUW[9]	SUW[8]
		SUW[7]	SUW[6]	SUW[5]	SUW[4]	SUW[3]	SUW[2]	SUW[1]	SUW[0]
		-	-	-	-	-	-	SVW[9]	SVW[8]
		SVW[7]	SVW[6]	SVW[5]	SVW[4]	SVW[3]	SVW[2]	SVW[1]	SVW[0]
	SVSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	SVSR[9]	SVSR[8]
		SVSR[7]	SVSR[6]	SVSR[5]	SVSR[4]	SVSR[3]	SVSR[2]	SVSR[1]	SVSR[0]
	XMINR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	XMIN[11]	XMIN[10]	XMIN[9]	XMIN[8]
		XMIN[7]	XMIN[6]	XMIN[5]	XMIN[4]	XMIN[3]	XMIN[2]	XMIN[1]	XMIN[0]
	YMINR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	YMIN[11]	YMIN[10]	YMIN[9]	YMIN[8]
		YMIN[7]	YMIN[6]	YMIN[5]	YMIN[4]	YMIN[3]	YMIN[2]	YMIN[1]	YMIN[0]
	XMAXR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	XMAX[11]	XMAX[10]	XMAX[9]	XMAX[8]
		XMAX[7]	XMAX[6]	XMAX[5]	XMAX[4]	XMAX[3]	XMAX[2]	XMAX[1]	XMAX[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
歪み補正 エンジン	YMAXR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	YMAX[11]	YMAX[10]	YMAX[9]	YMAX[8]
		YMAX[7]	YMAX[6]	YMAX[5]	YMAX[4]	YMAX[3]	YMAX[2]	YMAX[1]	YMAX[0]
	AMXSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	AMXS[9]	AMXS[8]
		AMXS[7]	AMXS[6]	AMXS[5]	AMXS[4]	AMXS[3]	AMXS[2]	AMXS[1]	AMXS[0]
	AMYSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	AMYS[9]	AMYS[8]
		AMYS[7]	AMYS[6]	AMYS[5]	AMYS[4]	AMYS[3]	AMYS[2]	AMYS[1]	AMYS[0]
	AMXOR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	AMXO[9]	AMXO[8]
		AMXO[7]	AMXO[6]	AMXO[5]	AMXO[4]	AMXO[3]	AMXO[2]	AMXO[1]	AMXO[0]
	AMYOR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	AMYO[9]	AMYO[8]
		AMYO[7]	AMYO[6]	AMYO[5]	AMYO[4]	AMYO[3]	AMYO[2]	AMYO[1]	AMYO[0]
	MACR1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	EMAM	-	-	LWSWAP	-
		-	-	-	-	-	-	-	-
	LSPR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	LSPR[9]	LSPR[8]
		LSPR[7]	LSPR[6]	LSPR[5]	LSPR[4]	LSPR[3]	LSPR[2]	LSPR[1]	LSPR[0]
	LEPR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	LEPR[9]	LEPR[8]
		LEPR[7]	LEPR[6]	LEPR[5]	LEPR[4]	LEPR[3]	LEPR[2]	LEPR[1]	LEPR[0]
	LMSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	LMSR[2]	LMSR[1]	LMSR[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ディスプレイ アウト コンペア ユニット	DOCMCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CMPRU
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CMPR
	DOCMSTR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CMPOST
	DOCMCLSTR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CMPCCLST
	DOCMENR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CMPIEN
	DOCMPMR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CMPCBT
		CMPCDFA[7]	CMPCDFA[6]	CMPCDFA[5]	CMPCDFA[4]	CMPCDFA[3]	CMPCDFA[2]	CMPCDFA[1]	CMPCDFA[0]
		CMPCDAUF	-	-	-	CMPCSELP[3]	CMPCSELP[2]	CMPCSELP[1]	CMPCSELP[0]
	DOCMCCRRCR	CMPCRCR [31]	CMPCRCR [30]	CMPCRCR [29]	CMPCRCR [28]	CMPCRCR [27]	CMPCRCR [26]	CMPCRCR [25]	CMPCRCR [24]
		CMPCRCR [23]	CMPCRCR [22]	CMPCRCR [21]	CMPCRCR [20]	CMPCRCR [19]	CMPCRCR [18]	CMPCRCR [17]	CMPCRCR [16]
		CMPCRCR [15]	CMPCRCR [14]	CMPCRCR [13]	CMPCRCR [12]	CMPCRCR [11]	CMPCRCR [10]	CMPCRCR [9]	CMPCRCR [8]
		CMPCRCR[7]	CMPCRCR[6]	CMPCRCR[5]	CMPCRCR[4]	CMPCRCR[3]	CMPCRCR[2]	CMPCRCR[1]	CMPCRCR[0]
	DOCMCCRCR	CMPCRCR [31]	CMPCRCR [30]	CMPCRCR [29]	CMPCRCR [28]	CMPCRCR [27]	CMPCRCR C[26]	CMPCRCR [25]	CMPCRCR [24]
		CMPCRCR [23]	CMPCRCR [22]	CMPCRCR [21]	CMPCRCR [20]	CMPCRCR [19]	CMPCRCR [18]	CMPCRCR [17]	CMPCRCR [16]
		CMPCRCR [15]	CMPCRCR [14]	CMPCRCR [13]	CMPCRCR [12]	CMPCRCR [11]	CMPCRCR [10]	CMPCRCR [9]	CMPCRCR [8]
		CMPCRCR[7]	CMPCRCR[6]	CMPCRCR[5]	CMPCRCR[4]	CMPCRCR[3]	CMPCRCR[2]	CMPCRCR[1]	CMPCRCR[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ディスプレイ アウト コンペア ユニット	DOCMSPIXR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	CMPSPX[10]	CMPSPX[9]	CMPSPX[8]
		CMPSPX[7]	CMPSPX[6]	CMPSPX[5]	CMPSPX[4]	CMPSPX[3]	CMPSPX[2]	CMPSPX[1]	CMPSPX[0]
	DOCMSPIYR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	CMPSPY[10]	CMPSPY[9]	CMPSPY[8]
		CMPSPY[7]	CMPSPY[6]	CMPSPY[5]	CMPSPY[4]	CMPSPY[3]	CMPSPY[2]	CMPSPY[1]	CMPSPY[0]
	DOCMSZXR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	CMPSZX[10]	CMPSZX[9]	CMPSZX[8]
		CMPSZX[7]	CMPSZX[6]	CMPSZX[5]	CMPSZX[4]	CMPSZX[3]	CMPSZX[2]	CMPSZX[1]	CMPSZX[0]
	DOCMSZYR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	CMPSZY[10]	CMPSZY[9]	CMPSZY[8]
		CMPSZY[7]	CMPSZY[6]	CMPSZY[5]	CMPSZY[4]	CMPSZY[3]	CMPSZY[2]	CMPSZY[1]	CMPSZY[0]
	DOCMCRCIR	CRCINI[31]	CRCINI[30]	CRCINI[29]	CRCINI[28]	CRCINI[27]	CRCINI[26]	CRCINI[25]	CRCINI[24]
		CRCINI[23]	CRCINI[22]	CRCINI[21]	CRCINI[20]	CRCINI[19]	CRCINI[18]	CRCINI[17]	CRCINI[16]
		CRCINI[15]	CRCINI[14]	CRCINI[13]	CRCINI[12]	CRCINI[11]	CRCINI[10]	CRCINI[9]	CRCINI[8]
		CRCINI[7]	CRCINI[6]	CRCINI[5]	CRCINI[4]	CRCINI[3]	CRCINI[2]	CRCINI[1]	CRCINI[0]
JPEG コーデック ユニット	JCMOD	-	-	-	-	DSP	REDUJ[2]	REDUJ[1]	REDUJ[0]
	JCCMD	BRST	-	-	-	-	JEND	JRST	JSRT
	JCQTN	-	-	QT3[1]	QT3[0]	QT2[1]	QT2[0]	QT1[1]	QT1[0]
	JCHTN	-	-	HTA3	HTD3	HTA2	HTD2	HTA1	HTD1
	JCDRIU	DRIU[7]	DRIU[6]	DRIU[5]	DRIU[4]	DRIU[3]	DRIU[2]	DRIU[1]	DRIU[0]
	JCDRID	DRID[7]	DRID[6]	DRID[5]	DRID[4]	DRID[3]	DRID[2]	DRID[1]	DRID[0]
	JCVSZU	VSZU[7]	VSZU[6]	VSZU[5]	VSZU[4]	VSZU[3]	VSZU[2]	VSZU[1]	VSZU[0]
	JCVSZD	VSZD[7]	VSZD[6]	VSZD[5]	VSZD[4]	VSZD[3]	VSZD[2]	VSZD[1]	VSZD[0]
	JCHSZU	HSZU[7]	HSZU[6]	HSZU[5]	HSZU[4]	HSZU[3]	HSZU[2]	HSZU[1]	HSZU[0]
	JCHSZD	HSZD[7]	HSZD[6]	HSZD[5]	HSZD[4]	HSZD[3]	HSZD[2]	HSZD[1]	HSZD[0]
	JCDTCU	DCU[7]	DCU[6]	DCU[5]	DCU[4]	DCU[3]	DCU[2]	DCU[1]	DCU[0]
	JCDTCM	DCM[7]	DCM[6]	DCM[5]	DCM[4]	DCM[3]	DCM[2]	DCM[1]	DCM[0]
	JCDTCD	DCD[7]	DCD[6]	DCD[5]	DCD[4]	DCD[3]	DCD[2]	DCD[1]	DCD[0]
	JINTE0	INT7	INT6	INT5	-	INT3	-	-	-
JINTS0	-	INS6	INS5	-	INS3	-	-	-	
JCDERR	-	-	-	-	ERR[3]	ERR[2]	ERR[1]	ERR[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
JPEG コーデック ユニット	JCRST	-	-	-	-	-	-	-	RST
	JIFECNT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	JOUTSWAP [2]	JOUTSWAP [1]	JOUTSWAP [0]
		-	DINRINI	DINRCMD	DINLC	-	DINSWAP[2]	DINSWAP[1]	DINSWAP[0]
	JIFESA	ESA[31]	ESA[30]	ESA[29]	ESA[28]	ESA[27]	ESA[26]	ESA[25]	ESA[24]
		ESA[23]	ESA[22]	ESA[21]	ESA[20]	ESA[19]	ESA[18]	ESA[17]	ESA[16]
		ESA[15]	ESA[14]	ESA[13]	ESA[12]	ESA[11]	ESA[10]	ESA[9]	ESA[8]
		ESA[7]	ESA[6]	ESA[5]	ESA[4]	ESA[3]	ESA[2]	ESA[1]	ESA[0]
	JIFESOFST	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	ESMW[14]	ESMW[13]	ESMW[12]	ESMW[11]	ESMW[10]	ESMW[9]	ESMW[8]
		ESMW[7]	ESMW[6]	ESMW[5]	ESMW[4]	ESMW[3]	ESMW[2]	ESMW[1]	ESMW[0]
	JIFEDA	EDA[31]	EDA[30]	EDA[29]	EDA[28]	EDA[27]	EDA[26]	EDA[25]	EDA[24]
		EDA[23]	EDA[22]	EDA[21]	EDA[20]	EDA[19]	EDA[18]	EDA[17]	EDA[16]
		EDA[15]	EDA[14]	EDA[13]	EDA[12]	EDA[11]	EDA[10]	EDA[9]	EDA[8]
		EDA[7]	EDA[6]	EDA[5]	EDA[4]	EDA[3]	EDA[2]	EDA[1]	EDA[0]
	JIFESLC	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		LINES[15]	LINES[14]	LINES[13]	LINES[12]	LINES[11]	LINES[10]	LINES[9]	LINES[8]
		LINES[7]	LINES[6]	LINES[5]	LINES[4]	LINES[3]	LINES[2]	LINES[1]	LINES[0]
	JIFDCNT	-	-	VINTER[1]	VINTER[0]	HINTER[1]	HINTER[0]	OPF[1]	OPF[0]
		-	-	-	-	-	-	-	-
		-	JINRINI	JINRCMD	JINC	-	JINSWAP[2]	JINSWAP[1]	JINSWAP[0]
		-	DOUTrINI	DOUTrCMD	DOUTrLC	-	DOUTrSWAP [2]	DOUTrSWAP [1]	DOUTrSWAP [0]
	JIFDSA	DSA[31]	DSA[30]	DSA[29]	DSA[28]	DSA[27]	DSA[26]	DSA[25]	DSA[24]
		DSA[23]	DSA[22]	DSA[21]	DSA[20]	DSA[19]	DSA[18]	DSA[17]	DSA[16]
		DSA[15]	DSA[14]	DSA[13]	DSA[12]	DSA[11]	DSA[10]	DSA[9]	DSA[8]
		DSA[7]	DSA[6]	DSA[5]	DSA[4]	DSA[3]	DSA[2]	DSA[1]	DSA[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
JPEG コーデック ユニット	JIFDDOFST	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	DDMW[14]	DDMW[13]	DDMW[12]	DDMW[11]	DDMW[10]	DDMW[9]	DDMW[8]
		DDMW[7]	DDMW[6]	DDMW[5]	DDMW[4]	DDMW[3]	DDMW[2]	DDMW[1]	DDMW[0]
	JIFDDA	DDA[31]	DDA[30]	DDA[29]	DDA[28]	DDA[27]	DDA[26]	DDA[25]	DDA[24]
		DDA[23]	DDA[22]	DDA[21]	DDA[20]	DDA[19]	DDA[18]	DDA[17]	DDA[16]
		DDA[15]	DDA[14]	DDA[13]	DDA[12]	DDA[11]	DDA[10]	DDA[9]	DDA[8]
		DDA[7]	DDA[6]	DDA[5]	DDA[4]	DDA[3]	DDA[2]	DDA[1]	DDA[0]
	JIFSDSC	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		JDATAS[15]	JDATAS[14]	JDATAS[13]	JDATAS[12]	JDATAS[11]	JDATAS[10]	JDATAS[9]	JDATAS[8]
		JDATAS[7]	JDATAS[6]	JDATAS[5]	JDATAS[4]	JDATAS[3]	JDATAS[2]	JDATAS[1]	JDATAS[0]
	JIFDDL	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		LINES[15]	LINES[14]	LINES[13]	LINES[12]	LINES[11]	LINES[10]	LINES[9]	LINES[8]
		LINES[7]	LINES[6]	LINES[5]	LINES[4]	LINES[3]	LINES[2]	LINES[1]	LINES[0]
	JIFDADT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		ALPHA[7]	ALPHA[6]	ALPHA[5]	ALPHA[4]	ALPHA[3]	ALPHA[2]	ALPHA[1]	ALPHA[0]
	JINTE1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	CBTEN	DINLEN	-	-	DBTEN	JINEN	DOUTLEN
	JINTS1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	CBTF	DINLF	-	-	DBTF	JINF	DOULF
	サンプリング レート コンバータ	SRCID_0							
SRCOD_0									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
サンプリング レート コンバータ	SRCIDCTRL _0	-	-	-	-	-	-	IED	IEN	
		-	-	-	-	-	-	IFTRG[1]	IFTRG[0]	
	SRCODCTRL _0	-	-	-	-	-	-	OCH	OED	OEN
		-	-	-	-	-	-	-	OFTRG[1]	OFTRG[0]
	SRCCTRL_0	-	-	CEEN	SRCEN	UDEN	OVEN	FL	CL	
		IFS[3]	IFS[2]	IFS[1]	IFS[0]	-	OFS[2]	OFS[1]	OFS[0]	
	SRCSTAT_0	OFDN[4]	OFDN[3]	OFDN[2]	OFDN[1]	OFDN[0]	IFDN[3]	IFDN[2]	IFDN[1]	
		IFDN[0]	-	CEF	FLF	UDF	OVF	IINT	OINT	
	SRCID_1									
	SRCOD_1									
	SRCIDCTRL _1	-	-	-	-	-	-	-	IED	IEN
		-	-	-	-	-	-	-	IFTRG[1]	IFTRG[0]
	SRCODCTRL _1	-	-	-	-	-	-	OCH	OED	OEN
		-	-	-	-	-	-	-	OFTRG[1]	OFTRG[0]
	SRCCTRL_1	-	-	CEEN	SRCEN	UDEN	OVEN	FL	CL	
		IFS[3]	IFS[2]	IFS[1]	IFS[0]	-	OFS[2]	OFS[1]	OFS[0]	
	SRCSTAT_1	OFDN[4]	OFDN[3]	OFDN[2]	OFDN[1]	OFDN[0]	IFDN[3]	IFDN[2]	IFDN[1]	
		IFDN[0]	-	CEF	FLF	UDF	OVF	IINT	OINT	
SRCID_2										
SRCOD_2										
SRCIDCTRL _2	-	-	-	-	-	-	-	IED	IEN	
	-	-	-	-	-	-	-	IFTRG[1]	IFTRG[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
サンプリング レート コンバータ	SRCODCTRL_2	-	-	-	-	-	OCH	OED	OEN
		-	-	-	-	-	-	OFTRG[1]	OFTRG[0]
	SRCTRL_2	-	-	CEEN	SRCEN	UDEN	OVEN	FL	CL
		IFS[3]	IFS[2]	IFS[1]	IFS[0]	-	OFS[2]	OFS[1]	OFS[0]
	SRSTAT_2	OFDN[4]	OFDN[3]	OFDN[2]	OFDN[1]	OFDN[0]	IFDN[3]	IFDN[2]	IFDN[1]
	IFDN[0]	-	CEF	FLF	UDF	OVF	IINT	OINT	
サウンド ジェネレータ	SGCR1_0	SGST	STPM	-	SGCK[1]	SGCK[0]	DPF[2]	DPF[1]	DPF[0]
	SGCSR_0	SGIE	SGDEF	-	-	-	-	-	-
	SGCR2_0	SGEND	TCHG	-	-	-	-	-	-
	SGLR_0	LD[7]	LD[6]	LD[5]	LD[4]	LD[3]	LD[2]	LD[1]	LD[0]
	SGTFR_0	-	TONE[6]	TONE[5]	TONE[4]	TONE[3]	TONE[2]	TONE[1]	TONE[0]
	SGSFR_0	SFS[7]	SFS[6]	SFS[5]	SFS[4]	SFS[3]	SFS[2]	SFS[1]	SFS[0]
	SGCR1_1	SGST	STPM	-	SGCK[1]	SGCK[0]	DPF[2]	DPF[1]	DPF[0]
	SGCSR_1	SGIE	SGDEF	-	-	-	-	-	-
	SGCR2_1	SGEND	TCHG	-	-	-	-	-	-
	SGLR_1	LD[7]	LD[6]	LD[5]	LD[4]	LD[3]	LD[2]	LD[1]	LD[0]
	SGTFR_1	-	TONE[6]	TONE[5]	TONE[4]	TONE[3]	TONE[2]	TONE[1]	TONE[0]
	SGSFR_1	SFS[7]	SFS[6]	SFS[5]	SFS[4]	SFS[3]	SFS[2]	SFS[1]	SFS[0]
	SGCR1_2	SGST	STPM	-	SGCK[1]	SGCK[0]	DPF[2]	DPF[1]	DPF[0]
	SGCSR_2	SGIE	SGDEF	-	-	-	-	-	-
	SGCR2_2	SGEND	TCHG	-	-	-	-	-	-
	SGLR_2	LD[7]	LD[6]	LD[5]	LD[4]	LD[3]	LD[2]	LD[1]	LD[0]
	SGTFR_2	-	TONE[6]	TONE[5]	TONE[4]	TONE[3]	TONE[2]	TONE[1]	TONE[0]
	SGSFR_2	SFS[7]	SFS[6]	SFS[5]	SFS[4]	SFS[3]	SFS[2]	SFS[1]	SFS[0]
	SGCR1_3	SGST	STPM	-	SGCK[1]	SGCK[0]	DPF[2]	DPF[1]	DPF[0]
	SGCSR_3	SGIE	SGDEF	-	-	-	-	-	-
	SGCR2_3	SGEND	TCHG	-	-	-	-	-	-
	SGLR_3	LD[7]	LD[6]	LD[5]	LD[4]	LD[3]	LD[2]	LD[1]	LD[0]
	SGTFR_3	-	TONE[6]	TONE[5]	TONE[4]	TONE[3]	TONE[2]	TONE[1]	TONE[0]
	SGSFR_3	SFS[7]	SFS[6]	SFS[5]	SFS[4]	SFS[3]	SFS[2]	SFS[1]	SFS[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MMC ホスト インタ フェース	CE_CMD_SET	-	-	CMD[5]	CMD[4]	CMD[3]	CMD[2]	CMD[1]	CMD[0]
		RTYP[1]	RTYP[0]	RBSY	-	WDAT	DWEN	CMLTE	CMD12EN
		RIDXC[1]	RIDXC[0]	RCRC7C[1]	RCRC7C[0]	-	CRC16C	-	CRCSTE
		TBIT	OPDM	-	-	SBIT	-	DATW[1]	DATW[0]
	CE_ARG	ARG[31]	ARG[30]	ARG[29]	ARG[28]	ARG[27]	ARG[26]	ARG[25]	ARG[24]
		ARG[23]	ARG[22]	ARG[21]	ARG[20]	ARG[19]	ARG[18]	ARG[17]	ARG[16]
		ARG[15]	ARG[14]	ARG[13]	ARG[12]	ARG[11]	ARG[10]	ARG[9]	ARG[8]
		ARG[7]	ARG[6]	ARG[5]	ARG[4]	ARG[3]	ARG[2]	ARG[1]	ARG[0]
	CE_ARG_ CMD12	C12ARG[31]	C12ARG[30]	C12ARG[29]	C12ARG[28]	C12ARG[27]	C12ARG[26]	C12ARG[25]	C12ARG[24]
		C12ARG[23]	C12ARG[22]	C12ARG[21]	C12ARG[20]	C12ARG[19]	C12ARG[18]	C12ARG[17]	C12ARG[16]
		C12ARG[15]	C12ARG[14]	C12ARG[13]	C12ARG[12]	C12ARG[11]	C12ARG[10]	C12ARG[9]	C12ARG[8]
		C12ARG[7]	C12ARG[6]	C12ARG[5]	C12ARG[4]	C12ARG[3]	C12ARG[2]	C12ARG[1]	C12ARG[0]
	CE_CMD_ CTRL	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	BREAK
	CE_BLOCK_ SET	BLKCNT[15]	BLKCNT[14]	BLKCNT[13]	BLKCNT[12]	BLKCNT[11]	BLKCNT[10]	BLKCNT[9]	BLKCNT[8]
		BLKCNT[7]	BLKCNT[6]	BLKCNT[5]	BLKCNT[4]	BLKCNT[3]	BLKCNT[2]	BLKCNT[1]	BLKCNT[0]
		BLKSIZ[15]	BLKSIZ[14]	BLKSIZ[13]	BLKSIZ[12]	BLKSIZ[11]	BLKSIZ[10]	BLKSIZ[9]	BLKSIZ[8]
		BLKSIZ[7]	BLKSIZ[6]	BLKSIZ[5]	BLKSIZ[4]	BLKSIZ[3]	BLKSIZ[2]	BLKSIZ[1]	BLKSIZ[0]
	CE_CLK_ CTRL	-	-	-	-	-	-	-	CLKEN
		-	-	-	-	CLKDIV[3]	CLKDIV[2]	CLKDIV[1]	CLKDIV[0]
		-	-	SRSPTO[1]	SRSPTO[0]	SRBSYTO[3]	SRBSYTO[2]	SRBSYTO[1]	SRBSYTO[0]
		SRWDTO[3]	SRWDTO[2]	SRWDTO[1]	SRWDTO[0]	-	-	-	-
	CE_BUF_ACC	-	-	-	-	-	-	DMAWEN	DMAREN
		-	-	-	-	-	-	BUSW	ATYP
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	CE_RESP3	RSP[127]	RSP[126]	RSP[125]	RSP[124]	RSP[123]	RSP[122]	RSP[121]	RSP[120]
		RSP[119]	RSP[118]	RSP[117]	RSP[116]	RSP[115]	RSP[114]	RSP[113]	RSP[112]
		RSP[111]	RSP[110]	RSP[109]	RSP[108]	RSP[107]	RSP[106]	RSP[105]	RSP[104]
		RSP[103]	RSP[102]	RSP[101]	RSP[100]	RSP[99]	RSP[98]	RSP[97]	RSP[96]
CE_RESP2	RSP[95]	RSP[94]	RSP[93]	RSP[92]	RSP[91]	RSP[90]	RSP[89]	RSP[88]	
	RSP[87]	RSP[86]	RSP[85]	RSP[84]	RSP[83]	RSP[82]	RSP[81]	RSP[80]	
	RSP[79]	RSP[78]	RSP[77]	RSP[76]	RSP[75]	RSP[74]	RSP[73]	RSP[72]	
	RSP[71]	RSP[70]	RSP[69]	RSP[68]	RSP[67]	RSP[66]	RSP[65]	RSP[64]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MMC ホスト インタ フェース	CE_RESP1	RSP[63]	RSP[62]	RSP[61]	RSP[60]	RSP[59]	RSP[58]	RSP[57]	RSP[56]
		RSP[55]	RSP[54]	RSP[53]	RSP[52]	RSP[51]	RSP[50]	RSP[49]	RSP[48]
		RSP[47]	RSP[46]	RSP[45]	RSP[44]	RSP[43]	RSP[42]	RSP[41]	RSP[40]
		RSP[39]	RSP[38]	RSP[37]	RSP[36]	RSP[35]	RSP[34]	RSP[33]	RSP[32]
	CE_RESP0	RSP[31]	RSP[30]	RSP[29]	RSP[28]	RSP[27]	RSP[26]	RSP[25]	RSP[24]
		RSP[23]	RSP[22]	RSP[21]	RSP[20]	RSP[19]	RSP[18]	RSP[17]	RSP[16]
		RSP[15]	RSP[14]	RSP[13]	RSP[12]	RSP[11]	RSP[10]	RSP[9]	RSP[8]
		RSP[7]	RSP[6]	RSP[5]	RSP[4]	RSP[3]	RSP[2]	RSP[1]	RSP[0]
	CE_RESP_ CMD12	RSP12[31]	RSP12[30]	RSP12[29]	RSP12[28]	RSP12[27]	RSP12[26]	RSP12[25]	RSP12[24]
		RSP12[23]	RSP12[22]	RSP12[21]	RSP12[20]	RSP12[19]	RSP12[18]	RSP12[17]	RSP12[16]
		RSP12[15]	RSP12[14]	RSP12[13]	RSP12[12]	RSP12[11]	RSP12[10]	RSP12[9]	RSP12[8]
		RSP12[7]	RSP12[6]	RSP12[5]	RSP12[4]	RSP12[3]	RSP12[2]	RSP12[1]	RSP12[0]
	CE_DATA	DATA[31]	DATA[30]	DATA[29]	DATA[28]	DATA[27]	DATA[26]	DATA[25]	DATA[24]
		DATA[23]	DATA[22]	DATA[21]	DATA[20]	DATA[19]	DATA[18]	DATA[17]	DATA[16]
		DATA[15]	DATA[14]	DATA[13]	DATA[12]	DATA[11]	DATA[10]	DATA[9]	DATA[8]
		DATA[7]	DATA[6]	DATA[5]	DATA[4]	DATA[3]	DATA[2]	DATA[1]	DATA[0]
	CE_INT	-	-	-	-	-	CMD12DRE	CMD12RBE	CMD12CRE
		DTRANE	BUFRE	BUFWEN	BUFREN	-	-	RBSYE	CRSPE
		CMDVIO	BUFVIO	-	-	WDATERR	RDATERR	RIDXERR	RSPERR
		-	-	-	CRCSTO	WDATTO	RDATTO	RBSYTO	RSPTO
	CE_INT_EN	-	-	-	-	-	MCMD12DRE	MCMD12RBE	MCMD12CRE
		MDTRANE	MBUFRE	MBUFWEN	MBUFREN	-	-	MRBSYE	MCRSPE
		MCMDVIO	MBUFVIO	-	-	MWDATERR	MRDATERR	MRIDXERR	MRSPERR
		-	-	-	MRCRCSTO	MWDATTO	MRDATTO	MRBSYTO	MRSPTO
	CE_HOST_ STS1	CMDSEQ	CMDSIG	RSPIDX[5]	RSPIDX[4]	RSPIDX[3]	RSPIDX[2]	RSPIDX[1]	RSPIDX[0]
		DATSIG[7]	DATSIG[6]	DATSIG[5]	DATSIG[4]	DATSIG[3]	DATSIG[2]	DATSIG[1]	DATSIG[0]
		RCVBLK[15]	RCVBLK[14]	RCVBLK[13]	RCVBLK[12]	RCVBLK[11]	RCVBLK[10]	RCVBLK[9]	RCVBLK[8]
		RCVBLK[7]	RCVBLK[6]	RCVBLK[5]	RCVBLK[4]	RCVBLK[3]	RCVBLK[2]	RCVBLK[1]	RCVBLK[0]
	CE_HOST_ STS2	CRCSTE	CRC16E	AC12CRCE	RSPCRC7E	CRCSTEBE	RDATEBE	AC12REBE	RSPEBE
		AC12IDXE	RSPIDXE	-	-	-	CRCST[2]	CRCST[1]	CRCST[0]
		-	STRDATTO	DATBSYTO	CRCSTTO	AC12BSYTO	RSPBSYTO	AC12RSPTO	STRSPTO
		-	-	-	-	-	-	-	-
	CE_DMA_ MODE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	DMASEL

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MMC ホスト インタ フェース	CE_DETECT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	CDSIG	CDRISE	CDFALL	-	-	-	-
		-	-	MCDRISE	MCDFALL	-	-	-	-
	CE_ADD_ MODE	-	-	-	-	-	-	-	-
		-	-	-	-	CLKMAIN	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	CE_VERSION	SWRST	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		VERSION[15]	VERSION[14]	VERSION[13]	VERSION[12]	VERSION[11]	VERSION[10]	VERSION[9]	VERSION[8]
		VERSION[7]	VERSION[6]	VERSION[5]	VERSION[4]	VERSION[3]	VERSION[2]	VERSION[1]	VERSION[0]
	モータ コントロール PWM タイマ	PWCR_1	-	-	IE	CMF	CST	CKS2	CKS1
PWPR_1		OPS1H	OPS1G	OPS1F	OPS1E	OPS1D	OPS1C	OPS1B	OPS1A
PWCYR_1		PWCY15	PWCY14	PWCY13	PWCY12	PWCY11	PWCY10	PWCY9	PWCY8
		PWCY7	PWCY6	PWCY5	PWCY4	PWCY3	PWCY2	PWCY1	PWCY0
PWBFR_1A		-	-	-	OTS	-	-	DT9	DT8
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
PWBFR_1C		-	-	-	OTS	-	-	DT9	DT8
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
PWBFR_1E		-	-	-	OTS	-	-	DT9	DT8
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
PWBFR_1G		-	-	-	OTS	-	-	DT9	DT8
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
PWCR_2		-	-	IE	CMF	CST	CKS2	CKS1	CKS0
PWPR_2		OPS2H	OPS2G	OPS2F	OPS2E	OPS2D	OPS2C	OPS2B	OPS2A
PWCYR_2		PWCY15	PWCY14	PWCY13	PWCY12	PWCY11	PWCY10	PWCY9	PWCY8
		PWCY7	PWCY6	PWCY5	PWCY4	PWCY3	PWCY2	PWCY1	PWCY0
PWBFR_2A		-	-	-	OTS	-	-	DT9	DT8
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
PWBFR_2C		-	-	-	OTS	-	-	DT9	DT8
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
PWBFR_2E		-	-	-	OTS	-	-	DT9	DT8
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
モータ コントロール PWM タイマ	PWBFR_2G	-	-	-	OTS	-	-	DT9	DT8	
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
	PWBTCR	BTC2G	BTC2E	BTC2C	BTC2A	BTC1G	BTC1E	BTC1C	BTC1A	
		-	-	-	-	-	-	-	-	
汎用入出力 ポート	PAIOR0	-	-	-	-	-	-	-	PA1IOR	
		-	-	-	-	-	-	-	PA0IOR	
	PADR0	-	-	-	-	-	-	-	PA1DR	
		-	-	-	-	-	-	-	PA0DR	
	PAPR0	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	PA1PR	PA0PR	
	PBCR5	-	-	-	-	-	-	PB22MD2	PB22MD1	PB22MD0
		-	-	PB21MD1	PB21MD0	-	-	PB20MD2	PB20MD1	PB20MD0
	PBCR4	-	PB19MD2	PB19MD1	PB19MD0	-	-	PB18MD2	PB18MD1	PB18MD0
		-	PB17MD2	PB17MD1	PB17MD0	-	-	PB16MD2	PB16MD1	PB16MD0
	PBCR3	-	PB15MD2	PB15MD1	PB15MD0	-	-	PB14MD2	PB14MD1	PB14MD0
		-	PB13MD2	PB13MD1	PB13MD0	-	-	-	PB12MD1	PB12MD0
	PBCR2	-	-	PB11MD1	PB11MD0	-	-	-	PB10MD1	PB10MD0
		-	-	PB9MD1	PB9MD0	-	-	-	PB8MD1	PB8MD0
	PBCR1	-	-	PB7MD1	PB7MD0	-	-	-	PB6MD1	PB6MD0
		-	-	PB5MD1	PB5MD0	-	-	-	PB4MD1	PB4MD0
	PBCR0	-	-	PB3MD1	PB3MD0	-	-	-	PB2MD1	PB2MD0
		-	-	PB1MD1	PB1MD0	-	-	-	-	-
	PBIOR1	-	-	-	-	-	-	-	-	-
		-	PB22IOR	PB21IOR	PB20IOR	PB19IOR	PB18IOR	PB17IOR	PB16IOR	-
	PBIOR0	PB15IOR	PB14IOR	PB13IOR	PB12IOR	PB11IOR	PB10IOR	PB9IOR	PB8IOR	-
		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	-	-
	PBDR1	-	-	-	-	-	-	-	-	-
		-	PB22DR	PB21DR	PB20DR	PB19DR	PB18DR	PB17DR	PB16DR	-
	PBDR0	PB15DR	PB14DR	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR	-
		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	-	-
	PBPR1	-	-	-	-	-	-	-	-	-
		-	PB22PR	PB21PR	PB20PR	PB19PR	PB18PR	PB17PR	PB16PR	-
	PBPR0	PB15PR	PB14PR	PB13PR	PB12PR	PB11PR	PB10PR	PB9PR	PB8PR	-
		PB7PR	PB6PR	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
汎用入出力 ポート	PCCR2	-	-	-	-	-	-	-	-
		-	-	-	-	-	PC8MD2	PC8MD1	PC8MD0
	PCCR1	-	PC7MD2	PC7MD1	PC7MD0	-	PC6MD2	PC6MD1	PC6MD0
		-	PC5MD2	PC5MD1	PC5MD0	-	-	PC4MD1	PC4MD0
	PCCR0	-	-	PC3MD1	PC3MD0	-	-	PC2MD1	PC2MD0
		-	-	-	PC1MD0	-	-	-	PC0MD0
	PCIOR0	-	-	-	-	-	-	-	PC8IOR
		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR
	PCDR0	-	-	-	-	-	-	-	PC8DR
		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
	PCPR0	-	-	-	-	-	-	-	PC8PR
		PC7PR	PC6PR	PC5PR	PC4PR	PC3PR	PC2PR	PC1PR	PC0PR
	PDCR3	-	-	PD15MD1	PD15MD0	-	-	PD14MD1	PD14MD0
		-	-	PD13MD1	PD13MD0	-	-	PD12MD1	PD12MD0
	PDCR2	-	-	PD11MD1	PD11MD0	-	-	PD10MD1	PD10MD0
		-	-	PD9MD1	PD9MD0	-	-	PD8MD1	PD8MD0
	PDCR1	-	-	PD7MD1	PD7MD0	-	-	PD6MD1	PD6MD0
		-	-	PD5MD1	PD5MD0	-	-	PD4MD1	PD4MD0
	PDCR0	-	-	PD3MD1	PD3MD0	-	-	PD2MD1	PD2MD0
		-	-	PD1MD1	PD1MD0	-	-	PD0MD1	PD0MD0
	PDIOR0	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR
		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR
	PDDR0	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR
		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
	PDPR0	PD15PR	PD14PR	PD13PR	PD12PR	PD11PR	PD10PR	PD9PR	PD8PR
		PD7PR	PD6PR	PD5PR	PD4PR	PD3PR	PD2PR	PD1PR	PD0PR
	PECR1	-	-	PE7MD1	PE7MD0	-	-	PE6MD1	PE6MD0
		-	-	PE5MD1	PE5MD0	-	-	PE4MD1	PE4MD0
	PECR0	-	PE3MD2	PE3MD1	PE3MD0	-	PE2MD2	PE2MD1	PE2MD0
		-	PE1MD2	PE1MD1	PE1MD0	-	-	PE0MD1	PE0MD0
	PEIOR0	-	-	-	-	-	-	-	-
		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR
	PEDR0	-	-	-	-	-	-	-	-
		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
汎用入出力 ポート	PEPR0	-	-	-	-	-	-	-	-
		PE7PR	PE6PR	PE5PR	PE4PR	PE3PR	PE2PR	PE1PR	PE0PR
	PFCR6	-	PF23MD2	PF23MD1	PF23MD0	-	PF22MD2	PF22MD1	PF22MD0
		-	PF21MD2	PF21MD1	PF21MD0	-	PF20MD2	PF20MD1	PF20MD0
	PFCR5	-	PF19MD2	PF19MD1	PF19MD0	-	PF18MD2	PF18MD1	PF18MD0
		-	PF17MD2	PF17MD1	PF17MD0	-	PF16MD2	PF16MD1	PF16MD0
	PFCR4	-	-	-	-	-	-	-	-
		-	-	-	-	-	PF15MD2	PF15MD1	PF15MD0
	PFCR3	-	-	-	-	-	PF14MD2	PF14MD1	PF14MD0
		-	PF13MD2	PF13MD1	PF13MD0	-	PF12MD2	PF12MD1	PF12MD0
	PFCR2	-	PF11MD2	PF11MD1	PF11MD0	-	PF10MD2	PF10MD1	PF10MD0
		-	PF9MD2	PF9MD1	PF9MD0	-	PF8MD2	PF8MD1	PF8MD0
	PFCR1	-	PF7MD2	PF7MD1	PF7MD0	-	PF6MD2	PF6MD1	PF6MD0
		-	PF5MD2	PF5MD1	PF5MD0	-	PF4MD2	PF4MD1	PF4MD0
	PFCR0	-	PF3MD2	PF3MD1	PF3MD0	-	PF2MD2	PF2MD1	PF2MD0
		-	PF1MD2	PF1MD1	PF1MD0	-	PF0MD2	PF0MD1	PF0MD0
	PFIOR1	-	-	-	-	-	-	-	-
		PF23IOR	PF22IOR	PF21IOR	PF20IOR	PF19IOR	PF18IOR	PF17IOR	PF16IOR
	PFIOR0	PF15IOR	PF14IOR	PF13IOR	PF12IOR	PF11IOR	PF10IOR	PF9IOR	PF8IOR
		PF7IOR	PF6IOR	PF5IOR	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR
	PFDR1	-	-	-	-	-	-	-	-
		PF23DR	PF22DR	PF21DR	PF20DR	PF19DR	PF18DR	PF17DR	PF16DR
	PFDR0	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR
		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
	PFPR1	-	-	-	-	-	-	-	-
		PF23PR	PF22PR	PF21PR	PF20PR	PF19PR	PF18PR	PF17PR	PF16PR
	PFPR0	PF15PR	PF14PR	PF13PR	PF12PR	PF11PR	PF10PR	PF9PR	PF8PR
		PF7PR	PF6PR	PF5PR	PF4PR	PF3PR	PF2PR	PF1PR	PF0PR
	PGCR6	-	-	PG27MD1	PG27MD0	-	-	PG26MD1	PG26MD0
		-	-	PG25MD1	PG25MD0	-	-	PG24MD1	PG24MD0
	PGCR5	-	PG23MD2	PG23MD1	PG23MD0	-	PG22MD2	PG22MD1	PG22MD0
		-	PG21MD2	PG21MD1	PG21MD0	-	PG20MD2	PG20MD1	PG20MD0
	PGCR4	-	PG19MD2	PG19MD1	PG19MD0	-	PG18MD2	PG18MD1	PG18MD0
		-	-	PG17MD1	PG17MD0	-	-	PG16MD1	PG16MD0
	PGCR3	-	-	PG15MD1	PG15MD0	-	-	PG14MD1	PG14MD0
		-	-	PG13MD1	PG13MD0	-	-	PG12MD1	PG12MD0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
汎用入出力 ポート	PGCR2	-	PG11MD2	PG11MD1	PG11MD0	-	PG10MD2	PG10MD1	PG10MD0
		-	PG9MD2	PG9MD1	PG9MD0	-	PG8MD2	PG8MD1	PG8MD0
	PGCR1	-	PG7MD2	PG7MD1	PG7MD0	-	PG6MD2	PG6MD1	PG6MD0
		-	PG5MD2	PG5MD1	PG5MD0	-	PG4MD2	PG4MD1	PG4MD0
	PGCR0	-	PG3MD2	PG3MD1	PG3MD0	-	PG2MD2	PG2MD1	PG2MD0
		-	PG1MD2	PG1MD1	PG1MD0	-	PG0MD2	PG0MD1	PG0MD0
	PGIOR1	-	-	-	-	PG27IOR	PG26IOR	PG25IOR	PG24IOR
		PG23IOR	PG22IOR	PG21IOR	PG20IOR	PG19IOR	PG18IOR	PG17IOR	PG16IOR
	PGIOR0	PG15IOR	PG14IOR	PG13IOR	PG12IOR	PG11IOR	PG10IOR	PG9IOR	PG8IOR
		PG7IOR	PG6IOR	PG5IOR	PG4IOR	PG3IOR	PG2IOR	PG1IOR	PG0IOR
	PGDR1	-	-	-	-	PG27DR	PG26DR	PG25DR	PG24DR
		PG23DR	PG22DR	PG21DR	PG20DR	PG19DR	PG18DR	PG17DR	PG16DR
	PGDR0	PG15DR	PG14DR	PG13DR	PG12DR	PG11DR	PG10DR	PG9DR	PG8DR
		PG7DR	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
	PGPR1	-	-	-	-	PG27PR	PG26PR	PG25PR	PG24PR
		PG23PR	PG22PR	PG21PR	PG20PR	PG19PR	PG18PR	PG17PR	PG16PR
	PGPR0	PG15PR	PG14PR	PG13PR	PG12PR	PG11PR	PG10PR	PG9PR	PG8PR
		PG7PR	PG6PR	PG5PR	PG4PR	PG3PR	PG2PR	PG1PR	PG0PR
	PHCR1	-	-	PH7MD1	PH7MD0	-	-	PH6MD1	PH6MD0
		-	-	PH5MD1	PH5MD0	-	-	PH4MD1	PH4MD0
	PHCR0	-	-	PH3MD1	PH3MD0	-	-	PH2MD1	PH2MD0
		-	-	PH1MD1	PH1MD0	-	-	PH0MD1	PH0MD0
	PHPR0	-	-	-	-	-	-	-	-
		PH7PR	PH6PR	PH5PR	PH4PR	PH3PR	PH2PR	PH1PR	PH0PR
	PJCR7	-	-	-	PJ31MD	-	PJ30MD2	PJ30MD1	PJ30MD0
		-	PJ29MD2	PJ29MD1	PJ29MD0	-	PJ28MD2	PJ28MD1	PJ28MD0
	PJCR6	-	PJ27MD2	PJ27MD1	PJ27MD0	-	PJ26MD2	PJ26MD1	PJ26MD0
		-	PJ25MD2	PJ25MD1	PJ25MD0	-	PJ24MD2	PJ24MD1	PJ24MD0
	PJCR5	-	PJ23MD2	PJ23MD1	PJ23MD0	-	PJ22MD2	PJ22MD1	PJ22MD0
		-	PJ21MD2	PJ21MD1	PJ21MD0	-	PJ20MD2	PJ20MD1	PJ20MD0
	PJCR4	-	PJ19MD2	PJ19MD1	PJ19MD0	-	PJ18MD2	PJ18MD1	PJ18MD0
		-	PJ17MD2	PJ17MD1	PJ17MD0	-	PJ16MD2	PJ16MD1	PJ16MD0
	PJCR3	-	PJ15MD2	PJ15MD1	PJ15MD0	-	PJ14MD2	PJ14MD1	PJ14MD0
		-	PJ13MD2	PJ13MD1	PJ13MD0	-	PJ12MD2	PJ12MD1	PJ12MD0
	PJCR2	-	PJ11MD2	PJ11MD1	PJ11MD0	-	PJ10MD2	PJ10MD1	PJ10MD0
		-	PJ9MD2	PJ9MD1	PJ9MD0	-	PJ8MD2	PJ8MD1	PJ8MD0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
汎用入出力 ポート	PJCR1	-	PJ7MD2	PJ7MD1	PJ7MD0	-	PJ6MD2	PJ6MD1	PJ6MD0
		-	PJ5MD2	PJ5MD1	PJ5MD0	-	PJ4MD2	PJ4MD1	PJ4MD0
	PJCR0	-	PJ3MD2	PJ3MD1	PJ3MD0	-	PJ2MD2	PJ2MD1	PJ2MD0
		-	PJ1MD2	PJ1MD1	PJ1MD0	-	PJ0MD2	PJ0MD1	PJ0MD0
	PJIOR1	PJ31IOR	PJ30IOR	PJ29IOR	PJ28IOR	PJ27IOR	PJ26IOR	PJ25IOR	PJ24IOR
		PJ23IOR	PJ22IOR	PJ21IOR	PJ20IOR	PJ19IOR	PJ18IOR	PJ17IOR	PJ16IOR
	PJIOR0	PJ15IOR	PJ14IOR	PJ13IOR	PJ12IOR	PJ11IOR	PJ10IOR	PJ9IOR	PJ8IOR
		PJ7IOR	PJ6IOR	PJ5IOR	PJ4IOR	PJ3IOR	PJ2IOR	PJ1IOR	PJ0IOR
	PJDR1	PJ31DR	PJ30DR	PJ29DR	PJ28DR	PJ27DR	PJ26DR	PJ25DR	PJ24DR
		PJ23DR	PJ22DR	PJ21DR	PJ20DR	PJ19DR	PJ18DR	PJ17DR	PJ16DR
	PJDR0	PJ15DR	PJ14DR	PJ13DR	PJ12DR	PJ11DR	PJ10DR	PJ9DR	PJ8DR
		PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR
	PJPR1	PJ31PR	PJ30PR	PJ29PR	PJ28PR	PJ27PR	PJ26PR	PJ25PR	PJ24PR
		PJ23PR	PJ22PR	PJ21PR	PJ20PR	PJ19PR	PJ18PR	PJ17PR	PJ16PR
	PJPR0	PJ15PR	PJ14PR	PJ13PR	PJ12PR	PJ11PR	PJ10PR	PJ9PR	PJ8PR
		PJ7PR	PJ6PR	PJ5PR	PJ4PR	PJ3PR	PJ2PR	PJ1PR	PJ0PR
	SNCR	-	-	-	-	-	-	-	-
		-	-	SSI5NCE	SSI4NCE	SSI3NCE	SSI2NCE	SSI1NCE	SSI0NCE
	低消費電力 モード	STBCR1	STBY	DEEP	-	-	-	-	-
		STBCR2	MSTP10	-	MSTP8	MSTP7	-	-	-
STBCR3		HIZ	MSTP36	MSTP35	-	-	MSTP32	-	
STBCR4		MSTP47	MSTP46	MSTP45	MSTP44	MSTP43	MSTP42	MSTP41	
STBCR5		MSTP57	MSTP56	MSTP55	MSTP54	MSTP53	MSTP52	MSTP51	
STBCR6		MSTP67	MSTP66	MSTP65	MSTP64	MSTP63	MSTP62	MSTP61	
STBCR7		MSTP77	MSTP76	MSTP75	-	MSTP73	MSTP72	-	
STBCR8		MSTP87	MSTP86	MSTP85	MSTP84	-	MSTP82	MSTP81	
STBCR9		MSTP97	MSTP96	MSTP95	MSTP94	MSTP93	MSTP92	MSTP91	
STBCR10		MSTP107	MSTP106	MSTP105	-	MSTP103	MSTP102	MSTP101	
SWRSTCR1		AXTALE	SSIF5SRST	SSIF4SRST	IEBSRST	SSIF3SRST	SSIF2SRST	SSIF1SRST	
SWRSTCR2		-	-	-	JCUSRST	RGVGSRST	-	-	
SYSCR1		-	-	-	-	RAME3	RAME2	RAME1	
SYSCR2		-	-	-	-	RAMWE3	RAMWE2	RAMWE1	
SYSCR3		-	-	VFRAME5	VFRAME4	VFRAME3	VFRAME2	VFRAME1	
SYSCR4		-	-	VRAMWE5	VRAMWE4	VRAMWE3	VRAMWE2	VRAMWE1	
SYSCR5		-	-	-	-	RRAMWE3	RRAMWE2	RRAMWE1	
RRAMKP		-	-	-	-	RRAMKP3	RRAMKP2	RRAMKP1	
DSCTR		EBUSKEEPE	RAMBOOT	-	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
低消費電力 モード	DSSSR	-	PJ23	PJ22	PJ21	PJ20	PG3	PG2	NMI
		-	RTCAR	PF19	PF18	PF17	PF16	PC7	PC5
	DSESR	-	PJ23E	PJ22E	PJ21E	PJ20E	PG3E	PG2E	NMIE
		-	-	PF19E	PF18E	PF17E	PF16E	PC7E	PC5E
	DSFR	IOKEEP	PJ23F	PJ22F	PJ21F	PJ20F	PG3F	PG2F	NMIF
		-	RTCARF	PF19F	PF18F	PF17F	PF16F	PC7F	PC5F
	XTALCTR	-	-	-	-	-	-	-	GAIN
ユーザデバッ グインタフェ ース	SDIR	T1[7]	T1[6]	T1[5]	T1[4]	T1[3]	T1[2]	T1[1]	T1[0]
		-	-	-	-	-	-	-	-

- 【注】 *1 MCR15 = 0 の場合です。
*2 MCR15 = 1 の場合です。
*3 コマンドアクセスモ - ド時
*4 セクタアクセスモ - ド時

51.3 各動作モードにおけるレジスタの状態の一覧

モジュール	レジスタ名	パワ-オン リセット	マニュアル リセット	ディ-ブ スタンバイ	ソフトウェア スタンバイ	モジュ-ル スタンバイ	スリ-プ
クロックパルス発振器	FRQCR	初期化 ^{*1}	保持	初期化	保持	-	保持
割り込みコントロ-ラ	IBNR	初期化	保持 ^{*2}	初期化	保持	-	保持
	上記以外の全レジスタ	初期化	保持	初期化	保持	-	保持
ユ-ザプレ-クコントロ-ラ	全レジスタ	初期化	保持	初期化	保持	保持	保持
キャッシュ	全レジスタ	初期化	保持	初期化	保持	-	保持
バスステ-トコントロ-ラ	RTCSR	初期化	保持 ^{*3}	初期化	保持	-	保持 ^{*3}
	RTCNT	初期化	保持 ^{*4}	初期化	保持	-	保持 ^{*4}
	上記以外の全レジスタ	初期化	保持	初期化	保持	-	保持
ダイレクトメモリアクセスコントロ-ラ	全レジスタ	初期化	保持	初期化	保持	保持	保持 ^{*7}
マルチファンクション タイムパルスユニット2	全レジスタ	初期化	保持	初期化	保持	初期化	保持
コンペアマッチタイマ	全レジスタ	初期化	保持	初期化	初期化	保持	保持
ウォッチドッグタイマ	WRCSR	初期化 ^{*1}	保持	初期化	保持	-	保持
	上記以外の全レジスタ	初期化	初期化	初期化	保持	-	保持
リアルタイムクロック	R64CNT	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持	保持 ^{*4}
	RSECCNT	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持	保持 ^{*4}
	RMINCNT	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持	保持 ^{*4}
	RHRCNT	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持	保持 ^{*4}
	RWKCNT	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持	保持 ^{*4}
	RDAYCNT	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持	保持 ^{*4}
	RMONCNT	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持	保持 ^{*4}
	RYRCNT	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持 ^{*4}	保持	保持 ^{*4}
	RSECAR	保持	保持	保持	保持	保持	保持
	RMINAR	保持	保持	保持	保持	保持	保持
	RHRAR	保持	保持	保持	保持	保持	保持
	RWKAR	保持	保持	保持	保持	保持	保持
	RDAYAR	保持	保持	保持	保持	保持	保持
	RMONAR	保持	保持	保持	保持	保持	保持
	RYRAR	保持	保持	保持	保持	保持	保持
	RCR1	初期化	初期化	初期化	保持	保持	保持
	RCR2	初期化	初期化 ^{*5}	初期化	保持	保持	保持
	RCR3	初期化	保持	初期化	保持	保持	保持
	RCR5	保持	保持	保持	保持	保持	保持
	RFRH	保持	保持	保持	保持	保持	保持
RFRL	保持	保持	保持	保持	保持	保持	

モジュール	レジスタ名	パワー・オン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
FIFO 内蔵シリアルコミュニケーション インタフェース	全レジスタ	初期化	保持	初期化	保持	保持	保持
ルネサスシリアルペリフェラル インタフェース	全レジスタ	初期化	保持	初期化	保持	保持	保持
ルネサスクワッドシリアルペリフェラル インタフェース	全レジスタ	初期化	保持	初期化	保持	保持	保持
SPI マルチ I/O バスコントローラ	全レジスタ	初期化	保持	初期化	保持	保持	保持
I ² C バスインタフェース 3	ICMR_0、1、2、3	初期化	保持	初期化	保持*	保持*	保持
	上記以外の全レジスタ	初期化	保持	初期化	保持	保持	保持
シリアルサウンドインタフェース	全レジスタ	初期化	保持	初期化	保持	保持	保持
FIFO 付きクロック同期シリアル I/O	全レジスタ	初期化	保持	初期化	保持	保持	保持
コントロール・ラエリアネットワーク	全レジスタ	初期化	保持	初期化	保持	保持	保持
IEBus コントローラ	全レジスタ	初期化	保持	初期化	保持	保持	保持
ルネサス SPDIF インタフェース	全レジスタ	初期化	保持	初期化	保持	保持	保持
CD-ROM デコーダ	全レジスタ	初期化	保持	初期化	保持	保持	保持
A/D 変換器	全レジスタ	初期化	保持	初期化	初期化	初期化	保持
NAND フラッシュメモリコントローラ	全レジスタ	初期化	保持	初期化	保持	保持	保持
USB2.0 ホスト/ファンクションモジュール	全レジスタ	初期化	保持	初期化	保持	保持	保持
デジタルビデオデコーダ	全レジスタ	初期化	保持	初期化	保持	保持	保持
ビデオディスプレイコントローラ 4	全レジスタ	初期化	保持	初期化	保持	保持	保持
歪み補正エンジン	全レジスタ	初期化	保持	初期化	保持	保持	保持
ディスプレイアウトコンペアユニット	全レジスタ	初期化	保持	初期化	保持	保持	保持
JPEG コーデックユニット	全レジスタ	初期化	保持	初期化	保持	保持	保持
サンプリングレトコンバータ	全レジスタ	初期化	保持	初期化	保持	保持	保持
サウンドジェネレータ	全レジスタ	初期化	保持	初期化	保持	保持	保持
MMC ホストインタフェース	全レジスタ	初期化	保持	初期化	保持	保持	保持
モータコントロール PWM タイマ	全レジスタ	初期化	保持	初期化	保持	保持	保持
汎用入出力ポート	全レジスタ	初期化	保持	初期化	保持	-	保持
低消費電力モード	DSFR	初期化	保持	保持	保持	-	保持
	XTALCTR	初期化** ¹⁰	保持	保持*	保持** ⁹	-	保持
	上記以外の全レジスタ	初期化	保持	初期化	保持	-	保持
ユザバグインタフェース*	SDIR	保持	保持	初期化	保持	保持	保持

【注】 *1 ウォッチドッグタイマによる内部パワーオンリセットでは保持

*2 BN[3:0]ビットは初期化

*3 フラグ処理続行

*4 カウントアップ続行

*5 RTCEN、START ビットは保持

- *6 BC[2:0]ビットは初期化
- *7 転送動作継続可能
- *8 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化
- *9 リアルタイムクロックが EXTAL 未使用時は初期化
- *10 ウォッチドッグタイマによる内部パワーオンリセットおよびユーザデバッグインタフェースリセットでは保持

52. 電気的特性

52.1 絶対最大定格

表 52.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (I/O)	PVcc	- 0.3 ~ 4.6	V
電源電圧 (内部)	Vcc	- 0.3 ~ 1.7	V
PLL 電源電圧	PLLVcc	- 0.3 ~ 4.6	V
アナログ電源電圧	AVcc	- 0.3 ~ 4.6	V
アナログ基準電圧	AVref	- 0.3 ~ AVcc + 0.3	V
USB トランシーバ部アナログ電源電圧 (I/O)	USBAPVcc	- 0.3 ~ 4.6	V
USB トランシーバ部デジタル電源電圧 (I/O) 【注】SH7269 (BGA) には存在しません。	USBDPVcc	- 0.3 ~ 4.6	V
USB トランシーバ部アナログ電源電圧 (内部)	USBAVcc	- 0.3 ~ 1.7	V
USB トランシーバ部デジタル電源電圧 (内部) 【注】SH7269 (BGA) には存在しません。	USBDVcc	- 0.3 ~ 1.7	V
USB480MHz 用電源 (内部) 【注】SH7269 (BGA) には存在しません。	USBUVcc	- 0.3 ~ 1.7	V
ビデオ信号入力用 AD 変換器電源電圧	VDAVcc	- 0.3 ~ 4.6	V
入力電圧	VBUS	V _{in}	- 0.3 ~ 5.5
	その他の入力端子	V _{in}	- 0.3 ~ 3.3V 系電源 (PVcc、PLLVcc、AVcc、USBAPVcc、USBDPVcc、VDAVcc) + 0.3
動作温度	標準温度範囲品	T _{opr}	- 20 ~ 85
	広温度範囲品		- 40 ~ 85
保存温度	T _{stg}	- 55 ~ 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

52.2 電源投入・切断シーケンス

1.2V 系電源(V_{CC} 、 $USBAV_{CC}$ 、 $USBDV_{CC}$ 、 $USBV_{CC}$)と 3.3V 系電源(PV_{CC} 、 $PLLV_{CC}$ 、 AV_{CC} 、 $USBAPV_{CC}$ 、 $USBDPV_{CC}$ 、 $VDAV_{CC}$) の投入・切断順序はどちらが先でも問題ありません。

電源の投入時は、必ず \overline{TRST} 端子を Low レベル、かつ \overline{RES} 端子を Low レベルにしてください。これが守られない場合、出力端子および入出力端子が不定出力し、それによってシステム全体が誤動作を引き起こす可能性があります。

電源の切断時も、上記が問題となる可能性がある場合は、 \overline{TRST} 端子を Low レベル、かつ \overline{RES} 端子を Low レベルにしてください。

52.3 DC 特性

- ・表 52.2 DC 特性 (2) 【消費電流】SH7268/SH7269 (QFP)、表 52.2 DC 特性 (3) 【消費電流】SH7269 (BGA) を除く条件

$V_{CC} = USBDV_{CC} = USBUV_{CC} = 1.15 \sim 1.35V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $PLL_{VCC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.15 \sim 1.35V$ 、

$USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $VDAV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = USBUV_{SS} = VDAV_{SS} = 0V$ 、

$T_a = -20 \sim 85$ (標準温度範囲)、 $-40 \sim 85$ (広温度範囲)

- ・表 52.2 DC 特性 (2) 【消費電流】SH7268/SH7269 (QFP)、表 52.2 DC 特性 (3) 【消費電流】SH7269 (BGA) の条件

$V_{CC} = USBDV_{CC} = USBUV_{CC} = 1.25V$ 、 $PV_{CC} = USBDPV_{CC} = 3.3V$ 、 $PLL_{VCC} = 3.3V$ 、 $AV_{CC} = 3.3V$ 、 $USBAV_{CC} = 1.25V$ 、

$USBAPV_{CC} = 3.3V$ 、 $VDAV_{CC} = 3.3V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = USBUV_{SS} = VDAV_{SS} = 0V$ 、

$AV_{ref} = 3.3V$ 、 $VBUS = 5.0V$

$T_a = -20 \sim 85$ (標準温度範囲)、 $-40 \sim 85$ (広温度範囲)

$I = 266.67MHz$ 、 $B = 133.33MHz$ 、 $P1 = 66.67MHz$ 、 $P0 = 33.33MHz$

【注】 SH7269 (BGA) には、 $USBDV_{CC}$ 、 $USBUV_{CC}$ 、 $USBDPV_{CC}$ 、 PLL_{VSS} 、 $USBDV_{SS}$ 、 $USBAV_{SS}$ 、 $USBUV_{SS}$ 、 $USBDPV_{SS}$ 、 $USBAPV_{SS}$ 端子は存在しません。

表 52.2 DC 特性 (1) 【共通項目】

項 目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		PV_{CC}	3.0	3.3	3.6	V	
		V_{CC}	1.15	1.25	1.35	V	
PLL 電源電圧		PLL_{VCC}	3.0	3.3	3.6	V	
アナログ電源電圧		AV_{CC}	3.0	3.3	3.6	V	
USB 電源電圧 【注】SH7269 (BGA) には、 $USBDPV_{CC}$ 、 $USBDV_{CC}$ 、 $USBUV_{CC}$ 端子は存在しません。		$USBAPV_{CC}$ $USBDPV_{CC}$	3.0	3.3	3.6	V	
		$USBAV_{CC}$ $USBDV_{CC}$ $USBUV_{CC}$	1.15	1.25	1.35	V	
ビデオ信号入力用 AD 変換器電源電圧		$VDAV_{CC}$	3.0	3.3	3.6	V	
入力リーク電流	全入力端子	I_{in}	-	-	1.0	μA	$V_{in} = 0.5 \sim PV_{CC} - 0.5V$
スリープステート リーク電流	全入出力、出力端子 (PE7~PE0 除く)(オフ状態)	I_{stn}	-	-	1.0	μA	$V_{in} = 0.5 \sim PV_{CC} - 0.5V$
	PE7~PE0		-	-	10	μA	
端子容量	USB2.0 ホスト / ファンクション モジュール関連端子*	C_{in}	-	-	20	pF	
	上記以外の全入出力、入力端子		-	-	10	pF	

【注】 * DP、DM、VBUS 端子

表 52.2 DC 特性 (2) 【消費電流】SH7268/SH7269 (QFP)

項目		電源種類	記号	Typ.	Max.	単位	測定条件
通常動作時消費電流		Vcc	Icc	220	285	mA	
		PLLvcc	PLLicc	11	13	mA	
		PVcc	PIcc*	92	-	mA	
		AVcc	AIcc	1	4	mA	A/D 変換中
				1	3	μA	A/D 待機中
		AVref	AIref	1	4	mA	A/D 変換中、 A/D 待機中
		USBVcc + USBDVcc + USBVcc	UIcc	19	22	mA	USB ハイスピード 通信時
		USBAPVcc + USBDPVcc	UPIcc	44	47	mA	USB ハイスピード 通信時
		VBUS	VIcc	8.5	10	μA	
		VDAVcc	VDAlcc	7.5	8	mA	
スリープ時消費電流		Vcc	Isleep	170	240	mA	
	上記以外は通常動作時と同じです						
ソフトウェア アスタバイ 時消費電 流	Ta > 50	Vcc + USBVcc + USBDVcc + USBVcc	Isstby	7	65	mA	
		PVcc + PLLvcc + USBAPVcc + USBDPVcc + VDAVcc	PIsstby	4.5	6.5	mA	
		上記以外は通常動作時と同じです					
	Ta 50	Vcc + USBVcc + USBDVcc + USBVcc	Isstby	4	35	mA	
		PVcc + PLLvcc + USBAPVcc + USBDPVcc + VDAVcc	PIsstby	4.5	6.5	mA	
		上記以外は通常動作時と同じです					

項目		電源種類	記号	Typ.	Max.	単位	測定条件
ディープスタンバイ時消費電流	Ta > 50	Vcc + USBAVcc + USBDVcc + USBVcc	ldstby	6	27	μA	RAM0KB 保持、 RTC_X1 選択時
				8	40	μA	RAM16KB 保持、 RTC_X1 選択時
				10	53	μA	RAM32KB 保持、 RTC_X1 選択時
				14	80	μA	RAM64KB 保持、 RTC_X1 選択時
				22	132	μA	RAM128KB 保持、 RTC_X1 選択時
				EXTAL 13MHz 選択時は上記に Typ.5 μA、Max.6 μA 加算			
	PVcc + PLLVcc + AVcc + AVref + USBAPVcc + USBDPVcc + VDAVcc	Pldstby	5.5	20	μA	RTC 非動作時	
			9.5	24	μA	RTC_X1 選択時	
			1	-	mA	EXTAL 13MHz 選択 ドライバ小*	
	VBUS	VIcc	8.5	10	μA		
	Ta 50	Vcc + USBAVcc + USBDVcc + USBVcc	ldstby	4	19	μA	RAM0KB 保持、 RTC_X1 選択時
				5.5	29	μA	RAM16KB 保持、 RTC_X1 選択時
				7	39	μA	RAM32KB 保持、 RTC_X1 選択時
				10	58	μA	RAM64KB 保持、 RTC_X1 選択時
				16	97	μA	RAM128KB 保持、 RTC_X1 選択時
				EXTAL 13MHz 選択時は上記に Typ.5 μA、Max.6 μA 加算			
		PVcc + PLLVcc + AVcc + AVref + USBAPVcc + USBDPVcc + VDAVcc	Pldstby	5	16	μA	RTC 非動作時
				9	20	μA	RTC_X1 選択時
1				-	mA	EXTAL 13MHz 選択 ドライバ小*	
VBUS		VIcc	8.5	10	μA		

【注】 * 参考値です。実際の動作電流はシステムに大きく依存します（IOの負荷による波形なまり、トグル頻度等）ので、必ずシステムでの実測を行ってください。

表 52.2 DC 特性 (3) 【消費電流】SH7269 (BGA)

項目	電源種類	記号	Typ.	Max.	単位	測定条件	
通常動作時消費電流	Vcc	Icc	220	285	mA	USB 非動作時	
			USB ハイスピード通信時は、上記に Typ.12mA、Max.14mA 加算				
	PLLVcc	PLLlcc	11	13	mA		
	PVcc	Plcc*	92	-	mA	USB 非動作時	
			USB ハイスピード通信時は、上記に Typ.42mA 加算				
	AVcc	Alcc	1	4	mA	A/D 変換中	
			1	3	μ A	A/D 待機中	
	AVref	Alref	1	4	mA	A/D 変換中、 A/D 待機中	
	USBAVcc	Ulcc	7	8	mA	USB ハイスピード 通信時	
	USBAPVcc	UPlcc	2	2.5	mA	USB ハイスピード 通信時	
VBUS	VIcc	8.5	10	μ A			
VDAVcc	VDAIcc	7.5	8	mA			
スリープ時消費電流	Vcc	Isleep	170	240	mA		
			USB ハイスピード通信時は、上記に Typ.12mA、Max.14mA 加算				
上記以外は通常動作時と同じです							
ソフトウェア アスタンプ イ時消費電 流	Ta > 50	Vcc + USBAVcc	Isstby	7	65	mA	
		PVcc + PLLVcc + USBAPVcc + VDAVcc	Plsstby	4.5	6.5	mA	
		上記以外は通常動作時と同じです					
	Ta 50	Vcc + USBAVcc	Isstby	4	35	mA	
		PVcc + PLLVcc + USBAPVcc + VDAVcc	Plsstby	4.5	6.5	mA	
		上記以外は通常動作時と同じです					

項目		電源種類	記号	Typ.	Max.	単位	測定条件
ディープスタンバイ時消費電流	Ta > 50	Vcc + USBAVcc	ldstby	6	27	μA	RAM0KB 保持、RTC_X1 選択時
				8	40	μA	RAM16KB 保持、RTC_X1 選択時
				10	53	μA	RAM32KB 保持、RTC_X1 選択時
				14	80	μA	RAM64KB 保持、RTC_X1 選択時
				22	132	μA	RAM128KB 保持、RTC_X1 選択時
				EXTAL 13MHz 選択時は上記に Typ.5 μA、Max.6 μA 加算			
	PVcc + PLLVcc + AVcc + AVref + USBAPVcc + VDAVcc	Pldstby	5.5	20	μA	RTC 非動作時	
			9.5	24	μA	RTC_X1 選択時	
			1	-	mA	EXTAL 13MHz 選択ドライバ小*	
	VBUS	VIcc	8.5	10	μA		
	Ta 50	Vcc + USBAVcc	ldstby	4	19	μA	RAM0KB 保持、RTC_X1 選択時
				5.5	29	μA	RAM16KB 保持、RTC_X1 選択時
				7	39	μA	RAM32KB 保持、RTC_X1 選択時
				10	58	μA	RAM64KB 保持、RTC_X1 選択時
				16	97	μA	RAM128KB 保持、RTC_X1 選択時
				EXTAL 13MHz 選択時は上記に Typ.5 μA、Max.6 μA 加算			
		PVcc + PLLVcc + AVcc + AVref + USBAPVcc + VDAVcc	Pldstby	5	16	μA	RTC 非動作時
9				20	μA	RTC_X1 選択時	
1				-	mA	EXTAL 13MHz 選択ドライバ小*	
VBUS		VIcc	8.5	10	μA		

【注】 * 参考値です。実際の動作電流はシステムに大きく依存します（IOの負荷による波形なまり、トグル頻度等）ので、必ずシステムでの実測を行ってください。

表 52.2 DC 特性 (4) 【I²C バスインタフェース、USB2.0 ホスト/ファンクションモジュール関連端子を除く】

項目	記号	Min.	Typ.	Max.	単位	測定条件	
入力ハイレベル電圧 (シュミット端子除く)	V _{IH}	2.2	-	PV _{CC} + 0.3	V		
入力ローレベル電圧 (シュミット端子除く)	V _{IL}	- 0.3	-	0.8	V		
シュミットトリガ入力特性	V _T ⁺	PV _{CC} × 0.75	-	-	V		
	V _T ⁻	-	-	0.5	V		
	V _T ⁺ - V _T ⁻	0.2	-	-	V		
出力ハイレベル電圧	V _{OH}	PV _{CC} - 0.5	-	-	V	I _{OH} = - 2.0mA	
出力ローレベル電圧	V _{OL}	-	-	0.4	V	I _{OL} = 2.0mA	
RAM スタンバイ電圧	ソフトウェアスタンバイモード時 (高速内蔵 RAM および大容量内蔵 RAM)	V _{RAMS}	0.85	-	-	V	V _{CC} (= PLLV _{CC}) をパラメータとして測定
	ディープスタンバイモード時 (保持用内蔵 RAM のみ)	V _{RAMD}	1.15	-	-	V	

表 52.2 DC 特性 (5) 【I²C バスインタフェース 3 関連端子*】

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V _{IH}	PV _{CC} × 0.7	-	PV _{CC} + 0.3	V	
入力ローレベル電圧	V _{IL}	- 0.3	-	PV _{CC} × 0.3	V	
シュミットトリガ入力特性	V _{IH} - V _{IL}	PV _{CC} × 0.05	-	-	V	
出力ローレベル電圧	V _{OL}	-	-	0.4	V	I _{OL} = 3.0mA

【注】 * PE7/SDA3/RxD7 ~ PE0/SCL0/TCLKA/LCD_EXTCLK 端子 (オープンドレイン端子)

表 52.2 DC 特性 (6) 【USB2.0 ホスト/ファンクションモジュール関連端子*】

項目	記号	Min.	Typ.	Max.	単位	測定条件
基準抵抗	R _{REF}	5.6k ± 1%				
入力ハイレベル電圧 (VBUS)	V _{IH}	4.02	-	5.25	V	
入力ローレベル電圧 (VBUS)	V _{IL}	- 0.3	-	0.5	V	
入力ハイレベル電圧 (USB_X1)	V _{IH}	PV _{CC} - 0.5	-	PV _{CC} + 0.3	V	
入力ローレベル電圧 (USB_X1)	V _{IL}	- 0.3	-	0.5	V	

【注】 * REFRIN、VBUS、USB_X1、USB_X2 端子

表 52.2 DC 特性 (7) 【USB2.0 ホスト/ファンクションモジュール関連端子*
(ロースピード/フルスピード/ハイスピード共通項目)】

項 目	記号	Min.	Typ.	Max.	単位	測定条件
DP プルアップ抵抗 (ファンクション機能選択時)	R _{pu}	0.900	-	1.575	k	アイドル時
		1.425	-	3.090	k	送受信時
DP、DM プルダウン抵抗 (ホスト機能選択時)	R _{pd}	14.25	-	24.80	k	

【注】 * DP、DM 端子

表 52.2 DC 特性 (8) 【USB2.0 ホスト/ファンクションモジュール関連端子*(ロースピード/フルスピード時)】

項 目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V _{IH}	2.0	-	-	V	
入力ローレベル電圧	V _{IL}	-	-	0.8	V	
差動入力感度	V _{DI}	0.2	-	-	V	(DP) - (DM)
差動コモンモード範囲	V _{CM}	0.8	-	2.5	V	
出力ハイレベル電圧	V _{OH}	2.8	-	3.6	V	I _{OH} = - 200 μA
出力ローレベル電圧	V _{OL}	0.0	-	0.3	V	I _{OL} = 2mA
出力信号クロスオーバー電圧	V _{CRS}	1.3	-	2.0	V	CL = 50pF (フルスピード時) CL = 200 ~ 600pF (ロースピード時)

【注】 * DP、DM 端子

表 52.2 DC 特性 (9) 【USB2.0 ホスト/ファンクションモジュール関連端子*(ハイスピード時)】

項 目	記号	Min.	Typ.	Max.	単位	測定条件
スケルチ検出スレッショルド電圧 (差動電圧)	V _{HSSQ}	100	-	150	mV	
コモンモード電圧範囲	V _{HSCM}	- 50	-	500	mV	
アイドル状態	V _{HSOI}	- 10.0	-	10.0	mV	
出力ハイレベル電圧	V _{HSOH}	360	-	440	mV	
出力ローレベル電圧	V _{HSOL}	- 10.0	-	10.0	mV	
Chirp J 出力電圧 (差分)	V _{CHIRPJ}	700	-	1100	mV	
Chirp K 出力電圧 (差分)	V _{CHIRPK}	- 900	-	- 500	mV	

【注】 * DP、DM 端子

表 52.3 出力許容電流値

項 目		記号	Min.	Typ.	Max.	単位
出力ローレベル 許容電流(1端子当たり)	PE7~PE0	IoL	-	-	10	mA
	その他の出力端子				2	mA
出力ローレベル許容電流(総和)		Σ IoL	-	-	150	mA
出力ハイレベル許容電流(1端子当たり)		-IoH	-	-	2	mA
出力ハイレベル許容電流(総和)		Σ -IoH	-	-	150	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 52.3 の値を超えないようにしてください。

52.4 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

条件 : $V_{cc} = USBDV_{cc} = USBUV_{cc} = 1.15 \sim 1.35V$ 、 $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ 、 $PLL_{Vcc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USB_{AV_{cc}} = 1.15 \sim 1.35V$ 、
 $USB_{APV_{cc}} = 3.0 \sim 3.6V$ 、 $VDA_{Vcc} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLL_{Vss} = AV_{ss} = USB_{DV_{ss}} = USB_{AV_{ss}} = USB_{DPV_{ss}} = USB_{APV_{ss}} = USB_{UV_{ss}} = VDA_{Vss} = 0V$ 、
 $T_a = -20 \sim 85$ (標準温度範囲)、 $-40 \sim 85$ (広温度範囲)

【注】 SH7269 (BGA) には、 $USB_{DV_{cc}}$ 、 $USB_{UV_{cc}}$ 、 $USB_{DPV_{cc}}$ 、 PLL_{Vss} 、 $USB_{DV_{ss}}$ 、 $USB_{AV_{ss}}$ 、 $USB_{UV_{ss}}$ 、 $USB_{DPV_{ss}}$ 、 $USB_{APV_{ss}}$ 端子は存在しません。

表 52.4 動作周波数

項目		記号	Min.	Max.	単位	備考
動作周波数	CPU クロック (I)	f	50.00	266.67	MHz	
	内部バスクロック (B)		50.00	133.33	MHz	
	周辺クロック 1 (P1)		50.00	66.67	MHz	
	周辺クロック 0 (P0)		25.00	33.33	MHz	

52.4.1 クロックタイミング

表 52.5 クロックタイミング

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数 (USB2.0 ホスト/ファンクションモジュールへクロック供給時)	f _{EX}	12MHz ± 100ppm			52.1
EXTAL クロック入力周波数 (USB2.0 ホスト/ファンクションモジュールへクロック非供給時)		10.00	13.33	MHz	
EXTAL クロック入力サイクル時間 (USB2.0 ホスト/ファンクションモジュールへクロック非供給時)	t _{EXCyc}	75.00	100.00	ns	
AUDIO_X1 クロック入力周波数 (水晶発振子接続時)	f _{EX}	10.00	50.00	MHz	
AUDIO_X1 クロック入力サイクル時間 (水晶発振子接続時)	t _{EXCyc}	20.00	100.00	ns	
AUDIO_X1、AUDIO_CLK クロック入力周波数 (外部クロック入力時)	f _{EX}	1.00	50.00	MHz	
AUDIO_X1、AUDIO_CLK クロック入力サイクル時間 (外部クロック入力時)	t _{EXCyc}	20.00	1000.00	ns	
USB_X1 クロック入力周波数 (USB2.0 ホスト/ファンクションモジュールへ 12MHz クロック供給時)	f _{EX}	12MHz ± 100ppm			
USB_X1 クロック入力周波数 (USB2.0 ホスト/ファンクションモジュールへ 48MHz クロック供給かつハイスピード転送使用時)		48MHz ± 100ppm			

項目	記号	Min.	Max.	単位	参照図
USB_X1 クロック入力周波数 (USB2.0 ホスト/ファンクションモジュールへ 48MHz クロック供給かつハイスピード転送未使用、ホストコントローラ機能使用時)	fEX	48MHz ± 500ppm			52.1
USB_X1 クロック入力周波数 (USB2.0 ホスト/ファンクションモジュールへ 48MHz クロック供給かつハイスピード転送未使用、ホストコントローラ機能未使用時)		48MHz ± 2500ppm			
VIDEO_X1 クロック入力周波数	fEX	27MHz ± 100ppm*			
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力ローレベルパルス幅	tEXL	0.4	0.6	tEXcyc	
VIDEO_X1 クロック入力ローレベルパルス幅		0.45	0.55		
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力ハイレベルパルス幅	tEXH	0.4	0.6	tEXcyc	
VIDEO_X1 クロック入力ハイレベルパルス幅		0.45	0.55		
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力立ち上がり時間	tEXr	-	4	ns	
VIDEO_X1 クロック入力立ち上がり時間		-	3		
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力立ち下がり時間	tEXf	-	4	ns	
VIDEO_X1 クロック入力立ち下がり時間		-	3		
CKIO クロック出力周波数	fOP	50.00	66.67	MHz	
CKIO クロック出力サイクル時間	tCyc	15.00	20.00	ns	52.2(1) 52.2(2)
CKIO クロック出力ローレベルパルス幅 1	tCKOL1	tCyc/2 - tCKOr1	-	ns	52.2(1)
CKIO クロック出力ハイレベルパルス幅 1	tCKOH1	tCyc/2 - tCKOf1	-	ns	
CKIO クロック出力立ち上がり時間 1	tCKOr1	-	3	ns	
CKIO クロック出力立ち下がり時間 1	tCKOf1	-	3	ns	
CKIO クロック出力ローレベルパルス幅 2	tCKOL2	tCyc/2 - tCKOr2	-	ns	52.2(2)
CKIO クロック出力ハイレベルパルス幅 2	tCKOH2	tCyc/2 - tCKOf2	-	ns	
CKIO クロック出力立ち上がり時間 2	tCKOr2	-	2	ns	
CKIO クロック出力立ち下がり時間 2	tCKOf2	-	2	ns	
パワーオン発振安定時間	tOSC1	10	-	ms	52.3
スタンバイ復帰発振安定時間 1	tOSC2	10	-	ms	52.4
リアルタイムクロック発振安定時間	tROSC	-	3	s	52.6
モードホールド時間	tMDH	200	-	ns	52.3、 52.4

【注】 * 参考値です。本クロック精度は、デジタルビデオデコーダからの出力映像の画質に影響します。できるだけ精度の良いクロックを入力してください。

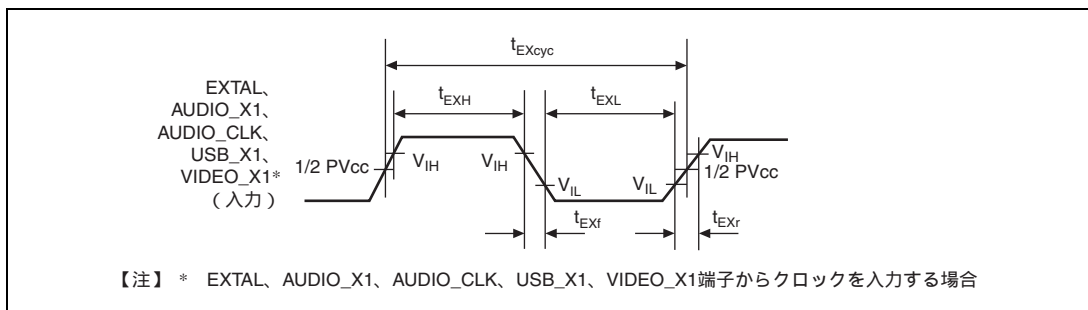


図 52.1 EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1、VIDEO_X1 クロック入力タイミング

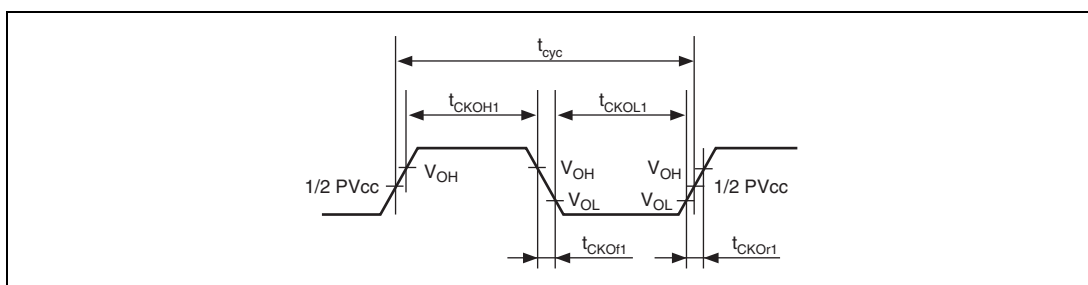


図 52.2 (1) CKIO クロック出力タイミング 1

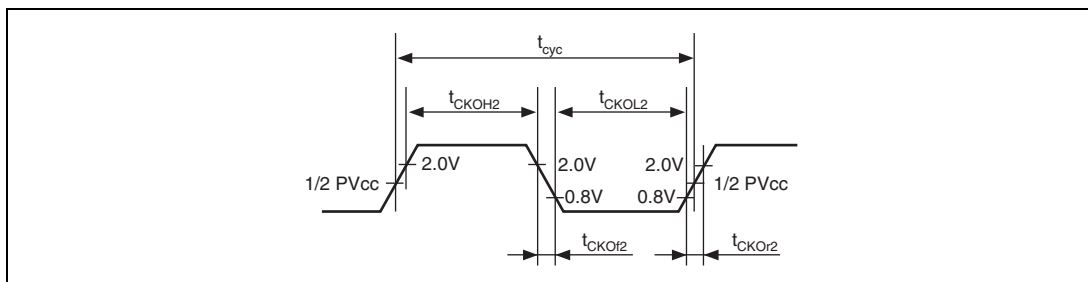


図 52.2 (2) CKIO クロック出力タイミング 2

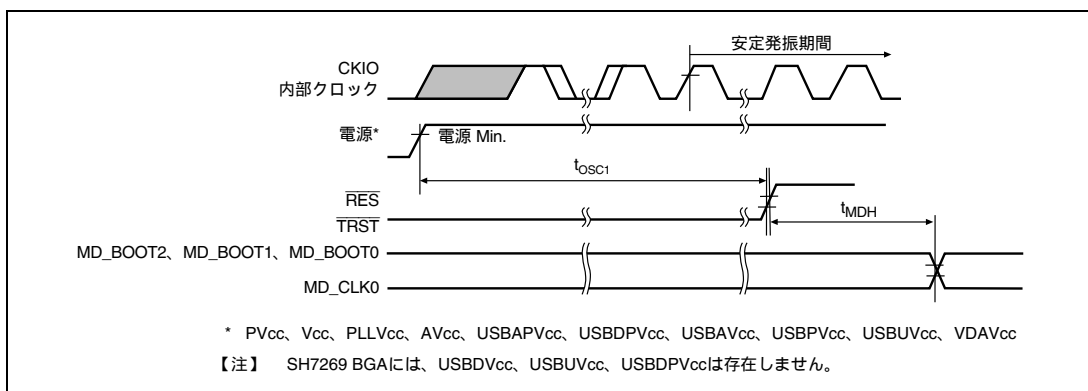


図 52.3 パワーオン発振安定時間

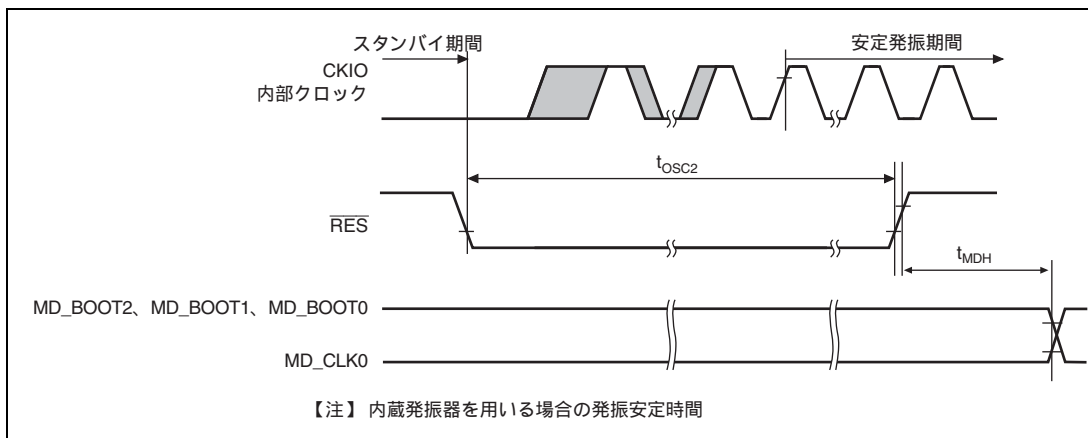


図 52.4 スタンバイ復帰時発振安定時間（リセットによる復帰）

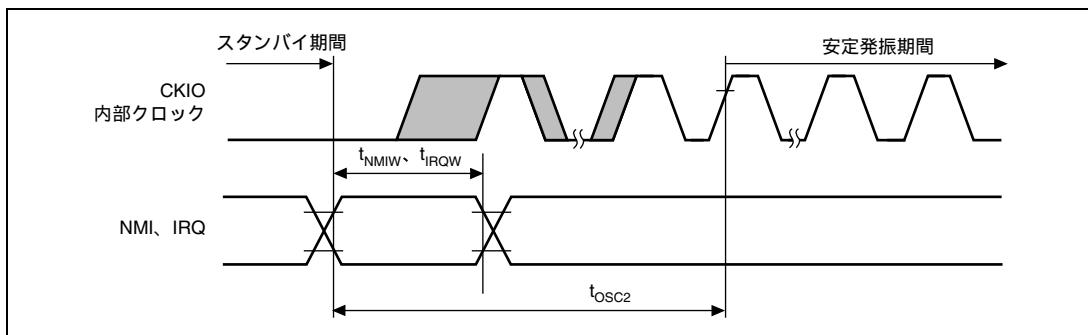


図 52.5 スタンバイ復帰時発振安定時間（NMI、IRQ による復帰）

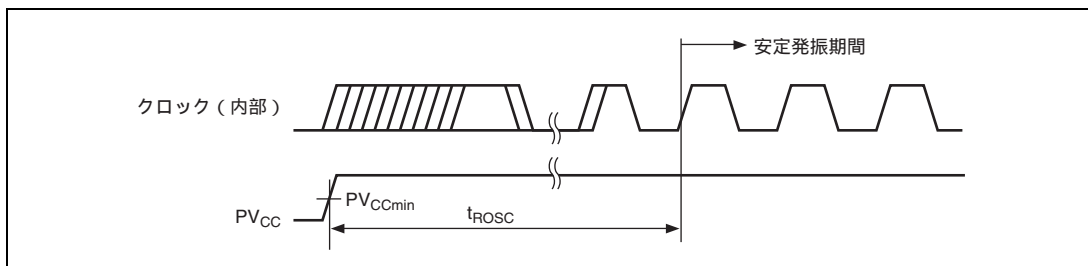


図 52.6 リアルタイムクロック発振安定時間

52.4.2 制御信号タイミング

表 52.6 制御信号タイミング

項目		記号	Min.	Max.	単位	参照図
RES パルス幅	スタンバイモード解除時	t _{RESW}	10	-	ms	52.7 (1)
	上記以外		20	-	t _{cyc}	
TRST パルス幅		t _{TRSW}	20	-	t _{cyc}	
NMI パルス幅		t _{NMIW}	20	-	t _{cyc}	52.7 (2)、 52.5
IRQ パルス幅		t _{IRQW}	20	-	t _{cyc}	
PINT パルス幅		t _{PINTW}	20	-	t _{cyc}	52.7 (2)
BREQ セットアップ時間		t _{BREQS}	1/2t _{cyc} + 7	-	ns	52.8
BREQ ホールド時間		t _{BREQH}	1/2t _{cyc} + 2	-	ns	
BACK 遅延時間		t _{BACKD}	-	1/2t _{cyc} + 13	ns	
バスパッファオフタイム 1		t _{BOFF1}	-	15	ns	
バスパッファオフタイム 2		t _{BOFF2}	-	15	ns	
バスパッファオンタイム 1		t _{BON1}	-	15	ns	
バスパッファオンタイム 2		t _{BON2}	-	15	ns	
バスパッファオフに対する BACK セットアップ時間		t _{BACKS}	0	-	ns	

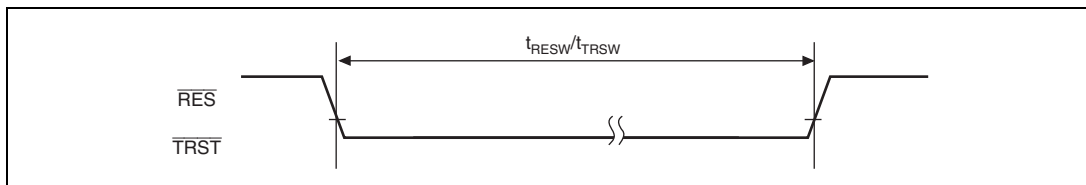


図 52.7 (1) リセット入力タイミング

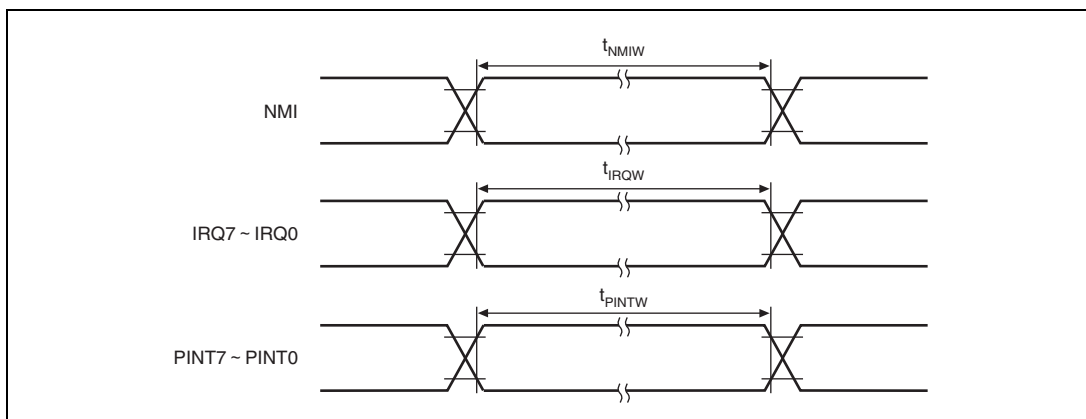


図 52.7 (2) 割り込み信号入力タイミング

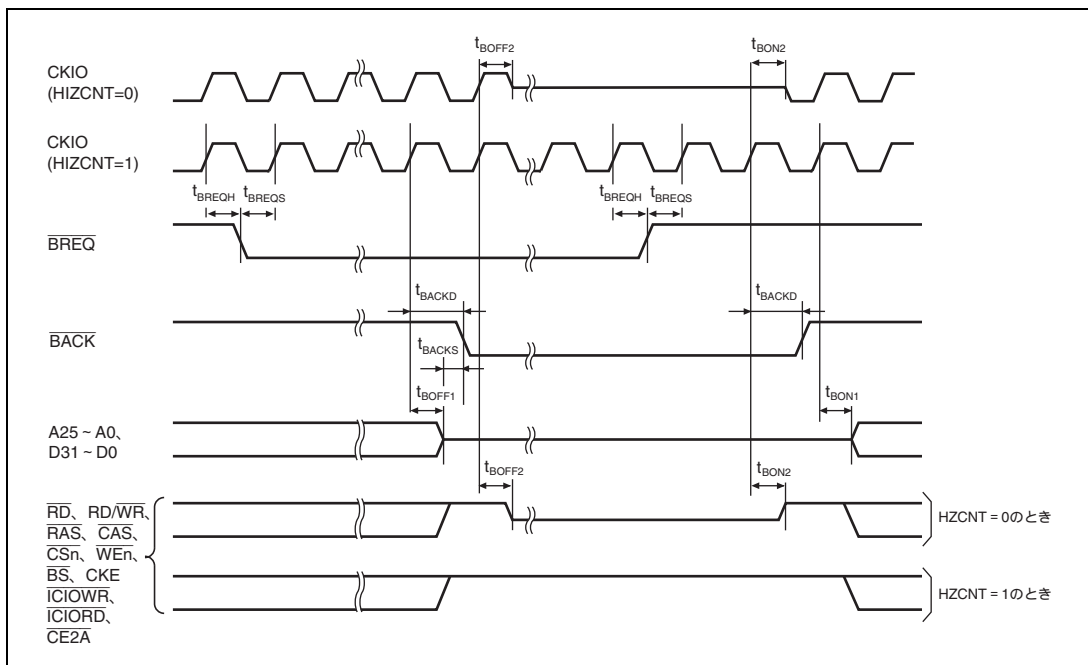


図 52.8 バス権解放タイミング

52.4.3 バスタイミング

表 52.7 バスタイミング

項 目	記号	CKIO = 66.67MHz* ¹		単位	参照図
		Min.	Max.		
アドレス遅延時間 1	tAD1	0/2* ³	12	ns	52.9 ~ 52.33, 52.34 ~ 52.37
アドレス遅延時間 2	tAD2	1/2t _{cyc}	1/2t _{cyc} + 12	ns	52.16
アドレスセットアップ時間	tAS	0	-	ns	52.9 ~ 52.12, 52.16
チップイネーブルセットアップ時間	tCS	0	-	ns	52.9 ~ 52.12, 52.16
アドレスホールド時間	tAH	0	-	ns	52.9 ~ 52.12
BS 遅延時間	tBSD	-	12	ns	52.9 ~ 52.30, 52.34 ~ 52.37
CS 遅延時間 1	tCSD1	0/2* ³	12	ns	52.9 ~ 52.33, 52.34 ~ 52.37
リードライト遅延時間 1	trWD1	0/2* ³	12	ns	52.9 ~ 52.33, 52.34 ~ 52.37
リードストロープ遅延時間	trSD	1/2t _{cyc}	1/2t _{cyc} + 12	ns	52.9 ~ 52.16, 52.34, 52.35
リードデータセットアップ時間 1	trDS1	1/2t _{cyc} + 5	-	ns	52.9 ~ 52.15, 52.34 ~ 52.37
リードデータセットアップ時間 2	trDS2	7	-	ns	52.17 ~ 52.20, 52.25 ~ 52.27
リードデータセットアップ時間 3	trDS3	1/2t _{cyc} + 5	-	ns	52.16
リードデータホールド時間 1	trDH1	0	-	ns	52.9 ~ 52.15, 52.34 ~ 52.37
リードデータホールド時間 2	trDH2	2	-	ns	52.17 ~ 52.20, 52.25 ~ 52.27
リードデータホールド時間 3	trDH3	0	-	ns	52.16
ライトイネーブル遅延時間 1	twED1	1/2t _{cyc}	1/2t _{cyc} + 12	ns	52.9 ~ 52.14, 52.34, 52.35
ライトイネーブル遅延時間 2	twED2	-	12	ns	52.15
ライトデータ遅延時間 1	twDD1	-	12	ns	52.9 ~ 52.15, 52.34 ~ 52.37
ライトデータ遅延時間 2	twDD2	-	12	ns	52.21 ~ 52.24, 52.28 ~ 52.30
ライトデータホールド時間 1	twDH1	1	-	ns	52.9 ~ 52.15, 52.34 ~ 52.37
ライトデータホールド時間 2	twDH2	2	-	ns	52.21 ~ 52.24, 52.28 ~ 52.30
ライトデータホールド時間 4	twDH4	0	-	ns	52.9 ~ 52.13, 52.34, 52.36
WAIT セットアップ時間	twTS	1/2t _{cyc} + 4.5	-	ns	52.10 ~ 52.16, 52.35, 52.37
WAIT ホールド時間	twTH	1/2t _{cyc} + 3.5	-	ns	52.10 ~ 52.16, 52.35, 52.37
IOIS16 セットアップ時間	tIO16S	1/2t _{cyc} + 4.5	-	ns	52.37
IOIS16 ホールド時間	tIO16H	1/2t _{cyc} + 3.5	-	ns	52.37
RAS 遅延時間 1	trASD1	2	12	ns	52.17 ~ 52.33
CAS 遅延時間 1	tcASD1	2	12	ns	52.17 ~ 52.33
DQM 遅延時間 1	tdQMD1	2	12	ns	52.17 ~ 52.30
CKE 遅延時間 1	tcKED1	2	12	ns	52.32
AH 遅延時間	tAHD	1/2t _{cyc}	1/2t _{cyc} + 12	ns	52.13
マルチプレクスアドレス遅延時間	tMAD	-	12	ns	52.13
マルチプレクスアドレスホールド時間	tMAH	1	-	ns	52.13

項 目	記号	CKIO = 66.67MHz* ¹		単位	参照図
		Min.	Max.		
AH に対するアドレスセット アップ時間	tAVVH	$1/2t_{cyc}-2$	-	ns	52.13
DACK、TEND 遅延時間	tdACD	ダイレクトメモリアクセス コントローラタイミング参照		ns	52.9 ~ 52.30、 52.34 ~ 52.37
\overline{ICIORD} 遅延時間	tICRSD	-	$1/2t_{cyc} + 12$	ns	52.36、52.37
\overline{ICIOWR} 遅延時間	tICWSD	-	$1/2t_{cyc} + 12$	ns	52.36、52.37

- 【注】 *1 CKIO (外部バスクロック) の f_{max} は、ご使用されるシステム構成に応じてウェイト数とあわせてご検討ください。
- *2 遅延時間やセットアップ、ホールド時間の $1/2t_{cyc}$ の記述は、クロックの立ち上がりから $1/2$ サイクル、つまりクロックの立ち下がり基準であることを表現しています。
- *3 SDRAM を使う場合の値です。

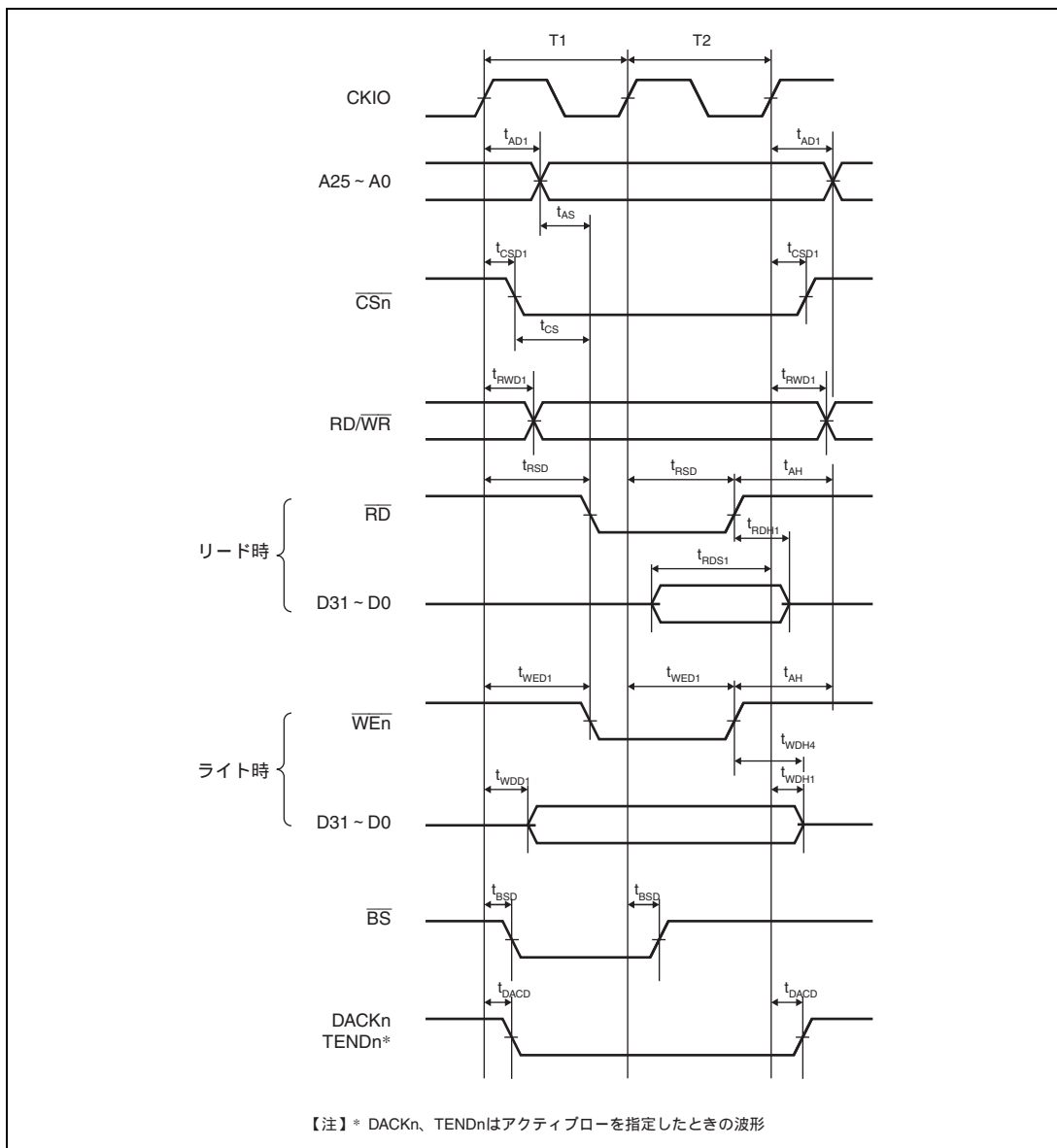


図 52.9 通常空間基本バスサイクル (ノーウェイト)

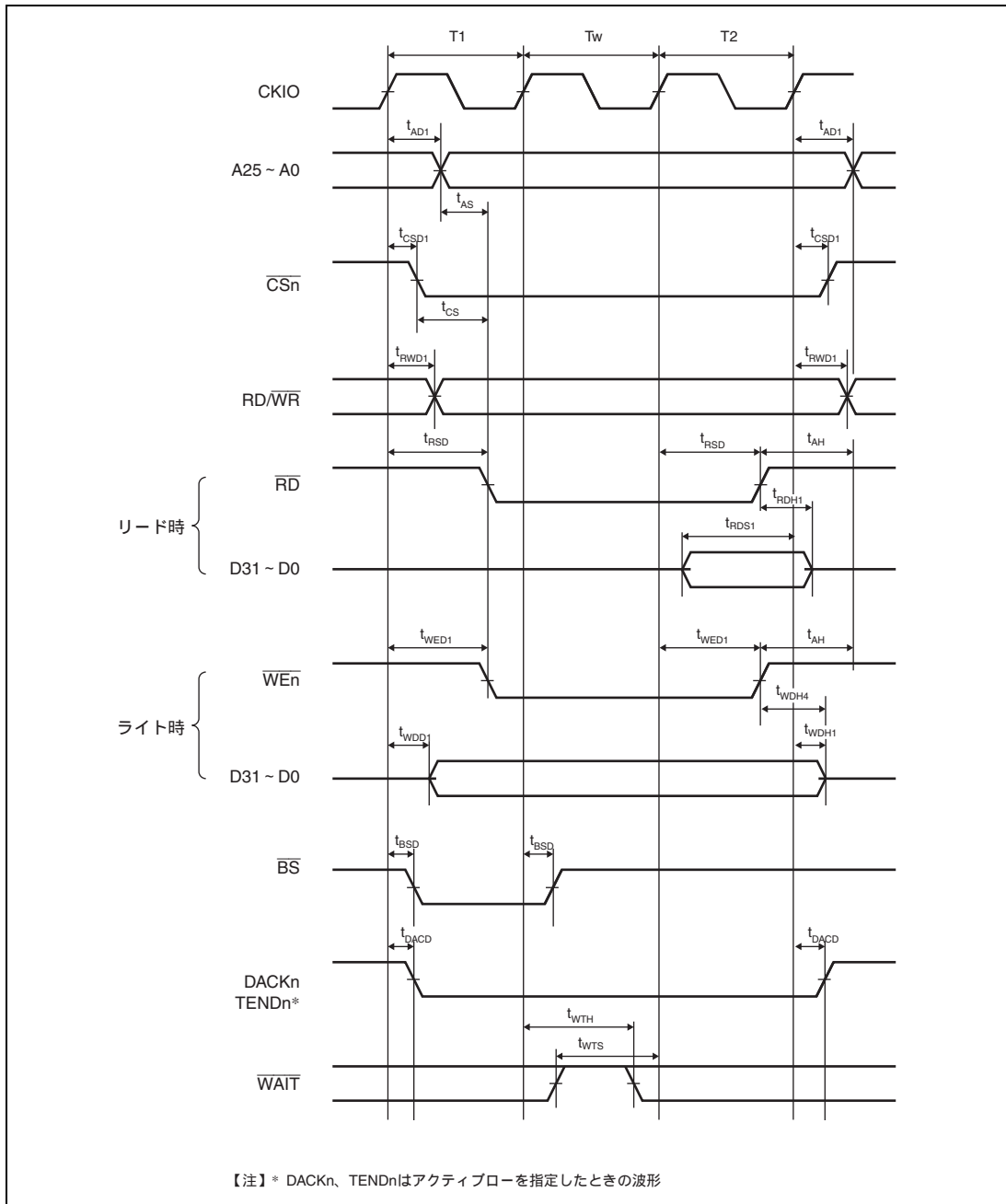


図 52.10 通常空間基本バスサイクル (ソフトウェアウェイト1)

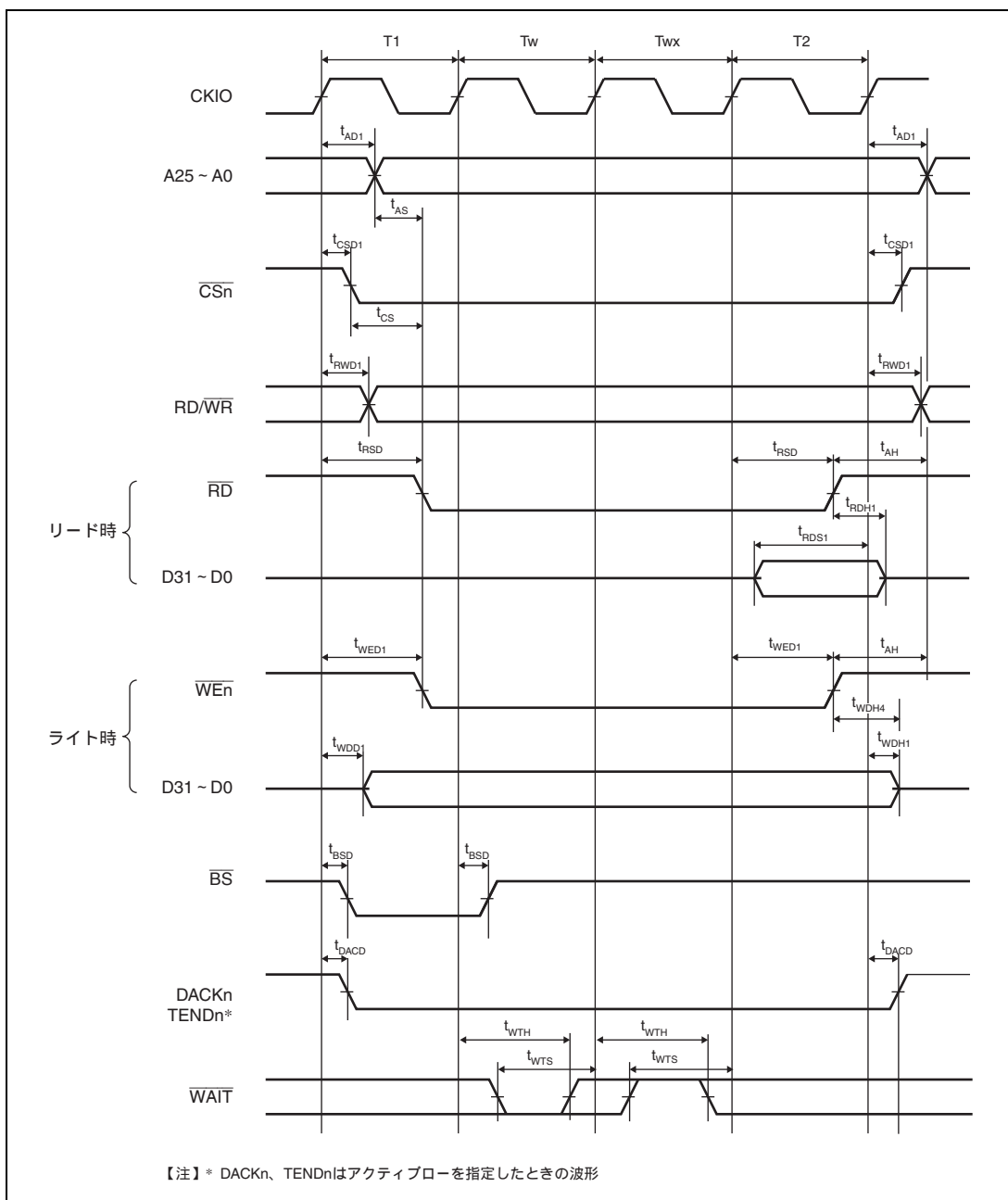


図 52.11 通常空間基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト 1 挿入）

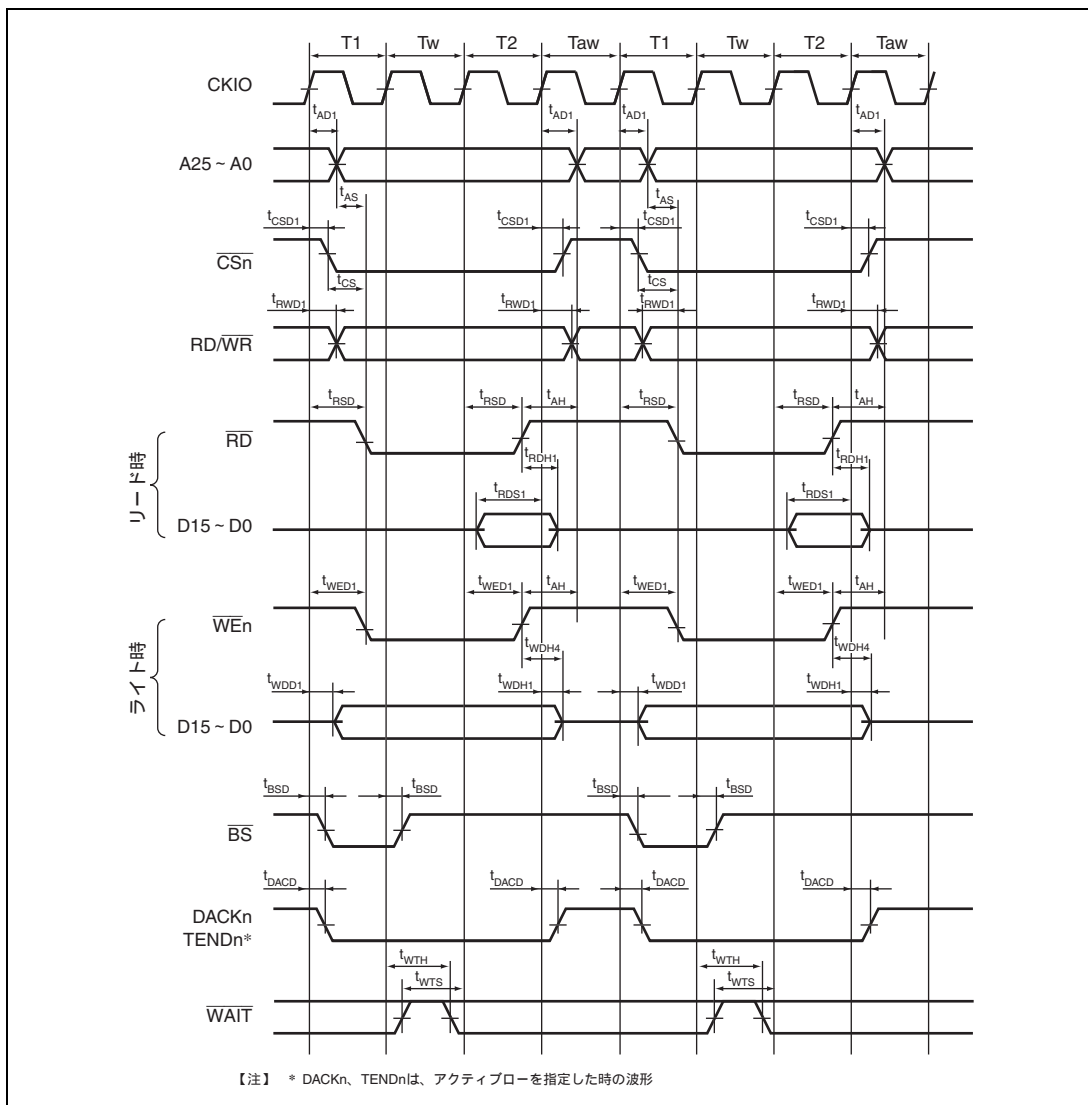


図 52.12 通常空間基本バスサイクル
(ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット=0)、アイドルサイクルなし)

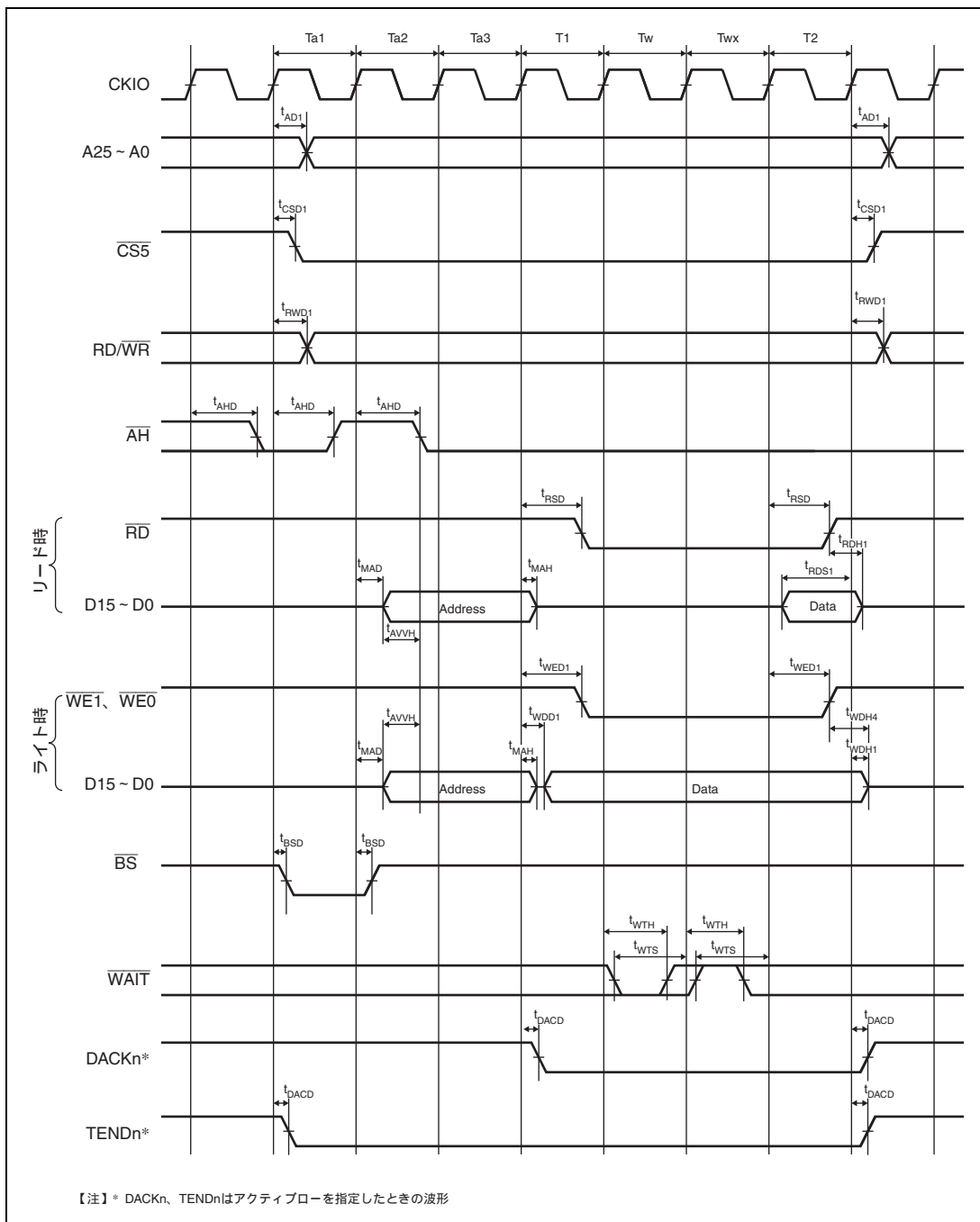


図 52.13 MPX-I/O インタフェースバスサイクル
(アドレスサイクル3、ソフトウェアウェイト1、外部ウェイト1挿入)

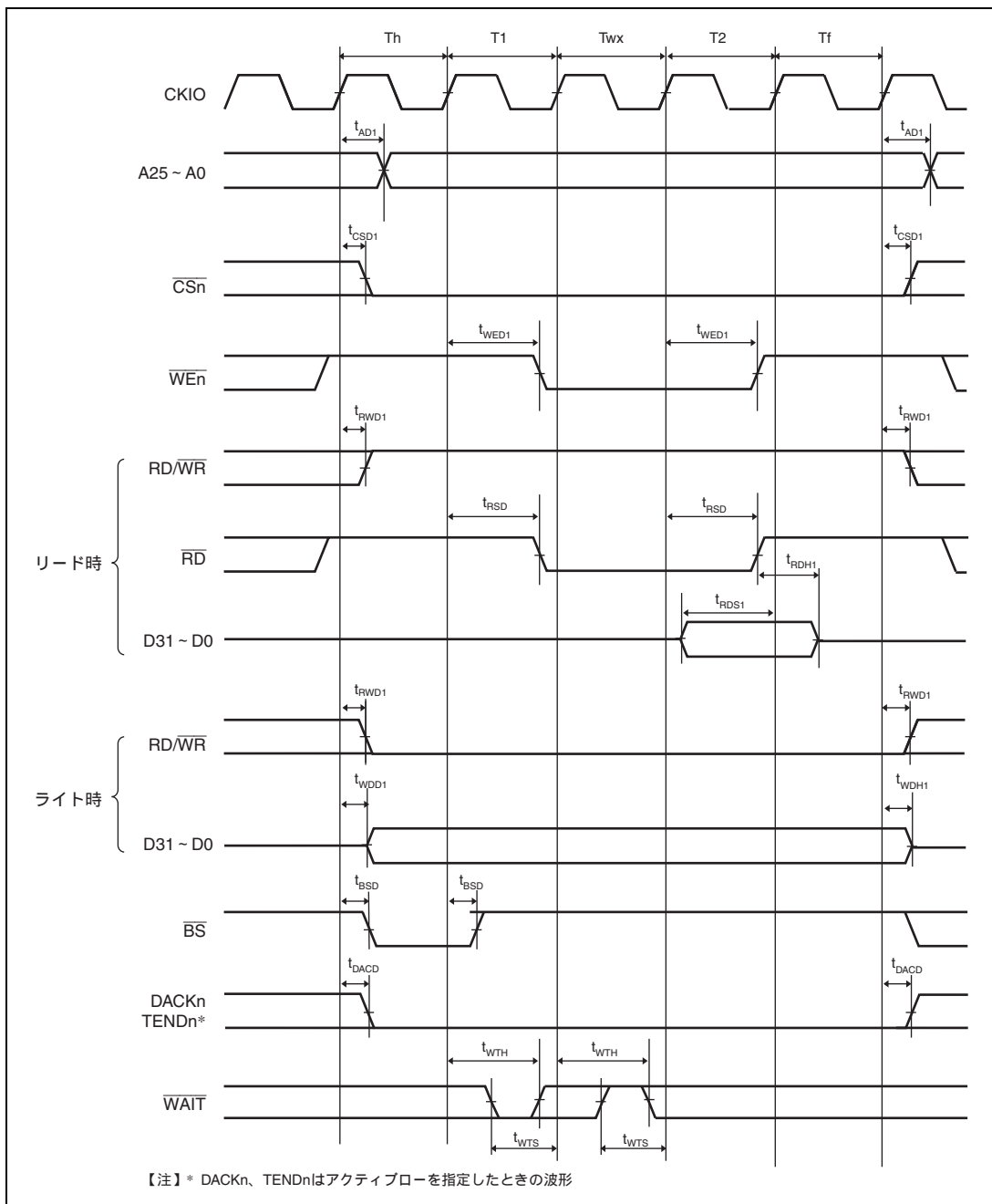


図 52.14 バイト選択付き SRAM バスサイクル (SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、BAS=0 (ライトサイクル UB/LB コントロール))

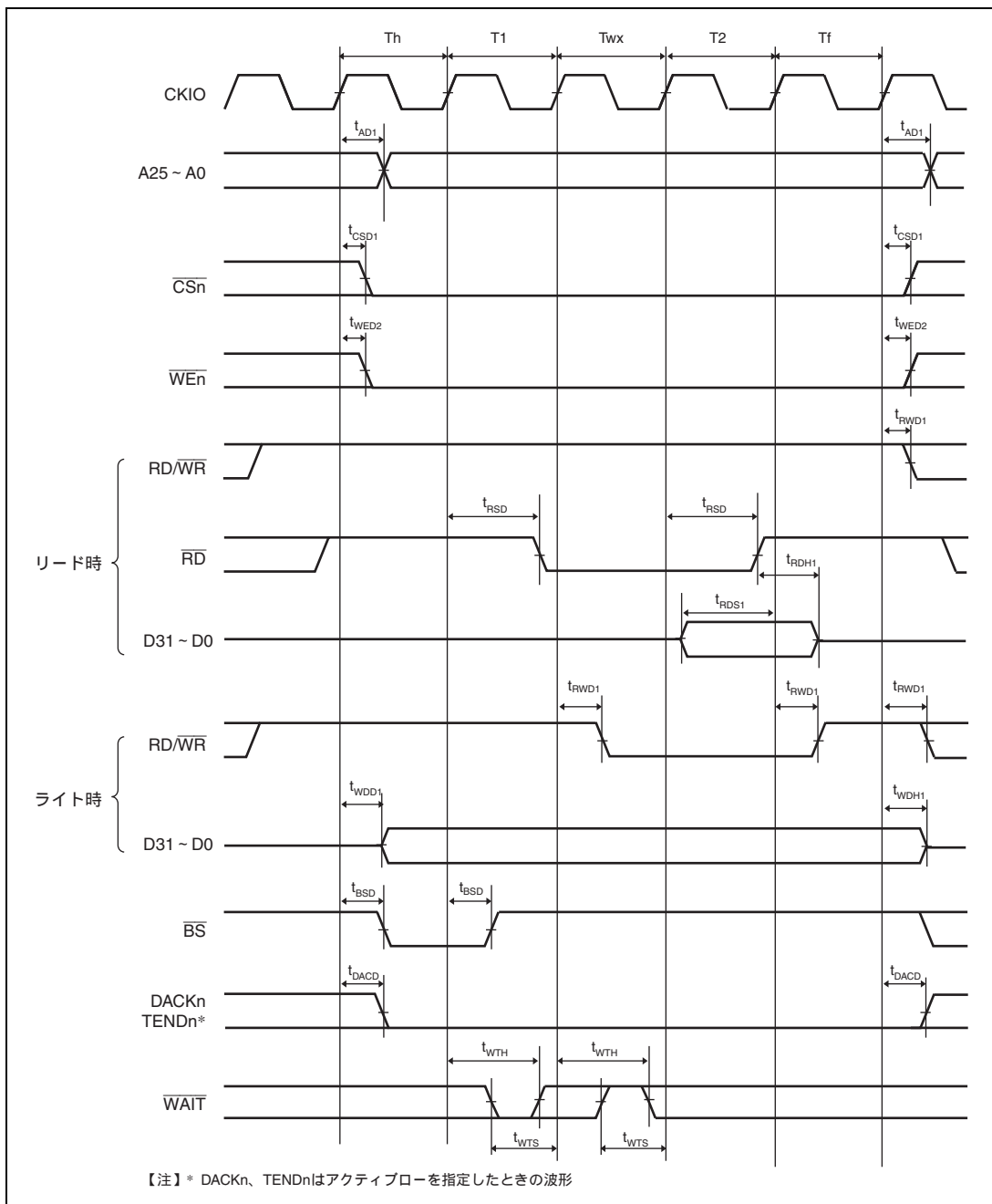


図 52.15 バイト選択付き SRAM バスサイクル (SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、BAS=1 (ライトサイクル WE コントロール))

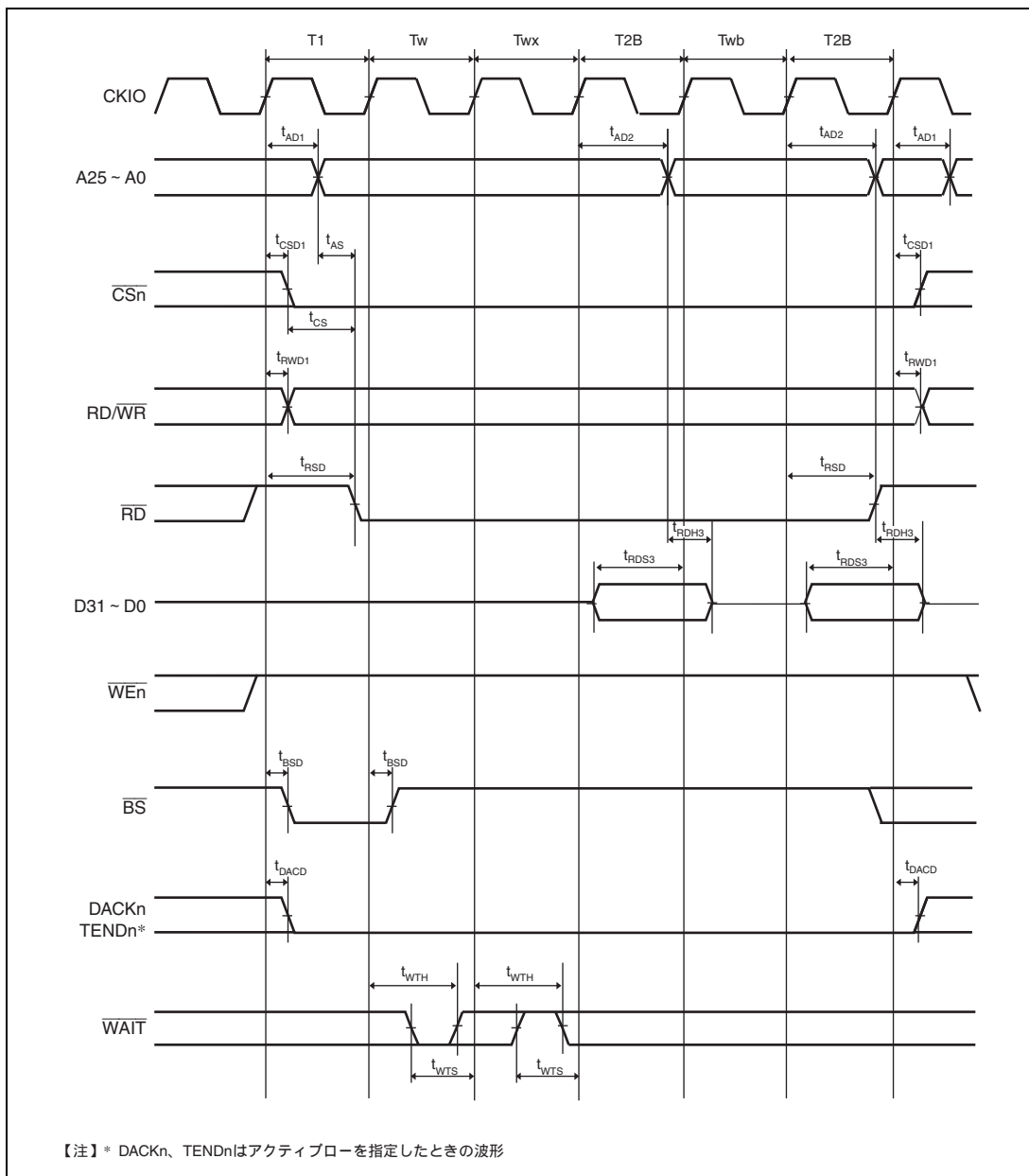


図 52.16 バースト ROM リードサイクル
(ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入バーストウェイト 1、2 バースト)

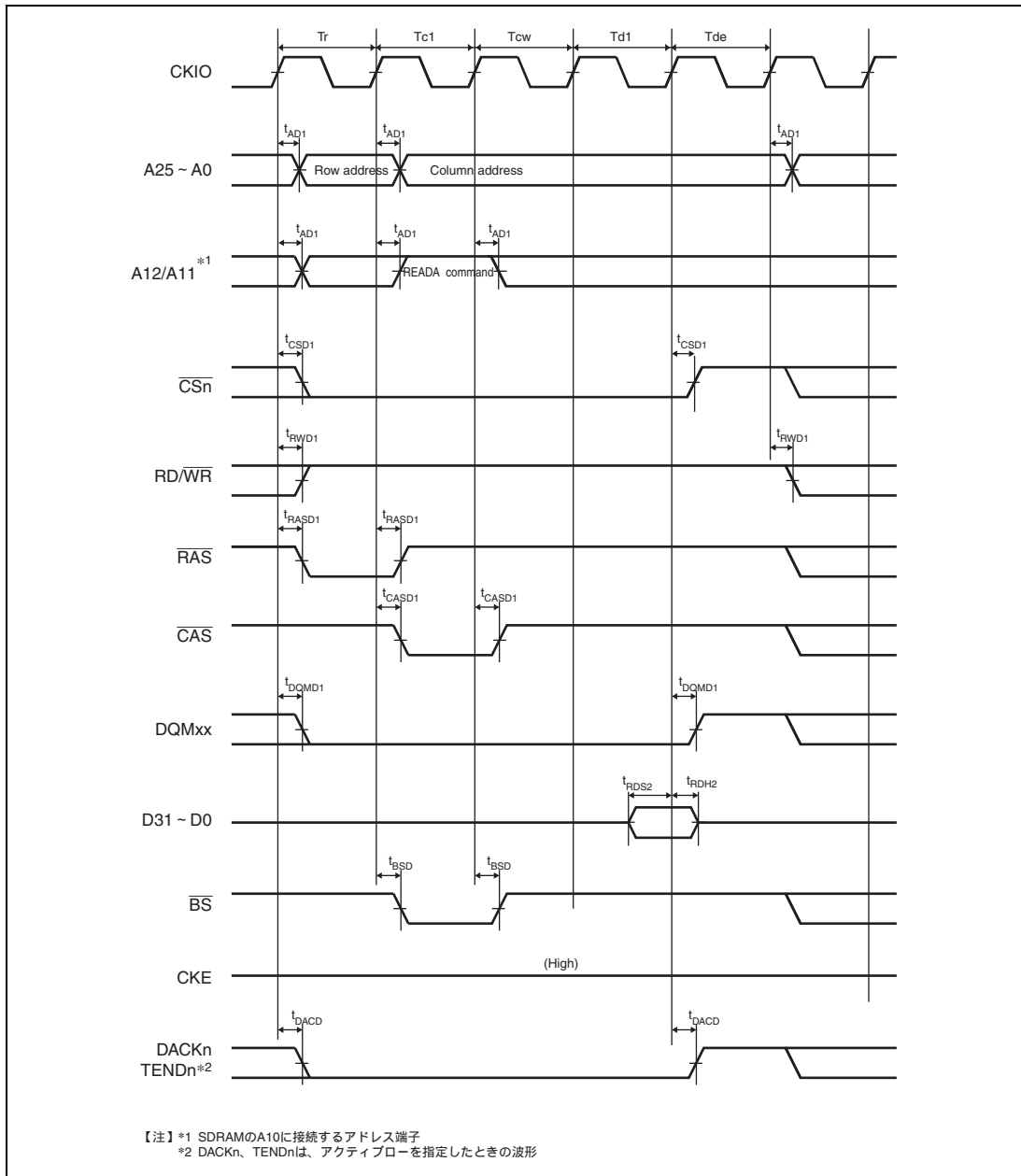


図 52.17 シンクロナス DRAM シングルリードバスサイクル
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 0 サイクル)

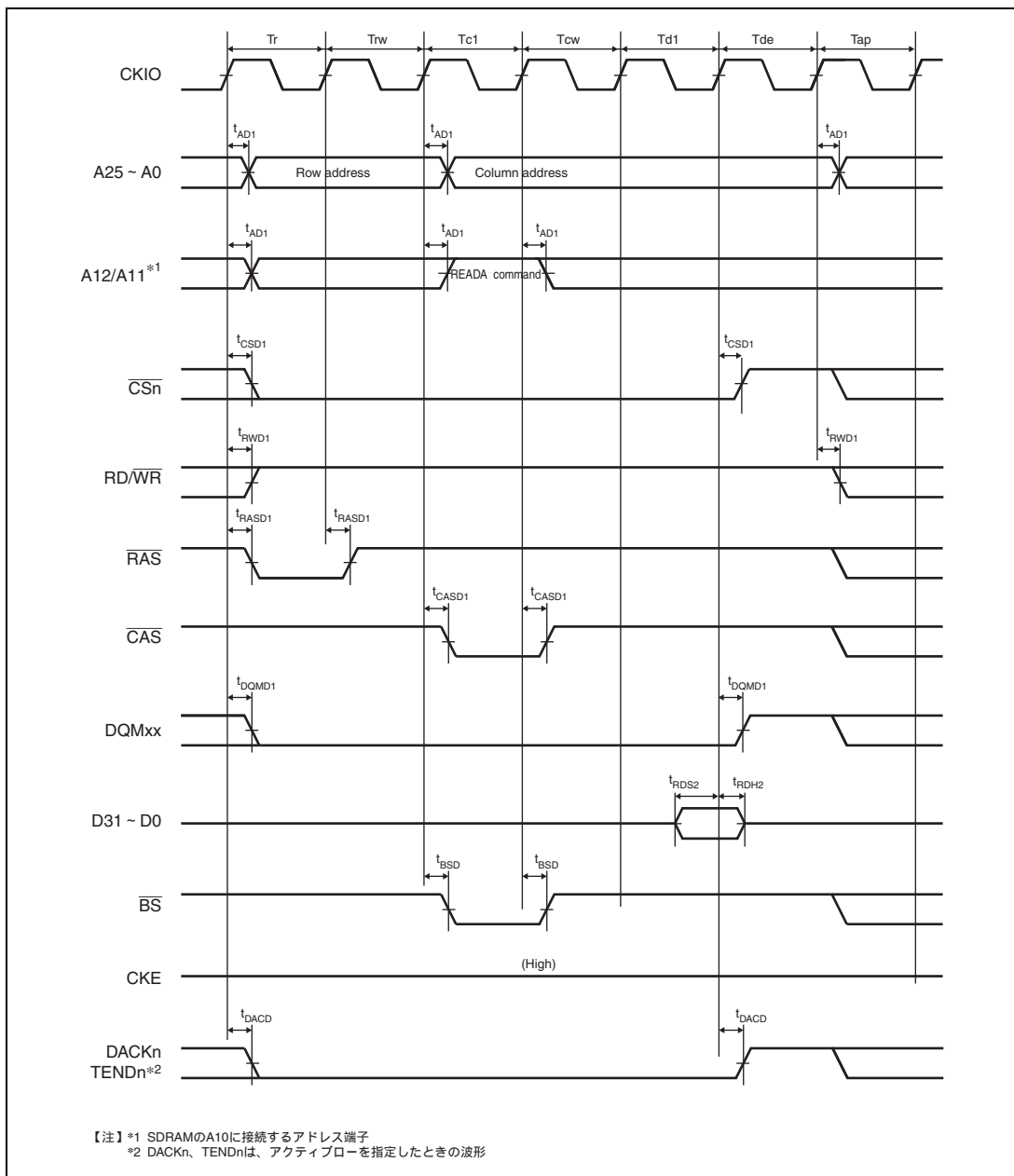


図 52.18 シンクロナス DRAM シングルリードバスサイクル
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 1 サイクル)

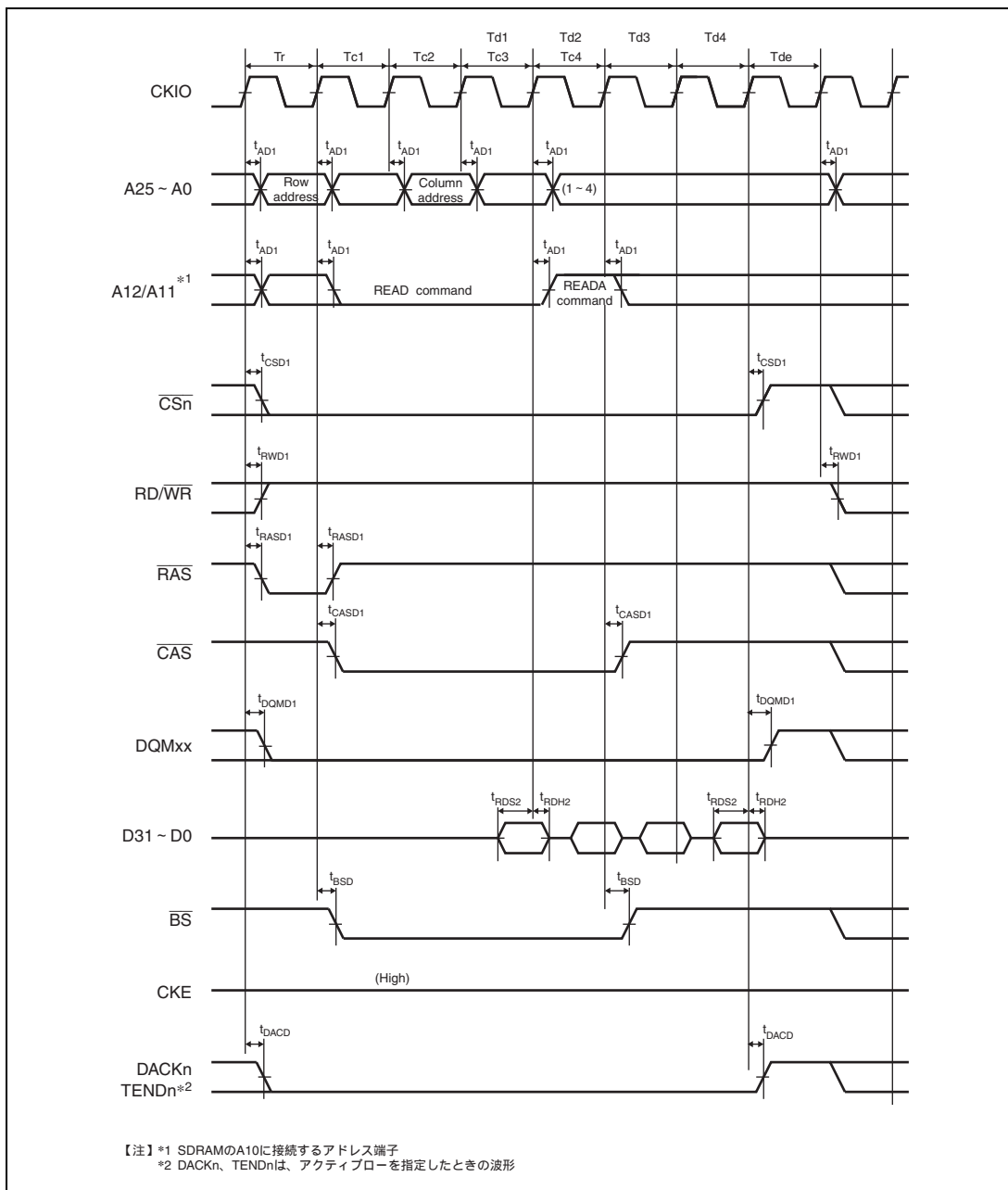


図 52.19 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 1 サイクル)

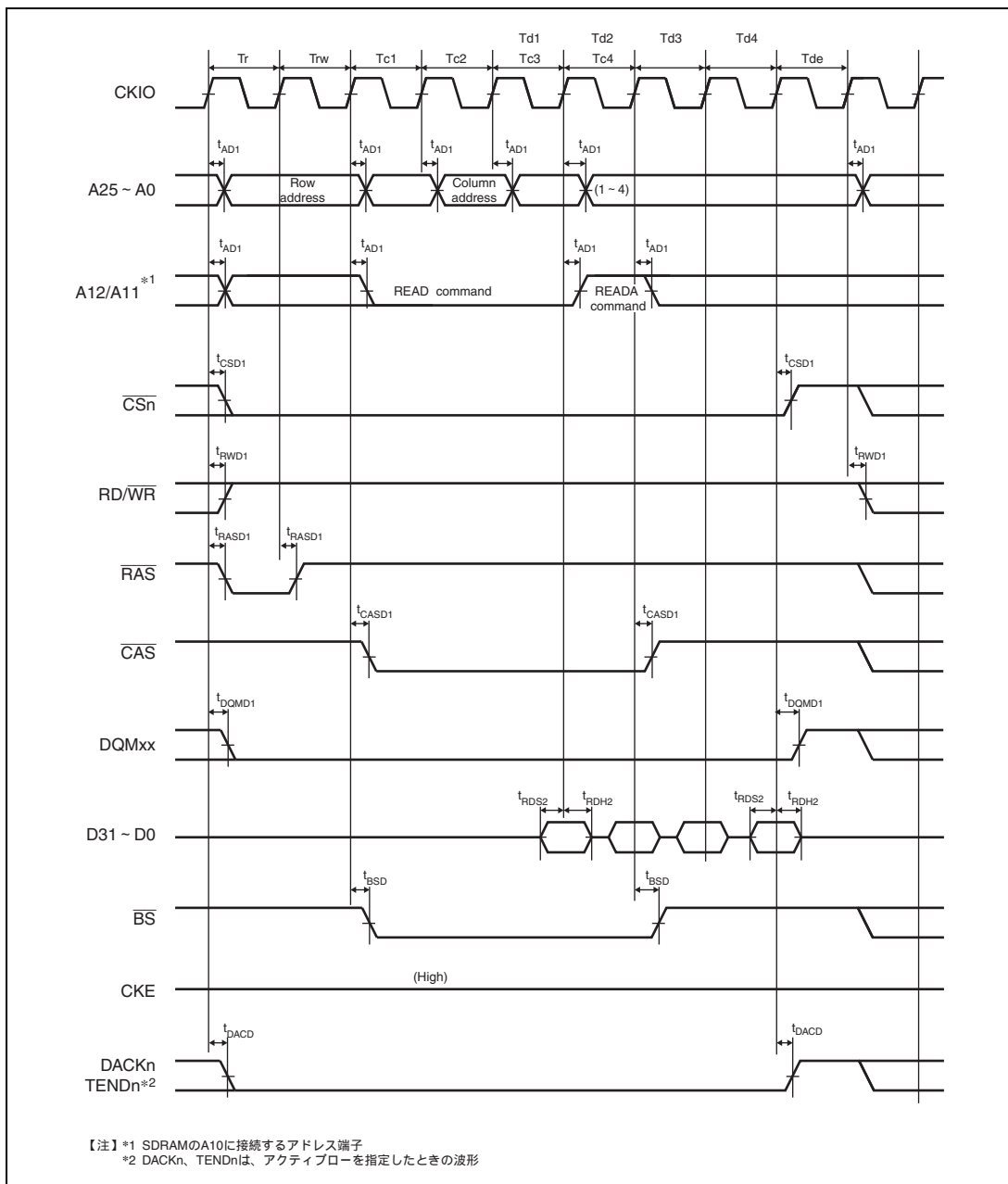


図 52.20 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 0 サイクル)

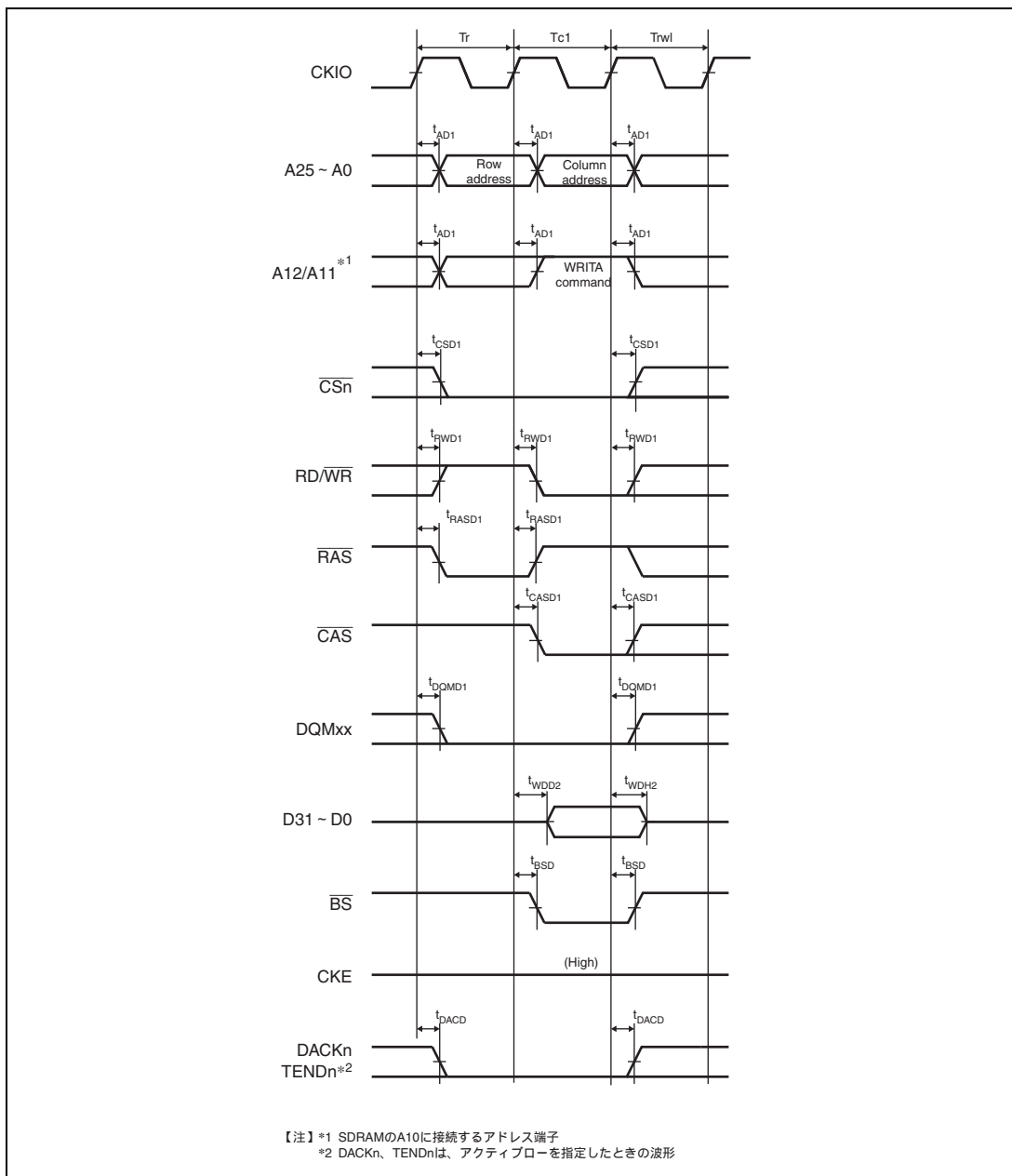


図 52.21 シンクロナス DRAM シングルライトバスサイクル
(オートプリチャージあり、TRWL = 1 サイクル)

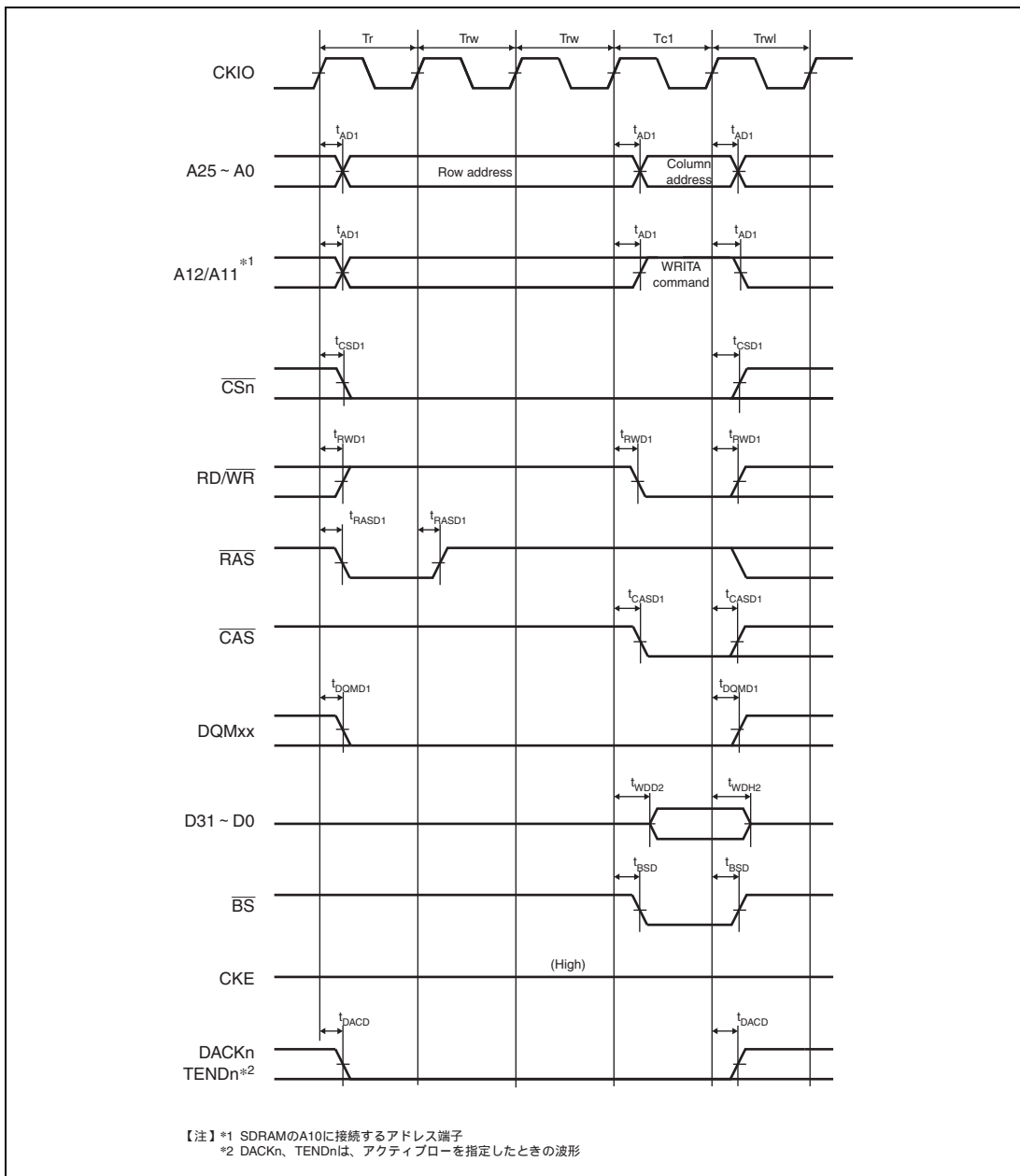


図 52.22 シンクロナス DRAM シングルライトパスサイクル
(オートプリチャージあり、WTRCD = 2 サイクル、TRWL = 1 サイクル)

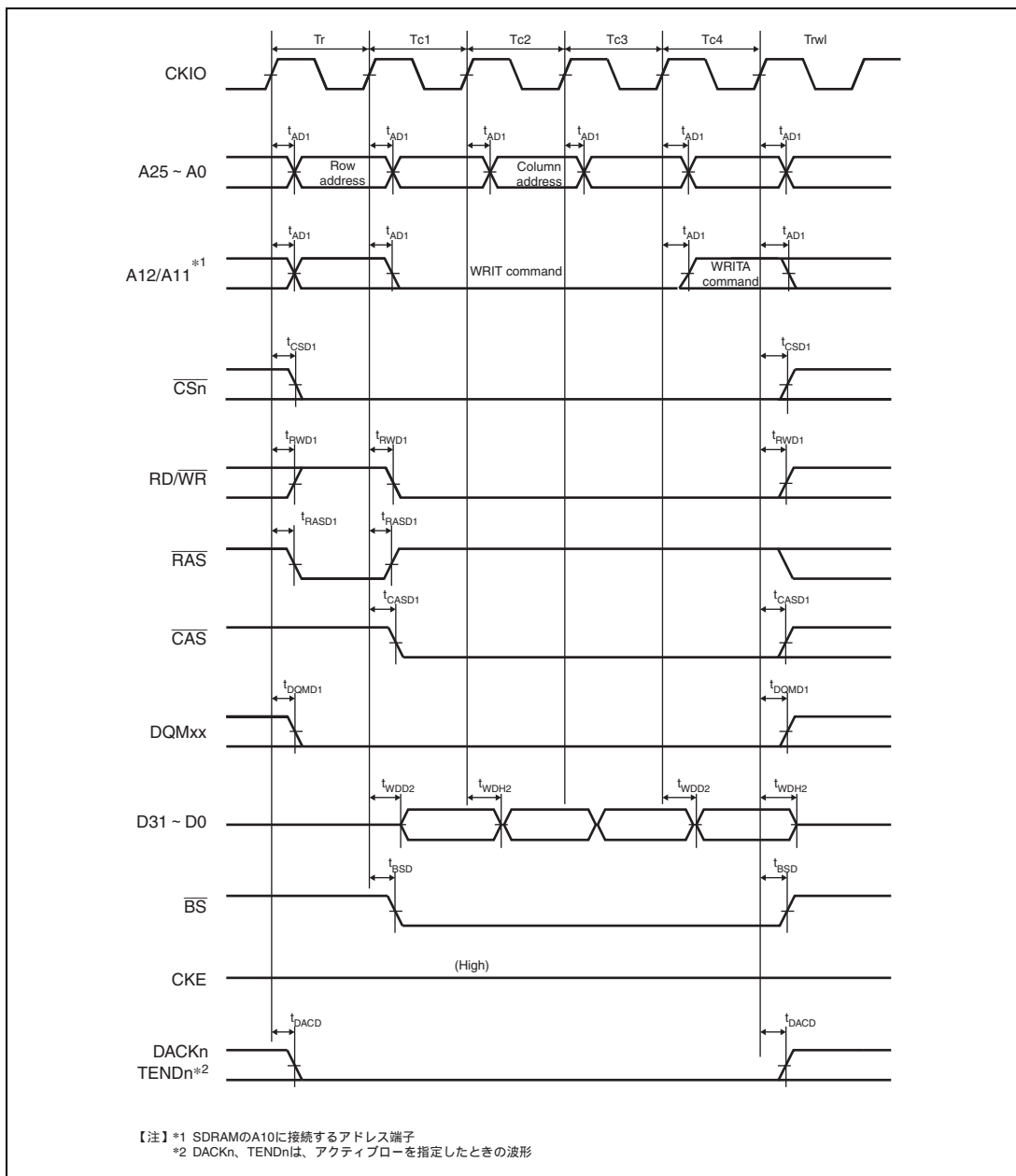


図 52.23 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
(オートプリチャージあり、WTRCD = 0 サイクル、TRWL = 1 サイクル)

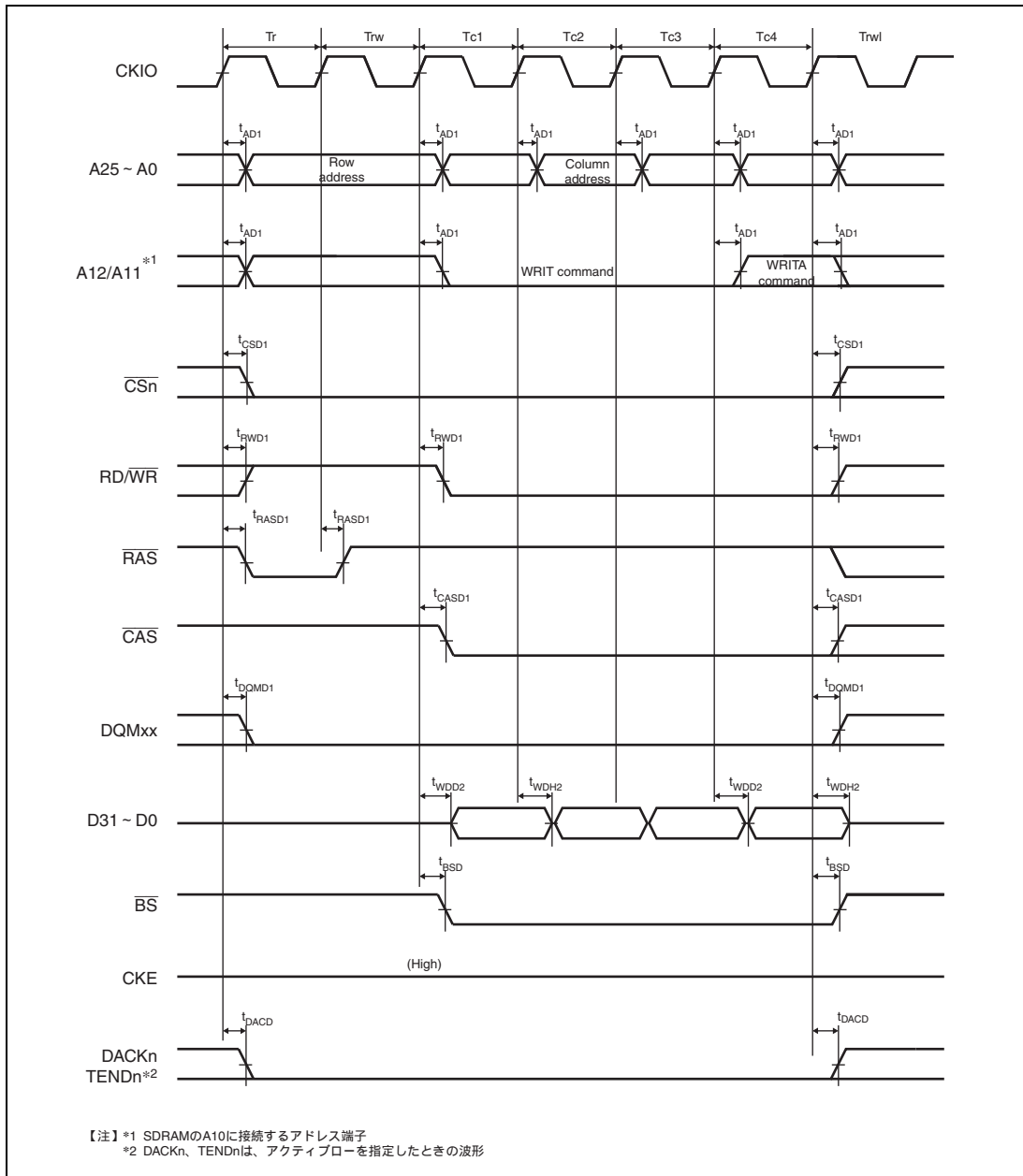


図 52.24 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
 (オートプリチャージあり、WTRCD = 1 サイクル、TRWL = 1 サイクル)

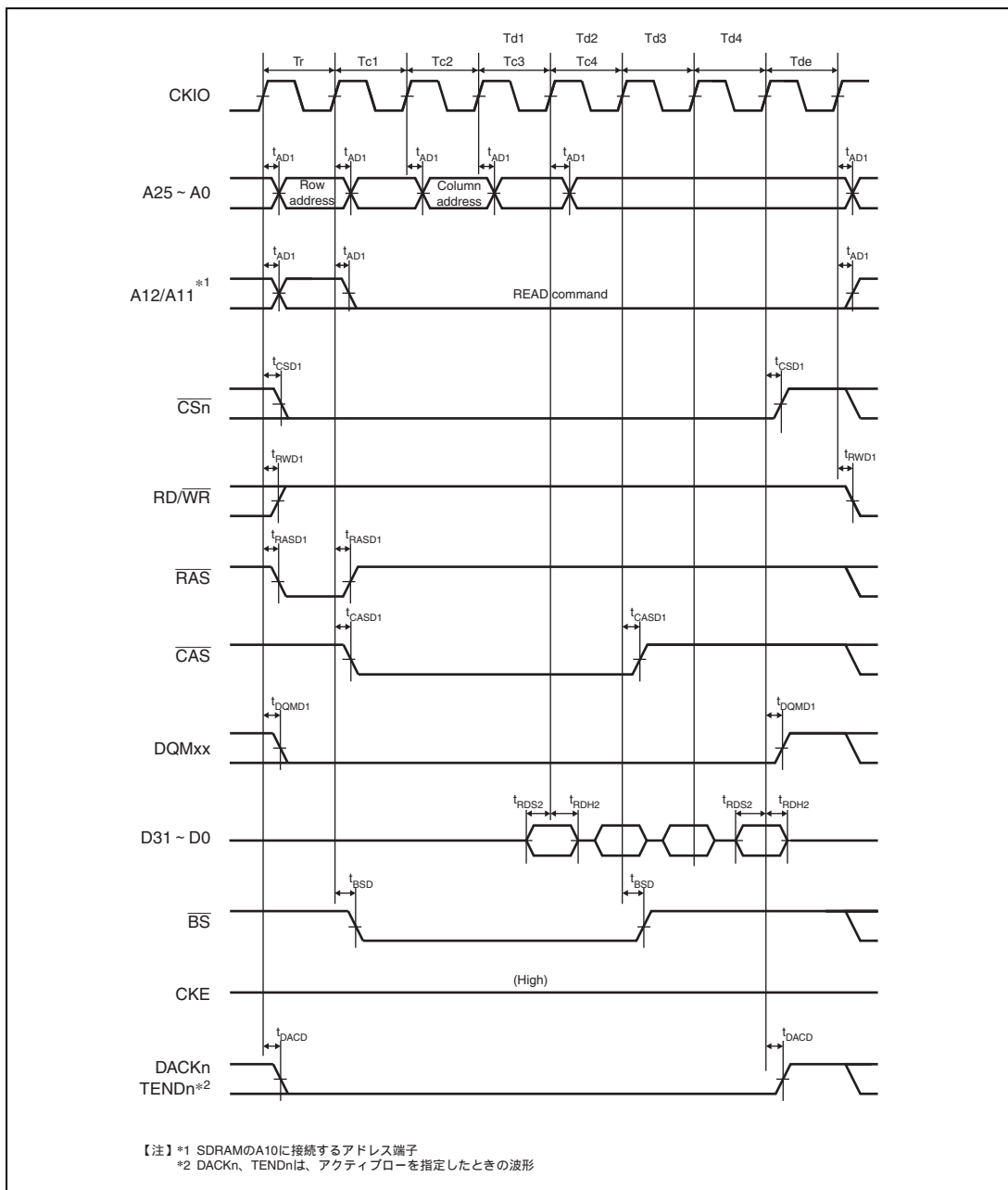


図 52.25 シンクロナス DRAM パーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード : ACT + READ コマンド、CAS レイテンシ 2、WTRCD = 0 サイクル)

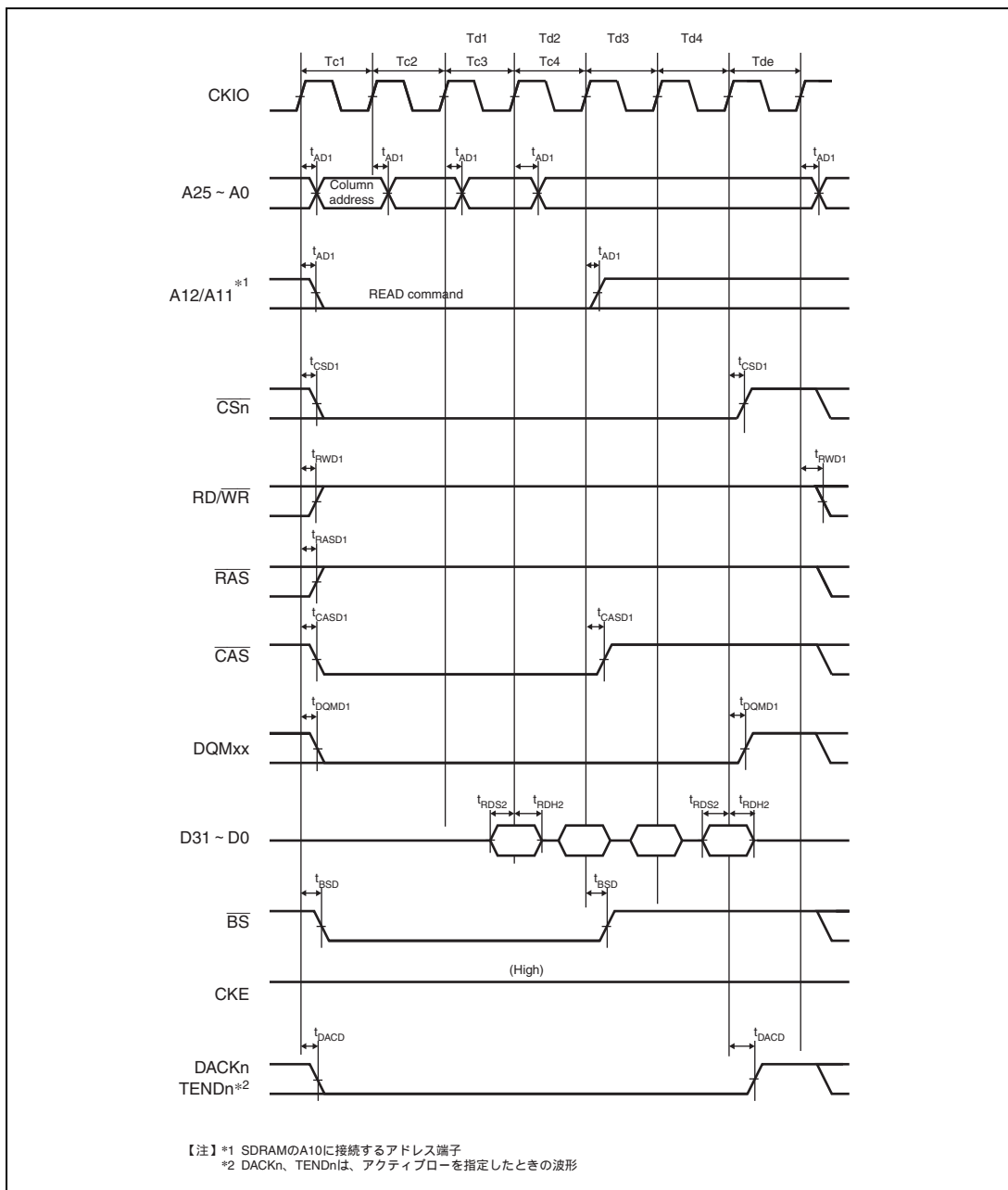


図 52.26 シンクロナス DRAM パーストリードバスサイクル (リード4 サイクル分)
(バンクアクティブモード : READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

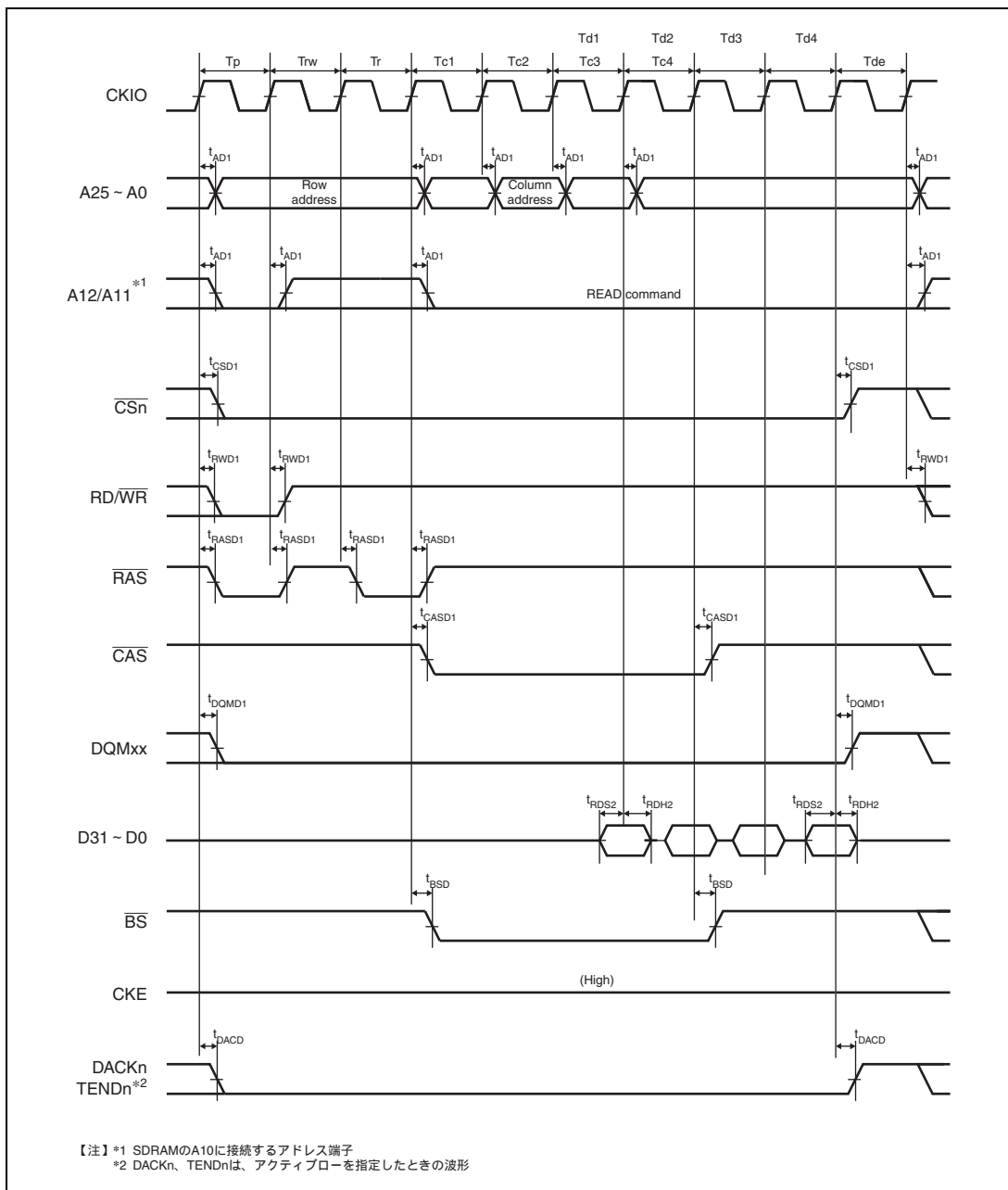


図 52.27 シンクロナス DRAM パーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード：PRE + ACT + READ コマンド、異なるロウアドレス、CAS レイテンシ 2、
WTRCD = 0 サイクル)

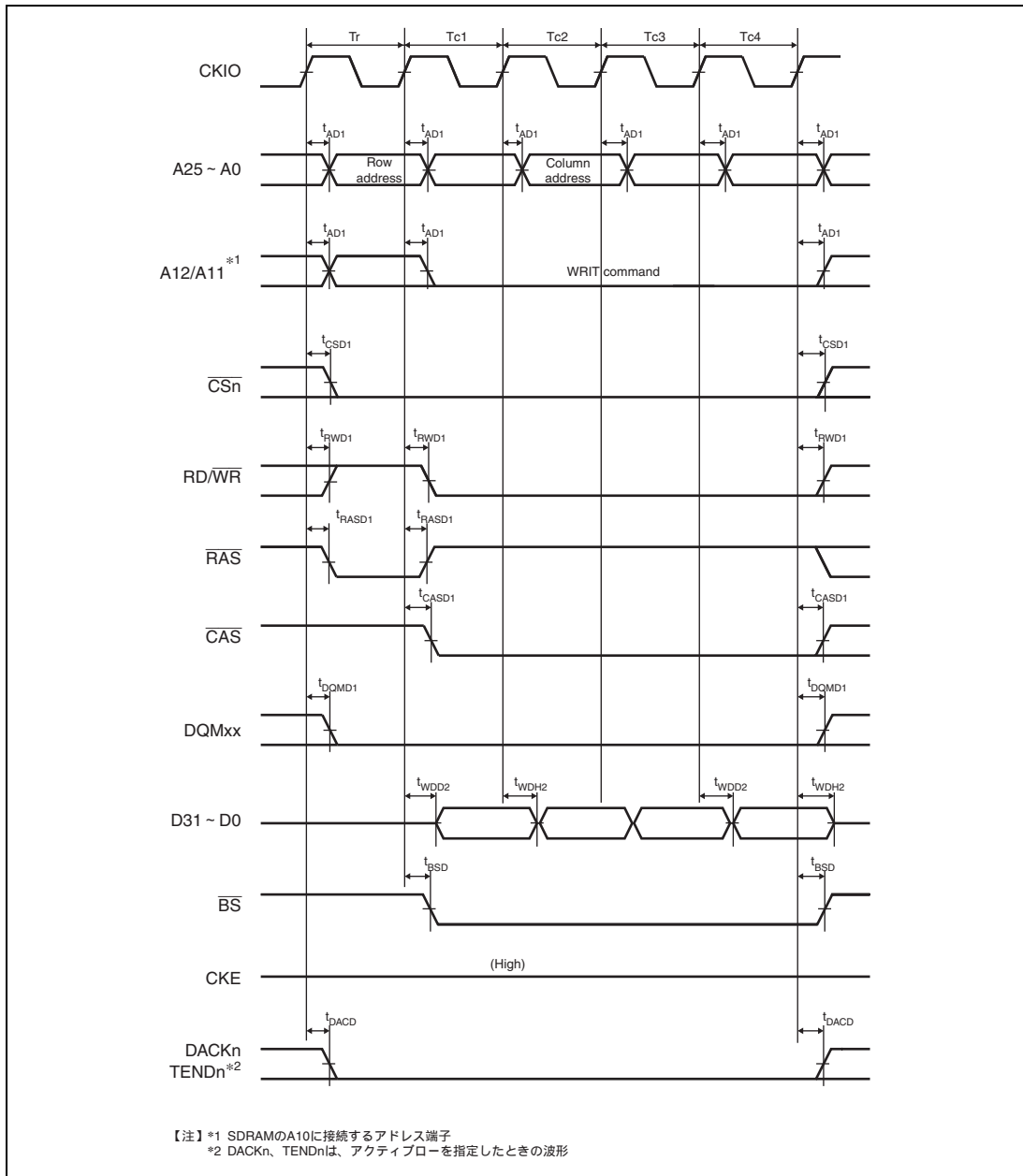


図 52.28 シンクロナス DRAM パーストライトバスサイクル (ライト4サイクル分)
(バンクアクティブモード : ACT + WRITE コマンド、WTRCD = 0 サイクル、TRWL = 0 サイクル)

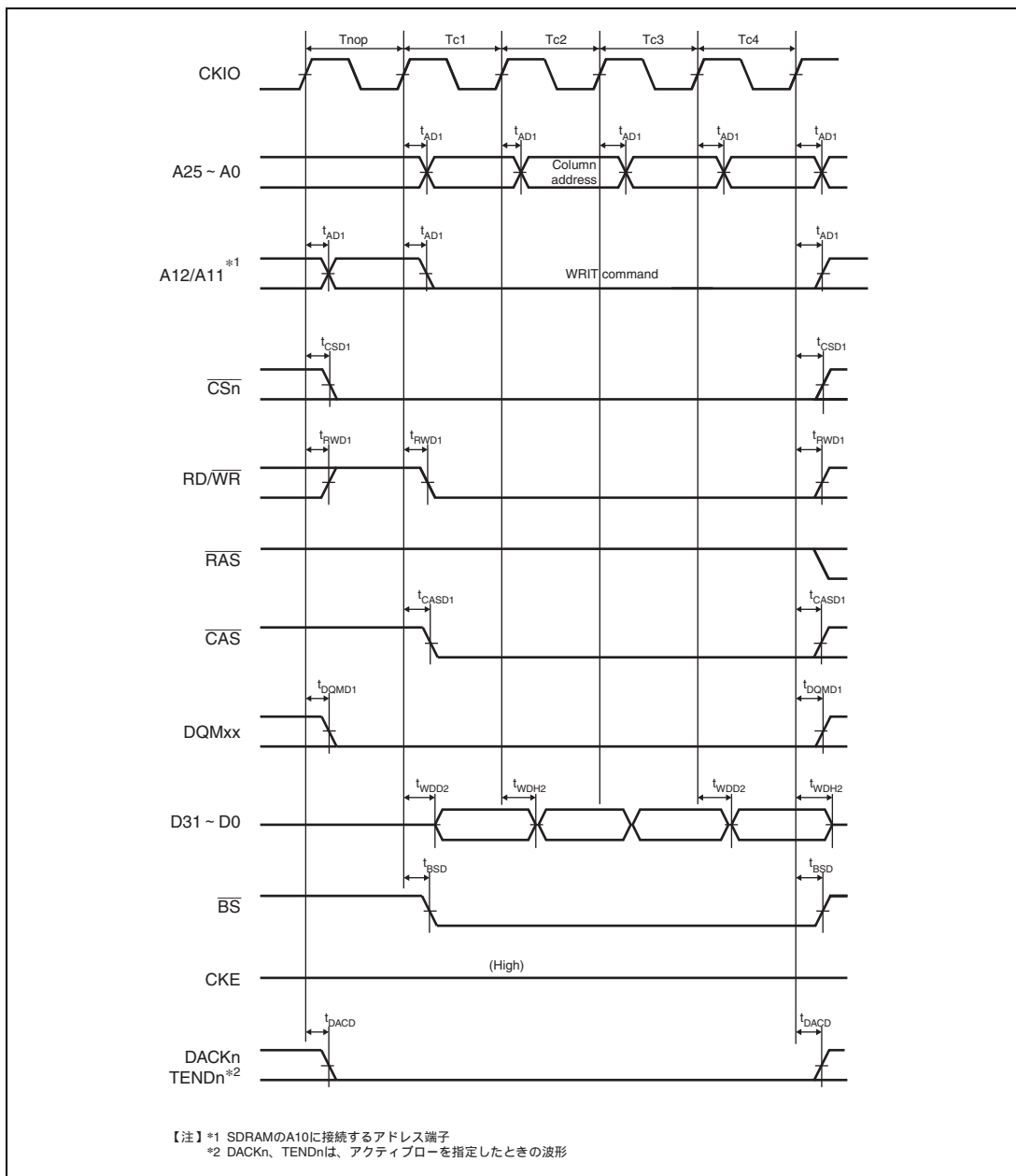


図 52.29 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分)
 (バンクアクティブモード : WRITE コマンド、同一ロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル)

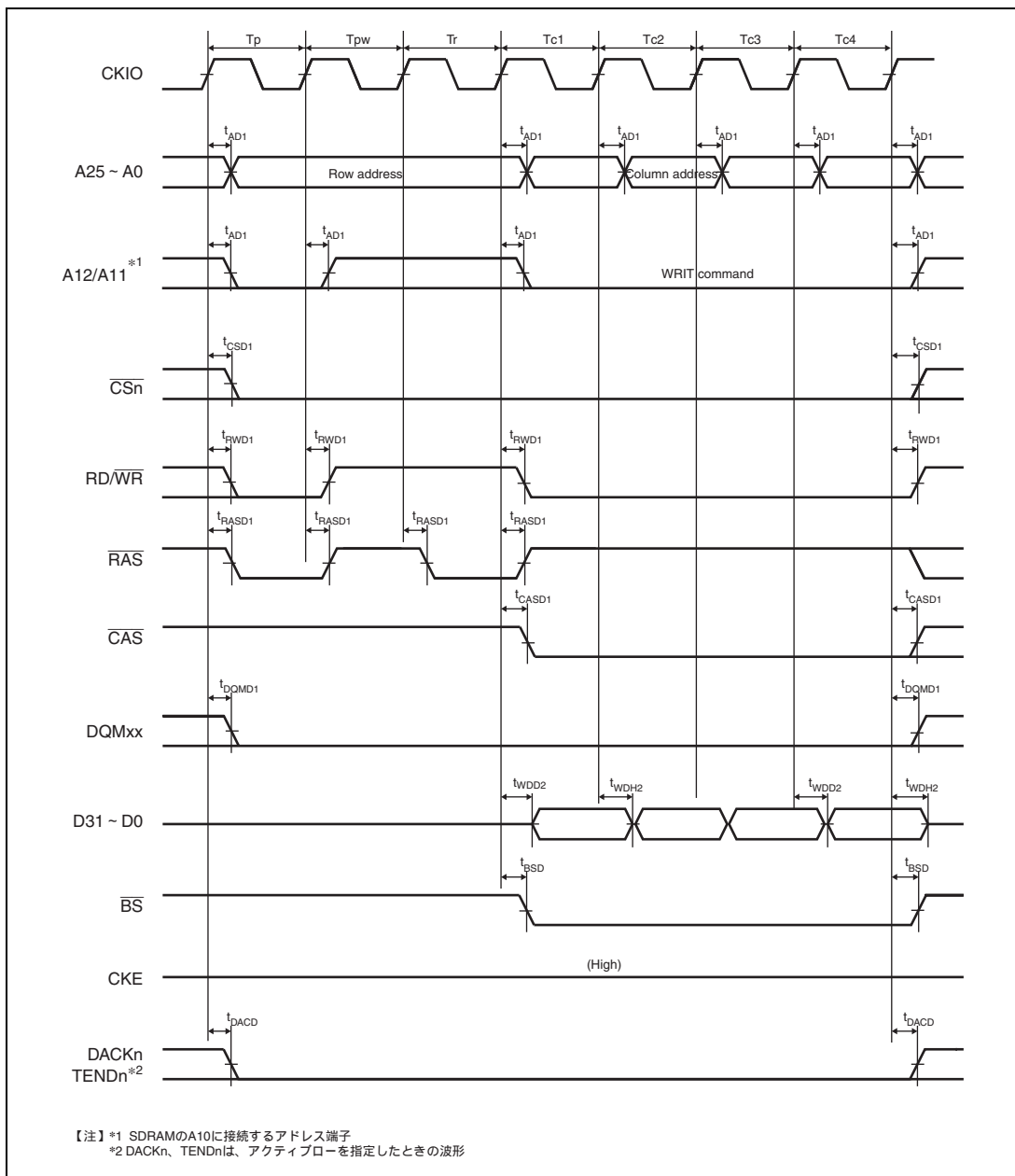


図 52.30 シンクロナス DRAM パーストライトバスサイクル (ライト4サイクル分)
 (バンクアクティブモード : PRE + ACT + WRITE コマンド、異なるロウアドレス、WTRCD = 0 サイクル、
 TRWL = 0 サイクル)

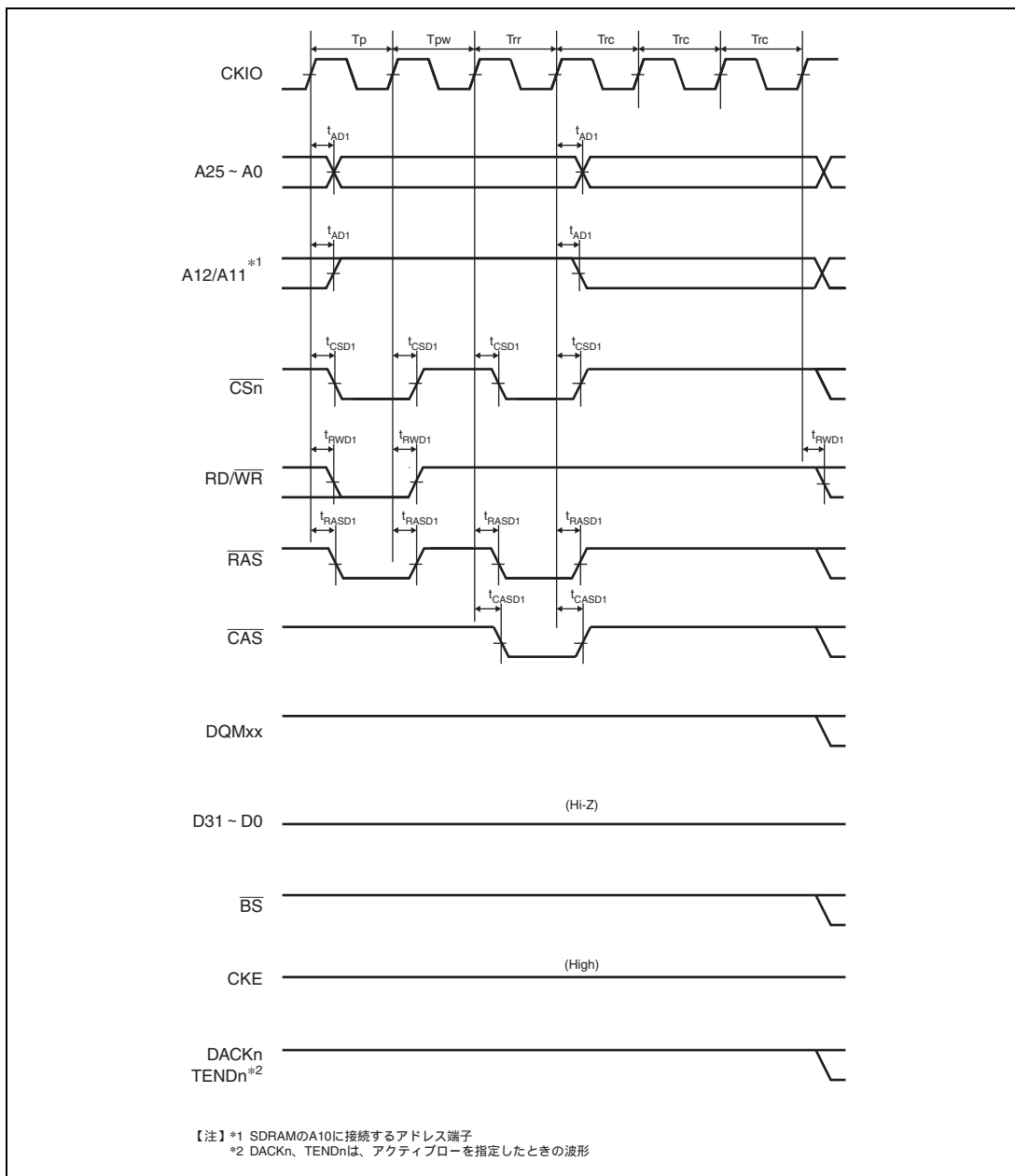


図 52.31 シンクロナス DRAM オートリフレッシュタイミング (WTRP = 1 サイクル、WTRC = 3 サイクル)

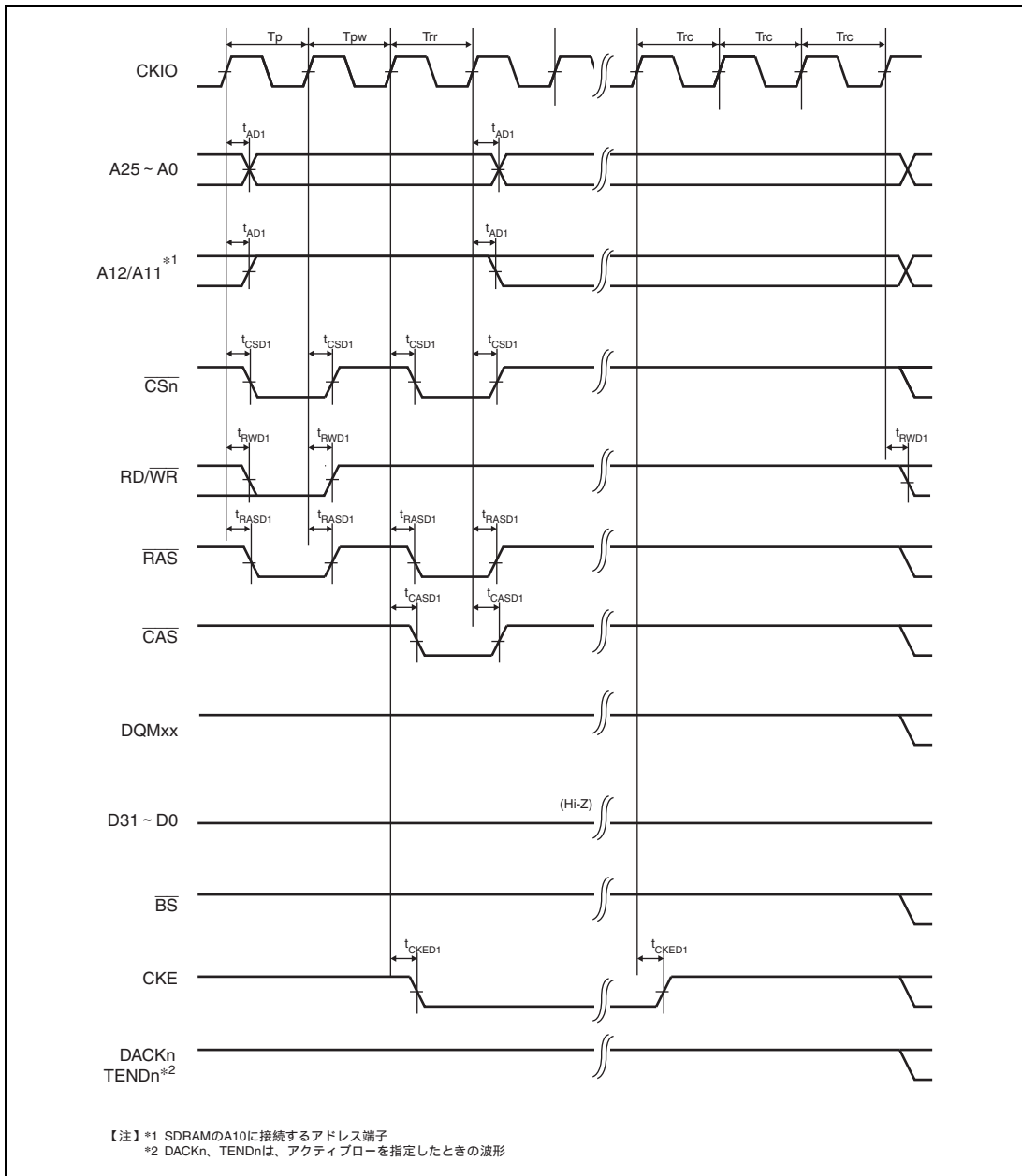


図 52.32 シンクロナス DRAM セルフリフレッシュタイミング (WTRP = 1 サイクル)

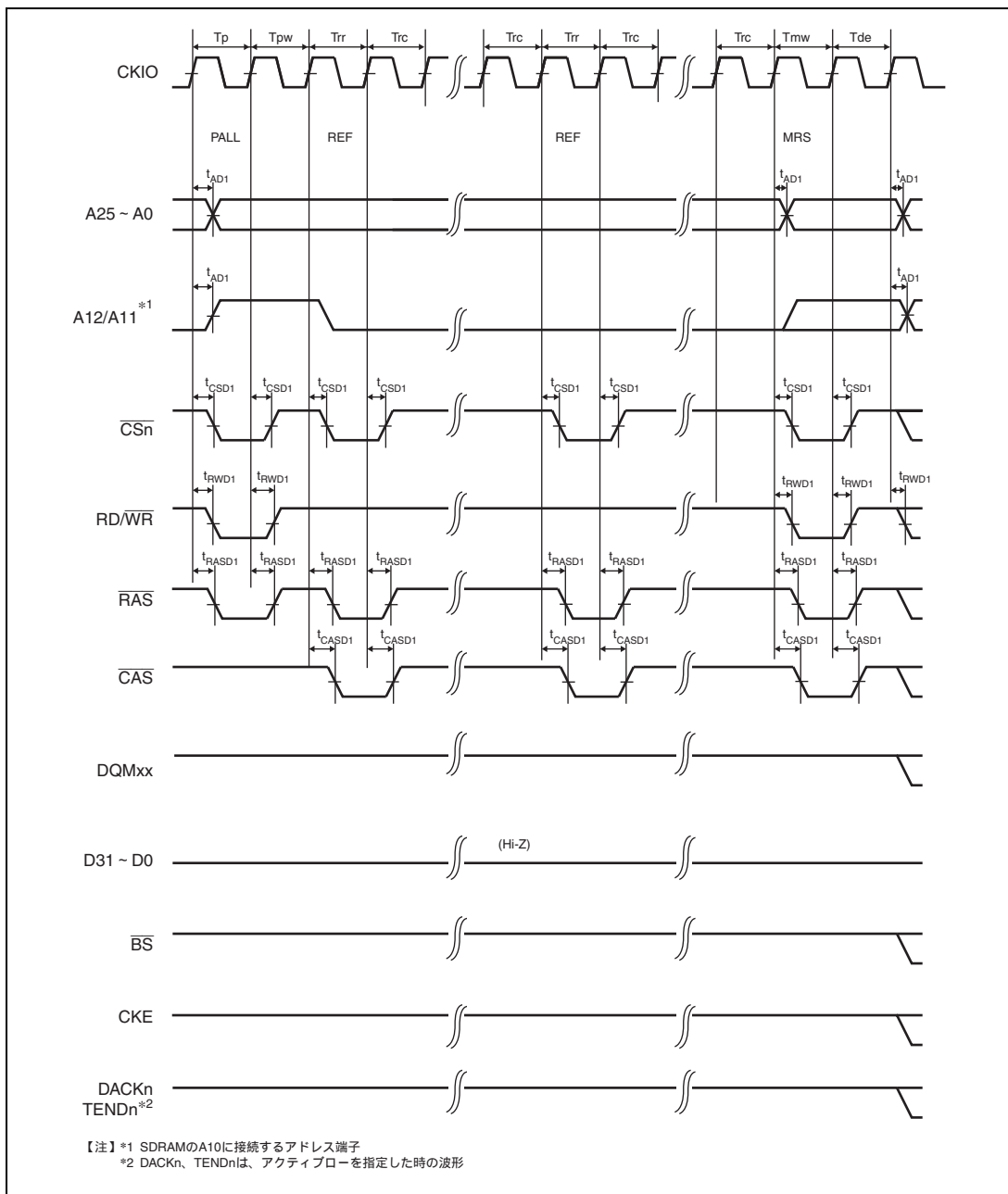


図 52.33 シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP = 1 サイクル)

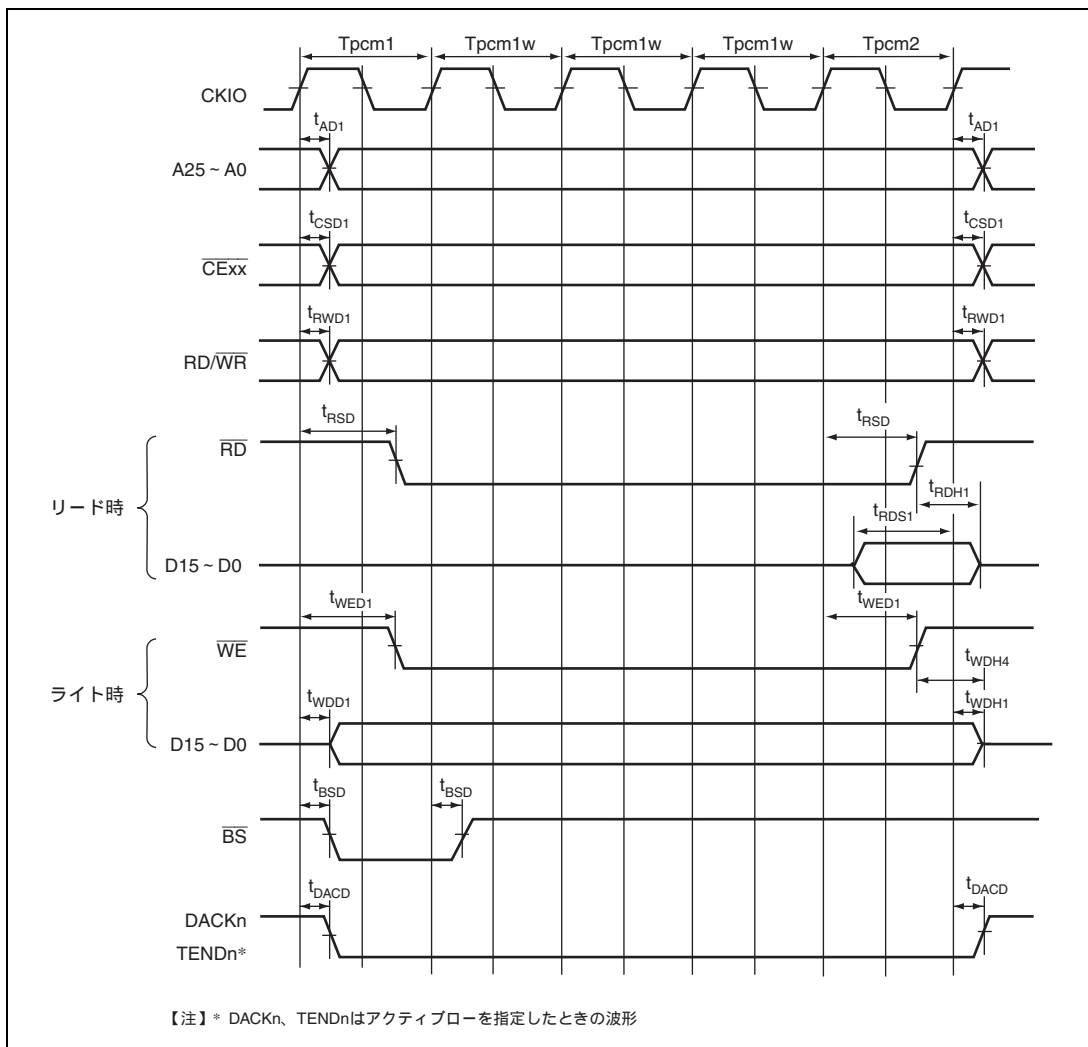


図 52.34 PCMCIA メモリカードバスサイクル (TED = 0 サイクル、TEH = 0 サイクル、ノーウェイト)

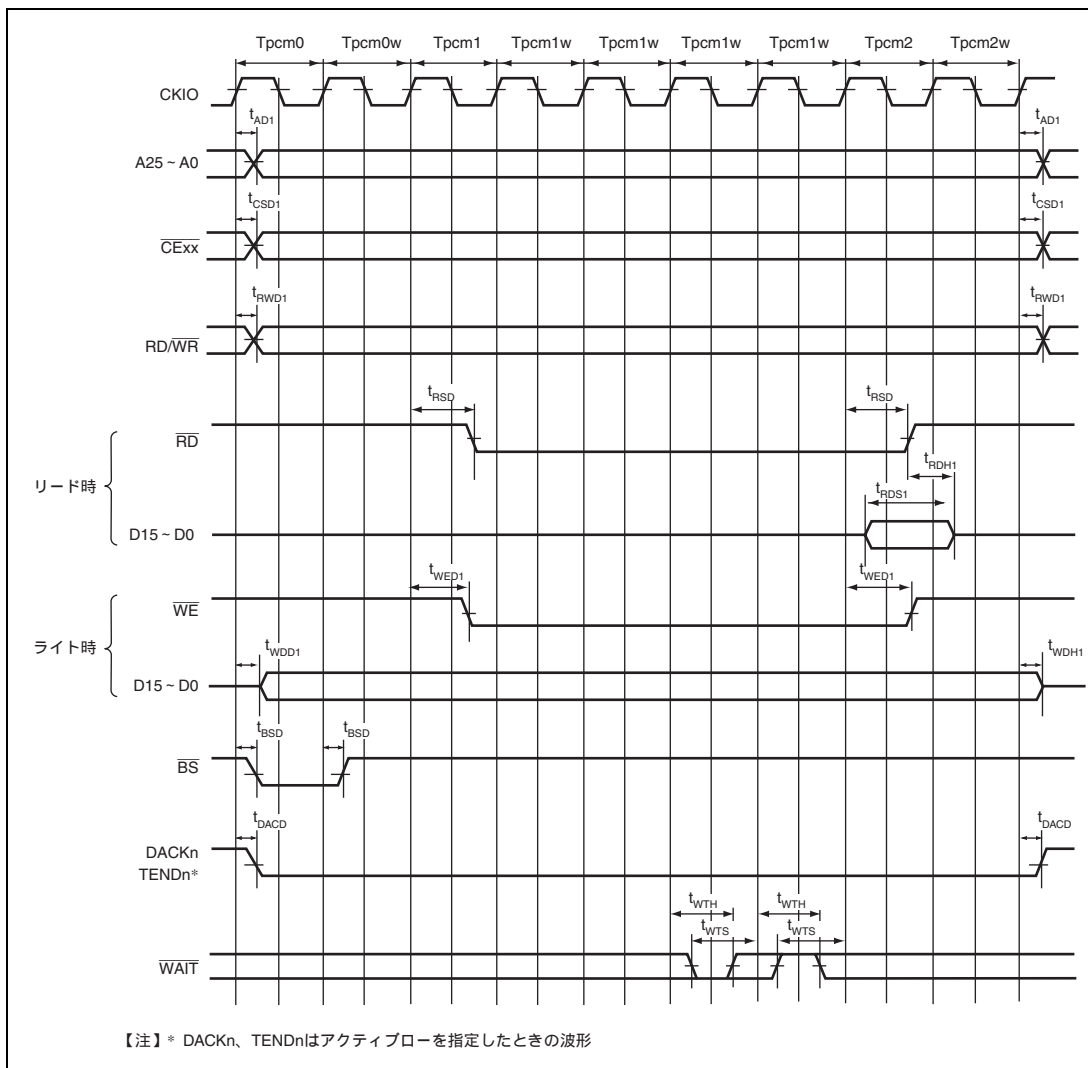


図 52.35 PCMCIA メモリカードバスサイクル
(TED = 2 サイクル、TEH = 1 サイクル、ソフトウェアイト 0、ハードウェイト 1)

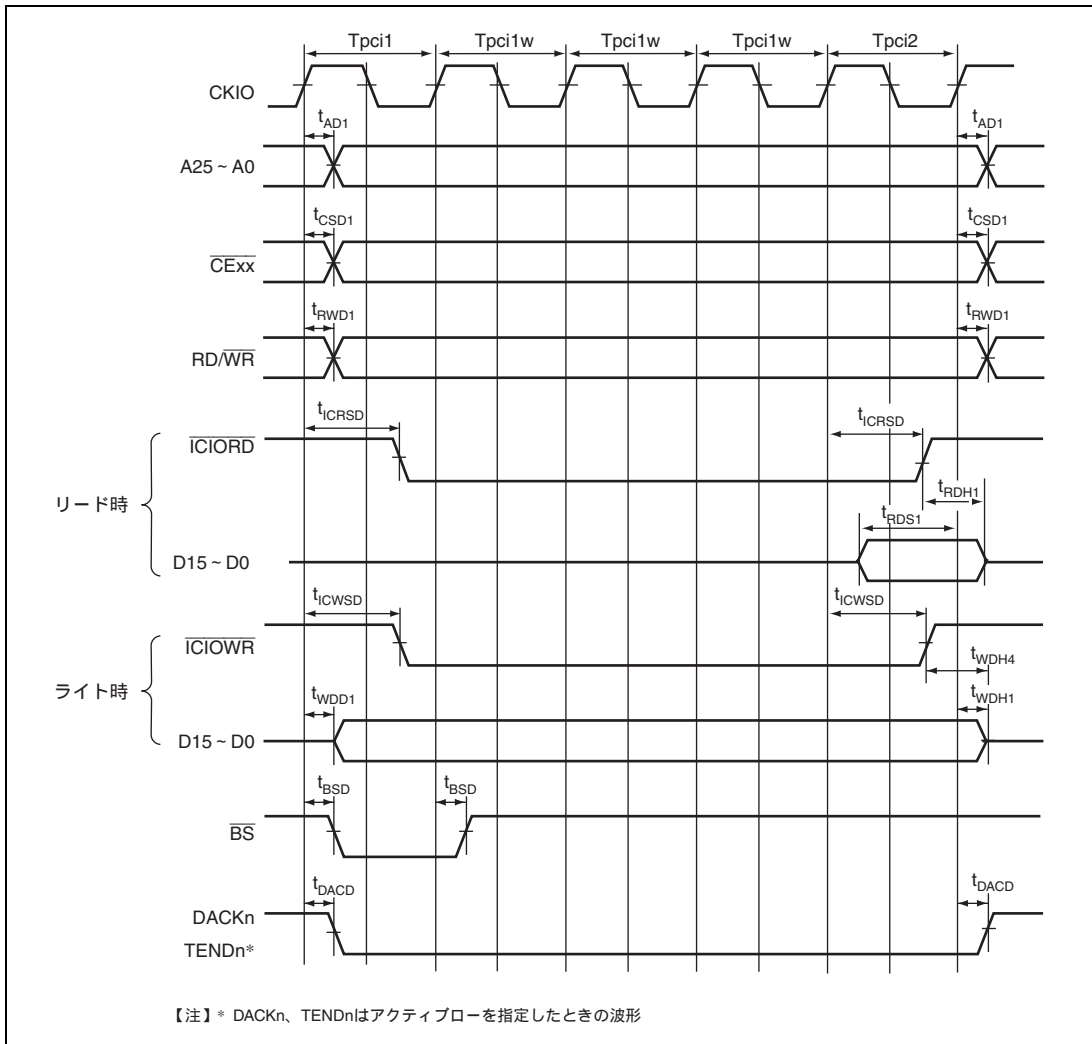


図 52.36 PCMCIA I/O カードバスサイクル (TED = 0 サイクル、TEH = 0 サイクル、ノーウェイト)

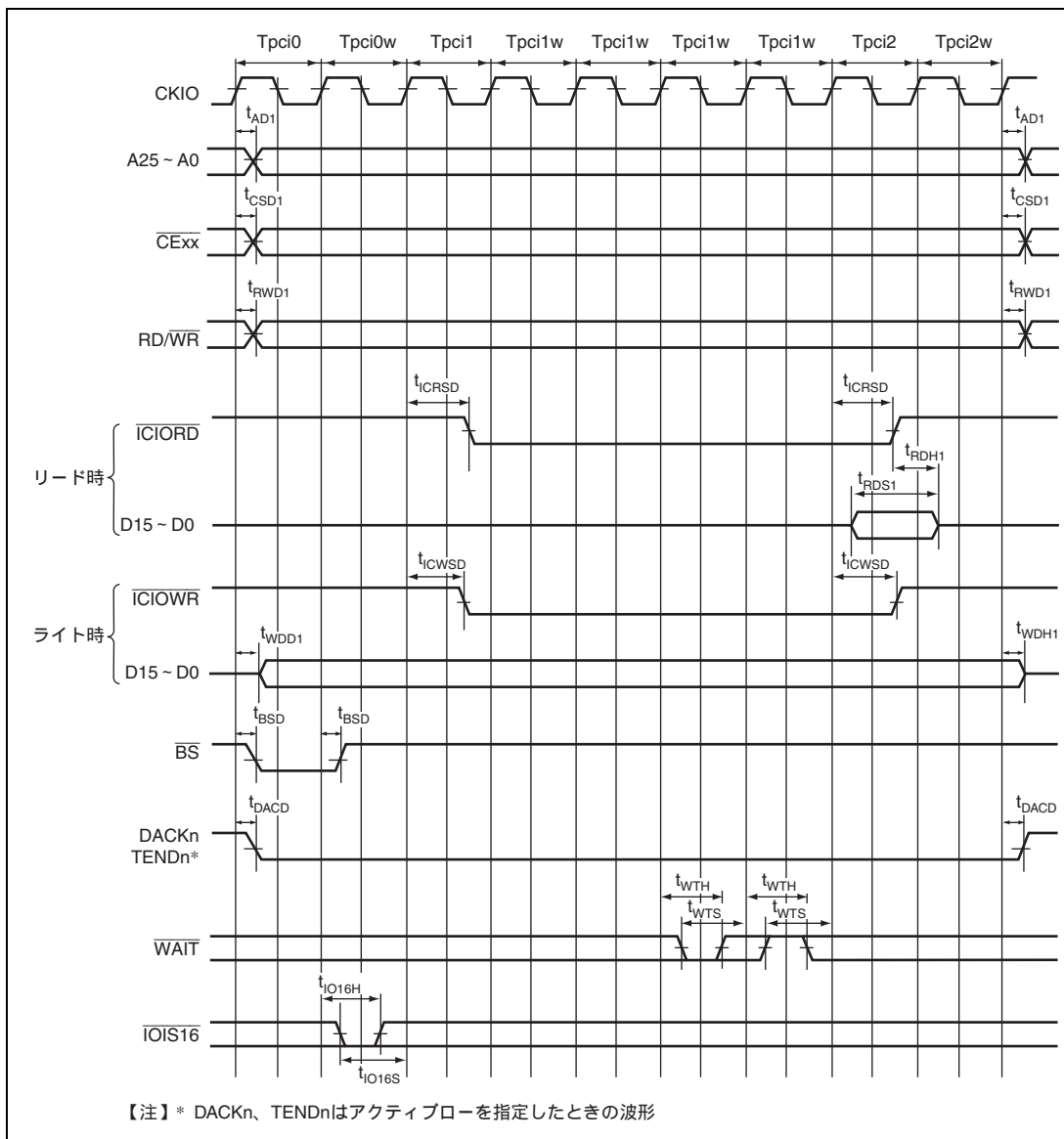


図 52.37 PCMCIA I/O カードバスサイクル
(TED = 2 サイクル、TEH = 1 サイクル、ソフトウェアイト 0、ハードウェアイト 1)

52.4.4 UBC タイミング

表 52.8 UBC タイミング

項目	記号	Min.	Max.	単位	参照図
UBCTRG 遅延時間	t _{UBCTGD}	-	14	ns	52.38

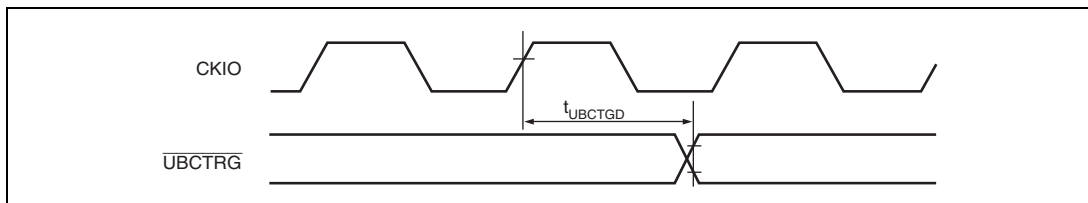


図 52.38 UBC トリガタイミング

52.4.5 ダイレクトメモリアクセスコントローラタイミング

表 52.9 ダイレクトメモリアクセスコントローラタイミング

項目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	t _{DRQS}	5.5	-	ns	52.39
DREQ ホールド時間	t _{DRQH}	2.5	-		
DACK、TEND 遅延時間	t _{DACD}	0	12		52.40

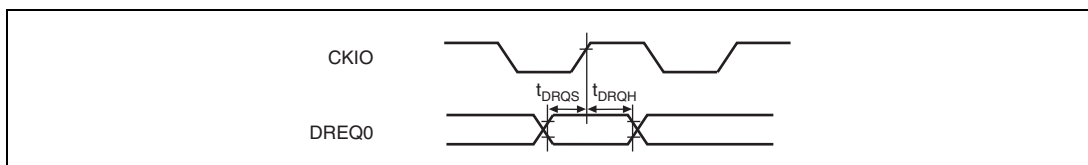


図 52.39 DREQ 入力タイミング

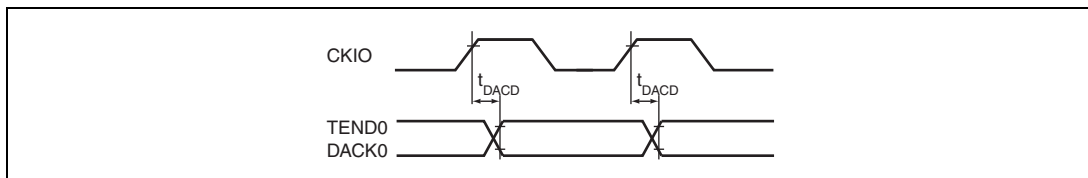


図 52.40 DACK、TEND 出力タイミング

52.4.6 マルチファンクションタイマパルスユニット 2 タイミング

表 52.10 マルチファンクションタイマパルスユニット 2 タイミング

項目	記号	Min.	Max.	単位	参照図
タイマクロックパルス幅 (単エッジ指定)	t _{TCKWH/L}	1.5	-	t _{p0cyc}	52.41
タイマクロックパルス幅 (両エッジ指定)	t _{TCKWH/L}	2.5	-	t _{p0cyc}	
タイマクロックパルス幅 (位相計数モード)	t _{TCKWH/L}	2.5	-	t _{p0cyc}	

【注】 t_{p0cyc} は周辺クロック (P0) の周期を示します。

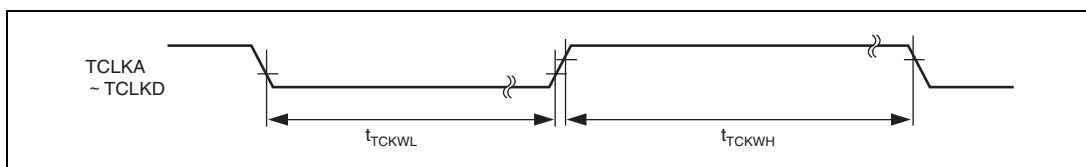


図 52.41 クロック入力タイミング

52.4.7 ウォッチドッグタイマタイミング

表 52.11 ウォッチドッグタイマタイミング

項目	記号	Min.	Max.	単位	参照図
WDTOVF 遅延時間	t _{WOVD}	-	100	ns	52.42

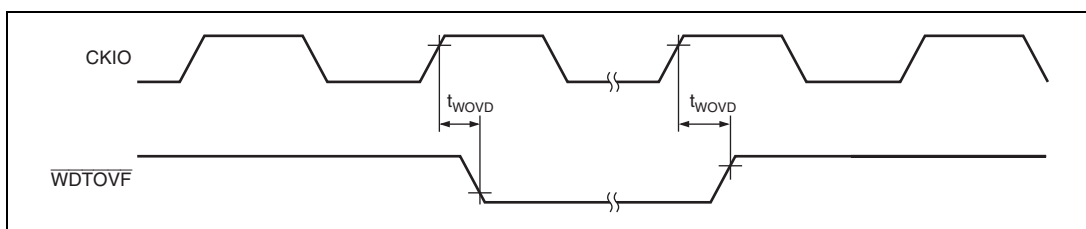


図 52.42 WDTOVF 出力タイミング

52.4.8 FIFO 内蔵シリアルコミュニケーションインタフェースタイミング

表 52.12 FIFO 内蔵シリアルコミュニケーションインタフェースタイミング

項目	記号	Min.	Max.	単位	参照図	
入力クロックサイクル	クロック同期	t_{Scyc}	12	-	$tp1cyc$	52.43
	調歩同期		4	-	$tp1cyc$	
入力クロック立ち上がり時間	t_{SCKr}	-	1.5	$tp1cyc$		
入力クロック立ち下がり時間	t_{SCKf}	-	1.5	$tp1cyc$		
入力クロック幅	t_{SCKW}	0.4	0.6	t_{Scyc}		
送信データ遅延時間 (クロック同期)	t_{TXD}	-	$3tp1cyc + 15$	ns	52.44	
受信データセットアップ時間 (クロック同期)	t_{RXS}	$4tp1cyc + 15$	-	ns		
受信データホールド時間 (クロック同期)	t_{RXH}	$1tp1cyc + 15$	-	ns		

【注】 $tp1cyc$ は周辺クロック 1 (P1) の周期を示します。

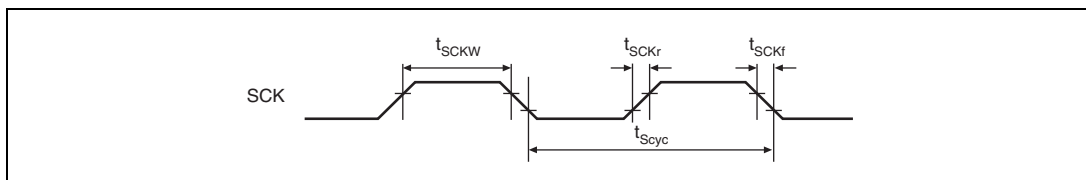


図 52.43 SCK 入力クロックタイミング

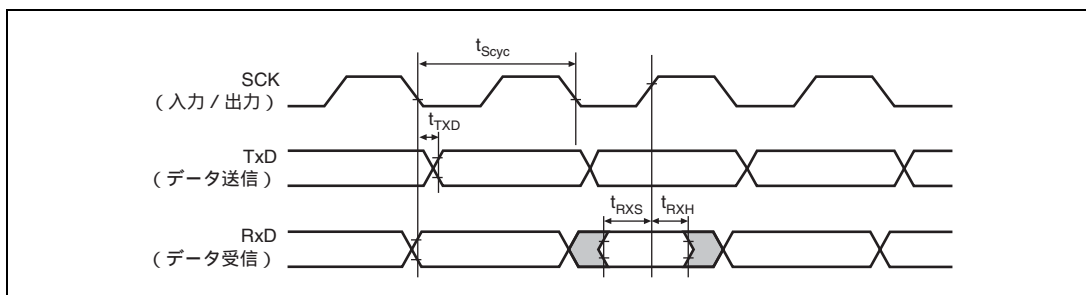


図 52.44 クロック同期式モード時の送受信データ入出力タイミング

52.4.9 ルネサスシリアルペリフェラルインタフェースタイミング

表 52.13 ルネサスシリアルペリフェラルインタフェースタイミング

項 目		記号	Min.	Max.	単位	参照図
RSPCK クロックサイクル	マスタ	tsPcyc	2	4096	tcyc	52.45 ~ 52.49
	スレーブ		8	4096		
RSPCK クロックハイレベルパルス幅	マスタ	tsPCKWH	0.4	-	tsPcyc	
	スレーブ		0.4	-		
RSPCK クロックローレベルパルス幅	マスタ	tsPCKWL	0.4	-	tsPcyc	
	スレーブ		0.4	-		
データ入力セットアップ時間	マスタ	tsu	15	-	ns	
	スレーブ		0	-	tcyc	
データ入力ホールド時間	マスタ	th	0	-	ns	
	スレーブ		4	-	tcyc	
SSL セットアップ時間	マスタ	tLEAD	$1 \times tsPcyc - 20$	$8 \times tsPcyc$	ns	
	スレーブ		4	-	tcyc	
SSL ホールド時間	マスタ	tLAG	$1 \times tsPcyc$	$8 \times tsPcyc + 20$	ns	
	スレーブ		4	-	tcyc	
データ出力遅延時間	マスタ	toD	-	21	ns	
	スレーブ		-	4	tcyc	
データ出力ホールド時間	マスタ	toH	5	-	ns	
	スレーブ		3	-	tcyc	
連続送信遅延時間	マスタ	tTD	$1 \times tsPcyc + 2 \times tcyc$	$8 \times tsPcyc + 2 \times tcyc$	ns	
	スレーブ		$4 \times tcyc$	-		
スレーブアクセス時間		tSA	-	4	tcyc	52.48、
スレーブ出力解放時間		tREL	-	3	tcyc	52.49

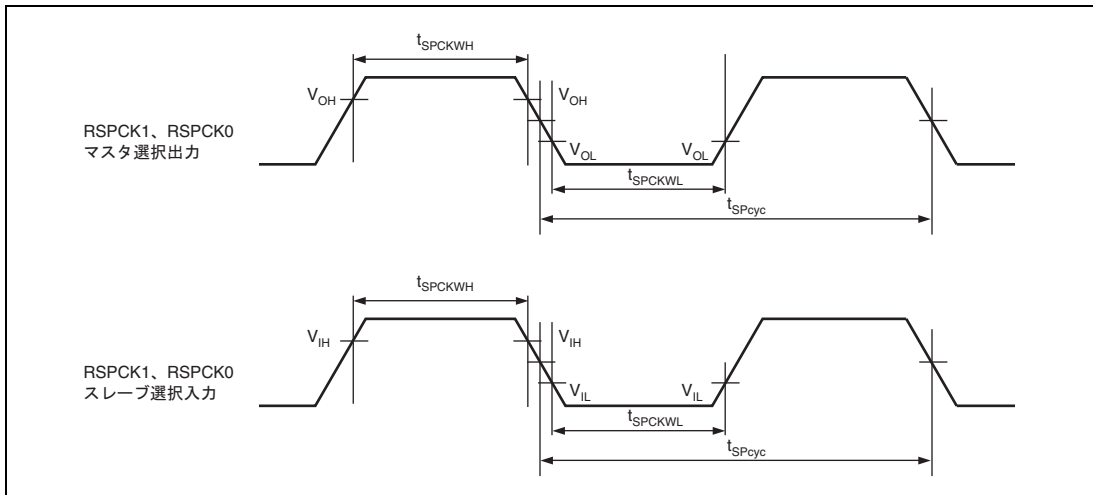


図 52.45 クロックタイミング

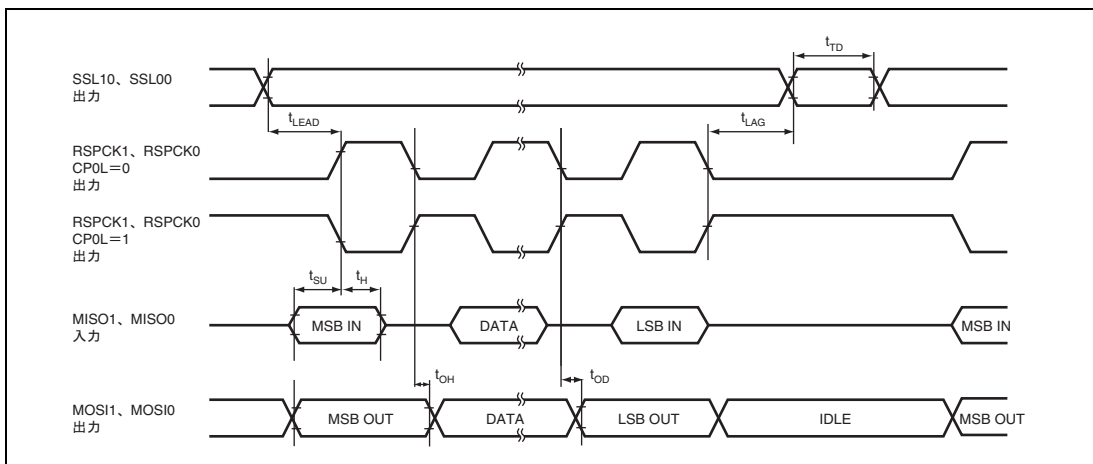


図 52.46 送受信タイミング (マスタ、CPHA = 0)

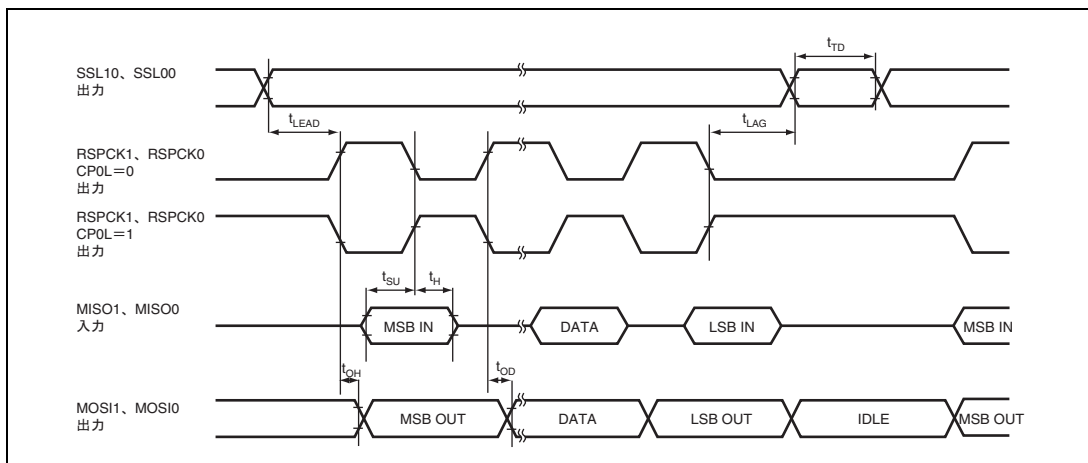


図 52.47 送受信タイミング (マスタ、CPHA = 1)

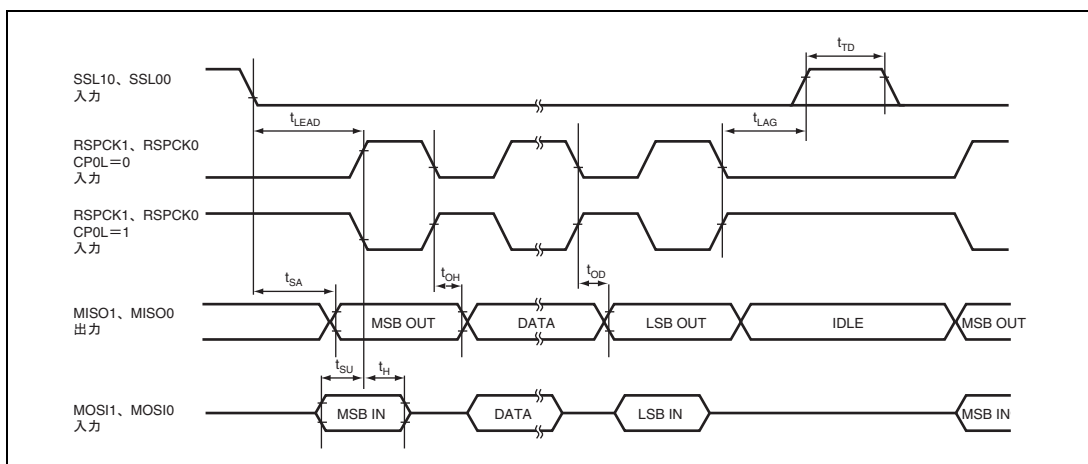


図 52.48 送受信タイミング (スレーブ、CPHA = 0)

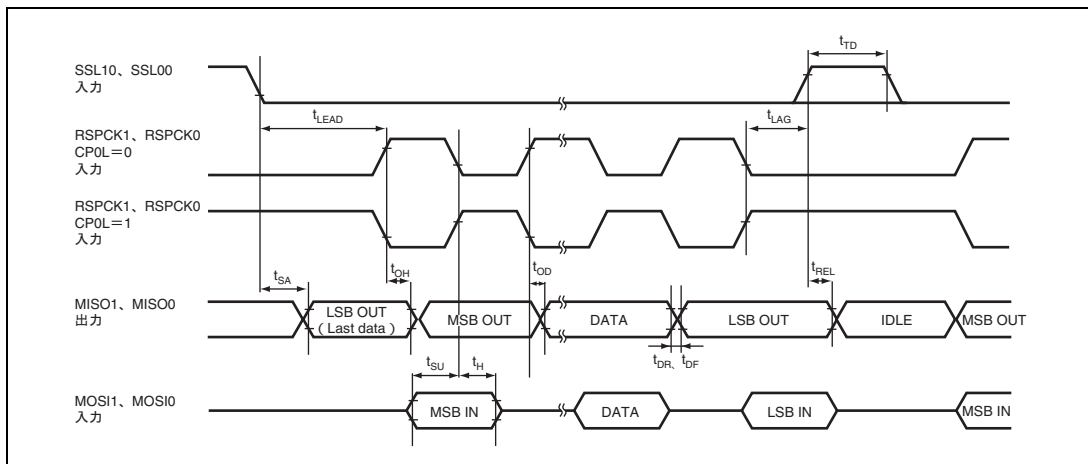


図 52.49 送受信タイミング (スレープ、CPHA = 1)

52.4.10 ルネサスクワッドシリアルペリフェラルインタフェースタイミング

表 52.14 ルネサスクワッドシリアルペリフェラルインタフェースタイミング

項目	記号	Min.	Max.	単位	参照図
QSPCLK クロックサイクル	t_{QScyc}	1	4080	t_{cyc}	52.50
データ入力セットアップ時間	t_{SU}	5.0	-	ns	52.51、 52.52
データ入力ホールド時間	t_H	0.0	-	ns	
SSL セットアップ時間	t_{LEAD}	$1.5 \times t_{QScyc} - 4$	$8.5 \times t_{QScyc}$	ns	
SSL ホールド時間	t_{LAG}	$1 \times t_{QScyc}$	$8 \times t_{QScyc} + 4$	ns	
データ出力遅延時間	t_{OD}	-	10.0	ns	
データ出力ホールド時間	t_{OH}	- 5.0	-	ns	
連続転送遅延時間	t_{TD}	1	8	t_{QScyc}	

【注】 t_{cyc} はバスクロック (P1) の 1 サイクル時間を示します。

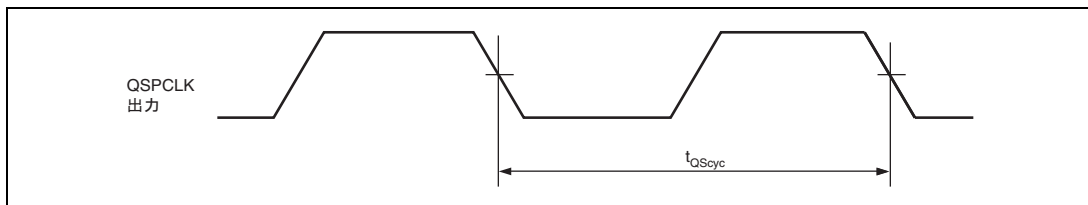


図 52.50 クロックタイミング

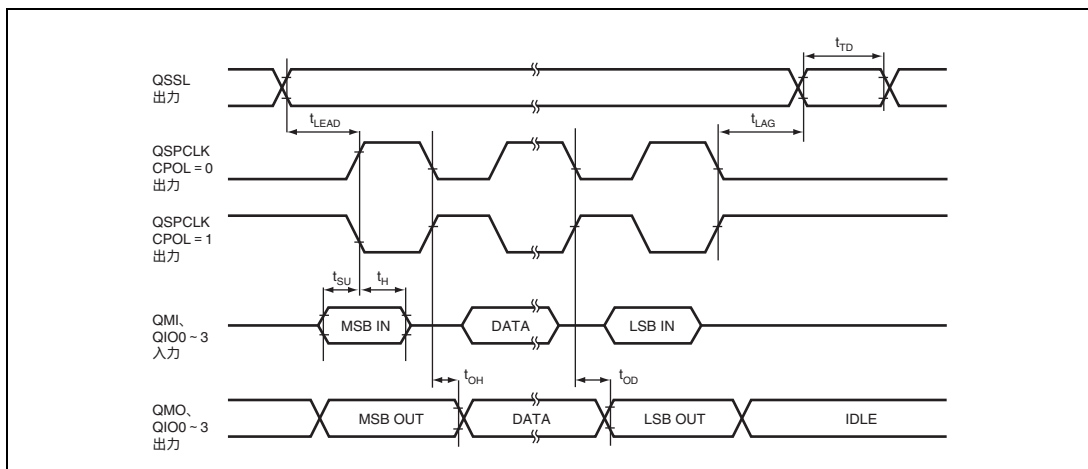


図 52.51 送受信タイミング (CPHA=0)

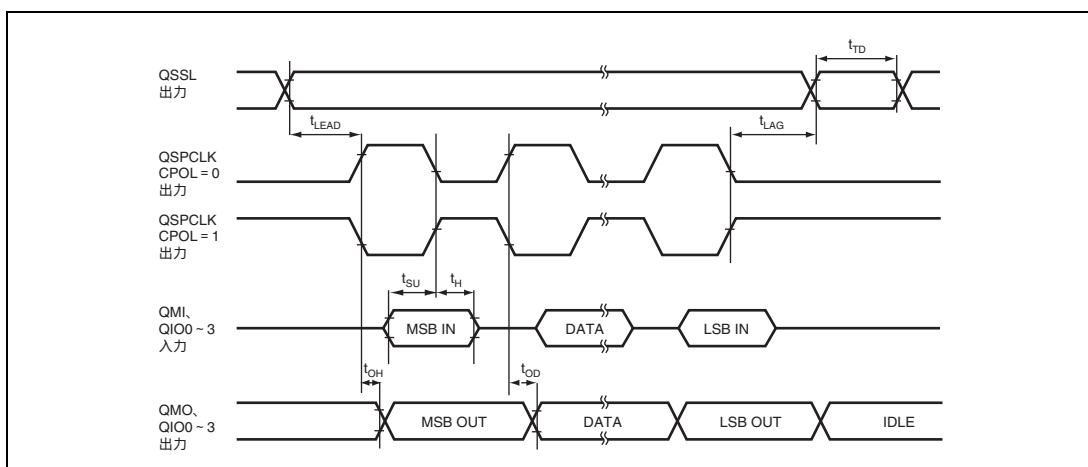


図 52.52 送受信タイミング (CPHA=1)

52.4.11 SPI マルチ I/O バスコントローラタイミング

表 52.15 SPI マルチ I/O バスコントローラタイミング

項目	記号	Min.	Max.	単位	参照図
SPBCLK クロックサイクル	t_{SPBcyc}	2	2	tbccyc	52.53
データ入力セットアップ時間	t_{SU}	5.0	-	ns	52.54、 52.55
データ入力ホールド時間	t_{H}	0.0	-	ns	
SSL セットアップ時間	t_{LEAD}	$1 \times t_{SPBcyc} - 3$	$8 \times t_{SPBcyc}$	ns	52.56、 52.57
SSL ホールド時間	t_{LAG}	$1.5 \times t_{SPBcyc}$	$1.5 \times t_{SPBcyc} + 3$	ns	
連続転送遅延時間	t_{TD}	1	1	t_{SPBcyc}	
データ出力遅延時間	t_{OD}	-	4.0	ns	
データ出力ホールド時間	t_{OH}	- 2.0	-	ns	
データ出力バッファオン時間	t_{BON}	-	4.0	ns	
データ出力バッファオフ時間	t_{BOFF}	- 9.0	2.0	ns	

【注】 t_{bccyc} はバスクロック (B) の 1 サイクル時間を示します。

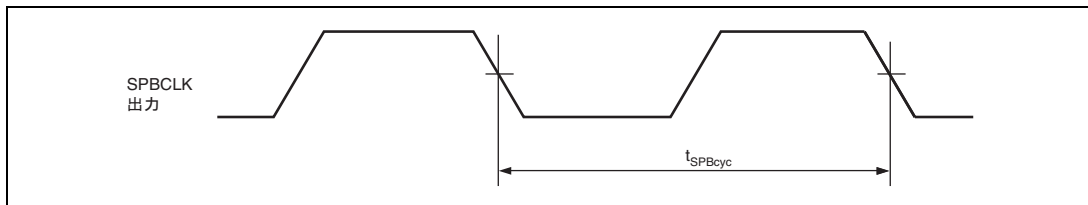


図 52.53 クロックタイミング

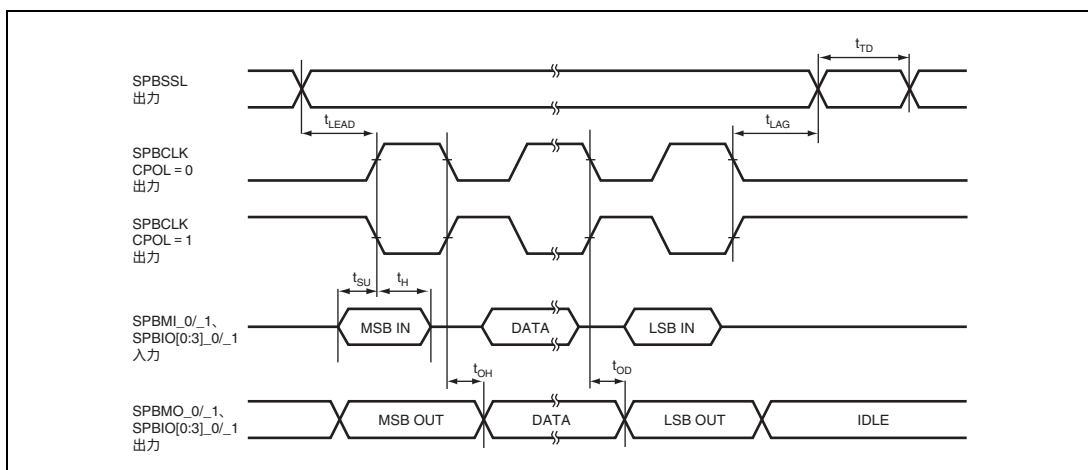


図 52.54 送受信タイミング (CPHAT=0、CPHAR=0)

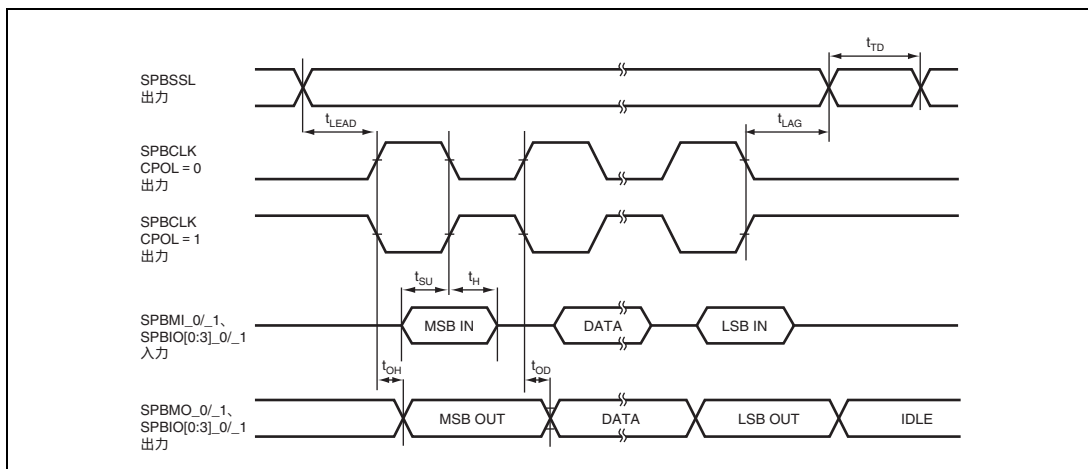


図 52.55 送受信タイミング (CPHAT=1、CPHAR=1)

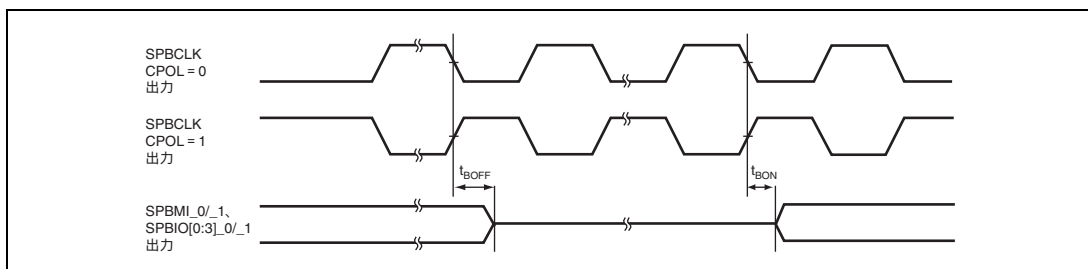


図 52.56 バッファオン/オフタイミング (CPHAT=0、CPHAR=0)

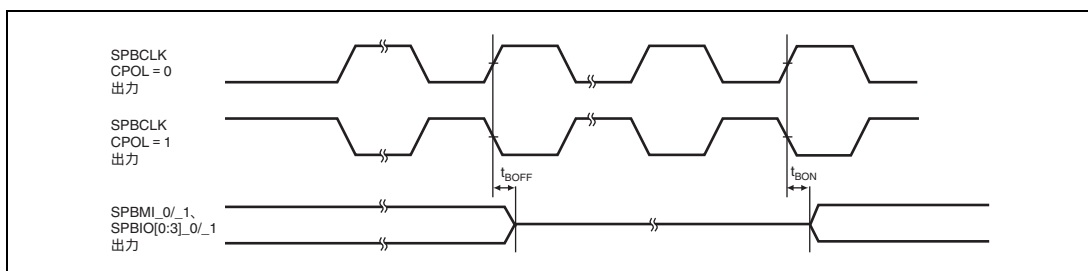


図 52.57 バッファオン/オフタイミング (CPHAT=1、CPHAR=1)

52.4.12 I²C バスインタフェース 3 タイミング表 52.16(1) I²C バスインタフェース 3 タイミングI²C バスフォーマット

項目	記号	Min.	Max.	単位	参照図
SCL 入力サイクル時間	t _{SCL}	12t _{p0cyc} * ¹ + 600	-	ns	52.58(1)
SCL 入力ハイレベルパルス幅	t _{SCLH}	3t _{p0cyc} * ¹ + 300	-	ns	
SCL 入力ローレベルパルス幅	t _{SCLL}	5t _{p0cyc} * ¹ + 300	-	ns	
SCL、SDA 入力立ち上がり時間	t _{Sr}	-	300	ns	
SCL、SDA 入力立ち下がり時間	t _{Sf}	-	300	ns	
SCL、SDA 入カスパイクパルス除去時間* ²	t _{SP}	-	1、2	t _{p0cyc} * ¹	
SDA 入力バスフリー時間	t _{BUF}	5	-	t _{p0cyc} * ¹	
開始条件入力ホールド時間	t _{STAH}	3	-	t _{p0cyc} * ¹	
再送開始条件入力セットアップ時間	t _{STAS}	3	-	t _{p0cyc} * ¹	
停止条件入力セットアップ時間	t _{STOS}	3	-	t _{p0cyc} * ¹	
データ入力セットアップ時間	t _{SDAS}	1t _{p0cyc} * ¹ + 20	-	ns	
データ入力ホールド時間	t _{SDAH}	0	-	ns	
SCL、SDA の容量性負荷	C _b	0	400	pF	
SCL、SDA 出力立ち下がり時間* ³	t _{Sf}	-	250	ns	

【注】 *1 t_{p0cyc}は周辺クロック (P0) の周期を示します。

*2 NF2CYC レジスタの値に依存します。

*3 I/O バッファの特性を示しています。

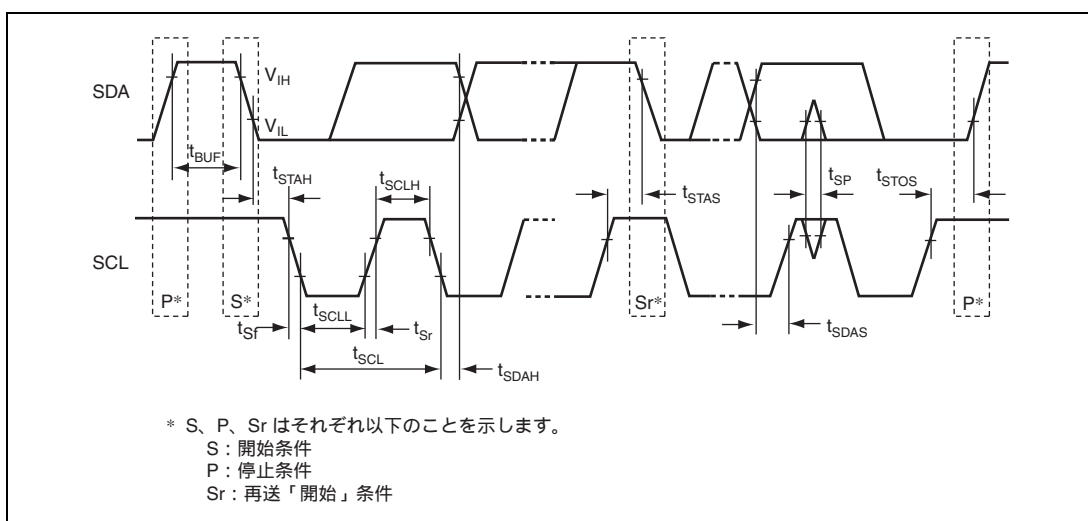


図 52.58(1) 入出力タイミング

表 52.16(2) I²C バスインタフェース 3 タイミング クロック同期式シリアルフォーマット

項目	記号	Min.	Max.	単位	参照図
SCL 入力サイクル時間	t_{SCL}	$12t_{p0cyc}^{*1} + 600$	-	ns	52.58(2)
SCL 入力ハイレベルパルス幅	t_{SCLH}	$3t_{p0cyc}^{*1} + 300$	-	ns	
SCL 入力ローレベルパルス幅	t_{SCLL}	$5t_{p0cyc}^{*1} + 300$	-	ns	
SCL、SDA 入力立ち上がり時間	t_{Sr}	-	300	ns	
SCL、SDA 入力立ち下がり時間	t_{Sf}	-	300	ns	
SCL、SDA 入カスパイクパルス除去時間*2	t_{SP}	-	1、2	t_{p0cyc}^{*1}	
データ出力遅延時間	t_{HD}	0	900	ns	52.58(3)
データ入力セットアップ時間	t_{SDAS}	$1t_{p0cyc}^{*1} + 20$	-	ns	
データ入力ホールド時間	t_{SDAH}	0	-	ns	
SCL、SDA の容量性負荷	C_b	0	400	pF	52.58(2)
SCL、SDA 出力立ち下がり時間*3	t_{Sf}	-	250	ns	52.58(3)

【注】 *1 t_{p0cyc} は周辺クロック (P0) の周期を示します。

*2 NF2CYC レジスタの値に依存します。

*3 I/O バッファの特性を示しています。

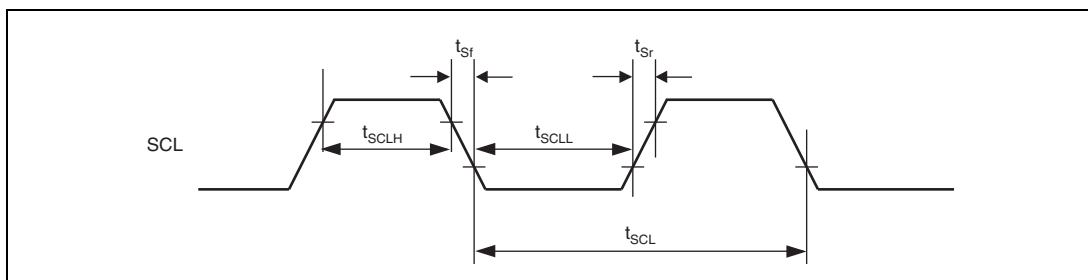


図 52.58(2) クロック入出力タイミング

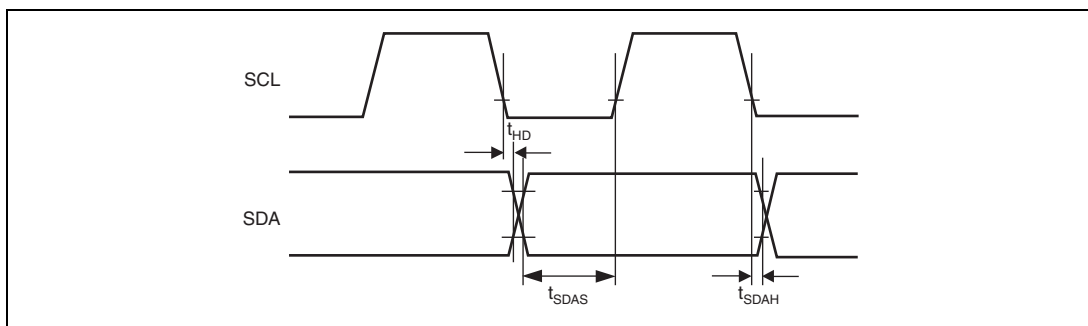


図 52.58(3) 送受信タイミング

52.4.13 シリアルサウンドインタフェースタイミング

表 52.17 シリアルサウンドインタフェースタイミング

項目	記号	Min.	Max.	単位	備考	参照図
出力クロック周期	t_o	80	64000	ns	出力	52.59
入力クロック周期	t_i	80	64000	ns	入力	
クロックハイレベル	t_{HC}	32	-	ns	双方向	
クロックローレベル	t_{LC}	32	-	ns		
クロック立ち上がり時間	t_{RC}	-	25	ns	出力	
遅延	ノイズキャンセラ不使用時	- 5	25	ns		52.60、52.61
	ノイズキャンセラ使用時	10	45			
セットアップ時間	t_{SR}	25	-	ns		
ホールド時間	t_{HTR}	5	-	ns		

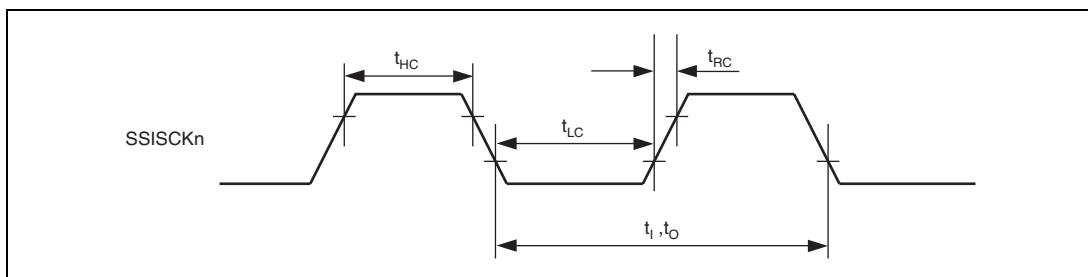


図 52.59 クロック入出力タイミング

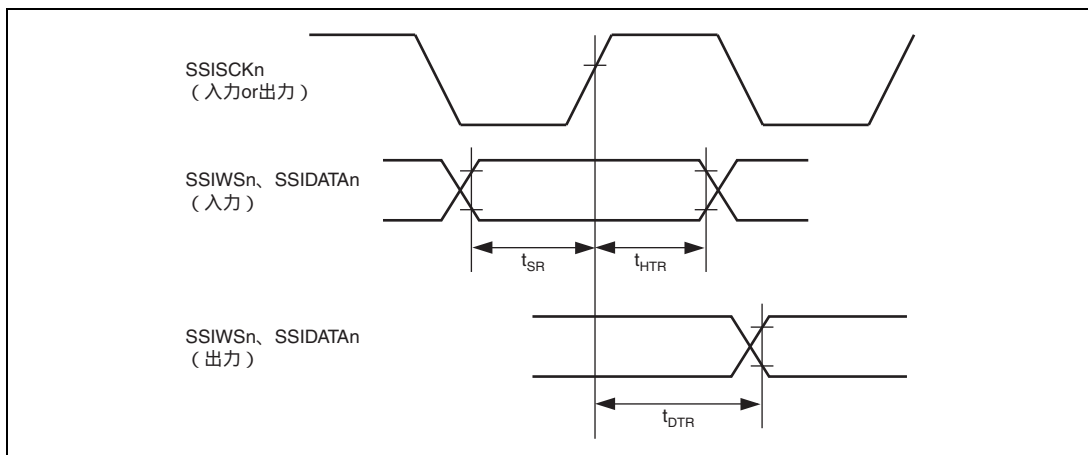


図 52.60 送受信タイミング (SSISCKn 立ち上がり同期)

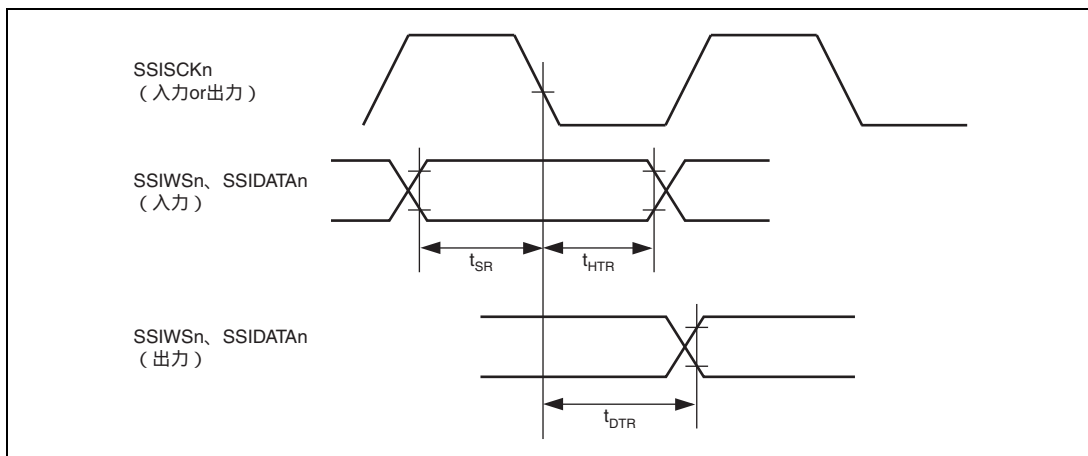


図 52.61 送受信タイミング (SSISCKn 立ち下がり同期)

52.4.14 FIFO 付きクロック同期シリアル I/O タイミング

表 52.18 FIFO 付きクロック同期シリアル I/O タイミング

項目	記号	Min.	Max.	単位	参照図
SCK_SIO クロック入出力サイクル時間	t_{Slyc}	80	-	ns	52.62 ~ 52.64
SCK_SIO 出力 High レベル幅	t_{SWHO}	$0.4 \times t_{Slyc}$	-		52.62、52.63
SCK_SIO 出力 Low レベル幅	t_{SWLO}	$0.4 \times t_{Slyc}$	-		
SIOFSYNC 出力遅延時間	t_{FSD}	- 5	20		
SCK_SIO 入力 High レベル幅	t_{SWHI}	$0.4 \times t_{Slyc}$	-		52.64
SCK_SIO 入力 Low レベル幅	t_{SWLI}	$0.4 \times t_{Slyc}$	-		
SIOFSYNC 入力セットアップ時間	t_{FSS}	20	-		
SIOFSYNC 入力ホールド時間	t_{FSH}	20	-		
TXD_SIO 出力遅延時間	t_{STDD}	- 5	20		52.62 ~ 52.64
RXD_SIO 入力セットアップ時間	t_{SRDS}	20	-		
RXD_SIO 入力ホールド時間	t_{SRDH}	20	-		

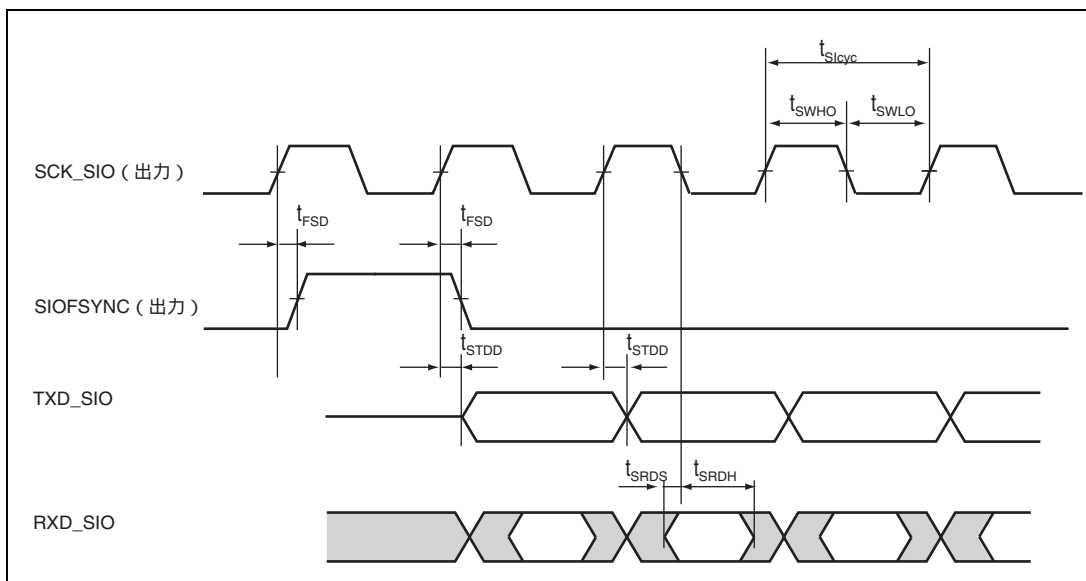


図 52.62 送受信タイミング (マスタモード 1 / 立ち下がりサンプリング時)

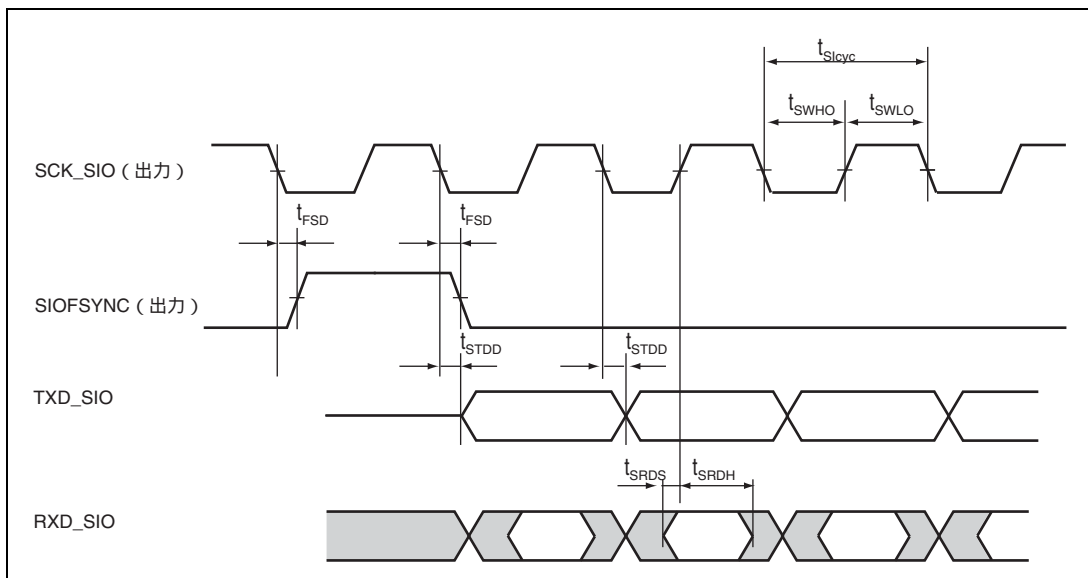


図 52.63 送受信タイミング (マスタモード 1 / 立ち上がりサンプリング時)

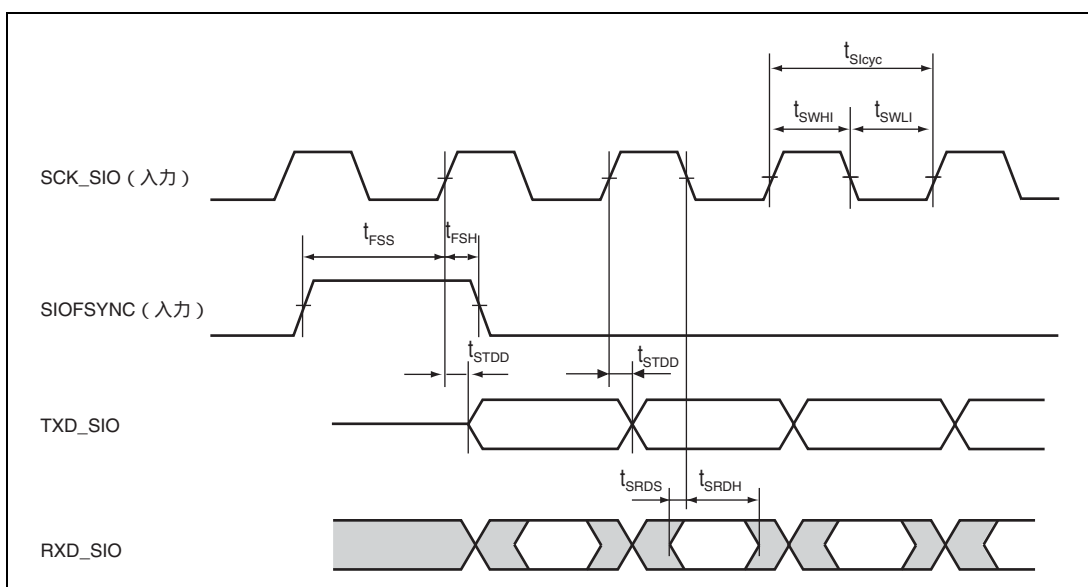


図 52.64 送受信タイミング (スレープモード 1)

52.4.15 A/D 変換器タイミング

表 52.19 A/D 変換器タイミング

モジュール	項目	記号	Min.	Max.	単位	参照図
A/D 変換器	トリガ入力セットアップ時間	tTRGS	17	-	ns	52.65

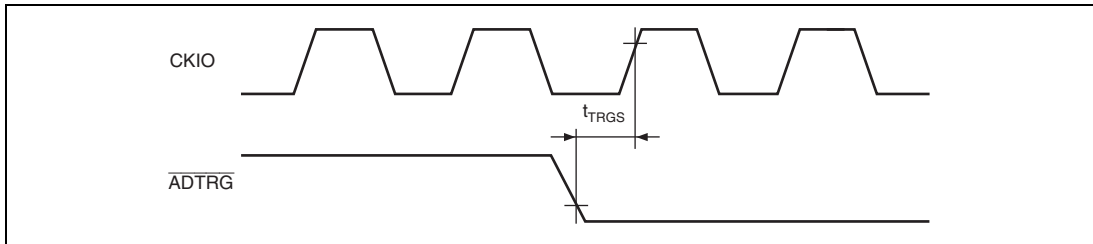


図 52.65 A/D 変換器外部トリガ入力タイミング

52.4.16 NAND フラッシュメモリコントローラタイミング

表 52.20 NAND 型フラッシュメモリインタフェースタイミング

項目	記号	Min.	Max.	単位	参照図
コマンド出力セットアップ時間	tNCDS	$2 \times t_{fycyc} - 10$	-	ns	52.66、52.70
コマンド出力ホールド時間	tNCDH	$1.5 \times t_{fycyc} - 5$	-	ns	
データ出力セットアップ時間	tNDOS	$0.5 \times t_{wfcyc} - 5$	-	ns	52.66、52.67、 52.69、52.70
データ出力ホールド時間	tNDOH	$0.5 \times t_{wfcyc} - 10$	-	ns	
コマンド - アドレス遷移時間 1	tNCAD1	$1.5 \times t_{fycyc} - 10$	-	ns	52.66、52.67
コマンド - アドレス遷移時間 2	tNCAD2	$2 \times t_{fycyc} - 10$	-	ns	52.67
FWE サイクル時間	tNWC	$t_{wfcyc} - 5$	-	ns	52.67、52.69
FWE ローパルス幅	tNWP	$0.5 \times t_{wfcyc} - 5$	-	ns	52.66、52.67、 52.69、52.70
FWE ハイパルス幅	tNWH	$0.5 \times t_{wfcyc} - 5$	-	ns	52.67、52.69
アドレス - レディ / ビジー遷移時間	tNADRB	-	$32 \times t_{p0cyc}$	ns	52.67、52.68
コマンド - レディ / ビジー遷移時間	tNCDRB	-	$10 \times t_{p0cyc}$	ns	52.67、52.68
レディ / ビジー - データリード遷移時間 1	tNRBDR1	$1.5 \times t_{fycyc}$	-	ns	52.68
レディ / ビジー - データリード遷移時間 2	tNRBDR2	$32 \times t_{p0cyc}$	-	ns	
FRE サイクル時間	tNSCC	$t_{wfcyc} - 5$	-	ns	
FRE ローパルス幅	tNSP	$0.5 \times t_{wfcyc} - 5$	-	ns	52.68、52.70
FRE ハイパルス幅	tNSPH	$0.5 \times t_{wfcyc} - 5$	-	ns	52.68
リードデータセットアップ時間	tNRDS	16	-	ns	52.68、52.70
リードデータホールド時間	tNRDH	5	-	ns	52.68、52.70
データライトセットアップ時間	tNDWS	$32 \times t_{p0cyc}$	-	ns	52.69
コマンドステータスリード遷移時間	tNCDSR	$4 \times t_{fycyc}$	-	ns	52.70
コマンド出力オフ ステータスリード遷移時間	tNCDFSR	$3.5 \times t_{fycyc}$	-	ns	
ステータスリードセットアップ時間	tNSTS	$2.5 \times t_{fycyc}$	-	ns	
FCE 出力セットアップ時間	tNCES	$8 \times t_{p0cyc}$	-	ns	52.66
FCE 出力ホールド時間	tNCEH	t_{p0cyc}	-	ns	52.69
FCE 出力アクセス時間	tNCEA	$6 \times t_{p0cyc}$	-	ns	52.68
FCE 出力ハイホールド時間	tNCEOH	$2 \times t_{p0cyc}$	-	ns	

【注】 t_{fycyc} は FLCTL クロックの 1 サイクル時間になります。

t_{wfcyc} は、NANDWF ビットが 0 の場合、FLCTL クロックの 1 サイクル時間に、NANDWF ビットが 1 の場合、FLCTL クロックの 2 サイクル時間になります。

t_{p0cyc} は周辺クロック (P0) の 1 サイクル時間を示します。

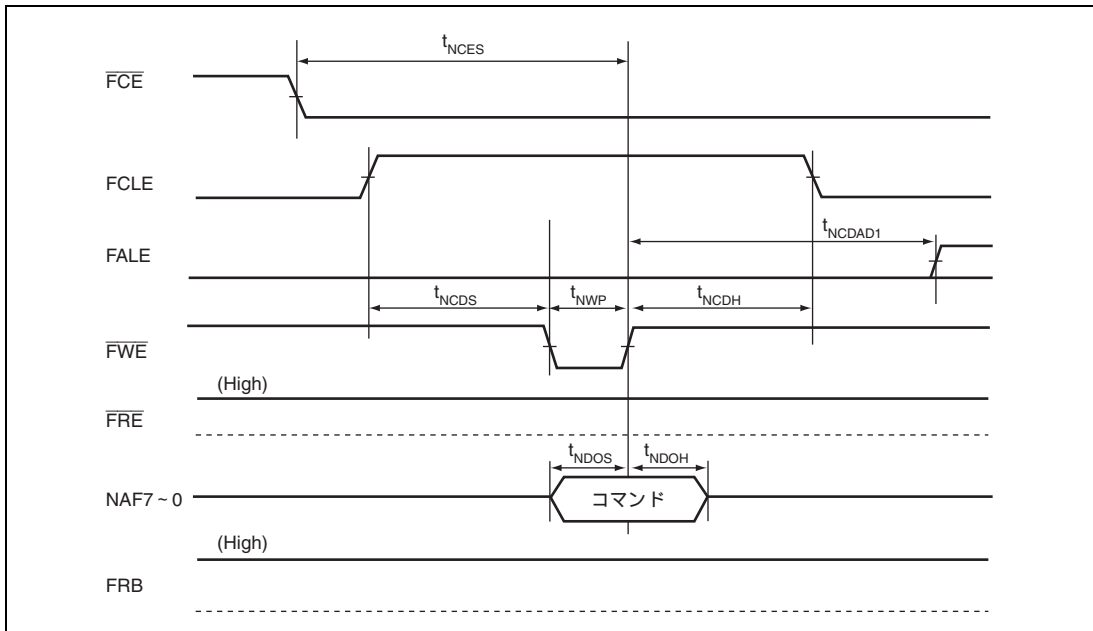


図 52.66 NAND 型フラッシュメモリのコマンド発行タイミング

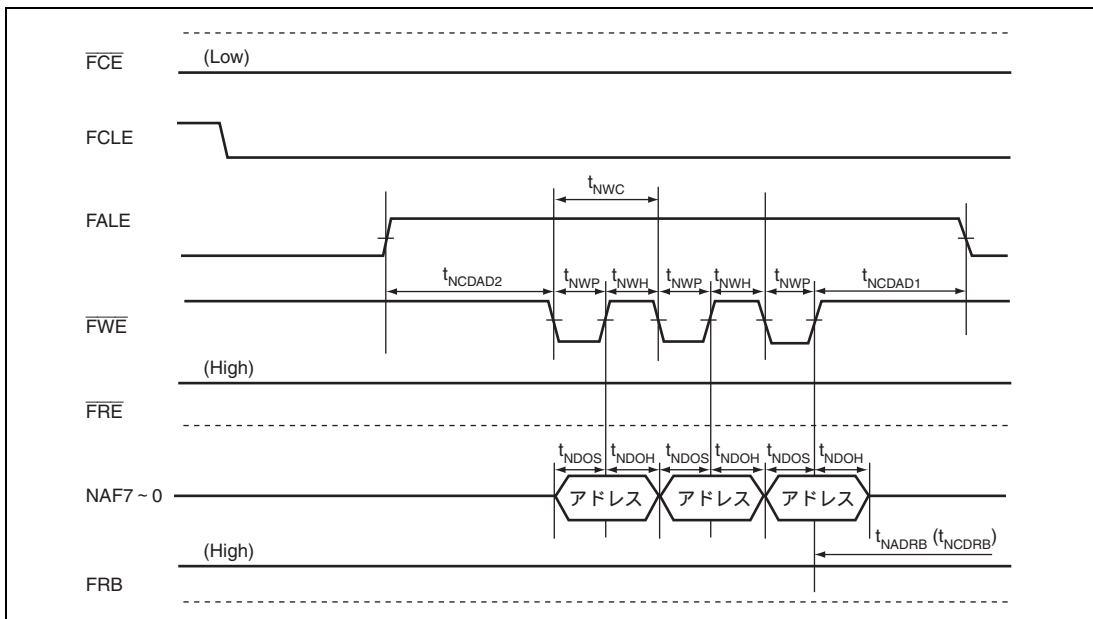


図 52.67 NAND 型フラッシュメモリのアドレス発行タイミング

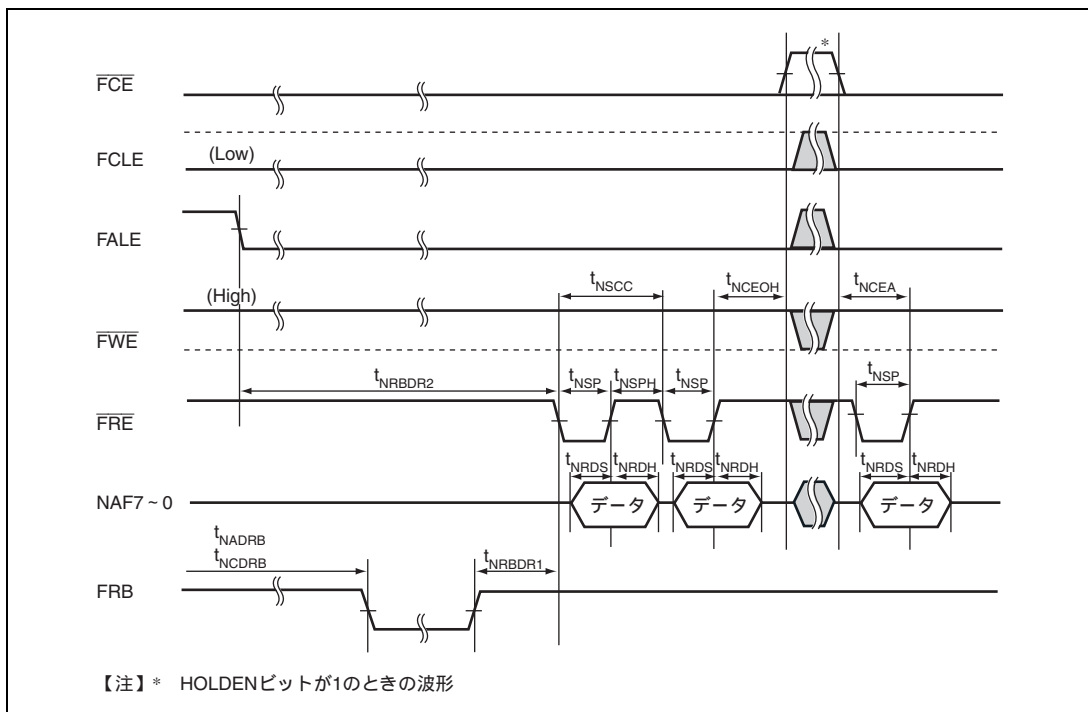


図 52.68 NAND 型フラッシュメモリのデータリードタイミング

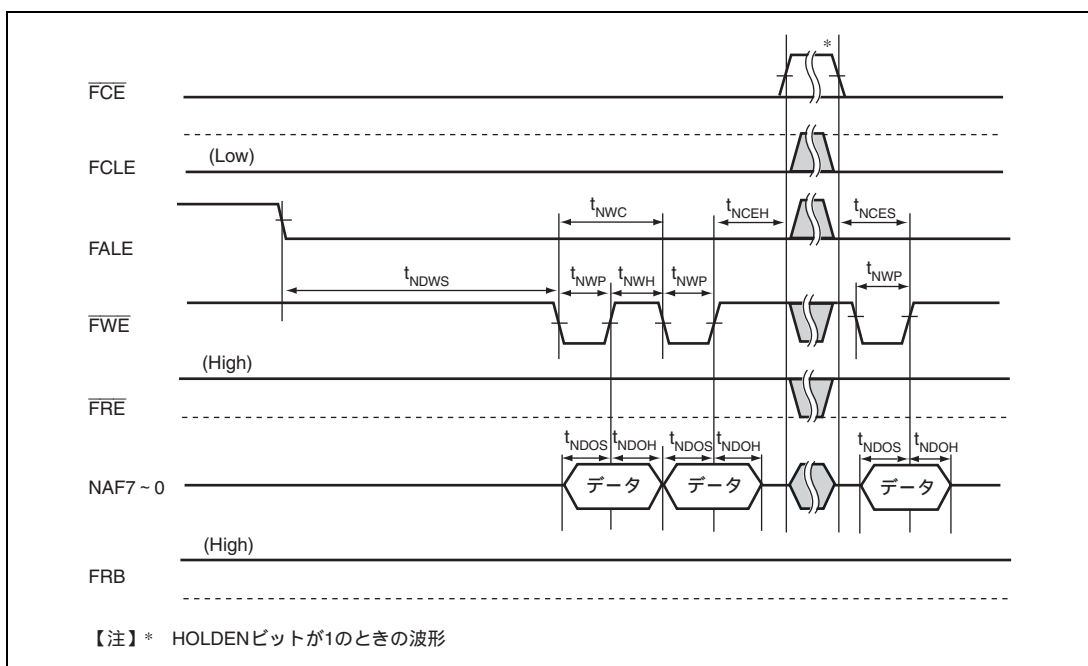


図 52.69 NAND 型フラッシュメモリのデータライトタイミング

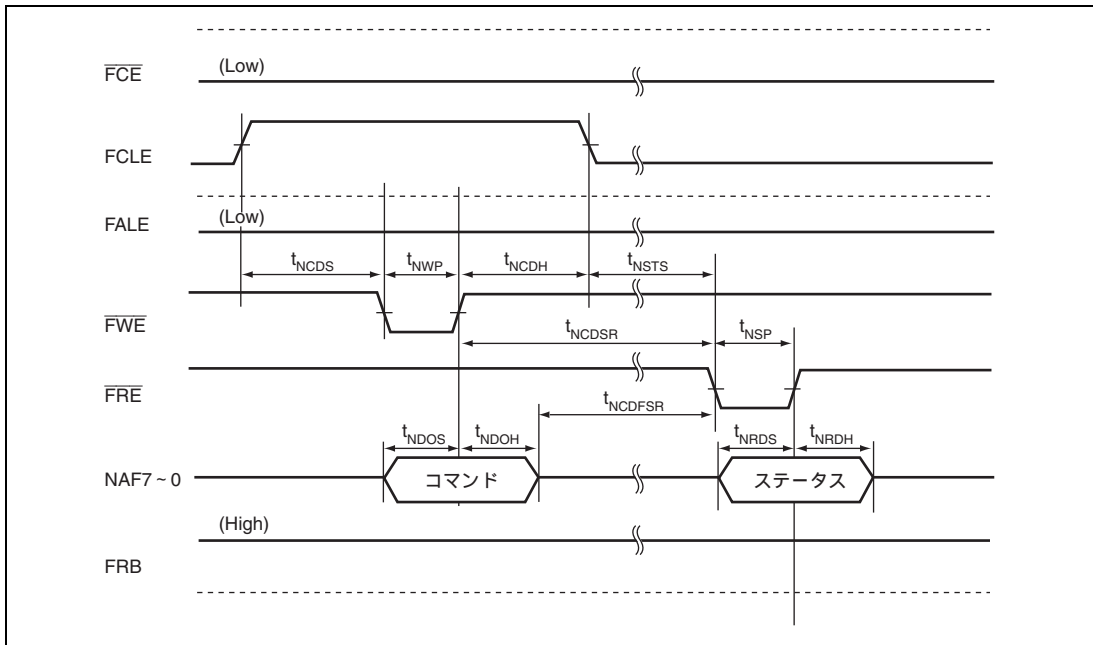


図 52.70 NAND 型フラッシュメモリのステータスリードタイミング

52.4.17 USB2.0 ホスト / ファンクションモジュールタイミング

表 52.21 USB トランシーバタイミング (ロースピード時)

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{LR}	75	-	300	ns	52.71
立ち下がり時間	t_{LF}	75	-	300	ns	
立ち上がり / 立ち下がり時間比	t_{LR}/t_{LF}	80	-	125	%	

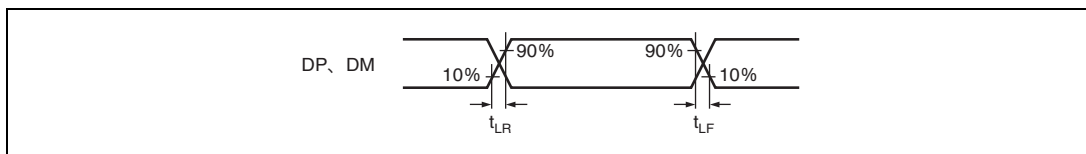


図 52.71 DP、DM 出力タイミング (ロースピード時)

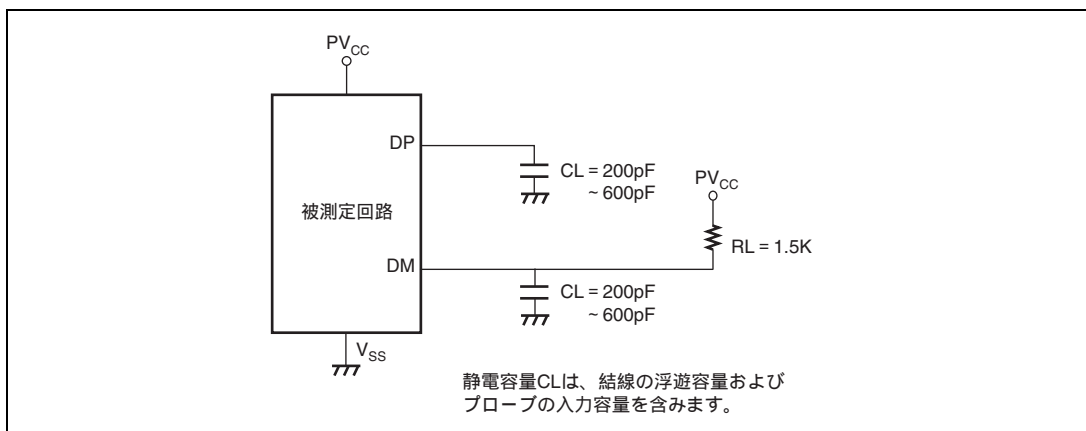


図 52.72 測定回路 (ロースピード時)

表 52.22 USB トランシーバ タイミング (フルスピード時)

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{FR}	4	-	20	ns	52.73
立ち下がり時間	t_{FF}	4	-	20	ns	
立ち上がり / 立ち下がり時間比	t_{FR}/t_{FF}	90	-	111.11	%	

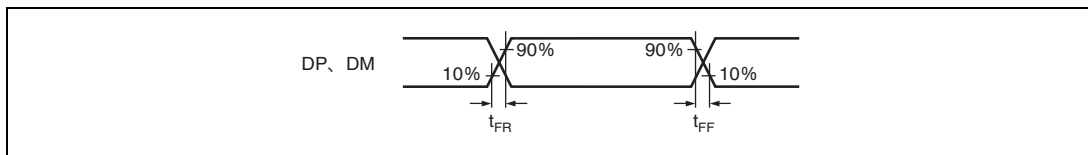


図 52.73 DP、DM 出力タイミング (フルスピード時)

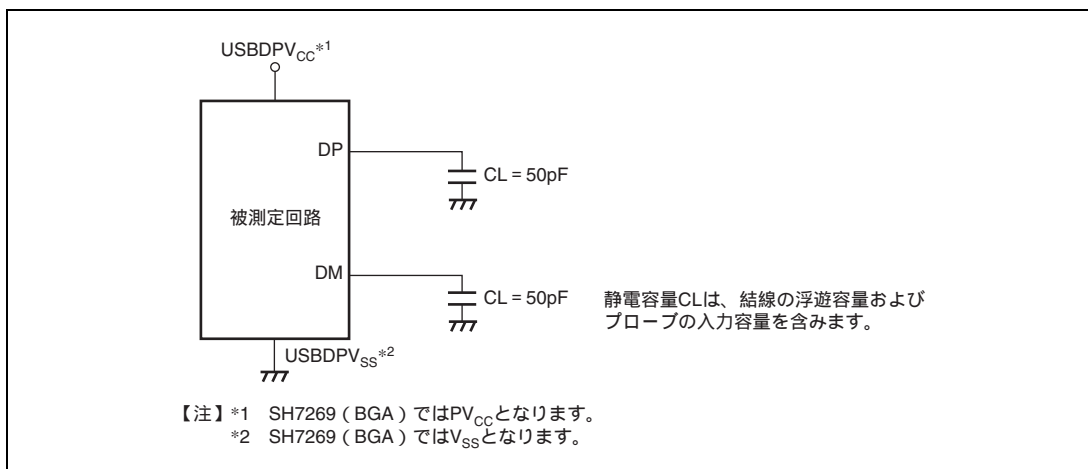


図 52.74 測定回路 (フルスピード時)

表 52.23 USB トランシーバタイミング (ハイスピード時)

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t _{HSR}	500	-	-	ps	52.75
立ち下がり時間	t _{HSF}	500	-	-	ps	
出力ドライバ抵抗	Z _{HSDRV}	40.5	-	49.5		

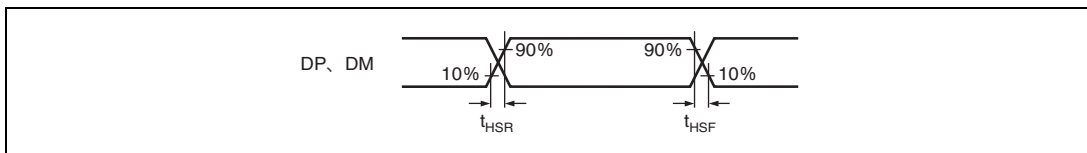


図 52.75 DP、DM 出力タイミング (ハイスピード時)

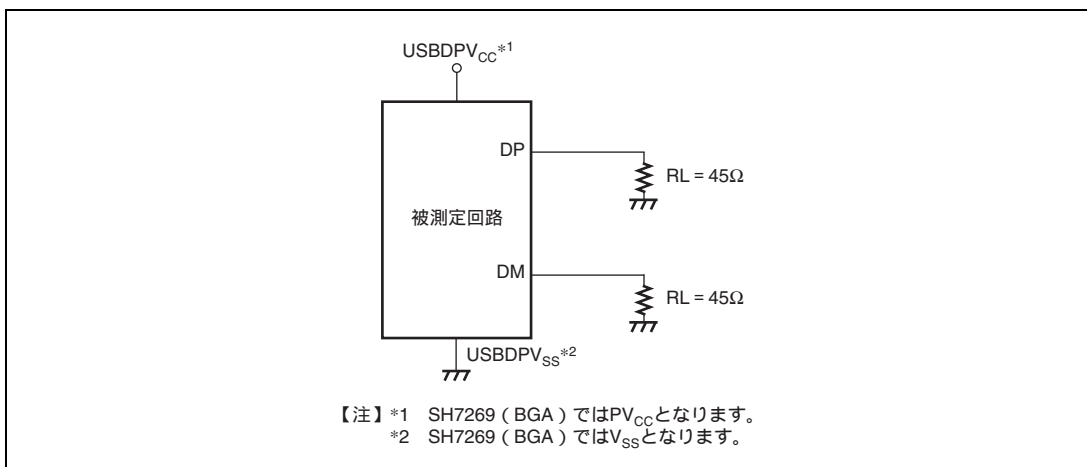


図 52.76 測定回路 (ハイスピード時)

52.4.18 ビデオディスプレイコントローラ 4 タイミング

表 52.24 ビデオディスプレイコントローラ 4 タイミング

項目	記号	Min.	Typ.	Max.	単位	参照図
DV_CLK クロック入力周波数	t_{Dcyc}	-	-	66.67	MHz	52.77
DV_CLK クロック入力ローレベルパルス幅	t_{WL}	0.4	-	-	t_{Dcyc}	
DV_CLK クロック入力ハイレベルパルス幅	t_{WH}	0.4	-	-		
LCD_EXTCLK クロック入力周波数	t_{Ecyc}	-	-	66.67	MHz	
LCD_EXTCLK クロック入力ローレベルパルス幅	t_{WL}	0.4	-	-	t_{Ecyc}	
LCD_EXTCLK クロック入力ハイレベルパルス幅	t_{WH}	0.4	-	-		
LCD_CLK クロック出力周波数	t_{Lcyc}	-	-	66.67	MHz	52.78
入力データセットアップ時間	t_{vs}	4	-	-	ns	52.79
入力データホールド時間	t_{vh}	4	-	-	ns	
出力データ遅延時間	t_{DD}	- 5	-	3	ns	52.80

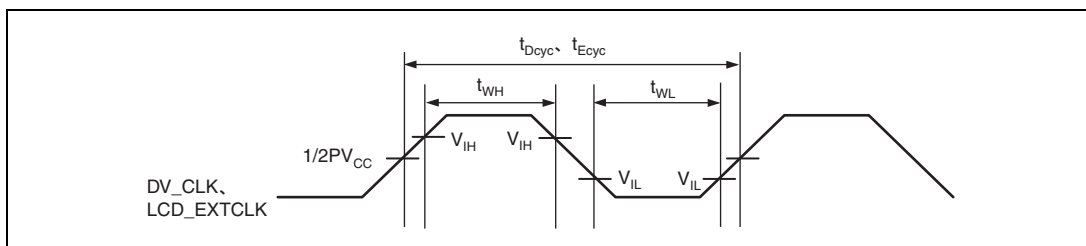


図 52.77 DV_CLK、LCD_EXTCLK クロック入力タイミング

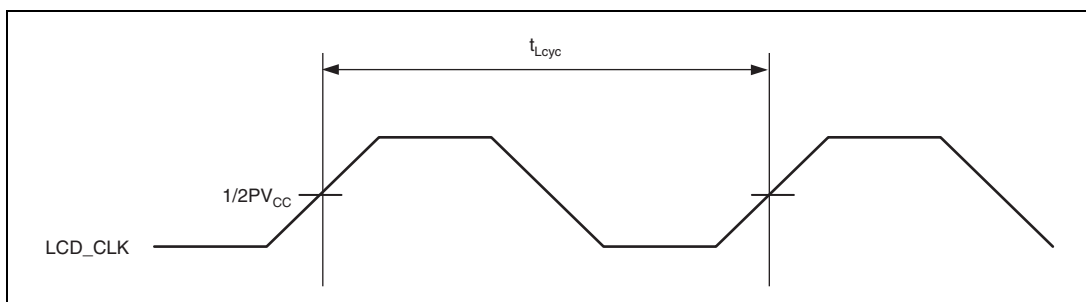


図 52.78 LCD_CLK クロック出力タイミング

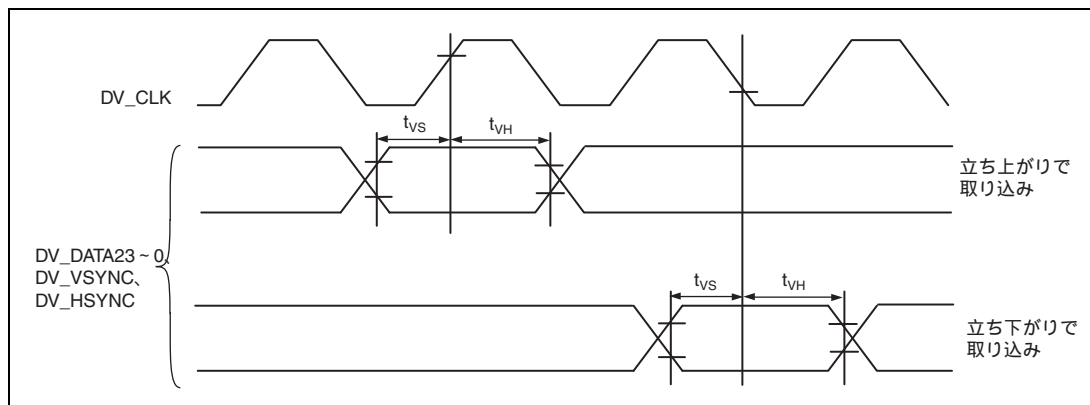


図 52.79 映像入力タイミング

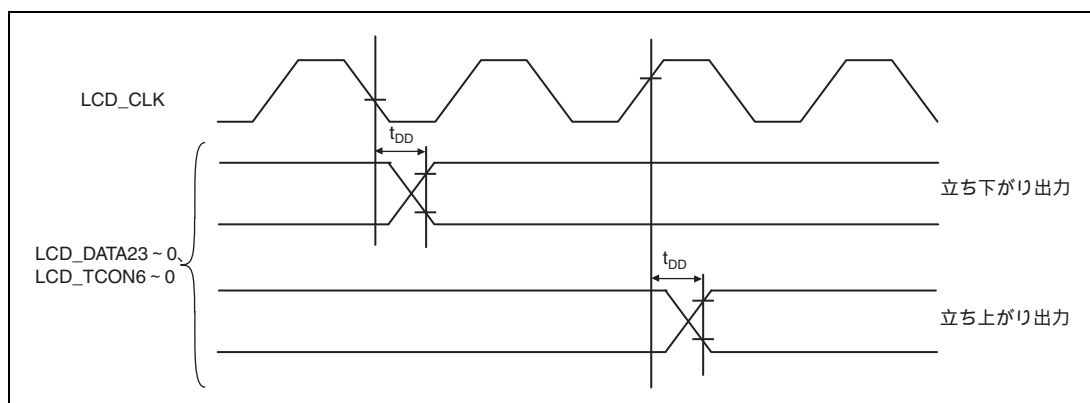


図 52.80 ディスプレイ出力タイミング

52.4.19 SD ホストインタフェースタイミング

表 52.25 SD ホストインタフェースタイミング

項目	記号	Min.	Max.	単位	参照図
SD_CLK クロックサイクル	tSDPP	$2 \times t_{p1cyc}$	-	ns	52.81
SD_CLK クロックハイレベル幅	tSDWH	$0.4 \times t_{SDPP}$	-	ns	
SD_CLK クロックローレベル幅	tSDWL	$0.4 \times t_{SDPP}$	-	ns	
SD_CLK クロック立ち上がり時間	tSDLH	-	3	ns	
SD_CLK クロック立ち下がり時間	tSDHL	-	3	ns	
SD_CMD、SD_D3 ~ SD_D0 出力データ遅延 (データ転送モード)	tSDODLY	-	4	ns	
SD_CMD、SD_D3 ~ SD_D0 入力データセットアップ	tSDISU	5	-	ns	
SD_CMD、SD_D3 ~ SD_D0 入力データホールド	tSDIH	2	-	ns	

【注】 t_{p1cyc} は周辺クロック 1 (P1) の 1 サイクル時間を示します。

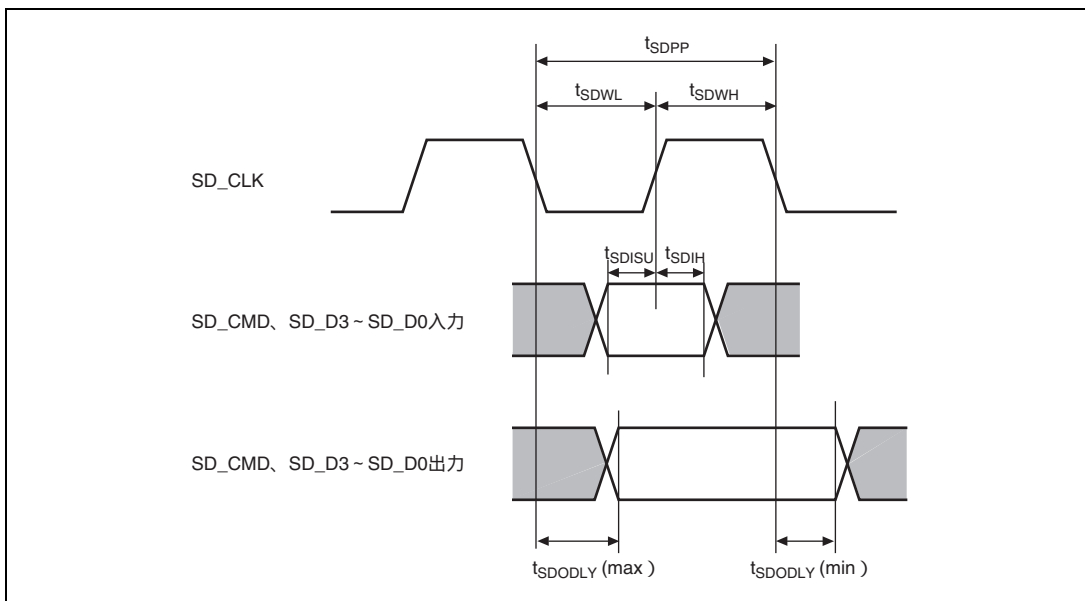


図 52.81 SD カードインタフェース

52.4.20 MMC ホストインタフェースタイミング

表 52.26 MMC ホストインタフェースタイミング

項目	記号	Min.	Max.	単位	参照図
MMC_CLK クロックサイクル	t_{MMCPP}	$2 \times t_{p1cyc}$	-	ns	52.82
MMC_CLK クロックハイレベル幅	t_{MMCWH}	6.5	-	ns	
MMC_CLK クロックローレベル幅	t_{MMCWL}	6.5	-	ns	
MMC_CLK クロック立ち上がり時間	t_{MMCLH}	-	3	ns	
MMC_CLK クロック立ち下がり時間	t_{MMCHL}	-	3	ns	
MMC_CMD、MMC_D7 ~ MMC_D0 出力データ遅延 (データ転送モード)	t_{MMCODY}	- 6.5	6.5	ns	
MMC_CMD、MMC_D7 ~ MMC_D0 入力データセットアップ	t_{MMCISU}	4.5	-	ns	
MMC_CMD、MMC_D7 ~ MMC_D0 入力データホールド	t_{MMCIH}	2	-	ns	

【注】 t_{p1cyc} は周辺クロック 1 (P1) の 1 サイクル時間を示します。

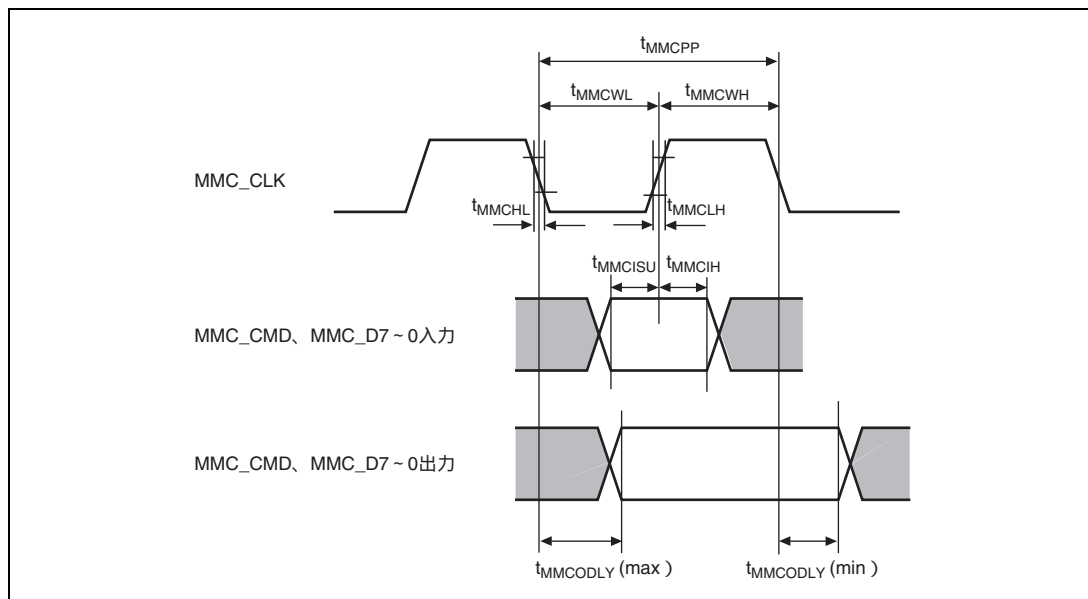


図 52.82 MMC インタフェース

52.4.21 汎用入出力ポートタイミング

表 52.27 汎用入出力ポートタイミング

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t_{PORTD}	-	100	ns	52.83
入力データセットアップ時間	t_{PORTS}	100	-		
入力データホールド時間	t_{PORTH}	100	-		

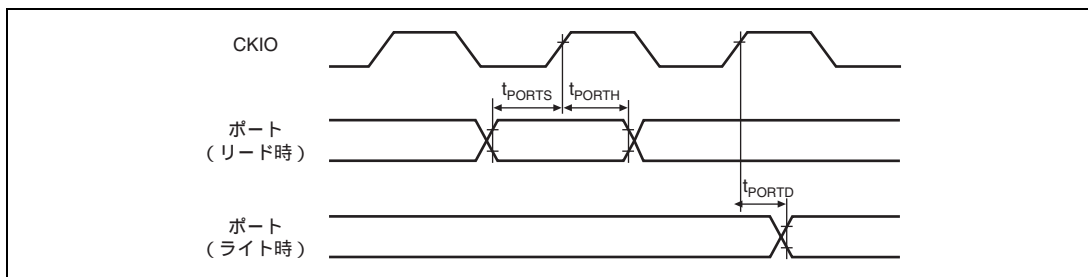


図 52.83 汎用入出力ポートタイミング

52.4.22 ユーザデバッグインタフェースタイミング

表 52.28 ユーザデバッグインタフェースタイミング

項目	記号	Min.	Max.	単位	参照図
TCK サイクル時間	t_{TCKcyc}	50*	-	ns	52.84
TCK ハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCK ローレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDI セットアップ時間	t_{DIS}	10	-	ns	52.85
TDI ホールド時間	t_{DIH}	10	-	ns	
TMS セットアップ時間	t_{MSS}	10	-	ns	
TMS ホールド時間	t_{MSH}	10	-	ns	
TDO 遅延時間	t_{DOD}	-	16	ns	52.86
キャプチャレジスタセットアップ時間	t_{CAPTS}	10	-	ns	
キャプチャレジスタホールド時間	t_{CAPTH}	10	-	ns	
アップデートレジスタ遅延時間	$t_{UPDATED}$	-	20	ns	

【注】 * 周辺クロック (P0) のサイクル時間より大きくなるようにしてください。

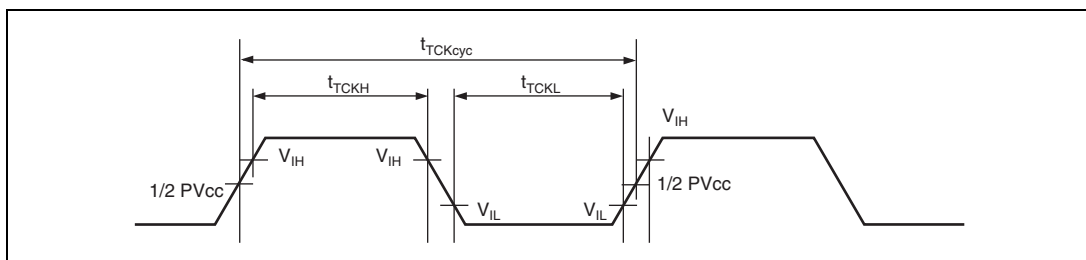


図 52.84 TCK 入力タイミング

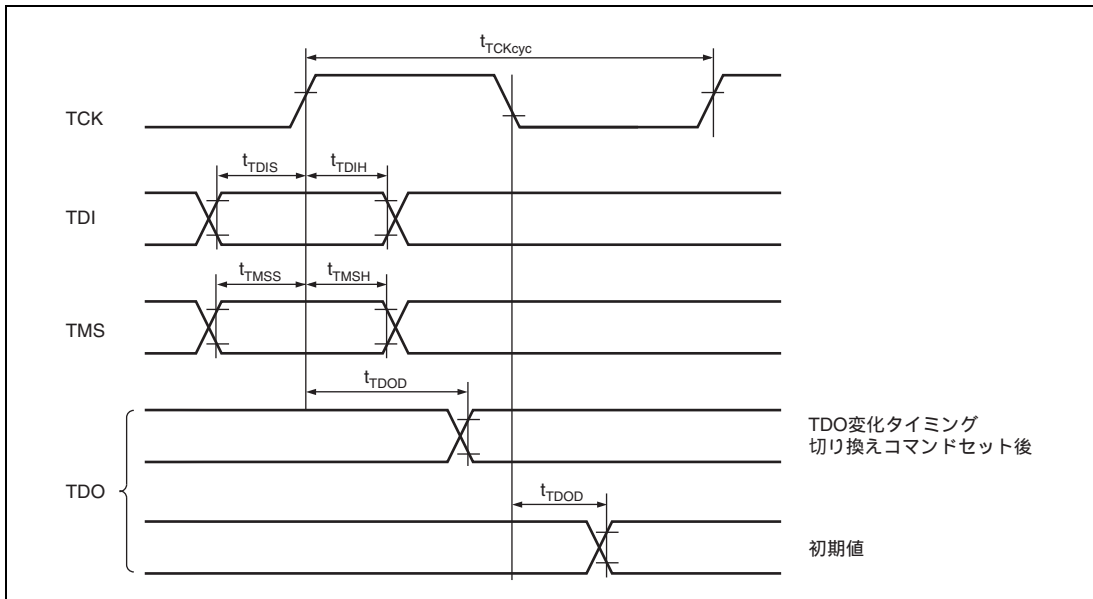


図 52.85 データ転送タイミング

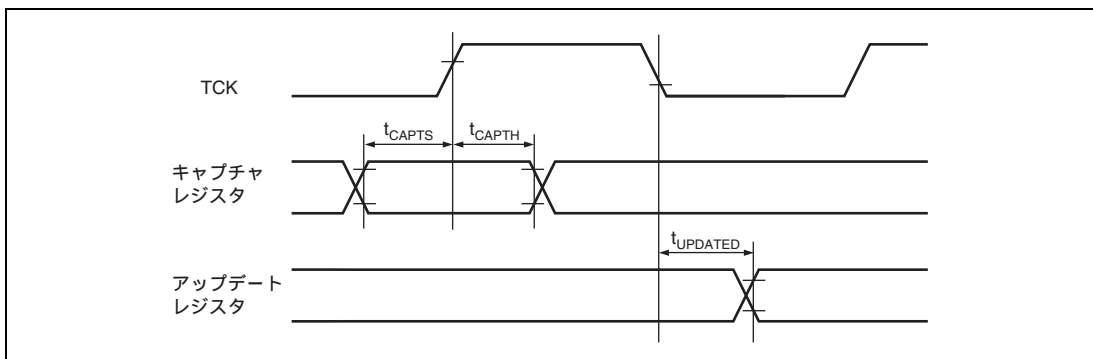


図 52.86 バウンダリスキャン入出力タイミング

52.5 A/D 変換器特性

条件 :VCC = PLLVCC = USBDVCC = USBUVCC = 1.15 ~ 1.35V、PVCC = USBDPVCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、USBAVCC = 1.15 ~ 1.35V、
 USBAPVCC = 3.0 ~ 3.6V、VDAVCC = 3.0 ~ 3.6V、VSS = PLLVSS = AVSS = USBDVSS = USBAVSS = USBDPVSS = USBAPVSS =
 USBUVSS = VDAVSS = 0V、
 Ta = -20 ~ 85 (標準温度範囲)、-40 ~ 85 (広温度範囲)

【注】 SH7269 (BGA) には、USBDVCC、USBUVCC、USBDPVCC、PLLVSS、USBDVSS、USBAVSS、USBUVSS、USBDPVSS、
 USBAPVSS 端子は存在しません。

表 52.29 A/D 変換器特性

項目	Min.	Typ.	Max.	単位
分解能	10	10	10	ビット
変換時間	6	-	-	μs
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	k
非直線性誤差	-	-	±3.0*	LSB
オフセット誤差	-	-	±2.0*	LSB
フルスケール誤差	-	-	±2.0*	LSB
量子化誤差	-	-	±0.5*	LSB
絶対精度	-	-	±5.0	LSB

【注】 * 参考値

52.6 ビデオ信号入力用 A/D 変換器特性

条件 :Vcc = PLLVcc = USBDVcc = USBUVcc = 1.15 ~ 1.35V、PVcc = USBDPVcc = 3.0 ~ 3.6V、AVcc = 3.0 ~ 3.6V、USBAVcc = 1.15 ~ 1.35V、
 USBAPVcc = 3.0 ~ 3.6V、VDAVcc = 3.0 ~ 3.6V、Vss = PLLVss = AVss = USBDVss = USBAVss = USBDPVss = USBAPVss =
 USBUVss = VDAVss = 0V、
 Ta = - 20 ~ 85 (標準温度範囲)、- 40 ~ 85 (広温度範囲)

【注】 SH7269 (BGA) には、USBDVcc、USBUVcc、USBDPVcc、PLLVss、USBDVss、USBAVss、USBUVss、USBDPVss、
 USBAPVss 端子は存在しません。

表 52.30 ビデオ信号入力用 A/D 変換器特性 (基準電圧)

項目	Min.	Typ.	Max.	単位	測定条件
基準電圧 (Top)	-	2.0	-	V	
基準電圧 (Bottom)	-	1.0	-	V	

表 52.31 ビデオ信号入力用 A/D 変換器特性 (クランプ)

項目	Min.	Typ.	Max.	単位	測定条件
クランプ電圧レベル	-	1.0	-	V	VRB 電圧にクランプ
シンク電流	-	10	-	μA	
ソース電流	-	1.0	-	mA	

表 52.32 ビデオ信号入力用 A/D 変換器特性 (PGA)

項目	Min.	Typ.	Max.	単位	測定条件
ゲインステップ数	-	32	-	step	
ゲインステップ幅	-	0.2	-	dB	
最小ゲイン	-	1.835	-	dB	
最大ゲイン	-	8.023	-	dB	

表 52.33 ビデオ信号入力用 A/D 変換器特性 (ADC)

項目	Min.	Typ.	Max.	単位	測定条件
分解能	-	10	-	ビット	
A/D レンジ	-	2.0	-	Vpp	(VRT - VRB) × 2
積分直線性誤差	-	-	± 5.0	LSB	ADC + PGA fs = 27MHz
微分直線性誤差	-	-	± 2.0	LSB	ADC + PGA fs = 27MHz
S/N	-	54*	-	dB	fin = 1MHz、fs = 27MHz PGA_GAIN = 01000
S/(N + D)	-	51*	-	dB	fin = 1MHz、fs = 27MHz PGA_GAIN = 01000

【注】 * 参考値

53. 端子状態と処理方法

本章では、各動作モードにおける端子状態と処理方法を示します。

53.1 端子状態

各動作モードにおける端子状態を表 53.1 に示します。

入出力機能については、上段に入力バッファ、下段に出力バッファの状態を記載しています。

また、バス権解放状態で通常状態と端子状態が異なる端子について、表 53.2 に示します。

表 53.1 端子状態

端子機能			端子状態						
分類	端子名		通常状態 (右記以外)	パワーオン リセット ^{※1}	端子状態保持 ^{※2}		低消費電力状態		
					EBUSKEEPER ^{※3} (右記以外)	パワーオン リセット ^{※4}	ディープ スタンバイ モード	ソフトウェア スタンバイ モード	
									0
クロック	EXTAL ^{※6}		I	I	I		I/Z ^{※5}	I	
	XTAL ^{※6}		O	O	O		O/L ^{※5}	O/L ^{※5}	
	CKIO	ブートモード	0、1	O/Z ^{※7}	O	O	O/Z ^{※7}	O/Z ^{※7}	O/Z ^{※7}
			上記以外	O/Z ^{※7}	O	O/Z ^{※7}		O/Z ^{※7}	O/Z ^{※7}
	AUDIO_CLK		I	-	-		Z	Z	
	AUDIO_X1 ^{※6}		I/Z ^{※8}	I	I		Z	Z	
	AUDIO_X2 ^{※6}		O/L ^{※8}	O	O		L	L	
AUDIO_XOUT		O/L ^{※8}	-	O/Z ^{※9,16}		O/Z ^{※9,16}	L/Z ^{※9}		
システム制御	RES		I	I	I		I	I	
	WDTOVF		O	-	H		H	H	
	BREQ		I	-	-		Z	Z	
	BACK		O	-	Z		Z	Z	
動作モード 制御	MD_BOOT2 ~ MD_BOOT0		-	I	-		-	-	
	MD_CLK0		-	I	-		-	-	
	ASEMD		I	I	I		I	I	
割り込み	NMI		I	I	I		I	I	
	IRQ7 (PF19)、IRQ6 (PF18)、IRQ5 (PF17)、 IRQ4 (PF16)、IRQ3、IRQ2、IRQ1 (PC7、PJ21)、 IRQ0 (PC5、PJ20)		I	-	-		I/Z ^{※12}	I	
	IRQ7 (PG7)、IRQ6 (PG6)、IRQ5 (PG5)、 IRQ4 (PG4)、IRQ1 (PG1)、IRQ0 (PG0)		I	-	-		Z	I	

端子機能				端子状態					
分類	端子名			通常状態 (右記以外)	パワーオン リセット ^{*1}	端子状態保持 ^{*2}		低消費電力状態	
						EBUSKEEPE ^{*3} (右記以外)	パワーオン リセット ^{*4}	ディープ スタンバイ モード	ソフトウェア スタンバイ モード
割り込み	PINT7 - PINT0			I	-	-		Z	Z
ユーザブレイク コントローラ	UBCTRG			O	-	O/Z ^{*5}		O/Z ^{*9}	O/Z ^{*9}
アドレスバス	A25 - A21, A0			O	-	O/Z ^{*10}		O/Z ^{*10}	O/Z ^{*10}
	A20 - A2	ブートモード	0, 1	O	Z	O	O/Z ^{*10}	O/Z ^{*10}	O/Z ^{*10}
			2 - 5	O	-	O/Z ^{*10}		O/Z ^{*10}	O/Z ^{*10}
	A1	ブートモード	0	O	Z	O	O/Z ^{*10}	O/Z ^{*10}	O/Z ^{*10}
			1 - 5	O	-	O/Z ^{*10}		O/Z ^{*10}	O/Z ^{*10}
	データバス	D15 - D0	ブートモード	0, 1	I/Z	Z	I/Z	Z	Z
O/Z					Z	O/Z	Z	Z	Z
2 - 5				I/Z	-	-		Z	Z
				O/Z	-	Z		Z	Z
D31 - D16		ブートモード	1	I/Z	Z	I/Z	Z	Z	Z
				O/Z	Z	O/Z	Z	Z	Z
			0, 2 - 5	I/Z	-	-		Z	Z
				O/Z	-	Z		Z	Z
バス制御	CS0	ブートモード	0, 1	O	Z	O	H/Z ^{*10}	H/Z ^{*10}	H/Z ^{*10}
			2 - 5	O	-	H/Z ^{*10}		H/Z ^{*10}	H/Z ^{*10}
	CS5 - CS7, CE1A, CE2A			O	-	H/Z ^{*10}		H/Z ^{*10}	H/Z ^{*10}
	RD	ブートモード	0, 1	O	Z	O	H/Z ^{*10}	H/Z ^{*10}	H/Z ^{*10}
			2 - 5	O	-	H/Z ^{*10}		H/Z ^{*10}	H/Z ^{*10}
	RD/WR			O	-	H/Z ^{*10}		H/Z ^{*10}	H/Z ^{*10}
	BS			O	-	H/Z ^{*10}		H/Z ^{*10}	H/Z ^{*10}
	WAIT			I	-	-		Z	Z
	WE3/CIOWR/AH/DQMUU, WE2/CIORD/DQMUL, WE1/DQMLU/WE, WE0/DQMLL			O	-	H/Z ^{*10}		H/Z ^{*10}	H/Z ^{*10}
	RAS, CAS			O	-	O/Z ^{*11}		O/Z ^{*11}	O/Z ^{*11}
	CKE			O	-	O/Z ^{*11}		O/Z ^{*11}	O/Z ^{*11}
	IOIS16			I	-	-		Z	Z
ダイレクト メモリアクセス コントローラ	DREQ0			I	-	-		Z	Z
	DACK0			O	-	O/Z ^{*9}		O/Z ^{*9}	O/Z ^{*9}
	TEND0			O	-	O/Z ^{*9}		O/Z ^{*9}	O/Z ^{*9}

端子機能		端子状態							
分類	端子名	通常状態 (右記以外)	パワーオン リセット ^{※1}	端子状態保持 ^{※2}		低消費電力状態			
				EBUSKEEPE ^{※3} (右記以外)		パワーオン リセット ^{※4}	ディープ スタンバイ モード	ソフトウェア スタンバイ モード	
				0	1				
マルチファンクション タイマパルス ユニット 2	TCLKA - TCLKD	I	-	-		Z	Z		
	TIOC0A、TIOC0B、TIOC0C (PB3、PJ18)、 TIOC0D (PB4、P19)、 TIOC1A、TIOC1B、TIOC2A、TIOC2B、TIOC3A - TIOC3D、TIOC4A - TIOC4D	I	-	-		Z	Z		
	TIOC0C (PG3)、TIOC0D (PG4)	I	-	-		I/Z ^{※12}	I		
		O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}		
		O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}		
リアルタイム クロック	RTC_X1 ^{※6}	I/Z ^{※13}	I	I/Z ^{※13}		I/Z ^{※13}	I/Z ^{※13}		
	RTC_X2 ^{※6}	O/H ^{※13}	O	O/H ^{※13}		O/H ^{※13}	O/H ^{※13}		
FIFO 内蔵 シリアル コミュニケーション インタフェース	TxD7 - TxD0	O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}		
	RxD7 (PE7、PJ25)、RxD6 - RxD0	I	-	-		Z	Z		
	RxD7 (PC7)	I	-	-		I/Z ^{※12}	I		
	SCK7 - SCK0		I	-	-		Z	Z	
			O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
	RTS7、RTS5、RTS1		I	-	-		Z	Z	
			O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
	CTS7、CTS5、CTS1		I	-	-		Z	Z	
			O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
	ルネサス シリアル ペリフェラル インタフェース	MISO1、MISO0 (PJ19)		-	-		Z	Z	
			O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
MISO0 (PB20)			I	-	-		Z	Z	
		ブートモード	2、4、5	O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}
			3	O/Z	-	-	O/Z ^{※9}	O/Z ^{※9}	O/Z ^{※9}
MOSI1、MOSI0 (PJ18)			I	-	-		Z	Z	
			O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
MOSI0 (PB19)			I	-	-		Z	Z	
		ブートモード	2、4、5	O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}
			3	O/Z	-	-	O/Z ^{※9}	O/Z ^{※9}	O/Z ^{※9}
RSPCK1、RSPCK0 (PJ16)			I	-	-		Z	Z	
		O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}		

端子機能			端子状態						
分類	端子名		通常状態 (右記以外)	パワーオン リセット ^{s1}	端子状態保持 ^{s2}		低消費電力状態		
					EBUSKEEPE ^{s3} (右記以外)		パワーオン リセット ^{s4}	ディープ スタンバイ モード	ソフトウェア スタンバイ モード
					0	1			
ルネサス シリアル ペリフェラル インタフェース	RSPCK0 (PB17)		I	-	-		Z	Z	
	ブートモード	2, 4, 5	O/Z	-	O/Z ^{s5}		O/Z ^{s9}	O/Z ^{s9}	
		3	O/Z	-	-	O/Z ^{s9}	O/Z ^{s9}	O/Z ^{s9}	
	SSL10、SSL00 (PJ17)		I	-	-		Z	Z	
			O/Z	-	O/Z ^{s9}		O/Z ^{s9}	O/Z ^{s9}	
	SSL00 (PB18)			I	-	-		Z	Z
ブートモード		2, 4, 5	O/Z	-	O/Z ^{s9}		O/Z ^{s9}	O/Z ^{s9}	
		3	O/Z	-	-	O/Z ^{s9}	O/Z ^{s9}	O/Z ^{s9}	
ルネサス クワッド シリアル ペリフェラル インタフェース	QIO3_1、QIO3_0、		I	-	-		Z	Z	
	QIO2_1、QIO2_0、		O/Z	-	O/Z ^{s9}		O/Z ^{s9}	O/Z ^{s9}	
	QMI_1/QIO1_1、QMI_1/QIO0_0、								
	QMO_1/QIO0_1、QMO_0/QIO0_0								
	QSPCLK_1、QSPCLK_0		O/Z	-	O/Z ^{s9}		O/Z ^{s9}	O/Z ^{s9}	
QSSL_1、QSSL_0		O/Z	-	O/Z ^{s9}		O/Z ^{s9}	O/Z ^{s9}		
SPI マルチ I/O バス コントローラ	SPBIO3_1、SPBIO3_0、		I	-	-		Z	Z	
	SPBIO2_1、SPBIO2_0、		O/Z	-	O/Z ^{s9}		O/Z ^{s9}	O/Z ^{s9}	
	SPBMI_1/SPBIO1_1、SPBMI_0/SPBIO1_0、								
	SPBMO_1/SPBIO0_1、SPBMO_0/SPBIO0_0								
SPBCLK、SPBSSL		O/Z	-	O/Z ^{s9}		O/Z ^{s9}	O/Z ^{s9}		
I ² C バス インタフェース 3	SCL3 - SCL0		I	-	-		Z	Z	
			O/Z	-	Z		Z	Z	
	SDA3 - SDA0		I	-	-		Z	Z	
			O/Z	-	Z		Z	Z	
シリアル サウンド インタフェース	SSITxD0		O	-	O/Z ^{s9}		O/Z ^{s9}	O/Z ^{s9}	
	SSIRxD0		I	-	-		Z	Z	
	SSIDATA5 - SSIDATA1		I	-	-		Z	Z	
			O/Z	-	O/Z ^{s9}		O/Z ^{s9}	O/Z ^{s9}	
	SSISCK5、SSISCK4、SSISCK2 - SSISCK0		I	-	-		Z	Z	
			O/Z	-	O/Z ^{s9}		O/Z ^{s9}	O/Z ^{s9}	
	SSISCK3		I	-	-		I/Z ^{s12}	I	
			O/Z	-	O/Z ^{s9}		O/Z ^{s9}	O/Z ^{s9}	

端子機能			端子状態						
分類	端子名		通常状態 (右記以外)	パワーオン リセット ^{※1}	端子状態保持 ^{※2}		低消費電力状態		
					EBUSKEEPE ^{※3} (右記以外)		パワーオン リセット ^{※4}	ディープ スタンバイ モード	ソフトウェア スタンバイ モード
					0	1			
シリアル サウンド インタフェース	SSIIWS5、SSIIWS4、SSIIWS2 - SSIWS0		I	-	-		Z	Z	
			O/Z	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}	
	SSIIWS3		I	-	-		I/Z ^{※12}	I	
			O/Z	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}	
FIFO 付き クロック同期 シリアル I/O	SIOFCK		I	-	-		Z	Z	
			O/Z	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}	
	SIOFSYNC		I	-	-		Z	Z	
			O/Z	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}	
	SIOFTxD		O/Z	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}	
	SIOFRxD		I	-	-		Z	Z	
コントローラ エリアネットワーク	CTx2 - CTx0		O	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}	
	CRx2 (PJ20)、CRx1、CRx0		I	-	-		I/Z ^{※12}	I	
	CRx2 (PB21)		I	-	-		Z	Z	
IEBus™ コントローラ	IETxD		O	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}	
	IERxD		I	-	-		Z	Z	
ルネサス SPDIF インタフェース	SPDIF_OUT		O	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}	
	SPDIF_IN		I	-	-		Z	Z	
A/D 変換器	AN7 - AN0		I	-	-		Z	Z	
	ADTRG		I	-	-		Z	Z	
NAND フラッシュメモリ コントローラ	FRB		I	-	-		I/Z ^{※12}	I	
	FCE		O	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}	
	FALE	ブートモード	0、1、3-5	O	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}
			2	O	-	-	O/Z ^{※5}	O/Z ^{※5}	O/Z ^{※5}
	FRE	ブートモード	0、1、3-5	O	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}
			2	O	-	-	O/Z ^{※5}	O/Z ^{※5}	O/Z ^{※5}
	FCLE	ブートモード	0、1、3-5	O	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}
			2	O	-	-	O/Z ^{※5}	O/Z ^{※5}	O/Z ^{※5}
	FWE	ブートモード	0、1、3-5	O	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}
			2	O	-	-	O/Z ^{※5}	O/Z ^{※5}	O/Z ^{※5}
	NAF7 - NAF0		I	-	-		Z	Z	
		ブートモード	0、1、3-5	O/Z	-	O/Z ^{※5}		O/Z ^{※5}	O/Z ^{※5}
2			O/Z	-	-	O/Z ^{※5}	O/Z ^{※5}	O/Z ^{※5}	

端子機能				端子状態						
分類	端子名			通常状態 (右記以外)	パワーオン リセット ^{※1}	端子状態保持 ^{※2}		低消費電力状態		
						EBUSKEEPE ^{※3} (右記以外)		パワーオン リセット ^{※4}	ディープ スタンバイ モード	ソフトウェア スタンバイ モード
						0	1			
USB2.0 ホスト/ ファンクション モジュール	DP、DM			I/Z	Z	I/Z		Z	I/Z	
				O/Z	Z	O/Z		Z	O/Z	
	VBUS			I	I	I		I	I	
	REFRIN			I	I	I		I	I	
	USB_X1 ^{※5}			I	I	I		Z	Z	
	USB_X2 ^{※6}			O	O	O		L	L	
ビデオ ディスプレイ コントローラ 4	LCD_DATA23 - LCD_DATA0			O	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
	LCD_TCON6 - LCD_TCON0			O	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
	LCD_CLK			O	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
	LCD_EXTCLK			I	-	-		Z	Z	
	DV_CLK			I	-	-		Z	Z	
	DV_DATA23 - DV_DATA20			I	-	-		I/Z ^{※12}	I	
	DV_DATA19 - DV_DATA0			I	-	-		Z	Z	
	DV_VSYNC、DV_HSYNC			I	-	-		Z	Z	
SD ホスト インタフェース	SD_CLK_0	ブートモード	0-3	O	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
			4	O	-	-	O/Z ^{※1}	O/Z ^{※9}	O/Z ^{※9}	
	SD_CLK_1			O	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
	SD_CMD_0	ブートモード	0-3	I	-	-		Z	Z	
			4	O/Z	-	-	O/Z ^{※1}	O/Z ^{※9}	O/Z ^{※9}	
	SD_CMD_1			I	-	-		Z	Z	
				O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
	SD_D3_0、SD_D2_0			I	-	-		Z	Z	
		ブートモード	0-3	O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
			4	O/Z	-	-	O/Z ^{※9}	O/Z ^{※9}	O/Z ^{※9}	
	SD_D1_0、SD_D0_0			I	-	-		I/Z ^{※12}	I	
		ブートモード	0-3	O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}	
			4	O/Z	-	-	O/Z ^{※1}	O/Z ^{※9}	O/Z ^{※9}	
	SD_D3_1 - SD_D0_1			I	-	-		Z	Z	
			O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}		

端子機能				端子状態							
分類	端子名			通常状態 (右記以外)	パワーオン リセット ^{6,1}	端子状態保持 ^{6,2}		低消費電力状態			
						EBUSKEEPE ^{6,3} (右記以外)		パワーオン リセット ^{6,4}	ディープ スタンバイ モード	ソフトウェア スタンバイ モード	
						0	1				
SD ホスト インタフェース	SD_CD_0			I	-	-		I/Z ^{6,12}	I		
	SD_CD_1			I	-	-		Z	Z		
	SD_WP_0			I	-	-		I/Z ^{6,12}	I		
	SD_WP_1			I	-	-		Z	Z		
MMC ホストインタ フェース	MMC_CLK	ブートモード	0-3	O	-	O/Z ^{6,9}		O/Z ^{6,9}	O/Z ^{6,9}		
			5	O	-	-	O/Z ^{6,9}	O/Z ^{6,9}	O/Z ^{6,9}		
	MMC_CMD		ブートモード	0-3	O/Z	-	O/Z ^{6,9}		O/Z ^{6,9}	O/Z ^{6,9}	
				5	O/Z	-	-	O/Z ^{6,9}	O/Z ^{6,9}	O/Z ^{6,9}	
	MMC_D3、MMC_D2		ブートモード	0-3	O/Z	-	O/Z ^{6,9}		O/Z ^{6,9}	O/Z ^{6,9}	
				5	O/Z	-	-	O/Z ^{6,9}	O/Z ^{6,9}	O/Z ^{6,9}	
	MMC_D1、MMC_D0		ブートモード	0-3	O/Z	-	O/Z ^{6,9}		O/Z ^{6,9}	O/Z ^{6,9}	
				5	O/Z	-	-	O/Z ^{6,9}	O/Z ^{6,9}	O/Z ^{6,9}	
	MMC_D7 - MMC_D4				I	-	-		Z	Z	
					O/Z	-	O/Z ^{6,9}		O/Z ^{6,9}	O/Z ^{6,9}	
	MMC_CD				I	-	-		I/Z ^{6,12}	I	
					O/Z	-	O/Z ^{6,9}		O/Z ^{6,9}	O/Z ^{6,9}	
サウンドジェネレ ータ	SGOUT_3 - SGOUT_0			O	-	O/Z ^{6,9}		O/Z ^{6,9}	O/Z ^{6,9}		
ビデオデコーダ	VIDEO_X1 ^{6,5}			I	I	I		Z	Z		
	VIDEO_X2 ^{6,5}			O	O	O		L	L		
	VIN1、VIN2			I	Z	I		Z	I		
汎用入出力 ポート	PA1、PA0			I	-	I	Z	Z	I		
				O/Z	-	O/Z ^{6,9}		O/Z ^{6,9}	O/Z ^{6,9}		
	PB22、PB21、PB16 - PB1			I	Z	I	Z	Z	Z		
				O/Z	Z	O/Z ^{6,9}		O/Z ^{6,9}	O/Z ^{6,9}		
	PB20 - PB17			I	Z	I	Z	Z	Z		
				ブートモード	3	O/Z	Z	O/Z	O/Z ^{6,9}	O/Z ^{6,9}	O/Z ^{6,9}
					2、4、5	O/Z	Z	O/Z ^{6,9}		O/Z ^{6,9}	O/Z ^{6,9}
PC8、PC6、PC4 - PC1			I	Z	I	Z	Z	Z			
			O/Z	Z	O/Z ^{6,9}		O/Z ^{6,9}	O/Z ^{6,9}			

端子機能			端子状態							
分類	端子名		通常状態 (右記以外)	パワーオン リセット ^{※1}	端子状態保持 ^{※2}		低消費電力状態			
					EBUSKEEPE ^{※3} (右記以外)		パワーオン リセット ^{※4}	ディープ スタンバイ モード	ソフトウェア スタンバイ モード	
					0	1				
汎用入出力 ポート	PC7、PC5		I	Z	I	I/Z ^{※12}	I/Z ^{※12}	I		
			O/Z	Z	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}		
	PC0		I	-	I	Z	Z	I		
			O/Z	-	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}		
	PD15 - PD4		I	Z	I	Z	Z	Z		
			ブートモード	2	O/Z	Z	O/Z	O/Z ^{※9}	O/Z ^{※9}	
				3 - 5	O/Z	Z	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}
	PD3 - PD0		I	Z	I	Z	Z	Z		
			O/Z	Z	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}		
	PE7 - PE0		I	Z	I	Z	Z	Z		
			O/Z	Z	O/Z	Z	Z	Z		
	PF23 - PF20		I	Z	Z		Z	Z		
			ブートモード	0 - 3	O/Z	Z	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}
				4, 5	O/Z	Z	O/Z	O/Z ^{※9}	O/Z ^{※9}	O/Z ^{※9}
	PF19、PF18		I	Z	I	I/Z ^{※12}	I/Z ^{※12}	I		
			ブートモード	0 - 3	O/Z	Z	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}
				4, 5	O/Z	Z	O/Z	O/Z ^{※9}	O/Z ^{※9}	O/Z ^{※9}
	PF17、PF16		I	Z	I	I/Z ^{※12}	I/Z ^{※12}	I		
			ブートモード	0 - 3, 5	O/Z	Z	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}
				4	O/Z	Z	O/Z	O/Z ^{※9}	O/Z ^{※9}	O/Z ^{※9}
	PF15 - PF0		I	Z	I	Z	Z	Z		
			O/Z	Z	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}		
	PG27 - PG4, PG1, PG0		I	Z	I	Z	Z	Z		
			O/Z	Z	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}		
	PG3, PG2		I	Z	I	I/Z ^{※12}	I/Z ^{※12}	I		
			O/Z	Z	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}		
	PH7 - PH0		I	Z	I	Z	Z	Z		
	PJ31 - PJ24, PJ19 - PJ0		I	Z	I	Z	Z	Z		
O/Z			Z	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}			
PJ23 - PJ20		I	Z	I	I/Z ^{※12}	I/Z ^{※12}	I			
		O/Z	Z	O/Z ^{※9}		O/Z ^{※9}	O/Z ^{※9}			

端子機能		端子状態						
分類	端子名	通常状態 (右記以外)	パワーオン リセット ^{*1}	端子状態保持 ^{*2}		低消費電力状態		
				EBUSKEEPE ^{*3} (右記以外)		パワーオン リセット ^{*4}	ディープ スタンバイ モード	ソフトウェア スタンバイ モード
				0	1			
モータ コントロール PWM タイマ	PWM1A、PWM1B、PWM1C、PWM1D、PWM1E、 PWM1F、PWM1G、PWM1H、PWM2A、PWM2B、 PWM2C、PWM2D、PWM2E、PWM2F、PWM2G、 PWM2H	O	-	O/Z ^{*9}		O/Z ^{*9}	O/Z ^{*9}	
ユーザ デバッグ インタフェース ^{*15}	TRST	I	I	I		Z	I	
	TCK	I	I	I		Z	I	
	TDI	I	I	I		Z	I	
	TDO	O/Z ^{*14}	O/Z ^{*14}	O/Z ^{*14}		O/Z ^{*14}	O/Z ^{*14}	
	TMS	I	I	I		Z	I	
エミュレータ ^{*15}	AUDSYNC	-	-	-		-	-	
	AUDCK	-	-	-		-	-	
	AUDATA3 ~ AUDATA0	-	-	-		-	-	
	ASEBRKAK/ASEBRK	Z	Z	Z		Z	Z	

表 53.2 バス権解放時の端子状態

端子機能		端子状態
分類	端子名	バス権解放状態
クロック	CKIO	O/Z ^{*7}
システム制御	BREQ	I
	BACK	L
アドレスバス	A25 - A0	Z
データバス	D31 - D0	Z
バス制御	$\overline{CS5} - \overline{CS0}$, $\overline{CE1A}$, $\overline{CE2A}$	Z
	\overline{RD}	Z
	$\overline{RD}/\overline{WR}$	Z
	\overline{BS}	Z
	WAIT	Z
	$\overline{WE3}/\overline{CIOWR}/\overline{AH}/\overline{DQMUU}$, $\overline{WE2}/\overline{CIORD}/\overline{DQMUL}$, $\overline{WE1}/\overline{DQMLU}/\overline{WE}$, $\overline{WE0}/\overline{DQMLL}$	Z
	\overline{RAS} , \overline{CAS}	O/Z ^{*11}
	CKE	O/Z ^{*11}
NAND フラッシュ メモリコントローラ	FALE	Z
	FRE	Z
	FCLE	Z
	FWE	Z
	NAF7 - NAF0	Z

【記号説明】

- I : 入力
- O : 出力
- H : ハイレベル出力
- L : ローレベル出力
- Z : ハイインピーダンス
- : 端子機能として選択できない条件

- 【注】 *1 \overline{RES} 端子へのローレベル入力によるパワーオンリセットを指します。ユーザデバッグインタフェースリセットアサートコマンドおよびウォッチドッグタイマオーバーフローによるパワーオンリセットの場合、各端子における初期機能の通常動作時と同じ端子状態になります（「第 48 章 汎用入出力ポート」参照）。
- *2 ディープスタンバイモードから NMI などの各端子入力またはリアルタイムクロックのアラーム割り込みによって復帰した後、ディープスタンバイ解除要因フラグレジスタ（DSFR）の IOKEEP ビットがクリアされるまでの状態を指します（「第 49 章 低消費電力モード」参照）。
- *3 ディープスタンバイコントロールレジスタ（DSCTR）の EBUSKEEPE ビットです（「第 49 章 低消費電力モード」参照）。

- *4 本 LSI は、ディープスタンバイモードから復帰後、一定期間パワーオンリセット状態になります（「第 49 章 低消費電力モード」参照）。
- *5 リアルタイムクロックのコントロールレジスタ 5 (RCR5) の RCKSEL ビットの設定に従います（「第 15 章 リアルタイムクロック」参照）。
- *6 水晶発振子接続用の端子を使用しない場合は、入力端子 (EXTAL、RTC_X1、AUDIO_X1、USB_X1、VIDEO_X1) は固定 (プルアップ / プルダウン / 電源接続 / グランド接続)、出力端子 (XTAL、RTC_X2、AUDIO_X2、USB_X2、VIDEO_X2) はオープンにしてください。
- *7 クロックパルス発振器の周波数制御レジスタ (FRQCR) の CKOEN ビットの設定に従います（「第 5 章 クロックパルス発振器」参照）。
- *8 ソフトウェアリセットコントロールレジスタ (SWRSTCR) の AXTALE ビット設定に従います（「第 49 章 低消費電力モード」参照）。
- *9 スタンバイコントロールレジスタ 3 (STBCR3) の HIZ ビットの設定に従います（「第 49 章 低消費電力モード」参照）。
- *10 バスステートコントローラの共通コントロールレジスタ (CMNCR) の HIZMEM ビットの設定に従います（「第 10 章 バスステートコントローラ」参照）。
- *11 バスステートコントローラの共通コントロールレジスタ (CMNCR) の HIZCNT ビットの設定に従います（「第 10 章 バスステートコントローラ」参照）。
- *12 ディープスタンバイ解除要因セレクトレジスタ (DSSSR) の各ビットの設定に従います（「第 49 章 低消費電力モード」参照）。
- *13 リアルタイムクロックのコントロールレジスタ 2 (RCR2) の RTCEN ビットの設定に従います（「第 15 章 リアルタイムクロック」参照）。
- *14 ユーザデバッグインタフェースの TAP コントローラが Shift-DR、Shift-IR 状態以外では Z となります。
- *15 製品チップモード時 ($\overline{\text{ASEMD}} = \text{H}$) の端子状態です。ASE モード時 ($\overline{\text{ASEMD}} = \text{L}$) の端子状態については、「エミュレーションマニュアル」を参照してください。
- *16 出力となる場合は、ハイレベルまたはローレベルの固定出力となります。発振はしません。

53.2 未使用端子の処理

未使用端子の処理方法を下記に示します。

表 53.3 未使用端子の処理（ユーザデバッグインタフェース / エミュレータインタフェース端子を除く）

端 子	処 理
NMI	ハイレベル固定（プルアップ / 電源接続）
DP、DM、VBUS	USBDPVss に接続（SH7268 / SH7269（QFP）） Vss に接続（SH7269（BGA））
REFRIN	5.6k \pm 20%の抵抗を介して USBAPVcc に接続
USB 専用 1.2V 電源（USBAPVcc、USBDVcc、USBVcc）	1.2V 電源を供給 【注】 SH7269（BGA）には、USBDVcc、USBVcc 端子は存在しません。
USB 専用 3.3V 電源（USBAPVcc、USBDPVcc）	3.3V 電源を供給 【注】 SH7269（BGA）には、USBDPVcc 端子は存在しません。
USB 専用グラウンド （USBAPVss、USBDPVss、USBAPVss、USBDVss、USBVss）	グラウンドに接続 【注】 SH7269（BGA）には、左記端子は存在しません。
AVref	AVcc に接続
A/D 専用電源（AVcc）	3.3V 電源を供給
A/D 専用グラウンド（AVss）	グラウンドに接続
ビデオ信号入力用 A/D 専用電源（VDAVcc）	3.3V 電源を供給
ビデオ信号入力用 A/D 専用グラウンド（VDAVss）	グラウンドに接続
BIAS	24k \pm 10%の抵抗を介して VDAVss に接続
VIN1、VIN2、VRT、VRB	オープン
上記以外の入力専用端子	固定（プルアップ / プルダウン / 電源接続 / グラウンド接続）
上記以外の入出力端子	入力端子設定にして固定（プルアップ / プルダウン） または出力設定にしてオープン
出力専用端子	オープン

【注】 プルアップ / プルダウンの抵抗は 4.7k \sim 100k を推奨します。

表 53.4 製品チップモードかつユーザデバッグインタフェース未使用時の端子処理

端 子	処 理
AEMD	ハイレベル固定（プルアップ / 電源接続）
TRST	ローレベル固定（プルダウン / グラウンド接続）
TCK、TMS、TDI	固定（プルアップ / プルダウン / 電源接続 / グラウンド接続）
TDO、ASEBRKAK/ASEBRK	オープン

- 【注】
1. ユーザデバッグインタフェース使用時の端子処理は、使用するエミュレータの仕様に従ってください。
 2. プルアップ / プルダウンの抵抗は 4.7k \sim 100k を推奨します。

53.3 ディープスタンバイモード時の端子処理

ディープスタンバイモード時の、端子処理方法を下記に示します。

ディープスタンバイモード時の端子状態については、「53.1 端子状態」のディープスタンバイモードの項目を参照してください。また、端子を未使用時は、ディープスタンバイモードにおいても「53.2 未使用端子の処理」に従ってください。

表 53.5 ディープスタンバイモード時の端子処理

端 子	処 理
1.2V 電源 (Vcc、USB DVcc、USB UVcc、USB AVcc)	1.2V 電源を供給 【注】 SH7269 (BGA) には、USB DVcc、USB UVcc 端子は存在しません。
3.3V 電源 (PVcc、AVcc、USB DPVcc、USB APVcc、PLL Vcc、VDA Vcc)	3.3V 電源を供給 【注】 SH7269 (BGA) には、USB DPVcc 端子は存在しません。
グランド (Vss、PLL Vss、USB DVss、USB UVss、USB AVss、AVss、USB DPVss、USB APVss、VDA Vss)	グランドに接続 【注】 SH7269 (BGA) には、PLL Vss、USB DVss、USB AVss、USB UVss、USB DPVss、USB APVss 端子は存在しません。
VBUS	固定 (プルアップ / プルダウン / 電源接続 / グランド接続) またはオープン ただし、ハイレベル固定した場合は「表 52.2 DC 特性 (2) 【消費電流】SH7268/SH7269 (QFP)」に記載している電流を消費します。
REFRIN	5.6k \pm 1%の抵抗を介して USB APVss に接続 (SH7268 / SH7269(QFP)) 5.6k \pm 1%抵抗を介して Vss に接続 (SH7269(BGA))
DP、DM	固定 (プルアップ / プルダウン / 電源接続 / グランド接続) またはオープン
AVref	固定 (3.0V - AVcc)
BIAS	24k \pm 1%の抵抗を介して VDA Vss に接続
VRT、VRB	0.1 μ F のコンデンサを介して VDA Vss に接続
VIN1、VIN2	固定 (プルアップ / プルダウン / 電源接続 / グランド接続) またはオープン
EXTAL、RTC_X1、AUDIO_X1、USB_X1、VIDEO_X1	水晶発振子接続、クロック入力または固定 (プルアップ / プルダウン / 電源接続 / グランド接続)
XTAL、RTC_X2、AUDIO_X2、USB_X2、VIDEO_X2	水晶発振子接続またはオープン
上記以外の入力専用端子	固定 (プルアップ / プルダウン / 電源接続 / グランド接続)
上記以外の入力状態となる入出力端子	固定 (プルアップ / プルダウン)
上記以外の入出力ハイインピーダンス状態となる入出力端子	固定 (プルアップ / プルダウン) またはオープン
上記以外の出力状態となる入出力端子	オープン
上記以外の出力専用端子	オープン

【注】 プルアップ / プルダウンの抵抗は 4.7k \sim 100k を推奨します。

53.4 バイパスコンデンサ推奨組み合わせ

電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり LSI の電源端子の近くに実装してください。コンデンサの容量値は $0.1\mu\text{F} \sim 0.33\mu\text{F}$ (推奨値) を使用してください。水晶発振関連のコンデンサについては「第 5 章 クロックパルス発振器」も参照してください。

図 53.1 に SH7268 の外付けコンデンサ配置例、図 53.2 に SH7269 (QFP) の外付けコンデンサ配置例、表 53.6 に SH7269 (BGA) の外付けコンデンサ組み合わせを示します。

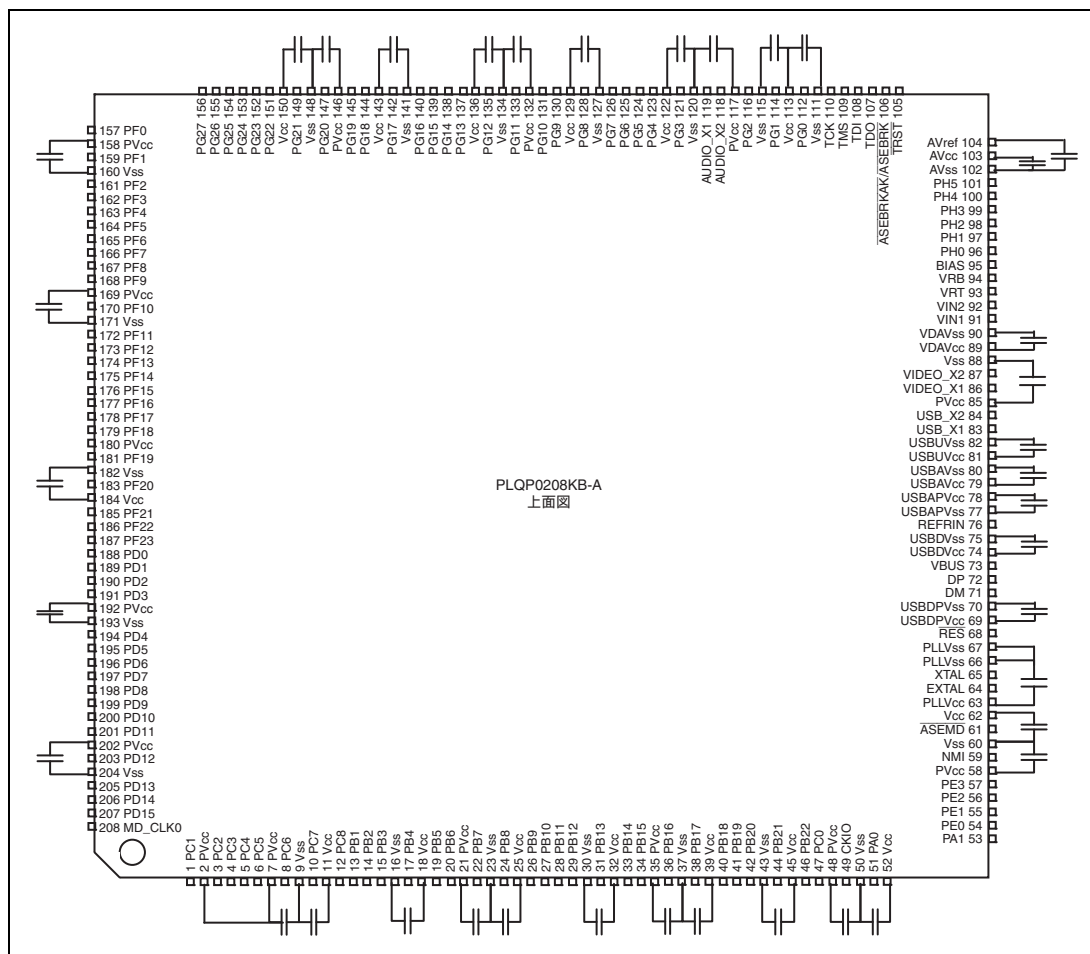


図 53.1 SH7268 の外付けコンデンサ配置例

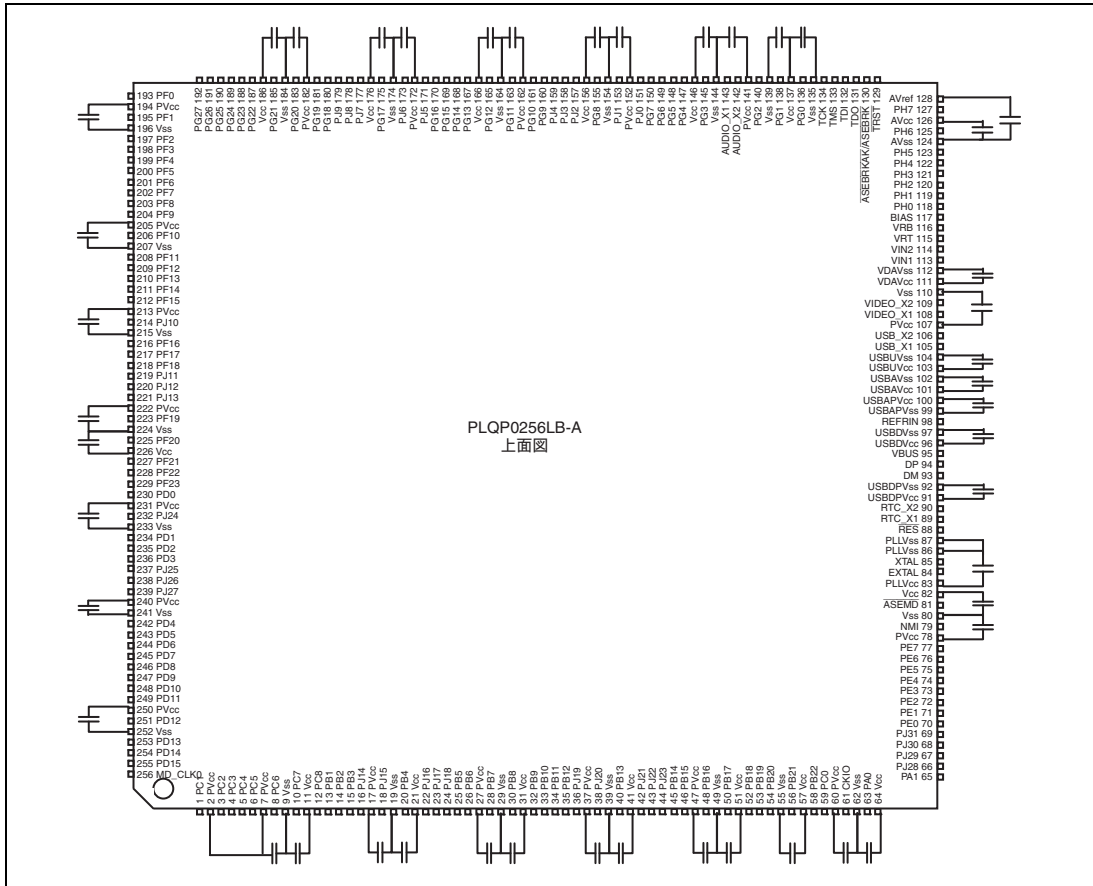


図 53.2 SH7269 (QFP) の外付けコンデンサ配置例

表 53.6 SH7269 (BGA) 外付けコンデンサ組み合わせ

電 源		グラウンド	
ピン No.	端子名	ピン No.	端子名
A2、B20、C19、D5、D6、D18、E17、H4、J4、M17、N17、T4、U3、U10、V2、V10、W1	Vcc	A1、A20、B2、B19、C3、C10、C18、D4、D10、D17、J9、J10、J11、J12、K4、K9、K10、K11、K12、K17、L4、L9、L10、L11、L12、L17、M4、M9、M10、M11、M12、U1、U4、U8、U9、U12、U17、V3、V9、V13、V18、W2、W11、W19、Y1、Y7、Y13、Y20	Vss
A19、B1、B18、C2、D2、D3、D11、D12、D15、D16、E4、J17、J18、N3、N4、T17、U18、V19、W20、Y11	PVcc		
U6	PLLVcc		
V11	USBAPVcc		
V12	USBAVcc		
U13	VDAVcc	U15	VDAVss
Y18	AVcc	W18	AVss
Y19	AVref		

付録

A. 外形寸法図

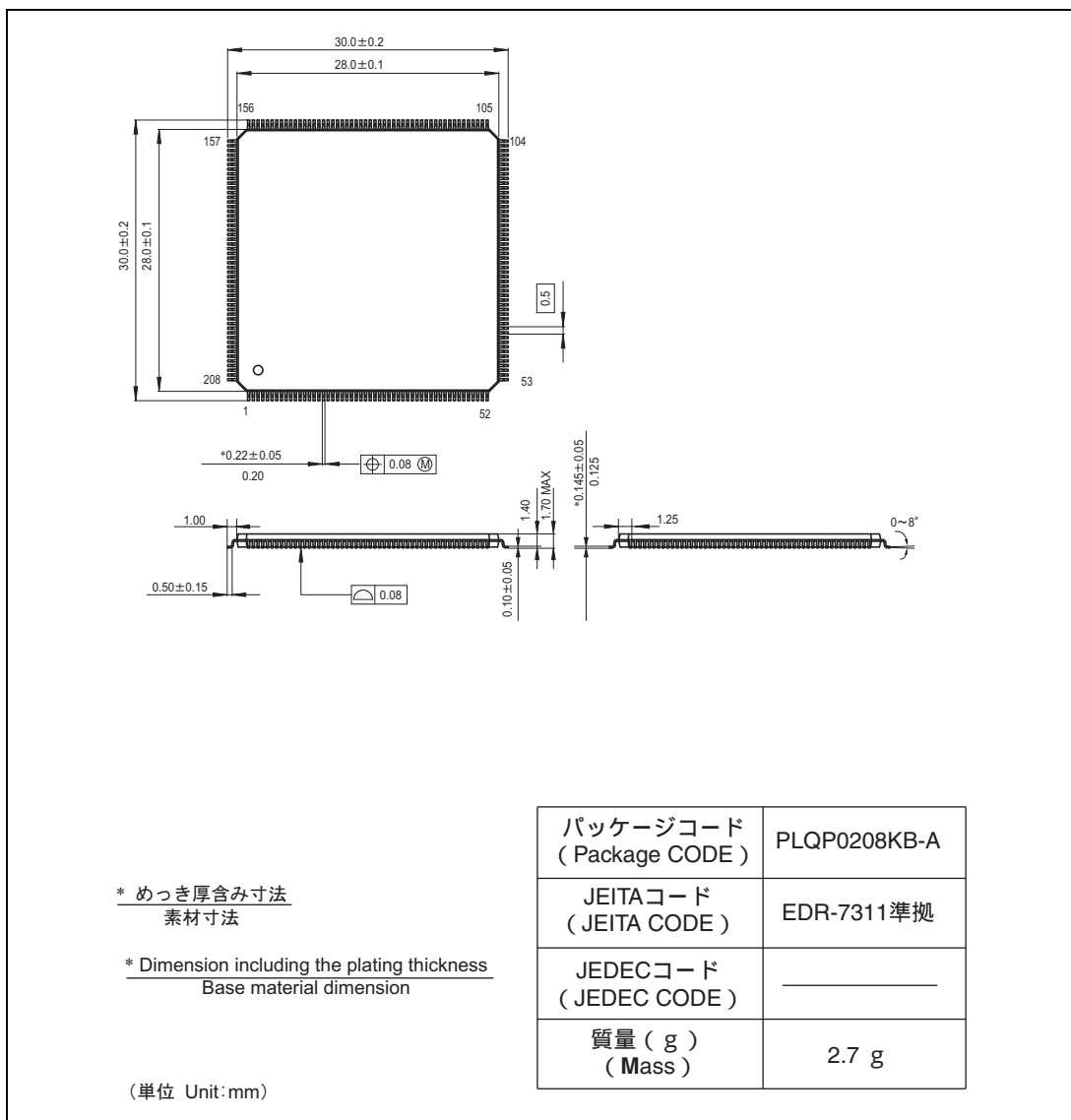


図 A.1 SH7268 の外形寸法図

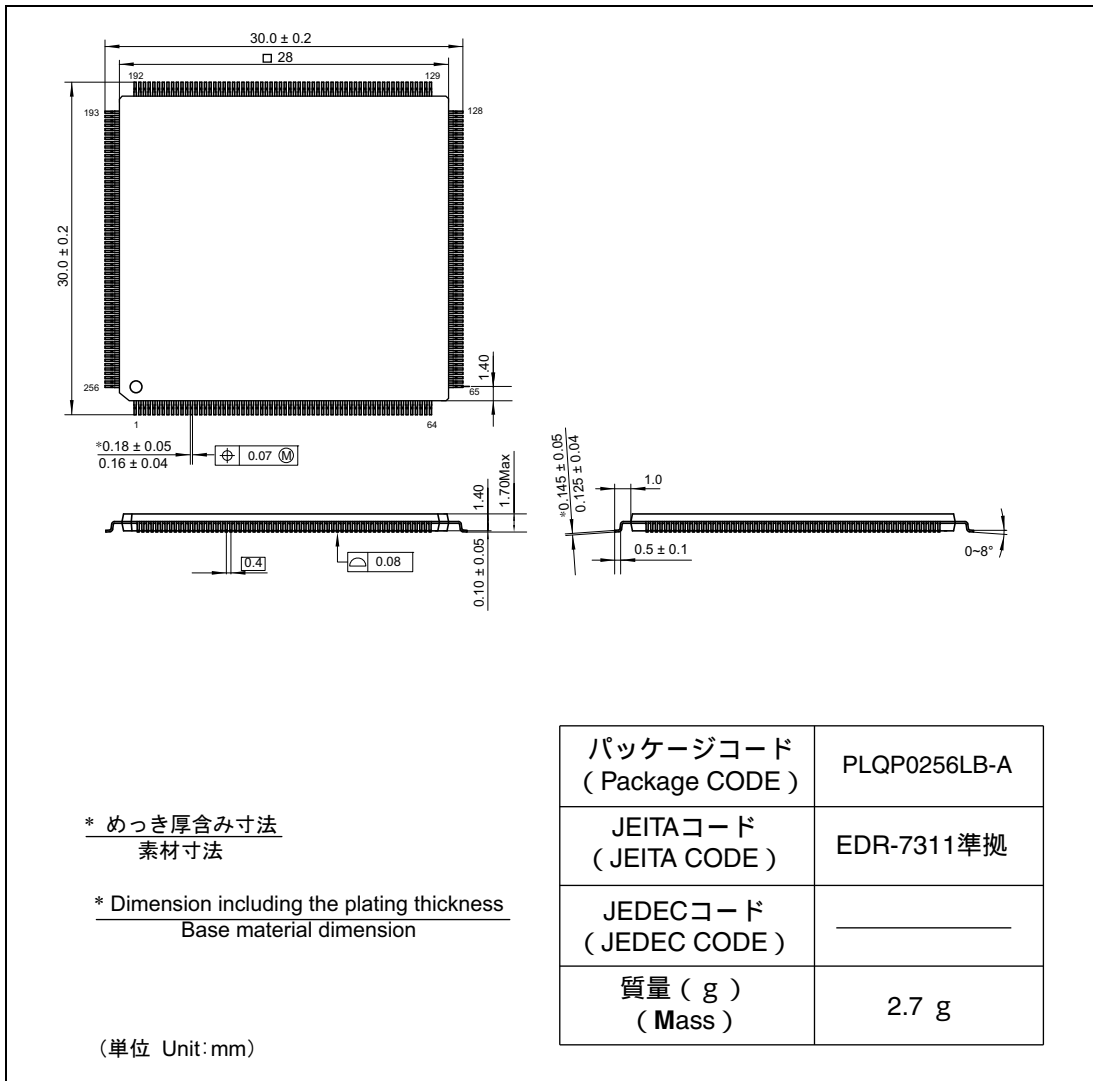


図 A.2 SH7269 (QFP 版) の外形寸法図

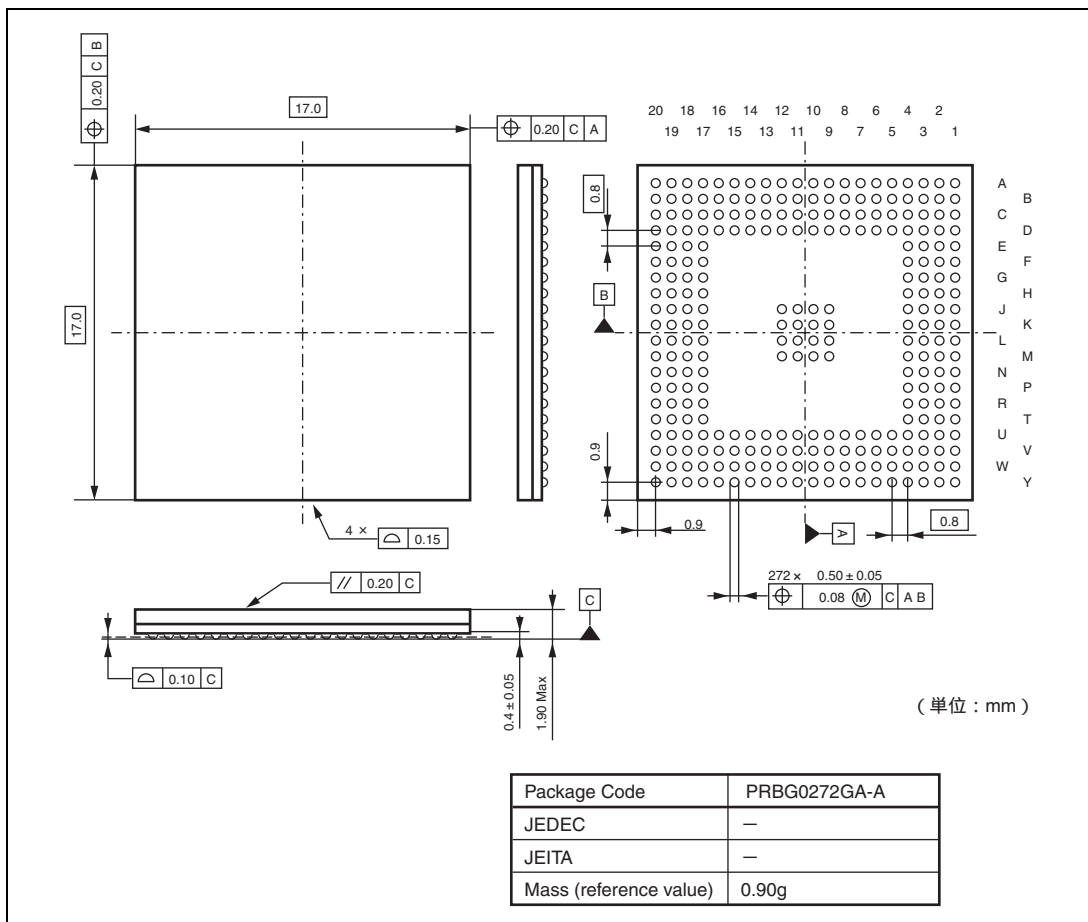


図 A.3 SH7269 (BGA 版) の外形寸法図

索引

【数字 / 記号】	
16 ビット / 32 ビットディスプレイースメント	2-10
【 A 】	
A/D 変換開始要求ディレイド機能	12-128
A/D 変換器	27-1
A/D 変換器タイミング	52-64
A/D 変換器特性	52-80
A/D 変換器の起動	12-135
A/D 変換時間 (マルチモード / スキャンモード)	27-16
A/D 変換精度の定義	27-19
A/D 変換タイミング	27-15
AC 特性	52-11
AC 特性測定条件	52-79
ATTCH 割り込み	29-128
【 B 】	
BCHG 割り込み	29-128
BEMP 割り込み	29-122
BRDY 割り込み	29-113
【 C 】	
CAN インタフェース	23-5
CAN スリープモード	23-72
CAN バスインタフェース	23-95
CD-DSP 停止・再開時の注意点	26-52
CD-ROM デコーダ	26-1
CMCNT カウントタイミング	13-6
CMCNT の書き込みとコンペアマッチの競合	13-9
CMCNT のバイト書き込みとカウントアップの競合	13-10
CMCNT のワード書き込みとカウントアップの競合	13-9
CPU	2-1
\overline{CSn} アサート期間拡張	10-57
【 D 】	
DC 特性	52-3
DMA 転送フローチャート	11-30
DREQ 端子のサンプリングタイミング	11-47
DTCH 割り込み	29-128
【 E 】	
ECC 訂正機能	26-43
EDC チェック機能	26-43
EOFERR 割り込み	29-129
【 F 】	
FIFO 付きクロック同期シリアル I/O	22-1
FIFO 内蔵シリアルコミュニケーションインタフェース	16-1
FIFO バッファメモリ	29-138
FPU に関する CPU 命令	2-36
FPU 例外要因	3-9
【 I 】	
I ² C バスインタフェース 3	20-1
I ² C バスインタフェース 3 タイミング	52-58
I ² C バスフォーマット	20-18
IBUF 割り込み	26-50
ID 並べ替え	23-29
IEBus™ コントローラ	24-1
IEBus 通信プロトコル	24-2
IEBus ビットフォーマット	24-13
IERR 割り込み	26-50
IREADY 割り込み	26-50
IRQ 割り込み	7-16
ISEC 割り込み	26-49
ISY 割り込み	26-49
ITARG 割り込み	26-49
【 J 】	
JPEG 伸長エラー	41-42
JPEG 符号データ FORMAT	41-33
【 L 】	
LRU	9-3
【 M 】	
MPX-I/O インタフェース	10-58

【 N 】	
NAND フラッシュメモリコントローラ	28-1
NAND フラッシュメモリコントローラタイミング	52-65
NAND フラッシュメモリコントローラの割り込み要求	28-36
NRDY 割り込み	29-117
NYET ハンドシェイク応答表	29-154

【 O 】	
OpenVG™ 用ルネサスグラフィックスプロセッサ	40-1

【 P 】	
PCMCIA インタフェース	10-101
PINT 割り込み	7-17
PLL 回路	5-3
PLL 発振回路使用時の注意	5-9, 5-12
PWM モード	12-82

【 R 】	
RISC 方式	2-7

【 S 】	
SACK 割り込み	29-128
SCBRR の設定値を求める計算式	16-18
SDRAM インタフェース	10-63
SD ホストインタフェース	44-1
SD ホストインタフェースタイミング	52-74
SIGN 割り込み	29-128
SOF 補間機能	29-166
SSL ネゲート期間の MOSI 信号値の決定方法	17-30

【 T 】	
TAP コントローラ	50-12
TDO 出力タイミング	50-13
TSG と TSEG の設定	23-35
TTW[1:0] (タイムトリガウィンドウ)	23-20
T ビット	2-8

【 U 】	
USB2.0 ホスト / ファンクションモジュール	29-1
USB2.0 ホスト / ファンクションモジュール タイミング	52-69
USB データバス抵抗制御	29-106

【 V 】	
VBUS 割り込み	29-127

【 あ 】	
アイソクロナス転送	29-156
アイドルサイクル数を決める項目	10-108
アクセスウェイト制御	10-55
アクセスサイクル間アイドル	10-107
アクセスサイズとデータアライメント	10-45
アクセスサイズとバースト数の関係	10-72
アドレスアレイ	9-2, 9-14
アドレスアレイライト (連想あり)	9-15
アドレスアレイライト (連想なし)	9-14
アドレスアレイリード	9-14
アドレスエラー	6-9
アドレスマップ	10-5
アドレスマルチプレクス	10-66
アドレッシングモード	2-11
アナログ電圧の設定	27-20
アナログ入力端子の規格	27-21
アナログ入力端子の取り扱い	27-20
アラーム機能の使用法	15-26
位相計数モード	12-87
一般不当命令	6-15
イミディエイトデータ	2-9
イミディエイトデータによる参照	2-9
イミディエイトデータのデータ形式	2-6
インターバルタイマモードの使用法	14-12
インタラプト転送	29-155
ウォッチドッグタイマ	14-1
ウォッチドッグタイマタイミング	52-49
ウォッチドッグタイマモードの使用法	14-11
エラーマーカ	41-42
エンディアン	10-45
応答 PID	29-135
オートリクエストモード	11-31
オートリフレッシュ	10-86
オフセット誤差	27-19

【 か 】	
外部トリガ入力タイミング	27-17
外部リクエストモード	11-31
各動作モードにおけるレジスタの状態の一覧	51-176
カスケード接続動作	12-78
キャッシュ	9-1
キャッシュ動作まとめ	9-12
キャッシュと外部メモリ / 大容量内蔵 RAM との コヒーレンシ	9-13
キャッシュの検索	9-9
許容信号源インピーダンス	27-22

グローバルベースレジスタ (GBR)	2-3	伸長処理	41-36
クロック周波数制御回路	5-3	シンドローム演算機能	26-43
クロック同期式シリアルフォーマット	20-27	水晶発振器	5-3
クロック同期式モード時の動作	16-42	スキャンモード	27-12
クロックパルス発振器	5-1	スタックからの復帰	7-40
クロックモード	5-5	スタックへの退避	7-40
高速内蔵 RAM アドレス空間	47-1	スタンバイ制御回路	5-3
コマンドアクセスモード	28-26	ステータスレジスタ (SR)	2-2
コントローラエリアネットワーク	23-1	スリープモード	49-34
コントローラエリアネットワーク端子ポート設定	23-96	スレープ受信動作	20-25
コントローラエリアネットワークの		スレープ送信動作	20-23
コントロールレジスタ	23-24	スレープモード動作	17-52
コントローラエリアネットワークの設定	23-69	スロット不当命令	6-15
コントローラエリアネットワークの		整数除算命令	6-16
メールボックスレジスタ	23-44	積和下位レジスタ (MACL)	2-4
コントローラエリアネットワークのメモリマップ	23-6	積和上位レジスタ (MACH)	2-4
コントローラエリアネットワークの割り込み要因	23-93	セクタアクセスモード	28-30
コントロール転送ステージ遷移割り込み	29-125	絶対アドレス	2-9
コントロールレジスタの初期値	2-4	絶対アドレスによる参照	2-10
コンフィギュレーションモード	21-33	絶対最大定格	52-1
コンペアマッチタイマ	13-1	絶対精度への影響	27-22
		セルフリフレッシュ	10-87
【さ】		送信トリガコントロールフィールド	23-20
サイクルスチールモード	11-42	送信トリガタイム (TTT)	23-20
サウンドジェネレータ	43-1	送信用内部アービトレーション	23-77
サポートできる DMA 転送	11-38	相補 PWM モード	12-96
算術演算命令	2-27	ソフトウェアスタンバイモード	49-35
サンプリングレートコンバータ	42-1	ソフトウェアスタンバイモード解除の手順	
システム構成例	17-30	(ウォッチドッグタイマ)	14-10
システム制御命令	2-32		
システムマトリックス	23-23	【た】	
システムレジスタの初期値	2-4	タイマレジスタ	23-56
実効アドレスの計算方法	2-11	タイムスタンプ	23-19
自動デコード停止機能	26-44	タイムスレープ	23-82
シフト命令	2-30	タイムトリガコントロール (TT コントロール)	23-20
ジャンプテーブルベースレジスタ (TBR)	2-3	タイムトリガシステムの例	23-85
周期設定上の注意事項	12-148	タイムトリガ送信	23-78
周波数変更方法	5-8	大容量内蔵 RAM アドレス空間	47-1
出力負荷回路	52-79	ダイレクトメモリアクセスコントローラ	11-1
乗算 / 積和演算	2-8	ダイレクトメモリアクセスコントローラ	
初期化	17-44	インタフェース	23-94
シリアルサウンドインタフェース	21-1	ダイレクトメモリアクセスコントローラ使用上の	
シリアルサウンドインタフェースタイミング	52-60	制約事項	16-51
シングルアドレスモード	11-41	ダイレクトメモリアクセスコントローラの起動	12-135
シングルモード	27-8	端子の制御	17-29
シングルライト	10-78	単精度浮動小数点フォーマット	3-2
シングルリード	10-75	遅延スロットなし無条件分岐命令	2-8

遅延分岐命令.....	2-8	バイト選択付き SRAM インタフェース.....	10-96
遅延分岐命令の直後の例外要因発生.....	6-17	パイプコントロール.....	29-130
調歩同期式モード時の動作.....	16-34	パイプスケジュール.....	29-167
調歩同期式モードの受信データサンプリング タイミングと受信マージン.....	16-52	パウンドリスキャン.....	50-15
通常以外の転送の発生条件とエラー検出機能.....	17-41	バスアービトレーション.....	10-113
通常空間インタフェース.....	10-50	バス権解放状態.....	2-39
ディープスタンバイモード.....	49-38	バスステートコントローラ.....	10-1
ディープパワーダウンモード.....	10-94	バッファリングフォーマット.....	26-45
低消費電力状態.....	2-39	ハフマンテーブル設定.....	41-34
低消費電力モード.....	49-1	ハフマン符号化セグメントエラー.....	41-43
ディスプレイメントによる参照.....	2-10	バルク転送.....	29-153
データ PID シーケンスビット.....	29-136	パワーオンシーケンス.....	10-90
データアクセスサイクルでのブ레이크.....	8-14	パワーオンリセット.....	6-7
データアレイ.....	9-2, 9-15	パワーダウンモード.....	10-89
データアレイライト.....	9-15	バンクアクティブ.....	10-79
データアレイリード.....	9-15	バンクからの復帰.....	7-39
データ転送命令.....	2-24	バンクの対象レジスタと入出力方式.....	7-37
データフォーマット.....	17-35	バンクへの退避.....	7-38
テーブル設定.....	41-33	汎用入出力ポート.....	48-1
テストモードの設定.....	23-75	汎用入出力ポートタイミング.....	52-76
デバイスステート遷移割り込み.....	29-123	汎用レジスタ.....	2-1
デュアルアドレスモード.....	11-39	汎用レジスタの初期値.....	2-4
電気的特性.....	52-1	非圧縮モード.....	21-21
電源投入・切断シーケンス.....	52-2	非数 (NaN).....	3-4
転送フォーマット.....	17-33, 17-34	非正規化数.....	3-4
伝送プロトコル.....	24-4	非直線性誤差.....	27-19
転送レート.....	20-7	ビット操作命令.....	2-37
同期コード保護機能.....	26-39	ビット同期回路.....	20-36
トラップ命令.....	6-14	ビデオディスプレイコントローラ 4 タイミング.....	52-72
トランザクション発行条件.....	29-167	ファンクションコントローラ機能選択時の コントロール転送.....	29-151
【な】		ブートモード.....	4-1
内蔵 RAM.....	47-1	浮動小数点演算命令.....	2-34, 6-16
内蔵周辺モジュールリクエストモード.....	11-32	浮動小数点の範囲.....	3-3
内蔵周辺モジュール割り込み.....	7-18	浮動小数点ユニット (FPU).....	3-1
入力 JPEG 符号データ.....	41-41	浮動小数点レジスタ.....	3-5
入力ストリームデータエンディアン変換機能.....	26-38	プリフェッチ動作 (オペランドキャッシュのみ).....	9-10
ノイズ除去回路.....	20-30	フルスケール誤差.....	27-19
【は】		ブ레이크の送り出し.....	16-52
バースト ROM (クロック同期) インタフェース.....	10-106	ブ레이크の検出と処理.....	16-51
バースト ROM (クロック非同期) インタフェース..	10-95	フレーム更新割り込み.....	29-127
バーストモード.....	11-44	フレームバッファモード (圧縮).....	41-30
バーストライト.....	10-76	プログラムカウンタ (PC).....	2-4
バーストリード.....	10-72	プログラム実行状態.....	2-39
倍精度浮動小数点フォーマット.....	3-2	プロシージャレジスタ (PR).....	2-4
		分岐命令.....	2-31
		分周器 1.....	5-3

分周率の変更.....	5-8
ページ競合.....	47-4
ベクタベースレジスタ (VBR).....	2-3
ポーレートジェネレータ.....	22-18
保持用内蔵 RAM アドレス空間.....	47-2, 47-3
ホストコントローラ機能選択時の コントロール転送.....	29-150
(ポテンシャル) タイムマスタ.....	23-81
ホルトモード.....	23-71
本 LSI の外形寸法図.....	付録-1, 付録-2, 付録-3
本 LSI の製品一覧.....	1-13
本 LSI の端子一覧.....	1-28
本 LSI の端子機能.....	1-18
本 LSI の特長.....	1-1
本 LSI のピン配置図.....	1-15
本 LSI のブロック図.....	1-14

【ま】

マイクロプロセッサインタフェース (MPI).....	23-4
マスタ受信動作.....	20-21
マスタ送信動作.....	20-19
マスタモード動作.....	17-45
マニュアルリセット.....	6-8
マルチファンクションタイムパルスユニット 2.....	12-1
マルチファンクションタイムパルスユニット 2 出力端子の初期化方法.....	12-164
マルチファンクションタイムパルスユニット 2 の 機能一覧.....	12-2
マルチファンクションタイムパルスユニット 2 割り込み要因.....	12-133
マルチモード.....	27-10
丸め.....	3-8
命令形式.....	2-15
命令セット.....	2-19
命令による例外.....	6-14
命令の特長.....	2-7
命令フェッチサイクルでのブレーク.....	8-13
メールボックス.....	23-4, 23-7
メールボックスコントロール.....	23-4
メールボックスの機能の設定.....	23-16
メールボックスの再設定.....	23-91
メールボックスの役割.....	23-8
メッセージコントロールフィールド.....	23-12
メッセージ受信シーケンス.....	23-89
メッセージ送信リクエスト.....	23-77, 23-84
メッセージデータフィールド.....	23-18
メモリのデータ形式.....	2-5

メモリ割り付けキャッシュの構成.....	9-14
モータコントロール PWM タイマ.....	46-1
モードと SPCR 設定の関係.....	17-28
目標セクタバッファリング機能.....	26-47
モジュールスタンバイ機能.....	49-43
モジュール有効モード.....	21-33

【や】

ユーザデバッグインタフェース.....	50-1
ユーザデバッグインタフェースタイミング.....	52-77
ユーザデバッグインタフェースリセット.....	50-14
ユーザデバッグインタフェース割り込み.....	7-16, 50-14
ユーザブレークコントローラ.....	8-1
ユーザブレーク動作の流れ.....	8-12

【ら】

ライトバックバッファ (オペランドキャッシュのみ).....	9-11
リアルタイムクロック.....	15-1
リセットシーケンス.....	23-70
リセット状態.....	2-39
リセット同期 PWM モード.....	12-93
リフレッシュ要求とバスサイクルの関係.....	10-88
量子化テーブル設定.....	41-33
量子化誤差.....	27-19
ループバックモード.....	17-57
ルネサス SPDIF インタフェース.....	25-1
ルネサスシリアルペリフェラルインタフェース.....	17-1
例外処理.....	6-1
例外処理後のスタックの状態.....	6-18
例外処理状態.....	2-39
例外処理ベクタテーブル.....	6-4, 7-19
例外処理ベクタテーブルアドレスの算出法.....	6-5
例外要因の種類と優先順位.....	6-1
レジスタ	
ABACK0.....	23-51
ABACK1.....	23-51
ADCSR.....	27-5
ADDRA ~ ADDRH.....	27-4
BAMR.....	8-5
BAR.....	8-4
BBR.....	8-8
BCR0.....	23-34
BCR1.....	23-32
BDMR.....	8-7
BDR.....	8-6
BEMPENB.....	29-39

BEMPSTS	29-54	CROMCTL5	26-16
BRCR	8-10	CROMEN	26-10
BRDYENB	29-35	CROMST0	26-16
BRDYSTS	29-50	CROMST0M	26-32
BSBPR	50-3	CROMST1	26-17
BSID	50-9	CROMST3	26-17
BSIR	50-3	CROMST4	26-18
BUSWAIT	29-11	CROMST5	26-19
CBUFCTL0	26-30	CROMST6	26-20
CBUFCTL1	26-31	CROMSY0	26-11
CBUFCTL2	26-31	CS0WCR	10-15, 10-26, 10-36
CBUFCTL3	26-32	CS1WCR	10-17
CBUFST0	26-21	CS2WCR	10-19, 10-30
CBUFST1	26-21	CS3WCR	10-19, 10-31
CBUFST2	26-22	CS4WCR	10-21, 10-28
CCR	23-63	CS5WCR	10-23, 10-33
CCR1	9-4	CS7WCR	10-17
CCR2	9-6	CSnBCR (n = 0 ~ 5)	10-11
CE_ARG	45-6	CTRL	25-6
CE_ARG_CMD12	45-7	CYCTR	23-65
CE_BLOCK_SET	45-8	D0FBCFG	29-19
CE_BUF_ACC	45-11	D0FIFO	29-20
CE_CLK_CTRL	45-9	D0FIFOCTR	29-28
CE_CMD_CTRL	45-7	D0FIFOSEL	29-25
CE_CMD_SET	45-4	D1FBCFG	29-19
CE_DATA	45-14	D1FIFO	29-20
CE_HOST_STS1	45-21	D1FIFOCTR	29-28
CE_HOST_STS2	45-22	D1FIFOSEL	29-25
CE_INT	45-14	DAR	11-10
CE_INT_EN	45-19	DCPCFG	29-63
CE_RESP	45-12	DCPCTR	29-67
CE_RESP_CMD12	45-13	DCPMAXP	29-65
CE_VERSION	45-27	DEVADDn (n = 0 ~ A)	29-103
CFIFO	29-20	DMAOR	11-21
CFIFOCTR	29-28	DMARS0 ~ DMARS7	11-24
CFIFOSEL	29-22	DMATCR	11-11
CHCR	11-11	DSCTR	49-26
CMAX_TEW	23-59	DSESR	49-29
CMCNT	13-5	DSFR	49-31
CMCOR	13-5	DSSSR	49-27
CMCSR	13-4	DVSTCTR	29-13
CMNCR	10-9	FLADR	28-11
CMSTR	13-3	FLADR2	28-13
CROMCTL0	26-12	FLBSYCNT	28-20
CROMCTL1	26-13	FLBSYTMR	28-19
CROMCTL3	26-14	FLCMCDR	28-10
CROMCTL4	26-15	FLCMDCR	28-8

FLCMNCR.....	28-6	IERB.....	24-37
FLDATAR.....	28-15	IERBFL.....	24-25
FLDTCNTR.....	28-14	IERCTL.....	24-25
FLDTFIFO.....	28-21	IERSR.....	24-32
FLECFIFO.....	28-21	IESA1.....	24-22
FLHOLDCR.....	28-23	IESA2.....	24-23
FLINTDMACR.....	28-16	IETB.....	24-37
FLTRCR.....	28-22	IETBFL.....	24-23
FPSCR.....	3-6	IETSR.....	24-29
FPUL.....	3-7	IMR.....	23-43
FRMNUM.....	29-56	INHINT.....	26-36
FRQCR.....	5-6	INTENB0.....	29-31
GSR.....	23-30	INTENB1.....	29-33
HEAD00.....	26-22	INTHOLD.....	26-35
HEAD01.....	26-22	INTSTS0.....	29-42
HEAD02.....	26-23	INTSTS1.....	29-46
HEAD03.....	26-23	IPR01、IPR02、IPR05 ~ IPR26.....	7-5
HEAD20.....	26-26	IRQRR.....	7-10
HEAD21.....	26-26	IRR.....	23-36
HEAD22.....	26-27	JCCMD.....	41-6
HEAD23.....	26-27	JCDERR.....	41-14
IBCR.....	7-13	JCDRID.....	41-9
IBNR.....	7-14	JCDRIU.....	41-9
ICCR1.....	20-6	JCDTCD.....	41-13
ICCR2.....	20-8	JCDTCM.....	41-12
ICDRR.....	20-16	JCDTCU.....	41-12
ICDRS.....	20-16	JCHSZD.....	41-11
ICDRT.....	20-15	JCHSZU.....	41-11
ICIER.....	20-11	JCHTN.....	41-8
ICMR.....	20-9	JCMOD.....	41-5
ICR0.....	7-7	JCQTN.....	41-7
ICR1.....	7-8	JCRST.....	41-15
ICR2.....	7-9	JCVSZD.....	41-10
ICSR.....	20-13	JCVSZU.....	41-10
IEAR1.....	24-21	JIFDCNT.....	41-20
IEAR2.....	24-22	JIFDDMW.....	41-23
IECKSR.....	24-36	JIFDDYA1.....	41-24
IECMR.....	24-18	JIFDSA1.....	41-22
IECTR.....	24-17	JIFECNT.....	41-15
IEFLG.....	24-27	JIFEDA.....	41-19
IEIER.....	24-35	JIFESA.....	41-17
IEIET.....	24-31	JIFESOFST.....	41-18
IELA1.....	24-26	JINTE.....	41-13
IELA2.....	24-26	JINTS.....	41-14
IEMA1.....	24-24	MBIMR0.....	23-54
IEMA2.....	24-24	MBIMR1.....	23-54
IEMCR.....	24-19	MCR.....	23-24

NF2CYC.....	20-17	PGCR5.....	48-59
NRDYENB.....	29-37	PGCR6.....	48-58
NRDYSTS.....	29-52	PGDR0.....	48-70
PAIOR0.....	48-12	PGDR1.....	48-69
PAPR0.....	48-13	PGIOR0.....	48-68
PBCR0.....	48-21	PGIOR1.....	48-68
PBCR1.....	48-19	PGPR0.....	48-72
PBCR2.....	48-18	PGPR1.....	48-71
PBCR3.....	48-17	PHCR0.....	48-74
PBCR4.....	48-15	PHCR1.....	48-73
PBCR5.....	48-14	PHPR0.....	48-75
PBDR0.....	48-24	PINTER.....	7-11
PBDR1.....	48-23	PIPEBUF.....	29-80
PBIOR0.....	48-22	PIPECFG.....	29-75
PBIOR1.....	48-22	PIPEMAXP.....	29-82
PBPR0.....	48-26	PIPEnCTR (n = 1 ~ 9).....	29-86
PBPR1.....	48-25	PIPEnTRE (n = 1 ~ 5).....	29-99
PCCR0.....	48-29	PIPEnTRN (n = 1 ~ 5).....	29-101
PCCR1.....	48-28	PIPEPERI.....	29-84
PCCR2.....	48-27	PIPESEL.....	29-74
PCDR0.....	48-31	PIRR.....	7-12
PCIOR0.....	48-30	PJCR0.....	48-84
PCPR0.....	48-32	PJCR1.....	48-82
PDCR0.....	48-36	PJDR0.....	48-86
PDCR1.....	48-35	PJIOR0.....	48-85
PDCR2.....	48-34	PJPR0.....	48-88
PDCR3.....	48-33	PWBFR_n.....	46-10
PDDR0.....	48-39	PWBTCR.....	46-11
PDIOR0.....	48-38	PWCNT_n.....	46-7
PDPR0.....	48-40	PWCR_n.....	46-5
PECR0.....	48-42	PWCYR_n.....	46-7
PECR1.....	48-41	PWDTR_n.....	46-8
PEDR0.....	48-44	PWPR_n.....	46-6
PEIOR0.....	48-43	R64CNT.....	15-4
PEPR0.....	48-45	RCR1.....	15-18
PFCR0.....	48-52	RCR2.....	15-20
PFCR1.....	48-51	RCR3.....	15-21
PFCR2.....	48-50	RCR5.....	15-22
PFCR3.....	48-49	RDAD.....	25-25
PFDR0.....	48-54	RDAR.....	11-20
PFIOR0.....	48-53	RDAYAR.....	15-16
PFPR0.....	48-56	RDAYCNT.....	15-9
PGCR0.....	48-65	RDMATCR.....	11-21
PGCR1.....	48-64	REC.....	23-43
PGCR2.....	48-62	RFMK.....	23-65
PGCR3.....	48-61	RFPR0.....	23-53
PGCR4.....	48-60	RFPR1.....	23-53

RFRH/L	15-22	SGCR	43-4
RFTROFF	23-60	SGCSR	43-5
RHRAR	15-14	SGLR	43-7
RHRCNT	15-7	SGSFR	43-8
RLCA	25-23	SGTFR	43-7
RLCS	25-27	SHEAD00	26-23
RMINAR	15-13	SHEAD01	26-24
RMINCNT	15-6	SHEAD02	26-24
RMONAR	15-17	SHEAD03	26-24
RMONCNT	15-10	SHEAD04	26-25
ROMDECRST	26-33	SHEAD05	26-25
RRAMKP	49-25	SHEAD06	26-25
RRCA	25-24	SHEAD07	26-26
RRCS	25-29	SHEAD20	26-27
RSAR	11-19	SHEAD21	26-28
RSECAR	15-12	SHEAD22	26-28
RSECCNT	15-5	SHEAD23	26-28
RSTSTAT	26-33	SHEAD24	26-29
RTCNT	10-43	SHEAD25	26-29
RTCOR	10-44	SHEAD26	26-29
RTCSR	10-41	SHEAD27	26-30
RUI	25-26	SICTR	22-6
RWKAR	15-15	SIFCTR	22-13
RWKCNT	15-8	SIER	22-12
RXPRO	23-52	SIMDR	22-4
RXPR1	23-52	SIRDAR	22-17
RYRAR	15-18	SIRD	22-8
RYRCNT	15-11	SISCR	22-15
SAR	11-10	SISTR	22-9
SAR (I ² C バスインタフェース 3)	20-15	SITDAR	22-16
SCBRR	16-18	SITDR	22-8
SCEMR	16-31	SOFCFG	29-41
SCFCR	16-24	SPBFCR	17-25
SCFDR	16-27	SPBFDR	17-27
SCFRDR	16-7	SPBR	17-17
SCFSR	16-13	SPCKD	17-19
SCFTDR	16-8	SPCMD	17-22
SCLSR	16-30	SPCR	17-7
SCRSR	16-7	SPDCR	17-18
SCSCR	16-11	SPDR	17-14
SCSMR	16-8	SPND	17-21
SCSPTR	16-28	SPPCR	17-10
SCTSR	16-7	SPSCR	17-15
SDBPR	50-10	SPSR	17-11
SDBSR	50-4	SPSSR	17-16
SDCR	10-38	SRCCTRL	42-8
SDIR	50-10	SRCID	42-4

SRCIDCTRL.....	42-6	TCR.....	12-11
SRCOD.....	42-5	TDAD.....	25-17
SRCODCTRL.....	42-7	TDDR.....	12-58
SRCSTAT.....	42-11	TDER.....	12-63
SSI.....	26-34	TEC.....	23-43
SSICR.....	21-6	TESTMODE.....	29-16
SSIFCR.....	21-15	TGCR.....	12-57
SSIFRDR.....	21-19	TGR.....	12-46
SSIFSR.....	21-17	TICCR.....	12-42
SSIFTDR.....	21-19	TIER.....	12-34
SSIRDR.....	21-14	TIOR.....	12-16
SSISR.....	21-11	TITCNT.....	12-61
SSITDR.....	21-14	TITCR.....	12-60
SSLND.....	17-20	TLCA.....	25-15
SSLP.....	17-9	TLCS.....	25-19
STAT.....	25-10	TMDR.....	12-14
STBCR1.....	49-4	TOCR1.....	12-51
STBCR2.....	49-5	TOCR2.....	12-53
STBCR3.....	49-6	TOER.....	12-50
STBCR4.....	49-7	TOLBR.....	12-56
STBCR5.....	49-9	TRCA.....	25-16
STBCR6.....	49-10	TRCS.....	25-21
STBCR7.....	49-12	TRWER.....	12-49
STBCR8.....	49-13	TSR.....	12-37, 23-61
STRMDIN0.....	26-37	TSTR.....	12-47
STRMDIN2.....	26-37	TSYR.....	12-48
STRMDOUT0.....	26-37	TTCR0.....	23-57
SYSCFG.....	29-7	TTTSEL.....	23-68
SYSCR1.....	49-20	TUI.....	25-18
SYSCR2.....	49-21	TWCR.....	12-64
SYSCR3.....	49-22	TXACK0.....	23-50
SYSCR4.....	49-23	TXACK1.....	23-50
SYSCR5.....	49-24	TXCR0.....	23-49
SYSSTS.....	29-12	TXCR1.....	23-48
TADCOBRA_4.....	12-45	TXPR0.....	23-47
TADCOBRB_4.....	12-45	TXPR1.....	23-47
TADCORA_4.....	12-45	UFRMNUM.....	29-57
TADCORB_4.....	12-45	UMSR0.....	23-55
TADCR.....	12-43	UMSR1.....	23-55
TBTER.....	12-62	USBADDR.....	29-58
TBTM.....	12-41	USBINDX.....	29-61
TCBR.....	12-59	USBLENG.....	29-62
TCDR.....	12-59	USBREQ.....	29-59
TCMR0 - 2.....	23-66	USBVAL.....	29-60
TCNT.....	12-46	WRCSR.....	14-7
TCNTR.....	23-64	WTCNT.....	14-4
TCNTS.....	12-58	WTCSR.....	14-5

XTALCTR.....	49-33
レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順).....	51-2
レジスタのデータ形式.....	2-5
レジスタバンク.....	2-4, 7-37
レジスタバンクエラー.....	6-11
レジスタバンクエラー例外処理.....	6-11, 7-41
レジスタバンクの例外.....	7-41
レジスタビット一覧.....	51-46
レジューム割り込み.....	29-128
ローカルアクセプタンスフィルタマスク (LAFM).....	23-17
ロードストアアーキテクチャ.....	2-7

ローパワーSDRAM.....	10-92
論理演算命令.....	2-29

【わ】

ワードデータの符号拡張.....	2-7
割り込み応答時間.....	7-32
割り込みコントローラ.....	7-1
割り込み優先順位.....	6-12
割り込み要因.....	16-50
割り込み要因クリアのタイミング.....	7-44
割り込み要求信号によるデータ転送.....	7-42
割り込み例外処理.....	6-13
割り込み例外処理終了後のスタックの状態.....	7-31

SH7268 グループ、SH7269 グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2011年 6月27日 Rev.1.00
2016年10月21日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲三丁目2番24号



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH7268 グループ、SH7269 グループ