

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7706

ハードウェアマニュアル

ルネサス32ビットRISCマイクロコンピュータ

SuperH™ RISC engineファミリ / SH7700シリーズ

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますとは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、
などの節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認のうえ設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. レジスター一覧
8. 電気的特性
9. 付録
10. 本版で改訂または追加された主な箇所 (改訂版のみ適用)

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上
でご確認下さい。

11. 索引

はじめに

SH7706 は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

対象者 このマニュアルは、SH7706 を用いた応用システムを設計するユーザーを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7706 のハードウェア機能と電気的特性をユーザーに理解していただくことを目的にしています。
なお、実行命令の詳細については、「SH-3/SH-3E/SH3-DSP プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 対象製品と製品略称の表記について

本書では、下記の製品について説明をします。

製品分類と製品略称	基本製品型名
基本分類	
SH7706 (176 ピンプラスチック LQFP 版)	HD6417706F133
SH7706 (208 ピン TFBGA 版)	HD6417706BP133V

- 機能全体を理解しようとするとき
目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき
別冊の「SH-3/SH-3E/SH3-DSP プログラミングマニュアル」を参照してください。

凡例 レジスタ表記 : シリアルコミュニケーションなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX で表します。

記号の表記 : ローアクティブの信号にはオーバーバー (XXXX) を付けます。

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://japan.renesas.com/>)

略語の説明

ACIA	Asynchronous Communication Interface Adapter 調歩同期インタフェース
ADC	Analog to Digital Converter A/D 変換器
AUD	Advanced User Debugger アドバンスユーザデバッガ
BSC	Bus State Controller バスステートコントローラ
CPG	Clock Pulse Generator クロック発振器
CMT	Compare Match Timer コンペアマッチタイマ
DAC	Digital to Analog Converter D/A 変換器
DMA	Direct Memory Access ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ
DRAM	Dynamic Random Access Memory ダイナミック RAM
ETU	Elementary Time Unit 1 ビットの転送時間
FIFO	First-In First-Out 先入れ先出し
H-UDI	User Debugging Interface ユーザデバッグインタフェース
INTC	Interrupt Controller 割り込みコントローラ
JEIDA	Japan Electronic Industry Development Association (社) 日本電子工業振興協会
JTAG	Joint Test Action Group バウンダリスキャン規格化 Gr
LRU	Least Recently Used (仮想記憶ページ置き換えアルゴリズムの名前)
LSB	Least Significant Bit 最下位ビット

MMU	Memory Management Unit メモリマネージメントユニット
MSB	Most Significant Bit 最上位ビット
PCMCIA	Personal Computer Memory Card International Association パソコン用メモ리카ードの国際協会
PFC	Pin Function Controller ピンファンクションコントローラ
PLL	Phase Locked Loop フェーズロックドループ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
ROM	Read Only Memory リードオンリーメモリ
RTC	Real Time Clock リアルタイムクロック
SCI	Serial Communication Interface シリアルコミュニケーションインタフェース
SCIF	Serial Communication Interface with FIFO FIFO シリアルコミュニケーションインタフェース
SRAM	Static Random Access Memory スタティック RAM
TLB	Translation Lookaside Buffer アドレス変換バッファ
TMU	Timer Unit タイマユニット
UART	Universal Asynchronous Receiver/Transmitter 調歩同期インタフェース
UBC	User Break Controller ユーザブレイクコントローラ
WDT	Watchdog Timer ウォッチドッグタイマ

目次

1. 概要	1-1
1.1 特長	1-1
1.2 内部ブロック図	1-3
1.3 ピン配置図	1-4
1.4 端子機能	1-6
2. CPU	2-1
2.1 レジスタの説明	2-1
2.1.1 特権モードとバンク	2-1
2.1.2 汎用レジスタ	2-4
2.1.3 システムレジスタ	2-5
2.1.4 コントロールレジスタ	2-5
2.2 データ形式	2-8
2.2.1 レジスタのデータ形式	2-8
2.2.2 メモリ上でのデータ形式	2-8
2.3 命令の特長	2-9
2.3.1 命令の実行方法	2-9
2.3.2 アドレッシングモード	2-11
2.3.3 命令形式	2-14
2.4 命令セット	2-16
2.4.1 機能別命令セット	2-16
2.4.2 オペレーションコードマップ	2-27
2.5 処理状態と処理モード	2-30
2.5.1 処理状態	2-30
2.5.2 処理モード	2-31
3. メモリマネジメントユニット (MMU)	3-1
3.1 MMUの役割	3-1
3.1.1 本 LSI の MMU	3-3
3.2 レジスタの説明	3-6
3.2.1 ページテーブルエントリ上位レジスタ (PTEH)	3-6
3.2.2 ページテーブルエントリ下位レジスタ (PTEL)	3-7
3.2.3 変換テーブルベースレジスタ (TTB)	3-7
3.2.4 TLB 例外アドレスレジスタ (TEA)	3-7

3.2.5	MMU 制御レジスタ (MMUCR)	3-7
3.3	TLBの機能.....	3-8
3.3.1	TLB の構成.....	3-8
3.3.2	TLB のインデックス番号作成方法	3-11
3.3.3	TLB のアドレス比較.....	3-12
3.3.4	ページ管理情報.....	3-14
3.4	MMUの機能.....	3-15
3.4.1	MMU のハードウェア管理.....	3-15
3.4.2	MMU のソフトウェア管理.....	3-15
3.4.3	MMU の命令 (LDTLB)	3-16
3.4.4	シノニム問題の回避	3-17
3.5	MMU例外.....	3-18
3.5.1	TLB ミス例外.....	3-18
3.5.2	TLB 保護違反例外.....	3-20
3.5.3	TLB 無効例外.....	3-21
3.5.4	初期ページ書き込み例外.....	3-22
3.5.5	MMU 例外発生時の処理フロー (CPU アドレスエラー発生時の処理フローも同一)	3-24
3.6	メモリ割り付けTLBの構成.....	3-25
3.6.1	アドレスアレイ	3-25
3.6.2	データアレイ	3-25
3.6.3	使用例.....	3-27
3.7	使用上の注意事項	3-27
3.7.1	SR の MD および BL ビットを操作する命令の使用方法について.....	3-27
3.7.2	TLB の使用方法について.....	3-27
4.	例外処理.....	4-1
4.1	例外処理の機能.....	4-1
4.1.1	例外処理の流れ.....	4-1
4.1.2	例外処理ベクタアドレス.....	4-2
4.1.3	例外要因の受け付け	4-4
4.1.4	例外コード	4-5
4.1.5	例外要求と BL ビット	4-6
4.1.6	例外処理からの戻り	4-6
4.2	レジスタの説明.....	4-6
4.2.1	例外事象レジスタ (EXPEVT)	4-7
4.2.2	割り込み事象レジスタ (INTEVT)	4-7
4.2.3	割り込み事象レジスタ 2 (INTEVT2)	4-7
4.2.4	TRAPA 例外レジスタ (TRA)	4-8
4.3	動作説明.....	4-8
4.3.1	リセット.....	4-8

4.3.2	割り込み	4-8
4.3.3	一般例外	4-9
4.4	個別例外動作	4-9
4.4.1	リセット	4-9
4.4.2	一般例外	4-10
4.4.3	割り込み	4-13
4.5	使用上の注意事項	4-14
5.	キャッシュ	5-1
5.1	特長	5-1
5.1.1	キャッシュの構成	5-1
5.2	レジスタの説明	5-3
5.2.1	キャッシュ制御レジスタ (CCR)	5-3
5.2.2	キャッシュ制御レジスタ 2 (CCR2)	5-4
5.3	動作説明	5-6
5.3.1	キャッシュの検索	5-6
5.3.2	リード動作	5-7
5.3.3	プリフェッチ動作	5-8
5.3.4	ライト動作	5-8
5.3.5	ライトバックバッファ	5-8
5.3.6	キャッシュと外部メモリとのコヒーレンシ	5-9
5.4	メモリ割り付けキャッシュの構成	5-9
5.4.1	アドレスレイ	5-9
5.4.2	データレイ	5-10
5.4.3	使用例	5-12
6.	割り込みコントローラ (INTC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	割り込み要因	6-3
6.3.1	NMI 割り込み	6-3
6.3.2	IRQ 割り込み	6-3
6.3.3	IRL 割り込み	6-4
6.3.4	内蔵周辺モジュール割り込み	6-6
6.3.5	割り込み例外処理および優先順位	6-6
6.4	レジスタの説明	6-10
6.4.1	割り込み優先順位レジスタ A~E (IPRA ~ IPRE)	6-10
6.4.2	割り込みコントロールレジスタ 0 (ICR0)	6-11
6.4.3	割り込みコントロールレジスタ 1 (ICR1)	6-11
6.4.4	割り込み要求レジスタ 0 (IRR0)	6-13

6.4.5	割り込み要求レジスタ 1 (IRR1)	6-14
6.4.6	割り込み要求レジスタ 2 (IRR2)	6-15
6.5	動作説明	6-16
6.5.1	割り込み動作の流れ	6-16
6.5.2	多重割り込み	6-18
6.6	割り込み応答時間	6-18
7.	ユーザブレイクコントローラ (UBC)	7-1
7.1	特長	7-1
7.2	レジスタの説明	7-3
7.2.1	ブレイクアドレスレジスタ A (BARA)	7-3
7.2.2	ブレイクアドレスマスクレジスタ A (BAMRA)	7-3
7.2.3	ブレイクバスサイクルレジスタ A (BBRA)	7-4
7.2.4	ブレイクアドレスレジスタ B (BARB)	7-5
7.2.5	ブレイクアドレスマスクレジスタ B (BAMRB)	7-5
7.2.6	ブレイクデータレジスタ B (BDRB)	7-5
7.2.7	ブレイクデータマスクレジスタ B (BDMRB)	7-6
7.2.8	ブレイクバスサイクルレジスタ B (BBRB)	7-6
7.2.9	ブレイクコントロールレジスタ (BRCR)	7-7
7.2.10	実行回数ブレイクレジスタ (BETR)	7-10
7.2.11	ブランチソースレジスタ (BRSR)	7-10
7.2.12	ブランチデスティネーションレジスタ (BRDR)	7-11
7.2.13	ブレイク ASID レジスタ A (BASRA)	7-11
7.2.14	ブレイク ASID レジスタ B (BASRB)	7-11
7.3	動作説明	7-12
7.3.1	ユーザブレイク動作の流れ	7-12
7.3.2	命令フェッチサイクルでのブレイク	7-12
7.3.3	データアクセスサイクルでのブレイク	7-13
7.3.4	シーケンシャルブレイク	7-14
7.3.5	退避したプログラムカウンタの値	7-14
7.3.6	PC トレース	7-14
7.3.7	使用例	7-16
7.4	使用上の注意事項	7-20
8.	バスステートコントローラ (BSC)	8-1
8.1	特長	8-1
8.2	入出力端子	8-4
8.3	エリアの概要	8-5
8.3.1	PCMCIA サポート	8-9
8.4	レジスタの説明	8-12

8.4.1	バスコントロールレジスタ 1 (BCR1)	8-13
8.4.2	バスコントロールレジスタ 2 (BCR2)	8-16
8.4.3	ウェイトコントロールレジスタ 1 (WCR1)	8-18
8.4.4	ウェイトコントロールレジスタ 2 (WCR2)	8-20
8.4.5	個別メモリコントロールレジスタ (MCR)	8-23
8.4.6	PCMCIA コントロールレジスタ (PCR)	8-27
8.4.7	シンクロナス DRAM モードレジスタ (SDMR)	8-29
8.4.8	リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)	8-30
8.4.9	リフレッシュタイムカウンタ (RTCNT)	8-32
8.4.10	リフレッシュタイムコンスタントレジスタ (RTCOR)	8-32
8.4.11	リフレッシュカウントレジスタ (RFCR)	8-33
8.5	動作説明	8-33
8.5.1	エンディアン / アクセスサイズとデータアライメント	8-33
8.5.2	エリアの説明	8-37
8.5.3	基本インタフェース	8-41
8.5.4	シンクロナス DRAM インタフェース	8-47
8.5.5	バースト ROM インタフェース	8-70
8.5.6	PCMCIA インタフェース	8-73
8.5.7	アクセスサイクル間ウェイト	8-83
8.5.8	バスアービトレーション	8-84
8.5.9	バスのプルアップ	8-85
9.	ダイレクトメモリアクセスコントローラ (DMAC)	9-1
9.1	特長	9-1
9.2	入出力端子	9-4
9.3	レジスタの説明	9-4
9.3.1	DMA ソースアドレスレジスタ _{0~3} (SAR _{0~3})	9-5
9.3.2	DMA デスティネーションアドレスレジスタ _{0~3} (DAR _{0~3})	9-5
9.3.3	DMA トランスファカウントレジスタ _{0~3} (DMATCR _{0~3})	9-5
9.3.4	DMA チャネルコントロールレジスタ _{0~3} (CHCR _{0~3})	9-6
9.3.5	DMA オペレーションレジスタ (DMAOR)	9-10
9.4	動作説明	9-11
9.4.1	動作説明	9-11
9.4.2	DMA 転送要求	9-13
9.4.3	チャネルの優先順位	9-14
9.4.4	DMA 転送の種類	9-17
9.4.5	バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング	9-28
9.4.6	ソースアドレスリロード機能	9-32
9.4.7	DMA 転送終了	9-33
9.5	コンペアマッチタイマ (CMT)	9-35

9.5.1	特長.....	9-35
9.5.2	レジスタ説明.....	9-36
9.5.3	動作説明.....	9-37
9.6	使用例.....	9-39
9.6.1	A/D 変換器と外部メモリとの DMA 転送例.....	9-39
9.6.2	外部メモリと SCIF 送信側との DMA 転送例 (インダイレクトアドレスオン).....	9-41
9.7	使用上の注意.....	9-42
10.	クロック発振器 (CPG)	10-1
10.1	特長.....	10-1
10.2	入出力端子.....	10-4
10.3	クロック動作モード.....	10-4
10.4	レジスタの説明.....	10-7
10.4.1	周波数制御レジスタ (FRQCR)	10-7
10.5	動作説明.....	10-9
10.5.1	通倍率の変更.....	10-9
10.5.2	分周率の変更.....	10-9
10.6	使用上の注意事項.....	10-10
11.	ウォッチドッグタイマ (WDT)	11-1
11.1	特長.....	11-1
11.2	レジスタの説明.....	11-2
11.2.1	ウォッチドッグタイマカウンタ (WTCNT)	11-2
11.2.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	11-2
11.2.3	レジスタアクセス時の注意.....	11-4
11.3	動作説明.....	11-5
11.3.1	ソフトウェアスタンバイ解除の手順.....	11-5
11.3.2	周波数変更の手順.....	11-6
11.3.3	ウォッチドッグタイマモードの使用法.....	11-6
11.3.4	インターバルタイマモードの使用法.....	11-7
12.	タイマユニット (TMU)	12-1
12.1	特長.....	12-1
12.2	入出力端子.....	12-3
12.3	レジスタの説明.....	12-3
12.3.1	タイマアウトプットコントロールレジスタ (TOCR)	12-4
12.3.2	タイマスタートレジスタ (TSTR)	12-5
12.3.3	タイマコントロールレジスタ _{0~2} (TCR _{0~2})	12-6
12.3.4	タイマコンスタントレジスタ _{0~2} (TCOR _{0~2})	12-9
12.3.5	タイマカウンタ _{0~2} (TCNT _{0~2})	12-9

12.3.6	インプットキャプチャレジスタ_2 (TCPR_2)	12-9
12.4	動作説明	12-9
12.4.1	カウンタの動作	12-10
12.4.2	インプットキャプチャ機能	12-13
12.5	割り込み	12-14
12.5.1	ステータスフラグのセットタイミング	12-14
12.5.2	ステータスフラグのクリアタイミング	12-14
12.5.3	割り込み要因と優先順位	12-15
12.6	使用上の注意事項	12-16
12.6.1	レジスタの書き込みについて	12-16
12.6.2	レジスタの読み出しについて	12-16
13.	リアルタイムクロック (RTC)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-3
13.3.1	64Hz カウンタ (R64CNT)	13-4
13.3.2	秒カウンタ (RSECNT)	13-4
13.3.3	分カウンタ (RMINCNT)	13-5
13.3.4	時カウンタ (RHRCNT)	13-5
13.3.5	曜日カウンタ (RWKCNT)	13-5
13.3.6	日カウンタ (RDAYCNT)	13-6
13.3.7	月カウンタ (RMONCNT)	13-6
13.3.8	年カウンタ (RYRCNT)	13-7
13.3.9	秒アラームレジスタ (RSECAR)	13-7
13.3.10	分アラームレジスタ (RMINAR)	13-8
13.3.11	時アラームレジスタ (RHRAR)	13-8
13.3.12	曜日アラームレジスタ (RWKAR)	13-9
13.3.13	日アラームレジスタ (RDAYAR)	13-10
13.3.14	月アラームレジスタ (RMONAR)	13-10
13.3.15	RTC コントロールレジスタ 1 (RCR1)	13-11
13.3.16	RTC コントロールレジスタ 2 (RCR2)	13-12
13.4	動作説明	13-14
13.4.1	電源投入後のレジスタの初期設定	13-14
13.4.2	時刻設定手順	13-14
13.4.3	時刻読み出し手順	13-16
13.4.4	アラーム機能	13-17
13.4.5	水晶発振回路	13-18
13.5	使用上の注意事項	13-19
13.5.1	RTC カウント動作時のレジスタ書き込みについて	13-19

13.5.2	リアルタイムクロック (RTC) の周期割り込みの使用について	13-19
13.5.3	RCR2 レジスタの ADJ ビット設定タイミングについて	13-19
14.	シリアルコミュニケーションインタフェース (SCI)	14-1
14.1	特長	14-1
14.2	入出力端子	14-6
14.3	レジスタの説明	14-6
14.3.1	レシーブシフトレジスタ (SCRSR)	14-6
14.3.2	レシーブデータレジスタ (SCRDR)	14-6
14.3.3	トランスミットシフトレジスタ (SCTSR)	14-7
14.3.4	トランスミットデータレジスタ (SCTDR)	14-7
14.3.5	シリアルモードレジスタ (SCSMR)	14-7
14.3.6	シリアルコントロールレジスタ (SCSCR)	14-10
14.3.7	シリアルステータスレジスタ (SCSSR)	14-13
14.3.8	SC ポートコントロールレジスタ (SCPCR)	14-16
14.3.9	SC ポートデータレジスタ (SCPDR)	14-17
14.3.10	ビットレートレジスタ (SCBRR)	14-18
14.4	動作説明	14-23
14.4.1	調歩同期モード時の動作	14-25
14.4.2	マルチプロセッサ通信機能	14-35
14.4.3	クロック同期モード時の動作	14-43
14.5	割り込み要因	14-51
14.6	使用上の注意事項	14-51
15.	スマートカードインタフェース	15-1
15.1	特長	15-1
15.2	入出力端子	15-2
15.3	レジスタの説明	15-3
15.3.1	スマートカードモードレジスタ (SCSCMR)	15-3
15.3.2	シリアルステータスレジスタ (SCSSR)	15-4
15.4	動作説明	15-5
15.4.1	概要	15-5
15.4.2	端子接続	15-6
15.4.3	データフォーマット	15-7
15.4.4	レジスタ設定	15-8
15.4.5	クロック	15-9
15.4.6	データの送信 / 受信動作	15-11
15.5	使用上の注意	15-17

16.	FIFO 付きシリアルコミュニケーションインタフェース (SCIF)	16-1
16.1	特長	16-1
16.2	入出力端子	16-5
16.3	レジスタの説明	16-5
16.3.1	レシーブシフトレジスタ 2 (SCRSR2)	16-5
16.3.2	レシーブ FIFO データレジスタ 2 (SCFRDR2)	16-6
16.3.3	トランスミットシフトレジスタ 2 (SCTSR2)	16-6
16.3.4	トランスミット FIFO データレジスタ 2 (SCFTDR2)	16-6
16.3.5	シリアルモードレジスタ 2 (SCSMR2)	16-6
16.3.6	シリアルコントロールレジスタ 2 (SCSCR2)	16-8
16.3.7	シリアルステータスレジスタ 2 (SCSSR2)	16-10
16.3.8	ビットレートレジスタ 2 (SCBRR2)	16-15
16.3.9	FIFO コントロールレジスタ 2 (SCFCR2)	16-19
16.3.10	FIFO データ数レジスタ 2 (SCFDR2)	16-21
16.3.11	SC ポートコントロールレジスタ (SCPCR)	16-21
16.3.12	SC ポートデータレジスタ (SCPDR)	16-21
16.4	動作説明	16-21
16.4.1	シリアル動作	16-23
16.4.2	SCIF の割り込み	16-32
16.5	使用上の注意事項	16-33
17.	ピンファンクションコントローラ (PFC)	17-1
17.1	レジスタの説明	17-3
17.1.1	ポート A コントロールレジスタ (PACR)	17-4
17.1.2	ポート B コントロールレジスタ (PBCR)	17-5
17.1.3	ポート C コントロールレジスタ (PCCR)	17-6
17.1.4	ポート D コントロールレジスタ (PDCR)	17-8
17.1.5	ポート E コントロールレジスタ (PECR)	17-9
17.1.6	ポート F コントロールレジスタ (PFCR)	17-10
17.1.7	ポート G コントロールレジスタ (PGCR)	17-12
17.1.8	ポート H コントロールレジスタ (PHCR)	17-13
17.1.9	ポート J コントロールレジスタ (PJCR)	17-14
17.1.10	SC ポートコントロールレジスタ (SCPCR)	17-15
18.	I/O ポート	18-1
18.1	ポート A	18-1
18.1.1	レジスタの説明	18-1
18.1.2	ポート A データレジスタ (PADR)	18-2
18.2	ポート B	18-3
18.2.1	レジスタの説明	18-3

18.2.2	ポート B データレジスタ (PBDR)	18-3
18.3	ポート C	18-4
18.3.1	レジスタの説明	18-4
18.3.2	ポート C データレジスタ (PCDR)	18-4
18.4	ポート D	18-5
18.4.1	レジスタの説明	18-6
18.4.2	ポート D データレジスタ (PDDR)	18-6
18.5	ポート E	18-7
18.5.1	レジスタの説明	18-7
18.5.2	ポート E データレジスタ (PEDR)	18-7
18.6	ポート F	18-8
18.6.1	レジスタの説明	18-8
18.6.2	ポート F データレジスタ (PFDR)	18-8
18.7	ポート G	18-9
18.7.1	レジスタの説明	18-10
18.7.2	ポート G データレジスタ (PGDR)	18-10
18.8	ポート H	18-11
18.8.1	レジスタの説明	18-11
18.8.2	ポート H データレジスタ (PHDR)	18-11
18.9	ポート J	18-12
18.9.1	レジスタの説明	18-13
18.9.2	ポート J データレジスタ (PJDR)	18-13
18.10	SCポート	18-14
18.10.1	レジスタの説明	18-14
18.10.2	SC ポートデータレジスタ (SCPDR)	18-14
19.	A/D 変換器 (ADC)	19-1
19.1	特長	19-1
19.2	入出力端子	19-3
19.3	レジスタの説明	19-3
19.3.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	19-3
19.3.2	A/D コントロール / ステータスレジスタ (ADCSR)	19-4
19.3.3	A/D コントロールレジスタ (ADCR)	19-6
19.4	バスマスタとのインタフェース	19-7
19.5	A/D データレジスタのアクセスサイズ	19-8
19.5.1	ワードアクセスの場合	19-8
19.5.2	ロングワードアクセスの場合	19-8
19.6	動作説明	19-8
19.6.1	シングルモード (MULTI = 0)	19-8
19.6.2	マルチモード (MULTI = 1、SCN = 0)	19-10

19.6.3	スキャンモード (MULTI=1、SCN=1)	19-11
19.6.4	入力サンプリングと A/D 変換時間	19-13
19.6.5	外部トリガ入力タイミング	19-14
19.7	割り込み要求	19-14
19.8	A/D変換精度の定義	19-15
19.9	使用上の注意	19-16
19.9.1	アナログ電圧の設定	19-16
19.9.2	アナログ入力端子の取り扱い	19-16
19.9.3	アクセスサイズと読み出しデータ	19-18
20.	D/A 変換器 (DAC)	20-1
20.1	特長	20-1
20.2	入出力端子	20-2
20.3	レジスタの説明	20-2
20.3.1	D/A データレジスタ 0、1 (DADR0、DADR1)	20-2
20.3.2	D/A コントロールレジスタ (DACR)	20-2
20.4	動作説明	20-3
21.	ユーザデバッグインタフェース (H-UDI)	21-1
21.1	特長	21-1
21.2	入出力端子	21-2
21.3	レジスタの説明	21-2
21.3.1	バイパスレジスタ (SDBPR)	21-2
21.3.2	インストラクションレジスタ (SDIR)	21-3
21.3.3	バウンダリスキャンレジスタ (SDBSR)	21-3
21.4	動作説明	21-9
21.4.1	TAP コントローラ	21-9
21.4.2	リセット構成	21-10
21.4.3	H-UDI リセット	21-11
21.4.4	H-UDI 割り込み	21-11
21.4.5	バイパス	21-11
21.4.6	H-UDI によるスリープからの復帰	21-11
21.5	バウンダリスキャン	21-12
21.5.1	サポートする命令	21-12
21.5.2	注意事項	21-13
21.6	使用上の注意	21-13
21.7	アドバンストユーザデバッグ (AUD)	21-13
22.	低消費電力モード	22-1
22.1	入出力端子	22-2

22.2	レジスタの説明	22-2
22.2.1	スタンバイコントロールレジスタ (STBCR)	22-3
22.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	22-4
22.3	動作説明	22-5
22.3.1	スリープモード	22-5
22.3.2	ソフトウェアスタンバイモード	22-6
22.3.3	モジュールスタンバイ機能	22-8
22.3.4	STATUS 端子の変化タイミング	22-10
22.3.5	ハードウェアスタンバイモード	22-14
23.	制御レジスタ一覧	23-1
23.1	レジスタアドレスマップ	23-1
23.2	レジスタビット	23-6
23.3	各処理モードにおけるレジスタの状態	23-16
24.	電气的特性	24-1
24.1	絶対最大定格	24-1
24.2	DC特性	24-2
24.3	AC特性	24-4
24.3.1	クロックタイミング	24-4
24.3.2	制御信号タイミング	24-10
24.3.3	AC バスタイミング仕様	24-13
24.3.4	基本タイミング	24-15
24.3.5	バースト ROM タイミング	24-18
24.3.6	シンクロナス DRAM タイミング	24-21
24.3.7	PCMCIA タイミング	24-39
24.3.8	周辺モジュール信号タイミング	24-46
24.3.9	H-UDI、AUD 関連端子のタイミング	24-49
24.3.10	A/D 変換器タイミング	24-51
24.3.11	AC 特性測定条件	24-53
24.3.12	負荷容量による遅延時間の変化	24-54
24.4	A/D変換器特性	24-54
24.5	D/A変換器特性	24-55
付録		付録-1
A.	各端子のI/Oバッファ等価回路一覧表	付録-1
B.	端子機能	付録-5
B.1	端子機能	付録-5
B.2	端子の仕様	付録-8
B.3	未使用端子の処理	付録-11

B.4	各アドレス空間へのアクセスにおける端子状態	付録-12
C.	型名一覧	付録-26
D.	パッケージ外形寸法図	付録-26
本版で改訂された箇所		改-1
索引		索引-1

図目次

1. 概要	1-1
図 1.1 SH7706 内部ブロック図	1-3
図 1.2 ピン配置図 (FP-176C)	1-4
図 1.3 ピン配置図 (TBP-208A)	1-5
2. CPU	2-1
図 2.1 処理モード別のレジスタ構成	2-3
図 2.2 汎用レジスタの構成	2-4
図 2.3 システムレジスタの構成	2-5
図 2.4 コントロールレジスタの構成	2-6
図 2.5 メモリ上のデータ形式	2-9
図 2.6 処理状態の状態遷移図	2-31
3. メモリマネジメントユニット (MMU)	3-1
図 3.1 MMU の役割	3-2
図 3.2 論理アドレス空間	3-4
図 3.3 TLB 全体構成	3-9
図 3.4 論理アドレスと TLB エントリの構成	3-9
図 3.5 TLB インデックス番号作成の方法 (IX=1)	3-11
図 3.6 TLB インデックス番号作成の方法 (IX=0)	3-12
図 3.7 アドレス比較対象	3-13
図 3.8 LDTLB 命令の動作	3-16
図 3.9 シノニム問題	3-18
図 3.10 MMU 例外の流れ	3-23
図 3.11 命令フェッチ時の MMU 例外信号	3-24
図 3.12 データアクセス時の MMU 例外信号	3-24
図 3.13 メモリ割り付けされた TLB アクセスのアドレス部、データ部指定方法	3-26
4. 例外処理	4-1
図 4.1 ベクタアドレス	4-2
図 4.2 一般例外の受け付け順序の例	4-4
5. キャッシュ	5-1
図 5.1 キャッシュの構成	5-1

図 5.2	キャッシュの検索方法.....	5-7
図 5.3	ライトバックバッファの構成.....	5-8
図 5.4	メモリ割り付けキャッシュアクセスのアドレス、データ指定方法.....	5-11
6.	割り込みコントローラ (INTC)	6-1
図 6.1	INTC ブロック図.....	6-2
図 6.2	IRL 割り込みの接続例.....	6-4
図 6.3	割り込み動作フローチャート.....	6-17
図 6.4	IRL 割り込みの受け付け時のパイプライン動作の例.....	6-20
7.	ユーザブレイクコントローラ (UBC)	7-1
図 7.1	UBC のブロック図.....	7-2
8.	バスステートコントローラ (BSC)	8-1
図 8.1	BSC のブロック図.....	8-3
図 8.2	論理アドレス空間と物理アドレス空間の対応.....	8-6
図 8.3	物理空間割り付け.....	8-7
図 8.4	PCMCIA 空間割り付け.....	8-9
図 8.5	基本インタフェースの基本タイミング.....	8-42
図 8.6	32 ビットデータ幅 SRAM 接続例.....	8-43
図 8.7	16 ビットデータ幅 SRAM 接続例.....	8-44
図 8.8	8 ビットデータ幅 SRAM 接続例.....	8-44
図 8.9	基本インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)	8-45
図 8.10	基本インタフェースのウェイトステートタイミング ($\overline{\text{WAIT}}$ 信号によるウェイトステート挿入 $\text{WAITSEL} = 1$)	8-46
図 8.11	64M ビットシンクロナス DRAM 接続例.....	8-48
図 8.12	64M ビットシンクロナス DRAM 接続例 (バス幅 16 ビット)	8-49
図 8.13	シンクロナス DRAM パーストリード基本タイミング.....	8-52
図 8.14	シンクロナス DRAM パーストリードウェイト指定タイミング.....	8-53
図 8.15	シンクロナス DRAM シングルリード基本タイミング.....	8-54
図 8.16	シンクロナス DRAM パーストライト基本タイミング.....	8-55
図 8.17	シンクロナス DRAM シングルライト基本タイミング.....	8-56
図 8.18	パーストリードタイミング (プリチャージなし)	8-59
図 8.19	パーストリードタイミング (同一ロウアドレス)	8-60
図 8.20	パーストリードタイミング (異なるロウアドレス)	8-61
図 8.21	パーストライトタイミング (プリチャージなし)	8-62
図 8.22	パーストライトタイミング (同一ロウアドレス)	8-63
図 8.23	パーストライトタイミング (異なるロウアドレス)	8-64
図 8.24	オートリフレッシュの動作.....	8-65
図 8.25	シンクロナス DRAM オートリフレッシュタイミング.....	8-66

図 8.26	シンクロナス DRAM セルフリフレッシュタイミング	8-67
図 8.27	シンクロナス DRAM モード書き込みタイミング	8-69
図 8.28	バースト ROM ウェイトアクセスタイミング	8-71
図 8.29	バースト ROM 基本アクセスタイミング	8-72
図 8.30	PCMCIA 空間割り付け	8-73
図 8.31	PCMCIA インタフェース例	8-74
図 8.32	PCMCIA メモリカードインタフェース基本タイミング	8-75
図 8.33	PCMCIA メモリカードインタフェースウェイトタイミング	8-76
図 8.34	PCMCIA メモリカードインタフェースバーストアクセス基本タイミング	8-77
図 8.35	PCMCIA メモリカードインタフェースバーストアクセスウェイトタイミング	8-78
図 8.36	PCMCIA I/O カードインタフェース基本タイミング	8-80
図 8.37	PCMCIA I/O カードインタフェースウェイトタイミング	8-81
図 8.38	PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング	8-82
図 8.39	アクセスサイクル間ウェイト	8-84
図 8.40	A25 ~ A0 端子プルアップのタイミング	8-85
図 8.41	D31 ~ D0 端子プルアップのタイミング (リードサイクル)	8-85
図 8.42	D31 ~ D0 端子プルアップのタイミング (ライトサイクル)	8-86
9.	ダイレクトメモリアクセスコントローラ (DMAC)	9-1
図 9.1	DMAC ブロック図	9-3
図 9.2	DMAC 転送フローチャート	9-12
図 9.3	ラウンドロビンモード	9-15
図 9.4	ラウンドロビンモードでのチャネル優先順位変更例	9-16
図 9.5	デュアルアドレスモード、直接アドレスの動作説明	9-18
図 9.6	デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例 (転送元: 通常メモリ、転送先: 通常メモリ)	9-19
図 9.7	デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例 (16 バイト転送、転送元: 通常メモリ、転送先: 通常メモリ)	9-20
図 9.8	デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例 (16 バイト転送、転送元: シンクロナス DRAM、転送先: 通常メモリ)	9-20
図 9.9	デュアルアドレスモード、間接アドレスの動作説明 (外部メモリ空間が 16 ビット幅の場合)	9-22
図 9.10	デュアルアドレスモード、間接アドレスでの転送タイミング例	9-23
図 9.11	シングルアドレスモードでのデータの流れ	9-24
図 9.12	シングルアドレスモードでの DMA 転送タイミング	9-25
図 9.13	シングルアドレスモードでの DMA 転送タイミング 16 バイト転送、外部メモリ空間 (通常メモリ) DACK 付き外部デバイス)	9-25
図 9.14	サイクルスチールモードでの DMA 転送例	9-26
図 9.15	バーストモードでの DMA 転送例	9-26
図 9.16	複数チャネルが動作する場合のバス状態 (優先順位がラウンドロビンモードの場合)	9-28
図 9.17	サイクルスチールモード、レベル入力 (CPU アクセス: 2 サイクル)	9-30

図 9.18	サイクルスチールモード、レベル入力 (CPU アクセス : 3 サイクル)	9-30
図 9.19	サイクルスチールモード、レベル入力 (CPU アクセス : 2 サイクル、 DMA RD アクセス : 4 サイクル)	9-30
図 9.20	サイクルスチールモード、レベル入力 (CPU アクセス : 2 サイクル、 DREQ 入力を遅らせた場合)	9-31
図 9.21	サイクルスチールモード、エッジ入力 (CPU アクセス : 2 サイクル)	9-31
図 9.22	バーストモード、レベル入力.....	9-31
図 9.23	バーストモード、エッジ入力.....	9-32
図 9.24	ソースアドレスリロード機能図.....	9-32
図 9.25	ソースアドレスリロード機能タイムチャート	9-33
図 9.26	コンペアマッチタイマのブロック図	9-35
図 9.27	カウンタ動作	9-37
図 9.28	カウントタイミング	9-38
図 9.29	CMF セットタイミング	9-38
図 9.30	CPU による CMF クリアのタイミング	9-39
10.	クロック発振器 (CPG)	10-1
図 10.1	CPG のブロック図.....	10-2
図 10.2	水晶発振子使用時の注意.....	10-10
図 10.3	PLL 発振回路使用時の注意.....	10-11
11.	ウォッチドッグタイマ (WDT)	11-1
図 11.1	WDT のブロック図	11-1
図 11.2	WTCNT、WTCR への書き込み.....	11-5
12.	タイマユニット (TMU)	12-1
図 12.1	TMU のブロック図.....	12-2
図 12.2	カウント動作設定手順例.....	12-10
図 12.3	オートリロードカウンタの動作.....	12-11
図 12.4	内部クロック動作時のカウントタイミング	12-11
図 12.5	外部クロック動作時のカウントタイミング (両エッジ検出の場合)	12-12
図 12.6	内蔵 RTC クロック動作時のカウントタイミング.....	12-12
図 12.7	インプットキャプチャ機能使用時の動作タイミング (TCLK の立ち上がりエッジ使用)	12-13
図 12.8	UNF のセットタイミング.....	12-14
図 12.9	ステータスフラグのクリアタイミング	12-14
13.	リアルタイムクロック (RTC)	13-1
図 13.1	RTC のブロック図.....	13-2
図 13.2 (a)	時刻設定手順 (a)	13-14
図 13.2 (b)	時刻設定手順 (b)	13-15

図 13.3	時刻読み出し手順	13-16
図 13.4	アラーム機能の使用手法	13-17
図 13.5	水晶発振回路接続例	13-18
図 13.6	周期割り込み機能の使用手法	13-19
14.	シリアルコミュニケーションインタフェース (SCI)	14-1
図 14.1	SCI のブロック図	14-3
図 14.2	SCPT[1]/SCK0 端子	14-4
図 14.3	SCPT[0]/TxD0 端子	14-5
図 14.4	SCPT[0]/RxD0 端子	14-5
図 14.5	調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)	14-25
図 14.6	出カクロックと通信データの位相関係 (調歩同期式モード)	14-27
図 14.7	SCI の初期化フローチャートの例	14-28
図 14.8	シリアル送信のフローチャートの例	14-29
図 14.9	調歩同期式モードでの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	14-31
図 14.10	シリアル受信のフローチャートの例 (1)	14-32
図 14.10	シリアル受信のフローチャートの例 (2)	14-33
図 14.11	SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	14-35
図 14.12	マルチプロセッサフォーマットを使用したプロセッサ間通信の例 (受信局 A へのデータ H'AA の送信の例)	14-36
図 14.13	マルチプロセッサシリアル送信のフローチャートの例	14-37
図 14.14	SCI の送信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)	14-39
図 14.15	マルチプロセッサシリアル受信のフローチャートの例 (1)	14-40
図 14.15	マルチプロセッサシリアル受信のフローチャートの例 (2)	14-41
図 14.16	SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)	14-42
図 14.17	クロック同期式通信のデータフォーマット	14-43
図 14.18	SCI の初期化フローチャートの例	14-44
図 14.19	シリアル送信のフローチャートの例	14-45
図 14.20	SCI の送信時の動作例	14-46
図 14.21	シリアルデータ受信フローチャートの例 (1)	14-47
図 14.21	シリアルデータ受信フローチャートの例 (2)	14-48
図 14.22	SCI の受信時の動作例	14-49
図 14.23	シリアルデータ送受信フローチャートの例	14-50
図 14.24	調歩同期式モードの受信データサンプリングタイミング	14-53
15.	スマートカードインタフェース	15-1
図 15.1	スマートカードインタフェースのブロック図	15-2

図 15.2	スマートカードインタフェース端子接続概略図	15-6
図 15.3	スマートカードインタフェースのデータフォーマット	15-7
図 15.4	開始キャラクタの波形例	15-9
図 15.5	初期化のフロー例	15-12
図 15.6	送信処理フローの例	15-14
図 15.7	受信処理フローの例	15-16
図 15.8	スマートカードモード時の受信データサンプリングタイミング	15-17
図 15.9	SCI 受信モードの場合の再転送動作	15-19
図 15.10	SCI 送信モードの場合の再転送動作	15-20
16.	FIFO 付きシリアルコミュニケーションインタフェース (SCIF)	16-1
図 16.1	SCIF ブロック図	16-2
図 16.2	SCPT[3]/SCK2 端子	16-3
図 16.3	SCPT[2]/TxD2 端子	16-4
図 16.4	SCPT[2]/RxD2 端子	16-4
図 16.5	SCIF の初期化フローチャートの例	16-25
図 16.6	シリアル送信のフローチャートの例	16-26
図 16.7	送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	16-27
図 16.8	モデムコントロールを使用した動作例 ($\overline{\text{CTS2}}$)	16-28
図 16.9	シリアル受信のフローチャートの例 (1)	16-29
図 16.10	シリアル受信のフローチャートの例 (2)	16-30
図 16.11	SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	16-31
図 16.12	モデムコントロール使用時の動作例 ($\overline{\text{RTS2}}$)	16-31
図 16.13	調歩同期モードでの受信データサンプリングタイミング	16-34
18.	I/O ポート	18-1
図 18.1	ポート A	18-1
図 18.2	ポート B	18-3
図 18.3	ポート C	18-4
図 18.4	ポート D	18-5
図 18.5	ポート E	18-7
図 18.6	ポート F	18-8
図 18.7	ポート G	18-9
図 18.8	ポート H	18-11
図 18.9	ポート J	18-12
図 18.10	SC ポート	18-14
19.	A/D 変換器 (ADC)	19-1
図 19.1	A/D 変換器のブロック図	19-2
図 19.2	A/D データレジスタのアクセス動作 ((H'AA40) 読み出し時)	19-7

図 19.3	ワードアクセスの例	19-8
図 19.4	ロングワードアクセスの例	19-8
図 19.5	A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)	19-9
図 19.6	A/D 変換器の動作例 (マルチモード AN0 ~ AN2 の 3 チャンネル選択時)	19-11
図 19.7	A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時)	19-12
図 19.8	A/D 変換タイミング	19-13
図 19.9	外部トリガ入力タイミング	19-14
図 19.10	A/D 変換精度の定義	19-15
図 19.11	アナログ入力端子の保護回路例	19-16
図 19.12	アナログ入力端子の等価回路	19-17
20.	D/A 変換器 (DAC)	20-1
図 20.1	D/A 変換器のブロック図	20-1
図 20.2	D/A 変換器動作の例	20-4
21.	ユーザデバッグインタフェース (H-UDI)	21-1
図 21.1	H-UDI ブロック図	21-1
図 21.2	TAP コントローラ状態遷移図	21-9
図 21.3	H-UDI リセット	21-11
22.	低消費電力モード	22-1
図 22.1	STBCR の STBY ビットとソフトウェアスタンバイモードの解除	22-7
図 22.2	パワーオンリセットの STATUS 出力	22-10
図 22.3	マニュアルリセットの STATUS 出力	22-10
図 22.4	ソフトウェアスタンバイ 割り込みの STATUS 出力	22-11
図 22.5	ソフトウェアスタンバイ パワーオンリセットの STATUS 出力	22-11
図 22.6	ソフトウェアスタンバイ マニュアルリセットの STATUS 出力	22-12
図 22.7	スリープ 割り込みの STATUS 出力	22-12
図 22.8	スリープ パワーオンリセットの STATUS 出力	22-13
図 22.9	スリープ マニュアルリセットの STATUS 出力	22-13
図 22.10	ハードウェアスタンバイモードのタイミング (通常動作時に CA = ローレベルとなる場合)	22-15
図 22.11	ハードウェアスタンバイモードのタイミング (スタンバイモード解除での WDT 動作中に CA = ローレベルとなる場合)	22-16
24.	電気的特性	24-1
図 24.1	EXTAL クロック入力タイミング	24-5
図 24.2	CKIO クロック入力タイミング	24-6
図 24.3	CKIO クロック出力タイミング	24-6
図 24.4	パワーオン発振安定時間	24-6

図 24.5	スタンバイ復帰時発振安定時間（リセットによる復帰）	24-7
図 24.6	スタンバイ復帰時発振安定時間（NMI による復帰）	24-7
図 24.7	スタンバイ復帰時発振安定時間（IRQ/IRL 割り込みによる復帰）	24-7
図 24.8	スタンバイ復帰時の PLL 同期安定化時間（リセットまたは NMI による復帰）	24-8
図 24.9	スタンバイ復帰時の PLL 同期安定化時間（IRQ/IRL 割り込みによる復帰）	24-8
図 24.10	周波数逡倍率変更時の PLL 同期安定化時間	24-9
図 24.11	リセット入力タイミング	24-11
図 24.12	割り込み信号入力タイミング	24-11
図 24.13	IRQOUT タイミング	24-11
図 24.14	バス権解放タイミング	24-12
図 24.15	スタンバイ時の端子ドライブタイミング	24-12
図 24.16	基本バスサイクル（ノーウェイト）	24-15
図 24.17	基本バスサイクル（1 ウェイト）	24-16
図 24.18	基本バスサイクル（外部ウェイト）	24-17
図 24.19	バースト ROM バスサイクル（ノーウェイト）	24-18
図 24.20	バースト ROM バスサイクル（2 ウェイト）	24-19
図 24.21	バースト ROM バスサイクル（外部ウェイト）	24-20
図 24.22	シンクロナス DRAM リードバスサイクル（RCD=0、CAS レイテンシ=1、TPC=0）	24-21
図 24.23	シンクロナス DRAM リードバスサイクル（RCD=2、CAS レイテンシ=2、TPC=1）	24-22
図 24.24	シンクロナス DRAM リードバスサイクル （バーストリード（シングルリード×4）、RCD=0、CAS レイテンシ=1、TPC=1）	24-23
図 24.25	シンクロナス DRAM リードバスサイクル （バーストリード（シングルリード×4）、RCD=1、CAS レイテンシ=3、TPC=0）	24-24
図 24.26	シンクロナス DRAM ライトバスサイクル（RCD=0、TPC=0、TRWL=0）	24-25
図 24.27	シンクロナス DRAM ライトバスサイクル（RCD=2、TPC=1、TRWL=1）	24-26
図 24.28	シンクロナス DRAM ライトバスサイクル （バーストライト（シングルライト×4）、RCD=0、TPC=1、TRWL=0）	24-27
図 24.29	シンクロナス DRAM ライトバスサイクル （バーストライト（シングルライト×4）、RCD=1、TPC=0、TRWL=0）	24-28
図 24.30	シンクロナス DRAM バーストリードバスサイクル （RAS ダウン、同じロウアドレス、CAS レイテンシ=1）	24-29
図 24.31	シンクロナス DRAM バーストリードバスサイクル （RAS ダウン、同じロウアドレス、CAS レイテンシ=2）	24-30
図 24.32	シンクロナス DRAM バーストリードバスサイクル （RAS ダウン、異なるロウアドレス、TPC=0、RCD=0、CAS レイテンシ=1）	24-31
図 24.33	シンクロナス DRAM バーストリードバスサイクル （RAS ダウン、異なるロウアドレス、TPC=1、RCD=0、CAS レイテンシ=1）	24-32
図 24.34	シンクロナス DRAM バーストライトバスサイクル（RAS ダウン、同じロウアドレス）	24-33
図 24.35	シンクロナス DRAM バーストライトバスサイクル （RAS ダウン、異なるロウアドレス、TPC=0、RCD=0）	24-34
図 24.36	シンクロナス DRAM バーストライトバスサイクル （RAS ダウン、異なるロウアドレス、TPC=1、RCD=1）	24-35

図 24.37	シンクロナス DRAM オートリフレッシュタイミング (TRAS = 1、TPC = 1)	24-36
図 24.38	シンクロナス DRAM セルフリフレッシュサイクル (TPC = 0)	24-37
図 24.39	シンクロナス DRAM のモードレジスタへのライトサイクル	24-38
図 24.40	PCMCIA メモリバスサイクル (TED = 0、TEH = 0、ノーウェイト)	24-39
図 24.41	PCMCIA メモリバスサイクル (TED = 2、TEH = 1、1 ウェイト、外部ウェイト)	24-40
図 24.42	PCMCIA メモリバスサイクル (バーストリード、TED = 0、TEH = 0、ノーウェイト)	24-41
図 24.43	PCMCIA メモリバスサイクル (バーストリード、TED = 1、TEH = 1、2 ウェイト、バーストピッチ = 3)	24-42
図 24.44	PCMCIA I/O バスサイクル (TED = 0、TEH = 0、ノーウェイト)	24-43
図 24.45	PCMCIA I/O バスサイクル (TED = 2、TEH = 1、1 ウェイト、外部ウェイト)	24-44
図 24.46	PCMCIA I/O バスサイクル (TED = 1、TEH = 1、1 ウェイト、バスサイジング)	24-45
図 24.47	TCLK 入力タイミング	24-46
図 24.48	TCLK クロック入力タイミング	24-47
図 24.49	RTC 用水晶発振器パワーオン時発振安定時間	24-47
図 24.50	SCK 入力クロックタイミング	24-47
図 24.51	クロック同期式モード時の SCI 入出力タイミング	24-47
図 24.52	I/O ポートタイミング	24-48
図 24.53	$\overline{\text{DREQ}}$ 入力タイミング	24-48
図 24.54	DRAK 出力タイミング	24-48
図 24.55	TCK 入力タイミング	24-49
図 24.56	$\overline{\text{TRST}}$ 入力タイミング (リセットホールド時)	24-49
図 24.57	H-UDI データ転送タイミング	24-50
図 24.58	$\overline{\text{ASEMD0}}$ 入力タイミング	24-50
図 24.59	AUD タイミング	24-50
図 24.60	外部トリガ入力タイミング	24-51
図 24.61	A/D 変換タイミング	24-52
図 24.62	出力負荷回路	24-53
図 24.63	負荷容量 - 遅延時間	24-54
付録	付録-1
図 D.1	外形寸法図 (PLQP0176KD-A/FP-176C)	付録-26
図 D.2	外形寸法図 (TTBG0208JA-A/TBP-208A)	付録-27

表目次

2. CPU.....	2-1
表 2.1 レジスタの初期値	2-4
表 2.2 アドレッシングモードと実効アドレス.....	2-11
表 2.3 命令形式.....	2-14
表 2.4 機能別命令.....	2-16
表 2.5 オペレーションコードマップ.....	2-27
3. メモリマネジメントユニット (MMU)	3-1
表 3.1 D、C、PR ビットによるアクセス状態.....	3-14
4. 例外処理.....	4-1
表 4.1 例外事象ベクタ	4-3
表 4.2 例外コード.....	4-5
表 4.3 リセットの種類.....	4-10
5. キャッシュ	5-1
表 5.1 LRU ビットと置き換えられるウェイ.....	5-2
表 5.2 PREF 命令がキャッシュミスした場合に置き換えられるウェイ	5-5
表 5.3 PREF 命令以外がキャッシュミスした場合に置換されるウェイ	5-5
表 5.4 LRU ビットと置き換えられるウェイ (W2LOCK=1 の場合)	5-5
表 5.5 LRU ビットと置き換えられるウェイ (W3LOCK=1 の場合)	5-5
表 5.6 LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)	5-6
6. 割り込みコントローラ (INTC)	6-1
表 6.1 端子構成.....	6-3
表 6.2 IRL3 ~ IRL0 端子および割り込みレベル.....	6-5
表 6.3 割り込み例外処理要因と優先順位 (IRQ モード時)	6-7
表 6.4 割り込み例外処理要因と優先順位 (IRL モード時)	6-8
表 6.5 割り込みレベルと INTEVT コード.....	6-9
表 6.6 割り込み要求要因と IPRA ~ IPRE.....	6-10
表 6.7 割り込み応答時間.....	6-19
7. ユーザブレイクコントローラ (UBC)	7-1
表 7.1 データアクセスサイクルアドレスおよびオペランドサイズの比較条件.....	7-13

8.	バスステートコントローラ (BSC)	8-1
表 8.1	端子構成	8-4
表 8.2	物理アドレス空間マップ	8-6
表 8.3	外部端子 (MD4 と MD3) とメモリサイズの対応	8-8
表 8.4	PCMCIA インタフェースの特長	8-9
表 8.5	PCMCIA サポートインタフェース	8-9
表 8.6	エリア 6 のウェイトコントロール (通常メモリ I/F)	8-21
表 8.7	エリア 5 のウェイトコントロール (通常メモリ I/F)	8-22
表 8.8	エリア 4 のウェイトコントロール	8-22
表 8.9	エリア 0 のウェイトコントロール	8-23
表 8.10	エリア 6 のウェイトコントロール (PCMCIA I/F)	8-29
表 8.11	32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	8-34
表 8.12	16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	8-34
表 8.13	8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	8-35
表 8.14	32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	8-36
表 8.15	16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	8-36
表 8.16	8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	8-37
表 8.17	バス幅、AMX とアドレスマルチプレクス出力の関係	8-50
表 8.18	シンクロナス DRAM のアドレス端子対応例 (AMX[3:0] = 0100、バス幅 32 ビット)	8-51
9.	ダイレクトメモリアクセスコントローラ (DMAC)	9-1
表 9.1	DMAC 端子構成	9-4
表 9.2	RS ビットによる外部リクエストモードの選択	9-13
表 9.3	RS3 ~ 0 ビットによる内蔵周辺モジュールリクエストモードの選択	9-14
表 9.4	サポートできる DMA 転送	9-17
表 9.5	DMA 転送区間とリクエストモード、バスモードなどの関連一覧	9-27
表 9.6	A/D 変換器と外部メモリ間転送の転送条件とレジスタ設定値	9-39
表 9.7	4 回の転送終了後の DMAC 内の値	9-40
表 9.8	外部メモリと SCIF 送信側間転送の転送条件とレジスタ設定値	9-41
10.	クロック発振器 (CPG)	10-1
表 10.1	発振回路の端子構成と機能	10-4
表 10.2	クロック動作モード	10-4
表 10.3	クロックモードと FRQCR 値の可能な組み合わせ	10-5
12.	タイマユニット (TMU)	12-1
表 12.1	端子構成	12-3
表 12.2	TMU の割り込み要因	12-15

13. リアルタイムクロック (RTC)	13-1
表 13.1 端子構成	13-3
表 13.2 推奨発振回路の定数 (推奨値)	13-18
14. シリアルコミュニケーションインタフェース (SCI)	14-1
表 14.1 端子構成	14-6
表 14.2 SCSMR の設定	14-18
表 14.3 ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(1)	14-19
表 14.3 ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(2)	14-20
表 14.4 ビットレートに対する SCBRR の設定例〔クロック同期式モード〕	14-21
表 14.5 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)	14-22
表 14.6 外部クロック入力時の最大ビットレート (調歩同期式モード)	14-22
表 14.7 外部クロック入力時の最大ビットレート (クロック同期式モード)	14-22
表 14.8 SCSMR の設定値とシリアル送信 / 受信フォーマット	14-24
表 14.9 SCSMR、SCSCR の設定と SCI のクロックソースの選択	14-24
表 14.10 シリアル送信 / 受信フォーマット (調歩同期式モード)	14-26
表 14.11 受信エラーと発生条件	14-34
表 14.12 SCI 割り込み要因	14-51
表 14.13 SCSSR のステータスフラグの状態と受信データの転送	14-52
15. スマートカードインタフェース	15-1
表 15.1 端子構成	15-2
表 15.2 スマートカードインタフェースでのレジスタ設定	15-8
表 15.3 n と CKS1、CKS0 の対応表	15-10
表 15.4 SCBRR の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)	15-10
表 15.5 ビットレート B (bit/s) に対する SCBRR の設定例 (ただし、n=0 のとき)	15-10
表 15.6 各周波数における最大ビットレート (スマートカードインタフェースモード時)	15-10
表 15.7 レジスタ設定値と SCK0 端子	15-11
表 15.8 スマートカードモードの動作状態と割り込み要因	15-17
16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)	16-1
表 16.1 SCIF 端子	16-5
表 16.2 SCSMR2 の設定値	16-15
表 16.3 ビットレートと SCBRR2 の設定 (1)	16-16
表 16.3 ビットレートと SCBRR2 の設定 (2)	16-16
表 16.3 ビットレートと SCBRR2 の設定 (3)	16-17
表 16.3 ビットレートと SCBRR2 の設定 (4)	16-17
表 16.3 ビットレートと SCBRR2 の設定 (5)	16-18

表 16.4	ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード).....	16-18
表 16.5	外部クロック入力時の最大ビットレート (調歩同期式モード).....	16-19
表 16.6	シリアルモードレジスタの設定値と SCIF 送信 / 受信フォーマット.....	16-22
表 16.7	SCSMR2、SCSCR2 の設定値と SCIF のクロックソースの選択.....	16-22
表 16.8	シリアル送信 / 受信フォーマット.....	16-23
表 16.9	SCIF 割り込み要因.....	16-32
17.	ピンファンクションコントローラ (PFC)	17-1
表 17.1	マルチプレクスー一覧表.....	17-1
18.	I/O ポート.....	18-1
表 18.1	ポート A データレジスタ (PADR) の読み出し / 書き込み動作.....	18-2
表 18.2	ポート B データレジスタ (PBDR) の読み出し / 書き込み動作.....	18-4
表 18.3	ポート C データレジスタ (PCDR) の読み出し / 書き込み動作.....	18-5
表 18.4	ポート D データレジスタ (PDDR) の読み出し / 書き込み動作.....	18-6
表 18.5	ポート E データレジスタ (PEDR) の読み出し / 書き込み動作.....	18-8
表 18.6	ポート F データレジスタ (PFDR) の読み出し / 書き込み動作.....	18-9
表 18.7	ポート G データレジスタ (PGDR) の読み出し / 書き込み動作.....	18-10
表 18.8	ポート H データレジスタ (PHDR) の読み出し / 書き込み動作.....	18-12
表 18.9	ポート J データレジスタ (PJDR) の読み出し / 書き込み動作.....	18-13
表 18.10	SC ポートデータレジスタ (SCPDR) の読み出し / 書き込み動作.....	18-15
19.	A/D 変換器 (ADC)	19-1
表 19.1	端子構成.....	19-3
表 19.2	アナログ入力チャネルと A/D データレジスタの対応.....	19-4
表 19.3	A/D 変換時間 (シングルモード).....	19-14
表 19.4	アナログ入力端子の規格.....	19-17
表 19.5	アクセスサイズと読み出しデータの関係.....	19-18
20.	D/A 変換器 (DAC)	20-1
表 20.1	D/A 変換器の端子.....	20-2
21.	ユーザデバッグインタフェース (H-UDI)	21-1
表 21.1	端子構成.....	21-2
表 21.2	本 LSI の端子とパウンダリスキャンレジスタの対応.....	21-4
表 21.3	リセット構成.....	21-10
22.	低消費電力モード.....	22-1
表 22.1	低消費電力モードの状態.....	22-1

表 22.2	端子構成	22-2
表 22.3	ソフトウェアスタンバイモード時のレジスタの状態	22-6
24.	電気的特性	24-1
表 24.1	絶対最大定格	24-1
表 24.2	DC 特性	24-2
表 24.3	出力許容電流値	24-3
表 24.4	動作周波数範囲	24-4
表 24.5	クロックタイミング	24-4
表 24.6	制御信号タイミング	24-10
表 24.7	バスタイミング	24-13
表 24.8	周辺モジュール信号タイミング	24-46
表 24.9	H-UDI、AUD 関連端子のタイミング	24-49
表 24.10	A/D 変換器タイミング	24-51
表 24.11	A/D 変換器特性	24-54
表 24.13	D/A 変換器特性	24-55
付録	付録-1
表 B.1	リセット、低消費電力状態、バス権解放状態での端子状態	付録-5
表 B.2	端子の仕様	付録-8
表 B.3	端子状態 (通常メモリ / リトルエンディアン)	付録-12
表 B.4	端子状態 (通常メモリ / ビッグエンディアン)	付録-14
表 B.5	端子状態 (バースト ROM / リトルエンディアン)	付録-16
表 B.6	端子状態 (バースト ROM / ビッグエンディアン)	付録-18
表 B.7	端子状態 (シンクロナス DRAM / リトルエンディアン)	付録-20
表 B.8	端子状態 (シンクロナス DRAM / ビッグエンディアン)	付録-21
表 B.9	端子状態 (PCMCIA / リトルエンディアン)	付録-22
表 B.9	端子状態 (PCMCIA / リトルエンディアン) (続き)	付録-23
表 B.10	端子状態 (PCMCIA / ビッグエンディアン)	付録-24
表 B.10	端子状態 (PCMCIA / ビッグエンディアン) (続き)	付録-25

1. 概要

SH7706 は、ルネサス テクノロジオリジナルの SuperH™*アーキテクチャに準拠した SH-3 CPU をコアに、システム構成に必要な周辺機能を集積した RISC マイコンです。SH7706 の CPU は、SH-1、SH-2 とオブジェクトコードレベルで上位互換性があります。また、ライトバック、ライトスルーの選択が可能な 16k バイトのキャッシュ、および 128 エントリの 4 ウェイセットアソシアティブ TLB (Translation Lookaside Buffer) を持つ MMU (Memory Management Unit) を内蔵しています。

周辺機能として、高速データ転送が可能な DMA コントローラや、各種メモリへの直結を可能にする BSC (Bus State Controller) を内蔵しています。さらに、シリアルコミュニケーションインタフェース、A/D 変換器、D/A 変換器、タイマ、リアルタイムクロックを内蔵しており、低コストでのシステム構築を可能にします。

内蔵のパワーマネジメント機能により、ダイナミックな消費電力制御を可能にしています。このため、高性能かつ低消費電力を要求される PDA などの携帯用電子機器に最適です。

SH7706 は、E10A などのエミュレータのサポートのため、H-UDI (User Debugging Interface)、および AUD (Advanced User Debugger) を内蔵しています。また、UBC (User Break Controller) によりセルフデバッグを容易にしています。

【注】 * SuperH は、(株)ルネサス テクノロジの商標です。

1.1 特長

- ルネサス テクノロジ独自の SuperH アーキテクチャ
- SH-1、SH-2、SH-3 とオブジェクトコードレベルで互換
- 32ビット RISC (Reduced Instruction Set Computer) タイプ命令セット
命令長：16ビット固定長による、コード効率の向上
ロードストアアーキテクチャ
遅延分岐命令
C言語指向の命令セット
- パイプライン：5段パイプライン方式
命令実行時間：基本命令は1命令 / サイクル
- 汎用レジスタ：32ビット × 16本
制御レジスタ：32ビット × 8本
システムレジスタ：32ビット × 4本
- 32ビット内部データバス

1. 概要

- 論理アドレス空間：4Gバイト
空間識別子ASID：8ビット、256論理アドレス空間
- 豊富な周辺機能
 - メモリマネージメントユニット (MMU)
 - ユーザブレイクコントローラ (UBC)
 - バスステートコントローラ (BSC)
 - ダイレクトメモリアクセスコントローラ (DMAC)
 - クロック発振器 (CPG)
 - ウォッチドッグタイマ (WDT)
 - タイマユニット (TMU)
 - リアルタイムクロック (RTC)
 - シリアルコミュニケーションインタフェース (SCI)
 - スマートカードインタフェース
 - FIFOシリアルコミュニケーションインタフェース (SCIF)
 - 10ビットA/D変換器 (ADC)
 - 8ビットD/A変換器 (DAC)
 - ユーザデバッグインタフェース (H-UDI)
 - アドバンストユーザデバッグ (AUD)

1.2 内部ブロック図

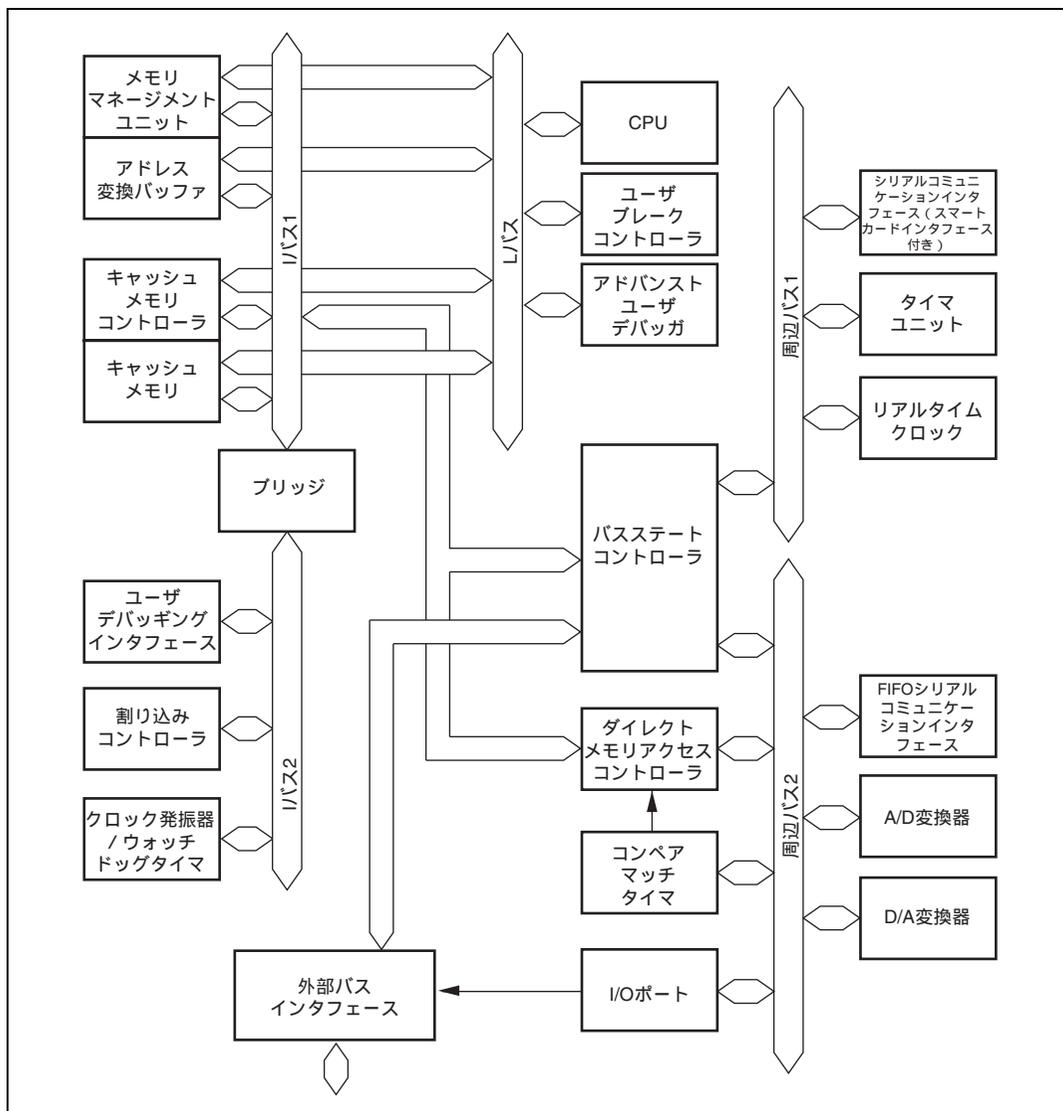


図 1.1 SH7706 内部ブロック図

1. 概要

1.3 ピン配置図

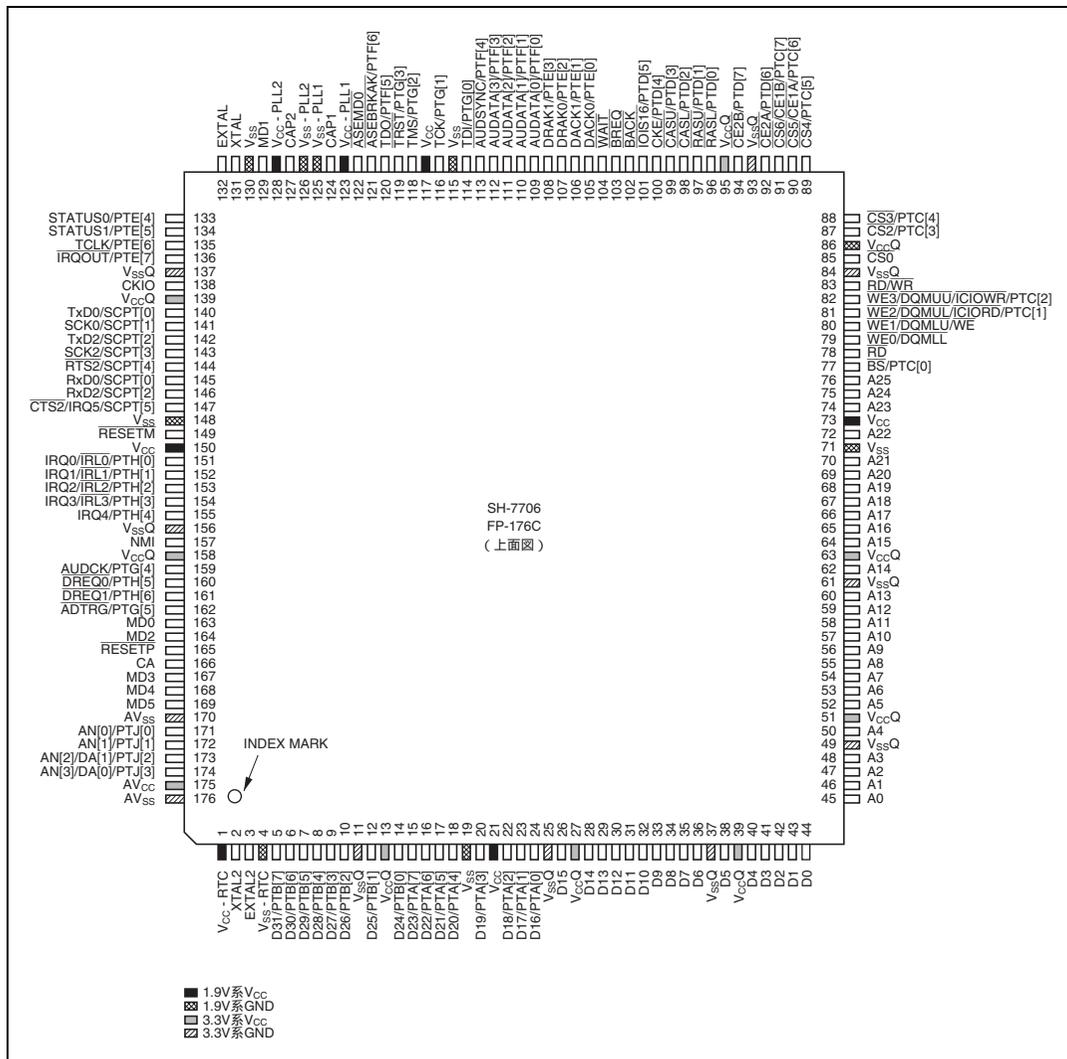


図 1.2 ピン配置図 (FP-176C)

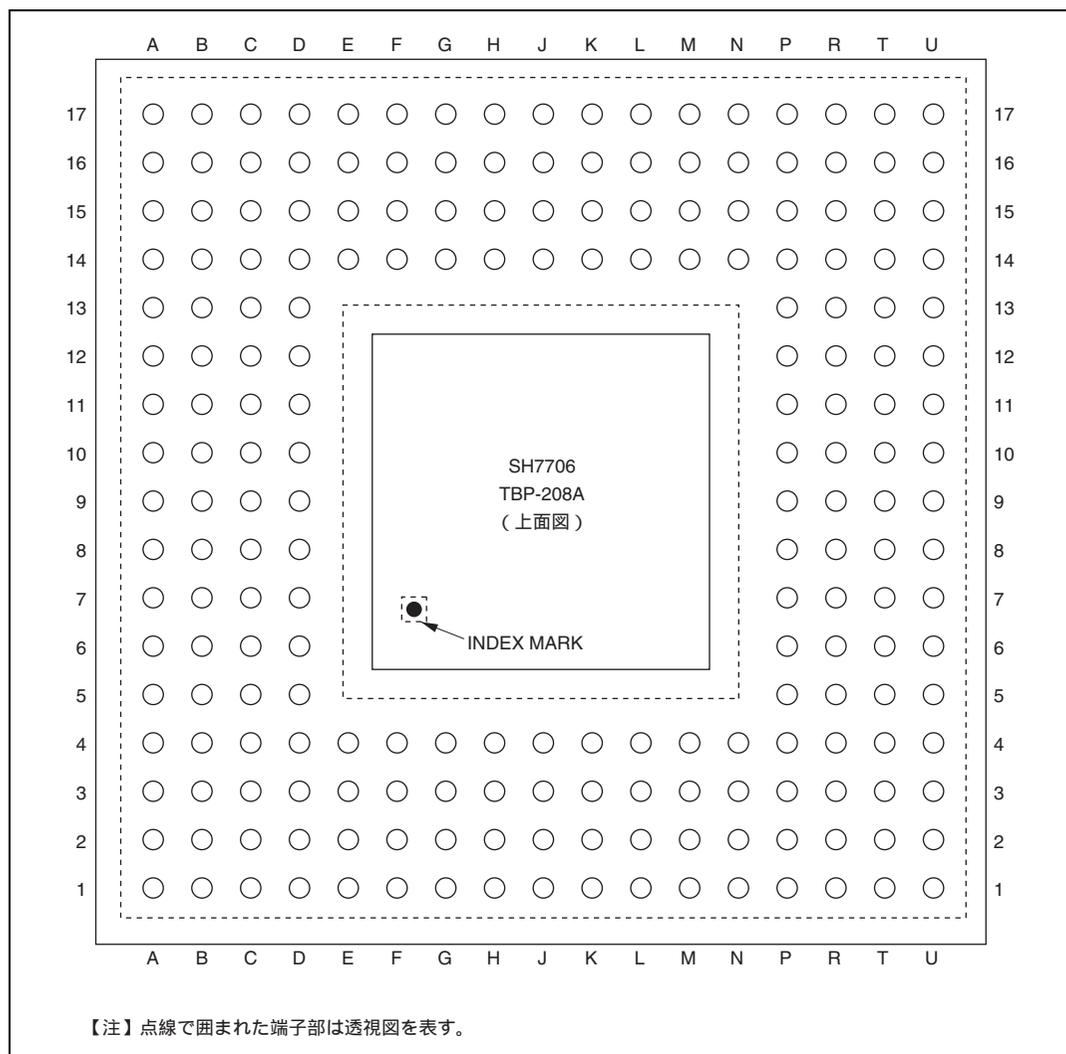


図 1.3 ピン配置図 (TBP-208A)

1. 概要

1.4 端子機能

端子番号 (FP-176C)	端子番号 (TBP208A)	端子名	入出力	説明
1	C3	V_{CC} -RTC* ¹	-	RTC 用電源 (1.9V)
2	C2	XTAL2	出力	内蔵 RTC 用水晶発振器端子
3	C1	EXTAL2	入力	内蔵 RTC 用水晶発振器端子
4	D3	V_{SS} -RTC* ¹	-	RTC 用電源 (0V)
5	F4	D31/PTB[7]	入出力	データバス / 入出力ポート B
6	F3	D30/PTB[6]	入出力	データバス / 入出力ポート B
7	F2	D29/PTB[5]	入出力	データバス / 入出力ポート B
8	F1	D28/PTB[4]	入出力	データバス / 入出力ポート B
9	G4	D27/PTB[3]	入出力	データバス / 入出力ポート B
10	G3	D26/PTB[2]	入出力	データバス / 入出力ポート B
11	G2	V_{SS} Q	-	I/O 電源 (0V)
12	G1	D25/PTB[1]	入出力	データバス / 入出力ポート B
13	H4	V_{CC} Q	-	I/O 電源 (3.3V)
14	H3	D24/PTB[0]	入出力	データバス / 入出力ポート B
15	H2	D23/PTA[7]	入出力	データバス / 入出力ポート A
16	H1	D22/PTA[6]	入出力	データバス / 入出力ポート A
17	J4	D21/PTA[5]	入出力	データバス / 入出力ポート A
18	J2	D20/PTA[4]	入出力	データバス / 入出力ポート A
19	J1	V_{SS}	-	内部電源 (0V)
20	J3	D19/PTA[3]	入出力	データバス / 入出力ポート A
21	K1	V_{CC}	-	内部電源 (1.9V)
22	K2	D18/PTA[2]	入出力	データバス / 入出力ポート A
23	K3	D17/PTA[1]	入出力	データバス / 入出力ポート A
24	K4	D16/PTA[0]	入出力	データバス / 入出力ポート A
25	L1	V_{SS} Q	-	I/O 電源 (0V)
26	L2	D15	入出力	データバス
27	L3	V_{CC} Q	-	I/O 電源 (3.3V)
28	L4	D14	入出力	データバス
29	M1	D13	入出力	データバス
30	M2	D12	入出力	データバス
31	M3	D11	入出力	データバス
32	M4	D10	入出力	データバス
33	N1	D9	入出力	データバス

端子番号 (FP-176C)	端子番号 (TBP208A)	端子名	入出力	説明
34	N2	D8	入出力	データバス
35	N3	D7	入出力	データバス
36	N4	D6	入出力	データバス
37	P1	V _{ss} Q	-	I/O電源(0V)
38	P2	D5	入出力	データバス
39	P3	V _{cc} Q	-	I/O電源(3.3V)
40	R1	D4	入出力	データバス
41	R2	D3	入出力	データバス
42	P4	D2	入出力	データバス
43	T1	D1	入出力	データバス
44	T2	D0	入出力	データバス
45	U1	A0	出力	アドレスバス
46	U2	A1	出力	アドレスバス
47	R3	A2	出力	アドレスバス
48	T3	A3	出力	アドレスバス
49	U3	V _{ss} Q	-	I/O電源(0V)
50	R4	A4	出力	アドレスバス
51	T4	V _{cc} Q	-	I/O電源(3.3V)
52	U4	A5	出力	アドレスバス
53	P5	A6	出力	アドレスバス
54	R5	A7	出力	アドレスバス
55	T5	A8	出力	アドレスバス
56	U5	A9	出力	アドレスバス
57	P6	A10	出力	アドレスバス
58	R6	A11	出力	アドレスバス
59	T6	A12	出力	アドレスバス
60	U6	A13	出力	アドレスバス
61	P7	V _{ss} Q	-	I/O電源(0V)
62	R7	A14	出力	アドレスバス
63	T7	V _{cc} Q	-	I/O電源(3.3V)
64	U7	A15	出力	アドレスバス
65	P8	A16	出力	アドレスバス
66	R8	A17	出力	アドレスバス
67	T8	A18	出力	アドレスバス
68	U8	A19	出力	アドレスバス

1. 概要

端子番号 (FP-176C)	端子番号 (TBP208A)	端子名	入出力	説明
69	P9	A20	出力	アドレスバス
70	T9	A21	出力	アドレスバス
71	U9	V _{ss}	-	内部電源 (0V)
72	R9	A22	出力	アドレスバス
73	U10	V _{cc}	-	内部電源 (1.9V)
74	T10	A23	出力	アドレスバス
75	P10	A24	出力	アドレスバス
76	T11	A25	出力	アドレスバス
77	R11	$\overline{BS}/PTC[0]$	出力 / 入出力	バスサイクル開始信号 / 入出力ポート C
78	P11	\overline{RD}	出力	リードストロープ
79	U12	$\overline{WE0}/DQMLL$	出力	D7 ~ D0 セレクト信号 / DQM (SDRAM)
80	T12	$\overline{WE1}/DQMLU/\overline{WE}$	出力	D15 ~ D8 セレクト信号 / DQM (SDRAM) / ライトストロープ (PCMCIA)
81	R12	$\overline{WE2}/DQMU\overline{L}/$ $\overline{ICIOR}/PTC[1]$	出力 / 出力 / 出力 / 入出力	D23 ~ D16 セレクト信号 / DQM (SDRAM) / PCMCIA I/O リード / 入出力ポート C
82	P12	$\overline{WE3}/DQMUU/$ $\overline{ICIOR}/PTC[2]$	出力 / 出力 / 出力 / 入出力	D31 ~ D24 セレクト信号 / DQM (SDRAM) / PCMCIA I/O ライト / 入出力ポート C
83	U13	$\overline{RD}/\overline{WR}$	出力	リード / ライト
84	R13	V _{ssQ}	-	I/O 電源 (0V)
85	P13	$\overline{CS0}$	出力	チップセレクト 0
86	U14	V _{ccQ}	-	I/O 電源 (3.3V)
87	T14	$\overline{CS2}/PTC[3]$	出力 / 入出力	チップセレクト 2 / 入出力ポート C
88	R14	$\overline{CS3}/PTC[4]$	出力 / 入出力	チップセレクト 3 / 入出力ポート C
89	U17	$\overline{CS4}/PTC[5]$	出力 / 入出力	チップセレクト 4 / 入出力ポート C
90	T17	$\overline{CS5}/\overline{CE1A}/PTC[6]$	出力 / 出力 / 入出力	チップセレクト 5 / CE1 (エリア 5PCMCIA) / 入出力ポート C
91	R15	$\overline{CS6}/\overline{CE1B}/PTC[7]$	出力 / 出力 / 入出力	チップセレクト 6 / CE1 (エリア 6PCMCIA) / 入出力ポート C
92	R16	$\overline{CE2A}/PTD[6]$	出力 / 入出力	エリア 5PCMCIA 用 CE2 / 入出力ポート D
93	R17	V _{ssQ}	-	I/O 電源 (0V)
94	P15	$\overline{CE2B}/PTD[7]$	出力 / 入出力	エリア 6PCMCIA 用 CE2 / 入出力ポート D
95	P16	V _{ccQ}	-	I/O 電源 (3.3V)
96	P17	$\overline{RASL}/PTD[0]$	出力 / 入出力	下位 32M バイトアドレス用 RAS (SDRAM) / 入出力ポート D
97	N14	$\overline{RASU}/PTD[1]$	出力 / 入出力	上位 32M バイトアドレス用 RAS (SDRAM) / 入出力ポート D

端子番号 (FP-176C)	端子番号 (TBP208A)	端子名	入出力	説明
98	N15	$\overline{\text{CAS}}/\text{PTD}[2]$	出力/入出力	下位 32M バイトアドレス用 CAS (SDRAM) / 入出力ポート D
99	N16	$\overline{\text{CAS}}/\text{PTD}[3]$	出力/入出力	上位 32M バイトアドレス用 CAS (SDRAM) / 入出力ポート D
100	N17	$\text{CKE}/\text{PTD}[4]$	出力/入出力	CK イネーブル (SDRAM) 入出力ポート D
101	M14	$\overline{\text{IOIS}}16/\text{PTD}[5]$	入力/入出力	IOIS16 (PCMCIA) / 入力ポート D
102	M15	$\overline{\text{BACK}}$	出力	バスアクノリッジ
103	M16	$\overline{\text{BREQ}}$	入力	バス権要求
104	M17	$\overline{\text{WAIT}}$	入力	ハードウェアウェイト要求
105	L14	$\text{DACK}0/\text{PTE}[0]$	出力/入出力	DMA アクノリッジ 0 / 入出力ポート E
106	L15	$\text{DACK}1/\text{PTE}[1]$	出力/入出力	DMA アクノリッジ 1 / 入出力ポート E
107	L16	$\text{DRAK}0/\text{PTE}[2]$	出力/入出力	DMA 要求受け付け / 入出力ポート E
108	L17	$\text{DRAK}1/\text{PTE}[3]$	出力/入出力	DMA 要求受け付け / 入出力ポート E
109	K15	$\text{AUDATA}[0]/\text{PTF}[0]$	入出力	AUD データ / 入出力ポート F
110	K16	$\text{AUDATA}[1]/\text{PTF}[1]$	入出力	AUD データ / 入力ポート F
111	K17	$\text{AUDATA}[2]/\text{PTF}[2]$	入出力	AUD データ / 入出力ポート F
112	J14	$\text{AUDATA}[3]/\text{PTF}[3]$	入出力	AUD データ / 入出力ポート F
113	J16	$\overline{\text{AUDSYNC}}/\text{PTF}[4]$	出力/入出力	AUD 同期 / 入出力ポート F
114	J17	$\text{TDI}/\text{PTG}[0]$	入力	データ入力 (H-UDI) / 入力ポート G
115	J15	V_{ss}	-	内部電源 (0V)
116	H17	$\text{TCK}/\text{PTG}[1]$	入力	クロック (H-UDI) / 入力ポート G
117	H16	V_{cc}	-	内部電源 (1.9V)
118	G16	$\text{TMS}/\text{PTG}[2]$	入力	モードセレクト (H-UDI) / 入力ポート G
119	G15	$\overline{\text{TRST}}/\text{PTG}[3]$	入力	リセット (H-UDI) / 入力ポート G
120	G14	$\text{TDO}/\text{PTF}[5]$	出力/入出力	データ出力 (H-UDI) / 入出力ポート F
121	F16	$\overline{\text{ASEBRKAK}}/\text{PTF}[6]$	出力/入出力	ASE ブレークアクノリッジ (H-UDI) / 入出力ポート F
122	F15	$\overline{\text{ASEMD}}0^{*3}$	入力	ASE モード (H-UDI)
123	E17	$V_{\text{cc}}-\text{PLL}1^{*2}$	-	PLL1 用電源 (1.9V)
124	E16	CAP1	-	PLL1 用外部容量端子
125	E15	$V_{\text{ss}}-\text{PLL}1^{*2}$	-	PLL1 用電源 (0V)
126	E14	$V_{\text{ss}}-\text{PLL}2^{*2}$	-	PLL2 用電源 (0V)
127	D17	CAP2	-	PLL2 用外部容量端子
128	D16	$V_{\text{cc}}-\text{PLL}2^{*2}$	-	PLL2 用電源 (1.9V)
129	C17	MD1	入力	クロックモード設定
130	C16	V_{ss}	-	内部電源 (0V)

1. 概要

端子番号 (FP-176C)	端子番号 (TBP208A)	端子名	入出力	説明
131	B17	XTAL	出力	クロック発振器端子
132	B16	EXTAL	入力	外部クロック入力 / 水晶発振器端子
133	A17	STATUS0/PTE[4]	出力 / 入出力	プロセッサステータス / 入出力ポート E
134	A16	STATUS1/PTE[5]	出力 / 入出力	プロセッサステータス / 入出力ポート E
135	C15	TCLK/PTE[6]	入出力	TMU または RTC 用クロック入出力 / 入出力ポート E
136	B15	IRQOUT/PTE[7]	出力 / 入出力	割り込み要求通知 / 入出力ポート E
137	A15	V _{ss} Q	-	I/O 電源 (0V)
138	C14	CKIO	入出力	システムクロック入出力
139	B14	V _{cc} Q	-	I/O 電源 (3.3V)
140	A14	TxD0/SCPT[0]	出力	SCI 送信データ 0 / SC ポート
141	D13	SCK0/SCPT[1]	入出力	SCI クロック 0 / SC ポート
142	C13	TxD2/SCPT[2]	出力	SCIF 送信データ 2 / SC ポート
143	B13	SCK2/SCPT[3]	入出力	SCIF クロック 2 / SC ポート
144	A13	RTS2/SCPT[4]	出力 / 入出力	SCIF 送信要求 2 / SC ポート
145	D12	RxD0/SCPT[0]	入力	SCI 受信データ 0 / SC ポート
146	C12	RxD2/SCPT[2]	入力	SCIF 受信データ 2 / SC ポート
147	B12	CTS2/IRQ5/SCPT[5]	入力	SCIF 送信クリア / 外部割り込み要求 / SC ポート
148	D11	V _{ss}	-	内部電源 (0V)
149	C11	RESETM	入力	マニュアルリセット要求
150	B11	V _{cc}	-	内部電源 (1.9V)
151	A11	IRQ0/IRL0/PTH[0]	入力 / 入力 / 入出力	外部割り込み要求 / 入出力ポート H
152	D10	IRQ1/IRL1/PTH[1]	入力 / 入力 / 入出力	外部割り込み要求 / 入出力ポート H
153	C10	IRQ2/IRL2/PTH[2]	入力 / 入力 / 入出力	外部割り込み要求 / 入出力ポート H
154	B10	IRQ3/IRL3/PTH[3]	入力 / 入力 / 入出力	外部割り込み要求 / 入出力ポート H
155	A10	IRQ4/PTH[4]	入力 / 入出力	外部割り込み要求 / 入出力ポート H
156	D9	V _{ss} Q	-	I/O 電源 (0V)
157	B9	NMI	入力	ノンマスクブル割り込み要求
158	A9	V _{cc} Q	-	I/O 電源 (3.3V)
159	C9	AUDCK/PTG[4]	入力	AUD クロック / 入力ポート G
160	A8	DREQ0/PTH[5]	入力 / 入出力	DMA 要求 / 入出力ポート H
161	B8	DREQ1/PTH[6]	入力 / 入出力	DMA 要求 / 入出力ポート H

端子番号 (FP-176C)	端子番号 (TBP208A)	端子名	入出力	説明
162	C8	$\overline{\text{ADTRG}}/\text{PTG}[5]$	入力	アナログトリガ/入力ポート G
163	D8	MD0	入力	クロックモード設定
164	B7	MD2	入力	クロックモード設定
165	A6	$\overline{\text{RESETP}}$	入力	パワーオンリセット要求
166	B6	CA	入力	チップアクティブ/ハードウェアスタンバイ要求
167	C6	MD3	入力	エリア 0 用バス幅設定
168	D6	MD4	入力	エリア 0 用バス幅設定
169	A5	MD5	入力	エンディアン設定
170	B5	AV_{SS}	-	アナログ用電源 (0V)
171	C5	$\text{AN}[0]/\text{PTJ}[0]$	入力	AD 変換器入力/入力ポート J
172	D5	$\text{AN}[1]/\text{PTJ}[1]$	入力	AD 変換器入力/入力ポート J
173	A4	$\text{AN}[2]/\text{DA}[1]/\text{PTJ}[2]$	入力/出力/ 入力	AD 変換器入力/DA 変換器出力/入力ポート J
174	B4	$\text{AN}[3]/\text{DA}[0]/\text{PTJ}[3]$	入力/出力/ 入力	AD 変換器入力/DA 変換器出力/入力ポート J
175	B3	AV_{CC}	-	アナログ用電源 (3.3V)
176	B2	AV_{SS}	-	アナログ用電源 (0V)

- 【注】
- ハードウェアスタンバイモード以外では、 $\text{V}_{\text{CC}}/\text{V}_{\text{SS}}$ はすべてシステムの電源に接続してください(常時給電してください)。ハードウェアスタンバイモードでは、少なくとも $\text{V}_{\text{CC}} - \text{RTC}$ 、 $\text{V}_{\text{SS}} - \text{RTC}$ に給電してください。 $\text{V}_{\text{CC}} - \text{RTC}$ 、 $\text{V}_{\text{SS}} - \text{RTC}$ 以外の V_{CC} 、 V_{SS} に給電しないときは、CA 端子をローレベルに保持してください。
 - TBP-208A パッケージでは、A1、A2、A3、A7、A12、B1、C4、C7、D1、D2、D4、D7、D14、D15、E1、E2、E3、E4、F14、F17、G17、H14、H15、K14、P14、R10、T13、T15、T16、U11、U15、U16 端子は V_{SS} に接続してください。
- *1 RTC を使用しない場合も、必ず電源に接続してください。
- *2 内蔵 PLL を使用しない場合も、必ず電源に接続してください。(ハードウェアスタンバイモードを除く)
- *3 エミュレータおよび H-UDI を使用せずにユーザシステム単体で使用する場合は、ハイレベルにしてください。ローレベルまたはオープンの場合、 $\overline{\text{RESETP}}$ がマスクされることがあります(「第 21 章 ユーザデバッグインタフェース」参照)。

1. 概要

2. CPU

2.1 レジスタの説明

2.1.1 特権モードとバンク

(1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(2) 汎用レジスタ

汎用レジスタにはR0～R15までの16本のレジスタがあります。汎用レジスタR0～R7は、バンクレジスタで、処理モードで切り替えることができます。

特権モードのとき、ステータスレジスタ(SR)のレジスタバンクビット(RB)により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決まります。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令(LDC)とストア命令(STC)でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0_BANK1～R7_BANK1とバンクに関係ないR8～R15との合計16本のレジスタを汎用レジスタR0～R15としてアクセスすることができます。バンク0の汎用レジスタR0_BANK0～R7_BANK0の8本のレジスタはLDC/STC命令でアクセスします。RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0_BANK0～R7_BANK0とバンクに関係ないR8～R15との合計16本のレジスタを汎用レジスタR0～R15としてアクセスすることができます。バンク1の汎用レジスタR0_BANK1～R7_BANK1の8本のレジスタはLDC/STC命令でアクセスします。

ユーザモードのときは、バンク0の汎用レジスタR0_BANK0～R7_BANK0とバンクに関係ないR8～R15との合計16本のレジスタを汎用レジスタR0～R15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1～R7_BANK1の8本のレジスタはアクセスできません。

(3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ(GBR)とステータスレジスタ(SR)があり、特権モードでのみアクセスできる退避ステータスレジスタ(SSR)、退避プログラムカウンタ(SPC)、ベクタベースレジスタ(VBR)があります。ステータスレジスタには、特権モードでのみアクセスできるビット(たとえばRBビット)があります。

2. CPU

(4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) があり、処理モードに関係しません。

処理モード別のレジスタ構成を図 2.1 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理動作モードビット (MD) で切り替えます。

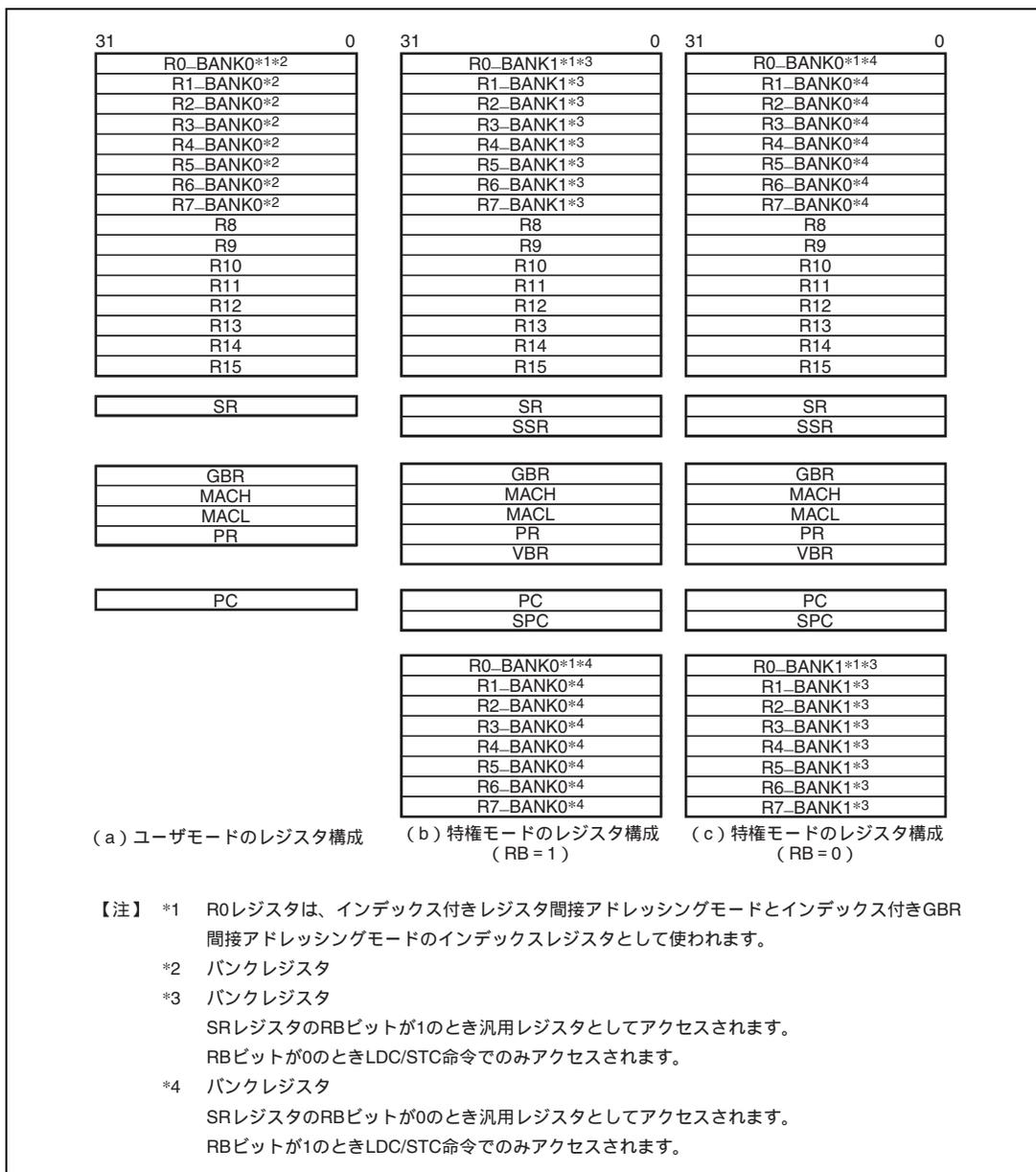


図 2.1 処理モード別のレジスタ構成

2. CPU

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0 ~ R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、I3 ~ I0 は 1111 (H'F)、リザーブビットは 0、その他は不定
	GBR、SSR、SPC	不定
	VBR	H'0000 0000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A000 0000

【注】* パワーオンリセット、マニュアルリセットで初期化されます。

2.1.2 汎用レジスタ

汎用レジスタは 16 本あり R0 ~ R15 とよばれます。R0 ~ R7 はバンクレジスタで、処理モードの違いにより異なるバンクの R0 ~ R7 レジスタ (R0_BANK0 ~ R7_BANK0 または R0_BANK1 ~ R7_BANK1) をアクセスします。詳細は、図 2.1 を参照してください。

汎用レジスタの構成を図 2.2 に示します。

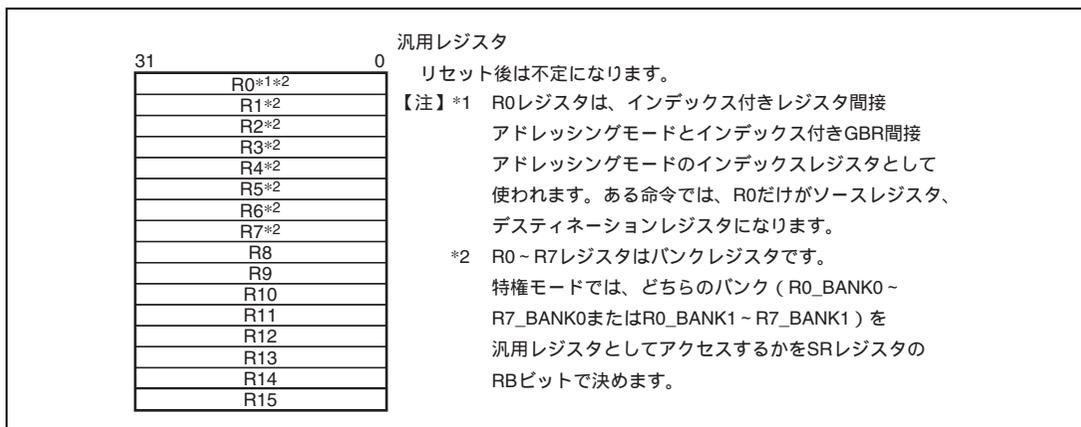


図 2.2 汎用レジスタの構成

2.1.3 システムレジスタ

システムレジスタは LDS/STS 命令でアクセスできます。例外が発生すると、プログラムカウンタ (PC) の内容は、退避プログラムカウンタ (SPC) に退避されます。また、例外処理の終了で使用する RTE 命令で、SPC の内容を PC に回復します。システムレジスタには下記に示す 3 種類のレジスタがあります。

- 積和レジスタ (MAC)
- プロシージャレジスタ (PR)
- プログラムカウンタ (PC)

システムレジスタの構成を図 2.3 に示します。

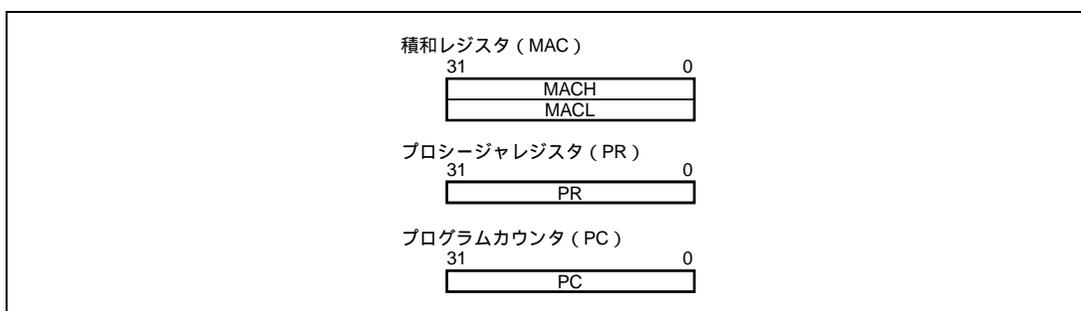


図 2.3 システムレジスタの構成

(1) 積和レジスタ (MAC)

積和レジスタは、上位レジスタ (MACH) と下位レジスタ (MACL) から成ります。

乗算、積和演算の結果を格納します。

リセット後は不定になります。

(2) プロシージャレジスタ (PR)

サブルーチンプロシージャからの戻り先アドレスを格納します。

リセット後は不定になります。

(3) プログラムカウンタ (PC)

現在実行中の命令の開始アドレスの 4 番地 (2 命令) 先を表示します。

リセットで H'A000 0000 に初期化されます。

2.1.4 コントロールレジスタ

コントロールレジスタは、特権モードのとき LDC/STC 命令を使ってアクセスできます。ただしグローバルベースレジスタ (GBR) はユーザモードでもアクセスすることができます。コントロールレジスタは下記に示す 5 つのレジスタがあります。

- ステータスレジスタ (SR)
- 退避ステータスレジスタ (SSR)

2. CPU

- 退避プログラムカウンタ (SPC)
- グローバルベースレジスタ (GBR)
- ベクタベースレジスタ (VBR)

コントロールレジスタの構成を図 2.4 に示します。

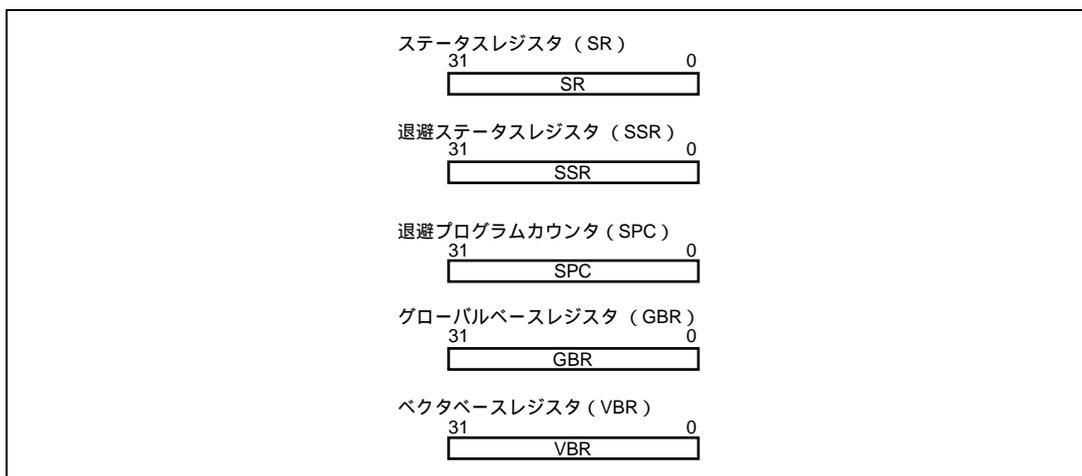


図 2.4 コントロールレジスタの構成

(1) ステータスレジスタ (SR)

システムの状態を表す各種情報を格納します。

ビット	ビット名	初期値	R/W	説 明
31		0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
30	MD	1	R/W	処理モードビット 処理モードを表示します。 0 : ユーザモード 1 : 特権モード 例外、割り込みが発生すると 1 になります。
29	RB	1	R/W	レジスタバンクビット 特権モードで使用する汎用レジスタ R0 ~ R7 のバンクを決めます。 0 : R0_BANK0 ~ R7_BANK0 と R8 ~ R15 が汎用レジスタになり、 R0_BANK1 ~ R7_BANK1 は LCD/STC 命令でアクセスできます。 1 : R0_BANK1 ~ R7_BANK1 と R8 ~ R15 が汎用レジスタになり、 R0_BANK0 ~ R7_BANK0 は LCD/STC 命令でアクセスできます。 例外、割り込みが発生すると 1 になります。

ビット	ビット名	初期値	R/W	説明
28	BL	1	R/W	ブロックビット 0: 例外、割り込みを受け付けます。 1: 例外、割り込みの発生を抑制します。詳細は「第4章 例外処理」を参照してください。 例外、割り込みが発生すると1になります。
27~13		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
12	CL	0	R/W	キャッシュロックビット 0: キャッシュロック機能使用不可能 1: キャッシュロック機能使用可能
11、10		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
9	M		R/W	M ビット
8	Q		R/W	Q ビット DIV0S/U、DIV1 命令で使用します。
7	I3	1	R/W	割り込みマスクビット
6	I2	1	R/W	割り込み要求マスクレベルを表す4ビットデータです。
5	I1	1	R/W	割り込みが発生しても、割り込み受け付けレベルに変化しません。
4	I0	1	R/W	
3、2		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
1	S		R/W	S ビット MAC 命令で使用します。
0	T		R/W	T ビット MOVT、CMP/cond、TAS、TST、BT、BF、SETT、CLRT および DT 命令で真(1)または偽(0)を表します。 ADDV/C、SUBV/C、DIV0U/S、DIV1、NEGC、SHAR/L、SHLR/L、ROTR/L、および ROTCR/L 命令でキャリー、ポロー、オーバフローまたはアンダフローを表します。

【注】 M、Q、S、T ビットはユーザーモードで専用命令によってセット/クリアが可能です。他のビットは、特権モードでリード/ライトが可能です。

(2) 退避ステータスレジスタ (SSR)

例外発生時に SR レジスタの内容を格納し、例外処理ルーチンから命令の流れに戻るための処理状態を表示します。

リセット後は不定です。

2. CPU

(3) 退避プログラムカウンタ (SPC)

例外発生時に PC レジスタの内容を格納し、例外処理が終了したときの戻りアドレスを表示します。

リセット後は不定です。

(4) グローバルベースレジスタ (GBR)

GBR 間接アドレッシングモードのベースアドレスを格納し、GBR 間接アドレッシングモードは内蔵周辺モジュールのレジスタ領域のデータ転送および論理演算に使われます。

GBR レジスタはユーザモードでもアクセスできます。

リセット後は不定です。

(5) ベクタベースレジスタ (VBR)

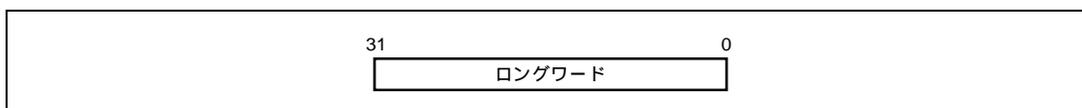
例外処理ベクタ領域のベースアドレスを格納します。

リセットで H'0000 0000 に初期化されます。

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。



2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地: 2n 番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地: 4n 番地) からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピン (MD5 ピン) で設定してください。MD5 ピンがローレベルの場合ビッグエンディアンに、MD5 ピンがハイレベルの場合リトルエンディアンに設定されます。エンディアンは動的には変更できません。ただしビット位置は常に最上位 (most-significant) から最下位 (least-significant) へ左から右へ減少するように番号が付けられています。すなわち 32 ビットのロングワードでは、一番左のビット、ビット 31 が最上位ビットで、一番右のビット、ビット 0 が最下位ビットです。

メモリ上のデータ形式を図 2.5 に示します。

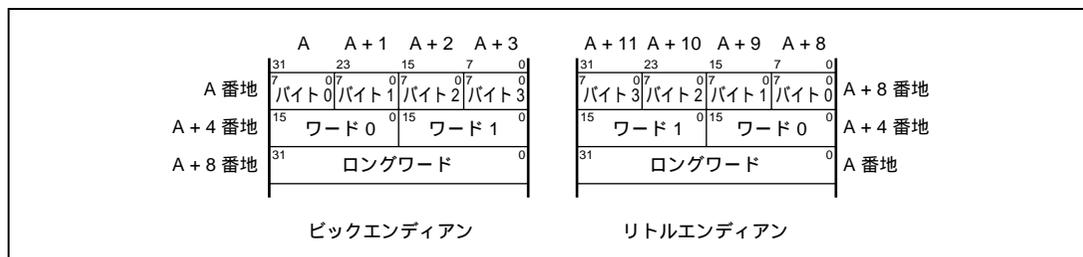


図 2.5 メモリ上のデータ形式

2.3 命令の特長

2.3.1 命令の実行方法

(1) データ長

命令セットは、16 ビット固定長命令で逐次パイプラインで実行されます。逐次パイプラインによりほとんどの命令が 1 サイクルの時間で実行されます。すべてのデータが 32 ビットのロングワード単位で処理されます。メモリは 8 ビットのバイト、16 ビットのワード、32 ビットのロングワード単位にアクセスされます。このとき、バイトとワードは符号拡張されて 32 ビットのロングワードで処理されます。リテラル定数は、算術演算 (MOV、ADD および CMP/EQ 命令) では符号が拡張され、論理演算 (TST、AND、OR および XOR 命令) ではゼロ拡張されて処理されます。

(2) ロードストアアーキテクチャ

ロードストアアーキテクチャを採用しているため、基本演算はレジスタ間で処理されます。メモリ上のデータを扱うときは、転送命令でレジスタにロードしてから演算命令で実行してください。ただし論理演算の AND のようなビット操作命令は実際にメモリ上で処理されます。

(3) 遅延分岐

無条件分岐は遅延分岐として処理されます。分岐によるパイプラインの乱れを最小にするため遅延分岐命令の次の命令を先に実行してから分岐します。条件付き分岐命令には、遅延分岐命令と通常分岐命令の 2 通りがあります。

```
BRA          TRGET
ADD          R1, R0          ; TRGET へ分岐する前に ADD 命令が実行されます
```

(4) T ビット

ステータスレジスタ (SR) の T ビットは、比較命令の結果を表すのに使用され、条件分岐が発生するか否かを決定する真偽状態 (TRUE/FALSE) として読み出されます。処理速度を向上させるため、T ビットは特定の命令でのみ変更されます。T ビットの使い方の例を以下に示します。

2. CPU

ADD	#1, R0	;T ビットは ADD 命令では変更されません
CMP/EQ	#0, R0	;T ビットは R0 が 0 のとき 1 にセットされます
BT	TRGET	;T ビットが 1 (R0=0) のとき TRGET に分岐します

(5) リテラル定数

バイト長のリテラル定数はイミディエイトデータとして命令コードの中に直接挿入されます。16 ビット固定長の命令コードなので、ワードまたはロングワードのリテラル定数は命令コードの中に直接挿入されず、メインメモリにテーブルの形で格納されます。メモリテーブルは、ディスプレースメント付き PC 相対アドレッシングを使った MOV 命令でアクセスします。

```
MOV.W    @(disp, PC), R0
```

(6) 絶対アドレス

ワードおよびロングワードリテラル定数と同じように、絶対アドレスもメインメモリにテーブルの形で格納してください。絶対アドレスの値はレジスタに転送され、オペランドのアクセスはインデックス付きレジスタ間接アドレッシングで指定されます。絶対アドレスは、ワードおよびロングワードのイミディエイトデータと同じように、命令実行中にレジスタに格納されます。

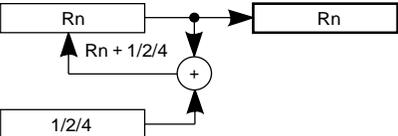
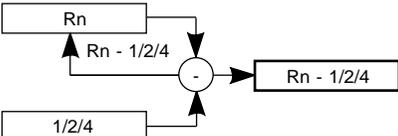
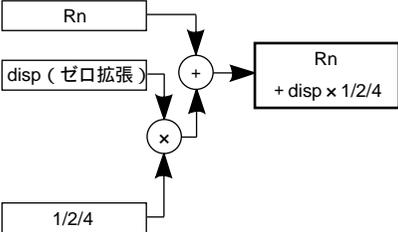
(7) 16 ビットと 32 ビットディスプレースメント

16 ビットおよび 32 ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに格納してください。絶対アドレスとまったく同じようにディスプレースメントの値がレジスタに転送され、オペランドのアクセスはインデックス付きレジスタ間接アドレッシングで指定されます。絶対アドレスは、ワードおよびロングワードのイミディエイトデータと同じように、命令実行中にレジスタに格納されます。

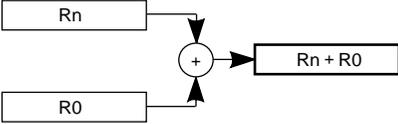
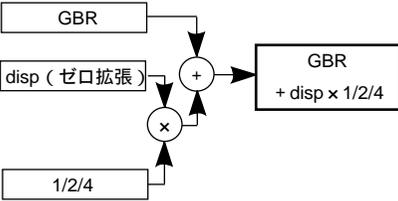
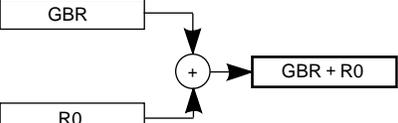
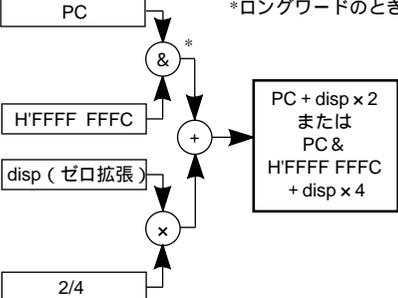
2.3.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.2 に示します。

表 2.2 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメントレジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメントレジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイメント付きレジスタ間接	@ (disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍にします。 	バイト : Rn + disp ワード : Rn + disp × 2 ロングワード : Rn + disp × 4

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付きレジスタ間接	@ (R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレースメント付き GBR 間接	@(disp:8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍にします。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレースメント付き PC 相対	@ (disp:8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍にします。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFF FFFC + disp \times 4$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍化し、加算した内容です。</p>	$PC + disp \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍化し、加算した内容です。</p>	$PC + disp \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$
イミディエイト	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍化します。	-

【注】 下記のディスプレイメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールをご参考ください。

@ (disp:4, Rn) ;ディスプレイメント付きレジスタ間接

@ (disp:8, Rn) ;ディスプレイメント付き GBR 間接

@ (disp:8, PC) ;ディスプレイメント付き PC 相対

disp : 8, disp :12;PC 相対

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

- xxxx : 命令コード
- mmmm : ソースレジスタ
- nnnn : デスティネーションレジスタ
- iiii : イミディエイトデータ
- dddd : ディスプレースメント

表 2.3 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例	
0 形式	15 0 xxxx xxxx xxxx xxxx			NOP	
n 形式	15 0 xxxx nnnn xxxx xxxx		nnnn: レジスタ直接	MOVT	Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接	STS	MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: プリデクリメントレ ジスタ間接	STC.L	SR,@-Rn
m 形式	15 0 xxxx mmmm xxxx xxxx	mmmm: レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC	Rm,SR
		mmmm: ポストインクリ メントレジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L	@Rm+,SR
		mmmm: レジスタ間接		JMP	@Rm
		mmmm: Rm を用いた PC 相対		BRAF	Rm
nm 形式	15 0 xxxx nnnn mmmm xxxx	mmmm: レジスタ直接	nnnn: レジスタ直接	ADD	Rm,Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接	MOV.L	Rm,@Rn
		mmmm: ポストインクリ メントレジスタ間接 (積和演算) nnnn*:ポストインクリメン トレジスタ間接 (積和演算)	MACH、MACL	MAC.W	@Rm+, @Rn+
		mmmm: ポストインクリ メントレジスタ間接	nnnn: レジスタ直接	MOV.L	@Rm+,Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例	
nm 形式	15 0 xxxx nnnn mmmm xxxx	m m m m: レジスタ 直接	n n n n: プリデクリメントレ ジスタ間接	MOV.L	Rm,@-Rn
		m m m m: レジスタ 直接	n n n n: インデックス 付きレジスタ間接	MOV.L	Rm,@(R0,R n)
md 形式	15 0 xxxx xxxx mmmm dddd	m m m m d d d d: ディスプレースメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B	@(disp,Rm), R0
nd4 形 式	15 0 xxxx xxxx nnnn dddd	R0 (レジスタ直接)	n n n n d d d d: ディスプレースメント付き レジスタ間接	MOV.B	R0,@(disp, Rn)
nmd 形 式	15 0 xxxx nnnn mmmm dddd	m m m m: レジスタ 直接	n n n n d d d d: ディスプレースメント付き レジスタ間接	MOV.L	Rm,@(disp, Rn)
		m m m m d d d d: ディスプレースメント付き レジスタ間接	n n n n: レジスタ直接	MOV.L	@(disp,Rm), Rn
d 形式	15 0 xxxx xxxx dddd dddd	d d d d d d d d: ディスプレースメント付き GBR 間接	R0 (レジスタ直接)	MOV.L	@(disp,GBR ,)R0
		R0 (レジスタ直接)	d d d d d d d d: ディスプレースメント付き GBR 間接	MOV.L	R0,@(disp, GBR)
		d d d d d d d d: ディスプレースメント付き PC 相対	R0 (レジスタ直接)	MOVA	@(disp,PC), R0
		d d d d d d d d: PC 相対		BF	label
d12 形 式	15 0 xxxx dddd dddd dddd	d d d d d d d d d d: PC 相対		BRA	label (label=disp+ PC)
nd8 形 式	15 0 xxxx nnnn dddd dddd	d d d d d d d d: ディスプレースメント付き PC 相対	n n n n: レジスタ直接	MOV.L	@(disp,PC), Rn
i 形式	15 0 xxxx xxxx iiii iiii	iiii iii: イミディエイト	インデックス付き GBR 間接	AND.B	#imm,@(R0, GBR)
		iiii iii: イミディエイト	R0 (レジスタ直接)	AND	#imm,R0
		iiii iii: イミディエイト		TRAPA	#imm

2. CPU

命令形式		ソースオペランド	デスティネーション オペランド	命令の例	
ni 形式	<div style="display: flex; justify-content: space-between; align-items: center;"> 15 0 </div> <div style="border: 1px solid black; padding: 2px; width: 100%; text-align: center;"> xxxx nnnn i i i i i i i i </div>	iii iii: イミディエイト	nnnn: レジスタ直接	ADD	#imm,Rn

【注】 * 積和命令では nnnn はソースレジスタです。

2.4 命令セット

2.4.1 機能別命令セット

命令を機能別に表 2.4 に示します。

表 2.4 機能別命令

機 能	命令の種類	オペコード	詳細機能	命令数
データ転送命令	5	MOV	データ転送	39
		MOVA	実効アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算 (32 × 32 ビット)	
		MULS	符号付き乗算 (16 × 16 ビット)	
		MULU	符号なし乗算 (16 × 16 ビット)	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	ポロー付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			

機能	命令の種類	オペコード	詳細機能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算のTビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTCL	Tビット付き1ビット左回転	16
		ROTCR	Tビット付き1ビット右回転	
		ROTL	1ビット左回転	
		ROTR	1ビット右回転	
		SHAD	ダイナミック算術シフト	
		SHAL	1ビット左算術シフト	
		SHAR	1ビット右算術シフト	
		SHLD	ダイナミック論理シフト	
		SHLL	1ビット左論理シフト	
		SHLLn	nビット左論理シフト	
		SHLR	1ビット右論理シフト	
SHLRn	nビット右論理シフト			
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T = 0 で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T = 1 で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御命令	15	CLRMAC	MACレジスタのクリア	75
		CLRS	Sビットのクリア	
		CLRT	Tビットのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		LDTLB	TLBへのロード	
		NOP	無操作	
		PREF	データキャッシュへのプリフェッチ	
		RTE	例外処理からの復帰	

2. CPU

機能	命令の種類	オペコード	詳細機能	命令数
システム制御命令	15	SETS	Sビットのセット	
		SETT	Tビットのセット	
		SLEEP	低消費電力モードへの遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
	計 68			188

CPU 命令の命令コード、動作、実行ステートを、以下の形式で分類別に説明します。

命令	命令コード	動作の概略	特権	実行 ステート	Tビット
ニーモニックで表示しています。	MSB LSBの順で表示しています。	動作の概略を表示しています。	特権命令を示しています。	ノーウェイトのときの値です。*1	命令実行後の、Tビットの値を表示しています。
記号の説明 OP: Sz SRC, DEST OP: オペコード Sz: サイズ SRC: ソース DEST: デスティネーション Rm: ソースレジスタ Rn: デスティネーションレジスタ imm: イミディエイトデータ disp: ディスプレースメント	記号の説明 mmmm: ソースレジスタ nnnn: デスティネーションレジスタ 0000: R0 0001: R1 1111: R15 iiii: イミディエイトデータ dddd: ディスプレースメント*2	記号の説明 , : 転送方向 (xx): メモリオペランド M/Q/T: SR内のフラグビット &: ビット毎の論理積 : ビット毎の論理和 ^: ビット毎の排他的論理和 ~: ビット毎の論理否定 <<n: 左nビットシフト >>n: 右nビットシフト			記号の説明 :変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- 命令フェッチとデータアクセスの競合が起こる場合
 - ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタと同一の場合
- などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング(×1、×2、×4)されます。

(1) データ転送命令

命 令	命令コード	動 作	特権	実行 ステート	Tビット
MOV #imm,Rn	1110 nnnn iiii iiii	imm 符号拡張 Rn		1	
MOV.W @(disp,PC),Rn	1001 nnnn dddd dddd	(disp × 2+PC) 符号拡張 Rn		1	
MOV.L @(disp,PC),Rn	1101 nnnn dddd dddd	(disp × 4+PC) Rn		1	
MOV Rm,Rn	0110 nnnn mmmm 0011	Rm Rn		1	
MOV.B Rm,@Rn	0010 nnnn mmmm 0000	Rm (Rn)		1	
MOV.W Rm,@Rn	0010 nnnn mmmm 0001	Rm (Rn)		1	
MOV.L Rm,@Rn	0010 nnnn mmmm 0010	Rm (Rn)		1	
MOV.B @Rm,Rn	0110 nnnn mmmm 0000	(Rm) 符号拡張 Rn		1	
MOV.W @Rm,Rn	0110 nnnn mmmm 0001	(Rm) 符号拡張 Rn		1	
MOV.L @Rm,Rn	0110 nnnn mmmm 0010	(Rm) Rn		1	
MOV.B Rm,@-Rn	0010 nnnn mmmm 0100	Rn-1 Rn, Rm (Rn)		1	
MOV.W Rm,@-Rn	0010 nnnn mmmm 0101	Rn-2 Rn, Rm (Rn)		1	
MOV.L Rm,@-Rn	0010 nnnn mmmm 0110	Rn-4 Rn, Rm (Rn)		1	
MOV.B @Rm+,Rn	0110 nnnn mmmm 0100	(Rm) 符号拡張 Rn, Rm+1 Rm		1	
MOV.W @Rm+,Rn	0110 nnnn mmmm 0101	(Rm) 符号拡張 Rn, Rm+2 Rm		1	
MOV.L @Rm+,Rn	0110 nnnn mmmm 0110	(Rm) Rn, Rm+4 Rm		1	
MOV.B R0,@(disp,Rn)	1000 0000 nnnn dddd	R0 (disp+Rn)		1	
MOV.W R0,@(disp,Rn)	1000 0001 nnnn dddd	R0 (disp × 2+Rn)		1	
MOV.L Rm,@(disp,Rn)	0001 nnnn mmmm dddd	Rm (disp × 4+Rn)		1	
MOV.B @(disp,Rm),R0	1000 0100 mmmm dddd	(disp+Rm) 符号拡張 R0		1	
MOV.W @(disp,Rm),R0	1000 0101 mmmm dddd	(disp × 2+Rm) 符号拡張 R0		1	
MOV.L @(disp,Rm),Rn	0101 nnnn mmmm dddd	(disp × 4+Rm) Rn		1	
MOV.B Rm,@(R0,Rn)	0000 nnnn mmmm 0100	Rm (R0+Rn)		1	
MOV.W Rm,@(R0,Rn)	0000 nnnn mmmm 0101	Rm (R0+Rn)		1	
MOV.L Rm,@(R0,Rn)	0000 nnnn mmmm 0110	Rm (R0+Rn)		1	
MOV.B @(R0,Rm),Rn	0000 nnnn mmmm 1100	(R0+Rm) 符号拡張 Rn		1	
MOV.W @(R0,Rm),Rn	0000 nnnn mmmm 1101	(R0+Rm) 符号拡張 Rn		1	
MOV.L @(R0,Rm),Rn	0000 nnnn mmmm 1110	(R0+Rm) Rn		1	
MOV.B R0,@(disp,GBR)	1100 0000 dddd dddd	R0 (disp+GBR)		1	
MOV.W R0,@(disp,GBR)	1100 0001 dddd dddd	R0 (disp × 2+GBR)		1	
MOV.L R0,@(disp,GBR)	1100 0010 dddd dddd	R0 (disp × 4+GBR)		1	
MOV.B @(disp,GBR),R0	1100 0100 dddd dddd	(disp+GBR) 符号拡張 R0		1	
MOV.W @(disp,GBR),R0	1100 0101 dddd dddd	(disp × 2+GBR) 符号拡張 R0		1	
MOV.L @(disp,GBR),R0	1100 0110 dddd dddd	(disp × 4+GBR) R0		1	

2. CPU

命 令	命令コード	動 作	特権	実行 ステート	Tビット
MOVA	@(disp,PC),R0	disp × 4+PC R0		1	
MOVT	Rn	T Rn		1	
SWAP.B	Rm,Rn	Rm 下位 2 バイトの上下バイト交換 Rn		1	
SWAP.W	Rm,Rn	Rm 上下ワード交換 Rn		1	
XTRCT	Rm,Rn	Rm と Rn の中央 32 ビット Rn		1	

(2) 算術演算命令

命 令	命令コード	動 作	特権	実行 ステート	Tビット
ADD	Rm,Rn	Rn+Rm Rn		1	
ADD	#imm,Rn	Rn+imm Rn		1	
ADDC	Rm,Rn	Rn+Rm+T Rn, キャリヤー T		1	キャリヤー
ADDV	Rm,Rn	Rn+Rm Rn, オーバフロー T		1	オーバフロー
CMP/EQ	#imm,R0	R0=imm のとき 1 T		1	比較結果
CMP/EQ	Rm,Rn	Rn=Rm のとき 1 T		1	比較結果
CMP/HS	Rm,Rn	無符号で Rn Rm のとき 1 T		1	比較結果
CMP/GE	Rm,Rn	有符号で Rn Rm のとき 1 T		1	比較結果
CMP/HI	Rm,Rn	無符号で Rn>Rm のとき 1 T		1	比較結果
CMP/GT	Rm,Rn	有符号で Rn>Rm のとき 1 T		1	比較結果
CMP/PL	Rn	Rn>0 のとき 1 T		1	比較結果
CMP/PZ	Rn	Rn 0 のとき 1 T		1	比較結果
CMP/STR	Rm,Rn	いずれかのバイトが等しいとき 1 T		1	比較結果
DIV1	Rm,Rn	1 ステップ除算 (Rn ÷ Rm)		1	計算結果
DIV0S	Rm,Rn	Rn の MSB Q, Rm の MSB M, M^Q T		1	計算結果
DIV0U		0 M/Q/T		1	0
DMULS.L	Rm,Rn	符号付きで Rn × Rm MACH, MACL 32 × 32 64 ビット		2(-5)*	
DMULU.L	Rm,Rn	符号なしで Rn × Rm MACH, MACL 32 × 32 64 ビット		2(-5)*	
DT	Rn	Rn-1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T		1	比較結果
EXTS.B	Rm,Rn	Rm をバイトから符号拡張 Rn		1	
EXTS.W	Rm,Rn	Rm をワードから符号拡張 Rn		1	

命 令	命令コード	動 作	特権	実行 ステート	Tビット
EXTU.B	Rm,Rn	Rm をバイトからゼロ拡張 Rn		1	
EXTU.W	Rm,Rn	Rm をワードからゼロ拡張 Rn		1	
MAC.L	@Rm+, @Rn+	符号付きで (Rn) × (Rm)+MAC MAC, Rn+4 Rn, Rm+4 Rm, 32 × 32+64 64 ビット		2(-5)*	
MAC.W	@Rm+, @Rn+	符号付きで (Rn) × (Rm)+MAC MAC, Rn+2 Rn, Rm+2 Rm, 16 × 16+64 64 ビット		2(-5)*	
MUL.L	Rm,Rn	Rn × Rm MACL,32 × 32 32 ビット		2(-5)*	
MULS.W	Rm,Rn	符号付きで Rn × Rm MACL,16 × 16 32 ビット		1(-3)*	
MULU.W	Rm,Rn	符号なしで Rn × Rm MACL,16 × 16 32 ビット		1(-3)*	
NEG	Rm,Rn	0-Rm Rn		1	
NEGC	Rm,Rn	0-Rm-T Rn, ボロー T		1	ボロー
SUB	Rm,Rn	Rn-Rm Rn		1	
SUBC	Rm,Rn	Rn-Rm-T Rn, ボロー T		1	ボロー
SUBV	Rm,Rn	Rn-Rm Rn, アンダフロー T		1	アンダフロー

【注】* 通常実行ステートを示します。()内の値は、前後の命令との競合関係による実行ステートです。

(3) 論理演算命令

命 令	命令コード	動 作	特権	実行 ステート	Tビット
AND	Rm,Rn	Rn & Rm Rn		1	
AND	#imm,R0	R0 & imm R0		1	
AND.B	#imm,@(R0,GBR)	(R0+GBR) & imm (R0+GBR)		3	
NOT	Rm,Rn	\bar{Rm} Rn		1	
OR	Rm,Rn	Rn Rm Rn		1	
OR	#imm,R0	R0 imm R0		1	
OR.B	#imm,@(R0,GBR)	(R0+GBR) imm (R0+GBR)		3	
TAS.B	@Rn*	(Rn)が0のとき1 T, 1 MSB of (Rn)*		4	テスト結果
TST	Rm,Rn	Rn & Rm, 結果が0のとき1 T		1	テスト結果
TST	#imm,R0	R0 & imm, 結果が0のとき1 T		1	テスト結果
TST.B	#imm,@(R0,GBR)	(R0+GBR)&imm, 結果が0のとき1 T		3	テスト結果
XOR	Rm,Rn	Rn ^ Rm Rn		1	

2. CPU

命 令	命令コード	動 作	特権	実行 ステート	Tビット
XOR	#imm,R0	$R0 \wedge imm$ R0		1	
XOR.B	#imm,@(R0,GBR)	$(R0+GBR) \wedge imm$ (R0+GBR)		3	

【注】* TAS 命令のオペランド読み出しサイクルと書き込みサイクルの間には、内蔵 DMAC のバスサイクルは入りません。また、BREQ によるバス権開放も行われません。

(4) シフト命令

命 令	命令コード	動 作	特権	実行 ステート	Tビット
ROTL	Rn	T Rn MSB		1	MSB
ROTR	Rn	LSB Rn T		1	LSB
ROTCL	Rn	T Rn T		1	MSB
ROTCR	Rn	T Rn T		1	LSB
SHAD	Rm, Rn	Rm 0 のとき $Rn \ll Rm$ Rn Rm<0 のとき $Rn \gg Rm$ [MSB Rn]		1	
SHAL	Rn	T Rn 0		1	MSB
SHAR	Rn	MSB Rn T		1	LSB
SHLD	Rm, Rn	Rm 0 のとき $Rn \ll Rm$ Rn Rm<0 のとき $Rn \gg Rm$ [0 Rn]		1	
SHLL	Rn	T Rn 0		1	MSB
SHLR	Rn	0 Rn T		1	LSB
SHLL2	Rn	$Rn \ll 2$ Rn		1	
SHLR2	Rn	$Rn \gg 2$ Rn		1	
SHLL8	Rn	$Rn \ll 8$ Rn		1	
SHLR8	Rn	$Rn \gg 8$ Rn		1	
SHLL16	Rn	$Rn \ll 16$ Rn		1	
SHLR16	Rn	$Rn \gg 16$ Rn		1	

(5) 分岐命令

命 令	命令コード	動 作	特権	実行 ステート	Tビット
BF label	1000 1011 dddd dddd	T=0 のとき disp × 2+PC PC, T=1 のとき nop		3/1*	
BF/S label	1000 1111 dddd dddd	遅延分岐、T=0 のとき disp × 2+PC PC, T=1 のとき nop		2/1*	
BT label	1000 1001 dddd dddd	T=1 のとき disp × 2+PC PC, T=0 のとき nop		3/1*	
BT/S label	1000 1101 dddd dddd	遅延分岐、T=1 のとき disp × 2+PC PC, T=0 のとき nop		2/1*	
BRA label	1010 dddd dddd dddd	遅延分岐、disp × 2+PC PC		2	
BRAF Rm	0000 mmmm 0010 0011	遅延分岐、Rm+PC PC		2	
BSR label	1011 dddd dddd dddd	遅延分岐、PC PR, disp × 2+PC PC		2	
BSRF Rm	0000 mmmm 0000 0011	遅延分岐、PC PR, Rm+PC PC		2	
JMP @Rm	0100 mmmm 0010 1011	遅延分岐、Rm PC		2	
JSR @Rm	0100 mmmm 0000 1011	遅延分岐、PC PR, Rm PC		2	
RTS	0000 0000 0000 1011	遅延分岐、PR PC		2	

【注】* 分岐しないときは 1 ステートになります。

2. CPU

(6) システム制御命令

命 令	命令コード	動 作	特権	実行 ステート	Tビット
CLRMAC	0000 0000 0010 1000	0 MACH,MACL		1	
CLRS	0000 0000 0100 1000	0 S		1	
CLRT	0000 0000 0000 1000	0 T		1	0
LDC Rm,SR	0100 mmmmm 0000 1110	Rm SR	特権	5	LSB
LDC Rm,GBR	0100 mmmmm 0001 1110	Rm GBR		3	
LDC Rm,VBR	0100 mmmmm 0010 1110	Rm VBR	特権	3	
LDC Rm,SSR	0100 mmmmm 0011 1110	Rm SSR	特権	3	
LDC Rm,SPC	0100 mmmmm 0100 1110	Rm SPC	特権	3	
LDC Rm,R0_BANK	0100 mmmmm 1000 1110	Rm R0_BANK	特権	3	
LDC Rm,R1_BANK	0100 mmmmm 1001 1110	Rm R1_BANK	特権	3	
LDC Rm,R2_BANK	0100 mmmmm 1010 1110	Rm R2_BANK	特権	3	
LDC Rm,R3_BANK	0100 mmmmm 1011 1110	Rm R3_BANK	特権	3	
LDC Rm,R4_BANK	0100 mmmmm 1100 1110	Rm R4_BANK	特権	3	
LDC Rm,R5_BANK	0100 mmmmm 1101 1110	Rm R5_BANK	特権	3	
LDC Rm,R6_BANK	0100 mmmmm 1110 1110	Rm R6_BANK	特権	3	
LDC Rm,R7_BANK	0100 mmmmm 1111 1110	Rm R7_BANK	特権	3	
LDC.L @Rm+,SR	0100 mmmmm 0000 0111	(Rm) SR, Rm+4 Rm	特権	7	LSB
LDC.L @Rm+,GBR	0100 mmmmm 0001 0111	(Rm) GBR, Rm+4 Rm		5	
LDC.L @Rm+,VBR	0100 mmmmm 0010 0111	(Rm) VBR, Rm+4 Rm	特権	5	
LDC.L @Rm+,SSR	0100 mmmmm 0011 0111	(Rm) SSR, Rm+4 Rm	特権	5	
LDC.L @Rm+,SPC	0100 mmmmm 0100 0111	(Rm) SPC, Rm+4 Rm	特権	5	
LDC.L @Rm+,R0_BANK	0100 mmmmm 1000 0111	(Rm) R0_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R1_BANK	0100 mmmmm 1001 0111	(Rm) R1_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R2_BANK	0100 mmmmm 1010 0111	(Rm) R2_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R3_BANK	0100 mmmmm 1011 0111	(Rm) R3_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R4_BANK	0100 mmmmm 1100 0111	(Rm) R4_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R5_BANK	0100 mmmmm 1101 0111	(Rm) R5_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R6_BANK	0100 mmmmm 1110 0111	(Rm) R6_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R7_BANK	0100 mmmmm 1111 0111	(Rm) R7_BANK, Rm+4 Rm	特権	5	
LDS Rm,MACH	0100 mmmmm 0000 1010	Rm MACH		1	
LDS Rm,MACL	0100 mmmmm 0001 1010	Rm MACL		1	
LDS Rm,PR	0100 mmmmm 0010 1010	Rm PR		1	
LDS.L @Rm+,MACH	0100 mmmmm 0000 0110	(Rm) MACH, Rm+4 Rm		1	
LDS.L @Rm+,MACL	0100 mmmmm 0001 0110	(Rm) MACL, Rm+4 Rm		1	

命 令	命令コード	動 作	特権	実行 ステート	Tビット
LDS.L @Rm+,PR	0100 nnnnn 0010 0110	(Rm) PR, Rm+4 Rm		1	
LDTLB	0000 0000 0011 1000	PTEH/PTEL TLB	特権	1	
NOP	0000 0000 0000 1001	無操作		1	
PREF @Rm	0000 nnnnn 1000 0011	(Rm) キャッシュ		2	
RTE	0000 0000 0010 1011	遅延分岐、SSR SR、SPC PC	特権	4	
SETS	0000 0000 0101 1000	1 S		1	
SETT	0000 0000 0001 1000	1 T		1	1
SLEEP	0000 0000 0001 1011	スリープ	特権	4*	
STC SR,Rn	0000 nnnn 0000 0010	SR Rn	特権	1	
STC GBR,Rn	0000 nnnn 0001 0010	GBR Rn		1	
STC VBR,Rn	0000 nnnn 0010 0010	VBR Rn	特権	1	
STC SSR, Rn	0000 nnnn 0011 0010	SSR Rn	特権	1	
STC SPC,Rn	0000 nnnn 0100 0010	SPC Rn	特権	1	
STC R0_BANK,Rn	0000 nnnn 1000 0010	R0_BANK Rn	特権	1	
STC R1_BANK,Rn	0000 nnnn 1001 0010	R1_BANK Rn	特権	1	
STC R2_BANK,Rn	0000 nnnn 1010 0010	R2_BANK Rn	特権	1	
STC R3_BANK,Rn	0000 nnnn 1011 0010	R3_BANK Rn	特権	1	
STC R4_BANK,Rn	0000 nnnn 1100 0010	R4_BANK Rn	特権	1	
STC R5_BANK,Rn	0000 nnnn 1101 0010	R5_BANK Rn	特権	1	
STC R6_BANK,Rn	0000 nnnn 1110 0010	R6_BANK Rn	特権	1	
STC R7_BANK,Rn	0000 nnnn 1111 0010	R7_BANK Rn	特権	1	
STC.L SR,@-Rn	0100 nnnn 0000 0011	Rn-4 Rn, SR (Rn)	特権	2	
STC.L GBR,@-Rn	0100 nnnn 0001 0011	Rn-4 Rn, GBR (Rn)		2	
STC.L VBR,@-Rn	0100 nnnn 0010 0011	Rn-4 Rn, VBR (Rn)	特権	2	
STC.L SSR,@-Rn	0100 nnnn 0011 0011	Rn-4 Rn, SSR (Rn)	特権	2	
STC.L SPC,@-Rn	0100 nnnn 0100 0011	Rn-4 Rn, SPC (Rn)	特権	2	
STC.L R0_BANK,@-Rn	0100 nnnn 1000 0011	Rn-4 Rn, R0_BANK (Rn)	特権	2	
STC.L R1_BANK,@-Rn	0100 nnnn 1001 0011	Rn-4 Rn, R1_BANK (Rn)	特権	2	
STC.L R2_BANK,@-Rn	0100 nnnn 1010 0011	Rn-4 Rn, R2_BANK (Rn)	特権	2	
STC.L R3_BANK,@-Rn	0100 nnnn 1011 0011	Rn-4 Rn, R3_BANK (Rn)	特権	2	
STC.L R4_BANK,@-Rn	0100 nnnn 1100 0011	Rn-4 Rn, R4_BANK (Rn)	特権	2	
STC.L R5_BANK,@-Rn	0100 nnnn 1101 0011	Rn-4 Rn, R5_BANK (Rn)	特権	2	
STC.L R6_BANK,@-Rn	0100 nnnn 1110 0011	Rn-4 Rn, R6_BANK (Rn)	特権	2	
STC.L R7_BANK,@-Rn	0100 nnnn 1111 0011	Rn-4 Rn, R7_BANK (Rn)	特権	2	
STS MACH,Rn	0000 nnnn 0000 1010	MACH Rn		1	

2. CPU

命 令	命令コード	動 作	特権	実行 ステート	Tビット
STS MACL,Rn	0000 nnnn 0001 1010	MACL Rn		1	
STS PR,Rn	0000 nnnn 0010 1010	PR Rn		1	
STS.L MACH,@-Rn	0100 nnnn 0000 0010	Rn-4 Rn, MACH (Rn)		1	
STS.L MACL,@-Rn	0100 nnnn 0001 0010	Rn-4 Rn, MACL (Rn)		1	
STS.L PR,@-Rn	0100 nnnn 0010 0010	Rn-4 Rn, PR (Rn)		1	
TRAPA #imm	1100 0011 iiiii iiiii	PC SPC, SR SSR, imm TRA		8	

【注】 * スリープ状態に遷移するまでのステート数です。

1. 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

a. 命令フェッチとデータアクセスの競合が起こる場合

b. ロード命令（メモリ レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

2. 下記のディスプレースメント（disp）を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケールリング（×1、×2、×4）を行う前の値を書いています。これは、LSIの動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールをご参考ください。

@（disp:4, Rn）； ディスプレースメント付きレジスタ間接

@（disp:8, Rn）； ディスプレースメント付き GBR 間接

@（disp:8, PC）； ディスプレースメント付き PC 相対

disp : 8, disp : 12 ; PC 相対

2.4.2 オペレーションコードマップ

オペレーションコードマップを表 2.5 に示します。

表 2.5 オペレーションコードマップ

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
0000	Rn	Fx	0000				
0000	Rn	Fx	0001				
0000	Rn	00MD	0010	STC SR, Rn	STC GBR, Rn	STC VBR, Rn	STC SSR, Rn
0000	Rn	01MD	0010	STC SPC, Rn			
0000	Rn	10MD	0010	STC R0_BANK, Rn	STC R1_BANK, Rn	STC R2_BANK, Rn	STC R3_BANK, Rn
0000	Rn	11MD	0010	STC R4_BANK, Rn	STC R5_BANK, Rn	STC R6_BANK, Rn	STC R7_BANK, Rn
0000	Rm	00MD	0011	BSRF Rm		BRAF Rm	
0000	Rm	10MD	0011	PREF @Rm			
0000	Rn	Rm	01MD	MOV.B Rm, @(R0, Rn)	MOV.W Rm, @(R0, Rn)	MOV.L Rm, @(R0, Rn)	MUL.L Rm, Rn
0000	0000	00MD	1000	CLRT	SETT	CLRMAC	LDTLB
0000	0000	01MD	1000	CLRS	SETS		
0000	0000	Fx	1001	NOP	DIV0U		
0000	0000	Fx	1010				
0000	0000	Fx	1011	RTS	SLEEP	RTE	
0000	Rn	Fx	1000				
0000	Rn	Fx	1001			MOVT Rn	
0000	Rn	Fx	1010	STS MACH, Rn	STS MACL, Rn	STS PR, Rn	
0000	Rn	Fx	1011				
0000	Rn	Rm	11MD	MOV.B @(R0, Rm), Rn	MOV.W @(R0, Rm), Rn	MOV.L @(R0, Rm), Rn	MAC.L @Rm +, @Rn +
0001	Rn	Rm	disp	MOV.L Rm, @(disp:4, Rn)			
0010	Rn	Rm	00MD	MOV.B Rm, @Rn	MOV.W Rm, @Rn	MOV.L Rm, @Rn	
0010	Rn	Rm	01MD	MOV.B Rm, @ Rn	MOV.W Rm, @ Rn	MOV.L Rm, @ Rn	DIV0S Rm, Rn
0010	Rn	Rm	10MD	TST Rm, Rn	AND Rm, Rn	XOR Rm, Rn	OR Rm, Rn
0010	Rn	Rm	11MD	CMP/STR Rm, Rn	XTRCT Rm, Rn	MULU.W Rm, Rn	MULSW Rm, Rn
0011	Rn	Rm	00MD	CMP/EQ Rm, Rn		CMP/HS Rm, Rn	CMP/GE Rm, Rn
0011	Rn	Rm	01MD	DIV1 Rm, Rn	DMULU.L Rm, Rn	CMP/HI Rm, Rn	CMP/GT Rm, Rn
0011	Rn	Rm	10MD	SUB Rm, Rn		SUBC Rm, Rn	SUBV Rm, Rn
0011	Rn	Rm	11MD	ADD Rm, Rn	DMULS.L Rm, Rn	ADDC Rm, Rn	ADDV Rm, Rn
0100	Rn	Fx	0000	SHLL Rn	DT Rn	SHAL Rn	

2. CPU

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
0100	Rn	Fx	0001	SHLR Rn	CMP/PZ Rn	SHAR Rn	
0100	Rn	Fx	0010	STS.L MACH, @ Rn	STS.L MACL, @ Rn	STS.L PR, @ Rn	
0100	Rn	00MD	0011	STC.L SR, @ Rn	STC.L GBR, @ Rn	STC.L VBR, @ Rn	STC.L SSR, @ Rn
0100	Rn	01MD	0011	STC.L SPC, @ Rn			
0100	Rn	10MD	0011	STC.L R0_BANK, @ Rn	STC.L R1_BANK, @ Rn	STC.L R2_BANK, @ Rn	STC.L R3_BANK, @ Rn
0100	Rn	11MD	0011	STC.L R4_BANK, @ Rn	STC.L R5_BANK, @ Rn	STC.L R6_BANK, @ Rn	STC.L R7_BANK, @ Rn
0100	Rn	Fx	0100	ROTL Rn		ROTCL Rn	
0100	Rn	Fx	0101	ROTR Rn	CMP/PL Rn	ROTCR Rn	
0100	Rm	Fx	0110	LDS.L @Rm +, MACH	LDS.L @Rm +, MACL	LDS.L @Rm +, PR	
0100	Rm	00MD	0111	LDC.L @Rm +, SR	LDC.L @Rm +, GBR	LDC.L @Rm +, VBR	LDC.L @Rm +, SSR
0100	Rm	01MD	0111	LDC.L @Rm +, SPC			
0100	Rm	10MD	0111	LDC.L @Rm +, R0_BANK	LDC.L @Rm +, R1_BANK	LDC.L @Rm +, R2_BANK	LDC.L @Rm +, R3_BANK
0100	Rm	11MD	0111	LDC.L @Rm +, R4_BANK	LDC.L @Rm +, R5_BANK	LDC.L @Rm +, R6_BANK	LDC.L @Rm +, R7_BANK
0100	Rn	Fx	1000	SHLL2 Rn	SHLL8 Rn	SHLL16 Rn	
0100	Rn	Fx	1001	SHLR2 Rn	SHLR8 Rn	SHLR16 Rn	
0100	Rm	Fx	1010	LDS Rm, MACH	LDS Rm, MACL	LDS Rm, PR	
0100	Rm/ Rn	Fx	1011	JSR @Rm	TAS.B @Rn	JMP @Rm	
0100	Rn	Rm	1100	SHAD Rm, Rn			
0100	Rn	Rm	1101	SHLD Rm, Rn			
0100	Rm	00MD	1110	LDC Rm, SR	LDC Rm, GBR	LDC Rm, VBR	LDC Rm, SSR
0100	Rm	01MD	1110	LDC Rm, SPC			
0100	Rm	10MD	1110	LDC Rm, R0_BANK	LDC Rm, R1_BANK	LDC Rm, R2_BANK	LDC Rm, R3_BANK
0100	Rm	11MD	1110	LDC Rm, R4_BANK	LDC Rm, R5_BANK	LDC Rm, R6_BANK	LDC Rm, R7_BANK
0100	Rn	Rm	1111	MAC.W @Rm +, @Rn +			
0101	Rn	Rm	disp	MOV.L @(disp:4, Rm), Rn			
0110	Rn	Rm	00MD	MOV.B @Rm, Rn	MOV.W @Rm, Rn	MOV.L @Rm, Rn	MOV Rm, Rn
0110	Rn	Rm	01MD	MOV.B @Rm +, Rn	MOV.W @Rm +, Rn	MOV.L @Rm +, Rn	NOT Rm, Rn
0110	Rn	Rm	10MD	SWAP.B Rm, Rn	SWAP.W Rm, Rn	NEGC Rm, Rn	NEG Rm, Rn
0110	Rn	Rm	11MD	EXTU.B Rm, Rn	EXTU.W Rm, Rn	EXTS.B Rm, Rn	EXTS.W Rm, Rn
0111	Rn	imm		ADD # imm : 8, Rn			

命令コード			Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB	LSB		MD: 00	MD: 01	MD: 10	MD: 11
1000	00MD	Rn	disp	MOV.B R0, @(disp: 4, Rn)	MOV.W R0, @(disp: 4, Rn)	
1000	01MD	Rm	disp	MOV.B @(disp:4, Rm), R0	MOV.W @(disp: 4, Rm), R0	
1000	10MD	imm/disp	CMP/EQ #imm:8, R0	BT label: 8		BF label: 8
1000	11MD	imm/disp		BT/S label: 8		BF/S label: 8
1001	Rn	disp	MOV.W @(disp : 8, PC), Rn			
1010	disp		BRA label : 12			
1011	disp		BSR label : 12			
1100	00MD	imm/disp	MOV.B R0, @(disp: 8, GBR)	MOV.W R0, @(disp: 8, GBR)	MOV.L R0, @(disp: 8, GBR)	TRAPA#imm: 8
1100	01MD	disp	MOV.B @(disp: 8, GBR), R0	MOV.W @(disp: 8, GBR), R0	MOV.L @(disp: 8, GBR), R0	MOVA @(disp: 8, PC), R0
1100	10MD	imm	TST #imm: 8, R0	AND #imm: 8, R0	XOR #imm: 8, R0	OR #imm: 8, R0
1100	11MD	imm	TST.B #imm: 8, @(R0, GBR)	AND.B #imm: 8, @(R0, GBR)	XOR.B #imm: 8, @(R0, GBR)	OR.B #imm: 8, @(R0, GBR)
1101	Rn	disp	MOV.L @(disp: 8, PC), Rn			
1110	Rn	imm	MOV #imm:8, Rn			
1111	*****					

【注】 なお、詳細は「SH-3/SH-3E/SH3-DSP プログラミングマニュアル」を参照してください。

2.5 処理状態と処理モード

2.5.1 処理状態

処理状態にはリセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。

(1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RESETP}}$ 端子がローレベルのときパワーオンリセット状態になり、 $\overline{\text{RESETM}}$ 端子がローレベルのとき、マニュアルリセット状態になります。リセットについては、「第4章 例外処理」を参照してください。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、バスステートコントローラ (BSC) を除く内蔵周辺モジュールのレジスタと CPU の内部状態とが初期化されます。マニュアルリセット状態では、バスステートコントローラ (BSC) を除く内蔵周辺モジュールのレジスタと CPU の内部状態とが初期化されます。詳細は、「23.3 各処理モードにおけるレジスタの状態」を参照してください。

(2) 例外処理状態

リセット、一般例外、割り込みの例外処理要因によって、CPU が処理状態の流れを変えるときの一時的な状態です。

リセットの場合は、H'A000 0000 に分岐してユーザが作成した例外処理プログラムの実行を開始します。

一般例外、割り込みの場合は、プログラムカウンタ (PC) を退避プログラムカウンタ (SPC) に、ステータスレジスタ (SR) を退避ステータスレジスタ (SSR) に退避します。ベクタベースアドレスの内容とベクタオフセットの和で求められたユーザ作成の例外サービスルーチンの開始アドレスに分岐して、プログラムの実行を開始します。リセット、一般例外、割り込みについては、「第4章 例外処理」を参照してください。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモードとソフトウェアスタンバイモードおよびハードウェアスタンバイモードの3つのモードがあります。ソフトウェアスタンバイモードとハードウェアスタンバイモードを総称してスタンバイモードとよびます。低消費電力状態の詳細は「第22章 低消費電力モード」を参照してください。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

状態間の遷移を図 2.6 に示します。

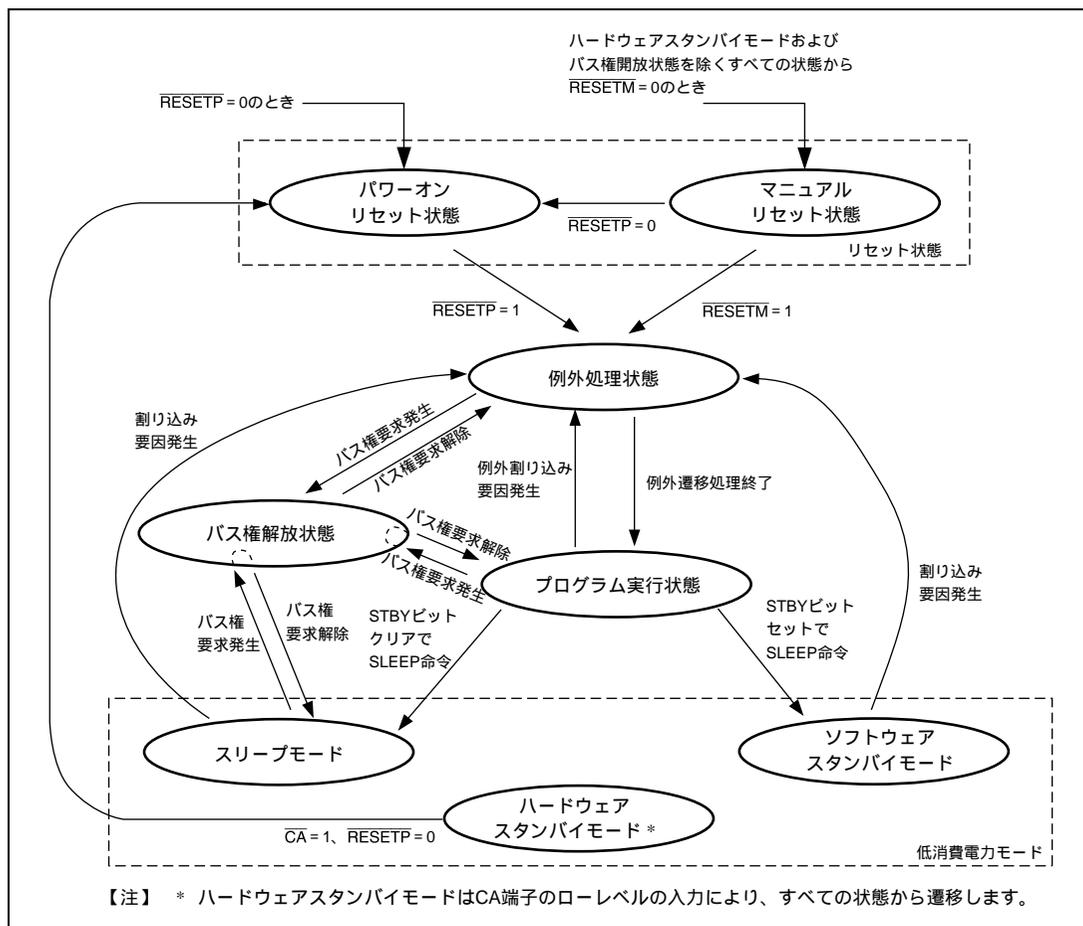


図 2.6 処理状態の状態遷移図

2.5.2 処理モード

処理モードには特権モードとユーザモードの 2 種類があります。ステータスレジスタ (SR) の処理モードビット (MD) で処理モードが決まります。MD ビットが 0 のときユーザモードになり、1 のとき特権モードになります。リセット状態、例外状態になると、MD ビットが 1 になります。例外処理が終了したときは、MD ビットを 0 にクリアしてユーザモードに切り替えます。特権モードでのみアクセスできるレジスタとビットがあります。

3. メモリマネジメントユニット (MMU)

本 LSI にはメモリマネジメントユニット (MMU) が内蔵されており、アドレス変換を実行します。内蔵されたアドレス変換バッファ (TLB) は、外部メモリに配置されたユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、論理アドレスから物理アドレスへの変換を高速に実行できます。アドレス変換はページング方式で、2 種類 (1K/4K バイト) のページサイズをサポートしています。また、特権モード、ユーザモードのそれぞれにおいて、論理アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

3.1 MMU の役割

MMU とは物理メモリを有効に利用するために考え出された機能です。図 3.1 に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 3.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行しては、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 3.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていけば良くなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。MMU は通常 OS が管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ替えを行います。物理メモリの入れ替えは 2 次記憶などとの間で行われます。

こうして生まれた仮想記憶方式は複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) 上で威力を発揮します (図 3.1 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 3.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらにあるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

3. メモリマネジメントユニット (MMU)

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスすることがあります。そのとき MMU は例外を発生させ、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュと言えます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときの、アドレス変換情報の入れ替えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページとよばれるアドレス空間 (通常 1K ~ 64K バイト) が変換の単位となります。

以下本 LSI では仮想メモリ上のアドレス空間のことを論理アドレス空間、物理メモリ上のアドレス空間のことを物理メモリ空間とよぶことにします。

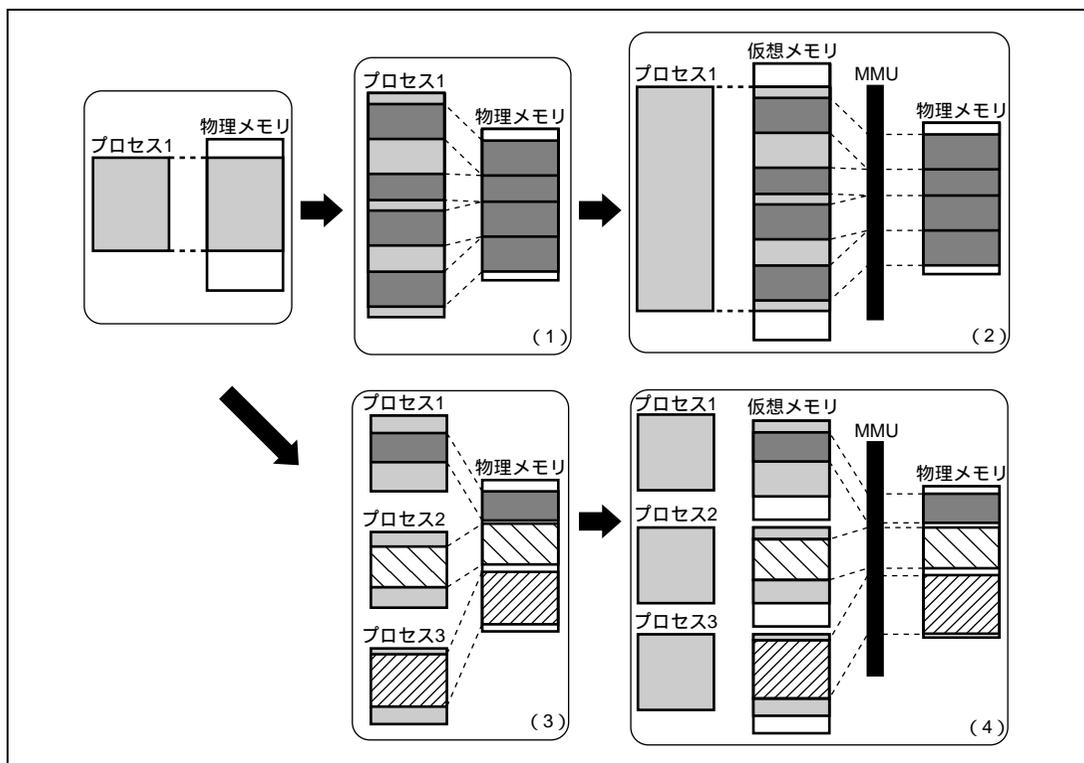


図 3.1 MMU の役割

3.1.1 本 LSI の MMU

(1) 論理アドレス空間

本 LSI は 32 ビットの論理アドレスをサポートし、4G バイトの論理アドレス空間をアクセスできます。論理アドレス空間は図 3.2 に示すとおり、いくつかの領域に分かれています。

特権モードでは P0 ~ P4 の 5 つの領域に分かれます。

P0、P3 領域は、アドレス変換テーブルの情報に従い、ページ単位で物理アドレス空間にマッピングされます。またライトアクセスはキャッシュ制御レジスタ (CCR) の設定により、ライトバックとライトスルーが選択可能です。

P1 領域は物理アドレス空間 (H'0000 0000 ~ H'1FFF FFFF) に固定的にマッピングされます。P1 領域では論理アドレスの MSB (ビット 31) を 0 にしたアドレスが、対応する物理アドレスになります。P1 領域のアクセスはキャッシング可能で、キャッシングするかどうかは、CCR の設定で決定され、ライトバックとライトスルーが選択可能です。

P2 領域は物理アドレス空間 (H'0000 0000 ~ H'1FFF FFFF) に固定的にマッピングされます。P2 領域では論理アドレスの上位 3 ビット (ビット 31、30、29) をすべて 0 にしたアドレスが、対応する物理アドレスになります。P2 領域のアクセスはキャッシングされません。

P1、P2 領域はアドレス変換テーブルによるマッピングを行わないため、TLB が使用されず、TLB ミスなどの例外が発生しません。このため、MMU 制御レジスタの初期設定や、例外処理ルーチンなどを P1、P2 領域に配置してください。P1 領域はキャッシングされるため、高速処理が必要なルーチンは P1 領域に配置してください。

周辺モジュールの制御レジスタの一部は、P2 領域に配置されています。

P4 領域は、周辺モジュールレジスタなど制御用の領域として使用されます。アドレス H'E000 0000 ~ H'EFFFF FFFF、H'F400 0000 ~ H'FBFF FFFF は、予約領域です。アクセスした場合の動作は保証されません。アドレス H'F000 0000 ~ H'F1FF FFFF はキャッシュが、H'F200 0000 ~ H'F3FF FFFF は TLB が割り付けられています。アドレス H'FC00 0000 ~ H'FFFF FFFF は制御レジスタ空間です。ただし、制御レジスタが割り付けられていないアドレスにアクセスした場合の動作は保証されません。

ユーザモードでは、H'0000 0000 ~ H'7FFF FFFF の 2G バイトの論理アドレス空間 (U0 領域) をアクセスできます。U0 領域はアドレス変換テーブルの情報に従い、ページ単位で物理アドレス空間にマッピングされます。H'8000 0000 ~ H'FFFF FFFF の 2G バイトの論理アドレス空間は、ユーザモードでアクセス禁止です。アクセスすると CPU アドレスエラーが発生します。またライトアクセスは CCR の設定により、ライトバックとライトスルーが選択可能です。

3. メモリマネジメントユニット (MMU)

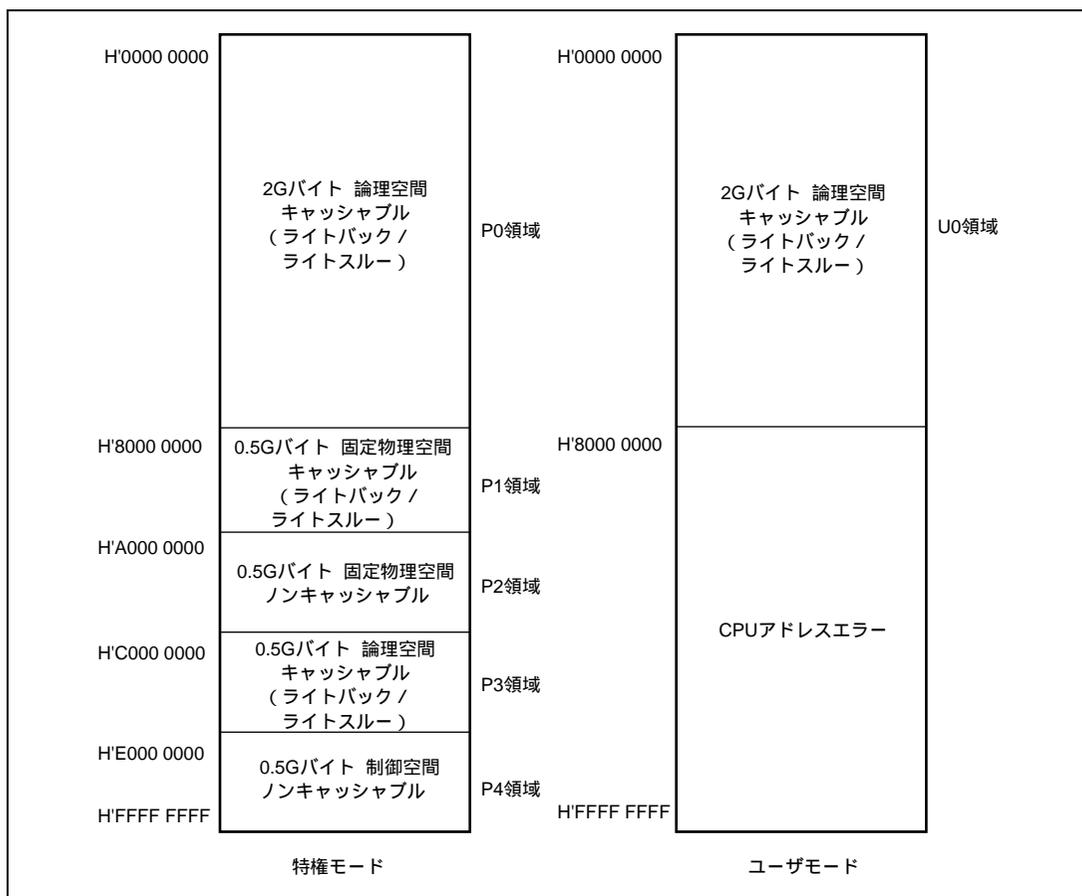


図 3.2 論理アドレス空間

(2) 物理アドレス空間

本 LSI は 32 ビットの物理アドレスをサポートしますが、実際上位の 3 ビットは無視されシャドウとして扱われます。詳細は「第 8 章 バスステートコントローラ (BSC)」を参照してください。

(3) アドレス変換

MMU がイネーブルされているとき、論理アドレス空間は、ページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、論理アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納されています。TLB はアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容をキャッシングします。P4 領域以外へのアクセスが発生し、そのアクセスされた論理アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その論理アドレスが P0、P3、U0 領域に属する場合には、論理アドレスで TLB が検索され、その論理アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスページ管理情報が読み出され、物理アドレスが決定されます。またアクセスされた論理アドレスが TLB に登録されていない場合には、TLB ミス

例外が発生し、処理が TLB ミス例外処理ルーチンに移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。ただし MMU がイネーブルの状態では物理アドレスが H'8000 0000 ~ H'FFFF FFFF となるようなアドレス変換情報は TLB へ登録しないでください。

MMU がディスエーブルされているときは、論理アドレスがそのまま物理アドレスとなります。本 LSI では物理アドレス空間として 29 ビットアドレス空間をサポートしているため、物理アドレスの上位 3 ビットが無視されシャドウ空間となります。例えば P0 領域の H'0000 1000 番地と P1 領域の H'8000 1000 番地と P2 領域の H'A000 1000 番地と P3 領域の H'C000 1000 番地はすべて同一の物理メモリにマッピングされます。これらのアドレスへのアクセスをキャッシュイネーブルの状態で行った場合、キャッシュのアドレスアレイにはデータの一致性を保証するために物理アドレスの上位 3 ビットを 0 にマスクしたアドレスが格納されます。

(4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には単一仮想記憶方式と多重仮想記憶方式があり、MMU 制御レジスタにより選択が可能です。単一仮想記憶方式では、複数のプロセスが論理アドレス空間を排他的に使用しながら同時に走行し、ある論理アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが論理アドレス空間を共有して使用しながら走行するため、ある論理アドレスはプロセスにより異なる物理アドレスに変換され得ます。これらの方式は単一仮想記憶モードと多重仮想記憶モードとしてサポートされており、MMU 制御レジスタ (MMUCR) の設定で切り替えることが可能です。単一仮想記憶モードと多重仮想記憶モードとの動作上の違いは TLB のアドレス比較の方式のみです。

(5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、アドレス空間識別子 (ASID) は論理アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内のページテーブルエントリ上位レジスタ (PTEH) に現在走行中のプロセスの ASID をセットすることで設定できます。ASID によりプロセス切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は論理アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

3. メモリマネジメントユニット (MMU)

3.2 レジスタの説明

MMU 処理に関するレジスタは5つあります。これらのレジスタは、P4 領域に配置され、特権モードのときのみアドレスを指定してアクセスすることができます。

MMU には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第23章 制御レジスタ一覧」を参照してください。

- ページテーブルエントリ上位レジスタ (PTEH)
- ページテーブルエントリ下位レジスタ (PTEL)
- 変換テーブルベースレジスタ (TTB)
- TLB例外アドレスレジスタ (TEA)
- MMU制御レジスタ (MMUCR)

3.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は、論理ページ番号 (VPN) と ASID から構成されています。VPN は MMU 例外または CPU アドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた論理アドレスの VPN が設定されます。ページサイズが 4 K バイトページの時、VPN は論理アドレスの上位 20 ビットとなりますが、この場合は論理アドレスの上位 22 ビットが設定されます。VPN はソフトウェアからも変更が可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。この VPN と ASID が LDTLB 命令により TLB に登録されます。

ビット	ビット名	初期値	R/W	説明
31~10	VPN		R/W	論理ページ番号
9、8		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
7~0	ASID		R/W	アドレス空間識別子

3.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は、LDTLB 命令により TLB に登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がないかぎり内容が変更されることはありません。

ビット	ビット名	初期値	R/W	説明
31~10	PPN		R/W	物理ページ番号
9	V	0	R	ページ管理情報 詳細は「3.3 TLBの機能」を参照してください。
8		R/W		
7	PR	0	R	
6、5		R/W		
4	SZ		R/W	
3	C		R/W	
2	D		R/W	
1	SH		R/W	
0		0	R	

3.2.3 変換テーブルベースレジスタ (TTB)

TTB は、32 ビットのレジスタです。TTB は、たとえば現在使っているページテーブルのベースアドレスの格納用に使用します。TTB はソフトウェアの指示がないかぎり内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

3.2.4 TLB 例外アドレスレジスタ (TEA)

TEA は、32 ビットのレジスタです。TEA には、MMU 例外または CPU アドレスエラー例外発生後に、例外を発生させた論理アドレスが格納されます。この値は次の例外や割り込みが発生するまでの間有効です。

3.2.5 MMU 制御レジスタ (MMUCR)

MMUCR は、MMU の設定を行います。MMUCR を書き換えるプログラムは P1、P2 領域に配置してください。

ビット	ビット名	初期値	R/W	説明
31~9		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
8	SV		R/W	単一仮想記憶モード 0：多重仮想記憶モード 1：単一仮想記憶モード
7、6		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。

3. メモリマネジメントユニット (MMU)

ビット	ビット名	初期値	R/W	説明
5、4	RC	すべて0	R/W	ランダムカウンタ 2ビットのカウンタでMMU例外発生時にハードウェアが次の規則で自動的に更新します。TLBミス例外が発生した場合には、例外を発生させた論理アドレスに対応するTLBエントリの全ウェイを調べ、全ウェイが有効ならRCには1が加えられ、1つ以上の無効なウェイが存在するなら、ウェイ0、ウェイ1、ウェイ2、ウェイ3の順にウェイ0から優先的にRCへ設定されます。TLBミス例外以外のMMU例外が発生した場合には例外を発生させたウェイがRCに設定されます。
3		0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
2	TF	0	R/W	TLBフラッシュ 1を書き込むとTLBの有効ビットをすべて0にクリア(フラッシュ)します。読み出しは0が読み出されます。
1	IX	0	R/W	インデックスモード 0のときVPN(16~12)をTLBのインデックス番号に使用します。1のときPTEH中のASID(4~0)とVPN(16~12)のEX-ORした値をインデックス番号に使用します。
0	AT	0	R/W	アドレス変換 MMUのイネーブル(有効)とディスエーブル(無効)を指定。 0:ディスエーブル 1:イネーブル

3.3 TLBの機能

3.3.1 TLBの構成

TLBは、外部メモリ上に置かれるアドレス変換テーブル情報をキャッシングします。アドレス変換テーブルには、論理ページ番号とそれに対応する物理ページ番号、アドレス空間識別子およびページ管理情報が格納されています。図3.3にTLB全体構成を示します。TLBは4ウェイセットアソシアティブ方式で1ウェイ当たり32エントリの計128エントリで構成されています。図3.4に論理アドレスとTLBエントリの構成を示します。

3. メモリマネジメントユニット (MMU)

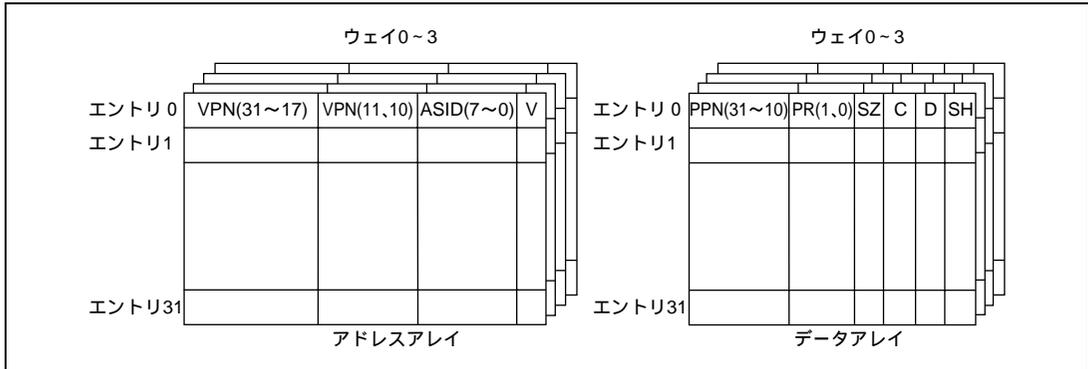


図 3.3 TLB 全体構成

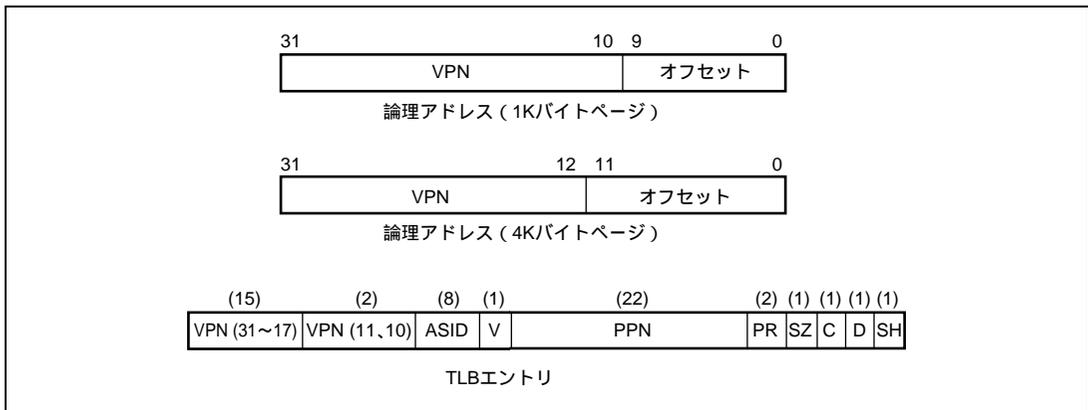


図 3.4 論理アドレスと TLB エントリの構成

3. メモリマネジメントユニット (MMU)

<記号説明>

VPN:	論理ページ番号	1K バイトページのと看、論理アドレスの上位 22 ビット 4K バイトページのと看、論理アドレスの上位 20 ビット ただし VPN (16 ~ 12) はインデックス番号に使用されるため TLB エントリには格納されません。
ASID:	アドレス空間識別子	論理ページをアクセスできるプロセスを示します。 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのと看で、SH ビットが 0 ならアドレス比較の際にページテーブルエントリ上位レジスタ (PTEH) 中の ASID と比較されます。
SH:	共有状態ビット	0 のとき複数のプロセスでページを共有しません。 1 のとき複数のプロセスでページを共有します。
SZ:	ページサイズビット	0 のとき 1K バイトページ 1 のとき 4K バイトページ
V:	有効ビット	エントリが有効かどうかを示します。0 のとき無効、1 のとき有効。 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN:	物理ページ番号	物理アドレスの上位 22 ビット。 4K バイトページのと看は PPN (11、10) は使用されません。 1K バイトページのと看はシノニム問題に注意してください (「3.4.4 シノニム問題の回避」を参照) また最上位の 1 ビットは必ず 0 を書き込んでください。
PR:	保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ。 00: 特権モードで読み出しのみ可能。 01: 特権モードで読み出し / 書き込み可能。 10: 特権 / ユーザモードで読み出しのみ可能。 11: 特権 / ユーザモードで読み出し / 書き込み可能。
C:	キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 のときキャッシング不可能。 1 のときキャッシング可能。

- D: ダーティビット ページに書き込みが行われたかどうかを示します。
 0 のとき書き込みが行われていない。
 1 のとき書き込みが行われている。

3.3.2 TLB のインデックス番号作成方法

TLB は 4 ウェイセットアソシアティブ方式のため、エントリをインデックス番号により選択する必要があります。インデックス番号としては VPN (16~12) と PTEH 中の ASID (4~0) を使用します。MMUCR の IX ビットによってインデックス番号の生成方法が異なります。

1. IX=1 のとき

VPN (16~12) と ASID (4~0) との EX-OR をインデックス番号として使用します。

2. IX=0 のとき

VPN (16~12) をインデックス番号として使用します。

1. の方法は、同時に多数のプロセスが同一の論理アドレス空間を走行するとき (多重仮想記憶モード)、インデックス番号生成の結果、特定のエントリが複数のプロセスによって選択され、TLB のヒット率が低下するのを防ぐことを目的としています。図 3.5、図 3.6 に TLB のインデックス番号作成の方法を示します。

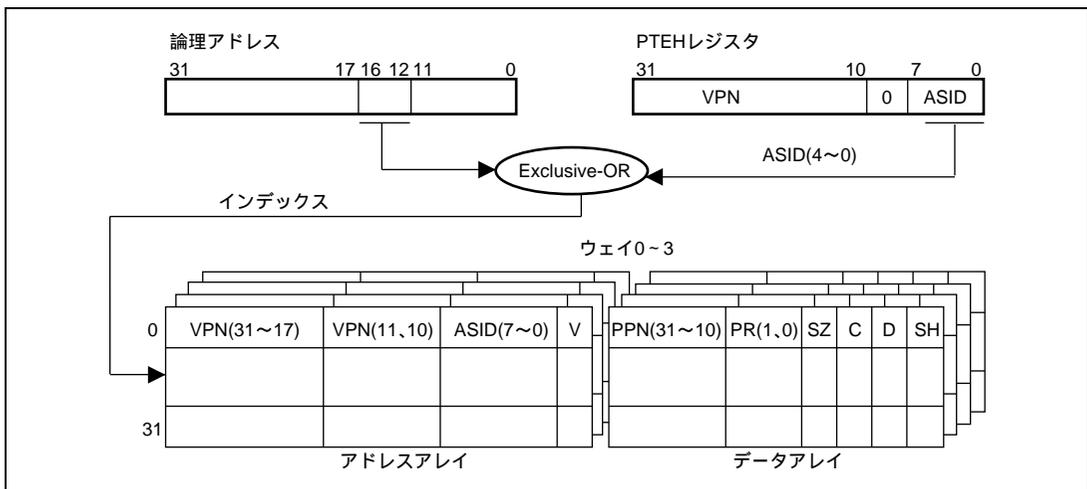


図 3.5 TLB インデックス番号作成の方法 (IX=1)

3. メモリマネジメントユニット (MMU)

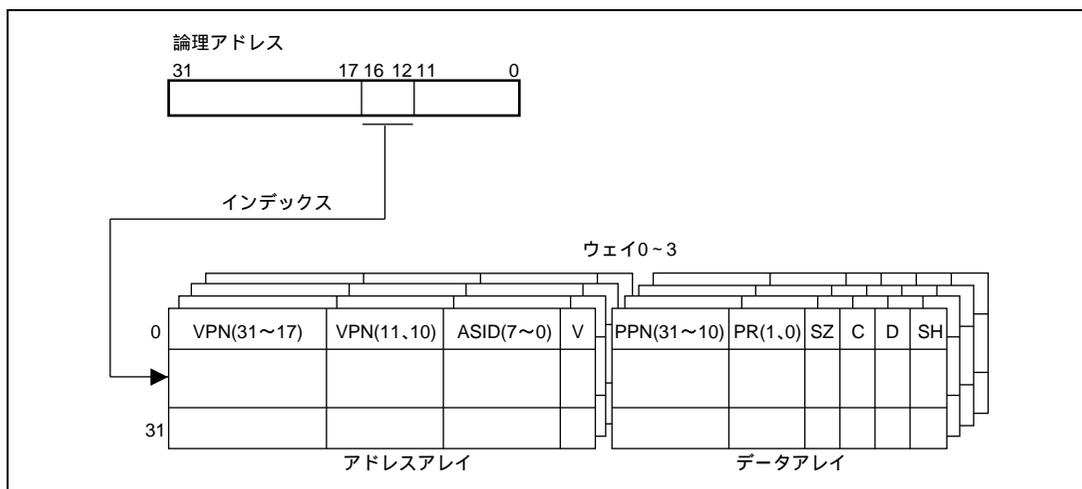


図 3.6 TLB インデックス番号作成の方法 (IX=0)

3.3.3 TLB のアドレス比較

TLB のアドレス比較は、外部メモリ上のプログラムからの命令フェッチや外部メモリ上のデータの参照の際に行われます。アドレス比較で用いられる比較対象は VPN と ASID です。外部メモリをアクセスする論理アドレスの VPN と、インデックス番号で選択された TLB エントリの VPN とが比較されます。また PTEH 中の ASID と、インデックス番号で選択された TLB エントリの ASID とが比較されます。比較は 4 つのウェイトも同時に行われます。比較の結果一致し、かつインデックス番号で選択された TLB エントリが有効 (V=1) であった場合、TLB ヒットとなります。このとき、複数のウェイトに同時に TLB ヒットしないことをソフトウェアで保証してください。複数のウェイトに同時に TLB ヒットした場合のハードウェアの動作は保証しません。たとえば VPN が同一の 2 つの TLB エントリにおいて、一つは共有状態 (SH=1)、もう一つは非共有状態 (SH=0) で ASID=H'FF のプロセスでのみ TLB ヒットするような設定がなされていた場合に、PTEH 中の ASID を H'FF にすると、これら 2 つのウェイトに同時に TLB ヒットする可能性があります。このような設定は、ソフトウェアで行わないようにしてください。

TLB エントリ中のページ管理情報 (SZ, SH) によって比較対象が変化します。また、システムが多重仮想記憶モードと単一仮想記憶モードのどちらをサポートするかで、比較対象が変化します。

ページサイズビット (SZ) によって、VPN (11, 10) を比較するか決まります。1K バイトページ (SZ=0) のときは、VPN (11, 10) を比較し、4K バイトページ (SZ=1) のときは、比較しません。

共有状態ビット (SH) によって、PTEH 中の ASID と、TLB エントリ中の ASID とを比較するか決まります。複数のプロセスで共有されている (SH=1) 場合、ASID は比較しません。共有されていない (SH=0) の場合、ASID を比較します。

単一仮想記憶モード (MMUCR の単一仮想記憶モードビット (SV)=1) かつ、特権モード (ステータスレジスタ (SR) の処理モードビット (MD)=1) のときには、ASID を比較しないため、すべてのプロセスのリソースにアクセス可能となります。図 3.7 にアドレス比較対象をまとめます。

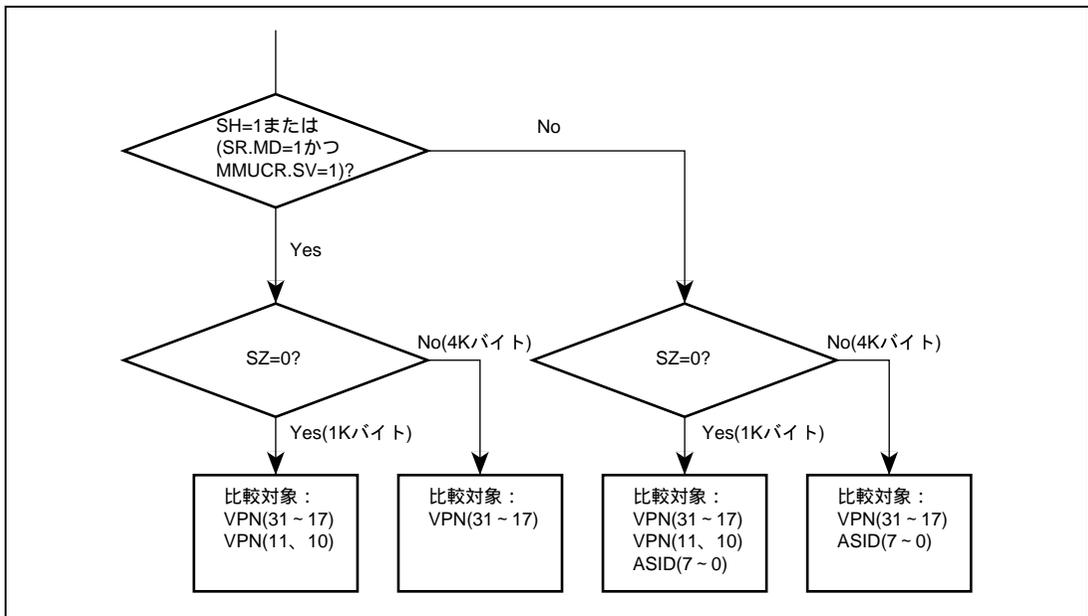


図 3.7 アドレス比較対象

3. メモリマネジメントユニット (MMU)

3.3.4 ページ管理情報

TLB エントリ中のページ管理情報には SH、SZ ビット以外に、D、C、PR ビットがあります。

D ビットは、エントリに対応するページがダーティであるかを示します。ダーティとは、そのページに対して書き込みがあったことを意味します。D ビットが 0 の状態で、そのページにライトすると、初期ページ書き込み例外が発生します。たとえば、2 次記憶と主記憶間で、物理ページの入れ替えをする場合に、ダーティなページを 2 次記憶に書き戻してから、そのページを主記憶からページアウトするという制御を行います。メモリ上のアドレス変換テーブルに、あるページの書き込みがあったことを記憶するために、初期ページ書き込み例外が利用されます。

C ビットはエントリに対応するアクセスページをキャッシングするかを示します。

PR ビットは特権モード、ユーザモードそれぞれにおける、そのページに対するアクセス権を示し、記憶保護に使用されます。アクセス権に違反するアクセスを行うと、TLB 保護違反例外が発生します。

D、C、PR ビットによるアクセス状態を表 3.1 に示します。

表 3.1 D、C、PR ビットによるアクセス状態

		特権モード		ユーザモード	
		読み出し	書き込み	読み出し	書き込み
D ビット	0	可能	初期ページ 書き込み例外	可能	初期ページ 書き込み例外
	1	可能	可能	可能	可能
C ビット	0	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)
	1	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)
PR ビット	00	可能	TLB 保護違反例外	TLB 保護違反例外	TLB 保護違反例外
	01	可能	可能	TLB 保護違反例外	TLB 保護違反例外
	10	可能	TLB 保護違反例外	可能	TLB 保護違反例外
	11	可能	可能	可能	可能

3.4 MMU の機能

3.4.1 MMU のハードウェア管理

MMU のハードウェア管理には次の 2 つがあります。

1. プロセスからアクセスされた論理アドレスをデコードし、MMUCRの設定に従い、TLBを制御してアドレス変換を行います。
2. アドレス変換時にTLBからページ管理情報とヒット情報を受け、MMU例外の判定とキャッシュをアクセスするかどうかの判定 (Cビット) を行います。この判定方法とハードウェアの処理については「3.5 MMU 例外」を参照してください。

3.4.2 MMU のソフトウェア管理

MMU のソフトウェア管理には次の 3 つがあります。

1. MMUレジスタの設定。特にMMUCRの設定は、アドレス変換を行わないP1、P2領域で行うようにしてください。さらにSV、IXビットの変更はアドレス変換方式の変更になるので、この場合はTFビットにも同時に1を書き込んでTLBのフラッシュを行うようにしてください。ATビットを0にしたMMUディスエーブルの状態ではMMU例外が発生しなくなるので、MMUを使用しないソフトウェアでは必ずディスエーブルの状態で使用してください。
2. TLBエントリの登録、削除、読み出し。TLBエントリへの登録にはLDTLB命令を用いる方法とメモリ割り付けTLBに直接書き込む方法があります。TLBエントリの削除と読み出しは、メモリ割り付けTLBをアクセスすることで可能です。LDTLB命令については「3.4.3 MMUの命令」を、またメモリ割り付けTLBについては「3.6 メモリ割り付けTLBの構成」を参照してください。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。詳細は「3.5 MMU例外」を参照してください。

また単一仮想記憶モードを使用するときは、共有状態ビット (SH) を 0 にしてすべての TLB エントリの登録をすることで、特権モードのときだけ全物理メモリへのアクセスを許可する状態を作り出すことができます。これによりプロセス間の記憶保護を強化し、特権モードにだけ特別なアクセスレベルを作り出すことが可能になります。

1K バイトページの TLB エントリを登録することによりシノニム問題が発生する可能性があります。「3.4.4 シノニム問題の回避」を参照してください。

3. メモリマネジメントユニット (MMU)

3.4.3 MMU の命令 (LDTLB)

TLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令は MMUCR の IX ビットが 0 のとき、PTEH 内で指定された VPN (16~12) をインデックス番号とし、MMUCR の RC ビットで指定されたウェイの TLB エントリを、PTEH と PTEL で指定した値に変更します。MMUCR の IX ビットが 1 のときは、PTEH 内で指定された VPN (16~12) と PTEH 内の ASID (4~0) の EX-OR がインデックス番号として用いられます。

図 3.8 に MMUCR の IX ビットが 0 の場合を示します。

PTEH には MMU 例外が発生したときに、例外が発生させた論理アドレスの論理ページ番号がハードウェアにより設定されます。また MMUCR の RC ビットには、MMU 例外ごとに「3.2.5 MMU 制御レジスタ」の記述に従ってウェイが設定されます。このため MMU 例外処理ルーチンの中では PTEL だけを設定して LDTLB 命令を発行すれば、TLB エントリの登録が行えることとなります。また、ソフトウェアにより PTEH と MMUCR の RC ビットを書き換えることで、任意の TLB エントリを書き換えることも可能です。

LDTLB 命令はアドレス変換情報を変更するため、この命令を P0、U0、P3 領域で発行するとアドレス変換情報を壊す危険があります。必ず P1、P2 領域で発行するようにしてください。また、P0、U0、P3 領域のアクセスを伴う命令 (RTE 命令など) は、LDTLB 命令の 2 命令以降に発行してください。

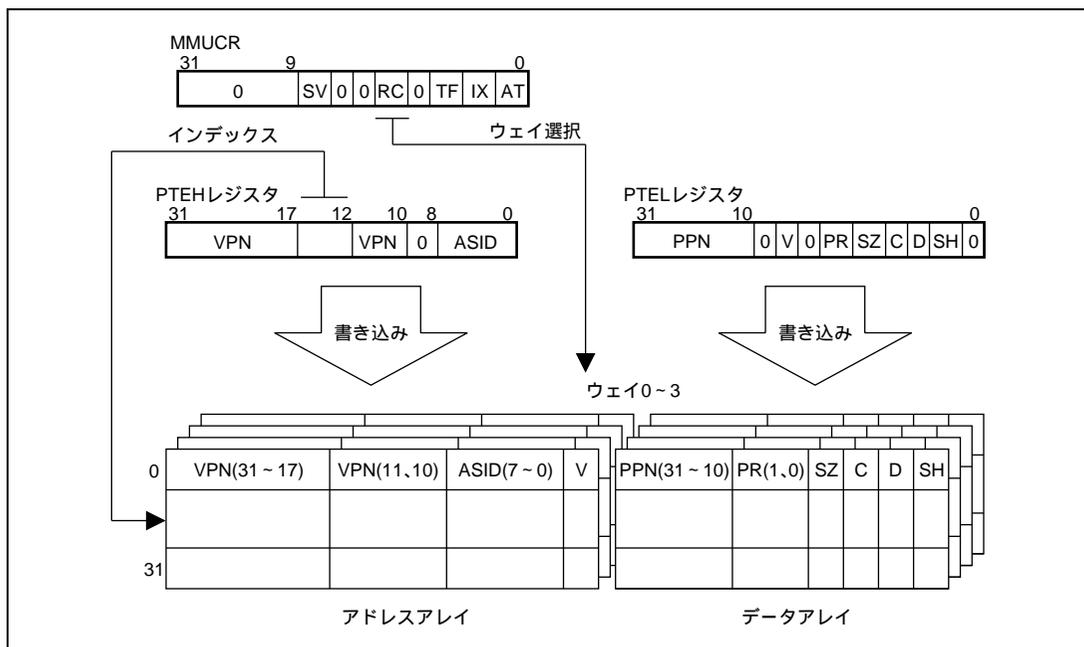


図 3.8 LDTLB 命令の動作

3.4.4 シノニム問題の回避

TLB エントリに 1K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の論理アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数エントリに同一の物理アドレスのデータが登録されてしまい、データの一致性が保証されなくなるという問題です。この問題が 1K バイトページを使用した場合にのみ発生する理由を図 3.9 を用いて説明します。

本 LSI のキャッシュは高速に動作するために論理アドレス (11~4) を用いてインデックス番号の作成を行います。4K バイトページを使用した場合には論理アドレス (11~4) はオフセットに含まれ、アドレス変換の対象とならないため、物理アドレス (11~4) と同じになります。キャッシュでのアドレス比較とアドレスアレイへの登録には、キャッシュのタグアドレスが物理アドレスであるため、物理アドレスの (31~10) が登録されます。

1K バイトページを使用した場合にも論理アドレス (11~4) でキャッシュのインデックス番号の作成が行われます。しかし 1K バイトページの場合、論理アドレス (11, 10) はアドレス変換の対象となるため、物理アドレス (11, 10) と等しくならない可能性があります。このため、キャッシュのアドレスアレイの、物理アドレスで示されるインデックス番号とは異なるエントリに、物理アドレスが登録されることとなります。

たとえば 1K バイトページの TLB エントリで

論理アドレス1	H'0000 0000	物理アドレス	H'0000 0C00
論理アドレス2	H'0000 0C00	物理アドレス	H'0000 0C00

のような変換をする TLB エントリが 2 つ TLB に登録されていたとします。論理アドレス 1 はキャッシュのエントリ H'00 へ登録され、論理アドレス 2 はキャッシュのエントリ H'C0 へ登録されることとなります。物理アドレスが等しいにもかかわらず、別のキャッシュエントリへ登録されるため、片方の論理アドレスへ 1 度でも書き込みが発生すると一致性が保たれなくなります。

このため 1K バイトの TLB エントリを登録するときには、物理アドレスがすでに別の TLB エントリで使用されている物理アドレスと等しいなら、論理アドレス (11, 10) を等しくなるように登録してください。

3. メモリマネジメントユニット (MMU)

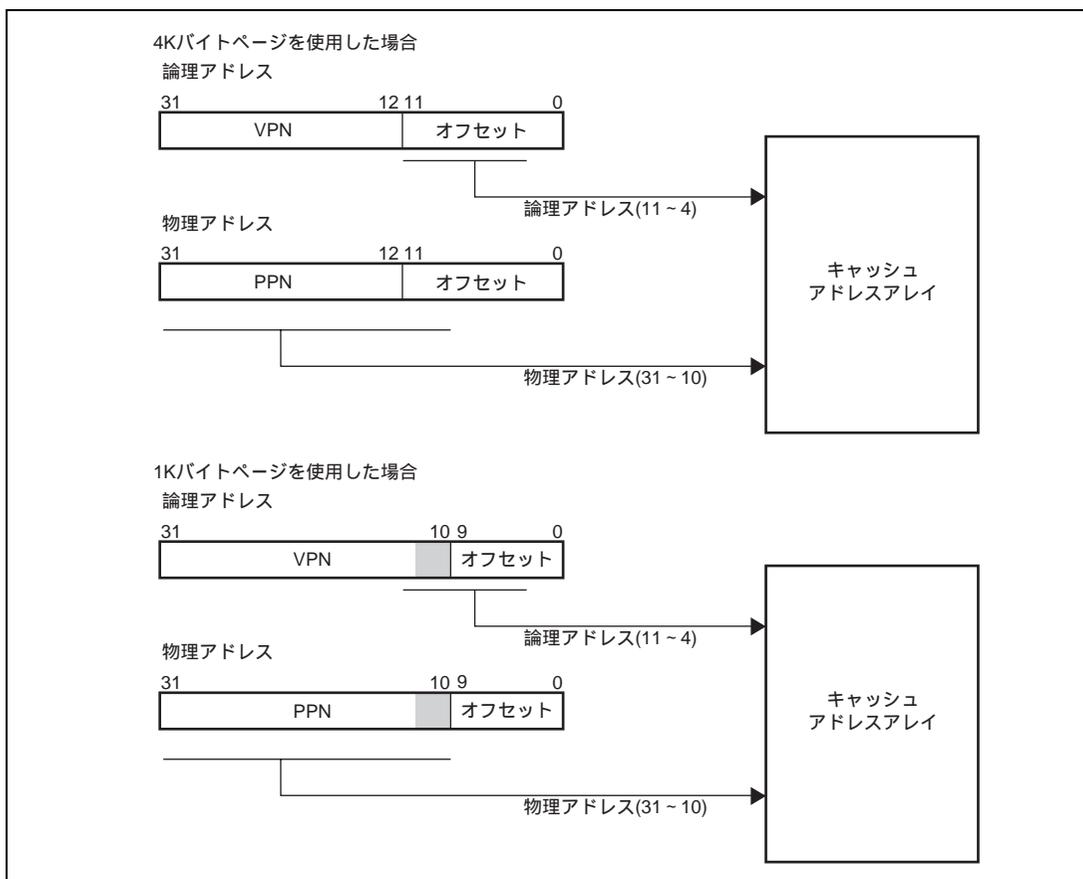


図 3.9 シノニム問題

3.5 MMU 例外

MMU 例外には、TLB ミス例外、TLB 保護違反例外、TLB 無効例外、および初期ページ書き込み例外の 4 つがあります。

3.5.1 TLB ミス例外

TLB ミス例外は、論理アドレスと選ばれたエントリのアドレスアレイとを比較して、一致するものが見つからなかった場合に発生します。TLB ミス例外のハードウェアで行われる処理とソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した論理アドレスの論理ページ番号 (VPN) がPTEHに書き込まれます。
2. 例外の発生した論理アドレスがTEAに書き込まれます。
3. 読み出しのときは例外コードH'040が、書き込みのときは例外コードH'060が、例外事象レジスタ (EXPEVT) に書き込まれます。
4. 例外が発生した命令のアドレスを指すプログラムカウンタ (PC) の値が退避プログラムカウンタ (SPC) に書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのステータスレジスタ (SR) の内容が退避ステータスレジスタ (SSR) に書き込まれます。
6. SRのモードビット (MD) が1にセットされ、特権モードに切り替わります。
7. SRのブロックビット (BL) が1にセットされ、これ以降の例外要求がマスクされます。
8. SRのレジスタバンクビット (RB) が1にセットされます。
9. 例外を発生させた論理アドレスに対応するTLBエントリの全ウェイを調べ、全ウェイが有効ならMMUCRのランダムカウンタ (RC) には1が加えられ、1つ以上の無効なウェイが存在するならウェイ0、ウェイ1、ウェイ2、ウェイ3の順にウェイ0から優先的にRCへそのウェイが設定されます。
10. ベクタベースレジスタ (VBR) の内容にオフセットH'0000 0400を加えたアドレスに分岐し、TLBミス例外処理ルーチンが開始されます。

- ソフトウェア処理 (TLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの物理ページ番号 (PPN)、保護キーデータ (PR)、ページサイズビット (SZ)、キャッシング可能ビット (C)、ダーティビット (D)、共有状態ビット (SH)、有効ビット (V) の各ビットの値を、PTELに書き込みます。
2. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合、その値をMMUCRレジスタのRCに書き込みます。
3. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令以降にRTE命令を発行してください。

3.5.2 TLB 保護違反例外

TLB 保護違反例外は、論理アドレスが選ばれた TLB エントリのアドレスアレイと比較され、その結果、アドレスが一致してエントリが有効であったにもかかわらず、実際のアクセスタイプが PR キーで指定されたアクセス権で許可されていない場合に発生します。TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェアの処理

TLB 保護違反例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 読み出しのときは例外コードH'0A0が、書き込みのときは例外コードH'0C0が、EXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り替わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのRBが1にセットされます。
9. 例外が発生したウェイがMMUCRのRCにセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、TLB保護違反例外処理ルーチンが開始されます。

- ソフトウェアの処理 (TLB保護違反例外処理ルーチン)

TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB 命令の 2 命令以降に RTE 命令を発行してください。

3.5.3 TLB 無効例外

TLB 無効例外は、論理アドレスが選ばれた TLB エントリのアドレスアレイと比較され、その結果アドレスが一致しても、エントリが有効でなかった (V ビットが 0) 場合に発生します。TLB 無効例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェアの処理

TLB 無効例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 例外が発生したウェイ番号がMMUCRのRCに書き込まれます。
4. 読み出しのときは例外コードH'040が、書き込みのときは例外コードH'060がEXPEVTに書き込まれます。
5. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
6. 例外が発生したときのSRの内容がSSRに書き込まれます。
7. SRのMDビットが1にセットされ、特権モードに切り替わります。
8. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
9. SRのRBが1にセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、TLB保護違反例外処理ルーチンが開始されます。

- ソフトウェアの処理 (TLB無効例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、Vの各ビットの値を、PTELに書き込みます。
2. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合、その値をMMUCRレジスタのRCに書き込みます。
3. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
4. 最後にRTE命令を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令以降にRTE命令に発行してください。

3.5.4 初期ページ書き込み例外

初期ページ書き込み例外は、論理アドレスと TLB エントリのアドレスレイの内容を比較して一致し、エントリが有効で、書き込みアクセスのアクセス権が許されているにもかかわらず、ダーティビット (D) が 0 (未書き込みページ) の場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェアの処理

初期ページ書き込み例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 例外コードH'080がEXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り替わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのRBが1にセットされます。
9. 例外が発生したウェイがMMUCRのRCにセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、ユーザが作成した初期ページ書き込み例外処理ルーチンが開始されます。

- ソフトウェアの処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. 外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、SH、Vのビットの値を、PTELに書き込みます。
4. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合、その値をMMUCRのRCに書き込みます。
5. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
6. 最後に、RTE命令を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令以降にRTE命令を発行してください。

MMU 例外の流れを図 3.10 に示します。

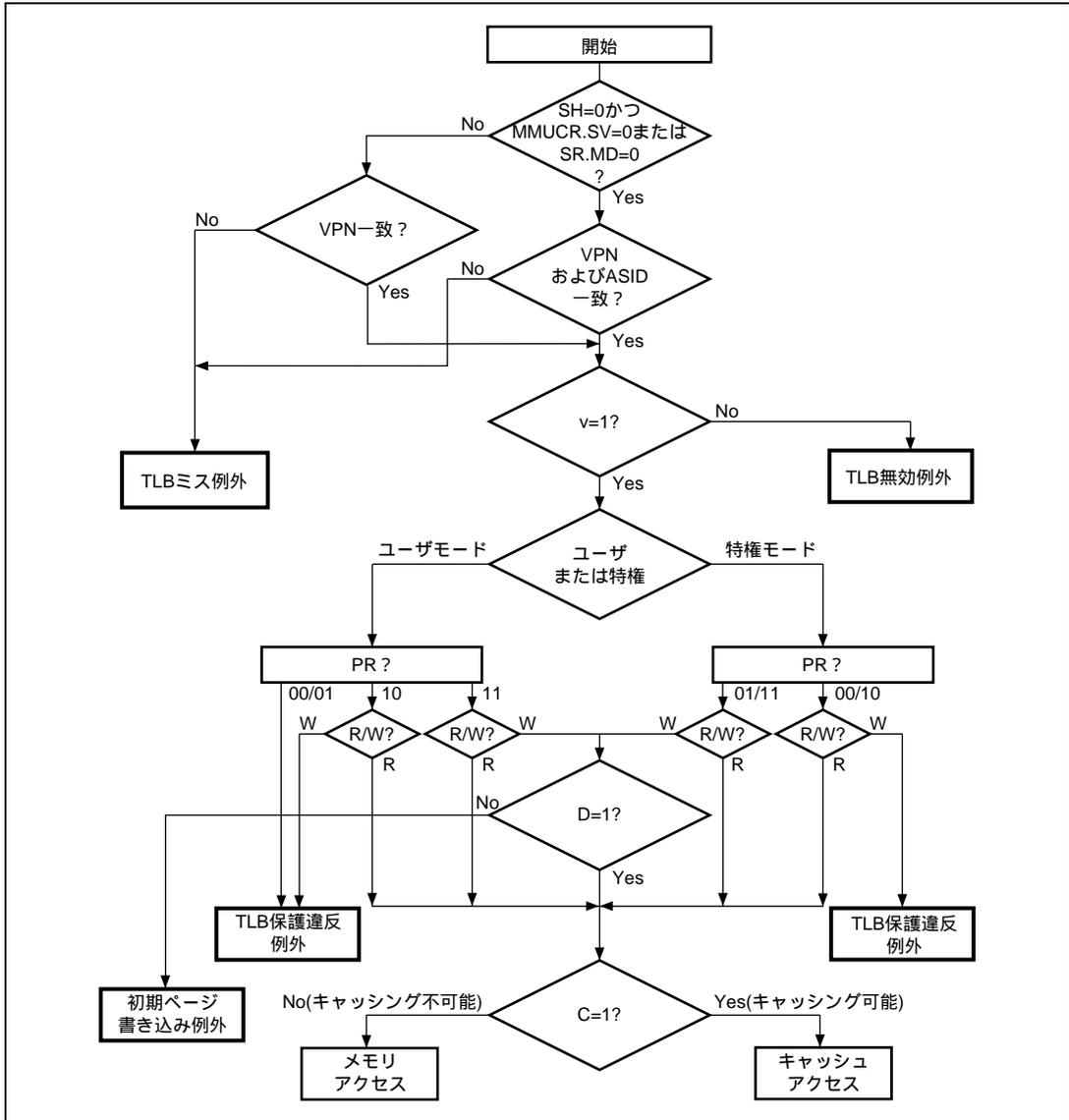


図 3.10 MMU 例外の流れ

3. メモリマネジメントユニット (MMU)

3.5.5 MMU 例外発生時の処理フロー (CPU アドレスエラー発生時の処理フローも同一)

(1) 命令フェッチ時の MMU 例外

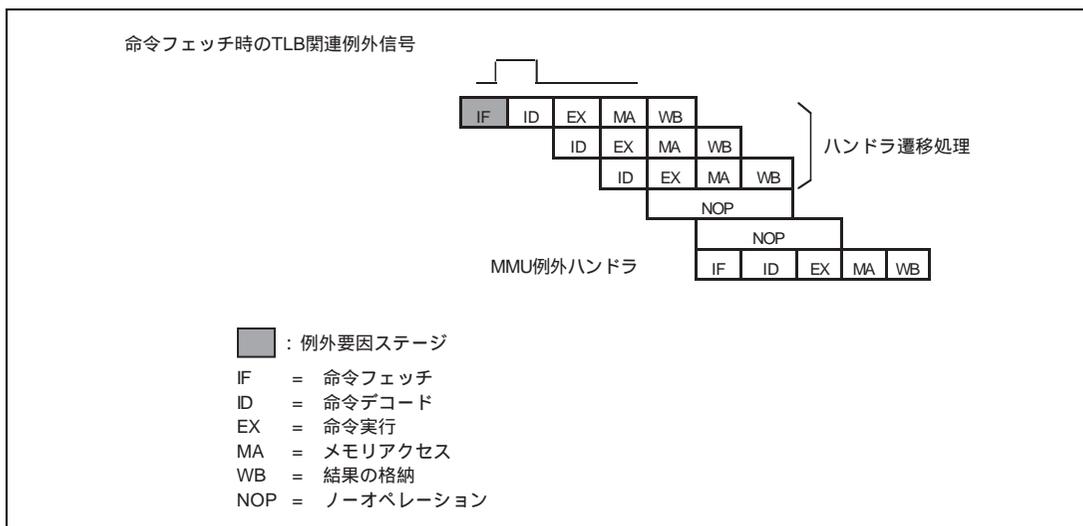


図 3.11 命令フェッチ時の MMU 例外信号

(2) データアクセス時の MMU 例外

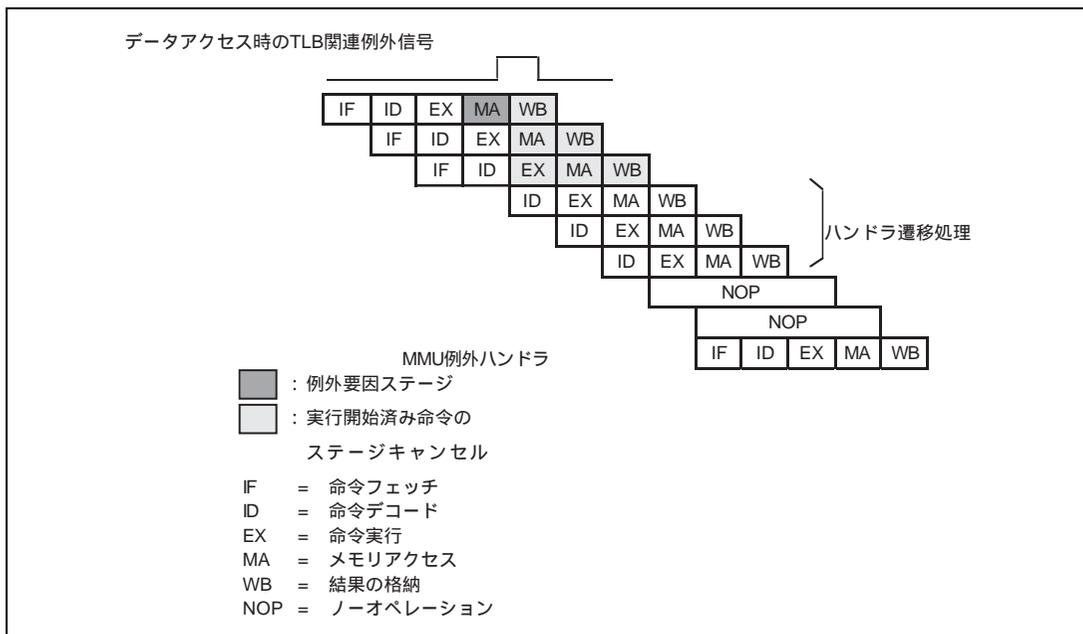


図 3.12 データアクセス時の MMU 例外信号

3.6 メモリ割り付け TLB の構成

TLB をソフトウェアで管理するために、特権モードのとき、MOV 命令によって、TLB の内容を読み出し、書き込み可能です。TLB は論理アドレス空間の P4 領域に割り付けられています。TLB のアドレスアレイ (VPN、V ビット、ASID) は H'F200 0000 ~ H'F2FF FFFF に、データアレイ (PPN、PR、SZ、C、D、SH ビット) は H'F300 0000 ~ H'F3FF FFFF に割り付けられています。ただしアドレスアレイの V ビットはデータアレイからもアクセス可能です。アクセスサイズはアドレスアレイ、データアレイともロングワードのみ可能です。

3.6.1 アドレスアレイ

TLB のアドレスアレイは H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V ビット、および ASID を指定します (図 3.13 (1) 参照)。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN (16 ~ 12) をアドレス部 (16 ~ 12) に、ウェイを選択するための W ビットをアドレス部 (9、8) に、アドレスアレイアクセスを示す H'F2 をアドレス部 (31 ~ 24) に指定します。インデックスアドレスとして VPN (16 ~ 12) と PTEH レジスタ内の ASID (4 ~ 0) との EX-OR をとるかどうかは MMUCR の IX ビットに従います。

書き込みの場合は、インデックスアドレスとウェイで選択されたエントリに書き込みます。

読み出しの場合はアドレス比較を行わず、インデックスアドレスとウェイで選択されたエントリの VPN、V ビット、および ASID が図 3.13 のデータ部のフォーマットで読み出されます。データ部 (16 ~ 12) には 0 が読み出されます。

特定のエントリを無効化したい場合にはエントリおよびウェイを指定し、その V ビットに 0 を書き込みます。

3.6.2 データアレイ

TLB のデータアレイは H'F300 0000 ~ H'F3FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込むロングワードデータを指定します (図 3.13 (2) 参照)。ロングワードデータは PTEL と同じビット構成です。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN (16 ~ 12) をアドレス部 (16 ~ 12) に、ウェイを選択するための W ビットをアドレス部 (9、8) に、データアレイアクセスを示す H'F3 をアドレス部 (31 ~ 24) に指定します。インデックスアドレスとして、VPN (16 ~ 12) と PTEH レジスタ内の ASID (4 ~ 0) との EX-OR をとるかどうかは、MMUCR の IX ビットに従います。

読み出し、書き込みのいずれの場合も、インデックスアドレスとウェイで選択されたデータアレイのロングワードデータが読み出され書き込まれます。

3. メモリマネジメントユニット (MMU)

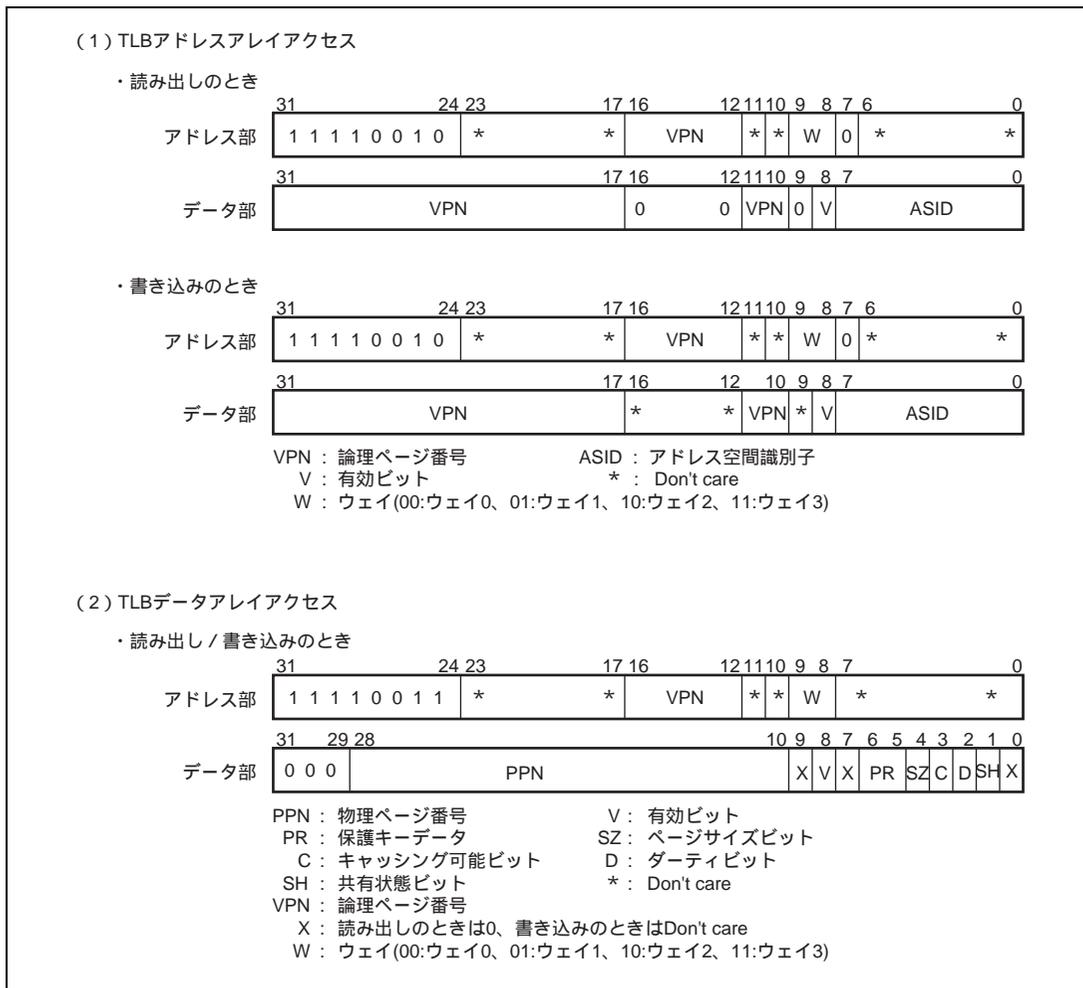


図 3.13 メモリ割り付けされた TLB アクセスのアドレス部、データ部指定方法

3.6.3 使用例

(1) 特定エントリの無効化

TLB の特定エントリの無効化は、そのエントリの V ビットに 0 を書き込むことで実現できます。以下の例では、R0 に書き込みデータ、R1 にアドレスを指定しています。

```
;R0=H'1547 381C  R1=HF201 3000
;MMUCR.IX=0
;VPN(31 ~ 17)=B'000 1010 1010 0011  VPN(11, 10)=B'10  ASID=B'0001 1100に対応する
;エントリをVPN(16 ~ 12)=B'1 0011のインデックスで選択されるエントリとし、
;ウェイ0のVビットを0にして、無効化を実現する。
```

```
MOV.L  R0, @R1
```

(2) データアレイの読み出し

TLB の特定エントリのデータアレイを読み出します。図 3.13 (2) のデータ部で示されるビット順でレジスタに読み出されます。以下の例では、R0 にアドレスを指定し、R1 に読み出しています。

```
;R0=HF300 4300  VPN(16 ~ 12)=B'0 0100  ウェイ3
MOV.L  @R0, R1
```

3.7 使用上の注意事項

3.7.1 SR の MD および BL ビットを操作する命令の使用方法について

レジスタ SR の MD および BL ビットを操作する命令 (LDC Rm, SR 命令、LDC @Rm+, SR 命令、および RTE 命令) とその次の命令、または LDTLB 命令は、TLB がディスエーブル状態か固定物理アドレス空間 (P1 および P2 空間) で使用してください。

3.7.2 TLB の使用方法について

以下の条件がすべて成立した場合は、MMUCR.RC にセットされる値が異常になることがあります。

1. MMU オン(MMUCR.AT=1)で使用
2. TLB アドレスアレイ内の同一エントリの複数ウェイに同一VPN が存在
3. TLB 関連例外発生

VPN は、パワーオンリセットおよびマニュアルリセット時には初期化されません。そのため、同一エントリで 2 つ以上の VPN が同じ値になることがあります。この状態で、たとえばウェイ 3 に登録することにより、TLB アドレスアレイ内のあるエントリが下記の状態になることがあります。この場合は、ウェイ 0 およびウェイ 3 に同

3. メモリマネジメントユニット (MMU)

ー VPN が存在することになり、上記の条件 2. を満たしてしまいます。

リセット後				ウェイ 3 に登録後		
ウェイ	VPN	V		ウェイ	VPN	V
0	12345	0	→	0	12345	0
3	12345	0		3	12345	1

また、ソフトウェアでの TLB ハンドリング方式によっても、本不具合条件を満たすことがあります。たとえば TLB アドレスアレイ内のあるエントリのウェイ 0 を無効化 (V:1 0) したあとに、ウェイ 3 への登録が発生した場合にも下記の状態になることがあります。この場合も、ウェイ 0 およびウェイ 3 に同一 VPN が存在することになり、上記の条件 2. を満たしてしまいます。

ウェイ 0 無効化後				ウェイ 3 に登録後		
ウェイ	VPN	V		ウェイ	VPN	V
0	12345	0	→	0	12345	0
3	11111	0		3	12345	1

本不具合を回避するため、以下の 2 つの対策を行ってください。

- リセット後、MMUCR.AT=1 にセットするまでに、TLB アドレスアレイの全エントリに対して VPN の上位 4 ビットを 1 に初期化してください。
- TLB アドレスアレイを無効化する場合は、V=0 とセットするだけでなく、VPN の上位 4 ビットも 1 に初期化してください。

こうすることにより、VPN がアドレス変換対象領域でなくなります。そのため条件 3. を満たさなくなり、本不具合を回避することができます。

4. 例外処理

4.1 例外処理の機能

例外処理とは、通常のプログラム処理から離れて、通常とは異なるプログラムで必要な処理をすることをいいます。実行中の命令の異常終了による例外処理要求に対応して、ユーザが作成した例外処理ルーチンに制御の流れが移ります。ただし、割り込み要求に対しては、実行中の命令が終了するまで通常のプログラムの処理は続行されます。ここでは、リセットと割り込みを除いた例外を一般例外とよびます。つまり、例外はリセット、一般例外、割り込みの3つに分けられます。

4.1.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR) の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンでは例外処理の終了時に例外処理からの復帰命令 (RTE) を実行させます。この命令で PC と SR の内容が回復され、例外発生時の処理状態に戻り、例外の発生したアドレスに戻ります。

基本的な例外処理の流れは次のようになります。

1. PCとSRの内容が、それぞれSPCとSSRに退避されます。
2. SRのブロックビット (BL) が1にセットされ、後続の例外要求がマスクされます。
3. SRのモードビット (MD) が1にセットされ、特権モードに切り替わります。
4. SRのレジスタバンクビット (RB) が1にセットされます。
5. 例外要因の例外コードが例外事象レジスタ (EXPEVT)、割り込み事象レジスタ (INTEVT)、または割り込み事象レジスタ2 (INTEVT2) のビット11~0に書き込まれます。
6. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンの命令が実行されます。

4.1.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。一般例外、割り込みのベクタアドレスは、ベクタベースアドレスにオフセットの値を加えた値で決めます。TLB ミス例外のベクタアドレスのオフセットは H'0000 0400 です。TLB ミス以外の一般例外のベクタアドレスのオフセットは H'0000 0100 です。割り込みのベクタアドレスのオフセットは H'0000 0600 です。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。ベクタアドレスは、固定物理アドレスエリア (P1、P2) に配置してください。

ベクタベースアドレス、ベクタオフセット、ベクタテーブルの関係を図 4.1 に示します。

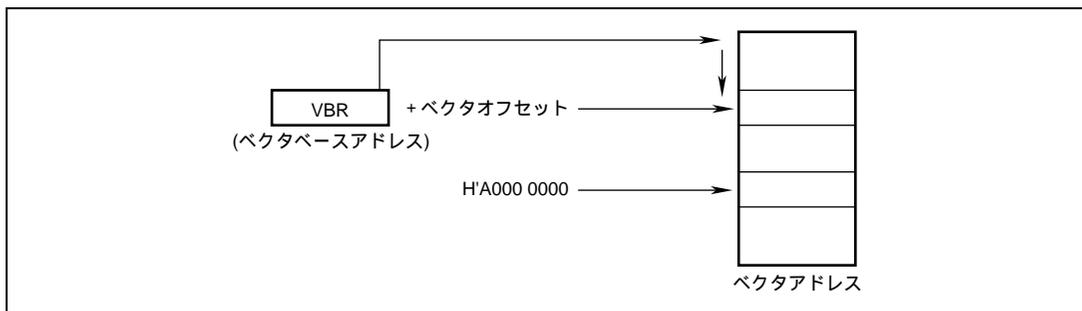


図 4.1 ベクタアドレス

例外とそのベクタアドレスについて、例外の種類、実行命令の終了状態、優先順位、実行順位、ベクタアドレスを表 4.1 に示します。

表 4.1 例外事象ベクタ

例外タイプ	カレント命令	例外イベント	優先順位* ¹	例外順位	ベクタアドレス	ベクタオフセット
リセット	中断	パワーオン	1	-	H'A0000 0000	-
		マニュアルリセット	1	-	H'A0000 0000	-
		H-UDI リセット	1	-	H'A0000 0000	-
一般例外事象	中断およびリトライ	CPU アドレスエラー（命令アクセス）	2	1	-	H'0000 0100
		TLB ミス（命令アクセス）	2	2	-	H'0000 0400
		TLB 無効（命令アクセス）	2	3	-	H'0000 0100
		TLB 保護違反（命令アクセス）	2	4	-	H'0000 0100
		一般不当命令例外	2	5	-	H'0000 0100
		スロット不当命令例外	2	5	-	H'0000 0100
		CPU アドレスエラー（データアクセス）	2	6	-	H'0000 0100
		TLB ミス（データアクセス）	2	7	-	H'0000 0400
		TLB 無効（データアクセス）	2	8	-	H'0000 0100
		TLB 保護違反（データアクセス）	2	9	-	H'0000 0100
	初期ページ書き込み	2	10	-	H'0000 0100	
	完了	無条件トラップ（TRAPA 命令）	2	5	-	H'0000 0100
		ユーザブレークポイントトラップ	2	n* ²	-	H'0000 0100
DMA アドレスエラー		2	12	-	H'0000 0100	
一般割り込み要求	完了	ノンマスクابل割り込み	3	-	-	H'0000 0600
		外部ハードウェア割り込み	4* ³	-	-	H'0000 0600
		H-UDI 割り込み	4* ³	-	-	H'0000 0600

- 【注】 *1 優先順位は高い方から順番に示します。1 が最高で 4 が最低です。
*2 ブレークポイントトラップはユーザが定義できます。命令実行前のブレークポイントのとき 1、命令実行後のブレークポイントのとき 11、オペランドブレークポイントのときも 11 となります。
*3 ソフトウェアで外部ハードウェア割り込みと周辺モジュール割り込みの相対的優先順位を指定してください（「第 6 章 割り込みコントローラ（INTC）」を参照）。

4.1.3 例外要因の受け付け

リセットと割り込みは命令実行の流れに関係しない非同期的な事象です。すべての例外は、2 つ以上の例外が同時に発生したとき、処理される優先順位が決まられています。パワーオンリセットとマニュアルリセットが同時に発生したときには、パワーオンリセットが優先されます。一般例外は命令の実行に従った実行順位で発生します。しかし、優先レベル 2 の中で命令の流れの順序（プログラム順）で処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の中の一般不当命令例外、無条件トラップ例外、不当スロット命令例外の 3 つは、それぞれのデコードステージ（ID ステージ）で検出され、命令パイプラインの中では同時に発生しない例外です。このため実行順位は同じ値になっています。一般例外の受け付け順序の例を図 4.2 に示します。

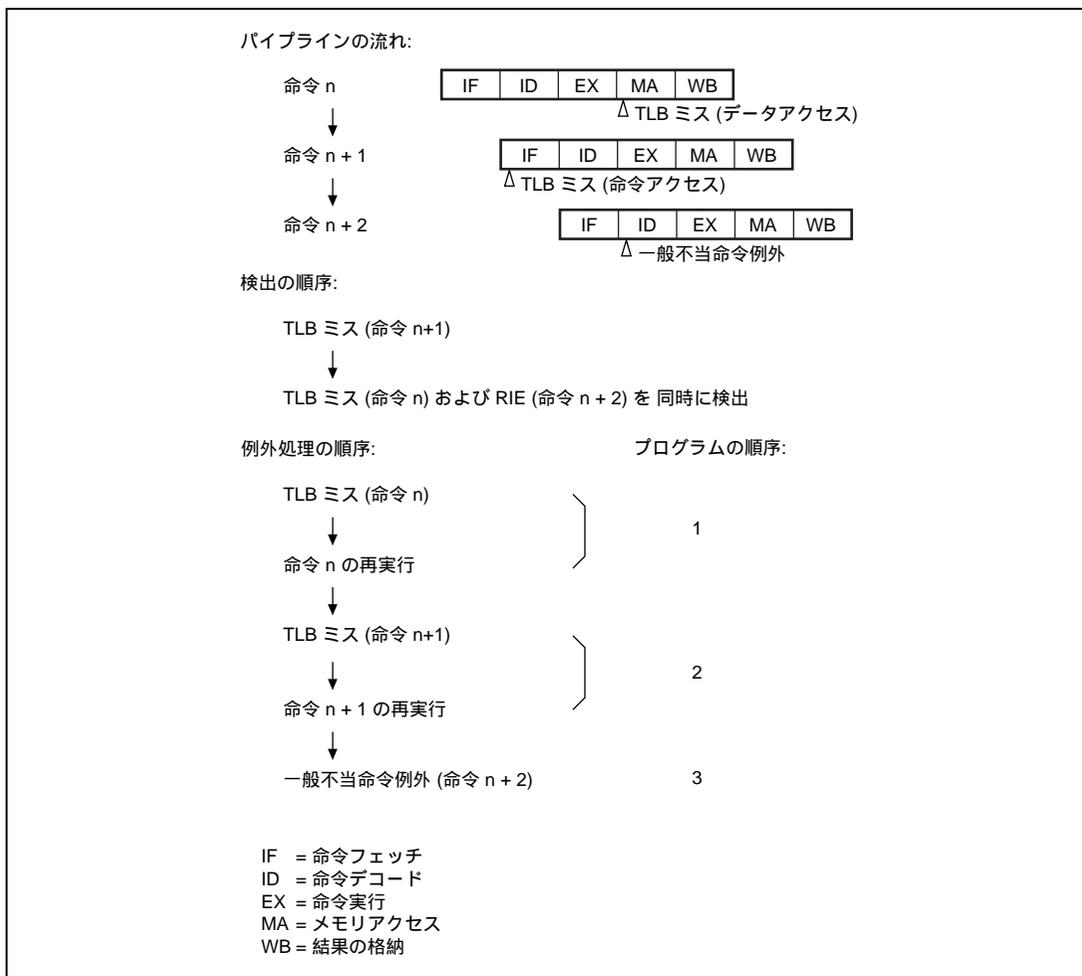


図 4.2 一般例外の受け付け順序の例

リセットを除くすべての例外は、パイプラインの ID ステージで検出され、命令の境界で受け付けられます。ただし、遅延分岐命令と遅延スロットの間では、受け付けられません。遅延スロットで検出された再実行型例外は、遅延分岐命令実行前に受け付けられます。遅延分岐命令または遅延スロットで検出された完了型例外は、遅延分岐命令実行後に受け付けられます。ここでいう遅延スロットとは、遅延無条件分岐命令の次の命令や、遅延条件分岐命令が成立するときの次の命令を示します。

4.1.4 例外コード

各例外事象を区別するために例外コードが決められており、リセットと一般例外のときには EXPEVT レジスタのビット 11~0 に、一般割り込み要求のときには INTEVT、INTEVT2 レジスタに書き込まれます。それぞれの例外コードを表 4.2 に示します。例外処理関連のその他のレジスタには、TRAPA 例外レジスタ (TRA) があり、無条件トラップ (TRAPA 命令) の 8 ビットイミディエイトデータを記録するために使用します。

表 4.2 例外コード

例外タイプ	例外イベント		例外コード
リセット	パワーオンリセット		H'000
	マニュアルリセット		H'020
	H-UDI リセット		H'000
一般例外事象	TLB ミス例外 / TLB 無効例外 (読み出し)		H'040
	TLB ミス例外 / TLB 無効例外 (書き込み)		H'060
	初期ページ書き込み例外		H'080
	TLB 保護例外 (読み出し)		H'0A0
	TLB 保護例外 (書き込み)		H'0C0
	CPU アドレスエラー (読み出し)		H'0E0
	CPU アドレスエラー (書き込み)		H'100
	無条件トラップ (TRAPA 命令)		H'160
	予約命令コード例外		H'180
	スロット不当命令例外		H'1A0
	ユーザブレークポイントトラップ		H'1E0
	DMA アドレスエラー		H'5C0
	一般割り込み要求	ノンマスカブル割り込み	
H-UDI 割り込み		H'5E0	
外部ハードウェア割り込み		IRL3 - IRL0 = 0000	H'200
		IRL3 - IRL0 = 0001	H'220
		IRL3 - IRL0 = 0010	H'240
		IRL3 - IRL0 = 0011	H'260
		IRL3 - IRL0 = 0100	H'280
		IRL3 - IRL0 = 0101	H'2A0
		IRL3 - IRL0 = 0110	H'2C0

4. 例外処理

例外タイプ	例外イベント		例外コード
一般割り込み要求	外部ハードウェア割り込み	IRL3 - IRL0 = 0111	H'2E0
		IRL3 - IRL0 = 1000	H'300
		IRL3 - IRL0 = 1001	H'320
		IRL3 - IRL0 = 1010	H'340
		IRL3 - IRL0 = 1011	H'360
		IRL3 - IRL0 = 1100	H'380
		IRL3 - IRL0 = 1101	H'3A0
		IRL3 - IRL0 = 1110	H'3C0

【注】 例外コード H'120、H'140、H'3E0 は予約されています。

4.1.5 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、一般例外が発生した場合には、CPU の内部レジスタはリセット後の状態になり、他のモジュールのレジスタは、一般例外発生前の内容を保持した状態でリセットと同アドレス (H'A000 0000) に分岐します。

SR の BL ビットが 1 のときに、割り込みが発生した場合には割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。

例外処理を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 でクリアします。

4.1.6 例外処理からの戻り

例外処理からの戻りは、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR にセットされ、SPC のアドレスに分岐して、例外処理から復帰します。もし、外部メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にしてから、それらを回復し、RTE 命令を発行してください。

4.2 レジスタの説明

例外処理に関するレジスタは 4 つあります。これらのレジスタは周辺モジュールレジスタなので P4 領域に配置され、特権モードのときのみアドレスを指定してアクセスすることができます。

例外処理には以下のレジスタがあります。初期値が不定のレジスタ (TRAP 例外レジスタ、割り込み事象レジスタ、割り込み事象レジスタ 2) はソフトウェアで初期化する必要があります。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照してください。

- 例外事象レジスタ (EXPEVT)
- 割り込み事象レジスタ (INTEVT)
- 割り込み事象レジスタ 2 (INTEVT2)
- TRAPA 例外レジスタ (TRA)

4.2.1 例外事象レジスタ (EXPEVT)

EXPEVT は、例外コード 12 ビットから構成されています。EXPEVT に設置される例外コードは、リセットと一般例外事象による例外コードです。例外コードは例外発生時にハードウェアにより自動的に設定されます。

EXPEVT はソフトウェアからも変更が可能です。

ビット	ビット名	初期値	R/W	説明
31~12		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
11~0		*	R/W	12 ビットの例外コード

【注】* パワーオンリセット時に H'000、マニュアルリセット時に H'020 がセットされます。

4.2.2 割り込み事象レジスタ (INTEVT)

INTEVT は、割り込み例外コード 12 ビット、または割り込み優先順位を示すコードを格納します。割り込み発生によりどちらがセットされるかは、割り込み要因により異なります(「第 6 章 割り込みコントローラ (INTC)」参照)。例外コード、割り込み優先順位コードは例外発生時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット	ビット名	初期値	R/W	説明
31~12		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
11~0			R/W	12 ビットの割り込み例外コードまたは割り込み優先順位を示すコード

4.2.3 割り込み事象レジスタ 2 (INTEVT2)

INTEVT2 は、例外コード 12 ビットから構成されています。INTEVT2 に設定される例外コードは、割り込み要求による例外コードです。例外コードは例外発生時にハードウェアにより自動的に設定されます。

ビット	ビット名	初期値	R/W	説明
31~12		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
11~0			R/W	12 ビットの例外コード

4. 例外処理

4.2.4 TRAPA 例外レジスタ (TRA)

TRA は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) から構成されています。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット	ビット名	初期値	R/W	説明
31~10		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
9~2	imm		R/W	8 ビットイミディエイトデータ
1、0		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。

4.3 動作説明

4.3.1 リセット

リセットは電源を入れたとき、またはいわゆる初期化状態から再実行したいときに使われます。 $\overline{\text{RESETP}}$ 信号および $\overline{\text{RESETM}}$ 信号がクロックサイクルごとに調べられ、パワーオンリセットの場合、すべての実行中の処理 (RTC を除く) が中断され、いかなる未処理の事象も取り消されて、リセット処理が直ちに実行されます。しかし、マニュアルリセットの場合、実行中のメモリアクセスを完了したあと、リセット処理が実行されます。リセット処理は次のとおりです。

1. SRのMDが1になり、特権モードに切り替わります。
2. SRのBLが1になり、後続の例外要求がマスクされます (BLMSKビットが1のときのNMI割り込みを除く)。
3. SRのRBが1になります。
4. パワーオンリセットのときはH'000が、マニュアルリセットのときはH'020が例外要求を識別するために EXPEVTのビット11~0に書き込まれます。
5. アドレスH'A000 0000にあるユーザが作成した例外処理ルーチンから命令実行が始まります。

4.3.2 割り込み

実行中の命令が完了した時点で割り込みが受け付けられます。割り込み受け付けの処理は次のとおりです。

1. PCとSRの内容が、それぞれSPCとSSRに退避されます。
2. SRのBLが1になり、後続の例外要求がマスクされます (BLMSKビットが1のときのNMI割り込みを除く)。
3. SRのMDが1になり、特権モードに切り替わります。
4. SRのRBが1になります。

5. 例外要因を識別する例外コードがINTEVTとINTEVT2のビット11～0に書き込まれます。
6. 命令の実行は、VBRに設定された値とH'0000 0600との和で指定されたアドレスに分岐して、例外処理ルーチンが開始されます。

4.3.3 一般例外

リセット例外または割り込み要求以外の一般例外処理は次のとおりです。

1. PCとSRの内容が、それぞれSPCとSSRに退避されます。
2. SRのBLが1になり、後続の例外要求がマスクされます（BLMSKビットが1のときのNMI割り込みを除く）。
3. SRのMDが1になり、特権モードに切り替わります。
4. SRのRBが1になります。
5. 例外要因を識別するEXPEVTのビット11～0に書き込まれます。
6. TLBミス例外の場合はVBRに設定された値とH'0000 0400との和で指定されたアドレスに分岐し、TLBミス以外の例外の場合は、VBRに設定された値とH'0000 0100との和で指定されたアドレスに分岐して、例外処理ルーチンが開始されます。

4.4 個別例外動作

このセクションでは特定の例外処理の条件とプロセッサ動作について説明します。

4.4.1 リセット

(1) パワーオンリセット

- 条件： $\overline{\text{RESETP}}$ ローレベル
- 動作：EXPEVTはH'000にセット、VBR、SRは初期化、PC = H'A000 0000に分岐。初期化によりVBRレジスタはH'000 0000にセット。SRのMD、RB、BLビットは1にセットされ、割り込みマスクビット（I3～I0）がB'1111にセットされます。CPUおよび内蔵周辺モジュールは初期化されます。詳細については「第23章 制御レジスタ一覧」を参照してください。電源投入時には必ずパワーオンリセットを実行してください。STATUS0、1端子にそれぞれハイレベルが出力されます。

(2) マニュアルリセット

- 条件： $\overline{\text{RESETM}}$ ローレベル
- 動作：EXPEVTはH'020にセット、VBR、SRは初期化、PC = H'A000 0000に分岐。初期化によりVBRレジスタはH'000 0000にセット。SRのMD、RB、BLビットは1にセットされ、割り込みマスクビット（I3～I0）がB'1111にセットされます。CPUおよび内蔵周辺モジュールは初期化されます。詳細については「第23章 制御レジスタ一覧」を参照してください。

4. 例外処理

STATUS0、1端子にそれぞれハイレベルが出力されます。

(3) H-UDI リセット

- 条件：H-UDIリセットコマンド入力（「第21章 ユーザデバッグインタフェース（H-UDI）」を参照）
- 動作：EXPEVTをH'000にセットし、VBRおよびSRは初期化、PC=H'A000 0000に分岐。初期化によりVBRレジスタはH'0000 0000にセットされます。SRのMD、RB、BLビットは1にセットされ、割り込みマスクビット（I3～I0）がB'1111にセットされます。CPUおよび内蔵周辺モジュールは初期化されます。詳細については各章のレジスタの説明を参照してください。

表 4.3 リセットの種類

タイプ	リセット状態への移行条件	内部状態	
		CPU	内蔵周辺モジュール
パワーオンリセット	RESETP=ローレベル	初期化	（各章のレジスタ構成を参照）
マニュアルリセット	RESETM=ローレベル	初期化	
H-UDI リセット	H-UDI リセットコマンド入力	初期化	

4.4.2 一般例外

(1) TLB ミス例外

- 条件：TLBアドレスの比較の結果アドレスが不一致だった場合
- 動作：例外発生元の論理アドレス（32ビット）はTEAにセットされ、対応する論理ページ番号（22ビット）はPTEH（31～10）にセットされます。PTEHのASIDは例外発生時のASIDを示します。MMUCRのRCビットは全ウェイが有効のとき+1を行い、無効なウェイがあるときはウェイ0から優先的にセットされます。

例外を発生した命令のPCとSRを、それぞれSPCとSSRに退避します。読み出し時に例外が発生した場合、H'040がEXPEVTにセットされ、書き込みで例外が発生した場合、H'060がEXPEVTにセットされます。SRのBL、MD、RBビットは1にセットされ、PC = VBR + H'0400に分岐が発生します。

TLBミス処理を高速化するために、他の例外とオフセットを分けています。

(2) TLB 無効例外

- 条件：TLBのアドレス比較の結果、アドレスは一致したがV=0であった場合
- 動作：例外発生元の論理アドレス（32ビット）はTEAにセットされ、対応する論理ページ番号（22ビット）はPTEH（31～10）にセットされます。PTEHのASIDは例外発生時のASIDを示します。MMUCRのRCビットには例外を発生したウェイがセットされます。

例外を発生した命令のPCとSRを、それぞれSPCとSSRに退避します。読み出し時に例外が発生した場合、H'040がEXPEVTにセットされ、書き込みで例外が発生した場合、H'060がEXPEVTにセットされます。SRのBL、MD、RBビットは1にセットされ、PC = VBR + H'0100に分岐が発生します。

(3) 初期ページ書き込み例外

- 条件：ストアアクセスでTLBにヒットしたがD=0であった場合
(ロードで登録されたページに初めて書き込んだとき発生します)
- 動作：例外発生元の論理アドレス(32ビット)はTEAにセットされ、対応する論理ページ番号(22ビット)はPTEH(31~10)にセットされます。PTEHのASIDは例外発生時のASIDを示します。MMUCRのRCビットには例外を発生したウェイがセットされます。

例外を発生した命令のPCとSRをそれぞれSPCとSSRに退避します。H'080がEXPEVTにセットされます。SRのBL、MD、RBビットは1にセットされ、PC = VBR + H'0100に分岐が発生します。

(4) TLB 保護例外

- 条件：ヒットアクセスが次のTLB保護情報(PRビット)に違反する場合

PR	特権モード	ユーザモード
00	読み出し専用	アクセスなし
01	読み出し / 書き込み可能	アクセスなし
10	読み出し専用	読み出し専用
11	読み出し / 書き込み可能	読み出し / 書き込み可能

- 動作：例外発生元の論理アドレス(32ビット)はTEAにセットされ、対応する論理ページ番号(22ビット)はPTEH(31~10)にセットされます。PTEHのASIDは例外発生時のASIDを示します。MMUCRのRCビットには例外を発生したウェイがセットされます。

例外を発生した命令のPCとSRをそれぞれSPCとSSRに退避します。読み出し時に例外が発生した場合、H'0A0がEXPEVTにセットされ、書き込みで例外が発生した場合、H'0C0がEXPEVTにセットされます。SRのBL、MD、RBビットは1にセットされ、PC = VBR + H'0100に分岐が発生します。

(5) アドレスエラー

- 条件：次の項目に該当する場合

- 奇数アドレス(4n+1, 4n+3)からの命令フェッチ
- ワード境界以外(4n+1, 4n+3)のアドレスからのワードデータアクセス
- ロングワード境界以外(4n+1, 4n+2, 4n+3)のアドレスからのロングワードアクセス
- ユーザモードで論理空間のH'8000 0000からH'FFFF FFFFの領域をアクセス

- 動作：例外発生元の論理アドレス(32ビット)はTEAにセットされます。例外を発生した命令のPCとSRは、それぞれSPCとSSRに退避します。読み出し時に例外が発生した場合、H'0E0がEXPEVTにセットされ、書き込みで例外が発生した場合、H'100がEXPEVTにセットされます。SRのBL、MD、RBビットは1にセットされ、PC = VBR + H'0100に分岐が発生します。詳細は「3.5.5 MMU例外発生時の処理フロー」を参照してください。

4. 例外処理

(6) 無条件トラップ

- 条件：TRAPA命令を実行した場合
- 動作：処理完了型の例外なのでTRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時からのSRはSSRに退避します。TRAPA命令の8ビットイミディエイト値は4倍化されTRA(9~0)にセットされます。H'160がEXPEVTにセットされます。SRのBL、MD、RBビットは1にセットされ、PC = VBR + H'0100に分岐が発生します。

(7) 一般不当命令例外

- 条件：次の項目に該当する場合
1. 遅延スロット以外にある未定義命令をデコードしたとき
遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S
未定義命令：H'Fxxx (SR.CL=1の場合は、B'1111 11xx xxxx xxxx)
 2. 遅延スロット以外にある特権命令をユーザモードでデコードしたとき
特権命令：LDC、STC、RTE、LDTLB、SLEEP。ただし、LDC/STCでGBRにアクセスする命令は特権命令ではありません。
 - 動作：例外が発生した命令のPCとSRを、それぞれSPCとSSRに退避します。H'180がEXPEVTにセットされます。SRのBL、MD、RBビットは1にセットされ、PC = VBR + H'0100に分岐が発生します。H'Fxxx以外の未定義命令をデコードした場合、動作の保証はできません。

(8) スロット不当命令例外

- 条件：次の項目に該当する場合
1. 遅延スロットにある未定義命令をデコードしたとき
遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S
未定義命令：H'Fxxx (SR.CL=1の場合は、B'1111 11xx xxxx xxxx)
 2. 遅延スロット内でPCを書き換える命令をデコードしたとき
PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、LDC Rm, SR、LDC.L @Rm+, SR
 3. 遅延スロット内の特権命令をユーザモードでデコードしたとき
特権命令：LDC、STC、RTE、LDTLB、SLEEP。ただし、LDC/STCでGBRにアクセスする命令は特権命令ではありません。
 - 動作：直前の遅延分岐命令のPCを、SPCに退避します。例外が発生した命令のSRをSSRに退避します。H'1A0がEXPEVTにセットされます。SRのBL、MD、RBビットは1にセットされ、PC = VBR + H'0100に分岐が発生します。H'Fxxx以外の未定義命令をデコードした場合、動作の保証はできません。

(9) ユーザブレイクポイントトラップ

- 条件：ユーザブレイクコントローラに設定したブレイク条件が成立した場合
- 動作：実行後ブレイクが発生すると、ブレイクポイントをセットした命令の直後の命令のPCをSPCにセットします。実行前ブレイクが発生すると、ブレイクポイントをセットした命令のPCをSPCにセットします。ブレイク発生時のSRがSSRにセットされます。H'1E0がEXPEVTにセットされます。SRのBL、MD、RBビットは1にセットされ、PC = VBR + H'0100に分岐が発生します。詳細については「第7章 ユーザブレイクコントローラ (UBC)」を参照してください。

(10) DMA アドレスエラー

- 条件：次の項目に該当する場合
1. ワード境界以外のアドレス ($4n + 1, 4n + 3$) からのワードデータアクセス
 2. ロングワード境界以外のアドレス ($4n + 1, 4n + 2, 4n + 3$) からのロングワードデータアクセス
- 動作：例外が発生する前に実行した命令の直後の命令のPCがSPCに退避されます。例外発生時のSRがSSRに退避されます。EXPEVTにはH'5C0がセットされます。SRのBL、MD、RBビットは1にセットされ、PC = VBR + H'0100に分岐します。

4.4.3 割り込み

(1) NMI

- 条件：NMI端子のエッジ検出
- 動作：割り込みを受け付けた命令の直後のPCとSRを、それぞれSPCとSSRに退避します。H'1C0がINTEVTおよびINTEVT2にセットされます。SRのBL、MD、RBビットは1にセットされ、PC = VBR + H'0600に分岐が発生します。この割り込みはSRのBLビットが0のときはSRの割り込みマスクビットによってはマスクされず、最優先で受け付けられます。BLビットが1のとき、割り込みはマスクされます。詳細については「第6章 割り込みコントローラ (INTC)」を参照してください。

(2) IRL 割り込み

- 条件：SRの割り込みマスクビットがIRL (3~0) レベルより小さく、かつSRのBLビットが0のとき、命令の切れ目で受け付けられます。
- 動作：割り込みを受け付けた命令の直後のPCをSPCに退避します。割り込み受付時のSRをSSRに退避します。IRL (3~0) レベルに対応したコードをINTEVTおよびINTEVT2にセットします。対応コードはH'200 + [IRL (3~0) の値] × H'20で与えられます。対応コードは表6.4を参照してください。SRのBL、MD、RBビットは1にセットされ、VBR + H'0600に分岐が発生します。受け付けレベルはSRの割り込みマスクビットにはセットされません。詳細については「第6章 割り込みコントローラ (INTC)」を参照してください。

4. 例外処理

(3) IRQ 端子割り込み

- 条件：IRQ端子はアサートされ、SRの割り込みマスクビットがIRQ優先レベル以下で、SRのBLビットが0のとき、割り込みは命令の切れ目で受け付けられます。
- 動作：割り込みを受け付けた命令の直後のPCをSPCに退避します。割り込み受け付け時のSRをSSRに退避します。割り込み要因に対応したコードがINTEVTおよびINTEVT2にセットされます。SRのBL、MD、RBビットは1にセットされ、VBR + H'0600に分岐が発生します。受け付けレベルはSRの割り込みマスクビットにはセットされません。詳細については「第6章 割り込みコントローラ (INTC)」を参照してください。

(4) 内蔵周辺モジュール割り込み

- 条件：SRの割り込みマスクビットが内蔵周辺モジュール (TMU、RTC、SCI0、SCI2、A/D、DMAC、WDT、REF) 割り込みレベルより小さく、かつSRのBLビットが0のとき、命令の切れ目で受け付けられます。
- 動作：割り込みを受け付けた命令の直後のPCをSPCに退避します。割り込み受け付け時のSRをSSRに退避します。割り込み要因に対応したコードがINTEVTおよびINTEVT2にセットされます。SRのBL、MD、RBビットは1にセットされ、VBR + H'0600に分岐が発生します。詳細については「第6章 割り込みコントローラ (INTC)」を参照してください。

(5) H-UDI 割り込み

- 条件：H-UDI割り込みコマンドが入力され、SRの割り込みマスクビットが15未満でSRのBLビットが0のとき、割り込みは命令の切れ目で受け付けられます。H-UDI割り込みコマンドの入力については、「21.4.4 H-UDI 割り込み」を参照してください。
- 動作：割り込みを受け付けた命令の直後のPCをSPCに退避します。割り込みを受け付けた時点でのSRをSSRに退避します。INTEVTおよびINTEVT2にはH'5E0がセットされます。SRのBL、MD、RBビットは1にセットされ、VBR + H'0600に分岐します。詳細については「第6章 割り込みコントローラ (INTC)」を参照してください。

4.5 使用上の注意事項

(1) 例外処理からの復帰

- ソフトウェアでSRのBLビットをチェックしてください。外部メモリにSPCおよびSSRを退避していた場合には、SRのBLビットを1にセットしてから、それを回復してください。
- RTE命令を発行してください。RTE命令でPCにSPCを、SRにSSRをセットし、SPCアドレスに分岐して例外処理から復帰します。

(2) SR の BL ビットが 1 のときに例外または割り込みが発生した場合の動作

- 割り込み：SRのBLビットをソフトウェアで0にセットするまで受け付けが抑止されます。要求があり、受け付け条件を満たしていれば、SRのBLビットを0にした命令の実行後にその割り込みが受け付けられます。た

だし、スリープモードやソフトウェアスタンバイモードでは、SRのBLビットが1のときも割り込みは受け付けられません。

ICR1のBLMSKが1のとき、BLビットの設定に関係なくNMIは受け付けられます。

- 例外：ブレーク条件が成立してもユーザブレークポイントトラップは発生しません。その他の例外が発生すると、リセットの固定アドレス（H'A000 0000）に分岐します。この場合、EXPEVT、SPC、SSRレジスタの値は不定になります。

通常のリセットとは異なり、STATUS0、I端子には出力されません。

(3) 例外発生時の SPC

例外発生時SPCに退避されるPCは以下のようになります。

- 再実行型の例外：例外発生元の命令のPCがSPCにセットされ、例外処理からの復帰後再実行されます。ただし、例外が遅延スロットで発生した場合は、直前の遅延分岐命令のPCがSPCにセットされます。条件付き遅延分岐命令の条件が不成立の場合、遅延スロットのPCがSPCにセットされます。
- 完了型の例外と割り込み：例外発生元の命令の次の命令のPCがSPCにセットされます。ただし、例外が遅延条件付き命令で発生した場合は、分岐先のPCがSPCにセットされます。条件付き遅延分岐命令の条件が満足されない場合、遅延スロットのPCがSPCにセットされます。

(4) リセット後の初期レジスタ値

- 不定のレジスタ

R0_BANK0/1 ~ R7_BANK0/1, R8 ~ R15, GBR, SPC, SSR, MACH, MACL, PR

- 初期化されるレジスタ

VBR = H'0000 0000

SR.MD = 1, SR.BL = 1, SR.RB = 1, SR.I3 ~ SR.I0 = HF, SR.CL=0

SRのその他のビットは不定です。

PC = H'A000 0000

- (5) RTE 命令の遅延スロットで例外が発生すると動作の保証はできませんので、例外を発生させないでください。

- (6) SRのBLビットが1のとき、LDC命令でSRレジスタを更新する命令とその次の命令で、TLB関連例外あるいはアドレスエラーを発生させないでください。多重例外と認識し、リセット処理を始めることがあります。

4. 例外处理

5. キャッシュ

5.1 特長

- 命令 / データ混在、16Kバイトキャッシュ
- 256エントリ / ウェイ、4ウェイセットアソシアティブ、16バイトブロック長
- ライトバック方式、ライトスルー方式選択可能
- LRU置換アルゴリズム
- 1段ライトバックバッファ
- 最大2つのウェイをロック可能

5.1.1 キャッシュの構成

キャッシュは、命令 / データ混在型の4ウェイセットアソシアティブ方式です。4つのウェイ（バンク）で構成され、各々のウェイはアドレス、データに分かれています。アドレス、データは各々256のエントリで構成されます。エントリのデータをラインとよびます。1ラインは16バイト（4バイト×4）です。1ウェイ当たりのデータ容量は、4Kバイト（16バイト×256エントリ）で、キャッシュ全体（4ウェイ）では16Kバイトの容量となります。キャッシュの構成を図5.1に示します。

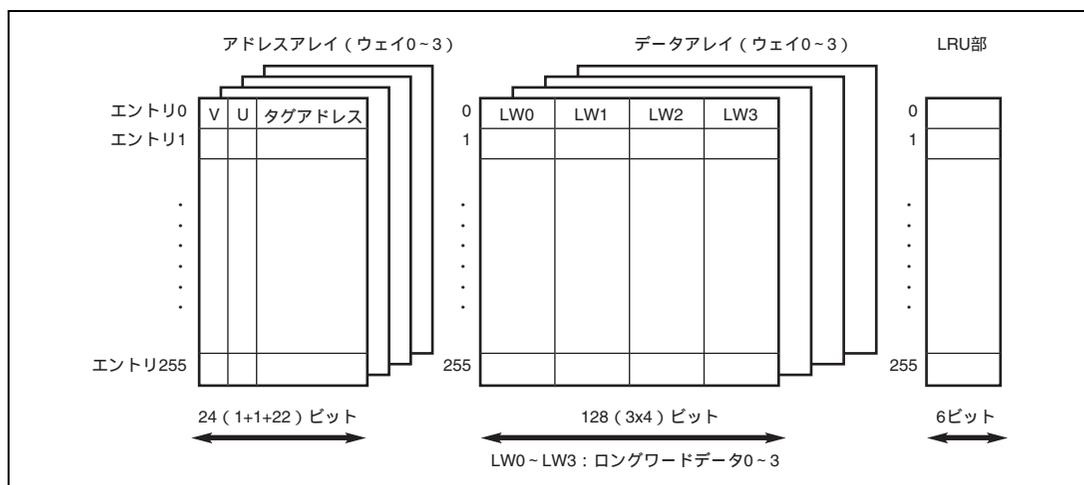


図 5.1 キャッシュの構成

5. キャッシュ

(1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

U ビットは、ライトバックモードで、そのエントリに書き込みがあったことを示します。

U ビットが 1 で書き込みあり、0 で書き込みなしを示します。

タグアドレスは、外部メモリのアクセスに使用される物理アドレスを保持します。

キャッシュ検索時の比較に使用される 22 ビット (アドレス 31~10) からなります。

本 LSI では、物理アドレス 32 ビットの上位 3 ビットをシャドウとして利用するため (「第 8 章 バスステートコントローラ (BSC)」参照)、通常のリプレースでは、タグアドレスの上位 3 ビットに 0 が入ります。

V、U ビットは、パワーオンリセットで 0 に初期化されますが、マニュアルリセットでは、初期化されません。タグアドレスは、パワーオン / マニュアルリセットで初期化されません。

(2) データアレイ

16 バイトの命令あるいはデータを保持します。キャッシュへのエントリの登録の単位は、ライン単位 (16 バイト単位) で行います。

データアレイは、パワーオン / マニュアルリセットで初期化されません。

(3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレス (アドレス 11~4) が同じ命令、データを 4 つまでキャッシュに登録できます。エントリに登録するとき、4 つのウェイのうち、どのウェイに登録するかを LRU ビットが示します。LRU ビットは 6 ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶ LRU (Least Recently Used) アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6 ビットの LRU ビットによって指定されます。キャッシュロック機能を使用しない場合、LRU ビットとリプレースされるウェイの関係を表 5.1 に示します (キャッシュロック機能を使用する場合に関しては「5.2.2 キャッシュ制御レジスタ 2 (CRR2)」の項を参照してください)。表 5.1 に示した以外の LRU ビットをソフトウェアで指定した場合、キャッシュは正しく動作しません。LRU ビットをソフトウェアで変更するときは、表 5.1 に示すパターンを設定してください。

LRU ビットは、パワーオンリセットで B'00 0000 に初期化されますが、マニュアルリセットでは初期化されません。

表 5.1 LRU ビットと置き換えられるウェイ

LRU (ビット 5-0)	置き換えられるウェイ
00 0000、00 0100、01 0100、10 0000、11 0000、11 0100	3
00 0001、00 0011、00 1011、10 0001、10 1001、10 1011	2
00 0110、00 0111、00 1111、01 0110、01 1110、01 1111	1
11 1000、11 1001、11 1011、11 1100、11 1110、11 1111	0

5.2 レジスタの説明

キャッシュには以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第23章 制御レジスタ一覧」を参照ください。

- キャッシュ制御レジスタ (CCR)
- キャッシュ制御レジスタ2 (CCR2)

5.2.1 キャッシュ制御レジスタ (CCR)

キャッシュは CCR の CE ビットでイネーブル、ディスエーブルを指定します。また、CCR には、キャッシュの全エントリの無効化を制御する CF ビット、ライトスルーモード、ライトバックモードを切り替える WT ビットおよび CB ビットがあります。CCR の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
3	CF	0	R	キャッシュフラッシュビット 1をライトすると、キャッシュの全エントリのV、U、LRUビットを0にクリア(フラッシュ)します。 リードすると0が読み出されます。フラッシュの際、外部メモリへの書き戻しは行いません。
2	CB	0	R/W	P1領域のライトバック/ライトスルー切り替え 0:ライトスルーモード 1:ライトバックモード
1	WT	0	R/W	ライトスルービット P0、U0、P3領域のキャッシュ動作モードを示します。 0:ライトバックモード 1:ライトスルーモード
0	CE	0	R/W	キャッシュ有効ビット キャッシュ機能を使用するかどうかを示します。 0:使用しない 1:使用する

5.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 はキャッシュロック機能を制御するレジスタであり、キャッシュロックモード時のみ有効です。キャッシュロックモードとは、CPU の SR レジスタ (ステータスレジスタ) のキャッシュロックビット (ビット 12) = 1 のことです。非キャッシュロックモード (キャッシュロックビット = 0) では、キャッシュロック機能は無効です。キャッシュロックモード時にプリフェッチ命令 (PREF) を実行し、キャッシュミスした場合、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は表 5.2 に示すとおりです。一方プリフェッチ命令を実行し、キャッシュヒットした場合、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。たとえば Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態で、キャッシュロック = 1、W3LOAD = 1 かつ W3LOCK = 1 と設定し、プリフェッチ命令を実行した場合、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

キャッシュロックモード時の、プリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は表 5.3 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
9	W3LOAD	0	W	W3LOAD: ウェイ 3 ロードビット
8	W3LOCK	0	W	W3LOCK: ウェイ 3 ロックビット W3LOCK=1、W3LOAD=1、かつ SR.CL=1 の場合、プリフェッチしたデータは常にウェイ 3 にリードされます。その他のすべての条件では、プリフェッチしたデータは LRU の示すウェイにリードされます。
7~2	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
1	W2LOAD	0	W	W2LOAD: ウェイ 2 ロードビット
0	W2LOCK	0	W	W2LOCK: ウェイ 2 ロックビット W2LOCK=1、W2LOAD=1、かつ SR.CL=1 の場合、プリフェッチしたデータは常にウェイ 2 にリードされます。その他のすべての条件では、プリフェッチしたデータは LRU の示すウェイにリードされます。

【注】 W2LOAD および W3LOAD は同時に 1 にセットしないでください。

CCR2 のビット 8 (W3LOCK) またはビット 0 (W2LOCK) がハイレベルの場合、キャッシュは常にロック状態です。ロックされたデータは W3LOCK ビットと W2LOCK ビットをリセットするかキャッシュロックモード時の PREF 条件が一致しないかぎり上書きすることができません。キャッシュロックモード時、表 5.1 は表 5.4 ~ 表 5.6 に置き換えられます。

表 5.2 PREF 命令がキャッシュミスした場合に置き換えられるウェイ

CL ビット	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 5.1)
1	*	0	*	0	LRU に従う (表 5.1)
1	*	0	0	1	LRU に従う (表 5.4)
1	0	1	*	0	LRU に従う (表 5.5)
1	0	1	0	1	LRU に従う (表 5.6)
1	0	*	1	1	ウェイ 2
1	1	1	0	*	ウェイ 3

【注】 * : Don't care

W2LOAD および W3LOAD は同時に 1 にセットしないでください。

表 5.3 PREF 命令以外がキャッシュミスした場合に置換されるウェイ

CL ビット	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 5.1)
1	*	0	*	0	LRU に従う (表 5.1)
1	*	0	*	1	LRU に従う (表 5.4)
1	*	1	*	0	LRU に従う (表 5.5)
1	*	1	*	1	LRU に従う (表 5.6)

【注】 * : Don't care

W2LOAD および W3LOAD は同時に 1 にセットしないでください。

表 5.4 LRU ビットと置き換えられるウェイ (W2LOCK=1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
00 0000, 00 0001, 00 0100, 01 0100, 10 0000, 10 0001, 11 0000, 11 0100	3
00 0011, 00 0110, 00 0111, 00 1011, 00 1111, 01 0110, 01 1110, 01 1111	1
10 1001, 10 1011, 11 1000, 11 1001, 11 1011, 11 1100, 11 1110, 11 1111	0

表 5.5 LRU ビットと置き換えられるウェイ (W3LOCK=1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
00 0000, 00 0001, 00 0011, 00 1011, 10 0000, 10 0001, 10 1001, 10 1011	2
00 0100, 00 0110, 00 0111, 00 1111, 01 0100, 01 0110, 01 1110, 0 1111	1
11 0000, 11 0100, 11 1000, 11 1001, 11 1011, 11 1100, 11 1110, 11 1111	0

5. キャッシュ

表 5.6 LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
00 0000, 00 0001, 00 0011, 00 0100, 00 0110, 00 0111, 00 1011, 00 1111, 01 0100, 01 0110, 01 1110, 01 1111	1
10 0000, 10 0001, 10 1001, 10 1011, 11 0000, 11 0100, 11 1000, 11 1001, 11 1011, 11 1100, 11 1110, 11 1111	0

5.3 動作説明

5.3.1 キャッシュの検索

キャッシュがイネーブルのとき、メモリ上の命令またはデータをアクセスすると、キャッシュが検索され、目的の命令またはデータがキャッシュに存在するか調べます。キャッシュの検索方法の概念図を図 5.2 に示します。キャッシュは物理キャッシュで、アドレスには、物理アドレスを保持します。

メモリへのアクセスアドレス (論理) のビット 11~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。タグアドレスの読み出しと平行して、MMU で論理アドレスを物理アドレスに変換します。変換後の物理アドレスと、アドレスから読み出した物理アドレス (タグアドレス) を比較します。アドレスの比較は 4 ウェイとも行います。比較の結果、一致しており、かつ、比較されたエントリが有効である (V=1) 場合に、キャッシュヒットとなります。それ以外の場合はキャッシュミスとなります。

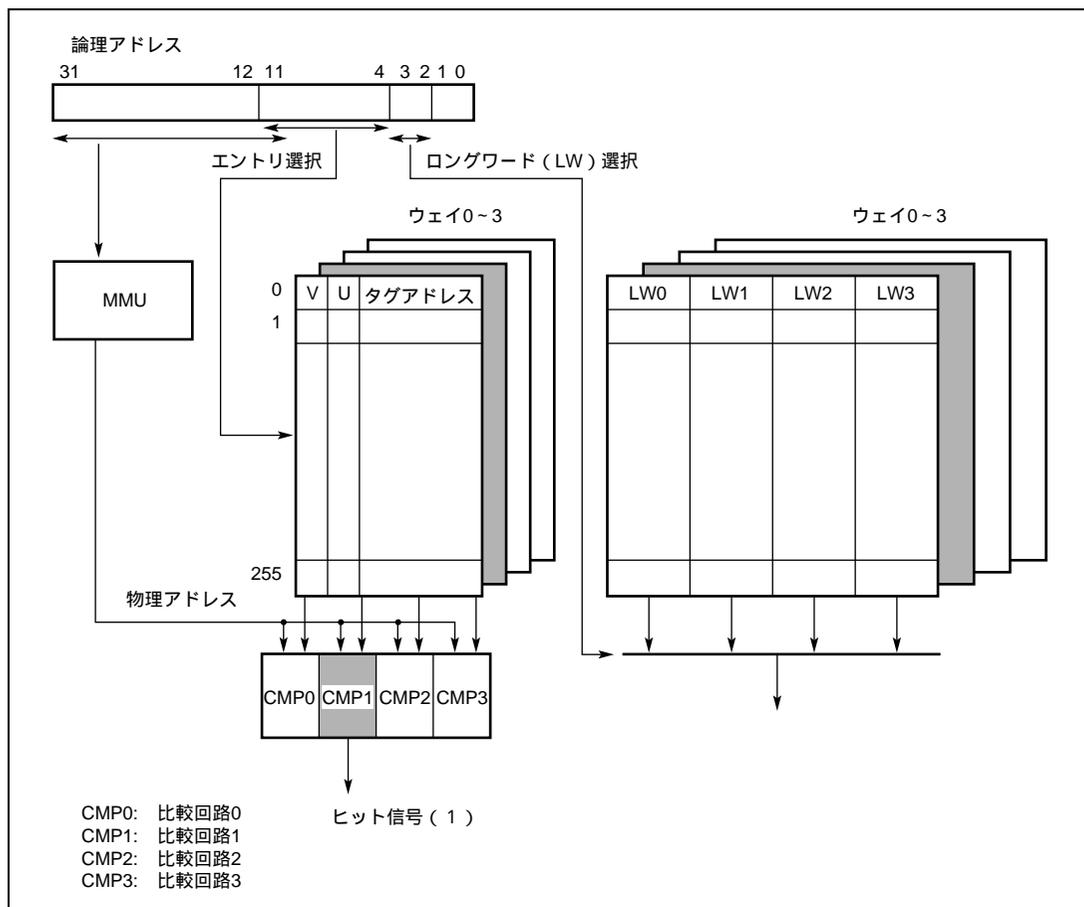


図 5.2 キャッシュの検索方法

5.3.2 リード動作

(1) リードヒット

キャッシュから CPU に命令 / データが転送されます。LRU が更新されます。

(2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 5.3 に従います。エントリの更新の単位は、16 バイトです。外部メモリから目的の命令またはデータがキャッシュに登録されると同時に、CPU にその命令またはデータが転送されます。キャッシュに登録される時に、U ビットが 0 に、V ビットが 1 にセットされます。

5.3.3 プリフェッチ動作

(1) プリフェッチヒット

ヒットしたウェイが最新となるようにLRUが更新されます。その他のキャッシュの内容は変更されません。CPUへの命令またはデータの転送は行われません。

(2) プリフェッチミス

CPUへの命令またはデータの転送が行われず、置換するウェイは表 5.2 に従います。その他の動作はリードミスの場合と同じです。

5.3.4 ライト動作

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、ライトされたエントリのUビットが1にセットされます。キャッシュにだけライトされ、外部メモリへのライトサイクルは発行されません。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 5.3 に従います。エントリの更新によって置き換えられるエントリのUビットが1の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルが開始します。書き戻しの単位は、16バイトです。キャッシュにデータがライトされ、Uビットが1にセットされます。Vビットも1にセットされます。キャッシュ更新サイクル終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

5.3.5 ライトバックバッファ

ライトバックモードで置き換えられるエントリのUビットが1のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置き換えられるエントリをまずライトバックバッファに転送し、キャッシュへ新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファはキャッシュの1ライン分のデータ(16バイト)とその物理アドレスを保持可能です。ライトバックバッファの構成を図 5.3 に示します。

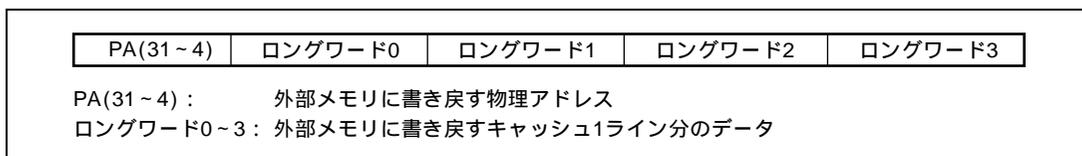


図 5.3 ライトバックバッファの構成

5.3.6 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。

本 LSI と外部のデバイスとの共有メモリをキャッシングするアドレス空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、エントリを無効化してください。CPU と内蔵 DMAC との共有メモリについても同様にしてください。

5.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、特権モードにおいて、MOV 命令により、キャッシュの内容の読み出し、書き込みが可能です。キャッシュは論理アドレス空間の P4 領域に割り付けられています。アドレスアレイは H'F000 0000 ~ H'F0FF FFFF に、データアレイは H'F100 0000 ~ H'F1FF FFFF に割り付けられています。アドレスアレイ、データアレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

5.4.1 アドレスアレイ

アドレスアレイは H'F000 0000 ~ H'F0FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレスの指定（読み出し / 書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはアドレスアレイに書き込むタグアドレス、V ビット、U ビットおよび LRU ビットを指定します（図 5.4（1）参照）。

アドレスにはエントリを選択するためのエントリアドレス（ビット 11~4）、ウェイを選択するための W（ビット 13~12）、連想動作の有無を指定する A（ビット 3）およびアドレスアレイアクセスを示す HF0（ビット 31~24）を指定します。W（ビット 13~12）は、00 がウェイ 0、01 ウェイ 1、10 がウェイ 2、11 がウェイ 3 を示します。

データにはタグアドレス（ビット 31~10）、LRU ビット（ビット 9~4）、U ビット（ビット 1）および V ビット（ビット 0）を指定します。タグアドレスの上位 3 ビット（ビット 31~29）には常に 0 を指定してください。

アドレスアレイに対しては次の 3 種類の操作が可能です。

（1）アドレスアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビットおよび V ビットを読み出します。リードの場合、アドレスに指定される連想ビット（A ビット）は 1 でも 0 でも連想動作は行いません。

（2）アドレスアレイライト（連想なし）

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。アドレスの連想ビット（A ビット）は 0 にしてください。書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行ったあと、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

5. キャッシュ

(3) アドレスアレイライト (連想あり)

アドレスの連想ビット (A ビット) を 1 にしてライトした場合、アドレスで指定されたエントリの 4 ウェイ全てに対して、データで指定されたタグアドレスとの間で一致判定が行われます。一致判定の結果ヒットしたウェイに対して、データで指定された U ビットと V ビットをエントリに書き込みます。ただしタグアドレスと LRU ビットは変更されません。どのウェイにもヒットしなかった場合は書き込みを行わず、ノーオペレーションとなります。本動作はキャッシュの特定エントリの無効化に用いられます。このときヒットしたエントリの U ビットが 1 だった場合、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

5.4.2 データアレイ

データアレイには HF100 0000 ~ HF1FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレスの指定 (読み出し / 書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス (ビット 11~4)、1 ライン (16 バイト) 中のロングワード位置を示す L (ビット 3~2)、ウェイを指定するための W (ビット 13~12)、およびデータアレイアクセスを示す HF1 をビット 31~24 に指定します。L (ビット 3~2) は 00 がロングワード 0、01 がロングワード 1、10 がロングワード 2、11 がロングワード 3 を示します。W (ビット 13~12) は、00 がウェイ 0、01 がウェイ 1、10 がウェイ 2、11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1~0 には 00 を指定してください。

データアレイに対しては次の 2 種類の操作が可能です。なおこの操作によってアドレスアレイの情報が変更されることはありません。

(1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスの L (ビット 3~2) で指定されたデータを読み出します。

(2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスの L (ビット 3~2) で指定された位置に、データで指定されたロングワードデータを書き込みます。

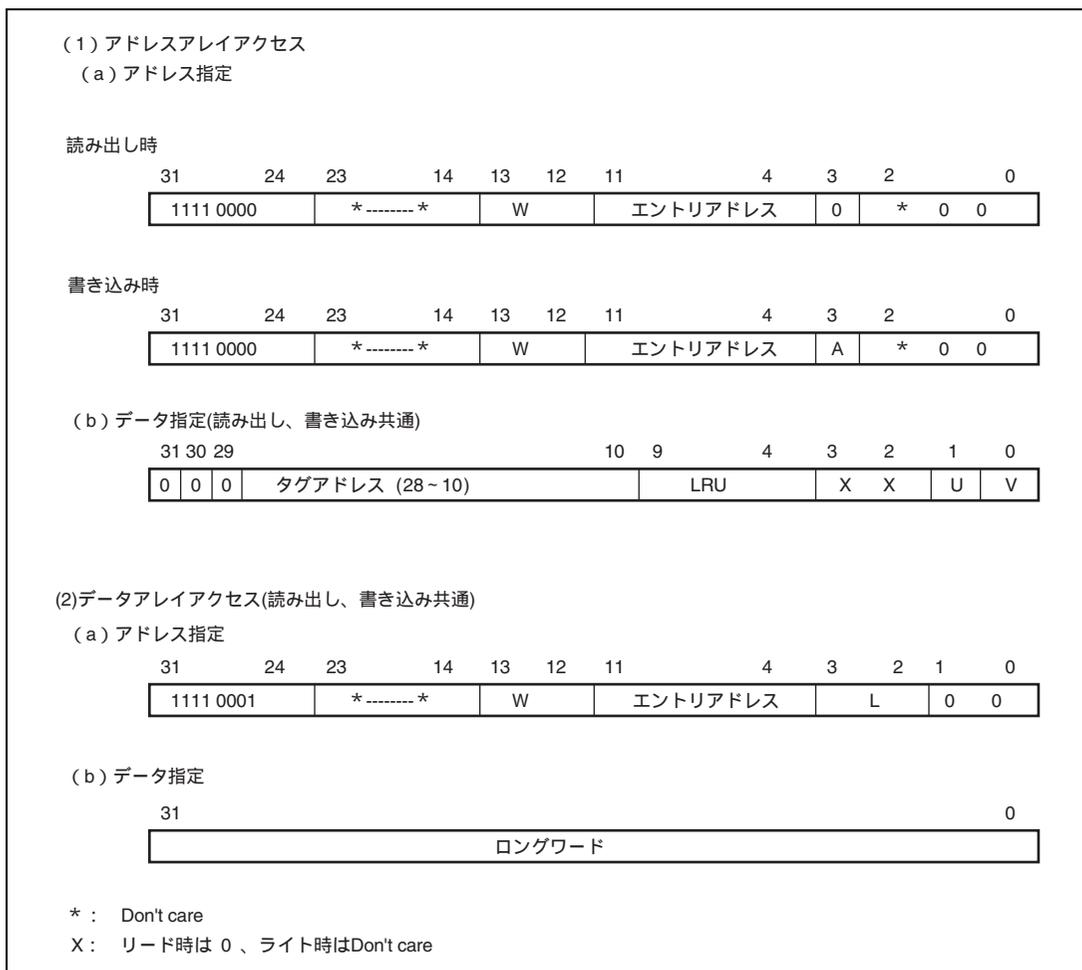


図 5.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法

5.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、そのエントリの U ビットに 0、V ビットに 0 を書き込むことで実現できます。A ビットを 1 とし、書き込みデータで指定されるタグアドレスを、エントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときにデータを書き込みます。一致しない場合は、ノーオペレーションです。そのときそのエントリの U ビットが 1 であればライトバックが発生します。

```
; R0 = H'0110 0010; VPN = B'00 0000 0100 0100 0000 0000, U = 0, V = 0
; R1 = HF000 0088; アドレスアレイアクセス、エントリ = B'0000 1000, A = 1
;
MOV.L   R0, @R1
```

(2) 特定エントリのデータ部の読み出し

キャッシュの特定エントリのデータ部を読み出します。図 5.6 のデータアレイのデータ部に示されるロングワードが、レジスタに読み出されます。

```
; R0 = HF100 004C; データアレイアクセス、エントリ = B'0000 0100、
; ウェイ = 0、ロングワードアドレス = 3
;
MOV.L   @R0, R1 ; ロングワード 3 が読み出されます。
```

6. 割り込みコントローラ (INTC)

INTC は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC は、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

INTC のブロック図を図 6.1 に示します。

6.1 特長

INTC は、次のような特長を持っています。

- 割り込み優先順位を16レベル設定可能
5本の割り込み優先レベル設定レジスタにより、内蔵周辺モジュール、IRQ割り込みの優先順位を割り込み要求要因ごとに16レベルまで設定することができます。
- NMIノイズキャンセル機能
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラとして使用できます。
- 割り込みを受け付けたことを外部へ出力可能 (IRQOUT端子)
本LSIがバス権を解放しているときに、外部割り込みや内蔵周辺モジュール割り込みやメモリリフレッシュ要求が発生したことを外部バスマスタに知らせ、バス権を要求することができます。

6. 割り込みコントローラ (INTC)

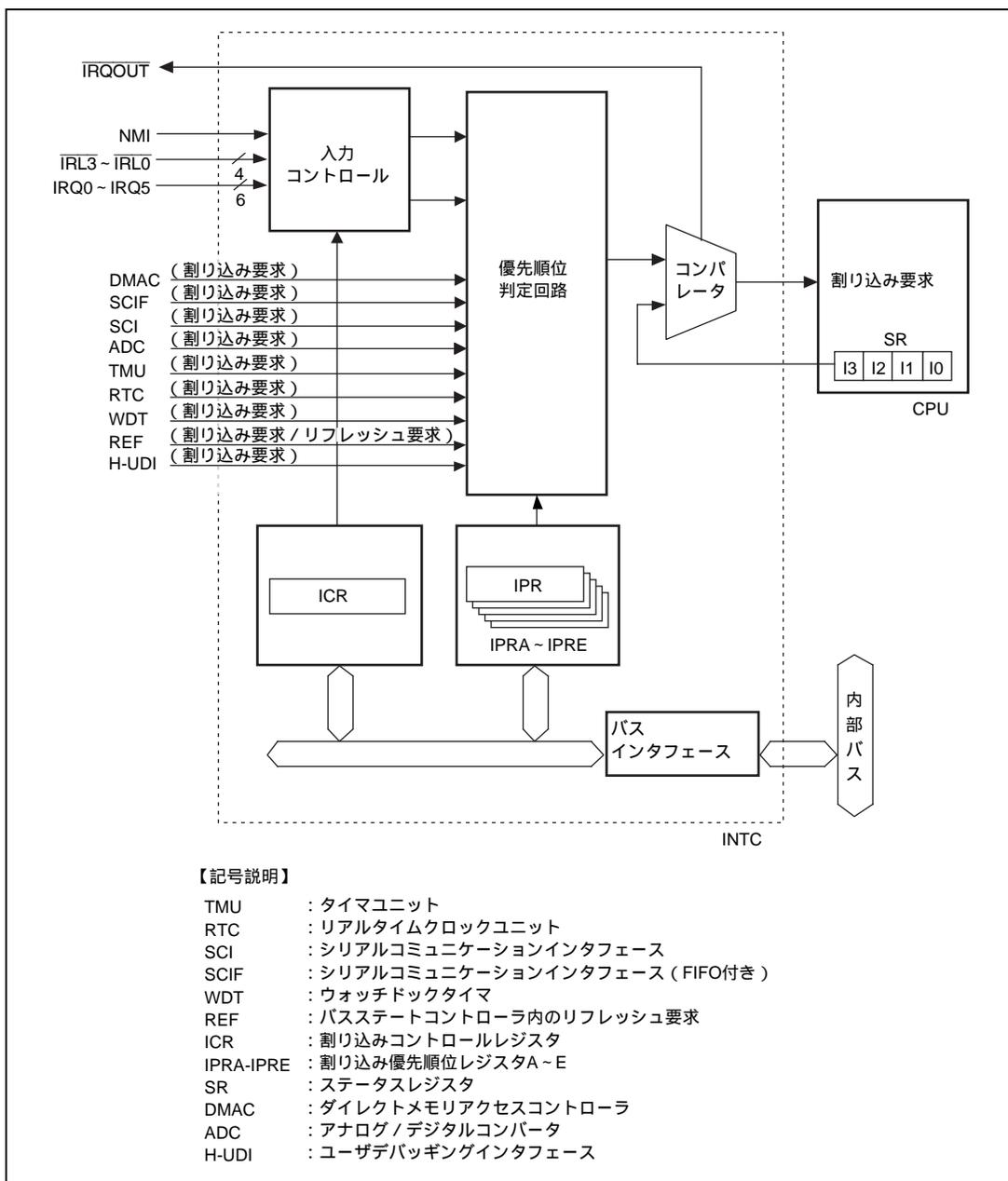


図 6.1 INTC ブロック図

6.2 入出力端子

INTC の端子構成を表 6.1 に示します。

表 6.1 端子構成

名称	略語	入出力	内容
ノンマスクブル割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号の入力
割り込み入力端子	IRQ5 ~ IRQ0 IRL3 ~ IRL0	入力	割り込み要求信号の入力 (SR の割り込みマスクビットによりマスク可能)
バス権要求出力端子	IRQOUT	出力	割り込み要因またはメモリフレッシュ要求が発生したことを外部デバイスに通知する信号の出力

6.3 割り込み要因

割り込み要因には NMI、IRQ、IRL、内蔵周辺モジュールの 4 つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル 16 が最高で、レベル 1 が最低です。レベル 0 に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

6.3.1 NMI 割り込み

NMI 割り込みは、レベル 16 の最優先の割り込みです。割り込みコントロールレジスタ 1 (ICR1) の BLMSK ビットが 1 が、またはステータスレジスタ (SR) の BL ビットが 0 の場合、ICR1 の MAI ビットが 0 ならば NMI 割り込みは受け付けられません。NMI 割り込みはエッジ検出です。ただし、スリープまたはソフトウェアスタンバイモード中は、BL ビットに関わりなく割り込みが受け付けられます。割り込みコントロールレジスタ 0 (ICR0) の NMI エッジセレクトビット (NMIE) は、立ち上がりエッジ / 立ち下がりエッジの選択を行います。ICR0 の NMIE ビットを書き換えた場合は、NMI 割り込みの誤検出を避けるため、書き換えてから 20 サイクル経過するまで NMI 割り込みを検出しません。NMI 割り込み例外処理によって、SR の割り込みマスクビット (I3~I0) が影響されることはありません。

BL ビットが 1 の場合、ICR1 の BLMSK ビットが 1 にセットされているときは、NMI 割り込みのみが受け付けられ、NMI 処理ルーチンにより SPC と SSR が更新されます。そのため、NMI に先行して起動された例外処理ルーチンがある場合、そのルーチンが本来の処理に復帰することは不可能となります。したがって、復帰を必要としない場合に限定して使用してください。

NMI 割り込みを使用して、ソフトウェアスタンバイ状態から復帰することは可能です (ただし、ICR1 の MAI ビットが 1 にセットされている場合は除きます)。

6.3.2 IRQ 割り込み

IRQ 割り込みは、IRQ0 ~ IRQ5 端子からレベルまたはエッジで入力されます。優先レベルは、割り込み優先レベル設定レジスタ C、D (IPRC、D) にレベル 0 ~ 15 の範囲で設定できます。

IRQ 割り込みをエッジセンスで使用する場合は、割り込み要求レジスタ 0 (IRR0) の対応するビットをソフトウェアで 1 であることを読み出したあとに 0 を書き込み、割り込み要因をクリアしてください。レベルセンスで

6. 割り込みコントローラ (INTC)

はクリアは不要です。ただし、割り込み要求元の端子をハイレベルにしてください。

ICR1 に上書きする際、IRQ 端子の状態によっては IRQ 割り込みが誤検出される可能性があります。これを避けるため、まず割り込みをマスク状態で上書きし、それから IRR0 に 0 を書き込んで不正な割り込みをクリアしたあとにマスクを解除してください。

エッジ入力割り込み検出では、周辺クロック (P) ベースで 2 サイクル以上のパルス幅を必要とします。レベル検出の場合、割り込みを受け付けて CPU が割り込み処理を開始するまでそのレベルを保持してください。IRQ 割り込み処理ルーチンによって、SR の I3 ~ I0 が影響されることはありません。

割り込み IRQ4 ~ IRQ0 は、ソフトウェアスタンバイモードからの復帰に使用できます (RTC32kHz 発振器使用時のみ)。

このとき SR の I3 ~ I0 ビットよりも使用する割り込みの優先レベルが高くなければなりません。

【注】 IRQ をエッジ検出で使用する場合、以下の注意事項があります。

1. CPU がスタンバイモードに入る直前 (CPU が SLEEP 命令を実行してから STATUS0 がハイレベルになるまでの期間) に IRQ エッジを入力すると割り込み検出されないことがあります。このあと、STATUS0 がハイレベルになったあとに再度 IRQ エッジを入力すれば、割り込み検出されます。
2. FRQCR レジスタの STC ビット変更により周波数を変更している期間 (WDT によるカウント中) に IRQ エッジを入力すると割り込み検出されないことがあります。WDT カウント終了後に再度 IRQ エッジを入力すれば、割り込み検出されます。

6.3.3 IRL 割り込み

IRL 割り込みは、 $\overline{IRL3} \sim \overline{IRL0}$ 端子でレベルとして入力される割り込みです。優先順位レベルは、端子 $\overline{IRL3} \sim \overline{IRL0}$ のうち、より高い方のレベルです。 $\overline{IRL3} \sim \overline{IRL0}$ の値が 0 (0000) のときは最高レベルの割り込み要求 (割り込み優先順位レベル 15) を示します。値が 15 (1111) の場合、割り込み要求がない (割り込み優先順位レベル 0) ことを示します。図 6.2 に IRL 割り込み接続の例を示します。表 6.2 は \overline{IRL} 端子と割り込みレベルを示します。

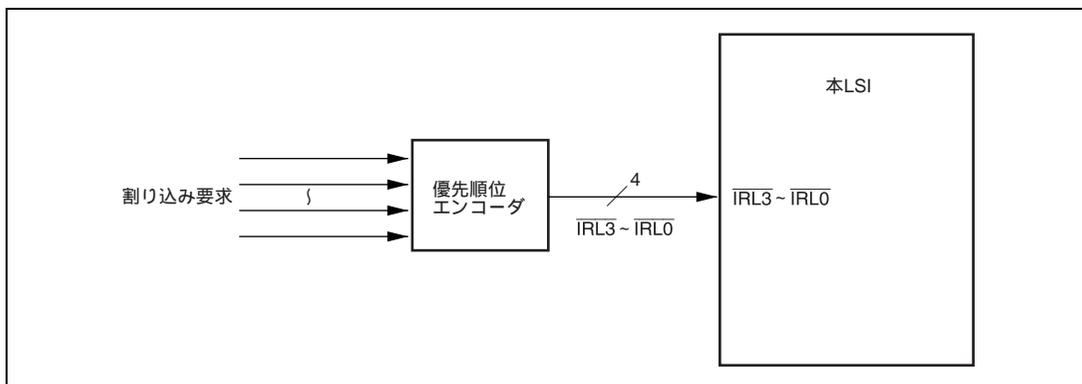


図 6.2 IRL 割り込みの接続例

表 6.2 IRL3 ~ IRL0 端子および割り込みレベル

IRL3	IRL2	IRL1	IRL0	割り込み優先順位レベル	割り込み要求
0	0	0	0	15	レベル 15 割り込み要求
0	0	0	1	14	レベル 14 割り込み要求
0	0	1	0	13	レベル 13 割り込み要求
0	0	1	1	12	レベル 12 割り込み要求
0	1	0	0	11	レベル 11 割り込み要求
0	1	0	1	10	レベル 10 割り込み要求
0	1	1	0	9	レベル 9 割り込み要求
0	1	1	1	8	レベル 8 割り込み要求
1	0	0	0	7	レベル 7 割り込み要求
1	0	0	1	6	レベル 6 割り込み要求
1	0	1	0	5	レベル 5 割り込み要求
1	0	1	1	4	レベル 4 割り込み要求
1	1	0	0	3	レベル 3 割り込み要求
1	1	0	1	2	レベル 2 割り込み要求
1	1	1	0	1	レベル 1 割り込み要求
1	1	1	1	0	割り込み要求なし

IRL 割り込みの検出は、ノイズキャンセル機能が組み込まれ、周辺モジュールクロックごとにサンプリングしたレベルが 2 サイクル続けて同一の値になったときに初めて行います。これにより、IRL 端子の変化時の誤ったレベルを取り込むことを防止できます。また、ソフトウェアスタンバイモード時は周辺モジュールクロックが停止しているため、代わりに RTC 用の 32KHz のクロックを使用して、ノイズキャンセルの処理を行います。このため RTC を使用しない場合は、ソフトウェアスタンバイモード中に IRL 割り込みによる割り込みは行えません。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理を開始するまで、そのレベルを保持してください。レベルが保持されなかった場合の動作は保証されません。ただし、より高い優先レベルに変化させることはかまいません。

IRL 割り込み処理によって、SR の I3 ~ I0 が影響されることはありません。

6.3.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは以下のモジュールによって発生する割り込みです。

- タイマユニット (TMU)
- リアルタイムクロック (RTC)
- シリアルコミュニケーションインタフェース (SCI、SCIF)
- バスステートコントローラ (BSC)
- ウォッチドッグタイマ (WDT)
- ダイレクトメモリアクセスコントローラ (DMAC)
- A/D変換器 (ADC)
- ユーザデバッグインタフェース (H-UDI)

割り込み要因ごとに異なる割り込みベクタが割り当てられてはいますが、要因は割り込み事象レジスタ (INTEVT および INTEVT2) に反映されますので、INTEVT または INTEVT2 レジスタの値をオフセットとして分岐することにより、容易に要因を判定できます。

優先順位レベル (0~15) は割り込み優先順位レジスタ A、B、E (IPRA、PRB および IPRE) に書き込むことによって H-UDI を除く各モジュールにセットすることができます。H-UDI の優先順位レベルは 15 (固定) です。

SR の I3~I0 は内蔵周辺モジュール割り込み処理の影響を受けません。

TMU および RTC 割り込みは、該当する割り込みレベルが SR の I3~I0 より高い場合にソフトウェアスタンバイ状態からの復帰に使用できます (ただし、RTC 32 KHz 発振器の使用時のみ)。

6.3.5 割り込み例外処理および優先順位

割り込み要因と INTEVT、INTEVT2 のコード、割り込み優先順位を表 6.3、表 6.4 に示します。

各割り込み要因は、それぞれ異なる INTEVT、INTEVT2 のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT および INTEVT2 レジスタの値を使って分岐させます。たとえば INTEVT、INTEVT2 レジスタの値をオフセットにして分岐させます。

内蔵周辺モジュール、IRQ 割り込みの優先順位は、割り込み優先レベル設定レジスタ A~E (IPRA~IPRE) によって、優先レベル 15~0 の範囲で任意に設定できます。リセットによって、内蔵周辺モジュール、IRQ 割り込みの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.3、表 6.4 に示す「デフォルト優先順位」に従って処理されます。

表 6.3 割り込み例外処理要因と優先順位 (IRQ モード時)

割り込み要因	INTEVT コード (INTEVT2 コード)	割り込み優先順位 (初期値)	IPR (ビット番号)	IPR 設定ユニット 内の優先順位	デフォルト 優先順位	
NMI	H'1C0 (H'1C0)	16	-	-	↑ 高 ↓ 低	
H-UDI	H'5E0 (H'5E0)	15	-	-		
IRQ	IRQ0	H'200 ~ 3C0* (H'600)	0 ~ 15 (0)	IPRC (3 ~ 0)		-
	IRQ1	H'200 ~ 3C0* (H'620)	0 ~ 15 (0)	IPRC (7 ~ 4)		-
	IRQ2	H'200 ~ 3C0* (H'640)	0 ~ 15 (0)	IPRC (11 ~ 8)		-
	IRQ3	H'200 ~ 3C0* (H'660)	0 ~ 15 (0)	IPRC (15 ~ 12)		-
	IRQ4	H'200 ~ 3C0* (H'680)	0 ~ 15 (0)	IPRD (3 ~ 0)		-
	IRQ5	H'200 ~ 3C0* (H'6A0)	0 ~ 15 (0)	IPRD (7 ~ 4)		-
DMAC	DEI0	H'200 ~ 3C0* (H'800)	0 ~ 15 (0)	IPRE (15 ~ 12)		高
	DEI1	H'200 ~ 3C0* (H'820)		↑		
	DEI2	H'200 ~ 3C0* (H'840)		↓		
	DEI3	H'200 ~ 3C0* (H'860)		低		
SCIF (SCI2)	ERI2	H'200 ~ 3C0* (H'900)	0 ~ 15 (0)	IPRE (7 ~ 4)		高
	RXI2	H'200 ~ 3C0* (H'920)		↑		
	BRI2	H'200 ~ 3C0* (H'940)		↓		
	TXI2	H'200 ~ 3C0* (H'960)		低		
ADC	ADI	H'200 ~ 3C0* (H'980)	0 ~ 15 (0)	IPRE (3 ~ 0)		-
TMU0	TUNI0	H'400 (H'400)	0 ~ 15 (0)	IPRA (15 ~ 12)	-	
TMU1	TUNI1	H'420 (H'420)	0 ~ 15 (0)	IPRA (11 ~ 8)	-	
TMU2	TUNI2	H'440 (H'440)	0 ~ 15 (0)	IPRA (7 ~ 4)	高	
	TICPI2	H'460 (H'460)		低		
RTC	ATI	H'480 (H'480)	0 ~ 15 (0)	IPRA (3 ~ 0)	高	
	PRI	H'4A0 (H'4A0)		↑		
	CUI	H'4C0 (H'4C0)		↓		
SCI (SCI0)	ERI	H'4E0 (H'4E0)	0 ~ 15 (0)	IPRB (7 ~ 4)	高	
	RXI	H'500 (H'500)		↑		
	TXI	H'520 (H'520)		↓		
	TEI	H'540 (H'540)		低		
WDT	ITI	H'560 (H'560)	0 ~ 15 (0)	IPRB (15 ~ 12)	-	
BSC (REF)	RCMI	H'580 (H'580)	0 ~ 15 (0)	IPRB (11 ~ 8)	高	
	ROVI	H'5A0 (H'5A0)		低		

【注】* 表 6.5 に示す割り込みレベルに該当するコードをセットします。

6. 割り込みコントローラ (INTC)

表 6.4 割り込み例外処理要因と優先順位 (IRL モード時)

割り込み要因		INTEVT コード (INTEVT2 コード)	割り込み優先順位 (初期値)	IPR (ビット番号)	IPR 設定ユニット 内の優先順位	デフォルト優先順位
NMI		H'1C0 (H'1C0)	16	-	-	高 ↑
H-UDI		H'5E0 (H'5E0)	15	-	-	
IRL	$\overline{\text{IRL}}(3:0) = 0000$	H'200 (H'200)	15	-	-	
	$\overline{\text{IRL}}(3:0) = 0001$	H'220 (H'220)	14	-	-	
	$\overline{\text{IRL}}(3:0) = 0010$	H'240 (H'240)	13	-	-	
	$\overline{\text{IRL}}(3:0) = 0011$	H'260 (H'260)	12	-	-	
	$\overline{\text{IRL}}(3:0) = 0100$	H'280 (H'280)	11	-	-	
	$\overline{\text{IRL}}(3:0) = 0101$	H'2A0 (H'2A0)	10	-	-	
	$\overline{\text{IRL}}(3:0) = 0110$	H'2C0 (H'2C0)	9	-	-	
	$\overline{\text{IRL}}(3:0) = 0111$	H'2E0 (H'2E0)	8	-	-	
	$\overline{\text{IRL}}(3:0) = 1000$	H'300 (H'300)	7	-	-	
	$\overline{\text{IRL}}(3:0) = 1001$	H'320 (H'320)	6	-	-	
	$\overline{\text{IRL}}(3:0) = 1010$	H'340 (H'340)	5	-	-	
	$\overline{\text{IRL}}(3:0) = 1011$	H'360 (H'360)	4	-	-	
	$\overline{\text{IRL}}(3:0) = 1100$	H'380 (H'380)	3	-	-	
	$\overline{\text{IRL}}(3:0) = 1101$	H'3A0 (H'3A0)	2	-	-	
$\overline{\text{IRL}}(3:0) = 1110$	H'3C0 (H'3C0)	1	-	-		
IRQ	IRQ4	H'200 ~ 3C0* (H'680)	0 ~ 15 (0)	IPRD (3 ~ 0)	-	
	IRQ5	H'200 ~ 3C0* (H'6A0)	0 ~ 15 (0)	IPRD (7 ~ 4)	-	
DMAC	DEI0	H'200 ~ 3C0* (H'800)	0 ~ 15 (0)	IPRE (15 ~ 12)	高 ↑ ↓ 低	
	DEI1	H'200 ~ 3C0* (H'820)				
	DEI2	H'200 ~ 3C0* (H'840)				
	DEI3	H'200 ~ 3C0* (H'860)				
SCIF (SCI2)	ERI2	H'200 ~ 3C0* (H'900)	0 ~ 15 (0)	IPRE (7 ~ 4)	高 ↑ ↓ 低	
	RXI2	H'200 ~ 3C0* (H'920)				
	BRI2	H'200 ~ 3C0* (H'940)				
	TXI2	H'200 ~ 3C0* (H'960)				
ADC	ADI	H'200 ~ 3C0* (H'980)	0 ~ 15 (0)	IPRE (3 ~ 0)	-	
TMU0	TUNI0	H'400 (H'400)	0 ~ 15 (0)	IPRA (15 ~ 12)	-	
TMU1	TUNI1	H'420 (H'420)	0 ~ 15 (0)	IPRA (11 ~ 8)	-	
TMU2	TUNI2	H'440 (H'440)	0 ~ 15 (0)	IPRA (7 ~ 4)	高 ↓ 低	
	TICPI2	H'460 (H'460)				

6. 割り込みコントローラ (INTC)

割り込み要因		INTEVT コード (INTEVT2 コード)	割り込み優先順位 (初期値)	IPR (ビット番号)	IPR 設定ユニット 内の優先順位	デフォルト優先順位
RTC	ATI	H'480 (H'480)	0 ~ 15 (0)	IPRA (3 ~ 0)	高 ↑ ↓ 低	高 ↑ ↓ 低
	PRI	H'4A0 (H'4A0)				
	CUI	H'4C0 (H'4C0)				
SCI (SCIO)	ERI	H'4E0 (H'4E0)	0 ~ 15 (0)	IPRB (7 ~ 4)	高 ↑ ↓ 低	
	RXI	H'500 (H'500)				
	TXI	H'520 (H'520)				
	TEI	H'540 (H'540)				
WDT	ITI	H'560 (H'560)	0 ~ 15 (0)	IPRB (15 ~ 12)	-	
BSC (REF)	RCMI	H'580 (H'580)	0 ~ 15 (0)	IPRB (11 ~ 8)	高 ↓ 低	
	ROVI	H'5A0 (H'5A0)				

【注】* 表 6.5 に示す割り込みレベルに該当するコードをセットします。

表 6.5 割り込みレベルと INTEVT コード

割り込みレベル	INTEVT コード
15	H'200
14	H'220
13	H'240
12	H'260
11	H'280
10	H'2A0
9	H'2C0
8	H'2E0
7	H'300
6	H'320
5	H'340
4	H'360
3	H'380
2	H'3A0
1	H'3C0

6. 割り込みコントローラ (INTC)

6.4 レジスタの説明

INTC には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照してください。

- 割り込みコントロールレジスタ0 (ICR0)
- 割り込みコントロールレジスタ1 (ICR1)
- 割り込み優先レベル設定レジスタA (IPRA)
- 割り込み優先レベル設定レジスタB (IPRB)
- 割り込み優先レベル設定レジスタC (IPRC)
- 割り込み優先レベル設定レジスタD (IPRD)
- 割り込み優先レベル設定レジスタE (IPRE)
- 割り込み要求レジスタ0 (IRR0)
- 割り込み要求レジスタ1 (IRR1)
- 割り込み要求レジスタ2 (IRR2)

6.4.1 割り込み優先順位レジスタ A ~ E (IPRA ~ IPRE)

IPRA ~ IPRE は、内蔵周辺モジュール、IRQ 割り込みに対して 0 ~ 15 までの優先順位レベルをセットする 16 ビットのリード/ライト可能な 4 つのレジスタです。これらのレジスタはパワーオンリセット、マニュアルリセット時に H'0000 に初期化されますが、スタンバイモードでは初期化されません。

表 6.6 は割り込み要因と IPRA ~ IPRE の対応を示します。

表 6.6 割り込み要求要因と IPRA ~ IPRE

レジスタ	ビット 15 ~ 12	ビット 11 ~ 8	ビット 7 ~ 4	ビット 3 ~ 0
IPRA	TMU0	TMU1	TMU2	RTC
IPRB	WDT	REF	SCI	リザーブビット*
IPRC	IRQ3	IRQ2	IRQ1	IRQ0
IPRD	リザーブビット*	リザーブビット*	IRQ5	IRQ4
IPRE	DMAC	リザーブビット*	SCIF	ADC

【注】* リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。

表 6.6 に示すように、各レジスタには 4 組の内蔵周辺モジュール、IRQ 割り込みが割り当てられます。4 ビットグループ (ビット 15 ~ 12、ビット 11 ~ 8、ビット 7 ~ 4、ビット 3 ~ 0) は、H'0 (0000) ~ H'F (1111) の値でセットします。設定 H'0 は優先順位レベル 0 (要求マスク) を意味し、H'F は優先順位レベル 15 (最高レベル) です。リセットにより IPRA ~ IPRE は H'0000 に初期化されます。

未使用の割り込みに対応するビットに H'0 を設定する必要があります。

6.4.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は外部割り込み入力端子 NMI の入力検出モードを設定し、NMI 端子に対する入力信号レベルを示します。このレジスタはパワーオンリセットまたはマニュアルリセット時に H'0000 または H'8000 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15	NMIL	0/1*	R	NMI 入力レベル NMI 端子に信号入力のレベルをセットします。このビットを読み出して NMI 端子レベルを判断することができます。このビットは変更不可能です。 0 : NMI 入力レベルは Low 1 : NMI 入力レベルは High
14~9		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
8	NMIE	0	R/W	NMI エッジ選択 NMI 入力の立ち下がりまたは立ち上がりエッジのどちらで割り込み要求信号を検出するかを選択します。 0 : NMI 入力の立ち下がりエッジで割り込み要求信号を検出 1 : NMI 入力の立ち上がりエッジで割り込み要求信号を検出
7~0		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。

【注】* NMI 入力が高レベルのときは 1、NMI 入力がローレベルのときは 0 になります。

6.4.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ0~IRQ5 に対して立ち上がりエッジ、立ち下がりエッジ、ローレベルの検出モードを個別に指定する 16 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明
15	MAI	0	R/W	すべての割り込みのマスク 1 にセットすると、NMI 端子にローレベルを入力中、すべての割り込み要求をマスクします。また、スタンバイモード中、NMI 割り込みをマスクします。 0 : NMI 端子がローレベルのとき、すべての割り込み要求をマスクしない 1 : NMI 端子がローレベルのとき、すべての割り込み要求をマスクする
14	IRQLVL	1	R/W	割り込み要求レベル検出 IRQ3~IRQ0 端子を 4 本の独立した割り込み端子として使用するか、 $\overline{IRL3}$ ~ $\overline{IRL0}$ としてエンコードした 15 レベルの割り込み端子として使用するかを選択します。 0 : 4 本の独立した割り込み要求端子 IRQ3~IRQ0 として使用 1 : $\overline{IRL3}$ ~ $\overline{IRL0}$ としてエンコードした 15 レベルの割り込み端子として使用

6. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明
13	BLMSK	0	R/W	BL ビットマスク SR レジスタの BL ビットが 1 のとき、NMI 割り込みをマスクするかどうかを指定します。 0 : BL ビットが 1 のとき、NMI 割り込みをマスクする 1 : BL ビットの設定に関係なく NMI 割り込みを受け付ける
12		0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
11 10	IRQ51S IRQ50S	0 0	R/W R/W	IRQ5 センスセレクト IRQ5 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。 00 : 割り込み要求を IRQ5 入力の立ち下がりエッジで検出する 01 : 割り込み要求を IRQ5 入力の立ち上がりエッジで検出する 10 : 割り込み要求を IRQ5 入力のローレベルで検出する 11 : 予約 (使用不可)
9 8	IRQ41S IRQ40S	0 0	R/W R/W	IRQ4 センスセレクト IRQ4 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。 00 : 割り込み要求を IRQ4 入力の立ち下がりエッジで検出する 01 : 割り込み要求を IRQ4 入力の立ち上がりエッジで検出する 10 : 割り込み要求を IRQ4 入力のローレベルで検出する 11 : 予約 (使用不可)
7 6	IRQ31S IRQ30S	0 0	R/W R/W	IRQ3 センスセレクト IRQ3 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。 00 : 割り込み要求を IRQ3 入力の立ち下がりエッジで検出する 01 : 割り込み要求を IRQ3 入力の立ち上がりエッジで検出する 10 : 割り込み要求を IRQ3 入力のローレベルで検出する 11 : 予約 (使用不可)
5 4	IRQ21S IRQ20S	0 0	R/W R/W	IRQ2 センスセレクト IRQ2 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。 00 : 割り込み要求を IRQ2 入力の立ち下がりエッジで検出する 01 : 割り込み要求を IRQ2 入力の立ち上がりエッジで検出する 10 : 割り込み要求を IRQ2 入力のローレベルで検出する 11 : 予約 (使用不可)

ビット	ビット名	初期値	R/W	説明
3	IRQ11S	0	R/W	IRQ1 センスセレクト IRQ1 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。 00: 割り込み要求を IRQ1 入力の立ち下がりエッジで検出する 01: 割り込み要求を IRQ1 入力の立ち上がりエッジで検出する 10: 割り込み要求を IRQ1 入力のローレベルで検出する 11: 予約 (使用不可)
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	IRQ0 センスセレクト IRQ0 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。 00: 割り込み要求を IRQ0 入力の立ち下がりエッジで検出する 01: 割り込み要求を IRQ0 入力の立ち上がりエッジで検出する 10: 割り込み要求を IRQ0 入力のローレベルで検出する 11: 予約 (使用不可)
0	IRQ00S	0	R/W	

6.4.4 割り込み要求レジスタ 0 (IRR0)

IRR0 は、外部入力端子 IRQ0 ~ IRQ5 からの割り込み要求を示す 8 ビットのレジスタです。

IRQ5R ~ IRQ0R ビットを 0 にクリアする場合、当該ビットが 1 にセットされていることを読み出したあとクリアしたいビットのみ 0、他はすべて 1 を書き込んでください。IRQ5R ~ IRQ0R には 0 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
5	IRQ5R	0	R/W	IRQ5 割り込み要求 IRQ5 端子に割り込み要求が入力されているかどうかを示します。IRQ5 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ5R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ5 端子の状態表示なので、フラグクリア不要です。 0: IRQ5 端子に割り込み要求なし 1: IRQ5 端子に割り込み要求あり
4	IRQ4R	0	R/W	IRQ4 割り込み要求 IRQ4 端子に割り込み要求が入力されているかどうかを示します。IRQ4 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ4R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ4 端子の状態表示なので、フラグクリア不要です。 0: IRQ4 端子に割り込み要求なし 1: IRQ4 端子に割り込み要求あり

6. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明
3	IRQ3R	0	R/W	<p>IRQ3 割り込み要求</p> <p>IRQ3 端子に割り込み要求が入力されているかどうかを示します。IRQ3 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ3R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ3 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ3 端子に割り込み要求なし 1 : IRQ3 端子に割り込み要求あり</p>
2	IRQ2R	0	R/W	<p>IRQ2 割り込み要求</p> <p>IRQ2 端子に割り込み要求が入力されているかどうかを示します。IRQ2 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ2R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ2 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ2 端子に割り込み要求なし 1 : IRQ2 端子に割り込み要求あり</p>
1	IRQ1R	0	R/W	<p>IRQ1 割り込み要求</p> <p>IRQ1 端子に割り込み要求が入力されているかどうかを示します。IRQ1 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ1R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ1 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ1 端子に割り込み要求なし 1 : IRQ1 端子に割り込み要求あり</p>
0	IRQ0R	0	R/W	<p>IRQ0 割り込み要求</p> <p>IRQ0 端子に割り込み要求が入力されているかどうかを示します。IRQ0 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ0R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ0 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ0 端子に割り込み要求なし 1 : IRQ0 端子に割り込み要求あり</p>

6.4.5 割り込み要求レジスタ 1 (IRR1)

IRR1 は DMAC 割り込み要求発生の有無を示す 8 ビットのリード専用レジスタです。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。</p>
3	DEI3R	0	R	<p>DEI3 割り込み要求</p> <p>DEI3 (DMAC) 割り込み要求が発生したかどうかを示します。</p> <p>0 : DEI3 割り込み要求は発生していない 1 : DEI3 割り込み要求は発生している</p>

ビット	ビット名	初期値	R/W	説明
2	DEI2R	0	R	DEI2 割り込み要求 DEI2 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI2 割り込み要求は発生していない 1 : DEI2 割り込み要求は発生している
1	DEI1R	0	R	DEI1 割り込み要求 DEI1 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI1 割り込み要求は発生していない 1 : DEI1 割り込み要求は発生している
0	DEI0R	0	R	DEI0 割り込み要求 DEI0 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI0 割り込み要求は発生していない 1 : DEI0 割り込み要求は発生している

6.4.6 割り込み要求レジスタ 2 (IRR2)

IRR2 は A/D コンバータ、SCIF 割り込み要求発生の有無を示す 8 ビットのリード専用レジスタです。

ビット	ビット名	初期値	R/W	説明
7~5		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
4	ADIR	0	R	ADI 割り込み要求 ADI (ADC) 割り込み要求が発生したかどうかを示します。 0 : ADI 割り込み要求は発生していない 1 : ADI 割り込み要求は発生している
3	TXI2R	0	R	TXI2 割り込み要求 TXI2 (SCIF) 割り込み要求が発生したかどうかを示します。 0 : TXI2 割り込み要求は発生していない 1 : TXI2 割り込み要求は発生している
2	BRI2R	0	R	BRI2 割り込み要求 BRI2 (SCIF) 割り込み要求が発生したかどうかを示します。 0 : BRI2 割り込み要求は発生していない 1 : BRI2 割り込み要求は発生している
1	RXI2R	0	R	RXI2 割り込み要求 RXI2 (SCIF) 割り込み要求が発生したかどうかを示します。 0 : RXI2 割り込み要求は発生していない 1 : RXI2 割り込み要求は発生している

6. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明
0	ERI2R	0	R	ERI2 割り込み要求 ERI2 (SCIF) 割り込み要求が発生したかどうかを示します。 0 : ERI2 割り込み要求は発生していない 1 : ERI2 割り込み要求は発生している

6.5 動作説明

6.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.3 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中からIPRA ~ IPREに従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表6.3、表6.4に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのSRのI3 ~ I0とが比較されます。I3 ~ I0ビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
4. 検出タイミング : INTCは周辺クロック (P) に同期して動作し、CPUに割り込み要求を通知します。CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT / INTEVT2) に割り込み要因コードがセットされます。
6. SRとPCが、それぞれSSRとSPCに退避されます。
7. SRのBL、MD、RBがIにセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'0000 0600の和) にジャンプします。このジャンプは遅延分岐ではありません。

例外処理ルーチンでは、割り込み要因を識別するために、たとえばINTEVT / INTEVT2レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. 本 LSI では、割り込みを受け付けても CPU の SR の I3 ~ I0 は変化しません。
 2. $\overline{\text{IRQOUT}}$ 端子からは、割り込み要因がクリアされるまで、ローレベルが出力され続けます。
ただし、割り込みマスクビットで割り込み要因がマスクされる場合には、 $\overline{\text{IRQOUT}}$ 端子はハイレベルに戻ります。
また BL ビットとは無関係に出力されます。
 3. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。
クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後要因フラグをリードし、その後、表 6.7 の優先順位判定および SR のマスクビットとの比較時間を待ってから、BL ビットをクリアするか、RTE 命令を実行します。

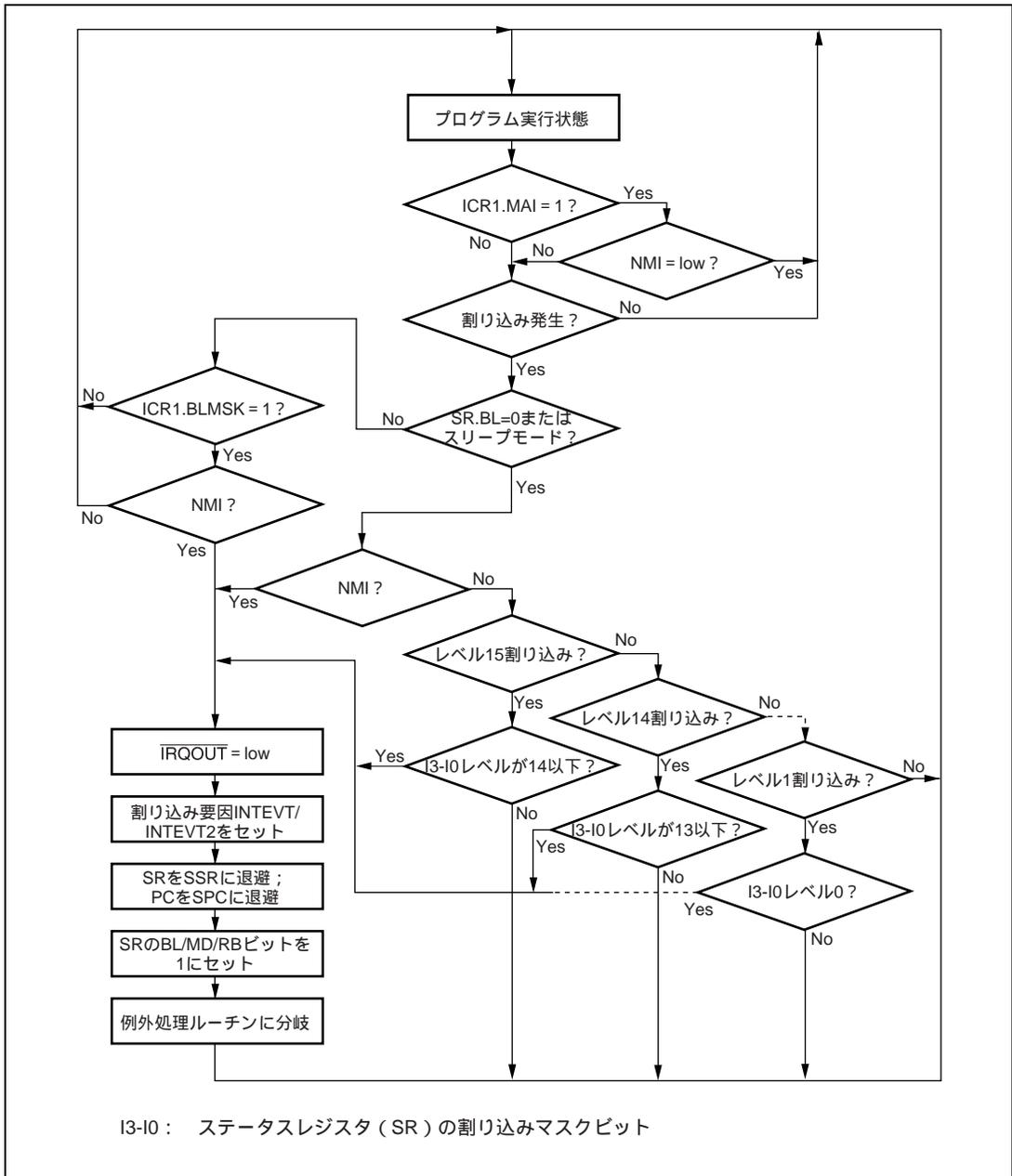


図 6.3 割り込み動作フローチャート

6. 割り込みコントローラ (INTC)

6.5.2 多重割り込み

多重割り込みを行う場合、割り込み処理ルーチンの構造を以下のようにしてください。

1. 割り込み要因を判定するために、INTEVT / INTEVT2レジスタの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをメモリに退避します。
4. SRのBLビットをクリアします。このとき、SRの割り込みマスクビットも受け付けた割り込みレベルに設定します。
5. このあと、実際に行いたい処理を書きます。
6. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。

6.6 割り込み応答時間

割り込み要求の生成から割り込み例外処理を実行し、例外ハンドラの第一命令のフェッチが開始するまでの時間(割り込み応答時間)を表6.7に示します。図6.4はIRL割り込みの受け付け時のパイプライン動作の例を示します。SRのBLが1のとき、割り込み例外処理はマスクされ、BLを0にクリアする命令が完了するまで待たされます。

ここでは応答時間をIのクロック数で表しています。割り込み入力時のPの位相によっては、この表の値よりPで1クロック分増減がある場合があります。

表 6.7 割り込み応答時間

項目	ステート数				注 記	
	NMI	IRQ	IRL	周辺モジュール		
優先順位判定と SR のマスクビットとの比較時間	$0.5 \times \text{Icyc}$ $+ 1.5 \times \text{Bcyc}$	$1.5 \times \text{Icyc}$ $+ 0.5 \times \text{Bcyc}$ $+ 2 \times \text{Pcyc}^{*2}$	$0.5 \times \text{Icyc}$ $+ 0.5 \times \text{Bcyc}$ $+ 3.5 \times \text{Pcyc}$	$0.5 \times \text{Icyc}$ $+ 1.5 \times \text{Pcyc}^{*3}$ $0.5 \times \text{Icyc}$ $+ 3 \times \text{Pcyc}^{*4}$		
CPU が実行中のシーケンス終了までの待ち時間	$X(0) \times \text{Icyc}$	$X(0) \times \text{Icyc}$	$X(0) \times \text{Icyc}$	$X(0) \times \text{Icyc}$	実行中の命令が終了するまで割り込み例外処理は待たされます。最も長い待ち時間は、命令実行ステート数を S^{*1} とすると、 $X = S - 1$ となります。ただし、命令の実行や例外の発生で BL が 1 に設定された場合、BL を 0 に設定する命令が終了するまで待たされます。また、割り込み例外処理をマスクする命令が続く場合、さらに待たされることもあります。	
割り込み例外処理 (SR、PC の退避) から例外処理ルーチンの先頭命令のフェッチを開始するまでの時間	$5 \times \text{Icyc}$	$5 \times \text{Icyc}$	$5 \times \text{Icyc}$	$5 \times \text{Icyc}$		
応答時間	合計	$(5.5 + X) \times \text{Icyc}$ $+ 1.5 \times \text{Bcyc}$	$(6.5 + X) \times \text{Icyc}$ $+ 0.5 \times \text{Bcyc}$ $+ 2 \times \text{Pcyc}^{*4}$	$(5.5 + X) \times \text{Icyc}$ $+ 0.5 \times \text{Bcyc}$ $+ 3.5 \times \text{Pcyc}$	$(5.5 + X) \times \text{Icyc}$ $+ 1.5 \times \text{Pcyc}^{*3}$ $(5.5 + X) \times \text{Icyc}$ $+ 3 \times \text{Pcyc}^{*4}$	
	最小の場合	7	9	9.5	$7^{*3}/8.5^{*4}$	I :B :P =1:1:1
	最大の場合	$10.5 + S$	$15.5 + S$	$20.5 + S$	$10.5 + S^{*3}$ $16.5 + S^{*4}$	I :B :P =4:1:1

Icyc : I の 1 サイクルの時間

Bcyc : B の 1 サイクルの時間

Pcyc : P の 1 サイクルの時間

【注】 *1 この S には、メモリアクセスの待ち時間も含まれます。

最も実行時間の長い処理は、LDC.L @Rm+、SR で、メモリアクセスがキャッシュにヒットする場合、命令実行ステート数は 7 になります。外部アクセスが行われる場合は、そのサイクル数を加算します。また、外部メモリアクセスを 2 回行う命令もあり、外部メモリアクセスが遅い場合はそれに応じて命令実行ステート数が増えます。

*2 エッジ検出

*3 周辺モジュール : TMU、RTC、SCI、WDT、REFC

*4 周辺モジュール : DMAC、ADC、SCIF

6. 割り込みコントローラ (INTC)

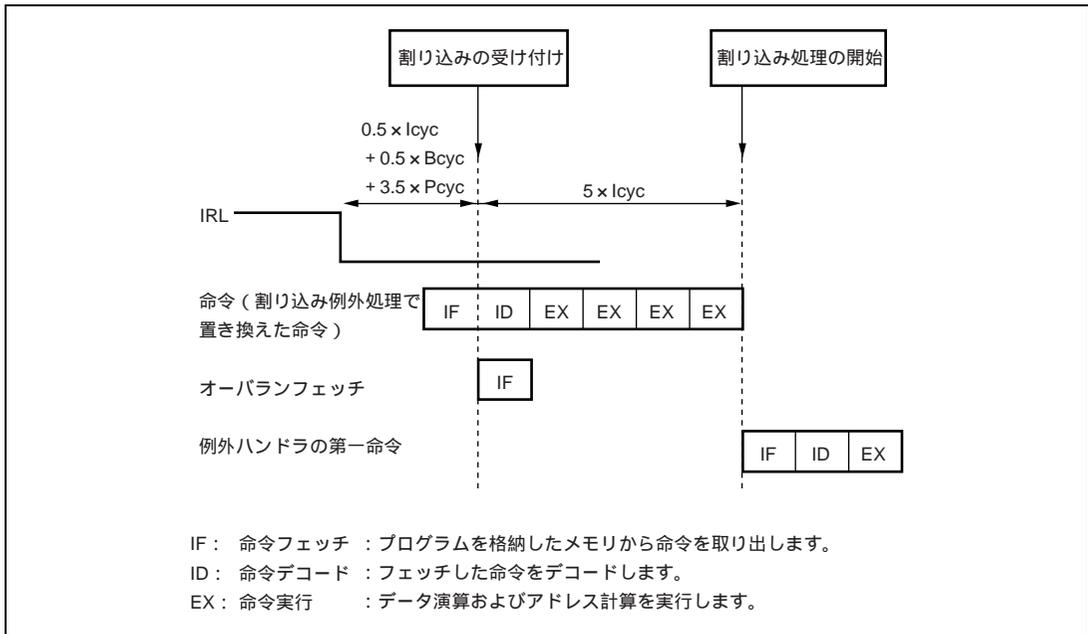


図 6.4 IRL 割り込みの受け付け時のパイプライン動作の例

7. ユーザブ레이크コントローラ (UBC)

UBC は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはデータの読み出し書き込み、データのサイズ、データの内容、アドレスの値、命令フェッチのときの停止タイミングがあります。UBC のブロック図を図 7.1 に示します。

7.1 特長

UBC は、次のような特長を持っています。

- 次のようなブ레이크比較条件を設定可能
 - ブ레이크チャンネル数：2チャンネル (チャンネルAとB)
 - アドレス：比較ビットは32ビット単位でマスク可能
 - 2つのアドレスバスの1つ (論理アドレスバス (LAB)、内部アドレスバス (IAB)) を選択できます。
 - データ：チャンネルBのみ、32ビットマスク可能
 - 2本のデータバス (論理データバス (LDB)、内部データバス (IDB)) のどれか1つを選択できます。
 - バスマスタ：CPUまたはDMACサイクル
 - バスサイクル：命令フェッチまたはデータアクセス
 - リードまたはライト
 - オペランドサイズ：バイト、ワード、またはロングワード
- ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能
- 命令フェッチサイクルにおいて、ブ레이크を命令の実行の前に設定するか後に設定するかを指定可能
- ブ레이크条件 (チャンネルBに対してのみ) として、最大 $2^{12}-1$ 回まで繰り返し回数を指定可能
- 8組の分岐元 / 分岐先バッファ

7. ユーザブレイクコントローラ (UBC)

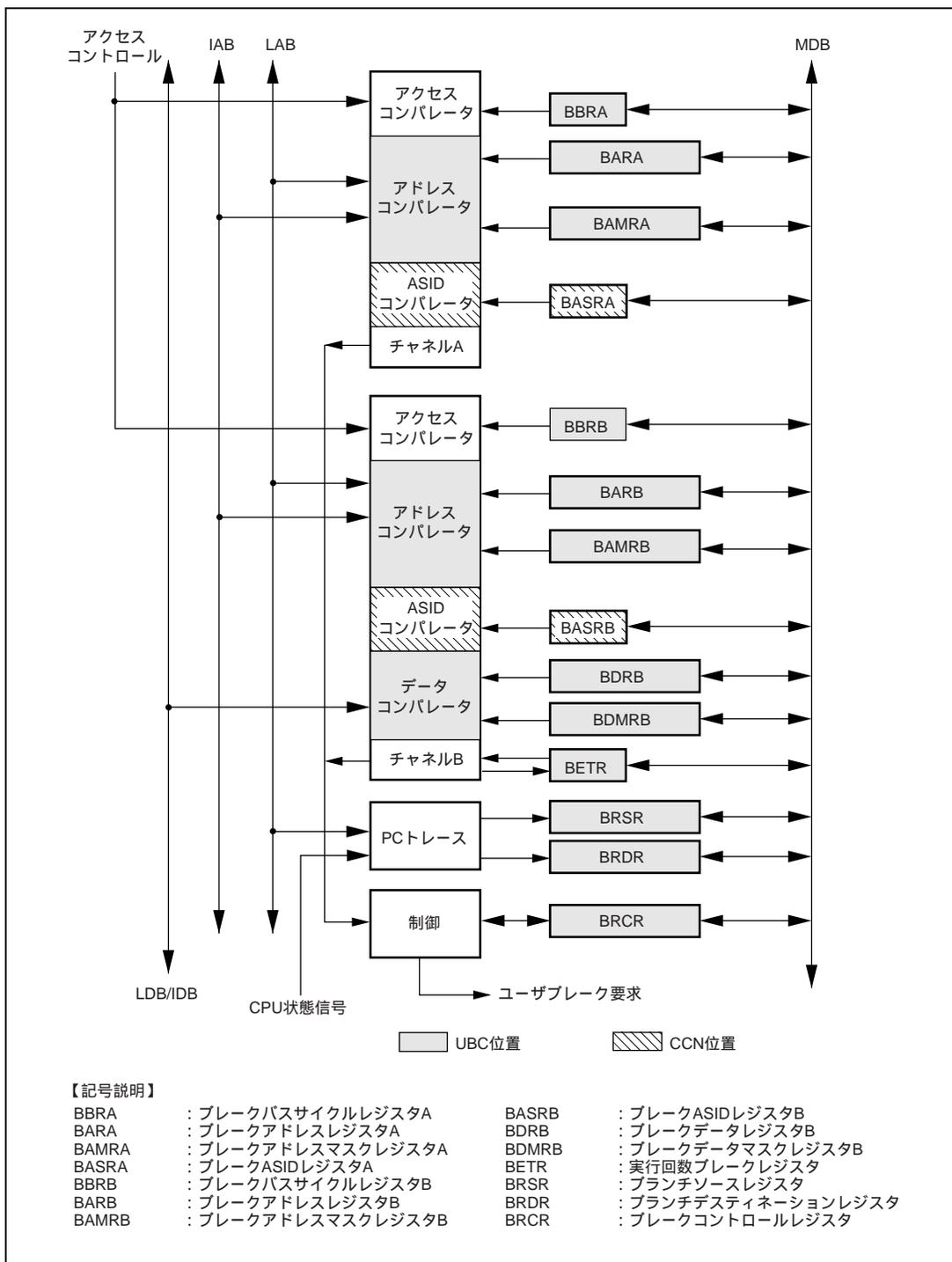


図 7.1 UBC のブロック図

7.2 レジスタの説明

UBC には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照してください。

- ブレークアドレスレジスタA (BARA)
- ブレークアドレスマスクレジスタA (BAMRA)
- ブレークバスサイクルレジスタA (BBRA)
- ブレークアドレスレジスタB (BARB)
- ブレークアドレスマスクレジスタB (BAMRB)
- ブレークバスサイクルレジスタB (BBRB)
- ブレークデータレジスタB (BDRB)
- ブレークデータマスクレジスタB (BDMRB)
- ブレークコントロールレジスタ (BRCR)
- 実行回数ブレークレジスタ (BETR)
- ブランチソースレジスタ (BRSR)
- ブランチデスティネーションレジスタ (BRDR)
- ブレークASIDレジスタA (BASRA)
- ブレークASIDレジスタB (BASRB)

7.2.1 ブレークアドレスレジスタ A (BARA)

BARA は、32 ビットのリード/ライト可能なレジスタです。BARA はチャンネル A のブレーク条件とするアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAA31~ BAA0	すべて0	R/W	ブレークアドレス チャンネルAのブレーク条件を指定する LAB または IAB のアドレスを格納します。

7.2.2 ブレークアドレスマスクレジスタ A (BAMRA)

BAMRA は 32 ビットのリード/ライト可能なレジスタです。BAMRA は BARA で指定されるブレークアドレスビットのうちマスクするビットを指定します。

7. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
31~0	BAMA31~ BAMA0	すべて0	R/W	ブレイクアドレスマスクビット 0: チャンネルAのブレイクアドレスビットBAAnは、ブレイク条件に含まれる 1: チャンネルAのブレイクアドレスビットBAAnは、ブレイク条件に含まれない

【注】n=31~0

7.2.3 ブレイクバスサイクルレジスタ A (BBRA)

BBRAは、チャンネルAのブレイク条件として(1)CPUサイクルまたはDMACサイクル、(2)命令フェッチまたはデータアクセス、(3)読み出しまたは書き込み、(4)オペランドサイズを指定する16ビットのリード/ライト可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15~8		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
7 6	CDA1 CDA0	0 0	R/W R/W	CPUサイクル/DMACサイクルセレクトA チャンネルAブレイク条件のバスサイクルとしてCPUサイクルまたはDMACサイクルを選択します。 00: 条件比較を行わない X1: ブレイク条件はCPUサイクル 10: ブレイク条件はDMACサイクル
5 4	IDA1 IDA0	0 0	R/W R/W	命令フェッチ/データアクセスセレクトA チャンネルAブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00: 条件比較を行わない 01: ブレイク条件は命令フェッチサイクル 10: ブレイク条件はデータアクセスサイクル 11: ブレイク条件は命令フェッチサイクルまたはデータアクセスサイクル
3 2	RWA1 RWA0	0 0	R/W R/W	読み出し/書き込みセレクトA チャンネルAブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00: 条件比較を行わない 01: ブレイク条件は読み出しサイクル 10: ブレイク条件は書き込みサイクル 11: ブレイク条件は読み出しサイクルまたは書き込みサイクル

7. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
1	SZA1	0	R/W	オペランドサイズセレクト A
0	SZA0	0	R/W	チャンネル A ブレイク条件のバスサイクルのオペランドサイズを選択します。 00 : ブレイク条件にはオペランドサイズを含まない 01 : ブレイク条件はバイトアクセス 10 : ブレイク条件はワードアクセス 11 : ブレイク条件はロングワードアクセス

【注】 X : Don't care

7.2.4 ブレイクアドレスレジスタ B (BARB)

BARB は、32 ビットのリード/ライト可能なレジスタです。BARB はチャンネル B のブレイク条件とするアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAB31~ BAB0	すべて0	R/W	ブレイクアドレス チャンネル B のブレイク条件を指定する LAB または IAB のアドレスを格納します。

7.2.5 ブレイクアドレスマスクレジスタ B (BAMRB)

BAMRB は、32 ビットのリード/ライト可能なレジスタです。BAMRB は、BARB で指定されるブレイクアドレスビットのうちマスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAMB31~ BAMB0	すべて0	R/W	ブレイクアドレスマスクビット BARB (BAB31~BAB0) で指定されたチャンネル B のブレイクアドレスビットでマスクするビットを指定します。 0 : チャンネル B のブレイクアドレスビット BABn は、ブレイク条件に含まれる 1 : チャンネル B のブレイクアドレスビット BABn は、ブレイク条件に含まれない

【注】 n = 31~0

7.2.6 ブレイクデータレジスタ B (BDRB)

BDRB は、32 ビットのリード/ライト可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
31~0	BDB31~ BDB0	すべて0	R/W	ブレイクデータビット

7. ユーザブレイクコントローラ (UBC)

7.2.7 ブレークデータマスクレジスタ B (BDMRB)

BDMRB は、32 ビットのリード/ライト可能なレジスタです。BDMRB は、BDRB で指定するブレークデータビットのうちマスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BDMB31~ BDMB0	すべて0	R/W	ブレークデータマスク 0: チャンネル B のブレークデータビット BDBn は、ブレーク条件に含まれる 1: チャンネル B のブレークデータビット BDBn は、マスクされるため、ブレーク条件には含まれない

【注】n=31~0

1. ブレーク条件にデータバスの値を含める場合オペランドサイズを指定してください。
2. ブレーク条件としてバイトサイズを指定する場合、BDRB においてブレークデータは、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。

7.2.8 ブレークバスサイクルレジスタ B (BBRB)

BBRB は、チャンネル B のブレーク条件として (1) CPU サイクルまたは DMAC サイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、および (4) オペランドサイズを指定する 16 ビットのリード/ライト可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15~8		すべて0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
7 6	CDB1 CDB0	0 0	R/W R/W	CPU サイクル/DMAC サイクルセレクト B チャンネル B ブレーク条件のバスサイクルとして CPU サイクルまたは DMAC サイクルを選択します。 00: 条件比較を行わない X1: ブレーク条件は CPU サイクル 10: ブレーク条件は DMAC サイクル
5 4	IDB1 IDB0	0 0	R/W R/W	命令フェッチ/データアクセスセレクト B チャンネル B ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は命令フェッチサイクル 10: ブレーク条件はデータアクセスサイクル 11: ブレーク条件は命令フェッチサイクルまたはデータアクセスサイクル

7. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
3 2	PWB1 PWB0	0 0	R/W R/W	読み出し / 書き込みセレクト B チャンネル B ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00 : 条件比較を行わない 01 : ブレーク条件は読み出しサイクル 10 : ブレーク条件は書き込みサイクル 11 : ブレーク条件は読み出しサイクルまたは書き込みサイクル
1 0	SZB1 SZB0	0 0	R/W R/W	オペランドサイズセレクト B チャンネル B ブレーク条件のバスサイクルのオペランドサイズを選択します。 00 : ブレーク条件はオペランドサイズを含まない 01 : ブレーク条件はバイトアクセス 10 : ブレーク条件はワードアクセス 11 : ブレーク条件はロングワードアクセス

【注】 X : Don't care

7.2.9 ブレークコントロールレジスタ (BRCR)

BRCR は次の条件を設定します。

1. チャンネル A、B を 2 つの独立したチャンネル条件か、あるいは 1 つの連続した条件として使用するかを指定します。
2. ブレークを命令実行の前に設定するか後に設定するかを指定します。
3. ブレークを実行回数だけセットします。
4. チャンネル B 比較条件にデータバスを含めるかどうかを決定します。
5. PC トレースをイネーブルにします。
6. ASID チェックをイネーブルにします。

BRCR は、ブレーク条件一致フラグと種々のブレーク条件をセットするためのビットを持つ 32 ビットのリード / ライト可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
31 ~ 22		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
21	BASMA	0	R/W	ブレーク ASID マスク A BASRA にセットされたチャンネル A ブレーク ASID7 ~ ASID0 (BASA7 ~ BASA0) のビットをマスクするかどうかを指定します。 0 : すべての BASRA ビットはブレーク条件に含まれ、ASID がチェックされる 1 : すべての BASRA ビットはブレーク条件に含まれず、ASID がチェックされない

7. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
20	BASMB	0	R/W	ブレイク ASID マスク B BASRB にセットされたチャンネル B ブレイク ASID7 ~ ASID0 (BASB7 ~ BASB0) のビットをマスクするかどうかを指定します。 0: すべての BASRB ビットはブレイク条件に含まれ、ASID がチェックされる 1: すべての BASRB ビットはブレイク条件に含まれず、ASID がチェックされない
19~16		すべて0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
15	SCMFCA	0	R/W	CPU 条件一致フラグ A チャンネル A にセットしたブレイク条件の CPU バスサイクル条件を満足すると、このフラグは 1 にセットされます (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。 0: チャンネル A に対する CPU サイクル条件不一致 1: チャンネル A に対する CPU サイクル条件一致
14	SCMFCB	0	R/W	CPU 条件一致フラグ B チャンネル B にセットしたブレイク条件の CPU バスサイクル条件を満足すると、このフラグは 1 にセットされます (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。 0: チャンネル B に対する CPU サイクル条件不一致 1: チャンネル B に対する CPU サイクル条件一致
13	SCMFDA	0	R/W	DMAC 条件一致フラグ A チャンネル A にセットしたブレイク条件の内蔵 DMAC バスサイクル条件を満足すると、このフラグは 1 にセットされます (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。 0: チャンネル A に対する DMAC サイクル条件不一致 1: チャンネル A に対する DMAC サイクル条件一致
12	SCMFDB	0	R/W	DMAC 条件一致フラグ B チャンネル B にセットしたブレイク条件の内蔵 DMAC バスサイクル条件を満足すると、このフラグは 1 にセットされます (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。 0: チャンネル B に対する DMAC サイクル条件不一致 1: チャンネル B に対する DMAC サイクル条件一致
11	PCTE	0	R/W	PC トレースイネーブル PC トレースを許可します。 0: PC トレースを禁止 1: PC トレースを許可

7. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
10	PCBA	0	R/W	PC ブレークセレクト A チャンネル A に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0: チャンネル A の PC ブレークを命令実行前に設定 1: チャンネル A の PC ブレークを命令実行後に設定
9、8		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
7	DBEB	0	R/W	データブレークイネーブル B データバス条件がチャンネル B のブレーク条件に含まれるかどうかを選択します。 0: データバス条件がチャンネル B のブレーク条件に含まれない 1: データバス条件がチャンネル B のブレーク条件に含まれる
6	PCBB	0	R/W	PC ブレークセレクト B チャンネル B に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0: チャンネル B の PC ブレークを命令実行前に設定 1: チャンネル B の PC ブレークを命令実行後に設定
5、4		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
3	SEQ	0	R/W	シーケンス条件セレクト チャンネル A および B の 2 つの条件が独立した条件であるか連続した条件であるかを選択します。 0: 独立した条件下でチャンネル A とチャンネル B を比較 1: 連続した条件下でチャンネル A とチャンネル B を比較 (チャンネル A、次にチャンネル B)
2、1		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
0	ETBE	0	R/W	実行回数ブレークイネーブル チャンネル B に対してのみ実行回数ブレーク条件を有効にします。このビットが 1 の場合 (実行回数ブレークイネーブル)、生じたブレーク条件の数が BETR レジスタで指定した実行回数と等しくなったときユーザブレイク割り込みが出されます。 0: チャンネル B の実行回数ブレーク条件を無効にする 1: チャンネル B の実行回数ブレーク条件を有効にする

7. ユーザブレイクコントローラ (UBC)

7.2.10 実行回数ブレイクレジスタ (BETR)

チャンネル B の実行回数ブレイク条件を有効にすると、このレジスタはブレイクを行う回数を指定します。最大値は $2^{12}-1$ 回です。ブレイク条件を満たすたびに BETR は 1 ずつデクリメントされます。BETR が H'0001 になったあと、ブレイク条件を満たすとブレイクが出されます。

ビット	ビット名	初期値	R/W	説明
15~12		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
11~0		すべて0	R/W	実行回数

7.2.11 ブランチソースレジスタ (BRSR)

BRSR は、32 ビットのリード専用レジスタです。BRSR は、分岐前に最後にフェッチしたアドレスと最後に実行した命令に対するフェッチから実行までのサイクル数を示すポインタ (3 ビット) を格納します。BRSR は、分岐発生時に 1 にセットされるフラグビットを持っています。このフラグビットは、BRSR の読み出し時、またパワーオンリセットまたはマニュアルリセットで初期化するとき 0 にクリアされます。その他のビットはリセットによっては初期化されません。8 本の BRSR はキュー構造を持ち、格納したレジスタは分岐ごとにシフトされず。

ビット	ビット名	初期値	R/W	説明
31	SVF	0	R	BRSR 有効フラグ アドレスおよび分岐元アドレスを指すポインタが計算可能であるかどうかを示します。分岐元アドレスが取り出されるときこのフラグは 1 にセットされます。このフラグは、BRSR を読み出すことによって 0 にクリアされます。 0 : BRSR レジスタの値は無効 1 : BRSR レジスタの値は有効
30	PID2		R	命令デコードポインタ PID は 3 ビットのバイナリポインタ (0~7) です。これらのビットは分岐を実行する前に最後に実行した命令を格納する命令バッファの番号を示します。 偶数 : PID は命令バッファの番号を示す 奇数 : PID+2 は命令バッファの番号を示す
29	PID1		R	
28	PID0		R	
27~0	BSA27~ BSA0		R	分岐元アドレス これらのビットは分岐を実行する前に最後に取り出したアドレスを格納します。

7.2.12 ブランチデスティネーションレジスタ (BRDR)

BRDR は、32 ビットのリード専用レジスタです。BRDR は、分岐先フェッチアドレスを格納します。BRDR は、分岐発生時に 1 に設定されるフラグビットを持っています。このフラグビットは、BRDR の読み出し時または BRDR をパワーオンリセットまたはマニュアルリセットで初期化するとき 0 にクリアされます。その他のビットはリセットによっては初期化されません。8 本の BRDR はキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

ビット	ビット名	初期値	R/W	説明
31	DVF	0	R	BRDR 有効フラグ 分岐先アドレスが格納されているかどうかを示します。分岐先アドレスが取り出されるときこのフラグは 1 にセットされます。このフラグは BRDR を読出すことによって 0 にセットされます。 0 : BRDR レジスタの値は無効 1 : BRDR レジスタの値は有効
30 ~ 28			R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
27 ~ 0	BDA27 ~ BDA0		R	分岐元アドレス これらのビットは分岐後最初に取り出したアドレスを格納します。

7.2.13 ブレーク ASID レジスタ A (BASRA)

ブレーク ASID レジスタ A (BASRA) は、チャンネル A に対するブレーク条件となる ASID を指定する 8 ビットのリード/ライト可能なレジスタです。BASRA はリセットでは初期化されません。CCN に存在します。

ビット	ビット名	初期値	R/W	説明
7 ~ 0	BASA7 ~ BASA0		R/W	ブレーク ASID これらのビットはチャンネル A のブレーク条件である ASID (ビット 7 ~ 0) を格納します。

7.2.14 ブレーク ASID レジスタ B (BASRB)

ブレーク ASID レジスタ B (BASRB) は、チャンネル B に対するブレーク条件となる ASID を指定する 8 ビットのリード/ライト可能なレジスタです。BASRB はリセットでは初期化されません。CCN に存在します。

ビット	ビット名	初期値	R/W	説明
7 ~ 0	BASB7 ~ BASB0		R/W	ブレーク ASID これらのビットはチャンネル B のブレーク条件である ASID (ビット 7 ~ 0) を格納します。

7.3 動作説明

7.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは次のとおりです。

1. ブレイクアドレスおよび該当するASIDは、BARA、BARBとBASRA、BASRBにセットします。マスクするアドレスはBAMRA、BAMRBにセットします。ブレイクデータはBDRBにセットします。マスクするデータはBDMRBにセットします。パスブレイク条件は、BBRA、BBRBにセットします。BBRAとBBRBの3つの制御ビットペア、すなわちCPUサイクル/DMACサイクルセレクト、命令フェッチ/データアクセスセレクト、読み出し/書き込みセレクトを設定します。3つの制御ビットペアのどれか1つでも00の場合、ユーザブレイクは発生しません。ブレイク制御はBRCRのビットにセットします。
2. ブレイク条件を満足すると、UBCはユーザブレイク要求を割り込みコントローラに送ります。ブレイクタイプはCPUに送られ、命令フェッチ、命令前/後命令ブレイク、データアクセスブレイクを示します。ブレイク条件を満足すると、それぞれのチャンネルに対するCPU条件一致フラグ (SCMFCA、SCMFDB) およびDMAC条件一致フラグ (SCMFDA、SCMFDB) がセットされます。
3. 設定条件の一致、不一致をチェックするため該当する条件一致フラグ (SCMFCA、SCMFDA、SCMFDB、SCMFDB) を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためにはまず0を書き込まなければなりません。
4. データアクセスブレイクとそれに続く命令フェッチブレイクがほぼ同時に発生する場合があります。CPUに対するブレイク割り込み要求は1つだけであってもこれらの2つのブレイクチャンネル一致フラグは2つともセットされる場合があります。

7.3.2 命令フェッチサイクルでのブレイク

1. BBRA、BBRBにCPU/命令フェッチ/読み出し/ワードまたはロングワードが設定されると、ブレイク条件はCPUの命令フェッチサイクルになります。命令実行の前にブレイクするか後にブレイクするかは、該当するチャンネルに対するBRCRのPCBA、PCBBビットで選択できます。
2. 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、ブレイクを受け付ける最初の命令の実行の直前までブレイクは発生しません。また、遅延スロット命令に対する実行前命令ブレイクにセットされたブレイク、およびSLEEP命令に対する実行後命令ブレイクも禁止されます。
3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、これはオーバランフ

エッチ命令では使用できません。遅延分岐命令に対してこの種のブ레이크が設定されると、ブ레이크を受け付ける最初の命令までブ레이크は発生しません。

4. 命令フェッチサイクルがチャンネルBに設定されるとBDRBは無視されます。したがって、命令フェッチサイクルのブ레이크にはブ레이크データを設定する必要はありません。

7.3.3 データアクセスサイクルでのブ레이크

1. CPUデータアクセスブ레이크が生じるメモリサイクルは命令によるものです。
2. 表7.1にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 7.1 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブ레이크アドレスレジスタのビット31~2とアドレスバスのビット31~2を比較
ワード	ブ레이크アドレスレジスタのビット31~1とアドレスバスのビット31~1を比較
バイト	ブ레이크アドレスレジスタのビット31~0とアドレスバスのビット31~0を比較

これは、例えばオペランドサイズ条件を指定しないでアドレス H'0000 1003 を設定するとき、ブ레이크条件を満足するバスサイクルには（他のすべての条件が満足されると仮定した場合）以下が含まれることを意味します。

H'0000 1000でのロングワードアクセス

H'0000 1002でのワードアクセス

H'0000 1003でのバイトアクセス

3. チャンネルBのブ레이크条件にデータ値が含まれる場合：

ブ레이크条件にデータ値が含まれる場合、BBRA、BBRBにロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブ레이크条件に含まれる場合、アドレス条件とデータ条件が一致するときブ레이크が発生します。この場合、バイトデータを指定するためにはBDRBとBDMRBのビット15~8、ビット7~0の2バイトに同じデータをセットします。ワードまたはバイトのオペランドサイズを選択すると、BDRBとBDMRBのビット31~16は無視されます。

4. DMACデータアクセスをブ레이크条件に含める場合：

DMACデータアクセスに対してアドレスをブ레이크条件に含める場合、BBRA、BBRBのオペランドサイズはバイト、ワード、あるいはオペランドサイズを指定しないに設定してください。データ値をブ레이크条件に含める場合は、バイトまたはワードのどちらかを選択してください。

7. ユーザブレークコントローラ (UBC)

7.3.4 シーケンシャルブレーク

1. BRRCRのSEQビットを1にセットすると、チャンネルAブレーク条件が一致した後チャンネルBブレーク条件が一致するときにシーケンシャルブレークが発生します。チャンネルAブレーク条件が一致する前にチャンネルBブレーク条件が一致すると、ユーザブレークは発生しません。また、チャンネルAとチャンネルBのブレーク条件が同時に一致したときも、シーケンシャルブレークは発生しません。
2. シーケンシャルブレーク指定では、論理バス、内部バスを選択でき、実行回数ブレーク条件も指完することができます。たとえば、実行回数ブレーク条件を指定すると、チャンネルAブレーク条件一致後、チャンネルBブレーク条件がBETR=H'0001のときに一致するとブレーク条件が満たされます。

7.3.5 退避したプログラムカウンタの値

ブレーク発生時、PCはユーザブレークのSPCに退避されます。退避したPC値はブレークの種類によって次のようになります。

1. 命令フェッチを(命令実行の前に)ブレーク条件として指定する場合：
退避されたプログラムカウンタ(PC)の値は、ブレーク条件と一致する命令のアドレスです。フェッチした命令は実行されず、その前にブレークが発生します。
2. 命令フェッチを(命令実行後)ブレーク条件として指定する場合：
退避されたPCの値は、ブレーク条件が一致する命令の次の命令のアドレスです。フェッチした命令は実行され、次の命令の実行の前にブレークが発生します。
3. データアクセス(アドレスのみ)をブレーク条件として指定する場合：
PCの値は、ブレーク条件に一致した命令の直後の命令のアドレスです。条件に一致した命令が実行され、次の命令の実行前にブレークが発生します。
4. データアクセス(アドレス+データ)をブレーク条件として指定する場合：
PCの値は、ブレーク処理の起動時にすでに実行された命令の次の命令の先頭アドレスです。データ値がブレーク条件に追加されると、ブレークが発生する場所は正確に指定することができません。ブレークはブレークが発生したデータアクセスの近傍でフェッチした命令の実行前に発生します。

7.3.6 PC トレース

1. PCトレースは、BRRCRのPCTEを1にセットすることによってイネーブルになります。分岐(分岐命令、および割り込み)が発生すると、分岐元アドレスを計算できるアドレスと分岐先アドレスはそれぞれBRSRとBRDRに格納されます。最後にフェッチされた命令のアドレスと分岐の直前に実行された命令の関係を示すポインタはBRSRに格納されます。
2. 分岐直前に実行された命令のアドレスは、BRSR内のアドレスとポインタによって計算できます。BSA(BRSR内のアドレス部)、PID(BRSR内のポインタ部)およびIA(分岐直前に実行された命令のアドレス)の計算式は、 $IA = BSA - 2 * PID$ となります。

分岐先命令を実行する前に割り込み (分岐) を行う場合は注意が必要です。次の図の場合、分岐の直前に実行された命令Execのアドレスは、 $IA = BSA - 2 * PID$ によって計算できます。しかしながら、分岐branchが遅延スロットを持ち、分岐先が $4n+2$ のアドレスである場合、分岐命令によって指定される分岐先アドレスDestはBRSRに格納されます ($Dest = BSA$)。

したがって計算式 $IA = BSA - 2 * PID$ はこの場合には適用されないため、このPIDは無効です。BSAが $4n+2$ 境界であるのはこの場合だけで、場合は次のように分類されます。

Exec : branch Dest

Dest : instr (実行されない)

割り込み

Int : interrupt routine

PID値が奇数の場合、命令バッファはPID+2バッファを指しています。ただし、この表中に示された値はそれらを勘案したものとなっています。したがって、真の分岐元アドレスはBRSRに格納されたBSA値およびPID値によって計算されます。

3. 分岐の直前に実行した命令のアドレスIAの値は、分岐の種類によって異なります。

- 分岐命令

分岐命令アドレス

- 割り込み

割り込みの直前に実行した命令

割り込みルーチンの先頭アドレスはBRDRに格納されます。

4. BRSRとBRDRは、8組のキュー構造から成っています。PCトレースレジスタに格納されたアドレスの読み出し時、キューの先頭を最初に読み出します。BRSRとBRDRはリードポインタを共有します。BRSR、BRDRの順で読み出してください。キューはBRDRの読み出し後のみシフトされます。BRDRの読み出し時にはロングワードアクセスを使用する必要があります。また、PCトレースにはトレースポインタがあり、最初はキューの最下位を指します。分岐アドレスの最初のペアはキューの最下位に格納されたあと次のペアがキューに入ると上方にシフトされます。トレースポインタは、キューから取り出されないかぎり次の分岐アドレスを指します。分岐アドレスが実行されると、トレースポインタはキューの最下位に達するまでアドレスの次のペアにシフトします。BRDRのPCTEビットのオン、オフを切り替えたあと、キューの値は無効になります。リードポインタはPCTEの切り替え前の位置に留まりますが、トレースポインタはキューの最下位でリスタートします。

7. ユーザブレイクコントローラ (UBC)

7.3.7 使用例

(1) CPU 命令フェッチサイクルに指定したブレイク条件

(a) レジスタ指定

BARA=H'0000 0404、BAMRA=H'0000 0000、BBRA=H'0054、BARB=H'0000 8010、BAMRB=H'0000 0006、
BBRB=H'0054、BDRB=H'0000 0000、BDMRB=H'0000 0000、BRCR=H'0030 0400

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス：H'0000 0404、アドレスマスク：H'0000 0000

バスサイクル：CPU / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

ASIDチェックは含まれません。

<チャンネル B>

アドレス：H'0000 8010、アドレスマスク：H'0000 0006

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ASIDチェックは含まれません。

ユーザブレイクは、アドレス H'0000 0404 の命令実行後、またはアドレス H'0000 8010 ~ H'0000 8016 の命令の実行前に発生します。

(b) レジスタ指定

BARA = H'0003 7226、BAMRA = H'0000 0000、BBRA = H'0056、BARB = H'0003 722E、BAMRB=H'0000 0000、
BBRB = H'0056、BDRB = H'0000 0000、BDMRB=H'0000 0000、

BRCR = H'0000 0008、BASRA = H'80、BASRB=H'70

指定条件：チャンネルA / チャンネルBシーケンスモード

<チャンネル A>

アドレス：H'0003 7226、アドレスマスク：H'0000 0000、ASID=H'80

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ワード

<チャンネル B>

アドレス：H'0003 722E、アドレスマスク：H'0000 0000、ASID=H'70

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ワード

ASID=H'80 およびアドレス H'0003 7226 の命令実行後、ASID=H'70 およびアドレス H'0003 722E の命令実行前にユーザブレイクが発生します。

(c) レジスタ指定

BARA =H'0002 7128、BAMRA =H'0000 0000、BBRA =H'005A、BARB =H'0003 1415、BAMRB =H'0000 0000、
BBRB =H'0054、BDRB =H'0000 0000、BDMRB =H'0000 0000、
BRCR =H'0030 0000

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス：H'0002 7128、アドレスマスク：H'0000 0000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 書き込み / ワード

ASIDチェックは含まれません。

<チャンネル B>

アドレス：H'0003 1415、アドレスマスク：H'0000 0000

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ASIDチェックは含まれません。

チャンネル A では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル B では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(d) レジスタ指定

BARA =H'0003 7226、BAMRA =H'0000 0000、BBRA =H'005A、BARB =H'0003 722E、BAMRB =H'0000 0000、
BBRB =H'0056、BDRB =H'0000 0000、BDMRB =H'0000 0000、BRCR = H'0000 0008、BASRA =H'80、BASRB =H'70

指定条件：チャンネルA / チャンネルBシーケンスモード

<チャンネル A>

アドレス：H'0003 7226、アドレスマスク：H'0000 0000、ASID：H'80

バスサイクル：CPU / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル B>

アドレス：H'0003 722E、アドレスマスク：H'0000 0000、ASID：H'70

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ワード

チャンネル A で命令フェッチは書き込みサイクルではないので、シーケンス条件一致は生じません。したがって、ユーザブレイクは発生しません。

7. ユーザブレイクコントローラ (UBC)

(e) レジスタ指定

BARA=H'0000 0500、BAMRA=H'0000 0000、BBRA=H'0057、BARB=H'0000 1000、BAMRB=H'0000 0000、
BBRB=H'0057、BDRB=H'0000 0000、BDMRB=H'0000 0000、BR CR=H'0030 0001、BETR = H'0005

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス：H'0000 0500、アドレスマスク：H'0000 0000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ロングワード

<チャンネル B>

アドレス：H'0000 1000、アドレスマスク：H'0000 0000

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ロングワード

実行回数ブレイクイネーブル (5回)

チャンネル A では、ユーザブレイクはアドレス H'0000 0500 の命令の実行前に生じます。チャンネル B では、ユーザブレイクはアドレス H'0000 1000 の命令を 4 回実行後、5 回目の命令実行前に生じます。

(f) レジスタ指定

BARA=H'0000 8404、BAMRA=H'0000 0FFF、BBRA=H'0054、BARB=H'0000 8010、BAMRB=H'0000 0006、
BBRB=H'0054、BDRB=H'0000 0000、BDMRB=H'0000 0000、BR CR=H'0000 0400、BASRA = H'80、BASRB=H'70

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス：H'0000 8404、アドレスマスク：H'0000 0FFF、ASID：H'80

バスサイクル：CPU / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件には含まれません)

<チャンネル B>

アドレス：H'0000 8010、アドレスマスク：H'0000 0006、ASID：H'70

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件には含まれません)

ユーザブレイクは ASID=H'80 でアドレス H'0000 8000 ~ H'0000 8FFE の命令の実行後、または ASID=H'70 でアドレス H'0000 8010 ~ H'0000 8016 の命令の実行前に生じます。

(2) CP データアクセスサイクルに指定したブレイク条件

(a) レジスタ指定

BARA=H'0012 3456、BAMRA=H'0000 0000、BBRA=H'0064、BARB=H'000A BCDE、BAMRB=H'0000 00FF、
BBRB=H'006A、BDRB=H'0000 A512、BDMRB= H'0000 0000、BR CR=H'0000 0080、BASRA=H'80、BASRB=H'70

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス : H'0012 3456、アドレスマスク : H'0000 0000

バスサイクル : CPU / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス : H'000A BCDE、アドレスマスク : H'0000 00FF、ASID : H'70

データ : H'0000 A512、データマスク : H'0000 0000

バスサイクル : CPU / データアクセス / 書き込み / ワード

チャンネル A では、ユーザブレイクは、ASID=H'80 によるアドレス H'0012 3454 に対するロングワードの読み出し、アドレス H'0012 3456 に対するワード読み出し、あるいはアドレス H'0012 3456 に対するバイト読み出しで生じます。チャンネル B では、ユーザブレイクは H'000A BC00 ~ H'000A BCFE にワード H'A512 を書き込むときに生じます。

(3) DMAC データアクセスサイクルに指定されたブレイク条件

(a) レジスタ指定

BARA=H'0031 4156、BAMRA=H'0000 0000、BBRA=H'0094、BARB=H'0005 5555、BAMRB = H'0000 0000、BBRB=H'00A9、BDRB = H'0000 0078、BDMRB=H'0000 000F、BRCR=H'0000 0080、BASRA=H'80、BASRB=H'70

指定条件 : チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス : H'0031 4156、アドレスマスク : H'0000 0000、ASID : H'80

バスサイクル : DMAC / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス : H'0005 5555、アドレスマスク : H'0000 0000、ASID : H'70

データ : H'0000 0078、データマスク ; H'0000 000F

バスサイクル : DMAC / データアクセス / 書き込み / バイト

チャンネル A では、命令フェッチは DMAC サイクルで実行されないのでユーザブレイクは生じません。チャンネル B では、ユーザブレイクは ASID=H'70 で DMAC がバイト H'7* をアドレス H'0005 5555 に書き込むときに生じます。

7.4 使用上の注意事項

1. CPUのみUBCのレジスタのリード/ライトが可能です。
2. UBCはCPUとDMACアクセスを同じチャンネルで監視することはできません。
3. シーケンシャルブレイクの指定における注意事項は次のとおりです。
 - シーケンシャルブレイクの設定時、Aチャンネル一致が発生後、Bチャンネル一致が発生するとき条件一致が発生します。したがって、チャンネルA一致とチャンネルB一致が同時に発生するバスサイクルが設定されてもブレイクは発生しません。
 - CPUはパイプライン構造なので、命令フェッチサイクルとメモリサイクルの順序はパイプラインによって決定されます。したがって、バスサイクルの順序においてチャンネル条件が一致すると、シーケンシャル条件が満たされます。
 - チャンネルAのバスサイクル条件が、実行前のブレイク (BRCCRのPCBA=0) および (BBRAにより) 命令フェッチとして指定されるとき以下の注意が必要です。チャンネルAとチャンネルBに対応するバスサイクル条件が一致するとき、ブレイクが発行されBRCCRの条件一致フラグが1にセットされます。
4. UBCレジスタの値は、MA (メモリアクセス) 段階で変更されます。したがって、命令実行前ブレイクがブレイク条件として指定される命令に続く命令フェッチアドレスでブレイク条件が一致しても、ブレイクは発生しません。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は新しく書き込んだレジスタ値に対して有効です。
5. PCトレースレジスタBRSRおよびBRDRを読み出した直後に分岐命令を実行しないでください。
6. PCブレイクおよびTLB例外またはエラーが同じ命令で発生した場合、優先順位は次のとおりです。
 - ブレイクおよび命令フェッチ例外：命令フェッチ例外が最初に発生します。
 - 実行前のブレイクおよびオペランド例外：実行前のブレイクが最初に発生します。
 - 実行後のブレイクおよびオペランド例外：オペランド例外が最初に発生します。

8. バスステートコントローラ (BSC)

BSCは、物理アドレス空間を分割し、各種のメモリやバスインタフェース仕様に応じた制御信号を出力します。BSCの機能によって、外付け回路なしにSRAM、ROMなどを本LSIに直結することができます。また、BSCによりPCMCIAインタフェースに直結することもできるので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

BSCのブロック図を図8.1に示します。

8.1 特長

BSCは、次のような特長を持っています。

- 物理アドレス空間を6つに分割して管理
 - エリア0、2~6までの各エリアは、最大64Mバイト
 - 各エリアのバス幅をレジスタにより設定可能（エリア0のみは、外部ピンにより設定）
 - WAIT端子によりウェイトステート挿入可能
 - ウェイトステート挿入をプログラムで制御可能
 - 各エリアは、独立に1~10ステートのウェイト挿入をレジスタの設定により指定可能（エリア5、6 PCMCIAインタフェースのみ1~38ステート）
 - エリアごとに接続できるメモリの種類を指定
 - 各エリアに接続するメモリに直結できる制御信号を出力
 - 異なったエリアに対する連続したメモリアクセスや同一エリアに対するリードアクセス直後のライトアクセスの場合といったデータバスの衝突回避のためのウェイトサイクル自動挿入機能
- シンクロナスDRAM直結インタフェース（クロック比 I : B = 1 : 1の場合を除く）
 - シンクロナスDRAM容量に応じたロウアドレス / カラムアドレスマルチプレクス
 - バースト動作
 - バンクアクティブモード
 - オートリフレッシュとセルフリフレッシュ
 - シンクロナスDRAM直結制御信号のタイミングをレジスタの設定により制御可能
- バーストROMインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - レジスタで設定した回数のバースト転送動作

8. バスステートコントローラ (BSC)

- PCMCIAインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - I/Oバス幅のバスサイジング機能 (リトルエディアンモード時のみ)
- リフレッシュ機能
 - 外部バス周波数を通常動作周波数の1/4にように設定したあとスリープモードに遷移した場合でも、リフレッシュサイクルは自動的に通常動作時の状態を保持します。
- リフレッシュ用カウンタをインターバルタイマとして使用可能
 - コンペアマッチで割り込み要求発生
 - リフレッシュカウンタのオーバーフローで割り込み要求発生

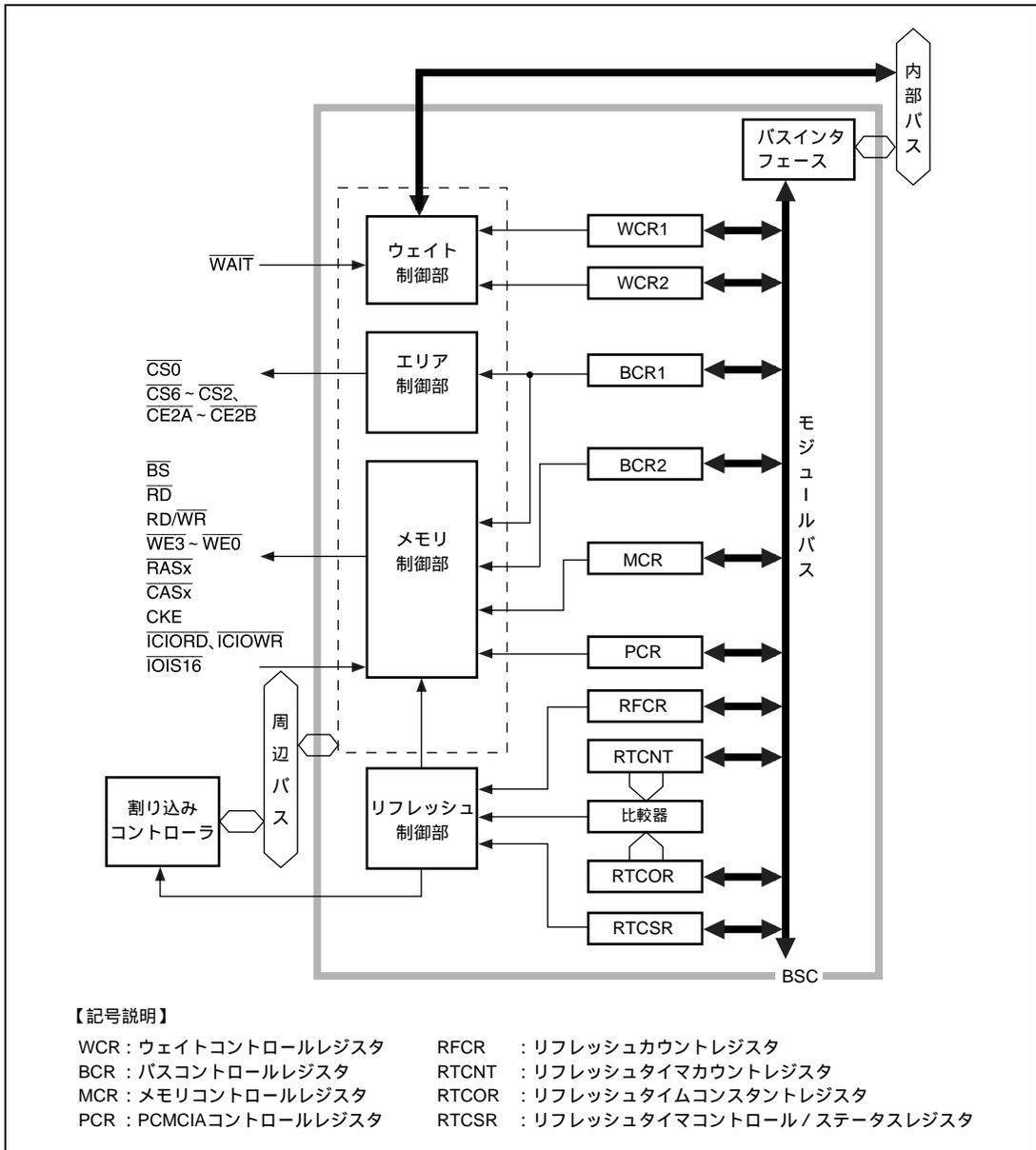


図 8.1 BSC のブロック図

8. バスステートコントローラ (BSC)

8.2 入出力端子

BSC の端子構成を表 8.1 に示します。

表 8.1 端子構成

名称	信号名	入出力	機能
アドレスバス	A25 ~ A0	出力	アドレス出力
データバス	D15 ~ D0	入出力	データ入出力
	D31 ~ D16	入出力	32 ビットバス幅時、データ入出力
バスサイクル開始	BS	出力	バスサイクルの開始を示す信号。バースト転送時は、データサイクルごとにアサート
チップセレクト 0、2~4	$\overline{CS0}$ 、 $\overline{CS2}$ ~ $\overline{CS4}$	出力	アクセス中のエリアを示すチップセレクト信号
チップセレクト 5、6	$\overline{CS5/CE1A}$ 、 $\overline{CS6/CE1B}$	出力	アクセス中のエリアを示すチップセレクト信号 $\overline{CS5/CE1A}$ 、 $\overline{CS6/CE1B}$ は、PCMCIA の $\overline{CE1A}$ 、 $\overline{CE1B}$ としても使用可能
PCMCIA カードセレクト	$\overline{CE2A}$ 、 $\overline{CE2B}$	出力	PCMCIA 使用時、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 信号
リード/ライト	RD/ \overline{WR}	出力	データバスの入出力方向指示信号シンクロナス DRAM のライトイネーブル制御信号
ロウアドレスストローブ L	RASL	出力	シンクロナス DRAM 使用時、下位 32M バイトアドレス用 RASL 信号
ロウアドレスストローブ U	RASU	出力	シンクロナス DRAM 使用時、上位 32M バイトアドレス用 RASU 信号
カラムアドレスストローブ	\overline{CASL}	出力	シンクロナス DRAM 使用時、下位 32M バイトアドレス用 \overline{CASL} 信号
カラムアドレスストローブ	CASU	出力	シンクロナス DRAM 使用時、上位 32M バイトアドレス用 CASU 信号
データイネーブル 0	$\overline{WE0/DQML}$	出力	シンクロナス DRAM 以外のメモリ使用時、D7 ~ D0 対応ライトストローブ信号 シンクロナス DRAM 使用時、D7 ~ D0 を選択
データイネーブル 1	$\overline{WE1/DQMLU/WE}$	出力	シンクロナス DRAM 以外のメモリ使用時、D15 ~ D8 対応ライトストローブ信号 シンクロナス DRAM 使用時、D15 ~ D8 を選択 PCMCIA 使用時、ライトサイクルを示すストローブ信号
データイネーブル 2	$\overline{WE2/DQMUL/ICIORD}$	出力	シンクロナス DRAM 以外のメモリ使用時、D23 ~ D16 対応ライトストローブ信号 シンクロナス DRAM 使用時、D23 ~ D16 を選択 PCMCIA 使用時、I/O リードを示すストローブ信号
データイネーブル 3	$\overline{WE3/DQMUU/ICIOWR}$	出力	シンクロナス DRAM 以外のメモリ使用時、D31 ~ D24 対応ライトストローブ信号 シンクロナス DRAM 使用時、D31 ~ D24 を選択 PCMCIA 使用時、I/O ライトを示すストローブ信号

名称	信号名	入出力	機能
リード	\overline{RD}	出力	リードサイクルを示すストロープ信号
ウェイト	\overline{WAIT}	入力	ウェイトステート要求信号
クロックイネーブル	\overline{CKE}	出力	シンクロナス DRAM のクロックイネーブル制御信号
IOIS16	$\overline{IOIS16}$	入力	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効
バス解放要求	\overline{BREQ}	入力	バス解放の要求信号
バス使用許可	\overline{BACK}	出力	バス使用の許可信号

8.3 エリアの概要

(1) 空間分割

本 LSI は、アーキテクチャとして 32 ビットの論理アドレス空間を有しています。論理空間は、上位側アドレスの値によって 5 空間に分割されています。また、物理空間は 29 ビットのアドレス空間を有しており 8 空間に分割されています。

論理空間は、アドレス変換機構 (MMU) により任意の物理空間に割り付けることができます。詳細は「第 3 章 メモリマネジメントユニット (MMU)」を参照してください。この章では、物理空間のエリア分割について記述します。

本 LSI は、表 8.2 に示すように物理空間の 6 つの各エリアに、各種メモリ / PC カードを接続でき、各エリアに対応してチップセレクト信号 ($\overline{CS0}$ 、 $\overline{CS2} \sim \overline{CS6}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$) を出力します。エリア 0 のアクセス時に $\overline{CS0}$ が、エリア 6 のアクセス時に $\overline{CS6}$ がアサートされます。エリア 5 と 6 において、PCMCIA インタフェースを選択した場合、アクセスするバイトに対応して、 $\overline{CS5}/\overline{CS6}$ に加えて、 $\overline{CE2A}/\overline{CE2B}$ をアサートします。

8. バスステートコントローラ (BSC)

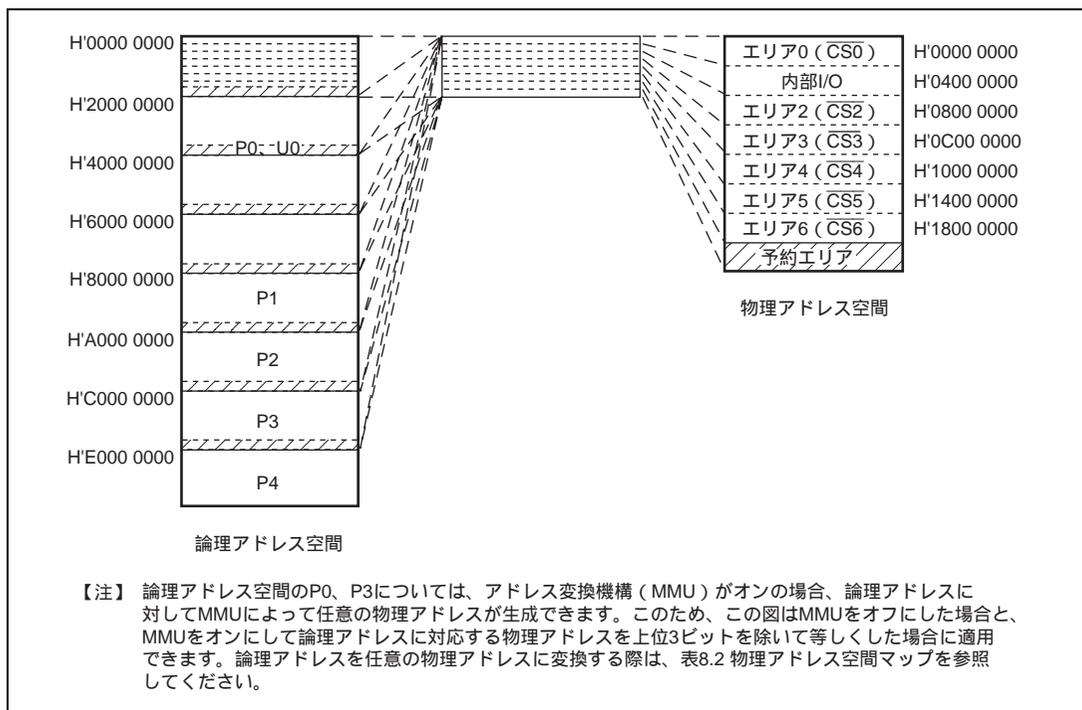


図 8.2 論理アドレス空間と物理アドレス空間の対応

表 8.2 物理アドレス空間マップ

エリア	接続可能なメモリ	物理アドレス	容量	アクセスサイズ
エリア 0	通常メモリ* ¹ 、 バースト ROM	H'0000 0000 ~ H'03FF FFFF	64MB	8、16、32* ²
		H'0000 0000 ~ H'03FF FFFF + H'2000 0000 × n + H'2000 0000 × n	シャドウ	(n:1~6)
エリア 1	内部 I/O レジスタ* ³	H'0400 0000 ~ H'07FF FFFF	64MB	8、16、32* ³
		H'0400 0000 ~ H'07FF FFFF + H'2000 0000 × n + H'2000 0000 × n	シャドウ	(n:1~6)
エリア 2	通常メモリ* ¹ 、 シンクロナス DRAM、	H'0800 0000 ~ H'0BFF FFFF	64MB	8、16、32* ^{3&4}
		H'0800 0000 ~ H'0BFF FFFF + H'2000 0000 × n + H'2000 0000 × n	シャドウ	(n:1~6)
エリア 3	通常メモリ* ¹ 、 シンクロナス DRAM	H'0C00 0000 ~ H'0FFF FFFF	64MB	8、16、32* ^{3&5}
		H'0C00 0000 ~ H'0FFF FFFF + H'2000 0000 × n + H'2000 0000 × n	シャドウ	(n:1~6)
エリア 4	通常メモリ* ¹	H'1000 0000 ~ H'13FF FFFF	64MB	8、16、32* ³
		H'1000 0000 ~ H'13FF FFFF + H'2000 0000 × n + H'2000 0000 × n	シャドウ	(n:1~6)

8. バスステートコントローラ (BSC)

エリア	接続可能なメモリ	物理アドレス	容量	アクセスサイズ
エリア 5	通常メモリ* ¹ 、 PCMCIA、 バーストROM	H'1400 0000 ~ H'15FF FFFF	32MB	8、16、32* ³ * ⁶
		H'1600 0000 ~ H'17FF FFFF	32MB	
		H'1400 0000 ~ H'17FF FFFF + H'2000 0000 x n + H'2000 0000 x n	シャドウ	(n:1~6)
エリア 6	通常メモリ* ¹ 、 PCMCIA、 バーストROM	H'1800 0000 ~ H'19FF FFFF	32MB	8、16、32* ³ * ⁶
		H'1A00 0000 ~ H'1BFF FFFF	32MB	
		H'1800 0000 ~ H'1BFF FFFF + H'2000 0000 x n + H'2000 0000 x n	シャドウ	(n:1~6)
エリア 7* ⁷	予約エリア	H'1C00 0000 ~ H'1FFF FFFF + H'2000 0000 x n + H'2000 0000 x n		(n:0~7)

【注】 *1 SRAM、ROM等のインタフェースを持つメモリ

*2 外部ピンでメモリバス幅を指定

*3 レジスタでメモリバス幅を指定

*4 シンクロナス DRAM インタフェース時は、バス幅は 16、32 ビットのいずれかのみ

*5 シンクロナス DRAM インタフェース時は、バス幅は 16、32 ビットのいずれかのみ

*6 PCMCIA インタフェース時は、バス幅は 8、16 ビットのいずれかのみ

*7 予約エリアはアクセスしないでください。アクセスした場合は動作の保証はできません。

*8 エリア 1 の制御レジスタを MMU によるアドレス変換の対象としない場合は、論理アドレスの先頭 3 ビットを 101 として P2 空間に配置してください。

エリア0 : H'0000 0000	通常メモリ / バーストROM	
エリア1 : H'0400 0000	内部I/Oレジスタ	
エリア2 : H'0800 0000	通常メモリ / シンクロナスDRAM	
エリア3 : H'0C00 0000	通常メモリ / シンクロナスDRAM	
エリア4 : H'1000 0000	通常メモリ	
エリア5 : H'1400 0000	通常メモリ / バーストROM / PCMCIA	PCMCIAインタフェースは、 メモリ//Oカード兼用
エリア6 : H'1800 0000	通常メモリ / バーストROM / PCMCIA	PCMCIAインタフェースは、 メモリ//Oカード兼用

図 8.3 物理空間割り付け

8. バスステートコントローラ (BSC)

(2) メモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部ピンを用いてバスサイズを 8 ビット、16 ビット、32 ビットから選べます。パワーオンリセット時に外部ピン (MD4、MD3) とバス幅の関係は次のようになります。

表 8.3 外部端子 (MD4 と MD3) とメモリサイズの対応

MD4	MD3	メモリサイズ
0	0	予約 (設定不可)
	1	8 ビット
1	0	16 ビット
	1	32 ビット

エリア 2~6 で通常メモリ、ROM、バースト ROM のいずれかを使用する場合は、バスコントロールレジスタ 2 (BCR2) によってバス幅を 8 ビット、16 ビット、32 ビットから選べます。また、SDRAM インタフェースを使用するときは、バス幅を 16 ビット、32 ビットから選べます。

PCMCIA インタフェースを使用する場合は、バス幅は 8 ビットまたは 16 ビットに設定してください。

ポート A または B を使用する場合、全エリアのバス幅を 8 ビットまたは 16 ビットに設定してください。

詳しくは、「8.4.2 バスコントロールレジスタ 2 (BCR2)」を参照してください。

(3) シャドウ空間

エリア 0、2~6 は、物理アドレスの A28~A26 でデコードされ、000~110 のエリアに対応します。アドレスの A31~A29 は無視されます。このため、たとえばエリア 0 のアドレスの範囲は H'0000 0000 ~ H'03FF FFFF なのに対し、H'2000 0000 × n (n = 1~6) を加えたアドレス空間はシャドウ空間となります。

また、エリア 7 のアドレスの範囲は H'1C00 0000 ~ H'1FFF FFFF です。エリア 7 のシャドウ空間に相当するアドレス空間を含めて H'1C00 0000 + H'2000 0000 × n ~ H'1FFF FFFF + H'2000 0000 × n (n = 0~7) は予約空間ですので、使用しないでください。

8.3.1 PCMCIA サポート

本 LSI では、物理空間のエリア 5 と 6 で PCMCIA 準拠 (ただし WP を除く) のインタフェース仕様をサポートします。

サポートするインタフェースは、基本的に JEIDA 仕様 Ver4.2 (PCMCIA2.1) で定められた IC メモリカードインタフェースと I/O カードインタフェースです。

表 8.4 PCMCIA インタフェースの特長

項目	特長
アクセス	ランダムアクセス
データバス	8 / 16 ビット
メモリタイプ	マスク ROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM
メモリ容量	最大 32M バイト
I/O 部容量	最大 32M バイト
その他	I/O バス幅のダイナミックバスサイジング*、アドレス変換領域および非アドレス変換領域の両方からの PCMCIA インタフェースへのアクセス

【注】* I/O バス幅のダイナミックバスサイジングはリトルエンディアンモード時のみサポートします。

エリア5 : H'1400 0000	コモンメモリ / アドリビュートメモリ
エリア5 : H'1600 0000	I/O空間
エリア6 : H'1800 0000	コモンメモリ / アドリビュートメモリ
エリア6 : H'1A00 0000	I/O空間

図 8.4 PCMCIA 空間割り付け

表 8.5 PCMCIA サポートインタフェース

ピン	IC メモリカードインタフェース			I/O カードインタフェース			SH7706 対応ピン
	信号名	I/O	機能	信号名	I/O	機能	
1	GND		グラウンド	GND		グラウンド	-
2	D3	I/O	データ	D3	I/O	データ	D3
3	D4	I/O	データ	D4	I/O	データ	D4
4	D5	I/O	データ	D5	I/O	データ	D5
5	D6	I/O	データ	D6	I/O	データ	D6
6	D7	I/O	データ	D7	I/O	データ	D7
7	$\overline{CE1}$	I	カード enable	$\overline{CE1}$	I	カード enable	$\overline{CE1A}$ or $\overline{CE1B}$
8	A10	I	アドレス	A10	I	アドレス	A10

8. バスステートコントローラ (BSC)

ピン	IC メモリカードインターフェース			I/O カードインターフェース			SH7706 対応ピン
	信号名	I/O	機能	信号名	I/O	機能	
9	\overline{OE}	I	出力 enable	\overline{OE}	I	出力 enable	\overline{RD}
10	A11	I	アドレス	A11	I	アドレス	A11
11	A9	I	アドレス	A9	I	アドレス	A9
12	A8	I	アドレス	A8	I	アドレス	A8
13	A13	I	アドレス	A13	I	アドレス	A13
14	A14	I	アドレス	A14	I	アドレス	A14
15	\overline{WE}/PGM	I	ライト enable	\overline{WE}/PGM	I	ライト enable	\overline{WE}
16	\overline{RDY}/BSY	O	レディ / ビジー	\overline{IREQ}	O	レディ / ビジー	-
17	VCC		動作電源	VCC		動作電源	-
18	VPP1		プログラム電源	VPP1		プログラム / 周辺用電源	-
19	A16	I	アドレス	A16	I	アドレス	A16
20	A15	I	アドレス	A15	I	アドレス	A15
21	A12	I	アドレス	A12	I	アドレス	A12
22	A7	I	アドレス	A7	I	アドレス	A7
23	A6	I	アドレス	A6	I	アドレス	A6
24	A5	I	アドレス	A5	I	アドレス	A5
25	A4	I	アドレス	A4	I	アドレス	A4
26	A3	I	アドレス	A3	I	アドレス	A3
27	A2	I	アドレス	A2	I	アドレス	A2
28	A1	I	アドレス	A1	I	アドレス	A1
29	A0	I	アドレス	A0	I	アドレス	A0
30	D0	I/O	データ	D0	I/O	データ	D0
31	D1	I/O	データ	D1	I/O	データ	D1
32	D2	I/O	データ	D2	I/O	データ	D2
33	WP*	O	ライトプロテクト	$\overline{IOIS16}$	O	16 ビット I/O ポート	$\overline{IOIS16}$
34	GND		グランド	GND		グランド	-
35	GND		グランド	GND		グランド	-
36	$\overline{CD1}$	O	カード検出	$\overline{CD1}$	O	カード検出	-
37	D11	I/O	データ	D11	I/O	データ	D11
38	D12	I/O	データ	D12	I/O	データ	D12
39	D13	I/O	データ	D13	I/O	データ	D13
40	D14	I/O	データ	D14	I/O	データ	D14
41	D15	I/O	データ	D15	I/O	データ	D15
42	$\overline{CE2}$	I	カード enable	$\overline{CE2}$	I	カード enable	$\overline{CE2A}$ or $\overline{CE2B}$

8. バスステートコントローラ (BSC)

ピン	IC メモリカードインターフェース			I/O カードインターフェース			SH7706 対応ピン
	信号名	I/O	機能	信号名	I/O	機能	
43	$\overline{VS1}$	I	電圧センス	$\overline{VS1}$	I	電圧センス	-
44	RFU		予約	\overline{IORD}	I	I/O リード	\overline{ICIORD}
45	RFU		予約	\overline{IOWR}	I	I/O ライト	\overline{ICIOWR}
46	A17	I	アドレス	A17	I	アドレス	A17
47	A18	I	アドレス	A18	I	アドレス	A18
48	A19	I	アドレス	A19	I	アドレス	A19
49	A20	I	アドレス	A20	I	アドレス	A20
50	A21	I	アドレス	A21	I	アドレス	A21
51	VCC		電源	VCC		電源	-
52	VPP2		プログラム電源	VPP2		プログラム/ ペリフェラル用電源	-
53	A22	I	アドレス	A22	I	アドレス	A22
54	A23	I	アドレス	A23	I	アドレス	A23
55	A24	I	アドレス	A24	I	アドレス	A24
56	A25	I	アドレス	A25	I	アドレス	A25
57	$\overline{VS2}$	I	電圧センス	$\overline{VS2}$	I	電圧センス	-
58	RESET	I	リセット	RESET	I	リセット	-
59	\overline{WAIT}	O	wait 要求	\overline{WAIT}	O	wait 要求	-
60	RFU		予約	\overline{INPACK}	O	入力応答	-
61	\overline{REG}	I	アトリビュートメモリ空間セレクト	\overline{REG}	I	アトリビュートメモリ空間セレクト	-
62	BVD2	O	電池電圧検出	SPKR	O	デジタル音声信号	-
63	BVD1	O	電池電圧検出	\overline{STSCHG}	O	カード状態変化	-
64	D8	I/O	データ	D8	I/O	データ	D8
65	D9	I/O	データ	D9	I/O	データ	D9
66	D10	I/O	データ	D10	I/O	データ	D10
67	$\overline{CD2}$	O	カード検出	$\overline{CD2}$	O	カード検出	-
68	GND		グラウンド	GND		グラウンド	-

【注】* 本 LSI は WP には対応していません。

8.4 レジスタの説明

BSC には以下に示すように、11本のレジスタがあります。また、シンクロナス DRAM に内蔵されたシンクロナス DRAM モードレジスタが本 LSI のレジスタとしてアクセスできます。これらのレジスタにより、各種メモリとの直結インタフェース、ウェイトステート、リフレッシュなどの制御を行います。

これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照してください。

- バスコントロールレジスタ1 (BCR1)
- バスコントロールレジスタ2 (BCR2)
- ウェイトステートコントロールレジスタ1 (WCR1)
- ウェイトステートコントロールレジスタ2 (WCR2)
- 個別メモリコントロールレジスタ (MCR)
- PCMCIAコントロールレジスタ (PCR)
- シンクロナスDRAMモードレジスタ (SDMR)
- リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)
- リフレッシュタイムカウンタ (RTCNT)
- リフレッシュタイムコンスタントカウンタ (RTCOR)
- リフレッシュカウントレジスタ (RFCR)

8.4.1 バスコントロールレジスタ 1 (BCR1)

BCR1 は、各エリアの機能、バスサイクルの状態などを指定します。リード/ライト可能な 16 ビットのレジスタです。

BCR1 は、パワーオンリセット時は H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
15	PULA	0	R/W	A25 ~ A0 端子プルアップ BACK 端子アサート直後の 4 サイクル間、A25 ~ A0 端子をプルアップするかどうか指定します。 0 : プルアップしない 1 : プルアップする
14	PULD	0	R/W	D31 ~ D0 端子プルアップ D31 ~ D0 端子を使用していない期間、プルアップするかどうか指定します。 0 : プルアップしない 1 : プルアップする
13	HIZMEM	0	R/W	ハイゼット (High-Z) メモリコントロール A25 ~ A0、BS、CS、RD/WR、WE/DQM、RD、CE2A、CE2B、DRAK0/1 のスタンバイ時の状態を指定します。 0 : スタンバイ時、ハイインピーダンス 1 : スタンバイ時、ドライブ
12	HIZCNT	0	R/W	ハイゼット (High-Z) コントロール RAS 信号、CAS 信号のスタンバイ時およびバス権解放時の状態を指定します。 0 : RAS、CAS 信号はスタンバイ時およびバス権解放時、ハイインピーダンス 1 : RAS、CAS 信号はスタンバイ時およびバス権解放時、ドライブ
11	ENDIAN	0/1*1	R	エンディアンフラグ パワーオンリセット時に、エンディアン指定の外部 (MD5) の値をサンプリングします。全空間のエンディアンは、このビットで決定されます。読み出しのみ可です。 0 : リセット時に、エンディアン設定外部ピン (MD5) がローレベルであり、本 LSI がビッグエンディアンとして設定 1 : リセット時に、エンディアン設定外部ピン (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして設定

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10 9	A0BST1 A0BST0	0 0	R/W R/W	<p>エリア0のバーストROM制御</p> <p>物理空間のエリア0で、バーストROMを使うかどうかを指定します。また、バーストROMを使用する場合は、バースト回数を指定します。</p> <p>00: エリア0を通常メモリとしてアクセス</p> <p>01: エリア0をバーストROM(4回連続アクセス)としてアクセス。バス幅8、16、32ビット時、いずれでも使用可</p> <p>10: エリア0をバーストROM(8回連続アクセス)としてアクセス。バス幅8、16ビット時のみ使用可。バス幅32ビット時は指定しないでください</p> <p>11: エリア0をバーストROM(16回連続アクセス)としてアクセス。バス幅8ビット時のみ使用可。バス幅16、32ビット時は指定しないでください</p>
8 7	A5BST1 A5BST0	0 0	R/W R/W	<p>エリア5のバーストイネーブル</p> <p>物理空間のエリア5で、バーストROMまたはPCMCIAのバーストモードを使うかどうかを指定します。また、バーストROMまたはPCMCIAのバーストモードを使用する場合は、バースト回数を指定します。</p> <p>00: エリア5を通常モードでアクセス</p> <p>01: エリア5をバーストアクセス(4回連続アクセス)。バス幅8、16、32ビット時、いずれでも使用可</p> <p>10: エリア5をバーストアクセス(8回連続アクセス)。バス幅8、16ビット時のみ使用可。バス幅32ビット時は指定しないでください</p> <p>11: エリア5をバーストアクセス(16回連続アクセス)。バス幅8ビット時のみ使用可。バス幅16、32ビット時は指定しないでください</p>
6 5	A6BST1 A6BST0	0 0	R/W R/W	<p>エリア6のバーストイネーブル</p> <p>物理空間のエリア6で、バーストROMまたはPCMCIAのバーストモードを使うかどうかを指定します。また、バーストROMまたはPCMCIAのバーストモードを使用する場合は、バースト回数を指定します。</p> <p>00: エリア6を通常モードでアクセス</p> <p>01: エリア6をバーストアクセス(4回連続アクセス)。バス幅8、16、32ビット時、いずれでも使用可</p> <p>10: エリア6をバーストアクセス(8回連続アクセス)。バス幅8、16ビット時のみ使用可。バス幅32ビット時は指定しないでください</p> <p>11: エリア6をバーストアクセス(16回連続アクセス)。バス幅8ビット時のみ使用可。バス幅16、32ビット時は指定しないでください</p>

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
4 3 2	DRAMTP2 DRAMTP1 DRAMTP0	0 0 0	R/W R/W R/W	<p>エリア 2、3 のメモリタイプ</p> <p>物理空間のエリア 2 と 3 に接続するメモリタイプを指定します。通常メモリとして ROM、SRAM、フラッシュ ROM などが直接接続できます。また、シンクロナス DRAM が直接接続できます。</p> <p>000 : エリア 2、3 を通常メモリ 001 : 予約 (設定不可) 010 : エリア 2 を通常メモリ、エリア 3 をシンクロナス DRAM^{*3} 011 : エリア 2、3 をシンクロナス DRAM^{**3} 100 : 予約 (設定不可) 101 : 予約 (設定不可) 110 : 予約 (設定不可) 111 : 予約 (設定不可)</p>
1	A5PCM	0	R/W	<p>エリア 5 のバスタイプ</p> <p>物理空間のエリア 5 を PCMCIA 空間としてアクセスするかどうか指定します。</p> <p>0 : 物理空間のエリア 5 を通常メモリとしてアクセス 1 : 物理空間のエリア 5 を PCMCIA 空間としてアクセス</p>
0	A6PCM	0	R/W	<p>エリア 6 のバスタイプ</p> <p>物理空間のエリア 6 を PCMCIA 空間としてアクセスするかどうか指定します。</p> <p>0 : 物理空間のエリア 6 を通常メモリとしてアクセス 1 : 物理空間のエリア 6 を PCMCIA 空間としてアクセス</p>

【注】 *1 エンディアンを指定する外部ピン (MD5) の値をパワーオンリセット時にサンプリング。

*2 このモードを選ぶ場合は、エリア 2 とエリア 3 のバス幅を同一に設定してください。

*3 クロック比 ϕ : $B\phi = 1 : 1$ のときは、SDRAM へアクセスしないでください。

8. バスステートコントローラ (BSC)

8.4.2 バスコントロールレジスタ 2 (BCR2)

BCR2 は、各エリアのバスサイズ幅および 8 ビットポートを使用するかどうかを指定します。リード/ライト可能な 16 ビットのレジスタです。

BCR2 は、パワーオンリセット時は H'3FF0 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
15, 14		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
13 12	A6SZ1 A6SZ0	1 1	R/W R/W	エリア 6 のバス幅指定 物理空間のエリア 6 のバス幅を指定します。 <ul style="list-style-type: none"> • ポート A/B 未使用の場合 00 : 予約 (設定不可) 01 : 8 ビットバス幅 10 : 16 ビットバス幅 11 : 32 ビットバス幅 • ポート A/B 使用の場合 00 : 予約 (設定不可) 01 : 8 ビットバス幅 10 : 16 ビットバス幅 11 : 予約 (設定不可)
11 10	A5SZ1 A5SZ0	1 1	R/W R/W	エリア 5 のバス幅指定 物理空間のエリア 5 のバス幅を指定します。 <ul style="list-style-type: none"> • ポート A/B 未使用の場合 00 : 予約 (設定不可) 01 : 8 ビットバス幅 10 : 16 ビットバス幅 11 : 32 ビットバス幅 • ポート A/B 使用の場合 00 : 予約 (設定不可) 01 : 8 ビットバス幅 10 : 16 ビットバス幅 11 : 予約 (設定不可)

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
9 8	A4SZ1 A4SZ0	1 1	R/W R/W	<p>エリア4のバス幅指定 物理空間のエリア4のバス幅を指定します。</p> <ul style="list-style-type: none"> ポートA/B未使用の場合 <ul style="list-style-type: none"> 00: 予約 (設定不可) 01: 8ビットバス幅 10: 16ビットバス幅 11: 32ビットバス幅 ポートA/B使用の場合 <ul style="list-style-type: none"> 00: 予約 (設定不可) 01: 8ビットバス幅 10: 16ビットバス幅 11: 予約 (設定不可)
7 6	A3SZ1 A3SZ0	1 1	R/W R/W	<p>エリア3のバス幅指定 物理空間のエリア3のバス幅を指定します。</p> <ul style="list-style-type: none"> ポートA/B未使用の場合 <ul style="list-style-type: none"> 00: 予約 (設定不可) 01: 8ビットバス幅 10: 16ビットバス幅 11: 32ビットバス幅 ポートA/B使用の場合 <ul style="list-style-type: none"> 00: 予約 (設定不可) 01: 8ビットバス幅 10: 16ビットバス幅 11: 予約 (設定不可)
5 4	A2SZ1 A2SZ0	1 1	R/W R/W	<p>エリア2のバス幅指定 物理空間のエリア2のバス幅を指定します。</p> <ul style="list-style-type: none"> ポートA/B未使用の場合 <ul style="list-style-type: none"> 00: 予約 (設定不可) 01: 8ビットバス幅 10: 16ビットバス幅 11: 32ビットバス幅 ポートA/B使用の場合 <ul style="list-style-type: none"> 00: 予約 (設定不可) 01: 8ビットバス幅 10: 16ビットバス幅 11: 予約 (設定不可)
3~0		すべて0	R	<p>リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。</p>

8. バスステートコントローラ (BSC)

8.4.3 ウェイトコントロールレジスタ 1 (WCR1)

WCR1 は、各エリアのアイドルステート挿入サイクル数を指定します。メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、WCR1 で設定したサイクル数だけ自動的にアイドルサイクルを挿入します。

WCR1 は、リード/ライト可能な 16 ビットのレジスタです。パワーオンリセット時は H'3FF3 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

ビット	ビット名	初期値	R/W	説明
15	WAITSEL	0	R/W	WAIT 信号のサンプリングタイミング指定 0 : WAIT 信号を使う場合は 1 を設定してください 1 : CKIO の立ち下がり で WAIT 信号をサンプリングします
14		0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
13	A6IW1	1	R/W	エリア 6 のサイクル間アイドル指定 物理空間のエリア 6 から他の空間、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アドレス数を指定します。 00 : 1 アイドルサイクル挿入 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 3 アイドルサイクル挿入
12	A6IW0	1	R/W	
11	A5IW1	1	R/W	エリア 5 のサイクル間アイドル指定 物理空間のエリア 5 から他の空間、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アドレス数を指定します。 00 : 1 アイドルサイクル挿入 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 3 アイドルサイクル挿入
10	A5IW0	1	R/W	
9	A4IW1	1	R/W	エリア 4 のサイクル間アイドル指定 物理空間のエリア 4 から他の空間、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アドレス数を指定します。 00 : 1 アイドルサイクル挿入 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 3 アイドルサイクル挿入
8	A4IW0	1	R/W	

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
7 6	A3IW1 A3IW0	1 1	R/W R/W	<p>エリア3のサイクル間アイドル指定</p> <p>物理空間のエリア3から他の空間、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アドレス数を指定します。</p> <p>00: 1 アイドルサイクル挿入 01: 1 アイドルサイクル挿入 10: 2 アイドルサイクル挿入 11: 3 アイドルサイクル挿入</p>
5 4	A2IW1 A2IW0	1 1	R/W R/W	<p>エリア2のサイクル間アイドル指定</p> <p>物理空間のエリア2から他の空間、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アドレス数を指定します。</p> <p>00: 1 アイドルサイクル挿入 01: 1 アイドルサイクル挿入 10: 2 アイドルサイクル挿入 11: 3 アイドルサイクル挿入</p>
3、2		すべて0	R	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライト時は常に0にしてください。</p>
1 0	A0IW1 A0IW0	1 1	R/W R/W	<p>エリア0のサイクル間アイドル指定</p> <p>物理空間のエリア0から他の空間、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アドレス数を指定します。</p> <p>00: 1 アイドルサイクル挿入 01: 1 アイドルサイクル挿入 10: 2 アイドルサイクル挿入 11: 3 アイドルサイクル挿入</p>

8. バスステートコントローラ (BSC)

8.4.4 ウェイトコントロールレジスタ 2 (WCR2)

WCR2 は、リード/ライト可能な 16 ビットのレジスタで、各エリアのウェイトステート挿入サイクル数を指定します。また、バーストメモリアクセスを行う場合のデータアクセスのピッチ数も指定します。これにより、外付け回路なしに低速なメモリも直接接続できます。

ビット	ビット名	初期値	R/W	説明															
15	A6W2	1	R/W	エリア 6 のウェイトコントロール PCR の A6W3 と組み合わせて物理空間のエリア 6 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。 詳細は表 8.6 を参照してください。															
14	A6W1	1	R/W																
13	A6W0	1	R/W																
12	A5W2	1	R/W	エリア 5 のウェイトコントロール PCR の A5W3 と組み合わせて物理空間のエリア 5 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。 詳細は表 8.7 を参照してください。															
11	A5W1	1	R/W																
10	A5W0	1	R/W																
9	A4W2	1	R/W	エリア 4 のウェイトコントロール 物理空間のエリア 4 に対する挿入ウェイトステート数を指定します。 詳細は表 8.8 を参照してください。															
8	A4W1	1	R/W																
7	A4W0	1	R/W																
6	A3W1	1	R/W	エリア 3 のウェイトコントロール 物理空間のエリア 3 に対する挿入ウェイトステート数を指定します。															
5	A3W0	1	R/W																
<ul style="list-style-type: none"> • 通常メモリ使用時 <table style="margin-left: 40px;"> <tr> <td>挿入ウェイトステート数</td> <td>WAIT 端子</td> </tr> <tr> <td>00 : 0</td> <td>無視</td> </tr> <tr> <td>01 : 1</td> <td>イネーブル</td> </tr> <tr> <td>10 : 2</td> <td>イネーブル</td> </tr> <tr> <td>11 : 3</td> <td>イネーブル</td> </tr> </table> • SDRAM 使用時 <table style="margin-left: 40px;"> <tr> <td>SDRAMCAS レイテンシ</td> </tr> <tr> <td>00 : 1</td> </tr> <tr> <td>01 : 1</td> </tr> <tr> <td>10 : 2</td> </tr> <tr> <td>11 : 3</td> </tr> </table> 					挿入ウェイトステート数	WAIT 端子	00 : 0	無視	01 : 1	イネーブル	10 : 2	イネーブル	11 : 3	イネーブル	SDRAMCAS レイテンシ	00 : 1	01 : 1	10 : 2	11 : 3
挿入ウェイトステート数	WAIT 端子																		
00 : 0	無視																		
01 : 1	イネーブル																		
10 : 2	イネーブル																		
11 : 3	イネーブル																		
SDRAMCAS レイテンシ																			
00 : 1																			
01 : 1																			
10 : 2																			
11 : 3																			

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明																			
4 3	A2W1 A2W0	1 1	R/W R/W	<p>エリア2のウェイトコントロール</p> <p>物理空間のエリア2に対する挿入ウェイトステート数を指定します。</p> <ul style="list-style-type: none"> 通常メモリ使用時 <table style="margin-left: 20px;"> <tr> <td>挿入ウェイトステート数</td> <td>WAIT 端子</td> </tr> <tr> <td>00 :</td> <td>0 無視</td> </tr> <tr> <td>01 :</td> <td>1 イネーブル</td> </tr> <tr> <td>10 :</td> <td>2 イネーブル</td> </tr> <tr> <td>11 :</td> <td>3 イネーブル</td> </tr> </table> SDRAM 使用時 <table style="margin-left: 20px;"> <tr> <td>SDRAMCAS レイテンシ</td> </tr> <tr> <td>00 :</td> <td>1</td> </tr> <tr> <td>01 :</td> <td>1</td> </tr> <tr> <td>10 :</td> <td>2</td> </tr> <tr> <td>11 :</td> <td>3</td> </tr> </table> 	挿入ウェイトステート数	WAIT 端子	00 :	0 無視	01 :	1 イネーブル	10 :	2 イネーブル	11 :	3 イネーブル	SDRAMCAS レイテンシ	00 :	1	01 :	1	10 :	2	11 :	3
挿入ウェイトステート数	WAIT 端子																						
00 :	0 無視																						
01 :	1 イネーブル																						
10 :	2 イネーブル																						
11 :	3 イネーブル																						
SDRAMCAS レイテンシ																							
00 :	1																						
01 :	1																						
10 :	2																						
11 :	3																						
2 1 0	A0W2 A0W1 A0W0	1 1 1	R/W R/W R/W	<p>エリア0のウェイトコントロール</p> <p>物理空間のエリア0に対する挿入ウェイトステート数を指定します。また、バースト転送におけるバーストピッチ数を指定します。</p> <p>詳細は表 8.9 を参照してください。</p>																			

表 8.6 エリア6のウェイトコントロール (通常メモリ I/F)

WCR2 のビットの組み合わせ			機能			
ビット 15	ビット 14	ビット 13	先頭サイクル		バーストサイクル (先頭サイクルを除く)	
A6W2	A6W1	A6W0	挿入ウェイトステート	WAIT 端子	1 データ転送当たりのステート数	WAIT 端子
0	0	0	0	無視	2	イネーブル
		1	1	イネーブル	2	イネーブル
	1	0	2	イネーブル	3	イネーブル
		1	3	イネーブル	4	イネーブル
1	0	0	4	イネーブル	4	イネーブル
		1	6	イネーブル	6	イネーブル
	1	0	8	イネーブル	8	イネーブル
		1	10	イネーブル	10	イネーブル

8. バスステートコントローラ (BSC)

表 8.7 エリア 5 のウェイトコントロール (通常メモリ I/F)

WCR2 のビットの組み合わせ			機 能			
ビット 12	ビット 11	ビット 10	先頭サイクル		バーストサイクル (先頭サイクルを除く)	
A5W2	A5W1	A5W0	挿入ウェイト ステート	WAIT 端子	1 データ転送当たりの ステート数	WAIT 端子
0	0	0	0	無視	2	イネーブル
		1	1	イネーブル	2	イネーブル
	1	0	2	イネーブル	3	イネーブル
		1	3	イネーブル	4	イネーブル
1	0	0	4	イネーブル	4	イネーブル
		1	6	イネーブル	6	イネーブル
	1	0	8	イネーブル	8	イネーブル
		1	10	イネーブル	10	イネーブル

表 8.8 エリア 4 のウェイトコントロール

WCR2 のビットの組み合わせ			機 能	
ビット 9	ビット 8	ビット 7	挿入ウェイトステート	WAIT 端子
A4W2	A4W1	A4W0		
0	0	0	0	無視
		1	1	イネーブル
	1	0	2	イネーブル
		1	3	イネーブル
1	0	0	4	イネーブル
		1	6	イネーブル
	1	0	8	イネーブル
		1	10	イネーブル

表 8.9 エリア 0 のウェイトコントロール

WCR2 のビットの組み合わせ			機 能			
ビット 2	ビット 1	ビット 0	先頭サイクル		バーストサイクル (先頭サイクルを除く)	
AOW2	AOW1	AOW0	挿入ウェイト ステート	WAIT 端子	1 データ転送当たりの ステート数	WAIT 端子
0	0	0	0	無視	2	イネーブル
		1	1	イネーブル	2	イネーブル
	1	0	2	イネーブル	3	イネーブル
		1	3	イネーブル	4	イネーブル
1	0	0	4	イネーブル	4	イネーブル
		1	6	イネーブル	6	イネーブル
	1	0	8	イネーブル	8	イネーブル
		1	10	イネーブル	10	イネーブル

8.4.5 個別メモリコントロールレジスタ (MCR)

MCR は、シンクロナス DRAM (エリア 2、3) に対する $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ のタイミングやアドレスマルチプレクスの指定、リフレッシュ制御を指定します。これにより、シンクロナス DRAM を外付け回路なしに直結できます。

MCR は、リード/ライト可能な 16 ビットのレジスタです。パワーオンリセットで H'0000 時は初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。TPC1 ~ 0、RCD1 ~ 0、TRWL1 ~ 0、TRAS1 ~ 0、RASD、AMX3 ~ 0 の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。RFSH、RMODE ビットに対して書き込みを行う際は、他のビットは変化させずに同じ値を書き込んでください。シンクロナス DRAM 使用時は、レジスタの初期設定が終了するまで、エリア 2、3 をアクセスしないでください。

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明															
15 14	TPC1 TPC0	0 0	R/W R/W	<p>RAS プリチャージ期間</p> <p>接続メモリとしてシンクロナス DRAM インタフェースを選択した場合、プリチャージ後、次のバンクアクティブコマンド出力までの最小サイクル数を規定します。ただし、オートリフレッシュ時の全バンクプリチャージコマンド (PALL) またはバンクアクティブモード時のプリチャージコマンド (PRE) の発行直後の挿入サイクル数は、通常時の値より 1 サイクル引いた値となります。バンクアクティブモード時は、TPC1=0 か TPC0=0 に設定しないでください。</p> <table border="0"> <tr> <td>通常時</td> <td>プリチャージコマンド直後*</td> <td>セルフリフレッシュ直後</td> </tr> <tr> <td>00 : 1 サイクル</td> <td>0 サイクル</td> <td>2 サイクル</td> </tr> <tr> <td>01 : 2 サイクル</td> <td>1 サイクル</td> <td>5 サイクル</td> </tr> <tr> <td>10 : 3 サイクル</td> <td>2 サイクル</td> <td>8 サイクル</td> </tr> <tr> <td>11 : 4 サイクル</td> <td>3 サイクル</td> <td>11 サイクル</td> </tr> </table> <p>【注】* オートリフレッシュ時の全バンクプリチャージ (PALL) およびバンクアクティブモードのプリチャージ (RRE) コマンド直後を表す。</p>	通常時	プリチャージコマンド直後*	セルフリフレッシュ直後	00 : 1 サイクル	0 サイクル	2 サイクル	01 : 2 サイクル	1 サイクル	5 サイクル	10 : 3 サイクル	2 サイクル	8 サイクル	11 : 4 サイクル	3 サイクル	11 サイクル
通常時	プリチャージコマンド直後*	セルフリフレッシュ直後																	
00 : 1 サイクル	0 サイクル	2 サイクル																	
01 : 2 サイクル	1 サイクル	5 サイクル																	
10 : 3 サイクル	2 サイクル	8 サイクル																	
11 : 4 サイクル	3 サイクル	11 サイクル																	
13 12	RCD1 RCD0	0 0	R/W R/W	<p>RAS - CAS 遅延</p> <p>接続メモリとしてシンクロナス DRAM インタフェースを選択した場合、バンクアクティブ 読み出し / 書き込みコマンド遅延時間を設定します。</p> <table border="0"> <tr> <td>00 : 1 サイクル</td> </tr> <tr> <td>01 : 2 サイクル</td> </tr> <tr> <td>10 : 3 サイクル</td> </tr> <tr> <td>11 : 4 サイクル</td> </tr> </table>	00 : 1 サイクル	01 : 2 サイクル	10 : 3 サイクル	11 : 4 サイクル											
00 : 1 サイクル																			
01 : 2 サイクル																			
10 : 3 サイクル																			
11 : 4 サイクル																			
11 10	TRWL1 TRWL0	0 0	R/W R/W	<p>書き込み - プリチャージ遅延</p> <p>シンクロナス DRAM の書き込み プリチャージの遅延時間を設定します。書き込みサイクル後オートプリチャージが起動されるまでの時間を指定します。書き込みサイクル後、TPC + TRWL の期間、次のバンクアクティブコマンドを発行しません。</p> <table border="0"> <tr> <td>00 : 1 サイクル</td> </tr> <tr> <td>01 : 2 サイクル</td> </tr> <tr> <td>10 : 3 サイクル</td> </tr> <tr> <td>11 : 予約 (設定不可)</td> </tr> </table>	00 : 1 サイクル	01 : 2 サイクル	10 : 3 サイクル	11 : 予約 (設定不可)											
00 : 1 サイクル																			
01 : 2 サイクル																			
10 : 3 サイクル																			
11 : 予約 (設定不可)																			
9 8	TRAS1 TRAS0	0 0	R/W R/W	<p>CAS ビフォー-RAS リフレッシュ RAS アサート期間</p> <p>接続メモリとしてシンクロナス DRAM インタフェースを選択した場合、オートリフレッシュコマンド発行後、TPC + TRAS の期間バンクアクティブコマンドを発行しません。</p> <table border="0"> <tr> <td>00 : 2 サイクル</td> </tr> <tr> <td>01 : 3 サイクル</td> </tr> <tr> <td>10 : 4 サイクル</td> </tr> <tr> <td>11 : 5 サイクル</td> </tr> </table>	00 : 2 サイクル	01 : 3 サイクル	10 : 4 サイクル	11 : 5 サイクル											
00 : 2 サイクル																			
01 : 3 サイクル																			
10 : 4 サイクル																			
11 : 5 サイクル																			

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
7	RASD	0	R/W	SDRAM バンクアクティブ SDRAM をバンクアクティブモードにするか、オートプリチャージモードにするかを指定します。エリア 2 およびエリア 3 を共に SDRAM 空間に設定する場合は、オートプリチャージモードに設定してください。 0 : オートプリチャージモード 1 : バンクアクティブモード
6	AMX3	0	R/W	アドレスマルチプレクス シンクロナス DRAM のアドレスマルチプレクスを指定します。実際のアドレスシフト値は、シンクロナス DRAM インタフェースで異なります。 [シンクロナス DRAM インタフェースの場合] 0000 : 予約 (設定不可) 0001 : 予約 (設定不可) 0010 : 予約 (設定不可) 0011 : 予約 (設定不可) 0100 : ロウアドレスは A9 から開始します (ロウアドレスの出力時、A9 の値は A1 で出力されます。64M (1M×16 ビット×4 バンク)) 0101 : ロウアドレスは A10 から開始します (ロウアドレスの出力時、A10 の値は A1 で出力されます。128M (2M×16 ビット×4 バンク)、64M (2M×8 ビット×4 バンク)) 0110 : 設定不可 0111 : ロウアドレスは A9 から開始します (ロウアドレスの出力時、A9 の値は A1 で出力されます。64M (512K×32 ビット×4 バンク))* ² 1000 : 予約 (設定不可) 1001 : 予約 (設定不可) 1010 : 予約 (設定不可) 1011 : 予約 (設定不可) 1100 : 予約 (設定不可) 1101 : ロウアドレスは A10 から開始します (ロウアドレスの出力時、A10 の値は A1 で出力されます。256M (4M×16 ビット×4 バンク)) 1110 : ロウアドレスは A11 から開始します (ロウアドレスの出力時、A11 の値は A1 で出力されます。512M (8M×16 ビット×4 バンク))* ¹ 1111 : 予約 (設定不可) 【注】*1 バス幅 32 ビット時は設定不可 *2 バス幅 16 ビット時は設定不可
5	AMX2	0	R/W	
4	AMX1	0	R/W	
3	AMX0	0	R/W	

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
2	RFSH	0	R/W	<p>リフレッシュ制御</p> <p>リフレッシュ制御を指定します。シンクロナス DRAM に対するリフレッシュを行うかどうかを設定します。また、リフレッシュ機能を使わない場合、リフレッシュ要求周期発生用のタイマをインターバルタイマとしても使用できます。</p> <p>0 : リフレッシュを行わない 1 : リフレッシュを行う</p>
1	RMODE	0	R/W	<p>リフレッシュモード</p> <p>本ビットは、RFSH ビット=1 のとき、通常のリフレッシュを行うか、セルフリフレッシュを行うかを指定します。RFSH ビット=1 かつ本ビット=0 とすると、シンクロナス DRAM に対して、CAS ビフォ RAS リフレッシュもしくはオートリフレッシュを、リフレッシュ関連レジスタ RTCNT、RTCOR および RTCSR で設定した周期で行います。外部バスサイクルを行っている最中にリフレッシュ要求が発生した場合は、バスサイクルが終了してからリフレッシュサイクルを行います。また、RFSH ビット=1 かつ本ビット=1 とすると、外部バスサイクルの実行中の場合はその終了を待ってからシンクロナス DRAM に対して、セルフリフレッシュ状態になります。なお、セルフリフレッシュ状態のメモリに対するリフレッシュ要求はすべて無視されます。</p> <p>0 : CAS ビフォ-RAS リフレッシュを行う (ただし、RFSH=1 の場合) 1 : セルフリフレッシュを実行する (ただし、RFSH=1 の場合)</p>
0		0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。</p>

8.4.6 PCMCIA コントロールレジスタ (PCR)

PCR は、リード/ライト可能な 16 ビットのレジスタです。PCR は、エリア 5、6 に接続する PCMCIA インタフェースに対する \overline{OE} 、 \overline{WE} 信号のアサート/ネゲートタイミングを指定します。なお、 \overline{OE} 、 \overline{WE} 信号のアサート幅は、WCR2 のウェイトコントロールビットで設定します。

ビット*	ビット名	初期値	R/W	説明
15	A6W3	0	R/W	エリア 6 のウェイトコントロール WCR2 の A6W2 ~ A6W0 ビットと組み合わせて、エリア 6 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。 エリア 6 を PCMCIA に設定しない場合は、本ビットは 0 に設定してください。 詳細は表 8.10 を参照してください。
14	A5W3	0	R/W	エリア 5 のウェイトコントロール WCR2 の A5W2 ~ A5W0 ビットと組み合わせて、エリア 5 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。 エリア 5 を PCMCIA に設定しない場合は、本ビットは 0 に設定してください。 設定値とウェイト数の関係は、A6W3 と同じです。
13、12		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
11 7 6	A5TED2 A5TED1 A5TED0	0 0 0	R/W R/W R/W	エリア 5 のアドレスの $\overline{OE}/\overline{WE}$ アサート遅延 エリア 5 に接続された PCMCIA インタフェースにおける、アドレス出力から $\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。 000 : 0.5 サイクル遅延 001 : 1.5 サイクル遅延 010 : 2.5 サイクル遅延 011 : 3.5 サイクル遅延 100 : 4.5 サイクル遅延 101 : 5.5 サイクル遅延 110 : 6.5 サイクル遅延 111 : 7.5 サイクル遅延

8. バスステートコントローラ (BSC)

ビット*	ビット名	初期値	R/W	説明
10 5 4	A6TED2 A6TED1 A6TED0	0 0 0	R/W R/W R/W	<p>エリア 6 のアドレスの $\overline{OE}/\overline{WE}$ アサート遅延</p> <p>エリア 6 に接続された PCMCIA インタフェースにおける、アドレス出力から $\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。</p> <p>000 : 0.5 サイクル遅延 001 : 1.5 サイクル遅延 010 : 2.5 サイクル遅延 011 : 3.5 サイクル遅延 100 : 4.5 サイクル遅延 101 : 5.5 サイクル遅延 110 : 6.5 サイクル遅延 111 : 7.5 サイクル遅延</p>
9 3 2	A5TEH2 A5TEH1 A5TEH0	0 0 0	R/W R/W R/W	<p>エリア 5 の $\overline{OE}/\overline{WE}$ ネゲート アドレス遅延</p> <p>エリア 5 に接続された PCMCIA インタフェースにおける、$\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定。</p> <p>000 : 0.5 サイクル遅延 001 : 1.5 サイクル遅延 010 : 2.5 サイクル遅延 011 : 3.5 サイクル遅延 100 : 4.5 サイクル遅延 101 : 5.5 サイクル遅延 110 : 6.5 サイクル遅延 111 : 7.5 サイクル遅延</p>
8 1 0	A6TEH2 A6TEH1 A6TEH0	0 0 0	R/W R/W R/W	<p>エリア 6 の $\overline{OE}/\overline{WE}$ ネゲート アドレス遅延</p> <p>エリア 6 に接続された PCMCIA インタフェースにおける、$\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定。</p> <p>000 : 0.5 サイクル遅延 001 : 1.5 サイクル遅延 010 : 2.5 サイクル遅延 011 : 3.5 サイクル遅延 100 : 4.5 サイクル遅延 101 : 5.5 サイクル遅延 110 : 6.5 サイクル遅延 111 : 7.5 サイクル遅延</p>

【注】* ビットの位置の並びは番号順ではありません。ご注意ください。

表 8.10 エリア 6 のウェイトコントロール (PCMCIA I/F)

PCR	WCR2			機 能					
	A6W3	A6W2	A6W1	A6W0	先頭サイクル		バーストサイクル		
					挿入ウェイト ステート	WAIT 端子	1 データ転送当 たりのステート数	WAIT 端子	
0	0	0	0	0	0	無視	2	イネーブル	
			1	1	1	イネーブル	2	イネーブル	
		1	0	2	イネーブル	3	イネーブル		
			1	3	イネーブル	4	イネーブル		
	1	0	0	4	イネーブル	5	イネーブル		
			1	6	イネーブル	7	イネーブル		
		1	0	8	イネーブル	9	イネーブル		
			1	10	イネーブル	11	イネーブル		
			1	0	0	12	イネーブル	13	イネーブル
					1	14	イネーブル	15	イネーブル
1	0	18		イネーブル	19	イネーブル			
	1	22		イネーブル	23	イネーブル			
1	0	0	0	26	イネーブル	27	イネーブル		
			1	30	イネーブル	31	イネーブル		
		1	0	34	イネーブル	35	イネーブル		
			1	38	イネーブル	39	イネーブル		

8.4.7 シンクロナス DRAM モードレジスタ (SDMR)

SDMR は、シンクロナス DRAM のアドレスバスを介してライトモードレジスタで、ライトのみ可能な仮想的な 8 ビットのレジスタです。エリア 2 およびエリア 3 のシンクロナス DRAM のモードを設定します。

SDMR に対する設定は、シンクロナス DRAM に対してアクセスを行う前に必ず行ってください。

シンクロナス DRAM のモードレジスタに対する書き込みは、データバスからではなくアドレスバスを用いるため、設定したい値を X、SDMR のアドレスを Y とすると、X + Y 番地に書き込みを行うことによって、値 X がシンクロナス DRAM のモードレジスタに書き込まれます。なお、本 LSI の A2 にシンクロナス DRAM の A0 が、本 LSI の A3 にシンクロナス DRAM の A1 が接続されるため、実際には X を右に 2 ビットシフトした値がシンクロナス DRAM に書き込まれます。

たとえば、エリア 2 の SDMR に H'0230 を書き込む場合は、H'FFFF D000 (アドレス Y) + H'08C0 (値 X) (= H'FFFF D8C0) 番地に任意のデータを書き込みます。この結果、SDMR に H'0230 が書き込まれます。値 X の範囲は H'0000 ~ H'0FFC です。

また、エリア 3 の SDMR に H'0230 を書き込む場合は、H'FFFF E000 (アドレス Y) + H'08C0 (値 X) (= H'FFFF E8C0) 番地に任意のデータを書き込みます。この結果、SDMR に H'0230 が書き込まれます。値 X の範囲は H'0000 ~ H'0FFC です。

8. バスステートコントローラ (BSC)

8.4.8 リフレッシュタイマコントロール/ステータスレジスタ (RTCSR)

RTCSR は、リード/ライト可能な 16 ビットのレジスタで、リフレッシュ周期、割り込み発生の有無および周期を指定します。

RTCSR は、パワーオンリセット時は H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。RTCSR の CKS2 ~ CKS0 を設定する前に RTCOR の設定を行ってください。

【注】 本レジスタは誤って書き換えられないように書き込み方法が一般のレジスタと異なっています。ワード転送命令を使用して、上位バイトを B'1010 0101 にし、下位バイトを書き込みデータにしてください。バイト転送命令では、書き込みを行うことはできません。読み出しは 16 ビットで行ってください。定義されていないビット部分は 0 が読み出されず。

ビット	ビット名	初期値	R/W	説明
15~8		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
7	CMF	0	R/W	コンペアマッチフラグ リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。 0 : RTCNT と RTCOR の値が一致していないことを示します [クリア条件] CMF に 0 を書き込んだ場合、および RFSH = 1 & RMODE = 0 (CBR リフレッシュを行う) という設定で、リフレッシュを行った場合 1 : RTCNT と RTCOR の値が一致したことを示します。 [セット条件] RTCNT = RTCOR の場合*
6	CMIE	0	R/W	コンペアマッチインタラプトイネーブル RTCSR の CMF が 1 にセットされたとき、割り込み要求を発生するか抑止するかを制御します。オートリフレッシュを行っている場合は、本ビットを 1 にしないでください。 0 : CMF による割り込み要求を禁止 1 : CMF による割り込み要求を許可

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明	
5	CKS2	0	R/W	クロックセレクトビット	
4	CKS1	0	R/W	RTCNT への入力クロックを選択します。元となるクロックは外部バスクロック (CKIO) です。この CKIO を指定した比率で分周したものが、RTCNT のカウントクロックとなります。 CKS2～CKS0 を設定する場合、先に RTCOR の設定を行ってください。 000 : クロック入力禁止 001 : バスクロック (CKIO) /4 010 : CKIO/16 011 : CKIO/64 100 : CKIO/256 101 : CKIO/1024 110 : CKIO/2048 111 : CKIO/4096	
3	CKS0	0	R/W		
2	OVF	0	R/W		リフレッシュカウントオーバーフローフラグ リフレッシュカウントレジスタ (RFCR) で示されるリフレッシュ要求回数が、RTCSR の LMTS で示される回数を超えたことを示すステータスフラグです。 0 : LMTS で示すカウントリミット値を、RFCR がオーバーフローしていないことを示す [クリア条件] OVF に 0 を書き込んだとき 1 : LMTS で示すカウントリミット値を、RFCR がオーバーフローした [セット条件] LMTS で示すカウントリミット値を、RFCR がオーバーフローしたとき*
1	OVIE	0	R/W		リフレッシュカウントオーバーフローインタラプトイネーブル RTCSR の OVF が 1 にセットされたときに、OVF による割り込み要求を発生させるか抑止するかを制御します。 0 : OVF による割り込み要求を禁止 1 : OVF による割り込み要求を許可
0	LMTS	0	R/W	リフレッシュカウントオーバーフローリミットセレクト リフレッシュカウントレジスタ (RFCR) で示されるリフレッシュ回数と比較するカウントリミット値を示します。RFCR レジスタがこの LMTS で指定される値をオーバーフローすると OVF フラグがセットされます。 0 : カウントリミット値を 1024 とする 1 : カウントリミット値を 512 とする	

【注】* 1 を書き込むと、もとの値が保持されます。

8. バスステートコントローラ (BSC)

8.4.9 リフレッシュタイマカウンタ (RTCNT)

RTCNTは、リード/ライト可能な8ビットのカウンタです。RTCNTは入力したクロックによりカウントアップします。入力クロックはRTCSRのCKS2~CKS0ビットで選択します。RTCNTがRTCORと一致すると、RTCSRのCMFビットをセットしたあと、RTCNTはクリアされます。

パワーオンリセット時はH'00に初期化されます。マニュアルリセット時はカウントアップを続けます。スタンバイモード時は、初期化されずに、内容が保持されます。

【注】 本レジスタは誤って書き換えられないように書き込み方法が一般のレジスタと異なっています。ワード転送命令を使用して、上位バイトをB'1010 0101にし、下位バイトを書き込みデータにしてください。バイト転送命令では、書き込みを行うことはできません。読み出しは16ビットで行ってください。定義されていないビット部分は0が読み出されず。

ビット	ビット名	初期値	R/W	説明
15~8		すべて0	R	リザーブビット リードすると常に0が読み出されます。
7~0		すべて0	R/W	8ビットのカウンタ

8.4.10 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCORは、リード/ライト可能なレジスタです。RTCORは、RTCNTの上限値を指定するレジスタです。RTCORとRTCNTのカウンタの値(下位8ビット)は常に比較され、一致するとRTCSRのCMFビットをセットして、RTCNTのカウンタを0にクリアします。個別メモリコントロールレジスタのリフレッシュビット(RFSH)が1にセットされており、かつリフレッシュモードがオートリフレッシュに設定されていると、このCMFビットがセットされたときにメモリリフレッシュサイクルが発生します。

パワーオンリセット時はH'00に初期化されます。マニュアルリセットおよびスタンバイモード時は、初期化されずに、内容が保持されます。RTCSRのCKS2~CKS0を設定する前にRTCORの設定を行ってください。

【注】 本レジスタは誤って書き換えられないように書き込み方法が一般のレジスタと異なっています。ワード転送命令を使用して、上位バイトをB'1010 0101にし、下位バイトを書き込みデータにしてください。バイト転送命令では、書き込みを行うことはできません。読み出しは16ビットで行ってください。定義されていないビット部分は0が読み出されず。

ビット	ビット名	初期値	R/W	説明
15~8		すべて0	R	リザーブビット リードすると常に0が読み出されます。
7~0		すべて0	R/W	カウンタの上限値(8ビット)

8.4.11 リフレッシュカウントレジスタ (RFCR)

RFCR は、リード/ライト可能な 10 ビットのカウンタです。RFCR はリフレッシュ回数をカウントします。RTCOR と RTCNT のカウンタの値が一致する度にカウントアップします。RFCR が RTCSR の LMTS ビットで指定したカウントリミット値を越えると、RTCSR の OVF フラグをセットして、RFCR はクリアされます。

パワーオンリセット時は H'0000 に初期化されます。マニュアルリセット時はカウントアップを続けます。スタンバイモード時は、初期化されずに、内容が保持されます。

【注】 本レジスタは誤って書き換えられないように書き込み方法が一般のレジスタと異なっています。ワード転送命令を使用して、上位バイトの MSB から 6 ビットを B'10 1001 にし、残りを書き込みデータにしてください。バイト転送命令では、書き込みを行うことはできません。読み出しは、16 ビットで行ってください。定義されていないビット部分は 0 が読み出されます。

ビット	ビット名	初期値	R/W	説明
15~10		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
9~0		すべて 0	R/W	10 ビットのカウンタ

8.5 動作説明

8.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部ピン (MD5 ピン) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット幅の 3 種類から選べ、シンクロナス DRAM は 16 ビット、32 ビット幅の 2 種類から選べます。また、PCMCIA インタフェースの場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには 4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 8.11 ~ 表 8.16 に示します。

8. バスステートコントローラ (BSC)

表 8.11 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストローブ信号			
	D31~24	D23~16	D15~8	D7~0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0番地バイトアクセス	データ 7~0				アサート			
1番地バイトアクセス		データ 7~0				アサート		
2番地バイトアクセス			データ 7~0				アサート	
3番地バイトアクセス				データ 7~0				アサート
0番地ワードアクセス	データ 15~8	データ 7~0			アサート	アサート		
2番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート
0番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 8.12 16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストローブ信号			
	D31~24	D23~16	D15~8	D7~0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0番地バイトアクセス			データ 7~0				アサート	
1番地バイトアクセス				データ 7~0				アサート
2番地バイトアクセス			データ 7~0				アサート	
3番地バイトアクセス				データ 7~0				アサート
0番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート
2番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート
0番地 ロング ワード アクセス	1回目 (0番地)		データ 31~24	データ 23~16			アサート	アサート
	2回目 (2番地)		データ 15~8	データ 7~0			アサート	アサート

表 8.13 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 \overline{DQMUU}	$\overline{WE2}$ 、 \overline{DQMUL}	$\overline{WE1}$ 、 \overline{DQMLU}	$\overline{WE0}$ 、 \overline{DQMLL}
0番地バイトアクセス					データ 7~0				アサート
1番地バイトアクセス					データ 7~0				アサート
2番地バイトアクセス					データ 7~0				アサート
3番地バイトアクセス					データ 7~0				アサート
0番地 ワード アクセス	1回目 (0番地)				データ 15~8				アサート
	2回目 (1番地)				データ 7~0				アサート
2番地 ワード アクセス	1回目 (2番地)				データ 15~8				アサート
	2回目 (3番地)				データ 7~0				アサート
0番地 ロング ワード アクセス	1回目 (0番地)				データ 31~24				アサート
	2回目 (1番地)				データ 23~16				アサート
	3回目 (2番地)				データ 15~8				アサート
	4回目 (3番地)				データ 7~0				アサート

8. バスステートコントローラ (BSC)

表 8.14 32 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0	$\overline{WE3}$ 、 \overline{DQMUU}	$\overline{WE2}$ 、 \overline{DQMUL}	$\overline{WE1}$ 、 \overline{DQMLU}	$\overline{WE0}$ 、 \overline{DQMLL}
0 番地バイトアクセス				データ 7 ~ 0				アサート
1 番地バイトアクセス			データ 7 ~ 0				アサート	
2 番地バイトアクセス		データ 7 ~ 0				アサート		
3 番地バイトアクセス	データ 7 ~ 0				アサート			
0 番地ワードアクセス			データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
2 番地ワードアクセス	データ 15 ~ 8	データ 7 ~ 0			アサート	アサート		
0 番地ロングワード アクセス	データ 31 ~ 24	データ 23 ~ 16	データ 15 ~ 8	データ 7 ~ 0	アサート	アサート	アサート	アサート

表 8.15 16 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0	$\overline{WE3}$ 、 \overline{DQMUU}	$\overline{WE2}$ 、 \overline{DQMUL}	$\overline{WE1}$ 、 \overline{DQMLU}	$\overline{WE0}$ 、 \overline{DQMLL}
0 番地バイトアクセス					データ 7 ~ 0				アサート
1 番地バイトアクセス				データ 7 ~ 0			アサート		
2 番地バイトアクセス					データ 7 ~ 0				アサート
3 番地バイトアクセス				データ 7 ~ 0			アサート		
0 番地ワードアクセス				データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
2 番地ワードアクセス				データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)			データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
	2 回目 (2 番地)			データ 31 ~ 24	データ 23 ~ 16			アサート	アサート

表 8.16 8ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 \overline{DQMUU}	$\overline{WE2}$ 、 \overline{DQMUL}	$\overline{WE1}$ 、 \overline{DQMLU}	$\overline{WE0}$ 、 \overline{DQMLL}
0番地バイトアクセス					データ 7~0				アサート
1番地バイトアクセス					データ 7~0				アサート
2番地バイトアクセス					データ 7~0				アサート
3番地バイトアクセス					データ 7~0				アサート
0番地 ワード アクセス	1回目 (0番地)				データ 7~0				アサート
	2回目 (1番地)				データ 15~8				アサート
2番地 ワード アクセス	1回目 (2番地)				データ 7~0				アサート
	2回目 (3番地)				データ 15~8				アサート
0番地 ロング ワード アクセス	1回目 (0番地)				データ 7~0				アサート
	2回目 (1番地)				データ 15~8				アサート
	3回目 (2番地)				データ 23~16				アサート
	4回目 (3番地)				データ 31~24				アサート

8.5.2 エリアの説明

(1) エリア0

エリア0は、物理アドレスのA28~A26が000のエリアです。アドレスのA31~A29は無視され、アドレスの範囲はH'0000 0000 + H'2000 0000 × n ~ H'03FF FFFF + H'2000 0000 × n (n=0~6、n=1~6はシャドウ空間)となります。

この空間に接続できるメモリは、SRAMやROMなどの通常メモリと、バースト機能を持ったバーストROMです。

バス幅は、外部ピンのMD3、MD4によりパワーオンリセット時に、8ビット、16ビット、32ビットから選べます。

エリア0の空間をアクセスすると $\overline{CS0}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き

8. バスステートコントローラ (BSC)

込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2 の A0W2 ~ A0W0 ビットによってウェイト数を 0 ~ 10 から選択できます。また、外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 10 の範囲で決まります。

(2) エリア 1

エリア 1 は、物理アドレスの A28 ~ A26 が 001 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $H'0400\ 0000 + H'2000\ 0000 \times n \sim H'07FF\ FFFF + H'2000\ 0000 \times n$ ($n = 0 \sim 6$ 、 $n = 1 \sim 6$ はシャドウ空間) となります。

エリア 1 は、内蔵周辺モジュール用の特殊エリアで、外部メモリを接続することはできません。

以下に示す内蔵周辺モジュールの制御レジスタはエリア 1 に割り付けられています。

—DMAC、PORT、SCIF、ADC、DAC、INTC (INTEVT、IPRA、IPRB を除く)

これらの制御レジスタのアドレスは物理アドレスであり、MMU がイネーブルのとき、論理アドレスからマッピング可能です。ただし、これらの制御レジスタがキャッシングされないようにソフトウェアで制御してください。

(3) エリア 2

エリア 2 は、物理アドレスの A28 ~ A26 が 010 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $H'0800\ 0000 + H'2000\ 0000 \times n \sim H'0BFF\ FFFF + H'2000\ 0000 \times n$ ($n = 0 \sim 6$ 、 $n = 1 \sim 6$ はシャドウ空間) となります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリとシンクロナス DRAM です。

バス幅は、通常メモリを接続する場合、BCR2 の A2SZ1 ~ A2SZ0 により 8 ビット、16 ビット、32 ビットから選べます。

エリア 2 の空間をアクセスすると $\overline{CS2}$ 信号がアサートされます。

通常メモリを接続している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2 の A2W1 ~ A2W0 ビットによってウェイト数を 0 ~ 3 から選択できます。通常メモリを接続している場合に限り、外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。

シンクロナス DRAM を接続している場合、 \overline{RASU} 、 \overline{RASL} 信号や \overline{CASU} 、 \overline{CASL} 信号、 \overline{RD} / \overline{WR} 信号、バイト制御の \overline{DQMHL} 、 \overline{DQMLH} 、 \overline{DQMLL} がアサートされ、アドレスマルチプレクスが行われます。 \overline{RASU} 、 \overline{RASL} や \overline{CASU} 、 \overline{CASL} 、データのタイミング制御やアドレスマルチプレクス制御は、MCR によって設定できません。

(4) エリア 3

エリア 3 は、物理アドレスの A28 ~ A26 が 011 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $H'0C00\ 0000 + H'2000\ 0000 \times n \sim H'0FFF\ FFFF + H'2000\ 0000 \times n$ ($n = 0 \sim 6$ 、 $n = 1 \sim 6$ はシャドウ空間) とな

ります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリとシンクロナス DRAM です。

バス幅は、通常メモリを接続する場合、BCR2 の A3SZ1 ~ A3SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。

エリア 3 の空間をアクセスすると $\overline{CS3}$ 信号がアサートされます。

通常メモリを接続している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2 の A3W1 ~ A3W0 ビットによってウェイト数を 0 ~ 3 から選択できます。通常メモリを接続している場合に限り、外部ウェイト端子 (\overline{WAIT}) によりバスサイクルごとに任意のウェイトを挿入することができます。

シンクロナス DRAM を接続している場合、 \overline{RASU} 、 \overline{RASL} 信号や \overline{CASU} 、 \overline{CASL} 信号、 \overline{RD} / \overline{WR} 信号、バイト制御の \overline{DQMHH} 、 \overline{DQMLH} 、 \overline{DQMLL} がアサートされ、アドレスマルチプレクスが行われます。

これら、 \overline{RAS} や \overline{CAS} 、データのタイミング制御やアドレスマルチプレクス制御は、MCR によって設定できます。

(5) エリア 4

エリア 4 は、物理アドレスの A28 ~ A26 が 100 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $H'1000\ 0000 + H'2000\ 0000 \times n \sim H'13FF\ FFFF + H'2000\ 0000 \times n$ ($n=0 \sim 6$ 、 $n=1 \sim 6$ はシャドウ空間) となります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリのみです。

バス幅は、BCR2 の A4SZ1 ~ A4SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。

エリア 4 の空間をアクセスすると $\overline{CS4}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2 の A4W2 ~ A4W0 ビットによってウェイト数を 0 ~ 10 から選択できます。また外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。

(6) エリア 5

エリア 5 は、物理アドレスの A28 ~ A26 が 101 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $H'1400\ 0000 + H'2000\ 0000 \times n \sim H'17FF\ FFFF + H'2000\ 0000 \times n$ ($n=0 \sim 6$ 、 $n=1 \sim 6$ はシャドウ空間) の 64M バイトとなります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリと、バースト機能を持ったバースト ROM および PCMCIA インタフェースです。ただし、PCMCIA インタフェースを使用する場合は、IC メモリカードインタフェースとして、アドレス範囲は $H'1400\ 0000 + H'2000\ 0000 \times n \sim H'15FF\ FFFF + H'2000\ 0000 \times n$ ($n=0 \sim 6$ 、 $n=1 \sim 6$ はシャドウ空間) の 32M バイト、I/O カードインタフェースとして、アドレス範囲は $H'1600\ 0000 + H'2000\ 0000 \times n \sim H'17FF\ FFFF + H'2000\ 0000 \times n$ ($n=0 \sim 6$ 、 $n=1 \sim 6$ はシャドウ空間) の 32M バイトとなります。

バス幅は、通常メモリおよびバースト ROM を接続する場合、BCR2 の A5SZ1 ~ A5SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。また、PCMCIA インタフェースを接続する場合、BCR2 の A5SZ1 ~ A5SZ0

8. バスステートコントローラ (BSC)

ビットにより 8 ビット、16 ビットのいずれかを選んでください。

通常メモリを接続している場合、エリア 5 の空間をアクセスすると $\overline{CS5}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。PCMCIA インタフェースを接続している場合、 $\overline{CE1A}$ 、 $\overline{CE2A}$ 信号や \overline{OE} として使用できる \overline{RD} 信号、 \overline{WE} 、 \overline{ICIORD} 、 \overline{ICIORW} 信号がアサートされます。

バスサイクル数は、WCR2 の A5W2 ~ A5W0 ビットによってウェイト数を 0 ~ 10 から選択できます。PCMCIA インタフェースの場合は、WCR2 の A5W2 ~ A5W0 および、PCR の A5W3 によってウェイト数を 0 ~ 38 から選択できます。また外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 11 (PCMCIA インタフェースの場合は 2 ~ 39) の範囲で決まります。また、リード/ライトストロープ信号に対してアドレス $\overline{CS5}$ のセットアップ、ホールド時間を PCR の A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 によって、0.5 ~ 7.5 サイクルの範囲で設定できます。

(7) エリア 6

エリア 6 は、物理アドレスの A28 ~ A26 が 110 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $H'1800\ 0000 + H'2000\ 0000 \times n \sim H'1BFF\ FFFF + H'2000\ 0000 \times n$ ($n=0 \sim 6$, $n=1 \sim 6$ はシャドウ空間) の 64M バイトとなります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリと、バースト機能を持ったバースト ROM および PCMCIA インタフェースです。ただし、PCMCIA インタフェースを使用する場合は、IC メモリカードインタフェースとして、アドレス範囲は $H'1800\ 0000 + H'2000\ 0000 \times n \sim H'19FF\ FFFF + H'2000\ 0000 \times n$ ($n=0 \sim 6$, $n=1 \sim 6$ はシャドウ空間) の 32M バイト、I/O カードインタフェースとして、アドレス範囲は $H'1A00\ 0000 + H'2000\ 0000 \times n \sim H'1BFF\ FFFF + H'2000\ 0000 \times n$ ($n=0 \sim 6$, $n=1 \sim 6$ はシャドウ空間) の 32M バイト、となります。

バス幅は、通常メモリおよびバースト ROM を接続する場合、BCR2 の A6SZ1 ~ A6SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。また、PCMCIA インタフェースを接続する場合、BCR2 の A6SZ1 ~ A6SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。

通常メモリを接続している場合、エリア 6 の空間をアクセスすると $\overline{CS6}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。PCMCIA インタフェースを接続している場合、 $\overline{CE1B}$ 、 $\overline{CE2B}$ 信号や \overline{OE} として使用できる \overline{RD} 信号、 \overline{WE} 、 \overline{ICIORD} 、 \overline{ICIORW} 信号がアサートされます。

バスサイクル数は、WCR2 の A6W2 ~ A6W0 ビットによってウェイト数を 0 ~ 10 から選択できます。PCMCIA インタフェースの場合は、WCR2 の A6W2 ~ A6W0 および、PCR の A6W3 によってウェイト数を 0 ~ 38 から選択できます。また外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。また、バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 11 (PCMCIA インタフェースの場合は 2 ~ 39) の範囲で決まります。また、リード/ライトストロープ信号に対してアドレス $\overline{CS6}$ のセットアップ、ホールド時間を PCR の A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0 によって、0.5 ~ 7.5 サイクルの範囲で設定できます。

8.5.3 基本インタフェース

(1) 基本タイミング

本 LSI の基本インタフェースは、主に SRAM の直結を考慮してストロープ信号を出力します。図 8.5 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表すため、1 サイクルアサートされます。 \overline{CSn} 信号はネゲート期間を確保するために、T2 のクロック立ち下がりでネゲートされます。したがって最小ピッチでアクセスする場合にも、半サイクルのネゲート期間が生まれます。

アクセスサイズは読み出し時は指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出すことになります。書き込み時には書き込みを行うバイトの \overline{WE} 信号のみがアサートされます。詳細は「8.5.1 エンディアン / アクセスサイズとデータアライメント」を参照してください。

キャッシュフィル / コピーバックのための読み出し / 書き込みは設定したバス幅に従い、合計 16 バイトを連続して行います。この途中ではバス権を解放しません。バイトまたはワードオerlandアクセス時および奇数ワード境界への分岐時のキャッシュミスに関しても、チップ外部インタフェース上は必ずロングワードアクセスでアクセスを行います。ライトスルー領域の書き込み、およびキャッシュ非対象領域の読み出し / 書き込みに関しては、実際のアクセスサイズに従ってアクセスを行います。

8. バスステートコントローラ (BSC)

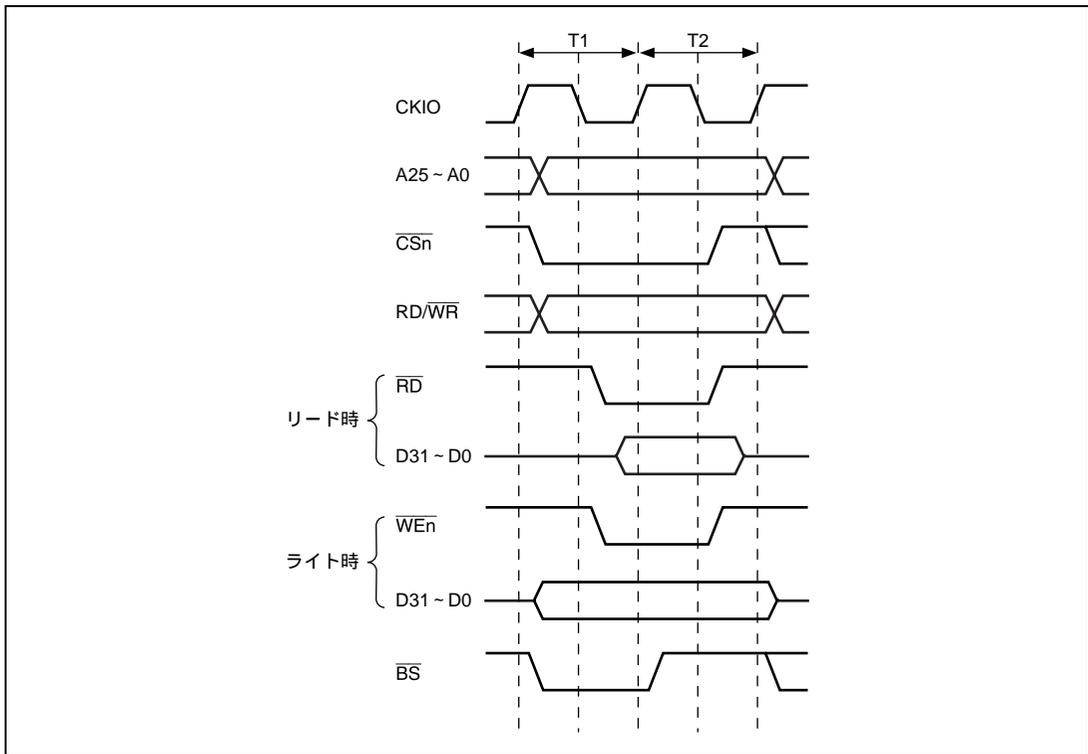


図 8.5 基本インタフェースの基本タイミング

図 8.6 に 32 ビットデータ幅の SRAM との接続例を、図 8.7 に 16 ビットデータ幅の SRAM との接続例を、図 8.8 に 8 ビットデータ幅の SRAM との接続例を示します。

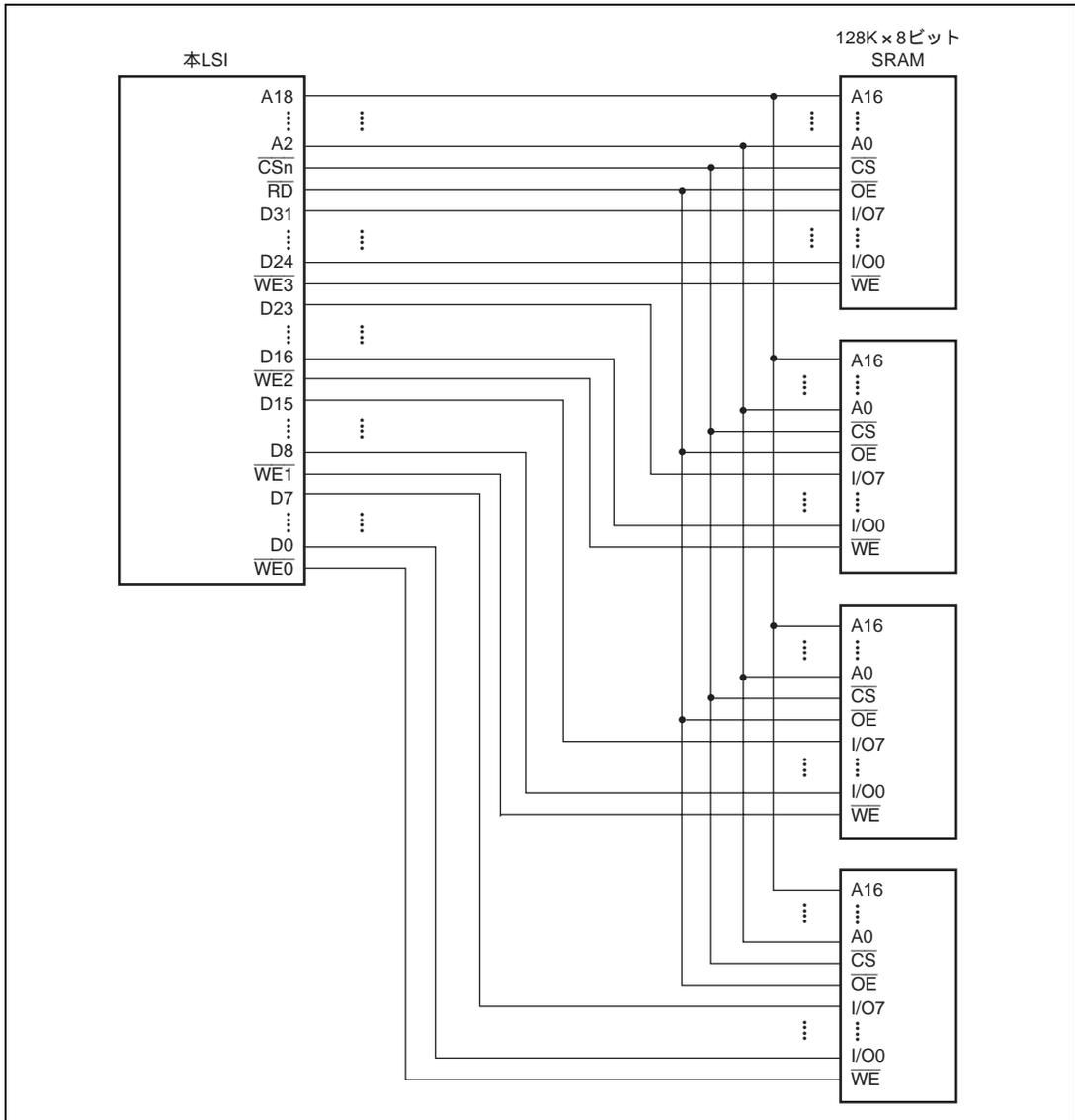


図 8.6 32 ビットデータ幅 SRAM 接続例

8. バスステートコントローラ (BSC)

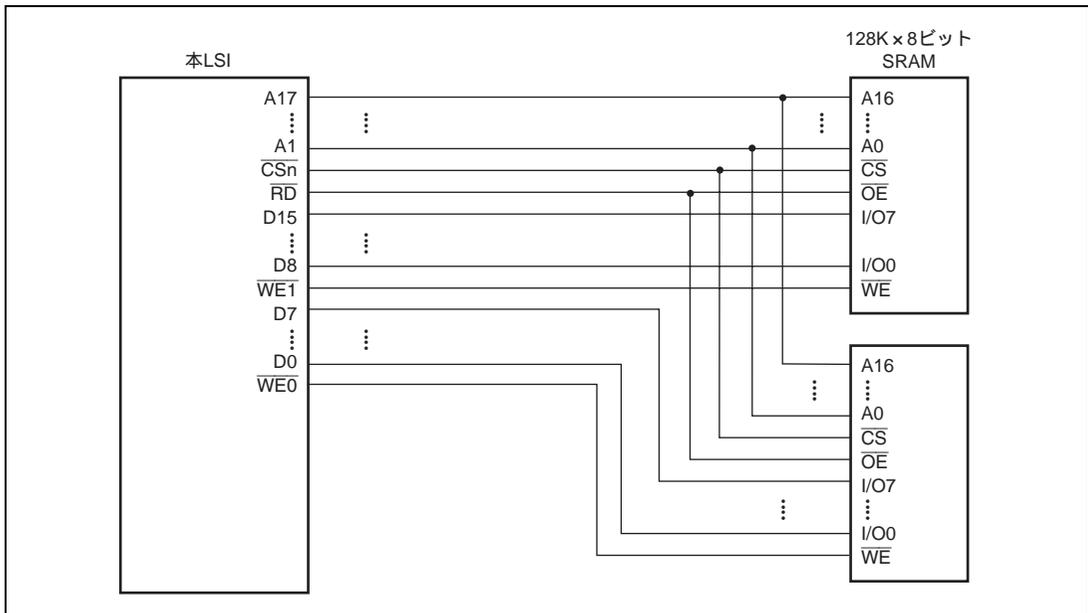


図 8.7 16 ビットデータ幅 SRAM 接続例

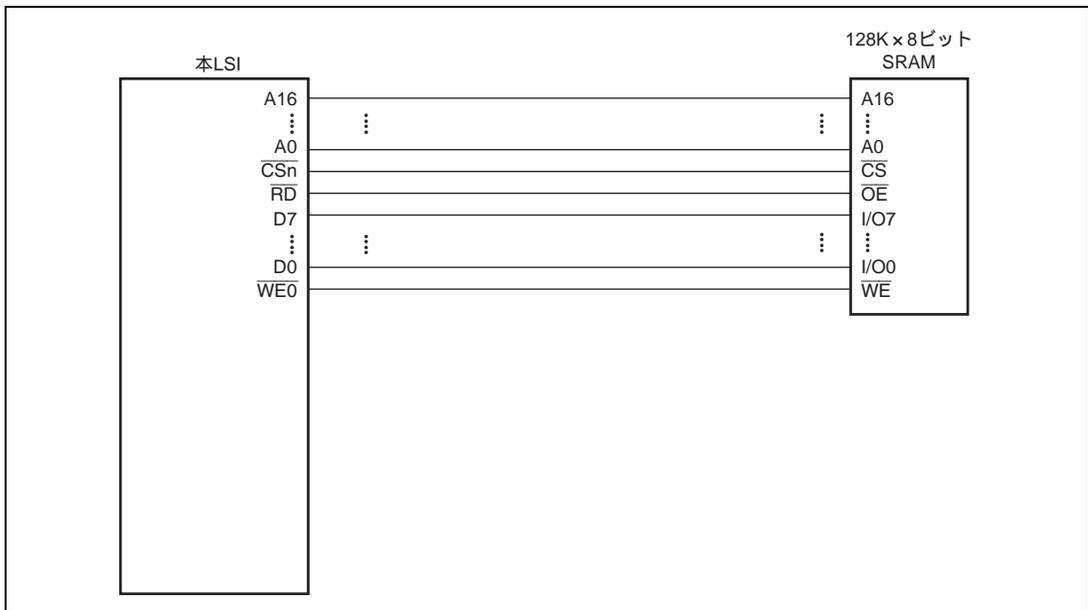


図 8.8 8 ビットデータ幅 SRAM 接続例

(2) ウェイトスタート制御

WCR2 の設定により、基本インタフェースのウェイトスタートの挿入を制御できます。WCR2 の各エリアに対応するウェイト指定ビットが 0 以外のときは、このウェイト指定に従ったソフトウェアウェイトが挿入されます。詳細は「8.4.4 ウェイトコントロールレジスタ 2 (WCR2)」を参照してください。

WCR2 によって、図 8.9 に示す基本インタフェースのウェイトタイミングで、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

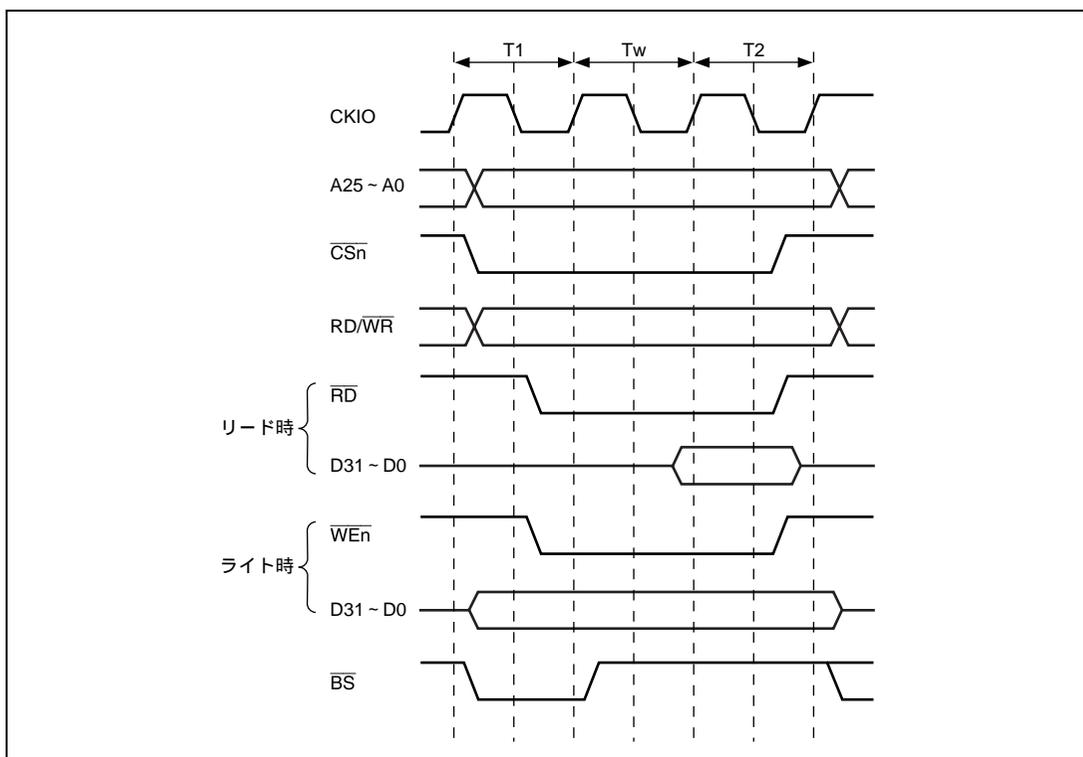


図 8.9 基本インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)

WCR2 によってソフトウェアによるウェイトを指定したときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 8.10 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。サンプリングは T_w ステートから T_2 ステートに移行する際に行われるので、 T_1 のサイクルおよび 1 回目の T_w サイクルで $\overline{\text{WAIT}}$ 信号をアサートしても、何も影響を与えません。

8. バスステートコントローラ (BSC)

WCR1 の WAITSEL ビットを 1 に設定した場合、 $\overline{\text{WAIT}}$ 信号はクロックの立ち下がりエッジでサンプリングされます。クロックの立ち下がりエッジに対するセットアップ/ホールドが満たされない場合、次の立ち下がりエッジでサンプリングした値が使われます。

ただし次の 3 つの場合は $\overline{\text{WAIT}}$ 信号は無視されます。

- DMA16バイト転送、デュアルアドレスモード、外部アドレス空間へのライト時
- DMA16バイト転送、シングルアドレスモード、DACK付け外部デバイスから外部アドレス空間への転送時
- キャッシュのライトバックアクセス時

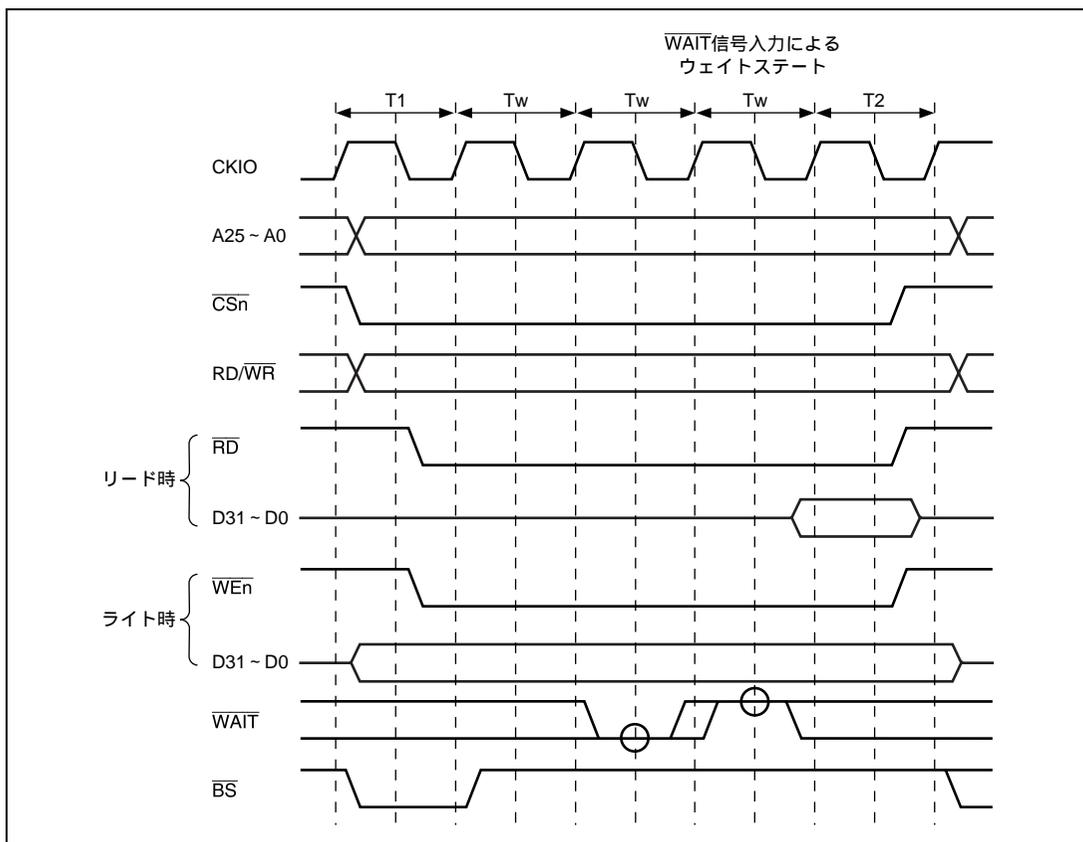


図 8.10 基本インタフェースのウェイトステートタイミング
($\overline{\text{WAIT}}$ 信号によるウェイトステート挿入 WAITSEL = 1)

8.5.4 シンクロナス DRAM インタフェース

(1) シンクロナス DRAM 直結方式

シンクロナス DRAM は \overline{CS} 信号によって選択できるため、 \overline{RAS} 等の制御信号を共通に使用して物理空間のエリア 2 とエリア 3 に接続が可能です。BCR1 メモリタイプビット (DRAMTP2~0) を 010 に設定すると、エリア 2 が通常メモリ空間、エリア 3 がシンクロナス DRAM 空間になり、011 に設定するとエリア 2、エリア 3 が共にシンクロナス DRAM 空間となります。

ただし、クロック比 I : B = 1:1 のときは、シンクロナス DRAM にアクセスしないでください。

本 LSI ではシンクロナス DRAM の動作モードとして、バースト長 1 のバーストリード/シングルライトのモードをサポートしています。データのバス幅は 16 ビット/32 ビットから選択できます。キャッシュのフィル/ライトバックサイクルでは 16 バイトのバースト転送が行われ、ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し/書き込みでは 1 回のみアクセスが行われます。

シンクロナス DRAM を直結するための制御信号は \overline{RASL} 、 \overline{RASU} 、 \overline{CASL} 、 \overline{CASU} 、 $\overline{RD/WR}$ 、 $\overline{CS2}$ または $\overline{CS3}$ 、 \overline{DQMUU} 、 \overline{DQMUL} 、 \overline{DQMLU} 、 \overline{DQMLL} および \overline{CKE} 信号です。 $\overline{CS2}$ または $\overline{CS3}$ を除く信号は各エリア共通であり、 \overline{CKE} を除く信号は $\overline{CS2}$ または $\overline{CS3}$ がアサートされたときのみ有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができます。 \overline{CKE} はセルフリフレッシュを行うときのみネゲート (ローレベルに) され、それ以外は常にアサート (ハイレベルに) されています。

リフレッシュサイクルおよびモードレジスタ書き込みサイクルでは、 \overline{RASU} 、 \overline{RASL} または \overline{CASU} 、 \overline{CASL} が共に出力されます。

\overline{RASL} 、 \overline{RASU} 、 \overline{CASL} 、 \overline{CASU} 、 $\overline{RD/WR}$ および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストローブ・バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。

バイトの指定は \overline{DQMUU} 、 \overline{DQMUL} 、 \overline{DQMLU} 、 \overline{DQMLL} によって行われます。該当する DQM がローレベルバイトに対して読み出し書き込みが行われます。ビックエンディアンモードの場合、 \overline{DQMUU} は $4n$ 番地のアクセスを、 \overline{DQMLL} は $4n+3$ 番地のアクセスを指定します。またリトルエンディアンモードの場合、 \overline{DQMUU} は $4n+3$ 番地のアクセスを、 \overline{DQMLL} は $4n$ 番地のアクセスを指定します。

図 8.11 に $1M \times 16$ ビット $\times 4$ バンクのシンクロナス DRAM を 2 個接続する場合の例を、また図 8.12 に $1M \times 16$ ビット $\times 4$ バンクのシンクロナス DRAM を 1 個接続する場合の例を示します。

8. バスステートコントローラ (BSC)

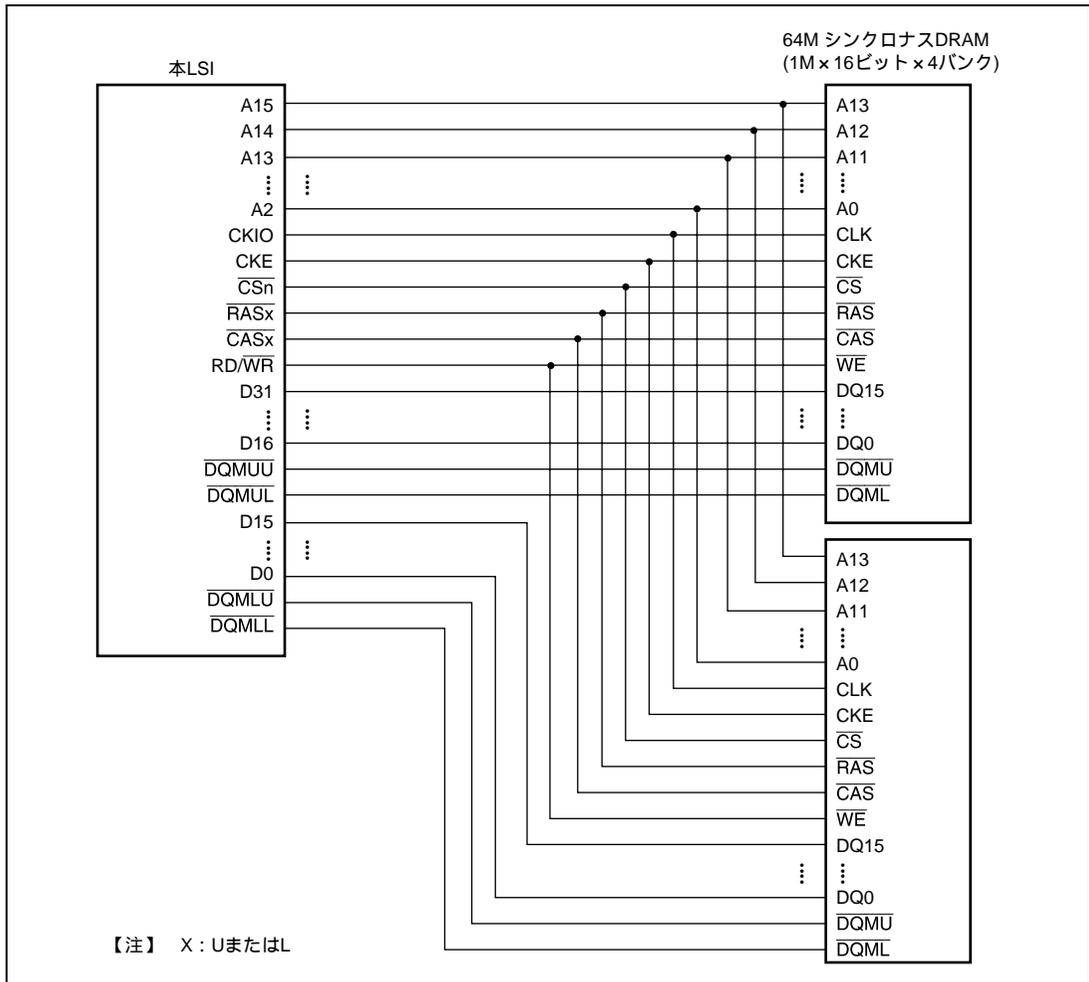


図 8.11 64M ビットシンクロナス DRAM 接続例

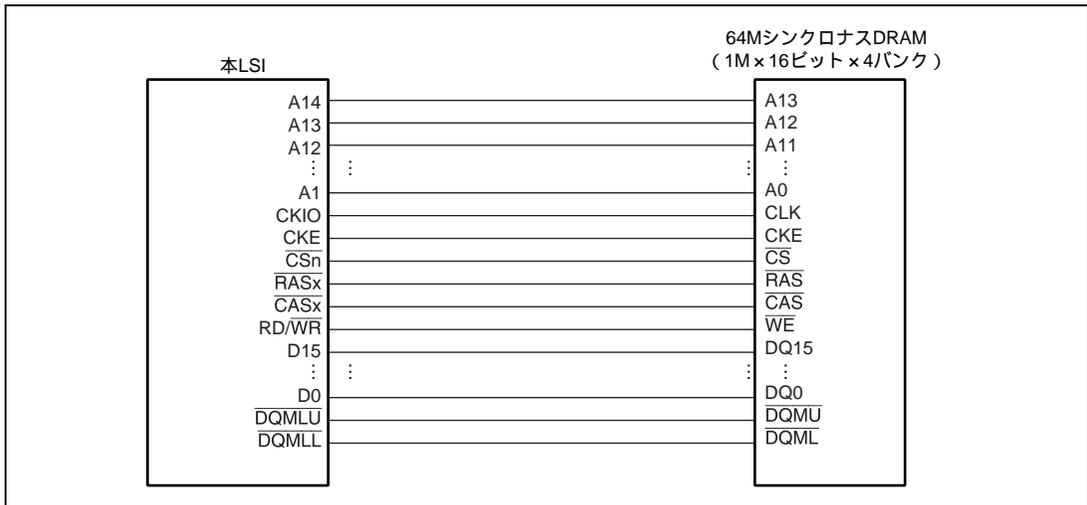


図 8.12 64M ビットシンクロナス DRAM 接続例 (バス幅 16 ビット)

(2) アドレスマルチプレクス

MCR のアドレスマルチプレクス指定 AMX3 ~ AMX0 に従って、外付けのマルチプレクス回路なしにシンクロナス DRAM に接続できるように、アドレスのマルチプレクスを行います。表 8.17 にマルチプレクスの指定ビットとアドレス端子に出力されるビットの関係を示します。

A25 ~ A17 と A0 はマルチプレクスを行わず常に本来の値が出力されています。

シンクロナス DRAM のアドレス端子の LSB である A0 は本 LSI に接続する場合ロングワードアドレスの指定を行います。したがって、シンクロナス DRAM の A0 を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 8.18 に、AMX[3:0]=0100、バス幅 32 ビットの場合のアドレス端子接続例を示します。

8. バスステートコントローラ (BSC)

表 8.17 バス幅、AMX とアドレスマルチプレクス出力の関係

バス幅	メモリ タイプ	設定				出力 タイミング	外部アドレス端子									
		AMX3	AMX2	AMX1	AMX0		A1 ~ A8	A9	A10	A11	A12	A13	A14	A15	A16	
32 ビット	4M × 16 ビット × 4 バンク ^{*1}	1	1	0	1	カラム アドレス	A1 ~ A8	A9	A10	A11	L/H ^{*3}	A13	A23	A24 ^{*4}	A25 ^{*4}	
						ロウ アドレス	A10 ~ A17	A18	A19	A20	A21	A22	A23	A24	A25 ^{*4}	
	2M × 16 ビット × 4 バンク ^{*2}	0	1	0	1	カラム アドレス	A1 ~ A8	A9	A10	A11	L/H ^{*3}	A13	A23 ^{*4}	A24 ^{*4}		
						ロウ アドレス	A10 ~ A17	A18	A19	A20	A21	A22	A23 ^{*4}	A24 ^{*4}		
	1M × 16 ビット × 4 バンク ^{*2}	0	1	0	0	カラム アドレス	A1 ~ A8	A9	A10	A11	L/H ^{*3}	A13	A22 ^{*4}	A23 ^{*4}		
						ロウ アドレス	A9 ~ A16	A17	A18	A19	A20	A21	A22 ^{*4}	A23 ^{*4}		
	2M × 8 ビット × 4 バンク ^{*2}	0	1	0	1	カラム アドレス	A1 ~ A8	A9	A10	A11	L/H ^{*3}	A13	A23 ^{*4}	A24 ^{*4}		
						ロウ アドレス	A10 ~ A17	A18	A19	A20	A21	A22	A23 ^{*4}	A24 ^{*4}		
	512k × 32 ビット × 4 バンク ^{*2}	0	1	1	1	カラム アドレス	A1 ~ A8	A9	A10	A11	L/H ^{*3}	A21 ^{*4}	A22 ^{*4}	A15		
						ロウ アドレス	A9 ~ A16	A17	A18	A19	A20	A21 ^{*4}	A22 ^{*4}	A23		
16 ビット	8M × 16 ビット × 4 バンク ^{*1}	1	1	1	0	カラム アドレス	A1 ~ A8	A9	A10	L/H ^{*3}	A12	A23	A24 ^{*4}	A25 ^{*4}		
						ロウ アドレス	A11 ~ A18	A19	A20	A21	A22	A23	A24 ^{*4}	A25 ^{*4}		
	4M × 16 ビット × 4 バンク ^{*2}	1	1	0	1	カラム アドレス	A1 ~ A8	A9	A10	L/H ^{*3}	A12	A22	A23 ^{*4}	A24 ^{*4}		
						ロウ アドレス	A10 ~ A17	A18	A19	A20	A21	A22	A23 ^{*4}	A24 ^{*4}		
	2M × 16 ビット × 4 バンク ^{*2}	0	1	0	1	カラム アドレス	A1 ~ A8	A9	A10	L/H ^{*3}	A12	A22 ^{*4}	A23 ^{*4}	A24		
						ロウ アドレス	A10 ~ A17	A18	A19	A20	A21	A22 ^{*4}	A23 ^{*4}	A24		
	1M × 16 ビット × 4 バンク ^{*2}	0	1	0	0	カラム アドレス	A1 ~ A8	A9	A10	L/H ^{*3}	A12	A21 ^{*4}	A22 ^{*4}	A15		
						ロウ アドレス	A9 ~ A16	A17	A18	A19	A20	A21 ^{*4}	A22 ^{*4}	A23		
	2M × 8 ビット × 4 バンク ^{*2}	0	1	0	1	カラム アドレス	A1 ~ A8	A9	A10	L/H ^{*3}	A12	A22 ^{*4}	A23 ^{*4}	A24		
						ロウ アドレス	A10 ~ A17	A18	A19	A20	A21	A22 ^{*4}	A23 ^{*4}	A24		

【注】 *1 $\overline{\text{RASL}} / \overline{\text{CASL}}$ のみ出力されます。

*2 アドレスが上位 32M バイトの場合、 $\overline{\text{RASU}}$ 、 $\overline{\text{CASU}}$ が出力されます。下位 32M バイトの場合、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASL}}$ が出力されます。

*3 L/H はコマンド指定に使われるビットであり、アクセスのモードによって L または H に固定されます。

*4 バンクアドレス指定

表 8.18 シンクロナス DRAM のアドレス端子対応例 (AMX[3:0] = 0100、バス幅 32 ビット)

本 LSI の アドレス端子	RAS サイクル	CAS サイクル	シンクロナス DRAM の	
			アドレス端子	機 能
A15	A23	A23	A13(BA1)	バンクセレクトアドレス
A14	A22	A22	A12(BA0)	
A13	A21	A13	A11	アドレス
A12	A20	L/H	A10	アドレス / プリチャージ設定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1	未使用	
A0	A0	A0	未使用	

(3) パーストリード

パーストリード時のタイミングチャートを図 8.13 に示します。以下の例では 2M×8 ビットのシンクロナス DRAM を 4 個接続し、データ幅 32 ビットで使用した場合を想定しており、パースト長は 1 となっています。ACTV コマンド出力を行う Tr サイクルに続いて、READ コマンドを Te1、Te2、Te3 サイクルに、READA コマンドを Tc4 サイクルに発行し、Td1 から Td4 のサイクルに外部コマンドクロック (CKIO) の立ち上がりでリードデータを受け取ります。Tpc はシンクロナス DRAM 内部で READA コマンドに基づくオートプリチャージが完了するのを待つサイクルであり、この間は同一バンクに対して新たなアクセスコマンドの発行は行えません。ただし、別のエリアのシンクロナス DRAM に対するアクセスは可能です。本 LSI では MCR の TPC ビットの指定によって Tpc のサイクル数を決定し、この間同一シンクロナス DRAM に対するコマンド発行を行いません。

図 8.13 の例は基本サイクルを表したものです。より低速なシンクロナス DRAM を接続するため、WCR2 および MCR のビットを設定することによって、サイクルを延ばすことができます。ACTV コマンド出力サイクル Tr から READ コマンド出力サイクル Te1 までのサイクル数は、MCR の RCD ビットによって指定することができ、0~3 のときそれぞれ 1~4 サイクルとなります。2 サイクル以上の場合、Tr サイクルと Tc サイクルの間にシンクロナス DRAM に対する NOP コマンド発行サイクル Trw が挿入されます。READ および READA コマンド出力サイクル Te1~Te4 から最初のリードデータ取り込みサイクル Td1 までのサイクル数は、WCR2 の A2W1、A2W0 および A3W1、A3W0 によって、1 サイクルから 3 サイクルまでエリア 2、エリア 3 それぞれ独立に指定することができます。このサイクル数はシンクロナス DRAM の CAS レイテンシサイクル数に相当します。

8. バスステートコントローラ (BSC)

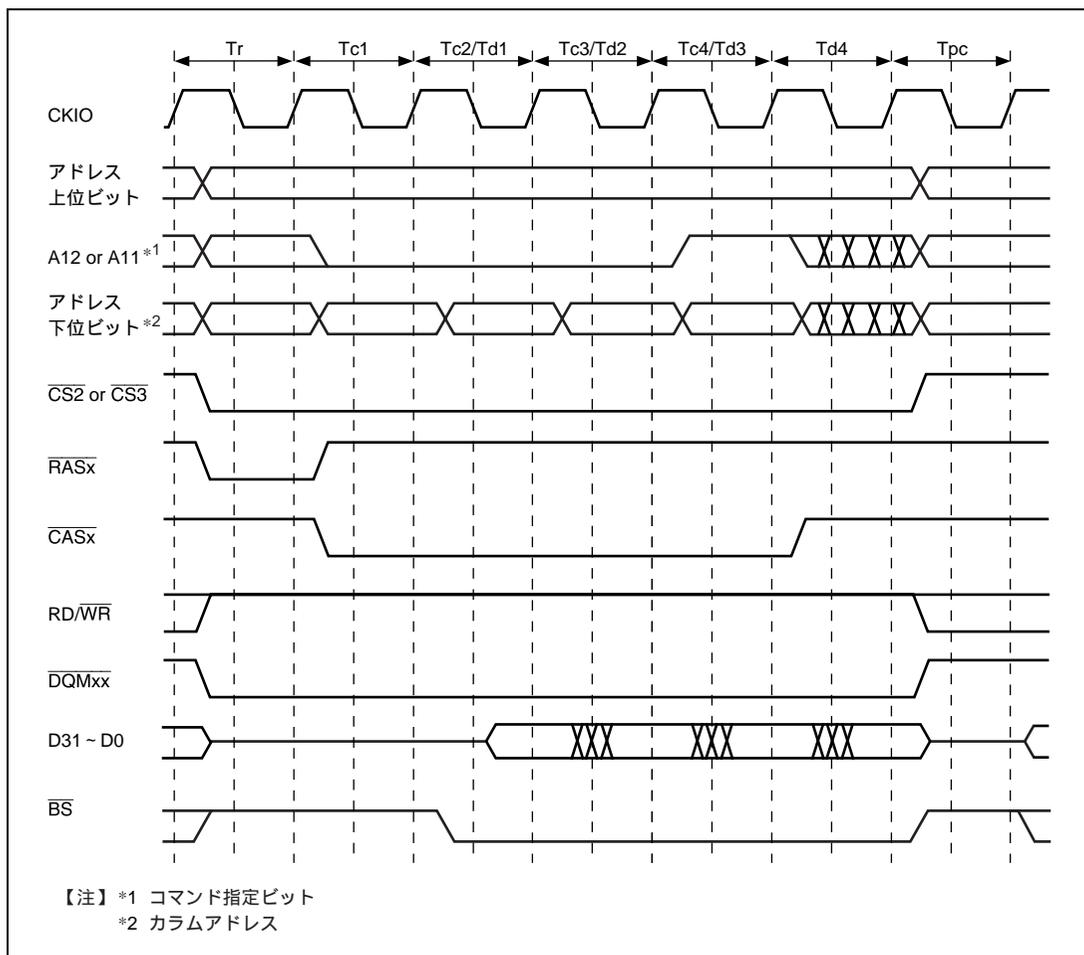


図 8.13 シンクロナス DRAM パーストリード基本タイミング

RCD を 1 に、A3W1、A3W0 を 10 に、TPC を 1 に設定したときのパーストリードのタイミングを図 8.14 に示します。

通常空間アクセスではバスサイクル開始時に 1 サイクルアサートする \overline{BS} 信号を、シンクロナス DRAM サイクルでは、Td1 ~ Td4 の各サイクルでアサートしています。パーストリードを行っているときには、アドレスは \overline{CAS} アサートごとに更新されます。パースト転送の単位は 16 バイトなので、アドレスの更新は A3、A2 (バス幅 16 ビットのときは A3、A2、A1) のみに対して行われます。アクセスの順は、キャッシュミス時のフィル動作では最初にミスしたデータが読み込まれ、その後ミスしたデータを含む 16 バイトバウンダリのデータをラップアラウンドに読み込みます。

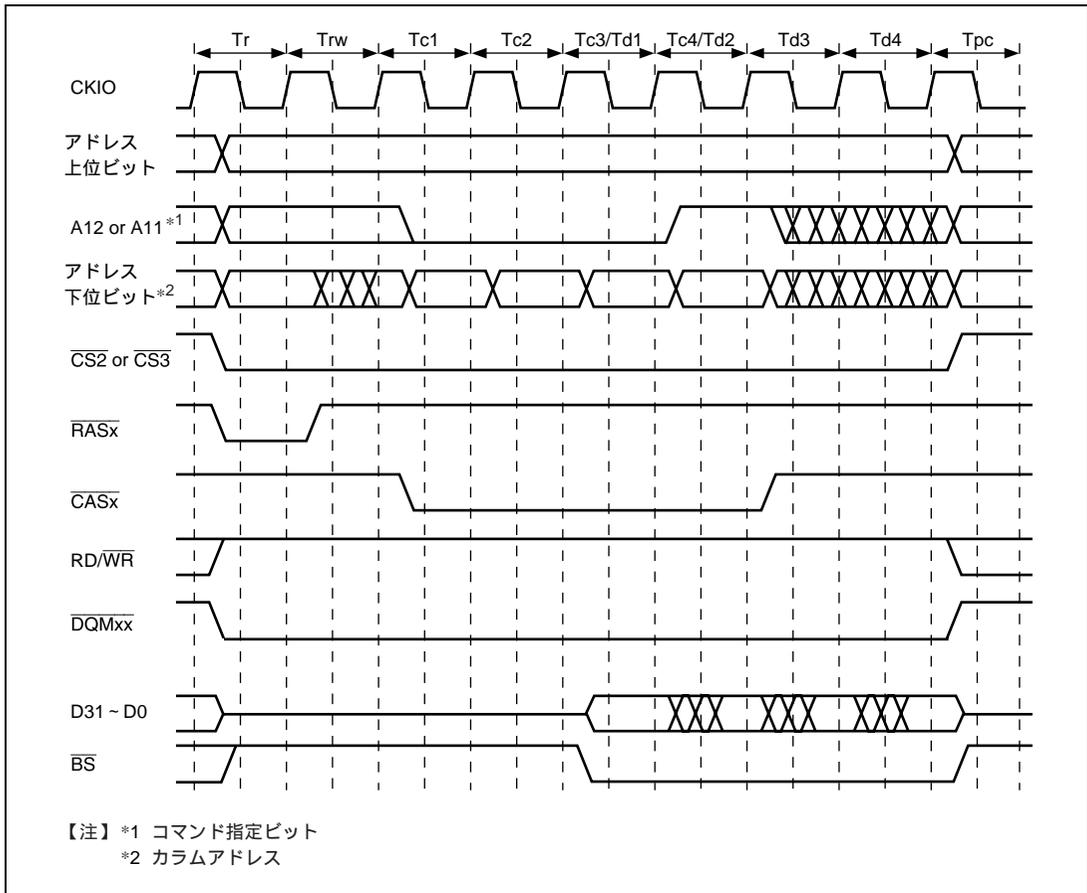


図 8.14 シンクロナス DRAM バーストリードウェイト指定タイミング

(4) シングルリード

図 8.15 に単一アドレスのリードを行う場合のタイミングを示します。シンクロナス DRAM は、バーストリード/シングルライトのモードでバースト長を 1 に設定しているため、必要なデータのみ出力します。このため、キャッシュスルー領域をアクセスしても無駄なバスサイクルは発生しません。

8. バスステートコントローラ (BSC)

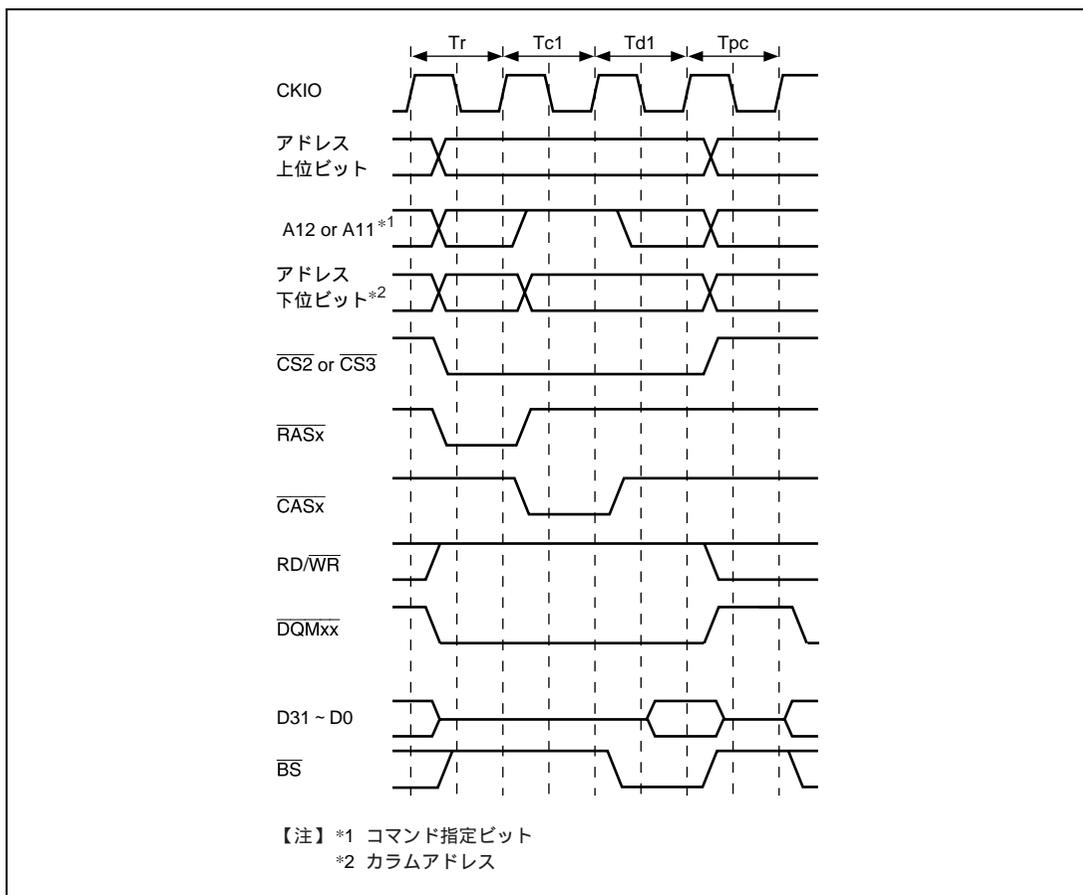


図 8.15 シンクロナス DRAM シングルリード基本タイミング

(5) パーストライト

パーストライト時のタイミングチャートを図 8.16 に示します。本 LSI でパーストライトが発生するのはキャッシュのライトバックまたは DMAC の 16 バイト転送の場合です。パーストライトの動作は ACTV コマンド出力を行う T_r サイクルに続いて、WRIT コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、オートプリチャージを行う WRITA コマンドを T_{c4} サイクルに発行します。ライトサイクルではライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンドの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後、当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。このため、リードアクセス時のプリチャージ待ちサイクル T_{pc} に加えライトコマンド後、プリチャージが起動されるまでの時間を待つ T_{rw1} サイクルが加わり、この間同一のバンクに対する新たなコマンドの発行を遅らせます。 T_{rw1} サイクルのサイクル数は MCR の TRWL ビットによって指定可能です。

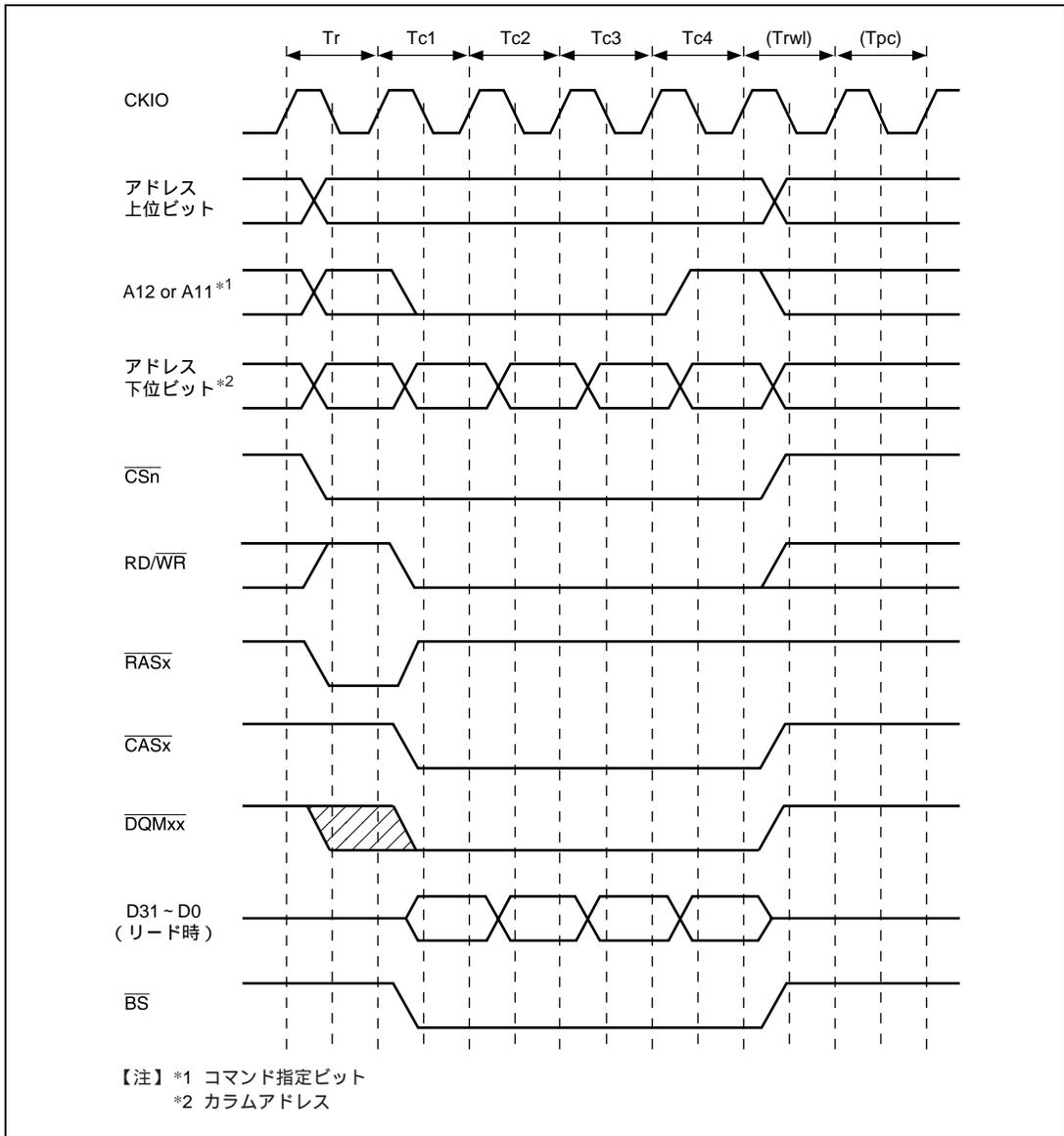


図 8.16 シンクロナス DRAM パーストライト基本タイミング

(6) シングルライト

ライトアクセスの基本タイミングチャートを図 8.17 に示します。シングルライトの動作は、ACTV コマンドを行う T_r サイクルに続いて、オートプリチャージを行う WRITA コマンドを T_{c1} で発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。

8. バスステートコントローラ (BSC)

このため、リードアクセス時のプリチャージ待ちサイクル T_{pc} に加えライトコマンド後、プリチャージが起動されるまでの時間を待つ $Trwl$ サイクルが加わり、この間同一のバンクに対する新たなコマンドの発行を遅らせます。 $Trwl$ サイクルのサイクル数は MCR の TRWL ビットによって指定可能です。

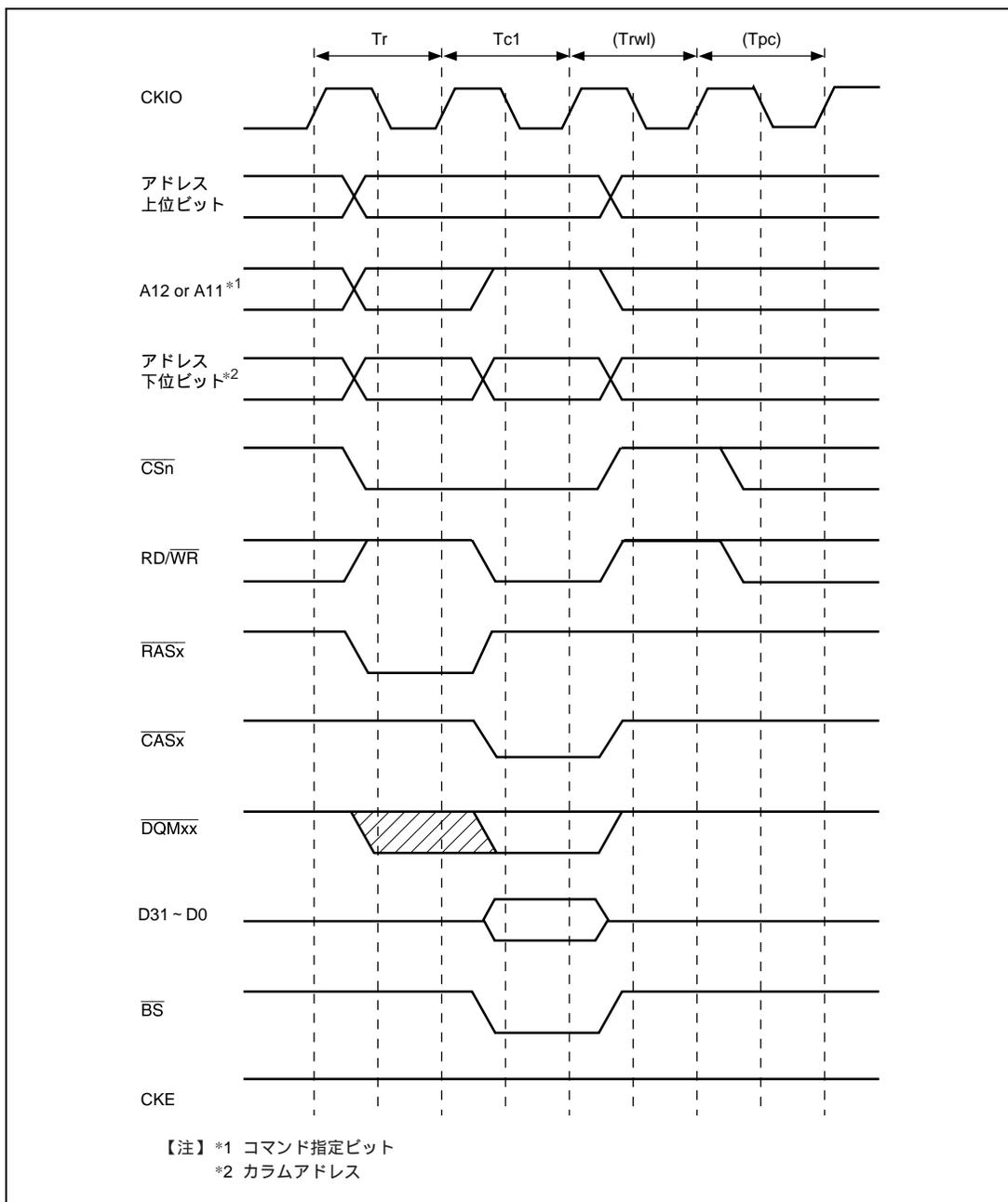


図 8.17 シンクロナス DRAM シングルライト基本タイミング

(7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速にサポートするため、シンクロナス DRAM のバンク機能を用います。MCR の RASD ビットが 1 の場合、リード/ライトコマンドはオートプリチャージなしのコマンド (READ、WRIT) を使用してアクセスを行います。この場合、アクセスが終了してもプリチャージが行われません。同じバンクの同じロウアドレスにアクセスする場合、ACTV コマンドを発行せずに、直ちに READ または WRIT コマンドを発行することができます。シンクロナス DRAM の内部は 2 つまたは 4 つのバンクに分かれているので、それぞれのバンクで 1 つずつロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順にアクセスを行います。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまいます。

書き込みの場合、オートプリチャージを行うと、WRITA コマンド発行後 $Trwl + Tpc$ サイクルの間コマンド発行を行えません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、一つの書き込みごとに $Trwl + Tpc$ サイクルだけサイクル数を短縮することができます。プリチャージコマンド発行からロウアドレスストローブコマンドまでのサイクル数は MCR の TPC で決まります。

バンクアクティブモードを使用する場合と基本アクセスを用いる場合のどちらが実行速度が速いかは、同一のロウアドレスをアクセスする確率 ($P1$) と、アクセスが完了してから次にアクセスするまでの平均サイクル数 (Ta) によって決まります。 Ta が Tpc よりも大きい場合、リード時のプリチャージ待ちによる遅れが見えなくなります。 Ta が $Trwl + Tpc$ よりも大きければ、ライト時のプリチャージ待ちによる遅れも見えなくなります。この場合、バンクアクティブモードと基本アクセスのアクセス速度はアクセス開始からリード/ライトコマンド発行までのサイクル数となり、それぞれ $(Tpc + Tred) \times (1 - P1)$ と $Tred$ となります。

各バンクをアクティブ状態にしておける時間 $Tras$ には制限があります。プログラムの実行によってこの値を守る周期で、キャッシュにヒットせず別のロウアドレスにアクセスする保証がない場合、オートリフレッシュを行う設定にし、リフレッシュ周期を $Tras$ の最大値以下に設定する必要があります。これにより、各バンクの最大アクティブ状態時間の制約を守ることができます。オートリフレッシュを使用しない場合には、所定時間以上バンクがアクティブ状態にとどまらない工夫をプログラムする必要があります。

図 8.18 にオートプリチャージでないバーストリードサイクルを、図 8.19 には同一のロウアドレスに対するバーストリードサイクルを、図 8.20 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に図 8.21 にオートプリチャージでないバーストライトサイクルを、図 8.22 に同一のロウアドレスに対するバーストライトサイクルを、図 8.23 には異なるロウアドレスに対するバーストライトサイクルを示します。

図 8.19 において READ コマンドを発行する $Tc1$ サイクルに先立って、何も行わない $Tnop$ サイクルが挿入されていますが、シンクロナス DRAM は読み出し時にバイト指定を行う \overline{DQMxx} 信号について、2 サイクルのレイテンシがあります。 $Tnop$ を挿入しないで $Tc1$ サイクルを直ちに行くと、 $Td1$ サイクルのデータ出力に対する \overline{DQMxx} 信号の指定が行えません、このため $Tnop$ サイクルを挿入します。CAS レイテンシが 2 以上の場合には、 $Tc1$ サイクル以降に \overline{DQMxx} 信号を設定しても間に合うため、 $Tnop$ サイクルの挿入は行われません。

8. バスステートコントローラ (BSC)

バンクアクティブモードに設定すると、エリア3のそれぞれのバンクに対するアクセスのみを見た場合、同一のロウアドレスに対するアクセスが続く限り図 8.18 または図 8.21 で始まり、図 8.19 または図 8.22 を繰り返します。間に別のエリア3に対するアクセスがあっても影響はしません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合、これを検出したあと図 8.19 または図 8.22 の代わりに図 8.20 または図 8.23 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクル後またはバスアービトラーションによるバス解放後は、すべてのバンクが非アクティブな状態になります。

SDRAM バンクアクティブモードに関して下記の注意事項があります。

下記の条件において、2.のアクセスを実行するための外部バスサイクル要求信号と、オートリフレッシュ要求、セルフリフレッシュ要求またはバス権開放要求が、LSI 内部で同時に発生した場合、リフレッシュサイクルの先頭またはバス開放シーケンスの先頭で行われるべき全バンクプリチャージが行われず、選択バンクプリチャージが行われてしまう場合があります。

1. 個別メモリコントロールレジスタ (MCR) のRASDビットを1に設定 (SDRAMバンクアクティブモードに設定)
2. バス幅16ビットの任意のエリア (エリア0~6) に対するロングワードアクセス、もしくはバス幅8ビットの任意のエリア (エリア0~6) に対するワードアクセス/ロングワードアクセスを実行

この回避策として下記のいずれかでご使用ください。

- (1) オートプリチャージモードを使用する
- (2) すべてのエリアのバス幅を 32 ビットで使用する

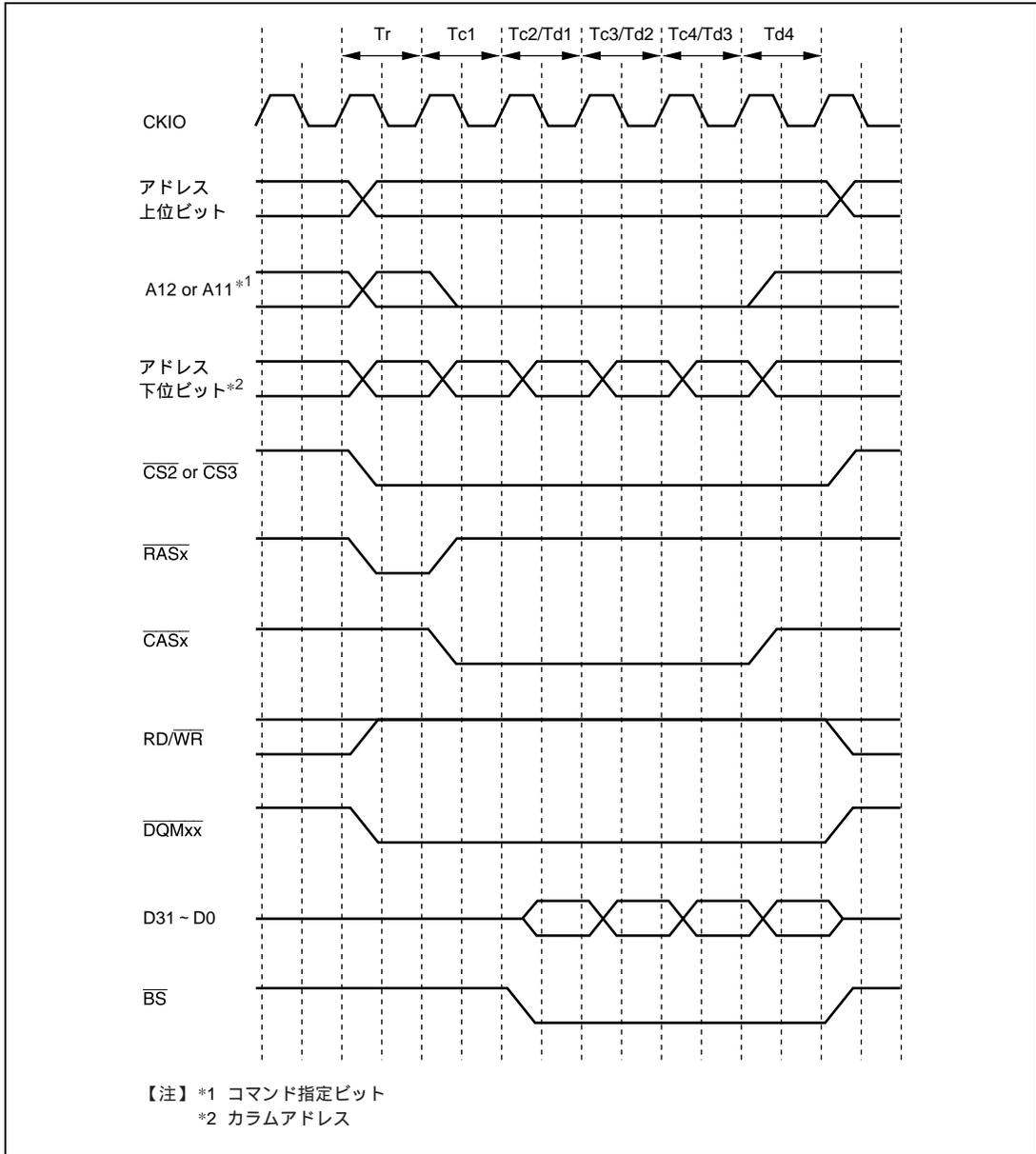


図 8.18 バーストリードタイミング (プリチャージなし)

8. バスステートコントローラ (BSC)

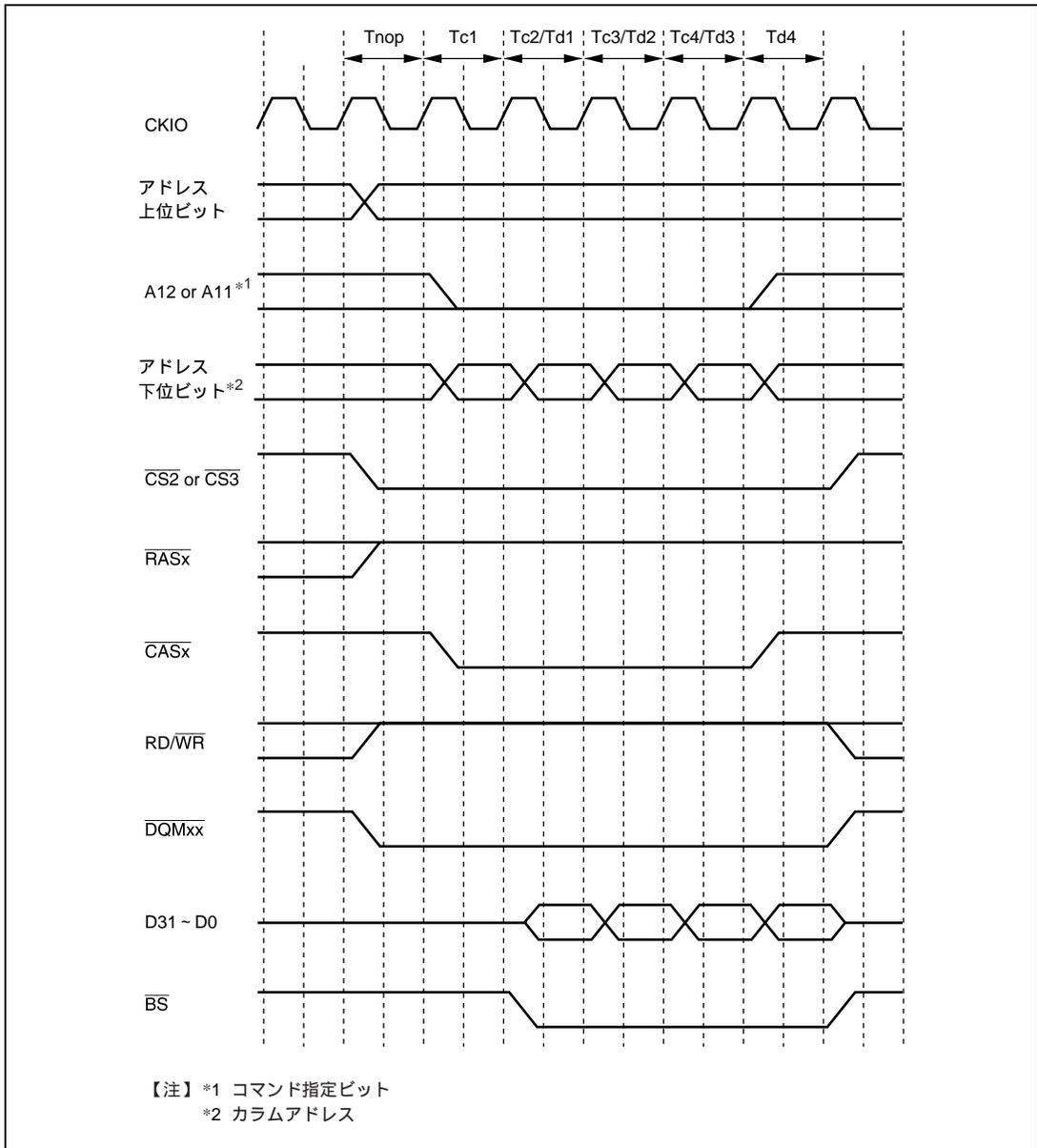


図 8.19 バーストリードタイミング (同一ロウアドレス)

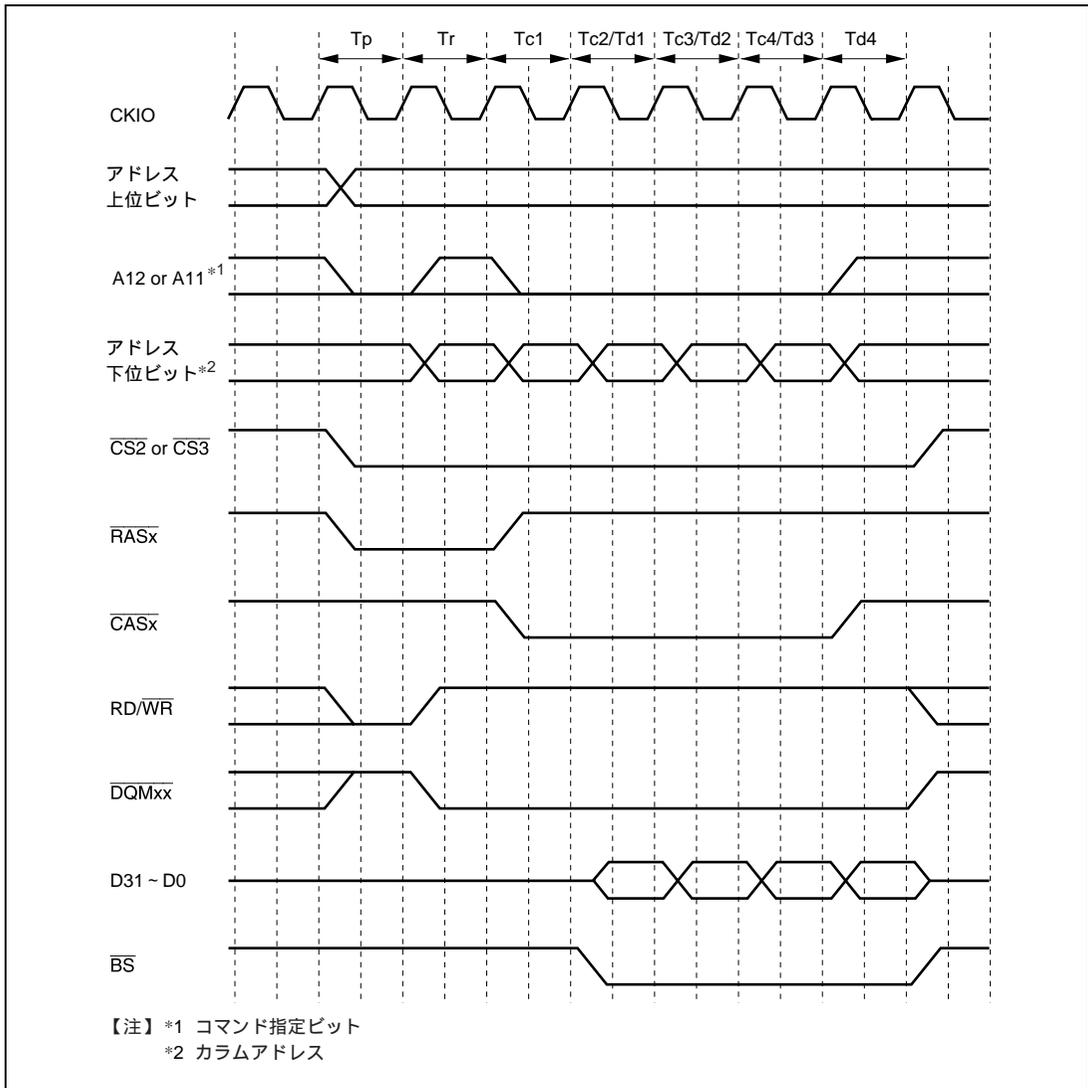


図 8.20 バーストリードタイミング (異なるロウアドレス)

8. バスステートコントローラ (BSC)

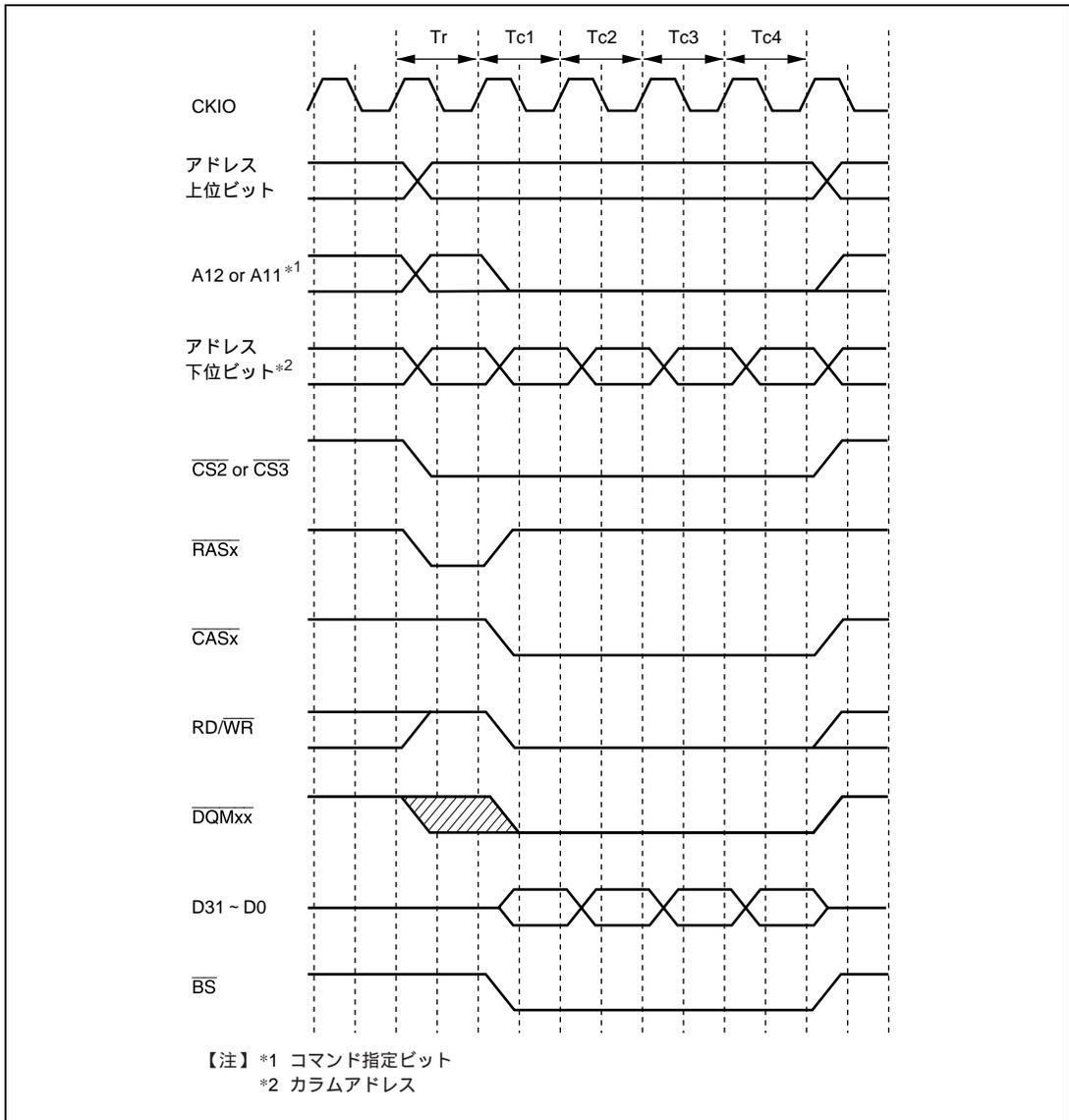


図 8.21 バーストライトタイミング (プリチャージなし)

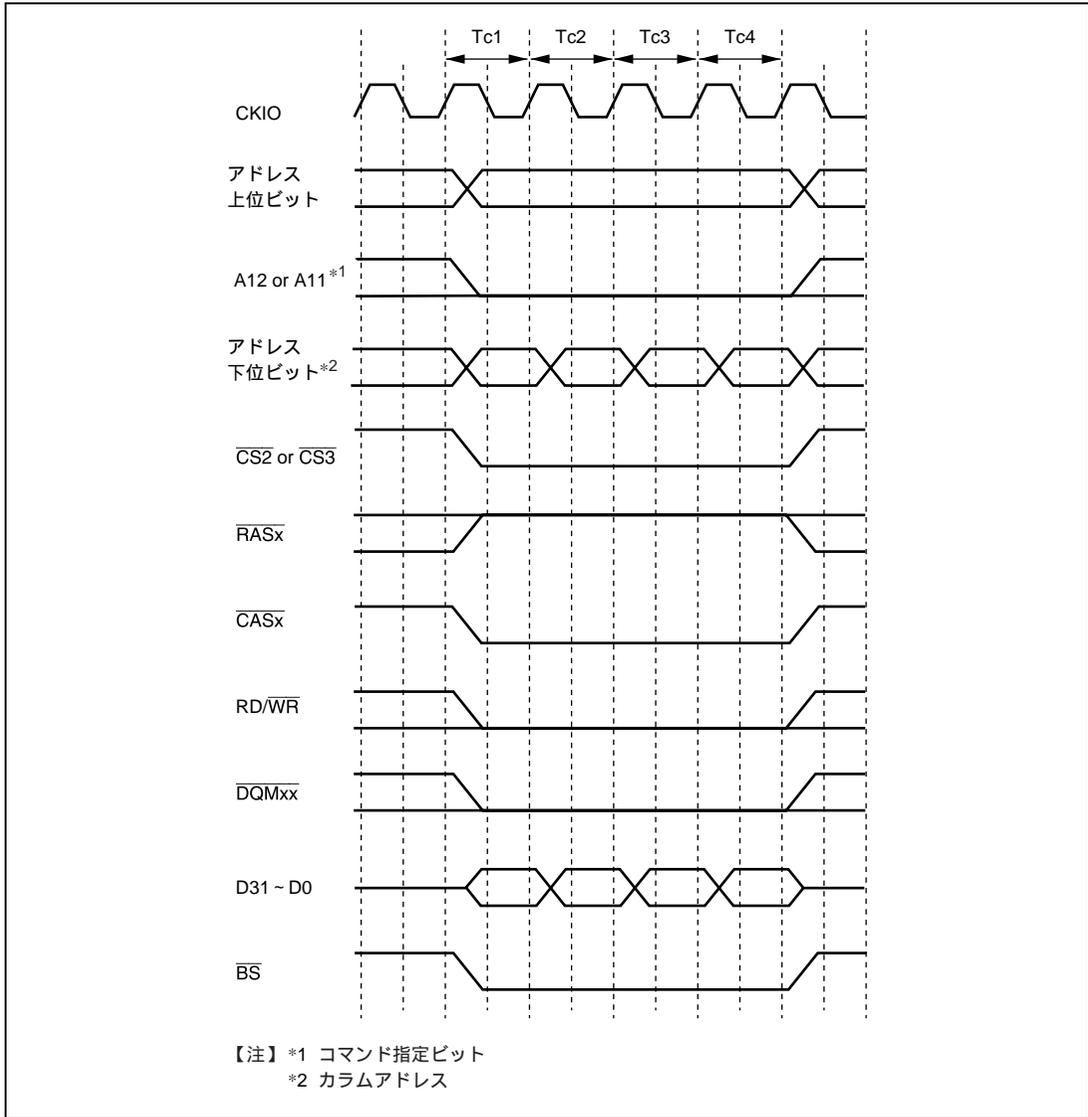


図 8.22 バーストライトタイミング (同一ロウアドレス)

8. バスステートコントローラ (BSC)

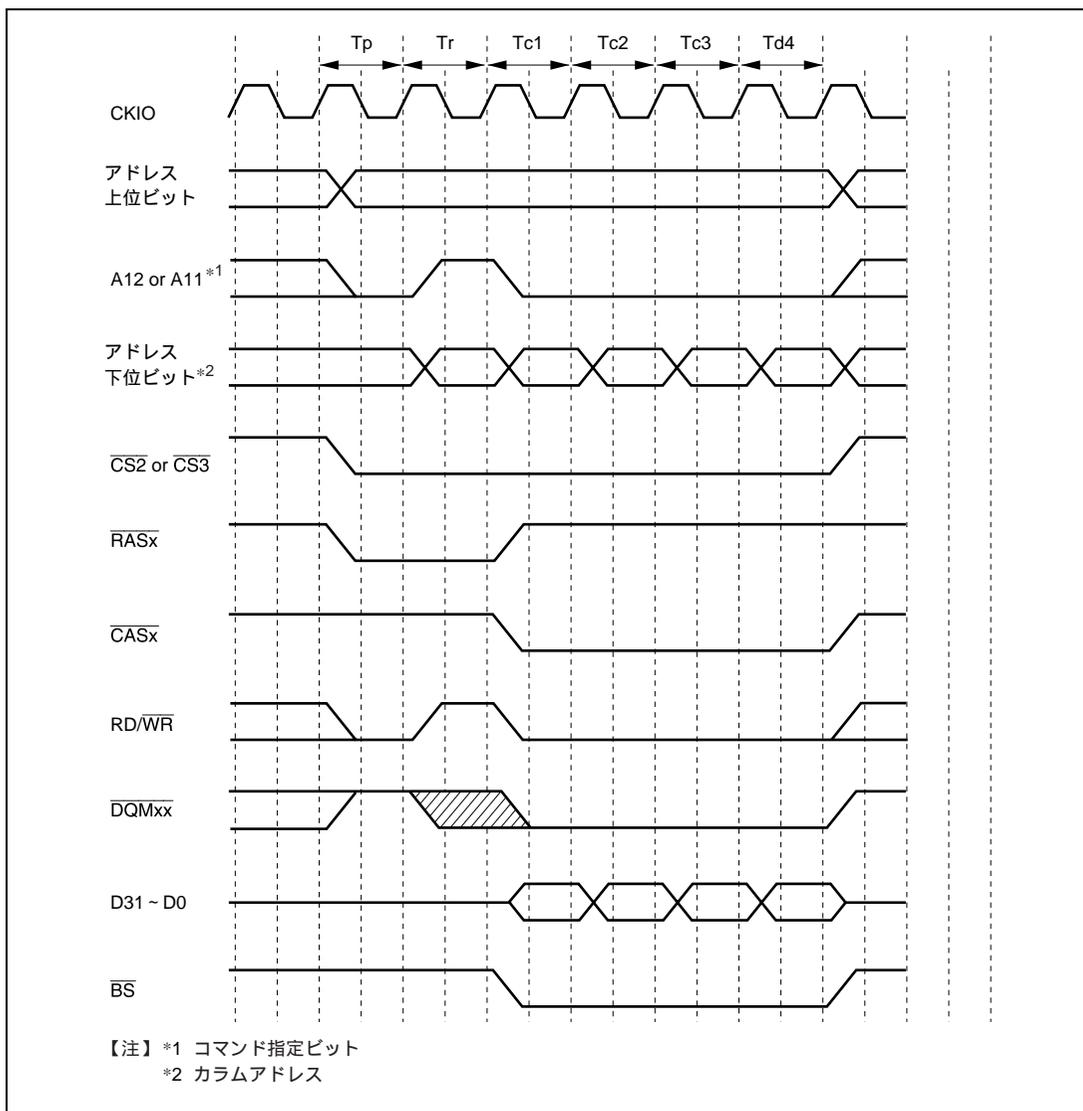


図 8.23 バーストライトタイミング (異なるロウアドレス)

(8) リフレッシュ

バスステートコントローラはシンクロナス DRAM のリフレッシュを制御する機能を備えています。MCR の RMODE ビットを 0 に、RFSH ビットを 1 にセットすることによって、オートリフレッシュを行わせることができます。また、長時間シンクロナス DRAM にアクセスしないときには、RMODE ビットと RFSH ビットを共に 1 にすることによって、データ保持のための消費電力が少ないセルフリフレッシュモードを起動させることができます。

(a) オートリフレッシュ

図 8.24 にオートリフレッシュの動作を示します。

RTCSR の CKS2~0 ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔でリフレッシュが行われます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2~0 ビットの値を設定してください。最初に RTCOR、RTCNT と MCR の RMODE ビットおよび RFSH ビットの設定を行い、最後に CKS2~CKS0 の設定を行ってください。CKS2~CKS0 によってクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、オートリフレッシュが行われます。同時に RTCNT はゼロクリアされ、カウントアップが再開されます。図 8.25 にオートリフレッシュサイクルのタイミングを示します。

まず、 T_p サイクルに全バンクプリチャージを行い、続いて MCR の TPC で設定した期間のあと REF コマンドを TR_r サイクルに発行します。 TR_r サイクル後 MCR の TRAS で指定されるサイクル数 + MCR の TPC で指定されるサイクル数の間、新たなコマンドの出力は行いません。シンクロナス DRAM のリフレッシュサイクル時間の規定 (アクティブ・アクティブコマンド遅延時間) を満たすように TRAS および TPC を設定する必要があります。

オートリフレッシュは、通常動作時、スリープモード時およびマニュアルリセット時に行われます。

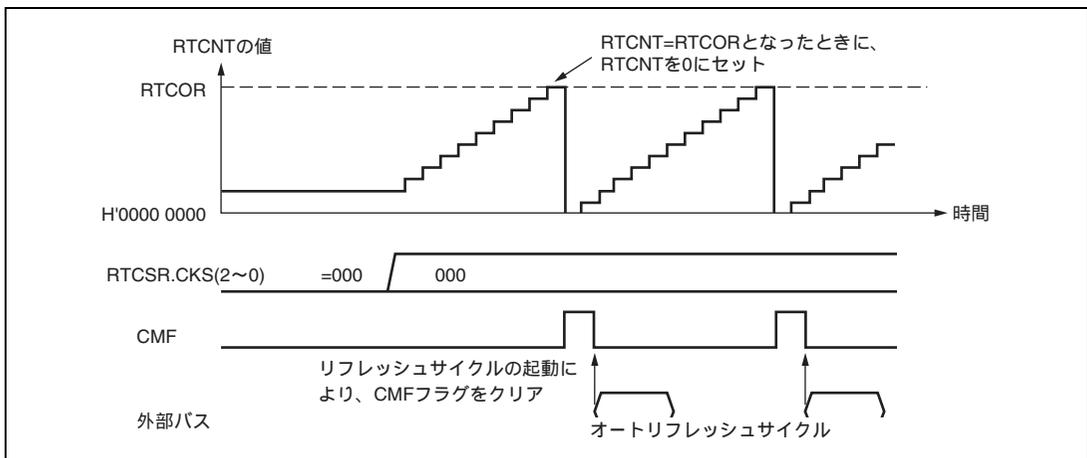


図 8.24 オートリフレッシュの動作

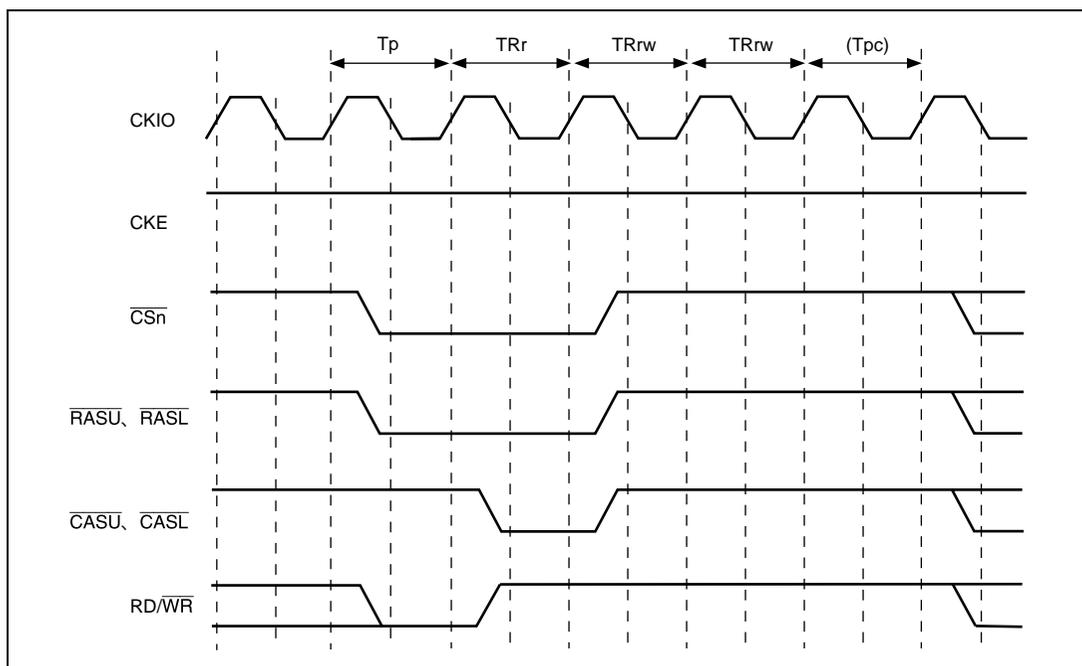


図 8.25 シンクロナス DRAM オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュのモードはシンクロナス DRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。RMODE ビットと RFSH ビットを共に 1 にすることによって起動します。CKE 信号がローレベルの間セルフリフレッシュ状態となっています。セルフリフレッシュの状態の間は、シンクロナス DRAM にアクセスすることができません。セルフリフレッシュの解除は RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、MCR の TPC で指定されるサイクル数の間はコマンドの発行が禁止されます。セルフリフレッシュのタイミングを図 8.26 に示します。セルフリフレッシュ解除、データ保持が正しく行われるように、直ちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合、パワーオンリセット以外でスタンバイモードを脱出する場合、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 の設定にすればオートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、この時間を考慮して RTCNT の初期値の設定を行ってください。RTCNT の値を RTCOR の値 - 1 に設定すると直ちにリフレッシュを開始することができます。

セルフリフレッシュに設定したあと、本 LSI のスタンバイ機能を使ってチップスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、パワーオンリセット以外でスタンバイモードから復帰する場合には復帰後もセルフリフレッシュ状態が保持されます。

パワーオンリセットの場合にはバスステートコントローラのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

セルフリフレッシュは、通常動作時、スリープモード時、スタンバイモード時およびマニュアルリセット時に行われます。

SDRAM 使用時、以下の手順に従いセルフリフレッシュを起動してください。

3. リフレッシュ制御ビットを0にする。
4. RTCNTレジスタにH'00を書き込む。
5. リフレッシュ制御ビット、リフレッシュモードビットを1にする。

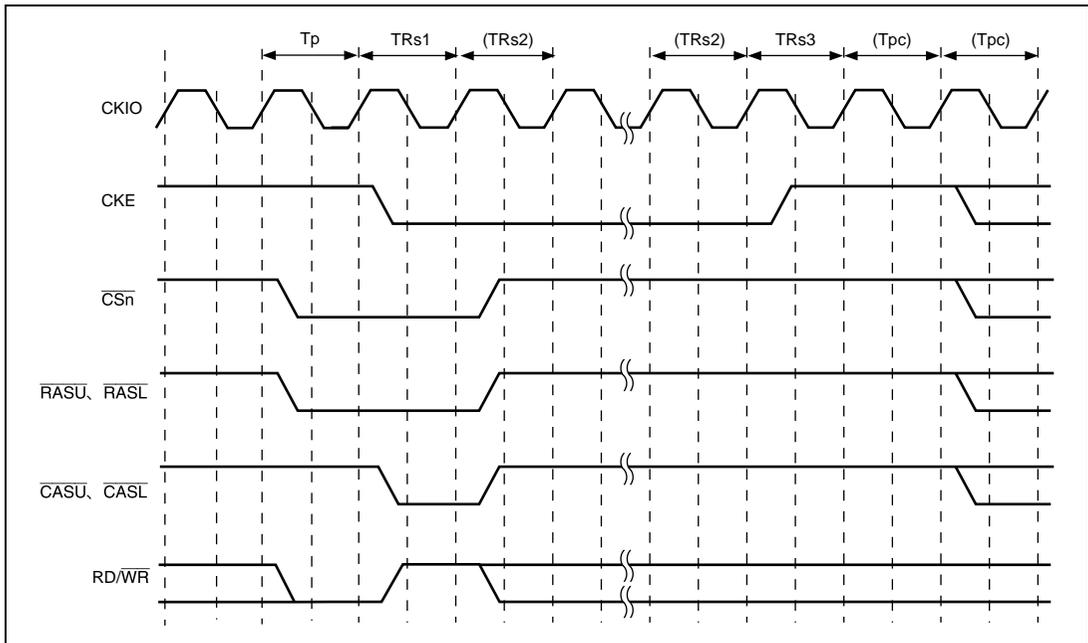


図 8.26 シンクロナス DRAM セルフリフレッシュタイミング

(c) リフレッシュ要求とバスサイクル要求の関係

バスサイクル実行中にリフレッシュ要求が生じた場合、リフレッシュの実行はバスサイクルの完了まで待たされます。バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が起きた場合、バスを獲得するまでリフレッシュの実行は待たされます。リフレッシュの実行を待たされている状態で RTCNT と RTCOR の一致が起こり、新たなリフレッシュ要求が生じた場合には、前のリフレッシュ要求は消滅してしまいます。リフレッシュを正常に行うためには、リフレッシュ間隔よりも長いバスサイクルやバス権の占有が起こらないよう注意が必要です。なお、リフレッシュ要求が発生すると $\overline{\text{IRQOUT}}$ 端子がローレベルにアサートされます。このため、バス権を要求する本 LSI 以外のバスマスタやバス調停回路で $\overline{\text{IRQOUT}}$ 端子を監視し、バス権を本 LSI に戻すことにより正常なリフレッシュが行えます。 $\overline{\text{IRQOUT}}$ 端子は、リフレッシュを開始すると、他の割り込み要求が発生していない場合、ハイレベルにネゲートされます。

8. バスステートコントローラ (BSC)

(9) パワーオンシーケンス

シンクロナス DRAM を使用するためには、パワーオン後、まずモードの設定を行う必要があります。シンクロナス DRAM の初期化を正しく行うためには、まず最初にバスステートコントローラのレジスタを設定したあと、シンクロナス DRAM のモードレジスタに対する書き込みを行わなければなりません。シンクロナス DRAM のモードレジスタの設定は $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 信号の組み合わせで、その時点のアドレス信号の値が取り込まれます。バスステートコントローラは、設定したい値を X とすると、エリア 2 のシンクロナス DRAM に対しては H'FFFF D000 + X 番地に、またエリア 3 のシンクロナス DRAM に対しては H'FFFF E000 + X に書き込みを行うことによって、値 X がシンクロナス DRAM のモードレジスタに書き込まれるように動作します。この際データは無視されますが、モードの書き込みはバイトサイズで行います。本 LSI でサポートしているバーストリード/シングルライト、CAS レイテンシ 1 から 3、ラップタイプ = シーケンシャル、バースト長 1 を設定するには以下のアドレスにバイトサイズで任意のデータを書き込みます。

		エリア 2	エリア 3
32 ビット幅	CAS レイテンシ 1	FFFF D840	FFFF E840
接続時	CAS レイテンシ 2	FFFF D880	FFFF E880
	CAS レイテンシ 3	FFFF D8C0	FFFF E8C0
		エリア 2	エリア 3
16 ビット幅	CAS レイテンシ 1	FFFF D420	FFFF E420
接続時	CAS レイテンシ 2	FFFF D440	FFFF E440
	CAS レイテンシ 3	FFFF D460	FFFF E460

モードレジスタ設定タイミングを図 8.27 に示します。

H'FFFFD000 + X もしくは H'FFFFE000 + X 番地への書き込みによって、まず、全バンクプリチャージコマンド (PALL) が TRp1 サイクルに発行され、それに続く TMw1 サイクルにモードレジスタ書き込みコマンドが発行されます。

モードレジスタ書き込みコマンド発行時のアドレス信号は、以下のようになります。

32 ビット幅	A15 ~ A9	000 0100 (バーストリード&シングルライト)
接続時	A8 ~ A6	CAS レイテンシ
	A5	0 (バーストタイプ = シーケンシャル)
	A4 ~ A2	000 (バースト長 1)
16 ビット幅	A14 ~ A8	000 0100 (バーストリード&シングルライト)
接続時	A7 ~ A5	CAS レイテンシ
	A4	0 (バーストタイプ = シーケンシャル)
	A3 ~ A1	000 (バースト長 1)

モードレジスタの設定に先立って、シンクロナス DRAM の要求する電源投入後 100 μ s のアイドル時間 (メモリーメーカーによって異なる) を保証しなければなりません。リセット信号のパルス幅がこのアイドル時間より長い

場合には、直ちにモードレジスタの設定を行っても問題はありません。ダミーのオートリフレッシュサイクルをメーカーの規定する回数（通常 8 回）以上実行する必要があります。これは通常オートリフレッシュの設定を行ったあと、種々の初期化を行っているうちに自然に実現されますが、より確実にを行うためには、このダミーサイクルを実行する間だけリフレッシュ要求の発生する間隔を短く設定しておく方法があります。単なるリードまたはライトアクセスではオートリフレッシュに使用するシンクロナス DRAM 内部のアドレスカウンタが初期化されないため、必ずオートリフレッシュサイクルでなければなりません。

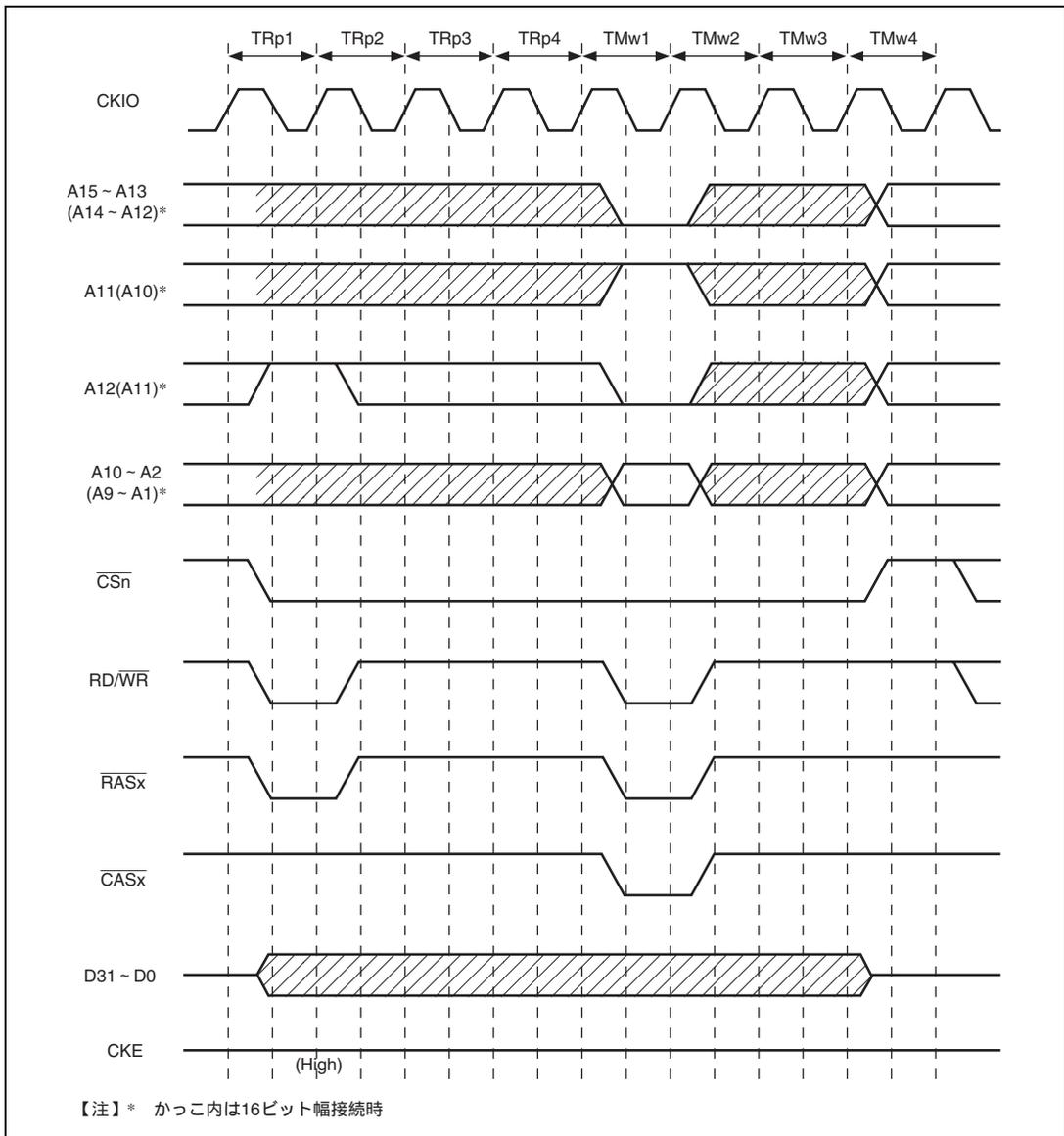


図 8.27 シンクロナス DRAM モード書き込みタイミング

8.5.5 バースト ROM インタフェース

BCR1 の A0BST1、0、A5BST1、0、A6BST1、0 ビットを各々 0 以外に設定することにより、エリア 0、エリア 5、エリア 6 にバースト ROM の接続が可能となります。バースト ROM インタフェースは、ニブルアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するニブルアクセスのタイミングを図 8.28 に示します。ウェイトサイクル 2 サイクルの設定です。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際 $\overline{CS0}$ 信号のネゲートを行わず、アドレスのみを切り替えて、次のアクセスを行います。8 ビット幅の ROM を接続する場合には A0BST1、0、A5BST1、0、A6BST1、0 ビットによって連続アクセスの回数を 4 回、8 回、16 回に設定できます。16 ビット幅の ROM を接続する場合には同じく 4 回、8 回に設定でき、32 ビット幅の ROM を接続する場合は 4 回に設定できます。

先頭のアクセスではウェイトステートを 1 以上に設定した場合、また 2 回目以降のアクセスでは常に \overline{WAIT} 端子のサンプリングを行います。

バースト ROM の設定を行いウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。この場合のタイミングを図 8.29 に示します。

ただし、次の 3 つの場合は \overline{WAIT} 信号は無視されます。

- DMA 16バイト転送、デュアルアドレスモード、外部アドレス空間へのライト時
- DMA 16バイト転送、シングルアドレスモード、DACK付け外部デバイスから外部バス空間への転送時
- キャッシュのライトバックアクセス時

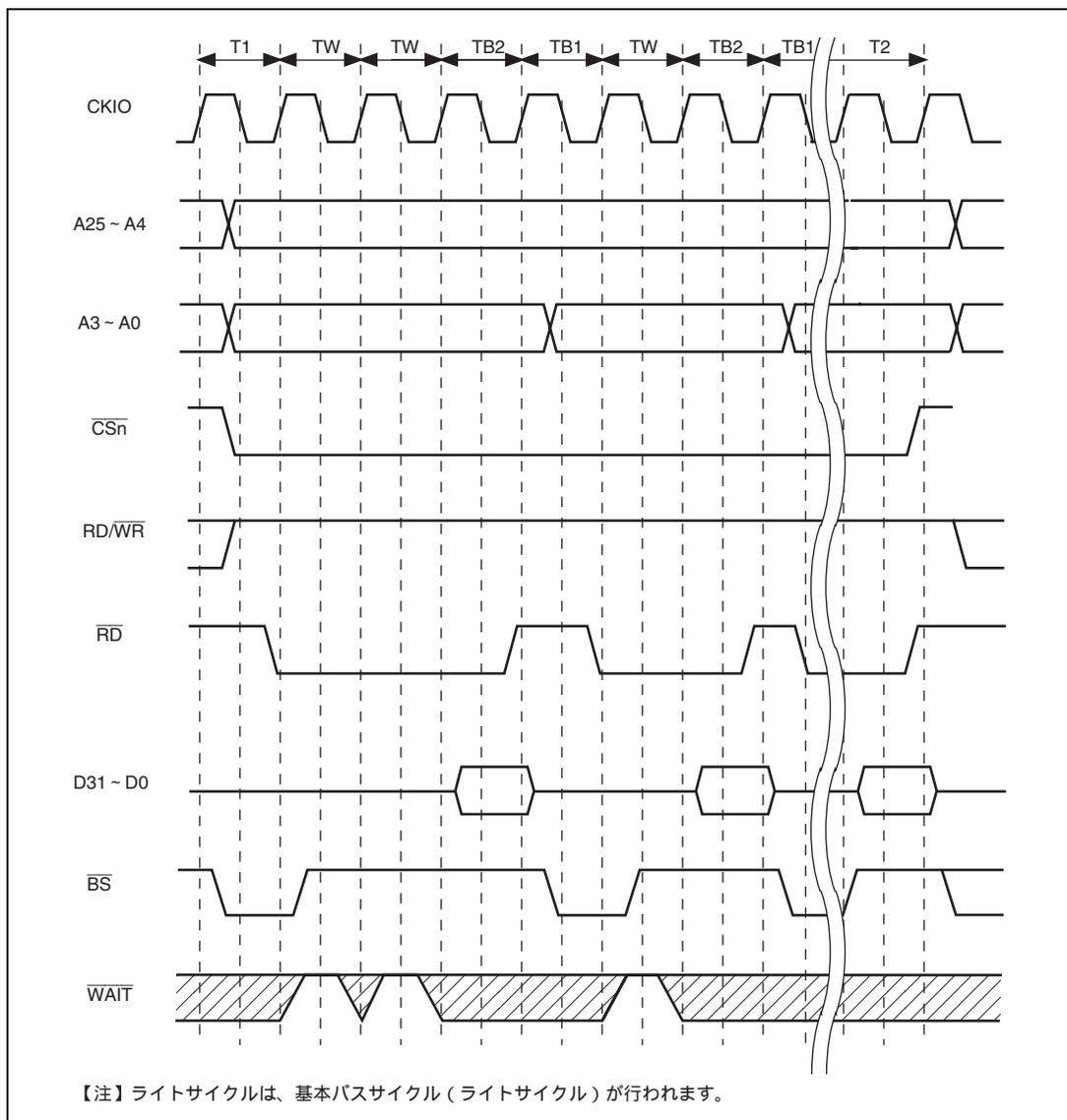


図 8.28 バースト ROM ウェイトアクセスタイミング

8. バスステートコントローラ (BSC)

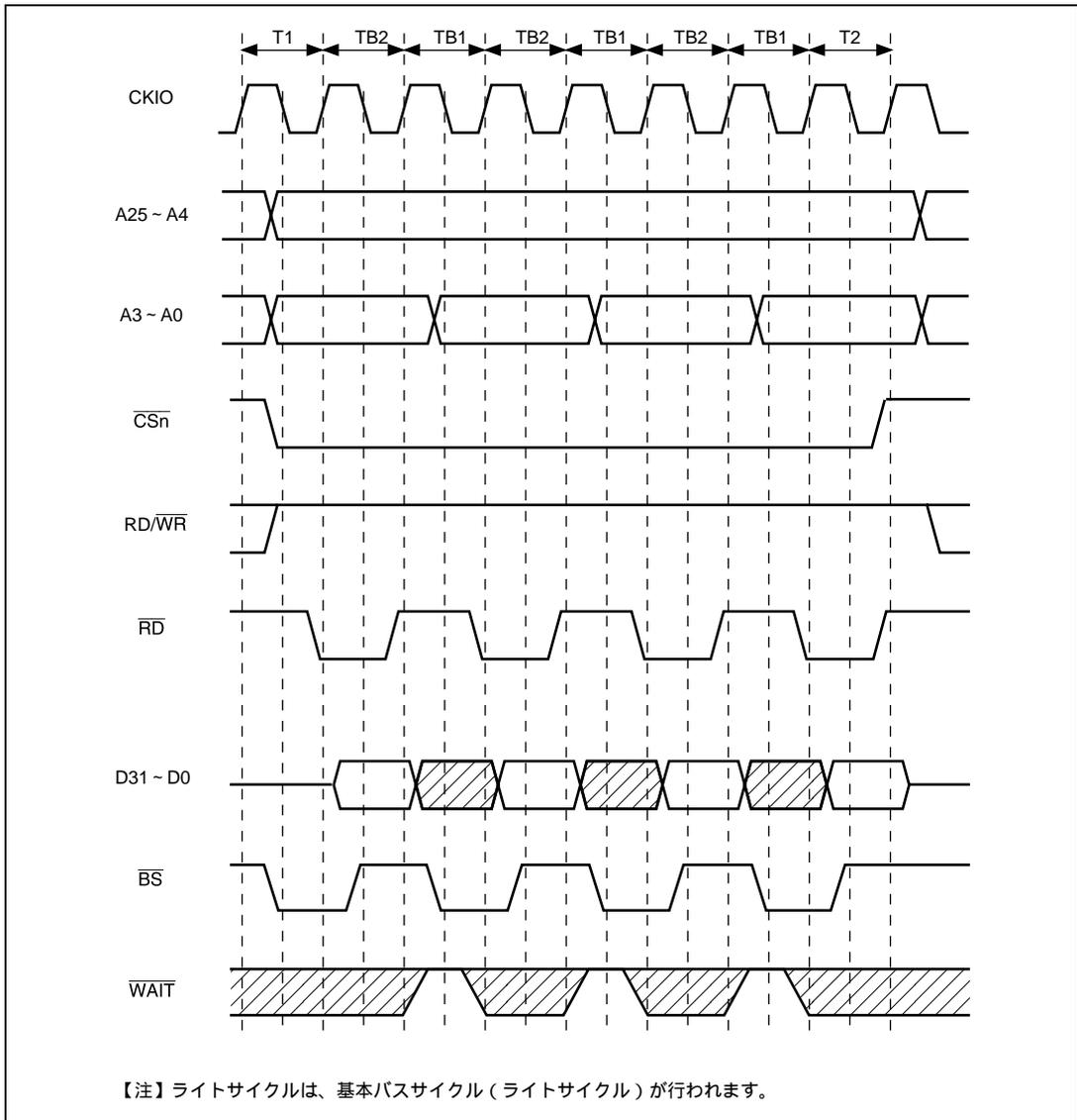


図 8.29 パースト ROM 基本アクセスタイミング

8.5.6 PCMCIA インタフェース

本 LSI では BCR1 の A5PCM ビットを 1 に設定することにより、物理空間のエリア 5 のバスインタフェースが、JEIDA 仕様 Ver4.2(PCMCIA2.1 Rev.2.1)で定める IC メモリカードおよび I/O カードインタフェースになります。また A6PCM ビットを 1 に設定することにより、物理空間のエリア 6 のバスインタフェースが JEIDA 仕様 Ver4.2 で定める IC メモリカードおよび I/O カードインタフェースになります。

図 8.30 に PCMCIA の空間の割り付けを示します。

PCMCIA インタフェースを使用する場合、BCR2 の A5SZ1、A5SZ0 もしくは A6SZ1、A6SZ0 によって、バスサイズは、8 ビットもしくは 16 ビットに設定します。

図 8.31 に本 LSI で PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするために、本 LSI のバスインタフェースと PCMCIA カードの間に 3 ステイトバッファを接続する必要があります。

JEIDA/PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

ただし、次の 3 つの場合は $\overline{\text{WAIT}}$ 信号は無視されます。

- DMA 16バイト転送、デュアルアドレスモード、外部アドレス空間へのライト時
- DMA 16バイト転送、シングルアドレスモード、DACK付け外部デバイスから外部アドレス空間への転送時
- キャッシュのライトバックアクセス時

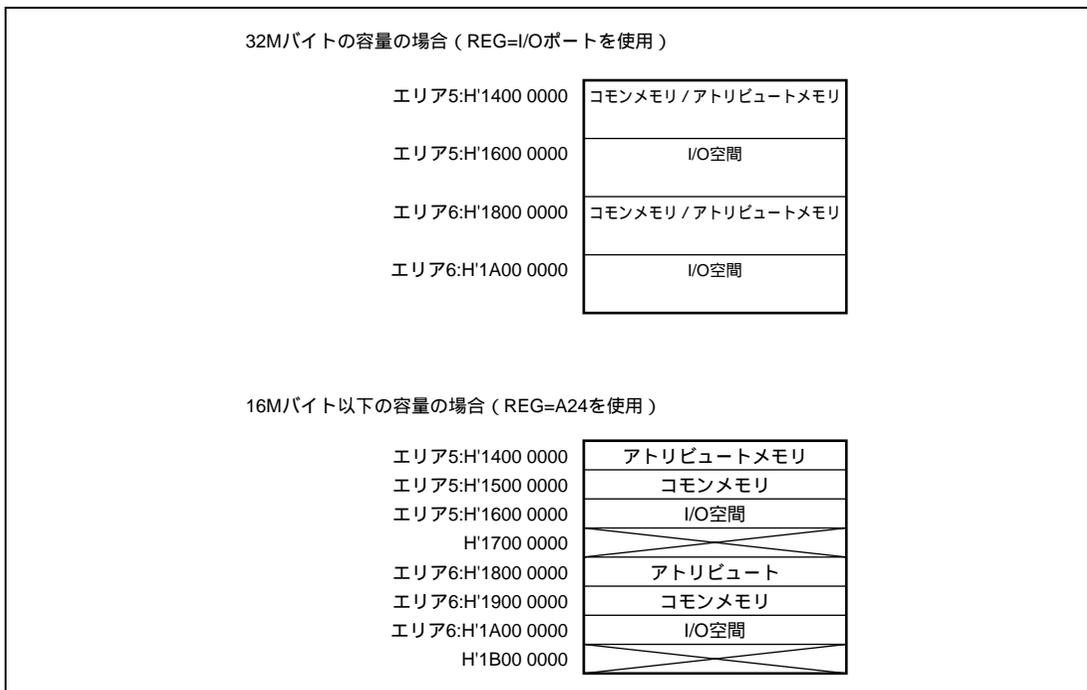


図 8.30 PCMCIA 空間割り付け

8. バスステートコントローラ (BSC)

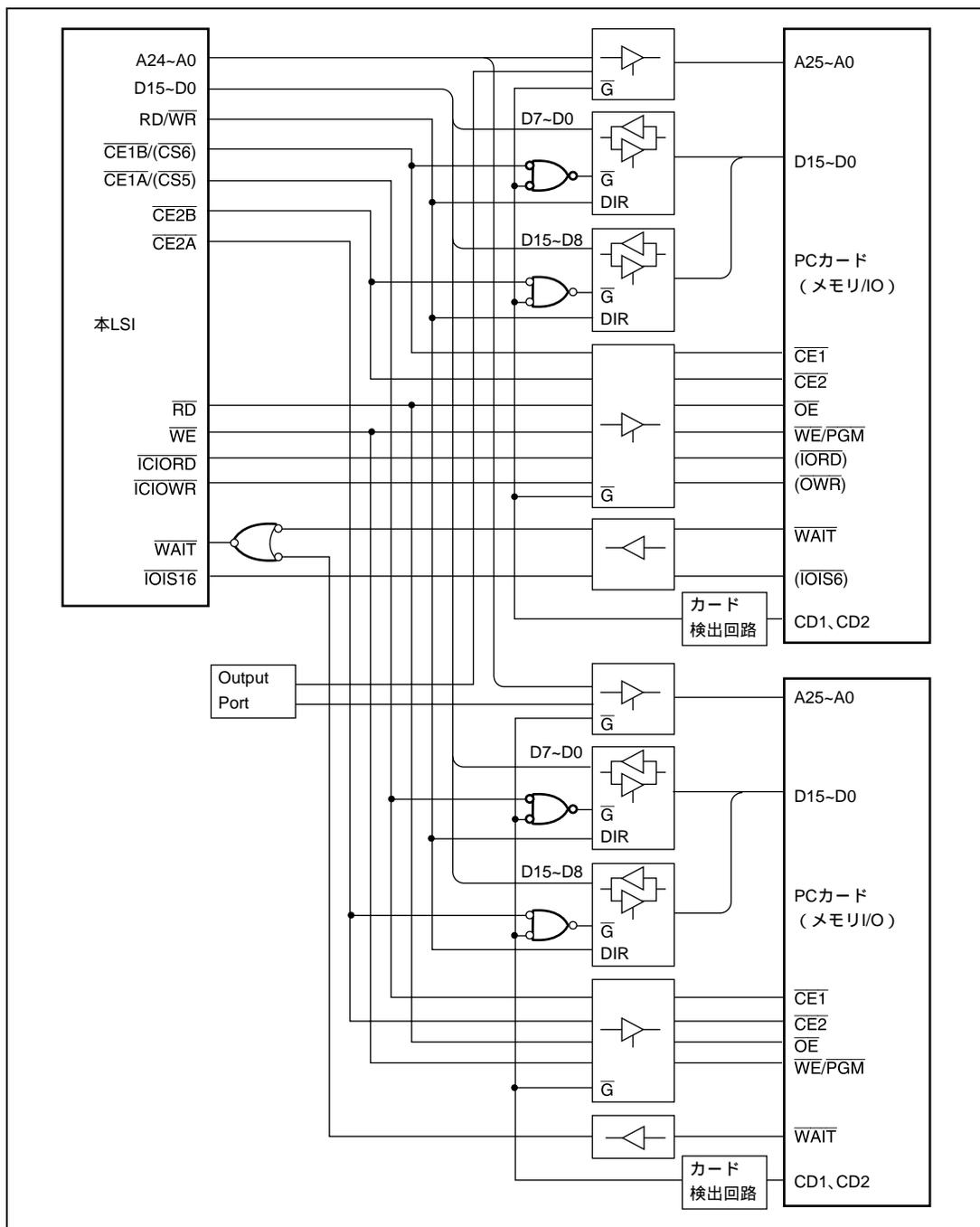


図 8.31 PCMCIA インタフェース例

(1) メモリカードインタフェース基本タイミング

図 8.32 に PCMCIA の IC メモリカードインタフェースの基本タイミングを示します。物理空間のエリア 5 およびエリア 6 を PCMCIA インタフェースに設定した場合、各エリアのコモンメモリ空間をアクセスすると、自動的に IC メモリカードインタフェースとしてバスアクセスが行われます。

外部バス周波数 (CKIO) が高くなると、 \overline{RD} や \overline{WR} (本 LSI の \overline{WE} 端子) に対して、アドレス (A24~A0)、カードイネーブル ($\overline{CS5}$ 、 $\overline{CE2A}$ 、 $\overline{CS6}$ 、 $\overline{CE2B}$)、書き込みサイクル時の書き込みデータ (D15~D0) のセットアップ時間や、ホールド時間が足りなくなります。これに対して、本 LSI では PCR によって物理空間のエリア 5 およびエリア 6 の各エリアに対して、それぞれセットアップ時間およびホールド時間を設定することができます。また基本インタフェースと同じように WCR2 の設定によるソフトウェアウェイトおよび \overline{WAIT} 端子によるハードウェアウェイトを行うことができます。図 8.33 に PCMCIA メモリバスウェイトタイミングを示します。

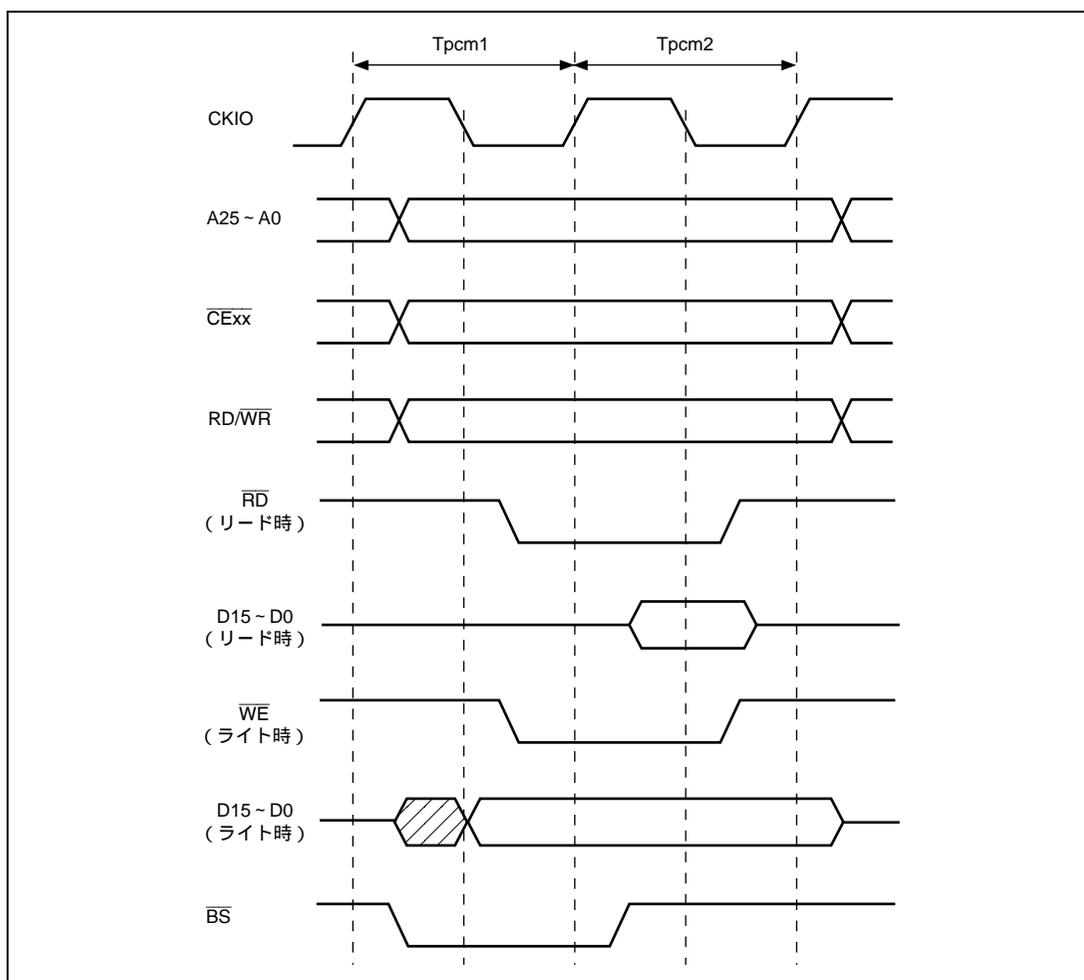


図 8.32 PCMCIA メモリカードインタフェース基本タイミング

8. バスステートコントローラ (BSC)

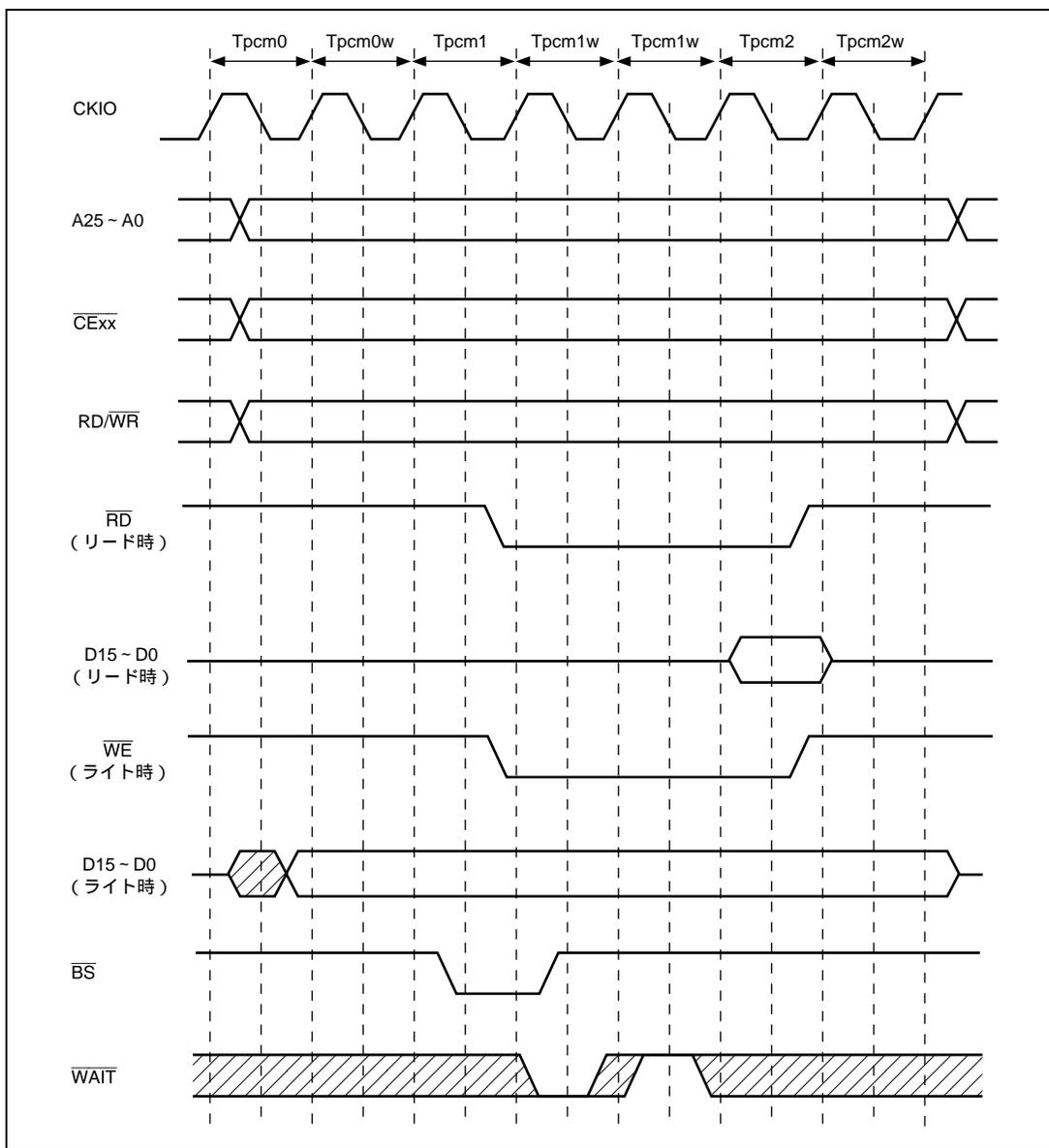


図 8.33 PCMCIA メモリカードインタフェースウェイトタイミング

(2) メモリカードインタフェースバーストタイミング

本 LSI では、IC メモリカードインタフェースを選択した場合、物理空間のエリア 5 に対して BCR1 の A5BST1、A5BST0 の設定により、またエリア 6 に対して BCR1 の A6BST1、A6BST0 の設定により、リードアクセスに限りページモードのバーストアクセスモードを使用することができます。このバーストアクセスモードは JEIDA 仕様 Ver4.2 (PCMCIA2.1) では規定されていませんが、バーストモード付き ROM などを使用して高速にデータをアクセスすることができます。

図 8.34、図 8.35 にバーストアクセスモードのタイミングを示します。

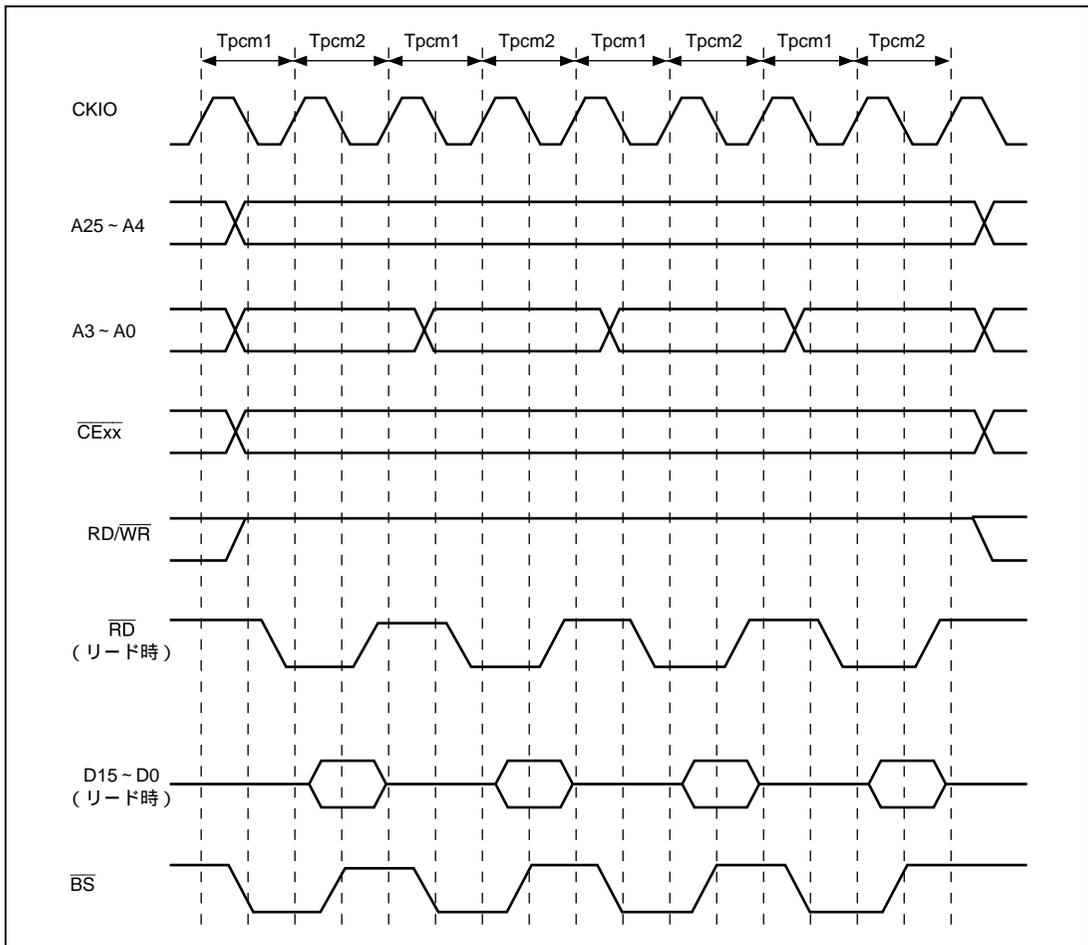


図 8.34 PCMCIA メモリカードインタフェースバーストアクセス基本タイミング

8. バスステートコントローラ (BSC)

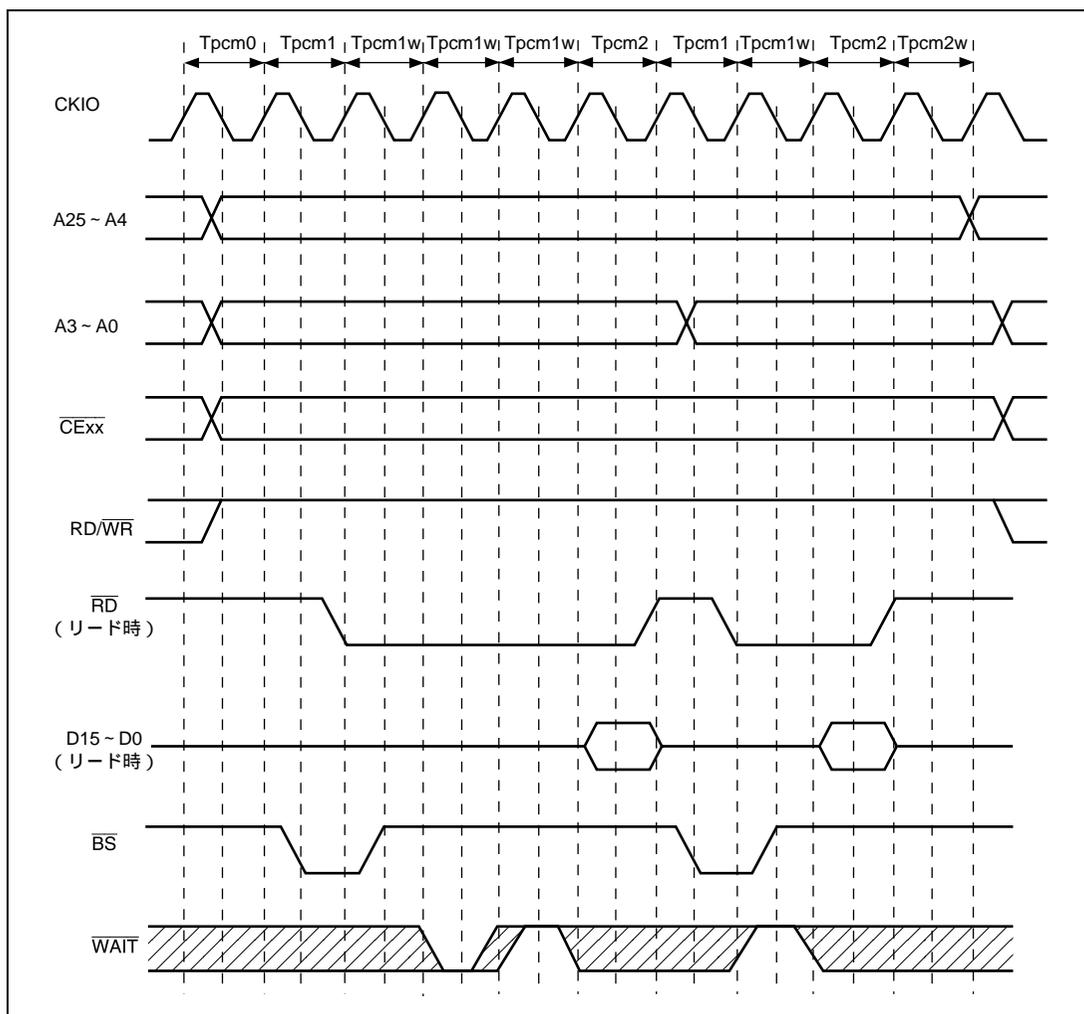


図 8.35 PCMCIA メモリカードインタフェースバーストアクセスウェイトタイミング

IC メモリカードインタフェースとしてメモリ空間を 32M バイト全て利用する場合はコモンメモリとアトリビュートメモリの切り替え信号 $\overline{\text{REG}}$ をポート等を利用して生成します。また、メモリ空間が 16M バイト以下で足りる場合は、メモリ空間を 16M バイトずつコモンメモリ空間とアトリビュートメモリ空間として使うことにより、A24 端子を $\overline{\text{REG}}$ 信号として利用することができます。

(3) I/O カードインタフェースタイミング

図 8.36、図 8.37 に PCMCIA の I/O カードインタフェースのタイミングを示します。

I/O カードインタフェースと IC メモリカードインタフェースの切り替えは、アクセスするアドレスによって行います。物理空間のエリア 5 を PCMCIA に設定した場合、物理アドレスの H'1600 0000 ~ H'17FF FFFF をアクセス

すると自動的に I/O カードインタフェースとしてバスアクセスが行われます。また、物理空間のエリア 6 を PCMCIA に設定した場合、物理アドレスの H'1A00 0000 ~ H'1BFF FFFF をアクセスすると自動的に I/O カードインタフェースとしてバスアクセスが行われます。

PCMCIA の I/O カードをアクセスする場合、論理空間のキャッシュ非対象領域 (P2 か P3 空間) か、MMU によってキャッシング非対象領域と指定した領域で行ってください。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとして、アクセスする場合、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 5 または 6 のバス幅を 16 ビットに設定しているときに、ワードサイズの I/O バスサイクル中に $\overline{\text{IOIS16}}$ 信号がハイレベルの場合、その I/O ポートは 8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

ダイナミックバスサイジングの基本タイミングを図 8.38 に示します。

なお、ビッグエンディアンモードでは $\overline{\text{IOIS16}}$ 信号をサポートしません。

ビッグエンディアンモード時には $\overline{\text{IOIS16}}$ 信号を Low に固定してください。

8. バスステートコントローラ (BSC)

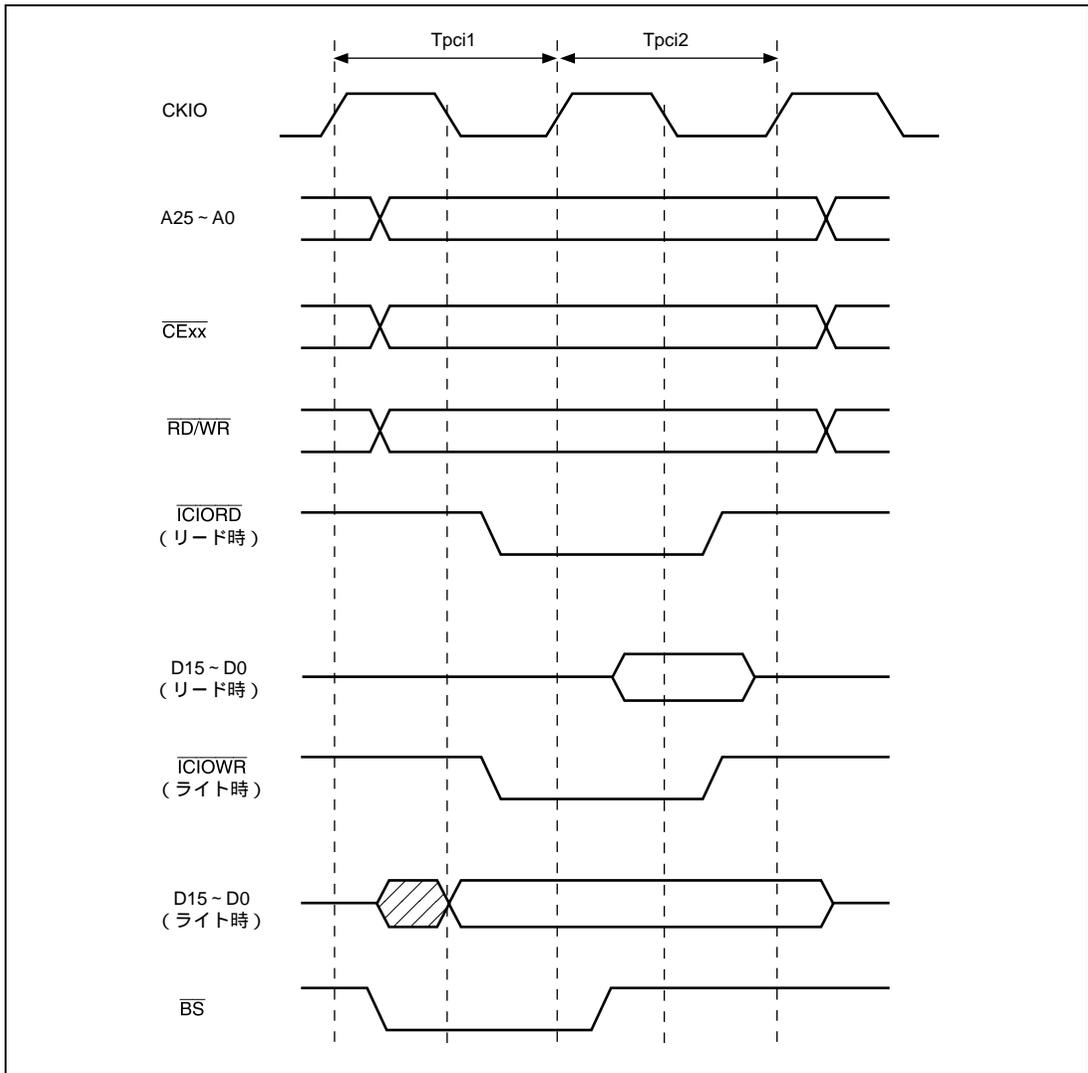


図 8.36 PCMCIA I/O カードインタフェース基本タイミング

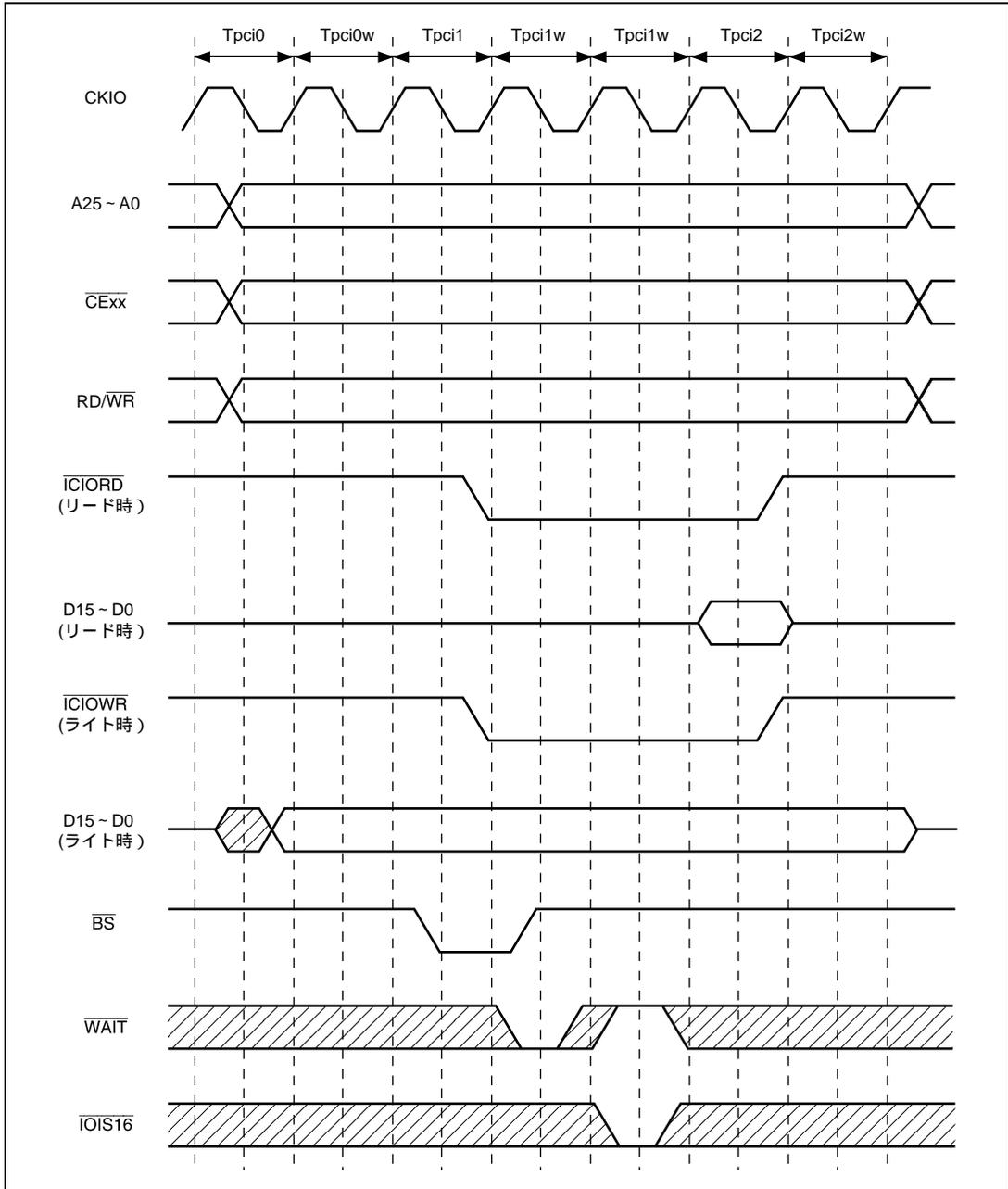


図 8.37 PCMCIA I/O カードインタフェースウェイトタイミング

8. バスステートコントローラ (BSC)

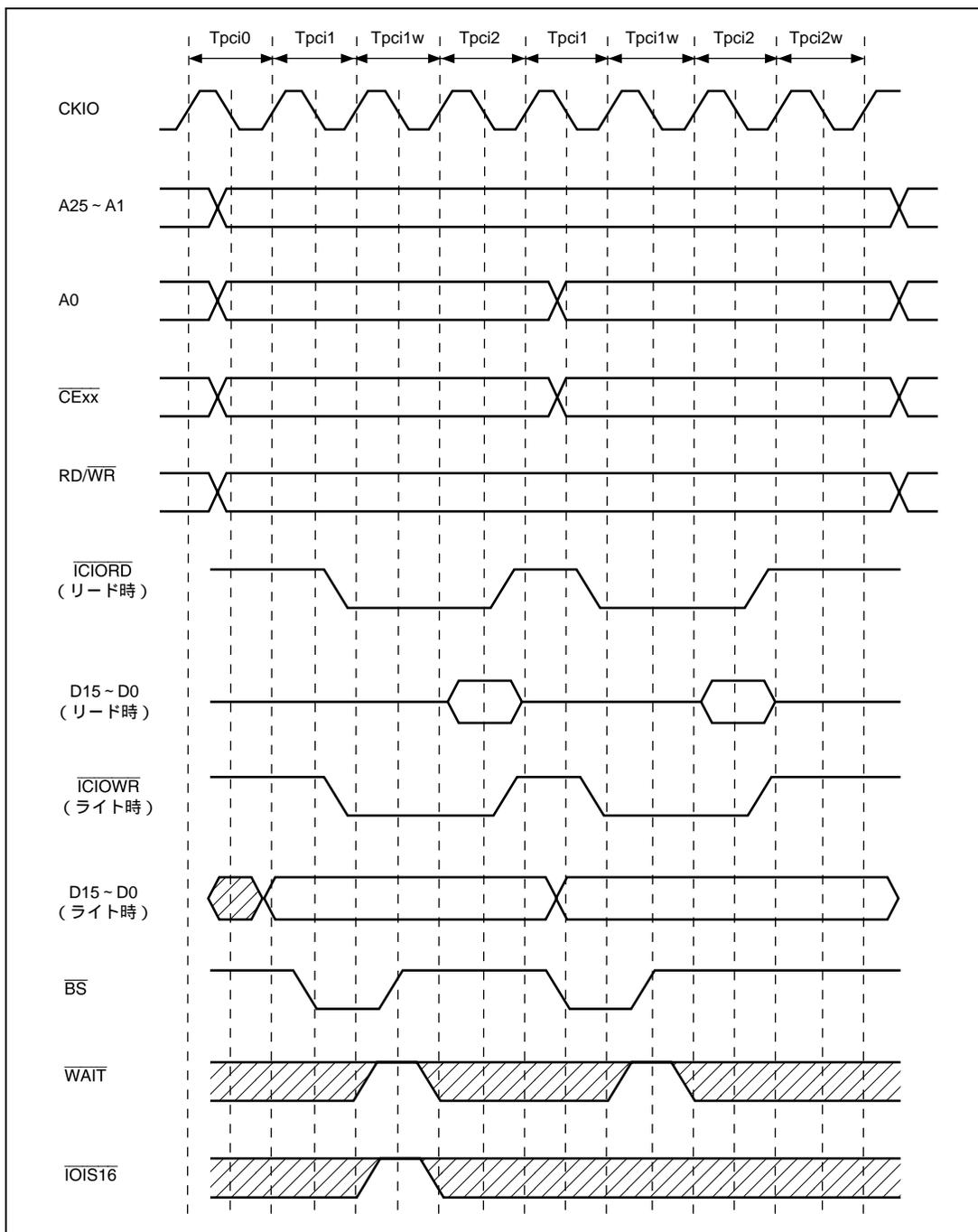


図 8.38 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング

8.5.7 アクセスサイクル間ウェイト

外部メモリバスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こすという事象が起こるようになってきました。これを防止するため、直前のアクセスのエリアと読み出し/書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、直前のアクセスに続いて異なるエリアのアクセスを行う場合と、直前のアクセスがリードアクセスで、次のアクセスが本 LSI からのライトアクセスの 2 つのケースについてです。本 LSI がライトサイクルを連続している場合には、データの転送方向は常に本 LSI から他のメモリという形で統一されており、特に問題とはなりません。同一のエリアに対するリードアクセスも、原則として同一のデータバッファからデータが出されるものとして、ウェイトサイクルの挿入は行いません。WCR1 の AnIW1、AnIW0 ビット ($n=0, 2\sim 6$) によって、物理空間エリアにアクセスしたあと、他のエリアにアクセスを行う場合と、物理空間エリア n にリードアクセスしたあと、本 LSI がライトアクセスを行う場合のアクセスサイクルの間に挿入するアイドルサイクル数を指定します。アクセス間に元々空きがある場合には、指定されたアイドル数からその空きサイクル数を除いたサイクルだけ、アイドルサイクルの挿入を行います。

バスアービトレーションを行う場合には、アービトレーションのための空きサイクルが入るため、サイクル間ウェイトは入りません。

8. バスステートコントローラ (BSC)

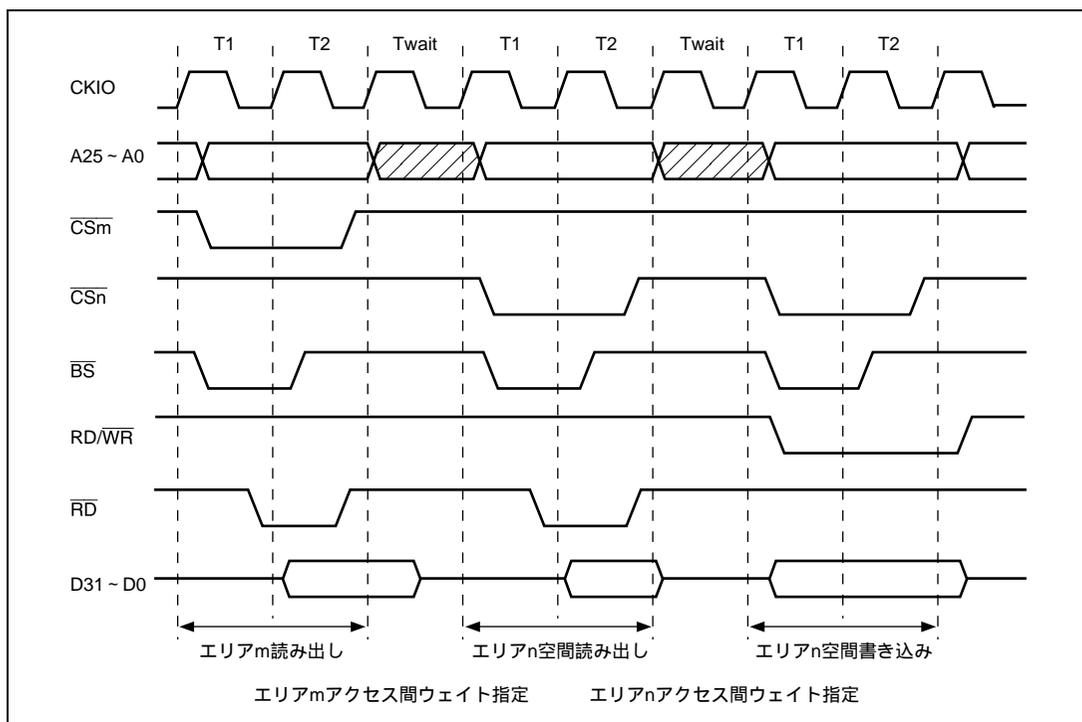


図 8.39 アクセスサイクル間ウェイト

8.5.8 バスアービトレーション

バス解放要求信号 ($\overline{\text{BREQ}}$) がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) を出力します。ただし、キャッシュフィルやライトバックのためのバースト転送途中や、TAS 命令実行中のリードサイクルとライトサイクルの間でのバス権の解放は行いません。また、データバス幅がアクセスサイズより小さいことによって生じる複数バスサイクル、たとえば 8 ビット幅のメモリにロングワードアクセスを行う場合のバスサイクル間にもバスアービトレーションは行いません。 $\overline{\text{BREQ}}$ がネゲートされると $\overline{\text{BACK}}$ をネゲートし、バスの使用を再開します。バス解放時の端子状態は、「付録 B. 端子機能」を参照してください。

本 LSI がバス権を解放中に、バス権を取り戻したいことがあります。内部でメモリのリフレッシュ要求が発生したり、割り込み要求が発生してその処理を行わなければならないときです。このため、本 LSI ではバス権要求信号として $\overline{\text{IRQOUT}}$ 端子を用意しています。本 LSI がバス権を取り戻す必要が生じた場合、 $\overline{\text{IRQOUT}}$ 信号をアサートします。外部のバス解放要求をアサートしているデバイスは、この $\overline{\text{IRQOUT}}$ 信号のアサートを受けて、バス権を解放するために $\overline{\text{BREQ}}$ 信号をネゲートします。これにより、バス権が本 LSI に戻り、本 LSI が処理を行います。

$\overline{\text{IRQOUT}}$ 端子のアサート条件

- メモリのリフレッシュ要求が発生し、まだリフレッシュサイクルが始まっていない場合

- 割り込み要因が発生して、その割り込み要求レベルがステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) よりも高い場合 (SR.BLビットには依存しない)

8.5.9 バスのプルアップ

本 LSI では、BCR1 の PULA ビットを 1 に設定することにより、バス権開放時にアドレスピンのプルアップを行うことができます。BACK アサート後 4 クロック間アドレスピンをプルアップします。図 8.40 にアドレスピンのプルアップのタイミングを示します。

また BCR1 の PULD ビットを 1 に設定することにより、データピンのプルアップを行うことができます。データバスを使用していないときにデータピンをプルアップします。図 8.41 にリードサイクルにおけるデータピンのプルアップのタイミングを、図 8.42 にライトサイクルにおけるデータピンのプルアップのタイミングを示します。

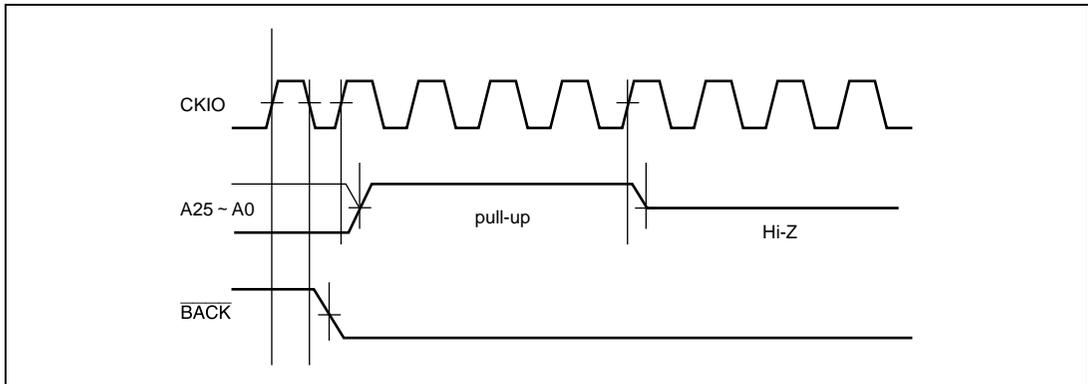


図 8.40 A25 ~ A0 端子プルアップのタイミング

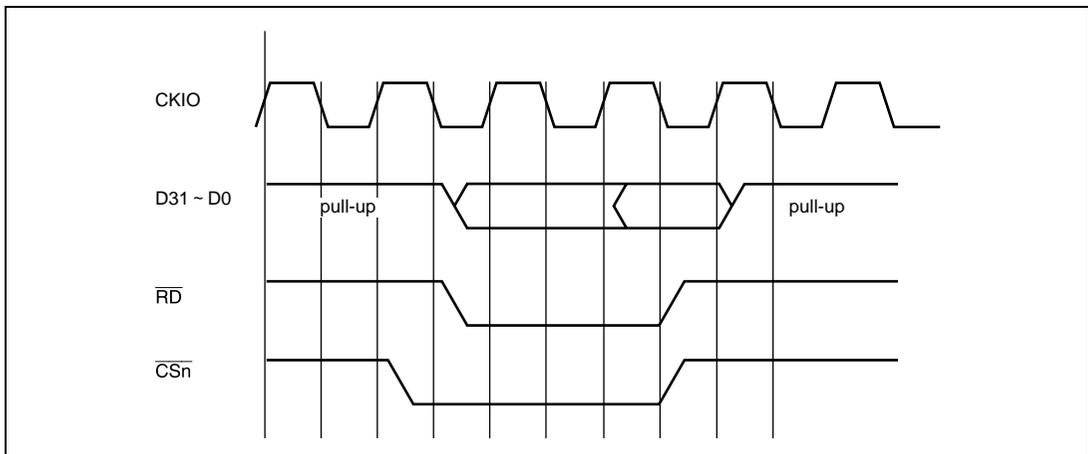


図 8.41 D31 ~ D0 端子プルアップのタイミング (リードサイクル)

8. バスステートコントローラ (BSC)

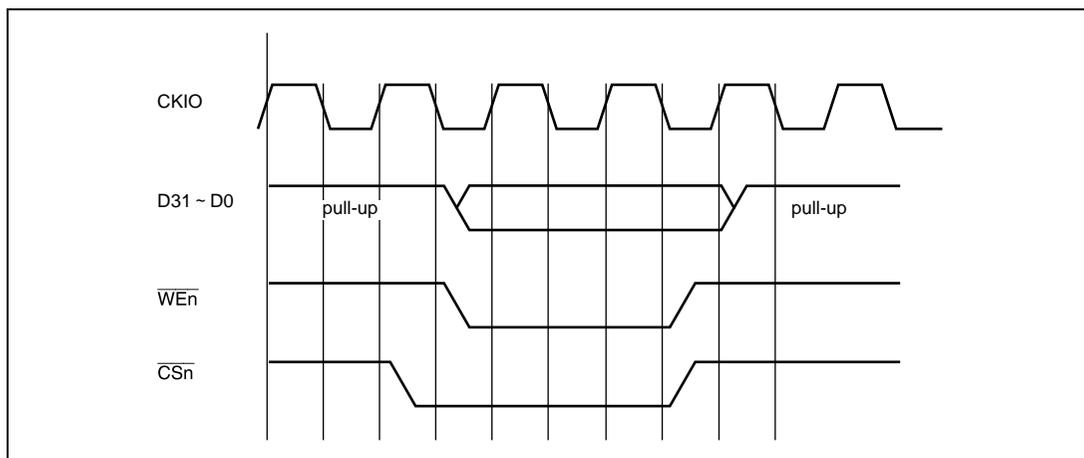


図 8.42 D31 ~ D0 端子プルアップのタイミング (ライトサイクル)

9. ダイレクトメモリアクセスコントローラ (DMAC)

本 LSI は 4 チャンネルのダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (SCIF、A/D 変換器、および D/A 変換器) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすと共に本 LSI の動作効率を上げることができます。

DMAC のブロック図を図 9.1 に示します。

9.1 特長

DMAC には次のような特長があります。

- チャンネル数：4チャンネル
- アドレス空間：アーキテクチャ上は4Gバイト
- 転送データ長：8ビット、16ビット、32ビット、16バイトの中から選択可能
16バイト転送は32ビット長の読み出しを4回実行したあとに32bit長の書き込みを4回実行します。
- 最大転送回数：16M (16777216) 回
- デュアルアドレスモードをサポート
- 直接アドレス転送モード
転送元、転送先とも、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指しています。1回のデータ転送は2バスサイクルで実行されます。
- 間接アドレス転送モード
DMAC内部の転送元レジスタに設定されたアドレスの先に格納されている値をアドレスとしてデータ転送を行います。それ以外は直接アクセスと同じ動作です。この機能はチャンネル3でのみ設定可能です。
1回のデータ転送は4バスサイクルで実行されます。
- シングルアドレスモードをサポート
転送元か転送先の周辺デバイスをDACK信号でアクセス (選択) し、もう一方をアドレスでアクセスします。
1回のデータ転送は1バスサイクルで実行されます。

9. ダイレクトメモリアクセスコントローラ (DMAC)

- チャンネル機能

各チャンネルごとに、設定可能な転送モードが異なります。

チャンネル0：外部リクエスト受け付け可能

チャンネル1：外部リクエスト受け付け可能

チャンネル2：4回の転送ごとにソースアドレスをリロードする機能（ソースアドレスリロード機能）を持つ

チャンネル3：直接アドレス転送モード、間接アドレス転送モード指定可能

- リロード機能

4回のDMA転送終了ごとに、最初にソースアドレスレジスタに設定した値を自動的にリロードすることができます。この機能はチャンネル2でのみ実行可能です。

- 3種類の転送要求

- 外部リクエスト

$\overline{\text{DREQ}}$ 端子2本。ローレベル検出または立ち下がりエッジ検出の指定が可能です。外部リクエスト要求が受け付けられるのはチャンネル0とチャンネル1の2チャンネルだけです。

- 内蔵モジュール

シリアルコミュニケーションインタフェース (SCIF)、A/D変換器、タイマ (CMT) など内蔵モジュールの転送要求です。すべてのチャンネルが受け付け可能です。

- オートリクエスト

転送要求をDMAC内部で自動的に発生します。

- バスモード：サイクルスチールモードとバーストモードの選択が可能

- 2種類の優先順位をサポート

優先順位固定モード：優先順位を常に固定

ラウンドロビンモード：実行要求を受け付けたチャンネルの優先順位を最下位にセット

- 割り込み要求：指定した転送回数終了後、CPUに割り込み要求を発生可能

9. ダイレクトメモリアクセスコントローラ (DMAC)

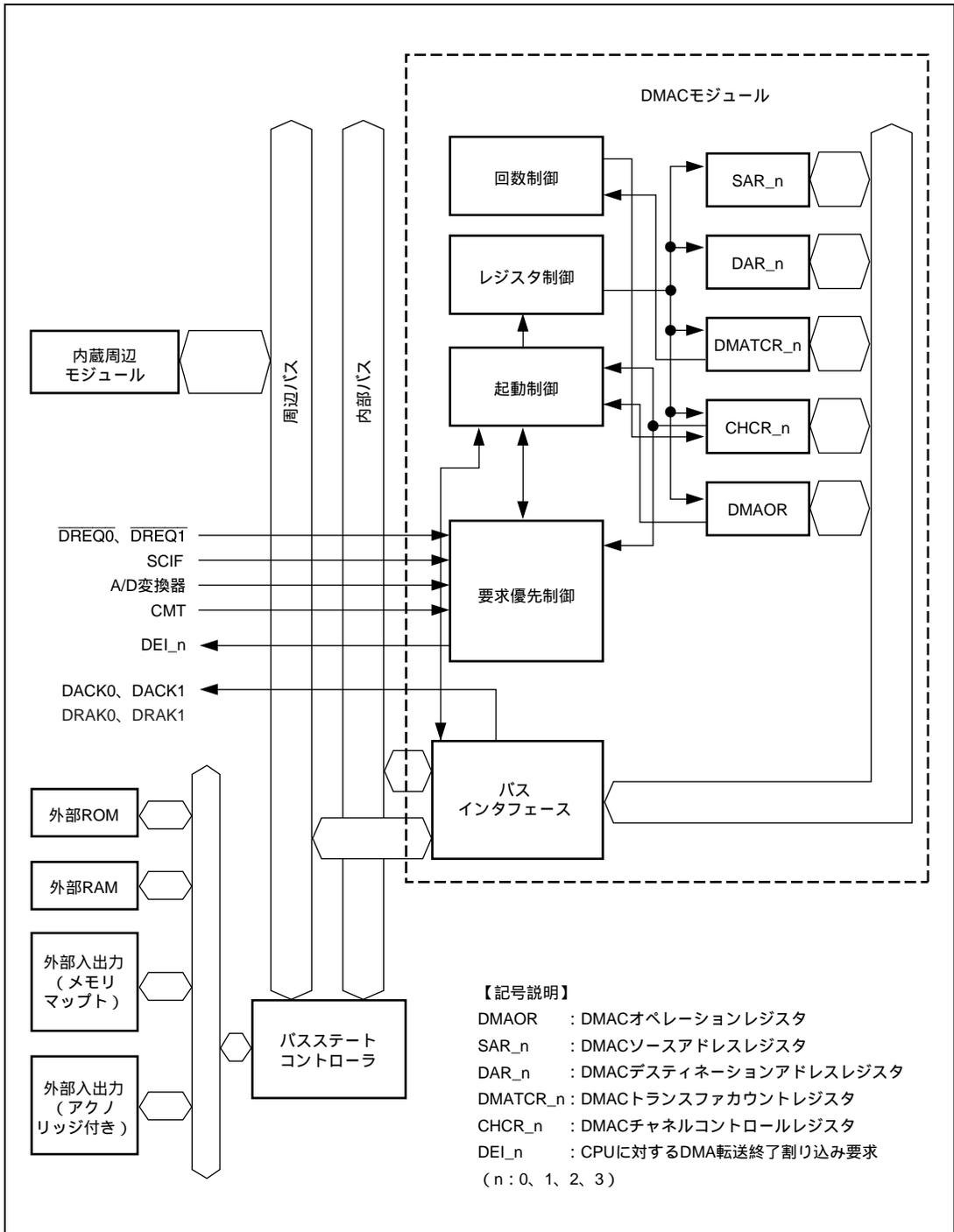


図 9.1 DMAC ブロック図

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.2 入出力端子

DMAC の端子を表 9.1 に示します。

表 9.1 DMAC 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル0へのDMA転送要求入力
	DMA 転送要求受け付け	DACK0	出力	チャンネル0から外部デバイスへのDMA転送ストロープ出力
	DMA 要求受け付け確認	DRAK0	出力	DREQ0を受け付けたことを示す出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル1へのDMA転送要求入力
	DMA 転送要求受け付け	DACK1	出力	チャンネル1から外部デバイスへのDMA転送ストロープ出力
	DMA 要求受け付け確認	DRAK1	出力	DREQ1を受け付けたことを示す出力

9.3 レジスタの説明

DMAC には1チャンネルにつき4本のレジスタが割り当てられているほか、DMAC 全体の制御用のレジスタが1本あり、全体で計17本のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第23章 制御レジスタ一覧」を参照してください。

チャンネル0

- DMAソースアドレスレジスタ_0 (SAR_0)
- DMAデスティネーションアドレスレジスタ_0 (DAR_0)
- DMAトランスファカウントレジスタ_0 (DMATCR_0)
- DMAチャンネルコントロールレジスタ_0 (CHCR_0)

チャンネル1

- DMAソースアドレスレジスタ_1 (SAR_1)
- DMAデスティネーションアドレスレジスタ_1 (DAR_1)
- DMAトランスファカウントレジスタ_1 (DMATCR_1)
- DMAチャンネルコントロールレジスタ_1 (CHCR_1)

チャンネル2

- DMAソースアドレスレジスタ_2 (SAR_2)
- DMAデスティネーションアドレスレジスタ_2 (DAR_2)
- DMAトランスファカウントレジスタ_2 (DMATCR_2)
- DMAチャンネルコントロールレジスタ_2 (CHCR_2)

チャンネル 3

- DMAソースアドレスレジスタ₃ (SAR₃)
- DMAデスティネーションアドレスレジスタ₃ (DAR₃)
- DMAトランスファカウントレジスタ₃ (DMATCR₃)
- DMAチャンネルコントロールレジスタ₃ (CHCR₃)

共通

- DMAオペレーションレジスタ (DMAOR)

9.3.1 DMA ソースアドレスレジスタ₀~₃ (SAR₀~SAR₃)

SAR₀~SAR₃ はリード/ライト可能な 32 ビットのレジスタで、転送元のアドレスを指定します。カウント機能を持ち、DMA 動作中は次の転送元アドレスを示しています。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送するときは、ソースアドレスは必ず 16 バイト境界 (16n 番地) に値を設定してください。それ以外のアドレスを設定した場合の動作は保証されません。

リセット時は、値は不定になります。

スタンバイモード時は、以前の値を保持します。

16 ビットアクセスをした場合、アクセスされなかった側の 16 ビットの値は保持されます。

9.3.2 DMA デスティネーションアドレスレジスタ₀~₃ (DAR₀~DAR₃)

DAR₀~DAR₃ はリード/ライト可能な 32 ビットのレジスタで、転送先のアドレスを指定します。カウント機能を持ち、DMAC 動作中は次の転送先アドレスを示しています。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送するときは、ソースアドレスは必ず 16 バイト境界 (16n 番地) に値を設定してください。それ以外のアドレスを設定した場合の動作は保証されません。

リセット時は、値は不定になります。

スタンバイモード時は、以前の値を保持します。

16 ビットアクセスをした場合、アクセスされなかった側の 16 ビットの値は保持されます。

9.3.3 DMA トランスファカウントレジスタ₀~₃ (DMATCR₀~DMATCR₃)

DMATCR₀~DMATCR₃ はリード/ライト可能な 24 ビットのレジスタで、そのチャンネルの転送回数 (バイト数、ワード数またはロングワード数) を指定します。転送回数は H'00 0001 を設定した場合 1 回ですが、H'00 0000 を設定すると最大値を設定したことになり、16777216 回実行されます。DMAC 動作中は、残りの転送回数を示しています。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

DMATCR の上位 8 ビットは、読み出すとデータは 0 です。書き込む値は常に 0 にしてください。

リセット時は、値は不定になります。

9. ダイレクトメモリアクセスコントローラ (DMAC)

スタンバイモード時は、以前の値が保持されます。

ビット	ビット名	初期値	R/W	説明
31~24			R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
23~0			R/W	24ビットのレジスタ

9.3.4 DMA チャンネルコントロールレジスタ_0~3 (CHCR_0~CHCR_3)

CHCR_0~CHCR_3はリード/ライト可能な32ビットのレジスタで、各チャンネルの動作モード、転送方法などを指定します。

これらのレジスタは、リセット時は0に初期化されます。スタンバイモード時は、以前の値を保持します。

16ビットアクセスをした場合、アクセスされなかった側の16ビットの値は保持されます。

ビット	ビット名	初期値	R/W	説明
31~21		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
20	DI	0	(R/W)* ²	ダイレクト、インダイレクトセレクト チャンネル3のソースアドレスを直接アドレスモードで動作するか、間接アドレスモードで動作するかを指定するビットです。 このビットはCHCR_3でのみ有効です。CHCR_0~CHCR_2では使用しません。 CHCR_0~CHCR_2では、このビットをリードすると常に0が読み出されます。 ライト時は常に0にしてください。 16バイト転送時は、直接アドレスモードに設定してください。間接アドレスモードを設定した場合の動作は保証されません。 0: チャンネル3を直接アドレスモードで動作させる 1: チャンネル3を間接アドレスモードで動作させる
19	RO	0	(R/W)* ²	ソースアドレスリロード チャンネル2の転送時、ソースアドレス初期値のリロードを行うか否かの選択ビットです。 このビットはCHCR_2でのみ有効です。CHCR_0、CHCR_1およびCHCR_3では使用しません。CHCR_0、CHCR_1およびCHCR_3では、このビットをリードすると常に0が読み出されます。ライト時は常に0にしてください。 16バイト転送時は、値0のリロードしないを設定してください。リロードを設定した場合の動作は保証されません。 0: ソースアドレスをリロードしない 1: ソースアドレスをリロードする

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
18	RL	0	(R/W)* ²	<p>リクエストチェックレベル</p> <p>DREQ を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかを選択ビットです。</p> <p>このビットは CHCR_0、CHCR_1 でのみ有効です。CHCR_2、CHCR_3 では、このビットをリードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。</p> <p>0 : DRAK をローアクティブで出力 1 : DRAK をハイアクティブで出力</p>
17	AM	0	(R/W)* ²	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、DACK をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。</p> <p>シングルアドレスモードでは、このビットの指定に関係なく、DACK は常に出力されます。</p> <p>このビットは CHCR_0、CHCR_1 でのみ有効です。CHCR_2、CHCR_3 では、このビットをリードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。</p> <p>0 : 読み出しサイクルで DACK を出力 1 : 書き込みサイクルで DACK を出力</p>
16	AL	0	(R/W)* ²	<p>アクノリッジレベル</p> <p>DACK (アクノリッジ) 信号をハイアクティブにするかローアクティブにするかを指定します。</p> <p>このビットは CHCR_0、CHCR_1 でのみ有効です。CHCR_2、CHCR_3 では、このビットをリードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。</p> <p>0 : ローアクティブで DACK 出力 1 : ハイアクティブで DACK 出力</p>
15 14	DM1 DM0	0 0	R/W R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先アドレスの増減を指定します。</p> <p>00 : デスティネーションアドレスは固定 01 : デスティネーションアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)。16 バイト転送時は +16。 10 : デスティネーションアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)。16 バイト転送時は、設定禁止。 11 : 予約 (設定不可)</p>

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
13	SM1	0	R/W	ソースアドレスモード DMA 転送元アドレスの増減を指定します。 00 : ソースアドレスは固定 01 : ソースアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)。16 バイト転送時は +16。 10 : ソースアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)。16 バイト転送時は、設定禁止。 11 : 予約 (設定不可) 【注】転送元が間接アドレスに指定されている場合、SAR_3 には、実際に転送したいデータの格納されているアドレスの値が、データとして保存されているアドレス (間接アドレス) を指定してください。 間接アドレスモード時の SAR_3 の増減の指定も SM1、SM0 に従いますが、この場合は TS1、TS0 で指定した転送データのサイズにかかわらず、SAR_3 の増減値は+4、-4 または 0 固定になります。
12	SM0	0	R/W	
11	RS3	0	R/W	リソースセレクト 転送要求元を指定します。 0000 : 外部リクエスト、デュアルアドレスモード 0001 : 予約 (設定不可) 0010 : 外部リクエスト、シングルアドレスモード 外部アドレス空間 DACK 付き外部デバイス 0011 : 外部リクエスト、シングルアドレスモード DACK 付き外部デバイス 外部アドレス空間 0100 : オートリクエスト 0101 : 予約 (設定不可) 0110 : 予約 (設定不可) 0111 : 予約 (設定不可) 1000 : 予約 (設定不可) 1001 : 予約 (設定不可) 1010 : 予約 (設定不可) 1011 : 予約 (設定不可) 1100 : SCIF 送信 1101 : SCIF 受信 1110 : A/D 変換器 1111 : CMT 【注】 1. 外部リクエストの指定はチャンネル 0、1 のみ有効です。チャンネル 2、3 の場合、いずれの転送要求元も選択できません。 2. 16 バイト転送時には、 1100 SCIF 送信 1101 SCIF 受信 1110 A/D 変換器 1111 CMT に設定しないでください。設定した場合の動作は保証されません。
10	RS2	0	R/W	
9	RS1	0	R/W	
8	RS0	0	R/W	

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
6	DS	0	(R/W)* ²	DREQ セレクト 外部リクエストモードで使用する DREQ 端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。 このビットは CHCR_0、CHCR_1 でのみ有効です。CHCR_2、CHCR_3 では使用しません。CHCR_2、CHCR_3 では、このビットをリードすると常に0が読み出されます。ライト時は常に0にしてください。 またチャンネル0、1でも、転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、このビットの指定は無視され、オートリクエスト以外は立ち下がりエッジ検出に固定されます。 0: DREQ 端子はローレベル検出 1: DREQ 端子は立ち下がりエッジ検出
5	TM	0	R/W	トランスミットモード 転送するときのバスモードを指定するビットです。 0: サイクルスチールモード 1: パーストモード
4	TS1	0	R/W	トランスミットサイズ 転送するデータのサイズを指定するビットです。 00: バイトサイズ (8 ビット) 指定 01: ワードサイズ (16 ビット) 指定 10: ロングワードサイズ (32 ビット) 指定 11: 16 バイト単位 (ロングワード 4 回転送)
3	TS0	0	R/W	
2	IE	0	R/W	インタラプトイネーブル このビットに1をセットしておく、DMATCR に指定した回数のデータ転送が終了したとき (TE=1 のとき) 割り込み要求を発生します。 0: DMATCR 指定転送回数終了時、割り込み要求を発生しない 1: DMATCR 指定転送回数終了時、割り込み要求を発生する
1	TE	0	R/(W)* ¹	トランスファエンド DMATCR で指定した回数の転送が終了したとき1にセットされるビットです。このとき IE ビットが1にセットされていれば、割り込み要求を発生します。 TE が1にセットされる前に NMI 割り込み、DMAC によるアドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了した場合は、TE ビットは1にセットされません。このビットが1にセットされた状態で DE ビットを1にセットしても、転送許可状態には入りません。 0: DMATCR 指定回数転送未終了 【クリア条件】TE=1 の読み出し後0書き込み、 パワーオンリセット、マニュアルリセット 1: DMATCR 指定回数転送終了

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
0	DE	0	R/W	DMAC イネーブル 対応するチャンネルの動作を許可するビットです。 0 : 対応チャンネルの動作禁止 1 : 対応チャンネルの動作許可 【注】 オートリクエストを指定 (RS3~0 で指定) した場合、このビットに 1 をセットすると転送に入ります。外部リクエスト、内蔵モジュールリクエストでは、このビットに 1 をセットしたあとに転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。DE ビットをセットしても TE が 1 の場合、DMAOR の DME が 0 の場合、DMAOR の NMIF または AE ビットが 1 の場合は転送許可状態には入りません。

【注】 *1 TE ビットは、1 読み出し後の 0 書き込みのみ実行可能です。

*2 DI、R0、RL、AM、AL、DS ビットは、チャンネルにより存在しないビットがあります。

9.3.5 DMA オペレーションレジスタ (DMAOR)

DMAOR は読み出し、書き込み可能な 16 ビットのレジスタで、DMAC の転送モードを指定します。本レジスタはリセット時に 0 に初期化されます。スタンバイモード時は、以前の値を保持します。

ビット	ビット名	初期値	R/W	説明
15~10		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
9	PR1	0	R/W	プライオリティモード 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00 : CH0 > CH1 > CH2 > CH3 01 : CH0 > CH2 > CH3 > CH1 10 : CH2 > CH0 > CH1 > CH3 11 : ラウンドロビンモード
8	PR0	0	R/W	
7~3		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
2	AE	0	R/(W)*	アドレスエラーフラグビット DMAC によるアドレスエラーが発生したことを示します。このビットのセットは、DMAC 動作中に行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から AE に 1 を書き込むことはできません。 0 : DMAC によるアドレスエラーなし。DMA 転送許可状態。 [クリア条件] AE=1 読み出し後 AE=0 書き込み、 パワーオンリセット、マニュアルリセット 1 : DMAC によるアドレスエラーあり。DMA 転送禁止状態。 [セット条件] DMAC によるアドレスエラー発生

ビット	ビット名	初期値	R/W	説明
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 を書き込むことはできません。</p> <p>0 : NMI 入力なし。DMA 転送許可状態。</p> <p>[クリア条件] NMIF=1 読み出し後 NMIF=0 書き込み、 パワーオンリセット、マニュアルリセット時</p> <p>1 : NMI 入力あり。DMA 転送禁止状態。</p> <p>[セット条件] NMI 割り込みの発生</p>
0	DME	0	R/(W)*	<p>DMAC マスタイネーブル</p> <p>DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。</p> <p>DME ビットをセットしても、CHCR の TE ビットが 1、または DE ビットが 0 の場合、DMAOR の AE ビットが 1 の場合、および DMAOR の NMIF ビットが 1 の場合は、転送許可状態には入りません。</p> <p>0 : 全チャンネルの動作禁止</p> <p>1 : 全チャンネルの動作許可</p>

【注】* AE ビットと NMIF ビットは、1 読み出し後の 0 書き込み実行可能です。

9.4 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。デュアルアドレスモードは、直接アドレス転送モードと間接アドレス転送モードがあります。バスモードは、バーストモードとサイクルスチールモードを選択することができます。

9.4.1 動作説明

SAR (SAR_0 ~ SAR_3)、DAR (DAR_0 ~ DAR_3)、DMATCR (DMATCR_0 ~ DMATCR_3)、CHCR (CHCR_0 ~ CHCR_3)、DMAOR に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

1. 転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS0、TS1 ビットの設定により決定) を転送します。オートリクエストモードの場合は DE ビットおよび DME ビットが 1 にセットされると自動的に転送を開始します。1 回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR

9. ダイレクトメモリアクセスコントローラ (DMAC)

のIEビットに1がセットしてあれば、CPUにDEI割り込みを発生します。

4. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットが0にされても転送を中断します。図9.2に上記のフローチャートを示します。

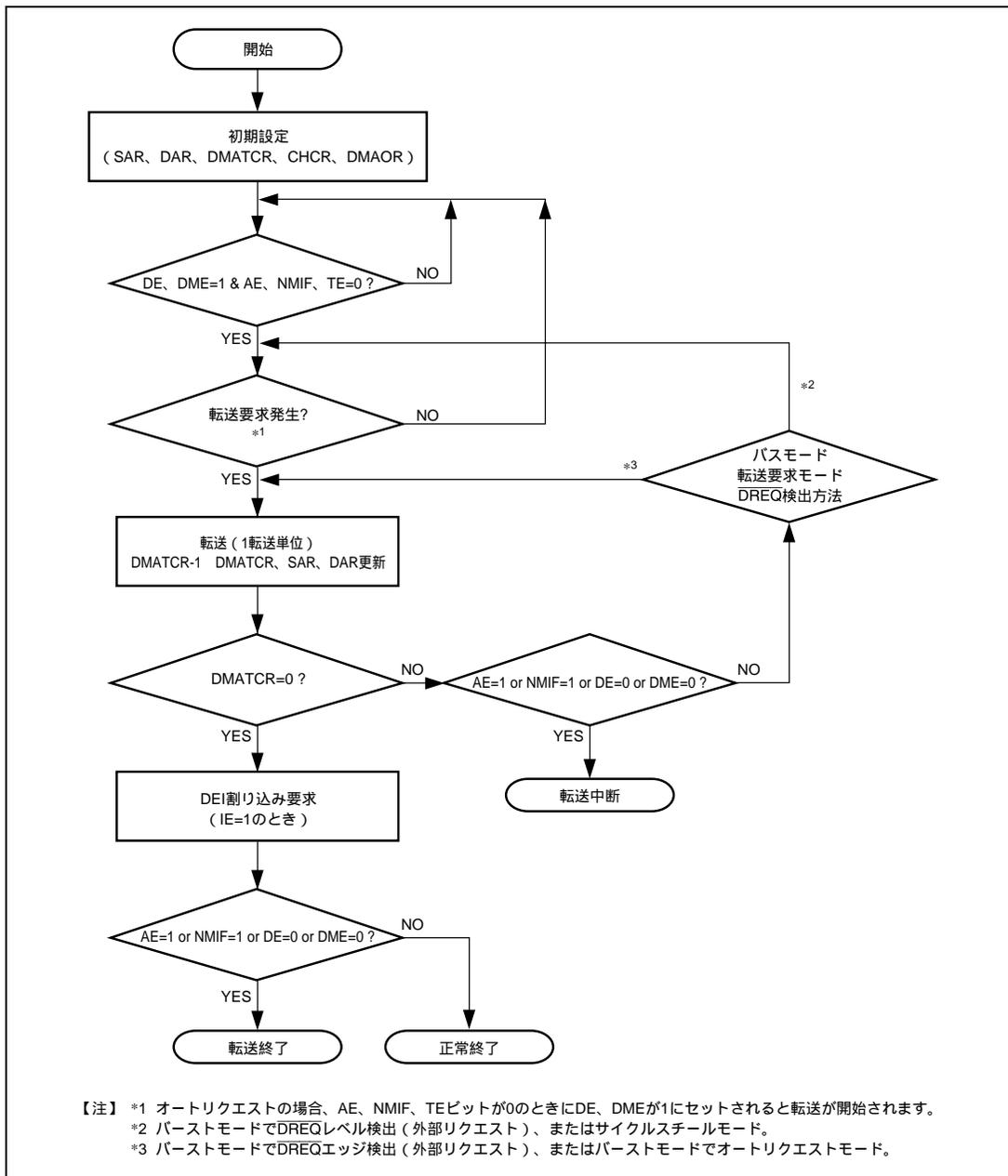


図 9.2 DMAC 転送フローチャート

9.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエスト、の3種類があります。転送要求の選択は CHCR_0 ~ CHCR_3 の RS3 ~ RS0 ビットによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR_0 ~ CHCR_3 の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR_0 ~ CHCR_3 の TE ビット、DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは外部デバイスからの転送要求信号 (\overline{DREQ}) によって転送を開始させるモードです。応用システムに応じて、表 9.2 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、AE=0、NMIF=0) に \overline{DREQ} が入力されると DMA 転送が開始されます。 \overline{DREQ} を立ち下がりエッジで検出するかローレベルで検出するかは、CHCR_0 ~ CHCR_1 の DS ビットで選びます (DS=0 はレベル検出、DS=1 はエッジ検出)。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 9.2 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアル アドレスモード	任意*	任意*
		1	0	シングルアドレス モード	外部メモリ、 メモリマップト外部デバイス	DACK 付き外部デバイス
			1		DACK 付き外部デバイス	外部メモリ、 メモリマップト外部デバイス

【注】* 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、UBC、BSC を除く)

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールの転送要求信号 (割り込み要求信号) によって転送が実行されます。16 バイト転送時は設定できません。

転送要求信号は、シリアルコミュニケーションインターフェース (SCIF) からの受信データフル割り込み (RXI)、送信データエンプティ割り込み (TXI)、A/D 変換器からの A/D 変換終了割り込み (ADI)、および CMT からのコンペアマッチタイマ割り込み (CMI) の 4 通りがあります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE=1、DME=1、TE=0、AE=0、NMIF=0) ならば、転送要求信号入力によって転送が実行されます。転送要求元は、必ずしもデータの転送元または転送先

9. ダイレクトメモリアクセスコントローラ (DMAC)

である必要はありません。ただし、転送要求を RXI に設定した場合は、転送元を当該 SCI のレシーブデータレジスタ (RDR) とする必要があります。同様に、転送要求を TXI に設定した場合は、転送先を当該 SCI のトランスミットデータレジスタ (TDR) とする必要があります。さらに、転送要求が A/D 変換器からの場合は、データ転送元を、A/D データレジスタ (ADDR) とする必要があります。

表 9.3 RS3~0 ビットによる内蔵周辺モジュールリクエストモードの選択

RS3	RS2	RS1	RS0	DMA 転送要求元	DMA 転送要求信号	転送元	転送先	バスモード
1	0	1	0	—	—	—	—	—
			1	—	—	—	—	—
	1	0	0	SCIF 送信部	TXI2(SCIF 送信データエンブティ割り込み)	任意*	TDR2	サイクルスチール
			1	SCIF 受信部	RXI2 (SCIF 受信データフル割り込み)	RDR2	任意*	サイクルスチール
		1	0	A/D 変換器	ADI (A/D 変換終了割り込み)	ADDR	任意*	サイクルスチール
	1	CMT	CMI (コンペアマッチタイマ割り込み)	任意*	任意*	バースト / サイクルスチール		

【注】 ADDR : A/D 変換器の A/D データレジスタ

* 外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (DMAC、UBC、BSC を除く)

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する割り込み許可ビットをセットして、割り込み信号を出力させてください。

内蔵周辺モジュールの割り込み要求信号を DMA 転送要求信号として使用した場合、CPU に対する割り込みは発生しません。

表 9.3 の転送要求信号は、対応する DMA 転送が行われると、自動的に取り下げられます。これはサイクルスチールモードの場合 1 回の転送で、バーストモードの場合最後の転送時に行われます。

9.4.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 種類のモードから選択できます。モードの選択は DMAOR の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す 3 種類があります。

- CH0 > CH1 > CH2 > CH3
- CH0 > CH2 > CH3 > CH1
- CH2 > CH0 > CH1 > CH3

これらの選択はDMAORのPR1、PR0ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで、1転送単位(バイト、ワード、ロングワード、または16バイト単位)の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図9.3に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3です。

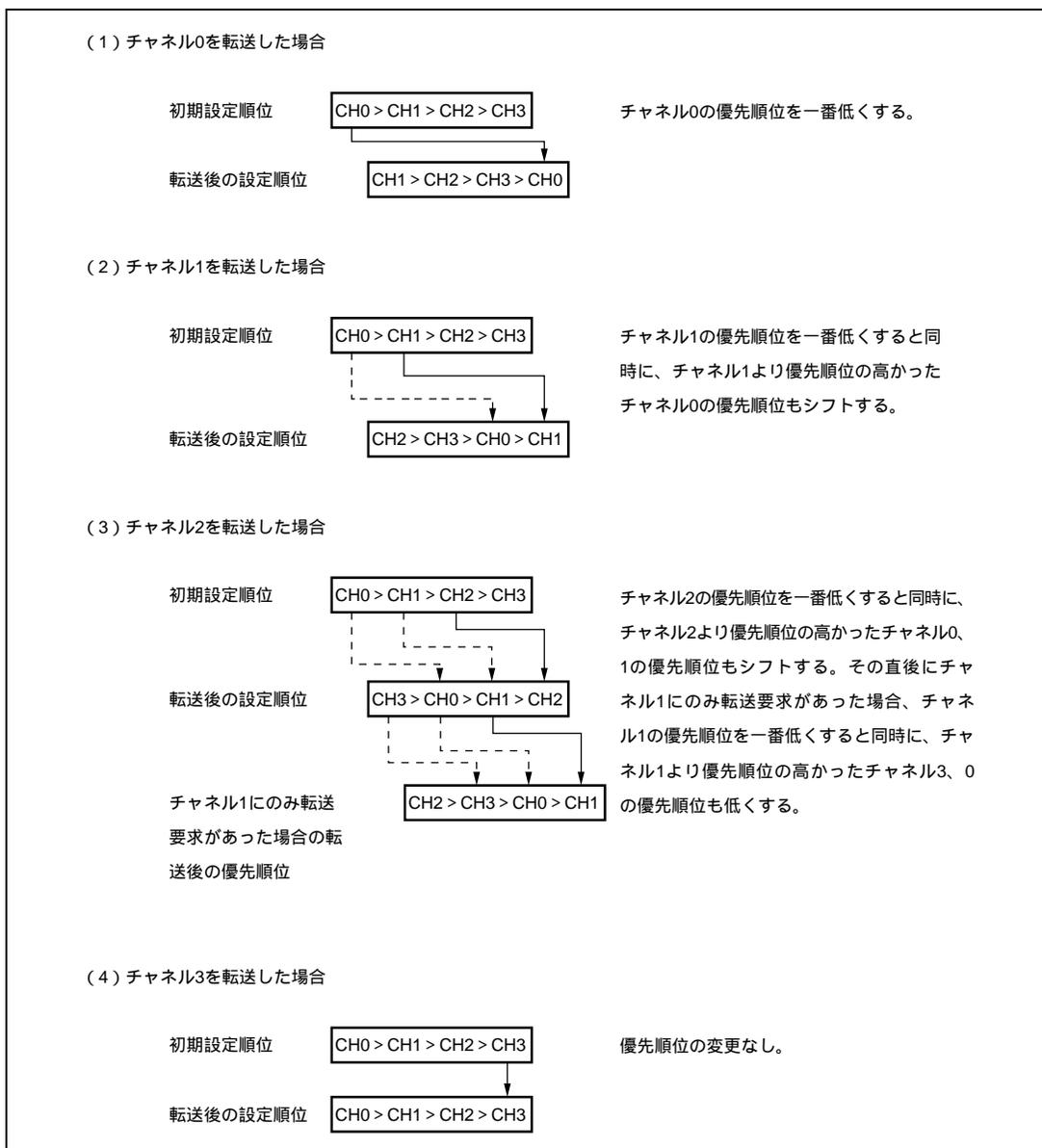


図 9.3 ラウンドロビンモード

9. ダイレクトメモリアクセスコントローラ (DMAC)

図 9.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル 0 とチャンネル 3 に同時に転送要求が発生します。
2. チャンネル 0 の方がチャンネル 3 より優先順位が高いため、チャンネル 0 の転送を開始します (チャンネル 3 は転送待ち)。
3. チャンネル 0 の転送中にチャンネル 1 に転送要求が発生します (チャンネル 1 とチャンネル 3 は転送待ち)。
4. チャンネル 0 の転送を終了すると、チャンネル 0 の優先順位を一番低くします。
5. この時点でチャンネル 1 の方がチャンネル 3 より優先順位が高いため、チャンネル 1 の転送を開始します (チャンネル 3 は転送待ち)。
6. チャンネル 1 の転送を終了すると、チャンネル 1 の優先順位を一番低くします。
7. チャンネル 3 の転送を開始します。
8. チャンネル 3 の転送を終了すると、チャンネル 3 の優先順位が一番低くなるように、チャンネル 3 と一緒にチャンネル 2 の優先順位を低くします。

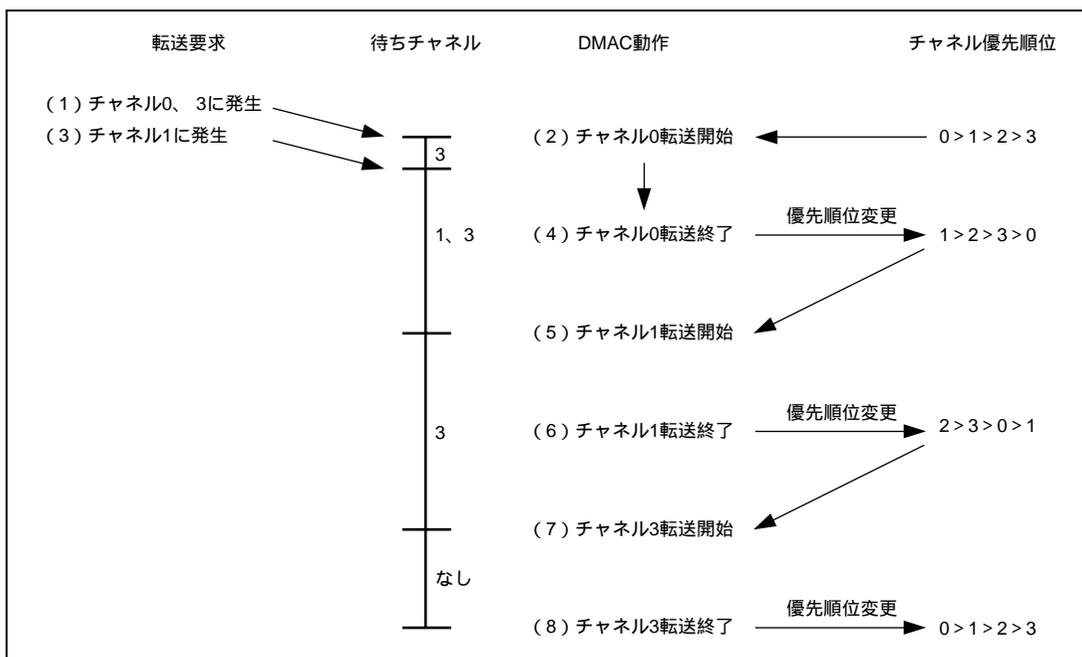


図 9.4 ラウンドロビンモードでのチャンネル優先順位変更例

9.4.4 DMA 転送の種類

DMAC がサポートできる転送を表 9.4 に示します。デュアルアドレスモードには、直接アドレスモードと間接アドレスモードがあります。直接アドレスモードでは、出力したアドレスの値が直接データ転送の対象となるアドレスとなります。間接アドレスモードでは、出力したアドレスの値がそのままデータ転送の対象とならず、出力したアドレスに格納されている値がデータ転送の対象のアドレスとなります。転送動作タイミングは、バスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 9.4 サポートできる DMA 転送

転送元	転送先			
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール
DACK 付き外部デバイス	不可	デュアル、シングル	デュアル、シングル	不可
外部メモリ	デュアル、シングル	デュアル	デュアル	デュアル
メモリマップト外部デバイス	デュアル、シングル	デュアル	デュアル	デュアル
内蔵周辺モジュール	不可	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
 2. シングル：シングルアドレスモード
 3. デュアルアドレスモードは、直接アドレスモードと間接アドレスモードを含みます。
 4. 内蔵周辺モジュールは 16 バイト転送できません。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先を共にアドレスによってアクセスする場合に使うモードです。転送元と転送先は内部でも外部でもかまいません。デュアルアドレスモードには(1)直接アドレス転送モード、(2)間接アドレス転送モードがあります。

1. 直接アドレス転送モード

データ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。このとき転送データは一時的にDMACに格納されます。図 9.5のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また図9.6～図9.8にこの場合のタイミング例を示します。

9. ダイレクトメモリアクセスコントローラ (DMAC)

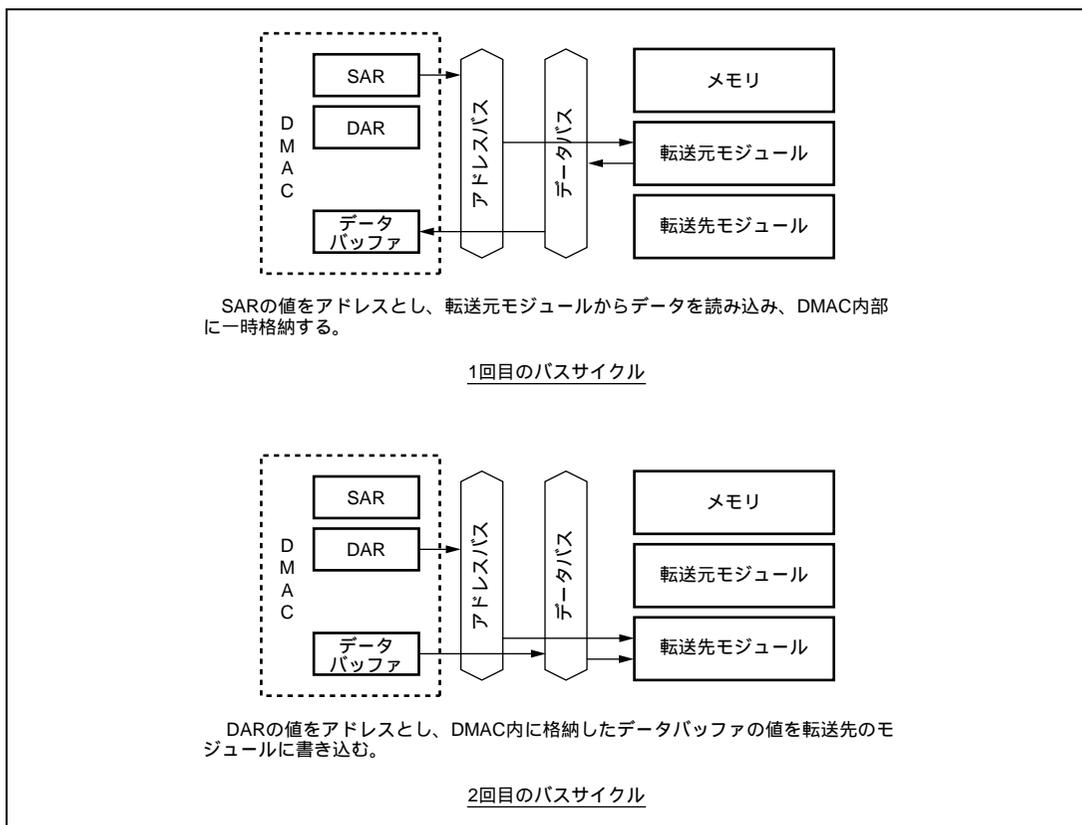


図 9.5 デュアルアドレスモード、直接アドレスの動作説明

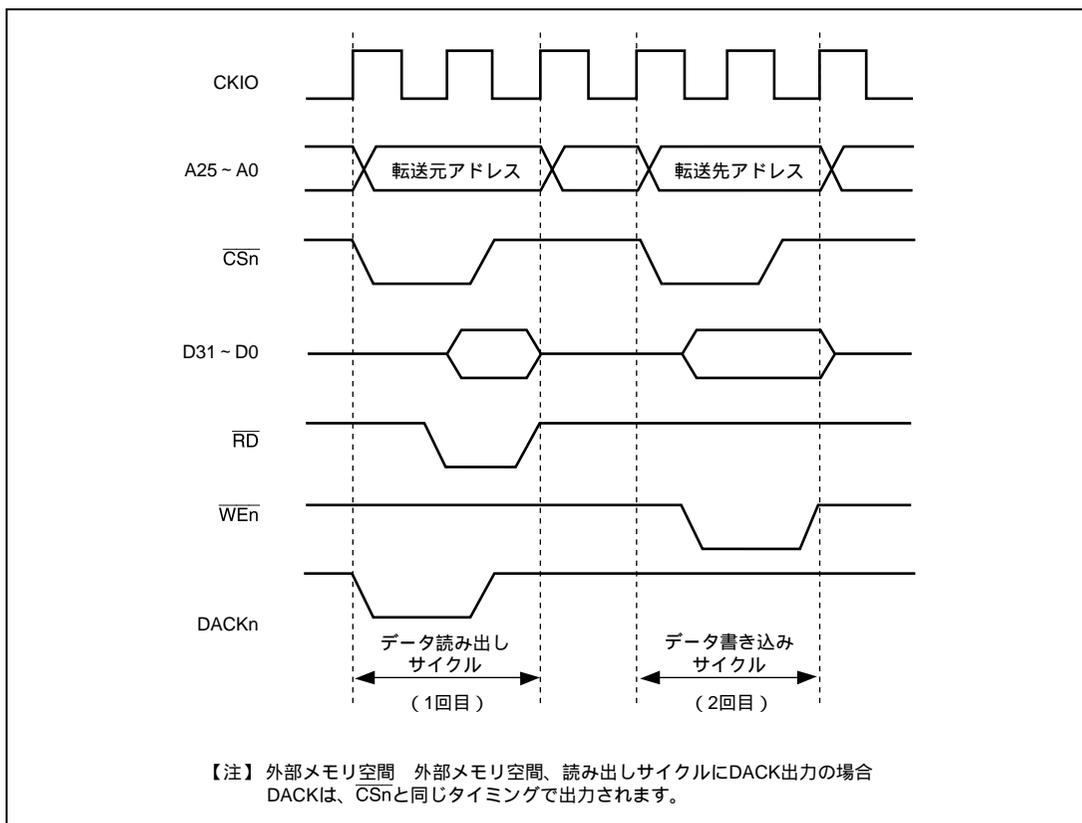


図 9.6 デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例
(転送元：通常メモリ、転送先：通常メモリ)

9. ダイレクトメモリアクセスコントローラ (DMAC)

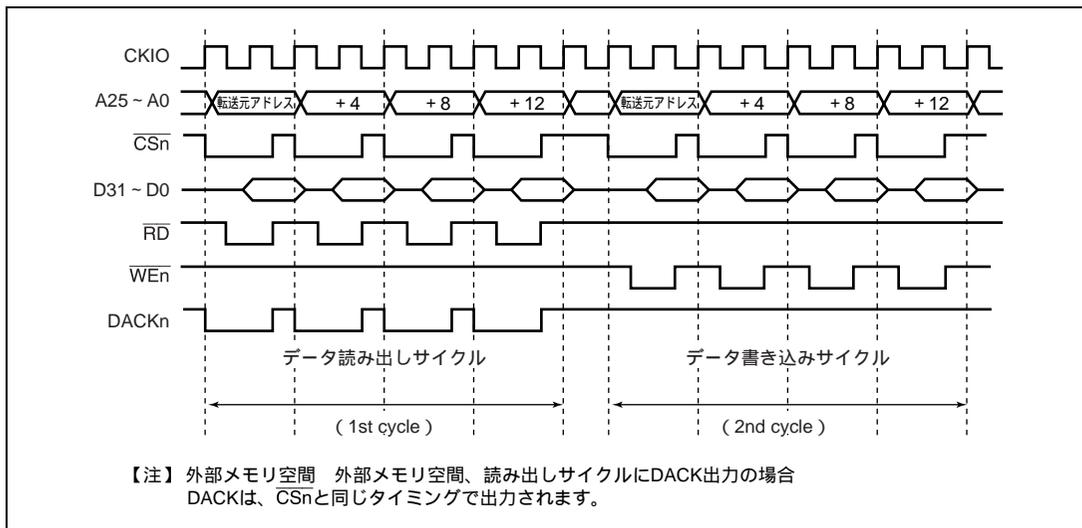


図 9.7 デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例
(16 バイト転送、転送元：通常メモリ、転送先：通常メモリ)

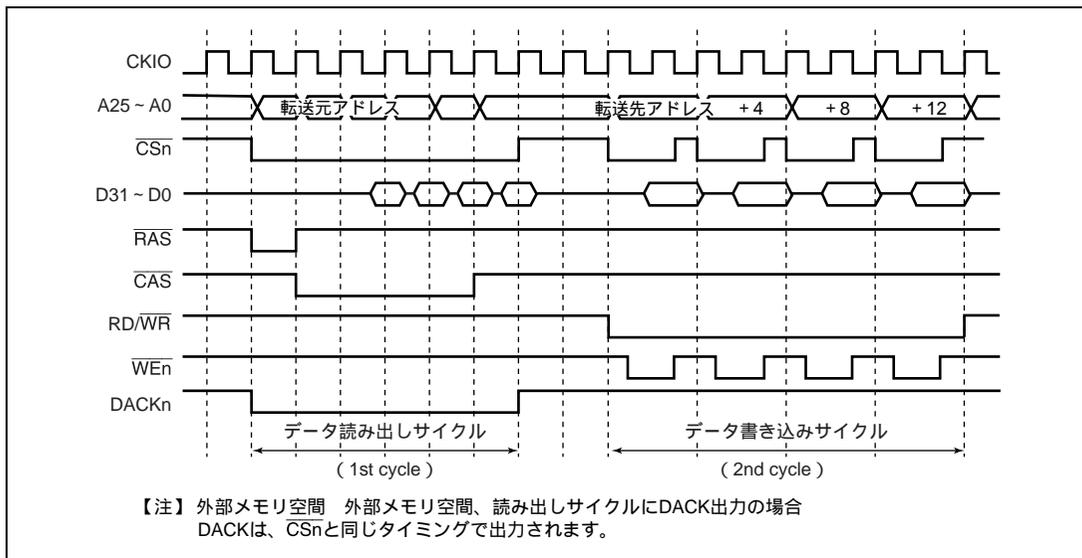


図 9.8 デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例
(16 バイト転送、転送元：シンクロナス DRAM、転送先：通常メモリ)

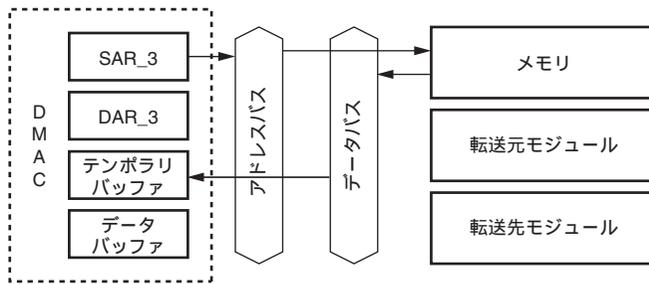
2. 間接アドレス転送モード

DMAC内部の転送元アドレスレジスタ (SAR₃) に、実際に転送したいデータの格納されているメモリのアドレスが指定されている転送モードです。間接アドレス転送モードでは、まずDMAC内部の転送元アドレス

レジスタに指定されたアドレスの値を読み出します。この値は、いったんDMAC内部に格納されます。次に、読み出した値をアドレスとして出力し、そのアドレスに格納されている値を再びDMAC内部に格納します。最後に転送先アドレスレジスタに指定されたアドレスに、あとから読み出した値を書き込んで1回のDMA転送が終了します。16バイト転送はできません。

図9.9に、間接アドレスモードで、転送先、転送元、間接アドレスの格納先すべてが16ビット幅空間の外部メモリであり、転送データが16ビットまたは8ビットの場合の転送例を示します。また図9.10にタイミング例を示します。

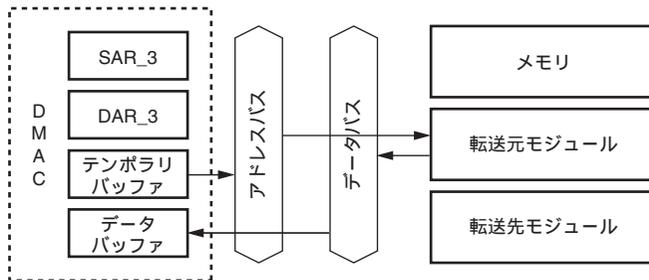
9. ダイレクトメモリアクセスコントローラ (DMAC)



SAR_3の値をアドレスとし、メモリのデータを読み出して、その値をテンポラリバッファに格納します。このとき読み出す値はアドレスに使用されるため、必ず32ビットです。

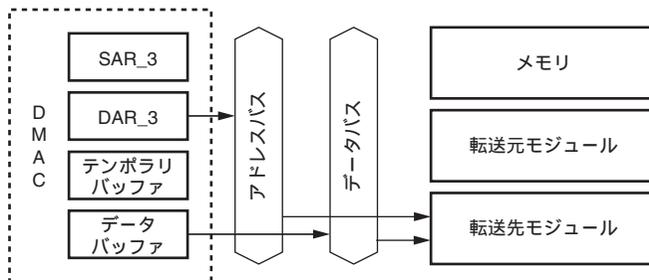
なお外部と接続データバスが16ビットの場合、2回のバスサイクルを必要とします。

1回目、2回目のバスサイクル



テンポラリバッファの値をアドレスとして、転送元モジュールからデータをデータバッファに読み込みます。

3回目のバスサイクル



DAR_3の値をアドレスとし、転送先のモジュールにデータバッファの値を書き込みます。

4回目のバスサイクル

【注】ここではメモリ、転送元、転送先モジュールと示してありますが、実際にはアドレッシング空間であれば、共に何を接続しても問題ありません。

図 9.9 デュアルアドレスモード、間接アドレスの動作説明
(外部メモリ空間が16ビット幅の場合)

9. ダイレクトメモリアクセスコントローラ (DMAC)

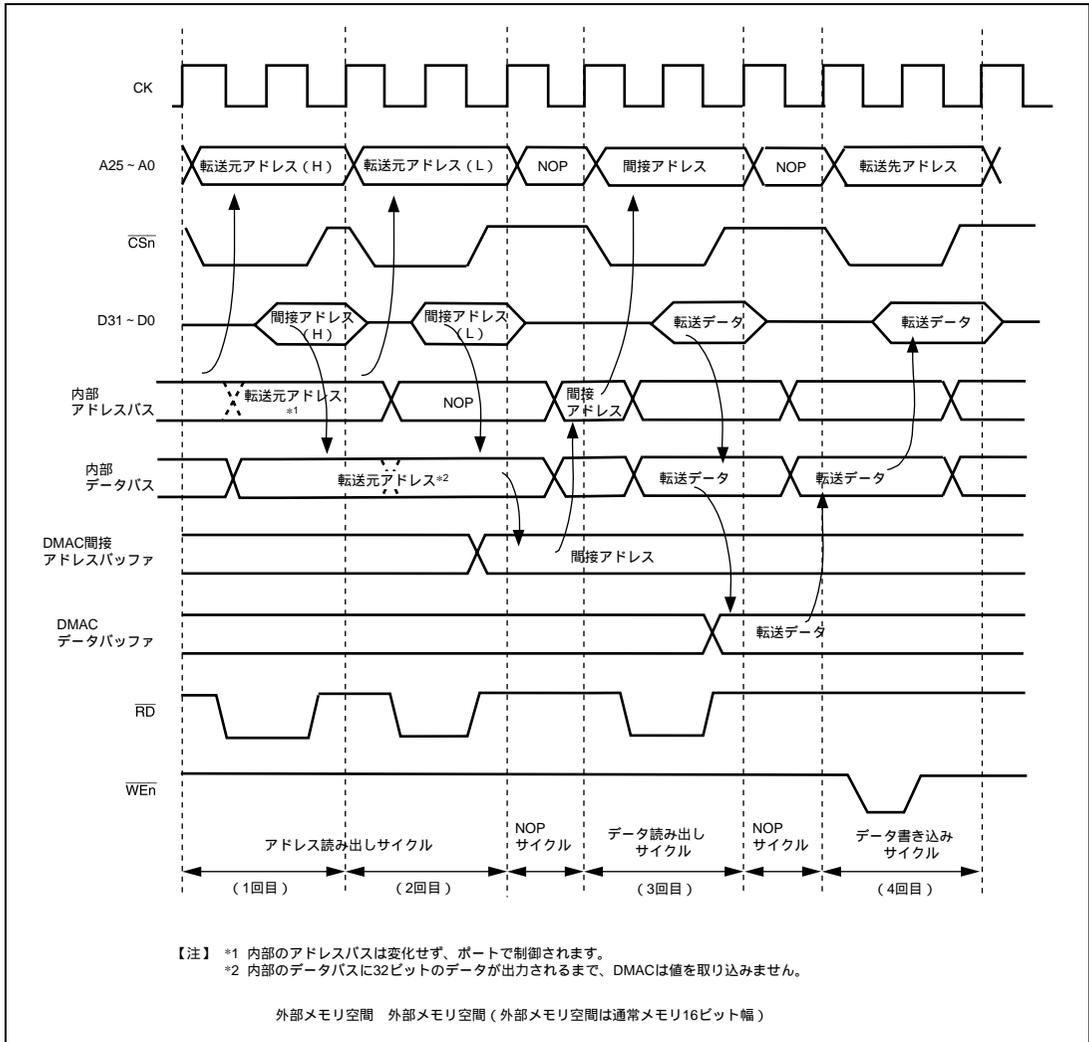


図 9.10 デュアルアドレスモード、間接アドレスでの転送タイミング例

【注】 *1 内部のアドレスバスは変化せず、ポートで制御されます。
*2 内部のデータバスに32ビットのデータが出力されるまで、DMACは値を取り込みません。

9. ダイレクトメモリアクセスコントローラ (DMAC)

(b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先が共に外部で、そのうちの一方を DACK 信号によってアクセス(選択)し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1つのバスサイクルで DMA 転送を行います。たとえば、図 9.11 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

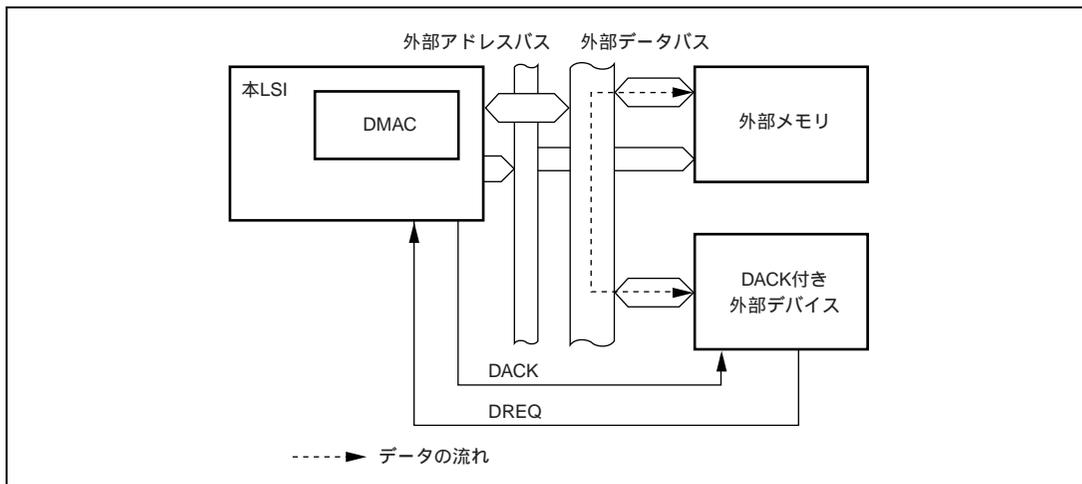


図 9.11 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、DACK 付き外部デバイスとメモリマップト外部デバイス間転送、DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は、外部リクエスト (DREQ) のみです。

図 9.12～図 9.14 に、シングルアドレスモードでの DMA 転送タイミング例を示します。

9. ダイレクトメモリアクセスコントローラ (DMAC)

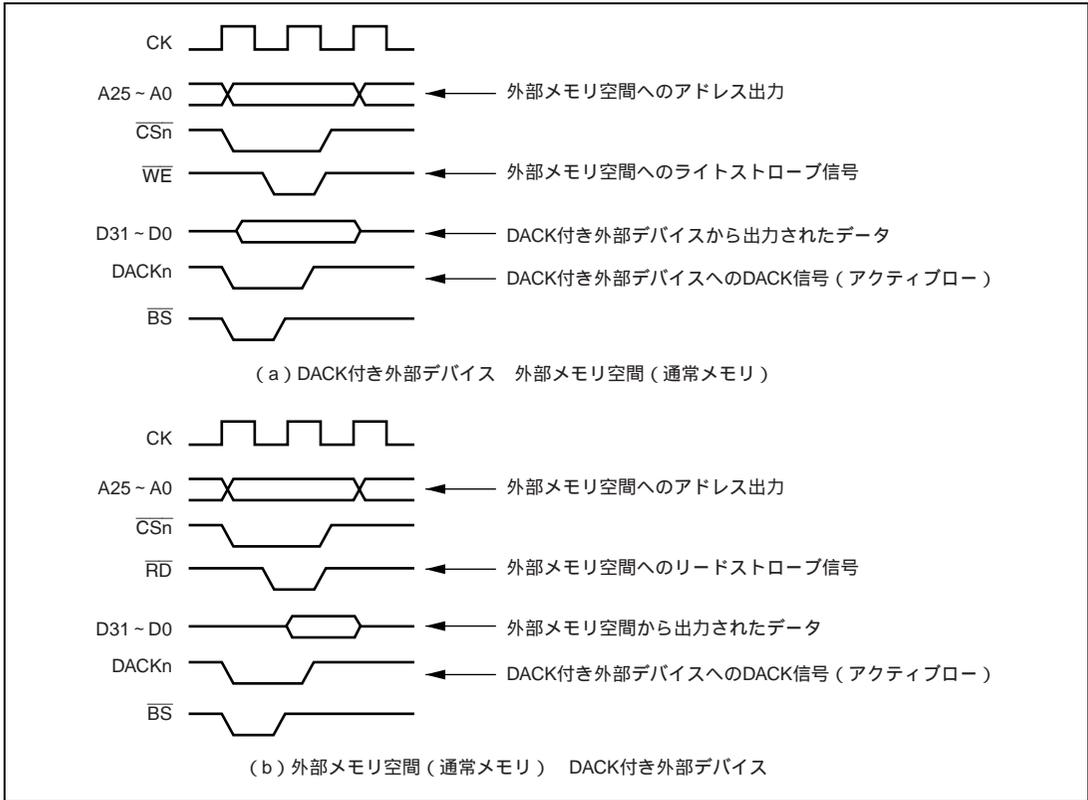


図 9.12 シングルアドレスモードでの DMA 転送タイミング

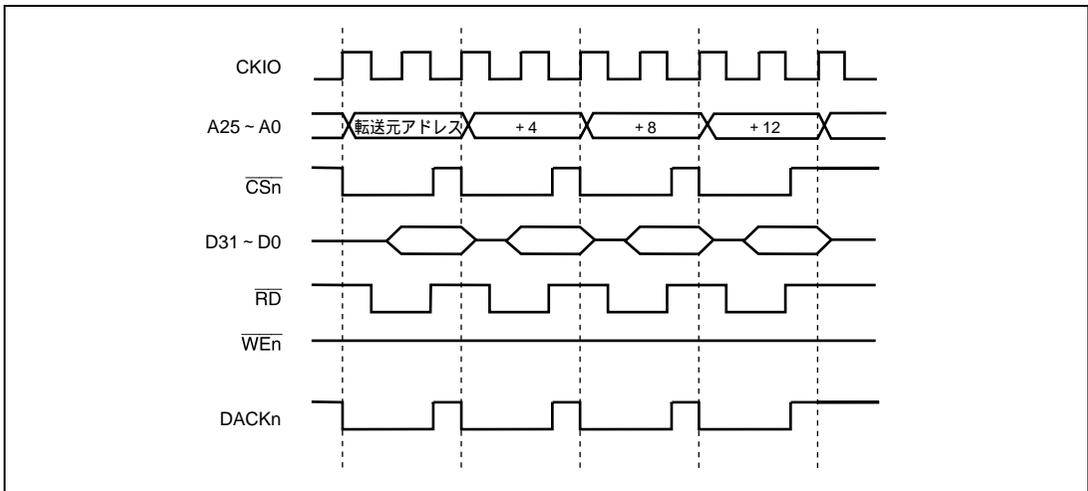


図 9.13 シングルアドレスモードでの DMA 転送タイミング
16 バイト転送、外部メモリ空間 (通常メモリ) DACK 付き外部デバイス)

9. ダイレクトメモリアクセスコントローラ (DMAC)

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR_0 ~ CHCR_3 の TM ビットによって行います。

(a) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 9.14 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- $\overline{\text{DREQ}}$ レベル検出

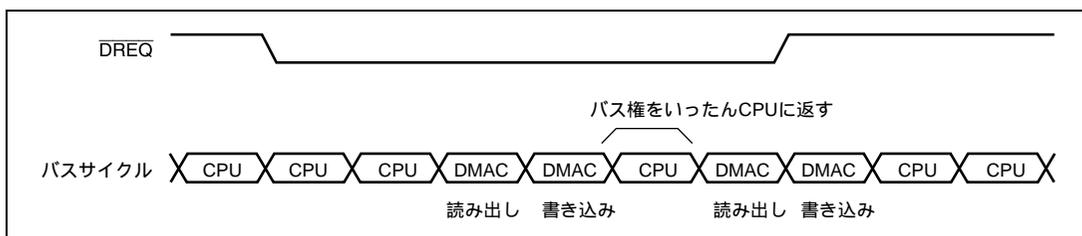


図 9.14 サイクルスチールモードでの DMA 転送例

(b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、 $\overline{\text{DREQ}}$ をローレベルで検出する場合には、 $\overline{\text{DREQ}}$ がハイレベルになると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

バーストモードは、シリアルコミュニケーションインタフェース (SCIF) と A/D 変換器が転送要求元となっている場合には使用できません。

図 9.15 にバーストモードでの DMA 転送タイミングを示します。

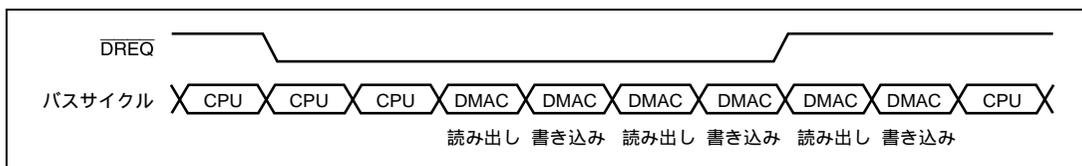


図 9.15 バーストモードでの DMA 転送例

9. ダイレクトメモリアクセスコントローラ (DMAC)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 9.5 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 9.5 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1
	外部メモリと外部メモリ	すべて可 ^{*1}	B/C	8/16/32/128	0、1、2、3 ^{*5}
	外部メモリとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32/128	0、1、2、3 ^{*5}
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32/128	0、1、2、3 ^{*5}
	外部メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1

【注】 B：バーストモード

C：サイクルスチールモード

*1 外部リクエスト、オートリクエスト、内蔵周辺モジュールの CMT によるリクエストのいずれでも可能。

*2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元が SCIF、または A/D 変換器の場合には、転送元または転送先がそれぞれ SCIF、A/D 変換器である必要があります。

*3 転送要求元が SCIF、A/D 変換器の場合にはサイクルスチールのみ。

*4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。

*5 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ。

9. ダイレクトメモリアクセスコントローラ (DMAC)

(4) バスモードとチャンネルの優先順位

たとえばチャンネル1がバーストモードで転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、直ちにチャンネル0の転送を開始します。

このとき、優先順位の設定が固定モード(CH0>CH1)の場合、チャンネル0の設定がサイクルスチールでもバーストモードでもチャンネル0の転送がすべて終了してからチャンネル1の転送を継続します。

優先順位の設定がラウンドロビンモードの場合、チャンネル0の設定がサイクルスチールモードでもバーストモードであっても、チャンネル0が1転送単位の転送を行ったあと、チャンネル1が転送を再開します。その後もチャンネル1 チャンネル0 チャンネル1 チャンネル0 というようにバス権を交互に入れ替えます。

優先順位の設定が固定モードでもラウンドロビンモードでも、チャンネル1がバーストモードなので、この間 CPUにはバス権は渡りません。

ラウンドロビンモードの場合の例を図9.16に示します。

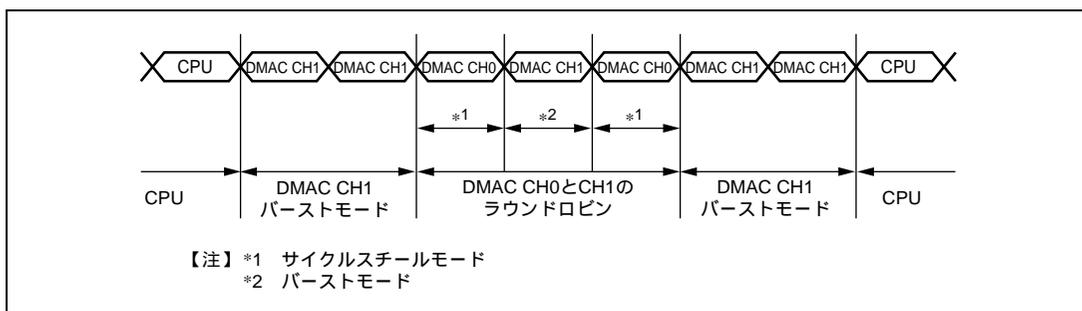


図 9.16 複数チャンネルが動作する場合のバス状態 (優先順位がラウンドロビンモードの場合)

9.4.5 バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMACがバスマスタのときのバスサイクルのステート数は、CPUがバスマスタのときと同様にバスステートコントローラ(BSC)で制御されます。詳しくは、「第8章 バスステートコントローラ(BSC)」を参照してください。

(2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

外部リクエストモードにおいて、 $\overline{\text{DREQ}}$ 端子はクロックパルス(CKIO)の立ち下がりエッジまたはローレベル検出でサンプリングされ、 $\overline{\text{DREQ}}$ 入力が検出されると、最も早い場合で3ステート後にDMACのバスサイクルが発生し、DMA転送が行われます。

2回目以後の $\overline{\text{DREQ}}$ サンプリングは、1回目のサンプリングの2サイクル後に行われます。

(3) 動作説明

(a) サイクルスチールモード

サイクルスチールモードの場合、 $\overline{\text{DREQ}}$ サンプリングタイミングは、 $\overline{\text{DREQ}}$ 検出方法がレベルでもエッジでも

同じです。

たとえば、図 9.17 (サイクルスチールモード、レベル検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目のサンプリングの 2 サイクル後に行われます。このとき $\overline{\text{DREQ}}$ が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

このように $\overline{\text{DREQ}}$ のサンプリングは、1 ステップ先立って実行されます。3 回目のサンプリングは、1 回目の DMA 転送終了に続くアイドルサイクルに入ってから実行されます。

図 9.18 に示すように、上述の条件は CPU の転送サイクルが何サイクルであっても同様です。また、図 9.19 に示すように、DMA の転送サイクルが何サイクルであっても同様です。

図 9.17 は DACK を読み出し時に出力、図 9.18 は DACK を書き込み時に出力する例です。どちらの場合も、DACK は $\overline{\text{CSn}}$ と同期間出力されます。

図 9.20 は、 $\overline{\text{DREQ}}$ が検出できなかった場合に、以後毎サイクルサンプリングを実行する例です。

図 9.21 はサイクルスチールモード、エッジ検出の例です。

(b) バーストモード、レベル検出

バーストモード、レベル検出の場合、 $\overline{\text{DREQ}}$ サンプリングタイミングはサイクルスチールモードとほぼ同じです。

たとえば図 9.22 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目のサンプリングの 2 サイクル後に行われます。それ以降のサンプリングは、DMA 転送サイクル終了に続くアイドルサイクルで行われます。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

(c) バーストモード、エッジ検出

バーストモード、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の 1 回しか行いません。

例えば図 9.23 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。その後 DMATCR に設定した回数データ転送が終了するまで、DMAC 転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。

NMI が発生して停止したあと DMAC 転送を再開したい場合は、まず NMIF をクリアして、それから再びエッジ要求を入力してください。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

9. ダイレクトメモリアクセスコントローラ (DMAC)

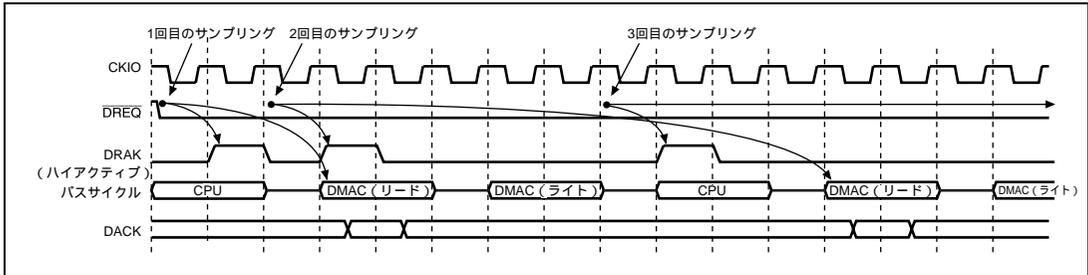


図 9.17 サイクルスチールモード、レベル入力 (CPU アクセス : 2 サイクル)

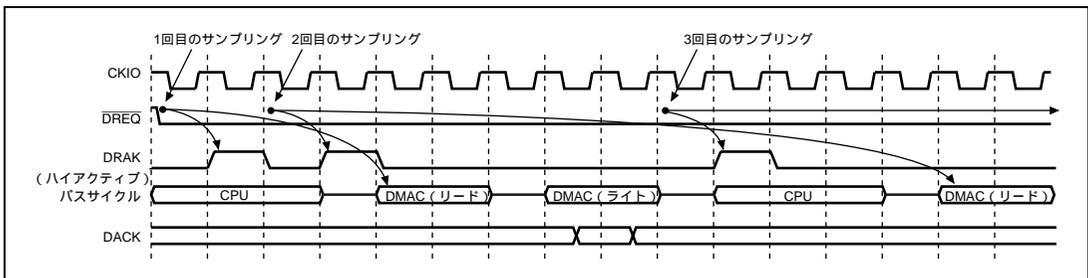


図 9.18 サイクルスチールモード、レベル入力 (CPU アクセス : 3 サイクル)

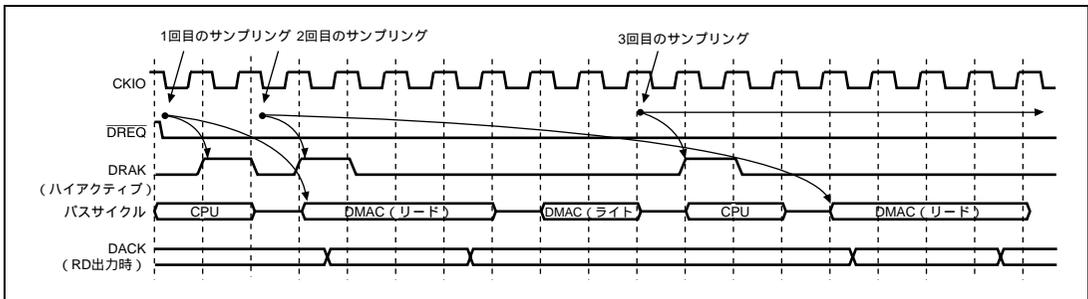


図 9.19 サイクルスチールモード、レベル入力 (CPU アクセス : 2 サイクル、DMA RDアクセス : 4 サイクル)

9. ダイレクトメモリアクセスコントローラ (DMAC)

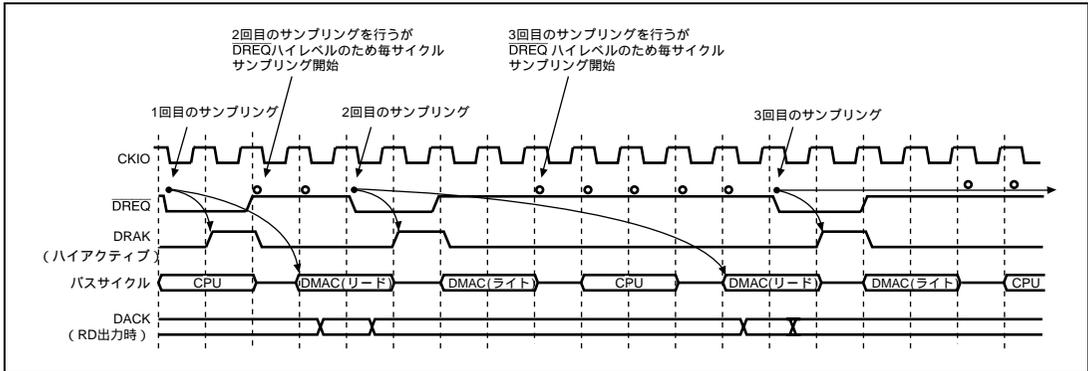


図 9.20 サイクルスチールモード、レベル入力 (CPU アクセス : 2 サイクル、DREQ 入力を遅らせた場合)

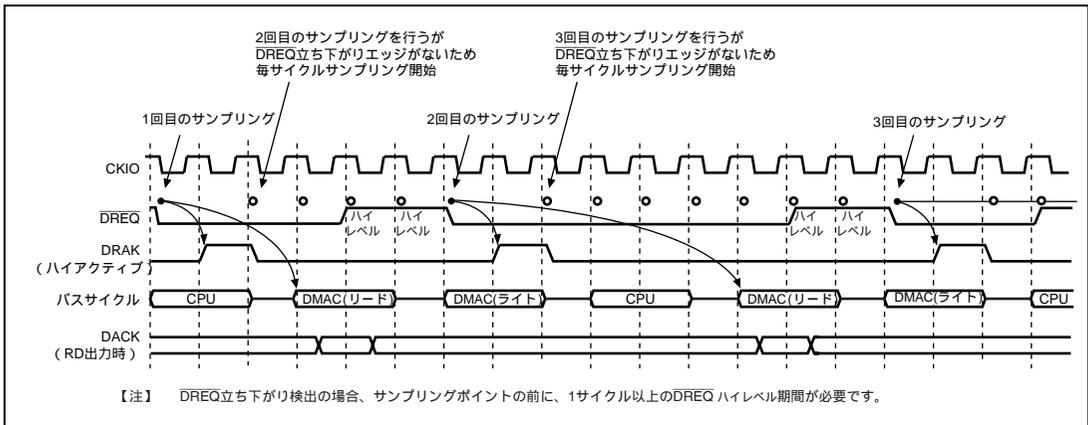


図 9.21 サイクルスチールモード、エッジ入力 (CPU アクセス : 2 サイクル)

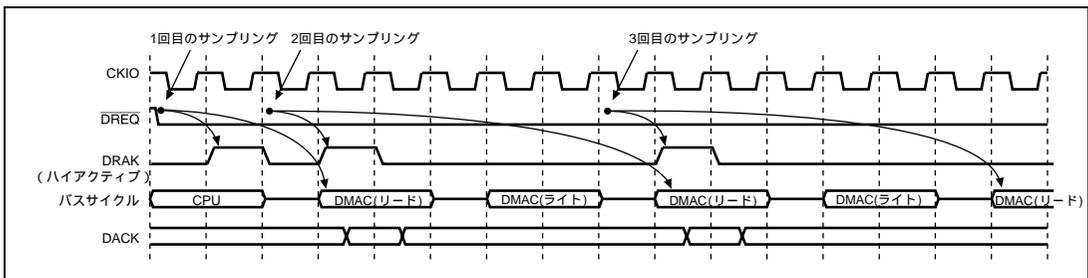


図 9.22 バーストモード、レベル入力

9. ダイレクトメモリアクセスコントローラ (DMAC)

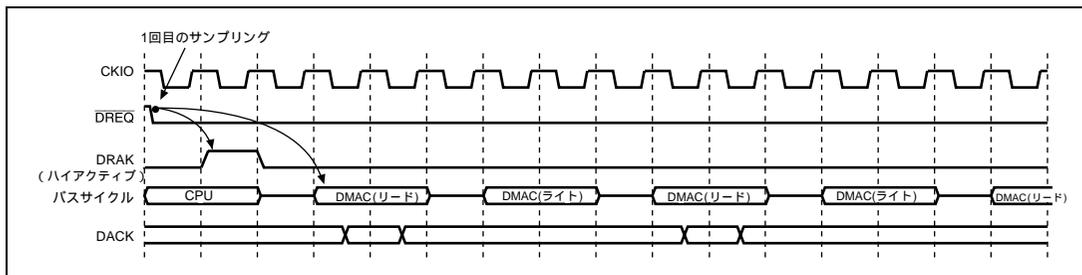


図 9.23 バーストモード、エッジ入力

9.4.6 ソースアドレスリロード機能

チャンネル2はCHCR_2のROビットを1にセットすることで、4回の転送ごとに、最初にSAR_2に設定した値に復帰するリロード機能があります。16バイト転送は使用できません。この動作を図9.24に示します。また図9.25に、チャンネル2のみ使用で、バーストモード、オートリクエスト、転送データサイズ16ビット、SAR_2カウントアップ、DAR_2固定状態で、リロード機能ON状態のタイムチャートを示します。

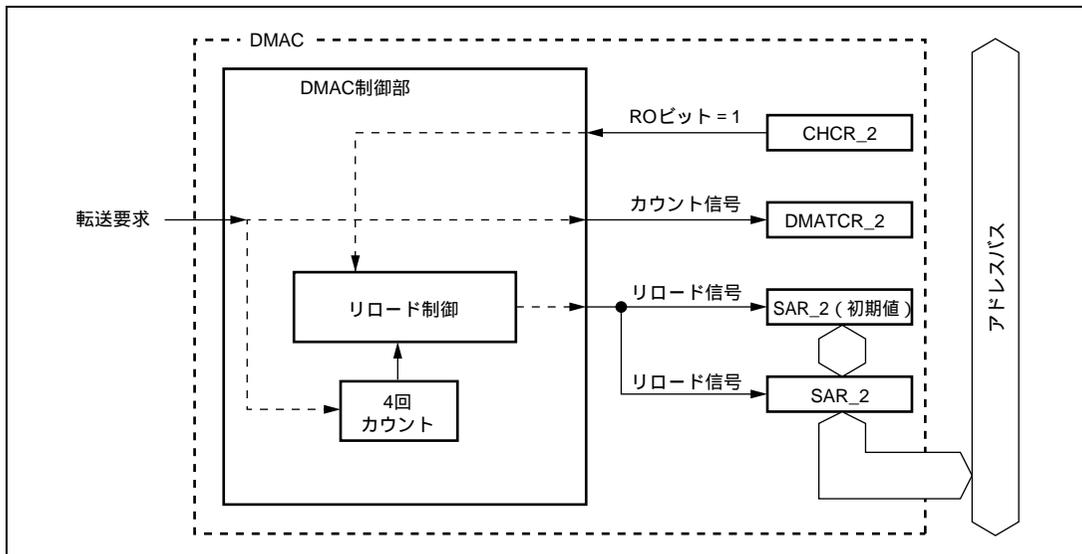


図 9.24 ソースアドレスリロード機能図

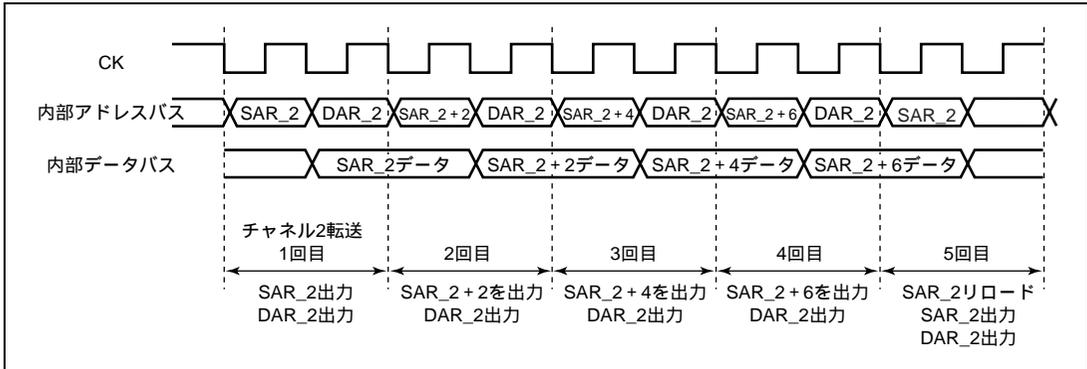


図 9.25 ソースアドレスリロード機能タイムチャート

転送データサイズが8ビット、16ビット、32ビットのいずれの場合でも、リロード機能は実行可能です。

転送回数を指定するDMATCR_2は、リロード機能のオン、オフにかかわらず1転送単位の転送終了ごとに1カウントダウンします。このためリロード機能をオンで使用する場合は、DMATCR_2には必ず4の倍数を指定してください。それ以外の値を設定した場合の動作は保証しません。また、アドレスリロードのために4回転送したことをカウントしているカウンタはリセットのほか、DMAORのDMEビットのクリア、CHCR_2のDEビットのクリア、転送終了フラグ(CHCR_2のTEビット)のセット、DMACによるアドレスエラー、NMI入力によってリセットされますが、SAR_2、DAR_2、DMATCR_2などのレジスタはリセットされません。このため、これらの要因が発生するとDMAC内部に初期化されたカウンタと、初期化されないレジスタが混在することになり、そのまま再スタートをかけると誤動作する場合があります。以上から、アドレスリロード機能使用中にTEのセット以外の上記の要因が発生した場合は、SAR_2、DAR_2、DMATCR_2の設定から実行し直してください。

9.4.7 DMA 転送終了

DMA 転送終了条件は、1チャンネルずつの終了と全チャンネルの同時終了とで異なります。

転送終了時、DMATCRの値が0になった場合を除いて、次に示す条件が適用されます。

1. サイクルスチールモード (外部要求、内部要求、およびオートリクエスト)

転送終了条件を満足すると、DMAC転送要求受け付けが停止します。終了条件が満足される以前に受け付けた回数の転送を完了したあと、DMACは動作を停止します。

サイクルスチールモードでは、転送要求がレベル検出かエッジ検出にかかわらず同じ動作となります。

2. パーストモード、エッジ検出 (外部要求、内部要求、およびオートリクエスト)

終了条件を満足した時点からDMACが動作を停止する時点にいたるタイミングがサイクルスチールモードと異なります。パーストモード、エッジ検出では、DMAC動作開始時に1回だけ転送要求が発生しますが、停止要求のサンプリングはサイクルスチールモードの転送要求サンプリングと同じタイミングで実行されます。その結果、停止要求がサンプリングされない期間は転送要求が発生した期間とみなされ、この期間中はDMA転送を実行しその後DMACは動作を停止します。

9. ダイレクトメモリアクセスコントローラ (DMAC)

3. バーストモード、レベル検出 (外部要求)

1.に記載したことと同様です。

4. 転送が保留されたときのバスタイミング

1回の転送が終了した時点で転送は停止します。デュアルアドレスモード、直接アドレス転送のリード期間中に転送終了条件を満足した場合でも、続くライト処理は実行され上記1.~3.の転送が実行されたあとにDMAC動作が停止します。

(1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- DMATCRの値が0になる。
- CHCRのDEビットを0にクリアする。

(a) DMATCR=0 による転送終了

DMATCR の値が0 になると、対応するチャンネルの DMA 転送が終了し、CHCR の TE がセットされます。このとき IE がセットされていると、CPU に DMAC 割り込み (DEI) が要求されます。

この転送終了は上記の 1.~4.の条件が適用されません。

(b) CHCR の DE=0 による転送終了

CHCR の DE をクリアすると、対応するチャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

この転送終了は上記の 1.~4.の条件が適用されません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送終了します。

- DMAORのAEまたはNMIFが1になる
- DMAORのDMEを0にクリアする

(a) DMAOR の AE=1 または NMIF=1 による転送終了

DMAC によるアドレスエラーまたは NMI 割り込みが発生して、DMAOR の AE ビットまたは NMIF ビットが 1 になると、すべてのチャンネルの DMA 転送が上記 1.~4.の条件に従って中断され、バス権を他のバスマスタに渡します。したがって転送中に AE ビットまたは NMIF ビットが 1 になっても、SAR、DAR、DMATCR の値は更新されません。この場合は TE ビットはセットされません。DMAC アドレスエラー例外処理後または NMI 割り込み例外処理終了後に転送を再開するためには、AE フラグまたは NMIF フラグをクリアする必要があります。その際、再起動させたくないチャンネルは、対応する CHCR の DE ビットをクリアしてください。

(b) DMAOR の DME=0 による転送終了

DMAOR の DME ビットを 0 にクリアすると、全チャネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

DMAC によるアドレスエラー発生時や NMI 割り込み発生時と同様に、全チャネルが「9.4.7 DMA 転送終了」の 1.~4.の条件に従って動作を中断します。この場合も、SAR、DAR、および DMATCR の値は更新されます。

9.5 コンペアマッチタイマ (CMT)

DMAC は DMA 転送要求を発生する CMT を内蔵しています。CMT は 16 ビットのカウンタです。CMT のブロック図を図 9.26 に示します。

9.5.1 特長

CMT には次の特長があります。

- 4種類のカウンタ入力クロックを選択可能
- 4種類の内部クロック (P / 4、P / 8、P / 16、P / 64) を選択可能
- コンペアマッチ時、DMA転送要求を発生

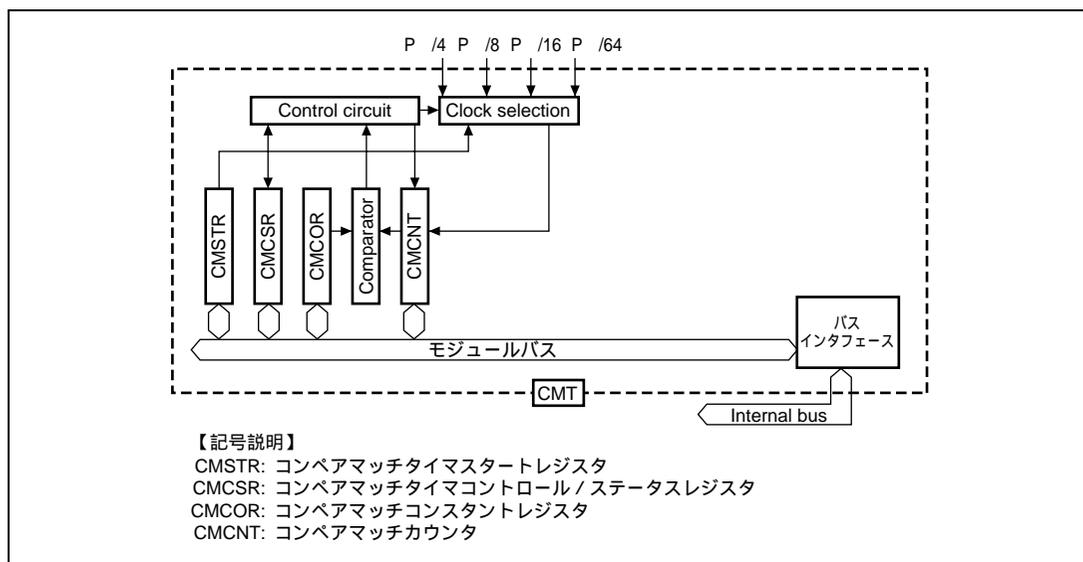


図 9.26 コンペアマッチタイマのブロック図

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.5.2 レジスタ説明

CMT には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照してください。

- コンペアマッチタイマスタートレジスタ (CMSTR)
- コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)
- コンペアマッチカウンタ (CMCNT)
- コンペアマッチコンスタントレジスタ (CMCOR)

(1) コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、カウンタ (CMCNT) の動作 / 停止を選択します。

ビット	ビット名	初期値	R/W	説明
15~2		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
1		0	R/W	リザーブビット リード/ライト可能ですが、ライト時は常に 0 にしてください。
0	STR0	0	R/W	カウントスタート コンペアマッチカウンタの動作 / 停止を選択します。 0 : CMCNT はカウンタ動作を停止 1 : CMCNT はカウンタ動作

(2) コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、およびインクリメント用クロックの設定を行います。

ビット	ビット名	初期値	R/W	説明
15~8		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0 : CMCNT と CMCOR の値は不一致 [クリア条件] CF=1 を読み出し後、CF=0 を書き込む 1 : CMCNT と CMCOR の値が一致
6		0	R/W	リザーブビット リード/ライト可能ですが、ライト時は常に 0 にしてください。
5~2		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 周辺クロック (P) を分周した 4 種類のクロックから CMCNT に入力するクロックを選択します。CMSTR の STR0 ビットが 1 にセットされると、CMCNT は CKS1、CKS0 ビットにより選択されたクロックでインクリメントを開始します。 00 : P / 4 01 : P / 8 10 : P / 16 11 : P / 64
0	CKS0	0	R/W	

【注】* フラグクリアのための 0 書き込みのみ可能です。

(3) コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。内部クロックが CMCSR の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

CMCNT はリセット時に H'0000 に初期化されます。スタンバイモード時には以前の値を保持します。

(4) コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

CMCOR はリセット時に H'FFFF に初期化されます。スタンバイモード時には以前の値を保持します。

9.5.3 動作説明

(1) 期間カウント動作

クロックが CMCSR の CKS1、CKS0 ビットにより選択され、CMSTR の STR0 ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。CMCNT は H'0000 からカウントアップを再開します。

図 9.27 にコンペアマッチカウンタ動作を示します。

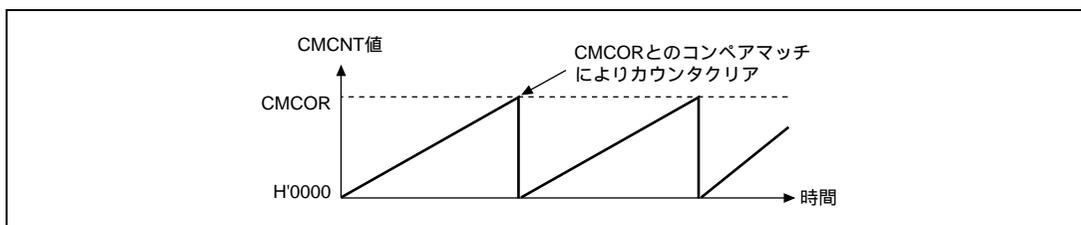


図 9.27 カウンタ動作

9. ダイレクトメモリアクセスコントローラ (DMAC)

(2) CMCNT カウントタイミング

周辺クロック (P) を分周して得られた 4 種類のクロック ($P/4$ 、 $P/8$ 、 $P/16$ 、 $P/64$) のうち 1 つを CMCSR の CKS1、CKS0 ビットにより選択することができます。図 9.28 にそのタイミングを示します。

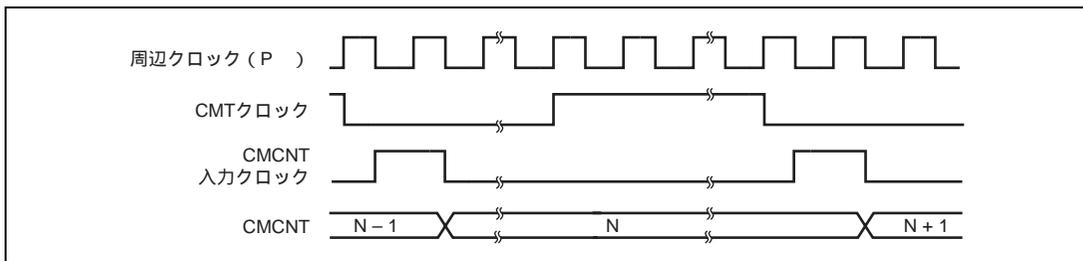


図 9.28 カウントタイミング

(3) コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致するとコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終状態で発生します (CMCNT の値が更新されるタイミング)。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタクロックが入力されないとコンペアマッチ信号は発生しません。図 9.29 に CMF ビットのセットタイミングを示します。

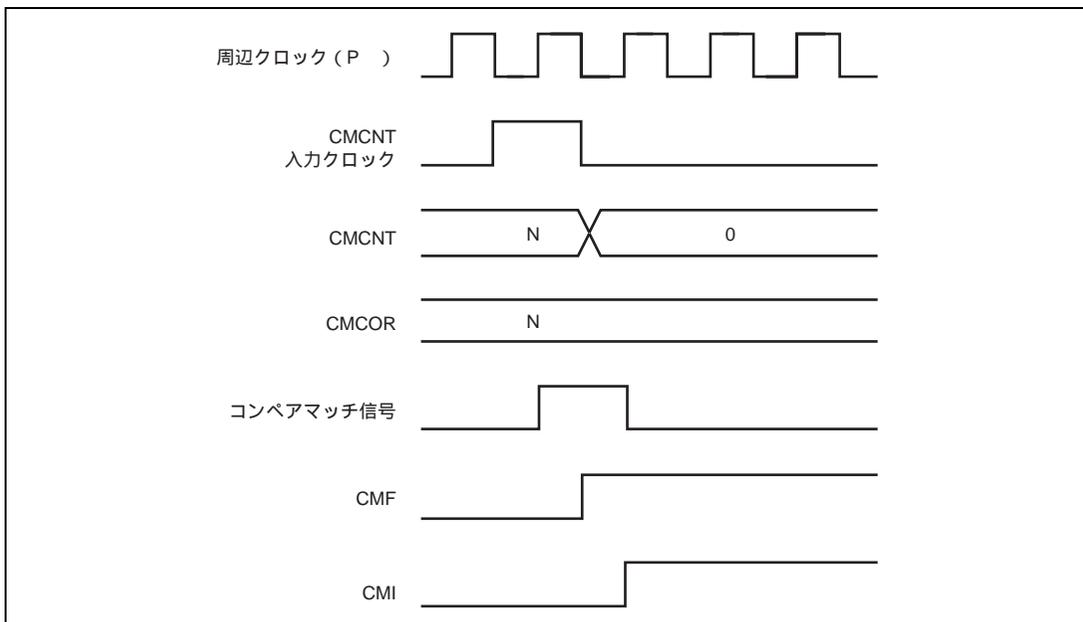


図 9.29 CMF セットタイミング

(4) コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、1 を読み出したあとに 0 を書き込むことでクリアされます。図 9.30 に CPU によって CMF ビットがクリアされる場合のタイミングを示します。

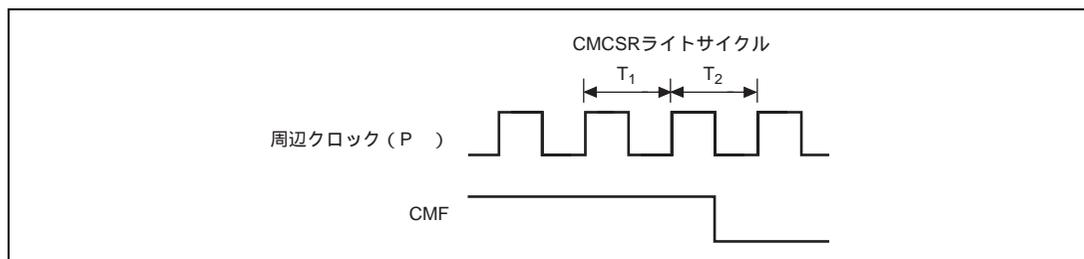


図 9.30 CPU による CMF クリアのタイミング

9.6 使用例

9.6.1 A/D 変換器と外部メモリとの DMA 転送例

内蔵 A/D 変換器が転送元、外部メモリが転送先で、アドレスリロード機能オンの場合の例を考えます。表 9.6 に転送条件と、各レジスタの設定値を示します。

表 9.6 A/D 変換器と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元 : 内蔵 A/D 変換器	SAR_2	H'0400 0080
転送元 : 内蔵メモリ	DAR_2	H'0040 0000
転送回数 : 128 回 (リロード回数 32 回)	DMATCR_2	H'0000 0080
転送元アドレス : 増加	CHCR_2	H'0008 9E35
転送先アドレス : 減少		
転送要求元 : A/D 変換器		
バスモード : バースト		
転送単位 : ロングワード		
転送終了時に割り込み要求発生		
チャンネル優先順位 : 0 > 2 > 3 > 1	DMAOR	H'0101

アドレスリロードをオンにすると、4 回の転送ごとに SAR_0 ~ SAR_3 の値が最初に設定した値に戻ります。上記の例では、A/D 変換器から転送要求が入ると、まず A/D 変換器の H'0400 0080 のレジスタからロングワードサイズのデータを読み出し、外部メモリの H'0040 0000 番地にそのデータを書き込みます。ロングワードサイズの転送を行ったので、この時点で SAR_2、DAR_2 の値はそれぞれ H'0400 0084、H'003F FFFC となっています。またバースト転送であるため、バス権を確保したままなので、データ転送を連続して進めていきます。

4 回の転送が終了すると、アドレスリロードオフの場合はそのまま 5 回目、6 回目と転送を続けて実行し、SAR_2

9. ダイレクトメモリアクセスコントローラ (DMAC)

の値は H'0400 008C H'0400 0090 H'0400 0094...と増加し続けますが、アドレスリロードオンの場合は4回目が終了すると、DMAC 転送を中止し、CPU へのバス権要求信号をクリアします。このとき SAR_2 内に格納されている値は H'0400 008C H'0400 0090 ではなく、H'0400 0080 と最初に設定したアドレスに戻っています。DAR_2 の値はアドレスリロードのオン/オフに関係なく、常に減少を続けます。

以上から DMAC 内部は4回目の転送が終了した時点で、アドレスリロードオンの場合とオフの場合では、表 9.7 に示した状態となっています。

表 9.7 4回の転送終了後の DMAC 内の値

	アドレスリロードオン	アドレスリロードオフ
SAR_2	H'0400 0080	H'0400 0090
DAR_2	H'003F FFF0	H'003F FFF0
DMATCR_2	H'0000 007C	H'0000 007C
バス権	解放	保持
DMAC 動作	停止	処理続行中
割り込み	未発	未発
転送要求元フラグクリア	実行	未実行

- 【注】
1. 割り込みは、DMATCR_2 の値が 0 になるまで実行し、CHCR_2 の IE ビットが 1 にセットされていれば、アドレスリロードのオン/オフに関係なく発生します。
 2. 転送要求元フラグクリアは、DMATCR_2 の値が 0 になるまで実行すれば、アドレスリロードのオン/オフに関係なく実行されます。
 3. アドレスリロード機能を使用する場合は、バーストモードを指定してください。サイクルスチールモードで実行すると正常に動作しない場合があります。
 4. アドレスリロード機能を使用する場合は、DMATCR_2 の値は 4 の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。

9.6.2 外部メモリと SCIF 送信側との DMA 転送例 (インダイレクトアドレスオン)

DMAC のチャンネル 3 を使用して、転送元が間接アドレス指定外部メモリで、転送先が SCIF の送信側の場合の例を考えます。

表 9.8 に転送条件と、各レジスタの設定値を示します。加えて、送信部 FIFO 数のトリガを 1 に設定 (SCFCR の TTRG1 = TTRG0 = 1) することを推奨します。

表 9.8 外部メモリと SCIF 送信側間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR_3	H'0040 0000
H'0040 0000 番地に格納されている値	-	H'0045 0000
H'0045 0000 番地に格納されている値	-	H'55
転送先：内蔵 SCIF TDR2	DAR_3	H'0400 0156
転送回数：10 回	DMATCR_3	H'0000 000A
転送元アドレス：増加	CHCR_3	H'0001 1C01
転送先アドレス：固定		
転送要求元：SCIF (TXI2)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生せず		
チャンネル優先順位：0 > 1 > 2 > 3	DMAOR	H'0001

インダイレクトアドレスをオンにすると、SAR_0 ~ SAR_3 に設定したアドレスに格納されたデータは、転送元のデータとしては使用されません。インダイレクトアドレスの場合、SAR_0 ~ SAR_3 のアドレスに格納された値を読み出したあと、その読み出した値をもう一度アドレスとして使用し、そのとき読み出された値を転送元データとして使用し、その値を対応する DAR_0 ~ DAR_3 に指定されたアドレスに格納します。

表 9.3 の例では、SCIF の転送要求が発生すると、まず SAR_3 にセットされている値である H'0040 0000 番地のアドレスを読み出しに行きます。この H'0040 0000 番地には H'0045 0000 が格納されており、DMAC はまず H'0045 0000 を読み出してきます。次に DMAC は、読み出した H'0045 0000 を再びアドレスとして使用し、H'0045 0000 番地に格納されている H'55 を読み出します。最後に DAR_3 に指定された H'0400 0156 番地に H'55 を書き込んで、1 回のインダイレクトアドレス転送が終了します。

インダイレクトアドレスでは、最初に行う SAR_3 に設定されたアドレスからのデータ読み出しでは、転送データサイズの指定である TS0、TS1 ビットの指定とは無関係に、常にロングワードサイズの転送となります。ただし、転送元アドレスの固定、増加、減少の指定は SM0、SM1 ビットに従います。したがって今回の例では、転送データサイズの指定がバイトサイズであるにもかかわらず、1 回の転送が終了した時点で SAR_3 の値は H'0040 0004 となります。書き込み動作は通常のデュアルアドレス転送の書き込み動作の場合とまったく同じです。

9.7 使用上の注意

1. CHCR_0~CHCR_3は、どのようなデータサイズでもアクセス可能です。DMAORは、バイト(8ビット)またはワード(16ビット)単位のアクセスのみ可能です。それ以外のレジスタは、すべてワード(16ビット)またはロングワード(32ビット)単位のアクセスが可能です。
2. CHCR_0~CHCR_3のRS0~RS3ビット書き換える場合は、DEビットを0にしてから書き換えてください(CHCRを書き換える場合は、あらかじめDEビットを0に設定しておいてください)。
3. DMACが動作していないときにNMI割り込みが入力されても、DMAORのNMIFビットはセットされます。
4. スタンバイモードにするときはDMAORのDMEビットを0にして、DMACが受け付けた転送要求分の処理がすべて終了してから行ってください。
5. DMACがアクセス可能な内蔵周辺モジュールは、SCIF、A/D変換器、D/A変換器、およびI/Oポートです。これ以外の内蔵周辺モジュールにはDMACでアクセスしないでください。
6. DMACに起動をかける場合は、CHCR_0~CHCR_3またはDMAORの設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。
7. DMATCR_0~DMATCR_3のカウントが0となってDMA転送が正常終了したあと、同じチャンネルで最大転送回数を実行する場合でも、必ずDMATCR_0~DMATCR_3に0書き込みを実行してください。そうでないと正常に動作しない場合があります。
8. アドレスリロード機能を使用する場合、転送モードはバーストモードを指定してください。サイクルスチールモードでは正常に動作しない場合があります。
9. アドレスリロード機能を使用する場合、DMATCR_0~DMATCR_3の値は4の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。
10. 外部リクエストを立ち下がりエッジで検出する場合、DMACの設定を行うときには、外部リクエスト端子をハイレベルに保持しておいてください。
11. DMACで未使用である、H'400 0062~H'400 006Fの空間はアクセスしないでください。誤動作する場合があります。
12. 16バイト転送、デュアルアドレスモード、外部アドレス空間へのライト時、および16バイト転送、シングルアドレスモード、DACK付き外部デバイスから外部アドレス空間への転送時は、 $\overline{\text{WAIT}}$ 信号は、無視されます。
13. 次の または のときにDMACが動作していた場合に、命令フェッチで誤ったコードを取り込んでプログラムが暴走したり、DMA転送データを誤るなどの現象が発生します。

クロック比I : B = 1 : 1以外の条件でご使用中に、スリープモードから復帰するとき
周波数制御レジスタ (FRQCR) のIFC [2 : 0] ビットを変更するとき
ただし、変更後のクロック比がI : B = 1 : 1の場合は問題ありません。
また、IFC [2 : 0] と同時にSTC [2 : 0] ビットを変更する場合は、問題ありません。

9. ダイレクトメモリアクセスコントローラ (DMAC)

この回避方法として下記のいずれかでご使用ください。

- (1) スリープモード中に DMAC を使用しないでください。あるいは、スリープモードを使用する場合は、クロック比を I : B = 1 : 1 に設定してください。
- (2) IFC [2 : 0] ビットのみを変更して I : B = 1 : 1 以外のクロック比にする場合、DMAC を使用しないでください。

9. ダイレクトメモリアクセスコントローラ (DMAC)

10. クロック発振器 (CPG)

CPG は、プロセッサ内部に供給するクロックの生成と低消費電力モードの制御を行います。CPG のブロック図を図 10.1 に示します。

10.1 特長

CPG は、次のような特長を持っています。

- 4種類のクロックモード

入力クロックのソースおよび使用する周波数範囲によって、4種類のクロックモードから選択できます。

- 3種類のクロック

CPU、キャッシュ、TLBで使用するCPUクロック (I)と、周辺モジュールで使用する周辺クロック (P)、さらに外部バスインタフェースで使用するバスクロック (CKIO) を独立に生成できます。

- 周波数変更機能

CPG内部のPLL (Phase Locked Loop) 回路や分周回路により、CPUクロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、ソフトウェアスタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。

10. クロック発振器 (CPG)

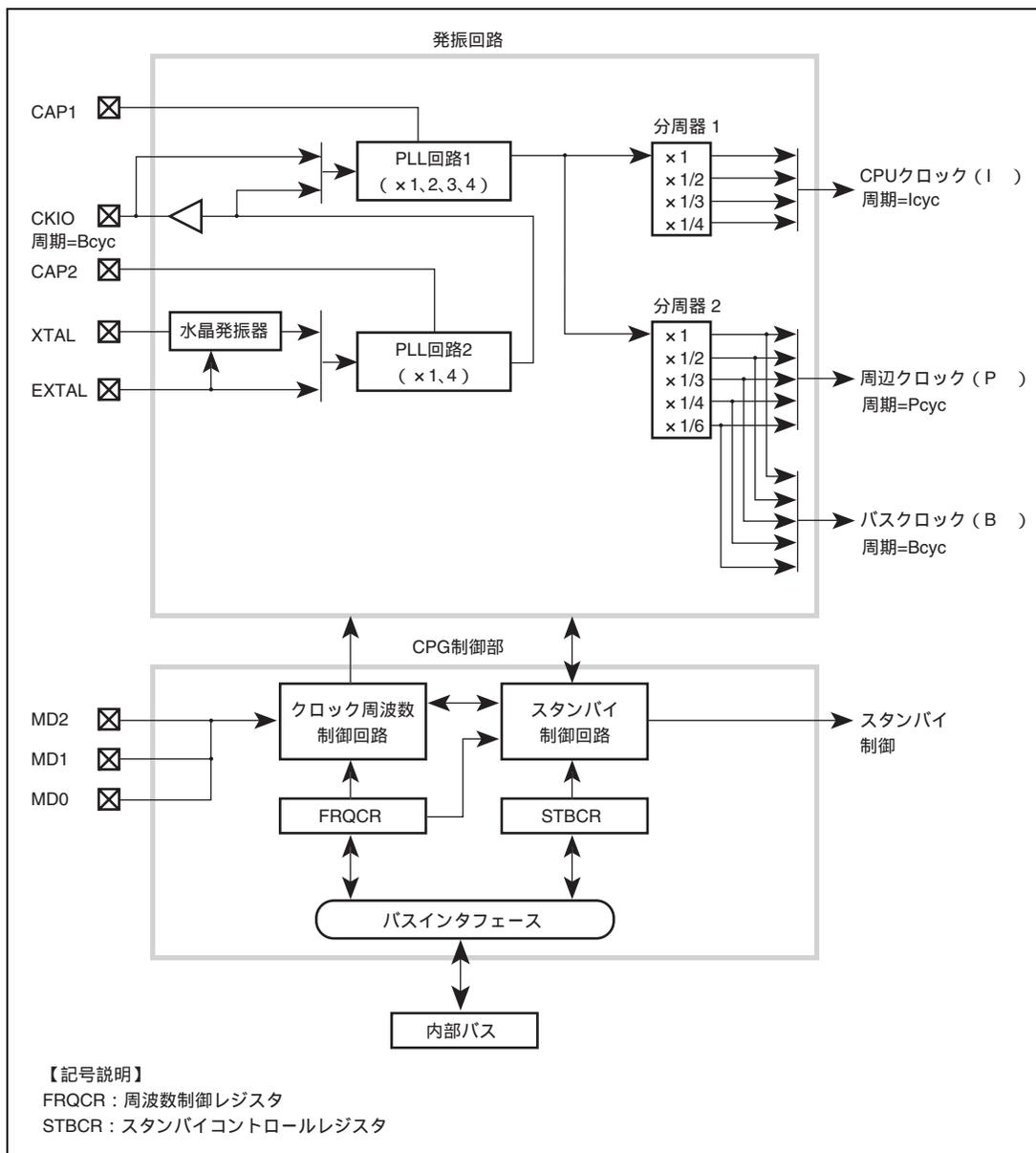


図 10.1 CPGのブロック図

【注】 CPG の各ブロックは次のように機能します。

1. PLL 回路 1
PLL 回路 1 は、CKIO 端子または PLL 回路 2 からのクロック周波数を 1 倍、2 倍、3 倍、4 倍に通倍する機能を持ちます。通倍率は 周波数制御レジスタで設定します。このとき、LSI 内部クロック (I、B、P) の立ち上がりエッジの位相は CKIO 端子の立ち上がりエッジの位相に一致するように制御されます。
2. PLL 回路 2
PLL 回路 2 は、水晶発振器、または EXTAL 端子からの入力クロック周波数を 1 倍または 4 倍に通倍する機能を持ちます。通倍率はクロック動作モードにより固定されます。クロック動作モードは MD0、MD1、MD2 端子で設定します。クロック動作モードについては、表 10.3 を参照してください。
3. 水晶発振器
XTAL、EXTAL 端子に水晶発振器を接続して使用する場合は発振回路です。水晶発振器はクロック動作モードの設定により使用可能となります。
4. 分周器 1
分周器 1 は、CPU クロック (I) を生成する機能を持ちます。CPU クロック (I) の動作周波数は、PLL 回路 1 の出力周波数に対して、CKIO 端子のクロック周波数より低くならない範囲で、1 倍、1/2、1/3、1/4 の選択が可能です。分周率は、周波数制御レジスタで設定します。
5. 分周器 2
分周器 2 は、バスクロック (B) および周辺クロック (P) を生成する機能を持ちます。バスクロック (B) の動作周波数は、CKIO 端子のクロック周波数と同じになります。周辺クロック (P) の動作周波数は、PLL 回路 1 の出力周波数に対して、CKIO 端子のクロック周波数より高くならない範囲で、1 倍、1/2、1/3、1/4、1/6 の選択が可能です。分周率は、周波数制御レジスタで設定します。
6. クロック周波数制御回路
クロック周波数制御回路は、MD2 ~ MD0 端子、周波数制御レジスタによりクロック周波数を制御します。
7. スタンバイ制御回路
スタンバイ制御回路は、クロック切り換え時やスリープ / スタンバイモード時の内蔵発振回路および他のモジュールの状態を制御します。
8. 周波数制御レジスタ
周波数制御レジスタには、PLL 回路 1 の周波数通倍率、CPU クロック、周辺クロックの周波数分周率の各制御ビットが割り当てられています。
9. スタンバイコントロールレジスタ
スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては「第 22 章 低消費電力モード」を参照してください。

10. クロック発振器 (CPG)

10.2 入出力端子

CPGの端子構成と機能を表 10.1 に示します。

表 10.1 発振回路の端子構成と機能

名称	略称	入出力	機能
モード制御端子	MD0	入力	クロック動作モードを設定します
	MD1	入力	クロック動作モードを設定します
	MD2	入力	クロック動作モードを設定します
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します
	EXTAL	入力	水晶発振子を接続、または外部クロック入力端子として使用します
クロック入出力端子	CKIO	入出力	外部クロック入力、または外部クロック出力端子として使用します
PLL 用容量接続端子	CAP1	入力	PLL 回路 1 動作用の容量 (推奨値 470pF) を接続します
	CAP2	入力	PLL 回路 2 動作用の容量 (推奨値 470pF) を接続します

10.3 クロック動作モード

モード制御端子 (MD2 ~ MD0) の組み合わせとクロック動作モードの関係を表 10.2 に示します。

クロック動作モードの使用可能周波数範囲と入力クロック (水晶発振子) の周波数範囲を表 10.3 に示します。

表 10.3 以外の設定を使用した場合、動作は保証されません。

表 10.2 クロック動作モード

モード	端子組み合わせ			クロック入出力		PLL 回路 2 ON/OFF	PLL 回路 1 ON/OFF	分周器 1 の出力	分周器 2 の出力	CKIO の 周波数
	MD2	MD1	MD0	供給源	出力					
0	0	0	0	EXTAL	CKIO	ON 逡倍率 : 1	ON	PLL 回路 1 の出力	PLL 回路 1	(EXTAL)
1	0	0	1	EXTAL	CKIO	ON 逡倍率 : 4	ON	PLL 回路 1 の出力	PLL 回路 1	(EXTAL) × 4
2	0	1	0	水晶 発振子	CKIO	ON 逡倍率 : 4	ON	PLL 回路 1 の出力	PLL 回路 1	(水晶) × 4
7	1	1	1	CKIO		OFF	ON	PLL 回路 1 の出力	PLL 回路 1	(CKIO)
	上記以外			予約 (設定不可)						

(1) モード 0 :

EXTAL 端子から外部クロックを入力し、PLL 回路 2 で波形成形して本 LSI に供給します。EXTAL 入力クロックと CKIO 出力クロックの周波数比は 1:1 になります。入力クロック周波数は 25MHz から 66.67MHz まで使用でき、CKIO の周波数レンジとしては 25MHz から 66.67MHz となります。

(2) モード 1 :

EXTAL 端子から外部クロックを入力し、PLL 回路 2 で周波数を 4 倍に逡倍して本 LSI 内部に供給するので、外部で生成するクロック周波数が低くて済みます。EXTAL 入力クロックと CKIO 出力クロックの周波数比は 1:4

になります。入力クロック周波数は 6.25MHz から 16.67MHz まで使用でき、CKIO の周波数レンジとしては 25MHz から 66.67MHz になります。

(3) モード 2 :

内蔵水晶発振器を動作させ、発振周波数を PLL 回路 2 で 4 倍に逡倍して本 LSI 内部に供給するので、使用する水晶の周波数が低くて済みます。水晶の発振周波数と CKIO 出力クロックの周波数比は 1:4 になります。水晶は発振周波数が 6.25MHz から 16.67MHz のものを使用でき、CKIO の周波数レンジとしては 25MHz から 66.67MHz になります。

(4) モード 7 :

このモードでは CKIO 端子が入力になり、この端子に外部クロックを入力して、PLL 回路 1 で波形形成および設定により周波数逡倍を行い、本 LSI に供給します。モード 0~2 ではシステムクロックは本 LSI の CKIO 端子の出力から生成されます。このためクロック同期で動作する LSI の数が多い場合、CKIO 端子の負荷が大きくなります。これに対して本モードでは、比較的規模の大きなシステムを想定しています。クロック周期で動作する LSI の数が多い場合、クロックスキューの小さい複数のクロック出力を有するクロックジェネレータを用意して各 LSI に分配することにより各 LSI が同期して動作することが可能です。

CKIO 端子の負荷の変動に対して PLL 回路 1 で補正しているため、シンクロナス DRAM を接続するのに適したモードです。

表 10.3 クロックモードと FRQCR 値の可能な組み合わせ

モード	FRQCR* ¹ レジスタ値	PLL 回路 1	PLL 回路 2	クロック比* ² (I:B:P)	入力クロック/水晶発振子 周波数範囲	CKIO 端子 周波数範囲
0	H'0100	ON (×1)	ON (×1)	1:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'0101	ON (×1)	ON (×1)	1:1:1/2	25MHz ~ 66.67MHz	25MHz ~ 66.67MHz
	H'0102	ON (×1)	ON (×1)	1:1:1/4	25MHz ~ 66.67MHz	25MHz ~ 66.67MHz
	H'0111	ON (×2)	ON (×1)	2:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'0112	ON (×2)	ON (×1)	2:1:1/2	25MHz ~ 66.67MHz	25MHz ~ 66.67MHz
	H'0115	ON (×2)	ON (×1)	1:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'0116	ON (×2)	ON (×1)	1:1:1/2	25MHz ~ 66.67MHz	25MHz ~ 66.67MHz
	H'0122	ON (×4)	ON (×1)	4:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'0126	ON (×4)	ON (×1)	2:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'012A	ON (×4)	ON (×1)	1:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'A100	ON (×3)	ON (×1)	3:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'A101	ON (×3)	ON (×1)	3:1:1/2	25MHz ~ 44.44MHz	25MHz ~ 44.44MHz
	H'E100	ON (×3)	ON (×1)	1:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'E101	ON (×3)	ON (×1)	1:1:1/2	25MHz ~ 44.44MHz	25MHz ~ 44.44MHz

10. クロック発振器 (CPG)

モード	FRQCR*1 レジスタ値	PLL回路1	PLL回路2	クロック比**2 (I:B:P)	入力クロック/水晶発振子 周波数範囲	CKIO 端子 周波数範囲
1、2	H'0100	ON (×1)	ON (×4)	4:4:4	6.25MHz ~ 8.34MHz	25MHz ~ 33.34MHz
	H'0101	ON (×1)	ON (×4)	4:4:2	6.25MHz ~ 16.67MHz	25MHz ~ 66.67MHz
	H'0102	ON (×1)	ON (×4)	4:4:1	6.25MHz ~ 16.67MHz	25MHz ~ 66.67MHz
	H'0111	ON (×2)	ON (×4)	8:4:4	6.25MHz ~ 8.34MHz	25MHz ~ 33.34MHz
	H'0112	ON (×2)	ON (×4)	8:4:2	6.25MHz ~ 16.67MHz	25MHz ~ 66.67MHz
	H'0115	ON (×2)	ON (×4)	4:4:4	6.25MHz ~ 8.34MHz	25MHz ~ 33.34MHz
	H'0116	ON (×2)	ON (×4)	4:4:2	6.25MHz ~ 16.67MHz	25MHz ~ 66.67MHz
	H'0122	ON (×4)	ON (×4)	16:4:4	6.25MHz ~ 8.34MHz	25MHz ~ 33.34MHz
	H'0126	ON (×4)	ON (×4)	8:4:4	6.25MHz ~ 8.34MHz	25MHz ~ 33.34MHz
	H'012A	ON (×4)	ON (×4)	4:4:4	6.25MHz ~ 8.34MHz	25MHz ~ 33.34MHz
	H'A100	ON (×3)	ON (×4)	12:4:4	6.25MHz ~ 8.34MHz	25MHz ~ 33.34MHz
	H'A101	ON (×3)	ON (×4)	12:4:2	6.25MHz ~ 11.11MHz	25MHz ~ 44.44MHz
	H'E100	ON (×3)	ON (×4)	4:4:4	6.25MHz ~ 8.34MHz	25MHz ~ 33.34MHz
	H'E101	ON (×3)	ON (×4)	4:4:2	6.25MHz ~ 11.11MHz	25MHz ~ 44.44MHz
7	H'0100	ON (×1)	OFF	1:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'0101	ON (×1)	OFF	1:1:1/2	25MHz ~ 66.67MHz	25MHz ~ 66.67MHz
	H'0102	ON (×1)	OFF	1:1:1/4	25MHz ~ 66.67MHz	25MHz ~ 66.67MHz
	H'0111	ON (×2)	OFF	2:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'0112	ON (×2)	OFF	2:1:1/2	25MHz ~ 66.67MHz	25MHz ~ 66.67MHz
	H'0115	ON (×2)	OFF	1:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'0116	ON (×2)	OFF	1:1:1/2	25MHz ~ 66.67MHz	25MHz ~ 66.67MHz
	H'0122	ON (×4)	OFF	4:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'0126	ON (×4)	OFF	2:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'012A	ON (×4)	OFF	1:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'A100	ON (×3)	OFF	3:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'A101	ON (×3)	OFF	3:1:1/2	25MHz ~ 44.44MHz	25MHz ~ 44.44MHz
	H'E100	ON (×3)	OFF	1:1:1	25MHz ~ 33.34MHz	25MHz ~ 33.34MHz
	H'E101	ON (×3)	OFF	1:1:1/2	25MHz ~ 44.44MHz	25MHz ~ 44.44MHz

【注】 *1 上記表以外はFRQCRレジスタに設定しないでください。

*2 入力クロックを1とする

最大周波数 : I = 133.34MHz、B (CKIO) = 66.67MHz、P = 33.34MHz

【注意事項】

- 分周器1の入力は、PLL回路1がONのときには、PLL回路1の出力になります。
- 分周器2の入力は、PLL回路1の出力になります。

3. CPUクロックの周波数 (I) は、CKIO端子の周波数にPLL回路1の周波数通倍率と分周器1の分周率を掛けた周波数になります。CPUクロック周波数はCKIO端子の周波数より低く設定しないでください。
4. 周辺クロックの周波数 (P) は、CKIO端子の周波数にPLL回路1の周波数通倍率と分周器2の分周率を掛けた周波数になります。
周辺クロック (P) は、周波数33MHz以下、CKIO端子の周波数以下、に設定してください。
5. PLL回路1の出力周波数は、CKIO端子の周波数にPLL回路1の通倍率を掛けた周波数になります。
6. PLL回路1の通倍率には、×1、2、3、4が選択できます。分周器1、2の分周率には、×1、1/2、1/3、1/4が選択できます。これらは、それぞれ周波数制御レジスタで設定します。
PLL回路2のON/OFFと通倍率は、モードによって決まります。

10.4 レジスタの説明

CPGには以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第23章 制御レジスタ一覧」を参照してください。

- 周波数制御レジスタ (FRQCR)

10.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、PLL 回路 1 の周波数通倍率、CPU クロック、周辺クロックの周波数分周率の指定ができます。FRQCR レジスタは、リード/ライト可能な 16 ビットのレジスタで、ワードアクセスのみ可能です。

FRQCR レジスタは、 $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時のみ H'0102 に初期化されます。マニュアルリセット、スタンバイモード時は前の値を保持しています。

ビット	ビット名	初期値	R/W	説 明
15	STC2	0	R/W	周波数通倍率
5	STC1	0	R/W	STC は、PLL 回路 1 の周波数通倍率を指定します。
4	STC0	0	R/W	000 : ×1 001 : ×2 100 : ×3 010 : ×4 上記以外 : 予約 (設定不可) 【注】PLL 回路 1 の出力周波数を 133MHz より高く設定しないでください。

10. クロック発振器 (CPG)

ビット	ビット名	初期値	R/W	説 明
14 3 2	IFC2 IFC1 IFC0	0 0 0	R/W R/W R/W	<p>CPU クロック周波数の分周率</p> <p>IFC は、PLL 回路 1 の出力周波数に対する CPU クロック周波数の分周率 (分周器 1) を指定します。</p> <p>000 : × 1 001 : × 1/2 100 : × 1/3 010 : × 1/4</p> <p>上記以外 : 予約 (設定不可)</p> <p>【注】CPU クロック周波数は CKIO 端子の周波数より低く設定しないでください。</p>
13 1 0	PFC2 PFC1 PFC0	0 1 0	R/W R/W R/W	<p>周辺クロック周波数の分周率</p> <p>PFC は、PLL 回路 1 の出力周波数または CKIO 端子の周波数に対する周辺クロック周波数の分周率 (分周器 2) を指定します。</p> <p>000 : × 1 001 : × 1/2 100 : × 1/3 010 : × 1/4 101 : × 1/6</p> <p>上記以外 : 予約 (設定不可)</p> <p>【注】周辺クロック周波数は CKIO 端子の周波数より高く設定しないでください。</p>
12~9、 7、6		すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。</p>
8		1	R	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライト時は常に 1 にしてください。</p>

【注】ビットの位置が連続していないものがありますので注意してください。

10.5 動作説明

CPU クロックおよび周辺クロックの周波数を変更するには、PLL 回路 1 の通倍率を変える方法と、分周器 1、2 の分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

10.5.1 通倍率の変更

PLL 回路 1 の通倍率を変更する場合、PLL 安定時間が必要になります。内蔵ウォッチドッグタイマ (WDT) により安定時間のカウントを行います。WDT については「第 11 章 ウォッチドッグタイマ (WDT)」を参照してください。

1. 初期状態では、PLL回路1の通倍率は1になっています。
2. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止させます。次の設定が必要です。
 WTCSRのTMEビット = 0 : WDTの停止
 WTCSRのCKS2 ~ CKS0ビット : WDTカウントクロックの分周率
 WTCNT : カウンタの初期値
3. STC2 ~ 0を目的とする値に設定します。同時にIFC2 ~ IFC0、PFC2 ~ PFC0ビットに分周率を設定することも可能です。
4. プロセッサ内部は一時的に停止し、WDTのカウントアップを開始します。
 このとき、CPUクロック (I) と周辺クロック (P) が停止します。
 ただし、WDTに供給される周辺クロックは停止しません。
 クロックモード0、1、2の場合CKIO端子にはクロックが出力され続けます。
5. WDTのカウントオーバーフローによって、FRQCRレジスタに設定されたクロックが供給され始め、プロセッサは動作を再開します。WDTはオーバーフロー後、停止します。

10.5.2 分周率の変更

同時に通倍率の変更を行わない場合、WDT によるカウントは行いません。

1. 初期状態では、IFC2 ~ IFC0 = 000、PFC2 ~ PFC0 = 010になっています。
2. IFC2 ~ IFC0、PFC2 ~ PFC0ビットを目的とする値に設定します。クロックモードやPLL回路1の通倍率との関係で設定可能な値は限られます。誤った値を設定するとプロセッサは誤動作するので注意してください。
3. 直ちに設定されたクロックに切り替わります。

10.6 使用上の注意事項

(1) 外部水晶振動子使用時の注意

水晶振動子と容量 CL1、CL2 はできるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、振動子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

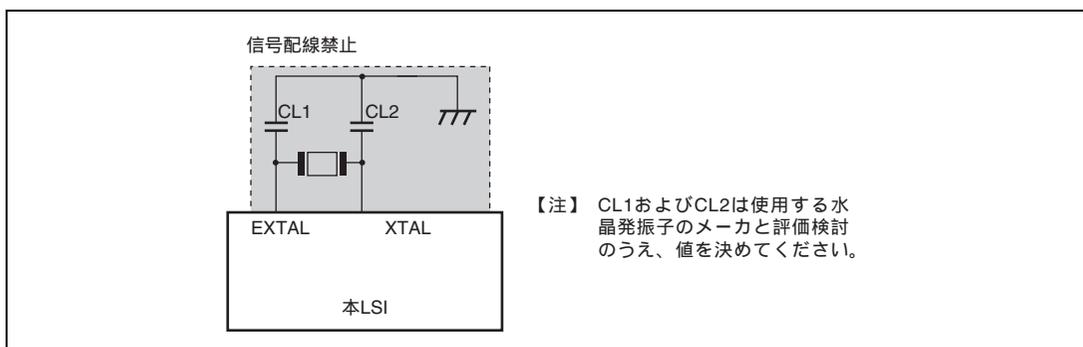


図 10.2 水晶発振子使用時の注意

(2) バイパスコンデンサについての注意

できるだけ V_{SS} と V_{CC} のペアごとに $0.1 \sim 1$ (μF) の積層セラミックコンデンサをパスコンとして入れてください。

パスコンはできるだけ LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

デジタル系の V_{SS} と V_{CC} ペア

11-13、19-21、25-27、37-39、49-51、61-63、84-86、93-95、115-117、137-139、
148-150、156-158

内蔵発振器系の V_{SS} と V_{CC} ペア

1-4、123-125、126-128

(3) PLL 発振回路使用時の注意

PLL 用 V_{CC} と V_{SS} の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分をできるだけ減らしてください。

発振安定用の容量 C1、C2 の接地は、それぞれ $V_{SS-PLL1}$ と $V_{SS-PLL2}$ に接地してください。

また、できるだけ CAP1、CAP2 端子の近くに置き、その近辺に配線パターンを配置しないでください。クロックモード 7 のときは、EXTAL 端子を V_{CCQ} または V_{SSQ} に接続し、XTAL 端子は開放にしてください。

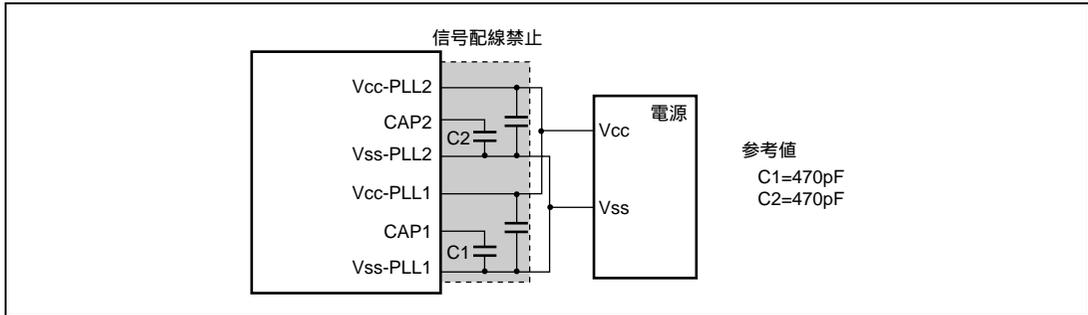


図 10.3 PLL 発振回路使用時の注意

(4) 電源端子配線時の注意

Vcc-PLL1、Vcc-PLL2 と Vss-PLL1、Vss-PLL2 は、互いの電源系の干渉を避けるため、他のデジタル系の Vcc、Vss とはボードの電源供給元から 3 系統の独立したパターンで配線してください。

10. クロック発振器 (CPG)

11. ウォッチドッグタイマ (WDT)

WDT は 1 チャンネルのタイマであり、ソフトウェアスタンバイモードや、周波数変更時の一時的なスタンバイ状態の解除の際に、クロック安定時間のカウンタ用に使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

WDT のブロック図を図 11.1 に示します。

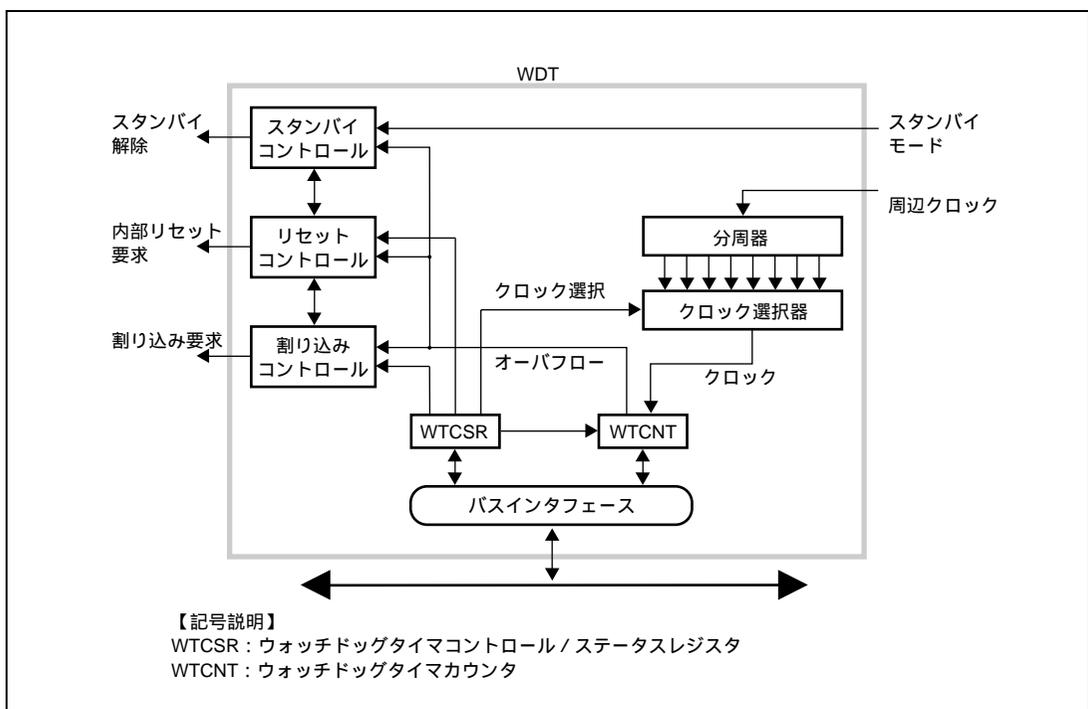


図 11.1 WDT のブロック図

11.1 特長

WDT には、次の特長があります。

- クロック安定時間の確保に使用可能
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、内部リセットを発生
カウンタオーバーフローにより、内部をリセットします。

11. ウォッチドッグタイマ (WDT)

リセットの種類として、パワーオンリセットとマニュアルリセットを選択できます。

- インターバルタイマモード時、割り込みを発生
カウンタオーバフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($\times 1 \sim \times 1/4096$) から選択できます。

11.2 レジスタの説明

WDT には、2本のレジスタがあります。これらのレジスタにより、クロックの選択、タイマのモードの切り替えなどを行います。これらのレジスタのアドレスおよびアクセスサイズについては「第23章 制御レジスタ一覧」を参照してください。

- ウォッチドッグタイマカウンタ (WTCNT)
- ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

11.2.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときリセットが発生し、インターバルタイマモードのとき割り込みが発生します。WTCNT はリード/ライト可能な 8 ビットのレジスタです。WTCNT は $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時のみ、H'00 に初期化されます。

WTCNT への書き込みは上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

ビット	ビット名	初期値	R/W	説 明
7~0		すべて 0	R/W	8 ビットのカウンタ

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは「11.2.3 レジスタアクセス時の注意」を参照してください。

11.2.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、カウントに使用するクロックやタイマのモードの選択を行うビット、およびオーバフローフラグからなります。

WTCSR は、リード/ライト可能な 8 ビットのレジスタです。WTCSR は $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時のみ、H'00 に初期化されます。WDT オーバフローによる内部リセット時には値は保持されます。ソフトウェアスタンバイ解除時のクロック安定時間のカウントに使用するとき、カウンタオーバフロー後、値は保持されます。

WTCSR への書き込みは上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

11. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
7	TME	0	R/W	<p>タイマイネーブル</p> <p>タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。</p> <p>0：タイマディスエーブル：カウントアップを停止、WTCNT の値は保持する 1：タイマイネーブル</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。</p> <p>0：インターバルタイマモード 1：ウォッチドッグタイマモード</p> <p>【注】 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われない場合があります。</p>
5	RSTS	0	R/W	<p>リセットセレクト</p> <p>ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。</p> <p>0：パワーオンリセット 1：マニュアルリセット</p>
4	WOVF	0	R/W	<p>ウォッチドッグタイマオーバーフロー</p> <p>ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードではセットされません。</p> <p>0：オーバーフローなし 1：ウォッチドッグタイマモードで WTCNT がオーバーフローした</p>
3	IOVF	0	R/W	<p>インターバルタイマオーバーフロー</p> <p>インターバルタイマモードで WTCNT がオーバーフローしたことを示します。ウォッチドッグタイマモードではセットされません。</p> <p>0：オーバーフローなし 1：インターバルタイマモードで WTCNT がオーバーフローした</p>

11. ウォッチドッグタイム (WDT)

ビット	ビット名	初期値	R/W	説明
2	CKS2	0	R/W	クロックセレクト
1	CKS1	0	R/W	周辺クロック (P) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。表中のオーバフロー周期は、周辺クロック P = 15MHz の場合の値です。 クロック分周比 オーバフロー周期 (Pφ = 15MHz のとき) 000 : 1 17μs 001 : 1/4 68 μs 010 : 1/16 273 μs 011 : 1/32 546 μs 100 : 1/64 1.09ms 101 : 1/256 4.36 ms 110 : 1/1024 17.48 ms 111 : 1/4096 69.9 ms 【注】 WDT の動作中に CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換える場合は必ず WDT を停止させてから書き換えてください。
0	CKS0	0	R/W	

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは「11.2.3 レジスタアクセス時の注意」を参照してください。

11.2.3 レジスタアクセス時の注意

WTCNT、WTCSR は、容易に書き換えられないように書き込み方法が一般のレジスタと異なっています。次の方法で書き込みを行ってください。

- WTCNT、WTCSRへの書き込み

WTCNT、WTCSRへ書き込むときは必ずワード転送命令を使用してください。バイト転送、ロングワード転送命令では書き込めません。

図11.2に示すように、WTCNTへ書き込むときは上位バイトをH'5Aにし、下位バイトを書き込みデータにして転送してください。WTCSRへ書き込むときは上位バイトをH'A5にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータがWTCNTまたはWTCSRへ書き込まれます。

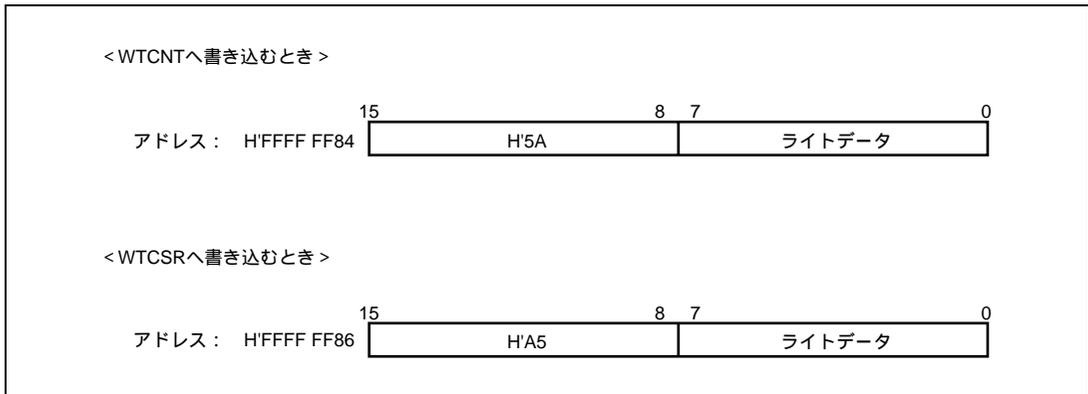


図 11.2 WTCNT、WTCSR への書き込み

11.3 動作説明

11.3.1 ソフトウェアスタンバイ解除の手順

WDT は、ソフトウェアスタンバイモードを NMI 割り込み、またはその他の割り込みで解除する場合に使用されます。この手順を以下に示します（リセットで解除する場合 WDT は動作しませんので、クロックが安定するまで $\overline{\text{RESETP}}$ 端子または $\overline{\text{RESETM}}$ 端子をローレベルに保ってください）。

1. ソフトウェアスタンバイモードへの遷移前に、必ず WTCSR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR の CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT にカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. SLEEP 命令実行によりソフトウェアスタンバイモードに遷移しクロックは停止します。
4. NMI 信号変化のエッジ検出、または割り込み検出により WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始しプロセッサが動作を再開します。このとき WTCSR の WOVF フラグはセットされません。
6. WDT は H'00 からカウントを継続するので、割り込み処理プログラムの中で STBCR レジスタの STBY ビットを 0 にしてください。これにより WDT が停止します。STBY ビットが 1 のままだと、WDT が H'80 までカウントした時点で再びスタンバイモードに入ります。このスタンバイモードはパワ - オンリセットで解除してください。

11. ウォッチドッグタイマ (WDT)

11.3.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り替えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ず WTCSR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR の CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT にカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. 周波数制御レジスタ (FRQCR) を書き換えると、プロセッサ内部は一時的に停止し、WDT はカウントを開始します。
4. WDT はカウントオーバーフローすると、CPG がクロック供給を再開しプロセッサが動作を再開します。このとき WTCSR の WOVF フラグはセットされません。
5. カウンタは H'00 ~ H'01 の値で停止します。停止時の値はクロック比によって変わります。
6. 周波数変更のあと、WTCNT を書き換える場合には、WTCNT を読み出して H'00 になっていることを確認してから書き換えてください。

11.3.3 ウォッチドッグタイマモードの使用法

1. WTCSR の WT/IT ビットに 1 を設定し、RSTS ビットにリセットのタイプ、CKS2 ~ CKS0 にカウントクロックの種類、WTCNT にカウンタの初期値を設定します。
2. WTCSR の TME ビットに 1 をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタを H'00 に書き換えてください。
4. カウンタがオーバーフローすると、WDT は WTCSR の WOVF フラグを 1 にセットし、RSTS ビットで指定されたタイプのリセットを発生します。このあとカウンタはカウントを続行します。
リセット発生時、STATUS0、1 端子にハイレベルが出力されます。出力期間は、パワーオンリセットの場合、カウントクロックの約 1 周期分、マニュアルリセットの場合、周辺クロックの約 5 周期分となります。

11.3.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのWT/ITビットに0をセットし、CKS2 ~ CKS0ビットにカウントクロックの種類、WTCNTにカウンタの初期値を設定します。
2. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRのIOVFフラグに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

11. ウォッチドッグタイマ (WDT)

12. タイマユニット (TMU)

本 LSI は、3 チャンネル (チャンネル 0~2) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU) を内蔵しています。TMU のブロック図を図 12.1 に示します。

12.1 特長

TMU には、次のような特長があります。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャンネル2は、インプットキャプチャ機能を搭載
- 各チャンネルとも、任意の時点で書き込み / 読み出し可能な、オートリロード用の32ビットコンスタントレジスタおよび32ビットダウンカウンタを搭載
- 各チャンネルとも、32ビットダウンカウンタのアンダフローの発生で割り込み要求を発生 (H'0000 0000 H'FFFF FFFF)
- 各チャンネルとも、6種類のカウント入力クロックを選択可能
外部クロック (TCLK)、内蔵RTCの出力クロック (16KHz)、P /4、P /16、P /64、P /256

【注】 P は、周辺モジュール用のクロックです。詳細は、「第 10 章 クロック発振器 (CPG)」を参照してください。

- 各チャンネルとも、本LSIがソフトウェアスタンバイモード時でも動作可能
カウンタ入力クロックにRTCの出力クロックを選択した場合、本LSIがソフトウェアスタンバイモード時でもカウント動作可能
- 同期読み出し動作
TCNTは逐次変化している32ビットレジスタであり、周辺モジュール用内部バスは16ビット幅のため、上位側16ビットと下位側16ビットを読み出すのに時間的な差が発生します。この時間差によるカウンタ読み出し値のずれを補正するために、TCNTに同期化回路が内蔵されており、同一時刻のTCNTの32ビットデータを読み出し可能
- 各チャンネルとも、32ビットカウンタの最高動作周波数は2MHz
外部クロックおよび周辺クロック (P) をプリスケラで分周して、各チャンネルのタイマカウンタに入力されるクロックが最高動作周波数を超えないようにしてください。

12. タイムユニット (TMU)

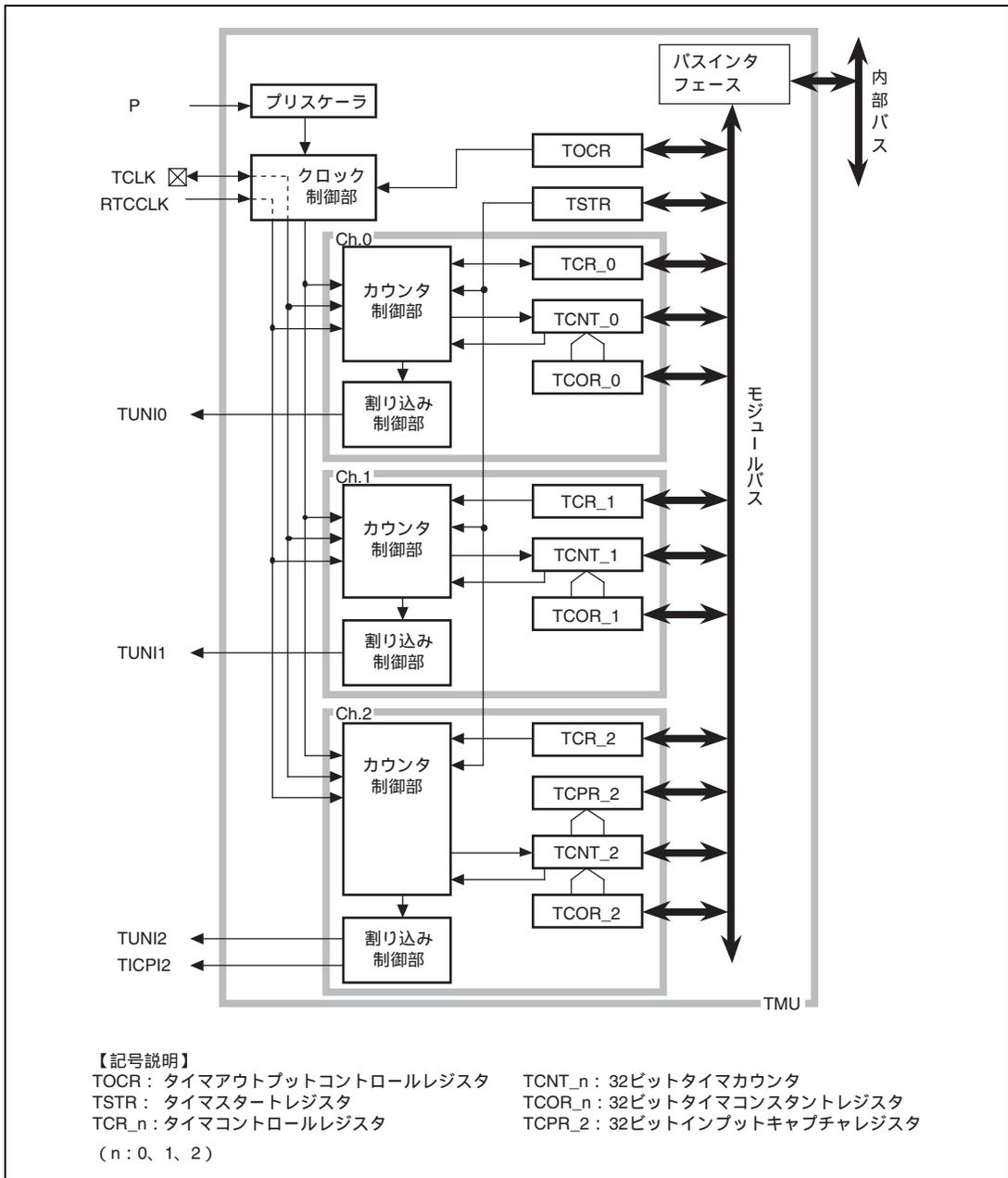


図 12.1 TMU のブロック図

12.2 入出力端子

TMU の端子構成を表 12.1 に示します。

表 12.1 端子構成

名称	略称	入出力	機能
クロック入力 / クロック出力	TCLK	入出力	外部クロック入力端子 / インプットキャプチャ制御入力端子 リアルタイムクロック (RTC) 出力端子

12.3 レジスタの説明

TMU には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照ください。

- タイマアウトプットコントロールレジスタ (TOCR)
- タイマスタートレジスタ (TSTR)
- タイマコンスタントレジスタ_0 (TCOR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマコントロールレジスタ_0 (TCR_0)
- タイマコンスタントレジスタ_1 (TCOR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマコンスタントレジスタ_2 (TCOR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマコントロールレジスタ_2 (TCR_2)
- インプットキャプチャレジスタ_2 (TCPR_2)

12. タイムユニット (TMU)

12.3.1 タイマアウトプットコントロールレジスタ (TOCR)

TOCR は、外部端子の TCLK を外部クロックもしくはインプットキャプチャ制御用の入力端子とするか、内蔵 RTC の出力クロック用の出力端子とするかを選択します。

TOCR は、リード/ライト可能な 8 ビットのレジスタです。パワーオンリセットおよびマニュアルリセット時は H'00 に初期化されますが、スタンバイモード時は、初期化されずに内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7~1		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
0	TCOE	0	R/W	タイマクロック端子制御 タイマクロック端子 (TCLK) を内蔵 RTC の出力クロックの出力端子とするか、内蔵タイマ用の外部クロック出力端子もしくはインプットキャプチャ制御用の入力端子とするかを選択します。なお、TCLK 端子は、PTE6 端子とマルチプレクスされていますので TCLK 端子として使用する場合は、PECR レジスタの PE6MD1、0 ビットを 00 (その他の機能) に設定してください。 0: タイマクロック端子 (TCLK) を内蔵タイマ用の外部クロック入力もしくはインプットキャプチャ制御用の入力端子とする 1: タイマクロック端子 (TCLK) を内蔵 RTC の出力クロックの出力端子とする

12.3.2 タイマスタートレジスタ (TSTR)

TSTR は、チャンネル 0~2 のタイマカウンタ (TCNT_0~TCNT_2) を動作させるか、停止させるかを選択します。TSTR レジスタは、リード/ライト可能な 8 ビットのレジスタです。パワーオンリセットおよびマニュアルリセット時は H'00 に初期化されます。スタンバイモード時には、当該チャンネルの入力クロックが内蔵 RTC クロック (RTCCLK) の場合は初期化されません。また、スタンバイモード時に、各チャンネルで選択している入力クロックが外部クロック (TCLK) もしくは周辺クロック (P) の場合のみ、PLL1 の逡倍率を変更したとき、および STBCR の MSTP2 ビットを 1 に設定したときには、初期化されます。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 タイマカウンタ_2 (TCNT_2) を動作させるか、停止させるかを選択します。 0 : TCNT_2 のカウンタ動作は停止 1 : TCNT_2 はカウンタ動作
1	STR1	0	R/W	カウンタスタート 1 タイマカウンタ_1 (TCNT_1) を動作させるか、停止させるかを選択します。 0 : TCNT_1 のカウンタ動作は停止 1 : TCNT_1 はカウンタ動作
0	STR0	0	R/W	カウンタスタート 0 タイマカウンタ_0 (TCNT_0) を動作させるか、停止させるかを選択します。 0 : TCNT_0 のカウンタ動作は停止 1 : TCNT_0 はカウンタ動作

12. タイマユニット (TMU)

12.3.3 タイマコントロールレジスタ_0~2 (TCR_0~TCR_2)

TCR_0~TCR_2はTCNT_0~TCNT_2の制御および割り込みの制御を行うレジスタです。TMUには、各チャンネルに1本ずつ、計3本のレジスタがあります。

TCR_0~TCR_2は、タイマカウンタのアンダフロー発生を示すフラグが1にセットされたときの割り込み発生を制御し、カウンタクロックを選択し、外部クロック選択時のエッジを選択します。TCR_2レジスタは、チャンネル2のインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生を制御します。

TCR_0~TCR_2は、リード/ライト可能な16ビットレジスタです。パワーオンリセットおよびマニュアルリセット時はH'0000に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

• チャンネル0および1の場合

ビット	ビット名	初期値	R/W	説明
15~9		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
8	UNF	0	R/W	アンダフローフラグ TCNT_0、TCNT_1のアンダフローを示すフラグです。 0: アンダフローを起こしていないことを示します。 [クリア条件] UNFに0をライトしたとき 1: アンダフローを起こしたことを示します。 [クリア条件] TCNT_0、TCNT_1がアンダフローを起こしたとき* 【注】* 1をライトすると、もとの値が保持されます。
7、6		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNT_0、TCNT_1のアンダフローの発生を示すステータスフラグUNFが1にセットされたときに割り込み発生を許可するかどうかを制御します。 0: UNFによる割り込み(TUNI)を許可しません。 1: UNFによる割り込み(TUNI)を許可します。
4	CKEG1	0	R/W	クロックエッジ 外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。 00: 立ち上がりエッジでカウント/キャプチャレジスタセット 01: 立ち下がりエッジでカウント/キャプチャレジスタセット 1X*: 立ち上がり/立ち下がり両エッジでカウント/キャプチャレジスタセット 【注】 * 0または1、Don't careを表します
3	CKGE0	0	R/W	

12. タイマユニット (TMU)

ビット	ビット名	初期値	R/W	説明
2	TPSC2	0	R/W	タイマプリスケーラ
1	TPSC1	0	R/W	TCNT_0、TCNT_1 のカウントクロックを選択します。
0	TPSC0	0	R/W	000 : P /4 でカウント 001 : P /16 でカウント 010 : P /64 でカウント 011 : P /256 でカウント 100 : 内蔵 RTC のクロック出力 (RTC CLK) でカウント 101 : TCLK 端子入力でカウント 110 : 予約 (設定不可) 111 : 予約 (設定不可)

• チャンネル2の場合

ビット	ビット名	初期値	R/W	説明
15~10		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
9	ICPF	0	R/W	インプットキャプチャ割り込みフラグ チャンネル2のみの機能で、TCLK 端子によりインプットキャプチャ発生したときに、フラグがセットされます。 0 : インプットキャプチャ要求が発生していないことを示します。 [クリア条件] ICPF に0をライトしたとき 1 : TCLK 端子によりインプットキャプチャ要求が発生したことを示します。 [クリア条件] TCLK 端子によりインプットキャプチャが発生したとき* 【注】* 1をライトすると、もとの値が保持されます。
8	UNF	0	R/W	アンダフローフラグ TCNT_2 のアンダフローを示すフラグです。 0 : アンダフローを起こしていないことを示します。 [クリア条件] UNF に0を書き込んだとき 1 : アンダフローを起こしたことを示します。 [クリア条件] TCNT_2 がアンダフローを起こしたとき* 【注】* 1をライトすると、もとの値が保持されます。

12. タイムユニット (TMU)

ビット	ビット名	初期値	R/W	説明
7 6	ICPE1 ICPE0	0 0	R/W R/W	<p>インプットキャプチャ制御</p> <p>チャンネル2のみの機能で、インプットキャプチャ機能の使用の許可および使用時の割り込み発生を許可するかどうかを制御します。</p> <p>このインプットキャプチャ機能を使う場合は、TOCR レジスタの TCOE ビットにより、TCLK 端子を入力モードに設定する必要があります。また、TCLK 端子の立ち上がりエッジ / 立ち下がりエッジのいずれを使って TCPR_2 に TCNT_2 カウンタの値をセットするかは、CKEG ビットで設定します。</p> <p>00 : インプットキャプチャ機能を使用しないことを示します。 01 : 予約 (設定不可) 10 : インプットキャプチャ機能を使用することを示します。 ICPF による割り込み (TICPI2) を許可しません。 11 : インプットキャプチャ機能を使用することを示します。 ICPF による割り込み (TICPI2) を許可します。</p>
5	UNIE	0	R/W	<p>アンダフロー割り込み制御</p> <p>TCNT_2のアンダフローの発生を示すステータスフラグUNFが1にセットされたときに割り込み発生を許可するかどうかを制御します。</p> <p>0 : UNF による割り込み (TUNI) を許可しません。 1 : UNF による割り込み (TUNI) を許可します。</p>
4 3	CKEG1 CKEG0	0 0	R/W R/W	<p>クロックエッジ</p> <p>外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。</p> <p>00 : 立ち上がりエッジでカウント / キャプチャレジスタセット 01 : 立ち下がりエッジでカウント / キャプチャレジスタセット 1X : 立ち上がり / 立ち下がりの両エッジでカウント / キャプチャレジスタセット</p> <p>【注】 X : Don't care</p>
2 1 0	TPSC2 TPSC1 TPSC0	0 0 0	R/W R/W R/W	<p>タイムプリスケアラ</p> <p>TCNT_2のカウントクロックを選択します。</p> <p>000 : P /4 でカウント 001 : P /16 でカウント 010 : P /64 でカウント 011 : P /256 でカウント 100 : 内蔵 RTC のクロック出力 (RTC CLK) でカウント 101 : TCLK 端子入力でカウント 110 : 予約 (設定不可) 111 : 予約 (設定不可)</p>

12.3.4 タイマコンスタントレジスタ_0~2 (TCOR_0~TCOR_2)

TCOR_0~TCOR_2 は、TCNT_0~TCNT_2 にアンダフローが発生したとき、TCNT_0~TCNT_2 にセットする値を指定します。各チャンネルに1本ずつ、TMUに計3本あります。

TCOR_0~TCOR_2 は、リード/ライト可能な32ビットレジスタです。パワーオンリセットおよびマニュアルリセット時は H'FFFF FFFF に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

12.3.5 タイマカウンタ_0~2 (TCNT_0~TCNT_2)

TCNT_0~TCNT_2 は、入力したクロックにより、カウントダウン動作を行います。各チャンネルに1本ずつ、TMUに計3本あります。入力するクロックは、タイマコントロールレジスタの TPSC2~TPSC0 ビットにより選択します。

カウントダウン動作の結果、アンダフロー (H'0000 0000 H'FFFF FFFF) が発生すると、対応するチャンネルのタイマコントロールレジスタのアンダフローフラグ (UNF) がセットされます。また、同時にカウンタ自体には、タイマコンスタントレジスタの値がセットされ、セットされた値からカウントダウン動作を続けます。

TCNT_0~TCNT_2 は、リード/ライト可能な32ビットレジスタです。本 LSI の内蔵周辺モジュール用の内部バスは16ビット幅であるため、カウンタの読み出しを行おうとすると、レジスタの上位側と下位側のデータの読み出しに時間的な差が発生します。カウンタは、逐次カウント動作を行っているため、この時間的な差により読み出したレジスタの上位側と下位側のデータがずれる可能性があります。本 LSI では、この問題を避けるために、レジスタの上位側と下位側のデータを別々にリードすることはせず、バッファレジスタを設けておいて、カウンタに対する読み出しを一括処理します。この処理により、32ビットカウンタが同一時刻で読み出せるようになります。

パワーオンリセットおよびマニュアルリセット時は H'FFFF FFFF に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

12.3.6 インプットキャプチャレジスタ_2 (TCPR_2)

TCPR_2 は、タイマ2のみに内蔵されているインプットキャプチャ機能用のレジスタです。TCR_2のインプットキャプチャ制御 (ICPE1、ICPE0 および CKEG1、CKEG0 ビット) によって、TCLK 端子による TCPR_2 レジスタのセット条件を制御します。TCLK 端子による TCPR_2 レジスタのセット指示が発生すると、TCNT_2 カウンタの値が TCPR_2 にコピーされます。

TCPR_2 は、リードのみ可能な32ビットレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されません。

12.4 動作説明

各チャンネルには、32ビットのタイマカウンタ (TCNT_0~TCNT_2) と32ビットのタイマコンスタントレジスタ (TCOR_0~TCOR_2) があります。カウンタは、ダウンカウント動作を行います。オートリロード機能によって、周期カウント動作、または外部イベントカウント動作が可能です。また、チャンネル2には、インプットキャプチャ機能があります。

12. タイムユニット (TMU)

12.4.1 カウンタの動作

TSTR の STR0 ~ STR2 ビットを 1 にセットすると、対応するチャンネルのタイムカウンタはカウント動作を開始します。カウンタがアンダフローすると対応するタイムコントロールレジスタの UNF フラグがセットされます。このとき、タイムコントロールレジスタの UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このときカウンタには対応するチャンネルのタイムコンスタントレジスタから値がコピーされ、ダウンカウント動作を継続します。

(1) カウント動作の設定手順例

カウント動作の設定手順例を図 12.2 に示します。

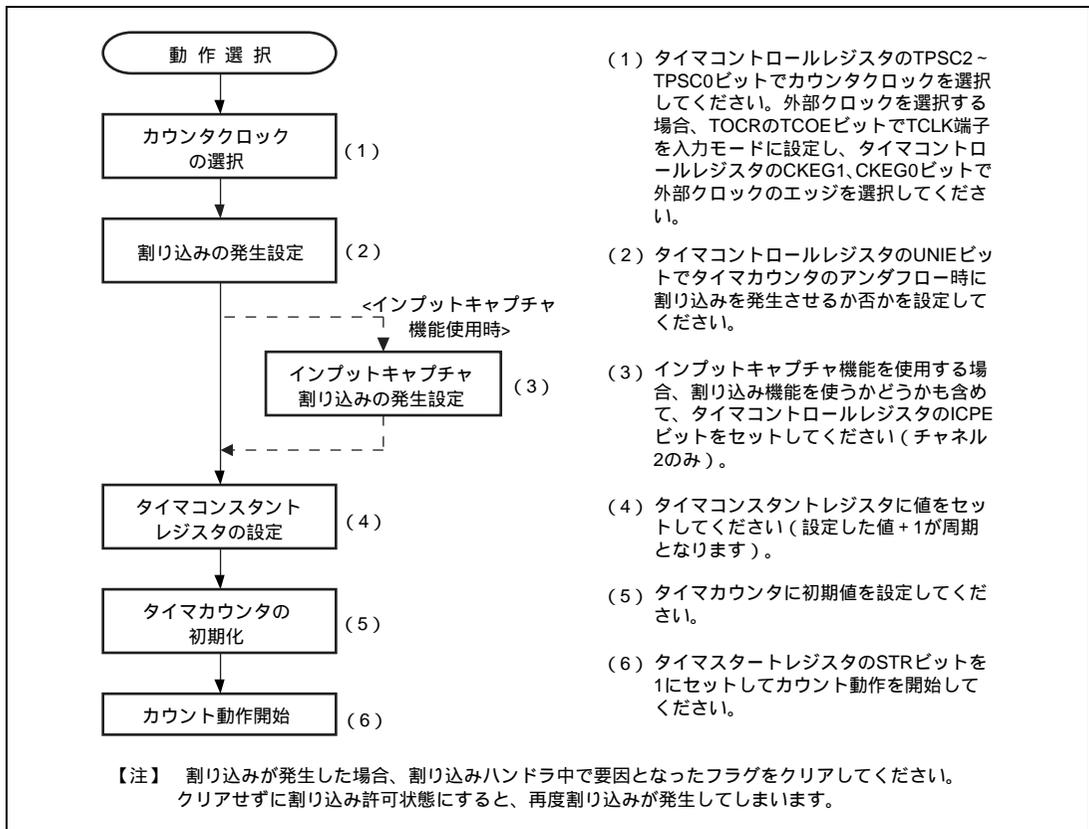


図 12.2 カウント動作設定手順例

(2) オートリロードカウント動作

タイマカウンタのオートリロード動作を、図 12.3 に示します。

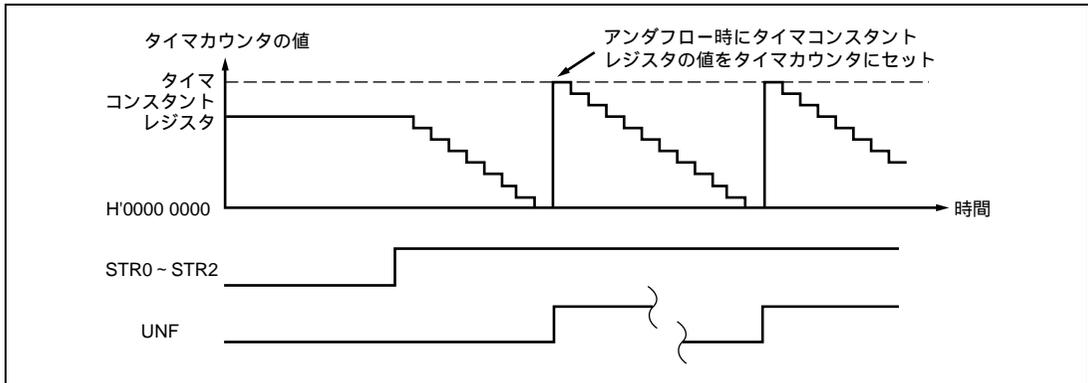


図 12.3 オートリロードカウンタの動作

(3) タイマカウンタのカウントタイミング

(a) 内部クロック動作の場合

タイマコントロールレジスタの TPSC2 ~ TPSC0 ビットにより、周辺モジュール用クロックを分周した 4 種類のクロック (P /4、P /16、P /64、P /256) が選択できます。このときのタイミングを図 12.4 に示します。

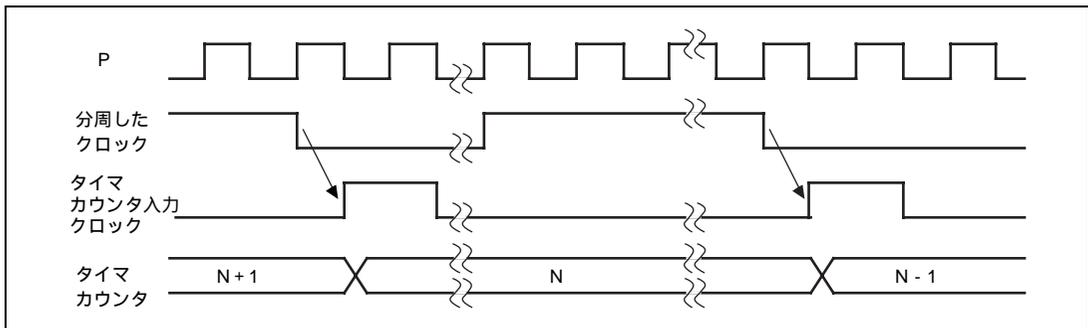


図 12.4 内部クロック動作時のカウントタイミング

(b) 外部クロック動作の場合

タイマコントロールレジスタの TPSC2 ~ TPSC0 ビットにより、タイマ用クロックとして外部クロック端子 (TCLK) を選択できます。また、タイマコントロールレジスタの CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり / 立ち下がり / 両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 周辺モジュールクロック (P) 以上、両エッジの場合は 2.5 周辺モジュールクロック (P) 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

12. タイマユニット (TMU)

両エッジ検出時のタイミングを図 12.5 に示します。

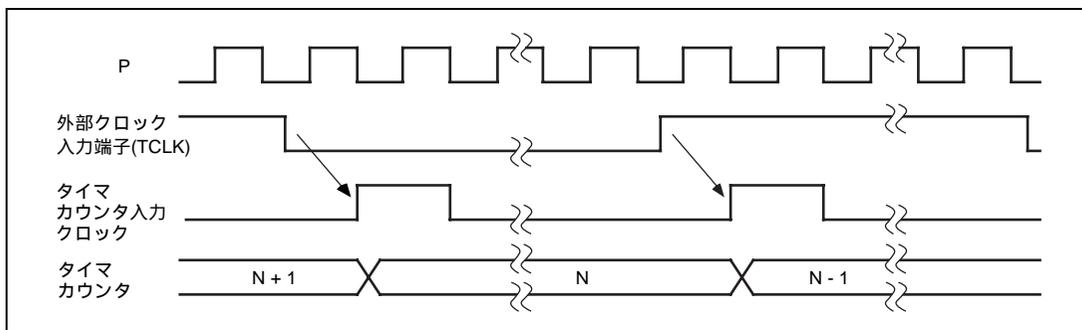


図 12.5 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(c) 内蔵 RTC クロック動作の場合

タイマコントロールレジスタの TPSC2 ~ TPSC0 ビットにより、タイマ用クロックとして内蔵 RTC の出力クロックを選択できます。このときのタイミングを図 12.6 に示します。

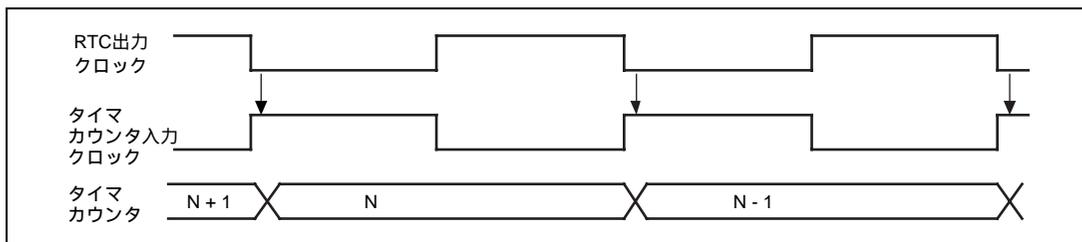


図 12.6 内蔵 RTC クロック動作時のカウントタイミング

12.4.2 インพุットキャプチャ機能

チャンネル2には、インพุットキャプチャ機能があります。

インพุットキャプチャ機能を使用する場合、TOCRのTCOEビットによりTCLK端子を入力モードに設定し、TCR₂のTPCS₂~0ビットでのタイマの動作クロックを内部クロックか内蔵RTCクロックに設定します。また、TCR₂のIPCE₁、0ビットでインพุットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定し、TCR₂のCKEG₁、0ビットでTCLK端子の立ち上がり/立ち下がりのどのエッジを使用してTCPR₂にTCNT₂の値をセットするのを指定します。

なお、この機能はスタンバイモード時には使用できません。

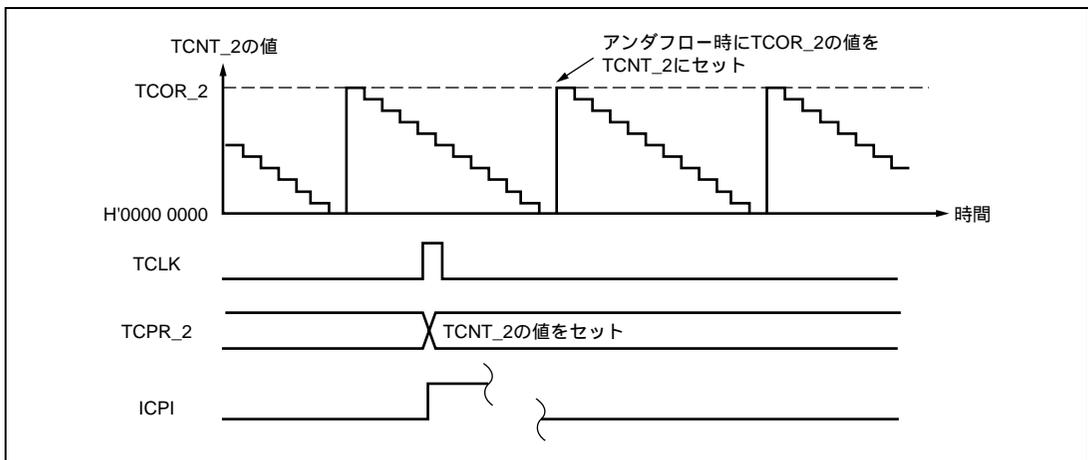


図 12.7 インพุットキャプチャ機能使用時の動作タイミング
(TCLKの立ち上がりエッジ使用)

12.5 割り込み

TMU の割り込み要因は、アンダフロー割り込み (TUNI) およびインプットキャプチャ (TICPI2) 割り込みです。

12.5.1 ステータスフラグのセットタイミング

UNF ビットは、タイマカウンタがアンダフローしたときに 1 にセットされます。このときのタイミングを図 12.8 に示します。

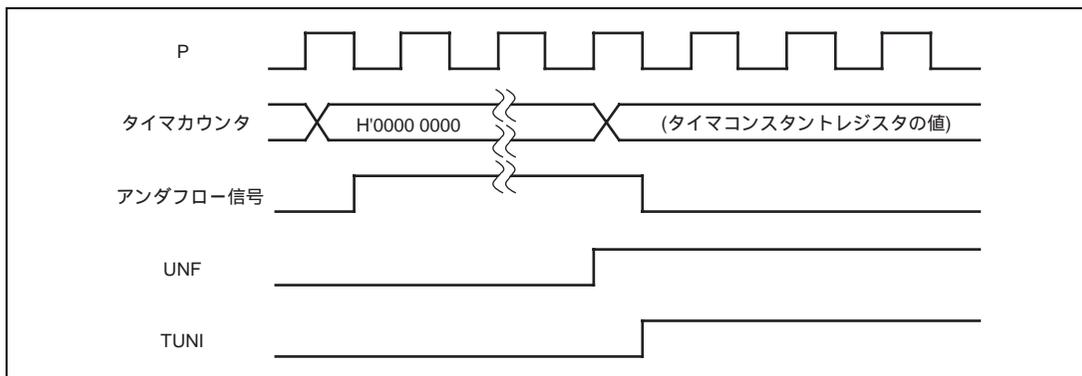


図 12.8 UNF のセットタイミング

12.5.2 ステータスフラグのクリアタイミング

ステータスフラグは CPU から 0 をライトするとクリアされます。このときのタイミングを図 12.9 に示します。

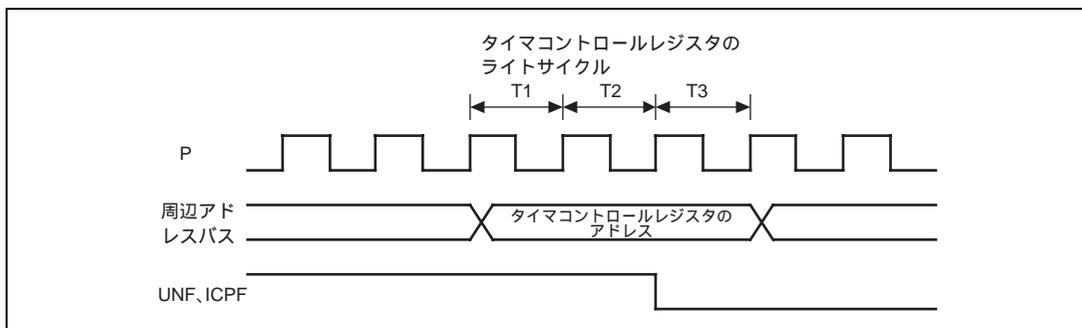


図 12.9 ステータスフラグのクリアタイミング

12.5.3 割り込み要因と優先順位

TMU は各チャンネルごとにアンダフロー割り込みを発生します。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき、当該割り込みが要求されます。これらの割り込みは、例外事象レジスタ (INTEVT、INTEVT2) にコードがセットされますので、そのコードに従って割り込み処理を行ってください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は「第 4 章 例外処理」、「第 6 章 割り込みコントローラ (INTC)」を参照してください。

TMU の割り込み要因を表 12.2 に示します。

表 12.2 TMU の割り込み要因

チャンネル	割り込み要因	内 容	優先順位
0	TUNI0	アンダフロー割り込み 0	高 ↑ ↓ 低
1	TUNI1	アンダフロー割り込み 1	
2	TUNI2	アンダフロー割り込み 2	
	TICPI2	インプットキャプチャ割り込み 2	

12.6 使用上の注意事項

12.6.1 レジスタの書き込みについて

レジスタの書き込み時に、タイマのカウンタ動作の同期処理は行っておりません。レジスタの書き込みの際には、必ず TSTR の該当チャンネルのスタートビット (STR2 ~ STR0) をクリアして、タイマのカウンタ動作を停止させてください。

12.6.2 レジスタの読み出しについて

レジスタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み込み処理が同時に行われた場合は、同期処理によりタイマカウンタのカウンタダウン動作前の値が読み出されます。

13. リアルタイムクロック (RTC)

本 LSI は、RTC および RTC 用の 32.768KHz 水晶発振回路を内蔵しています。RTC のブロック図を図 13.1 に示します。

13.1 特長

RTC は、次のような特長を持っています。

- 時計・カレンダー機能 (BCD表示) を搭載
秒、分、時、日、曜日、月、年をカウント
- 1~64Hzタイマ (バイナリ表示) を搭載
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、日、曜日、月の各々のフレームを比較するか選択可能
- 周期割り込み
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
カウンタの読み出し中に、桁上げ動作が発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

13. リアルタイムクロック (RTC)

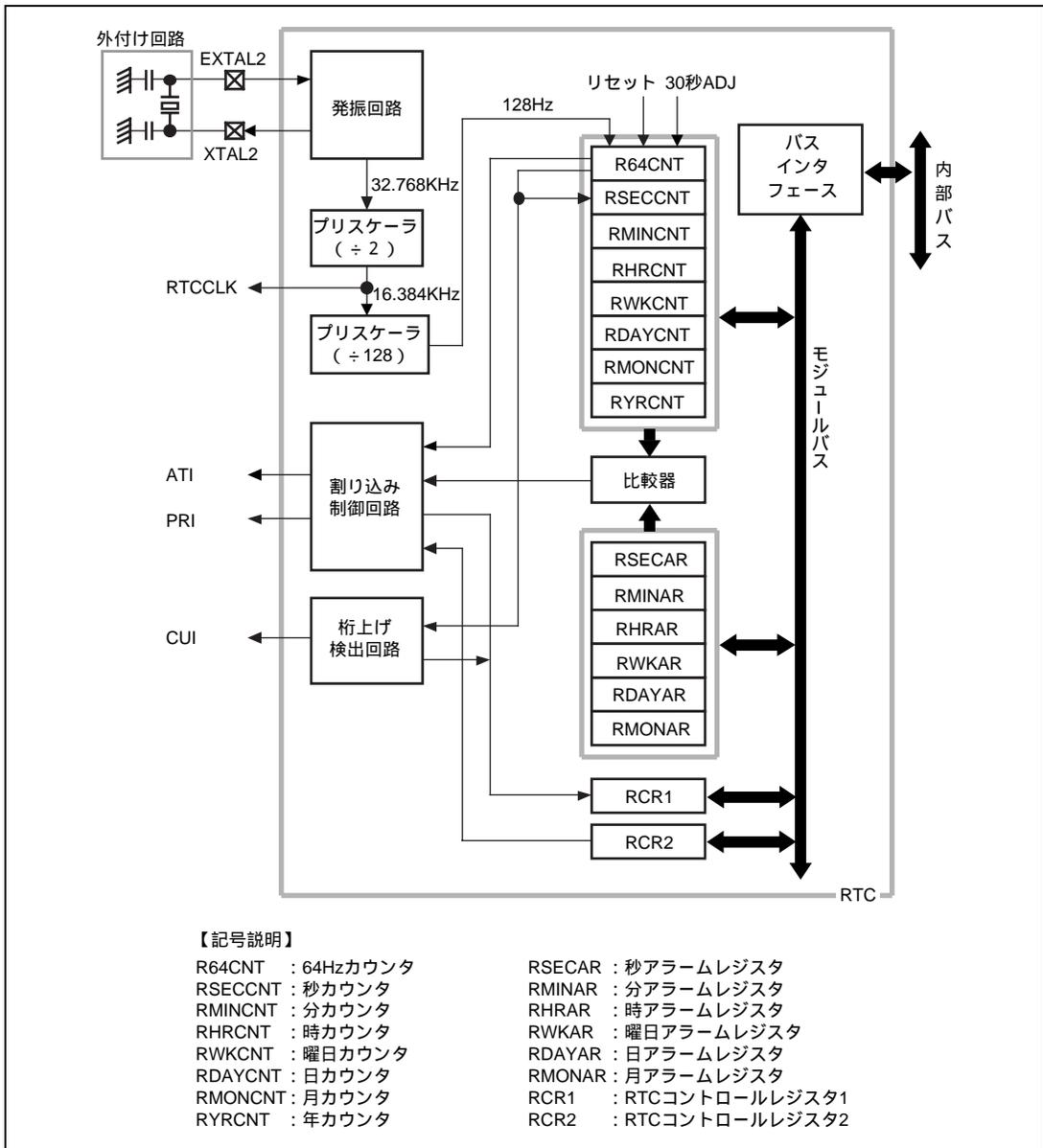


図 13.1 RTC のブロック図

13.2 入出力端子

RTC の端子構成を表 13.1 に示します。

表 13.1 端子構成

名称	信号名	入出力	機能
RTC 用発振器水晶端子	EXTAL2	入力	RTC 用発振器に水晶を接続します。* ²
RTC 用発振器水晶端子	XTAL2	出力	RTC 用発振器に水晶を接続します。* ²
クロック入力/クロック出力	TCLK	入出力	外部クロック入力端子/インプットキャプチャ制御入力端子/ リアルタイムクロック (RTC) 出力端子 (TMU と兼用)
RTC 用電源端子	V _{cc} -RTC		RTC 発振器用電源端子* ¹
RTC 用 GND 端子	V _{ss} -RTC		RTC 発振器用 GND 端子* ¹

【注】 *1 RTC 用の電源端子は、ハードウェアスタンバイモード以外では、RTC のみを使用する場合 (ソフトウェアスタンバイモード時) にも本電源端子を含めてすべての電源端子に電源を供給してください。ハードウェアスタンバイモード時には、RTC 用電源端子以外の電源端子へ給電しないことが可能です。

*2 RTC を使用しない場合、EXTAL2 はプルアップ (V_{cc})、XTAL2 は NC としてください。

13.3 レジスタの説明

RTC には以下のレジスタがあります。これらのレジスタおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照してください。

- 64Hzカウンタ (R64CNT)
- 秒カウンタ (RSECCNT)
- 分カウンタ (RMINCNT)
- 時カウンタ (RHRCNT)
- 曜日カウンタ (RWKCNT)
- 日カウンタ (RDAYCNT)
- 月カウンタ (RMONCNT)
- 年カウンタ (RYRCNT)
- 秒アラームレジスタ (RSECAR)
- 分アラームレジスタ (RMINAR)
- 時アラームレジスタ (RHRAR)
- 曜日アラームレジスタ (RWKAR)
- 日アラームレジスタ (RDAYAR)
- 月アラームレジスタ (RMONAR)
- RTCコントロールレジスタ1 (RCR1)

13. リアルタイムクロック (RTC)

- RTCコントロールレジスタ2 (RCR2)

13.3.1 64Hz カウンタ (R64CNT)

R64CNT は RTC の分周回路 (RTC プリスケーラおよび R64CNT) のうち 64Hz ~ 1Hz の状態を示します。

RCR2 の RESET ビットに 1 をセットするか、RCR2 の ADJ ビットに 1 をセットすると、R64CNT は H'00 に初期化されます。

R64CNT はリードのみ可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7		0	R	リードすると常に 0 が読み出されます。
6~0			R	64Hz カウンタ 6~0 の各ビットは、分周回路の 64Hz ~ 1Hz の状態を表します。 ビット 対応周波数 6 : 1Hz 5 : 2Hz 4 : 4Hz 3 : 8Hz 2 : 16Hz 1 : 32Hz 0 : 64Hz

13.3.2 秒カウンタ (RSECCNT)

RSECCNT は RTC の BCD コード化された秒部分の設定・カウント用のカウンタです。64Hz カウンタの 1 秒ごとのキャリーによってカウント動作を行います。

設定可能範囲は 10 進で 00 ~ 59 です。それ以外の値が設定されると正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RSECCNT はリード/ライト可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7		0	R	リードすると常に 0 が読み出されます。
6~4			R/W	BCD コード化された秒の 10 の桁のカウンタ 設定可能範囲は 10 進で 0~5 です。
3~0			R/W	BCD コード化された秒の 1 の桁のカウンタ 設定可能範囲は 10 進で 0~9 です。

13.3.3 分カウンタ (RMINCNT)

RMINCNT は RTC の BCD コード化された分部分の設定・カウント用のカウンタです。秒カウンタの 1 分ごとのキャリーによってカウント動作を行います。

設定可能範囲は 10 進で 00~59 です。それ以外の値が設定されると正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RMINCNT はリード/ライト可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7		0	R	リードすると常に 0 が読み出されます。
6~4			R/W	BCD コード化された分の 10 の桁のカウンタ 設定可能範囲は 10 進で 0~5 です。
3~0			R/W	BCD コード化された分の 1 の桁のカウンタ 設定可能範囲は 10 進で 0~9 です。

13.3.4 時カウンタ (RHRCNT)

RHRCNT は RTC の BCD コード化された時部分の設定・カウント用のカウンタです。分カウンタの 1 時間ごとのキャリーによってカウント動作を行います。

設定可能範囲は 10 進で 00~23 です。それ以外の値が設定されると正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RHRCNT はリード/ライト可能な 8 ビットのレジスタで、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7~6		すべて 0	R	リードすると常に 0 が読み出されます。
5~4			R/W	BCD コード化された時の 10 の桁のカウンタ 設定可能範囲は 10 進で 0~2 です。
3~0			R/W	BCD コード化された時の 1 の桁のカウンタ 設定可能範囲は 10 進で 0~9 です。

13.3.5 曜日カウンタ (RWKCNT)

RWKCNT は RTC の BCD コード化された曜日部分の設定・カウント用のカウンタです。日カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は 10 進で 0~6 です。それ以外の値が設定されると正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RWKCNT はリード/ライト可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに動作を続けます。

13. リアルタイムクロック (RTC)

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0	R	リードすると常に 0 が読み出されます。
2~0			R/W	BCD コード化された曜日コードのカウンタ 設定範囲は 10 進で 0~6 です。 曜日コード 曜日 0: 日曜日 1: 月曜日 2: 火曜日 3: 水曜日 4: 木曜日 5: 金曜日 6: 土曜日

13.3.6 日カウンタ (RDAYCNT)

RDAYCNT は RTC の BCD コード化された日部分の設定・カウント用のカウンタです。時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は 10 進で 01~31 です。それ以外の値が設定されると正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RDAYCNT はリード/ライト可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに動作を続けます。

RDAYCNT の設定可能範囲は、月ごとおよびうるう年によって変化します。確認のうえ設定してください。

ビット	ビット名	初期値	R/W	説明
7~6		すべて 0	R	リードすると常に 0 が読み出されます。
5~4			R/W	BCD コード化された日の 10 の桁のカウンタ 設定可能範囲は 10 進で 0~3 です。
3~0			R/W	BCD コード化された日の 1 の桁のカウンタ 設定可能範囲は 10 進で 0~9 です。

13.3.7 月カウンタ (RMONCNT)

RMONCNT は RTC の BCD コード化された月部分の設定・カウント用のカウンタです。日カウンタの月ごとのキャリーによってカウント動作を行います。

設定可能範囲は 10 進で 01~12 です。それ以外の値が設定されると正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RMONCNT はリード/ライト可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7~5		すべて0	R	リードすると常に0が読み出されます。
4			R/W	BCDコード化された月の10の桁のカウンタ 設定可能範囲は10進で0~1です。
3~0			R/W	BCDコード化された月の1の桁のカウンタ 設定可能範囲は10進で0~9です。

13.3.8 年カウンタ (RYRCNT)

RYRCNTはRTCのBCDコード化された年部分の設定・カウント用のカウンタです。西暦の下2桁を表します。月カウンタの年ごとのキャリによってカウント動作を行います。

設定可能範囲は10進で00~99です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行ってください。

RYRCNTはリード/ライト可能な8ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに動作を続けます。

年カウンタ値を4で割って、端数が0の場合をうるう年として判定しています。なお、年カウンタ値:00をうるう年に含みます。

ビット	ビット名	初期値	R/W	説明
7~4			R/W	BCDコード化された年の10の桁のカウンタ 設定可能範囲は10進で0~9です。
3~0			R/W	BCDコード化された年の1の桁のカウンタ 設定可能範囲は10進で0~9です。

13.3.9 秒アラームレジスタ (RSECAR)

RSECARはRTCのBCDコード化された秒部分のカウント RSECNT に対応するアラームレジスタです。ENBビットが1にセットされていると、RSECNTの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONARの各々のレジスタのうちENBビットが1にセットされているもののみカウンタとアラームレジスタの比較を行い、各々がすべて一致していたらRTCアラーム割り込みを発生します。

秒の設定可能範囲は10進で00~59です。それ以外の値が設定されると正常に動作しません。

RSECARはリード/ライト可能な8ビットのレジスタです。ENBビットはパワーオンリセット時は0に初期化されます。RSECARの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

13. リアルタイムクロック (RTC)

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	秒アラームイネーブル 0: 比較を行わない 1: 比較を行う
6~4			R/W	BCD コード化された秒の 10 の桁の設定値 設定可能範囲は 10 進で 0~5 です。
3~0			R/W	BCD コード化された秒の 1 の桁の設定値 設定可能範囲は 10 進で 0~9 です。

13.3.10 分アラームレジスタ (RMINAR)

RMINAR は、RTC の BCD コード化された部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち ENB ビットが 1 にセットされているもののみカウンタとアラームレジスタの比較を行い、各々がすべて一致していたら RTC アラーム割り込みを発生します。

分の設定可能範囲は 10 進で 00~59 ビットです。それ以外の値が設定されると正常に動作しません。

RMINAR は、リード/ライト可能な 8 ビットのレジスタです。ENB ビットはパワーオンリセットで初期化されます。RMINAR の残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	分アラームイネーブル 0: 比較を行わない 1: 比較を行う
6~4			R/W	BCD コード化された分の 10 の桁の設定値 設定可能範囲は 10 進で 0~5 です。
3~0			R/W	BCD コード化された分の 1 の桁の設定値 設定可能範囲は 10 進で 0~9 です。

13.3.11 時アラームレジスタ (RHRAR)

RHRAR は RTC の BCD コード化された時部分のカウンタ RHRCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHRCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち ENB ビットが 1 にセットされているもののみカウンタとアラームレジスタの比較を行い、各々がすべて一致していたら RTC アラーム割り込みを発生します。

時の設定可能範囲は 10 進で 00~23 です。それ以外の値が設定されると正常に動作しません。

RHRAR はリード/ライト可能な 8 ビットのレジスタです。ENB ビットはパワーオンリセット時は初期化されます。RHRAR の残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	時アラームイネーブル 0: 比較を行わない 1: 比較を行う
6		0	R	リードすると常に0が読み出されます。
5~4			R/W	BCDコード化された時の10の桁の設定値 設定可能範囲は10進で0~2です。
3~0			R/W	BCDコード化された時の1の桁の設定値 設定可能範囲は10進で0~9です。

13.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが1にセットされていると、RWKCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち ENB ビットが1にセットされているもののみカウンタとアラームレジスタの比較を行い、各々がすべて一致していたら RTC アラーム割り込みを発生します。

曜日の設定可能範囲は10進で0~6です。それ以外の値が設定されると正常に動作しません。

RWKAR はリード/ライト可能な8ビットのレジスタです。ENB ビットはパワーオンリセット時は初期化されます。RWKAR の残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	曜日アラームイネーブル 0: 比較を行わない 1: 比較を行う
6~3		すべて0	R	リードすると常に0が読み出されます。
2~0			R/W	BCDコード化された曜日コードの設定値 設定可能範囲は10進で0~6です。 曜日コード 曜日 0: 日曜日 1: 月曜日 2: 火曜日 3: 水曜日 4: 木曜日 5: 金曜日 6: 土曜日

13. リアルタイムクロック (RTC)

13.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち ENB ビットが 1 にセットされているもののみカウンタとアラームレジスタの比較を行い、各々がすべて一致していたら RTC アラーム割り込みを発生します。

日の設定可能範囲は 10 進で 01 ~ 31 です。それ以外の値が設定されると正常に動作しません。RDAYCNT の設定可能範囲は、月およびうるう年によって変化します。確認のうえ設定してください。

RDAYAR はリード/ライト可能な 8 ビットのレジスタです。ENB ビットはパワーオンリセット時は初期化されます。RDAYAR の残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	日アラームイネーブル 0 : 比較を行わない 1 : 比較を行う
6		0	R	リードすると常に 0 が読み出されます。
5~4			R/W	BCD コード化された日の 10 の桁の設定値 設定可能範囲は 10 進で 0~3 です。
3~0			R/W	BCD コード化された日の 1 の桁の設定値 設定可能範囲は 10 進で 0~9 です。

13.3.14 月アラームレジスタ (RMONAR)

RMONAR は RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち ENB ビットが 1 にセットされているもののみカウンタとアラームレジスタの比較を行い、各々がすべて一致していたら RTC アラーム割り込みを発生します。

月の設定可能範囲は 10 進で 01 ~ 12 です。それ以外の値が設定されると正常に動作しません。

RMONAR はリード/ライト可能な 8 ビットのレジスタです。ENB ビットはパワーオンリセット時は初期化されます。RMONAR の残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	月アラームイネーブル 0: 比較を行わない 1: 比較を行う
6~5		すべて 0	R	リードすると常に 0 が読み出されます。
4			R/W	BCD コード化された月の 10 の桁の設定値 設定可能範囲は 10 進で 0~1 です。
3~0			R/W	BCD コード化された月の 1 の桁の設定値 設定可能範囲は 10 進で 0~9 です。

13.3.15 RTC コントロールレジスタ 1 (RCR1)

RCR1 は桁上げおよびアラームフラグに関するレジスタです。また、各々のフラグについて割り込みを発生するかどうか選択できます。リードモディファイライト処理は、オペランドリード後フラグがセットされる場合があるので使用しないでください。

RCR1 はリード/ライト可能な 8 ビットのレジスタです。CIE ビット、AIE ビット、AF ビットはパワーオンリセットおよびマニュアルリセット時に初期化されます。ただし、CF フラグはパワーオンリセットおよびマニュアルリセット時に不定になります。CF フラグを使用する場合は使用前に必ず初期化してください。スタンバイモード時には初期化されません。

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	桁上げフラグ 桁上げが発生したことを示すフラグです。このフラグが 1 にセットされた場合、秒カウンタ桁上げ、または R64CNT 桁上げ時の読み出しが発生したことを示します。この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。 0: 秒カウンタ桁上げおよび R64CNT 桁上げなし [クリア条件] CF に 0 をライトしたとき 1: [セット条件] 秒カウンタ桁上げ、R64CNT 桁上げ時の読み出しあり、または CF に 1 をライトしたとき
6, 5		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ 桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0: CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない 1: CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる

13. リアルタイムクロック (RTC)

ビット	ビット名	初期値	R/W	説明
3	AIE	0	R/W	<p>アラーム割り込みイネーブルフラグ</p> <p>アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。</p> <p>0 : AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない</p> <p>1 : AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる</p>
2, 1	—	すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。</p>
0	AF	0	R/W	<p>アラームフラグ</p> <p>アラームレジスタで設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) と時計・カレンダーが一致したら 1 にセットされるフラグです。</p> <p>このフラグは、0 をライトすると 0 にクリアされますが、1 をライトしてもそれまでの値を保持します。</p> <p>0 : アラームレジスタと時計・カレンダーは不一致</p> <p>[クリア条件] AF に 0 をライトしたとき</p> <p>1 : [セット条件] アラームレジスタと時計・カレンダーが一致</p> <p>(ENB ビットを 1 に設定したレジスタのみ)</p>

13.3.16 RTC コントロールレジスタ 2 (RCR2)

RCR2 は周期的割り込み制御、30 秒調整用 ADJ、分周回路 RESET、RTC カウントスタート・ストップ制御に関するレジスタです。

RCR2 はリード/ライト可能な 8 ビットのレジスタです。パワーオンリセット時は H'09 に初期化されます。マニュアルリセット時は RTCEN ビットおよび START ビット以外が初期化されます。スタンバイモード時は初期化されずそれまでの値が保持されます。

ビット	ビット名	初期値	R/W	説明
7	PEF	0	R/W	<p>周期割り込みフラグ</p> <p>PES ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。</p> <p>0 : PES ビットで設定された周期で割り込み発生なし</p> <p>[クリア条件] PEF に 0 をライトしたとき</p> <p>1 : PES ビットで設定された周期で割り込み発生あり</p> <p>[セット条件] PEF に 1 をライトしたとき</p>

13. リアルタイムクロック (RTC)

ビット	ビット名	初期値	R/W	説明
6 5 4	PES2 PES1 PES0	0 0 0	R/W R/W R/W	<p>割り込み周期</p> <p>周期割り込みの周期を設定します。</p> <p>000: 周期割り込み発生なし</p> <p>001: 周期割り込み発生の周期を 1/256 秒ごとにする</p> <p>010: 周期割り込み発生の周期を 1/64 秒ごとにする</p> <p>011: 周期割り込み発生の周期を 1/16 秒ごとにする</p> <p>100: 周期割り込み発生の周期を 1/4 秒ごとにする</p> <p>101: 周期割り込み発生の周期を 1/2 秒ごとにする</p> <p>110: 周期割り込み発生の周期を 1 秒ごとにする</p> <p>111: 周期割り込み発生の周期を 2 秒ごとにする</p>
3	RTCEN	1	R/W	<p>発振器有効</p> <p>RTC 用水晶発振器の動作を制御します。</p> <p>0: RTC 用水晶発振器を停止させる</p> <p>1: RTC 用水晶発振器を動作させる</p>
2	ADJ	0	R/W	<p>30 秒調整 ADJ</p> <p>30 秒調整用であり、1 がライトされることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。なお、このビットをリードすると常に 0 が読み出されます。</p> <p>0: 通常の時計動作</p> <p>1: 30 秒の調整を行う</p>
1	RESET	0	R/W	<p>リセット</p> <p>1 をライトすることによって、分周回路 (RTC プリスケアラおよび R64CNT) が初期化されます。なお、このビットをリードすると常に 0 が読み出されます。</p> <p>0: 通常の時計動作</p> <p>1: 分周回路をリセット</p>
0	START	1	R/W	<p>START ビット</p> <p>カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。</p> <p>0: 秒、分、時、日、週、月、年カウンタは停止*</p> <p>1: 秒、分、時、日、週、月、年カウンタは通常動作*</p> <p>【注】* 64Hz カウンタは RTCEN ビットで停止させないがぎりは動作します</p>

13.4 動作説明

13.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

13.4.2 時刻設定手順

時計を停止させて時刻を設定する方法を図 13.2 (a)、図 13.2 (b) に示します。カレンダークロックの全体を設定する場合に有効です。簡単にプログラムすることができます。

注意事項

1. 64Hzカウンタ (R64CNT) の初期化のタイミングについて

RTCのRCR2レジスタのRESETビットによる初期化後、R64CNTの読み出し値を確実に反映させる必要がある場合は、RESETビットを1にセット後、少なくとも約107 μ s経過後にR64CNTカウンタを読み出ししてください。なお、分周回路 (RTCプリスケアラ) は、RESETビットを1にセットすると同時に初期化が行われます。

2. R64CNTの初期化によるRSECCNTのインクリメントについて

以下の (a)、または、(b) のいずれかの方法で行ってください。

(a) RESETビットを1にセット後、R64CNTが初期化されたことを確認後、STARTビットに1をセットする。このフローを図13.2 (a) に示します。

(b) STARTビットを1にセットすると同時にRESETビットを1にセットする。このフローを図13.2 (b) に示します。なお、STARTビットを1にセット後、約107 μ s以内にRCR2レジスタへの書き込みを行わない場合は、図13.2 (b) の左側に "*" で示した処理を省略することができます。

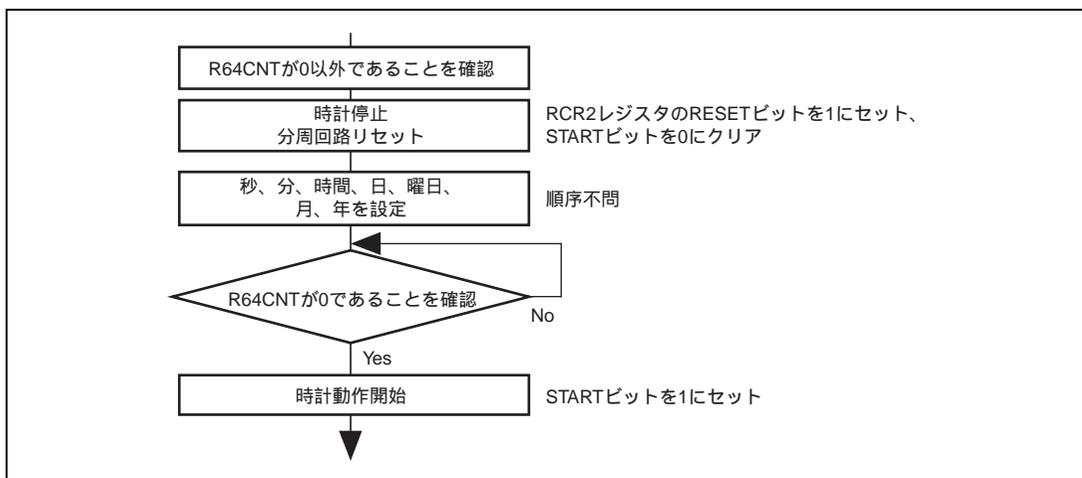


図 13.2 (a) 時刻設定手順 (a)

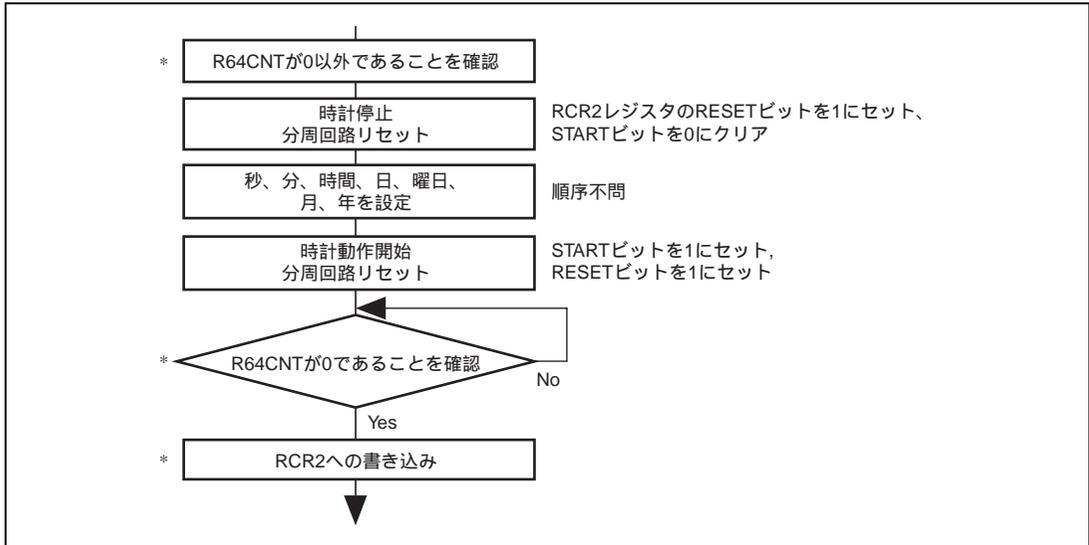


図 13.2 (b) 時刻設定手順 (b)

13. リアルタイムクロック (RTC)

13.4.3 時刻読み出し手順

時刻読み出し手順を図 13.3 に示します。

時刻読み出し期間中に桁上げが起こると、正しい時刻が得られないため、再読み出しする必要があります。割り込みを使用しない方法を (a) に、桁上げ割り込みを使用する方法を (b) に示します。通常、プログラムの簡素化のため割り込みを使用しない方法を使用します。

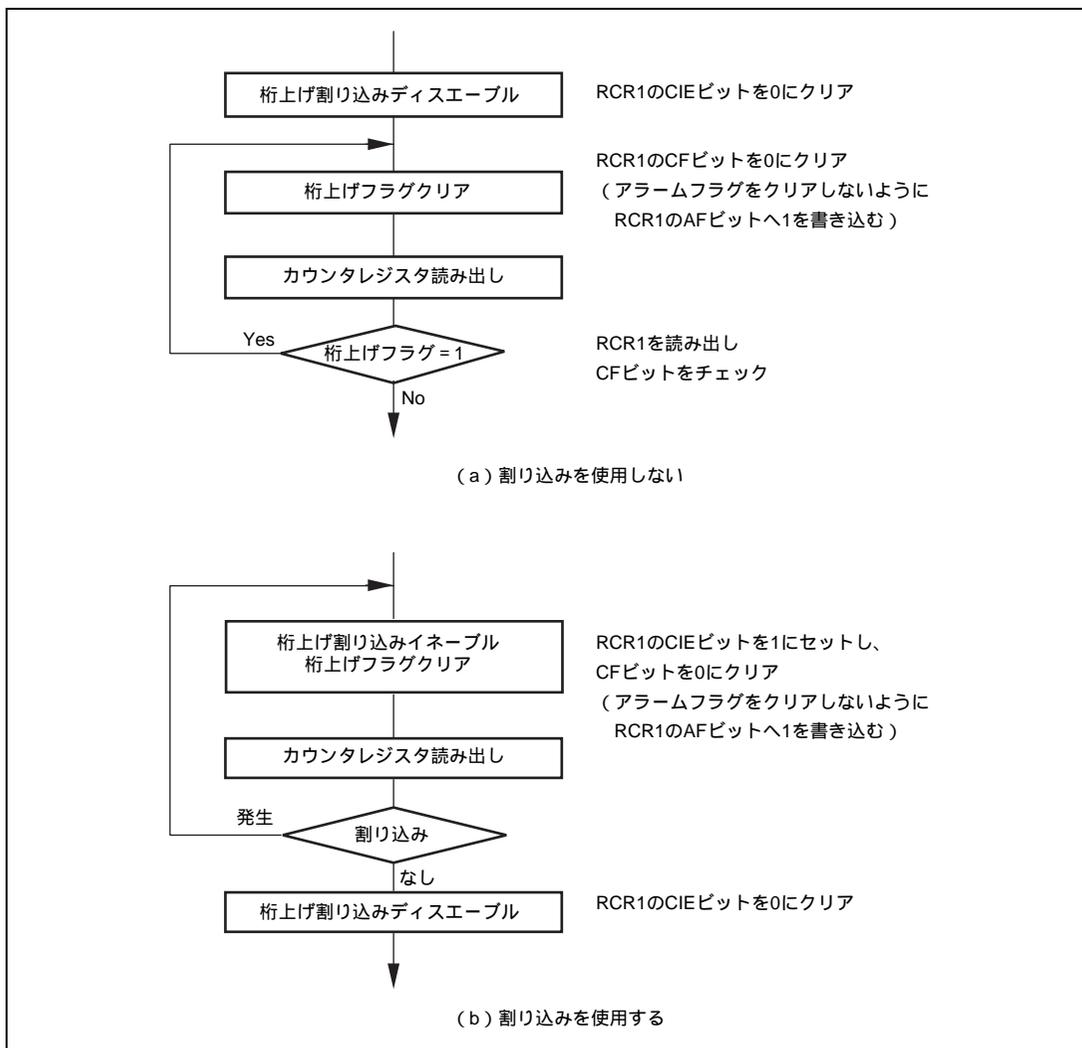


図 13.3 時刻読み出し手順

13.4.4 アラーム機能

アラーム機能の使用方法を図 13.4 に示します。

アラームは、秒、分、時、曜日、日、月のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするレジスタは、ENB ビット (ビット 7) に 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビット (ビット 7) に 0 を書き込みます。

時計とアラーム時刻が一致した場合、RCR1 の AF ビット (ビット 0) に 1 がセットされます。アラームの検出は、このビットを読み出すことにより確認できますが、通常は割り込み機能を使用します。RCR1 の AIE ビット (ビット 3) に 1 を書き込んでおけば、アラーム時にアラーム割り込みが発生し、検出することができます。

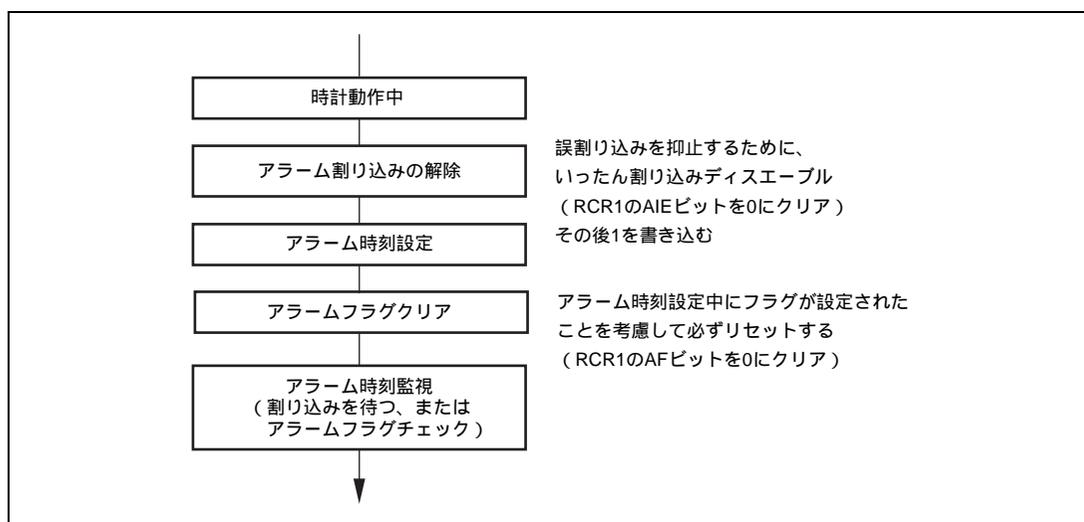


図 13.4 アラーム機能の使用方法

13. リアルタイムクロック (RTC)

13.4.5 水晶発振回路

水晶発振回路の各定数 (推奨値) を表 13.2 に、RTC 用水晶発振回路を図 13.5 に示します。

表 13.2 推奨発振回路の定数 (推奨値)

f_{osc}	C_{in}	C_{out}
32.768KHz	10 ~ 22pF	10 ~ 22pF

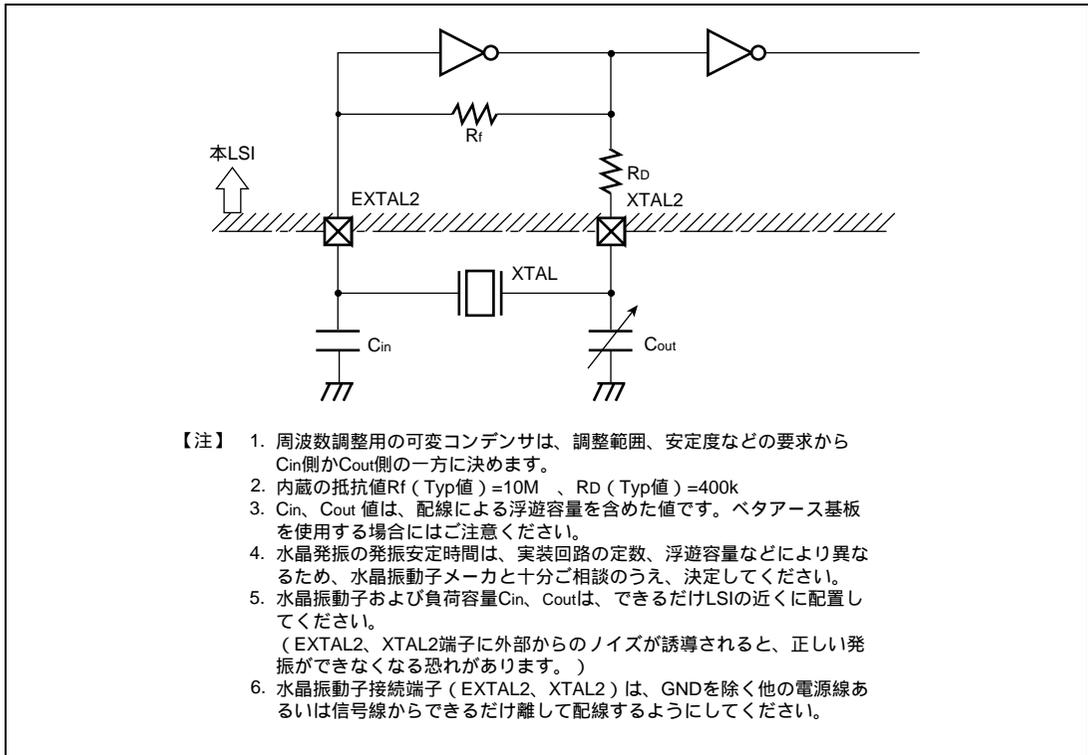


図 13.5 水晶発振回路接続例

13.5 使用上の注意事項

13.5.1 RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時 (RCR2 のビット 0 = 1)、以下の RTC のレジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT

上記のレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

13.5.2 リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込み機能の使用方法を図 13.6 に示します。

周期割り込みは、RCR2 の PES0 ~ PES2 で設定した周期で定期的に割り込みを発生させることができます。PES0 ~ PES2 で設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES0 ~ PES2 設定時、周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが通常は割り込み機能を使用します。

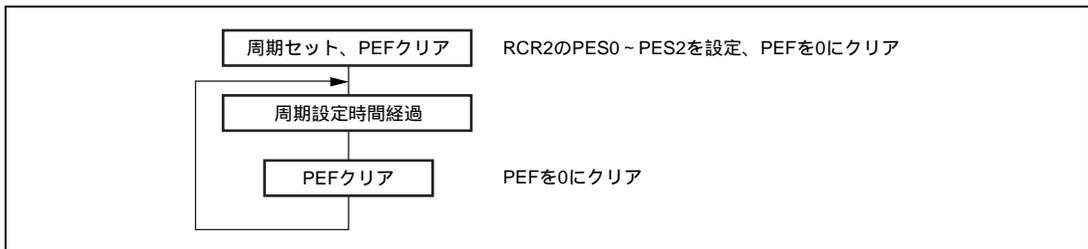


図 13.6 周期割り込み機能の使用方法

13.5.3 RCR2 レジスタの ADJ ビット設定タイミングについて

RTC の RCR2 レジスタの ADJ ビットを 1 にセットしたときから秒カウンタ (RSECCNT) の読み出し値に反映されるまでに最大で約 91.6 μ s (EXTAL2 端子へ 32.768KHz 水晶発振子接続時) の時間がかかります。

RCR2 レジスタの ADJ ビットによる 30 秒調整を確実に読み出し値として反映させる必要がある場合は、ADJ ビットのセットから少なくとも約 91.6 μ s 経過後に秒カウンタを読み出すようにしてください。

なお、秒カウンタ自身は ADJ ビットセット時に 30 秒調整が行われますので、RTC の動作に問題は発生しません。

13. リアルタイムクロック (RTC)

14. シリアルコミュニケーションインタフェース (SCI)

本 LSI には、SCI が内蔵されています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

SCI のブロック図を図 14.1 に、I/O ポートを図 14.2 ~ 図 14.4 に示します。

14.1 特長

SCI には次のような特長があります。

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

- 調歩同期式モード

スタート/ストップビットによりキャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長	: 7ビット、または8ビット
ストップビット長	: 1ビット、または2ビット
パリティ	: 偶数パリティ、奇数パリティ、またはパリティなし
マルチプロセッサビット	: 1または0
受信エラーの検出	: パリティエラー、オーバランエラー、フレーミングエラーを検出
ブレークの検出	: フレーミングエラー発生時に RxD0 端子のレベルをシリアルポートデータレジスタ (SCPDR) から直接読み出すことによりブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

データ長	: 8ビット
受信エラーの検出	: オーバランエラーを検出

14. シリアルコミュニケーションインタフェース (SCI)

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部共にダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK0端子からの外部クロックから選択可能

- 4種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。

- SCIを使用しないときは、消費電力低減のためSCIに対してクロックの供給を止めて動作を停止させることができます。

14. シリアルコミュニケーションインタフェース (SCI)

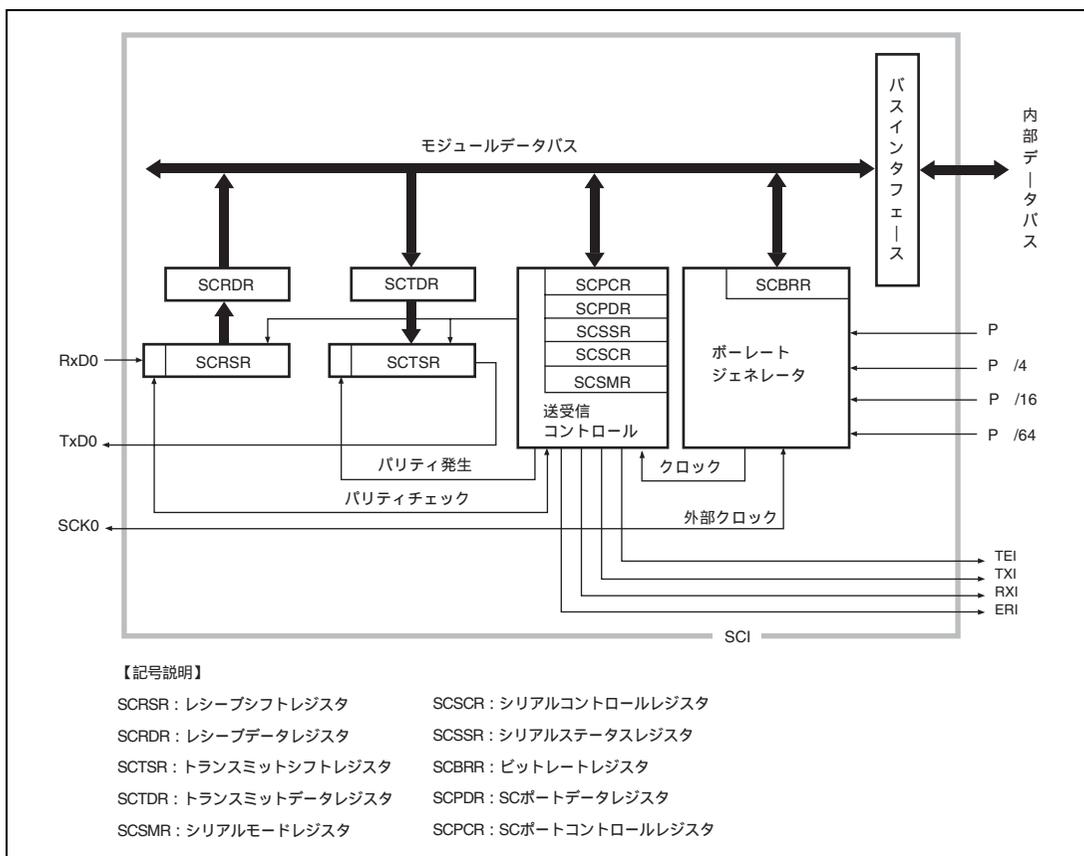


図 14.1 SCI のブロック図

14. シリアルコミュニケーションインタフェース (SCI)

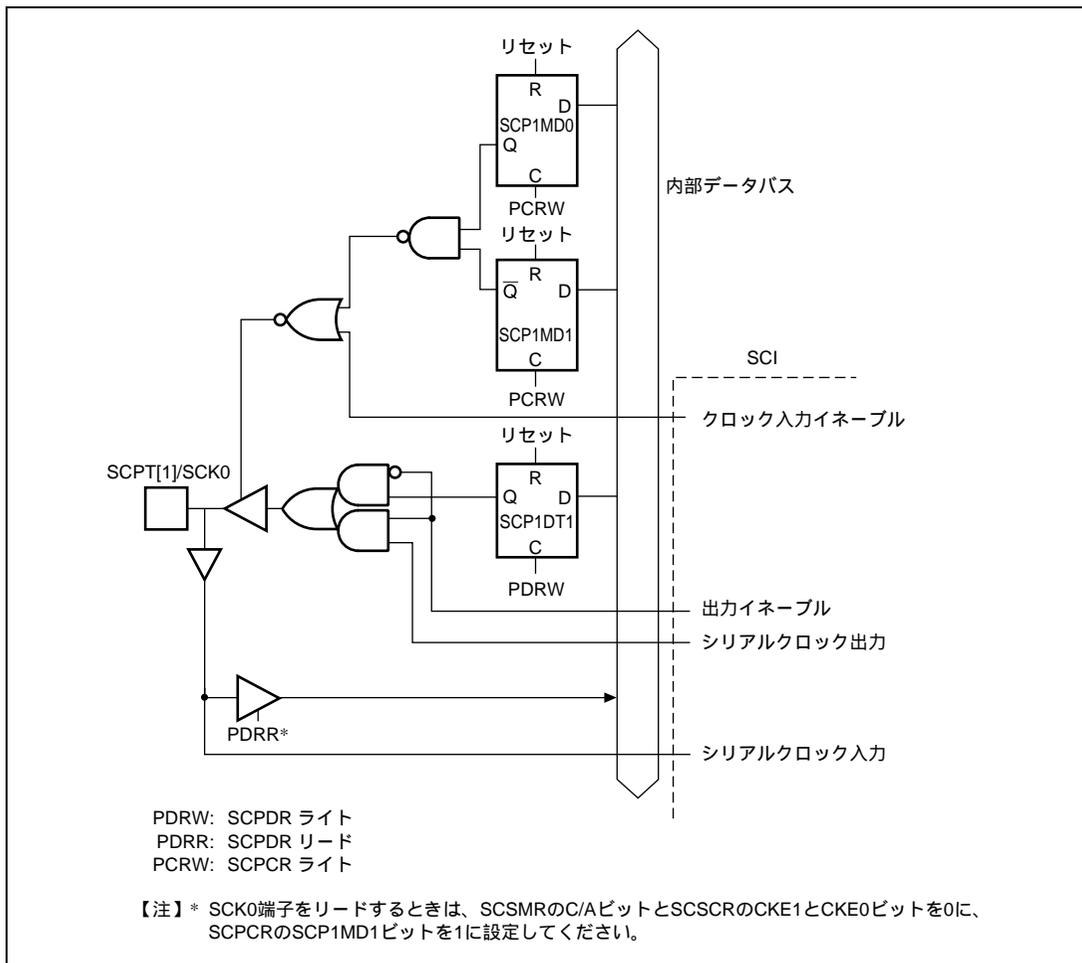


図 14.2 SCPT[1]/SCK0 端子

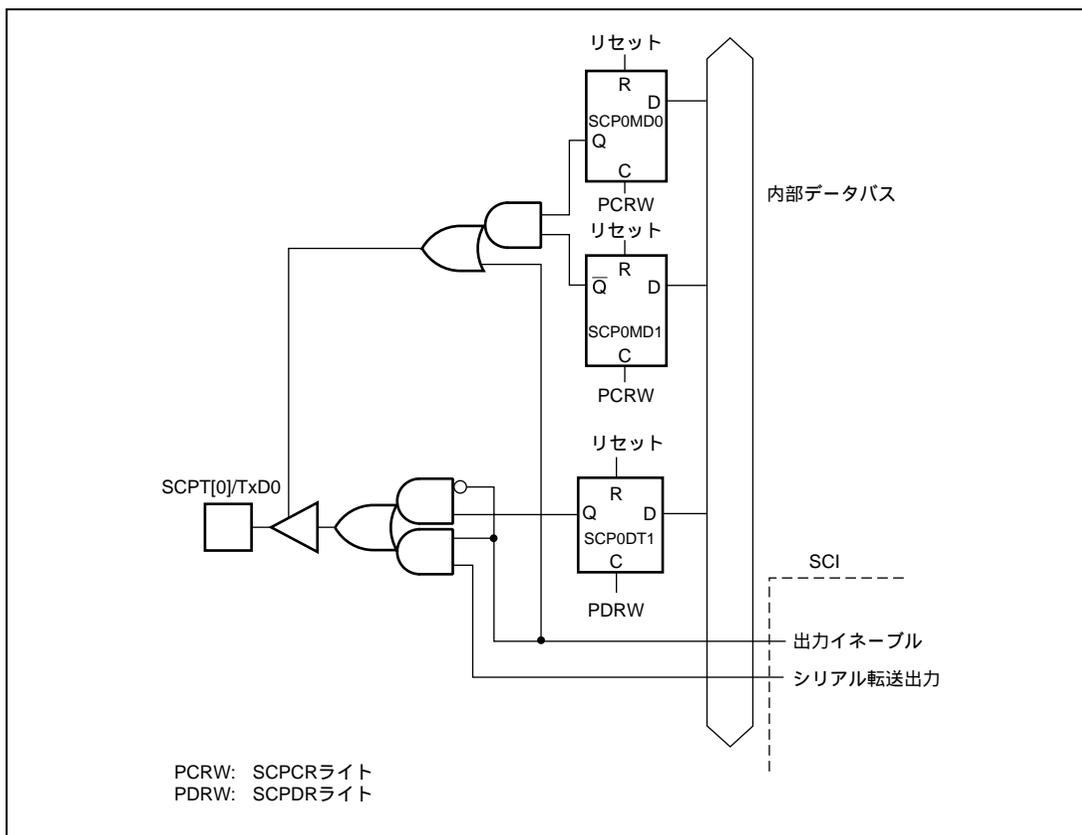


図 14.3 SCPT[0]/TxD0 端子

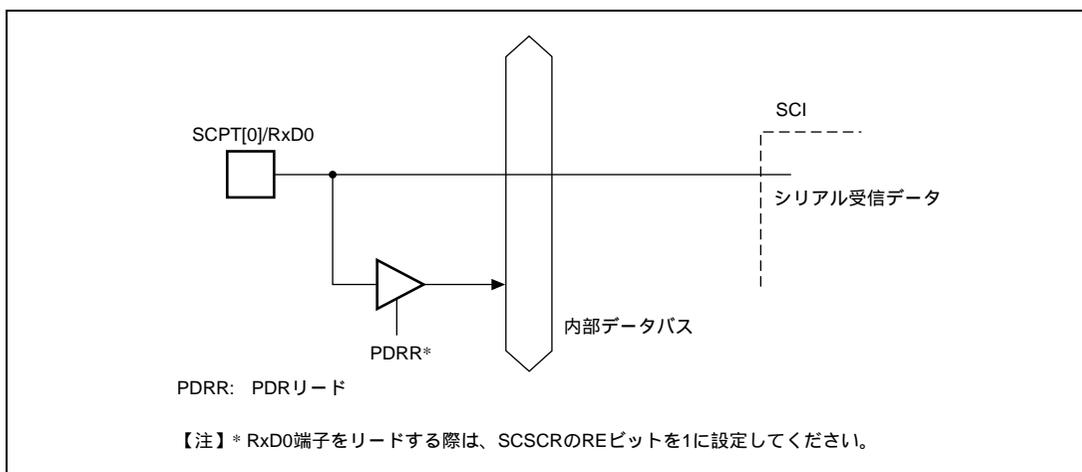


図 14.4 SCPT[0]/RxD0 端子

14.2 入出力端子

SCIの端子構成を表 14.1 に示します。

表 14.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCK0	入出力	クロック入出力
レシーブデータ端子	RxD0	入力	受信データ入力
トランスミットデータ端子	TxD0	出力	送信データ出力

【注】 SCIの動作設定をSCSCRのTE、RE、CKE1、CKE0ビット、およびSCSMRのC/Aビットで行うことにより、シリアル端子として機能します。ブ레이크状態の送受、検出は、SCIのSCPDRによって行うことができます。

14.3 レジスタの説明

SCIには、以下のレジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。これらのレジスタのアドレスおよびアクセスサイズについては「第23章 制御レジスタ一覧」を参照してください。

- シリアルモードレジスタ (SCSMR)
- ビットレートレジスタ (SCBRR)
- シリアルコントロールレジスタ (SCSCR)
- トランスミットデータレジスタ (SCTDR)
- シリアルステータスレジスタ (SCSSR)
- レシーブデータレジスタ (SCRDR)
- SCポートコントロールレジスタ (SCPCR)
- SCポートデータレジスタ (SCPDR)

14.3.1 レシーブシフトレジスタ (SCRSR)

SCRSRは、シリアルデータを受信するための8ビットのレジスタです。

SCIは、SCRSRにRxD0端子から入力されたシリアルデータをLSB(ビット0)から受信した順にセットし、パラレルデータに変換します。1バイトのデータ受信を終了すると、データは自動的にSCRDRへ転送されます。

CPUから直接SCRSRのリード/ライトをすることはできません。

14.3.2 レシーブデータレジスタ (SCRDR)

SCRDRは、受信したシリアルデータを格納する8ビットのレジスタです。

SCIは、1バイトのシリアルデータの受信が終了すると、SCRSRからSCRDRへ受信したシリアルデータを転送して格納し、受信動作を完了します。このあと、SCRSRは受信可能になります。

このように、SCRSRとSCRDRはダブルバッファになっているため連続した受信動作が可能です。

SCRDR は、リード専用レジスタですので CPU から書き込むことはできません。

SCRDR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'00 に初期化されます。

14.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するための 8 ビットのレジスタです。

SCI は、SCTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD0 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR から SCTSR へ次の送信データを転送し、送信を開始します。ただし、SCSSR の TDRE フラグが 1 にセットされている場合には、SCTDR から SCTSR へのデータ転送は行いません。

CPU から、直接 SCTSR のリード/ライトをすることはできません。

14.3.4 トランスミットデータレジスタ (SCTDR)

SCTDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、SCTSR の空きを検出すると、SCTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCTSR のシリアルデータ送信中に SCTDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

SCTDR は、常に CPU によるリード/ライトが可能です。

SCTDR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'FF に初期化されます。

14.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR は、常に CPU によるリード/ライトが可能です。

ビット	ビット名	初期値	R/W	説明
7	C/A	0	R/W	コミュニケーションモード SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクターングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0 : 8 ビットデータ 1 : 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、SCTDR の MSB (ビット 7) は送信されません。

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。</p> <p>0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると送信時には、O/Ē ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/Ē ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p>
4	O/Ē	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/Ē ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/Ē ビットの指定は無効です。</p> <p>1: 偶数パリティ*¹ 0: 奇数パリティ*²</p> <p>【注】*¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0: 1ストップビット*¹</p> <p>1: 2ストップビット*²</p> <p>【注】*1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p> <p>なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。</p>
2	MP	0	R/W	<p>マルチプロセッサモード</p> <p>マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、およびO/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。</p> <p>マルチプロセッサ通信機能については、「14.4.2 マルチプロセッサ通信機能」を参照してください。</p> <p>0: マルチプロセッサ機能を禁止</p> <p>1: マルチプロセッサフォーマットを選択</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定でP、P/4、P/16、P/64の4種類からクロックソースを選択できます。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「14.3.10 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00: P クロック</p> <p>01: P /4 クロック</p> <p>10: P /16 クロック</p> <p>11: P /64 クロック</p> <p>【注】P : 周辺クロック</p>

14. シリアルコミュニケーションインタフェース (SCI)

14.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU によるリード / ライトが可能です。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>SCTDR から SCTSR へシリアル送信データが転送され、SCSSR の TDRE フラグが 1 にセットされたときに、送信データエンpty割り込み (TXI) 要求の発生を許可 / 禁止します。</p> <p>0 : 送信データエンpty割り込み (TXI) 要求を禁止*</p> <p>1 : 送信データエンpty割り込み (TXI) 要求を許可</p> <p>【注】* TXI の解除は、TDRE フラグの 1 を読み出したあと、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>シリアル受信データが SCRSR から SCRDR へ転送されて SCSSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。</p> <p>0 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止*</p> <p>1 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可</p> <p>【注】* RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または FER、PER、ORER フラグの 1 を読み出したあと、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCI のシリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止*¹</p> <p>1 : 送信動作を許可*²</p> <p>【注】*¹ SCSSR の TDRE フラグは 1 に固定されます。</p> <p>*² この状態で、SCTDR に送信データを書き込んで、SCSSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。</p> <p>なお、TE ビットを 1 にセットする前に必ず SCSMR の設定を行い送信フォーマットを決定してください。</p>

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIのシリアル受信動作の開始を許可/禁止します。</p> <p>0: 受信動作を禁止*¹</p> <p>1: 受信動作を許可*²</p> <p>【注】*1 RE ビットを0にクリアしても RDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*2 この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>なお、RE ビットを1にセットする前に必ず SCSSMR の設定を行い、受信フォーマットを決定してください。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル</p> <p>マルチプロセッサ割り込みを許可/禁止します。MPIE ビットの設定は、調歩同期モードで、かつ、SCSSMR の MP ビットが1に設定されている受信時のみ有効です。</p> <p>クロック同期モードのとき、あるいは MP ビットが0のときには MPIE ビットの設定は無効です。</p> <p>0: マルチプロセッサ割り込み禁止状態 (通常の実受信動作をします)</p> <p>[クリア条件]</p> <p>(1) MPIE ビットを0にクリア</p> <p>(2) MPB=1のデータを受信したとき</p> <p>1: マルチプロセッサ割り込み許可状態*</p> <p>マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SCSSR の RDRF、FER、ORER の各フラグのセットを禁止します。</p> <p>【注】* SCSSR から SCRDR への受信データの転送、および受信エラーの検出と SCSSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SCSSR の MPB フラグを1にセットし、MPIE ビットを自動的に0にクリアし、RXI、ERI の発生 (SCSSR の TIE、RIE ビットが1にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>MSB データ送出時に有効な送信データが SCTDR にないとき、送信終了割り込み (TEI) 要求の発生を許可/禁止します。</p> <p>0: 送信終了割り込み (TEI) 要求を禁止*</p> <p>1: 送信終了割り込み (TEI) 要求を許可*</p> <p>【注】* TEI の解除は、SCSSR の TDRE フラグの1を読み出したあと、0にクリアして TEND フラグを0にクリアするか、TEIE ビットを0にクリアすることで行うことができます。</p>

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル
0	CKE0	0	R/W	<p>SCIのクロックソースの選択、およびSCK0端子からのクロック出力の許可/禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK0端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。</p> <p>ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作 (CKE1=0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1=1) の場合はCKE0ビットの設定は無効です。また、SCSMRでSCIの動作モードを決定する前に、必ずCKE1、CKE0ビットの設定をしてください。</p> <p>SCIのクロックソースの選択についての詳細は表 14.9 を参照してください。</p> <ul style="list-style-type: none"> • 調歩同期式モード <ul style="list-style-type: none"> 00: 内部クロック / SCK0 端子は入力端子 (入力信号は無視)*¹ 01: 内部クロック / SCK0 端子はクロック出力*² 10: 外部クロック / SCK0 端子はクロック入力*³ 11: 外部クロック / SCK0 端子はクロック入力*³ • クロック同期式モード <ul style="list-style-type: none"> 00: 内部クロック / SCK0 端子は同期クロック出力*¹ 01: 内部クロック / SCK0 端子は同期クロック出力 10: 外部クロック / SCK0 端子は同期クロック入力 11: 外部クロック / SCK0 端子は同期クロック入力 <p>【注】*1 初期値 *2 ビットレートと同じ周波数のクロックを出力 *3 ビットレートの16倍の周波数のクロックを入力</p>

14.3.7 シリアルステータスレジスタ (SCSSR)

SCSSR は、SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SCSSR は常に CPU からリード/ライトができます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。また、TEND フラグ、および MPB フラグはリード専用でありライトすることはできません。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ</p> <p>SCTDR から SCTSR にデータ転送が行われ SCTDR に次のシリアル送信データを書き込むことが可能になったことを示します。</p> <p>0 : SCTDR に有効な送信データが書き込まれていることを表示 [クリア条件] TDRE = 1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1 : SCTDR に有効な送信データがないことを表示 [セット条件] (1) リセット、またはスタンバイモード時 (2) SCSSR の TE ビットが 0 のとき (3) SCTDR から SCTSR にデータ転送が行われ SCTDR にデータの書き込みが可能になったとき</p>
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル</p> <p>受信したデータが SCRDR に格納されていることを示します。</p> <p>0 : SCRDR に有効な受信データが格納されていないことを表示 [クリア条件] (1) リセット、またはスタンバイモード時 (2) RDRF = 1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1 : SCRDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、SCSSR から SCRDR へ受信データが転送されたとき</p> <p>【注】受信時にエラーを検出したとき、および SCSSR の RE ビットを 0 にクリアしたときには SCRDR および RDRF フラグは影響を受けず以前の状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。</p>

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
5	ORER	0	R/(W)*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <p>(1) リセット、またはスタンバイモード時</p> <p>(2) ORER = 1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1: 受信時にオーバランエラーが発生したことを表示*²</p> <p>[クリア条件]</p> <p>RDRF = 1 の状態で次のシリアル受信を完了したとき</p> <p>【注】*1 SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 SCRDR ではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。</p>
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <p>(1) リセット、またはスタンバイモード時</p> <p>(2) FER = 1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1: 受信時にフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <p>SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*²</p> <p>【注】*1 SCSCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCRDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。</p>

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <p>(1) リセット、またはスタンバイモード時</p> <p>(2) PER = 1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1: 受信時にパリティエラーが発生したことを表示*²</p> <p>[セット条件]</p> <p>受信時の受信データとパリティビットをあわせた 1 の数が、SCSMR の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき</p> <p>【注】*¹ SCSCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。</p> <p>*² パリティエラーが発生したときの受信データは SCRDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>TEND フラグはリード専用ですので、ライトすることはできません。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <p>TDRE = 1 の状態を読み出したあと、TDRE フラグに 0 を書き込んだとき</p> <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <p>(1) リセット、またはスタンバイモード時</p> <p>(2) SCSCR の TE ビットが 0 のとき</p> <p>(3) バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき</p>
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。</p> <p>MPB フラグは、リード専用ですので、ライトすることはできません。</p> <p>0: マルチプロセッサビットが 0 のデータを受信したことを表示*</p> <p>1: マルチプロセッサビットが 1 のデータを受信したことを表示</p> <p>【注】* マルチプロセッサフォーマットで RE ビットを 0 にクリアしたときには、以前の状態を保持します。</p>

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。 クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときには MPBT ビットの設定は無効です。 0：マルチプロセッサビットが0のデータを送信 1：マルチプロセッサビットが1のデータを送信

【注】 * フラグをクリアするための0ライトのみ可能です。

14.3.8 SCポートコントロールレジスタ (SCPCR)

SCPCR は、SCI 端子と SCIF 端子の入出力方向を制御します。

SCPCR の設定は入出力の制御に用いられ、SCPCR に書き込まれたデータを TxD0 端子から出力すること、RxD0 端子から読み出されたデータを入力すること、およびシリアル送信 / 受信ブレイクすることが可能となります。

また、SCK0 端子からのデータの読み出し、SCK0 端子への出力データ書き込みが可能です。

SCI 端子の入出力制御は SCPCR ビット 3~0 で行います。SCIF 端子の入出力制御は、SCPCR ビット 11~4 で行います。

ビット	ビット名	初期値	R/W	説明
15~12		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライト時は常に0にしてください。
11	SCP5MD1	1	R/W	「17.1.10 SCポートコントロールレジスタ (SCPCR)」を参照してください。
10	SCP5MD0	0	R/W	
9	SCP4MD1	1	R/W	
8	SCP4MD0	0	R/W	
7	SCP3MD1	1	R/W	
6	SCP3MD0	0	R/W	
5	SCP2MD1	0	R/W	
4	SCP2MD0	0	R/W	
3	SCP1MD1	1	R/W	シリアルクロックポート入出力 本ビットはシリアルポート SCK0 端子の入出力を指定します。SCK0 端子を実際にポート入出力端子として使用する場合は、SCSMR の C/A ビット、SCSCR の CKE1、CKE0 ビットを0にクリアしてください。 00：SCP1DT ビットの値は SCK0 端子から出力されません。 01：SCP1DT ビットの値が SCK0 端子から出力されます。 10：SCK0 端子の値が SCP1DT ビットから読み出されます。 11：SCK0 端子の値が SCP1DT ビットから読み出されます。
2	SCP1MD0	0	R/W	

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	SCP0MD1	0	R/W	ポートブレイク入出力 本ビットはシリアルポート TxD0 端子の出力状態を指定します。TxD0 端子を実際にポート出力端子として使用し SCP0DT ビットの値を出力する場合は、SCSCR の TE ビットを 0 にクリアしてください。 00 : SCP0DT ビットの値は TxD0 端子から出力されません。 01 : SCP0DT ビットの値が TxD0 端子から出力されます。
0	SCP0MD0	0	R/W	

14.3.9 SC ポートデータレジスタ (SCPDR)

SCPDR は、SCI 端子と SCIF 端子のデータを制御します。SCI 端子のデータ制御は SCPDR のビット 1、0 で行います。SCIF 端子のデータ制御は、SCPDR のビット 5、2 で行います。

ビット	ビット名	初期値	R/W	説明
7, 6			R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
5	SCP5DT		R	「18.10.2 SC ポートデータレジスタ (SCPDR)」を参照してください。
4	SCP4DT	0	R/W	
3	SCP3DT	0	R/W	
2	SCP2DT	0	R/W	
1	SCP1DT	0	R/W	シリアルポートクロックポートデータ シリアルポート SCK0 端子の入出力データを指定します。入力/出力は SCP1MD1、SCP1MD0 ビットにより指定します。出力モードでは、SCP1DT ビットの値が SCK0 端子より出力されます。 0 : 入力/出力データは Low (0) 1 : 入力/出力データは High (1)
0	SCP0DT	00	R/W	シリアルポートブレイクデータ シリアルポート RxD0 端子の入力データ、および TxD0 端子の出力データを指定します。TxD0 端子の出力状態は SCP0MD1、SCP0MD0 ビットにより指定します。TxD0 端子を出力モードに設定した場合、SCP0DT ビットの値が TxD0 端子より出力されます。RxD0 端子の値は、SCSCR の RE ビットが 1 にセットされていれば SCP0MD1、SCP0MD0 ビットの値と無関係に、SCP0DT ビットから読み出せません。パワーオンリセット後の本ビットの値は不定です。 0 : 入力/出力データは Low (0) 1 : 入力/出力データは High (1)

14.3.10 ビットレートレジスタ (SCBRR)

SCBRR は、SCSMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU によるリード / ライトが可能です。

SCBRR は、リセット、モジュールスタンバイ機能またはスタンバイモード時に H'FF に初期化されます。ボーレートジェネレータは、各チャンネル独立しているため、異なる値を 2 チャンネルに設定可能です。

SCBRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータのSCBRRの設定値 (0 ≤ N ≤ 255)

P : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、表14.2を参照してください)

表 14.2 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	P	0	0
1	P / 4	0	1
2	P / 16	1	0
3	P / 64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

14. シリアルコミュニケーションインタフェース (SCI)

表 14.3 に調歩同期式モードの SCBRR の設定例を、表 14.4 にクロック同期式モードの SCBRR の設定例を示します。

表 14.3 ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(1)

P ϕ (MHz) ビットレート(bit/s)	7.37288			8			9.8304		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	130	- 0.07	2	141	0.03	2	174	- 0.26
150	2	95	0.00	2	103	0.16	2	127	0.00
300	1	191	0.00	1	207	0.16	1	255	0.00
600	1	95	0.00	1	103	0.16	1	127	0.00
1200	0	191	0.00	0	207	0.16	0	255	0.00
2400	0	95	0.00	0	103	0.16	0	127	0.00
4800	0	47	0.00	0	51	0.16	0	63	0.00
9600	0	23	0.00	0	25	0.16	0	31	0.00
19200	0	11	0.00	0	12	0.16	0	15	0.00
31250	0	6	5.33	0	7	0.00	0	9	- 1.70
38400	0	5	0.00	0	6	- 6.99	0	7	0.00

P ϕ (MHz) ビットレート(bit/s)	10			12			12.288		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	129	0.16	2	155	0.16	2	159	0.00
300	2	64	0.16	2	77	0.16	2	79	0.00
600	1	129	0.16	1	155	0.16	1	159	0.00
1200	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	1.73	0	19	0.16	0	19	0.00
31250	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	1.73	0	9	- 2.34	0	9	0.00

14. シリアルコミュニケーションインタフェース (SCI)

表 14.3 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (2)

P (MHz) ビットレート(bit/s)	14.7456			16			19.6608			20		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	64	0.70	3	70	0.03	3	86	0.31	3	88	- 0.25
150	2	191	0.00	2	207	0.16	2	255	0.00	3	64	0.16
300	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
600	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
1200	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
2400	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
4800	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
9600	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
19200	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
31250	0	14	- 1.70	0	15	0.00	0	19	- 1.70	0	19	0.00
38400	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73

P (MHz) ビットレート(bit/s)	24			24.576			28.7			30		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	106	- 0.44	3	108	0.08	3	126	0.31	3	132	0.13
150	3	77	0.16	3	79	0.00	3	92	0.46	3	97	- 0.35
300	2	155	0.16	2	159	0.00	2	186	- 0.08	2	194	0.16
600	2	77	0.16	2	79	0.00	2	92	0.46	2	97	- 0.35
1200	1	155	0.16	1	159	0.00	1	186	- 0.08	1	194	0.16
2400	1	77	0.16	1	79	0.00	1	92	0.46	1	97	- 0.35
4800	0	155	0.16	0	159	0.00	0	186	- 0.08	0	194	0.16
9600	0	77	0.16	0	79	0.00	0	92	0.46	0	97	- 0.35
19200	0	38	0.16	0	39	0.00	0	46	- 0.61	0	48	- 0.35
31250	0	23	0.00	0	24	- 1.70	0	28	- 1.03	0	29	0.00
38400	0	19	- 2.34	0	19	0.00	0	22	1.55	0	23	1.73

14. シリアルコミュニケーションインタフェース (SCI)

P (MHz) ビットレート(bit/s)	33.34		
	n	N	誤差(%)
110	3	147	0.00
150	3	108	- 0.43
300	2	216	0.03
600	2	108	- 0.43
1200	1	216	0.03
2400	1	108	- 0.43
4800	0	216	0.03
9600	0	108	- 0.43
19200	0	53	0.49
31250	0	32	1.03
38400	0	26	0.49

表 14.4 ビットレートに対する SCBRR の設定例〔クロック同期式モード〕

P (MHz) ビットレート(bit/s)	8		16		28.7		30	
	n	N	n	N	n	N	n	N
110								
250	3	124	3	249				
500	2	249	3	124	3	223	3	233
1K	2	124	2	249	3	111	3	116
2.5K	1	199	2	99	2	178	2	187
5K	1	99	1	199	2	89	2	93
10K	0	199	1	99	1	178	1	187
25K	0	79	0	159	1	71	1	74
50K	0	39	0	79	0	143	0	149
100K	0	19	0	39	0	71	0	74
250K	0	7	0	15			0	29
500K	0	3	0	7			0	14
1M	0	1	0	3				
2M	0	0*	0	1				

【注】 誤差は、なるべく 1%以内になるように設定してください。

空欄：設定できません。

-：設定可能ですが誤差がです。

*：連続送信 / 受信はできません。

表 14.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを

14. シリアルコミュニケーションインタフェース (SCI)

示します。また、表 14.6 と表 14.7 に外部クロック入力時の最大ビットレートを示します。

表 14.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

P (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.6608	614400	0	0
20	625000	0	0
24	750000	0	0
24.576	768000	0	0
28.7	896875	0	0
30	937500	0	0

表 14.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	2.0000	125000
9.8304	2.4576	153600
12	3.0000	187500
14.7456	3.6864	230400
16	4.0000	250000
19.6608	4.9152	307200
20	5.0000	312500
24	6.0000	375000
24.576	6.1440	384000
28.7	7.1750	448436
30	7.5000	468750

表 14.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3
16	2.6667	2666666.7
24	4.0000	4000000.0
28.7	4.7833	4783333.3
30	5.0000	5000000.0

14.4 動作説明

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SCSMR で行います。これを表 14.8 に示します。また、SCI のクロックソースは、SCSMR の C/\bar{A} ビットおよび SCSCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 14.9 に示します。

- 調歩同期式モード

データ長：7ビット/8ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定）

受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCIのクロックソース：内部クロック/外部クロックから選択可能

内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能

外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要
(内蔵ポーレートジェネレータを使用しない)

- クロック同期式モード

送信/受信フォーマット：8ビットデータ固定

受信時にオーバランエラーの検出可能

SCIのクロックソース：内部クロック/外部クロックから選択可能

内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

14. シリアルコミュニケーションインタフェース (SCI)

表 14.8 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセ ッサビット	パリティ ビット	ストップ ビット長		
C/ \bar{A}	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット		
				1					2ビット		
			1	0					0	あり	1ビット
				1					1	2ビット	
			1	0					0	なし	1ビット
				1					1	2ビット	
	0	1	*	0	調歩同期式モード (マルチプロセッサ フォーマット)	8ビットデータ	あり	なし	1ビット		
			*	1					2ビット		
	1	1	*	0		7ビットデータ			1ビット		
			*	1					2ビット		
	1	*	*	*	*	クロック同期式モード	8ビットデータ	なし	なし		

【注】 * Don't care

表 14.9 SCSMR、SCSCR の設定と SCI のクロックソースの選択

SCSMR	SCSCR の設定		モード	SCI の送信 / 受信クロック	
	ビット7	ビット1		クロック ソース	SCK0 端子の機能
	C/ \bar{A}	CKE1			
0	0	0	調歩同期式 モード	内部	SCI は、SCK0 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック 同期式 モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

14.4.1 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっており、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 14.5 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち上がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

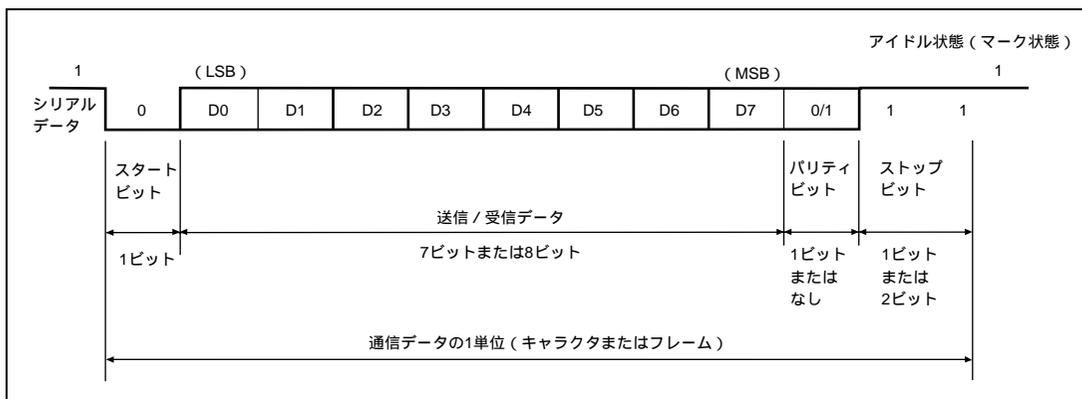


図 14.5 調歩同期式通信のデータフォーマット (8 ビットデータ / パリティあり / 2 ストップビットの例)

14. シリアルコミュニケーションインタフェース (SCI)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 14.10 に示します。

送信 / 受信フォーマットは 12 種類あり、SCSMR の設定により選択できます。

表 14.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMR の設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	*	1	0	S	8ビットデータ								MPB	STOP			
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	*	1	0	S	7ビットデータ							MPB	STOP				
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP			

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

【注】 * Don't care

(2) クロック

SCIの送受信クロックは、SCSMRの C/\bar{A} ビットとSCSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK0端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表14.9を参照してください。

外部クロックをSCK0端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK0端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図14.6に示すように送信データの中央にクロックの立ち上がりエッジが来るようになります。

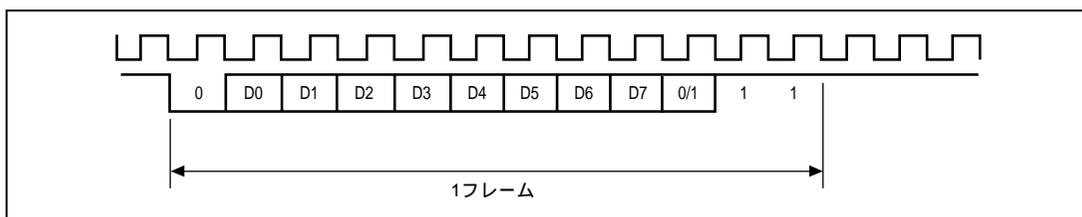


図 14.6 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

- SCIの初期化 (調歩同期式)

データの送信 / 受信前には、まずSCSCRのTEビット、およびREビットを0にクリアしたあと、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは、1にセットされ、SCTSRが初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびSCRDRの内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図14.7にSCIの初期化フローチャートの例を示します。

14. シリアルコミュニケーションインタフェース (SCI)

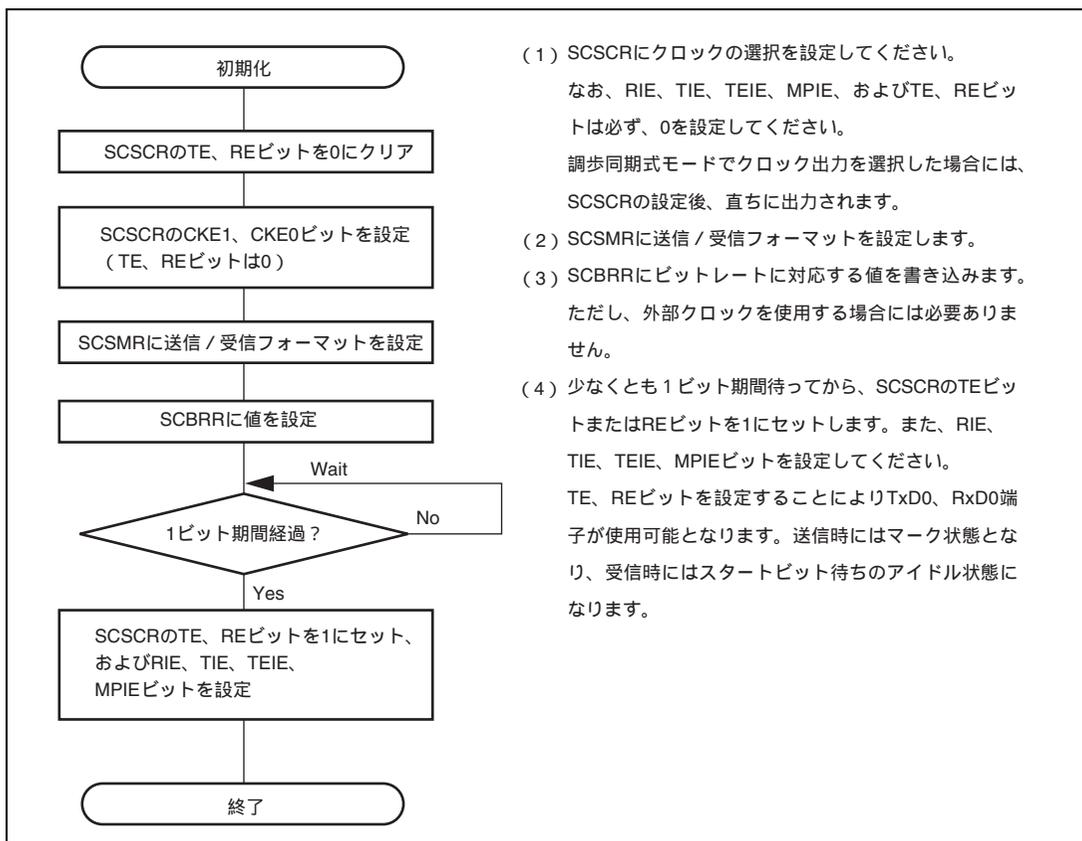


図 14.7 SCI の初期化フローチャートの例

- シリアルデータ送信 (調歩同期式)

図 14.8 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定したあと、以下の手順に従って行ってください。

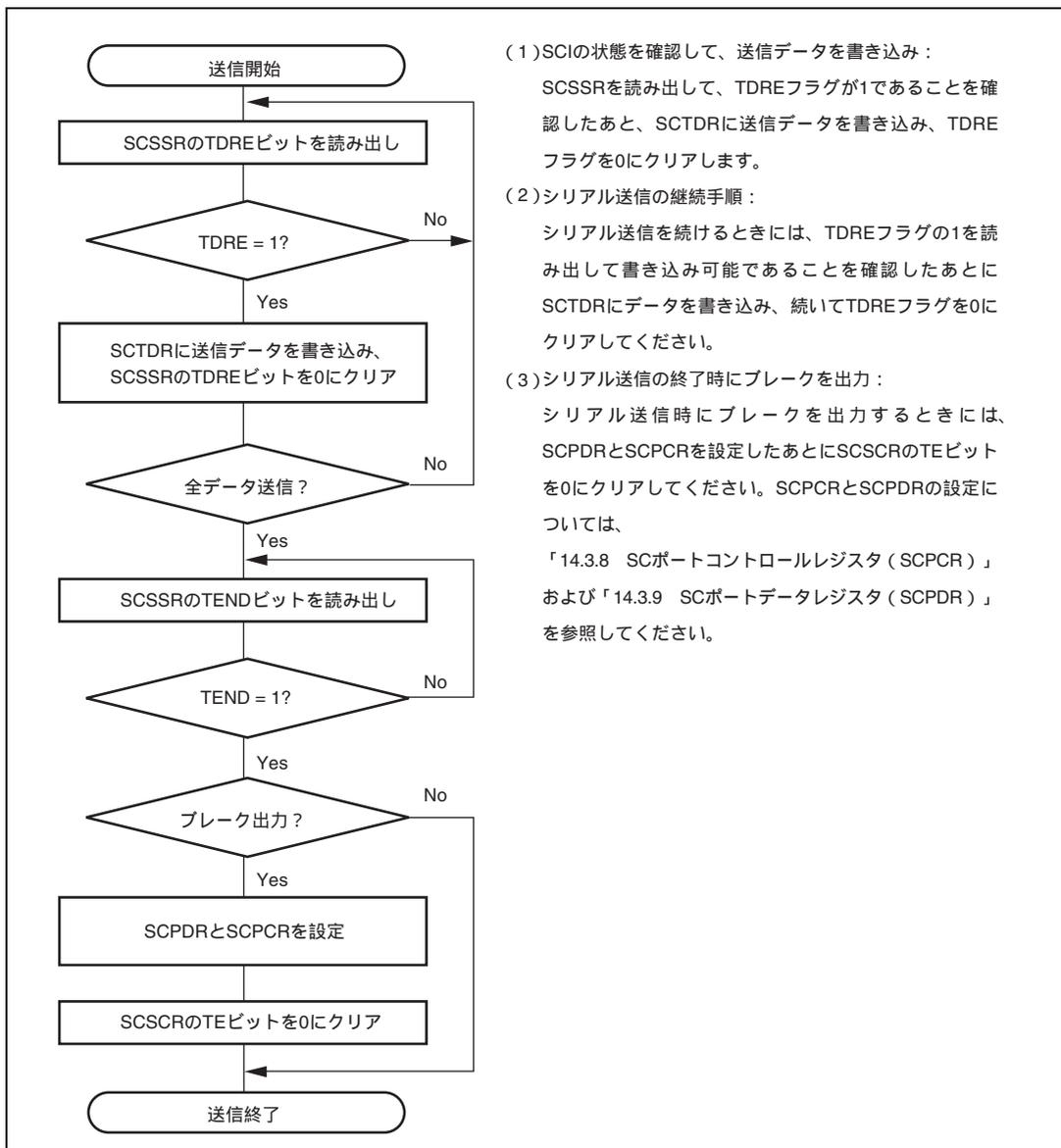


図 14.8 シリアル送信のフローチャートの例

14. シリアルコミュニケーションインタフェース (SCI)

SCIはシリアル送信時に以下のように動作します。

1. SCIは、SCSSRのTDREフラグを監視し、0であるとSCTDRにデータが書き込まれたと認識し、SCTDRからSCTSRにデータを転送します。
2. SCTDRからSCTSRへデータを転送したあとにTDREフラグを1にセットし、送信を開始します。
このとき、SCSCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD0 端子から送り出されます。

- スタートビット：1ビットの0が出力されます。
- 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
- パリティビットまたはマルチプロセッサビット：1ビットのパリティビット（偶数パリティ、または奇数パリティ）、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
- ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
- マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

3. SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、ストップビットを送り出したあと、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSCSSRのTENDフラグに1をセットし、ストップビットを送り出したあと、1を出力するマーク状態になります。このときSCSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。

調歩同期式モードでの送信時の動作例を図 14.9 に示します。

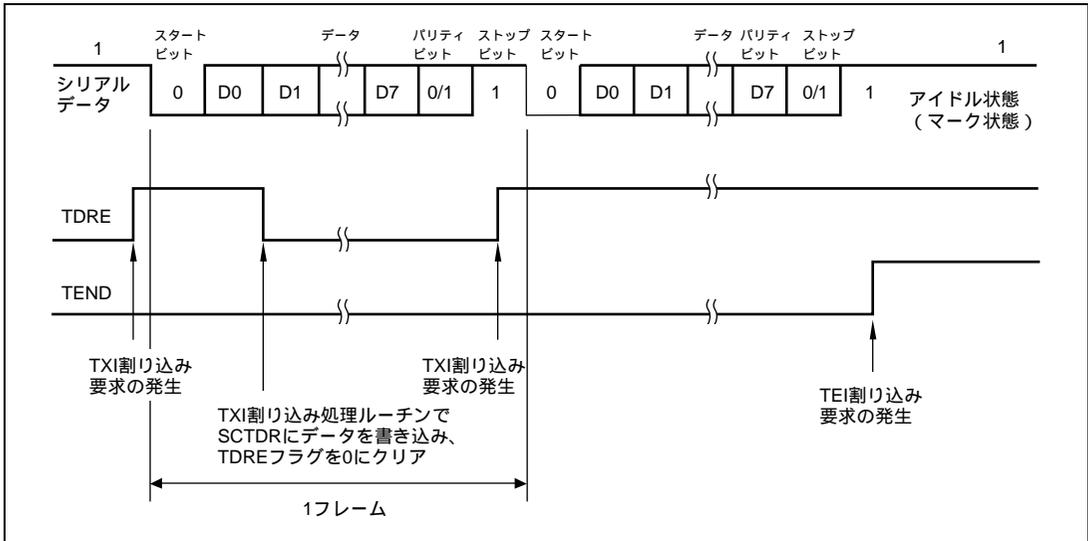


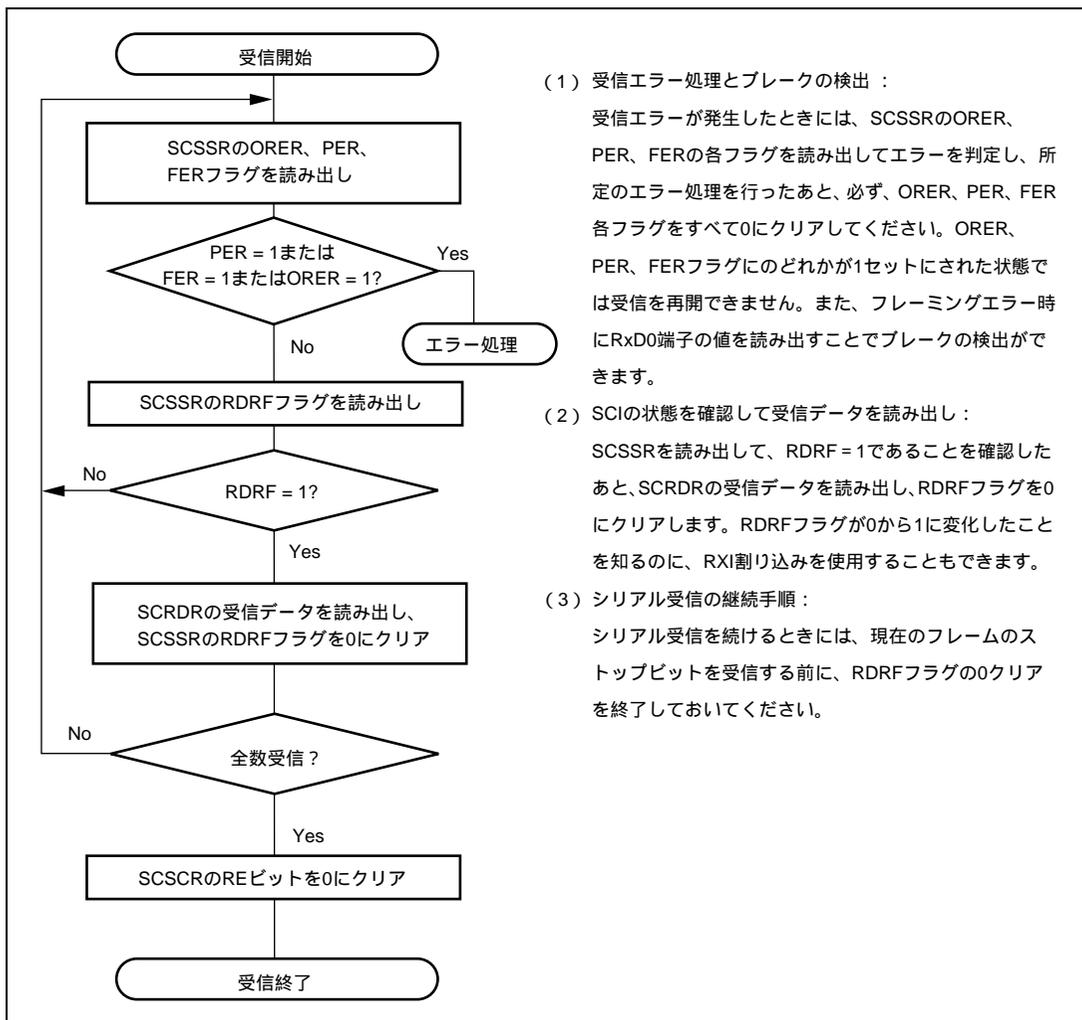
図 14.9 調歩同期式モードでの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

14. シリアルコミュニケーションインタフェース (SCI)

• シリアルデータ受信 (調歩同期式)

図 14.10 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定したあと、以下の手順に従って行ってください。



(1) 受信エラー処理とブレークの検出 :

受信エラーが発生したときには、SCSSRのORER、PER、FERの各フラグを読み出してエラーを判定し、所定のエラー処理を行ったあと、必ず、ORER、PER、FER各フラグをすべて0にクリアしてください。ORER、PER、FERフラグにのどれかが1セットにされた状態では受信を再開できません。また、フレーミングエラー時にRxD0端子の値を読み出すことでブレークの検出ができます。

(2) SCIの状態を確認して受信データを読み出し :

SCSSRを読み出して、RDRF=1であることを確認したあと、SCRDRの受信データを読み出し、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことを知るのに、RXI割り込みを使用することもできます。

(3) シリアル受信の継続手順 :

シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFフラグの0クリアを終了しておいてください。

図 14.10 シリアル受信のフローチャートの例 (1)

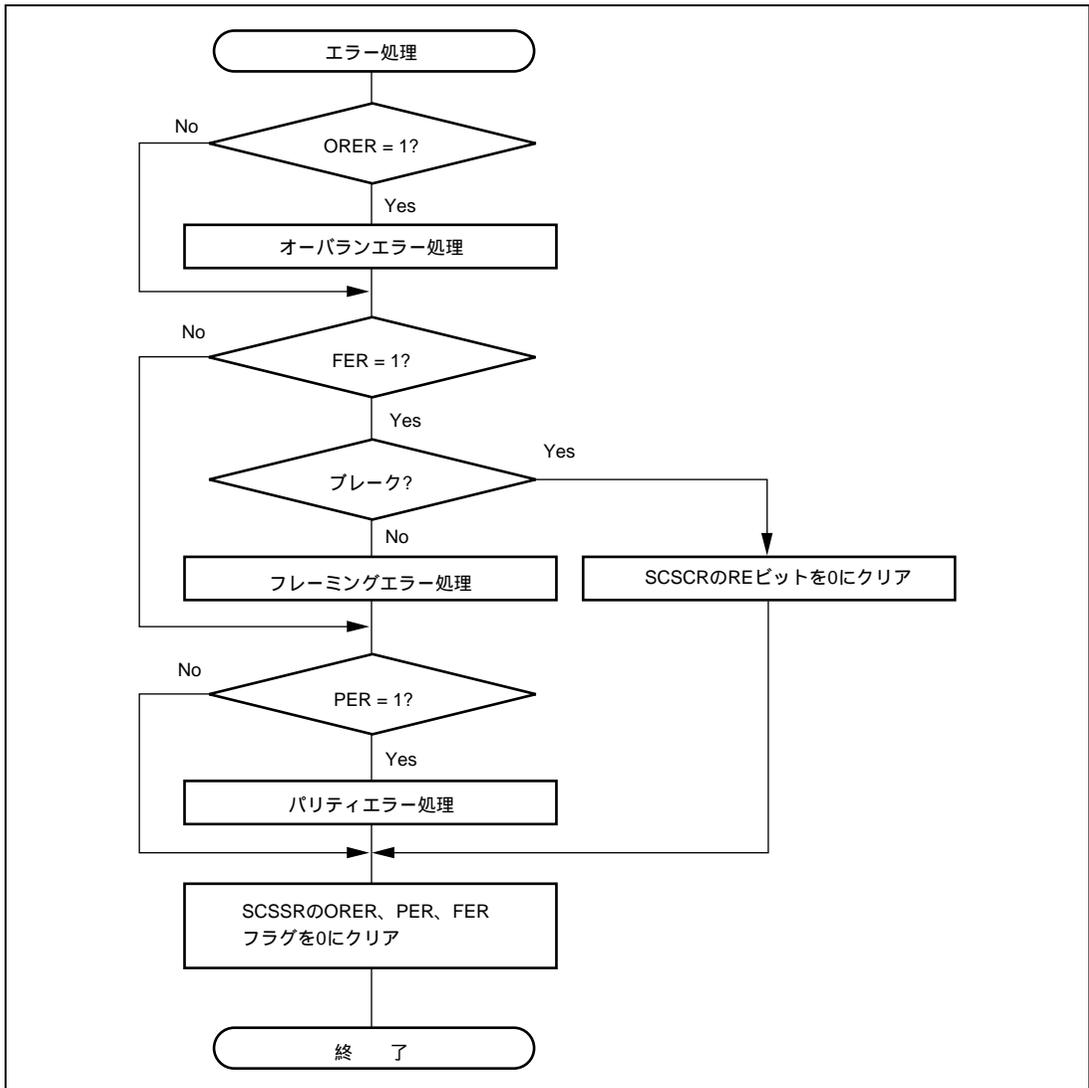


図 14.10 シリアル受信のフローチャートの例 (2)

14. シリアルコミュニケーションインタフェース (SCI)

SCIは受信時に以下のように動作します。

1. SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIは以下のチェックを行います。

- パリティチェック：受信データの1の数をチェックし、これがSCSMRのO \bar{E} ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- ステータスチェック：RDRFフラグが0であり、受信データをSCRSRからSCRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRFフラグが1にセットされ、SCRDRに受信データが格納されます。エラーチェックで受信エラーを発生すると表 14.11 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時にRDRFフラグが1にセットされませんので、必ずエラーフラグを0にクリアしてください。

4. RDRFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。

また、ORER、PER、FERフラグのどれかが1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 14.11 受信エラーと発生条件

受信エラー名	略 称	発生条件	データ転送
オーバランエラー	ORER	SCSCRのRDRFフラグが1にセットされたまま次のデータ受信を完了したとき	SCRSR から SCRDR に受信データは転送されません
フレーミングエラー	FER	ストップビットが0のとき	SCRSR から SCRDR に受信データが転送されます
パリティエラー	PER	SCSMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	SCRSR から SCRDR に受信データが転送されます

調歩同期式モード受信時の動作例を図 14.11 に示します。

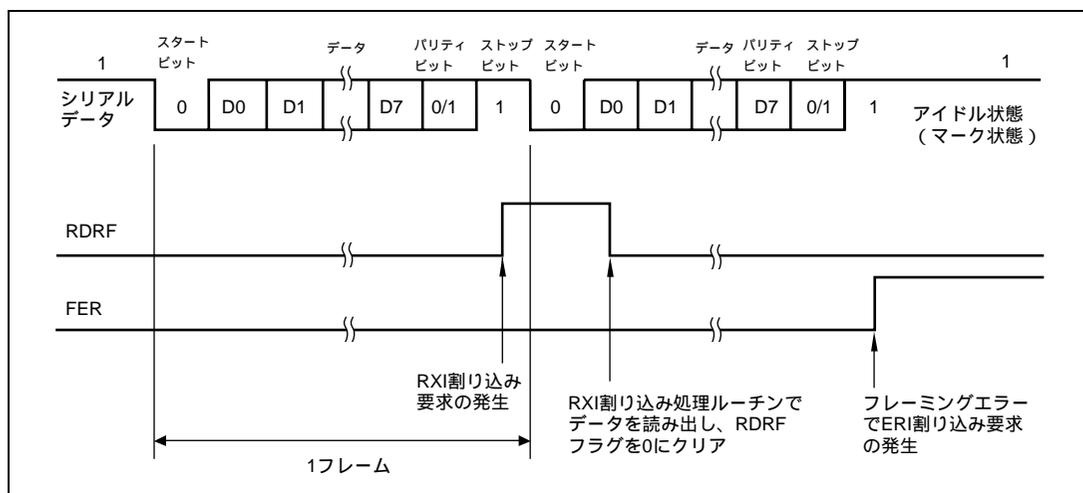


図 14.11 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

14.4.2 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 14.12 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

14. シリアルコミュニケーションインタフェース (SCI)

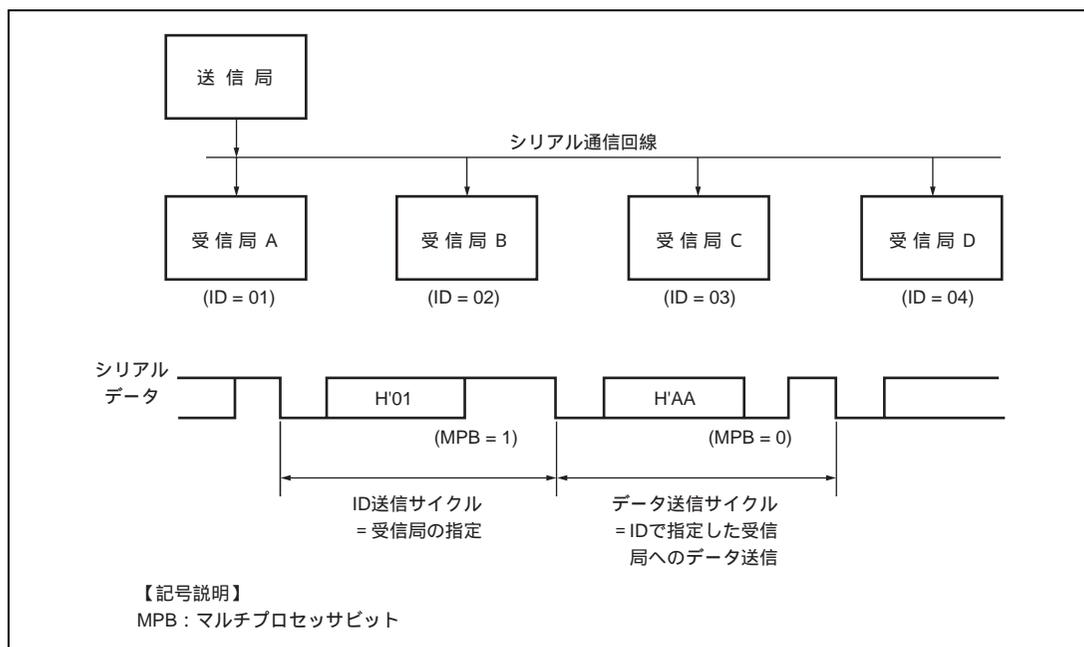


図 14.12 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 14.10 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

(3) データの送信 / 受信動作

- マルチプロセッサシリアルデータ送信

図 14.13 にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、SCI を送信動作可能状態に設定したあと、以下の手順に従って行ってください。

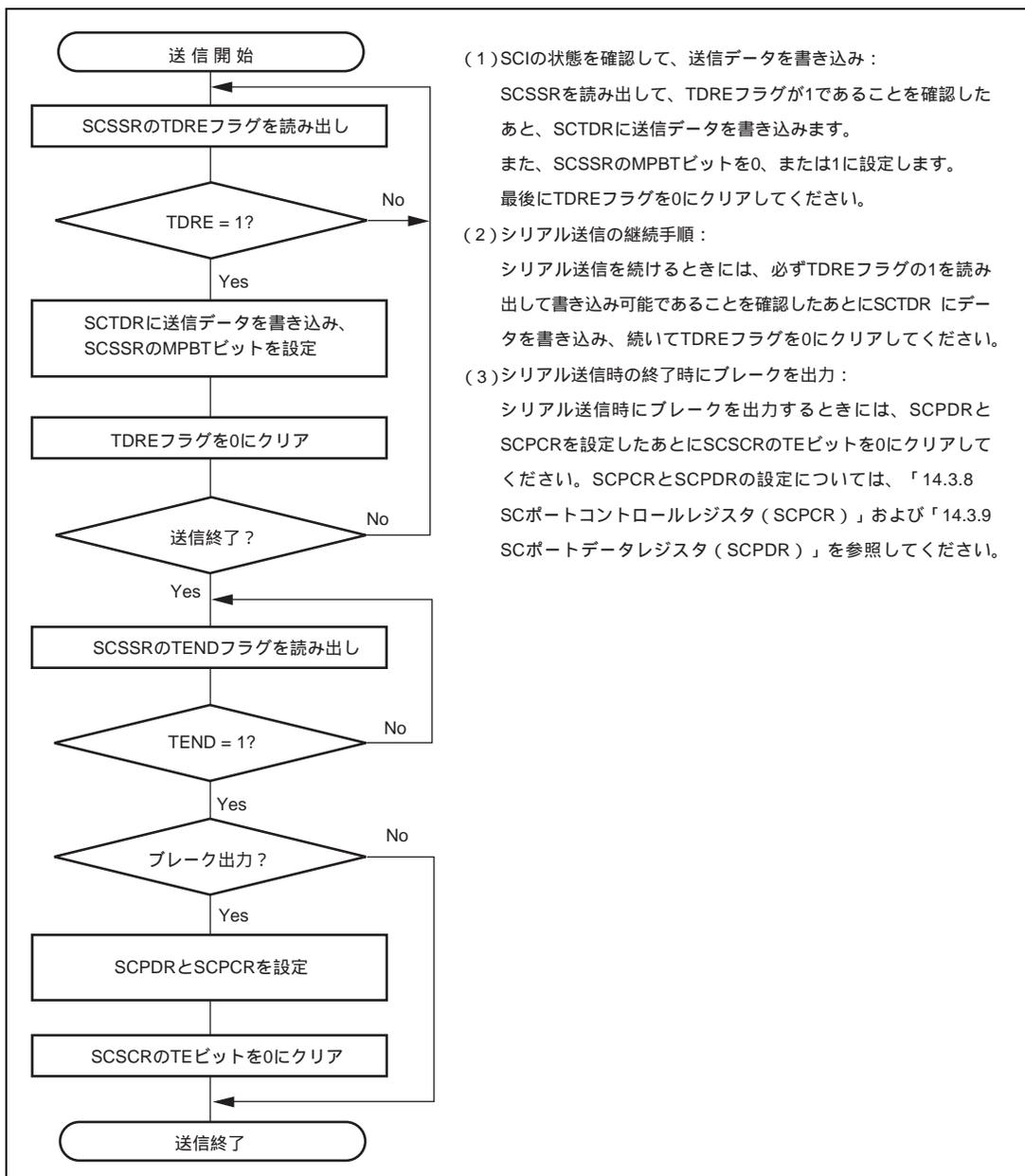


図 14.13 マルチプロセッサシリアル送信のフローチャートの例

14. シリアルコミュニケーションインタフェース (SCI)

SCI は、シリアル送信時に以下のように動作します。

1. SCIは、SCSSRのTDREフラグを監視し、0であるとSCTDRにデータが書き込まれたと認識し、SCTDRからSCTSRにデータを転送します。
2. SCTDRからSCTSRへデータを転送したあとにTDREフラグを1にセットし、送信を開始します。
このとき、SCSSRの送信データエンプティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順にTxD0端子から送り出されます。

- スタートビット：1ビットの0が出力されます。
 - 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - ストップビット：1ビット、または2ビットの1 (ストップビット) が出力されます。
 - マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、ストップビットを送り出したあと、次のフレームのシリアル送信を開始します。
TDREフラグが1であるとSCSSRのTENDフラグを1にセットし、ストップビットを送り出したあと、1を出力するマーク状態になります。このときSCSSRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 14.14 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

14. シリアルコミュニケーションインタフェース (SCI)

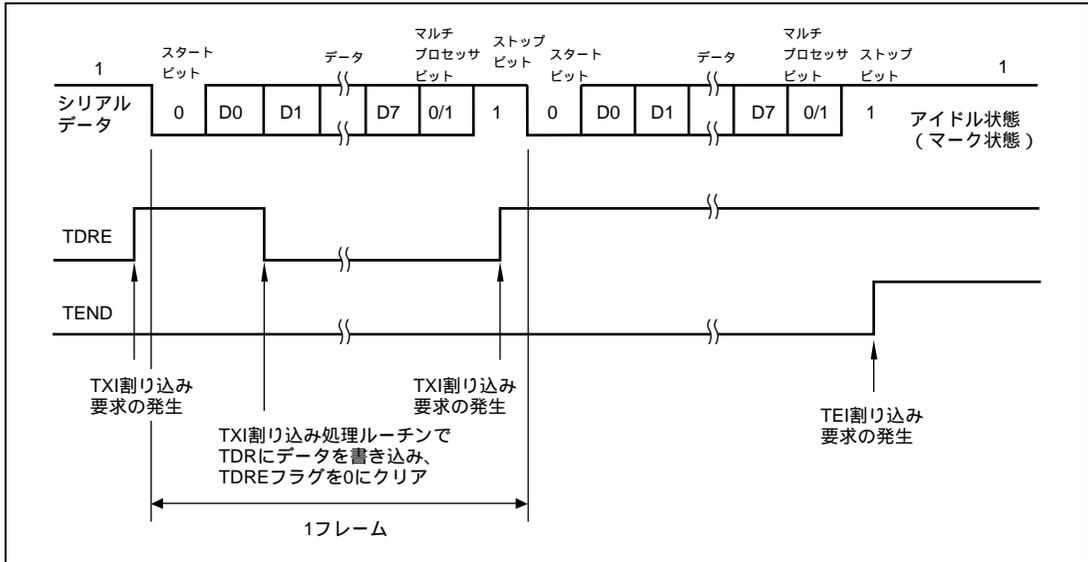


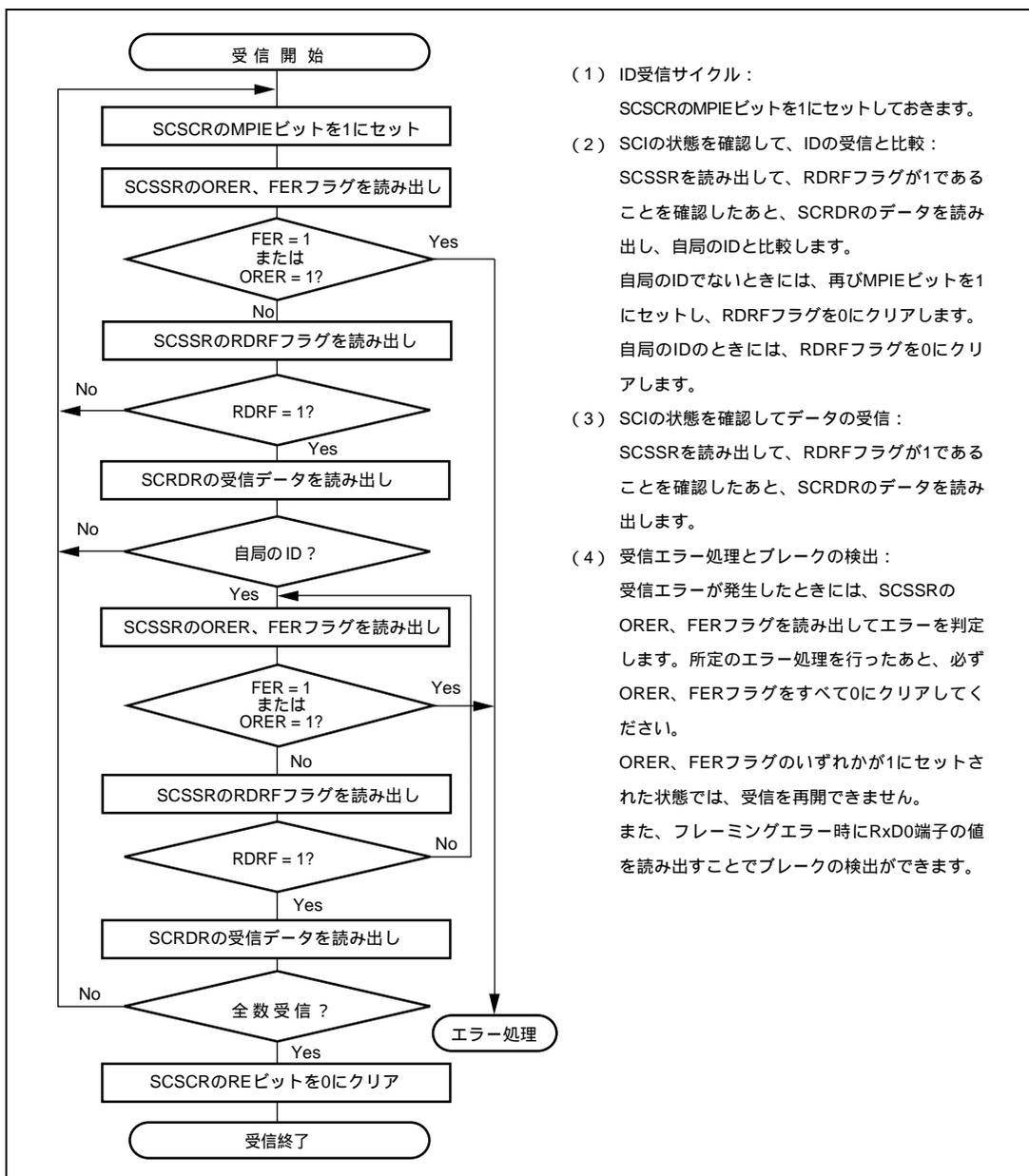
図 14.14 SCI の送信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

14. シリアルコミュニケーションインタフェース (SCI)

• マルチプロセッサシリアルデータ受信

図 14.15 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、SCI を受信動作可能状態に設定したあと、以下の手順に従い行ってください。



- (1) ID受信サイクル :
SCSCRのMPIEビットを1にセットしておきます。
- (2) SCIの状態を確認して、IDの受信と比較 :
SCSSRを読み出して、RDRFフラグが1であることを確認したあと、SCRDRのデータを読み出し、自局のIDと比較します。
自局のIDでないときには、再びMPIEビットを1にセットし、RDRFフラグを0にクリアします。
自局のIDのときには、RDRFフラグを0にクリアします。
- (3) SCIの状態を確認してデータの受信 :
SCSSRを読み出して、RDRFフラグが1であることを確認したあと、SCRDRのデータを読み出します。
- (4) 受信エラー処理とブレークの検出 :
受信エラーが発生したときには、SCSSRのORER、FERフラグを読み出してエラーを判定します。所定のエラー処理を行ったあと、必ずORER、FERフラグをすべて0にクリアしてください。
ORER、FERフラグのいずれかが1にセットされた状態では、受信を再開できません。
また、フレーミングエラー時にRxD0端子の値を読み出すことでブレークの検出ができます。

図 14.15 マルチプロセッサシリアル受信のフローチャートの例 (1)

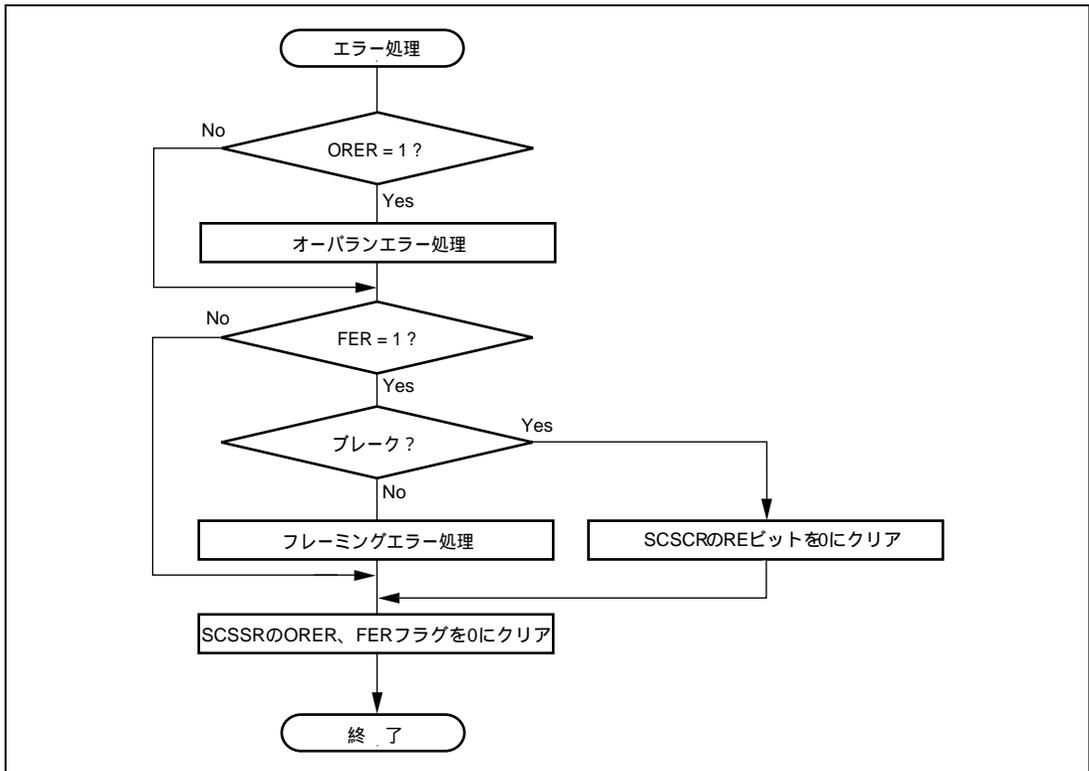


図 14.15 マルチプロセッサシリアル受信のフローチャートの例 (2)

14. シリアルコミュニケーションインタフェース (SCI)

図 14.16 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

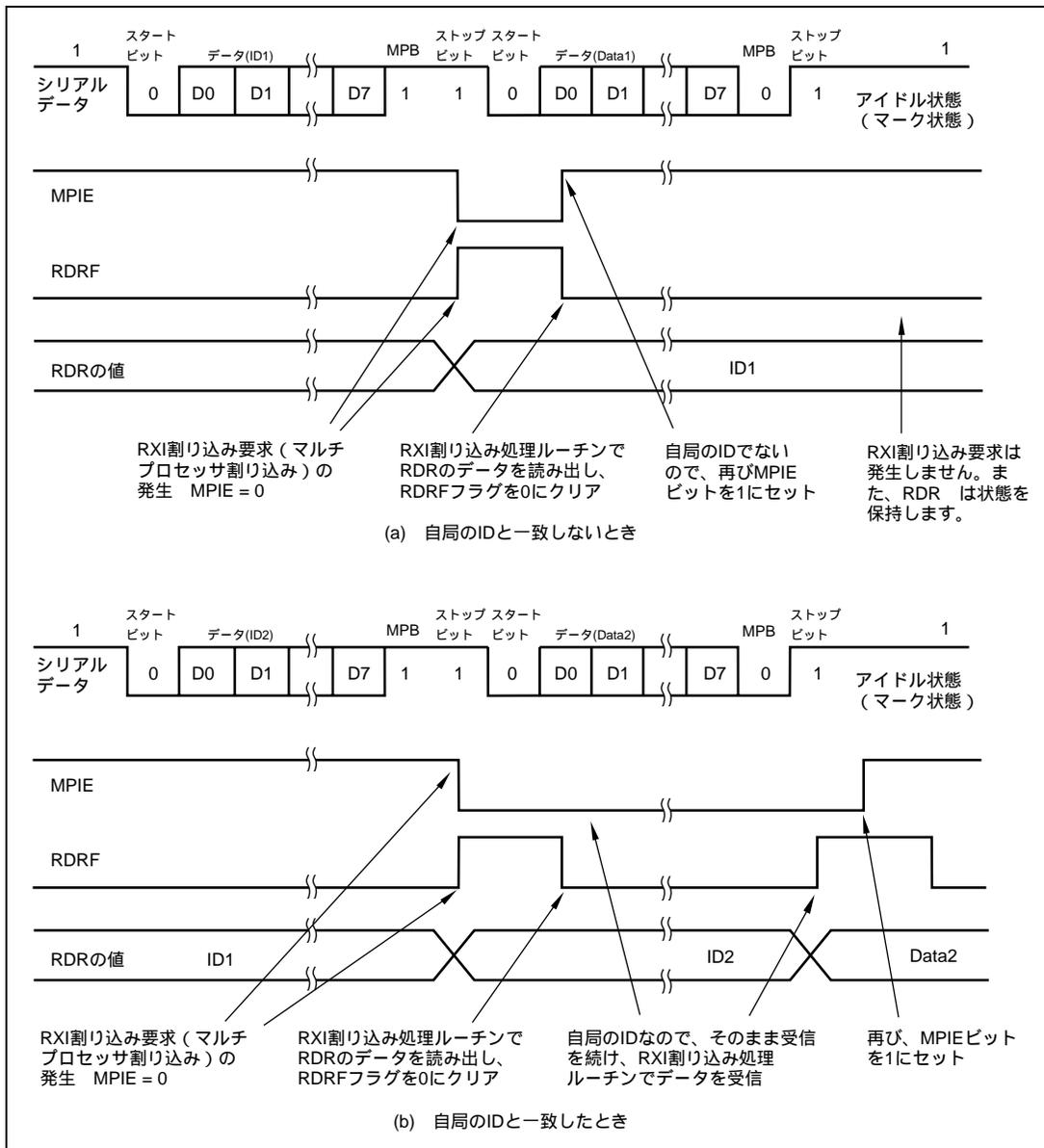


図 14.16 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

14.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 14.17 に示します。

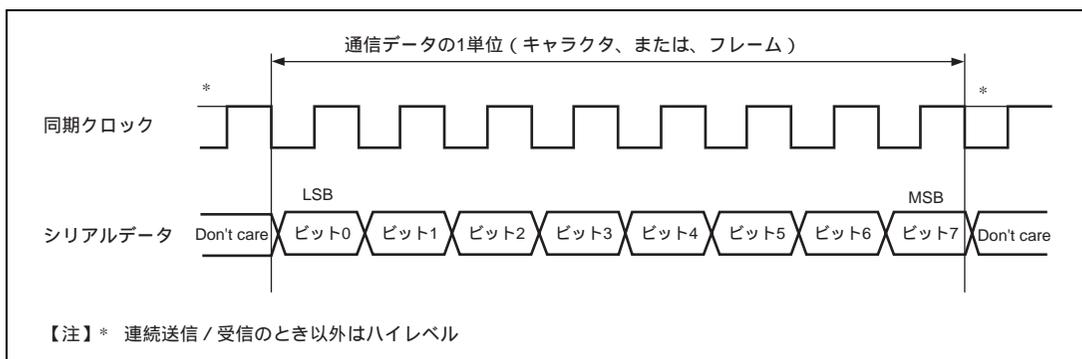


図 14.17 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SCSMRの C/\bar{A} ビットとSCSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK0端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 14.9を参照してください。

内部クロックで動作させるとき、SCK0端子から同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、SCIは2キャラクタを1単位として受信動作を行いますので、16パルスの同期クロックが出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

14. シリアルコミュニケーションインタフェース (SCI)

(3) データの送信 / 受信動作

- SCIの初期化 (クロック同期式)

データの送信 / 受信前に SCSCR の TE、および RE ビットを 0 にクリアしたあと、以下の手順で SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、SCTSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および SCRDR の内容は保持されますので注意してください。

図 14.18 に SCI の初期化フローチャートの例を示します。

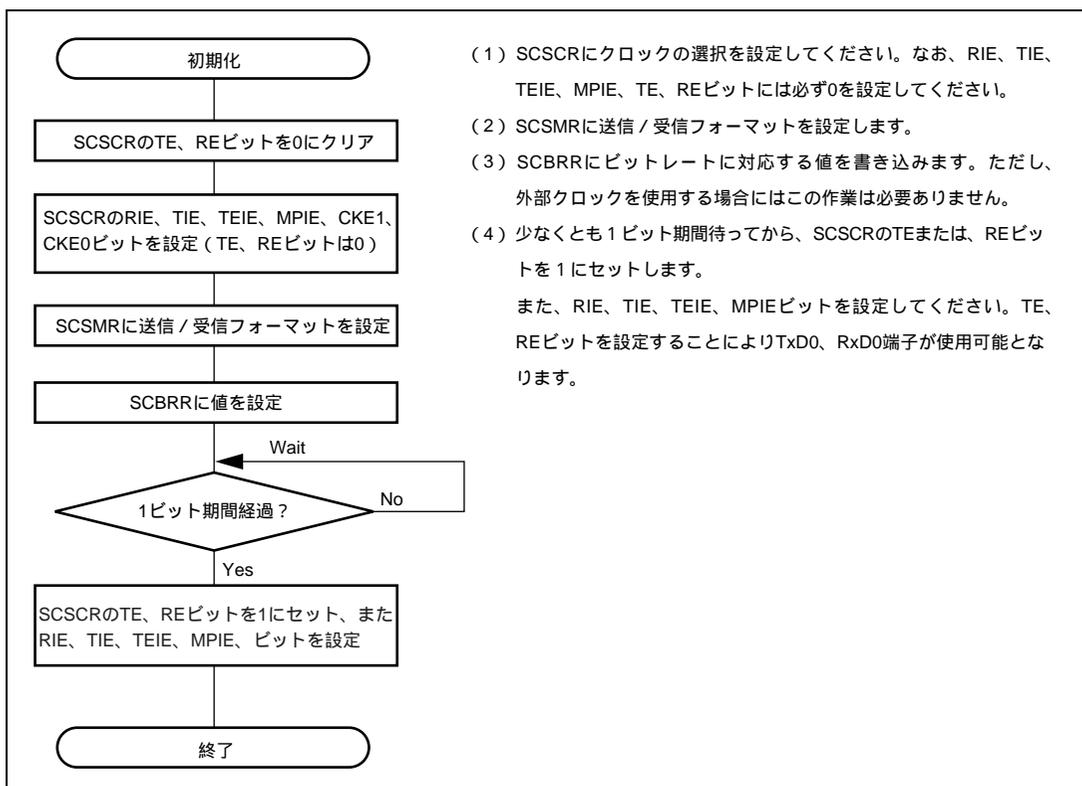


図 14.18 SCI の初期化フローチャートの例

- シリアルデータ送信 (クロック同期式)

図 14.19 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定したあと、以下の手順で行ってください。

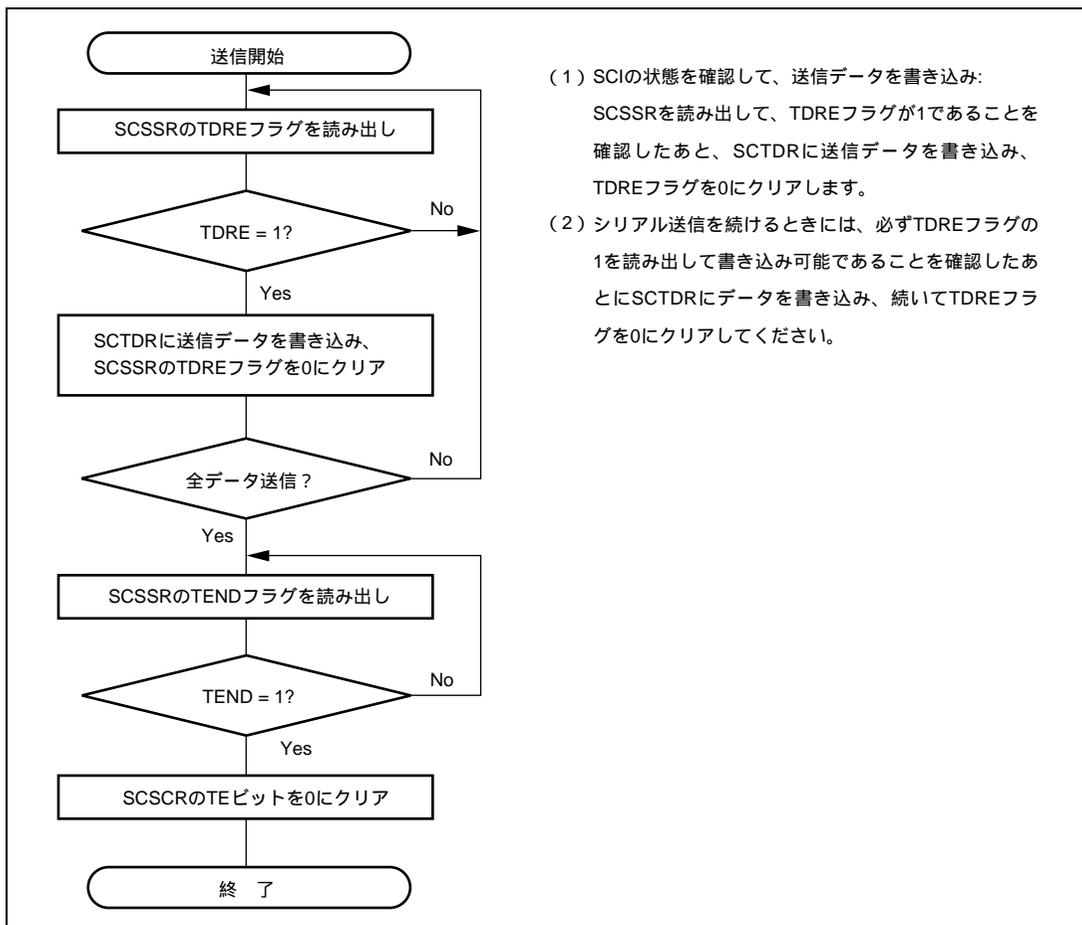


図 14.19 シリアル送信のフローチャートの例

14. シリアルコミュニケーションインタフェース (SCI)

SCI はシリアル送信時に以下のように動作します。

1. SCIは、SCSSRのTDREフラグを監視し、0であるとSCTDRにデータが書き込まれたと認識し、SCTDRからSCTSRにデータを転送します。
2. SCTDRからSCTSRへデータを転送したあとにTDREフラグを1にセットし、送信を開始します。
このとき、SCSSRの送信データEMPTY割り込みイネーブルビット (TIE) が1にセットされていると送信データEMPTY割り込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD0端子から送り出されます。
3. SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSCSSRのTENDフラグを1にセットし、MSB (ビット7) を送り出したあと、TxD0端子は状態を保持します。
このときSCSSRのTEIEが1にセットされていると送信終了割り込み (TEI) 要求を発生します。
4. シリアル送信終了後は、SCK0端子はハイレベル固定になります。

図 14.20 に SCI の送信時の動作例を示します。

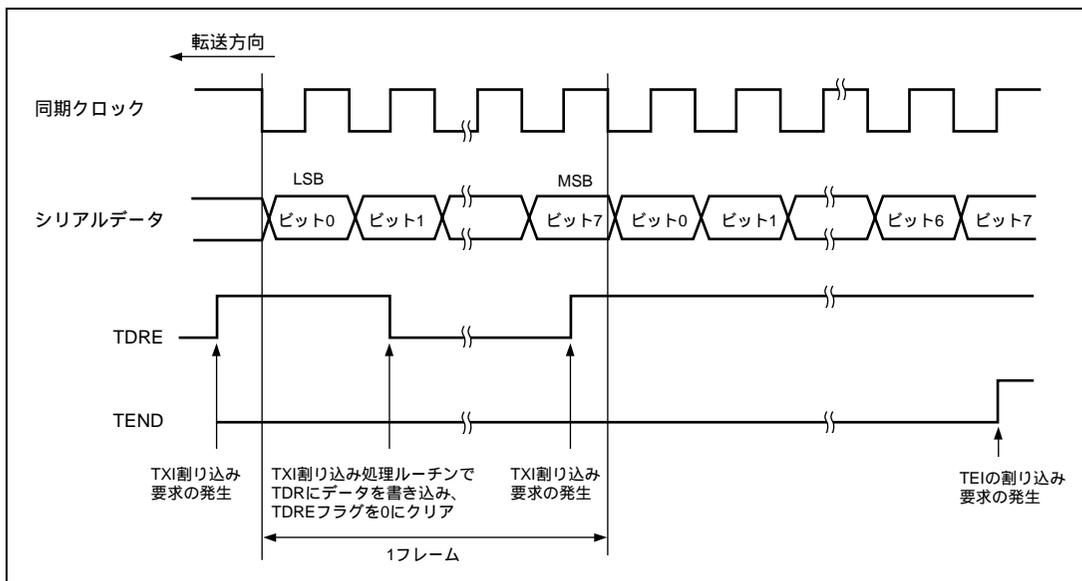


図 14.20 SCI の送信時の動作例

- シリアルデータ受信 (クロック同期式)

図 14.21 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定したあと、以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

FER、PERフラグが1にセットされているとRDRFフラグがセットされません。また、送信/受信動作が行えません。

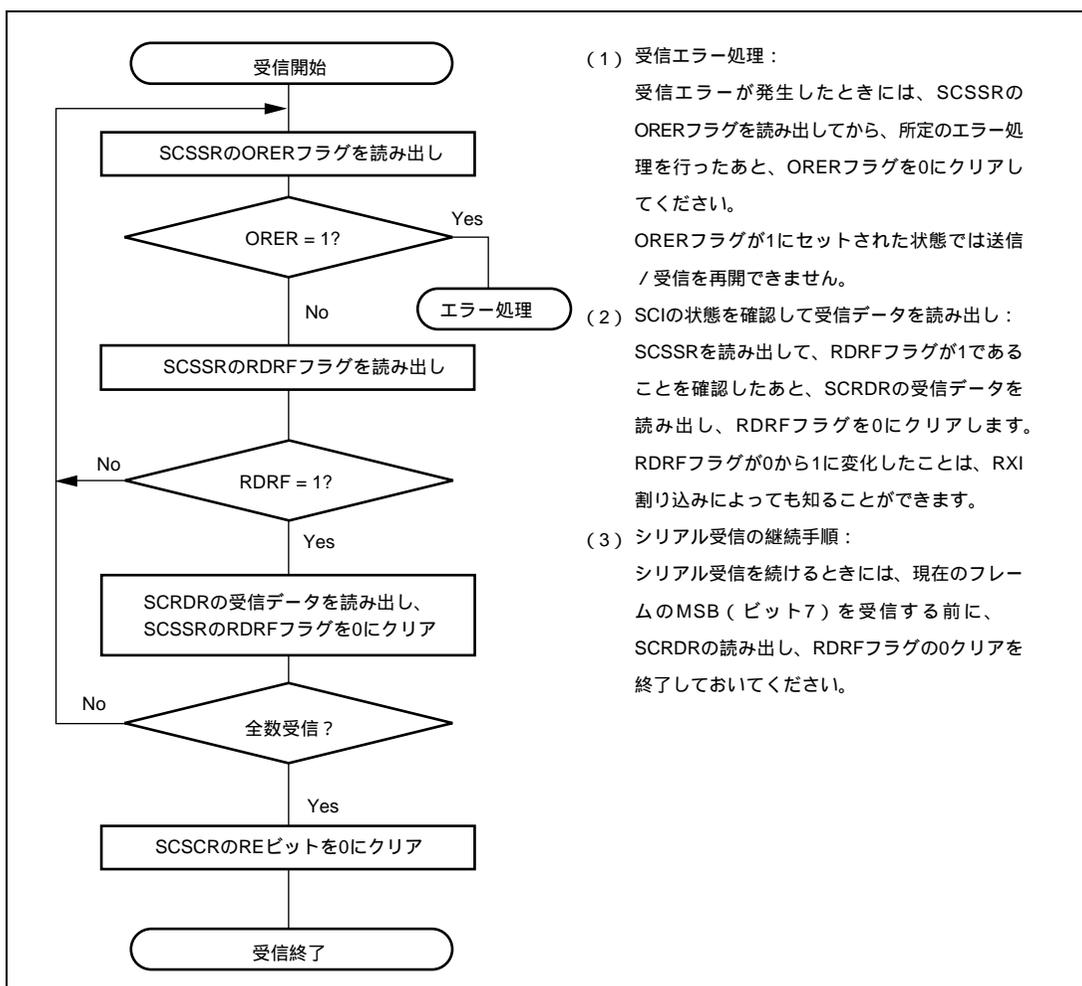


図 14.21 シリアルデータ受信フローチャートの例 (1)

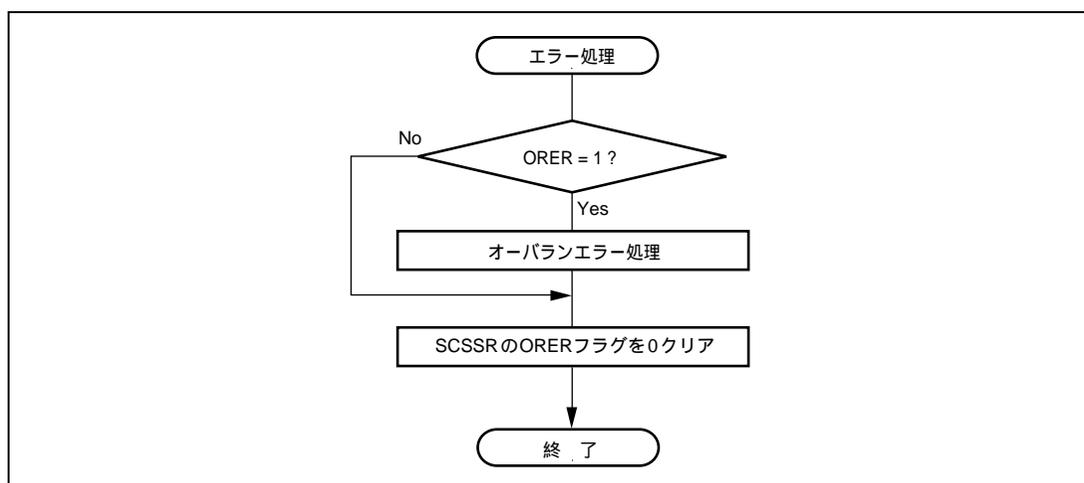


図 14.21 シリアルデータ受信フローチャートの例 (2)

SCIは受信時に以下のように動作します。

1. SCIは同期クロックの入力または出力に同期して内部を初期化します。
2. 受信したデータをSCSSRのLSBからMSBの順に格納します。
 受信後、SCIはRDRFフラグが0であり、受信データをSCSSRからSCRDRに転送できる状態であるかをチェックします。
 このチェックがパスしたときRDRFフラグが1にセットされ、SCRDRに受信データが格納されます。
 エラーチェックで受信エラーが発生すると表14.11のように動作し、この状態では以後の送信、受信動作ができません。
 また、受信時にRDRFフラグが1にセットされませんので、必ずフラグを0にクリアしてください。
3. RDRFフラグが1になったとき、SCSSRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
 また、ORERフラグが1になったとき、SCSSRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 14.22 に SCI の受信時の動作例を示します。

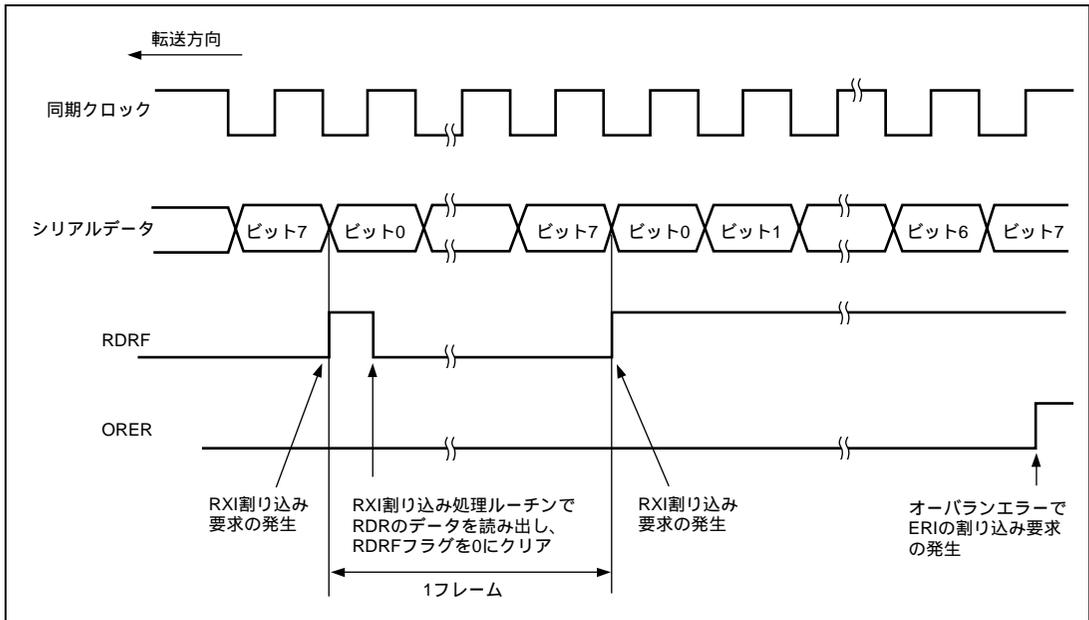


図 14.22 SCI の受信時の動作例

14. シリアルコミュニケーションインタフェース (SCI)

• シリアルデータ送受信同時動作 (クロック同期式)

図 14.23 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、SCI を送受信動作可能状態に設定したあと、以下の手順に従って行ってください。

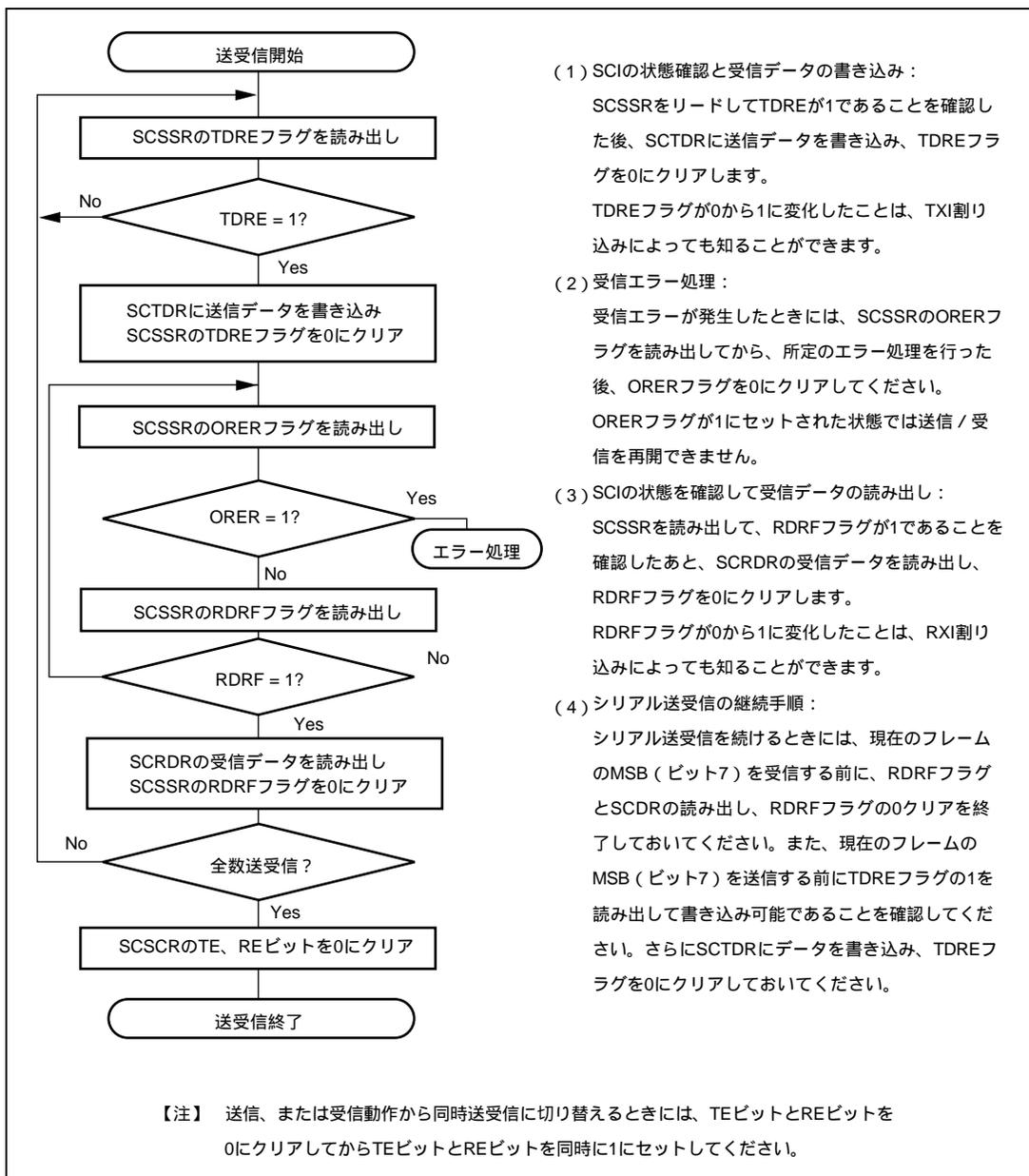


図 14.23 シリアルデータ送受信フローチャートの例

14.5 割り込み要因

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンpty割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 14.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSSR の TIE、RIE、TEIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SCSSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。

SCSSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求が発生します。

また、SCSSR の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。

さらに、SCSSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 14.12 SCI 割り込み要因

割り込み要因	内 容	リセット解除時の優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	高 ↑ ↓ 低
RXI	受信データフル (RDRF) による割り込み	
TXI	送信データエンpty (TDRE) による割り込み	
TEI	送信終了 (TEND) による割り込み	

優先順位、SCI 以外の割り込みとの関係は、「第 4 章 例外処理」を参照してください。

14.6 使用上の注意事項

SCI を使用する際は、以下のことに注意してください。

(1) SCTDR への書き込みと TDRE フラグの関係について

SCSSR の TDRE フラグは SCTDR から SCTSR に送信データの転送が行われたことを示すステータスフラグです。SCI が SCTDR から SCTSR にデータを転送すると、TDRE フラグが 1 にセットされます。

SCTDR へのデータの書き込みは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCTDR に書き込むと、SCTDR に格納されていたデータは、まだ SCTSR に転送されていないため失われてしまいます。したがって SCTDR への送信データの書き込みは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SCSSR の各ステータスフラグの状態は、表 14.13 のようになります。また、オーバランエラーが発生した場合には SCRSR から SCRDR へのデータ転送は行われず、受信データは失われます。

14. シリアルコミュニケーションインタフェース (SCI)

表 14.13 SCSSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SCSSR のステータスフラグ				受信データ転送	
	RDRF	ORER	FER	PER	SCRSR	SCRDR
オーバランエラー	1	1	0	0	x	
フレーミングエラー	0	0	1	0		
パリティエラー	0	0	0	1		
オーバランエラー + フレーミングエラー	1	1	1	0	x	
オーバランエラー + パリティエラー	1	1	0	1	x	
フレーミングエラー + パリティエラー	0	0	1	1		
オーバランエラー + フレーミングエラー + パリティエラー	1	1	1	1	x	

: SCRSR SCRDR に受信データを転送します。

x : SCRSR SCRDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD0 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD0 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信したあとも受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので注意してください。

(4) ブレークの送り出し

TxD0 端子は、SCPDR の SCP0DT ビットと SCPCR の SCP0MD1、SCP0MD0 ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信時にブレークを送り出したいときは SCP0DT ビットを 0 にクリア (ローレベル) したあと、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD0 端子からは 0 が出力されます。

(5) TEND フラグと TE ビットの処理

TEND フラグは最終データのストップビット送信時に 1 にセットされます。TEND フラグのセットを確認した後、直ちに TE ビットをクリアした場合、まだストップビットの送信処理を行っており、正常に送信できなくなる可能性があります。したがって、TEND フラグのセット確認後、少なくとも 0.5 シリアルクロックサイクル (2 ストップビットの場合は 1.5 シリアルクロックサイクル) の間は、TE ビットをクリアしないでください。

(6) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 1 にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(7) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 14.24 に示します。

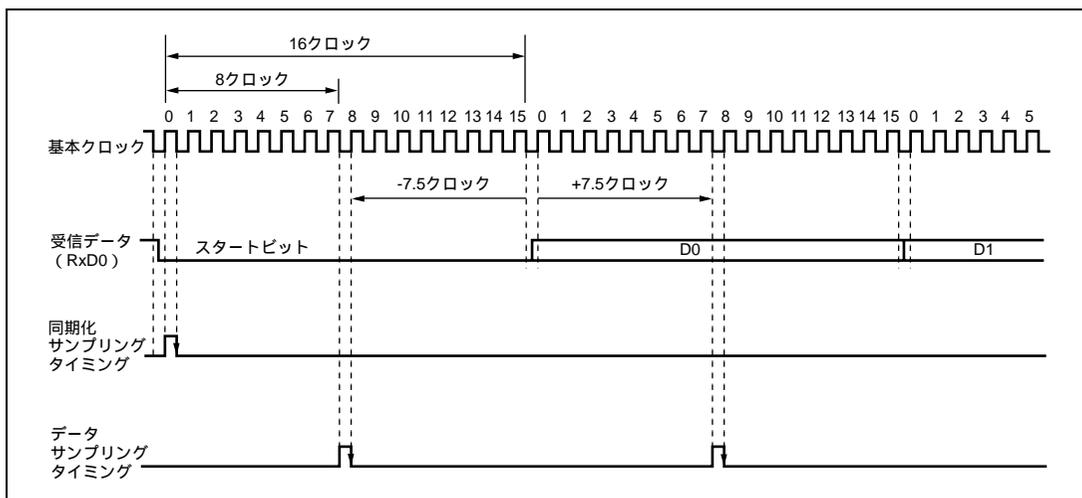


図 14.24 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$\begin{aligned} M &= (0.5 - 1 / (2 \times 16)) \times 100\% \\ &= 46.875\% \dots \text{式 (2)} \end{aligned}$$

14. シリアルコミュニケーションインタフェース (SCI)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30%の余裕を持たせてください。

(8) クロック同期外部クロックモード時の注意事項

- TE = 1、RE = 1に設定するのは、外部クロックSCK0を0 1にして周辺動作クロック4クロック以上経過してからにしてください。
- TE = RE = 1に設定するのは、必ず外部クロックSCK0が1のときにしてください。
- 受信時において、RxD0のD7ビットのSCK0入力の立ち上がりエッジから周辺動作クロック2.5 ~ 3.5クロック後にRE = 0にするとRDRF = 1になりますが、SCRDRへのコピーができませんので注意してください。

(9) クロック同期内部クロックモード時の注意事項

受信時において、RxD0のD7ビットのSCK0出力の立ち上がりエッジから周辺動作クロック1.5クロック後にRE = 0にするとRDRF = 1になりますが、SCRDRへのコピーができませんので注意してください。

15. スマートカードインタフェース

SCIの拡張機能として、ISO/IEC7816-3 (Identification Card) のデータ伝送プロトコル形式 T=0 (調歩式半二重キャラクタ伝送プロトコル) に準拠した IC カード (スマートカード) インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。スマートカードインタフェースのブロック図を図 15.1 に示します。

15.1 特長

スマートカードインタフェースには次の特長があります。

- 調歩同期式モードのサポート

データ長 : 8ビット

パリティビットの生成およびチェック

受信モードにおけるエラーシグナル (パリティエラー) の送り出し

送信モードにおけるエラーシグナルの検出とデータの自動再送信

ダイレクトコンベンション / インバースコンベンションの両方をサポート

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 3種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラーの3種類の割り込み要因があり、それぞれ独立に要求することができます。

15. スマートカードインタフェース

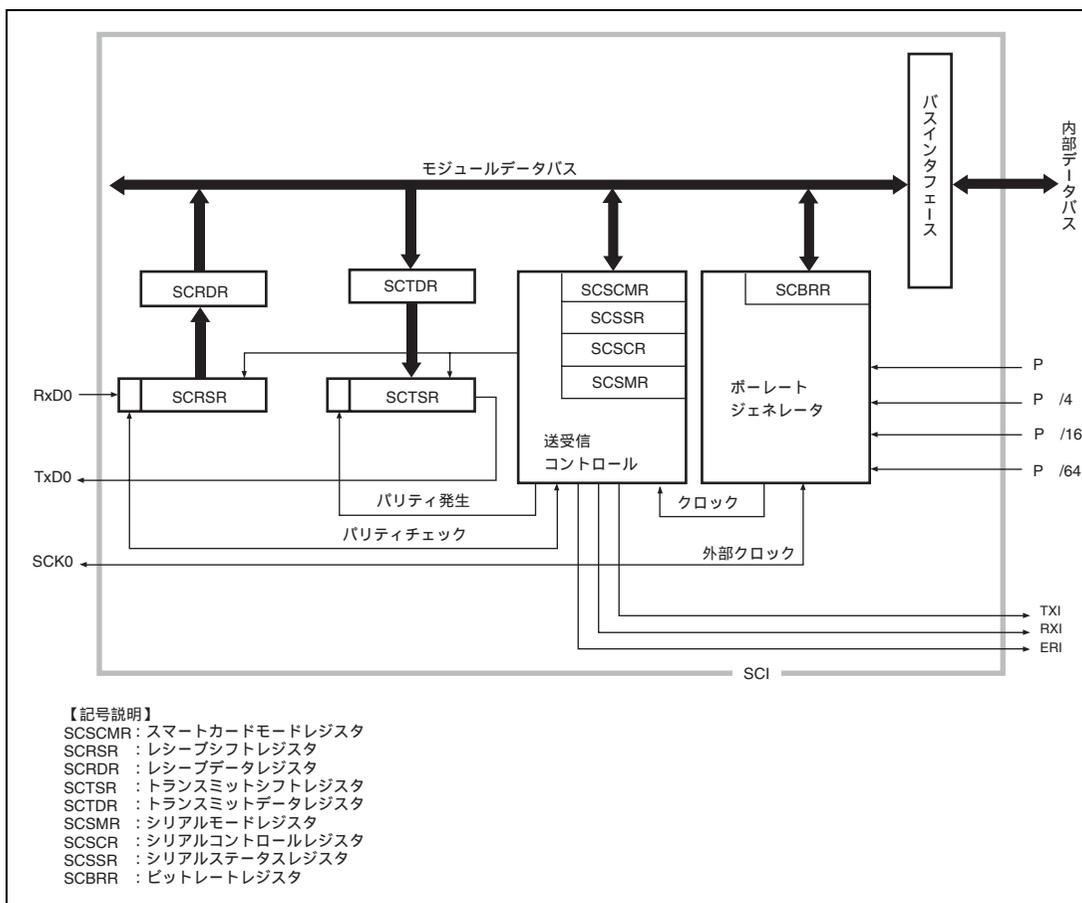


図 15.1 スマートカードインタフェースのブロック図

15.2 入出力端子

スマートカードインタフェースの端子構成を表 15.1 に示します。

表 15.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCK0	出力	クロック出力
レシーブデータ端子	RxD0	入力	受信データ入力
トランスミットデータ端子	TxD0	出力	送信データ出力

15.3 レジスタの説明

スマートカードインタフェースには以下のレジスタがあります。SCSMR、SCBRR、SCSCR、SCTDR、SCRDRについては、SCIの機能と同様ですので、「第14章 シリアルコミュニケーションインタフェース (SCI)」のレジスタの説明を参照してください。また、これらのレジスタおよびアクセスサイズについては「第23章 制御レジスタ一覧」を参照してください。

- スマートカードモードレジスタ (SCSCMR)
- シリアルステータスレジスタ (SCSSR)
- シリアルモードレジスタ (SCSMR)
- ビットレートレジスタ (SCBRR)
- シリアルコントロールレジスタ (SCSCR)
- トランスミットレジスタ (SCTDR)
- レシーブデータレジスタ (SCRDR)

15.3.1 スマートカードモードレジスタ (SCSCMR)

SCSCMRは、スマートカードインタフェースの機能の選択を行います。8ビットのリード/ライト可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
7-4			R	リザーブビット リードすると不定値が読み出されます
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換のフォーマットを選択します。 0: SCTDRの内容をLSBファーストで送信 受信データをLSBファーストとしてSCRDRに格納 1: SCTDRの内容をMSBファーストで送信 受信データをMSBファーストとしてSCRDRに格納
2	SINV	0	R/W	スマートカードデータインバート データのロジックレベルの反転を指定します。この機能は、ビット3の機能を組合せインバースコンベンションカードとの送受信に使用します。SINVは、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「15.4.4 レジスタ設定」を参照してください。 0: SCTDRの内容をそのまま送信 受信データをそのままSCRDRに格納 1: SCTDRの内容を反転してデータを送信 受信データを反転してSCRDRに格納

15. スマートカードインタフェース

ビット	ビット名	初期値	R/W	説明
1			R	リザーブビット リードすると不定値が読み出されます。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェース機能をイネーブルにするビットです。 0: スマートカードインタフェース機能を禁止 1: スマートカードインタフェース機能を許可

15.3.2 シリアルステータスレジスタ (SCSSR)

スマートカードインタフェースモードにおいては、SCIのSCSSRのビット4の機能が以下のように変更されます。また、これに関連してビット2のTENDのセット条件が変更になります。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンpty
6	RDRF	0	R/(W)*	レシーブデータレジスタフル
5	ORER	0	R/(W)*	オーバランエラー 通常のSCIと同様の動作をします。詳細は「第14章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。
4	FER/ERS	0	R/(W)*	エラーシグナルステータス スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。 0: 正常に受信され、エラーシグナルがないことを表示 [クリア条件] (1) リセット、またはスタンバイモード時 (2) ERS = 1の状態を読み出したあと、0を書き込んだとき 1: 受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 [セット条件] エラーシグナルローレベルをサンプリングしたとき 【注】SCSCRのTEビットを0にクリアしても、ERSフラグは影響を受けず以前の状態を保持します。

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)*	パリティエラー
2	TEND	1	R	トランスミットエンド
1	MPB	0	R	マルチプロセッサビット
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 通常の SCI と同様の動作をします。詳細は「第 14 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。 ただし、ビット 2 のトランスミットエンド (TEND) のセット条件は次のようになります。 0: 送信中であることを表示 [クリア条件] TDRE = 1 の状態をリードしたあと、TDRE フラグに 0 をライトしたとき 1: 送信を終了したことを表示 [セット条件] (1) リセット、またはスタンバイモード時 (2) SCSCR の TE ビットが 0 かつ FER / ERS ビットが 0 のとき (3) SCSMR の C/ \bar{A} ビットが 0 で、1 バイトのシリアルキャラクタ送信後、2.5 ETU 後に TDRE = 1 かつ FER / ERS = 0 (正常送信) のとき (4) SCSMR の C/ \bar{A} ビットが 1 で、1 バイトのシリアルキャラクタ送信後、1.0 ETU 後に TDRE = 1 かつ FER / ERS = 0 (正常送信) のとき 【注】 ETU (Elementary Time Unit : 1 ビットの転送期間の略)

【注】* フラグをクリアするための 0 のみライト可能です。

15.4 動作説明

15.4.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- 1 フレームは、8ビットデータとパリティビットで構成されます。
- 2 送信時は、パリティビットの終了から次のフレーム開始まで 2ETU (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 3 受信時はパリティエラーを検出した場合、スタートビットから 10.5ETU 経過後エラーシグナルローレベルを 1ETU 期間出力します。
- 4 送信時はエラーシグナルをサンプリングすると、2ETU 以上経過後、自動的に同じデータを送信します。
- 5 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

15.4.2 端子接続

スマートカードインタフェースに関する端子接続概略図を図 15.2 に示します。

IC カードとの通信においては、1 本のデータ伝送線で送信と受信が行われるので、LSI 端子で TxD0 端子と RxD0 端子とを結線してください。また、データ伝送線は、抵抗で電源 Vcc 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK0 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグランドの接続が必要です。

【注】 IC カードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

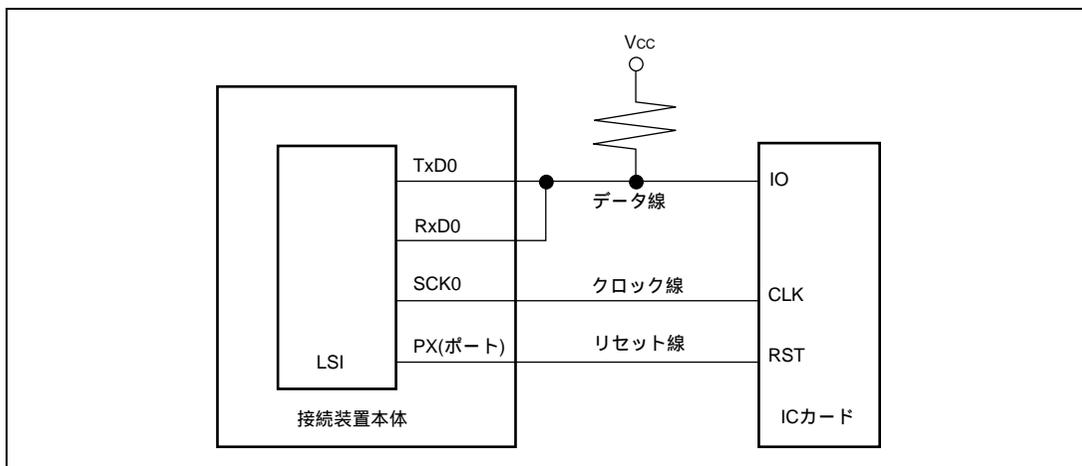


図 15.2 スマートカードインタフェース端子接続概略図

15.4.3 データフォーマット

図 15.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時はエラーシグナルをサンプリングすると同じデータを再送信します。

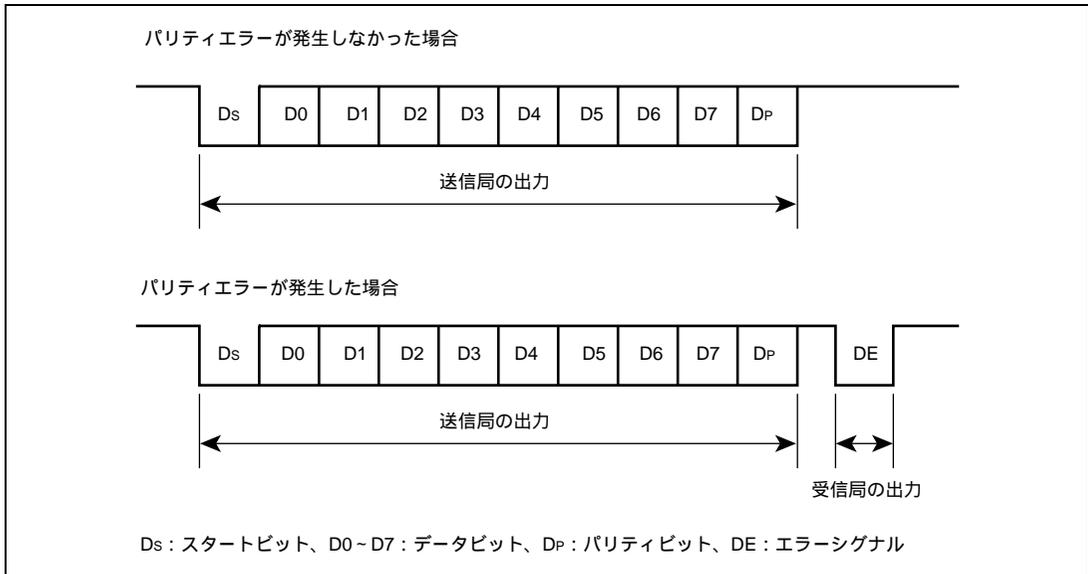


図 15.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

1. データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりハイレベルに固定されます。
2. 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds、ローレベル) から開始します。このあとに、8ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
3. スマートカードインタフェースでは、このあとにデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりハイレベルになります。
4. 受信側は、パリティチェックを行います。

パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。

一方、パリティエラーが発生した場合は、エラーシグナル (DE、ローレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力したあと、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりハイレベルに戻ります。

5. 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。一方、エラーシグナルを受信した場合は、エラーとなったデータを2.に戻り再送信します。

15. スマートカードインタフェース

15.4.4 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 15.2 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 15.2 スマートカードインタフェースでのレジスタ設定

レジスタ	アドレス	ビット							
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SCSMR	H'FFFF FE80	C/ \bar{A}	0	1	O/ \bar{E}	1	0	CKS1	CKS0
SCBRR	H'FFFF FE82	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCSCR	H'FFFF FE84	TIE	RIE	TE	RE	0	0	CKE1	CKE0
SCTDR	H'FFFF FE86	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SCSSR	H'FFFF FE88	TDRE	RDRF	ORER	FER/ER	PER	TEND	0	0
SCRDR	H'FFFF FE8A	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCSCMR	H'FFFF FE8C					SDIR	SINV		SMIF

: リザーブビットを示します。

(1) シリアルモードレジスタ (SCSMR) の設定

C/ \bar{A} ビットは TEND フラグのセットタイミングの選択、および SCSCR の CKE1、CKE0 ビットとの組み合わせでクロック出力状態を選択します。

O/ \bar{E} ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インパースコンベンション時は 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを選択します。「15.4.5 クロック」を参照してください。

(2) ビットレートレジスタ (SCBRR) の設定

ビットレートを設定します。設定値の算出方法は「15.4.5 クロック」を参照してください。

(3) シリアルコントロールレジスタ (SCSCR) の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 14 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

CKE0 ビットはクロック出力状態を指定します。クロック出力を行わないときは 0、クロック出力を行うときは 1 を設定します。

(4) スマートカードモードレジスタ (SCSCMR) の設定

SDIR ビットおよび SINV ビットは、IC カードがダイレクトコンベンション時はどちらも 0 を設定し、インパースコンベンション時はどちらも 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に2種類のICカード(ダイレクトコンベンションタイプ、インバースコンベンションタイプ)に対するレジスタ設定値と開始キャラクタでの波形例を図15.4示します。

ダイレクトコンベンションタイプでは、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信する方式です。上記の開始キャラクタのデータはH'3Bとなります。パリティビットは、スマートカードの規定により偶数パリティで1となります。

インバースコンベンションタイプでは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信する方式です。上記の開始キャラクタのデータはH'3Fとなります。パリティビットは、スマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。

なお、SINVビットによる反転はデータビットD7~D0のみとなっています。パリティビットの反転のためにSCSMRのO/Eビットを奇数パリティモードに設定します。送信、受信とも同様です。

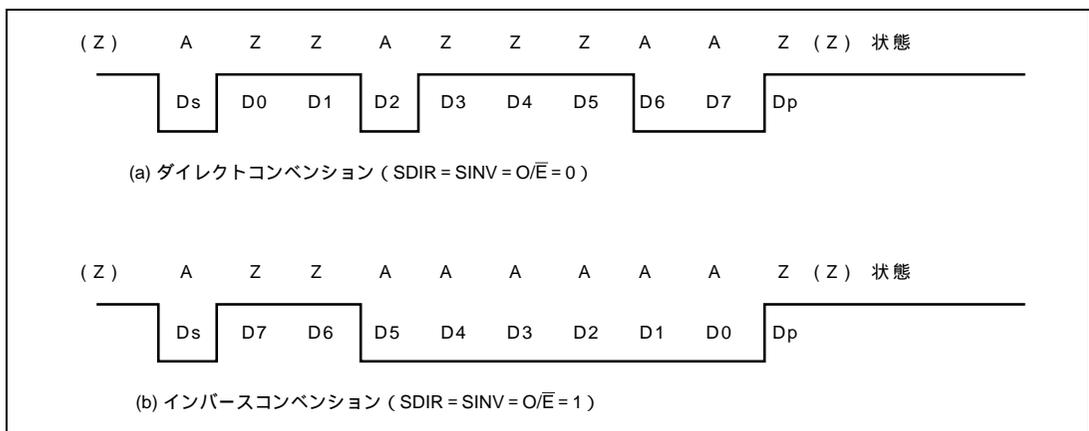


図 15.4 開始キャラクタの波形例

15.4.5 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはSCBRRとSCSMRのCKS1、CKS0ビットで設定され、以下に示す計算式になります。ビットレートの例を表15.4に示します。

このときCKE0=1でクロック出力を選択すると、SCK0端子からはビットレートの372倍の周波数のクロックが出力されます。

$$B = \frac{P}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N = SCBRRの設定値 (0 ≤ N ≤ 255)

B = ビットレート (bit/s)

P = 周辺モジュール用動作周波数 (MHz)

n = 0 ~ 3 (表15.3を参照)

15. スマートカードインタフェース

表 15.3 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1	0	1
2	1	0
3	1	1

表 15.4 SCBRR の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)

N	P (MHz)						
	7.1424	10.00	10.7136	13.00	14.2848	16.00	18.00
0	9600.0	13440.9	14400.0	17473.1	19200.0	21505.4	24193.5
1	4800.0	6720.4	7200.0	8736.6	9600.0	10752.7	12096.8
2	3200.0	4480.3	4800.0	5824.4	6400.0	7168.5	8064.5

【注】 ビットレートは、小数点以下 2 桁目を四捨五入した数値です。

一方、周辺モジュール用動作周波数とビットレートから SCBRR の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{P}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 15.5 ビットレート B (bit/s) に対する SCBRR の設定例 (ただし、n=0 のとき)

bit/s	P (MHz)													
	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30.00	1	25.00	1	8.99	1	0.00	1	12.01	2	15.99

表 15.6 各周波数における最大ビットレート (スマートカードインタフェースモード時)

P (MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{P}{1488 \times 2^{2n-1} \times B \times (N+1)} \times 10^6 - 1 \right) \times 100$$

表 15.5 に SCBRR の設定例、表 15.6 に各周波数における最大ビットレートを示します。

スマートカードインタフェースにおける送受信クロックのレジスタ設定値と出力状態の関係を表 15.7 に示します。

表 15.7 レジスタ設定値と SCK0 端子

設定	レジスタの値				SCK0 端子	
	SMIF	C/ \bar{A}	CKE1	CKE0	出力	状態
1* ¹	1	0	0	0	ポート	SCPCR の SCP1MD1、SCP1MD0 ビットの設定によって決まります。
	1	0	0	1	$\neg\neg\neg\neg$	SCK0 (シリアルクロック) 出力状態
2* ²	1	1	0	0	L 出力	L 出力状態
	1	1	0	1	$\neg\neg\neg\neg$	SCK0 (シリアルクロック) 出力状態
3* ²	1	1	1	0	H 出力	H 出力状態
	1	1	1	1	$\neg\neg\neg\neg$	SCK0 (シリアルクロック) 出力状態

【注】 *1 SCK0 出力状態は CKE0 ビットを変更すると即時に変わります。

CKE1 ビットは 0 を設定してください。

*2 CKE0 ビットの変更によってクロックを停止、開始してもクロックのデューティは一定に保たれます。

15.4.6 データの送信 / 受信動作

(1) 初期化

データの送受信の前に、以下の手順で SCI をイニシャライズしてください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。初期化のフロー例を図 15.5 に示します。

- SCSCR の TE、RE ビットを 0 にクリアします。
- SCSSR のエラーフラグ FER / ERS、PER、ORER を 0 にクリアしてください。
- SCSMR の C/ \bar{A} ビット、パリティビット (O/ \bar{E} ビット) とポーレートジェネレータの選択ビット (CKS1、CKS0 ビット) を設定してください。このとき、CHR、MP ビットは 0 に、STOP、PE ビットは 1 に設定してください。
- SCSCMR の SMIF、SDIR、SINV ビットを設定してください。
SMIF ビットを 1 にセットすると、TxDO 端子および RxDO 端子は共にハイインピーダンス状態となります。
- ビットレートに対応する値を SCBRR に設定します。
- SCSCR のクロックソースの選択ビット (CKE1、CKE0 ビット) を設定してください。このとき、TIE、RIE、

15. スマートカードインタフェース

TE、RE、MPIE、TEIEビットは、0に設定してください。

CKE0ビットを1にセットした場合は、SCK0端子からクロック出力されます。

7. 少なくとも、1ビット期間待つてから、SCSCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

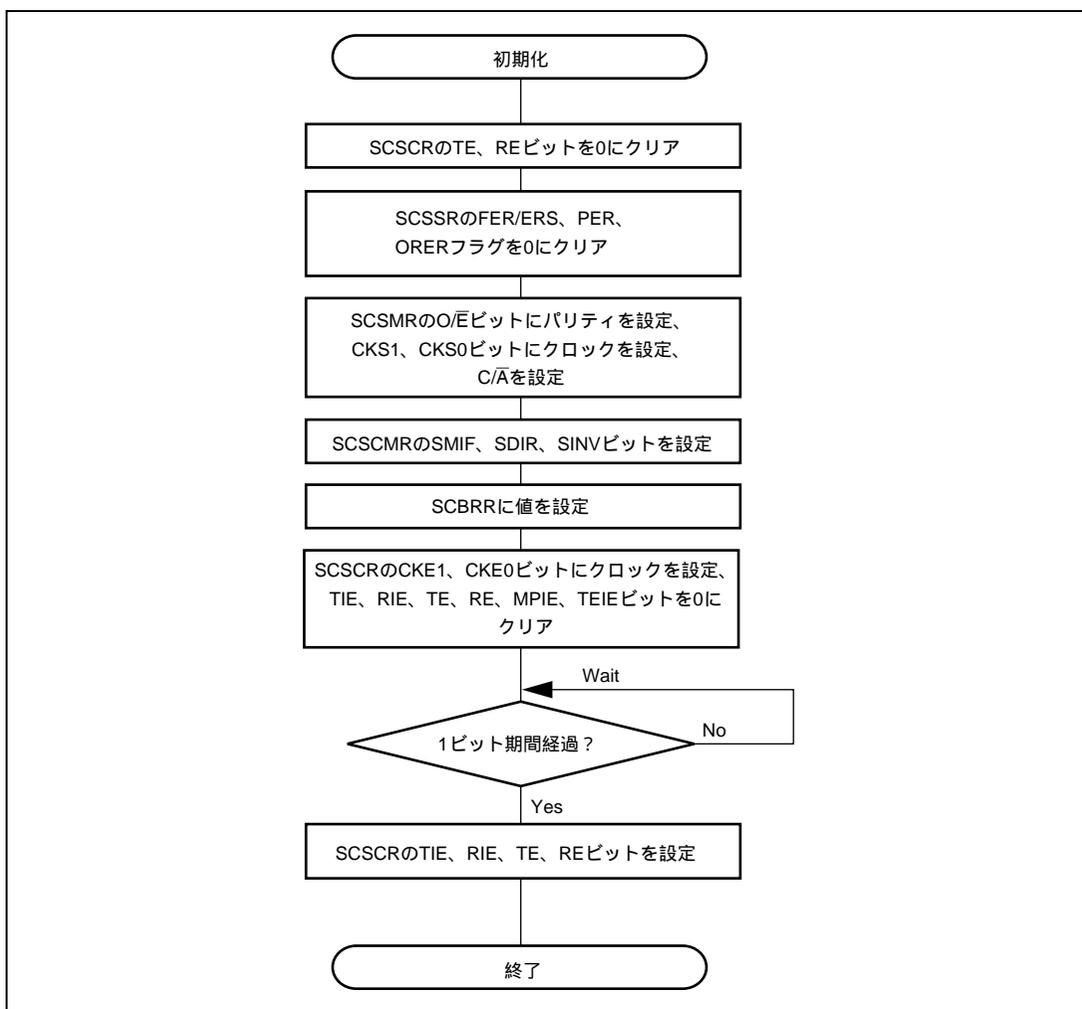


図 15.5 初期化のフロー例

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のSCIとは処理手順が異なります。送信処理フローの例を図 15.6 に示します。

1. (1)の手順に従いスマートカードインタフェースモードに初期化します。
2. SCSSRのエラーフラグFER / ERSビットが0にクリアされていることを確認してください。
3. SCSSRのTENDフラグが1にセットされていることが確認できるまで、2.~3.を繰り返してください。
4. SCTDRに送信データを書き込んで、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
5. 連続してデータを送信する場合は、2.に戻ってください。
6. 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求を発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生します。

詳細は「(5) 割り込み動作」を参照してください。

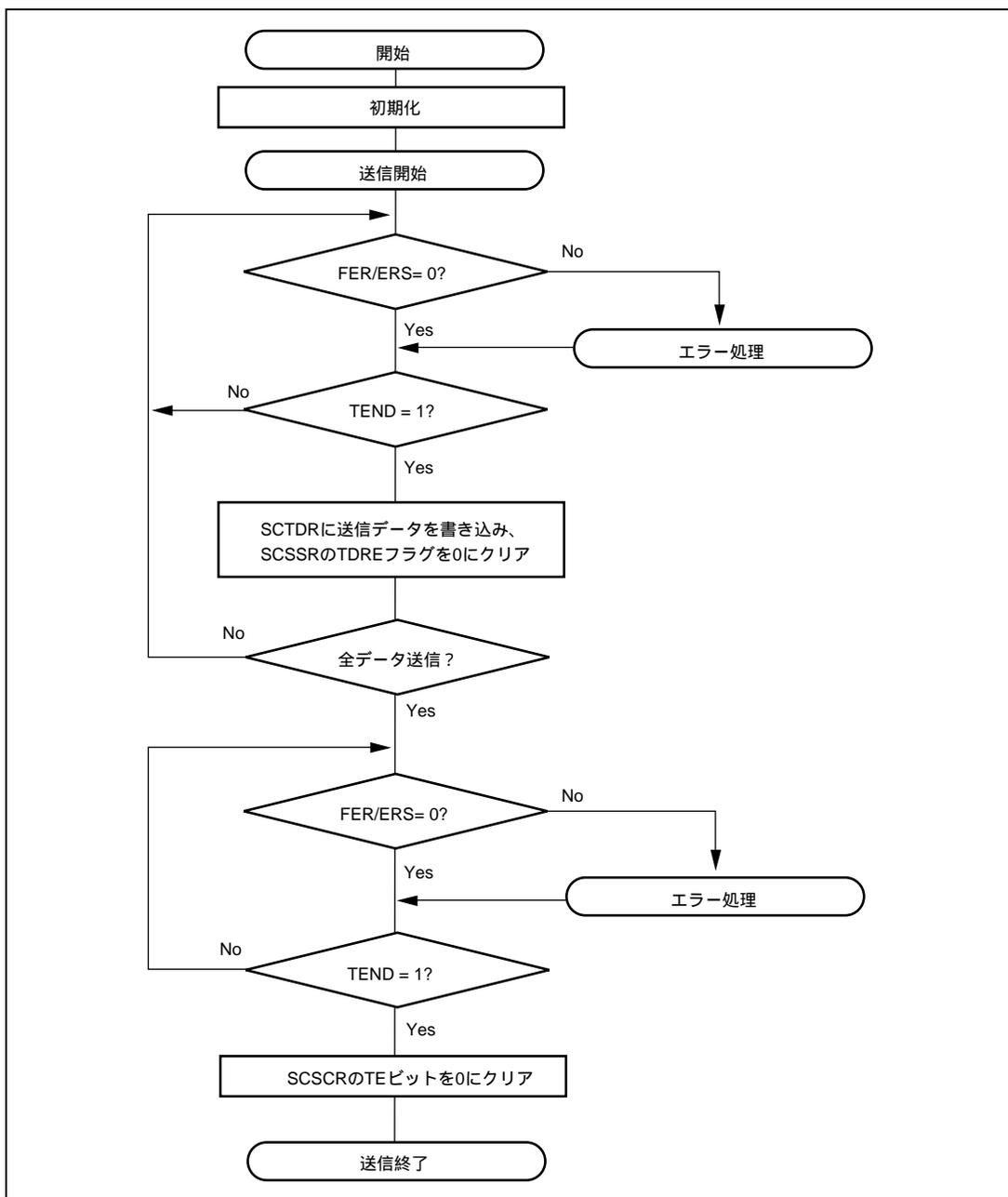


図 15.6 送信処理フローの例

(3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 15.7 に示します。

1. SCIを図15.5に従いスマートカードインタフェースモードに初期化します。
2. SCSSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行ったあと、ORERとPERフラグをすべて0にクリアしてください。
3. RDRFフラグが1であることを確認できるまで2、3を繰り返してください。
4. SCRDRから受信データを読み出してください。
5. 継続してデータを受信する場合は、RDRFフラグを0にクリアして2の手順に戻ってください。
6. 受信を終了する場合は、REビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「(5) 割り込み動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは SCRDR に転送されるのでこのデータを読み出すことは可能です。

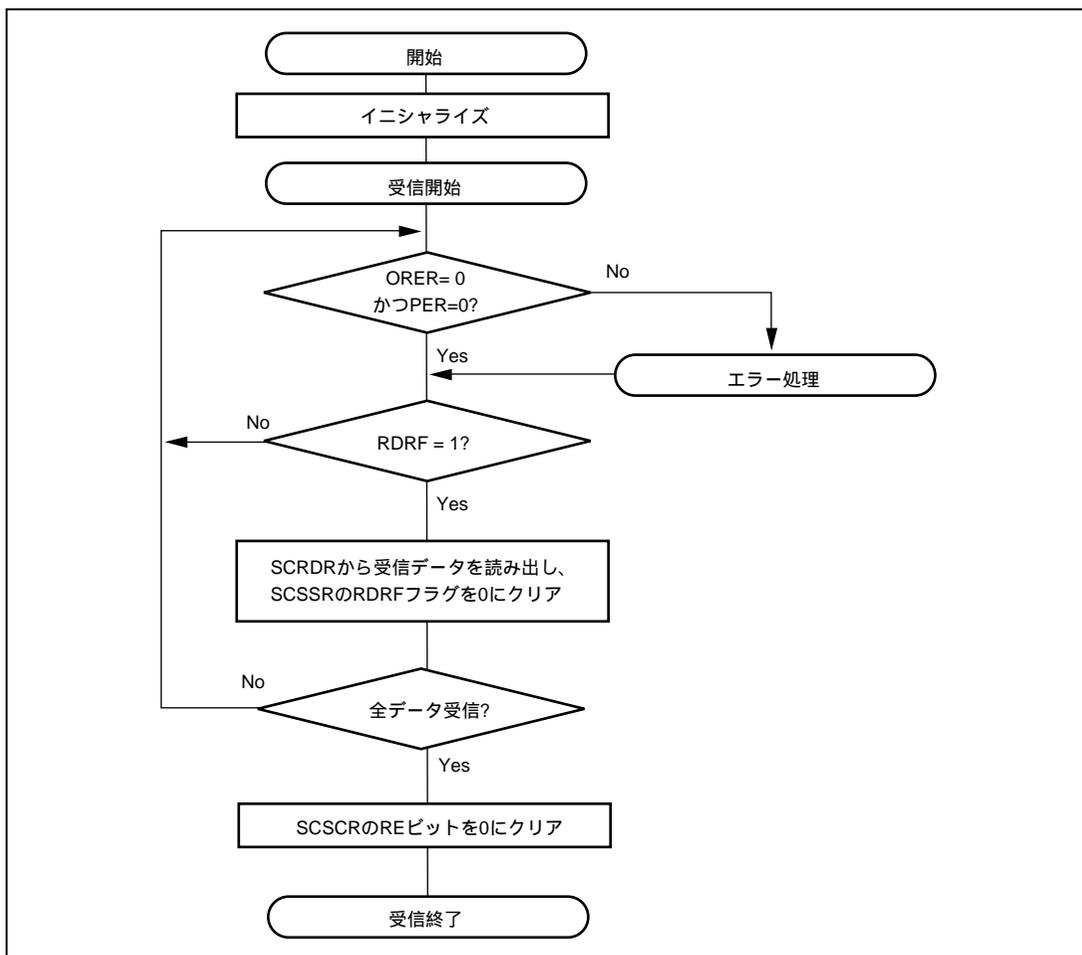


図 15.7 受信処理フローの例

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認したあと、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了はRDRFフラグあるいはPER、ORERフラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認したあと、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了はTENDフラグで確認できます。

(5) 割り込み動作

スマートカードインタフェースモードでは、送信データエンプティ割り込み(TXI)要求、送受信エラー割り込み(ERI)要求、受信データフル割り込み(RXI)要求の3種類の割り込み要因があります。なお、本モードでは、送信終了割り込み(TEI)要求は使用できません。

SCSSR の TEND フラグが 1 にセットされると、TXI 割り込み要求を発生します。

SCSSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求を発生します。

SCSSR の ORER、PER、FER / ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求を発生します。これらの関係を表 15.8 に示します。

表 15.8 スマートカードモードの動作状態と割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TEND	TIE	TXI
	エラー	FER / ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE	RXI
	エラー	PER、ORER	RIE	ERI

15.5 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

(1) 調歩同期式モードの受信データタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 15.8 に示します。

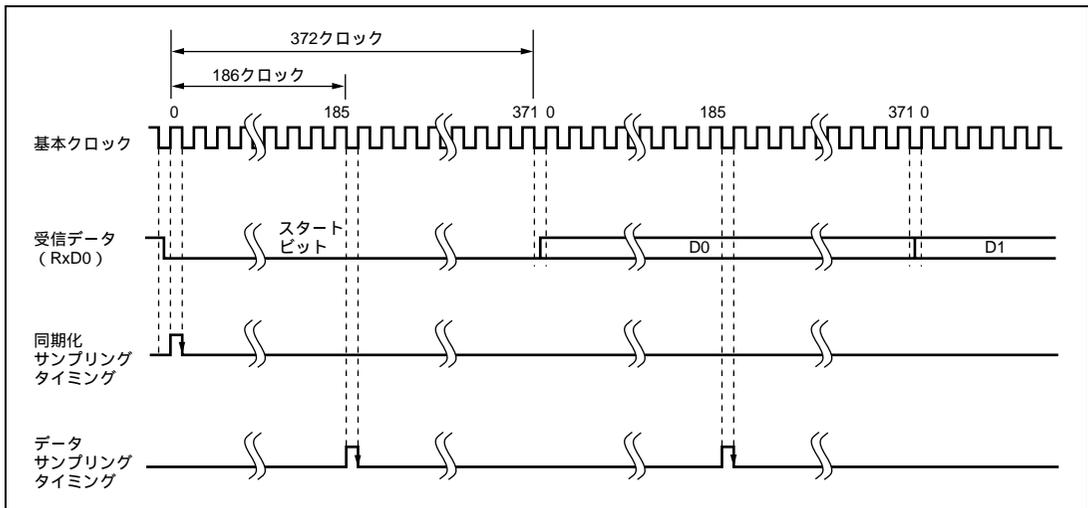


図 15.8 スマートカードモード時の受信データサンプリングタイミング

15. スマートカードインタフェース

したがって、受信マージンは、次の式のように表すことができます。

スマートカードモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N_s} (1 + F) \right| \times 100\%$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N = 372)

D: クロックデューティ (D = 0 ~ 1.0)

L: フレーム長 (L = 10)

F: クロック周波数の偏差の絶対値

上式で、F = 0、D = 0.5 とすると、受信マージン式は次のようになります。

D = 0.5、F = 0 のとき、

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

(2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を次に示します。

(a) SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 15.9 に示します。

1. 受信したパリティビットをチェックした結果、エラーが検出されると、SCSSRのPERビットが自動的に1にセットされます。このとき、SCSCRのRIEビットがイネーブルになっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSRのPERビットを0にクリアしてください。
2. 異常が発生したフレームでは、SCSSRのRDRFビットはセットされません。
3. 受信したパリティビットをチェックした結果、エラーが検出されない場合はSCSSRのPERビットはセットされません。
4. 受信したパリティビットをチェックした結果、エラーが検出されない場合は正常に受信動作が完了したと判断して、SCSSRのRDRFビットが自動的に1にセットされます。このときSCSCRのRIEビットが許可になっていればRXI割り込み要求が発生します。
5. 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はスリーステート状態を保持します。

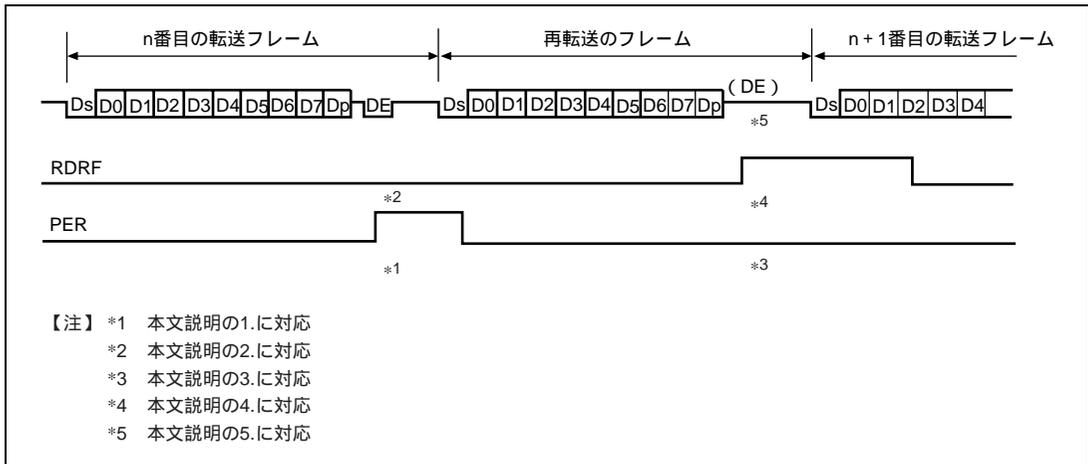


図 15.9 SCI 受信モードの場合の再転送動作

(b) SCI が送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 15.10 に示します。

- 1 フレーム分の送信を完了したあと、受信側からエラー信号が返されると、SCSSRのFER/ERSビットが1にセットされます。このとき、SCSSRのRIEビットがイネーブルになっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSRのFER/ERSビットを0にクリアしてください。
- 2 異常を示すエラー信号を受信したフレームでは、SCSSRのTENDビットはセットされません。
- 3 受信側からエラー信号が返ってこない場合は、SCSSRのFER/ERSビットはセットされません。
- 4 受信側からエラー信号が返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SCSSRのTENDビットが1にセットされます。このときSCSSRのTIEビットがイネーブルになっていれば、TXI割り込み要求が発生します。

15. スマートカードインタフェース

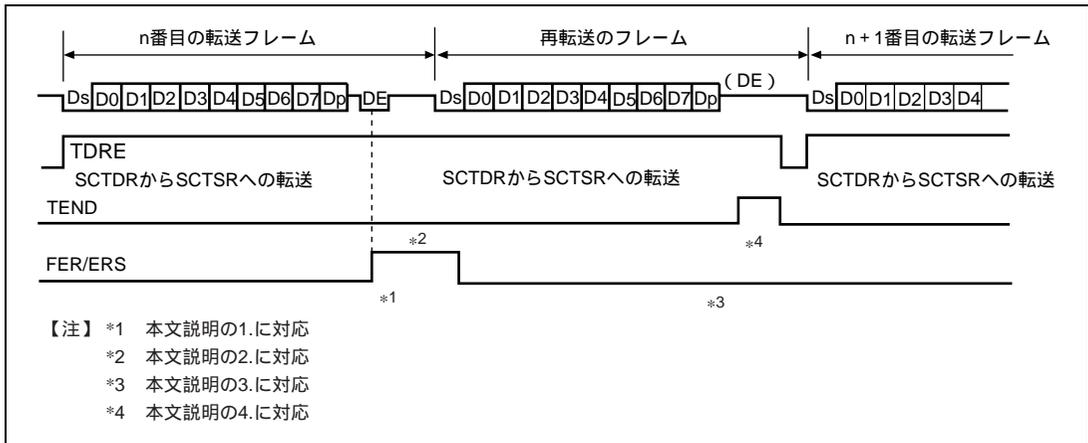


図 15.10 SCI 送信モードの場合の再転送動作

(3) ブロック転送モードのサポートについて

本 LSI に搭載しているスマートカードインタフェースでは、ISO/IEC7816-3 の T=0 (キャラクタ伝送) に対応した IC カード (スマートカード) インタフェースをサポートしています。そのため、ブロック転送動作 (エラーシグナルの送出、検出、データの自動再送信を行わない) はサポートしていません。

16. FIFO 付きシリアルコミュニケーション インタフェース (SCIF)

本 LSI は、調歩同期式シリアル通信をサポートする 1 チャンネルの SCIF を備えています。また、送信、受信に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。SCIF のブロック図を図 16.1 に、I/O ポートを図 16.2 ~ 図 16.4 に示します。

16.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長：7 ビット、または 8 ビット

ストップビット長：1 ビット、または 2 ビット

パリティ：偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出：パリティエラー、フレーミングエラーを検出

ブレークの検出

- 全二重通信

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、受信部共に 16 段の FIFO バッファ構造になっているのでシリアルデータの高速度連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース

ボーレートジェネレータ (内部クロック)、または SCK2 端子 (外部クロック) から選択可能

- 4 種類の割り込み要因

送信 FIFO データエンプティ、ブレーク、レシーブ FIFO データフルおよび受信エラー割り込みの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信 FIFO データエンプティ割り込みとレシーブ FIFO データフル割り込みによりダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

- SCIF は使用しない場合、クロックの供給を停止することによって動作を停止し、電力の消費を抑えることができます。

- モデムコントロール機能 (RTS2 および CTS2 端子) を内蔵

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- 送信、およびレシーブFIFOレジスタのデータ数、およびレシーブFIFOレジスタの受信データの受信エラー数を検出可能
- 受信中、タイムアウトエラー (DR) を検出可能

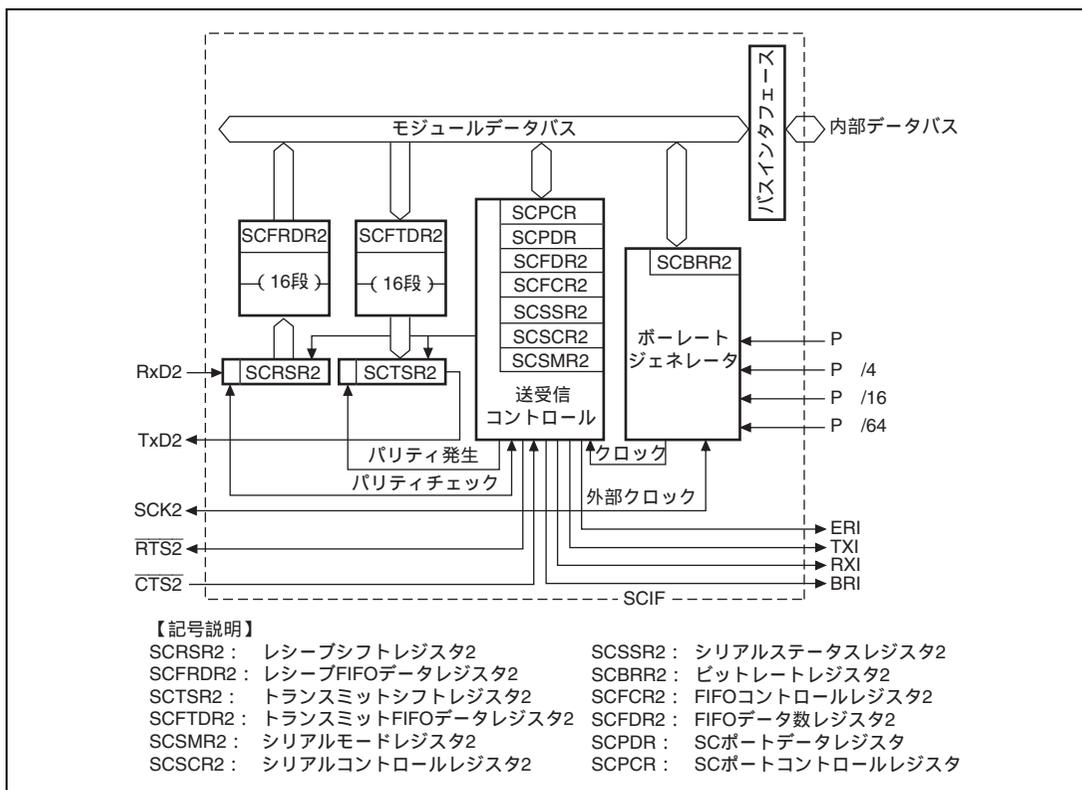


図 16.1 SCIF ブロック図

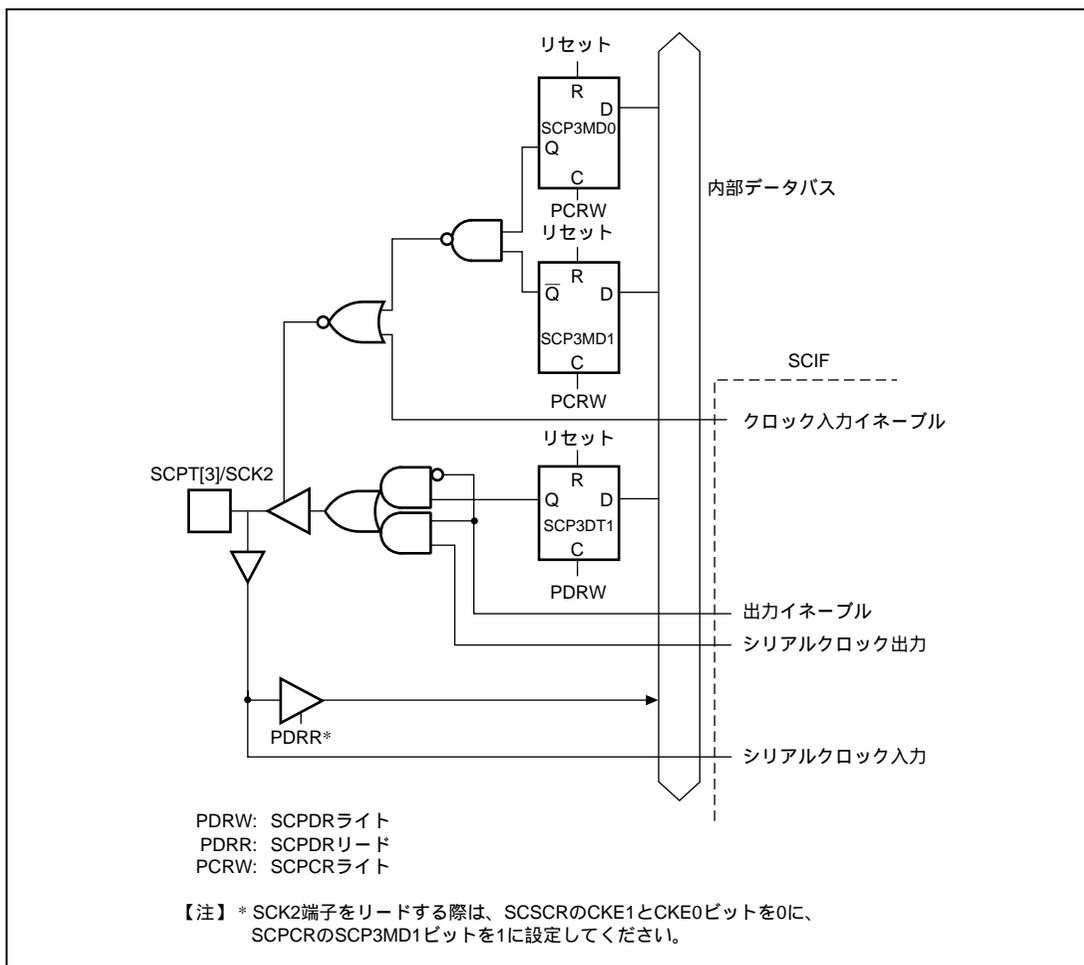


図 16.2 SCPT[3]/SCK2 端子

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

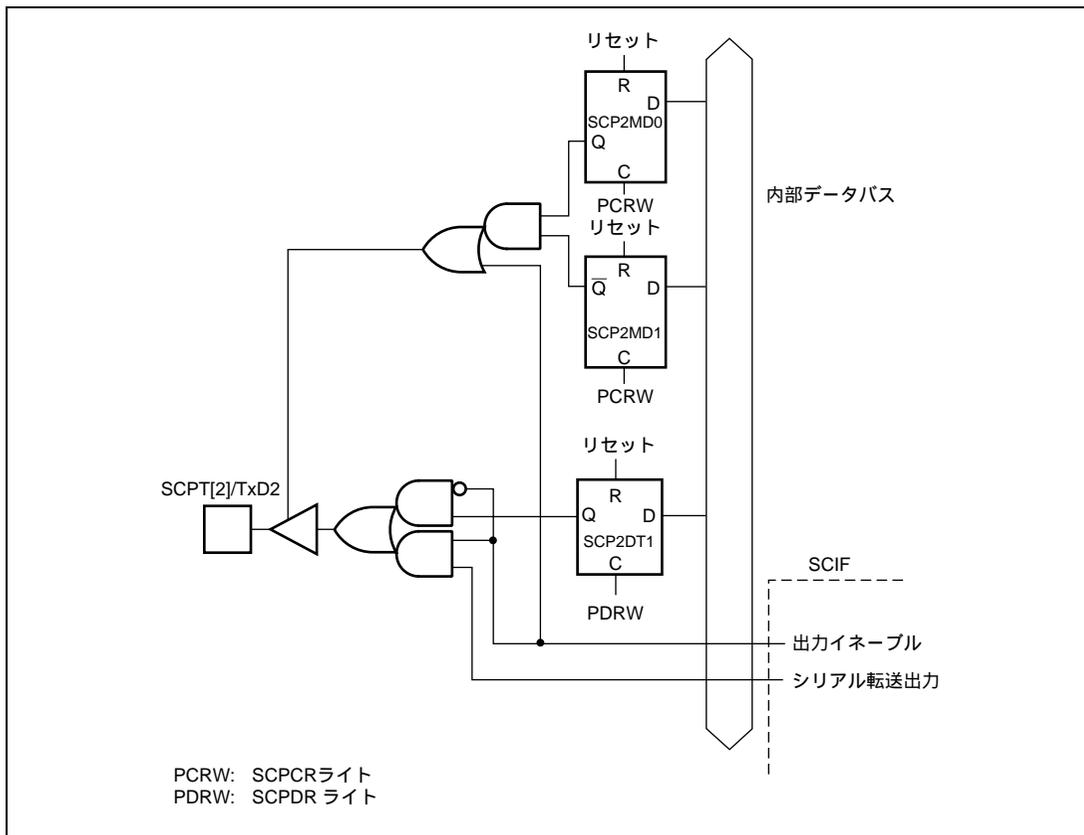


図 16.3 SCPT[2]/TxD2 端子

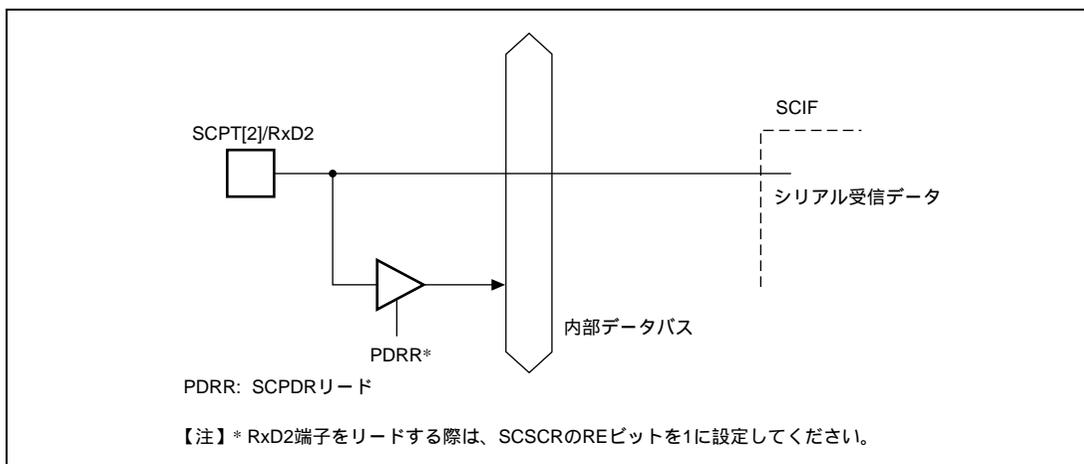


図 16.4 SCPT[2]/RxD2 端子

16.2 入出力端子

SCIF には表 16.1 に示すような入出力端子があります。

表 16.1 SCIF 端子

端子名	略称	入出力	機能
シリアルクロック端子	SCK2	入出力	クロック入出力
受信データ端子	RxD2	入力	受信データ入力
送信データ端子	TxD2	出力	送信データ出力
リクエストツースエンド端子	RTS2	出力	リクエストツースエンド
クリアツースエンド端子	CTS2	入力	クリアツースエンド

16.3 レジスタの説明

SCIF 内部レジスタを以下に示します。これらのレジスタはデータフォーマットとビットレートを指定し、送信部、受信部をコントロールします。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照してください。

- シリアルモードレジスタ2 (SCSMR2)
- ビットレートレジスタ2 (SCBRR2)
- シリアルコントロールレジスタ2 (SCSCR2)
- トランスミットFIFOデータレジスタ2 (SCFTDR2)
- シリアルステータスレジスタ2 (SCSSR2)
- レシーブFIFOデータレジスタ2 (SCFRDR2)
- FIFOコントロールレジスタ2 (SCFCR2)
- FIFOデータ数レジスタ2 (SCFDR2)
- SCポートコントロールレジスタ (SCPCR)
- SCポートデータレジスタ (SCPDR)

16.3.1 レシーブシフトレジスタ 2 (SCRSR2)

SCRSR2 は、シリアルデータを受信するための 8 ビットのレジスタです。CPU から直接 SCRSR2 のリード/ライトをすることはできません。SCIF は SCRSR2 に RxD2 端子から入力されたシリアルデータを、LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCFRDR2 へ転送されます。

16.3.2 レシーブ FIFO データレジスタ 2 (SCFRDR2)

16 バイトの SCFRDR2 は、受信したシリアルデータを格納するレジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR2 から SCFRDR2 へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR2 から読み出しはできませんが書き込みはできません。SCFRDR2 に受信データがないままデータを読み出すと値は不定になります。

このレジスタが受信データでいっぱいになるとそれ以降に受信したシリアルデータは失われます。

16.3.3 トランスミットシフトレジスタ 2 (SCTSR2)

SCTSR2 は、シリアルデータを送信するための 8 ビットのレジスタです。CPU から、直接 SCTSR2 のリード/ライトをすることはできません。SCIF は、SCFTDR2 から送信データをいったん SCTSR2 に転送し、LSB (ビット 0) から順に TxD2 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR2 から SCTSR2 へ次の送信データを転送し、送信を開始します。

16.3.4 トランスミット FIFO データレジスタ 2 (SCFTDR2)

SCFTDR2 は、シリアル送信するデータを格納する 16 バイトの FIFO レジスタです。SCIF は、SCTSR2 の空きを検出すると、SCFTDR2 に書き込まれた送信データを SCTSR2 に転送してシリアル送信を開始します。SCFTDR2 の送信データが空になるまで連続シリアル送信ができます。SCFTDR2 は常に CPU による書き込みが可能です。

SCFTDR2 が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。

16.3.5 シリアルモードレジスタ 2 (SCSMR2)

SCSMR2 は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR2 は、常に CPU によるリード/ライトが可能です。

ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。 0 : 8 ビットデータ 1 : 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、SCFTDR2 の MSB (ビット 7) は送信されません。

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。</p> <p>0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、PE に 1 を設定し、パリティビットの付加やチェックを許可したときのみ有効になります。パリティの付加やチェックを禁止している場合には、O/E ビットの設定は無効です。</p> <p>0: 偶数パリティ*¹ 1: 奇数パリティ*²</p> <p>【注】*¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>ストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。</p> <p>なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。</p> <p>0: 1 ストップビット*¹ 1: 2 ストップビット*²</p> <p>【注】*¹ 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。</p> <p>*² 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2		0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。</p>

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト
0	CKS0	0	R/W	<p>内蔵ポーレートジェネレータの内部クロックソースを選択します。CKS1、CKS0 ビットの設定で P、P / 4、P / 16、P / 64 の 4 種類からクロックソースを選択できます。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については「16.3.8 ビットレートレジスタ 2 (SCBRR2)」を参照してください。</p> <p>00 : P クロック 01 : P / 4 クロック 10 : P / 16 クロック 11 : P / 64 クロック</p> <p>【注】P : 周辺クロック</p>

16.3.6 シリアルコントロールレジスタ 2 (SCSCR2)

SCSCR2 は、SCIF の送信 / 受信動作、調歩同期モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR2 は、常に CPU によるリード / ライトが可能です。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>SCFTDR2 から SCTSR2 へシリアル送信データが転送され、SCFTDR2 のデータ数が指定送信トリガ数より少なくなり、SCSSR2 の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。</p> <p>0 : 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止* 1 : 送信 FIFO データエンプティ割り込み (TXI) 要求を許可</p> <p>【注】* TXI の解除は、SCFTDR2 に指定した送信トリガ数より大きな量の送信データを書き込み、TDFE フラグの 1 を読み出したあと 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。</p>

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>シリアル受信データが SCRSR2 から SCFRDR2 へ転送され、SCFRDR2 のデータ数が受信トリガの指定データ数より大きくなり、SCSSR2 の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。</p> <p>0: 受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および受信ブレイク割り込み (BRI) 要求を禁止*</p> <p>1: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可</p> <p>【注】* RXI、および ERI 割り込み要求の解除は、DR、ER、または RDF フラグの 1 を読み出したあと、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。RDF フラグでは、受信データ数が受信トリガの指定数より小さくなるまで SCFRDR2 から受信データを読み出したあと、RDF フラグの 1 を読み出し、0 にクリアします。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可 / 禁止します。</p> <p>0: 送信動作を禁止</p> <p>1: 送信動作を許可*</p> <p>【注】* この状態で、SCFTDR2 に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR2 および SCFCR2 の設定を行い、送信フォーマットを決定し、SCFTDR2 をクリアしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>0: 受信動作を禁止*¹</p> <p>1: 受信動作を許可*²</p> <p>【注】*¹ RE ビットを 0 にクリアしても DR、ER、BRK、FER、PER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*² この状態でスタートビットを検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SCSMR2 の設定を行い、受信フォーマットを決定してください。</p>
3, 2		すべて 0	R/W	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。</p>

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル
0	CKE0	0	R/W	<p>SCIF のクロックソースの選択、および SCK2 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK2 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。</p> <p>CKE0 ビットの設定は内部クロック動作 (CKE1 = 0) 時のみ有効です。外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、CKE1、CKE0 ビットの設定の前には、必ず SCSMR2 で SCIF の動作モードを決定してください。</p> <p>SCIF のクロックソースの選択についての詳細は表 16.7 を参照してください。</p> <p>00 : 内部クロック / SCK2 端子は入出力端子 (入力信号は無視)</p> <p>01 : 内部クロック / SCK2 端子はクロック出力*1</p> <p>10 : 外部クロック / SCK2 端子はクロック入力*2</p> <p>11 : 外部クロック / SCK2 端子はクロック入力*2</p> <p>【注】*1 ビットレートの 16 倍の周波数のクロックを出力</p> <p>*2 ビットレートの 16 倍の周波数のクロックを入力</p>

16.3.7 シリアルステータスレジスタ 2 (SCSSR2)

SCSSR2 は、16 ビットのレジスタです。上位 8 ビットはレシーブ FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示します。

SCSSR2 は常に CPU からリード/ライトができます。ただし、ER、TEND、TDFE、BRK、OPER、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。さらに、ビット 3 (FER)、およびビット 2 (PER) はリード専用であり、書き込むことはできません。

ビット	ビット名	初期値	R/W	説明
15 ~ 12	PER3 ~ PER0	すべて 0	R	<p>パリティエラー数</p> <p>SCFRDR2 に格納した受信データのパリティエラーを含むデータ数を示します。ビット 15 ~ 12 が示す値は SCFRDR2 のパリティエラー数を表します。</p>
11 ~ 8	FER3 ~ FER0	すべて 0	R	<p>フレーミングエラー数</p> <p>SCFRDR2 に格納した受信データのフレーミングエラーを含むデータ数を示します。ビット 11 ~ 8 が示す値は SCFRDR2 のフレーミングエラー数を表します。</p>

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
7	ER	0	R/(W)*	<p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <p>(1) パワーオンリセットまたはスタンバイモード時</p> <p>(2) ER = 1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示*²</p> <p>[セット条件]</p> <p>(1) 受信データの最後のストップビットが1回のデータ受信の終わりで1であるかどうかをチェックしたあとストップビットが0の場合*²</p> <p>(2) 受信時の受信データとパリティビットをあわせた1の数が、SCSMR2のO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき</p> <p>【注】*¹ SCSCR2のREビットを0にクリアしたときには、ERビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データはSCFRDR2に転送され受信動作は継続します。SCFRDR2から読み出したデータに受信エラーが含まれるかどうかはSCSSR2のFERビットとPERビットで検出することができます。</p> <p>*² ストップモードでは、第1ストップビットのみチェックされ、第2ストップビットはチェックされません。</p>
6	TEND	1	R/(W)*	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時にSCFTDR2に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件] SCFTDR2ヘデータを書き込んだとき</p> <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <p>(1) リセット時またはスタンバイモード時、TEがSCSCR2で0にクリアされるとき</p> <p>(2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にSCFTDR2に送信データがないとき</p>

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/(W)*	<p>送信 FIFO データエンプティ</p> <p>SCFTDR2 から SCTSR2 にデータが転送され、SCFTDR2 のデータ数が SCFCR2 の TTRG1 ビットと TTRG0 ビットで指定した送信トリガ数より少なくなり、SCFTDR2 への送信データの書き込みが許可されることを示します。</p> <p>0: SCFTDR2 に書き込んだ送信データ数が指定送信トリガ数以上であることを表示</p> <p>[クリア条件]</p> <p>指定送信トリガ数より大きいデータを SCFTDR2 に書き込み、ソフトウェアが TDFE=1 の状態を読み出したあと、TDFE に 0 を書き込んだとき</p> <p>1: SCFTDR2 に書き込んだ送信データ数が指定送信トリガ数より小さいこと*を表示</p> <p>[セット条件]</p> <p>(1) リセット時またはスタンバイモード時</p> <p>(2) 送信の結果 SCFTDR2 に書き込んだ送信データ数が指定送信トリガ数より小さいとき</p> <p>【注】* SCFTDR2 は 16 バイトの FIFO レジスタであるため、TDFE=1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR2 のデータ数は SCFTDR2 の上位 8 ビットで示されます。</p>
4	BRK	0	R/(W)*	<p>ブレークデテクション</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0: 受信中のブレーク信号なし</p> <p>[クリア条件]</p> <p>(1) パワーオンリセットまたはスタンバイモード時</p> <p>(2) BRK = 1 の状態を読み出したあと、BRK フラグに 0 を書き込んだとき</p> <p>1: ブレーク信号を受信*</p> <p>[セット条件]</p> <p>(1) フレームエラーを含むデータの受信時</p> <p>(2) 後続の受信データにスペースが 0 のフレーミングエラーが発生したとき</p> <p>【注】* ブレークが検出されると、検出後 SCFRDR2 への受信データ (H'00) の転送は停止します。ブレークが終了し受信信号がマーク 1 になると、受信データの転送が再開します。ブレーク信号を検出したフレームの受信データは SCFRDR2 に転送されます。ただし、このあと、受信信号がマーク 1 になりブレークが終了し次のデータが受信されるまで受信データは転送されません。</p>

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー</p> <p>SCFRDR2 から読み出したデータにフレーミングエラーが発生したことを示します。</p> <p>0 : SCFRDR2 から読み出したデータにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <p>(1) パワーオンリセットまたはスタンバイモード時</p> <p>(2) SCFRDR2 から読み出したデータにフレーミングエラーがない場合</p> <p>1 : SCFRDR2 から読み出したデータにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <p>SCFRDR2 から読み出したデータにフレーミングエラーが存在する場合</p>
2	PER	0	R	<p>パリティエラー</p> <p>SCFRDR2 から読み出したデータにパリティエラーが発生したことを示します。</p> <p>0 : SCFRDR2 から読み出したデータに受信パリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <p>(1) パワーオンリセットまたはスタンバイモード時</p> <p>(2) SCFRDR2 から読み出したデータにパリティエラーがない場合</p> <p>1 : SCFRDR2 から読み出したデータに受信フレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <p>SCFRDR2 から読み出したデータにパリティエラーが存在する場合</p>

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>レシーブ FIFO データフル</p> <p>受信データが SCFRDR2 に転送され、SCFRDR2 のデータ数が SCFCR2 の RTRG1 ビットおよび RTRG0 ビットで指定した受信トリガ数以上になったことを示します。</p> <p>0 : SCFRDR2 に書き込まれた送信データ数は、指定受信トリガ数より小さいことを表示</p> <p>[クリア条件]</p> <p>(1) パワーオンリセットまたはスタンバイモード時</p> <p>(2) SCFRDR2 の受信データ数が指定受信トリガ数より小さくなるまで SCFRDR2 を読み出し、ソフトウェアが RDF = 1 の状態を読み出したあと、RDF に 0 を書き込んだとき</p> <p>1 : SCFRDR2 内の受信データ数は、指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <p>指定受信トリガ数以上の受信データ数が SCFRDR2 に格納される時*</p> <p>【注】* SCFTDR2 は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR2 のすべてのデータを読み出したあと、さらに読み出しを続けるとデータは不定になります。SCFRDR2 の受信データ数は SCFTDR2 の下位 8 ビットで示されます。</p>
0	DR	0	R/(W)*	<p>レシーブデータレディ</p> <p>SCFRDR2 が指定受信トリガ数より小さいデータを格納し、最後のストップビットから 15 ETU の時間経過後も次のデータが受信されないことを示します。</p> <p>0 : 受信中であるか、受信の正常終了後 SCFRDR2 の受信データが SCFRDR2 内に格納されていることを表示</p> <p>[クリア条件]</p> <p>(1) パワーオンリセットまたはスタンバイモード時</p> <p>(2) DR=1 の状態を読み出したあと DR に 0 を書き込んだとき</p> <p>1 : 次の受信データが受信されていません</p> <p>[セット条件]</p> <p>指定受信トリガ数未満のデータを SCFRDR2 が格納し、最後のストップビットから 15 ETU の時間経過後*後も次のデータが受信されないとき</p> <p>【注】* 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 1 ビットの転送期間)</p>

【注】* フラグをクリアするための 0 書き込みのみ可能です。

16.3.8 ビットレートレジスタ 2 (SCBRR2)

SCBRR2 は、SCSMR2 の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR2 は、常に CPU によるリード / ライトが可能です。

SCBRR2 は、リセット、モジュールスタンバイモードまたはスタンバイモードで H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、2 つのチャンネルにはそれぞれ異なる値を設定することができます。

SCBRR2 の設定値は以下の計算式で求められます。

- 調歩同期式モード：

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータの SCBRR2 の設定値 (0 ≤ N ≤ 255)

P：周辺モジュールの動作周波数 (MHz)

n：ボーレートジェネレータ入力クロック (n=0, 1, 2, 3) (n とクロックの関係は表 16.2 を参照してください。)

表 16.2 SCSMR2 の設定値

n	クロックソース	クロック SCSMR2 の設定値	
		CKS1	CKS0
0	$P\phi$	0	0
1	$P\phi/4$	0	1
2	$P\phi/16$	1	0
3	$P\phi/64$	1	1

【注】 ビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times 64 \times 2^{2n-1} \times B} - 1 \right\} \times 100$$

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 16.3 に SCBRR2 の設定例を示します。

表 16.3 ビットレートと SCBRR2 の設定 (1)

ビットレート (bits/s)	P ϕ (MHz)								
	7.3728			8			9.8304		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	130	-0.07	2	141	0.03	1	174	-0.26
150	2	95	0.00	2	103	0.16	1	127	0.00
300	1	191	0.00	1	207	0.16	0	255	0.00
600	1	95	0.00	1	103	0.16	0	127	0.00
1200	0	191	0.00	0	207	0.16	0	255	0.00
2400	0	95	0.00	0	103	0.16	0	127	0.00
4800	0	47	0.00	0	51	0.16	0	63	0.00
9600	0	23	0.00	0	25	0.16	0	31	0.00
19200	0	11	0.00	0	12	0.16	0	15	0.00
31250	0	6	5.33	0	7	0.00	0	9	-1.70
38400	0	5	0.00	0	6	-6.99	0	1	0.00

表 16.3 ビットレートと SCBRR2 の設定 (2)

ビットレート (bits/s)	P ϕ (MHz)								
	10			12			12.288		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	177	-0.25	1	212	0.03	2	217	0.08
150	2	129	0.16	1	155	0.16	2	159	0.00
300	2	64	0.16	1	77	0.16	2	79	0.00
600	1	129	0.16	0	155	0.16	1	159	0.00
1200	1	64	0.16	0	77	0.16	1	79	0.00
2400	0	129	0.16	0	38	0.16	0	159	0.00
4800	0	64	0.16	0	19	0.16	0	79	0.00
9600	0	32	-1.36	0	9	0.16	0	39	0.00
19200	0	15	1.73	0	4	0.16	0	19	0.00
31250	0	9	0.00	0	2	0.00	0	11	2.40
38400	0	7	1.73	0	9	-2.34	0	9	0.00

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 16.3 ビットレートと SCBRR2 の設定 (3)

ビットレート (bits/s)	P _φ (MHz)											
	14.7456			16			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	64	0.70	3	70	0.03	3	86	0.31	3	88	-0.25
150	2	191	0.00	2	207	0.16	2	255	0.00	2	64	0.16
300	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
600	1	191	0.00	1	207	0.16	1	255	0.00	1	64	0.16
1200	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
2400	0	191	0.00	0	207	0.16	0	255	0.00	0	64	0.16
4800	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
9600	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
19200	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
31250	0	14	-1.70	0	15	0.00	0	19	-1.70	0	19	0.00
38400	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
115200	0	3	0.00	0	3	8.51	0	4	6.67	0	4	8.51
500000	0	0	-7.84	0	0	0.00	0	0	22.9	0	0	25.0

表 16.3 ビットレートと SCBRR2 の設定 (4)

ビットレート (bits/s)	P _φ (MHz)											
	24			24.576			28.7			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	106	-0.44	3	108	0.08	3	126	0.31	3	132	0.13
150	3	77	0.16	3	79	0.00	3	92	0.46	3	97	-0.35
300	2	155	0.16	2	159	0.00	2	186	-0.08	2	194	0.16
600	2	77	0.16	2	79	0.00	2	92	0.46	2	97	-0.35
1200	1	155	0.16	1	159	0.00	1	186	-0.08	1	194	0.16
2400	1	77	0.16	1	79	0.00	1	92	0.46	1	97	-0.35
4800	0	155	0.16	0	159	0.00	0	186	-0.08	0	194	-1.36
9600	0	77	0.16	0	79	0.00	0	92	0.46	0	97	-0.35
19200	0	38	0.16	0	39	0.00	0	46	-0.61	0	48	-0.35
31250	0	23	0.00	0	24	-1.70	0	28	-1.03	0	29	0.00
38400	0	19	-2.34	0	19	0.00	0	22	1.55	0	23	1.73
115200	0	6	-6.99	0	6	-4.76	0	7	-2.68	0	7	1.73
500000	0	1	-25.0	0	1	-23.2	0	1	-10.3	0	1	-6.25

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 16.3 ビットレートと SCBRR2 の設定 (5)

ビットレート (bits/s)	P ϕ (MHz)		
	33.34		
	n	N	誤差 (%)
110	3	147	0.00
150	3	108	-0.43
300	2	216	0.03
600	2	108	-0.43
1200	1	216	0.03
2400	1	108	-0.43
4800	0	216	0.03
9600	0	108	-0.43
19200	0	53	0.49
31250	0	32	1.03
38400	0	26	0.49
11520	0	8	0.49
500000	0	1	4.19

表 16.4 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 16.5 に外部クロック入力時の最大ビットレートを示します。

表 16.4 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

P ϕ (MHz)	最大ビットレート (bits/s)	設定	
		n	N
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.6608	614400	0	0
20	625000	0	0
24	750000	0	0
24.576	768000	0	0
28.7	896875	0	0
30	937500	0	0

表 16.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

P ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bits/s)
8	2.0000	125000
9.8304	2.4576	153600
12	3.0000	187500
14.7456	3.6864	230400
16	4.0000	250000
19.6608	4.9152	307200
20	5.0000	312500
24	6.0000	375000
24.576	6.1440	384000
28.7	7.1750	448436
30	7.5000	468750

16.3.9 FIFO コントロールレジスタ 2 (SCFCR2)

SCFCR2 は、SCFTDR2 および SCFRDR2 のデータ数のリセット、トリガデータ数の設定を行い、ループバックテストのイネーブルビットを備えています。SCFCR2 は、常に CPU によるリード/ライトが可能です。

ビット	ビット名	初期値	R/W	説明
7	RTRG1	0	R/W	レシーブ FIFO データ数のトリガ
6	RTRG0	0	R/W	SCSSR2 のレシーブデータフル (RDF) フラグを設定する基準となる受信データ数 (指定受信トリガ数) をセットします。SCFRDR2 に格納された受信データ数が下表の設定トリガ数以上になると RDF フラグは 1 にセットされます。 受信トリガ数 00 : 1 01 : 4 10 : 8 11 : 14

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5 4	TTRG1 TTRG0	0 0	R/W R/W	<p>送信 FIFO データ数のトリガ</p> <p>SCSSR2 の送信 FIFO データレジスタエンpty (TDFE) フラグを設定する基準となる送信データ数 (指定送信トリガ数) を設定します。SCFTDR2 に格納された送信データ数が下表の設定トリガ数を下回ると TDFE フラグは 1 にセットされます。</p> <p>送信トリガ数</p> <p>00 : 8 (8)</p> <p>01 : 4 (12)</p> <p>10 : 2 (14)</p> <p>11 : 1 (15)</p> <p>【注】 カッコ内の数値は TDFE フラグが 1 にセットされるとき SCFTDR2 レジスタの空きバイト数を意味します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 $\overline{\text{CTS2}}$、$\overline{\text{RTS2}}$ を許可 / 禁止します。</p> <p>0 : モデム信号を禁止*</p> <p>1 : モデム信号を許可</p> <p>【注】 * 入力値に関係なく $\overline{\text{CTS2}}$ はアクティブ 0 に固定され、$\overline{\text{RTS2}}$ も 0 に固定されます。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット</p> <p>SCFTDR2 の送信データを無効にし、データを空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】 * リセットはリセットまたはスタンバイモードで実行されます。</p>
1	RFRST	0	R/W	<p>レシーブ FIFO データレジスタリセット</p> <p>SCFRDR2 の受信データを無効にし、データを空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】 * リセットはリセットまたはスタンバイモードで実行されます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TXD2) と受信入力端子 (RXD2) を内部で接続しループバックテストを許可します</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

16.3.10 FIFO データ数レジスタ 2 (SCFDR2)

SCFDR2 は、SCFTDR2 と SCFRDR2 に格納されたデータ数を示す 16 ビットのレジスタです。

SCFDR2 は、常に CPU からリードが可能です。

SCFDR2 上位 8 ビットは SCFTDR2 に格納された未送信データ数を示します。H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR2 に格納されていることを意味します。

SCFDR2 下位 8 ビットは SCFRDR2 に格納された受信データ数を示します。H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR2 に格納されていることを意味します。

ビット	ビット名	初期値	R/W	説明
15~13		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
12~8	T4~T0	すべて 0	R	未送信データ数
7~5		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
4~0	R4~R0	すべて 0	R	受信データ数

16.3.11 SC ポートコントロールレジスタ (SCPCR)

SCPCR については「14.3.8 SC ポートコントロールレジスタ (SCPCR)」を参照してください。

16.3.12 SC ポートデータレジスタ (SCPDR)

SCPDR については「14.3.9 SC ポートデータレジスタ (SCPDR)」を参照してください。

16.4 動作説明

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードでシリアル通信ができます。調歩同期式モードの動作については「14.4.1 調歩同期式モード時の動作」の項を参照してください。

SCIF は、送信 / 受信のいずれに対しても 16 バイト FIFO バッファを用意し、CPU のオーバーヘッドを小さくすると共に高速の連続通信を可能にします。さらにモデムコントロール信号として $\overline{\text{RTS2}}$ 信号、 $\overline{\text{CTS2}}$ 信号を用意しています。送信フォーマットの選択は、表 16.6 に示すように SCSMR2 で行います。SCIF のクロックソースは、表 16.7 に示すように SCSCR2 の CKE1、CKE0 の組み合わせで決まります。

- データ長：7ビット / 8ビットから選択可能
- パリティの付加、および1ビット / 2ビットのストップビットの付加を選択可能。これらの組み合わせにより送信 / 受信フォーマットおよびキャラクタ長を決定
- 受信時にフレーミングエラー (FER)、パリティエラー (PER)、レシーブFIFOデータフル、受信データレディ、およびブレークの検出が可能

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- 送信時に送信FIFOデータエンプティの検出が可能
- トランスミットFIFOレジスタおよびレシーブFIFOレジスタの格納データ数を表示
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能

内部クロックを選択した場合、SCIFは内蔵ポーレートジェネレータのクロックで動作し、ビットレートの16倍の周波数のクロックを出力することが可能。

外部クロックを選択した場合、ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ポーレートジェネレータは使用しない）。

表 16.6 シリアルモードレジスタの設定値と SCIF 送信 / 受信フォーマット

モード	SCSMR2 の設定値					SCIF 送信 / 受信フォーマット
	ビット 6 CHR	ビット 5 PE	ビット 3 STOP	データ長	パリティビット	ストップビット長
調歩同期式	0	0	0	8ビット	なし	1ビット
			1			2ビット
		1	0		あり	1ビット
			1			2ビット
	1	0	0	7ビット	なし	1ビット
			1			2ビット
		1	0		あり	1ビット
			1			2ビット

表 16.7 SCSMR2、SCSCR2 の設定値と SCIF のクロックソースの選択

モード	SCSCR2 の設定値		SCIF の送信 / 受信クロック	
	ビット 1 CKE1	ビット 0 CKE0	クロックソース	SCK2 端子の機能
調歩同期式	0	0	内部	SCIF は、SCK2 端子を使用しない
		1		ビットレートの 16 倍の周波数のクロックを出力
	1	0	外部	ビットレートの 16 倍の周波数のクロックを入力
		1		

16.4.1 シリアル動作

(1) 送信 / 受信フォーマット

選択可能な 8 種類の送信 / 受信フォーマットを表 16.8 に示します。送信 / 受信フォーマットは、SCSMR2 の設定により選択できます。

表 16.8 シリアル送信 / 受信フォーマット

SCSMR2の設定			シリアル送信 / 受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	START 8ビットデータ STOP											
		1	START 8ビットデータ STOP STOP											
	1	0	START 8ビットデータ P STOP											
		1	START 8ビットデータ P STOP STOP											
1	0	0	START 7ビットデータ STOP											
		1	START 7ビットデータ STOP STOP											
	1	0	START 7ビットデータ P STOP											
		1	START 7ビットデータ P STOP STOP											

【注】 START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIF の送信 / 受信クロックは、内蔵ポーレートジェネレータの生成した内部クロック、または SCK2 端子から入力された外部クロックの 2 種類から選択できます。クロックソースは SCSCR2 の CKE1、CKE0 ビットの設定により選択できます (表 16.7)。

外部クロックを SCK2 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

SCIF を内部クロックで動作させるとき、SCK2 端子からクロックを出力することができます。このとき出力されるクロックの周波数は、ビットレートの 16 倍です。

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

(3) データの送信 / 受信動作 (SCIF 初期化)

データの送信 / 受信前には、まず SCSCR2 の TE ビットおよび RE ビットを 0 にクリアしたあと、以下の順に SCIF を初期化してください。

通信フォーマットの変更の場合は必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると SCTSR2 は初期化されます。しかし、TE ビットと RE ビットを 0 にクリアしても SCSSR2、SCFTDR2、SCFRDR2 は初期化されず、それらの内容は保持されます。

TE ビットは、すべての送信データの送信が完了し SCSSR2 の TEND フラグがセットされてから 0 にクリアしてください。TE ビットは送信中に 0 にクリアできませんが、送信データはビットを 0 にクリアしたあとハイインピーダンス状態になります。

SCFCR2 の TFRST ビットを 1 にセットし、TE を再びセットする前に SCFTDR2 をリセットして送信を開始します。

外部クロックを使用している場合には、SCIF 動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。

図 16.5 に SCIF の初期化フローチャートの例を示します。SCIF の初期化手順は以下のとおりです。

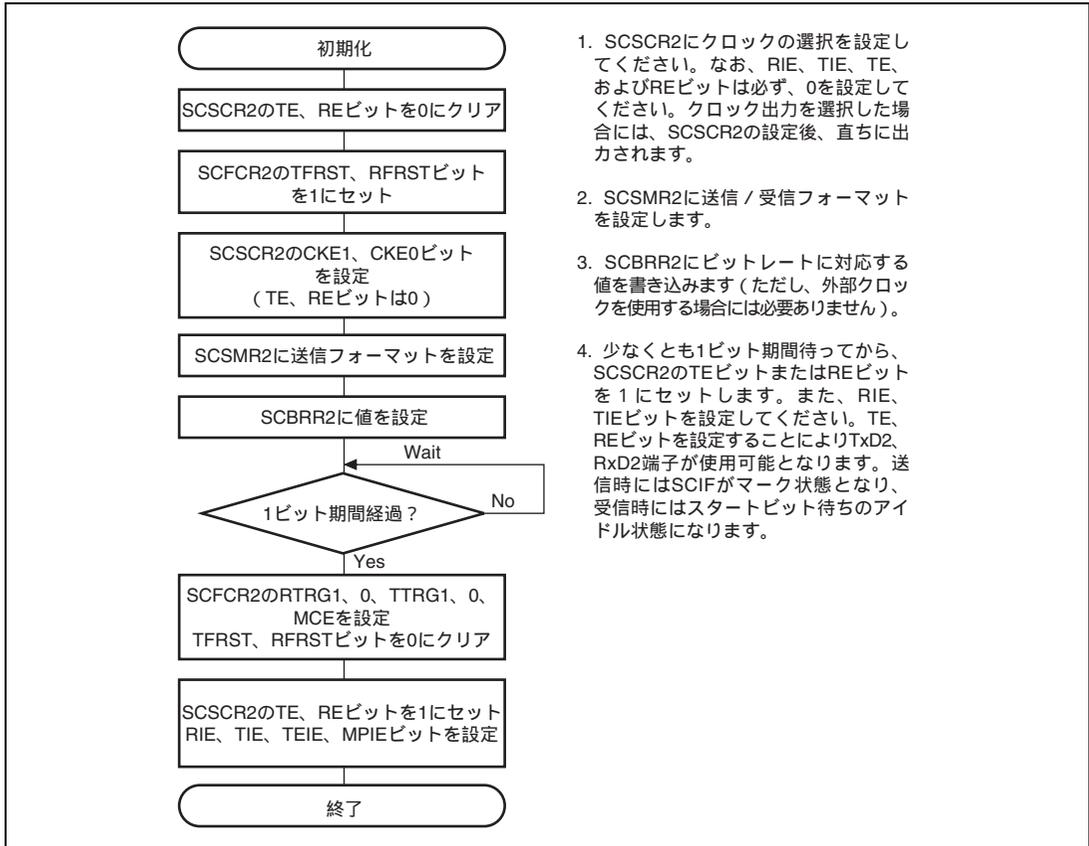


図 16.5 SCIF の初期化フローチャートの例

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

• シリアルデータ送信

図 16.6 にシリアル送信のフローチャートの例を示します。

SCIF の送信を可能にしたあと、シリアルデータ送信は以下の手順に従って行ってください。

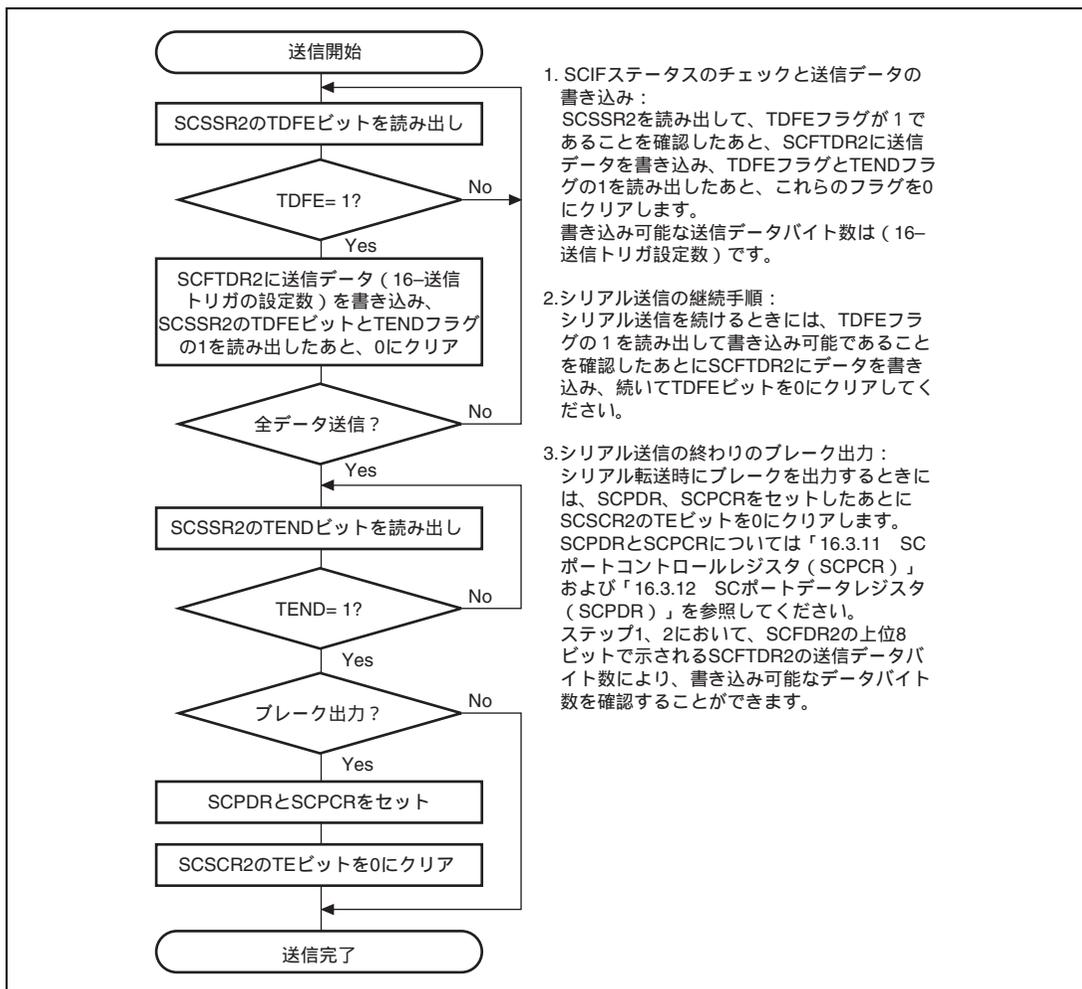


図 16.6 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCFTDR2にデータが書き込まれると、SCIFはSCFTDR2からSCTSR2にデータを転送します。送信データをSCFTDR2に書き込む前に、SCSSR2のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は(16-送信トリガ設定数)です。
2. SCFTDR2からSCTSR2へデータを転送し、送信を開始すると、SCFTDR2の送信データがなくなるまで連続送

信動作を実行します。SCFTDR2の送信データバイト数がSCFCR2に設定された送信トリガ数以下になると、TDFEフラグがセットされます。このとき、SCSSR2のTIEビットが1にセットされていると送信FIFOデータエンブテイ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順にTxD2端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
- (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます、
- (c) パリティビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます。
(なお、パリティビットを出力しないフォーマットも選択できます。)
- (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

3. SCIFは、ストップビットを送出するタイミングでSCFTDR2送信データをチェックします。データが存在すればSCFTDR2からSCTSR2にデータを転送し、ストップビットを送り出したあと、次フレームのシリアル送信を開始します。

データが存在しない場合、SCSSR2のTENDフラグに1をセットし、ストップビットを送り出したあと、1を連続して出力するマーク状態になります。

送信時の動作例を図 16.7 に示します。

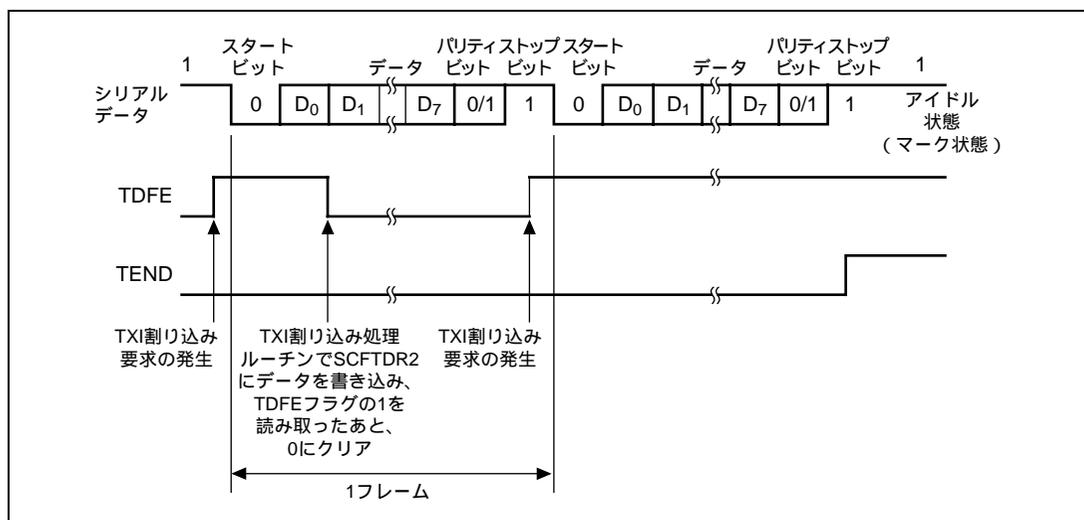


図 16.7 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

4. モデムコントロールを許可した場合、 $\overline{\text{CTS2}}$ 入力値に応じて送信を停止、再開することができます。 $\overline{\text{CTS2}}$ が1にセットされると、送信中である場合1フレームの送信後マーク状態になります。 $\overline{\text{CTS2}}$ が0にセットされると、次の送信データがスタートビットを先頭に出力されます。

図 16.8 にモデムコントロールを使用した動作例を示します。

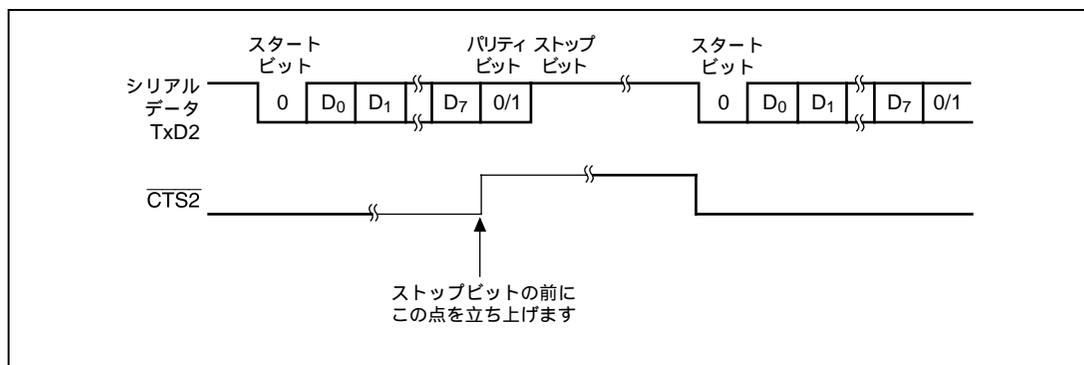


図 16.8 モデムコントロールを使用した動作例 ($\overline{\text{CTS2}}$)

- シリアルデータ受信

図 16.9 にシリアル受信フローチャートの例を示します。

SCIF の受信を可能にしたあと、シリアルデータ受信は以下の手順に従ってください。

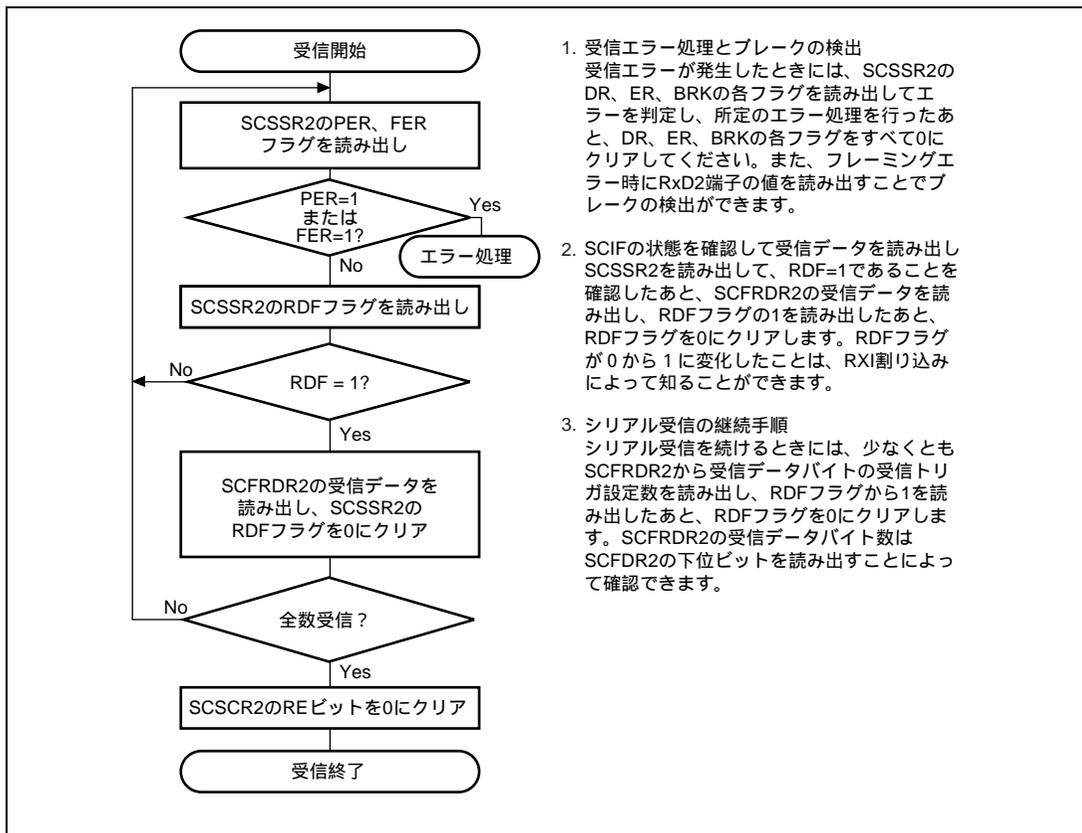


図 16.9 シリアル受信のフローチャートの例 (1)

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

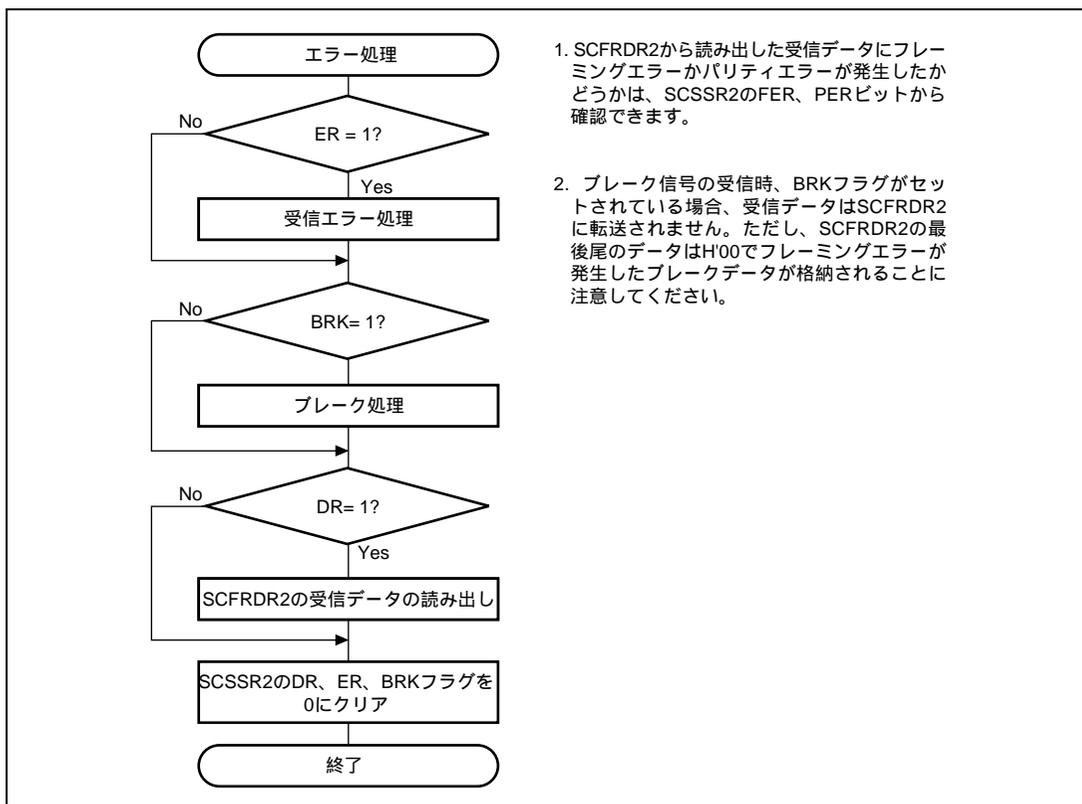


図 16.10 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCSSR2のLSBからMSBの順に格納します。
3. パリティビットおよび、ストップビットを受信します。

受信後、SCIFは以下のチェックを行います。

- ストップビットチェック
ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- 受信データをSCSSR2からSCFRDR2に転送できる状態であるかをチェックします。
- ブレークチェック
ブレーク状態がセットされていないことを示すBRKフラグが0であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDR2に受信データが格納されます。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

4. RDFまたはDRフラグが1になったとき、SCSCR2のRIEビットが1にセットされているとレシーブFIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが1になったとき、SCSCR2のRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

BRKフラグが1になったとき、SCSCR2のRIEビットが1にセットされているとブ레이크受信割り込み (BRI) 要求が発生します。

図 16.11 に受信動作例を示します。

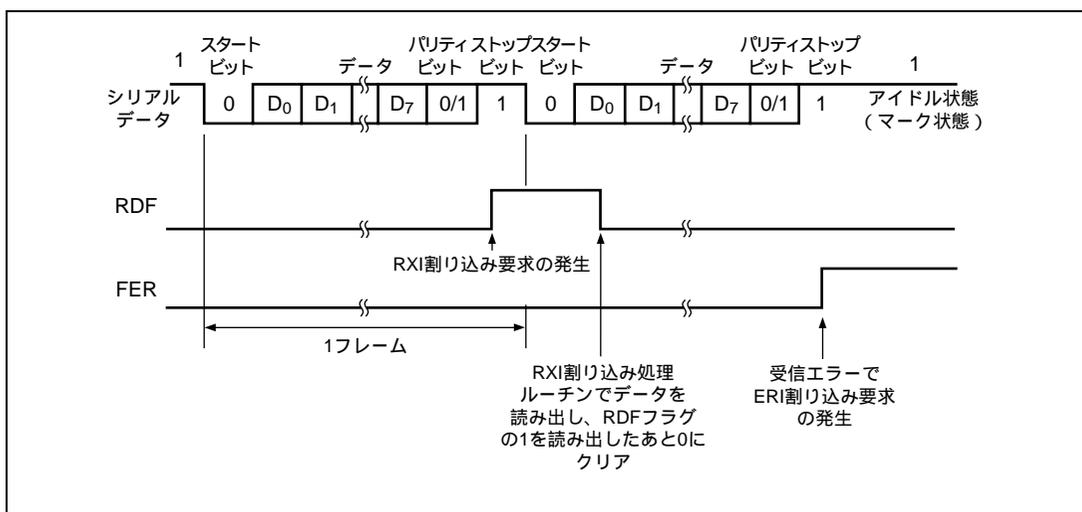


図 16.11 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

5. モデムコントロールが有効であると、SCFRDR2に空きがないとき $\overline{\text{RTS2}}$ 信号が出力されます。 $\overline{\text{RTS2}}$ が0の場合受信が可能です。 $\overline{\text{RTS2}}$ が1の場合はSCFRDR2がフルで受信が不可能であることを示します。

図16.12にモデムコントロール使用時の動作例を示します。

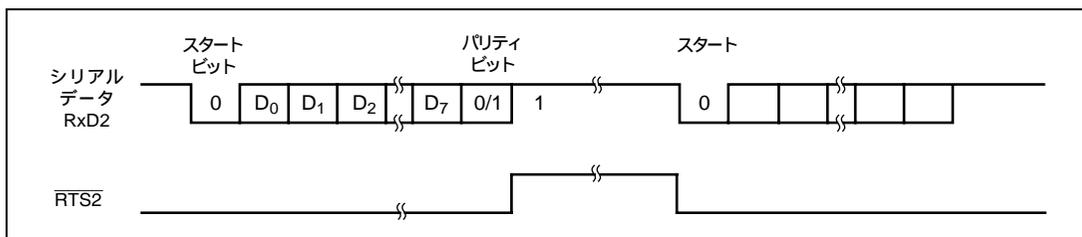


図 16.12 モデムコントロール使用時の動作例 (RTS2)

16.4.2 SCIF の割り込み

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求、の 4 種類の割り込み要因を持っています。

表 16.9 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSSR2 の TIE、RIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SCSSR2 の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、DMAC を起動してデータ転送を行うことができます。TDFE フラグは DMAC により SCFTDR2 に送信トリガ数を超えるデータを書き込み、TDFE=1 を読み出したあと、0 を書き込んだときにクリアされます。

SCSSR2 の RDF フラグが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC を起動して、データ転送を行うことができます。RDF フラグは DMAC により SCFRDR2 の受信データを受信トリガ数より少なくなるまで読み出し、RDF=1 を読み出したあと、0 を書き込んだときにクリアされます。

また、SCSSR2 の ER フラグが 1 にセットされると、ERI 割り込み要求が発生します。

SCSSR2 の BRK フラグが 1 にセットされると、BRI 割り込み要求が発生します。

TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは SCFRDR2 に受信データがあることを示しています。

表 16.9 SCIF 割り込み要因

割り込み要因	内容	DMAC の起動	リセット解放 優先順位
ERI	受信エラーフラグ (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信データ FIFO フルフラグ (RDF) またはデータレディフラグ (DR) による割り込み	可 (RDF のみ)	
BRI	ブ레이크フラグ (BRK) による割り込み	不可	
TXI	送信 FIFO データエンプティフラグ (TDFE) による割り込み	可	

優先順位および非 SCIF 割り込みとの関係については「第 4 章 例外処理」を参照してください。

16.5 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

(1) SCFTDR2 への書き込みと TDFE フラグの関係

SCSSR2 の TDFE フラグは、SCFTDR2 に書き込まれた送信データバイト数が SCFCR2 の TTRG1 ビット、TTRG0 ビットで設定した送信トリガ数より小さくなるとセットされます。TDFE がセットされたあと、送信データは SCFTDR2 の空バイト数まで書き込むことができ、効率的な連続送信が可能です。

SCFTDR2 に書き込んだデータバイト数が指定送信トリガ数以下の場合、TDFE フラグを 0 にクリアしても再び 1 にセットされます。したがって、指定送信トリガ数を上回るデータを SCFTDR2 に書き込んでから TDFE のクリアを実行してください。

SCFTDR2 の送信データバイト数は SCFDR2 の上位 8 ビットから知ることができます。

(2) SCFRDR2 の読み出しと RDF フラグ

SCSSR2 の RDF フラグは、SCFRDR2 の受信データバイト数が SCFCR2 の RTRG1、RTRG0 ビットで設定した受信トリガ数以上になるとセットされます。RDF をセットしたあと、トリガ数に相当する受信データは SCFRDR2 から読み出すことができ、効率的な連続受信が可能です。

ただし、SCFRDR2 のデータバイト数がトリガ数を上回る場合、RDF フラグを 0 にクリアしても再び 1 にセットされます。したがって、すべての受信データの読み出しが完了後、RDF = 1 を読み出したあと、RDF = 0 にクリアしてください。

SCFRDR2 の受信データバイト数は、SCFDR2 の下位 8 ビットから知ることができます。

(3) ブレークの検出と処理

フレーミングエラー (FER) 検出時に RxD2 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD2 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。SCFRDR2 への受信データの転送がブレーク状態で停止しても、SCIF は受信動作を続けますので、BRK フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD2 端子の入出力条件とレベルは、SCPDR の SCP2DT ビットと SCPCR の SCP2MD0、SCP2MD1 ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信時にブレーク信号を送り出すためには、SCP2DT ビットを 0 にクリア (ローレベルを指定) したあと SCP2MD0、SCP2MD1 ビットをそれぞれ 0 と 1 にセットし、最後に TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され TxD2 端子から 0 が出力されます。

(5) TEND フラグと TE ビットの処理

最後尾データのストップビットの送信時、TEND フラグは 1 にセットされます。したがって、TEND フラグの

16. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

設定を確認した直後にTEビットを0にクリアすると、ストップビットは送信処理中となり正常に送信されません。TEND フラグの設定の確認後少なくとも0.5シリアルクロックサイクル(または2ストップビットを使用する場合は1.5サイクル)の間0にクリアしないでください。

(6) 受信データサンプリングタイミングと受信マージン

SCIFは転送レートの16倍の周波数の基本クロックで動作しています。受信時にSCIFは、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの8クロック目の立ち上がりエッジで内部に取り込みます。このタイミングを図16.13に示します。

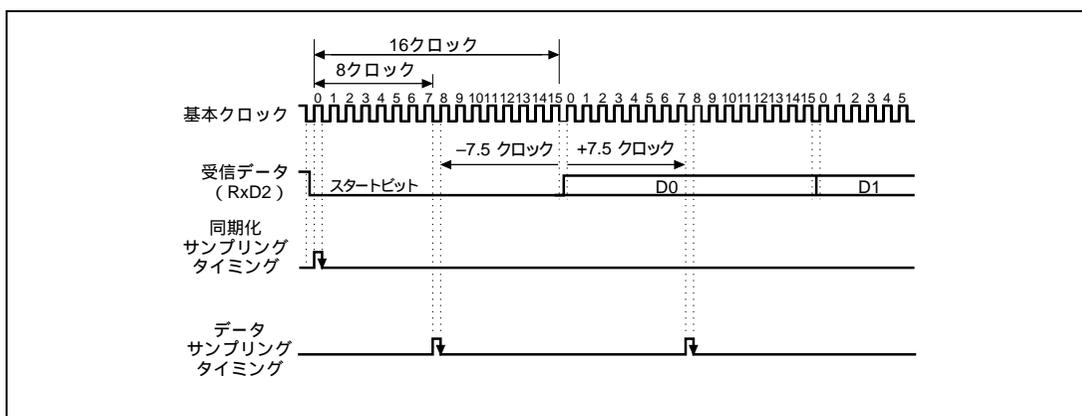


図 16.13 調歩同期式モードでの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots (1)$$

M: 受信マージン (%)

N: ビットレートに対するクロック周波数の比 (N=16)

D: クロックデューティ (D:0~1.0)

L: フレーム長 (L = 9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5とすると、受信マージンは式(2)より46.875%となります。

D=0.5、F=0のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\%$$

$$= 46.875\% \dots (2)$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

17. ピンファンクションコントローラ (PFC)

PFC は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。端子機能と入出力の方向は、LSI の動作モードに関係なく端子ごとに個別に選択することができます。表 17.1 に、本 LSI のマルチプレクス端子を示します。

表 17.1 マルチプレクス一覧表

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
A	PTA[7]入出力 (ポート)	D23 入出力 (データバス)
A	PTA[6]入出力 (ポート)	D22 入出力 (データバス)
A	PTA[5]入出力 (ポート)	D21 入出力 (データバス)
A	PTA[4]入出力 (ポート)	D20 入出力 (データバス)
A	PTA[3]入出力 (ポート)	D19 入出力 (データバス)
A	PTA[2]入出力 (ポート)	D18 入出力 (データバス)
A	PTA[1]入出力 (ポート)	D17 入出力 (データバス)
A	PTA[0]入出力 (ポート)	D16 入出力 (データバス)
B	PTB[7]入出力 (ポート)	D31 入出力 (データバス)
B	PTB[6]入出力 (ポート)	D30 入出力 (データバス)
B	PTB[5]入出力 (ポート)	D29 入出力 (データバス)
B	PTB[4]入出力 (ポート)	D28 入出力 (データバス)
B	PTB[3]入出力 (ポート)	D27 入出力 (データバス)
B	PTB[2]入出力 (ポート)	D26 入出力 (データバス)
B	PTB[1]入出力 (ポート)	D25 入出力 (データバス)
B	PTB[0]入出力 (ポート)	D24 入出力 (データバス)
C	PTC[7]入出力 (ポート)	$\overline{CS6}$ 出力 (BSC) / $\overline{CE1B}$ 出力 (BSC)
C	PTC[6]入出力 (ポート)	$\overline{CS5}$ 出力 (BSC) / $\overline{CE1A}$ 出力 (BSC)
C	PTC[5]入出力 (ポート)	$\overline{CS4}$ 出力 (BSC)
C	PTC[4]入出力 (ポート)	$\overline{CS3}$ 出力 (BSC)
C	PTC[3]入出力 (ポート)	$\overline{CS2}$ 出力 (BSC)
C	PTC[2]入出力 (ポート)	WE3 出力 (BSC) / \overline{DQMUU} 出力 (BSC) / \overline{CIOWR} 出力 (BSC)
C	PTC[1]入出力 (ポート)	$\overline{WE2}$ 出力 (BSC) / \overline{DQMUL} 出力 (BSC) / \overline{CIORD} 出力 (BSC)
C	PTC[0]入出力 (ポート)	BS 出力 (BSC)

17. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
D	PTD[7]入出力 (ポート)	$\overline{CE2B}$ 出力 (PCMCIA)
D	PTD[6]入出力 (ポート)	$\overline{CE2A}$ 出力 (PCMCIA)
D	PTD[5]入出力 (ポート)	$\overline{IOIS16}$ 入力 (PCMCIA)
D	PTD[4]入出力 (ポート)	CKE 出力 (BSC)
D	PTD[3]入出力 (ポート)	\overline{CASU} 出力 (BSC)
D	PTD[2]入出力 (ポート)	\overline{CASL} 出力 (BSC)
D	PTD[1]入出力 (ポート)	\overline{RASU} 出力 (BSC)
D	PTD[0]入出力 (ポート)	\overline{RASL} 出力 (BSC)
E	PTE[7]入出力 (ポート)	\overline{IRQOUT} 出力
E	PTE[6]入出力 (ポート)	TCLK 入出力 (タイマ)
E	PTE[5]入出力 (ポート)	STATUS1 出力 (CPG)
E	PTE[4]入出力 (ポート)	STATUS0 出力 (CPG)
E	PTE[3]入出力 (ポート)	DRAK1 出力 (DMAC)
E	PTE[2]入出力 (ポート)	DRAK0 出力 (DMAC)
E	PTE[1]入出力 (ポート)	DACK1 出力 (DMAC)
E	PTE[0]入出力 (ポート)	DACK0 出力 (DMAC)
F	PTF[6]入出力 (ポート)	$\overline{ASEBRKAK}$ 出力 (AUD)
F	PTF[5]入出力 (ポート)	TDO 出力 (H-UDI)
F	PTF[4]入出力 (ポート)	AUDSYNC 出力 (AUD)
F	PTF[3]入出力 (ポート)	AUDATA[3] 入出力 (AUD)
F	PTF[2]入出力 (ポート)	AUDATA[2] 入出力 (AUD)
F	PTF[1]入力 (ポート)	AUDATA[1] 入出力 (AUD)
F	PTF[0]入出力 (ポート)	AUDATA[0] 入出力 (AUD)
G	PTG[5]入力 (ポート)	\overline{ADTRG} 入力 (ADC)
G	PTG[4]入力 (ポート)	AUDCK 入力 (AUD)
G	PTG[3]入力 (ポート)	\overline{TRST} 入力 (AUD,H-UDI)
G	PTG[2]入力 (ポート)	TMS 入力 (H-UDI)
G	PTG[1]入力 (ポート)	TCK 入出力 (H-UDI)
G	PTG[0]入力 (ポート)	TDI 入力 (H-UDI)
H	PTH[6]入出力 (ポート)	$\overline{DREQ1}$ 入力 (DMAC)
H	PTH[5]入出力 (ポート)	$\overline{DREQ0}$ 入力 (DMAC)
H	PTH[4]入出力 (ポート)	IRQ4 入力 (INTC)
H	PTH[3]入出力 (ポート)	IRQ3 入力 (INTC) / $\overline{IRL3}$ 入力 (INTC)
H	PTH[2]入出力 (ポート)	IRQ2 入力 (INTC) / $\overline{IRL2}$ 入力 (INTC)
H	PTH[1]入出力 (ポート)	IRQ1 入力 (INTC) / $\overline{IRL1}$ 入力 (INTC)
H	PTH[0]入出力 (ポート)	IRQ0 入力 (INTC) / $\overline{IRL0}$ 入力 (INTC)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
J	PTJ[3]入力 (ポート)	AN[3] 入力 (ADC) /DA[0] 出力 (DAC)
J	PTJ[2]入力 (ポート)	AN[2] 入力 (ADC) /DA[1] 出力 (DAC)
J	PTJ[1]入力 (ポート)	AN[1] 入力 (ADC)
J	PTJ[0]入力 (ポート)	AN[0] 入力 (ADC)
SCPT	SCPT[5]入力 (ポート)	$\overline{CTS2}$ 入力 (SCIF) /IRQ5 入力 (INTC)
SCPT	SCPT[4]入出力 (ポート)	$\overline{RTS2}$ 出力 (SCIF)
SCPT	SCPT[3]入出力 (ポート)	SCK2 入出力 (SCIF)
SCPT	SCPT[2]入力 (ポート)	RxD2 入力 (SCIF)
	SCPT[2]出力 (ポート)	TxD2 出力 (SCIF)
SCPT	SCPT[1]入出力 (ポート)	SCK0 入出力 (SCI)
SCPT	SCPT[0]入力 (ポート)	RxD0 入力 (SCI)
	SCPT[0]出力 (ポート)	TxD0 出力 (SCI)

【注】 SCPT [0]、SCPT [2]は、入力端子、出力端子を異にしますが、アクセスするデータレジスタは同じです。

■ : 初期選択機能

17.1 レジスタの説明

PFCのレジスタを以下に示します。これらのレジスタのアドレスおよびアクセスサイズについては「第23章 制御レジスタ一覧」を参照してください。

- ポートAコントロールレジスタ (PACR)
- ポートBコントロールレジスタ (PBCR)
- ポートCコントロールレジスタ (PCCR)
- ポートDコントロールレジスタ (PDCR)
- ポートEコントロールレジスタ (PECR)
- ポートFコントロールレジスタ (PFCR)
- ポートGコントロールレジスタ (PGCR)
- ポートHコントロールレジスタ (PHCR)
- ポートJコントロールレジスタ (PJCR)
- SCポートコントロールレジスタ (SCPCR)

17. ピンファンクションコントローラ (PFC)

17.1.1 ポート A コントロールレジスタ (PACR)

PACR は、リード/ライト可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PA7MD1	0	R/W	PA7 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
14	PA7MD0	0	R/W	
13	PA6MD1	0	R/W	PA6 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
12	PA6MD0	0	R/W	
11	PA5MD1	0	R/W	PA5 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
10	PA5MD0	0	R/W	
9	PA4MD1	0	R/W	PA4 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
8	PA4MD0	0	R/W	
7	PA3MD1	0	R/W	PA3 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
6	PA3MD0	0	R/W	
5	PA2MD1	0	R/W	PA2 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
4	PA2MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説 明
3	PA1MD1	0	R/W	PA1 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PA1MD0	0	R/W	
1	PA0MD1	0	R/W	PA0 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PA0MD0	0	R/W	

17.1.2 ポート B コントロールレジスタ (PBCR)

PBCR は、リード/ライト可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説 明
15	PB7MD1	0	R/W	PB7 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PB7MD0	0	R/W	
13	PB6MD1	0	R/W	PB6 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PB6MD0	0	R/W	
11	PB5MD1	0	R/W	PB5 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PB5MD0	0	R/W	
9	PB4MD1	0	R/W	PB4 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PB4MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
7	PB3MD1	0	R/W	PB3 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
6	PB3MD0	0	R/W	
5	PB2MD1	0	R/W	PB2 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
4	PB2MD0	0	R/W	
3	PB1MD1	0	R/W	PB1 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
2	PB1MD0	0	R/W	
1	PB0MD1	0	R/W	PB0 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
0	PB0MD0	0	R/W	

17.1.3 ポート C コントロールレジスタ (PCCR)

PCCR は、リード/ライト可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PC7MD1	0	R/W	PC7 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
14	PC7MD0	0	R/W	
13	PC6MD1	0	R/W	PC6 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
12	PC6MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
11 10	PC5MD1 PC5MD0	0 0	R/W R/W	PC5 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9 8	PC4MD1 PC4MD0	0 0	R/W R/W	PC4 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7 6	PC3MD1 PC3MD0	0 0	R/W R/W	PC3 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5 4	PC2MD1 PC2MD0	0 0	R/W R/W	PC2 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
3 2	PC1MD1 PC1MD0	0 0	R/W R/W	PC1 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1 0	PC0MD1 PC0MD0	0 0	R/W R/W	PC0 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

17. ピンファンクションコントローラ (PFC)

17.1.4 ポート D コントロールレジスタ (PDCR)

PDCR は、リード/ライト可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PD7MD1	0	R/W	PD7 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
14	PD7MD0	0	R/W	
13	PD6MD1	0	R/W	PD6 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
12	PD6MD0	0	R/W	
11	PD5MD1	0	R/W	PD5 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
10	PD5MD0	0	R/W	
9	PD4MD1	0	R/W	PD4 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
8	PD4MD0	0	R/W	
7	PD3MD1	0	R/W	PD3 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
6	PD3MD0	0	R/W	
5	PD2MD1	0	R/W	PD2 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
4	PD2MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説 明
3	PD1MD1	0	R/W	PD1 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PD1MD0	0	R/W	
1	PD0MD1	0	R/W	PD0 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PD0MD0	0	R/W	

17.1.5 ポート E コントロールレジスタ (PECR)

PECR は、リード/ライト可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説 明
15	PE7MD1	0	R/W	PE7 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PE7MD0	0	R/W	
13	PE6MD1	0	R/W	PE6 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PE6MD0	0	R/W	
11	PE5MD1	0	R/W	PE5 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PE5MD0	0	R/W	
9	PE4MD1	0	R/W	PE4 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PE4MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
7 6	PE3MD1 PE3MD0	0 0	R/W R/W	PE3 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5 4	PE2MD1 PE2MD0	0 0	R/W R/W	PE2 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
3 2	PE1MD1 PE1MD0	0 0	R/W R/W	PE1 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1 0	PE0MD1 PE0MD0	0 0	R/W R/W	PE0 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

17.1.6 ポート F コントロールレジスタ (PFCR)

PFCR は、リード/ライト可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。PFCR はパワーオンリセットで H'AAAA ($\overline{ASEMD0}=1$ の場合) または H'0000 ($\overline{ASEMD0}=0$ の場合) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15		1/0	R	リザーブビット $\overline{ASEMD0}=0$ の場合、リードすると 0 が読み出されます。ライト時は常に 0 にしてください。 $\overline{ASEMD0}=1$ の場合、リードすると 1 が読み出されます。ライト時は常に 1 にしてください。
14		0	R	リザーブビット リードすると 0 が読み出されます。ライト時は常に 0 にしてください。

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
13 12	PF6MD1 PF6MD0	1/0 0	R/W R/W	PF6 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11 10	PF5MD1 PF5MD0	1/0 0	R/W R/W	PF5 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9 8	PF4MD1 PF4MD0	1/0 0	R/W R/W	PF4 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7 6	PF3MD1 PF3MD0	1/0 0	R/W R/W	PF3 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5 4	PF2MD1 PF2MD0	1/0 0	R/W R/W	PF2 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
3 2	PF1MD1 PF1MD0	1/0 0	R/W R/W	PF1 モード 00: その他の機能 (表 17.1 参照) 01: 予約 (設定不可) 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1 0	PF0MD1 PF0MD0	1/0 0	R/W R/W	PF0 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

17. ピンファンクションコントローラ (PFC)

17.1.7 ポート G コントロールレジスタ (PGCR)

PGCR は、リード/ライト可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。PGCR はパワーオンリセットで H'AAAA ($\overline{\text{ASEMD0}}=1$ の場合) または H'A800 ($\overline{\text{ASEMD0}}=0$ の場合) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15		1	R	リザーブビット
13		1	R	リードすると常に 1 が読み出されます。ライト時は常に 1 にしてください。
14		0	R	リザーブビット
12		0	R	リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
11	PG5MD1	1	R/W	PG5 モード 00: その他の機能 (表 17.1 参照) 01: 予約 (設定不可) 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
10	PG5MD0	0	R/W	
9	PG4MD1	1/0	R/W	PG4 モード 00: その他の機能 (表 17.1 参照) 01: 予約 (設定不可) 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
8	PG4MD0	0	R/W	
7	PG3MD1	1/0	R/W	PG3 モード 00: その他の機能 (表 17.1 参照) 01: 予約 (設定不可) 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
6	PG3MD0	0	R/W	
5	PG2MD1	1/0	R/W	PG2 モード 00: その他の機能 (表 17.1 参照) 01: 予約 (設定不可) 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
4	PG2MD0	0	R/W	
3	PG1MD1	1/0	R/W	PG1 モード 00: その他の機能 (表 17.1 参照) 01: 予約 (設定不可) 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
2	PG1MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
1	PG0MD1	1/0	R/W	PG0 モード
0	PG0MD0	0	R/W	00 : その他の機能 (表 17.1 参照) 01 : 予約 (設定不可) 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)

【注】 ビットの位置の並びは、番号順ではありません。ご注意ください。

17.1.8 ポートHコントロールレジスタ (PHCR)

PHCR は、リード/ライト可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15, 14		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
13	PH6MD1	0	R/W	PH6 モード
12	PH6MD0	0	R/W	00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
11	PH5MD1	0	R/W	PH5 モード
10	PH5MD0	0	R/W	00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
9	PH4MD1	0	R/W	PH4 モード
8	PH4MD0	0	R/W	00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
7	PH3MD1	0	R/W	PH3 モード
6	PH3MD0	0	R/W	00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
5	PH2MD1	0	R/W	PH2 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
4	PH2MD0	0	R/W	
3	PH1MD1	0	R/W	PH1 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
2	PH1MD0	0	R/W	
1	PH0MD1	0	R/W	PH0 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
0	PH0MD0	0	R/W	

17.1.9 ポート J コントロールレジスタ (PJCR)

PJCR は、リード/ライト可能な 16 ビットのレジスタで、端子機能を選択します。

D/A 出力をイネーブルに設定している場合、PJCR をポート入力に設定しないでください。

ポート入力として使用する場合は、DACR の設定が D/A 出力禁止になっていることを確認のうえ、PJCR の設定をポート入力に設定してください。

ビット	ビット名	初期値	R/W	説明
15~8		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
7	PJ3MD1	0	R/W	PJ3 モード 00: その他の機能 (表 17.1 参照) 01: 予約 (設定不可) 10: ポート入力 11: ポート入力
6	PJ3MD0	0	R/W	
5	PJ2MD1	0	R/W	PJ2 モード 00: その他の機能 (表 17.1 参照) 01: 予約 (設定不可) 10: ポート入力 11: ポート入力
4	PJ2MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3	PJ1MD1	0	R/W	PJ1 モード 00: その他の機能 (表 17.1 参照) 01: 予約 (設定不可) 10: ポート入力 11: ポート入力
2	PJ1MD0	0	R/W	
1	PJ0MD1	0	R/W	PJ0 モード 00: その他の機能 (表 17.1 参照) 01: 予約 (設定不可) 10: ポート入力 11: ポート入力
0	PJ0MD0	0	R/W	

17.1.10 SC ポートコントロールレジスタ (SCPCR)

SCPCR は、リード/ライト可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。SCPCR の設定は SCSCR レジスタの設定で送受信動作を禁止した場合のみ有効になります。

SCSCR の TE ビットを 1 にセットすると SCPCR の設定は無視され、TxD 機能が選択されます。

SCSCR の RE ビットを 1 にセットすると SCPCR の設定は無視され、RxD 機能が選択されます。

SCSCR2 の TE ビットを 1 にセットすると SCPCR の設定は無視され、TxD2 機能が選択されます。

SCSCR2 の RE ビットを 1 にセットすると SCPCR の設定は無視され、RxD2 機能が選択されます。

ビット	ビット名	初期値	R/W	説明
15~12		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライト時は常に 0 にしてください。
11	SCP5MD1	1	R/W	SCP5 モード 00: その他の機能 (表 17.1 参照) 01: 予約 (設定不可) 10: ポート入力 (プルアップ MOS : オン) 11: ポート入力 (プルアップ MOS : オフ)
10	SCP5MD0	0	R/W	
9	SCP4MD1	1	R/W	SCP4 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS : オン) 11: ポート入力 (プルアップ MOS : オフ)
8	SCP4MD0	0	R/W	
7	SCP3MD1	1	R/W	SCP3 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS : オン) 11: ポート入力 (プルアップ MOS : オフ)
6	SCP3MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
5 4	SCP2MD1 SCP2MD0	0 0	R/W R/W	<p>SCP2 モード</p> <p>00: 送信データ出力 1 (TxD2) 受信データ入力 1 (RxD2)</p> <p>01: 汎用出力 (SCPT[2]出力端子) 受信データ入力 1 (RxD2)</p> <p>10: SCPT[2]入力端子プルアップ (入力端子) 送信データ出力 1 (TxD2)</p> <p>11: 汎用入力 (SCPT[2]入力端子) 送信データ出力 1 (TxD2)</p> <p>【注】1 ビット (SCP2DT) を TxD2、RxD2 の 2 つの端子を用いてアクセスするため、SCPT[2]の同時入出力の組み合わせはありません。</p> <p>ポート入力をセット (ビット SCPnMD1 を 1 にセット) すると、SCSCR の TE ビットを 1 にセットしたとき TxD2 端子は出力状態になり、TE ビットを 0 にクリアしたときハイインピーダンスになります。</p>
3 2	SCP1MD1 SCP1MD0	1 0	R/W R/W	<p>SCP1 モード</p> <p>00: その他の機能 (表 17.1 参照)</p> <p>01: ポート出力</p> <p>10: ポート入力 (プルアップ MOS: オン)</p> <p>11: ポート入力 (プルアップ MOS: オフ)</p>
1 0	SCP0MD1 SCP0MD0	0 0	R/W R/W	<p>SCP0 モード</p> <p>00: 送信データ出力 0 (TxD0) 受信データ入力 0 (RxD0)</p> <p>01: 汎用出力 (SCPT[0]出力端子) 受信データ入力 0 (RxD0)</p> <p>10: SCPT[0]入力端子プルアップ (入力端子) 送信データ出力 0 (TxD0)</p> <p>11: 汎用入力 (SCPT[0]入力端子) 送信データ出力 0 (TxD0)</p> <p>【注】1 ビット (SCP0DT) を TxD0、RxD0 の 2 つの端子を用いてアクセスするため、SCPT[0]の同時入出力の組み合わせはありません。</p> <p>ポート入力をセット (ビット SCPnMD1 を 1 にセット) すると、SCSCR の TE ビットを 1 にセットしたとき TxD0 端子は出力状態になり、TE ビットを 0 にクリアしたときハイインピーダンスになります。</p>

18. I/O ポート

本 LSI には 10 本のポート (ポート A ~ J および SC) があります。それぞれのポートの端子は、すべて、他の端子機能 (ピンファンクションコントローラ (PFC) で端子機能とプルアップ MOS 制御の選択を行います) を兼ねているマルチプレクス端子です。ポートは、それぞれ、端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

18.1 ポート A

ポート A は図 18.1 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート A コントロールレジスタ (PACR) で制御します。

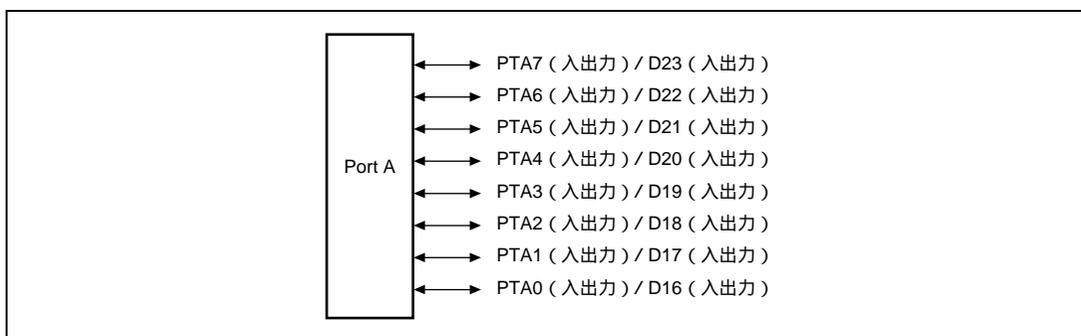


図 18.1 ポート A

18.1.1 レジスタの説明

ポート A には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照ください。

- ポート A データレジスタ (PADR)

18.1.2 ポート A データレジスタ (PADR)

PADR は、リード/ライト可能な 8 ビットのレジスタで、端子 PTA7 ~ PTA0 のデータを格納します。PA7DT ~ PA0DT ビットは PTA7 ~ PTA0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PADR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PA7DT	0	R/W	表 18.1 に PADR の機能を示します。
6	PA6DT	0	R/W	
5	PA5DT	0	R/W	
4	PA4DT	0	R/W	
3	PA3DT	0	R/W	
2	PA2DT	0	R/W	
1	PA1DT	0	R/W	
0	PA0DT	0	R/W	

表 18.1 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PACR の状態		端子状態	読み出しの場合	書き込みの場合
PAnMD1	PAnMD0			
0	0	その他の機能	PADR の値	PADR に書き込めるが、端子の状態に影響しない
	1	出力	PADR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PADR に書き込めるが、端子の状態に影響しない

【注】n=0~7

18.2 ポート B

ポート B は図 18.2 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート B コントロールレジスタ (PBCR) で制御します。

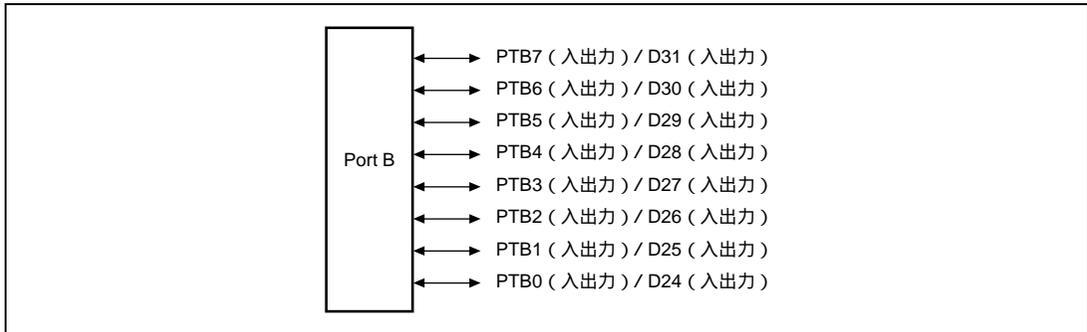


図 18.2 ポート B

18.2.1 レジスタの説明

ポート B には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照ください。

- ポート B データレジスタ (PBDR)

18.2.2 ポート B データレジスタ (PBDR)

PBDR は、リード/ライト可能な 8 ビットのレジスタで、端子 PTB7 ~ PTB0 のデータを格納します。PB7DT ~ PB0DT ビットは PTB7 ~ PTB0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PBDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PB7DT	0	R/W	表 18.2 に PBDR の機能を示します。
6	PB6DT	0	R/W	
5	PB5DT	0	R/W	
4	PB4DT	0	R/W	
3	PB3DT	0	R/W	
2	PB2DT	0	R/W	
1	PB1DT	0	R/W	
0	PB0DT	0	R/W	

18. I/O ポート

表 18.2 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作

PBCR の状態		端子状態	読み出しの場合	書き込みの場合
PBnMD1	PBnMD0			
0	0	その他の機能	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない
	1	出力	PBDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない

【注】n=0~7

18.3 ポート C

ポート C は図 18.3 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート C コントロールレジスタ (PCCR) で制御します。

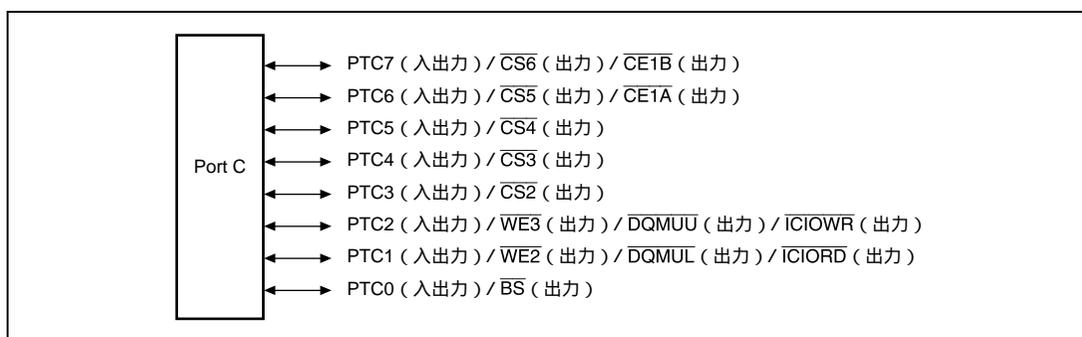


図 18.3 ポート C

18.3.1 レジスタの説明

ポート C には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照ください。

- ポート C データレジスタ (PCDR)

18.3.2 ポート C データレジスタ (PCDR)

PCDR は、リード / ライト可能な 8 ビットのレジスタで、端子 PTC7 ~ PTC0 のデータを格納します。PC7DT ~ PC0DT ビットは PTC7 ~ PTC0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PCDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

PCDR はパワーオンリセットで H'00 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
7	PC7DT	0	R/W	表 18.3 に PCDR の機能を示します。
6	PC6DT	0	R/W	
5	PC5DT	0	R/W	
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	PC1DT	0	R/W	
0	PC0DT	0	R/W	

表 18.3 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作

PCCR の状態		端子状態	読み出しの場合	書き込みの場合
PCnMD1	PCnMD0			
0	0	その他の機能	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない
	1	出力	PCDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない

【注】n=0~7

18.4 ポート D

ポート D は図 18.4 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート D コントロールレジスタ (PDCR) で制御します。

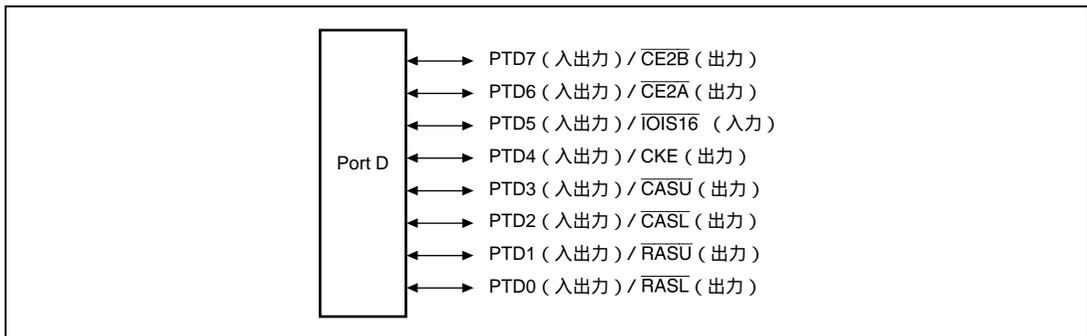


図 18.4 ポート D

18.4.1 レジスタの説明

ポート D には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照ください。

- ポート D データレジスタ (PDDR)

18.4.2 ポート D データレジスタ (PDDR)

PDDR は、リード/ライト可能な 8 ビットのレジスタで、端子 PTD7~PTD0 のデータを格納します。PD7DT~PD0DT ビットは PTD7~PTD0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PDDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

PDDR はパワーオンリセットで H'00 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
7	PD7DT	0	R/W	表 18.4 に PDDR の機能を示します。
6	PD6DT	0	R/W	
5	PD5DT	0	R/W	
4	PD4DT	0	R/W	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

表 18.4 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

PDCR の状態		端子状態	読み出しの場合	書き込みの場合
PDnMD1	PDnMD0			
0	0	その他の機能	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない
	1	出力	PDDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない

【注】 n=0~7

18.5 ポート E

ポート E は図 18.5 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート E コントロールレジスタ (PECR) で制御します。

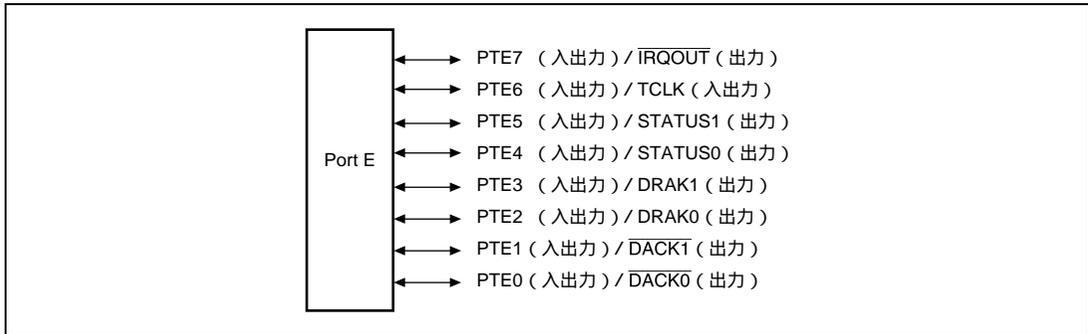


図 18.5 ポート E

18.5.1 レジスタの説明

ポート E には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照ください。

- ポート E データレジスタ (PEDR)

18.5.2 ポート E データレジスタ (PEDR)

PEDR は、リード/ライト可能な 8 ビットのレジスタで、端子 PTE7~PTE0 のデータを格納します。PE7DT~PE0DT ビットは PTE7~PTE0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PEDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

PEDR はパワーオンリセットで H'00 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
7	PE7DT	0	R/W	表 18.5 に PEDR の機能を示します。
6	PE6DT	0	R/W	
5	PE5DT	0	R/W	
4	PE4DT	0	R/W	
3	PE3DT	0	R/W	
2	PE2DT	0	R/W	
1	PE1DT	0	R/W	
0	PE0DT	0	R/W	

表 18.5 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

PECR の状態		端子状態	読み出しの場合	書き込みの場合
PEnMD1	PEnMD0			
0	0	その他の機能	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない
	1	出力	PEDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない

【注】n=0~7

18.6 ポート F

ポート F は図 18.6 に示すような端子構成を持つ 7 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート F コントロールレジスタ (PFCR) で制御します。

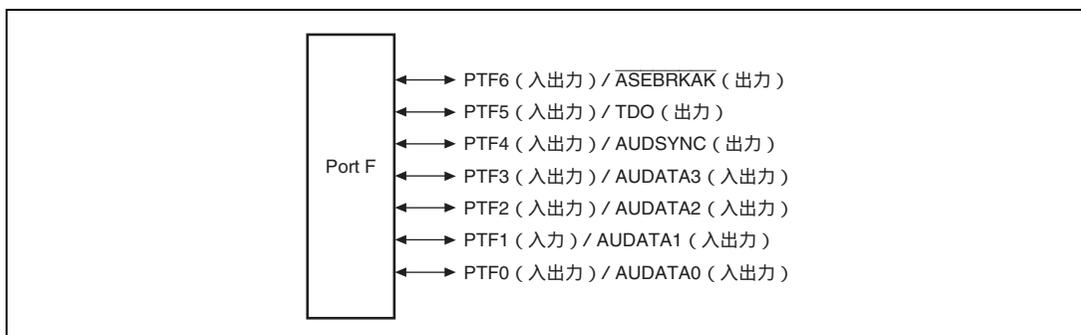


図 18.6 ポート F

18.6.1 レジスタの説明

ポート F には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照ください。

- ポート F データレジスタ (PFDR)

18.6.2 ポート F データレジスタ (PFDR)

PFDR は、リード可能な 1 ビットのレジスタと、リード / ライト可能な 7 ビットのレジスタで端子 PTF6 ~ PTF0 のデータを格納します。PF6DT ~ PF0DT ビットは PTF6 ~ PTF0 端子に対応しています。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子レベルが読み出されます。

PFDR はパワーオンリセットで H'00 に初期化されたあと、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として対応する端子レベルが読み込まれます。スタンバイモード、スリープモードおよびマニュアル

リセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット
6	PF6DT	0	R/W	表 18.6 に PFDR の機能を示します。
5	PF5DT	0	R/W	
4	PF4DT	0	R/W	
3	PF3DT	0	R/W	
2	PF2DT	0	R/W	
1	PF1DT	0	R/W	
0	PF0DT	0	R/W	

表 18.6 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作

PFCR の状態		端子状態	読み出しの場合	書き込みの場合
PFnMD1	PFnMD0			
0	0	その他の機能	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない
	1	出力	PFDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない

【注】n=0~6

18.7 ポート G

ポート G は図 18.7 に示すような端子構成を持つ 6 ビットの入力ポートです。各端子には入力プルアップ MOS があり、PFC のポート G コントロールレジスタ (PGCR) で制御します。

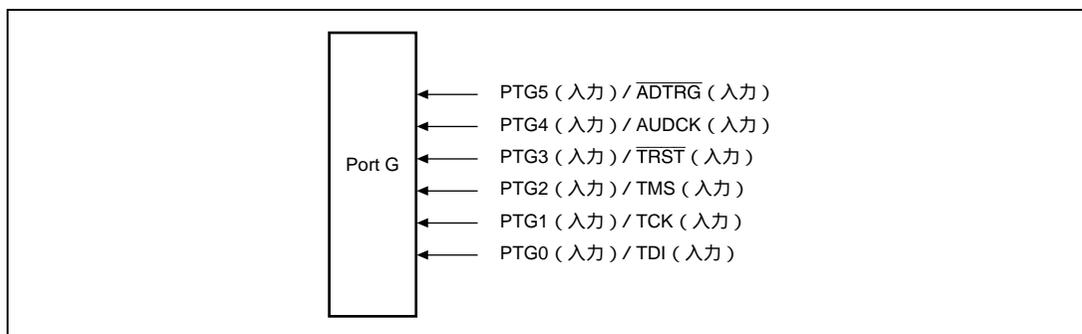


図 18.7 ポート G

18.7.1 レジスタの説明

ポート G には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照ください。

- ポートGデータレジスタ (PGDR)

18.7.2 ポート G データレジスタ (PGDR)

PGDR は、リード可能な 8 ビットのレジスタで、端子 PTG5 ~ PTG0 のデータを格納します。PG5DT ~ PG0DT ビットは PTG5 ~ PTG0 端子に対応しています。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子レベルが読み出されます。

PGDR はパワーオンリセットで初期化されたあと、端子機能の初期値、汎用入力ポート(プルアップ MOS オン)として対応する端子レベルが読み込まれます。スタンバイモード、スリープモードおよびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説 明
7		*	R	リザーブビット
6		*	R	
5	PG5DT	*	R	表 18.7 に PGDR の機能を示します。
4	PG4DT	*	R	
3	PG3DT	*	R	
2	PG2DT	*	R	
1	PG1DT	*	R	
0	PG0DT	*	R	

【注】* 値なし

表 18.7 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作

PGCR の状態		端子状態	読み出しの場合	書き込みの場合
PGnMD1	PGnMD0			
0	0	その他の機能	ローレベル	無視 (端子の状態に影響しない)
	1	予約 (設定不可)		無視 (端子の状態に影響しない)
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子の状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子の状態に影響しない)

【注】n=0-5

18.8 ポート H

ポート H は図 18.8 に示すような端子構成を持つ 7 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート H コントロールレジスタ (PHCR) で制御します。

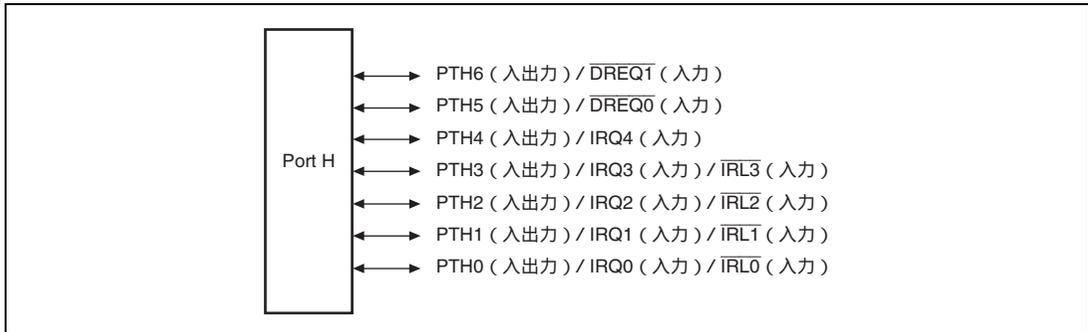


図 18.8 ポート H

18.8.1 レジスタの説明

ポート H には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照ください。

- ポート H データレジスタ (PHDR)

18.8.2 ポート H データレジスタ (PHDR)

PHDR は、リード/ライト可能な 7 ビットおよびリード可能な 1 ビットのレジスタで、端子 PTH6 ~ PTH0 のデータを格納します。PH6DT ~ PH0DT ビットは PTH6 ~ PTH0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PHDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

PHDR はパワーオンリセットで H'00 に初期化されます。

スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

汎用入力以外でビット 6 ~ ビット 0 を読み出すとローレベルが読み出されるので注意してください。

18. I/O ポート

ビット	ビット名	初期値	R/W	説明
7		*	R	リザーブビット
6	PH6DT	0	R/W	表 18.8 に PHDR の機能を示します。
5	PH5DT	0	R/W	
4	PH4DT	0	R/W	
3	PH3DT	0	R/W	
2	PH2DT	0	R/W	
1	PH1DT	0	R/W	
0	PH0DT	0	R/W	

【注】* 値なし

表 18.8 ポートHデータレジスタ (PHDR) の読み出し / 書き込み動作

PHCR の状態		端子状態	読み出しの場合	書き込みの場合
PHnMD1	PHnMD0			
0	0	その他の機能	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない
	1	出力	PHDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない

【注】n=0~6

18.9 ポート J

ポート J は図 18.9 に示すような端子構成を持つ 4 ビットの入力ポートです。

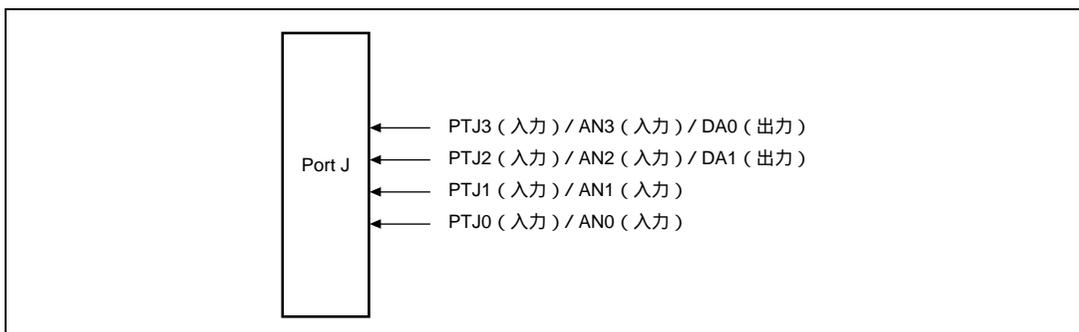


図 18.9 ポート J

18.9.1 レジスタの説明

ポートJには以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第23章 制御レジスタ一覧」を参照ください。

- ポートJデータレジスタ (PJDR)

18.9.2 ポートJデータレジスタ (PJDR)

PJDRは、リード可能な8ビットのレジスタで、端子PTJ3～PTJ0のデータを格納します。PJ3DT～PJ0DTビットはPTJ3～PTJ0端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応するPJDRビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット
6		0	R	
5		0	R	
4		0	R	
3	PJ3DT	0	R	表 18.9 に PJDR の機能を示します。
2	PJ2DT	0	R	
1	PJ1DT	0	R	
0	PJ0DT	0	R	

表 18.9 ポートJデータレジスタ (PJDR) の読み出し / 書き込み動作

PJCR の状態		端子状態	読み出しの場合	書き込みの場合
PJnMD1	PJnMD0			
0	0	その他の機能	ローレベル	無視 (端子の状態に影響しない)
	1	予約 (設定不可)		無視 (端子の状態に影響しない)
1	0	入力	端子の状態	無視 (端子の状態に影響しない)
	1	入力	端子の状態	無視 (端子の状態に影響しない)

【注】n=0～3

18.10 SC ポート

SC ポートは図 18.10 に示すような端子構成を持つ 3 ビットの入力、2 ビットの出力、および 3 ビットの入力ポートです。各端子には入力プルアップ MOS があり、PFC の SC ポートコントロールレジスタ (SCPCR) で制御します。

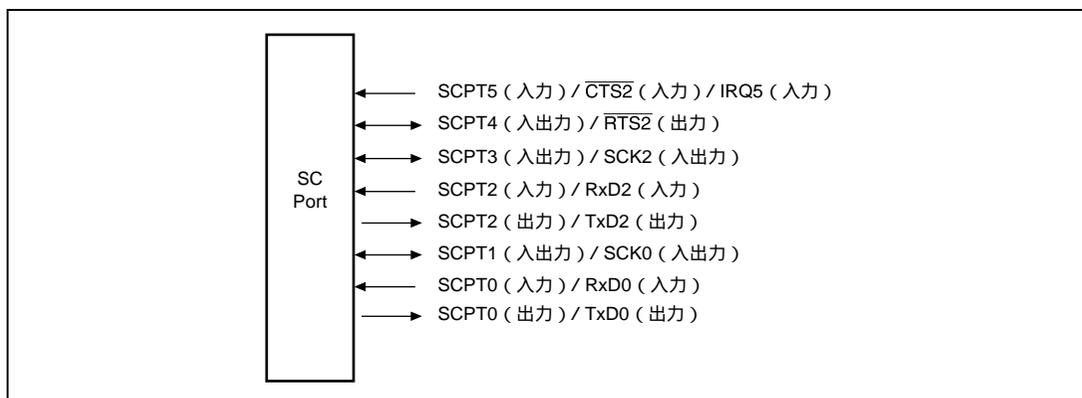


図 18.10 SC ポート

18.10.1 レジスタの説明

ポート SC には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照ください。

- SCポートデータレジスタ (SCPDR)

18.10.2 SC ポートデータレジスタ (SCPDR)

SCPDR は、リード/ライト可能な 5 ビット、およびリード可能な 3 ビットのレジスタで、端子 SCPT5 ~ SCPT0 のデータを格納します。SCP5DT ~ SCP0DT ビットは SCPT5 ~ SCPT0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する SCPDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子レベルが読み出されます。

SCPDR はパワーオンリセットで B'***00000 に初期化されます。SCP5DT ~ SCP3DT、SCP1DT ビットは、初期化されたあと、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として、対応する端子レベルが読み込まれます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。汎用入力以外でビット 7 を読み出すとローレベルが読み出されるので注意してください。

SCSCR の TE ビットまたは RE ビットを 0 にクリアしないで SCPDR の SCP2DT、SCP0DT ビットの RxD2、RxD0 端子状態を読み出すとき、SCSCR の RE ビットを 1 にセットしてください。RE ビットを 1 にセットすると、RxD 端子は入力となり、SCPCR 設定に優先し、端子状態を読み出すことができます。

ビット	ビット名	初期値	R/W	説明
7		*	R	リザーブビット
6		*	R	
5	SCP5DT	0	R	表 18.10 に SCPDR の機能を示します。
4	SCP4DT	0	R/W	
3	SCP3DT	0	R/W	
2	SCP2DT	0	R/W	
1	SCP1DT	0	R/W	
0	SCP0DT	0	R/W	

【注】* 値なし

表 18.10 SCポートデータレジスタ (SCPDR) の読み出し / 書き込み動作

• SCP4DT ~ SCP0DTの場合

SCPCR の状態		端子状態	読み出しの場合	書き込みの場合
SCPnMD1	SCPnMD0			
0	0	その他の機能	SCPDR の値	SCPDR に書き込めるが、端子の状態に影響しない
	1	出力	SCPDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	SCPDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	SCPDR に書き込めるが、端子の状態に影響しない

【注】n=0~4

• SCP5DTの場合

SCPCR の状態		端子状態	読み出しの場合	書き込みの場合
SCPnMD1	SCPnMD0			
0	0	その他の機能	ローレベル	無視 (端子状態に影響しない)
	1	予約 (設定不可)		無視 (端子状態に影響しない)
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子状態に影響しない)

【注】n=5

19. A/D 変換器 (ADC)

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 4 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 19.1 に示します。

19.1 特長

A/D 変換器の特長を以下に示します。

- 10ビット分解能
- 入力チャンネル：4チャンネル
- 高速変換
最小変換時間：1チャンネル当たり15 μ s (P クロック33MHz動作時)
- 3種類の変換モード
シングルモード：1チャンネルのA/D変換
マルチモード：1~4チャンネルのA/D変換
スキャンモード：1~4チャンネルの連続A/D変換
- 4本のデータレジスタ
変換結果を、各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能
- 外部トリガによるA/D変換が可能
- A/D変換終了割り込み発生
A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能

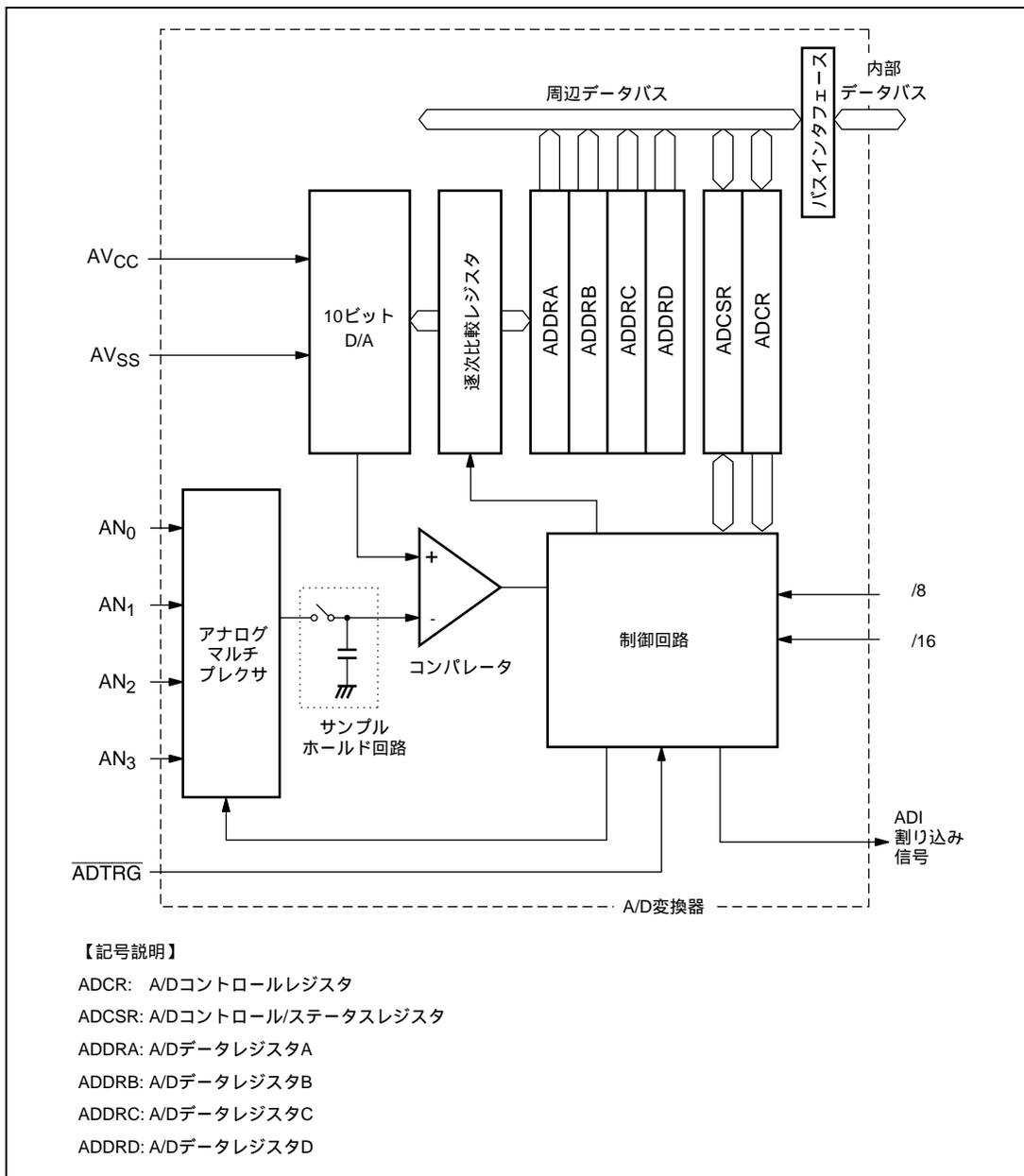


図 19.1 A/D 変換器のブロック図

19.2 入出力端子

A/D 変換器で使用する端子構成を表 19.1 に示します。

AV_{CC} 、 AV_{SS} 端子は、A/D 変換器内部のアナログ部の電源です。 AV_{CC} 端子は、A/D 変換基準電圧です。

表 19.1 端子構成

端子名	略称	入出力	機能
アナログ電源	AV_{CC}	入力	アナログ部の電源
アナロググランド	AV_{SS}	入力	アナログ部のグランドおよび A/D 変換の基準電圧
アナログ入力 0	AN0	入力	グループ 0 アナログ入力
アナログ入力 1	AN1	入力	グループ 0 アナログ入力
アナログ入力 2	AN2	入力	グループ 0 アナログ入力
アナログ入力 3	AN3	入力	グループ 0 アナログ入力
A/D 外部トリガ入力	\overline{ADTRG}	入力	A/D 変換開始のための外部トリガ

19.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照ください。

- A/DデータレジスタA (ADDRA)
ADDRAの上位バイトと下位バイトをそれぞれADDRAHとADDRALで表すことがあります。
- A/DデータレジスタB (ADDRB)
ADDRBの上位バイトと下位バイトをそれぞれADDRBHとADDRBLで表すことがあります。
- A/DデータレジスタC (ADDRC)
ADDRCの上位バイトと下位バイトをそれぞれADDRCHとADDRCLで表すことがあります。
- A/DデータレジスタD (ADDRD)
ADDRDの上位バイトと下位バイトをそれぞれADDRDHとADDRDLで表すことがあります。
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

19.3.1 A/D データレジスタ A ~ D (ADDRA ~ ADDR D)

ADDRA ~ ADDR D は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、A ~ D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャネルに対応する ADDRA ~ ADDR D に転送され保持されます。A/D 変換されたデータの上位 8 ビットがレジスタのビット 15 ~ 8 に、また残りの下位 2 ビットがビット 7、6 に転送され保持されます。ビット 5 ~ 0 はリードすると常に 0 が読み出されます。

データの読み出しについては「19.4 バスマスタとのインタフェース」と「19.9.3 アクセスサイズと読み出し

19. A/D 変換器

データ」を参照してください。

アナログ入力チャンネルと ADDR_A ~ ADDR_D の対応を表 19.2 に示します。

ビット	ビット名	初期値	R/W	説明
15~6	AD9~AD0	すべて0	R	ビットデータ(10ビット)
5~0		すべて0	R	リザーブビット リードすると常に0が読み出されます。

表 19.2 アナログ入力チャンネルと A/D データレジスタの対応

アナログ入力チャンネル	A/D データレジスタ
グループ 0	
AN0	ADDR _A
AN1	ADDR _B
AN2	ADDR _C
AN3	ADDR _D

19.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換の動作制御、およびステータスの表示を行います。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R(W)* ¹	A/D エンドフラグ A/D 変換の終了を示すフラグです。 0: [クリア条件] (1) ADF=1 の状態で、ADF フラグをリードしたあと、ADF フラグに0をライトしたとき (2) ADI 割り込みにより DMAC が起動され、ADDR をリードしたとき 1: [セット条件] (1) シングルモードの場合: A/D 変換が終了したとき (2) マルチモードの場合: 指定したすべてのチャンネルを一巡して変換したとき (3) スキャンモードの場合: 指定したすべてのチャンネルを一巡して変換したとき

ビット	ビット名	初期値	R/W	説明
6	ADIE	0	R/W	A/D インタラプトイネーブル A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。 0 : A/D 変換の終了による割り込み (ADI) 要求を禁止 1 : A/D 変換の終了による割り込み (ADI) 要求を許可
5	ADST	0	R/W	A/D スタート A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。ADST ビットは A/D 外部トリガ入力端子 (ADTRG) によっても 1 にセットすることができます。 0 : A/D 変換を停止 1 : (1) シングルモードの場合 : A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) マルチモードの場合 : A/D 変換を開始 指定したすべてのチャンネルを一巡して変換が終了すると自動的に 0 にクリア (3) スキャンモードの場合 : A/D 変換を開始。ソフトウェアリセットまたはスタンバイモードへの遷移により 0 にクリアされるまで連続変換
4	MULTI	0	R/W	シングルモード、マルチモード、またはスキャンモードを選択します。これらのモードについての詳細は、「19.6 動作説明」を参照してください。本ビット (MULTI) と ADCR のビット 5 (SCN) の組み合わせで表されます。 MULTI SCN 0 0 : シングルモード 0 1 : シングルモード 1 0 : マルチモード 1 1 : スキャンモード
3	CKS	0	R/W	クロックセレクト A/D 変換時間の設定を行います。 変換時間の切り替えは、ADST ビットを 0 にクリアしたあとに行ってください。 0 : 変換時間=536 ステート (最大値) 1 : 変換時間=266 ステート (最大値) *2

19. A/D 変換器

ビット	ビット名	初期値	R/W	説明
2	CH2	0	R/W	チャンネルセレクト
1	CH1	0	R/W	MULTI ビットとともにアナログ入力チャンネル選択します。
0	CH0	0	R/W	入力チャンネルの設定は、ADST ビットを 0 にクリアしたあとに行ってください。 シングルモードの場合 マルチモードおよびスキャンモードの場合 (MULTI=0) (MULTI=1) 000 : AN0 AN0 001 : AN1 AN0、AN1 010 : AN2 AN0 ~ AN2 011 : AN3 AN0 ~ AN3

【注】 *1 フラグをクリアするための 0 書き込みのみ可能です。

*2 A/D 変換時間が 16 μ s (min) になるように、CKS の値を設定してください。

19.3.3 A/D コントロールレジスタ (ADCR)

ADCR は、8 ビットのリード/ライト可能なレジスタで、外部トリガ入力による A/D 変換開始の許可または禁止を選択します。ADCR は、リセットまたはスタンバイモード時に H'07 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	TRGE1	0	R/W	トリガイネーブル
6	TRGE0	0	R/W	外部トリガ入力による A/D 変換の許可または禁止を選択します。 00 : 外部トリガ入力による A/D 変換の開始を禁止 01 : 同上 10 : 同上 11 : A/D 変換トリガ入力端子 ($\overline{\text{ADTRG}}$) の立ち下がリエッジで A/D 変換を開始
5	SCN	0	R/W	スキャンモード MULTI ビットが 1 のとき、マルチモードまたはスキャンモードを選択します。「19.3.2 A/D コントロール/ステータスレジスタ (ADCSR) ビット 4」を参照してください。
4	-	0	R/W	リザーブビット
3	-	0	R/W	リードすると常に 0 がリードされます。ライト時は常に 0 にしてください。
2	-	1	R	リザーブビット
1	-	1	R	リードすると常に 1 がリードされます。ライト時は常に 1 にしてください。
0	-	1	R	

19.4 バスマスタとのインタフェース

ADDRA ~ ADDRD は 16 ビットのレジスタですが、バスマスタとは 16 ビットの周辺データバスの上位 8 ビットによって接続されています。したがって、上位バイトはバスマスタにより直接アクセスできますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して読み出します。

A/D データレジスタは次のように読み出します。上位バイトを読み出したとき上位バイトの値は直接バスマスタに転送され、下位バイトの値は TEMP に転送されます。次に下位バイトを読み出したときに、TEMP の内容がバスマスタに転送されます。

A/D データレジスタを読み出すときは、常に上位バイトを下位バイトより前に読み出してください。上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容は保証されませんのでご注意ください。

図 19.2 に A/D データレジスタにアクセスする場合のデータの流れを示します。

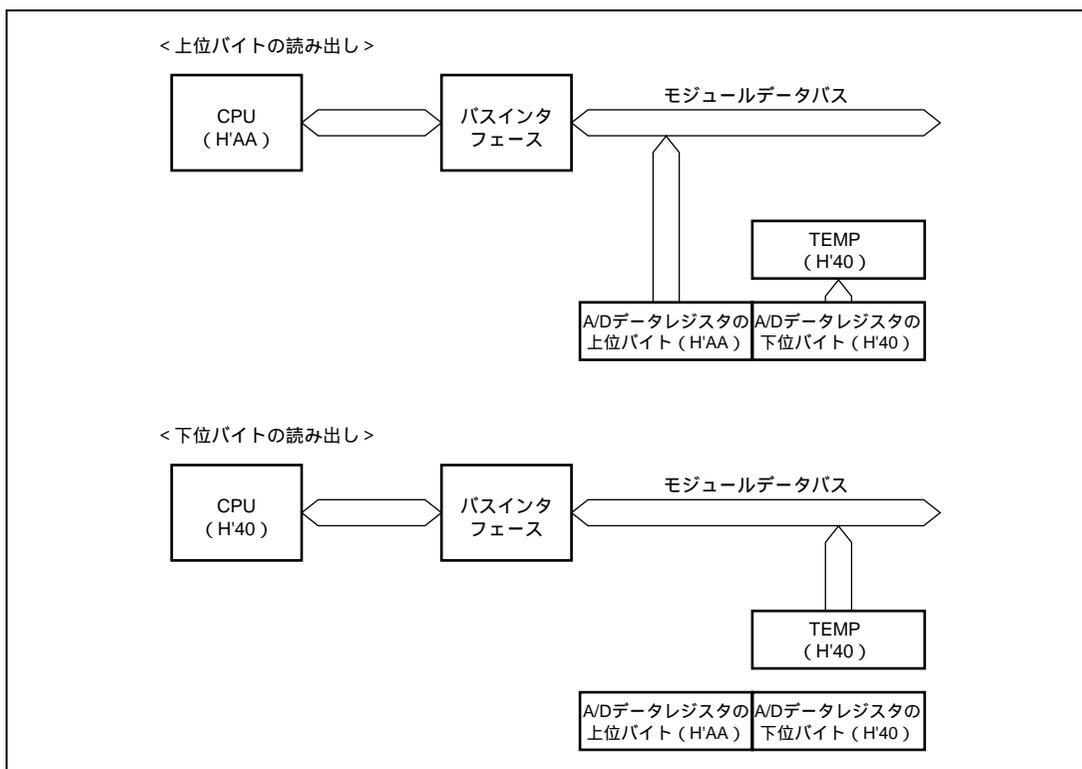


図 19.2 A/D データレジスタのアクセス動作 ((H'AA40) 読み出し時)

19.5 A/D データレジスタのアクセスサイズ

19.5.1 ワードアクセスの場合

ワードで AD データレジスタを (ADDRA ~ ADDRD) 読み出した場合、ビット 15 ~ 8 に AD データレジスタ値、ビット 7 ~ 0 に無効データが読み出されます。

例として、ADDRAH を読み出した場合を図 19.3 に示します。



図 19.3 ワードアクセスの例

19.5.2 ロングワードアクセスの場合

ロングワードで AD データレジスタを読み出した場合、ビット 31 ~ 24 に AD データレジスタの上位バイトが、ビット 23 ~ 16 に無効データが、ビット 15 ~ 8 に AD データレジスタの下位バイトが、ビット 7 ~ 0 に無効データが読み出されます。

例として、ADDRAH を読み出した場合を図 19.4 に示します。

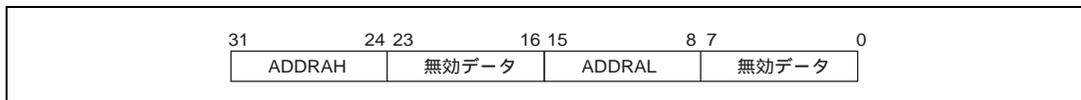


図 19.4 ロングワードアクセスの例

19.6 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。シングルモードとマルチモードおよびスキャンモードの各モードの動作についての説明をします。

19.6.1 シングルモード (MULTI=0)

シングルモードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると ADCSR の ADF ビットが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 にセットされていると ADI 割り込み要求が発生します。

ADF ビットは、ADF=1 をリードしたあと、ADF ビットに 0 をライトするとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして A/D 変換を停止した状態で行ってください。変更したあと、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは同時に行うことができます)、再び A/D 変換を開始し

ます。

シングルモードでチャンネル1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 19.5 に示します (動作例におけるビット指定は ADCSR レジスタです)。

1. 動作モードをシングルモードに (MULTI=0)、入力チャンネルをAN1に (CH1=CH2=0、CH0=1)、A/D割り込み要求許可 (ADIE=1) に設定してA/D変換を開始 (ADST=1) します。
2. A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF=1、ADST=0となりA/D変換器は変換待機となります。
3. ADF=1、ADIE=1となっているためADI割り込み要求が発生します。
4. A/D割り込み処理ルーチンが開始されます。
5. ADF=1をリードしたあとADFに0をライトします。
6. A/D変換結果 (ADDRB=0) をリードして処理します。
7. A/D割り込み処理ルーチンの実行を終了します。このあとADSTビットを1にセットするとA/D変換が開始され2.~7.を行います。

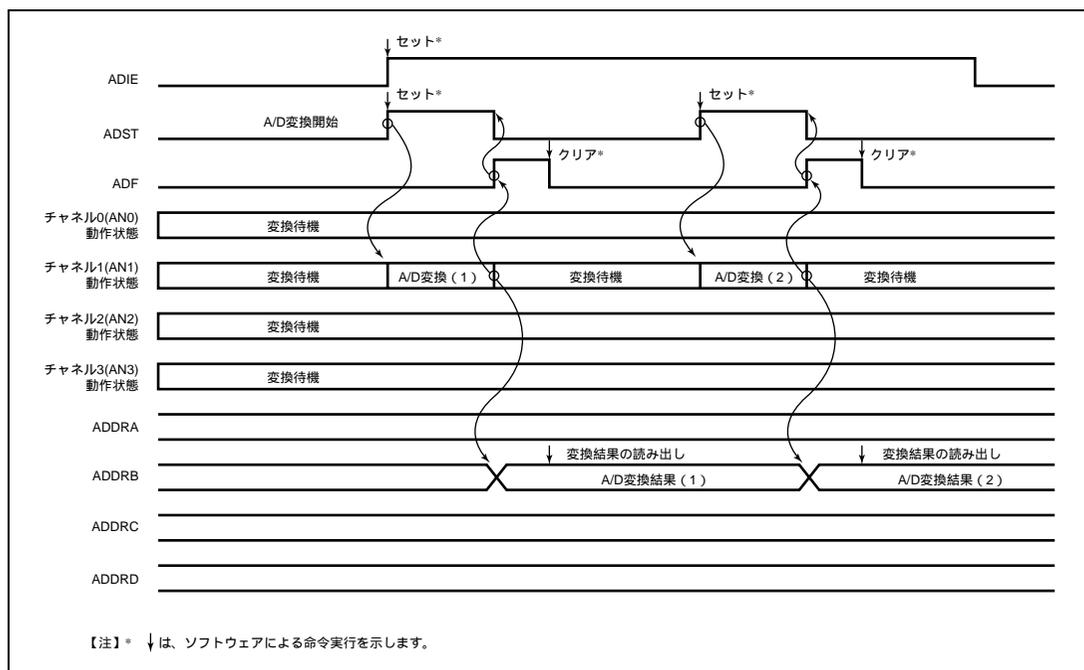


図 19.5 A/D 変換器の動作例 (シングルモード チャンネル1 選択時)

19.6.2 マルチモード (MULTI = 1、SCN = 0)

マルチモードは、複数チャンネル (1 チャンネルを含む) のアナログ入力を各々1回順次変換します。A/D 変換はソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2 = 0 のとき AN0) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了したあと直ちに第 2 チャンネル (AN1) の A/D 変換を開始します。

A/D 変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中にモードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして A/D 変換を停止した状態で行ってください。変更したあと ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは同時に行うことができます)、第 1 チャンネルが選択され再び A/D 変換を開始します。

マルチモードでグループ 0 の 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 19.6 に示します。

1. 動作モードをマルチモードに (MULTI = 1、SCN = 0)、チャンネルグループ 0 を選択 (CH2 = 0) し、アナログ入力チャンネルを AN0 ~ AN2 (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
2. 第 1 チャンネル (AN0) の A/D 変換が開始され A/D 変換が終了すると、変換結果を ADDR0 に転送します。
次に第 2 チャンネル (AN1) が自動的に選択され変換を開始します。
3. 同様に第 3 チャンネル (AN2) まで変換を行います。
4. 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると ADF = 1 となり、ADST ビットを 0 にして変換を終了します。このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後 ADI 割り込みが発生します。
ADST ビットが 0 にクリアされると、A/D 変換は停止します。その後、ADST ビットが 1 にセットされると、第 1 チャンネルが選択され再び A/D 変換を開始します。

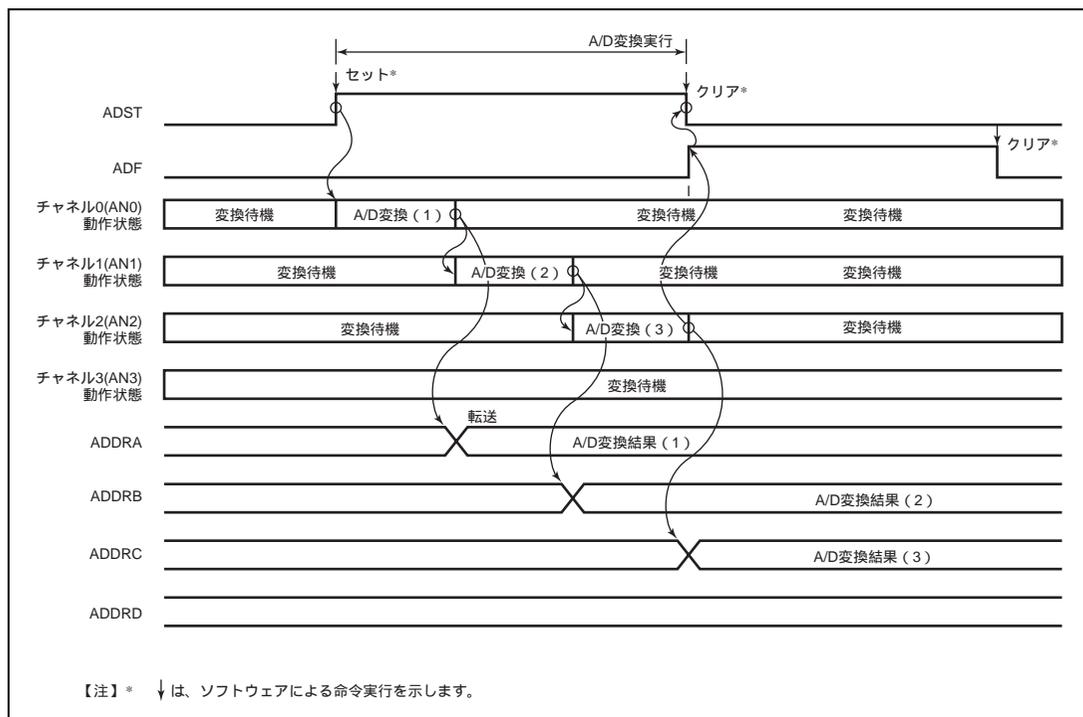


図 19.6 A/D 変換器の動作例 (マルチモード AN0~AN2 の 3 チャンネル選択時)

19.6.3 スキャンモード (MULTI = 1、SCN = 1)

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニタするようなシステムに適します。A/D 変換はソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2 = 0 のとき AN0) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了したあと直ちに第 2 チャンネル (AN1) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は各チャンネルに対応した ADDR A ~ ADDR D に転送され保持されます。

A/D 変換中にモードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして A/D 変換を停止した状態で行ってください。変更したあと ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは同時に行うことができます)、第 1 チャンネルが選択され再び A/D 変換を開始します。

スキャンモードでグループ 0 の 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 19.7 に示します。

19. A/D 変換器

- 動作モードをスキャンモードに (MULTI=1、SCN=1)、チャンネルグループ0を選択 (CH2=0) し、アナログ入力チャンネルをAN0~AN2 (CH1=1、CH0=0) に設定してA/D変換を開始 (ADST=1) します。
- 第1チャンネル (AN0) のA/D変換が開始されA/D変換が終了すると、変換結果をADDRAに転送します。
次に第2チャンネル(AN1) が自動的に選択され変換を開始します。
- 同様に第3チャンネル (AN2) まで変換を行います。
- 選択されたすべてのチャンネル (AN0~AN2) の変換が終了するとADF=1となり、再び第1チャンネル (AN0) を選択し連続して変換が行われます。
このときADIEビットが1にセットされていると、A/D変換終了後ADI割り込みを発生します。
- ADSTビットが1にセットされている間は2.~4.を繰り返します。
ADSTビットを0にクリアすると、A/D変換が停止します。このあとADSTビットを1にセットすると再びA/D変換を開始し、第1チャンネル (AN0) から変換が行われます。

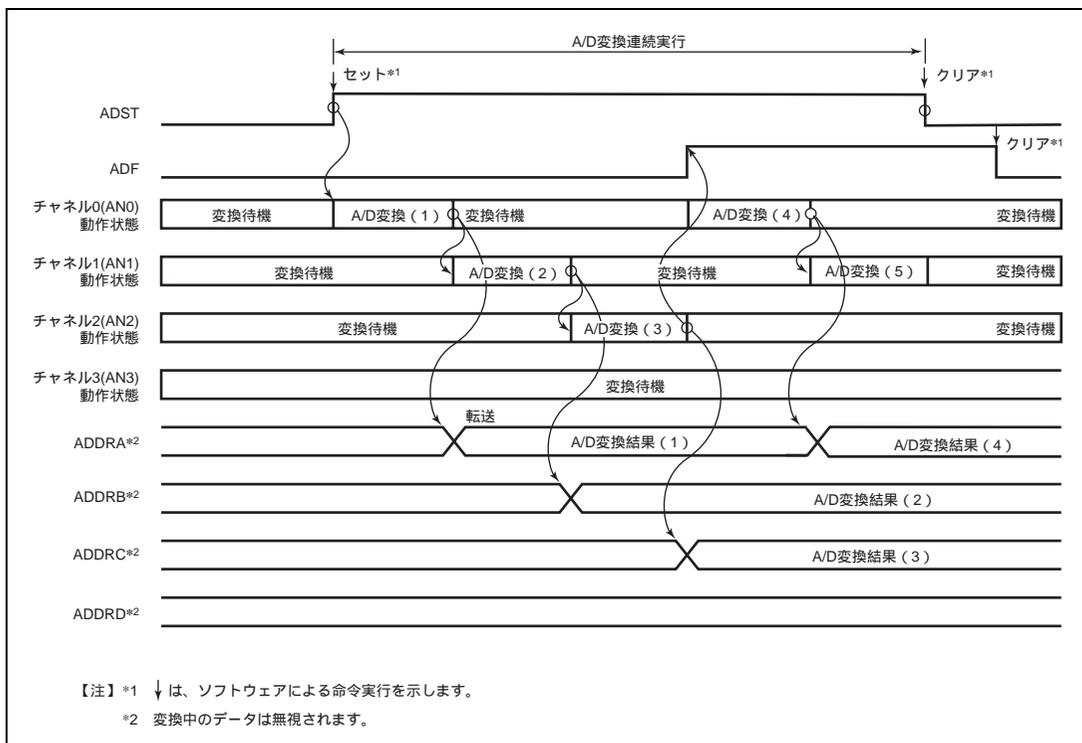


図 19.7 A/D 変換器の動作例 (スキャンモード AN0~AN2 の3チャンネル選択時)

19.6.4 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 19.8 に示します。また、A/D 変換時間を表 19.3 に示します。

A/D 変換時間は、図 19.8 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR への書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 19.3 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 19.3 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS = 0 の場合は 512 ステート（固定）、CKS = 1 の場合は 256 ステート（固定）となります。

いずれの場合も変換時間は表 24.12 に示す範囲となるように、P の周波数に応じて ADCSR の CKS ビットを設定してください。

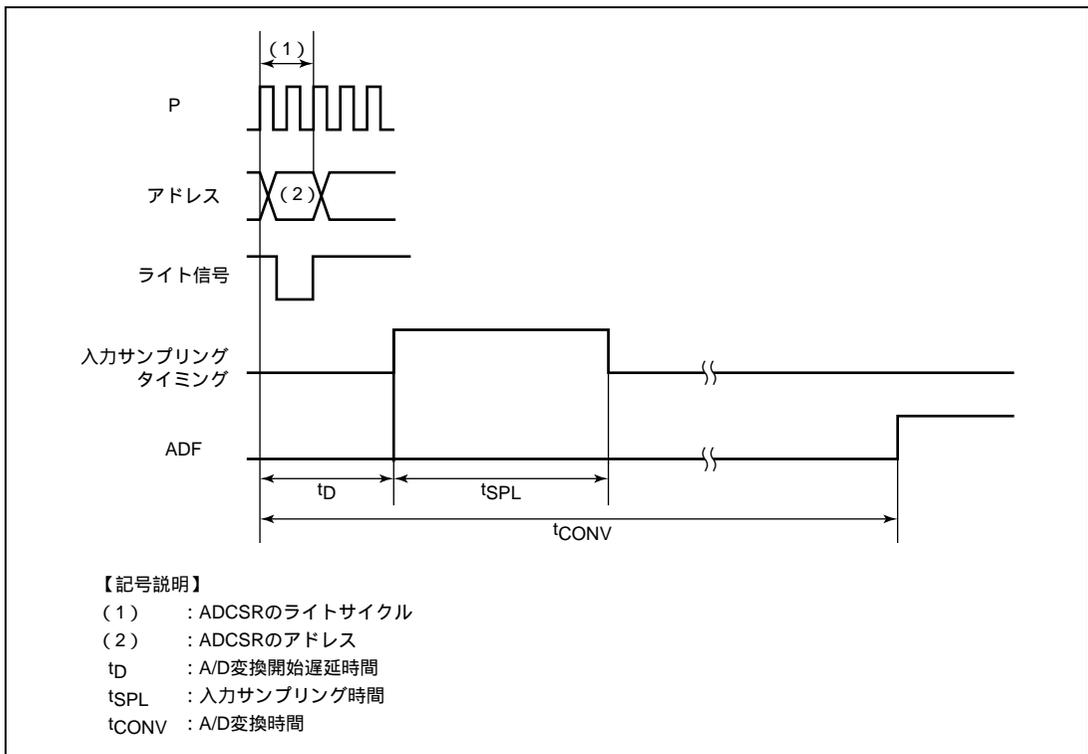


図 19.8 A/D 変換タイミング

表 19.3 A/D 変換時間 (シングルモード)

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	17		28	10		17
入力サンプリング時間	t_{SPL}		129			65	
A/D 変換時間	t_{CONV}	514		525	259		266

【注】 表中の数値の単位はステート (t_{cyc}) です。

19.6.5 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGE1、0 ビットがともに 1 にセットされているとき、 \overline{ADTRG} 端子から入力されます。

\overline{ADTRG} 入力端子の立ち下がりエッジにより、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、変換のモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 19.9 に示します。

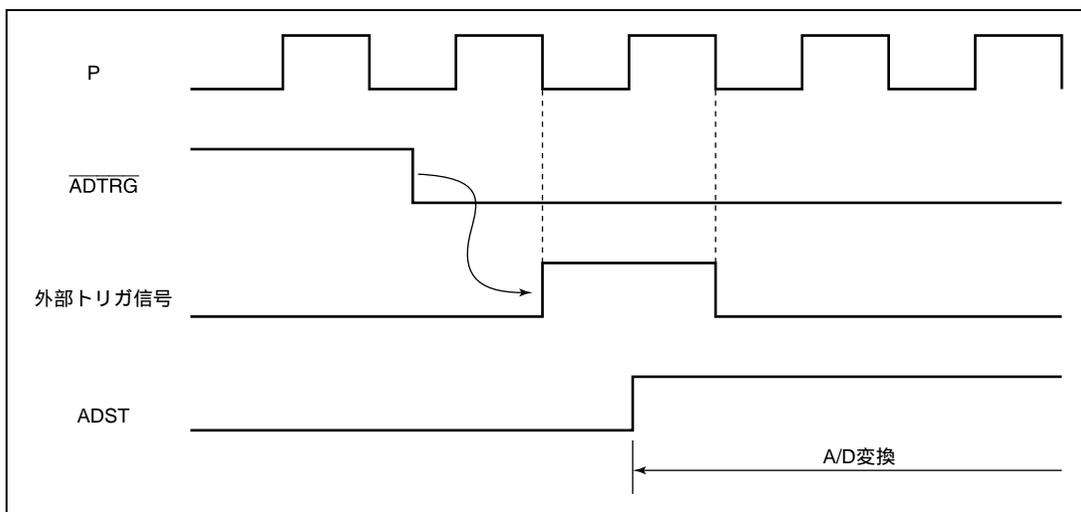


図 19.9 外部トリガ入力タイミング

19.7 割り込み要求

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。

ADI 割り込み要求は、ADCSR の ADIE ビットで許可または禁止することができます。

19.8 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャネルから入力されたアナログ値をアナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち入力アナログ値と出力デジタル値との偏差は以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 19.10 に沿って、上記 1.~4.の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの中速 A/D 変換器を 3 ビットの中速 A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）00 0000 0000（図では 000）から 00 0000 0001（図では 001）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 19.10（1））です。フルスケール誤差とはデジタル出力値が 11 1111 1110（図では 110）から最大値（フルスケール電圧）11 1111 1111（図では 111）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 19.10（2））です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます（図 19.10（3））。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 19.10（4））です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

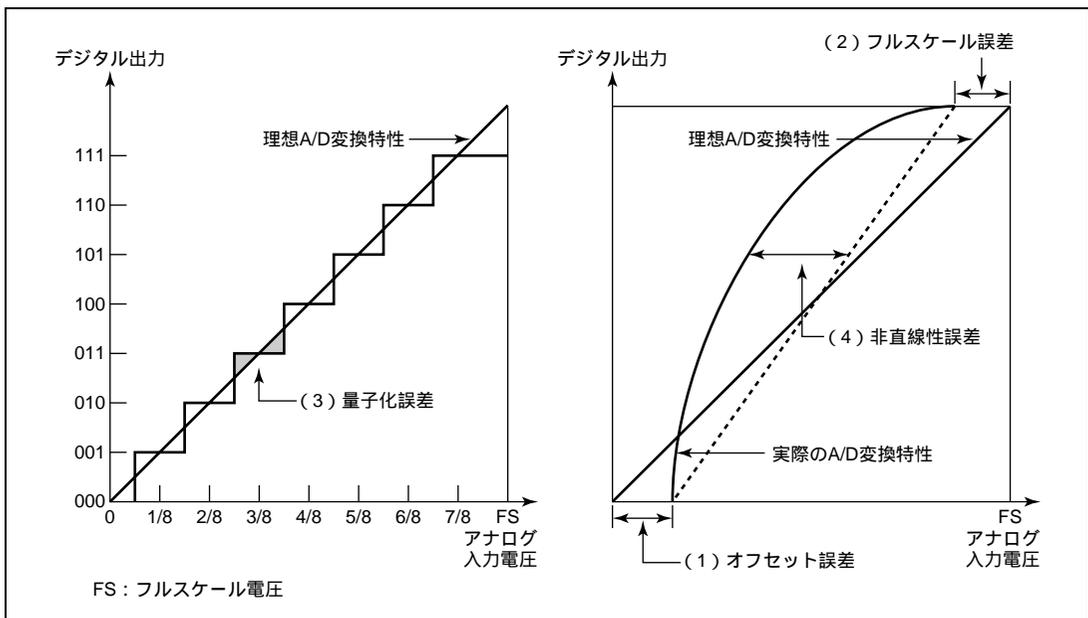


図 19.10 A/D 変換精度の定義

19.9 使用上の注意

A/D 変換器を使用する際は以下のことに注意してください。

19.9.1 アナログ電圧の設定

1. アナログ入力電圧の範囲

A/D変換中、アナログ入力端子ANnに印加する電圧は AV_{SS} 、ANn、 AV_{CC} の範囲としてください。(n=0~3)

2. AV_{CC} 、 AV_{SS} 入力電圧

AV_{CC} 、 AV_{SS} 入力電圧は、 $AV_{CC} = V_{CC}Q \pm 0.2V$ 、 $AV_{SS} = V_{SS}$ としてください。

19.9.2 アナログ入力端子の取り扱い

アナログ入力端子 (AN0 ~ AN3) には、過大サージなどの異常電圧による破壊を防ぐために、図 19.11 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮のうえ回路定数を決めてください。

図 19.12 にアナログ入力端子の等価回路を、表 19.4 にアナログ入力端子の規格を示します。

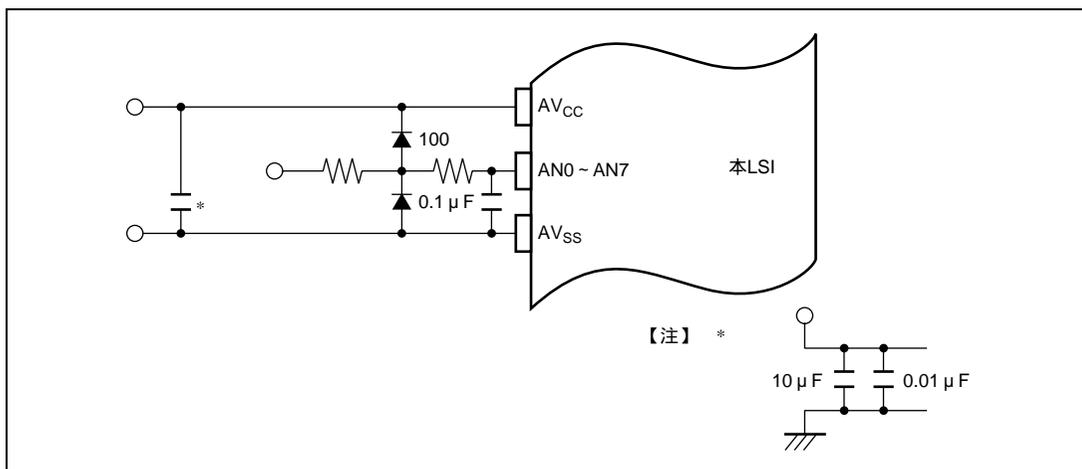


図 19.11 アナログ入力端子の保護回路例

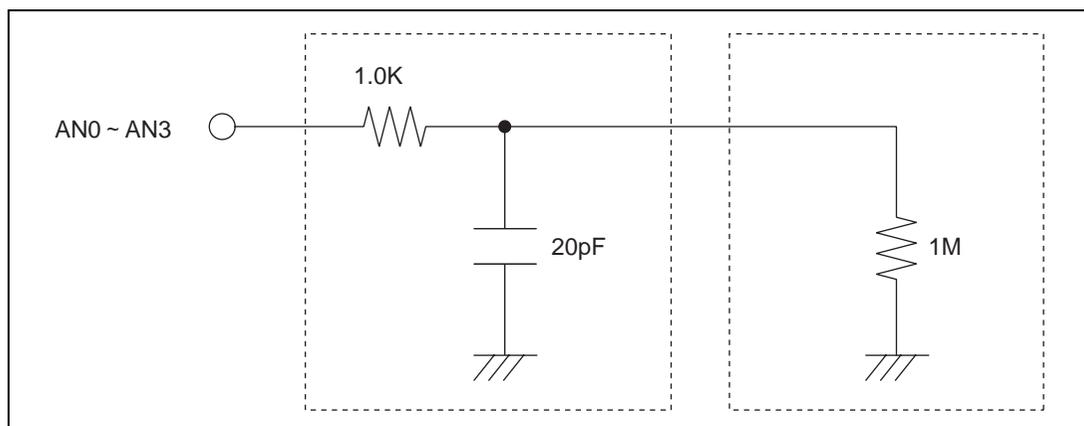


図 19.12 アナログ入力端子の等価回路

表 19.4 アナログ入力端子の規格

項目	min	max	単位
アナログ入力容量		20	pF
許容信号源インピーダンス		5	K

19.9.3 アクセスサイズと読み出しデータ

表 19.5 にアクセスサイズと読み出しデータの関係を示します。アクセスサイズ、バス幅、エンディアンの違いにより得られる読み出しデータにご注意ください。

ここでは、アナログ入力として AV_{cc} を入力した場合に得られる H'3FF の場合を示します。FF は変換結果の上位 8 ビット、C0 は下位 2 ビットを含むデータとなります。

表 19.5 アクセスサイズと読み出しデータの関係

アクセス サイズ	コマンド	バス幅					
		32 ビット (D31 ~ D0)		16 ビット (D15 ~ D0)		8 ビット (D7 ~ D0)	
		エンディアン					
		big	little	big	little	big	little
バイト アクセス	MOV.L#ADDRAH, R9						
	MOV.B@R9, R8	FFFF FFFF	FFFF FFFF	FFFF	FFFF	FF	FF
	MOV.L#ADDRAL, R9						
	MOV.B@R9, R8	C0C0 C0C0	C0C0 C0C0	C0C0	C0C0	C0	C0
ワード アクセス	MOV.L#ADDRAH, R9						
	MOV.W@R9, R8	FFxx FFxx	FFxx FFxx	FFxx	FFxx	FF	xx
						xx	FF
	MOV.L#ADDRAL, R9						
	MOV.W@R9, R8	C0xx C0xx	C0xx C0xx	C0xx	C0xx	C0	xx
						xx	C0
ロング ワード アクセス	MOV.L#ADDRAH, R9						
	MOV.L@R9, R8	FFxx C0xx	FFxx C0xx	FFxx	C0xx	FF	xx
				C0xx	FFxx	xx	C0
						C0	xx
						xx	FF

【注】 ここで #ADDRAH.EQU H'A400 0080

#ADDRAL.EQU H'A400 0082 とし、

R8 を介して外部デバイスに読み出しデータを出力した場合で 16 進数で表示します。

20. D/A 変換器 (DAC)

本 LSI には 2 チャンネルの D/A 変換器が内蔵されています。

D/A 変換器のブロック図を図 20.1 に示します。

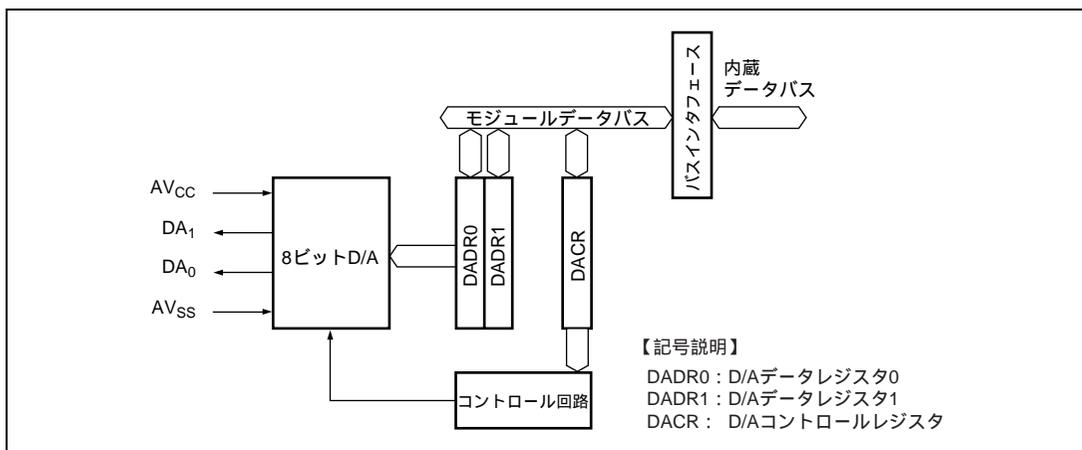


図 20.1 D/A 変換器のブロック図

20.1 特長

D/A 変換器は、次のような特長を持っています。

- 8ビットの解像度
- 2つの出力チャンネル
- 変換時間 : 最大10 μ s (容量性負荷 : 20pF)
- 出力電圧 : 0V ~ A V_{CC}

20.2 入出力端子

D/A 変換器の入力端子、出力端子を表 20.1 に示します。

表 20.1 D/A 変換器の端子

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ電源
アナロググランド端子	AV _{SS}	入力	アナロググランドおよび基準電圧
アナログ出力端子 0	DA0	出力	アナログ出力、チャンネル 0
アナログ出力端子 1	DA1	出力	アナログ出力、チャンネル 1

20.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照してください。

- D/A データレジスタ 0 (DADR0)
- D/A データレジスタ 1 (DADR1)
- D/A コントロールレジスタ (DACR)

20.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

DADR0 と DADR1 は、変換データを格納するリード/ライト可能な 8 ビットのレジスタです。アナログ出力イネーブルのとき、D/A データレジスタの値はアナログ出力端子で常に変換、出力されます。

D/A データレジスタは、リセット時 H'00 に初期化されます。

20.3.2 D/A コントロールレジスタ (DACR)

DACR は、D/A 変換器の動作を制御するリード/ライト可能な 8 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A 出力イネーブル 1 D/A 変換とアナログ出力を制御します。 0 : DA1 アナログ出力を禁止 1 : チャンネル 1 の D/A 変換と DA1 アナログ出力を許可
6	DAOE0	0	R/W	D/A 出力イネーブル 0 D/A 変換とアナログ出力を制御します。 0 : DA0 アナログ出力を禁止 1 : チャンネル 0 の D/A 変換と DA0 アナログ出力を許可

ビット	ビット名	初期値	R/W	説明
5	DAE	0	R/W	<p>D/A イネーブル</p> <p>ビット DAOE0、DAOE1 と共に D/A 変換を制御します。DAE ビットを 0 にクリアすると、D/A 変換はチャンネル 0、チャンネル 1 で独立して制御されます。D/A 変換を許可した状態で本 LSI がスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中のアナログ電源電流と等価となります。</p> <p>スタンバイモードのアナログ電源電流を小さくするには、DAOE0、DAOE1 ビットをクリアして D/A 出力を禁止します。</p> <p>00X：チャンネル 0、1 で D/A 変換を禁止</p> <p>010：チャンネル 0 で D/A 変換を許可 チャンネル 1 で D/A 変換を禁止</p> <p>011：チャンネル 0、1 で D/A 変換を許可</p> <p>100：チャンネル 0 で D/A 変換を禁止 チャンネル 1 で D/A 変換を許可</p> <p>101：チャンネル 0、1 で D/A 変換を許可</p> <p>11X：チャンネル 0、1 で D/A 変換を許可</p> <p>DAE ビットを 1 にセットすると、DACR の DAOE0、DAOE1 ビット、および ADCSR の ADST ビットを 0 にクリアしてもアナログ電源から A/D、D/A 変換時と同じ電流が導かれます。</p>
4~0		すべて 1	R	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライト時は常に 1 にしてください。</p>

【注】X：Don't care

20.4 動作説明

D/A 変換器には、独立して変換を実行できる 2 つの内蔵 D/A 変換回路があります。

D/A 変換は DACR で許可状態のとき常に実行されます。DADR0 または DADR1 の値を変更すると、新しいデータの変換を即座に開始します。ビット DAOE0、DAOE1 を 1 にセットすると変換結果が出力されます。

チャンネル 0 の D/A 変換の例を次に示します。タイミングは図 20.2 に示します。

1. 変換対象のデータを DADR0 に書き込みます。
2. DACR の DAOE0 ビットを 1 にセットします。D/A 変換を開始し、DA0 は出力端子になります。変換結果は変換時間後に出力されます。出力値は $(DADR0 \text{内容} / 256) \times AVCC$ です。この変換結果の出力は、DADR0 の値を変更するか DAOE0 ビットを 0 にクリアするまで継続します。
3. DADR0 値を変更すると変換を即座に開始し、結果は変換時間後に出力されます。
4. DAOE0 ビットを 0 にクリアすると DA0 は入力端子になります。

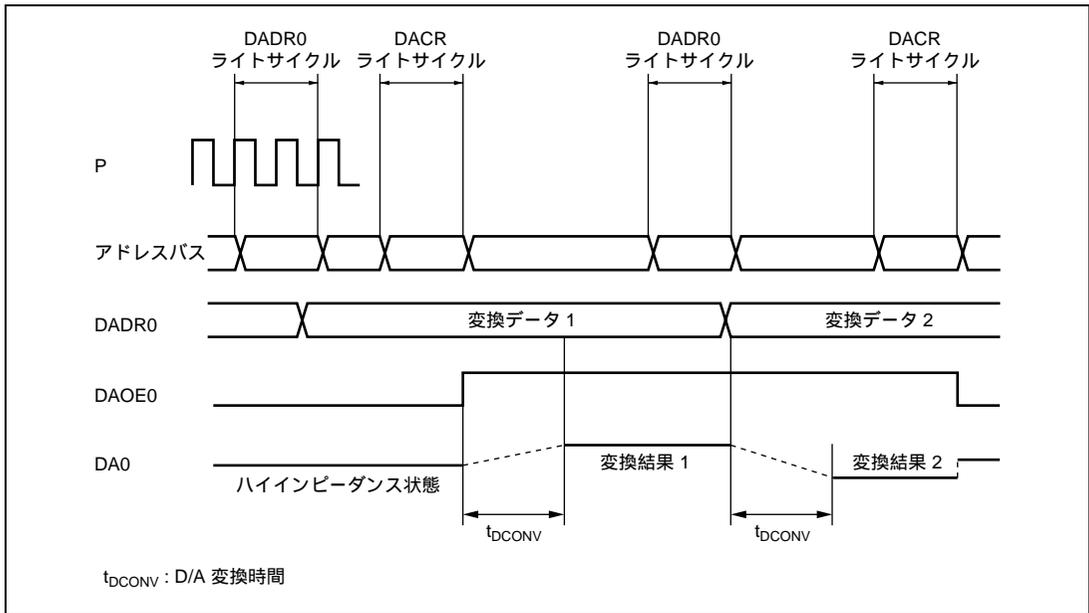


図 20.2 D/A 変換器動作の例

21. ユーザデバッグインタフェース (H-UDI)

H-UDI は、JTAG (Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) 規格に対応したシリアル入出力インタフェースです。

本 LSI の H-UDI はバウンダリスキャンをサポートし、エミュレータの接続にも使用されます。

エミュレータを使用する場合は、H-UDI の機能を使用しないでください。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。H-UDI のブロック図を図 21.1 に示します。

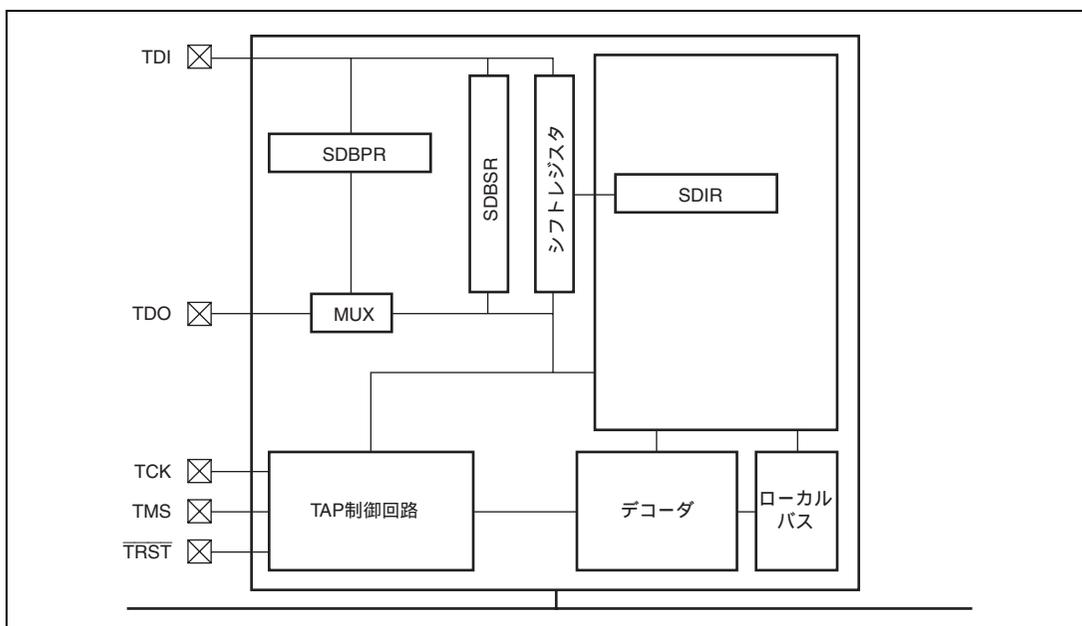


図 21.1 H-UDI ブロック図

21.1 特長

H-UDI は、次のような特長を持っています。

- E10Aエミュレータのサポート
- JTAG標準端子配置
- リアルタイム分岐トレース
- 高速エミュレーションプログラム実行用1Kバイトの内蔵RAM

21. ユーザデバッグインタフェース (H-UDI)

21.2 入出力端子

表 21.1 に H-UDI の端子構成を示します。

表 21.1 端子構成

名称	説明
TCK	H-UDI のシリアルデータ入出力用クロック端子。データはこのクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。
TMS	モードセレクト入力端子。TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは JTAG 規格 (IEEE Std.1149.1) に対応しています。
$\overline{\text{TRST}}$	H-UDI のリセット入力端子。TCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。リセット構成の詳細については「21.4.2 リセット構成」を参照してください。
TDI	H-UDI シリアルデータ入力端子。H-UDI に対してのデータ転送は TCK に同期してこの信号を変化させることによって実行します。
TDO	H-UDI シリアルデータ出力端子。H-UDI からのデータ出力は TCK に同期してこの信号を読み出すことによって実行します。
ASEMD0	ASE モードセレクト端子。RESETP 端子アサート期間中に、ASEMD0 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常動作モードになります。エミュレータおよび H-UDI を使用せずに、ユーザシステム単体で使用する場合は、ハイレベルにしてください。ASE モードでは、バウンダリスキャンやエミュレータ用の機能が使用可能になります。ASEMD0 端子への入力レベルは、RESETP 端子ネグート後、最低 1 サイクル保持してください。
ASEBRKAK	エミュレータ専用の端子

21.3 レジスタの説明

H-UDI は次のレジスタを内蔵しています。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照してください。

- バイパスレジスタ (SDBPR)
- インストラクションレジスタ (SDIR)
- バウンダリスキャンレジスタ (SDBSR)

21.3.1 バイパスレジスタ (SDBPR)

SDBPR は CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR をバイパスモードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。

21.3.2 インストラクションレジスタ (SDIR)

SDIR は 16 ビットのリード専用のレジスタです。初期状態でこのレジスタはバイパスモードになっています。 $\overline{\text{TRST}}$ のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化されます。また、CPU モードに関係なく H-UDI が書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説明
15	TI3	1	R	テストインストラクション
14	TI2	1	R	CPU による書き込みは不可
13	TI1	1	R	0000 : EXTEST
12	TI0	1	R	0100 : SAMPLE/PRELOAD 0101 : 予約 (使用不可) 0110 : H-UDI リセットネゲート 0111 : H-UDI リセットアサート 100X : 予約 (使用不可) 101X : H-UDI 割り込み 110X : 予約 (使用不可) 1110 : 予約 (使用不可) 1111 : バイパスモード 0001 : スリープからの復帰
11~0		すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。

【注】 X:Don't care

21.3.3 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。

EXTEST と SAMPLE/PRELOAD コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。表 21.2 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

21. ユーザデバッグインタフェース (H-UDI)

表 21.2 本 LSI の端子とバウンダリスキャンレジスタの対応

ビット名	端子名	入出力	ビット名	端子名	入出力
from TDI			264	D30/PTB[6]	OUT
297	D31/PTB[7]	IN	263	D29/PTB[5]	OUT
296	D30/PTB[6]	IN	262	D28/PTB[4]	OUT
295	D29/PTB[5]	IN	261	D27/PTB[3]	OUT
294	D28/PTB[4]	IN	260	D26/PTB[2]	OUT
293	D27/PTB[3]	IN	259	D25/PTB[1]	OUT
292	D26/PTB[2]	IN	258	D24/PTB[0]	OUT
291	D25/PTB[1]	IN	257	D23/PTA[7]	OUT
290	D24/PTB[0]	IN	256	D22/PTA[6]	OUT
289	D23/PTA[7]	IN	255	D21/PTA[5]	OUT
288	D22/PTA[6]	IN	254	D20/PTA[4]	OUT
287	D21/PTA[5]	IN	253	D19/PTA[3]	OUT
286	D20/PTA[4]	IN	252	D18/PTA[2]	OUT
285	D19/PTA[3]	IN	251	D17/PTA[1]	OUT
284	D18/PTA[2]	IN	250	D16/PTA[0]	OUT
283	D17/PTA[1]	IN	249	D15	OUT
282	D16/PTA[0]	IN	248	D14	OUT
281	D15	IN	247	D13	OUT
280	D14	IN	246	D12	OUT
279	D13	IN	245	D11	OUT
278	D12	IN	244	D10	OUT
277	D11	IN	243	D9	OUT
276	D10	IN	242	D8	OUT
275	D9	IN	241	D7	OUT
274	D8	IN	240	D6	OUT
273	D7	IN	239	D5	OUT
272	D6	IN	238	D4	OUT
271	D5	IN	237	D3	OUT
270	D4	IN	236	D2	OUT
269	D3	IN	235	D1	OUT
268	D2	IN	234	D0	OUT
267	D1	IN	233	D31/PTB[7]	Control
266	D0	IN	232	D30/PTB[6]	Control
265	D31/PTB[7]	OUT	231	D29/PTB[5]	Control

21. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
230	D28/PTB[4]	Control	198	$\overline{CS2}$ /PTC[3]	IN
229	D27/PTB[3]	Control	197	$\overline{CS3}$ /PTC[4]	IN
228	D26/PTB[2]	Control	196	A0	OUT
227	D25/PTB[1]	Control	195	A1	OUT
226	D24/PTB[0]	Control	194	A2	OUT
225	D23/PTA[7]	Control	193	A3	OUT
224	D22/PTA[6]	Control	192	A4	OUT
223	D21/PTA[5]	Control	191	A5	OUT
222	D20/PTA[4]	Control	190	A6	OUT
221	D19/PTA[3]	Control	189	A7	OUT
220	D18/PTA[2]	Control	188	A8	OUT
219	D17/PTA[1]	Control	187	A9	OUT
218	D16/PTA[0]	Control	186	A10	OUT
217	D15	Control	185	A11	OUT
216	D14	Control	184	A12	OUT
215	D13	Control	183	A13	OUT
214	D12	Control	182	A14	OUT
213	D11	Control	181	A15	OUT
212	D10	Control	180	A16	OUT
211	D9	Control	179	A17	OUT
210	D8	Control	178	A18	OUT
209	D7	Control	177	A19	OUT
208	D6	Control	176	A20	OUT
207	D5	Control	175	A21	OUT
206	D4	Control	174	A22	OUT
205	D3	Control	173	A23	OUT
204	D2	Control	172	A24	OUT
203	D1	Control	171	A25	OUT
202	D0	Control	170	\overline{BS} /PTC[0]	OUT
201	\overline{BS} /PTC[0]	IN	169	\overline{RD}	OUT
200	WE2/DQMUL/ICIORD/ PTC[1]	IN	168	WE0/DQMLL	OUT
199	WE3/DQMUU/ICIOWR/ PTC[2]	IN	167	WE1/DQMLU/WE	OUT

21. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
166	WE2/DQMUL/CIORD/ PTC[1]	OUT	131	WE1/DQMLU/WE	Control
165	WE3/DQMUU/CIOWR/ PTC[2]	OUT	130	WE2/DQMUL/CIORD/PTC[1]	Control
164	RD/WR	OUT	129	WE3/DQMUU/CIOWR/PTC[2]	Control
163	CS0	OUT	128	RD/WR	Control
162	CS2/PTC[3]	OUT	127	CS0	Control
161	CS3/PTC[4]	OUT	126	CS2/PTC[3]	Control
160	A0	Control	125	CS3/PTC[4]	Control
159	A1	Control	124	CS4/PTC[5]	IN
158	A2	Control	123	CS5/CE1A/PTC[6]	IN
157	A3	Control	122	CS6/CE1B/PTC[7]	IN
156	A4	Control	121	CE2A/PTD[6]	IN
155	A5	Control	120	CE2B/PTD[7]	IN
154	A6	Control	119	RASL/PTD[0]	IN
153	A7	Control	118	RASU/PTD[1]	IN
152	A8	Control	117	CASL/PTD[2]	IN
151	A9	Control	116	CASU/PTD[3]	IN
150	A10	Control	115	CKE/PTD[4]	IN
149	A11	Control	114	IOIS16/PTD[5]	IN
148	A12	Control	113	BREQ	IN
147	A13	Control	112	WAIT	IN
146	A14	Control	111	DACK0/PTE[0]	IN
145	A15	Control	110	DACK1/PTE[1]	IN
144	A16	Control	109	DRAK0/PTE[2]	IN
143	A17	Control	108	DRAK1/PTE[3]	IN
142	A18	Control	107	AUDATA[0]/PTF[0]	IN
141	A19	Control	106	AUDATA[1]/PTF[1]	IN
140	A20	Control	105	AUDATA[2]/PTF[2]	IN
139	A21	Control	104	AUDATA[3]/PTF[3]	IN
138	A22	Control	103	AUDSYNC/PTF[4]	IN
137	A23	Control	102	ASEBRKAK/PTF[6]	IN
136	A24	Control	101	MD1	IN
135	A25	Control	100	CS4/PTC[5]	OUT
134	BS/PTC[0]	Control	99	CS5/CE1A/PTC[6]	OUT
133	RD	Control	98	CS6/CE1B/PTC[7]	OUT
132	WE0/DQMLL	Control	97	CE2A/PTD[6]	OUT

21. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
96	CE2B/PTD[7]	OUT	60	AUDATA[2]/PTF[2]	Control
95	RASL/PTD[0]	OUT	59	AUDATA[3]/PTF[3]	Control
94	RASU/PTD[1]	OUT	58	AUDSYNC/PTF[4]	Control
93	CASL/PTD[2]	OUT	57	ASEBRKAK/PTF[6]	Control
92	CASU/PTD[3]	OUT	56	STATUS0/PTE[4]	IN
91	CKE/PTD[4]	OUT	55	STATUS1/PTE[5]	IN
90	IOIS16/PTD[5]	OUT	54	TCLK/PTE[6]	IN
89	BACK	OUT	53	IRQOUT/PTE[7]	IN
88	DACK0/PTE[0]	OUT	52	SCK0/SCPT[1]	IN
87	DACK1/PTE[1]	OUT	51	SCK2/SCPT[3]	IN
86	DRAK0/PTE[2]	OUT	50	RTS2/SCPT[4]	IN
85	DRAK1/PTE[3]	OUT	49	RxD0/SCPT[0]	IN
84	AUDATA[0]/PTF[0]	OUT	48	RxD2/SCPT[2]	IN
83	AUDATA[1]/PTF[1]	OUT	47	CTS2/IRQ5/SCPT[5]	IN
82	AUDATA[2]/PTF[2]	OUT	46	IRQ0/IRL0/PTH[0]	IN
81	AUDATA[3]/PTF[3]	OUT	45	IRQ1/IRL1/PTH[1]	IN
80	AUDSYNC/PTF[4]	OUT	44	IRQ2/IRL2/PTH[2]	IN
79	ASEBRKAK/PTF[6]	OUT	43	IRQ3/IRL3/PTH[3]	IN
78	CS4/PTC[5]	Control	42	IRQ4/PTH[4]	IN
77	CS5/CE1A/PTC[6]	Control	41	NMI	IN
76	CS6/CE1B/PTC[7]	Control	40	AUDCK/PTG[4]	IN
75	CE2A/PTD[6]	Control	39	DREQ0/PTH[5]	IN
74	CE2B/PTD[7]	Control	38	DREQ1/PTH[6]	IN
73	RASL/PTD[0]	Control	37	ADTRG/PTG[5]	IN
72	RASU/PTD[1]	Control	36	MD0	IN
71	CASL/PTD[2]	Control	35	MD2	IN
70	CASU/PTD[3]	Control	34	MD3	IN
69	CKE/PTD[4]	Control	33	MD4	IN
68	IOIS16/PTD[5]	Control	32	MD5	IN
67	BACK	Control	31	STATUS0/PTE[4]	OUT
66	DACK0/PTE[0]	Control	30	STATUS1/PTE[5]	OUT
65	DACK1/PTE[1]	Control	29	TCLK/PTE[6]	OUT
64	DRAK0/PTE[2]	Control	28	IRQOUT/PTE[7]	OUT
63	DRAK1/PTE[3]	Control	27	TxD0/SCPT[0]	OUT
62	AUDATA[0]/PTF[0]	Control	26	SCK0/SCPT[1]	OUT
61	AUDATA[1]/PTF[1]	Control	25	TxD2/SCPT[2]	OUT

21. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
24	SCK2/SCPT[3]	OUT	11	TxD0/SCPT[0]	Control
23	RTS2/SCPT[4]	OUT	10	SCK0/SCPT[1]	Control
22	IRQ0/ $\overline{\text{IRL0}}$ /PTH[0]	OUT	9	TxD2/SCPT[2]	Control
21	IRQ1/ $\overline{\text{IRL1}}$ /PTH[1]	OUT	8	SCK2/SCPT[3]	Control
20	IRQ2/ $\overline{\text{IRL2}}$ /PTH[2]	OUT	7	RTS2/SCPT[4]	Control
19	IRQ3/ $\overline{\text{IRL3}}$ /PTH[3]	OUT	6	IRQ0/ $\overline{\text{IRL0}}$ /PTH[0]	Control
18	IRQ4/PTH[4]	OUT	5	IRQ1/ $\overline{\text{IRL1}}$ /PTH[1]	Control
17	$\overline{\text{DREQ0}}$ /PTH[5]	OUT	4	IRQ2/ $\overline{\text{IRL2}}$ /PTH[2]	Control
16	$\overline{\text{DREQ1}}$ /PTH[6]	OUT	3	IRQ3/ $\overline{\text{IRL3}}$ /PTH[3]	Control
15	STATUS0/PTE[4]	Control	2	IRQ4/PTH[4]	Control
14	STATUS1/PTE[5]	Control	1	$\overline{\text{DREQ0}}$ /PTH[5]	Control
13	TCLK/PTE[6]	Control	0	$\overline{\text{DREQ1}}$ /PTH[6]	Control
12	$\overline{\text{IRQOUT}}$ /PTE[7]	Control	to TDO		

21.4 動作説明

21.4.1 TAP コントローラ

図 21.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

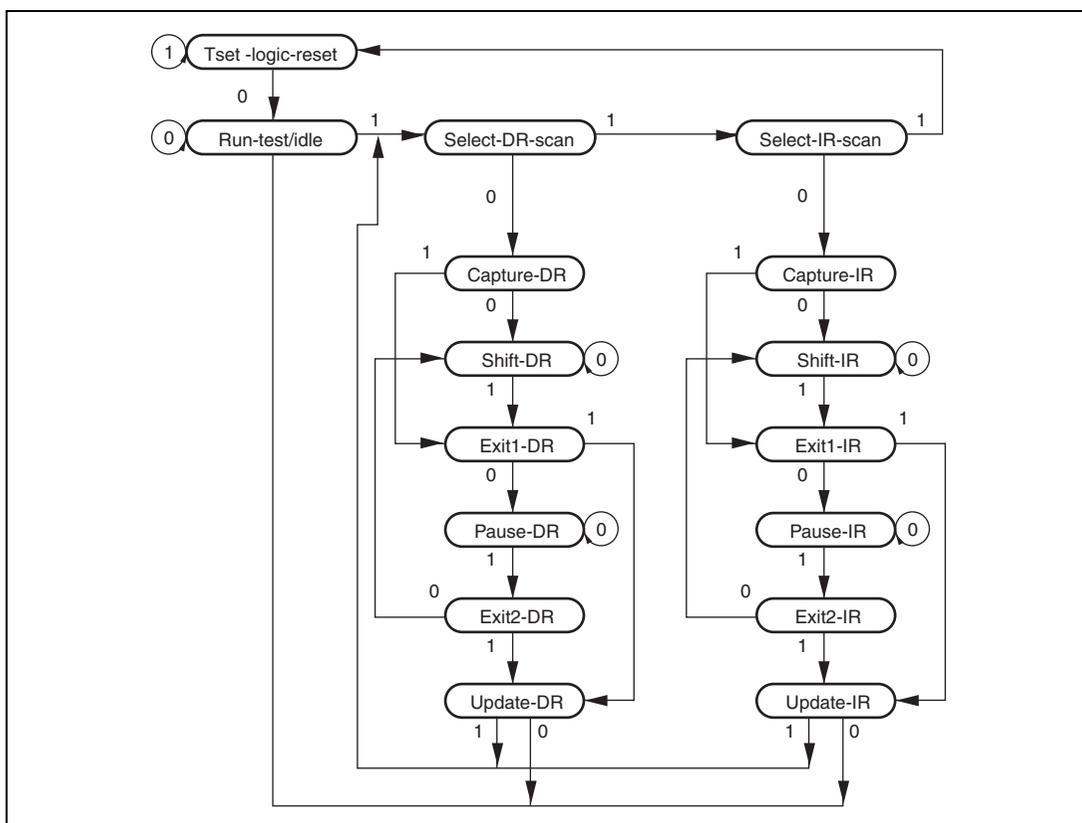


図 21.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値は TCK の立ち下がりエッジで変化します。また、TDO は Shift-DR (Shift-SR)、Shift-IR 状態以外ではハイインピーダンス状態です。 $\overline{\text{TRST}}=0$ で TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

21. ユーザデバッグインタフェース (H-UDI)

21.4.2 リセット構成

表 21.3 リセット構成

ASEMD0*1	RESETP	TRST	チップ状態
ハイレベル	ローレベル	ローレベル	通常リセットおよび H-UDI リセット
		ハイレベル	通常リセット
	ハイレベル	ローレベル	H-UDI リセットのみ
		ハイレベル	通常動作
ローレベル	ローレベル	ローレベル	リセットホールド*2
		ハイレベル	ASE ユーザモード*3 中：通常リセット ASE ブレークモード*3 中：RESETP のアサートはマスクされます。
	ハイレベル	ローレベル	H-UDI リセットのみ
		ハイレベル	通常動作

【注】 *1 通常モードと ASE モードの設定を選択

ASEMD0 = H、通常動作モード

ASEMD0 = L、ASE モード

エミュレータおよび H-UDI を使用せずに、ユーザシステム単体で使用する場合は ASEMD0 = H にしてください。

*2 ASE モード時、リセットホールドは一定サイクル期間、RESETP と TRST 端子をローレベルにセットすることによって有効になります。この状態で RESETP をハイレベルにセットしても CPU は起動しません。その後 TRST をハイレベルにセットすると、H-UDI 動作が有効になりますが CPU は起動しません。リセットホールド状態は次のようにして解除されます。

H-UDI からのブート要求

別の RESETP アサート (パワーオンリセット)

*3 ASE モードは、エミュレータのファームプログラムを実行するためのモード (ASE ブレークモード) とユーザのプログラムを実行するモード (ASE ユーザモード) の 2 つに分けられます。

21.4.3 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをリセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドを入力することにより、H-UDI リセットが解除されます。

H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンドとの間に必要な時間は、パワーオンリセットをかけるために RESETP 端子をローレベルに保つ時間と同じです。

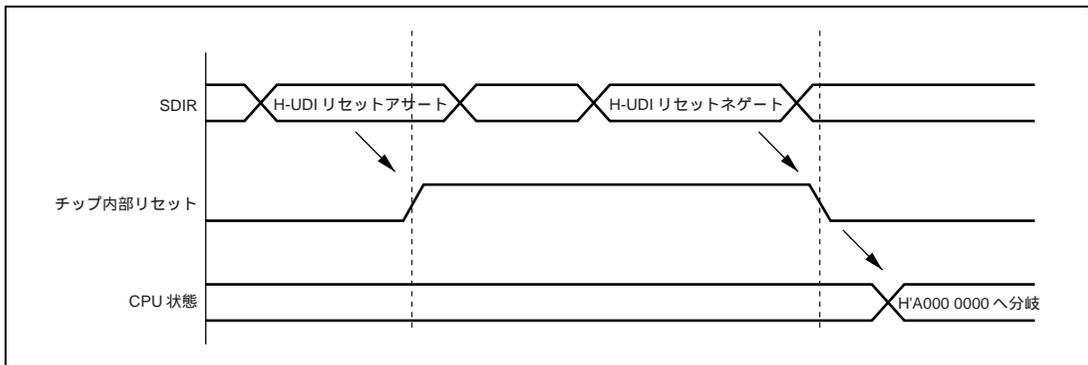


図 21.3 H-UDI リセット

21.4.4 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外 / 割り込み動作であり、VBR 値とオフセットの和に基づくアドレスに分岐が発生し、RTE 命令で復帰します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード、スタンバイモードでは、H-UDI 割り込みは受け付けられません。

21.4.5 バイパス

H-UDI から SDIR へコマンドをセットすることにより、H-UDI 端子を JTAG 準拠のバイパスモードに設定できます。

21.4.6 H-UDI によるスリープからの復帰

スリープモード中、SDIR へ H-UDI からコマンド (0001) をセットすることにより、スリープから復帰することができます。

21.5 バウンダリスキャン

H-UDI から SDIR にコマンドを設定することにより、H-UDI 端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

21.5.1 サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、EXTEST) をサポートします。

(1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。命令コードは、1111 です。

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は、本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命例実行中本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命例の実行により本 LSI のシステム回路は何の影響も受けません。命令コードは、0100 です。

SAMPE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットをバウンダリスキャンレジスタに取り込みスキャンパスから読み出します。スナップショットの取り込みは、Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは、本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力端子から不定値が出力される (EXTEST 命令では出力端子に常に平行出力ラッチを出力する) ことになります。

(3) EXTEST

本命例では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命例の実行時、出力端子はバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うとき、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命例の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません。(シフト動作で入れ替えます)。

命令コードは、0000 です。

21.5.2 注意事項

1. クロック関連信号 (EXTAL、EXTAL2、XTAL、XTAL2、CKIO) はバウンダリスキャンの対象外です。
2. リセット関連信号 ($\overline{\text{RESETP}}$ 、 $\overline{\text{RESETM}}$ 、CA) はバウンダリスキャンの対象外です。
3. H-UDI関連信号 (TCK、TDI、TDO、TMS、TRST) はバウンダリスキャンの対象外です。
4. バウンダリスキャンテストを行う場合、常時CKIOクロックが動作している状態にしてください。
CKIOの周波数範囲は、以下のようになります。
最低：1MHz
最高：CPGの章で規定された各クロックモードの最高周波数
MD (2 : 0) ピンは、使用するクロックモードに設定してください。
電源投入後、CKIOクロックが安定するまで待ってからバウンダリスキャンテストを行ってください。
5. $\overline{\text{RESETP}}$ 端子はLow固定にしてください。
6. CA端子はHigh固定、 $\overline{\text{ASEMD0}}$ 端子はLow固定としてください。

21.6 使用上の注意

1. H-UDI割り込み以外のH-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再発行されないかぎり変更されません。ただし、H-UDI割り込みコマンドは、いったんセットされたあとバイパスコマンドに変更されます。
2. スタンバイモードではチップ動作が中断されるためH-UDIコマンドは受け付けられません。ただし、TAP制御回路はこのとき動作を継続します。
3. H-UDIはエミュレータの接続に使用されます。したがって、エミュレータを使用する場合にはH-UDIの機能は使用できません。

21.7 アドバンストユーザデバッガ (AUD)

AUD は、エミュレータ専用の機能です。

AUD の詳細については、各エミュレータのユーザーズマニュアルを参照してください。

21. ユーザデバッグインタフェース (H-UDI)

22. 低消費電力モード

低消費電力モードでは、内蔵周辺モジュールの一部と CPU が機能を停止します。これによって、消費電力を低減させることができます。

低消費電力モードには、次のようなモード、機能があります。

- スリープモード
- ソフトウェアスタンバイモード
- モジュールスタンバイ機能 (TMU、RTC、SCI、UBC、DMAC、DAC、ADC、SCIFの内蔵周辺モジュール)
- ハードウェアスタンバイモード

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を表 22.1 に示します。

表 22.1 低消費電力モードの状態

低消費電力モード	遷移状態	状態							解除方法
		CPG	CPU	CPU レジスタ	内蔵 メモリ	内蔵周辺 モジュール	端子	外部メモリ	
スリープモード	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	保持	動作	保持	リフレッシュ	(1) 割り込み (2) リセット
ソフトウェアスタンバイモード	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止	保持	保持	停止*1	保持	セルフ リフレッシュ	(1) 割り込み (2) リセット
モジュールスタンバイ機能	STBCR の MSTP ビットを 1 とする*5	動作	動作*4	保持	保持	指定モジュールが停止	*2	リフレッシュ	(1) MSTP ビットを 0 にクリア (2) パワーオンリセット
ハードウェアスタンバイモード	CA 端子をローレベルにする	停止	停止	保持	保持	停止*3	保持	セルフ リフレッシュ	パワーオン リセット

【注】 *1 RTC は、RCR2 の START ビットが 1 のとき動作します（「第 13 章 リアルタイムクロック (RTC)」参照）。
TMU は、カウンタ入力クロックに RTC の出力クロックを選択した場合、カウンタ動作をします（「第 12 章 タイマ (TMU)」参照）。

*2 内蔵周辺モジュールにより異なります。
TMU 外部端子：保持
SCI 外部端子：リセット

*3 RTC は、RCR2 の START ビットが 1 のとき動作します。
TMU は動作しません。

22. 低消費電力モード

- *4 スリープモードに入った場合、CPU は停止します。
- *5 RTC、SCI、TMU の任意のレジスタアクセス以前に、リアルタイムクロック（RTC）をモジュールスタンバイ状態（スタンバイコントロールレジスタ STBCR のビット 1 を"1"にセット）にした場合、シリアルコミュニケーションインタフェース（SCI）とタイマ（TMU）のレジスタが正しく読み出せない場合があります。
この回避方法として
RTC をモジュールスタンバイにする際は、RTC、SCI、TMU のレジスタのどれか一つ以上にアクセスした後に、RTC をモジュールスタンバイにしてください。

22.1 入出力端子

低消費電力モードに関連する端子を表 22.2 に示します。

表 22.2 端子構成

端子名	入出力	機能
STATUS1	出力	プロセッサの動作状態を表します。
STATUS0		STATUS1 STATUS0 動作状態
		ハイレベル ハイレベル リセット
		ハイレベル ローレベル スリープモード
		ローレベル ハイレベル スタンバイモード
	ローレベル ローレベル 通常動作	

22.2 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 制御レジスタ一覧」を参照してください。

- スタンバイコントロールレジスタ（STBCR）
- スタンバイコントロールレジスタ2（STBCR2）

22.2.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、リード/ライト可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	ソフトウェアスタンバイ ソフトウェアスタンバイモードへの遷移を指定します。 0: SLEEP 命令の実行で、スリープモードへ遷移 1: SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移
6, 5		すべて 0	R	リザーブビット リードすると常に 0 がリードされます。ライト時は常に 0 にしてください。
4	STBXTL	0	R/W	スタンバイクリスタル スタンバイモード時の水晶発振器の停止 / 発振を指定します。 0: スタンバイ状態で水晶発振器の発振が停止します。 1: スタンバイ状態でも水晶発振器は発振継続します
3		0	R	リザーブビット リードすると常に 0 がリードされます。ライト時は常に 0 にしてください。
2	MSTP2	0	R/W	モジュールストップ 2 内蔵周辺モジュールのうち、タイマユニット (TMU) へのクロック供給の停止を指定します。 MSTP2 ビットに 1 をセットすると TMU へのクロック供給を停止します。 0: TMU は動作 1: TMU へのクロックの供給を停止
1	MSTP1	0	R/W	モジュールストップ 1 内蔵周辺モジュールのうち、リアルタイムクロック (RTC) へのクロック供給の停止を指定します。 MSTP1 ビットに 1 をセットすると RTC へのクロック供給を停止します。 クロック供給が停止されると RTC の各レジスタのアクセスはできなくなりますが、カウンタは動作を続けます。 0: RTC は動作 1: RTC へのクロックの供給を停止
0	MSTP0	0	R/W	モジュールストップ 0 内蔵周辺モジュールのうち、シリアルコミュニケーションインタフェース (SCI) へのクロック供給の停止を指定します。 MSTP0 ビットに 1 をセットすると SCI へのクロック供給を停止します。 0: SCI は動作 1: SCI へのクロックの供給を停止

22. 低消費電力モード

22.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、リード/ライト可能な 8 ビットのレジスタで、各周辺モジュールの動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット リードすると常に 0 がリードされます。ライト時は常に 0 にしてください。
6	MDCHG	0	R/W	MD5 ~ MD0 端子制御 ソフトウェアスタンバイモード中に MD5 ~ MD0 端子を切り替えるかどうかを設定します。本ビットを 1 に設定した場合、ソフトウェアスタンバイモードからリセットまたは割り込みで復帰する際に MD5 ~ MD0 端子の値を取り込みます。 0: ソフトウェアスタンバイモード中に MD5 ~ MD0 端子の切り替えを行わない。 1: ソフトウェアスタンバイモード中に MD5 ~ MD0 端子の切り替えを行う。
5	MSTP8	0	R/W	モジュールストップ 8 内蔵周辺モジュールのうち、ユーザブレイクコントローラ (UBC) へのクロック供給の停止を指定します。MSTP8 ビットが 1 のとき、UBC へのクロック供給を停止します。 0: UBC は動作 1: UBC へのクロックの供給を停止
4	MSTP7	0	R/W	モジュールストップ 7 内蔵周辺モジュールのうち、ダイレクトメモリアクセスコントローラ (DMAC) へのクロック供給の停止を指定します。MSTP7 ビットが 1 のとき、DMAC へのクロック供給を停止します。 0: DMAC は動作 1: DMAC へのクロックの供給を停止
3	MSTP6	0	R/W	モジュールストップ 6 内蔵周辺モジュールのうち、D/A 変換器 (DAC) へのクロック供給の停止を指定します。MSTP6 ビットが 1 のとき、DAC へのクロック供給を停止します。 0: DAC は動作 1: DAC へのクロックの供給を停止
2	MSTP5	0	R/W	モジュールストップ 5 内蔵周辺モジュールのうち、A/D 変換器 (ADC) へのクロック供給の停止を指定します。MSTP5 ビットが 1 のとき、ADC へのクロック供給を停止するとともに、全レジスタが初期化されます。 0: ADC は動作 1: ADC へのクロックの供給を停止し、全レジスタを初期化

ビット	ビット名	初期値	R/W	説明
1	MSTP4	0	R/W	モジュールストップ4 内蔵周辺モジュールのうち、FIFO 付きシリアルコミュニケーションインタフェース (SCIF) へのクロック供給の停止を指定します。MSTP4 ビットが1のとき、SCIF へのクロック供給を停止します。 0: SCIF は動作 1: SCIF へのクロックの供給を停止
0	-	0	R	リザーブビット リードすると常に0がリードされます。ライト時は常に0にしてください。

22.3 動作説明

22.3.1 スリープモード

(1) スリープモードへの遷移

STBCR の STBY ビットが0の状態、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けます。

スリープモードでは、STATUS1 端子にハイレベルが STATUS0 端子にローレベルが出力されます。

(2) スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、IRL、内蔵周辺)、リセットにより解除されます。

スリープモード中は、SR の BL ビットが1でも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

- 割り込みによる解除

NMI、IRQ、IRL、内蔵周辺の各割り込みが発生するとスリープモードが解除され、割り込み例外処理が実行されます。INTEVTおよびINTEVT2には、割り込み要因に対応したコードがセットされます。

- リセットによる解除

パワーオンリセット、マニュアルリセットにより、スリープモードは解除されます。

22.3.2 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

STBCRのSTBYビットが1の状態ではSLEEP命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPUだけでなくクロックや内蔵周辺モジュールも停止します。CKIO端子からのクロック出力も停止します。

CPU、キャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時における周辺モジュールのレジスタの状態を表22.3に示します。

表 22.3 ソフトウェアスタンバイモード時のレジスタの状態

モジュール	初期化レジスタ	内容が保持されるレジスタ
割り込みコントローラ (INTC)	-	全レジスタ
クロック発振器 (CPG)	-	全レジスタ
ブレークコントローラ (UBC)	-	全レジスタ
バスステートコントローラ (BSC)	-	全レジスタ
タイマユニット (TMU)	TSTR レジスタ	TSTR 以外のレジスタ
リアルタイムクロック (RTC)		全レジスタ
A/D 変換器 (ADC)	全レジスタ	-
D/A 変換器 (DAC)	-	全レジスタ

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのWTCSRのTMEビットを0にしWDTを停止させます。
WTCNTに0をセットし、WTCSRのCKS2~0 ビットに指定された発振安定時間になるように値を設定します。
2. STBCRのSTBYビットに1を設定したあと、SLEEP 命令を実行させます。
3. ソフトウェアスタンバイモードに入りLSI内部のクロックが停止すると、STATUS1端子からローレベル、STATUS0 端子からハイレベルが出力されます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み(NMI、IRQ^{*1}、IRL^{*1}、内蔵周辺)、リセットにより解除されます。

- 割り込みによる解除

内蔵WDTによるホットスタートができます。NMI、IRQ^{*1}、IRL^{*1}、内蔵周辺(インターバルタイマを除く) ^{*2}の各割り込みが検出されると、WDTのタイマコントロール/ステータスレジスタに設定されている時間が経過したあと、LSI全体にクロックが供給され、ソフトウェアスタンバイモードが解除されて、STATUS1、STATUS0端子がどちらもローレベルになります。このあと割り込み例外処理が実行され、割り込み要因に対応したコードがINTEVTとINTEVT2に設定されます。割り込み処理ルーチンに分岐後、STBCRのSTBYビットをクリアしてください。WTCNTは自動的に停止します。STBYビットをクリアしないと、WTCNTは動作を

継続し、H'80に達した時点でスタンバイモード*3に遷移してしまいます。

またソフトウェアスタンバイモード中は、SRのBLビットが1のときでも割り込みを受け付けますので、必要ならばSLEEP命令実行前にSPC、SSRをスタックに退避してください。

割り込み検出直後から、ソフトウェアスタンバイモードが解除されるまでの間には、CKIO端子のクロック出力の位相が不安定になることがあります。割り込み要求レベル（IRQ、IRL、内蔵周辺）が、SRのI3～I0ビットによる割り込みマスクレベルより高いことがソフトウェアスタンバイモード解除の条件となります。

- 【注】 *1 RTC 使用時のみ、 $\overline{IRL3} \sim \overline{IRL0}$ 、IRQ4～IRQ0 でソフトウェアスタンバイモードを解除できます。
- *2 RTC、TMU（RTCのクロックにより動作している場合のみ）の割り込みでソフトウェアスタンバイモードの解除ができます。
- *3 このスタンバイモードは、パワーオンリセットで解除してください。マニュアルリセットや割り込み入力時の動作は保証致しません。

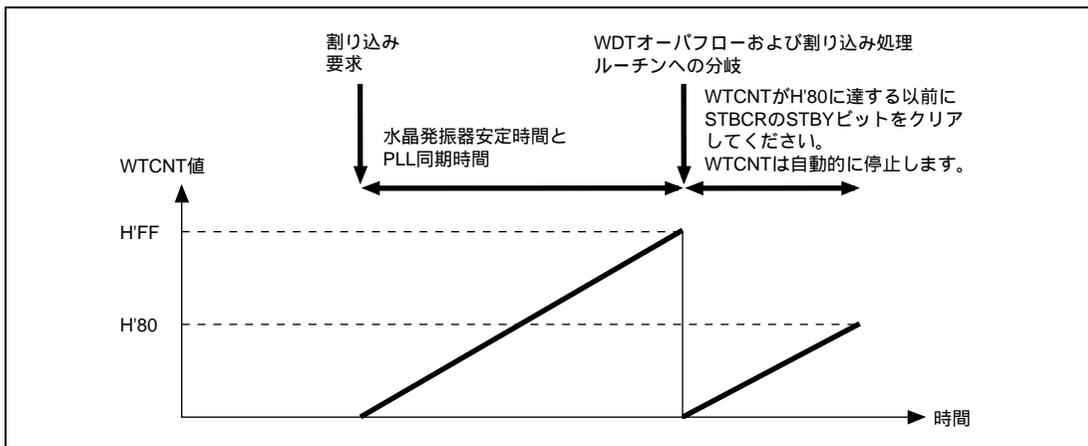


図 22.1 STBCR の STBY ビットとソフトウェアスタンバイモードの解除

- リセットによる解除

リセット（パワーオン、マニュアル）により、ソフトウェアスタンバイモードは解除されます。

\overline{RESETP} 端子また \overline{RESETM} 端子は、クロックの発振が安定するまでローレベルを保持してください。

（3）クロックポーズ機能

ソフトウェアスタンバイモードでは、EXTAL 端子または CKIO 端子から入力するクロックを停止したり、周波数を変更したりすることができます。この機能は、次のようにして使用します。

1. ソフトウェアスタンバイモードへの遷移の手順でソフトウェアスタンバイモードに遷移させます。
2. ソフトウェアスタンバイモードに入りLSI内部のクロックが停止すると、STATUS1 端子からローレベル、STATUS0 端子からハイレベルが出力されます。
3. STATUS1 端子がローレベル、STATUS0 端子がハイレベルになってから入力クロックの停止、または周波

22. 低消費電力モード

数の変更を行います。

4. 周波数変更の場合、変更後にNMI、 $\overline{\text{IRL}}$ 、IRQまたは内蔵周辺の割り込み（但しインターバルタイマ割り込みを除く）を入れます。クロック停止の場合、クロックの印加後に同様の割り込みを入れます。
5. WDTで設定した時間後にLSI内部にクロックが印加され始め、STATUS1、STATUS0端子がどちらもローレベルになって割り込み例外処理から動作を再開します。

22.3.3 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタのMSTP8～MSTP4、MSTP2～MSTP0ビットに1をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープ時の消費電力を低減させることができます。

モジュールスタンバイ機能では、内蔵周辺モジュールの外部端子は内蔵周辺モジュールにより異なります。TMUの外部端子は停止前の状態を保持します。SCIの外部端子はリセット状態になります。レジスタは一部を除いて停止前の状態を保持します。

RTC、SCI、TMUの任意のレジスタアクセス以前に、リアルタイムクロック（RTC）をモジュールスタンバイ状態（スタンバイコントロールレジスタSTBCRのビット1を"1"にセット）にした場合、シリアルコミュニケーションインタフェース（SCI）とタイマ（TMU）のレジスタが正しく読み出せない場合があります。

この回避方法として

RTCをモジュールスタンバイにする際は、RTC、SCI、TMUのレジスタのどれか一つ以上にアクセスした後に、RTCをモジュールスタンバイにしてください。

ビット		説明
MSTP8	0	UBC は動作します。
	1	UBC へ供給されるクロックは停止します。
MSTP7	0	DMAC は動作します。
	1	DMAC へ供給されるクロックは停止します。
MSTP6	0	DAC は動作します。
	1	DAC へ供給されるクロックは停止します。
MSTP5	0	ADC は動作します。
	1	ADC へ供給されるクロックは停止し、全レジスタを初期化します。
MSTP4	0	SCIF は動作します。
	1	SCIF へ供給されるクロックは停止します。
MSTP2	0	TMU は動作します。
	1	TMU へ供給されるクロックが停止します*1
MSTP1	0	RTC は動作します。
	1	RTC へ供給されるクロックが停止し、レジスタアクセスが禁止になります*2
MSTP0	0	SCI は動作します。
	1	SCI へ供給されるクロックが停止します

【注】 *1 初期化されたレジスタはソフトウェアスタンバイモードのレジスタと同じです。(表 22.3 を参照)。

*2 カウンタは動作します。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、MSTP8 ~ MSTP4、MSTP2 ~ MSTP0 ビットを 0 にクリアするか、パワーオンリセット、またはマニュアルリセットにより行います。

22.3.4 STATUS 端子の変化タイミング

STATUS1、STATUS0 端子の変化タイミングを図 22.2～図 22.9 に示します。

(1) リセットの場合

(a) パワーオンリセット

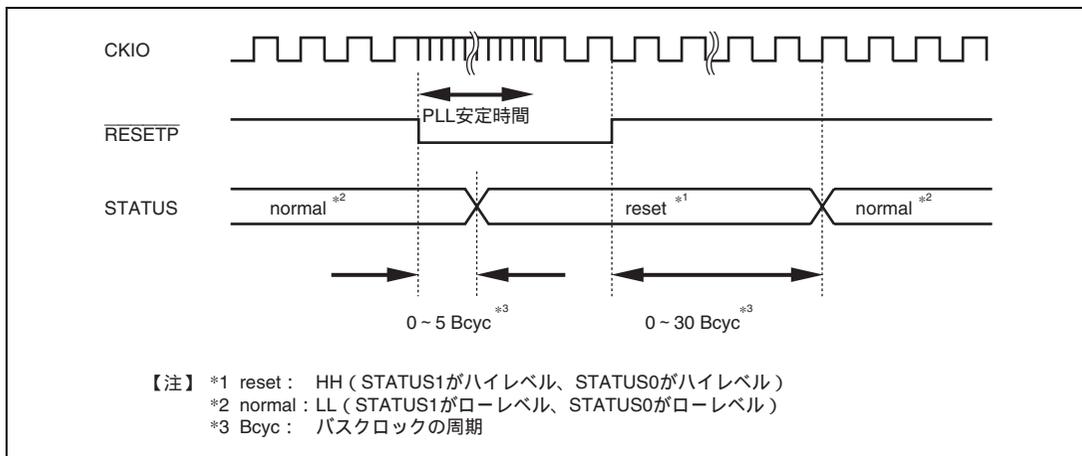


図 22.2 パワーオンリセットの STATUS 出力

(b) マニュアルリセット

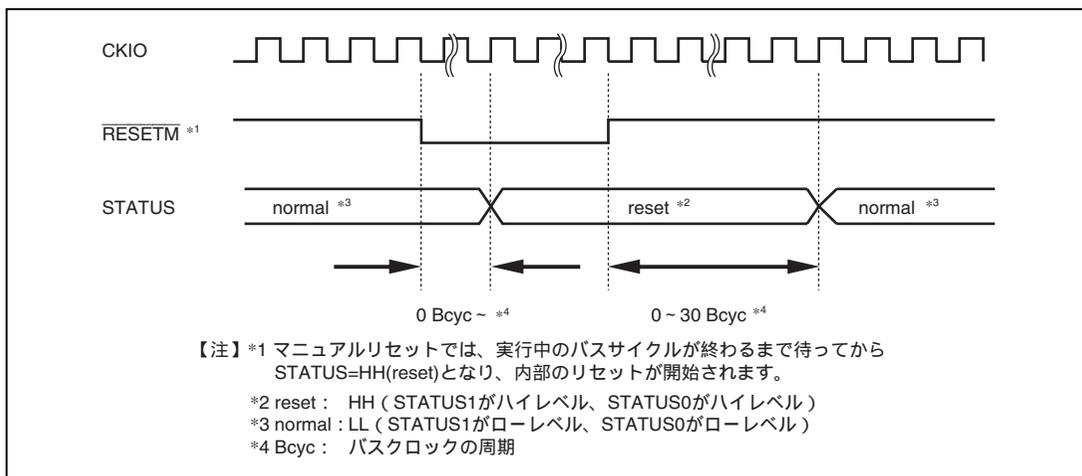


図 22.3 マニュアルリセットの STATUS 出力

(2) ソフトウェアスタンバイ解除の場合

(a) ソフトウェアスタンバイ 割り込み

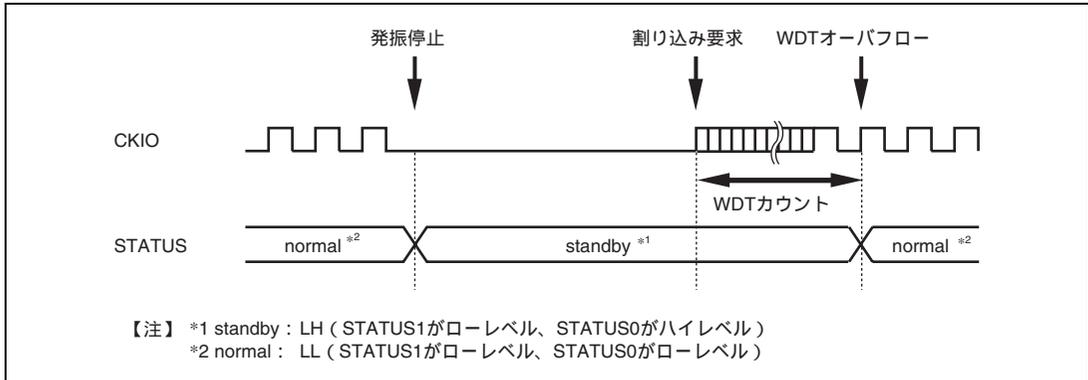


図 22.4 ソフトウェアスタンバイ 割り込みの STATUS 出力

(b) ソフトウェアスタンバイ パワーオンリセット

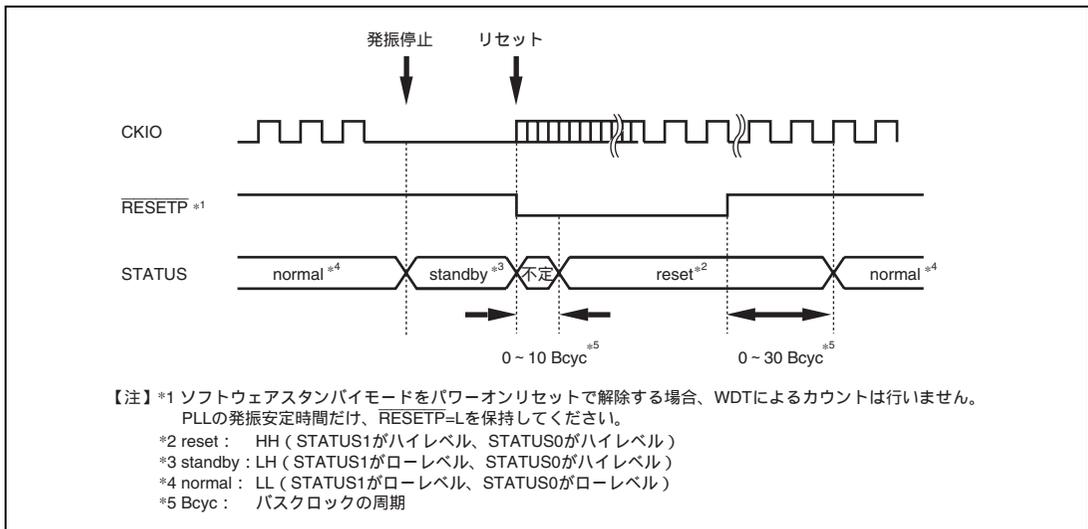


図 22.5 ソフトウェアスタンバイ パワーオンリセットの STATUS 出力

22. 低消費電力モード

(c) ソフトウェアスタンバイ マニュアルリセット

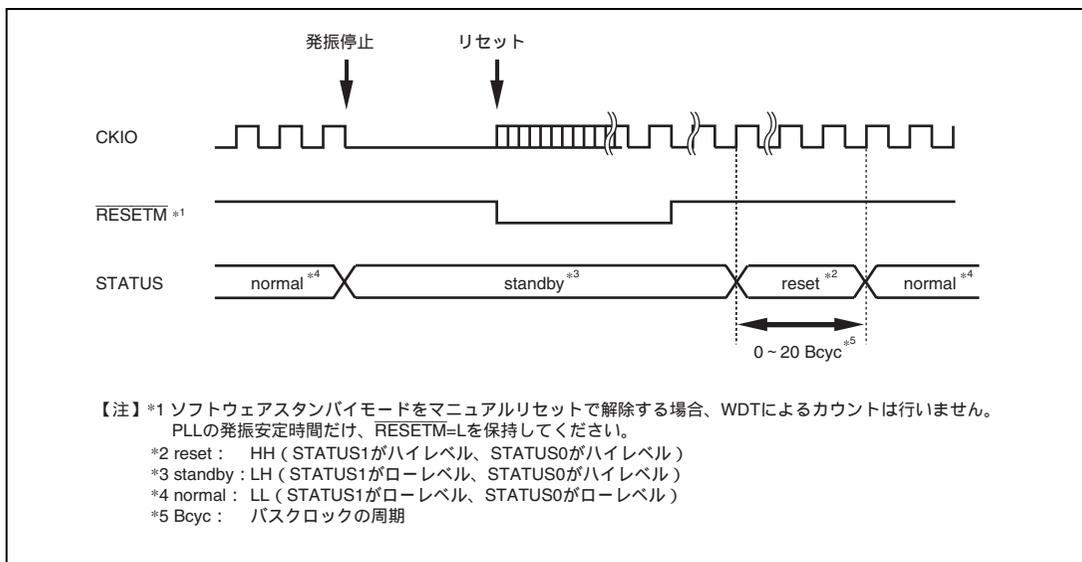


図 22.6 ソフトウェアスタンバイ マニュアルリセットの STATUS 出力

(3) スリープ解除の場合

(a) スリープ 割り込み

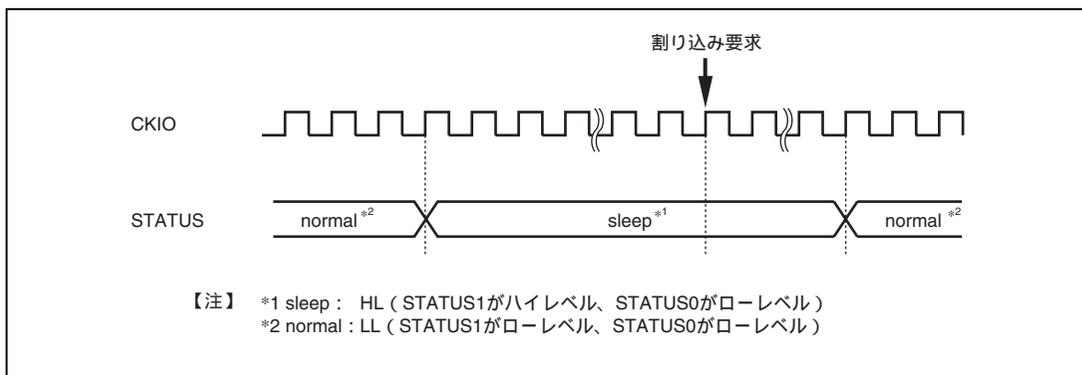


図 22.7 スリープ 割り込みの STATUS 出力

(b) スリープ パワーオンリセット

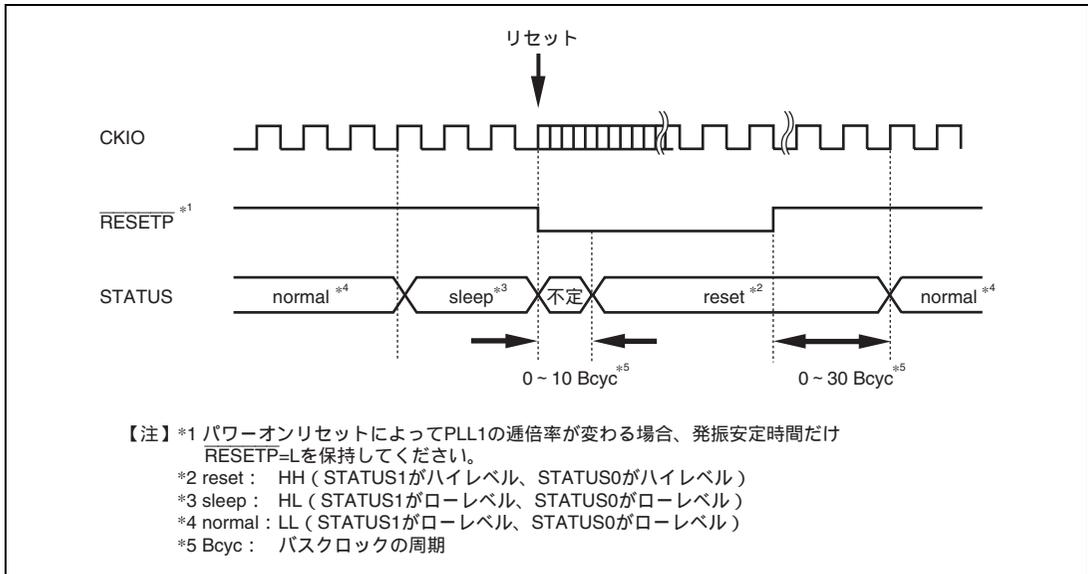


図 22.8 スリープ パワーオンリセットの STATUS 出力

(c) スリープ マニュアルリセット

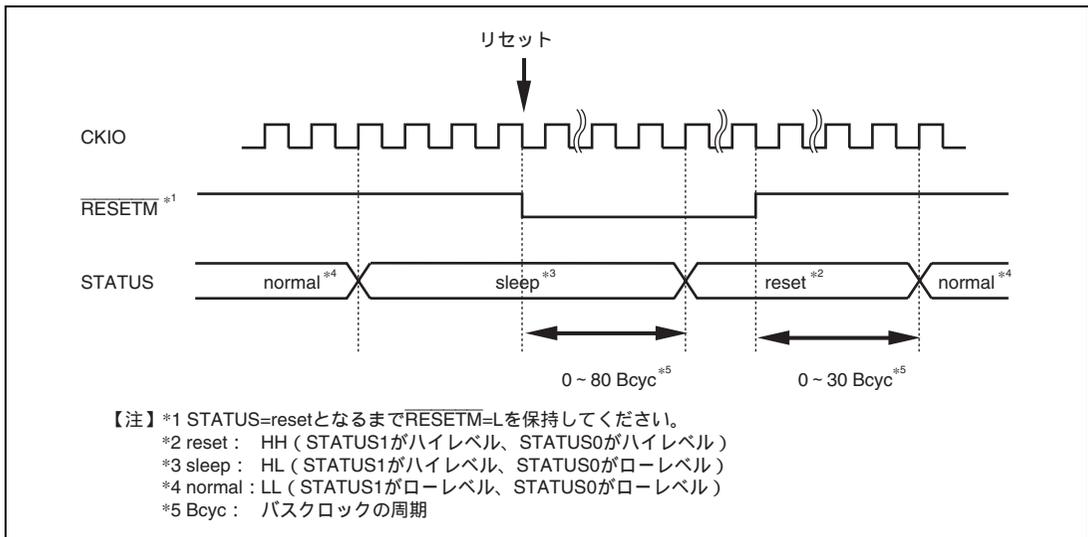


図 22.9 スリープ マニュアルリセットの STATUS 出力

22.3.5 ハードウェアスタンバイモード

(1) ハードウェアスタンバイモードへの遷移

CA 端子をローレベルに設定することにより、ハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードでは、ソフトウェアスタンバイモードと同様に、RTC クロックで動作するモジュール以外の全てのモジュールが停止します。

ハードウェアスタンバイモードは、ソフトウェアスタンバイモードと以下の点で異なります。

1. 割り込み、マニュアルリセットを受け付けません。
2. TMUは動作しません。

CA 端子にローレベルが入力されたときの動作は、CPG の状態によって次のようになります。

1. ソフトウェアスタンバイモード中

クロックは停止したまま、ハードウェアスタンバイ状態になります。

割り込み / マニュアルリセットの受け付けが禁止され、TCLK出力がローレベルに固定され、TMUが動作を停止します。

2. ソフトウェアスタンバイモードを割り込みで解除する際のWDT動作中

いったんソフトウェアスタンバイモードが解除されてCPUが動作を再開したあと、ハードウェアスタンバイモードになります。

3. スリープモード中

いったんスリープモードが解除されてCPUが動作を再開したあと、ハードウェアスタンバイモードになります。

なお、ハードウェアスタンバイモード中は、CA 端子をローレベルに保ってください。

ハードウェアスタンバイモードでは、RTC 用電源端子以外の電源端子へ給電しないことが可能です。

(2) ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードは、パワーオンリセットでのみ解除できます。

$\overline{\text{RESETP}}$ 端子をローレベルにした状態で、CA 端子をハイレベルにすると、クロックが発振を開始します。このとき、 $\overline{\text{RESETP}}$ 端子はクロックの発振が安定するまでローレベルを保持してください。このあと $\overline{\text{RESETP}}$ 端子をハイレベルにすると、CPU がパワーオンリセット処理を開始します。

割り込みやマニュアルリセットを入力した場合の動作は保証致しません。

(3) ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 22.10、図 22.11 に示します。

CA 端子は EXTAL2 (32.768KHz) でサンプリングされており、このクロックで 2 サイクル間続けてローレベルになったとき初めてハードウェアスタンバイ要求が検出されます。

CA 端子のローレベルは、ハードウェアスタンバイモード中は必ず保持してください。

RESETP 端子をローレベルにしたあと、CA 端子をハイレベルにした時点でクロックが発振を開始します。

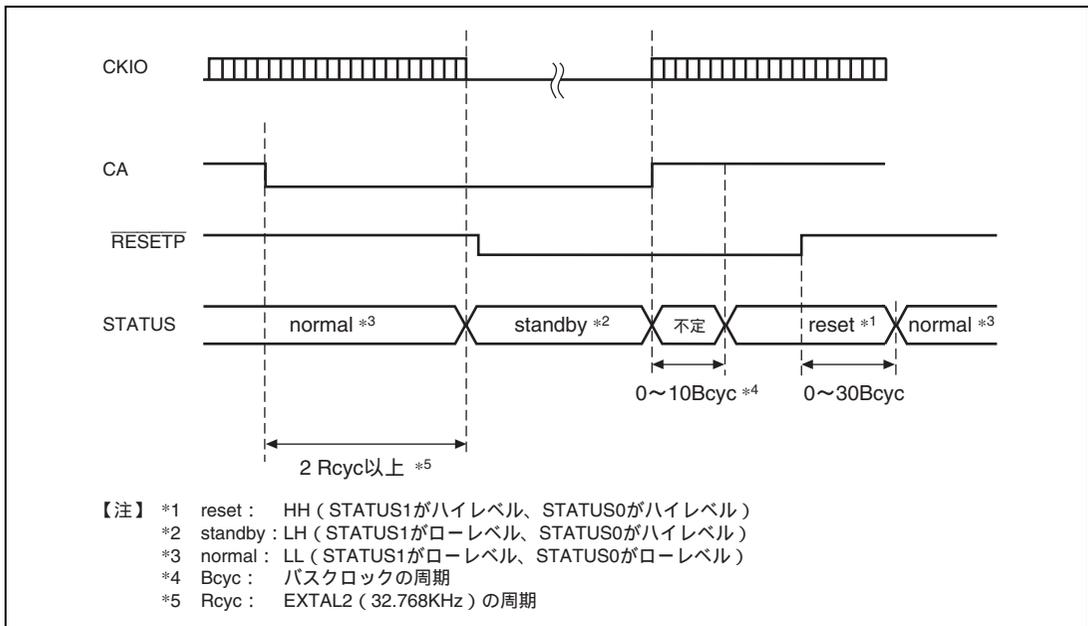


図 22.10 ハードウェアスタンバイモードのタイミング
(通常動作時に CA = ローレベルとなる場合)

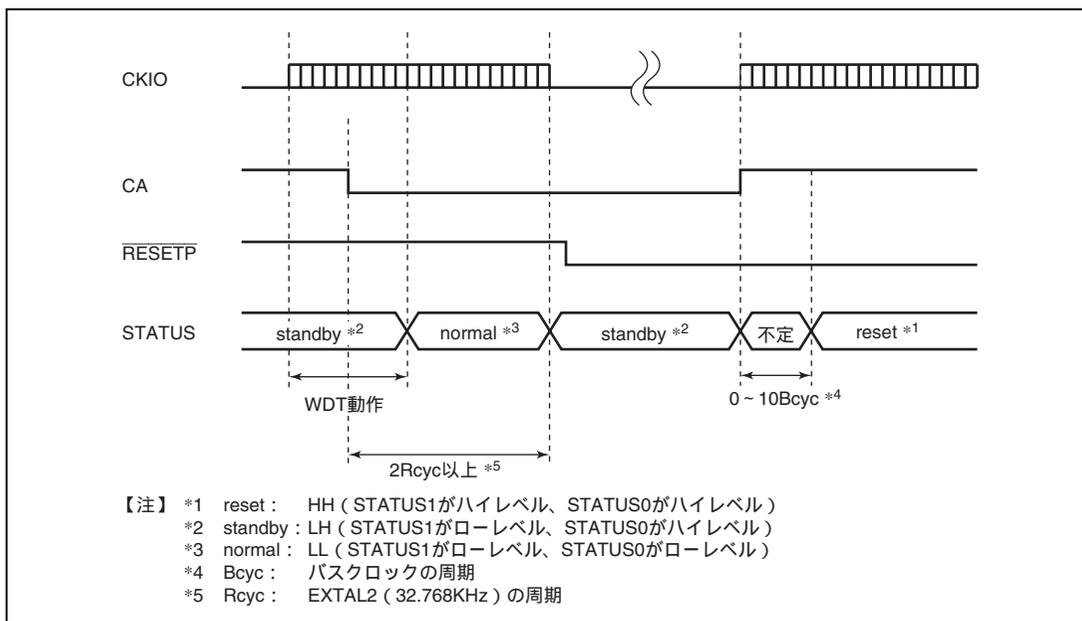


図 22.11 ハードウェアスタンバイモードのタイミング
(スタンバイモード解除での WDT 動作中に CA = ローレベルとなる場合)

23. 制御レジスタ一覧

23.1 レジスタアドレスマップ

レジスタ名	モジュール* ¹	バス * ²	アドレス	サイズ(ビット)	アクセスサイズ(ビット) * ³
PTEH	CCN	L	H'FFFF FFF0	32	32
PTEL		L	H'FFFF FFF4	32	32
TTB		L	H'FFFF FFF8	32	32
TEA		L	H'FFFF FFFC	32	32
MMUCR		L	H'FFFF FFE0	32	32
BASRA		L	H'FFFF FFE4	8	8
BASRB		L	H'FFFF FFE8	8	8
CCR		L	H'FFFF FFEC	32	32
CCR2		I	H'A400 00B0	32	32
TRA		L	H'FFFF FFD0	32	32
EXPEVT		L	H'FFFF FFD4	32	32
INTEVT		L	H'FFFF FFD8	32	32
BARA		UBC	L	H'FFFF FFB0	32
BAMRA	L		H'FFFF FFB4	32	32
BBRA	L		H'FFFF FFB8	16	16
BARB	L		H'FFFF FFA0	32	32
BAMRB	L		H'FFFF FFA4	32	32
BBRB	L		H'FFFF FFA8	16	16
BDRB	L		H'FFFF FF90	32	32
BDMRB	L		H'FFFF FF94	32	32
BRCR	L		H'FFFF FF98	32	32
BETR	L		H'FFFF FF9C	16	16
BRSR	L		H'FFFF FFAC	32	32
BRDR	L		H'FFFF FFBC	32	32
FRQCR	CPG		I	H'FFFF FF80	16
STBCR		I	H'FFFF FF82	8	8
STBCR2		I	H'FFFF FF88	8	8
WTCNT		I	H'FFFF FF84	8	8、16
WTCSR		I	H'FFFF FF86	8	8、16

23. 制御レジスタ一覧

レジスタ名	モジュール* ¹	バス * ²	アドレス	サイズ(ビット)	アクセスサイズ(ビット) * ³	
BCR1	BSC	I	H'FFFF FF60	16	16	
BCR2		I	H'FFFF FF62	16	16	
WCR1		I	H'FFFF FF64	16	16	
WCR2		I	H'FFFF FF66	16	16	
MCR		I	H'FFFF FF68	16	16	
PCR		I	H'FFFF FF6C	16	16	
RTCSR		I	H'FFFF FF6E	16	16	
RTCNT		I	H'FFFF FF70	16	16	
RTCOR		I	H'FFFF FF72	16	16	
RFCR		I	H'FFFF FF74	16	16	
SDMR		I	H'FFFF D000 ~ H'FFFF EFFF	—	8	
R64CNT		RTC	P	H'FFFF FEC0	8	8
RSECNT			P	H'FFFF FEC2	8	8
RMINCNT	P		H'FFFF FEC4	8	8	
RHRCNT	P		H'FFFF FEC6	8	8	
RWKCNT	P		H'FFFF FEC8	8	8	
RDAYCNT	P		H'FFFF FECA	8	8	
RMONCNT	P		H'FFFF FECC	8	8	
RYRCNT	P		H'FFFF FECE	8	8	
RSECAR	P		H'FFFF FED0	8	8	
RMINAR	P		H'FFFF FED2	8	8	
RHRAR	P		H'FFFF FED4	8	8	
RWKAR	P		H'FFFF FED6	8	8	
RDAYAR	P		H'FFFF FED8	8	8	
RMONAR	P		H'FFFF FEDA	8	8	
RCR1	P		H'FFFF FEDC	8	8	
RCR2	P		H'FFFF FEDE	8	8	
ICR0	INTC		I	H'FFFF FEE0	16	16
IPRA		I	H'FFFF FEE2	16	16	
IPRB		I	H'FFFF FEE4	16	16	
TOCR	TMU	P	H'FFFF FE90	8	8	
TSTR		P	H'FFFF FE92	8	8	
TCOR_0		P	H'FFFF FE94	32	32	
TCNT_0		P	H'FFFF FE98	32	32	

レジスタ名	モジュール*1	バス *2	アドレス	サイズ(ビット)	アクセスサイズ(ビット) *3
TCR_0	TMU	P	H'FFFF FE9C	16	16
TCOR_1		P	H'FFFF FEA0	32	32
TCNT_1		P	H'FFFF FEA4	32	32
TCR_1		P	H'FFFF FEA8	16	16
TCOR_2		P	H'FFFF FEAC	32	32
TCNT_2		P	H'FFFF FEB0	32	32
TCR_2		P	H'FFFF FEB4	16	16
TCPR_2		P	H'FFFF FEB8	32	32
SCSMR	SCI	P	H'FFFF FE80	8	8
SCBRR		P	H'FFFF FE82	8	8
SCSCR		P	H'FFFF FE84	8	8
SCTDR		P	H'FFFF FE86	8	8
SCSSR		P	H'FFFF FE88	8	8
SCRDR		P	H'FFFF FE8A	8	8
SCSCMR		P	H'FFFF FE8C	8	8
INTEVT2		INTC	I	H'A400 0000	32
IRR0	I		H'A400 0004	16	8
IRR1	I		H'A400 0006	16	8
IRR2	I		H'A400 0008	16	8
ICR1	I		H'A400 0010	16	16
IPRC	I		H'A400 0016	16	16
IPRD	I		H'A400 0018	16	16
IPRE	I		H'A400 001A	16	16
SAR_0	DMAC	P	H'A400 0020	32	16、32
DAR_0		P	H'A400 0024	32	16、32
DMATCR_0		P	H'A400 0028	32	16、32
CHCR_0		P	H'A400 002C	32	8、16、32
SAR_1		P	H'A400 0030	32	16、32
DAR_1		P	H'A400 0034	32	16、32
DMATCR_1		P	H'A400 0038	32	16、32
CHCR_1		P	H'A400 003C	32	8、16、32
SAR_2		P	H'A400 0040	32	16、32
DAR_2		P	H'A400 0044	32	16、32
DMATCR_2		P	H'A400 0048	32	16、32
CHCR_2		P	H'A400 004C	32	8、16、32
SAR_3	P	H'A400 0050	32	16、32	

23. 制御レジスタ一覧

レジスタ名	モジュール* ¹	バス * ²	アドレス	サイズ(ビット)	アクセスサイズ(ビット) * ³	
DAR_3	DMAC	P	H'A400 0054	32	16、32	
DMATCR_3		P	H'A400 0058	32	16、32	
CHCR_3		P	H'A400 005C	32	8、16、32	
DMAOR		P	H'A400 0060	16	8、16	
CMSTR	CMT	P	H'A400 0070	16	8、16、32	
CMCSR		P	H'A400 0072	16	8、16、32	
CMCNT		P	H'A400 0074	16	8、16、32	
CMCOR		P	H'A400 0076	16	8、16、32	
ADDRAH	A/D	P	H'A400 0080	8	8、16、32* ⁴ * ⁵	
ADDRAL		P	H'A400 0082	8	8、16* ⁴	
ADDRBH		P	H'A400 0084	8	8、16、32* ⁴ * ⁵	
ADDRBL		P	H'A400 0086	8	8、16* ⁴	
ADDRCH		P	H'A400 0088	8	8、16、32* ⁴ * ⁵	
ADDRCL		P	H'A400 008A	8	8、16* ⁴	
ADDRDH		P	H'A400 008C	8	8、16、32* ⁴ * ⁵	
ADDRDL		P	H'A400 008E	8	8、16* ⁴	
ADCSR		P	H'A400 0090	8	8、16、32* ⁴ * ⁵	
ADCR		P	H'A400 0092	8	8、16	
DADR0		D/A	P	H'A400 00A0	8	8、16、32* ⁴ * ⁵
DADR1			P	H'A400 00A2	8	8、16* ⁴
DACR	P		H'A400 00A4	8	8、16、32	
PACR	PORT	P	H'A400 0100	16	16	
PBCR		P	H'A400 0102	16	16	
PCCR		P	H'A400 0104	16	16	
PDCR		P	H'A400 0106	16	16	
PECR		P	H'A400 0108	16	16	
PFCR		P	H'A400 010A	16	16	
PGCR		P	H'A400 010C	16	16	
PHCR		P	H'A400 010E	16	16	
PJCR		P	H'A400 0110	16	16	
SCPCR		P	H'A400 0116	16	16	
PADR		P	H'A400 0120	8	8	
PBDR		P	H'A400 0122	8	8	
PCDR		P	H'A400 0124	8	8	
PDDR		P	H'A400 0126	8	8	
PEDR		P	H'A400 0128	8	8	

レジスタ名	モジュール*1	バス *2	アドレス	サイズ(ビット)	アクセスサイズ(ビット) *3
PFDR	PORT	P	H'A400 012A	8	8
PGDR		P	H'A400 012C	8	8
PHDR		P	H'A400 012E	8	8
PJDR		P	H'A400 0130	8	8
SCPDR		P	H'A400 0136	8	8
SCSMR2	SCIF	P	H'A400 0150	8	8
SCBRR2		P	H'A400 0152	8	8
SCSCR2		P	H'A400 0154	8	8
SCFTDR2		P	H'A400 0156	8	8
SCSSR2		P	H'A400 0158	16	16
SCFRDR2		P	H'A400 015A	8	8
SCFCR2		P	H'A400 015C	8	8
SCFDR2		P	H'A400 015E	16	16
SDIR		UDI	I	H'A400 0200	16

【注】 *1 モジュール:

CCN:キャッシュコントローラ

UBC:ユーザブレイクコントローラ

CPG:クロック発振器

BSC:バスステートコントローラ

RTC:リアルタイムクロック

INTC:割り込みコントローラ

TMU:タイマユニット

SCI: シリアルコミュニケーションインタフェース

*2 内部バス:

L:CPU、CCN、キャッシュ、TLB が接続されています

I:BSC とキャッシュ、DMAC、INTC、CPG、H-UDI が接続されています

P:BSC と周辺モジュール (RTC、TMU、SCI、SCIF、A/D、D/A、DMAC、PORT、CMT) が接続されています

*3 アクセスサイズは、制御レジスタをアクセス (リード/ライト) するときのサイズを示します。表示された以外のサイズでアクセスした場合は、誤った結果となります。

*4 16 ビットでアクセスした場合、2つのレジスタのデータを同時に読み出すことはできません。

*5 32 ビットアクセスでは、アクセスしたアドレス +2 にあるレジスタのデータも同時に読み出すことが可能です。

23.2 レジスタビット

レジスタのビット名を以下に示します。

16 ビットと 32 ビットのレジスタは、8 ビットずつ 2 段と 4 段で表しています。

レジスタ	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
SCSMR	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI
SCBRR									
SCSCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
SCTDR									
SCSSR	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	
SCRDR									
SCSCMR	—	—	—	—	SDIR	SINV	—	SMIF	
SCFRDR2									SCIF
SCFTDR2									
SCSMR2		CHR	PE	O/ \bar{E}	STOP		CKS1	CKS0	
SCSCR2	TIE	RIE	TE	RE			CKE1	CKE0	
SCSSR2	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCBRR2									
SCFCR2	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCFDR2									
TOCR	—	—	—	—	—	—	—	TCOE	TMU
TSTR	—	—	—	—	—	STR2	STR1	STR0	
TCOR_0									
TCOR_0									
TCOR_0									
TCOR_0									
TCOR_0									
TCR_0	—	—	—	—	—	—	—	UNF	
TCR_0	—	—	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCOR_1									TMU
TCNT_1									
TCR_1	—	—	—	—	—	—	—	UNF	
	—	—	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TCOR_2									
TCNT_2									
TCR_2	—	—	—	—	—	—	ICPF	UNF	
	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TCPR_2									
R64CNT	—	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz	RTC
RSECCNT	—	10 秒の桁			1 秒の桁				
RMINCNT	—	10 分の桁			1 分の桁				
RHRCNT	—	—	10 時間の桁		1 時間の桁				
RWKCNT	—	—	—	—	—	曜日コード			
RDAYCNT	—	—	10 日の桁		1 日の桁				
RMONCNT	—	—	—	10 月の桁		1 月の桁			
RYRCNT	10 年の桁				1 年の桁				
RSECAR	ENB	10 秒の桁			1 秒の桁				
RMINAR	ENB	10 分の桁			1 分の桁				
RHRAR	ENB	—	10 時間の桁		1 時間の桁				
RWKAR	ENB	—	—	—	—	曜日コード			

23. 制御レジスタ一覧

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
RDAYAR	ENB	—	10日の桁		1日の桁				RTC	
RMONAR	ENB	—	—	10月の桁	1月の桁					
RCR1	CF	—	—	CIE	AIE	—	—	AF		
RCR2	PEF	PES2	PES1	PES0	RTCEN	ADJ	RESET	START	INTC	
ICR0	NML	—	—	—	—	—	—	NMIE		
	—	—	—	—	—	—	—	—		
IPRA	TMU0				TMU1					
	TMU2				RTC					
IPRB	WDT				REF					
	SCI				—	—	—	—		
BCR1	PULA	PULD	HIZMEM	HIZCNT	ENDIAN	A0BST1	A0BST0	A5BST1		BSC
	A5BST0	A6BST1	A6BST0	DRAMTP2	DRAMTP1	DRAMTP0	A5PCM	A6PCM		
BCR2	—	—	A6SZ1	A6SZ0	A5SZ1	A5SZ0	A4SZ1	A4SZ0		
	A3SZ1	A3SZ0	A2SZ1	A2SZ0	—	—	—	—		
WCR1	WAITSEL	—	A6IW1	A6IW0	A5IW1	A5IW0	A4IW1	A4IW0		
	A3IW1	A3IW0	A2IW1	A2IW0	—	—	A0IW1	A0IW0		
WCR2	A6W2	A6W1	A6W0	A5W2	A5W1	A5W0	A4W2	A4W1		
	A4W0	A3W1	A3W0	A2W1	A2W0	A0W2	A0W1	A0W0		
MCR	TPC1	TPC0	RCD1	RCD0	TRWL1	TRWL0	TRAS1	TRAS0		
	RASD	AMX3	AMX2	AMX1	AMX0	RFSH	RMODE	—		
PCR	A6W3	A5W3	—	—	A5TED2	A6TED2	A5TEH2	A6TEH2		
	A5TED1	A5TED0	A6TED1	A6TED0	A5TEH1	A5TEH0	A6TEH1	A6TEH0		
RTCSR	—	—	—	—	—	—	—	—		
	CMF	CMIE	CKS2	CKS1	CKS0	OVF	OVIE	LMTS		
RTCNT	—	—	—	—	—	—	—	—		
RTCOR	—	—	—	—	—	—	—	—		
RFCR	—	—	—	—	—	—	—	—		
SDMR										
FRQCR	STC2	IFC2	PFC2	—	—	—	—	—	CPG	
	—	—	STC1	STC0	IFC1	IFC0	PFC1	PFC0		
STBCR	STBY	—	—	STBXTL	—	MSTP2	MSTP1	MSTP0		
STBCR2	—	MDCHG	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	—		

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
WTCNT									CPG
WTCSR	TME	WT/IT	RSTS	WOVF	IOVF	CKS2	CKS1	CKS0	
BDRB	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	UBC
	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16	
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	
	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0	
BDMRB	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	
	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16	
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	
	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0	
BRCR	—	—	—	—	—	—	—	—	
	—	—	BASMA	BASMB	—	—	—	—	
	SCMFCA	SCMFCB	SCMFDA	SCMFDB	PCTE	PCBA	—	—	
	DBEB	PCBB	—	—	SEQ	—	—	ETBE	
BARB	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	
BAMRB	BAMB31	BAMB30	BAMB29	BAMB28	BAMB27	BAMB26	BAMB25	BAMB24	
	BAMB23	BAMB22	BAMB21	BAMB20	BAMB19	BAMB18	BAMB17	BAMB16	
	BAMB15	BAMB14	BAMB13	BAMB12	BAMB11	BAMB10	BAMB9	BAMB8	
	BAMB7	BAMB6	BAMB5	BAMB4	BAMB3	BAMB2	BAMB1	BAMB0	
BBRB	—	—	—	—	—	—	—	—	
	CDB1	CDB0	IDB1	IDB0	RWB1	RWB0	SZB1	SZB0	
BARA	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BAMRA	BAMA31	BAMA30	BAMA29	BAMA28	BAMA27	BAMA26	BAMA25	BAMA24	
	BAMA23	BAMA22	BAMA21	BAMA20	BAMA19	BAMA18	BAMA17	BAMA16	
	BAMA15	BAMA14	BAMA13	BAMA12	BAMA11	BAMA10	BAMA9	BAMA8	
	BAMA7	BAMA6	BAMA5	BAMA4	BAMA3	BAMA2	BAMA1	BAMA0	
BBRA	—	—	—	—	—	—	—	—	
	CDA1	CDA0	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0	
BETR	—	—	—	—					

23. 制御レジスタ一覧

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
BRSR	SVF	PID2	PID1	PID0	BSA27	BSA26	BSA25	BSA24	UBC	
	BSA23	BSA22	BSA21	BSA20	BSA19	BSA18	BSA17	BSA16		
	BSA15	BSA14	BSA13	BSA12	BSA11	BSA10	BSA9	BSA8		
	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0		
BRDR	DVF	—	—	—	BDA27	BDA26	BDA25	BDA24	UBC	
	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16		
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8		
	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0		
BASRA	BASA7	BASA6	BASA5	BASA4	BASA3	BASA2	BASA1	BASA0	UBC	
BASRB	BASB7	BASB6	BASB5	BASB4	BASB3	BASB2	BASB1	BASB0		
TRA	—	—	—	—	—	—	—	—		CCN
	—	—	—	—	—	—	—	—		
	—	—	—	—	—	—	—	—		
	imm						—	—		
EXPEVT	—	—	—	—	—	—	—	—	CCN	
	—	—	—	—	—	—	—	—		
	—	—	—	—	—	—	—	—		
	—	—	—	—	—	—	—	—		
INTEVT	—	—	—	—	—	—	—	—	CCN	
	—	—	—	—	—	—	—	—		
	—	—	—	—	—	—	—	—		
	—	—	—	—	—	—	—	—		
MMUCR	—	—	—	—	—	—	—	—	CCN	
	—	—	—	—	—	—	—	—		
	—	—	—	—	—	—	—	SV		
	—	—	RC	RC	—	TF	IX	AT		
CCR	—	—	—	—	—	—	—	—	CCN	
	—	—	—	—	—	—	—	—		
	—	—	—	—	—	—	—	—		
	—	—	—	—	CF	CB	WT	CE		
CCR2	—	—	—	—	—	—	—	—	CCN	
	—	—	—	—	—	—	—	—		
	—	—	—	—	—	—	W3LOAD	W3LOCK		
	—	—	—	—	—	—	W2LOAD	W2LOCK		

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PTEH									CCN
	VPN								
							—	—	
	ASID								
PTEL									
	PPN								
							—	V	
	—	PR	PR	SZ	C	D	SH	—	
TTB									
TEA									
INTEVT2	—	—	—	—	—	—	—	—	INTC
	—	—	—	—	—	—	—	—	
	—	—	—	—					
IRR0	—	—	IRQ5R	IRQ4R	IRQ3R	IRQ2R	IRQ1R	IRQ0R	
IRR1	—	—	—	—	DEI3R	DEI2R	DEI1R	DEI0R	
IRR2	—	—	—	ADIR	TXI2R	BRI2R	RXI2R	ERI2R	
ICR1	MAI	IRQLVL	BLMSK	—	IRQ51S	IRQ50S	IRQ41S	IRQ40S	
	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S	
IPRC	IRQ3				IRQ2				
	IRQ1				IRQ0				
IPRD	—	—	—	—	—	—	—	—	
	IRQ5				IRQ4				
IPRE	DMAC				—	—	—	—	
	SCIF				ADC				
SAR_0									DMAC

23. 制御レジスタ一覧

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
DAR_0									DMAC
DMATCR_0	—	—	—	—	—	—	—	—	
CHCR_0	—	—	—	—	—	—	—	—	
	—	—	—	DI	RO	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	—	DS	TM	TS1	TS0	IE	TE	DE	
SAR_1									
DAR_1									
DMATCR_1	—	—	—	—	—	—	—	—	
CHCR_1	—	—	—	—	—	—	—	—	
	—	—	—	DI	RO	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	—	DS	TM	TS1	TS0	IE	TE	DE	
SAR_2									
DAR_2									

23. 制御レジスタ一覧

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
DMATCR_2	—	—	—	—	—	—	—	—	DMAC
CHCR_2	—	—	—	—	—	—	—	—	
	—	—	—	DI	RO	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	—	DS	TM	TS1	TS0	IE	TE	DE	
SAR_3									
DAR_3									
DMATCR_3	—	—	—	—	—	—	—	—	
CHCR_3	—	—	—	—	—	—	—	—	
	—	—	—	DI	RO	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	—	DS	TM	TS1	TS0	IE	TE	DE	
DMAOR	—	—	—	—	—	—	PR1	PR0	
	—	—	—	—	—	AE	NMIF	DME	
CMSTR	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	STR0	
CMCSR	—	—	—	—	—	—	—	—	
	CMF	—	—	—	—	—	CKS1	CKS0	
CMCNT									
CMCOR									

23. 制御レジスタ一覧

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D	
ADDRAL	AD1	AD0	—	—	—	—	—	—		
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
ADDRBL	AD1	AD0	—	—	—	—	—	—		
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
ADDRCL	AD1	AD0	—	—	—	—	—	—		
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
ADDRDL	AD1	AD0	—	—	—	—	—	—		
ADCSR	ADF	ADIE	ADST	MULTI	CKS	CH2	CH1	CH0		
ADCR	TRGE1	TRGE0	SCN	—	—	—	—	—		
DADR0										D/A
DADR1										
DACR	DAOE1	DAOE0	DAE	—	—	—	—	—		
PACR	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0	PA4MD1	PA4MD0		PORT
	PA3MD1	PA3MD0	PA2MD1	PA2MD0	PA1MD1	PA1MD0	PA0MD1	PA0MD0		
PBCR	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0		
	PB3MD1	PB3MD0	PB2MD1	PB2MD0	PB1MD1	PB1MD0	PB0MD1	PB0MD0		
PCCR	PC7MD1	PC7MD0	PC6MD1	PC6MD0	PC5MD1	PC5MD0	PC4MD1	PC4MD0		
	PC3MD1	PC3MD0	PC2MD1	PC2MD0	PC1MD1	PC1MD0	PC0MD1	PC0MD0		
PDCR	PD7MD1	PD7MD0	PD6MD1	PD6MD0	PD5MD1	PD5MD0	PD4MD1	PD4MD0		
	PD3MD1	PD3MD0	PD2MD1	PD2MD0	PD1MD1	PD1MD0	PD0MD1	PD0MD0		
PECR	PE7MD1	PE7MD0	PE6MD1	PE6MD0	PE5MD1	PE5MD0	PE4MD1	PE4MD0		
	PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0		
PFCR	—	—	PF6MD1	PF6MD0	PF5MD1	PF5MD0	PF4MD1	PF4MD0		
	PF3MD1	PF3MD0	PF2MD1	PF2MD0	PF1MD1	PF1MD0	PF0MD1	PF0MD0		
PGCR	—	—	—	—	PG5MD1	PG5MD0	PG4MD1	PG4MD0		
	PG3MD1	PG3MD0	PG2MD1	PG2MD0	PG1MD1	PG1MD0	PG0MD1	PG0MD0		
PHCR	—	—	PH6MD1	PH6MD0	PH5MD1	PH5MD0	PH4MD1	PH4MD0		
	PH3MD1	PH3MD0	PH2MD1	PH2MD0	PH1MD1	PH1MD0	PH0MD1	PH0MD0		
PJCR	—	—	—	—	—	—	—	—		
	PJ3MD1	PJ3MD0	PJ2MD1	PJ2MD0	PJ1MD1	PJ1MD0	PJ0MD1	PJ0MD0		
SCPCR	—	—	—	—	SCP5MD1	SCP5MD0	SCP4MD1	SCP4MD0		
	SCP3MD1	SCP3MD0	SCP2MD1	SCP2MD0	SCP1MD1	SCP1MD0	SCP0MD1	SCP0MD0		
PADR	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT		
PBDR	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT		

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PCDR	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT	PORT
PDDR	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT	
PEDR	PE7DT	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT	
PFDR	—	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT	
PGDR	—	—	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT	
PHDR	—	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT	
PJDR	—	—	—	—	PJ3DT	PJ2DT	PJ1DT	PJ0DT	
SCPDR	—	—	SCP5DT	SCP4DT	SCP3DT	SCP2DT	SCP1DT	SCP0DT	
SDIR	TI3	TI2	TI1	TI0	—	—	—	—	UDI
	—	—	—	—	—	—	—	—	

23.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
PTEH	不定	不定	保持	保持	保持	保持	CCN
PTEL	不定	不定	保持	保持	保持	保持	
TTB	不定	不定	保持	保持	保持	保持	
TEA	不定	不定	保持	保持	保持	保持	
MMUCR	初期化 ^{*1}	初期化 ^{*1}	保持	保持	保持	保持	
BASRA	不定	不定	保持	保持	保持	保持	
BASRB	不定	不定	保持	保持	保持	保持	
CCR	初期化	初期化	保持	保持	保持	保持	
CCR2	初期化	初期化	保持	保持	保持	保持	
TRA	不定	不定	保持	保持	保持	保持	
EXPEVT	初期化	初期化	保持	保持	保持	保持	
INTEVT	不定	不定	保持	保持	保持	保持	
BARA	初期化	初期化	保持	保持	保持	保持	
BAMRA	初期化	初期化	保持	保持	保持	保持	
BBRA	初期化	初期化	保持	保持	保持	保持	
BARB	初期化	初期化	保持	保持	保持	保持	
BAMRB	初期化	初期化	保持	保持	保持	保持	
BBRB	初期化	初期化	保持	保持	保持	保持	
BDRB	初期化	初期化	保持	保持	保持	保持	
BDMRB	初期化	初期化	保持	保持	保持	保持	
BRCR	初期化	初期化	保持	保持	保持	保持	
BETR	初期化	初期化	保持	保持	保持	保持	
BRSR	初期化 ^{*1}	初期化 ^{*1}	保持	保持	保持	保持	
BRDR	初期化 ^{*1}	初期化 ^{*1}	保持	保持	保持	保持	
FRQCR	初期化 ^{*2}	保持	保持	保持	保持	保持	CPG
STBCR	初期化	保持	保持	保持	保持	保持	
STBCR2	初期化	保持	保持	保持	保持	保持	
WTCNT	初期化 ^{*2}	保持	保持	保持	保持	保持	
WTCSR	初期化 ^{*2}	保持	保持	保持	保持	保持	
BCR1	初期化	保持	保持	保持	保持	保持	BSC
BCR2	初期化	保持	保持	保持	保持	保持	
WCR1	初期化	保持	保持	保持	保持	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
WCR2	初期化	保持	保持	保持	保持	保持	BSC
MCR	初期化	保持	保持	保持	保持	保持	
PCR	初期化	保持	保持	保持	保持	保持	
RTCSR	初期化	保持	保持	保持	保持	保持	
RTCNT	初期化	保持	保持	保持	保持	保持	
RTCOR	初期化	保持	保持	保持	保持	保持	
RFCR	初期化	保持	保持	保持	保持	保持	
R64CNT	保持	保持	保持	保持	保持	保持	RTC
RSECCNT	保持	保持	保持	保持	保持	保持	
RMINCNT	保持	保持	保持	保持	保持	保持	
RHRCNT	保持	保持	保持	保持	保持	保持	
RWKCNT	保持	保持	保持	保持	保持	保持	
RDAYCNT	保持	保持	保持	保持	保持	保持	
RMONCNT	保持	保持	保持	保持	保持	保持	
RYRCNT	保持	保持	保持	保持	保持	保持	
RSECAR	保持 ^{*3}	保持 ^{*3}	保持	保持	保持	保持	
RMINAR	保持 ^{*3}	保持 ^{*3}	保持	保持	保持	保持	
RHRAR	保持 ^{*3}	保持 ^{*3}	保持	保持	保持	保持	
RWKAR	保持 ^{*3}	保持 ^{*3}	保持	保持	保持	保持	
RDAYAR	保持 ^{*3}	保持 ^{*3}	保持	保持	保持	保持	
RMONAR	保持 ^{*3}	保持 ^{*3}	保持	保持	保持	保持	
RCR1	初期化	初期化	保持	保持	保持	保持	
RCR2	初期化	初期化	保持	保持	保持	保持	
ICR0	初期化	初期化	保持	保持	保持	保持	
IPRA	初期化	初期化	保持	保持	保持	保持	
IPRB	初期化	初期化	保持	保持	保持	保持	
TOCR	初期化	初期化	保持	保持	保持	保持	TMU
TSTR	初期化	初期化	保持	保持	保持	保持	
TCOR_0	初期化	初期化	保持	保持	保持	保持	
TCNT_0	初期化	初期化	保持	保持	保持	保持	
TCR_0	初期化	初期化	保持	保持	保持	保持	
TCOR_1	初期化	初期化	保持	保持	保持	保持	
TCNT_1	初期化	初期化	保持	保持	保持	保持	
TCR_1	初期化	初期化	保持	保持	保持	保持	

23. 制御レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
TCOR_2	初期化	初期化	保持	保持	保持	保持	TMU	
TCNT_2	初期化	初期化	保持	保持	保持	保持		
TCR_2	初期化	初期化	保持	保持	保持	保持		
TCPR_2	不定	不定	保持	保持	保持	保持		
SCSMR	初期化	初期化	初期化	初期化	初期化	保持	SCI	
SCBRR	初期化	初期化	初期化	初期化	初期化	保持		
SCSCR	初期化	初期化	初期化	初期化	初期化	保持		
SCTDR	初期化	初期化	初期化	初期化	初期化	保持		
SCSSR	初期化	初期化	初期化	初期化	初期化	保持		
SCRDR	初期化	初期化	初期化	初期化	初期化	保持		
SCSCMR	初期化	初期化	初期化	初期化	初期化	保持		
INTEVT2	不定	不定	保持	保持	保持	保持		INTC
IRR0	初期化	初期化	保持	保持	保持	保持		
IRR1	初期化	初期化	保持	保持	保持	保持		
IRR2	初期化	初期化	保持	保持	保持	保持		
ICR1	初期化	初期化	保持	保持	保持	保持		
IPRC	初期化	初期化	保持	保持	保持	保持		
IPRD	初期化	初期化	保持	保持	保持	保持		
IPRE	初期化	初期化	保持	保持	保持	保持		
SAR_0	不定	不定	保持	保持	保持	保持	DMAC	
DAR_0	不定	不定	保持	保持	保持	保持		
DMATCR_0	不定	不定	保持	保持	保持	保持		
CHCR_0	初期化	初期化	保持	保持	保持	保持		
SAR_1	不定	不定	保持	保持	保持	保持		
DAR_1	不定	不定	保持	保持	保持	保持		
DMATCR_1	不定	不定	保持	保持	保持	保持		
CHCR_1	初期化	初期化	保持	保持	保持	保持		
SAR_2	不定	不定	保持	保持	保持	保持		
DAR_2	不定	不定	保持	保持	保持	保持		
DMATCR_2	不定	不定	保持	保持	保持	保持		
CHCR_2	初期化	初期化	保持	保持	保持	保持		
SAR_3	不定	不定	保持	保持	保持	保持		
DAR_3	不定	不定	保持	保持	保持	保持		
DMATCR_3	不定	不定	保持	保持	保持	保持		

レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
CHCR_3	初期化	初期化	保持	保持	保持	保持	DMAC	
DMAOR	初期化	初期化	保持	保持	保持	保持		
CMSTR	初期化	初期化	保持	保持	保持	保持	CMT	
CMCSR	初期化	初期化	保持	保持	保持	保持		
CMCNT	初期化	初期化	保持	保持	保持	保持		
CMCOR	初期化	初期化	保持	保持	保持	保持		
ADDRAH	初期化	初期化	初期化	初期化	初期化	保持	ADC	
ADDRAL	初期化	初期化	初期化	初期化	初期化	保持		
ADDRBH	初期化	初期化	初期化	初期化	初期化	保持		
ADDRBL	初期化	初期化	初期化	初期化	初期化	保持		
ADDRCH	初期化	初期化	初期化	初期化	初期化	保持		
ADDRCL	初期化	初期化	初期化	初期化	初期化	保持		
ADDRDH	初期化	初期化	初期化	初期化	初期化	保持		
ADDRDL	初期化	初期化	初期化	初期化	初期化	保持		
ADCSR	初期化	初期化	初期化	初期化	初期化	保持		
ADCR	初期化	初期化	初期化	初期化	初期化	保持		
DADR0	初期化	初期化	保持	保持	保持	保持		DAC
DADR1	初期化	初期化	保持	保持	保持	保持		
DACR	初期化	初期化	保持	保持	保持	保持		
PACR	初期化	保持	保持	保持	保持	保持		PORT
PBCR	初期化	保持	保持	保持	保持	保持		
PCCR	初期化	保持	保持	保持	保持	保持		
PDCR	初期化	保持	保持	保持	保持	保持		
PECR	初期化	保持	保持	保持	保持	保持		
PFCR	初期化	保持	保持	保持	保持	保持		
PGCR	初期化	保持	保持	保持	保持	保持		
PHCR	初期化	保持	保持	保持	保持	保持		
PJCR	初期化	保持	保持	保持	保持	保持		
SCPCR	初期化	保持	保持	保持	保持	保持		
PADR	初期化	保持	保持	保持	保持	保持		
PBDR	初期化	保持	保持	保持	保持	保持		
PCDR	初期化	保持	保持	保持	保持	保持		
PDDR	初期化	保持	保持	保持	保持	保持		
PEDR	初期化	保持	保持	保持	保持	保持		

23. 制御レジスタ一覧

レジスタ略称	パワーオンリセット	マニュアルリセット	ハードウェアスタンバイ	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ	モジュール
PFDR	初期化	保持	保持	保持	保持	保持	PORT
PGDR	初期化	保持	保持	保持	保持	保持	
PHDR	初期化	保持	保持	保持	保持	保持	
PJDR	初期化	保持	保持	保持	保持	保持	
SCPDR	初期化	保持	保持	保持	保持	保持	
SCSMR2	初期化	初期化	初期化	初期化	初期化	保持	SCIF
SCBRR2	初期化	初期化	初期化	初期化	初期化	保持	
SCSCR2	初期化	初期化	初期化	初期化	初期化	保持	
SCFTDR2	不定	不定	不定	不定	不定	保持	
SCSSR2	初期化	初期化	初期化	初期化	初期化	保持	
SCFRDR2	不定	不定	不定	不定	不定	保持	
SCFCR2	初期化	初期化	初期化	初期化	初期化	保持	
SCFDR2	初期化	初期化	初期化	初期化	初期化	保持	
SDIR*4	保持	保持	保持	保持	保持	保持	

- 【注】 *1 初期化されないビットがあります。
 *2 WDT によるパワーオンリセット時には初期化されません。
 *3 初期化されるビットがあります。
 *4 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化。

24. 電気的特性

24.1 絶対最大定格

絶対最大定格を表 24.1 に示します。

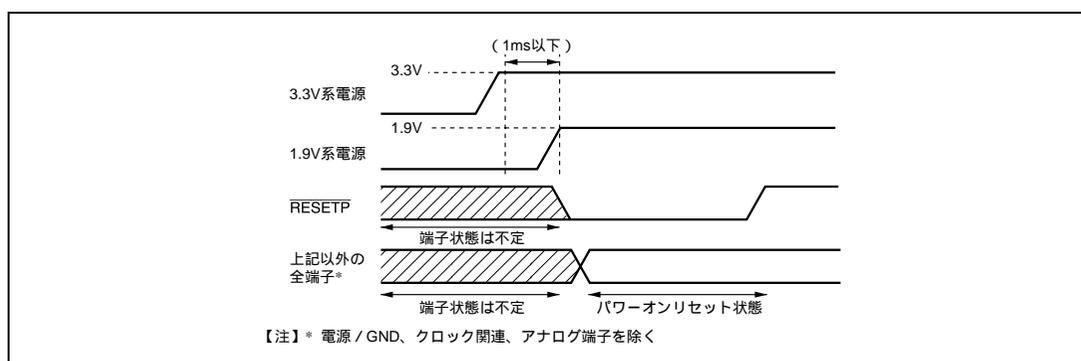
表 24.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (I/O)	V_{CCQ}	- 0.3 ~ 4.2	V
電源電圧 (内部)	V_{CC} , $V_{CC-PLL1}$, $V_{CC-PLL2}$, V_{CC-RTC}	- 0.3 ~ 2.5	V
入力電圧 (ポート J 以外)	V_{in}	- 0.3 ~ $V_{CCQ} + 0.3$	V
入力電圧 (ポート J)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ 4.6	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	- 20 ~ 75	
保存温度	T_{str}	- 55 ~ 125	

【使用上の注意】

- 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
- 1.9V 系電源 (V_{CC} 、 $V_{CC-PLL1}$ 、 $V_{CC-PLL2}$ 、 V_{CC-RTC}) と 3.3V 系電源 (V_{CCQ} 、 AV_{CC}) の投入切断について
 - 1.9V 系電源の電圧が、3.3V 系電源より高くならないようにしてください。
3.3V 系電源だけが投入されている期間を 1ms 以内にしてください。この期間をできるだけ短くすることを推奨します。
 - すべての電源に電圧が印加され、CA 端子にハイレベル、 \overline{RESETP} 端子にローレベルが入力されて CKIO クロックが最大 4 クロック動作するまでの間、内部回路は不確定なので、各端子の状態も不定となります。この状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。なお、CA 端子がローレベルのときに、 \overline{RESETP} 端子のローレベルを受け付けません。

以下に電源投入時の波形を示します。



電源投入シーケンス

24. 電氣的特性

24.2 DC 特性

DC 特性を表 24.2 に示します。

表 24.2 DC 特性

条件： $T_a = -20 \sim 75$

項 目		記号	min	typ	max	単位	測定条件
電源電圧		V_{CCQ}	3.0	3.3	3.6	V	
		$V_{CC'}$, $V_{CC-PLL1}$, $V_{CC-PLL2}$, V_{CC-RTC}	1.75	1.90	2.05		
消費電流	通常動作時	I_{CC}^{*2}	-	250	400	mA	$V_{CC}=1.9V$, $I = 133MHz$
		I_{CCQ}^{*3}	-	20	40		$V_{CCQ}=3.3V$, $B = 33MHz$
	スリープモード時 ^{*1}	I_{CC}^{*2}	-	15	30	$B = 33MHz$, $V_{CCQ}=3.3V$, $V_{CC}=1.9V$	
		I_{CCQ}^{*3}	-	10	20		
	スタンバイモード時	I_{CC}^{*2}	-	40	125	μA	$T_a = 25$ (RTC on)、 $V_{CCQ}=3.3V$, $V_{CC}=1.9V$
		I_{CCQ}^{*3}	-	10	25		$T_a = 25$ (RTC off) ^{*5} , $V_{CCQ}=3.3V$, $V_{CC}=1.9V$
		I_{CC}^{*2}	-	35	110		
	I_{CCQ}^{*3}	-	10	25			
	RTC 動作電流	I_{CC-RTC}^{*4}	-	-	15	$V_{CC-RTC}=1.9V$	
入力ハイ レベル電圧	\overline{RESETP} 、 \overline{RESETM} 、 NMI、IRQ5 ~ IRQ0、MD5 ~ MD0、 $\overline{ASEMD0}$ 、CA、 \overline{TRST} 、ADTRG、EXTAL、 CKIO	V_{IH}	$V_{CCQ} \times 0.9$	-	$V_{CCQ} + 0.3$	V	
	ポート J		2.0	-	$AV_{CC} + 0.3$		
	その他の入力端子		2.0	-	$V_{CCQ} + 0.3$		
入力ロー レベル電圧	\overline{RESETP} 、 \overline{RESETM} 、 NMI、IRQ5 ~ IRQ0、MD5 ~ MD0、 $\overline{ASEMD0}$ 、CA、 \overline{TRST} 、ADTRG、EXTAL、 CKIO	V_{IL}	- 0.3	-	$V_{CCQ} \times 0.1$	V	
	ポート J		- 0.3	-	$AV_{CC} \times 0.2$		
	その他の入力端子		- 0.3	-	$V_{CCQ} \times 0.2$		
入力リーク 電流	全入力端子	I_{in}	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CCQ} - 0.5V$

項目		記号	min	typ	max	単位	測定条件
スリー ステート リーク電流	入出力、全出力端子 (オフ状態)	I _{stl}	-	-	1.0	μA	V _{in} = 0.5 ~ V _{ccQ} - 0.5V
出力ハイ レベル電圧	全出力端子	V _{OH}	2.4	-	-	V	V _{ccQ} = 3.0V、 I _{OH} = - 200 μA
			2.0	-	-		V _{ccQ} = 3.0V、 I _{OH} = - 2mA
出力ロー レベル電圧	全出力端子	V _{OL}	-	-	0.55	k	V _{ccQ} = 3.6V、 I _{OL} = 1.6mA
ブルアップ 抵抗	ポート端子	Ppull	30	60	120		
端子容量	全端子	C	-	-	10	pF	
アナログ電源電圧		AV _{cc}	3.0	3.3	3.6	V	
アナログ 電源電流	A/D 変換期間	AI _{cc}	-	0.8	2	mA	
	A/D および D/A 変換期間		-	2.4	6	mA	
	アイドル		-	0.01	5.0	μA	T _a = 25

- 【注】 1. PLL、RTC を使用しない場合も必ず、V_{cc}-PLL、V_{cc}-RTC を V_{cc} に、V_{ss}-PLL、V_{ss}-RTC を V_{ss} に接続してください。
2. AV_{cc} は、V_{ccQ} - 0.3V ~ AV_{cc}、V_{ccQ} + 0.3V の条件を満たさなければなりません。A/D 変換器、D/A 変換器を使用しない場合でも、AV_{cc}、AV_{ss} 端子を開放しないで、AV_{cc} は V_{ccQ} に AV_{ss} は V_{ssQ} に接続してください。
3. 消費電流値は、V_{IHmin} = V_{ccQ} - 0.5V、V_{ILmax} = 0.5V の条件で、すべての出力端子を無負荷状態にした場合の値です。
- *1 リフレッシュサイクル以外の外部バスサイクルがないとき
- *2 V_{cc}、V_{cc}-PLL1、V_{cc}-PLL2 に流れる電流の総和
- *3 V_{ccQ} に流れる電流
- *4 V_{cc}-RTC に流れる電流
- *5 ソフトウェアスタンバイモードのみ

表 24.3 出力許容電流値

条件：V_{ccQ} = 3.3 ± 0.3V、V_{cc} = 1.9 ± 0.15V、AV_{cc} = 3.3 ± 0.3V、T_a = - 20 ~ 75

項目	記号	min	typ	max	単位
出力ローレベル許容電流 (1 端子当たり)	I _{OL}	-	-	2.0	mA
出力ローレベル許容電流 (総和)	I _{OL}	-	-	120	mA
出力ハイレベル許容電流 (1 端子当たり)	- I _{OH}	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	(- I _{OH})	-	-	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 24.3 の値を超えないようにしてください。

24.3 AC 特性

本 LSI の入力 は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

動作条件は以下のとおりです。

$$V_{ccQ} = 3.3 \pm 0.3V$$

$$V_{cc} = 1.9 \pm 0.15V$$

$$AV_{cc} = 3.3 \pm 0.3V$$

$$T_a = -20 \sim 75$$

表 24.4 動作周波数範囲

項 目		記号	min*	typ	max	単位	備考
動作周波数	CPU、キャッシュ、TLB	f	25	-	133.34	MHz	
	外部バス		25	-	66.67		
	周辺モジュール		6.25	-	33.34		

24.3.1 クロックタイミング

表 24.5 クロックタイミング

項 目	記号	min	max	単位	参照図
EXTAL クロック入力周波数 (クロックモード 0)	f _{EX}	25	66.67	MHz	図 24.1
EXTAL クロック入力サイクル時間 (クロックモード 0)	t _{EXcyC}	15	40	ns	
EXTAL クロック入力周波数 (クロックモード 1)	f _{EX}	6.25	16.67	MHz	
EXTAL クロック入力サイクル時間 (クロックモード 1)	t _{EXcyC}	60	160	ns	
EXTAL クロック入力ローレベルパルス幅	t _{EXL}	1.5	-	ns	
EXTAL クロック入力ハイレベルパルス幅	t _{EXH}	1.5	-	ns	
EXTAL クロック入力立ち上がり時間	t _{EXR}	-	6	ns	
EXTAL クロック入力立ち下がり時間	t _{EXF}	-	6	ns	
CKIO クロック入力周波数	f _{CKI}	25	66.67	MHz	図 24.2
CKIO クロック入力サイクル時間	t _{CKIcyC}	15	40	ns	
CKIO クロック入力ローレベルパルス幅	t _{CKIL}	1.5	-	ns	
CKIO クロック入力ハイレベルパルス幅	t _{CKIH}	1.5	-	ns	
CKIO クロック入力立ち上がり時間	t _{CKIR}	-	6	ns	
CKIO クロック入力立ち下がり時間	t _{CKIF}	-	6	ns	

項目	記号	min	max	単位	参照図
CKIO クロック出力周波数	f_{OP}	25	66.67	MHz	図 24.3
CKIO クロック出力サイクル時間	t_{cyc}	15	40	ns	
CKIO クロック出力ローレベルパルス幅	t_{CKOL}	3	-	ns	
CKIO クロック出力ハイレベルパルス幅	t_{CKOH}	3	-	ns	
CKIO クロック出力立ち上がり時間	t_{CKOR}	-	5	ns	
CKIO クロック出力立ち下がり時間	t_{CKOF}	-	5	ns	
パワーオン発振安定時間 (クロックモード 2)	t_{OSC1}	10	-	ms	図 24.4
RESETP セットアップ時間 (パワーオン時、スタンバイ解除時)	t_{RESPTS}	20	-	ns	図 24.4、図 24.5
RESETM セットアップ時間 (スタンバイ解除時)	t_{RESMS}	0	-	ns	
RESETP アサート時間 (パワーオン時、スタンバイ解除時)	t_{RESPW}	20	-	t_{cyc}	図 24.4、図 24.5
RESETM アサート時間 (スタンバイ解除時)	t_{RESMW}	20	-	t_{cyc}	
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	図 24.5
スタンバイ復帰発振安定時間 2	t_{OSC3}	10	-	ms	図 24.6
スタンバイ復帰発振安定時間 3	t_{OSC4}	11	-	ms	図 24.7
PLL 同期安定化時間 1 (スタンバイ解除)	t_{PLL1}	100	-	μs	図 24.8、図 24.9
PLL 同期安定化時間 2 (逡倍変更)	t_{PLL2}	100	-	μs	図 24.10
IRQ/IRL 割り込み判定時間 (RTC 使用 & スタンバイモード時)	t_{IRLSTB}	100	-	μs	図 24.10

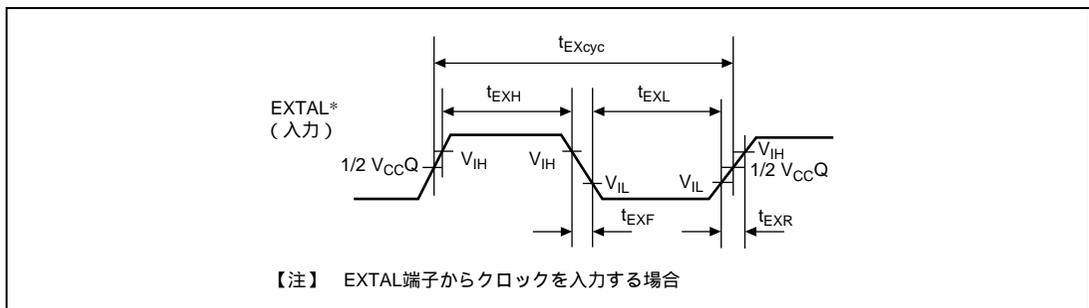


図 24.1 EXTERNAL クロック入力タイミング

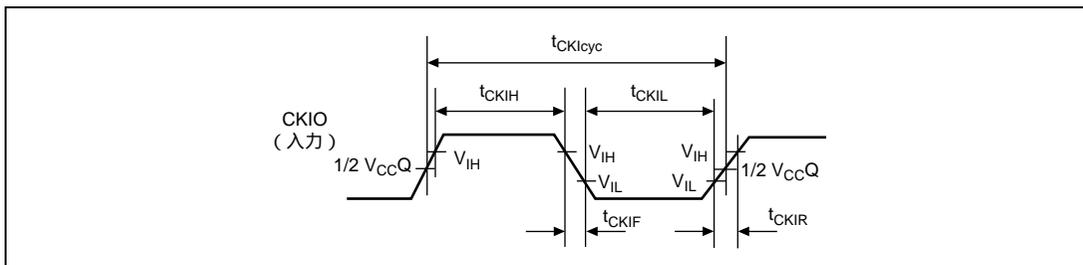


図 24.2 CKIO クロック入力タイミング

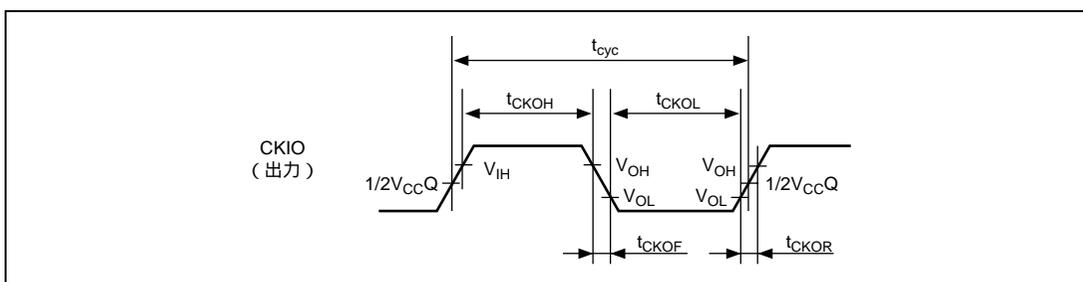


図 24.3 CKIO クロック出力タイミング

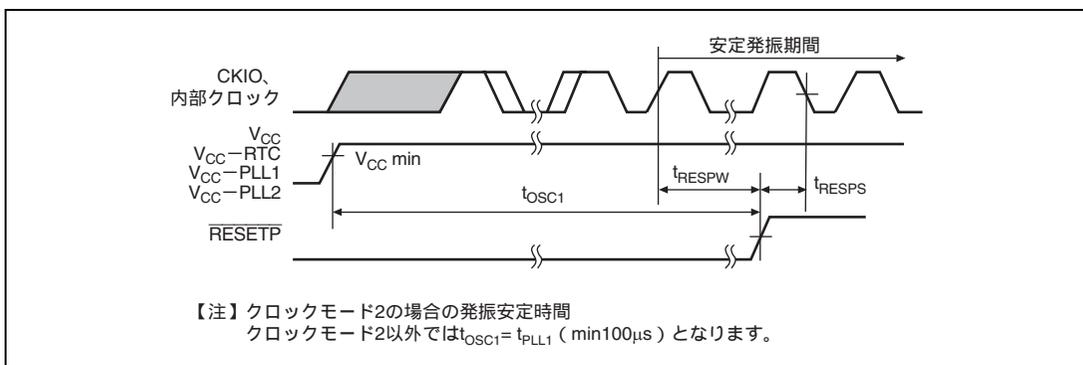


図 24.4 パワーオン発振安定時間

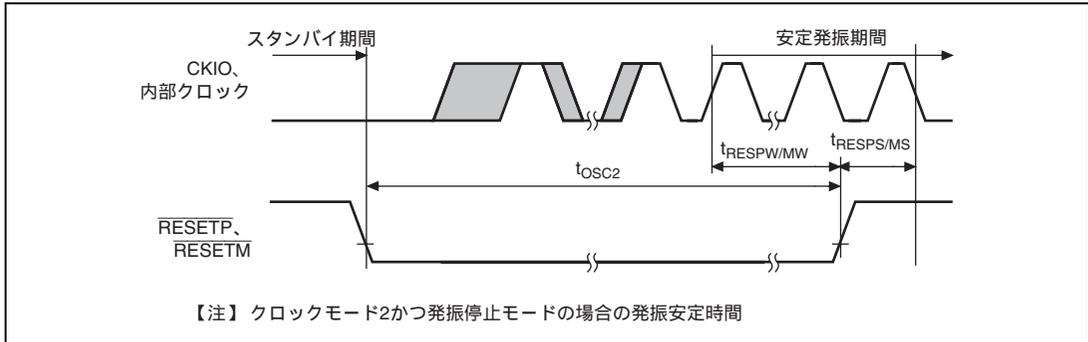


図 24.5 スタンバイ復帰時発振安定時間（リセットによる復帰）

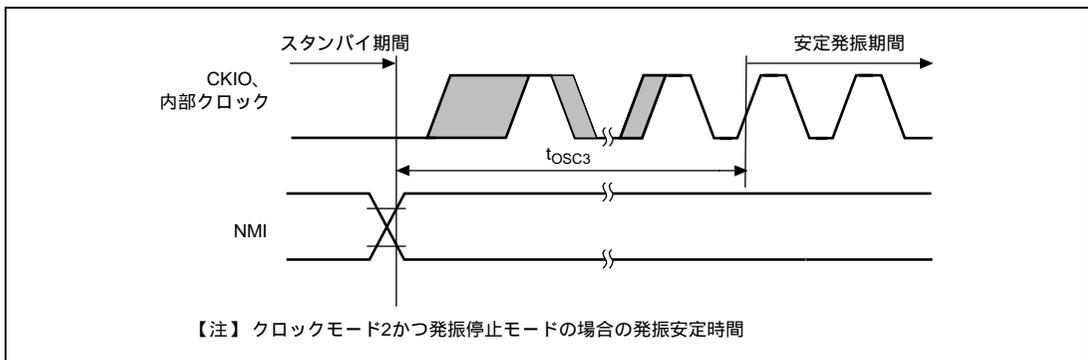


図 24.6 スタンバイ復帰時発振安定時間（NMI による復帰）

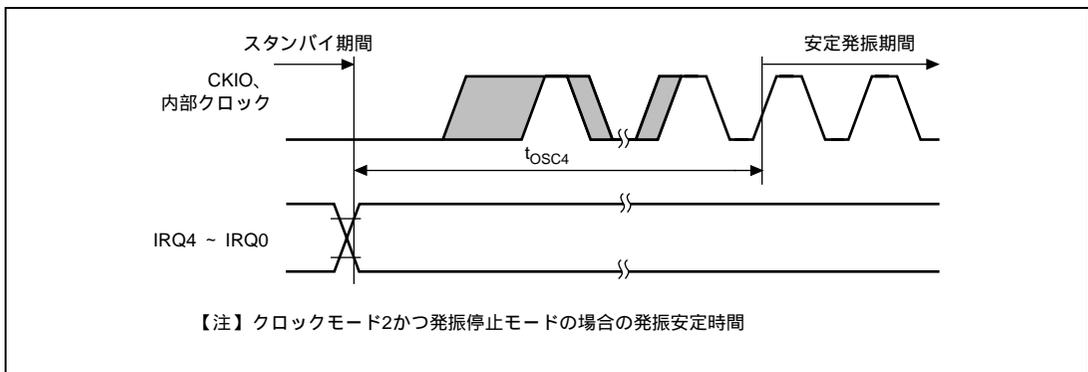


図 24.7 スタンバイ復帰時発振安定時間（IRQ/IRL 割り込みによる復帰）

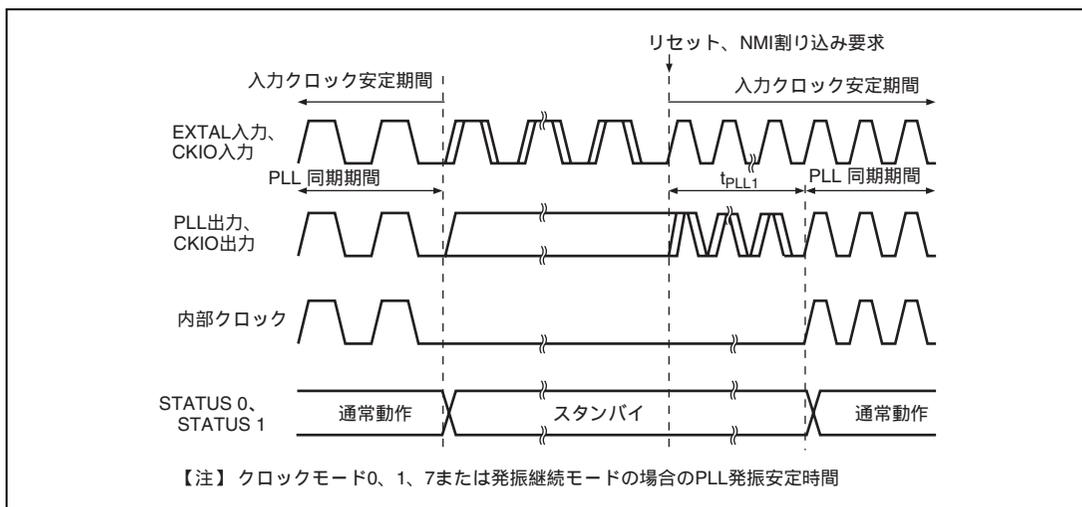


図 24.8 スタンバイ復帰時の PLL 同期安定化時間（リセットまたは NMI による復帰）

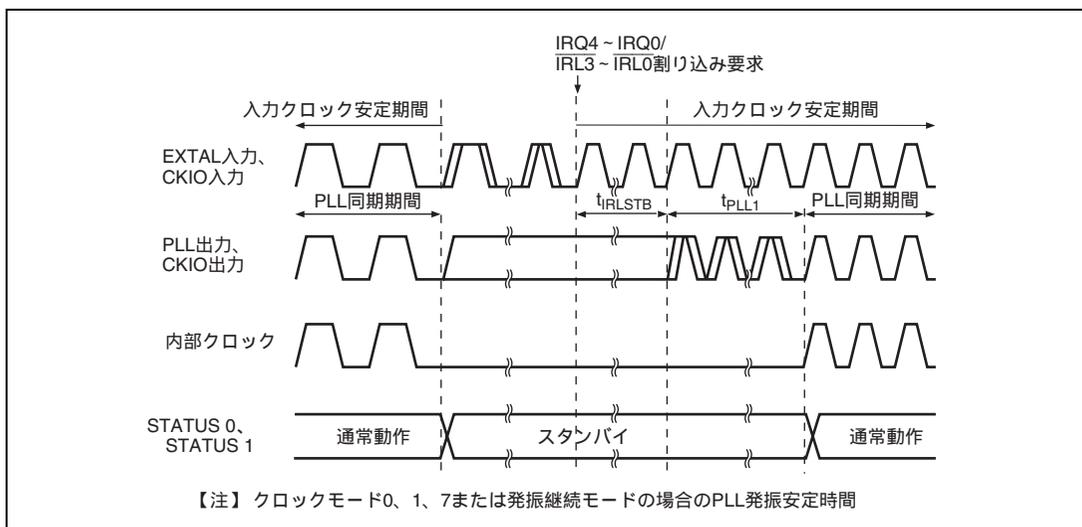


図 24.9 スタンバイ復帰時の PLL 同期安定化時間（IRQ/IRL 割り込みによる復帰）

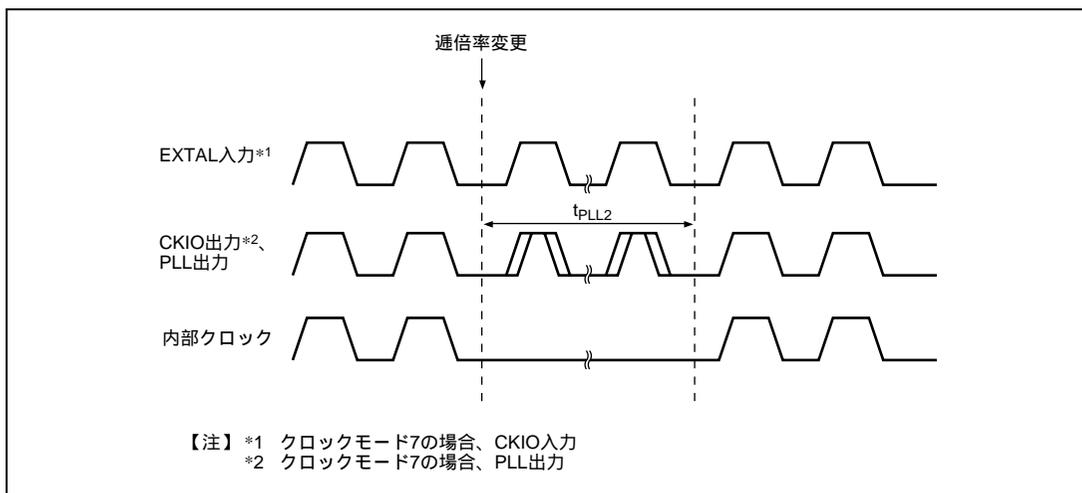


図 24.10 周波数通倍率変更時の PLL 同期安定化時間

24. 電気的特性

24.3.2 制御信号タイミング

表 24.6 制御信号タイミング

項目	記号	min	max	単位	参照図
RESETP パルス幅	t_{RESPW}	20* ²	-	tcyc	図 24.11、 図 24.12
RESETP セットアップ時間* ¹	t_{RESPS}	20	-	ns	
RESETP ホールド時間	t_{RESPH}	2	-	ns	
RESETM パルス幅	t_{RESMW}	12* ³	-	tcyc	
RESETM セットアップ時間	t_{RESMS}	6	-	ns	
RESETM ホールド時間	t_{RESMH}	34	-	ns	
BREQ セットアップ時間	t_{BREQS}	6	-	ns	図 24.14
BREQ ホールド時間	t_{BREQH}	4	-	ns	
NMI セットアップ時間* ¹	t_{NMIS}	10	-	ns	図 24.12、 図 24.13
NMI ホールド時間	t_{NMIH}	4	-	ns	
IRQ5 ~ IRQ0 セットアップ時間* ¹	t_{IRQS}	10	-	ns	
IRQ5 ~ IRQ0 ホールド時間	t_{IRQH}	4	-	ns	
IRQOUT 遅延時間	t_{IROOD}	-	10	ns	図 24.14、 図 24.15
BACK 遅延時間	t_{BACKD}	-	10	ns	
STATUS1、STATUS0 遅延時間	t_{STD}	-	10	ns	
バスタライステート遅延時間 1	t_{BOFF1}	0	15	ns	
バスタライステート遅延時間 2	t_{BOFF2}	0	15	ns	
バスバッファオンタイム 1	t_{BON1}	0	15	ns	
バスバッファオンタイム 2	t_{BON2}	0	15	ns	

【注】 *1 RESETP、NMI および IRQ5 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち下がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち下がりエッジまで検出が遅れることがあります。

*2 スタンバイモードの XTAL 発振継続時は t_{OSC1} (100 μ s)、発振停止時は $t_{RESPW} = t_{OSC2}$ (10ms) になります。スリープモード時は $t_{RESPW} = t_{PLL1}$ (100 μ s) になります。クロック通信率が変化したときも、 $t_{RESPW} = t_{PLL1}$ (100 μ s) になります。

*3 スタンバイモード時は $t_{RESMW} = t_{OSC2}$ (10ms) となります。スリープモード時は STATUS (0, 1) がリセット (HH) に変わるまで RESETM をローレベルに保ってください。クロック通信率が変化したときも、STATUS (0, 1) がリセット (HH) に変わるまで RESETM をローレベルに保ってください。

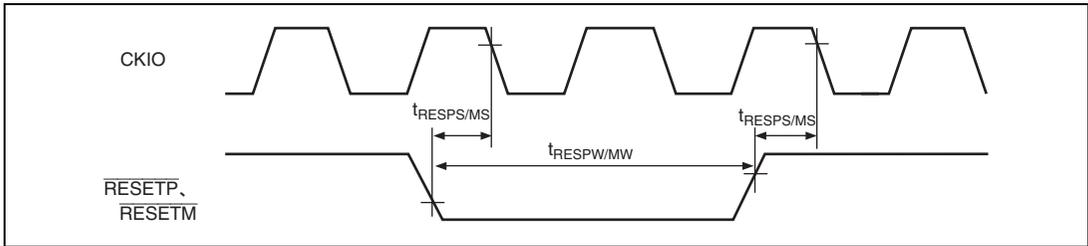


図 24.11 リセット入力タイミング

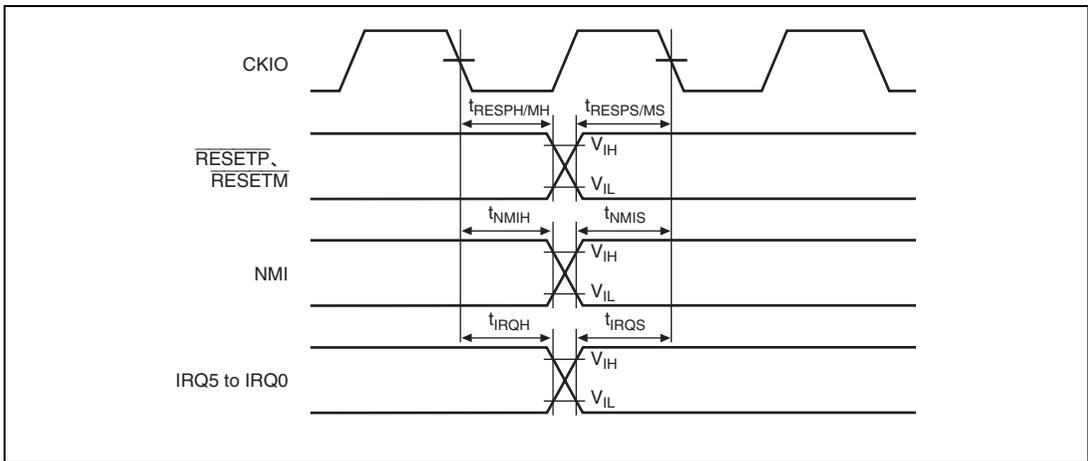


図 24.12 割り込み信号入力タイミング

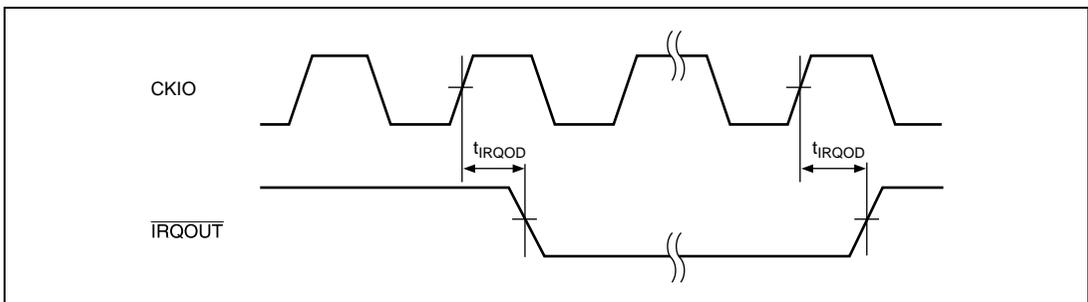


図 24.13 IRQOUT タイミング

24. 電気的特性

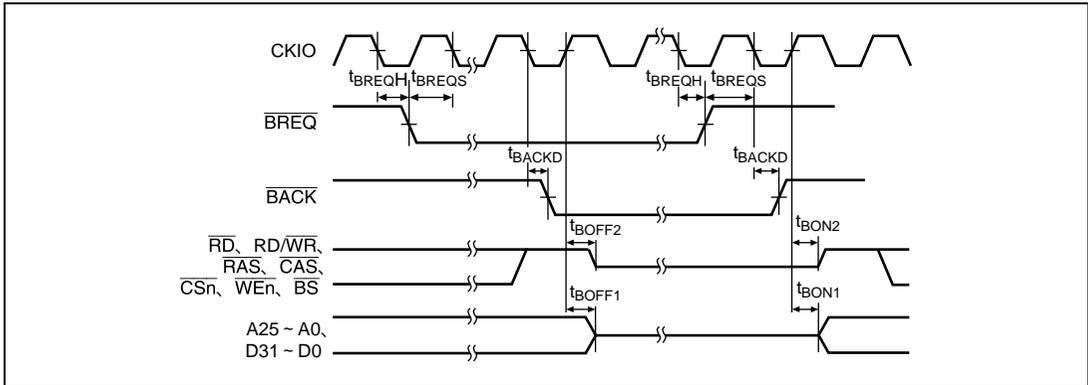


図 24.14 バス権解放タイミング

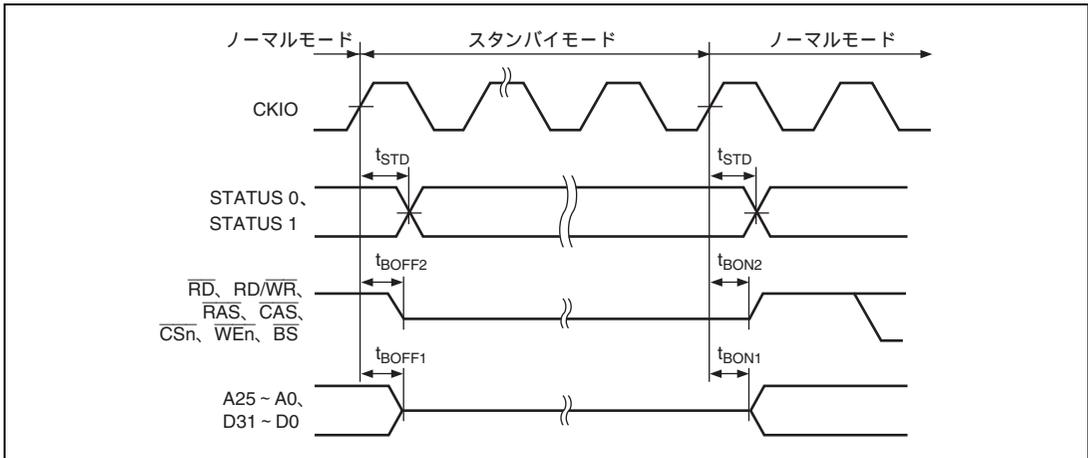


図 24.15 スタンバイ時の端子ドライブタイミング

24.3.3 AC バスタイミング仕様

表 24.7 バスタイミング

条件：クロックモード 0、1、2、7

項 目	記号	min	max	単位	参照図
アドレス遅延時間	t_{AD}	1.5	12	ns	図 24.16 ~ 図 24.36、 図 24.39 ~ 図 24.46
アドレスセットアップ時間	t_{AS}	0	-	ns	図 24.16 ~ 図 24.18
アドレスホールド時間	t_{AH}	4	-	ns	図 24.16 ~ 図 24.21
BS 遅延時間	t_{BSD}	-	10	ns	図 24.16 ~ 図 24.36、 図 24.40 ~ 図 24.46
CS 遅延時間 1	t_{CSD1}	-	10	ns	図 24.16 ~ 図 24.21、 図 24.40 ~ 図 24.46
CS 遅延時間 2	t_{CSD2}	-	10	ns	図 24.16 ~ 図 24.21
CS 遅延時間 3	t_{CSD3}	1.5	10	ns	図 24.22 ~ 図 24.39
リードライト遅延時間	t_{RWD}	1.5	10	ns	図 24.16 ~ 図 24.46
リードライトホールド時間	t_{RWH}	0	-	ns	図 24.16 ~ 図 24.21
リードストロープ遅延時間	t_{RSD}	-	10	ns	図 24.16 ~ 図 24.21、 図 24.40 ~ 図 24.43
リードデータセットアップ時間 1	t_{RDS1}	6	-	ns	図 24.16 ~ 図 24.21、 図 24.40 ~ 図 24.46
リードデータセットアップ時間 2	t_{RDS2}	5	-	ns	図 24.22 ~ 図 24.25、 図 24.30 ~ 図 24.33
リードデータホールド時間 1	t_{RDH1}	0	-	ns	図 24.16 ~ 図 24.21、 図 24.40 ~ 図 24.46
リードデータホールド時間 2	t_{RDH2}	2	-	ns	図 24.22 ~ 図 24.25、 図 24.30 ~ 図 24.33
ライトイネーブル遅延時間	t_{WED}	-	10	ns	図 24.16 ~ 図 24.18、 図 24.40、図 24.41
ライトデータ遅延時間 1	t_{WDD1}	-	12	ns	図 24.16 ~ 図 24.18、 図 24.40、図 24.41、 図 24.44 ~ 図 24.46
ライトデータ遅延時間 2	t_{WDD2}	1.5	12	ns	図 24.20 ~ 図 24.29
ライトデータホールド時間 1	t_{WDH1}	1.5	-	ns	図 24.16 ~ 図 24.18、 図 24.44 ~ 図 24.46、 図 24.40 ~ 図 24.41
ライトデータホールド時間 2	t_{WDH2}	1.5	-	ns	図 24.26 ~ 図 24.29
ライトデータホールド時間 3	t_{WDH3}	2	-	ns	図 24.16 ~ 図 24.18
ライトデータホールド時間 4	t_{WDH4}	2	-	ns	図 24.40、図 24.41、 図 24.44 ~ 図 24.46

24. 電気的特性

項目	記号	min	max	単位	参照図
WAIT セットアップ時間	t_{WTS}	5	-	ns	図 24.17 ~ 図 24.21、 図 24.41、図 24.43、図 24.45、 図 24.46
WAIT ホールド時間	t_{WTH}	0	-	ns	図 24.17 ~ 図 24.21、 図 24.41、図 24.43、図 24.45、 図 24.46
RAS 遅延時間	t_{RASD}	1.5	10	ns	図 24.22 ~ 図 24.39
CAS 遅延時間	t_{CASD}	1.5	10	ns	図 24.22 ~ 図 24.39
DQM 遅延時間	t_{DQMD}	1.5	10	ns	図 24.22 ~ 図 24.36
CKE 遅延時間	t_{CKED}	1.5	10	ns	図 24.38
$\overline{ICIOR}D$ 遅延時間	t_{ICRSD}	-	10	ns	図 24.44 ~ 図 24.46
$\overline{ICIOR}R$ 遅延時間	t_{ICWSD}	-	10	ns	図 24.44 ~ 図 24.46
$\overline{IOIS16}$ セットアップ時間	t_{IO16S}	6	-	ns	図 24.45、図 24.46
$\overline{IOIS16}$ ホールド時間	t_{IO16H}	4	-	ns	図 24.45、図 24.46
DACK 遅延時間 1	t_{DAKD1}	-	10	ns	図 24.16 ~ 図 24.36、 図 24.39 ~ 図 24.46
DACK 遅延時間 2	t_{DAKD2}	-	10	ns	図 24.16 ~ 図 24.18、 図 24.20 ~ 図 24.21

24.3.4 基本タイミング

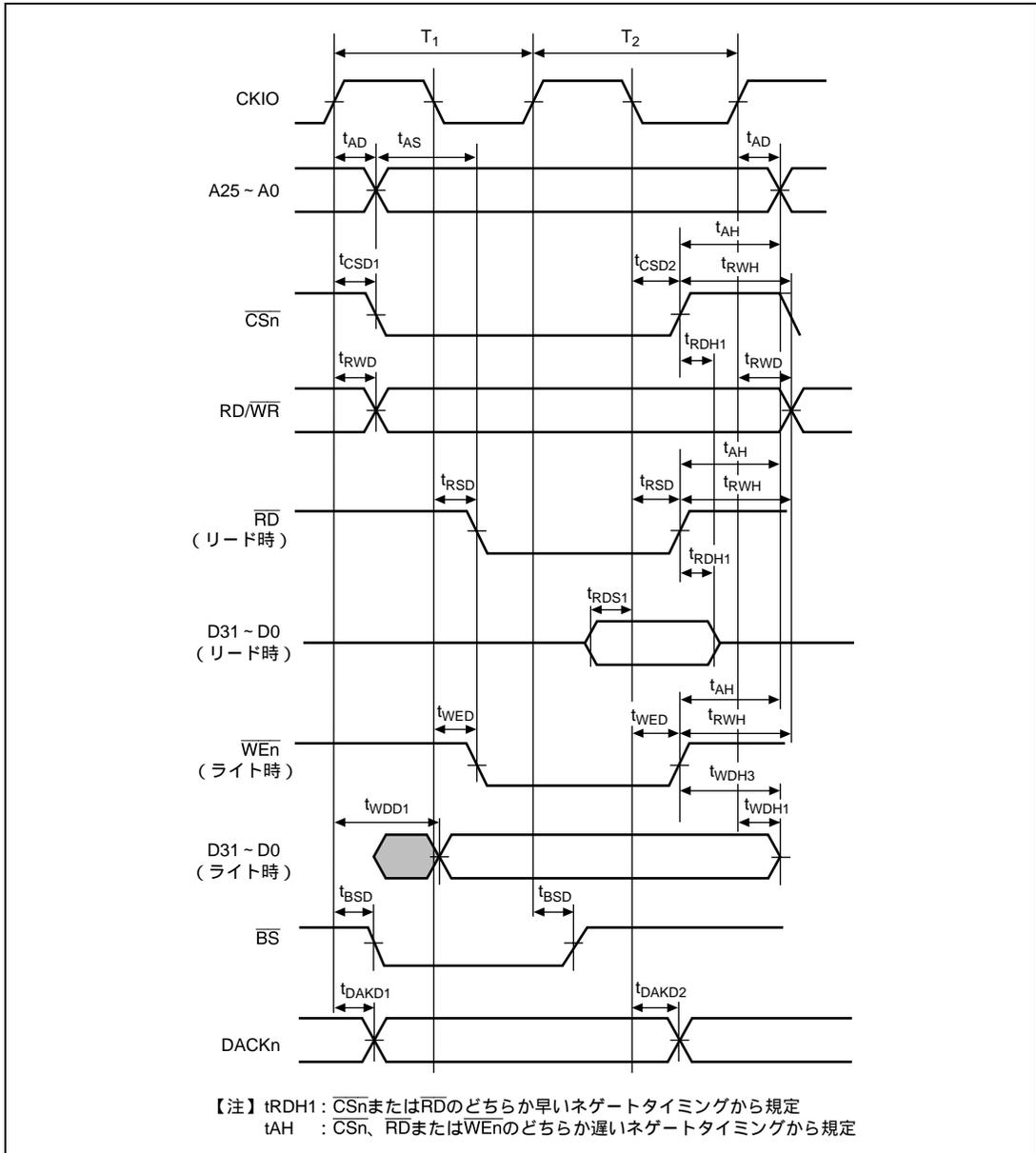


図 24.16 基本バスサイクル(ノーウェイト)

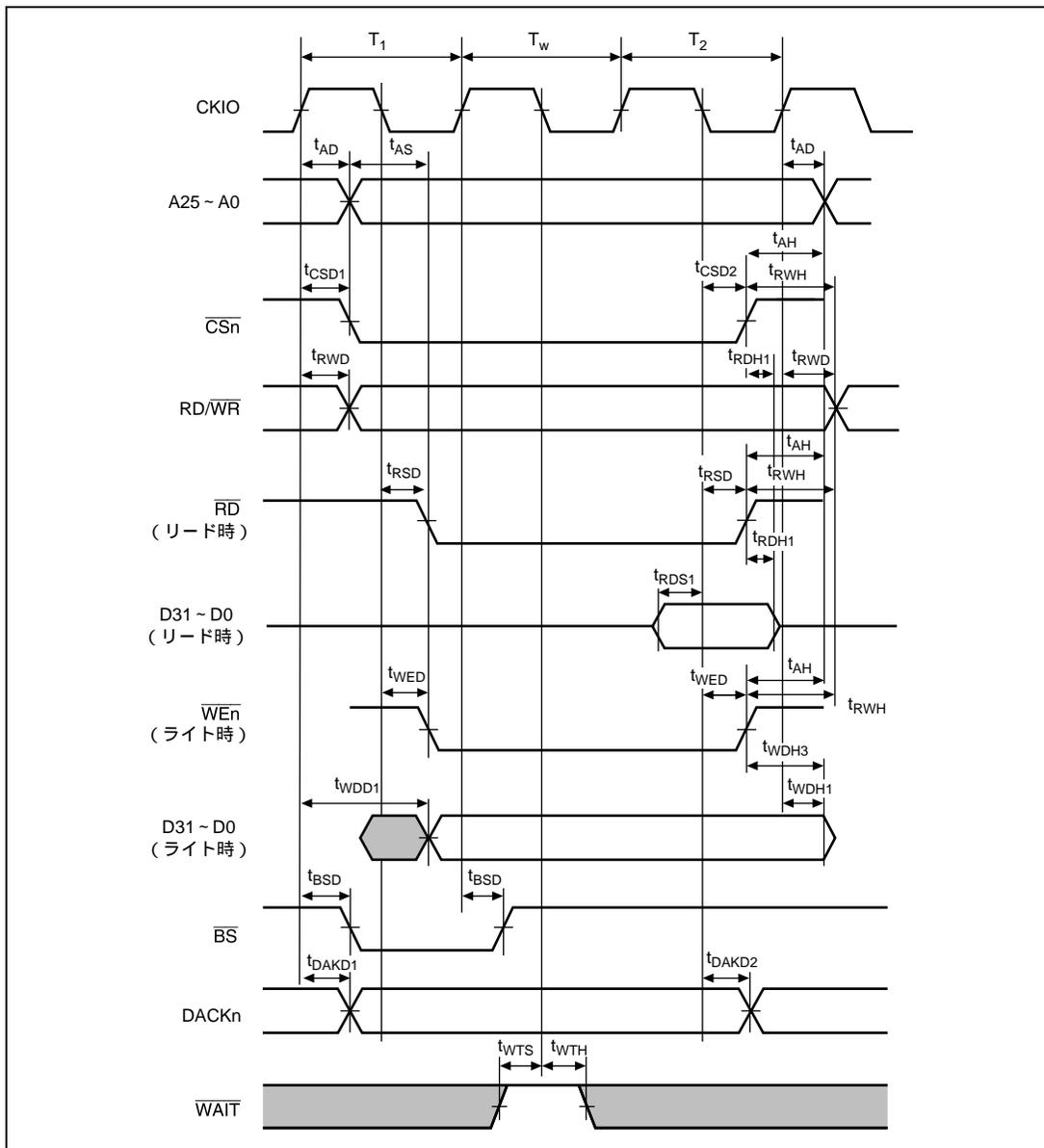


図 24.17 基本バスサイクル(1ウェイト)

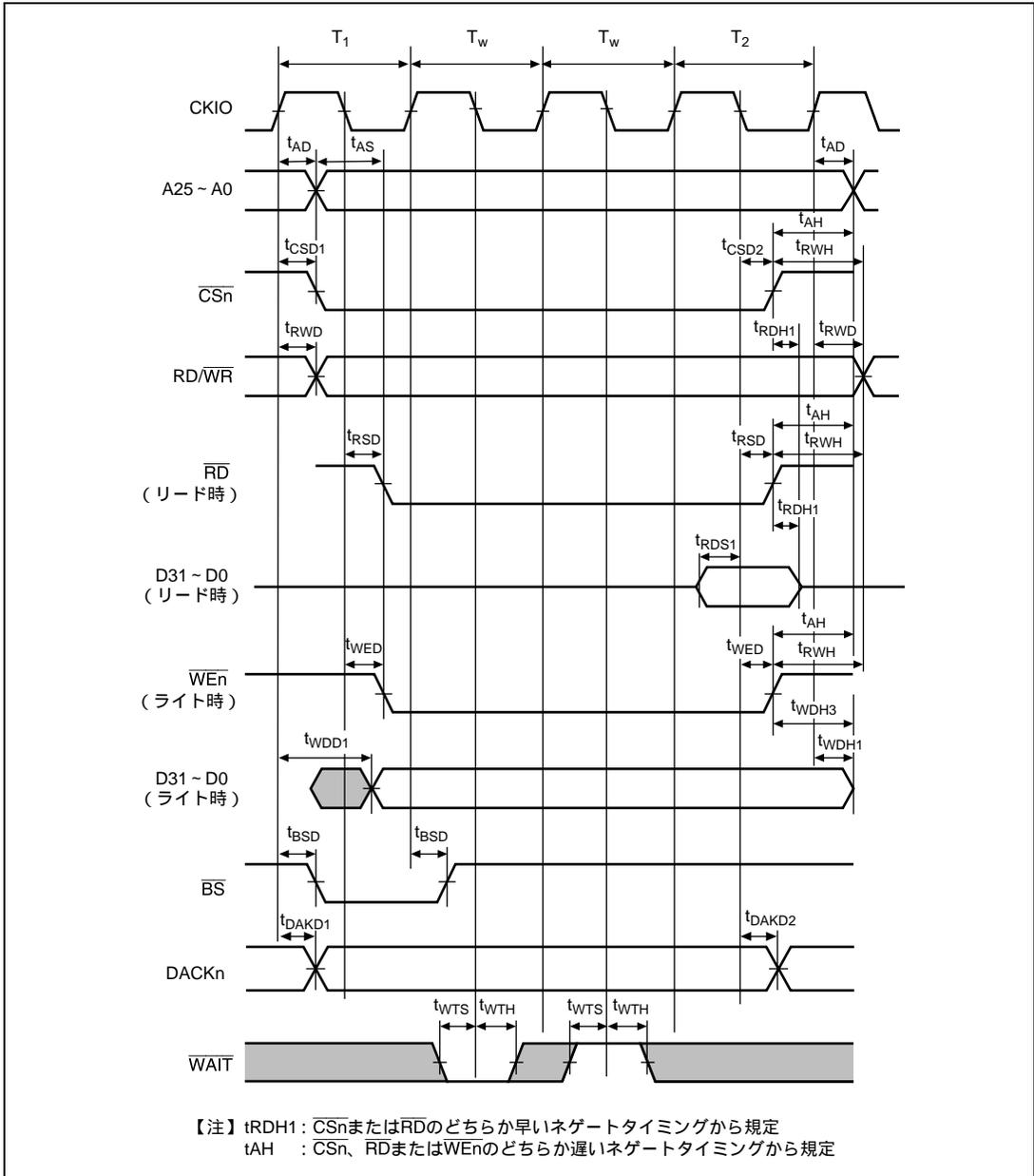


図 24.18 基本バスサイクル (外部ウェイト)

24.3.5 バースト ROM タイミング

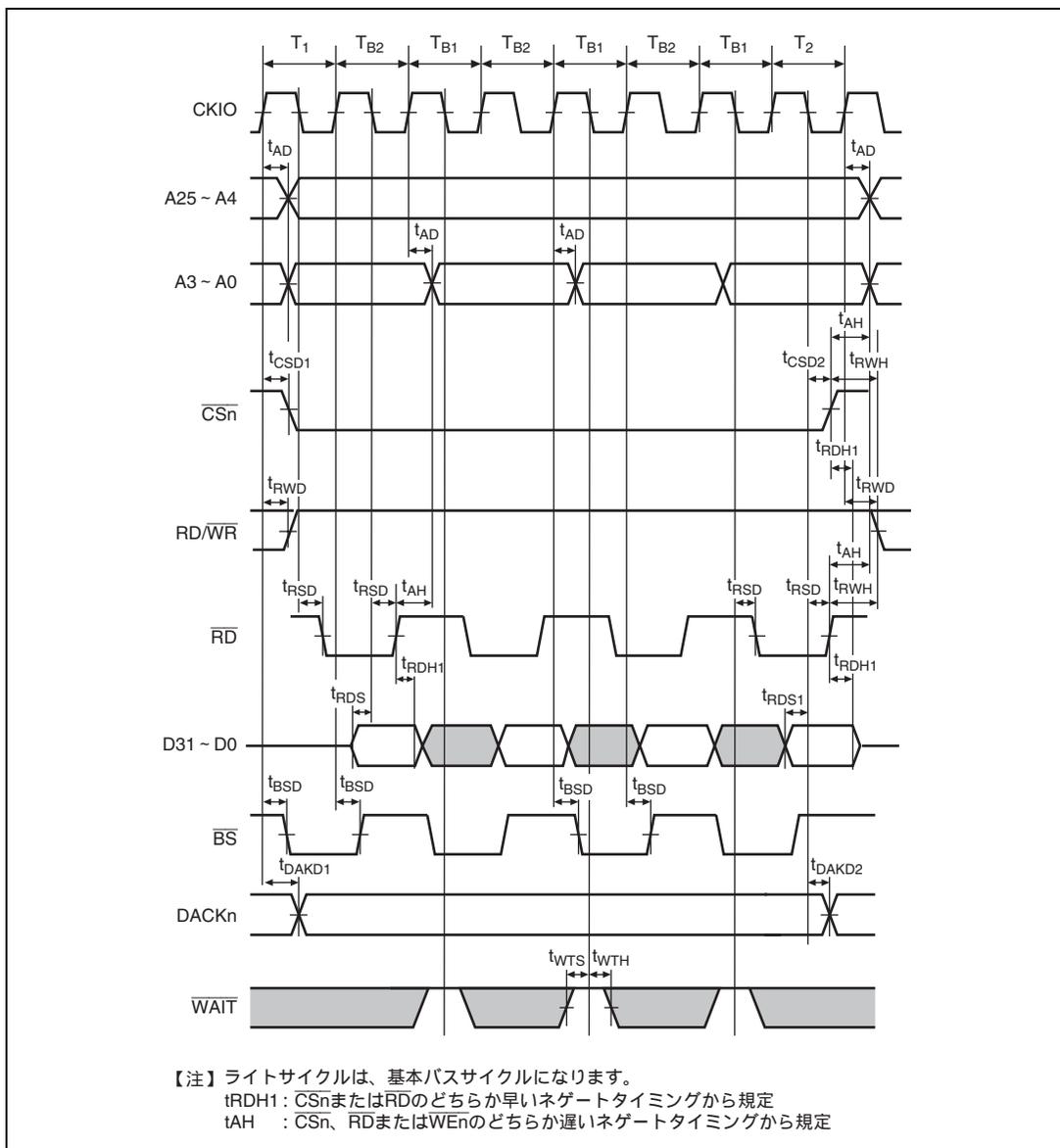


図 24.19 バースト ROM バスサイクル (ノーウェイト)

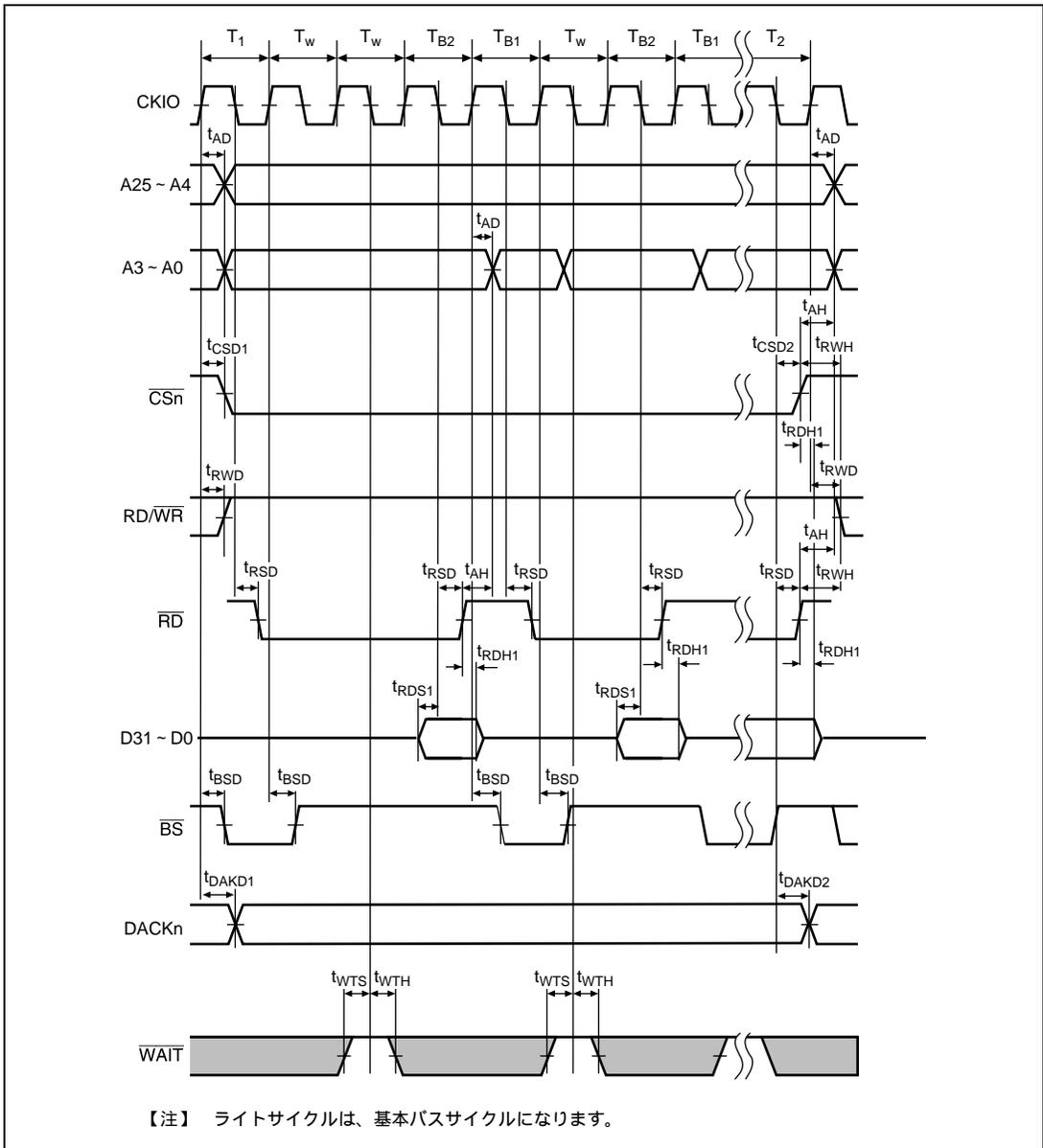


図 24.20 バースト ROM バスサイクル (2 ウェイト)

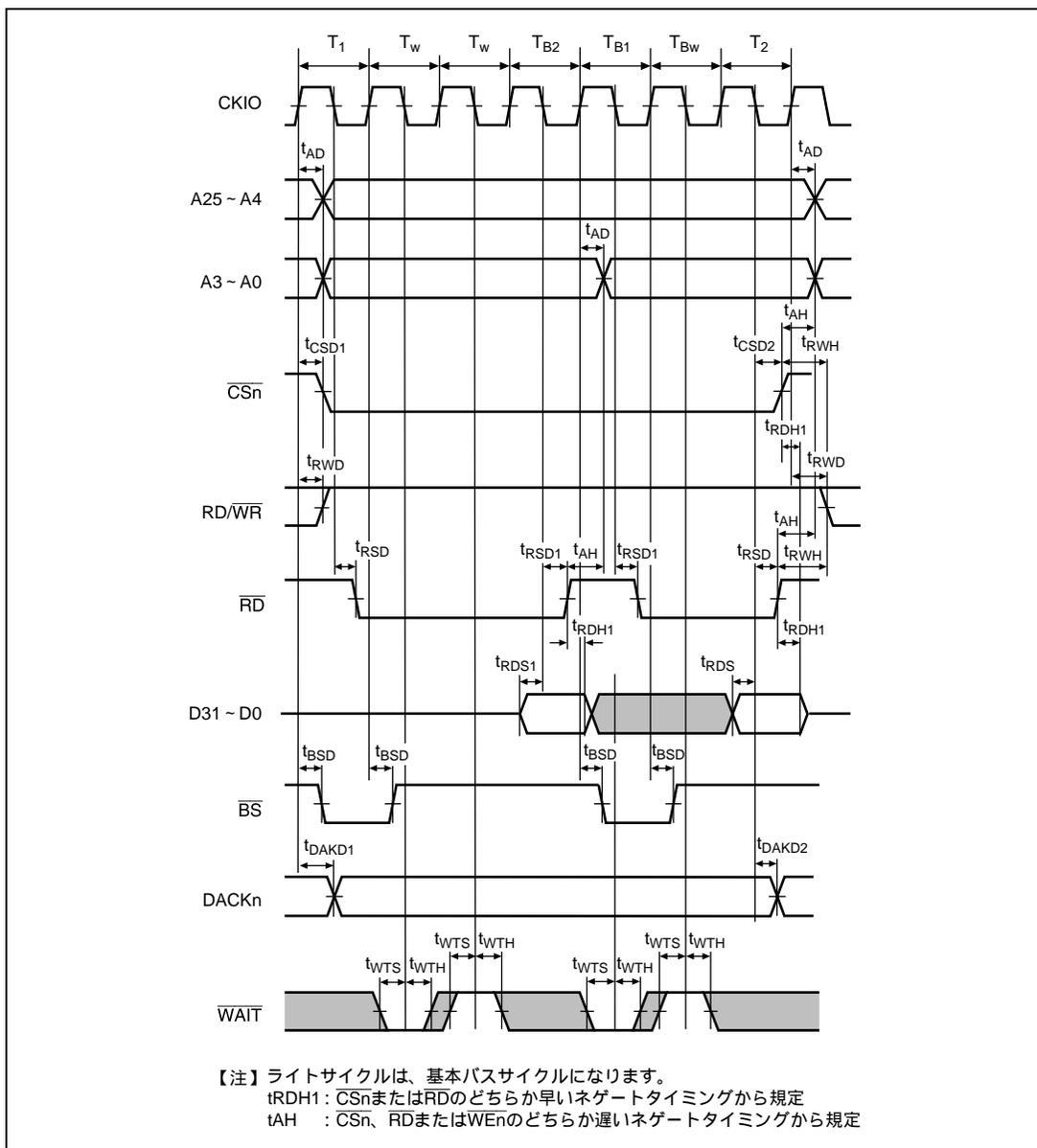


図 24.21 バースト ROM バスサイクル (外部ウェイト)

24.3.6 シンクロナス DRAM タイミング

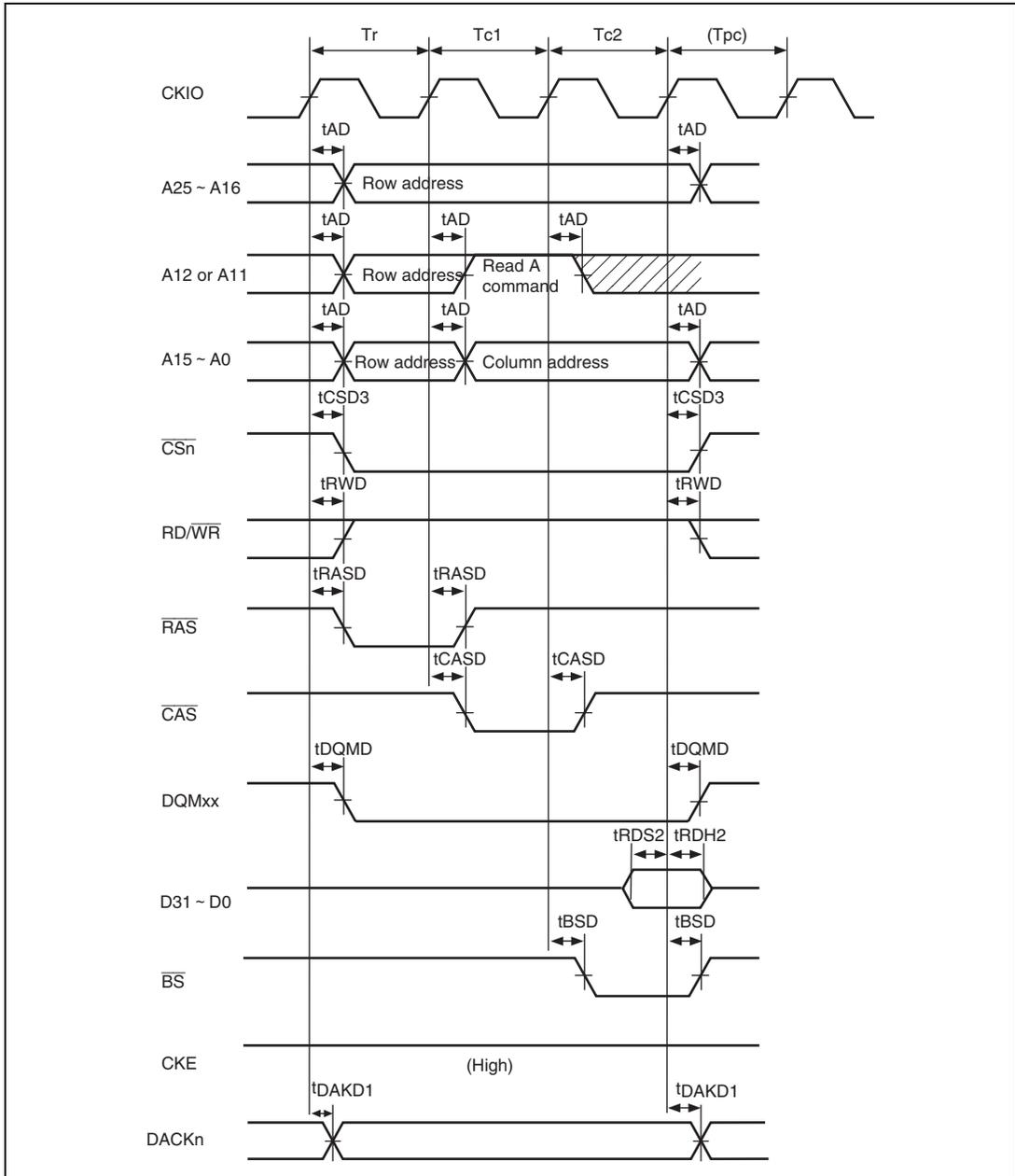


図 24.22 シンクロナス DRAM リードバスサイクル (RCD=0、CAS レイテンシ=1、TPC=0)

24. 電気的特性

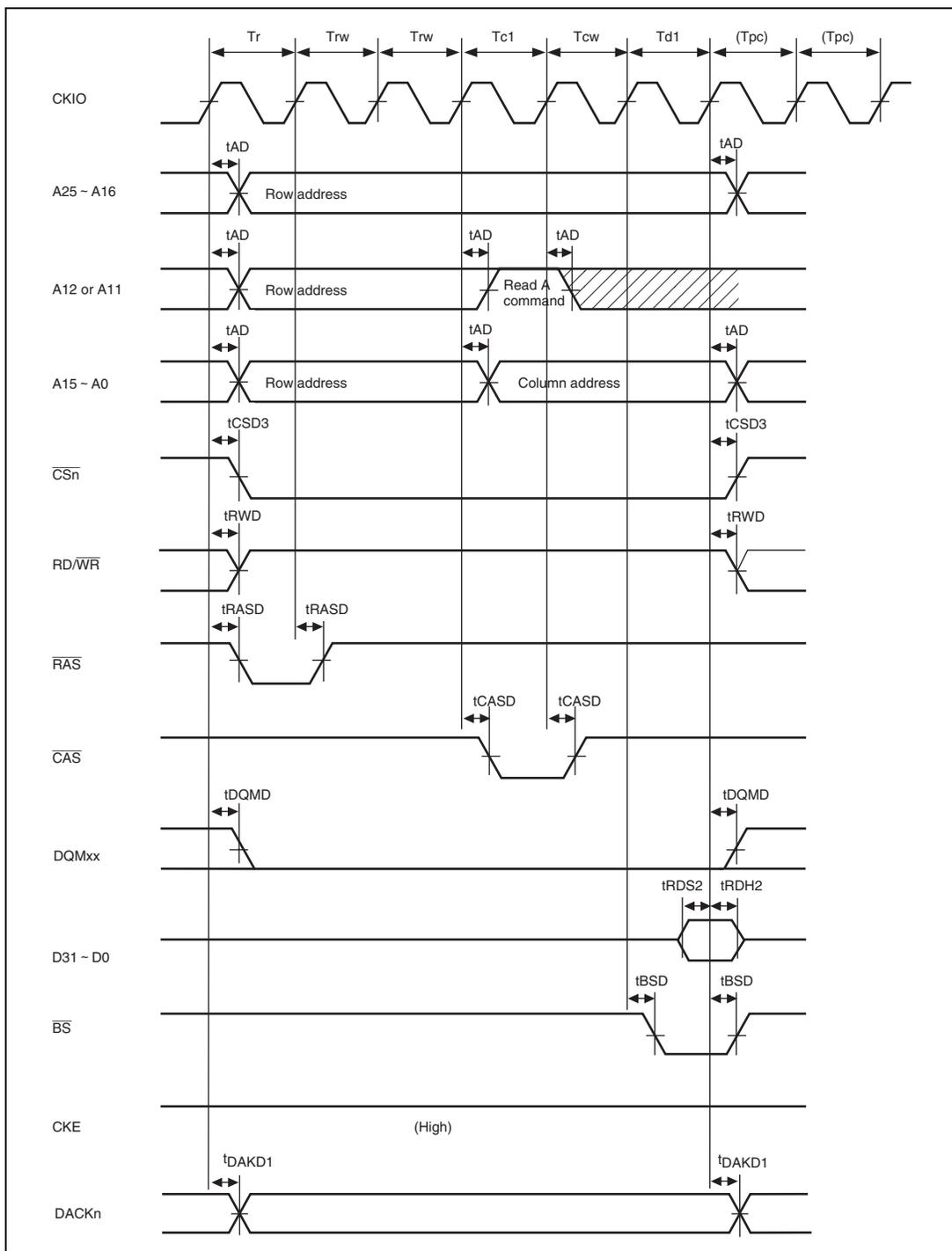


図 24.23 シンクロナス DRAM リードバスサイクル (RCD = 2、CAS レイテンシ = 2、TPC = 1)

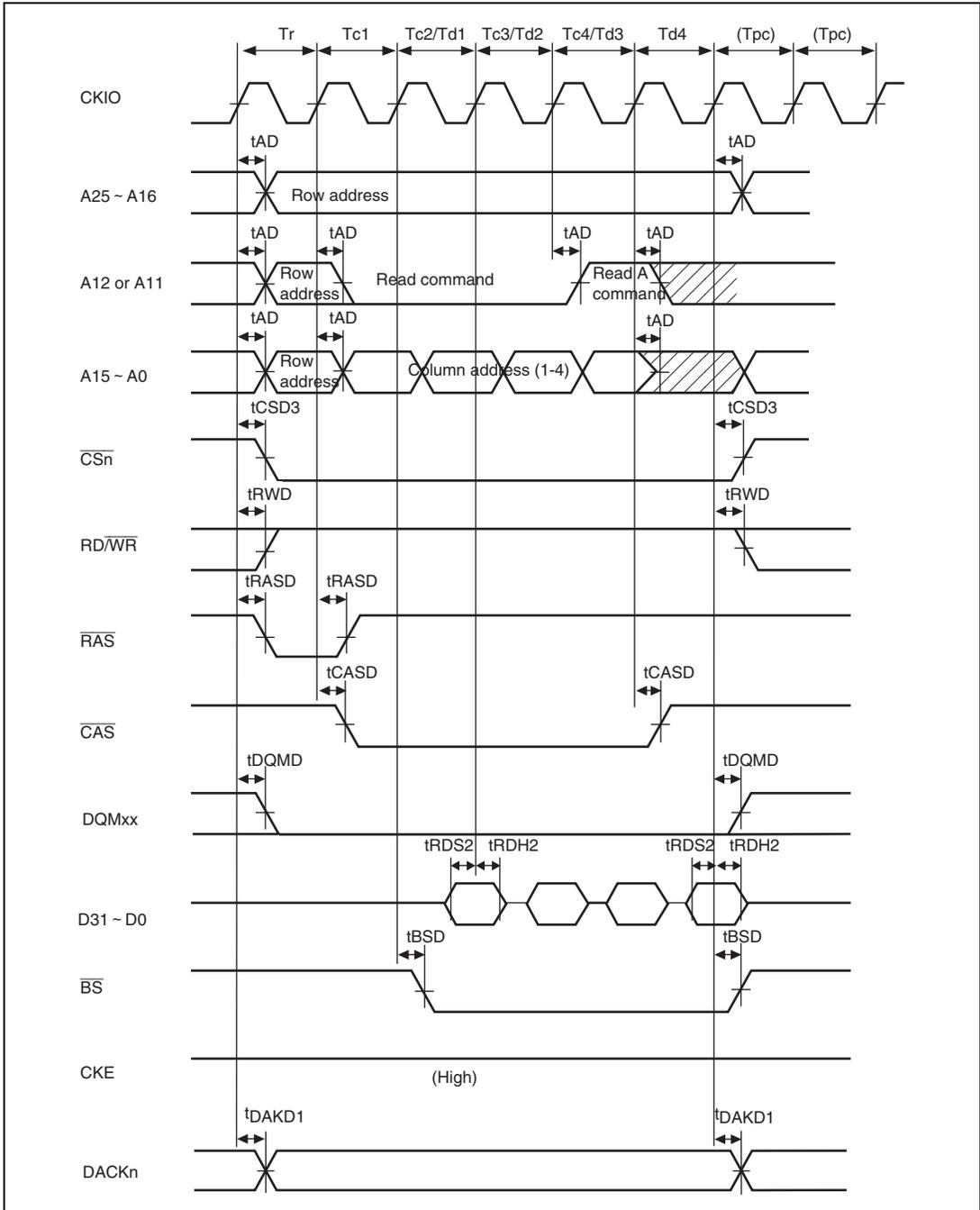


図 24.24 シンクロナス DRAM リードバスサイクル
 (バーストリード (シングルリード×4)、RCD = 0、CAS レイテンシ = 1、TPC = 1)

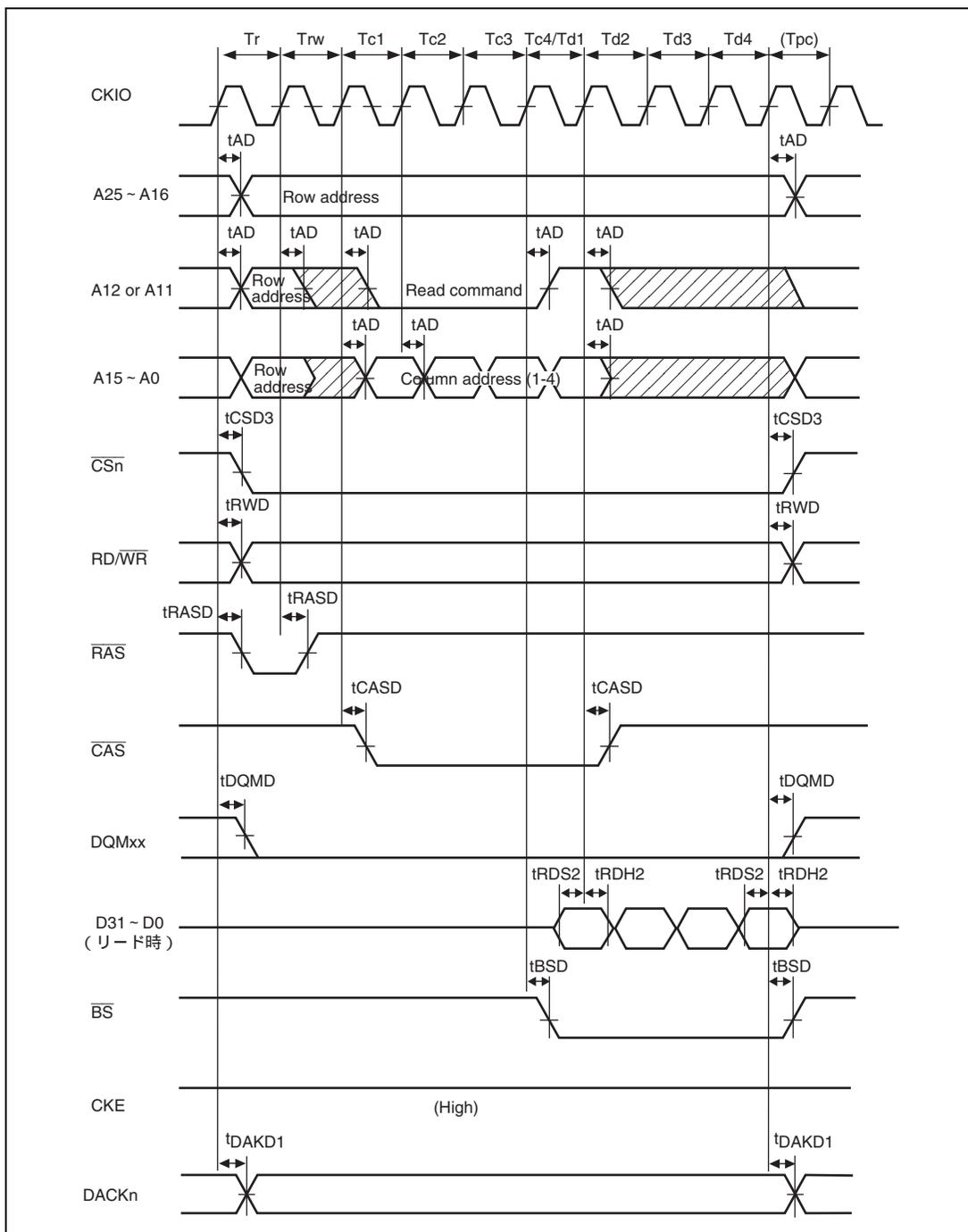


図 24.25 シンクロナス DRAM リードバスサイクル
 (パーストリード (シングルリード×4)、RCD = 1、CAS レイテンシ = 3、TPC = 0)

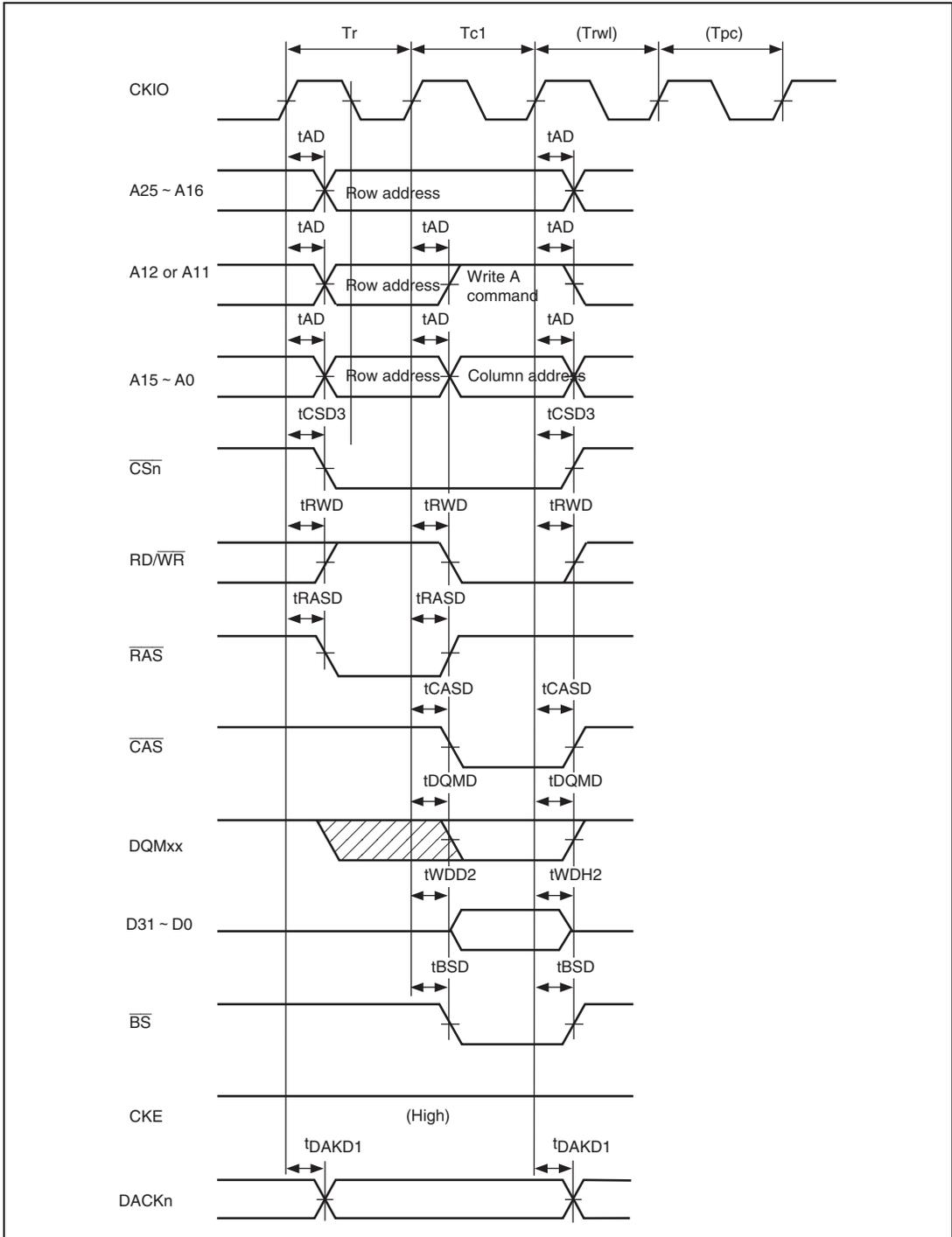


図 24.26 シンクロナス DRAM ライトバスサイクル (RCD = 0、TPC = 0、TRWL = 0)

24. 電気的特性

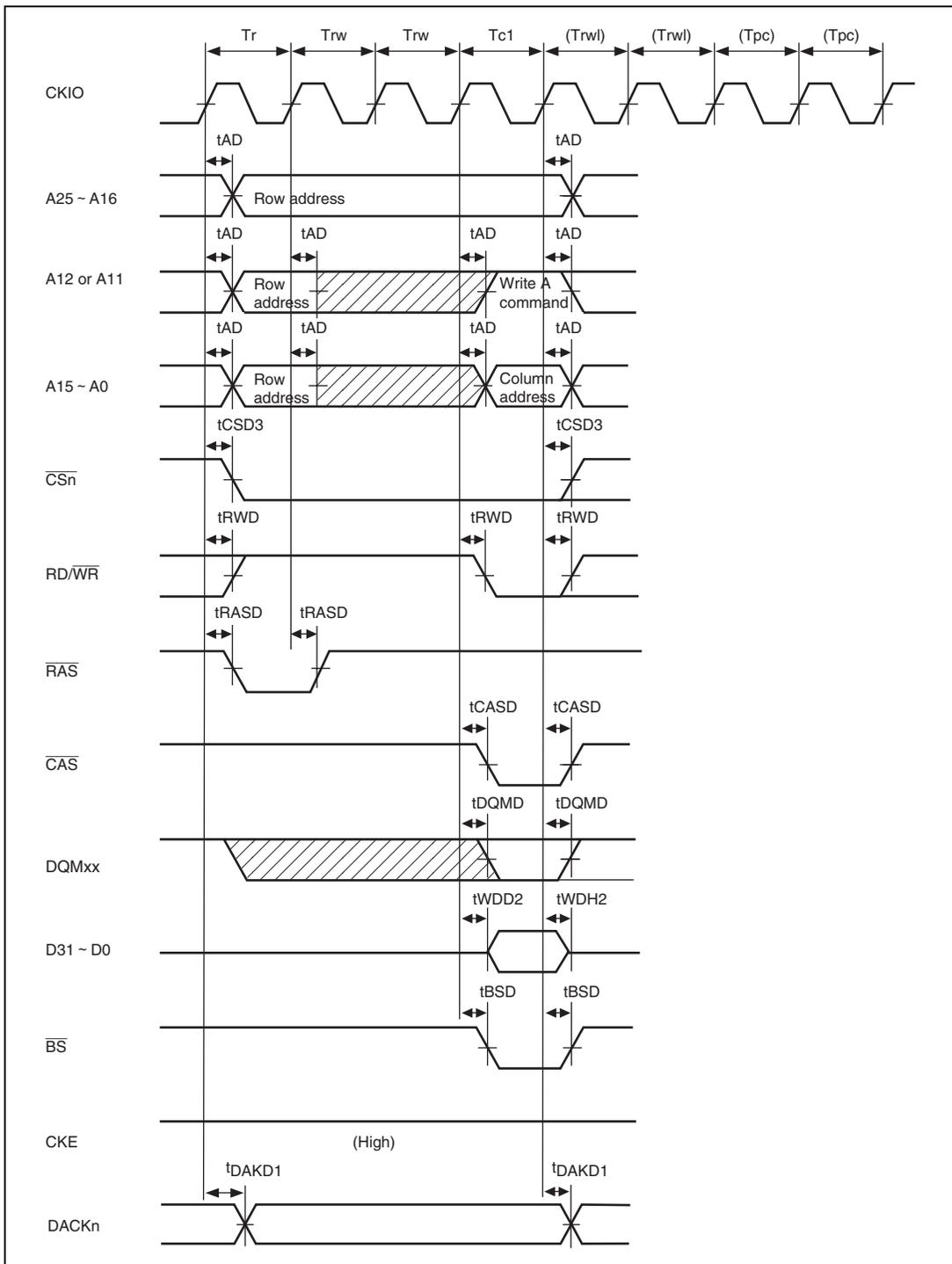


図 24.27 シンクロナス DRAM ライトバスサイクル (RCD=2、TPC=1、TRWL=1)

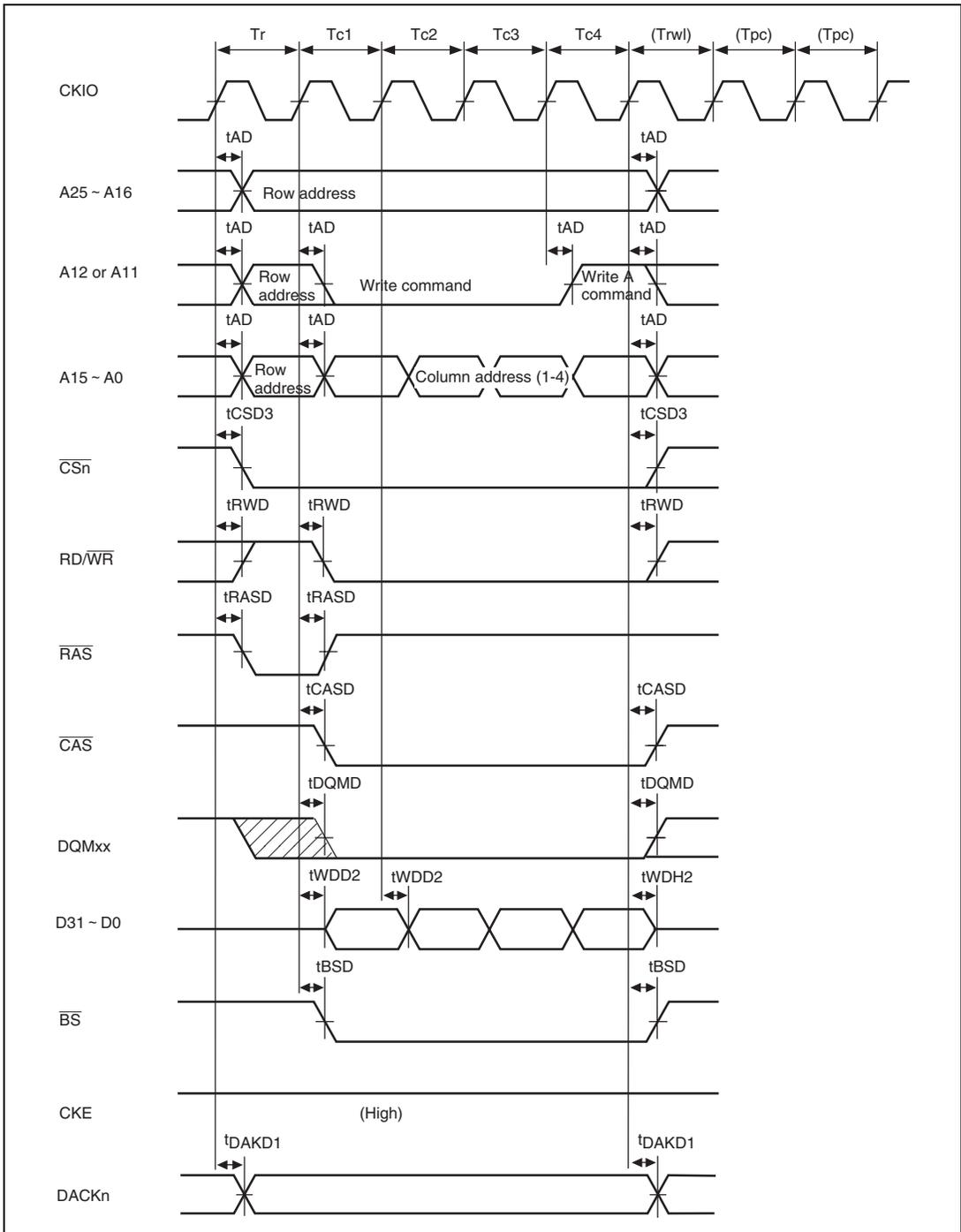


図 24.28 シンクロナス DRAM ライトバスサイクル
 (バーストライト(シングルライト×4)、RCD=0、TPC=1、TRWL=0)

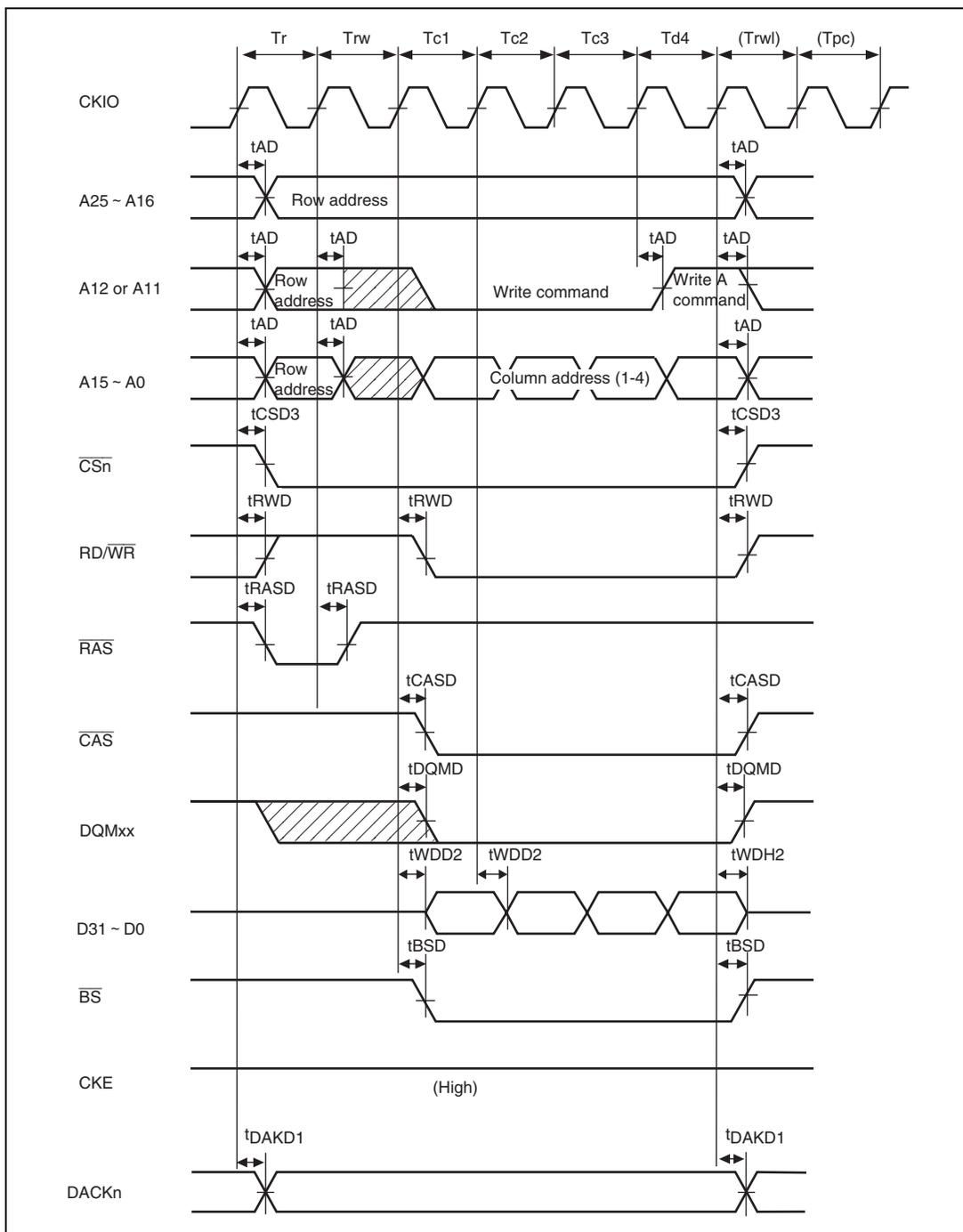


図 24.29 シンクロナス DRAM ライトバスサイクル
 (バーストライト(シングルライト×4)、RCD=1、TPC=0、TRWL=0)

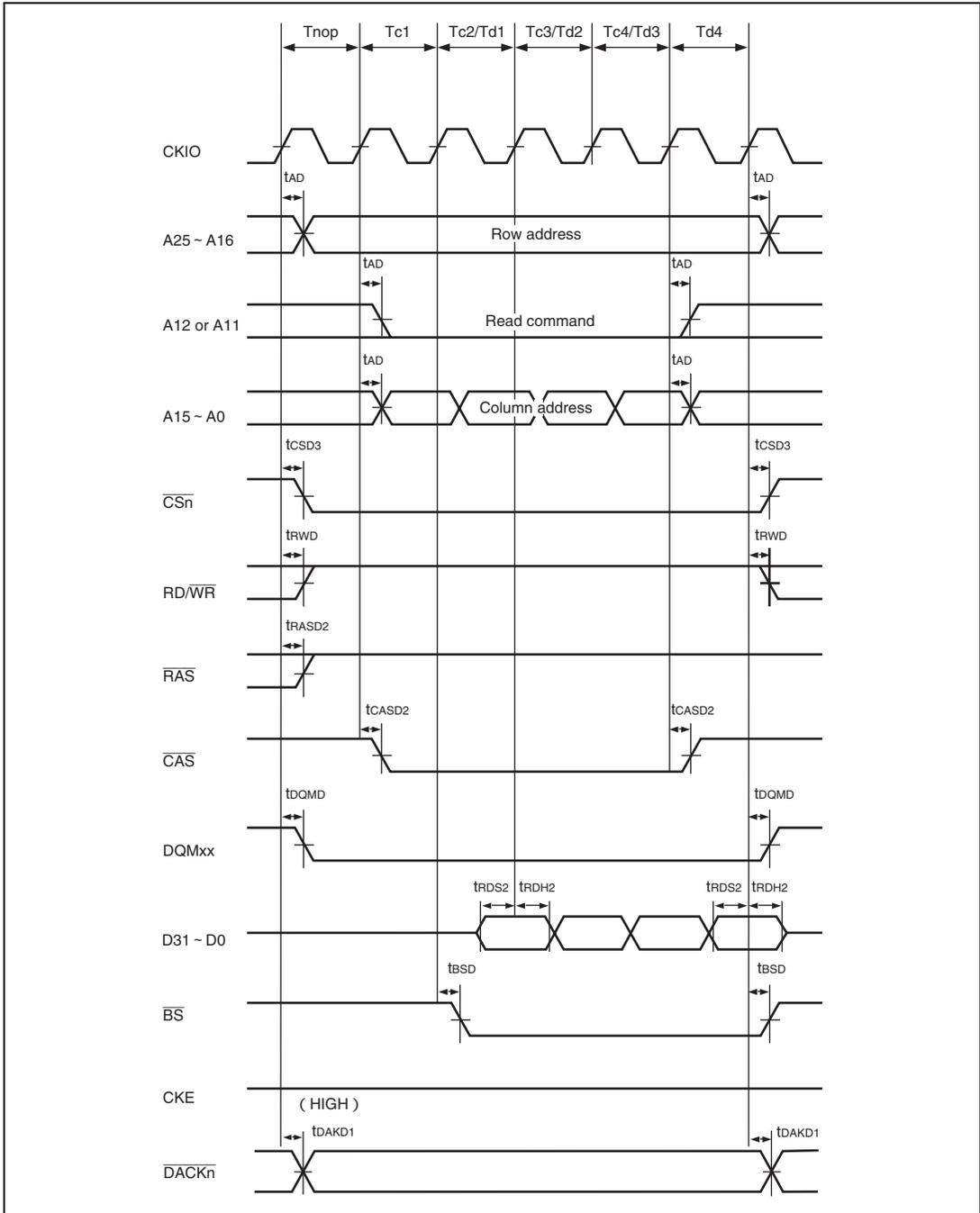


図 24.30 シンクロナス DRAM バーストリードバサイクル
 (RAS ダウン、同じロウアドレス、CAS レイテンシ=1)

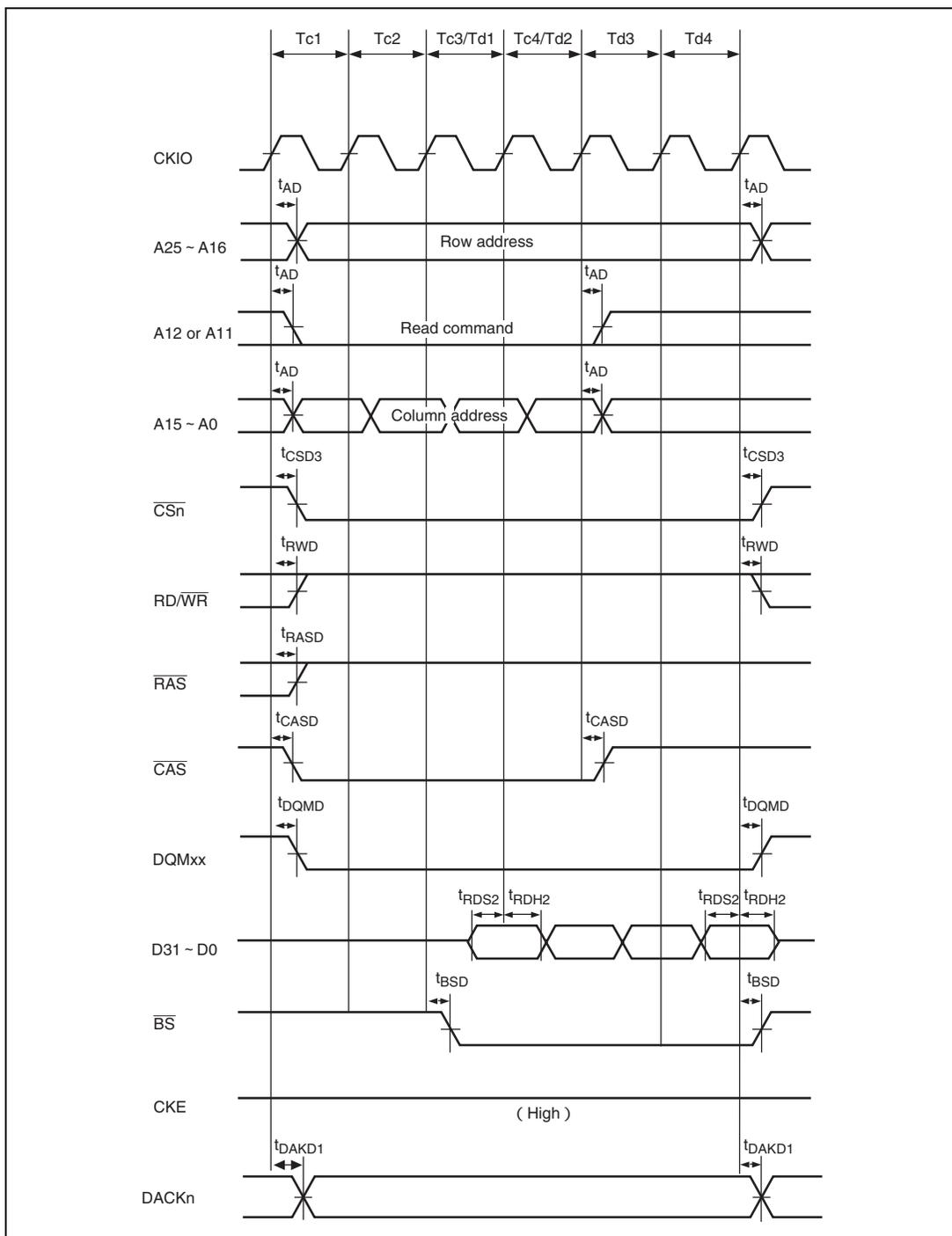


図 24.31 シンクロナス DRAM バーストリードバスサイクル
(RAS ダウン、同じロウアドレス、CAS レイテンシ=2)

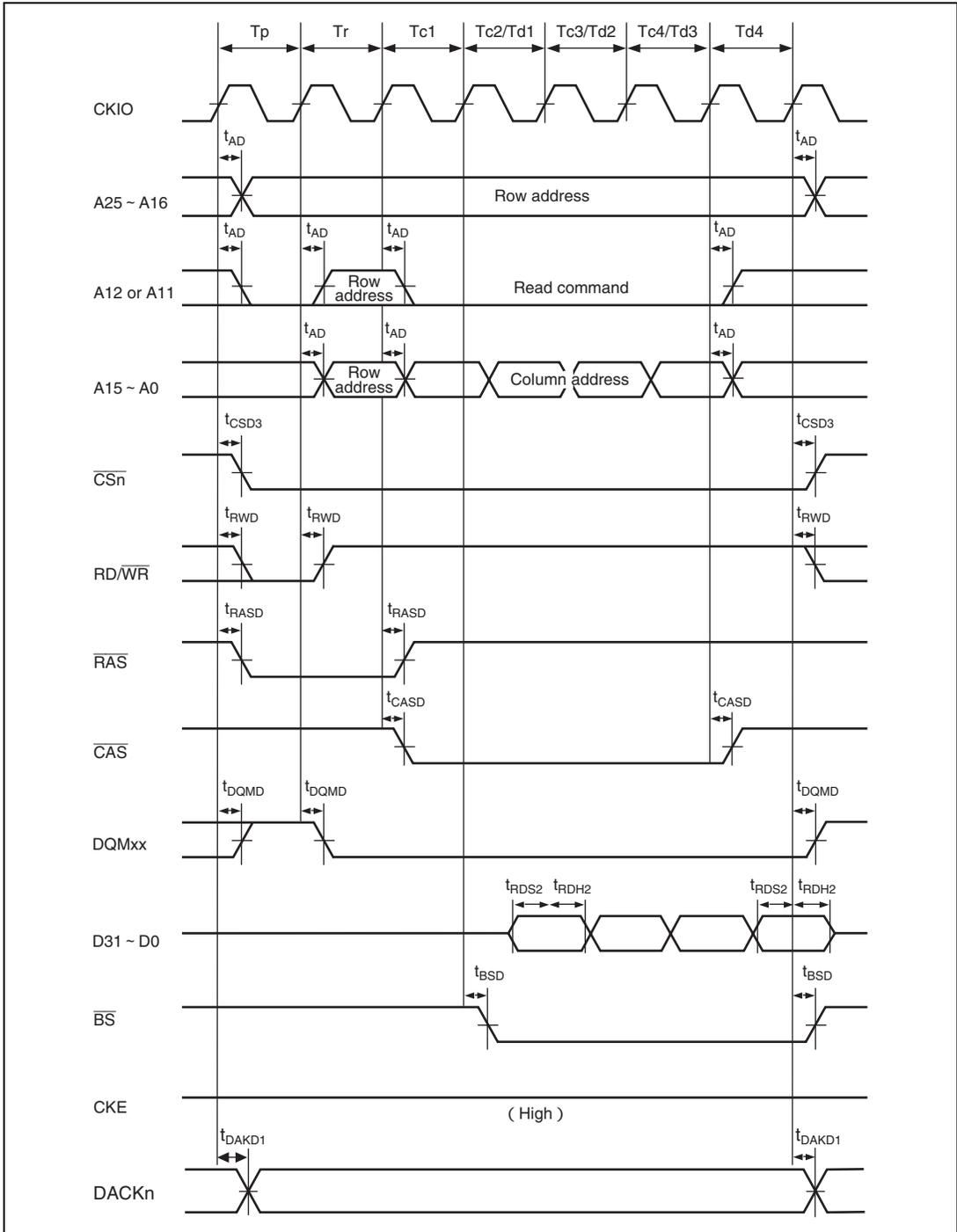


図 24.32 シンクロナス DRAM バーストリードバスサイクル
 (RAS ダウン、異なるロウアドレス、TPC=0、RCD=0、CAS レイテンシ=1)

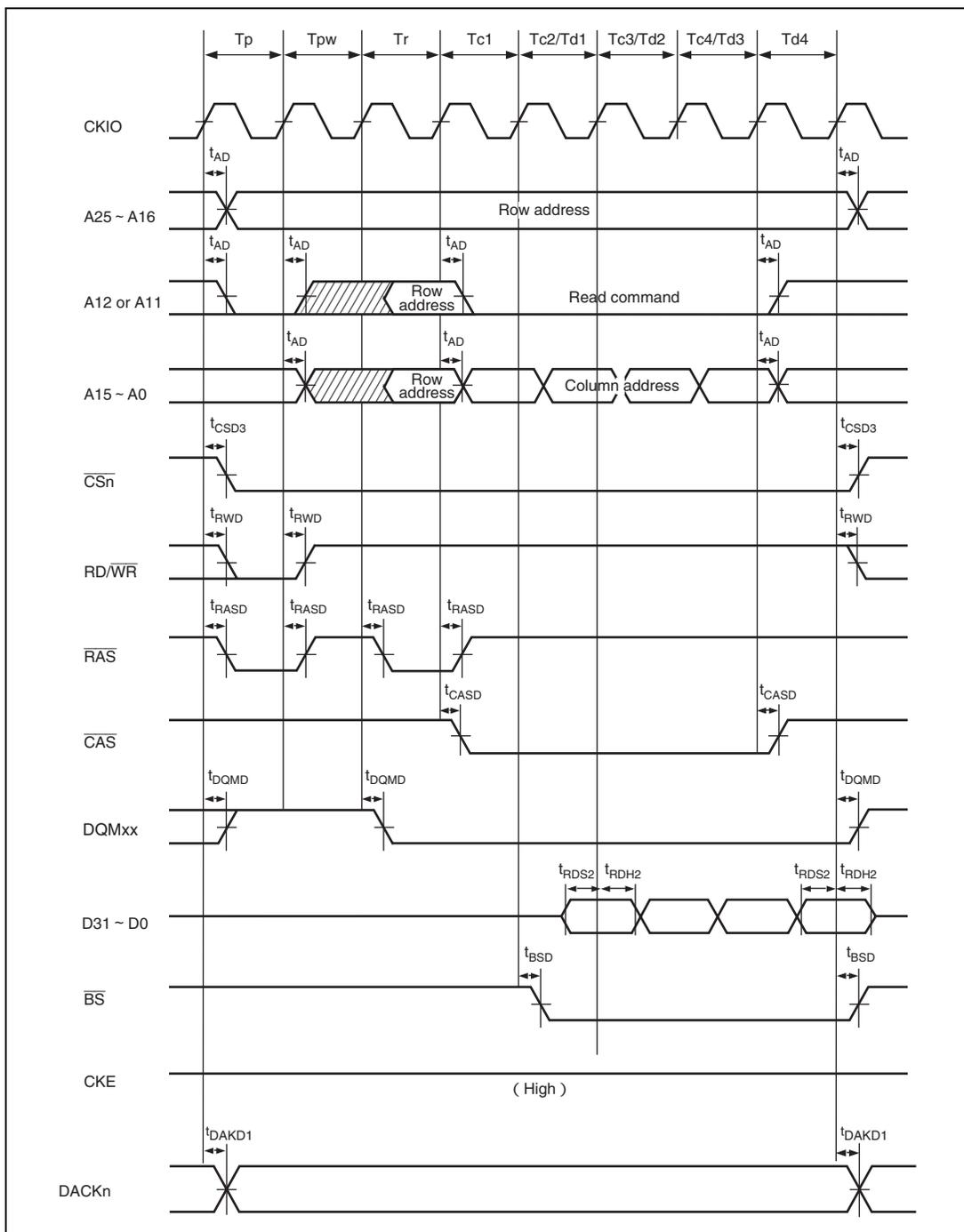


図 24.33 シンクロナス DRAM バーストリードバスサイクル
 (RAS ダウン、異なるロウアドレス、TPC=1、RCD=0、CAS レイテンシ=1)

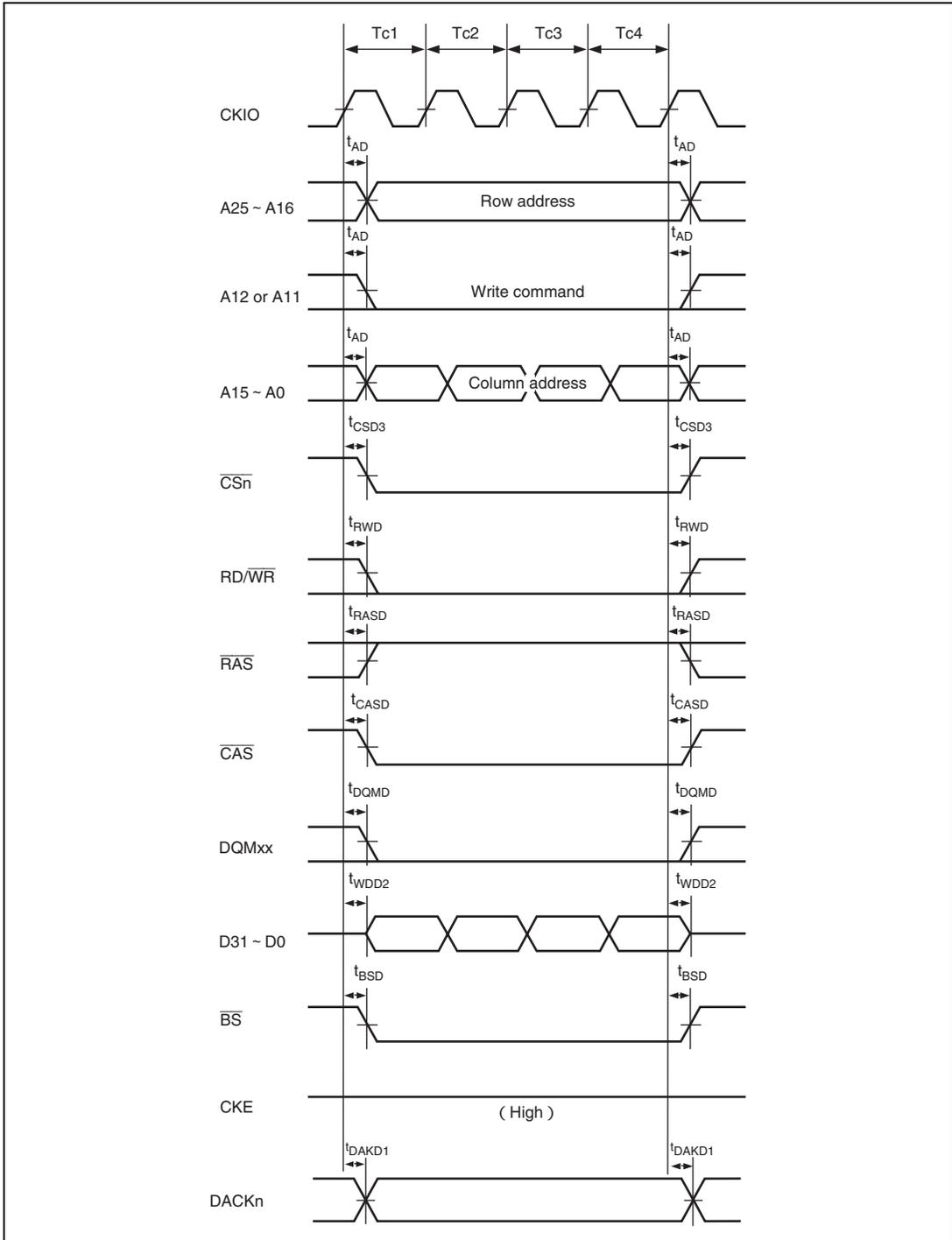


図 24.34 シンクロナス DRAM バーストライトバスサイクル (RAS ダウン、同じロウアドレス)

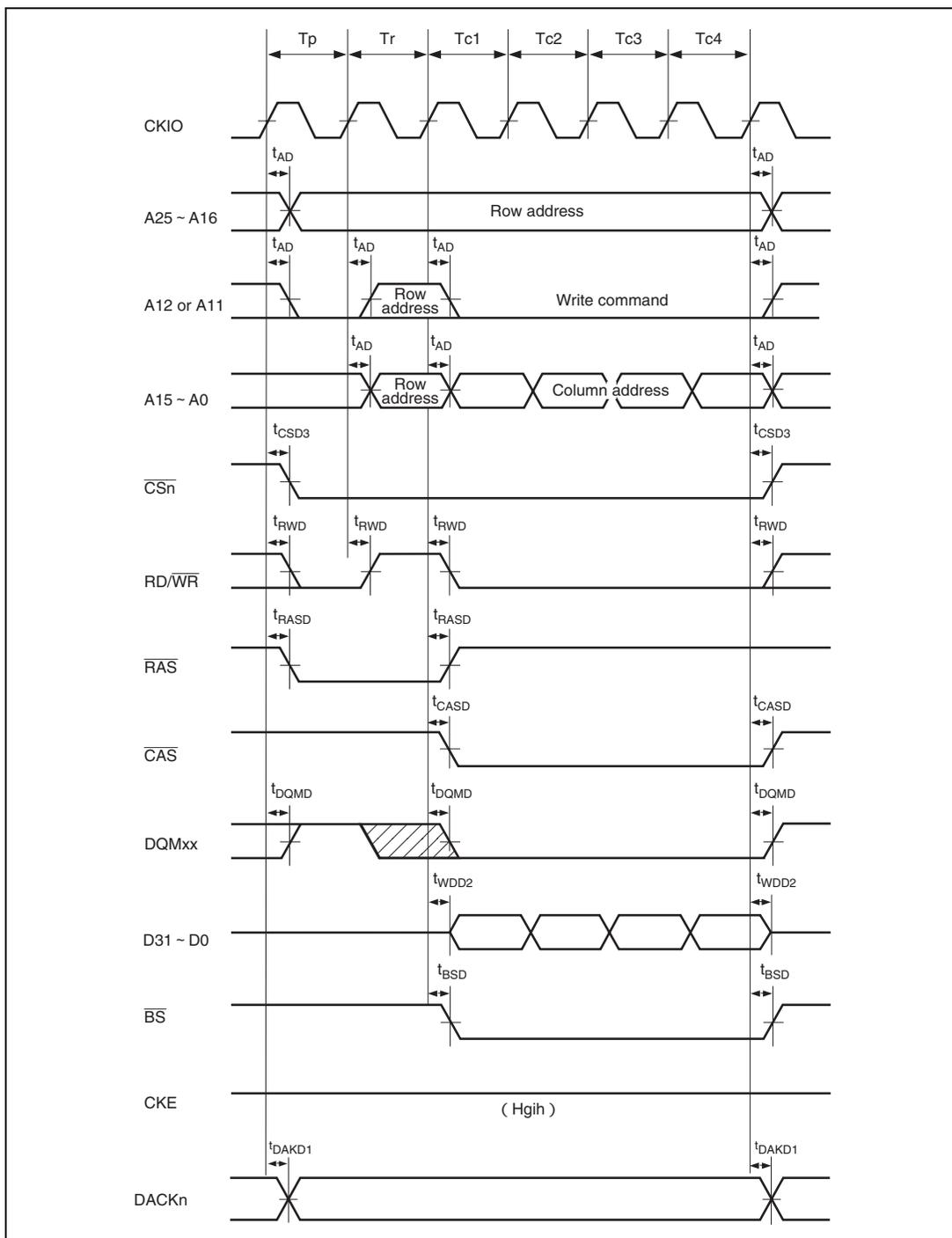


図 24.35 シンクロナス DRAM バーストライトバスサイクル
(RAS ダウン、異なるロウアドレス、TPC = 0、RCD = 0)

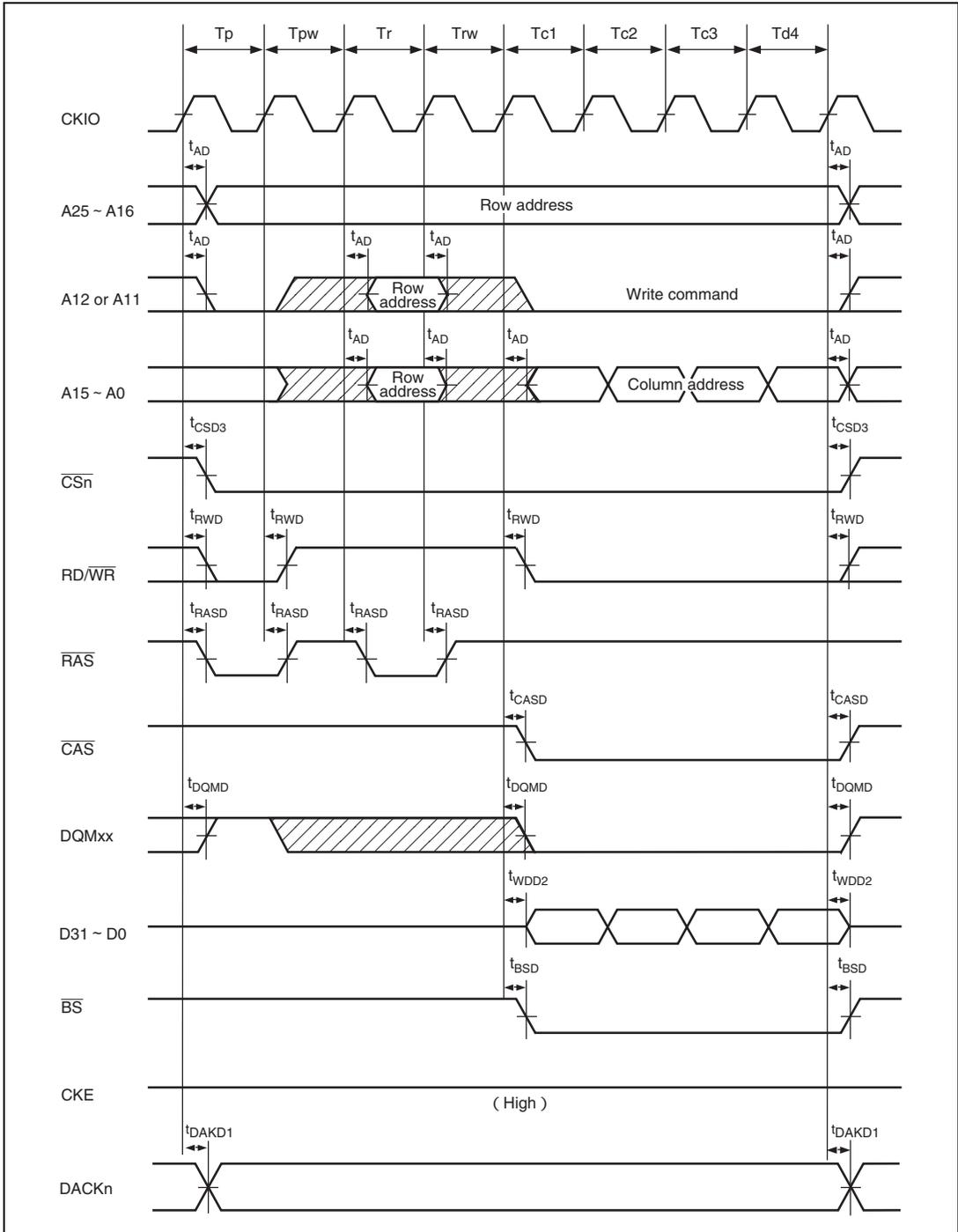


図 24.36 シンクロナス DRAM バーストライトバスサイクル
(RAS ダウン、異なるロウアドレス、TPC = 1、RCD = 1)

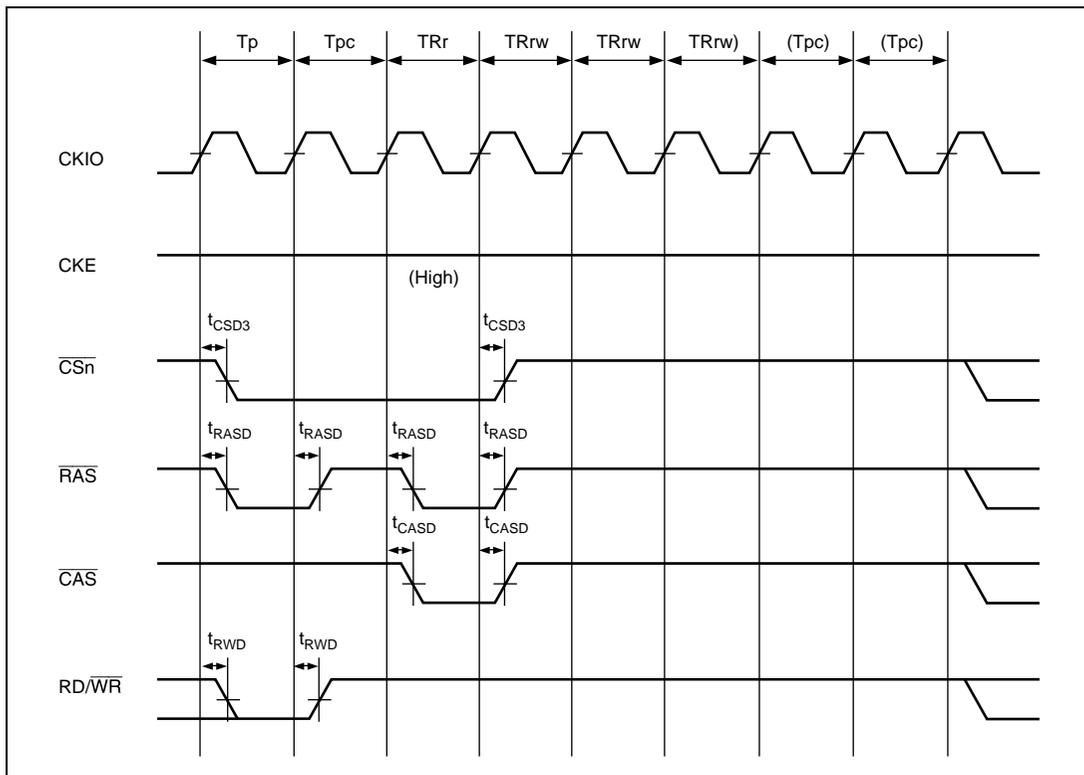


図 24.37 シンクロナス DRAM オートリフレッシュタイミング (TRAS = 1、TPC = 1)

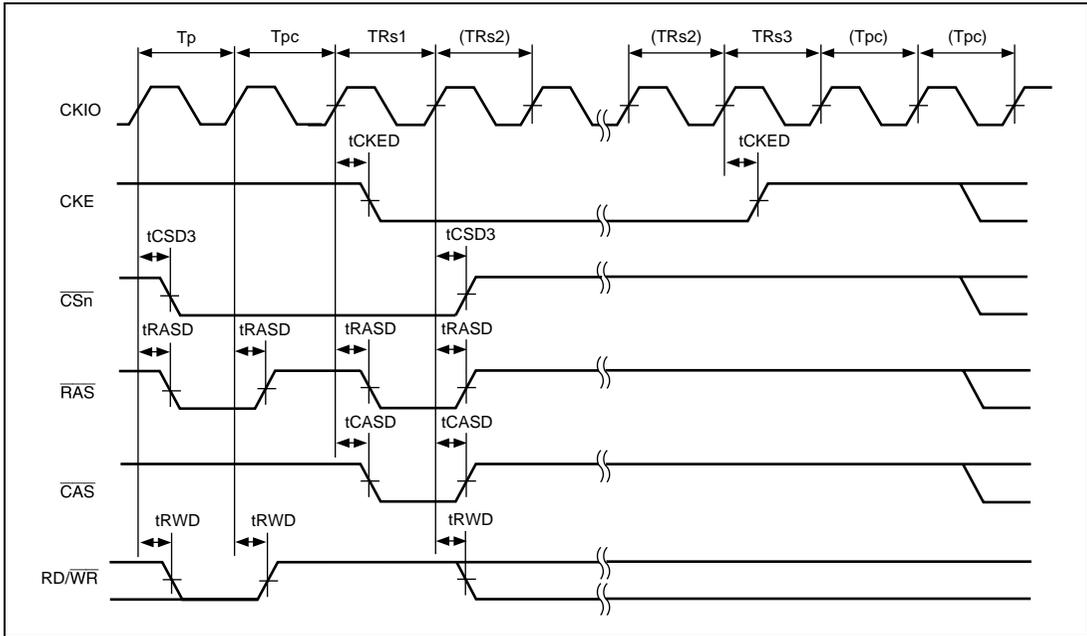


図 24.38 シンクロナス DRAM セルフリフレッシュサイクル (TPC=0)

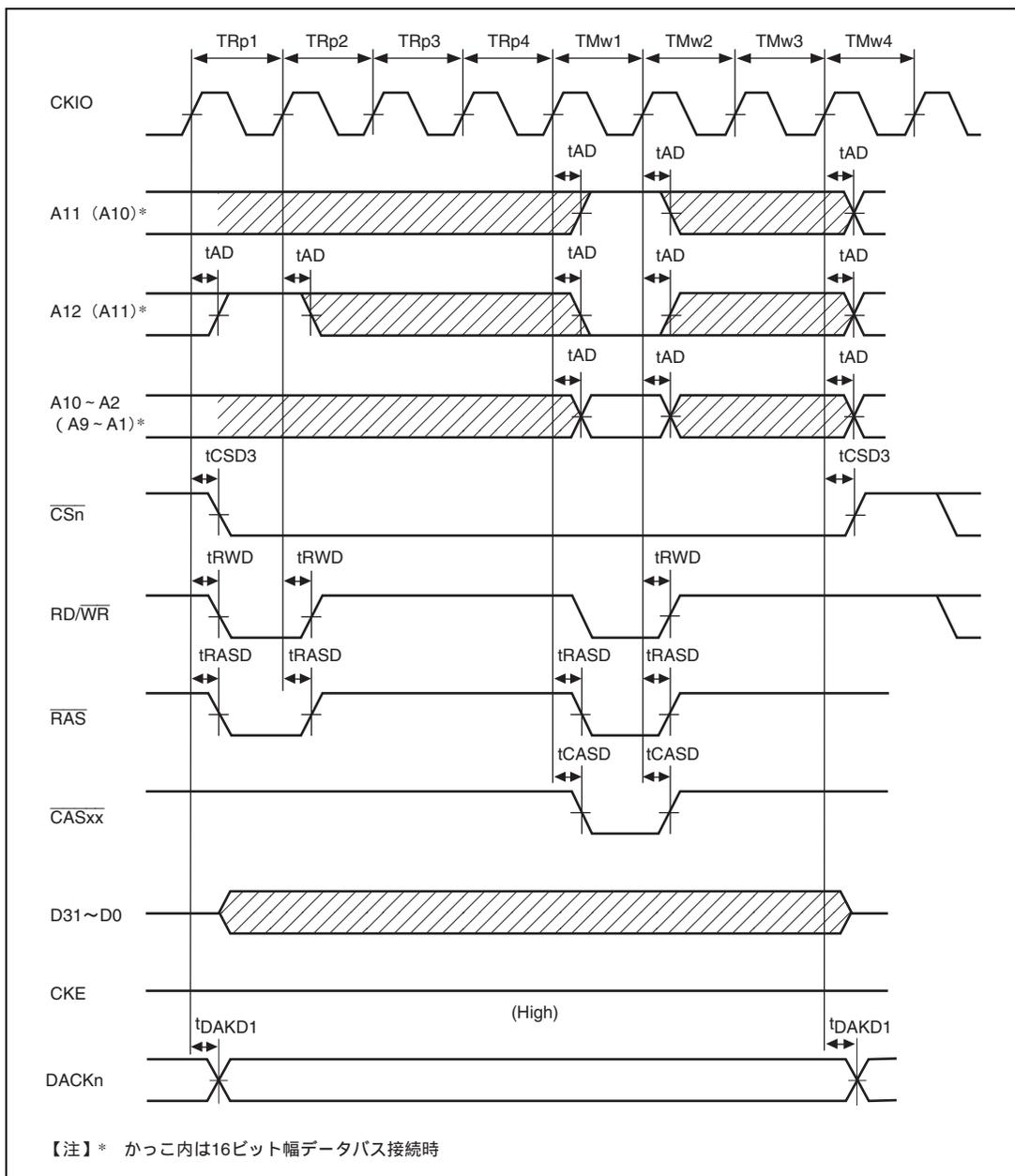


図 24.39 シンクロナス DRAM のモードレジスタへのライトサイクル

24.3.7 PCMCIA タイミング

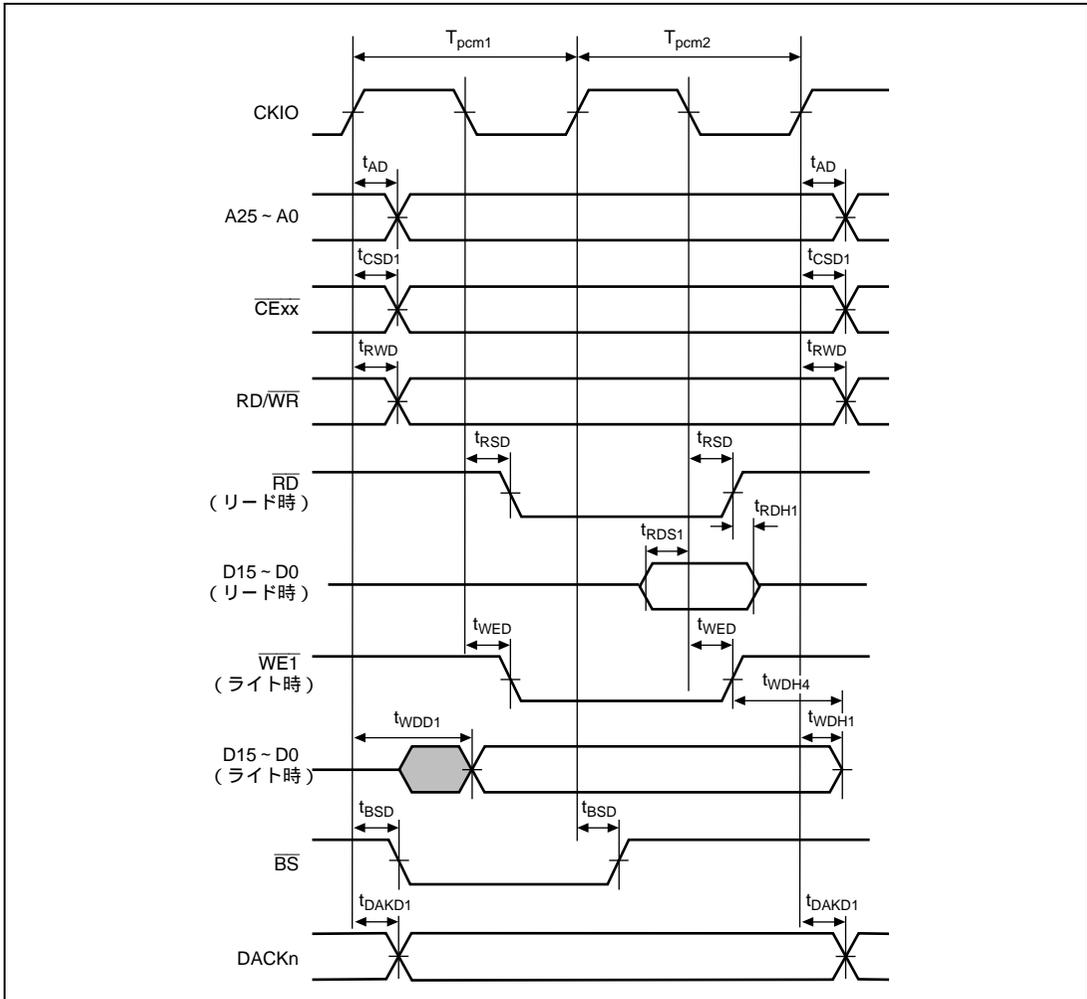


図 24.40 PCMCIA メモリバスサイクル (TED=0、TEH=0、ノーウェイト)

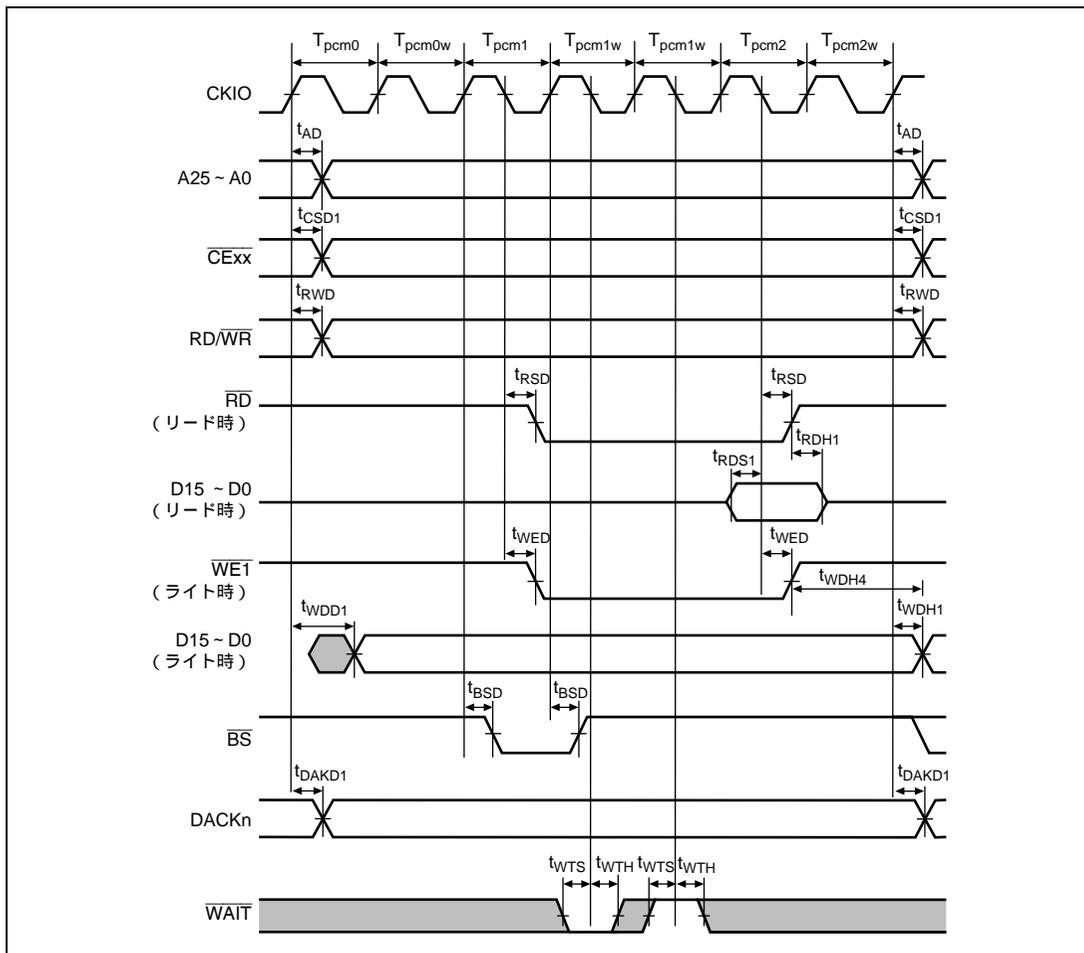


図 24.41 PCMCIA メモリバスサイクル (TED = 2、TEH = 1、1 ウェイト、外部ウェイト)

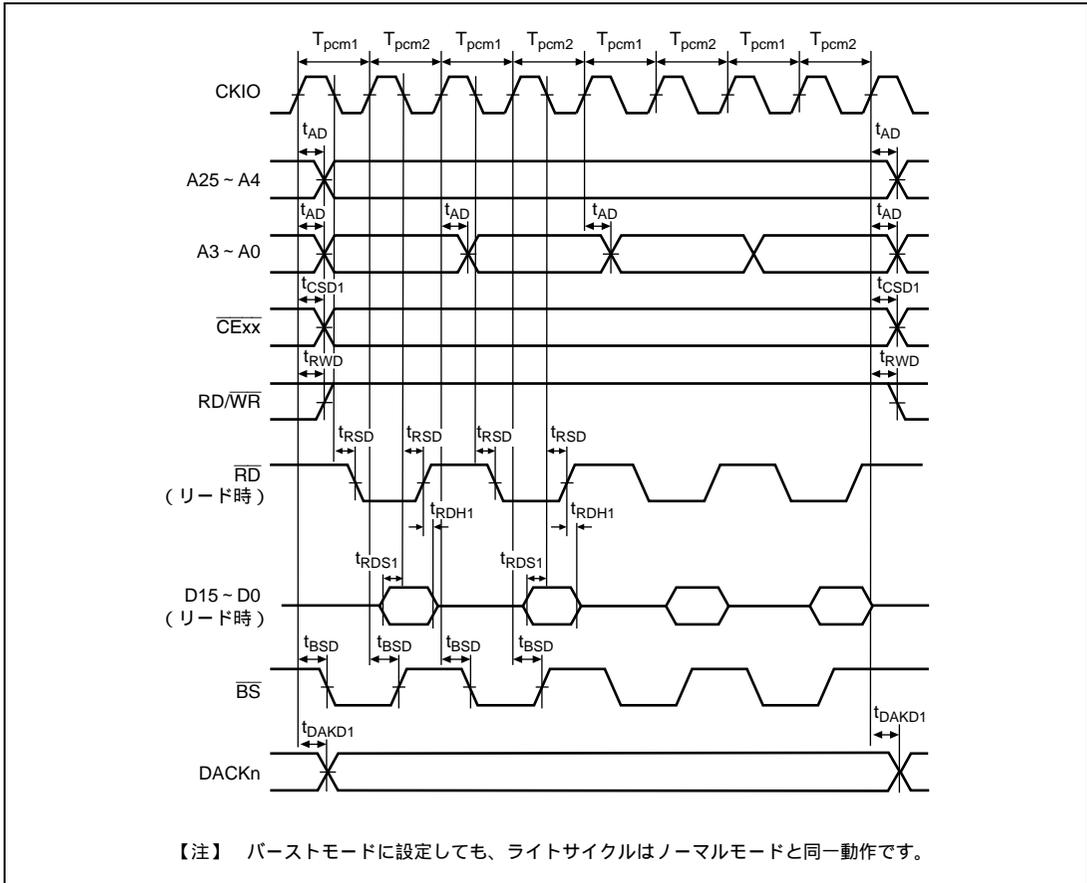


図 24.42 PCMCIA メモリバスサイクル (バーストリード、TED=0、TEH=0、ノーウェイト)

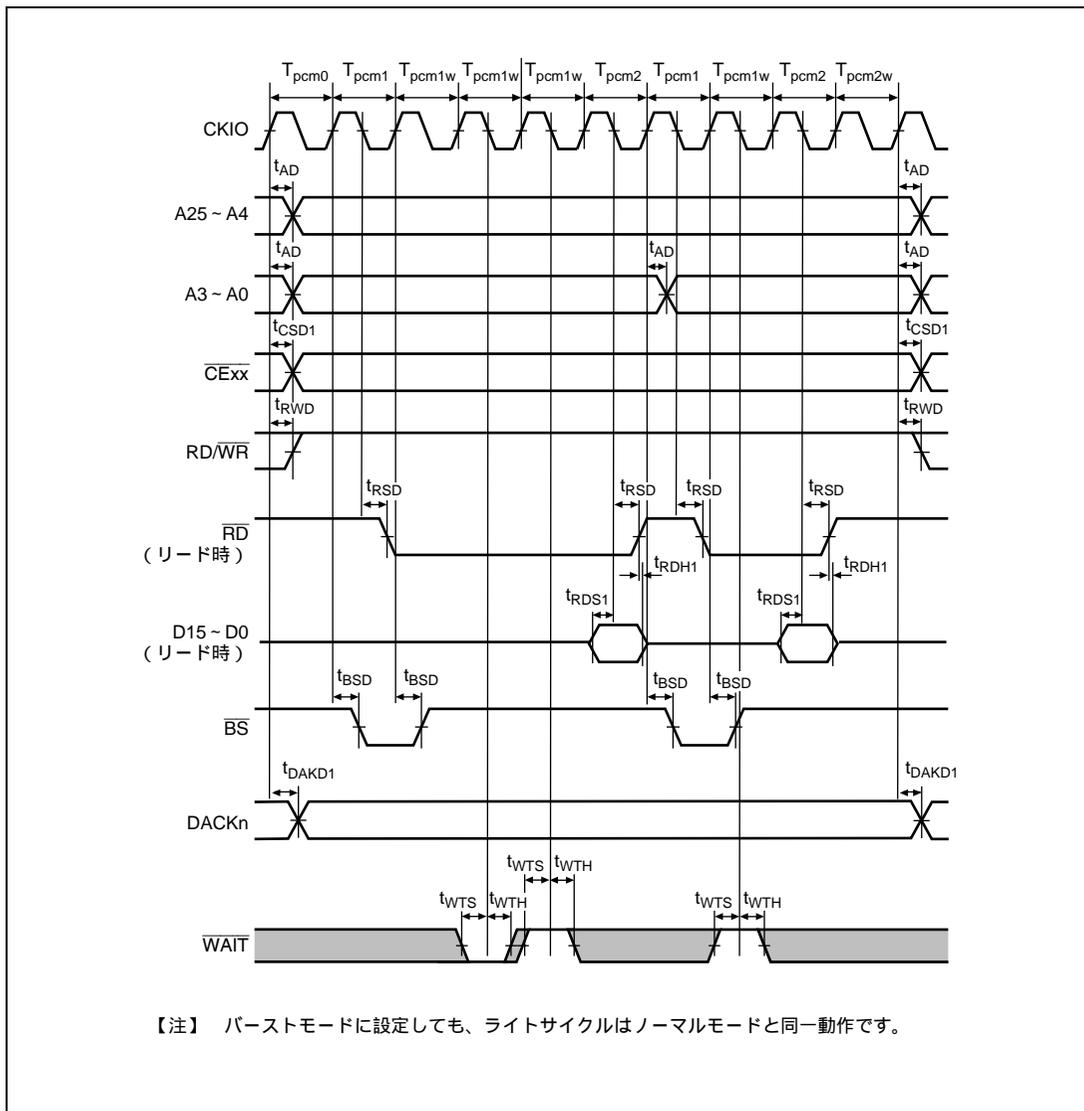


図 24.43 PCMCIA メモリバスサイクル
(バーストリード、TED=1、TEH=1、2 ウェイト、バーストピッチ=3)

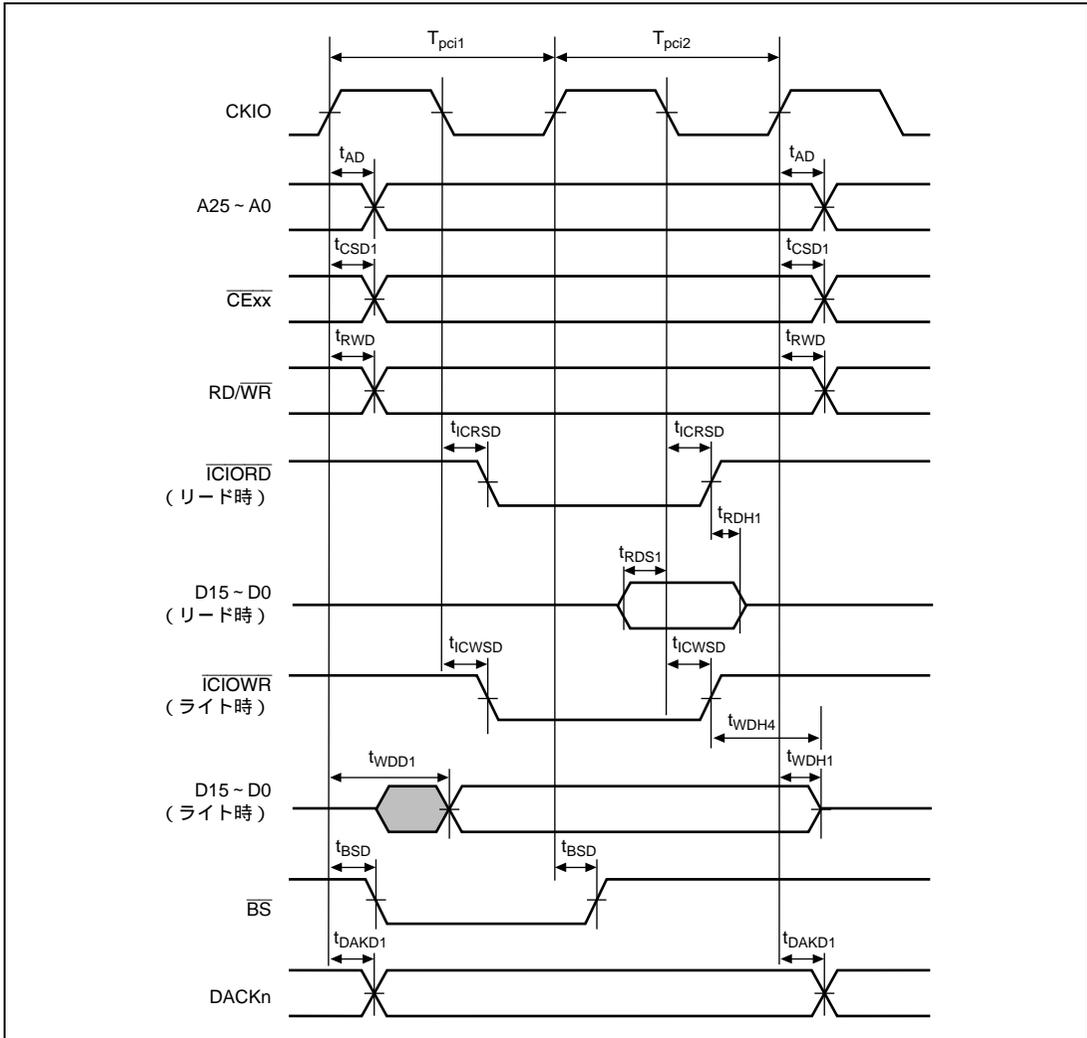


図 24.44 PCMCIA I/O バスサイクル (TED = 0、TEH = 0、ノーウェイト)

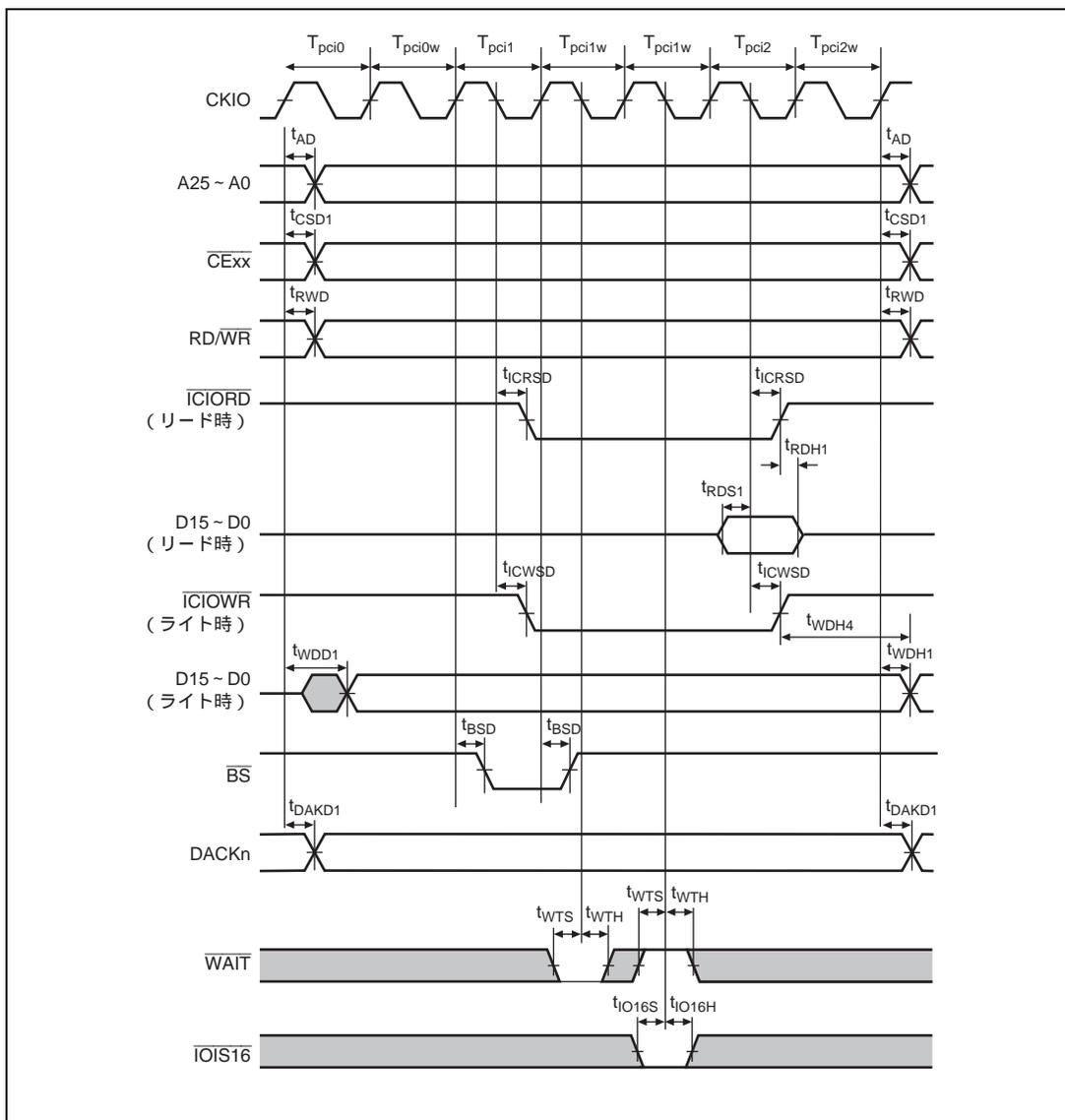


図 24.45 PCMCIA I/O バスサイクル (TED=2、TEH=1、1 ウェイト、外部ウェイト)

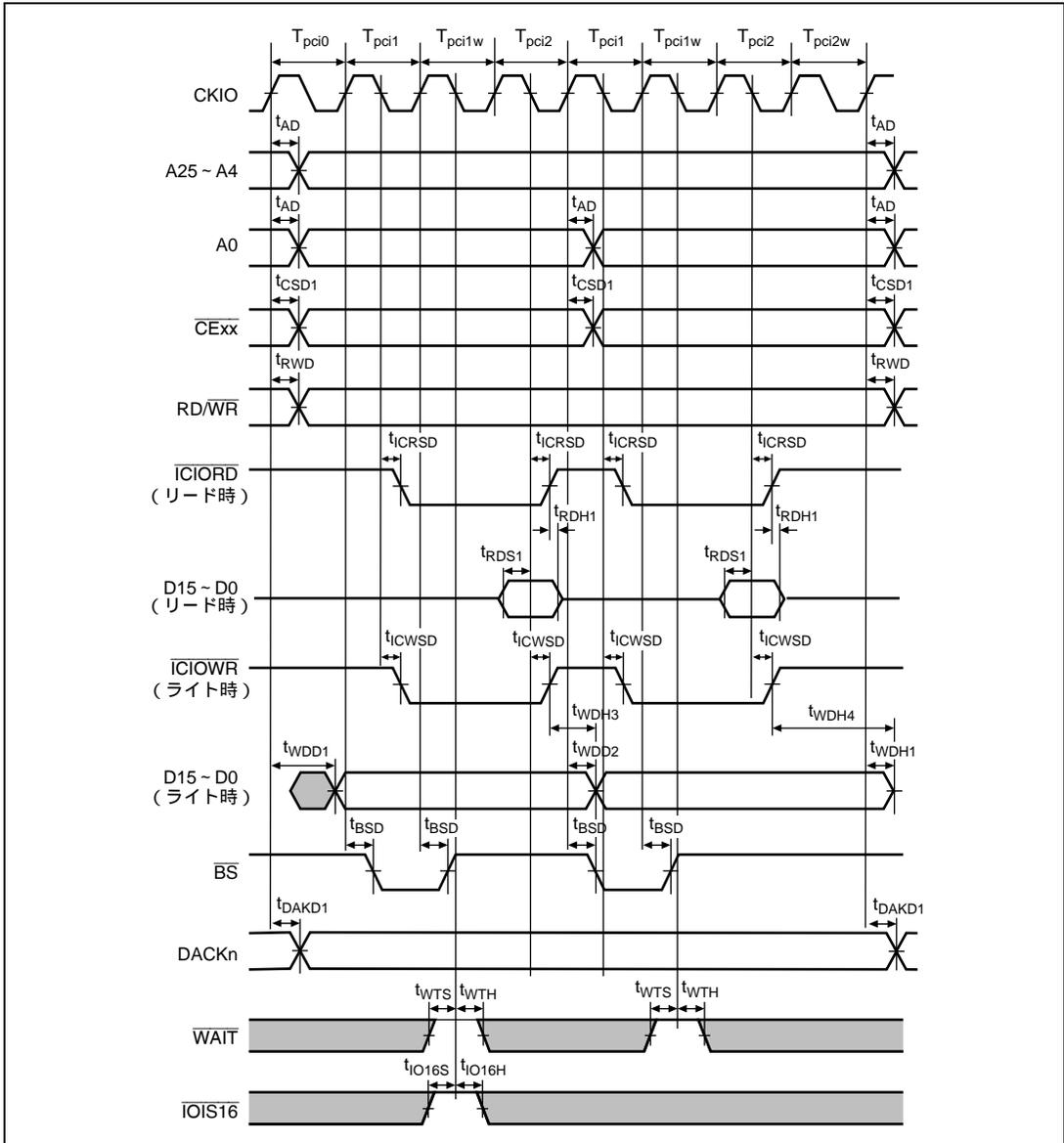


図 24.46 PCMCIA I/O バスサイクル (TED = 1、TEH = 1、1 ウェイト、バスサイジング)

24.3.8 周辺モジュール信号タイミング

表 24.8 周辺モジュール信号タイミング

モジュール	項目		記号	min	max	単位	参照図	
TMU、 RTC	タイマ入力セットアップ時間		t_{TCLKS}	15	-	ns	図 24.47	
	タイマクロック入力セットアップ時間		t_{TCKS}	15	-			
	タイマクロック パルス幅	エッジ指定	t_{TCKWH}	1.5	-	t_{cyc}		
		両エッジ指定	t_{TCKWL}	2.5	-			
	発振安定時間		t_{ROSC}	-	3	s	図 24.44	
SCI	入力クロック サイクル	調歩同期	t_{SCYC}	4	-	t_{cyc}	図 24.50	
		クロック同期		6	-		図 24.51	
	入力クロック立ち上がり時間		t_{SCKR}	-	1.5	tscyc	図 24.50	
	入力クロック立ち下がり時間		t_{SCKF}	-	1.5			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	ns	図 24.51	
	送信データ遅延時間		t_{TXD}	-	100			
	受信データセットアップ時間 (クロック同期)		t_{RXS}	100	-			
	受信データホールド時間 (クロック同期)		t_{RXH}	100	-			
	RTS 遅延時間		t_{RTSD}	-	100			
	CTS セットアップ時間 (クロック同期)		$t_{CTS S}$	100	-			
	CTS ホールド時間 (クロック同期)		t_{CTSH}	100	-			
ポート		t_{PORTD}	-	17	ns			図 24.52
出力データ遅延時間		t_{PORTD}	-	17				
入力データセットアップ時間 1		t_{PORTS1}	15	-				
入力データホールド時間 1		t_{PORTH1}	8	-				
入力データセットアップ時間 2		t_{PORTS2}	$t_{cyc}+15$	-				
入力データホールド時間 2		t_{PORTH2}	8	-				
入力データセットアップ時間 3		t_{PORTS3}	$3 \times t_{cyc} + 15$	-				
入力データホールド時間 3		t_{PORTH3}	8	-				
DMAC	DREQ セットアップ時間		t_{DREQ}	6	-	ns	図 24.53	
	DREQ ホールド時間		t_{DREQH}	4	-			
	DRAK 遅延時間		t_{DRAKD}	-	10	ns	図 24.54	

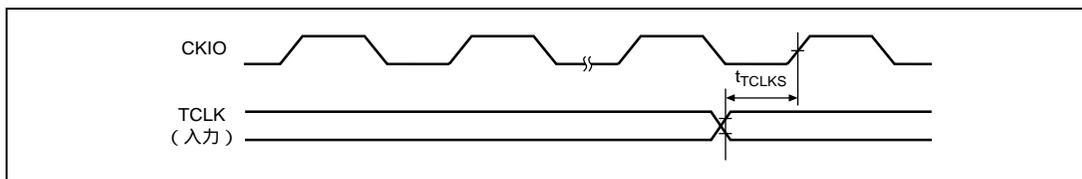


図 24.47 TCLK 入力タイミング

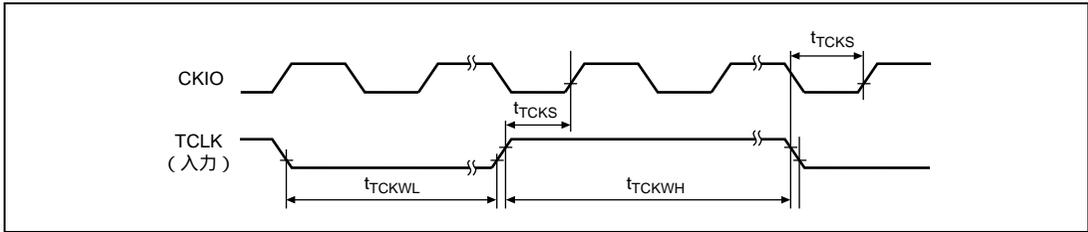


図 24.48 TCLK クロック入力タイミング

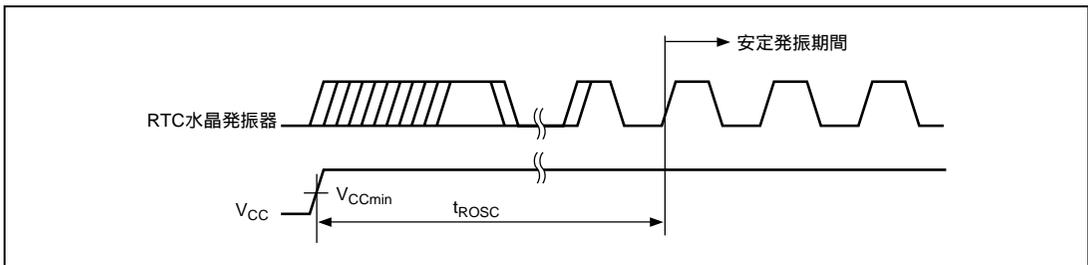


図 24.49 RTC 用水晶発振器パワーオン時発振安定時間

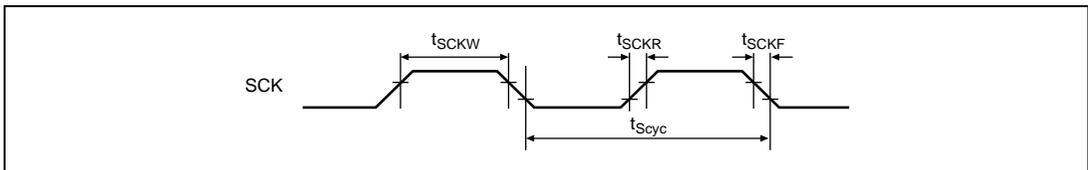


図 24.50 SCK 入力クロックタイミング

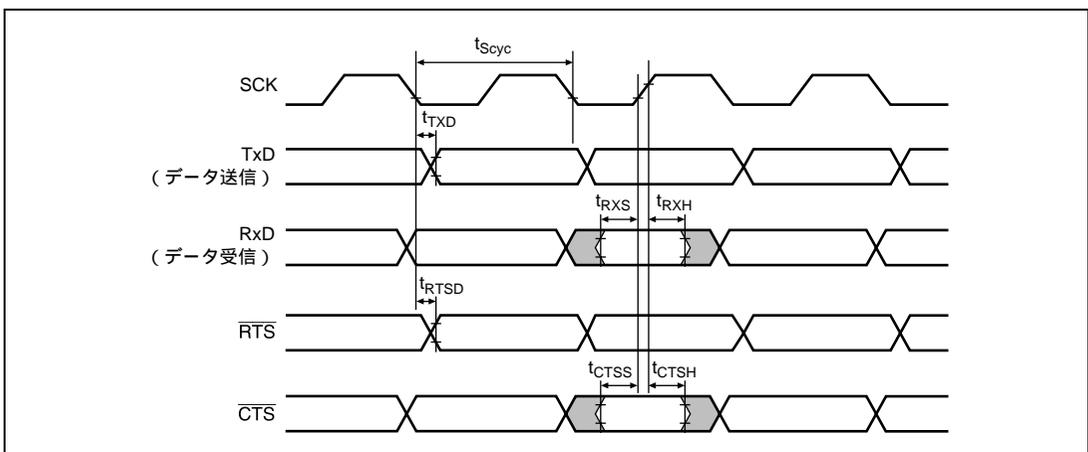


図 24.51 クロック同期式モード時の SCI 入出力タイミング

24. 電気的特性

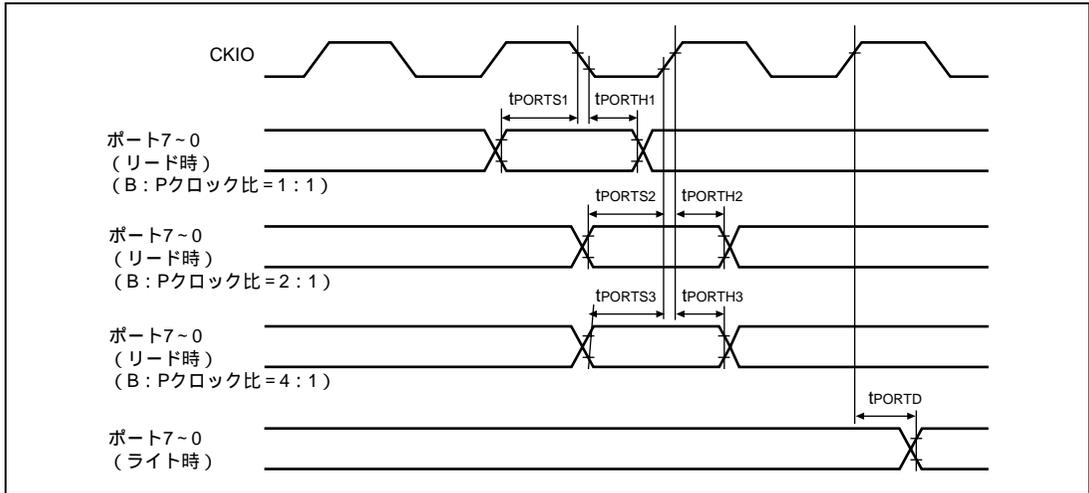


図 24.52 I/O ポートタイミング

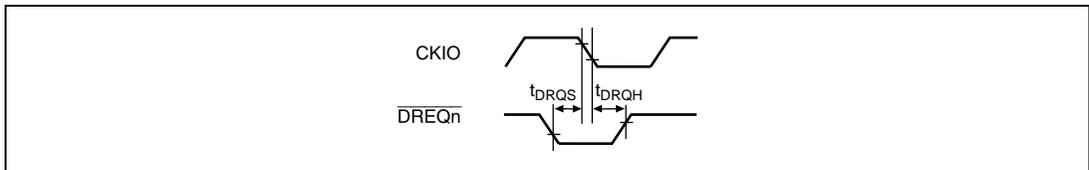


図 24.53 \overline{DREQn} 入力タイミング

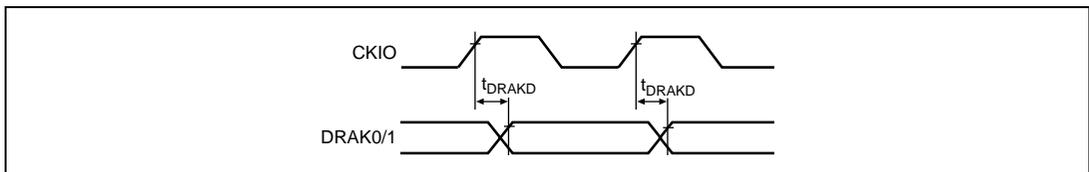


図 24.54 DRAK 出力タイミング

24.3.9 H-UDI、AUD 関連端子のタイミング

表 24.9 H-UDI、AUD 関連端子のタイミング

項目	記号	min	max	単位	参照図
TCK サイクル時間	t_{TCKcyc}	50		ns	図 24.55
TCK ハイレベルパルス幅	t_{TCKH}	12		ns	
TCK ローレベルパルス幅	t_{TCKL}	12		ns	
TCK 立ち上がり / 立ち下がり時間	t_{TCKf}		4	ns	
TRST セットアップ時間	t_{TRSTS}	12		ns	図 24.56
TRST ホールド時間	t_{TRSTH}	50		t_{cyc}	
TDI セットアップ時間	t_{TDIS}	10		ns	図 24.57
TDI ホールド時間	t_{TDIH}	10		ns	
TMS セットアップ時間	t_{TMSS}	10		ns	
TMS ホールド時間	t_{TMSH}	10		ns	
TDO 遅延時間	t_{TDOD}		16	ns	
ASEMD0 セットアップ時間	t_{ASEMDH}	12		ns	図 24.58
ASEMD0 ホールド時間	t_{ASEMDS}	12		ns	
AUDCK サイクル時間	t_{AUDCYC}		66	ns	図 24.59
AUDATA 遅延時間	t_{AUDD}		12	ns	
AUDSYNC 遅延時間	t_{AUSYD}		12	ns	

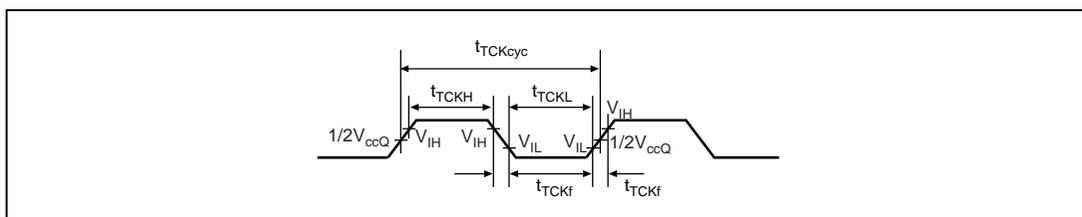


図 24.55 TCK 入力タイミング

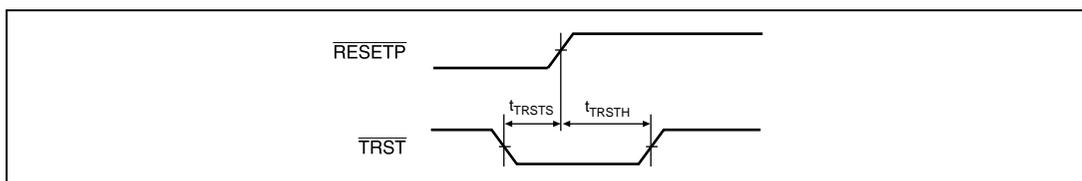


図 24.56 TRST 入力タイミング (リセットホールド時)

24. 電気的特性

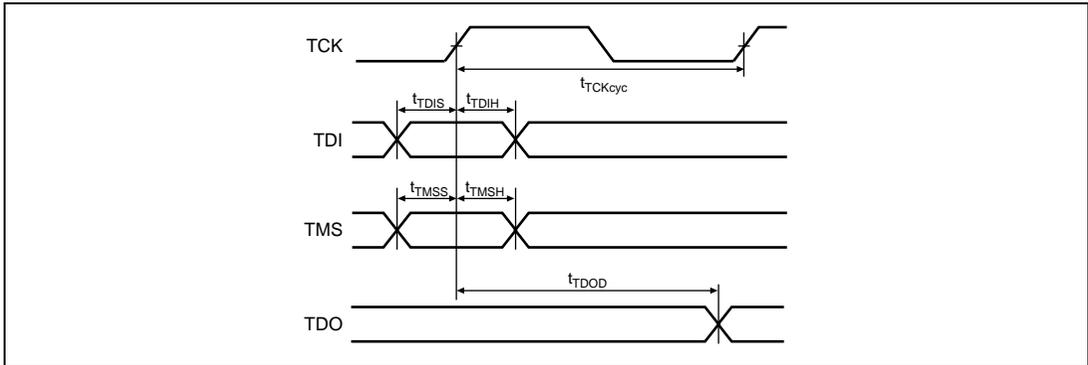


図 24.57 H-UDI データ転送タイミング

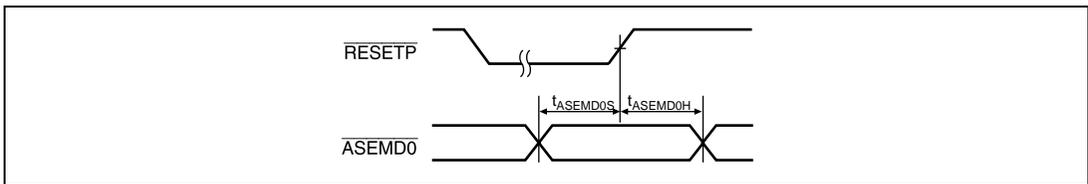


図 24.58 ASEMD0 入カタイミング

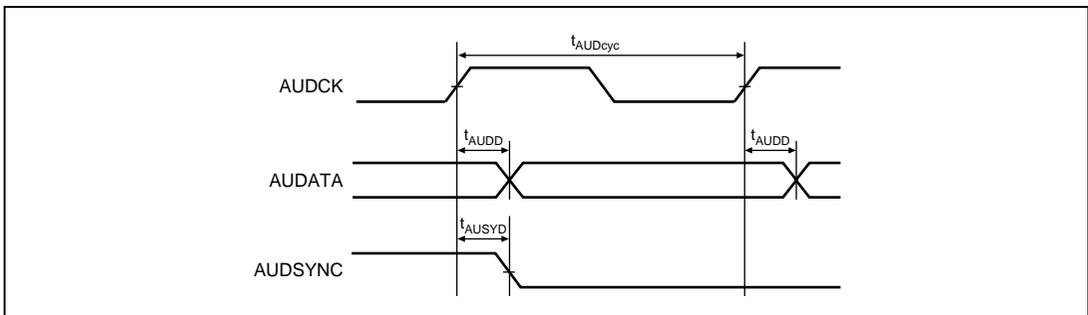


図 24.59 AUD タイミング

24.3.10 A/D 変換器タイミング

表 24.10 に A/D 変換器のタイミングを示します。

表 24.10 A/D 変換器タイミング

項目	記号	min	typ	max	単位	参照図
外部トリガ入力パルス幅	t_{TRGW}	2			t_{cyc}	図 24.60
外部トリガ入力開始遅延時間	t_{TRGS}	50			ns	
入力サンプリング時間 (CKS = 0)	t_{SPL}		129		t_{cyc}	図 24.61
入力サンプリング時間 (CKS = 1)			65			
A/D 変換開始遅延時間 (CKS = 0)	t_D	17		28	t_{cyc}	
A/D 変換開始遅延時間 (CKS = 1)		10		17		
A/D 変換時間 (CKS = 0)	t_{CONV}	514		525	t_{cyc}	
A/D 変換時間 (CKS = 1)		259		266		

(t_{cyc} : p の周期)

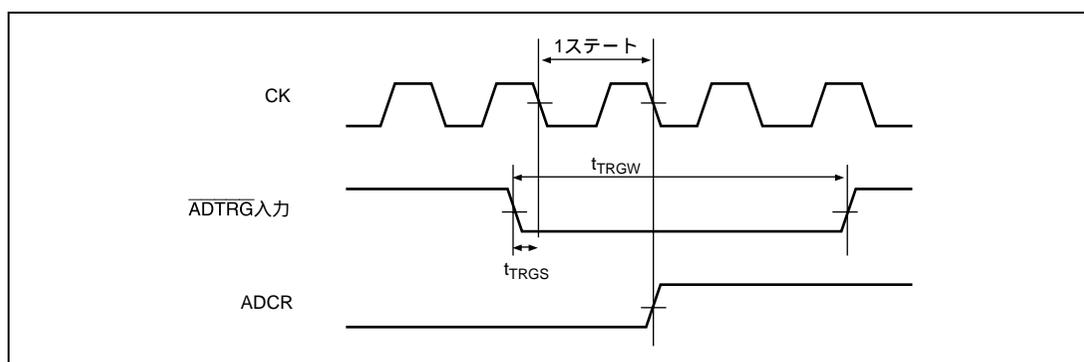


図 24.60 外部トリガ入力タイミング

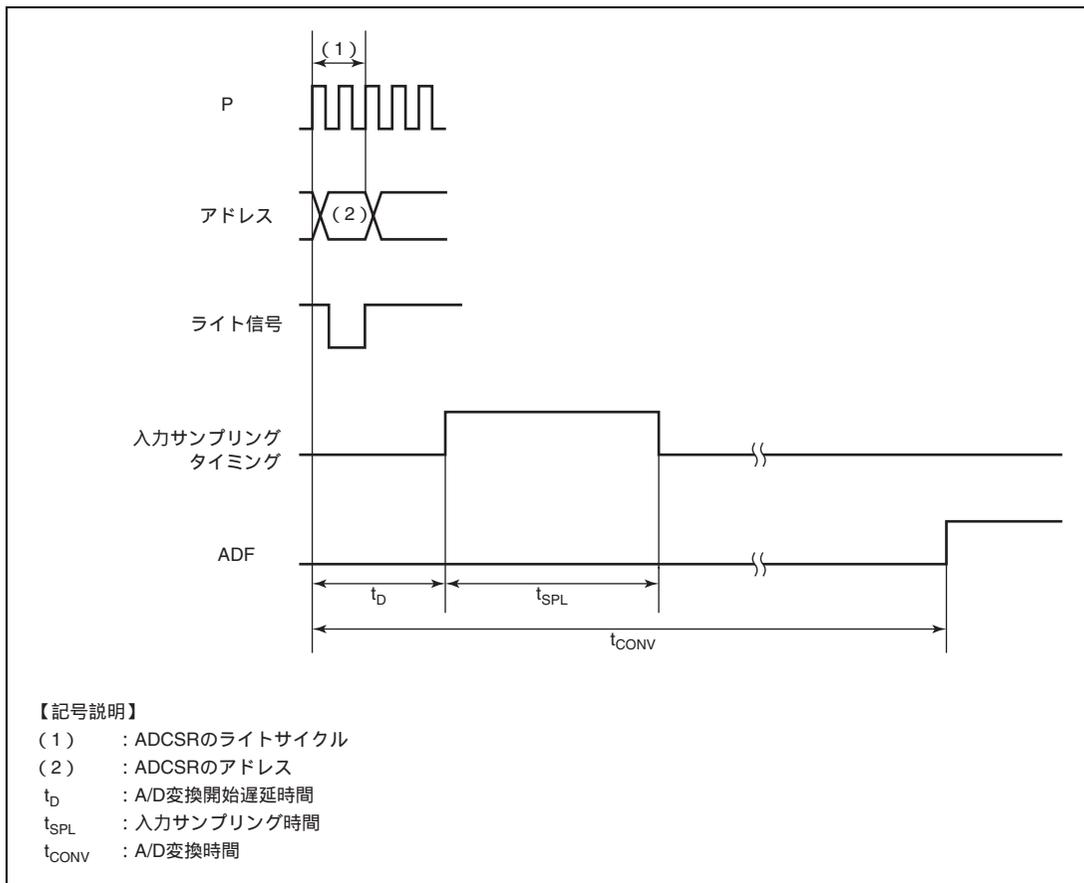


図 24.61 A/D 変換タイミング

24.3.11 AC 特性測定条件

- 入出力信号参照レベル : $V_{cc}Q/2$ ($V_{cc}Q = 3.3 \pm 0.3V$ 、 $V_{cc} = 1.9 \pm 0.15V$)
- 入力パルスレベル : $V_{ss}Q \sim 3.0V$ (ただし、 \overline{RESETP} 、 \overline{RESETM} 、 $\overline{ASEMD0}$ 、 \overline{ADTRG} 、 \overline{TRST} 、 CA 、 NMI 、 $\overline{IRQ5} \sim \overline{IRQ0}$ 、 $CKIO$ 、および $MD5 \sim MD0$ は $V_{ss}Q \sim V_{cc}Q$)
- 入力立ち上がり、立ち下がり時間 : 1ns

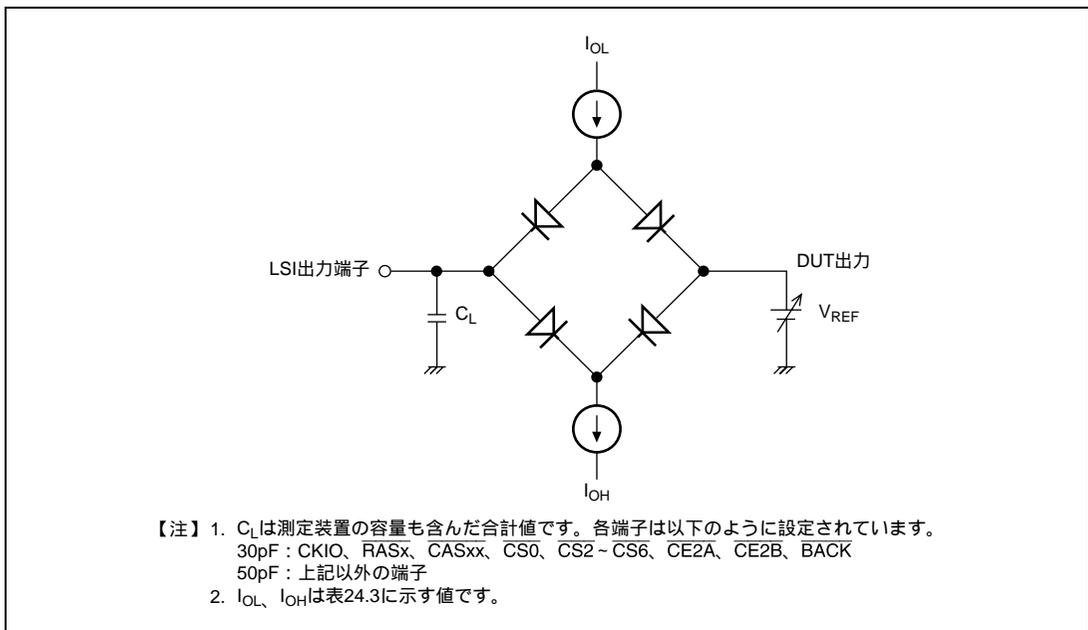


図 24.62 出力負荷回路

24.3.12 負荷容量による遅延時間の変化

下記に本 LSI の各端子に規定以上 (30pF) の負荷容量を接続した場合の遅延時間の変化のグラフ (参考データ) を示します。規定容量を超えて外部デバイスを接続される場合は、図 24.63 のグラフを参考に設計してください。

なお、接続される負荷容量が図 24.63 の範囲を超える場合はグラフは直線になりません。

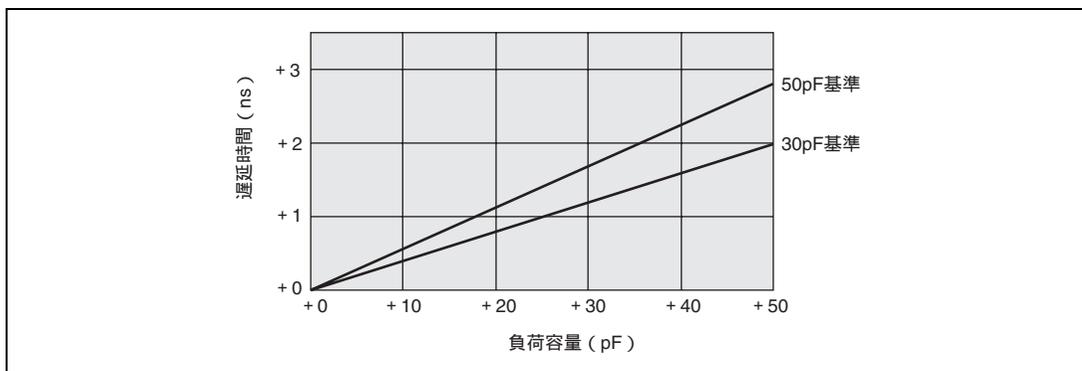


図 24.63 負荷容量 - 遅延時間

24.4 A/D 変換器特性

A/D 変換器特性を表 24.11 に示します。

表 24.11 A/D 変換器特性

条件 : $V_{ccQ} = 3.3 \pm 0.3V$ 、 $V_{cc} = 1.9 \pm 0.15V$ 、 $AV_{cc} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$

項目	min	typ	max	単位
分解能	10	10	10	bits
変換時間	15	-	-	μs
アナログ入力容量	-	-	20	pF
許容信号源 (単一ソース) インピーダンス	-	-	5	k
非線形誤差	-	-	± 3.0	LSB
オフセット誤差	-	-	± 2.0	LSB
フルスケール誤差	-	-	± 2.0	LSB
量子化誤差	-	-	± 0.5	LSB
絶対精度	-	-	± 4.0	LSB

24.5 D/A 変換器特性

D/A 変換器特性を表 24.13 に示します。

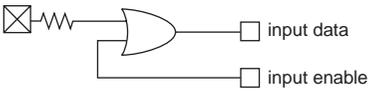
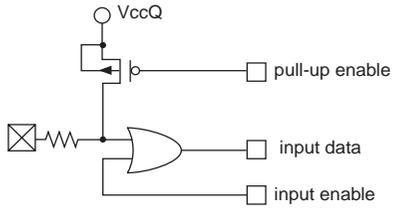
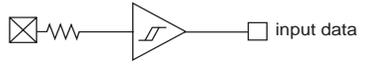
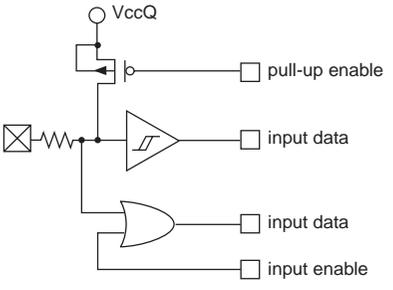
表 24.13 D/A 変換器特性

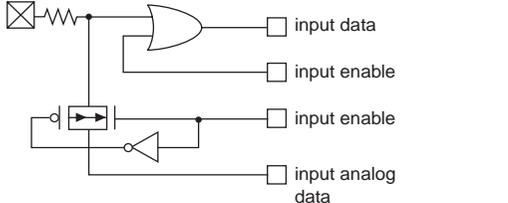
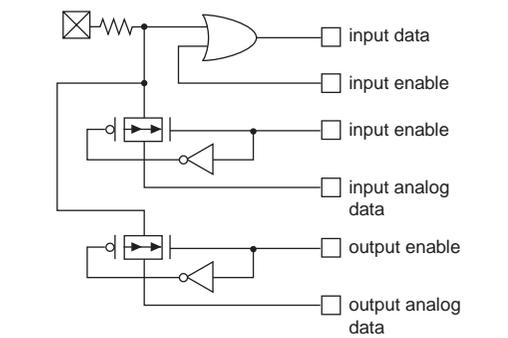
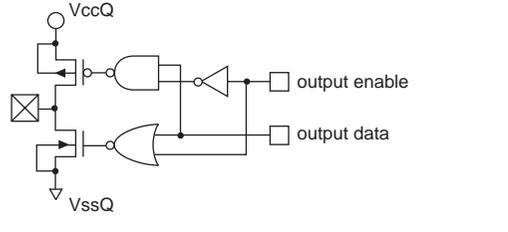
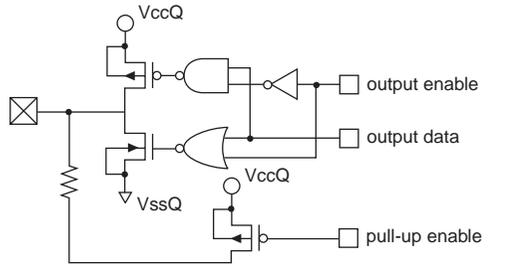
条件 : $V_{CCQ} = 3.3 \pm 0.3V$ 、 $V_{CC} = 1.9 \pm 0.15V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$

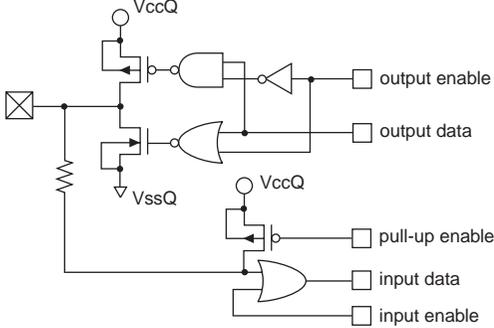
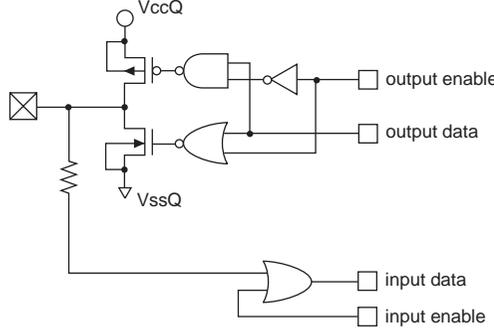
項目	min	typ	max	単位	テスト条件
分解能	8	8	8	bits	
変換時間	-	-	10.0	μs	20pF 容量負荷
絶対精度	-	± 2.5	± 4.0	LSB	2M 抵抗負荷

付録

A. 各端子の I/O バッファ等価回路一覧表

回 路	機 能	端子名
	Enable 付き入力	WAIT BREQ
	Enable 付き入力 Enable 付きプルアップ	RxD0/SCPT[0] RxD2/SCPT[2] AUDCK/PTG[4]
	シュミット・トリガ入力	ASEMD0 MD[5:0] RESERM NMI RESETP CA
	Enable 付き入力 シュミット・トリガ入力 Enable 付きプルアップ	CTS2/IRQ5/SCPT[5] ADTRG/PTG[5]

回路	機能	端子名
	Enable 付き入力 Enable 付きアナログ入力	AN[1:0]/PTJ[1:0]
	Enable 付き入力 Enable 付きアナログ入力 Enable 付きアナログ出力	AN[3:2]/DA[0:1]/PTJ[3:2]
	3 ステート出力	\overline{RD} $\overline{WE0/DQMLL}$ $\overline{WE1/DQMLU/WE}$ $\overline{CS0}$ \overline{BACK} TxD0/SCPT[0] TxD2/SCPT[2]
	3 ステート出力 Enable 付きプルアップ	A[25:12]

回路	機能	端子名
	3 ステート出力 Enable 付き入力 Enable 付きプルアップ	D[31:24]/PTB[7:0] D[23:16]/PTA[7:0] D[15:0] A[11:0] $\overline{BS}/PTC[0]$ $\overline{WE2}/DQMUL/ICIOR/PTC[1]$ $\overline{WE3}/DQMUU/ICIOWR/PTC[2]$ $\overline{CS}[4:2]/PTC[5:3]$ $\overline{CS5}/CE1A/PTC[6]$ $\overline{CS6}/CE1B/PTC[7]$ $\overline{CE2A}/PTD[6]$ $\overline{CE2B}/PTD[7]$ $\overline{RASL}/PTD[0]$ $\overline{RASU}/PTD[1]$ $\overline{CASL}/PTD[2]$ $\overline{CASU}/PTD[3]$ $\overline{CKE}/PTD[4]$ $\overline{IOIS16}/PTD[5]$ $\overline{DACK}[1:0]/PTE[1:0]$ $\overline{DRAK}[1:0]/PTE[3:2]$ $\overline{AUDATA}[3:0]/PTF[3:0]$ $\overline{AUDSYNC}/PTF[4]$ $\overline{TDO}/PTF[5]$ $\overline{ASEBRKAK}/PTF[6]$ $\overline{STATUS}[1:0]/PTE[5:4]$ $\overline{TCLK}/PTE[6]$ $\overline{IRQOUT}/PTE[7]$ $\overline{SCK0}/SCPT[1]$ $\overline{SCK2}/SCPT[3]$ $\overline{RTS2}/SCPT[4]$ $\overline{DREQ}[1:0]/PTH[6:5]$
	3 ステート出力 Enable 付き入力	RD/WR CKIO

回路	機能	端子名
	<p>3ステート出力 Enable 付き入力 シュミット・トリガ入力 Enable 付きプルアップ</p>	<p>TDI/PTG[0] TCK/PTG[1] TMS/PTG[2] TRST/PTG[3] IRQ[3:0]/IRL[3:0]/PTH[3:0] IRQ4/PTH[4]</p>
	<p>32KHz 水晶発振入力</p>	<p>EXTAL2</p>
	<p>水晶発振子と発振器 (EXTAL より入力) との 入力切り替えスイッチ付き</p>	<p>EXTAL</p>

B. 端子機能

B.1 端子機能

リセット、低消費電力状態、バス権解放状態での端子状態を表 B.1 に示します。

表 B.1 リセット、低消費電力状態、バス権解放状態での端子状態

分類	端子名	リセット		低消費電力状態		バス権解放状態
		パワーオンリセット	マニュアルリセット	スタンバイ	スリープ	
クロック	EXTAL	I	I	I	I	I
	XTAL	O ^{*1}	O ^{*1}	O ^{*1}	O ^{*1}	O ^{*1}
	CKIO	IO ^{*1}	IO ^{*1}	IO ^{*1*12}	IO ^{*1}	IO ^{*1}
	EXTAL2	I	I	I	I	I
	XTAL2	O	O	O	O	O
	CAP1、CAP2	—	—	—	—	—
システム制御	RESETP	I	I	I	I	I
	RESETM	I	I	I	I	I
	BREQ	I	I	I	I	
	BACK	O	O	O	O	L
	MD[5:0]	I	I	I	I	I
	CA	I	I	I	I	
	STATUS[1:0]/PTE[5:4]	O	OP ^{*3}	OP ^{*3}	OP ^{*3}	OP ^{*3}
割り込み	IRQ[3:0]/IRL[3:0]/PTH[3:0]	I ^{*8}	I	I	I	I
	IRQ4/PTH[4]	I ^{*8}	I	I	I	I
	NMI	I	I	I	I	I
	IRQOUT/PTE[7]	H	OP ^{*3}	ZK ^{*3}	OP ^{*3}	OP ^{*3}
アドレスバス	A[25:0]	Z	O	ZL ^{*10}	O	Z
データバス	D[15:0]	Z	I	Z	IO	Z
	D[23:16]/PTA[7:0]	Z	IP ^{*3}	ZK ^{*3}	IOP ^{*3}	ZP ^{*3}
	D[31:24]/PTB[7:0]	Z	IP ^{*3}	ZK ^{*3}	IOP ^{*3}	ZP ^{*3}
バス制御	CS0	H	O	ZH ^{*11}	O	Z
	CS[2:4]/PTC[5:3]	H	OP ^{*3}	ZH ^{*11} K ^{*3}	OP ^{*3}	ZP ^{*3}
	CS5/CE1A/PTC[6]	H	OP ^{*3}	ZH ^{*11} K ^{*3}	OP ^{*3}	ZP ^{*3}
	CS6/CE1B/PTC[7]	H	OP ^{*3}	ZH ^{*11} K ^{*3}	OP ^{*3}	ZP ^{*3}
	BS/PTC[0]	H	OP ^{*3}	ZH ^{*11} K ^{*3}	OP ^{*3}	ZP ^{*3}
	RASL/PTD[0]	H	OP ^{*3}	ZOK ^{*4}	OP ^{*3}	ZOP ^{*4}
	RASU/PTD[1]	H	OP ^{*3}	ZOK ^{*4}	OP ^{*3}	ZOP ^{*4}

付録

分類	端子名	リセット		低消費電力状態		バス権 解放状態
		パワーオン リセット	マニュアル リセット	スタンバイ	スリープ	
バス制御	$\overline{\text{CASL}}/\text{PTD}[2]$	H	OP ^{*3}	ZOK ^{*4}	OP ^{*3}	ZOP ^{*4}
	$\overline{\text{CASU}}/\text{PTD}[3]$	H	OP ^{*3}	ZOK ^{*4}	OP ^{*3}	ZOP ^{*4}
	$\overline{\text{WE0}}/\text{DQMLL}$	H	O	ZH ^{*11}	O	Z
	$\overline{\text{WE1}}/\text{DQMLU}/\overline{\text{WE}}$	H	O	ZH ^{*11}	O	Z
	$\overline{\text{WE2}}/\text{DQMUL}/\overline{\text{CIORD}}/\text{PTC}[1]$	H	OP ^{*3}	ZH ^{*11} K ^{*3}	OP ^{*3}	ZP ^{*3}
	$\overline{\text{WE3}}/\text{DQMUU}/\overline{\text{CIOWR}}/\text{PTC}[2]$	H	OP ^{*3}	ZH ^{*11} K ^{*3}	OP ^{*3}	ZP ^{*3}
	$\overline{\text{RD}}/\overline{\text{WR}}$	H	O	ZH ^{*11}	O	Z
	$\overline{\text{RD}}$	H	O	ZH ^{*11}	O	Z
	$\overline{\text{CKE}}/\text{PTD}[4]$	H	OP ^{*3}	OK ^{*3}	OP ^{*3}	OP ^{*3}
	$\overline{\text{WAIT}}$	Z	I	Z	I	Z
DMAC	$\overline{\text{DREQ0}}/\text{PTH}[5]$	I	ZI ^{*7}	Z	I	I
	$\overline{\text{DACK0}}/\text{PTE}[0]$	O	OP ^{*3}	ZK ^{*3}	OP ^{*3}	OP ^{*3}
	$\overline{\text{DRAK0}}/\text{PTE}[2]$	O	OP ^{*3}	ZH ^{*11} K ^{*3}	OP ^{*3}	OP ^{*3}
	$\overline{\text{DREQ1}}/\text{PTH}[6]$	I	ZI ^{*7}	Z	I	I
	$\overline{\text{DACK1}}/\text{PTE}[1]$	O	OP ^{*3}	ZK ^{*3}	OP ^{*3}	OP ^{*3}
	$\overline{\text{DRAK1}}/\text{PTE}[3]$	O	OP ^{*3}	ZH ^{*11} K ^{*3}	OP ^{*3}	OP ^{*3}
タイマ	$\overline{\text{TCLK}}/\text{PTE}[6]$	I	ZI ^{*7}	IOP ^{*5}	IOP ^{*5}	IOP ^{*5}
SCI/ FIFO なし スマートカード インタフェース	$\overline{\text{RxD0}}/\text{SCPT}[0]$	Z	ZI ^{*7}	Z	IZ ^{*6}	IZ ^{*6}
	$\overline{\text{TxD0}}/\text{SCPT}[0]$	Z	ZO ^{*7}	ZK ^{*3}	OZ ^{*6}	OZ ^{*6}
	$\overline{\text{SCK0}}/\text{SCPT}[1]$	V	ZP ^{*3}	ZK ^{*3}	IOP ^{*5}	IOP ^{*5}
FIFO 付き SCIF	$\overline{\text{RxD2}}/\text{SCPT}[2]$	Z	ZI ^{*7}	Z	IZ ^{*6}	IZ ^{*6}
	$\overline{\text{TxD2}}/\text{SCPT}[2]$	Z	ZO ^{*7}	ZK ^{*3}	OZ ^{*6}	OZ ^{*6}
	$\overline{\text{SCK2}}/\text{SCPT}[3]$	V	ZP ^{*3}	ZK ^{*3}	IOP ^{*5}	IOP ^{*5}
	$\overline{\text{RTS2}}/\text{SCPT}[4]$	V	OP ^{*3}	ZK ^{*3}	OP ^{*3}	OP ^{*3}
	$\overline{\text{CTS2}}/\overline{\text{IRQ5}}/\text{SCPT}[5]$	V ^{*8}	ZI ^{*7}	I	I	I
ポート	$\overline{\text{CE2B}}/\text{PTD}[7]$	H	OP ^{*3}	ZH ^{*11} K ^{*3}	OP ^{*3}	ZP ^{*3}
	$\overline{\text{CE2A}}/\text{PTD}[6]$	H	OP ^{*3}	ZH ^{*11} K ^{*3}	OP ^{*3}	ZP ^{*3}
	$\overline{\text{IOIS16}}/\text{PTD}[5]$	I	I	Z	I	I
	$\overline{\text{ADTRG}}/\text{PTG}[5]$	V ^{*8}	I	IZ	I	I
H-UDI	$\overline{\text{TCK}}/\text{PTG}[1]$	IV	I	IZ	I	I
	$\overline{\text{TDI}}/\text{PTG}[0]$	IV	I	IZ	I	I
	$\overline{\text{TMS}}/\text{PTG}[2]$	IV	I	IZ	I	I
	$\overline{\text{TRST}}/\text{PTG}[3]$	IV	I	IZ	I	I

分類	端子名	リセット		低消費電力状態		バス権 解放状態
		パワーオン リセット	マニュアル リセット	スタンバイ	スリープ	
H-UDI	AUDSYNC/PTF[4]	OV	OP ^{*3}	OK ^{*3}	OP ^{*3}	OP ^{*3}
	TDO/PTF[5]	OV	OP ^{*3}	OK ^{*3}	OP ^{*3}	OP ^{*3}
	AUDCK/PTG[4]	IV	I	IZ	I	I
	AUDATA[3:0]/PTF[3:0]	IV	I	IZ	I	I
	ASEBRKAK/PTF[6]	OV	OP ^{*3}	OP ^{*3}	OP ^{*3}	OP ^{*3}
	ASEMD0	I	I	Z	I	I
アナログ	AN[1:0]/PTJ[1:0]	Z	ZI ^{*7}	Z	I	I
	AN[3:2]/DA[0:1]/PTJ[3:2]	Z	ZI ^{*7}	OZ ^{*2}	IO ^{*9}	IO ^{*9}

【記号説明】

- I: 入力
- O: 出力
- H: ハイレベル出力
- L: ローレベル出力
- Z: ハイインピーダンス
- P: レジスタ設定によってIかOになります
- K: 入力端子はハイインピーダンス、出力端子は状態の保持
- V: 入力/出力バッファオフ、プルアップ MOS オン

【注】

- *1 クロックモードに依存します（MD2～MD0 端子の設定）。
- *2 DA に対し出力を許可しているとき O になります。それ以外は Z となります。
- *3 ポート機能を使うときは K または P になります。
- *4 ポート機能を使うときは K もしくは P になります。ポート機能を使わないときは、レジスタ設定によって Z または O になります。
- *5 ポート機能を使うときは K もしくは P になります。ポート機能を使わないときは、レジスタ設定によって I または O になります。
- *6 レジスタの設定に従います。
- *7 ポート機能を使うときは I または O になります。
- *8 IRQ[5:0]と ADTRG の入力シュミットバッファはオンとなります。同一端子に兼用されているその他の入力（PTH、CTS2 など）では、入力バッファはオフとなります。
- *9 DA に対し出力を許可しているとき O になります。それ以外はレジスタ設定によって I になります。
- *10 スタンバイモード時、レジスタ設定に従って Z もしくは L になります。
- *11 スタンバイモード時、レジスタ設定に従って Z もしくは H になります。
- *12 スタンバイ中の CKIO のレベルは、H および L のいずれの場合もあります。

B.2 端子の仕様

表 B.2 に端子の仕様を示します。

表 B.2 端子の仕様

端子	端子番号		I/O	機能
	FP-176C	TBP-208A		
MD0	163	D8	I	クロックモード設定
MD1	129	C17	I	クロックモード設定
MD2	164	B7	I	クロックモード設定
MD3	167	C6	I	エリア 0 用バス幅設定
MD4	168	D6	I	エリア 0 用バス幅設定
MD5	169	A5	I	エンディアン設定
D31 to D24/ PTB[7] to PTB[0]	5,6,7,8,9,10,12,14	F4,F3,F2,F1,G4,G3, G1,H3	I/O	データバス / 入出力ポート B
D23 to D16/ PTA[7] to PTA[0]	15,16,17,18,20,22, 23,24	H2,H1,J4,J2,J3,K2, K3,K4	I/O	データバス / 入出力ポート A
D15 to D0	26,28,29,30,31,32, 33,34,35,36,38,40, 41,42,43,44	L2,L4,M1,M2,M3, M4,N1,N2,N3,N4, P2,R1,R2,P4,T1,T2	I/O	データバス
A25 to A0	76,75,74,72,70,69, 68,67,66,65,64,62, 60,59,58,57,56,55, 54,53,52,50,48,47, 46,45	T11,P10,T10,R9,T9, P9,U8,T8,R8,P8, U7,R7,U6,T6,R6, P6,U5,T5,R5,P5, U4,R4,T3,R3,U2,U1	O	アドレスバス
BS/PTC[0]	77	R11	O/I/O	バスサイクル開始信号 / 入出力ポート C
RD	78	P11	O	リードストロープ
WE0/DQMLL	79	U12	O	D7 ~ D0 セレクト信号 / DQM (SDRAM)
WE1/DQMLU/WE	80	T12	O	D15 ~ D8 セレクト信号 / DQM (SDRAM) / ライトストロープ (PCMCIA)
WE2/DQMU/ ICIORD/PTC[1]	81	R12	O/O/O/ I/O	D23 ~ D16 セレクト信号 / DQM (SDRAM) / PCMCIA I/O リード / 入出力ポート C
WE3/DQMUU/ ICIORW/PTC[2]	82	P12	O/O/O/ I/O	D31 ~ D24 セレクト信号 / DQM (SDRAM) / PCMCIA I/O ライト / 入出力ポート C
RD/WR	83	U13	O	リードライト
CS0	85	P13	O	チップセレクト 0
CS2/PTC[3]	87	T14	O/I/O	チップセレクト 2 / 入出力ポート C
CS3/PTC[4]	88	R14	O/I/O	チップセレクト 3 / 入出力ポート C
CS4/PTC[5]	89	U17	O/I/O	チップセレクト 4 / 入出力ポート C
CS5/CE1A/PTC[6]	90	T17	O/O/I/O	チップセレクト 5 / CE1 (エリア 5PCMCIA) / 入出力ポート C

端子	端子番号		I/O	機能
	FP-176C	TBP-208A		
CS6/CE1B/PTC[7]	91	R15	O/O/I/O	チップセレクト6 / CE1 (エリア6PCMCIA) / 入出力ポート C
CE2A/PTD[6]	92	R16	O/I/O	エリア5PCMCIA用CE2 / 入出力ポート D
CE2B/PTD[7]	94	P15	O/I/O	エリア6PCMCIA用CE2 / 入出力ポート D
RASL/PTD[0]	96	P17	O/I/O	下位32Mバイトアドレス用RAS (SDRAM) / 入出力ポート D
RASU/PTD[1]	97	N14	O/I/O	上位32Mバイトアドレス用RAS (SDRAM) / 入出力ポート D
CASL/PTD[2]	98	N15	O/I/O	下位32Mバイトアドレス用CAS (SDRAM) / 入出力ポート D
CASU/PTD[3]	99	N16	O/I/O	上位32Mバイトアドレス用CAS (SDRAM) / 入出力ポート D
CKE/PTD[4]	100	N17	O/I/O	CKイネーブル (SDRAM) / 入出力ポート D
IOIS16/PTD[5]	101	M14	I/I/O	IOIS16 (PCMCIA) / 入力ポート D
BACK	102	M15	O	バスアクノリッジ
BREQ	103	M16	I	バス権要求
WAIT	104	M17	I	ハードウェアウェイト要求
DACK0/PTE[0]	105	L14	O/I/O	DMAアクノリッジ0 / 入出力ポート E
DACK1/PTE[1]	106	L15	O/I/O	DMAアクノリッジ1 / 入出力ポート E
DRAK0/PTE[2]	107	L16	O/I/O	DMA要求受け付け / 入出力ポート E
DRAK1/PTE[3]	108	L17	O/I/O	DMA要求受け付け / 入出力ポート E
AUDATA[0]/PTF[0]	109	K15	I/O	AUDデータ / 入出力ポート F
AUDATA[1]/PTF[1]	110	K16	I/O	AUDデータ / 入出力ポート F
AUDATA[2]/PTF[2]	111	K17	I/O	AUDデータ / 入出力ポート F
AUDATA[3]/PTF[3]	112	J14	I/O	AUDデータ / 入出力ポート F
AUDSYNC/PTF[4]	113	J16	O/I/O	AUD同期 / 入出力ポート F
TDI/PTG[0]	114	J17	I	データ入力 (H-UDI) / 入力ポート G
TCK/PTG[1]	116	H17	I	クロック (H-UDI) / 入力ポート G
TMS/PTG[2]	118	G16	I	モードセレクト (H-UDI) / 入力ポート G
TRST/PTG[3]	119	G15	I	リセット (H-UDI) / 入力ポート G
TDO/PTF[5]	120	G14	O/I/O	データ出力 (H-UDI) / 入出力ポート F
ASEBRKAK/PTF[6]	121	F16	O/I/O	ASEブレークアクノリッジ (H-UDI) / 入出力ポート F
ASEMD0	122	F15	I	ASEモード (H-UDI)
CAP1	124	E16		PLL1用外部容量端子
CAP2	127	D17		PLL2用外部容量端子
XTAL	131	B17	O	クロック発振器端子
EXTAL	132	B16	I	外部クロック入力 / 水晶発振器端子
XTAL2	2	C2	O	内蔵RTC用水晶発振器端子

付録

端子	端子番号		I/O	機能
	FP-176C	TBP-208A		
EXTAL2	3	C1	I	内蔵 RTC 用水晶発振器端子
STATUS0/PTE[4]	133	A17	O/I/O	プロセッサステータス / 入出力ポート E
STATUS1/PTE[5]	134	A16	O/I/O	プロセッサステータス / 入出力ポート E
TCLK/PTE[6]	135	C15	I/O	TMU または RTC 用クロック入出力 / 入出力ポート E
IRQOUT/PTE[7]	136	B15	O/I/O	割り込み要求通知 / 入出力ポート E
CKIO	138	C14	I/O	システムクロック入出力
TxD0/SCPT[0]	140	A14	O	SCI 送信データ 0 / SC ポート
TxD2/SCPT[2]	142	C13	O	SCIF 送信データ 2 / SC ポート
SCK0/SCPT[1]	141	D13	I/O	SCI クロック 0 / SC ポート
SCK2/SCPT[3]	143	B13	I/O	SCIF クロック 2 / SC ポート
RxD0/SCPT[0]	145	D12	I	SCI 送信データ 0 / SC ポート
RxD2/SCPT[2]	146	C12	I	SCIF 送信データ 2 / SC ポート
RTS2/SCPT[4]	144	A13	O/I/O	SCIF 送信要求 2 / SC ポート
CTS2/IRQ5/SCPT[5]	147	B12	I	SCIF 送信クリア / 外部割り込み要求 / SC ポート
RESETM	149	C11	I	マニュアルリセット要求
IRQ[3:0]/IRL[3:0] PTH[3:0]	151,152,153,154	A11,D10,C10,B10	I/I/O	外部割り込み要求 / 入出力ポート H
IRQ4/PTH[4]	155	A10	I/I/O	外部割り込み要求 / 入出力ポート H
NMI	157	B9	I	ノンマスクابل割り込み要求
AUDCK/PTG[4]	159	C9	I	AUD クロック / 入力ポート G
RESETP	165	A6	I	パワーオンリセット要求
CA	166	B6	I	チップアクティブ / ハードウェアスタンバイ要求
AN[0]/PTJ[0]	171	C5	I	AD コンバータ入力 / 入力ポート L
AN[1]/PTJ[1]	172	D5	I	AD コンバータ入力 / 入力ポート L
AN[2]/DA[1]/PTJ[2]	173	A4	I/O/I	AD 変換器入力 / DA 変換器出力 / 入力ポート L
AN[3]/DA[0]/PTJ[3]	174	B4	I/O/I	AD 変換器入力 / DA 変換器出力 / 入力ポート L
ADTRG/PTG[5]	162	C8	I	アナログトリガ / 入力ポート G
DREQ0/PTH[5]	160	A8	I/I/O	DMA 要求 / 入出力ポート H
DREQ1/PTH[6]	161	B8	I/I/O	DMA 要求 / 入出力ポート H
V _{cc} Q	13,27,39,51,63,86, 95,139,158	H4,L3,P3,T4,T7, U14,P16,B14,A9	Power supply	I/O 電源 (3.3V)
V _{cc}	21,73,117,150	K1,U10,H16,B11	Power supply	内部電源 (1.9V)
V _{cc} -RTC	1	C3	Power supply	RTC 用電源 (1.9V)

端子	端子番号		I/O	機能
	FP-176C	TBP-208A		
V _{cc} -PLL1	123	E17	Power supply	PLL1 用電源 (1.9V)
V _{cc} -PLL2	128	D16	Power supply	PLL2 用電源 (1.9V)
AV _{cc}	175	B3	Power supply	アナログ用電源 (3.3V)
V _{ss} Q	11,25,37,49,61,84, 93,137,156	G2,L1,P1,U3,P7, R13,R17,A15,D9	Power supply	I/O 電源 (0V)
V _{ss}	19,71,115,130,148	J1,U9,J15,C16,D11	Power supply	内部電源 (0V)
V _{ss} -RTC	4	D3	Power supply	RTC 用電源 (0V)
V _{ss} -PLL1	125	E15	Power supply	PLL1 用電源 (0V)
V _{ss} -PLL2	126	E14	Power supply	PLL2 用電源 (0V)
AV _{ss}	170,176	B5,B2	Power supply	アナログ用電源 (0V)

B.3 未使用端子の処理

- RTCを使用しない場合

EXTAL2: プルアップ (V_{cc} - RTC)

XTAL2: 何も接続しない

V_{cc}-RTC: 電源 (1.9V)

V_{ss}-RTC: 電源 (0V)

- PLL1を使用しない場合

CAP1: 何も接続しない

V_{cc}-PLL1: 電源 (1.9V)

V_{ss}-PLL1: 電源 (0V)

- PLL2を使用しない場合

CAP2: 何も接続しない

V_{cc}-PLL2: 電源 (1.9V)

V_{ss}-PLL2: 電源 (0V)

- 内蔵水晶発振器を使用しない場合

XTAL: 何も接続しない

- EXTALを使用しない場合

EXTAL: V_{cc}QまたはV_{ss}Qに接続

- A/D変換器を使用しない場合
 AN[3:0]: 何も接続しない
 AV_{cc}: 電源 (3.3 V)
 AV_{ss}: 電源 (0 V)
- ハードウェアスタンバイを使用しない場合
 CA: プルアップ (V_{ccQ})

B.4 各アドレス空間へのアクセスにおける端子状態

表 B.3 端子状態 (通常メモリ/リトルエンディアン)

端子		8 ビットバス幅		16 ビットバス幅		
		バイト/ワード/ ロングワードアクセス		バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロング ワードアクセス
CS6 - CS2, CS0		有効		有効	有効	有効
RD	R	Low		Low	Low	Low
	W	High		High	High	High
RD/WR	R	High		High	High	High
	W	Low		Low	Low	Low
BS		有効		有効	有効	有効
RASU/PTD[1]		High		High	High	High
RASL/PTD[0]		High		High	High	High
CASL/PTD[2]		High		High	High	High
CASU/PTD[3]		High		High	High	High
WE0/DQMLL	R	High		High	High	High
	W	Low		Low	High	Low
WE1/WE/DQMLU	R	High		High	High	High
	W	High		High	Low	Low
WE2/CIORD /DQMUL/PTC[1]	R	High		High	High	High
	W	High		High	High	High
WE3/CIOWR/ DQMUU/PTC[2]	R	High		High	High	High
	W	High		High	High	High
CE2A/PTD[6]		High		High	High	High
CE2B/PTD[7]		High		High	High	High
CKE		無効		無効	無効	無効
WAIT		有効 ^{*1}		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
IOIS16		無効		無効	無効	無効
A25 - A0		アドレス		アドレス	アドレス	アドレス

端子	32 ビットバス幅							
		バイトアクセス(アドレス 4n)	バイトアクセス(アドレス 4n + 1)	バイトアクセス(アドレス 4n + 2)	バイトアクセス(アドレス 4n + 3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n + 2)	ロングワードアクセス
$\overline{CS6} \sim \overline{CS2}, \overline{CS0}$		有効	有効	有効	有効	有効	有効	有効
D7 ~ D0		有効データ	有効データ	無効データ	有効データ			
D15 ~ D8		High-Z ^{*2}	無効データ	有効データ	有効データ			
D31 ~ D16		High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}			
\overline{RD}	R	Low	Low	Low	Low	Low	Low	Low
	W	High	High	High	High	High	High	High
RD/ \overline{WR}	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low
BS		有効	有効	有効	有効	有効	有効	有効
$\overline{RASU}/PTD[1]$		High	High	High	High	High	High	High
$\overline{RASL}/PTD[0]$		High	High	High	High	High	High	High
$\overline{CASL}/PTD[2]$		High	High	High	High	High	High	High
$\overline{CASU}/PTD[3]$		High	High	High	High	High	High	High
$\overline{WE0}/DQMLL$	R	High	High	High	High	High	High	High
	W	Low	High	High	High	Low	High	Low
$\overline{WE1}/\overline{WE}/DQMLU$	R	High	High	High	High	High	High	High
	W	High	Low	High	High	Low	High	Low
$\overline{WE2}/\overline{ICIOR\overline{D}}/DQMUL/PTC[1]$	R	High	High	High	High	High	High	High
	W	High	High	Low	High	High	Low	Low
$\overline{WE3}/\overline{ICIOR\overline{W}}/DQMUU/PTC[2]$	R	High	High	High	High	High	High	High
	W	High	High	High	Low	High	Low	Low
$\overline{CE2A}/PTD[6]$		High	High	High	High	High	High	High
$\overline{CE2B}/PTD[7]$		High	High	High	High	High	High	High
CKE		無効	無効	無効	無効	無効	無効	無効
\overline{WAIT}		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
$\overline{IOIS16}$		無効	無効	無効	無効	無効	無効	無効
A25 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 ~ D0		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D15 ~ D8		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D23 ~ D16		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31 ~ D24		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ

【注】 *1 WCR2 のウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップ、プルダウンに切り替えられます。

表 B.4 端子状態（通常メモリ/ビッグエンディアン）

端子		8 ビットバス幅		16 ビットバス幅		
		バイト/ワード/ ロングワードアクセス		バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロング ワードアクセス
$\overline{CS6} - \overline{CS2}, \overline{CS0}$		有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low
	W	High	High	High	High	High
RD/WR	R	High	High	High	High	High
	W	Low	Low	Low	Low	Low
BS		有効	有効	有効	有効	有効
$\overline{RASU}/PTD[1]$		High	High	High	High	High
$\overline{RASL}/PTD[0]$		High	High	High	High	High
$\overline{CASL}/PTD[2]$		High	High	High	High	High
$\overline{CASU}/PTD[3]$		High	High	High	High	High
$\overline{WE0}/DQMLL$	R	High	High	High	High	High
	W	Low	High	Low	Low	Low
$\overline{WE1}/\overline{WE}/DQMLU$	R	High	High	High	High	High
	W	High	Low	High	Low	Low
$\overline{WE2}/\overline{ICIORD}/$ $\overline{DQMUL}/PTC[1]$	R	High	High	High	High	High
	W	High	High	High	High	High
$\overline{WE3}/\overline{CIOWR}/$ $\overline{DQMUU}/PTC[2]$	R	High	High	High	High	High
	W	High	High	High	High	High
$\overline{CE2A}/PTD[6]$		High	High	High	High	High
$\overline{CE2B}/PTD[7]$		High	High	High	High	High
CKE		無効	無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
$\overline{IOIS16}$		無効	無効	無効	無効	無効
A25 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス
D7 ~ D0		有効データ	無効データ	有効データ	有効データ	有効データ
D15 ~ D8		High-Z ^{*2}	有効データ	無効データ	有効データ	有効データ
D31 ~ D16		High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}

端子		32 ビットバス幅						
		バイトアクセス (アドレス 4n)	バイトアクセス(アドレス 4n+1)	バイトアクセス(アドレス 4n +2)	バイトアクセス(アドレス 4n +3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n +2)	ロングワードアクセス
CS6 ~ CS2、CS0		有効	有効	有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low	Low	Low
	W	High	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low
BS		有効	有効	有効	有効	有効	有効	有効
RASU/PTD[1]		High	High	High	High	High	High	High
RASL/PTD[0]		High	High	High	High	High	High	High
CASL/PTD[2]		High	High	High	High	High	High	High
CASU/PTD[3]		High	High	High	High	High	High	High
WE0/DQMLL	R	High	High	High	High	High	High	High
	W	High	High	High	Low	High	Low	Low
WE1/WE/DQMLU	R	High	High	High	High	High	High	High
	W	High	High	Low	High	High	Low	Low
WE2/CIORD/ DQMUL/PTC[1]	R	High	High	High	High	High	High	High
	W	High	Low	High	High	Low	High	Low
WE3/CIOWR/ DQMUU/PTC[2]	R	High	High	High	High	High	High	High
	W	Low	High	High	High	Low	High	Low
CE2A/PTD[6]		High	High	High	High	High	High	High
CE2B/PTD[7]		High	High	High	High	High	High	High
CKE		無効	無効	無効	無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
IOIS16		無効	無効	無効	無効	無効	無効	無効
A25 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 ~ D0		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ
D15 ~ D8		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D23 ~ D16		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D31 ~ D24		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ

【注】 *1 WCR2 のウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップ、プルダウンに切り替えられます。

表 B.5 端子状態 (バースト ROM / リトルエンディアン)

端子		8 ビットバス幅		16 ビットバス幅	
		バイト/ワード/ ロングワードアクセス		バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)
CS6 ~ CS2、CS0		有効	有効	有効	有効
RD	R	Low	Low	Low	Low
	W	—	—	—	—
RD/WR	R	High	High	High	High
	W	—	—	—	—
BS		有効	有効	有効	有効
RASU/PTD[1]		High	High	High	High
RASL/PTD[0]		High	High	High	High
CASL/PTD[2]		High	High	High	High
CASU/PTD[3]		High	High	High	High
WE0/DQMLL	R	High	High	High	High
	W	—	—	—	—
WE1/WE/DQMLU	R	High	High	High	High
	W	—	—	—	—
WE2/ICIORD/ DQMUL/PTC[1]	R	High	High	High	High
	W	—	—	—	—
WE3/CIOWR/ DQMUU/PTC[2]	R	High	High	High	High
	W	—	—	—	—
CE2A/PTD[6]		High	High	High	High
CE2B/PTD[7]		High	High	High	High
CKE		無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
IOIS16		無効	無効	無効	無効
A25 ~ A0		アドレス	アドレス	アドレス	アドレス
D7 ~ D0		有効データ	有効データ	無効データ	有効データ
D15 ~ D8		High-Z ^{*2}	無効データ	有効データ	有効データ
D31 ~ D16		High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}

端子	32 ビットバス幅						
	バイトアクセス (アドレス 4n)	バイトアクセス(アドレス 4n+1)	バイトアクセス(アドレス 4n+2)	バイトアクセス(アドレス 4n+3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n+2)	ロングワードアクセス
$\overline{CS6} - \overline{CS2}, \overline{CS0}$	有効	有効	有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low	Low
	W	—	—	—	—	—	—
RD/ \overline{WR}	R	High	High	High	High	High	High
	W	—	—	—	—	—	—
\overline{BS}	有効	有効	有効	有効	有効	有効	有効
$\overline{RASU}/PTD[1]$	High	High	High	High	High	High	High
$\overline{RASL}/PTD[0]$	High	High	High	High	High	High	High
$\overline{CASL}/PTD[2]$	High	High	High	High	High	High	High
$\overline{CASU}/PTD[3]$	High	High	High	High	High	High	High
$\overline{WE0}/DQMLL$	R	High	High	High	High	High	High
	W	—	—	—	—	—	—
$\overline{WE1}/\overline{WE}/DQMLU$	R	High	High	High	High	High	High
	W	—	—	—	—	—	—
$\overline{WE2}/\overline{ICIORD}/DQMUL/PTC[1]$	R	High	High	High	High	High	High
	W	—	—	—	—	—	—
$\overline{WE3}/\overline{CIOWR}/DQMUU/PTC[2]$	R	High	High	High	High	High	High
	W	—	—	—	—	—	—
$\overline{CE2A}/PTD[6]$	High	High	High	High	High	High	High
$\overline{CE2B}/PTD[7]$	High	High	High	High	High	High	High
CKE	無効	無効	無効	無効	無効	無効	無効
WAIT	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
$\overline{IOIS16}$	無効	無効	無効	無効	無効	無効	無効
A25 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 ~ D0	有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D15 ~ D8	無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D23 ~ D16	無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31 ~ D24	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ

【注】 *1 WCR2 のウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップ、プルダウンに切り替えられます。

表 B.6 端子状態 (バースト ROM / ビッグエンディアン)

端子		8 ビットバス幅		16 ビットバス幅		
		バイト/ワード/ ロングワードアクセス		バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワー ドアクセス
$\overline{CS6} - \overline{CS2}, \overline{CS0}$		有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low
	W	—	—	—	—	—
RD/WR	R	High	High	High	High	High
	W	—	—	—	—	—
\overline{BS}		有効	有効	有効	有効	有効
$\overline{RASU}/PTD[1]$		High	High	High	High	High
$\overline{RASL}/PTD[0]$		High	High	High	High	High
$\overline{CASL}/PTD[2]$		High	High	High	High	High
$\overline{CASU}/PTD[3]$		High	High	High	High	High
$\overline{WE0}/DQMLL$	R	High	High	High	High	High
	W	—	—	—	—	—
$\overline{WE1}/\overline{WE}/DQMLU$	R	High	High	High	High	High
	W	—	—	—	—	—
$\overline{WE2}/\overline{ICIORD}/$ $\overline{DQMUL}/PTC[1]$	R	High	High	High	High	High
	W	—	—	—	—	—
$\overline{WE3}/\overline{CIOWR}/$ $\overline{DQMUU}/PTC[2]$	R	High	High	High	High	High
	W	—	—	—	—	—
$\overline{CE2A}/PTD[6]$		High	High	High	High	High
$\overline{CE2B}/PTD[7]$		High	High	High	High	High
CKE		無効	無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
$\overline{IOIS16}$		無効	無効	無効	無効	無効
A25 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス
D7 ~ D0		有効データ	無効データ	有効データ	有効データ	有効データ
D15 ~ D8		High-Z ^{*2}	有効データ	無効データ	有効データ	有効データ
D31 ~ D16		High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}

端子		32 ビットバス幅						
		バイトアクセス(アドレス 4n)	バイトアクセス(アドレス 4n +1)	バイトアクセス(アドレス 4n +2)	バイトアクセス(アドレス 4n +3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n +2)	ロングワードアクセス
$\overline{CS6} - \overline{CS2}, \overline{CS0}$		有効	有効	有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low	Low	Low
	W	—	—	—	—	—	—	—
RD/ \overline{WR}	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
\overline{BS}		有効	有効	有効	有効	有効	有効	有効
$\overline{RASU}/PTD[1]$		High	High	High	High	High	High	High
$\overline{RASL}/PTD[0]$		High	High	High	High	High	High	High
$\overline{CASL}/PTD[2]$		High	High	High	High	High	High	High
$\overline{CASU}/PTD[3]$		High	High	High	High	High	High	High
$\overline{WE0}/DQMLL$	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
$\overline{WE1}/\overline{WE}/DQMLU$	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
$\overline{WE2}/\overline{ICIORD}/DQMUL/PTC[1]$	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
$\overline{WE3}/\overline{ICIOWR}/DQMUU/PTC[2]$	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
$\overline{CE2A}/PTD[6]$		High	High	High	High	High	High	High
$\overline{CE2B}/PTD[7]$		High	High	High	High	High	High	High
CKE		無効	無効	無効	無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
$\overline{IOIS16}$		無効	無効	無効	無効	無効	無効	無効
A25 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 ~ D0		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ
D15 ~ D8		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D23 ~ D16		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D31 ~ D24		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ

【注】 *1 WCR2 のウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップ、プルダウンに切り替えられます。

表 B.7 端子状態 (シンクロナス DRAM / リトルエンディアン)

端子		32 ビットバス幅						
		バイトアクセス (アドレス 4n)	バイトアクセス (アドレス 4n + 1)	バイトアクセス (アドレス 4n + 2)	バイトアクセス (アドレス 4n + 3)	ワードアクセス (アドレス 4n)	ワードアクセス (アドレス 4n + 2)	ロングワードアクセス
CS6 - CS0, CS0		有効						
RD	R	High						
	W	High						
RD/WR	R	High						
	W	Low						
BS		有効						
RASU/PTD[1]		High/Low ^{*1}						
RASL/PTD[0]		Low/High ^{*1}						
CASL/PTD[2]		High/Low ^{*1}						
CASU/PTD[3]		Low/High ^{*1}						
DQMLL/WE0	R	Low	High	High	High	Low	High	Low
	W	Low	High	High	High	Low	High	Low
DQMLU/WE1	R	High	Low	High	High	Low	High	Low
	W	High	Low	High	High	Low	High	Low
DQMUL/WE2/ ICIOR	R	High	High	Low	High	High	Low	Low
	W	High	High	Low	High	High	Low	Low
DQMUU/WE3/ ICIOR	R	High	High	High	Low	High	Low	Low
	W	High	High	High	Low	High	Low	Low
CE2A/PTD[6]		High						
CE2B/PTD[7]		High						
CKE		High ^{*2}						
WAIT		無効						
IOIS16		無効						
A25 ~ A0		アドレスコマンド						
D7 ~ D0		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D15 ~ D8		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D23 ~ D16		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31 ~ D24		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ

【注】 *1 下位 32MB アクセス / 上位 32MB アクセス

*2 通常は High、セルフリフレッシュ時は Low

表 B.8 端子状態 (シンクロナス DRAM / ビッグエンディアン)

端子		32 ビットバス幅						
		バイトアクセス(アドレス 4n)	バイトアクセス(アドレス 4n + 1)	バイトアクセス(アドレス 4n + 2)	バイトアクセス(アドレス 4n + 3)	ワードアクセス (アドレス 4n)	ワードアクセス(アドレス 4n + 2)	ロングワードアクセス
CS6 ~ CS2、CS0		有効						
RD	R	High						
	W	High						
RD/WR	R	High						
	W	Low						
BS		有効						
RASU/PTD[1]		High/Low ^{*1}						
RASL/PTD[0]		Low/High ^{*1}						
CASL/PTD[2]		High/Low ^{*1}						
CASU/PTD[3]		Low/High ^{*1}						
DQMLL/WE0	R	High	High	High	Low	High	Low	Low
	W	High	High	High	Low	High	Low	Low
DQMLU/WE1	R	High	High	Low	High	High	Low	Low
	W	High	High	Low	High	High	Low	Low
DQMUL/WE2/ ICIOR	R	High	Low	High	High	Low	High	Low
	W	High	Low	High	High	Low	High	Low
DQMUU/WE3/ ICIOR	R	Low	High	High	High	Low	High	Low
	W	Low	High	High	High	Low	High	Low
CE2A/PTD[6]		High						
CE2B/PTD[7]		High						
CKE		High ^{*2}						
WAIT		無効						
IOIS16		無効						
A25 ~ A0		アドレス コマンド						
D7 ~ D0		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ
D15 ~ D8		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D23 ~ D16		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D31 ~ D24		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ

【注】 *1 下位 32MB アクセス / 上位 32MB アクセス

*2 通常は High、セルフリフレッシュ時は Low

表 B.9 端子状態 (PCMCIA / リトルエンディアン)

端子	PCMCIA メモリインタフェース(エリア 5)				PCMCIA/IO インタフェース(エリア 5)			
	8 ビットバス幅		16 ビットバス幅		8 ビットバス幅		16 ビットバス幅	
	バイト/ワード/ロングワードアクセス	バイトアクセス(アドレス 2n)	バイトアクセス(アドレス 2n + 1)	ワード/ロングワードアクセス	バイト/ワード/ロングワードアクセス	バイトアクセス(アドレス 2n)	バイトアクセス(アドレス 2n + 1)	ワード/ロングワードアクセス
CS6 - CS2, CS0		有効	有効	High	有効	有効	High	有効
RD	R	Low	Low	Low	Low	High	High	High
	W	High	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low
BS		有効	有効	有効	有効	有効	有効	有効
RASU/PTD[1]		High	High	High	High	High	High	High
RASD/PTD[0]		High	High	High	High	High	High	High
CASU/PTD[2]		High	High	High	High	High	High	High
CASD/PTD[3]		High	High	High	High	High	High	High
WE0/DQMLL	R	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High
WE1/WE/DQMLU	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	High	High	High
WE2/CIORD/ DQMUU/PTC[1]	R	High	High	High	High	Low	Low	Low
	W	High	High	High	High	High	High	High
WE3/CIOWR/ DQMUU/PTC[2]	R	High	High	High	High	High	High	High
	W	High	High	High	High	Low	Low	Low
CE2A/PTD[6]		High	High	Low	Low	High	High	Low
CE2B/PTD[7]		High	High	High	High	High	High	High
CKE		無効	無効	無効	無効	無効	無効	無効
WAIT		有効 ^{s1}	有効 ^{s1}	有効 ^{s1}	有効 ^{s1}	有効 ^{s1}	有効 ^{s1}	有効 ^{s1}
IOIS16		無効	無効	無効	無効	無効	有効	有効
A25 - A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 - D0		有効データ	有効データ	無効データ	有効データ	有効データ	有効データ	無効データ
D15 - D8		High-Z ^{s2}	無効データ	有効データ	有効データ	High-Z ^{s2}	無効データ	有効データ
D31 - D16		High-Z ^{s2}	High-Z ^{s2}	High-Z ^{s2}	High-Z ^{s2}	High-Z ^{s2}	High-Z ^{s2}	High-Z ^{s2}

表 B.9 端子状態 (PCMCIA / リトルエンディアン) (続き)

端子	PCMCIA メモリインタフェース(エリア 6)					PCMCIA/I/O インタフェース (エリア 6)			
	8 ビットバス幅		16 ビットバス幅			8 ビットバス幅		16 ビットバス幅	
	バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス	バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス	
CS6 - CS2, CS0	有効	有効	High	有効	有効	有効	High	有効	
RD	R	Low	Low	Low	Low	High	High	High	
	W	High	High	High	High	High	High	High	
RD/WR	R	High	High	High	High	High	High	High	
	W	Low	Low	Low	Low	Low	Low	Low	
BS	有効	有効	有効	有効	有効	有効	有効	有効	
RAS \bar{U} /PTD[1]	High	High	High	High	High	High	High	High	
RAS \bar{L} /PTD[0]	High	High	High	High	High	High	High	High	
CAS \bar{U} /PTD[2]	High	High	High	High	High	High	High	High	
CAS \bar{L} /PTD[3]	High	High	High	High	High	High	High	High	
WE0/DQMLL	R	High	High	High	High	High	High	High	
	W	High	High	High	High	High	High	High	
WE1/WE/DQMLU	R	High	High	High	High	High	High	High	
	W	Low	Low	Low	Low	High	High	High	
WE2/ICIORD/ DQMUL/PTC[1]	R	High	High	High	High	Low	Low	Low	
	W	High	High	High	High	High	High	High	
WE3/CIOWR/ DQMUU/PTC[2]	R	High	High	High	High	High	High	High	
	W	High	High	High	High	Low	Low	Low	
CE2A/PTD[6]	High	High	High	High	High	High	High	High	
CE2B/PTD[7]	High	High	Low	Low	High	High	Low	Low	
CKE	無効	無効	無効	無効	無効	無効	無効	無効	
WAIT	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	
IOIS16	無効	無効	無効	無効	無効	無効	有効	有効	
A25 - A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	
D7 - D0	有効データ	有効データ	無効データ	有効データ	有効データ	有効データ	無効データ	有効データ	
D15 - D8	High-Z*2	無効データ	有効データ	有効データ	High-Z*2	無効データ	有効データ	有効データ	
D31 - D16	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	

【注】 *1 WCR2 のウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップ、プルダウンに切り換えられます。

表 B.10 端子状態 (PCMCIA / ビッグエンディアン)

端子	PCMCIA メモリインタフェース(エリア 5)					PCMCIA/IO インタフェース(エリア 5)			
	8ビットバス幅	16ビットバス幅			8ビットバス幅	16ビットバス幅			
	バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス	バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス	
CS6 - CS2, CS0		有効	有効	High	有効	有効	High	有効	
RD	R	Low	Low	Low	Low	High	High	High	
	W	High	High	High	High	High	High	High	
RD/WR	R	High	High	High	High	High	High	High	
	W	Low	Low	Low	Low	Low	Low	Low	
BS		有効	有効	有効	有効	有効	有効	有効	
RASU/PTD[1]		High	High	High	High	High	High	High	
RASL/PTD[0]		High	High	High	High	High	High	High	
CASL/PTD[2]		High	High	High	High	High	High	High	
CASU/PTD[3]		High	High	High	High	High	High	High	
WE0/DQMLL	R	High	High	High	High	High	High	High	
	W	High	High	High	High	High	High	High	
WE1/WE/DQMLU	R	High	High	High	High	High	High	High	
	W	Low	Low	Low	Low	High	High	High	
WE2/CIORD/	R	High	High	High	High	Low	Low	Low	
DQMUL/PTC[1]	W	High	High	High	High	High	High	High	
WE3/CIOWR/	R	High	High	High	High	High	High	High	
DQMUU/PTC[2]	W	High	High	High	High	Low	Low	Low	
CE2A/PTD[6]		High	High	Low	Low	High	High	Low	
CE2B/PTD[7]		High	High	High	High	High	High	High	
CKE		無効	無効	無効	無効	無効	無効	無効	
WAIT		有効 ^{s1}	有効 ^{s1}	有効 ^{s1}	有効 ^{s1}	有効 ^{s1}	有効 ^{s1}	有効 ^{s1}	
IOIS16		無効	無効	無効	無効	無効	無効	無効	
A25 - A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	
D7 - D0		有効データ	無効データ	有効データ	有効データ	無効データ	有効データ	有効データ	
D15 - D8		High-Z ^{s2}	有効データ	無効データ	有効データ	High-Z ^{s2}	有効データ	無効データ	
D31 - D16		High-Z ^{s2}	High-Z ^{s2}	High-Z ^{s2}	High-Z ^{s2}	High-Z ^{s2}	High-Z ^{s2}	High-Z ^{s2}	

表 B.10 端子状態 (PCMCIA/ビッグエンディアン) (続き)

端子	PCMCIA メモリインタフェース (エリア 6)				PCMCIA/I/O インタフェース (エリア 6)			
	8 ビットバス幅	16 ビットバス幅			8 ビットバス幅	16 ビットバス幅		
	バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス	バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス
CS6 - CS2, CS0	有効	有効	High	有効	有効	有効	High	有効
RD	R	Low	Low	Low	Low	High	High	High
	W	High	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low
BS	有効	有効	有効	有効	有効	有効	有効	有効
RASU/PTD[1]	High	High	High	High	High	High	High	High
RASL/PTD[0]	High	High	High	High	High	High	High	High
CASU/PTD[2]	High	High	High	High	High	High	High	High
CASL/PTD[3]	High	High	High	High	High	High	High	High
WE0/DQMLL	R	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High
WE1/WE/DQMLU	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	High	High	High
WE2/CIORD/ DQMUL/PTC[1]	R	High	High	High	High	Low	Low	Low
	W	High	High	High	High	High	High	High
WE3/CIOWR/ DQMUU/PTC[2]	R	High	High	High	High	High	High	High
	W	High	High	High	High	Low	Low	Low
CE2A*/PTD[6]	High	High	High	High	High	High	High	High
CE2B*/PTD[7]	High	High	Low	Low	High	High	Low	Low
CKE	無効	無効	無効	無効	無効	無効	無効	無効
WAIT	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1
IOIS16	無効	無効	無効	無効	無効	無効	無効	無効
A25 - A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 - D0	有効データ	無効データ	有効データ	有効データ	有効データ	無効データ	有効データ	有効データ
D15 - D8	High-Z*2	有効データ	無効データ	有効データ	High-Z*2	有効データ	無効データ	有効データ
D31 - D16	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2

【注】 *1 WCR2 のウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップ、プルダウンに切り換えられます。

*3 CE 端子の動作は、リトルエンディアン時の動作と同じになります。

C. 型名一覧

マーク型名	パッケージ
HD6417706F133	176 ピンプラスチック LQFP (PLQP0176KD-A/FP-176C)
HD6417706BP133	208 ピン TFBGA (TTBG0208JA-A/TBP-208A)

D. パッケージ外形寸法図

図 D.1、図 D.2 に SH7706 のパッケージ外形寸法図を示します。

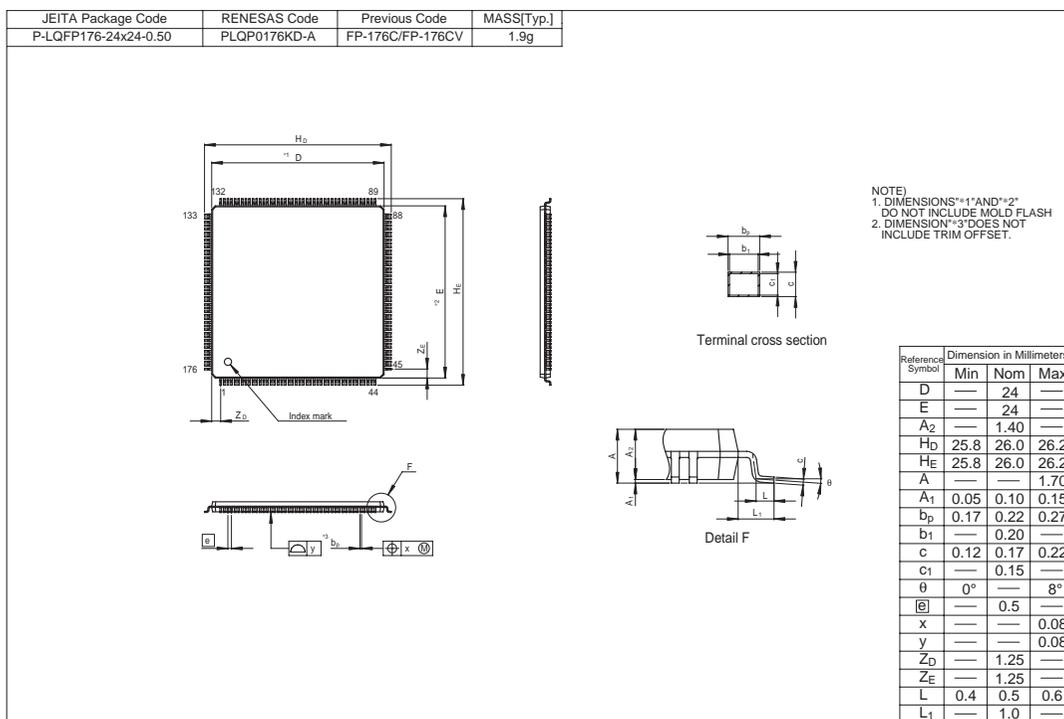


図 D.1 外形寸法図 (PLQP0176KD-A/FP-176C)

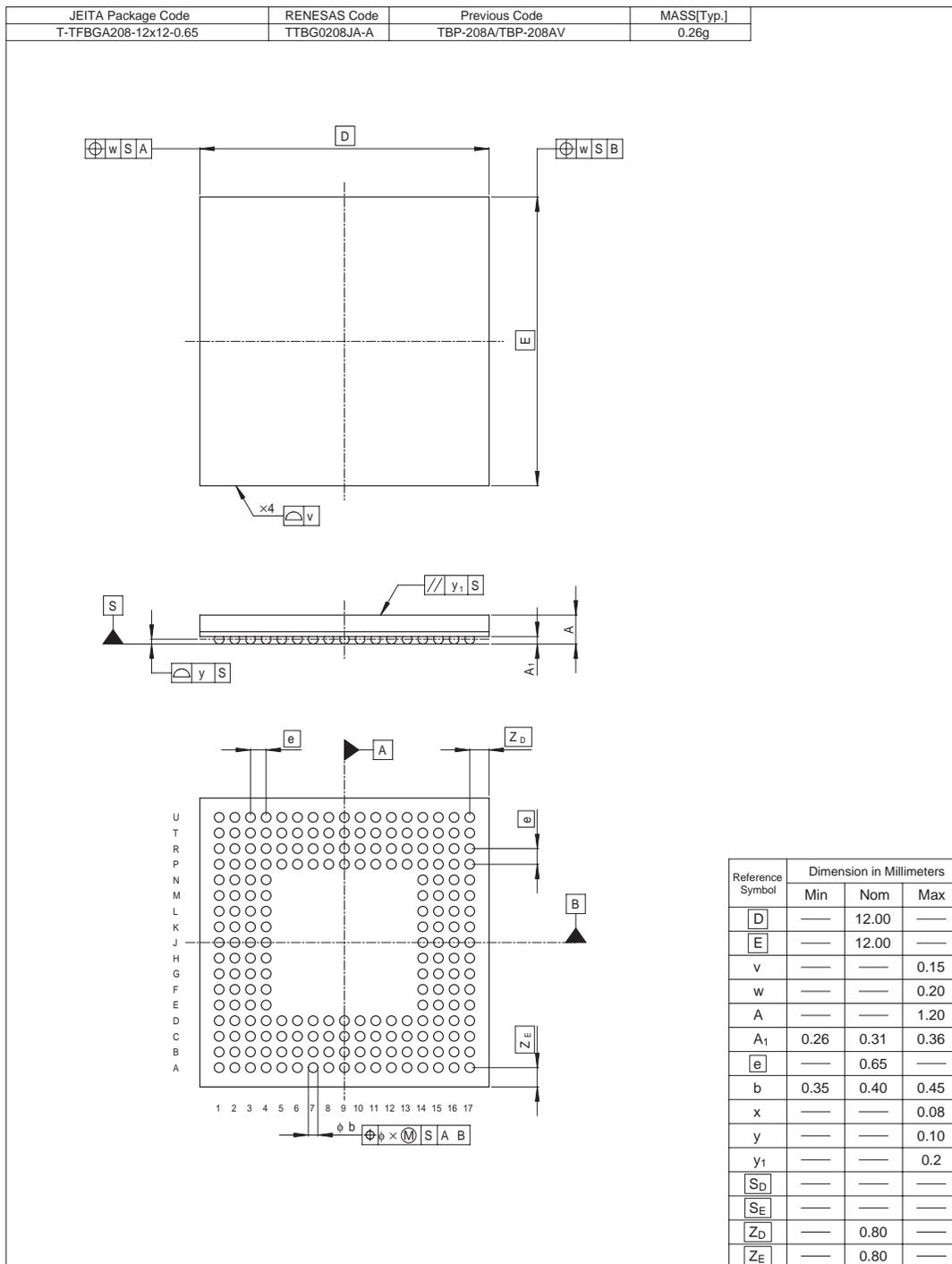


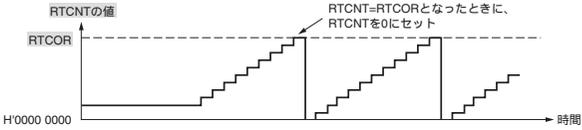
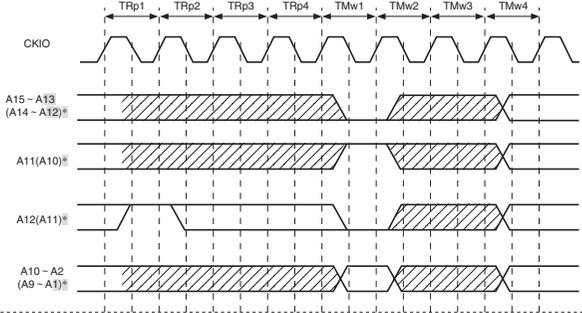
図 D.2 外形寸法図 (TTBG0208JA-A/TBP-208A)

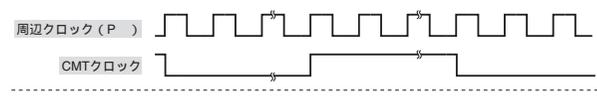
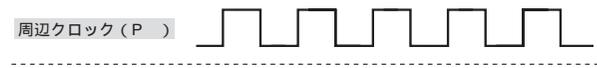
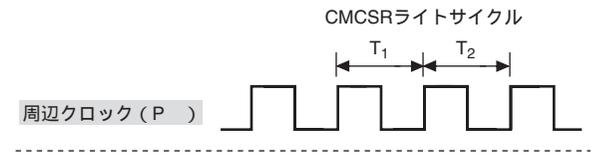
本版で改訂された箇所

修正項目	ページ	修正箇所															
1.3 ピン配置図 図 1.2 ピン配置図 (FP-176C)	1-4	図を修正 															
1.4 端子機能	1-9	表を修正 <table border="1"> <thead> <tr> <th>端子番号</th> <th>端子番号</th> <th>端子名</th> <th>入出力</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>(FP-176C)</td> <td>(TBP208A)</td> <td></td> <td></td> <td></td> </tr> <tr> <td>110</td> <td>K16</td> <td>AUDATA[1]/PTF[1]</td> <td>入出力</td> <td>AUD データ / 入力ポート F</td> </tr> </tbody> </table>	端子番号	端子番号	端子名	入出力	説明	(FP-176C)	(TBP208A)				110	K16	AUDATA[1]/PTF[1]	入出力	AUD データ / 入力ポート F
端子番号	端子番号	端子名	入出力	説明													
(FP-176C)	(TBP208A)																
110	K16	AUDATA[1]/PTF[1]	入出力	AUD データ / 入力ポート F													
2.5.1 処理状態 (1) リセット状態	2-30	説明を修正 ...マニュアルリセット状態では、バススタートコントローラ (BSC) を除く内蔵周辺モジュールのレジスタと CPU の内部状態とが初期化されます。詳細は、「23.3 各処理モードにおけるレジスタの状態」を参照してください。															
3.4.4 シノニム問題の回避 図 3.9 シノニム問題	3-18	図を修正 4Kバイトページを使用した場合 論理アドレス 物理アドレス 1Kバイトページを使用した場合 論理アドレス 物理アドレス 															

修正項目	ページ	修正箇所																									
6.3.2 IRQ 割り込み	6-3、6-4	<p>説明を追加</p> <p>IRQ 割り込みをエッジセンスで使用する場合は、割り込み要求レジスタ 0 (IRR0) の対応するビットをソフトウェアで 1 であることを読み出したあとに 0 を書き込み、割り込み要因をクリアしてください。レベルセンスではクリアは不要です。ただし、割り込み要求元の端子をハイレベルにしてください。</p>																									
6.4.4 割り込み要求レジスタ 0 (IRR0)	6-13	<p>説明を修正</p> <p>IRQ5R ~ IRQ0R ビットを 0 にクリアする場合、当該ビットが 1 にセットされていることを読み出したあとクリアしたいビットのみ 0、他はすべて 1 を書き込んでください。</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>IRQ5R</td> <td>0</td> <td>R/W</td> <td> <p>IRQ5 割り込み要求</p> <p>IRQ5 端子に割り込み要求が入力されているかどうかを示します。IRQ5 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ5R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ5 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ5 端子に割り込み要求なし 1 : IRQ5 端子に割り込み要求あり</p> </td> </tr> <tr> <td>4</td> <td>IRQ4R</td> <td>0</td> <td>R/W</td> <td> <p>IRQ4 割り込み要求</p> <p>IRQ4 端子に割り込み要求が入力されているかどうかを示します。IRQ4 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ4R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ4 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ4 端子に割り込み要求なし 1 : IRQ4 端子に割り込み要求あり</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	5	IRQ5R	0	R/W	<p>IRQ5 割り込み要求</p> <p>IRQ5 端子に割り込み要求が入力されているかどうかを示します。IRQ5 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ5R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ5 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ5 端子に割り込み要求なし 1 : IRQ5 端子に割り込み要求あり</p>	4	IRQ4R	0	R/W	<p>IRQ4 割り込み要求</p> <p>IRQ4 端子に割り込み要求が入力されているかどうかを示します。IRQ4 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ4R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ4 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ4 端子に割り込み要求なし 1 : IRQ4 端子に割り込み要求あり</p>										
ビット	ビット名	初期値	R/W	説明																							
5	IRQ5R	0	R/W	<p>IRQ5 割り込み要求</p> <p>IRQ5 端子に割り込み要求が入力されているかどうかを示します。IRQ5 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ5R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ5 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ5 端子に割り込み要求なし 1 : IRQ5 端子に割り込み要求あり</p>																							
4	IRQ4R	0	R/W	<p>IRQ4 割り込み要求</p> <p>IRQ4 端子に割り込み要求が入力されているかどうかを示します。IRQ4 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ4R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ4 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ4 端子に割り込み要求なし 1 : IRQ4 端子に割り込み要求あり</p>																							
	6-14	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>IRQ3R</td> <td>0</td> <td>R/W</td> <td> <p>IRQ3 割り込み要求</p> <p>IRQ3 端子に割り込み要求が入力されているかどうかを示します。IRQ3 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ3R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ3 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ3 端子に割り込み要求なし 1 : IRQ3 端子に割り込み要求あり</p> </td> </tr> <tr> <td>2</td> <td>IRQ2R</td> <td>0</td> <td>R/W</td> <td> <p>IRQ2 割り込み要求</p> <p>IRQ2 端子に割り込み要求が入力されているかどうかを示します。IRQ2 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ2R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ2 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ2 端子に割り込み要求なし 1 : IRQ2 端子に割り込み要求あり</p> </td> </tr> <tr> <td>1</td> <td>IRQ1R</td> <td>0</td> <td>R/W</td> <td> <p>IRQ1 割り込み要求</p> <p>IRQ1 端子に割り込み要求が入力されているかどうかを示します。IRQ1 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ1R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ1 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ1 端子に割り込み要求なし 1 : IRQ1 端子に割り込み要求あり</p> </td> </tr> <tr> <td>0</td> <td>IRQ0R</td> <td>0</td> <td>R/W</td> <td> <p>IRQ0 割り込み要求</p> <p>IRQ0 端子に割り込み要求が入力されているかどうかを示します。IRQ0 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ0R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ0 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ0 端子に割り込み要求なし 1 : IRQ0 端子に割り込み要求あり</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	IRQ3R	0	R/W	<p>IRQ3 割り込み要求</p> <p>IRQ3 端子に割り込み要求が入力されているかどうかを示します。IRQ3 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ3R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ3 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ3 端子に割り込み要求なし 1 : IRQ3 端子に割り込み要求あり</p>	2	IRQ2R	0	R/W	<p>IRQ2 割り込み要求</p> <p>IRQ2 端子に割り込み要求が入力されているかどうかを示します。IRQ2 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ2R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ2 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ2 端子に割り込み要求なし 1 : IRQ2 端子に割り込み要求あり</p>	1	IRQ1R	0	R/W	<p>IRQ1 割り込み要求</p> <p>IRQ1 端子に割り込み要求が入力されているかどうかを示します。IRQ1 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ1R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ1 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ1 端子に割り込み要求なし 1 : IRQ1 端子に割り込み要求あり</p>	0	IRQ0R	0	R/W	<p>IRQ0 割り込み要求</p> <p>IRQ0 端子に割り込み要求が入力されているかどうかを示します。IRQ0 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ0R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ0 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ0 端子に割り込み要求なし 1 : IRQ0 端子に割り込み要求あり</p>
ビット	ビット名	初期値	R/W	説明																							
3	IRQ3R	0	R/W	<p>IRQ3 割り込み要求</p> <p>IRQ3 端子に割り込み要求が入力されているかどうかを示します。IRQ3 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ3R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ3 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ3 端子に割り込み要求なし 1 : IRQ3 端子に割り込み要求あり</p>																							
2	IRQ2R	0	R/W	<p>IRQ2 割り込み要求</p> <p>IRQ2 端子に割り込み要求が入力されているかどうかを示します。IRQ2 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ2R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ2 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ2 端子に割り込み要求なし 1 : IRQ2 端子に割り込み要求あり</p>																							
1	IRQ1R	0	R/W	<p>IRQ1 割り込み要求</p> <p>IRQ1 端子に割り込み要求が入力されているかどうかを示します。IRQ1 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ1R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ1 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ1 端子に割り込み要求なし 1 : IRQ1 端子に割り込み要求あり</p>																							
0	IRQ0R	0	R/W	<p>IRQ0 割り込み要求</p> <p>IRQ0 端子に割り込み要求が入力されているかどうかを示します。IRQ0 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ0R ビットを 0 にすることによってクリアされます。レベルセンスでは、IRQ0 端子の状態表示なので、フラグクリア不要です。</p> <p>0 : IRQ0 端子に割り込み要求なし 1 : IRQ0 端子に割り込み要求あり</p>																							

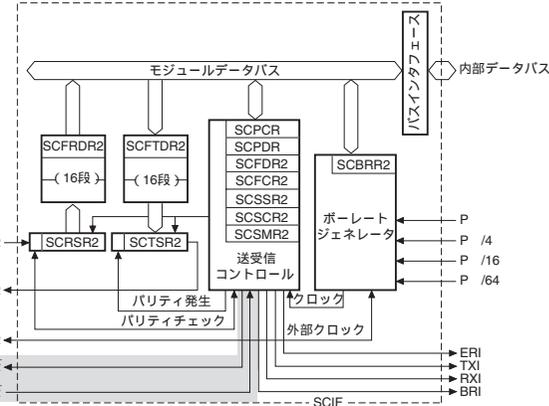
修正項目	ページ	修正箇所																																	
8.1 特長	8-2	項目を修正 <ul style="list-style-type: none"> • PCMCIA インタフェース 																																	
8.4.4 ウェイトコントロールレジスタ 2 (WCR2)	8-20	説明を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>A6W2</td> <td>1</td> <td>R/W</td> <td>エリア 6 のウェイトコントロール</td> </tr> <tr> <td>14</td> <td>A6W1</td> <td>1</td> <td>R/W</td> <td rowspan="2">PCR の A6W3 と組み合わせて物理空間のエリア 6 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。 詳細は表 8.6 を参照してください。</td> </tr> <tr> <td>13</td> <td>A6W0</td> <td>1</td> <td>R/W</td> </tr> <tr> <td>12</td> <td>A5W2</td> <td>1</td> <td>R/W</td> <td>エリア 5 のウェイトコントロール</td> </tr> <tr> <td>11</td> <td>A5W1</td> <td>1</td> <td>R/W</td> <td rowspan="2">PCR の A5W3 と組み合わせて物理空間のエリア 5 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。 詳細は表 8.7 を参照してください。</td> </tr> <tr> <td>10</td> <td>A5W0</td> <td>1</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	15	A6W2	1	R/W	エリア 6 のウェイトコントロール	14	A6W1	1	R/W	PCR の A6W3 と組み合わせて物理空間のエリア 6 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。 詳細は表 8.6 を参照してください。	13	A6W0	1	R/W	12	A5W2	1	R/W	エリア 5 のウェイトコントロール	11	A5W1	1	R/W	PCR の A5W3 と組み合わせて物理空間のエリア 5 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。 詳細は表 8.7 を参照してください。	10	A5W0	1	R/W
ビット	ビット名	初期値	R/W	説 明																															
15	A6W2	1	R/W	エリア 6 のウェイトコントロール																															
14	A6W1	1	R/W	PCR の A6W3 と組み合わせて物理空間のエリア 6 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。 詳細は表 8.6 を参照してください。																															
13	A6W0	1	R/W																																
12	A5W2	1	R/W	エリア 5 のウェイトコントロール																															
11	A5W1	1	R/W	PCR の A5W3 と組み合わせて物理空間のエリア 5 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。 詳細は表 8.7 を参照してください。																															
10	A5W0	1	R/W																																
表 8.6 エリア 6 のウェイトコントロール (通常メモリ I/F)	8-21	表タイトルを修正																																	
表 8.7 エリア 5 のウェイトコントロール (通常メモリ I/F)	8-22	表タイトルを修正																																	
8.4.6 PCMCIA コントロールレジスタ (PCR) 表 8.10 エリア 6 のウェイトコントロール (PCMCIA I/F)	8-29	表タイトルを修正																																	
8.5.4 シンクロナス DRAM インタフェース 表 8.17 バス幅、AMX とアドレスマルチプレクス出力の関係	8-50	表を修正 <table border="1"> <tr> <td>バス幅</td> <td>メモリ タイプ</td> </tr> <tr> <td>16</td> <td>8M × 16</td> </tr> <tr> <td>ビット</td> <td>ビット × 4 バンク[※]</td> </tr> </table>	バス幅	メモリ タイプ	16	8M × 16	ビット	ビット × 4 バンク [※]																											
バス幅	メモリ タイプ																																		
16	8M × 16																																		
ビット	ビット × 4 バンク [※]																																		

修正項目	ページ	修正箇所
8.5.4 シンクロナス DRAM インタフェース (7) バンクアクティブ	8-58	<p>注意事項を追加</p> <p>SDRAM バンクアクティブモードに関して下記の注意事項があります。</p> <p>下記の条件において、2.のアクセスを実行するための外部バスサイクル要求信号と、オートリフレッシュ要求、セルフリフレッシュ要求またはバス権開放要求が、LSI 内部で同時に発生した場合、リフレッシュサイクルの先頭またはバス開放シーケンスの先頭で行われるべき全バンクプリチャージが行われず、選択バンクプリチャージが行われてしまう場合があります。</p> <ol style="list-style-type: none"> 個別メモリコントロールレジスタ (MCR) の RASD ビットを 1 に設定 (SDRAM バンクアクティブモードに設定) バス幅 16 ビットの任意のエリア (エリア 0 ~ 6) に対するロングワードアクセス、もしくはバス幅 8 ビットの任意のエリア (エリア 0 ~ 6) に対するワードアクセス/ロングワードアクセスを実行 <p>この回避策として下記のいずれかでご使用ください。</p> <p>(1) オートプリチャージモードを使用する</p> <p>(2) すべてのエリアのバス幅を 32 ビットで使用する</p>
図 8.24 オートリフレッシュの動作	8-65	<p>図を修正</p> 
図 8.27 シンクロナス DRAM モード書き込みタイミング	8-69	<p>図を修正</p>  <p>【注】* カッコ内は16ビット幅接続時</p>

修正項目	ページ	修正箇所									
9.3.2 DMA デスティネーションアドレスレジスタ_0~3 (DAR_0~DAR_3)	9-5	説明を追加 16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送するときは、ソースアドレスは必ず 16 バイト境界 (16n 番地) に値を設定してください。それ以外のアドレスを設定した場合の動作は保証されません。									
9.5.2 レジスタ説明 (2) コンペアマッチタイムコントローラ/ステータスレジスタ (CMCSR)	9-36	説明を修正 CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、およびインクリメント用クロックの設定を行います。									
	9-37	ビット 1、0 の説明を修正 クロックセレクト 周辺クロック (P) を分周した 4 種類のクロックから CMCNT に入力するクロックを選択します。CMSTR の STR0 ビットが 1 にセットされると、CMCNT は CKS1、CKS0 ビットにより選択されたクロックでインクリメントを開始します。									
9.5.3 動作説明 (1) 期間カウント動作	9-37	説明を修正 クロックが CMCSR の CKS1、CKS0 ビットにより選択され、CMSTR の STR0 ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。									
(2) CMCNT カウントタイミング	9-38	説明を修正 周辺クロック (P) を分周して得られた 4 種類のクロック (P / 4、P / 8、P / 16、P / 64) のうち 1 つを CMCSR の CKS1、CKS0 ビットにより選択することができます。									
図 9.28 カウントタイミング		図を修正 									
図 9.29 CMF セットタイミング											
図 9.30 CPU による CMF クリアのタイミング	9-39	図を修正 CMCSR ライトサイクル 									
9.6.1 A/D 変換器と外部メモリとの DMA 転送例 表 9.7 4 回の転送終了後の DMAC 内の値	9-40	表を修正 <table border="1" data-bbox="624 1535 1200 1613"> <thead> <tr> <th></th> <th>アドレスリロードオン</th> <th>アドレスリロードオフ</th> </tr> </thead> <tbody> <tr> <td>SAR_2</td> <td>H0400 0090</td> <td>H0400 0090</td> </tr> <tr> <td>DAR_2</td> <td>H003F FFF0</td> <td>H003F FFF0</td> </tr> </tbody> </table>		アドレスリロードオン	アドレスリロードオフ	SAR_2	H0400 0090	H0400 0090	DAR_2	H003F FFF0	H003F FFF0
	アドレスリロードオン	アドレスリロードオフ									
SAR_2	H0400 0090	H0400 0090									
DAR_2	H003F FFF0	H003F FFF0									

修正項目	ページ	修正箇所														
9.7 使用上の注意	9-42、9-43	<p>注意事項を追加</p> <p>13. 次の または のときに DMAC が動作していた場合に、命令フェッチで誤ったコードを取り込んでプログラムが暴走したり、DMA 転送データを誤るなどの現象が発生します。</p> <p>クロック比 $I : B = 1 : 1$ 以外の条件でご使用中に、スリープモードから復帰するとき</p> <p>周波数制御レジスタ (FRQCR) の IFC [2:0] ビットを変更するとき</p> <p>ただし、変更後のクロック比が $I : B = 1 : 1$ の場合は問題ありません。</p> <p>また、IFC [2:0] と同時に STC [2:0] ビットを変更する場合は、問題ありません。</p> <p>この回避方法として</p> <ul style="list-style-type: none"> スリープモード中に DMAC を使用しないでください。あるいは、スリープモードを使用する場合は、クロック比を $I : B = 1 : 1$ に設定してください。 IFC [2:0] ビットのみを変更して $I : B = 1 : 1$ 以外のクロック比にする場合、DMAC を使用しないでください。 														
10. クロック発振器 (CPG)	全体	用語を修正 (修正前) 内部クロック (I) (修正後) CPU クロック (I)														
10.1 特長 図 10.1 CPG のブロック図	10-3	<p>注を修正</p> <p>【注】CPG の各ブロックは次のように機能します。</p> <p>1. PLL 回路 1</p> <p>PLL 回路 1 は、CKIO 端子または PLL 回路 2 からのクロック周波数を 1 倍、2 倍、3 倍、4 倍に逡倍する機能を持ちます。</p>														
10.3 クロック動作モード 表 10.3 クロックモードと FRQCR 値の可能な組み合わせ	10-5	<p>注*1 を追加</p> <table border="1"> <thead> <tr> <th>モード</th> <th>FRQCR^{※1} レジスタ値</th> <th>PLL 回路 1</th> <th>PLL 回路 2</th> <th>クロック比^{※2} (I:B:P)</th> <th>入力クロック/水晶発振子 周波数範囲</th> <th>CKIO 端子 周波数範囲</th> </tr> </thead> <tbody> <tr> <td colspan="7">-----</td> </tr> </tbody> </table>	モード	FRQCR ^{※1} レジスタ値	PLL 回路 1	PLL 回路 2	クロック比 ^{※2} (I:B:P)	入力クロック/水晶発振子 周波数範囲	CKIO 端子 周波数範囲	-----						
モード	FRQCR ^{※1} レジスタ値	PLL 回路 1	PLL 回路 2	クロック比 ^{※2} (I:B:P)	入力クロック/水晶発振子 周波数範囲	CKIO 端子 周波数範囲										

	10-6	<p>【注】*1 上記表以外は FRQCR レジスタに設定しないでください。</p> <p>*2 入力クロックを 1 とする 最大周波数 : I = 133.34MHz、B (CKIO) = 66.67MHz、P = 33.34MHz</p>														
【注意事項】	10-7	<p>注意事項を修正</p> <p>4. 周辺クロックの周波数 (P) は、CKIO 端子の周波数に PLL 回路 1 の周波数逡倍率と分周器 2 の分周率を掛けた周波数になります。</p> <p>周辺クロック (P) は、周波数 33MHz 以下、CKIO 端子の周波数以下、 に設定してください。</p>														

修正項目	ページ	修正箇所
10.6 使用上の注意事項 (3) PLL 発振回路使用時の注意	10-10	説明を修正 また、できるだけ CAP1、CAP2 端子の近くに置き、その近辺に配線パターンを配置しないでください。クロックモード 7 のときは、EXTAL 端子を VccQ または VssQ に接続し、XTAL 端子は開放にしてください。
12.3.3 タイマコントロールレジスタ 0~2 (TCR_0~TCR_2) • チャンネル 2 の場合	12-7	ビット 9 の説明を修正 0 : インพุットキャプチャ要求が発生していないことを示します。 [クリア条件] ICPF に 0 をライトしたとき
13.3.15 RTC コントロールレジスタ 1 (RCR1)	13-11	説明を修正 RCR1 はリード/ライト可能な 8 ビットのレジスタです。CIE ビット、AIE ビット、AF ビットはパワーオンリセットおよびマニュアルリセット時に初期化されます。ただし、CF フラグはパワーオンリセットおよびマニュアルリセット時に不定になります。 ビット 7 初期値を修正 (修正前) 0 (修正後) 不定
13.4.2 時刻設定手順	13-14、 13-15	説明を差し替え
14.3.8 SC ポートコントロールレジスタ (SCPCR)	14-16	ビット 5 の初期値を修正 (修正前) 1 (修正後) 0
16.1 特長	16-1	説明を修正 • モデムコントロール機能 (RTS2 および CTS2 端子) を内蔵
図 16.1 SCIF ブロック図	16-2	図を修正 
16.3.6 シリアルコントロールレジスタ 2 (SCSCR2)	16-10	ビット 1、0 の説明を修正 00 : 内部クロック / SCK2 端子は入出力端子 (入力信号は無視)

修正項目	ページ	修正箇所				
16.4.1 シリアル動作 (3) データの送信 / 受信動作 (SCIF 初期化) • シリアルデータ受信	16-31	説明を修正 5. モデムコントローラが有効であると、SCFRDR2 に空きがないとき RTS2 信号が出力されます。				
17. ピンファンクションコントローラ (PFC) 表 17.1 マルチプレクス一覧表	17-1 ~ 17-3	初期選択機能に を追加 表を修正 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="padding: 2px;">ポート</td> <td style="padding: 2px;">ポート機能 (関連モジュール)</td> </tr> <tr> <td style="padding: 2px;">F</td> <td style="padding: 2px;">PTF[1]入力 (ポート)</td> </tr> </table> <p>【注】 SCPT [0]、SCPT [2] は、入力端子、出力端子を異にしますが、アクセスするデータレジスタは同じです。</p>	ポート	ポート機能 (関連モジュール)	F	PTF[1]入力 (ポート)
ポート	ポート機能 (関連モジュール)					
F	PTF[1]入力 (ポート)					
17.1.6 ポート F コントロールレジスタ (PFCR)	17-11	ビット 3、2 の説明を修正 01 : 予約 (設定不可)				
17.1.10 SC ポートコントロールレジスタ (SCPCR)	17-15	説明を修正 SCPCR は、リード / ライト可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。SCPCR の設定は SCSCR レジスタの設定で送受信動作を禁止した場合のみ有効になります。 SCSCR の TE ビットを 1 にセットすると SCPCR の設定は無視され、TxD 機能が選択されます。 SCSCR の RE ビットを 1 にセットすると SCPCR の設定は無視され、Rx D 機能が選択されます。 SCSCR2 の TE ビットを 1 にセットすると SCPCR の設定は無視され、Tx D2 機能が選択されます。 SCSCR2 の RE ビットを 1 にセットすると SCPCR の設定は無視され、Rx D2 機能が選択されます。				
18.6 ポート F 図 18.6 ポート F	18-8	図を修正 PTF1 (入力) / AUDATA1 (入出力)				
18.10.2 SC ポートデータレジスタ (SCPDR)	18-15	ビット 5 の初期値を修正 (修正前) * (修正後) 0				

修正項目	ページ	修正箇所				
22. 低消費電力モード 表 22.1 低消費電力モードの状態	22-1、22-2	注*5 を追加 <div style="border: 1px dashed black; padding: 5px; margin: 10px auto; width: fit-content;"> <table border="1" style="border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 5px;">低消費電力モード</td> <td style="padding: 5px;">遷移状態</td> </tr> <tr> <td style="padding: 5px;">モジュールスタンバイ機能</td> <td style="padding: 5px;">STBCRのMSTPビットを1とする※5</td> </tr> </table> </div> <p>【注】*5 RTC、SCI、TMU の任意のレジスタアクセス以前に、リアルタイムクロック (RTC) をモジュールスタンバイ状態 (スタンバイコントロールレジスタ STBCR のビット 1 を"1"にセット) にした場合、シリアルコミュニケーションインタフェース (SCI) とタイマ (TMU) のレジスタが正しく読み出せない場合があります。</p> <p>この回避方法として</p> <p>RTC をモジュールスタンバイにする際は、RTC、SCI、TMU のレジスタのどれか一つ以上にアクセスした後に、RTC をモジュールスタンバイにしてください。</p>	低消費電力モード	遷移状態	モジュールスタンバイ機能	STBCRのMSTPビットを1とする※5
低消費電力モード	遷移状態					
モジュールスタンバイ機能	STBCRのMSTPビットを1とする※5					
22.3.3 モジュールスタンバイ機能 (1) モジュールスタンバイ機能への遷移	22-8	説明を追加 モジュールスタンバイ機能では、内蔵周辺モジュールの外部端子は内蔵周辺モジュールにより異なります。TMU の外部端子は停止前の状態を保持します。SCI の外部端子はリセット状態になります。レジスタは一部を除いて停止前の状態を保持します。 <p>RTC、SCI、TMU の任意のレジスタアクセス以前に、リアルタイムクロック (RTC) をモジュールスタンバイ状態 (スタンバイコントロールレジスタ STBCR のビット 1 を"1"にセット) にした場合、シリアルコミュニケーションインタフェース (SCI) とタイマ (TMU) のレジスタが正しく読み出せない場合があります。</p> <p>この回避方法として</p> <p>RTC をモジュールスタンバイにする際は、RTC、SCI、TMU のレジスタのどれか一つ以上にアクセスした後に、RTC をモジュールスタンバイにしてください。</p>				
24.2 DC 特性 表 24.2 DC 特性	24-3	端子容量の単位を修正 (修正前) PF (修正後) pF				

修正項目	ページ	修正箇所
24.3.1 クロックタイミング 表 24.5 クロックタイミング	24-5	項目の修正 パワーオン発振安定時間 (クロックモード 2)
図 24.4 パワーオン発振安定時間	24-6	図を修正
24.3.6 シンクロナス DRAM タイミング 図 24.39 シンクロナス DRAM のモードレジスタへのライトサイクル	24-38	図に注を追加
24.3.7 PCMCIA タイミング 図 24.45 PCMCIA I/O バスサイクル (TED=2、TEH=1、1 ウェイト、外部ウェイト)	24-44	図を修正
24.3.12 負荷容量による遅延時間の変化 図 24.63 負荷容量 - 遅延時間	24-54	図を修正

修正項目	ページ	修正箇所																														
B.1 端子機能 表 B.1 リセット、低消費電力状態、 バス権解放状態での端子状態	付録-5、 付録-7	<p>注*12を追加</p> <table border="1"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">端子名</th> <th colspan="2">リセット</th> <th colspan="2">低消費電力状態</th> <th rowspan="2">バス権 解放状態</th> </tr> <tr> <th>パワーオン リセット</th> <th>マニュアル リセット</th> <th>スタンバイ</th> <th>スリープ</th> </tr> </thead> <tbody> <tr> <td rowspan="3">クロック</td> <td>EXTAL</td> <td>I</td> <td>I</td> <td>I</td> <td>I</td> <td>I</td> </tr> <tr> <td>XTAL</td> <td>O^H</td> <td>O^H</td> <td>O^H</td> <td>O^H</td> <td>O^H</td> </tr> <tr> <td>CKIO</td> <td>IO^H</td> <td>IO^H</td> <td>IO^H※※</td> <td>IO^H</td> <td>IO^H</td> </tr> </tbody> </table> <p>【注】*12 スタンバイ中の CKIO のレベルは、H および L のいずれの場合もありえます。</p>	分類	端子名	リセット		低消費電力状態		バス権 解放状態	パワーオン リセット	マニュアル リセット	スタンバイ	スリープ	クロック	EXTAL	I	I	I	I	I	XTAL	O ^H	CKIO	IO ^H	IO ^H	IO ^H ※※	IO ^H	IO ^H				
	分類	端子名			リセット		低消費電力状態			バス権 解放状態																						
パワーオン リセット			マニュアル リセット	スタンバイ	スリープ																											
クロック	EXTAL	I	I	I	I	I																										
	XTAL	O ^H	O ^H	O ^H	O ^H	O ^H																										
	CKIO	IO ^H	IO ^H	IO ^H ※※	IO ^H	IO ^H																										
付録-6、 付録-7	分類に H-UDI を追加																															
B.3 未使用端子の処理	付録-11	<p>説明を修正</p> <ul style="list-style-type: none"> EXTAL を使用しない場合 <p>EXTAL : VccQ または VssQ に接続</p>																														
C. 型名一覧	付録-26	<p>表を修正</p> <table border="1"> <thead> <tr> <th>マーク型名</th> <th>パッケージ</th> </tr> </thead> <tbody> <tr> <td>HD6417706F133</td> <td>176 ピンプラスチック LQFP (PLOP0176KD-A/FP-176C)</td> </tr> <tr> <td>HD6417706BP133</td> <td>208 ピン TFBGA (TTBG0208JA-A/TBP-208A)</td> </tr> </tbody> </table>	マーク型名	パッケージ	HD6417706F133	176 ピンプラスチック LQFP (PLOP0176KD-A/FP-176C)	HD6417706BP133	208 ピン TFBGA (TTBG0208JA-A/TBP-208A)																								
マーク型名	パッケージ																															
HD6417706F133	176 ピンプラスチック LQFP (PLOP0176KD-A/FP-176C)																															
HD6417706BP133	208 ピン TFBGA (TTBG0208JA-A/TBP-208A)																															
D. パッケージ外形寸法図 図 D.1 外形寸法図 (PLQP0176KD-A/FP-176C)	付録-26	図 D.1 を差し替え																														
	付録-27	図 D.2 を差し替え																														

索引

ADCR.....	19-6, 23-4, 23-14, 23-19	CMCOR	9-37, 23-4, 23-13, 23-19
ADCSR	19-4, 23-4, 23-14, 23-19	CMCSR	9-36, 23-4, 23-13, 23-19
ADDRA	19-3	CMSTR.....	9-36, 23-4, 23-13, 23-19
ADDRAH.....	19-3, 23-4, 23-14, 23-19	DACR	20-2, 23-4, 23-14, 23-19
ADDRAL	19-3, 23-4, 23-14, 23-19	DADR0	23-4, 23-14, 23-19
ADDRB	19-3	DADR0, DADR1	20-2
ADDRBH.....	19-3, 23-4, 23-14, 23-19	DADR1	23-4, 23-14, 23-19
ADDRBL	19-3, 23-4, 23-14, 23-19	DAR_0	9-5, 23-3, 23-12, 23-18
ADDRC	19-3	DAR_1	9-5, 23-3, 23-12, 23-18
ADDRCH	19-3, 23-4, 23-14, 23-19	DAR_2	9-5, 23-3, 23-12, 23-18
ADDRCL	19-3, 23-4, 23-14, 23-19	DAR_3	9-5, 23-4, 23-13, 23-18
ADDRD	19-3	DMAOR	9-10, 23-4, 23-13, 23-19
ADDRDH	19-3, 23-4, 23-14, 23-19	DMATCR_0	9-5, 23-3, 23-12, 23-18
ADDRDL	19-3, 23-4, 23-14, 23-19	DMATCR_1	9-5, 23-3, 23-12, 23-18
BAMRA	7-3, 23-1, 23-9, 23-16	DMATCR_2	9-5, 23-3, 23-13, 23-18
BAMRB	7-5, 23-1, 23-9, 23-16	DMATCR_3	9-5, 23-4, 23-13, 23-18
BARA	7-3, 23-1, 23-9, 23-16	DMA 転送要求	9-13
BARB	7-5, 23-1, 23-9, 23-16	EXPEVT	4-7, 23-1, 23-10, 23-16
BASRA.....	7-11, 23-1, 23-10, 23-16	FRQCR	10-7, 23-1, 23-8, 23-16
BASRB.....	7-11, 23-1, 23-10, 23-16	GBR.....	2-8
BBRA	7-4, 23-1, 23-9, 23-16	ICR0	6-11, 23-2, 23-8, 23-17
BBRB	7-6, 23-1, 23-9, 23-16	ICR1	6-11, 23-3, 23-11, 23-18
BCR1	8-13, 23-2, 23-8, 23-16	INTEVT	4-7, 23-1, 23-10, 23-16
BCR2	8-16, 23-2, 23-8, 23-16	INTEVT2.....	4-7, 23-3, 23-11, 23-18
BDMRB.....	7-6, 23-1, 23-9, 23-16	IPRA	6-10, 23-2, 23-8, 23-17
BDRB	7-5, 23-1, 23-16	IPRB	6-10, 23-2, 23-8, 23-17
BETR	7-10, 23-1, 23-9, 23-16	IPRC	6-10, 23-3, 23-11, 23-18
BRCR.....	7-7, 23-1, 23-9, 23-16	IPRD	6-10, 23-3, 23-11, 23-18
BRDR.....	7-11, 23-1, 23-10, 23-16	IPRE	6-10, 23-3, 23-11, 23-18
BRSR.....	7-10, 23-1, 23-10, 23-16	IRR0	6-13, 23-3, 23-11, 23-18
CCR	5-3, 23-1, 23-10, 23-16	IRR1	6-14, 23-3, 23-11, 23-18
CCR2.....	5-4, 23-1, 23-10, 23-16	IRR2	6-15, 23-3, 23-11, 23-18
CHCR_0	9-6, 23-3, 23-12, 23-18	MAC.....	2-5
CHCR_1	9-6, 23-3, 23-12, 23-18	MCR	8-23, 23-2, 23-8, 23-17
CHCR_2	9-6, 23-3, 23-13, 23-18	MMUCR.....	3-7, 23-10, 23-16
CHCR_3	9-6, 23-4, 23-13, 23-19	PACR.....	17-4, 23-4, 23-14, 23-19
CMCNT.....	9-37, 23-4, 23-13, 23-19	PADR.....	18-2, 23-4, 23-14, 23-19

PBCR.....	17-5, 23-4, 23-14, 23-19	SAR_1	9-5, 23-3, 23-12, 23-18
PBDR.....	18-3, 23-4, 23-14, 23-19	SAR_2	9-5, 23-3, 23-12, 23-18
PC.....	2-5	SAR_3	9-5, 23-3, 23-13, 23-18
PCCR.....	17-6, 23-4, 23-14, 23-19	SCBRR	14-18, 23-3, 23-6, 23-18
PCDR.....	18-4, 23-4, 23-15, 23-19	SCBRR2	16-15, 23-5, 23-6, 23-20
PCMCIA.....	8-9	SCFCR2	16-19, 23-5, 23-6, 23-20
PCR.....	8-27, 23-2, 23-8, 23-17	SCFDR2	16-21, 23-5, 23-6, 23-20
PDCR.....	17-8, 23-4, 23-14, 23-19	SCFRDR2.....	16-6, 23-5, 23-6, 23-20
PDDR.....	18-6, 23-4, 23-15, 23-19	SCFTDR2.....	16-6, 23-5, 23-6, 23-20
PECR.....	17-9, 23-4, 23-14, 23-19	SCPCR.....	14-16, 17-15, 23-4, 23-14, 23-19
PEDR.....	18-7, 23-4, 23-15, 23-19	SCPDR.....	14-17, 18-14, 23-5, 23-15, 23-20
PFCR.....	17-10, 23-4, 23-14, 23-19	SCRDR.....	14-6, 23-3, 23-6, 23-18
PFDR.....	18-8, 23-5, 23-15, 23-20	SCRSR.....	14-6, 16-5
PGCR.....	17-12, 23-4, 23-14, 23-19	SCSCMR.....	15-3, 23-3, 23-6, 23-18
PGDR.....	18-10, 23-5, 23-15, 23-20	SCSCR.....	14-10, 23-3, 23-6, 23-18
PHCR.....	17-13, 23-4, 23-14, 23-19	SCSCR2.....	16-8, 23-5, 23-6, 23-20
PHDR.....	18-11, 23-5, 23-15, 23-20	SCSMR.....	14-7, 23-3, 23-6, 23-18
PJCR.....	17-14, 23-4, 23-14, 23-19	SCSMR2.....	16-6, 23-5, 23-6, 23-20
PJDR.....	18-13, 23-5, 23-15, 23-20	SCSSR.....	14-13, 15-4, 23-3, 23-6, 23-18
PR.....	2-5	SCSSR2.....	16-10, 23-5, 23-6, 23-20
PTEH.....	3-6, 23-1, 23-11, 23-16	SCTDR.....	14-7, 23-3, 23-6, 23-18
PTEL.....	3-7, 23-1, 23-11, 23-16	SCTSR.....	14-7, 16-6
R64CNT.....	13-4, 23-2, 23-7, 23-17	SDBPR.....	21-2
RCR1.....	13-11, 23-2, 23-8, 23-17	SDBSR.....	21-3
RCR2.....	13-12, 23-2, 23-17	SDIR.....	21-3, 23-5, 23-15, 23-20
RDAYAR.....	13-10, 23-2, 23-8, 23-17	SDMR.....	8-29, 23-2, 23-8
RDAYCNT.....	13-6, 23-2, 23-7, 23-17	SPC.....	2-8
RFCR.....	8-33, 23-2, 23-8, 23-17	SR.....	2-6
RHRAR.....	13-8, 23-2, 23-7, 23-17	SSR.....	2-7
RHRCNT.....	13-5, 23-2, 23-7, 23-17	STBCR.....	22-3, 23-1, 23-8, 23-16
RMINAR.....	13-8, 23-2, 23-7, 23-17	STBCR2.....	22-4, 23-1, 23-8, 23-16
RMINCNT.....	13-5, 23-2, 23-7, 23-17	TCNT_0.....	12-9, 23-2, 23-6, 23-17
RMONAR.....	13-10, 23-2, 23-8, 23-17	TCNT_1.....	12-9, 23-3, 23-7, 23-17
RMONCNT.....	13-6, 23-2, 23-7, 23-17	TCNT_2.....	12-9, 23-3, 23-7, 23-18
RSECAR.....	13-7, 23-2, 23-7, 23-17	TCOR_0.....	12-9, 23-2, 23-6, 23-17
RSECNT.....	13-4, 23-2, 23-7, 23-17	TCOR_1.....	12-9, 23-7, 23-17
RTCNT.....	8-32, 23-2, 23-8, 23-17	TCOR_2.....	12-9, 23-3, 23-7, 23-18
RTCOR.....	8-32, 23-2, 23-8, 23-17	TCPR_2.....	12-9, 23-3, 23-7, 23-18
RTCSR.....	8-30, 23-2, 23-8, 23-17	TCR_0.....	12-6, 23-6, 23-17
RWKAR.....	13-9, 23-2, 23-7, 23-17	TCR_1.....	12-6, 23-3, 23-7, 23-17
RWKCNT.....	13-5, 23-2, 23-7, 23-17	TCR_2.....	12-6, 23-3, 23-7, 23-18
RYRCNT.....	13-7, 23-2, 23-7, 23-17	TEA.....	3-7, 23-1, 23-11, 23-16
SAR_0.....	9-5, 23-3, 23-11, 23-18	TLB 保護違反例外.....	3-20

TOCR.....	12-4, 23-2, 23-6, 23-17	バスモード.....	9-26
TRA.....	4-8, 23-1, 23-10, 23-16	ビックエンディアン.....	2-8
TSTR.....	12-5, 23-2, 23-6, 23-17	マルチプロセッサ通信機能.....	14-35
TTB.....	3-7, 23-1, 23-11, 23-16	モード0.....	10-4
VBR.....	2-8	モード1.....	10-4
WCR1.....	8-18, 23-2, 23-8, 23-16	モード2.....	10-5
WCR2.....	8-20, 23-2, 23-8, 23-17	モード7.....	10-5
WTCNT.....	11-2, 23-1, 23-9, 23-16	ラウンドロビンモード.....	9-15
WTCSR.....	11-2, 23-1, 23-9	リセット.....	4-9
アドレスアレイ.....	5-9	リトルエンディアン.....	2-8
アドレス変換.....	3-4	一般例外.....	4-10
アドレッシングモード.....	2-11	仮想記憶方式.....	3-1
エリア0.....	8-37	外部リクエストモード.....	9-13
エリア1.....	8-38	割り込み.....	4-13
エリア2.....	8-38	割り込み応答時間.....	6-18
エリア3.....	8-38	割り込み要因.....	6-3
エリア4.....	8-39	間接アドレス転送モード.....	9-20
エリア5.....	8-39	機能別命令セット.....	2-16
エリア6.....	8-40	空間分割.....	8-5
オートリクエストモード.....	9-13	固定モード.....	9-14
オートリフレッシュ.....	8-65	処理モード.....	2-31
オペレーションコードマップ.....	2-27	多重仮想記憶方式.....	3-5
クロック動作モード.....	10-4	単一仮想記憶方式.....	3-5
クロック同期式モード.....	14-43	端子機能.....	1-6
コントロールレジスタ.....	2-5	遅延分岐.....	2-9
サイクルスチールモード.....	9-26	調歩同期式モード.....	14-25
システムレジスタ.....	2-5	直接アドレス転送モード.....	9-17
シノニム問題の回避.....	3-17	通信率の変更.....	10-9
シングルアドレスモード.....	9-24	内蔵周辺モジュールリクエストモード.....	9-13
セルフリフレッシュ.....	8-66	汎用レジスタ.....	2-4
チャンネルの優先順位.....	9-14	分周率の変更.....	10-9
データアレイ.....	5-10	命令形式.....	2-14
デュアルアドレスモード.....	9-17	例外コード.....	4-5
バーストモード.....	9-26	論理アドレス空間.....	3-3

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH7706

発行年月 2001年9月 第1版

2006年5月24日 Rev.5.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

SH7706
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0163-0500