

改訂一覧は改訂箇所をまとめたものであり、  
詳細については必ず本文の内容をご確認ください。

## SH7710、SH7712、SH7713 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ  
SuperH™ RISC engine ファミリ / SH7700 シリーズ

HD6417710

HD6417712

HD6417713



## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
  2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
  3. 当社製品を改造、改変、複製等しないでください。
  4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
  5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
  6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
  7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
  8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
  9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
  10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
  11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
  12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

接続された場合については保証できません。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

- ・CPU およびシステム制御系
- ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、 等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で修正または追加された主な箇所(改訂版のみ適用)

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

---

# はじめに

---

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

**対象者** このマニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。  
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** このマニュアルは、本 LSI のハードウェア機能をユーザに理解していただくことを目的としています。  
なお、実行命令の詳細については、「SH-3、SH-3E、SH3-DSP ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

## 読み方

- 対象製品と製品略称の表記について。  
本書では、下記の製品について説明をします。

製品分類と製品略称	基本製品型名
基本分類	
SH7710	HD6417710
SH7712	HD6417712
SH7713	HD6417713

- 機能全体を理解しようとするとき。  
目次に従って読んでください。  
本書は、大きく分類すると、CPU、システム制御機能、周辺機能の順に構成されています。
- CPU機能の詳細を理解したいとき。  
別冊の「SH-3、SH-3E、SH3-DSP ソフトウェアマニュアル」を参照してください。

**凡例** レジスタ表記 : FIFO 内蔵シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。  
XXX\_N (XXX は基本レジスタ名称、N はチャンネル番号)  
ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。  
数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX で表します。  
記号の表記 : ローアクティブの信号にはオーバーバー (XXXX) を付けます。

## 略語の説明

ACIA	Asynchronous Communication Interface Adapter 調歩同期インタフェース
AUD	Advanced User Debugger アドバンスドユーザデバッガ
BSC	Bus State Controller バスステートコントローラ
CPG	Clock Pulse Generator クロック発振器
DMA	Direct Memory Access ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ
ETU	Elementary Time Unit 1ピットの転送時間
FIFO	First-In First-Out 先入れ先出し
H-UDI	User Debug Interface ユーザデバッグインタフェース
INTC	Interrupt Controller 割り込みコントローラ
IPSEC	Security Architecture Accelerator for Internet Protocol IPセキュリティアクセラレータ
JTAG	Joint Test Action Group バウンダリスキャン規格化 Gr
LSB	Least Significant Bit 最下位ビット
MMU	Memory Management Unit メモリマネジメントユニット
MSB	Most Significant Bit 最上位ビット
PFC	Pin Function Controller ピンファンクションコントローラ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
RTC	Real Time Clock リアルタイムクロック

SCIF	Serial Communication Interface with FIFO FIFO 内蔵シリアルコミュニケーションインタフェース
SIOF	Serial IO with FIFO FIFO 内蔵シリアル IO
TLB	Translation Lookaside Buffer アドレス変換バッファ
TMU	Timer Unit タイマユニット
UART	Universal Asynchronous Receiver/Transmitter 調歩同期インタフェース
UBC	User Break Controller ユーザブレイクコントローラ
WDT	Watch Dog Timer ウォッチドッグタイマ



---

# 目次

---

1.	概要と端子機能.....	1-1
1.1	<b>特長</b> .....	1-1
1.2	<b>ブロック図</b> .....	1-8
1.3	<b>端子の説明</b> .....	1-11
1.3.1	<b>ピンの配置</b> .....	1-11
1.3.2	<b>端子の機能</b> .....	1-24
2.	CPU .....	2-1
2.1	<b>処理状態と処理モード</b> .....	2-1
2.1.1	<b>処理状態</b> .....	2-1
2.1.2	<b>処理モード</b> .....	2-2
2.2	<b>メモリマップ</b> .....	2-2
2.2.1	<b>論理アドレス空間</b> .....	2-2
2.2.2	<b>外部メモリ空間</b> .....	2-4
2.3	<b>レジスタの説明</b> .....	2-5
2.3.1	<b>汎用レジスタ</b> .....	2-7
2.3.2	<b>システムレジスタ</b> .....	2-8
2.3.3	<b>プログラムカウンタ</b> .....	2-8
2.3.4	<b>コントロールレジスタ</b> .....	2-8
2.4	<b>データ形式</b> .....	2-11
2.4.1	<b>レジスタのデータ形式</b> .....	2-11
2.4.2	<b>メモリ上でのデータ形式</b> .....	2-11
2.5	<b>命令の特長</b> .....	2-13
2.5.1	<b>命令の実行方法</b> .....	2-13
2.5.2	<b>アドレッシングモード</b> .....	2-15
2.5.3	<b>命令形式</b> .....	2-18
2.6	<b>命令セット</b> .....	2-20
2.6.1	<b>機能別命令セット</b> .....	2-20
2.6.2	<b>オペレーションコードマップ</b> .....	2-30
3.	DSP 演算ユニット .....	3-1
3.1	<b>DSP拡張機能</b> .....	3-1
3.2	<b>DSPモードのリソース</b> .....	3-3
3.2.1	<b>処理モード</b> .....	3-3
3.2.2	<b>DSPモードのメモリマップ</b> .....	3-3

3.2.3	CPU のレジスタセット .....	3-3
3.2.4	DSP レジスタ .....	3-6
3.3	CPU 拡張命令 .....	3-7
3.3.1	リピート制御命令 .....	3-7
3.3.2	拡張リピート制御命令 .....	3-15
3.4	DSP データ転送命令 .....	3-18
3.4.1	汎用レジスタ .....	3-22
3.4.2	DSP データアドレッシング .....	3-24
3.4.3	モジュールアドレッシング .....	3-25
3.4.4	メモリのデータ形式 .....	3-27
3.4.5	ダブル、シングルデータ転送命令の命令フォーマット .....	3-27
3.5	DSP データ演算命令 .....	3-28
3.5.1	DSP レジスタ .....	3-28
3.5.2	DSP 演算命令の命令セット .....	3-32
3.5.3	DSP タイプデータ形式 .....	3-36
3.5.4	ALU 固定小数点算術演算 .....	3-37
3.5.5	ALU 整数演算 .....	3-42
3.5.6	ALU 論理演算 .....	3-43
3.5.7	固定小数点乗算 .....	3-45
3.5.8	シフト演算 .....	3-46
3.5.9	MSB 検出命令 .....	3-50
3.5.10	丸め演算 .....	3-53
3.5.11	オーバフロー防止機能 .....	3-54
3.5.12	ローカルデータ移動命令 .....	3-55
3.5.13	オペランドの競合 .....	3-56
3.6	DSP 拡張機能命令セット .....	3-57
3.6.1	CPU 拡張命令 .....	3-57
3.6.2	ダブルデータ転送命令 .....	3-58
3.6.3	シングルデータ転送命令 .....	3-59
3.6.4	DSP 演算命令 .....	3-61
3.6.5	DSP モードでのオペレーションコードマップ .....	3-66
4.	例外処理 .....	4-1
4.1	レジスタの説明 .....	4-1
4.1.1	TRAPA 例外レジスタ (TRA) .....	4-2
4.1.2	例外事象レジスタ (EXPEVT) .....	4-2
4.1.3	割り込み事象レジスタ (INTEVT) .....	4-3
4.1.4	割り込み事象レジスタ 2 (INTEVT2) .....	4-3
4.1.5	例外アドレスレジスタ (TEA) .....	4-3
4.2	例外処理の機能 .....	4-4
4.2.1	例外処理の流れ .....	4-4

4.2.2	例外処理ベクタアドレス.....	4-5
4.2.3	例外コード.....	4-5
4.2.4	例外要求と BL ビットの関係 (多重例外防止) .....	4-5
4.2.5	例外要因の受け付けタイミングと優先順位 .....	4-5
4.3	個別例外の動作説明.....	4-8
4.3.1	リセット.....	4-8
4.3.2	一般例外.....	4-9
4.3.3	一般例外 (MMU 例外) .....	4-12
4.4	DSP 拡張機能有効時の例外処理 .....	4-14
4.4.1	不当命令例外、スロット不当命令例外 .....	4-14
4.4.2	CPU アドレスエラー .....	4-14
4.4.3	リピート制御中の例外.....	4-14
4.5	使用上の注意事項.....	4-19
5.	メモリマネジメントユニット (MMU) .....	5-1
5.1	MMU の役割.....	5-1
5.1.1	本 LSI の MMU.....	5-3
5.2	レジスタの説明.....	5-8
5.2.1	ページテーブルエントリ上位レジスタ (PTEH) .....	5-8
5.2.2	ページテーブルエントリ下位レジスタ (PTEL) .....	5-9
5.2.3	変換テーブルベースレジスタ (TTB) .....	5-9
5.2.4	MMU 制御レジスタ (MMUCR) .....	5-10
5.3	TLB の機能.....	5-11
5.3.1	TLB の構成.....	5-11
5.3.2	TLB のインデックス番号作成方法.....	5-13
5.3.3	TLB のアドレス比較.....	5-14
5.3.4	ページ管理情報.....	5-16
5.4	MMU の機能.....	5-17
5.4.1	MMU のハードウェア管理.....	5-17
5.4.2	MMU のソフトウェア管理.....	5-17
5.4.3	MMU の命令 (LDTLB) .....	5-18
5.4.4	シノニム問題の回避.....	5-19
5.5	MMU 例外.....	5-21
5.5.1	TLB ミス例外.....	5-21
5.5.2	TLB 保護違反例外.....	5-22
5.5.3	TLB 無効例外.....	5-23
5.5.4	初期ページ書き込み例外.....	5-24
5.5.5	リピートループにおける MMU 例外 .....	5-25
5.6	メモリ割り付け TLB の構成.....	5-26
5.6.1	アドレスアレイ.....	5-26
5.6.2	データアレイ.....	5-26

5.6.3	使用例 .....	5-28
5.7	使用上の注意事項 .....	5-28
6.	キャッシュ .....	6-1
6.1	特長 .....	6-1
6.1.1	キャッシュの構成 .....	6-1
6.2	レジスタの説明 .....	6-3
6.2.1	キャッシュ制御レジスタ 1 (CCR1) .....	6-3
6.2.2	キャッシュ制御レジスタ 2 (CCR2) .....	6-4
6.2.3	キャッシュ制御レジスタ 3 (CCR3) .....	6-6
6.3	動作説明 .....	6-7
6.3.1	キャッシュの検索 .....	6-7
6.3.2	リード動作 .....	6-8
6.3.3	プリフェッチ動作 .....	6-8
6.3.4	ライト動作 .....	6-8
6.3.5	ライトバックバッファ .....	6-9
6.3.6	キャッシュと外部メモリとのコヒーレンシ .....	6-9
6.4	メモリ割り付けキャッシュの構成 .....	6-10
6.4.1	アドレスアレイ .....	6-10
6.4.2	データアレイ .....	6-11
6.4.3	使用例 .....	6-14
7.	X/Yメモリ .....	7-1
7.1	特長 .....	7-1
7.2	動作説明 .....	7-2
7.2.1	CPU からのアクセス .....	7-2
7.2.2	DSP からのアクセス .....	7-2
7.2.3	DMAC、E-DMAC および IPSEC からのアクセス .....	7-2
7.3	使用上の注意事項 .....	7-3
7.3.1	ページ競合 .....	7-3
7.3.2	バス競合 .....	7-3
7.3.3	MMU、キャッシュの設定 .....	7-3
7.3.4	スリープモード .....	7-4
7.3.5	アドレスエラー .....	7-4
8.	割り込みコントローラ (INTC) .....	8-1
8.1	特長 .....	8-1
8.1.1	ブロック図 .....	8-2
8.2	入出力端子 .....	8-3
8.3	割り込み要因 .....	8-3
8.3.1	NMI 割り込み .....	8-3

8.3.2	IRQ 割り込み	8-4
8.3.3	IRL 割り込み	8-4
8.3.4	内蔵周辺モジュール割り込み	8-5
8.3.5	割り込み例外処理および優先順位	8-6
8.4	レジスタの説明	8-11
8.4.1	割り込み優先レベル設定レジスタ A~I (IPRA ~ IPRI)	8-12
8.4.2	割り込みコントロールレジスタ 0 (ICR0)	8-13
8.4.3	割り込みコントロールレジスタ 1 (ICR1)	8-14
8.4.4	割り込み要求レジスタ 0 (IRR0)	8-15
8.4.5	割り込み要求レジスタ 1 (IRR1)	8-15
8.4.6	割り込み要求レジスタ 2 (IRR2)	8-16
8.4.7	割り込み要求レジスタ 3 (IRR3)	8-17
8.4.8	割り込み要求レジスタ 4 (IRR4)	8-18
8.4.9	割り込み要求レジスタ 5 (IRR5)	8-19
8.4.10	割り込み要求レジスタ 7 (IRR7)	8-20
8.4.11	割り込み要求レジスタ 8 (IRR8)	8-21
8.5	動作説明	8-22
8.5.1	割り込み動作の流れ	8-22
8.5.2	多重割り込み	8-24
9.	ユーザブレイクコントローラ (UBC)	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-3
9.2.1	ブレイクアドレスレジスタ A (BARA)	9-3
9.2.2	ブレイクアドレスマスクレジスタ A (BAMRA)	9-4
9.2.3	ブレイクバスサイクルレジスタ A (BBRA)	9-4
9.2.4	ブレイクアドレスレジスタ B (BARB)	9-5
9.2.5	ブレイクアドレスマスクレジスタ B (BAMRB)	9-6
9.2.6	ブレイクデータレジスタ B (BDRB)	9-6
9.2.7	ブレイクデータマスクレジスタ B (BDMRB)	9-6
9.2.8	ブレイクバスサイクルレジスタ B (BBRB)	9-7
9.2.9	ブレイクコントロールレジスタ (BRCR)	9-8
9.2.10	実行回数ブレイクレジスタ (BETR)	9-11
9.2.11	ブランチソースレジスタ (BRSR)	9-11
9.2.12	ブランチデスティネーションレジスタ (BRDR)	9-12
9.2.13	ブレイク ASID レジスタ A (BASRA)	9-12
9.2.14	ブレイク ASID レジスタ B (BASRB)	9-12
9.3	動作説明	9-13
9.3.1	ユーザブレイク動作の流れ	9-13
9.3.2	命令フェッチサイクルでのブレイク	9-14
9.3.3	データアクセスサイクルでのブレイク	9-15

9.3.4	XメモリまたはYメモリバスサイクルでのブ레이크	9-16
9.3.5	シーケンシャルブ레이크	9-16
9.3.6	回避されるプログラムカウンタの値	9-16
9.3.7	PCトレース	9-17
9.3.8	使用例	9-18
9.4	使用上の注意事項	9-23
10.	低消費電力モード	10-1
10.1	概要	10-1
10.1.1	低消費電力モードの種類	10-1
10.1.2	リセット	10-2
10.1.3	入出力端子	10-2
10.2	レジスタの説明	10-3
10.2.1	スタンバイコントロールレジスタ (STBCR)	10-3
10.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	10-4
10.2.3	スタンバイコントロールレジスタ 3 (STBCR3)	10-5
10.3	動作説明	10-6
10.3.1	スリープモード	10-6
10.3.2	ソフトウェアスタンバイモード	10-6
10.3.3	モジュールスタンバイ機能	10-9
10.3.4	STATUS 端子の変化タイミング	10-9
11.	内蔵発振回路 (CPG)	11-1
11.1	概要	11-1
11.1.1	特長	11-1
11.2	CPGの概要	11-3
11.2.1	CPGのブロック図	11-3
11.2.2	入出力端子	11-5
11.3	クロック動作モード	11-5
11.4	レジスタの説明	11-9
11.4.1	周波数制御レジスタ (FRQCR)	11-9
11.5	周波数変更方法	11-10
11.5.1	逡倍率の変更	11-10
11.5.2	分周率の変更	11-11
11.6	WDTの概要	11-11
11.6.1	WDTのブロック図	11-11
11.7	WDTのレジスタの説明	11-12
11.7.1	ウォッチドッグタイマカウンタ (WTCNT)	11-12
11.7.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCR)	11-12
11.7.3	レジスタアクセス時の注意	11-14
11.8	WDTの使用方法	11-15

11.8.1	スタンバイ解除の手順.....	11-15
11.8.2	周波数変更の手順.....	11-16
11.8.3	ウォッチドッグタイマモードの使用法.....	11-16
11.8.4	インターバルタイマモードの使用法.....	11-16
11.9	ボード設計上の注意事項.....	11-17
12.	バスステートコントローラ (BSC) .....	12-1
12.1	特長.....	12-1
12.2	入出力端子.....	12-4
12.3	エリアの概要.....	12-6
12.3.1	空間分割.....	12-6
12.3.2	シャドウ空間.....	12-6
12.3.3	アドレスマップ.....	12-7
12.3.4	エリア 0 メモリタイプおよびメモリバス幅.....	12-9
12.3.5	データアライメント.....	12-9
12.4	レジスタの説明.....	12-10
12.4.1	共通コントロールレジスタ (CMNCR) .....	12-11
12.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、2、3、4、5A、5B、6A、6B) .....	12-14
12.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、2、3、4、5A、5B、6A、6B) .....	12-17
12.4.4	SDRAM コントロールレジスタ (SDCR) .....	12-37
12.4.5	リフレッシュタイマコントロール/ステータスレジスタ (RTC SR) .....	12-40
12.4.6	リフレッシュタイマカウンタ (RTCNT) .....	12-41
12.4.7	リフレッシュタイムコンスタントレジスタ (RTCOR) .....	12-41
12.5	動作説明.....	12-42
12.5.1	エンディアン/アクセスサイズとデータアライメント.....	12-42
12.5.2	通常空間インタフェース.....	12-47
12.5.3	アクセスウェイト制御.....	12-52
12.5.4	$\overline{CSn}$ アサート期間拡張.....	12-54
12.5.5	SDRAM インタフェース.....	12-55
12.5.6	バースト ROM (クロック非同期) インタフェース.....	12-84
12.5.7	バイト選択付き SRAM インタフェース.....	12-85
12.5.8	PCMCIA インタフェース.....	12-90
12.5.9	バースト ROM (クロック同期) .....	12-96
12.5.10	アクセスサイクル間ウェイト.....	12-98
12.5.11	バスアービトレーション.....	12-98
12.5.12	その他.....	12-99
13.	ダイレクトメモリアクセスコントローラ (DMAC) .....	13-1
13.1	特長.....	13-1
13.2	入出力端子.....	13-3

13.3	レジスタの説明	13-3
13.3.1	DMA ソースアドレスレジスタ (SAR)	13-5
13.3.2	DMA デスティネーションアドレスレジスタ (DAR)	13-5
13.3.3	DMA トランスファカウンタレジスタ (DMATCR)	13-5
13.3.4	DMA チャネルコントロールレジスタ (CHCR)	13-6
13.3.5	DMA オペレーションレジスタ (DMAOR)	13-10
13.3.6	DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2)	13-12
13.4	動作説明	13-14
13.4.1	転送フロー	13-14
13.4.2	DMA 転送要求	13-16
13.4.3	チャネルの優先順位	13-18
13.4.4	DMA 転送の種類	13-21
13.4.5	バスサイクルのステート数と DREQ 端子のサンプリングタイミング	13-28
13.5	使用上の注意	13-31
13.5.1	TEND 端子を使用する場合の注意事項	13-31
13.5.2	外部アクセスで DACK が分割された場合の DREQ サンプリングに関する注意事項	13-31
14.	タイマユニット (TMU)	14-1
14.1	特長	14-1
14.1.1	ブロック図	14-2
14.2	レジスタの説明	14-3
14.2.1	タイマスタートレジスタ (TSTR)	14-3
14.2.2	タイマコントロールレジスタ (TCR)	14-4
14.2.3	タイマコンスタントレジスタ (TCOR)	14-5
14.2.4	タイマカウンタ (TCNT)	14-5
14.3	動作説明	14-5
14.3.1	カウンタの動作	14-5
14.4	割り込み	14-8
14.4.1	ステータスフラグのセットタイミング	14-8
14.4.2	ステータスフラグのクリアタイミング	14-8
14.4.3	割り込み要因と優先順位	14-9
14.5	使用上の注意事項	14-9
14.5.1	レジスタの書き込みについて	14-9
14.5.2	レジスタの読み出しについて	14-9
15.	リアルタイムクロック (RTC)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	64Hz カウンタ (R64CNT)	15-4
15.3.2	秒カウンタ (RSECCNT)	15-4



15.3.3	分カウンタ (RMINCNT) .....	15-5
15.3.4	時カウンタ (RHRCNT) .....	15-5
15.3.5	曜日カウンタ (RWKCNT) .....	15-6
15.3.6	日カウンタ (RDAYCNT) .....	15-6
15.3.7	月カウンタ (RMONCNT) .....	15-7
15.3.8	年カウンタ (RYRCNT) .....	15-7
15.3.9	秒アラームレジスタ (RSECAR) .....	15-8
15.3.10	分アラームレジスタ (RMINAR) .....	15-8
15.3.11	時アラームレジスタ (RHRAR) .....	15-9
15.3.12	曜日アラームレジスタ (RWKAR) .....	15-10
15.3.13	日アラームレジスタ (RDAYAR) .....	15-11
15.3.14	月アラームレジスタ (RMONAR) .....	15-11
15.3.15	年アラームレジスタ (RYRAR) .....	15-12
15.3.16	RTC コントロールレジスタ 1 (RCR1) .....	15-13
15.3.17	RTC コントロールレジスタ 2 (RCR2) .....	15-14
15.3.18	RTC コントロールレジスタ (RCR3) .....	15-15
15.4	動作説明 .....	15-16
15.4.1	電源投入後のレジスタの初期設定 .....	15-16
15.4.2	時刻設定手順 .....	15-16
15.4.3	時刻読み出し手順 .....	15-17
15.4.4	アラーム機能 .....	15-18
15.4.5	水晶発振回路 .....	15-19
15.5	使用上の注意事項 .....	15-20
15.5.1	RTC カウント動作時のレジスタ書き込みについて .....	15-20
15.5.2	リアルタイムクロック (RTC) の周期割り込みの使用について .....	15-20
15.5.3	レジスタ設定後のスタンバイ遷移について .....	15-20
15.5.4	RTC 電源に関する注意事項について (1) .....	15-20
15.5.5	RTC 電源に関する注意事項について (2) .....	15-21
16.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) .....	16-1
16.1	特長 .....	16-1
16.2	入出力端子 .....	16-3
16.3	レジスタの説明 .....	16-3
16.3.1	レシーブシフトレジスタ (SCRSR) .....	16-4
16.3.2	レシーブ FIFO データレジスタ (SCFRDR) .....	16-4
16.3.3	トランスミットシフトレジスタ (SCTSR) .....	16-4
16.3.4	トランスミット FIFO データレジスタ (SCFTDR) .....	16-5
16.3.5	シリアルモードレジスタ (SCSMR) .....	16-5
16.3.6	シリアルコントロールレジスタ (SCSCR) .....	16-8
16.3.7	シリアルステータスレジスタ (SCFSR) .....	16-10
16.3.8	ビットレートレジスタ (SCBRR) .....	16-15

16.3.9	FIFO コントロールレジスタ (SCFCR) .....	16-16
16.3.10	FIFO データ数レジスタ (SCFDR) .....	16-18
16.3.11	ラインステータスレジスタ (SCLSR) .....	16-19
16.4	動作説明 .....	16-19
16.4.1	概要 .....	16-19
16.4.2	調歩同期式モードのシリアル動作 .....	16-21
16.4.3	クロック同期式モードのシリアル動作 .....	16-30
16.5	SCIF割り込み要因とDMAC .....	16-37
16.6	使用上の注意 .....	16-38
17.	FIFO 内蔵シリアル IO (SIOF) .....	17-1
17.1	特長 .....	17-1
17.1.1	ブロック図 .....	17-2
17.2	入出力端子 .....	17-3
17.3	レジスタの説明 .....	17-3
17.3.1	シリアルモードレジスタ (SIMDR) .....	17-4
17.3.2	クロックセレクトレジスタ (SISCR) .....	17-6
17.3.3	送信データアサインレジスタ (SITDAR) .....	17-7
17.3.4	受信データアサインレジスタ (SIRDAR) .....	17-8
17.3.5	制御データアサインレジスタ (SICDAR) .....	17-9
17.3.6	シリアルコントロールレジスタ (SICTR) .....	17-10
17.3.7	FIFO コントロールレジスタ (SIFCTR) .....	17-12
17.3.8	ステータスレジスタ (SISTR) .....	17-13
17.3.9	割り込み許可レジスタ (SIER) .....	17-16
17.3.10	送信データレジスタ (SITDR) .....	17-17
17.3.11	受信データレジスタ (SIRDR) .....	17-18
17.3.12	送信制御データレジスタ (SITCR) .....	17-18
17.3.13	受信制御データレジスタ (SIRCR) .....	17-19
17.4	動作説明 .....	17-20
17.4.1	シリアルクロック .....	17-20
17.4.2	シリアルタイミング .....	17-21
17.4.3	転送データフォーマット .....	17-22
17.4.4	転送データのレジスタ割り付け .....	17-23
17.4.5	制御データインタフェース .....	17-26
17.4.6	FIFO .....	17-27
17.4.7	送受信手順 .....	17-29
17.4.8	割り込み .....	17-34
17.4.9	送受信タイミング .....	17-36
17.5	使用上の注意 .....	17-40

18.	イーサネットコントローラ (EtherC)	18-1
18.1	特長	18-1
18.2	入出力端子	18-3
18.3	レジスタの説明	18-4
18.3.1	ソフトウェアリセットレジスタ (ARSTR)	18-6
18.3.2	EtherC モードレジスタ (ECMR)	18-6
18.3.3	EtherC ステータスレジスタ (ECSR)	18-8
18.3.4	EtherC 割り込み許可レジスタ (ECSIPR)	18-9
18.3.5	PHY 部インタフェースレジスタ (PIR)	18-10
18.3.6	MAC アドレス上位設定レジスタ (MAHR)	18-10
18.3.7	MAC アドレス下位設定レジスタ (MALR)	18-11
18.3.8	受信フレーム長上限レジスタ (RFLR)	18-11
18.3.9	PHY 部ステータスレジスタ (PSR)	18-12
18.3.10	送信リトライオーバカウンタレジスタ (TROCR)	18-12
18.3.11	遅延衝突検出カウンタレジスタ (CDCR)	18-12
18.3.12	キャリア消失カウンタレジスタ (LCCR)	18-13
18.3.13	キャリア未検出カウンタレジスタ (CNDCR)	18-13
18.3.14	CRC エラーフレーム受信カウンタレジスタ (CEFCR)	18-13
18.3.15	フレーム受信エラーカウンタレジスタ (FRECR)	18-13
18.3.16	64 バイト未満フレーム受信カウンタレジスタ (TSFRCR)	18-14
18.3.17	指定バイト超フレーム受信カウンタレジスタ (TLFRCR)	18-14
18.3.18	端数ビットフレーム受信カウンタレジスタ (RFCR)	18-14
18.3.19	マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)	18-14
18.3.20	IPG 設定レジスタ (IPGR)	18-15
18.3.21	TSU カウンタリセットレジスタ (TSU_CTRST)	18-15
18.3.22	転送イネーブルレジスタ (0→1 系) (TSU_FWEN0) (SH7710, SH7712)	18-16
18.3.23	転送イネーブルレジスタ (1→0 系) (TSU_FWEN1) (SH7710, SH7712)	18-16
18.3.24	転送 FIFO 容量選択レジスタ (TSU_FCM) (SH7710, SH7712)	18-17
18.3.25	転送 FIFO オーバフロー予告設定レジスタ (0 系) (TSU_BSYSL0) (SH7710, SH7712)	18-18
18.3.26	転送 FIFO オーバフロー予告制御設定レジスタ (1 系) (TSU_BSYSL1) (SH7710, SH7712)	18-19
18.3.27	送信・転送優先制御モードレジスタ (0 系) (TSU_PRISL0) (SH7710, SH7712)	18-20
18.3.28	送信・転送優先制御モードレジスタ (1 系) (TSU_PRISL1) (SH7710, SH7712)	18-21
18.3.29	受信・転送機能設定レジスタ (0→1 系) (TSU_FWSL0) (SH7710, SH7712)	18-22
18.3.30	受信・転送機能設定レジスタ (1→0 系) (TSU_FWSL1) (SH7710, SH7712)	18-23
18.3.31	転送機能設定レジスタ (共通) (TSU_FWSLC) (SH7710, SH7712)	18-24
18.3.32	Qtag 追加・削除設定レジスタ (0→1 系) (TSU_QTAGM0) (SH7710, SH7712)	18-25
18.3.33	Qtag 追加・削除設定レジスタ (1→0 系) (TSU_QTAGM1) (SH7710, SH7712)	18-25
18.3.34	転送ステータスレジスタ (TSU_FWSR) (SH7710, SH7712)	18-26
18.3.35	転送ステータス割り込みマスクレジスタ (TSU_FWINMK) (SH7710, SH7712)	18-28

18.3.36	追加 Qtag 値設定レジスタ (0 1 系) (TSU_ADQT0) (SH7710、SH7712) .....	18-30
18.3.37	追加 Qtag 値設定レジスタ (1 0 系) (TSU_ADQT1) (SH7710、SH7712) .....	18-31
18.3.38	CAM エントリテーブル設定ビジーレジスタ (TSU_ADSSBSY) (SH7710、SH7712) .....	18-31
18.3.39	CAM エントリテーブルイネーブル設定レジスタ (TSU_TEN) (SH7710、SH7712) .....	18-32
18.3.40	CAM エントリテーブル POST 設定 1 レジスタ (TSU_POST1) (SH7710、SH7712) .....	18-34
18.3.41	CAM エントリテーブル POST 設定 2 レジスタ (TSU_POST2) (SH7710、SH7712) .....	18-36
18.3.42	CAM エントリテーブル POST 設定 3 レジスタ (TSU_POST3) (SH7710、SH7712) .....	18-37
18.3.43	CAM エントリテーブル POST 設定 4 レジスタ (TSU_POST4) (SH7710、SH7712) .....	18-39
18.3.44	CAM エントリテーブル 0 ~ 31H レジスタ (TSU_ADRH0 ~ TSU_ADRH31) (SH7710、SH7712) .....	18-41
18.3.45	CAM エントリテーブル 0 ~ 31L レジスタ (TSU_ADRL0 ~ TSU_ADRL31) (SH7710、SH7712) .....	18-41
18.3.46	送信フレーム数カウンタレジスタ (正常送信のみ) (0 系) (TXNLCR0) (SH7710、SH7712) / (TXNLCR) (SH7713) .....	18-42
18.3.47	送信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (0 系) (TXALCR0) (SH7710、SH7712) / (TXALCR) (SH7713) .....	18-42
18.3.48	受信フレーム数カウンタレジスタ (正常受信のみ) (0 系) (RXNLCR0) (SH7710、SH7712) / (RXNLCR) (SH7713) .....	18-42
18.3.49	受信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (0 系) (RXALCR0) (SH7710、SH7712) / (RXALCR) (SH7713) .....	18-43
18.3.50	転送フレーム数カウンタレジスタ (正常転送のみ) (1 0 系) (FWNLCR0) (SH7710、SH7712) .....	18-43
18.3.51	転送フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (1 0 系) (FWALCR0) (SH7710、SH7712) .....	18-43
18.3.52	送信フレーム数カウンタレジスタ (正常送信のみ) (1 系) (TXNLCR1) (SH7710、SH7712) .....	18-44
18.3.53	送信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (1 系) (TXALCR1) (SH7710、SH7712) .....	18-44
18.3.54	受信フレーム数カウンタレジスタ (正常受信のみ) (1 系) (RXNLCR1) (SH7710、SH7712) .....	18-44
18.3.55	受信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (1 系) (RXALCR1) (SH7710、SH7712) .....	18-45
18.3.56	転送フレーム数カウンタレジスタ (正常転送のみ) (0 1 系) (FWNLCR1) (SH7710、SH7712) .....	18-45
18.3.57	転送フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (0 1 系) (FWALCR1) (SH7710、SH7712) .....	18-45
18.4	動作説明 .....	18-46
18.4.1	送信動作 (SH7710、SH7712、および SH7713 のすべてに適用) .....	18-47
18.4.2	受信動作 (SH7710、SH7712、および SH7713 のすべてに適用) .....	18-49
18.4.3	転送動作 (SH7710 および SH7712 のみに適用) .....	18-50
18.4.4	CAM 機能 (SH7710 および SH7712 のみに適用) .....	18-51
18.4.5	MII フレームタイミング (SH7710、SH7712、および SH7713 のすべてに適用) .....	18-55
18.4.6	MII レジスタのアクセス方法 (SH7710、SH7712、および SH7713 のすべてに適用) .....	18-57

18.4.7	Magic Packet の検出 (SH7710、SH7712、および SH7713 のすべてに適用) .....	18-60
18.4.8	IPG 設定による動作 (SH7710、SH7712、および SH7713 のすべてに適用) .....	18-60
18.4.9	IEEE802.1Q Qtag 使用方法 (SH7710 および SH7712 のみに適用) .....	18-61
18.5	PHY-LSIとの接続 (SH7710、SH7712、およびSH7713のすべてに適用) .....	18-62
18.6	使用上の注意事項 (SH7713のみに適用) .....	18-62
18.6.1	初期設定 .....	18-62
19.	イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC) .....	19-1
19.1	特長 .....	19-1
19.2	レジスタの説明 .....	19-3
19.2.1	E-DMAC モードレジスタ (EDMR) .....	19-4
19.2.2	E-DMAC 送信要求レジスタ (EDTRR) .....	19-6
19.2.3	E-DMAC 受信要求レジスタ (EDRRR) .....	19-6
19.2.4	送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR) .....	19-7
19.2.5	受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR) .....	19-7
19.2.6	EtherC/E-DMAC ステータスレジスタ (EESR) .....	19-8
19.2.7	EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) .....	19-11
19.2.8	送受信ステータスコピー指示レジスタ (TRSCER) .....	19-14
19.2.9	ミスドフレームカウンタレジスタ (RMFCR) .....	19-14
19.2.10	送信 FIFO しきい値指定レジスタ (TFTR) .....	19-15
19.2.11	FIFO 容量指定レジスタ (FDR) .....	19-16
19.2.12	受信方式制御レジスタ (RMCR) .....	19-16
19.2.13	E-DMAC 動作制御レジスタ (EDOCR) .....	19-17
19.2.14	受信バッファライトアドレスレジスタ (RBWAR) .....	19-17
19.2.15	受信ディスクリプタフェッチアドレスレジスタ (RDFAR) .....	19-18
19.2.16	送信バッファリードアドレスレジスタ (TBRAR) .....	19-18
19.2.17	送信ディスクリプタフェッチアドレスレジスタ (TDFAR) .....	19-18
19.2.18	オーバフロー予告 FIFO しきい値設定レジスタ (FCFTR) .....	19-19
19.2.19	送信割り込み設定レジスタ (TRIMD) .....	19-19
19.3	動作説明 .....	19-20
19.3.1	ディスクリプタとディスクリプタリスト .....	19-20
19.3.2	送信機能 .....	19-29
19.3.3	受信機能 .....	19-31
19.3.4	マルチバッファフレーム (1 フレーム / 複数ディスクリプタ) の送受信処理について .....	19-33
19.3.5	受信 FIFO オーバフロー予告信号 (ARBUSY) について .....	19-35
19.4	使用上の注意事項 .....	19-38
19.4.1	E-DMAC 送信要求レジスタ (EDTRR) および E-DMAC 受信要求レジスタ (EDRRR) 使用上の注意事項 .....	19-38
19.4.2	E-DMAC のエンディアン対応について .....	19-38
19.4.3	E-DMAC パディング機能使用禁止について .....	19-39
19.4.4	SH-Ether EtherC/E-DMAC ステータスレジスタ (EESR) の使用上の注意について .....	19-39

19.4.5	SH-Ether 送信アンダフロー発生時の使用上の注意について .....	19-46
20.	IP セキュリティアクセラレータ (IPSEC) (SH7710 のみ) .....	20-1
21.	ピンファンクションコントローラ (PFC) .....	21-1
21.1	概要 .....	21-1
21.2	レジスタの構成 .....	21-2
21.3	レジスタの説明 .....	21-3
21.3.1	ポート A コントロールレジスタ (PACR) .....	21-3
21.3.2	ポート B コントロールレジスタ (PBCR) .....	21-4
21.3.3	ポート C コントロールレジスタ (PCCR) .....	21-5
21.3.4	イーサネットコントローラ端子コントロールレジスタ (PETCR) .....	21-6
22.	I/O ポート .....	22-1
22.1	概要 .....	22-1
22.2	レジスタの説明 .....	22-1
22.2.1	ポート A データレジスタ (PADR) .....	22-1
22.2.2	ポート B データレジスタ (PBDR) .....	22-2
22.2.3	ポート C データレジスタ (PCDR) .....	22-3
23.	ユーザデバッグインタフェース (H-UDI) .....	23-1
23.1	特長 .....	23-1
23.2	入出力端子 .....	23-2
23.3	レジスタの説明 .....	23-3
23.3.1	バイパスレジスタ (SDBPR) .....	23-3
23.3.2	インストラクションレジスタ (SDIR) .....	23-3
23.3.3	バウンダリスキャンレジスタ (SDBSR) .....	23-5
23.3.4	ID レジスタ (SDID) .....	23-11
23.4	動作説明 .....	23-12
23.4.1	TAP コントローラ .....	23-12
23.4.2	リセット構成 .....	23-13
23.4.3	TDO 出力タイミング .....	23-13
23.4.4	H-UDI リセット .....	23-14
23.4.5	H-UDI 割り込み .....	23-14
23.5	バウンダリスキャン .....	23-15
23.5.1	サポートする命令 .....	23-15
23.5.2	注意事項 .....	23-16
23.6	使用上の注意事項 .....	23-16
23.7	アドバンストユーザデバッグ (AUD) .....	23-16

24. レジスタ一覧 .....	24-1
24.1 レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順） .....	24-2
24.2 レジスタビット一覧 .....	24-15
24.3 各動作モードにおけるレジスタの状態 .....	24-37
25. 電気的特性 .....	25-1
25.1 絶対最大定格 .....	25-1
25.2 DC特性 .....	25-3
25.3 AC特性 .....	25-5
25.3.1 クロックタイミング .....	25-6
25.3.2 制御信号タイミング .....	25-10
25.3.3 ACバスタイミング仕様 .....	25-13
25.3.4 基本タイミング .....	25-14
25.3.5 パーストROM タイミング .....	25-18
25.3.6 シンクロナスDRAM タイミング .....	25-19
25.3.7 DMAC 信号タイミング .....	25-45
25.3.8 RTC 信号タイミング .....	25-45
25.3.9 SCIF モジュール信号タイミング .....	25-46
25.3.10 SIOF モジュール信号タイミング .....	25-47
25.3.11 イーサネットコントローラタイミング .....	25-51
25.3.12 ポート入出力タイミング .....	25-55
25.3.13 H-UDI 関連端子のタイミング .....	25-56
25.3.14 AC 特性測定条件 .....	25-58
25.4 負荷容量による遅延時間の変化 .....	25-59
付録 .....	付録-1
A. 端子状態と未使用端子の状態 .....	付録-1
B. 外形寸法図 .....	付録-8
C. リセット処理プログラムを記述する際の注意事項 .....	付録-10
本版で修正または追加された箇所 .....	改訂-1
索引 .....	索引-1





---

# 1. 概要と端子機能

---

本 LSI は、Super H アーキテクチャを採用した 32 ビットの RISC マイクロプロセッサです。

RISC タイプの CPU とデジタル信号処理 (DSP) 拡張機能をコアとして、イーサネットシステムの構成に必要な周辺機能を集積した 1 チップマイクロプロセッサです。

本 LSI は、IEEE802.3u 規格に準拠したメディアアクセスコントローラ (MAC) とメディアインディペンデントインタフェース (MII) 標準ユニットを含むイーサネットコントローラを 2 チャンネル (SH7710、SH7712) または 1 チャンネル (SH7713) 搭載しており、10/100Mbps での LAN 接続を実現することができます。さらに、IP セキュリティアクセラレータを内蔵することにより、ネットワーク上のデータのセキュリティ管理を効率よく行うことができます\*。

大容量 32k バイトキャッシュメモリ、16k バイト内蔵 X/Y メモリおよびシステム構成に必要な割り込みコントローラを搭載しており、自由度の高いシステム構築が可能です。また、内蔵 DMAC (Direct Memory Access Controller) による高速データ転送や、外部メモリアクセスサポート機能による各種メモリへの直結が可能です。

強力な内蔵パワー管理機能によって、高速動作時にも電力消費を低く抑えることができます。

【注】 \* IP セキュリティアクセラレータは、SH7710 にのみ内蔵されています。

## 1.1 特長

本 LSI の特長を以下に示します。

### 1. CPUの特長

- ルネサス独自の Super H アーキテクチャ
- SH-1、SH-2、および SH-3 とオブジェクトコードレベルで互換性あり
- 32 ビット内部データバスを内蔵
- 豊富なレジスタ群をサポート

汎用レジスタ： 32 ビットのレジスタを 16 本内蔵 (8 本の 32 ビットバンクレジスタを含む)

コントロールレジスタ： 32 ビットのレジスタを 5 本内蔵

システムレジスタ： 32 ビットのレジスタを 4 本内蔵

- RISC タイプ命令セットをサポート

命令長は、コード効率改善のための 16 ビット固定長を使用

ロードストアアーキテクチャ

遅延分岐命令

C 言語指向の命令セット

- 基本命令の命令実行時間は、1命令/サイクルで対応
- 論理アドレス空間は、4Gバイトに対応
- 空間識別ASIDは、8ビット、および256論理アドレス空間に対応
- 5段パイプラインをサポート

## 2. DSPの特長

- 16ビット命令、および32ビット命令の混在可能
- 32または40ビットの内部データバスを内蔵
- 乗算器、ALU、バレルシフタに対応
- 16ビット×16ビットに対応する32ビットワンサイクル乗算器を内蔵
- 大容量のDSPデータレジスタファイルをサポート
  - 6本の32ビットデータレジスタ
  - 2本の40ビットデータレジスタ
- DSPデータバス用の拡張ハーバードアーキテクチャをサポート
  - 2本のデータバス
  - 1本の命令バス
- 最大4つのパラレル演算を実行可能
  - ALU、乗算、2つのロード/ストア
- 2つのメモリアクセス用アドレスを生成するための2本のアドレスユニットを装備
- DSPデータアドレッシングモードをサポート
  - インクリメント、およびインデクシング（モジュロアドレッシングあり/なし）
- ゼロオーバーヘッドリピートループ制御に対応
- 条件付実行命令に対応
- ユーザDSPモードおよび特権DSPモードをサポート

## 3. メモリマネジメントユニット（MMU）の特長

- 4Gバイトのアドレス空間、256のアドレス空間（ASID8ビット）に対応
- ページユニット共有可能
- 複数のページサイズをサポート
  - 1kバイトまたは4kバイト
- 128エントリ、4ウェイセットアソシアティブTLBをサポート
- ソフトウェアによるリプレースウェイ指定、およびランダムリプレースアルゴリズムをサポート
- アドレス割付により、TLBの内容を直接アクセス可能

## 4. キャッシュメモリの特長

- 32kバイトキャッシュ、命令とデータの混在可能
- 512エントリ、4ウェイセットアソシアティブ、および16バイトブロック長に対応
- ライトバック、ライトスルー、およびLRU置換アルゴリズムに対応
- 1段階ライトバックバッファを内蔵

## 5. X/Yメモリの特長

- 3本の独立した読み出しおよび書き込みポート  
CPUからの8、16、および32ビットアクセス  
DSPからの最大2つの16ビットのアクセス  
SH7710、SH7712 :  
DMACとE-DMACからの8、16、および32ビットアクセス  
SH7713 :  
DMACからの8、16、および32ビットアクセス  
E-DMACからの32ビットアクセス\*4
- トータル16kバイトのメモリ（XとY各メモリに対し8kバイトのRAM）を内蔵

## 6. 割り込みコントローラ（INTC）の特長

- 7本の外部割り込み端子（NMI、IRQ5～IRQ0）をサポート
- 15レベル割り込み端子（ $\overline{IRL3}$ ～ $\overline{IRL0}$ ）をサポート
- 1本の割り込み要求出力端子（ $\overline{IRQOUT}$ ）をサポート
- 内蔵周辺割り込みは、モジュールごとに優先順位を設定可能
- ソフトベクタモードをサポート
- 立ち下がり、立ち上がり、ハイレベル、およびローレベルの選択可能

## 7. ユーザブレイクコントローラ（UBC）の特長

- アドレス、データ値、アクセスタイプ、およびデータサイズはすべてブレイク条件として設定可能
- シーケンシャルブレイク機能をサポート
- 2本のブレイクチャンネルを内蔵

## 8. クロックバルス発振器（CPG）の特長

- クロックモードは、入力クロックを外部入力（EXTALまたはCKIO）および水晶発振子から選択可能  
また、PLL回路および分周器の設定により、内部クロックと周辺クロックの設定可能

- 3種類のクロック生成に対応
    - CPUクロック (Iクロック) : 200MHz (最大)
    - バスクロック (Bクロック) : 66MHz (最大)
    - 周辺クロック (Pクロック) : 33MHz (最大)
  - 低消費電力モードのサポート
    - スリープモード
    - ソフトウェアスタンバイモード
    - モジュールスタンバイモード
  - 1チャンネルのウォッチドッグタイマを内蔵
    - ウォッチドッグタイマモードとインターバルタイマモードを選択可能
    - インターバルタイマモード時、割り込み発生可能
9. バスステートコントローラ (BSC) の特長
- 物理アドレス空間は、それぞれ最大64Mバイトの4つの領域 (エリア0、エリア2~4)、および最大32Mバイトの4つの領域 (エリア5A、5B、6A、6B) の合計8エリアをサポート
  - 各エリアには、独立に次の機能を設定可能
    - バスサイズ (8、16、32ビット) : ただし、各エリアごとにサポートサイズが異なる
    - アクセスウェイトサイクル数 : リードまたはライトで独立ウェイト設定可のエリアあり
    - アイドルウェイトサイクル設定 : 同一エリアまたは別エリア
    - エリアごとに接続するメモリを指定することによってSRAM、バイト選択付きSRAM、バーストROM (クロック同期/非同期)、SDRAM、PCMCIAをサポート
    - 該当する領域にチップセレクト信号 ( $\overline{CS0}$ 、 $\overline{CS2} \sim \overline{CS4}$ 、 $\overline{CS5A/B}$ 、 $\overline{CS6A/B}$ ) を出力 (CSアサートまたはネゲート) するタイミングをプログラミングで選択可能
10. DMAコントローラの特長 (DMAC) の特長
- 6チャンネルを内蔵。内2チャンネルは外部リクエスト可能 (ch0~ch1)
  - バーストモードおよびサイクルスチールモードをサポート
11. タイマ (TMU) の特長
- 3チャンネルオートリロード型32ビットタイマ内蔵
  - 4種類のカウンタ入力クロックを選択可能

12. リアルタイムクロック（RTC）の特長\*<sup>1</sup>

- 内蔵クロック、カレンダー機能、およびアラーム機能内蔵
- 1/256秒の最大分解能（割り込みサイクル）の32kHz水晶発振器回路内蔵

## 13. FIFO内蔵シリアルコミュニケーションインタフェース（SCIF）の特長

- 送受信FIFOおのおの16バイト内蔵
- 2チャンネル内蔵（SCIF0およびSCIF1）
- CTS/RTS対応（フロー制御）サポート
- 調歩同期モード、クロック同期モードの選択可能
- 全二重通信可能
- DMA転送可能

## 14. FIFO内蔵シリアルIO（SIOF）の特長

- 送受信FIFOおのおの64バイト内蔵
- 8ビット、16ビット、および16ビットステレオ音声入出力対応
- 2チャンネル内蔵（SIOF0およびSIOF1）
- DMA転送可能
- フレーム同期信号サポート

## 15. イーサネットコントローラ（EtherC）の特長

- MAC（Media Access Control）機能
- データフレームの組立／分解（IEEE802.3u準拠フレーム形式）
- CSMA/CD方式のリンク管理（衝突回避、衝突発生時の処理）
- CRC処理
- 全二重送受信サポート
- ショートフレーム・ロングフレームを検出可能
- MII（Media Independent Interface）標準規格に対応\*<sup>2</sup>
- MAC層からの8ビットストリームデータをMIIニブルストリーム（4ビット）に変換
- ステーション管理（STA機能）
- 転送レート可変：10/100Mbps
- Magic Packet\*<sup>3</sup>検出によるWOL（Wake-On-LAN）信号出力
- CAMセンス信号入力（SH7710およびSH7712のみ）\*<sup>4</sup>

## 16. イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC) の特長

- EtherC-外部/内部メモリ間転送可能
- 16バイトバースト転送可能
- シングルアドレス転送
- チェーンブロック転送
- 転送データ幅：32ビット
- アドレス空間：4Gバイト
- FIFO搭載（送受信各2kバイト）

## 17. IPセキュリティアクセラレータ (IPSEC) の特長 (SH7710のみ) \*4

- DES (Data Encryption Standard) に準じたDES/Triple-DESの暗号/復号化をサポート
- MD5 Message-Digest Algorithmに準じたハッシュ関数の生成をサポート
- Source Hash StandardのSHA-1に準じたハッシュ関数の生成をサポート
- データ転送用の専用DMACを内蔵
- 割り込み要求可能

## 18. ユーザデバッグインタフェース (H-UDI) の特長

- E10Aエミュレータをサポート
- リアルタイム分岐トレースに対応
- 高速エミュレーションプログラム実行用1kバイトのRAM内蔵

【注】 \*1 電源分離していませんので、RTCのみを動作させる場合でも全電源端子に常時給電をする必要があります。

\*2 +5V 入出力は、サポートしていません。

\*3 Magic Packet は、Advanced Micro Devices Inc.の登録商標です。

\*4 SH7710、SH7712、SH7713の差分

項番	項目	SH7710	SH7712	SH7713
5	X/Yメモリの特長	DMAC と E-DMAC からの 8、16、および 32 ビットアクセス		DMAC からの 8、16、および 32 ビットアクセス E-DMAC からの 32 ビットアクセス
15	イーサネット コントローラ (EtherC) の特長	CAM センス信号入力		—
17	IP セキュリティ アクセラレータ (IPSEC) の特長	あり	なし	

## 19. 製品ラインアップ

略称	電源電圧		最大動作周波数	製品型名	パッケージ
	I/O	内部			
SH7710	3.3±0.3V	1.5±0.1V	200MHz	HD6417710BP/BPV	256 ピン CSP (BP-256H/HV)
				HD6417710F/FV	256 ピン HQFP (FP-256G/GV)
SH7712	3.3±0.3V	1.5±0.1V	200MHz	HD6417712BP/BPV	256 ピン CSP (BP-256H/HV)
				HD6417712F/FV	256 ピン HQFP (FP-256G/GV)
SH7713	3.3±0.3V	1.5±0.1V	200MHz	HD6417713BP/BPV	256 ピン CSP (BP-256H/HV)
				HD6417713F/FV	256 ピン HQFP (FP-256G/GV)

## 1.2 ブロック図

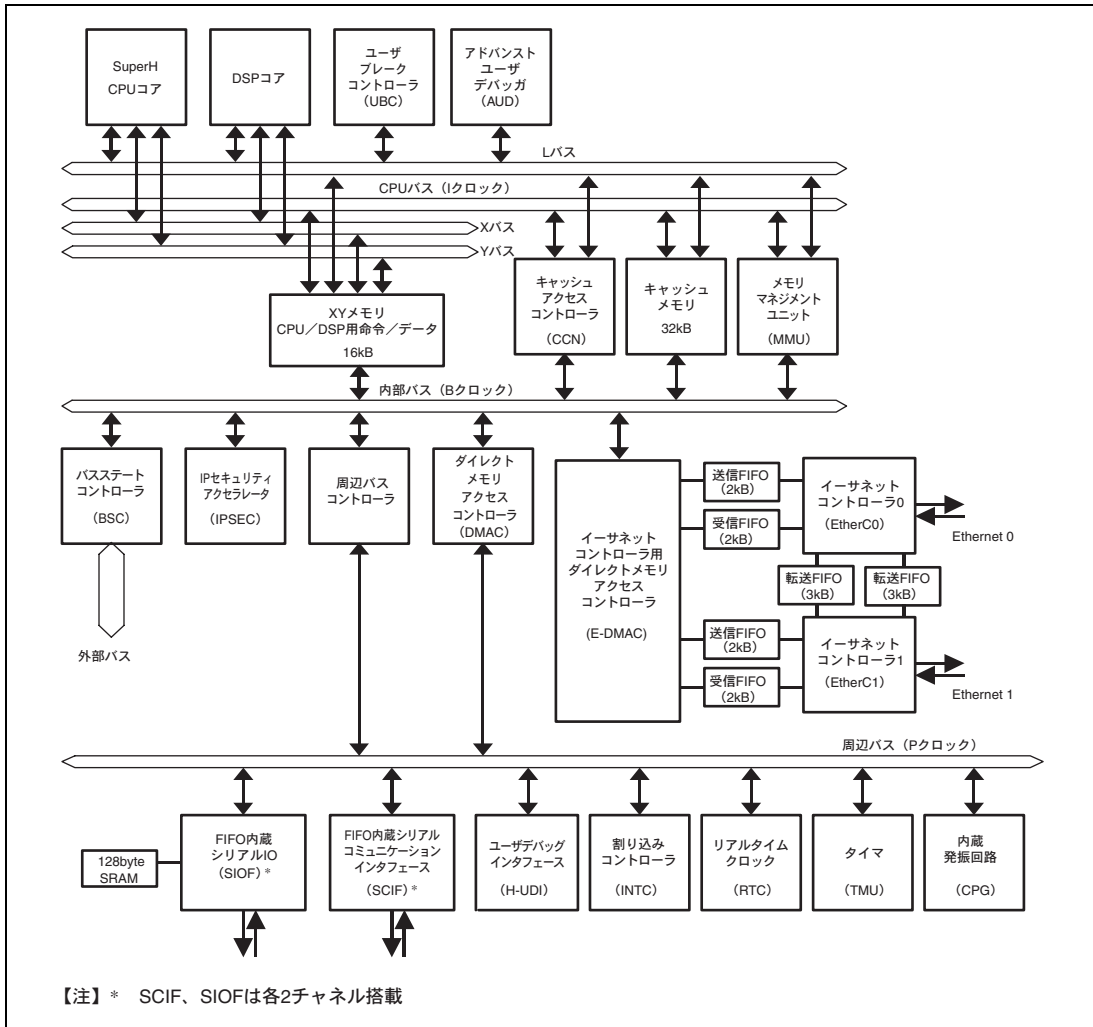


図 1.1 (1) ブロック図 (SH7710)



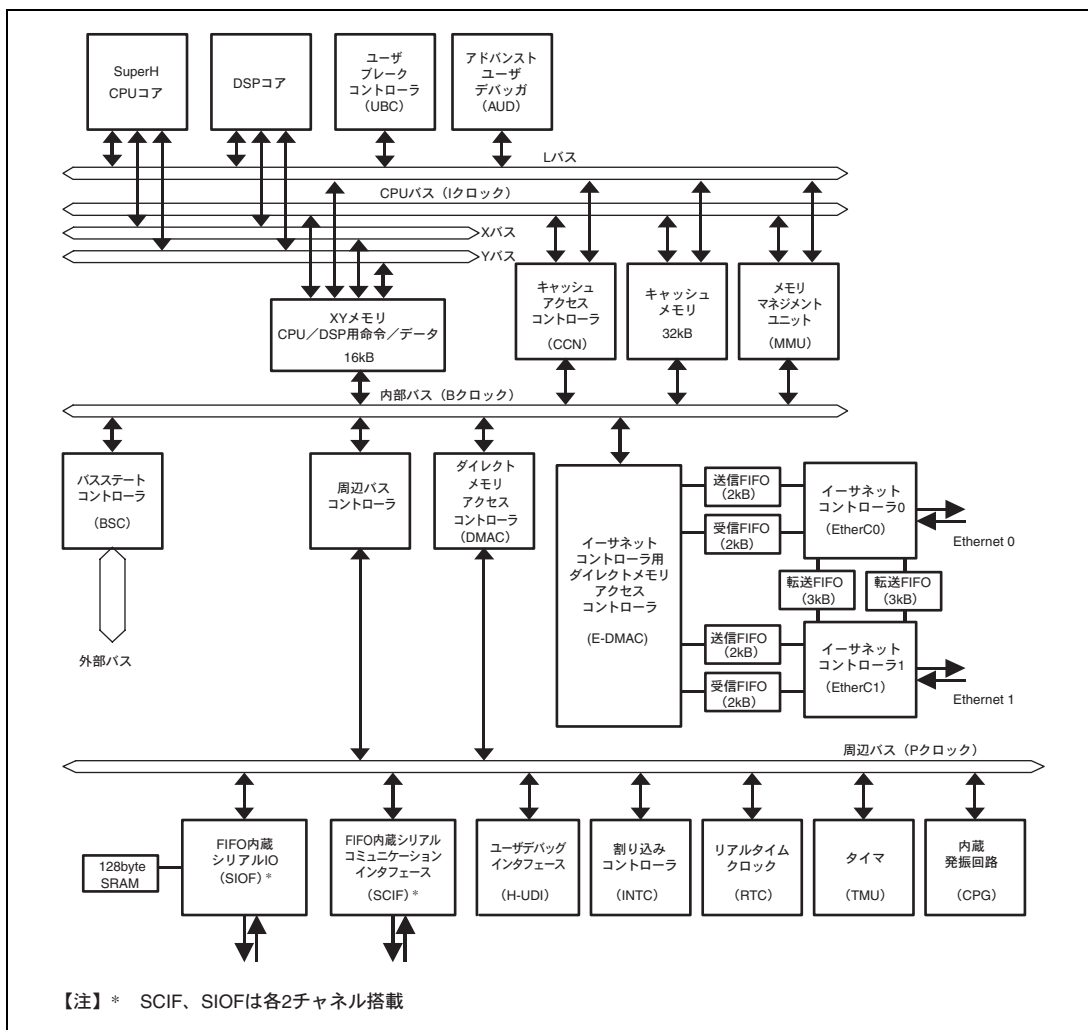


図 1.1 (2) ブロック図 (SH7712)

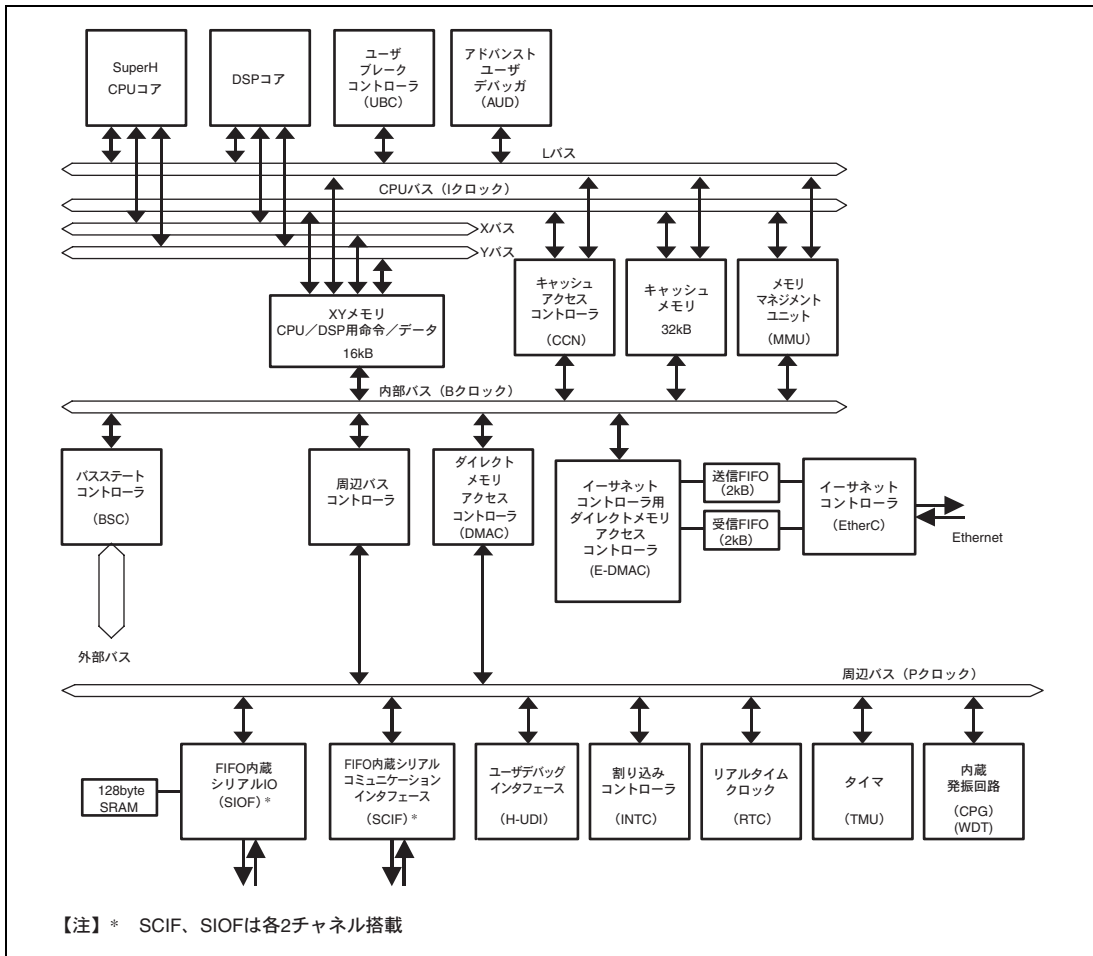


図 1.1 (3) ブロック図 (SH7713)

### 1.3 端子の説明

#### 1.3.1 ピンの配置

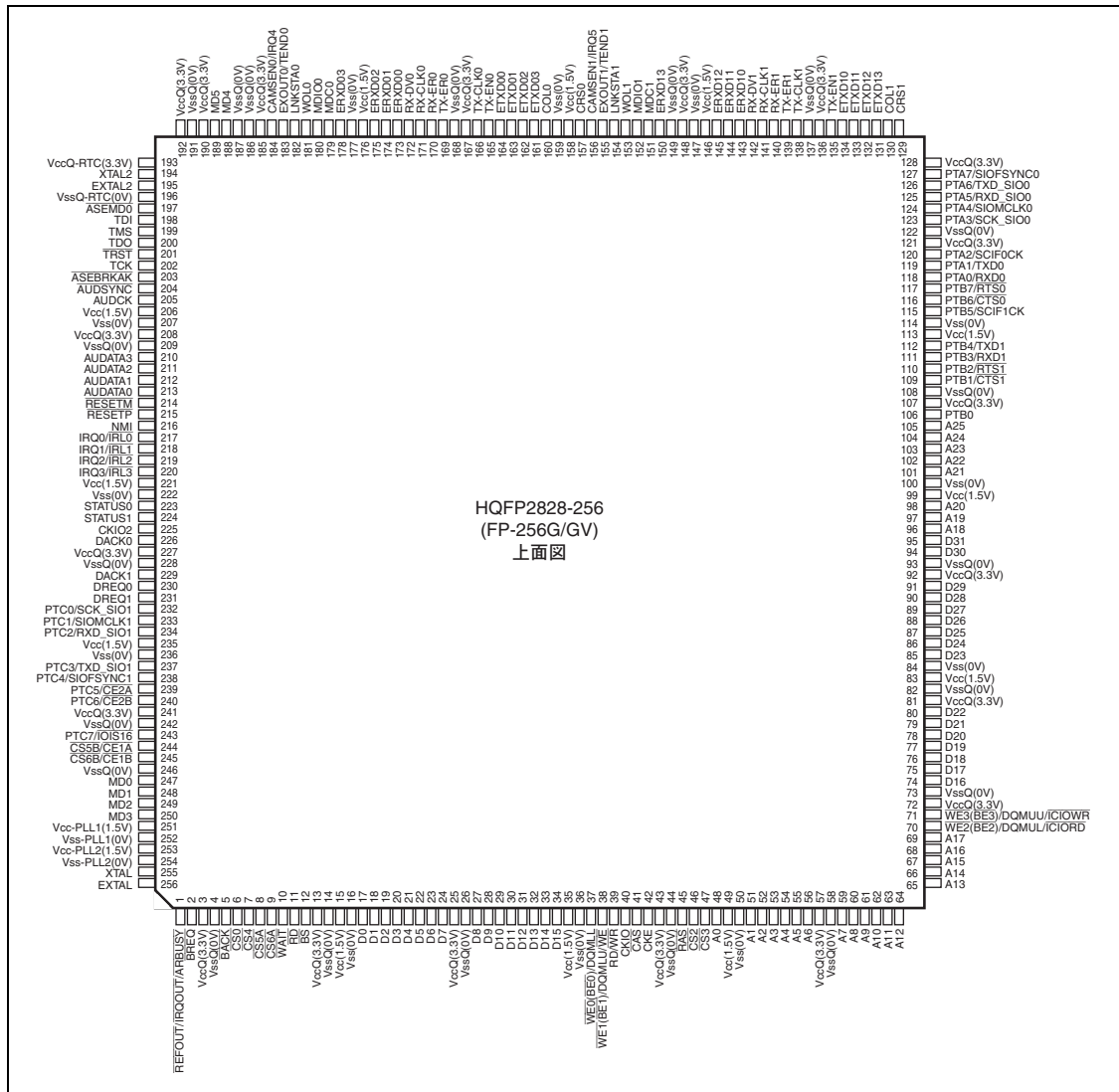


図 1.2 (1) ピン配置図 (HQFP2828-256 (FP-256G/GV) ) (SH7710、SH7712)

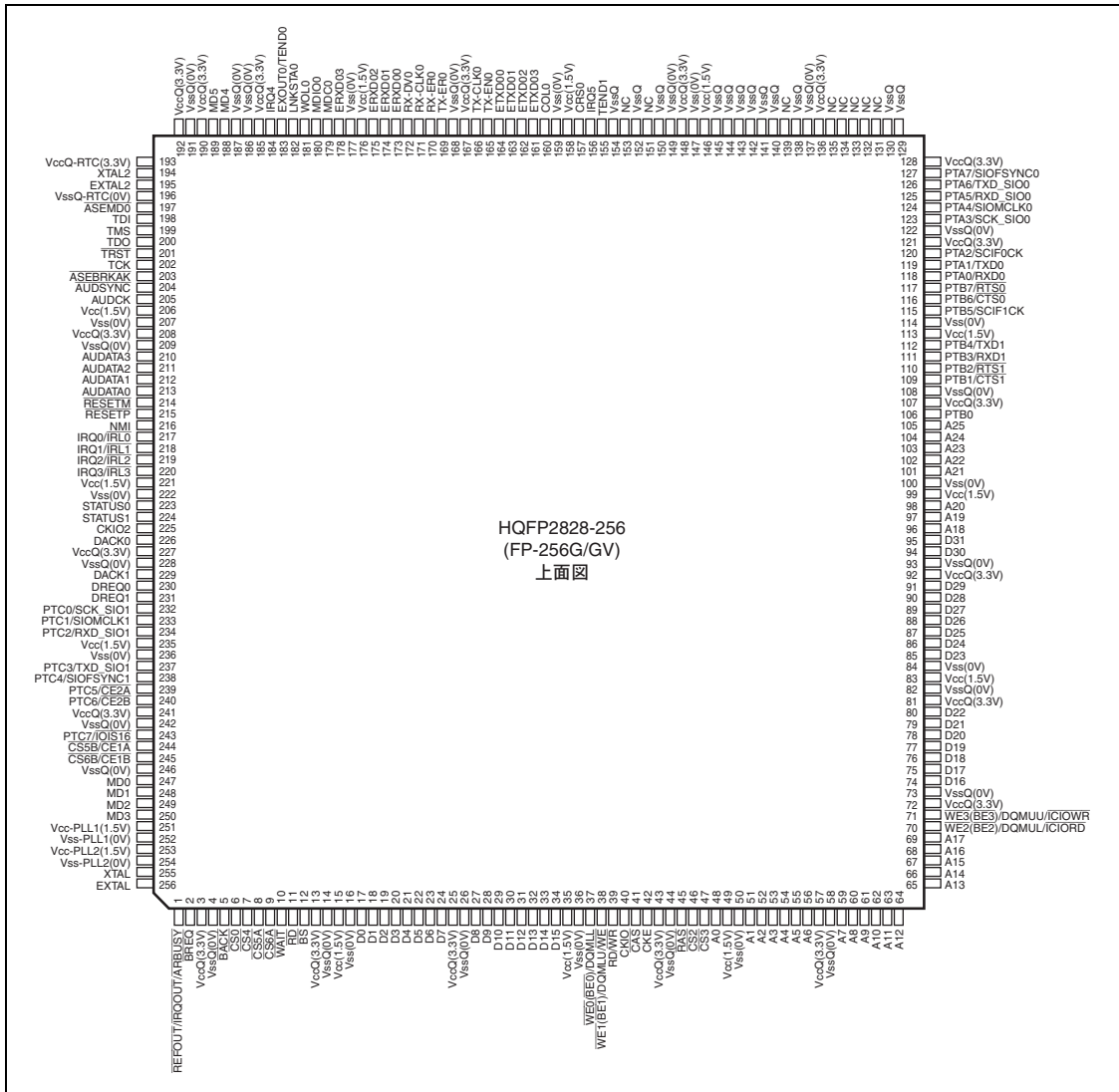


図 1.2 (2) ピン配置図 (HQFP2828-256 (FP-256G/GV) ) (SH7713)

INDEX	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
A	EXTAL	MD3	MD1	CS5B /CETA	PTC6 /CE2B	PTC4 /SIOFSYNCH	PTC2 /RXD_SIO1	DREQ0	DACK0	STATUS1	STATUS0	IRQ2 /IRL2	RESETP	AUDATA0	VssQ	AUDCK	TRST	TMS	VssQ-RTC	VccQ
B	VssQ	REFOUT /RRCOUT /ARBUSY	XTAL	MD2	Vss-PLL1	VssQ	VssQ	Vss	PTC0 /SCK_SIO1	VssQ	Vcc	IRQ0 /IRL0	AUDATA2	Vss	ASEBRKAK	ASEM00	EXTAL2	XTAL2	VccQ-RTC	VssQ
C	CS4	BREQ	Vcc-PLL1	Vss-PLL2	Vcc-PLL2	PTC7 /IOIS1B	PTC5 /CE2A	Vcc	DREQ1	VccQ	IRQ3 /IRL3	NMI	AUDATA1	VccQ	AUDSYNCK	TDI	TDO	VssQ	VssQ	CAMSEN0 /R04
D	CS6A	VccQ	CS5A	MD0	CS5B /CETB	VccQ	PTC3 /TXD_SIO1	PTC1 /SIOMCLK1	DACK1	CKIO2	Vss	IRQ1 /IRL1	RESETM	AUDATA3	Vcc	TCK	EXOUT0 /TEND0	VccQ	VccQ	MDIO0
E	VccQ	BACK	CS0	WAIT													WOL0	MD5	MD4	Vcc
F	D0	RD	BS	VssQ													Vss	MDC0	LNKSTA0	ERXD01
G	D4	Vcc	Vss	D1													ERXD00	ERXD02	ERXD03	RX-ER0
H	D6	D2	D3	D5													TX-ER0	RX-CLK0	RX-DV0	TX-CLK0
J	D8	VccQ	D7	VssQ													TX-EN0	VccQ	VssQ	ETXD02
K	D12	D10	D9	D11													ETXD03	ETXD01	ETXD00	COL0
L	D13	Vss	Vcc	D14													Vcc	CAMSEN1 /R05	CRS0	Vss
M	D15	CKIO	RD/WR	WE0(BE0) /DOML0													LNKSTA1	MDIO1	WOL1	EXOUT1 /TEND1
N	WE1(BE1) /DOML1 /WE	VssQ	VccQ	CAS													ERXD13	VccQ	Vss	MDC1
P	CKE	Vss	CS3	RAS													Vcc	ERXD11	ERXD10	VssQ
R	CS2	A4	A1	Vcc													RX-DV1	RX-ER1	TX-ER1	ERXD12
T	A0	A8	A9	A3													TX-CLK1	ETXD10	ETXD11	RX-CLK1
U	A2	VccQ	A10	A5	D16	D20	VssQ	D24	D28	D30	A19	A21	A25	PTB1 /CTS1	Vcc	PTB7 /RTS0	PTA1 /TXD0	VccQ	ETXD13	VssQ
V	A6	A11	A7	VccQ	WE2(BE2) /DOML2 /ICDWR	D18	D22	Vss	D26	VccQ	Vcc	A23	VccQ	PTB3 /RXD1	PTB5 /SCIF1CK	PTA5 /RXD_SIO0	PTA6 /TXD_SIO0	PTA3 /SCK_SIO0	COL1	TX-EN1
W	VssQ	A13	A14	A15	A17	D17	D21	Vcc	D27	VssQ	Vss	A24	VssQ	Vss	PTA0 /RXD0	PTA4 /SIOMCLK0	VccQ	PTA7 /SIOFSYNCK0	CRS1	ETXD12
Y	A12	A16	WE3(BE3) /ICDWR	VssQ	D19	VccQ	D23	D25	D29	D31	A18	A20	A22	PTB0	PTB2 /RTS1	PTB4 /TXD1	PTB6 /CTS0	PTA2 /SCHF0CK	VssQ	VccQ

P-LFBGA1717-256  
(BP-256H/HV)  
上面図

図 1.3 (1) ピン配置図 (P-LFBGA1717-256 (BP-256H/HV) ) (SH7710、SH7712)

INDEX		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
A	EXTAL	MD3	MD1	CS5B/CE1A	PTC6/CE2B	PTC4/SCF5VNC1	PTC2/RXD_SIO1	DREQ0	DACK0	STATUS <sub>1</sub>	STATUS <sub>0</sub>	IRQ2/IRL2	RESETP	AUDATA0	VssQ	AUDCK	TRST	TMS	VssQ-RTC	VccQ	
B	VssQ	REFOUT/IRQOUT/ARBUSY	XTAL	MD2	Vss-PLL1	VssQ	VssQ	Vss	PTC0/SCK_SIO1	VssQ	Vcc	IRQ0/IRL0	AUDATA2	Vss	ASEBRKAK	ASEMD0	EXTAL2	XTAL2	VccQ-RTC	VssQ	
C	CS4	BREQ	Vcc-PLL1	Vss-PLL2	Vcc-PLL2	PTC7/OIS16	PTC5/CE2A	Vcc	DREQ1	VccQ	IRQ3/IRL3	NMI	AUDATA1	VccQ	AUDSYNC	TDI	TDO	VssQ	VssQ	IRQ4	
D	CS6A	VccQ	CS5A	MD0	CS6B/CE1B	VccQ	PTC3/TXD_SIO1	PTC1/SIOMCLK1	DACK1	CKIO2	Vss	IRQ1/IRL1	RESETM	AUDATA3	Vcc	TCK	EXOUT0/TEND0	VccQ	VccQ	MDIO0	
E	VccQ	BACK	CS0	WAIT	P-LFBGA1717-256 (BP-256H/HV)  上面図													WOL0	MD5	MD4	Vcc
F	D0	RD	BS	VssQ														Vss	MDC0	LNKSTA0	ERXD01
G	D4	Vcc	Vss	D1														ERXD00	ERXD02	ERXD03	RX-ER0
H	D6	D2	D3	D5														TX-ER0	RX-CLK0	RX-DV0	TX-CLK0
J	D8	VccQ	D7	VssQ														TX-EN0	VccQ	VssQ	ETXD02
K	D12	D10	D9	D11														ETXD03	ETXD01	ETXD00	COL0
L	D13	Vss	Vcc	D14														Vcc	IRQ5	CRS0	Vss
M	D15	CKIO	RD/WR	WE1(BE0)/DOMLL														VssQ	VssQ	NC	TEND1
N	WE1(BE1)/DOMLU/WE	VssQ	VccQ	CAS														VssQ	VccQ	Vss	NC
P	CKE	Vss	CS3	RAS														Vcc	VssQ	VssQ	VssQ
R	CS2	A4	A1	Vcc	VssQ	VssQ	NC	VssQ													
T	A0	A8	A9	A3	VssQ	NC	NC	VssQ													
U	A2	VccQ	A10	A5	D16	D20	VssQ	D24	D28	D30	A19	A21	A25	PTB1/CTS1	Vcc	PTB7/RTS0	PTA1/TXD0	VccQ	NC	VssQ	
V	A6	A11	A7	VccQ	WE2(BE2)/DOMLU/ICIOR0	D18	D22	Vss	D26	VccQ	Vcc	A23	VccQ	PTB3/RXD1	PTB5/SCIF1CK	PTA5/RXD-SIO0	PTA6/TXD-SIO0	PTA3/SCK-SIO0	VssQ	NC	
W	VssQ	A13	A14	A15	A17	D17	D21	Vcc	D27	VssQ	Vss	A24	VssQ	Vss	PTA0/RXD0	PTA4/SIOMCLK0	VccQ	PTA7/SIOFSYNC0	VssQ	NC	
Y	A12	A16	WE3(BE3)/DOMLU/ICIOR1	VssQ	D19	VccQ	D23	D25	D29	D31	A18	A20	A22	PTB0	PTB2/RTS1	PTB4/TXD1	PTB6/CTS0	PTA2/SCIFCK	VssQ	VccQ	

図 1.3 (2) ピン配置図 (P-LFBGA1717-256 (BP-256H/HV) ) (SH7713)

表 1.1 端子の機能

端子No. (FP-256G/GV)	端子No. (BP-256H/HV)	端子名	I/O	機能	分類
1	B2	REFOUT/IRQOUT/ARBUSY	O/O/O	バス権開放要求出力	共通
2	C2	BREQ	I	バス権要求	共通
3	D2	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
4	B1	V <sub>ss</sub> Q		電源 (0V)	共通
5	E2	BACK	O	バスアクノリッジ	共通
6	E3	CS0	O	チップセレクト0	共通
7	C1	CS4	O	チップセレクト4	共通
8	D3	CS5A	O	チップセレクト5A	共通
9	D1	CS6A	O	チップセレクト6A	共通
10	E4	WAIT	I	ハードウェアウェイト要求	共通
11	F2	RD	O	リードストローブ	共通
12	F3	BS	O	バスサイクル開始信号	共通
13	E1	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
14	F4	V <sub>ss</sub> Q		電源 (0V)	共通
15	G2	V <sub>cc</sub>		電源 (1.5V)	共通
16	G3	V <sub>ss</sub>		電源 (0V)	共通
17	F1	D0	IO	データバス	共通
18	G4	D1	IO	データバス	共通
19	H2	D2	IO	データバス	共通
20	H3	D3	IO	データバス	共通
21	G1	D4	IO	データバス	共通
22	H4	D5	IO	データバス	共通
23	H1	D6	IO	データバス	共通
24	J3	D7	IO	データバス	共通
25	J2	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
26	J4	V <sub>ss</sub> Q		電源 (0V)	共通
27	J1	D8	IO	データバス	共通
28	K3	D9	IO	データバス	共通
29	K2	D10	IO	データバス	共通
30	K4	D11	IO	データバス	共通
31	K1	D12	IO	データバス	共通
32	L1	D13	IO	データバス	共通
33	L4	D14	IO	データバス	共通
34	M1	D15	IO	データバス	共通
35	L3	V <sub>cc</sub>		電源 (1.5V)	共通

端子No. (FP-256G/GV)	端子No. (BP-256H/HV)	端子名	I/O	機能	分類
36	L2	V <sub>ss</sub>		電源 (0V)	共通
37	M4	WE $\bar{0}$ (BE $\bar{0}$ ) /DQMLL	O/O	D7~D0セレクト信号/DQM (SDRAM)	共通
38	N1	WE $\bar{1}$ (BE $\bar{1}$ ) /DQMLU/WE	O/O/O	D15~D8セレクト信号/DQM (SDRAM) / PCMCIAライトサイクルストロープ	共通
39	M3	RD/W $\bar{R}$	O	リード/ライト	共通
40	M2	CKIO	IO	システムクロック入出力	共通
41	N4	CAS	O	SDRAM用CAS	共通
42	P1	CKE	O	CKイネーブル (SDRAM)	共通
43	N3	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
44	N2	V <sub>ss</sub> Q		電源 (0V)	共通
45	P4	RAS	O	SDRAM用RAS	共通
46	R1	CS $\bar{2}$	O	チップセレクト2	共通
47	P3	CS $\bar{3}$	O	チップセレクト3	共通
48	T1	A0	O	アドレスバス	共通
49	R4	V <sub>cc</sub>		電源 (1.5V)	共通
50	P2	V <sub>ss</sub>		電源 (0V)	共通
51	R3	A1	O	アドレスバス	共通
52	U1	A2	O	アドレスバス	共通
53	T4	A3	O	アドレスバス	共通
54	R2	A4	O	アドレスバス	共通
55	U4	A5	O	アドレスバス	共通
56	V1	A6	O	アドレスバス	共通
57	U2	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
58	W1	V <sub>ss</sub> Q		電源 (0V)	共通
59	V3	A7	O	アドレスバス	共通
60	T2	A8	O	アドレスバス	共通
61	T3	A9	O	アドレスバス	共通
62	U3	A10	O	アドレスバス	共通
63	V2	A11	O	アドレスバス	共通
64	Y1	A12	O	アドレスバス	共通
65	W2	A13	O	アドレスバス	共通
66	W3	A14	O	アドレスバス	共通
67	W4	A15	O	アドレスバス	共通
68	Y2	A16	O	アドレスバス	共通
69	W5	A17	O	アドレスバス	共通



端子No. (FP-256G/GV)	端子No. (BP-256H/HV)	端子名	I/O	機能	分類
70	V5	WE2 (BE2) /DQMUL/ICIOR $\bar{D}$	O/O/O	D23~D16セレクト信号/DQM (SDRAM) / PCMCIA I/Oリード	共通
71	Y3	WE3 (BE3) /DQMUU/ICIOR $\bar{W}$	O/O/O	D31~D24セレクト信号/DQM (SDRAM) / PCMCIA I/Oライト	共通
72	V4	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
73	Y4	V <sub>ss</sub> Q		電源 (0V)	共通
74	U5	D16	IO	データバス	共通
75	W6	D17	IO	データバス	共通
76	V6	D18	IO	データバス	共通
77	Y5	D19	IO	データバス	共通
78	U6	D20	IO	データバス	共通
79	W7	D21	IO	データバス	共通
80	V7	D22	IO	データバス	共通
81	Y6	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
82	U7	V <sub>ss</sub> Q		電源 (0V)	共通
83	W8	V <sub>cc</sub>		電源 (1.5V)	共通
84	V8	V <sub>ss</sub>		電源 (0V)	共通
85	Y7	D23	IO	データバス	共通
86	U8	D24	IO	データバス	共通
87	Y8	D25	IO	データバス	共通
88	V9	D26	IO	データバス	共通
89	W9	D27	IO	データバス	共通
90	U9	D28	IO	データバス	共通
91	Y9	D29	IO	データバス	共通
92	V10	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
93	W10	V <sub>ss</sub> Q		電源 (0V)	共通
94	U10	D30	IO	データバス	共通
95	Y10	D31	IO	データバス	共通
96	Y11	A18	O	アドレスバス	共通
97	U11	A19	O	アドレスバス	共通
98	Y12	A20	O	アドレスバス	共通
99	V11	V <sub>cc</sub>		電源 (1.5V)	共通
100	W11	V <sub>ss</sub>		電源 (0V)	共通
101	U12	A21	O	アドレスバス	共通
102	Y13	A22	O	アドレスバス	共通
103	V12	A23	O	アドレスバス	共通

端子No. (FP-256G/GV)	端子No. (BP-256H/HV)	端子名	I/O	機能	分類
104	W12	A24	O	アドレスバス	共通
105	U13	A25	O	アドレスバス	共通
106	Y14	PTB0	IO	入出力ポートB	共通
107	V13	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
108	W13	V <sub>ss</sub> Q		電源 (0V)	共通
109	U14	PTB1/ $\overline{\text{CTS1}}$	IO/I	入出力ポートB/SCIF1送信クリア	共通
110	Y15	PTB2/ $\overline{\text{RTS1}}$	IO/O	入出力ポートB/SCIF1送信要求	共通
111	V14	PTB3/RXD1	IO/I	入出力ポートB/SCIF1受信データ	共通
112	Y16	PTB4/TXD1	IO/O	入出力ポートB/SCIF1送信データ	共通
113	U15	V <sub>cc</sub>		電源 (1.5V)	共通
114	W14	V <sub>ss</sub>		電源 (0V)	共通
115	V15	PTB5/SCIF1CK	IO/IO	入出力ポートB/SCIF1シリアルクロック	共通
116	Y17	PTB6/ $\overline{\text{CTS0}}$	IO/I	入出力ポートB/SCIF0送信クリア	共通
117	U16	PTB7/ $\overline{\text{RTS0}}$	IO/O	入出力ポートB/SCIF0送信要求	共通
118	W15	PTA0/RXD0	IO/I	入出力ポートA/SCIF0受信データ	共通
119	U17	PTA1/TXD0	IO/O	入出力ポートA/SCIF0送信データ	共通
120	Y18	PTA2/SCIF0CK	IO/IO	入出力ポートA/SCIF0シリアルクロック	共通
121	W17	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
122	Y19	V <sub>ss</sub> Q		電源 (0V)	共通
123	V18	PTA3/SCK_SIO0	IO/IO	入出力ポートA/SIOF0通信クロック	共通
124	W16	PTA4/SIOMCLK0	IO/I	入出力ポートA/SIOF0クロック入力	共通
125	V16	PTA5/RXD_SIO0	IO/I	入出力ポートA/SIOF0受信データ	共通
126	V17	PTA6/TXD_SIO0	IO/O	入出力ポートA/SIOF0送信データ	共通
127	W18	PTA7/SIOFSYNC0	IO/IO	入出力ポートA/SIOF0フレームシンク	共通
128	Y20	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
129	W19	CRS1	I	MAC1キャリアセンス	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713
130	V19	COL1	I	MAC1コリジョン	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713
131	U19	ETXD13	O	MAC1送信データ3	SH7710、SH7712
		NC			SH7713
132	W20	ETXD12	O	MAC1送信データ2	SH7710、SH7712
		NC			SH7713
133	T19	ETXD11	O	MAC1送信データ1	SH7710、SH7712
		NC			SH7713

端子No. (FP-256G/GV)	端子No. (BP-256H/HV)	端子名	I/O	機能	分類
134	T18	ETXD10	O	MAC1送信データ0	SH7710、SH7712
		NC			SH7713
135	V20	TX-EN1	O	MAC1送信イネーブル	SH7710、SH7712
		NC			SH7713
136	U18	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
137	U20	V <sub>ss</sub> Q		電源 (0V)	共通
138	T17	TX-CLK1	I	MAC1送信クロック	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713
139	R19	TX-ER1	O	MAC1送信エラー	SH7710、SH7712
		NC			SH7713
140	R18	RX-ER1	I	MAC1受信エラー	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713
141	T20	RX-CLK1	I	MAC1受信クロック	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713
142	R17	RX-DV1	I	MAC1受信データバリッド	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713
143	P19	ERXD10	I	MAC1受信データ0	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713
144	P18	ERXD11	I	MAC1受信データ1	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713
145	R20	ERXD12	I	MAC1受信データ2	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713
146	P17	V <sub>cc</sub>		電源 (1.5V)	共通
147	N19	V <sub>ss</sub>		電源 (0V)	共通
148	N18	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
149	P20	V <sub>ss</sub> Q		電源 (0V)	共通
150	N17	ERXD13	I	MAC1受信データ3	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713
151	N20	MDC1	O	MAC1管理用データクロック	SH7710、SH7712
		NC			SH7713
152	M18	MDIO1	IO	MAC1管理用データ入出力	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713
153	M19	WOL1	O	MAC1 MAGIC/パケット受信	SH7710、SH7712
		NC			SH7713
154	M17	LNKSTA1	I	MAC1リンクステータス	SH7710、SH7712
		V <sub>ss</sub> Q		電源 (0V)	SH7713

端子No. (FP-256G/GV)	端子No. (BP-256H/HV)	端子名	I/O	機能	分類
155	M20	EXOUT1/TEND1	O/O	MAC1汎用出力/DMA転送終了1	SH7710、SH7712
		TEND1*5	O	DMA転送終了1	SH7713
156	L18	CAMSEN1/IRQ5	I/I	MAC1 CAMセンス/外部割り込み要求	SH7710、SH7712
		IRQ5*5	I	外部割り込み要求	SH7713
157	L19	CRS0	I	MAC0キャリアセンス	SH7710、SH7712
				MACキャリアセンス	SH7713
158	L17	V <sub>cc</sub>		電源 (1.5V)	共通
159	L20	V <sub>ss</sub>		電源 (0V)	共通
160	K20	COL0	I	MAC0コリジョン	SH7710、SH7712
				MACコリジョン	SH7713
161	K17	ETXD03	O	MAC0送信データ3	SH7710、SH7712
				MAC送信データ3	SH7713
162	J20	ETXD02	O	MAC0送信データ2	SH7710、SH7712
				MAC送信データ2	SH7713
163	K18	ETXD01	O	MAC0送信データ1	SH7710、SH7712
				MAC送信データ1	SH7713
164	K19	ETXD00	O	MAC0送信データ0	SH7710、SH7712
				MAC送信データ0	SH7713
165	J17	TX-EN0	O	MAC0送信イネーブル	SH7710、SH7712
				MAC送信イネーブル	SH7713
166	H20	TX-CLK0	I	MAC0送信クロック	SH7710、SH7712
				MAC送信クロック	SH7713
167	J18	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
168	J19	V <sub>ss</sub> Q		電源 (0V)	共通
169	H17	TX-ER0	O	MAC0送信エラー	SH7710、SH7712
				MAC送信エラー	SH7713
170	G20	RX-ER0	I	MAC0受信エラー	SH7710、SH7712
				MAC受信エラー	SH7713
171	H18	RX-CLK0	I	MAC0受信クロック	SH7710、SH7712
				MAC受信クロック	SH7713
172	H19	RX-DV0	I	MAC0受信データバリッド	SH7710、SH7712
				MAC受信データバリッド	SH7713
173	G17	ERXD00	I	MAC0受信データ0	SH7710、SH7712
				MAC受信データ0	SH7713
174	F20	ERXD01	I	MAC0受信データ1	SH7710、SH7712
				MAC受信データ1	SH7713

端子No. (FP-256G/GV)	端子No. (BP-256H/HV)	端子名	I/O	機能	分類
175	G18	ERXD02	I	MAC0受信データ2	SH7710、SH7712
				MAC受信データ2	SH7713
176	E20	V <sub>cc</sub>		電源 (1.5V)	共通
177	F17	V <sub>ss</sub>		電源 (0V)	共通
178	G19	ERXD03	I	MAC0受信データ3	SH7710、SH7712
				MAC受信データ3	SH7713
179	F18	MDC0	O	MAC0管理用データクロック	SH7710、SH7712
				MAC管理用データクロック	SH7713
180	D20	MDIO0	IO	MAC0管理用データ入出力	SH7710、SH7712
				MAC管理用データ入出力	SH7713
181	E17	WOL0	O	MAC0 MAGICパケット受信	SH7710、SH7712
				MAC MAGICパケット受信	SH7713
182	F19	LNKSTA0	I	MAC0リンクステータス	SH7710、SH7712
				MACリンクステータス	SH7713
183	D17	EXOUT0/TEND0	O/O	MAC0汎用出力/DMA転送終了0	SH7710、SH7712
				MAC汎用出力/DMA転送終了0	SH7713
184	C20	CAMSEN0/IRQ4	I/I	MAC0 CAMセンス/外部割り込み要求	SH7710、SH7712
		IRQ4*5	I	外部割り込み要求	SH7713
185	D19	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
186	B20	V <sub>ss</sub> Q		電源 (0V)	共通
187	C18	V <sub>ss</sub> Q		電源 (0V)	共通
188	E19	MD4	I	エリア0用バス幅指定	共通
189	E18	MD5	I	エンディアン設定	共通
190	D18	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
191	C19	V <sub>ss</sub> Q		電源 (0V)	共通
192	A20	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
193	B19	V <sub>cc</sub> Q-RTC		RTC用発振回路電源 (3.3V)	共通
194	B18	XTAL2	O	内蔵RTC用水晶発振器端子	共通
195	B17	EXTAL2	I	内蔵RTC用水晶発振器端子	共通
196	A19	V <sub>ss</sub> Q-RTC		RTC用発振回路電源 (0V)	共通
197	B16	ASEMD0	I	ASEモード	共通
198	C16	TDI	I	テストデータ入力	共通
199	A18	TMS	I	テストモードセレクト	共通
200	C17	TDO	O	テストデータ出力	共通
201	A17	TRST	I	テストリセット	共通
202	D16	TCK	I	テストクロック	共通

端子No. (FP-256G/GV)	端子No. (BP-256H/HV)	端子名	I/O	機能	分類
203	B15	ASEBRKAK	O	ASEブレークアクリッジ	共通
204	C15	AUDSYNC	O	AUD同期	共通
205	A16	AUDCK	O	AUDクロック	共通
206	D15	V <sub>cc</sub>		電源 (1.5V)	共通
207	B14	V <sub>ss</sub>		電源 (0V)	共通
208	C14	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
209	A15	V <sub>ss</sub> Q		電源 (0V)	共通
210	D14	AUDATA3	O	AUDデータ	共通
211	B13	AUDATA2	O	AUDデータ	共通
212	C13	AUDATA1	O	AUDデータ	共通
213	A14	AUDATA0	O	AUDデータ	共通
214	D13	RESETM	I	マニュアルリセット要求	共通
215	A13	RESETP	I	パワーオンリセット	共通
216	C12	NMI	I	ノンマスカブル割り込み要求	共通
217	B12	IRQ0/IRL0	I	外部割り込み要求	共通
218	D12	IRQ1/IRL1	I	外部割り込み要求	共通
219	A12	IRQ2/IRL2	I	外部割り込み要求	共通
220	C11	IRQ3/IRL3	I	外部割り込み要求	共通
221	B11	V <sub>cc</sub>		電源 (1.5V)	共通
222	D11	V <sub>ss</sub>		電源 (0V)	共通
223	A11	STATUS0	O	プロセッサステータス	共通
224	A10	STATUS1	O	プロセッサステータス	共通
225	D10	CKIO2	O	システムクロック出力	共通
226	A9	DACK0	O	DMAアクリッジ0	共通
227	C10	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
228	B10	V <sub>ss</sub> Q		電源 (0V)	共通
229	D9	DACK1	O	DMAアクリッジ1	共通
230	A8	DREQ0	I	DMA要求0	共通
231	C9	DREQ1	I	DMA要求1	共通
232	B9	PTC0/SCK_SIO1	IO/IO	入出力ポートC/SIOF1通信クロック	共通
233	D8	PTC1/SIOMCLK1	IO/I	入出力ポートC/SIOF1クロック入力	共通
234	A7	PTC2/RXD_SIO1	IO/I	入出力ポートC/SIOF1受信データ	共通
235	C8	V <sub>cc</sub>		電源 (1.5V)	共通
236	B8	V <sub>ss</sub>		電源 (0V)	共通
237	D7	PTC3/TXD_SIO1	IO/O	入出力ポートC/SIOF1送信データ	共通
238	A6	PTC4/SIOFSYNC1	IO/IO	入出力ポートC/SIOF1フレームシンク	共通

端子No. (FP-256G/GV)	端子No. (BP-256H/HV)	端子名	I/O	機能	分類
239	C7	PTC5/CE2A	IO/O	入出力ポートC/エリア5 PCMCIA用カード イネーブル	共通
240	A5	PTC6/CE2B	IO/O	入出力ポートC/エリア6 PCMCIA用カード イネーブル	共通
241	D6	V <sub>cc</sub> Q		入出力用電源 (3.3V)	共通
242	B7	V <sub>ss</sub> Q		電源 (0V)	共通
243	C6	PTC7/I/OIS16	IO/I	入出力ポートC/PCMCIA 16ビットI/O	共通
244	A4	CS5B/CE1A	O/O	チップセレクト5B/エリア5 PCMCIAカード イネーブル	共通
245	D5	CS6B/CE1B	O/O	チップセレクト6B/エリア6 PCMCIAカード イネーブル	共通
246	B6	V <sub>ss</sub> Q		電源 (0V)	共通
247	D4	MD0	I	クロックモード設定	共通
248	A3	MD1	I	クロックモード設定	共通
249	B4	MD2	I	クロックモード設定	共通
250	A2	MD3	I	エリア0用バス幅指定	共通
251	C3	V <sub>cc</sub> -PLL1		CPGM (PLL1) 用電源 (1.5V)	共通
252	B5	V <sub>ss</sub> -PLL1		CPGM (PLL1) 用電源 (0V)	共通
253	C5	V <sub>cc</sub> -PLL2		CPGM (PLL2) 用電源 (1.5V)	共通
254	C4	V <sub>ss</sub> -PLL2		CPGM (PLL2) 用電源 (0V)	共通
255	B3	XTAL	O	クロック発振器端子	共通
256	A1	EXTAL	I	外部クロック/水晶発振器端子	共通

- 【注】
- リアルタイムクロック (RTC) を使用しない場合も、必ず V<sub>cc</sub>Q-RTC に給電してください。
  - 本 LSI の RTC は、RTC 発振器用電源端子 (V<sub>cc</sub>Q-RTC) のみ電源投入しても RTC は動作しません。RTC 用水晶発振回路は V<sub>cc</sub>Q-RTC で動作しますが、それを制御する回路および RTC カウンタが V<sub>cc</sub> 動作 (内部回路と共通) となります。したがって、RTC のみ動作させる場合でも、V<sub>cc</sub>Q-RTC 以外のすべての電源端子に常時給電を行ってご使用ください。
  - 内蔵 CPG を使用しない場合も、必ず V<sub>cc</sub>-PLL1/V<sub>cc</sub>-PLL2 に給電してください。
  - V<sub>cc</sub>Q (3.3V) / V<sub>cc</sub> (1.5V) / V<sub>ss</sub>Q / V<sub>ss</sub> は、すべてシステムの電源に接続してください (常時給電してください)。
  - パワーオンリセット直後はリザーブ機能になっています。各端子機能を使用する場合は、必ず PFC の PETCR レジスタで使用する端子機能を選択してください。

## 1.3.2 端子の機能

各端子の機能を表 1.2 に示します。

表 1.2 本 LSI の端子機能

分類	記号	入出力	名称	機能
電源	V <sub>CC</sub>	—	電源	LSI 内部およびシステム系ポート用の電源です。すべての V <sub>CC</sub> 端子をシステムの電源に接続してください。開放端子があると動作しません。
	V <sub>SS</sub>	—	グランド	グランド端子です。すべての V <sub>SS</sub> 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	V <sub>CCQ</sub>	—	電源	入出力端子用電源です。すべての V <sub>CCQ</sub> 端子をシステムの電源に接続してください。開放端子があると動作しません。
	V <sub>SSQ</sub>	—	グランド	グランド端子です。すべての V <sub>SSQ</sub> 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
クロック	V <sub>CC</sub> -PLL1	入力	PLL1 用電源	内蔵 PLL1 発振器用の電源端子です。
	V <sub>SS</sub> -PLL1	入力	PLL1 用グランド	内蔵 PLL1 発振器用のグランド端子です。
	V <sub>CC</sub> -PLL2	入力	PLL2 用電源	内蔵 PLL2 発振器用の電源端子です。
	V <sub>SS</sub> -PLL2	入力	PLL2 用グランド	内蔵 PLL2 発振器用のグランド端子です。
	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については「第 11 章 内蔵発振回路 (CPG)」を参照してください。
	XTAL	出力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については「第 11 章 内蔵発振回路 (CPG)」を参照してください。
	CKIO	入出力	システムクロック	外部デバイスにシステムクロックを供給します。また、CKIO 端子は外部クロックを入力することもできます。
	CKIO2	出力	システムクロック	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD5~MD0	入力	モード設定	動作モードを設定します。これらの端子は、動作中に変化させないでください。MD2~MD0 はクロックモード設定用、MD4~MD3 はエリア 0 のバス幅モード設定用、MD5 はエンディアン設定用です。
システム制御	RESETP	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	RESETM	入力	マニュアルリセット	この端子がローレベルになるとマニュアルリセット状態になります。
	STATUS1 STATUS0	出力	ステータス出力	本 LSI がソフトウェアスタンバイ中かリセット中かスリープ中かを示します。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。



分類	記号	入出力	名称	機能
システム制御	BACK	出力	バス権要求 アクノリッジ	バス権を外部デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。
割り込み	NMI	入力	ノンマスカブル 割り込み	ノンマスカブル割り込み要求端子です。使用しない場合は ハイレベルに固定してください。
	IRQ5~IRQ0	入力	割り込み要求 5~0	マスク可能な割り込み要求端子です。レベル入力とエッジ 入力の選択が可能です。エッジ入力の場合、立ち上がり、 立ち下がり、および両エッジの選択が可能です。
	IRL3~IRL0	入力	割り込み要求	15 レベルの割り込み要求端子です。
	IRQOUT	出力	割り込み要求出力	割り込み要求が発生したことを通知する端子です。
アドレスバス	A25~A0	出力	アドレスバス	アドレスを出力します。
データバス	D31~D0	入出力	データバス	32 ビットの双方向バスです。
バス制御	$\overline{CS0}$ 、 $\overline{CS2}$ ~ $\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS6A}$ 、 $\overline{CS5B/CE1A}$ 、 $\overline{CS6B/CE1B}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$	出力	チップセレクト 0、2~4、5A、6A、 5B、6B PCMCIA カード セレクト	外部メモリまたはデバイスのためのチップセレクト信号で す。PCMCIA 使用時は、PCMCIA カードセレクト信号です。
	$\overline{RD}$	出力	読み出し	外部のデバイスから読み出すことを示します。
	$\overline{RD/WR}$	出力	リード/ライト	リード信号またはライト信号です。
	BS	出力	バス開始	バスサイクル開始信号です。
バス制御	$\overline{WE3}$ (BE3) / $\overline{ICIORW}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 31~24 に書 き込みすることを示します。PCMCIA 使用時は、IO ライト ストロープ信号です。
	$\overline{WE2}$ (BE2) / $\overline{ICIOR}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 23~16 に書 き込みすることを示します。PCMCIA 使用時は、IO リード ストロープ信号です。
	$\overline{WE1}$ (BE1) / $\overline{WE}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 15~8 に書き 込みすることを示します。PCMCIA 使用時は、メモリライ トストロープ信号です。
	$\overline{WE0}$ (BE0)	出力	バイト指定	外部メモリまたはデバイスのデータのビット 7~0 に書き 込みすることを示します。
	$\overline{RAS}$	出力	RAS	SDRAM 接続時に RAS 端子を接続します。
	$\overline{CAS}$	出力	CAS	SDRAM 接続時に CAS 端子を接続します。
	$\overline{CKE}$	出力	CK イネーブル	SDRAM 接続時に CKE 端子を接続します。
	$\overline{IOIS16}$	入力	16 ビット I/O 選択	PCMCIA の 16 ビット I/O を示します。
	$\overline{DQMUU}$	出力	DQM	SDRAM 接続時、D31~D24 を選択します。
	$\overline{DQMUL}$	出力	DQM	SDRAM 接続時、D23~D16 を選択します。
	$\overline{DQMLU}$	出力	DQM	SDRAM 接続時、D15~D8 を選択します。
	$\overline{DQMLL}$	出力	DQM	SDRAM 接続時、D7~D0 を選択します。
	$\overline{REFOUT}$	出力	リフレッシュ 要求出力	マスタモード、バス解放時、リフレッシュ実行要求を出力 します。
	$\overline{WAIT}$	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイ クルを挿入させる入力です。

分類	記号	入出力	名称	機能
ダイレクト メモリアクセス コントローラ (DMAC)	DREQ1 DREQ0	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK1 DACK0	出力	DMA 転送要求受付	外部からの DMA 転送要求に対する、要求受け付け出力端子です。
	TEND1 TEND0	出力	DMA 転送終了出力	DMA 転送終了信号出力端子です。
	TCK	入力	テストクロック	テストクロック入力端子です。
ユーザデバッグ インタフェース (H-UDI)	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。
アドバンスト ユーザデバッグ (AUD)	AUDATA3~0	出力	AUD データ	AUD トレースモード時はデータ出力端子となります。
	AUDCK	出力	AUD クロック	AUD トレースモード時は同期クロック出力端子となります。
	AUDSYNC	出力	AUD 同期信号	AUD トレースモード時はデータ先頭位置認識信号出力端子となります。
E10A インタフェース	$\overline{\text{ASEBRKAK}}$	出力	ブ레이크モード アクトリッジ	E10A エミュレータがブ레이크モードに入ったことを示します。E10A との接続については「SuperH ファミリー用 E10A-USB エミュレータ ユーザーズマニュアル」を参照してください。
	$\overline{\text{ASEMD0}}$	入力	ASE モード	ASE モードを設定します。
リアルタイム クロック (RTC)	$V_{cc}$ -Q-RTC	入力	RTC 用発振回路 電源	内蔵 RTC 用の電源端子です。
	$V_{ss}$ -Q-RTC	入力	RTC 用発振回路 グランド	内蔵 RTC 用のグランド端子です。
	EXTAL2	入力	RTC 用外部 クロック	内蔵 RTC 用クロック入力端子です。(32.768MHz) 接続例については、「第 15 章 リアルタイムクロック (RTC)」を参照してください。
	XTAL2	出力	RTC 用クリスタル	内蔵 RTC 用クロック出力端子です。(32.768MHz) 接続例については、「第 15 章 リアルタイムクロック (RTC)」を参照してください。
イーサネット コントローラ (EtherC1/0) (SH7710、 SH7712)	CRS1 CRS0	入力	MAC1/0 キャリアセンス	キャリア検出端子です。接続例については、「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	COL1 COL0	入力	MAC1/0 コリジョン	衝突検出端子です。接続例については、「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。

分類	記号	入出力	名称	機能
イーサネット コントローラ (EtherC1/0)  (SH7710、 SH7712)	ETXD13~ ETXD10	出力	MAC1 送信データ	4 ビットの送信データ端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	ETXD03~ ETXD00	出力	MAC0 送信データ	4 ビットの送信データ端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	TX-EN1 TX-EN0	出力	MAC1/0 送信 イネーブル	ETXD13~ETXD10/ETXD03~ETXD00 上に送信データが準備できたことを示す端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	TX-CLK1 TX-CLK0	入力	MAC1/0 送信 クロック	TX-EN1/0、TX-ER1/0、ETXD13~ETXD10/ETXD03~ETXD00 のタイミング参照端子 (クロック) です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	TX-ER1 TX-ER0	出力	MAC1/0 送信エラー	送信中のエラーを PHY-LSI に通知する端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	RX-ER1 RX-ER0	入力	MAC1/0 受信エラー	データ受信中に発生したエラー状態を認識する端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	RX-CLK1 RX-CLK0	入力	MAC1/0 受信 クロック	RX-DV1/0、RX-ER1/0、ERXD13~ERXD10/ERXD03~ERXD00 のタイミング参照端子 (クロック) です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	RX-DV1 RX-DV0	入力	MAC1/0 受信データ バリッド	有効な受信データが ERXD13~10/ERXD03~ERXD00 上にあることを示す端子です。接続例については、「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	ERXD13~ ERXD10	入力	MAC1 受信データ	4 ビットの受信データ端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	ERXD03~ ERXD00	入力	MAC0 受信データ	4 ビットの受信データ端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	MDC1 MDC0	出力	MAC1/0 管理用 データクロック	MDIO による情報転送用の参照クロック端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	MDIO1 MDIO0	入出力	MAC1/0 管理用 データ入出力	管理情報を交換するための双方向端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	WOL1 WOL0	出力	MAC1/0 MAGIC パケット受信	Magic Packet 受信を示す端子です。

分類	記号	入出力	名称	機能
イーサネット コントローラ (EtherC1/0) (SH7710、 SH7712)	LNKSTA1 LNKSTA0	入力	MAC1/0 リンク ステータス	PHY-LSI からのリンク状態入力端子です。
	EXOUT1 EXOUT0	出力	MAC1/0 汎用出力	外部出力用端子です。
	CAMSEN1 CAMSEN0	入力	MAC1/0 CAM センス	CAM インタフェース端子です。
	$\overline{\text{ARBUSY}}$	出力	バス権解放要求	受信 FIFO 内のデータ量が設定したしきい値を超えたとき、 バス解放要求を出力します。
イーサネット コントローラ (EtherC) (SH7713)	CRS0	入力	MAC キャリアセンス	キャリア検出端子です。接続例については、「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	COL0	入力	MAC コリジョン	衝突検出端子です。接続例については、「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	ETXD03~ ETXD00	出力	MAC 送信データ	4 ビットの送信データ端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	TX-EN0	出力	MAC 送信 イネーブル	ETXD03~ETXD00 上に送信データが準備できたことを示す端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	TX-CLK0	入力	MAC 送信クロック	TX-EN0、TX-ER0、ETXD03~ETXD00 のタイミング参照端子 (クロック) です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	TX-ER0	出力	MAC 送信エラー	送信中のエラーを PHY-LSI に通知する端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	RX-ER0	入力	MAC 受信エラー	データ受信中に発生したエラー状態を認識する端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	RX-CLK0	入力	MAC 受信クロック	RX-DV0、RX-ER0、ERXD03~ERXD00 のタイミング参照端子 (クロック) です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	RX-DV0	入力	MAC 受信データ バリッド	有効な受信データが ERXD03~ERXD00 上にあることを示す端子です。接続例については、「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	ERXD03~ ERXD00	入力	MAC 受信データ	4 ビットの受信データ端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	MDC0	出力	MAC 管理用 データクロック	MDIO による情報転送用の参照クロック端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。

分類	記号	入出力	名称	機能
イーサネット コントローラ (EtherC) (SH7713)	MDIO0	入出力	MAC 管理用 データ入出力	管理情報を交換するための双方向端子です。接続例については「第 18 章 イーサネットコントローラ (EtherC)」を参照してください。
	WOL0	出力	MAC MAGIC パケット受信	Magic Packet 受信を示す端子です。
	LNKSTA0	入力	MAC リンク ステータス	PHY-LSI からのリンク状態入力端子です。
	EXOUT0	出力	MAC 汎用出力	外部出力用端子です。
	ARBUSY	出力	バス権解放要求	受信 FIFO 内のデータ量が設定したしきい値を超えたとき、バス解放要求を出力します。
FIFO 内蔵 シリアル コミュニケーション インタフェース (SCIF1/0)	CTS1 CTS0	入力	SCIF1/0 送信クリア	モデムコントロール端子です。
	RTS1 RTS0	出力	SCIF1/0 送信要求	モデムコントロール端子です。
	RXD1 RXD0	入力	SCIF1/0 受信データ	受信データ用の端子です。
	TXD1 TXD0	出力	SCIF1/0 送信データ	送信データ用の端子です。
	SCIF1CK SCIF0CK	入出力	SCIF1/0 シリアル クロック	クロック入出力端子です。
	FIFO 内蔵 シリアル I/O (SIOF1/0)	SCK_SIO1 SCK_SIO0	入出力	SIOF1/0 通信 クロック
SIOMCLK1 SIOMCLK0		入力	SIOF1/0 クロック 入力	マスタクロック入力用の端子です。
RXD_SIO1 RXD_SIO0		入力	SIOF1/0 受信データ	受信データ用の端子です。
TXD_SIO1 TXD_SIO0		出力	SIOF1/0 送信データ	送信データ用の端子です。
SIOFSYNC1 SIOFSYNC0		入出力	SIOF1/0 フレームシンク	送受信共通のフレーム同期信号入出力用の端子です。
I/O ポート	PTA7~0	入出力	汎用入出力ポート A	8 ビットの汎用入出力ポート端子です。
	PTB7~0	入出力	汎用入出力ポート B	8 ビットの汎用入出力ポート端子です。
	PTC7~0	入出力	汎用入出力ポート C	8 ビットの汎用入出力ポート端子です。



---

## 2. CPU

---

### 2.1 処理状態と処理モード

#### 2.1.1 処理状態

CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、および低消費電力状態の 4 種類があります。

##### (1) リセット状態

CPU がリセットされている状態です。リセットの種類には、パワーオンリセットとマニュアルリセットの 2 種類があります。リセットの詳細については、「第 4 章 例外処理」を参照してください。

パワーオンリセットでは、LSI 内部の全モジュールのレジスタや内部状態が初期化されます。マニュアルリセットでは、バスステートコントローラ (BSC) などの一部のモジュールでレジスタの値が保持されます。詳細は、「第 24 章 レジスタ一覧」を参照してください。

CPU の内部状態やレジスタは、パワーオンリセットでもマニュアルリセットでも初期化されます。初期化完了後は、H'A000 0000 に分岐してユーザが作成したリセット処理プログラムに制御が渡され、実行を開始します。

##### (2) 例外処理状態

一般例外や割り込みの例外処理要因によって、CPU が処理状態の流れを変える過渡的な状態です。プログラムカウンタ (PC) を待避プログラムカウンタ (SPC) に、ステータスレジスタ (SR) を待避ステータスレジスタ (SSR) に待避します。ベクタベースレジスタ (VBR) の内容にベクタオフセットを加算したアドレスへ分岐し、ユーザが作成した例外処理プログラムに制御が渡され、実行を開始します。

例外処理状態の詳細については、「第 4 章 例外処理」を参照してください。

##### (3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

##### (4) 低消費電力状態

CPU の動作が停止し、消費電力が抑えられている状態です。SLEEP 命令で低消費電力状態になります。低消費電力状態の詳細は、「第 10 章 低消費電力モード」を参照してください。

状態間の遷移を図 2.1 に示します。

## 2.1.2 処理モード

CPU の処理モードには、ユーザモードと特権モードの 2 つがあります。ステータスレジスタ (SR) の処理モードビット (MD) で処理モードが決定されます。MD ビットが 0 のときユーザモードになり、1 のとき特権モードになります。リセット状態や例外処理状態に遷移することにより CPU は、特権モードに遷移します。CPU が特権モードにあるときは、レジスタやアドレス空間のすべてのリソースをアクセスすることができます。

SR の MD ビットに 0 を書くことで、CPU の処理モードは、ユーザモードになります。CPU がユーザモードにあるときは、SR を含む一部のレジスタやアドレス空間の一部がユーザプログラムからアクセスできなくなり、またシステムを制御する命令が実行できなくなります。この機構により、ユーザプログラムからシステムのリソースを保護することができます。処理モードをユーザモードから特権モードに変更するには、例外処理状態に遷移する必要があります。\*

【注】 \*ユーザモードから特権モードのサービスルーチンを呼び出すために、無条件トラップ命令 (TRAPA) がサポートされています。ユーザモードから特権モードへ遷移する際は、SR およびプログラムカウンタ (PC) が待避されます。待避されたものを復帰することにより、ユーザモードのプログラムを再開することができます。この例外処理プログラムからの復帰のために RTE 命令がサポートされています。

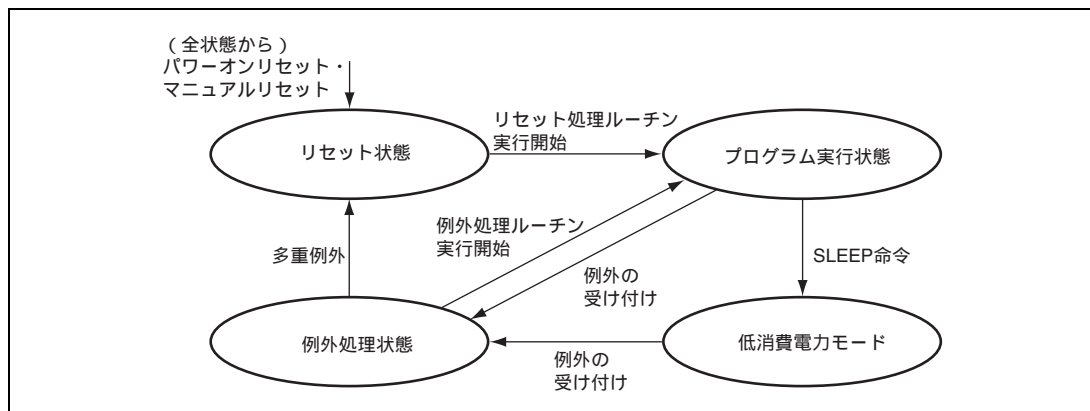


図 2.1 処理の状態遷移図

## 2.2 メモリマップ

### 2.2.1 論理アドレス空間

本 LSI の CPU は、32 ビットの論理アドレスをサポートしており、4G バイトの論理アドレス空間を用いてシステムのリソースをアクセスします。ユーザのプログラムやデータは、この論理アドレス空間上でアクセスされます。論理アドレス空間は、表 2.1 に示すとおり、幾つかの領域に分けて管理されています。



## (1) P0/U0 領域

CPU が特権モードにあるときは P0 領域、ユーザモードにあるときは U0 領域と呼びます。P0 および U0 領域は、キャッシュを用いたアクセスが可能で、アドレス変換が可能な領域として扱われます。

キャッシュが使用可能な場合は、P0 または U0 空間に対するアクセスはキャッシングの対象になります。また、アドレス変換機構が使用可能な場合は、P0 または U0 空間のアドレスを指定するとアドレス変換の対象になり、ユーザの定義した変換情報に従って物理アドレスに変換されます。

CPU の処理モードがユーザモードにある場合は、U0 領域のみがアクセスでき、P1、P2、P3、および P4 領域をアクセスするとアドレスエラーと呼ばれる例外処理状態に遷移します。

## (2) P1 領域

P1 領域は、キャッシングの対象になり、アドレス変換の対象とならない特権領域として定義されています。通常、この領域にはオペレーティングシステム (OS) のカーネル、および例外処理のハンドラなど、特権モードで高速に動作するプログラムを配置します。

## (3) P2 領域

P2 領域は、キャッシングの対象にならず、アドレス変換の対象とならない特権領域として定義されています。リセット状態から呼び出されるリセット処理プログラムは、P2 領域の先頭 (H'A0000000) から記述します。通常、この領域にはシステムの初期設定ルーチンなど、OS の起動に必要なプログラムを配置します。また、本 LSI の一部の内蔵 I/O をアクセスする場合には、P2 領域にプログラムを配置しておく必要があります。

## (4) P3 領域

P3 領域は、キャッシングの対象になり、アドレス変換の対象となる特権領域として定義されています。特権プログラムでアドレス変換が必要な場合は、この領域を利用します。

## (5) P4 領域

P4 領域は、制御空間で、キャッシングやアドレス変換の対象にならず、特権モードのみでアクセス可能です。本 LSI の内蔵 I/O の一部は、この空間に配置されています。

表 2.1 論理アドレス空間

アドレス範囲	名称	モード	説明
H'00000000 – H'7FFFFFFF	P0/U0	特権 / ユーザ	2G バイト物理空間、キャッシング可能、アドレス変換可能 ユーザモードではこのアドレス空間のみアクセスできます。
H'80000000 – H'9FFFFFFF	P1	特権	0.5G バイト物理空間、キャッシング可能
H'A0000000 – H'BFFFFFFF	P2	特権	0.5G バイト物理空間、キャッシング不可
H'C0000000 – H'DFFFFFFF	P3	特権	0.5G バイト物理空間、キャッシング可能、アドレス変換可能
H'E0000000 – H'FFFFFFF	P4	特権	0.5G バイト制御空間、キャッシング不可

## 2.2.2 外部メモリ空間

本 LSI では、論理アドレス 32 ビットのうち 29 ビットが外部メモリアccessに使用され、0.5G バイトの外部メモリ空間をアクセスできます。外部メモリ空間は、エリアと呼ばれる領域に分かれて管理されており、各エリアごとに異なった種類のメモリを接続することができます（図 2.2 に論理アドレス空間と外部メモリ空間とのマッピングを示します）。詳細は、「第 12 章 バスステートコントローラ（BSC）」を参照してください。また、外部メモリ空間のエリア 1 は内蔵 I/O 空間として使用され、本 LSI の内蔵 I/O の多くはこの領域にマッピングされています。<sup>\*1</sup>

通常は、論理アドレスの上位 3 ビットがマスクされて外部メモリアドレスになります<sup>\*2</sup>。たとえば、論理アドレスの P0 領域の H'00000100 番地、P1 領域の H'80000100 番地、P2 領域の H'A0000100 番地、および P3 領域の H'C0000100 番地は、すべて同一の外部メモリアドレスであるエリア 0 の H'00000100 番地にマッピングされます。ただし、P4 領域はマッピングの対象にならず、P4 領域をアクセスしても外部メモリ空間へのアクセスとはなりません。

【注】 \*1 外部メモリ空間のエリア 1 にマッピングされている内蔵 I/O をアクセスする場合には、キャッシングの対象でない論理アドレス（P2 領域）からアクセスしてください。

\*2 アドレス変換機構が使用可能な場合は、ページと呼ばれる単位で任意のマッピングが設定できます。詳細は、「第 5 章 メモリマネジメントユニット（MMU）」を参照してください。

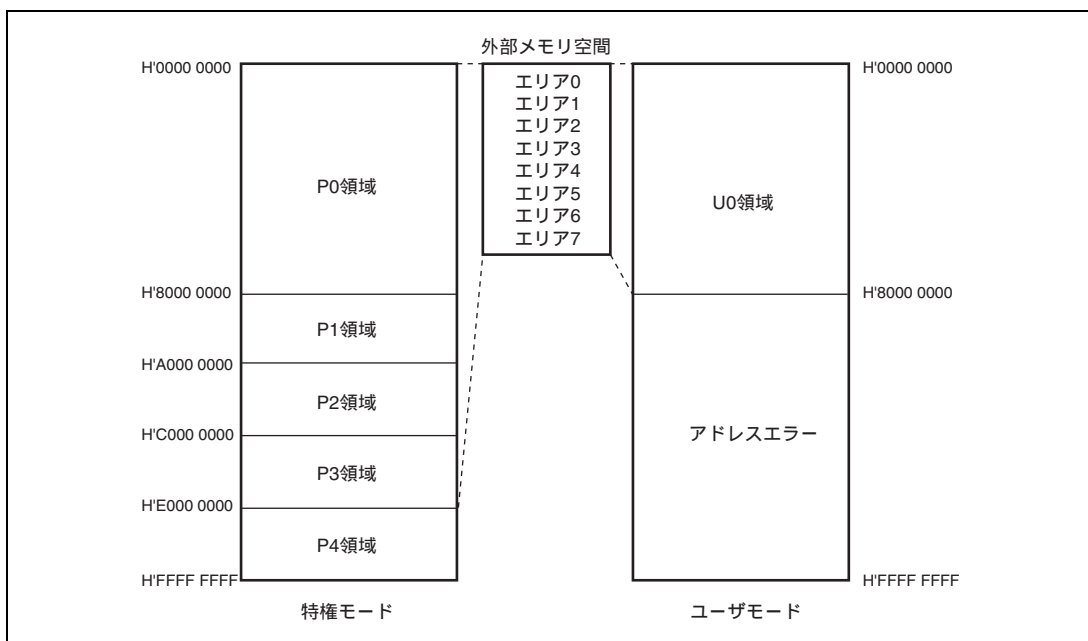


図 2.2 論理アドレス空間と外部メモリ空間とのマッピング

## 2.3 レジスタの説明

本 LSI の CPU は、32 ビットのレジスタを 33 本保有しています。これは、汎用レジスタ (24 本)、コントロールレジスタ (5 本)、システムレジスタ (3 本)、およびプログラムカウンタ (1 本) に分類されます。

### (1) 汎用レジスタ

汎用レジスタには、R0\_BANK0~R7\_BANK0、R0\_BANK1~R7\_BANK1、および R8~R15 の 24 本のレジスタがあります。R0 から R7 はバンク構成になっており、どちらのバンクが汎用レジスタとして使用されるかは、処理モードおよびステータスレジスタ (SR) のレジスタバンクビット (RB) により決定されます。

### (2) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、およびプロシージャレジスタ (PR) があり、処理モードによらずアクセスできます。

### (3) プログラムカウンタ

プログラムカウンタ (PC) は、現在実行中の命令アドレス+4 の値を保持します。

### (4) コントロールレジスタ

コントロールレジスタには、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、退避ステータスレジスタ (SSR)、退避プログラムカウンタ (SPC)、およびベクタベースレジスタ (VBR) があります。このうち、GBR だけはユーザモードからでもアクセスできますが、他のコントロールレジスタは特権モードでのみアクセスできます。

リセット後のレジスタの値を表 2.2 に示します。また、処理モード別のレジスタ構成を図 2.3 に示します。

表 2.2 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0 ~ R7_BANK0 R0_BANK1 ~ R7_BANK1 R8 ~ R15	不定
システムレジスタ	MACH、MACL、PR	不定
プログラムカウンタ	PC	H'A0000000
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、I3 ~ I0 は 1111 (H'F)、リザーブビットは 0、その他は不定
	GBR、SSR、SPC	不定
	VBR	H'00000000

【注】 \* パワーオンリセットおよびマニュアルリセットで初期化されます。

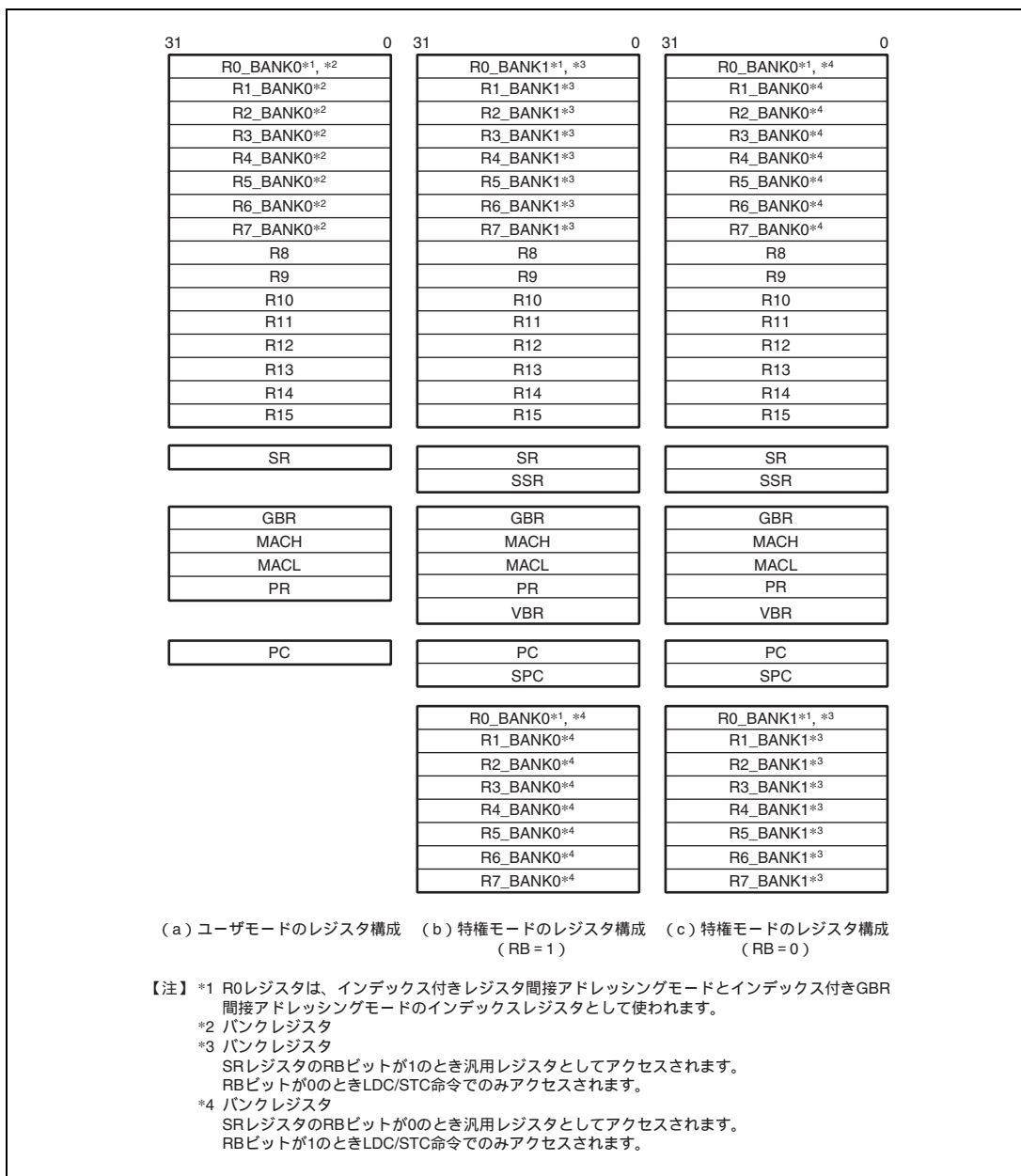


図 2.3 処理モード別のレジスタ構成

### 2.3.1 汎用レジスタ

汎用レジスタには、R0\_BANK0～R7\_BANK0、R0\_BANK1～R7\_BANK1、およびR8～R15の24本のレジスタがあります。R0からR7はバンク構成になっており、どちらのバンクが汎用レジスタとして使用されるかは処理モードおよびステータスレジスタ（SR）のレジスタバンクビット（RB）により決定されます。汎用レジスタとして選択されているバンクはR0～R7という名前でアクセスされ、選択されていないバンクのレジスタはR0\_BANK～R7\_BANKという名前で、コントロールレジスタのロード命令（LDC）とストア命令（STC）を用いてアクセスします。

ユーザモードの場合は、RBビットの値によらずバンク0が選択されます。R0\_BANK0～R7\_BANK0とR8～R15の合計16本のレジスタが汎用レジスタR0～R15としてアクセスされます。バンク1のレジスタR0\_BANK1～R7\_BANK1は、アクセスできません。

例外処理状態に遷移し特権モードになると同時にRBビットに1がセットされ、バンク1が選択されます。この場合は、バンク1のR0\_BANK1～R7\_BANK1とR8～R15の合計16本のレジスタを汎用レジスタR0からR15としてアクセスすることができます。例外処理状態に遷移することで自動的にバンクが切り替わるため、例外処理ルーチンでR0～R7の値を退避する必要はありません。バンク0のR0\_BANK0～R7\_BANK0は、LDCまたはSTC命令により、R0\_BANK～R7\_BANKとしてアクセスします。

特権モードでは、RBビットに0を書くことで、バンク0を汎用レジスタとして使用するよう選択することも可能です。この場合、バンク0のR0\_BANK0～R7\_BANK0とR8～R15の合計16本のレジスタを汎用レジスタR0からR15としてアクセスすることができます。バンク1のR0\_BANK1～R7\_BANK1は、LDCまたはSTC命令により、R0\_BANK～R7\_BANKとしてアクセスします。

汎用レジスタR0～R15はほぼすべての命令で等価な機能のレジスタとして使用されますが、一部の命令では、R0レジスタを暗黙的に使用したり、R0のみがソースレジスタやデスティネーションレジスタになる場合があります。

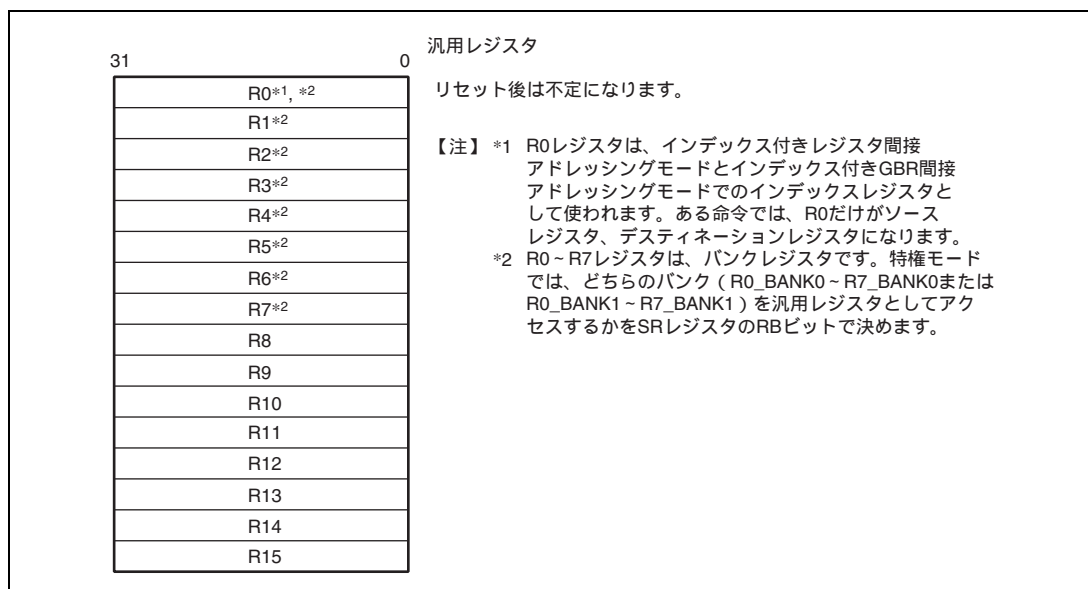


図 2.4 汎用レジスタの構成

### 2.3.2 システムレジスタ

システムレジスタは、LDS または STS 命令でアクセスできます。システムレジスタには、下記に示す 2 つのレジスタがあります。

#### (1) 積和レジスタ

積和レジスタには、積和演算命令、および乗算命令の結果を格納します。また、積和演算命令では加算値を格納する場所としても使用されます。リセット状態では不定になります。

積和レジスタは、上位 32 ビットを格納する積和上位レジスタ (MACH) と下位 32 ビットを格納する積和下位レジスタ (MACL) からなっています。

#### (2) プロシージャレジスタ

プロシージャレジスタ (PR) には、BSR、BSRF、および JSR 命令を用いたサブルーチンコールのときの戻りアドレスが格納されます。PR の中の戻りアドレスは、サブルーチンからの復帰命令 (RTS) によってプログラムカウンタ (PC) に復元されます。リセット状態では、不定になります。

### 2.3.3 プログラムカウンタ

プログラムカウンタ (PC) には、実行中の命令アドレス+4 の値が格納されます。PC の値を直接読み出す命令はありませんが、例外処理状態では待避プログラムカウンタ (SPC) に、サブルーチンコール時にはプロシージャレジスタ (PR) にその値が待避されます。また、アドレッシングモードとして PC 相対アドレッシングが提供されています。

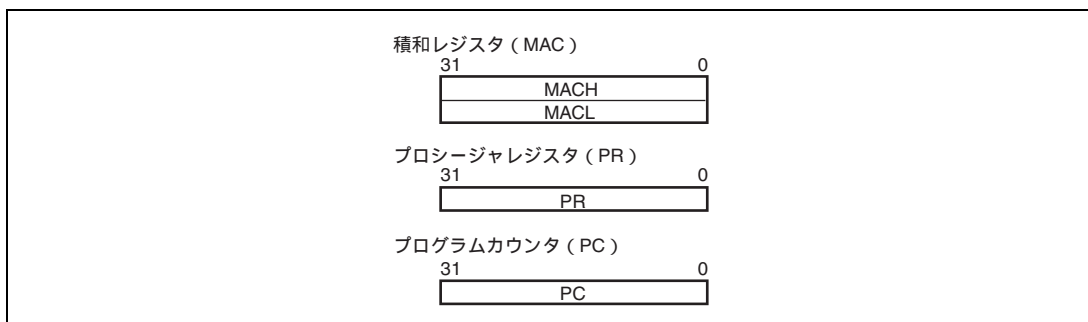


図 2.5 システムレジスタおよびプログラムカウンタの構成

### 2.3.4 コントロールレジスタ

コントロールレジスタは、特権モードのとき LDC または STC 命令を使ってアクセスできます。ただし、グローバルベースレジスタ (GBR) は、ユーザモードでもアクセスすることができます。コントロールレジスタには、下記に示す 5 つのレジスタがあります。

## (1) ステータスレジスタ (SR)

ステータスレジスタには、システムの状態を表す各種情報を格納します。ステータスレジスタは、特権モードでのみアクセスできます。

ビット	ビット名	初期値	R/W	説明
31		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
30	MD	1	R/W	処理モードビット CPUの処理モードを表します。 0: ユーザモード 1: 特権モード リセット状態および例外処理状態になると1がセットされます。
29	RB	1	R/W	レジスタバンクビット 汎用レジスタR0~R7は、バンクレジスタです。 特権モードで使用する汎用レジスタのバンクを指定します。 0: R0_BANK0~R7_BANK0とR8~R15が汎用レジスタになり、 R0_BANK1~R7_BANK1はLDCまたはSTC命令でアクセスできません。 1: R0_BANK1~R7_BANK1とR8~R15が汎用レジスタになり、 R0_BANK0~R7_BANK0はLDCまたはSTC命令でアクセスできません。 リセット状態および例外処理状態になると1がセットされます。
28	BL	1	R/W	ブロックビット 0: 例外、割り込みやユーザブレイクを受け付けます。 1: 例外、割り込みやユーザブレイクの受付を抑制します。 リセット状態および例外処理状態になると1がセットされます。
27~10		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
9	M		R/W	Mビット
8	Q		R/W	Qビット DIV0S、DIV0U、およびDIV1命令で使用します。これらの命令を実行することで、ユーザモードでも値を変更できます。リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。
7	I3	1	R/W	割り込みマスクビット
6	I2	1	R/W	割り込み要求マスクレベルを表す4ビットデータです。
5	I1	1	R/W	割り込みが発生しても、割り込み受け付けレベルに変化しません。
4	I0	1	R/W	リセット状態でB'1111に初期化されますが、例外処理状態になっても値は変化しません。
3		0	R	リザーブビット
2		0	R	読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
1	S		R/W	飽和モード 乗算命令および積和命令での飽和モードを指定します。ユーザモードからは、SETS および CLRS 命令を用いることで値を設定できます。 リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。
0	T		R/W	T ビット 比較演算命令での真または偽条件やキャリまたはボロー付き演算命令でのキャリまたはボローの有無を表します。ユーザモードからは、SETT および CLRT 命令を用いることで値を設定できます。リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。

【注】 M、Q、S、T ビットはユーザモードで専用命令によってセット/クリアが可能です。他のビットは、特権モードで読み出したり書き込みが可能です。

#### (2) 退避ステータスレジスタ (SSR)

このレジスタは、特権モードでのみアクセスできます。例外処理状態へ遷移する場合には、ステータスレジスタ (SR) の値が待避されます。リセット状態での初期値は、不定です。

#### (3) 退避プログラムカウンタ (SPC)

このカウンタは、特権モードでのみアクセスできます。例外処理状態へ遷移する場合には、プログラムカウンタ (PC) の値が待避されます。リセット状態の初期値は、不定です。

#### (4) グローバルベースレジスタ (GBR)

GBR 間接アドレッシングのベースレジスタとして参照されます。リセット状態の初期値は、不定です。

#### (5) ベクタベースレジスタ (VBR)

このレジスタは、特権モードでのみアクセスできます。リセット状態以外から例外処理状態に遷移した場合は、分岐先のベースアドレスとして参照されます。詳細は、「第 4 章 例外処理」を参照してください。リセット状態に遷移することで、H'00000000 に初期化されます。

コントロールレジスタの構成を図 2.6 に示します。



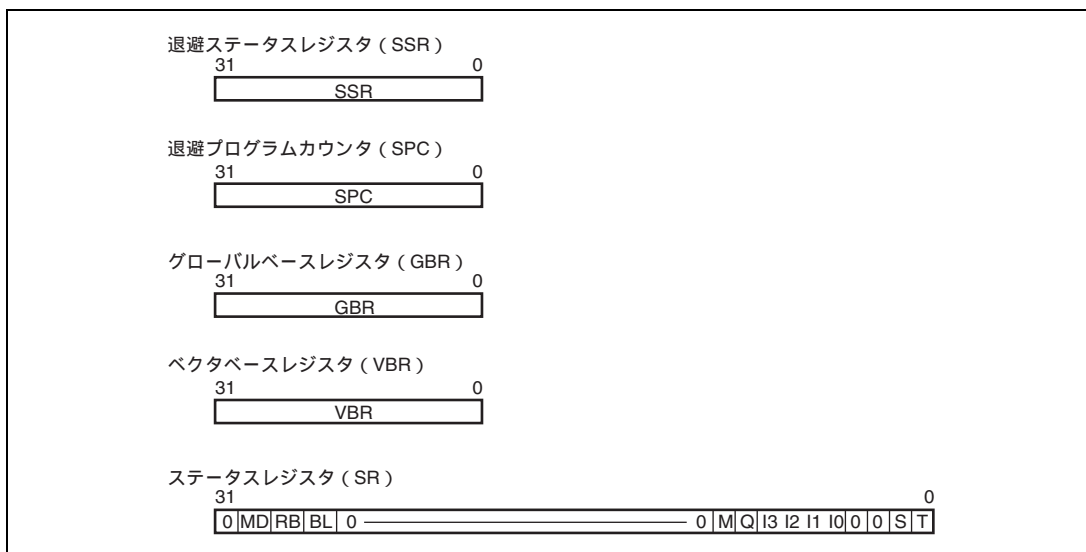
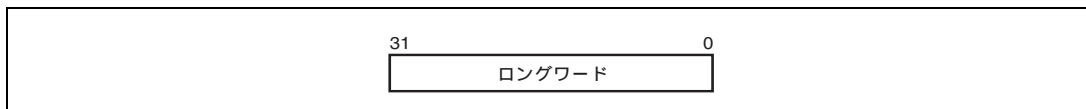


図 2.6 コントロールレジスタの構成

## 2.4 データ形式

### 2.4.1 レジスタのデータ形式

レジスタオペランドのデータのサイズは、常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張して、レジスタに格納します。



### 2.4.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地: 2n 番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地: 4n 番地) からアクセスしてください。これを守らない場合は、アドレスエラーとなり、例外処理状態に遷移します。バイトオペランドは、どの番地からでもアクセスできます。

ワードオペランドやロングワードオペランドをアクセスする場合、レジスタ上でワード、ロングワードを構成する各バイト位置がメモリ上でどのアドレスに対応するかは、エンディアン方式 (ビッグエンディアン/リトルエンディアンの別) により異なります。

図 2.7 に、ビッグエンディアンの場合の対応を示します。ビッグエンディアンでは、レジスタの最上位バイト側がアドレスの小さい番地に、最下位バイト側がアドレスの大きい番地に対応します。例として、汎用レジスタ R1 で示されるアドレスに汎用レジスタの値をロングワードでストアした場合は、R0 の最上位バイトが R1 で示されるアドレスにストアされ、R0 の最下位バイトが (R1+3) で示されるアドレスにストアされます。

本 LSI の内蔵デバイスが持つメモリ割り付けレジスタは、ビッグエンディアンとしてアクセスされます。ただし、ロングワードサイズのレジスタをワードまたはバイトでアクセスすることが可能か、ワードサイズのレジスタをバイトでアクセスすることが可能かは、レジスタによって異なります。

【注】 本 LSI の CPU 命令コードは、メモリ上にワードサイズとして格納されている必要があります。ビッグエンディアンの場合は、命令コードはメモリ上にワード境界から上位バイトおよび下位バイトの順番に格納してください。

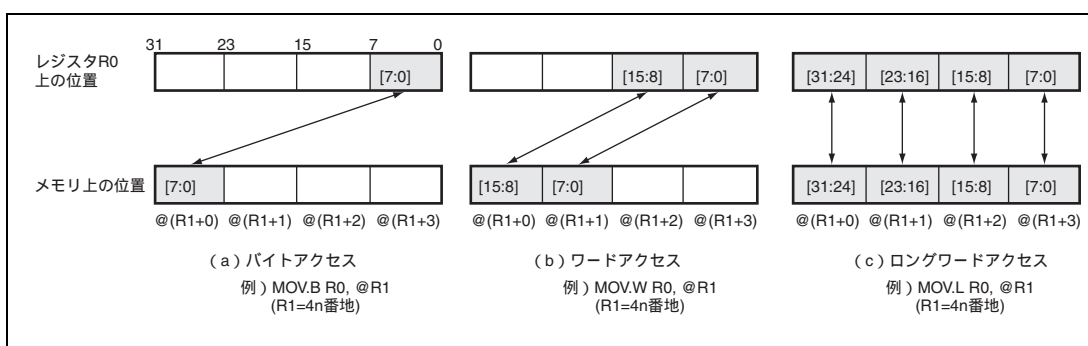


図 2.7 メモリ上のデータ形式 (ビッグエンディアン)

データフォーマットとしてリトルエンディアンを選択することも可能です。エンディアン方式は、パワーオンリセット時に外部ピン (MD5 ピン) で設定してください。MD5 ピンがローレベルの場合はビッグエンディアンに、MD5 ピンがハイレベルの場合はリトルエンディアンに設定されます。エンディアン方式は、動的には変更できません。

リトルエンディアンでは、レジスタの最上位バイト側がアドレスの大きい番地に、最下位バイト側がアドレスの小さい番地に対応します (図 2.8)。例として、汎用レジスタ R1 で示されるアドレスに汎用レジスタの値をロングワードでストアした場合、リトルエンディアンでは R0 の最上位バイトが (R1+3) で示されるアドレスにストアされ、R0 の最下位バイトが R1 で示されるアドレスにストアされます。

エンディアンをリトルエンディアンに設定した場合、本 LSI の持つ内蔵メモリへのアクセスはリトルエンディアンで行われますが、メモリ空間に割り付けられたレジスタへのアクセスはビッグエンディアンで行われます。ただし、ロングワードサイズのレジスタをワードまたはバイトでアクセスすることが可能か、ワードサイズのレジスタをバイトでアクセスすることが可能かは、レジスタによって異なります。

【注】 本 LSI の CPU 命令コードは、メモリ上にワードサイズとして格納されている必要があります。リトルエンディアンの場合は、命令コードはメモリ上にワード境界から下位バイトおよび上位バイトの順に格納してください。

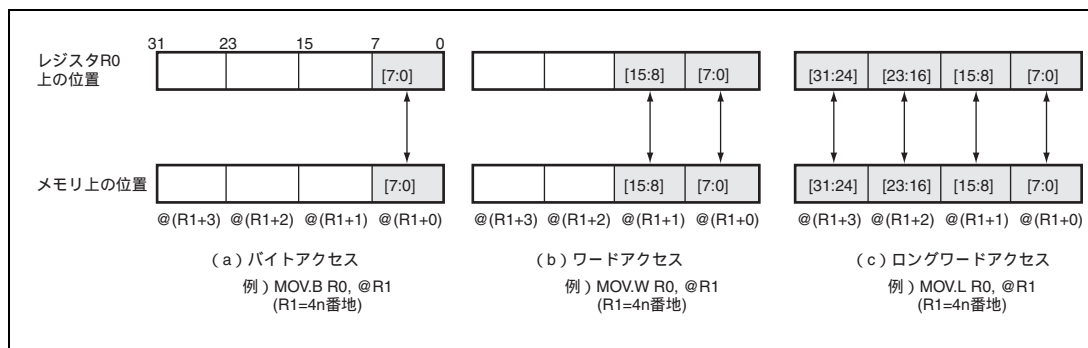


図 2.8 メモリ上のデータ形式 (リトルエンディアン)

【注】 E-DMAC および IPSEC モジュールから外部メモリをアクセスする場合、ビッグエンディアンのみ対応可能であり、リトルエンディアンには対応できません。

それゆえ、E-DMAC および IPSEC から外部メモリをリトルエンディアンでアクセスする場合は、ソフトウェアによりビッグエンディアンからリトルエンディアンにデータ変換する必要があります。

なお、IPSEC は、SH7710 にのみ内蔵されています。

## 2.5 命令の特長

### 2.5.1 命令の実行方法

#### (1) 命令長

命令セットは、16 ビット固定長命令で逐次パイプラインで実行されます。逐次パイプラインによりほとんどの命令が 1 サイクルの時間で実行されます。すべてのデータは 32 ビットのロングワード単位で処理されます。メモリは、8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワード単位にアクセスされます。このとき、バイトとワードは、符号拡張されて 32 ビットのロングワードで処理されます。リテラル定数は、算術演算 (MOV、ADD および CMP/EQ 命令) では符号が拡張され、論理演算 (TST、AND、OR および XOR 命令) ではゼロ拡張されて処理されます。

#### (2) ロードストアアーキテクチャ

ロードストアアーキテクチャを採用しているため、基本演算はレジスタ間で処理されます。メモリ上のデータを扱うときは、転送命令でレジスタにロードしてから演算命令で実行してください。ただし、論理演算の AND のようなビット操作命令は、実際にメモリ上で処理されます。

#### (3) 遅延分岐

無条件分岐は、遅延分岐として処理されます。分岐によるパイプラインの乱れを最小にするため遅延分岐命令の次の命令を先に実行してから分岐します。条件付き分岐命令には、遅延分岐命令と通常分岐命令の 2 とおりがあります。

BRA	TRGET	
ADD	R1, R0	;TRGET へ分岐する前に ADD 命令が実行されます

#### (4) Tビット

ステータスレジスタ (SR) の T ビットは、比較命令の結果を表すのに使用され、条件分岐が発生するか否かを決定する真偽状態 (TRUE または FALSE) として読み出されます。処理速度を向上させるため、T ビットは特定の命令でのみ変更されます。T ビットの使い方の例を以下に示します。

ADD	#1, R0	;T ビットは ADD 命令では変更されません
CMP/EQ	#0, R0	;T ビットは R0 が 0 のとき 1 にセットされます
BT	TRGET	;T ビットが 1 (R0=0) のとき TRGET に分岐します

#### (5) リテラル定数

バイト長のリテラル定数は、イミディエイトデータとして命令コードの中に直接挿入されます。16 ビット固定長の命令コードなので、ワードまたはロングワードのリテラル定数は命令コードの中に直接挿入されず、メインメモリにテーブルの形で格納されます。メモリテーブルは、ディスプレースメント付きの PC 相対アドレッシングを使った MOV 命令でアクセスします。

```
MOV.W      @(disp, PC), R0
```

#### (6) 絶対アドレス

ワードおよびロングワードリテラル定数と同じように、絶対アドレスもメインメモリにテーブルの形で格納してください。絶対アドレスの値はレジスタに転送され、オペランドのアクセスはインデックス付きレジスタ間接アドレッシングで指定されます。絶対アドレスは、ワードおよびロングワードのイミディエイトデータと同じように、命令実行中にレジスタに格納されます。


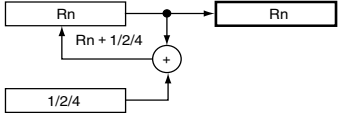
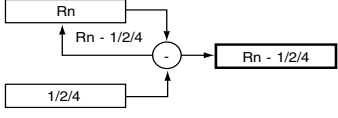
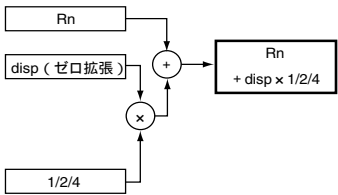
#### (7) 16 ビットと 32 ビットディスプレースメント

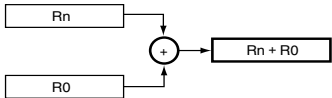
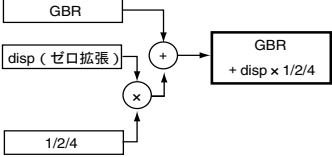
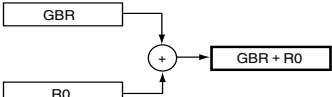
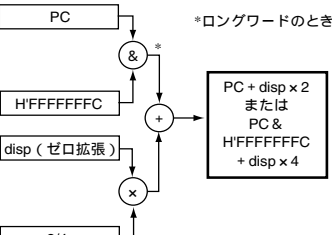
16 ビットおよび 32 ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに格納してください。絶対アドレスと全く同じようにディスプレースメントの値がレジスタに転送され、オペランドのアクセスはインデックス付きレジスタ間接アドレッシングで指定されます。絶対アドレスはワードおよびロングワードのイミディエイトデータと同じように、命令実行中にレジスタに格納されます。

## 2.5.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.3 に示します。

表 2.3 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメントレジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメントレジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレースメント付きレジスタ間接	@ ( disp:4, Rn )	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp × 2 ロングワード : Rn + disp × 4

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
インデックス付 きレジスタ間接	@ ( R0, Rn )	実効アドレスはレジスタ Rn に R0 を加算した内容 です。 	Rn + R0
ディスプレース メント付き GBR 間接	@ ( disp:8, GBR )	実効アドレスはレジスタ GBR に 8 ビットディスプレ ースメント disp を加算した内容です。disp はゼロ 拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : GBR + disp ワード : GBR + disp × 2 ロングワード : GBR + disp × 4
インデックス付 き GBR 間接	@ ( R0, GBR )	実効アドレスはレジスタ GBR に R0 を加算した内 容です。 	GBR + R0
ディスプレース メント付き PC 相対	@ ( disp:8, PC )	実効アドレスはレジスタ PC に 8 ビットディスプレ ースメント disp を加算した内容です。disp はゼロ 拡張後、オペランドサイズによってワードで 2 倍、 ロングワードで 4 倍します。さらにロングワード のときは PC の下位 2 ビットをマスクします。 	ワード : PC + disp × 2 ロングワード : PC & H'FFFFFFFC + disp × 4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

【注】 下記のディスプレイメント ( disp ) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (  $\times 1$ 、 $\times 2$ 、 $\times 4$  ) を行う前の値を表記しています。これは、LSI の動作を明確にするためです。実際のアセンブラの記述は、各アセンブラの表記ルールをご参考ください。

@ ( disp:4, Rn ) ;ディスプレイメント付きレジスタ間接

@ ( disp:8, GBR ) ;ディスプレイメント付き GBR 間接

@ ( disp:8, PC ) ;ディスプレイメント付き PC 相対

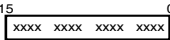
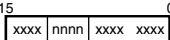

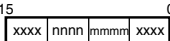
disp : 8, disp :12;PC 相対

### 2.5.3 命令形式

表 2.4 に命令形式、ソースオペランド、およびデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード  
 mmmm : ソースレジスタ  
 nnnn : デスティネーションレジスタ  
 iiii : イミディエイトデータ  
 dddd : ディスプレースメント

表 2.4 命令形式

命令形式	ソースオペランド	デスティネーション オペランド	命令の例
0 形式			NOP
n 形式		nnnn: レジスタ直接	MOV <sub>T</sub> Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接 STS MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: プリデクリメントレ ジスタ間接 STC.L SR,@-Rn
m 形式		mmmm: レジスタ直接	コントロールレジスタ またはシステムレジスタ LDC Rm,SR
		mmmm: ポストインクリメ ントレジスタ間接	コントロールレジスタ またはシステムレジスタ LDC.L @Rm+,SR
		mmmm: レジスタ間接	JMP @Rm
		mmmm: Rm を用いた PC 相 対	BRAF Rm
nm 形式		mmmm: レジスタ直接	nnnn: レジスタ直接 ADD Rm,Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接 MOV.L Rm,@Rn
		mmmm: ポストインクリメ ントレジスタ間接 (積和演算) nnnn: *ポストインクリメン トレジスタ間接 (積和演算)	MACH,MACL MAC.W @Rm+, @Rn+
		mmmm: ポストインクリメ ントレジスタ間接	nnnn: レジスタ直接 MOV.L @Rm+,Rn



命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式		m m m m: レジスタ 直接	n n n n: プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		m m m m: レジスタ 直接	n n n n: インデックス 付きレジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式		m m m m d d d d: ディスプレースメン ト付きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式		R0 (レジスタ直接)	n n n n d d d d: ディスプレースメント付き レジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式		m m m m: レジスタ 直接	n n n n d d d d: ディスプレースメント付き レジスタ間接	MOV.L Rm,@(disp,Rn)
		m m m m d d d d: ディスプレースメン ト付きレジスタ間接	n n n n: レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式		d d d d d d d d: ディスプレースメン ト付き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	d d d d d d d d: ディスプレースメント付き GBR 間接	MOV.L R0,@(disp,GBR)
		d d d d d d d d: ディスプレースメン ト付き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		d d d d d d d d: PC 相対		BF label
d12 形式		d d d d d d d d d d: PC 相対		BRA label (label=disp+PC)
nd8 形式		d d d d d d d d: ディスプレースメン ト付き PC 相対	n n n n: レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		iiiiiii: イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii: イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii: イミディエイト		TRAPA #imm
ni 形式		iiiiiii: イミディエイト	n n n n: レジスタ直接	ADD #imm,Rn

【注】 \* 積和命令では、nnnn はソースレジスタです。

## 2.6 命令セット

### 2.6.1 機能別命令セット

機能別の命令を表 2.5 に示します。

表 2.5 機能別命令

機能	命令の種類	オペコード	詳細機能	命令数
データ転送命令	5	MOV	データ転送	39
		MOVA	実効アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算 (32 × 32 ビット)	
		MULS	符号付き乗算 (16 × 16 ビット)	
		MULU	符号なし乗算 (16 × 16 ビット)	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	ポロー付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	

機能	命令の種類	オペコード	詳細機能	命令数
シフト命令	12	ROTCL	Tビット付き1ビット左回転	16
		ROTCR	Tビット付き1ビット右回転	
		ROTL	1ビット左回転	
		ROTR	1ビット右回転	
		SHAD	ダイナミック算術シフト	
		SHAL	1ビット左算術シフト	
		SHAR	1ビット右算術シフト	
		SHLD	ダイナミック論理シフト	
		SHLL	1ビット左論理シフト	
		SHLLn	nビット左論理シフト	
		SHLR	1ビット右論理シフト	
		SHLRn	nビット右論理シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T=0で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T=1で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
RTS	サブルーチンプロシージャからの復帰			
システム制御命令	15	CLRMAC	MACレジスタのクリア	75
		CLRS	Sビットのクリア	
		CLRT	Tビットのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		LDTLB	TLBへのロード	
		NOP	無操作	
		PREF	データキャッシュへのプリフェッチ	
		RTE	例外処理からの復帰	
		SETS	Sビットのセット	
		SETT	Tビットのセット	
		SLEEP	低消費電力モードへの遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
TRAPA	トラップ例外処理			
計 68				188

CPU 命令の命令コード、動作、および実行ステートを、以下の形式で分類別に説明します。

命令	命令コード	動作の概略	特権	実行 ステート	T ビット
ニーモニックで表示して います。	MSB LSB の順で表示 しています。	動作の概略を表示しています。	特権命令を示 しています。	ノーウェイト のときの値で す。 <sup>*1</sup>	命令実行後 の、T ビット の値を表示 しています。
記号の説明	記号の説明	記号の説明 、 : 転送方向 (xx): メモリオペランド M/Q/T: SR 内のフラグビット &: ビットごとの論理積  : ビットごとの論理和 ^: ビットごとの排他的論理和 ~: ビットごとの論理否定 <<n: 左 n ビットシフト >>n: 右 n ビットシフト			記号の説明 : 変化しな い
OP: Sz SRC, DEST	mmmm: ソースレジスタ				
OP: オペコード	nnnn: デスティネーションレジスタ				
Sz: サイズ	0000: R0				
SRC: ソース	0001: R1				
DEST: デスティネーション	.....				
Rm: ソースレジスタ	1111: R15				
Rn: デスティネーションレジスタ	iiii: イミディエイトデータ				
imm: イミディエイトデータ	dddd: ディスプレースメント <sup>*2</sup>				
disp: ディスプレースメント					

【注】 \*1 命令の実行ステートについて

表に示した実行ステートは、最少値です。実際は、下記の条件により、命令実行ステート数が増加します。

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令 (メモリ レジスタ) のデスティネーションレジスタと、その直後の命令が使うレジスタとが同一の場合

\*2 命令のオペランドサイズなどに応じてスケールリング (×1、×2、×4) されます。

表 2.6 データ転送命令

命令	命令コード	動作	特権	実行 ステート	Tビット
MOV #imm,Rn	1110nnnniiiiiiii	imm 符号拡張 Rn		1	
MOV.W @(disp,PC),Rn	1001nnnnddddd	(disp × 2+PC) 符号拡張 Rn		1	
MOV.L @(disp,PC),Rn	1101nnnnddddd	(disp × 4+PC) Rn		1	
MOV Rm,Rn	0110nnnnmmmm0011	Rm Rn		1	
MOV.B Rm,@Rn	0010nnnnmmmm0000	Rm (Rn)		1	
MOV.W Rm,@Rn	0010nnnnmmmm0001	Rm (Rn)		1	
MOV.L Rm,@Rn	0010nnnnmmmm0010	Rm (Rn)		1	
MOV.B @Rm,Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn		1	
MOV.W @Rm,Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn		1	
MOV.L @Rm,Rn	0110nnnnmmmm0010	(Rm) Rn		1	
MOV.B Rm,@-Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)		1	
MOV.W Rm,@-Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)		1	
MOV.L Rm,@-Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)		1	
MOV.B @Rm+,Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm		1	
MOV.W @Rm+,Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm		1	
MOV.L @Rm+,Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm		1	
MOV.B R0,@(disp,Rn)	10000000nnnnddddd	R0 (disp+Rn)		1	
MOV.W R0,@(disp,Rn)	10000001nnnnddddd	R0 (disp × 2+Rn)		1	
MOV.L Rm,@(disp,Rn)	0001nnnnmmmmddddd	Rm (disp × 4+Rn)		1	
MOV.B @(disp,Rm),R0	10000100mmmmddddd	(disp+Rm) 符号拡張 R0		1	
MOV.W @(disp,Rm),R0	10000101mmmmddddd	(disp × 2+Rm) 符号拡張 R0		1	
MOV.L @(disp,Rm),Rn	0101nnnnmmmmddddd	(disp × 4+Rm) Rn		1	
MOV.B Rm,@(R0,Rn)	0000nnnnmmmm0100	Rm (R0+Rn)		1	
MOV.W Rm,@(R0,Rn)	0000nnnnmmmm0101	Rm (R0+Rn)		1	
MOV.L Rm,@(R0,Rn)	0000nnnnmmmm0110	Rm (R0+Rn)		1	
MOV.B @(R0,Rm),Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn		1	
MOV.W @(R0,Rm),Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn		1	
MOV.L @(R0,Rm),Rn	0000nnnnmmmm1110	(R0+Rm) Rn		1	
MOV.B R0,@(disp,GBR)	11000000ddddddddd	R0 (disp+GBR)		1	
MOV.W R0,@(disp,GBR)	11000001ddddddddd	R0 (disp × 2+GBR)		1	
MOV.L R0,@(disp,GBR)	11000010ddddddddd	R0 (disp × 4+GBR)		1	
MOV.B @(disp,GBR),R0	11000100ddddddddd	(disp+GBR) 符号拡張 R0		1	
MOV.W @(disp,GBR),R0	11000101ddddddddd	(disp × 2+GBR) 符号拡張 R0		1	
MOV.L @(disp,GBR),R0	11000110ddddddddd	(disp × 4+GBR) R0		1	
MOVA @(disp,PC),R0	11000111ddddddddd	disp × 4+PC R0		1	

命令	命令コード	動作	特権	実行 ステート	Tビット
MOVT Rn	0000nnnn00101001	T Rn		1	
SWAP.B Rm,Rn	0110nnnnnnnnnn1000	Rm 下位2バイトの上下バイト交換 Rn		1	
SWAP.W Rm,Rn	0110nnnnnnnnnn1001	Rm 上下ワード交換 Rn		1	
XTRCT Rm,Rn	0010nnnnnnnnnn1101	Rm と Rn の中央 32 ビット Rn		1	

表 2.7 算術演算命令

命令	命令コード	動作	特権	実行 ステート	Tビット
ADD Rm,Rn	0011nnnnnnnnnn1100	Rn+Rm Rn		1	
ADD #imm,Rn	0111nnnniiiiiiii	Rn+imm Rn		1	
ADDC Rm,Rn	0011nnnnnnnnnn1110	Rn+Rm+T Rn, キャリ T		1	キャリ
ADDV Rm,Rn	0011nnnnnnnnnn1111	Rn+Rm Rn, オーバフロー T		1	オーバフロー
CMP/EQ #imm,R0	10001000iiiiiiii	R0=imm のとき 1 T		1	比較結果
CMP/EQ Rm,Rn	0011nnnnnnnnnn0000	Rn=Rm のとき 1 T		1	比較結果
CMP/HS Rm,Rn	0011nnnnnnnnnn0010	無符号で Rn Rm のとき 1 T		1	比較結果
CMP/GE Rm,Rn	0011nnnnnnnnnn0011	有符号で Rn Rm のとき 1 T		1	比較結果
CMP/HI Rm,Rn	0011nnnnnnnnnn0110	無符号で Rn>Rm のとき 1 T		1	比較結果
CMP/GT Rm,Rn	0011nnnnnnnnnn0111	有符号で Rn>Rm のとき 1 T		1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1 T		1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T		1	比較結果
CMP/STR Rm,Rn	0010nnnnnnnnnn1100	いずれかのバイトが等しいとき 1 T		1	比較結果
DIV1 Rm,Rn	0011nnnnnnnnnn0100	1 ステップ除算 (Rn÷Rm)		1	計算結果
DIV0S Rm,Rn	0010nnnnnnnnnn0111	Rn の MSB Q, Rm の MSB M, M^Q T		1	計算結果
DIV0U	0000000000011001	0 M/Q/T		1	0
DMULS.L Rm,Rn	0011nnnnnnnnnn1101	符号付きで Rn×Rm MACH, MACL 32×32 64ビット		2(～5)*	
DMULU.L Rm,Rn	0011nnnnnnnnnn0101	符号なしで Rn×Rm MACH, MACL 32×32 64ビット		2(～5)*	
DT Rn	0100nnnn00010000	Rn-1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T		1	比較結果
EXTS.B Rm,Rn	0110nnnnnnnnnn1110	Rm をバイトから符号拡張 Rn		1	
EXTS.W Rm,Rn	0110nnnnnnnnnn1111	Rm をワードから符号拡張 Rn		1	
EXTU.B Rm,Rn	0110nnnnnnnnnn1100	Rm をバイトからゼロ拡張 Rn		1	
EXTU.W Rm,Rn	0110nnnnnnnnnn1101	Rm をワードからゼロ拡張 Rn		1	
MAC.L @Rm+, @Rn+	0000nnnnnnnnnn1111	符号付きで (Rn) × (Rm) +MAC MAC, Rn+4 Rn, Rm+4 Rm32×32+64 64ビット		2(～5)*	

命令	命令コード	動作	特権	実行 ステート	Tビット
MAC.W	@Rm+, @Rn+	0100nnnnnnmmmm1111	符号付きで $(Rn) \times (Rm) + MAC$ MAC, Rn+2 Rn, Rm+2 Rm $16 \times 16 + 64$ 64 ビット	2 (~5)*	
MUL.L	Rm,Rn	0000nnnnnnmmmm0111	Rn $\times$ Rm MACL $32 \times 32$ 32 ビット	2 (~5)*	
MULS.W	Rm,Rn	0010nnnnnnmmmm1111	符号付きで Rn $\times$ Rm MACL $16 \times 16$ 32 ビット	1 (~3)*	
MULU.W	Rm,Rn	0010nnnnnnmmmm1110	符号なしで Rn $\times$ Rm MACL $16 \times 16$ 32 ビット	1 (~3)*	
NEG	Rm,Rn	0110nnnnnnmmmm1011	0-Rm Rn	1	
NEGC	Rm,Rn	0110nnnnnnmmmm1010	0-Rm-T Rn, ポロー T	1	ポロー
SUB	Rm,Rn	0011nnnnnnmmmm1000	Rn-Rm Rn	1	
SUBC	Rm,Rn	0011nnnnnnmmmm1010	Rn-Rm-T Rn, ポロー T	1	ポロー
SUBV	Rm,Rn	0011nnnnnnmmmm1011	Rn-Rm Rn, アンダフロー T	1	アンダフロー

【注】 \* 命令の直後に MACH/MACL レジスタから演算結果を読み出すときは、( ) 内に示されたステート数が必要です。

表 2.8 論理演算命令

命令	命令コード	動作	特権	実行 ステート	Tビット
AND	Rm,Rn	0010nnnnnnmmmm1001	Rn & Rm Rn	1	
AND	#imm,R0	11001001iiiiiiii	R0 & imm R0	1	
AND.B	#imm,@(R0,GBR)	11001101iiiiiiii	(R0+GBR) & imm (R0+GBR)	3	
NOT	Rm,Rn	0110nnnnnnmmmm0111	$\bar{Rm}$ Rn	1	
OR	Rm,Rn	0010nnnnnnmmmm1011	Rn   Rm Rn	1	
OR	#imm,R0	11001011iiiiiiii	R0   imm R0	1	
OR.B	#imm,@(R0,GBR)	11001111iiiiiiii	(R0+GBR)   imm (R0+GBR)	3	
TAS.B	@Rn	0100nnnn00011011	(Rn) が 0 のとき 1 T, 1 MSB of (Rn)	4	テスト結果
TST	Rm,Rn	0010nnnnnnmmmm1000	Rn & Rm, 結果が 0 のとき 1 T	1	テスト結果
TST	#imm,R0	11001000iiiiiiii	R0 & imm, 結果が 0 のとき 1 T	1	テスト結果
TST.B	#imm,@(R0,GBR)	11001100iiiiiiii	(R0+GBR) & imm, 結果が 0 のとき 1 T	3	テスト結果
XOR	Rm,Rn	0010nnnnnnmmmm1010	Rn ^ Rm Rn	1	
XOR	#imm,R0	11001010iiiiiiii	R0 ^ imm R0	1	
XOR.B	#imm,@(R0,GBR)	11001110iiiiiiii	(R0+GBR) ^ imm (R0+GBR)	3	

表 2.9 シフト命令

命令	命令コード	動作	特権	実行 ステート	Tビット
ROTL	Rn	0100nnnn00000100	T Rn MSB	1	MSB
ROTR	Rn	0100nnnn00000101	LSB Rn T	1	LSB
ROTCL	Rn	0100nnnn00100100	T Rn T	1	MSB
ROTCR	Rn	0100nnnn00100101	T Rn T	1	LSB
SHAD	Rm, Rn	0100nnnnnnnnm1100	Rm 0 のとき、Rn<<Rm Rn Rm<0 のとき、Rn>>Rm [MSB Rn]	1	
SHAL	Rn	0100nnnn00100000	T Rn 0	1	MSB
SHAR	Rn	0100nnnn00100001	MSB Rn T	1	LSB
SHLD	Rm, Rn	0100nnnnnnmm1101	Rm 0 のとき、Rn<<Rm Rn Rm<0 のとき、Rn>>Rm [0 Rn]	1	
SHLL	Rn	0100nnnn00000000	T Rn 0	1	MSB
SHLR	Rn	0100nnnn00000001	0 Rn T	1	LSB
SHLL2	Rn	0100nnnn00001000	Rn<<2 Rn	1	
SHLR2	Rn	0100nnnn00001001	Rn>>2 Rn	1	
SHLL8	Rn	0100nnnn00011000	Rn<<8 Rn	1	
SHLR8	Rn	0100nnnn00011001	Rn>>8 Rn	1	
SHLL16	Rn	0100nnnn00101000	Rn<<16 Rn	1	
SHLR16	Rn	0100nnnn00101001	Rn>>16 Rn	1	

表 2.10 分岐命令

命令	命令コード	動作	特権	実行 ステート	Tビット
BF	disp	10001011dddddddd	T=0 のとき disp × 2+PC へ分岐 T=1 のとき nop	3/1*	
BF/S	disp	10001111dddddddd	遅延分岐、T=0 のとき disp × 2+PC へ分岐 T=1 のとき nop	2/1*	
BT	disp	10001001dddddddd	T=1 のとき disp × 2+PC へ分岐 T=0 のとき nop	3/1*	
BT/S	disp	10001101dddddddd	遅延分岐、T=1 のとき disp × 2+PC へ分岐 T=0 のとき nop	2/1*	
BRA	disp	1010dddddddddddd	遅延分岐、disp × 2+PC へ分岐	2	
BRAF	Rm	0000mmmm00100011	遅延分岐、Rm+PC へ分岐	2	
BSR	disp	1011dddddddddddd	遅延分岐、遅延スロット命令の次命令のアド レス PR, disp × 2+PC へ分岐	2	
BSRF	Rm	0000mmmm00000011	遅延分岐、遅延スロット命令の次命令のアド レス PR, Rm+PC へ分岐	2	



命令	命令コード	動作	特権	実行 ステート	Tビット
JMP	@Rm	0100mmmm00101011		2	
JSR	@Rm	0100mmmm00001011		2	
RTS		0000000000001011		2	

【注】 \* 分岐しないときは、1ステートになります。

表 2.11 システム制御命令

命令	命令コード	動作	特権	実行 ステート	Tビット
CLRMAC		0000000000101000		1	
CLRS		0000000001001000		1	
CLRT		0000000000001000		1	0
LDC	Rm,SR	0100mmmm00001110	特権	6	LSB
LDC	Rm,GBR	0100mmmm00011110		4	
LDC	Rm,VBR	0100mmmm00101110	特権	4	
LDC	Rm,SSR	0100mmmm00111110	特権	4	
LDC	Rm,SPC	0100mmmm01001110	特権	4	
LDC	Rm,R0_BANK	0100mmmm10001110	特権	4	
LDC	Rm,R1_BANK	0100mmmm10011110	特権	4	
LDC	Rm,R2_BANK	0100mmmm10101110	特権	4	
LDC	Rm,R3_BANK	0100mmmm10111110	特権	4	
LDC	Rm,R4_BANK	0100mmmm11001110	特権	4	
LDC	Rm,R5_BANK	0100mmmm11011110	特権	4	
LDC	Rm,R6_BANK	0100mmmm11101110	特権	4	
LDC	Rm,R7_BANK	0100mmmm11111110	特権	4	
LDC.L	@Rm+,SR	0100mmmm00000111	特権	8	LSB
LDC.L	@Rm+,GBR	0100mmmm00010111		4	
LDC.L	@Rm+,VBR	0100mmmm00100111	特権	4	
LDC.L	@Rm+,SSR	0100mmmm00110111	特権	4	
LDC.L	@Rm+,SPC	0100mmmm01000111	特権	4	
LDC.L	@Rm+,R0_BANK	0100mmmm10000111	特権	4	
LDC.L	@Rm+,R1_BANK	0100mmmm10010111	特権	4	
LDC.L	@Rm+,R2_BANK	0100mmmm10100111	特権	4	
LDC.L	@Rm+,R3_BANK	0100mmmm10110111	特権	4	

命令	命令コード	動作	特権	実行 ステート	Tビット	
LDC.L	@Rm+,R4_BANK	0100mmmmn11000111	( Rm ) R4_BANK, Rm+4 Rm	特権	4	
LDC.L	@Rm+,R5_BANK	0100mmmmn11010111	( Rm ) R5_BANK, Rm+4 Rm	特権	4	
LDC.L	@Rm+,R6_BANK	0100mmmmn11100111	( Rm ) R6_BANK, Rm+4 Rm	特権	4	
LDC.L	@Rm+,R7_BANK	0100mmmmn11110111	( Rm ) R7_BANK, Rm+4 Rm	特権	4	
LDS	Rm,MACH	0100mmmmn00001010	Rm MACH		1	
LDS	Rm,MACL	0100mmmmn00011010	Rm MACL		1	
LDS	Rm,PR	0100mmmmn00101010	Rm PR		1	
LDS.L	@Rm+,MACH	0100mmmmn00000110	( Rm ) MACH, Rm+4 Rm		1	
LDS.L	@Rm+,MACL	0100mmmmn00010110	( Rm ) MACL, Rm+4 Rm		1	
LDS.L	@Rm+,PR	0100mmmmn00100110	( Rm ) PR, Rm+4 Rm		1	
LDTLB		0000000000111000	PTEH/PTEL TLB	特権	1	
NOP		0000000000001001	無操作		1	
PREF	@Rm	0000mmmmn10000011	( Rm ) キャッシュ		1	
RTE		0000000001010111	遅延分岐、SSR SR、SPCへ分岐	特権	5	
SETS		0000000001011000	1 S		1	
SETT		0000000000011000	1 T		1	1
SLEEP		0000000000011011	スリープ	特権	4 <sup>*1</sup>	
STC	SR,Rn	0000nnnn00000010	SR Rn	特権	1	
STC	GBR,Rn	0000nnnn00010010	GBR Rn		1	
STC	VBR,Rn	0000nnnn00100010	VBR Rn	特権	1	
STC	SSR, Rn	0000nnnn00110010	SSR Rn	特権	1	
STC	SPC,Rn	0000nnnn01000010	SPC Rn	特権	1	
STC	R0_BANK,Rn	0000nnnn10000010	R0_BANK Rn	特権	1	
STC	R1_BANK,Rn	0000nnnn10010010	R1_BANK Rn	特権	1	
STC	R2_BANK,Rn	0000nnnn10100010	R2_BANK Rn	特権	1	
STC	R3_BANK,Rn	0000nnnn10110010	R3_BANK Rn	特権	1	
STC	R4_BANK,Rn	0000nnnn11000010	R4_BANK Rn	特権	1	
STC	R5_BANK,Rn	0000nnnn11010010	R5_BANK Rn	特権	1	
STC	R6_BANK,Rn	0000nnnn11100010	R6_BANK Rn	特権	1	
STC	R7_BANK,Rn	0000nnnn11110010	R7_BANK Rn	特権	1	
STC.L	SR,@-Rn	0100nnnn00000011	Rn-4 Rn, SR ( Rn )	特権	1	
STC.L	GBR,@-Rn	0100nnnn00010011	Rn-4 Rn, GBR ( Rn )		1	
STC.L	VBR,@-Rn	0100nnnn00100011	Rn-4 Rn, VBR ( Rn )	特権	1	

命令	命令コード	動作	特権	実行 ステート	Tビット	
STC.L	SSR,@-Rn	0100nnnn00110011	Rn-4 Rn, SSR (Rn)	特権	1	
STC.L	SPC,@-Rn	0100nnnn01000011	Rn-4 Rn, SPC (Rn)	特権	1	
STC.L	R0_BANK,@-Rn	0100nnnn10000011	Rn-4 Rn, R0_BANK (Rn)	特権	1	
STC.L	R1_BANK,@-Rn	0100nnnn10010011	Rn-4 Rn, R1_BANK (Rn)	特権	1	
STC.L	R2_BANK,@-Rn	0100nnnn10100011	Rn-4 Rn, R2_BANK (Rn)	特権	1	
STC.L	R3_BANK,@-Rn	0100nnnn10110011	Rn-4 Rn, R3_BANK (Rn)	特権	1	
STC.L	R4_BANK,@-Rn	0100nnnn11000011	Rn-4 Rn, R4_BANK (Rn)	特権	1	
STC.L	R5_BANK,@-Rn	0100nnnn11010011	Rn-4 Rn, R5_BANK (Rn)	特権	1	
STC.L	R6_BANK,@-Rn	0100nnnn11100011	Rn-4 Rn, R6_BANK (Rn)	特権	1	
STC.L	R7_BANK,@-Rn	0100nnnn11110011	Rn-4 Rn, R7_BANK (Rn)	特権	1	
STS	MACH,Rn	0000nnnn00001010	MACH Rn		1	
STS	MACL,Rn	0000nnnn00011010	MACL Rn		1	
STS	PR,Rn	0000nnnn00101010	PR Rn		1	
STS.L	MACH,@-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)		1	
STS.L	MACL,@-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)		1	
STS.L	PR,@-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)		1	
TRAPA	#imm	11000011iiiiiiii	無条件トラップ例外発生*2		8	

【注】 \*1 スリープ状態に遷移するまでの最少ステート数です。

\*2 「第4章 例外処理」を参照してください。

## 2.6.2 オペレーションコードマップ

オペレーションコードマップを表 2.12 に示します。

表 2.12 オペレーションコードマップ

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
0000	Rn	Fx	0000				
0000	Rn	Fx	0001				
0000	Rn	00MD	0010	STC SR, Rn	STC GBR, Rn	STC VBR, Rn	STC SSR, Rn
0000	Rn	01MD	0010	STC SPC, Rn			
0000	Rn	10MD	0010	STC R0_BANK, Rn	STC R1_BANK, Rn	STC R2_BANK, Rn	STC R3_BANK, Rn
0000	Rn	11MD	0010	STC R4_BANK, Rn	STC R5_BANK, Rn	STC R6_BANK, Rn	STC R7_BANK, Rn
0000	Rm	00MD	0011	BSRF Rm		BRAF Rm	
0000	Rm	10MD	0011	PREF @Rm			
0000	Rn	Rm	01MD	MOV.B Rm, @ ( R0, Rn )	MOV.W Rm, @ ( R0, Rn )	MOV.L Rm, @ ( R0, Rn )	MUL.L Rm, Rn
0000	0000	00MD	1000	CLRT	SETT	CLRMAC	LDTLB
0000	0000	01MD	1000	CLRS	SETS		
0000	0000	Fx	1001	NOP	DIV0U		
0000	0000	Fx	1010				
0000	0000	Fx	1011	RTS	SLEEP	RTE	
0000	Rn	Fx	1000				
0000	Rn	Fx	1001			MOVT Rn	
0000	Rn	Fx	1010	STS MACH, Rn	STS MACL, Rn	STS PR, Rn	
0000	Rn	Fx	1011				
0000	Rn	Rm	11MD	MOV.B @ ( R0, Rm ) , Rn	MOV.W @ ( R0, Rm ) , Rn	MOV.L @ ( R0, Rm ) , Rn	MAC.L @Rm + , @Rn +
0001	Rn	Rm	disp	MOV.L Rm, @ ( disp:4, Rn )			
0010	Rn	Rm	00MD	MOV.B Rm, @Rn	MOV.W Rm, @Rn	MOV.L Rm, @Rn	
0010	Rn	Rm	01MD	MOV.B Rm, @ Rn	MOV.W Rm, @ Rn	MOV.L Rm, @ Rn	DIV0S Rm, Rn
0010	Rn	Rm	10MD	TST Rm, Rn	AND Rm, Rn	XOR Rm, Rn	OR Rm, Rn
0010	Rn	Rm	11MD	CMP/STR Rm, Rn	XTRCT Rm, Rn	MULU.W Rm, Rn	MULS.W Rm, Rn
0011	Rn	Rm	00MD	CMP/EQ Rm, Rn		CMP/HS Rm, Rn	CMP/GE Rm, Rn
0011	Rn	Rm	01MD	DIV1 Rm, Rn	DMULU.L Rm, Rn	CMP/HI Rm, Rn	CMP/GT Rm, Rn
0011	Rn	Rm	10MD	SUB Rm, Rn		SUBC Rm, Rn	SUBV Rm, Rn
0011	Rn	Rm	11MD	ADD Rm, Rn	DMULS.L Rm, Rn	ADDC Rm, Rn	ADDV Rm, Rn
0100	Rn	Fx	0000	SHLL Rn	DT Rn	SHAL Rn	
0100	Rn	Fx	0001	SHLR Rn	CMP/PZ Rn	SHAR Rn	
0100	Rn	Fx	0010	STS.L MACH, @ Rn	STS.L MACL, @ Rn	STS.L PR, @ Rn	

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB	LSB			MD: 00	MD: 01	MD: 10	MD: 11
0100	Rn	00MD	0011	STC.L SR, @ Rn	STC.L GBR, @ Rn	STC.L VBR, @ Rn	STC.L SSR, @ Rn
0100	Rn	01MD	0011	STC.L SPC, @ Rn			
0100	Rn	10MD	0011	STC.L R0_BANK, @ Rn	STC.L R1_BANK, @ Rn	STC.L R2_BANK, @ Rn	STC.L R3_BANK, @ Rn
0100	Rn	11MD	0011	STC.L R4_BANK, @ Rn	STC.L R5_BANK, @ Rn	STC.L R6_BANK, @ Rn	STC.L R7_BANK, @ Rn
0100	Rn	Fx	0100	ROTL Rn		ROTCL Rn	
0100	Rn	Fx	0101	ROTR Rn	CMP/PL Rn	ROTCR Rn	
0100	Rm	Fx	0110	LDS.L @Rm+, MACH	LDS.L @Rm+, MACL	LDS.L @Rm+, PR	
0100	Rm	00MD	0111	LDC.L @Rm+, SR	LDC.L @Rm+, GBR	LDC.L @Rm+, VBR	LDC.L @Rm+, SSR
0100	Rm	01MD	0111	LDC.L @Rm+, SPC			
0100	Rm	10MD	0111	LDC.L @Rm+, R0_BANK	LDC.L @Rm+, R1_BANK	LDC.L @Rm+, R2_BANK	LDC.L @Rm+, R3_BANK
0100	Rm	11MD	0111	LDC.L @Rm+, R4_BANK	LDC.L @Rm+, R5_BANK	LDC.L @Rm+, R6_BANK	LDC.L @Rm+, R7_BANK
0100	Rn	Fx	1000	SHLL2 Rn	SHLL8 Rn	SHLL16 Rn	
0100	Rn	Fx	1001	SHLR2 Rn	SHLR8 Rn	SHLR16 Rn	
0100	Rm	Fx	1010	LDS Rm, MACH	LDS Rm, MACL	LDS Rm, PR	
0100	Rm/ Rn	Fx	1011	JSR @Rm	TAS.B @Rn	JMP @Rm	
0100	Rn	Rm	1100	SHAD Rm, Rn			
0100	Rn	Rm	1101	SHLD Rm, Rn			
0100	Rm	00MD	1110	LDC Rm, SR	LDC Rm, GBR	LDC Rm, VBR	LDC Rm, SSR
0100	Rm	01MD	1110	LDC Rm, SPC			
0100	Rm	10MD	1110	LDC Rm, R0_BANK	LDC Rm, R1_BANK	LDC Rm, R2_BANK	LDC Rm, R3_BANK
0100	Rm	11MD	1110	LDC Rm, R4_BANK	LDC Rm, R5_BANK	LDC Rm, R6_BANK	LDC Rm, R7_BANK
0100	Rn	Rm	1111	MAC.W @Rm+, @Rn+			
0101	Rn	Rm	disp	MOV.L @(disp:4, Rm), Rn			
0110	Rn	Rm	00MD	MOV.B @Rm, Rn	MOV.W @Rm, Rn	MOV.L @Rm, Rn	MOV Rm, Rn
0110	Rn	Rm	01MD	MOV.B @Rm+, Rn	MOV.W @Rm+, Rn	MOV.L @Rm+, Rn	NOT Rm, Rn
0110	Rn	Rm	10MD	SWAP.B Rm, Rn	SWAP.W Rm, Rn	NEGC Rm, Rn	NEG Rm, Rn
0110	Rn	Rm	11MD	EXTU.B Rm, Rn	EXTU.W Rm, Rn	EXTS.B Rm, Rn	EXTS.W Rm, Rn
0111	Rn	imm		ADD #imm: 8, Rn			

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
1000	00MD	Rn	disp	MOV.B R0, @ ( disp: 4, Rn )	MOV.W R0, @ ( disp: 4, Rn )		
1000	01MD	Rm	disp	MOV.B @ ( disp: 4, Rm ), R0	MOV.W @ ( disp: 4, Rm ), R0		
1000	10MD	imm/disp		CMP/EQ #imm: 8, R0	BT disp: 8		BF disp: 8
1000	11MD	imm/disp			BT/S disp: 8		BF/S disp: 8
1001	Rn	disp		MOV.W @ ( disp: 8, PC ), Rn			
1010	disp		BRA disp: 12				
1011	disp		BSR disp: 12				
1100	00MD	imm/disp		MOV.B R0, @ ( disp: 8, GBR )	MOV.W R0, @ ( disp: 8, GBR )	MOV.L R0, @ ( disp: 8, GBR )	TRAPA #imm: 8
1100	01MD	disp		MOV.B @ ( disp: 8, GBR ), R0	MOV.W @ ( disp: 8, GBR ), R0	MOV.L @ ( disp: 8, GBR ), R0	MOVA @ ( disp: 8, PC ), R0
1100	10MD	imm		TST #imm: 8, R0	AND #imm: 8, R0	XOR #imm: 8, R0	OR #imm: 8, R0
1100	11MD	imm		TST.B #imm: 8, @ ( R0, GBR )	AND.B #imm: 8, @ ( R0, GBR )	XOR.B #imm: 8, @ ( R0, GBR )	OR.B #imm: 8, @ ( R0, GBR )
1101	Rn	disp		MOV.L @ ( disp: 8, PC ), Rn			
1110	Rn	imm		MOV #imm: 8, Rn			
1111	*****						

【注】 詳細は「SH-3、SH-3E、SH3-DSP ソフトウェアマニュアル」を参照してください。

---

## 3. DSP 演算ユニット

---

### 3.1 DSP 拡張機能

本 LSI では、DSP ユニットおよび DSP ユニットに直結された X/Y メモリを内蔵しており、それらを制御する拡張命令セットが提供されています。拡張される命令セットは、次の 4 つのグループに分けられます (図 3.1)。

#### (1) CPU ユニット用の拡張システム制御命令

DSP 拡張機能が有効になると CPU ユニット用の拡張システム制御命令として以下の命令が利用できるようになります。

- リピートループを制御するための命令や、リピートループ制御用のコントロールレジスタに対するアクセス命令が追加されます。ゼロオーバーヘッドリピート制御機構を使用することによりループ構造のプログラムを効率的に実行することができるようになります。本機能に関しては、「3.3 CPU 拡張命令」で詳しく説明します。
- モジュロアドレッシングを制御する命令、およびコントロールレジスタをアクセスする命令が追加されます。循環構造を持つデータ構造にアクセスできる機能をモジュロアドレッシングと呼びます。これらの命令については、「3.4 DSP データ転送命令」で詳しく説明します。
- DSP ユニットのレジスタに対するアクセス命令が追加されます。DSP ユニットの幾つかのレジスタを CPU ユニットのシステムレジスタであるかのように操作することが可能になります。これらの命令については、「3.4 DSP データ転送命令」で詳しく説明します。

#### (2) DSP ユニットのレジスタと内蔵 X/Y メモリ間のデータ転送命令

DSP ユニットのレジスタと内蔵 X/Y メモリ間のデータ転送命令は、ダブルデータ転送命令とも呼ばれます。このグループの命令のコード長は、CPU 命令と同様に 16 ビットです。DSP ユニットと DSP ユニットに直結された内蔵 X/Y メモリのデータ転送を行います。このグループの命令は、DSP ユニット用の演算命令と組み合わせて記述することが可能です。このグループの命令については、「3.4 DSP データ転送命令」で詳しく説明します。

#### (3) DSP ユニットのレジスタと全論理アドレス空間の間のデータ転送命令

DSP ユニットのレジスタと全論理アドレス空間の間のデータ転送命令は、シングルデータ転送命令とも呼ばれます。このグループの命令のコード長は、CPU 命令同様に 16 ビットです。DSP ユニットと全論理アドレス空間の間でデータ転送を行います。このグループの命令については、「3.4 DSP データ転送命令」で詳しく説明します。

## (4) DSP ユニット用の演算命令

DSP ユニット用の演算命令は、DSP データ演算命令とも呼ばれます。この命令は、DSP ユニットを用いたデジタル信号処理演算を高速に実行するために用意されています。この命令のコード長は、32 ビットです。DSP データ演算命令のフィールドは、A フィールドと B フィールドに分かれています。A フィールドにはダブルデータ転送命令の機能を記述することができ、B フィールドには ALU 演算命令、および乗算命令を記述することができます。記述されたこれらの命令は並列に実行され、同時に 4 つの処理（ALU 演算、乗算、および 2 つのデータ転送）を実行することができます。

このグループの命令については、「3.5 DSP データ演算命令」で詳しく説明します。

- 【注】**
- 32 ビット命令コードは、16 ビットの命令コードが 2 個連続したものと扱われます。このため、32 ビット命令もワード境界から配置することができます。32 ビットの命令コードは、メモリ上にワードサイズ単位で、上位ワード、下位ワードの順番に格納してください。
  - リトルエンディアンの場合は、命令コードの上位ワードと下位ワードがそれぞれワード単位でアクセスされるものとして、メモリ上に格納してください。

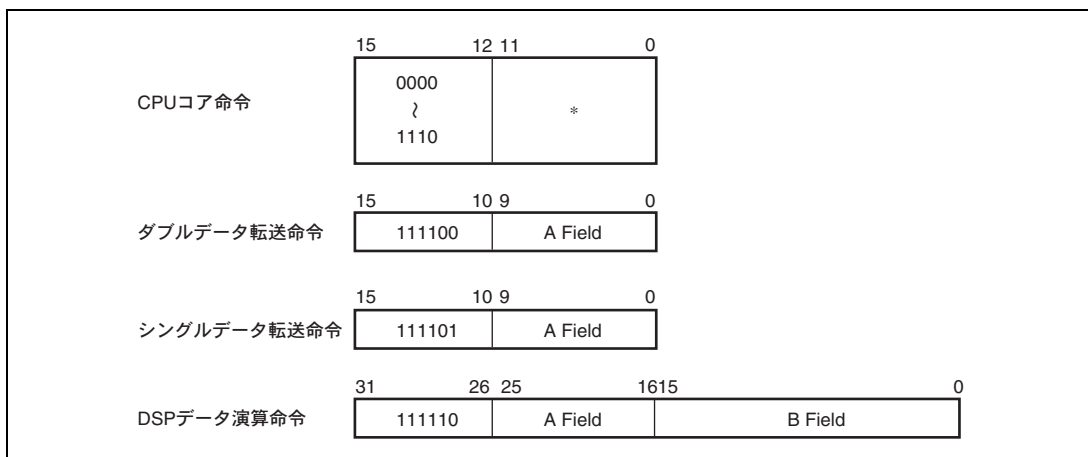


図 3.1 DSP 命令の命令形式



## 3.2 DSP モードのリソース

### 3.2.1 処理モード

CPU の処理モードは、ステータスレジスタ (SR) のモードビット (MD) および DSP ビット (DSP) により、次の表のように拡張されます。

MD	DSP	処理モード	説明	
			特権保護されたリソースのアクセスや特権命令の実行	DSP 拡張機能
0	0	ユーザモード	不可	無効
0	1	ユーザ DSP モード	不可	有効
1	0	特権モード	可能	無効
1	1	特権 DSP モード	可能	有効

このように、DSP ビットによる DSP 拡張機能の制御は、MD ビットによる制御と独立に作用します。ただし、DSP ビットは特権モードでのみ値の変更が可能であり、DSP モードの変更を行うには特権モードや特権 DSP モードへの遷移が必要になります。

### 3.2.2 DSP モードのメモリマップ

DSP モードのときは、論理アドレス空間の P2 領域の一部がユーザ DSP モードでもアクセス可能になります。ユーザ DSP モードでアクセスするときは、この領域を Uxy 領域と呼びます。X/Y メモリは、この領域に配置され、ユーザ DSP モードでもアクセスが可能です。

表 3.1 論理アドレス空間

アドレス範囲	名称	保護	説明
H'A5000000~H'A5FFFFFFF	P2/Uxy	特権または DSP	16M バイト物理空間、キャッシング不可、アドレス変換不可 特権モード、特権 DSP モードおよびユーザ DSP モードでアクセス可能。

### 3.2.3 CPU のレジスタセット

DSP モードでは、CPU ユニットのステータスレジスタ (SR) に制御ビットが拡張され、リピートスタートレジスタ (RS)、リピートエンドレジスタ (RE)、およびモジュロレジスタ (MOD) の 3 つのコントロールレジスタが拡張されます。

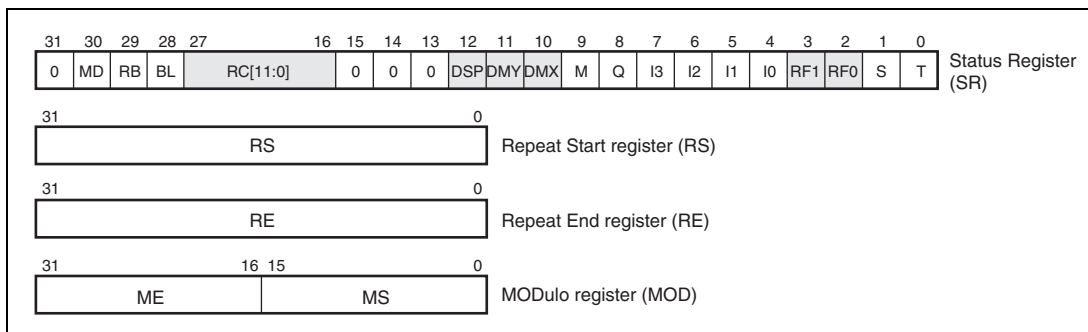


図 3.2 DSP モードでの CPU レジスタ

## (1) ステータスレジスタ (SR) の拡張

DSP モードでは、以下に示す制御ビットが拡張されます。これらのビットを DSP 拡張ビットと呼びます。DSP 拡張ビットは、DSP モードでのみ有効です。

ビット	ビット名	初期値	R/W	説明
31~28	—	—	—	拡張前の部分については、「第 2 章 CPU」を参照してください。
27~16	RC11~RC0	すべて 0	R/W	リピートカウンタ リピートカウンタは、リピート命令で制御されるリピートループの、残り実行回数を保持しています。このビットは、特権モード、特権 DSP モード、ユーザ DSP モードで更新可能です。リセット状態に移移することにより 0 に初期化されます。例外処理状態に移移しても値は変化しません。
15~13	—	—	—	拡張前の部分については、「第 2 章 CPU」を参照してください。
12	DSP	0	R/W	DSP ビット DSP ビットは、DSP 拡張機能の有効および無効を制御します。このビットに 1 を書くことで DSP 拡張機能が有効になります。このビットは特権モードおよび特権 DSP モードでのみ更新可能で、ユーザ DSP モードでは更新できません。リセット状態に移移することにより 0 に初期化されます。例外処理状態に移移しても値は変化しません。
11	DMY	0	R/W	モジュール制御ビット
10	DMX	0	R/W	モジュール制御ビットは、X/Y メモリへのアクセス命令でのモジュールアドレッシングの有効・無効を制御します。これらのビットは特権モード、特権 DSP モード、ユーザ DSP モードで更新可能です。リセット状態に移移することにより 0 に初期化されます。例外処理状態に移移しても値は変化しません。
9~4	—	—	—	拡張前の部分については、「第 2 章 CPU」を参照してください。
3	RF1	0	R/W	リピートフラグビット
2	RF0	0	R/W	リピートフラグビットは、リピート制御命令によって使用されます。これらのビットは、特権モード、特権 DSP モード、およびユーザ DSP モードで更新可能です。リセット状態に移移することにより、0 に初期化されます。例外処理状態に移移しても値は変化しません。
1~0	—	—	—	拡張前の部分については、「第 2 章 CPU」を参照してください。

【注】 ステータスレジスタに値を代入する場合、0 ビット部分には必ず 0 を書きこんでください。

### (2) リピートスタートレジスタ (RS)

リピートスタートレジスタは、リピート機能で制御されるリピートモジュールの先頭の命令アドレスを示します。リピートスタートレジスタは、DSP モードでアクセスできます。リセット状態に遷移したときの初期値は、不定です。例外処理状態に遷移しても値は変化しません。

### (3) リピートエンドレジスタ (RE)

リピートエンドレジスタには、リピートモジュールの最終命令の実行を検出するためのアドレスが格納されます。リピートエンドレジスタは、DSP モードでのみアクセスできます。リセット状態に遷移することにより、0 に初期化されます。例外処理状態に遷移しても値は変化しません。

### (4) モジュールレジスタ (MOD)

上位 16 ビットにモジュールアドレッシングの終了アドレスを、下位 16 ビットにモジュールアドレッシングの開始アドレスを格納します。MOD レジスタの上位 16 ビットを ME レジスタ、下位 16 ビットを MS レジスタと表現する場合もあります。モジュールレジスタは、DSP モードでのみアクセスできます。リセット状態に遷移したときの初期値は、不定です。例外処理状態に遷移しても値は変化しません。

これらのレジスタは、コントロールレジスタへのロード (LDC) およびストア (STC) 命令でアクセスできます。RS、RE、および MOD に対する LDC と STC 命令は、特権 DSP モードとユーザ DSP モードで使用可能になります。

SR に対する LDC と STC 命令は、本来、MD ビットが 1 の場合にのみ使用可能な命令ですが、ユーザ DSP モードにおいても使用可能になります。ただし、値を書き替えられる制御ビットは、RC11~RC0、RF1~RF0、DMX、および DMY に限定されます。LDC と STC 命令使用時のステータスレジスタ (SR) の詳細は、下記のとおりです。

- ユーザモード時は、SR に対する LDC 命令と STC 命令は不当命令例外となります。
- 特権モードと特権 DSP モードでは、SR の全ビットが更新できます。
- ユーザ DSP モード時は、SR は STC 命令で読み出し可能です。

ユーザ DSP モード時は、SR への LDC 命令発行は可能ですが、DSP 拡張ビットのみ更新できます。

表 3.2 各処理モードにおける SR の各ビットの動作説明

フィールド	特権モード	ユーザモード	特権 DSP モード	ユーザ DSP モード	専用命令による DSP 関連ビットへのアクセス	リセット後の初期値
	MD=1 & DSP=0	MD=0 & DSP=0	MD=1 & DSP=1	MD=0 & DSP=1		
MD	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		1
RB	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		1
BL	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		1
RC [11:0]	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETRC 命令	000000000000
DSP	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		0
DMY	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK		0
DMX	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK		0
Q	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		X
M	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		X
I[3:0]	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		1111
RF[1:0]	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETRC 命令	X
S	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		X
T	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		X

S : STC 命令

L : LDC 命令

OK : STC と LDC 動作を許可します。

不当命令 : 実行すると不当命令例外が発生します。

NG : 前の値を保持します。変化しません。

x : 不定

例外処理状態に遷移すると、DSP モードでの拡張ビットも含めた SR の全制御ビットが SSR へ待避されます。復帰時には、拡張 DSP ビットも含めて全制御ビットを回復してください。リピート制御を例外処理前の状態に復帰する必要がある場合には、RS と RE レジスタを例外処理前の値に回復してください。モジュール制御を例外処理前の状態に復帰する必要がある場合には、MOD レジスタを例外処理前の値に回復してください。

### 3.2.4 DSP レジスタ

DSP ユニットの、8 つのデータレジスタ (A0、A1、X0、X1、Y0、Y1、M0、および M1) と 1 つのステータスレジスタ (DSR) を持っています。図 3.3 と表 3.3 に DSP レジスタを示します。これらは、すべて 32 ビット幅のレジスタです。レジスタ A0 および A1 は、8 ビット幅のガードビットレジスタ (A0G および A1G) と組み合わせて、40 ビット幅のレジスタとしても使用されます。DSR は、DSP データ演算結果の状態 (ゼロ、負、など) を保持し、また CPU の T ビットに類似した DC ビットを持っています。各ビットの詳細は、「3.5 DSP データ演算命令」を参照してください。

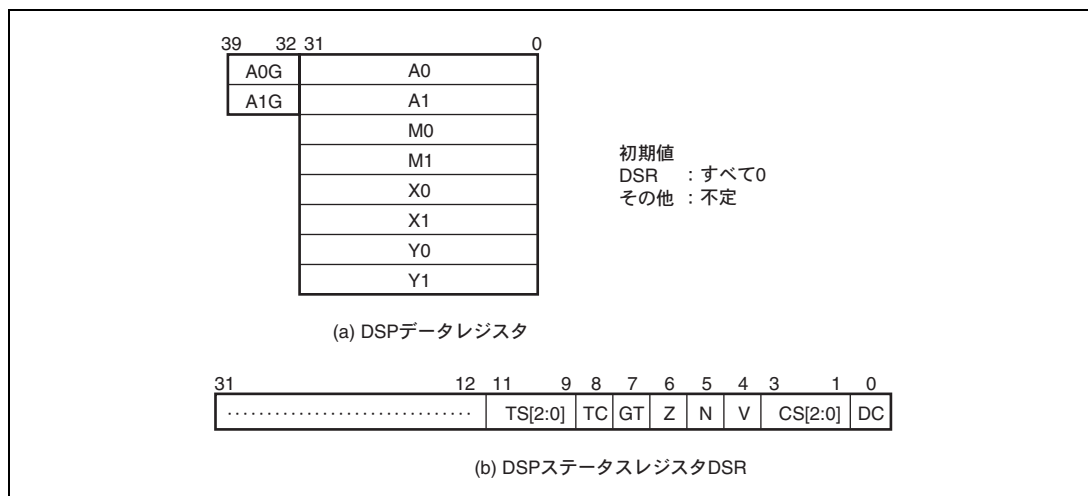


図 3.3 DSP レジスタの構成

## 3.3 CPU 拡張命令

### 3.3.1 リピート制御命令

DSP モードでは、リピートループを効率的に実行するための特別な制御機能が使用できます。この機能を使用することで、比較命令や分岐命令のオーバーヘッドなしにループ構造のプログラムを実行することができます。

#### (1) リピートループのプログラム例

以下にリピートループを使用したプログラム例を示します。

##### • (例1) 4命令以上のリピートループ

```

LDRS RptStart      ; RS レジスタに、リピート開始命令のアドレスをセットします。
LDRE RptDtct+4    ; RE レジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4          ; SR レジスタの RC[11:0] フィールドにリピート回数 (4) をセット
                  ; します。

Instr0            ; SETRC 命令から【リピート開始命令】までには少なくとも 1 個の
                  ; 命令が必要です。

RptStart:        instr1      ; 【リピート開始命令】
                  ;
                  ;
RptDtct:         instr(N-3)  ; リピート最終命令から 3 命令前の命令がリピート検出命令になりま
                  ; す。

RptEnd2:         instr(N-2)  ;
RptEnd1:         instr(N-1)  ;
RptEnd:          instrN     ; 【リピート最終命令】

```

このプログラムの例では、RptStart のアドレスにある命令 (instr1) から RptEnd のアドレスに配置された命令 (instrN) までが 4 回繰り返し実行されます。繰り返し実行されるプログラム範囲をリピートループと呼び、その開始と終了命令をそれぞれリピート開始命令、およびリピート終了命令と呼びます。CPU は、命令を順次実行しながら、特定の命令の実行完了を検出することにより、リピートループの制御を開始します。この命令をリピート検出命令と呼びます。4 命令以上のリピートループでは、リピート最終命令から 3 命令前の命令がリピート検出命令になります。4 命令のリピートループでは RptStart 命令と RptDtct 命令は同じ命令になります。

リピートループの制御には、DSP モードで拡張されるコントロールレジスタ RE、RS および SR レジスタの RC[11:0]、RF[1:0] のビットフィールドが使用されます。また、これらのレジスタに値を設定するには、それぞれ LDRE、LDRS、SETRC 命令を使用します。

- リピートエンドレジスタ (RE)

RE には、LDRE 命令で値をセットします。リピート検出命令のアドレス+4 を設定します。4 命令以上のリピートループでは、リピート最終命令から 3 命令前の命令がリピート検出命令になります。3 命令以下のリピートループについては、後述します。

- リピートスタートレジスタ (RS)

RS には、LDRS 命令で値をセットします。4 命令以上のリピートループでは、リピート開始命令のアドレスをセットします。3 命令以下のリピートループでは特殊なアドレスを設定しますが、これについては後述します。

- リピートカウンタ (SR の RC[11:0])

SETRC 命令により、繰り返し回数をセットします。リピートループ実行中は、繰り返しの残り回数を保持しています。

- リピートフラグ (SR の RF[1:0])

RF は、SETRC 命令実行時に、RS、および RE レジスタに設定された値の関係から自動的に設定され、リピートループの命令数の情報を保持しています。通常、ユーザが値を変更することはありません。

CPU は、RE レジスタとプログラムカウンタ (PC) の値を常に比較しながら命令を実行します。PC は、命令アドレス+4 の値を保持していますので、リピート検出命令実行時に両者が一致することで、リピート検出命令が検出されます。リピート検出命令の実行が分岐せずに完了し、かつ RC[11:0]>0 である場合にリピート制御が行われます。リピート終了命令の実行完了時に RC[11:0]>=2 であれば、RC[11:0] を 1 減じた後 RS レジスタに設定されたアドレスへ制御を移します。RC[11:0]==1 (または 0) であれば RC[11:0] を 0 にしたのち、リピート終了命令の次の命令へ制御を移します。

リピートループを構成する命令数が 3、2、または 1 命令の場合のプログラム例を (例 2) (例 3) (例 4) に示します。これらの場合、リピート検出命令はリピート開始命令の直前の命令になります。また、RS レジスタにはリピート命令数を示す特殊な値を設定します。

- (例2) 3命令リピートループ

```

LD RS RptDtct+4 ; RSレジスタに、リピート検出命令のアドレス+4 をセットします。
LD RE RptDtct+4 ; REレジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4 ; SRレジスタのRC[11:0]フィールドにリピート回数(4)をセット
           ; します。
           ; SETRC命令実行時に、RE-RS==0であれば3命令リピートと認識
           ; されます。

RptDtct: instr0 ; リピート開始命令の直前の命令がリピート検出命令になります。
RptStart: instr1 ; 【リピート開始命令】
           instr2 ;
RptEnd: instr3 ; 【リピート最終命令】

```

- (例3) 2命令リピートループ

```

LD RS RptDtct+6 ; RSレジスタに、リピート検出命令のアドレス+6 をセットします。
LD RE RptDtct+4 ; REレジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4 ; SRレジスタのRC[11:0]フィールドにリピート回数(4)をセット
           ; します。
           ; SETRC実行時にRE-RS==-2であれば2命令リピートと認識され
           ; ます。

RptDtct: instr0 ; リピート開始命令の直前の命令がリピート検出命令になります。
RptStart: instr1 ; 【リピート開始命令】
RptEnd: instr2 ; 【リピート最終命令】

```

- (例4) 1命令リピートループ

```

LD RS RptDtct+8 ; RSレジスタに、リピート検出命令のアドレス+8 をセットします。
LD RE RptDtct+4 ; REレジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4 ; SRレジスタのRC[11:0]フィールドにリピート回数(4)をセット
           ; します。
           ; SETRC実行時にRE-RS==-4であれば1命令リピートと認識され
           ; ます。

RptDtct: instr0 ; リピート開始命令の直前の命令がリピート検出命令になります。
RptStart:
RptEnd: instr1 ; 【リピート開始命令】 == 【リピート最終命令】

```

3、2、および1命令リピートの場合には、RSレジスタにリピートループ中の命令を示すための特殊なアドレスを設定します。SETRC命令を実行した際に、RE-RSが計算され、この結果が0、-2、-4のとき、それぞれ3命令、2命令、1命令のリピートループとして認識されます。

リピート検出命令の実行が分岐せずに完了し、かつ RC[11:0]>0 である場合には、リピート検出命令の次の命令をリピート開始命令として、認識されたリピート命令数分の命令を繰り返し実行します。リピート終了命令実行完了時に、RC[11:0]>=2 であれば、RC[11:0]を1減じた後リピート開始命令へ制御を移します。RC[11:0]==1（または0）であればRC[11:0]を0にしたのち、リピート終了命令の次の命令へ制御を移します。

【注】 RE-RSの値が正の場合に、CPUは4命令以上のリピートループと認識し、リピートループを制御します（4命令以上のリピートループの場合、RE-RSの値は常に正の値になります。（例1）のプログラム例を参考にしてください）。RE-RSの値が正の値、0、-2、-4以外の値になった場合の動作は保証しません。

表 3.3 に、リピートスタートレジスタ（RS）、リピートエンドレジスタ（RE）に設定すべきアドレスをまとめます。

表 3.3 RS および RE のアドレス設定ルール

	リピートループ中の命令数			
	1	2	3	>=4
RS	RptStart0 +8	RptStart0 +6	RptStart0 +4	RptStart
RE	RptStart0 +4	RptStart0 +4	RptStart0 +4	RptEnd3+4

【注】 ここでは、次のラベルを使用しています。

RptStart：リピート開始命令のアドレス

RptStart0：リピート開始命令の1命令前の命令アドレス

RptEnd3：リピート終了命令の3つ前の命令アドレス

## (2) リピート制御命令およびリピート制御マクロ

リピートループを記述するには、前節で例示したように、LDRS および LDRE 命令でそれぞれ RS と RE レジスタに適切なアドレスを設定した後、SETRC 命令でリピート回数を指定してください。SETRC のオペランドとしては、8ビットの即値または汎用レジスタが使用できます。RC に 256 を超える値を設定するには、SETRC Rm タイプの命令を使用してください。

表 3.4 リピート制御命令

命令	動作	実行ステート
LDRS @(disp,PC)	(disp×2+PC)を算出し、RS レジスタに値を設定します。	1
LDRE @(disp,PC)	(disp×2+PC)を算出し、RE レジスタに値を設定します。	1
SETRC #imm	8ビット定数 imm を SR レジスタの RC[11:0]に設定し、SR レジスタの RF[1:0]にリピート命令数を示す情報を設定します。RC[11:0]には、0 から 255 までの値が設定できます。	1
SETRC Rm	Rm レジスタの[11:0]を SR レジスタの RC[11:0]に設定し、SR レジスタの RF[1:0]にリピート命令数を示す情報を設定します。RC[11:0]には、0 から 4095 までの値が設定できます。	1



RS および RE レジスタには、表 3.3 に示したルールに従って適切なアドレスを設定する必要があります。SH アセンブラでは、この問題を処理するためにリピート制御マクロ (REPEAT) が提供されています。

表 3.5 リピート制御マクロ

命令	動作	実行ステート
REPEAT RptStart, RptEnd, #imm	RptStart をリピート開始命令、RptEnd をリピート終了命令とし、8 ビットの即値#imm をリピート回数とするリピートループを設定します。適切に変換された LDRS、LDRE、および SETRC の 3 命令に展開されます。	3
REPEAT RptStart, RptEnd, Rm	RptStart をリピート開始命令、RptEnd をリピート終了命令とし、Rm の[11:0]をリピート回数とするリピートループを設定します。適切に変換された LDRS、LDRE、および SETRC の 3 命令に展開されます。	3

リピート制御マクロを使用することで、前述した (例 1) ~ (例 4) は、それぞれ次に示す (例 5) ~ (例 8) のように簡略に記述することができます。

- (例5) 4命令以上のリピートループの記述例… (例1) に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart: instr1   ; 【リピート開始命令】
    .....         ;
    .....         ;
    instr(N-3)     ;
    instr(N-2)     ;
    instr(N-1)     ;
RptEnd:   instrN   ; 【リピート最終命令】

```

- (例6) 3命令リピートループの記述例… (例2) に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart: instr1   ; 【リピート開始命令】
    instr2         ;
RptEnd:   instr3   ; 【リピート最終命令】

```

- (例7) 2命令リピートループ… (例3) に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart: instr1   ; 【リピート開始命令】
RptEnd:   instr2   ; 【リピート最終命令】

```

- (例8) 1命令リピートループ… (例4) に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart:
RptEnd:    instr1          ; 【リピート開始命令】 == 【リピート最終命令】

```

DSP モードでは、RS および RE レジスタの値を操作するシステム制御命令 (LDC と STC 命令) が拡張されます。また、SR レジスタの RC[11:0]および RF[1:0]のビットフィールドは、SR レジスタに対する LDC と STC 命令で制御できます。これらの命令は、リピートループ中に例外を受け付ける場合に使用してください。RS と RE レジスタおよび SR レジスタの RC[11:0]と RF[1:0]のビットフィールドを退避した後、回復することでリピートループを再開することができます。ただし、リピートループ中の例外の受け付けには、制限事項があります。詳しくは、「3.3.1 (3) リピート制御中の制限事項」および「第 4 章 例外処理」を参照してください。

表 3.6 DSP モード拡張システム制御命令

命令	動作	実行ステート
STC RS,Rn	RS→Rn	1
STC RE,Rn	RE→Rn	1
STC.L RS,@-Rn	Rn-4→Rn, RS→(Rn)	1
STC.L RE,@-Rn	Rn-4→Rn, RE→(Rn)	1
LDC.L @Rn+,RS	(Rn)→RS, Rn+4→Rn	4
LDC.L @Rn+,RE	(Rn)→RE, Rn+4→Rn	4
LDC Rn,RS	Rn→RS	4
LDC Rn,RE	Rn→RE	4

### (3) リピート制御中の制限事項

#### (a) リピート制御命令の配置

LDRS および LDRE 命令を実行した後に SETRC 命令を実行してください。また、SETRC 命令とリピート開始命令の間には少なくとも 1 命令が必要です。

#### (b) リピート検出命令に続く命令以降の不当命令

リピート検出命令の次の命令からリピート終了命令の間に、以下に示す命令を配置すると不当命令例外を発生します。

- 分岐命令

BRA、BSR、BT、BF、BT/S、BF/S、BSRF、RTS、BRAf、RTE、JSR、JMP、TRAPA

- リピート制御命令

SETRC、LDRS、LDRE

- SR、RS、REに対するロード命令

LDC Rn,SR、LDC @Rn+,SR、LDC Rn,RE、LDC @Rn+,RE、LDC Rn,RS、LDC @Rn+,RS

【注】 1～3 命令のリピートループの場合はリピートループ中の全命令が、4 命令以上のリピートループの場合はリピート終了命令を含む 3 命令がこの制約の範囲となります。

**(c) リピートループ中の禁止命令 (4 命令以上のリピートループ)**

4 命令以上のリピートループのリピート開始命令からリピート検出命令までの間には、以下の命令を配置しないでください。配置した場合の動作は、保証されません。

- リピート制御命令

SETRC、LDRS、LDRE

- SR、RS、REに対するロード命令

LDC Rn,SR、LDC @Rn+,SR、LDC Rn,RE、LDC @Rn+,RE、LDC Rn,RS、LDC @Rn+,RS

**【注】** 多重のリピートループは、保証されません。最内部のループをリピート制御命令で記述し、外部のループはDTおよびBF/S命令等で実現してください。

**(d) リピート検出命令の次命令以降への分岐および例外受理に関する制限**

CPUがリピートループを認識するためには、リピート検出命令の実行が分岐せずに完了することが必要です。したがって、リピート検出命令の次以降の命令に分岐した場合はリピートループが認識されず、リピート最終命令を実行してもリピート開始命令に制御が移りません。この場合は、RC[11:0]の値も変化しません。

- リピートループ中で条件分岐命令を使用する場合は、リピート検出命令以前の命令を分岐先に指定してください。
- リピートループ中でサブルーチンコールを使用する場合は、サブルーチンコール命令の遅延スロット命令がリピート検出命令より前になるように配置してください。

ここでの分岐には、例外ルーチンからの復帰を含みます。復帰アドレスがリピート検出命令の次命令以降になる例外が発生するとリピート制御が正しく復帰されません。このため、リピート検出命令からリピート最終命令の間では例外の受け付けを制限しています。割り込みなどのCPUが受け付けを保留し得る例外は、保留します。CPUが受け付けを保留できない例外の場合は例外処理状態へ遷移しますが、もとの実行状態へ復帰することができません。詳細は、「第4章 例外処理」を参照してください。

- 【注】**
1. リピート検出命令がTRAPA命令である場合は、復帰アドレスがリピート検出命令の次命令となり、リピート制御を正しく復帰できません。TRAPA命令は、復帰アドレスがリピート検出命令より後のアドレスとなるため、リピート検出命令より前に配置してください。
  2. リピート検出命令以降の命令がSLEEP命令である場合は、低消費電力状態への遷移および割り込み等による例外の受け付けは正しく行われますが、リピート制御を正しく復帰できません。SLEEP命令は、リピート検出命令より前に配置してください。

## (e) リピート検出命令からの分岐

リピート検出命令が遅延分岐命令の遅延スロット命令である場合や分岐命令そのものである場合は、分岐命令で分岐しなかったときにリピートループが認識されます。分岐したときはリピート制御は行われず、分岐先命令を実行します。

## (f) リピート制御中のプログラムカウンタ

RC[11:0] $\geq$ 2 の場合、リピート検出命令の 2 命令以降ではプログラムカウンタ (PC) の値が通常とは異なります。1,2,3 命令リピートの場合、リピート検出命令の次の命令 (リピート開始命令) では通常と同じ値 (=命令アドレス+4) を指しますが、その次の命令以降でもリピート開始命令の PC の値と同じ値を取りつづけます。4 命令以上のリピートの場合、リピート検出命令の次の命令までは通常と同じ値を取りますが、その次の命令では RS、およびその次の命令 (リピート終了命令) では RS+2 の値を取ります。ここで、RS とは、リピートスタートレジスタ (RS) に格納された値を示します。これらの通常と異なった PC の設定値に関しては保証されません。

このため、リピート検出命令の 2 命令以降では PC 相対アドレッシング命令が正しく動作せず、その結果を保証しません。

- PC 相対アドレッシング命令

MOVA @(disp, PC), Rn

MOV.W @(disp,PC),Rn

MOV.L @(disp,PC),Rn

(MOV #imm,Rnをアセンブラが、MOV.W @(disp,PC),RnやMOV.L @(disp,PC),Rnに展開する場合も含まれます)

表 3.7 リピート制御中の PC の値 (RC[11:0] $\geq$ 2 の場合)

	リピートループ中の命令数			
	1	2	3	$\geq$ 4
RptDtct	RptDtct+4	RptDtct+4	RptDtct+4	RptDtct+4
RptDtct1	RptDtct1+4	RptDtct1+4	RptDtct1+4	RptDtct1+4
RptDtct2	-	RptDtct1+4	RptDtct1+4	RS
RptDtct3	-	-	RptDtct1+4	RS+2

【注】 ここでは、次のラベルを使用しています。

RptDtct : リピート検出命令のアドレス

RptDtct1 : リピート検出命令の 1 命令後の命令アドレス。(1、2、および 3 命令リピートでは RptStart です。)

RptDtct2 : リピート検出命令の 2 命令後の命令アドレス。

RptDtct3 : リピート検出命令の 3 命令後の命令アドレス。

## (g) リピートカウンタとリピート制御

CPU は、常にリピートエンドレジスタ (RE) と PC との比較を行いながらプログラムを実行しています。SR レジスタの RC[11:0]が 0 以外で PC が RE に一致すると、リピート制御が機能します。

- RC $\geq$ 2 の場合は、リピート最終命令実行後、リピート開始命令に制御が移行します。最終命令の実行完了により RC が 1 減じられます。(a) ~ (f) の制約がかかります。

- RC==1の場合は、リピート最終命令実行後、RCが0になり、後続命令へ制御が移行します。RC==1の場合も (a) ~ (f) の制約がかかります。
- RC==0の場合は、リピート検出命令を実行しても、リピート制御は機能しません。リピートループは通常の命令列として1回実行され、最終命令を実行してもリピート開始命令へは制御が移行しません。

### 3.3.2 拡張リピート制御命令

「3.3.1 リピート制御命令」で提供されるリピート制御機構には、幾つかの制約事項があります。この制約を軽減するためのリピート制御機能が拡張されています。これらの命令は、従来のSH-DSPアーキテクチャには存在しない命令で、互換性を重視する場合には従来のリピート制御命令を使用します。この意味で従来のリピート制御命令を互換リピート制御命令と呼びます。

#### (1) 拡張リピート制御命令のプログラム例

以下に拡張リピート制御命令を使用したプログラム例を示します。

##### • (例1) 4命令以上のリピートループ

```

LDRS RptStart      ; RSレジスタに、リピート開始命令のアドレスをセットします。
LDRE RptEnd        ; REレジスタに、リピート最終命令のアドレスをセットします。
LDRC #4            ; SRレジスタのRC[11:0]フィールドにリピート回数(4)をセット
                  ; します。
instr0             ; LDRC命令から【リピート開始命令】までには少なくとも1個の命
                  ; 令が必要です。
RptStart: instr1   ; 【リピート開始命令】
                ;
                ;
instr(N-3)        ;
instr(N-2)        ;
instr(N-1)        ;
RptEnd:   instrN   ; 【リピート最終命令】

```

##### • (例2) 3命令リピートループ

```

LDRS RptStart      ; RSレジスタに、リピート開始命令のアドレスをセットします。
LDRE RptEnd        ; REレジスタに、リピート最終命令のアドレスをセットします。
LDRC #4            ; SRレジスタのRC[11:0]フィールドにリピート回数(4)をセット
                  ; します。
instr0             ; LDRC命令とリピート開始命令の間には少なくとも1命令が必要で
                  ; す。
RptStart: instr1   ; 【リピート開始命令】
                ;
                ;
                ;
instr2             ;
RptEnd:   instr3   ; 【リピート最終命令】

```

- (例3) 2命令リピートループ

```

LDRS RptStart      ; RS レジスタに、リピート開始命令のアドレスをセットします。
LDRE RptEnd        ; RE レジスタに、リピート最終命令のアドレスをセットします。
LDRC #4            ; SR レジスタの RC[11:0] フィールドにリピート回数 (4) をセット
                   ; します。
instr0             ; LDRC 命令とリピート開始命令の間には少なくとも 1 命令が必要で
                   ; ず。
RptStart: instr1   ; 【リピート開始命令】
RptEnd:   instr2   ; 【リピート最終命令】

```

- (例4) 1命令リピートループ

```

LDRS RptStart      ; RS レジスタに、リピート開始命令のアドレスをセットします。
LDRE RptEnd        ; RE レジスタに、リピート最終命令のアドレスをセットします。
LDRC #4            ; SR レジスタの RC[11:0] フィールドにリピート回数 (4) をセット
                   ; します。
instr0             ; LDRC 命令とリピート開始命令の間には少なくとも 1 命令が必要で
                   ; ず。
RptStart:
RptEnd:   instr1   ; 【リピート開始命令】 == 【リピート最終命令】

```

拡張リピート制御命令では、リピート命令数によらず、RS レジスタにリピート開始命令のアドレスを、RE レジスタにリピート最終命令のアドレスを格納します。また、SETRC 命令の代わりに LDRC 命令を用いることで、拡張リピート制御がおこなわれます。拡張リピート制御が行われている場合は、リピート最終命令を実行することでリピートループが認識できます。このため、分岐や例外に対する制約がありません。

## (2) 拡張リピート制御命令

拡張リピートループを記述するには前節で例示したように、LDRS と LDRE 命令でそれぞれ RS と RE レジスタにそれぞれリピート先頭命令およびリピート終了命令を指定します。LDRS と LDRE 命令は、互換リピート制御用の命令をそのまま使用します。その後、LDRC 命令でリピート回数を指定してください。LDRC のオペランドとしては、8 ビットの即値または汎用レジスタが使用できます。RC に 256 を超える値を設定するには、LDRC Rm タイプの命令を使用してください。

表 3.8 拡張リポート制御命令

命令	動作	実行ステート
LDRS @(disp,PC)	(disp×2+PC)を算出し、RS レジスタに値を設定します。	1
LDRE @(disp,PC)	(disp×2+PC)を算出し、RE レジスタに値を設定します。	1
LDRC #imm	8 ビット定数 imm を SR レジスタの RC[11:0]に設定し、SR レジスタの RF[1:0]にリポート命令数を示す情報を設定します。RC[11:0]には、0 から 255 までの値を設定できます。 拡張リポート制御中を示すために、RE レジスタのビット 0 に 1 がセットされます。	1
LDRC Rm	Rm レジスタの[11:0]を SR レジスタの RC[11:0]に設定し、SR レジスタの RF[1:0]にリポート命令数を示す情報を設定します。RC[11:0]には、0 から 4095 までの値を設定できます。 拡張リポート制御中を示すために、RE レジスタのビット 0 に 1 がセットされます。	1

LDRC 命令を実行することで、以後 CPU は拡張リポートとして制御を行います。拡張リポート制御中であることを示すために、LDRC 命令の実行により RE レジスタのビット 0 に 1 がセットされます。例外処理等で RE レジスタの値を変更する場合は、ビット 0 も正確に退避した後に回復してください。SR レジスタの RC[11:0]、DSP、RF[1:0]のビットフィールドおよび RE と RS レジスタを退避した後に回復することで拡張リポートとして処理に復帰することができます。

### (3) 拡張リポート制御中の制限事項

#### (a) 拡張リポート制御命令の配置

LDRS および LDRE 命令を実行した後に LDRC 命令を実行してください。また、LDRC 命令とリポート開始命令の間には、少なくとも 1 命令が必要です。

#### (b) リポート最終命令での不当命令

リポート最終命令として次の命令を配置すると不当命令例外が発生します。

- 遅延分岐命令

BRA, BSR, BT/S, BF/S, BSRF, RTS, BRAF, RTE, JSR, JMP

- リポート制御命令

SETRC, LDRS, LDRE, LDRC

- SR、RS、REに対するロード命令

LDC Rn,SR, LDC @Rn+,SR, LDC Rn,RE, LDC @Rn+,RE, LDC Rn,RS, LDC @Rn+,RS

**【注】** 非遅延の分岐命令 (BT, BF, TRAPA) は、最終命令として配置しても構いません。また、遅延分岐命令の遅延スロットがリポート最終命令となっても構いません。これらの場合、分岐したときも分岐しなかったときも RC[11:0]の値は 1 減じられます。分岐しなかったときはリポート開始命令へ、分岐したときには分岐先へ制御が移行します。

#### (c) リピートカウンタとリピート制御

CPU は、常にリピートエンドレジスタ (RE) と PC-4 (命令のアドレス) との比較を行いながらプログラムを実行しています。RE レジスタのビット 0 が 1 であり、SR レジスタの RC[11:0] が 0 以外で PC-4[31:1] と RE[31:1] が一致すると、拡張リピート制御が行われます。

- RC>=2 の場合は、リピート最終命令実行後、リピート開始命令に制御が移行します。最終命令の実行完了により RC が 1 減じられます。
- RC==1 の場合は、リピート最終命令実行後、RC が 0 になり、後続命令へ制御が移行します。
- RC==0 の場合は、リピート検出命令を実行しても、リピート制御は機能しません。リピートループは通常の命令列として 1 回実行され、最終命令を実行してもリピート開始命令へは制御が移行しません。

### 3.4 DSP データ転送命令

DSP モードでは、DSP ユニットのレジスタに対するデータ転送命令が追加されます。追加されるデータ転送命令は、次の 3 種類に分類されます。

DSP ユニットの X メモリと Y メモリに X バスと Y バスと呼ばれる専用バスで接続されており、これらのバスを用いたデータ転送命令を使用することで、X/Y メモリとの間で同時に 2 個のデータを転送することができます (ダブルデータ転送命令)。このダブルデータ転送命令は、DSP 演算命令と組み合わせて記述することができ、データ転送およびデータ演算を並列に実行することが可能です。

また、DSP ユニットの L バスと呼ばれる CPU が使用するバスとも接続されており、DSR を除く全レジスタは CPU の生成する論理アドレス空間すべてにアクセスすることができます (シングルデータ転送命令)。シングルデータ転送命令は、DSP 演算命令と組み合わせることはできず、また一度にアクセスできるデータは 1 個だけになります。

さらに DSP ユニットのレジスタのうち幾つかは、CPU のシステムレジスタとして扱われ、これらを制御するためのシステム制御命令が追加されています。CPU の汎用レジスタとの間は、データ転送用のバス (C バス) で接続されています。

いずれのタイプのデータ転送命令でも、アクセスするアドレスは CPU が生成し、出力します。これらの命令に対しては CPU の汎用レジスタの幾つかがアドレス生成に使用され、また独特のアドレッシングモードを有します。



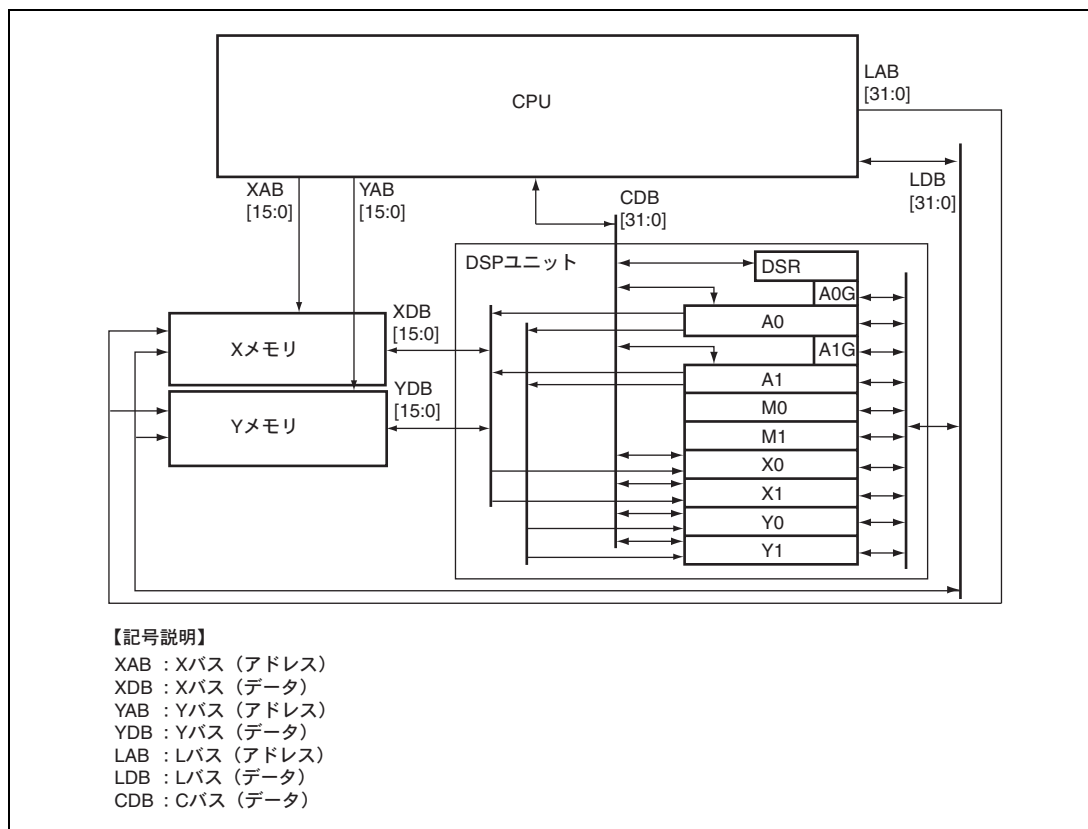


図 3.4 DSP レジスタとバスの接続

**(1) ダブルデータ転送命令 (MOVX.W、MOVY.W、MOVX.L、および MOVY.L)**

ダブルデータ転送命令では、Xメモリに対するアクセスおよびYメモリに対するアクセスを同時に記述することができます。このアクセスにはそれぞれXバスとYバスと呼ばれる専用バスを使用します。CPUの命令フェッチはLバスを使用するため、CPUの命令フェッチとの間でバス競合が生じることもありません。

Xメモリに対するロード命令はデスティネーションオペランドとしてX0とX1レジスタのどちらか1つを指定し、Yメモリに対するロード命令はデスティネーションオペランドとしてY0とY1レジスタのどちらか1つを指定できます。XメモリとYメモリのいずれのストア命令もソースオペランドとしてA0とA1レジスタのどちらか1つを指定することができます。この種の命令はワードデータ(16ビット)のみを扱います。ワードデータ転送命令を実行すると、レジスタオペランドの上位ワードが用いられます。ワードデータロードの場合は、データはデスティネーションレジスタの上位ワードにデータが読み込まれ、デスティネーションの下位側が自動的に0クリアされます。

ダブルデータ転送命令では、DSP演算命令を並行して記述することができます。ただし、実行する演算命令に条件付き命令を指定した場合でも、指定した条件はどのデータ転送命令に対しても影響しません。条件付き命令については、「3.5 DSPデータ演算命令」を参照してください。

ダブルデータ転送命令は、X メモリか Y メモリのみアクセスすることができます。その他のメモリ空間はアクセスすることができません。また、X バス、Y バスは、それぞれ 16 ビット (64 k バイト) のアドレス空間を持っており、L バスのアドレス空間の H'A500 0000~H'A500 FFFF および H'A501 0000~H'A501 FFFF の範囲に対応します。この範囲は、P2/Uxy 領域に含まれるため、キャッシュやアドレス変換機構の影響を受けません。

## (2) シングルデータ転送命令

この種の命令は、任意のメモリアドレス空間にアクセスできます。DSR を除く DSP ユニットのすべてのレジスタ\*をソースオペランド、デスティネーションオペランドに指定することができます。ガードビットレジスタ、A0G、および A1G も独立したレジスタとして指定することができます。この種の命令では、L バス (LAB および LDB) を使用するので、CPU の扱うすべての論理アドレス空間にアクセスすることができます。キャッシュャブル領域を指定しかつキャッシュが利用可能な場合には、キャッシングの対象になります。X と Y メモリは、論理アドレス空間の一部としてマッピングされており、シングルデータ転送命令でアクセスすることができます。ただし、CPU の命令フェッチは L バスを使用するため、データ転送と命令フェッチの間でバス競合が発生する可能性があります。

シングルデータ転送は、ワードとロングワードのいずれも扱うことができます。ワードデータ転送を実行するとき、レジスタオペランドの上位ワードが有効になります。ワードデータロードの場合は、データはデスティネーションレジスタの上位ワードに読み込まれ、デスティネーションの下位側は自動的に 0 でクリアされます。ガードビット部分がサポートされている場合には、符号ビットが拡張されて格納されます。ロングワードデータロードの場合は、データはデスティネーションレジスタの上位ワードと下位ワードに読み込まれ、ガードビットがあれば、符号ビットが拡張されて格納されます。ガードレジスタ ストアの場合は、符号ビットが LDB の上位 24 ビットに拡張されて LDB バスに読み出されます。

**【注】** \* DSR レジスタは、システムレジスタとして定義されているので、LDS、STS 命令でのデータの転送が可能です。

1. すべてのデータ転送命令は、パイプラインの MA ステージで実行されます。
2. すべてのデータ転送命令は、DSR レジスタの条件コードビットのどれも更新しません。

## (3) システム制御命令

DSP ユニットのレジスタの内 DSR、A0、X0、X1、Y0、Y1 レジスタは、CPU のシステムレジスタとして扱うことができ、STS と LDS 命令によって汎用レジスタやメモリとの間でデータ転送を行うことができます。これらのシステム制御命令は CPU レジスタの PR、MACH、MACL と全く同じように扱うことができ、アドレッシングも同一です。

表 3.9 DSP モード拡張システム制御命令

命令	動作	実行ステート
STS DSR,Rn	DSR → Rn	1
STS A0,Rn	A0 → Rn	1
STS X0,Rn	X0 → Rn	1
STS X1,Rn	X1 → Rn	1
STS Y0,Rn	Y0 → Rn	1
STS Y1,Rn	Y1 → Rn	1
STS.L DSR,@-Rn	Rn-4 → Rn, DSR →(Rn)	1
STS.L A0,@-Rn	Rn-4 → Rn, A0 →(Rn)	1
STS.L X0,@-Rn	Rn-4 → Rn, X0 →(Rn)	1
STS.L X1,@-Rn	Rn-4 → Rn, X1 →(Rn)	1
STS.L Y0,@-Rn	Rn-4 → Rn, Y0 →(Rn)	1
STS.L Y1,@-Rn	Rn-4 → Rn, Y1 →(Rn)	1
LDS.L @Rn+,DSR	(Rn) → DSR, Rn+4 → Rn	1
LDS.L @Rn+,A0	(Rn) → A0, Rn+4 → Rn	1
LDS.L @Rn+,X0	(Rn) → X0, Rn+4 → Rn	1
LDS.L @Rn+,X1	(Rn) → X1, Rn+4 → Rn	1
LDS.L @Rn+,Y0	(Rn) → Y0, Rn+4 → Rn	1
LDS.L @Rn+,Y1	(Rn) → Y1, Rn+4 → Rn	1
LDS Rn,DSR	Rn → DSR	1
LDS Rn,A0	Rn → A0	1
LDS Rn,X0	Rn → X0	1
LDS Rn,X1	Rn → X1	1
LDS Rn,Y0	Rn → Y0	1
LDS Rn,Y1	Rn → Y1	1

### 3.4.1 汎用レジスタ

DSP タイプの命令では、汎用レジスタ 16 本のうち 10 本のレジスタがダブルデータ転送命令とシングルデータ転送命令で特別なアドレスポインタおよびインデックスレジスタとして使用されます。DSP タイプ命令でのレジスタの目的を表すもう 1 つの記号を [ ] 内に示します。

- ダブルデータ転送命令 (XメモリとYメモリに同時にアクセスする場合)

ダブルデータ転送命令は、XとYデータメモリに同時にアクセスできます。XとYデータメモリのアドレスを指定するために、次の2つのアドレスポインタセットを用意しています。

	アドレスポインタ	インデックスレジスタ
Xメモリ (MOVX.W)	R4,R5[Ax]	R8[lx]
Yメモリ (MOVY.W)	R6,R7[Ay]	R9[ly]

- シングルデータ転送命令

シングルデータ転送命令では、Lバスを使用してすべての論理アドレス空間をアクセスできます。次のアドレスポインタとインデックスレジスタを使用します。

	アドレスポインタ	インデックスレジスタ
全論理空間 (MOV.S.W/L)	R4,R5,R2,R3[As]	R8[ls]

31	0		
R0		汎用レジスタ (DSPモード)	
R1			
R2	[As2]		XおよびYデータ転送動作
R3	[As3]		R4, 5 [Ax] : Xデータメモリに対するアドレスレジスタセット
R4	[As0]		R8 [lx] : XアドレスレジスタセットAxに対するインデックスレジスタ
R5	[As1, Ax1]		R6, 7 [Ay] : Yデータメモリに対するアドレスレジスタセット
R6	[Ay0]		R9 [ly] : YアドレスレジスタセットAyに対するインデックスレジスタ
R7	[Ay1]		
R8	[lx, ls]		シングルデータ転送動作
R9	[ly]		R4, 5, 2, 3 [As] : 全データメモリに対するアドレスレジスタセット
R10			R8 [ls] : シングルデータ転送で使用するインデックスレジスタ
R11			
R12			
R13			
R14			
R15			

図 3.5 汎用レジスタ (DSP モード)

アセンブラでは R0~R9 の記号名 (シンボル) を使います。DSP データ転送命令では、次のようなレジスタの別名 (エイリアス) を使うこともできます。アセンブラでは、次のように書きます。

Ix: .REG (R8)

名前 Ix が R8 の別名になります。そのほか、次のように別名を付けます。

Ax0: .REG (R4)

Ax1: .REG (R5)

Ix: .REG (R8)

Ay0: .REG (R6)

Ay1: .REG (R7)

Iy: .REG (R9)

As0: .REG (R4);これは、シングルデータ転送のために別名が必要なときの定義です。

As1: .REG (R5);これは、シングルデータ転送のために別名が必要なときの定義です。

As2: .REG (R2)

As3: .REG (R3)

Is: .REG (R8);これは、シングルデータ転送のために別名が必要なときの定義です。

### 3.4.2 DSP データアドレッシング

ダブルデータ転送命令およびシングルデータ転送命令の関係を表 3.10 に示します。

表 3.10 データ転送命令の関係

	ダブルデータ転送命令	シングルデータ転送命令
		MOVX.W MOVY.W
アドレスレジスタ	Ax : R4, R5 Ay : R6, R7	As : R2, R3, R4, R5
インデックス レジスタ	Ix : R8 Iy : R9	Is : R8
アドレッシング	Nop/Inc(+2)/インデックス加算 : ポストインクリメント	Nop/Inc(+2,+4)/インデックス加算 : ポストインクリメント
アドレッシング	—	Dec(-2,-4) : プリデクリメント
モジュロ アドレッシング	可能	不可
データバス	XDB, YDB	LDB
データ長	16 ビット (ワード)	16 ビット/32 ビット (ワード/ロングワード)
バス競合	なし	あり
メモリ	X, Y データメモリ	すべてのメモリ空間
ソースレジスタ	Dx, Dy : A0, A1	Ds : A0/A1, M0/M1, X0/X1, Y0/Y1, A0G, A1G
デスティネーション レジスタ	Dx : X0/X1 Dy : Y0/Y1	Ds : A0/A1, M0/M1, X0/X1, Y0/Y1, A0G, A1G

#### (1) ダブルデータ転送命令のアドレッシングモード

ダブルデータ転送命令には、次の3つのアドレッシングモードがあります。

- 更新無し

AxとAyレジスタがアドレスポインタです。@Axと@Ayへのアクセスが行われ、AxとAyの値は更新されません。

- インクリメント

AxとAyレジスタがアドレスポインタです。@Axと@Ayへのアクセス後、+2が加算されます（ポスト更新）。

- インデックスレジスタ加算

AxとAyレジスタがアドレスポインタです。@Axと@Ayへのアクセス後、それぞれIxとIyレジスタの値が加算されます（ポスト更新）。ダブルデータ転送命令にデクリメントアドレッシングはありませんが、デクリメントさせるためには-2をインデックスレジスタに設定し、インデックスレジスタ加算アドレッシングを指定します。

X と Y データアドレッシングの場合は、アドレスポインタのビット 0 が無効になります。X と Y データアドレッシングの場合は、アドレスポインタとインデックスレジスタのこれらのビットには 0 を書き込んでください。

X と Y バスを使用して X メモリと Y メモリへアクセスする場合は、 $A_x$  と  $A_y$  の上位ワードは無視されます。また、 $A_{y+}$  と  $A_{y+Iy}$  の結果は、 $A_y$  の下位ワードに格納され、上位ワードは元の値が保持されます。ただし、 $A_{x+}$  と  $A_{x+Ix}$  の演算は 32 ビットで行われ、上位ワードが変化する場合もあります。

## (2) シングルデータ転送命令のアドレッシングモード

シングルデータ転送命令には、次の 4 つのデータアドレッシングモードがあります。

- 更新無し

$A_s$  レジスタがアドレスポインタです。@ $A_s$  へのアクセスが行われますが、 $A_s$  は更新されません。

- インクリメント

$A_s$  レジスタがアドレスポインタです。@ $A_s$  へのアクセス後、転送サイズに応じて +2 または +4 が加算されず (ポスト更新)。

- インデックスレジスタ加算

$A_s$  レジスタがアドレスポインタです。@ $A_s$  へのアクセス後、 $I_s$  レジスタの値が加算されます (ポスト更新)。

- デクリメント

$A_s$  レジスタがアドレスポインタです。データ転送前に -2 または -4 が加算 (+2 または +4 が減算) されます (プリ更新)。

シングルデータ転送命令では、アドレスの 32 ビットすべてが有効です。

### 3.4.3 モジュロアドレッシング

ダブルデータ転送命令では、モジュロアドレッシングを使用することができます。モジュロアドレッシングモードが設定されている場合は、アドレスポインタの値がすでに設定されたモジュロ終了アドレスになると、アドレスポインタはモジュロ開始アドレスになります。

モジュロアドレッシングの制御には、DSP モードで拡張されるモジュロレジスタ (MOD) および SR レジスタの DMX と DMY ビットを使用します。

MOD レジスタにモジュロアドレス領域の開始と終了アドレスを格納します。MOD レジスタの上位ワードにモジュロ開始アドレス (MS) を、MOD レジスタの下位ワードにモジュロ終了アドレス (ME) を格納します。MOD レジスタに対する LDC 命令および STC 命令が拡張されます。

SR レジスタの DMX ビットをセットすると X アドレスレジスタが、DMY ビットをセットすると Y アドレスレジスタがそれぞれモジュロアドレッシングモードになります。モジュロアドレッシングは、X と Y アドレスレジスタどちらかに対してだけ有効です。両方を同時にモジュロアドレッシングモードにすることはできません。したがって、DMX と DMY を同時にセットしないでください。万一同時にセットされた場合には、DMY 側のみ有効となります。(この仕様は、将来変更される可能性があります。) DMX と DMY ビットは、SR レジスタに対する STC 命令および LDC 命令で設定できます。

モジュロアドレッシング制御中に例外を受理した場合は、MOD レジスタおよび SR レジスタの DMX と DMY ビットを退避してください。復帰時にこれらを回復することにより、モジュロアドレッシング制御に復帰することができます。

表 3.11 モジュロアドレッシング制御命令

命令	動作	実行ステート
STC MOD,Rn	MOD→Rn	1
STC.L MOD,@-Rn	Rn-4→Rn, MOD→(Rn)	1
LDC.L @Rn+,MOD	(Rn)→MOD, Rn+4→Rn	4
LDC Rn,MOD	Rn→MOD	4

モジュロアドレッシングの使用例を以下に示します。

```

MOV.L #H'70047000, R10
                                ; MS=H'7000 ME=H'7004 として
LDC R10, MOD                    ; MOD レジスタに ME:MS を設定します。
STC SR, R10                      ;
MOV.L #H'FFFFFF3FF, R11
MOV.L #H'00000400, R12;
AND R11, R10                      ;
OR R12, R10                       ;
LDC R10, SR                       ; SR.DMX=1, SR.DMY=0. X モジュロアドレッシングモードを設定。
MOV.L #H'A5007000, R4
MOVX.W @R4+, X0                   ; R4: H'A5007000→H'A5007002
MOVX.W @R4+, X0                   ; R4: H'A5007002→H'A5007004
MOVX.W @R4+, X0                   ; R4: H'A5007004→H'A5007000 (ME と一致したので、MS が設定
                                ; されます)
MOVX.W @R4+, X0                   ; R4: H'A5007000→H'A5007002

```

MS と ME に開始と終了アドレスを指定した後に DMX または DMY ビットを 1 にセットします。

DMX または DMY で指定された X または Y データ転送命令が実行されると、アドレスレジスタの更新前の値が ME と比較されます\*。データ転送の後、比較結果が ME と一致していた場合、アドレスレジスタの更新後の値として、MS のスタートアドレスが代入されます。

X または Y データ転送命令のアドレッシングタイプが「更新無し」の場合は、たとえ ME と一致しても MS への復帰は行われません。また、X または Y データ転送命令のアドレッシングタイプが「インデックスレジスタ加算」の場合は、アドレスポインタは ME と一致せずにその値を超えてしまうことがあります。この場合は、アドレスポインタはモジュロ開始アドレスには戻りません。

最大のモジュロサイズは、64 k バイトです。これは、X と Y データメモリをアクセスするには十分です。

**【注】** \* モジュロアドレッシングに限らず、X と Y データアドレッシング時は、ビット 0 が無視されます。アドレスポインタ、インデックスレジスタ、MS、および ME のビット 0 には、必ず 0 を書き込んでください。



### 3.4.4 メモリのデータ形式

DSP 命令で扱えるメモリのデータ形式は、ワードとロングワードに分けられます。MOVX.W 命令で 2n 以外のアドレスから始まるワードデータをアクセスしようとしたり、または MOVX.L、LDS.L、および STS.L 命令で 4n 以外のアドレスから始まるロングワードにアクセスしようとするアドレスエラーが発生します。このような場合は、アクセスするデータは保証されません。

MOVX.W および MOVY.W により 2n 以外のアドレスから始まるワードデータをアクセスしたときは、アドレスエラーが発生しません。必ず 2n 境界にアドレスを設定してください。2n 以外のアドレスに設定した場合は、アクセスするデータは保証されません。

### 3.4.5 ダブル、シングルデータ転送命令の命令フォーマット

ダブルデータ転送命令の命令形式を表 3.12 に、シングルデータ転送命令の命令形式を表 3.13 に示します。

表 3.12 ダブルデータ転送の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Xメモリ データ 転送	NOPIX	1	1	1	1	0	0	0		0		0		0	0		
	MOVX.W @Ax,Dx							Ax		Dx		0		0	1		
	MOVX.W @Ax+,Dx													1	0		
	MOVX.W @Ax+Ix,Dx													1	1		
	MOVX.W Da,@Ax									Da		1		0	1		
	MOVX.W Da,@Ax+													1	0		
MOVX.W Da,@Ax+Ix													1	1			
Yメモリ データ 転送	NOPIY	1	1	1	1	0	0		0		0		0			0	0
	MOVY.W @Ay,Dy								Ay		Dy		0			0	1
	MOVY.W @Ay+,Dy															1	0
	MOVY.W @Ay+Iy,Dy															1	1
	MOVY.W Da,@Ay										Da		1			0	1
	MOVY.W Da,@Ay+															1	0
MOVY.W Da,@Ay+Iy															1	1	

【注】 Ax : 0=R4、1=R5    Ay : 0=R6、1=R7    Dx : 0=X0、1=X1    Dy : 0=Y0、1=Y1    Da : 0=A0、1=A1

表 3.13 シングルデータ転送命令の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
シングル データ 転送	MOVS.W @-As,Ds	1	1	1	1	0	1	As		Ds		0:(*)		0	0	0	0
	MOVS.W @As,Ds							0:R4				1:(*)		0	1		
	MOVS.W @As+,Ds							1:R5				2:(*)		1	0		
	MOVS.W @As+ls,Ds							2:R2				3:(*)		1	1		
	MOVS.W Ds, @-As							3:R3				4:(*)		0	0	0	1
	MOVS.W Ds, @As											5:A1		0	1		
	MOVS.W Ds, @As+											6:(*)		1	0		
	MOVS.W Ds, @As+ls											7:A0		1	1		
	MOVS.L @-As,Ds											8:X0		0	0	1	0
	MOVS.L @As,Ds											9:X1		0	1		
	MOVS.L @As+,Ds											A:Y0		1	0		
	MOVS.L @As+ls,Ds											B:Y1		1	1		
	MOVS.L Ds, @-As											C:M0		0	0	1	1
	MOVS.L Ds, @As											D:A1G		0	1		
	MOVS.L Ds, @As+											E:M1		1	0		
	MOVS.L Ds, @As+ls											F:A0G		1	1		

【注】 \* システム予約コード

## 3.5 DSP データ演算命令

### 3.5.1 DSP レジスタ

本 LSI は、DSP レジスタとして 8 つのデータレジスタ (A0、A1、X0、X1、Y0、Y1、M0、および M1) と 1 つのコントロールレジスタ (DSR) を持っています。(図 3.3)

DSP レジスタには、4 種類の命令でアクセスします。1 つ目は、DSP データ処理です。DSP 固定小数点データ命令のソースレジスタに A0 または A1 を使用するときは、ガードビット (ビット 39~32) を使用します。デスティネーションレジスタに A0 または A1 を使用するときは、ガードビットのビット 39~32 が有効になります。DSP 固定小数点データ命令がソースレジスタに A0 または A1 以外の DSP レジスタを使用するときは、ソース値をビット 39~32 に符号拡張して使用します。A0 または A1 以外の DSP レジスタをデスティネーションレジスタに使用するときは、結果のビット 39~32 は破棄されます。

2 つ目は XY データ転送命令の MOVX.W と MOVY.W です。この命令は、16 ビットの X と Y データバス (図 3.4) を用い X と Y メモリにアクセスします。この命令でロードまたはストアされるレジスタは、常に上位 16 ビット (ビット 31~16) です。X0 および X1 は X メモリロードのデスティネーション、Y0 および Y1 は Y メモリロードのデスティネーションになることができますが、他のレジスタはこの命令のデスティネーションレジスタになることはできません。

データをレジスタの上位 16 ビット（ビット 31～16）に読み込むとき、レジスタの下位 16 ビット（ビット 15～0）は自動的に 0 にクリアされます。A0 と A1 はこの動作によって X、Y メモリに格納することができますが、他のレジスタは格納することができません。

3 つ目は、シングルデータ転送命令の MOV.S.W および MOV.S.L です。この命令は、LDB（図 3.4）によって任意のメモリにアクセスできます。すべての DSP レジスタは LDB につながり、データ転送のソースおよびデスティネーションレジスタになることができます。これには、ワードおよびロングワードアクセスモードがあります。ワードモードでは、A0G と A1G を除く DSP レジスタの上位 16 ビット（ビット 31～16）がロードあるいはストアの対象になります。ワードモードで A0G と A1G 以外のレジスタにデータを読み込むと、レジスタの下位 16 ビットは 0 にクリアされます。A0 または A1 の場合は、データはビット 39～32 に符号拡張され、その下位 16 ビットは 0 にクリアされます。ワードモードで A0G または A1G がデスティネーションレジスタの場合は、データは 8 ビットレジスタに読み込まれますが、A0 または A1 はクリアされません。ロングワードモードでデスティネーションレジスタが A0 または A1 のときは、データは 39～32 に符号拡張されます。

4 つ目は、システム制御命令の LDS と STS および LDS.L と STS.L です。DSP レジスタの DSR、A0、X0、X1、Y0、および Y1 レジスタは、システムレジスタとして扱われます。これらのレジスタ用に CPU の汎用レジスタとシステムレジスタ間のデータ転送命令およびメモリアccess命令があります。

表 3.14 および表 3.15 は、DSP 命令で使用するレジスタのデータタイプを示します。命令コードの制限のため、表に示すレジスタの中には使用できない演算もあります。たとえば、PMULS はソースレジスタに A1 を使用できませんが、A0 は使用できません。これらの表は、レジスタの選択性の詳細については省略しています。

表 3.14 DSP 命令のデスティネーションレジスタ

レジスタ		命令	ガードビット		レジスタビット			
			39	32	31	16	15	0
A0、A1	DSP 演算	固定小数点、PSHA、PMULS	(符号拡張) 40 ビット結果					
		整数、PDMSB	(符号拡張) 24 ビット結果				0 クリア	
		論理、PSHL	0 クリア		16 ビット結果		0 クリア	
	データ 転送	MOV.S.W	符号拡張		16 ビットデータ		0 クリア	
MOV.S.L		符号拡張		32 ビットデータ				
A0G、A1G	データ 転送	MOV.S.W	データ		更新しない			
		MOV.S.L	データ		更新しない			
X0、X1	DSP 演算	固定小数点、PSHA、PMULS	32 ビット結果					
Y0、Y1		整数、論理、PDMSB、PSHL	16 ビット結果				0 クリア	
M0、M1	データ 転送	MOVX/Y.W、MOV.S.W			16 ビットデータ		0 クリア	
		MOV.S.L			32 ビットデータ			

表 3.15 DSP 命令のソースレジスタ

レジスタ		命令	ガードビット		レジスタビット			
			39	32	31	16	15	0
A0, A1	DSP 演算	固定小数点、PDMSB、PSHA	40 ビットデータ					
		整数	24 ビットデータ					
		論理、PSHL、PMULS			16 ビットデータ			
	データ 転送	MOVX/Y.W, MOVS.W			16 ビットデータ			
		MOVS.L			32 ビットデータ			
A0G, A1G	データ	MOVS.W	データ					
	転送	MOVS.L	データ					
X0, X1 Y0, Y1 M0, M1	DSP 演算	固定小数点、PDMSB、PSHA	符号*		32 ビットデータ			
		整数	符号*		16 ビットデータ			
		論理、PSHL、PMULS			16 ビットデータ			
	データ 転送	MOVS.W			16 ビットデータ			
		MOVS.L			32 ビットデータ			

【注】 \* データを符号拡張し、ALU に入力する。

DSP ユニットの、1つのコントロールレジスタ、および DSP ステータスレジスタ (DSR) を持っています。DSR は、DSP データ演算結果の状態 (ゼロ、負、など) を保持します。DSR は、また CPU の T ビットに類似した DC ビットを持っており、状態フラグを示します。条件付き DSP データ処理命令は、この DC ビットに基づいて実行を制御します。この制御は、DSP ユニットの命令にのみ影響を与えます。すなわち、DSP レジスタのみを制御し、アドレスレジスタの更新、およびロードやストア命令などの CPU の命令を制御することはできません。DC 状態選択ビット (CS [2:0]) には、DC ビットに反映する条件を指定します。

PMULS、MOVX、MOVY、および MOVS を除く無条件 DSP タイプのデータ命令は条件フラグと DC ビットを更新しますが、MAC 命令を含む CPU 命令はどれも DC ビットを更新しません。条件付き DSP タイプ命令も DSR を更新することはありません。

表 3.16 DSR レジスタのビットの説明

ビット	ビット名	初期値	R/W	説 明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~9	TS2~TS0	すべて 0	R/W	T ビット状態選択 TC ビットが 1 のとき、SR レジスタの T ビットに設定する演算結果状態を選択するモードを指定します。ただし、SR レジスタの S ビットが 1 のときもオーバーフロー検出を行います。 000: キャリ/ポロモード 001: 負値モード 010: ゼロ値モード 011: オーバフローモード 100: 符号付き大モード 101: 符号付き以上モード 110: 予約 (設定不可) 111: 予約 (設定不可)
8	TC	0	R/W	TC ビット 0: SR レジスタの T ビットは DSP 命令に依存しません。 1: SR レジスタの T ビットは DSP 命令実行時、DSR レジスタの TS ビットの状態により変化します。ただし条件付き DSP 命令実行時は T ビットは変化しません。
7	GT	0	R/W	符号付き大ビット 演算結果が正 (ゼロをのぞく)、またはオペランド 1 がオペランド 2 より大きいことを表します。 1: 演算結果が正、またはオペランド 1 がオペランド 2 より大きい
6	Z	0	R/W	ゼロビット 演算結果がゼロ (0)、またはオペランド 1 がオペランド 2 と等しいことを表します。 1: 演算結果がゼロ (0)、または等しい
5	N	0	R/W	負値ビット 演算結果が負、またはオペランド 1 がオペランド 2 より小さいことを表します。 1: 演算結果が負、またはオペランド 1 がオペランド 2 より小さい
4	V	0	R/W	オーバーフロービット 演算結果がオーバーフローしたことを表します。 1: 演算結果がオーバーフロー

ビット	ビット名	初期値	R/W	説明
3~1	CS	すべて 0	R/W	DC ビット状態選択 DC ビットに設定する演算結果状態を選択するためのモードを指定します。 000：キャリ／ボローモード 001：負値モード 010：ゼロモード 011：オーバフローモード 100：符号付き大モード 101：符号付き以上モード 110：予約（設定不可） 111：予約（設定不可）
0	DC	0	R/W	DSP 状態ビット CS ビットで指定されたモードで演算結果の状態を設定します。 0：指定されたモードの状態が成立しない 1：指定されたモードの状態が成立する PADDC または PSUBC 命令実行後の DC ビットは、CS ビットに関係なくキャリ／ボローモードで演算結果の状態を設定します。

DSR は、システムレジスタに割り当てられます。DSR には、次のロードまたはストア命令が用意されています。

```
STS DSR, Rn;
STS.L DSR, @-Rn;
LDS Rn, DSR;
LDS.L @Rn+, DSR;
```

STS 命令で DSR を読み出すとき、上位ビット（ビット 31～ビット 16）はすべて 0 になります。

### 3.5.2 DSP 演算命令の命令セット

DSP 演算命令は、DSP ユニットで処理されるデジタル信号処理の命令です。これらの命令は 32 ビット長の命令コードで、複数の命令を並列に実行します。命令コードは A フィールド、B フィールドの 2 つに分かれており、A フィールドにはダブルデータ転送命令を指定し、B フィールドにはシングルまたはダブルデータ演算命令を指定します。命令は独立して指定することができ、実行も独立に実行されます。

B フィールドのデータ演算命令は 3 つに分かれています。ダブルデータ演算命令、条件付きシングルデータ演算命令、および無条件シングルデータ演算命令の 3 つです。DSP 演算命令の命令形式を表 3.17 に示します。それぞれのオペランドは独立に DSP レジスタから選べます。DSP 演算命令のオペランドとレジスタの対応を表 3.18 に示します。

表 3.17 DSP 演算命令の命令形式

分類	命令形式
ダブルデータ演算命令	ALUop. Sx, Sy, Du MLTop. Se, Df, Dg
条件付きシングルデータ演算命令	DCT ALUop. Sx, Sy, Dz DCF ALUop. Sx, Sy, Dz DCT ALUop. Sx, Dz DCF ALUop. Sx, Dz DCT ALUop. Sy, Dz DCF ALUop. Sy, Dz
無条件シングルデータ演算命令	ALUop. Sx, Sy, Dz ALUop. Sx, Dz ALUop. Sy, Dz MLTop. Se, Sf, Dg

表 3.18 DSP 命令のオペランドとレジスタの対応

レジスタ	ALU、シフト演算				乗算演算		
	Sx	Sy	Dz	Du	Se	Sf	Dg
A0	Yes		Yes	Yes			Yes
A1	Yes		Yes	Yes	Yes	Yes	Yes
M0		Yes	Yes				Yes
M1		Yes	Yes				Yes
X0	Yes		Yes	Yes	Yes	Yes	
X1	Yes		Yes		Yes		
Y0		Yes	Yes	Yes	Yes	Yes	
Y1		Yes	Yes			Yes	

DSP データ演算命令を書くときは、最初に B フィールドの命令を書いて、次に A フィールドの命令を書きます。DSP データ演算命令による並行処理プログラム例を図 3.6 に示します。

PADD	A0, M0, A0	PMULS	X0, Y0, M0	MOVX.W @R4+,	X0	MOVY.W @R6+,	Y0
DCF	PINC	M1, A1		MOVX.W @R5+R8,	X0	MOVY.W @R7+,	Y1
	PCMP	M1, M0		MOVX.W @R4,	X1	[NOPY]	

図 3.6 DSP データ演算命令による並行処理プログラムの例

ここで、[ ]は省略可能な部分を表します。

NOPX と NOPY のノーオペレーション命令は、省略可能です。DSP データ演算命令の B フィールドの詳細は、「3.6.4 DSP 演算命令」を参照してください。

DSR レジスタの条件コードビット (DC) は、常に無条件の ALU またはシフト演算命令の結果に基づいて更新されます。条件付き命令の場合は、DC ビットを更新しません。乗算命令も DC ビットを更新しません。DC ビットの更新は、DSR レジスタの CS[2:0] ビットにより行われます。表 3.19 に DC ビットの更新ルールについて示します。

表 3.19 DC ビットの更新ルール

CS [2:0]			条件モード	説明
0	0	0	キャリーまたはポローモード	ALU 算術演算の結果、キャリーまたはポローが発生した場合は、DC ビットがセットされます。それ以外は 0 クリアされます。 シフト命令、PSHA または PSHL の実行時、最後にシフトアウトしたビットデータが DC ビットにコピーされます。 ALU 論理演算の実行時は、DC ビットは常に 0 クリアされます。
0	0	1	負値モード	ALU またはシフト (PSHA) 算術演算の実行時は、ガードビット部分を含めて結果の MSB が DC ビットにコピーされます。 ALU またはシフト (PSHL) 論理演算の実行時、ガードビット部分を除く結果の MSB が DC ビットにコピーされます。
0	1	0	ゼロ値モード	ALU またはシフト演算の結果がすべてゼロの場合は、DC ビットがセットされます。それ以外は 0 クリアされます。
0	1	1	オーバフローモード	ALU またはシフト (PSHA) の算術演算結果がガードビット部分を除いたデスティネーションレジスタの範囲を超える場合は、DC ビットがセットされます。それ以外は 0 クリアされます。 ALU またはシフト (PSHL) の論理演算の実行時は、DC ビットは常に 0 クリアされます。
1	0	0	符号付き大モード	このモードは符号付き以上モードに類似していますが、結果がすべて 0 の場合は、DC は 0 クリアされます。 DC = $\sim(\text{負値} \wedge \text{オーバレンジ}) \vee \text{ゼロ値}$ ; 算術演算の場合 DC = 0 ; 論理演算の場合
1	0	1	符号付き以上モード	ALU またはシフト (PSHA) の算術演算の結果がガードビットを含んだデスティネーションレジスタの範囲を超える場合 (オーバレンジと呼ぶ) は、定義は負値モードと同じになります。オーバレンジでない場合は、定義は負値モードの逆になります。 ALU またはシフト (PSHL) の論理演算の実行時は、DC ビットは常に 0 クリアされます。 DC = $\sim(\text{負値} \wedge \text{オーバレンジ})$ ; 算術演算の場合 DC = 0 ; 論理演算の場合
1	1	0	予約 (設定不可)	
1	1	1	予約 (設定不可)	



- 条件付き演算とデータ転送

このクラスに属する命令の中には前記のように、条件付きで実行することができるものがあります。ただし、指定した条件は命令の B フィールドに対してのみ有効であって、並行して指定したデータ転送命令には有効ではありません。図 3.7 に例を示します。

DCT	PADD X0, Y0, A0	MOVX.W @R4+, X0	MOVY.W A0, @R6+R9
	<条件が真の場合>		
実行前 :	X0=H'33333333,	Y0=H'55555555,	A0=H'123456789A,
	R4=H'00008000,	R6=H'00005000,	R9=H'00000004,
	(R4)=1111	(R6)=2222	
実行後 :	X0=H'11110000,	Y0=H'55555555,	A0=H'0088888888,
	R4=H'00008002,	R6=H'00005004,	R9=H'00000004,
	(R4)=1111	(R6)=3456	
	<条件が偽の場合>		
実行前 :	X0=H'33333333,	Y0=H'55555555,	A0=H'123456789A,
	R4=H'00008000,	R6=H'00005000,	R9=H'00000004,
	(R4)=1111	(R6)=2222	
実行後 :	X0=H'11110000,	Y0=H'55555555,	A0=H'123456789A,
	R4=H'00008002,	R6=H'00005004,	R9=H'00000004,
	(R4)=1111	(R6)=3456	

図 3.7 条件付き演算とデータ転送命令の例

- NOPXおよびNOPYの命令コードの割り当て

DSP 演算命令と同時に並行処理されるデータ転送命令がないときは、データ転送命令に NOPX または NOPY 命令を書くか、あるいは命令を省略することもできます。NOPX または NOPY 命令を書くかあるいは省略しても命令コードは同じです。NOPX と NOPY の命令コードの例を表 3.20 に示します。

表 3.20 NOPX と NOPY の命令コードの例

命令	コード
PADD X0, Y0, A0      MOVX.W @R4+, X0      MOVY.W @R6+R9, Y0	1111100000001011 1011000100000111
PADD X0, Y0, A0      NOPX      MOVY.W @R6+R9, Y0	1111100000000011 1011000100000111
PADD X0, Y0, A0      NOPX      NOPY	1111100000000000 1011000100000111
PADD X0, Y0, A0      NOPX	1111100000000000 1011000100000111
PADD X0, Y0, A0	1111100000000000 1011000100000111
MOVX.W @R4+, X0      MOVY.W @R6+R9, Y0	1111000000001011
MOVX.W @R4+, X0      NOPY	1111000000001000
MOVS.W @R4+, X0	1111010010001000
NOPX      MOVY.W @R6+R9, Y0	1111000000000011
MOVY.W @R6+R9, Y0	1111000000000011
NOPX      NOPY	1111000000000000
NOP	0000000000001001

### 3.5.3 DSP タイプデータ形式

本 LSI は、命令によって異なるデータ形式を持っています。ここでは DSP タイプ命令用のデータ形式について解説します。

図 3.8 に 2 進小数点の位置の異なる 3 つの DSP タイプのデータ形式を、また参考として、ビット 0 の右側に 2 進小数点を持つ CPU タイプのデータ形式を示します。

DSP タイプ固定小数点データ形式は、ビット 31 とビット 30 の間に 2 進小数点があります。DSP タイプ整数形式は、ビット 16 とビット 15 の間に 2 進小数点があります。DSP タイプ論理形式には、2 進小数点はありません。データ形式の有効なデータ長は、命令および DSP レジスタによって異なります。

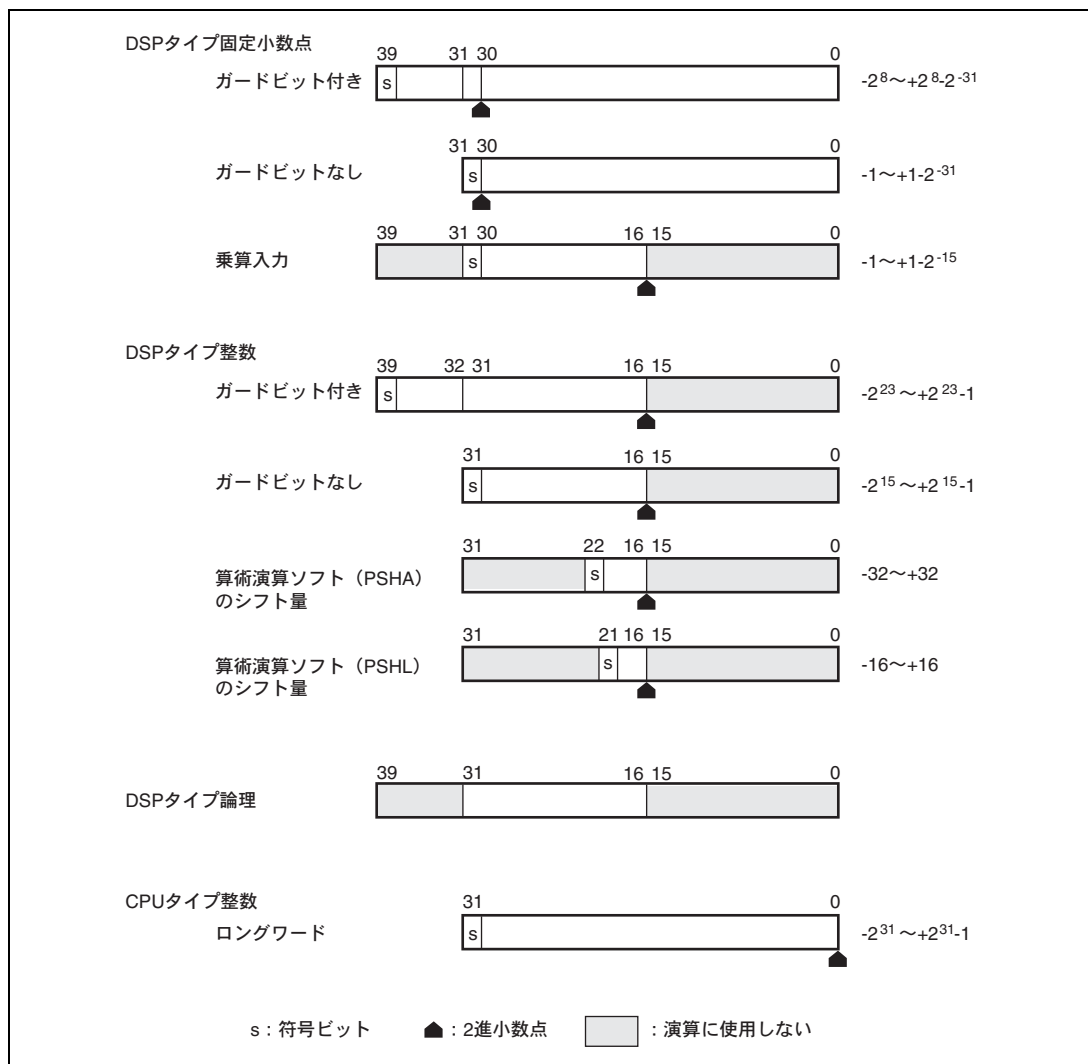


図 3.8 データ形式

算術演算シフト (PSHA) 命令のシフト量は、 $-64 \sim +63$  を表す 7 ビットのフィールドを持っていますが、 $-32 \sim +32$  が有効な数です。また論理演算シフトのシフト量も 6 ビットのフィールドを持っていますが、 $-16 \sim +16$  が有効な数です。

### 3.5.4 ALU 固定小数点算術演算

図 3.9 に ALU 固定小数点算術演算フローを示します。表 3.21 はこの演算の種々のタイプを示し、表 3.22 は各オペランドとレジスタの対応を示します。

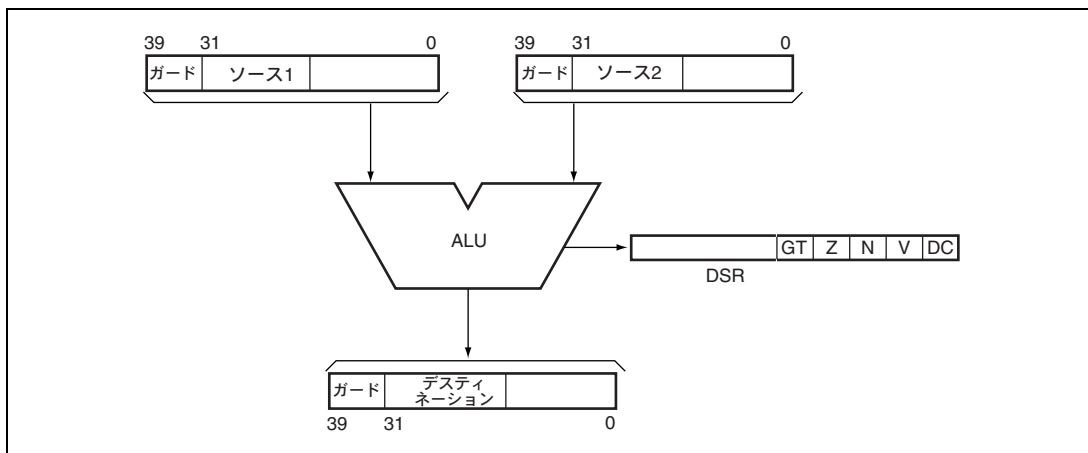


図 3.9 ALU 固定小数点算術演算フロー

【注】 ALU 固定小数点算術演算は、基本的に 40 ビット演算であり、32 ビットの基本精度部分および 8 ビットのガードビット部分から構成されます。したがって、ガードビット部分を提供していないレジスタをソースオペランドに指定すると、符号ビットがガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の下位 32 ビットがデスティネーションレジスタに入力されます。

ALU 固定小数点算術演算は、レジスタ間で実行されます。各ソースオペランドおよびデスティネーションオペランドは、DSP レジスタの 1 つから独立して選択されます。ガードビットを持つレジスタをオペランドに指定すると、ガードビットも含めてこれらの演算が実行されます。これらの演算は、図 3.10 に示すように DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

表 3.21 ALU 固定小数点算術演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PADD	加算	Sx	Sy	Dz (Du)
PSUB	減算	Sx	Sy	Dz (Du)
PADDC	キャリー付き加算	Sx	Sy	Dz
PSUBC	ボロー付き減算	Sx	Sy	Dz
PCMP	比較	Sx	Sy	—
PCOPY	データコピー	Sx	all 0	Dz
		all 0	Sy	Dz
PABS	絶対値	Sx	all 0	Dz
		all 0	Sy	Dz
PNEG	符号反転	Sx	all 0	Dz
		all 0	Sy	Dz
PCLR	クリア	all 0	all 0	Dz

表 3.22 オペランドとレジスタの対応

レジスタ	Sx	Sy	Dz	Du
A0	Yes		Yes	Yes
A1	Yes		Yes	Yes
M0		Yes	Yes	
M1		Yes	Yes	
X0	Yes		Yes	Yes
X1	Yes		Yes	
Y0		Yes	Yes	Yes
Y1		Yes	Yes	

図 3.10 に示すように、ALU 演算と同じラインでプログラムされたデータロード命令により MA ステージでメモリから読み込まれたデータは、データロード命令のデスティネーションオペランドが ALU 演算のソースオペランドと同一であってもこの演算用のソースオペランドとしては使用されません。この場合は、前の命令の結果が ALU 演算のソースオペランドとして用いられた後にデータロード演算のデスティネーションオペランドとして更新されます。

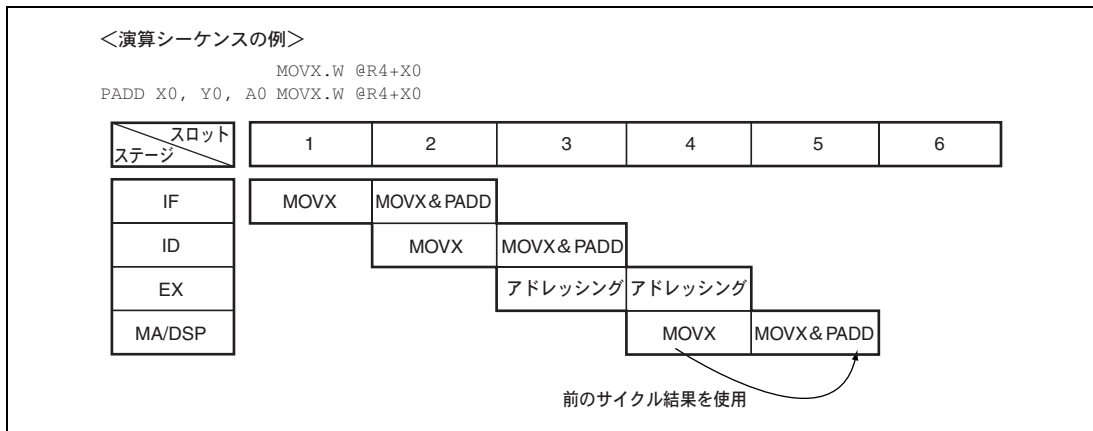


図 3.10 演算シーケンスの例

ALU 算術演算を実行するたびに、DSR の DC、N、Z、V、および GT ビットは基本的に演算結果に従って更新されます。ただし、条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果に従って常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0] (条件選択) で指定します。DC ビットは、以下ようになります。

## (1) キャリー／ポローモード (CS [2:0]=000 の場合)

DC ビットは、ガードビット部分を除いた演算結果の最上位ビットからキャリーまたはポローが発生したことを示します。いくつかの例を図 3.11 に示します。このモードがデフォルトです。PABS および PNEG 命令では、入力データが負のとき LSB に 1 を加算するため、キャリービットが発生する場合があります。

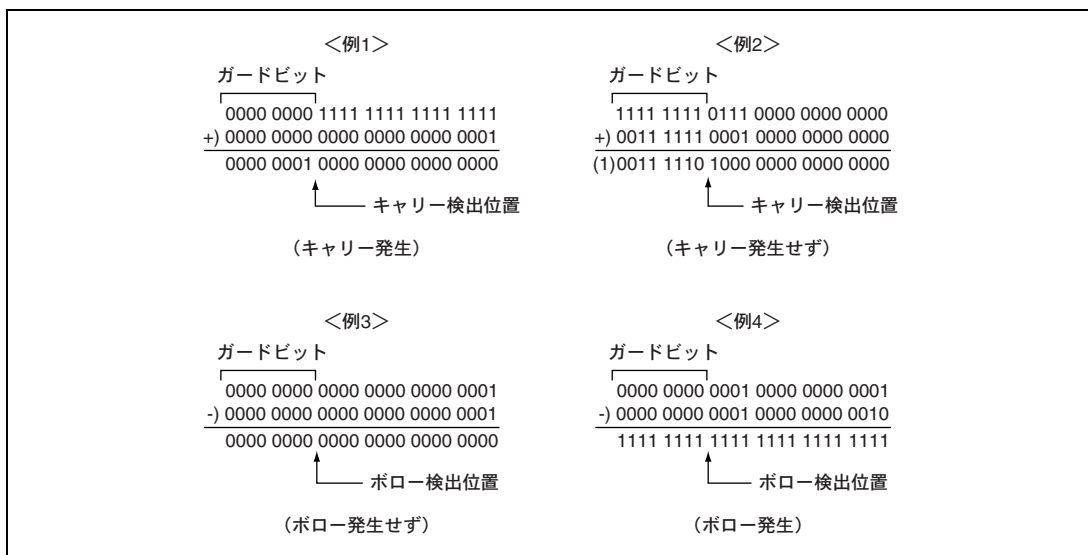


図 3.11 キャリー／ポローモードでの DC ビット生成の例

## (2) 負値モード (CS [2:0]=001 の場合)

DC フラグは、演算結果の MSB と同じ状態を示します。結果が負の数ときは、DC ビットは 1 を示します。結果が 0 または正の数ときは、DC ビットは 0 を示します。ALU は常に 40 ビットの算術演算を実行するので、正か負かを検出する符号ビットはデスティネーションオペランドに関係なく常に演算結果の MSB から得られます。いくつかの例を図 3.12 に示します。

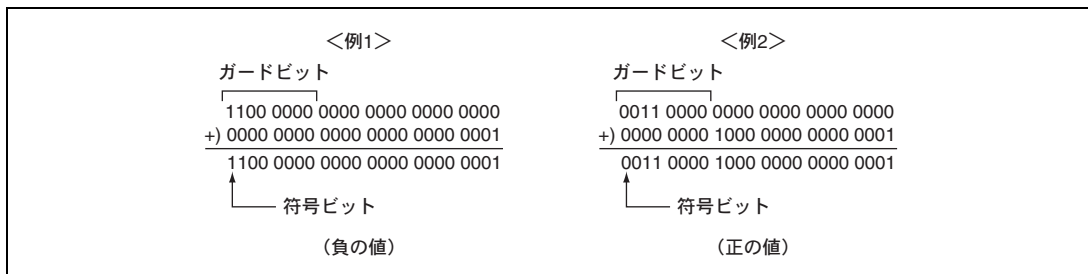


図 3.12 負値モードでの DC ビット生成の例

## (3) ゼロ値モード (CS [2:0]=010 の場合)

DC フラグは、演算結果がゼロであるか否かを示します。結果がゼロの場合は、DC ビットは 1 を示します。結果がゼロでない場合は、DC ビットは 0 を示します。

## (4) オーバフローモード (CS [2:0]=011 の場合)

DC ビットは、結果にオーバフローが発生したか否かを示します。ガードビットを除き演算の結果がデスティネーションレジスタの範囲を越える場合は、DC ビットが 1 にセットされます。ガードビットがある場合でも、DC ビットはガードビットがない場合の結果を示します。したがって、ガードビットの部分が大きな数を表すために使用される場合は、DC ビットは常に 1 にセットされます。オーバフローモードでの DC ビット生成の例を図 3.13 に示します。

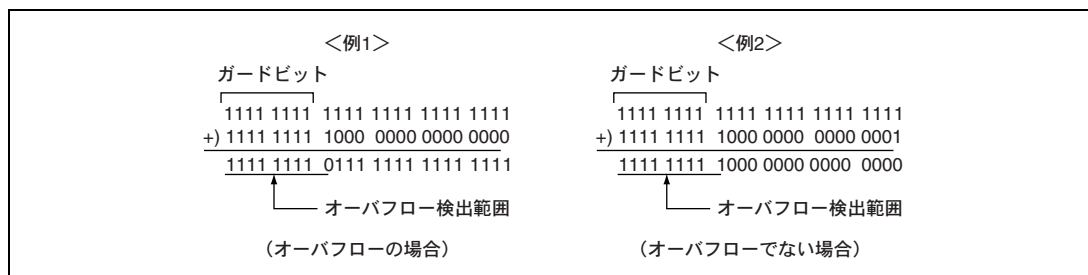


図 3.13 オーバフローモードでの DC ビット生成の例

## (5) 符号付き大モード (CS [2:0]=100 の場合)

DC ビットは、比較演算 PCMP の結果、ソース 1 データ (符号付き) がソース 2 データ (符号付き) より大きいかどうかを示します。したがって、PCMP 演算は、条件付き演算をこの条件モードで実行するときにあらかじめ実行する必要があります。ソース 1 データがソース 2 データより大きい場合は、比較演算の結果は普通正の値なので、このモードは前述の負値モードに類似しています。ただし、ソース 1 データがソース 2 データより大きなくても、比較演算の結果がガードビットを含めたデスティネーションオペランドの範囲を越える場合 (「オーバーレンジ」と呼ぶ) は、結果の符号ビットは負の値を示します。この条件モードでは、この特殊な場合を考慮した上で DC ビットを更新します。次の式は、この条件を得る定義を示します。

$$DC = \sim \{ (\text{負値} \wedge \text{オーバーレンジ}) \mid \text{ゼロ値} \}$$

PCMP 演算をこの条件モードで実行する場合は、DC ビットの結果は CPU 命令の CMP/GT 演算の T ビットの結果と同じです。

## (6) 符号付き以上モード (CS [2:0]=101 の場合)

DC ビットは、比較演算 PCMP の結果、ソース 1 データ (符号付き) がソース 2 データ (符号付き) 以上であるかどうかを示します。したがって、PCMP 演算は、条件付き演算をこの条件モードで実行するときにあらかじめ実行する必要があります。このモードは前述の「符号付き大モード」と類似していますが、このモードには等しい場合も含まれます。次の式は、この条件を得る定義を示します。

$$DC = \sim (\text{負値} \wedge \text{オーバーレンジ})$$

PCMP 演算をこの条件モードで実行する場合は、DC ビットの結果は CPU 命令の CMP/GE 演算の T ビット結果と同じです。

N ビットは、CS [2:0]ビットが負値モードとしてセットされる DC ビットと常と同じ状態を示します。上記の負値モード部分を参照してください。Z ビットは、CS [2:0]ビットがゼロ値モードとしてセットされる DC ビットと常と同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは、CS [2:0]ビットがオーバーフローモードとしてセットされる DC ビットと常と同じ状態を示します。上記のオーバーフローモード部分を参照してください。GT ビットは、CS [2:0]ビットが符号付き大モードとしてセットされる DC ビットと常と同じ状態を示します。上記の符号付き大モード部分を参照してください。

【注】 DC ビットは、PADDC と PSUBC 命令では、CS[2:0]の状態に関係なく常にキャリー/ボローモードとなります。

- オーバフローの防止機能

SR レジスタの S ビットは、DSP ユニットのどの ALU 固定小数点算術演算に対しても有効です。詳細については、「3.5.11 オーバフロー防止機能」を参照してください。

### 3.5.5 ALU 整数演算

図 3.14 に ALU 整数演算フローを示します。表 3.23 にこの演算の種類を示します。各オペランドのレジスタとの対応は、表 3.22 に示した ALU 固定小数点算術演算と同じです。

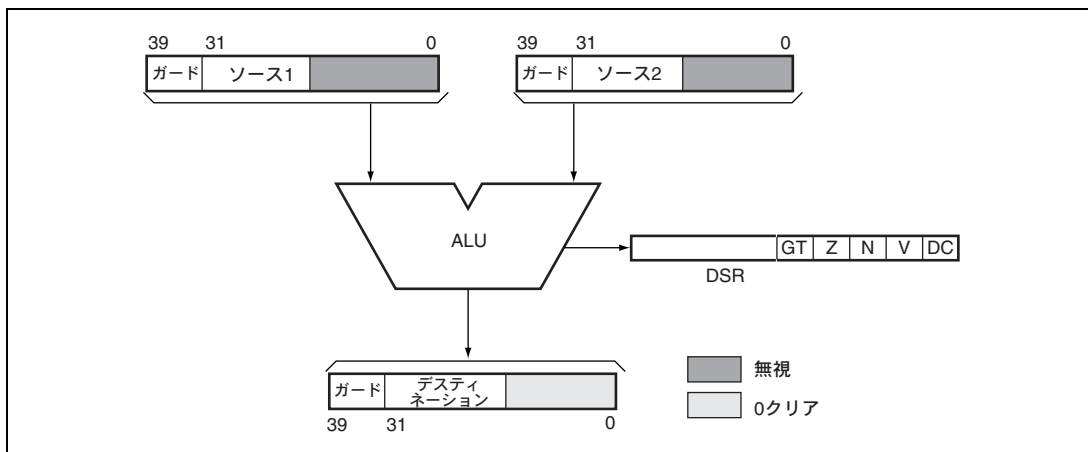


図 3.14 ALU 整数演算フロー



表 3.23 ALU 整数演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PINC	1 ずつインクリメント	Sx	+1	Dz
		+1	Sy	Dz
PDEC	1 ずつデクリメント	Sx	-1	Dz
		-1	Sy	Dz

【注】 ALU 整数演算は、基本的に 24 ビット演算、すなわち上位 16 ビットの基本精度および 8 ビットのガードビット部分からなります。したがって、ガードビット部分を提供していないレジスタをソースオペランドに指定すると、符号ビットはガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果のガードビットを除いた上位ワードがデスティネーションレジスタの上位ワードに入力されます。

ALU 整数演算では、ソースオペランドの下位ワードは無視され、デスティネーションオペランドの下位ワードは自動的にクリアされます。ガードビット部分がサポートされている場合は、ALU 整数演算で有効です。その他は、基本的に ALU 固定小数点演算の演算と同じです。ただし、表 3.23 に示すように、この種の演算は 2 種類の命令しか提供されません。したがって、第 2 オペランドは、実質的には +1 か -1 かのいずれかとなります。ワードデータを DSP ユニットのレジスタに読み込むと、上位ワードデータとして入力されます。ガードビットがあるレジスタをオペランドに指定すると、ガードビットも有効です。これらの演算は、固定小数点同様、図 3.10 に示すように DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

ALU 整数演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。これは固定小数点演算と同じですが、各ソースオペランドとデスティネーションオペランドの下位ワードはそれらを生成するためには使用しません。詳細については、「3.5.4 ALU 固定小数点算術演算」を参照してください。

条件付き命令の場合は、指定した条件が真であり演算が実行されてもこれらのビットは更新されません。無条件命令の場合、これらは、演算結果に従って常に更新されます。詳細については、「3.5.4 ALU 固定小数点算術演算」を参照してください。

- オーバフローの防止機能

SR レジスタの S ビットは、DSP ユニットのすべての ALU 整数演算で有効です。詳細については、「3.5.11 オーバフロー防止機能」を参照してください。

### 3.5.6 ALU 論理演算

図 3.15 に ALU 論理演算フローを示します。表 3.24 にこの演算の種類を示します。各オペランドのレジスタとの対応は、表 3.21 に示した ALU 固定小数点算術演算と同じです。

ALU 論理演算は、レジスタ間で実行します。各ソースオペランドおよびデスティネーションオペランドは、DSP レジスタの 1 つから独立して選択されます。図 3.15 に示すように、この種の演算は、各オペランドの上位ワードのみを使用します。ソースオペランドの下位ワードとガードビットは無視され、デスティネーションオペランドの下位ワードとガードビットは自動的にクリアされます。これらの演算もまた図 3.10 に示すように DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

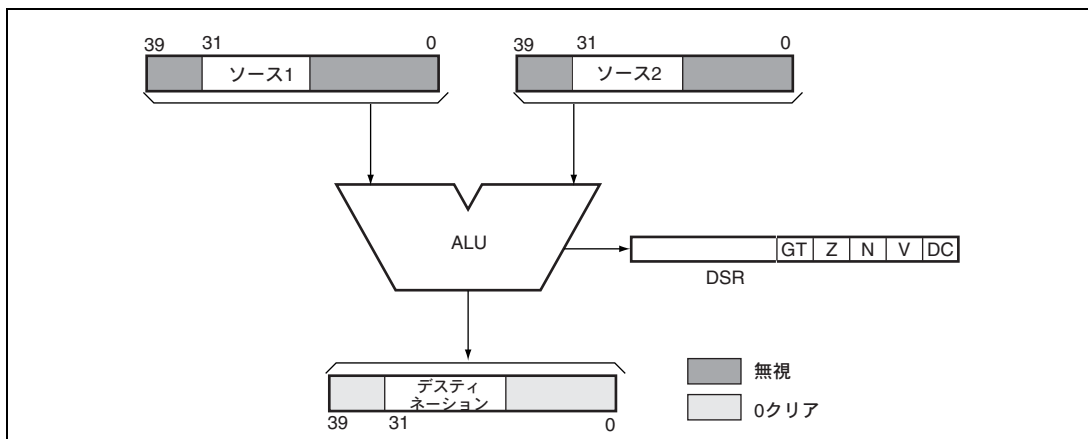


図 3.15 ALU 論理演算フロー

表 3.24 ALU 論理演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PAND	論理 AND	Sx	Sy	Dz
POR	論理 OR	Sx	Sy	Dz
PXOR	論理排他的 OR	Sx	Sy	Dz

ALU 論理演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果に従って常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0]ビット（条件選択ビット）で指定します。DC ビットの結果は、次のとおりです。

1. キャリーまたはポローモード (CS [2:0]=000の場合)  
DCビットは常に0にクリアされます。
2. 負値モード (CS [2:0]=001の場合)  
演算結果のビット31の値がDCビットに読み込まれます。
3. ゼロ値モード (CS [2:0]=010の場合)  
演算結果がゼロのときDCビットは1にセットされ、それ以外は0にクリアされます。
4. オーバフローモード (CS [2:0]=011の場合)  
DCビットは常に0にクリアされます。
5. 符号付き大モード (CS [2:0]=100の場合)  
DCビットは常に0にクリアされます。
6. 符号付き、以上モード (CS [2:0]=101の場合)  
DCビットは常に0にクリアされます。

N ビットは、CS [2:0]ビットが負値モードとしてセットされる DC ビットと常と同じ状態を示します。上記の負値モード部分を参照してください。Z ビットは、CS [2:0]ビットがゼロ値モードとしてセットされる DC ビットと常と同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは、CS [2:0]ビットがオーバフローモードとしてセットされる DC ビットと常と同じ状態を示します。上記のオーバフローモード部分を参照してください。GT ビットは、CS [2:0]ビットが符号付き大モードとしてセットされる DC ビットと常と同じ状態を示します。上記の符号付き大モード部分を参照してください。

### 3.5.7 固定小数点乗算

図 3.16 に乗算命令のフローを示します。表 3.25 にこの演算の種類を示します。表 3.26 に各オペランドとレジスタの対応を示します。DSP ユニットの乗算は、シングルワード符号付き単精度乗算です。固定小数点は、図 3.10 に示すように DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

倍精度乗算が必要な場合は、CPU のダブルワード乗算命令を活用することができます。

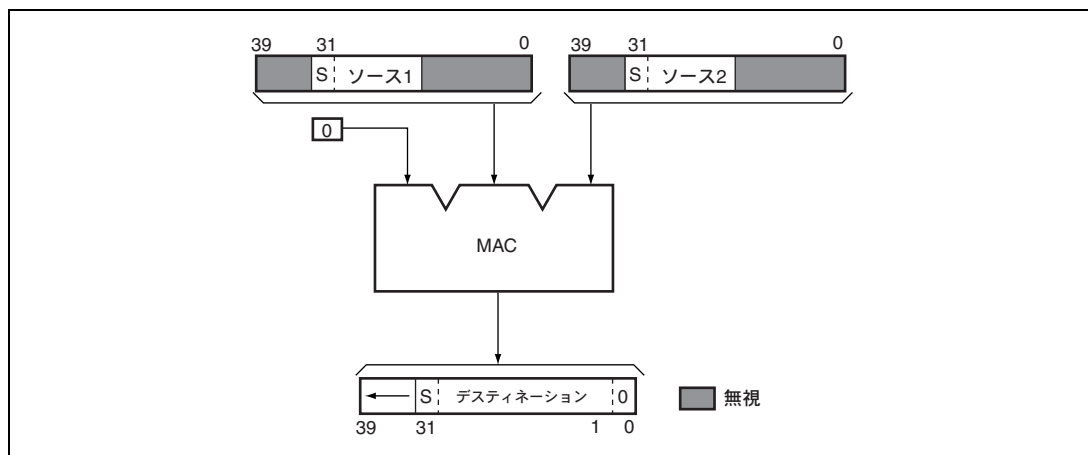


図 3.16 固定小数点乗算フロー

表 3.25 固定小数点乗算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PMULS	符号付き乗算	Se	Sf	Dg

表 3.26 オペランドの柔軟性

レジスタ	Se	Sf	Dg
A0			Yes
A1	Yes	Yes	Yes
M0			Yes
M1			Yes
X0	Yes	Yes	
X1	Yes		
Y0	Yes	Yes	
Y1		Yes	

【注】 乗算は、基本的に 32 ビットの演算結果を生成します。したがって、ガードビット部分を提供するレジスタをデスティネーションオペランドに指定するとガードビット部分には、演算結果のビット 31 がコピーされます。

DSP ユニット側の乗算は、整数ではなく固定小数点演算です。したがって、乗数および被乗数それぞれの上位ワードが図 3.16 に示すように MAC ユニットに入力されます。SH の従来の乗算では、両ソースオペランドの低位ワードが MAC ユニットに入力されます。演算結果も SH の場合とは異なります。SH の乗算結果は、デスティネーションの LSB に揃えられますが、固定小数点乗算結果は MSB に揃えられ、固定小数点乗算結果の LSB は常に 0 になります。

この固定小数点乗算は、1 サイクルで実行されます。乗算演算は、常に無条件で実行されますが、DSR レジスタの DC、N、Z、V、および GT の条件コードビットには影響しません。

#### • オーバフローの防止機能

SR レジスタの S ビットは DSP ユニットのこの乗算に対して有効です。詳細については、「3.5.11 オーバフロー防止機能」を参照してください。

S ビットが 0 の場合は、H'8000\*H'8000 ( (-1.0) \* (-1.0) ) 演算を符号付き固定小数点乗算として実行するときだけオーバフローが発生します。結果は、H'00 8000 0000 ですが、(+1.0) を意味しません。S ビットが 1 の場合は、オーバフロー防止機能が働いて結果は H'00 7FFF FFFF となります。

### 3.5.8 シフト演算

シフト演算は、シフト量オペランドとしてレジスタ値またはイミディエイト値を使用することができます。他のソースオペランドとデスティネーションオペランドは、レジスタで指定します。シフト演算には、算術シフトおよび論理シフトの 2 種類があります。表 3.27 にこの演算の種類を示します。イミディエイトオペランドを除き、各オペランドのレジスタとの対応は、表 3.21 に示すように ALU 固定小数点算術演算と同じです。

表 3.27 シフト演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PSHA Sx, Sy, Dz	算術シフト	Sx	Sy	Dz
PSHL Sx, Sy, Dz	論理シフト	Sx	Sy	Dz
PSHA #Imm1, Dz	イミディエイト付き 算術シフト	Dz	Imm1	Dz
PSHL #Imm2, Dz	イミディエイト付き 論理シフト	Dz	Imm2	Dz

-32<=Imm1<=+32, -16<=Imm2<=+16

## (1) 算術シフト：

図 3.17 に算術シフト演算フローを示します。

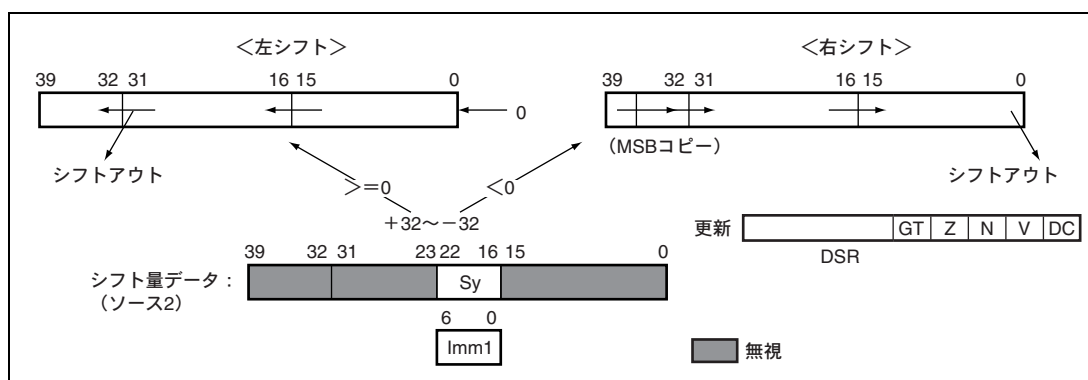


図 3.17 算術シフト演算フロー

**【注】** 算術シフト演算は、基本的に 40 ビット演算、すなわち 32 ビットの基本精度、8 ビットのガードビット部分から構成されます。したがって、ガードビット部分を提供していないレジスタをソースオペランドに指定すると、符号ビットがガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の下位 32 ビットがデスティネーションレジスタに入力されます。

この算術シフト演算においては、ソース 1 オペランドとデスティネーションオペランドは全ビット有効になります。シフト量は、整数部分としてソース 2 オペランドで指定します。ソース 2 オペランドは、レジスタまたはイミディエイトオペランドで指定することができます。利用可能なシフト範囲は、-32 から +32 までです。ここで負の値は右シフト、正の値は左シフトを意味します。ソース 2 オペランドとしては、-64 から +63 までを指定することができますが、無効なシフト値が指定された場合は、結果は保証されません。イミディエイトオペランド命令を持つシフトの場合は、ソース 1 オペランドはデスティネーションのレジスタと同じレジスタでなければなりません。この演算は、ALU 固定小数点算術演算同様に、図 3.10 に示すような DSP ステージで実行します。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

算術シフト演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。ただし、条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件の命令の場合は、これらは演算結果に従って常に更新されます。DC ビットの定義は DSR レジスタの CS[2:0] ビット（条件選択ビット）で指定します。DC ビットの結果は、次のとおりです。

1. キャリー／ポローモード（CS [2:0]=000の場合）

DC ビットは、演算結果として最後にシフトアウトしたデータを示します。

2. 負値モード（CS [2:0]=001の場合）

DC ビットは、演算結果が負の値のとき1にセットされ、ゼロまたは正の値のときに0クリアされます。

3. ゼロ値モード（CS [2:0]=010の場合）

DC ビットは、演算結果がゼロのとき1にセットされます。それ以外は、0クリアされます。

4. オーバフローモード（CS [2:0]=011の場合）

オーバフローが発生したときに1にセットされます。

5. 符号付き大モード（CS [2:0]=100の場合）

DC ビットは、常に0にクリアされます。

6. 符号付き以上モード（CS [2:0]=101の場合）

DC ビットは、常に0にクリアされます。

N ビットは、CS [2:0] ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。上記の負値モード部分を参照してください。Z ビットは、CS [2:0] ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは、CS [2:0] ビットがオーバフローモードとしてセットされる DC ビットと常に同じ状態を示します。上記のオーバフローモード部分を参照してください。GT ビットは、CS [2:0] ビットが符号付き大モードとしてセットされる DC ビットと常に同じ状態を示します。上記の符号付き大モード部分を参照してください。

● オーバフローの防止機能

SR レジスタの S ビットは、DSP ユニットのどの算術シフト演算に対しても有効です。詳細については、「3.5.11 オーバフロー防止機能」を参照してください。

## (2) 論理シフト :

図 3.18 に論理シフト演算フローを示します。

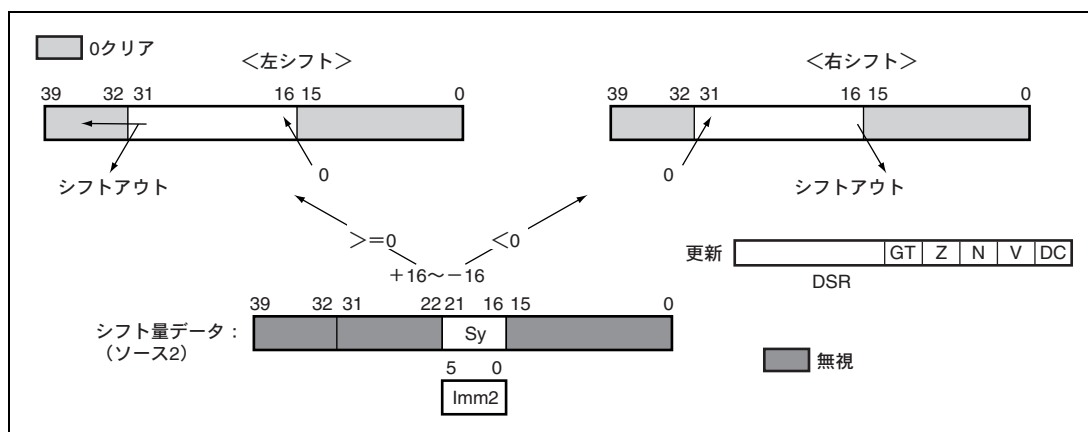


図 3.18 論理シフト演算フロー

図 3.18 に示すように、論理シフト演算は、ソース 1 の上位ワードとデスティネーションオペランドを使用します。ソースオペランドの下位ワードとガードビット部分は無視され、デスティネーションオペランドの下位ワードとガードビット部分は、ALU 論理演算同様、0 にクリアされます。シフト量は、整数データとしてソース 2 オペランドに指定します。ソース 2 オペランドでは、レジスタまたはイミディエイトオペランドに指定できます。利用可能なシフト範囲は、-16 から +16 です。ここで、負の値は右シフト、正の値は左シフトを意味します。任意のソース 2 オペランドは、-32 から +31 までを指定することができますが、無効なシフト値を指定すると、結果は保証されません。イミディエイトオペランド命令を持つシフトの場合は、ソース 1 オペランドはデスティネーションのレジスタと同じレジスタでなければなりません。これらの演算は図 3.10 に示すように DSP ステージで実行します。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

論理シフト演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。条件付き演算の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件の演算の場合は、これらは演算結果で常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0] ビット (条件選択ビット) で指定します。DC ビットの結果は、次のとおりです。

1. キャリー/ボローモード (CS [2:0]=000の場合)

DCビットは、演算結果として最後にシフトアウトしたデータを示します。

2. 負値モード (CS [2:0]=001の場合)

DCビットは、演算結果のビット31の値が格納されます。

3. ゼロ値モード (CS [2:0]=010の場合)

DCビットは、演算結果がゼロのとき1にセットされます。それ以外は、0にクリアされます。

## 4. オーバフローモード (CS [2:0]=011の場合)

DCビットは、常に0にクリアされます。

## 5. 符号付き大モード (CS [2:0]=100の場合)

DCビットは、常に0にクリアされます。

## 6. 符号付き以上モード (CS [2:0]=101の場合)

DCビットは、常に0にクリアされます。

N ビットは、CS [2:0]ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。上記の負値部分を参照してください。Z ビットは、CS [2:0]ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは、CS [2:0]ビットがオーバフローモードとしてセットされる DC ビットと常に同じ状態を示しますが、この演算では常にクリアされます。GT ビットも同じです。

### 3.5.9 MSB 検出命令

MSB 検出命令 (PDMSB : Detect Most Significant Bit) は、正規化のためのシフト量を計算するために使用されます。図 3.19 に PDMSB 命令のフローを、表 3.28 に演算の定義を示します。表 3.29 にこの演算の種類を示します。各オペランドのレジスタとの対応は、表 3.21 に示した ALU 固定小数点算術演算と同じです。

**【注】** MSB 検出命令の結果は、ALU 整数演算と同様、基本的に 24 ビット、すなわち上位 16 ビットの基本精度と 8 ビットのガードビット部分です。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の上位ワードがデスティネーションレジスタに入力されます。

図 3.19 に示すように、PDMSB 命令はソースオペランドとしてフルサイズのデータを使用しますが、正規化用のシフト量データは「3.5.8 シフト演算」で述べたように整数データでなければならないので、デスティネーションオペランドは整数演算結果と見なされます。これらの演算は、図 3.10 に示すように DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

PDMSB 演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果で常に更新されます。



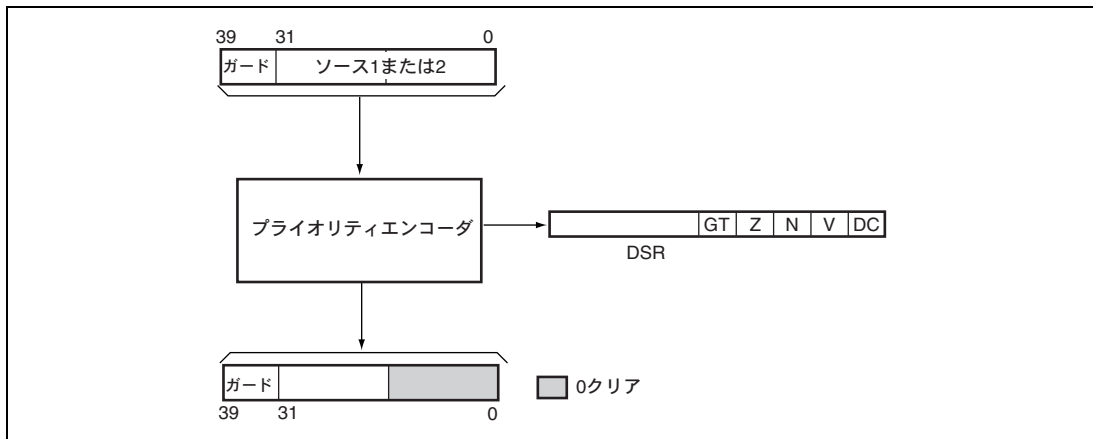


図 3.19 PDMSB 演算フロー

DC ビットの定義は DSR レジスタの CS[2:0] ビット（条件選択ビット）で選択します。DC ビットの結果は、次のとおりです。

1. キャリー／ボローモード（CS [2:0]=000の場合）

DCビットは、常に0にクリアされます。

2. 負値モード（CS [2:0]=001の場合）

DCビットは、演算結果が負の値のとき1にセットされ、ゼロまたは正の値のとき0にクリアされます。

3. ゼロ値モード（CS [2:0]=010の場合）

DCビットは、演算結果がゼロのとき1にセットされます。それ以外は、0にクリアされます。

4. オーバフローモード（CS [2:0]=011の場合）

DCビットは、常に0にクリアされます。

5. 符号付き大モード（CS [2:0]=100の場合）

DCビットは、演算結果が正の値のとき1にセットされます。それ以外は、0にクリアされます。

6. 符号付き以上モード（CS [2:0]=101の場合）

DCビットは、演算結果が正またはゼロのとき1にセットされます。それ以外は、0にクリアされます。

表 3.28 PDMSB 命令の定義

ソースデータ														DST 用の結果								
ガードビット				上位ワード				下位ワード						ガードビット	上位ワード							
39	38	—	33	32	31	30	29	28	—	3	2	1	0	39~32	31~22	21	20	19	18	17	16	10進数
0	0	—	0	0	0	0	0	0	—	0	0	0	0	all 0	all 0	0	1	1	1	1	1	+31
0	0	—	0	0	0	0	0	0	—	0	0	0	1	all 0	all 0	0	1	1	1	1	0	+30
0	0	—	0	0	0	0	0	0	—	0	0	1	*	all 0	all 0	0	1	1	1	0	1	+29
0	0	—	0	0	0	0	0	0	—	0	1	*	*	all 0	all 0	0	1	1	1	0	0	+28
:									:													
0	0	—	0	0	0	0	1	—	*	*	*	*	*	all 0	all 0	0	0	0	0	1	0	+2
0	0	—	0	0	0	1	*	—	*	*	*	*	*	all 0	all 0	0	0	0	0	0	1	+1
0	0	—	0	0	0	1	*	*	—	*	*	*	*	all 0	all 0	0	0	0	0	0	0	0
0	0	—	0	0	1	*	*	*	—	*	*	*	*	all 1	all 1	1	1	1	1	1	1	-1
0	0	—	0	1	*	*	*	*	—	*	*	*	*	all 1	all 1	1	1	1	1	1	0	-2
:									:													
0	1	—	*	*	*	*	*	—	*	*	*	*	*	all 1	all 1	1	1	1	0	0	0	-8
1	0	—	*	*	*	*	*	—	*	*	*	*	*	all 1	all 1	1	1	1	0	0	0	-8
:									:													
1	1	—	1	0	*	*	*	*	—	*	*	*	*	all 1	all 1	1	1	1	1	1	0	-2
1	1	—	1	1	0	*	*	*	—	*	*	*	*	all 1	all 1	1	1	1	1	1	1	-1
1	1	—	1	1	1	0	*	*	—	*	*	*	*	all 0	all 0	0	0	0	0	0	0	0
1	1	—	1	1	1	0	*	—	*	*	*	*	*	all 0	all 0	0	0	0	0	0	1	+1
1	1	—	1	1	1	0	—	*	*	*	*	*	*	all 0	all 0	0	0	0	0	1	0	+2
:									:													
1	1	—	1	1	1	1	1	—	1	0	*	*	*	all 0	all 0	0	1	1	1	0	0	+28
1	1	—	1	1	1	1	1	—	1	1	0	*	*	all 0	all 0	0	1	1	1	0	1	+29
1	1	—	1	1	1	1	1	—	1	1	1	0	*	all 0	all 0	0	1	1	1	1	0	+30
1	1	—	1	1	1	1	1	—	1	1	1	1	1	all 0	all 0	0	1	1	1	1	1	+31

【注】 \* don't care ビットを意味します。

表 3.29 PDMSB 命令の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PDMSB	MSB 検出	Sx	—	Dz
		—	Sy	Dz

N ビットは、CS [2:0]ビットが負値モードとしてセットされる DC ビットと常と同じ状態を示します。上記の負値モード部分を参照してください。Z ビットは、CS [2:0]ビットがゼロ値モードとしてセットされる DC ビットと常と同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは、CS [2:0]ビットがオーバフローモードとしてセットされる DC ビットと常と同じ状態を示します。上記のオーバフローモード部分を参照してください。GT ビットは、CS [2:0]ビットが符号付き大モードとしてセットされる DC ビットと常と同じ状態を示します。上記の符号付き大モード部分を参照してください。

### 3.5.10 丸め演算

DSP ユニットは、32 ビットから 16 ビットに丸める丸め機能を提供します。ガードビットがある場合は、40 ビットから 24 ビットに丸めます。丸め命令を実行するときは、ソースオペランドに H'00008000 が加算された後、下位ワードが 0 クリアされます。図 3.20 に丸め演算フローを示します。図 3.21 に丸め演算の定義を示します。また、表 3.30 に演算の種類を示します。各オペランドのレジスタとの対応は、表 3.21 に示した ALU 固定小数点算術演算と同じです。

図 3.21 に示すように、丸め演算は、ソースオペランド、デスティネーションオペランド両方に対してフルサイズデータを使用します。これらの演算は、図 3.10 に示すような DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

丸め演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果で常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0] (条件選択) ビットで指定します。これらの状態コードビットの結果は ALU 固定小数点算術演算と同じです。

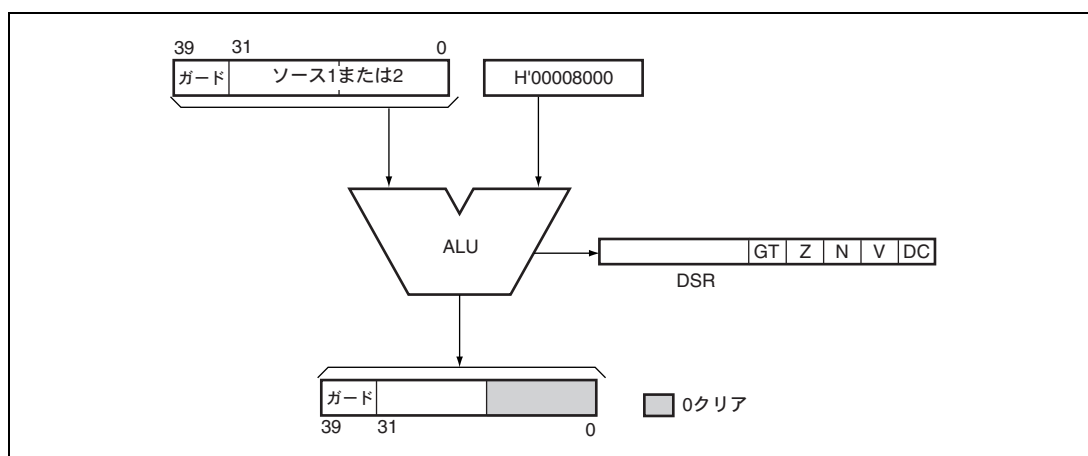


図 3.20 丸め演算フロー

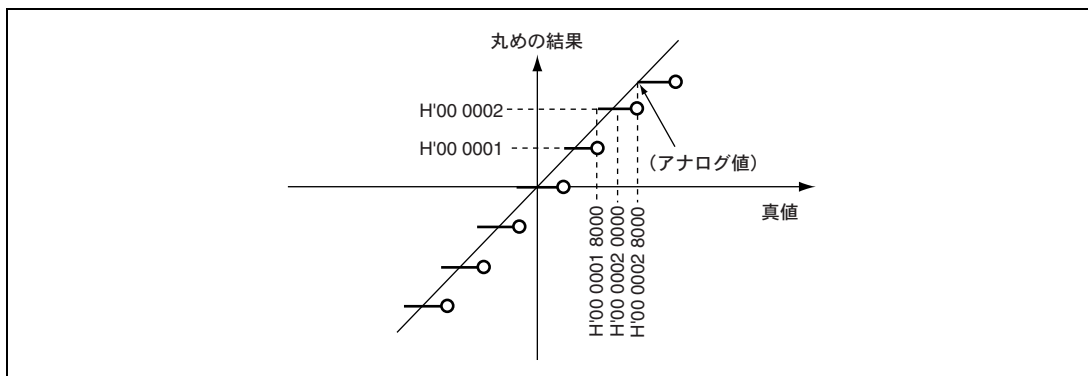


図 3.21 丸め演算の定義

表 3.30 丸め演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PRND	丸め	Sx	—	Dz
		—	Sy	Dz

- オーバフロー防止機能

SR レジスタの S ビットは DSP ユニットの任意の丸め演算で有効です。詳細については、「3.5.11 オーバフロー防止機能」を参照してください。

### 3.5.11 オーバフロー防止機能

SR レジスタの S ビットは、従来の SH 乗算および MAC 演算を含め DSP ユニットで実行する算術演算に有効です。SH の CPU コアの SR レジスタの S ビットは、オーバフロー防止機能イネーブルビットとして使用します。演算結果がガードビット部分のない 2 の補数の表記範囲を越える場合は、算術演算はオーバフローします。表 3.31 に「3.5.7 固定小数点乗算」で説明した符号付き×符号付き固定小数点乗算を含めて、固定小数点算術演算に対するオーバフロー保護の定義を示します。表 3.32 には整数算術演算に対するオーバフロー防止機能の定義を示します。整数算術演算の飽和値の下位ワードは don't care です。下位ワードの値は、保証されません。

オーバフロー防止機能が有効になっているときは、オーバフローは発生することはありません。したがって、V ビットは、0 にクリアされます。オーバフローモードを CS [2:0] ビットで選択するときも DC ビットは 0 にクリアされます。

表 3.31 固定小数点算術用演算のオーバフロー防止機能の定義

符号	オーバフロー条件	固定値	16 進表記
正	結果 $> 1 - 2^{-31}$	$1 - 2^{-31}$	00 7FFF FFFF
負	結果 $< -1$	-1	FF 8000 0000

表 3.32 整数算術演算用オーバーフロー防止機能の定義

符号	オーバーフロー条件	固定値	16 進表記
正	結果 $>2^{15}-1$	$2^{15}-1$	00 7FFF ****
負	結果 $<-2^{15}$	$-2^{15}$	FF 8000 ****

【注】 \* "Don't care"を意味します。

### 3.5.12 ローカルデータ移動命令

本 LSI には、CPU の乗算／積和演算（MAC）をサポートするための MACL と MACH の 2 つレジスタがあります。これらのレジスタは、他の DSP レジスタとのローカルデータ移動命令により、テンポラリレジスタとして活用することができます。図 3.22 にローカルデータ移動命令のフローを示します。表 3.33 にはこの命令の種類を示します。

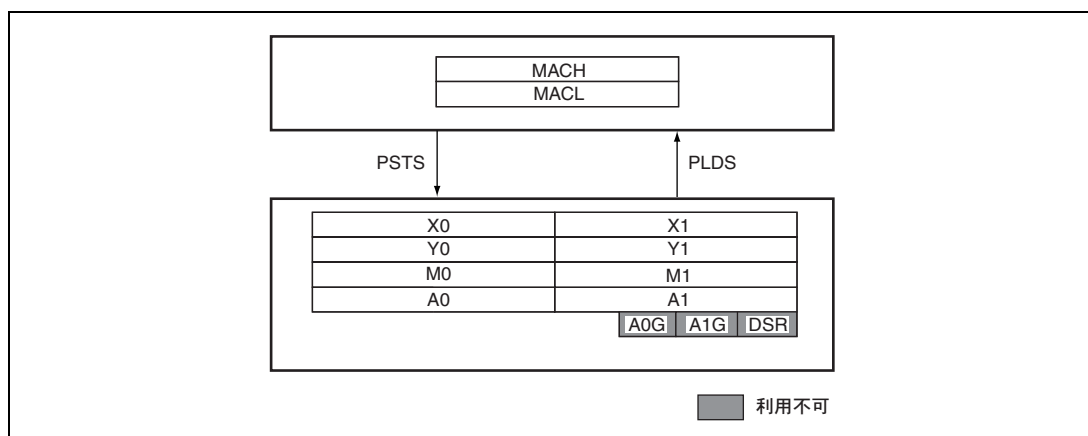


図 3.22 ローカルデータ移動命令のフロー

表 3.33 ローカルデータ移動命令の種類

ニーモニック	機能	オペランド
PLDS	DSP レジスタから MACL/H へのデータ移動	Dz
PSTS	MACL/H から DSP レジスタへのデータ移動	Dz

この命令は、他の転送命令と非常に似ています。A0 および A1 レジスタのいずれかを PSTS のデスティネーションオペランドとして指定すると、符号ビットが該当するガードビット部分 A0G または A1G に符号拡張されて格納されます。命令結果にかかわらず、DSR レジスタの DC ビットおよびその他の条件コードビットは、更新されません。この命令は、条件付きとしても動作します。ローカルデータ移動命令は、MOVX と MOVY で並行して指定することができます。

### 3.5.13 オペランドの競合

同一のデスティネーションオペランドを複数の DSP データ演算命令による並行処理で指定すると、データの競合が発生します。表 3.34 に各命令のオペランドとレジスタの対応を示します。

表 3.34 オペランド柔軟性

		X メモリロード			Y メモリロード			6 オペランド 命令 ALU			3 オペランド 命令乗算			3 オペランド ALU		
		Ax	Ix	Dx	Ay	Iy	Dy	Sx	Sy	Du	Se	Sf	Dg	Sx	Sy	Dz
DSP レジスタ	A0							*1		*2			*2	*1		*1
	A1							*1		*2	*1	*1	*2	*1		*1
	M0								*1				*1		*1	*1
	M1								*1				*1		*1	*1
	X0			*2				*1		*2	*1	*1		*1		*2
	X1			*2				*1				*1		*1		*2
	Y0						*2		*1	*2	*1	*1			*1	*2
	Y1						*2		*1			*1			*1	*2

【注】 \*1 オペランドに利用可能なレジスタ

\*2 オペランドに利用可能なレジスタ（オペランド競合の場合）

オペランド競合問題には、3 つの場合があります。

- ALU演算と乗算命令が同じデスティネーションオペランド（DuおよびDg）を指定する場合
- X側ロードとALU命令が同じデスティネーションオペランド（DxおよびDuまたはDz）を指定する場合
- Y側ロードとALU命令が同じデスティネーションオペランド（DyおよびDuまたはDz）を指定する場合

競合した場合の結果は、保証されません。

## 3.6 DSP 拡張機能命令セット

### 3.6.1 CPU 拡張命令

表 3.35 DSP モード拡張システム制御命令

命令	命令コード	動作	実行 ステート	T ビット	区分
SETRC #imm	10000010iiiiiii	imm→RC (of SR)	1	—	
SETRC Rn	0100nnnn00010100	Rn[11:0] →RC(ofSR)	1	—	
LDRS @(disp,PC)	10001100ddddddd	(disp×2+PC) →RS	1	—	
LDRE @(disp,PC)	10001110ddddddd	(disp×2+PC) →RE	1	—	
STC MOD,Rn	0000nnnn01010010	MOD→Rn	1	—	
STC RS,Rn	0000nnnn01100010	RS→Rn	1	—	
STC RE,Rn	0000nnnn01110010	RE→Rn	1	—	
STS DSR,Rn	0000nnnn01101010	DSR→Rn	1	—	
STS A0,Rn	0000nnnn01111010	A0→Rn	1	—	
STS X0,Rn	0000nnnn10001010	X0→Rn	1	—	
STS X1,Rn	0000nnnn10011010	X1→Rn	1	—	
STS Y0,Rn	0000nnnn10101010	Y0→Rn	1	—	
STS Y1,Rn	0000nnnn10111010	Y1→Rn	1	—	
STS.L DSR,@-Rn	0100nnnn01100010	Rn-4→Rn, DSR→(Rn)	1	—	
STS.L A0,@-Rn	0100nnnn01110010	Rn-4→Rn, A0→(Rn)	1	—	
STS.L X0,@-Rn	0100nnnn10000010	Rn-4→Rn, X0→(Rn)	1	—	
STS.L X1,@-Rn	0100nnnn10010010	Rn-4→Rn, X1→(Rn)	1	—	
STS.L Y0,@-Rn	0100nnnn10100010	Rn-4→Rn, Y0→(Rn)	1	—	
STS.L Y1,@-Rn	0100nnnn10110010	Rn-4→Rn, Y1→(Rn)	1	—	
STC.L MOD,@-Rn	0100nnnn01010011	Rn-4→Rn, MOD→(Rn)	1	—	
STC.L RS,@-Rn	0100nnnn01100011	Rn-4→Rn, RS→(Rn)	1	—	
STC.L RE,@-Rn	0100nnnn01110011	Rn-4→Rn, RE→(Rn)	1	—	
LDS.L @Rn+,DSR	0100nnnn01100110	(Rn) →DSR, Rn+4→Rn	1	—	
LDS.L @Rn+,A0	0100nnnn01110110	(Rn) →A0, Rn+4→Rn	1	—	
LDS.L @Rn+,X0	0100nnnn10000110	(Rn) →X0, Rn+4→Rn	1	—	
LDS.L @Rn+,X1	0100nnnn10010110	(Rn) →X1, Rn+4→Rn	1	—	
LDS.L @Rn+,Y0	0100nnnn10100110	(Rn) →Y0, Rn+4→Rn	1	—	
LDS.L @Rn+,Y1	0100nnnn10110110	(Rn) →Y1, Rn+4→Rn	1	—	
LDC.L @Rn+,MOD	0100nnnn01010111	(Rn) →MOD, Rn+4→Rn	4	—	
LDC.L @Rn+,RS	0100nnnn01100111	(Rn) →RS, Rn+4→Rn	4	—	
LDC.L @Rn+,RE	0100nnnn01110111	(Rn) →RE, Rn+4→Rn	4	—	

命令	命令コード	動作	実行 ステート	T ビット
LDS Rn,DSR	0100nnnn01101010	Rn→DSR	1	—
LDS Rn,A0	0100nnnn01111010	Rn→A0	1	—
LDS Rn,X0	0100nnnn10001010	Rn→X0	1	—
LDS Rn,X1	0100nnnn10011010	Rn→X1	1	—
LDS Rn,Y0	0100nnnn10101010	Rn→Y0	1	—
LDS Rn,Y1	0100nnnn10111010	Rn→Y1	1	—
LDC Rn,MOD	0100nnnn01011110	Rn→MOD	4	—
LDC Rn,RS	0100nnnn01101110	Rn→RS	4	—
LDC Rn,RE	0100nnnn01111110	Rn→RE	4	—

### 3.6.2 ダブルデータ転送命令

表 3.36 ダブルデータ転送命令

命令		命令コード	動作	実行 ステート	DC
Xメモリ データ 転送	NOPX	1111000*0*0*00**	Xメモリノーマルアクセス	1	—
	MOVX.W @Ax, Dx	111100A*D*0*01**	(Ax) →Dx の MSW, 0 →Dx の LSW	1	—
	MOVX.W @Ax+, Dx	111100A*D*0*10**	(Ax) →Dx の MSW, 0 →Dx の LSW, Ax+2 →Ax	1	—
	MOVX.W @Ax+Ix, Dx	111100A*D*0*11**	(Ax) →Dx の MSW, 0 →Dx の LSW, Ax+Ix →Ax	1	—
	MOVX.W Da, @Ax	111100A*D*1*01**	Da の MSW →(Ax)	1	—
	MOVX.W Da, @Ax+	111100A*D*1*10**	Da の MSW →(Ax), Ax+2 →Ax	1	—
	MOVX.W Da, @Ax+Ix	111100A*D*1*11**	Da の MSW →(Ax), Ax+Ix →Ax	1	—
Yメモリ データ 転送	NOPY	111100*0*0*0**00	Yメモリノーマルアクセス	1	—
	MOVY.W @Ay, Dy	111100*A*D*0**01	(Ay) →Dy の MSW, 0 →Dy の LSW	1	—
	MOVY.W @Ay+, Dy	111100*A*D*0**10	(Ay) →Dy の MSW, 0 →Dy の LSW, Ay+2 →Ay	1	—
	MOVY.W @Ay+Iy, Dy	111100*A*D*0**11	(Ay) →Dy の MSW, 0 →Dy の LSW, Ay+Iy →Ay	1	—
	MOVY.W Da, @Ay	111100*A*D*1**01	Da の MSW →(Ay)	1	—
	MOVY.W Da, @Ay+	111100*A*D*1**10	Da の MSW →(Ay), Ay+2 →Ay	1	—
	MOVY.W Da, @Ay+Iy	111100*A*D*1**11	Da の MSW →(Ay), Ay+Iy →Ay	1	—



## 3.6.3 シングルデータ転送命令

表 3.37 シングルデータ転送命令

命令	命令コード	動作	実行 ステート	DC	区分
MOVS.W @-As, Ds	111101AADDDDD0000	As-2 ->As, (As) ->Ds の MSW, 0 ->Ds の LSW	1	-	
MOVS.W @As, Ds	111101AADDDDD0100	(As) ->Ds の MSW, 0 ->Ds の LSW	1	-	
MOVS.W @As+, Ds	111101AADDDDD1000	(As) ->Ds の MSW, 0 ->Ds の LSW, As+2 ->As	1	-	
MOVS.W @As+Ix, Ds	111101AADDDDD1100	(As) ->Ds の MSW, 0 ->Ds の LSW, As+Ix ->As	1	-	
MOVS.W Ds, @-As	111101AADDDDD0001	As-2 ->As, Ds の MSW ->(As)	1	-	*
MOVS.W Ds, @As	111101AADDDDD0101	Ds の MSW ->(As)	1	-	*
MOVS.W Ds, @As+	111101AADDDDD1001	Ds の MSW ->(As), As+2 ->As	1	-	*
MOVS.W Ds, @As+Ix	111101AADDDDD1101	Ds の MSW ->(As), As+Ix ->As	1	-	*
MOVS.L @-As, Ds	111101AADDDDD0010	As-4 ->As, (As) ->Ds	1	-	
MOVS.L @As, Ds	111101AADDDDD0110	(As) ->Ds	1	-	
MOVS.L @As+, Ds	111101AADDDDD1010	(As) ->Ds, As+4 ->As	1	-	
MOVS.L @As+Ix, Ds	111101AADDDDD1110	(As) ->Ds, As+Ix ->As	1	-	
MOVS.L Ds, @-As	111101AADDDDD0011	As-4 ->As, Ds ->(As)	1	-	
MOVS.L Ds, @As	111101AADDDDD0111	Ds ->(As)	1	-	
MOVS.L Ds, @As+	111101AADDDDD1011	Ds ->(As), As+4 ->As	1	-	
MOVS.L Ds, @As+Ix	111101AADDDDD1111	Ds ->(As), As+Ix ->As	1	-	

【注】 \* ガードビットレジスタ A0G と A1G をソースオペランド Ds に指定した場合は、データは LDB [7:0]バスに出力され、符号ビットは上位ビット [31:8]に転記されます。

DSP データ転送のオペランドとレジスタとの対応を表 3.38 に示します。

表 3.38 DSP データ転送のオペランドとレジスタとの対応

レジスタ		Ax	Ix	Dx	Ay	Iy	Dy	Da	As	Ds
SH レジスタ	R0									
	R1									
	R2 (As2)								Yes	
	R3 (As3)								Yes	
	R4 (Ax0)	Yes							Yes	
	R5 (Ax1)	Yes							Yes	
	R6 (Ay0)				Yes					
	R7 (Ay1)				Yes					
	R8 (Ix)		Yes							
	R9 (Iy)					Yes				
DSP レジスタ	A0							Yes		Yes
	A1							Yes		Yes
	M0									Yes
	M1									Yes
	X0			Yes						Yes
	X1			Yes						Yes
	Y0						Yes			Yes
	Y1						Yes			Yes
	A0G									Yes
	A1G									Yes

## 3.6.4 DSP 演算命令

表 3.39 DSP 演算命令

命令	命令コード	動作	実行 ステート	DC
PMULS $S_e, S_f,$ $D_g$	111110***** 0100eeff0000gg00	$S_e * S_f \rightarrow D_g$ (符号付き)	1	—
PADD $S_x, S_y, D_u$ PMULS $S_e, S_f, D_g$	111110***** 0111eeffxxyygguu	$S_x + S_y \rightarrow D_u$ $S_e * S_f \rightarrow D_g$ (符号付き)	1	* <sup>1</sup>
PSUB $S_x, S_y, D_u$ PMULS $S_e, S_f, D_g$	111110***** 0110eeffxxyygguu	$S_x - S_y \rightarrow D_u$ $S_e * S_f \rightarrow D_g$ (符号付き)	1	* <sup>1</sup>
PADD $S_x, S_y, D_z$	111110***** 10110001xxyyzzzz	$S_x + S_y \rightarrow D_z$	1	* <sup>1</sup>
DCT PADD $S_x, S_y, D_z$	111110***** 10110010xxyyzzzz	If DC=1, $S_x + S_y \rightarrow D_z$ If DC=0, nop	1	—
DCF PADD $S_x, S_y, D_z$	111110***** 10110011xxyyzzzz	If DC=0, $S_x + S_y \rightarrow D_z$ If DC=1, nop	1	—
PSUB $S_x, S_y, D_z$	111110***** 10100001xxyyzzzz	$S_x - S_y \rightarrow D_z$	1	* <sup>1</sup>
DCT PSUB $S_x, S_y, D_z$	111110***** 10100010xxyyzzzz	If DC=1, $S_x - S_y \rightarrow D_z$ If DC=0, nop	1	—
DCF PSUB $S_x, S_y, D_z$	111110***** 10100011xxyyzzzz	If DC=0, $S_x - S_y \rightarrow D_z$ If DC=1, nop	1	—
PSHA $S_x, S_y, D_z$	111110***** 1001001xxyyzzzz	If $S_y \geq 0$ , $S_x \ll S_y \rightarrow D_z$ (算術シフト) If $S_y < 0$ , $S_x \gg S_y \rightarrow D_z$	1	* <sup>1</sup>
DCT PSHA $S_x, S_y, D_z$	111110***** 10010010xxyyzzzz	If DC=1 & $S_y \geq 0$ , $S_x \ll S_y \rightarrow D_z$ (算術シフト) If DC=1 & $S_y < 0$ , $S_x \gg S_y \rightarrow D_z$ If DC=0, nop	1	—
DCF PSHA $S_x, S_y, D_z$	111110***** 10010011xxyyzzzz	If DC=0 & $S_y \geq 0$ , $S_x \ll S_y \rightarrow D_z$ (算術シフト) If DC=0 & $S_y < 0$ , $S_x \gg S_y \rightarrow D_z$ If DC=1, nop	1	—
PSHL $S_x, S_y, D_z$	111110***** 10000001xxyyzzzz	If $S_y \geq 0$ , $S_x \ll S_y \rightarrow D_z$ (論理シフト) If $S_y < 0$ , $S_x \gg S_y \rightarrow D_z$	1	* <sup>1</sup>
DCT PSHL $S_x, S_y, D_z$	111110***** 10000010xxyyzzzz	If DC=1 & $S_y \geq 0$ , $S_x \ll S_y \rightarrow D_z$ (論理シフト) If DC=1 & $S_y < 0$ , $S_x \gg S_y \rightarrow D_z$ If DC=0, nop	1	—
DCF PSHL $S_x, S_y, D_z$	111110***** 10000011xxyyzzzz	If DC=0 & $S_y \geq 0$ , $S_x \ll S_y \rightarrow D_z$ (論理シフト) If DC=0 & $S_y < 0$ , $S_x \gg S_y \rightarrow D_z$ If DC=1, nop	1	—
PCOPY $S_x, D_z$	111110***** 11011001xx00zzzz	$S_x \rightarrow D_z$	1	* <sup>1</sup>

命令	命令コード	動作	実行 状態	DC
PCOPY $S_y, D_z$	111110***** 1111100100yyzzzz	$S_y \rightarrow D_z$	1	* <sup>1</sup>
DCT PCOPY $S_x, D_z$	111110***** 11011010xx00zzzz	If DC=1, $S_x \rightarrow D_z$ If DC=0, nop	1	—
DCT PCOPY $S_y, D_z$	111110***** 1111101000yyzzzz	If DC=1, $S_y \rightarrow D_z$ If DC=0, nop	1	—
DCF PCOPY $S_x, D_z$	111110***** 11011011xx00zzzz	If DC=0, $S_x \rightarrow D_z$ If DC=1, nop	1	—
DCF PCOPY $S_y, D_z$	111110***** 1111101100yyzzzz	If DC=0, $S_y \rightarrow D_z$ If DC=1, nop	1	—
PDMSB $S_x, D_z$	111110***** 10011101xx00zzzz	$S_x \rightarrow D_z$ 正規化のためのカウントシフト値	1	* <sup>1</sup>
PDMSB $S_y, D_z$	111110***** 1011110100yyzzzz	$S_y \rightarrow D_z$ 正規化のためのカウントシフト値	1	* <sup>1</sup>
DCT PDMSB $S_x, D_z$	111110***** 10011110xx00zzzz	If DC=1, 正規化のためのカウントシフト値 $S_x \rightarrow D_z$ If DC=0, nop	1	—
DCT PDMSB $S_y, D_z$	111110***** 1011111000yyzzzz	If DC=1, 正規化のためのカウントシフト値 $S_y \rightarrow D_z$ If DC=0, nop	1	—
DCF PDMSB $S_x, D_z$	111110***** 10011111xx00zzzz	If DC=0, 正規化のためのカウントシフト値 $S_x \rightarrow D_z$ If DC=1, nop	1	—
DCF PDMSB $S_y, D_z$	111110***** 1011111100yyzzzz	If DC=0, 正規化のためのカウントシフト値 $S_y \rightarrow D_z$ If DC=1, nop	1	—
PINC $S_x, D_z$	111110***** 10011001xx00zzzz	$S_x$ の MSW+1 $\rightarrow D_z$	1	* <sup>1</sup>
PINC $S_y, D_z$	111110***** 1011100100yyzzzz	$S_y$ の MSW+1 $\rightarrow D_z$	1	* <sup>1</sup>
DCT PINC $S_x, D_z$	111110***** 10011010xx00zzzz	If DC=1, $S_x$ の MSW+1 $\rightarrow D_z$ If DC=0, nop	1	—
DCT PINC $S_y, D_z$	111110***** 1011101000yyzzzz	If DC=1, $S_y$ の MSW+1 $\rightarrow D_z$ If DC=0, nop	1	—
DCF PINC $S_x, D_z$	111110***** 10011011xx00zzzz	If DC=0, $S_x$ の MSW+1 $\rightarrow D_z$ If DC=1, nop	1	—
DCF PINC $S_y, D_z$	111110***** 1011101100yyzzzz	If DC=0, $S_y$ の MSW+1 $\rightarrow D_z$ If DC=1, nop	1	—
PNEG $S_x, D_z$	111110***** 11001001xx00zzzz	0- $S_x \rightarrow D_z$	1	* <sup>1</sup>

命令	命令コード	動作	実行 状態	DC
PNEG $S_y, D_z$	111110***** 1110100100yyzzzz	0- $S_y$ -> $D_z$	1	* <sup>1</sup>
DCT PNEG $S_x, D_z$	111110***** 11001010xx00zzzz	If DC=1, 0- $S_x$ -> $D_z$ If DC=0, nop	1	-
DCT PNEG $S_y, D_z$	111110***** 1110101000yyzzzz	If DC=1, 0- $S_y$ -> $D_z$ If DC=0, nop	1	-
DCF PNEG $S_x, D_z$	111110***** 11001011xx00zzzz	If DC=0, 0- $S_x$ -> $D_z$ If DC=1, nop	1	-
DCF PNEG $S_y, D_z$	111110***** 1110101100yyzzzz	If DC=0, 0- $S_y$ -> $D_z$ If DC=1, nop	1	-
POR $S_x, S_y, D_z$	111110***** 10110101xxyyzzzz	$S_x$   $S_y$ -> $D_z$	1	* <sup>1</sup>
DCT POR $S_x, S_y, D_z$	111110***** 10110110xxyyzzzz	If DC=1, $S_x$   $S_y$ -> $D_z$ If DC=0, nop	1	-
DCF POR $S_x, S_y, D_z$	111110***** 10110111xxyyzzzz	If DC=0, $S_x$   $S_y$ -> $D_z$ If DC=1, nop	1	-
PAND $S_x, S_y, D_z$	111110***** 10010101xxyyzzzz	$S_x$ & $S_y$ -> $D_z$	1	* <sup>1</sup>
DCT PAND $S_x, S_y, D_z$	111110***** 10010110xxyyzzzz	If DC=1, $S_x$ & $S_y$ -> $D_z$ If DC=0, nop	1	-
DCF PAND $S_x, S_y, D_z$	111110***** 10010111xxyyzzzz	If DC=0, $S_x$ & $S_y$ -> $D_z$ If DC=1, nop	1	-
PXOR $S_x, S_y, D_z$	111110***** 10100101xxyyzzzz	$S_x$ ^ $S_y$ -> $D_z$	1	* <sup>1</sup>
DCT PXOR $S_x, S_y, D_z$	111110***** 10100110xxyyzzzz	If DC=1, $S_x$ ^ $S_y$ -> $D_z$ If DC=0, nop	1	-
DCF PXOR $S_x, S_y, D_z$	111110***** 10100111xxyyzzzz	If DC=0, $S_x$ ^ $S_y$ -> $D_z$ If DC=1, nop	1	-
PDEC $S_x, D_z$	111110***** 10001001xx00zzzz	$S_x$ [39:16]-1 -> $D_z$	1	* <sup>1</sup>
DCT PDEC $S_x, D_z$	111110***** 10001010xx00zzzz	If DC=1, $S_x$ [39:16]-1 -> $D_z$ If DC=0, nop	1	-
DCF PDEC $S_x, D_z$	111110***** 10001011xx00zzzz	If DC=0, $S_x$ [39:16]-1 -> $D_z$ If DC=1, nop	1	-
PDEC $S_y, D_z$	111110***** 1010100100yyzzzz	$S_y$ [31:16]-1 -> $D_z$	1	* <sup>1</sup>

命令	命令コード	動作	実行 ステート	DC
DCT PDEC Sy, Dz	111110***** 1010101000yyzzzz	If DC=1, Sy [31:16]-1 ->Dz If DC=0, nop	1	-
DCF PDEC Sy, Dz	111110***** 1010101100yyzzzz	If DC=0, Sy [31:16]-1 ->Dz If DC=1, nop	1	-
PCLR Dz	111110***** 100011010000zzzz	h'00000000 ->Dz	1	*1
DCT PCLR Dz	111110***** 100011100000zzzz	If DC=1, h'00000000 ->Dz If DC=0, nop	1	-
DCF PCLR Dz	111110***** 100011110000zzzz	If DC=0, h'00000000 ->Dz If DC=1, nop	1	-
PSHA #imm, Dz	111110***** 00010iiiiiiiizzzz	If imm>=0, Dz<<imm ->Dz (算術シフト) If imm<0, Dz>>imm ->Dz	1	*1
PSHL #imm, Dz	111110***** 00000iiiiiiiizzzz	If imm>=0, Dz<<imm ->Dz (論理シフト) If imm<0, Dz>>imm ->Dz	1	*1
PSTS MACH, Dz	111110***** 110011010000zzzz	MACH ->Dz	1	-
DCT PSTS MACH, Dz	111110***** 110011100000zzzz	If DC=1, MACH ->Dz	1	-
DCF PSTS MACH, Dz	111110***** 110011110000zzzz	If DC=0, MACH ->Dz	1	-
PSTS MACL, Dz	111110***** 110111010000zzzz	MACL ->Dz	1	-
DCT PSTS MACL, Dz	111110***** 110111100000zzzz	If DC=1, MACL ->Dz	1	-
DCF PSTS MACL, Dz	111110***** 110111110000zzzz	If DC=0, MACL ->Dz	1	-
PLDS Dz, MACH	111110***** 111011010000zzzz	Dz ->MACH	1	-
DCT PLDS Dz, MACH	111110***** 111011100000zzzz	If DC=1, Dz ->MACH	1	-
DCF PLDS Dz, MACH	111110***** 111011110000zzzz	If DC=0, Dz ->MACH	1	-
PLDS Dz, MACL	111110***** 111111010000zzzz	Dz ->MACL	1	-
DCT PLDS Dz, MACL	111110***** 111111100000zzzz	If DC=1, Dz ->MACL	1	-
DCF PLDS Dz, MACL	111110***** 111111110000zzzz	If DC=0, Dz ->MACL	1	-

命令	命令コード	動作	実行 ステート	DC
PADDC Sx, Sy, Dz	111110***** 10110000xyyzzzz	Sx+Sy+DC ->Dz キャリー ->DC	1	キャリー
PSUBC Sx, Sy, Dz	111110***** 10100000xyyzzzz	Sx-Sy-DC ->Dz ボロー ->DC	1	ボロー
PCMP Sx, Sy	111110***** 10000100xyy0000	Sx-Sy ->DC を更新	1	*
PABS Sx, Dz	111110***** 10001000xx00zzzz	If Sx<0, 0-Sx ->Dz If Sx>=0, Sx->Dz	1	*
PABS Sy, Dz	111110***** 101010000yyzzzz	If Sy<0, 0-Sy ->Dz If Sy>=0, Sy ->Dz	1	*
PRND Sx, Dz	111110***** 10011000xx00zzzz	Sx+h'00008000 ->Dz h'0000 ->Dz の LSW	1	*
PRND Sy, Dz	111110***** 101110000yyzzzz	Sy+h'00008000 ->Dz h'0000 ->Dz の LSW	1	*

【注】 \* 表 3.19 を参照。

## 3.6.5 DSP モードでのオペレーションコードマップ

DSP モードで拡張される命令コードを含んだオペレーションコードマップを表 3.40 に示します。

表 3.40 オペレーションコードマップ

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011~1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
0000	Rn	Fx	0000				
0000	Rn	Fx	0001				
0000	Rn	00MD	0010	STC SR, Rn	STC GBR, Rn	STC VBR, Rn	STC SSR, Rn
0000	Rn	01MD	0010	STC SPC, Rn	STC MOD, Rn	STC RS, Rn	STC RE, Rn
0000	Rn	10MD	0010	STC R0_BANK, Rn	STC R1_BANK, Rn	STC R2_BANK, Rn	STC R3_BANK, Rn
0000	Rn	11MD	0010	STC R4_BANK, Rn	STC R5_BANK, Rn	STC R6_BANK, Rn	STC R7_BANK, Rn
0000	Rm	00MD	0011	BSRF Rm		BRAF Rm	
0000	Rm	10MD	0011	PREF @Rm			
0000	Rn	Rm	01MD	MOV.B Rm, @(R0, Rn)	MOV.W Rm, @(R0, Rn)	MOV.L Rm, @(R0, Rn)	MUL.L Rm, Rn
0000	0000	00MD	1000	CLRT	SETT	CLRMAC	LDTLB
0000	0000	01MD	1000	CLRS	SETS		
0000	0000	10MD	1000				
0000	0000	11MD	1000				
0000	0000	Fx	1001	NOP	DIV0U		
0000	0000	Fx	1010				
0000	0000	Fx	1011	RTS	SLEEP	RTE	
0000	Rn	Fx	1000				
0000	Rn	Fx	1001			MOVT Rn	
0000	Rn	00MD	1010	STS MACH, Rn	STS MACL, Rn	STS PR, Rn	
0000	Rn	01MD	1010			STS DSR, Rn	STS A0, Rn
0000	Rn	10MD	1010	STS X0, Rn	STS X1, Rn	STS Y0, Rn	STS Y1, Rn
0000	Rn	Fx	1011				
0000	Rn	Rm	11MD	MOV. B @(R0, Rm), Rn	MOV.W @(R0, Rm), Rn	MOV.L @(R0, Rm), Rn	MAC.L @Rm+, @Rn+
0001	Rn	Rm	disp	MOV.L Rm, @(disp:4, Rn)			
0010	Rn	Rm	00MD	MOV.B Rm, @Rn	MOV.W Rm, @Rn	MOV.L Rm, @Rn	
0010	Rn	Rm	01MD	MOV.B Rm, @-Rn	MOV.W Rm, @-Rn	MOV.L Rm, @-Rn	DIV0S Rm, Rn
0010	Rn	Rm	10MD	TST Rm, Rn	AND Rm, Rn	XOR Rm, Rn	OR Rm, Rn
0010	Rn	Rm	11MD	CMP/STR Rm, Rn	XTRCT Rm, Rn	MULU.W Rm, Rn	MULSW Rm, Rn
0011	Rn	Rm	00MD	CMP/EQ Rm, Rn		CMP/HS Rm, Rn	CMP/GE Rm, Rn
0011	Rn	Rm	01MD	DIV1 Rm, Rn	DMULU.L Rm, Rn	CMP/HI Rm, Rn	CMP/GT Rm, Rn
0011	Rn	Rm	10MD	SUB Rm, Rn		SUBC Rm, Rn	SUBV Rm, Rn



命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011~1111
MSB	LSB			MD: 00	MD: 01	MD: 10	MD: 11
0011	Rn	Rm	11MD	ADD Rm, Rn	DMULS.L Rm, Rn	ADDC Rm, Rn	ADDV Rm, Rn
0100	Rn	Fx	0000	SHLL Rn	DT Rn	SHAL Rn	
0100	Rn	Fx	0001	SHLR Rn	CMP/PZ Rn	SHAR Rn	
0100	Rn	Fx	0010	STS.L MACH, @-Rn	STS.L MACL, @-Rn	STS.L PR, @-Rn	
0100	Rn	00MD	0011	STC.L SR, @-Rn	STC.L GBR, @-Rn	STC.L VBR, @-Rn	STC.L SSR, @-Rn
0100	Rn	01MD	0011	STC.L SPC, @-Rn	STC.L MOD, @-Rn	STC.L RS, @-Rn	STC.L RE, @-Rn
0100	Rn	10MD	0011	STC.L R0_BANK, @-Rn	STC.L R1_BANK, @-Rn	STC.L R2_BANK, @-Rn	STC.L R3_BANK, @-Rn
0100	Rn	11MD	0011	STC.L R4_BANK, @-Rn	STC.L R5_BANK, @-Rn	STC.L R6_BANK, @-Rn	STC.L R7_BANK, @-Rn
0100	Rn	Fx	0100	ROTL Rn	SETRC Rn	ROTCL Rn	
0100	Rn	Fx	0101	ROTR Rn	CMP/PL Rn	ROTCR Rn	
0100	Rm	00MD	0110	LDS.L @Rm+, MACH	LDS.L @Rm+, MACL	LDS.L @Rm+, PR	
0100	Rm	01MD	0110			LDS.L @Rm+, DSR	LDS.L @Rm+, A0
0100	Rm	10MD	0110	LDS.L @Rm+, X0	LDS.L @Rm+, X1	LDS.L @Rm+, Y0	LDS.L @Rm+, Y1
0100	Rm	00MD	0111	LDC.L @Rm+, SR	LDC.L @Rm+, GBR	LDC.L @Rm+, VBR	LDC.L @Rm+, SSR
0100	Rm	01MD	0111	LDC.L @Rm+, SPC	LDC.L @Rm+, MOD	LDC.L @Rm+, RS	LDC.L @Rm+, RE
0100	Rm	10MD	0111	LDC.L @Rm+, R0_BANK	LDC.L @Rm+, R1_BANK	LDC.L @Rm+, R2_BANK	LDC.L @Rm+, R3_BANK
0100	Rm	11MD	0111	LDC.L @Rm+, R4_BANK	LDC.L @Rm+, R5_BANK	LDC.L @Rm+, R6_BANK	LDC.L @Rm+, R7_BANK
0100	Rn	Fx	1000	SHLL2 Rn	SHLL8 Rn	SHLL16 Rn	
0100	Rn	Fx	1001	SHLR2 Rn	SHLR8 Rn	SHLR16 Rn	
0100	Rm	00MD	1010	LDS Rm, MACH	LDS Rm, MACL	LDS Rm, PR	
0100	Rm	01MD	1010			LDS Rm, DSR	LDS Rm, A0
0100	Rm	10MD	1010	LDS Rm, X0	LDS Rm, X1	LDS Rm, Y0	LDS Rm, Y1
0100	Rm/Rn	Fx	1011	JSR @Rm	TAS.B @Rn	JMP @Rm	
0100	Rn	Rm	1100	SHAD Rm, Rn			
0100	Rn	Rm	1101	SHLD Rm, Rn			
0100	Rm	00MD	1110	LDC Rm, SR	LDC Rm, GBR	LDC Rm, VBR	LDC Rm, SSR
0100	Rm	01MD	1110	LDC Rm, SPC	LDC Rm, MOD	LDC Rm, RS	LDC Rm, RE
0100	Rm	10MD	1110	LDC Rm, R0_BANK	LDC Rm, R1_BANK	LDC Rm, R2_BANK	LDC Rm, R3_BANK
0100	Rm	11MD	1110	LDC Rm, R4_BANK	LDC Rm, R5_BANK	LDC Rm, R6_BANK	LDC Rm, R7_BANK
0100	Rn	Rm	1111	MAC.W @Rm+, @Rn+			
0101	Rn	Rm	disp	MOV.L @(disp:4, Rm), Rn			

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011~1111
MSB	LSB			MD: 00	MD: 01	MD: 10	MD: 11
0110	Rn	Rm	00MD	MOV.B @Rm, Rn	MOV.W @Rm, Rn	MOV.L @Rm, Rn	MOV Rm, Rn
0110	Rn	Rm	01MD	MOV.B @Rm+, Rn	MOV.W @Rm+, Rn	MOV.L @Rm+, Rn	NOT Rm, Rn
0110	Rn	Rm	10MD	SWAP.B Rm, Rn	SWAP.W Rm, Rn	NEGC Rm, Rn	NEG Rm, Rn
0110	Rn	Rm	11MD	EXTU.B Rm, Rn	EXTU.W Rm, Rn	EXTS.B Rm, Rn	EXTS.W Rm, Rn
0111	Rn	imm		ADD #imm: 8, Rn			
1000	00MD	Rn	disp	MOV.B	MOV.W	SETRC #imm	
		imm		R0, @(disp: 4, Rn)	R0, @(disp: 4, Rn)		
1000	01MD	Rm	disp	MOV.B @ (disp: 4, Rm), R0	MOV.W @ (disp: 4, Rm), R0		
1000	10MD	imm/disp		CMP/EQ #imm: 8, R0	BT disp: 8		BF disp: 8
1000	11MD	imm/disp		LDRS @ (disp: 8, PC)	BT/S disp: 8	LDRE @ (disp: 8, PC)	BF/S disp: 8
1001	Rn	disp		MOV.W @ (disp: 8, PC), Rn			
1010	disp			BRA disp: 12			
1011	disp			BSR disp: 12			
1100	00MD	imm/disp		MOV.B	MOV.W	MOV.L	TRAPA #imm: 8
				R0, @(disp: 8, GBR)	R0, @(disp: 8, GBR)	R0, @(disp: 8, GBR)	
1100	01MD	disp		MOV.B @ (disp: 8, GBR), R0	MOV.W @ (disp: 8, GBR), R0	MOV.L @ (disp: 8, GBR), R0	MOVA @ (disp: 8, PC), R0
1100	10MD	imm		TST #imm: 8, R0	AND #imm: 8, R0	XOR #imm: 8, R0	OR #imm: 8, R0
1100	11MD	imm		TST.B #imm: 8, @(R0, GBR)	AND.B #imm: 8, @(R0, GBR)	XOR.B #imm: 8, @(R0, GBR)	OR.B #imm: 8, @(R0, GBR)
1101	Rn	disp		MOV.L @ (disp: 8, PC), Rn			
1110	Rn	imm		MOV #imm: 8, Rn			
1111	00**	*****		MOVX.W, MOVY.W デブルデータ転送命令			
1111	01**	*****		MOV.S.W, MOV.S.L シングルデータ転送命令			
1111	10**	*****		MOVX.W, MOVY.W デブルデータ転送命令; DSP 並列演算命令付き(32ビット命令)			
1111	11**	*****					

- 【注】
1. 詳細は「SH-3、SH-3E、SH3-DSP ソフトウェアマニュアル」を参照してください。
  2. 網掛けの命令コードは、DSP 拡張命令です。SR.DSP=1 の場合のみ使用可能です。

---

## 4. 例外処理

---

例外処理とは、通常のプログラムの処理から離れて、通常とは異なる処理をすることをいいます。たとえば、定義されていない命令コードを実行しようとしたり、CPU の処理モードによって保護されている命令を実行しようとした場合に、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するなどの制御が必要になります。また、LSI に内蔵されたモジュールや LSI 外部に接続されたモジュールから CPU に対して要求された処理の制御が必要になる場合もあります。

このような機能をサポートするために、ユーザが作成した例外処理ルーチンに制御を移し、その処置をすることを例外処理と呼びます。本 LSI では、例外処理の要求を一般例外および割り込みの 2 種類に分類して処理します。ユーザは、例外処理の要求に応じた例外処理ルーチンを配置することで、必要な処理を実行した後、元のプログラムの実行を再開することができます。

リセットの入力も、通常のプログラムの実行を中断して、レジスタの初期化を行った後にリセットベクタへ制御の流れを移します。この動作も例外処理の一つとみなすことができます。本章では、その動作を概説します。ただし、本章での「例外処理」とは、一般例外および割り込みに対する処理を表します。

また、本章では、割り込みに関しては割り込み要求に対する処理のみを記述しています。割り込み要求の発生方法に関しては、「第 8 章 割り込みコントローラ (INTC)」を参照してください。

### 4.1 レジスタの説明

例外処理で使用するレジスタには、以下の 5 つがあります。初期値が不定のレジスタは、ソフトウェアにより初期化してください。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- TRAPA例外レジスタ (TRA)
- 例外事象レジスタ (EXPEVT)
- 割り込み事象レジスタ (INTEVT)
- 割り込み事象レジスタ2 (INTEVT2)
- 例外アドレスレジスタ (TEA)

各レジスタのビット構成を図 4.1 に示します。

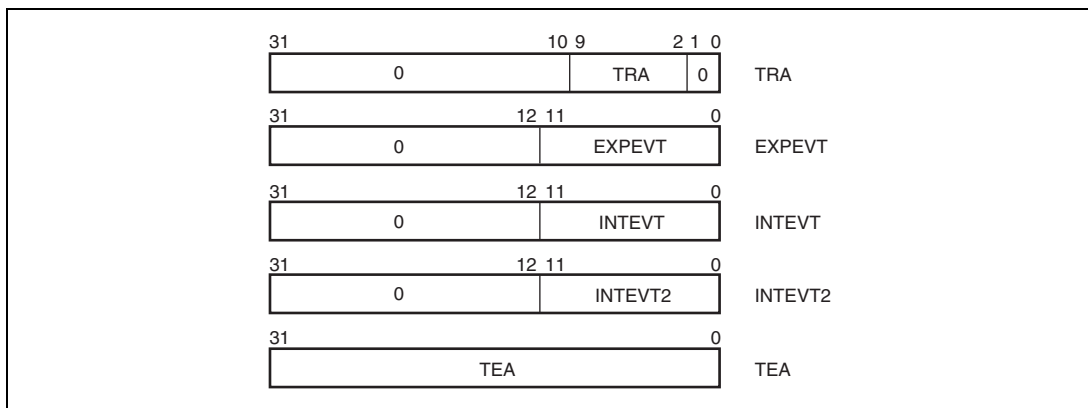


図 4.1 レジスタのビット構成

#### 4.1.1 TRAPA 例外レジスタ (TRA)

TRA は、H'FFFFFFD0 番地に配置されていて、TRAPA 命令の 8 ビットイミディエイトデータ (imm) から構成されています。TRA は、TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA は、ソフトウェアからも変更が可能です。ビット 9～2 のみが書き換えできます。

ビット	ビット名	初期値	R/W	説 明
31～10	—	—	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9～2	TRA	—	R/W	8 ビットイミディエイトデータ
1	—	—	R	リザーブビット
0	—	—	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

#### 4.1.2 例外事象レジスタ (EXPEVT)

EXPEVT は、H'FFFF FFD4 番地に配置されていて、例外コード 12 ビットから構成されています。EXPEVT に設置される例外コードは、リセットと一般例外事象による例外コードです。例外コードは、例外発生時にハードウェアにより自動的に設定されます。EXPEVT は、ソフトウェアからも変更が可能です。ビット 11～ビット 0 のみが書き換えできます。

ビット	ビット名	初期値	R/W	説 明
31～12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11～0	EXPEVT	*	R/W	12 ビットの例外コード

【注】 \* パワーオンリセット時には H'000 が、マニュアルリセット時には H'020 が設定されます。

### 4.1.3 割り込み事象レジスタ (INTEVT)

INTEVT は、H'FFFFFFD8 番地に配置されていて、例外コードまたは割り込み優先順位を示すコードを格納します。割り込み発生により、どちらがセットされるかは、割り込み要因によって異なります（詳細は、「8.3.5 割り込み例外処理および優先順位」を参照）。例外コードおよび割り込み優先順位コードは、例外発生時にハードウェアにより自動的に設定されます。INTEVT は、ソフトウェアからも変更が可能です。ビット 11～ビット 0 のみが書き換えられます。

ビット	ビット名	初期値	R/W	説明
31～12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11～0	INTEVT	—	R/W	12 ビットの割り込み要求による例外コード

### 4.1.4 割り込み事象レジスタ 2 (INTEVT2)

INTEVT2 は、H'A400 0000 番地に配置されていて、例外コードを格納します。INTEVT2 に設定される例外コードは、割り込み要求による例外コードです。例外コードは、例外発生時にハードウェアにより自動的に設定されます。INTEVT2 は、ソフトウェアからは変更できません。

ビット	ビット名	初期値	R/W	説明
31～12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11～0	INTEVT2	—	R	12 ビットの割り込み要求による例外コード

### 4.1.5 例外アドレスレジスタ (TEA)

TEA は、H'FFFFFFFC 番地に配置されていて、メモリアクセスに関連した例外が発生した際に、例外を発生させた論理アドレスが格納されます。TEA は、ソフトウェアからも変更できます。

ビット	ビット名	初期値	R/W	説明
31～0	TEA	0	R/W	例外を発生させた論理アドレス

## 4.2 例外処理の機能

### 4.2.1 例外処理の流れ

例外処理では、例外処理の後に復帰すべきアドレスおよびステータスレジスタ（SR）の内容をそれぞれ退避プログラムカウンタ（SPC）および退避ステータスレジスタ（SSR）に退避し、ベクタアドレスに従って対応する例外処理ルーチンに制御を渡し、実行します。例外発生時の状態に復帰する場合は、例外処理ルーチンで復帰命令（RTE）を実行します。これにより SSR の内容が SR に回復され、例外発生時の状態に戻り、その後 SPC に待避されたアドレスに制御を移します。基本的な例外処理の流れは、次のとおりです。

例外要求が発生し、CPU がそれを受け付けると、次の 1～8 が実行されます。

1. 例外処理の後、復帰すべき命令のアドレスが SPC に退避されます。
2. SR の内容が、SSR に退避されます。
3. SR のブロックビット（BL）が 1 に設定され、後続の例外要求がマスクされます。
4. SR のモードビット（MD）が 1 に設定され、特権モードに切り換わります。
5. SR のレジスタバンクビット（RB）が 1 に設定されます。
6. 例外要因が一般例外の場合は、要因の例外コードが EXPEVT に、例外要因が割り込みの場合は要因の例外コードが INTEVT および INTEVT2 に書き込まれます。
7. TRAPA 命令を実行した場合は、TRA に TRAPA 命令で指定した 8 ビットイミディエイト値が設定されます。また、メモリアクセスに関する例外の場合は、TEA に例外を発生した論理アドレスが書き込まれます\*<sup>1</sup>。
8. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンの命令が実行されます。

1～8 は連続して行われ、後述の多重例外受け付けの場合を除き、この期間で別の例外を受け付けることはありません。

一般例外の例外処理ルーチンでは EXPEVT の値から、割り込み処理の例外処理ルーチンでは INTEVT または INTEVT2 の値から例外要因を判定し、必要な例外処理を行ってください。例外処理ルーチンの処理が終了すると、RTE 命令を実行することでプログラムの実行を再開できます。RTE 命令では、次の 1～3 が実行されます。

1. SSR に待避された内容を SR に回復し、例外処理前の処理状態に戻ります。
2. RTE 命令の遅延スロットの命令を実行します。\*<sup>2</sup>
3. SPC に待避されたアドレスへ制御を移します。

1～3 は連続して行われ、この期間で別の例外を受け付けることはありません。また、RTE 命令の実行前に SPC や SSR を操作することで、例外処理前とは異なった状態に復帰することもできます。

**【注】** \*<sup>1</sup> MMU 例外が生じた場合は、MMU 内のレジスタが更新されます。

\*<sup>2</sup> RTE 遅延スロット命令が実行される CPU 処理モードに関しては、「4.5 使用上の注意事項」を参照してください。

## 4.2.2 例外処理ベクタアドレス

一般例外の割り込みのベクタアドレスは、ベクタベースアドレスにベクタオフセットの値を加えた値で決めます。一般例外のベクタオフセットは、TLB ミス例外時以外は H'0000 0100 です。割り込みのベクタアドレスのオフセットは、H'0000 0600 です。ベクタベースアドレスは、ベクタベースレジスタ (VBR) にソフトウェアで設定します。ベクタアドレスは、固定物理アドレスエリア (P1、P2) に設定してください。

## 4.2.3 例外コード

各例外事象を区別するために例外コードが決められており、リセットと一般例外のときには EXPEVT のビット 11~0 に、割り込み要求のときには INTEVT および INTEVT2 に書き込まれます。割り込みの例外コード (要因コード) の詳細は、「第 8 章 割り込みコントローラ (INTC)」を参照してください。リセットおよび一般例外に対する例外コードを表 4.1 に示します。

## 4.2.4 例外要求と BL ビットの関係 (多重例外防止)

SR の BL ビットは、リセットや例外の受け付けで 1 に設定されます。BL ビットが 1 のときは、一般例外の割り込みの受け付けが次のように制限されて、多重に例外が受け付けられるのを防止します。

割り込みの要求は、BL ビットが 1 の間は保留にされます。ユーザが BL ビットを 0 にした時点で割り込み要求が受け付けられます。ただし、CPU が低消費電力状態にある場合は、SR の BL ビットが 1 であっても、割り込みを受け付け、低消費電力状態から復帰します。

DMA アドレスエラーも同様に BL ビットが 1 の間は保留にされ、BL ビットが 0 になった時点で例外要求が受け付けられます。一方、BL ビットが 1 の期間中に生じたユーザブレイク要求は無視され、保留されません。したがって、BL ビットを 0 にしても、要求された例外は、受け付けられません。

BL ビットが 1 の期間に DMA アドレスエラーおよびユーザブレイク以外の一般例外要求が生じた場合には、CPU はリセット後の状態と同じになり、リセットベクタ (H'A0000000) へ処理を移行します (多重例外)。ただし、これは通常のリセットとは異なり、CPU 以外のモジュールは初期化されず、EXPEVT、SPC、および SSR の値は、不定となります。また、LSI 外部でこの状態を検出することもできません。

例外処理を多重に受け付け可能にするためには、例外受け付け後に BL ビットが 1 の間に SPC と SSR を退避させ、その後 SR の BL ビットを 0 でクリアします。SPC と SSR を回復する場合には、これらを回復する前に SR の BL ビットを 1 に設定してください。

## 4.2.5 例外要因の受け付けタイミングと優先順位

### (1) 命令同期型・命令非同期型例外要求

リセットおよび割り込みは、プログラムの流れに関係無く非同期に入る例外要求です。一般例外の内、DMA アドレスエラーと或る条件下でのユーザブレイクも非同期の例外要求となります。これらの例外要求は、その要求をどの命令で受け付けるかを予測することはできません。

その他の一般例外は、その例外要求に対応する命令が一意に決定します。

### (2) 再実行型、完了型例外

すべての例外は、再実行型および完了型の2種類に分類されます。再実行型の例外を受け付けると、例外を受け付けた命令の実行を中断し、そのアドレスを SPC に待避します。例外処理から復帰すると、例外を生じた命令から実行を再開します。完了型例外では、例外を受け付けた命令の実行を完了し、次の命令のアドレスを待避して例外処理を実行します。

ただし、遅延分岐命令と遅延スロットの間では、次のように処理されます。遅延スロットで検出された再実行型例外は、遅延分岐命令実行前に受け付けられます。遅延分岐命令または遅延スロットで検出された完了型例外は、遅延分岐命令実行後、分岐先命令の実行前に受け付けられます。ここでいう遅延スロットとは、遅延無条件分岐命令の次の命令や、遅延条件分岐命令が成立するときの次の命令を示します。遅延条件分岐で分岐しなかった場合は、通常と同じように処理されます。

### (3) 優先順位と判定順位

すべての例外要求は、2つ以上の例外が同時に発生したときに受け付ける優先順位が決められています。リセット、一般例外、および割り込みの例外要求は、ここで挙げられた順位で優先順位が高くなっています。リセットは、CPU がいかなる状態にあろうと受け付けられます。また、割り込みは、リセットや一般例外の要求が無い場合に限り受け付けられます。

同一の命令で複数の一般例外要求が生じる場合は、次の順序で判定されます。

1. 直前の命令で生じた完了型例外\*
2. 命令実行前ユーザブレイク 【再実行型】
3. 命令フェッチに関する例外 (CPUアドレスエラーおよびMMU関連例外) 【再実行型】
4. 命令デコードの結果生じる例外 (一般不当命令例外、スロット不当命令例外【再実行型】、および無条件トラップ【完了型】)
5. データアクセスに関する例外 (CPUアドレスエラーおよびMMU関連例外) 【再実行型】
6. 無条件トラップ【完了型】
7. 命令実行前以外のユーザブレイク【完了型】
8. DMAアドレスエラー【完了型】

【注】 \* 或る命令で完了型例外を受けつけた場合は、次の命令の実行前に例外処理に移行しますが、この処理は次の命令で生じる例外の判定を行う前に優先して処理されます。

一度に受け付けることのできる例外要求は1個ですが、順次、例外要求を受け付けていくことですべての例外要求を処理することができます。



表 4.1 例外事象一覧

例外種別	実行命令の終了状態	例外事象	優先順位 <sup>*1</sup>	判定順位	BL=1のときの処理	例外要因コード	ベクタオフセット
リセット (命令非同期)	中断	パワーオンリセット	1	—	リセット	H'000	—
		マニュアルリセット	1	—	リセット	H'020	—
		H-UDI リセット	1	1	リセット	H'000	—
一般例外 (命令同期)	再実行	ユーザブレイク (命令実行前)	2	0	無視	H'1E0	H'00000100
		CPU アドレスエラー (命令アクセス) <sup>*4</sup>	2	1	リセット	H'0E0	H'00000100
		<sup>*5</sup> TLB ミス (命令アクセス) <sup>*4</sup>	2	1-1	リセット	H'040	H'00000400
		TLB 無効 (命令アクセス) <sup>*4</sup>	2	1-2	リセット	H'040	H'00000100
		TLB 保護違反 (命令アクセス) <sup>*4</sup>	2	1-3	リセット	H'0A0	H'00000100
		一般不当命令例外	2	2	リセット	H'180	H'00000100
		スロット不当命令例外	2	2	リセット	H'1A0	H'00000100
	完了	無条件トラップ (TRAPA 命令)	2	4	リセット	H'160	H'00000100
	再実行	CPU アドレスエラー (データ読み出し/書き込み) <sup>*4</sup>	2	3	リセット	H'0E0/H'100	H'00000100
		<sup>*5</sup> TLB ミス (データ読み出し/書き込み) <sup>*4</sup>	2	3-1	リセット	H'040/H'060	H'00000400
		TLB 無効 (データ読み出し/書き込み) <sup>*4</sup>	2	3-2	リセット	H'040/H'060	H'00000100
		TLB 保護違反 (データ読み出し/書き込み) <sup>*4</sup>	2	3-3	リセット	H'0A0/H'0C0	H'00000100
		初期ページ書き込み (データ書き込み) <sup>*4</sup>	2	3-4	リセット	H'080	H'00000100
完了	ユーザブレイク (命令実行後、アドレス)	2	5	無視	H'1E0	H'00000100	
一般例外 (命令非同期)	完了	ユーザブレイク (データブレイク、I-BUS ブレイク)	2	5	無視	H'1E0	H'00000100
		DMA アドレスエラー	2	6	保留	H'5C0	H'00000100
割り込み (命令非同期)	完了	各種割り込み要求	3	— <sup>*2</sup>	保留	— <sup>*3</sup>	H'00000600

【注】 \*1 優先順位は、高い方から低い方に 1 から 3 で指定されます。リセットは、すべての要求に優先します。割り込みは、一般例外要求が無い場合のみ受け付けることができます。

\*2 複数の割り込み要因間の優先順位は、「第 8 章 割り込みコントローラ (INTC)」を参照してください。

\*3 割り込みを受理しても割り込み要因レジスタ (EXPEVT) の値は変化せず、割り込み要因レジスタ (INTEVT, INTEVT2) に割り込み要求元を示すコードが設定されます。「第 8 章 割り込みコントローラ (INTC)」を参照してください。

\*4 リピートループ中の特定の個所でこれらの例外が発生すると特殊な例外コードおよび特殊なベクタオフセットになる場合があります。

\*5 これらの例外コードは、メモリマネジメントユニット (MMU) を使用する場合に有効です。

## 4.3 個別例外の動作説明

個別の例外処理動作について、発生条件および発生時のプロセッサの動作を説明します。本節では、リセットおよび一般例外について述べます。割り込みの動作に関しては、「第8章 割り込みコントローラ (INTC)」を参照してください。

### 4.3.1 リセット

#### (1) パワーオンリセット

条件：

パワーオンリセット要求

動作：

EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ (H'A0000000) に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

#### (2) マニュアルリセット

条件：

マニュアルリセット要求

動作：

EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行ったのちリセットベクタ (H'A0000000) に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

#### (3) H-UDI リセット

条件：

H-UDIリセットコマンド入力 (「23.4.4 H-UDIリセット」を参照してください。)

動作：

EXPEVTにH'000をセットし、ベクタベースレジスタ (VBR)、ステータスレジスタ (SR) の初期化を行ないリセットベクタ (H'A0000000) に分岐します。初期化によりVBRはH'00000000にクリアされます。SRは、MD、RB、BLビットが1にセットされ、DSPビットが0にクリア、割り込みマスクビット (I3~I0) が1111にセットされ、CPUおよび内蔵周辺モジュールの初期化を行います。

詳細は、各章のレジスタの説明を参照してください。

### 4.3.2 一般例外

#### (1) CPU アドレスエラー

条件：

- 奇数アドレス ( $4n+1$ 、 $4n+3$ ) から命令フェッチ
- ワードデータをワード境界以外 ( $4n+1$ 、 $4n+3$ ) からアクセス
- ロングワードデータをロングワードデータ境界以外 ( $4n+1$ 、 $4n+2$ 、 $4n+3$ ) からアクセス
- ユーザモードで論理空間のH'80000000~H'FFFFFFFの領域をアクセス

種別：

命令同期、再実行型

待避アドレス：

命令フェッチの場合： 本例外を発生させた命令フェッチ先のアドレス。

データアクセスの場合： 本例外を発生させた命令のアドレス。

ただし、遅延スロットにある場合には、遅延分岐命令のアドレス。

例外コード：

読み出しで例外が発生した場合： H'0E0

書き込みで発生した場合： H'100

特記：

本例外を発生させた論理アドレス (32ビット) をTEAに設定します。

#### (2) 一般不当命令例外

条件：

- 遅延分岐命令の遅延スロット以外で、命令の定義されていない命令コード (未定義コード) を実行した場合  
遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

【注】 未定義コードについては、第2章の「表 2.12 オペレーションコードマップ」を参照してください。ただし、命令コード H'FC00~H'FFFF の未定義コードの例外処理動作のみを保証し、その他の未定義コードでは動作を保証しません。

- 遅延スロット以外にある特権命令をユーザモードでデコードした場合

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC/STCでGBRをアクセスする命令は特権命令ではありません。

種別：

命令同期、再実行型

待避アドレス：

本例外を発生させた命令のアドレス

例外コード：

H'180

特記：

なし

### (3) スロット不当命令例外

条件：

- 遅延スロットにある未定義コードをデコードした場合

遅延分岐命令：JMP、JSR、BRA、BRA<sub>F</sub>、BSR、BSR<sub>F</sub>、RTS、RTE、BT/S、BF/S

- 遅延スロットにある特権命令をユーザモードでデコードした場合

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC/STCでGBRにアクセスする命令は、特権命令ではありません。

- 遅延スロット内でPCを書き換える命令をデコードした場合

PCを書き換える命令：JMP、JSR、BRA、BRA<sub>F</sub>、BSR、BSR<sub>F</sub>、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、

LDC Rm,SR、LDC.L @Rm+,SR

種別：

命令同期、再実行型

待避アドレス：

遅延分岐命令が配置されたアドレス

例外コード：

H'1A0

特記：

なし

### (4) 無条件トラップ

条件：

TRAPA命令の実行

種別：

命令同期、完了型

待避アドレス：

TRAPA命令の次命令のアドレス

例外コード：

H'160

特記：

完了型の例外のため、TRAPA命令の次命令のアドレスをSPCに退避します。TRAPA命令中の8ビットのイミディエイト値をTRA[9:2]に設定します。

#### (5) ユーザブレイクポイントトラップ

条件：

ユーザブレイクコントローラに設定したブレイク条件が成立した場合

種別：

命令実行前ブレイク（Lバス）の場合： 命令同期、再実行型。

オペランドブレイク（Lバス）の場合： 命令同期、完了型。

データブレイク（Lバス）の場合： 命令非同期、完了型。

Iバスでのブレイクの場合： 命令非同期、完了型。

待避アドレス：

再実行型の場合： ブレイク成立命令のアドレス。

ただし、遅延スロットにある場合には遅延分岐命令のアドレス。

完了型の場合： ブレイク要求を受け付けた命令の次命令のアドレス。

ただし、遅延スロットにある場合には、遅延分岐命令の分岐先のアドレス。

例外コード：

H'1E0

特記：

ユーザブレイクコントローラの詳細は、「第9章 ユーザブレイクコントローラ（UBC）」を参照してください。

#### (6) DMA アドレスエラー

条件：

- ワードデータをワード境界以外（ $4n+1$ 、 $4n+3$ ）からアクセス
- ロングワードデータをロングワードデータ境界以外（ $4n+1$ 、 $4n+2$ 、 $4n+3$ ）からアクセス

種別：

命令非同期、完了型

待避アドレス：

本例外を受け付けた命令の次命令のアドレスが退避されます。ただし、遅延スロットにある場合には、遅延分岐命令の分岐先のアドレスが退避されます。

例外コード：

H'5C0

特記：

ダイレクトメモリ アクセスコントローラ（DMAC）に上記条件に該当する不正なアドレスが設定され、実際の転送動作が行われた際に例外要求が生じます。DMACの転送動作は、CPUの命令動作とは非同期に行われるため、例外要求も命令非同期になります。DMACの動作の詳細は、「第13章 ダイレクトメモリアクセスコントローラ（DMAC）」を参照してください。

### 4.3.3 一般例外 (MMU 例外)

メモリマネージングユニット (MMU) のアドレス変換機構が有効な場合は、CPU アドレスエラーの判定に続いて MMU 例外の判定が行われます。MMU 例外は、4 種類定義されており、TLB ミス例外、TLB 無効例外、TLB 保護例外、および初期ページ書き込み例外の順番で判定が行われます。

TLB ミス例外は、例外要因の判定を容易にするため、ベクタオフセットを H'00000400 とし、通常の一般例外とベクタオフセットを分けています。

MMU 例外の動作の詳細に関しては、「第 5 章 メモリマネジメントユニット (MMU)」を参照してください。

#### (1) TLB ミス例外

条件：

TLB のアドレス比較の結果、アドレスが不一致だった場合

種別：

命令同期、再実行型

待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には、遅延分岐命令のアドレス

例外コード：

読み出しで例外が発生した場合： H'040

書き込みで発生した場合： H'060

特記：

本例外を発生させた論理アドレス (32ビット) を TEA にセットし、MMU レジスタの更新が行われます。TLB ミス例外のベクタアドレスは、VBR+H'0400 になります。TLB ミス処理高速化のために、他の例外とオフセットを分けています。

#### (2) TLB 無効例外

条件：

TLB のアドレス比較の結果一致したが、V=0 であった場合

種別：

命令同期、再実行型

待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には、遅延分岐命令のアドレス

例外コード：

読み出しで例外が発生した場合： H'040

書き込みで発生した場合： H'060

特記：

本例外を発生させた論理アドレス（32ビット）をTEAにセットし、MMUレジスタの更新が行われます。

### (3) TLB 保護例外

条件：

アクセスがTLBの保護情報（PRビット）に反する場合

種別：

命令同期、再実行型

待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には遅延分岐命令のアドレス。

例外コード：

読み出しで例外が発生した場合： H'0A0

書き込みで発生した場合： H'0C0

特記：

本例外を発生させた論理アドレス（32ビット）をTEAにセットし、MMUレジスタの更新が行われます。

### (4) 初期ページ書き込み例外

条件：

データ書き込みアクセスでTLBにヒットしたが、D=0であった場合

種別：

命令同期、再実行型

待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には遅延分岐命令のアドレス。

例外コード：

H'080

特記：

本例外を発生させた論理アドレス（32ビット）をTEAにセットし、MMUレジスタの更新が行われます。

## 4.4 DSP 拡張機能有効時の例外処理

DSP 拡張機能が有効（SR レジスタの DSP ビットが 1）のとき、例外処理の受け付け条件や例外処理が変更されるものがあります。

### 4.4.1 不当命令例外、スロット不当命令例外

DSP モードでは、DSP 拡張命令を実行することが可能になります。逆に、SR レジスタの DSP ビットが 0 のときにこれらの命令コードを実行しようとする、不当命令例外になります。

また、DSP モードでは、SR レジスタに対する STC および LDC 命令がユーザモードでも実行可能になります（ただし、更新可能なビットは DSP 拡張ビットの内、RC[11:0]、DMX、DMY、および RF[1:0]のみです）。

### 4.4.2 CPU アドレスエラー

DSP モードでは、P2 空間の一部（Uxy 領域：H'A5000000～H'A5FFFFFF）がユーザモードでもアクセスでき、CPU アドレスエラーが発生しません。

### 4.4.3 リピート制御中の例外

リピート制御中に発生する例外要求に対する扱いや例外を受け付けた際の処理は、通常の状態とは異なり、場合によっては例外を受け付けなかったり、受け付けても正しく復帰できなかったりする場合があります。この制約は、リピートカウンタが 1 以上で、リピート検出命令からリピート最終命令までの間の命令で生じる場合があります。本節では、この期間をリピート制御中と呼びます。以下に、リピートループ中の命令数が 4 以上、3、2、および 1 の場合のプログラム例を示します。本節では、リピート検出命令やその命令アドレスを RptDtct と記述します。同様に、リピート検出命令の 1,2,および 3 命令先の命令やその命令アドレスをそれぞれ RptDtct1, RptDtct2, および RptDtct3 と記述します。

また、下記例中の【A】、【B】、【C1】、および【C2】は、各種の制約が生じる命令を表します。「表 4.2 リピートループ中の命令位置と制約の種類」にその概要を示します。

表 4.2 リピートループ中の命令位置と制約の種類

命令位置	SPC* <sup>1</sup>	不当命令* <sup>2</sup>	割り込み、ブレーク等* <sup>3</sup>	CPU アドレスエラー* <sup>4</sup>
【A】				
【B】			保留	
【C1】		追加	保留	命令/データ
【C2】	不正	追加	保留	命令/データ

【注】 \*1 SR.RC[11:0]>=2 の場合に例外が発生すると、SPC に特殊なアドレスが設定されます。

\*2 SR.RC[11:0]>=1 の場合に不当命令になり得る命令種が増えます。

\*3 SR.RC[11:0]>=1 の場合に、割り込みやブレーク、DMA アドレスエラーの要求が保留されます。

\*4 SR.RC[11:0]>=1 の場合に、特殊な例外コードが設定されます。



- (例1) 4命令以上のリピートループ

```

        LDRS RptStart      ; 【A】
        LDRE RptDtct+4    ; 【A】
        SETRC #4          ; 【A】
        instr0            ; 【A】
RptStart: instr1         ; 【A】 【リピート開始命令】
        .....          ; 【A】
        .....          ; 【A】
RptDtct: RptDtct        ; 【B】 リピート最終命令から 3 命令前の命令がリピート検出命令に
                          ;      なります。
        RptDtct1         ; 【C1】
        RptDtct2         ; 【C2】
RptEnd: RptDtct3        ; 【C2】 【リピート最終命令】
        instrNext        ; 【A】

```

- (例2) 3命令リピートループ

```

        LDRS RptDtct+4    ; 【A】
        LDRE RptDtct+4    ; 【A】
        SETRC #4          ; 【A】
RptDtct: RptDtct        ; 【B】 リピート開始命令の直前の命令がリピート検出命令になりま
                          ;      す。
RptStart: RptDtct1       ; 【C1】 【リピート開始命令】
        RptDtct2         ; 【C2】
RptEnd: RptDtct3        ; 【C2】 【リピート最終命令】
        instrNext        ; 【A】

```

- (例3) 2命令リピートループ

```

        LDRS RptDtct+6    ; 【A】
        LDRE RptDtct+4    ; 【A】
        SETRC #4          ; 【A】
RptDtct: RptDtct        ; 【B】 リピート開始命令の直前の命令がリピート検出命令になりま
                          ;      す。
RptStart: RptDtct1       ; 【C1】 【リピート開始命令】
RptEnd: RptDtct2        ; 【C2】 【リピート最終命令】
        instrNext        ; 【A】

```

- (例4) 1命令リピートループ

```

LDRS RptDtct+8 ; 【A】
LDRE RptDtct+4 ; 【A】
SETRC #4 ; 【A】
RptDtct: RptDtct ; 【B】 リピート開始命令の直前の命令がリピート検出命令になります。
RptStart:
RptEnd: RptDtct1 ; 【C1】 【リピート開始命令】 == 【リピート最終命令】
instrNext ; 【A】

```

## (1) リピート制御中の例外で待避される SPC

リピート制御中に例外を受け付け、SRレジスタのリピートカウンタ (RC[11:0]) が2以上である場合は、待避されるアドレスが復帰すべき値を正しく示さない場合があります。また、例外処理から復帰した際にリピート制御を正しく再実行するには、その復帰アドレスはリピート検出命令以前である必要があります。したがって、リピート制御中に例外を受け付けた場合は、リピート検出命令での再実行型例外を除き、正しくリピート制御に復帰することはできません。

表 4.3 リピート制御中に生じた再実行型例外に対する SPC の値 (RC[11:0] ≥ 2 の場合)

例外発生命令	リピートループ中の命令数			
	1	2	3	≥4
RptDtct	RptDtct	RptDtct	RptDtct	RptDtct
RptDtct1	RptDtct1	RptDtct1	RptDtct1	RptDtct1
RptDtct2	-	RptDtct1	RptDtct1	RS-4
RptDtct3	-	-	RptDtct1	RS-2

【注】 ここでは、次のラベルを使用しています。

RptDtct: リピート検出命令のアドレス

RptDtct1: リピート検出命令の1命令後の命令アドレス (1,2,3命令リピートでは RptStart です。)

RptDtct2: リピート検出命令の2命令後の命令アドレス。

RptDtct3: リピート検出命令の3命令後の命令アドレス。

RS: リピート開始命令のアドレス。

表中の網掛けの個所で再実行型の例外処理がなされた場合は、本来待避されるべきアドレスと異なったアドレスが SPC に待避されます。RC[11:0]が1または0の場合は、正しいアドレスが待避されます。

## (2) リピート制御中の不当命令例外

リピート制御中の RptDtct1 以降の命令において下記の命令を使用すると一般不当命令例外を発生します。SPC に待避されるアドレスは「4.4.3 (1) リピート制御中の例外で待避される SPC」を参照してください。

- 分岐命令

BRA、BSR、BT、BF、BT/S、BF/S、BSRF、RTS、BRAf、RTE、JSR、JMP、TRAPA

- リピート制御命令

SETRC、LDRS、LDRE

- SR、RS、REに対するロード命令

LDC Rn,SR、LDC @Rn+,SR、LDC Rn,RE、LDC @Rn+,RE、LDC Rn,RS、LDC @Rn+,RS

【注】 1～3 命令のリピートループの場合はリピートループ中の全命令が、4 命令以上のリピートループの場合はリピート終了命令を含む 3 命令がこの制約の範囲となります。

### (3) リピート制御中に保留される例外要求

リピート制御中、割り込みや一部の例外要求はその受け付けを保留し、例外処理から復帰できない命令で例外を受け付けることを防止しています。リピートループのプログラム（例 1）～（例 4）を参照してください。【B】および【C】（【C1】または【C2】）と記した命令で発生した例外は、それぞれ次のように処理されます。

- 割り込み、DMAアドレスエラー

【B】の命令および【C】の命令とも、例外を受け付けず、また、要求も保存されません。次に【A】の命令を実行したときに改めて要求を検出し、受け付けます\*。プログラム（例1）～（例4）に示されるように、4 命令以下のリピートループの実行中には、割り込みおよびDMAアドレスエラーは受け付けられません。

【注】 \* CPU が受け付け可能な状態になるまで、割り込みコントローラ（INTC）やダイレクトメモリアクセスコントローラ（DMAC）で要求が保存されます。

- 実行前ユーザブ레이크

【B】の命令では受け付けられ、SPCに【B】の命令のアドレスがセットされます。【C】の命令では受け付けられませんが、要求は保存され、次に【A】の命令、あるいは【B】の命令が実行される際にその命令の実行前に受け付けられます。このときのSPCはその【A】あるいは【B】の命令のアドレスになります。

- 実行後ユーザブ레이크

【B】の命令、【C】の命令とも、例外は受け付けられませんが、要求は保存され、次に【A】の命令あるいは【B】の命令を実行する際に、その命令の実行前に受け付けられます。このときのSPCはその【A】あるいは【B】の命令のアドレスになります。

表 4.4 リピートループでの例外受け付けの制限

	B の命令	C の命令
割り込み	受け付けません	受け付けません
DMA アドレスエラー	受け付けません	受け付けません
実行前ユーザブ레이크	受け付けます	受け付けません
実行後ユーザブ레이크	受け付けません	受け付けません

#### (4) リピート制御中の CPU アドレスエラー

リピート制御中に CPU アドレスエラーが発生した場合は、例外を受けつけますが、リピートループ中であることを示す例外コード (H'070) が EXPEVT に設定されます。リピート検出命令の次命令からリピート最終命令においては命令アクセスおよびデータアクセスに対する例外がこの例外コードを生成します。

また、SPC に待避されるアドレスは「4.4.3 (1) リピート制御中の例外で待避される SPC」に準じて設定されます。

この例外が生じた場合は、例外処理ののちリピート制御に正しく復帰することができません。リピートループを正しく実行するには、リピート制御中に CPU アドレスエラーが発生しないようにしてください。

**【注】** 1~3 命令のリピートループの場合はリピート検出命令およびリピートループ中の全命令が、4 命令以上のリピートループの場合はリピート終了命令を含む 4 命令がこの制約の範囲となります。SR.RC[11:0]>=1 の場合に、この制約が生じます。

表 4.5 リピート制御中のメモリアクセス例外で特殊な例外を生じる命令 (SR.RC[11:0]>=1)

例外発生命令	リピートループ中の命令数			
	1	2	3	>=4
RptDtct				
RptDtct1	命令/データアクセス	命令/データ	命令/データ	命令/データ
RptDtct2	-	命令/データ	命令/データ	命令/データ
RptDtct3	-	-	命令/データ	命令/データ

**【注】** ここでは、次のラベルを使用しています。

RptDtct : リピート検出命令

RptDtct1 : リピート検出命令の 1 命令後の命令

RptDtct2 : リピート検出命令の 2 命令後の命令

RptDtct3 : リピート検出命令の 3 命令後の命令

#### (5) リピート制御中の MMU 例外

リピート制御中に MMU 例外が発生した場合も CPU アドレスエラーと同様に特殊な例外コードを生成します。TLB ミス例外、TLB 無効例外、および初期ページ書き込み例外では、H'070 が EXPEVT に設定されます。TLB 保護例外の場合には、H'0D0 が EXPEVT に設定されます。TLB ミス例外の場合でもベクタオフセットは、H'00000100 になることに注意してください。

例外の生じる命令、待避される SPC の値は CPU アドレスエラーと同様です。

この例外が生じた場合も、例外処理ののちリピート制御に正しく復帰することができません。リピートループを正しく実行するには、リピート制御中に MMU 関連例外が発生しないようにしてください。

**【注】** 1~3 命令のリピートループの場合はリピート検出命令およびリピートループ中の全命令が、4 命令以上のリピートループの場合はリピート終了命令を含む 4 命令がこの制約の範囲となります。SR.RC[11:0]>=1 の場合にこの制約が生じます。

## 4.5 使用上の注意事項

1. RTE命令の遅延スロットに配置された命令は、SSRに待避されていた値がSRに復帰された後に実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後のSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレークの受け付けは行われません。
3. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します\*。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みおよびDMAアドレスエラーに関しては次の命令の実行前に受け付けを行います。

【注】 \* SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。



---

## 5. メモリマネジメントユニット (MMU)

---

本 LSI は、メモリマネジメントユニット (MMU) を内蔵しており、仮想記憶方式をサポートしています。内蔵しているアドレス変換バッファ (TLB) は、外部メモリに配置されたユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、論理アドレスから物理アドレスへの変換を高速で実行します。アドレス変換は、ページング方式により 2 種類 (1k または 4k バイト) のページサイズをサポートしています。また、特権モードおよびユーザモードのそれぞれにおいて、論理アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

### 5.1 MMU の役割

MMU とは、物理メモリを有効に利用するために考え出された機能です。図 5.1 に示すように、プロセスのサイズが物理メモリより少ない場合は、プロセスのすべてを物理メモリへマッピングすることが可能です。しかし、プロセスのサイズが増大し物理メモリに収まらない場合は、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 5.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために、物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 5.1 (2))。仮想記憶方式では、物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスは、この仮想メモリにマッピングされます。このため、プロセスは仮想メモリ上での動作だけを考えていれば良くなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。MMU は通常 OS が管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは、2 次記憶などとの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 5.1 (3))。TSS 上で走行する複数のプロセスがおのおの物理メモリへのマッピングを意識しながら動作していたのでは、効率が上がりません。この効率を上げ各プロセスの負担を減らすために、仮想記憶方式は使われます (図 5.1 (4))。この仮想記憶方式では、プロセスごとに仮想メモリが割り当てられます。MMU は、複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらにあるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスすることがあります。そのとき、MMU は例外を発生させ、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能は、ソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのため、ハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB は、アドレス変換情報のためのキャッシュと言えます。しかし、キャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは、通常ソフトウェアで行います。このため、ソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では、固定サイズのページと呼ばれるアドレス空間 (通常 1k ~ 64k バイト) が変換の単位となります。

以下、本 LSI では、仮想メモリ上のアドレス空間のことを論理アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

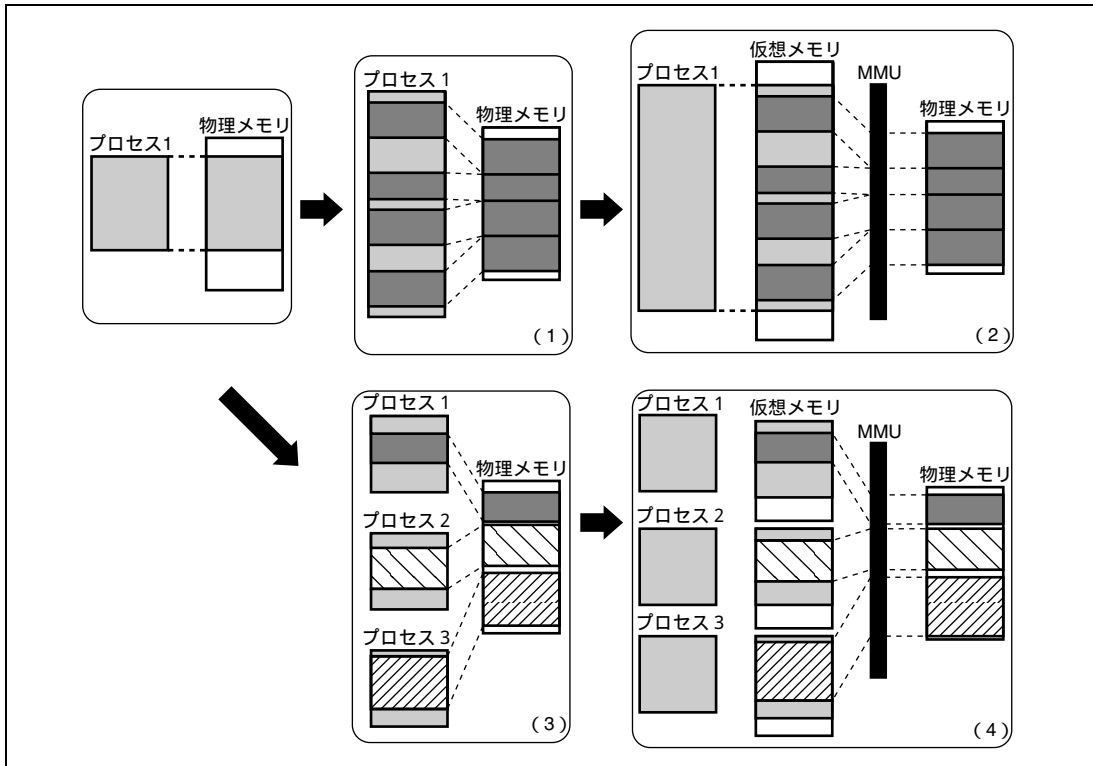


図 5.1 MMU の役割



### 5.1.1 本 LSI の MMU

#### (1) 論理アドレス空間

本 LSI は、32 ビットの論理アドレス空間をサポートしており、4G バイトのアドレス空間をアクセスできます。論理アドレス空間は、図 5.2 および図 5.3 に示すとおり、いくつかの領域に分かれています。特権モードでは、P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは、U0 領域の 2G バイトの空間をアクセス可能です。また、SR レジスタの DSP ビットが 1 の場合は、U<sub>xy</sub> 領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域および U<sub>xy</sub> 領域以外をアクセスした場合は、アドレスエラーとなります。

MMUCR の AT ビットを 1 にして、MMU をイネーブルにしたとき、これらの領域の内の P0、P3、および U0 領域は、任意の物理アドレス空間へ 1k または 4k バイトページ単位でマッピングすることが出来ます。また、8 ビットのアドレス空間識別子を用いることにより、P0、P3、および U0 領域を 256 個まで増やすことが可能です。論理アドレス空間から 29 ビットの物理アドレス空間へのマッピングには、TLB を用います。

#### (a) P0、P3、U0 領域

P0、P3、および U0 領域は、TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がイネーブルの場合は、これらの領域は TLB を用いて 1k または 4k バイトページ単位に任意の物理アドレス空間へマッピングできます。キャッシュコントロールレジスタ (CCR1) の CE ビットが 1 であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のときは、キャッシュを用いたアクセスが行えます。

MMU がディスエーブルの場合は、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。CCR1 の CE ビットが 1 のときは、キャッシュを用いたアクセスが行えます。

キャッシュを用いた場合は、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り換えは CCR1 の WT ビットに従います。

これらの領域を TLB により物理アドレス空間のエリア 1 に存在する内蔵モジュール制御レジスタ領域、内蔵メモリ領域にマッピングする場合は、当該ページの C ビットは 0 にしてください。

#### (b) P1 領域

P1 領域は、TLB を用いたアドレス変換が行われず、キャッシュを用いたアクセスが可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは、キャッシュコントロールレジスタ (CCR1) の CE ビットに従います。キャッシュを用いた場合は、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り換えは CCR1 の CB ビットに従います。

#### (c) P2 領域

P2 領域は、TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

## (d) P4 領域

P4 領域は、本 LSI の内蔵 I/O にマッピングされる領域です。この領域は、TLB を用いたアドレス変換やキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 5.4 に示します。

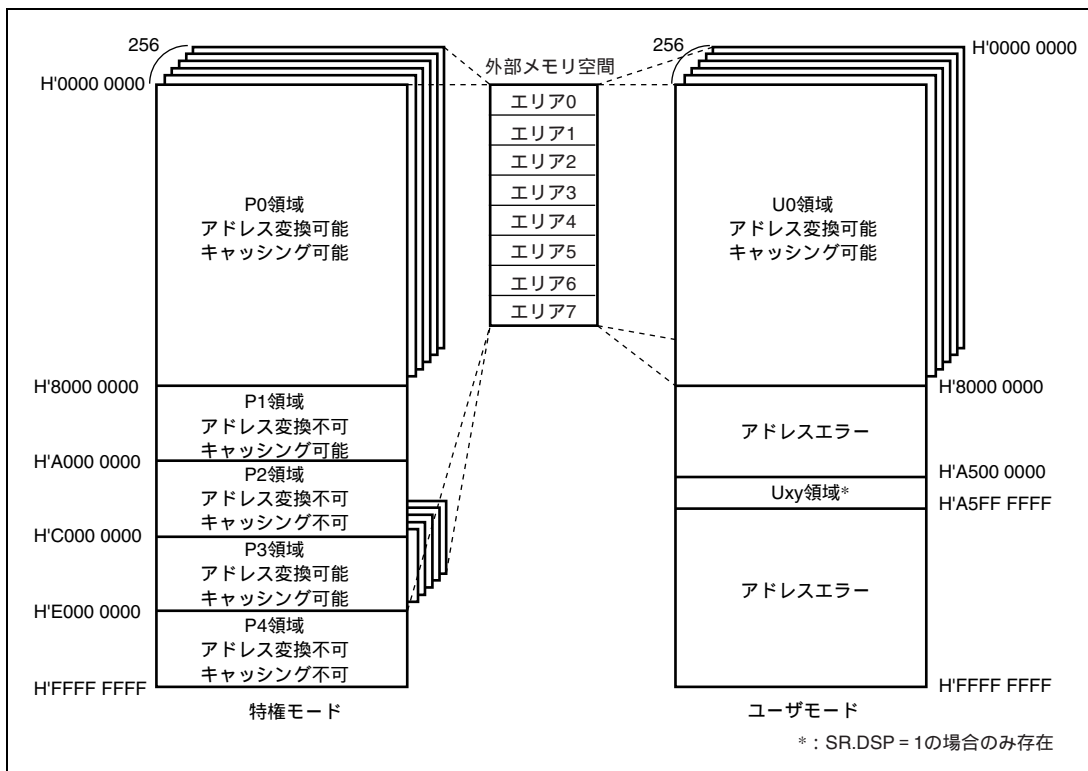


図 5.2 論理アドレス空間 (MMUCR.AT = 1 の場合)

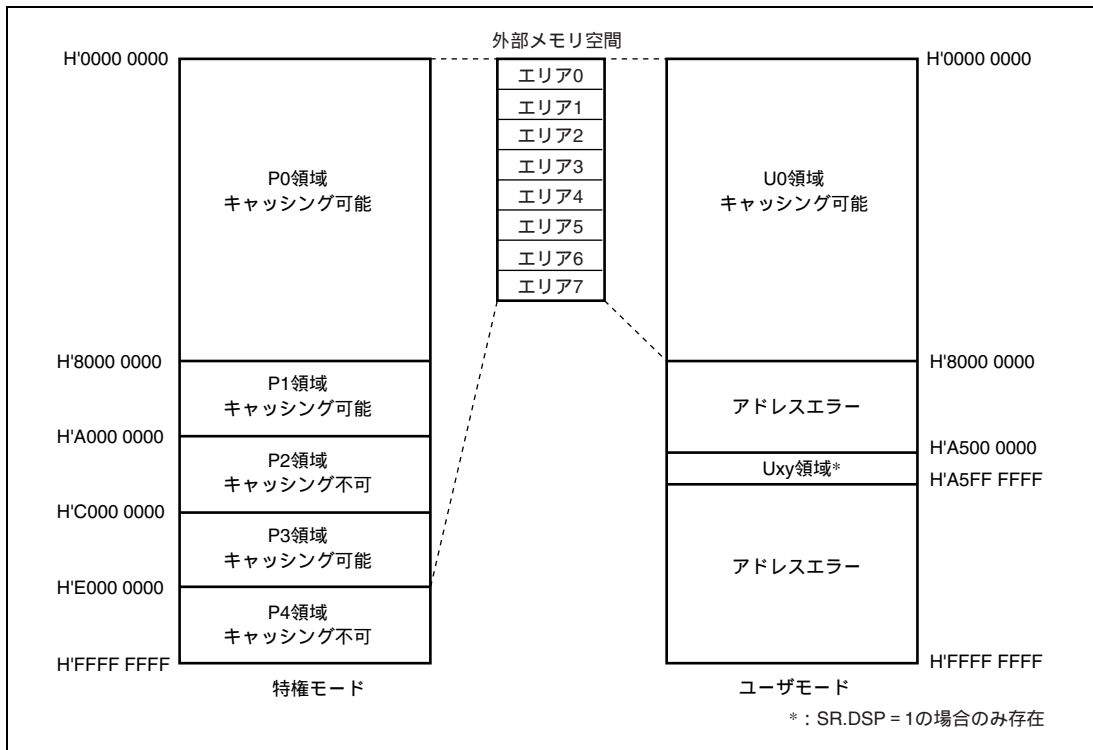


図 5.3 論理アドレス空間 (MMUCR.AT = 0 の場合)

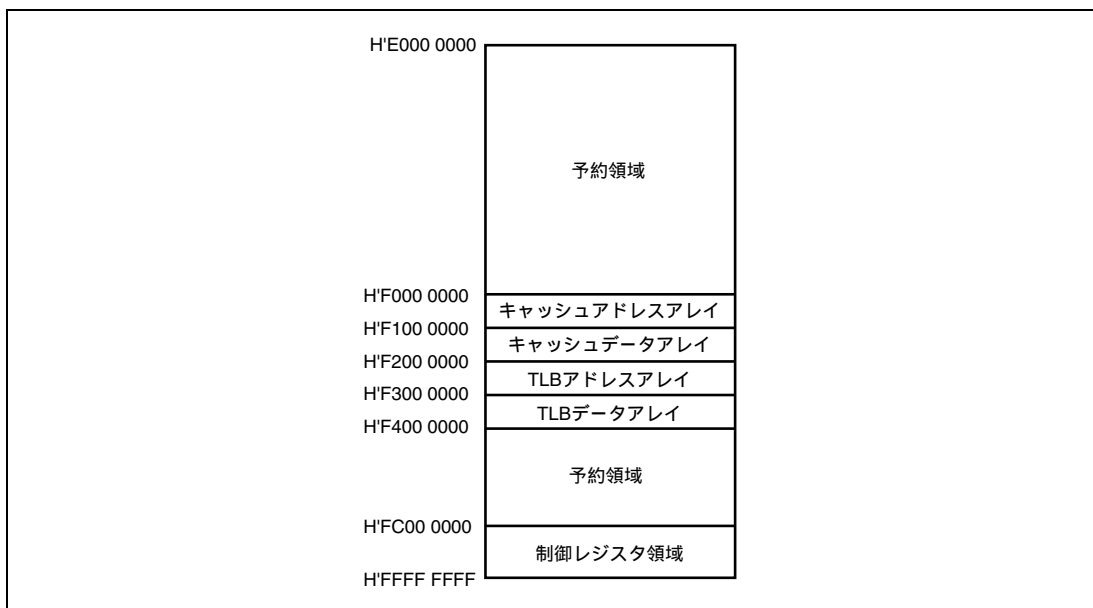


図 5.4 P4 領域

H'F000 0000 ~ H'FFFF FFFF は、キャッシュのアドレスレイを直接アクセスするための領域です。詳細は、「6.4 メモリ割り付けキャッシュの構成」を参照してください。

H'F100 0000 ~ H'F1FF FFFF は、キャッシュのデータレイを直接アクセスするための領域です。詳細は、「6.4 メモリ割り付けキャッシュの構成」を参照してください。

H'F200 0000 ~ H'F2FF FFFF は、TLB のアドレスレイを直接アクセスするための領域です。詳細は、「5.6 メモリ割り付け TLB の構成」を参照してください。

H'F300 0000 ~ H'F3FF FFFF は、TLB のデータレイを直接アクセスするための領域です。詳細は、「5.6 メモリ割り付け TLB の構成」を参照してください。

H'FC00 0000 ~ H'FFFF FFFF は、内蔵周辺モジュールレジスタの領域です。詳細は、「第 24 章 レジスタ一覧」を参照してください。

#### (e) Uxy 領域

Uxy 領域は、本 LSI の内蔵メモリにマッピングされる領域です。ユーザモードで SR レジスタの DSP ビットが 1 のときに使用可能となります。ユーザモードで DSP ビットが 0 のときに、この領域にアクセスするとアドレスエラーとなります。この領域は、TLB を用いたアドレス変換とキャッシュを用いたアクセスは行えません。

Uxy 領域の詳細に関しては、「第 7 章 X/Y メモリ」を参照してください。

#### (2) 物理アドレス空間

本 LSI は、29 ビットの物理アドレス空間をサポートします。物理アドレス空間は、図 5.5 に示すとおり、8 つの領域に分かれています。このうち、エリア 1 は、内蔵モジュール制御レジスタ領域と内蔵メモリ領域が割り当てられています。また、エリア 7 は、予約領域です。

物理アドレス空間の詳細は、「第 12 章 バスステートコントローラ (BSC)」を参照してください。

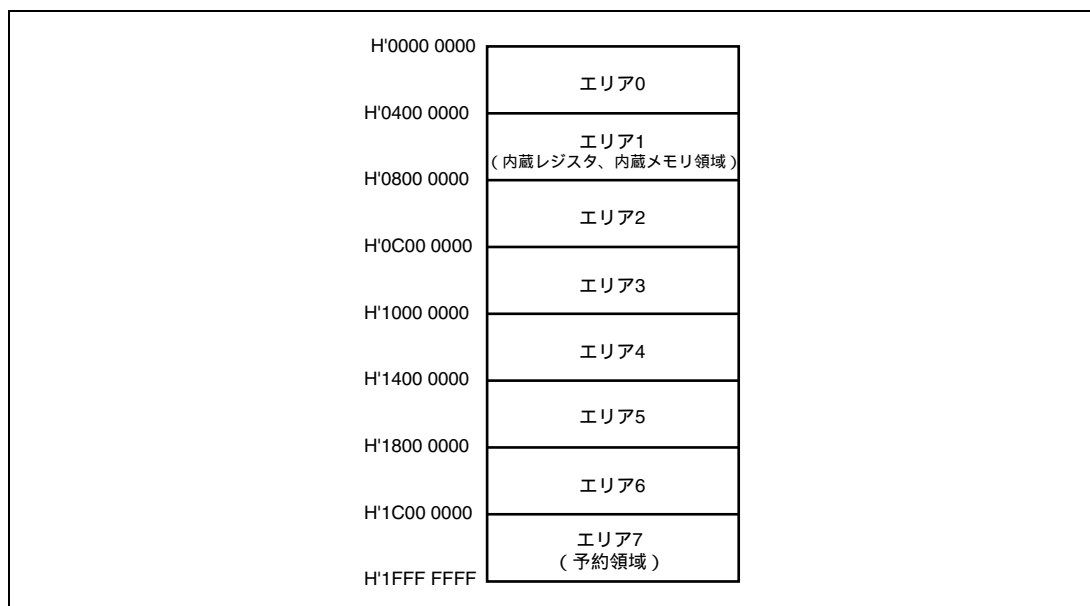


図 5.5 物理アドレス空間

### (3) アドレス変換

MMU がイネーブルされているときは、論理アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、論理アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納されています。TLB は、アドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容をキャッシングします。P4 領域以外へのアクセスが発生し、そのアクセスされた論理アドレスが P1 または P2 領域に属する場合は、TLB をアクセスせずに物理アドレスが一意に決定されます。その論理アドレスが P0、P3、および U0 領域に属する場合には論理アドレスで TLB が検索され、その論理アドレスが TLB に登録されている場合には TLB ヒットとなり TLB から対応する物理アドレスページ管理情報が読み出され、物理アドレスが決定されます。また、アクセスされた論理アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンに移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレスとページ管理情報を TLB に登録します。例外処理ルーチンから復帰後は、TLB ミス例外を発生させた命令を再実行します。ただし、MMU がイネーブルの状態、物理アドレスが H'2000 0000 ~ H'FFFF FFFF となるようなアドレス変換情報は、TLB へ登録しないでください。

MMU がディスエーブルされているときは、論理アドレスの上位 3 ビットを 0 にマスクしたものが物理アドレスとなります。本 LSI では、物理アドレス空間として 29 ビットアドレス空間をサポートしているため、論理アドレスの上位 3 ビットが無視されシャドウ空間となります (第 12 章 バスステートコントローラ (BSC) 参照)。たとえば P0 領域の H'0000 1000 番地と P1 領域の H'8000 1000 番地と P2 領域の H'A000 1000 番地と P3 領域の H'C000 1000 番地は、すべて同一の物理メモリにマッピングされます。これらのアドレスへのアクセスをキャッシュイネーブルの状態で行った場合は、キャッシュのアドレスアレイに格納されるアドレスはデータの一致性を保証するために、上位 3 ビットが常に 0 になります。

### (4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には単一仮想記憶方式と多重仮想記憶方式があり、MMU 制御レジスタ (MMUCR) で選択が可能です。単一仮想記憶方式では、複数のプロセスが論理アドレス空間を排他的に使用しながら同時に走行して、ある論理アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが論理アドレス空間を共有して使用しながら走行するため、ある論理アドレスはプロセスにより異なった物理アドレスに変換され得ます。これらの方式は、単一仮想記憶モードと多重仮想記憶モードとしてサポートされており、MMU 制御レジスタ (MMUCR) の設定で切り換えることが可能です。単一仮想記憶モードと多重仮想記憶モードとの動作上の違いは、TLB のアドレス比較の方式 (「5.3.3 TLB のアドレス比較」参照) のみです。

### (5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合は、アドレス空間識別子 (ASID) は論理アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は、8 ビットで、ソフトウェアが MMU 内のページテーブルエントリ上位レジスタ (PTEH) に現在走行中のプロセスの ASID をセットすることで設定できます。この ASID によりプロセス切り換えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合は、ASID は論理アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。(「5.3.3 TLB のアドレス比較」参照)

## 5.2 レジスタの説明

MMU 処理に関連するレジスタは、4 つあります。これらのレジスタは、周辺モジュールレジスタなので、P4 領域に配置され特権モードのときのみアドレスを指定してアクセスすることができます。

MMU には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- ページテーブルエントリ上位レジスタ (PTEH)
- ページテーブルエントリ下位レジスタ (PTEL)
- 変換テーブルベースレジスタ (TTB)
- MMU制御レジスタ (MMUCR)

### 5.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は、H'FFFF FFF0 番地に配置されていて、論理ページ番号 (VPN) と ASID から構成されています。VPN は、MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた論理アドレスの VPN が設定されます。ページサイズが 4k バイトページるとき、VPN は論理アドレスの上位 20 ビットとなりますが、この場合は論理アドレスの上位 22 ビットが設定されます。VPN は、ソフトウェアからも変更が可能です。ASID には、現在実行中のプロセスの番号をソフトウェアにより設定します。この VPN と ASID が LDTLB 命令により TLB に登録されます。

PTEH の ASID を書きかえるプログラムは、P1 または P2 領域に配置してください。

ビット	ビット名	初期値	R/W	説明
31 ~ 10	VPN		R/W	論理ページ番号
9		0	R	リザーブビット
8		0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7 ~ 0	ASID		R/W	アドレス空間識別子

### 5.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は、H'FFFF FFF4 番地に配置されていて、LDTLB 命令により TLB に登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタは、ソフトウェアの指示がない限り内容が変更されることはありません。

ビット	ビット名	初期値	R/W	説明
31~29		すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
28~10	PPN	0	R/W	物理ページ番号
9		0	R	ページ管理情報 詳細は「5.3 TLB の機能」を参照してください。
8	V		R/W	
7		0	R	
6、5	PR		R/W	
4	SZ		R/W	
3	C		R/W	
2	D		R/W	
1	SH		R/W	
0		0	R	

### 5.2.3 変換テーブルベースレジスタ (TTB)

TTB は、32 ビットのレジスタで、H'FFFF FFF8 番地に配置されています。TTB には、現在使っているページテーブルのベースアドレスなどが格納されます。TTB は、ソフトウェアの指示がない限り内容が変更されることはありません。初期値は、不定です。このレジスタは、ソフトウェアで自由に使用可能です。

### 5.2.4 MMU 制御レジスタ (MMUCR)

MMUCR は、MMU を制御するためのレジスタで、H'FFFF FFE0 番地に配置されています。MMUCR を書き換えるプログラムは、P1 または P2 領域に配置してください。

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8	SV	0	R/W	単一仮想記憶モード 0: 多重仮想記憶モード 1: 単一仮想記憶モード
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5、4	RC	すべて 0	R/W	ランダムカウンタ 2 ビットのカウンタで MMU 例外発生時にハードウェアが次の規則で自動的に更新します。 TLB ミス例外が発生した場合には、例外を発生させた論理アドレスに対応する TLB エントリの全ウェイを調べ、全ウェイが有効なら RC には 1 が加えられ、1 つ以上の無効なウェイが存在するならウェイ 0、ウェイ 1、ウェイ 2、およびウェイ 3 の順にウェイ 0 から優先的に RC へ設定されます。TLB ミス例外以外の MMU 例外が発生した場合には、例外を発生させたウェイが RC に設定されます。
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	TF	0	R/W	TLB フラッシュ 1 を書き込むと TLB の有効ビットをすべて 0 にクリア (フラッシュ) します。読み出し時は 0 が読み出されます。
1	IX	0	R/W	インデックスモード 0 のとき VPN(16-12) を TLB のインデックス番号に使用します。1 のとき PTEH 中の ASID (4-0) と VPN (16-12) の EX-OR した値をインデックス番号に使用します。
0	AT	0	R/W	アドレス変換 MMU のイネーブル (有効) またはディスエーブル (無効) を指定します。 0: ディスエーブル 1: イネーブル



## 5.3 TLB の機能

### 5.3.1 TLB の構成

TLB は、外部メモリ上に置かれるアドレス変換テーブル情報をキャッシングします。アドレス変換テーブルには、論理ページ番号とそれに対応する物理ページ番号、アドレス空間識別子、およびページ管理情報が格納されています。図 5.6 に TLB 全体の構成を示します。TLB は、4 ウェイセットアソシアティブ方式で 1 ウェイ当たり 32 エントリの計 128 エントリで構成されています。図 5.7 に論理アドレスと TLB エントリの構成を示します。

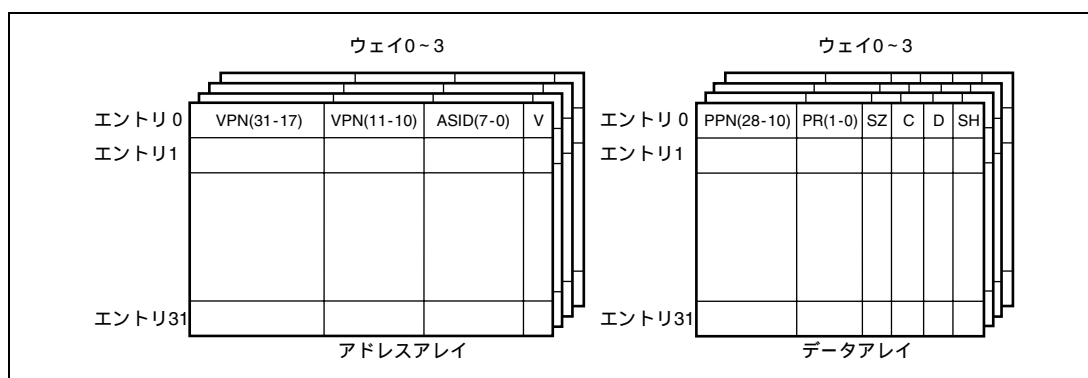


図 5.6 TLB 全体の構成

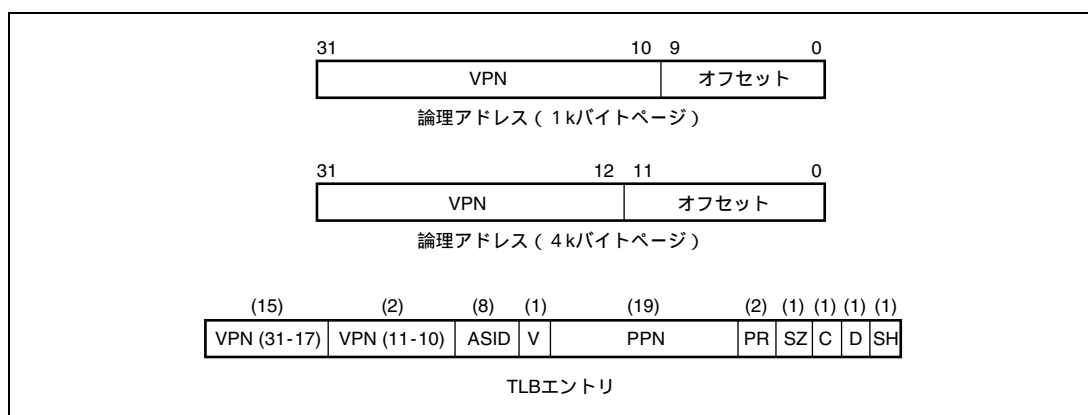


図 5.7 論理アドレスと TLB エントリの構成

## &lt; TLB エントリの記号説明 &gt;

VPN:	論理ページ番号	1k バイトページのときは論理アドレスの上位 22 ビットを、 4k バイトページのときは論理アドレスの上位 20 ビットを表します。 ただし、VPN (16-12) はインデックス番号に使用されるため、TLB エントリには格納されません。また、シノニム問題に注意してください。 (「5.4.4 シノニム問題の回避」を参照)
ASID:	アドレス空間識別子	論理ページをアクセスできるプロセスを表します。 単一仮想記憶モードでかつユーザモードのとき、または多重仮想記憶モードのときに、SH ビットが 0 なら PTEH 中の ASID と比較されます。
SH:	共有状態ビット	0 のときは、複数のプロセスでページを共有しません。 1 のときは、複数のプロセスでページを共有します。
SZ:	ページサイズビット	0 のときは 1k バイトページを、 1 のときは 4k バイトページを表します。
V:	有効ビット	エントリが有効か無効かを表します。 0: 無効 1: 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN:	物理ページ番号	物理アドレスの上位 22 ビットを表します。 4k バイトページのときは、PPN (11-10) は使用されません。
PR:	保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータです。 00: 特権モードで、読み出しのみ可能。 01: 特権モードで、読み出しまたは書き込みが可能。 10: 特権またはユーザモードで、読み出しのみ可能。 11: 特権またはユーザモードで、読み出しまたは書き込みが可能。
C:	キャッシング可能ビット	ページがキャッシング可能かどうかを表します。 0: キャッシング不可能 1: キャッシング可能
D:	ダーティビット	ページに書き込みが行われたか否かを表します。 0: 書き込みが行われていない。 1: 書き込みが行われている。

### 5.3.2 TLB のインデックス番号作成方法

TLB は、4 ウェイセットアソシアティブ方式のため、エントリをインデックス番号により選択する必要があります。インデックス番号としては、VPN (16-12) と PTEH 中の ASID (4-0) を使用します。MMU 制御レジスタ (MMUCR) の IX ビットによってインデックス番号の生成方法が異なります。

1. IX=1のとき

VPN (16-12) と ASID (4-0) との EX-OR をインデックス番号として使用します。

2. IX=0のとき

VPN (16-12) をインデックス番号として使用します。

1の方法は、同時に多数のプロセスが同一の論理アドレス空間を走行するとき (多重仮想記憶モード)、特定のエントリが複数のプロセスによって選択されて TLB のヒット率が低下するのを防ぎます。単一仮想記憶モード (MMUCR.SV=1) の場合は、IX ビットを 0 に設定してください。図 5.8 および図 5.9 に TLB のインデックス番号作成の方法を示します。

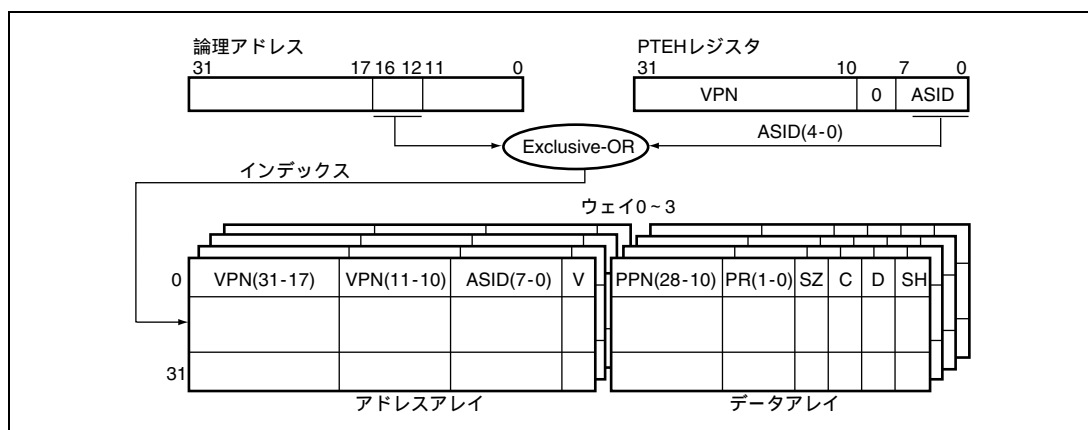


図 5.8 TLB インデックス番号作成の方法 (IX = 1)

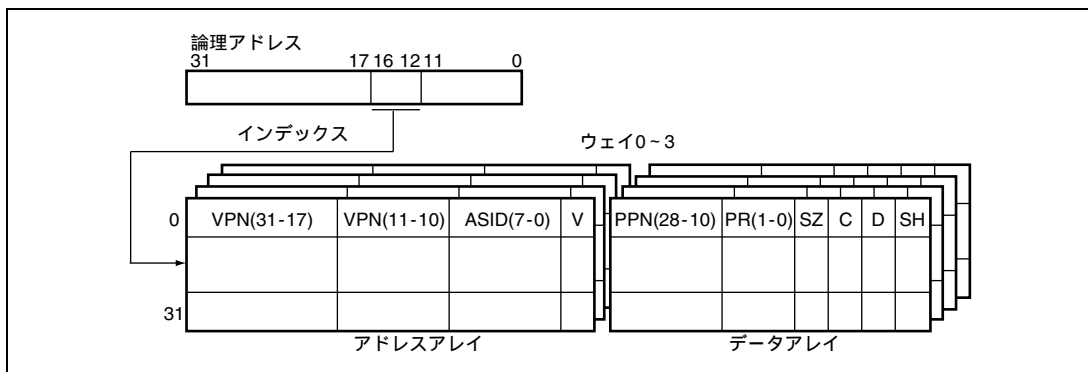


図 5.9 TLB インデックス番号作成の方法 (IX = 0)

### 5.3.3 TLB のアドレス比較

TLB のアドレス比較は、外部メモリ上のプログラムからの命令フェッチや外部メモリ上のデータの参照の際に実行されます。アドレス比較で用いられる比較対象は、VPN と ASID です。外部メモリをアクセスする論理アドレスの VPN とインデックス番号で選択された TLB エントリの VPN とが比較されます。また、PTEH 中の ASID とインデックス番号で選択された TLB エントリの ASID とが比較されます。比較は、4 つのウェイとも同時に行われます。比較の結果が一致し、かつインデックス番号で選択された TLB エントリが有効 (V=1) であった場合は、TLB ヒットとなります。このとき、複数のウェイが同時に TLB ヒットしないことをソフトウェアで保証してください。複数のウェイが同時に TLB ヒットした場合のハードウェアの動作は、保証しません。以下に複数のウェイが同時に TLB ヒットしてしまう場合の設定の例を示します。このような設定は、ソフトウェアで行わないようにしてください。

1. VPN が同一の 2 つの TLB エントリにおいて、一つは共有状態 (SH = 1)、もう一つは非共有状態 (SH = 0) で ASID = H'FF のプロセスでのみ TLB ヒットするような設定がなされていた場合は、PTEH 中の ASID を H'FF にすると、これら 2 つのウェイが同時に TLB ヒットする可能性があります。
2. 単一仮想記憶モードの設定で VPN が同一で ASID が異なるエントリを複数登録した場合は、特権モードで当該ページをアクセスすると、複数のウェイに同時に TLB ヒットする可能性があります。単一仮想記憶モードでは、VPN が同一のエントリを複数登録しないでください。
3. インデックスモード (MMUCR.IX = 1) の設定で、SH = 1 のページを登録した場合は、PTEH 中の ASID の値によっては予期せず複数のウェイに同時に TLB ヒットする可能性があります。そのため、インデックスモードでは、SH = 1 のページは登録しないでください。複数プロセスでメモリを共有する場合は、ASID ごとに別々のページを登録するようにしてください。

TLB エントリ中のページ管理情報 (SZ、SH) によって比較対象が変化します。また、システムが多重仮想記憶モードと単一仮想記憶モードのどちらをサポートするかで、比較対象が変化します。

この場合は、ページサイズビット (SZ) によって、VPN(11-10) を比較するか決まります。1k バイトページ (SZ = 0) のときは VPN(11-10) を比較し、4k バイトページ (SZ = 1) のときは比較しません。

共有状態ビット (SH) により、PTEH 中の ASID と TLB エントリ中の ASID とを比較するかが決まります。複数のプロセスで共有されている (SH=1) 場合は、ASID は比較されません。共有されていない (SH=0) 場合は、ASID を比較します。

単一仮想記憶モード (MMUCR.SV = 1) かつ、特権モード (SR.MD = 1) のときには、ASID を比較しないため、すべてのプロセスのリソースにアクセス可能となります。図 5.10 にアドレス比較対象をまとめます。

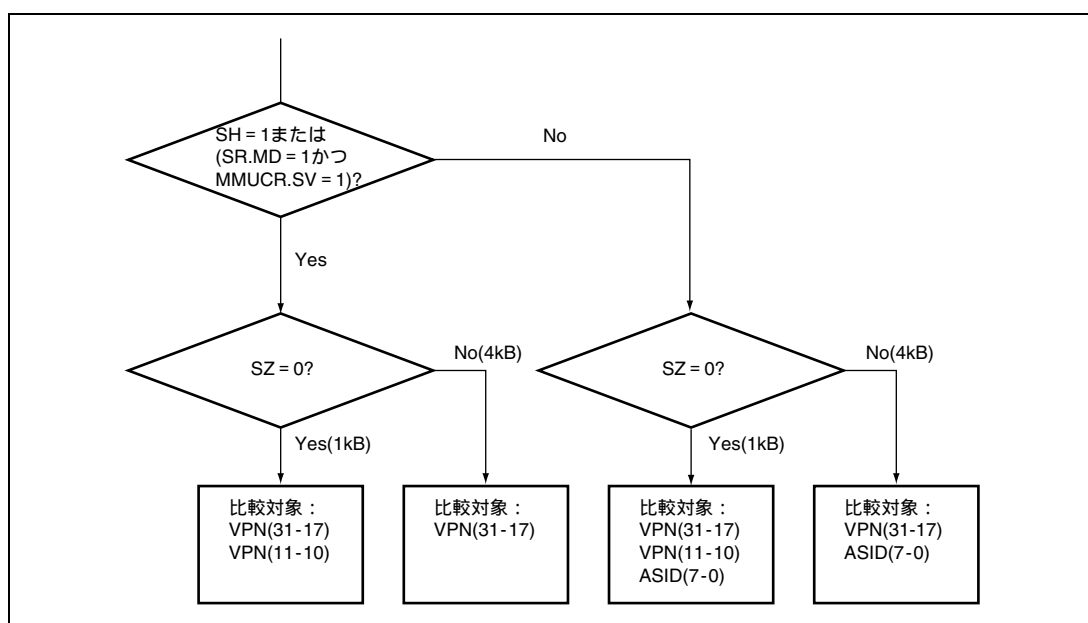


図 5.10 アドレス比較対象

### 5.3.4 ページ管理情報

TLB エントリ中のページ管理情報には、SH と SZ ビット以外に、D、C、および PR ビットがあります。

D ビットは、エントリに対応するページがダーティであるか否かを表します。ダーティとは、そのページに対して書き込みがあったことを意味します。D ビットが 0 の状態でそのページにライトすると、初期ページ書き込み例外が発生します。たとえば、2 次記憶と主記憶間で物理ページの入れ換えをする場合には、ダーティなページを 2 次記憶に書き戻してから、そのページを主記憶からページアウトするという制御を行います。メモリ上のアドレス変換テーブルに、あるページに対する書き込みがあったことを記憶するために、初期ページ書き込み例外が利用されます。

C ビットは、エントリに対応するアクセスページをキャッシングするか否かを表します。エリア 1 の制御レジスタまたは内蔵メモリをマッピングする場合は、C ビットは 0 にしてください。

PR ビットは、特権モードおよびユーザモードそれぞれにおける、そのページに対するアクセス権を示し、記憶保護に使用されます。アクセス権に違反するアクセスを行うと、TLB 保護違反例外が発生します。

D、C、および PR ビットによるアクセス状態を表 5.1 に示します。

表 5.1 D、C、PR ビットによるアクセス状態

		特権モード		ユーザモード	
		読み出し	書き込み	読み出し	書き込み
D ビット	0	可能	初期ページ 書き込み例外	可能	初期ページ 書き込み例外
	1	可能	可能	可能	可能
C ビット	0	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)
	1	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)
PR ビット	00	可能	TLB 保護違反例外	TLB 保護違反例外	TLB 保護違反例外
	01	可能	可能	TLB 保護違反例外	TLB 保護違反例外
	10	可能	TLB 保護違反例外	可能	TLB 保護違反例外
	11	可能	可能	可能	可能

## 5.4 MMU の機能

### 5.4.1 MMU のハードウェア管理

MMU のハードウェア管理には、次の 2 つがあります。

1. プロセスからアクセスされた論理アドレスをデコードし、MMUCRの設定に従い TLB を制御してアドレス変換を行います。
2. アドレス変換時に TLB からページ管理情報とヒット情報を受けて、MMU 例外の判定とキャッシュをアクセスするかどうかの判定 (C ビット) を行います。この判定方法とハードウェアの処理については、「5.5 MMU 例外」を参照してください。

### 5.4.2 MMU のソフトウェア管理

MMU のソフトウェア管理には、次の 3 つがあります。

1. MMU レジスタの設定。

特に MMUCR の設定は、アドレス変換を行わない P1 または P2 領域で行うようにしてください。さらに SV および IX ビットの変更はアドレス変換方式の変更になるので、この場合は TF ビットにも同時に 1 を書き込んで TLB のフラッシュを行うようにしてください。AT ビットを 0 にした MMU ディスエーブルの状態では MMU 例外が発生しなくなるので、MMU を使用しないソフトウェアでは必ずディスエーブルの状態で使用してください。

2. TLB エントリの登録、削除、読み出し。

TLB エントリへの登録には、LDTLB 命令を用いる方法とメモリ割り付け TLB に直接書き込む方法があります。TLB エントリの削除と読み出しは、メモリ割り付け TLB をアクセスすることで可能です。LDTLB 命令については「5.4.3 MMU の命令 (LDTLB)」を、またメモリ割り付け TLB については「5.6 メモリ割り付け TLB の構成」を参照してください。

3. MMU 例外処理。

MMU 例外が発生したときにハードウェア側から設定された情報を元に処理を行います。詳細は、「5.5 MMU 例外」を参照してください。

また、単一仮想記憶モードを使用するときは、共有状態ビット (SH) を 0 にしてすべての TLB エントリの登録をすることで、特権モードのときだけ全物理メモリへのアクセスを許可する状態を作り出すことができます。これによりプロセス間の記憶保護を強化し、特権モードにだけ特別なアクセスレベルを作り出すことが可能になります。

1k または 4k バイトページの TLB エントリを登録することにより、シノニム問題が発生する可能性があります。「5.4.4 シノニム問題の回避」を参照してください。

### 5.4.3 MMU の命令 (LDTLB)

TLB エントリを登録する命令としては、TLB ロード命令 (LDTLB) があります。LDTLB 命令は、MMUCR の IX ビットが 0 のとき、PTEH 内で指定された VPN (16-12) をインデックス番号として、MMUCR の RC ビットで指定されたウェイトの TLB エントリを PTEH と PTEL で指定した値に変更します。MMUCR の IX ビットが 1 のときは、PTEH 内で指定された VPN (16-12) と PTEH 内の ASID (4-0) の EX-OR がインデックス番号として用いられます。

図 5.11 に MMUCR の IX ビットが 0 の場合を示します。

PTEH には、MMU 例外が発生したときに、例外を発生させた論理アドレスの論理ページ番号がハードウェアにより設定されます。また、MMUCR の RC ビットには、MMU 例外ごとに規則 (「5.2.4 MMU 制御レジスタ (MMUCR)」参照) に従ってウェイトが設定されます。このため、MMU 例外処理ルーチンの中では、PTEL だけを設定して LDTLB 命令を発行すれば、TLB エントリの登録が行えることになります。また、ソフトウェアにより PTEH と MMUCR の RC ビットを書き換えることで、任意の TLB エントリを書き換えることも可能です。

LDTLB 命令はアドレス変換情報を変更するため、この命令を P0、U0、および P3 領域で発行するとアドレス変換情報を壊す危険があります。必ず P1 または P2 領域で発行するようにしてください。また、P0、U0、および P3 領域のアクセスを伴う命令 (RTE 命令等) は、LDTLB 命令の 2 命令後以降に発行してください。

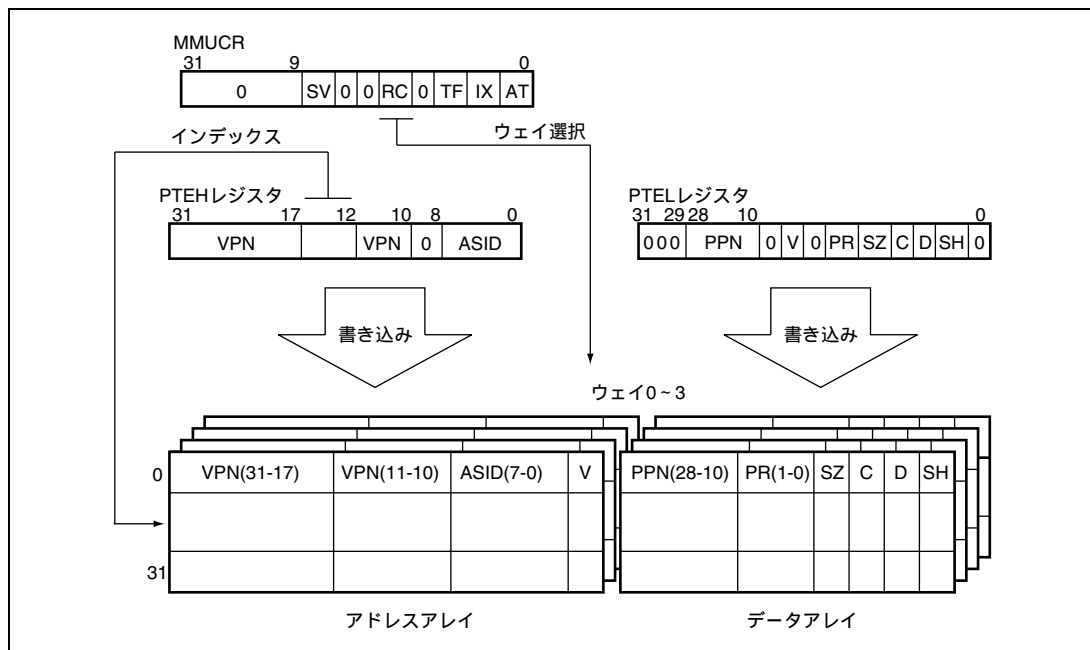


図 5.11 LDTLB 命令の動作



#### 5.4.4 シノニム問題の回避

TLB エントリに 1k または 4k バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の論理アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数エントリに同一の物理アドレスが登録されてしまい、データの一致性が保証されなくなるという問題です。この問題が発生する理由を図 5.12 を用いて説明します。ここで論理アドレスのビット  $n$  とキャッシュ容量の関係は以下のようになります。

キャッシュ容量	論理アドレスのビット $n$
16kB	11
32kB	12

本 LSI のキャッシュは、高速に動作するために論理アドレス  $[n:4]$  を用いてインデックス番号の生成を行います。しかし、1k バイトページでは論理アドレスの  $[n:10]$  が、4k バイトページでは論理アドレスの  $[n:12]$  がアドレス変換の対象になります。このため変換後の物理アドレスの  $[n:10]$  と論理アドレスの  $[n:10]$  とが異なる可能性があります。

たとえば、1k バイトページの TLB エントリで

論理アドレス 1 H'0000 0000 物理アドレス H'0000 0C00

論理アドレス 2 H'0000 0C00 物理アドレス H'0000 0C00

のような変換をする 2 つの TLB エントリが登録されていたとします。論理アドレス 1 はキャッシュのエントリ H'000 へ登録され、論理アドレス 2 はキャッシュのエントリ H'0C0 へ登録されることとなります。物理アドレスが等しいにもかかわらず、別のキャッシュエントリへ登録されるため、片方の論理アドレスへ一度でも書き込みが発生すると一致性が保たれなくなります。

このため、TLB エントリへのアドレス変換情報の登録には、以下の制限が生じます。

1. 複数の 1k バイトページの TLB エントリが同一の物理アドレスに変換されるアドレス変換情報を TLB に登録するときは、VPN  $[n:10]$  は必ず等しくなるようにしてください。
2. 複数の 4k バイトページの TLB エントリが同一の物理アドレスに変換されるアドレス変換情報を TLB に登録するときは、VPN  $[n:12]$  は必ず等しくなるようにしてください。
3. 異なるページサイズ of アドレス変換情報で同一の物理アドレスを使用しないでください。

上記の制限は、キャッシュを用いたアクセスを行う場合に限定されます。

【注】 将来の SuperH RISC engine ファミリー拡張に備えて、複数のアドレス変換情報が同一の物理アドレスを使用する場合は、VPN  $[20:10]$  が互いに等しくなるようにすることを推奨します。

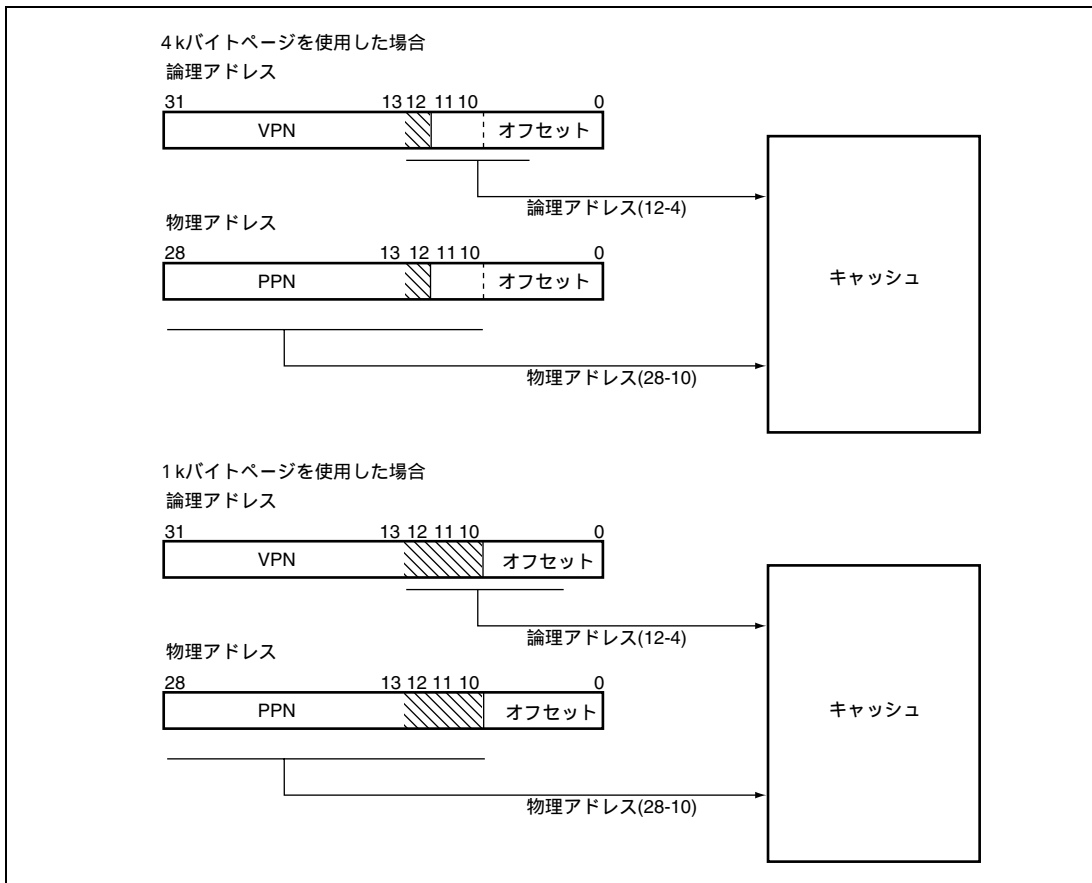


図 5.12 シノニム問題 (32kB キャッシュの場合)

## 5.5 MMU 例外

MMU のアドレス変換機構が有効な場合は、CPU アドレスエラーの判定に続いて MMU 例外の判定が行われます。MMU 例外は 4 種類定義されており、TLB ミス例外、TLB 無効例外、TLB 保護違反例外、および初期ページ書き込み例外の順番で判定が行われます。

### 5.5.1 TLB ミス例外

TLB ミス例外は、論理アドレスと選ばれたエントリのアドレスレイとを比較して、一致するものが見つからなかった場合に発生します。TLB ミス例外のハードウェアで行われる処理とソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

TLB ミス例外のときは、ハードウェアは次の処理を行います。

1. 例外が発生した論理アドレスの論理ページ番号 (VPN) がページテーブルエントリ上位レジスタ (PTEH) に書き込まれます。
2. 例外の発生した論理アドレスが例外アドレスレジスタ (TEA) に書き込まれます。
3. 読み出しのときは例外コード H'040 が、書き込みのときは例外コード H'060 が例外事象レジスタ (EXPEVT) に書き込まれます。
4. 例外が発生した命令のアドレスを指すプログラムカウンタ (PC) の値が退避プログラムカウンタ (SPC) に書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値が SPC に書き込まれます。
5. 例外が発生したときのステータスレジスタ (SR) の内容が退避ステータスレジスタ (SSR) に書き込まれます。
6. SR の MD ビットが 1 にセットされ、特権モードに切り換わります。
7. SR の BL ビットが 1 にセットされ、これ以降の例外要求がマスクされます。
8. SR の RB ビットが 1 にセットされます。
9. 例外を発生させた論理アドレスに対応する TLB エントリの全ウェイを調べ、全ウェイが有効なら MMU 制御レジスタ (MMUCR) のランダムカウンタ (RC) には 1 が加えられ、1 つ以上の無効なウェイが存在するならウェイ 0、ウェイ 1、ウェイ 2、およびウェイ 3 の順にウェイ 0 から優先的に RC へそのウェイが設定されます。
10. ベクタベースレジスタ (VBR) の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、TLB ミス例外処理ルーチンが開始されます。

- ソフトウェア処理 (TLB ミス例外処理ルーチン)

外部メモリのページテーブルを検索し必要なページテーブルエントリを割り当てるのは、ソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの物理ページ番号 (PPN)、保護キーデータ (PR)、ページサイズビット (SZ)、キャッシング可能ビット (C)、ダーティビット (D)、共有状態ビット (SH)、および有効ビット (V) の各ビットの値を、ページテーブルエントリ下位レジスタ (PTEL) に書き込みます。
2. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合は、その値をMMUCRレジスタのRCに書き込みます。
3. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令後以降にRTE命令を発行してください。

### 5.5.2 TLB 保護違反例外

TLB 保護違反例外は、論理アドレスが選ばれた TLB エントリのアドレスアレイと比較され、その結果、アドレスが一致してエントリが有効であったにもかかわらず、実際のアクセスタイプが PR キーで指定されたアクセス権で許可されていない場合に発生します。TLB 保護違反例外のハードウェアで行われる処理とソフトウェアで行う処理は、次のとおりです。

- ハードウェアの処理

TLB 保護違反例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 読み出しのときは例外コードH'0A0が、書き込みのときは例外コードH'0C0がEXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り換わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのRBビットが1にセットされます。
9. 例外が発生したウェイがMMUCRのRCにセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、TLB保護違反例外処理ルーチンが開始されます。

- ソフトウェアの処理 (TLB保護違反例外処理ルーチン)

TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB 命令の 2 命令後以降に RTE 命令を発行してください。

### 5.5.3 TLB 無効例外

TLB 無効例外は、論理アドレスが選ばれた TLB エントリのアドレスレイと比較され、その結果アドレスが一致してもエントリが有効でなかった (V ビットが 0) 場合に発生します。TLB 無効例外のハードウェアで行われる処理とソフトウェアで行う処理は、次のとおりです。

- ハードウェアの処理

TLB 無効例外のときは、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 読み出しのときは例外コードH'040が、書き込みのときは例外コードH'060がEXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り換わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのRBビットが1にセットされます。
9. 例外が発生したウェイ番号がMMUCRのRCに書き込まれます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、TLB保護違反例外処理ルーチンが開始されます。

- ソフトウェアの処理 (TLB無効例外処理ルーチン)

外部メモリのページテーブルを検索し必要なページテーブルエントリを割り当てるのは、ソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、Vの各ビットの値を、PTELに書き込みます。
2. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合は、その値をMMUCRレジスタのRCに書き込みます。
3. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
4. 最後にRTE命令を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令後以降にRTE命令に発行してください。

#### 5.5.4 初期ページ書き込み例外

初期ページ書き込み例外は、論理アドレスと TLB エントリのアドレスレイの内容を比較して一致し、エントリが有効で、書き込みアクセスのアクセス権が許されているにもかかわらず、ダーティビット (D) が 0 (未書き込みページ) の場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理とソフトウェアで行う処理は、次のとおりです。

- ハードウェアの処理

初期ページ書き込み例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 例外コードH'080がEXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り換わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのRBビットが1にセットされます。
9. 例外が発生したウェイがMMUCRのRCにセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、ユーザが作成した初期ページ書き込み例外処理ルーチンが開始されます。

- ソフトウェアの処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. 外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、SH、およびVのビットの値を、PTELに書き込みます。
4. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合は、その値をMMUCRのRCに書き込みます。
5. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
6. 最後に、RTE命令を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令後以降にRTE命令を発行してください。

### 5.5.5 リピートループにおける MMU 例外

リピートループ中の特定の命令で CPU アドレスエラーや MMU 例外が発生すると、SPC が不正なアドレスになったり、SPC が正しくとも復帰後リピートループの実行を正しく再開できない場合があります。この場合には、特殊な例外コードを生成し、TLB ミス例外、TLB 無効例外、初期ページ書き込み例外、および CPU アドレスエラーでは H'070 が、TLB 保護違反例外では H'0D0 が EXPEVT にセットされます。また、TLB ミス例外でもベクタオフセットは、H'100 になります。詳細は「4.4.3 リピート制御中の例外」を参照してください。

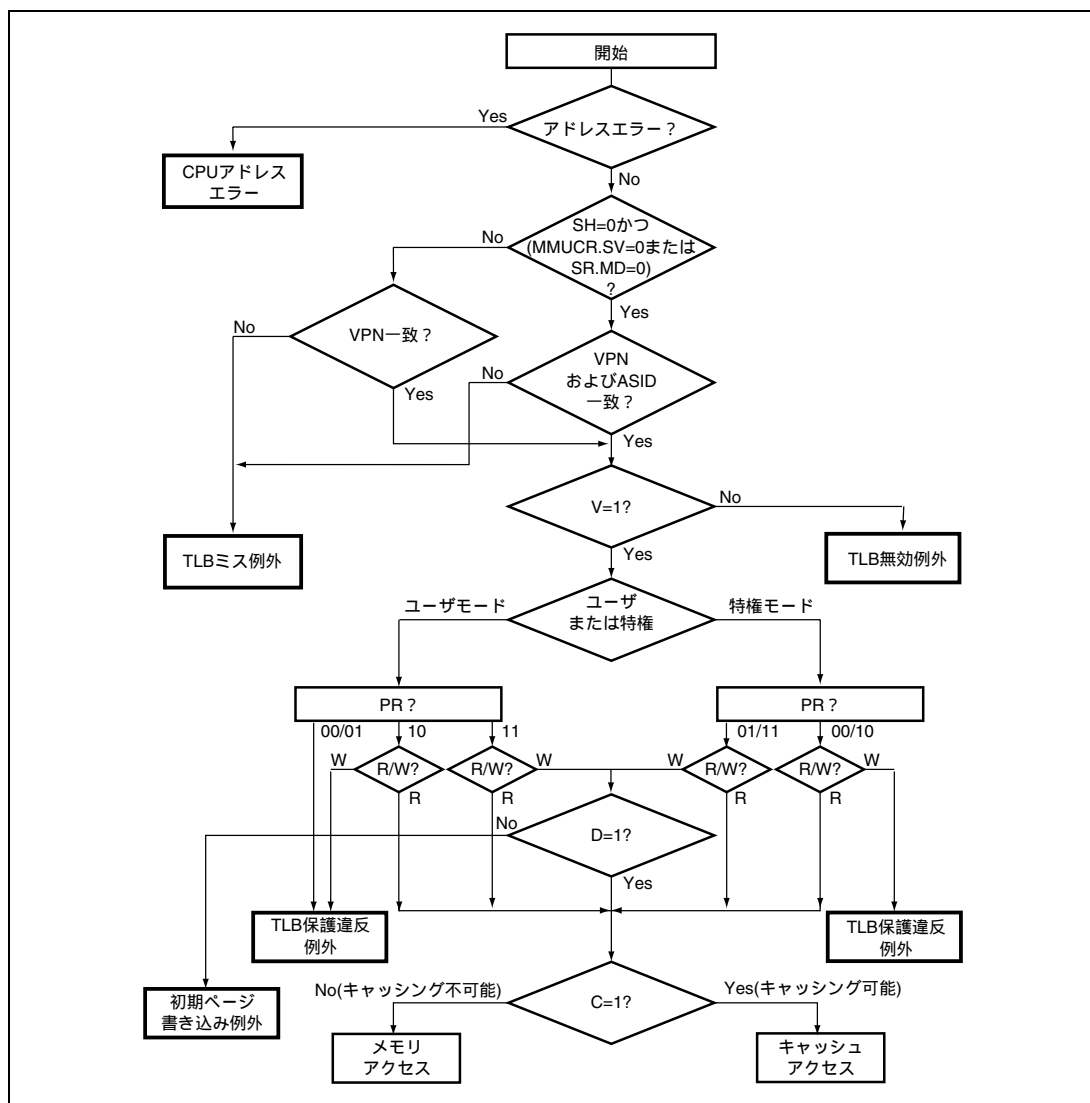


図 5.13 MMU 例外の流れ

## 5.6 メモリ割り付け TLB の構成

TLB をソフトウェアで管理するために、特権モードのときは、MOV 命令によって TLB の内容の読み出しおよび書き込みが可能です。TLB は、論理アドレス空間の P4 領域に割り付けられています。TLB のアドレスアレイ (VPN、V ビット、ASID) は H'F200 0000 ~ H'F2FF FFFF に、データアレイ (PPN、PR、SZ、C、D、SH ビット) は H'F300 0000 ~ H'F3FF FFFF に割り付けられています。ただし、アドレスアレイの V ビットは、データアレイからもアクセス可能です。アクセスサイズは、アドレスアレイおよびデータアレイともロングワードのみ可能であり、命令フェッチは行えません。

### 5.6.1 アドレスアレイ

アドレスアレイは、H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出しまたは書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V ビット、および ASID を指定します (図 5.14 (1) 参照)。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN (16-12) をアドレス部 (16-12) に、ウェイを選択するための W ビットをアドレス部 (9-8) に、アドレスアレイアクセスを示す HF2 をアドレス部 (31-24) に指定します。インデックスアドレスとして VPN (16-12) と PTEH レジスタ内の ASID (4-0) との EX-OR をとるかどうかは、MMUCR の IX ビットに従います。

アドレスアレイに対しては、次の 2 種類の操作が可能です。

#### 1. アドレスアイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから VPN、V、および ASID ビットを読み出します。

#### 2. アドレスレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリにデータ部で指定されたデータを書き込みます。

### 5.6.2 データアレイ

TLB のデータアレイは、H'F300 0000 ~ H'F3FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出しまたは書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込むロングワードデータを指定します (図 5.14 (2) 参照)。ロングワードデータは、PTEL と同じビット構成です。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN (16-12) をアドレス部 (16-12) に、ウェイを選択するための W ビットをアドレス部 (9-8) に、データアレイアクセスを示す HF3 をアドレス部 (31-24) に指定します。インデックスアドレスとして、VPN (16-12) と PTEH レジスタ内の ASID (4-0) との EX-OR をとるかどうかは、MMUCR の IX ビットに従います。



読み出しおよび書き込みのいずれの場合も、インデックスアドレスとウェイで選択されたデータアレイのロングワードデータが読み出され書き込まれます。

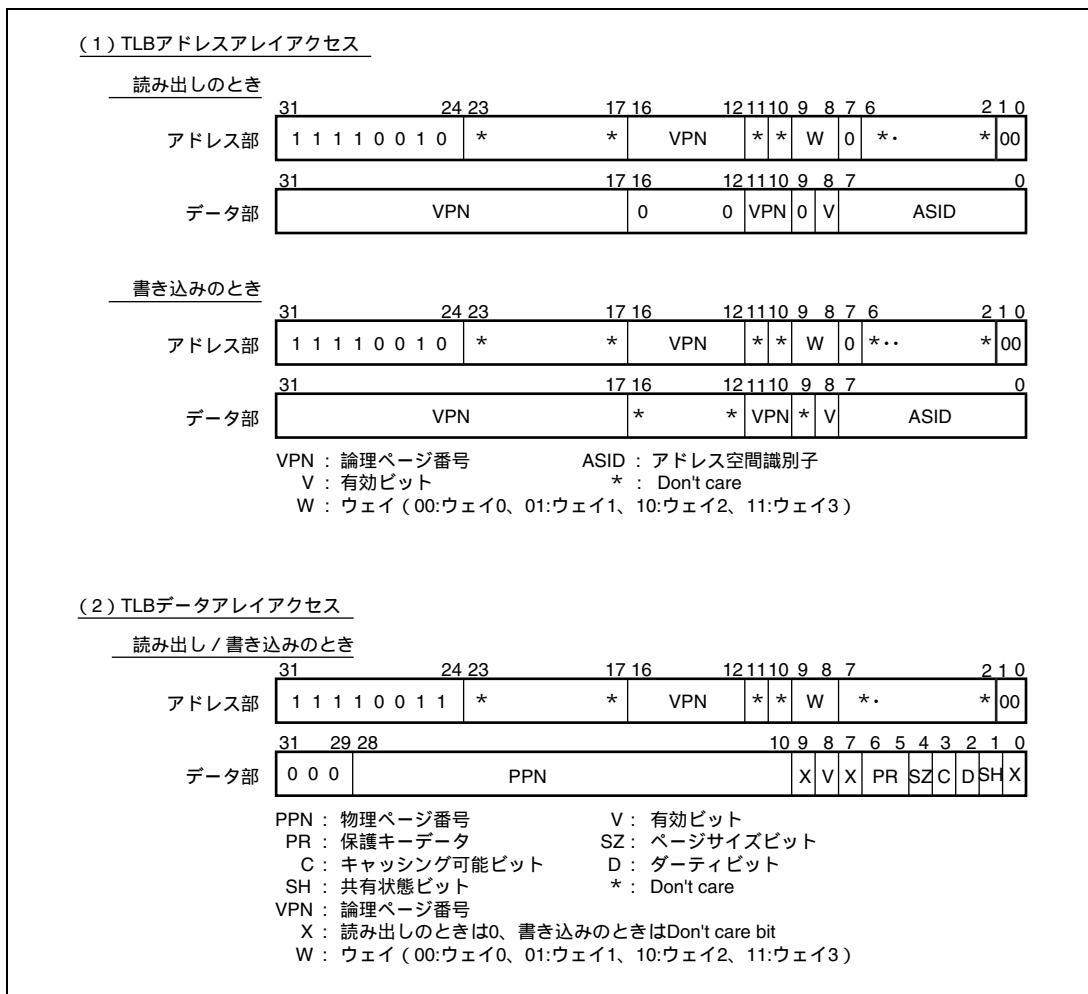


図 5.14 メモリ割り付けされた TLB アクセスのアドレス部、データ部指定方法

### 5.6.3 使用例

#### (1) 特定エントリの無効化

TLB の特定エントリの無効化は、そのエントリの V ビットに 0 を書き込むことで実現できます。以下の例では、R0 に書き込みデータを、R1 にアドレスを指定しています。

```
;R0=H'1547 381C R1=HF201 3000
```

```
;MMUCR.IX=0
```

```
;VPN (16-12) =B'1 0011のインデックスで選択されるエントリの、
```

```
;ウェイ0のVビットを0にして、無効化を実現する。
```

```
MOV.L R0, @R1
```

#### (2) データアレイの読み出し

TLB の特定エントリのデータアレイを読み出す場合は、図 5.14 (2) のデータ部で示されるビット順にレジスタに読み出されます。以下の例では、R0 にアドレスを指定して、R1 に読み出しています。

```
;R0=HF300 4300 VPN (16-12) =B'0 0100 ウェイ3
```

```
MOV.L @R0, R1
```

## 5.7 使用上の注意事項

以下にあげる動作は、TLB ディスエーブル状態の場合に行うか、P1 あるいは P2 領域に配置したプログラムで行ってください。また、続いて P0、P3、および U0 領域へのアクセス (命令フェッチを含む) を行う場合は、これらの命令の 2 命令後以降で P0、P3、および U0 領域へのアクセスを行ってください。

1. SR.MDもしくはSR.BLの変更
2. LDTLB命令の実行
3. メモリ割付TLB書き込み
4. MMUCRの変更
5. PTEH.ASIDの変更

## 6. キャッシュ

### 6.1 特長

- 容量：16kまたは32kバイトキャッシュのいずれかをレジスタにより選択可能。
- 構成：命令とデータ混在、4ウェイセットアソシアティブ。
- ロック機能：ウェイ2およびウェイ3はロック可能。
- ラインサイズ：16バイト。
- エントリ数：16kバイトモード（256エントリ/ウェイ）または32kバイトモード（512エントリ/ウェイ）
- ライト方式：P0、P1、P3、U0領域についてライトバック方式とライトスルー方式から選択可能。
- 置換方式：LRU置換アルゴリズムを採用。

【注】 パワーオンリセットまたはマニュアルリセット後の初期状態は、16kバイトモード（256エントリ/ウェイ）になります。

#### 6.1.1 キャッシュの構成

キャッシュは、命令とデータ混在型の4ウェイセットアソシアティブ方式です。4つのウェイ（バンク）で構成され、おのおののウェイは、アドレスとデータに分かれています。

アドレスとデータは、おのおのの512のエントリで構成されます。エントリのデータをラインとよびます。1ラインは、16バイト（4バイト×4）です。1ウェイあたりのデータ容量は、8kバイト（16バイト×512エントリ）で、キャッシュ全体（4ウェイ）では32kバイトの容量となります。

キャッシュの構成を図6.1に示します。

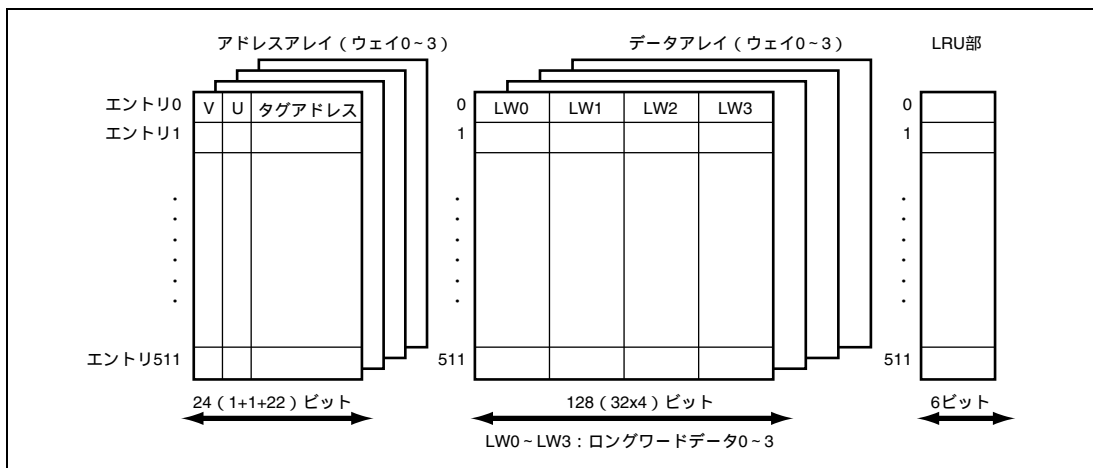


図 6.1 キャッシュの構成

## (1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを表します。V ビットが 1 で有効を、0 で無効を表します。

U ビットは、ライトバックモードでそのエントリに書き込みがあったことを表します。U ビットが 1 で書き込みありを、0 で書き込みなしを表します。

タグアドレスは、外部メモリのアクセスに使用される物理アドレスを保持します。キャッシュ検索時の比較に使用される 22 ビット (アドレス 31 ~ 10) からなります。

本 LSI では、物理アドレス 32 ビットの上位 3 ビットをシャドウとして利用するため、タグアドレスの上位 3 ビットに 0 が入ります (「第 12 章 バスステートコントローラ (BSC)」参照)。

V および U ビットは、パワーオンリセットで 0 に初期化されますが、マニュアルリセットでは初期化されません。タグアドレスは、パワーオンリセットおよびマニュアルリセットでは初期化されません。

## (2) データアレイ

データアレイは、16 バイトの命令またはデータを保持します。キャッシュへのエントリの登録は、ライン単位 (16 バイト単位) で行います。

データアレイは、パワーオンリセットおよびマニュアルリセットで初期化されません。

## (3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレスが同じ命令とデータを 4 つまでキャッシュに登録できます。エントリを登録するとき、4 つのウェイのうち、どのウェイに登録するかを LRU ビットで表します。LRU ビットは、6 ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶ LRU (Least Recently Used) アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6 ビットの LRU ビットによって指定されます。キャッシュロック機能を使用しない場合の LRU ビットとリプレースされるウェイの関係を表 6.1 に示します (キャッシュロック機能を使用する場合に関しては、「6.2.2 キャッシュ制御レジスタ 2 (CCR2)」の項を参照してください)。表 6.1 に示した以外の LRU ビットをソフトウェアで指定した場合は、キャッシュは正しく動作しません。LRU ビットをソフトウェアで変更するときは、表 6.1 に示すパターンを設定してください。

LRU ビットは、パワーオンリセットで 000000 に初期化されますが、マニュアルリセットでは初期化されません。

表 6.1 LRU ビットと置き換えられるウェイ (キャッシュロック機能を使用しない場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

## 6.2 レジスタの説明

キャッシュには以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第24章 レジスタ一覧」を参照ください。

- キャッシュ制御レジスタ1 (CCR1)
- キャッシュ制御レジスタ2 (CCR2)
- キャッシュ制御レジスタ3 (CCR3)

### 6.2.1 キャッシュ制御レジスタ 1 (CCR1)

キャッシュは、CCR1 の CE ビットでイネーブルまたはディスエーブルを指定します。また、CCR1 には、キャッシュの全エントリの無効化を制御する CF ビット、ライトスルーモードとライトバックモードを切り換える WT ビット、および CB ビットがあります。CCR1 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	CF	0	R/W	キャッシュフラッシュ 1 を書き込むと、キャッシュの全エントリの V、U、および LRU ビットを 0 にクリア (フラッシュ) します。読み出すと 0 が読み出されます。フラッシュの際は、外部メモリへの書き戻しは行いません。
2	CB	0	R/W	ライトバック P1 領域のライトバックまたはライトスルーの切り換え 0: ライトスルーモード 1: ライトバックモード
1	WT	0	R/W	ライトスルー P0、U0、および P3 領域のライトバックまたはライトスルーの切り換え 0: ライトバックモード 1: ライトスルーモード
0	CE	0	R/W	キャッシュ有効 キャッシュ機能を使用するかどうかを表します。 0: 使用しない 1: 使用する

## 6.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 は、キャッシュロック機能を制御するレジスタです。キャッシュロック機能は、キャッシュロックモード時のみ有効です。キャッシュロックモードとは、CPU の SR レジスタ (ステータスレジスタ) の DSP ビット (ビット 12) = 1 または CCR2 の ロックイネーブルビット (ビット 16) = 1 の状態を言います。非キャッシュロックモードでは、キャッシュロック機能は無効です。

キャッシュロックモード時にプリフェッチ命令 (PREF @Rn) を実行し、キャッシュミスした場合は、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は、表 6.2 に示すとおりです。一方、プリフェッチ命令を実行しキャッシュヒットした場合は、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。たとえば、Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態において、キャッシュロックモードで、W3LOAD = 1 かつ W3LOCK = 1 と設定し、プリフェッチ命令を実行した場合は、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

キャッシュロックモード時の、プリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、および W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は、表 6.3 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
16	LE	0	R/W	ロックイネーブル (LE) キャッシュロックモードの制御をします。 0 : SR.DSP = 1 のとき、キャッシュロックモードになります。 1 : SR.DSP の値によらず、キャッシュロックモードになります。
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9	W3LOAD	0	R/W	ウェイ 3 ロード (W3LOAD)
8	W3LOCK	0	R/W	ウェイ 3 ロック (W3LOCK) W3LOCK = 1、W3LOAD = 1、かつキャッシュロックモードの場合は、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 3 に読み込まれます。その他のすべての条件では、プリフェッチしたデータは LRU の示すウェイに読み込まれます。
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1	W2LOAD	0	R/W	ウェイ 2 ロード (W2LOAD)
0	W2LOCK	0	R/W	ウェイ 2 ロック (W2LOCK) W2LOCK = 1、W2LOAD = 1、かつキャッシュロックモードの場合は、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 2 に読み込まれます。その他のすべての条件では、プリフェッチしたデータは LRU の示すウェイに読み込まれます。

【注】 W2LOAD および W3LOAD は、同時に 1 にセットしないでください。

表 6.2 PREF 命令がキャッシュミスした場合に置き換えられるウェイ

キャッシュ ロックモード	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 6.1)
1	*	0	*	0	LRU に従う (表 6.1)
1	*	0	0	1	LRU に従う (表 6.4)
1	0	1	*	0	LRU に従う (表 6.5)
1	0	1	0	1	LRU に従う (表 6.6)
1	0	*	1	1	ウェイ 2
1	1	1	0	*	ウェイ 3

【注】 \* : Don't care

W3LOAD = 1 かつ W2LOAD = 1 には、設定しないでください

表 6.3 PREF 命令以外がキャッシュミスした場合に置き換えられるウェイ

キャッシュ ロックモード	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 6.1)
1	*	0	*	0	LRU に従う (表 6.1)
1	*	0	*	1	LRU に従う (表 6.4)
1	*	1	*	0	LRU に従う (表 6.5)
1	*	1	*	1	LRU に従う (表 6.6)

【注】 \* : Don't care

W3LOAD = 1 かつ W2LOAD = 1 には、設定しないでください

表 6.4 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 0 の場合)

LRU (ビット 5~0)	置き換えられるウェイ
000000, 000001, 000100, 010100, 100000, 100001, 110000, 110100	3
000011, 000110, 000111, 001011, 001111, 010110, 011110, 011111	1
101001, 101011, 111000, 111001, 111011, 111100, 111110, 111111	0

表 6.5 LRU ビットと置き換えられるウェイ (W2LOCK = 0 かつ W3LOCK = 1 の場合)

LRU (ビット 5~0)	置き換えられるウェイ
000000, 000001, 000011, 001011, 100000, 100001, 101001, 101011	2
000100, 000110, 000111, 001111, 010100, 010110, 011110, 011111	1
110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

表 6.6 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 1 の場合)

LRU (ビット 5~0)	置き換えられるウェイ
000000, 000001, 000011, 000100, 000110, 000111, 001011, 001111, 010100, 010110, 011110, 011111	1
100000, 100001, 101001, 101011, 110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

### 6.2.3 キャッシュ制御レジスタ 3 (CCR3)

CCR3 は、使用されるキャッシュの容量を制御するレジスタです。LSI に搭載されるキャッシュ容量以下の値を設定してください。それを越える値を設定した場合の動作は、保証されません。CCR3 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。また、CCR3 の内容を変更後に、キャッシュにアクセスする前に CCR1 の CF ビットに 1 を書き込み、全エントリの無効化を行ってください。

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23~16	CSIZE7~ CSIZE0	H'01	R/W	キャッシュ容量 0000 0001 : 16k バイトキャッシュ 0000 0010 : 32k バイトキャッシュ 上記以外は、設定禁止です。
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。



## 6.3 動作説明

### 6.3.1 キャッシュの検索

キャッシュがイネーブルのとき (CCR1 レジスタの CE ビット=1)、P0、P1、P3、および U0 領域の命令またはデータにアクセスすると、キャッシュが検索され、目的の命令またはデータがキャッシュに存在するか調べられます。キャッシュの検索方法の概念図を図 6.2 に示します。キャッシュは物理キャッシュで、タグアドレスには、物理アドレスを保持します。

メモリへのアクセスアドレス (論理) のビット 12~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。タグアドレスの読み出しと平行して、MMU で論理アドレスを物理アドレスに変換します。変換後の物理アドレスと、アドレスから読み出した物理アドレス (タグアドレス) を比較します。アドレスの比較は、4 ウェイとも行います。比較の結果一致しており、かつ、比較されたエントリが有効である (V=1) 場合には、キャッシュヒットとなります。それ以外の場合は、キャッシュミスとなります。ウェイ 1 がヒットした場合を図 6.2 に示します。

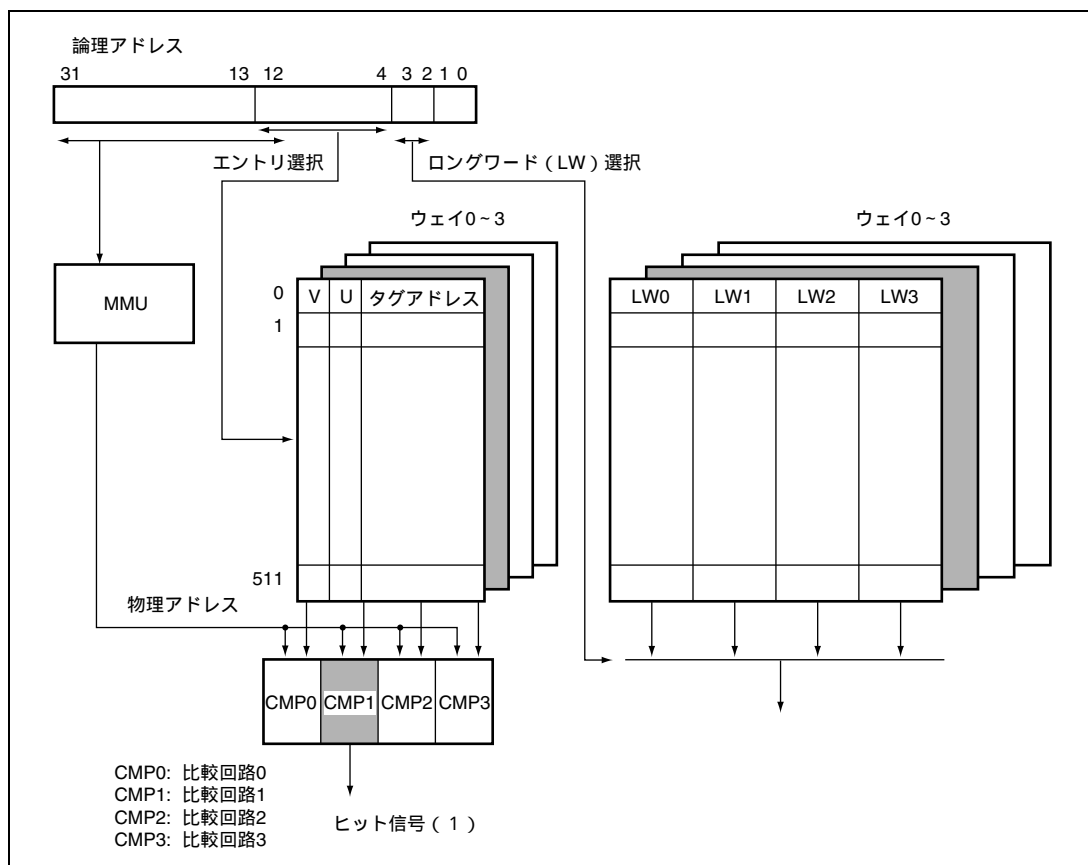


図 6.2 キャッシュの検索方法

### 6.3.2 リード動作

#### (1) リードヒット

キャッシュから CPU に命令またはデータが転送されます。ヒットしたウェイが最新となるように、LRU が更新されます。

#### (2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは、表 6.3 に従います。エントリの更新の単位は、16 バイトです。外部メモリから目的の命令またはデータがキャッシュに登録されると同時に、CPU にその命令またはデータが転送されます。キャッシュに登録される時に、U ビットが 0 に、V ビットが 1 にセットされ、置換されたウェイが最新となるように LRU が更新されます。ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

### 6.3.3 プリフェッチ動作

#### (1) プリフェッチヒット

ヒットしたウェイが最新となるように LRU が更新されます。その他のキャッシュの内容は、変更されません。CPU への命令またはデータの転送は、行われません。

#### (2) プリフェッチミス

CPU への命令またはデータの転送が行われず、置換するウェイは表 6.2 に従います。その他の動作はリードミスの場合と同じです。

### 6.3.4 ライト動作

#### (1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウェイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウェイが最新になるように LRU が更新されます。

#### (2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイは、表 6.3 に従います。エントリの更新によって置換えられるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュにデータがライトされ、U ビットが 1 にセットされ、かつ V ビットも 1 にセットされます。置換したウェイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後は、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

### 6.3.5 ライトバックバッファ

ライトバックモードで置換えられるエントリの0ビットが1のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置換えられるエントリをまずライトバックバッファに転送し、キャッシュへ新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後は、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファは、キャッシュの1ライン分のデータ(16バイト)とその物理アドレスを保持可能です。ライトバックバッファの構成を図6.3に示します。

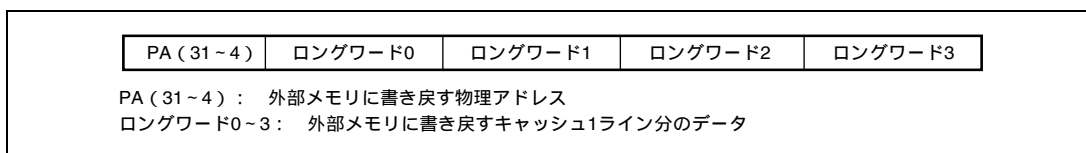


図 6.3 ライトバックバッファの構成

### 6.3.6 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシは、ソフトウェアで保証してください。

本LSIと他の装置との共有メモリをキャッシングするアドレス空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、無効化およびライトバックを行ってください。本LSI内のCPUとDMACとの共有メモリについても同様に行ってください。

## 6.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、特権モードにおいて、MOV 命令により、キャッシュの内容の読み出し、および書き込みが可能です。キャッシュは、論理アドレス空間の P4 領域に割り付けられています。アドレスアレイは H'F000 0000 ~ H'FFFF FFFF に、データアレイは H'F100 0000 ~ H'F1FF FFFF に割り付けられています。アドレスアレイおよびデータアレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

### 6.4.1 アドレスアレイ

アドレスアレイは、H'F0000000 ~ H'FFFF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレスの指定（読み出しまたは書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはアドレスアレイに書き込むタグアドレス、V ビット、U ビットおよび LRU ビットを指定します。

アドレスには、エントリを選択するためのエントリアドレス、ウェイを選択するための W、連想動作の有無を指定する A、およびアドレスアレイアクセスを示す HF0 を指定します。W は、00 がウェイ 0 を、01 がウェイ 1 を、10 がウェイ 2 を、11 がウェイ 3 を表します。

データには、タグアドレス、LRU ビット、U ビット、および V ビットを指定します。

アドレスおよびデータのフォーマットについては、図 6.4 および図 6.5 を参照してください。

アドレスアレイに対しては、次の 3 種類の操作が可能です。

#### (1) アドレスアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビット、および V ビットを読み出します。リードの場合は、アドレスに指定される連想ビット (A ビット) は 1 でも 0 でも連想動作は行いません。

#### (2) アドレスアレイライト (連想なし)

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビット、および V ビットを書き込みます。アドレスの連想ビット (A ビット) は、0 にしてください。書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合は、そのキャッシュラインの書き戻しを行った後に、データで指定されたタグアドレス、LRU ビット、U ビット、および V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

#### (3) アドレスアレイライト (連想あり)

アドレスの連想ビット (A ビット) を 1 にしてライトした場合は、アドレスで指定されたエントリの 4 ウェイすべてに対して、データで指定されたタグアドレスとの間で一致判定が行われます。このとき、MMU がイネーブ爾ならデータで指定された論理アドレスを TLB を用い物理アドレスに変換してから一致判定を行います。一致判定の結果ヒットしたウェイに対して、データで指定された U ビットと V ビットをエントリに書き込みます。ただし、タグアドレスと LRU ビットは、変更されません。アドレス変換の際に TLB にミスした場合や、どのウェイにもヒットしなかった場合は、書き込みを行わずノーオペレーションとなります。本動作は、キャッシュの特定エントリの無効化に用いられます。このときヒットしたエントリの U ビットが 1 だった場合は、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

## 6.4.2 データアレイ

データアレイは、H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレスの指定（読み出しまたは書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス、1 ライン（16 バイト）中のロングワード位置を示す L、ウェイを指定するための W、およびデータアレイアクセスを示す HF1 を指定します。L は、00 がロングワード 0 を、01 がロングワード 1 を、10 がロングワード 2 を、11 がロングワード 3 を表します。W は、00 がウェイ 0 を、01 がウェイ 1 を、10 がウェイ 2 を、11 がウェイ 3 を表します。アクセスはロングワードサイズ固定なので、アドレスのビット 1~0 には 00 を指定してください。

アドレスおよびデータのフォーマットについては、図 6.4 および図 6.5 を参照してください。

データアレイに対しては、次の 2 種類の操作が可能です。なお、この操作によってアドレスアレイの情報が変更されることはありません。

### (1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスの L で指定されたデータを読み出します。

### (2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスの L で指定された位置に、データで指定されたロングワードデータを書き込みます。

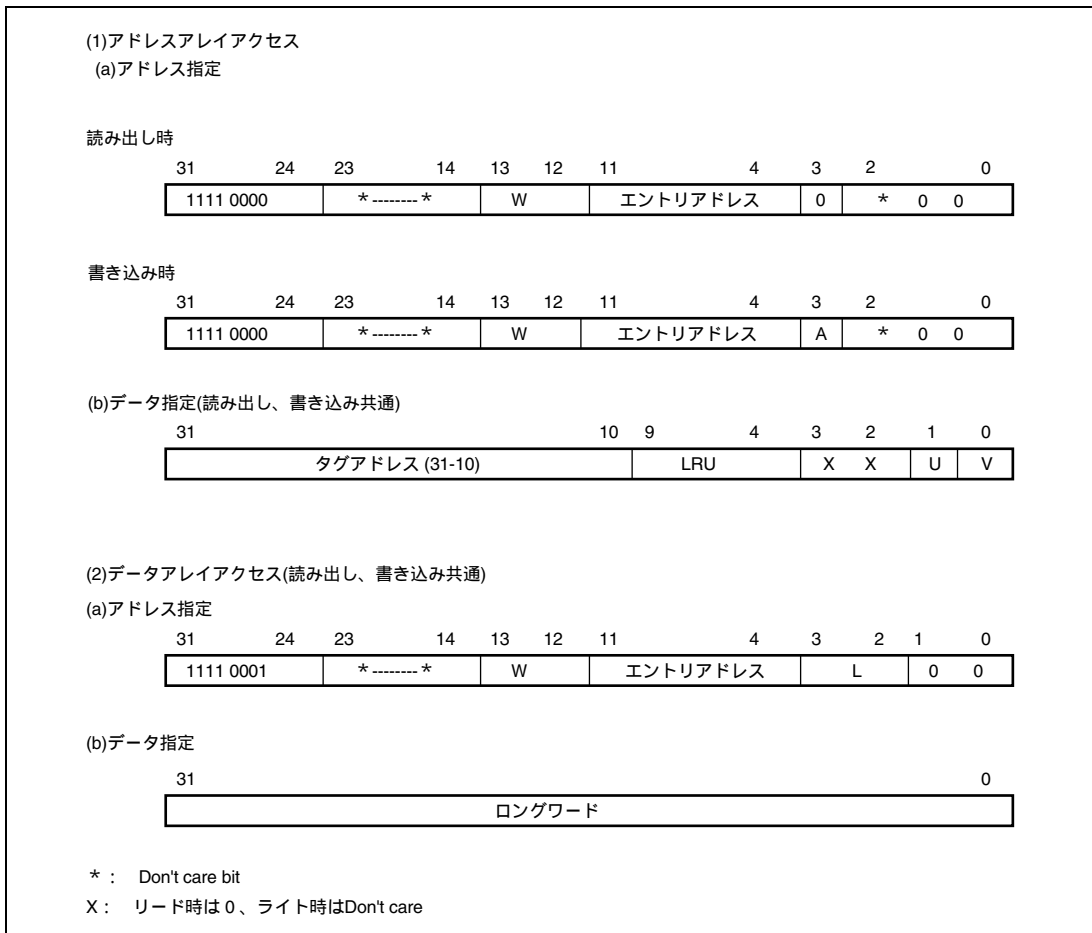


図 6.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法 (16k バイトモード時)

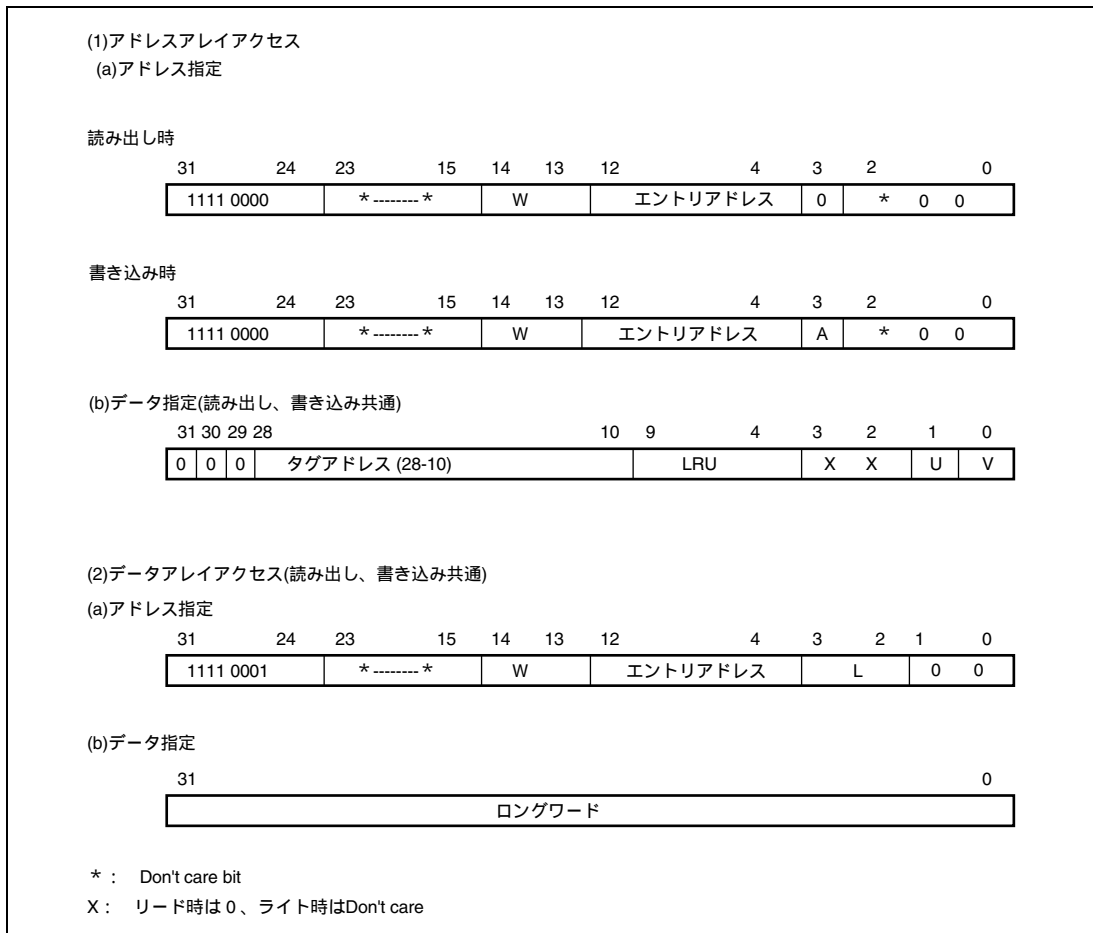


図 6.5 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法 (32k バイトモード時)

### 6.4.3 使用例

#### (1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリのVビットに0を書き込むことで実現できます。Aビットを1とし、書き込みデータで指定されるタグアドレスをエントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときにそのエントリのUビットが1だった場合はそのエントリがライトバックされ、書き込みデータで指定されたVビットおよびUビットを書き込みます。一致しない場合は、ノーオペレーションです。

以下に、R0に書き込みデータを、R1にアドレスを指定した場合の例を示します。

```
; R0 = H'0110 0010; VPN = B'0000 0001 0001 0000 0000 00, U = 0, V = 0
; R1 = HF000 0088; アドレスアレイアクセス、エントリ = B'00001000、A = 1
;
MOV.L   R0, @R1
```

#### (2) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図 6.4 または図 6.5 のデータアレイのデータ部に示されるロングワードが、レジスタに読み出されます。

以下に、R0にアドレスを指定し、R1に読み出す例を示します。

```
; R0 = HF100 004C; データアレイアクセス、エントリ = B'00000100、
;   ウェイ = 0、ロングワードアドレス = 3
;
MOV.L   @R0, R1 ; ロングワード 3 が読み出されます。
```



## 7. X/Y メモリ

本 LSI は、X/Y メモリモジュールを内蔵しており、命令やデータを格納することができます。

### 7.1 特長

- ページ：

Xメモリが2ページ（ページ0および1）とYメモリが2ページ（ページ0および1）の合計4ページが存在します。

- メモリマップ：

本メモリは、論理アドレス空間、物理アドレス空間およびXバスとYバスのアドレス空間にそれぞれ配置されています。

論理アドレス空間内では、表7.1に示されるアドレスに配置されます。これらのアドレスは、CPUの動作モードによって、P2（SR.MD=1の場合）、あるいはU<sub>xy</sub>（SR.MD=0かつSR.DSP=1の場合）と呼ばれる領域に含まれています。

表 7.1 X/Y メモリ論理アドレス

ページ	メモリサイズ（4 ページ合計）
	16k バイト
X メモリ ページ 0	H'A5007000 ~ H'A5007FFF
X メモリ ページ 1	H'A5008000 ~ H'A5008FFF
Y メモリ ページ 0	H'A5017000 ~ H'A5017FFF
Y メモリ ページ 1	H'A5018000 ~ H'A5018FFF

一方、物理アドレス空間内では、エリア1の一部に配置されています。物理アドレス空間からアクセスを行う場合は、表7.1に示すアドレスの上位3ビットを0としたアドレスを使用し、XバスとYバスのアドレス空間では表7.1に示すXメモリとYメモリのアドレスのそれぞれ上位16ビットを無視したアドレスを使用します。

- ポート：

各ページは、3本の独立した読み出しまたは書き込みのポートを持ち、各バスと接続されています。XメモリはIバス、Xバス、およびLバスと、YメモリはIバス、Yバス、およびLバスと接続されています。論理アドレス空間からのアクセスにはLバス、物理アドレス空間からのアクセスにはIバス、XバスとYバスのアドレス空間からのアクセスにはXバスとYバスが使用されます。

- 優先順位：

同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は、高い順にXメモリではIバス、Xバス、Lバスとなり、YメモリではIバス、Yバス、Lバスとなります。

## 7.2 動作説明

### 7.2.1 CPU からのアクセス

CPU からのアクセス手段として、論理アドレスにより L バスから直接アクセスを行う方法と、MMU を用いて物理アドレスに変換後 I バスからアクセスを行う方法があります。L バスからのアクセスは、ページ競合が発生しない限り 1 サイクルアクセスになります。I バスからのアクセスは、複数サイクル必要となります。CPU の動作モードに応じてそれぞれ以下ようになります。

(1) 特権モードおよび特権 DSP モード (SR.MD=1)

このモードでは、P2 領域から直接アクセスすることができます。また、MMU を使用して P0 および P3 領域の論理アドレスを本メモリへマッピングすることができます。

(2) ユーザ DSP モード (SR.MD=0 かつ SR.DSP=1)

このモードでは、U<sub>xy</sub> 領域から直接アクセスすることができます。また、MMU を使用して U0 領域の論理アドレスを本メモリへマッピングすることができます。

(3) ユーザモード (SR.MD=0 かつ SR.DSP=0)

このモードでは、MMU を使用して U0 領域の論理アドレスを本メモリへマッピングすることができます。

### 7.2.2 DSP からのアクセス

DSP からのアクセスは、命令の種類によりアクセス方法が異なります。

X データ転送命令および Y データ転送命令は、常に X バスおよび Y バスからのアクセスになります。この場合は、ページ競合が発生しない限り 1 サイクルアクセスになります。また、X バスからの X メモリアクセスと、Y バスからの Y メモリアクセスは、同時に行うことができます。

シングルデータ転送命令は、アクセス手段として、論理アドレスにより L バスから直接アクセスを行う方法と、MMU を用いて物理アドレスに変換後 I バスからアクセスを行う方法があります。L バスからのアクセスは、ページ競合が発生しない限り 1 サイクルアクセスになります。I バスからのアクセスは、複数サイクル必要となります。CPU の動作モードに応じてそれぞれ以下ようになります。

(1) 特権 DSP モード (SR.MD=1 かつ SR.DSP=1)

このモードでは、P2 領域から直接アクセスすることができます。また、MMU を使用して P0 および P3 領域の論理アドレスを本メモリへマッピングすることができます。

(2) ユーザ DSP モード (SR.MD=0 かつ SR.DSP=1)

このモードでは、U<sub>xy</sub> 領域から直接アクセスすることができます。また、MMU を使用して U0 領域の論理アドレスを本メモリへマッピングすることができます。

### 7.2.3 DMAC、E-DMAC および IPSEC からのアクセス

DMAC、E-DMAC および IPSEC\*からの本メモリへのアクセスは、常に物理アドレスバスである I バスからのアクセスとなります。表 7.1 に示すアドレスの上位 3 ビットを 0 としたアドレスを使用してください。

【注】 \* IPSEC は、SH7710 にのみ内蔵されています。

## 7.3 使用上の注意事項

### 7.3.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、各バスごとに異なるメモリや異なるページをアクセスすれば競合は発生しません。

### 7.3.2 バス競合

Iバスは、複数のバスマスタモジュールによる共有バスです。このため、Iバス経由のアクセスは、Iバス上で他のIバスマスタモジュールとの間でバス競合が発生する場合があります。バス競合が発生するとメモリアクセスの性能低下を招きますので、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、CPUによる本メモリのアクセスでは、Iバス経由を避けP2領域またはUxy領域から直接アクセスすることによってIバス上での競合を回避できます。

### 7.3.3 MMU、キャッシュの設定

CPUとDSPからキャッシュを利用してIバス経由で本メモリアクセスした場合には、動作を保証しません。キャッシュを有効(CCR1.CE=1)にして使用する場合には、P2またはUxy領域からLバス経由でアクセスするかP0、P3、U0領域からのアクセスではMMUを有効(MMUCR.AT=1)にして、ページ属性にキャッシュ不可(Cビット=0)を設定し、キャッシュを利用しないIバス経由のアクセスとして使用してください。ただし、Iバス経由のアクセスは、複数サイクルが必要になります(必要なサイクル数は、内部クロック(I)とバスクロック(B)の比やDMAC、E-DMACおよびIPSEC\*の動作状態などにより変化します)。高い性能が必要なプログラムでは、P2またはUxy領域からアクセスすることを推奨します。以上の関係を表7.2にまとめます。

【注】 \* IPSECは、SH7710にのみ内蔵されています。

表 7.2 MMU、キャッシュの設定

設 定		論理アドレス領域とアクセスの可否			
CCR1.CE	MMUCR.AT	P0、U0	P1	P2、Uxy	P3
0	0				
0	1				
1	0	x	x		x
1	1		x		

【記号説明】 : 可(推奨)  
 : 可  
 : 可(ただし、MMUのページ属性をCビット=0に設定すること)  
 x: 不可

### 7.3.4 スリープモード

スリープモード中は DMAC、E-DMAC および IPSEC\* から本メモリへのアクセスは行えません。

【注】 \* IPSEC は、SH7710 にのみ内蔵されています。

### 7.3.5 アドレスエラー

X/Y メモリに対して、アドレスエラーを起こす書き込みを行った場合、X/Y メモリの内容は保証しません。

---

## 8. 割り込みコントローラ (INTC)

---

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って割り込み要求が処理されます。

### 8.1 特長

INTC には、次のような特長があります。

- 割り込み優先順位を16レベル設定可能

割り込み優先レベル設定レジスタにより、内蔵周辺モジュール、IRQ割り込みの優先順位を割り込み要求元別に16レベルまで設定することができます。

- NMIノイズキャンセル機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラとして使用できます。

- IRQ割り込みを設定可能

ローレベル、立ち上がり、立ち下がり、ハイレベル

- 割り込み要求信号を外部へ出力可能 ( $\overline{\text{IRQOUT}}$ 端子)

外部割り込みや内蔵周辺モジュール割り込み要求が発生したことを外部バスマスタに知らせることにより、バス権を要求することができます。

## 8.1.1 ブロック図

割り込みコントローラのブロック図を図 8.1 に示します。

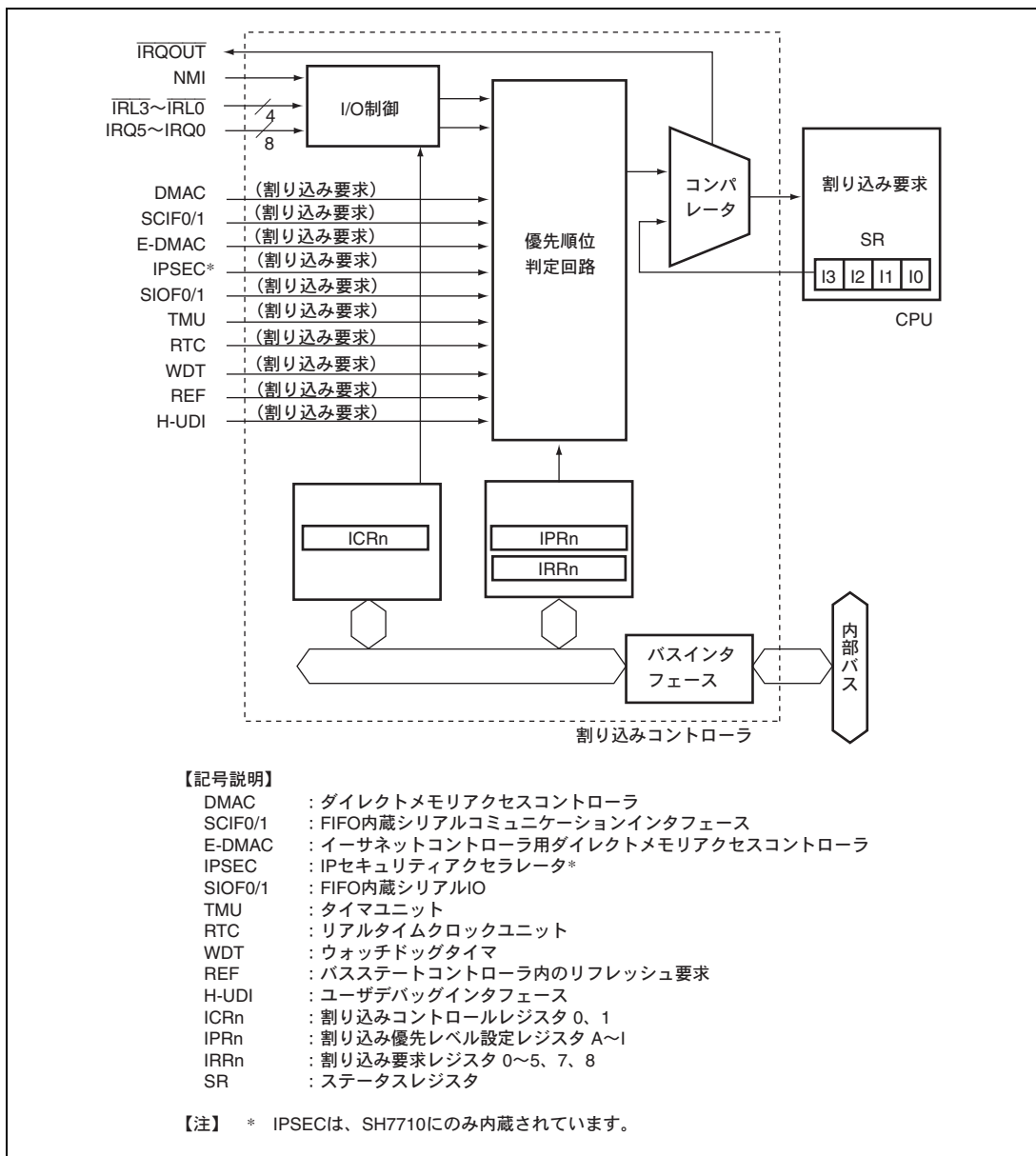


図 8.1 割り込みコントローラブロック図

## 8.2 入出力端子

割り込みコントローラの端子構成を表 8.1 に示します。

表 8.1 端子構成

名称	略語	入出力	内 容
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号の入力
割り込み入力端子	IRQ5~IRQ0 IRL3~IRL0* <sup>1</sup>	入力	割り込み要求信号の入力
バス権要求出力端子* <sup>2</sup>	IRQOUT	出力	割り込み要求が発生したことを通知する信号

【注】 \*1 IRL3~IRL0 は、IRQ3~IRQ0 と端子が兼用になっているため、同時には使用できません。

\*2 NMI または H-UDI 割り込み要求が発生し、CPU の割り込み応答時間が短い場合には、アサートされないことがあります。

## 8.3 割り込み要因

割り込み要因は、NMI、IRQ、IRL、内蔵周辺モジュールの 4 つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル 16 が最高でレベル 1 が最低です。レベル 0 に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

### 8.3.1 NMI 割り込み

NMI 割り込みは、レベル 16 の最優先の割り込みです。割り込みコントロールレジスタ 1 (ICR1) の BLMSK ビットが 1 か、ステータスレジスタ (SR) の BL ビットが 0 の場合は、ICR1 の MAI ビットが 0 ならば NMI 割り込みは受け付けられます。NMI 割り込みは、エッジ検出です。ただし、スリープまたはスタンバイモード中は、BL ビットにかかわらず割り込みが受け付けられます。割り込みコントロールレジスタ 0 (ICR0) の NMI エッジセレクトビット (NMIE) は、立ち上がりエッジまたは立ち下がりエッジの選択を行います。

エッジ入力割り込み検出では、周辺クロック (Pφ) ベースで 2 サイクル以上のパルス幅が必要です。NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。BL ビットが 1 の場合、ICR1 の BLMSK ビットが 1 にセットされているときは、NMI 割り込みのみが受け付けられます。

NMI 割り込みを使用して、スリープ、スタンバイ状態から復帰できます。

### 8.3.2 IRQ 割り込み

IRQ 割り込みは、IRQ5~IRQ0 端子からレベルまたはエッジで入力されます。優先レベルは、割り込み優先レベル設定レジスタ C、D (IPRC、D) にレベル 0~15 の範囲で設定できます。

IRQ 割り込みをエッジセンスで使用する場合は、IRR0 の対応するビットをソフトウェアで 1 であることを読み出した後に 0 を書き込み、割り込み要因をクリアしてください。

ICR1 に上書きする際は、IRQ 端子の状態によっては IRQ 割り込みが誤検出される可能性があります。これを避けるため、まず割り込みをマスク状態で上書きし、それから割り込み要求レジスタ 0 (IRR0) を読み出した後に 0 を書き込んで不正な割り込みをクリアした後にマスクを解除してください。

エッジ入力割り込み検出では、周辺クロック (Pφ) ベースで 2 サイクル以上のパルス幅を必要とします。

IRQ 割り込みをレベルセンスで使用する場合は、CPU がサンプリングするまで端子レベルを保持する必要があります。したがって、割り込みハンドラ内で割り込み要因をクリアしてください。

IRQ 割り込み処理ルーチンによって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。IRQ 割り込みは、該当する割り込みレベルが SR レジスタの I3-I0 より高い場合にスタンバイからの復帰に使用できます (ただし、RTC 使用時のみ RTC 用クロックでスタンバイ復帰)。

### 8.3.3 IRL 割り込み

IRL 割り込みは、 $\overline{IRL3}$ ~ $\overline{IRL0}$  端子でレベルとして入力される割り込みです。優先順位レベルは、端子  $\overline{IRL3}$ ~ $\overline{IRL0}$  で示したより高い方のレベルです。 $\overline{IRL3}$ ~ $\overline{IRL0}$  の値が 0 (B'0000) のときは、最高レベルの割り込み要求 (割り込み優先順位レベル 15) を示します。値が 15 (B'1111) の場合は、割り込み要求がない (割り込み優先順位レベル 0) ことを示します。図 8.2 に IRL 割り込み接続の例を示します。表 8.3 は、 $\overline{IRL}$  端子と割り込みレベルを示します。

IRL 割り込みは、ノイズキャンセラ機能が組み込まれ、周辺モジュールクロックごとにサンプリングされたレベルが 2 サイクル続けて同一の値になったときに初めて検出されます。これにより、 $\overline{IRL}$  端子の変化時の誤ったレベルを取りこむことを防止できます。また、スタンバイモード時は周辺モジュールクロックが停止しているため、代わりに RTC 用クロック (32kHz) を使用してノイズキャンセラの処理を行います。このため RTC を使用しない場合は、スタンバイモード中に IRL 割り込みによるスタンバイ復帰は行えません。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理が開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることはできません。

IRL 割り込み処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。



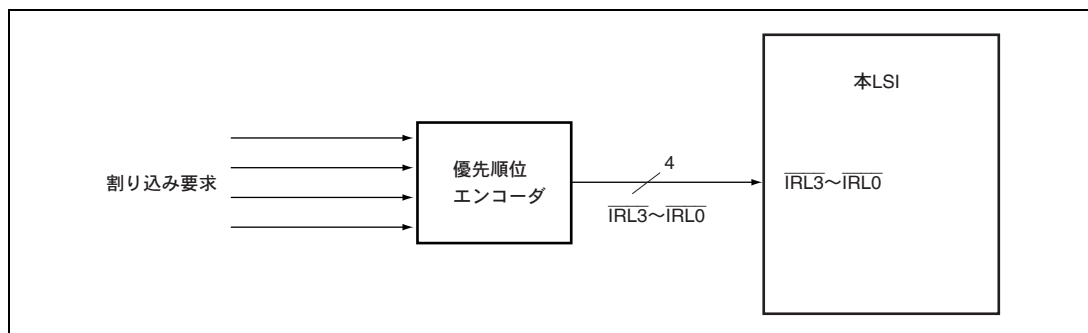


図 8.2 IRL 割り込み接続例

### 8.3.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、次のような 14 種類 (SH7710) または 13 種類 (SH7712、SH7713) のモジュールで発生する割り込みです。

- DMAコントローラ (DMAC)
- FIFO内蔵シリアルコミュニケーションインタフェース (SCIF0、1)
- イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC)  
(EtherCの割り込みも含む)
- IPセキュリティアクセラレータ (IPSEC) (SH7710にのみ内蔵されています)
- FIFO内蔵シリアルIO (SIOF0、1)
- タイムユニット (TMU0、1、2)
- リアルタイムクロック (RTC)
- ウォッチドッグタイマ (WDT)
- バスステートコントローラ (BSC)
- ユーザデバッグインタフェース (H-UDI)

割り込み要因ごとに異なる割り込みベクタが割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT および INTEVT2) に反映されますので、INTEVT または INTEVT2 レジスタの値をオフセットとして分岐することにより、容易に要因を判定できます。

H-UDI を除く各モジュールの優先順位レベル (0~15) は、割り込み優先レベル設定レジスタ A、B、E~I (IPRA、IPRB、IPRE~IPRI) に優先順位レベル値を書き込むことによってセットすることができます。H-UDI の優先順位レベルは、15 (固定) です。

ステータスレジスタの割り込みマスクビット (I3~I0) は、内蔵周辺モジュール割り込み処理の影響を受けません。

### 8.3.5 割り込み例外処理および優先順位

割り込み要因は、NMI、IRQ、IRL、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

割り込み要因と割り込み事象レジスタ (INTEVT および INTEVT2) の要因コード、割り込み優先順位を表 8.2、表 8.3 に示します。

各割り込み要因は、割り込み事象レジスタ (INTEVT および INTEVT2) にそれぞれ異なる要因コードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭でINTEVTまたはINTEVT2レジスタの値を使って分岐させます。たとえば、INTEVT および INTEVT2 レジスタの値をオフセットにして分岐させます。

内蔵周辺モジュール、IRQ 割り込みの優先順位は、割り込み優先レベル設定レジスタによって優先レベル 15~0 の範囲で任意に設定できます。リセットによって内蔵周辺モジュールと IRQ 割り込みの優先順位は、優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合にそれらの割り込みが同時に発生したときは、表 8.2 および表 8.3 に示す「デフォルト優先順位」に従って処理されます。

表 8.2 割り込み例外処理要因と優先順位 (IRQ モード時)

割り込み要因		例外コード* <sup>1</sup>	割り込み優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
NMI		H'1C0 * <sup>2</sup>	16	—	—	高 ↑         ↓ 低
H-UDI		H'5E0 * <sup>2</sup>	15	—	—	
IRQ	IRQ0	H'600 * <sup>3</sup>	0-15 (0)	IPRC (3-0)	—	
	IRQ1	H'620 * <sup>3</sup>	0-15 (0)	IPRC (7-4)	—	
	IRQ2	H'640 * <sup>3</sup>	0-15 (0)	IPRC (11-8)	—	
	IRQ3	H'660 * <sup>3</sup>	0-15 (0)	IPRC (15-12)	—	
	IRQ4	H'680 * <sup>3</sup>	0-15 (0)	IPRD (3-0)	—	
	IRQ5	H'6A0 * <sup>3</sup>	0-15 (0)	IPRD (7-4)	—	
DMAC(1)	DEI0	H'800 * <sup>3</sup>	0-15 (0)	IPRE (15-12)	高	
	DEI1	H'820 * <sup>3</sup>	0-15 (0)		↑	
	DEI2	H'840 * <sup>3</sup>	0-15 (0)		↓	
	DEI3	H'860 * <sup>3</sup>	0-15 (0)		低	
SCIF0	ERI0	H'880 * <sup>3</sup>	0-15 (0)	IPRE (11-8)	高	
	RXIO	H'8A0 * <sup>3</sup>			↑	
	BRI0	H'8C0 * <sup>3</sup>			↓	
	TXIO	H'8E0 * <sup>3</sup>			低	

割り込み要因		例外コード* <sup>1</sup>	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
SCIF1	ERI1	H'900 * <sup>3</sup>	0-15 (0)	IPRE (7-4)	高 ↑ ↓ 低	高 ↑ ↓ 低
	RXI1	H'920 * <sup>3</sup>				
	BRI1	H'940 * <sup>3</sup>				
	TXI1	H'960 * <sup>3</sup>				
DMAC (2)	DEI4	H'B80 * <sup>3</sup>	0-15 (0)	IPRF (11-8)	高 ↓ 低	
	DEI5	H'BA0 * <sup>3</sup>				
IPSEC* <sup>4</sup>	IPSECI	H'BE0 * <sup>3</sup>	0-15 (0)	IPRF (15-12)	—	
E-DMAC	EINT0	H'C00 * <sup>3</sup>	0-15 (0)	IPRG (15-12)	—	
	EINT1* <sup>5</sup>	H'C20 * <sup>3</sup>	0-15 (0)	IPRG (11-8)	—	
	EINT2* <sup>5</sup>	H'C40 * <sup>3</sup>	0-15 (0)	IPRG (7-4)	—	
SIOF0	ERI0	H'E00* <sup>3</sup>	0-15 (0)	IPRH (3-0)	高 ↑ ↓ 低	
	TXI0	H'E20* <sup>3</sup>				
	RXI0	H'E40* <sup>3</sup>				
	CCI0	H'E60* <sup>3</sup>				
SIOF1	ERI1	H'E80* <sup>3</sup>	0-15 (0)	IPRI (7-4)	高 ↑ ↓ 低	
	TXI1	H'EA0* <sup>3</sup>				
	RXI1	H'EC0* <sup>3</sup>				
	CCI1	H'EE0* <sup>3</sup>				
TMU0	TUNI0	H'400 * <sup>2</sup>	0-15 (0)	IPRA (15-12)	—	
TMU1	TUNI1	H'420 * <sup>2</sup>	0-15 (0)	IPRA (11-8)	—	
TMU2	TUNI2	H'440 * <sup>2</sup>	0-15 (0)	IPRA (7-4)	—	
RTC	ATI	H'480 * <sup>2</sup>	0-15 (0)	IPRA (3-0)	高 ↑ ↓ 低	
	PRI	H'4A0 * <sup>2</sup>				
	CUI	H'4C0 * <sup>2</sup>				
WDT	ITI	H'560 * <sup>2</sup>	0-15 (0)	IPRB (15-12)	—	
REF	RCMI	H'580 * <sup>2</sup>	0-15 (0)	IPRB (11-8)	—	

【注】 \*1 : INTEVT2 コード。

\*2 : INTEVT には、INTEVT2 と同じコードがセットされます。

\*3 : INTEVT には、割り込みレベル (H'200~H'3C0) を示すコードがセットされます。割り込みレベルと INTEVT の対応は、表 8.4 を参照してください。

\*4 : IPSEC は、SH7710 にのみ内蔵されています。

\*5 : EINT1 および EINT2 は、SH7713 にはありません。

表 8.3 割り込み例外処理要因と優先順位 (IRL モード時)

割り込み要因		例外コード <sup>*1</sup>	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
NMI		H'1C0 <sup>*2</sup>	16	—	—	高 ↑ ↓ 低
H-UDI		H'5E0 <sup>*2</sup>	15	—	—	
IRL	IRL[3:0]=B'0000	H'200 <sup>*3</sup>	15	—	—	
	IRL[3:0]=B'0001	H'220 <sup>*3</sup>	14	—	—	
	IRL[3:0]=B'0010	H'240 <sup>*3</sup>	13	—	—	
	IRL[3:0]=B'0011	H'260 <sup>*3</sup>	12	—	—	
	IRL[3:0]=B'0100	H'280 <sup>*3</sup>	11	—	—	
	IRL[3:0]=B'0101	H'2A0 <sup>*3</sup>	10	—	—	
	IRL[3:0]=B'0110	H'2C0 <sup>*3</sup>	9	—	—	
	IRL[3:0]=B'0111	H'2E0 <sup>*3</sup>	8	—	—	
	IRL[3:0]=B'1000	H'300 <sup>*3</sup>	7	—	—	
	IRL[3:0]=B'1001	H'320 <sup>*3</sup>	6	—	—	
	IRL[3:0]=B'1010	H'340 <sup>*3</sup>	5	—	—	
	IRL[3:0]=B'1011	H'360 <sup>*3</sup>	4	—	—	
	IRL[3:0]=B'1100	H'380 <sup>*3</sup>	3	—	—	
	IRL[3:0]=B'1101	H'3A0 <sup>*3</sup>	2	—	—	
IRL[3:0]=B'1110	H'3C0 <sup>*3</sup>	1	—	—		
IRQ	IRQ4	H'680 <sup>*3</sup>	0-15 (0)	IPRD (3-0)	—	
	IRQ5	H'6A0 <sup>*3</sup>	0-15 (0)	IPRD (7-4)	—	
DMAC (1)	DEI0	H'800 <sup>*3</sup>	0-15 (0)	IPRE (15-12)	高 ↑ ↓ 低	
	DEI1	H'820 <sup>*3</sup>				
	DEI2	H'840 <sup>*3</sup>				
	DEI3	H'860 <sup>*3</sup>				
SCIF0	ERI0	H'880 <sup>*3</sup>	0-15 (0)	IPRE (11-8)	高 ↑ ↓ 低	
	RXI0	H'8A0 <sup>*3</sup>				
	BRI0	H'8C0 <sup>*3</sup>				
	TXI0	H'8E0 <sup>*3</sup>				
SCIF1	ERI1	H'900 <sup>*3</sup>	0-15 (0)	IPRE (7-4)	高 ↑ ↓ 低	
	RXI1	H'920 <sup>*3</sup>				
	BRI1	H'940 <sup>*3</sup>				
	TXI1	H'960 <sup>*3</sup>				
DMAC (2)	DEI4	H'B80 <sup>*3</sup>	0-15 (0)	IPRF (11-8)	高 ↓ 低	
	DEI5	H'BA0 <sup>*3</sup>				
IPSEC <sup>*4</sup>	IPSECI	H'BE0 <sup>*3</sup>	0-15 (0)	IPRF (15-12)	—	
E-DMAC	EINT0	H'C00 <sup>*3</sup>	0-15 (0)	IPRG (15-12)	—	
	EINT1 <sup>*5</sup>	H'C20 <sup>*3</sup>	0-15 (0)	IPRG (11-8)	—	
	EINT2 <sup>*5</sup>	H'C40 <sup>*3</sup>	0-15 (0)	IPRG (7-4)	—	

割り込み要因		例外コード* <sup>1</sup>	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
SIOF0	ERI0	H'E00* <sup>3</sup>	0-15 (0)	IPRH (3-0)	高 ↑ ↓ 低	高 ↑ ↓ 低
	TXI0	H'E20* <sup>3</sup>				
	RXI0	H'E40* <sup>3</sup>				
	CCI0	H'E60* <sup>3</sup>				
SIOF1	ERI1	H'E80* <sup>3</sup>	0-15 (0)	IPRI (7-4)	高 ↑ ↓ 低	
	TXI1	H'EA0* <sup>3</sup>				
	RXI1	H'EC0* <sup>3</sup>				
	CCH1	H'EE0* <sup>3</sup>				
TMU0	TUNI0	H'400 * <sup>2</sup>	0-15 (0)	IPRA (15-12)	—	
TMU1	TUNI1	H'420 * <sup>2</sup>	0-15 (0)	IPRA (11-8)	—	
TMU2	TUNI2	H'440 * <sup>2</sup>	0-15 (0)	IPRA (7-4)	—	
RTC	ATI	H'480 * <sup>2</sup>	0-15 (0)	IPRA (3-0)	高 ↑ ↓ 低	
	PRI	H'4A0 * <sup>2</sup>				
	CUI	H'4C0 * <sup>2</sup>				
WDT	ITI	H'560 * <sup>2</sup>	0-15 (0)	IPRB (15-12)	—	
REF	RCMI	H'580 * <sup>2</sup>	0-15 (0)	IPRB (11-8)	—	

【注】 \*1: INTEVT2 コード。

\*2: INTEVT には、INTEVT2 と同じコードがセットされます。

\*3: INTEVT には、割り込みレベル (H'200~H'3C0) を示すコードがセットされます。割り込みレベルと INTEVT の対応は、表 8.4 を参照してください。

\*4: IPSEC は、SH7710 にのみ内蔵されています。

\*5: EINT1 および EINT2 は、SH7713 にはありません。

表 8.4 割り込みレベルと INTEVT コード

割り込みレベル	INTEVT コード
15	H'200
14	H'220
13	H'240
12	H'260
11	H'280
10	H'2A0
9	H'2C0
8	H'2E0
7	H'300
6	H'320
5	H'340
4	H'360
3	H'380
2	H'3A0
1	H'3C0

## 8.4 レジスタの説明

割り込みコントローラには、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- 割り込みコントロールレジスタ0 (ICR0)
- 割り込みコントロールレジスタ1 (ICR1)
- 割り込み優先レベル設定レジスタA (IPRA)
- 割り込み優先レベル設定レジスタB (IPRB)
- 割り込み優先レベル設定レジスタC (IPRC)
- 割り込み優先レベル設定レジスタD (IPRD)
- 割り込み優先レベル設定レジスタE (IPRE)
- 割り込み優先レベル設定レジスタF (IPRF)
- 割り込み優先レベル設定レジスタG (IPRG)
- 割り込み優先レベル設定レジスタH (IPRH)
- 割り込み優先レベル設定レジスタI (IPRI)
- 割り込み要求レジスタ0 (IRR0)
- 割り込み要求レジスタ1 (IRR1)
- 割り込み要求レジスタ2 (IRR2)
- 割り込み要求レジスタ3 (IRR3)
- 割り込み要求レジスタ4 (IRR4)
- 割り込み要求レジスタ5 (IRR5)
- 割り込み要求レジスタ7 (IRR7)
- 割り込み要求レジスタ8 (IRR8)

### 8.4.1 割り込み優先レベル設定レジスタ A～I (IPRA～IPRI)

IPRA～IPRI は、内蔵周辺モジュール、IRQ 割り込みに対して 0～15 までの優先順位レベルを設定する 16 ビットの読み出しまたは書き込み可能なレジスタです。これらのレジスタはパワーオンリセット、マニュアルリセット時に H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15	—	0	R/W	4 ビット単位で、各割り込み要因の割り込み優先レベルを設定します。詳細は「表 8.5 割り込み要求要因と IPRA～IPRI」を参照してください。
14	—	0	R/W	
13	—	0	R/W	
12	—	0	R/W	
11	—	0	R/W	
10	—	0	R/W	
9	—	0	R/W	
8	—	0	R/W	
7	—	0	R/W	
6	—	0	R/W	
5	—	0	R/W	
4	—	0	R/W	
3	—	0	R/W	
2	—	0	R/W	
1	—	0	R/W	
0	—	0	R/W	

表 8.5 割り込み要求要因と IPRA～IPRI

レジスタ名	ビット 15～12	ビット 11～8	ビット 7～4	ビット 3～0
IPRA	TMU0	TMU1	TMU2	RTC
IPRB	WDT	REF	予約*	予約*
IPRC	IRQ3	IRQ2	IRQ1	IRQ0
IPRD	予約*	予約*	IRQ5	IRQ4
IPRE	DMAC (1)	SCIF0	SCIF1	予約*
IPRF	SH7710 : IPSEC SH7712 : 予約* SH7713 : 予約*	DMAC (2)	予約*	予約*
IPRG	SH7710 : E-DMAC (1) SH7712 : E-DMAC (1) SH7713 : E-DMAC	SH7710 : E-DMAC (2) SH7712 : E-DMAC (2) SH7713 : 予約*	SH7710 : E-DMAC (3) SH7712 : E-DMAC (3) SH7713 : 予約*	予約*
IPRH	予約*	予約*	予約*	SIOF0
IPRI	予約*	予約*	SIOF1	予約*

【注】 \* 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。



表 8.5 に示すように各レジスタには、4 組の内蔵周辺モジュールまたは IRQ 割り込みが割り当てられます。4 ビットグループ (ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0) は、H'0 (0000) ~H'F (1111) の値に設定することができます。設定 H'0 は優先順位レベル 0 (要求マスク) を意味し、H'F は優先順位レベル 15 (最高レベル) です。

#### 8.4.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、外部割り込み入力端子 NMI の入力検出モードを設定し、NMI 端子に対する入力信号レベルを示します。このレジスタはパワーオンリセットまたはマニュアルリセット時に H'0000 または H'8000 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15	NMIL	0/1*	R	NMI 入力レベル NMI 端子に信号の入力レベルをセットします。このビットを読み出して NMI 端子レベルを判断することができます。このビットは、変更不可能です。 0: NMI 入力レベルはロー 1: NMI 入力レベルはハイ
14	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
13	—	0	R	
12	—	0	R	
11	—	0	R	
10	—	0	R	
9	—	0	R	
8	NMIE	0	R/W	NMI エッジ選択 NMI 端子入力の立ち下がりまたは立ち上がりエッジのどちらで割り込み要求信号を検出するかを選択します。 0: NMI 端子入力の立ち下がりエッジで割り込み要求信号を検出 1: NMI 端子入力の立ち上がりエッジで割り込み要求信号を検出
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	—	0	R	
2	—	0	R	
1	—	0	R	
0	—	0	R	

【注】 \* NMI 入力が高レベル時は 1、NMI 入力がローレベル時は 0 になります。

### 8.4.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ5~IRQ0 に対して立ち上がりエッジ、立ち下がりエッジ、ローレベル、ハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。このレジスタはパワーオンリセット、マニュアルリセット時に H'4000 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明																		
15	MAI	0	R/W	<p>全割り込みマスク</p> <p>本ビットを 1 にセットすると、NMI 端子にローレベルを入力中、すべての割り込み要求をマスクします。また、スタンバイモード中、NMI 割り込みをマスクします。</p> <p>0: NMI 端子がローレベルのとき、すべての割り込み要求をマスクしない。</p> <p>1: NMI 端子がローレベルのとき、すべての割り込み要求をマスクする。</p>																		
14	IRQLVL	1	R/W	<p>割り込み要求レベル検出</p> <p>IRQ3~IRQ0 端子を 4 本の独立した割り込み端子として使用許可/禁止を選択します。IRQ4、IRQ5 には、影響はありません。</p> <p>0: 4 本の独立した割り込み端子 IRQ3~IRQ0 として使用許可</p> <p>1: IRL3~IRL0 としてエンコードした 15 レベルの割り込み端子として使用。</p>																		
13	BLMSK	0	R/W	<p>BL ビットマスク</p> <p>SR レジスタの BL ビットが 1 のとき、NMI 割り込みをマスクするかどうかを指定します。</p> <p>0: BL ビットが 1 のとき、NMI 割り込みをマスクする。</p> <p>1: BL ビットの設定に関係なく、NMI 割り込みを受け付ける。</p>																		
12	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>																		
11	IRQ51S	0	R/W	<p>IRQn センスセレクト</p> <p>IRQ5~IRQ0 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルのどれで検出するかを選択します。</p> <table border="1" data-bbox="669 1367 1208 1688"> <thead> <tr> <th>ビット 2n+1</th> <th>ビット 2n</th> <th></th> </tr> <tr> <th>IRQn1S</th> <th>IRQn0S</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>割り込み要求を IRQn 入力の立ち下がりエッジで検出する</td> </tr> <tr> <td>0</td> <td>1</td> <td>割り込み要求を IRQn 入力の立ち上がりエッジで検出する</td> </tr> <tr> <td>1</td> <td>0</td> <td>割り込み要求を IRQn 入力のローレベルで検出する</td> </tr> <tr> <td>1</td> <td>1</td> <td>割り込み要求を IRQn 入力のハイレベルで検出する</td> </tr> </tbody> </table> <p>【記号説明】 n=0~5</p>	ビット 2n+1	ビット 2n		IRQn1S	IRQn0S		0	0	割り込み要求を IRQn 入力の立ち下がりエッジで検出する	0	1	割り込み要求を IRQn 入力の立ち上がりエッジで検出する	1	0	割り込み要求を IRQn 入力のローレベルで検出する	1	1	割り込み要求を IRQn 入力のハイレベルで検出する
ビット 2n+1	ビット 2n																					
IRQn1S	IRQn0S																					
0	0	割り込み要求を IRQn 入力の立ち下がりエッジで検出する																				
0	1	割り込み要求を IRQn 入力の立ち上がりエッジで検出する																				
1	0	割り込み要求を IRQn 入力のローレベルで検出する																				
1	1	割り込み要求を IRQn 入力のハイレベルで検出する																				
10	IRQ50S	0	R/W																			
9	IRQ41S	0	R/W																			
8	IRQ40S	0	R/W																			
7	IRQ31S	0	R/W																			
6	IRQ30S	0	R/W																			
5	IRQ21S	0	R/W																			
4	IRQ20S	0	R/W																			
3	IRQ11S	0	R/W																			
2	IRQ10S	0	R/W																			
1	IRQ01S	0	R/W																			
0	IRQ00S	0	R/W																			

#### 8.4.4 割り込み要求レジスタ 0 (IRR0)

IRR0 は、外部入力端子 IRQ5~IRQ0 からの割り込み要求を示す 8 ビットレジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5	IRQ5R	0	R/W	IRQn 割り込み要求 IRQn 端子に割り込み要求が入力されているかを示します。 IRQn 端子がエッジ検出モードに設定されている場合は、割り込み要求は IRQnR ビットの 1 を読み出した後に 0 を書き込むことでクリアされます。 IRQn 端子がレベル検出モードに設定されている場合は、割り込み要求が入力されているかどうかを示します。IRQn 端子の入力値でのみセットまたはクリアすることができます。  [IRQnR] 0 : IRQn 端子に割り込み要求なし 1 : IRQn 端子に割り込み要求あり  【記号説明】 n=0~5
4	IRQ4R	0	R/W	
3	IRQ3R	0	R/W	
2	IRQ2R	0	R/W	
1	IRQ1R	0	R/W	
0	IRQ0R	0	R/W	

#### 8.4.5 割り込み要求レジスタ 1 (IRR1)

IRR1 は、DMAC、SCIF0 からの割り込み要求発生の有無を示す 8 ビットレジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	TXI0R	0	R	TXI0 割り込み要求 TXI0 (SCIF0) 割り込み要求が発生したかどうかを示します。 0 : TXI0 割り込み要求は、発生していない 1 : TXI0 割り込み要求は、発生している
6	BRI0R	0	R	BRI0 割り込み要求 BRI0 (SCIF0) 割り込み要求が発生したかどうかを示します。 0 : BRI0 割り込み要求は、発生していない 1 : BRI0 割り込み要求は、発生している
5	RXI0R	0	R	RXI0 割り込み要求 RXI0 (SCIF0) 割り込み要求が発生したかどうかを示します。 0 : RXI0 割り込み要求は、発生していない 1 : RXI0 割り込み要求は、発生している

ビット	ビット名	初期値	R/W	説明
4	ERI0R	0	R	ERI0 割り込み要求 ERI0 (SCIF0) 割り込み要求が発生したかどうかを示します。 0 : ERI0 割り込み要求は、発生していない 1 : ERI0 割り込み要求は、発生している
3	DEI3R	0	R	DEI3 割り込み要求 DEI3 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI3 割り込み要求は、発生していない 1 : DEI3 割り込み要求は、発生している
2	DEI2R	0	R	DEI2 割り込み要求 DEI2 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI2 割り込み要求は、発生していない 1 : DEI2 割り込み要求は、発生している
1	DEI1R	0	R	DEI1 割り込み要求 DEI1 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI1 割り込み要求は、発生していない 1 : DEI1 割り込み要求は、発生している
0	DEI0R	0	R	DEI0 割り込み要求 DEI0 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI0 割り込み要求は、発生していない 1 : DEI0 割り込み要求は、発生している

#### 8.4.6 割り込み要求レジスタ 2 (IRR2)

IRR2 は、SCIF1 からの割り込み要求発生の有無を示す 8 ビットレジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	TXI1R	0	R	TXI1 割り込み要求 TXI1 (SCIF1) 割り込み要求が発生したかどうかを示します。 0 : TXI1 割り込み要求は、発生していない 1 : TXI1 割り込み要求は、発生している
2	BRI1R	0	R	BRI1 割り込み要求 BRI1 (SCIF1) 割り込み要求が発生したかどうかを示します。 0 : BRI1 割り込み要求は、発生していない 1 : BRI1 割り込み要求は、発生している

ビット	ビット名	初期値	R/W	説明
1	RXI1R	0	R	RXI1 割り込み要求 RXI1 (SCIF1) 割り込み要求が発生したかどうかを示します。 0: RXI1 割り込み要求は、発生していない 1: RXI1 割り込み要求は、発生している
0	ERI1R	0	R	ERI1 割り込み要求 ERI1 (SCIF1) 割り込み要求が発生したかどうかを示します。 0: ERI1 割り込み要求は、発生していない 1: ERI1 割り込み要求は、発生している

#### 8.4.7 割り込み要求レジスタ 3 (IRR3)

IRR3 は、RTC からの割り込み要求発生の有無を示す 8 ビットレジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	CUIR	0	R	CUI 割り込み要求 CUI (RTC) 割り込み要求が発生したかどうかを示します。 0: CUI 割り込み要求は、発生していない 1: CUI 割り込み要求は、発生している
1	PRI R	0	R	PRI 割り込み要求 PRI (RTC) 割り込み要求が発生したかどうかを示します。 0: PRI 割り込み要求は、発生していない 1: PRI 割り込み要求は、発生している
0	ATIR	0	R	ATI 割り込み要求 ATI (RTC) 割り込み要求が発生したかどうかを示します。 0: ATI 割り込み要求は、発生していない 1: ATI 割り込み要求は、発生している

### 8.4.8 割り込み要求レジスタ 4 (IRR4)

IRR4 は、TMU2、TMU1、TMU0、WDT、REF からの割り込み要求発生の有無を示す 8 ビットレジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	TUNI2R	0	R	TUNI2 割り込み要求 TUNI2 (TMU2) 割り込み要求が発生したかどうかを示します。 0: TUNI2 割り込み要求は、発生していない 1: TUNI2 割り込み要求は、発生している
5	TUNI1R	0	R	TUNI1 割り込み要求 TUNI1 (TMU1) 割り込み要求が発生したかどうかを示します。 0: TUNI1 割り込み要求は、発生していない 1: TUNI1 割り込み要求は、発生している
4	TUNIO R	0	R	TUNIO 割り込み要求 TUNIO (TMU0) 割り込み要求が発生したかどうかを示します。 0: TUNIO 割り込み要求は、発生していない 1: TUNIO 割り込み要求は、発生している
3	ITIR	0	R	ITI 割り込み要求 ITI (WDT) 割り込み要求が発生したかどうかを示します。 0: ITI 割り込み要求は、発生していない 1: ITI 割り込み要求は、発生している
2	—	0	R	リザーブビット
1	—	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	RCMIR	0	R	RCMI 割り込み要求 RCMI (REF) 割り込み要求が発生したかどうかを示します。 0: RCMI 割り込み要求は、発生していない 1: RCMI 割り込み要求は、発生している

### 8.4.9 割り込み要求レジスタ 5 (IRR5)

IRR5 は、IPSEC (SH7710 のみ)、DMAC、E-DMAC からの割り込み要求発生の有無を示す 8 ビットレジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	IPSECIR	0	R	IPSEC 割り込み要求 IPSECI (IPSEC) 割り込み要求が発生したかどうかを示します。 0 : IPSECI 割り込み要求は、発生していない 1 : IPSECI 割り込み要求は、発生している 【注】本ビットは、SH7712 および SH7713 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5	DEI5R	0	R	DEI5 割り込み要求 DEI5 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI5 割り込み要求は、発生していない 1 : DEI5 割り込み要求は、発生している
4	DEI4R	0	R	DEI4 割り込み要求 DEI4 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI4 割り込み要求は、発生していない 1 : DEI4 割り込み要求は、発生している
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	EINT2R	0	R	EINT2 割り込み要求 EINT2 (E-DMAC) 割り込み要求が発生したかどうかを示します。 0 : EINT2 割り込み要求は、発生していない 1 : EINT2 割り込み要求は、発生している 【注】本ビットは、SH7713 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1	EINT1R	0	R	EINT1 割り込み要求 EINT1 (E-DMAC) 割り込み要求が発生したかどうかを示します。 0: EINT1 割り込み要求は、発生していない 1: EINT1 割り込み要求は、発生している 【注】本ビットは、SH7713 ではリザーブビットです。読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	EINT0R	0	R	EINT0 割り込み要求 EINT0 (E-DMAC) 割り込み要求が発生したかどうかを示します。 0: EINT0 割り込み要求は、発生していない 1: EINT0 割り込み要求は、発生している

#### 8.4.10 割り込み要求レジスタ 7 (IRR7)

IRR7 は、SIOF0 からの割り込み要求発生の有無を示す 8 ビットレジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	CCI0R	0	R	CCI0 割り込み要求 CCI0 (SIOF0) 割り込み要求が発生したかどうかを示します。 0: CCI0 割り込み要求は、発生していない 1: CCI0 割り込み要求は、発生している
6	RX10R	0	R	RX10 割り込み要求 RX10 (SIOF0) 割り込み要求が発生したかどうかを示します。 0: RX10 割り込み要求は、発生していない 1: RX10 割り込み要求は、発生している
5	TX10R	0	R	TX10 割り込み要求 TX10 (SIOF0) 割り込み要求が発生したかどうかを示します。 0: TX10 割り込み要求は、発生していない 1: TX10 割り込み要求は、発生している
4	ERI0R	0	R	ERI0 割り込み要求 ERI0 (SIOF0) 割り込み要求が発生したかどうかを示します。 0: ERI0 割り込み要求は、発生していない 1: ERI0 割り込み要求は、発生している
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。



### 8.4.11 割り込み要求レジスタ 8 (IRR8)

IRR8 は、SIOF1 からの割り込み要求発生の有無を示す 8 ビットレジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	CCI1R	0	R	CCI1 割り込み要求 CCI1 (SIOF1) 割り込み要求が発生したかどうかを示します。 0 : CCI1 割り込み要求は、発生していない 1 : CCI1 割り込み要求は、発生している
6	RXI1R	0	R	RXI1 割り込み要求 RXI1 (SIOF1) 割り込み要求が発生したかどうかを示します。 0 : RXI1 割り込み要求は、発生していない 1 : RXI1 割り込み要求は、発生している
5	TXI1R	0	R	TXI1 割り込み要求 TXI1 (SIOF1) 割り込み要求が発生したかどうかを示します。 0 : TXI1 割り込み要求は、発生していない 1 : TXI1 割り込み要求は、発生している
4	ERI1R	0	R	ERI1 割り込み要求 ERI1 (SIOF1) 割り込み要求が発生したかどうかを示します。 0 : ERI1 割り込み要求は、発生していない 1 : ERI1 割り込み要求は、発生している
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

## 8.5 動作説明

### 8.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 8.3 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から割り込み優先レベルレジスタ A~I (IPRA~IPRI) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込みまたは同一モジュール内の割り込みが複数発生した場合は、「表 8.2 割り込み例外処理要因と優先順位 (IRQモード時)」および「表 8.3 割り込み例外処理要因と優先順位 (IRLモード時)」に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3~I0) とが比較されます。I3~I0 ビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
4. 検出タイミング: INTC は、周辺クロック (Pφ) に同期して動作し、CPU に割り込み要求を通知します。CPU は、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT、INTEVT2) に割り込み要因コードがセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれ SSR と SPC に退避されます。
7. SR のブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が 1 にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値と H'00000600 の和) にジャンプします。このジャンプは、遅延分岐ではありません。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば、INTEVT または INTEVT2 レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. 本 LSI では、割り込みを受け付けても CPU のステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は、変化しません。
  2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。  
クリアしたはずの割り込み要因を誤まって再度受け付けないようにするためにクリア後要因フラグをリードし、その後 BL ビットをクリアするか、RTE 命令を実行します。

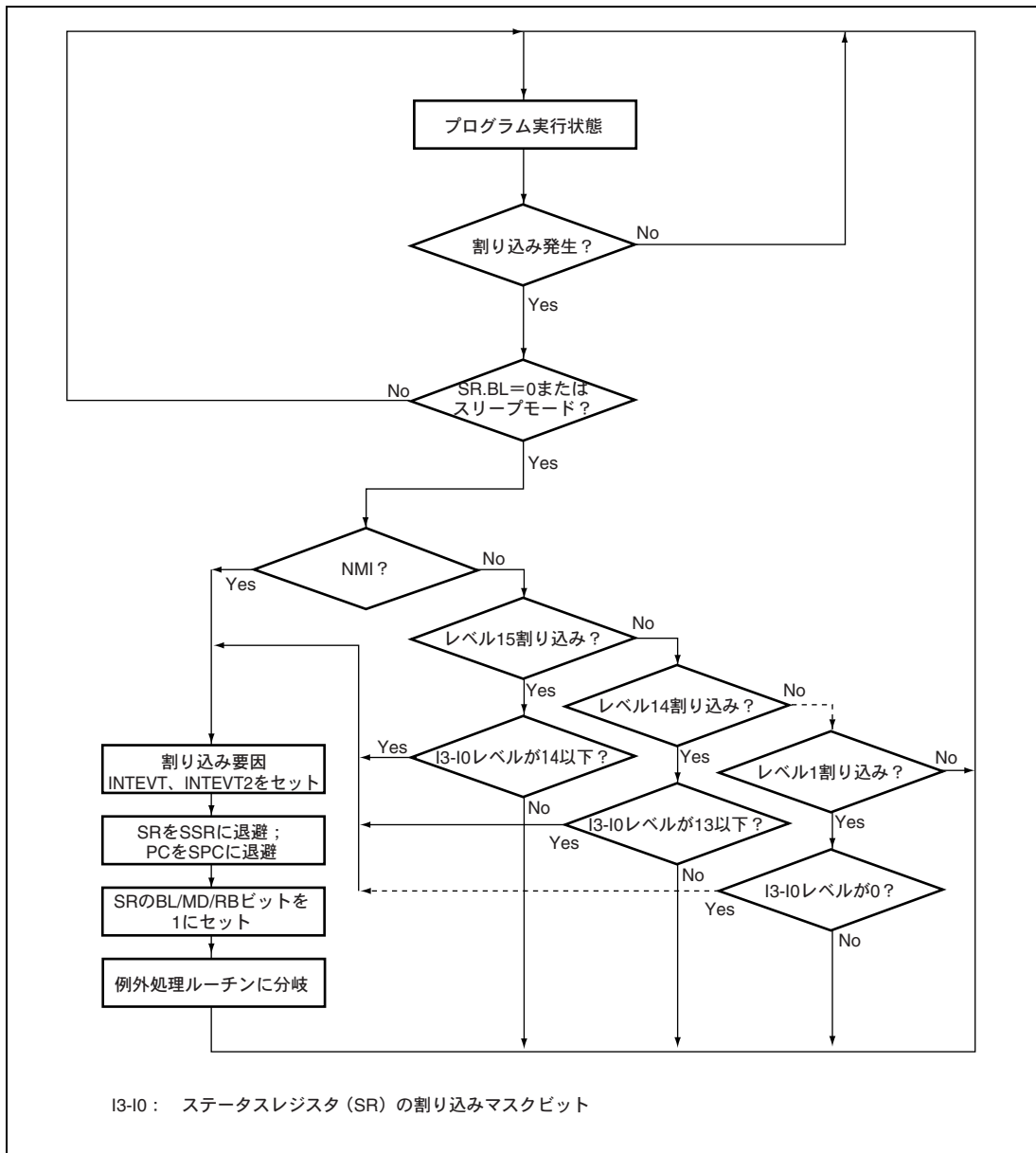


図 8.3 割り込み動作フローチャート

### 8.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTまたはINTEVT2レジスタの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPCとSSRをメモリに退避します。
4. SRのBLビットをクリアします。このとき、SRの割り込みマスクビットも受け付けた割り込みレベルに設定します。
5. このあと、実際に行いたい処理を書きます。
6. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより4.の直後の時点で多重割り込みがあった場合は、より優先レベルの高いものが受け付けられます。図 8.3 の割り込み動作フローチャートの例を参照ください。

---

## 9. ユーザブ레이크コントローラ ( UBC )

---

ユーザブ레이크コントローラ ( UBC ) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはデータの読み出し書き込み、データのサイズ、データの内容、アドレスの値、および命令フェッチの時の停止タイミングがあります。

### 9.1 特長

1. 次のようなブ레이크比較条件を設定できます。

ブ레이크チャンネル数：2チャンネル ( チャンネルAとB )

ユーザブ레이크は、チャンネルA、B独立に、または連続した ( シーケンシャル ) 一つの条件として設定することができます ( シーケンシャルブ레이크設定：チャンネルAのブ레이크条件が一致した後チャンネルBのブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき ) 。

- アドレス

ASIDとアドレス32ビットから構成された40ビットの比較において、ASIDは全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス32ビットの比較はビットごとにマスク可能で、ユーザは下位12ビット ( 4kページ )、下位10ビット ( 1kページ )、あるいは任意の大きさのページ等でアドレスをマスクすることができます。

4本のアドレスバス ( Lバスアドレス ( LAB )、Iバスアドレス ( IAB )、Xメモリアドレスバス ( XAB ) およびYメモリアドレスバス ( YAB ) ) の1つを選択できます。

- データ

チャンネルBのみ、32ビットマスク可能。

4本のデータバス ( Lバスデータ ( LDB )、Iバスデータ ( IDB )、Xメモリデータバス ( XDB )、およびYメモリデータバス ( YDB ) ) の1つを選択可能です。

- バスサイクル

命令フェッチまたはデータアクセス

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、およびロングワードをサポート。

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。

3. 命令フェッチサイクルにおいて、ブレイクを命令の実行の前に設定するか、後に設定するかを指定可能。

- ブレイク条件（チャンネルBに対してのみ）として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。
- 8組の分岐元および分岐先バッファをサポート。

UBC のブロック図を図 9.1 に示します。

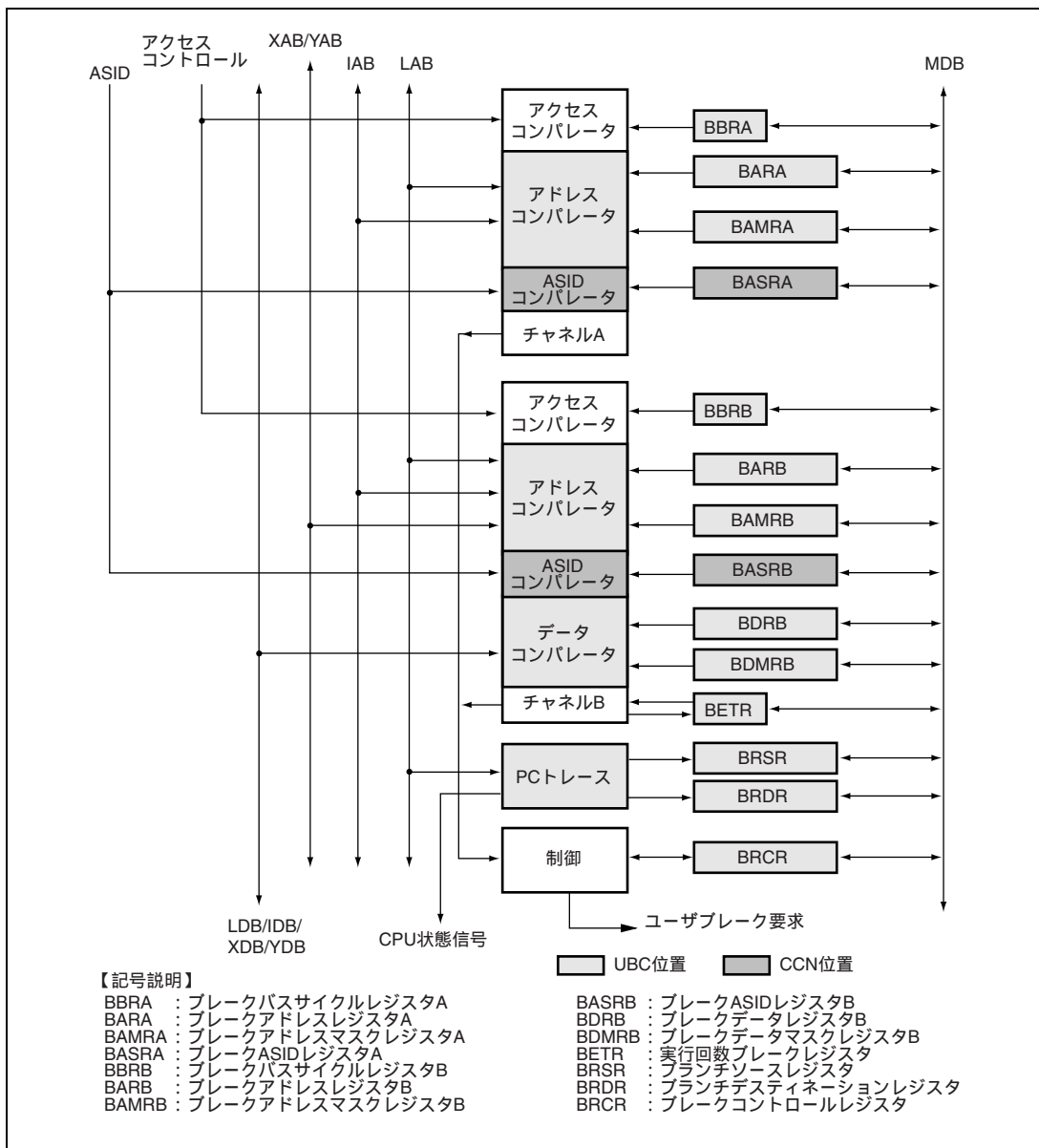


図 9.1 UBC のブロック図

## 9.2 レジスタの説明

UBC には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- ブレークアドレスレジスタA (BARA)
- ブレークアドレスマスクレジスタA (BAMRA)
- ブレークバスサイクルレジスタA (BBRA)
- ブレークアドレスレジスタB (BARB)
- ブレークアドレスマスクレジスタB (BAMRB)
- ブレークバスサイクルレジスタB (BBRB)
- ブレークデータレジスタB (BDRB)
- ブレークデータマスクレジスタB (BDMRB)
- ブレークコントロールレジスタ (BRCR)
- 実行回数ブレークレジスタ (BETR)
- ブランチソースレジスタ (BRSR)
- ブランチデスティネーションレジスタ (BRDR)
- ブレークASIDレジスタA (BASRA)
- ブレークASIDレジスタB (BASRB)

### 9.2.1 ブレークアドレスレジスタ A (BARA)

BARA は、32 ビットの読み出しまたは書き込み可能なレジスタです。BARA は、チャンネル A のブレーク条件とするアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAA31~ BAA0	すべて 0	R/W	ブレークアドレス A チャンネル A のブレーク条件を指定する LAB または IAB のアドレスを格納します。

### 9.2.2 ブレークアドレスマスクレジスタ A (BAMRA)

BAMRA は 32 ビットの読み出しまたは書き込み可能なレジスタです。BAMRA は、BARA によって指定されるブレークアドレスビットのうち、マスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAMA31 ~ BAMA0	すべて 0	R/W	ブレークアドレスマスク A BARA (BAA31 ~ BAA0) によって指定されるチャンネル A のブレークアドレスビットのうち、マスクするビットを指定します。 0 : ブレークアドレスビット BAA <sub>n</sub> は、ブレーク条件に含まれる 1 : ブレークアドレスビット BAA <sub>n</sub> はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

### 9.2.3 ブレークバスサイクルレジスタ A (BBRA)

BBRA は、チャンネル A のブレーク条件として (1) L バスサイクルまたは I バスサイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、および (4) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15~8		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7 6	CDA1 CDA0	0 0	R/W R/W	L バスサイクル / I バスサイクルセレクト A チャンネル A ブレーク条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。 00 : 条件比較を行わない 01 : ブレーク条件は、L バスサイクル 10 : ブレーク条件は、I バスサイクル 11 : ブレーク条件は、L バスサイクル
5 4	IDA1 IDA0	0 0	R/W R/W	命令フェッチ / データアクセスセレクト A チャンネル A ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00 : 条件比較を行わない 01 : ブレーク条件は、命令フェッチサイクル 10 : ブレーク条件は、データアクセスサイクル 11 : ブレーク条件は、命令フェッチサイクルまたはデータアクセスサイクル



ビット	ビット名	初期値	R/W	説明
3 2	RWA1 RWA0	0 0	R/W R/W	読み出し/書き込みセレクト A チャンネル A ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00: 条件比較を行わない 01: ブレイク条件は、読み出しサイクル 10: ブレイク条件は、書き込みサイクル 11: ブレイク条件は、読み出しサイクルまたは書き込みサイクル
1 0	SZA1 SZA0	0 0	R/W R/W	オペランドサイズセレクト A チャンネル A ブレイク条件のバスサイクルのオペランドサイズを選択します。 00: ブレイク条件には、オペランドサイズを含まない 01: ブレイク条件は、バイトアクセス 10: ブレイク条件は、ワードアクセス 11: ブレイク条件は、ロングワードアクセス

#### 9.2.4 ブレイクアドレスレジスタ B (BARB)

BARB は、32 ビットの読み出しまたは書き込み可能なレジスタです。チャンネル B のブレイク条件とするアドレスを指定します。ブレイク条件 B の対象とするアドレスバスは 4 種類あり、ブレイクバスサイクルレジスタ B (BBRB) の制御ビット CDB1、CDB0、XYE および XY5 により選択します。

ビット	ビット名	初期値	R/W	説明
31~0	BAB31~ BAB0	すべて 0	R/W	ブレイクアドレス B チャンネル B のブレイク条件を指定するアドレスを格納します。 BBRB により I バスまたは L バスを選択した場合は、BAB31 ~ BAB0 に IAB または LAB アドレスを指定します。 BBRB により X メモリを選択した場合は、BAB31 ~ BAB17 に XAB のビット 15 ~ 1 の値を設定します。このとき、BAB16 ~ BAB0 の値は任意です。 BBRB により Y メモリを選択した場合は、BAB15 ~ BAB1 に YAB のビット 15 ~ 1 の値を設定します。このとき、BAB31 ~ BAB16 および BAB0 の値は任意です。

表 9.1 ブレイクアドレスレジスタの指定

BBRB でのバス選択	BAB31 ~ BAB17	BAB16	BAB15 ~ BAB1	BAB0
L バス	LAB31 ~ LAB0			
I バス	IAB31 ~ IAB0			
X バス	XAB15 ~ XAB1	don't care	don't care	don't care
Y バス	don't care	don't care	YAB15 ~ YAB1	don't care

### 9.2.5 ブ레이크アドレスマスクレジスタ B (BAMRB)

BAMRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。BAMRB は、BARB で指定するブレイクアドレスビットのうち、マスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAMB31~ BAMB0	すべて 0	R/W	ブレイクアドレスマスク B BARB (BAB31~BAB0) によって指定されるチャンネル B のブレイクアドレスビットのうち、マスクするビットを指定します。 0: ブレイクアドレスビット BABn は、ブレイク条件に含まれる 1: ブレイクアドレスビット BABn はマスクされ、ブレイク条件に含まれない 【注】n=31~0

### 9.2.6 ブレイクデータレジスタ B (BDRB)

BDRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。ブレイク条件 B の対象とするデータバスは 4 種類あり、ブレイクバスサイクルレジスタ B (BBRB) の制御ビット CDB1、CDB0、XYE および XYX により選択します。

ビット	ビット名	初期値	R/W	説明
31~0	BDB31~ BDB0	すべて 0	R/W	ブレイクデータビット B チャンネル B のブレイク条件を指定するデータを格納します。 BBRB により I バスを選択した場合は、BDB31~BDB0 に IDB のブレイクデータを指定します。 BBRB により L バスを選択した場合は、BDB31~BDB0 に LDB のブレイクデータを指定します。 BBRB により X メモリを選択した場合は、BDB31~BDB16 に XDB のビット 15~0 のブレイクデータを設定します。このとき、BDB15~BDB0 の値は任意です。 BBRB により Y メモリを選択した場合は、BDB15~BDB0 に YDB のビット 15~0 のブレイクデータを設定します。このとき、BDB31~BDB16 の値は任意です。

表 9.2 ブレイクデータレジスタの指定

BBRB でのバス選択	BDB31~BDB16	BDB15~BDB0
L バス	LDB31~LDB0	
I バス	IDB31~IDB0	
X バス	XDB15~XDB0	don't care
Y バス	don't care	YDB15~YDB0

- 【注】
- ブレイク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
  - ブレイク条件としてバイトサイズを指定する場合は、BDRB におけるブレイクデータとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。
  - MOVSW @-As,Ds、MOVSW @As,Ds、MOVSW @As+,Ds、および MOVSW @As+Ix,Ds 命令に対する L バス上のブレイク条件としてデータバスの値を含める場合は、ビット 31~16 にデータをセットしてください。

### 9.2.7 ブ레이크データマスクレジスタ B (BDMRB)

BDMRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。BDMRB は、BDRB で指定するブ레이크データビットのうちマスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BDMB31 ~ BDMB0	すべて 0	R/W	ブ레이크データマスク B BDRB (BDB31 ~ BDB0) によって指定されるチャンネル B のブ레이크データビットのうちマスクするビットを指定します。  0 : ブ레이크データビット BDBn は、ブ레이크条件に含まれる 1 : ブ레이크データビット BDBn はマスクされ、ブ레이크条件に含まれない 【注】 n = 31 ~ 0

- 【注】
- ブ레이크条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
  - ブ레이크条件としてバイトサイズを指定する場合は、BDMRB におけるブ레이크マスクデータとして、ビット 15 ~ 8 とビット 7 ~ 0 に同一のバイトデータをセットしてください。
  - MOV.S.W @-As,Ds、MOV.S.W @As,Ds、MOV.S.W @As+,Ds、および MOV.S.W @As+Ix,Ds 命令に対する L バス上のブ레이크条件としてデータバスの値を含める場合は、ビット 31 ~ 16 にマスクデータをセットしてください。

### 9.2.8 ブ레이크バスサイクルレジスタ B (BBRB)

BBRB は、チャンネル B のブ레이크条件として (1) X バスまたは Y バス、(2) L バスサイクルまたは I バスサイクル、(3) 命令フェッチまたはデータアクセス、(4) 読み出しまたは書き込み、および (5) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15 ~ 10		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9	XYE	0	R/W	X メモリまたは Y メモリバスをチャンネル B のブ레이크条件として選択します。ただし、CDB1、CDB0 で L バスを選択した場合にのみ有効です。X および Y の選択は XYS で行います。  0 : チャンネル B ブ레이크条件用に L バスを選択 1 : チャンネル B ブ레이크条件用に X/Y メモリバスを選択
8	XYS	0	R/W	X バスまたは Y バスをチャンネル B ブ레이크条件のバスとして選択します。  0 : チャンネル B ブ레이크条件用に X バスを選択 1 : チャンネル B ブ레이크条件用に Y バスを選択
7 6	CDB1 CDB0	0 0	R/W R/W	L バスサイクル / I バスサイクルセレクト B チャンネル B ブ레이크条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。  00 : 条件比較を行わない 01 : ブ레이크条件は、L バスサイクル 10 : ブ레이크条件は、I バスサイクル 11 : ブ레이크条件は、L バスサイクル

ビット	ビット名	初期値	R/W	説明
5 4	IDB1 IDB0	0 0	R/W R/W	命令フェッチ/データアクセスセレクト B チャンネル B ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、命令フェッチサイクル 10: ブレーク条件は、データアクセスサイクル 11: ブレーク条件は、命令フェッチサイクルまたはデータアクセスサイクル
3 2	RWB1 RWB0	0 0	R/W R/W	読み出し/書き込みセレクト B チャンネル B ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、読み出しサイクル 10: ブレーク条件は、書き込みサイクル 11: ブレーク条件は、読み出しサイクルまたは書き込みサイクル
1 0	SZB1 SZB0	0 0	R/W R/W	オペランドサイズセレクト B チャンネル B ブレーク条件のバスサイクルのオペランドサイズを選択します。 00: ブレーク条件は、オペランドサイズを含まない 01: ブレーク条件は、バイトアクセス 10: ブレーク条件は、ワードアクセス 11: ブレーク条件は、ロングワードアクセス

### 9.2.9 ブレークコントロールレジスタ (BRCR)

BRCR は次の条件を設定します。

1. チャンネルAとBを2つの独立したチャンネル条件か、あるいは1つの連続した条件として使用するかを指定します。
2. ブレークを命令実行の前に設定するか後に設定するかを指定します。
3. チャンネルB比較条件に実行回数を含めるかどうかを指定します。
4. チャンネルB比較条件にデータバスの値を含めるかどうかを決定します。
5. PCトレースをイネーブルにします。
6. ASIDチェックをイネーブルにします。

BRCR は、ブレーク条件一致フラグと種々のブレーク条件をセットするためのビットを持つ 32 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
31~22		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
21	BASMA	0	R/W	ブ레이크 ASID マスク A BASRA にセットされたチャンネル A ブ레이크 ASID7~ASID0 (BASA7~BASA0) のビットをマスクするかどうかを指定します。 0: すべての BASRA ビットは、ブ레이크条件に含まれ、ASID がチェックされる 1: すべての BASRA ビットは、ブ레이크条件に含まれず、ASID がチェックされない
20	BASMB	0	R/W	ブ레이크 ASID マスク B BASRB にセットされたチャンネル B ブ레이크 ASID7~ASID0 (BASB7~BASB0) のビットをマスクするかどうかを指定します。 0: すべての BASRB ビットは、ブ레이크条件に含まれ、ASID がチェックされる 1: すべての BASRB ビットは、ブ레이크条件に含まれず、ASID がチェックされない
19~16		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15	SCMFCA	0	R/W	L バスサイクル条件一致フラグ A チャンネル A にセットしたブ레이크条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0: チャンネル A に対する L バスサイクル条件不一致 1: チャンネル A に対する L バスサイクル条件一致
14	SCMFCB	0	R/W	L バスサイクル条件一致フラグ B チャンネル B にセットしたブ레이크条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0: チャンネル B に対する L バスサイクル条件不一致 1: チャンネル B に対する L バスサイクル条件一致
13	SCMFDA	0	R/W	I バスサイクル条件一致フラグ A チャンネル A にセットしたブ레이크条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル A に対する I バスサイクル条件不一致 1: チャンネル A に対する I バスサイクル条件一致
12	SCMFDB	0	R/W	I バスサイクル条件一致フラグ B チャンネル B にセットしたブ레이크条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル B に対する I バスサイクル条件不一致 1: チャンネル B に対する I バスサイクル条件一致

ビット	ビット名	初期値	R/W	説明
11	PCTE	0	R/W	PC トレースイネーブル 0 : PC トレースを禁止 1 : PC トレースを許可
10	PCBA	0	R/W	PC ブレークセレクト A チャンネル A に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル A の PC ブレークを命令実行前に設定 1 : チャンネル A の PC ブレークを命令実行後に設定
9		0	R	リザーブビット
8		0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	DBEB	0	R/W	データブレークイネーブル B データベース条件がチャンネル B のブレーク条件に含まれるかどうかを選択します。 0 : データベース条件がチャンネル B のブレーク条件に含まれない 1 : データベース条件がチャンネル B のブレーク条件に含まれる
6	PCBB	0	R/W	PC ブレークセレクト B チャンネル B に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル B の PC ブレークを命令実行前に設定 1 : チャンネル B の PC ブレークを命令実行後に設定
5		0	R	リザーブビット
4		0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	SEQ	0	R/W	シーケンス条件セレクト チャンネル A および B の 2 つの条件が独立した条件であるか連続した条件であるかを選択します。 0 : 独立した条件下でチャンネル A とチャンネル B を比較 1 : 連続した条件下でチャンネル A とチャンネル B を比較 (チャンネル A、次にチャンネル B)
2		0	R	リザーブビット
1		0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	ETBE	0	R/W	実行回数ブレークイネーブル チャンネル B に対してのみ実行回数ブレーク条件を有効にします。このビットが 1 の場合、生じたブレーク条件の数が BETR レジスタで指定した実行回数と等しくなったときユーザブレイク割り込みが出されます。 0 : チャンネル B の実行回数ブレーク条件を無効にする 1 : チャンネル B の実行回数ブレーク条件を有効にする

### 9.2.10 実行回数ブレイクレジスタ (BETR)

BETR は 16 ビットの読み出しまたは書き込み可能なレジスタです。チャンネル B の実行回数ブレイク条件を有効にすると、このレジスタはブレイクを行う回数を指定します。最大値は  $2^{12} - 1$  回です。ブレイク条件を満たすたびに BETR は 1 ずつデクリメントされます。BETR が H'0001 になった後は、ブレイク条件を満たすとブレイクが出されます。

ビット	ビット名	初期値	R/W	説明
15~12		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	BET11~ BET0	すべて 0	R/W	実行回数

### 9.2.11 ブランチソースレジスタ (BRSR)

BRSR は、32 ビットの読み出し専用レジスタです。BRSR は、分岐元命令のアドレスのビット 27~0 を格納します。BRSR は、分岐発生時に 1 にセットされるフラグビットを持っています。このフラグビットは、BRSR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットはリセットによっては初期化されません。8 本の BRSR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

ビット	ビット名	初期値	R/W	説明
31	SVF	0	R	BRSR 有効フラグ 分岐元のアドレスが格納されているかどうかを示します。分岐元アドレスが取り出されるときこのフラグは 1 にセットされます。このフラグは、BRSR を読み出すことによって 0 にクリアされます。 0 : BRSR レジスタの値は無効 1 : BRSR レジスタの値は有効
30~28		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
27~0	BSA27~ BSA0		R	分岐先アドレス これらのビットは、分岐元アドレスのビット 27~0 を格納します。

### 9.2.12 ブランチデスティネーションレジスタ (BRDR)

BRDR は、32 ビットの読み出し専用レジスタです。BRDR は、分岐先命令のアドレスのビット 27~0 を格納します。BRDR は、分岐発生時に 1 に設定されるフラグビットを持っています。このフラグビットは、BRDR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットはリセットによっては初期化されません。8 本の BRDR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

ビット	ビット名	初期値	R/W	説明
31	DVF	0	R	BRDR 有効フラグ 分岐先アドレスが格納されているかどうかを示します。分岐先アドレスが取り出されるときこのフラグは 1 にセットされます。このフラグは、BRDR を読み出すことによって 0 にクリアされます。 0 : BRDR レジスタの値は無効 1 : BRDR レジスタの値は有効
30~28		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
27~0	BDA27~ BDA0		R	分岐先アドレス これらのビットは、分岐先アドレスのビット 27~0 を格納します。

### 9.2.13 ブレーク ASID レジスタ A (BASRA)

BASRA は、チャンネル A に対するブレーク条件となる ASID を指定する 8 ビットの読み出しまたは書き込み可能なレジスタです。CCN に存在します。

ビット	ビット名	初期値	R/W	説明
7~0	BASA7~ BASA0		R/W	ブレーク ASID A これらのビットはチャンネル A のブレーク条件である ASID (ビット 7~0) を格納します。

### 9.2.14 ブレーク ASID レジスタ B (BASRB)

BASRB は、チャンネル B に対するブレーク条件となる ASID を指定する 8 ビットの読み出しまたは書き込み可能なレジスタです。CCN に存在します。

ビット	ビット名	初期値	R/W	説明
7~0	BASB7~ BASB0		R/W	ブレーク ASID B これらのビットはチャンネル B のブレーク条件である ASID (ビット 7~0) を格納します。



## 9.3 動作説明

### 9.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. ブレイクアドレスおよび該当するASIDは、ブレイクアドレスレジスタ (BARAまたはBARB)とブレイクASIDレジスタ (CCNのBASRAまたはBASRB) にセットします。マスクするアドレスは、ブレイクアドレスマスクレジスタ (BAMRAまたはBAMRB) にセットします。ブレイクデータは、ブレイクデータレジスタ (BDRB) にセットします。マスクするデータは、ブレイクデータマスクレジスタ (BDMRB) にセットします。バスブレイク条件は、ブレイクバスサイクルレジスタ (BBRAまたはBBRB) にセットします。BBRAとBBRBの3つの制御ビットペア、すなわちLバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレイクは発生しません。ブレイク制御は、BRCCRのビットにセットします。他のすべてのブレイク関連レジスタの設定後にBBRAまたはBBRBの設定を行ってください。
2. ブレイク条件を満足すると、UBCはユーザブレイク要求をCPUに通知するとともに、それぞれのチャンネルに対するLバス条件一致フラグ (SCMFCAまたはSCMFCB) およびIバス条件一致フラグ (SCMFDAまたはSCMFDB) をセットします。チャンネルBでX/Yメモリバスを指定した場合は、条件一致フラグはSCMFCBが使用されます。
3. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFCA、SCMFDA、SCMFCB、SCMFDB) を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためには、まず0を書き込まなければなりません。
4. チャンネルAおよびチャンネルBで設定したブレイクがほぼ同時に発生する場合があります。CPUに対するブレイク割り込み要求は1つだけであっても、これらの2つのブレイクチャンネル一致フラグは2つともセットされる場合があります。
5. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
  - Iバスには、CPU、DMACおよびE-DMACを含む複数のバスマスタが接続されています。UBCはすべてのバスマスタの生成するバスサイクルを監視し、条件一致判定を行います。
  - Iバスで使用されるアドレスは、物理アドレスです。ブレイクアドレスレジスタ (BARAおよびBARB) には物理アドレスを設定してください。CPUがLバス上で発行した論理アドレスのバスサイクルは、物理アドレスに変換されたのちにIバスに出力されます。(アドレス変換機構が有効な場合は、MMUによるアドレス変換も行われます。)
  - CPUがLバス上で発行したデータアクセスサイクルは、論理アドレスがキャッシング対象で無い場合はLバスで指定したサイズのバスサイクルが発行され、アドレスも丸められることはありません。
  - CPUがLバス上で発行した命令フェッチサイクルは、論理アドレスがキャッシング対象で無い場合もすべてロングワードサイズとなり、アドレスはロングワード境界に丸められます。

- CPUがLバス上で発行した論理アドレスがキャッシング対象のアドレスであり、かつキャッシュミスした場合はキャッシュフィルサイクルとしてIバスに発行されます。この場合はロングワードサイズで発行され、アドレスもロングワード境界に丸められた値が使用されます。ただし、ライトスルーモードにおけるライトミス時にはキャッシュフィルは行われず、Lバス上で指定したサイズのバスサイクルが発行され、アドレスも丸められることはありません。また、ライトバックモードの場合は、リードフィルサイクルにともなってライトバックサイクルが発行されるときがあります。これもロングワードサイズのバスサイクルで、アドレスもロングワード境界に丸められています。
  - CPUのLバス上で命令フェッチに起因したIバスサイクル(リードフィルサイクルを含む)をIバスでの命令フェッチサイクル、それ以外をデータアクセスサイクルと定義します。
  - DMACおよびE-DMACが発行するIバスサイクルは、データアクセスサイクルのみです。
  - Iバスにブレイク条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でブレイクを受け付けるかを一意に設定することはできません。
6. CPUのステータスレジスタ(SR)のブロックビット(BL)が1の期間は、すべてのブレイクは受け付けられません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。

### 9.3.2 命令フェッチサイクルでのブレイク

1. ブレイクバスサイクルレジスタ(BBRAまたはBBRB)にLバス/命令フェッチ/読み出し/ワードまたはロングワードが設定されると、ブレイク条件はLバスの命令フェッチになります。命令実行の前にブレイクするか後にブレイクするかは、該当するチャンネルに対するブレイクコントロールレジスタ(BRCR)のPCBA、PCBBビットで選択できます。ブレイク条件として命令フェッチサイクルを設定する場合は、ブレイクアドレスレジスタ(BARAまたはBARB)のLSBを0にクリアしてください。このビットが1にセットされているとブレイクは発生しません。
2. 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、この機能はオーバラン(分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令)によってフェッチされる命令には使用できません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、遅延分岐命令の実行前にブレイクが発生します。

【注】 遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合は、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、これはオーバランフェッチ命令では使用できません。遅延分岐命令およびその遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令までブレイクは発生しません。
4. 命令フェッチサイクルがチャンネルBに設定されるとブレイクデータレジスタB(BDRB)は無視されます。したがって、命令フェッチサイクルのブレイクには、ブレイクデータを設定することはできません。
5. 命令フェッチサイクルでのブレイクにおいてIバスを設定した場合は、Iバス上の命令フェッチサイクルに対する条件判定が行われます。詳細は「9.3.1 ユーザブレイク動作の流れ」の5.の項を参照してください。

### 9.3.3 データアクセスサイクルでのブレーク

- データアクセスブレークにおいて、ブレーク条件としてIバスを指定した場合は、実行された命令によりアクセスされた論理アドレス（およびデータ）に対して条件比較を行いブレークが発生します。ブレーク条件としてIバスを指定した場合は、Iバス上のCPUを含めたすべてのバスマスタが発行するデータアクセスサイクルの物理アドレス（およびデータ）に対して条件比較を行いブレークが発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「9.3.1 ユーザブレーク動作の流れ」の5.の項を参照してください。
- 表9.3にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 9.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレークアドレスレジスタのビット31~2とアドレスバスのビット31~2を比較
ワード	ブレークアドレスレジスタのビット31~1とアドレスバスのビット31~1を比較
バイト	ブレークアドレスレジスタのビット31~0とアドレスバスのビット31~0を比較

これは、たとえばブレークアドレスレジスタ（BARAまたはBARB）にアドレスH'00001003を設定するとき、ブレーク条件を満足するバスサイクルには（他のすべての条件が満足されると仮定した場合）以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

- チャンネルBのブレーク条件にデータ値が含まれる場合

ブレーク条件にデータ値が含まれる場合は、ブレークバスサイクルレジスタB（BBRB）にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレーク条件に含まれる場合は、アドレス条件とデータ条件が一致するときブレークが発生します。この場合、バイトデータを指定するためには、ブレークデータレジスタB（BDRB）とブレークデータマスクレジスタB（BDMRB）のビット15~8、ビット7~0の2バイトに同じデータをセットします。ワードまたはバイトのオペランドサイズを選択すると、BDRBとBDMRBのビット31~16は無視されます。ただし、MOVS.W @-As,Ds、MOVS.W @As,Ds、MOVS.W @As+,Ds、MOVS.W @As+Ix,Ds命令に対するブレーク条件にデータ値を含む場合は、BDRBとBDMRBのビット31~16にワードデータをセットします（ビット15~0は無視されます）。

- PREF命令は、アクセスデータのないロングワードの読み出しアクセスとして扱います。したがって、PREF命令のブレーク条件にデータ値が含まれる場合は、ブレークは発生しません。
- Iバスを選択している場合は、条件が一致した命令の実行を完了し、次の命令を実行する直前にブレークが発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令の次の命令の実行完了後になる場合もあります。Iバスを選択している場合は、ブレークの発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブレークが発生した場合は、分岐先の最初の命令までブレークは発生しません。

### 9.3.4 XメモリまたはYメモリバスサイクルでのブレイク

1. XメモリバスサイクルまたはYメモリバスサイクルに対するブレイク条件は、チャンネルBでのみ指定できます。BBRBのXYEを1にセットした場合は、XメモリまたはYメモリバス上のブレイクアドレスおよびブレイクデータが選択されます。BBRBのXYSを指定することによってXメモリバスまたはYメモリバスのどちらかを選択する必要があります。ブレイク条件には、XメモリとYメモリを同時に含めることはできません。ブレイク条件は、ブレイクバスサイクルレジスタB (BBRB) でLバス、データアクセスサイクル、読み出しまたは書き込みアクセス、オペランドサイズをワード、またはオペランドサイズを指定しないに設定することによって、XメモリバスサイクルまたはYメモリバスサイクルに適用されます。
2. ブレイク条件としてXメモリアドレスを選択するときはBARBとBAMRBの上位16ビットにXメモリアドレスを指定し、Yメモリアドレスを選択するときは下位16ビットにYメモリアドレスを指定してください。BDRBとBDMRBに対するXメモリデータまたはYメモリデータの指定は、同様の方法で行います。
3. XメモリまたはYメモリバスのデータアクセスブレイクの発生タイミングは、Lバスのデータアクセスブレイクの場合と同じになります。詳細は、「9.3.3 データアクセスサイクルでのブレイク」の5.の項を参照してください。

### 9.3.5 シーケンシャルブレイク

1. BRRCRのSEQビットを1にセットすると、チャンネルAブレイク条件が一致したあと、チャンネルBブレイク条件が一致するときにシーケンシャルブレイクが発生します。チャンネルAブレイク条件が一致する前にチャンネルBブレイク条件が一致すると、ユーザブレイクは発生しません。また、チャンネルAとチャンネルBのブレイク条件が同時に一致したときも、シーケンシャルブレイクは発生しません。シーケンシャルブレイク指定時、チャンネルA条件が一致し、かつチャンネルB条件が一致していないときにチャンネルA一致をクリアしたい場合は、BRRCRレジスタのSEQビットに0を書き込みます。
2. シーケンシャルブレイク指定では、Lバス、Iバス、Xバス、またはYバスを選択でき、実行回数ブレイク条件も指定することができます。たとえば、実行回数ブレイク条件を指定すると、チャンネルAブレイク条件一致後、チャンネルBブレイク条件がBETR = H'0001のときに一致するとブレイク条件が満たされます。

### 9.3.6 退避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスを SPC に退避し、例外処理状態に移行します。ブレイク条件としてLバスを指定している場合は、ブレイクの発生する命令を一意に決定することができます (ブレイク条件にデータを含む場合を除く)。ブレイク条件としてIバスを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

1. 命令フェッチを (命令実行前) ブレイク条件として指定する場合

SPCには、ブレイク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスがSPCに退避されます。

## 2. 命令フェッチを (命令実行後) ブレイク条件として指定する場合

SPCには、ブレイク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがSPCに退避されます。

## 3. データアクセス (アドレスのみ) をブレイク条件として指定する場合

SPCには、ブレイク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスがSPCに退避されます。

## 4. データアクセス (アドレス + データ) をブレイク条件として指定する場合

データ値がブレイク条件に追加されると、ブレイク条件に一致した命令の次の命令か、その次の命令のアドレスがSPCに退避されます。ブレイクが発生する場合は、正確に決定することはできません。退避スロット命令で条件が一致した場合は、分岐先アドレスがSPCに退避されます。また、条件に一致した命令の次の命令が分岐命令である場合は、分岐命令や退避スロットの実行まで完了した後にブレイクが生じることがあります。この場合もSPCには、分岐先のアドレスが退避されます。

### 9.3.7 PC トレース

1. PCトレースは、BRCRのPCTEを1にセットすることによってイネーブルになります。分岐 (分岐命令および割り込み例外) が発生すると、分岐元アドレスと分岐先アドレスがそれぞれBRSRとBRDRに格納されます。

2. BRSR、BRDRに格納される値は、分岐の種類によってそれぞれ次のようになります。

- 分岐命令により分岐が生じる場合は、分岐命令のアドレスがBRSRに、分岐先命令のアドレスがBRDRに格納されます。
- 割り込みや、一般例外により分岐が生じる場合は、例外発生により保存されるSPCの値がBRSRに、例外処理ルーチンの先頭アドレスがBRDRに格納されます。

DSP拡張機能のリピートループを使用している場合は、リピート終了命令からリピート開始命令に制御が移ってもこの動作は分岐とはみなされず、BRSRとBRDRには格納されません。

3. BRSRとBRDRは、8組のキュー構造からなっています。PCトレースレジスタに格納されたアドレスの読み出し時、キューの先頭を最初に読み出します。BRSRとBRDRはリードポインタを共有します。BRSR、BRDRの順で読み出してください。キューはBRDRの読み出し後のみシフトされます。BRCRのPCTEビットをオフからオンに切り換えると、キューの値は、無効になります。

### 9.3.8 使用例

#### (1) Lバス命令フェッチサイクルに指定したブレイク条件

##### (a) レジスタ指定

BARA = H'00000404、BAMRA = H'00000000、BBRA = H'0054、BARB = H'00008010、BAMRB = H'00000006、  
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00300400

指定条件：チャンネルA / チャンネルB独立モード

<チャンネルA>

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

ASIDチェックは、含まれません。

<チャンネルB>

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ASIDチェックは、含まれません。

ユーザブレイクは、アドレスH'00000404の命令実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に発生します。

##### (b) レジスタ指定

BARA = H'00037226、BAMRA = H'00000000、BBRA = H'0056、BARB = H'0003722E、BAMRB = H'00000000、  
BBRB = H'0056、BDRB = H'00000000、BDMRB = H'00000000、  
BRCR = H'00000008、BASRA = H'80、BASRB = H'70

指定条件：チャンネルA / チャンネルBシーケンシャルモード

<チャンネルA>

アドレス：H'00037226、アドレスマスク：H'00000000、ASID = H'80

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

<チャンネルB>

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID = H'70

データ：H'00000000、データマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

ASID = H'80かつアドレスH'00037226の命令が実行された後、ASID = H'70かつアドレスH'0003722Eの命令実行前にユーザブレイクが発生します。

## (c) レジスタ指定

BARA = H'00027128、BAMRA = H'00000000、BBRA = H'005A、BARB = H'00031415、BAMRB = H'00000000、  
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00300000

指定条件：チャンネルA / チャンネルB独立モード

<チャンネルA>

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 書き込み / ワード

ASIDチェックは、含まれません。

<チャンネルB>

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

ASIDチェックは、含まれません。

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネルAでは、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネルBでは、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

## (d) レジスタ指定

BARA = H'00037226、BAMRA = H'00000000、BBRA = H'005A、BARB = H'0003722E、BAMRB = H'00000000、  
BBRB = H'0056、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00000008、BASRA = H'80、  
BASRB = H'70

指定条件：チャンネルA / チャンネルBシーケンシャルモード

<チャンネルA>

アドレス：H'00037226、アドレスマスク：H'00000000、ASID = H'80

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネルB>

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID = H'70

データ：H'00000000、データマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

チャンネルAで命令フェッチは書き込みサイクルではないので、シーケンシャル条件一致は生じません。したがって、ユーザブレイクは発生しません。

## (e) レジスタ指定

BARA = H'00000500、BAMRA = H'00000000、BBRA = H'0057、BARB = H'00001000、BAMRB = H'00000000、  
BBRB = H'0057、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00300001、BETR = H'0005

指定条件：チャンネルA / チャンネルB独立モード

<チャンネルA>

アドレス：H'00000500、アドレスマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

ASIDチェックは、含まれません。

<チャンネルB>

アドレス：H'00001000、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

ASIDチェックは、含まれません。

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

実行回数ブレイクイネーブル (5回)

チャンネルAでは、ユーザブレイクはアドレスH'00000500の命令の実行前に生じます。チャンネルBでは、ユーザブレイクはアドレスH'00001000の命令を4回実行したあと、5回目の命令実行前に生じます。

## (f) レジスタ指定

BARA = H'00008404、BAMRA = H'00000FFF、BBRA = H'0054、BARB = H'00008010、BAMRB = H'00000006、  
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00000400、BASRA = H'80、

BASRB = H'70

指定条件：チャンネルA / チャンネルB独立モード

<チャンネルA>

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID = H'80

バスサイクル：Lバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件には含まれません)

<チャンネルB>

アドレス：H'00008010、アドレスマスク：H'00000006、ASID = H'70

データ：H'00000000、データマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件には含まれません)

ユーザブレイクは、ASID = H'80でアドレスH'00008000 ~ H'00008FFEの命令の実行後、または、ASID = H'70でアドレスH'00008010 ~ H'00008016の命令の実行前に生じます。



## (2) Lバスデータアクセスサイクルに指定したブレイク条件

## (a) レジスタ指定

BARA = H'00123456、BAMRA = H'00000000、BBRA = H'0064、BARB = H'000ABCDE、BAMRB = H'000000FF、  
BBRB = H'006A、BDRB = H'0000A512、BDMRB = H'00000000、BRCR = H'00000080、BASRA = H'80、  
BASRB = H'70

指定条件：チャンネルA / チャンネルB独立モード

<チャンネルA>

アドレス：H'00123456、アドレスマスク：H'00000000、ASID = H'80

バスサイクル：Lバス / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

<チャンネルB>

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID = H'70

データ：H'0000A512、データマスク：H'00000000

バスサイクル：Lバス / データアクセス / 書き込み / ワード

チャンネルAでは、ユーザブレイクは、ASID = H'80でアドレスH'00123454に対するロングワードの読み出し、  
アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じ  
ます。チャンネルBでは、ユーザブレイクはASID = H'70でH'000ABC00 ~ H'000ABCFEにワードH'A512を書き込  
むときに生じます。

## (b) レジスタ指定

BARA = H'01000000、BAMRA = H'00000000、BBRA = H'0066、BARB = H'0000F000、BAMRB = H'FFFF0000、  
BBRB = H'036A、BDRB = H'00004567、BDMRB = H'00000000、BRCR = H'00300080

指定条件：チャンネルA / チャンネルB独立モード

<チャンネルA>

アドレス：H'01000000、アドレスマスク：H'00000000

バスサイクル：Lバス / データアクセス / 読み出し / ワード

ASIDチェックは、含まれません。

<チャンネルB>

Yアドレス：H'0000F000、アドレスマスク：H'FFFF0000

データ：H'00004567、データマスク：H'00000000

バスサイクル：Yバス / データアクセス / 書き込み / ワード

ASIDチェックは、含まれません。

チャンネルAでは、ユーザブレイクは、メモリ空間のアドレスH'01000000に対するワード読み出しで生じます。  
チャンネルBでは、ユーザブレイクはYメモリ空間のアドレスH'0000F000にワードH'4567を書き込むときに生じ  
ます。XメモリまたはYメモリ空間は、モード指定によって変更することができます。

## (3) Iバスデータアクセスサイクルに指定されたブレイク条件

## (a) レジスタ指定

BARA = H'00314156、BAMRA = H'00000000、BBRA = H'0094、BARB = H'00055555、BAMRB = H'00000000、  
BBRB = H'00A9、BDRB = H'00007878、BDMRB = H'0000F0F、BRCR = H'00000080、BASRA = H'80、  
BASRB = H'70

指定条件：チャンネルA / チャンネルB独立モード

<チャンネルA>

アドレス：H'00314156、アドレスマスク：H'00000000、ASID = H'80

バスサイクル：Iバス / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネルB>

アドレス：H'00055555、アドレスマスク：H'00000000、ASID = H'70

データ：H'00000078、データマスク；H'0000000F

バスサイクル：Iバス / データアクセス / 書き込み / バイト

チャンネルAでは、ユーザブレイクはASID = H'80でメモリ空間のアドレスH'00314156に対する命令フェッチで生じます。チャンネルBでは、ユーザブレイクはASID = H'70でIバス上でバイトH'7\*をアドレスH'00055555に書き込むときに生じます。

## 9.4 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、バス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出ししてください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCは、LバスサイクルとIバスサイクルを同じチャンネルで監視することはできません。
3. シーケンシャルブレイクの指定においての注意事項は、次のとおりです。
  - シーケンシャルブレイクの設定時、Aチャンネル一致が発生後Bチャンネル一致が発生するとき、条件一致が発生します。したがって、チャンネルA一致とチャンネルB一致が同時に発生するバスサイクルが設定されても、ブレイクは発生しません。
4. ユーザブレイクと他の例外が同一命令で発生した場合は「第4章 例外処理」の表4.1に定められた優先順位で判定が行われます。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
  - 命令実行前ブレイクは他のどの例外よりも優先して受け付けられます。
  - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外（命令実行前ブレイクを含む）と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません（ただし、5.項に示す例外事項があります）。例外処理により再実行型の例外要因が解消され、同命令が再実行されて完了する時点で改めてブレイクが発生し、フラグがセットされます。
  - 命令実行後ブレイクやデータアクセスブレイクが、より優先度の高い完了型の例外（TRAPA）と同時に発生した場合は、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。
5. 4.項の例外事項として、次の注意事項があります。
  - データアクセスによりCPUアドレスエラー（やTLB関連例外）が発生する命令において命令実行後ブレイクやデータアクセスブレイクが成立する場合は、ブレイクに優先してCPUアドレスエラー（やTLB関連例外）が発生します。この際、UBCの条件一致フラグもセットされます。
6. 遅延スロットでブレイクが発生する場合、次の注意事項があります。
  - RTE命令の遅延スロット命令に対して命令実行前ブレイクを設定した場合は、RTE命令の分岐先の実行前までブレイクは発生しません。
7. UBCモジュールスタンバイ時は、ユーザブレイク機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
8. DSP拡張機能のリピートループを使用している場合は、リピートループ全体あるいは一部の命令実行を実行中にブレイク条件が一致してもブレイクの発生が保留される場合があります。詳細は「第4章 例外処理」を参照してください。



## 10. 低消費電力モード

低消費電力モードでは、内蔵周辺モジュールの一部と CPU が機能を停止します。これにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込みによって解除されます。

### 10.1 概要

#### 10.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、表 10.1 に示します。

表 10.1 低消費電力モードの状態

低消費電力 モード	遷移条件	状 態							解除方法
		CPG EtherC E-DMAC	CPU	CPU レジスタ	内蔵 メモリ	内蔵周辺 モジュール	端子	外部 メモリ	
スリープ モード	STBCR の STBY ビットが 0 の状態 で SLEEP 命令を 実行	動作	停止	保持	保持	動作	保持	リフレッシュ	(1) 割り込み (2) リセット
ソフトウェア スタンバイ モード	STBCR の STBY ビットが 1 の状態 で SLEEP 命令を 実行	停止	停止	保持	保持	停止 <sup>*1</sup>	保持	セルフ リフレッシュ	(1) 割り込み (2) リセット
モジュール スタンバイ 機能	STBCR、 STBCR2、 STBCR3 の MSTP ビットを 1 とする	動作	動作	保持	保持	指定モジュ ールが停止	<sup>*2</sup>	リフレッシュ	(1) MSTP ビット を 0 にクリア (2) パワーオンリ セット

【注】 \*1 RTC は、RCR2 の START ビットが 1 のとき動作します。詳細は、「第 15 章 リアルタイムクロック (RTC)」を参照ください。

\*2 内蔵周辺モジュールにより異なります。  
詳細は、「第 1 章 概要と端子機能」を参照してください。

### 10.1.2 リセット

リセットは電源を入れたとき、または初期化状態から再実行したいときに使われます。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。パワーオンリセットの場合は、すべての実行中の処理が中断され、いかなる未処理の事象も取り消されて、リセット処理がただちに実行されます。一方マニュアルリセットの場合は、外部メモリの内容を保持するための処理等は継続します。パワーオンリセットおよびマニュアルリセットが発生する条件を以下に示します。

#### (1) パワーオンリセット

1.  $\overline{\text{RESETP}}$ 端子にローレベルを入力する。
2. WTCSRのWT/ITビットに1を、RSTSビットに0をセットした状態でWDTのカウンタを開始し、カウンタがオーバーフローしたとき。
3. H-UDIリセットが発生したとき。(H-UDIリセットについては「第23章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

#### (2) マニュアルリセット

1.  $\overline{\text{RESETM}}$ 端子にローレベルを入力する。
2. WTCSRのWT/ITビットに1を、RSTSビットに1をセットした状態でWDTのカウンタを開始し、カウンタがオーバーフローしたとき。

【注】 パワーオンリセットおよびマニュアルリセットを実行する場合には、リセット直後に必ず「付録C. リセット処理プログラムを記述する際の注意事項」に示すルーチンを行ってください。

### 10.1.3 入出力端子

低消費電力モード関連の端子構成を表 10.2 に示します。

表 10.2 端子構成

端子名	略称	入出力	機能
処理状態 1	STATUS1	出力	プロセッサの動作状態を表します。 HH: リセット HL: スリープモード LH: スタンバイモード LL: 通常動作
処理状態 0	STATUS0		
パワーオンリセット	$\overline{\text{RESETP}}$	入力	端子にローレベルを入力することより、パワーオンリセット処理へ遷移します。
マニュアルリセット	$\overline{\text{RESETM}}$	入力	端子にローレベルを入力することより、マニュアルリセット処理へ遷移します。

【注】 Hはハイレベルを、Lはローレベルを表します。STATUS1 および STATUS0 の順番に端子の状態を示しています。

## 10.2 レジスタの説明

低消費電力モード関連で使用するレジスタには、以下のものがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- スタンバイコントロールレジスタ (STBCR)
- スタンバイコントロールレジスタ2 (STBCR2)
- スタンバイコントロールレジスタ3 (STBCR3)

### 10.2.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、低消費電力モードの状態を指定します。STBCR は、読み出しまたは書き込み可能な 8 ビットのレジスタです。パワーオンリセット時は H'00 に初期化されますが、マニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	ソフトウェアスタンバイ ソフトウェアスタンバイモードへの遷移を指定します。 0: SLEEP 命令の実行で、スリープモードへ遷移 1: SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移
6~3		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	MSTP2	0	R/W	モジュールストップ 2 MSTP2 ビットを 1 にセットすると内蔵周辺モジュールのうち、TMU へのクロックの供給を停止します。 0: TMU は動作 1: TMU へのクロックの供給を停止
1	MSTP1	0	R/W	モジュールストップ 1 MSTP1 ビットを 1 にセットすると内蔵周辺モジュールのうち、RTC へのクロックの供給を停止します。 0: RTC は動作 1: RTC へのクロックの供給を停止
0		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

### 10.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出しまは書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各周辺モジュールの動作を制御します。STBCR2 は、パワーオンリセット時に H'00 に初期化されますが、マニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
7	MSTP10	0	R/W	モジュールストップ 10 MSTP10 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロックの供給を停止
6	MSTP9	0	R/W	モジュールストップ 9 MSTP9 ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロックの供給を停止
5	MSTP8	0	R/W	モジュールストップ 8 MSTP8 ビットを 1 にセットすると DMAC へのクロックの供給を停止します。 0 : DMAC は動作 1 : DMAC へのクロックの供給を停止
4	MSTP7	0	R/W	モジュールストップ 7 MSTP7 ビットを 1 にセットすると DSP へのクロックの供給を停止します。 0 : DSP は動作 1 : DSP へのクロックの供給を停止
3	MSTP6	0	R/W	モジュールストップ 6 MSTP6 ビットを 1 にセットすると TLB へのクロックの供給を停止します。 0 : TLB は動作 1 : TLB へのクロックの供給を停止
2	MSTP5	0	R/W	モジュールストップ 5 MSTP5 ビットを 1 にセットするとキャッシュメモリへのクロックの供給を停止します。 0 : キャッシュメモリは動作 1 : キャッシュメモリへのクロックの供給を停止
1		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	MSTP3	0	R/W	モジュールストップ 3 MSTP3 ビットを 1 にセットすると X/Y メモリへのクロックの供給を停止します。 0 : X/Y メモリは動作 1 : X/Y メモリへのクロックの供給を停止



### 10.2.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出しまたは書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各周辺モジュールの動作を制御します。STBCR3 は、パワーオンリセット時に H'00 に初期化されますが、マニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
7	MSTP37	0	R/W	モジュールストップ 37 MSTP37 ビットを 1 にセットすると IPSEC へのクロックの供給を停止します。 0 : IPSEC は動作 1 : IPSEC へのクロックの供給を停止 【注】本ビットは、SH7712 および SH7713 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6~4		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	MSTP33	0	R/W	モジュールストップ 33 MSTP33 ビットを 1 にセットすると SIOF1 へのクロックの供給を停止します。 0 : SIOF1 は動作 1 : SIOF1 へのクロックの供給を停止
2	MSTP32	0	R/W	モジュールストップ 32 MSTP32 ビットを 1 にセットすると SIOF0 へのクロックの供給を停止します。 0 : SIOF0 は動作 1 : SIOF0 へのクロックの供給を停止
1	MSTP31	0	R/W	モジュールストップ 31 MSTP31 ビットを 1 にセットすると SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロックの供給を停止
0	MSTP30	0	R/W	モジュールストップ 30 MSTP30 ビットを 1 にセットすると SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロックの供給を停止

## 10.3 動作説明

### 10.3.1 スリープモード

#### (1) スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。CKIO 端子には、クロックが出力され続けます。

スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

#### (2) スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、IRL、内蔵周辺) およびリセットにより、解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けますので、必要ならば、SLEEP 命令実行前に SPC と SSR をスタックに退避してください。

- 割り込みによる解除

NMI、IRQ、IRL、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT および INTEVT2 レジスタには、割り込み要因に対応したコードがセットされます。

- リセットによる解除

パワーオンリセット、マニュアルリセットにより、スリープモードは解除されます。

### 10.3.2 ソフトウェアスタンバイモード

#### (1) ソフトウェアスタンバイモードへの遷移

STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子からのクロック出力も停止します。

CPU およびキャッシュのレジスタ内容は、保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態を表 10.3 に示します。

表 10.3 ソフトウェアスタンバイモード時のレジスタの状態

モジュール	初期化レジスタ	内容が保持されるレジスタ
割り込みコントローラ (INTC)	-	全レジスタ
内蔵発振回路 (CPG)	-	全レジスタ
ブレークコントローラ (UBC)	-	全レジスタ
バスステートコントローラ (BSC)	-	全レジスタ
タイマユニット (TMU)	TSTR レジスタ	TSTR 以外のレジスタ
IPSEC (SH7710 のみ)	-	全レジスタ
I/O ポート	-	全レジスタ
H-UDI	-	全レジスタ
SCIF0/1	-	全レジスタ
SIOF0/1	-	全レジスタ
EtherC、E-DMAC	-	全レジスタ
DMAC	-	全レジスタ

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSTR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイマカウンタ (WTCNT) に0をセットし、WTCSTRレジスタのCKS2~CKS 0ビットに指定された発振安定時間になるように、値を設定します。
3. STBCRレジスタのSTBYビットに1を設定した後、SLEEP命令を実行させます。
4. ソフトウェアスタンバイモードに入りLSI内部のクロックが停止すると、STATUS1端子からローレベル、STATUS0端子からハイレベルが出力されます。

## (2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ、IRL、RTC) およびリセットにより、解除されます。

### • 割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRQ<sup>\*1</sup>、IRL<sup>\*1</sup>、および RTC<sup>\*1</sup> の各割り込みが検出されると、WDT のタイマコントロール / ステータスレジスタに設定されている時間が経過した後、LSI 全体にクロックが供給され、ソフトウェアスタンバイモードが解除されて、STATUS1、STATUS0 端子がどちらもローレベルになります。この後割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT と INTEVT2 に設定されます。割り込み処理ルーチンに分岐後、STBCR レジスタの STBY ビットをクリアしてください。WDT は、自動的に停止します。STBY ビットをクリアしないと、WDT は動作を継続し WTCNT が H'80 に達した時点でスタンバイモード<sup>\*2</sup>に遷移してしまいます。なお、STBY ビットをクリアするまではマニュアルリセットを受け付けません。

ソフトウェアスタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC と SSR をスタックに退避してください。

割り込み検出直後から、ソフトウェアスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。

【注】 \*1 RTC 使用時のみ、IRQ、IRL、RTC でソフトウェアスタンバイモードを解除できます。

\*2 このスタンバイモードは、パワーオンリセットで解除してください。

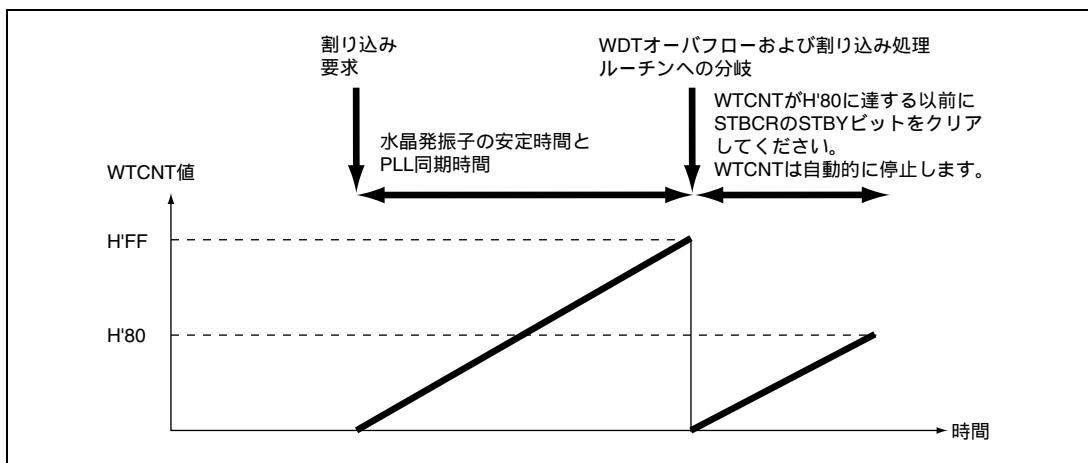


図 10.1 STBCR の STBY ビットとソフトウェアスタンバイモードの解除

- リセットによる解除

リセット（パワーオン、マニュアル）により、ソフトウェアスタンバイモードは解除されます。

RESETP や RESETM 端子は、クロックの発振が安定するまで、ローレベルを保持してください。

CKIO 端子には、内部のクロックが出力され続けます。

### 10.3.3 モジュールスタンバイ機能

#### (1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープ時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にし、モジュールスタンバイ状態にしてください。

モジュールスタンバイ状態では、内蔵周辺モジュールの外部端子は内蔵周辺モジュールにより異なります。詳細は「第 1 章 概要と端子機能」を参照してください。レジスタの状態はスタンバイモード時と同じです。表 10.3 を参照してください。

#### (2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセットにより行います。

各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリアされたことを確認してください。

### 10.3.4 STATUS 端子の変化タイミング

STATUS1、STATUS0 端子の変化タイミングを示します。

#### (1) リセットの場合

##### (a) パワーオンリセット

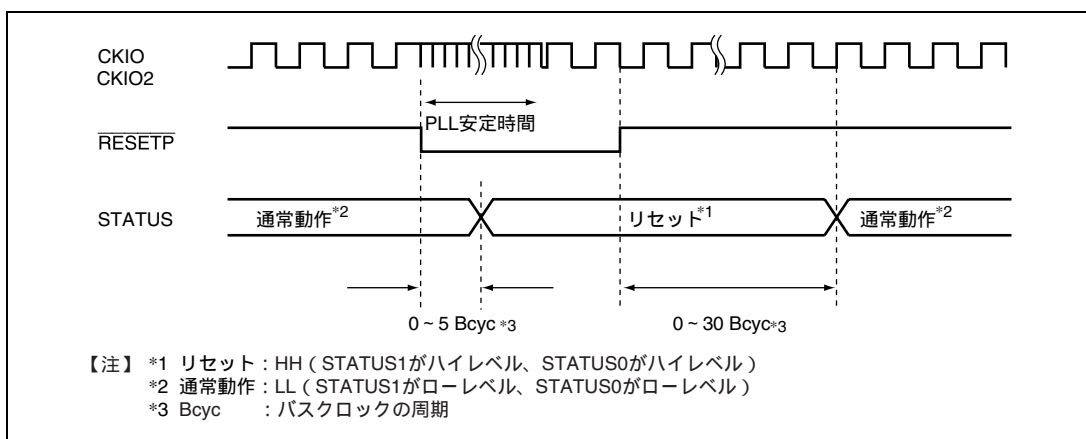


図 10.2 パワーオンリセットの STATUS 出力

## (b) マニュアルリセット

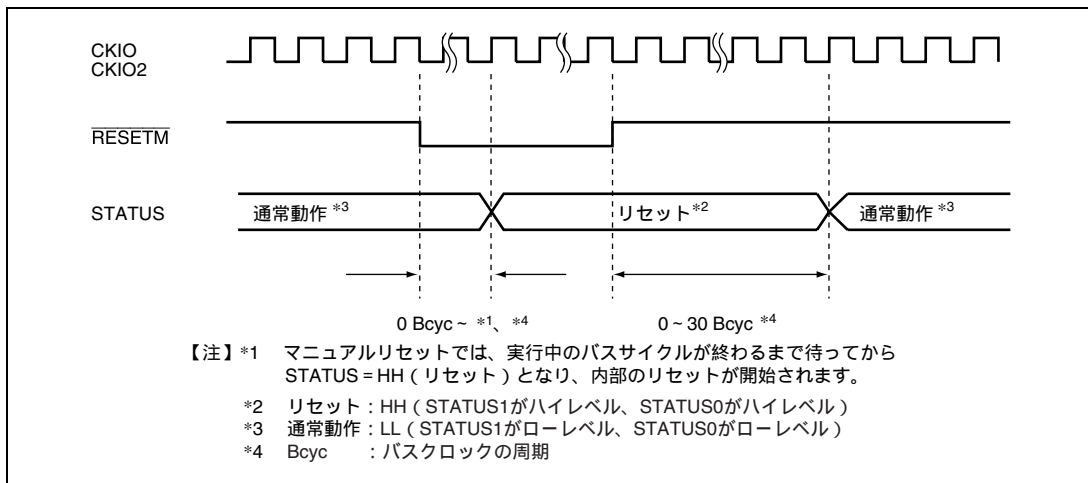


図 10.3 マニュアルリセットの STATUS 出力

## (2) ソフトウェアスタンバイモードの場合

## (a) ソフトウェアスタンバイ 割り込み

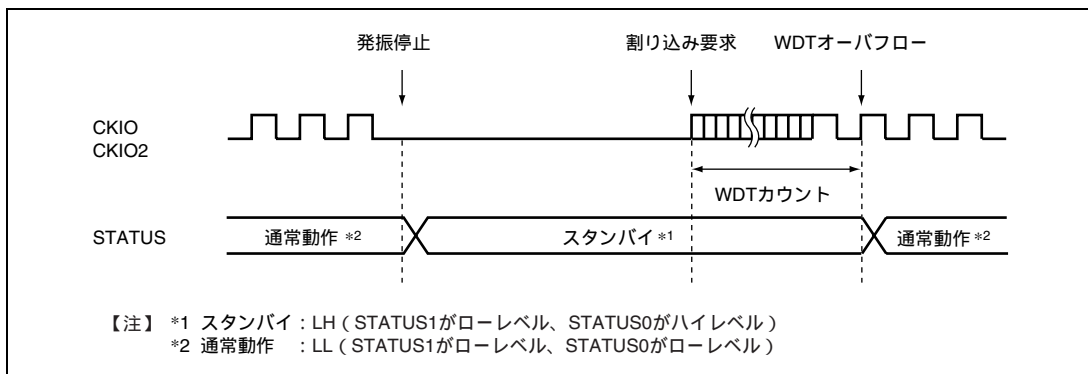


図 10.4 ソフトウェアスタンバイ 割り込みの STATUS 出力

## (b) ソフトウェアスタンバイ パワーオンリセット

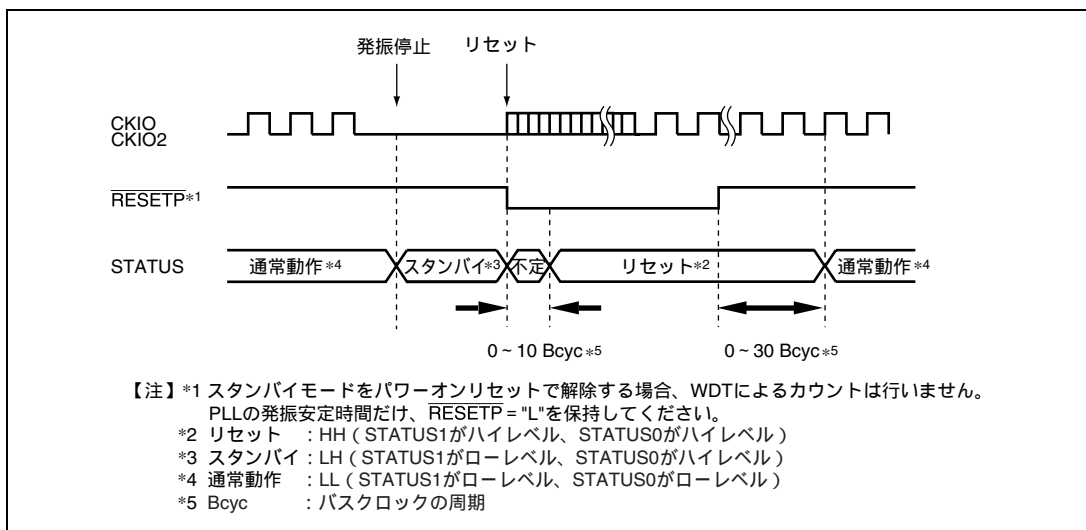


図 10.5 ソフトウェアスタンバイ パワーオンリセットの STATUS 出力

## (c) ソフトウェアスタンバイ マニュアルリセット

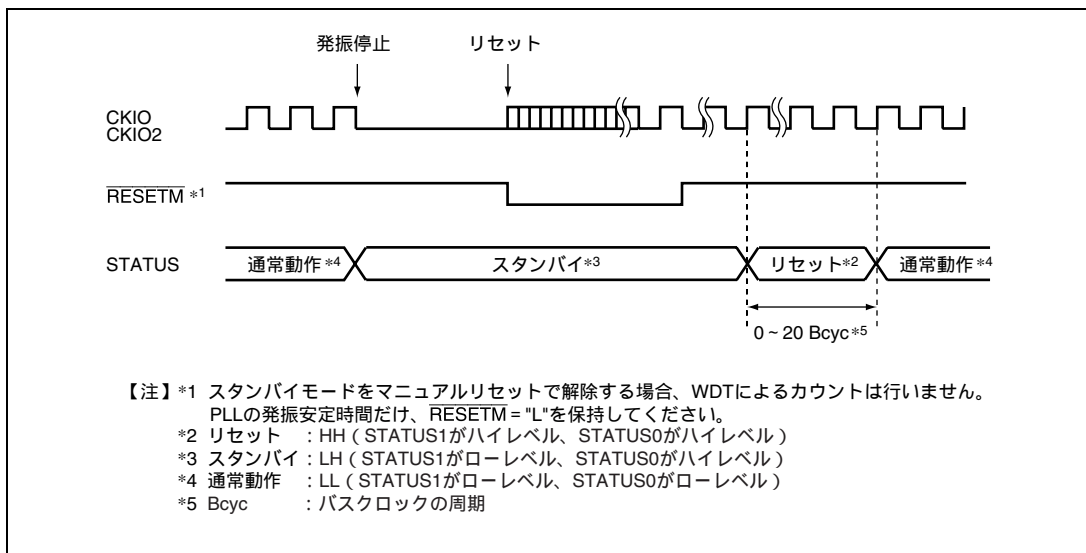


図 10.6 ソフトウェアスタンバイ マニュアルリセットの STATUS 出力

## (3) スリープモードの場合

## (a) スリープ 割り込み

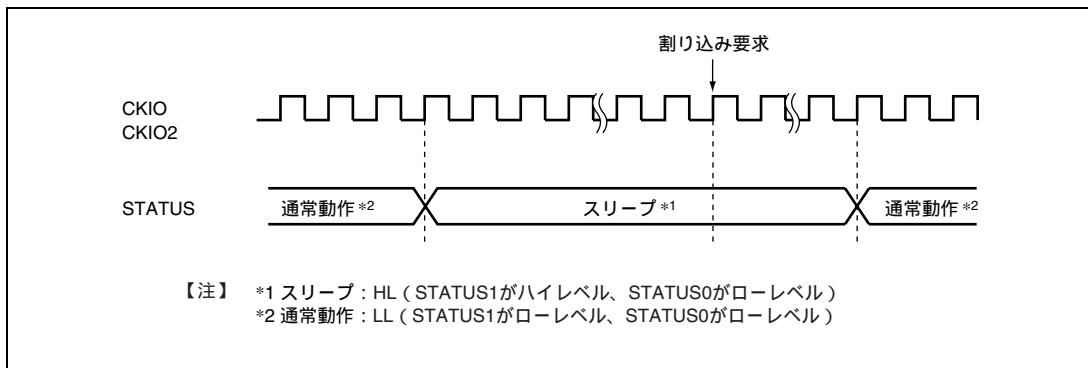


図 10.7 スリープ 割り込みの STATUS 出力

## (b) スリープ パワーオンリセット

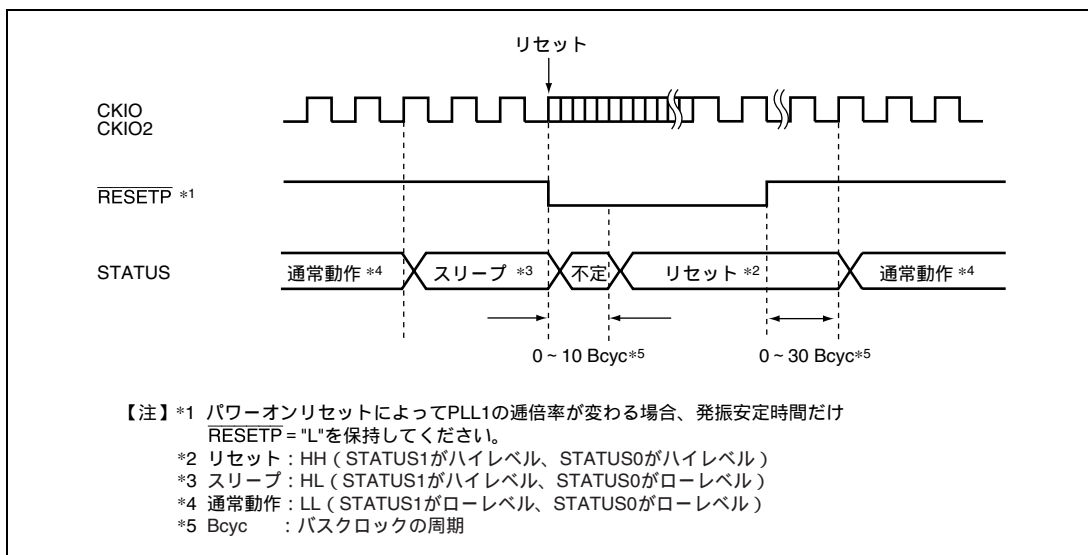


図 10.8 スリープ パワーオンリセットの STATUS 出力



## (c) スリープ マニュアルリセット

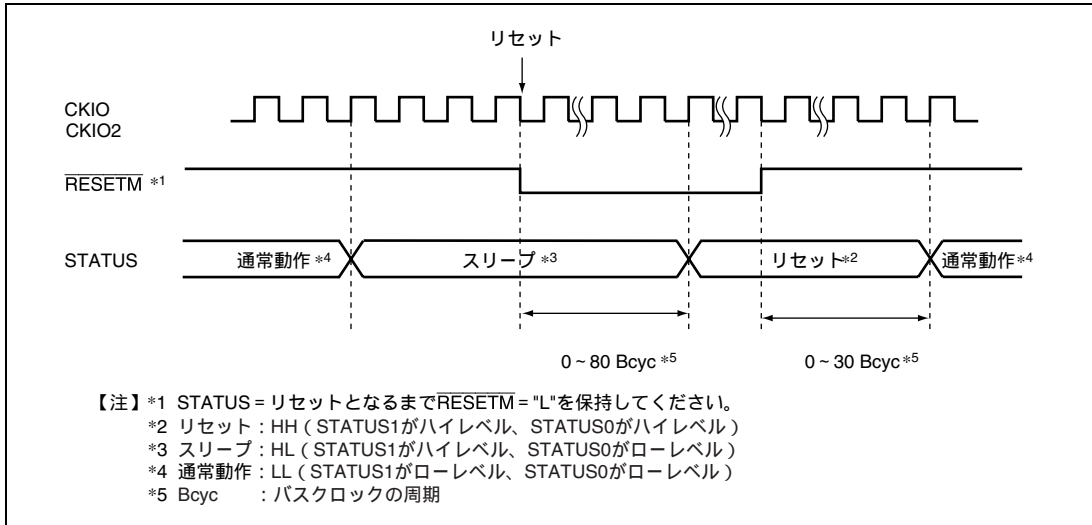


図 10.9 スリープ マニュアルリセットの STATUS 出力



---

## 11. 内蔵発振回路 ( CPG )

---

### 11.1 概要

内蔵発振回路は、クロックパルスジェネレータ ( CPG ) 部と、ウォッチドッグタイマ ( WDT ) 部より構成されています。

CPG は、本 LSI 内部に供給するクロックの生成と低消費電力モードの制御を行います。

WDT は 1 チャンルのタイマであり、スタンバイモードや周波数変更時の一時的なスタンバイ状態の解除の際に、クロック安定時間のカウント用に使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

#### 11.1.1 特長

CPG には、次の特長があります。

- 7種類のクロックモード

使用する周波数範囲、水晶発振子直付けか外部クロック入力かによって、7種類のクロックモードから選択できます。

- 3種類のクロック

CPU、キャッシュで使用する内部クロック ( I ) と、周辺モジュールで使用する周辺クロック ( P )、さらに外部バスインタフェースで使用するバスクロック ( B = CKIO ) を独立に生成できます。

- 周波数変更機能

CPG 内部の PLL ( Phase Locked Loop ) 回路や分周回路により、内部クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ ( FRQCR ) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、スタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。

WDT には、次の特長があります。

- クロック安定時間の確保に使用可能

スタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。

- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能

- ウォッチドッグタイマモード時、内部リセットを発生

カウンタオーバーフローにより、内部をリセットします。

リセットの種類として、パワーオンリセットとマニュアルリセットを選択できます。

- インターバルタイマモード時、割り込みを発生  
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能  
周辺クロックを分周した8種類のクロック ( $\times 1 \sim \times 1/4096$ ) から選択できます。

## 11.2 CPG の概要

### 11.2.1 CPG のブロック図

CPG のブロック図を図 11.1 に示します。

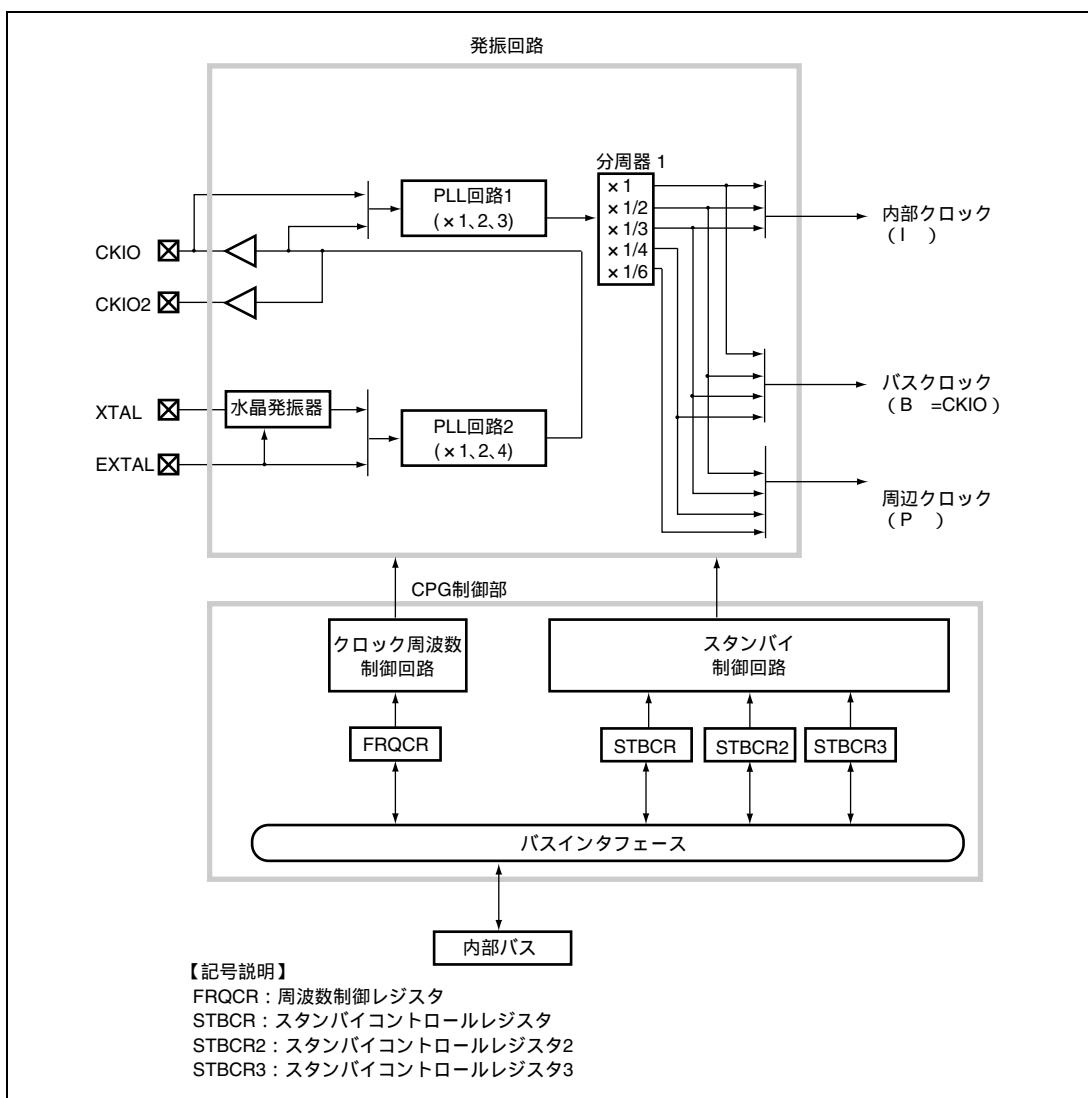


図 11.1 CPG のブロック図

CPG の各ブロックは、次のように機能します。

#### (1) PLL 回路 1

PLL 回路 1 は、CKIO 端子からのクロック周波数を 1 倍、2 倍、または 3 倍に逡倍する機能を持ちます。逡倍率は、周波数制御レジスタで設定します。このとき、内部クロックの立ち上がりエッジの位相は CKIO 端子の立ち上がりエッジの位相に一致するように制御されます。

#### (2) PLL 回路 2

PLL 回路 2 は、水晶発振器または EXTAL 端子からの入力クロック周波数を 1 倍、2 倍、または 4 倍に逡倍する機能を持ちます。逡倍率は、クロック動作モードにより固定されます。クロック動作モードは MD0、MD1、MD2 端子で設定します。クロック動作モードについては、表 11.2 を参照してください。

#### (3) 水晶発振器

XTAL または EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。水晶発振器は、クロック動作モードの設定により使用可能となります。

#### (4) 分周器 1

分周器 1 は、内部クロックまたは周辺クロックで使用する動作周波数のクロックを生成する機能を持ちます。内部クロック (I ) の動作周波数は、PLL 回路 1 の出力周波数に対して CKIO 端子のクロック周波数より低くならない範囲で、1 倍、1/2 倍、または 1/3 倍の選択が可能です。周辺クロック (P ) の動作周波数は、8.34MHz P 33.34MHz の範囲で、1/2 倍、1/3 倍、1/4 倍、または 1/6 倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

#### (5) クロック周波数制御回路

クロック周波数制御回路は、MD0、MD1、MD2 端子、周波数制御レジスタによりクロック周波数を制御します。

#### (6) スタンバイ制御回路

スタンバイ制御回路は、クロック切り換え時やスリープモードかスタンバイモード時の内蔵発振回路の状態、および他モジュールの状態を制御します。

#### (7) 周波数制御レジスタ

周波数制御レジスタには、スタンバイ時の CKIO 端子からのクロック出力の有無、PLL 回路 1 の周波数逡倍率、内部クロック、および周辺クロックの周波数分周率の各制御ビットが割り当てられています。

#### (8) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 10 章 低消費電力モード」を参照してください。

## 11.2.2 入出力端子

CPG の端子構成と機能を表 11.1 に示します。

表 11.1 発振回路の端子構成と機能

名称	略称	入出力	機能
モード制御端子	MD0	入力	クロック動作モードを設定します。
	MD1	入力	クロック動作モードを設定します。
	MD2	入力	クロック動作モードを設定します。
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。
	EXTAL	入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
クロック入出力端子	CKIO	入出力	外部クロック入力、または外部クロック出力端子として使用します。
クロック出力端子	CKIO2	出力	外部クロック出力端子として使用します。

【注】 モード制御端子の値は、誤動作防止対策のためにパワーオンリセット時のみサンプリングされます。

## 11.3 クロック動作モード

モード制御端子 (MD2~MD0) の組み合わせとクロックモードの関係を表 11.2 に示します。

クロックモードと周波数変更レジスタ (FRQCR) 値の設定可能な組み合わせを表 11.3 に示します。

表 11.2 クロックモード

モード	端子組み合わせ			クロック入出力		PLL 回路 2	PLL 回路 1	CKIO の 周波数
	MD2	MD1	MD0	供給源	出力			
0	0	0	0	EXTAL	CKIO CKIO2	ON ( × 1 )	ON ( × 1, 2, 3 )	( EXTAL )
1	0	0	1	EXTAL	CKIO CKIO2	ON ( × 4 )	ON ( × 1, 2, 3 )	( EXTAL ) × 4
2	0	1	0	水晶 発振子	CKIO CKIO2	ON ( × 4 )	ON ( × 1, 2, 3 )	( 水晶 ) × 4
4	1	0	0	水晶 発振子	CKIO CKIO2	ON ( × 1 )	ON ( × 1, 2, 3 )	( 水晶 )
5	1	0	1	EXTAL	CKIO CKIO2	ON ( × 2 )	ON ( × 1, 2, 3 )	( EXTAL ) × 2
6	1	1	0	水晶 発振子	CKIO CKIO2	ON ( × 2 )	ON ( × 1, 2, 3 )	( 水晶 ) × 2
7	1	1	1	CKIO		OFF	ON ( × 1, 2, 3 )	( CKIO )

- モード0 :  
EXTAL端子から外部クロックを入力し、PLL回路2で波形形成して本LSIに供給します。入力クロック周波数は33.34MHzから66.67MHzまで使用でき、CKIOの周波数レンジは、33.34MHzから66.67MHzとなります。
- モード1 :  
EXTAL端子から外部クロックを入力し、PLL回路2で周波数を4倍に逡倍して本LSI内部に供給するので、外部で生成するクロック周波数が低くてすみます。入力クロック周波数は10.00MHzから16.67MHzまで使用でき、CKIOの周波数レンジは40.00MHzから66.67MHzとなります。
- モード2 :  
内蔵水晶発振器を動作させ、PLL回路2で周波数を4倍に逡倍して本LSI内部に供給するので、外部で生成するクロック周波数が低くてすみます。水晶は、発振周波数が10.00MHzから16.67MHzまでのものを使用でき、CKIOの周波数レンジは40.00MHzから66.67MHzとなります。
- モード4 :  
内蔵水晶発振器を動作させ、PLL回路2で波形生成して本LSI内部に供給します。水晶は発振周波数が33.34MHzから48.00MHzのものを使用でき、CKIOの周波数レンジは33.34MHzから48.00MHzとなります。
- モード5 :  
EXTAL端子から外部クロックを入力し、PLL回路2で周波数を2倍に逡倍して本LSI内部に供給するので、外部で生成するクロック周波数が低くてすみます。入力クロック周波数は16.67MHzから33.34MHzまで使用でき、CKIOの周波数レンジは33.34MHzから66.67MHzとなります。
- モード6 :  
内蔵水晶発振器を動作させ、発振周波数をPLL回路2で2倍に逡倍して本LSI内部に供給するので、使用する水晶の周波数が低くてすみます。水晶は発振周波数が16.67MHzから33.34MHzのものを使用でき、CKIOの周波数レンジは33.34MHzから66.67MHzとなります。
- モード7 :  
このモードではCKIO端子が入力になり、この端子に外部クロックを入力して、PLL回路1で波形形成および設定により周波数逡倍を行い、本LSIに供給します。CKIO端子の負荷の変動に対してPLL回路1で補正しているため、シンクロナスDRAMを接続するのに適したモードです。



表 11.3 クロックモードと FRQCR 値の可能な組み合わせ

モード	FRQCR レジスタ値	PLL 回路 1	PLL 回路 2	クロック比* (I:B:P)	入力クロック/水晶発振子 周波数範囲	CKIO 端子 周波数範囲
0	1001	on(x1)	on(x1)	1 : 1 : 1/2	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz
	1002	on(x1)	on(x1)	1 : 1 : 1/3	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz
	1003	on(x1)	on(x1)	1 : 1 : 1/4	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz
	1103	on(x2)	on(x1)	2 : 1 : 1/2	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz
	1104	on(x2)	on(x1)	2 : 1 : 1/3	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz
	1204	on(x3)	on(x1)	3 : 1 : 1/2	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz
1、2	1001	on(x1)	on(x4)	4 : 4 : 2	10.00 MHz ~ 16.67 MHz	40.00 MHz ~ 66.67 MHz
	1002	on(x1)	on(x4)	4 : 4 : 4/3	10.00 MHz ~ 16.67 MHz	40.00 MHz ~ 66.67 MHz
	1003	on(x1)	on(x4)	4 : 4 : 1	10.00 MHz ~ 16.67 MHz	40.00 MHz ~ 66.67 MHz
	1103	on(x2)	on(x4)	8 : 4 : 2	10.00 MHz ~ 16.67 MHz	40.00 MHz ~ 66.67 MHz
	1104	on(x2)	on(x4)	8 : 4 : 4/3	10.00 MHz ~ 16.67 MHz	40.00 MHz ~ 66.67 MHz
	1204	on(x3)	on(x4)	12 : 4 : 2	10.00 MHz ~ 16.67 MHz	40.00 MHz ~ 66.67 MHz
4	1001	on(x1)	on(x1)	1 : 1 : 1/2	33.34 MHz ~ 48.00 MHz	33.34 MHz ~ 48.00 MHz
	1002	on(x1)	on(x1)	1 : 1 : 1/3	33.34 MHz ~ 48.00 MHz	33.34 MHz ~ 48.00 MHz
	1003	on(x1)	on(x1)	1 : 1 : 1/4	33.34 MHz ~ 48.00 MHz	33.34 MHz ~ 48.00 MHz
	1103	on(x2)	on(x1)	2 : 1 : 1/2	33.34 MHz ~ 48.00 MHz	33.34 MHz ~ 48.00 MHz
	1104	on(x2)	on(x1)	2 : 1 : 1/3	33.34 MHz ~ 48.00 MHz	33.34 MHz ~ 48.00 MHz
	1204	on(x3)	on(x1)	3 : 1 : 1/2	33.34 MHz ~ 48.00 MHz	33.34 MHz ~ 48.00 MHz
5	1001	On(x1)	on(x2)	2 : 2 : 1	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz
	1002	on(x1)	on(x2)	2 : 2 : 2/3	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz
	1003	on(x1)	on(x2)	2 : 2 : 1/2	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz
	1103	on(x2)	on(x2)	4 : 2 : 1	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz
	1104	on(x2)	on(x2)	4 : 2 : 2/3	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz
	1204	on(x3)	on(x2)	6 : 2 : 1	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz
6	1001	on(x1)	on(x2)	2 : 2 : 1	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz
	1002	on(x1)	on(x2)	2 : 2 : 2/3	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz
	1003	on(x1)	on(x2)	2 : 2 : 1/2	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz
	1103	on(x2)	on(x2)	4 : 2 : 1	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz
	1104	on(x2)	on(x2)	4 : 2 : 2/3	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz
	1204	on(x3)	on(x2)	6 : 2 : 1	16.67 MHz ~ 33.34MHz	33.34 MHz ~ 66.67 MHz

モード	FRQCR レジスタ値	PLL 回路 1	PLL 回路 2	クロック比* (I:B:P)	入力クロック / 水晶発振子 周波数範囲	CKIO 端子 周波数範囲
7	1001	on(x1)	off	1 : 1 : 1/2	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz
	1002	on(x1)	off	1 : 1 : 1/3	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz
	1003	on(x1)	off	1 : 1 : 1/4	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz
	1103	on(x2)	off	2 : 1 : 1/2	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz
	1104	on(x2)	off	2 : 1 : 1/3	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz
	1204	on(x3)	off	3 : 1 : 1/2	33.34 MHz ~ 66.67 MHz	33.34 MHz ~ 66.67 MHz

【注】 \* 入力クロックを 1 とする。

最大周波数 : I = 200.00MHz、B (CKIO) = 66.67 MHz、P = 33.34MHz

- CKIO の周波数は、33.34MHz ~ 66.67 MHz の範囲で使用してください。
- 分周器 1 の入力、PLL 回路 1 の出力になります。
- 内部クロックの周波数は、33.34MHz ~ 200.00MHz の範囲で使用してください。  
内部クロック周波数は、CKIO 端子の周波数に FRQCR の STC で選択した PLL 回路 1 の周波数通倍率と FRQCR の IFC で選択した分周率を掛けた周波数になります。  
内部クロック周波数は、CKIO 端子の周波数より低く設定しないでください。
- 周辺クロックの周波数は、8.34MHz ~ 33.34MHz の範囲で使用してください。  
周辺クロックの周波数は、CKIO 端子の周波数に FRQCR の STC で選択した PLL 回路 1 の周波数通倍率と FRQCR の PFC で選択した分周率を掛けた周波数になります。  
周辺クロックの周波数は、CKIO 端子の周波数より高く設定しないでください。
- PLL 回路 1 の通倍率には、×1、×2、×3 が選択できます。内部クロックの分周率には、×1、×1/2、×1/3 が選択できます。また、周辺クロックの分周率には、×1/2、×1/3、×1/4、×1/6 が選択できます。これらは、それぞれ FRQCR で設定します。
- PLL 回路 1 の出力周波数は、CKIO 端子の周波数に PLL 回路 1 の通倍率を掛けた周波数になります。この周波数は、200.00MHz 以下で使用してください。

## 11.4 レジスタの説明

CPG には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- 周波数制御レジスタ (FRQCR)

### 11.4.1 周波数制御レジスタ (FRQCR)

周波数制御レジスタは、読み出または書き込み可能な 16 ビットのレジスタで、スタンバイ時の CKIO 端子からのクロック出力の有無、PLL 回路 1 の周波数通倍率、内部クロック、および周辺クロックの周波数分周率の指定ができます。FRQCR は、ワードアクセスのみ可能です。

このレジスタは、パワーオンリセット時のみ初期化されます。マニュアルリセットおよびスタンバイモード時には前の値を保持しています。

ビット 15~13、11~10、7~6、3 には常に 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
15~13		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	CKOEN	1	R/W	クロック出力カインエプル CKOEN は、スタンバイ中に CKIO 端子から、クロックを出力するか、CKIO 端子をレベル固定するかを指定します。0 を設定した場合は、STATUS1=L、STATUS0=H の間、CKIO 端子がローレベルに固定されます。これにより、スタンバイ解除時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。クロック動作モード 7 のときは、このビットの値によらず CKIO 端子が入力になります。 0 : スタンバイ中に CKIO 端子をローレベルに固定する。 1 : CKIO 端子からクロックを出力する。
11		0	R	リザーブビット
10		0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9	STC1	0	R/W	PLL 回路 1 の周波数通倍率 00 : ×1 倍 01 : ×2 倍 10 : ×3 倍 11 : 予約 (設定不可)
8	STC0	0	R/W	
7		0	R	リザーブビット
6		0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5	IFC1	0	R/W	内部クロック周波数の分周率 PLL 回路 1 の出力周波数に対しての内部クロック ( I ) 周波数の分周率を指定します。 00 : ×1 倍 01 : ×1/2 倍 10 : ×1/3 倍 11 : 予約 ( 設定不可 )
4	IFC0	0	R/W	
3		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	PFC2	0	R/W	周辺クロック周波数の分周率 PLL 回路 1 の出力周波数に対しての周辺クロック ( P ) 周波数の分周率を指定します。 001 : ×1/2 倍 010 : ×1/3 倍 011 : ×1/4 倍 100 : ×1/6 倍 上記以外 : 予約 ( 設定不可 )
1	PFC1	1	R/W	
0	PFC0	1	R/W	

## 11.5 周波数変更方法

内部クロックおよび周辺クロックの周波数を変更するには、PLL 回路 1 の通倍率を変える方法と、分周器 1 の分周率を変える方法があります。これらはいずれも FRQCR によってソフトウェアで制御します。以下にこれらの方法について示します。

### 11.5.1 通倍率の変更

PLL 回路 1 の通倍率を変更する場合は、PLL 安定時間が必要になります。内蔵 WDT により安定時間のカウントを行います。

- 初期状態では、PLL回路1の通倍率は1になっています。
- WDTに、指定された発振安定時間になるように値をセットし、WDTを停止します。次の設定が必要です。  
WTC SR.TME = 0 : WDTの停止  
WTC SR.CKS2-0 : WDTカウントクロックの分周率  
WTC CNT : カウンタの初期値
- STC[1:0]を目的とする値に設定します。同時にIFC[1:0]、PFC[2:0]に分周率を設定することも可能です。
- 本LSI内部は一時的に停止し、WDTのカウントアップを開始します。内部クロックと周辺クロックが停止し、WDTにのみクロックが供給されます。また、CKIO端子にはクロックが出力され続けます。
- WDTのカウントオーバーフローで設定されたクロックが供給され始め、本LSIは動作を再開します。WDTはオーバーフロー後、停止します。

## 11.5.2 分周率の変更

分周率変更のみで、同時に通倍率の変更を行わない場合、WDT によるカウントは行いません。

1. 初期状態では、IFC[1:0] = 00、PFC[2:0] = 011 になっています。
2. IFC[1:0]、PFC[2:0] ビットを目的とする値に設定します。クロックモードやPLL回路1の通倍率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. ただちに設定されたクロックに切り換わります。

## 11.6 WDT の概要

### 11.6.1 WDT のブロック図

WDT のブロック図を図 11.2 に示します。

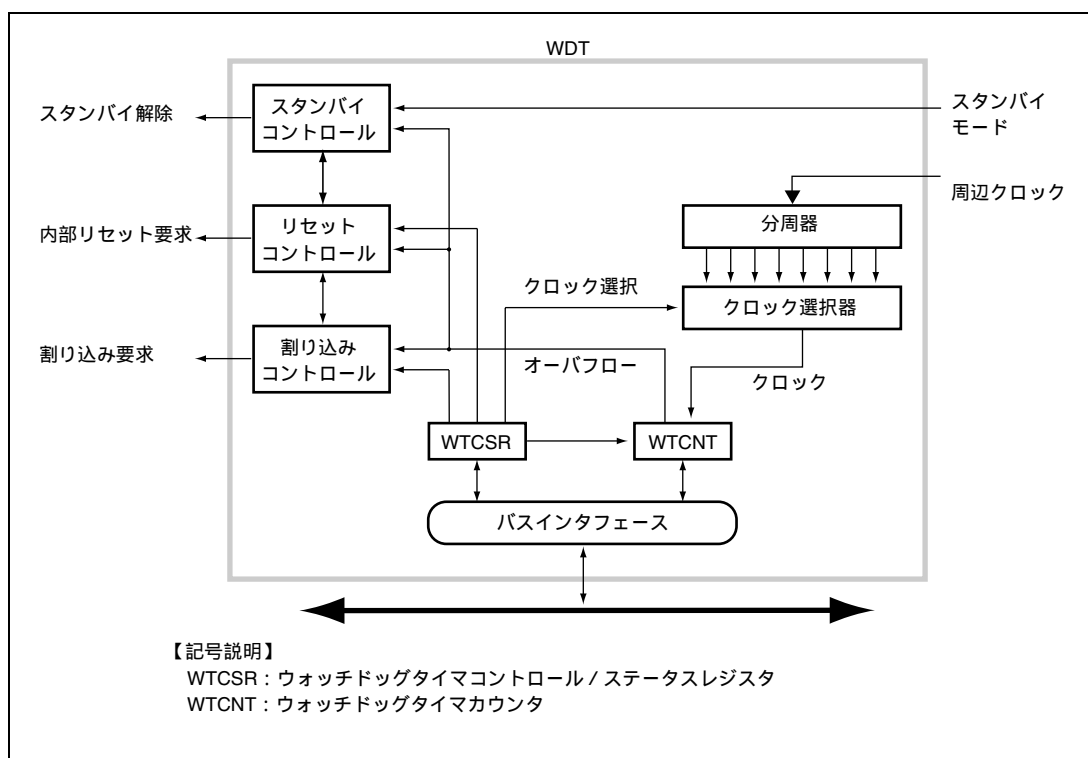


図 11.2 WDT のブロック図

## 11.7 WDT のレジスタの説明

WDT には、2本のレジスタがあります。これらのレジスタにより、クロックの選択、タイマのモードの切り換え等を行います。これらのレジスタのアドレスおよびアクセスサイズについては、「第24章 レジスタ一覧」を参照してください。

- ウォッチドッグタイマカウンタ (WTCNT)
- ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

### 11.7.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出したり書き込み可能な 8 ビットレジスタです。WTCNT は、選択されたクロックでカウントアップします。オーバフローすると、ウォッチドッグタイマモードのときリセットが発生し、インターバルタイマモードのとき割り込みが発生します。WTCNT カウンタは  $\overline{\text{RESETP}}$  端子によるパワーオンリセット時のみ、H'00 に初期化されます。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「11.7.3 レジスタアクセス時の注意」を参照してください。

### 11.7.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出したり書き込み可能な 8 ビットのレジスタです。WTCSR は、カウントに使用するクロックやタイマのモードの選択を行うビット、およびオーバフローフラグから成ります。

WTCSR は、 $\overline{\text{RESETP}}$  端子によるパワーオンリセット時のみ、H'00 に初期化されます。WDT オーバフローによる内部リセット時には、値は保持されます。スタンバイ解除時のクロック安定時間のカウントに使用するときは、カウンタオーバフロー後、値は保持されます。

WTCSR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「11.7.3 レジスタアクセス時の注意」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	TME	0	R/W	<p>タイマイネーブル</p> <p>タイマ動作の開始または停止を設定します。スタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。</p> <p>0：タイマディスエーブル カウントアップを停止、WTCNT の値を保持する。</p> <p>1：タイマイネーブル</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。</p> <p>0：インターバルタイマモード 1：ウォッチドッグタイマモード</p> <p>【注】 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われないことがあります。</p>
5	RSTS	0	R/W	<p>リセットセレクト</p> <p>ウォッチドッグタイマモードで WTCNT がオーバフローしたときのリセットの種類を指定します。インターバルタイマモードの場合設定値は、無視されます。</p> <p>0：パワーオンリセット 1：マニュアルリセット</p>
4	WOVF	0	R/W	<p>ウォッチドッグタイマオーバフロー</p> <p>ウォッチドッグタイマモードで WTCNT がオーバフローしたことを示します。インターバルタイマモードでは、セットされません。</p> <p>0：オーバフローなし 1：ウォッチドッグタイマモードで WTCNT がオーバフローした</p>
3	IOVF	0	R/W	<p>インターバルタイマオーバフロー</p> <p>インターバルタイマモードで WTCNT がオーバフローしたことを示します。ウォッチドッグタイマモードでは、セットされません。</p> <p>0：オーバフローなし 1：インターバルタイマモードで WTCNT がオーバフローした</p>

ビット	ビット名	初期値	R/W	説明
2	CKS2	0	R/W	クロックセレクト
1	CKS1	0	R/W	周辺クロック (P) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。表中のオーバフロー周期は、周辺クロック P = 15MHz の場合の値です。 クロック分周比      オーバフロー周期 000 : 1                      ( 17 us ) 001 : 1/4                    ( 68 us ) 010 : 1/16                   ( 273 us ) 011 : 1/32                   ( 546 us ) 100 : 1/64                   ( 1.09 ms ) 101 : 1/256                  ( 4.36 ms ) 110 : 1/1024                ( 17.48 ms ) 111 : 1/4096                ( 69.91 ms ) 【注】 WDT の動作中に CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。 CKS2 ~ CKS0 ビットを書き換える場合は、必ず WDT を停止させてください。
0	CKS0	0	R/W	

### 11.7.3 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出したり書き込みを行ってください。

- WTCNTおよびWTCSRへの書き込み

WTCNTおよびWTCSRへ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では、書き込みません。

図11.3に示すように、WTCNTへ書き込むときは上位バイトをH'5Aにし、下位バイトを書き込みデータにして転送してください。WTCSRへ書き込むときは上位バイトをH'A5にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータがWTCNTまたはWTCSRへ書き込まれます。

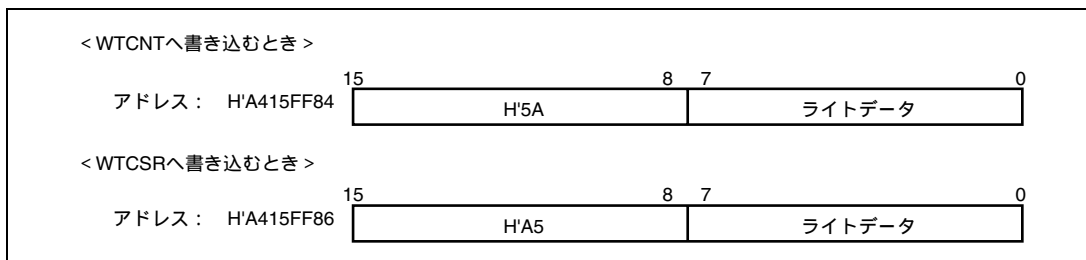


図 11.3 WTCNT および WTCSR への書き込み



## 11.8 WDT の使用方法

### 11.8.1 スタンバイ解除の手順

WDT は、スタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します。  
(リセットで解除する場合は、WDT は動作しないため、クロックが安定するまで RESETP 端子または RESETM 端子をローレベルに保ってください。)

1. スタンバイモードへの遷移前に、必ず WTCSCR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR の CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT にカウンタの初期値を設定しておきます。これらの値は、カウントオーバーまでの時間がクロック発振安定時間以上になるように設定してください。
3. SLEEP 命令実行によりスタンバイモードに遷移し、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーすると、CPG がクロック供給を開始し、本 LSI が動作を再開します。このとき、WTCSCR の WOVF は、セットされません。
6. WDT は H'00 からカウントを継続するので、割り込み処理プログラムの中で STBCR レジスタの STBY ビットを 0 にしてください。これにより、WDT が停止します。STBY ビットが 1 のままだと、WDT が H'80 までカウントした時点で再びスタンバイモードに入ります。このスタンバイモードはパワ - オンリセットで解除してください。

### 11.8.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り換えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ずWTCSRのTMEビットを0に設定してください。TMEビットが1に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSRのCKS2～CKS0ビットに使用するカウントクロックの種類とWTCNTにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. 周波数制御レジスタ (FRQCR) を書き換えると、プロセッサ内部は一時的に停止し、WDTはカウントを開始します。
4. WDTはカウントオーバーフローすると、CPGがクロック供給を再開し、本LSIが動作を再開します。このとき、WTCSRのWOVFはセットされません。
5. カウンタは、H'00の値で停止します。
6. 周波数変更命令の後、WTCNTを書き換える場合には、WTCNTを読み出してH'00になっていることを確認してから書き換えてください。

### 11.8.3 ウォッチドッグタイマモードの使用法

1. WTCSRのWT/ITビットに1を設定して、RSTSビットにリセットのタイプ、CKS2～CKS0にカウントクロックの種類、およびWTCNTにカウンタの初期値を設定します。
2. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、WDTはWTCSRのWOVFを1にセットし、RSTSビットで指定されたタイプのリセットを発生します。その後、カウンタはカウントを続行します。

### 11.8.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのWT/ITビットに0をセットし、CKS2～CKS0ビットにカウントクロックの種類、WTCNTにカウンタの初期値を設定します。
2. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRのIOVFに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタは、カウントを続行します。

## 11.9 ボード設計上の注意事項

### (1) 外部水晶発振器使用時の注意

水晶発振器と容量 CL1、CL2 およびダンピング抵抗 R はできるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、振動子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

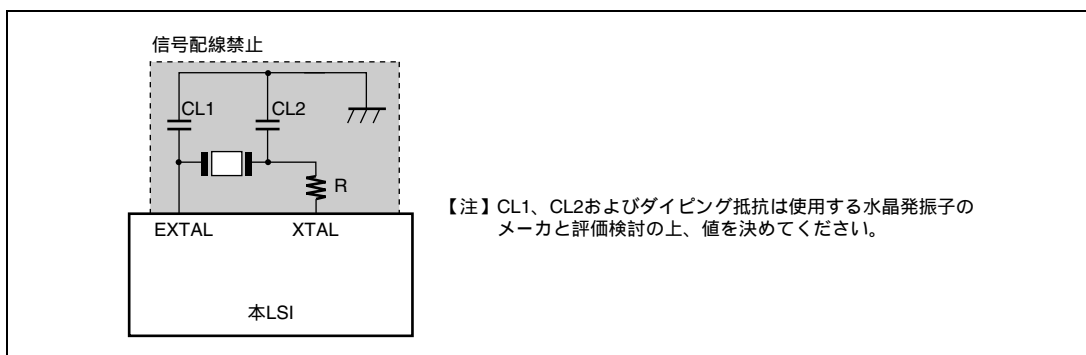


図 11.4 水晶発振器使用時の注意

### (2) バイパスコンデンサについての注意

$V_{ss}/V_{ssQ}$  と  $V_{cc}/V_{ccQ}$  のペアごとに積層セラミックコンデンサをパスコンとして入れてください。

パスコンは LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

HQFP2828-256(FP-256G/GV)ピン配置

デジタル系の  $V_{ss}/V_{ssQ}$  と  $V_{cc}/V_{ccQ}$  ペア

3-4、13-14、15-16、25-26、35-36、43-44、49-50、57-58、72-73、81-82、83-84、92-93、99-100、107-108、113-114、121-122、136-137、146-147、148-149、158-159、167-168、176-177、185-186、191-192、206-207、208-209、221-222、227-228、235-236、241-242

内蔵発振器系の  $V_{ss}/V_{ssQ}$  と  $V_{cc}/V_{ccQ}$  ペア

193-196、251-252、253-254

P-LFBGA1717-256(BP-256H/HV) ピン配置

デジタル系の  $V_{ss}/V_{ssQ}$  と  $V_{cc}/V_{ccQ}$  ペア

D2-B1、E1-F4、G2-G3、J2-J4、L3-L2、N3-N2、R4-P2、U2-W1、V4-Y4、Y6-U7、W8-V8、V10-W10、V11-W11、V13-W13、U15-W14、W17-Y19、U18-U20、P17-N19、N18-P20、L17-L20、J18-J19、E20-F17、D19-B20、C19-A20、D15-B14、C14-A15、B11-D11、C10-B10、C8-B8、D6-B7

内蔵発振器系の  $V_{ss}/V_{ssQ}$  と  $V_{cc}/V_{ccQ}$  ペア

B19-A19、C3-B5、C5-C4

## (3) PLL 発振回路使用時の注意

PLL 用  $V_{cc}$  と  $V_{ss}$  の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

クロックモード 7 のときは、EXTAL 端子を  $V_{cc}$  または  $V_{ss}$  に接続し、XTAL 端子は解放にしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と  $V_{cc}$ 、 $V_{ccQ}$  のデジタル電源系は極力基板上で同一リソースを供給しないでください。

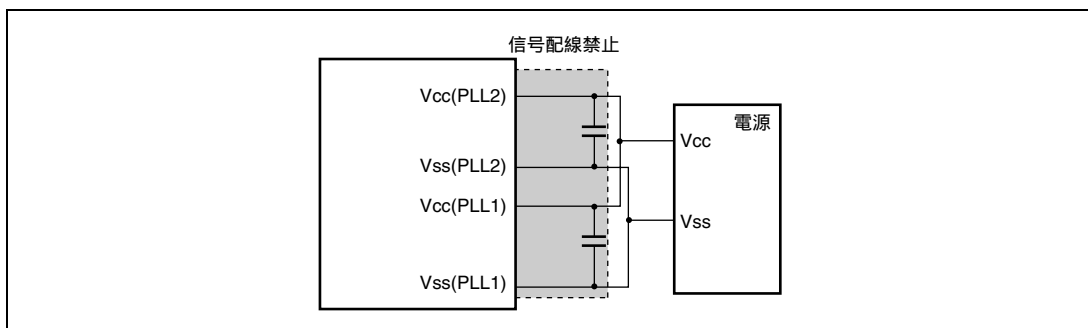
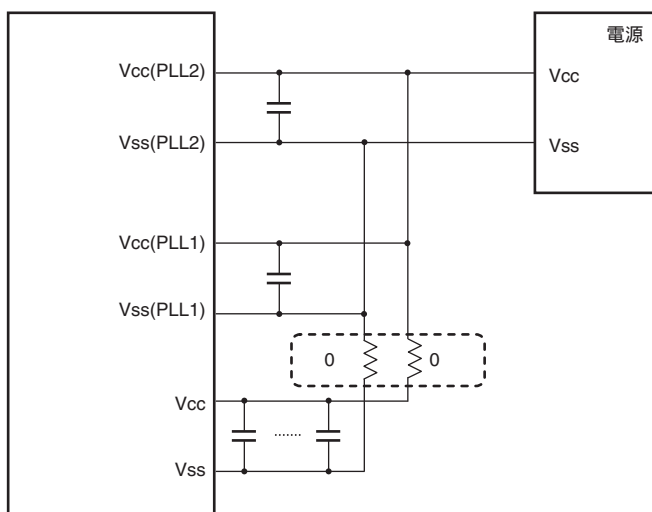


図 11.5 PLL 発振回路使用時の注意

## 【参考】

基板レイアウト上でのパターン分離を徹底する方法として、以下のような 0 抵抗表示をする方法もあります。



---

## 12. バスステートコントローラ (BSC)

---

外部バスコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

### 12.1 特長

BSC には、次の特長があります。

#### (1) 外部アドレス空間

- $\overline{CS0}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$ 、 $\overline{CS6A}$ 、および  $\overline{CS6B}$  の各空間をそれぞれ最大32Mバイトまたは最大64Mバイトまで、外部アドレス空間の合計を384Mバイト (8個の部分空間に分割) までサポート
- $\overline{CS0}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 、および  $\overline{CS6}$  の各空間はそれぞれ最大64Mバイトまで、外部アドレス空間の合計は384Mバイト (6個の部分空間に分割) までサポート
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、バーストROM (クロック同期または非同期)、SDRAM、およびPCMCIAのメモリ種類を指定可能
- 空間ごとに、データバス幅 (8ビット、16ビット、または32ビット) を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト (同一空間または別空間)、リード - リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

#### (2) 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

#### (3) バーストROM (クロック非同期) インタフェース

- ページモード機能を有するROMを高速にアクセス可能

#### (4) SDRAM インタフェース

- 最大2つのエリアでSDRAMを設定可能
- ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート

#### (5) バイト選択付き SRAM インタフェース

- バイト選択付きSRAMとの直結が可能なインタフェースをサポート

## (6) PCMCIA 直結インタフェース

- JEIDA仕様Ver4.2 (PCMCIA2.1 Rev2.1) で定める「ICメモ리카ードおよびI/Oカードインタフェース」をサポート
- ウェイトステート挿入をプログラムで制御可能
- I/Oバス幅のバスサイジング機能をサポート (リトルエンディアンモード時のみ)

## (7) バーストROM (クロック同期) インタフェース

- クロック同期タイプのバーストROMを直結可能

## (8) バスアービトレーション

- すべての資源を他のCPUと共有し、外部からのバス権要求を受け、バス使用許可を出力可能

## (9) リフレッシュ機能

- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定 (1、2、4、6、および8) による集中リフレッシュが可能

## (10) リフレッシュ用カウンタのインターバルタイマとしての利用

- コンペアマッチで割り込み要求発生可能

BSC のブロック図を図 12.1 に示します。

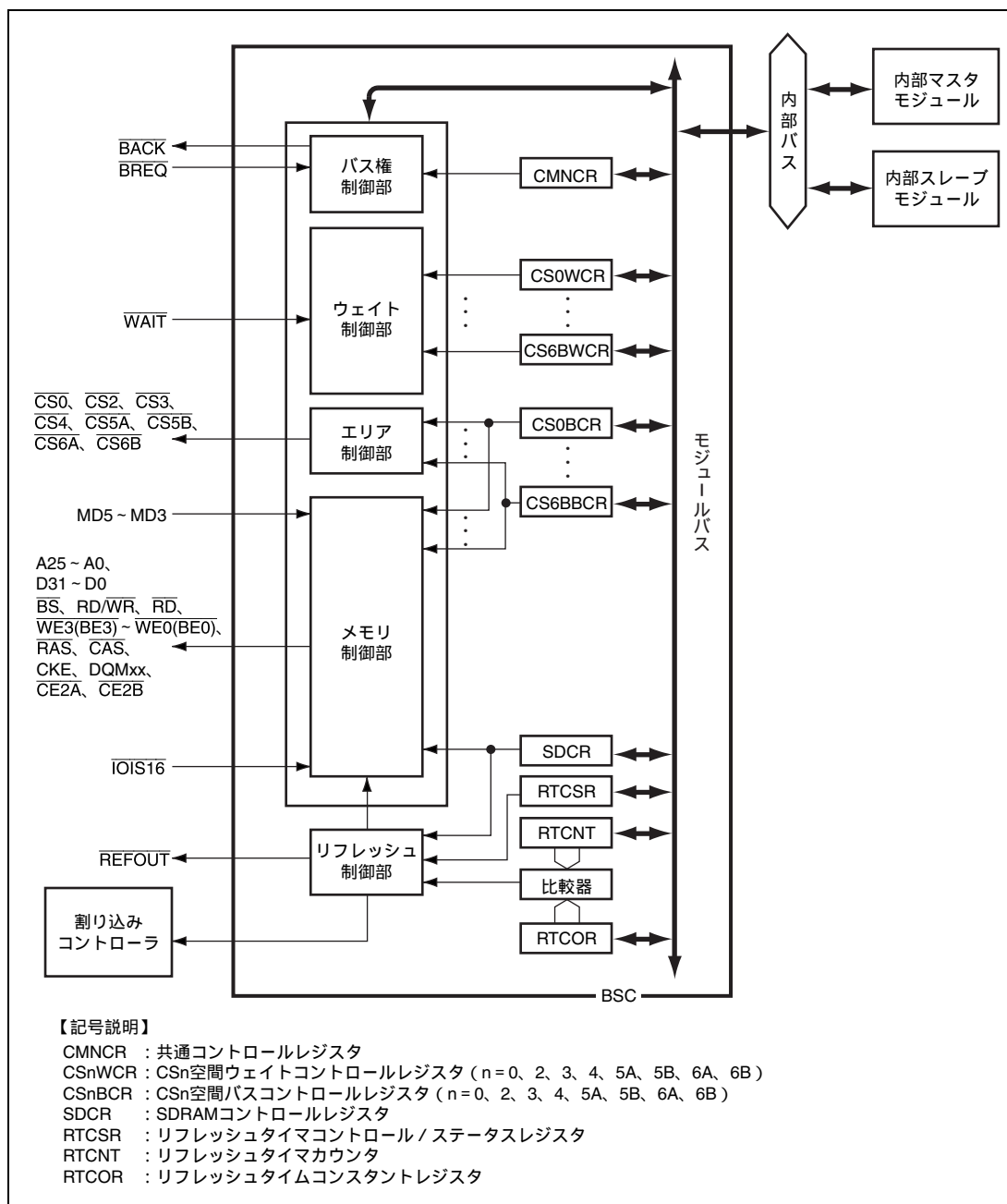


図 12.1 バスステートコントローラのブロック図

## 12.2 入出力端子

BSC の端子構成を表 12.1 に示します。

表 12.1 端子構成

端子名	入出力	機能
A25 ~ A0	出力	アドレスバス
D31 ~ D0	入出力	データバス
$\overline{BS}$	出力	バスサイクルの開始を示す信号 通常空間、バースト ROM (クロック同期 / 非同期)、および PCMCIA アクセス時にアサートされる。SDRAM アクセス時は、 $\overline{CAS}$ と同タイミングでアサートされる。
$\overline{CS0}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$	出力	チップセレクト
$\overline{CS5A}$	出力	チップセレクト アドレスマップ 1 のときのみアクティブ
$\overline{CS5B/CE1A}$	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
$\overline{CE2A}$	出力	PCMCIA カードセレクト信号 D15 ~ D8 対応
$\overline{CS6A}$	出力	チップセレクト アドレスマップ 1 のときのみアクティブ
$\overline{CS6B/CE1B}$	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
$\overline{CE2B}$	出力	PCMCIA カードセレクト信号 D15 ~ D8 対応
$\overline{RD/W\overline{R}}$	出力	リードまたはライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、 $\overline{WE}$ 端子に接続
$\overline{RD}$	出力	リードパルス信号 (リードデータ出力許可信号) PCMCIA 使用時は、メモリリードサイクルを示すストロープ信号
$\overline{WE3(BE3)/I\overline{CIOWR}}$	出力	D31 ~ D24 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 PCMCIA 使用時は、I/O ライトを示すストロープ信号
$\overline{WE2(BE2)/I\overline{CIORD}}$	出力	D23 ~ D16 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 PCMCIA 使用時は、I/O リードを示すストロープ信号
$\overline{WE1(BE1)/WE}$	出力	D15 ~ D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 PCMCIA 使用時は、メモリライトサイクルを示すストロープ信号



端子名	入出力	機能
WE0(BE0)	出力	D7～D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続
RAS	出力	SDRAM 接続時は、RAS 端子に接続
CAS	出力	SDRAM 接続時は、CAS 端子に接続
CKE	出力	SDRAM 接続時は、CKE 端子に接続
IOIS16	入力	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効 ビッグエンディアン時は、ローレベルにしてください。
DQMUU DQMUL DQMLU DQMLL	出力	SDRAM 接続時は、DQMxx 端子に接続 DQMUU : D31～D24 対応の選択信号 DQMUL : D23～D16 対応の選択信号 DQMLU : D15～D8 対応の選択信号 DQMLL : D7～D0 対応の選択信号
WAIT	入力	外部ウェイト入力
BREQ	入力	バス権要求入力
BACK	出力	バス使用許可出力
MD5～MD3	入力	MD5 : データアライメント (ビッグまたはリトルエンディアンの選択) MD4、3 : エリア 0 のバス幅 (8/16/32 ビット)
REFOUT	出力	バス解放時リフレッシュ実行要求出力

## 12.3 エリアの概要

### 12.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しています。このうち上位 3 ビットで P0~P4 領域に分類され、キャッシュアクセス方法を表します。詳細は、「第 6 章 キャッシュ」を参照ください。残り 29 ビットは、CMNCR レジスタの MAP ビットにより、10 空間 (アドレスマップ 1) あるいは 8 空間 (アドレスマップ 2) に分類されています。BSC は、本 29 ビットの空間の制御を行います。

本 LSI は、表 12.2、表 12.3 に示すように物理空間の 8 空間あるいは 6 空間にそれぞれ各種メモリを接続でき、おののに対応してチップセレクト信号 ( $\overline{CS0}$ 、 $\overline{CS2}$ ~ $\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$ 、 $\overline{CS6A}$ 、および  $\overline{CS6B}$ ) を出力します。エリア 0 のアクセス時には  $\overline{CS0}$  がアサートします。また、アドレスマップ 1 選択時はエリア 5A のアクセス時に  $\overline{CS5A}$  がアサートし、アドレスマップ 2 選択時は  $\overline{CS5B}$  がアサートします。

### 12.3.2 シャドウ空間

エリア 0、2~4、5A/5B、および 6A/6B は、物理アドレスの A28~A25 でデコードされ、000~111 のエリアに対応します。アドレスの A31~A29 は、無視されます。このため、たとえば、エリア 0 のアドレスの範囲は H'00000000 ~ H'03FFFFFF なのに対し、H'20000000 × n (n = 1~6) を加えた P1~P3 領域のアドレス空間はシャドウ空間となります。

また、エリア 7 のアドレスの範囲は、H'1C000000 ~ H'1FFFFFFF です。エリア 7 のシャドウ空間に相当するアドレスを含めて H'1C000000 + H'20000000 × n ~ H'1FFFFFFF + H'20000000 × n (n = 0~6) は予約空間ですので、使用しないでください。

P4 領域 (H'E0000000 ~ H'FFFFFFF) は、I/O 領域であり、内蔵レジスタ等のアドレスが割り付けてあります。シャドウ空間にはなりません。

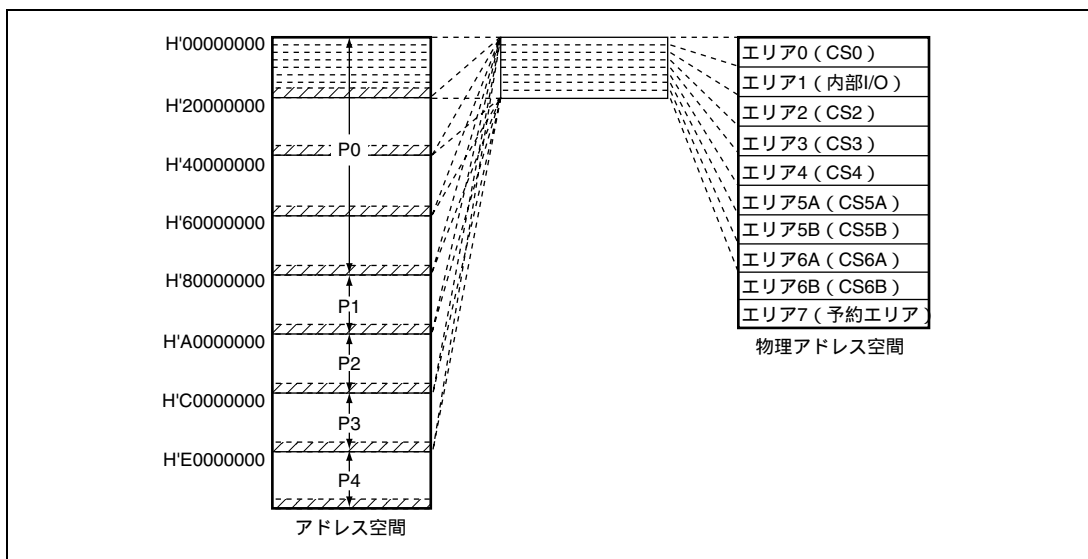


図 12.2 アドレス空間

### 12.3.3 アドレスマップ

外部アドレス空間は合計 384M バイトあり、これを 8 空間 (アドレスマップ 1) または 6 空間 (アドレスマップ 2) の部分空間に分割して使用します。接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 12.2 アドレスマップ 1 (CMNCR.MAP = 0)

アドレス	空間	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	通常空間 バースト ROM (非同期) バースト ROM (同期)	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	内蔵 I/O レジスタ空間 <sup>*2</sup>	64M バイト
H'08000000 ~ H'0BFFFFFF	エリア 2	通常空間 バイト選択付き SRAM SDRAM	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	通常空間 バイト選択付き SRAM SDRAM	64M バイト
H'10000000 ~ H'13FFFFFF	エリア 4	通常空間 バイト選択付き SRAM バースト ROM (非同期)	64M バイト
H'14000000 ~ H'15FFFFFF	エリア 5A	通常空間	32M バイト
H'16000000 ~ H'17FFFFFF	エリア 5B	通常空間 バイト選択付き SRAM	32M バイト
H'18000000 ~ H'19FFFFFF	エリア 6A	通常空間	32M バイト
H'1A000000 ~ H'1BFFFFFF	エリア 6B	通常空間 バイト選択付き SRAM	32M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	予約エリア <sup>*1</sup>	64M バイト

【注】 \*1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証は出来ません。

\*2 内部 I/O レジスタは、アドレスの先頭 3 ビットを 101 として P2 領域に配置してください。

表 12.3 アドレスマップ 2 (CMNCR.MAP = 1)

アドレス	空間	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	通常空間 バースト ROM (非同期) バースト ROM (同期)	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	内蔵 I/O レジスタ空間*3	64M バイト
H'08000000 ~ H'0BFFFFFF	エリア 2	通常空間 バイト選択付き SRAM SDRAM	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	通常空間 バイト選択付き SRAM SDRAM	64M バイト
H'10000000 ~ H'13FFFFFF	エリア 4	通常空間 バイト選択付き SRAM バースト ROM (非同期)	64M バイト
H'14000000 ~ H'17FFFFFF	エリア 5*2	通常空間 バイト選択付き SRAM PCMCIA	64M バイト
H'18000000 ~ H'1BFFFFFF	エリア 6*2	通常空間 バイト選択付き SRAM PCMCIA	64M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	予約エリア*1	64M バイト

【注】 \*1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。

\*2 エリア 5 空間は、CS5BBCR および CS5BWCR レジスタが有効になります。

エリア 6 空間は、CS6BBCR および CS6BWCR レジスタが有効になります。

\*3 内部 I/O レジスタは、アドレスの先頭 3 ビットを 101 として P2 領域に配置してください。

### 12.3.4 エリア 0 メモリタイプおよびメモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部端子を用いてバスサイズを通常空間設定時は 8 ビット、16 ビット、32 ビットから選択できます。それ以外のエリアは、レジスタで設定します。パワーオンリセット時のメモリタイプおよび外部端子 (MD3、MD4) とバス幅の関係は、以下ようになります。

表 12.4 外部端子 (MD4、MD3) と CS0 メモリタイプ、メモリバス幅の対応

MD4	MD3	メモリタイプ	バス幅
0	0	通常空間	予約 (設定不可)
	1		8 ビット*
1	0		16 ビット
	1		32 ビット

【注】 \* パースト ROM (クロック同期) インタフェースを選択するときは、8 ビットに設定しないでください。

### 12.3.5 データアライメント

本 LSI では、データアライメントとしてビッグエンディアンとリトルエンディアンをサポートします。データアライメントは、パワーオンリセット時の外部端子 (MD5) で決まります。

表 12.5 外部端子 (MD5) とエンディアン対応

MD5	データアライメント
0	ビッグエンディアン
1	リトルエンディアン

## 12.4 レジスタの説明

BSC には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

メモリとのインタフェースの設定が終了するまでは、CS0 空間以外はアクセスしないでください。

- 共通コントロールレジスタ (CMNCR)
- エリア0バスコントロールレジスタ (CS0BCR)
- エリア2バスコントロールレジスタ (CS2BCR)
- エリア3バスコントロールレジスタ (CS3BCR)
- エリア4バスコントロールレジスタ (CS4BCR)
- エリア5Aバスコントロールレジスタ (CS5ABCR)
- エリア5Bバスコントロールレジスタ (CS5BBCR)
- エリア6Aバスコントロールレジスタ (CS6ABCR)
- エリア6Bバスコントロールレジスタ (CS6BBCR)
- エリア0ウェイトコントロールレジスタ (CS0WCR)
- エリア2ウェイトコントロールレジスタ (CS2WCR)
- エリア3ウェイトコントロールレジスタ (CS3WCR)
- エリア4ウェイトコントロールレジスタ (CS4WCR)
- エリア5Aウェイトコントロールレジスタ (CS5AWCR)
- エリア5Bウェイトコントロールレジスタ (CS5BWCR)
- エリア6Aウェイトコントロールレジスタ (CS6AWCR)
- エリア6Bウェイトコントロールレジスタ (CS6BWCR)
- SDRAMコントロールレジスタ (SDCR)
- リフレッシュタイムコントロール/ステータスレジスタ (RTCSR) \*<sup>1</sup>
- リフレッシュタイムカウンタ (RTCNT) \*<sup>1</sup>
- リフレッシュタイムコンスタントレジスタ (RTCOR) \*<sup>1</sup>
- エリア2SDRAMモードレジスタ (SDMR2) \*<sup>2</sup>
- エリア3SDRAMモードレジスタ (SDMR3) \*<sup>2</sup>

【注】 \*<sup>1</sup> 本レジスタは誤書き込み防止のため、書き込みデータの上位 16 ビットを H'A55A とした 32 ビットライトのみ受け付け、それ以外は書き込みが行われません。リード時、上位 16 ビットは H'0000 が読み出されません。

\*<sup>2</sup> 本レジスタの実体は、SDRAM 内に存在します。本レジスタ空間をアクセスすることにより、SDRAM 内のレジスタに書き込まれます。

詳しくは、「12.5.5 SDRAM インタフェース (12) パワーオンシーケンス」を参照してください。

### 12.4.1 共通コントロールレジスタ (CMNCR)

本レジスタは、各エリアに共通の制御を行う 32 ビットのレジスタです。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
31 ~ 16		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15	WAITSEL	0	R/W	WAIT 信号のサンプリングタイミング指定 本ビットにより、外部 WAIT 入力のサンプリングタイミングを指定します。 0 : CKIO の立ち下がりでサンプリングします。 この場合、WAIT 信号は、非同期入力が可能です。 1 : CKIO の立ち上がりでサンプリングします。 この場合、WAIT 信号は、同期入力してください。
14	BSD	0	R/W	バスアクノリッジの獲得後のアクセス開始タイミング指定 本ビットにより、外部バスアクノリッジの獲得後のアクセス開始タイミングを指定します。 0 : バスアクノリッジの獲得後に、アドレスドライブ開始タイミングと同時に外部アクセスを開始します。 1 : バスアクノリッジの獲得後に、アドレスドライブ開始タイミングの 1 サイクル後に外部アクセスを開始します。
13		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	MAP	0	R/W	空間設定 本ビットにより、外部アドレス空間のアドレスマップを選択します。選択できるアドレスマップについては、表 12.2、表 12.3 を参照してください。 0 : アドレスマップ 1 を選択 1 : アドレスマップ 2 を選択
11	BLOCK	0	R/W	バスロックビット $\overline{\text{BREQ}}$ を受け付けるかどうかを指定します。 0 : $\overline{\text{BREQ}}$ を受け付けます。 1 : $\overline{\text{BREQ}}$ を受け付けません。

ビット	ビット名	初期値	R/W	説明
10 9	DPRTY1 DPRTY0	0 0	R/W R/W	<p>DMA バースト転送優先順位</p> <p>本ビットは、DMA バースト転送中に対するリフレッシュ要求 / バス権使用要求の優先順位を指定します。</p> <p>00 : DMA バースト転送中にリフレッシュ要求とバス権使用要求を受け付ける。</p> <p>01 : DMA バースト転送中にリフレッシュ要求を受け付け、バス権使用要求は受け付けない。</p> <p>10 : DMA バースト転送中にリフレッシュ要求、バス権使用要求ともに受け付けない。</p> <p>11 : 予約 (設定不可)</p>
8 7 6	DMAIW2 DMAIW1 DMAIW0	0 0 0	R/W R/W R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト指定</p> <p>本ビットは、DMA シングルアドレス転送時に DACK 付き外部デバイスからのデータ出力後に挿入するアイドルサイクル数を指定します。アイドルサイクルの挿入の方法は、後述の DMAIWA ビットの指定により異なります。</p> <p>000 : アイドルサイクルなし</p> <p>001 : 1 アイドルサイクル挿入</p> <p>010 : 2 アイドルサイクル挿入</p> <p>011 : 4 アイドルサイクル挿入</p> <p>100 : 6 アイドルサイクル挿入</p> <p>101 : 8 アイドルサイクル挿入</p> <p>110 : 10 アイドルサイクル挿入</p> <p>111 : 12 アイドルサイクル挿入</p>
5	DMAIWA	0	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト挿入方法指定</p> <p>本ビットは、DMAIW1 と DMAIW0 ビットで指定したアイドルサイクルの挿入方法を指定します。本ビットが 0 の場合は、DACK 付き外部デバイスがデータバスをドライブ後、本 LSI を含む他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入します。DACK 付き外部デバイスが連続してデータバスをドライブする場合は、アイドルサイクルを挿入しません。本ビットが 1 の場合は、DACK 付き外部デバイスへのアクセスが連続する場合でも、1 回のアクセス終了後必ずアイドルサイクルが挿入されます。</p> <p>0 : DACK 付き外部デバイスがデータバスをドライブ後、他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入</p> <p>1 : DACK 付き外部デバイスアクセス後、常にアイドルサイクルを挿入</p>
4	-	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。</p>



ビット	ビット名	初期値	R/W	説明
3	ENDIAN	0/1*	R	<p>エンディアンフラグ</p> <p>本ビットは、パワーオンリセット時にエンディアン設定の外部端子 (MD5) の値をサンプリングします。全空間のエンディアンは、このビットで決定されます。本ビットは、読み出し専用です。</p> <p>0 : パワーオンリセット時にエンディアン設定の外部端子 (MD5) がローレベルであり、本 LSI がビッグエンディアンとして動作</p> <p>1 : パワーオンリセット時にエンディアン設定の外部端子 (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして動作</p>
2	CK2DRV	0	R/W	<p>CKIO2 ドライブ</p> <p>本ビットは、CKIO2 端子出力をローレベル出力とするか、クロック (B ) を出力するかを設定するビットです。</p> <p>0 : ローレベルを出力</p> <p>1 : クロック (B ) を出力</p>
1	HIZMEM	0	R/W	<p>High-Z メモリコントロール</p> <p>本ビットは、A25 - 0、<math>\overline{BS}</math>、<math>\overline{CSn}</math>、RD/WR、<math>\overline{WEn}</math> (<math>\overline{BE_n}</math>)/DQMxx、および <math>\overline{RD}</math> のスタンバイモード時の端子状態を指定します。バス開放時は、本ビットにかかわらずハイインピーダンスになります。</p> <p>0 : スタンバイモード時にハイインピーダンス</p> <p>1 : スタンバイモード時にドライブ</p>
0	HIZCNT	0	R/W	<p>High-Z コントロール</p> <p>本ビットは、CKIO、CKIO2、CKE、<math>\overline{RAS}</math>、<math>\overline{CAS}</math> のスタンバイモード時およびバス権解放時の状態を指定します。</p> <p>0 : CKIO、CKIO2、CKE、<math>\overline{RAS}</math>、<math>\overline{CAS}</math> は、スタンバイモード時およびバス権解放時にハイインピーダンス</p> <p>1 : CKIO、CKIO2、CKE、<math>\overline{RAS}</math>、<math>\overline{CAS}</math> は、スタンバイモード時およびバス権解放時にドライブ</p> <p>【注】 クロック動作モード 6~4 に設定した場合は、CKIO、CKIO2、CKE、<math>\overline{RAS}</math>、<math>\overline{CAS}</math> は、スタンバイモード時およびバス権解放時にドライブ状態に設定してください。</p>

【注】 \* エンディアンを指定する外部端子 (MD5) の値をパワーオンリセット時にサンプリングビッグエンディアンのときは 0、リトルエンディアンのときは 1 となります。

### 12.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、2、3、4、5A、5B、6A、6B)

本レジスタは、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。

レジスタの初期設定が終了するまでは、エリア0以外の外部メモリをアクセスしないでください。

ビット	ビット名	初期値	R/W	説明	
31		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。	
30	IWW2	0	R/W	ライト - リード / ライト - ライトサイクル間アイドル指定	
29	IWW1	1	R/W	本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。  000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入	
28	IWW0	1	R/W		
27	IWRWD2	0	R/W		別空間リード - ライトサイクル間アイドル指定
26	IWRWD1	1	R/W		本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - ライトサイクルの場合です。  000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
25	IWRWD0	1	R/W		

ビット	ビット名	初期値	R/W	説明
24	IWRWS2	0	R/W	同一空間リード - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
23	IWRWS1	1	R/W	
22	IWRWS0	1	R/W	
21	IWRRD2	0	R/W	別空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
20	IWRRD1	1	R/W	
19	IWRRD0	1	R/W	
18	IWRRS2	0	R/W	同一空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
17	IWRRS1	1	R/W	
16	IWRRS0	1	R/W	

ビット	ビット名	初期値	R/W	説明
15	TYPE3	0	R/W	メモリ種類指定
14	TYPE2	0	R/W	本ビットは、空間に接続するメモリの種類を設定します。
13	TYPE1	0	R/W	0000 : 通常空間
12	TYPE0	0	R/W	0001 : バースト ROM (クロック非同期) 0010 : 予約 (設定不可) 0011 : バイト選択付き SRAM 0100 : SDRAM 0101 : PCMCIA 0110 : 予約 (設定不可) 0111 : バースト ROM (クロック同期) <sup>*2</sup> 1000 : 予約 (設定不可) 1001 : 予約 (設定不可) 1010 : 予約 (設定不可) 1011 : 予約 (設定不可) 1100 : 予約 (設定不可) 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)  【注】 エリア 0 のリセット直後のメモリタイプは、通常空間となります。 本ビットで通常空間、バースト ROM (クロック非同期)、および バースト ROM (クロック同期) から選択可能です。 エリアごとのメモリタイプは表 12.2、表 12.3 を参照ください。
11		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10	BSZ1	1 <sup>*1</sup>	R/W	データバス幅指定
9	BSZ0	1 <sup>*1</sup>	R/W	本ビットは、空間のデータバス幅を指定します。 00 : 予約 (設定不可) 01 : 8 ビット 10 : 16 ビット 11 : 32 ビット  【注】 1. エリア 0 のデータバス幅は、外部入力端子で設定します。 CS0BCR の BSZ1、0 ビットの設定は無視されます。 2. エリア 5 またはエリア 6 を PCMCIA 空間に設定した場合は、 バス幅は 8 または 16 ビットから設定が可能です。 3. エリア 2 またはエリア 3 を SDRAM 空間に設定した場合は、バス 幅は 16 または 32 ビットから設定が可能です。
8~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

【注】 \*1 CS0BCR は、バス幅を指定する外部端子 (MD3 と MD4) の値をパワーオンリセット時にサンプリングします。

\*2 バースト ROM (クロック同期) へのアクセスは、必ずキャッシュ空間としてアクセスしてください。

### 12.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、2、3、4、5A、5B、6A、6B)

本レジスタは、メモリアクセスに関する各種ウェイトサイクルの設定を行います。本レジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE3、2、1、0) により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR は、CSnBCR を設定後に設定してください。

#### (1) 通常空間、バイト選択付き SRAM

- CS0WCR、CS6BWCR

ビット	ビット名	初期値	R/W	説明
31~21		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WEn}$ ( $\overline{BE_n}$ ) および $\overline{RD}/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WEn}$ ( $\overline{BE_n}$ ) は、リードライトタイミングでアサート $\overline{RD}/\overline{WR}$ は、ライトアクセスサイクル中アサート 1: $\overline{WEn}$ ( $\overline{BE_n}$ ) は、リードライトアクセスサイクル中アサート $\overline{RD}/\overline{WR}$ は、ライトタイミングでアサート
19~13		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12 11	SW1 SW0	0 0	R/W R/W	アドレス、 $\overline{CSn}$ アサート $\overline{RD}$ 、 $\overline{WE}$ ( $\overline{BE_n}$ ) アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CSn}$ アサートから $\overline{RD}$ 、 $\overline{WE}$ ( $\overline{BE_n}$ ) アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明	
10	WR3	1	R/W	アクセスウェイトサイクル数	
9	WR2	0	R/W	本ビットは、リード/ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)	
8	WR1	1	R/W		
7	WR0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2		すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W		RD、WE $\bar{n}$ (BE $\bar{n}$ ) ネゲート アドレス、CS $\bar{n}$ ネゲート遅延サイクル数 本ビットは、RD、WE $\bar{n}$ (BE $\bar{n}$ ) ネゲートから、アドレス、CS $\bar{n}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
0	HW0	0	R/W		

• CS2WCR、CS3WCR

ビット	ビット名	初期値	R/W	説明
31~21		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WEn}$ ( $\overline{BE_n}$ ) および RD/ $\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WEn}$ ( $\overline{BE_n}$ ) は、リードライトタイミングでアサート RD/ $\overline{WR}$ は、ライトアクセスサイクル中アサート 1: $\overline{WEn}$ ( $\overline{BE_n}$ ) は、リードライトアクセスサイクル中アサート RD/ $\overline{WR}$ は、ライトタイミングでアサート
19~11		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10	WR3	1	R/W	アクセスウェイトサイクル数
9	WR2	0	R/W	本ビットは、リード/ライトアクセスに必要なウェイトサイクル数を指定します。
8	WR1	1	R/W	
7	WR0	0	R/W	0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

## • CS4WCR

ビット	ビット名	初期値	R/W	説明
31~21		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WEn}$ ( $\overline{BEn}$ ) および RD/ $\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WEn}$ ( $\overline{BEn}$ ) は、リードライトタイミングでアサート RD/ $\overline{WR}$ は、ライトアクセスサイクル中アサート 1: $\overline{WEn}$ ( $\overline{BEn}$ ) は、リードライトアクセスサイクル中アサート RD/ $\overline{WR}$ は、ライトタイミングでアサート
19		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18	WW2	0	R/W	ライトアクセスウェイトサイクル数
17	WW1	0	R/W	本ビットは、ライトアクセスに必要なサイクル数を指定します。
16	WW0	0	R/W	000: WR3~WR0 設定 (リードアクセスウェイト) と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	SW1	0	R/W	アドレス、 $\overline{CSn}$ アサート RD、 $\overline{WEn}$ ( $\overline{BEn}$ ) アサート遅延サイクル数
11	SW0	0	R/W	本ビットは、アドレス、 $\overline{CSn}$ アサートから RD、 $\overline{WEn}$ ( $\overline{BEn}$ ) アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル



ビット	ビット名	初期値	R/W	説明	
10	WR3	1	R/W	アクセスウェイトサイクル数	
9	WR2	0	R/W	本ビットは、リード/ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)	
8	WR1	1	R/W		
7	WR0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2		すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W		RD、WE $\bar{n}$ (BE $\bar{n}$ ) ネゲート アドレス、CS $\bar{n}$ ネゲート遅延サイクル数 本ビットは、RD、WE $\bar{n}$ (BE $\bar{n}$ ) ネゲートから、アドレス、CS $\bar{n}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
0	HW0	0	R/W		

## • CS5AWCR

ビット	ビット名	初期値	R/W	説明
31~19		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18	WW2	0	R/W	ライトアクセスウェイトサイクル数
17	WW1	0	R/W	本ビットには、ライトアクセスに必要なサイクル数を指定します。
16	WW0	0	R/W	000 : WR3~WR0 設定 (リードアクセスウェイト) と同じサイクル 001 : 0 サイクル 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル
15~13		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	SW1	0	R/W	アドレス、 $\overline{CSn}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BEn}$ ) アサート遅延サイクル数
11	SW0	0	R/W	本ビットは、アドレス、 $\overline{CSn}$ アサートから $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BEn}$ ) アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

ビット	ビット名	初期値	R/W	説明	
10	WR3	1	R/W	アクセスウェイトサイクル数	
9	WR2	0	R/W	本ビットは、リード/ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)	
8	WR1	1	R/W		
7	WR0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2		すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W		RD、WE $\bar{n}$ (BE $\bar{n}$ ) ネゲート アドレス、CS $\bar{n}$ ネゲート遅延サイクル数
0	HW0	0	R/W		本ビットは、RD、WE $\bar{n}$ (BE $\bar{n}$ ) ネゲートから、アドレス、CS $\bar{n}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

## • CS5BWCR

ビット	ビット名	初期値	R/W	説明
31~21		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE_n}$ ( $\overline{BE_n}$ ) および RD/ $\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WE_n}$ ( $\overline{BE_n}$ ) は、リードライトタイミングでアサート RD/ $\overline{WR}$ は、ライトアクセスサイクル中アサート 1: $\overline{WE_n}$ ( $\overline{BE_n}$ ) は、リードライトアクセスサイクル中アサート RD/ $\overline{WR}$ は、ライトタイミングでアサート
19		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18	WW2	0	R/W	ライトアクセスウェイトサイクル数
17	WW1	0	R/W	本ビットは、ライトアクセスに必要なサイクル数を指定します。
16	WW0	0	R/W	000: WR3~WR0 設定 (リードアクセスウェイト) と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	SW1	0	R/W	アドレス、 $\overline{CS_n}$ アサート RD、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) アサート遅延サイクル数
11	SW0	0	R/W	本ビットは、アドレス、 $\overline{CS_n}$ アサートから RD、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明	
10	WR3	1	R/W	アクセスウェイトサイクル数	
9	WR2	0	R/W	本ビットは、リード/ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)	
8	WR1	1	R/W		
7	WR0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2		すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W		RD、WE $\bar{n}$ (BE $\bar{n}$ ) ネゲート アドレス、CS $\bar{n}$ ネゲート遅延サイクル数 本ビットは、RD、WE $\bar{n}$ (BE $\bar{n}$ ) ネゲートから、アドレス、CS $\bar{n}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
0	HW0	0	R/W		

## • CS6AWCR

ビット	ビット名	初期値	R/W	説明
31~13		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12 11	SW1 SW0	0 0	R/W R/W	アドレス、 $\overline{CSn}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BE_n}$ ) アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CSn}$ アサートから $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BE_n}$ ) アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10 9 8 7	WR3 WR2 WR1 WR0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 本ビットは、リード/ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1 0	HW1 HW0	0 0	R/W R/W	$\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BE_n}$ ) ネゲート アドレス、 $\overline{CSn}$ ネゲート遅延サイクル数 本ビットは、 $\overline{RD}$ および $\overline{WEn}$ ( $\overline{BE_n}$ ) ネゲートから、アドレスおよび $\overline{CSn}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

## (2) バースト ROM (クロック非同期)

## • CS0WCR

ビット	ビット名	初期値	R/W	説明
31~21		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BEN	0	R/W	バーストイネーブル指定 本ビットは、16 バイトアクセス発生時の 16 ビットバス幅に対する 8 バーストアクセスおよび 8 ビットバス幅に対する 16 バーストアクセスの許可または不許可を指定します。本ビットを 1 に設定時は、16 ビットバス幅のとき 2 バースト 4 回のアクセス、および 8 ビットバス幅のとき 4 バースト 4 回のアクセスとなります。 8 バーストおよび 16 バーストアクセスに対応していないデバイスを使用する場合は、本ビットを 1 にしてください。 0 : 16 ビットバス幅時の 8 バーストアクセスおよび 8 ビットバス幅時の 16 バーストアクセスを許可 1 : 16 ビットバス幅時の 8 バーストアクセスおよび 8 ビットバス幅時の 16 バーストアクセスを禁止
19		0	R	リザーブビット
18		0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17	BW1	0	R/W	バーストウェイトサイクル数
16	BW0	0	R/W	本ビットは、バーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00 : 0 サイクル 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
15~11		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明	
10	W3	1	R/W	アクセスウェイトサイクル数	
9	W2	0	R/W	本ビットは、リードアクセスおよびライトアクセスの1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。	
8	W1	1	R/W		
7	W0	0	R/W		
					0000 : 0 サイクル
					0001 : 1 サイクル
					0010 : 2 サイクル
					0011 : 3 サイクル
					0100 : 4 サイクル
					0101 : 5 サイクル
					0110 : 6 サイクル
				0111 : 8 サイクル	
				1000 : 10 サイクル	
				1001 : 12 サイクル	
				1010 : 14 サイクル	
				1011 : 18 サイクル	
				1100 : 24 サイクル	
				1101 : 予約 (設定不可)	
				1110 : 予約 (設定不可)	
				1111 : 予約 (設定不可)	
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視	
5~0		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。	



## • CS4WCR

ビット	ビット名	初期値	R/W	説明
31~21		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BEN	0	R/W	バーストイネーブル指定 本ビットは、16 バイトアクセス発生時の 16 ビットバス幅に対する 8 バーストアクセスおよび 8 ビットバス幅に対する 16 バーストアクセスの許可または不許可を指定します。本ビットを 1 に設定時は、16 ビットバス幅のとき 2 バースト 4 回のアクセス、または 8 ビットバス幅のとき 4 バースト 4 回のアクセスとなります。 8 バーストおよび 16 バーストアクセスに対応していないデバイスを使用する場合は、本ビットを 1 にしてください。 0 : 16 ビットバス幅時の 8 バーストアクセスおよび 8 ビットバス幅時の 16 バーストアクセス許可 1 : 16 ビットバス幅時の 8 バーストアクセスおよび 8 ビットバス幅時の 16 バーストアクセス禁止
19		0	R	リザーブビット
18		0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17	BW1	0	R/W	バーストウェイトサイクル数
16	BW0	0	R/W	本ビットは、バーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00 : 0 サイクル 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
15~13		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	SW1	0	R/W	アドレス、CS <sub>n</sub> アサート $\overline{RD}$ 、 $\overline{WE_n}$ (BEn) アサート遅延サイクル数
11	SW0	0	R/W	本ビットは、アドレス、CS <sub>n</sub> アサートから、 $\overline{RD}$ 、 $\overline{WE_n}$ (BEn) アサートまでの遅延サイクル数を指定します。本ビットは、エリア 4 でのみ設定可能です。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

ビット	ビット名	初期値	R/W	説明	
10	W3	1	R/W	アクセスウェイトサイクル数	
9	W2	0	R/W	本ビットは、リードアクセスおよびライトアクセスの1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)	
8	W1	1	R/W		
7	W0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2		すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W		RD、WE $\bar{n}$ (BE $\bar{n}$ ) ネゲート アドレス、CS $\bar{n}$ ネゲート遅延サイクル数 本ビットは、RD、WE $\bar{n}$ (BE $\bar{n}$ ) ネゲートから、アドレス、CS $\bar{n}$ ネゲートまでの遅延サイクル数を指定します。本ビットは、エリア4でのみ設定可能です。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
0	HW0	0	R/W		

## (3) SDRAM\*

## • CS2WCR

ビット	ビット名	初期値	R/W	説 明
31~11		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10		1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。
9		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8	A2CL1	1	R/W	エリア 2 の CAS レイテンシ
7	A2CL0	0	R/W	本ビットは、エリア 2 の CAS レイテンシを指定します。  00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
6~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

## • CS3WCR

ビット	ビット名	初期値	R/W	説 明
31~15		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
14	WTRP1	0	R/W	プリチャージ完了待ちウェイトサイクル数
13	WTRP0	0	R/W	本ビットは、以下の場合において、プリチャージ完了待ちのために挿入される最小ウェイトサイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。  (1) オートプリチャージの起動から同一バンクに対する ACTV コマンド発行まで (2) PRE/PALL コマンド発行から同一バンクに対する ACTV コマンド発行まで (3) パワーダウンモード/ディープパワーダウンモード遷移まで (4) オートリフレッシュ時の PALL コマンド発行から REF コマンド発行まで (5) セルフリフレッシュ時の PALL コマンド発行から SELF コマンド発行まで  00 : 0 サイクル (ウェイトサイクルなし) 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
12		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
11 10	WTRCD1 WTRCD0	0 1	R/W R/W	ACTV コマンド READ(A)/WRIT(A)コマンド間ウェイトサイクル数 本ビットは、ACTV コマンド発行後、READ(A)/WRIT(A)コマンド発行までの最小ウェイトサイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。 00 : 0 サイクル (ウェイトサイクルなし) 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
9		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8 7	A3CL1 A3CL0	1 0	R/W R/W	エリア 3 の CAS レイテンシ 本ビットは、エリア 3 の CAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
6 5		0 0	R R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4 3	TRWL1 TRWL0	0 0	R/W R/W	プリチャージ起動待ちウェイトサイクル数 本ビットは、以下の場合において、プリチャージ起動待ちのために挿入される最小ウェイトサイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。 (1)本 LSI が WRITA コマンドを発行してから SDRAM 内でオートプリチャージが起動されるまで 非バンクアクティブモードで WRITA コマンド発行後、同一バンクに対する ACTV コマンド発行を行う場合です。 なお、SDRAM 内で、WRITA コマンドを受け付けてから何サイクルでオートプリチャージが起動されるかは、各 SDRAM のデータシートで確認してください。そのサイクル数が本ビットで指定するサイクル数を超えないように本ビットを設定してください。 (2)本 LSI が WRIT コマンドを発行してから PRE コマンドを発行するまでのバンクアクティブモードで、同一バンク内の異なるローアドレスへのアクセスを行う場合です。 00 : 0 サイクル (ウェイトサイクルなし) 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
2		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
1	WTRC1	0	R/W	REF コマンド/セルフリフレッシュ解除 ACTV/REF/MRS コマンド間アイドル サイクル数 本ビットは、以下の場合において、コマンド間の最小アイドルサイクル数を指 定します。エリア 2 とエリア 3 の設定は、共通となります。 (1) REF コマンド発行から ACTV/REF/MSR コマンド発行まで (2) セルフリフレッシュ解除から ACTV/REF/MSR コマンド発行まで 00 : 2 サイクル 01 : 3 サイクル 10 : 5 サイクル 11 : 8 サイクル
0	WTRC0	0	R/W	

【注】 エリア 2 とエリア 3 が共に SDRAM に設定されている場合は、WTRP1/0、WTRCD0/1、TRWL1/0、WTRC1/0 ビットは、共通の設定となります。

1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

## (4) PCMCIA

- CS5BWCR、CS6BWCR

ビット	ビット名	初期値	R/W	説明
31~22		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
21 20	SA1 SA0	0 0	R/W R/W	空間属性指定 PCMCIA インタフェース設定時は、本ビットによりメモリカードインタフェースおよびI/Oカードインタフェースのいずれかを指定します。 SA1 0: A25=1の空間をメモリカードインタフェース指定 1: A25=1の空間をI/Oカードインタフェース指定 SA0 0: A25=0の空間をメモリカードインタフェース指定 1: A25=0の空間をI/Oカードインタフェース指定
19~15		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
14 13 12 11	TED3 TED2 TED1 TED0	0 0 0 0	R/W R/W R/W R/W	アドレス - RD、WE アサート遅延 本ビットは、PCMCIA インタフェースにおけるアドレス出力から RD と WE アサートまでの遅延時間を設定します。 0000: 0.5 サイクル 0001: 1.5 サイクル 0010: 2.5 サイクル 0011: 3.5 サイクル 0100: 4.5 サイクル 0101: 5.5 サイクル 0110: 6.5 サイクル 0111: 7.5 サイクル 1000: 8.5 サイクル 1001: 9.5 サイクル 1010: 10.5 サイクル 1011: 11.5 サイクル 1100: 12.5 サイクル 1101: 13.5 サイクル 1110: 14.5 サイクル 1111: 15.5 サイクル

ビット	ビット名	初期値	R/W	説明
10 9 8 7	PCW3 PCW2 PCW1 PCW0	1 0 1 0	R/W R/W R/W R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、挿入ウェイトステート数を設定します。</p> <p>0000 : 3 サイクル 0001 : 6 サイクル 0010 : 9 サイクル 0011 : 12 サイクル 0100 : 15 サイクル 0101 : 18 サイクル 0110 : 22 サイクル 0111 : 26 サイクル 1000 : 30 サイクル 1001 : 33 サイクル 1010 : 36 サイクル 1011 : 38 サイクル 1100 : 52 サイクル 1101 : 60 サイクル 1110 : 64 サイクル 1111 : 80 サイクル</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。 アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5 4		0 0	R R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
3 2 1 0	TEH3 TEH2 TEH1 TEH0	0 0 0 0	R/W R/W R/W R/W	<p><math>\overline{RD}</math>、<math>\overline{WE}</math> ネゲート - アドレス遅延</p> <p>本ビットは、PCMCIA インタフェースにおける <math>\overline{RD}</math> と <math>\overline{WE}</math> ネゲートからのアドレスホールド時間を設定します。</p> <p>0000 : 0.5 サイクル 0001 : 1.5 サイクル 0010 : 2.5 サイクル 0011 : 3.5 サイクル 0100 : 4.5 サイクル 0101 : 5.5 サイクル 0110 : 6.5 サイクル 0111 : 7.5 サイクル 1000 : 8.5 サイクル 1001 : 9.5 サイクル 1010 : 10.5 サイクル 1011 : 11.5 サイクル 1100 : 12.5 サイクル 1101 : 13.5 サイクル 1110 : 14.5 サイクル 1111 : 15.5 サイクル</p>

## (5) パースト ROM (クロック同期)

## • CS0WCR

ビット	ビット名	初期値	R/W	説明
31~18		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
17 16	BW1 BW0	0 0	R/W R/W	パーストウェイトサイクル数 本ビットは、パーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
15~11		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10 9 8 7	W3 W2 W1 W0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 本ビットは、リードアクセスおよびライトアクセスの1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000: 0 サイクル 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 予約 (設定不可) 1110: 予約 (設定不可) 1111: 予約 (設定不可)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。



#### 12.4.4 SDRAM コントロールレジスタ (SDCR)

本レジスタは、SDRAM のリフレッシュ方法やアクセス方法および、接続する SDRAM の種類を指定します。

ビット	ビット名	初期値	R/W	説明
31~21		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20 19	A2ROW1 A2ROW0	0 0	R/W R/W	エリア 2 ロウアドレスビット数 本ビットは、エリア 2 のロウアドレスのビット数を指定します。 00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 予約 (設定不可)
18		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17 16	A2COL1 A2COL0	0 0	R/W R/W	エリア 2 カラムアドレスビット数 本ビットは、エリア 2 のカラムアドレスのビット数を指定します。 00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 予約 (設定不可)
15 14		0 0	R R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
13	DEEP	0	R/W	ディープパワーダウンモード ローパワー SDRAM に対してのみ有効です。本ビットを 1 の状態で RMODE ビットを 1 にすると、ディープパワーダウンエントリコマンドを発行してローパワー SDRAM はディープパワーダウンモードに遷移します。 0 : セルフリフレッシュモード 1 : ディープパワーダウンモード

ビット	ビット名	初期値	R/W	説明
12	SLOW	0	R/W	<p>低周波数モード</p> <p>本ビットは、SDRAM に対するコマンド、アドレス、ライトデータを出力するタイミング、およびリードデータを取り込むタイミングを指定します。本ビットを 1 に設定すると、SDRAM に対するコマンド、アドレス、およびライトデータを通常より半サイクル遅い CKIO の立ち下がりに同期して出力します。また、SDRAM からのリードデータを通常より半サイクル早い CKIO の立ち下がりで取り込みます。これにより、コマンド、アドレス、ライトデータ、およびリードデータのホールド時間を延長することができます。このモードは、SDRAM を低周波数で動作させるときに適したモードです。</p> <p>0: SDRAM に対するコマンド、アドレス、およびライトデータを CKIO の立ち上がりに同期して出力する。SDRAM からのリードデータを CKIO の立ち上がりに同期して取り込む。</p> <p>1: SDRAM に対するコマンド、アドレス、およびライトデータを CKIO の立ち下がりに同期して出力する。SDRAM からのリードデータを CKIO の立ち下がりに同期して取り込む。</p>
11	RFSH	0	R/W	<p>リフレッシュ制御</p> <p>本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。</p> <p>0: リフレッシュしない</p> <p>1: リフレッシュする</p>
10	RMODE	0	R/W	<p>リフレッシュ制御</p> <p>本ビットは、RFSH ビットが 1 のとき、オートリフレッシュを行うのかセルフリフレッシュを行うのかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTCSR、RTCNT、および RTCOR レジスタに設定した内容に従いオートリフレッシュを行います。</p> <p>0: オートリフレッシュを行う</p> <p>1: セルフリフレッシュを行う</p>
9	PDOWN	0	R/W	<p>パワーダウンモード</p> <p>本ビットは、SDRAM 以外のメモリアクセス終了後に、SDRAM をパワーダウンモードにするかどうかを指定します。本ビットは 1 に設定すると、SDRAM 以外のメモリアクセスをトリガとして CKE 端子をローレベルにし、SDRAM をパワーダウンモードにします。</p> <p>0: SDRAM 以外のメモリアクセス後、SDRAM をパワーダウンモードにしない</p> <p>1: SDRAM 以外のメモリアクセス後、SDRAM をパワーダウンモードにする</p>

ビット	ビット名	初期値	R/W	説明
8	BACTV	0	R/W	バンクアクティブモード 本ビットは、オートプリチャージモード (READA および WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ および WRIT コマンドを使用) でアクセスするのかを指定します。 0: オートプリチャージモード (READA および WRITA コマンドを使用) 1: バンクアクティブモード (READ および WRIT コマンドを使用) 【注】 バンクアクティブモードは、エリア 3 でのみ設定可能です。このときバス幅は、16 または 32 ビットから設定可能です。また、エリア 2 およびエリア 3 とともに SDRAM に設定する場合は、オートプリチャージモードに設定してください。
7~5		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	A3ROW1	0	R/W	エリア 3 ロウアドレスビット数 本ビットは、エリア 3 のロウアドレスのビット数を指定します。 00: 11 ビット 01: 12 ビット 10: 13 ビット 11: 予約 (設定不可)
3	A3ROW0	0	R/W	
2		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1	A3COL1	0	R/W	エリア 3 カラムアドレスビット数 本ビットは、エリア 3 のカラムアドレスのビット数を指定します。 00: 8 ビット 01: 9 ビット 10: 10 ビット 11: 予約 (設定不可)
0	A3COL0	0	R/W	

### 12.4.5 リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)

本レジスタは、SDRAM のリフレッシュに関する各種設定を行います。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット	ビット名	初期値	R/W	説明
31~8		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。次の条件でセット/クリアされます。 0: クリア条件: CMF = 1 の状態で RTCSR を読み出した後に、CMF に 0 を書き込んだとき 1: セット条件: RTCNT = RTCOR になったとき
6	CMIE	0	R/W	コンペアマッチインタラプトイネーブル 本ビットは、RTCSR の CMF ビットが 1 にセットされたとき、CMF による割り込み要求を許可するか禁止するかを設定します。 0: CMF による割り込み要求を禁止 1: CMF による割り込み要求を許可
5 4 3	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 本ビットは、リフレッシュタイムカウンタ (RTCNT) をカウントアップするクロックを選択します。 000: カウントアップ停止 001: B /4 010: B /16 011: B /64 100: B /256 101: B /1024 110: B /2048 111: B /4096
2 1 0	RRC2 RRC1 RRC0	0 0 0	R/W R/W R/W	リフレッシュ回数 本ビットは、リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。 000: 1 回 001: 2 回 010: 4 回 011: 6 回 100: 8 回 101: 予約 (設定不可) 110: 予約 (設定不可) 111: 予約 (設定不可)

### 12.4.6 リフレッシュタイマカウンタ (RTCNT)

本レジスタは、8ビットのカウンタで、RTCSRのCKS2、CKS1、CKS0ビットで選択したクロックによりカウントアップされます。RTCNTとRTCORの値が一致すると、RTCNTは0にクリアされます。また、255までカウントアップすると次は0に戻ります。書き込み時には、書き込みデータの上位16ビットをH'A55Aとしてライトプロテクトを解除してください。

ビット	ビット名	初期値	R/W	説明
31~8		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
7~0		すべて0	R/W	8ビットのカウンタ

### 12.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

本レジスタは、8ビットのレジスタです。RTCORとRTCNTの値が一致すると、RTCSRのCMFビットが1にセットされ、RTCNTは0にクリアされます。

SDCRのRFSHビットが1にセットされている場合は、この一致信号によってリフレッシュ要求が発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

RTCSRのCMIEビットが1にセットされていると、この一致信号によって割り込み要求が発生します。割り込み要求は、RTCSRのCMFビットがクリアされるまで続けて出力されます。CMFビットのクリアは、割り込みのみに影響をおよぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いながらリフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインタバルタイム割り込みの同時設定を行うことも可能です。書き込み時には、書き込みデータの上位16ビットをH'A55Aとしてライトプロテクトを解除してください。

ビット	ビット名	初期値	R/W	説明
31~8		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
7~0		すべて0	R/W	8ビットのカウンタ

## 12.5 動作説明

### 12.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り換えは、外部端子 (MD5) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビット、16 ビット、および 32 ビット幅の 3 種類から選べ、SDRAM は 16 ビットおよび 32 ビット幅の 2 種類から選べます。PCMCIA インタフェースの場合は、8 ビットおよび 16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 12.6 ~ 表 12.11 に示します。

表 12.6 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス ストロープ信号							
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3) DQMUU	WE2(BE2) DQMUL	WE1(BE1) DQMLU	WE0(BE0) DQMLL
0 番地バイト アクセス	データ 7~0	-	-	-	アサート	-	-	-
1 番地バイト アクセス	-	データ 7~0	-	-	-	アサート	-	-
2 番地バイト アクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイト アクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワード アクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
2 番地ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 12.7 16 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3) DQMUU	WE2(BE2) DQMUL	WE1(BE1) DQMLU	WE0(BE0) DQMLL
0 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
1 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
3 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	データ 31~24	データ 23~16	-	-	アサート	アサート
	2 回目 (2 番地)	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート

表 12.8 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3(BE3)}$ DQMUU	$\overline{WE2(BE2)}$ DQMUL	$\overline{WE1(BE1)}$ DQMLU	$\overline{WE0(BE0)}$ DQMLL
0番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
1番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
3番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0番地 ワード アクセス	1回目 (0番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 7~0	-	-	-	アサート
2番地 ワード アクセス	1回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	-	-	-	データ 31~24	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 23~16	-	-	-	アサート
	3回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	4回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート



表 12.9 32 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3) DQMUU	WE2(BE2) DQMUL	WE1(BE1) DQMLU	WE0(BE0) DQMLL
0 番地バイトアクセス				データ 7~0				アサート
1 番地バイトアクセス			データ 7~0				アサート	
2 番地バイトアクセス		データ 7~0				アサート		
3 番地バイトアクセス	データ 7~0				アサート			
0 番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート
2 番地ワードアクセス	データ 15~8	データ 7~0			アサート	アサート		
0 番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 12.10 16 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3) DQMUU	WE2(BE2) DQMUL	WE1(BE1) DQMLU	WE0(BE0) DQMLL
0 番地バイトアクセス				データ 7~0				アサート
1 番地バイトアクセス			データ 7~0				アサート	
2 番地バイトアクセス				データ 7~0				アサート
3 番地バイトアクセス			データ 7~0				アサート	
0 番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート
2 番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)		データ 15~8	データ 7~0			アサート	アサート
	2 回目 (2 番地)		データ 31~24	データ 23~16			アサート	アサート

表 12.11 8ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~D24	D23~ D16	D15~D8	D7~D0	WE3(BE3) DQMUU	WE2(BE2) DQMUL	WE1(BE1) DQMLU	WE0(BE0) DQMLL
0番地バイトアクセス					データ 7~0				アサート
1番地バイトアクセス					データ 7~0				アサート
2番地バイトアクセス					データ 7~0				アサート
3番地バイトアクセス					データ 7~0				アサート
0番地 ワード アクセス	1回目 (0番地)				データ 7~0				アサート
	2回目 (1番地)				データ 15~8				アサート
2番地 ワード アクセス	1回目 (2番地)				データ 7~0				アサート
	2回目 (3番地)				データ 15~8				アサート
0番地 ロング ワード アクセス	1回目 (0番地)				データ 7~0				アサート
	2回目 (1番地)				データ 15~8				アサート
	3回目 (2番地)				データ 23~16				アサート
	4回目 (3番地)				データ 31~24				アサート

## 12.5.2 通常空間インタフェース

### (1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のないSRAMの直結を考慮してストローブ信号を出力します。バイト選択付き端子のあるSRAMを使用する場合は、「12.5.7 バイト選択付きSRAMインタフェース」を参照ください。図12.3に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2サイクルで終了します。 $\overline{BS}$ 信号はバスサイクルの開始を表し、1サイクルアサートされます。

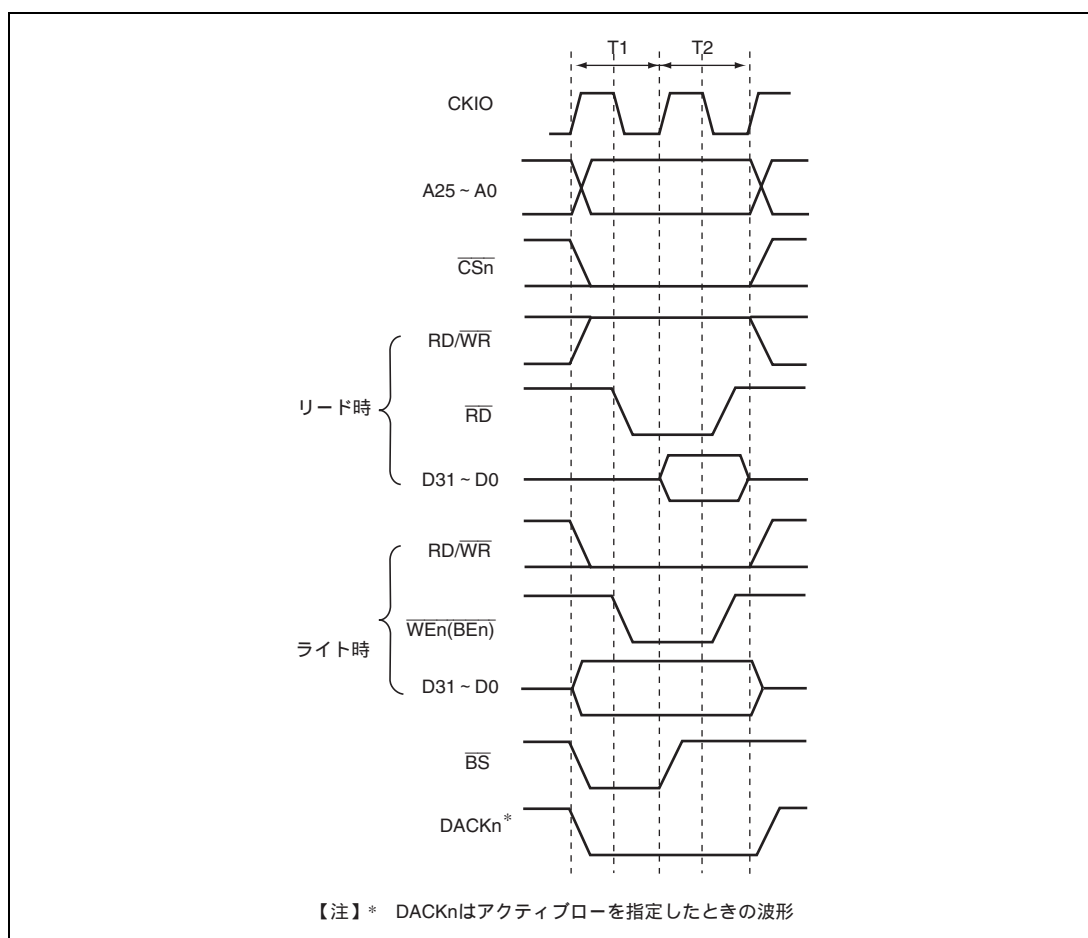


図 12.3 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、32ビットデバイスでは32ビットを、16ビットデバイスでは16ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの $\overline{WE n}$ ( $\overline{BE n}$ )信号のみがアサートされます。

データバスにバッファを設ける場合には、 $\overline{RD}$  を用いてリードデータの出力制御を行う必要があります。 $RD/\overline{WR}$  信号は、アクセスを行っていないときはリード状態 (ハイレベル出力) となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 12.4、図 12.5 に通常空間連続アクセスの例を示します。CSnWCR.WM ビットを 0 に設定すると、外部ウェイトを評価するために 1 サイクル  $T_{nop}$  が挿入されます (図 12.4)。しかし、CSnWCR.WM ビットを 1 に設定すると、外部ウェイトが無視され  $T_{nop}$  サイクルの挿入を抑止することができます (図 12.5)。

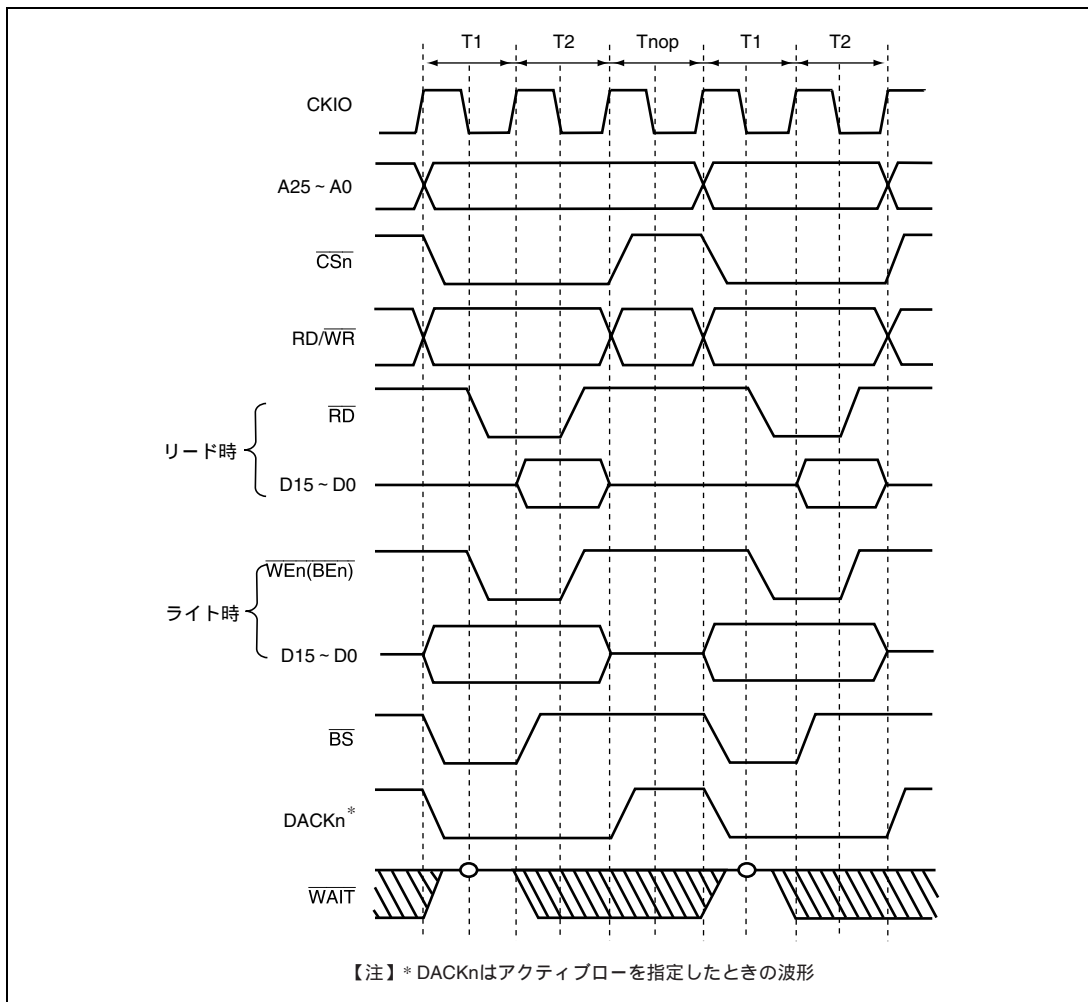


図 12.4 通常空間連続アクセス例 1  
バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0  
(アクセスウェイト 0、サイクル間ウェイト 0)

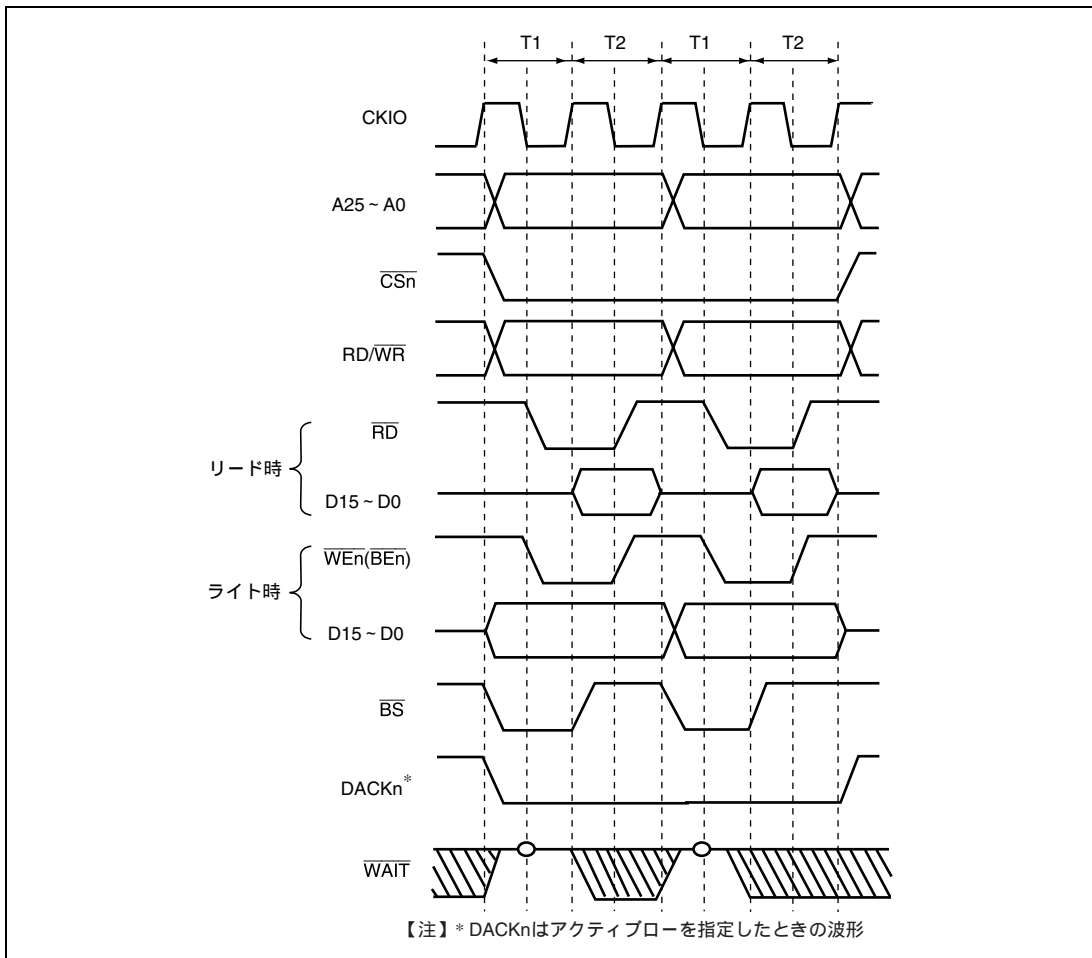


図 12.5 通常空間連続アクセス例 2  
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 1  
 (アクセスウェイト 0、サイクル間ウェイト 0)

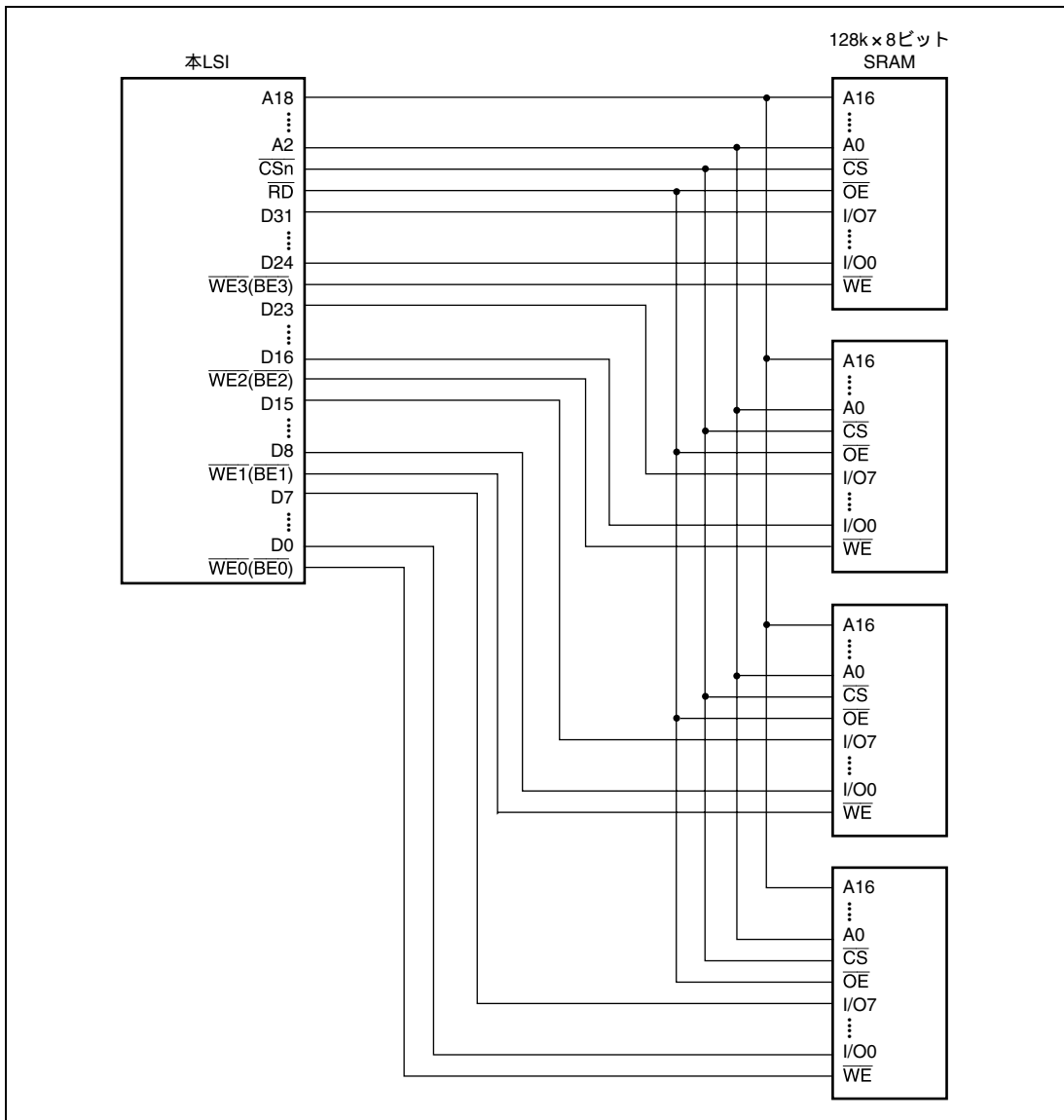


図 12.6 32 ビットデータ幅 SRAM 接続例

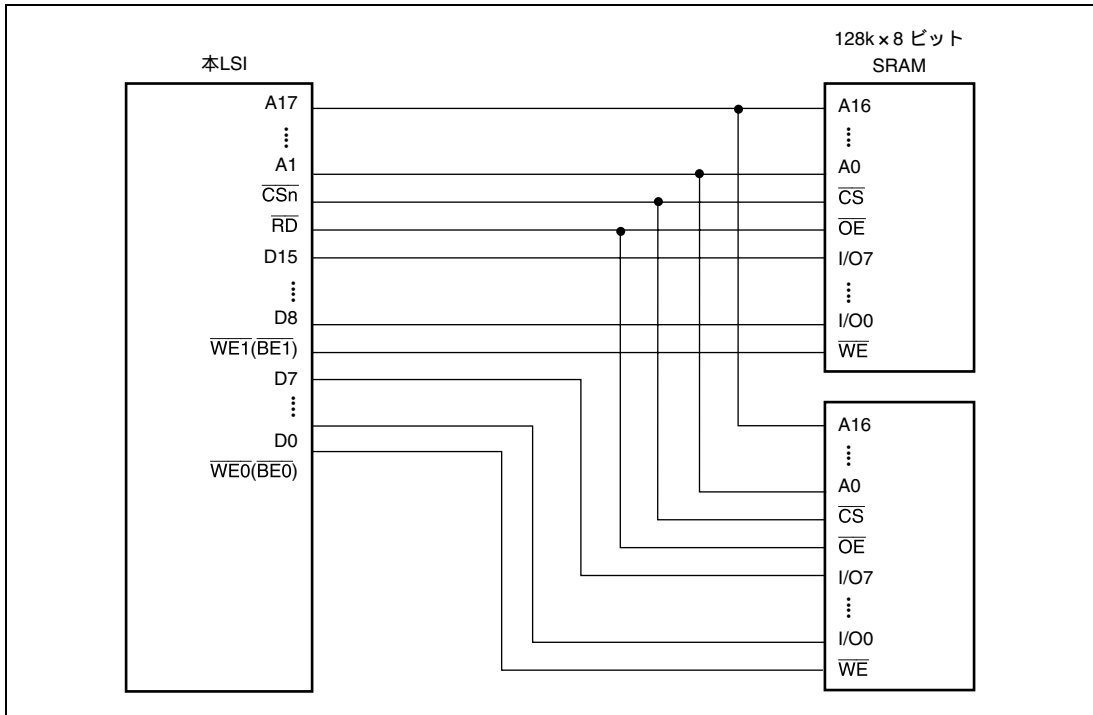


図 12.7 16 ビットデータ幅 SRAM 接続例

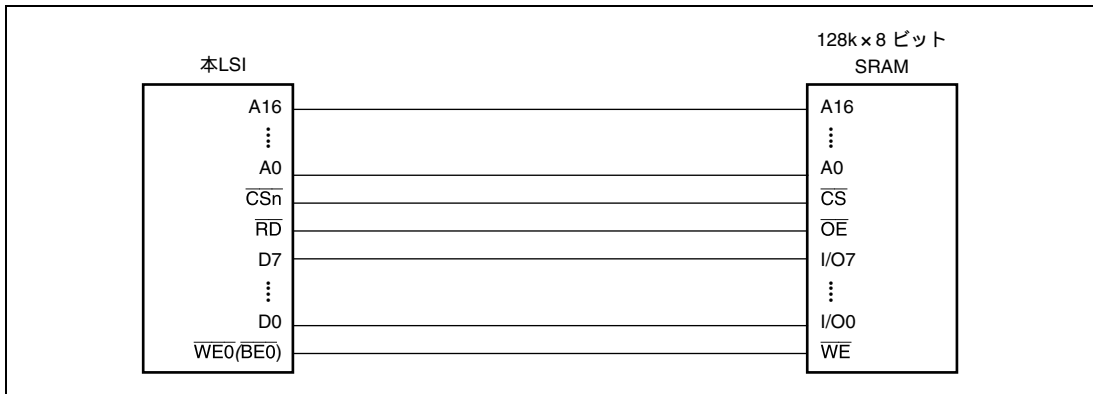


図 12.8 8 ビットデータ幅 SRAM 接続例

### 12.5.3 アクセスウェイト制御

CSnWCR の WR3、WR2、WR1、および WR0 ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 4、エリア 5A、およびエリア 5B では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。その他のエリアのアクセスウェイトは、リードおよびライトサイクル共通となります。図 12.9 に示す通常空間のアクセスでは、 $T_w$  のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

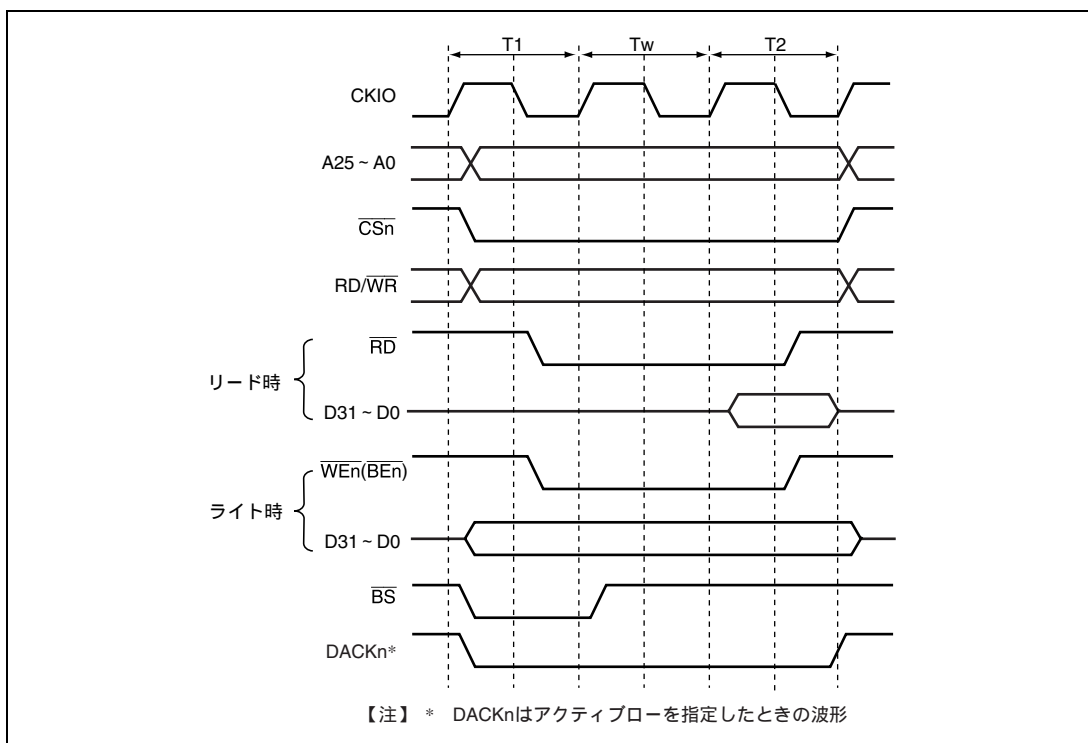


図 12.9 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)



CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力  $\overline{\text{WAIT}}$  信号もサンプリングされます。 $\overline{\text{WAIT}}$  信号のサンプリングを図 12.10 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$  信号は、T1 または  $T_w$  サイクルから T2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。

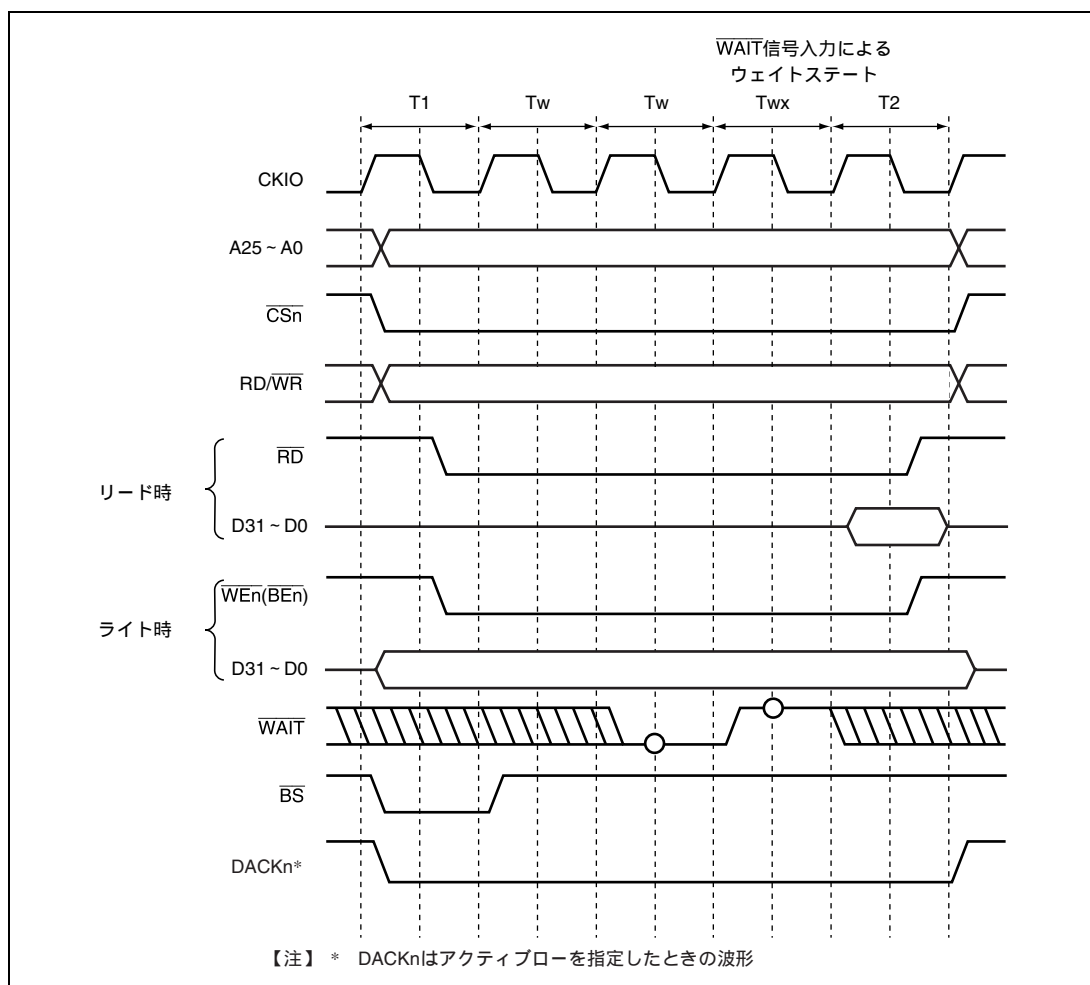


図 12.10 通常空間アクセスのウェイトタイミング (WAIT 信号によるウェイト挿入)

### 12.5.4 $\overline{CSn}$ アサート期間拡張

$\overline{CSnWCR}$  の SW1 と SW0 ビットの設定により、 $\overline{CSn}$  アサートから  $\overline{RD}$  と  $\overline{WEn}$  ( $\overline{BEn}$ ) アサートまでのサイクル数を指定できます。また、HW1 と HW0 ビットの設定により、 $\overline{RD}$  と  $\overline{WEn}$  ( $\overline{BEn}$ ) ネゲートから  $\overline{CSn}$  ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 12.11 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 $\overline{RD}$  と  $\overline{WEn}$  ( $\overline{BEn}$ ) 以外はアサートされますが、 $\overline{RD}$  と  $\overline{WEn}$  ( $\overline{BEn}$ ) はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

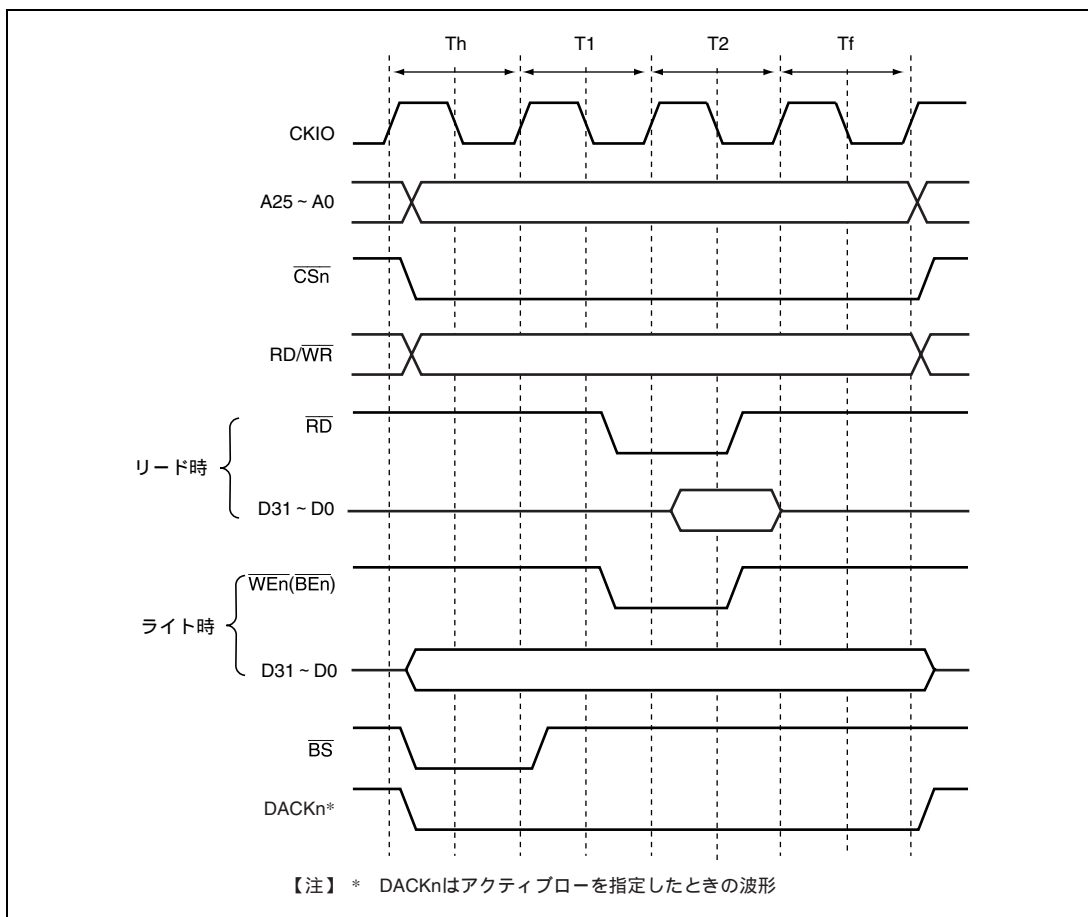


図 12.11  $\overline{CSn}$  アサート期間拡張

## 12.5.5 SDRAM インタフェース

### (1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11/12/13 ビット、カラムアドレスが 8/9/10 ビット、バンク数が 4 以下、リード・ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、 $\overline{RAS}$ 、 $\overline{CAS}$ 、 $RD/\overline{WR}$ 、 $DQM_{UU}$ 、 $DQM_{UL}$ 、 $DQM_{LU}$ 、 $DQM_{LL}$ 、 $CKE$ 、および  $\overline{CS2}$  と  $\overline{CS3}$  です。 $\overline{CS2}$  と  $\overline{CS3}$  を除く信号は各空間に共通であり、 $CKE$  を除く信号は  $\overline{CS2}$  と  $\overline{CS3}$  がアサートされているときのみに有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、32 ビットまたは 16 ビットに設定可能です。

SDRAM の動作モードとしては、バーストリード/シングルライト (バースト長 1) とバーストリード/バーストライト (バースト長 1) をサポートしています。

$\overline{RAS}$ 、 $\overline{CAS}$ 、 $RD/\overline{WR}$ 、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、およびモードレジスタ書き込み (MRS) があります。

アクセスするバイトの指定は、 $DQM_{UU}$ 、 $DQM_{UL}$ 、 $DQM_{LU}$ 、および  $DQM_{LL}$  によって行われます。該当する  $DQM_{xx}$  がローレベルのバイトに対してリード/ライトが行われます。 $DQM_{xx}$  とアクセスするバイトの関係は、「12.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

図 12.12 および図 12.13 に本 LSI と SDRAM との接続例を示します。

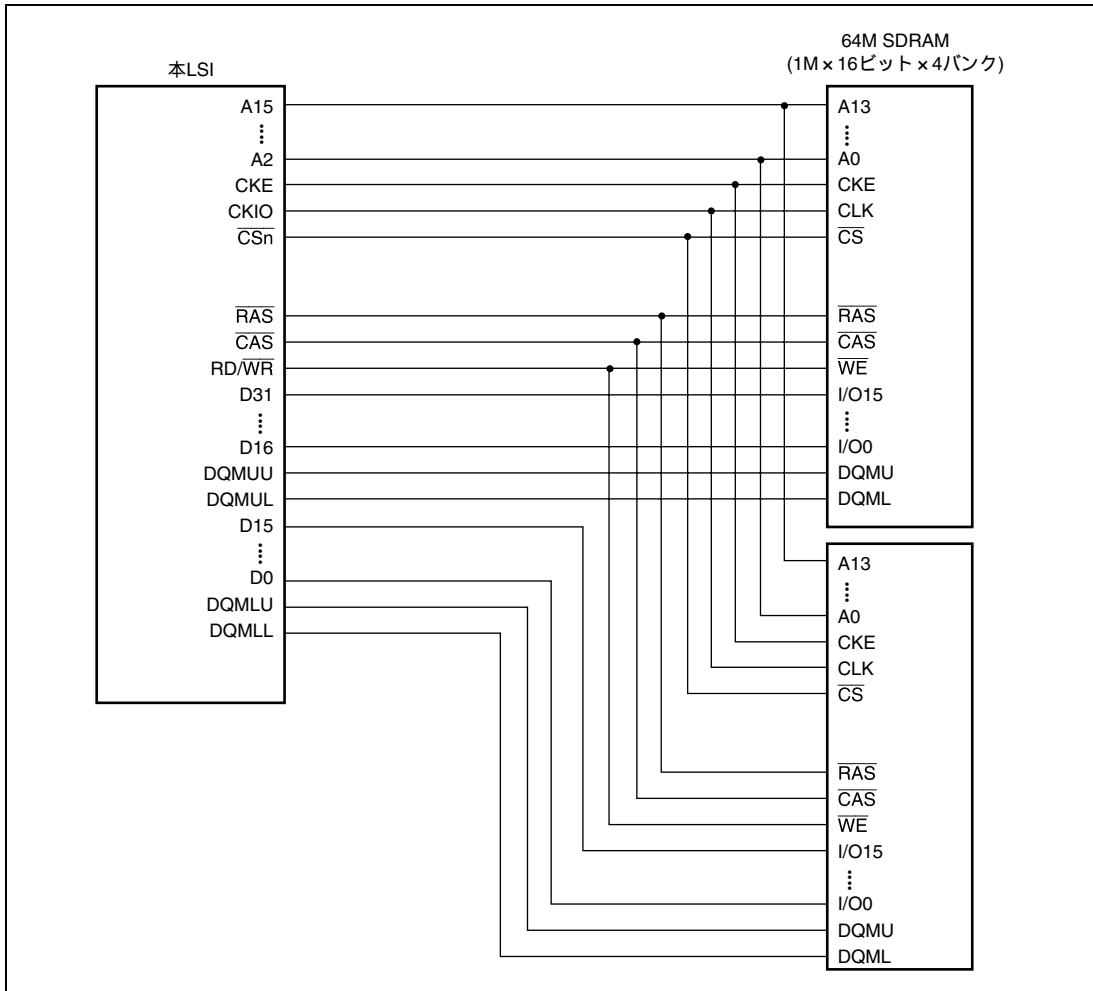


図 12.12 32 ビットデータ幅 SDRAM 接続例

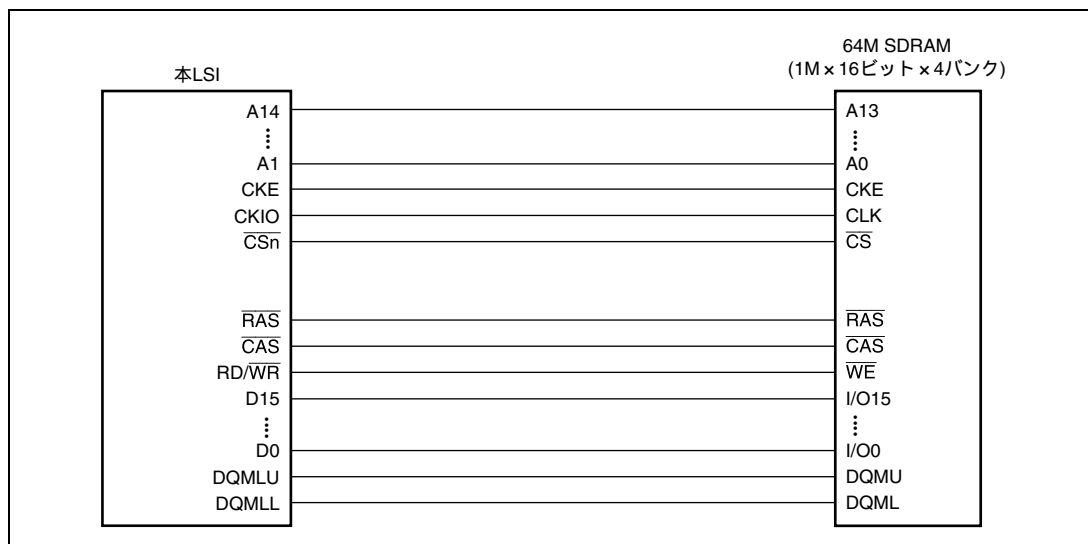


図 12.13 16 ビットデータ幅 SDRAM 接続例

## (2) アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の AxROW[1:0]ビット、および AxCOL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。表 12.12 ~ 表 12.17 に BSZ[1:0]、AxROW[1:0]、および AxCOL[1:0]の設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないでください。この表以外の設定を行った場合の動作は、保証されません。A25 ~ A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットのと き (BSZ[1:0] = B'10) は、SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。データバス幅が 32 ビットのと き (BSZ[1:0] = B'11) は、SDRAM の A0 端子はロングワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 12.12 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 ( 1 )

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
11 ( 32bit )	00 ( 11bit )	00 ( 8bit )		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22*2	A22*2	A12 ( BA1 ) *3	バンク指定
A13	A21*2	A21*2	A11 ( BA0 )	
A12	A20	L/H*1	A10/AP	アドレス / プリチャージ指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		
A0	A8	A0		
接続メモリ例				
64M ビット品 ( 512K ワード × 32 ビット × 4 バンク、カラム 8 ビット品 ) 1 個 16M ビット品 ( 512K ワード × 16 ビット × 2 バンク、カラム 8 ビット品 ) 2 個				

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
11 ( 32bit )	01 ( 12bit )	00 ( 8bit )		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A24	A17		未使用
A16	A23	A16		
A15	A23*2	A23*2		
A14	A22*2	A22*2	A12 ( BA0 )	
A13	A21	A13	A11	アドレス
A12	A20	L/H*1	A10/AP	アドレス / プリチャージ指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		
A0	A8	A0		
接続メモリ例				
128M ビット品 ( 1M ワード × 32 ビット × 4 バンク、カラム 8 ビット品 ) 1 個 64M ビット品 ( 1M ワード × 16 ビット × 4 バンク、カラム 8 ビット品 ) 2 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

\*3 16M ビット品 ( 512K ワード × 16 ビット × 2 バンク、カラム 8 ビット品 ) 2 個の場合は、バンクアドレス指定は不  
用です。このため、未使用としてください。

表 12.13 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 ( 2 )

設定			シンクロナス DRAM の端子	機能
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
11 ( 32bit )	01 ( 12bit )	01 ( 9bit )		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス		
A17	A26	A17		未使用
A16	A25	A16		
A15	A24* <sup>2</sup>	A24* <sup>2</sup>	A13 ( BA1 )	バンク指定
A14	A23* <sup>2</sup>	A23* <sup>2</sup>	A12 ( BA0 )	
A13	A22	A13	A11	アドレス
A12	A21	L/H* <sup>1</sup>	A10/AP	アドレス / プ リチャージ 指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
256M ビット品 ( 2M ワード×32 ビット×4 バンク、カラム 9 ビット品 ) 1 個 128M ビット品 ( 2M ワード×16 ビット×4 バンク、カラム 9 ビット品 ) 2 個				

設定			シンクロナス DRAM の端子	機能
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
11 ( 32bit )	01 ( 12bit )	10 ( 10bit )		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス		
A17	A27	A17		未使用
A16	A26	A16		
A15	A25* <sup>2</sup>	A25* <sup>2</sup>	A13 ( BA1 )	バンク指定
A14	A24* <sup>2</sup>	A24* <sup>2</sup>	A12 ( BA0 )	
A13	A23	A13	A11	アドレス
A12	A22	L/H* <sup>1</sup>	A10/AP	アドレス / プ リチャージ 指定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	A11	A1		未使用
A0	A10	A0		
接続メモリ例				
512M ビット品 ( 4M ワード×32 ビット×4 バンク、カラム 10 ビット品 ) 1 個 256M ビット品 ( 4M ワード×16 ビット×4 バンク、カラム 10 ビット品 ) 2 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

表 12.14 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 ( 3 )

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
11 ( 32bit )	10 ( 13bit )	01 ( 9bit )		
本 LSI の出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25*2	A25*2	A14 ( BA1 )	バンク指定
A15	A24*2	A24*2	A13 ( BA0 )	
A14	A23	A14	A12	アドレス
A13	A22	A13	A11	
A12	A21	L/H*1	A10/AP	アドレス / プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		
A0	A9	A0		
接続メモリ例				
512M ビット品 ( 4M ワード × 32 ビット × 4 バンク、コラム 9 ビット品 ) 1 個 256M ビット品 ( 4M ワード × 16 ビット × 4 バンク、コラム 9 ビット品 ) 2 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定



表 12.15 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (4)

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
10 (16bit)	00 (11bit)	00 (8bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22	A14		
A13	A21	A21		
A12	A20*2	A20*2	A11 (BA0)	バンク指定
A11	A19	L/H*1	A10/AP	アドレス / プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		
接続メモリ例				
16M ビット品 (512K ワード×16 ビット×2 バンク、カラム 8 ビット品) 1 個				

設定						
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]				
10 (16bit)	01 (12bit)	00 (8bit)				
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能		
A17	A25	A17		未使用		
A16	A24	A16				
A15	A23	A15				
A14	A22*2	A22*2			A13 (BA1)	バンク指定
A13	A21*2	A21*2			A12 (BA0)	
A12	A20	A12	A11	アドレス		
A11	A19	L/H*1	A10/AP	アドレス / プリチャージ 指定		
A10	A18	A10	A9	アドレス		
A9	A17	A9	A8			
A8	A16	A8	A7			
A7	A15	A7	A6			
A6	A14	A6	A5			
A5	A13	A5	A4			
A4	A12	A4	A3			
A3	A11	A3	A2			
A2	A10	A2	A1			
A1	A9	A1	A0			
A0	A8	A0			未使用	
接続メモリ例						
64M ビット品 (1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 1 個						

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

表 12.16 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 ( 5 )

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
10 (16bit)	01 (12bit)	01 (9bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24	A15		
A14	A23*2	A23*2	A13 (BA1)	バンク指定
A13	A22*2	A22*2	A12 (BA0)	
A12	A21	A12	A11	アドレス
A11	A20	L/H*1	A10/AP	アドレス/プ リチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
128M ビット品 (2M ワード×16 ビット×4 バンク、コラム 9 ビット品) 1 個				

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
10 (16bit)	01 (12bit)	10 (10bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25	A15		
A14	A24*2	A24*2	A13 (BA1)	バンク指定
A13	A23*2	A23*2	A12 (BA0)	
A12	A22	A12	A11	アドレス
A11	A21	L/H*1	A10/AP	アドレス/プ リチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、コラム 10 ビット品) 1 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

表 12.17 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (6)

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
10 (16bit)	10 (13bit)	01 (9bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		未使用
A15	A24* <sup>2</sup>	A24* <sup>2</sup>	A14 (BA1)	バンク指定
A14	A23* <sup>2</sup>	A23* <sup>2</sup>	A13 (BA0)	バンク指定
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	アドレス
A11	A20	L/H* <sup>1</sup>	A10/AP	アドレス/プ リチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	アドレス
A8	A17	A8	A7	アドレス
A7	A16	A7	A6	アドレス
A6	A15	A6	A5	アドレス
A5	A14	A5	A4	アドレス
A4	A13	A4	A3	アドレス
A3	A12	A3	A2	アドレス
A2	A11	A2	A1	アドレス
A1	A10	A1	A0	アドレス
A0	A9	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
10 (16bit)	10 (13bit)	10 (10bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		未使用
A15	A25* <sup>2</sup>	A25* <sup>2</sup>	A14 (BA1)	バンク指定
A14	A24* <sup>2</sup>	A24* <sup>2</sup>	A13 (BA0)	バンク指定
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	アドレス
A11	A21	L/H* <sup>1</sup>	A10/AP	アドレス/プ リチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	アドレス
A8	A18	A8	A7	アドレス
A7	A17	A7	A6	アドレス
A6	A16	A6	A5	アドレス
A5	A15	A5	A4	アドレス
A4	A14	A4	A3	アドレス
A3	A13	A3	A2	アドレス
A2	A12	A2	A1	アドレス
A1	A11	A1	A0	アドレス
A0	A10	A0		未使用
接続メモリ例				
512M ビット品 (8M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

### (3) パーストリード

本 LSI でパーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. キャッシュミス時の16バイト転送時
3. DMAC、E-DMACでの16バイト転送 (ノンキャッシュ領域アクセス) のとき

本 LSI は、SDRAM に対し常にパースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、パースト長 1 のリードを 4 回連続して行います。このときのアクセスをパースト数 4 と呼びます。表 12.18 にアクセスサイズとパースト数の関係を示します。

表 12.18 アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	16 バイト	4

バーストリード時のタイミングチャートを図 12.14 と図 12.15 に示します。バーストリードでは ACTV コマンド出力を行う  $T_r$  サイクルに続いて、READ コマンドを  $T_{c1}$ 、 $T_{c2}$ 、 $T_{c3}$  サイクルに、READA コマンドを  $T_{c4}$  サイクルに発行し、 $T_{d1}$  から  $T_{d4}$  のサイクルに外部クロック (CKIO) の立ち上がりでリードデータを受け取ります。 $T_{ap}$  サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の WTRP1 および WTRP0 の指定によって  $T_{ap}$  のサイクル数を決定します。

本 LSI では、様々な周波数で SDRAM と接続するために CS $n$ WCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 12.15 となります。ACTV コマンド出力サイクル  $T_r$  から READA コマンド出力サイクル  $T_{c1}$  までのサイクル数は、CS3WCR の WTRCD1 および WTRCD0 ビットによって指定することができます。WTRCD1 および WTRCD0 の設定が 1 サイクル以上の場合、 $T_r$  サイクルと  $T_{c1}$  サイクルの間に NOP コマンド発行サイクル  $T_{rw}$  サイクルが挿入されます。READA コマンド出力サイクル  $T_{c1}$  からリードデータ取り込みサイクル  $T_{d1}$  までのサイクル数は、CS2WCR の A2CL1 と A2CL0 ビットおよび CS3WCR の A3CL1 と A3CL0 ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このサイクル数は、シンクロナス DRAM の CAS レイテンシに相当します。シンクロナス DRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI とシンクロナス DRAM の間にラッチを含む回路を設けて接続するためのものです。

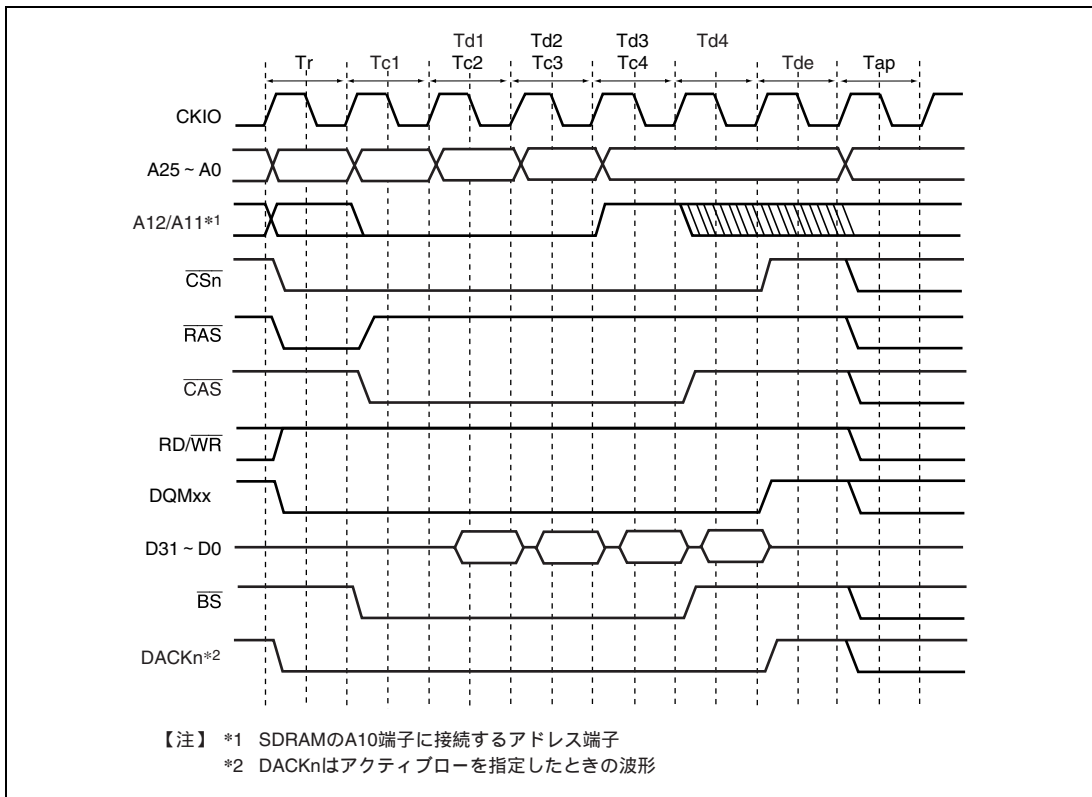


図 12.14 バーストリード基本タイミング (オートプリチャージ)

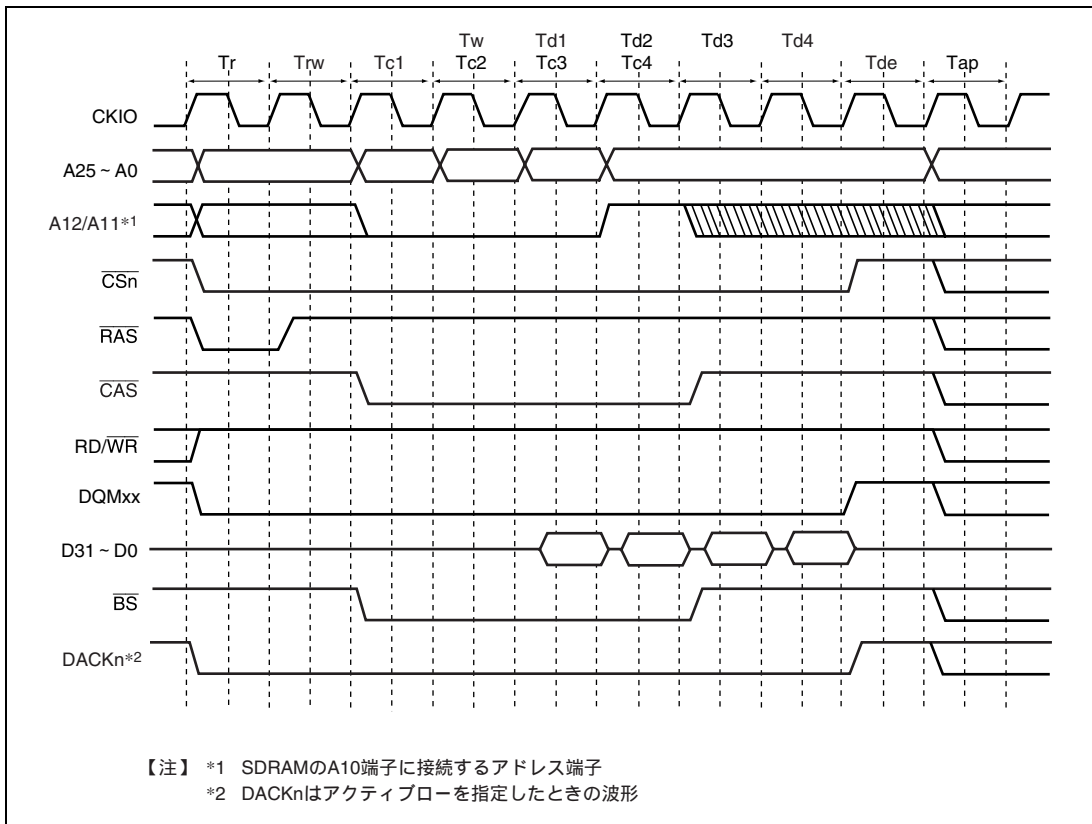


図 12.15 バーストリードウェイト指定タイミング (オートプリチャージ)

#### (4) シングルリード

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。これをシングルリードと呼びます。SDRAMは、バーストリード/シングルライトのモードでバースト長1に設定しているので必要なデータのみ出力します。このため、キャッシュスルー領域をアクセスしても無駄なバスサイクルは、発生しません。

シングルリードの基本タイミングチャートを図 12.16 に示します。

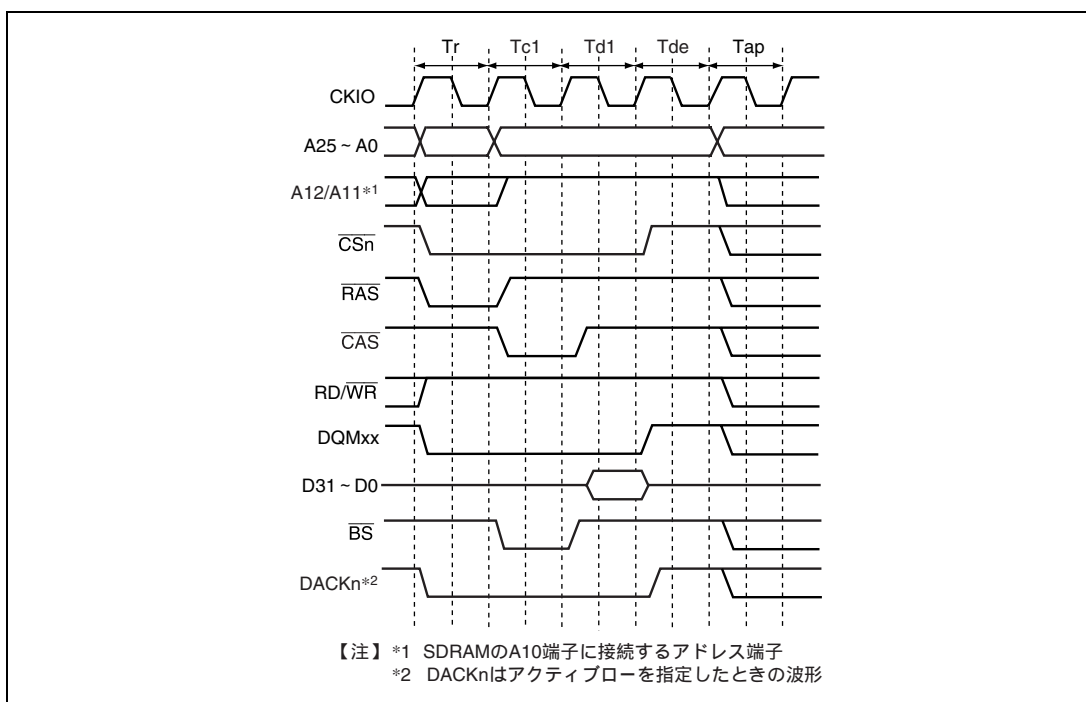


図 12.16 シングルリードの基本タイミング (オートプリチャージ)

#### (5) バーストライト

本 LSI でバーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. キャッシュのコピーバックが発生したとき
3. DMAC、E-DMACでの16バイト転送 (ノンキャッシュ領域アクセス) のとき

本 LSI は、SDRAM に対し常にバースト長1でアクセスします。たとえば、32ビットのデータバスに接続されたSDRAMから連続して16バイト分のデータを書き込むときは、バースト長1のライトを4回連続して行います。アクセスサイズとバースト数の関係は、表 12.18 に従います。

図 12.17 にバーストライト時のタイミングチャートを示します。バーストライトでは ACTV コマンド出力を行う  $T_r$  サイクルに続いて WRIT コマンドを  $T_{c1}$ 、 $T_{c2}$ 、 $T_{c3}$  サイクルに、オートプリチャージを行う WRITA コマンドを  $T_{c4}$  サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ  $T_{rwl}$  サイクル、そしてオートプリチャージの完了を待つ  $T_{ap}$  サイクルが続きます。 $T_{ap}$  サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。 $T_{rwl}$  サイクルは CS3WCR の TRWL1 と TRWL0 ビット、および  $T_{ap}$  サイクルは CS3WCR の WTRP1 と WTRP0 ビットの指定で決定されます。

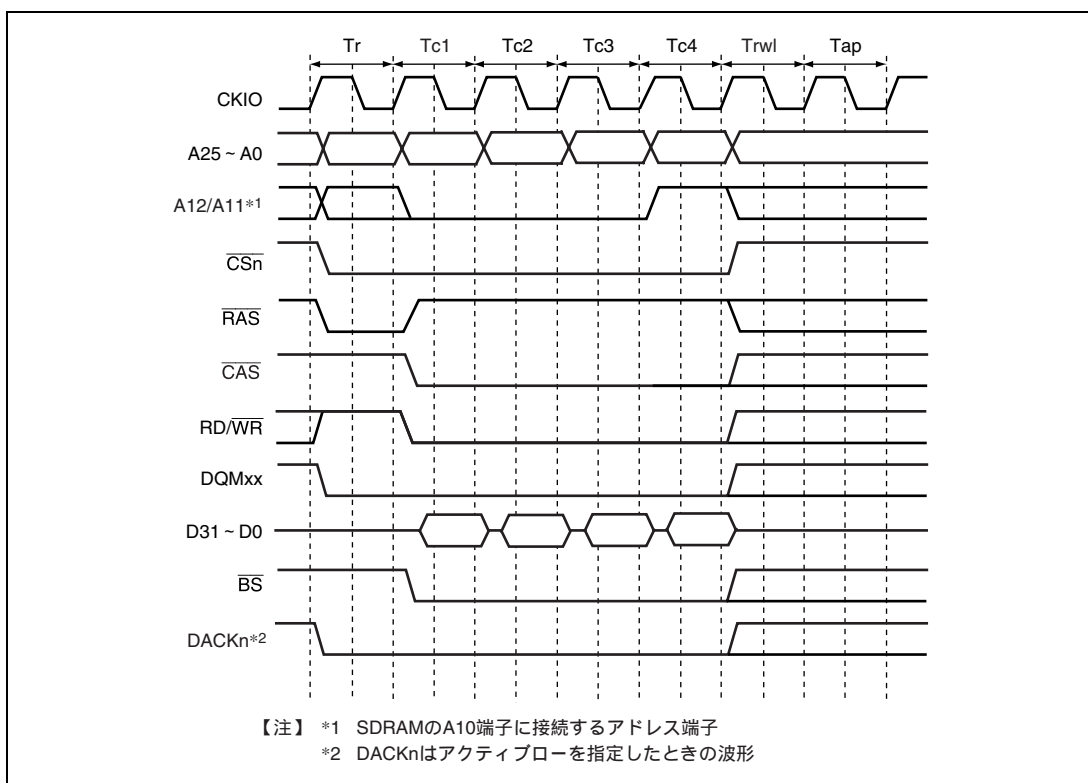


図 12.17 バーストライト基本タイミング (オートプリチャージ)



## (6) シングルライト

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。これをシングルライトと呼びます。シングルライトの基本タイミングチャートを図 12.18 に示します。

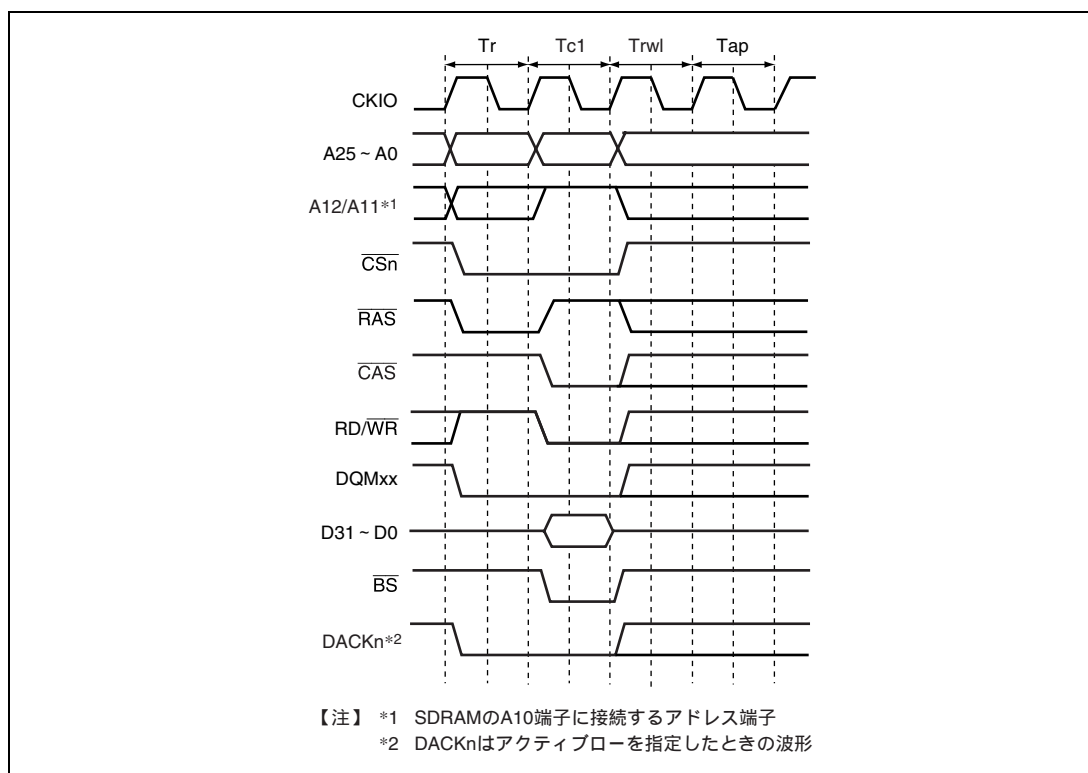


図 12.18 シングルライト基本タイミング (オートプリチャージ)

## (7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合は、オートプリチャージなしのコマンド (READ または WRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、エリア 3 に対してのみです。エリア 3 をバンクアクティブモードに設定している場合は、エリア 2 空間は通常空間またはバイト選択付き SRAM に設定してください。エリア 2 およびエリア 3 の両空間を SDRAM 設定とする場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、ただちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CSnWCR の WTRP[1:0] ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後 Trwl + Tap サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl + Tap サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (tRAS) には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 12.19 にオートプリチャージのないバーストリードサイクルを、図 12.20 には同一のロウアドレスに対するバーストリードサイクルを、図 12.21 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、図 12.22 にオートプリチャージのないシングルライトサイクルを、図 12.23 に同一のロウアドレスに対するシングルライトサイクルを、図 12.24 には異なるロウアドレスに対するシングルライトサイクルを示します。

図 12.20 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う DQMxx 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に DQMxx 信号をアサートしても 2 サイクルのレイテンシが守られるので、Tnop サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続く限り、図 12.19 または図 12.22 で始まり、図 12.20 または図 12.23 をくり返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、図 12.20 または図 12.23 のかわりに図 12.21 または図 12.24 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後には、すべてのバンクが非アクティブな状態になります。

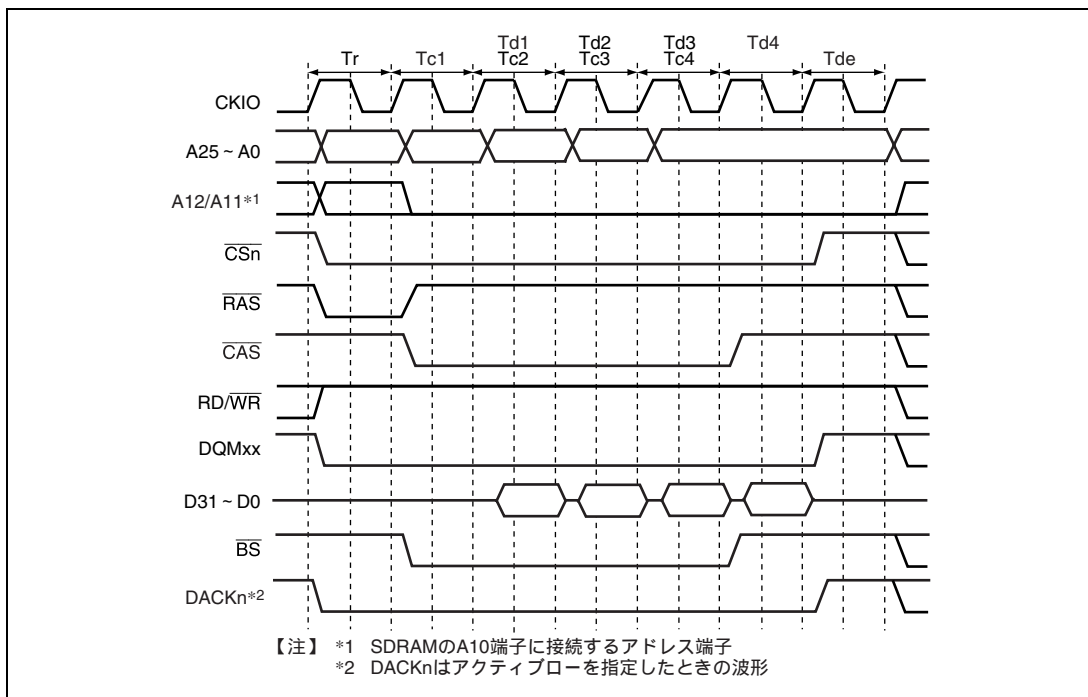


図 12.19 バーストリードタイミング (オートプリチャージなし)

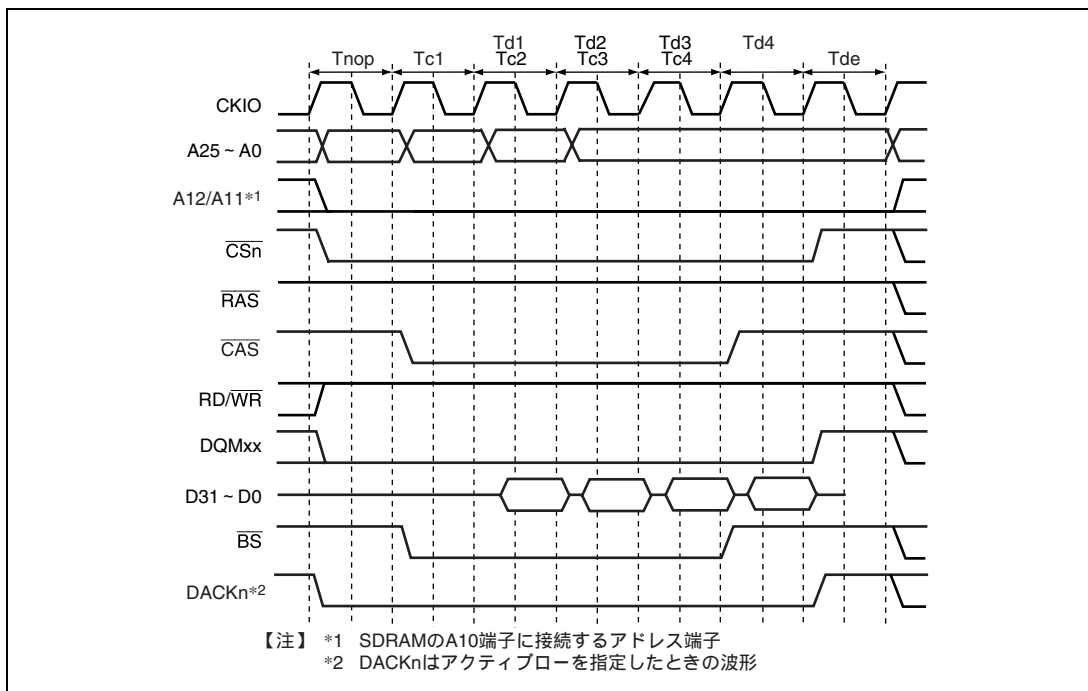


図 12.20 バーストリードタイミング (バンクアクティブ、同一ロウアドレス)

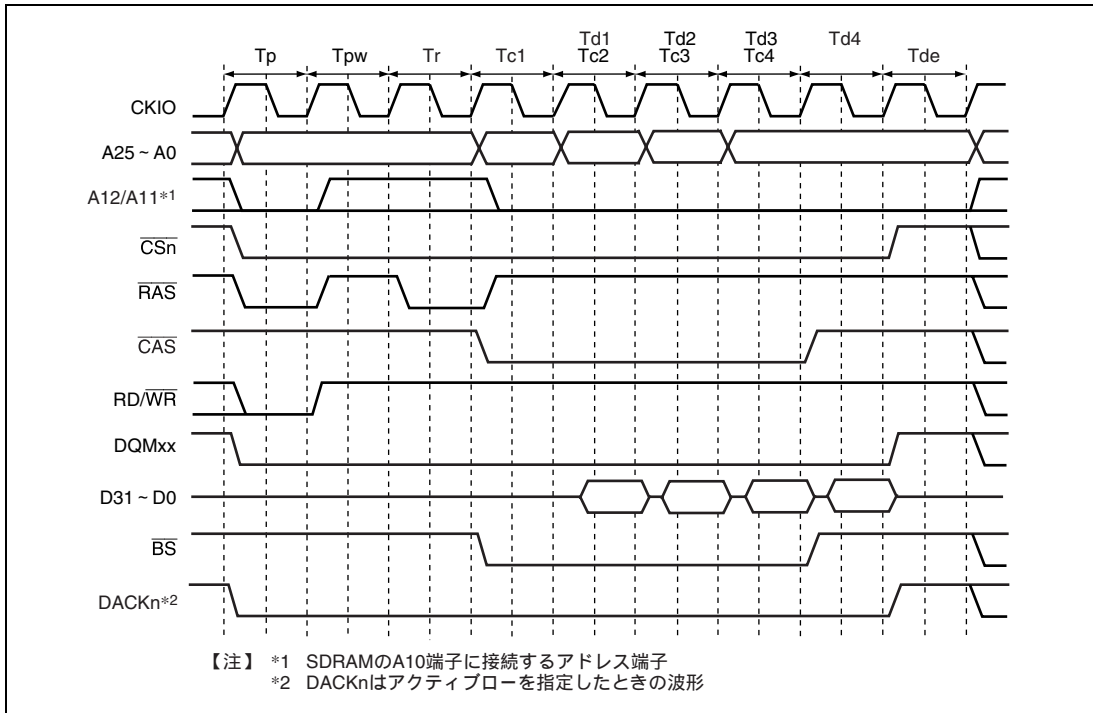


図 12.21 バーストリードタイミング (バンクアクティブ、異なるロウアドレス)

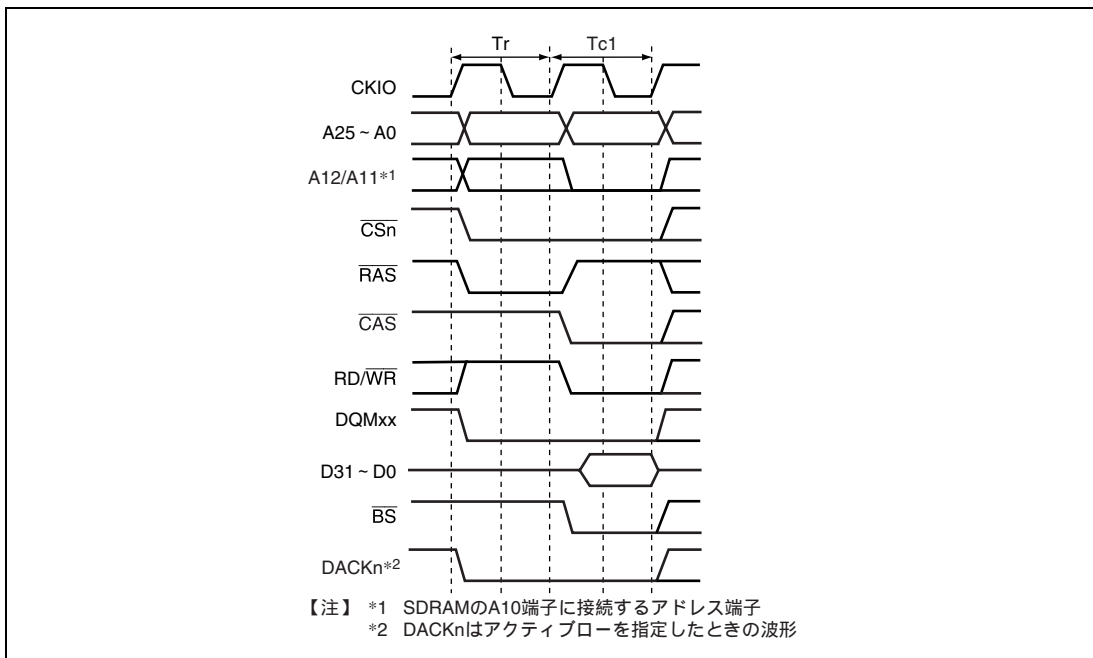


図 12.22 シングルライトタイミング (オートプリチャージなし)

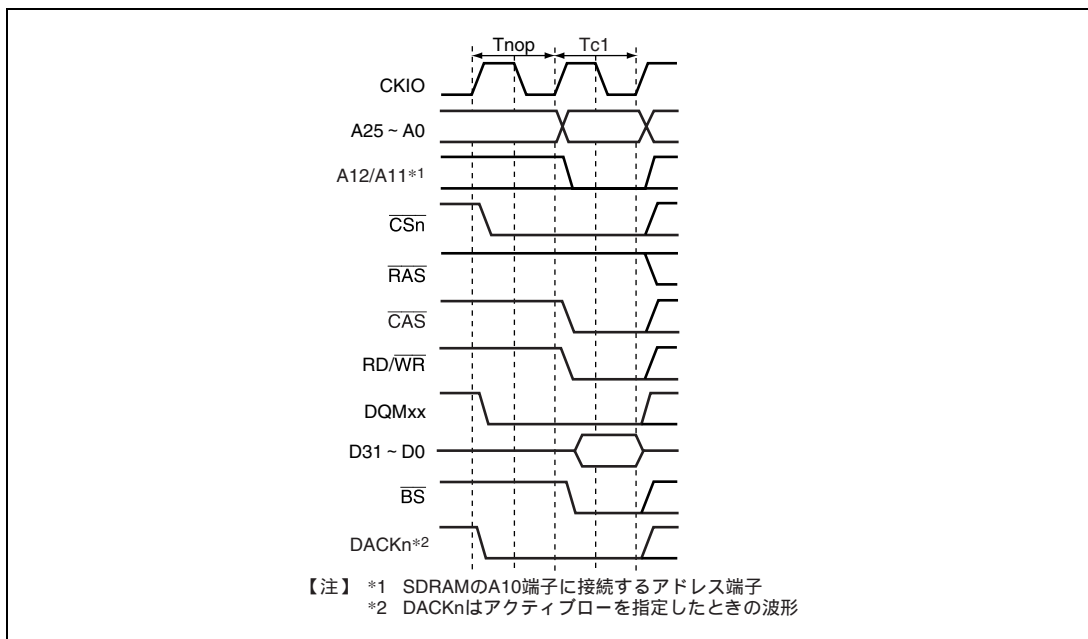


図 12.23 シングルライトタイミング (バンクアクティブ、同一ロウアドレス)

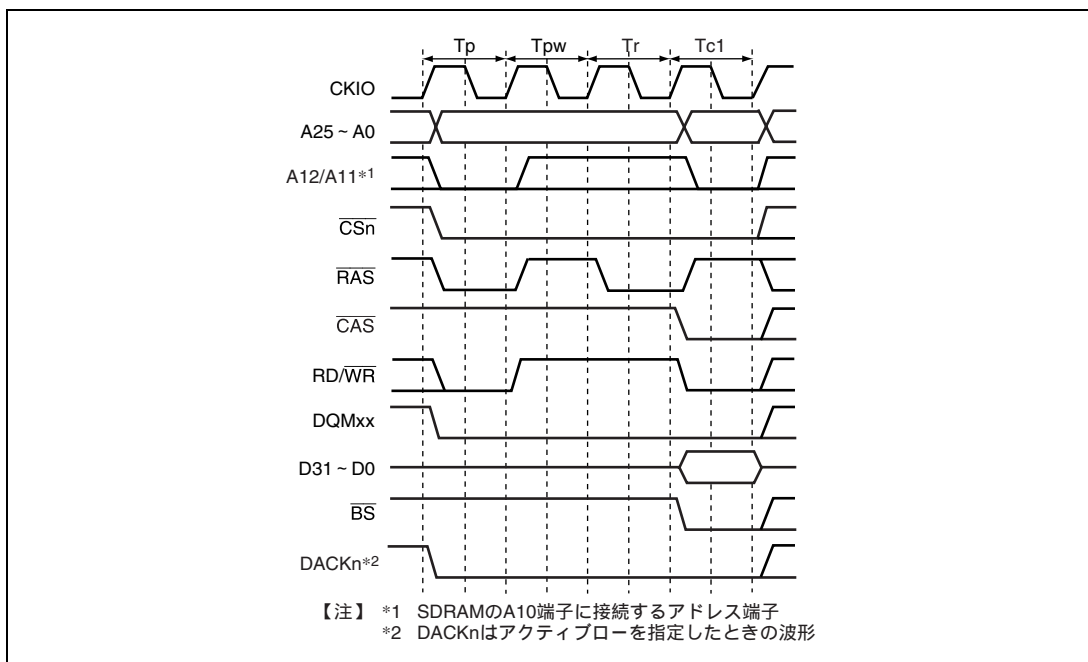


図 12.24 シングルライトタイミング (バンクアクティブ、異なるロウアドレス)

### (8) リフレッシュ

BSC は、SDRAM のリフレッシュを制御する機能を備えています。SDCR の RFSH ビットを 1 に、RMODE ビットを 0 に設定することによって、オートリフレッシュを行うことができます。また、RTCSR の RRC[2:0] ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間 SDRAM にアクセスしないときは、RFSH ビットと RMODE ビットをともに 1 にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

#### (a) オートリフレッシュ

RTCSR の CKS[2:0] ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔で RTCSR の RRC[2:0] に設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR の RFSH ビットおよび、RMODE ビットの設定を行い、次いで RTCSR の CKS[2:0] ビットおよび、RRC[2:0] ビットの設定を行ってください。CKS[2:0] によって入力クロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0] に設定された回数のオートリフレッシュが実行されます。同時に RTCNT は 0 にクリアされ、カウントアップが再開されます。

図 12.25 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、 $T_p$  サイクルで PALL コマンドを発行します。次いで、CSnWCR の WTRP[1:0] ビットで設定された数のアイドルサイクル挿入後、REF コマンドを  $T_{rr}$  サイクルに発行します。 $T_{rr}$  サイクル後 CSnWCR の WTRC[1:0] ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 ( $t_{RC}$ ) を満たすように WTRC[1:0] を設定する必要があります。CSnWCR の WTRP[1:0] ビットの設定値が 1 サイクル以上の場合、 $T_p$  サイクルと  $T_{rr}$  サイクルの間に NOP サイクルが挿入されます。

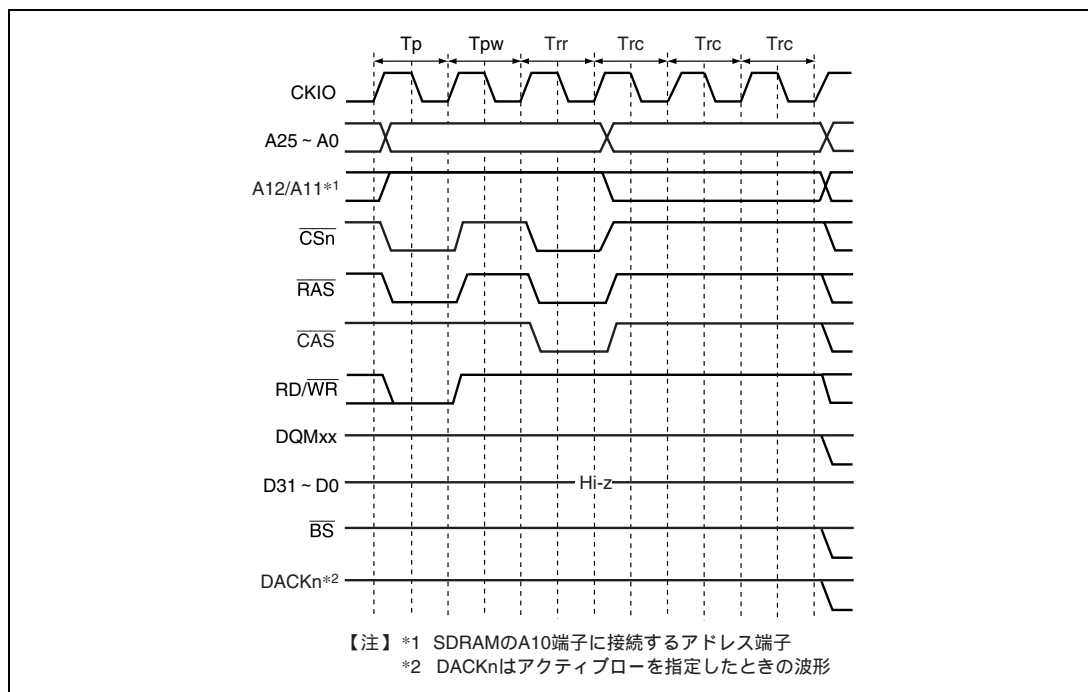


図 12.25 オートリフレッシュタイミング

## (b) セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、Tp サイクルで PALL コマンドを発行します。次いで、CSnWCR の WTRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、CSnWCR の WTRC[1:0] ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを図 12.26 に示します。セルフリフレッシュ解除後、ただちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、(RTCOR の値 - 1) を RTCNT に設定することにより、ただちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。

マニュアルリセットによってもセルフリフレッシュ状態が解除されることはありません。

パワーオンリセットの場合には、BSC のレジスタが初期化されるため、セルフリフレッシュ状態が解除されません。

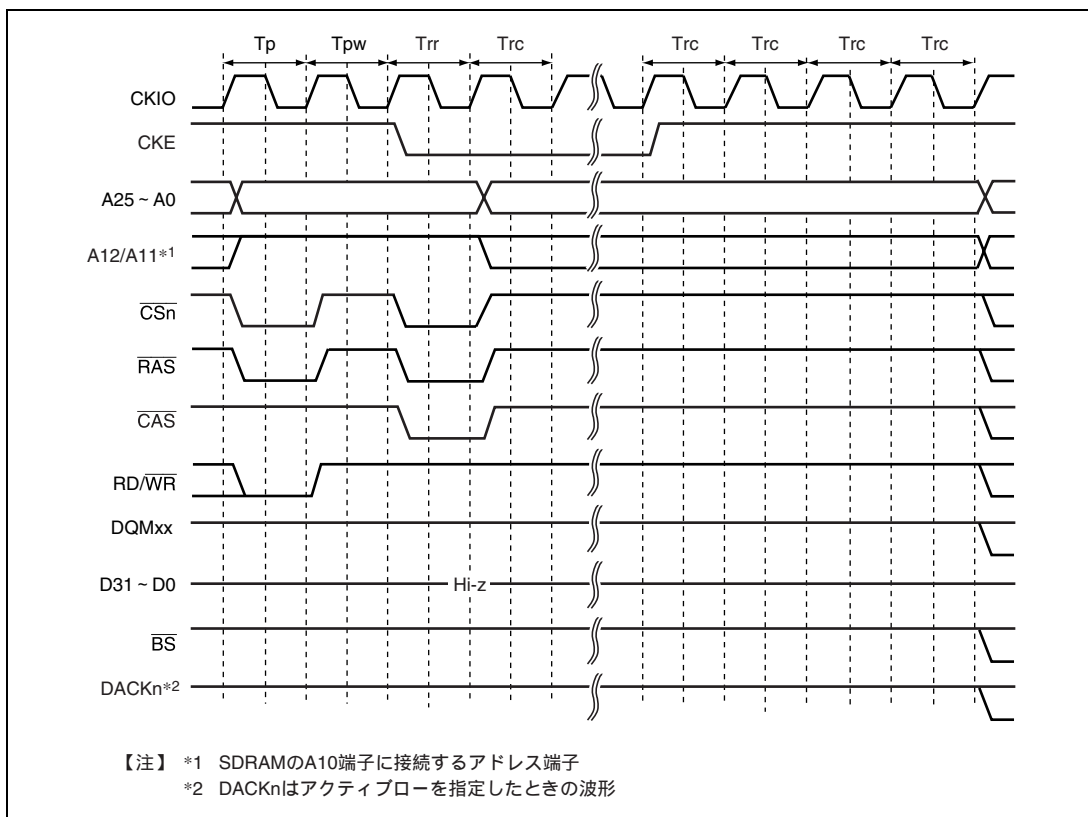


図 12.26 セルフリフレッシュタイミング

## (9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。また、バスアービトラージ機能でバスを解放しているときにリフレッシュ要求が発生した場合は、バス権を獲得するまでリフレッシュの実行は待たされます。本 LSI はリフレッシュの実行が待たされている間にバス権を要求する信号として、 $\overline{\text{REFOUT}}$  端子を設けています。バス権を獲得するまで、 $\overline{\text{REFOUT}}$  をアサート（ローレベル）し続けます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルや、バス権の占有が起これないようにする必要があります。

セルフリフレッシュ中にバス権要求が発生しても、バスの解放はセルフリフレッシュが解除されるまで行われません。



## (10) 低周波数モード

SDCR の SLOW ビットを 1 に設定すると、コマンド、アドレス、ライトデータの出力、およびリードデータの取り込みを、SDRAM を低周波数で動作させるのに適したタイミングで行います。

図 12.27 に低周波数モードでのアクセスタイミングを示します。このモードでは、コマンド、アドレス、ライトデータを通常より半サイクル遅い CKIO の立ち下がりに同期して出力します。また、リードデータを通常より半サイクル早い CKIO の立ち下がりで取り込みます。これにより、コマンド、アドレス、ライトデータ、リードデータのホールド時間を延長することができます。

SLOW ビットを 1 に設定して高周波数で SDRAM を動作させると、コマンド、アドレス、ライトデータ、リードデータのセットアップ時間が確保できなくなる可能性があります。SLOW ビットの設定は、動作周波数やボードのタイミング設計を考慮して決定してください。

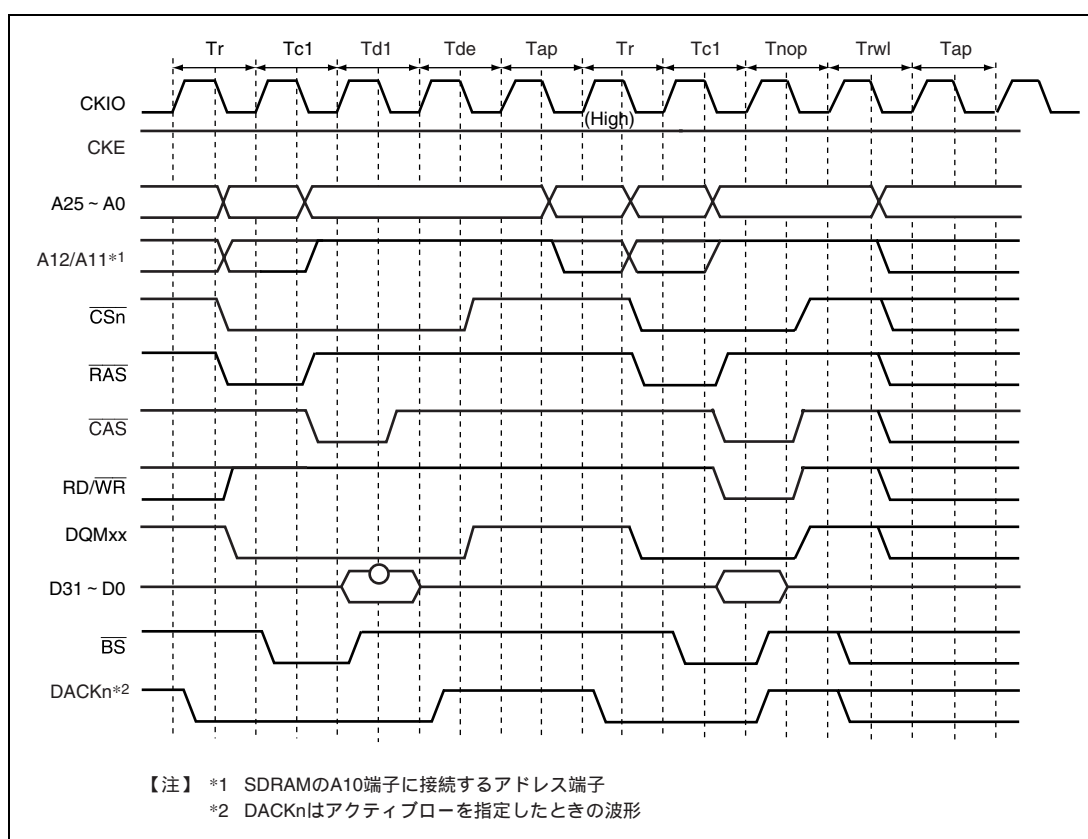


図 12.27 低周波数モードでのアクセスタイミング

## (11) パワーダウンモード

SDCR の PDOWN ビットを 1 に設定すると、非アクセス時には CKE を L レベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために CKE をアサートするサイクルが挿入されるため、1 サイクルのオーバーヘッドが発生します。図 12.28 にパワーダウンモードでのアクセスタイミングを示します。

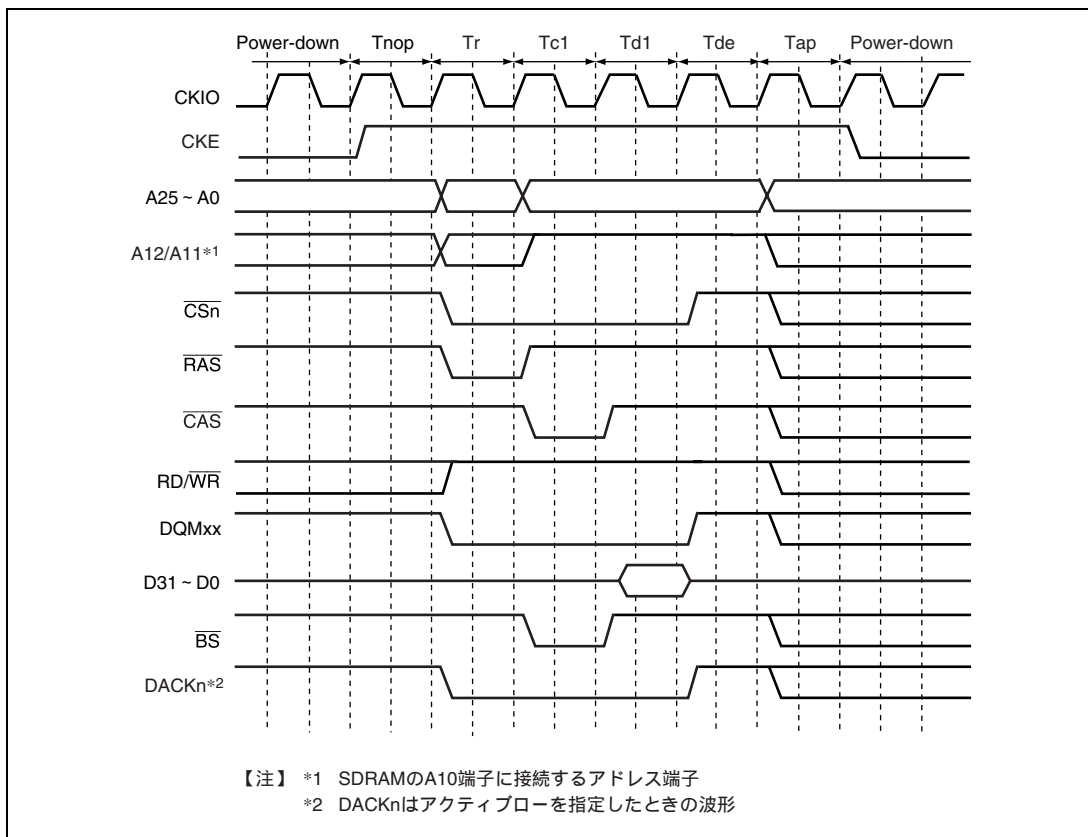


図 12.28 パワーダウンモードでのアクセスタイミング

## (12) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、SDRAM に対してモード設定を行う必要があります。SDRAM の初期化を正しく行うためには、まず BSC のレジスタを設定した後、SDMR2 あるいは SDMR3 レジスタをアクセスすることにより SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は  $\overline{CS_n}$ 、 $\overline{RAS}$ 、 $\overline{CAS}$ 、および  $\overline{RD}/\overline{WR}$  の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると X + (エリア 2 : H'A4FD4000、エリア 3 : H'A4FD5000) 番地にワードライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリード/シングルライト(バースト長 1)またはバーストリード/バーストライト(バースト長 1)、CAS レイテンシ 2~3、ラップタイプ=シーケンシャル、およびバースト長 1 を設定するには、表 12.19 に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されます。

表 12.19 SDRAM モードレジスタライト時のアクセスアドレス

## • エリア2設定 (SDMR2)

バーストリード/シングルライト(バースト長 1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD4440	H'0000440
	3	H'A4FD4460	H'0000460
32 ビット	2	H'A4FD4880	H'0000880
	3	H'A4FD48C0	H'00008C0

バーストリード/バーストライト(バースト長 1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD4040	H'0000040
	3	H'A4FD4060	H'0000060
32 ビット	2	H'A4FD4080	H'0000080
	3	H'A4FD40C0	H'00000C0

## • エリア3設定 (SDMR3)

バーストリード/シングルライト(バースト長 1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD5440	H'0000440
	3	H'A4FD5460	H'0000460
32 ビット	2	H'A4FD5880	H'0000880
	3	H'A4FD58C0	H'00008C0

## バーストリード/バーストライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD5040	H'0000040
	3	H'A4FD5060	H'0000060
32 ビット	2	H'A4FD5080	H'0000080
	3	H'A4FD50C0	H'00000C0

モードレジスタ設定タイミングを図 12.29 に示します。まず全バンクプリチャージコマンド (PALL) を発行し、次いでオートリフレッシュコマンド (REF) を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド (MRS) を発行します。PALL と 1 回目の REF の間に CS<sub>n</sub>WCR の WTRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および 8 回目の REF と MRS の間に CS<sub>n</sub>WCR の WTRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

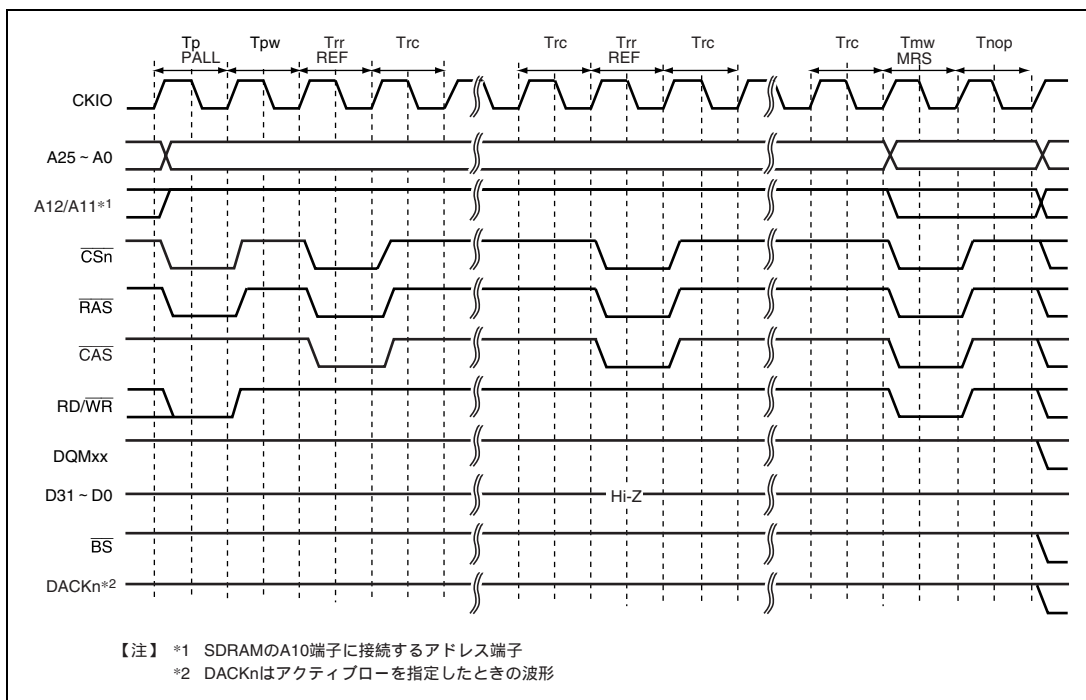


図 12.29 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

## (13) ローパワー-SDRAM

ローパワー-SDRAM は、通常の SDRAM と同様のプロトコルによりアクセス可能なメモリです。

ローパワー-SDRAM と通常 SDRAM の仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパルシャルリフレッシュや、ユーザの使用条件 (温度) によるリフレッシュ時の低電力化を行うなどの制御を細やかに設定できる事です。パルシャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワー-SDRAM のデータシートをご覧ください。

ローパワー-SDRAM には、通常の SDRAM と同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドは EMRS と呼ばれ、本 LSI では EMRS コマンド発行をサポートしています。

EMRS 発行は、下記の表に従います。たとえば H'A4FD5XXX に H'0YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL REF×8 MRS EMRS のシーケンスでコマンドを発行します。そして MRS 発行時のアドレスは H'0000XXX に、および EMRS 発行時のアドレスは H'YYYYYYYY になります。また H'A4FD5XXX に H'1YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL MRS EMRS のシーケンスでコマンドを発行します。

表 12.20 EMRS コマンド発行時の出力アドレス

発行コマンド	アクセス アドレス	アクセスデータ	ライト アクセス サイズ	MRS コマンド時 発行アドレス	EMRS コマンド時 発行アドレス
CS2 MRS	H'A4FD4XXX	H'*****	16 ビット	H'0000XXX	-----
CS3 MRS	H'A4FD5XXX	H'*****	16 ビット	H'0000XXX	-----
CS2 MRS + EMRS (リフレッシュあり)	H'A4FD4XXX	H'0YYYYYYY	32 ビット	H'0000XXX	H'YYYYYYYY
CS3 MRS + EMRS (リフレッシュあり)	H'A4FD5XXX	H'0YYYYYYY	32 ビット	H'0000XXX	H'YYYYYYYY
CS2 MRS + EMRS (リフレッシュなし)	H'A4FD4XXX	H'1YYYYYYY	32 ビット	H'0000XXX	H'YYYYYYYY
CS3 MRS + EMRS (リフレッシュなし)	H'A4FD5XXX	H'1YYYYYYY	32 ビット	H'0000XXX	H'YYYYYYYY

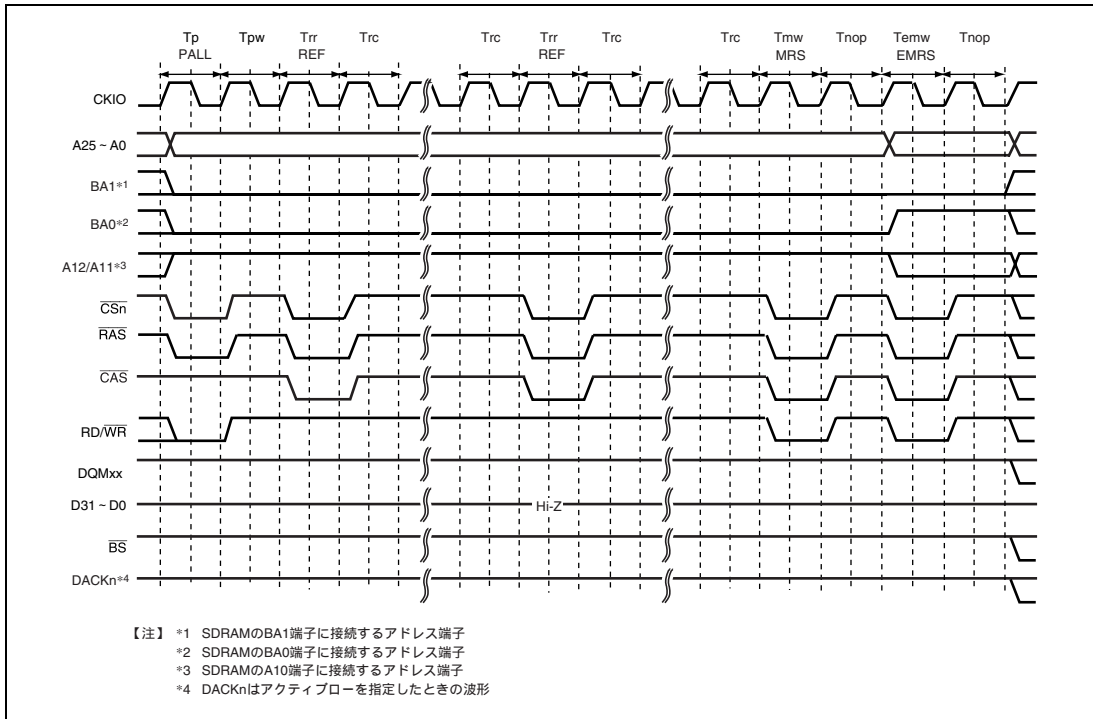


図 12.30 EMRS コマンド発行タイミング

- ディープパワーダウンモード

ローパワーSDRAMには、ディープパワーダウンモードという低消費電力モードもあります。パーシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。

SDCR の DEEP ビットを 1、RFSH ビットを 1 に設定した状態で RMODE ビットに 1 を書き込むと、ローパワー SDRAM はディープパワーダウンモードに遷移します。RMODE ビットに 0 を書き込む CKE がハイレベルとなりディープパワーダウンモードは、解除されます。ディープパワーダウン解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。

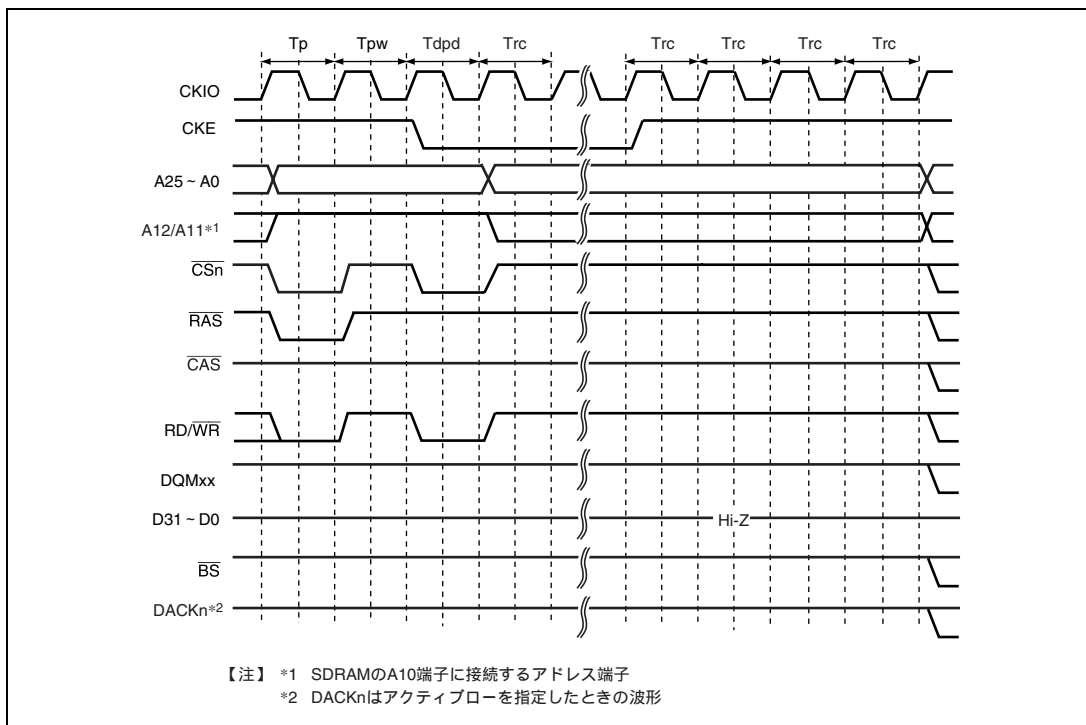


図 12.31 ディープパワーダウンモード遷移タイミング

### 12.5.6 バースト ROM (クロック非同期) インタフェース

バースト ROM (クロック非同期) インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り換えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に  $\overline{RD}$  信号のネゲートを行わず、アドレスのみを切り換えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKIO の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック非同期) アクセス時は、 $\overline{BS}$  信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM (クロック非同期) インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 12.21 にバス幅およびアクセスサイズとバースト数の関係を、図 12.32 にタイムチャートを示します。

表 12.21 バス幅およびアクセスサイズとバースト数の関係

バス幅	BEN ビット	アクセスサイズ	バースト数	アクセス回数
8 ビット	影響なし	8 ビット	1	1
	影響なし	16 ビット	2	1
	影響なし	32 ビット	4	1
	0	16 バイト	16	1
	1		4	4
16 ビット	影響なし	8 ビット	1	1
	影響なし	16 ビット	1	1
	影響なし	32 ビット	2	1
	0	16 バイト	8	1
	1		2	4
32 ビット	影響なし	8 ビット	1	1
	影響なし	16 ビット	1	1
	影響なし	32 ビット	1	1
	影響なし	16 バイト	4	1



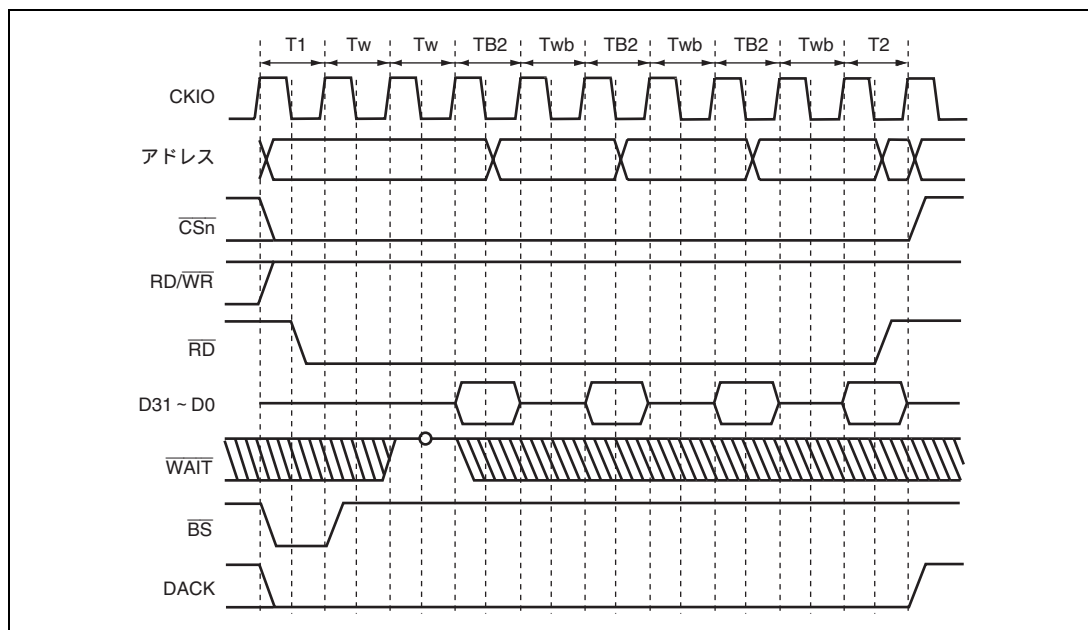


図 12.32 バースト ROM (クロック非同期) アクセス  
(バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

### 12.5.7 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 ( $\overline{WEn}$  ( $\overline{BEn}$ )) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

$CSnWCR$  レジスタの BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 $\overline{WEn}$  ( $\overline{BEn}$ ) 端子のタイミングが通常空間インタフェースと異なり、 $\overline{WEn}$  ( $\overline{BEn}$ ) 端子からバイト選択信号を出力します。図 12.33 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 ( $\overline{WEn}$  ( $\overline{BEn}$ )) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

$CSnWCR$  レジスタの BAS ビットが 1 のとき、 $\overline{WEn}$  ( $\overline{BEn}$ ) 端子と  $RD/\overline{WR}$  端子のタイミングが変化します。図 12.34 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 ( $RD/\overline{WR}$ ) のタイミングでメモリに書き込まれます。 $RD/\overline{WR}$  端子のネゲートタイミングからのライトデータのホールドタイミングは、 $CSnWCR$  の HW[1:0] ビットを設定することにより確保してください。図 12.35 にソフトウェイト設定時のアクセスタイミングを示します。

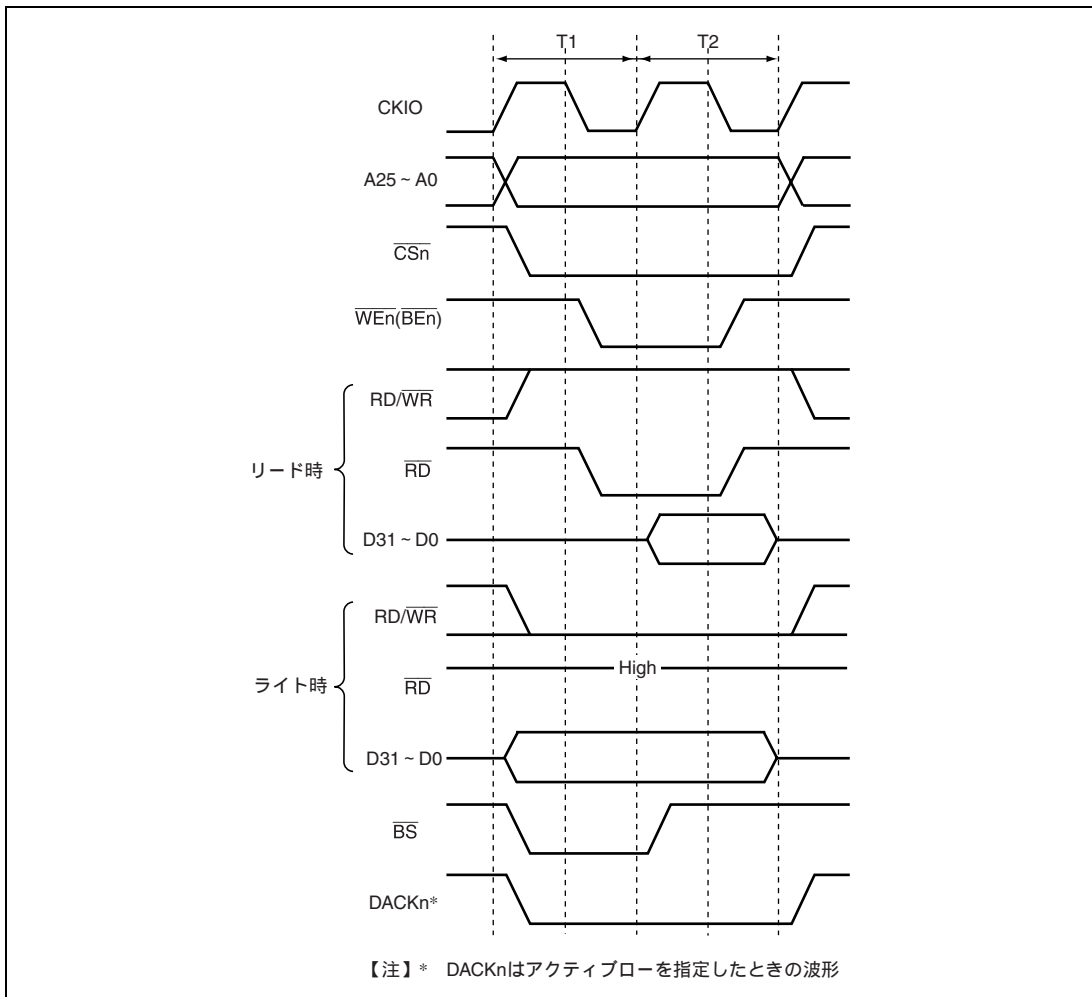


図 12.33 BAS = 0 バイト選択付き SRAM 基本アクセスタイミング

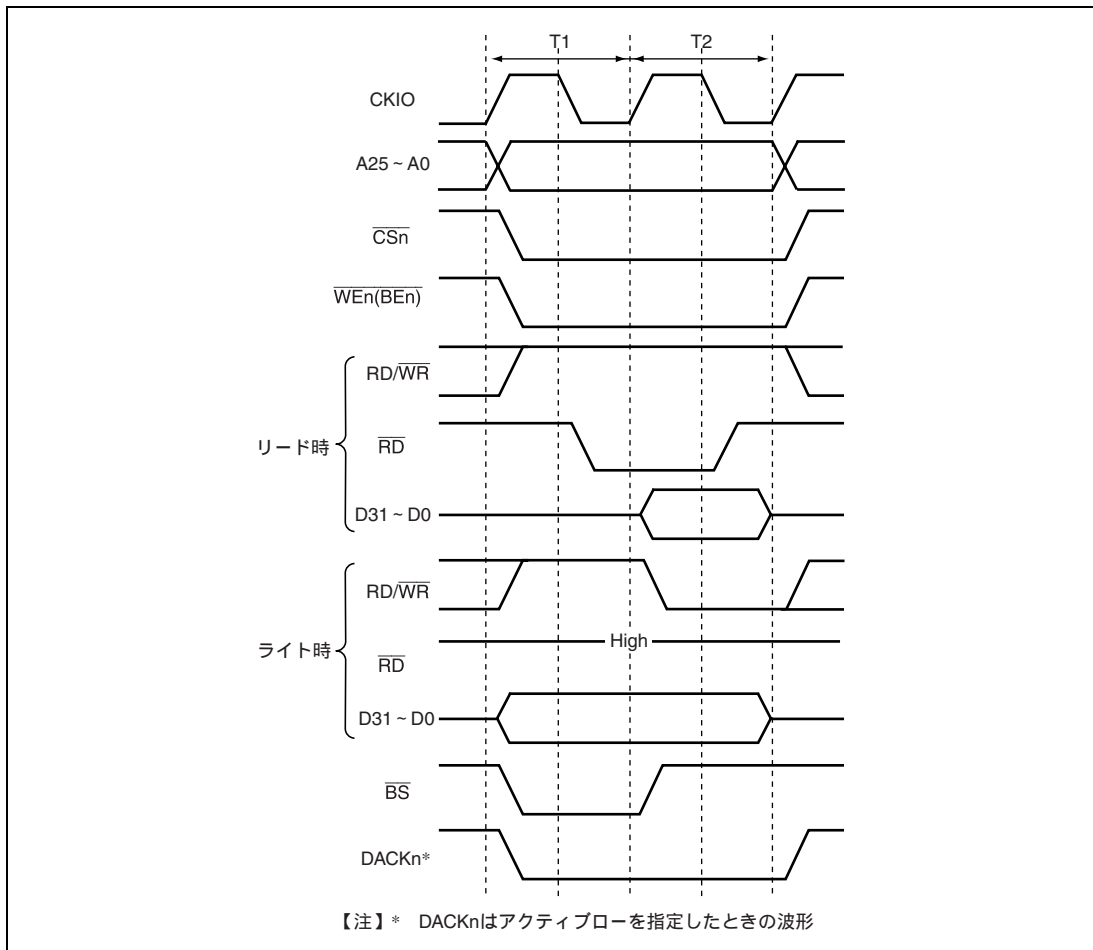


図 12.34 BAS = 1 バイト選択付き SRAM 基本アクセスタイミング

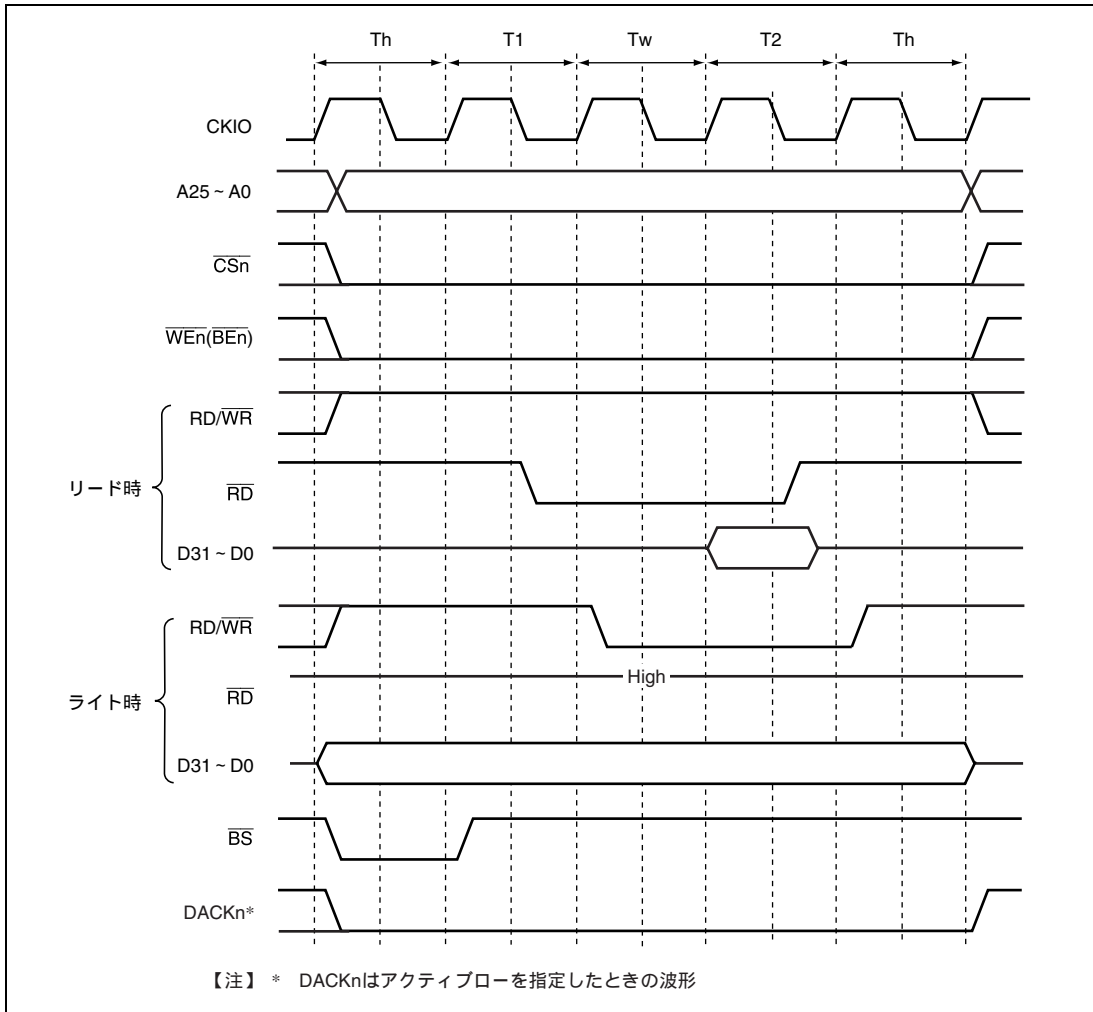


図 12.35 BAS=1 バイト選択付き SRAM ウェイトタイミング (ソフトウェアのみ)

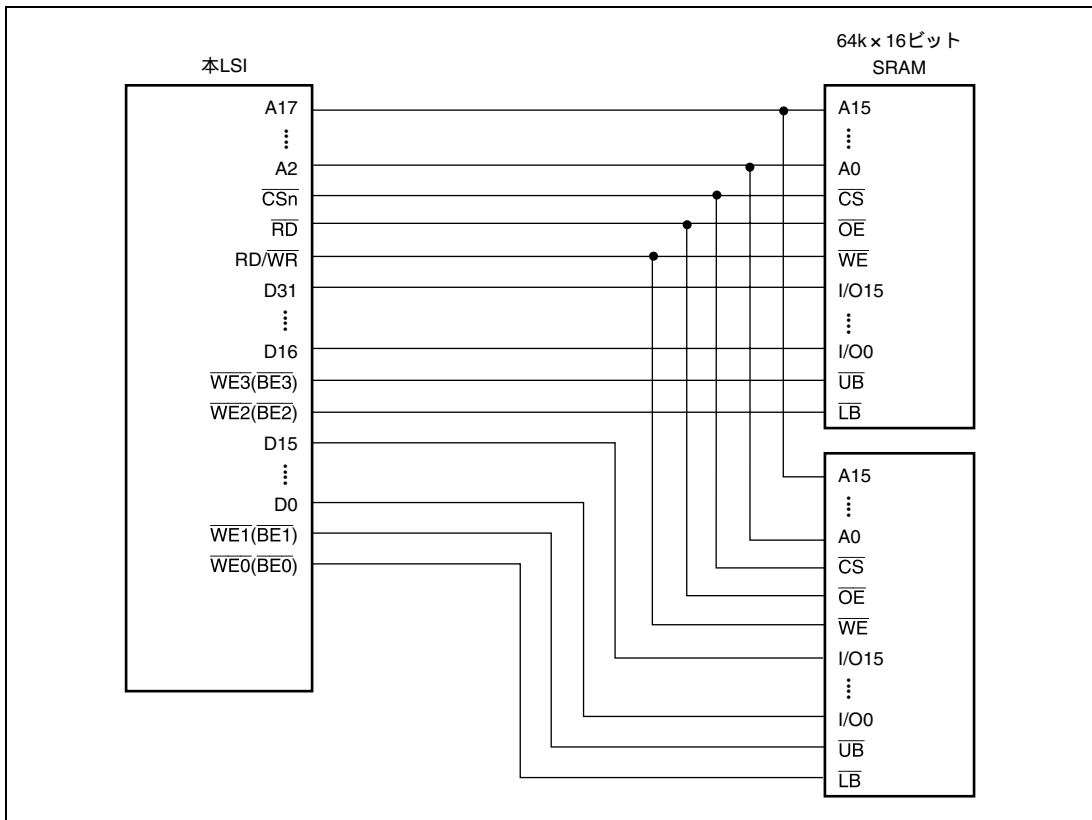


図 12.36 32 ビットデータ幅バイト選択付き SRAM 接続例

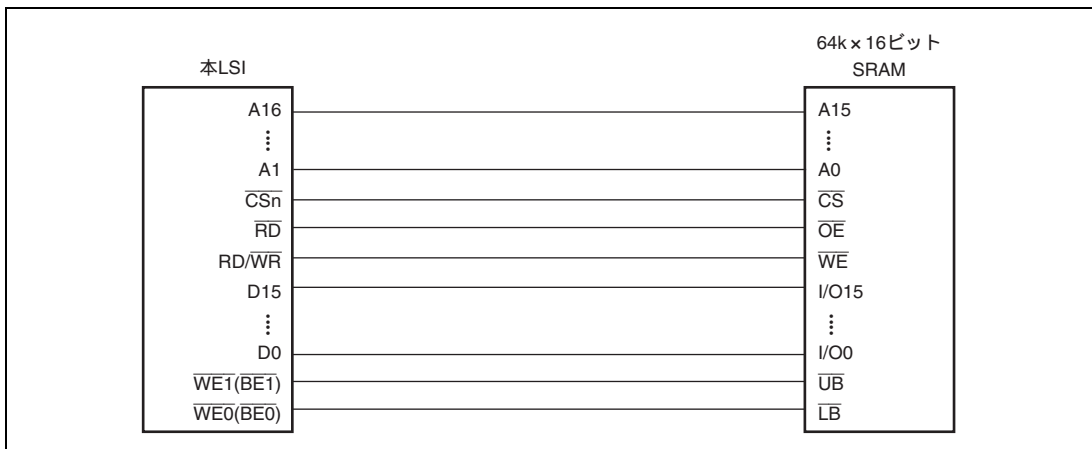


図 12.37 16 ビットデータ幅バイト選択付き SRAM 接続例

### 12.5.8 PCMCIA インタフェース

本 LSI では、CMNCR の MAP ビットにてアドレスマップ (2) を選択した場合、エリア 5、エリア 6 で PCMCIA インタフェースの設定が可能です。物理空間のエリア 5 およびエリア 6 は CSnBCR (n = 5B、6B) の TYPE[3:0] ビットを B'0101 に設定することで、JEIDA 仕様 Ver4.2 (PCMCIA2.1 Rev2.1) で定める「IC メモリカードおよび I/O カードインタフェース」になります。また、CSnWCR (n = 5B、6B) の SA[1:0] ビットにより各エリアの前半 32MB と後半の 32MB に対して IC メモリカードあるいは I/O カードインタフェースに設定できます。たとえば、CS5BWCR の SA1 ビットを 1 に、また CS5BWCR の SA0 ビットを 0 に設定すると前半の 32MB が IC メモリカードインタフェースおよび後半の 32MB が I/O カードインタフェースとなります。

PCMCIA インタフェースを使用する場合は、CS5BBCR の BSZ[1:0] ビットもしくは CS6BBCR の BSZ[1:0] ビットによって、バスサイズは 8 ビットまたは 16 ビットに設定してください。

図 12.38 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするため、本 LSI のバスインタフェースと PCMCIA カードの間に 3-State バッファを接続する必要があります。

JEIDA および PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

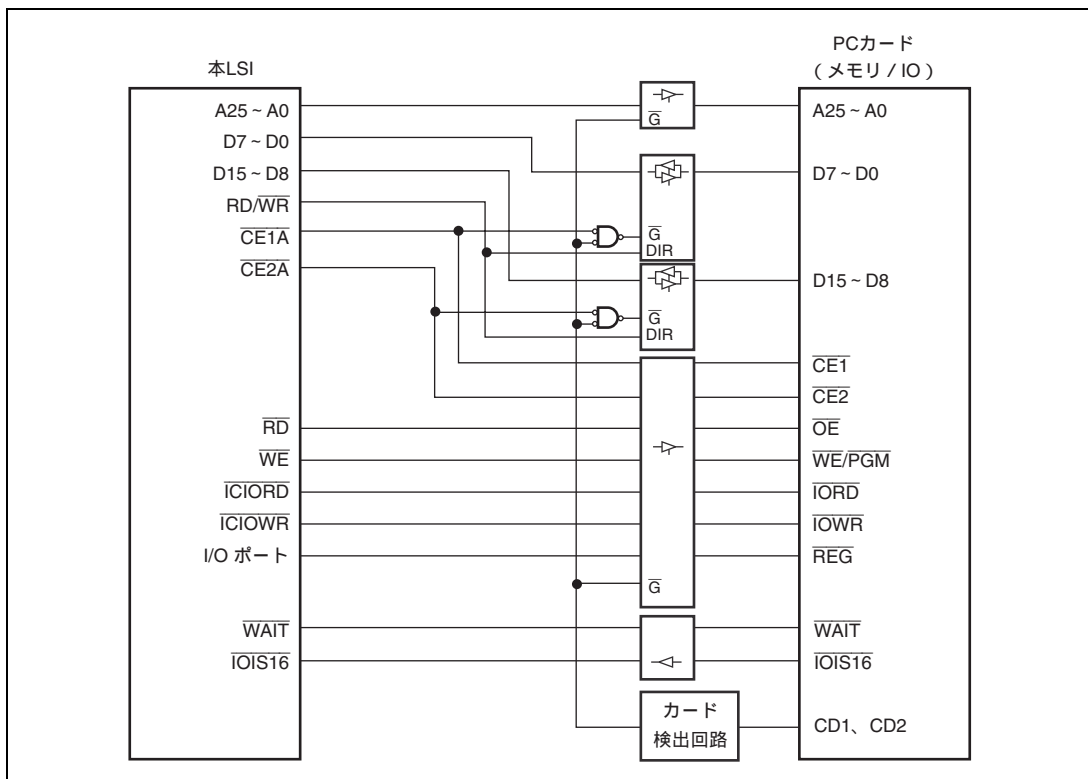


図 12.38 PCMCIA インタフェース接続例

## (1) メモリカードインタフェース基本タイミング

図 12.39 に PCMCIA の「IC メモリカードインタフェース」の基本タイミングを示します。物理空間のエリア 5 およびエリア 6 を PCMCIA インタフェースに設定した場合は、各エリアの共通メモリ空間をアクセスすると自動的に「IC メモリカードインタフェース」としてバスアクセスが行われます。外部バス周波数 (CKIO) が高くなると、 $\overline{RD}$  や  $\overline{WE}$  に対してアドレス (A25 ~ A0)、カードイネーブル ( $\overline{CE1A}$ 、 $\overline{CE2A}$ 、 $\overline{CE1B}$ 、 $\overline{CE2B}$ )、書き込みサイクル時の書き込みデータ (D15 ~ D0) のセットアップ時間、およびホールド時間が足りなくなります。これに対して、本 LSI では CS5BWCR もしくは CS6BWCR レジスタによって物理空間のエリア 5 およびエリア 6 の各エリアに対して、それぞれセットアップ時間およびホールド時間を設定することができます。また、通常空間インタフェースと同じようにソフトウェアウェイトおよび  $\overline{WAIT}$  端子によるハードウェアウェイトを行うことができます。図 12.40 に PCMCIA メモリバスウェイトタイミングを示します。

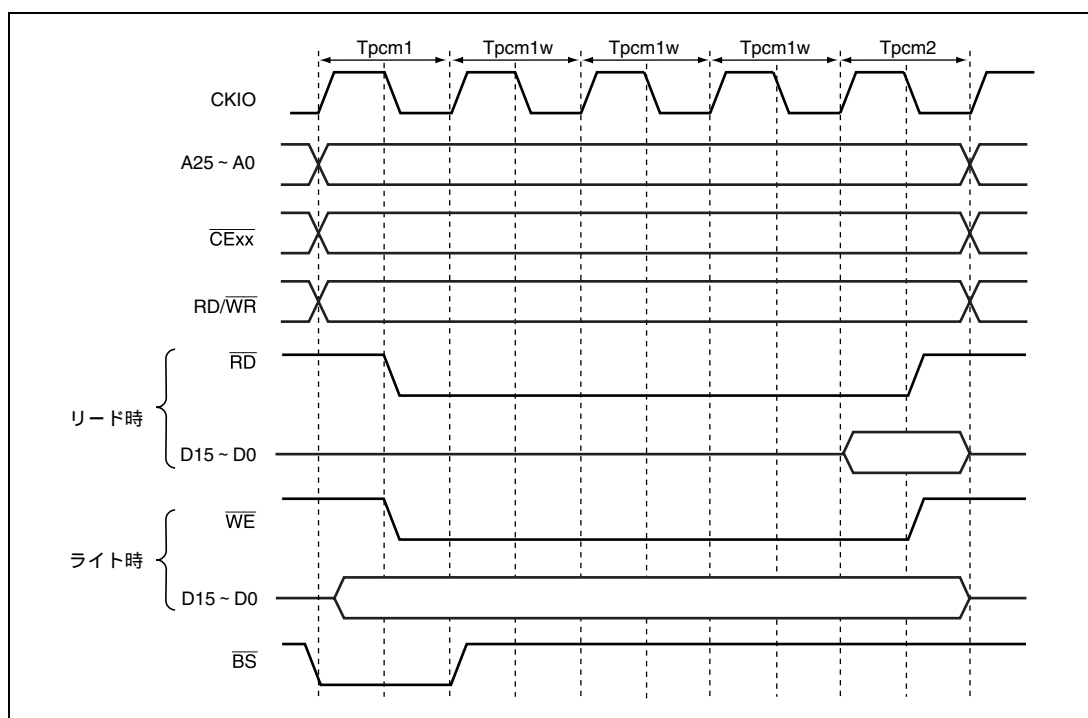


図 12.39 PCMCIA メモリカードインタフェース基本タイミング

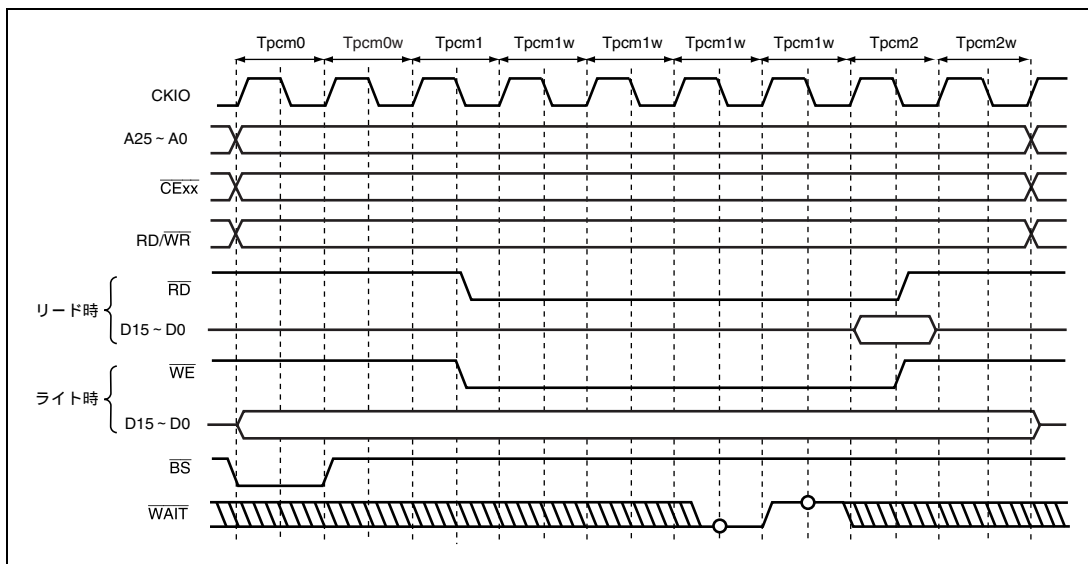


図 12.40 PCMCIA メモリカードインタフェースウェイトタイミング  
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェア 1、ハードウェイト 1)

IC メモリカードインタフェースとしてメモリ空間を 32M バイトすべてを使用する場合は、コモンメモリとアトリビュートメモリの切り換え信号  $\overline{\text{REG}}$  はポート等を利用して生成します。また、メモリ空間が 16M バイト以下で足りる場合は、メモリ空間を 16M バイトずつコモンメモリ空間とアトリビュートメモリ空間として使うことにより、A24 端子を  $\overline{\text{REG}}$  信号として利用することができます。

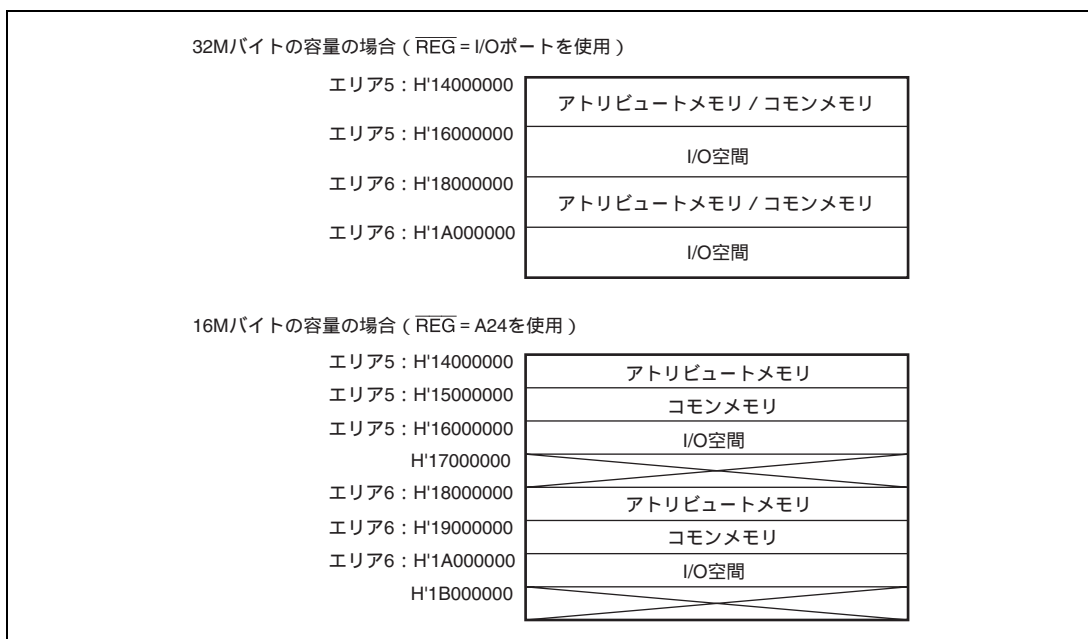


図 12.41 PCMCIA 空間割り付け例 (CS5BWCR.SA[1:0]=B'10、CS6BWCR.SA[1:0]=B'10)



## (2) I/O カードインタフェース基本タイミング

図 12.42 および図 12.43 に PCMCIA の「I/O カードインタフェース」のタイミングを示します。

I/O カードインタフェースと IC メモリカードインタフェースの切り換えは、アクセスするアドレスによって行います。物理空間のエリア 5 を PCMCIA に設定した場合は、物理アドレスの H'16000000 ~ H'17FFFFFF をアクセスすると自動的に「I/O カードインタフェース」としてバスアクセスが行われます。また、物理空間のエリア 6 を PCMCIA に設定した場合は、物理アドレスの H'1A000000 ~ H'1BFFFFFF をアクセスすると自動的に「I/O カードインタフェース」としてバスアクセスが行われます。

PCMCIA の I/O カードをアクセスする場合は、論理空間のキャッシュ非対象領域 (P2 か P3 空間) か、MMU によってキャッシュ非対象領域と指定した領域で行ってください。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとしてアクセスする場合は、 $\overline{\text{IOIS16}}$  端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 6 のバス幅を 16 ビットに設定しているときに、ワードサイズの I/O バスサイクル中に  $\overline{\text{IOIS16}}$  信号がハイレベルの場合は、8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

$\overline{\text{IOIS16}}$  信号は、TED[3:0] ビットの設定を 1.5 サイクル以上に設定したときの Tpci0、Tpci0w、および Tpci1 サイクルにおける CKIO の立ち下がりでサンプリングされ、サンプリングポイントから CKIO の 1.5 サイクル後に CE2 信号に反映されます。ご使用になる PC カードの  $\overline{\text{ICIOR\overline{D}}}$  と  $\overline{\text{ICIOR\overline{W}}}$  から CEn のセットアップの規格を満たすように、TED[3:0] ビットを設定してください。

ダイナミックバスサイジングの基本タイミングを図 12.44 に示します。

なお、ビッグエンディアンモードでは、 $\overline{\text{IOIS16}}$  信号をサポートしません。ビッグエンディアンモード時には、 $\overline{\text{IOIS16}}$  信号をローレベルに固定してください。

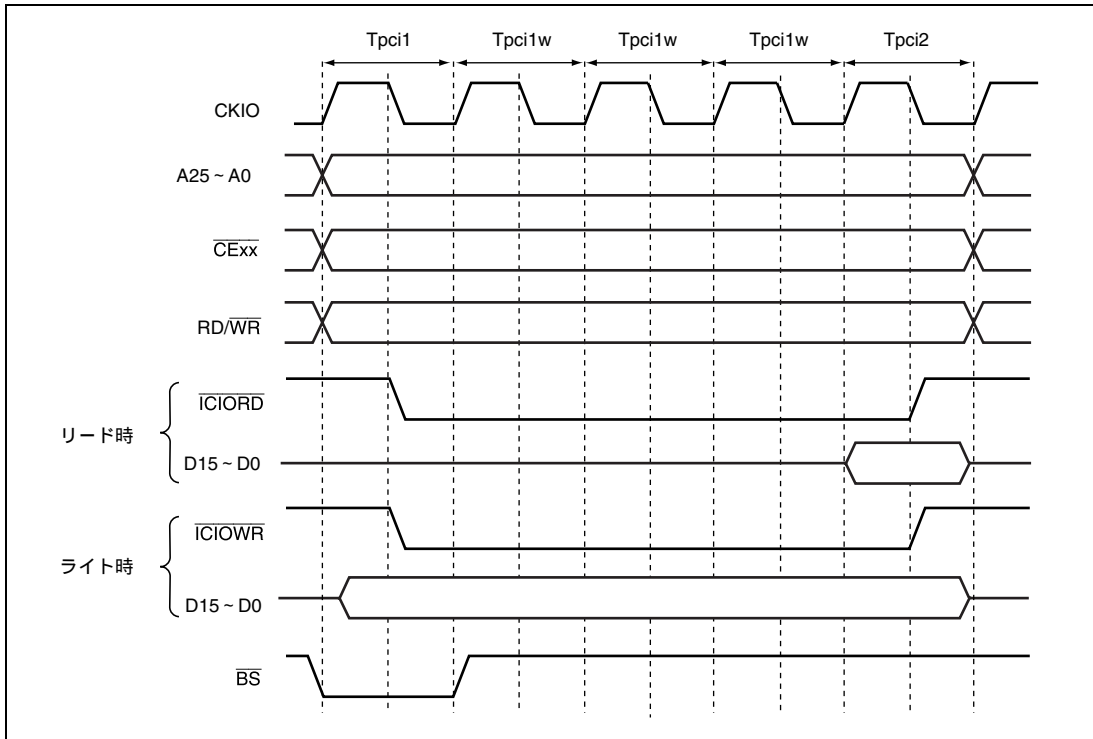


図 12.42 PCMCIA I/O カードインタフェース基本タイミング

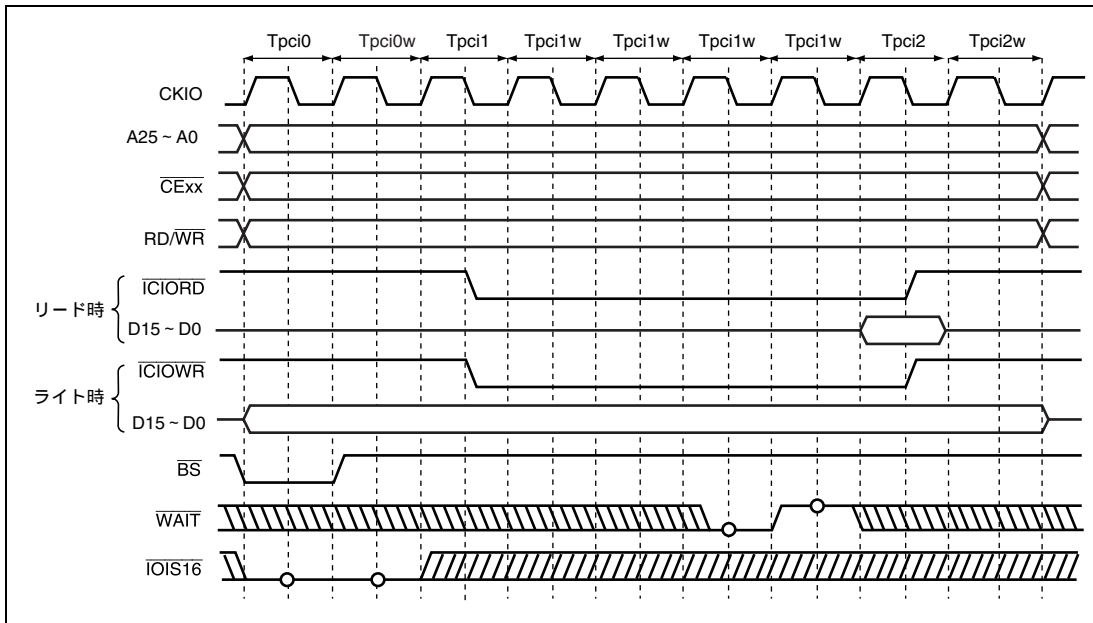


図 12.43 PCMCIA I/O カードインタフェースウェイトタイミング  
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェア1、ハードウェイト1)

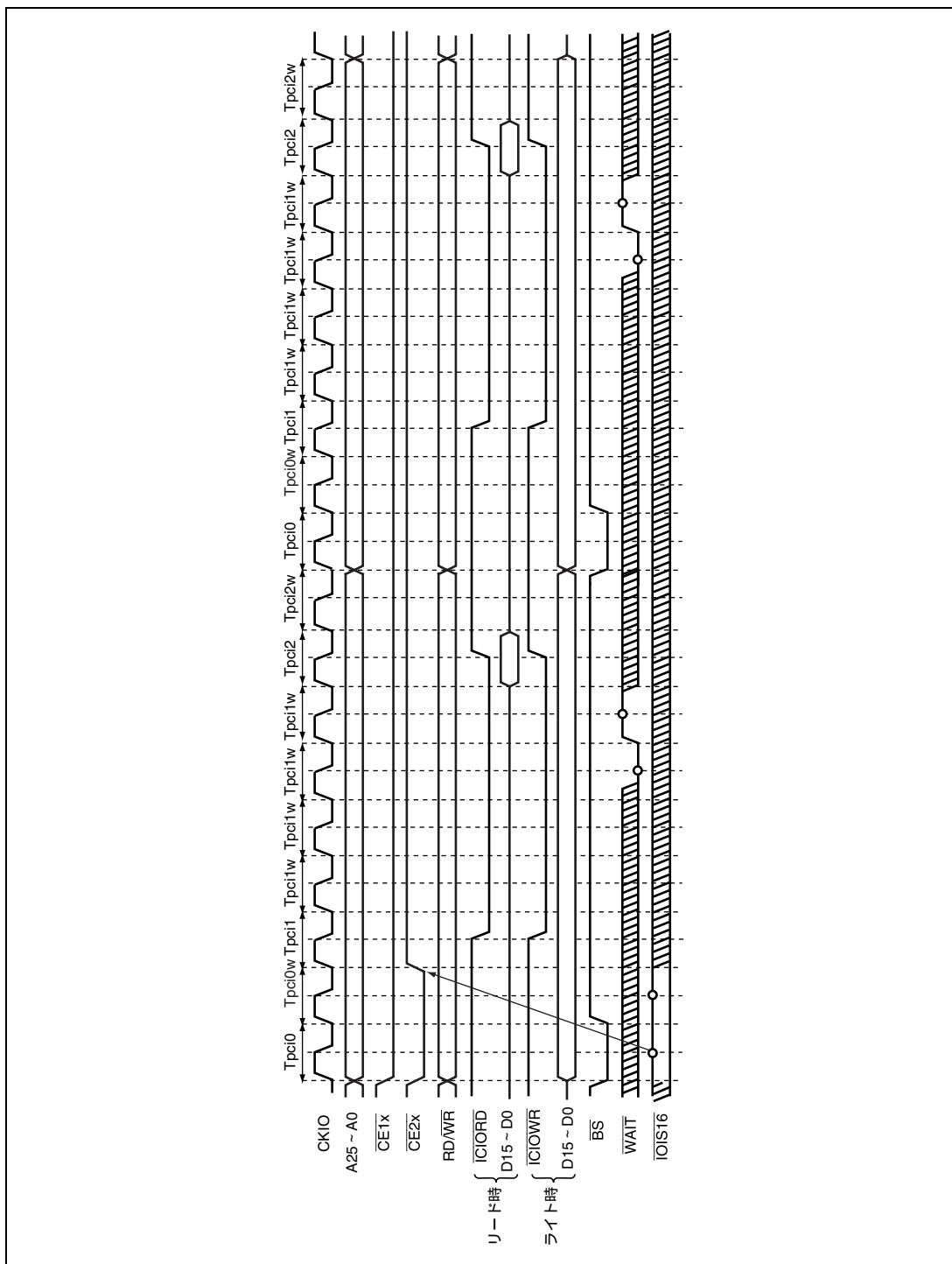


図 12.44 PCMCIA I/O カードインターフェースダイナミックバスサイジングタイミング  
 (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェイト 3)

### 12.5.9 バースト ROM (クロック同期)

バースト ROM (クロック同期) インタフェースは、シンクロナスバースト機能を有する ROM を高速にアクセスするためのものです。基本的には、通常空間と同じようなアクセスを行います。本インタフェースは、エリア 0 でのみ設定可能です。

最初のアクセスサイクルに対しては、CS0WCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CS0WCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック同期) アクセス時は、 $\overline{BS}$  信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のときにのみ有効です。

メモリの設定は、バス幅が 16 ビット時にはバースト長は 8 に、32 ビット時にはバースト長は 4 に設定してください。バス幅 8 ビットはサポートしていません。本インタフェースではすべてのリードアクセスに対して、バースト動作を行います。たとえば 16 ビットバス幅でロングワードアクセス時は、必要な 2 データの読み込みを行った後に、残りの不要な 6 データの空読み出しを行います。

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下および DMA 転送速度の低下を招くので、キャッシュフィルによる 16 バイトリードや、DMA による 16 バイトリードを有効に活用することが重要です。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

【注】 バースト ROM (クロック同期) へのアクセスは、必ずキャッシュブル空間としてアクセスしてください。

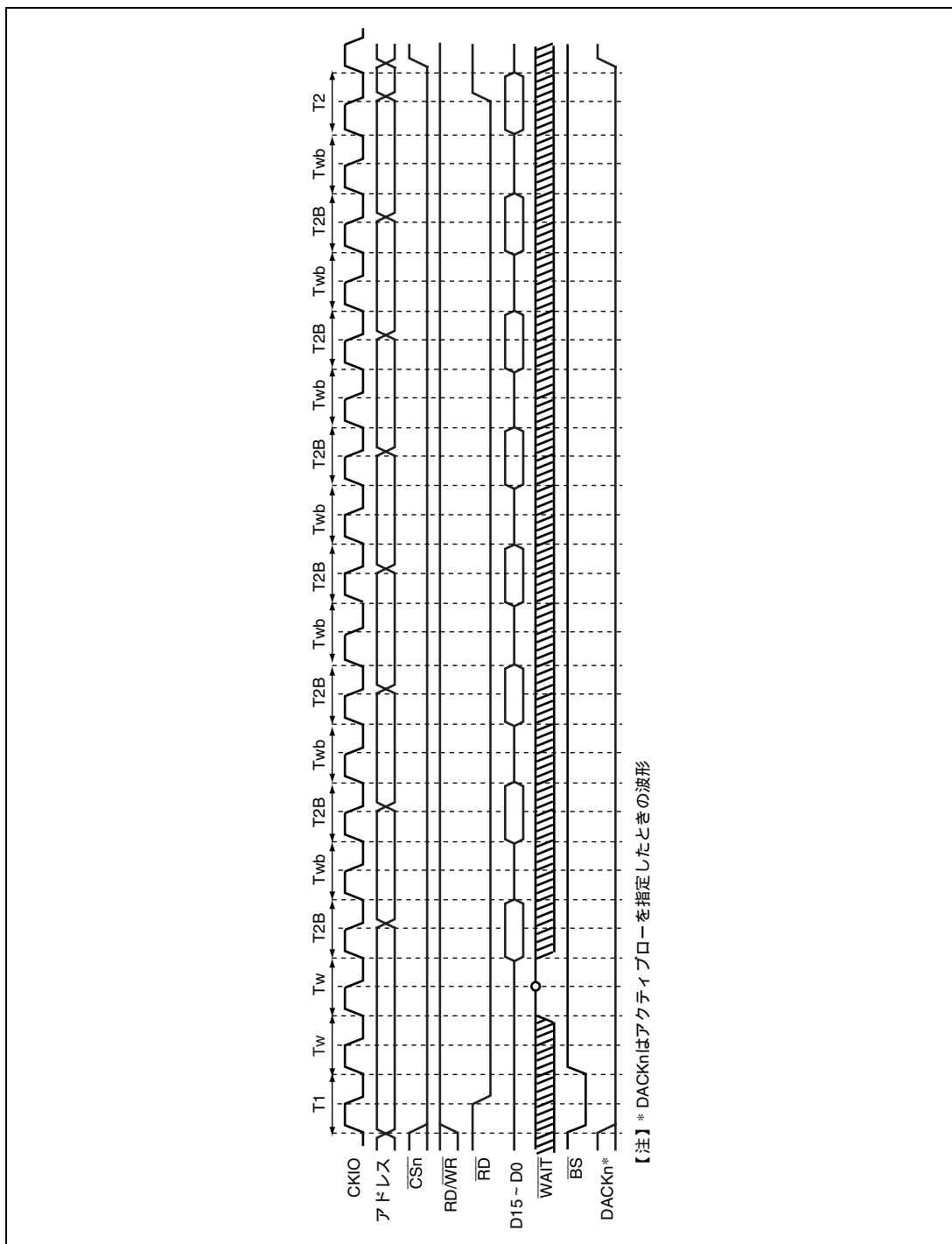


図 12.45 バースト ROM (クロック同期) アクセス  
 (バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

### 12.5.10 アクセスサイクル間ウェイト

LSIの動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にウェイトを挿入して、データの衝突を回避する機能を有しています。

アクセスサイクル間ウェイトのサイクル数は、CSnBCRのIWW[2:0]ビット、IWRWD[2:0]ビット、IWRWS[2:0]ビット、IWRRD[2:0]ビット、IWRRS[2:0]ビット、およびCMNCRのDMAIW[2:0]ビット、DMAIWAビットで指定します。アクセスサイクル間ウェイト(アイドルサイクル)は、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合
6. DMAシングル転送による外部デバイスデータ出力後の本LSIを含む別デバイスによるデータ出力の場合 (DMAIWA = 0)
7. DMAシングル転送による外部デバイスデータ出力後にアクセス発生の場合 (DMAIWA = 1)

### 12.5.11 バスアービトレーション

マスタとスレーブとの間でバス権を受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号をネゲート状態にします。バス権を受け取る場合にも、バス制御信号はネゲート状態からドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。バス制御信号のハイインピーダンス状態での外来ノイズによる誤動作を防ぐために、これらの制御信号にはプルアップ抵抗が必要となります。

バス権の受け渡しはバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていないければ、ただちにバス権の解放を行います。バスサイクルの最中の場合、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、 $\overline{\text{CSn}}$ 信号その他のバス制御信号を見て、ただちにバスが解放されるかどうかを判断することはできません。バス解放が行われない状態を以下に示します。

1. キャッシュミスによる16バイト転送中
2. キャッシュのコピーバック中
3. TAS命令のリードサイクルとライトサイクル間
4. データバス幅がアクセスサイズよりも小さいことによって生じる複数のバスサイクル(たとえば8ビットデータバス幅のメモリにロングワードアクセスを行う場合のバスサイクル間)
5. DMAC、E-DMACでの16バイト転送時
6. CMNCRレジスタのBLOCKビットを1に設定時

また、CMNCR レジスタの DPRTY[1:0]ビットによって、DMAC パースト転送中にバス権使用要求の受け付けの有無を選択可能です。

本 LSI は、バス権要求を受けない限りバス権を保有しています。外部からのバス権要求  $\overline{\text{BREQ}}$  のアサート（ローレベル）を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可  $\overline{\text{BACK}}$  をアサート（ローレベル）します。スレーブがバスを解放したことを示す  $\overline{\text{BREQ}}$  のネゲート（ハイレベル）を受けて  $\overline{\text{BACK}}$  をネゲート（ハイレベル）し、バスの使用を再開します。

SDRAM は、アクティブなバンクがある場合、全バンクプリチャージコマンド（PALL）を発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは、次のとおりです。まず、CKIO の立ち上がりに同期してアドレスバスおよび、データバスをハイインピーダンスにします。この 0.5 サイクル後にバス使用許可信号を CKIO の立ち下がりに同期してアサートします。これに続く CKIO の立ち上がりで、バス制御信号（ $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{DQMxx}}$ 、 $\overline{\text{WE}}_n$ （ $\overline{\text{BE}}_n$ ）、 $\overline{\text{RD}}$ 、および  $\overline{\text{RD}}/\overline{\text{WR}}$ ）をハイインピーダンスにします。これらのバス制御信号は、遅くともハイインピーダンスにする 1 サイクル前には、ハイレベルにされています。バス権要求信号のサンプリングは、CKIO の立ち下がりで行います。

スレーブからバス権を再獲得するときのシーケンスは、次のとおりです。 $\overline{\text{BREQ}}$  のネゲートを CKIO の立ち下がり検出すると、1.5 サイクル後にバス制御信号は、ハイレベルでドライブを開始します。これに続くクロックの立ち下がり、 $\overline{\text{BACK}}$  をネゲートします。アドレスバスおよびデータバスのドライブを開始するのは、これに続く CKIO の立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはアドレスおよびデータ信号をドライブするのと同じクロックの立ち上がりからです。バスアービトレーションタイミングを図 12.46 に示します。

ユーザが個別に設計したスレーブによっては、アービトレーションによるオーバーヘッドを減少させるため、連続して複数回のバスアクセスを発生しようとする場合があります。このようなケースでは、SDRAM の確実なリフレッシュを行うため、スレーブのバス占有時間がリフレッシュ周期を超えることなく、バス権を解放するように設計を行う必要があります。そこで、本 LSI では、リフレッシュの実行が待たされている間にバス権を要求する信号として  $\overline{\text{REFOUT}}$  端子を用意しています。そして、リフレッシュの実行が待たされている間バス権を獲得するまで、 $\overline{\text{REFOUT}}$  をアサート（ローレベル）します。外部のスレーブデバイスがこれを受けてバス権を解放すれば、バス権が本 LSI に戻り、リフレッシュを実行することができます。

また、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$  のハンドシェイクによる外部バス解放には、少なからずオーバーヘッドが存在します。スレーブモジュールのタスクが多い場合は一度のバス権獲得により、複数回のバスサイクルを実行するようにシステム設計を行ってください。バス権の受け渡しに必要なサイクルを減らすことによりシステム設計が容易になります。

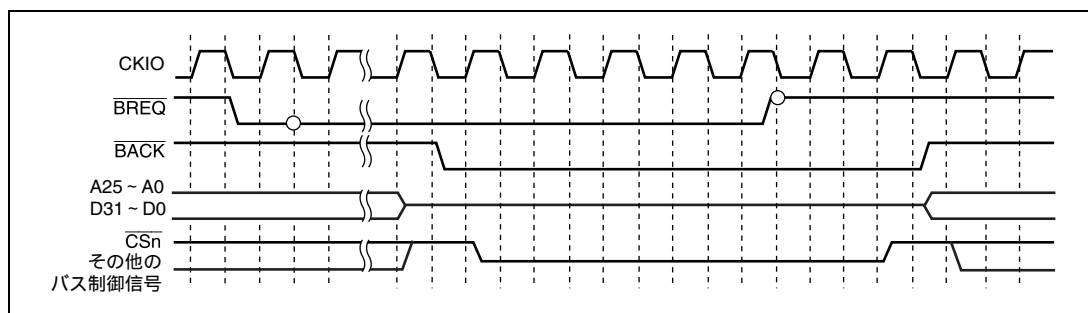


図 12.46 バスアービトレーション

## 12.5.12 その他

### (1) リセット

バスステートコントローラは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時には、バスサイクルの途中であるなしにかかわらずただちにすべての信号をネゲートし、出力バッファをオフにします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行され、その後はアクセス待ちの状態になります。キャッシュおよびその他の LSI 内部バスマスタモジュールの 16 バイト転送を実行中の場合は、バスマスタがマニュアルリセットによってアクセス要求を取り消すため、ロングワード単位でアクセスが打ち切られます。このためキャッシュフィル時にマニュアルリセットを入れる場合は、キャッシュの内容は保証されなくなりますので注意してください。マニュアルリセット信号のアサート中も RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。ただし、マニュアルリセット信号のアサート中は  $\overline{\text{BREQ}}$  によるアービトレーション要求を受け付けません。

フラッシュメモリには、リセット解除後から最初のアクセスまでの最小時間を規定しているものがあります。バスステートコントローラは、この最小時間を確保するために、5 ビットのリセットウェイトカウンタ (RWTCNT) を用意しています。パワーオンリセットによりこのカウンタは、0 クリアされます。パワーオンリセット解除後は CKIO に同期してカウントアップされ、カウンタの値が H'007F になるまで外部アクセスを発生しません。マニュアルリセットでは、カウンタの値はクリアされません。本レジスタへの読み出し、書き込みは行えません。

### (2) LSI 内部バスマスタからみたアクセス

本 LSI の内部は、キャッシュバス、内部バス、および周辺バスの 3 つのバスに分割されています。CPU およびキャッシュメモリはキャッシュバスに、CPU を除く内部バスマスタおよびバスステートコントローラは内部バスに、低速な周辺モジュールは周辺バスにそれぞれ接続されています。また、キャッシュメモリ以外の内蔵メモリと UBC、AUD 等のデバッグモジュールはキャッシュバスと内部バスの双方に接続されています。キャッシュバスから内部バスのアクセスは行えますが、逆は行えません。このため以下のようなことが発生します。

CPU を除く内部バスマスタ (DMAC、E-DMAC 等) からキャッシュメモリ以外の内蔵メモリへのアクセスは行えますが、キャッシュメモリへのアクセスは行えません。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われ、その結果として外部メモリの内容とキャッシュの内容に食い違いが発生することがあります。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われた場合、その番地へのデータがキャッシュにある可能性があるときには、キャッシュメモリのページをソフトウェアで行う必要があります。

CPU が読み出しアクセスを開始し、それがキャッシュ領域の場合はキャッシュの検索が行われます。キャッシュにデータが保持されている場合は、これを取りこみアクセスは完了します。キャッシュ内にデータが無い場合には、内部バスを介してキャッシュデータのフィルを行うため、4 つの連続したロングワードリードが起動されます。バイトまたはワードオペランドアクセス時および奇数ワード境界 ( $4n+2$ ) への分岐時のミスヒットに関しても、チップ外部インタフェース上は必ず 4 つのロングワードアクセスでフィルを行います。非キャッシュ領域に関しては、実際のアクセスアドレスにしたがってアクセスを行います。アクセスが偶数ワード境界 ( $4n$ ) への命令フェッチの場合にはロングワードアクセス、奇数ワード境界 ( $4n+2$ ) への命令フェッチの場合にはワードアクセスとなります。



キャッシュスルー領域および内蔵周辺モジュールの読み出しサイクルの場合は、その判定後内部バスを介して読み出しサイクルが起動されます。読み出しデータは、キャッシュバスを経由して CPU に送られます。

書き込みサイクルがキャッシュ領域に対するものであった場合は、キャッシュのライト方式により動作が異なります。

ライトバックモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュに書き込みを行います。実際のメモリへの書き込みは、該当アドレスの置き換えが発生するまで行われません。該当アドレスのデータがなかった場合には、キャッシュの更新が行われます。まず置き換え対象となるデータを内部バッファへ退避し、次に該当アドレスのデータを含む 16 バイトのデータ読み出しを行い、該当アドレスのデータを更新します。それに続き、最初に退避した 16 バイトのデータの書き戻しサイクルが行われます。

ライトスルーモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュへの書き込みと並行して内部バスを経由して実際の書き込みが行われます。該当アドレスのデータがなかった場合には、キャッシュの更新は行わずに内部バスを経由して実際の書き込みのみ行われます

バスステートコントローラには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

DMAC、E-DMAC 等の別のバスマスタからのアクセスでも同様にバスステートコントローラのライトバッファは働きます。したがって、デュアルアドレスの DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

### (3) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (Pφ) で 2 サイクル以上かかります。システム設計の見積もり時には、ご注意ください。



---

## 13. ダイレクトメモリアクセスコントローラ (DMAC)

---

ダイレクトメモリアクセスコントローラ (DMAC) は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、および内蔵周辺モジュール間のデータ転送を CPU に代わって高速に行うことができます。

### 13.1 特長

- チャンネル数：6チャンネル (うち2チャンネルは外部リクエスト受け付け可能)
- アドレス空間：アーキテクチャ上は4GB
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216 (24bit) 回
- アドレスモード：シングルアドレスモードとデュアルアドレスモードから選択可能
- 転送要求：
  - 外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能
  - 内蔵周辺モジュールリクエストを発行できるものには以下のモジュールがあります。  
SCIF0、SCIF1、SIOF0、SIOF1
- バスモード：サイクルスチールモードとバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送終了時にCPUへ割り込み要求を発生可能
- 外部リクエスト検出：DREQ入力のローまたはハイレベルの検出、および立ち上がりまたは立ち下がりエッジ検出から選択可能
- 転送要求受け付け信号・転送終了信号：DACKおよびTENDは独立にアクティブレベルを設定可能

DMAC のブロック図を図 13.1 に示します。

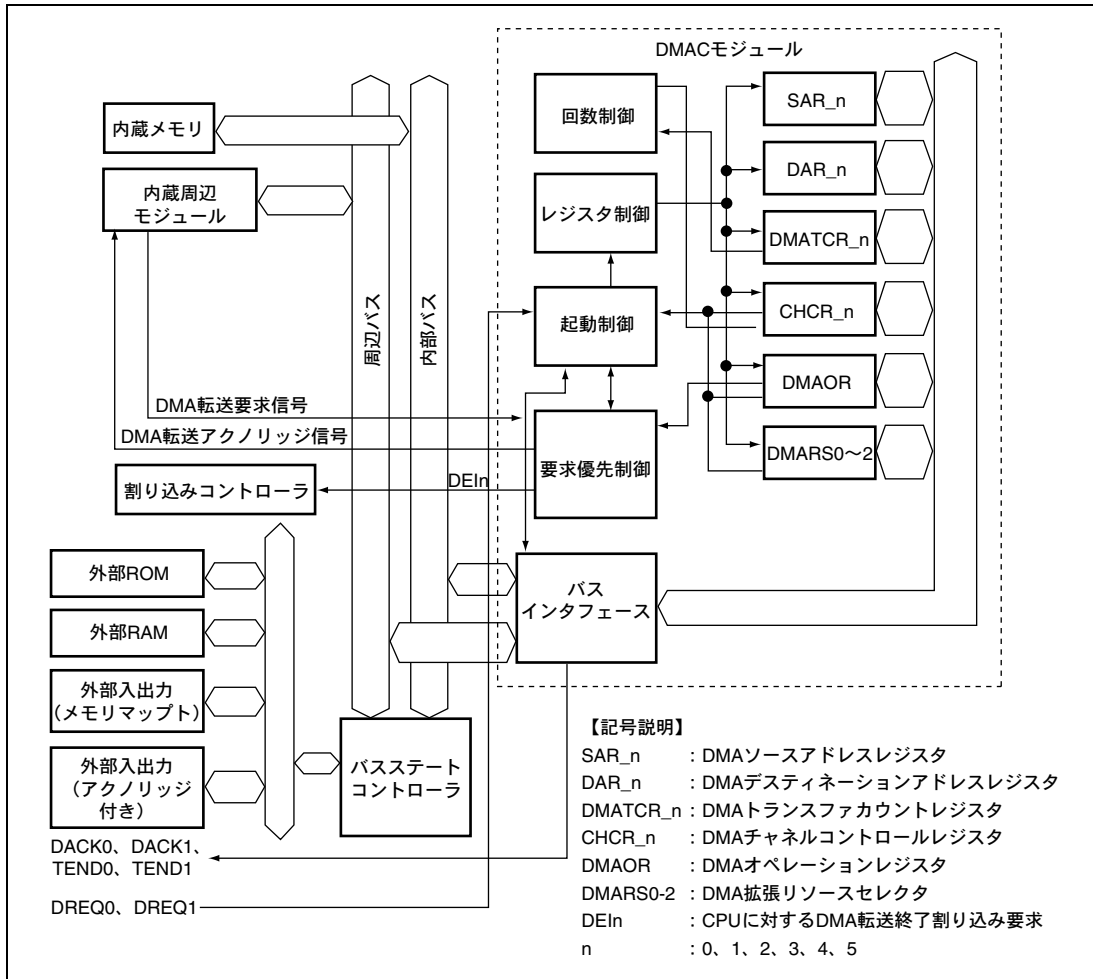


図 13.1 DMAC ブロック図

## 13.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 13.1 に示します。DMAC としては、外部バス用に 2 チャンネル分の端子 (チャンネル 0、1) を持っています。

表 13.1 外部バスに対する端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	DMAC チャンネル 0 から外部デバイスへの DMA 転送要求受付出力
	DMA 転送終了	TEND0	出力	DMAC チャンネル 0 の DMA 転送終了出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK1	出力	DMAC チャンネル 1 から外部デバイスへの DMA 転送要求受付出力
	DMA 転送終了	TEND1	出力	DMAC チャンネル 1 の DMA 転送終了出力

## 13.3 レジスタの説明

DMAC には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

### (1) チャンネル 0

- DMA ソースアドレスレジスタ\_0 (SAR\_0)
- DMA デスティネーションアドレスレジスタ\_0 (DAR\_0)
- DMA トランスファカウントレジスタ\_0 (DMATCR\_0)
- DMA チャンネルコントロールレジスタ\_0 (CHCR\_0)

### (2) チャンネル 1

- DMA ソースアドレスレジスタ\_1 (SAR\_1)
- DMA デスティネーションアドレスレジスタ\_1 (DAR\_1)
- DMA トランスファカウントレジスタ\_1 (DMATCR\_1)
- DMA チャンネルコントロールレジスタ\_1 (CHCR\_1)

### (3) チャンネル 2

- DMA ソースアドレスレジスタ\_2 (SAR\_2)
- DMA デスティネーションアドレスレジスタ\_2 (DAR\_2)
- DMA トランスファカウントレジスタ\_2 (DMATCR\_2)
- DMA チャンネルコントロールレジスタ\_2 (CHCR\_2)

## (4) チャンネル3

- DMAソースアドレスレジスタ\_3 (SAR\_3)
- DMAデスティネーションアドレスレジスタ\_3 (DAR\_3)
- DMAトランスファカウンタレジスタ\_3 (DMATCR\_3)
- DMAチャンネルコントロールレジスタ\_3 (CHCR\_3)

## (5) チャンネル4

- DMAソースアドレスレジスタ\_4 (SAR\_4)
- DMAデスティネーションアドレスレジスタ\_4 (DAR\_4)
- DMAトランスファカウンタレジスタ\_4 (DMATCR\_4)
- DMAチャンネルコントロールレジスタ\_4 (CHCR\_4)

## (6) チャンネル5

- DMAソースアドレスレジスタ\_5 (SAR\_5)
- DMAデスティネーションアドレスレジスタ\_5 (DAR\_5)
- DMAトランスファカウンタレジスタ\_5 (DMATCR\_5)
- DMAチャンネルコントロールレジスタ\_5 (CHCR\_5)

## (7) 共通

- DMAオーバーフローレジスタ (DMAOR)
- DMA拡張リソースセクタ0 (DMARS0)
- DMA拡張リソースセクタ1 (DMARS1)
- DMA拡張リソースセクタ2 (DMARS2)

### 13.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が DACK 付きの外部デバイスの転送をする場合には SAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は不定になり、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

### 13.3.2 DMA デスティネーションアドレスレジスタ (DAR)

DAR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が DACK 付きの外部デバイスの転送をする場合には、DAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は不定になり、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

### 13.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

リセット時は不定になり、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

### 13.3.4 DMA チャネルコントロールレジスタ (CHCR)

CHCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

リセット時は H'0000 0000 に初期化され、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

ビット	ビット名	初期値	R/W	説明
31~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23	DO	0	R/W	DMA オーバラン DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。 本ビットは CHCR0、CHCR1 でのみ有効です。CHCR2~CHCR5 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 0 : DREQ をオーバラン 0 で検出 1 : DREQ をオーバラン 1 で検出
22	TL	0	R/W	トランスファエンドレベル TEND 信号をハイアクティブにするかローアクティブにするかを指定します。 本ビットは CHCR0、CHCR1 でのみ有効です。CHCR2~CHCR5 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 0 : TEND をローアクティブ出力 1 : TEND をハイアクティブ出力
21~18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17	AM	0	R/W	アクノリッジモード デュアルアドレスモードで、DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。 シングルアドレスモード時は、本ビットの指定に関係なく DACK は常に出力されます。 本ビットは CHCR0、CHCR1 でのみ有効です。CHCR2~CHCR5 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 0 : 読み出しサイクルで DACK を出力 (デュアルアドレスモード) 1 : 書き込みサイクルで DACK を出力 (デュアルアドレスモード)



ビット	ビット名	初期値	R/W	説明
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。</p> <p>本ビットは CHCR0、CHCR1 でのみ有効です。CHCR2～CHCR5 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p> <p>0 : DACK をローアクティブ出力 1 : DACK をハイアクティブ出力</p>
15 14	DM1 DM0	0 0	R/W R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます)。</p> <p>00 : デスティネーションアドレスは固定 (16 バイト単位転送設定時は設定禁止)</p> <p>01 : デスティネーションアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16)</p> <p>10 : デスティネーションアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止)</p> <p>11 : 予約 (設定不可)</p>
13 12	SM1 SM0	0 0	R/W R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します。(シングルアドレスモードにおいて、DACK 付き外部デバイスから転送をする場合には、SM1、SM0 ビットは無視されます。)</p> <p>00 : ソースアドレスは固定 (16 バイト単位転送設定時は設定禁止)</p> <p>01 : ソースアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト転送時は+16)</p> <p>10 : ソースアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト転送時は設定禁止)</p> <p>11 : 予約 (設定不可)</p>

ビット	ビット名	初期値	R/W	説明
11	RS3	0	R/W	リソースセレクト
10	RS2	0	R/W	DMAC に入力する転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。 0000 : 外部リクエスト、デュアルアドレスモード 0010 : 外部リクエスト、シングルアドレスモード 外部アドレス空間→DACK 付き外部デバイス 0011 : 外部リクエスト、シングルアドレスモード DACK 付き外部デバイス→外部アドレス空間 0100 : オートリクエスト 1000 : DMA 拡張リソースセクタ 上記以外 : 予約 (設定不可) 【注】外部リクエストの指定は CHCR0、CHCR1 のみ有効です。CHCR2～CHCR5 では外部リクエスト指定は設定できません。
9	RS1	0	R/W	
8	RS0	0	R/W	
7	DL	0	R/W	
6	DS	0	R/W	DREQ レベル、および DREQ エッジセレクト DREQ 入力の検出方法と検出レベルを選択します。 本ビットは、CHCR0、CHCR1 でのみ有効です。CHCR2～CHCR5 ではリザーブビットで、読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 また、チャンネル 0、1 の場合でも、転送要求元を内蔵周辺モジュールまたはオートリクエストに指定した場合は、本ビットは無効です。 00 : ローレベル検出 01 : 立ち下がりエッジ検出 10 : ハイレベル検出 11 : 立ち上がりエッジ検出
5	TB	0	R/W	トランスファバスモード DMA 転送のバスモードを選択します。 0 : サイクルスチールモード 1 : バーストモード
4	TS1	0	R/W	トランスファサイズ DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。 00 : バイト単位 01 : ワード (2 バイト) 単位 10 : ロングワード (4 バイト) 単位 11 : 16 バイト単位転送 (ロングワード 4 回転送)
3	TS0	0	R/W	

ビット	ビット名	初期値	R/W	説明
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合は、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMATCR の値が 0 になり DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに NMI 割り込みおよび DMA アドレスエラーによって転送が終了した場合、および DE ビットと DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の中断 1 : (DMATCR=0 により) DMA 転送終了</p> <p>[クリア条件] TE ビットの 1 を読み出してから 0 を書き込む。</p>
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、および AE ビットのすべてが 0 である必要があります。外部リクエストおよび周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、および AE ビットのすべてが 0 である必要があります。DE ビットをクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 13.3.5 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出しまたは書き込み可能な 16 ビットのレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

リセット時は H'0000 に初期化され、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9 8	PR1 PR0	0 0	R/W R/W	プライオリティモード 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00 : 固定モード 1 : CH0>CH1>CH2>CH3>CH4>CH5 01 : 固定モード 2 : CH0>CH2>CH3>CH1>CH4>CH5 10 : 予約 (設定不可) 11 : 全チャンネルラウンドロビンモード
7~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	AE	0	R/(W)*	アドレスエラーフラグ DMAC によるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。 0 : DMAC によるアドレスエラーなし 1 : DMAC によるアドレスエラー発生 [クリア条件] AE ビットの 1 を読み出してから 0 を書き込む
1	NMIF	0	R/(W)*	NMI フラグ NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。 NMI が入力されたとき、実行中の DMA 転送の 1 転送単位までは行われます。DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。 0 : NMI 割り込みなし 1 : NMI 割り込み発生 [クリア条件] NMIF ビットの 1 を読み出してから 0 を書き込む

ビット	ビット名	初期値	R/W	説明
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし、転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアすると、すべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止 1 : 全チャンネルの DMA 転送を許可</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

#### 【注意事項】

DMA オペレーションレジスタ (DMAOR) の NMIF ビット (NMI フラグ) に関して、当該フラグが 1 にセットされるタイミングでリードを行うと、0 が読み出されますが、内部的に 1 をリードした状態となる場合があります。そのため、0 ライトを行うと、当該フラグが 1 リード後の 0 ライトと同じ状態となり 0 にクリアされることがあります。

#### 【回避方法】

当該フラグを使用する場合は、意図せずにビットをクリアしないように以下の方法でリードライトを行ってください。

当該レジスタの書き込み時は、明示的にクリアするとき以外は当該ビットへ 1 ライトを行い、明示的にクリアするときのみ 1 リード後の 0 ライトを行ってください。

なお、当該フラグビットを使用しない場合は、常に 0 ライト (明示的にクリアするときは 1 リード後 0 ライト) で問題ありません。

### 13.3.6 DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2)

DMARS は、読み出したりは書き込み可能な 16 ビットレジスタで、各チャンネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5 を設定します。本レジスタで SCIF0、SCIF1、SIOF0、SIOF1 の転送要求を設定できます。

表 13.2 以外の MID および RID を設定したときの動作は、保証できません。DMARS レジスタからの転送要求は、CHCR0~CHCR5 レジスタのリソースセレクトビット RS[3:0]を B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS レジスタを設定しても転送要求元として受け付けられません。

リセット時は H'0000 に初期化され、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

#### • DMARS0の設定

ビット	ビット名	初期値	R/W	説明
15	C1MID5	0	R/W	DMA チャンネル 1 転送要求元モジュール ID (MID) 表 13.2 参照
14	C1MID4	0	R/W	
13	C1MID3	0	R/W	
12	C1MID2	0	R/W	
11	C1MID1	0	R/W	
10	C1MID0	0	R/W	
9	C1RID1	0	R/W	DMA チャンネル 1 転送要求元レジスタ ID (RID) 表 13.2 参照
8	C1RID0	0	R/W	
7	C0MID5	0	R/W	DMA チャンネル 0 転送要求元モジュール ID (MID) 表 13.2 参照
6	C0MID4	0	R/W	
5	C0MID3	0	R/W	
4	C0MID2	0	R/W	
3	C0MID1	0	R/W	
2	C0MID0	0	R/W	
1	C0RID1	0	R/W	DMA チャンネル 0 転送要求元レジスタ ID (RID) 表 13.2 参照
0	C0RID0	0	R/W	

• DMARS1の設定

ビット	ビット名	初期値	R/W	説明
15	C3MID5	0	R/W	DMA チャンネル 3 転送要求元モジュール ID (MID) 表 13.2 参照
14	C3MID4	0	R/W	
13	C3MID3	0	R/W	
12	C3MID2	0	R/W	
11	C3MID1	0	R/W	
10	C3MID0	0	R/W	
9	C3RID1	0	R/W	DMA チャンネル 3 転送要求元レジスタ ID (RID) 表 13.2 参照
8	C3RID0	0	R/W	
7	C2MID5	0	R/W	DMA チャンネル 2 転送要求元モジュール ID (MID) 表 13.2 参照
6	C2MID4	0	R/W	
5	C2MID3	0	R/W	
4	C2MID2	0	R/W	
3	C2MID1	0	R/W	
2	C2MID0	0	R/W	
1	C2RID1	0	R/W	DMA チャンネル 2 転送要求元レジスタ ID (RID) 表 13.2 参照
0	C2RID0	0	R/W	

• DMARS2の設定

ビット	ビット名	初期値	R/W	説明
15	C5MID5	0	R/W	DMA チャンネル 5 転送要求元モジュール ID (MID) 表 13.2 参照
14	C5MID4	0	R/W	
13	C5MID3	0	R/W	
12	C5MID2	0	R/W	
11	C5MID1	0	R/W	
10	C5MID0	0	R/W	
9	C5RID1	0	R/W	DMA チャンネル 5 転送要求元レジスタ ID (RID) 表 13.2 参照
8	C5RID0	0	R/W	
7	C4MID5	0	R/W	DMA チャンネル 4 転送要求元モジュール ID (MID) 表 13.2 参照
6	C4MID4	0	R/W	
5	C4MID3	0	R/W	
4	C4MID2	0	R/W	
3	C4MID1	0	R/W	
2	C4MID0	0	R/W	
1	C4RID1	0	R/W	DMA チャンネル 4 転送要求元レジスタ ID (RID) 表 13.2 参照
0	C4RID0	0	R/W	

各モジュールからの転送要求は、以下のMID、RIDを設定します。

表 13.2 DMARS の設定

周辺モジュール	1チャンネル分の 設定値 (MID+RID)	MID	RID	機能
SCIF0	H'21	B'001000	B'01	送信
	H'22		B'10	受信
SCIF1	H'29	B'001010	B'01	送信
	H'2A		B'10	受信
SIOF0	H'51	B'010100	B'01	送信
	H'52		B'10	受信
SIOF1	H'55	B'010101	B'01	送信
	H'56		B'10	受信

## 13.4 動作説明

DMACはDMA転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

### 13.4.1 転送フロー

DMAソースアドレスレジスタ (SAR)、DMAデスティネーションアドレスレジスタ (DAR)、DMAトランスファカウンタレジスタ (DMATCR)、DMAチャンネルコントロールレジスタ (CHCR)、DMAオペレーションレジスタ (DMAOR)、DMA拡張リソースセレクト (DMARS) に目的の転送条件設定後、DMACは以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS0、TS1ビットの設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みを発生します。
4. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットが0にされても転送を中断します。

図 13.2 に上記のフローチャートを示します。



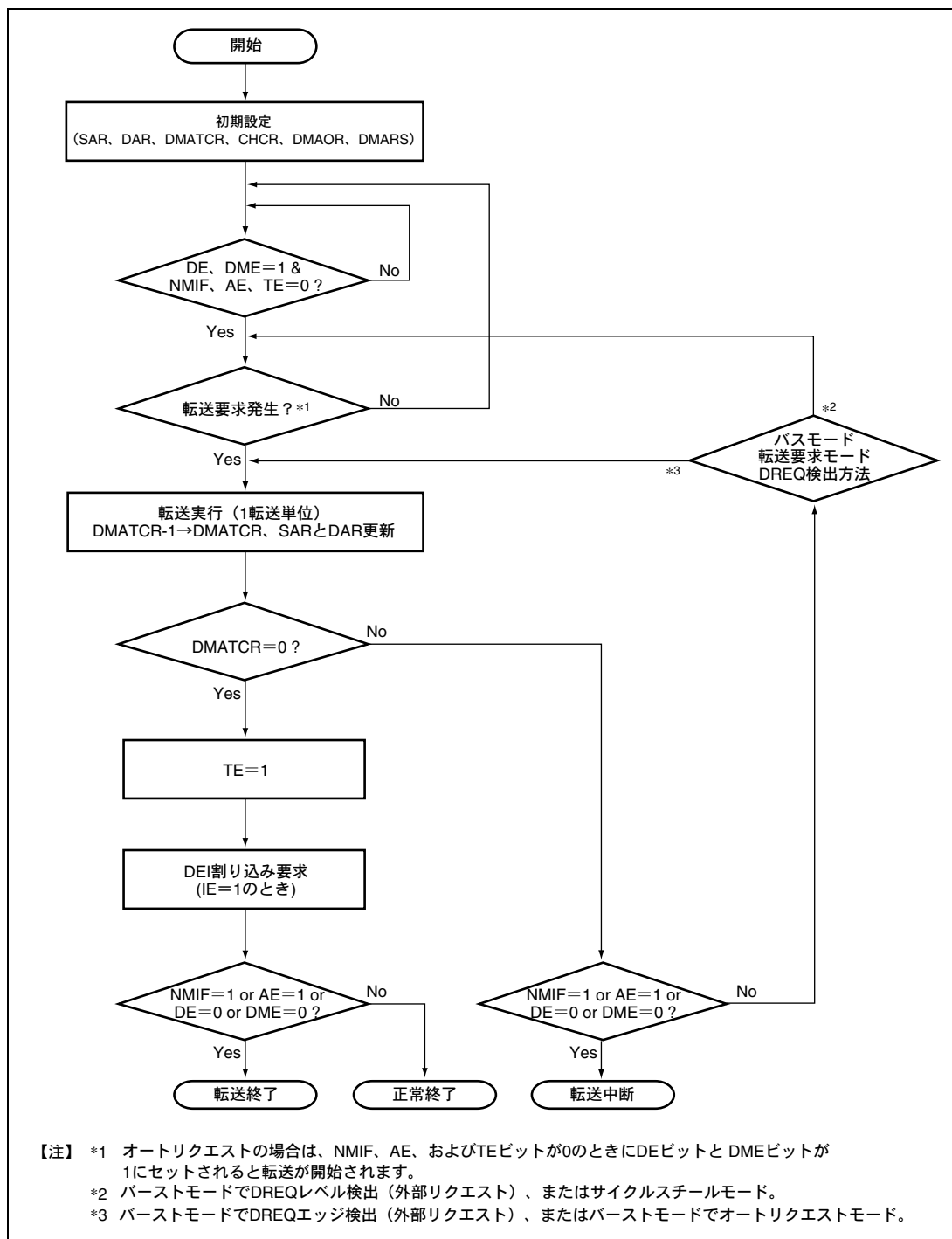


図 13.2 DMA 転送フローチャート

### 13.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類があります。転送要求の選択はDMA チャンネルコントロールレジスタ0~5(CHCR0~CHCR5)のRS3~RS0ビットおよびDMARS0、DMARS1、DMARS2レジスタによって行います。

#### (1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR5のDEビットおよびDMAORのDMEビットを1にセットすると転送が開始されます。ただしCHCR0~CHCR5のTEビット、DMAORのAEビット、NMIFビットがすべて0である必要があります。

#### (2) 外部リクエストモード

外部リクエストモードは、LSIの外部デバイスからの転送要求信号(DREQ0、DREQ1)によって転送を開始させるモードです。システムに応じて表13.3に示すモードの中から1つを選んで使います。DMA転送が許可されているとき(DE=1、DME=1、TE=0、AE=0、NMIF=0)にDREQが入力されるとDMA転送が開始されます。

表 13.3 RSビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアルアドレスモード	任意	任意
0	0	1	0	シングルアドレスモード	外部メモリまたは メモリマップト外部デバイス	DACK付き外部デバイス
			1		DACK付き外部デバイス	外部メモリまたは メモリマップト外部デバイス

DREQをエッジで検出するかレベルで検出するかは、表13.4に示すCHCR0~CHCR1のDREQレベル(DL)ビットとDREQセレクト(DS)ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 13.4 DL、DSビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受付不可能状態（不感帯）となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合（オーバーラン 0）と、リクエストより 1 つ多い回数の転送を実行して中断する場合（オーバーラン 1）があります。オーバーランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 13.5 DO ビットによる外部リクエスト検出の選択

CHCR	外部リクエスト
DO	
0	オーバーラン 0
1	オーバーラン 1

### (3) 周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

DMA 転送要求信号は、DMARS0～DMARS2 で設定する SCIF0、SCIF1、SIOF0、SIOF1 からの送信データエンプティ転送要求と受信データフル転送要求があります。

内蔵周辺モジュールリクエストモード選択時に DMA 転送許可状態（DE=1、DME=1、TE=0、AE=0、NMIF=0）であると転送要求信号によって転送が実行されます。転送要求を SCIF0 の TXI に設定した場合は、転送先を SCIF0 のトランスミットデータレジスタとする必要があります。また、転送要求を SCIF0 の RXI に設定した場合は、転送元を SCIF0 のレシーブデータレジスタとする必要があります。これらは、SCIF1、SIOF0 および SIOF1 についても同様です。

また、内蔵周辺モジュールによっては、受信 FIFO トリガ数を転送要求に設定できます。受信 FIFO トリガ条件が満たされない場合は、受信 FIFO にデータが残ることがありますので、DMA 転送終了後にデータを読み出す必要があります。

表 13.6 RS3~RS0 ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送要求元	DMA 転送要求信号	転送元	転送先	バスモード
	RS[3:0]	MID					
1000	001000	01	SCIF0 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR_0	サイクルスチール
		10	SCIF0 受信部	RXI (受信 FIFO データフル)	SCFRDR_0	任意	サイクルスチール
	001010	01	SCIF1 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR_1	サイクルスチール
		10	SCIF1 受信部	RXI (受信 FIFO データフル)	SCFRDR_1	任意	サイクルスチール
	010100	01	SIOF0 送信部	TXI (送信 FIFO データエンプティ)	任意	SITDR_0	サイクルスチール
		10	SIOF0 受信部	RXI (受信 FIFO データフル)	SIOF0/ SIRDR_0	任意	サイクルスチール
	010101	01	SIOF1 送信部	TXI (送信 FIFO データエンプティ)	任意	SITDR_1	サイクルスチール
		10	SIOF1 受信部	RXI (受信 FIFO データフル)	SIOF1/ SIRDR_1	任意	サイクルスチール

### 13.4.3 チャネルの優先順位

DMAC は同時に複数のチャネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャネルの優先順位は固定モードとラウンドロビンモードの 2 種類のモードから選択できます。モードの選択は DMAOR の PR1 および PR0 ビットにより行います。

#### (1) 固定モード

固定モードではチャネルの優先順位は変化しません。

各モードの優先順位は以下のとおりです。

- 固定モード1 : CH0>CH1>CH2>CH3>CH4>CH5
- 固定モード2 : CH0>CH2>CH3>CH1>CH4>CH5

これらの選択は DMAOR の PR1、PR0 ビットにより行います。

#### (2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャネルで1転送単位(バイト、ワード、ロングワード、または16バイト単位)の転送が終了するごとにそのチャネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 13.3 に示します。なおリセット直後のラウンドロビンモードの優先順位は CH0>CH1>CH2>CH3>CH4>CH5 です。ラウンドロビンモードを指定した場合、複数のチャネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

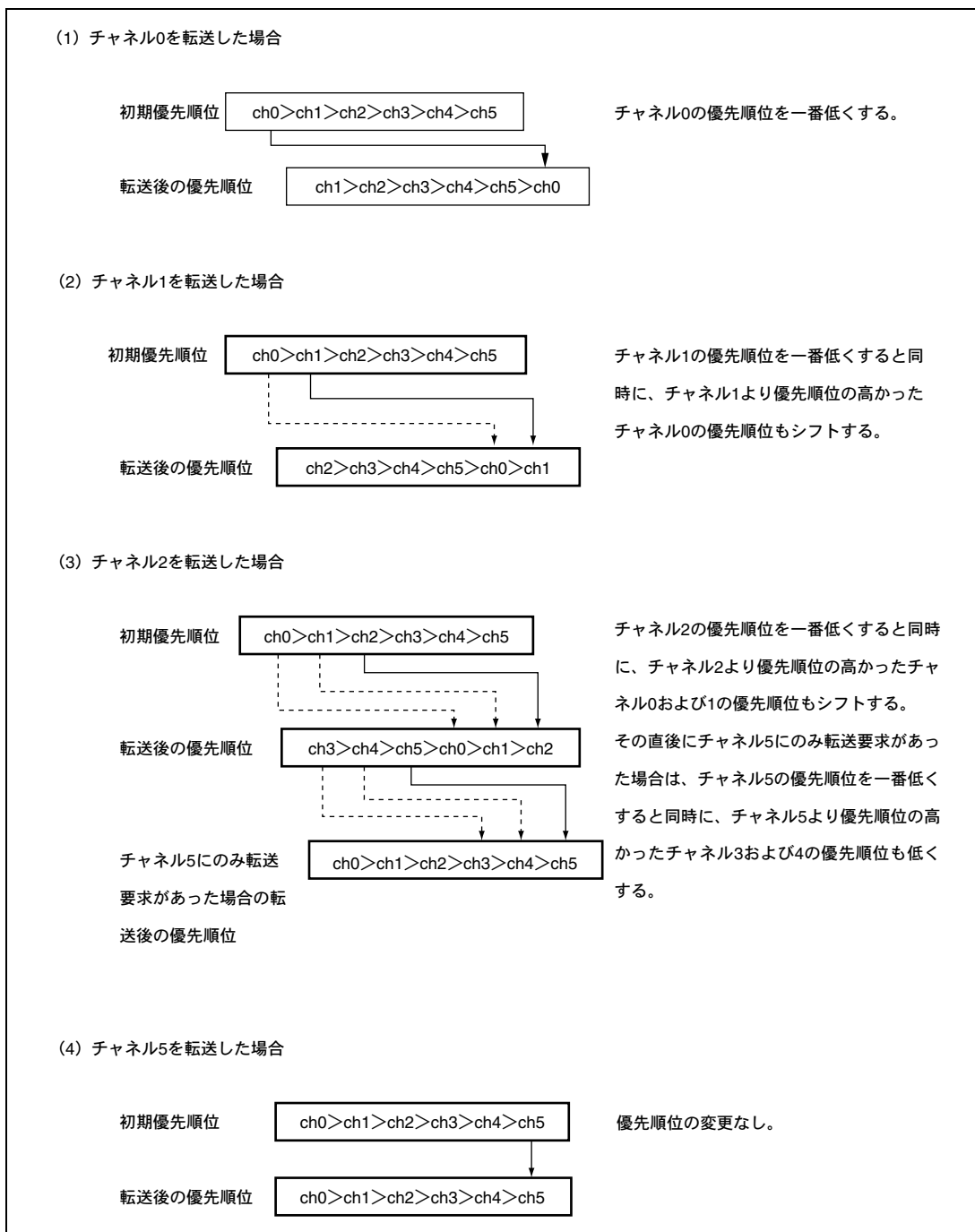


図 13.3 ラウンドロビンモード

図 13.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します。(チャンネル3は転送待ち)
3. チャンネル0の転送中にチャンネル1に転送要求が発生します(チャンネル1とチャンネル3は転送待ち)。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します(チャンネル3は転送待ち)。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

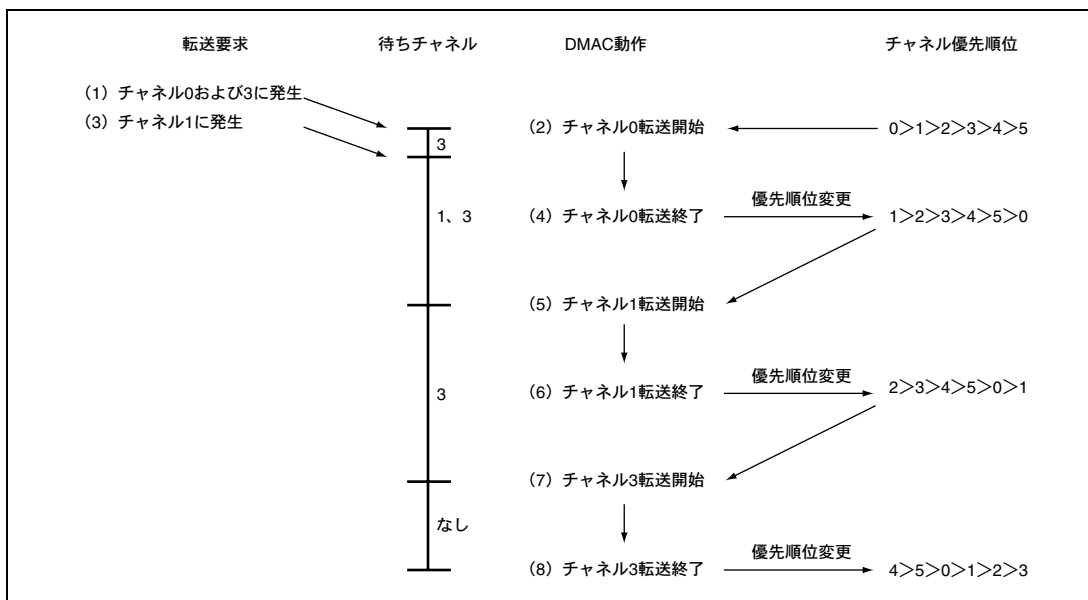


図 13.4 ラウンドロビンモードでのチャンネル優先順位

### 13.4.4 DMA 転送の種類

DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによって、シングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって違います。バスモードには、サイクルスチールモードとバーストモードがあります。表 13.7 に DMAC がサポートできる転送を示します。

表 13.7 サポートできる DMA 転送

転送元	転送先				
	DACK 付 外部デバイス	外部メモリ	メモリマップと 外部デバイス	内蔵周辺 モジュール	X/Y メモリ
DACK 付 外部デバイス	不可	シングル	シングル	不可	不可
外部メモリ	シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	不可	デュアル	デュアル	デュアル	デュアル
X/Y メモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
  2. シングル：シングルアドレスモード
  3. 内蔵周辺モジュールは、16 バイト転送ができません。

## (1) アドレスモード

## (a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス（選択）する場合に使うモードです。転送元と転送先は外部でも内部でも構いません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMACに格納されます。たとえば、図13.5のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

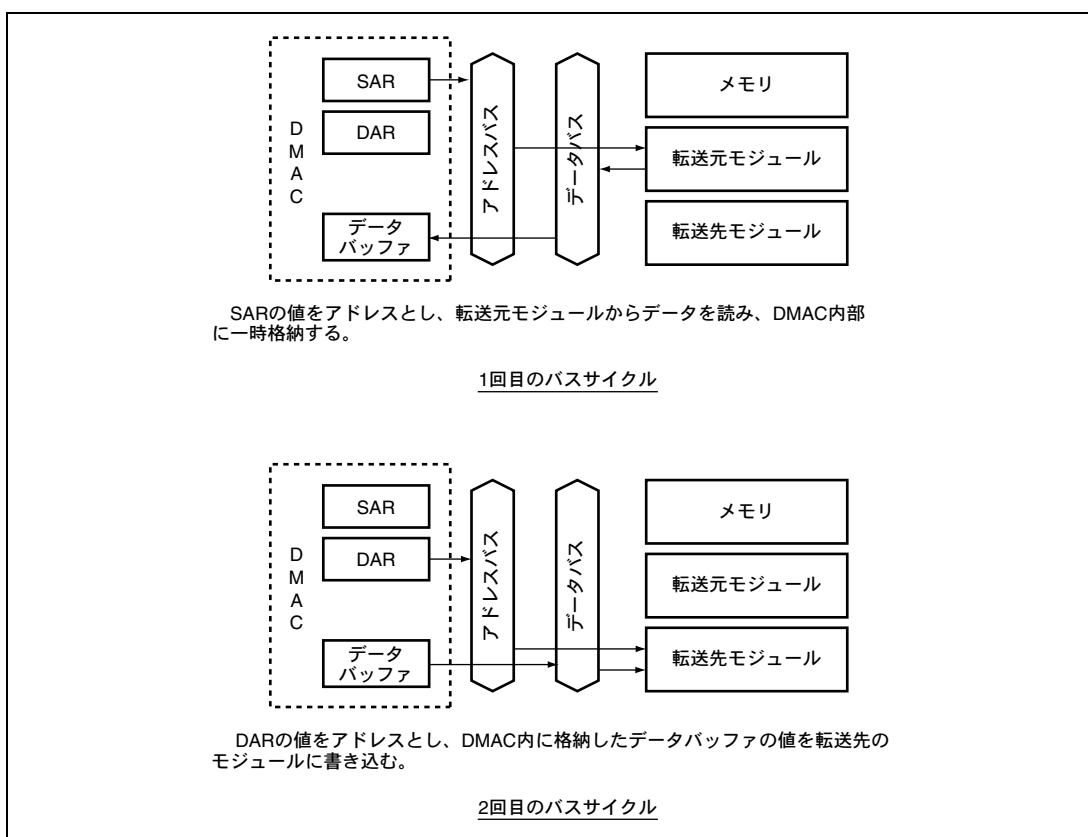


図 13.5 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかはCHCRのAMビットによって設定可能です。

図13.6にデュアルアドレスモードでのDMA転送タイミング例を示します。



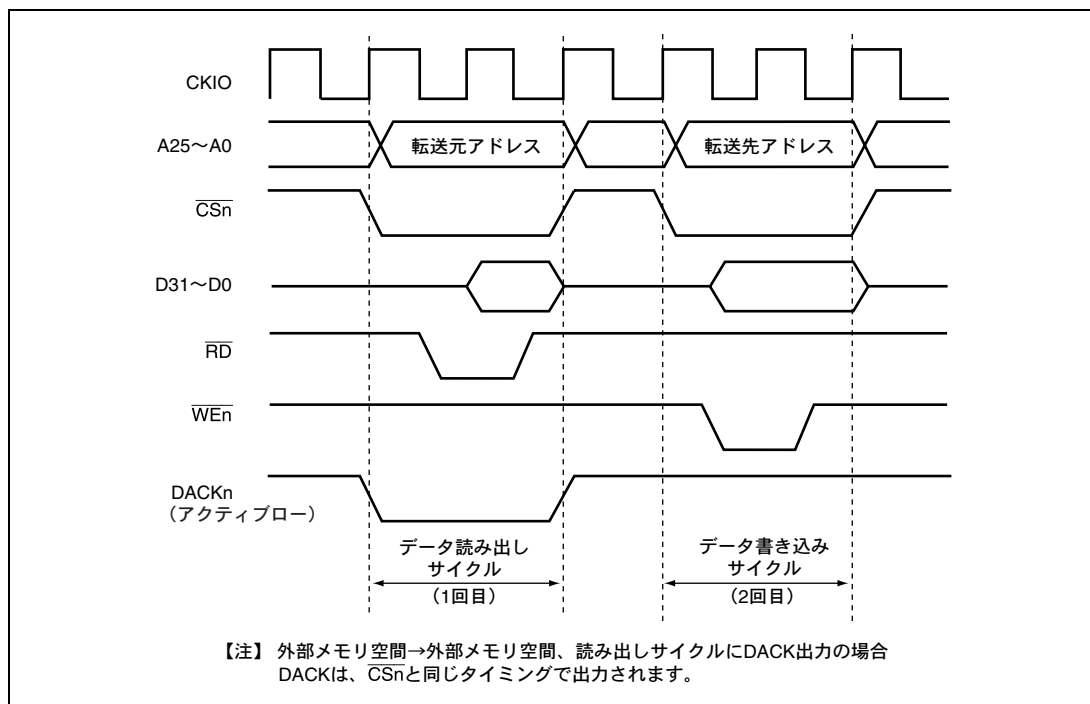


図 13.6 デュアルアドレスモードの DMA 転送タイミング例  
(転送元：通常メモリ、転送先：通常メモリ)

#### (b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセス（選択）し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1つのバスサイクルで DMA 転送を行います。たとえば、図 13.7 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

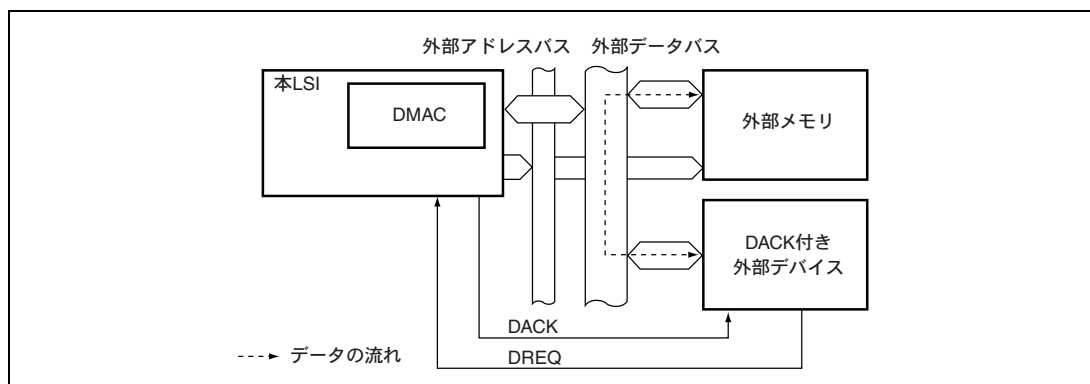


図 13.7 シングルアドレスモードのデータフロー

シングルアドレスモードで可能な転送は、1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は、外部リクエスト (DREQ) のみです。

図 13.8 にシングルアドレスモードでの DMA 転送タイミング例を示します。

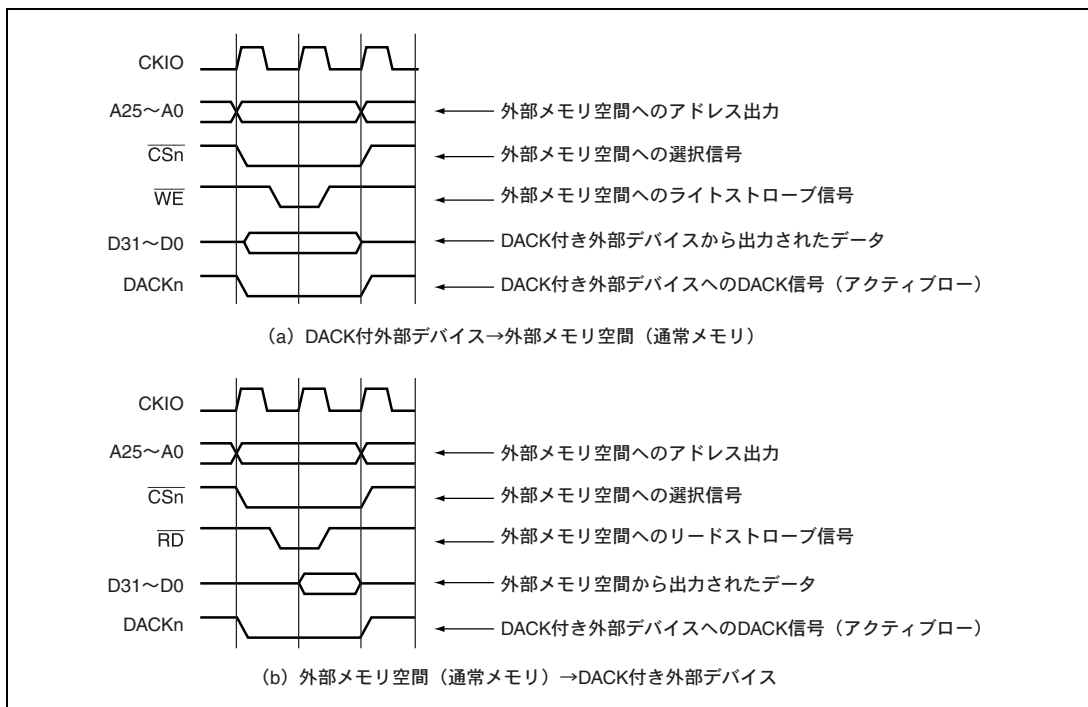


図 13.8 シングルアドレスモードの DMA 転送タイミング例

## (2) バスモード

バスモードには、サイクルスチールモードとバーストモードがあります。モードの選択は、CHCR の TB ビットで行います。

### (a) サイクルスチールモード

サイクルスチールモードでは、DMAC は一回の転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、および転送先にかかわらずすべての転送区間で使えます。

図 13.9 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は、以下のとおりです。

1. デュアルアドレスモード
2. DREQローレベル検出

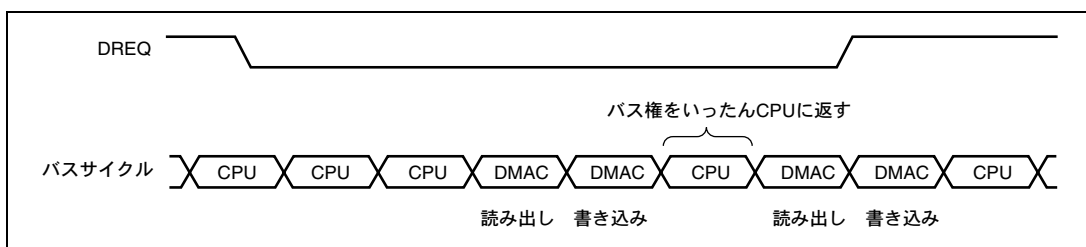


図 13.9 サイクルスチールモードの DMA 転送例  
(デュアルアドレス、DREQ ローレベル検出)

#### (b) バーストモード

バーストモードでは、DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていない場合でも、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

バーストモードは、内蔵周辺モジュールが転送要求元となっている場合は、使用できません。

図 13.10 にバーストモードでの DMA 転送タイミングを示します。

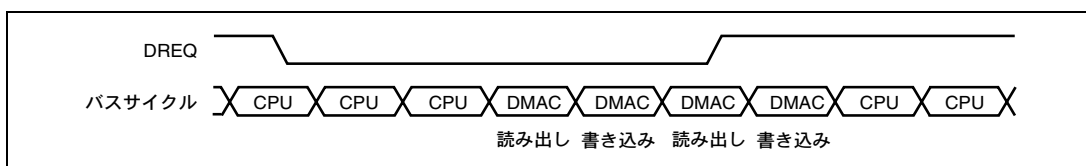


図 13.10 バーストモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

## (3) DMA 転送区間とリクエストモード、バスモードの関係

表 13.8 に DMA 転送区間とリクエストモードおよびバスモードなどの関連事項を示します。

表 13.8 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1
	外部メモリと外部メモリ	外部、オート	B/C	8/16/32/128	0~5* <sup>2</sup>
	外部メモリとメモリマップト外部デバイス	外部、オート	B/C	8/16/32/128	0~5* <sup>2</sup>
	メモリマップト外部デバイスとメモリマップト外部デバイス	外部、オート	B/C	8/16/32/128	0~5* <sup>2</sup>
	外部メモリと内蔵周辺モジュール	すべて可* <sup>1</sup>	C	8/16/32* <sup>3</sup>	0~5* <sup>2</sup>
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可* <sup>1</sup>	C	8/16/32* <sup>3</sup>	0~5* <sup>2</sup>
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可* <sup>1</sup>	C	8/16/32* <sup>3</sup>	0~5* <sup>2</sup>
	X/Y メモリと X/Y メモリ	外部、オート	B/C	8/16/32/128	0~5* <sup>2</sup>
	X/Y メモリとメモリマップト外部デバイス	外部、オート	B/C	8/16/32/128	0~5* <sup>2</sup>
	X/Y メモリと内蔵周辺モジュール	すべて可* <sup>1</sup>	C	8/16/32* <sup>3</sup>	0~5* <sup>2</sup>
	X/Y メモリと外部メモリ	外部、オート	B/C	8/16/32/128	0~5* <sup>2</sup>
シングル	DACK 付外部デバイスと外部メモリ	外部	B/C	8/16/32	0、1
	DACK 付外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32	0、1

【記号説明】 B：バースト

C：サイクルスチール

【注】 \*1 外部リクエスト、オートリクエスト、および内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送元または転送先がそれぞれの要求元レジスタである必要があります。

\*2 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ。

\*3 内蔵周辺モジュールをアクセスする場合、アクセスサイズは各モジュールで許可されているアクセスサイズとしてください。

#### (4) バスモードとチャネルの優先順位

優先順位固定モード (CH0>CH1) において、チャネル1がバーストモードで転送中でも、それより優先順位の高いチャネル0に転送要求が発生すると、ただちにチャネル0の転送を開始します。

このとき、チャネル0もバーストモードの場合は優先順位の高いチャネル0の転送がすべて終了してから、チャネル1が転送を継続します。

また、チャネル0がサイクルスチールモードの場合、まず優先順位の高いチャネル0が1転送単位の転送を行ったあと、バス権を解放せずに連続してチャネル1が転送されます。その後も、チャネル0→チャネル1→チャネル0→チャネル1というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後のCPUサイクルがバーストモード転送に置き換わった形になります(以後バーストモードの優先実行と呼びます)。この例を図13.11に示します。

競合するバーストモードが複数チャネルある場合は、その中で一番優先順位の高いチャネルが優先実行されません。

DMA転送を複数チャネルで行う場合は、競合するすべてのバースト転送が終了するまでバス権はバスマスタに解放しません。

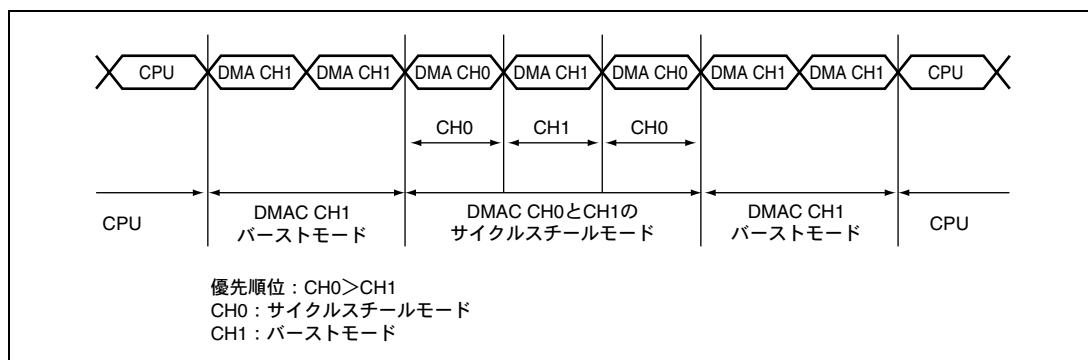


図 13.11 複数チャネルが動作する場合のバス状態

ラウンドロビンモードでは、図13.11に示した仕様で優先順位が変化します。ただし、バスモードがサイクルスチールモードのチャネルとバーストモードのチャネルを混在することはできません。

### 13.4.5 バスサイクルのステート数と DREQ 端子のサンプリングタイミング

#### (1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは、「第 12 章 バスステートコントローラ (BSC)」を参照してください。

#### (2) DREQ 端子のサンプリングタイミング

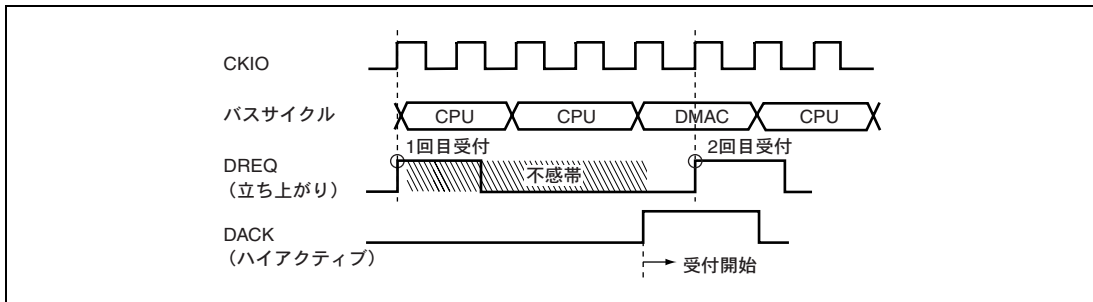


図 13.12 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例

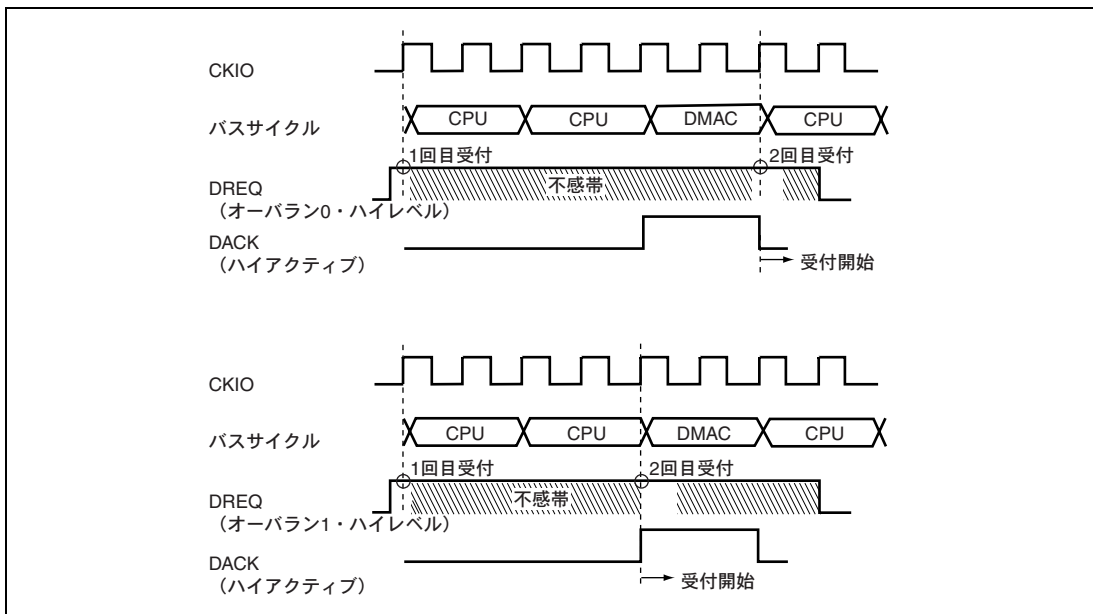


図 13.13 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例

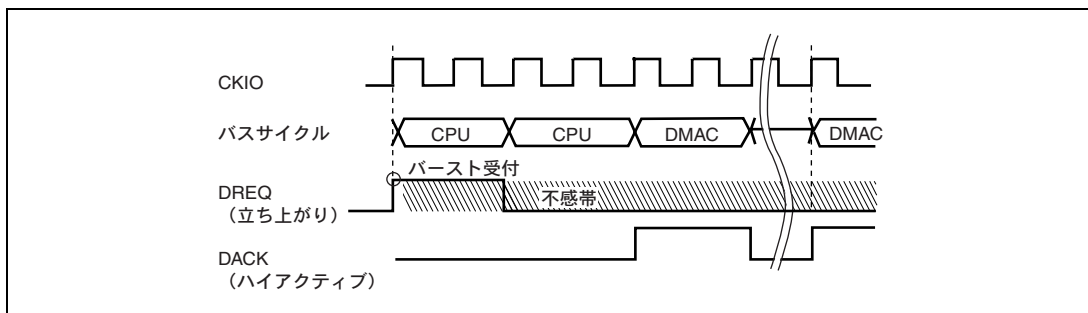


図 13.14 バーストモード・エッジ検出時の DREQ 入力検出タイミング例

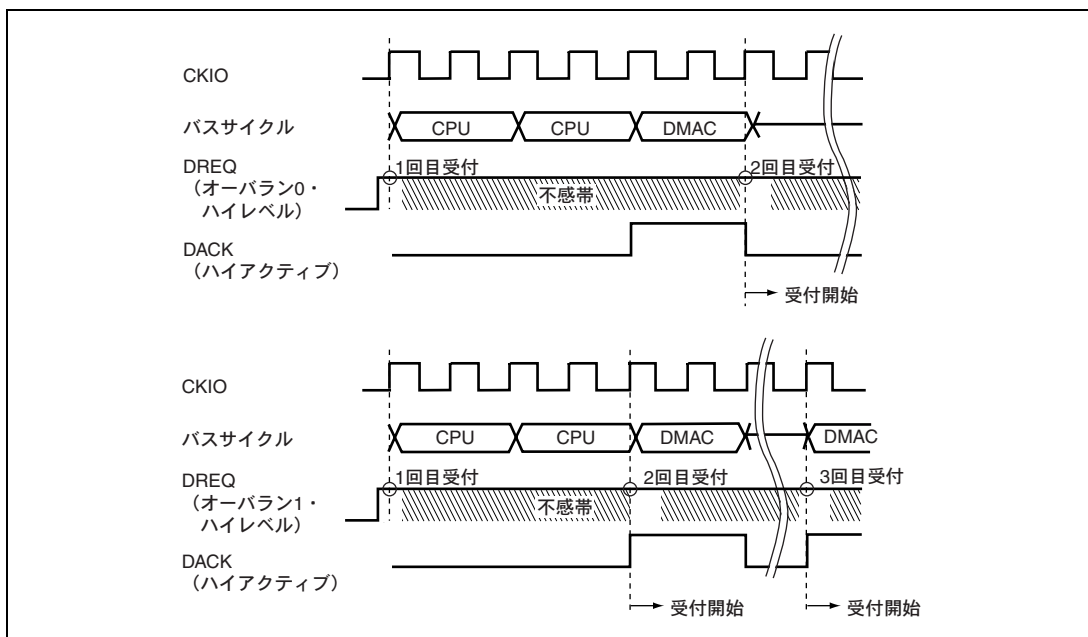


図 13.15 バーストモード・レベル検出時の DREQ 入力検出タイミング例

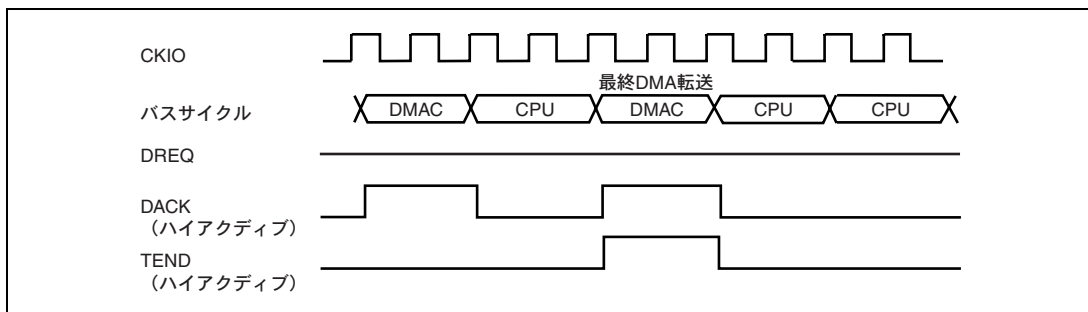


図 13.16 DMA 転送終了タイミング例 (サイクルスチール・レベル検出)

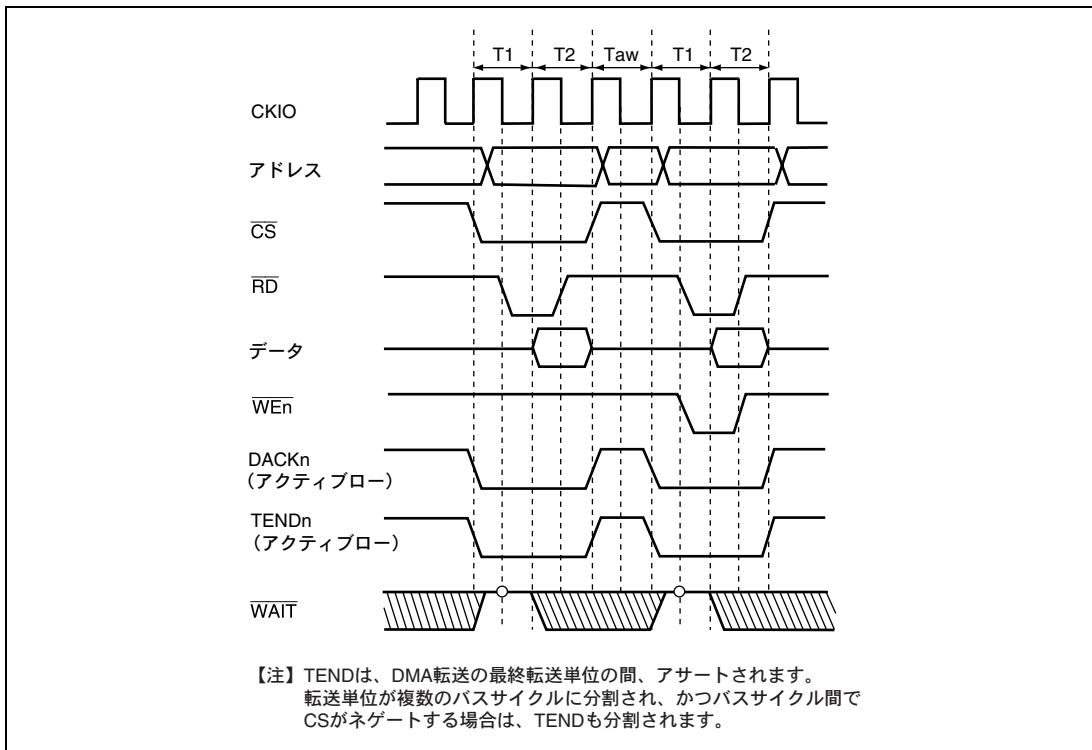


図 13.17 BSC 通常メモリアクセス例

(ノーウェイト、アイドルサイクル1、16ビットデバイスへのロングワードアクセス)



## 13.5 使用上の注意

DMAC を使用する際は、以下のことに注意してください。

### 13.5.1 TEND 端子を使用する場合の注意事項

下記条件のいずれかでDMA転送を行い、転送終了後、同一チャンネルで再転送を行う場合、再転送時の条件が、  
(1) デュアルアドレスモード読み出しサイクルでDACKを出力 (CHCRのAMビット=0) かつDMA転送元アドレス (SAR) は外部メモリ空間 (2) シングルアドレスモードのいずれかに該当する場合は、再転送の最初のDMA転送でTEND端子が1回アサートされてしまいます。

[条件]

- デュアルアドレスモード読み出しサイクルでDACKを出力 (CHCRのAMビット=0) かつDMA転送元アドレス (SAR) は外部メモリ空間
- デュアルアドレスモード書き込みサイクルでDACKを出力 (CHCRのAMビット=1) かつDMA転送先アドレス (DAR) は外部メモリ空間
- シングルアドレスモード

[回避方法]

- 下記のいずれかの設定でダミーDMA転送を行い、ダミーDMA転送が開始したあとに該当チャンネルのDMAチャンネルコントロールレジスタ (CHCR) の全ビットをクリアし、ダミーDMA転送を強制中断
- デュアルアドレスモード読み出しサイクルでDACKを出力 (CHCRのAMビット=0) かつDMA転送元アドレス (SAR) は外部メモリ空間
- デュアルアドレスモード書き込みサイクルでDACKを出力 (CHCRのAMビット=1) かつDMA転送先アドレス (DAR) は外部メモリ空間

### 13.5.2 外部アクセスで DACK が分割された場合の DREQ サンプリングに関する注意事項

#### (1) 不具合現象

外部アクセスにおいて、DACK が分割して出力される場合、DREQ のサンプリングが当該外部アクセス中に、最大 2 回受け付けられる場合があります。

## (2) 不具合発生条件および現象

条件：外部アクセスにおいて DACK が分割して出力される場合

- 16バイトアクセス
- 8ビット空間に32ビットアクセス
- 8ビット空間に16ビットアクセス
- 16ビット空間に32ビットアクセス

において、当該空間を DACK に以下のいずれかのアクセス間アイドルサイクル指定を行った場合

- ライト→ライトサイクル間アイドル指定 (IWW=01以上)
- 同一空間リード→リードサイクル間アイドル (IWRRS=01以上)
- 外部ウェイトマスク指定 (WM=0)

また、上記の条件に加え、DREQ の検出方法により以下の条件が追加されます。

- DREQレベル検出時：ライトアクセスのみ
- DREQエッジ検出時：ライトアクセスおよびリードアクセス

現象：上記のアクセスについて DREQ 端子の検出タイミングは図 13.18～図 13.21 のようになります。

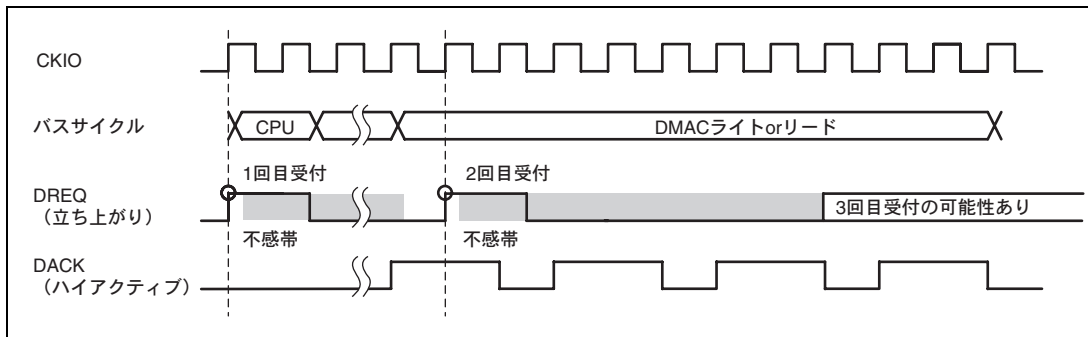


図 13.18 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング  
サイクル間アイドルにより DACK が 4 分割される場合

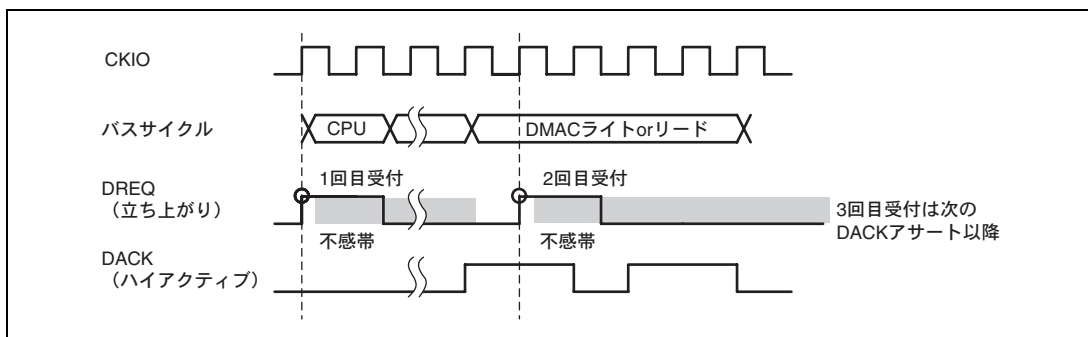


図 13.19 サイクルスチールモード・エッジ検出時のDREQ入力検出タイミング  
サイクル間アイドルによりDACKが2分割される場合

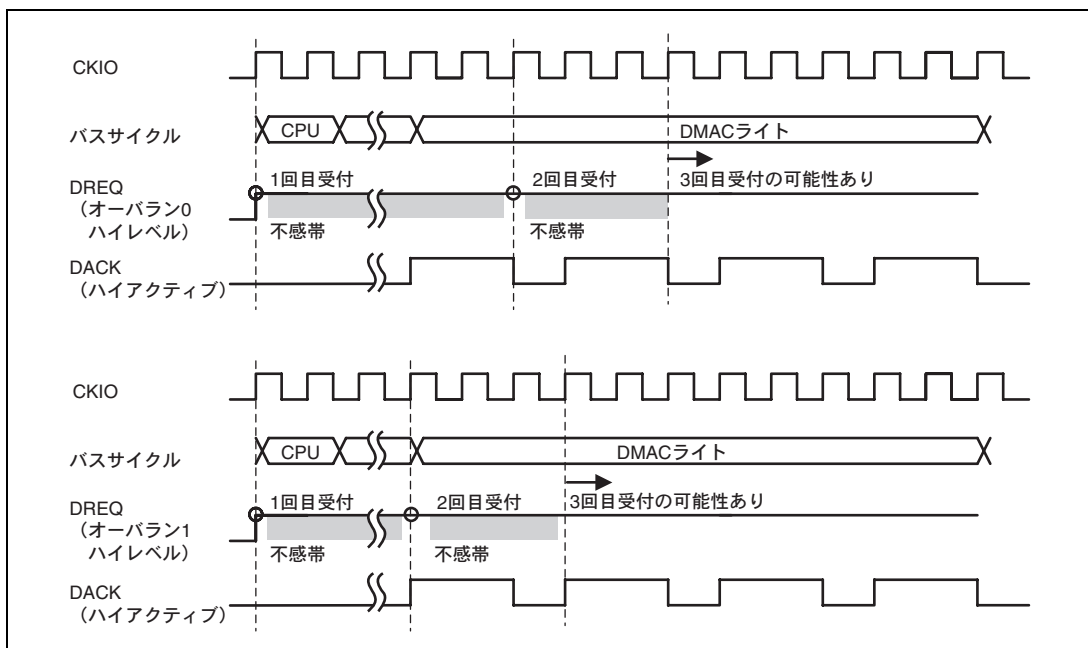


図 13.20 サイクルスチールモード・レベル検出時のDREQ入力検出タイミング  
サイクル間アイドルによりDACKが4分割される場合

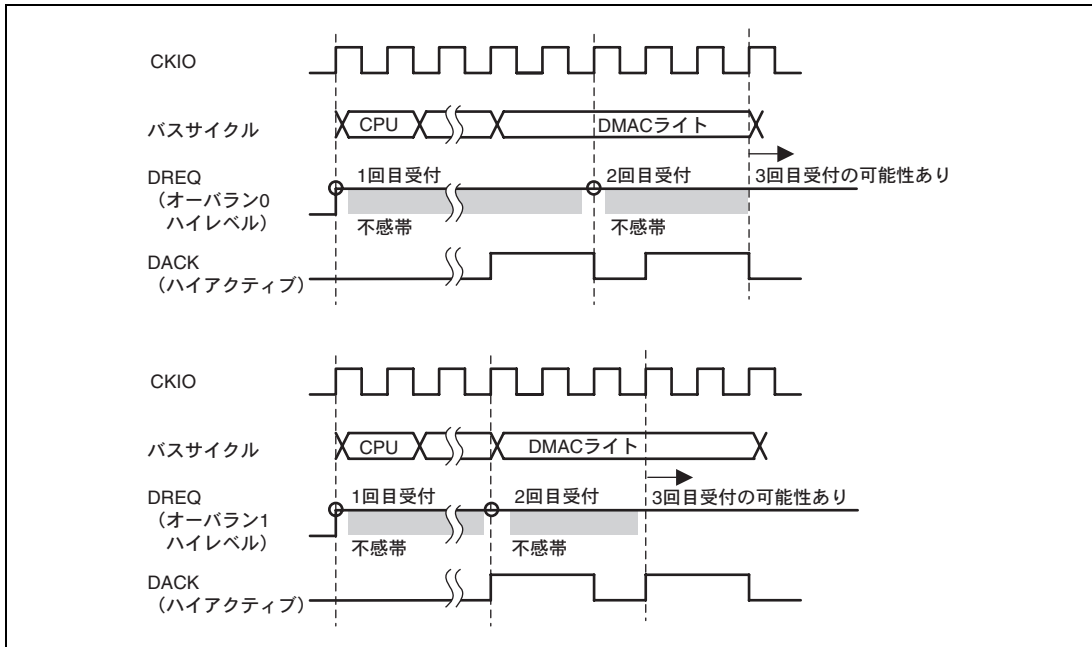


図 13.21 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング  
サイクル間アイドルにより DACK が 2 分割される場合

### (3) 注意事項

上記 (2) に示した条件の外部アクセスにおいては、

1. DREQエッジ検出時：当該バスサイクル中、最大 1 回のみ DREQエッジ入力して使用してください。
2. DREQレベル検出オーバラン0時：当該バスサイクル中、最初のDACK出力のネゲート検出後、次のDACK出力のネゲート前までに、DREQ入力をネゲートしてください。
3. DREQレベル検出オーバラン1時：当該バスサイクル中、最初のDACK出力のアサート検出後、次のDACK出力のアサート前までに、DREQ入力をネゲートしてください。

---

## 14. タイマユニット (TMU)

---

本 LSI は、3 チャンネル (チャンネル 0~2) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU) を内蔵しています。

### 14.1 特長

TMU には、次の特長があります。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- 各チャンネルとも、任意の時点で書き込みまたは読み出し可能なオートリロード用の32ビットコンスタントレジスタおよび32ビットダウンカウンタを搭載
- 各チャンネルとも、32ビットダウンカウンタのアンダフローの発生で割り込み要求を発生 (H'00000000 H'FFFFFFF)
- 各チャンネルとも、4種類のカウンタ入力クロックを選択可能  
P /4、P /16、P /64、P /256

【注】 P は、周辺モジュール用のクロックです。詳細は、「第 11 章 内蔵発振回路 (CPG)」を参照してください。

## 14.1.1 ブロック図

TMU のブロック図を図 14.1 に示します。

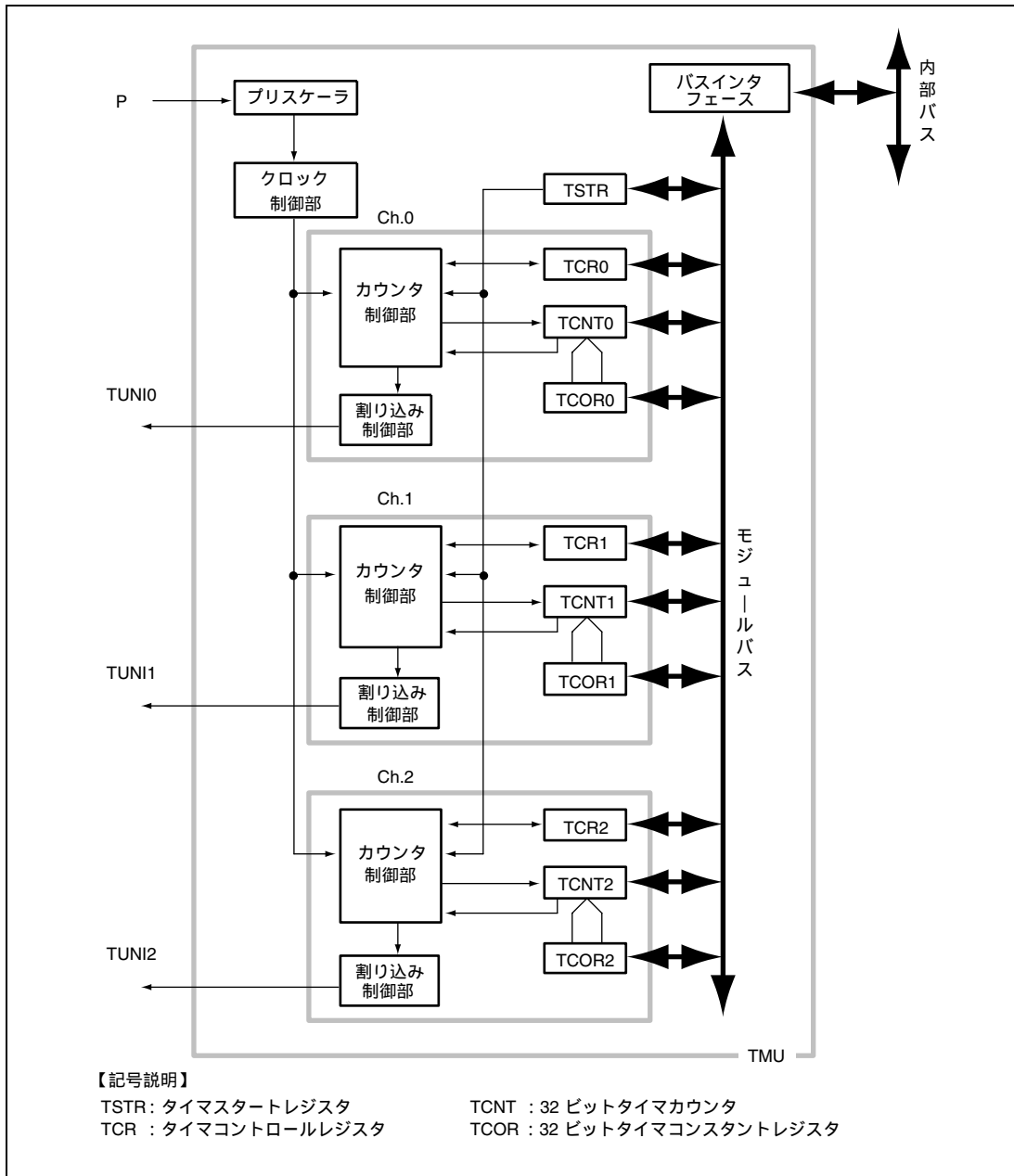


図 14.1 TMU のブロック図

## 14.2 レジスタの説明

TMU のレジスタ構成を以下に示します。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- タイマスタートレジスタ (TSTR)
- タイマコンスタントレジスタ0 (TCOR0)
- タイマカウンタ0 (TCNT0)
- タイマコントロールレジスタ0 (TCR0)
- タイマコンスタントレジスタ1 (TCOR1)
- タイマカウンタ1 (TCNT1)
- タイマコントロールレジスタ1 (TCR1)
- タイマコンスタントレジスタ2 (TCOR2)
- タイマカウンタ2 (TCNT2)
- タイマコントロールレジスタ2 (TCR2)

### 14.2.1 タイマスタートレジスタ (TSTR)

TSTR は、チャンネル 0~2 のタイマカウンタ (TCNT) を動作させるか、停止させるかを選択します。

TSTR は、読み出しまたは書き込み可能な 8 ビットのレジスタです。パワーオンリセットおよびマニュアルリセット時は H'00 に初期化されます。スタンバイモード時に PLL1 の通倍率を変更したとき、および STBCR の MSTP2 ビットを 1 に設定したときに初期化されます。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 TCNT2 を動作させるか、停止させるかを選択します。 0 : TCNT2 のカウント動作は停止 1 : TCNT2 はカウント動作
1	STR1	0	R/W	カウンタスタート 1 TCNT1 を動作させるか、停止させるかを選択します。 0 : TCNT1 のカウント動作は停止 1 : TCNT1 はカウント動作
0	STR0	0	R/W	カウンタスタート 0 TCNT0 を動作させるか、停止させるかを選択します。 0 : TCNT0 のカウント動作は停止 1 : TCNT0 はカウント動作

### 14.2.2 タイマコントロールレジスタ (TCR)

TCR は、TCNT の制御および割り込みの制御を行うレジスタです。TMU には、各チャンネルに 1 本ずつ、計 3 本の TCR があります。

TCR は、TCNT のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生を制御し、カウンタクロックを選択します。

TCR は、読み出しまたは書き込み可能な 16 ビットレジスタです。パワーオンリセットおよびマニュアルリセット時は、H'0000 に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

ビット	ビット名	初期値	R/W	説明
15~9		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8	UNF	0	R/W	アンダフローフラグ TCNT のアンダフローを示すフラグです。 0 : TCNT がアンダフローを起こしていないことを示します。 【クリア条件】 UNF に 0 を書き込んだとき 1 : TCNT がアンダフローを起こしたことを示します。 【セット条件】 TCNT がアンダフローを起こしたとき* 【注】 1 を書き込むと、もとの値が保持されます。
7		0	R	リザーブビット
6		0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNT のアンダフローの発生を示すステータスフラグ UNF がセットされたときに割り込み発生を許可するかどうかを制御します。 0 : UNF による割り込み (TUNI) を許可しません。 1 : UNF による割り込み (TUNI) を許可します。
4		0	R	リザーブビット
3		0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	TPSC2	0	R/W	タイムプリスケラ 2~0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。
0	TPSC0	0	R/W	000 : P /4 でカウント 001 : P /16 でカウント 010 : P /64 でカウント 011 : P /256 でカウント 100 : 予約 (設定不可) 101 : 予約 (設定不可) 110 : 予約 (設定不可) 111 : 予約 (設定不可)



### 14.2.3 タイマコンスタントレジスタ (TCOR)

TCOR は、各チャンネルに 1 本ずつ、TMU に計 3 本あります。TCOR は、TCNT のアンダフローが発生したとき、TCNT カウンタにセットする値を指定します。

TCOR は、読み出しましたは書き込み可能な 32 ビットレジスタです。パワーオンリセットおよびマニュアルリセット時は、H'FFFFFFF に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

### 14.2.4 タイマカウンタ (TCNT)

TCNT は、各チャンネルに 1 本ずつ、TMU に計 3 本あります。TCNT は、入力したクロックにより、カウントダウン動作を行います。入力するクロックは、TCR の TPSC2 ~ TPSC0 ビットにより選択します。

TCNT のカウントダウン動作の結果、アンダフロー (H'00000000 H'FFFFFFF) が発生すると、対応するチャンネルの TCR のアンダフローフラグ (UNF) がセットされます。また、同時に TCNT カウンタ自体には、TCOR の値がセットされ、セットされた値からカウントダウン動作を続けます。

パワーオンリセットおよびマニュアルリセット時は、H'FFFFFFF に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

## 14.3 動作説明

各チャンネルには、32 ビットの TCNT と 32 ビットの TCOR があります。TCNT は、ダウンカウント動作を行います。オートリロード機能によって周期カウント動作、または外部イベントカウント動作が可能です。

### 14.3.1 カウンタの動作

TSTR の STR0 ~ STR2 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。TCNT がアンダフローすると対応する TCR のアンダフローフラグ (UNF) がセットされます。このとき、TCR の UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このとき TCNT には TCOR から値がコピーされ、ダウンカウント動作を継続します。

## (1) カウント動作の設定手順例

カウント動作の設定手順例を図 14.2 に示します。

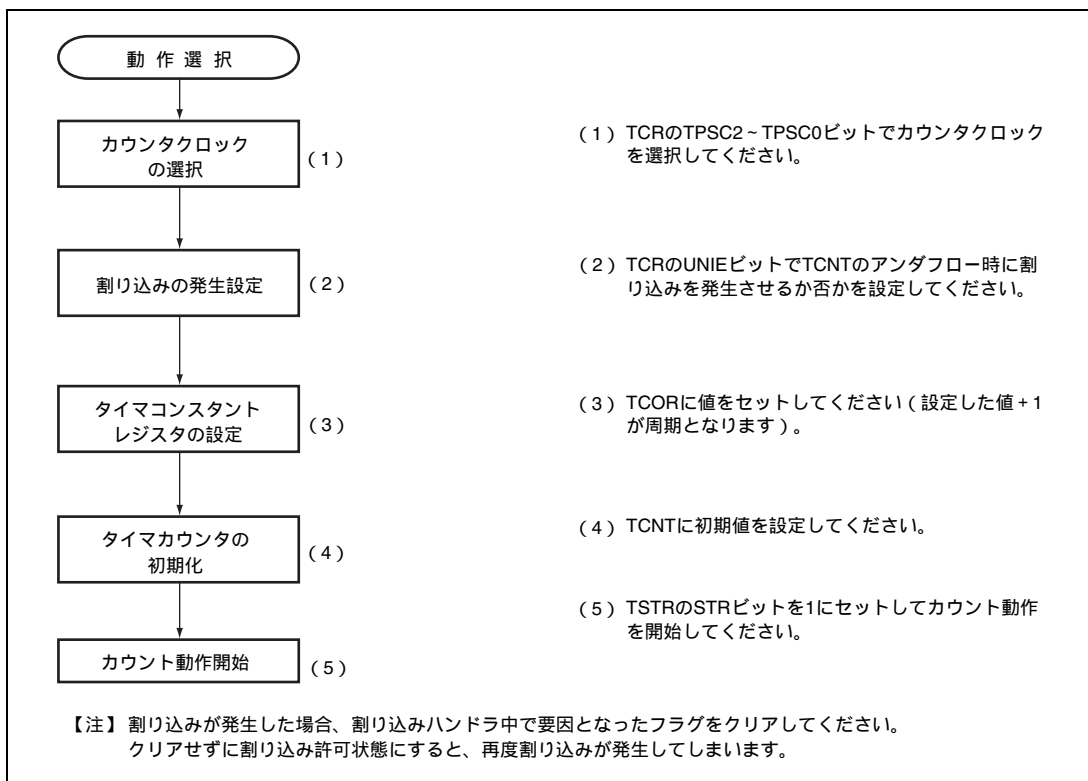


図 14.2 カウント動作設定手順例

## (2) オートリロードカウンタ動作

TCNT のオートリロード動作を、図 14.3 に示します。

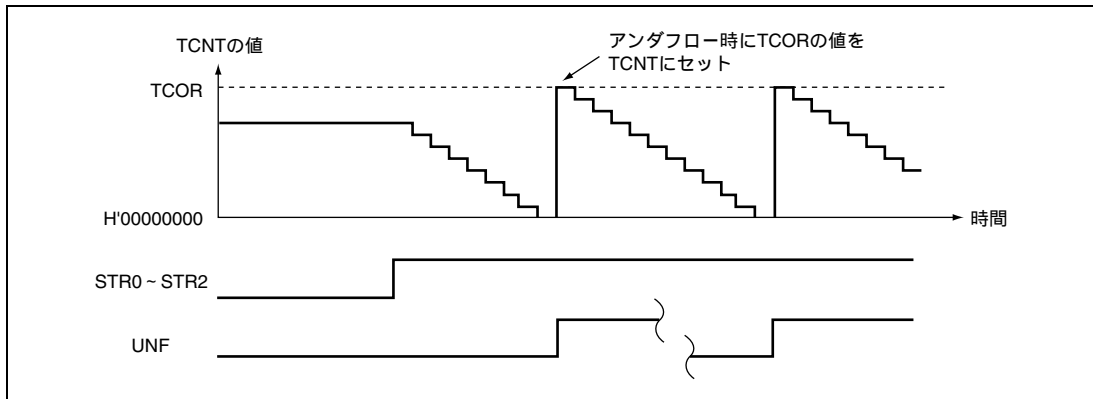


図 14.3 オートリロードカウンタの動作

## (3) TCNT のカウントタイミング

TCR の TPSC2 ~ TPSC0 ビットにより、周辺モジュール用クロックを分周した 4 種類のクロック ( $P/4$ 、 $P/16$ 、 $P/64$ 、および  $P/256$ ) が選択できます。このときのタイミングを図 14.4 に示します。

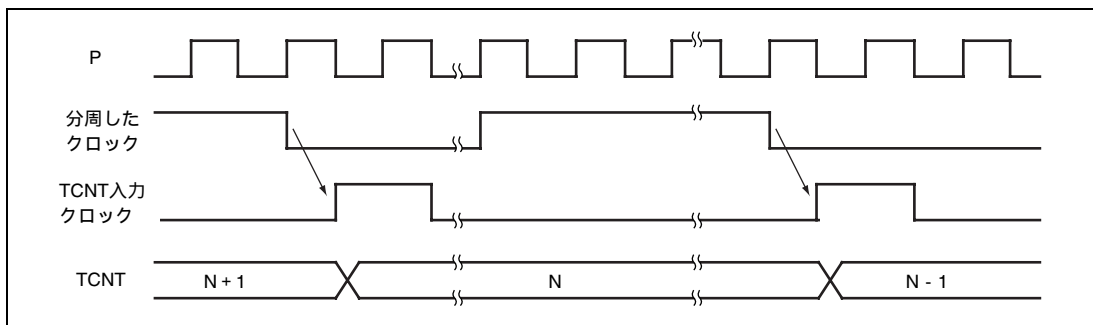


図 14.4 内部クロック動作時のカウントタイミング

## 14.4 割り込み

TMU の割り込み要因は、アンダフロー割り込み (TUNI) です。

### 14.4.1 ステータスフラグのセットタイミング

UNF ビットは、TCNT がアンダフローしたときに 1 にセットされます。このときのタイミングを図 14.5 に示します。

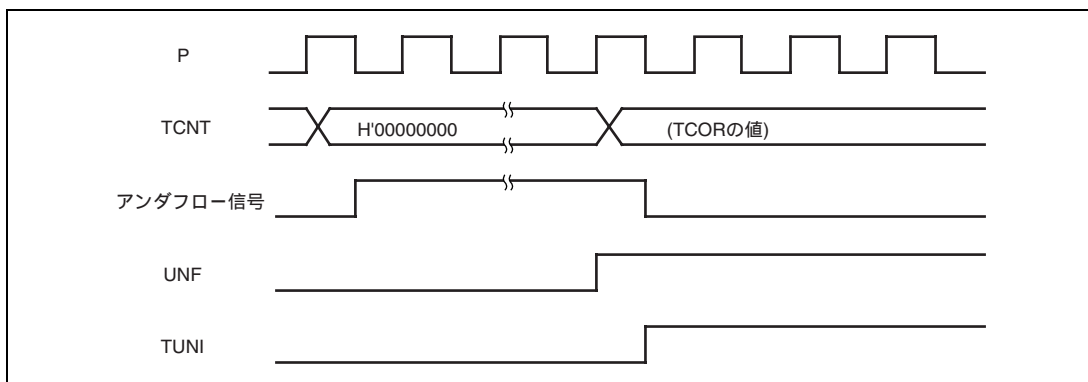


図 14.5 UNF のセットタイミング

### 14.4.2 ステータスフラグのクリアタイミング

ステータスフラグは、CPU から 0 を書き込むとクリアされます。このときのタイミングを図 14.6 に示します。

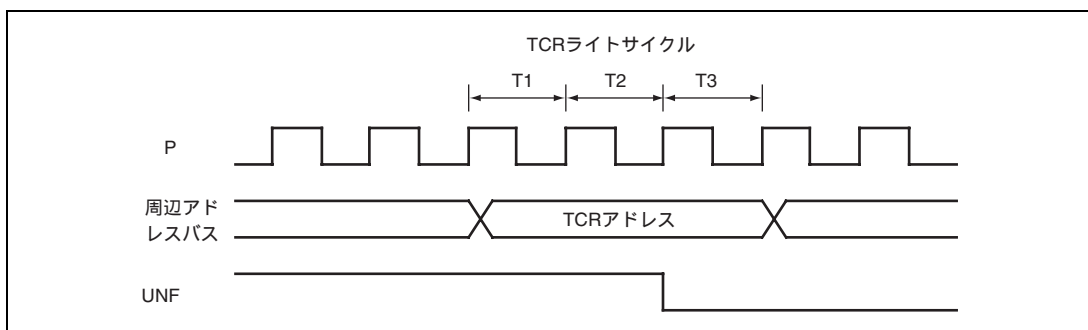


図 14.6 ステータスフラグのクリアタイミング

### 14.4.3 割り込み要因と優先順位

TMU は、各チャンネルごとにアンダフロー割り込みを発生します。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき、当該割り込みが要求されます。これらの割り込みは、割り込み事象レジスタ (INTEVT2) にコードがセットされますので、そのコードに従って割り込み処理を行ってください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は、「第 4 章 例外処理」および「第 8 章 割り込みコントローラ (INTC)」を参照してください。

TMU の割り込み要因を表 14.1 に示します。

表 14.1 TMU の割り込み要因

チャンネル	割り込み要因	内 容	優先順位
0	TUNI0	アンダフロー割り込み 0	高 ↑ ↓ 低
1	TUNI1	アンダフロー割り込み 1	
2	TUNI2	アンダフロー割り込み 2	

## 14.5 使用上の注意事項

### 14.5.1 レジスタの書き込みについて

レジスタの書き込み時に、タイマのカウント動作の同期処理は行っておりません。レジスタの書き込みの際には、必ず TSTR の該当チャンネルのスタートビット (STR2~STR0) をクリアして、タイマのカウント動作を停止させてください。

### 14.5.2 レジスタの読み出しについて

レジスタの読み出し時に、タイマのカウント動作との同期処理を行っています。タイマカウント動作とレジスタの読み込み処理が同時に行われた場合は、同期処理により TCNT のカウントダウン動作前の値が読み出されません。



---

## 15. リアルタイムクロック (RTC)

---

本 LSI は、リアルタイムクロック (RTC) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。RTC のブロック図を図 15.1 に示します。

### 15.1 特長

RTC は、次のような特長を持っています。

- 時計・カレンダー機能 (BCD表示) を搭載
  - 秒、分、時、日、曜日、月、年をカウント可能
- 1~64Hzタイマ (バイナリ表示) を搭載
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み
  - アラーム割り込み条件として、秒、分、時、日、曜日、月、年のおおのどのフレームを比較するか選択可能
- 周期割り込み
  - 割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
  - カウンタの読み出し中に、桁上げ動作が発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

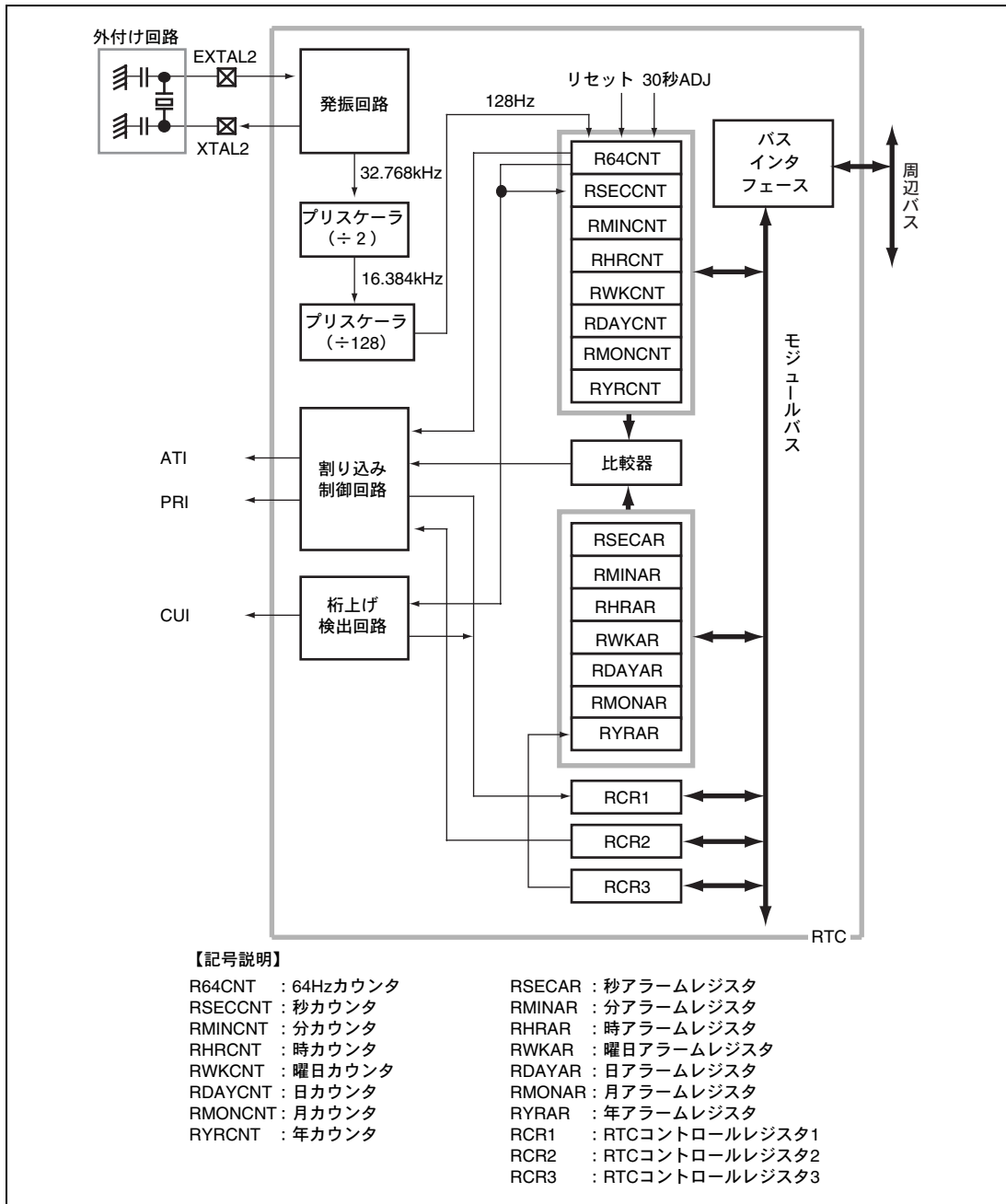


図 15.1 RTC のブロック図



## 15.2 入出力端子

RTC の端子構成を表 15.1 に示します。

表 15.1 端子構成

名称	信号名	入出力	機能
RTC 用発振器水晶端子	EXTAL2	入力	RTC 用発振器に水晶を接続します。*1
RTC 用発振器水晶端子	XTAL2	出力	RTC 用発振器に水晶を接続します。*1
RTC 用電源端子	V <sub>cc</sub> Q-RTC	—	RTC 発振器用電源端子*2
RTC 用 GND 端子	V <sub>ss</sub> Q-RTC	—	RTC 発振器用 GND 端子

【注】 \*1 RTC を使用しない場合は、EXTAL2 はプルアップ (V<sub>cc</sub>Q-RTC)、XTAL2 は NC としてください。

\*2 本 LSI のリアルタイムクロック (RTC) は、RTC 発振器用電源端子 (V<sub>cc</sub>Q-RTC) のみ電源投入しても RTC は動作しません。RTC 用水晶発振回路は V<sub>cc</sub>Q-RTC で動作しますが、それを制御する回路および RTC カウンタが V<sub>cc</sub> 動作 (内部回路と共通) となります。したがって、RTC のみ動作させる場合でも、V<sub>cc</sub>Q-RTC 以外のすべての電源端子に常時給電を行ってご使用ください。

## 15.3 レジスタの説明

RTC には、以下のレジスタがあります。これらのレジスタおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- 64Hz カウンタ (R64CNT)
- 秒カウンタ (RSECCNT)
- 分カウンタ (RMINCNT)
- 時カウンタ (RHRCNT)
- 曜日カウンタ (RWKCNT)
- 日カウンタ (RDAYCNT)
- 月カウンタ (RMONCNT)
- 年カウンタ (RYRCNT)
- 秒アラームレジスタ (RSECAR)
- 分アラームレジスタ (RMINAR)
- 時アラームレジスタ (RHRAR)
- 曜日アラームレジスタ (RWKAR)
- 日アラームレジスタ (RDAYAR)
- 月アラームレジスタ (RMONAR)
- 年アラームレジスタ (RYRAR)
- RTC コントロールレジスタ1 (RCR1)
- RTC コントロールレジスタ2 (RCR2)
- RTC コントロールレジスタ3 (RCR3)

### 15.3.1 64Hz カウンタ (R64CNT)

R64CNT は、分周回路 (RTC プリスケラおよび R64CNT) のうち、64Hz~1Hz の状態を示します。

RCR2 の RESET ビットに 1 をセットするか、RCR2 の ADJ ビットに 1 をセットすると、R64CNT は H'00 に初期化されます。

R64CNT は、読み出しのみ可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~0	—	—	R	64Hz カウンタ 6~0 の各ビットは、分周回路の 64Hz~1Hz の状態を表します。 ビット 対応周波数 6 : 1Hz 5 : 2Hz 4 : 4Hz 3 : 8Hz 2 : 16Hz 1 : 32Hz 0 : 64Hz

### 15.3.2 秒カウンタ (RSECCNT)

RSECCNT は、BCD コード化された秒部分の設定・カウント用のカウンタです。64Hz カウンタの 1 秒ごとのキヤリによってカウント動作を行います。

設定可能範囲は、10 進で 00~59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RSECCNT は、読み出しまたは書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6~4	—	—	R/W	BCD コード化された秒カウンタの 10 の桁 設定可能範囲は、10 進で 0~5 です。
3~0	—	—	R/W	BCD コード化された秒カウンタの 1 の桁 設定可能範囲は、10 進で 0~9 です。

### 15.3.3 分カウンタ (RMINCNT)

RMINCNT は、BCD コード化された分部分の設定・カウント用のカウンタです。秒カウンタの 1 分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00～59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RMINCNT は、読み出しまたは書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6～4	—	—	R/W	BCD コード化された分カウンタの 10 の桁 設定可能範囲は、10 進で 0～5 です。
3～0	—	—	R/W	BCD コード化された分カウンタの 1 の桁 設定可能範囲は、10 進で 0～9 です。

### 15.3.4 時カウンタ (RHRCNT)

RHRCNT は、BCD コード化された時部分の設定・カウント用のカウンタです。分カウンタの 1 時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00～23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RHRCNT は、読み出しまたは書き込み可能な 8 ビットのレジスタで、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5、4	—	—	R/W	BCD コード化された時カウンタの 10 の桁 設定可能範囲は、10 進で 0～2 です。
3～0	—	—	R/W	BCD コード化された時カウンタの 1 の桁 設定可能範囲は、10 進で 0～9 です。

### 15.3.5 曜日カウンタ (RWKCNT)

RWKCNT は、曜日部分の設定・カウント用のカウンタです。日カウンタの1日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で0~6です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行ってください。

RWKCNT は、読み出しまたは書き込み可能な8ビットのレジスタです。パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
2~0	—	—	R/W	BCDコード化された曜日コードのカウンタ 設定範囲は、10進で0~6です。 曜日コード 曜日 0: 日曜日 1: 月曜日 2: 火曜日 3: 水曜日 4: 木曜日 5: 金曜日 6: 土曜日

### 15.3.6 日カウンタ (RDAYCNT)

RDAYCNT は、BCDコード化された日部分の設定・カウント用のカウンタです。時カウンタの1日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で01~31ですが、月ごとおよびうるう年によって変化します。確認の上、設定してください。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行ってください。

RDAYCNT は、読み出しまたは書き込み可能な8ビットのレジスタです。パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7, 6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
5, 4	—	—	R/W	BCDコード化された日カウンタの10の桁 設定可能範囲は、10進で0~3です。
3~0	—	—	R/W	BCDコード化された日カウンタの1の桁 設定可能範囲は、10進で0~9です。

### 15.3.7 月カウンタ (RMONCNT)

RMONCNT は、BCD コード化された月部分の設定・カウント用のカウンタです。日カウンタの月ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01~12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RMONCNT は、読み出しまたは書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	—	—	R/W	BCD コード化された月カウンタの 10 の桁 設定可能範囲は、10 進で 0~1 です。
3~0	—	—	R/W	BCD コード化された月カウンタの 1 の桁 設定可能範囲は、10 進で 0~9 です。

### 15.3.8 年カウンタ (RYRCNT)

RYRCNT は、BCD コード化された年部分の設定・カウント用のカウンタです。西暦の 4 桁を表します。月カウンタの年ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 0000~9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RYRCNT は、読み出しまたは書き込み可能な 16 ビットのレジスタです。パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

年カウンタ値を 4 で割って、端数が 0 の場合をうるう年として判定しています。なお、年カウンタ値 : 0000 をうるう年に含みます。

ビット	ビット名	初期値	R/W	説明
15~12	—	—	R/W	BCD コード化された年カウンタの 1000 の桁 設定可能範囲は、10 進で 0~9 です。
11~8	—	—	R/W	BCD コード化された年カウンタの 100 の桁 設定可能範囲は、10 進で 0~9 です。
7~4	—	—	R/W	BCD コード化された年カウンタの 10 の桁 設定可能範囲は、10 進で 0~9 です。
3~0	—	—	R/W	BCD コード化された年カウンタの 1 の桁 設定可能範囲は、10 進で 0~9 です。

### 15.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、秒カウンタ RSECNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、および RMONAR のおのおののレジスタの ENB ビットと RCR3 の YAEN ビットに 1 がセットされているもののみカウンタとアラームレジスタの比較を行い、おのおのがすべて一致したときに RTC アラーム割り込みを発生します。

秒アラームの設定可能範囲は、10 進で 00~59 です。それ以外の値が設定されると、正常に動作しません。

RSECAR は、読み出しまたは書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RSECAR の残りのフィールドは、初期化されません。マニュアルリセットおよびスタンバイモード時は、内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	秒アラームイネーブル アラーム条件として RSECNT と RSECAR の一致比較を行うかを指定します。 0 : 比較を行わない 1 : 比較を行う
6~4	—	—	R/W	BCD コード化された秒アラーム設定値の 10 の桁 設定可能範囲は、10 進で 0~5 です。
3~0	—	—	R/W	BCD コード化された秒アラーム設定値の 1 の桁 設定可能範囲は、10 進で 0~9 です。

### 15.3.10 分アラームレジスタ (RMINAR)

RMINAR は、分カウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、および RMONAR のおのおののレジスタの ENB ビットと RCR3 の YAEN ビットに 1 がセットされているもののみカウンタとアラームレジスタの比較を行い、おのおのがすべて一致したときに RTC アラーム割り込みを発生します。

分アラームの設定可能範囲は、10 進で 00~59 ビットです。それ以外の値が設定されると、正常に動作しません。

RMINAR は、読み出しまたは書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RMINAR の残りのフィールドは、初期化されません。マニュアルリセットおよびスタンバイモード時は、内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	分アラームイネーブル アラーム条件として RMINCNT と RMINAR の一致比較を行うかを指定します。 0 : 比較を行わない 1 : 比較を行う
6~4	—	—	R/W	BCD コード化された分アラーム設定値の 10 の桁 設定可能範囲は、10 進で 0~5 です。
3~0	—	—	R/W	BCD コード化された分アラーム設定値の 1 の桁 設定可能範囲は、10 進で 0~9 です。

### 15.3.11 時アラームレジスタ (RHRAR)

RHRAR は、時カウンタ RHCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、および RMONAR のおのこのレジスタの ENB ビットと RCR3 の YAEN ビットに 1 がセットされているもののみカウンタとアラームレジスタの比較を行い、おのおのがすべて一致したときに RTC アラーム割り込みを発生します。

時アラームの設定可能範囲は、10 進で 00~23 です。それ以外の値が設定されると、正常に動作しません。

RHRAR は、読み出しまたは書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RHRAR の残りのフィールドは、初期化されません。マニュアルリセットおよびスタンバイモード時は、内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	時アラームイネーブル アラーム条件として RHCNT と RHRAR の一致比較を行うかを指定します。 0 : 比較を行わない 1 : 比較を行う
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	—	—	R/W	BCD コード化された時アラーム設定値の 10 の桁 設定可能範囲は、10 進で 0~2 です。
3~0	—	—	R/W	BCD コード化された時アラーム設定値の 1 の桁 設定可能範囲は、10 進で 0~9 です。

### 15.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、曜日カウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、および RMONAR のおのおののレジスタの ENB ビットと RCR3 の YAEN ビットに 1 がセットされているもののみカウンタとアラームレジスタの比較を行い、おのおのがすべて一致したときに RTC アラーム割り込みを発生します。

曜日の設定可能範囲は、10 進で 0~6 です。それ以外の値が設定されると、正常に動作しません。

RWKAR は、読み出しまたは書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RWKAR レジスタの残りのフィールドは、初期化されません。マニュアルリセットおよびスタンバイモード時は、内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	曜日アラームイネーブル アラーム条件として RWKCNT と RWKAR の一致比較を行うかを指定します。 0 : 比較を行わない 1 : 比較を行う
6~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2~0	—	—	R/W	曜日アラームコード 設定範囲は、10 進で 0~6 です。 曜日コード 曜日 0 : 日曜日 1 : 月曜日 2 : 火曜日 3 : 水曜日 4 : 木曜日 5 : 金曜日 6 : 土曜日



### 15.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、日カウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、および RMONAR のおのおののレジスタの ENB ビットと RCR3 の YAEN ビットに 1 がセットされているもののみカウンタとアラームレジスタの比較を行い、おのおのがすべて一致したときに RTC アラーム割り込みを発生します。

日の設定可能範囲は、10 進で 01~31 です。それ以外の値が設定されると、正常に動作しません。RDAYCNT の設定可能範囲は、月およびうるう年によって変化します。確認の上、設定してください。

RDAYAR は、読み出したり書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RDAYAR の残りのフィールドは、初期化されません。マニュアルリセットおよびスタンバイモード時は、内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	日アラームイネーブル アラーム条件として RDAYCNT と RDAYAR の一致比較を行うかを指定します。 0 : 比較を行わない 1 : 比較を行う
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5、4	—	—	R/W	BCD コード化された日アラーム設定値の 10 の桁 設定可能範囲は、10 進で 0~3 です。
3~0	—	—	R/W	BCD コード化された日アラーム設定値の 1 の桁 設定可能範囲は、10 進で 0~9 です。

### 15.3.14 月アラームレジスタ (RMONAR)

RMONAR は、月カウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、および RMONAR のおのおののレジスタの ENB ビットと RCR3 の YAEN ビットに 1 がセットされているもののみカウンタとアラームレジスタの比較を行い、おのおのがすべて一致したときに RTC アラーム割り込みを発生します。

月の設定可能範囲は、10 進で 01~12 です。それ以外の値が設定されると、正常に動作しません。

RMONAR は、読み出したり書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RMONAR の残りのフィールドは、初期化されません。マニュアルリセットおよびスタンバイモード時は、内容が保持されます。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	月アラームイネーブル アラーム条件として RMONCNT と RMONAR の一致比較を行うかを指定します。 0 : 比較を行わない 1 : 比較を行う
6、5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4	—	—	R/W	BCD コード化された月アラーム設定値の 10 の桁 設定可能範囲は、10 進で 0~1 です。
3~0	—	—	R/W	BCD コード化された月アラーム設定値の 1 の桁 設定可能範囲は、10 進で 0~9 です。

### 15.3.15 年アラームレジスタ (RYRAR)

RYRAR は、年カウンタ RYRCNT に対応するアラームレジスタです。RCR3 の YAEN ビットが 1 にセットされていると、RYRCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR および RMONAR のおのおののレジスタの ENB ビットと RCR3 の YAEN ビットに 1 がセットされているもののみカウンタとアラームレジスタの比較を行い、おのおのがすべて一致したときに RTC アラーム割り込みを発生します。

年アラームの設定可能範囲は、10 進で 0000~9999 です。それ以外の値が設定されると、正常に動作しません。

RYRAR レジスタは、読み出しまたは書き込み可能な 16 ビットのレジスタです。パワーオンリセット、マニュアルリセット、およびスタンバイモード時は、内容が保持されます。

ビット	ビット名	初期値	R/W	説明
15~12	—	—	R/W	BCD コード化された年アラーム設定値の 1000 の桁 設定可能範囲は、10 進で 0~9 です。
11~8	—	—	R/W	BCD コード化された年アラーム設定値の 100 の桁 設定可能範囲は、10 進で 0~9 です。
7~4	—	—	R/W	BCD コード化された年アラーム設定値の 10 の桁 設定可能範囲は、10 進で 0~9 です。
3~0	—	—	R/W	BCD コード化された年アラーム設定値の 1 の桁 設定可能範囲は、10 進で 0~9 です。

### 15.3.16 RTC コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのこのフラグについて、割り込みを発生するかどうか選択できます。読み出しモディファイ書き込み処理は、オペランド読み出し後フラグがセットされる場合があるので使用しないでください。

RCR1 は、読み出しまたは書き込み可能な 8 ビットのレジスタです。パワーオンリセットおよびマニュアルリセット時は、H'00 に初期化されます。ただし、CF フラグは、リセット時に不定になります。CF フラグを使用する場合は、使用前に必ず初期化してください。スタンバイモード時には、初期化されません。

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	桁上げフラグ 桁上げが発生したことを示すフラグです。このフラグが 1 にセットされた場合は、秒カウンタ桁上げ、または 64Hz カウンタ桁上げ時の読み出しが発生したことを示します。この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。 0 : 秒カウンタ桁上げまたは 64Hz カウンタ桁上げなし [クリア条件] CF に 0 をライトしたとき 1 : 秒カウンタ桁上げまたは 64Hz カウンタ桁上げあり [セット条件] 秒カウンタ桁上げ時、64Hz カウンタ桁上げ時の読み出しがあったとき、または CF に 1 をライトしたとき
6	—	0	R	リザーブビット
5	—	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ 桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0 : CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない 1 : CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0 : AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない 1 : AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる
2	—	0	R	リザーブビット
1	—	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
0	AF	0	R/W	<p>アラームフラグ</p> <p>アラームレジスタで設定したアラーム時刻（各アラームレジスタの ENB ビットおよび RCR3 の YAEN ビットに 1 を設定したレジスタのみ）と時計・カレンダーが一致したとき 1 にセットされるフラグです。</p> <p>このフラグは、0 をライトすると 0 にクリアされますが、1 をライトしてもそれまでの値を保持します。</p> <p>0 : アラームレジスタと時計・カレンダーは不一致</p> <p>〔クリア条件〕 AF に 0 をライトしたとき</p> <p>1 : アラームレジスタと時計・カレンダーは一致</p> <p>〔セット条件〕 アラームレジスタと時計・カレンダーが一致したとき (ENB ビットおよび YAEN ビットを 1 に設定したレジスタのみ)</p>

### 15.3.17 RTC コントロールレジスタ 2 (RCR2)

RCR2 は、周期的割り込み制御、30 秒調整用 ADJ、分周回路 RESET、および RTC カウントスタート・ストップ制御に関するレジスタです。

RCR2 は、読み出しまたは書き込み可能な 8 ビットのレジスタです。パワーオンリセット時は H'09 に初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。スタンバイモード時は初期化されず、それまでの値が保持されます。

ビット	ビット名	初期値	R/W	説明
7	PEF	0	R/W	<p>周期割り込みフラグ</p> <p>PES2~PES0 ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合は、周期割り込みを発生します。</p> <p>0 : PES ビットで設定された周期で割り込み発生なし</p> <p>〔クリア条件〕 PEF に 0 をライトしたとき</p> <p>1 : PES ビットで設定された周期で割り込み発生あり</p> <p>〔セット条件〕 PES0~PES2 ビットで設定された周期で割り込み発生があったとき、または、PEF に 1 をライトしたとき</p>
6	PES2	0	R/W	<p>割り込み周期</p> <p>周期割り込みの周期を設定します。</p> <p>000 : 周期割り込み発生なし</p> <p>001 : 周期割り込み発生の周期を 1/256 秒ごとにする</p> <p>010 : 周期割り込み発生の周期を 1/64 秒ごとにする</p> <p>011 : 周期割り込み発生の周期を 1/16 秒ごとにする</p> <p>100 : 周期割り込み発生の周期を 1/4 秒ごとにする</p> <p>101 : 周期割り込み発生の周期を 1/2 秒ごとにする</p> <p>110 : 周期割り込み発生の周期を 1 秒ごとにする</p> <p>111 : 周期割り込み発生の周期を 2 秒ごとにする</p>
5	PES1	0	R/W	
4	PES0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	RTCEN	1	R/W	発振器有効 RTC 用水晶発振器の動作を制御します。 0 : RTC 用水晶発振器を停止させる 1 : RTC 用水晶発振器を動作させる
2	ADJ	0	R/W	30 秒調整 ADJ 30 秒調整用であり、1 をライトすることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。なお、このビットをリードすると常に 0 が読み出されます。 0 : 通常の時計動作 1 : 30 秒の調整を行う
1	RESET	0	R/W	リセット 1 をライトすることによって、分周回路 (RTC プリスケアラおよび R64CNT) が初期化されます。なお、このビットをリードすると常に 0 が読み出されます。 0 : 通常の時計動作 1 : 分周回路をリセット
0	START	1	R/W	START ビット カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。 0 : 秒、分、時、日、週、月、年カウンタは停止* 1 : 秒、分、時、日、週、月、年カウンタは通常動作* 【注】* 64Hz カウンタは、RTCEN ビットで停止させない限り動作します

### 15.3.18 RTC コントロールレジスタ (RCR3)

RCR3 は、RTC の BCD コード化された年部分のカウンタ RYRCNT と年アラームレジスタ RYRAR との比較制御に関するレジスタです。

RCR3 レジスタは、読み出しましたは書き込み可能な 8 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明
7	YAEN	0	R/W	年アラームイネーブル (YAEN) 本ビットが 1 に設定されると、年アラームレジスタ (RYRAR) と年カウンタ (RYRCNT) との比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、および RMONAR 各レジスタのうち ENB ビットが 1 にセットされているもののみカウンタとアラームレジスタの比較を行い、おのおのがすべて一致したときに RTC 割り込みを発生します。
6~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 としてください。

## 15.4 動作説明

### 15.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

### 15.4.2 時刻設定手順

時計を停止させて時刻を設定する方法を図 15.2 に示します。

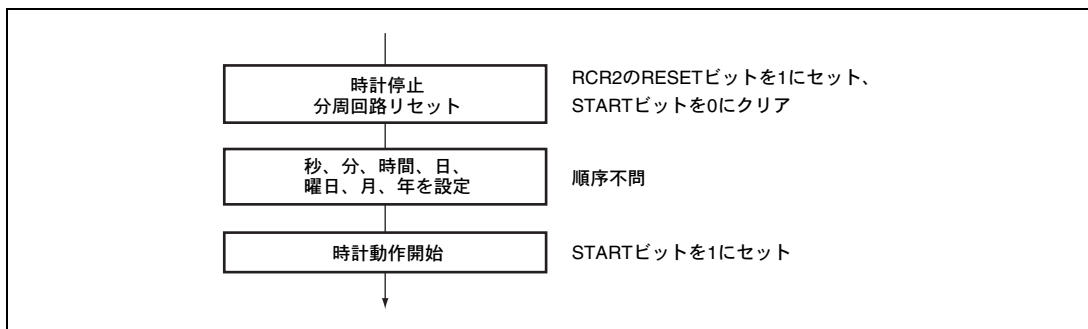


図 15.2 時刻設定手順

### 15.4.3 時刻読み出し手順

時刻読み出し手順を図 15.3 に示します。

時刻読み出し期間中に桁上げが起こると正しい時刻が得られないため、再読み出しする必要があります。割り込みを使用しない方法を (a) に、割り込みを使用する方法を (b) に示します。通常、プログラムの簡素化のため割り込みを使用しない方法を採用します。

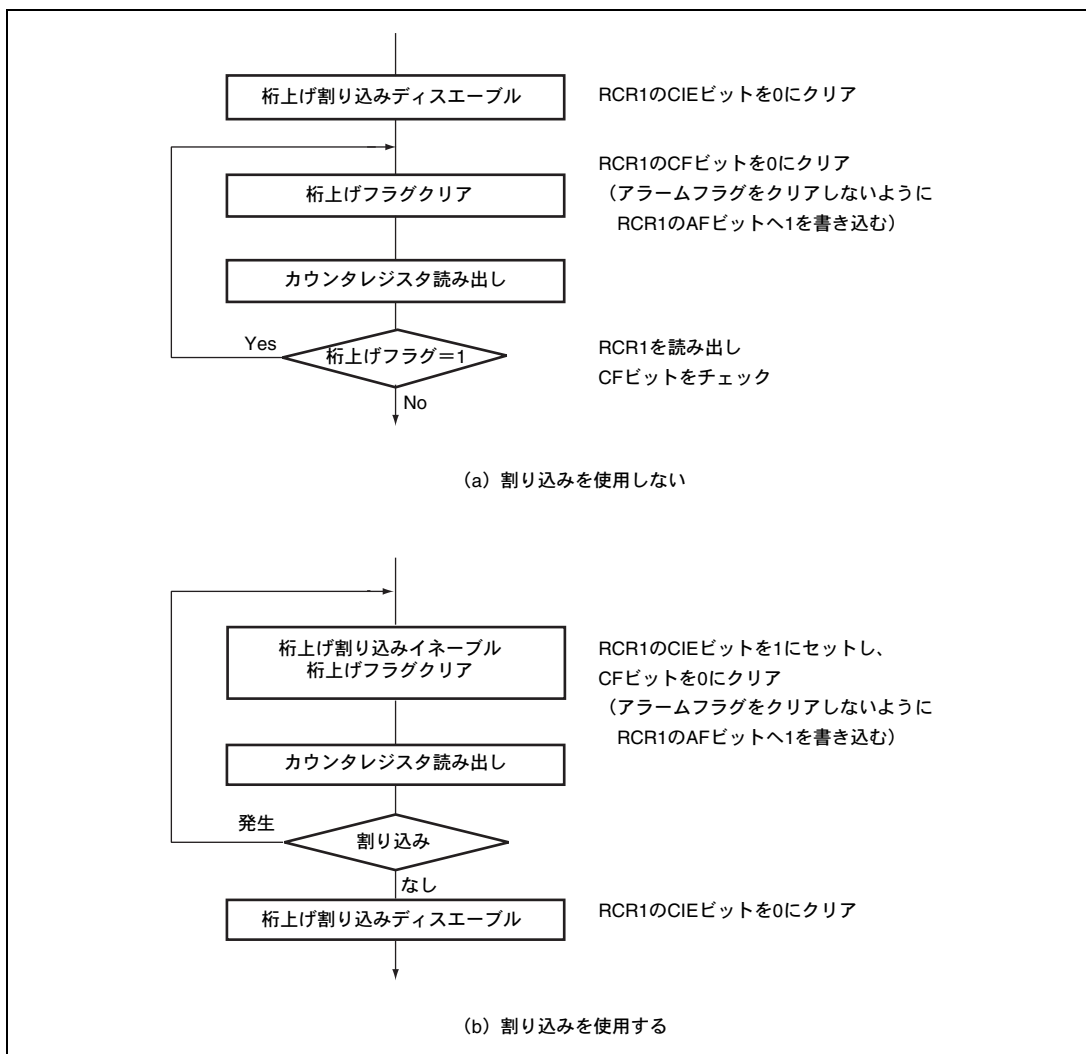


図 15.3 時刻読み出し手順

#### 15.4.4 アラーム機能

アラーム機能の使用方法を図 15.4 に示します。

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするレジスタは、ENB ビットもしくは YAEN ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに 0 を書き込みます。

時計とアラーム時刻が一致した場合は、RCR1 の AF ビットに 1 がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込み機能を使用します。RCR1 の AIE ビットに 1 を書き込んでおけば、アラーム時にアラーム割り込みが発生し、検出することができます。

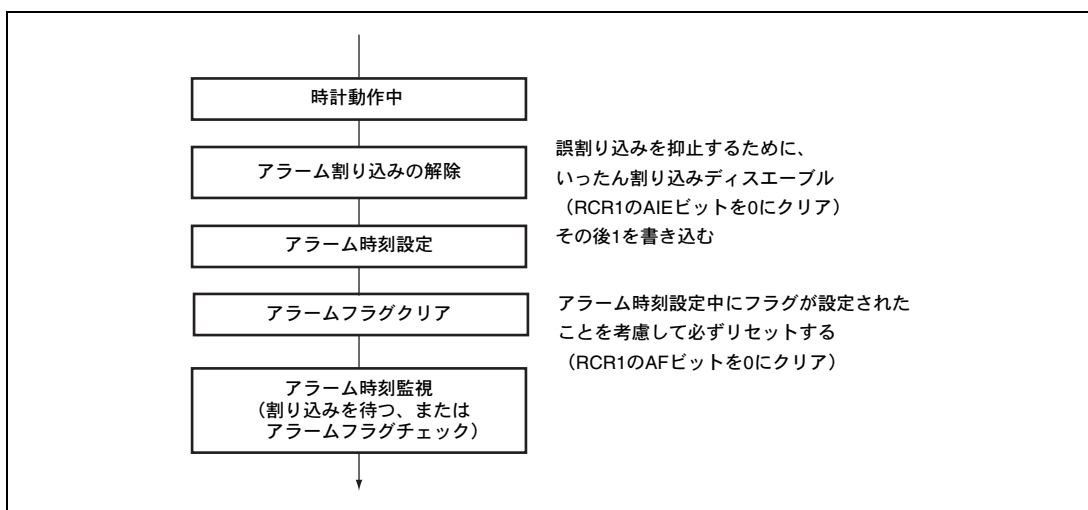


図 15.4 アラーム機能の使用方法



### 15.4.5 水晶発振回路

水晶発振回路の各定数（推奨値）を表 15.2 に、RTC 用水晶発振回路を図 15.5 に示します。

表 15.2 推奨発振回路の定数（推奨値）

$f_{osc}$	$C_{in}$	$C_{out}$
32.768kHz	10~22pF	10~22pF

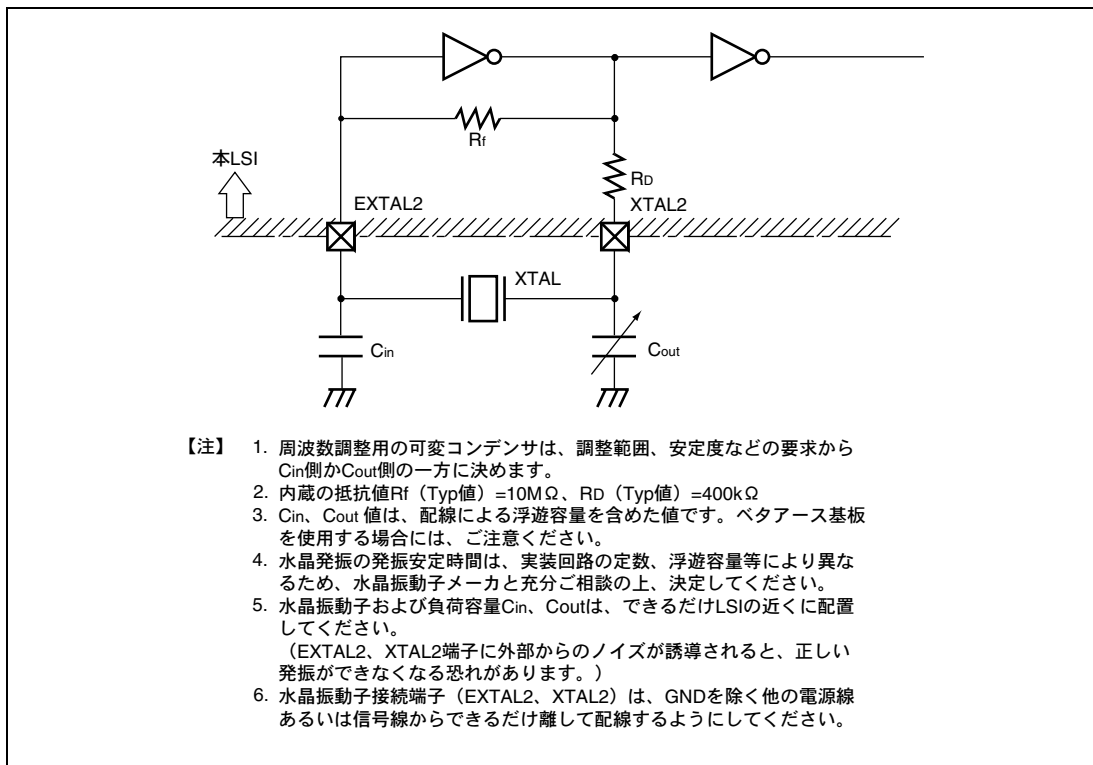


図 15.5 水晶発振回路接続例

## 15.5 使用上の注意事項

### 15.5.1 RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時は (RCR2 のビット 0=1 のときは)、以下の RTC のレジスタに書き込みができません。  
RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT

上記のレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

### 15.5.2 リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込み機能の使用方法を図 15.6 に示します。

周期割り込みは、RCR2 の PES0～PES2 で設定した周期で定期的に割り込みを発生させることができます。PES0～PES2 で設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES0～PES2 設定時および周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

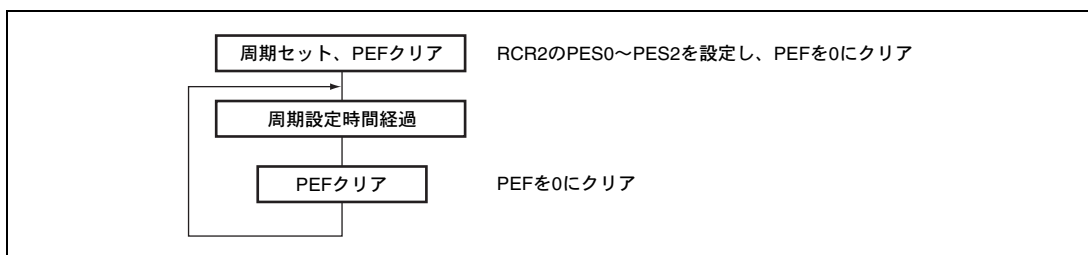


図 15.6 周期割り込み機能の使用方法

### 15.5.3 レジスタ設定後のスタンバイ遷移について

RTC 内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、2RTC クロック以上待ってからスタンバイ状態に遷移してください。

### 15.5.4 RTC 電源に関する注意事項について (1)

本 LSI のリアルタイムクロック (RTC) は、RTC 発振器用電源端子 (VccQ-RTC) のみ電源投入しても RTC は動作しません。RTC 用水晶発振回路は VccQ-RTC で動作しますが、それを制御する回路および RTC カウンタが Vcc 動作 (内部回路と共通) となります。したがって、RTC のみ動作させる場合でも、VccQ-RTC 以外のすべての電源端子に常時給電を行ってご使用ください。

### 15.5.5 RTC 電源に関する注意事項について (2)

本 LSI は、RTC 用発振回路電源端子 (VccQ-RTC) と入出力用電源端子 (VccQ) は、LSI 内部で接続されており、電源分離されておりません。したがって、リアルタイムクロック (RTC) のみを動作させる場合でも、VccQ-RTC を含むすべての電源端子に給電を行ってご使用ください。



---

## 16. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

---

本 LSI は、FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を 2 チャンネル内蔵しています。SCIF は、調歩同期式とクロック同期式の 2 方式でシリアル通信ができます。

SCIF は、送受信に FIFO レジスタをおのおの 16 段内蔵しており、効率の良い高速連続通信を行うことができます。図 16.1 に SCIF のブロック図を示します。

### 16.1 特長

SCIF には、次のような特長があります。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 :

フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部および受信部ともに 16 段の FIFO バッファ構造になっていますのでシリアルデータの高速連続送信と連続受信ができます。

- 内蔵ポーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースをポーレートジェネレータからの内部クロックまたはSCIF0CKとSCIF1CK端子からの外部クロックより選択可能
- 送信FIFOデータエンプティ、受信FIFOデータフル、受信エラー、およびブレイクの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるときは、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- モデムコントロール機能 ( $\overline{\text{CTS0/CTS1}}$ 、 $\overline{\text{RTS0/RTS1}}$ ) を内蔵しています。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給をやめて動作を停止させることができます。
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 受信時、タイムアウトエラー (DR) を検出できます。
- トランスミットFIFOデータレジスタ (SCFTDR) とレシーブFIFOデータレジスタ (SCFRDR) は、パワーオンリセットおよびマニュアルリセット時に不定となります。それ以外のレジスタはパワーオンリセットおよびマニュアルリセット時に初期化され、スタンバイモードおよびモジュールスタンバイ時に値は保持されません。

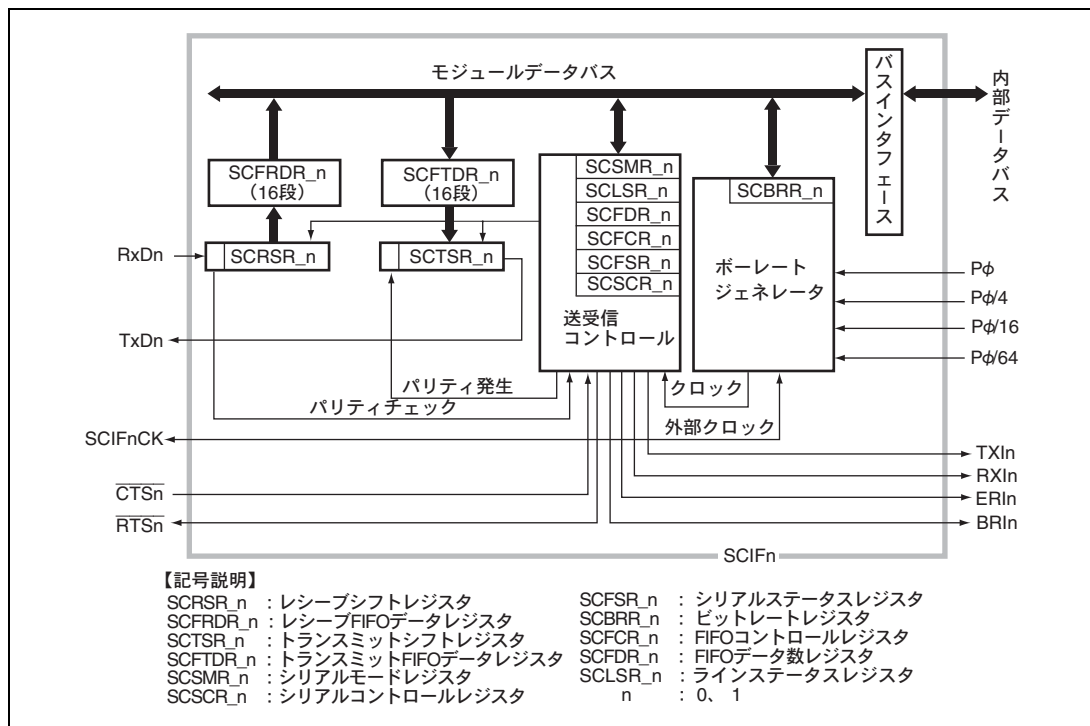


図 16.1 SCIFのブロック図

## 16.2 入出力端子

SCIF の端子構成を表 16.1 に示します。

表 16.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCIF0CK	入出力	クロック入出力
	レシーブデータ端子	RxD0	入力	受信データ入力
	トランスミットデータ端子	TxD0	出力	送信データ出力
	モデムコントロール端子	$\overline{\text{CTS0}}$	入力	送信クリア
	モデムコントロール端子	$\overline{\text{RTS0}}$	出力	送信要求
1	シリアルクロック端子	SCIF1CK	入出力	クロック入出力
	レシーブデータ端子	RxD1	入力	受信データ入力
	トランスミットデータ端子	TxD1	出力	送信データ出力
	モデムコントロール端子	$\overline{\text{CTS1}}$	入力	送信クリア
	モデムコントロール端子	$\overline{\text{RTS1}}$	出力	送信要求

【注】 SCIF の動作設定を SCSMR の  $\overline{\text{C/A}}$  ビット、SCSCR の TE、RE、CKE1、CKE0 ビットおよび SCFCR の MCE ビットで行うことで、シリアル端子として機能します。

## 16.3 レジスタの説明

SCIF には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

### (1) チャンネル 0

- シリアルモードレジスタ\_0 (SCSMR\_0)
- ビットレートレジスタ\_0 (SCBRR\_0)
- シリアルコントロールレジスタ\_0 (SCSCR\_0)
- トランスミットFIFOデータレジスタ\_0 (SCFTDR\_0)
- シリアルステータスレジスタ\_0 (SCFSR\_0)
- レシーブFIFOデータレジスタ\_0 (SCFRDR\_0)
- FIFOコントロールレジスタ\_0 (SCFCR\_0)
- FIFOデータ数レジスタ\_0 (SCFDR\_0)
- ラインステータスレジスタ\_0 (SCLSR\_0)
- レシーブシフトレジスタ\_0 (SCRSR\_0)
- トランスミットシフトレジスタ\_0 (SCTSR\_0)

## (2) チャンネル 1

- シリアルモードレジスタ\_1 (SCSMR\_1)
- ビットレートレジスタ\_1 (SCBRR\_1)
- シリアルコントロールレジスタ\_1 (SCSCR\_1)
- トランスミットFIFOデータレジスタ\_1 (SCFTDR\_1)
- シリアルステータスレジスタ\_1 (SCFSR\_1)
- レシーブFIFOデータレジスタ\_1 (SCFRDR\_1)
- FIFOコントロールレジスタ\_1 (SCFCR\_1)
- FIFOデータ数レジスタ\_1 (SCFDR\_1)
- ラインステータスレジスタ\_1 (SCLSR\_1)
- レシーブシフトレジスタ\_1 (SCRSR\_1)
- トランスミットシフトレジスタ\_1 (SCTSR\_1)

### 16.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタである SCFRDR へ転送されます。

CPU から直接 SCRSR の読み出しまたは書き込みをすることはできません。

### 16.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 段の FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、レシーブ FIFO データレジスタがいっぱいになる 16 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。また、レシーブ FIFO データレジスタに受信データがない状態で読み出した値は、不定値になります。レシーブ FIFO データレジスタ内の受信データがいっぱいになると、以降のシリアルデータは失われます。

SCFRDR は、パワーオンリセットおよびマニュアルリセット時に不定となります。

### 16.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出しまたは書き込みをすることはできません。



### 16.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、SCTSR が空ならば SCFTDR に書き込まれた送信データを SCTSR に転送して、シリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。

SCFTDR 内の送信データが 16 バイトでいっぱいのはきは、次のデータを書き込むことはできません。書き込んだデータは、無視されます。

SCFTDR は、パワーオンリセットおよびマニュアルリセット時に不定となります。

### 16.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定とボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR は、常に CPU による読み出しまたは書き込みが可能です。

SCSMR は、パワーオンリセットおよびマニュアルリセット時に H'0000 に初期化されます。スタンバイモードおよびモジュールスタンバイ時に値は、保持されます。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	C/ $\bar{A}$	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット/8 ビットデータのいずれかから選択します。 クロック同期式モードでは、CHR の設定にかかわらずデータ長は 8 ビットデータ固定です。 0 : 8 ビットデータ 1 : 7 ビットデータ* 【注】* 7 ビットデータを選択した場合は、トランスミット FIFO データレジスタ (SCFTDR) の MSB (ビット 7) は送信されません。

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードのときは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0：パリティビットの付加、およびチェックを禁止 1：パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定し、パリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0：偶数パリティ*<sup>1</sup> 1：奇数パリティ*<sup>2</sup></p> <p>【注】*<sup>1</sup> 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*<sup>2</sup> 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>ストップビットの長さを 1 ビット/2 ビットのいずれかから選択します。STOP ビットの設定は、調歩同期モードでのみ有効になります。クロック同期モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0 : 1 ストップビット*<sup>1</sup></p> <p>1 : 2 ストップビット*<sup>2</sup></p> <p>【注】*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。</p> <p>*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p> <p>なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱います。0 の場合は、次の送信キャラクタのスタートビットとして扱います。</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト 1、0</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00 : Pφ</p> <p>01 : Pφ/4</p> <p>10 : Pφ/16</p> <p>11 : Pφ/64</p>

### 16.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信と受信動作、割り込み要求の許可と禁止、および送信と受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出しまたは書き込みが可能です。

SCSCR は、パワーオンリセットおよびマニュアルリセット時に H'0000 に初期化されます。スタンバイモードおよびモジュールスタンバイ時に、値は保持されます。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル SCFTDR から SCTSR ヘシリアル送信データが転送されて送信 FIFO レジスタ内のデータ数が送信トリガ設定数以下になり、SCFSR の TDFE フラグが 1 にセットされたときの送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可または禁止します。 0: 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止* 1: 送信 FIFO データエンプティ割り込み (TXI) 要求を許可 【注】* TXI 割り込み要求の解除は、SCFTDR に送信トリガ設定数より多い送信データを書き込み TDFE フラグの 1 を読み出した後、0 にクリアするかまたは TIE を 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、および SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブレーク割り込み (BRI) 要求の発生を許可または禁止します。 0: 受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求およびブレーク割り込み (BRI) 要求を禁止* 1: 受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求およびブレーク割り込み (BRI) 要求を許可 【注】* RXI 割り込み要求の解除は、RDF、DR フラグの 1 を読み出した後 0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。 ERI と BRI 割り込み要求の解除は、ER、BRK、および ORER フラグの 1 を読み出した後 0 にクリアするか、RIE と REIE ビットを 0 にクリアすることで行えます。

ビット	ビット名	初期値	R/W	説明
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可または禁止します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* TE ビットを 1 にセットする前に必ず SCSMR、および SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可または禁止します。</p> <p>0 : 受信動作を禁止*<sup>1</sup></p> <p>1 : 受信動作を許可*<sup>2</sup></p> <p>【注】*<sup>1</sup> RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、および ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*<sup>2</sup> RE ビットを 1 にセットする前に必ず SCSMR、および SCFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求およびブ레이크割り込み (BRI) 要求の発生を許可または禁止します。ただし、REIE ビットの設定は、RIE ビットが 0 のときのみ有効です。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の発生を禁止*</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の発生を許可</p> <p>【注】* 受信エラー割り込み (ERI) 要求およびブ레이크割り込み (BRI) 要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後 0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル
0	CKE0	0	R/W	<p>SCIF のクロックソースの選択および SCIFnCK 端子からのクロック出力の許可または禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCIFnCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。ただし、CKE0 ビットの設定は、内部クロック動作 (CKE1=0) のときのみ有効です。外部クロック動作 (CKE1=1) の場合は、CKE0 ビットの設定は無効です。また、SCSMR で SCIF の動作モードを決定する前に必ず CKE1、および CKE0 ビットの設定をしてください。</p> <ul style="list-style-type: none"> <li>調歩同期式モードのとき <ul style="list-style-type: none"> <li>00 : 内部クロック / SCIFnCK 端子は、入力端子 (入力信号は無視)</li> <li>01 : 内部クロック / SCIFnCK 端子は、クロック出力*<sup>2</sup></li> <li>1-*<sup>1</sup> : 外部クロック / SCIFnCK 端子は、クロック入力*<sup>3</sup></li> </ul> </li> <li>クロック同期式モードのとき <ul style="list-style-type: none"> <li>00 : 内部クロック / SCIFnCK 端子は、同期クロック出力</li> <li>01 : 内部クロック / SCIFnCK 端子は、同期クロック出力</li> <li>1-*<sup>1</sup> : 外部クロック / SCIFnCK 端子は、同期クロック入力</li> </ul> </li> </ul> <p>【注】*1 CKE1=1 のとき、CKE0 の値は don't care  *2 ビットレートの 16 倍の周波数のクロックを出力  *3 ビットレートの 16 倍の周波数のクロックを入力</p>

### 16.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は、16 ビット長のレジスタです。下位 8 ビットは SCIF の動作状態を示すステータスフラグを、上位 8 ビットはレシーブ FIFO レジスタ内のデータの受信エラー数を示します。

SCFSR は、常に CPU から読み出しまたは書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、および DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。

また、FER フラグおよび PER フラグは読み出し専用であり、書き込むことはできません。

SCFSR は、パワーオンリセット、およびマニュアルリセット時に H'0060 に初期化されます。スタンバイモード、およびモジュールスタンバイ時に値は、保持されます。

ビット	ビット名	初期値	R/W	説明
15	PER3	0	R	パリティエラー数
14	PER2	0	R	SCFRDR に格納されている受信データでパリティエラーの発生しているデータ数を示します。
13	PER1	0	R	
12	PER0	0	R	SCFSR の ER ビットがセットされた後、ビット 15~12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイトの受信データすべてがパリティエラーをとまなう場合は、PER3~PER0 は 0 を表示します。
11	FER3	0	R	フレーミングエラー数
10	FER2	0	R	SCFRDR に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。
9	FER1	0	R	
8	FER0	0	R	SCFSR の ER ビットがセットされた後、ビット 11~8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイトの受信データすべてがフレーミングエラーをとまなう場合は、FER3~FER0 は 0 を表示します。
7	ER	0	R(W)*	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、またはパリティエラーが発生したことを示します。*1</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表す。</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) ER=1 の状態を読み出した後、0 を書き込んだとき</p> <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表す。</p> <p>[セット条件]</p> <p>(1) 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*2</p> <p>(2) 受信時の受信データとパリティビットを合わせた 1 の数が SCSMR の O/E ビットで指定した偶数/奇数パリティの設定と一致しなかったとき</p> <p>【注】*1 SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出したデータに受信エラーがあるかどうかは、SCFSR の FER および PER ビットで判定できます。</p> <p>*2 ストップレングスが 2 ビットのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し 2 ビット目のストップビットはチェックしません。</p>

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/(W)*	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0：送信中であることを表示</p> <p>[クリア条件]</p> <p>(1) SCFTDR に送信データを書き込み TEND=1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき</p> <p>(2) DMAC で SCFTDR ヘデータを書き込んだとき</p> <p>1：送信を終了したことを表示</p> <p>[セット条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCSCR の TE ビットが 0 のとき</p> <p>(3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR に送信データがないとき</p>
5	TDFE	1	R/(W)*	<p>トランスミット FIFO データエンプティ</p> <p>SCFTDR から SCTSR にデータ転送が行われ、SCFTDR 内のデータ数が SCFCR の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0：SCFTDR に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>[クリア条件]</p> <p>(1) TDFE=1 の状態を読み出した後、SCFTDR に送信トリガ設定数を超える送信データを書き込み、TDFE に 0 を書き込んだとき</p> <p>(2) DMAC で SCFTDR に送信トリガ設定数を超えるデータを書き込んだとき</p> <p>1：SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき*</p> <p><b>【注】</b> * SCFTDR は 16 バイトの FIFO レジスタですので、TDFE=1 で書き込むことができる最大データ数は {16- (送信トリガ設定数)} になります。これより多くデータを書き込んだ場合は、無視されます。また、SCFTDR 内のデータ数は、SCFCR の上位ビットに示されます。</p>



ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/(W)*	<p>ブ레이크検出</p> <p>調歩同期式モードで受信データのブ레이크信号の検出の有無を表示します。</p> <p>0：ブ레이크信号を受信していないことを表す。</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) BRK=1の状態を読み出した後、0を書き込んだとき</p> <p>1：ブ레이크信号を受信したことを表す。*</p> <p>[セット条件]</p> <p>フレーミングエラーをとまなうデータを受信したとき、引き続き1フレーム長以上スペース0（ローレベル）の場合</p> <p>【注】* ブ레이크検出すると検出後の受信データ（H'00）の SCFRDR 転送は、停止します。ブ레이크が終了し受信信号がマーク1に戻ると、受信データの転送が再開します。</p>
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータのフレーミングエラーの有無を表示します。</p> <p>0：次に SCFRDR から読み出す受信データにフレーミングエラーがないことを表す。</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) 次の SCFRDR 読み出しデータにフレーミングエラーなし</p> <p>1：次に SCFRDR から読み出す受信データにフレーミングエラーが発生していることを表す。</p> <p>[セット条件]</p> <p>次の SCFRDR 読み出しデータにフレーミングエラーあり</p>
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータのパリティエラーの有無を表示します。</p> <p>0：次に SCFRDR から読み出す受信データにパリティエラーがないことを表す。</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) 次の SCFRDR 読み出しデータにパリティエラーなし</p> <p>1：次に SCFRDR から読み出す受信データにパリティエラーが発生していることを表す。</p> <p>[セット条件]</p> <p>次の SCFRDR 読み出しデータにパリティエラーあり</p>

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>レシーブ FIFO データフル</p> <p>受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG1 と RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0 : SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表す。</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) RDF=1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき</p> <p>(3) DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき</p> <p>1 : SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表す。</p> <p>[セット条件]</p> <p>SCFRDR に受信トリガ設定数以上の受信データが格納されたとき*</p> <p><b>【注】</b> * SCFRDR は、16 バイトの FIFO レジスタです。RDF=1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は、SCFCR の下位ビットに示されます。</p>
0	DR	0	R/(W)*	<p>レシーブデータレディ</p> <p>調歩同期式モードで SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上、次のデータが来ないことを示します。</p> <p>0 : 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表す。</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) DR=1 を読み出した後、SCFRDR 内の受信データをすべて読み出し、DR に 0 を書き込んだとき</p> <p>(3) DMAC で SCFRDR 内の受信データをすべて読み出したとき</p> <p>1 : 次の受信データが来ないことを表す。</p> <p>[セット条件]</p> <p>SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上次のデータが来ないとき*</p> <p><b>【注】</b> * 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。</p> <p>ETU (Elementary Time Unit : 1 ビットの転送期間の略)</p>

**【注】** \* フラグをクリアするための 0 書き込みのみ可能です。

### 16.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、SCSMR の CKS1 と CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信／受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出しまたは書き込みが可能です。

SCBRR は、パワーオンリセットおよびマニュアルリセット時に H'FF に初期化されます。スタンバイモードおよびモジュールスタンバイ時に値は保持されます。

SCBRR の設定値は、以下の計算式で求められます。

[調歩同期式モード]

$$N = \frac{P\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

[クロック同期式モード]

$$N = \frac{P\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 ( $0 \leq N \leq 255$ )

Pφ : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、表 16.2 を参照してください)

表 16.2 n とクロックの関係

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pφ	0	0
1	Pφ/4	0	1
2	Pφ/16	1	0
3	Pφ/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left( \frac{P\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right) \times 100$$

### 16.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、送信と受信おのこの FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出しまたは書き込みが可能です。

SCFCR は、パワーオンリセットおよびマニュアルリセット時に H'0000 に初期化されます。スタンバイモードおよびモジュールスタンバイ時に値は、保持されます。

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10 9 8	RSTRG2 RSTRG1 RSTRG0	0 0 0	R/W R/W R/W	RTS 出力アクティブトリガ SCFRDR 内に格納された受信データ数が以下に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。 RTS アクティブトリガ 000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14
7 6	RTRG1 RTRG0	0 0	R/W R/W	レシーブ FIFO データ数トリガ SCFSR の RDF フラグをセットする受信データ数を設定するビットです。 SCFRDR 内に格納された受信データ数が以下に示す受信トリガ設定数以上になったとき、RDF フラグをセットします。 調歩同期式モード      クロック同期式モード 00 : 1                      00 : 1 01 : 4                      01 : 2 10 : 8                      10 : 8 11 : 14                     11 : 14

ビット	ビット名	初期値	R/W	説明
5 4	TTRG1 TTRG0	0 0	R/W R/W	<p>トランスミット FIFO データ数トリガ</p> <p>SCFSR の TDFE フラグをセットする残りの送信データ数を設定するビットです。</p> <p>送信動作により SCFTDR 内の送信データ数が以下に示す送信トリガ設定数以下になったとき、TDFE フラグをセットします。</p> <p>00 : 8 (8)</p> <p>01 : 4 (12)</p> <p>10 : 2 (14)</p> <p>11 : 0 (16)</p> <p>【注】 ( ) 内の値は、フラグ発生時の SCFTDR の空き数を示します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 <math>\overline{\text{CTS}}</math>、<math>\overline{\text{RTS}}</math> を有効にします。本ビットは、調歩同期モード時のみ有効です。</p> <p>0 : モデム信号を無効*</p> <p>1 : モデム信号を有効</p> <p>【注】 * <math>\overline{\text{CTS}}</math> は入力値にかかわらず 0 アクティブに、<math>\overline{\text{RTS}}</math> は 0 に固定します。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット</p> <p>トランスミット FIFO データレジスタ内の送信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】 * パワーオンリセットおよびマニュアルリセット時には、リセット動作が行われます。</p>
1	RFRST	0	R/W	<p>レシーブ FIFO データレジスタリセット</p> <p>レシーブ FIFO データレジスタ内の受信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】 * パワーオンリセットおよびマニュアルリセット時には、リセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TxD) と受信入力端子 (RxD)、<math>\overline{\text{RTS}}</math> 端子と <math>\overline{\text{CTS}}</math> 端子を内部で接続し、ループバックテストを可能にします。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

### 16.3.10 FIFO データ数レジスタ (SCFDR)

SCFTDR および SCFRDR 内に格納されているデータ数を示す 16 ビット長のレジスタです。

ビット 12~8 で SCFTDR 内の送信データ数を、ビット 4~0 で SCFRDR 内の受信データ数を示します。

SCFDR は、常に CPU から読み出しが可能です。

SCFDR は、パワーオンリセットおよびマニュアルリセット時に H'0000 に初期化されます。スタンバイモード、およびモジュールスタンバイ時に値は保持されます。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット
14	—	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
13	—	0	R	
12	T4	0	R	SCFDR のビット 12~8 は、SCFTDR 内に格納されている未送信のデータ数を表します。 H'00 は送信データがないことを、H'10 は SCFTDR にいっぱいの送信データが格納されていることを表します。
11	T3	0	R	
10	T2	0	R	
9	T1	0	R	
8	T0	0	R	
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5	—	0	R	
4	R4	0	R	SCFDR のビット 4~0 は、SCFRDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'10 は SCFRDR にいっぱいの受信データが格納されていることを示します。
3	R3	0	R	
2	R2	0	R	
1	R1	0	R	
0	R0	0	R	

### 16.3.11 ラインステータスレジスタ (SCLSR)

SCLSR は、受信時のオーバランエラーの有無を示す 16 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説 明
15~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ORER	0	R(W)*	<p>オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表します。</p> <p>0：受信中、または正常に受信完了したことを表す。*<sup>1</sup></p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時 (2) ORER=1 の状態を読み出した後、0 を書き込んだとき</p> <p>1：受信時にオーバランエラーが発生したことを表す。*<sup>2</sup></p> <p>[セット条件]</p> <p>受信 FIFO フルの状態で次のシリアル受信を完了したとき</p> <p>【注】*<sup>1</sup> SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*<sup>2</sup> SCFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER =1 にセットされた状態で以降のシリアル受信を続けることはできません。</p>

【注】 \* フラグをクリアするための 0 書き込みのみ可能です。

## 16.4 動作説明

### 16.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックに同期してシリアル通信を行うクロック同期式モードをサポートしています。

送受信おのにおに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として  $\overline{RTS}$  と  $\overline{CTS}$  信号を内蔵しています。送受信フォーマットの選択は、SCSMR で行います。これを表 16.3 に示します。また、SCIF のクロックソースは、SCSMR の  $C/\overline{A}$  ビットおよび SCSCR の CKE1 と CKE0 ビットの組み合わせで決まります。これを表 16.4 に示します。

## (1) 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加および1ビット／2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信／受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、レシーブFIFOデータフル、レシーブデータレディ、およびブレイクの検出が可能
- 送受信FIFOレジスタおのおのの格納データ数を表示
- SCIFのクロックソース：内部クロック／外部クロックから選択可能  
内部クロックを選択した場合：  
SCIFはポーレートジェネレータのクロックで動作  
外部クロックを選択した場合：  
ビットレートの16倍の周波数のクロックの入力が必要（内蔵ポーレートジェネレータを使用しない）

## (2) クロック同期式モード

- 送受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出が可能
- SCIFのクロックソース：内部クロック／外部クロックから選択可能  
内部クロックを選択した場合：  
SCIFはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力  
外部クロックを選択した場合：  
内蔵ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 16.3 SCSMR の設定値とシリアル送信／受信フォーマット

SCSMR の設定値				モード	SCIF の送信／受信フォーマット		
ビット7	ビット6	ビット5	ビット3		データ長	パリティ ビット	ストップ ビット長
C/ $\bar{A}$	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8ビットデータ	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1			2ビット	
	1	0	0		7ビットデータ	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1			2ビット	
1	*	*	*	クロック同期式モード	8ビットデータ	なし	なし



表 16.4 SCSMR、SCSCR の設定と SCIF のクロックソースの選択

SCSMR ビット7	SCSCR		モード	クロック ソース	SCIFnCK 端子の機能
	ビット1	ビット0			
	C/ $\bar{A}$	CKE1 CKE0			
0	0	0	調歩同期式 モード	内部	SCIF は SCIFnCK 端子を使用しません
		1			ビットレートの 16 倍の周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式 モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

### 16.4.2 調歩同期式モードのシリアル動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。調歩同期式シリアル通信の一般的なフォーマットを図 16.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ/ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

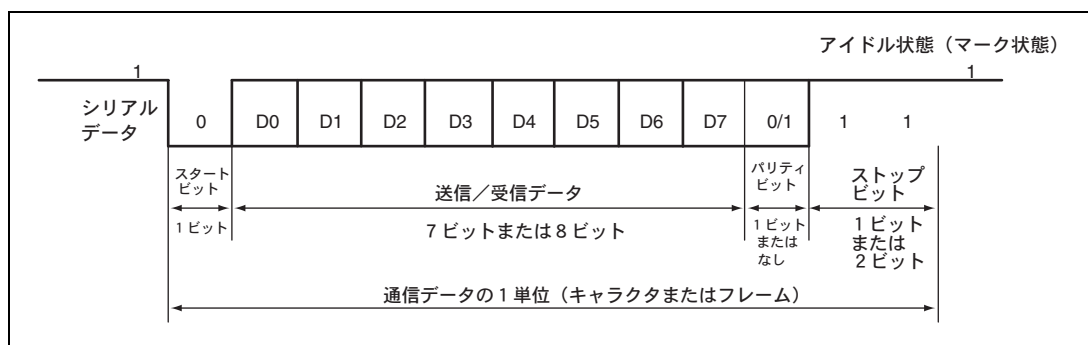


図 16.2 調歩同期式通信のデータフォーマット  
(8ビットデータ/パリティあり/2ストップビットの例)

## (1) 送信/受信フォーマット

設定可能な送信/受信フォーマットを、表 16.5 に示します。送信/受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 16.5 シリアル送信/受信フォーマット

SCSMRの設定			シリアル送信/受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	START   8ビットデータ   STOP											
		1	START   8ビットデータ   STOP										STOP	
	1	0	START   8ビットデータ   P										STOP	
		1	START   8ビットデータ   P										STOP	STOP
1	0	0	START   7ビットデータ   STOP											
		1	START   7ビットデータ   STOP									STOP		
	1	0	START   7ビットデータ   P									STOP		
		1	START   7ビットデータ   P									STOP	STOP	

## (2) クロック

SCIF の送受信クロックは、SCSMR の  $C/\bar{A}$  ビットと SCSCR の CKE1 と CKE0 ビットにより設定します。詳細は、表 16.4 を参照してください。

外部クロックを SCIFnCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください

内部クロックで動作させるとき、SCIFnCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍です。

### (3) データの送信／受信動作

#### (a) SCIF の初期化

データの送信／受信前には、まず SCSCR の TE ビットおよび RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。

通信フォーマットの変更などの場合には、必ず TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると、SCTSR が初期化されます。TE と RE ビットを 0 にクリアしても、SCFSR、SCFTDR、および SCFRDR の内容は保持されますので注意してください。TE ビットの 0 クリアは、送信データをすべて送信し SCFSR の TEND ビットが 1 にセットされた後に行ってください。送信中でも 0 クリア可能ですが、送信中のデータは 0 クリア後、ハイインピーダンス状態になります。また、再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットをいったん 1 にセットして SCFTDR をリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 16.3 に SCIF の初期化フローチャートの例を示します。

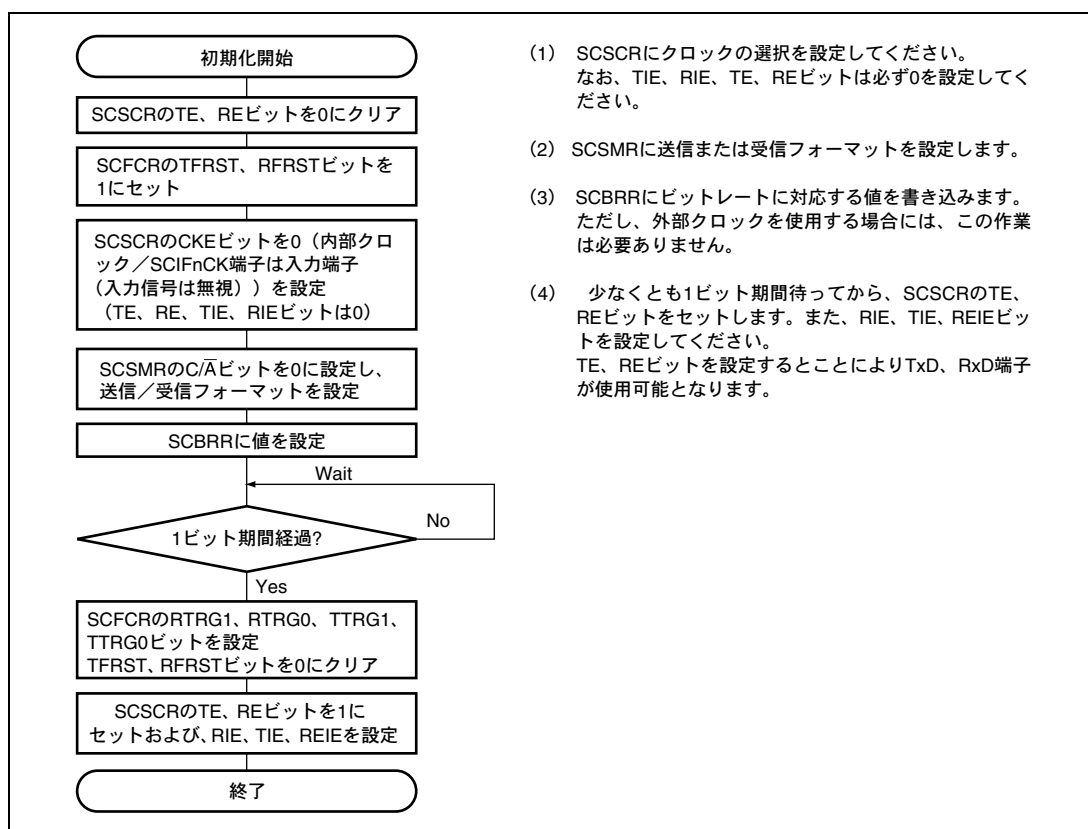
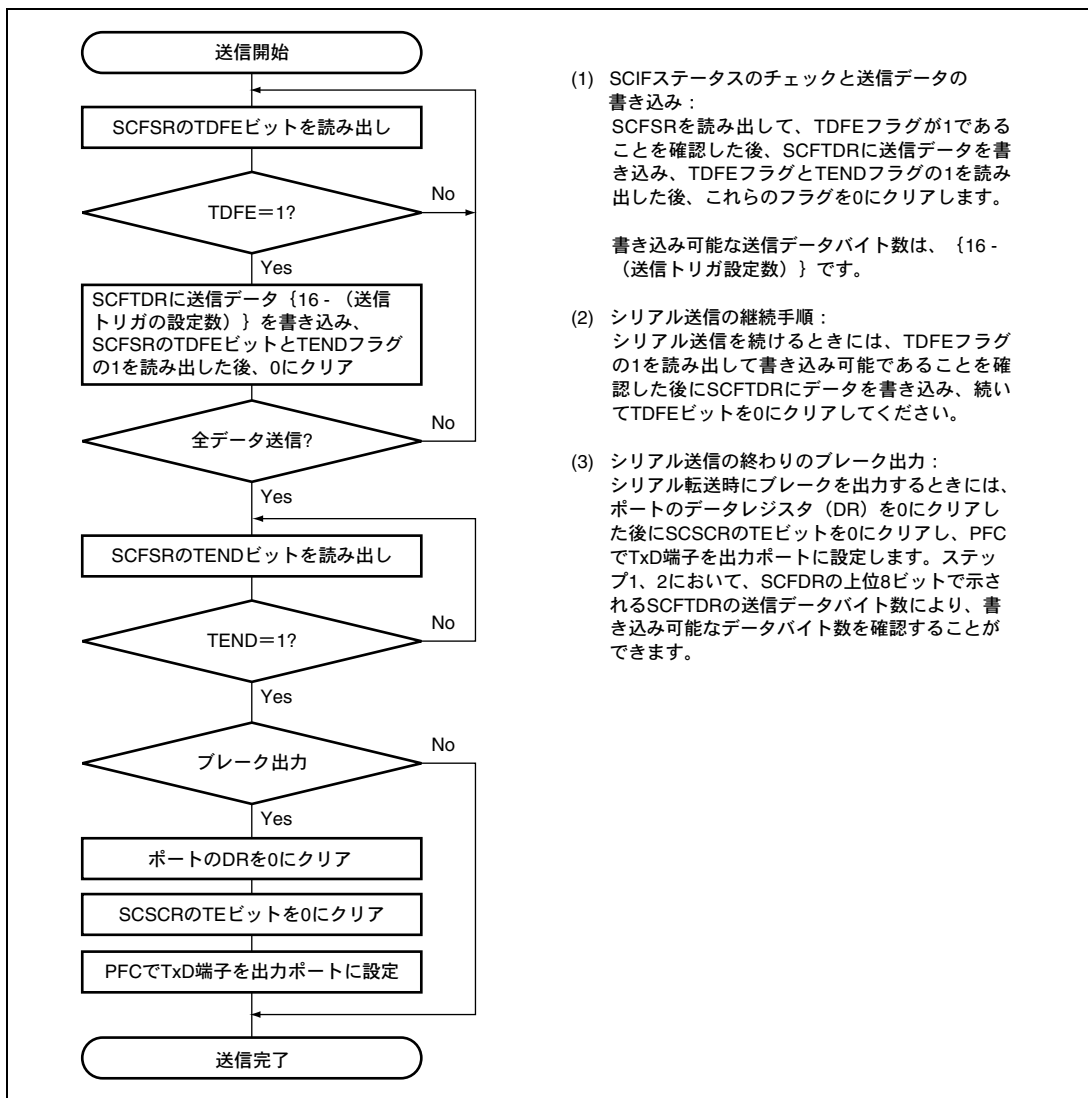


図 16.3 SCIF の初期化フローチャートの例

## (b) シリアルデータ送信

図 16.4 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。



- (1) SCIFステータスのチェックと送信データの書き込み：

SCFSRを読み出して、TDFEフラグが1であることを確認した後、SCFTDRに送信データを書き込み、TDFEフラグとTENDフラグの1を読み出した後、これらのフラグを0にクリアします。

書き込み可能な送信データバイト数は、 $\{16 - (\text{送信トリガ設定数})\}$  です。

- (2) シリアル送信の継続手順：  
シリアル送信を続けるときには、TDFEフラグの1を読み出して書き込み可能であることを確認した後にSCFTDRにデータを書き込み、続いてTDFEビットを0にクリアしてください。
- (3) シリアル送信の終わりのブレイク出力：  
シリアル転送時にブレイクを出力するときには、ポートのデータレジスタ (DR) を0にクリアした後にSCSCRのTEビットを0にクリアし、PFCでTxD端子を出力ポートに設定します。ステップ1, 2において、SCFDRの上位8ビットで示されるSCFTDRの送信データバイト数により、書き込み可能なデータバイト数を確認することができます。

図 16.4 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は、少なくとも {16- (送信トリガ設定数)} 数です。
2. SCFTDRからSCTSRへデータが転送され送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1にセットされていると送信FIFOデータエンブティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
  - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
  - (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。  
なお、パリティビットを出力しないフォーマットも選択できます。
  - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。  
データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。送信データがないとSCFSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 16.5 に示します。

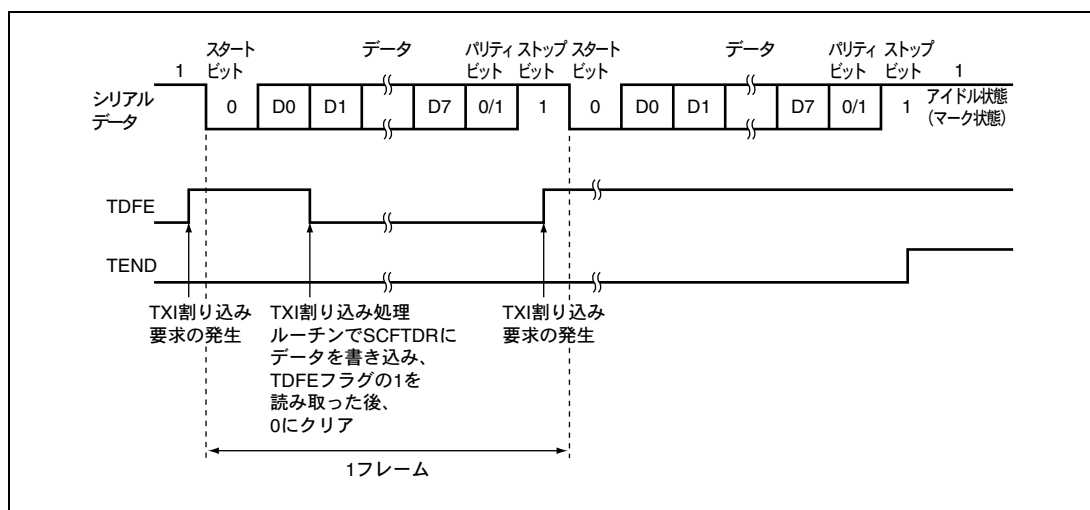


図 16.5 送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

## (c) シリアルデータ受信

図 16.6、図 16.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIF を受信動作可能状態に設定した後、以下の手順に従って行ってください。

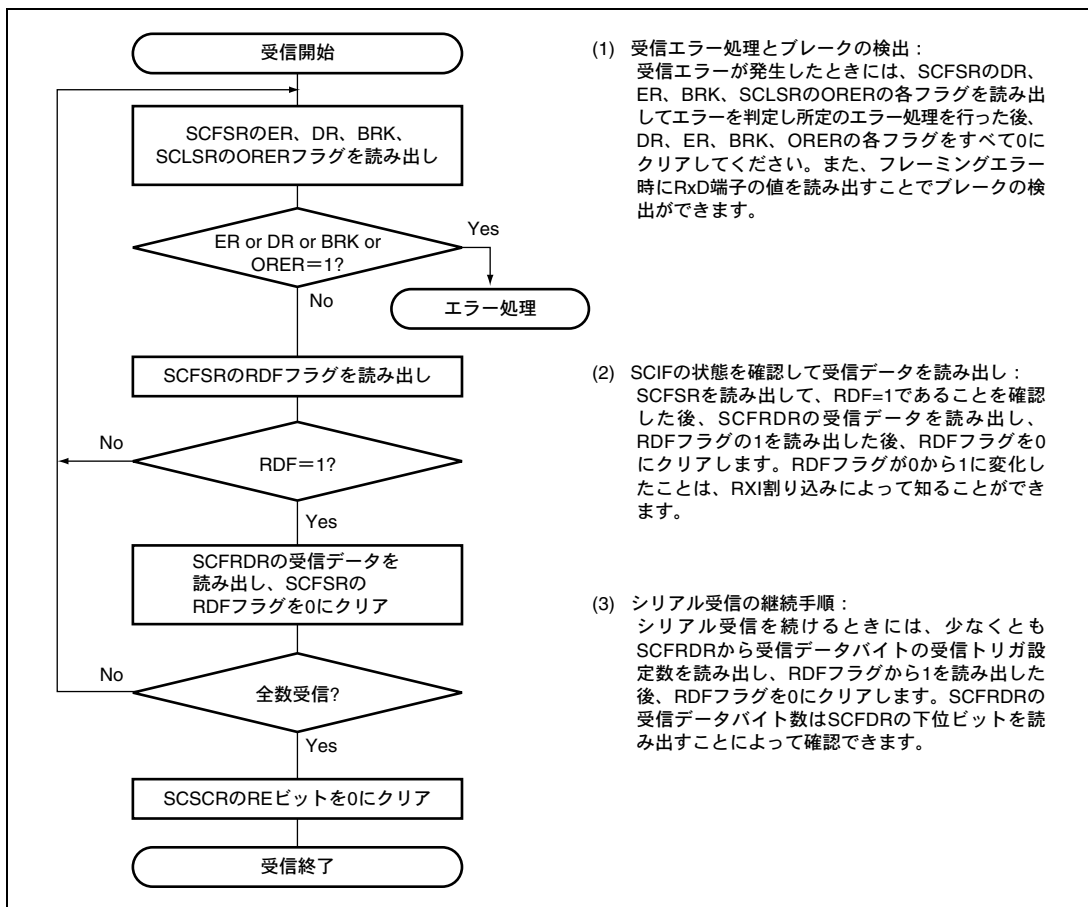


図 16.6 シリアル受信のフローチャートの例 (1)

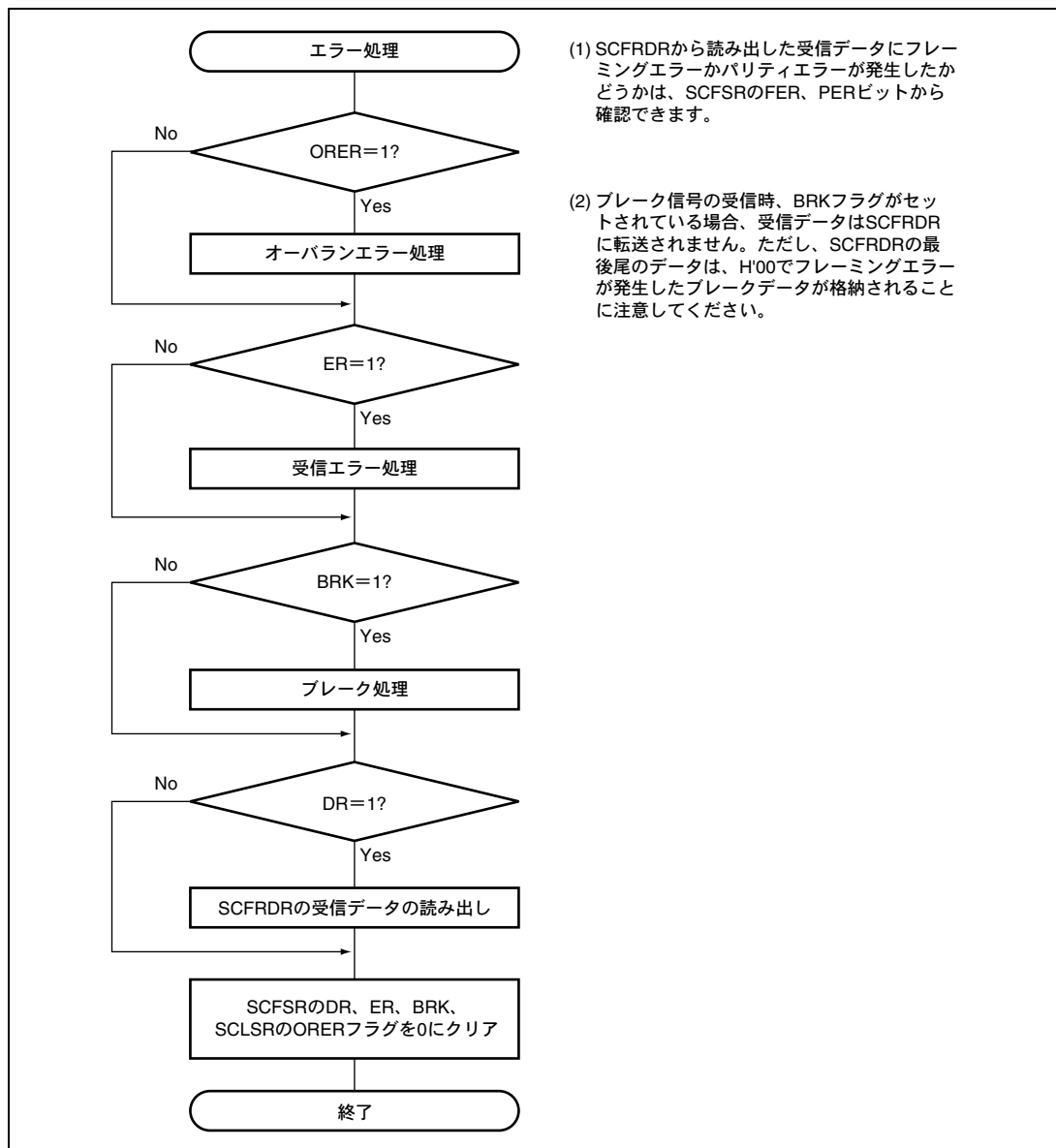


図 16.7 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIFは、以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。  
ただし、2ストップビットの場合は、1ビット目のストップビットのみをチェックします。
- (b) 受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。
- (c) オーバランエラーチェック：ORERフラグが0であり、オーバランエラーが発生していないことをチェックします。
- (d) ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。

以上のチェックがパスしたとき、SCFRDRに受信データが格納されます。

**【注】** 受信エラー（フレーミングエラー／パリティエラー）が発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み（RXI）要求を発生します。

また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み（ERI）要求を発生します。

BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み（BRI）要求を発生します。

調歩同期式モード受信時の動作例を図 16.8 に示します。

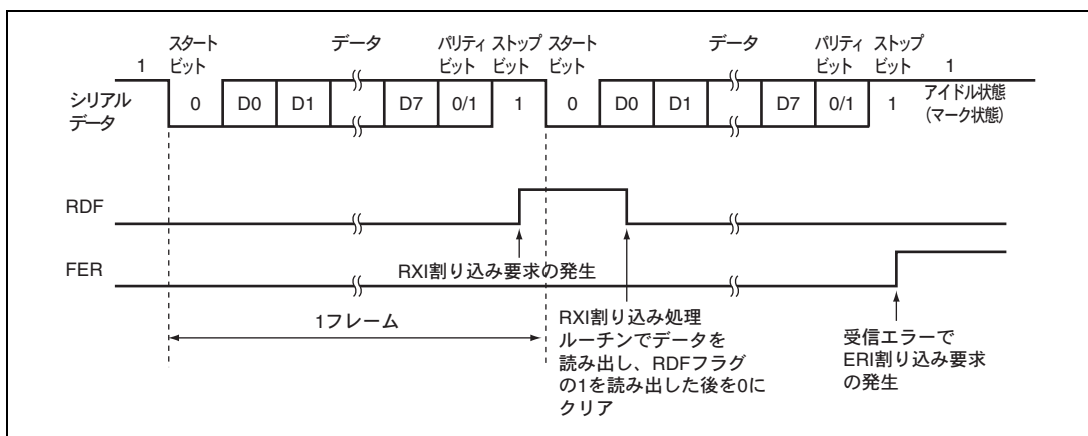
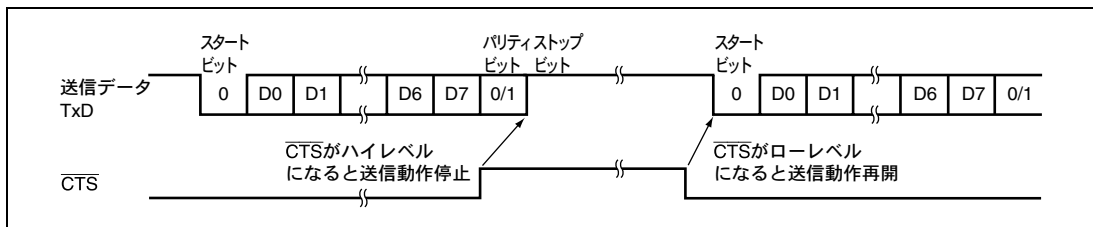


図 16.8 SCIF の受信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

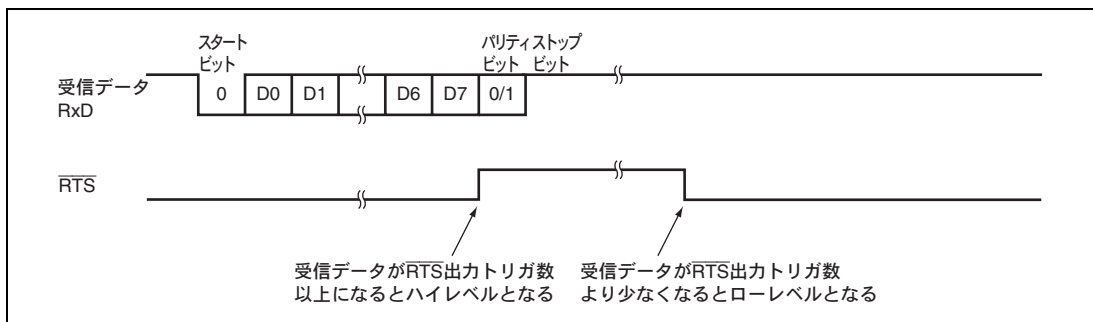


## (d) モデム機能説明

モデム機能を使用した場合、 $\overline{\text{CTS}}$  入力値に応じて送信を停止、再開することができます。 $\overline{\text{CTS}}$  が 1 にセットされると、送信中である場合 1 フレームの送信後マーク状態になります。 $\overline{\text{CTS}}$  が 0 にクリアされると、次の送信データがスタートビットを先頭に出力されます。

図 16.9  $\overline{\text{CTS}}$  制御動作例

モデム機能を使用した場合、受信 FIFO (SCFRDR) が  $\overline{\text{RTS}}$  出力トリガ数以上になったとき、 $\overline{\text{RTS}}$  信号はハイレベルになります。

図 16.10  $\overline{\text{RTS}}$  制御動作例

### 16.4.3 クロック同期式モードのシリアル動作

クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードで、高速シリアル通信に適しています。SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。クロック同期式シリアル通信の一般的なフォーマットを図 16.11 に示します。

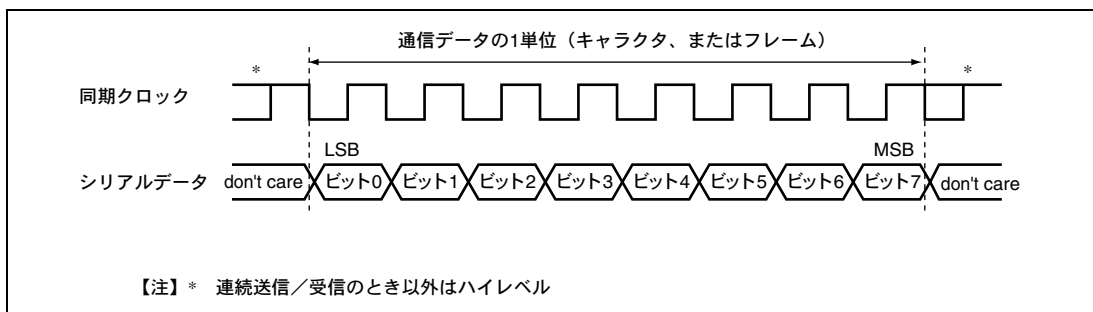


図 16.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態は、MSBの状態を保ちます。

クロック同期式モードでは、SCIFは同期クロックの立ち上がりに同期してデータを受信します。

#### (1) 送信/受信フォーマット

8ビットデータ固定です。

パリティビットの付加はできません。

#### (2) クロック

SCSMRのC/AビットとSCSCRのCKE1とCKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、またはSCIFnCK端子から入力された外部同期クロックのいずれかを使用できます。詳細は、表 16.4を参照してください。

内部クロックで動作させるとき、SCIFnCK端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信または受信を行わないときには、ハイレベルに固定されます。受信動作のみの場合は、内部クロックを選択するとSCSCRのREビットが1の間、受信FIFO内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

## (3) データの送信／受信動作

## (a) SCIF の初期化

データの送信／受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビット 0 にクリアすると SCTSR が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および SCFRDR の内容は保持されますので注意してください。

図 16.12 に SCIF の初期化フローチャート例を示します。

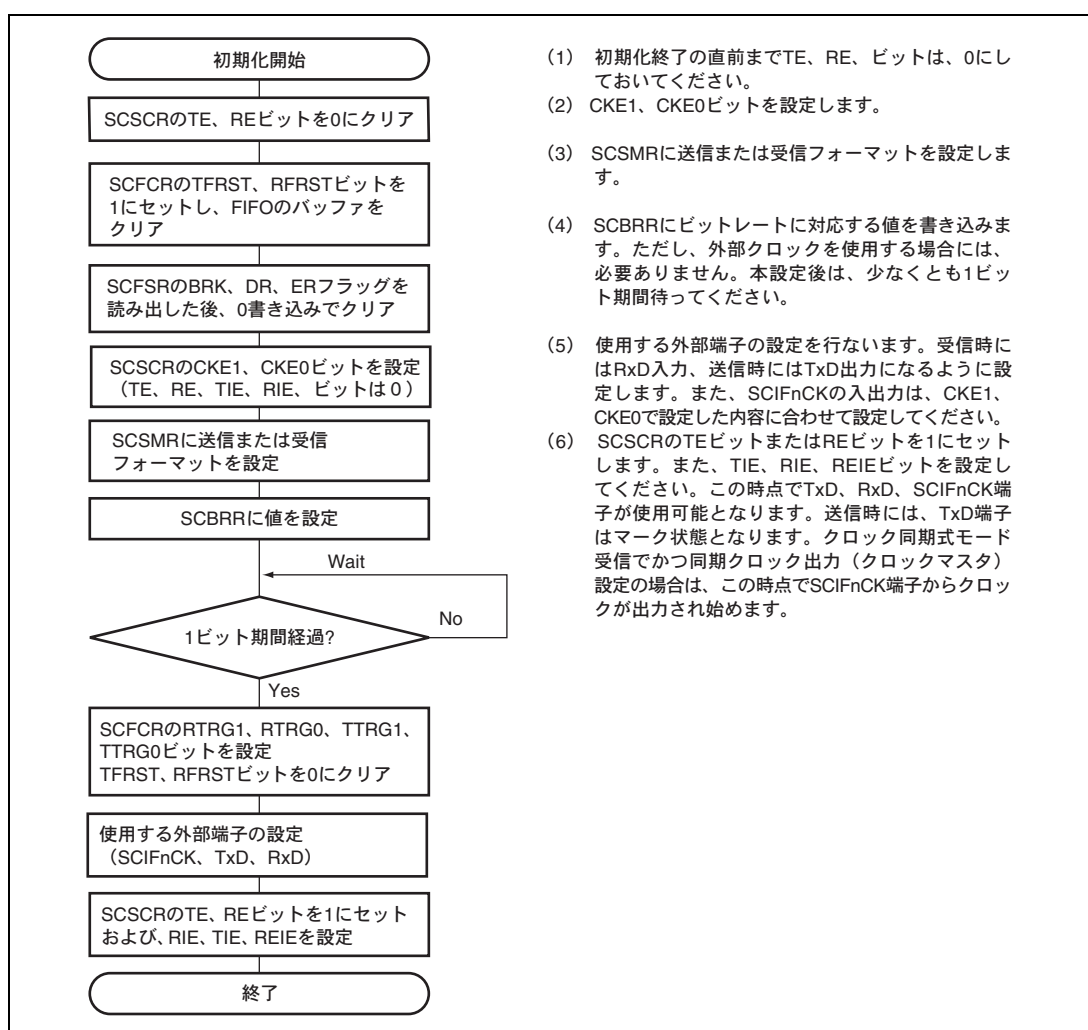


図 16.12 SCIF の初期化フローチャートの例

## (b) シリアルデータ送信

図 16.13 にシリアル送信のフローチャートの例を示します。シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

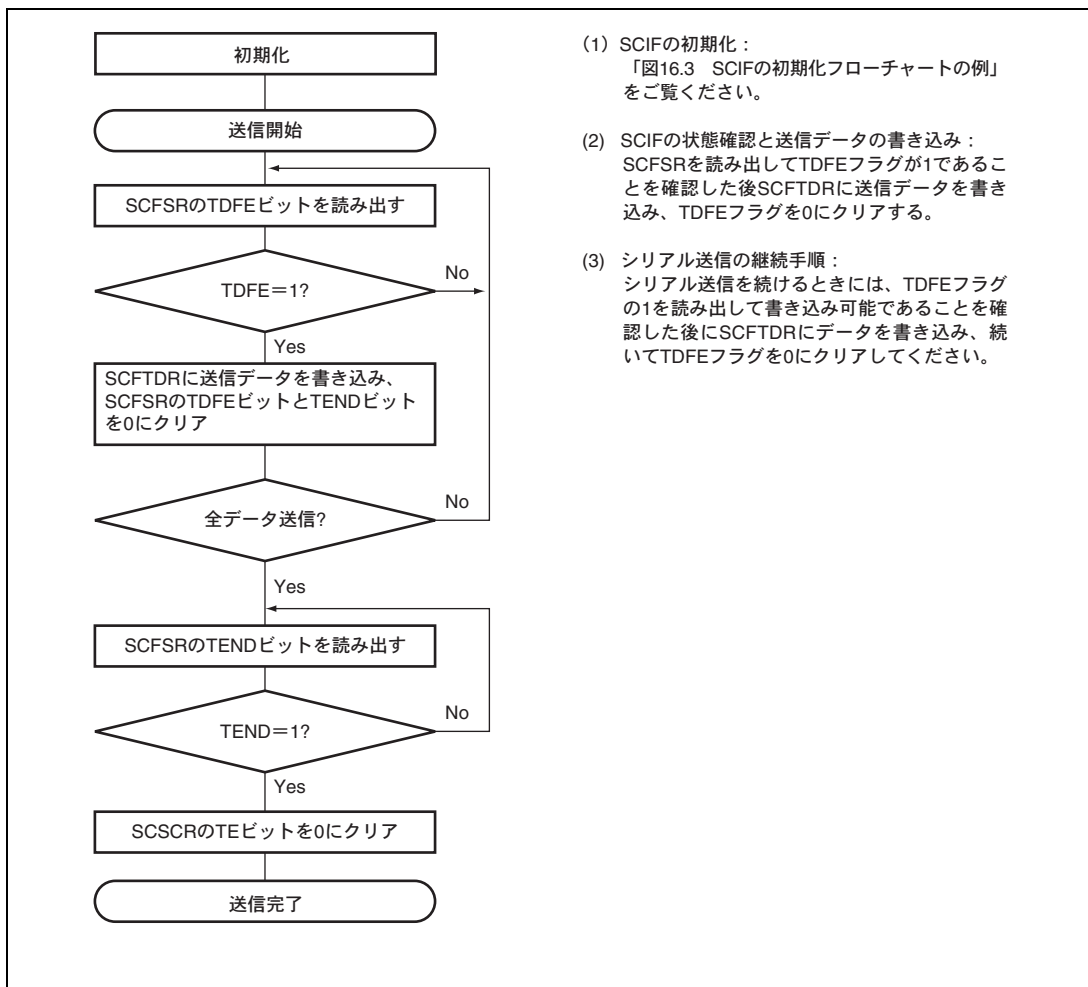


図 16.13 シリアル送信のフローチャートの例

SCIF は、シリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも {16- (送信トリガ設定数)} です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、TDFEフラグをセットします。このときSCSCRのTIEビットが1にセットされていると送信FIFOデータエンブティ割り込み (TXI) 要求を発生します。クロック出力モードに設定したときには、SCIFは1データに対し同期クロック8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSBから順にTxD端子から送り出されます。
3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないとSCFSRのTENDフラグを1にセットし、最終ビットを送り出した後は、TxD端子は状態を保持します。
4. シリアル送信終了後は、SCIFnCK端子はハイレベル固定になります。

図 16.14 に SCIF の送信時の動作例を示します。

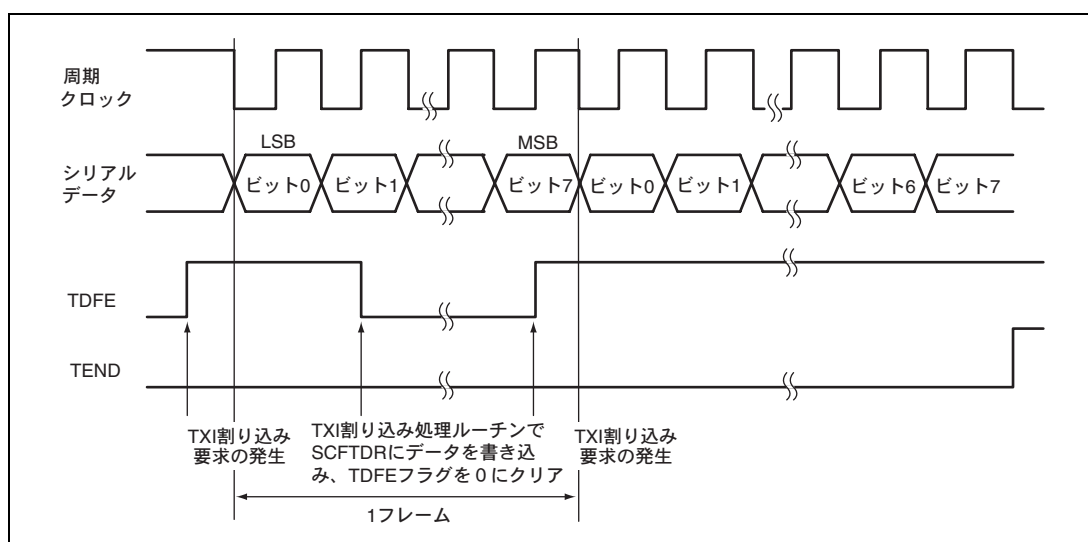


図 16.14 SCIF の送信時の動作例

### (c) シリアルデータ受信

図 16.15、図 16.16 にシリアル受信フローチャートの例を示します。

シリアルデータの受信は、SCIFを受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCIFの初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER3~PER0、FER3~FER0の各フラグが0にクリアされていることを確認してください。

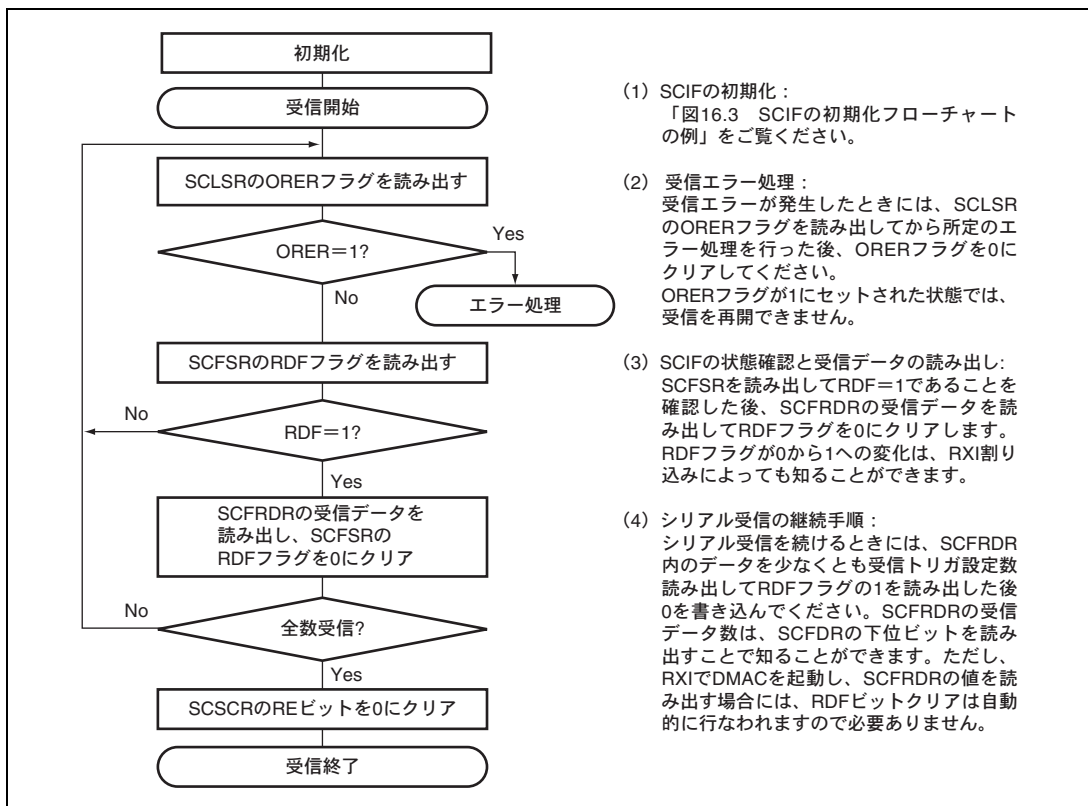


図 16.15 シリアル受信のフローチャートの例

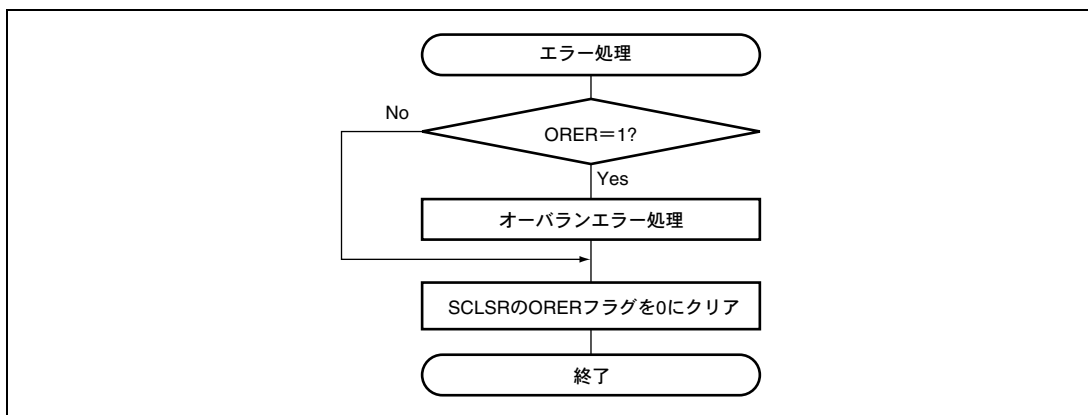


図 16.16 シリアル受信のフローチャートの例

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは、同期クロックの入力または出力に同期して内部を初期化します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。エラーチェックでオーバランエラーを検出すると以後の受信動作ができません。
3. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされているとブレイク割り込み (BRI) 要求を発生します。

図 16.17 に SCIF の受信時の動作例を示します。

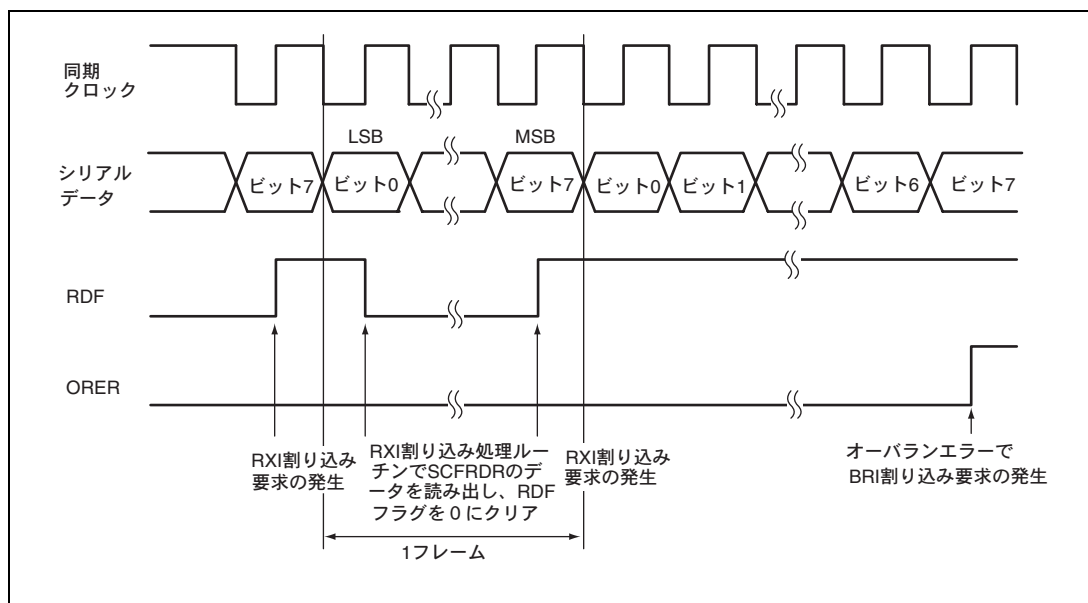


図 16.17 SCIF の受信時の動作例

## (d) シリアルデータ送受信同時動作

図 16.18 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

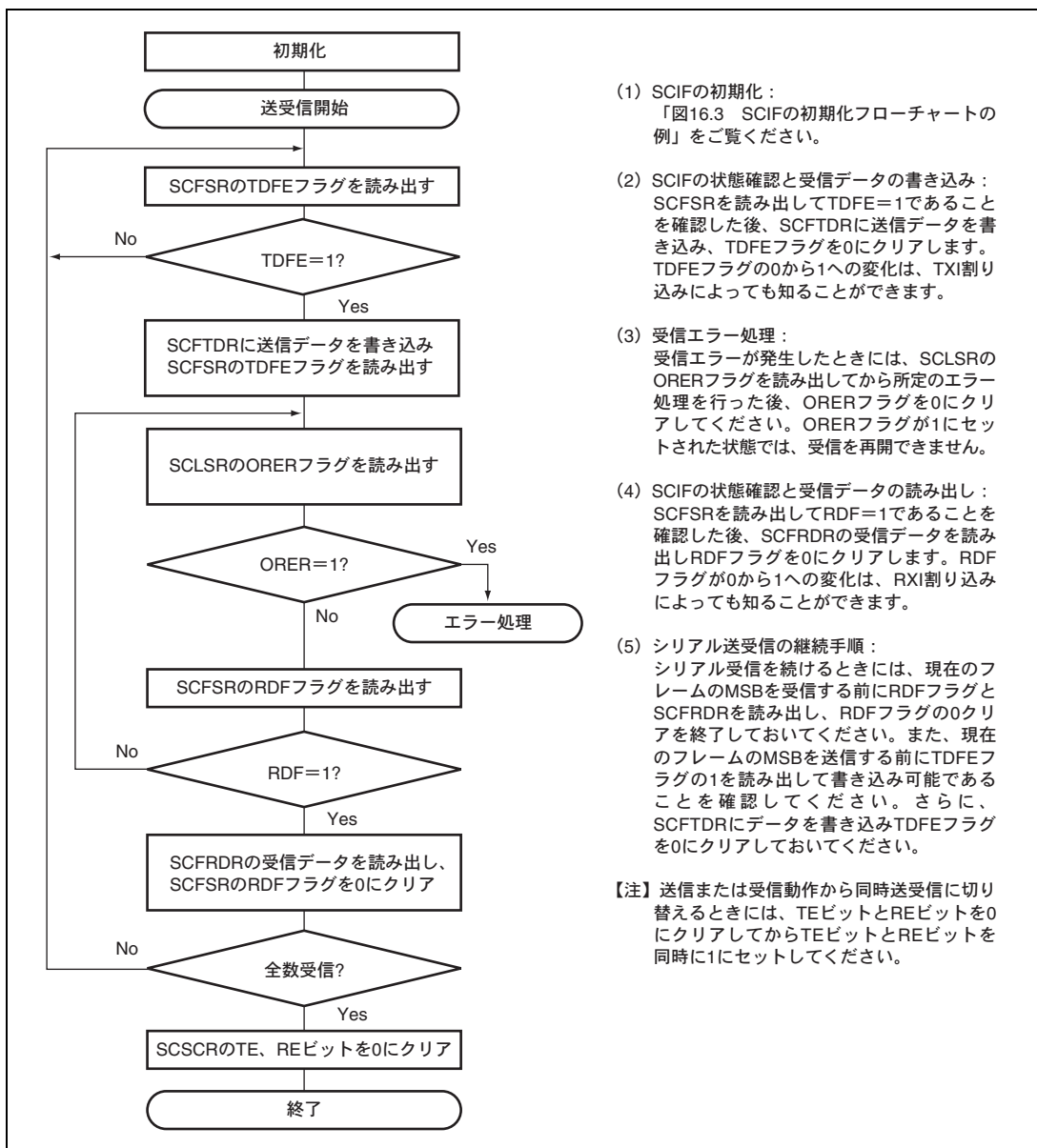


図 16.18 シリアルデータ送受信フローチャートの例



## 16.5 SCIF 割り込み要因と DMAC

SCIF は、送信 FIFO データエンpty 割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレイク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。表 16.6 に各割り込み要因と優先順位を示します。SCIF 以外の割り込みとの関係と優先順位は、「第 4 章 例外処理」を参照してください。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合は、SCFSR の TDFE フラグが 1 にセットされると、TXI 割り込み要求と送信 FIFO データエンpty DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合は、TDFE フラグが 1 にセットされると、送信 FIFO データエンpty DMA 転送要求のみが発生します。送信 FIFO データエンpty DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合は、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合は、RDF フラグまたは DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが 1 にセットされたことによる RXI 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。DMAC の設定方法は「第 13 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出さず設定にした場合は、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは受信データが SCFRDR にあることを示しています。

表 16.6 SCIF 割り込み要因

割り込み要因	内容	DMAC の起動	リセット解除時の優先順位
ERI	受信エラー (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) * による割り込み	可	
BRI	ブレイク (BRK) またはオーバランエラー (ORER) による割り込み	不可	
TXI	送信 FIFO データエンpty (TDFE) による割り込み	可	

【注】 \* DR による RXI 割り込みは、調歩同期モード時のみ有効です。

SCIF 以外の割り込みとの関係と優先順位は、「第 4 章 例外処理」を参照してください。

## 16.6 使用上の注意

SCIF を使用する際は、以下のことに注意してください。

### (1) SCFTDR への書き込みと TDFE フラグについて

SCFSR の TDFE フラグは SCFTDR 内に書き込んだ送信データ数が、SCFCR の TTRG1、TTRG0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR 内に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は、SCFCR の 12~8 ビットで知ることができます。

### (2) SCFRDR の読み出しと RDF フラグについて

SCFSR の RDF フラグは、SCFRDR 内の受信データ数が SCFCR の RTRG1、RTRG0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合には、RDF フラグを 0 にクリアしても再び 1 にセットされますので、すべての受信データを読み出した後 RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は、SCFCR の 4~0 ビットで知ることができます。

### (3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを受信した後は SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

### (4) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍の周波数の基本クロックで動作します。

受信時に SCIF は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 16.19 に示します。

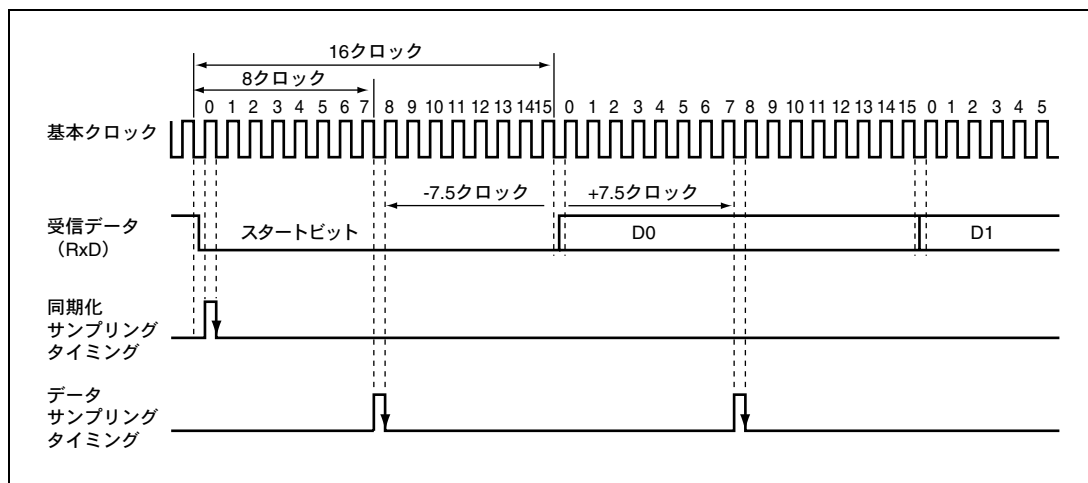


図 16.19 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \cdots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = \left( 0.5 - \frac{1}{2 \times 16} \right) \times 100\%$$

$$= 46.875\% \cdots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

## (5) DMAC 使用上の注意事項

同期クロックに外部クロックソースを使用する場合、DMAC による SCFTDR の更新後、周辺動作クロックで 5 サイクル以上経過した後に外部クロックを入力してください。SCFTDR の更新後 4 サイクル以内に送信クロックを入力すると誤動作することがあります (図 16.20)。

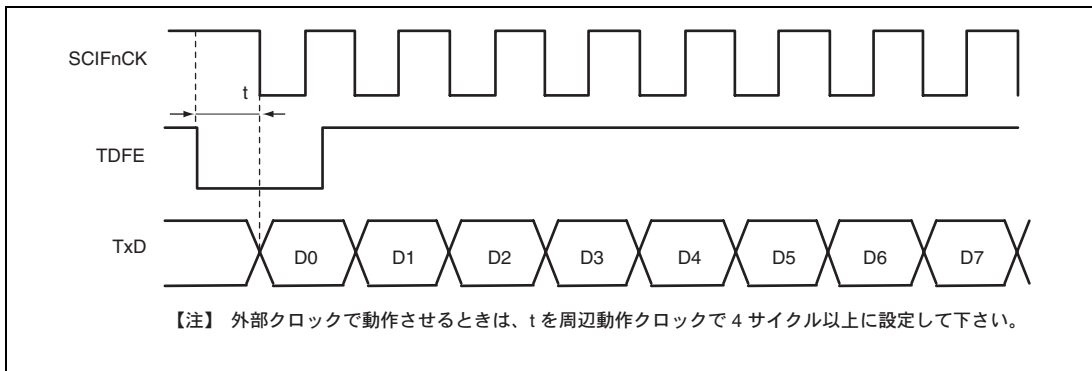


図 16.20 DMAC による同期クロック転送例

---

## 17. FIFO 内蔵シリアル IO ( SIOF )

---

本 LSI は、オーディオ CODEC と直結可能なクロック同期式 FIFO 内蔵シリアル IO モジュール ( SIOF ) を 2 チャンネル搭載しています。SIOF0 および SIOF1 とともに機能は共通です。

### 17.1 特長

SIOF の特長を以下に示します。

- シリアル転送

FIFO 容量 32 ビット × 16 段 ( 送受信独立 )

8 ビットと 16 ビットおよび 16 ビットのステレオ音声入出力に対応

データの送受信は、MSB が先頭と LSB 先頭に対応

サンプリングレートは、最大 48 kHz に対応

同期方法は、フレーム同期パルスおよび左右チャンネル切り換えに対応

CODEC 制御データインタフェースに対応

各社のリニアオーディオの A-Law および  $\mu$ -Law CODEC チップに接続可能

マスタおよびスレーブ両モードに対応

- シリアルクロック

クロックソースとして外部端子入力と内部クロック ( P\_CLK ) から選択が可能

- 割り込み

以下に示す 4 種類の割り込みを独立して要求することが可能

送信割り込み

受信割り込み

エラー割り込み

制御割り込み

- DMA 転送

送受信の転送要求による DMA 転送を用いた送受信動作に対応

### 17.1.1 ブロック図

SIOF のブロック図を図 17.1 に示します。

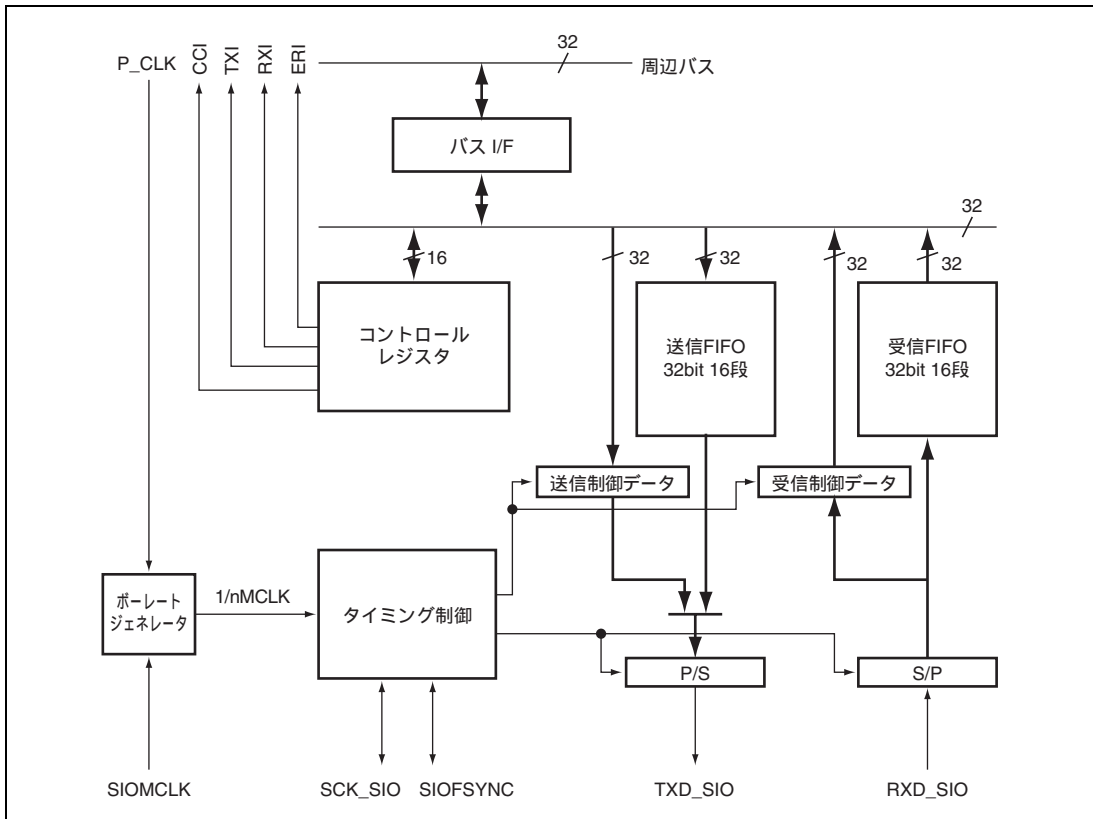


図 17.1 SIOF のブロック図

## 17.2 入出力端子

SIOF0/1 の端子構成を表 17.1 に示します。

表 17.1 端子構成

チャンネル	名称	略称	入出力	機能
0	クロック入力端子	SIOMCLK0	入力	マスタクロック入力
	通信クロック端子	SCK_SIO0	入出力	シリアルクロック (送受信共通)
	フレームシンク端子	SIOFSYNC0	入出力	フレーム同期信号 (送受信共通)
	送信データ端子	TXD_SIO0	出力	送信データ
	受信データ端子	RXD_SIO0	入力	受信データ
1	クロック入力端子	SIOMCLK1	入力	マスタクロック入力
	通信クロック端子	SCK_SIO1	入出力	シリアルクロック (送受信共通)
	フレームシンク端子	SIOFSYNC1	入出力	フレーム同期信号 (送受信共通)
	送信データ端子	TXD_SIO1	出力	送信データ
	受信データ端子	RXD_SIO1	入力	受信データ

## 17.3 レジスタの説明

本モジュールには、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照してください。

### (1) チャンネル 0

- シリアルモードレジスタ\_0 (SIMDR\_0)
- クロックセレクトレジスタ\_0 (SISCR\_0)
- 送信データアサインレジスタ\_0 (SITDAR\_0)
- 受信データアサインレジスタ\_0 (SIRDAR\_0)
- 制御データアサインレジスタ\_0 (SICDAR\_0)
- シリアルコントロールレジスタ\_0 (SICTR\_0)
- FIFOコントロールレジスタ\_0 (SIFCTR\_0)
- ステータスレジスタ\_0 (SISTR\_0)
- 割り込み許可レジスタ\_0 (SIIER\_0)
- 送信データレジスタ\_0 (SITDR\_0)
- 受信データレジスタ\_0 (SIRDR\_0)
- 送信制御データレジスタ\_0 (SITCR\_0)
- 受信制御データレジスタ\_0 (SIRCR\_0)

## (2) チャンネル 1

- シリアルモードレジスタ\_1 (SIMDR\_1)
- クロックセレクトレジスタ\_1 (SISCR\_1)
- 送信データアサインレジスタ\_1 (SITDAR\_1)
- 受信データアサインレジスタ\_1 (SIRDAR\_1)
- 制御データアサインレジスタ\_1 (SICDAR\_1)
- シリアルコントロールレジスタ\_1 (SICTR\_1)
- FIFOコントロールレジスタ\_1 (SIFCTR\_1)
- ステータスレジスタ\_1 (SISTR\_1)
- 割り込み許可レジスタ\_1 (SIIER\_1)
- 送信データレジスタ\_1 (SITDR\_1)
- 受信データレジスタ\_1 (SIRDR\_1)
- 送信制御データレジスタ\_1 (SITCR\_1)
- 受信制御データレジスタ\_1 (SIRCR\_1)

## 17.3.1 シリアルモードレジスタ (SIMDR)

シリアルモードレジスタは、SIOF0/1 の動作モードを設定するレジスタです。

シリアルモードレジスタは、パワーオンリセットおよびマニュアルリセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
15	TRMD1	0	R/W	転送モード 転送モードを選択します。 00:スレーブモード1 01:スレーブモード2 10:マスタモード1 11:マスタモード2 【注】各モードの動作については、「17.4.3 転送データフォーマット」を参照してください。
14	TRMD0	0	R/W	
13		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	REDG	0	R/W	受信データサンプリングエッジ TXD_SIO の送出タイミングは、RXD_SIO のサンプリングタイミングの反対のエッジとなります (図 17.4 参照)。 0: RXD_SIO を SCK_SIO の立ち下がりがエッジでサンプリングする。 1: RXD_SIO を SCK_SIO の立ち上がりがエッジでサンプリングする。 【注】マスタモード1およびマスタモード2の場合に有効となります。



ビット	ビット名	初期値	R/W	説明
11	FL3	0	R/W	フレーム長
10	FL2	0	R/W	00xx : スロット長は 8 ビット、フレーム長は 8 ビット
9	FL1	0	R/W	0100 : スロット長は 8 ビット、フレーム長は 16 ビット
8	FL0	0	R/W	0101 : スロット長は 8 ビット、フレーム長は 32 ビット 0110 : スロット長は 8 ビット、フレーム長は 64 ビット 0111 : スロット長は 8 ビット、フレーム長は 128 ビット 10xx : スロット長は 16 ビット、フレーム長は 16 ビット 1100 : スロット長は 16 ビット、フレーム長は 32 ビット 1101 : スロット長は 16 ビット、フレーム長は 64 ビット 1110 : スロット長は 16 ビット、フレーム長は 128 ビット 1111 : スロット長は 16 ビット、フレーム長は 256 ビット 【注】1. スロット長 8 ビットを選択した場合は、制御データの送受信は行 えません。 2. LSB 先頭送受信を選択した場合は、制御データの送受信は行え ません。 X : Don't care
7	TXDIZ	0	R/W	送信無効時ハイインピーダンスの出力 送信無効時のハイインピーダンスの出力の設定を行います。 0 : 無効時に 1 を出力 1 : 無効時にハイインピーダンスを出力 【注】無効時とは、ディスエーブル時に送信データおよび制御データを割り 当てていないスロットを送出する場合を言います。
6	LSBF	0	R/W	LSB 先頭送受信 送受信フレームのビットの並びを選択します。 0 : MSB 先頭 1 : LSB 先頭
5	RCIM	0	R/W	受信制御データ割り込みモード SISTR レジスタの RCRDY ビットセットタイミングを選択します。 0 : SIRCR レジスタの内容が変化したときに SISTR レジスタの RCRDY ビットをセットする。 1 : SIRCR レジスタへの制御データ受信タイミングごとに SISTR レジス タの RCRDY ビットをセットする。
4~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 17.3.2 クロックセレクトレジスタ (SISCR)

クロックセレクトレジスタは、ポーレートジェネレータの動作を設定します。本レジスタへの設定は、SIMDR レジスタの TRMD[1:0]ビットに B'10 もしくは B'11 が設定されているときに有効になります。パワーオンリセットおよびソフトウェアリセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
15	MSSEL	0	R/W	マスタクロックソース選択 マスタクロックとは、ポーレートジェネレータに入力するクロックを指します。 0 : マスタクロックとして SIOMCLK 端子入力信号を使用 1 : マスタクロックとして PCLK を使用
14	MSIMM	0	R/W	マスタクロック選択 0 : クロックソースとしてポーレートジェネレータ出力クロックを使用 1 : クロックソースとしてマスタクロックをそのまま使用
13		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	BRPS4	0	R/W	プリスケアラ設定 マスタクロックの分周比 BRPS を設定します。 00000 : ( × 1/32 ) 00001 : ( × 1/1 ) 00010 : ( × 1/2 ) 11111 : ( × 1/31 )
11	BRPS3	0	R/W	
10	BRPS2	0	R/W	
9	BRPS1	0	R/W	
8	BRPS0	0	R/W	
7~3		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	BRDV2	0	R/W	分周比設定 出力段の分周比 BRDV 設定をします。ポーレートジェネレータの最終分周比は、BRPS × BRDV で決定します (最大 1/1024)。 000 : プリスケアラ出力 × 1/2 001 : プリスケアラ出力 × 1/4 010 : プリスケアラ出力 × 1/8 011 : プリスケアラ出力 × 1/16 100 : プリスケアラ出力 × 1/32 【注】上記以外は、予約 (設定不可) です。
1	BRDV1	0	R/W	
0	BRDV0	0	R/W	

### 17.3.3 送信データアサインレジスタ (SITDAR)

送信データアサインレジスタは、フレーム内の送信データ位置を設定します。パワーオンリセットおよびソフトウェアリセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
15	TDLE	0	R/W	送信左チャンネルデータイネーブル 0 : 左チャンネルデータの送信を許可しない 1 : 左チャンネルデータの送信を許可する
14 ~ 12		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	TDLA3	0	R/W	送信左チャンネルデータアサイン 送信フレームにおける左チャンネルデータの位置を設定します。 B'0000 から B'1110 で設定します。左チャンネルデータの送信データは、SITDR レジスタの SITDL15 ~ 0 ビットに設定します。 【注】 TDLA3 ~ 0 に B'1111 を設定した場合の動作は、保証しません。
10	TDLA2	0	R/W	
9	TDLA1	0	R/W	
8	TDLA0	0	R/W	
7	TDRE	0	R/W	送信右チャンネルデータイネーブル 0 : 右チャンネルデータの送信を許可しない。 1 : 右チャンネルデータの送信を許可する。
6	TLREP	0	R/W	送信左チャンネルリピート 本ビットの設定は TDRE ビットが 1 のとき有効となります。本ビットに 1 を設定した場合は、SITDR レジスタの SITDR15 ~ 0 ビットへの設定は無視されます。 0 : 右チャンネルデータとして SITDR レジスタの SITDR ビット設定値を送出する。 1 : 右チャンネルデータとして SITDR レジスタの SITDL ビット設定値を繰り返して送る。
5		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4		0	R	
3	TDRA3	0	R/W	送信右チャンネルデータアサイン 送信フレームにおける右チャンネルデータの位置を B'0000 から B'1110 で設定します。右チャンネルデータの送信データは、SITDR レジスタの SITDR15 ~ 0 ビットに設定します。 【注】 TDRA3 ~ 0 に B'1111 を設定した場合の動作は、保証しません。
2	TDRA2	0	R/W	
1	TDRA1	0	R/W	
0	TDRA0	0	R/W	

### 17.3.4 受信データアサインレジスタ (SIRDAR)

受信データアサインレジスタは、フレーム内の受信データ位置を設定します。パワーオンリセットおよびソフトウェアリセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
15	RDLE	0	R/W	受信左チャンネルデータイネーブル 0 : 左チャンネルデータの受信を許可しない 1 : 左チャンネルデータの受信を許可する
14		0	R	リザーブビット
13		0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12		0	R	
11	RDLA3	0	R/W	受信左チャンネルデータアサイン
10	RDLA2	0	R/W	受信フレームにおける左チャンネルデータの位置を B'0000 から B'1110 で設定します。左チャンネルデータの受信データは、SIRDAR レジスタの SIRDRL15 ~ 0 ビットに格納されます。
9	RDLA1	0	R/W	
8	RDLA0	0	R/W	【注】 RDLA3 ~ 0 に B'1111 を設定した場合の動作は、保証しません。
7	RDRE	0	R/W	受信右チャンネルデータイネーブル 0 : 右チャンネルデータの受信を許可しない。 1 : 右チャンネルデータの受信を許可する。
6		0	R	リザーブビット
5		0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4		0	R	
3	RDRA3	0	R/W	受信右チャンネルデータアサイン
2	RDRA2	0	R/W	受信フレームにおける右チャンネルデータの位置を B'0000 から B'1110 で設定します。右チャンネルデータの受信データは、SIRDAR レジスタの SIRDRL15 ~ 0 ビットに格納されます。
1	RDRA1	0	R/W	
0	RDRA0	0	R/W	【注】 RDRA3 ~ 0 に B'1111 を設定した場合の動作は、保証しません。

### 17.3.5 制御データアサインレジスタ (SICDAR)

制御データアサインレジスタは、フレーム内の制御データ位置を設定します。本レジスタへの設定は、SIMDR レジスタの FL3~0 ビットに 1\*\*\*を設定したときに有効となります。パワーオンリセットおよびソフトウェアリセット時に初期化されます。

ビット	ビット名	初期値	R/W	説 明
15	CD0E	0	R/W	制御 0 チャンネルデータイネーブル 0 : 制御 0 チャンネルデータの送受信を許可しない。 1 : 制御 0 チャンネルデータの送受信を許可する。
14		0	R	リザーブビット
13		0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12		0	R	
11	CD0A3	0	R/W	制御 0 チャンネルデータアサイン
10	CD0A2	0	R/W	送受信フレームにおける制御 0 チャンネルデータの位置を B'0000 から B'1110
9	CD0A1	0	R/W	で設定します。制御 0 チャンネルデータの送信データは、SITCR レジスタの
8	CD0A0	0	R/W	SITC015~00 ビットに設定します。制御 0 チャンネルデータの受信データは、SIRCR レジスタの SIRC015~00 ビットに格納されます。 【注】 CD0A3~0 に B'1111 を設定した場合の動作は、保証しません。
7	CD1E	0	R/W	制御 1 チャンネルデータイネーブル 0 : 制御 1 チャンネルデータの送受信を許可しない。 1 : 制御 1 チャンネルデータの送受信を許可する。
6		0	R	リザーブビット
5		0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4		0	R	
3	CD1A3	0	R/W	制御 1 チャンネルデータアサイン
2	CD1A2	0	R/W	送受信フレームにおける制御 1 チャンネルデータの位置を B'0000 から B'1110
1	CD1A1	0	R/W	で設定します。制御 1 チャンネルデータの送信データは、SITCR レジスタの
0	CD1A0	0	R/W	SITC115~10 ビットに設定します。制御 1 チャンネルデータの受信データは、SIRCR レジスタの SIRC115~10 ビットに格納されます。 【注】 CD1A3~0 に B'1111 を設定した場合の動作は、保証しません。

### 17.3.6 シリアルコントロールレジスタ (SICTR)

シリアルコントロールレジスタは、SIOF の動作状態を設定します。

シリアルコントロールレジスタは、パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
15	SCKE	0	R/W	シリアルクロック出力イネーブル マスタモード時に有効となります。1 を設定すると、SIOF はポーレートジェネレータを初期化し、動作を開始すると同時に SCK_SIO にポーレートジェネレータが生成したクロックを出力します。 0 : SCK_SIO の出力を許可しない (0 を出力する)。 1 : SCK_SIO の出力を許可する。
14	FSE	0	R/W	フレーム同期信号出力イネーブル マスタモード時に有効となります。1 を設定すると、SIOF はフレームカウンタを初期化し、動作を開始します。 0 : SIOFSYNC の出力を許可しない (0 を出力する)。 1 : SIOFSYNC の出力を許可する。
13~10		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TXE	0	R/W	送信イネーブル 本ビットの設定は、次のフレーム先頭 (フレーム同期信号の立ち上がり) でかつ送信 FIFO に有効なデータが格納されているときに有効となります。1 設定が有効になると、SIOF は SIFCTR レジスタの TFWM ビットの設定に従い、送信転送要求を発行します。送信 FIFO にデータが格納されると、TXD_SIO から送信データの送出を開始します。このビットは送信リセット時に初期化されます。 0 : TXD_SIO のデータ送出を許可しない (1 を出力する)。 1 : TXD_SIO のデータ送出を許可する。
8	RXE	0	R/W	受信イネーブル 本ビットの設定は、次のフレーム先頭 (フレーム同期信号の立ち上がり) 時に有効となります。1 設定が有効になると、SIOF は RXD_SIO からの受信データの取り込みを開始します。受信 FIFO にデータが格納されると、SIFCTR レジスタの RFWM ビットの設定に従い、受信転送要求を発行します。このビットは、受信リセット時に初期化されます。 0 : RXD_SIO のデータ受信を許可しない。 1 : RXD_SIO のデータ受信を許可する。
7~2		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1	TXRST	0	R/W	<p>送信リセット</p> <p>本ビットの設定は、ただちに有効となります。1 設定が有効になると、SIOF はただちに TXD_SIO からの送信データを 1 とし、送信データ系のレジスタと送信関連のステータスレジスタを初期化します。下記に初期化の対象を示します。</p> <ul style="list-style-type: none"> <li>• SITDR レジスタ</li> <li>• 送信 FIFO ライトポインタ、リードポインタ</li> <li>• SISTR レジスタの TCRDY、TFEMP、TDREQ ビット</li> <li>• TXE ビット</li> </ul> <p>本ビットは、リセット動作を完了すると SIOF が自動的にクリアされるため、読み出し時の値は常に 0 です。</p> <p>0 : 送信動作をリセットしない 1 : 送信動作をリセットする</p>
0	RXRST	0	R/W	<p>受信リセット</p> <p>本ビットの設定は、ただちに有効となります。1 設定が有効になると、SIOF は RXD_SIO からの受信を停止し、受信データ系のレジスタ、受信関連のステータスレジスタを初期化します。下記に初期化の対象を示します。</p> <ul style="list-style-type: none"> <li>• SIRDR レジスタ</li> <li>• 受信 FIFO ライトポインタ、リードポインタ</li> <li>• SISTR レジスタの RCRDY、RFFUL、RDREQ ビット</li> <li>• RXE ビット</li> </ul> <p>本ビットはリセット動作を完了すると SIOF が自動的にクリアされるため、読み出し時の値は常に 0 です。</p> <p>0 : 受信動作をリセットしない 1 : 受信動作をリセットする</p>

## 17.3.7 FIFO コントロールレジスタ (SIFCTR)

FIFO コントロールレジスタは、送受信 FIFO の転送が可能なエリアを表示します。パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
15	TFWM2	0	R/W	送信 FIFO ウォータマーク 送信 FIFO の転送要求は、SISTR レジスタの TDREQ ビットで行います。本ビットへの設定にかかわらず、送信 FIFO は常に 16 段の FIFO として動作を行います。 000 : 送信 FIFO の空き領域が 16 段のときに転送要求を発行する 001 : 予約 (設定不可) 010 : 予約 (設定不可) 011 : 予約 (設定不可) 100 : 送信 FIFO の空き領域が 12 段以上のときに転送要求を発行する 101 : 送信 FIFO の空き領域が 8 段以上のときに転送要求を発行する 110 : 送信 FIFO の空き領域が 4 段以上のときに転送要求を発行する 111 : 送信 FIFO の空き領域が 1 段以上のときに転送要求を発行する
14	TFWM1	0	R/W	
13	TFWM0	0	R/W	
12	TFUA4	1	R	送信 FIFO 使用可能エリア CPU または DMAC が転送可能な語数を B'00000 ~ B'10000 で表示します。
11	TFUA3	0	R	
10	TFUA2	0	R	
9	TFUA1	0	R	
8	TFUA0	0	R	
7	RFWM2	0	R/W	受信 FIFO ウォータマーク 受信 FIFO の転送要求は、SISTR レジスタの RDREQ ビットで行います。本ビットへの設定にかかわらず、受信 FIFO は常に 16 段の FIFO として動作を行います 000 : 受信 FIFO の有効領域が 1 段以上のときに転送要求を発行する 001 : 予約 (設定不可) 010 : 予約 (設定不可) 011 : 予約 (設定不可) 100 : 受信 FIFO の有効領域が 4 段以上のときに転送要求を発行する 101 : 受信 FIFO の有効領域が 8 段以上のときに転送要求を発行する 110 : 受信 FIFO の有効領域が 12 段以上のときに転送要求を発行する 111 : 受信 FIFO の有効領域が 16 段のときに転送要求を発行する
6	RFWM1	0	R/W	
5	RFWM0	0	R/W	
4	RFUA4	0	R	受信 FIFO 使用可能エリア CPU または DMAC が転送可能な語数を B'00000 ~ B'10000 で表示します。
3	RFUA3	0	R	
2	RFUA2	0	R	
1	RFUA1	0	R	
0	RFUA0	0	R	



### 17.3.8 ステータスレジスタ (SISTR)

ステータスレジスタは、SIOF の状態を表示します。本レジスタの各ビットは、SIER レジスタの対応するビットに 1 を設定した場合に、SIOF の割り込み要因となります。パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
15		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	TCRDY	0	R	送信制御データレディ 本ビットは状態を表示するビットであり、SICTR レジスタへの書き込みが行われると SIOF がクリアします。SICTR レジスタの TXE ビットが 1 のとき有効となります。本ビットによる割り込み発行が許可される場合は、SIOF は制御割り込みを発行します。本ビットが 0 時に SICTR レジスタへの書き込みを行うと SICTR レジスタは上書きされ、以前の内容は TXD_SIO から送出されません。 0 : SICTR レジスタへの書き込みが可能でない 1 : SICTR レジスタへの書き込みが可能である 【注】本ビットを使用する際は「17.5 使用上の注意」の 2 項を参照してください。
13	TFEMP	0	R	送信 FIFO エンプティ 本ビットは状態を表示するビットであり、SITDR レジスタへの書き込みが行われると SIOF がクリアします。SICTR レジスタの TXE ビットが 1 のとき有効となります。本ビットによる割り込み発行が許可される場合は、SIOF は制御割り込みを発行します。 0 : 送信 FIFO が空でない 1 : 送信 FIFO が空である
12	TDREQ	0	R	送信データ転送リクエスト 送信データ転送リクエストは、送信 FIFO の空き領域が SIFCTR レジスタの TFWM ビットによる設定値を超えたときに発行します。 本ビットは、SICTR レジスタの TXE ビットが 1 のときに有効となります。本ビットは状態を表示するビットであり、送信 FIFO の空き領域が SIFCTR レジスタの TFWM ビットによる設定値よりも少なくなると SIOF がクリアします。 本ビットによる割り込み発行が許可されている場合は、SIOF は送信割り込みを発行します。 0 : 転送要求なし 1 : 転送要求あり
11		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10	RCRDY	0	R	<p>受信制御データレディ</p> <p>本ビットは状態を表示するビットであり、SIRCR レジスタへの読み出しを行うと SIOF がクリアします。SICTR レジスタの RXE ビットが 1 のとき有効となり、本ビットによる割り込み発行が許可される場合は、SIOF は制御割り込みを発行します。本ビットが 1 のときに再び SIRCR レジスタへの有効データの書き込みが発生した場合は、SIRCR レジスタには最新のデータが上書きされます。</p> <p>0 : SIRCR レジスタに有効データが格納されていない 1 : SIRCR レジスタに有効データが格納されている</p>
9	RFFUL	0	R	<p>受信 FIFO フル</p> <p>本ビットは状態を表示するビットであり、SIRDR レジスタへの読み出しを行うと SIOF がクリアします。SICTR レジスタの RXE ビットが 1 のとき有効となり、本ビットによる割り込み発行が許可される場合は、SIOF は制御割り込みを発行します。</p> <p>0 : 受信 FIFO が満杯でない 1 : 受信 FIFO が満杯である</p>
8	RDREQ	0	R	<p>受信データ転送リクエスト</p> <p>受信データ転送リクエストは、受信 FIFO の空き領域が SIFCTR レジスタの RFWM ビットによる設定値を超えたときに発行します。</p> <p>本ビットは、SICTR レジスタの RXE ビットが 1 のときに有効となります。本ビットは状態を表示するビットであり、受信 FIFO の空き領域が SIFCTR レジスタの RFWM ビットによる設定値よりも少なくなると SIOF がクリアします。</p> <p>本ビットによる割り込み発行が許可されている場合は、SIOF は受信割り込みを発行します。</p> <p>0 : 受信 FIFO の有効領域が SIFCTR レジスタの RFWM ビットによる設定値を超えていない 1 : 受信 FIFO の有効領域が SIFCTR レジスタの RFWM ビットによる設定値を超えた</p>
7~5		すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4	FSERR	0	R/W	<p>フレーム同期エラー</p> <p>フレーム同期エラーとは、転送データ、制御データの送受信完了前に、次のフレーム同期タイミングとなったことを表します。フレーム同期エラー発生時、SIOF は転送可能なスロットに対してのみ送受信を行います。</p> <p>本ビットは、SICTR レジスタの TXE ビットもしくは RXE ビットが 1 のときに有効となります。1 を書き込むと、内容がクリアされます。本ビットによる割り込み発行が許可されている場合は、SIOF はエラー割り込みを発行します。</p> <p>0 : フレーム同期エラー未発生 1 : フレーム同期エラー発生</p>

ビット	ビット名	初期値	R/W	説明
3	TFOVR	0	R/W	<p>送信 FIFO オーバラン</p> <p>送信 FIFO オーバランとは、送信 FIFO が満杯時に SITDR レジスタへの書き込みが発生したことを表します。送信オーバラン時は、SIOF はオーバランとなった書き込みを無効とします。</p> <p>本ビットは、SICTR レジスタの TXE ビットが 1 のときに有効となります。1 を書き込むと、内容がクリアされます。本ビットによる割り込み発行が許可されている場合は、SIOF はエラー割り込みを発行します。</p> <p>0 : 送信 FIFO オーバラン未発生 1 : 送信 FIFO オーバラン発生</p>
2	TFUDR	0	R/W	<p>送信 FIFO アンダラン</p> <p>送信 FIFO アンダランとは、送信 FIFO がエンプティ時に送信動作によるロードが発生したことを表します。送信アンダラン時は、SIOF は前回送出データを繰り返して送出します。</p> <p>本ビットは、SICTR レジスタの TXE ビットが 1 のときに有効となります。1 を書き込むと、内容がクリアされます。本ビットによる割り込み発行が許可されている場合は、SIOF はエラー割り込みを発行します。</p> <p>0 : 送信 FIFO アンダラン未発生 1 : 送信 FIFO アンダラン発生</p>
1	RFUDR	0	R/W	<p>受信 FIFO アンダラン</p> <p>受信 FIFO アンダランとは、受信 FIFO がエンプティ時に SIRDR レジスタの読み出しが発生したことを表します。受信アンダラン時は、SIRDR から読み出したデータを保証しません。</p> <p>本ビットは、SICTR レジスタの RXE ビットが 1 のときに有効となります。1 を書き込むと、内容がクリアされます。本ビットによる割り込み発行が許可されている場合は、SIOF はエラー割り込みを発行します。</p> <p>0 : 受信 FIFO アンダラン未発生 1 : 受信 FIFO アンダラン発生</p>
0	RFOVR	0	R/W	<p>受信 FIFO オーバラン</p> <p>受信 FIFO オーバランとは、受信 FIFO が満杯時に受信動作による書き込みが発生したことを表します。受信オーバラン時は、オーバランとなった受信データは消失します。</p> <p>本ビットは、SICTR レジスタの RXE ビットが 1 のときに有効となります。1 を書き込むと、内容がクリアされます。本ビットによる割り込み発行が許可されている場合は、SIOF はエラー割り込みを発行します。</p> <p>0 : 受信 FIFO オーバラン未発生 1 : 受信 FIFO オーバラン発生</p>

### 17.3.9 割り込み許可レジスタ (SIER)

割り込み許可レジスタは、SIOF 割り込みの発行を許可します。本レジスタの各ビットに 1 を設定した場合に、SISTR レジスタの対応するビットに 1 がセットされると、SIOF は割り込みを発行します。パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
15		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	TCRDYE	0	R/W	送信制御データレディイネーブル 0: 送信制御データレディによる割り込みを許可しない 1: 送信制御データレディによる割り込みを許可する (制御割り込み)
13	TFEMPE	0	R/W	送信 FIFO エンプティイネーブル 0: 送信エンプティによる割り込みを許可しない 1: 送信エンプティによる割り込みを許可する (制御割り込み)
12	TDREQE	0	R/W	送信データ転送リクエストイネーブル 0: 送信データ転送リクエストによる割り込みを許可しない 1: 送信データ転送リクエストによる割り込みを許可する (送信割り込み)
11		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	RCRDYE	0	R/W	受信制御データレディイネーブル 0: 受信制御データレディによる割り込みを許可しない 1: 受信制御データレディによる割り込みを許可する (制御割り込み)
9	RFFULE	0	R/W	受信 FIFO フルイネーブル 0: 受信 FIFO フルによる割り込みを許可しない 1: 受信 FIFO フルによる割り込みを許可する (制御割り込み)
8	RDREQE	0	R/W	受信データ転送リクエストイネーブル 0: 受信データ転送リクエストによる割り込みを許可しない 1: 受信データ転送リクエストによる割り込みを許可する (受信割り込み)
7~5		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	FSERRE	0	R/W	フレーム同期エラーイネーブル 0: フレーム同期エラーによる割り込みを許可しない 1: フレーム同期エラーによる割り込みを許可する (エラー割り込み)
3	TFOVRE	0	R/W	送信 FIFO オーバランイネーブル 0: 送信 FIFO オーバランによる割り込みを許可しない 1: 送信 FIFO オーバランによる割り込みを許可する (エラー割り込み)

ビット	ビット名	初期値	R/W	説明
2	TFUDRE	0	R/W	送信 FIFO アンダランイネーブル 0: 送信 FIFO アンダランによる割り込みを許可しない 1: 送信 FIFO アンダランによる割り込みを許可する (エラー割り込み)
1	RFUDRE	0	R/W	受信 FIFO アンダランイネーブル 0: 受信 FIFO アンダランによる割り込みを許可しない 1: 受信 FIFO アンダランによる割り込みを許可する (エラー割り込み)
0	RFOVRE	0	R/W	受信 FIFO オーバランイネーブル 0: 受信 FIFO オーバランによる割り込みを許可しない 1: 受信 FIFO オーバランによる割り込みを許可する (エラー割り込み)

### 17.3.10 送信データレジスタ (SITDR)

送信データレジスタは、SIOF の送信データ設定をします。本レジスタへの設定データは、送信 FIFO に格納されます。パワーオンリセット、ソフトウェアリセット時、および送信リセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~16	SITDL15 ~SITDL 0	すべて 0	W	左チャンネル送信データ 左チャンネルデータとして TXD_SIO から送出するデータを設定します。送信フレームにおける左チャンネルデータの位置は、SITDAR レジスタの TDLA ビットへの設定値に従います。 本ビットは、SITDAR レジスタの TDLE ビットに 1 を設定した場合に有効となります。
15~0	SITDR15 ~SITDR 0	すべて 0	W	右チャンネル送信データ 右チャンネルデータとして TXD_SIO から送出するデータを設定します。送信フレームにおける右チャンネルデータの位置は、SITDAR レジスタの TDRA ビットへの設定値に従います。 本ビットは、SITDAR レジスタの TDLE ビットに 1 でかつ SITDAR レジスタの TLREP ビットに 0 を設定した場合に有効となります。

### 17.3.11 受信データレジスタ (SIRDR)

受信データレジスタは、SIOF の受信データの読み出しを行います。本レジスタには、受信 FIFO のデータが格納されます。パワーオンリセット、ソフトウェアリセット時、および受信リセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~16	SIRD15 ~SIRD0	すべて 0	R	左チャンネル受信データ 左チャンネルデータとして RXD_SIO から受信したデータを格納します。受信フレームにおける左チャンネルデータの位置は、SIRDAR レジスタの RDLA ビットへの設定値に従います。 本ビットは、SIRDAR レジスタの RDLE ビットに 1 を設定した場合に有効となります。
15~0	SIRDR15 ~SIRDR0	すべて 0	R	右チャンネル受信データ 右チャンネルデータとして RXD_SIO から受信したデータを格納します。受信フレームにおける右チャンネルデータの位置は、SIRDAR レジスタの RDRA ビットへの設定値に従います。 本ビットは、SIRDAR レジスタの RDRE ビットに 1 を設定した場合に有効となります。

### 17.3.12 送信制御データレジスタ (SITCR)

送信制御データレジスタは、SIOF の送信制御データ設定をします。本レジスタへの設定は、SIMDR レジスタの FL3~0 ビットに 1\*\*\*を設定したときに有効となります。パワーオンリセット、ソフトウェアリセット時、および送信リセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~16	SITC015 ~ SITC00	すべて 0	W	制御 0 チャンネル送信データ 制御 0 チャンネル送信データとして TXD_SIO から送出するデータを設定します。送受信フレームにおける制御 0 チャンネルデータの位置は、SICDAR レジスタの CD0A ビットへの設定値に従います。 本ビットは、SICDAR レジスタの CD0E ビットに 1 を設定した場合に有効となります。
15~0	SITC115 ~ SITC10	すべて 0	W	制御 1 チャンネル送信データ 制御 1 チャンネル送信データとして TXD_SIO から送出するデータを設定します。送受信フレームにおける制御 1 チャンネルデータの位置は、SICDAR レジスタの CD1A ビットへの設定値に従います。 本ビットは、SICDAR レジスタの CD1E ビットに 1 を設定した場合に有効となります。

### 17.3.13 受信制御データレジスタ (SIRCR)

受信制御データレジスタは、SIOF の受信制御データが格納されます。本レジスタへの設定は、SIMDR レジスタの FL3~0 ビットに 1\*\*\*を設定したときに有効となります。パワーオンリセット、ソフトウェアリセット時、および受信リセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~16	SIRC015 ~SIRC00	すべて 0	R	制御 0 チャネル受信データ 制御 0 チャネル受信データとして RXD_SIO から受信したデータを格納します。送受信フレームにおける制御 0 チャネルデータの位置は、SICDAR レジスタの CD0A ビットへの設定値に従います。 本ビットは、SICDAR レジスタの CD0E ビットに 1 を設定した場合に有効となります。
15~0	SIRC115 ~SIRC10	すべて 0	R	制御 1 チャネル受信データ 制御 1 チャネル受信データとして RXD_SIO から受信したデータを格納します。送受信フレームにおける制御 1 チャネルデータの位置は、SICDAR レジスタの CD1A ビットへの設定値に従います。 本ビットは、SICDAR レジスタの CD1E ビットに 1 を設定した場合に有効となります。

## 17.4 動作説明

### 17.4.1 シリアルクロック

#### (1) マスタ/スレーブ

SIOF のクロックモードとして下記の 2 モードがあります。

スレーブモード : SCK\_SIO\*、SIOFSYNC は入力

マスタモード : SCK\_SIO\*、SIOFSYNC は出力

【注】 \* マスタモード時は、データの有無に関係なく SCK\_SIO は出力され続けます。

#### (2) ポーレートジェネレータ (BRG)

SIOF マスタ時には、ポーレートジェネレータ (BRG) を用いてシリアルクロックを生成します。ポーレートジェネレータの分周比は、 $1/2 \sim 1/1024$  です。

図 17.2 にシリアルクロック供給系統図を示します。

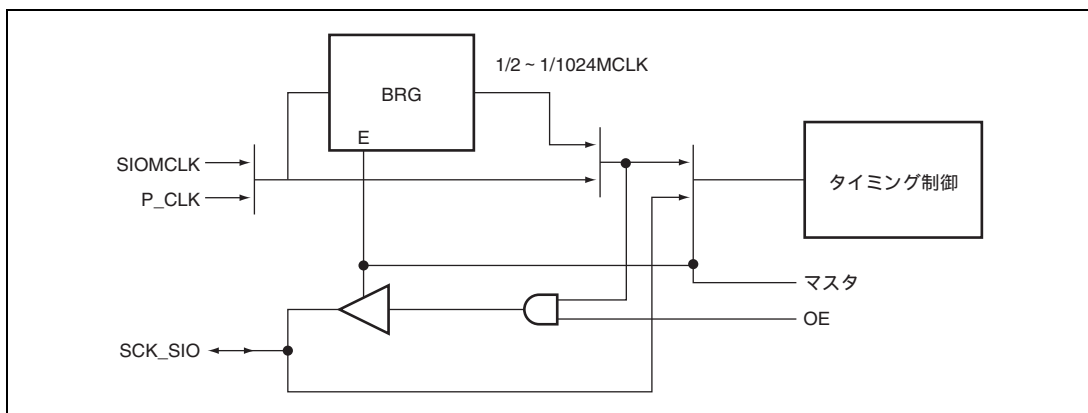


図 17.2 シリアルクロック供給系統

また、表 17.2 にシリアルクロック周波数の例を示します。

表 17.2 SIOF シリアルクロック周波数の例

フレーム長	サンプリングレート			
	8kHz	44.1kHz	48kHz	96kHz
32 ビット	256kHz	1.4112MHz	1.536MHz	3.072MHz
64 ビット	512kHz	2.8224MHz	3.072MHz	-
128 ビット	1.024MHz	5.6648MHz	6.144MHz	-
256 ビット	2.048MHz	11.2896MHz	12.288MHz	-



## 17.4.2 シリアルタイミング

### (1) SIOFSYNC

SIOFSYNC はフレーム同期信号です。転送モードによって下記の 2 通りの機能を持ちます。

- 同期パルスフレーム先頭を表す 1 ビット幅のパルス
- L/R ステレオデータの左チャンネル (L) をハイレベル、右チャンネル (R) をローレベルで表す 1/2 フレーム幅のパルス

図 17.3 に SIOFSYNC による同期タイミングを示します。マスタモード 1、スレープモード 1、スレープモード 2 は図 17.3 の (a)、マスタモード 2 は図 17.3 の (b) のタイミングになります。

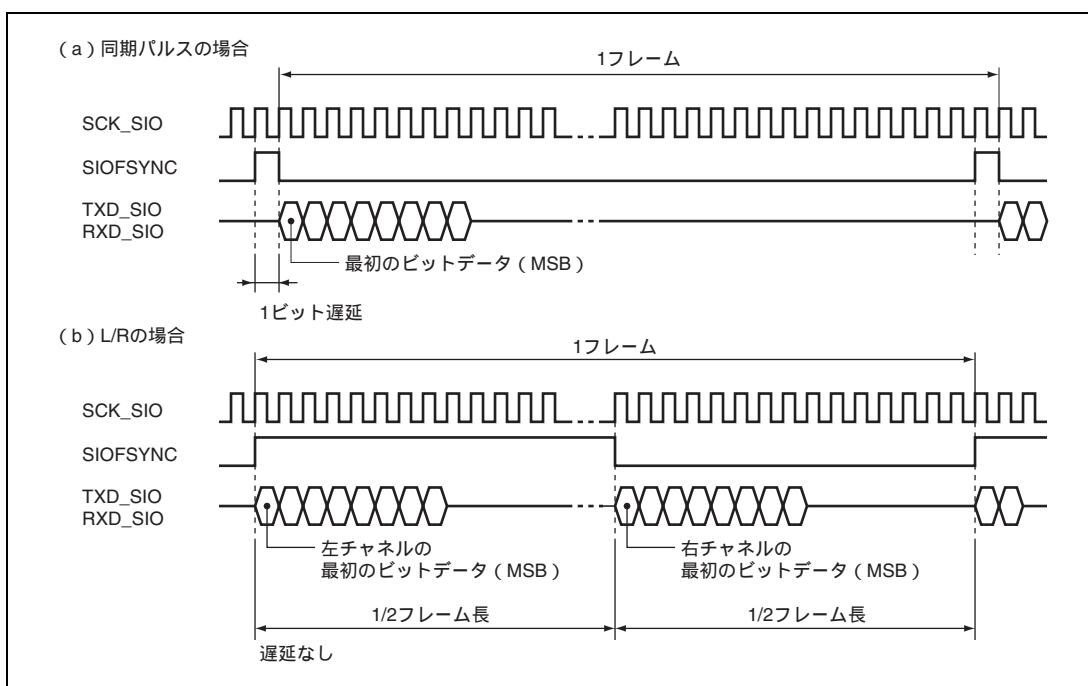


図 17.3 SIOF シリアルデータ同期タイミング

## (2) 送受信タイミング

SCK\_SIO に対する TXD\_SIO の送信タイミングおよび RXD\_SIO の受信タイミングは、サンプリングタイミングとして下記の 2 通りの設定が可能です。送受信タイミングの設定は、SIMDR レジスタの REDG ビットに行います。スリープモード 1 およびスリープモード 2 時には立ち下がりサンプリングしか使用できません。

- 立ち下がりサンプリング
- 立ち上がりサンプリング

図 17.4 に送受信タイミングを示します。

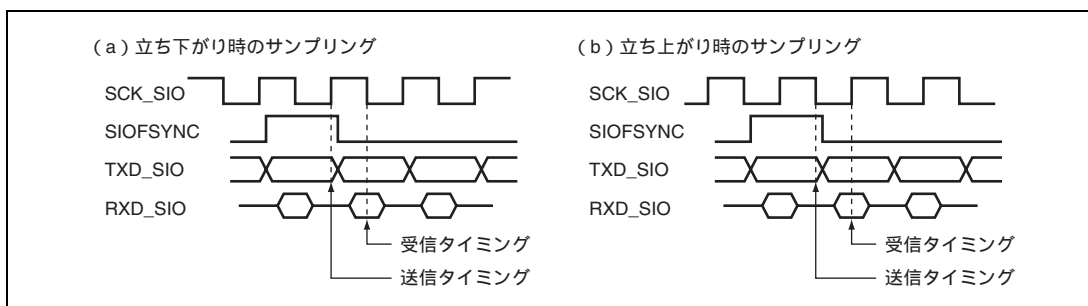


図 17.4 SIOF 送受信タイミング

## 17.4.3 転送データフォーマット

SIOF は、下記転送を行います。

送受信データ： 8 ビット/16 ビット/16 ビットステレオの転送データ

制御データ： 16 ビット長（専用レジスタを用いてインタフェースを行う）

## (1) 転送モード

SIOF は、転送モードとして表 17.3 に示すように 4 通りのモードを持ちます。転送モードの設定は、SIMDR レジスタの TRMD1 ~ TRMD0 ビットに行います。

表 17.3 シリアル転送モード

転送モード	SIOFSYNC	ビット遅延	制御データ
スリープモード 1	同期パルス	1 ビット	スロット位置
スリープモード 2	同期パルス	1 ビット	セカンダリ FS
マスタモード 1	同期パルス	1 ビット	スロット位置
マスタモード 2	L/R	なし	非対応

## (2) フレーム長

SIOF が転送を行うフレームの長さは、SIMDR レジスタの FL3 ~ FL0 ビットに対して設定を行います。表 17.4 に設定値とフレーム長の関係を示します。

表 17.4 フレーム長

FL3 ~ FL0	スロット長	1 フレームあたりのビット数	対応する転送データ
00xx	8	8	8 ビットモノラル
0100	8	16	8 ビットモノラル
0101	8	32	8 ビットモノラル
0110	8	64	8 ビットモノラル
0111	8	128	8 ビットモノラル
10xx	16	16	16 ビットモノラル
1100	16	32	16 ビットモノラル/ステレオ
1101	16	64	16 ビットモノラル/ステレオ
1110	16	128	16 ビットモノラル/ステレオ
1111	16	256	16 ビットモノラル/ステレオ

【記号説明】 x : Don't care

## (3) スロット位置

SIOF は、1 フレームにおける送信データ、受信データ、および制御データ（送受信共通）の位置をスロット番号でそれぞれ別個に設定することが可能です。設定は、下記レジスタに対して行います。

- 送信データ：SITDARレジスタ
- 受信データ：SIRDARレジスタ
- 制御データ：SICDARレジスタ

制御データは、スロット長 16 ビットのときのみ有効となります。また、制御データは、送信と受信で必ず同じスロットに割り当てられます。

### 17.4.4 転送データのレジスタ割り付け

#### (1) 送受信データ

送受信データの書き込みまたは読み出しは、下記レジスタに対して行います。

- 送信データ書き込み：SITDRレジスタ（32ビットアクセス）
- 受信データ読み出し：SIRDRレジスタ（32ビットアクセス）

図 17.5 に送受信データと SITDR レジスタおよび SIRDR レジスタのビットアライメントを示します。

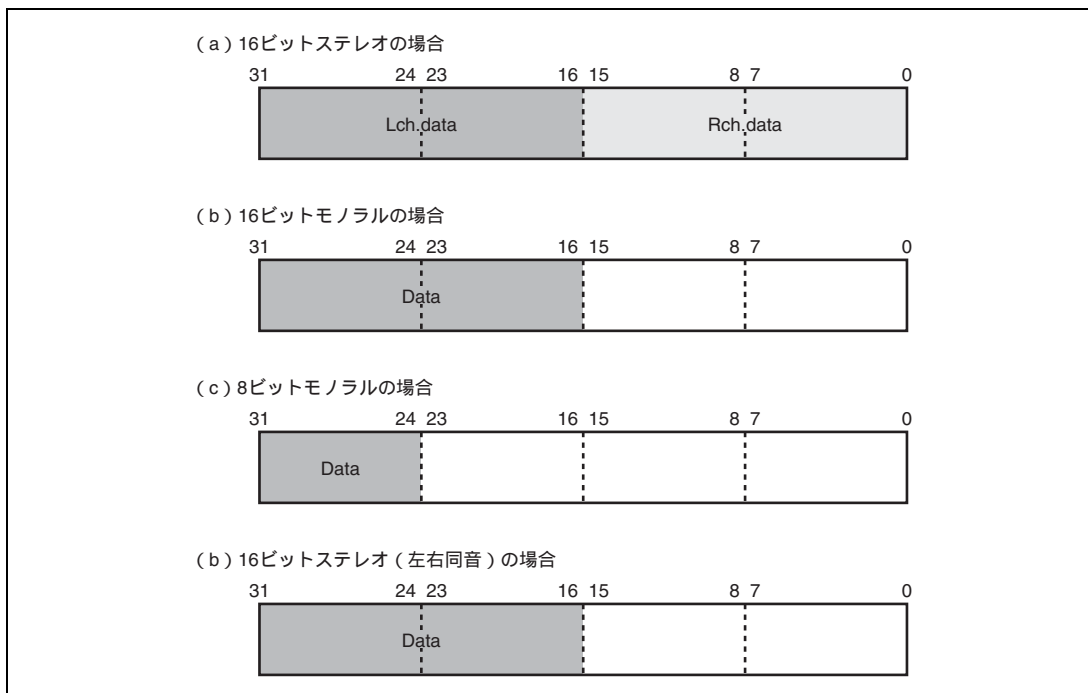


図 17.5 送受信データビットアライメント

【注】 図中のハッチングの部分だけが有効なデータとして送受信されます。ハッチングがかかっていない領域のデータは、送受信の対象となりません。

送信データのモノラル/ステレオの設定は、SITDAR レジスタの TDLE ビットおよび TDRE ビットに対して行います。受信データのモノラル/ステレオの設定は、SIRDAR レジスタの RDLE ビットおよび RDRE ビットに対して行います。また、送信データステレオ時の左右同音出力は、SITDAR レジスタの TLREP ビットに設定を行います。表 17.5 に送信データにおける音声モードの設定を、表 17.6 に受信データにおける音声モードの設定を示します。8 ビットモノラルで送受信を行う場合には、左チャンネルのみを使用してください。

表 17.5 送信データ音声モード

モード	ビット		
	TDLE	TDRE	TLREP
モノラル	1	0	*
ステレオ	1	1	0
左右同音	1	1	1

【注】 \* Don't care

表 17.6 受信データ音声モード

モード	ビット	
	RDLE	RDRE
モノラル	1	0
ステレオ	1	1

【注】 受信データには、左右同音モードは存在しません。

## (2) 制御データ

制御データの書き込みまたは読み出しは、下記レジスタに対して行います。

- 送信制御データ書き込み：SITCRレジスタ（32ビットアクセス）
- 受信制御データ読み出し：SIRCRレジスタ（32ビットアクセス）

図 17.6 に送受信制御データと SITCR レジスタおよび SIRCR レジスタのビットアライメントを示します。

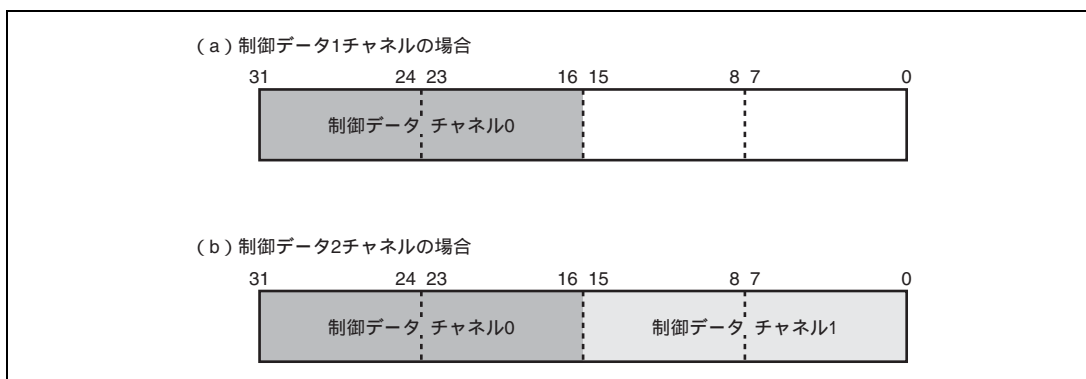


図 17.6 制御データビットアライメント

制御データのチャンネル数の設定は、SICDAR レジスタの CD0E ビットおよび CD1E ビットに対して行います。

表 17.7 に制御データにおけるチャンネル数の設定を示します。

制御データを 1 チャンネルだけ用いる場合には、チャンネル 0 側を使用してください。

表 17.7 制御データチャンネル数設定

チャンネル数	ビット	
	CD0E	CD1E
1	1	0
2	1	1

### 17.4.5 制御データインタフェース

制御データは、CODEC への制御コマンド出力と CODEC の状態入力を行います。SIOF は、制御データのインタフェース方式として、下記の 2 方式に対応します。

- スロット位置による制御
- セカンダリ FS による制御

制御データは、スロット長として 16 ビットでかつ MSB 先頭送受信を選択した場合に有効となります。

#### (1) スロット位置による制御 (マスタモード 1)

制御データのスロット位置を指定して、SIOF が送受信を行う全フレームで制御データの送受信を行う方式です。SIOF マスタ、スレーブのどちらでも使用可能です。図 17.7 にスロット位置による制御データインタフェースのタイミング例を示します。

【注】 本方式使用の際は、マスタクロックとして PCLK を使用してください (マスタクロック選択 (MSSEL) = 1)。

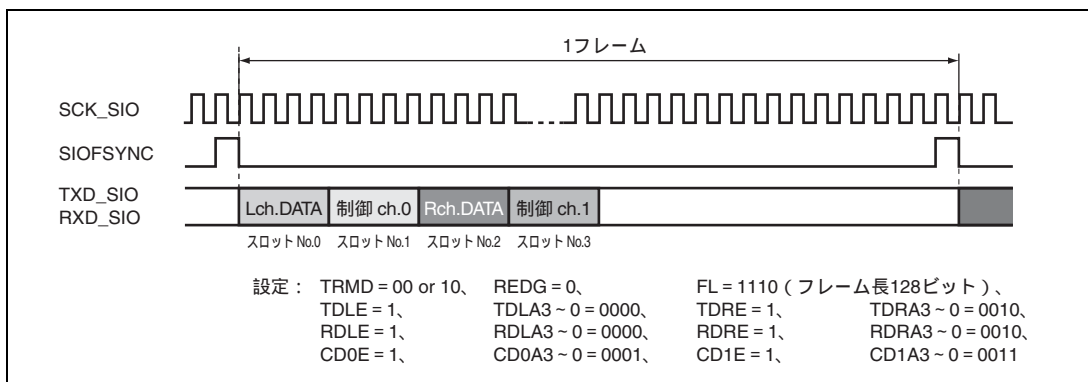


図 17.7 制御データインタフェース (スロット位置)

#### (2) セカンダリ FS による制御 (スレーブモード 2)

SIOFSYNC を同期パルス (FS) として出力する CODEC が、本来の FS 出力位置でない 1/2 フレーム時間経過後に、制御データ送受信専用のセカンダリ FS を出力して、制御データの送受信を行う方式です。SIOF スレーブモードのみ使用可能です。セカンダリ FS による制御データインタフェースの手順を以下に記します。

- 通常の送信データは、LSB = 0 で送出 (SIOF が強制的に 0 とする)
- 制御データ送信を行う場合には、LSB = 1 の送信データ送出 (SITCR レジスタへの書き込みで SIOF が 1 とする)
- CODEC はセカンダリ FS を出力する
- SIOF はセカンダリ FS に同期して制御データ (SITCR レジスタ設定データ) の送信および受信 (SIRCR レジスタへ格納) を行う

図 17.8 にセカンダリ FS による制御データインタフェースのタイミングを示します。

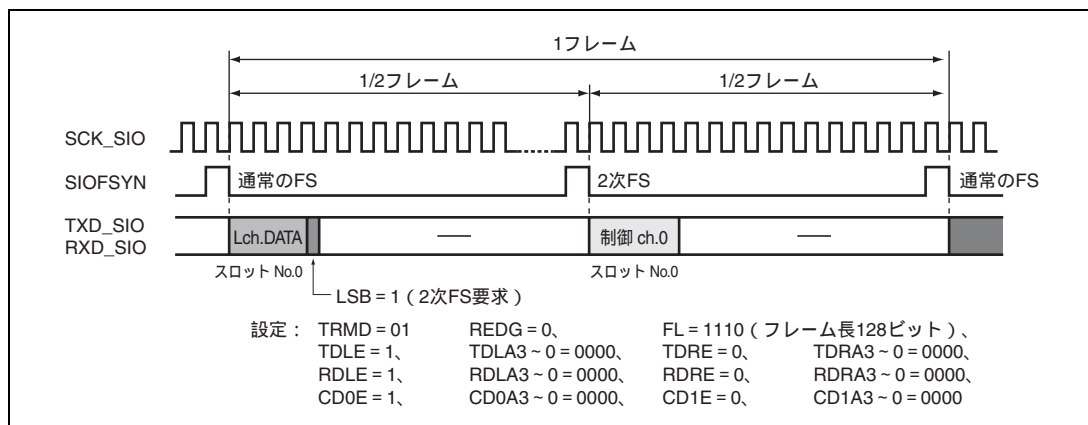


図 17.8 制御データインタフェース (セカンダリ FS)

## 17.4.6 FIFO

### (1) 概要

SIOF 送受信 FIFO の特長を以下に記します。

- 送受信それぞれ32bit × 16段の容量
- CPUおよびDMACのアクセスサイズにかかわらず、1回のRead/Writeサイクルでポインタは更新されます (1段のアクセスを複数回に分割することは不可能です)。
- アクセスサイクル数は、アクセスサイズにかかわらず常にPバスサイクルで2サイクルです。

### (2) 転送要求

SIOF は SISTR レジスタの下記 2 ビットに、FIFO の転送要求を表示します。

- 送信要求 : TDREQ (送信割り込み要因)
- 受信要求 : RDREQ (受信割り込み要因)

送受信 FIFO の送信要求を発行する条件は、それぞれ別個に設定が可能です。送信要求の条件は SIFCTR レジスタの TFWM2 ~ TFWM0 ビットに、受信 FIFO の転送要求は RFWM2 ~ RFWM0 ビットに設定します。表 17.8 に送信要求発行条件を、表 17.9 に受信要求発行条件を示します。

表 17.8 送信要求発行条件

TFWM2 ~ 0	リクエスト段数	送信要求発行	使用領域
000	1	空き領域が 16 段	小 ↑ ↓ 大
100	4	空き領域が 12 段以上	
101	8	空き領域が 8 段以上	
110	12	空き領域が 4 段以上	
111	16	空き領域が 1 段以上	

表 17.9 受信要求発行条件

RFWM2 ~ 0	リクエスト段数	受信要求発行	使用領域
000	1	有効領域が 1 段以上	小 ↑ ↓ 大
100	4	有効領域が 4 段以上	
101	8	有効領域が 8 段以上	
110	12	有効領域が 12 段以上	
111	16	有効領域が 16 段	

データ領域もしくは空き領域が上記段数を超えた場合でも、FIFO の容量は常に 16 段使用可能です。したがって、オーバランもしくはアンダランエラーは、データ領域もしくは空き領域が 16 段を超えた場合に発行されます。また、転送要求は、FIFO が空もしくは満杯にならなくても上記条件を満たさなくなった時点で解除します。

### (3) 段数表示

送受信 FIFO の使用状況を、下記内容でレジスタに表示します。

- 送信FIFO：SIFCTRレジスタのTFUA4～TFUA0ビットに空き領域の段数を表示
- 受信FIFO：SIFCTRレジスタのRFUA4～RFUA0ビットに有効データの段数を表示

上記内容は、CPU もしくは DMAC が転送可能なデータ数を表します。



## 17.4.7 送受信手順

## (1) マスタ時送信

図 17.9 にマスタ時送信の設定例および動作を示します。

番号	タイムチャート	SIOFの設定内容	SIOF動作
1		動作モード、シリアルクロック、送受信データの-slot位置、コントロールデータの-slot位置、FIFO要求の上限の設定	
2		ポーレートジェネレータの動作開始の設定	
3			シリアルクロック送信
4		フレーム同期信号の動作開始の設定	フレーム同期信号を送信
5		送信有効を設定	送信要求をサブミット
6			
7		送信データの設定	
8			送信
9		送信無効を設定	送信終了

図 17.9 マスタ時送信動作例

## (2) マスタ時受信

図 17.10 にマスタ時受信の設定例および動作を示します。

番号	タイムチャート	SIOFの設定内容	SIOF動作
1		動作モード、シリアルクロック、送受信データのスロット位置、コントロールデータのスロット位置、FIFO要求の上限の設定	
2		ボーレートジェネレータの動作開始の設定	
3			シリアルクロック送信
4		フレーム同期信号の動作開始の設定	フレーム同期信号を送信
5		受信有効を設定	
6			受信 FIFO の制限により受信要求をサブミット
7			受信
8		受信データの読み取り	
9		受信無効を設定	受信終了

図 17.10 マスタ時受信動作例

## (3) スレープ時送信

図 17.11 にスレープ時送信の設定例および動作を示します。

番号	タイムチャート	SIOFの設定内容	SIOF動作
1		動作モード、シリアルクロック、送受信データのスロット位置、コントロールデータのスロット位置、FIFO要求の上限の設定	
2		送信有効を設定	フレーム同期信号を送信した場合、送信を無効にする送信要求をサブミット
3			
4		送信データの設定	
5			送信
6		送信無効を設定	送信終了

図 17.11 スレープ時送信動作例

## (4) スレープ時受信

図 17.12 にスレープ時受信の設定例および動作を示します。

番号	タイムチャート	SIOFの設定内容	SIOF動作
1		動作モード、シリアルクロック、送受信データのスロット位置、コントロールデータのスロット位置、FIFO要求の上限の設定	
2		受信有効を設定	フレーム同期信号が受信された場合、受信有効
3			受信 FIFO の制限により受信要求をサブミット
4			受信
5		受信データの読み取り	
6			
6		受信無効を設定	受信終了

図 17.12 スレープ時受信動作例

## (5) 送受信リセット

SIOF は、下記ビットに 1 を設定することにより、送信部と受信部を別個にリセットすることが可能です。

- 送信リセット：(SICTRレジスタのTXRSTビット)
- 受信リセット：(SICTRレジスタのRXRSTビット)

表 17.10 に送受信リセットで初期化される内容を示します。

表 17.10 送受信リセット

種類	初期化対象
送信リセット	SITDR レジスタ 送信 FIFO ライトポインタ、送信 FIFO リードポインタ SISTR レジスタの TCRDY ビット、TFEMP ビット、TDREQ ビット SICTR レジスタの TXE ビット
受信リセット	SIRDR レジスタ 受信 FIFO ライトポインタ、受信 FIFO リードポインタ SISTR レジスタの RCRDY ビット、RFFUL ビット、RDREQ ビット SICTR レジスタの RXE ビット

## (6) モジュールストップ

SIOF は、モジュールストップ時には全レジスタの内容を保持したまま送受信動作を停止します。モジュールストップ解除直後に送受信動作を行わない場合には、送受信リセットを発行してください。

### 17.4.8 割り込み

SIOF は、下記 4 種類の割り込みを持ちます。これらの区分は、割り込みコントローラ (INTC) の IRR7 (SIOF0) および IRR8 (SIOF1) レジスタに反映されます。

- 送信割り込み (TXI)
- 受信割り込み (RXI)
- 制御割り込み (CCI)
- エラー割り込み (ERI)

#### (1) 割り込み要因

各割り込みは、それぞれ複数の要因によって発行することができます。各要因は、SISTR レジスタに SIOF ステータスとして表示します。表 17.11 に SIOF 割り込み要因一覧を示します。

表 17.11 SIOF 割り込み要因

No.	区分	ビット名	機能名称	内 容
1	送信 (TXI)	TDREQ	送信データ転送リクエスト	送信動作により送信 FIFO データ数が設定値以下になった
2	受信 (RXI)	RDREQ	受信データ転送リクエスト	受信 FIFO に設定値以上のデータが格納された
3	制御 (CCI)	TCRDY	送信制御データレディ	送信制御データレジスタに書き込みが可能である
4		RCRDY	受信制御データレディ	受信制御データレジスタに有効な値が格納された
5		TFEMP	送信 FIFO エンプティ	送信 FIFO がエンプティである
6		RFFUL	受信 FIFO フル	受信 FIFO が満杯である
7	エラー (ERI)	TFUDR	送信 FIFO アンダラン	送信 FIFO がエンプティ時にシリアルデータ送信タイミングが来た
8		TFOVR	送信 FIFO オーバラン	送信 FIFO が満杯時に送信 FIFO に書き込みを行った
9		RFOVR	受信 FIFO オーバラン	受信 FIFO が満杯時にシリアルデータを受信した
10		RFUDR	受信 FIFO アンダラン	受信 FIFO がエンプティ時に受信 FIFO 読み出しを行った
11		FSERR	フレーム同期エラー	設定ビット数以前に同期信号が入力された (スレープ時)

各割り込み要因によって割り込みを発行するか否かは、SIER レジスタへの設定によって決定します。SIER レジスタの対応するビットに 1 が設定してある割り込み要因が 1 にセットされたときに、SIOF は各種割り込みを発行します。

## (2) 送受信割り込みフラグ

送信割り込みおよび受信割り込みは、SISTR レジスタの TDREQ ビット、および RDREQ ビットの値を元に作成した割り込みフラグで、INTC または DMAC に割り込みを要求します。表 17.12 に送受信割り込みフラグの設定条件を示します。

表 17.12 送受信割り込みフラグの設定条件

	セット条件	リセット条件
送信割り込みフラグ	SISTR レジスタの TDREQ = 1	<ul style="list-style-type: none"> <li>• SISTR レジスタの TDREQ = 0</li> <li>• DMAC からのアクノリッジ</li> </ul>
受信割り込みフラグ	SISTR レジスタの RDREQ = 1	<ul style="list-style-type: none"> <li>• SISTR レジスタの RDREQ = 0</li> <li>• DMAC からのアクノリッジ</li> </ul>

## (3) エラー発生時の処理

SISTR レジスタにステータスとして表示する各エラー発生時は、SIOF は下記動作を行います。

- 送信FIFOアンダラン (TFUDR)
  - 直前の送信データを再び送出する。
- 送信FIFOオーバーラン (TFOVR)
  - 送信FIFOの内容は保護され、オーバーランとなった書き込みは無視する。
- 受信FIFOオーバーラン (RFOVR)
  - オーバーランとなったデータが廃棄され、消失する。
- 受信FIFOアンダラン (RFUDR)
  - 最後に読み出されたデータをバス上に出力する (仕様上は不定値とする)。
- フレーム同期エラー (FSERR)
  - エラーとなった同期信号 (FSYN) に従って、内部カウンタはリセットされる。

### 17.4.9 送受信タイミング

SIOF のシリアル送受信の例を図 17.13 ~ 図 17.19 に示します。

#### (1) 8 ビットモノラルの場合 (その 1)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 8 ビット

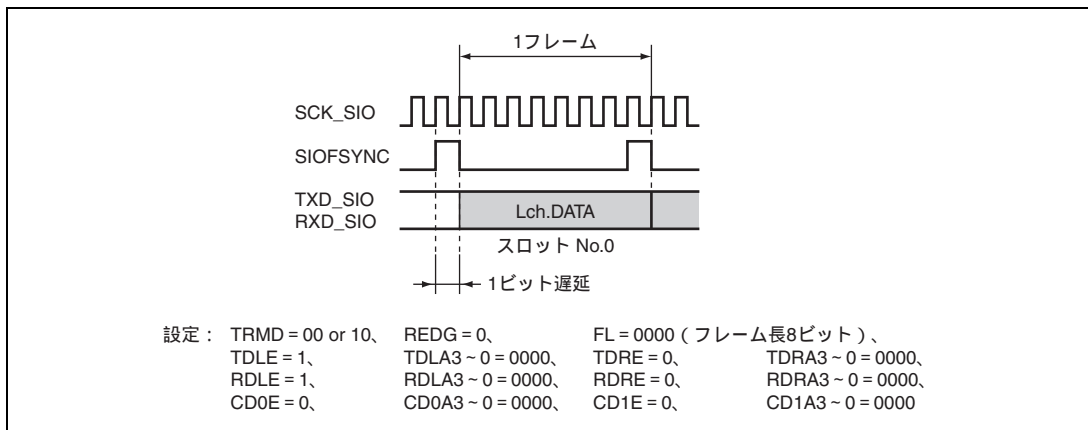


図 17.13 送受信タイミング (8 ビットモノラル - 1)

#### (2) 8 ビットモノラルの場合 (その 2)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 16 ビット

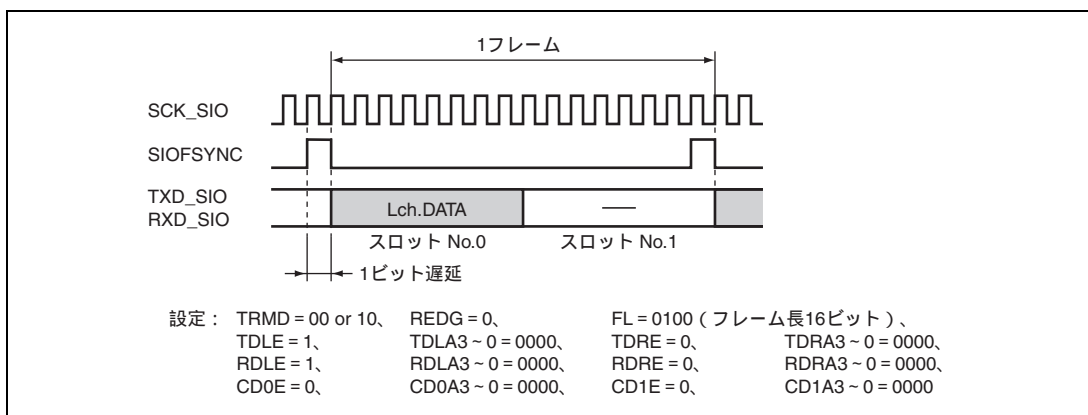


図 17.14 送受信タイミング (8 ビットモノラル - 2)



## (3) 16 ビットモノラルの場合 (その 1)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 64 ビット

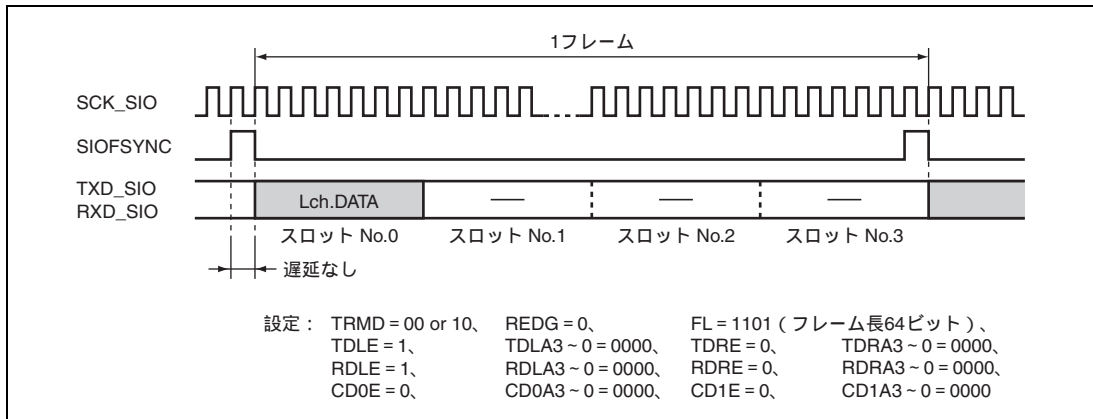


図 17.15 送受信タイミング (16 ビットモノラル - 1)

## (4) 16 ビットステレオの場合 (その 1)

L/R 方式、立ち上がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、フレーム長は 32 ビット

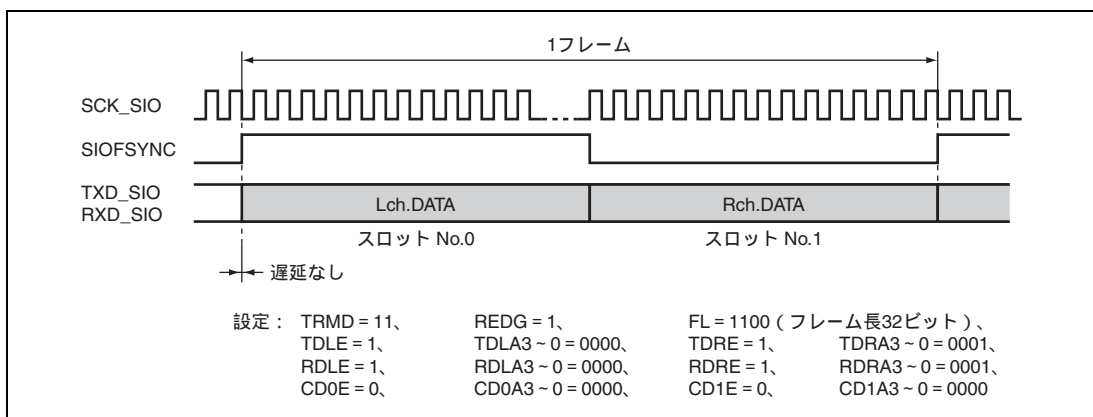


図 17.16 送受信タイミング (16 ビットステレオ - 1)

## (5) 16 ビットステレオの場合 (その 2)

L/R 方式、立ち上がりサンプリング、L チャンネル送信データはスロット No.0、L チャンネル受信データはスロット No.1、L チャンネル受信データはスロット No.2、R チャンネル受信データはスロット No.3、フレーム長は 64 ビット

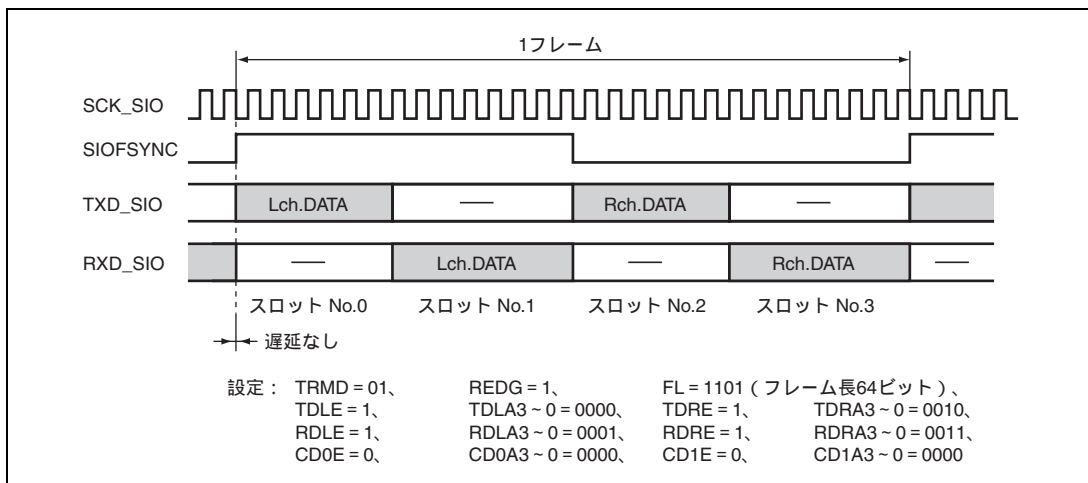


図 17.17 送受信タイミング (16 ビットステレオ - 2)

## (6) 16 ビットステレオの場合 (その 3)

同期パルス方式、立ち下がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.2、制御チャンネルデータ 0 はスロット No.1、制御チャンネルデータ 0 はスロット No.3、フレーム長は 128 ビット

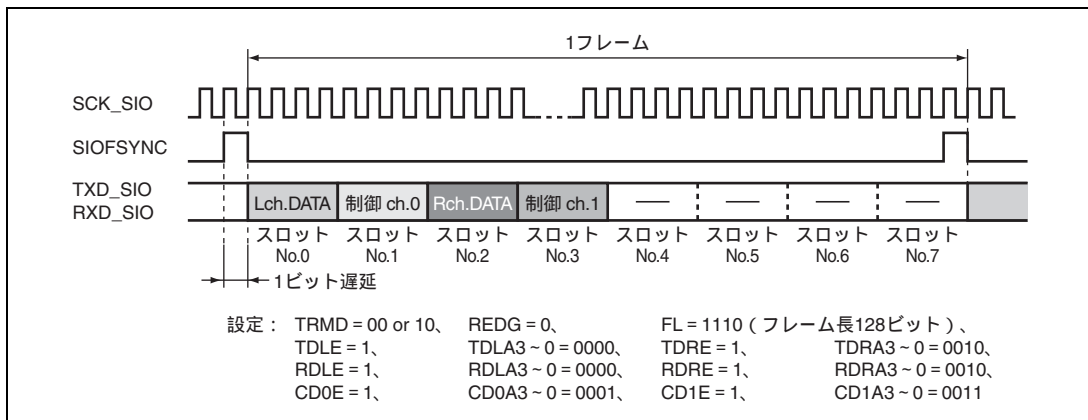


図 17.18 送受信タイミング (16 ビットステレオ - 3)

## (7) 16 ビットモノラルの場合 (その2)

同期パルス方式、立ち下がりサンプリング、セカンダリ FS を要求、L チャンネルデータはスロット No.0、制御チャンネルデータはスロット No.0、フレーム長は 128 ビット

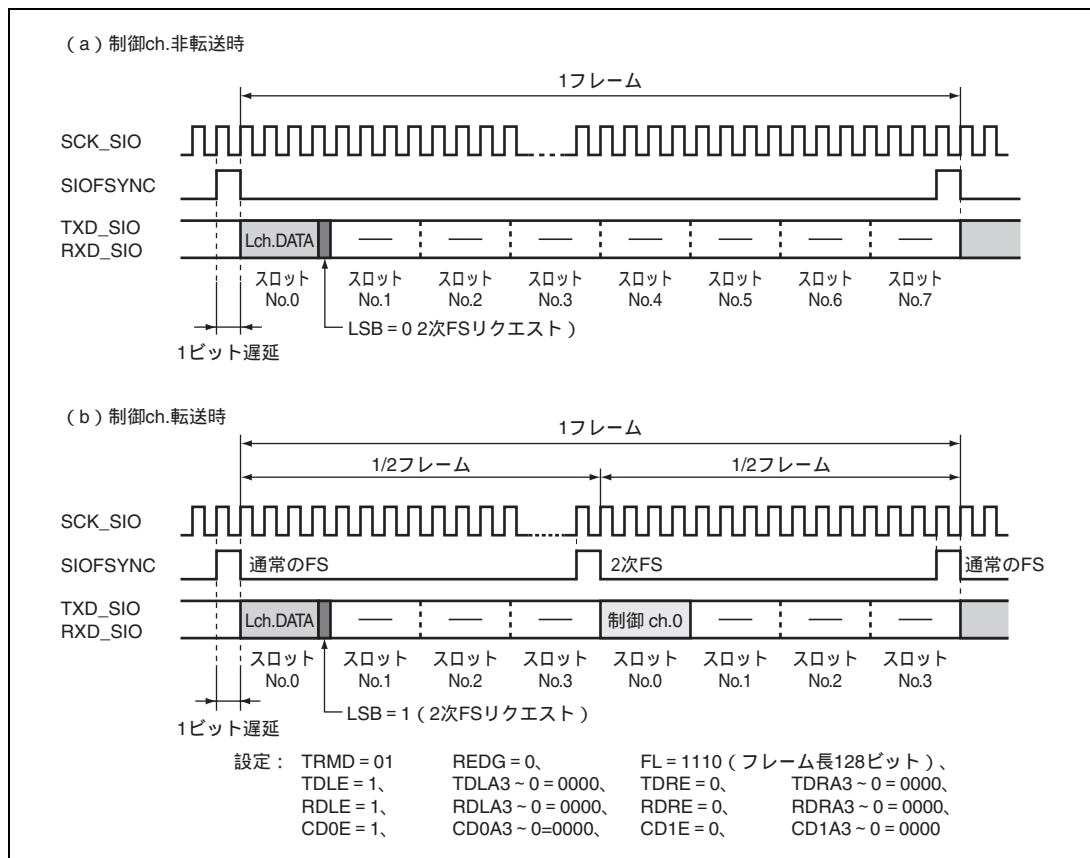


図 17.19 送受信タイミング (16 ビットモノラル - 2)

## 17.5 使用上の注意

SIOF を使用する際は、以下のことに注意してください。

### (1) スレーブモードで、送信機能を使用するとき

あらかじめ送信 FIFO にデータを書き込んだ状態で、送信イネーブルをイネーブル状態にすると、最初のデータが 1、2 個欠落することがあります。

したがって、送信イネーブルをイネーブル状態にする前に、送信 FIFO にデータを書かないでください。

### (2) 制御データインタフェース (セカンダリ FS 位置) で、制御データの送受信を連続して使用するとき

送信制御データが送出される前に、TCRDY が 1 になることがあり、この時点で、制御データレジスタに次制御データを書き込むと、送出前の制御データに上書きして消してしまいます。

また、このとき、制御シーケンスが崩れてしまい、SIOF がプライマリ FS とセカンダリ FS を取り違え、結果としてデータおよび制御データの送受信が正常に行えなくなります。

したがって、送信制御データを送出したあと、制御データレジスタに書き込んでください。

(例)

RCRDY を参照して、RCRDY が 1 のときに制御データレジスタを書き込みます。

なお、送信制御データを書き込んだあとは、必ずレシーブコントロールレジスタ (SIRCR) を読み出して、RCRDY をクリアしてください。

### (3) DMA 転送について

DMA の 16 バイト転送を使用しないでください (「13.4.4 DMA 転送の種類」を参照)。

### (4) CPU からのアクセスについて

CPU からアクセスする場合は、SIOF の送受信 FIFO に対して、連続してアクセスをしないで、SIOF の送受信 FIFO のアクセスの間に、SIOF の送受信 FIFO 以外のアクセスを挟むようにしてください。

### (5) 送受信 FIFO のアンダフロー時の注意事項

送受信動作中に送信 / 受信 FIFO が、アンダフロー状態になると、SIOF の送受信 FIFO の制御が破綻し、データが欠落することがあります。

回避策としては、アンダフロー状態にならないようにウォータマークを設定するか、エンティティ割り込みが発生した時点で、送信リセット (TXRST) または、受信リセット (RXRST) を実行してください。

### (6) 送受信リセット実行のお願い

送信 / 受信動作が終了したあと、および誤動作発生後に、SIOF を再度使用するときは、送信リセット (TXRST) または、受信リセット (RXRST) を実行したあとで、使用してください。

---

## 18. イーサネットコントローラ (EtherC)

---

本 LSI は、イーサネットあるいは IEEE802.3 の MAC (Media Access Control) 層規格に準拠したイーサネットコントローラ (EtherC) を内蔵しています。EtherC は、同規格に合致する物理層 LSI (PHY-LSI) と接続することにより、イーサネット/IEEE802.3 フレームの送受信を行うことができます。

SH7710 および SH7712 内蔵のイーサネットコントローラは MAC 層インタフェースを 2 系統 (以後、0 系、1 系と表記します) 内蔵しており、それぞれ独立に送信および受信動作をさせることができます。また、本イーサネットコントローラは、転送処理を制御する TSU (Transfer Switching Unit) を内蔵し、0 系および 1 系間の MAC 層コントローラ間で相互にデータを転送することができます。この TSU は、両イーサネットコントローラに入力されたパケットの受信や転送を判定するために、32 エントリの CAM (Content Addressable Memory) および 2 本の外部 CAM インタフェース入力端子を有しています。さらに、転送するパケットを保持するトータル 6k バイトの転送 FIFO を内蔵しており、0→1 系および 1→0 系の各転送条件に対し転送 FIFO 容量の割り当てを自在に設定することができます。

SH7713 内蔵のイーサネットコントローラは MAC 層インタフェースを 1 系統内蔵しており、独立に送信および受信動作をさせることができます。

イーサネットコントローラは、本 LSI 内部でイーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC) に接続されており、メモリとの高速アクセスが可能です。

図 18.1 (1)、図 18.1 (2) に EtherC の構成を示します。

### 18.1 特長

- イーサネット/IEEE802.3 フレームの送受信
- 10Mbps および 100Mbps 転送への対応
- 全二重モードおよび半二重モード対応
- IEEE802.3u 規格の MII (Media Independent Interface) 対応
- Magic Packet の検出および Wake-On-LAN (WOL) 信号の出力  
(以下 4 項目は、SH7710 および SH7712 のみ)
- TSU によるイーサネットフレーム転送機能
- IEEE802.1Q 仕様の Qtag 追加・削除機能 (TSU によるフレーム転送時)
- マルチキャスト (グループ) アドレスによる MAC アドレスフィルタリング機能
- 外部からの CAM (Content Addressable Memory) インタフェース信号入力によるイーサネットフレーム受信および転送動作制御機能。

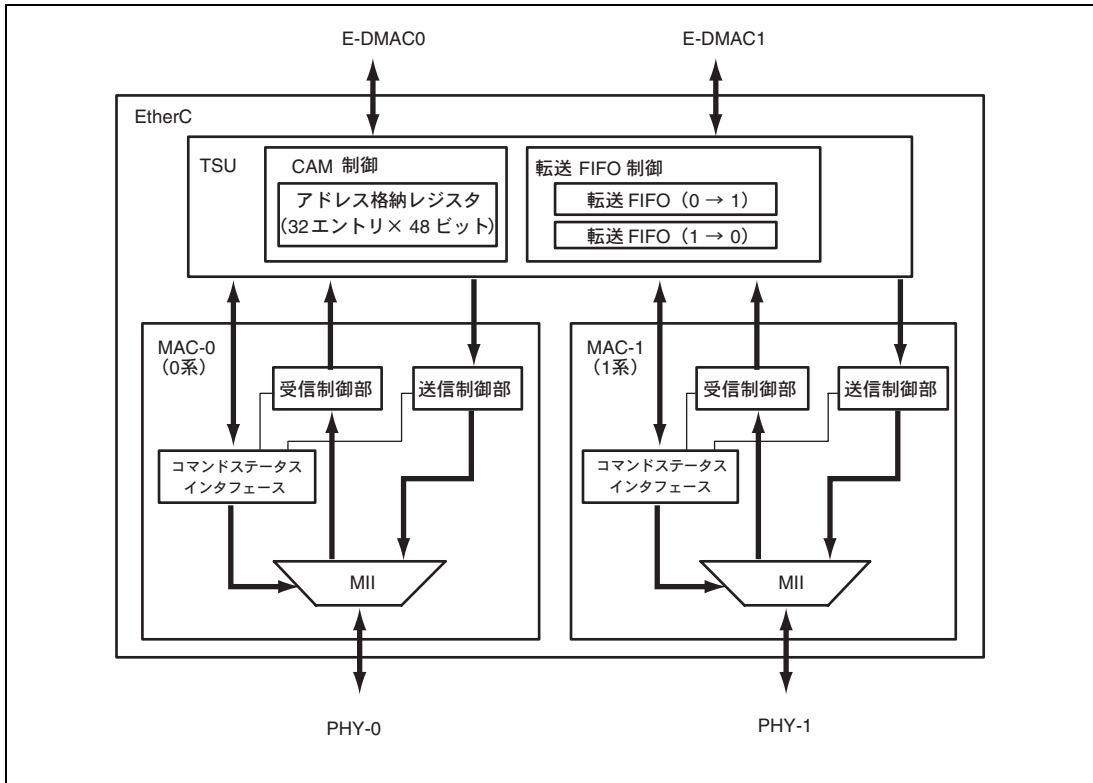


図 18.1 (1) EtherC の構成 (SH7710, SH7712)

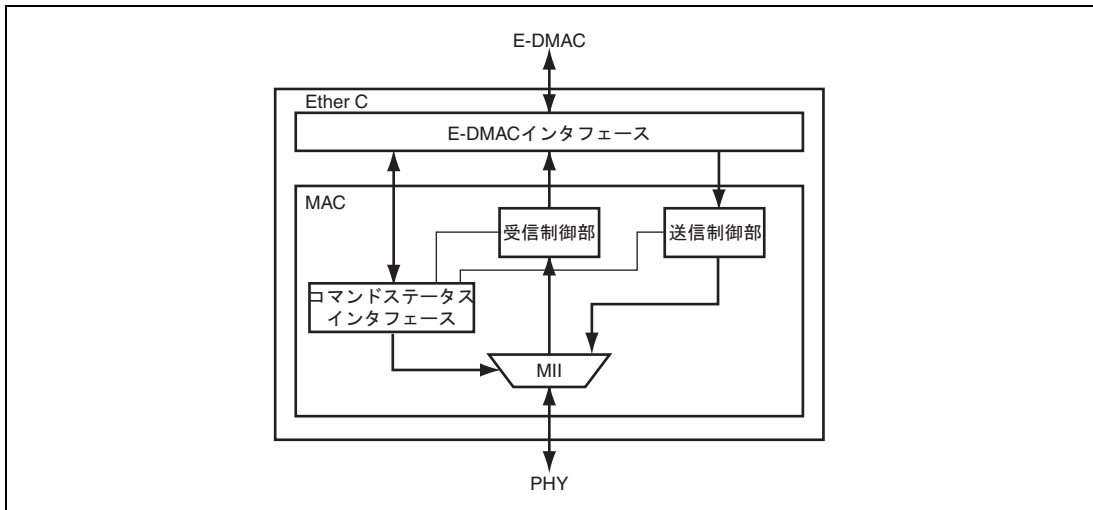


図 18.1 (2) EtherC の構成 (SH7713)

## 18.2 入出力端子

EtherC の端子構成を表 18.1 に示します。SH7710 および SH7712 の場合、記号の末尾の数字は、該当する 2 つの MAC 層インタフェースの番号 (MAC-0 または MAC-1 の別) を表します。本文中では、番号の記載を一部省略しています。

表 18.1 端子構成

名 称	記号			入出力	機 能
	SH7710、SH7712		SH7713		
	0 系	1 系			
送信クロック	TX-CLK0*1	TX-CLK1*1	TX-CLK0*1	入力	TX-EN、ETXD3~ETXD0、TX-ER のタイミング参照信号
受信クロック	RX-CLK0*1	RX-CLK1*1	RX-CLK0*1	入力	RX-DV、ERXD3~ERXD0、RX-ER のタイミング参照信号
送信イネーブル	TX-EN0*1	TX-EN1*1	TX-EN0*1	出力	ETXD3~ETXD0 上に送信データが準備できたことを示す信号
送信データ	ETXD03~ETXD00*1	ETXD13~ETXD10*1	ETXD03~ETXD00*1	出力	4 ビットの送信データ
送信エラー	TX-ER0*1	TX-ER1*1	TX-ER0*1	出力	送信中のエラーを PHY-LSI に通知
受信データ有効	RX-DV0*1	RX-DV1*1	RX-DV0*1	入力	有効な受信データが ERXD3~ERXD0 上にあることを示す信号
受信データ	ERXD03~ERXD00*1	ERXD13~ERXD10*1	ERXD03~ERXD00*1	入力	4 ビットの受信データ
受信エラー	RX-ER0*1	RX-ER1*1	RX-ER0*1	入力	データ受信中に発生したエラー状態を認識
キャリア検出	CRS0*1	CRS1*1	CRS0*1	入力	キャリア検出信号
衝突検出	COL0*1	COL1*1	COL0*1	入力	衝突検出信号
管理用データクロック	MDC0*1	MDC1*1	MDC0*1	出力	MDIO による情報転送用の参照クロック信号
管理用データ入出力	MDIO0*1	MDIO1*1	MDIO0*1	入出力	本 LSI と PHY との間で管理情報を交換するための双方向信号
リンクステータス	LNKSTA0	LNKSTA1	LNKSTA0	入力	PHY-LSI からのリンク状態入力
汎用外部出力	EXOUT0	EXOUT1	EXOUT0	出力	外部出力用端子
ウェイク・オン・ラン	WOL0	WOL1	WOL0	出力	Magic Packet 受信を示す信号
CAM 入力 0	CAMSEN0*2		—	入力	CAM インタフェース信号入力 0
CAM 入力 1	CAMSEN1*2		—	入力	CAM インタフェース信号入力 1
バス権解放要求	ARBUSY*3			出力	受信 FIFO 内のデータ量が設定したしきい値を超えたときのバス権解放要求を示す信号

【注】 \*1 IEEE802.3u 準拠の MII 信号

\*2 CAM 入力信号の機能は、TSU\_FWSLC レジスタの CAMSEL03~CAMSEL00、CAMSEL13~CAMSEL10 で設定します。

\*3 「第 19 章 イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC)」 「19.2.18 オーバフロー予告 FIFO しきい値設定レジスタ (FCFTR)」 「19.3.5 受信 FIFO オーバフロー予告信号 (ARBUSY) について」を参照してください。

### 18.3 レジスタの説明

EtherC には、以下のレジスタがあります。

SH7710 および SH7712 の場合、MAC 層インタフェース制御レジスタの略号の末尾の数字は、該当する 2 つの MAC 層インタフェースの番号 (MAC-0 または MAC-1 の別) を表します。本文中では、番号の記載を一部省略しています。

これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

#### (1) リセットレジスタ

- ソフトウェアリセットレジスタ (ARSTR)

#### (2) MAC 層インタフェース制御レジスタ

	SH7710、SH7712		SH7713
	0 系	1 系	
EtherC モードレジスタ	ECMR0	ECMR1	ECMR
EtherC ステータスレジスタ	ECSR0	ECSR1	ECSR
EtherC 割り込み許可レジスタ	ECSIPR0	ECSIPR1	ECSIPR
PHY 部インタフェースレジスタ	PIR0	PIR1	PIR
MAC アドレス上位設定レジスタ	MAHR0	MAHR1	MAHR
MAC アドレス下位設定レジスタ	MALR0	MALR1	MALR
受信フレーム長上限レジスタ	RFLR0	RFLR1	RFLR
PHY 部ステータスレジスタ	PSR0	PSR1	PSR
送信リトライオーバーカウンタレジスタ	TROCR0	TROCR1	TROCR
遅延衝突検出カウンタレジスタ	CDCR0	CDCR1	CDCR
キャリア消失カウンタレジスタ	LCCR0	LCCR1	LCCR
キャリア未検出カウンタレジスタ	CNDCR0	CNDCR1	CNDCR
CRC エラーフレーム受信カウンタレジスタ	CEFCR0	CEFCR1	CEFCR
フレーム受信エラーカウンタレジスタ	FRECR0	FRECR1	FRECR
64 バイト未満フレーム受信カウンタレジスタ	TSFR0	TSFR1	TSFR
指定バイト超フレーム受信カウンタレジスタ	TLFR0	TLFR1	TLFR
端数ビットフレーム受信カウンタレジスタ	RFCR0	RFCR1	RFCR
マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR0	MAFCR1	MAFCR
IPG 設定レジスタ	IPGR0	IPGR1	IPGR



## (3) TSU 制御レジスタ

	SH7710、SH7712				SH7713
	0系	0→1系	1→0系	1系	
TSU カウンタリセットレジスタ	TSU_CTRST				
転送イネーブルレジスタ	—	TSU_FWEN0	TSU_FWEN1	—	—
転送 FIFO 容量選択レジスタ	TSU_FCM				—
転送 FIFO オーバフロー予告設定レジスタ	TSU_BSYSL0	—	—	TSU_BSYSL1	—
送信・転送優先制御モードレジスタ	TSU_PRISL0	—	—	TSU_PRISL1	—
受信・転送機能設定レジスタ	—	TSU_FWSL0	TSU_FWSL1	—	—
転送機能設定レジスタ (共通)	TSU_FWSLC				—
Qtag 追加・削除設定レジスタ	—	TSU_QTAGM0	TSU_QTAGM1	—	—
転送ステータスレジスタ	TSU_FWSR				—
転送ステータス割り込みマスクレジスタ	TSU_FWINMK				—
追加 Qtag 値設定レジスタ	—	TSU_ADQT0	TSU_ADQT1	—	—
CAM エントリテーブル設定ビジーレジスタ	TSU_ADSBSY				—
CAM エントリテーブルイネーブル設定レジスタ	TSU_TEN				—
CAM エントリテーブル POST 設定 1~4 レジスタ	TSU_POST1~TSU_POST4				—
CAM エントリテーブル 0~31H レジスタ	TSU_ADRH0~TSU_ADRH31				—
CAM エントリテーブル 0~31L レジスタ	TSU_ADRL0~TSU_ADRL31				—
送信フレーム数カウンタレジスタ (正常送信のみ)	TXNLCR0	—	—	TXNLCR1	TXNLCR
送信フレーム数カウンタレジスタ (正常および障害発生を含むすべて)	TXALCR0	—	—	TXALCR1	TXALCR
受信フレーム数カウンタレジスタ (正常受信のみ)	RXNLCR0	—	—	RXNLCR1	RXNLCR
受信フレーム数カウンタレジスタ (正常および障害発生を含むすべて)	RXALCR0	—	—	RXALCR1	RXALCR
転送フレーム数カウンタレジスタ (正常転送のみ)	—	FWNLCR1	FWNLCR0	—	—
転送フレーム数カウンタレジスタ (正常および障害発生を含むすべて)	—	FWALCR1	FWALCR0	—	—

### 18.3.1 ソフトウェアリセットレジスタ (ARSTR)

ARSTR は、イーサネット関係のすべてのモジュール (EtherC および E-DMAC) をリセットします。本レジスタの ARST ビットに 1 を書き込むことにより、イーサネット関係のすべてのモジュールに対しソフトウェアリセットが発行されます (外部バスクロック Bφ で 64 サイクル間)。ARST ビットにリード動作をすると常に 0 が読み出されます。ソフトウェアリセットの発行期間中は、イーサネット関係のすべてのモジュールに対するレジスタアクセスを禁止します。

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	ARST	0	R/W	ソフトウェアリセット 本ビットに 1 を書き込むと、イーサネット関係のすべてのモジュールに対しソフトウェアリセットが発行されます (外部バスクロック Bφ で 64 サイクル間)。0 を書き込んでも何も行われません。読み出し時は常に 0 が読み出されます。ソフトウェアリセットの発行期間中は、イーサネット関係のすべてのモジュールに対するレジスタアクセスを禁止します。また、以下のレジスタは、ソフトウェアリセットでは初期化されません。 SH7710、SH7712 : TSU_ADRH0~TSU_ADRH31、TSU_ADRL0~TSU_ADRL31、 TXNLCR0/1、TXALCR0/1、RXNLCR0/1、RXALCR0/1、FWNLCR0/1、 FWALCR0/1 SH7713 : TXNLCR、TXALCR、RXNLCR、RXALCR

### 18.3.2 EtherC モードレジスタ (ECMR)

ECMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、イーサネットコントローラの動作モードを指定するレジスタです。通常、本レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。動作モードを切り換える場合には、EDMR 内にある SWR により、EtherC および E-DMAC を初期状態に戻してから再設定を行います。

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13	MCT	0	R/W	<p>マルチキャストアドレスフレーム受信モード</p> <p>0 : CAM エントリテーブル 0~31 (H/L) レジスタで設定したマルチキャストアドレス以外のフレームのみ受信します。ただし、内蔵 CAM エントリテーブル参照が無効になっているときは、マルチキャストアドレスフレームをすべて受信します。</p> <p>1 : CAM エントリテーブル 0~31 (H/L) レジスタで設定したマルチキャストアドレスのみ受信します。</p> <p>【注】 本ビットは、SH7713 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
12	PRCEF	0	R/W	<p>CRC エラーフレーム受信許可</p> <p>0 : CRC エラーとなった受信フレームを「エラーあり」のフレームとして受信する。</p> <p>1 : CRC エラーとなった受信フレームを「エラーなし」のフレームとして受信する。</p> <p>「エラーあり」の場合、E-DMAC の EESR および受信ディスクリプタのステータスに CRC エラーが反映されます。「エラーなし」の場合、正常なフレームとして受信します。</p>
11	—	0	R	リザーブビット
10	—	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9	MPDE	0	R/W	<p>Magic Packet 検出許可</p> <p>イーサネットからの起動を有効にするため、ハードウェアによる Magic Packet の検出機能を許可するかしないかの選択を行います。</p> <p>0 : Magic Packet の検出を許可しない</p> <p>1 : Magic Packet の検出を許可する</p>
8	—	0	R	リザーブビット
7	—	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	RE	0	R/W	<p>受信許可</p> <p>本ビットを受信機能有効 (RE=1) から無効 (RE=0) としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。</p> <p>0 : 受信機能を無効にする</p> <p>1 : 受信機能を有効にする</p>
5	TE	0	R/W	<p>送信許可</p> <p>本ビットを送信機能有効 (TE=1) から無効 (TE=0) としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。</p> <p>0 : 送信機能を無効にする</p> <p>1 : 送信機能を有効にする</p>
4	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3	ILB	0	R/W	内部ループバックモード EtherC 内部でのループバックモードを指定します。 0 : 通常のデータ送受信を行う 1 : DM=1 のとき、EtherC 内の MAC 内部でのデータの折り返しを行う
2	ELB	0	R/W	外部ループバックモード 本ビットの値は、本 LSI の汎用外部出力端子 (EXOUT) にそのまま出力されます。EXOUT 端子を用いて PHY-LSI におけるループバックモードの指示などに利用します。本機能によって PHY-LSI でのループバック機能を実現する場合は、PHY-LSI に EXOUT 端子に対応する端子があることが必要です。 0 : EXOUT 端子は、ローレベルを出力する 1 : EXOUT 端子は、ハイレベルを出力する
1	DM	0	R/W	デュプレックスモード EtherC の転送方式を指示します。 0 : 半二重転送方式を指定する 1 : 全二重転送方式を指定する
0	PRM	0	R/W	プロミスカスモード 本ビットを設定すると、すべてのイーサネットフレームを受信することができます。このときすべてのイーサネットフレームとは、あて先アドレス、ブロードキャストアドレス、マルチキャストビットなどの相違や有無にかかわらず、受信可能なすべてのフレームを表します。 0 : EtherC は、通常動作を行う 1 : EtherC は、プロミスカスモード動作を行う

### 18.3.3 EtherC ステータスレジスタ (ECSR)

ECSR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC 内のステータスを表示するレジスタです。本ステータスは、割り込みによって CPU に通知することが可能です。LCHNG、MPD、ICD に 1 を書き込むと、対応するフラグをクリアできます。0 を書き込んだ場合は、フラグに影響を与えません。また割り込みを発生するビットは、ECSIPR の対応するビットによって割り込みを許可または禁止することができます。

本ステータスレジスタが要因で発生する割り込みは、SH7710 および SH7712 の場合、0 系では E-DMAC0、1 系では E-DMAC1 の EESR レジスタ ECI ビットに反映されます。SH7713 の場合、E-DMAC の EESR レジスタ ECI ビットに反映されます。

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2	LCHNG	0	R/W	リンク信号変化 PHY-LSI から入力される LNKSTA 信号が、ハイレベルからローレベルにあるいはローレベルからハイレベルに変化したことを表します。 現在の Link 状態を確認するには、PHY 部ステータスレジスタ (PSR) の LMON ビットを参照してください。 0 : LNKSTA 信号の変化を検出していない 1 : LNKSTA 信号の変化 (ハイレベル→ローレベルあるいはローレベル→ハイレベル) を検出した
1	MPD	0	R/W	Magic Packet 検出 回線上から Magic Packet を検出したことを表します。 0 : Magic Packet を検出していない 1 : Magic Packet を検出した
0	ICD	0	R/W	不正キャリア検出 回線上で PHY-LSI が不正なキャリアを検出したことを表します。ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。 0 : PHY-LSI は、回線上で不正キャリアを検出していない 1 : PHY-LSI は、回線上で不正キャリアを検出した

### 18.3.4 EtherC 割り込み許可レジスタ (ECSIPR)

ECSIPR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、ECSR によって報告される割り込み要因の許可を指示します。各ビットは、ECSR のビットに対応する割り込みを許可することができます。

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	LCHNGIP	0	R/W	リンク信号変化割り込み許可ビット 0 : LCHNG の割り込み通知を禁止 1 : LCHNG の割り込み通知を許可
1	MPDIP	0	R/W	Magic Packet 検出割り込み許可ビット 0 : MPD の割り込み通知を禁止 1 : MPD の割り込み通知を許可
0	ICDIP	0	R/W	不正キャリア検出割り込み許可ビット 0 : ICD の割り込み通知を禁止 1 : ICD の割り込み通知を許可

### 18.3.5 PHY 部インタフェースレジスタ (PIR)

PIR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、MII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供します。

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	MDI	不定	R	MII マネジメントデータイン MDIO 端子のレベルを表します。
2	MDO	0	R/W	MII マネジメントデータアウト MMD ビットが 1 のとき、本ビットに設定された値を MDIO 端子より出力します。
1	MMD	0	R/W	MII マネジメントモード MII とのデータのリード/ライト方向を規定します。 0 : リード方向を規定 1 : ライト方向を規定
0	MDC	0	R/W	MII マネジメントデータクロック 本ビットに設定された値を MDC 端子より出力し、MII へのマネジメントデータクロックを供給します。MII レジスタへのアクセス方法については、「18.4.6 MII レジスタのアクセス方法 (SH7710、SH7712、および SH7713 のすべてに適用)」を参照してください。

### 18.3.6 MAC アドレス上位設定レジスタ (MAHR)

MAHR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの上位 32 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。EDMR の SWR ビットにより EtherC および E-DMAC を初期状態に戻してから再設定してください。

ビット	ビット名	初期値	R/W	説明
31~0	MA47~ MA16	すべて 0	R/W	MAC アドレスビット MAC アドレスの上位 32 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'01234567 を設定します。

### 18.3.7 MAC アドレス下位設定レジスタ (MALR)

MALR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの下位 16 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信または受信機能が有効な状態で書き換えることを禁止します。EDMR の SWR ビットにより EtherC および E-DMAC を初期状態に戻してから再設定してください。

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MA15~ MA0	すべて 0	R/W	MAC アドレスビット 15~0 MAC アドレスの下位 16 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'000089AB を設定します。

### 18.3.8 受信フレーム長上限レジスタ (RFLR)

RFLR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、本 LSI が受信することのできる最大フレーム長をバイト単位で指定します。本レジスタは、受信機能が有効な状態での書き換えを禁止します。

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	RFL11~ RFL0	すべて 0	R/W	受信フレームデータ長 11~0 ここでのフレームデータは、あて先アドレスから CRC データまでを含んだ範囲となりますが、実際には、あて先アドレスからデータまでがメモリ上に転送されます。CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは廃棄されます。  H'000~H'5EE : 1,518 バイト H'5EF : 1,519 バイト H'5F0 : 1,520 バイト : : H'7FF : 2,047 バイト H'800~H'FFF : 2,048 バイト

### 18.3.9 PHY 部ステータスレジスタ (PSR)

PSR は、読み出し専用のレジスタで、PHY-LSI からのインタフェース信号を読み込むことができます。

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	LMON	0	R	LNKSTA 端子状態 LNKSTA 端子に PHY-LSI から出力される Link 信号を接続することによって、Link 状態を読み込むことができます。極性については、接続する PHY-LSI の仕様を参照してください。

### 18.3.10 送信リトライオーバーカウンタレジスタ (TROCR)

TROCR は、送信時に再送を合わせて 16 回の試行で送信できなかったフレーム数を示す 32 ビットのカウンタです。送信を 16 回失敗すると、本レジスタは 1 カウントアップします。本レジスタの値が、H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット	ビット名	初期値	R/W	説明
31~0	TROC31 ~TROC0	すべて 0	R/W	送信リトライオーバーカウンタ 送信時に、再送を合わせて 16 回の試行で送信できなかったフレームのカウンタ数を表します。

### 18.3.11 遅延衝突検出カウンタレジスタ (CDCR)

CDCR は、送信開始以降すべての回線上の衝突回数を示す 32 ビットのカウンタで、H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット	ビット名	初期値	R/W	説明
31~0	COSDC31 ~COSDC0	すべて 0	R/W	衝突検出カウンタ 送信開始からのすべての衝突の回数を表します。



### 18.3.12 キャリア消失カウンタレジスタ (LCCR)

LCCR は、データの送信中にキャリアが消失した回数を示す 32 ビットのカウンタで、H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット	ビット名	初期値	R/W	説明
31~0	LCC31~ LCC0	すべて 0	R/W	消失キャリアカウンタ データ送信中に消失したキャリアのカウンタ数を表します。

### 18.3.13 キャリア未検出カウンタレジスタ (CNDCR)

CNDCR は、プリアンプルを送出中にキャリアを検出できなかった回数を示す 32 ビットのカウンタで、H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット	ビット名	初期値	R/W	説明
31~0	CNDC31~ ~CNDC0	すべて 0	R/W	キャリア未検出カウンタ 未検出キャリアのカウンタ数を表します。

### 18.3.14 CRC エラーフレーム受信カウンタレジスタ (CEFCR)

CEFCR は、CRC エラーとなったフレームの受信回数を示す 32 ビットのカウンタで、H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット	ビット名	初期値	R/W	説明
31~0	CEFC31~ CEFC0	すべて 0	R/W	CRC エラーフレームカウンタ CRC エラーとなったフレームを受信したカウンタ数を表します。

### 18.3.15 フレーム受信エラーカウンタレジスタ (FRECR)

FRECR は、PHY-LSI から入力される RX-ER 端子により受信エラーとなったフレームの個数を示す 32 ビットのカウンタです。RX-ER 端子がアクティブになるごとに 1 カウンタアップします。本レジスタの値が H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット	ビット名	初期値	R/W	説明
31~0	FREC31~ FREC0	すべて 0	R/W	フレーム受信エラーカウンタ フレームを受信中にエラーとなったカウンタ数を表します。

### 18.3.16 64 バイト未満フレーム受信カウンタレジスタ (TSFRCR)

TSFRCR は、64 バイト未満のフレームを受信したことを示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット	ビット名	初期値	R/W	説明
31~0	TSFC31~ TSFC0	すべて 0	R/W	64 バイト未満フレーム受信カウンタ 64 バイト未満のフレームを受信したカウント数を表します。

### 18.3.17 指定バイト超フレーム受信カウンタレジスタ (TLFRCR)

TLFRCR は、受信フレーム長上限レジスタ (RFLR) で指定した値を超えるフレームを受信したことを示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFF になるとカウンタアップを停止します。端数ビットを含むフレームを受信した場合は、本レジスタはカウンタアップしません。この場合は、端数ビットフレーム受信カウンタレジスタ (RFCR) に反映されます。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット	ビット名	初期値	R/W	説明
31~0	TLFC31~ TLFC0	すべて 0	R/W	指定バイト超フレーム受信カウンタ RFLR の値を超えるフレームを受信したカウント数を表します。

### 18.3.18 端数ビットフレーム受信カウンタレジスタ (RFCR)

RFCR は、8 ビットに満たない端数ビットデータを含むフレームを受信したことを示す 32 ビットのカウンタで、H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット	ビット名	初期値	R/W	説明
31~0	RFC31~ RFC0	すべて 0	R/W	端数ビットフレーム受信カウンタ 端数ビットデータを含むフレームを受信したカウント数を表します。

### 18.3.19 マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)

MAFCR は、マルチキャストアドレスを指定するフレームを受信したことを示す 32 ビットのカウンタで、H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット	ビット名	初期値	R/W	説明
31~0	MAFC31~ ~MAFC0	すべて 0	R/W	マルチキャストアドレスフレームカウンタ マルチキャストフレームを受信したカウント数を表します。

### 18.3.20 IPG 設定レジスタ (IPGR)

IPGR は、IPG (InterPacketGap) の値を設定するレジスタです。EtherC モードレジスタ (ECMR) の送受信機能が有効な状態での書き換えは、禁止します (詳細は「18.4.8 IPG 設定による動作 (SH7710、SH7712、および SH7713 のすべてに適用)」を参照してください)。

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4~0	IPG4~ IPG0	H'13	R/W	Inter Packet Gap 4 ビット時間ごとに IPG 値を設定します。 H'00 : 20 ビット時間 H'01 : 24 ビット時間 : : H'13 : 96 ビット時間 (デフォルト) : : H'1F : 144 ビット時間

### 18.3.21 TSU カウンタリセットレジスタ (TSU\_CTRST)

TSU\_CTRST は、SH7710 および SH7712 の場合、送信、受信、および転送フレーム数カウンタを 0 にクリアします。SH7713 の場合、送信および受信フレーム数カウンタを 0 にクリアします。

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8	CTRST	0	R/W	TSU カウンタリセット 本ビットに 1 を書き込むと、SH7710 および SH7712 の場合、TXNLCR0/1、TXALCR0/1、RXNLCR0/1、RXALCR0/1、FWNLCR0/1、FWALCR0/1 の各レジスタの値が 0 にクリアされます。SH7713 の場合、TXNLCR、TXALCR、RXNLCR、RXALCR の各レジスタの値が 0 にクリアされます。0 書き込みしても何も行われません。読み出すと常に 0 が読み出されます。
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

### 18.3.22 転送イネーブルレジスタ (0→1系) (TSU\_FWEN0) (SH7710、SH7712)

TSU\_FWEN0 は、MAC-0 から MAC-1 への転送動作 (転送 FIFO への書き込み) を許可または禁止します。

ビット	ビット名	初期値	R/W	説明
31	FWEN0	0	R/W	0→1 系転送動作イネーブル 0 : 0→1 系転送動作を禁止 1 : 0→1 系転送動作を許可 転送 FIFO 容量選択レジスタ TSU_FCM の FCM2~0 の値を H'4 に設定した場合は、本ビットを 1 にセットすることを禁止します。
30~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

### 18.3.23 転送イネーブルレジスタ (1→0系) (TSU\_FWEN1) (SH7710、SH7712)

TSU\_FWEN1 は、MAC-1 から MAC-0 への転送動作 (転送 FIFO への書き込み) を許可または禁止します。

ビット	ビット名	初期値	R/W	説明
31	FWEN1	0	R/W	1→0 系転送動作イネーブル 0 : 1→0 系転送動作を禁止 1 : 1→0 系転送動作を許可 転送 FIFO 容量選択レジスタ TSU_FCM の FCM2~FCM0 の値を H'3 に設定した場合は、本ビットを 1 にセットすることを禁止します。
30~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

## 18.3.24 転送 FIFO 容量選択レジスタ (TSU\_FCM) (SH7710、SH7712)

TSU\_FCM は、MAC-0、MAC-1 相互間の転送動作時に用いる、TSU 内の転送 FIFO の容量を選択します。

ビット	ビット名	初期値	R/W	説 明
31~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2~0	FCM2~ FCM0	すべて 0	R/W	<p>転送 FIFO 容量</p> <p>H'0 : 0→1 系 : 3kB、            1→0 系 : 3kB</p> <p>H'1 : 0→1 系 : 4kB、            1→0 系 : 2kB</p> <p>H'2 : 0→1 系 : 5kB、            1→0 系 : 1kB</p> <p>H'3 : 0→1 系 : 6kB、            1→0 系 : 使用しない</p> <p>H'4 : 0→1 系 : 使用しない、    1→0 系 : 6kB</p> <p>H'5 : 0→1 系 : 1kB、            1→0 系 : 5kB</p> <p>H'6 : 0→1 系 : 2kB、            1→0 系 : 4kB</p> <p>H'7 :                            設定禁止</p> <p>いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは、無効です。</p>

### 18.3.25 転送 FIFO オーバフロー予告設定レジスタ (0 系) (TSU\_BSYSL0) (SH7710、SH7712)

TSU は、転送動作時に転送 FIFO 内に書き込まれたデータ量があるしきい値を超えると、MAC-0/1 に対し転送 FIFO への書き込みができなくなることを予告通知する機能を有しています。TSU\_BSYSL0 は、転送動作時 TSU から MAC-0 に対し、転送 FIFO への書き込みができなくなることを予告通知するときの転送 FIFO のしきい値を設定します。

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5~0	BSYSL05~ BSYSL00	すべて 1	R/W	<p>転送動作時、TSU から MAC-0 に対し、転送 FIFO への書き込みができなくなることを予告通知するときの 0→1 系転送 FIFO 容量のしきい値を、256 バイト単位で設定します。</p> <p>H'00 : 0 バイト H'01 : 256 バイト H'02 : 512 バイト : : H'16 : 5632 バイト H'17 : 5888 バイト</p> <p>H'18~H'3F は、設定無効です (予告通知は常にしません)。</p> <p>H'00 を設定したときは、常に TSU から MAC-0 に対し転送 FIFO への書き込みができなくなることを予告通知します。設定値が TSU_FCM の FCM2~FCM0 で設定した 0→1 系転送 FIFO 容量以上 (同じ値を含む) のときは、TSU は MAC-0 に対し転送 FIFO への書き込みができなくなることを予告通知しません。</p> <p>いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込み動作を禁止します。</p> <p>また、転送動作のイネーブルビット (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1) を 0 にクリアしたときは、TSU から MAC-0 に対する転送 FIFO への書き込み不可の予告通知は停止します。</p>

### 18.3.26 転送 FIFO オーバフロー予告制御設定レジスタ (1 系) (TSU\_BSYSL1) (SH7710、SH7712)

TSU は、転送動作時に転送 FIFO 内に書き込まれたデータ量があるしきい値を超えると、MAC-0/1 に対し、転送 FIFO への書き込みができなくなることを予告通知する機能を有しています。TSU\_BSYSL1 は、転送動作時 TSU から MAC-1 に対し、転送 FIFO への書き込みができなくなることを予告通知するときの転送 FIFO のしきい値を設定します。

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5~0	BSYSL15~ BSYSL10	すべて 1	R/W	<p>転送動作時、TSU から MAC-1 に対し、転送 FIFO への書き込みができなくなることを予告通知するときの 1→0 系転送 FIFO 容量のしきい値を 256 バイト単位で設定します。</p> <p>H'00 : 0 バイト H'01 : 256 バイト H'02 : 512 バイト : : H'16 : 5632 バイト H'17 : 5888 バイト</p> <p>H'18~H'3F は、設定無効です (予告通知は常にしません)。</p> <p>H'00 を設定したときは、常に TSU から MAC-1 に対し転送 FIFO への書き込みができなくなることを予告通知します。設定値が TSU_FCM の FCM2~FCM0 で設定した 1→0 系転送 FIFO 容量以上 (同じ値を含む) のときは、TSU は MAC-1 に対し転送 FIFO への書き込みができなくなることを予告通知しません。</p> <p>いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込み動作を禁止します。</p> <p>また、転送動作のイネーブルビット (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1) を 0 にクリアしたときは、TSU から MAC-1 に対する転送 FIFO への書き込み不可の予告通知は停止します。</p>

### 18.3.27 送信・転送優先制御モードレジスタ (0系) (TSU\_PRISL0) (SH7710、SH7712)

TSU\_PRISL0は、MAC-0へのE-DMACからの送信要求と1→0系転送動作が競合したときの、優先制御モードを設定します。いったん転送動作を許可した後 (TSU\_FWEN0のFWEN0またはTSU\_FWEN1のFWEN1を1にセットした後)の本レジスタへの書き込みは禁止します。

ビット	ビット名	初期値	R/W	説明
31~15	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
14~12	PRIMD02~ PRIMD00	すべて0	R/W	MAC-0の送信と1→0系転送動作の優先制御モードを設定します。 H'0: ラウンドロビン H'1: 送信優先 H'2: 転送優先 H'4: ラウンドロビン、ただし転送 FIFO 使用量が PRISL07~PRISL00の設定値を超えると転送優先に切り換え H'5: 送信優先、ただし転送 FIFO 使用量が PRISL07~PRISL00の設定値を超えると転送優先に切り換え その他: 設定禁止
11~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
7~0	PRISL07~ PRISL00	すべて0	R/W	PRIMD02~PRIMD00をH'4またはH'5に設定したとき、転送優先への切り換えが生じる際の1→0系転送FIFO容量のしきい値を64バイト単位で設定します。 H'00: 0バイト H'01: 64バイト H'02: 128バイト : : H'5E: 6016バイト H'5F: 6080バイト H'60~H'FFは、設定禁止です。 H'00を設定したときは、常に転送優先となります。設定値がTSU_FCMのFCM2~FCM0で設定した1→0系転送FIFO容量以上のときは、PRIMD02~PRIMD00がH'4の場合は常にラウンドロビンに、PRIMD02~0がH'5の場合は常に送信優先になります。



### 18.3.28 送信・転送優先制御モードレジスタ (1 系) (TSU\_PRISL1) (SH7710、SH7712)

TSU\_PRISL1 は、MAC-1 への E-DMAC からの送信要求と 0→1 系転送動作が競合したときの、優先制御モードを設定します。いったん転送動作を許可した後 (TSU\_FWEN0 の FWEN0 または TSU\_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

ビット	ビット名	初期値	R/W	説明
31~15	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
14~12	PRIMD12~ PRIMD10	すべて 0	R/W	MAC-1 の送信と 0→1 系転送動作の優先制御モードを設定します。 H'0 : ラウンドロビン H'1 : 送信優先 H'2 : 転送優先 H'4 : ラウンドロビン、ただし転送 FIFO 使用量が PRISL17~PRISL10 の設定値を超えると転送優先に切り換え H'5 : 送信優先、ただし転送 FIFO 使用量が PRISL17~PRISL10 の設定値を超えると転送優先に切り換え その他 : 設定禁止
11~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7~0	PRISL17~ PRISL10	すべて 0	R/W	PRIMD12~PRIMD10 を H'4 または H'5 に設定したとき、転送優先への切り換えが生じる際の 0→1 系転送 FIFO 容量のしきい値を 64 バイト単位で設定します。 H'00 : 0 バイト H'01 : 64 バイト H'02 : 128 バイト : : H'5E : 6016 バイト H'5F : 6080 バイト H'60~H'FF は設定禁止です。 H'00 を設定したときは、常に転送優先となります。設定値が TSU_FCM の FCM2 ~FCM0 で設定した 0→1 系転送 FIFO 容量以上のときは、PRIMD12~PRIMD10 が H'4 の場合は常にラウンドロビンに、PRIMD12~PRIMD10 が H'5 の場合は常に送信優先になります。

### 18.3.29 受信・転送機能設定レジスタ (0→1 系) (TSU\_FWSL0) (SH7710、SH7712)

TSU\_FWSL0 は、0 系受信および 0→1 系転送動作に際し、フレーム種別ごとの処理方法（転送または転送禁止）を設定します。転送処理に際し、マルチキャストフレームとあて先が本 LSI 以外のフレームについては CAM の判定を参照して処理方法を決定することができます（詳細は、「18.4.4 CAM 機能 (SH7710 および SH7712 のみに適用)」を参照してください）。いったん転送動作を許可した後 (TSU\_FWEN0 の FWEN0 または TSU\_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	FW40	0	R/W	0 系からのフレームが本 LSI あてのときの処理方法を設定します。 0: フレームを転送しない 1: フレームを 1 系に転送
10	FW30	0	R/W	0 系からのフレームが Broadcast のときの処理方法を設定します。 0: フレームを転送しない 1: フレームを 1 系に転送
9	FW20	0	R/W	0 系からのフレームがマルチキャストのときの処理方法を設定します。 0: CAM ヒット: フレームを 1 系に転送、CAM ミスヒット: フレームを転送しない 1: CAM ヒット: フレームを転送しない、CAM ミスヒット: フレームを 1 系に転送
8	FW10	0	R/W	0 系からのフレームのあて先が本 LSI 以外のときの処理方法を設定します。 0: CAM ヒット: フレームを 1 系に転送、CAM ミスヒット: フレームを転送しない 1: CAM ヒット: フレームを転送しない、CAM ミスヒット: フレームを 1 系に転送
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

### 18.3.30 受信・転送機能設定レジスタ (1→0系) (TSU\_FWSL1) (SH7710、SH7712)

TSU\_FWSL1 は、1系受信および1→0系転送動作に際し、フレーム種別ごとの処理方法（転送または転送禁止）を設定します。転送処理に際し、マルチキャストフレームとあて先が本 LSI 以外のフレームについては CAM の判定を参照して処理方法を決定することができます（詳細は、「18.4.4 CAM 機能 (SH7710 および SH7712 のみに適用)」を参照してください）。いったん転送動作を許可した後 (TSU\_FWEN0 の FWEN0 または TSU\_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	FW41	0	R/W	1系からのフレームが本 LSI あてのときの処理方法を設定します。 0: フレームを転送しない 1: フレームを 0系に転送
10	FW31	0	R/W	1系からのフレームが Broadcast のときの処理方法を設定します。 0: フレームを転送しない 1: フレームを 0系に転送
9	FW21	0	R/W	1系からのフレームがマルチキャストのときの処理方法を設定します。 0: CAM ヒット: フレームを 0系に転送、CAM ミスヒット: フレームを転送しない 1: CAM ヒット: フレームを転送しない、CAM ミスヒット: フレームを 0系に転送
8	FW11	0	R/W	1系からのフレームのあて先が本 LSI 以外のときの処理方法を設定します。 0: CAM ヒット: フレームを 0系に転送、CAM ミスヒット: フレームを転送しない 1: CAM ヒット: フレームを転送しない、CAM ミスヒット: フレームを 0系に転送
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

### 18.3.31 転送機能設定レジスタ (共通) (TSU\_FWSLC) (SH7710、SH7712)

CAM を使用する場合は、TSU\_POST1～TSU\_POST4 レジスタにより、CAM エントリテーブル中の参照する部分 (一部または全部) を指定することができます。また、CAM を本 LSI 外部に設けた場合は、外部の CAM の判定結果を CAMSEN0 および CAMSEN1 端子に入力することにより参照することができます (詳細は、「18.4.4 CAM 機能 (SH7710 および SH7712 のみに適用)」の動作を参照してください)。TSU\_FWSLC は、TSU\_POST1～TSU\_POST4 レジスタによる設定のイネーブルおよび CAMSEN0 と CAMSEN1 端子からの信号を参照する場合の条件を設定します。いったん転送動作を許可した後 (TSU\_FWEN0 の FWEN0 または TSU\_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

ビット	ビット名	初期値	R/W	説明
31～14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
13	POSTENU	0	R/W	CAM エントリテーブル 0～15 の POST フィールド設定 (TSU_POST1 および TSU_POST2 レジスタによる設定) を有効にします。 0 : POST フィールド設定無効 (CAM エントリテーブルは、0 系受信時のみ参照) 1 : POST フィールド設定有効 (CAM エントリテーブル参照条件は、POST フィールド設定に従う)
12	POSTENL	0	R/W	CAM エントリテーブル 16～31 の POST フィールド設定 (TSU_POST3 および TSU_POST4 レジスタによる設定) を有効にします。 0 : POST フィールド設定無効 (CAM エントリテーブルは、1 系受信時のみ参照) 1 : POST フィールド設定有効 (CAM エントリテーブル参照条件は、POST フィールド設定に従う)
11～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	CAMSEL03	1	R/W	CAMSEN0 端子からの信号を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 CAMSEL03 : 0 系の受信時に CAMSEN0 端子からの信号を参照 CAMSEL02 : 0→1 系の転送時に CAMSEN0 端子からの信号を参照 CAMSEL01 : 1 系の受信時に CAMSEN0 端子からの信号を参照 CAMSEL00 : 1→0 系の転送時に CAMSEN0 端子からの信号を参照
6	CAMSEL02	0	R/W	
5	CAMSEL01	0	R/W	
4	CAMSEL00	0	R/W	
3	CAMSEL13	0	R/W	CAMSEN1 端子からの信号を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 CAMSEL13 : 0 系の受信時に CAMSEN1 端子からの信号を参照 CAMSEL12 : 0→1 系の転送時に CAMSEN1 端子からの信号を参照 CAMSEL11 : 1 系の受信時に CAMSEN1 端子からの信号を参照 CAMSEL10 : 1→0 系の転送時に CAMSEN1 端子からの信号を参照
2	CAMSEL12	0	R/W	
1	CAMSEL11	1	R/W	
0	CAMSEL10	0	R/W	

### 18.3.32 Qtag 追加・削除設定レジスタ (0→1 系) (TSU\_QTAGM0) (SH7710、SH7712)

TSU\_QTAGM0 は、0→1 系転送動作の際の通常のイーサネットフレーム (Qtag なし) から IEEE802.1Q 対応フレーム (Qtag 付き) への Qtag 追加機能、および IEEE802.1Q 対応フレーム (Qtag 付き) から通常のイーサネットフレーム (Qtag なし) への Qtag 削除機能を設定します。いったん転送動作を許可した後 (TSU\_FWEN0 の FWEN0 または TSU\_FWEN1 の FWEN1 を 1 にセットしたあと) の本レジスタへの書き込みは禁止します。

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1, 0	QTAGM01、 QTAGM00	すべて 0	R/W	0→1 系転送動作時の Qtag 追加および削除機能を設定します。 H'0 : Qtag 追加および削除機能なし H'1 : Qtag 追加および削除機能なし (H'0 と同一) H'2 : Qtag 付きフレームから Qtag を削除 H'3 : Qtag なしフレームに Qtag を追加 いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

### 18.3.33 Qtag 追加・削除設定レジスタ (1→0 系) (TSU\_QTAGM1) (SH7710、SH7712)

TSU\_QTAGM1 は、1→0 系転送動作の際の通常のイーサネットフレーム (Qtag なし) から IEEE802.1Q 対応フレーム (Qtag 付き) への Qtag 追加機能、および IEEE802.1Q 対応フレーム (Qtag 付き) から通常のイーサネットフレーム (Qtag なし) への Qtag 削除機能を設定します。いったん転送動作を許可した後 (TSU\_FWEN0 の FWEN0 または TSU\_FWEN1 の FWEN1 を 1 にセットしたあと) の本レジスタへの書き込みは禁止します。

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1, 0	QTAGM11、 QTAGM10	すべて 0	R/W	1→0 系転送動作時の Qtag 追加および削除機能を設定します。 H'0 : Qtag 追加および削除機能なし H'1 : Qtag 追加および削除機能なし (H'0 と同一) H'2 : Qtag 付きフレームから Qtag を削除 H'3 : Qtag なしフレームに Qtag を追加 いったん転送動作を許可した後 (TSU_FWEN0 の FWEN0 または TSU_FWEN1 の FWEN1 を 1 にセットした後) の本レジスタへの書き込みは禁止します。

### 18.3.34 転送ステータスレジスタ (TSU\_FWSR) (SH7710, SH7712)

TSU\_FWSR は、読み出したりは書き込み可能な 32 ビットのレジスタで、転送動作中のステータスを表示します。本ステータスは、転送ステータス割り込みマスクレジスタ (TSU\_FWINMK) を設定することにより、割り込み要因として CPU に通知することが可能です。1 にセットされたステータスビットは、該当ビットに 1 を書き込むことにより、0 にクリアされます (ステータスビットは、0 クリアされるまで値を保持します)。

本ステータスレジスタが要因で発生する割り込みは、EINT2 となります。割り込みの優先順位については、「第 8 章 割り込みコントローラ (INTC)」の「8.3.5 割り込み例外処理および優先順位」を参照ください。

ビット	ビット名	初期値	R/W	説明
31~28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
27	TINT40	0	R/W	MAC-0 キャリア未検出 MAC-0 にて、キャリア未検出が発生したときは、1 にセットされます。
26	TINT30	0	R/W	MAC-0 キャリア消失 MAC-0 にて、データ送信中にキャリア消失が発生したときは、1 にセットされます。
25	TINT20	0	R/W	MAC-0 衝突検出 MAC-0 にて、フレームの衝突を検出したときは、1 にセットされます。
24	TINT10	0	R/W	MAC-0 送信タイムアウト MAC-0 にて、送信時に再送を合わせて 16 回の試行で送信できなかったフレームが発生したときは、1 にセットされます。
23	OVF0	0	R/W	0→1 系転送 FIFO オーバフロー検出 0→1 系転送 FIFO にオーバフローが発生したときは、1 にセットされます。
22	RBSY0	0	R/W	MAC-0 オーバフロー予告信号出力 TSU_BSYL0 のしきい値が有効で、そのしきい値を超えたときに、1 にセットされます。
21	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	RINT50	0	R/W	MAC-0 端数ビットフレーム受信 MAC-0 にて、8 ビットに満たない端数ビットデータを含むフレームを受信したときは、1 にセットされます。
19	RINT40	0	R/W	MAC-0 指定バイト超フレーム受信 MAC-0 にて、RFLR0 の設定値を超えるフレームを受信したときは、1 にセットされます。
18	RINT30	0	R/W	MAC-0 64 バイト未満フレーム受信 MAC-0 にて、64 バイト未満のフレームを受信したときは、1 にセットされます。
17	RINT20	0	R/W	MAC-0 フレーム受信エラー MAC-0 にて、PHY-LSI から入力される RX-ER 端子による受信エラーが検出されたときは、1 にセットされます。

ビット	ビット名	初期値	R/W	説明
16	RINT10	0	R/W	MAC-0 CRC エラーフレーム受信 MAC-0 にて、受信フレームが CRC エラーとなったときは、1 にセットされます。
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	TINT41	0	R/W	MAC-1 キャリア未検出 MAC-1 にて、キャリア未検出が発生したときは、1 にセットされます。
10	TINT31	0	R/W	MAC-1 キャリア消失 MAC-1 にて、データ送信中にキャリア消失が発生したときは、1 にセットされます。
9	TINT21	0	R/W	MAC-1 衝突検出 MAC-1 にて、フレームの衝突を検出したときは、1 にセットされます。
8	TINT11	0	R/W	MAC-1 送信タイムアウト MAC-1 にて、送信時に再送を合わせて 16 回の試行で送信できなかったフレームが発生したときは、1 にセットされます。
7	OVF1	0	R/W	1→0 系転送 FIFO オーバフロー検出 1→0 系転送 FIFO にオーバフローが発生したときは、1 にセットされます。
6	RBSY1	0	R/W	MAC-1 オーバフロー予告信号出力 TSU_BSYSL1 のしきい値が有効で、そのしきい値を超えたときに、1 にセットされます。
5	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	RINT51	0	R/W	MAC-1 端数ビットフレーム受信 MAC-1 にて、8 ビットに満たない端数ビットデータを含むフレームを受信したときは、1 にセットされます。
3	RINT41	0	R/W	MAC-1 指定バイト超フレーム受信 MAC-1 にて、RFLR1 の設定値を超えるフレームを受信したときは、1 にセットされます。
2	RINT31	0	R/W	MAC-1 64 バイト未満フレーム受信 MAC-1 にて、64 バイト未満のフレームを受信したときは、1 にセットされます。
1	RINT21	0	R/W	MAC-1 フレーム受信エラー MAC-1 にて、PHY-LSI から入力される RX-ER 端子による受信エラーが検出されたときは、1 にセットされます。
0	RINT11	0	R/W	MAC-1 CRC エラーフレーム受信 MAC-1 にて、受信フレームが CRC エラーとなったときは、1 にセットされます。

## 18.3.35 転送ステータス割り込みマスクレジスタ (TSU\_FWINMK) (SH7710、SH7712)

TSU\_FWINMK は、読み出しまたは書き込み可能な 32 ビットのレジスタで、TSU\_FWSR の各ステータスピットに対する割り込みマスクを設定します。

ビット	ビット名	初期値	R/W	説明
31~28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
27	TINTM40	0	R/W	MAC-0 キャリア未検出割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
26	TINTM30	0	R/W	MAC-0 キャリア消失割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
25	TINTM20	0	R/W	MAC-0 衝突検出割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
24	TINTM10	0	R/W	MAC-0 送信タイムアウト割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
23	OVFM0	0	R/W	0→1 系転送 FIFO オーバフロー検出割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
22	RBSYM0	0	R/W	MAC-0 オーバフロー予告信号出力割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
21	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	RINTM50	0	R/W	MAC-0 端数ビットフレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
19	RINTM40	0	R/W	MAC-0 指定バイト超フレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
18	RINTM30	0	R/W	MAC-0 64 バイト未満フレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可



ビット	ビット名	初期値	R/W	説明
17	RINTM20	0	R/W	MAC-0 フレーム受信エラー割り込みマスク 0: 割り込み禁止 1: 割り込み許可
16	RINTM10	0	R/W	MAC-0 CRC エラーフレーム受信割り込みマスク 0: 割り込み禁止 1: 割り込み許可
15~12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11	TINTM41	0	R/W	MAC-1 キャリア未検出割り込みマスク 0: 割り込み禁止 1: 割り込み許可
10	TINTM31	0	R/W	MAC-1 キャリア消失割り込みマスク 0: 割り込み禁止 1: 割り込み許可
9	TINTM21	0	R/W	MAC-1 衝突検出割り込みマスク 0: 割り込み禁止 1: 割り込み許可
8	TINTM11	0	R/W	MAC-1 送信タイムアウト割り込みマスク 0: 割り込み禁止 1: 割り込み許可
7	OVFM1	0	R/W	1→0 系転送 FIFO オーバフロー検出割り込みマスク 0: 割り込み禁止 1: 割り込み許可
6	RBSYM1	0	R/W	MAC-1 オーバフロー予告信号出力割り込みマスク 0: 割り込み禁止 1: 割り込み許可
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4	RINTM51	0	R/W	MAC-1 端数ビットフレーム受信割り込みマスク 0: 割り込み禁止 1: 割り込み許可
3	RINTM41	0	R/W	MAC-1 指定バイト超フレーム受信割り込みマスク 0: 割り込み禁止 1: 割り込み許可
2	RINTM31	0	R/W	MAC-1 64 バイト未満フレーム受信割り込みマスク 0: 割り込み禁止 1: 割り込み許可

ビット	ビット名	初期値	R/W	説明
1	RINTM21	0	R/W	MAC-1 フレーム受信エラー割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可
0	RINTM11	0	R/W	MAC-1 CRC エラーフレーム受信割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可

### 18.3.36 追加 Qtag 値設定レジスタ (0→1 系) (TSU\_ADQT0) (SH7710、SH7712)

TSU\_ADQT0 は、0→1 系転送動作で通常のイーサネットフレーム (Qtag なし) から IEEE802.1Q 対応フレーム (Qtag 付き) への変換操作の際 (Qtag 追加機能を用いる場合で、TSU\_QTAGM0 の QTAGM01~QTAGM00 ビットを H'3 に設定した際)、追加する Qtag のデータを設定します。いったん転送動作を許可した後 (TSU\_FWEN0 の FWEN0 または TSU\_FWEN1 の FWEN1 を 1 にセットしたあと) の本レジスタへの書き込みは禁止します。

ビット	ビット名	初期値	R/W	説明
31~16	QTAG031~ QTAG016	H'8100	R/W	上位 16 ビット (QTAG031~QTAG016) の書き込む値は、必ず H'8100 としてください (Qtag の拡張フレームフォーマットであることを表します)。リード時に読み出される値は、H'8100 となります。
15~13	QTAG015~ QTAG013	H'0	R/W	優先順位設定 (PRT) Qtag 付きフレームの処理優先順位を設定します。設定方法の詳細は、IEEE802.1Q に規定された Qtag 制御に関する仕様を参照してください。
12	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	QTAG011~ QTAG000	H'000	R/W	V-LAN ID 設定 (VID) Qtag 付きフレームを、V-LAN をサポートするシステムで扱う場合に設定します。設定方法の詳細は、IEEE802.1Q に規定された Qtag 制御に関する仕様を参照してください。

### 18.3.37 追加 Qtag 値設定レジスタ (1→0 系) (TSU\_ADQT1) (SH7710、SH7712)

TSU\_ADQT1 は、1→0 系転送動作で通常のイーサネットフレーム (Qtag なし) から IEEE802.1Q 対応フレーム (Qtag 付き) への変換操作の際 (Qtag 追加機能を用いる場合で、TSU\_QTAGM1 の QTAGM11~QTAGM10 ビットを H'3 に設定した際)、追加する Qtag のデータを設定します。いったん転送動作を許可した後 (TSU\_FWEN0 の FWEN0 または TSU\_FWEN1 の FWEN1 を 1 にセットしたあと) の本レジスタへの書き込みは禁止します。

ビット	ビット名	初期値	R/W	説明
31~16	QTAG131~ QTAG116	H'8100	R/W	上位 16 ビット (QTAG131~QTAG116) の書き込み値は必ず H'8100 としてください (Qtag の拡張フレームフォーマットであることを表します)。読み出し時に読み出される値は、H'8100 となります。
15~13	QTAG115~ QTAG113	H'0	R/W	優先順位設定 (PRT) Qtag 付きフレームの処理優先順位を設定します。設定方法の詳細は、IEEE802.1Q に規定された Qtag 制御に関する仕様を参照してください。
12	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	QTAG111~ QTAG100	H'000	R/W	V-LAN ID 設定 (VID) Qtag 付きフレームを、V-LAN をサポートするシステムで扱う場合に設定します。設定方法の詳細は、IEEE802.1Q に規定された Qtag 制御に関する仕様を参照してください。

### 18.3.38 CAM エントリテーブル設定ビジーレジスタ (TSU\_ADSBSY) (SH7710、SH7712)

CAM エントリテーブルレジスタ (TSU\_ADRH0~TSU\_ADRH31、TSU\_ADRL0~TSU\_ADRL31) をレジスタ書き込みで設定すると、本レジスタの ADSBSY ビットが 1 にセットされます (TSU 内部で CAM エントリテーブルレジスタの内容を CAM 制御部へ反映させる作業が完了すると、ADSBSY ビットは自動的に 0 に復帰します)。本レジスタの ADSBSY ビットが 1 にセットされている期間は、TSU\_ADRH0~TSU\_ADRH31 および TSU\_ADRL0~TSU\_ADRL31 へのアクセスを禁止します。本レジスタは、読み出し専用のステータスレジスタです。書き込みは禁止します。

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み動作は禁止します。
0	ADSBSY	0	R	CAM エントリテーブル設定ビジー TSU_ADRH0~TSU_ADRH31 および TSU_ADRL0~TSU_ADRL31 をレジスタライトで設定すると、1 にセットされます。TSU 内部で CAM エントリテーブルレジスタの内容を CAM 制御部へ反映させる作業が完了すると、ADSBSY ビットは自動的に 0 に復帰します。本ビットが 1 にセットされている期間は、TSU_ADRH0~TSU_ADRH31 および TSU_ADRL0~TSU_ADRL31 へのアクセスを禁止します。本レジスタへの書き込み動作は、禁止します。

### 18.3.39 CAM エントリテーブルイネーブル設定レジスタ (TSU\_TEN) (SH7710、SH7712)

TSU\_TEN は、TSU\_ADRH0～TSU\_ADRH31 および TSU\_ADRL0～TSU\_ADRL31 の有効または無効を設定するレジスタです。

ビット	ビット名	初期値	R/W	説 明
31	TEN0	0	R/W	CAM エントリテーブル 0 (TSU_ADRH0、TSU_ADRL0) 設定 0: 無効 1: 有効
30	TEN1	0	R/W	CAM エントリテーブル 1 (TSU_ADRH1、TSU_ADRL1) 設定 0: 無効 1: 有効
29	TEN2	0	R/W	CAM エントリテーブル 2 (TSU_ADRH2、TSU_ADRL2) 設定 0: 無効 1: 有効
28	TEN3	0	R/W	CAM エントリテーブル 3 (TSU_ADRH3、TSU_ADRL3) 設定 0: 無効 1: 有効
27	TEN4	0	R/W	CAM エントリテーブル 4 (TSU_ADRH4、TSU_ADRL4) 設定 0: 無効 1: 有効
26	TEN5	0	R/W	CAM エントリテーブル 5 (TSU_ADRH5、TSU_ADRL5) 設定 0: 無効 1: 有効
25	TEN6	0	R/W	CAM エントリテーブル 6 (TSU_ADRH6、TSU_ADRL6) 設定 0: 無効 1: 有効
24	TEN7	0	R/W	CAM エントリテーブル 7 (TSU_ADRH7、TSU_ADRL7) 設定 0: 無効 1: 有効
23	TEN8	0	R/W	CAM エントリテーブル 8 (TSU_ADRH8、TSU_ADRL8) 設定 0: 無効 1: 有効
22	TEN9	0	R/W	CAM エントリテーブル 9 (TSU_ADRH9、TSU_ADRL9) 設定 0: 無効 1: 有効
21	TEN10	0	R/W	CAM エントリテーブル 10 (TSU_ADRH10、TSU_ADRL10) 設定 0: 無効 1: 有効

ビット	ビット名	初期値	R/W	説 明
20	TEN11	0	R/W	CAM エントリテーブル 11 (TSU_ADRH11、TSU_ADRL11) 設定 0: 無効 1: 有効
19	TEN12	0	R/W	CAM エントリテーブル 12 (TSU_ADRH12、TSU_ADRL12) 設定 0: 無効 1: 有効
18	TEN13	0	R/W	CAM エントリテーブル 13 (TSU_ADRH13、TSU_ADRL13) 設定 0: 無効 1: 有効
17	TEN14	0	R/W	CAM エントリテーブル 14 (TSU_ADRH14、TSU_ADRL14) 設定 0: 無効 1: 有効
16	TEN15	0	R/W	CAM エントリテーブル 15 (TSU_ADRH15、TSU_ADRL15) 設定 0: 無効 1: 有効
15	TEN16	0	R/W	CAM エントリテーブル 16 (TSU_ADRH16、TSU_ADRL16) 設定 0: 無効 1: 有効
14	TEN17	0	R/W	CAM エントリテーブル 17 (TSU_ADRH17、TSU_ADRL17) 設定 0: 無効 1: 有効
13	TEN18	0	R/W	CAM エントリテーブル 18 (TSU_ADRH18、TSU_ADRL18) 設定 0: 無効 1: 有効
12	TEN19	0	R/W	CAM エントリテーブル 19 (TSU_ADRH19、TSU_ADRL19) 設定 0: 無効 1: 有効
11	TEN20	0	R/W	CAM エントリテーブル 20 (TSU_ADRH20、TSU_ADRL20) 設定 0: 無効 1: 有効
10	TEN21	0	R/W	CAM エントリテーブル 21 (TSU_ADRH21、TSU_ADRL21) 設定 0: 無効 1: 有効
9	TEN22	0	R/W	CAM エントリテーブル 22 (TSU_ADRH22、TSU_ADRL22) 設定 0: 無効 1: 有効
8	TEN23	0	R/W	CAM エントリテーブル 23 (TSU_ADRH23、TSU_ADRL23) 設定 0: 無効 1: 有効

ビット	ビット名	初期値	R/W	説明
7	TEN24	0	R/W	CAM エントリテーブル 24 (TSU_ADRH24、TSU_ADRL24) 設定 0: 無効 1: 有効
6	TEN25	0	R/W	CAM エントリテーブル 25 (TSU_ADRH25、TSU_ADRL25) 設定 0: 無効 1: 有効
5	TEN26	0	R/W	CAM エントリテーブル 26 (TSU_ADRH26、TSU_ADRL26) 設定 0: 無効 1: 有効
4	TEN27	0	R/W	CAM エントリテーブル 27 (TSU_ADRH27、TSU_ADRL27) 設定 0: 無効 1: 有効
3	TEN28	0	R/W	CAM エントリテーブル 28 (TSU_ADRH28、TSU_ADRL28) 設定 0: 無効 1: 有効
2	TEN29	0	R/W	CAM エントリテーブル 29 (TSU_ADRH29、TSU_ADRL29) 設定 0: 無効 1: 有効
1	TEN30	0	R/W	CAM エントリテーブル 30 (TSU_ADRH30、TSU_ADRL30) 設定 0: 無効 1: 有効
0	TEN31	0	R/W	CAM エントリテーブル 31 (TSU_ADRH31、TSU_ADRL31) 設定 0: 無効 1: 有効

#### 18.3.40 CAM エントリテーブル POST 設定 1 レジスタ (TSU\_POST1) (SH7710、SH7712)

CAM を使用する場合は、TSU\_POST1～TSU\_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU\_POST1 は、TSU\_ADRH0～TSU\_ADRH7 および TSU\_ADRL0～TSU\_ADRL7 を参照する条件を指定します。本レジスタの設定は、TSU\_FWSLC の POSTENU ビットが 1 のとき有効になります。

ビット	ビット名	初期値	R/W	説明
31~28	POST03~ POST00	すべて 0	R/W	CAM エントリテーブル 0 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST03 : 0 系の受信時に CAM エントリテーブル 0 を参照 POST02 : 0→1 系の転送時に CAM エントリテーブル 0 を参照 POST01 : 1 系の受信時に CAM エントリテーブル 0 を参照 POST00 : 1→0 系の転送時に CAM エントリテーブル 0 を参照
27~24	POST13~ POST10	すべて 0	R/W	CAM エントリテーブル 1 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST13 : 0 系の受信時に CAM エントリテーブル 1 を参照 POST12 : 0→1 系の転送時に CAM エントリテーブル 1 を参照 POST11 : 1 系の受信時に CAM エントリテーブル 1 を参照 POST10 : 1→0 系の転送時に CAM エントリテーブル 1 を参照
23~20	POST23~ POST20	すべて 0	R/W	CAM エントリテーブル 2 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST23 : 0 系の受信時に CAM エントリテーブル 2 を参照 POST22 : 0→1 系の転送時に CAM エントリテーブル 2 を参照 POST21 : 1 系の受信時に CAM エントリテーブル 2 を参照 POST20 : 1→0 系の転送時に CAM エントリテーブル 2 を参照
19~16	POST33~ POST30	すべて 0	R/W	CAM エントリテーブル 3 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST33 : 0 系の受信時に CAM エントリテーブル 3 を参照 POST32 : 0→1 系の転送時に CAM エントリテーブル 3 を参照 POST31 : 1 系の受信時に CAM エントリテーブル 3 を参照 POST30 : 1→0 系の転送時に CAM エントリテーブル 3 を参照
15~12	POST43~ POST40	すべて 0	R/W	CAM エントリテーブル 4 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST43 : 0 系の受信時に CAM エントリテーブル 4 を参照 POST42 : 0→1 系の転送時に CAM エントリテーブル 4 を参照 POST41 : 1 系の受信時に CAM エントリテーブル 4 を参照 POST40 : 1→0 系の転送時に CAM エントリテーブル 4 を参照
11~8	POST53~ POST50	すべて 0	R/W	CAM エントリテーブル 5 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST53 : 0 系の受信時に CAM エントリテーブル 5 を参照 POST52 : 0→1 系の転送時に CAM エントリテーブル 5 を参照 POST51 : 1 系の受信時に CAM エントリテーブル 5 を参照 POST50 : 1→0 系の転送時に CAM エントリテーブル 5 を参照

ビット	ビット名	初期値	R/W	説明
7~4	POST63~ POST60	すべて 0	R/W	CAM エントリテーブル 6 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST63 : 0 系の受信時に CAM エントリテーブル 6 を参照 POST62 : 0→1 系の転送時に CAM エントリテーブル 6 を参照 POST61 : 1 系の受信時に CAM エントリテーブル 6 を参照 POST60 : 1→0 系の転送時に CAM エントリテーブル 6 を参照
3~0	POST73~ POST70	すべて 0	R/W	CAM エントリテーブル 7 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST73 : 0 系の受信時に CAM エントリテーブル 7 を参照 POST72 : 0→1 系の転送時に CAM エントリテーブル 7 を参照 POST71 : 1 系の受信時に CAM エントリテーブル 7 を参照 POST70 : 1→0 系の転送時に CAM エントリテーブル 7 を参照

### 18.3.41 CAM エントリテーブル POST 設定 2 レジスタ (TSU\_POST2) (SH7710, SH7712)

CAM を使用する場合は、TSU\_POST1~TSU\_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU\_POST2 は、TSU\_ADRH8~TSU\_ADRH15 および TSU\_ADRL8~TSU\_ADRL15 を参照する条件を指定します。本レジスタの設定は、TSU\_FWSLC の POSTENU ビットが 1 のとき有効になります。

ビット	ビット名	初期値	R/W	説明
31~28	POST83~ POST80	すべて 0	R/W	CAM エントリテーブル 8 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST83 : 0 系の受信時に CAM エントリテーブル 8 を参照 POST82 : 0→1 系の転送時に CAM エントリテーブル 8 を参照 POST81 : 1 系の受信時に CAM エントリテーブル 8 を参照 POST80 : 1→0 系の転送時に CAM エントリテーブル 8 を参照
27~24	POST93~ POST90	すべて 0	R/W	CAM エントリテーブル 9 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST93 : 0 系の受信時に CAM エントリテーブル 9 を参照 POST92 : 0→1 系の転送時に CAM エントリテーブル 9 を参照 POST91 : 1 系の受信時に CAM エントリテーブル 9 を参照 POST90 : 1→0 系の転送時に CAM エントリテーブル 9 を参照
23~20	POST103~ POST100	すべて 0	R/W	CAM エントリテーブル 10 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST103 : 0 系の受信時に CAM エントリテーブル 10 を参照 POST102 : 0→1 系の転送時に CAM エントリテーブル 10 を参照 POST101 : 1 系の受信時に CAM エントリテーブル 10 を参照 POST100 : 1→0 系の転送時に CAM エントリテーブル 10 を参照



ビット	ビット名	初期値	R/W	説明
19~16	POST113~ POST110	すべて 0	R/W	CAM エントリテーブル 11 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST113 : 0 系の受信時に CAM エントリテーブル 11 を参照 POST112 : 0→1 系の転送時に CAM エントリテーブル 11 を参照 POST111 : 1 系の受信時に CAM エントリテーブル 11 を参照 POST110 : 1→0 系の転送時に CAM エントリテーブル 11 を参照
15~12	POST123~ POST120	すべて 0	R/W	CAM エントリテーブル 12 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST123 : 0 系の受信時に CAM エントリテーブル 12 を参照 POST122 : 0→1 系の転送時に CAM エントリテーブル 12 を参照 POST121 : 1 系の受信時に CAM エントリテーブル 12 を参照 POST120 : 1→0 系の転送時に CAM エントリテーブル 12 を参照
11~8	POST133~ POST130	すべて 0	R/W	CAM エントリテーブル 13 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST133 : 0 系の受信時に CAM エントリテーブル 13 を参照 POST132 : 0→1 系の転送時に CAM エントリテーブル 13 を参照 POST131 : 1 系の受信時に CAM エントリテーブル 13 を参照 POST130 : 1→0 系の転送時に CAM エントリテーブル 13 を参照
7~4	POST143~ POST140	すべて 0	R/W	CAM エントリテーブル 14 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST143 : 0 系の受信時に CAM エントリテーブル 14 を参照 POST142 : 0→1 系の転送時に CAM エントリテーブル 14 を参照 POST141 : 1 系の受信時に CAM エントリテーブル 14 を参照 POST140 : 1→0 系の転送時に CAM エントリテーブル 14 を参照
3~0	POST153~ POST150	すべて 0	R/W	CAM エントリテーブル 15 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST153 : 0 系の受信時に CAM エントリテーブル 15 を参照 POST152 : 0→1 系の転送時に CAM エントリテーブル 15 を参照 POST151 : 1 系の受信時に CAM エントリテーブル 15 を参照 POST150 : 1→0 系の転送時に CAM エントリテーブル 15 を参照

### 18.3.42 CAM エントリテーブル POST 設定 3 レジスタ (TSU\_POST3) (SH7710、SH7712)

CAM を使用する場合は、TSU\_POST1~TSU\_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU\_POST3 は、TSU\_ADRH16~TSU\_ADRH23 および TSU\_ADRL16~TSU\_ADRL23 を参照する条件を指定します。本レジスタの設定は、TSU\_FWSLC の POSTENL ビットが 1 のとき有効になります。

ビット	ビット名	初期値	R/W	説明
31~28	POST163~ POST160	すべて 0	R/W	CAM エントリテーブル 16 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST163 : 0 系の受信時に CAM エントリテーブル 16 を参照 POST162 : 0→1 系の転送時に CAM エントリテーブル 16 を参照 POST161 : 1 系の受信時に CAM エントリテーブル 16 を参照 POST160 : 1→0 系の転送時に CAM エントリテーブル 16 を参照
27~24	POST173~ POST170	すべて 0	R/W	CAM エントリテーブル 17 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST173 : 0 系の受信時に CAM エントリテーブル 17 を参照 POST172 : 0→1 系の転送時に CAM エントリテーブル 17 を参照 POST 171 : 1 系の受信時に CAM エントリテーブル 17 を参照 POST170 : 1→0 系の転送時に CAM エントリテーブル 17 を参照
23~20	POST183~ POST180	すべて 0	R/W	CAM エントリテーブル 18 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST183 : 0 系の受信時に CAM エントリテーブル 18 を参照 POST182 : 0→1 系の転送時に CAM エントリテーブル 18 を参照 POST181 : 1 系の受信時に CAM エントリテーブル 18 を参照 POST180 : 1→0 系の転送時に CAM エントリテーブル 18 を参照
19~16	POST193~ POST190	すべて 0	R/W	CAM エントリテーブル 19 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST193 : 0 系の受信時に CAM エントリテーブル 19 を参照 POST192 : 0→1 系の転送時に CAM エントリテーブル 19 を参照 POST191 : 1 系の受信時に CAM エントリテーブル 19 を参照 POST190 : 1→0 系の転送時に CAM エントリテーブル 19 を参照
15~12	POST203~ POST200	すべて 0	R/W	CAM エントリテーブル 20 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST203 : 0 系の受信時に CAM エントリテーブル 20 を参照 POST202 : 0→1 系の転送時に CAM エントリテーブル 20 を参照 POST201 : 1 系の受信時に CAM エントリテーブル 20 を参照 POST200 : 1→0 系の転送時に CAM エントリテーブル 20 を参照
11~8	POST213~ POST210	すべて 0	R/W	CAM エントリテーブル 21 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST213 : 0 系の受信時に CAM エントリテーブル 21 を参照 POST212 : 0→1 系の転送時に CAM エントリテーブル 21 を参照 POST211 : 1 系の受信時に CAM エントリテーブル 21 を参照 POST210 : 1→0 系の転送時に CAM エントリテーブル 21 を参照

ビット	ビット名	初期値	R/W	説明
7~4	POST223~ POST220	すべて 0	R/W	CAM エントリテーブル 22 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST223 : 0 系の受信時に CAM エントリテーブル 22 を参照 POST222 : 0→1 系の転送時に CAM エントリテーブル 22 を参照 POST221 : 1 系の受信時に CAM エントリテーブル 22 を参照 POST220 : 1→0 系の転送時に CAM エントリテーブル 22 を参照
3~0	POST233~ POST230	すべて 0	R/W	CAM エントリテーブル 23 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST233 : 0 系の受信時に CAM エントリテーブル 23 を参照 POST232 : 0→1 系の転送時に CAM エントリテーブル 23 を参照 POST231 : 1 系の受信時に CAM エントリテーブル 23 を参照 POST230 : 1→0 系の転送時に CAM エントリテーブル 23 を参照

### 18.3.43 CAM エントリテーブル POST 設定 4 レジスタ (TSU\_POST4) (SH7710、SH7712)

CAM を使用する場合は、TSU\_POST1~TSU\_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU\_POST4 は、TSU\_ADRH24~TSU\_ADRH31 および TSU\_ADRL24~TSU\_ADRL31 を参照する条件を指定します。本レジスタの設定は、TSU\_FWSLC の POSTENL ビットが 1 のとき有効になります。

ビット	ビット名	初期値	R/W	説明
31~28	POST243~ POST240	すべて 0	R/W	CAM エントリテーブル 24 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST243 : 0 系の受信時に CAM エントリテーブル 24 を参照 POST242 : 0→1 系の転送時に CAM エントリテーブル 24 を参照 POST241 : 1 系の受信時に CAM エントリテーブル 24 を参照 POST240 : 1→0 系の転送時に CAM エントリテーブル 24 を参照
27~24	POST253~ POST250	すべて 0	R/W	CAM エントリテーブル 25 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST253 : 0 系の受信時に CAM エントリテーブル 25 を参照 POST252 : 0→1 系の転送時に CAM エントリテーブル 25 を参照 POST251 : 1 系の受信時に CAM エントリテーブル 25 を参照 POST250 : 1→0 系の転送時に CAM エントリテーブル 25 を参照
23~20	POST263~ POST260	すべて 0	R/W	CAM エントリテーブル 26 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST263 : 0 系の受信時に CAM エントリテーブル 26 を参照 POST262 : 0→1 系の転送時に CAM エントリテーブル 26 を参照 POST261 : 1 系の受信時に CAM エントリテーブル 26 を参照 POST260 : 1→0 系の転送時に CAM エントリテーブル 26 を参照

ビット	ビット名	初期値	R/W	説明
19~16	POST273~ POST270	すべて 0	R/W	CAM エントリテーブル 27 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST273 : 0 系の受信時に CAM エントリテーブル 27 を参照 POST272 : 0→1 系の転送時に CAM エントリテーブル 27 を参照 POST271 : 1 系の受信時に CAM エントリテーブル 27 を参照 POST270 : 1→0 系の転送時に CAM エントリテーブル 27 を参照
15~12	POST283~ POST280	すべて 0	R/W	CAM エントリテーブル 28 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST283 : 0 系の受信時に CAM エントリテーブル 28 を参照 POST282 : 0→1 系の転送時に CAM エントリテーブル 28 を参照 POST281 : 1 系の受信時に CAM エントリテーブル 28 を参照 POST280 : 1→0 系の転送時に CAM エントリテーブル 28 を参照
11~8	POST293~ POST290	すべて 0	R/W	CAM エントリテーブル 29 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST293 : 0 系の受信時に CAM エントリテーブル 29 を参照 POST292 : 0→1 系の転送時に CAM エントリテーブル 29 を参照 POST291 : 1 系の受信時に CAM エントリテーブル 29 を参照 POST290 : 1→0 系の転送時に CAM エントリテーブル 29 を参照
7~4	POST303~ POST300	すべて 0	R/W	CAM エントリテーブル 30 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST303 : 0 系の受信時に CAM エントリテーブル 30 を参照 POST302 : 0→1 系の転送時に CAM エントリテーブル 30 を参照 POST301 : 1 系の受信時に CAM エントリテーブル 30 を参照 POST300 : 1→0 系の転送時に CAM エントリテーブル 30 を参照
3~0	POST313~ POST310	すべて 0	R/W	CAM エントリテーブル 31 を参照する条件を設定します。複数のビットを 1 にセットすることにより、複数の条件を選択することが可能です。 POST313 : 0 系の受信時に CAM エントリテーブル 31 を参照 POST312 : 0→1 系の転送時に CAM エントリテーブル 31 を参照 POST311 : 1 系の受信時に CAM エントリテーブル 31 を参照 POST310 : 1→0 系の転送時に CAM エントリテーブル 31 を参照

### 18.3.44 CAM エントリテーブル 0~31H レジスタ (TSU\_ADRH0~TSU\_ADRH31) (SH7710、SH7712)

TSU\_ADRH0~TSU\_ADRH31 は、受信または転送の際に CAM に参照されるエントリテーブルです。本レジスタでは 48 ビットの MAC アドレスの上位 32 ビットを設定します。最大 32 エントリの MAC アドレスを登録することができます。なお、CAMSEN0 および CAMSEN1 端子からの入力信号を参照する場合は、本レジスタで設定したものと同一の MAC アドレスを外部 CAM のエントリテーブルに設定しないでください。

ビット	ビット名	初期値	R/W	説明
31~0	ADRHn31~ ADRHn0 (n : 0~31)	すべて 0	R/W	MAC アドレスビット MAC アドレスの上位 32 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'01234567 を設定します。

【注】 CAM エントリテーブルは下記の手順に従って設定してください。

1. TSU\_ADSBSY の ADSBSY ビットが 0 であることを確認します。
2. TSU\_ADRH0~TSU\_ADRH31 により、MAC アドレスの上位 32 ビットを設定します。
3. TSU\_ADRL0~TSU\_ADRL31 により、MAC アドレスの下部 16 ビットを設定します。

### 18.3.45 CAM エントリテーブル 0~31L レジスタ (TSU\_ADRL0~TSU\_ADRL31) (SH7710、SH7712)

TSU\_ADRL0~TSU\_ADRL31 は、受信または転送の際に CAM に参照されるエントリテーブルです。本レジスタでは 48 ビットの MAC アドレスの下部 16 ビットを設定します。最大 32 エントリの MAC アドレスを登録することができます。なお、CAMSEN0 および CAMSEN1 端子からの入力信号を参照する場合は、本レジスタで設定したものと同一の MAC アドレスを外部 CAM のエントリテーブルに設定しないでください。

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	ADRLn15~ ADRLn0 (n : 0~31)	すべて 0	R/W	MAC アドレスビット MAC アドレスの下部 16 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'000089AB を設定します。

【注】 CAM エントリテーブルは下記の手順に従って設定してください。

1. TSU\_ADSBSY の ADSBSY ビットが 0 であることを確認します。
2. TSU\_ADRH0~TSU\_ADRH31 により、MAC アドレスの上位 32 ビットを設定します。
3. TSU\_ADRL0~TSU\_ADRL31 により、MAC アドレスの下部 16 ビットを設定します。

### 18.3.46 送信フレーム数カウンタレジスタ (正常送信のみ) (0系) (TXNLCR0) (SH7710、SH7712) / (TXNLCR) (SH7713)

TXNLCR0/TXNLCR は、MAC-0/MAC にて正常に送信が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	NTC031~ NTC000	すべて 0	R	0 系送信フレームカウンタビット 正常に送信が完了したフレームのカウンタ数を表します。

### 18.3.47 送信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (0系) (TXALCR0) (SH7710、SH7712) / (TXALCR) (SH7713)

TXALCR0/TXALCR は、MAC-0/MAC にて障害が発生した送信フレーム数を含んだ送信フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	TC031~ TC000	すべて 0	R	0 系送信フレームカウンタビット 正常に送信された送信フレームおよび障害が発生した送信フレームのカウンタ数を表します。

### 18.3.48 受信フレーム数カウンタレジスタ (正常受信のみ) (0系) (RXNLCR0) (SH7710、SH7712) / (RXNLCR) (SH7713)

RXNLCR0/RXNLCR は、MAC-0/MAC にて正常に受信が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	NRC031~ NRC000	すべて 0	R	0 系受信フレームカウンタビット 正常に受信が完了したフレームのカウンタ数を表します。

### 18.3.49 受信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (0系) (RXALCR0) (SH7710、SH7712) / (RXALCR) (SH7713)

RXALCR0/RXALCR は、MAC-0/MAC にて障害が発生した送信フレーム数を含んだ送信フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	RC031~ RC000	すべて 0	R	0系受信フレームカウンタビット 正常に受信された受信フレームおよび障害が発生した受信フレームのカウンタ数を表します。

### 18.3.50 転送フレーム数カウンタレジスタ (正常転送のみ) (1→0系) (FWNLCR0) (SH7710、SH7712)

FWNLCR0 は、1→0 系の転送動作での正常に転送が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	NFC031~ NFC000	すべて 0	R	1→0 系転送フレームカウンタビット 正常に転送が完了したフレームのカウンタ数を表します。

### 18.3.51 転送フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (1→0系) (FWALCR0) (SH7710、SH7712)

FWALCR0 は、1→0 系の転送動作での障害が発生した転送フレーム数を含んだ転送フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は 0 にクリアされます。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	FC031~ FC000	すべて 0	R	1→0 系転送フレームカウンタビット 正常に転送された転送フレームおよび障害が発生した転送フレームのカウンタ数を表します。

### 18.3.52 送信フレーム数カウンタレジスタ(正常送信のみ) (1系)(TXNLCR1)(SH7710、SH7712)

TXNLCR1は、MAC-1にて正常に送信が完了したフレーム数を示す32ビットのカウントです。値がH'FFFFFFFになるとカウントアップを停止します。本レジスタへの読み出し動作によってカウンタの値は、0にクリアされません。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	NTC131~ NTC100	すべて0	R	1系送信フレームカウンタビット 正常に送信が完了したフレームのカウンタ数を表します。

### 18.3.53 送信フレーム数カウンタレジスタ(正常および障害発生を含むすべて) (1系)(TXALCR1)(SH7710、SH7712)

TXALCR1は、MAC-1にて障害が発生した送信フレーム数を含んだ送信フレーム数を示す32ビットのカウントです。値がH'FFFFFFFになるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0にクリアされます。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	TC131~ TC100	すべて0	R	1系送信フレームカウンタビット 正常に送信された送信フレームおよび障害が発生した送信フレームのカウンタ数を表します。

### 18.3.54 受信フレーム数カウンタレジスタ(正常受信のみ) (1系)(RXNLCR1)(SH7710、SH7712)

RXNLCR1は、MAC-1にて正常に受信が完了したフレーム数を示す32ビットのカウントです。値がH'FFFFFFFになるとカウントアップを停止します。本レジスタへの読み出し動作によってカウンタの値は、0にクリアされません。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	NRC131~ NRC100	すべて0	R	1系受信フレームカウンタビット 正常に受信が完了したフレームのカウンタ数を表します。



### 18.3.55 受信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (1系) (RXALCR1) (SH7710、SH7712)

RXALCR1 は、MAC-1 にて障害が発生した送信フレーム数を含んだ送信フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	RC131~ RC100	すべて 0	R	1 系受信フレームカウンタビット 正常に受信された受信フレームおよび障害が発生した受信フレームのカウンタ数を表します。

### 18.3.56 転送フレーム数カウンタレジスタ (正常転送のみ) (0→1 系) (FWNLCR1) (SH7710、SH7712)

FWNLCR1 は、0→1 系の転送動作での正常に転送が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへの読み出し動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	NFC131~ NFC100	すべて 0	R	0→1 系転送フレームカウンタビット 正常に転送が完了したフレームのカウンタ数を表します。

### 18.3.57 転送フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (0→1 系) (FWALCR1) (SH7710、SH7712)

FWALCR1 は、0→1 系の転送動作での障害が発生した転送フレーム数を含んだ転送フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	FC131~ FC100	すべて 0	R	0→1 系転送フレームカウンタビット 正常に転送された転送フレームおよび障害が発生した転送フレームのカウンタ数を表します。

## 18.4 動作説明

イーサネットコントローラ (EtherC) の動作の概要を以下に示します。

以下 (1) ~ (3)、ならびに図 18.2 は、SH7710 および SH7712 のみに適用されます。

### (1) ハードウェアによる自動イーサネットフレーム転送機能

2 系統の MAC コントローラを用いて各 MAC コントローラが独立に送受信することができます。さらに、EtherC 内蔵の TSU を用いて両 MAC コントローラ間での転送をハードウェアで行うことが可能です。TSU では、CAM およびレジスタ (TSU\_FWSL0/1、TSU\_FWSLC) の設定に基づき、MAC コントローラに入力されたイーサネットフレームのあて先側の MAC アドレスを元に 1) 受信、2) 転送、3) 受信&転送、および 4) 破棄のいずれかの処理を選択します。この設定は、レジスタ (TSU\_TEN、TSU\_POST1~TSU\_POST4) によって受信側と転送側で各系ごとに独立に行うことができます。また、この転送するフレームを一時的に保持するために 6k バイトの転送 FIFO があり、転送 FIFO 容量選択レジスタ (TSU\_FCM) を使用しこの転送 FIFO は 0→1 系転送と 1→0 系転送との容量配分を可変することができます。

### (2) 転送 FIFO 溢れ防止機能

転送動作をサポートすることにより MAC コントローラは通常 E-DMAC から要求される送信フレームの他に転送フレームを送信する必要があり、この 2 つのフレーム間でアービトレーションを行います。このアービトレーションの方法は、レジスタ (TSU\_PRISL0/1) で設定します。また、転送 FIFO の利用率がレジスタ (TSU\_PRISL0/1) で設定された値よりも上回ったときに優先的に転送 FIFO のフレームを送信する機能があり、これにより転送 FIFO の溢れによるフレーム欠損を未然に防ぐことができます。

### (3) QoS 対応 (IEEE802.1Q) フレームの送受信、転送機能

QoS 対応フレームを送受信することができます。転送時、一方の MAC コントローラに接続されているイーサネット装置が QoS 対応フレームを送受信できない場合は、本 LSI では通常の IEEE802.3 フレームに変換して転送することができます。

図 18.2 にデータ経路と各種設定の概要を示します。

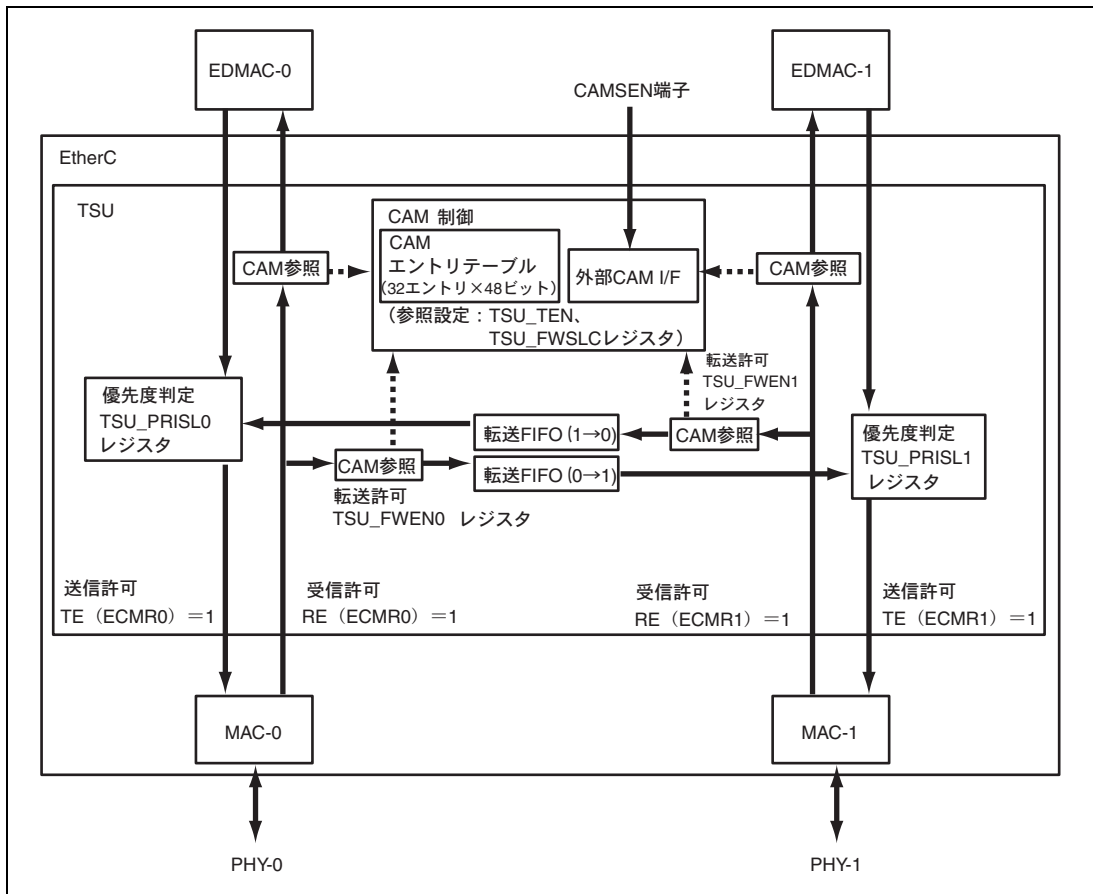


図 18.2 EtherC のデータ経路と各種設定 (SH7710 および SH7712 のみ)

#### 18.4.1 送信動作 (SH7710、SH7712、および SH7713 のすべてに適用)

EtherC 送信部は、送信 E-DMAC から送信要求があると、送信データをフレームに組み立てて MII に出力します。MII を経由した送信データは、PHY-LSI によって回線に送出されます。Ether-C 送信部の状態遷移図を図 18.3 に示します。

SH7710 および SH7712 の場合、この動作は、0 系および 1 系共に共通です。また、E-DMAC からの送信フレームと転送フレームの送出が競合した場合の処理の優先順位を送信・転送優先制御モードレジスタ (TSU\_PRISL0/1) で設定することができます。

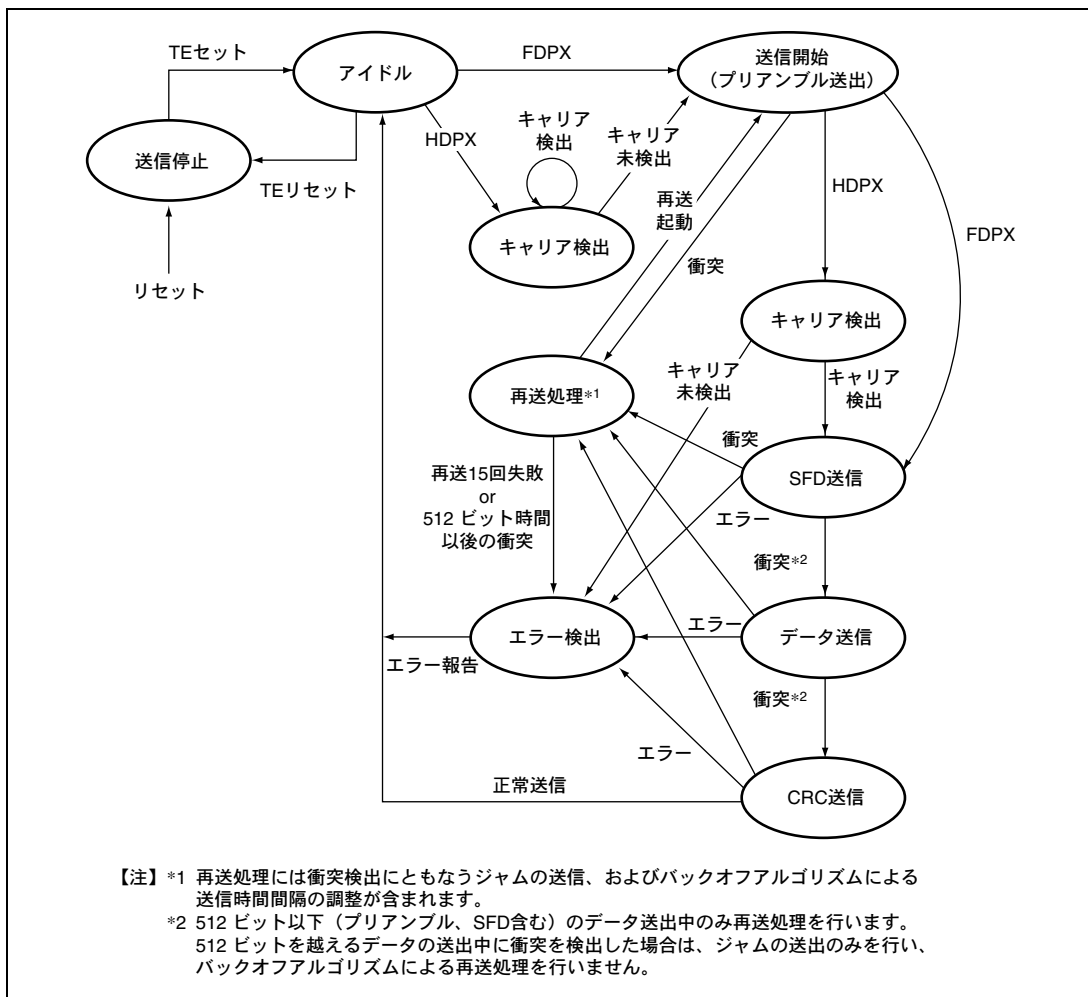


図 18.3 EtherC 送信部状態遷移図

1. 送信許可 (TE) ビットがセットされると、送信アイドル状態に遷移します。
2. 送信E-DMACから送信要求があるとEtherCは、キャリア検出、フレーム間隔時間の送信延期を経てプリアンブルをMIIに送出します。キャリア検出を必要としない全二重転送方式を選択しているときには、送信E-DMACから送信要求があると即座にプリアンブルを送出します。
3. SFD、データ、CRCを順次送信します。送信を終了すると送信E-DMACが送信終了割り込み (TC) を発生します。データ送信中に衝突発生あるいはキャリア未検出状態になるとそれぞれを割り込み要因として報告します。
4. フレーム間隔時間を経た後は、アイドル状態に遷移し、以後送信データがあれば送信を続けます。

### 18.4.2 受信動作 (SH7710, SH7712, および SH7713 のすべてに適用)

EtherC 受信部は、MII より入力されたフレームをプリアンブル、SFD、データおよび CRC データに分解し、受信 E-DMAC には DA (あて先アドレス) から CRC データまでを出力します。EtherC 受信部の状態遷移図を図 18.4 に示します。

SH7710 および SH7712 の場合、この動作は、0 系および 1 系共に共通です。また、受信時のフレーム処理では CAM の判定を参照することができます (CAM 機能を使用する場合については、「18.4.4 CAM 機能 (SH7710 および SH7712 のみに適用)」を参照してください)。

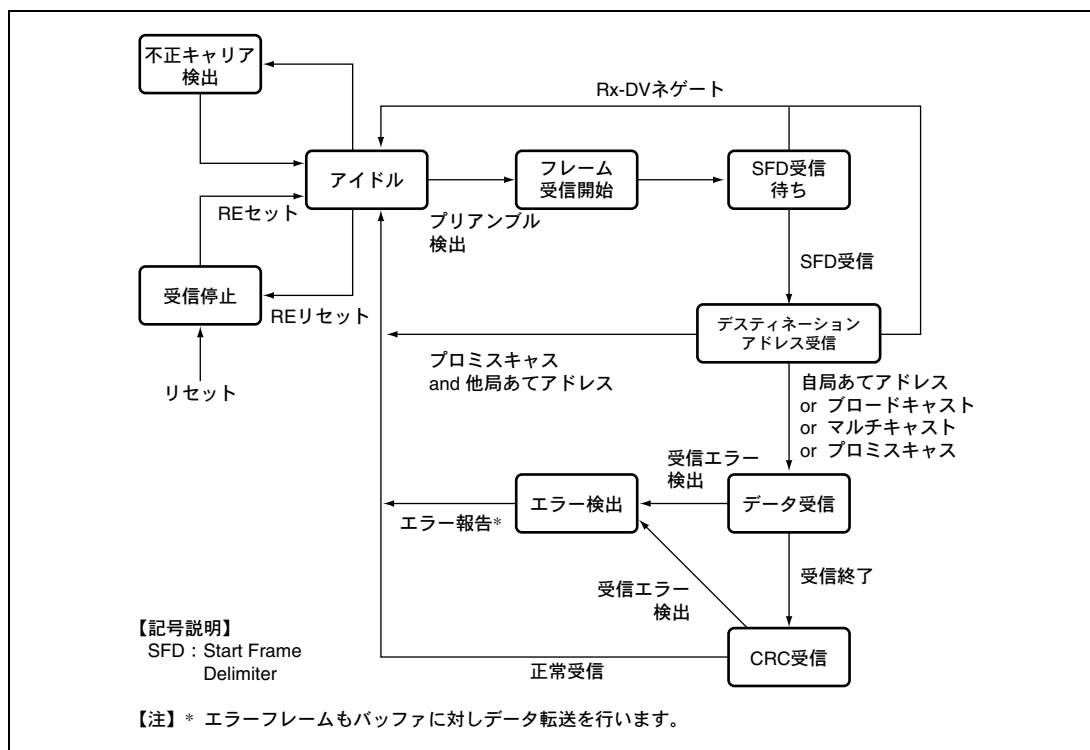


図 18.4 EtherC 受信部状態遷移図

1. 受信許可 (RE) ビットがセットされると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンブルに続くSFD (スタートフレームデリミタ) を検出すると受信処理を開始します。不当パターンの場合は、フレームを破棄します。
3. 通常モードでは、フレームのデスティネーションアドレスが本LSIあての場合、ブロードキャストフレームの場合、またはマルチキャストフレームの場合にデータ受信を開始します。プロミスキャスモードでは、フレームの種類にかかわらずデータ受信を開始します。

4. MIIからのデータ受信後、フレームデータ部のCRCチェックを行います。結果はメモリ上へのフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時は、エラーステータスを報告します。
5. 1フレームを受信後、EtherCモードレジスタ内の受信許可ビットが設定 (RE=1) されていると、次のフレーム受信に備えます。

### 18.4.3 転送動作 (SH7710 および SH7712 のみに適用)

EtherCは、MAC-0またはMAC-1のいずれかのMIIから受信したフレームをもう一方のMACに転送する機能を有しています。転送動作が有効になっている場合は、MIIから入力されたフレームはTSU部で転送FIFOと受信E-DMACの双方に送られ、受信系では受信するか否か、転送系では転送するか否かをそれぞれ独立に判定します。(図18.2参照)。なお、転送動作をさせるため両MACコントローラはプロミスキャスモードに設定し、両MACコントローラ内のMACアドレスは、同じMACアドレスを設定してください(以後このMACアドレスを本LSIのMACアドレスと呼びます)。転送フレームの処理方法(転送/破棄)の設定は、TSU\_FWSL0およびTSU\_FWSL1で行います。転送処理に際し転送FIFOを通過したフレームは、MAC-0→MAC-1転送のときはMAC-1から、MAC-1→MAC-0転送のときはMAC-0からMIIを経てPHY-LSIに送られますが、その際にE-DMACからの送信フレームとの競合が発生することがあります。競合が発生した場合の処理の優先順位は、TSU\_PRISL0/1で設定することができます。また、マルチキャストフレームとあて先が本LSI以外のフレームについては、転送時のフレーム処理にCAMの判定を参照することができます(CAM機能についての詳細は、「18.4.4 CAM機能 (SH7710 および SH7712 のみに適用)」を参照してください)。表18.2に転送フレーム処理の設定(CAM未使用時)を示します。

表 18.2 転送フレーム処理 (CAM 未使用時)

フレーム種類	転送機能設定レジスタ bit	フレーム処理
本 LSI あてフレーム	FW40/1=0	破棄
	FW40/1=1	転送
ブロードキャストフレーム	FW30/1=0	破棄
	FW30/1=1	転送
マルチキャストフレーム	FW20/1=0	破棄
	FW20/1=1	転送
本 LSI 以外をあて先とするフレーム	FW10/1=0	破棄
	FW10/1=1	転送

#### 18.4.4 CAM 機能 (SH7710 および SH7712 のみに適用)

MAC 部分に入力されたフレームは、次の 5 種類に分類されます。1) 本 LSI あてユニキャスト、2) ブロードキャスト、3) マルチキャスト、および 4) 他あてユニキャスト。このうち、1) および 2) の MAC アドレスは固定であり、レジスタ設定のみで判定を行います。したがって、CAM を用いて受信および転送するかどうかの判定を行うのは、3) マルチキャスト、4) 他あてユニキャストのみです (ユニキャストフレームのうち、当該フレーム内のあて先 MAC アドレスが本 LSI と一致するフレームを本 LSI あてユニキャストフレーム、一致しないフレームを他あてユニキャストフレームと称しています)。

さらに、EtherC では CAM を利用する他あてユニキャストおよびマルチキャストフレームの受信と転送の判定を EtherC 内蔵の CAM エントリテーブルおよび CAMSEN0 と CAMSEN1 端子を介して外部に接続した CAM 論理の登録 MAC アドレスとの双方を参照して行います。本機能を使用することにより、受信不要なフレームデータの蓄積による受信 FIFO のオーバフローを未然に防ぎ、受信判定要否のための CPU 処理を低減できます。

また、POST テーブルは、4 ビットから構成され、それぞれ 0 系受信、1 系受信、0→1 転送、および 1→0 転送に対応し、当該ビットが 1 のとき CAM 判定結果を受信と転送の判定に使用します。つまり、POST テーブルの該当ビットが 0 の場合は、受信と転送判定は表 18.2 に示す CAM 未使用時の判定と同じとなります。なお、内蔵 CAM エントリテーブルと外部接続の CAM 論理との違いは、POST テーブルの設定方法にあります。内部 CAM エントリテーブルではエントリ数と同数の 32 個の POST テーブルがありエントリごとに POST テーブルを設定できますが、外部接続 CAM 論理は各 CAMSEN0 と CAMSEN1 端子ごとに 1 つずつの POST テーブル (計 2 つの POST テーブル) となるため端子ごとの設定となります。

##### (1) 内蔵 CAM エントリテーブル使用時

内蔵 CAM は 32 エントリの MAC アドレスを登録できるエントリテーブルを有しており、その内容は TSU\_ADRH0~TSU\_ADRH31 および TSU\_ADRL0~TSU\_ADRL31 で設定することができます。内蔵 CAM エントリテーブル参照の有効/無効の設定は、CAM 判定を行うかどうかを設定する CAM エントリテーブルイネーブル設定レジスタと CAM 判定結果を受信および転送判定に使用するかを設定する CAM エントリテーブル POST 設定レジスタにより行います。受信時の内蔵 CAM エントリテーブル参照が有効になっている場合は、フレームの中のあて先アドレスと CAM エントリテーブルに登録された MAC アドレスを比較することにより、MAC に入力されたフレームを E-DMAC に引き渡す (E-DMAC にフレームを受信させる) か破棄するかが判定されます。また、転送動作が有効でかつ転送時の内蔵 CAM エントリテーブル参照が有効になっているとき、マルチキャストフレームとあて先が本 LSI 以外のフレームについては、フレームの中のあて先アドレスと CAM エントリテーブルに登録された MAC アドレスを比較することにより該当フレームを転送するか破棄するかを判定することができます。表 18.3 に MAC-0→E-DMAC0 または MAC-1→E-DMAC1 受信動作時のフレームの種類に対する処理方法 (受信または破棄) の対応を、表 18.4 に MAC-0→MAC-1 または MAC-1→MAC-0 転送動作時のフレームの種類に対する処理方法 (転送または破棄) の対応を示します。

表 18.3 受信フレーム処理

CAM エントリ テーブル参照結果	フレーム種類	通常モード		プロミスキャスモード	
		MCT=0	MCT=1	MCT=0	MCT=1
CAM ヒット (アドレス一致)	本 LSI あてフレーム	破棄		破棄	
	ブロードキャストフレーム	破棄		破棄	
	マルチキャストフレーム	破棄	受信	破棄	受信
	本 LSI 以外をあて先とするフレーム	受信		破棄	
CAM ミスヒット (アドレス不一致)	本 LSI あてフレーム	受信		受信	
	ブロードキャストフレーム	受信		受信	
	マルチキャストフレーム	受信	破棄	受信	破棄
	本 LSI 以外をあて先とするフレーム	破棄		受信	

## 【記号説明】

MCT (ECMR レジスタのビット 13) : マルチキャスト受信モード (0 : CAM ミスヒット時受信 / 1 : CAM ヒット時受信)

表 18.4 転送フレーム処理 (CAM 使用時)

フレーム種類	転送機能設定 レジスタ bit	CAM ヒット	CAM ミスヒット
マルチキャストフレーム	FW40/1=0	転送	破棄
	FW40/1=1	破棄	転送
本 LSI 以外をあて先とするフレーム	FW40/1=0	転送	破棄
	FW40/1=1	破棄	転送

【注】 マルチキャストフレームと本 LSI 以外をあて先とするフレームのみ CAM の参照が可能です。本 LSI あてフレーム、およびブロードキャストフレームの処理は、CAM 参照の有無にかかわらず転送機能設定レジスタの値に従います。

## (2) 外部 CAM 論理使用時

内蔵 CAM エントリテーブルに加え CAMSEN0 と CAMSEN1 端子を用いることにより、本 LSI 外部に接続した外部 CAM 論理の判定結果をフレーム処理判定に参照することができます。本機能は、受信フレーム中であて先アドレスの比較をする CAM 論理を外部に接続し、MII から取り込んだ信号 (RXD3~RXD0) に対応するあて先アドレスを比較した結果を CAMSEN0 または CAMSEN1 端子から信号として受け取ることにより、該当フレームを受信するか廃棄するかを判別します。図 18.5 に外部 CAM 論理の接続例を、図 18.6 に外部 CAM 信号のタイミング条件を示します。



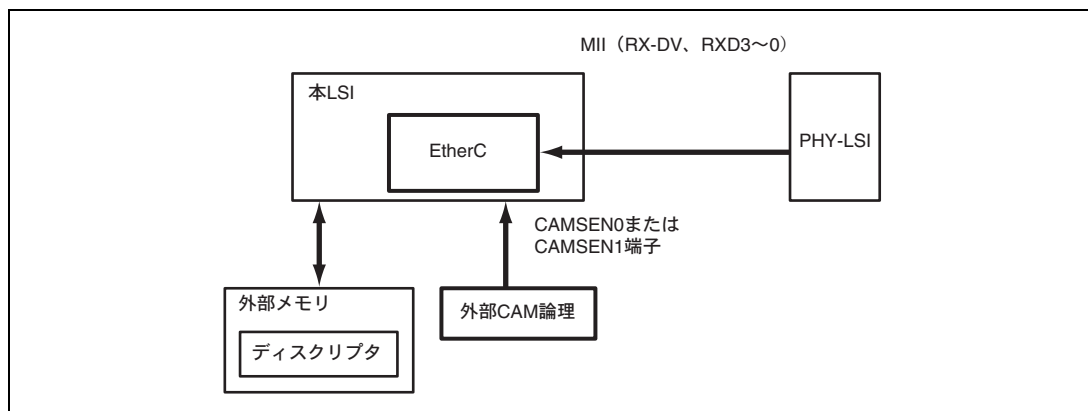


図 18.5 外部 CAM 論理接続例

CAMSEN0 と CAMSEN1 端子による外部 CAM 論理の判定結果参照の有効/無効の設定は、転送機能設定レジスタ (共通) (TSU\_FWSLC) により行います。受信時の CAMSEN0 と CAMSEN1 端子参照が有効になっている場合は、CAMSEN0 または CAMSEN1 端子の値により、MAC-0/I に入力されたフレームを E-DMAC0/I に引き渡す (E-DMAC にフレームを受信させる) か、破棄するかが判定されます。また、転送動作が有効で、かつ CAMSEN0/I 端子参照が有効になっている場合は、マルチキャストフレームとあて先が本 LSI 以外のフレームについては CAMSEN0 または CAMSEN1 端子の値により該当フレームを転送するか破棄するかを判定することができます。表 18.5 に MAC-0→E-DMAC0 または MAC-1→E-DMAC1 受信動作時のフレームの種類に対する処理方法 (受信または破棄) の対応を、表 18.6 に MAC-0→MAC-1 または MAC-1→MAC-0 転送動作時のフレームの種類に対する処理方法 (転送または破棄) の対応を示します。外部 CAM 論理中には本 LSI の内部 CAM エントリテーブルとは別の MAC アドレスを記憶させており、PHY-LSI から受信した MAC アドレスと記憶しているあて先アドレスが一致すると、CAMSEN0 または CAMSEN1 端子をアサートします\*。EtherC は、CAMSEN0/I がアサートされたときのフレームを表 18.5 の設定に従い、受信または破棄します。

CAMSEN0/I アサートの該当受信フレームに対する有効範囲を図 18.6 に示します。

EtherC では、E-DMAC/TSU の受信/転送 FIFO へ受信フレームを格納開始する以前に、受信フレームの処理を決定する必要があります。この処理決定のためのタイムリミットは、RX\_DV アサートから 52 クロック以内となります。

【注】 \* 本 LSI の内部 CAM エントリテーブルと重複する MAC アドレスを外部 CAM 論理中に記憶させないでください。内蔵 CAM エントリテーブルに対して CAM ヒットしたときに、同時に CAMSEN0 と CAMSEN1 端子がアサートされると判定処理が誤動作する場合があります。

表 18.5 受信フレーム処理 (外部 CAM 論理参照時)

CAMSEN0 CAMSEN1 端子	フレーム種類	通常モード		プロミスキャスモード	
		MCT=0	MCT=1	MCT=0	MCT=1
アサート (アドレス一致)	本 LSI 外を先とするフレーム	破棄		破棄	
	ブロードキャストフレーム	破棄		破棄	
	マルチキャストフレーム	破棄	受信	破棄	受信
	本 LSI 以外を先とするフレーム	受信		破棄	
ネゲート (アドレス不一致)	本 LSI 外を先とするフレーム	受信		受信	
	ブロードキャストフレーム	受信		受信	
	マルチキャストフレーム	受信	破棄	受信	破棄
	本 LSI 以外を先とするフレーム	破棄		受信	

【記号説明】

MCT (ECMR レジスタのビット 13) : マルチキャスト受信モード (0 : CAM ミスヒット時受信 / 1 : CAM ヒット時受信)

表 18.6 転送フレーム処理 (外部 CAM 論理参照時)

フレーム種類	転送機能設定 レジスタ bit	CAMSEN0/1 端子	CAMSEN0/1 端子
		アサート	ネゲート
マルチキャストフレーム	FW40/1=0	転送	破棄
	FW40/1=1	破棄	転送
本 LSI 以外を先とするフレーム	FW40/1=0	転送	破棄
	FW40/1=1	破棄	転送

【注】 \* マルチキャストフレームと本 LSI 以外を先とするフレームのみ CAM の参照が可能です。本 LSI 外を先とするフレーム、およびブロードキャストフレームの処理は、CAM 参照の有無にかかわらず転送機能設定レジスタの値に従います。

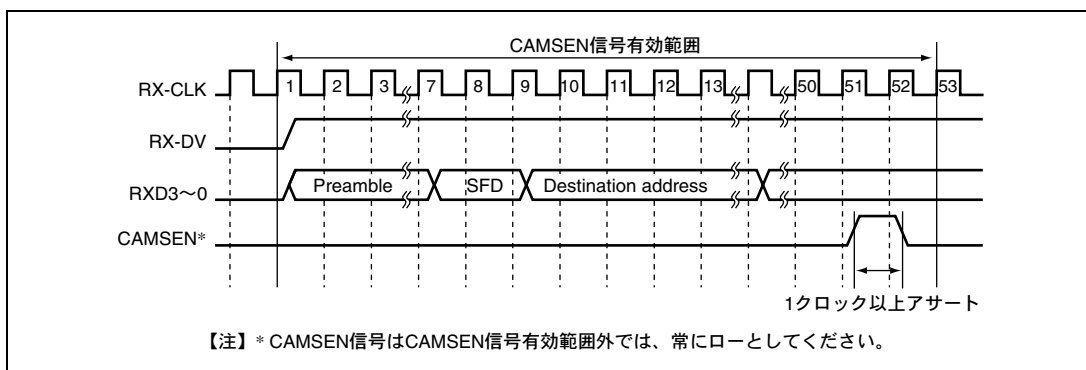


図 18.6 外部 CAM 信号タイミング

## 18.4.5 MII フレームタイミング (SH7710、SH7712、および SH7713 のすべてに適用)

各種 MII フレームのタイミングを図 18.7 に示します。

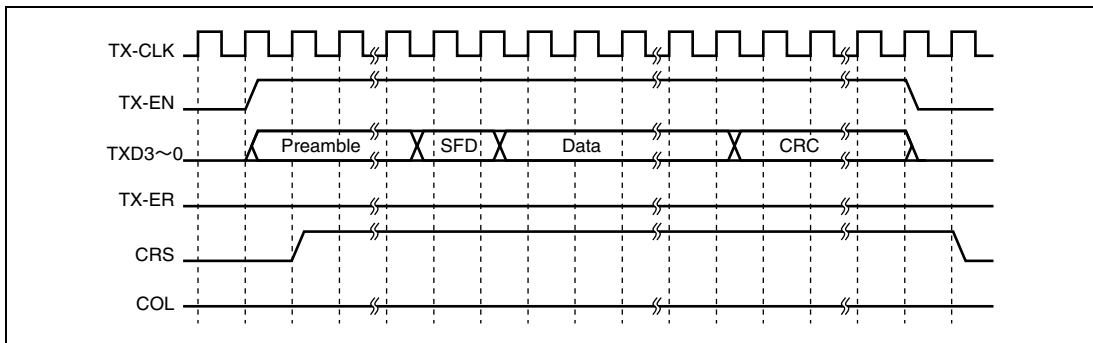


図 18.7 (1) MII フレーム送信タイミング (正常時)

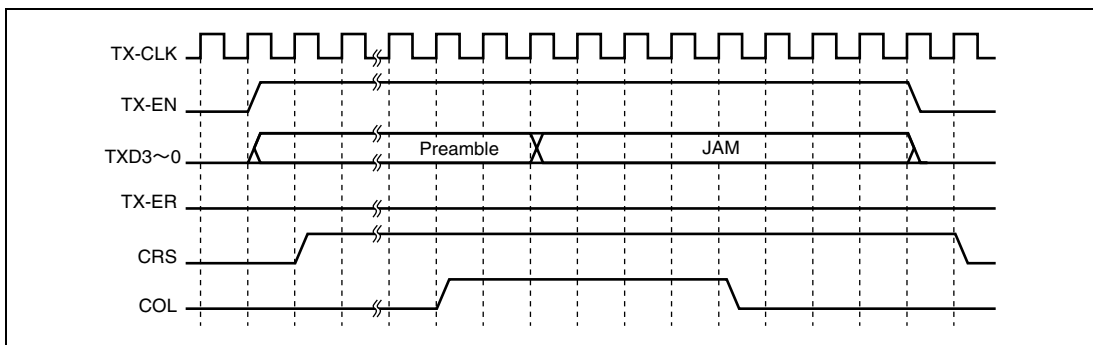


図 18.7 (2) MII フレーム送信タイミング (衝突発生)

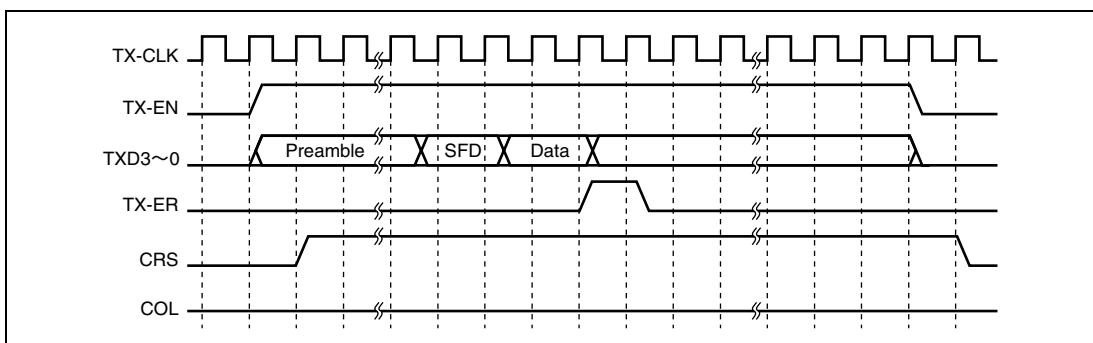


図 18.7 (3) MII フレーム送信タイミング (送信エラー発生)

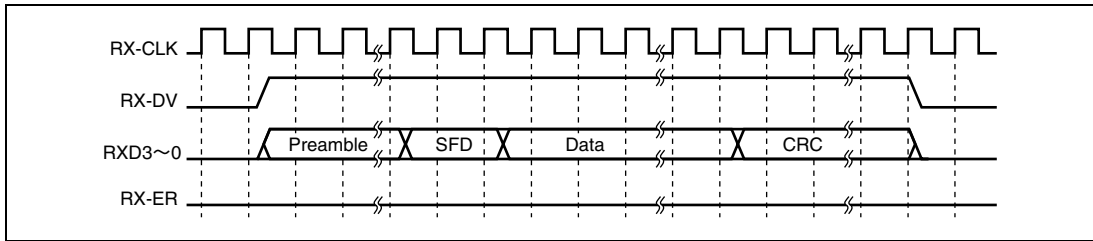


図 18.7 (4) MII フレーム受信タイミング (正常受信)

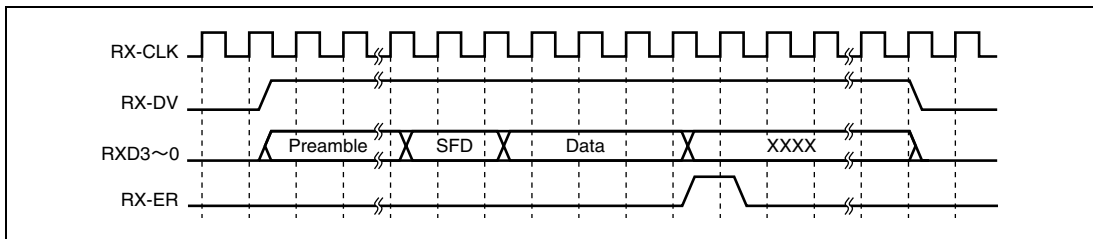


図 18.7 (5) MII フレーム受信タイミング (受信エラー (1))

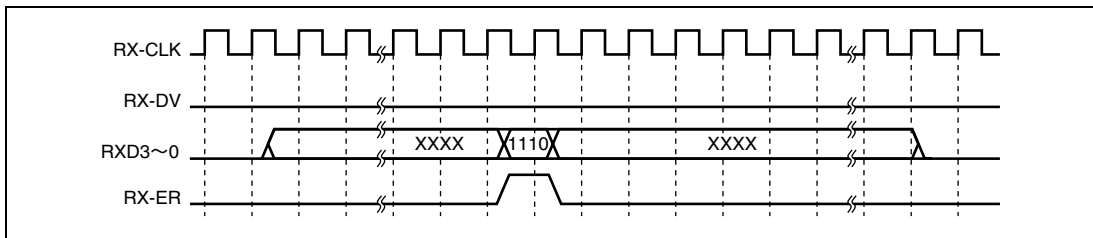


図 18.7 (6) MII フレーム受信タイミング (受信エラー (2))

### 18.4.6 MII レジスタのアクセス方法 (SH7710、SH7712、および SH7713 のすべてに適用)

PHY-LSI 内にある MII レジスタへは、本 LSI の PHY 部インタフェースレジスタ (PIR) を経由してアクセスします。IEEE802.3u で規定される MII フレームフォーマットに従い、シリアルインタフェースとして接続します。

#### (1) MII 管理フレームのフォーマット

MI I 管理フレームのフォーマットを図 18.8 に示します。MI I レジスタをアクセスするには、(2) で示す手順に従う管理フレームをプログラムによって実現します。

アクセス種別	MI I 管理フレーム							
	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	
リード	1..1	01	10	00001	RRRRR	Z0	D..D	
ライト	1..1	01	01	00001	RRRRR	10	D..D	X

#### 【記号説明】

- PRE : 32個の連続した1
- ST : フレームの先頭を示す01のライト
- OP : アクセス種別を示すコードのライト
- PHYAD : PHY-LSIのアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIアドレスによって可変となる。
- REGAD : レジスタアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIのレジスタアドレスによって可変となる。
- TA : MIIインタフェース上でデータの送信元を切り換える時間
  - (a) ライト時は10をライト
  - (b) リード時は、「バス解放」 (Z0と表記) を行う
- DATA : 16ビットのデータ。MSBから順次ライトあるいはリード
  - (a) ライト時は、16ビットデータのライト
  - (b) リード時は、16ビットデータのリード
- IDLE : 次のMI I 管理フォーマット入力までの待機時間
  - (a) ライト時は、「単独バス解放」 (Xと表記) を行う
  - (b) リード時は、すでにTA時にバス解放済みであり制御不要

図 18.8 MII 管理フレームフォーマット

## (2) MII レジスタアクセス手順

プログラムは、PHY 部インタフェースレジスタ (PIR) を経由して MII レジスタをアクセスします。アクセスは、1 ビット単位のデータライト、1 ビット単位のデータをリードし、バスの解放および単独バス解放の組み合わせによって実現します。MII レジスタアクセスタイミング例を図 18.9 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

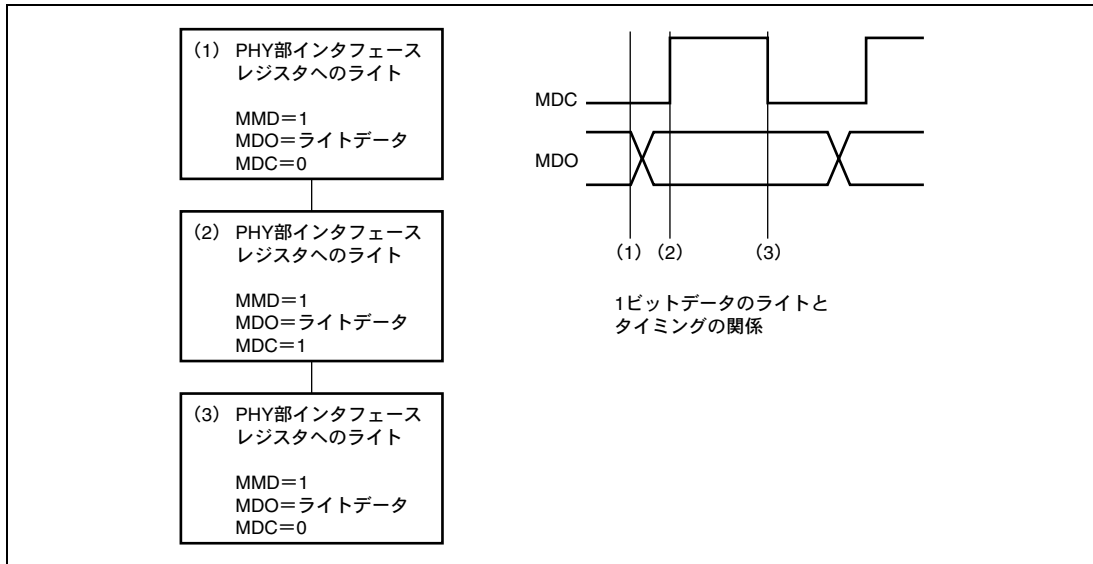


図 18.9 (1) 1 ビットデータのライトフロー

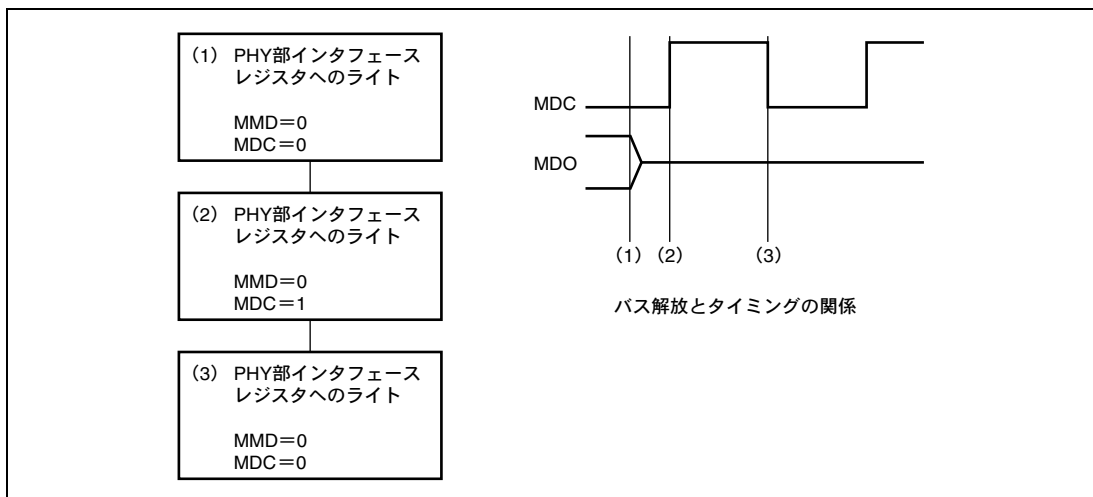


図 18.9 (2) バス解放フロー (図 18.8 中のリード時の TA)

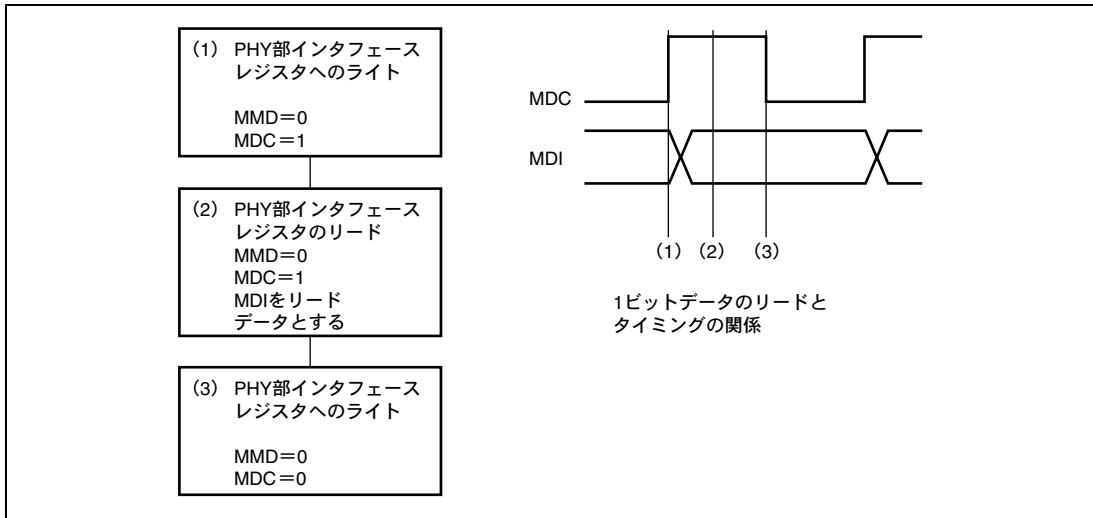


図 18.9 (3) 1 ビットデータのリードフロー

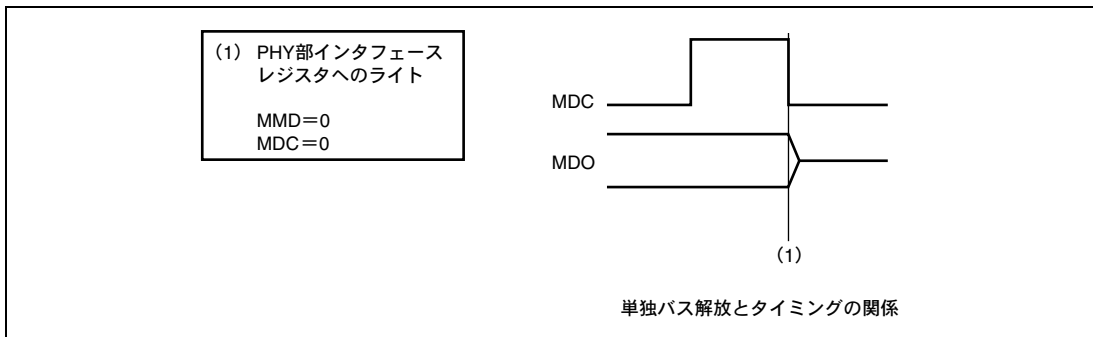


図 18.9 (4) 単独バス解放フロー (図 18.8 中のライト時の IDLE)

### 18.4.7 Magic Packet の検出 (SH7710、SH7712、および SH7713 のすべてに適用)

EtherC は、Magic Packet の検出機能を有しています。本機能は、ホスト装置などから LAN に接続される各種周辺装置を起動する機能 (WOL : Wake-On-LAN) を提供します。これによって、ホスト装置などから送出される Magic Packet を周辺装置が受信し、周辺装置がみずから起動するシステムを構築できます。Magic Packet を検出したときには、それ以前に受信していたブロードキャストパケット等によって受信 FIFO にはデータが蓄積され、EtherC には受信ステータスなどが報告されています。本割り込み処理から通常の動作に復帰するためには、ソフトウェアリセットレジスタ (ARSTR) の ARST ビットにより EtherC および E-DMAC の初期化を実行してください。

Magic Packet においては、あて先アドレスにかかわらず受信を行います。結果として、Magic Packet 内のフォーマットで指定されるあて先に合致する場合のみ有効となり WOL 端子が有効となります。Magic Packet に関する詳細については、AMD 社の技術資料を参照してください。

本 LSI を用いて WOL を利用するには、以下のような設定順序で行います。

1. 各種割り込み許可/マスクレジスタによって割り込み要因の出力を禁止します。
2. EtherC モードレジスタ (ECMR) の Magic Packet 検出許可ビット (MPDE) を設定します。
3. EtherC 割り込み許可レジスタ (ECSIPR) の Magic Packet 検出割り込み許可ビット (MPDIP) をイネーブルに設定します。
4. 必要なら CPU の動作モードをスリープモードあるいは周辺機能をモジュールスタンバイモードに設定します。
5. Magic Packet を検出すると、CPU には割り込みが通知されます。また、周辺 LSI に対しては、WOL 端子により Magic Packet を検出したことを通知します。

### 18.4.8 IPG 設定による動作 (SH7710、SH7712、および SH7713 のすべてに適用)

EtherC は、送信フレーム間の無送信期間 IPG (Inter Packet Gap) を変更する機能を有しています。IPG 設定レジスタ (IPGR) の設定値を変更することで、伝送効率を標準値よりも上げたり下げたりすることが可能です。なお IPG の設定は IEEE802.3 標準で定められています。設定を変更するときは、同じネットワークでそれぞれの機器がうまく動作するかどうかの確認作業を十分に行ってください。

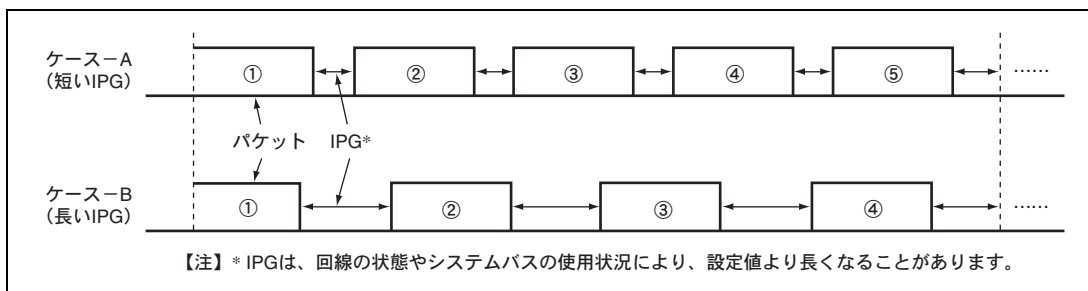


図 18.10 IPG の変更による伝送効率の違い



### 18.4.9 IEEE802.1Q Qtag 使用方法 (SH7710 および SH7712 のみに適用)

EtherC は、IEEE802.1Q 対応フレームの処理をサポートしており、転送動作に際して処理するフレームに対し Qtag の付加および削除を行うことができます。本機能により、QoS 対応フレームを送信および受信することができます。転送時、一方の MAC コントローラに接続されているイーサネット装置が QoS 対応フレームを送受信できない場合は、本 LSI では通常の IEEE802.3 フレームに変換して転送することができます。Qtag 追加または削除処理を行うかどうかは、Qtag 追加・削除設定レジスタ (TSU\_QTAGM0/1) で決定します。Qtag 追加処理を行う場合は、追加する Qtag の内容を Qtag 値設定レジスタ (TSU\_ADQT0/1) で設定することができます。図 18.11 に Qtag 付加機能の概略を、図 18.12 に通常のイーサネットフレームと IEEE802.1Q 準拠 (Qtag 付き) フレームとの比較を示します。Qtag の設定方法の詳細は、IEEE802.1Q に規定された Qtag 制御に関する仕様を参照してください。

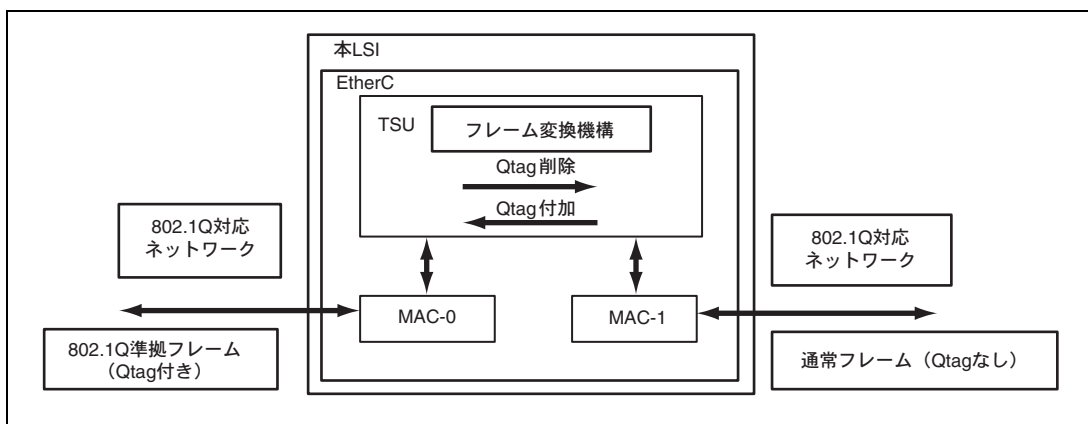


図 18.11 Qtag 付加機能の概略

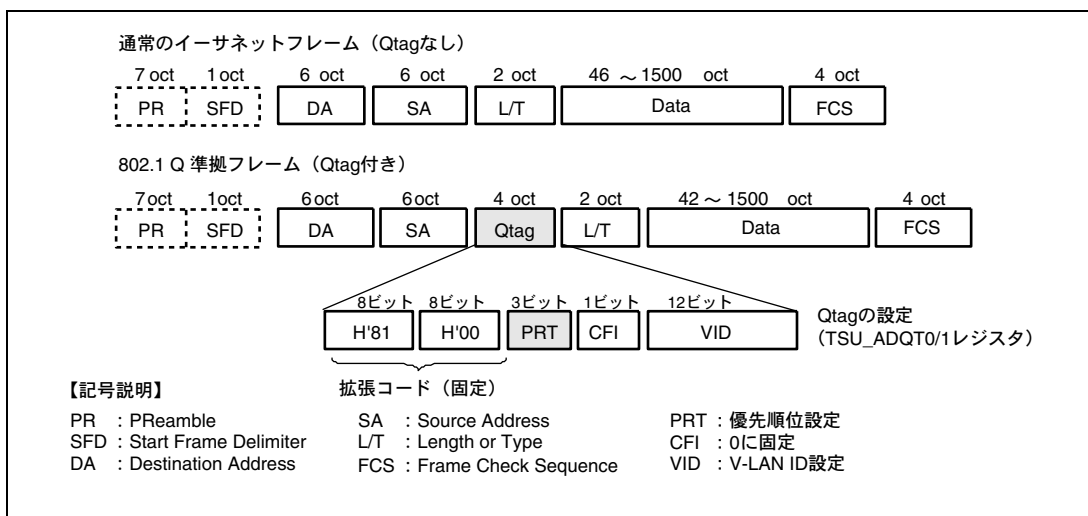


図 18.12 通常のイーサネットフレームと IEEE802.1Q 準拠 (Qtag 付き) フレームとの比較

## 18.5 PHY-LSI との接続 (SH7710、SH7712、および SH7713 のすべてに適用)

図 18.13 に National Semiconductor Corporation の PHY LSI である DP83848 との接続例を示します。

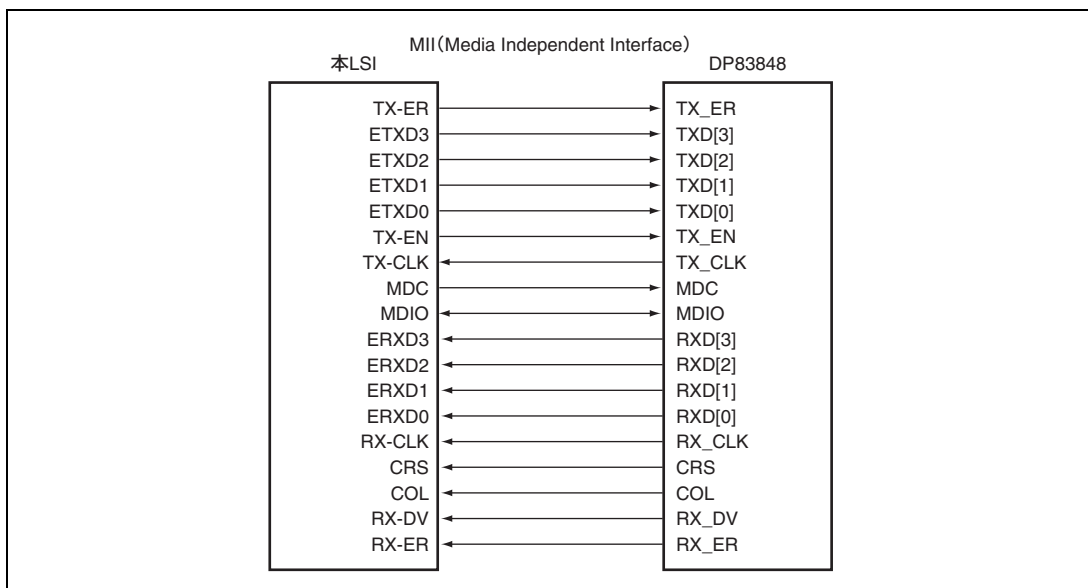


図 18.13 DP83848 との接続例

## 18.6 使用上の注意事項 (SH7713 のみに適用)

### 18.6.1 初期設定

イーサネット機能使用時において、EtherC モードレジスタ (ECMR) の送信許可ビット (TE) および受信許可ビット (RE) を 1 にセットする前に、必ず、以下に示す SH7713 専用の設定を行ってください。

```
MOV.L #H'A7000838,R0
```

```
MOV.L #H'00000000,R1
```

```
MOV.L R1, @R0
```

---

## 19. イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC)

---

SH7710 および SH7712 は、イーサネットコントローラ (EtherC) に直結した 2 チャンネルのダイレクトメモリアクセスコントローラ (E-DMAC0/1) を内蔵しています。

SH7713 は、イーサネットコントローラ (EtherC) に直結した 1 チャンネルのダイレクトメモリアクセスコントローラ (E-DMAC) を内蔵しています。

E-DMAC は、E-DMAC 内蔵の DMAC を使用し、E-DMAC 内の送信 / 受信 FIFO とユーザが指定するデータ格納先 (バッファ) との間の送受信データの転送を DMA 転送により行います。この DMA 転送時に、E-DMAC が参照する情報を送信 / 受信ディスクリプタと呼び、ユーザがメモリ上に配置します。

この機能によって CPU の負荷を軽減し、効率の良いデータ送受信制御を行うことができます。

SH7710 および SH7712 の場合、E-DMAC0 は EtherC の MAC-0 に対して、E-DMAC1 は EtherC の MAC-1 に対するデータの送受信を制御します (以下、E-DMAC0 で制御される系統を 0 系、E-DMAC1 で制御される系統を 1 系と称します)。

SH7713 の場合、E-DMAC は EtherC の MAC に対するデータの送受信を制御します。

図 19.1 (1)、図 19.1 (2) に E-DMAC とメモリ上のディスクリプタおよび送信と受信バッファの構成を示します。

### 19.1 特長

- 送信 / 受信 2 チャンネルの独立した DMAC 内蔵 (SH7710、SH7712)  
送信 / 受信チャンネルの独立した DMAC 内蔵 (SH7713)
- ディスクリプタ管理方式による CPU 負荷の軽減
- 送受信フレームステータスのディスクリプタへの反映
- DMA ブロック転送 (16 バイト単位) によるシステムバスの効率使用
- 1 フレーム / 1 ディスクリプタ、1 フレーム / 複数フレーム (マルチバッファ) 方式対応可能

【注】 ディスクリプタおよびバッファは、アクセス可能なメモリ上に配置してください。  
なお、E-DMAC は、内蔵周辺モジュールには直接アクセスできません。

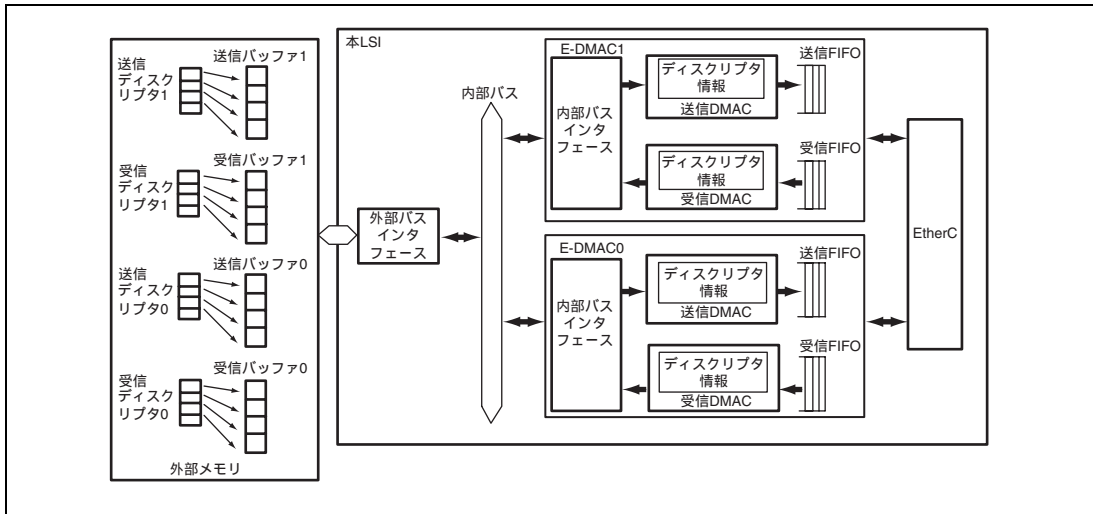


図 19.1 (1) E-DMAC とディスクリプタおよびバッファの構成 (SH7710、SH7712)

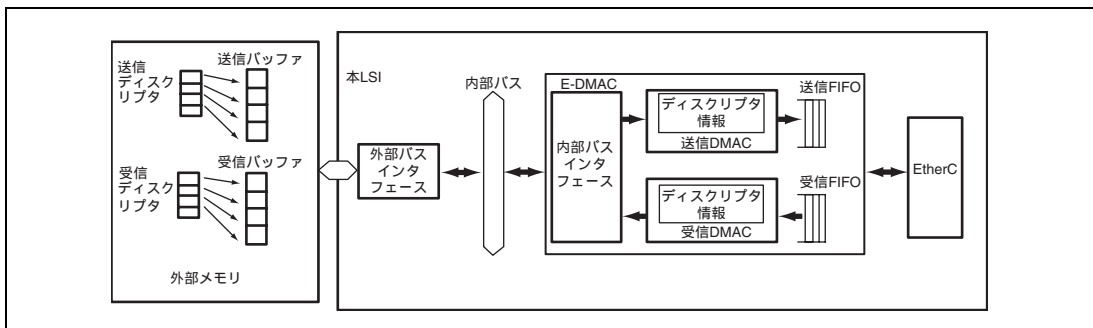


図 19.1 (2) E-DMAC とディスクリプタおよびバッファの構成 (SH7713)

## 19.2 レジスタの説明

E-DMAC には、以下のレジスタがあります。

SH7710 および SH7712 の場合、レジスタの略号の末尾の数字は、該当する E-DMAC の番号 (E-DMAC0 または E-DMAC1 の別) を表します。本文中では、番号の記載を一部省略しています。

これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

	SH7710、SH7712		SH7713
	0系	1系	
E-DMAC モードレジスタ	EDMR0	EDMR1	EDMR
E-DMAC 送信要求レジスタ	EDTRR0	EDTRR1	EDTRR
E-DMAC 受信要求レジスタ	EDRRR0	EDRRR1	EDRRR
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR0	TDLAR1	TDLAR
受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR0	RDLAR1	RDLAR
EtherC/E-DMAC ステータスレジスタ	EESR0	EESR1	EESR
EtherC/E-DMAC ステータス割り込み許可レジスタ	EESIPR0	EESIPR1	EESIPR
送受信ステータスコピー指示レジスタ	TRSCER0	TRSCER1	TRSCER
ミスドフレームカウンタレジスタ	RMFCR0	RMFCR1	RMFCR
送信 FIFO しきい値指定レジスタ	TFTR0	TFTR1	TFTR
FIFO 容量指定レジスタ	FDR0	FDR1	FDR
受信方式制御レジスタ	RMCR0	RMCR1	RMCR
E-DMAC 動作制御レジスタ	EDOCR0	EDOCR1	EDOCR
受信バッファライトアドレスレジスタ	RBWAR0	RBWAR1	RBWAR
受信ディスクリプタフェッチアドレスレジスタ	RDFAR0	RDFAR1	RDFAR
送信バッファリードアドレスレジスタ	TBRAR0	TBRAR1	TBRAR
送信ディスクリプタフェッチアドレスレジスタ	TDFAR0	TDFAR1	TDFAR
オーバーフロー予告 FIFO しきい値設定レジスタ	FCFTR0	FCFTR1	FCFTR
送信割り込み設定レジスタ	TRIMD0	TRIMD1	TRIMD

### 19.2.1 E-DMAC モードレジスタ (EDMR)

EDMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC のリセットおよび送受信ディスクリプタ長を指定します。本レジスタの設定は、EDTRR の TR ビットまたは、EDRRR の RR ビットを 1 とする以前に行います。データ送信中に本レジスタによってソフトウェアリセットを実行すると、回線上に異常データを送出する可能性があります。本レジスタによる送受信ディスクリプタ長の指定、TDLAR、RDLAR 等の設定値、ECMR (EtherC モードレジスタ) の設定値、他 E-DMAC、EtherC の動作にかかわるレジスタ設定値を変更するには、本レジスタのソフトウェアリセットを実行後設定します。なお、本レジスタのソフトウェアリセットによる EtherC および E-DMAC の初期化完了までの所要時間は、内部バスクロック B で 64 サイクルです。このため、EtherC および E-DMAC 内のレジスタアクセスは、内部バスクロック B で 64 サイクル経過後に行ってください。

ビット	ビット名	初期値	R/W	説 明
31~6		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5	DL1	0	R/W	送受信ディスクリプタ長 ディスクリプタ長を指定します (「19.3.1 ディスクリプタとディスクリプタリスト」参照)。 00 : 16 バイト 01 : 32 バイト 10 : 64 バイト 11 : リザーブ (設定不可)
4	DL0	0	R/W	
3~1		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
0	SWR	0	R/W	<p>ソフトウェアリセット</p> <p>本ビットに 1 をライトすることにより E-DMAC の TDLAR、RDLAR、RMFCR を除く E-DMAC の各レジスタと、EtherC の TSU 関係を除く各レジスタを初期化することができます (レジスタ名が TSU_ ではじまるレジスタは初期化されません)。</p> <p>SH7710 および SH7712 の場合、EDMR0 の SWR ビットでは EDMAC0 と EtherC 内の MAC-0 関係の各レジスタが、EDMR1 の SWR ビットでは EDMAC1 と EtherC 内の MAC-1 関係の各レジスタが初期化されます。転送イネーブルレジスタ (0 1 系) (TSU_FWEN0)、転送イネーブルレジスタ (1 0 系) (TSU_FWEN1) により、EtherC で転送動作を許可している場合は、本ビットによるソフトウェアリセットは行わないでください。</p> <p>SH7713 の場合、EDMR の SWR ビットでは EDMAC と EtherC 内の MAC 関係の各レジスタが初期化されます。</p> <p>ソフトウェアリセットの発行期間中 (内部バスクロック B で 64 サイクル間) は、イーサネット関係のすべてのモジュールに対するレジスタアクセスを禁止します。</p> <p>ソフトウェアリセット期間 (例) :</p> <p>B = 100MHz のとき : 0.64<math>\mu</math>s</p> <p>B = 66MHz のとき : 0.97<math>\mu</math>s</p> <p>B = 50MHz のとき : 1.28<math>\mu</math>s</p> <p>B = 33MHz のとき : 1.94<math>\mu</math>s</p> <p>本ビットを読み出すと常に 0 が読み出されます。</p> <p>1 : EtherC および E-DMAC をリセット (書き込み時)</p>

### 19.2.2 E-DMAC 送信要求レジスタ (EDTRR)

EDTRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に送信指示を行います。本レジスタの TR ビットに 1 を書き込んだ後、E-DMAC は TDLAR に指示されているアドレスの送信ディスクリプタを読み込みます。この送信ディスクリプタの TACT ビットが 1 (有効) であれば、E-DMAC による送信 DMA 転送が開始します。以降、最初の送信ディスクリプタによる DMA 転送が完了すると、E-DMAC は次の送信ディスクリプタを読み込み TACT ビットが有効であれば、送信 DMA 動作を継続します。また、送信ディスクリプタの TACT ビットが 0 (無効) の場合は、TR ビットをクリアして送信 DMAC の動作を停止します。TR ビットの書き込み方法については「19.4.1 E-DMAC 送信要求レジスタ (EDTRR) および E-DMAC 受信要求レジスタ (EDRRR) 使用上の注意事項」を参照してください。

ビット	ビット名	初期値	R/W	説明
31~1		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	TR	0	R/W	送信要求 0: 送信停止状態。0 を書き込んだ後も送信は停止しません。送信の終了は、送信ディスクリプタ内の TACT ビットで制御します。 1: E-DMAC による送信 DMA 動作中。1 を書き込んだ後は、E-DMAC は送信ディスクリプタの読み込みを開始します。

### 19.2.3 E-DMAC 受信要求レジスタ (EDRRR)

EDRRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に受信指示を行います。本レジスタの RR ビットに 1 を書き込んだ後、E-DMAC は RDLAR に指示されているアドレスの受信ディスクリプタを読み込みます。この受信ディスクリプタの RACT ビットが 1 (有効) で受信 FIFO に受信したフレームがあれば、E-DMAC による受信 DMA 転送が開始します。以降、最初の受信ディスクリプタによる DMA 転送が完了すると、E-DMAC は次の受信ディスクリプタを読み込み RACT ビットが有効であれば、受信 DMA 動作を継続します。ただし、受信 FIFO に受信データがない場合には、E-DMAC は受信 DMA 動作を待機状態にします。また、受信ディスクリプタの RACT ビットが 0 (無効) の場合は、RR ビットをクリアして受信 DMAC の動作を停止します。RR ビットの書き込み方法については「19.4.1 E-DMAC 送信要求レジスタ (EDTRR) および E-DMAC 受信要求レジスタ (EDRRR) 使用上の注意事項」を参照してください。

ビット	ビット名	初期値	R/W	説明
31~1		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	RR	0	R/W	受信要求 0: 受信機能を無効にする* 1: 受信ディスクリプタを読み込み、E-DMAC 受信可能状態となる



- 【注】 \* フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポインタが異常となるため、E-DMAC は正常な動作ができなくなります。この場合、再度 E-DMAC を受信可能状態とするためには、EDMR0 (EDMR1) の SWR ビットによりソフトウェアリセットを実行してください。E-DMAC をソフトウェアリセットせずに受信機能を無効とするには、ECMR0 (ECMR1) の RE ビットにより受信機能を無効とします。次に、E-DMAC の受信が完了し受信ディスクリプタのライトバックが確認できた後、本レジスタの受信機能を無効にしてください。
- なお、SH7713 の場合、EDMR0 (EDMR1) は EDMR となります。

#### 19.2.4 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)

TDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。送信中に本レジスタを書き換えることは、禁止します。本レジスタの書き換えは、E-DMAC 送信要求レジスタ (EDTRR) の TR ビット (=0) による送信停止状態で行ってください。

ビット	ビット名	初期値	R/W	説明
31~0	TDLA31 ~ TDLA0	すべて 0	R/W	送信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : TDLA[3:0] = 0000 32 バイトバウンダリ : TDLA[4:0] = 00000 64 バイトバウンダリ : TDLA[5:0] = 000000

#### 19.2.5 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)

RDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、受信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。受信中に本レジスタを書き換えることは、禁止します。本レジスタの書き換えは、E-DMAC 受信要求レジスタ (EDRRR) の RR ビット (=0) による受信停止状態で行ってください。

ビット	ビット名	初期値	R/W	説明
31~0	RDLA31 ~ RDLA0	すべて 0	R/W	受信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : RDLA[3:0] = 0000 32 バイトバウンダリ : RDLA[4:0] = 00000 64 バイトバウンダリ : RDLA[5:0] = 000000

## 19.2.6 EtherC/E-DMAC ステータスレジスタ (EESR)

EESR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC と E-DMAC を合わせた通信ステータスを表示します。本レジスタは、割り込み要因として報告されます。各ビットは、1 をライトすることでクリアされます (ただし、ビット 22 (ECI) はリード専用で、1 をライトしてもクリアされません)。0 をライトしても、各ビットの状態には影響しません。各割り込み要因は EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) の当該ビットによってマスクすることが可能です。

本ステータスレジスタが要因で発生する割り込みは、SH7710 および SH7712 の場合、0 系では EINT0、1 系では EINT1 となります。SH7713 の場合、EINT0 となります。割り込みの優先順位については、「第 8 章 割り込みコントローラ (INTC)」の「8.3.5 割り込み例外処理および優先順位」を参照ください。

SH7710 および SH7712 の EINT2 は、EtherC にある TSU\_FNSR が要因の割り込みです。

ビット	ビット名	初期値	R/W	説明
31		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30	TWB	0	R/W	ライトバック完了 フレーム送信完了後の E-DMAC からの当該ディスクリプタへのライトバックが完了したことを示します。本動作は、TRIMD の TIS ビットが 1 にセットされているときのみ有効です 0 : ライトバック未完了または送信未指示 1 : ライトバック完了
29~27		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
26	TABT	0	R/W	送信中断検出 フレーム送信時、障害等により EtherC がフレーム送信を中断したことを示します。 0 : フレーム送信中断未発生または送信未指示 1 : フレーム送信中断発生
25	RABT	0	R/W	受信中断検出 フレーム受信時、障害等により EtherC がフレーム受信を中断したことを示します。 0 : フレーム受信中断未発生または受信未指示 1 : フレーム受信中断発生
24	RFCOF	0	R/W	受信フレームカウンタオーバーフロー 受信 FIFO 内のフレームカウンタがオーバーフローしたことを示します。 0 : 受信フレームカウンタがオーバーフローしていない 1 : 受信フレームカウンタがオーバーフローした

ビット	ビット名	初期値	R/W	説明
23	ADE	0	R/W	<p>アドレスエラー</p> <p>E-DMAC が転送しようとしたメモリアドレスが不正であったことを示します。</p> <p>0 : 不正なメモリアドレスを検出していない (正常動作)</p> <p>1 : 不正なメモリアドレスを検出した</p> <p>【注意】アドレスエラーが検出されると、E-DMAC は送受信を停止します。再開するには、EDMR の SWR ビットにより、ソフトウェアリセットを実行してください。</p>
22	ECI	0	R	<p>EtherC ステータスレジスタ要因</p> <p>本ビットは、リード専用です。EtherC にある ECSR の要因がクリアされると、本ビットもクリアされます。</p> <p>0 : EtherC ステータス割り込み要因未検出</p> <p>1 : EtherC ステータス割り込み要因検出</p>
21	TC	0	R/W	<p>フレーム送信完了</p> <p>送信ディスクリプタによって指定されたデータをすべて EtherC 部より送信したことを示します。1 フレーム / 1 ディスクリプタでは、1 フレームの送信が完了した場合、また 1 フレーム / 複数ディスクリプタであるマルチバッファフレーム処理ではフレーム最後のデータを送信し、次のディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかった場合に送信完了とみなし、本ビットが 1 となります。フレーム送信完了後は、E-DMAC は転送状態を当該ディスクリプタにライトバックします。</p> <p>0 : 転送未完了または転送未指示</p> <p>1 : 転送完了</p>
20	TDE	0	R/W	<p>送信ディスクリプタ枯渇</p> <p>1 フレーム / 複数ディスクリプタであるマルチバッファフレーム処理で前ディスクリプタがフレームの最終でない場合は、E-DMAC が送信ディスクリプタを読み込んだときに、ディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかったことを示します。結果として不完全なフレームを送出する場合があります。</p> <p>0 : 送信ディスクリプタ有効ビット TACT = 1 を検出</p> <p>1 : 送信ディスクリプタ有効ビット TACT = 0 を検出</p> <p>送信ディスクリプタ枯渇 (TDE = 1) が発生した場合は、ソフトウェアリセットしてから送信起動をかけてください。このとき、送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR) に格納されているアドレスからの開始となります。</p>
19	TFUF	0	R/W	<p>送信 FIFO アンダフロー</p> <p>フレームを送信中に送信 FIFO にアンダフローが発生したことを示します。回線には、不完全なデータが送出されます。</p> <p>0 : アンダフロー未発生</p> <p>1 : アンダフロー発生</p>

ビット	ビット名	初期値	R/W	説明
18	FR	0	R/W	フレーム受信 フレームを受信し、受信ディスクリプタを更新したことを示します。本ビットは、1フレームを受信するたびに1にセットされます。 0: フレーム未受信 1: フレーム受信済み
17	RDE	0	R/W	受信ディスクリプタ枯渇 E-DMAC が受信 DMA のため読み込んだ受信ディスクリプタの RACT ビットが 0 (無効) であったことを示します。 受信ディスクリプタ枯渇 (RDE = 1) が発生した場合は、RACT ビット = 0 となっていた受信ディスクリプタを RACT = 1 に設定し EDRRR の RR ビットに 1 を書き込むことで、受信を再開することができます。 0: 受信ディスクリプタ有効ビット RACT = 1 を検出 1: 受信ディスクリプタ有効ビット RACT = 0 を検出
16	RFOF	0	R/W	受信 FIFO オーバフロー フレームを受信中に受信 FIFO がオーバフローしたことを示します。 0: オーバフロー未発生 1: オーバフロー発生
15~12		すべて 0	R	リザーブビット ライトは常に 0 をライトしてください。
11	CND	0	R/W	キャリア未検出 プリアンプル送出中のキャリアの検出状態を示します。 0: 送信開始時にキャリア検出 1: キャリア未検出
10	DLC	0	R/W	キャリア消失検出 フレーム送信中のキャリア消失を検出したことを示します。 0: キャリア消失未検出 1: キャリア消失検出
9	CD	0	R/W	遅延衝突検出 フレーム送信中に遅延衝突を検出したことを示します。 0: 遅延衝突未検出 1: 遅延衝突検出
8	TRO	0	R/W	送信リトライオーバ フレーム送信中にリトライオーバが発生したことを示します。これは、EtherC が送信を開始後、バックオフアルゴリズムに基づく 15 回の再送をあわせ全部で 16 回の送信試行に失敗したことを示します。 0: 送信リトライオーバ未検出 1: 送信リトライオーバ検出
7	RMAF	0	R/W	マルチキャストアドレスフレーム受信 0: マルチキャストアドレスフレーム未受信 1: マルチキャストアドレスフレーム受信

ビット	ビット名	初期値	R/W	説明
6、5		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	RRF	0	R/W	端数ビットフレーム受信 0 : 端数ビットフレーム未受信 1 : 端数ビットフレーム受信
3	RTLFL	0	R/W	ロングフレーム受信エラー RFLR で設定した受信フレーム長上限値を超えるバイト数のフレームを受信したことを示します。 0 : ロングフレーム未受信 1 : ロングフレーム受信
2	RTSFL	0	R/W	ショートフレーム受信エラー 64 バイト未満のフレームを受信したことを示します。 0 : ショートフレーム未受信 1 : ショートフレーム受信
1	PRE	0	R/W	PHY-LSI 受信エラー 0 : PHY-LSI 受信エラー未検出 1 : PHY-LSI 受信エラー検出
0	CERF	0	R/W	受信フレーム CRC エラー 0 : CRC エラー未検出 1 : CRC エラー検出

### 19.2.7 EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)

EESIPR は、読み出したまたは書き込み可能な 32 ビットのレジスタで、EtherC/E-DMAC ステータスレジスタ (EESR) の各ビットに対応する割り込み許可レジスタです。各ビットは、1 をライトすることで割り込みが許可されます。

ビット	ビット名	初期値	R/W	説明
31		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30	TWBIP	0	R/W	ライトバック完了割り込み許可 0 : ライトバック完了割り込み禁止 1 : ライトバック完了割り込み許可
29 ~ 27		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
26	TABTIP	0	R/W	送信中断検出割り込み許可 0 : 送信中断検出割り込み禁止 1 : 送信中断検出割り込み許可

ビット	ビット名	初期値	R/W	説明
25	RABTIP	0	R/W	受信中断検出割り込み許可 0: 受信中断検出割り込み禁止 1: 受信中断検出割り込み許可
24	RFCOFIP	0	R/W	受信フレームカウンタオーバーフロー割り込み許可 0: 受信フレームカウンタオーバーフロー割り込み禁止 1: 受信フレームカウンタオーバーフロー割り込み許可
23	ADEIP	0	R/W	アドレスエラー割り込み許可 0: アドレスエラー割り込み禁止 1: アドレスエラー割り込み許可
22	EClIP	0	R/W	EtherC ステータスレジスタ要因割り込み許可 0: EtherC ステータス割り込み禁止 1: EtherC ステータス割り込み許可
21	TCIP	0	R/W	フレーム送信完了割り込み許可 0: フレーム送信完了割り込み禁止 1: フレーム送信完了割り込み許可
20	TDEIP	0	R/W	送信ディスクリプタ枯渇割り込み許可 0: 送信ディスクリプタ枯渇割り込み禁止 1: 送信ディスクリプタ枯渇割り込み許可
19	TFUFIP	0	R/W	送信 FIFO アンダフロー割り込み許可 0: アンダフロー割り込み禁止 1: アンダフロー割り込み許可
18	FRIP	0	R/W	フレーム受信割り込み許可 0: フレーム受信割り込み禁止 1: フレーム受信割り込み許可
17	RDEIP	0	R/W	受信ディスクリプタ枯渇割り込み許可 0: 受信ディスクリプタ枯渇割り込み禁止 1: 受信ディスクリプタ枯渇割り込み許可
16	RFOFIP	0	R/W	受信 FIFO オーバフロー割り込み許可 0: オーバフロー割り込み禁止 1: オーバフロー割り込み許可
15~12		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	CNDIP	0	R/W	キャリア未検出割り込み許可 0: キャリア未検出割り込み禁止 1: キャリア未検出割り込み許可
10	DLCIP	0	R/W	キャリア消失検出割り込み許可 0: キャリア消失検出割り込み禁止 1: キャリア消失検出割り込み許可

ビット	ビット名	初期値	R/W	説明
9	CDIP	0	R/W	遅延衝突検出割り込み許可 0: 遅延衝突割り込み禁止 1: 遅延衝突割り込み許可
8	TROIP	0	R/W	送信リトライオーバーバ割り込み許可 0: 送信リトライオーバーバ割り込み禁止 1: 送信リトライオーバーバ割り込み許可
7	RMAFIP	0	R/W	マルチキャストアドレスフレーム受信割り込み許可 0: マルチキャストアドレスフレーム受信割り込み禁止 1: マルチキャストアドレスフレーム受信割り込み許可
6、5		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4	RRFIP	0	R/W	端数ビットフレーム受信割り込み許可 0: 端数ビットフレーム受信割り込み禁止 1: 端数ビットフレーム受信割り込み許可
3	RTLFIPI	0	R/W	ロングフレーム受信エラー割り込み許可 0: ロングフレーム受信エラー割り込み禁止 1: ロングフレーム受信エラー割り込み許可
2	RTSFIP	0	R/W	ショートフレーム受信エラー割り込み許可 0: ショートフレーム受信エラー割り込み禁止 1: ショートフレーム受信エラー割り込み許可
1	PREIP	0	R/W	PHY-LSI 受信エラー割り込み許可 0: PHY-LSI 受信エラー割り込み禁止 1: PHY-LSI 受信エラー割り込み許可
0	CERFIP	0	R/W	受信フレーム CRC エラー割り込み許可 0: CRC エラー割り込み禁止 1: CRC エラー割り込み許可

### 19.2.8 送受信ステータスコピー指示レジスタ (TRSCER)

TRSCER は、EtherC/E-DMAC ステータスレジスタ (EESR) のビット 7 で報告される、マルチキャストアドレスフレーム受信ステータス情報を受信ディスクリプタの RFE ビットに反映するか否かを指示します (ディスクリプタの説明は「19.3.1 ディスクリプタとディスクリプタリスト」を参照)。

本レジスタの RMAFCE ビットは、EtherC/E-DMAC ステータスレジスタ (EESR) のビット 7 に対応し、本ビットに 0 を設定すると、受信ステータス (EESR のビット 7) の 1 状態を受信ディスクリプタの REF ビットに反映しません。1 を設定すると、該当する要因が発生してもディスクリプタに反映されません。パワーオンリセット、マニュアルリセット後は、RMAFCE ビットは 0 に設定されています。

ビット	ビット名	初期値	R/W	説明
31~8		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	RMAFCE	0	R/W	RMAF ビットコピー表示 0: RMAF ビットのステータスを受信ディスクリプタの RFE ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映しない。
6~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

### 19.2.9 ミスドフレームカウンタレジスタ (RMFCR)

RMFCR は、受信時に受信バッファに収容しきれずに廃棄されたフレーム数を示す 16 ビットのカウンタです。受信 FIFO がオーバーフローすると、この FIFO 内にある受信フレームは廃棄されます。このときに廃棄するフレームの数をカウントアップします。本レジスタの値が H'FFFF になるとカウントアップを停止します。カウンタの値は、本レジスタを読むと 0 にクリアされます。本レジスタへのライトは、他に影響を与えません。

ビット	ビット名	初期値	R/W	説明
31~16		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MFC15~ MFC0	すべて 0	R	ミスドフレームカウンタ 受信時に、受信バッファに転送しきれずに廃棄されたフレーム数を示します。



### 19.2.10 送信 FIFO しきい値指定レジスタ (TFTR)

TFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、最初の送信を開始するまでの送信 FIFO のしきい値を指定します。実際のしきい値は、設定した数値の 4 倍の値に相当します。EtherC は送信 FIFO 内のデータ数が本レジスタで指定されたバイト数を越えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが行われると送信を開始します。なお本レジスタの設定は、送信停止状態で行ってください。

ビット	ビット名	初期値	R/W	説明
31~11		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10~0	TFT10 ~ TFT0	すべて 0	R/W	送信 FIFO しきい値 送信 FIFO のしきい値は、必ず FDR で指定した FIFO 容量値より小さい値に設定してください。  H'00 : スタア&フォワードモード H'01 ~ H'0C : 設定禁止 H'0D : 52 バイト H'0E : 56 バイト : : H'1F : 124 バイト H'20 : 128 バイト : : H'3F : 252 バイト H'40 : 256 バイト : : H'7F : 508 バイト H'80 : 512 バイト : : H'FF : 1020 バイト H'100 : 1024 バイト : : H'1FF : 2044 バイト H'200 : 2048 バイト

【注】 1 フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。

### 19.2.11 FIFO 容量指定レジスタ (FDR)

FDR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、送信および受信 FIFO の容量を指定します。

ビット	ビット名	初期値	R/W	説明
31~11		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10~8	TFD2~TFD0	すべて 1	R/W	送信 FIFO 容量 最大 2k バイトある送信 FIFO の容量を 256 バイトから 2k バイトまで、256 バイト単位で指定します。送受信開始後は、設定値を変更することを禁止します。
7~3		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2~0	RFD2~RFD0	すべて 1	R/W	受信 FIFO 容量 最大 2k バイトある受信 FIFO の容量を 256 バイトから 2k バイトまで、256 バイト単位で指定します。送受信開始後は、設定値を変更することを禁止します。

### 19.2.12 受信方式制御レジスタ (RMCR)

RMCR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、フレームを受信時の ECMR 内にある RE ビットの制御の方法を指定します。なお本レジスタの設定は、受信停止状態で行ってください。

ビット	ビット名	初期値	R/W	説明
31~1		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	RNC	0	R/W	受信許可制御 フレーム受信を継続する / しないを設定します。 0: 1 つのフレームを受信完了すると、E-DMAC は受信ステータスをディスクリプタに書き込んで EDRRR の RR ビットを 0 とします。 1: 1 つのフレームを受信完了すると、E-DMAC は受信ステータスをディスクリプタに書き込み (ライトバック) します。さらに E-DMAC は次のディスクリプタを読み込み、次のフレームの受信に備えます。

### 19.2.13 E-DMAC 動作制御レジスタ (EDOCR)

EDOCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC の動作状態における制御方法を指定します。

ビット	ビット名	初期値	R/W	説明
31~4		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	FEC	0	R/W	FIFO エラー制御 送信 FIFO におけるアンダフローあるいは受信 FIFO におけるオーバフロー発生時の E-DMAC の動作を指定します。 0 : アンダフローあるいはオーバフローが発生しても E-DMAC の動作を継続します。 1 : アンダフローあるいはオーバフローが発生すると E-DMAC の動作を停止します。
2	AEC	0	R/W	アドレスエラー制御 E-DMAC が転送しようとしたメモリアドレスが不正であったことを示します。 0 : 不正なメモリアドレスを検出していない (正常動作)。 1 : 不正なメモリアドレスを検出したことにより E-DMAC の動作が停止中であることを示します。0 を書き込むことによって E-DMAC は動作を再開します。
1、0		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

### 19.2.14 受信バッファライトアドレスレジスタ (RBWAR)

RBWAR は、E-DMAC が受信バッファにデータを書き込むとき、受信バッファ内で書き込みの対象となるバッファアドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC が受信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。E-DMAC が実行しているバッファライト処理とレジスタの読み出しの値が一致していない場合もあります。

ビット	ビット名	初期値	R/W	説明
31~0	RBWA31 ~RBWA0	すべて 0	R	受信バッファライトアドレス 本ビットは読み出し専用です。書き込みは禁止です。

### 19.2.15 受信ディスクリプタフェッチアドレスレジスタ (RDFAR)

RDFAR は、E-DMAC が受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの辺の受信ディスクリプタ情報をもとに処理を実行しているかを認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

ビット	ビット名	初期値	R/W	説明
31~0	RDFFA31 ~RDFFA0	すべて0	R	受信ディスクリプタフェッチアドレス 本ビットは読み出し専用です。書き込みは禁止です。

### 19.2.16 送信バッファリードアドレスレジスタ (TBRAR)

TBRAR は、E-DMAC が送信バッファからデータを読み出すとき、送信バッファ内で読み出しの対象となるバッファアドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC が送信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。E-DMAC が実行しているバッファリード処理とレジスタの読み出しの値が一致していない場合もあります。

ビット	ビット名	初期値	R/W	説明
31~0	TBRA31 ~TBRA0	すべて0	R	送信バッファリードアドレス 本ビットは読み出し専用です。書き込みは禁止です。

### 19.2.17 送信ディスクリプタフェッチアドレスレジスタ (TDFAR)

E-DMAC が送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの辺の送信ディスクリプタ情報をもとに処理を実行しているかを認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

ビット	ビット名	初期値	R/W	説明
31~0	TDFFA31 ~TDFFA0	すべて0	R	送信ディスクリプタフェッチアドレス 本ビットは読み出し専用です。書き込みは禁止です。

### 19.2.18 オーバフロー予告 FIFO しきい値設定レジスタ (FCFTR)

FCFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC のフロー制御の設定を行います。受信 FIFO データ容量 (RFD2~RFD0)、受信フレーム数 (RFF2~RFF0) によるしきい値を設定できます。

RFD の設定条件によりフロー制御をオンにすると、FIFO 容量設定レジスタ (FDR) で設定した受信 FIFO 容量値と同じ設定である場合は、(FIFO データ容量 - 64) バイトでフロー制御をオンにします。たとえば FDR の RFD=7、FCFTR の RFD=7 の場合は、受信 FIFO 内に (2,048 - 64) バイトのデータを格納されたとき、フロー制御がオンになります。なお本レジスタの RFD の設定値は、FDR の RFD の設定値と同じか小さい値を設定してください。

フロー制御のオンは、RFF2~RFF0 または RFD2~RFD0 のいずれかの設定条件を満たしたときになります。フロー制御のオフは、いずれの設定条件も満たしていない (解除) ときになります。

ビット	ビット名	初期値	R/W	説明
31~19		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18	RFF2	1	R/W	受信 FIFO オーバフロー予告信号送しきい値
17	RFF1	1	R/W	000: 受信フレームを受信 FIFO 内に 1 フレーム格納完了時
16	RFF0	1	R/W	001: 受信フレームを受信 FIFO 内に 2 フレーム格納完了時 ~ 110: 受信フレームを受信 FIFO 内に 7 フレーム格納完了時 111: 受信フレームを受信 FIFO 内に 8 フレーム格納完了時
15~3		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	RFD2	1	R/W	受信 FIFO オーバフロー予告信号送しきい値
1	RFD1	1	R/W	000: 受信 FIFO 内に 256 - 32 バイトのデータ容量を格納時
0	RFD0	1	R/W	001: 受信 FIFO 内に 512 - 32 バイトのデータ容量を格納時 ~ 110: 受信 FIFO 内に 1,792 - 32 バイトのデータ容量を格納時 111: 受信 FIFO 内に 2,048 - 64 バイトのデータ容量を格納時

### 19.2.19 送信割り込み設定レジスタ (TRIMD)

TRIMD は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信動作時にフレームごとのライトバック完了を EESR の TWB ビットおよび割り込みにて通知するかどうかを指定します。

ビット	ビット名	初期値	R/W	説明
31~1		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	TIS	0	R/W	送信割り込み設定 0: フレームごとのライトバック完了を EESR の TWB ビットで通知する 1: フレームごとのライトバック完了を通知しない

## 19.3 動作説明

E-DMAC は、E-DMAC が持つダイレクトメモリアクセス (DMA) 機能を使用し、ユーザ指定のイーサネットフレーム送受信データ格納先 (アクセス可能なメモリ空間: 送信バッファ / 受信バッファ) と E-DMAC 内の送信 / 受信 FIFO との間で送受信データの DMA 転送を行います。ユーザが CPU を介して直接送信 / 受信 FIFO のデータを読み書きすることはできません。

E-DMAC が DMA 転送を行うためには、ディスクリプタと呼ぶ送受信データの格納アドレス等が書かれた情報 (データ) が必要になります。E-DMAC は、イーサネットフレーム送受信に先立ってディスクリプタの情報を読み込んで、その内容に従って送信データを送信バッファから読み込み、または受信データを受信バッファへ書き込みます。このディスクリプタ (読み書き可能なメモリ空間に配置します) を複数個並べ、ディスクリプタ列 (リスト) 化することによって、複数のイーサネットフレームの送受信を連続的に行うことができます。

### 19.3.1 ディスクリプタとディスクリプタリスト

ディスクリプタには、送信ディスクリプタと受信ディスクリプタの 2 種類があります。送信 / 受信ディスクリプタは、EDTRR の TR ビットが 1 / EDRRR の RR ビットが 1 になると E-DMAC が自律的に読み込みを開始します。したがって送信 / 受信ディスクリプタには、あらかじめユーザが各々送信データ / 受信データの DMA 転送に関する情報を格納します。また、イーサネットフレームの送信 / 受信が完了した後は、E-DMAC がディスクリプタの有効 / 無効ビットを無効とし、送受信の結果をステータスビットに反映します。

ディスクリプタは、読み書き可能なメモリ空間に配置し、先頭ディスクリプタ (E-DMAC が最初に読み込むディスクリプタ) のアドレスは TDLAR/RDLAR に設定します。複数のディスクリプタをディスクリプタ列 (ディスクリプタリスト) として用意する場合には、EDMR の DL0、1 ビットに設定したディスクリプタ長に従って連続したアドレス (メモリ番地) に配置します。

SH7710 および SH7712 の場合、E-DMAC には、0 系と 1 系の 2 系統ありますが、送信と受信、および 0 系と 1 系それぞれの DMAC は独立して動作します。したがって、E-DMAC が正常動作するためには、送信と受信、および 0 系と 1 系で各々のディスクリプタのアドレス空間が重ならないようにディスクリプタを個別に配置してください。

SH7713 の場合、E-DMAC には、送信と受信が 1 系統ずつあり、それぞれ独立して動作します。したがって、E-DMAC が正常動作するためには、送信と受信のディスクリプタのアドレス空間が重ならないようにディスクリプタを個別に配置してください。

## (1) 送信ディスクリプタ

図 19.2 に送信ディスクリプタの構成と送信バッファの関係を示します。

送信ディスクリプタは、データの先頭から 32 ビット単位に TD0、TD1、TD2 およびパディングで構成されます。最後のパディングは EDMR の DL0、1 ビットで指定するディスクリプタ長に従い長さが決まります。図中、TBA (TD2 の 31~0 ビット) は送信バッファの先頭アドレスを示し、TDL (TD1 の 31~16 ビット) は送信バッファの有効データ長を示します。

TD0 は、送信ディスクリプタの有効/無効、ディスクリプタの構成情報およびステータス情報を示します。TD1 は、そのディスクリプタで指示する転送すべき送信バッファのデータ長を示します。TD2 は、転送する送信バッファの先頭アドレスを示します。

本ディスクリプタの指示内容により、ディスクリプタ 1 個で 1 フレームの送信データを全部指定すること (1 フレーム / 1 バッファ) もディスクリプタ複数個で 1 フレームの送信データを指定すること (1 フレーム / マルチバッファ) も可能です。1 フレーム / マルチバッファの具体例としては、イーサネットフレーム中毎回の送信で固定的に使われるデータ部分を複数のディスクリプタで参照するという方法があります。たとえば、イーサネットフレーム中のあて先アドレス、送信元アドレスのデータを複数のディスクリプタで共有して、残りのデータを各々のバッファに格納するという方法が考えられます。

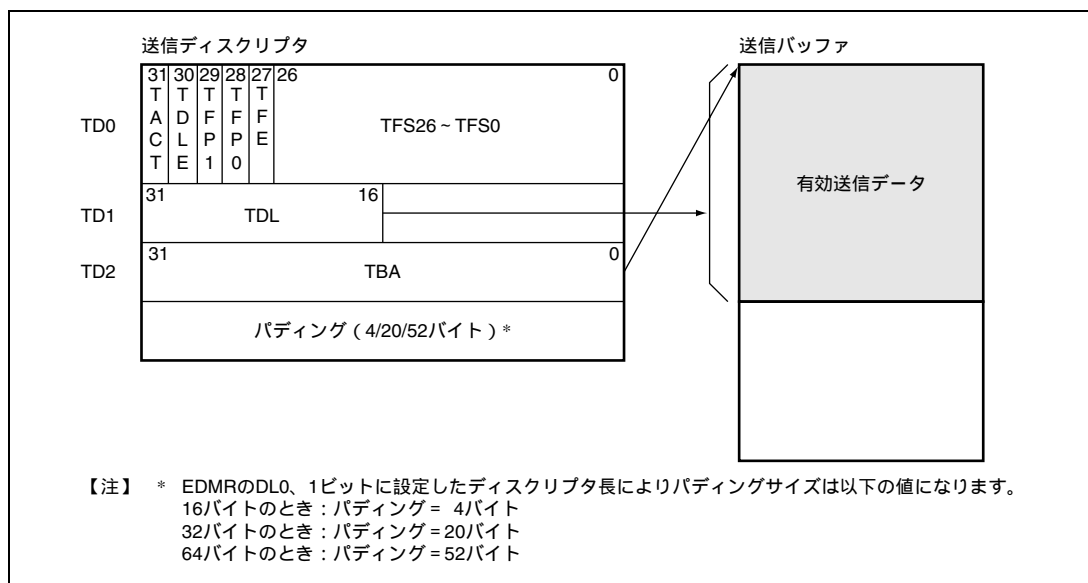


図 19.2 送信ディスクリプタと送信バッファの関係

## (a) 送信ディスクリプタ 0 (TD0)

TD0 は、EDTRR の TR ビット = 1 とする以前に、ユーザがあらかじめディスクリプタの有効 / 無効ビットの設定、その他のディスクリプタの構成を設定します。イーサネットフレームの送信が完了した後は E-DMAC がディスクリプタの有効 / 無効ビットを無効とし、ステータス情報を書き込みます。これをライトバックと呼びます。

使用にあたっては、ユーザがあらかじめビット 31 ~ 28 にディスクリプタの構成に従って任意の値を書き込んでください。またビット 27 ~ 0 には 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
31	TACT	0	R/W	<p>送信ディスクリプタ有効 / 無効</p> <p>当該ディスクリプタが有効または無効であることを示します。本ビットを有効とする際には、あらかじめ送信データを送信バッファ (ユーザの指定する送信データ格納先) に格納した後、本ビットに 1 を書き込みます。また、E-DMAC はデータの転送を完了すると本ビットを 0 クリアします。</p> <p>0 : 送信ディスクリプタが無効であることを示します。</p> <p>初期値の状態が 0 を書き込んだ後の状態、またはユーザが 1 を書き込んだ後の場合には E-DMAC のデータ転送処理終了により本ビットが 0 クリアされたことを示します。</p> <p>E-DMAC のディスクリプタ読み込みの際に、本状態が認識されると E-DMAC は EDTRR の TR ビットを 0 クリアし、E-DMAC の送信にかかわる転送動作は停止します。</p> <p>1 : 送信ディスクリプタが有効であることを示します。</p> <p>ユーザが 1 を書き込んだ後、まだデータ転送を行っていないか、あるいはデータ転送中であることを示します。</p> <p>E-DMAC は連続する複数個のディスクリプタ列 (ディスクリプタリスト) が存在する場合に、連続するディスクリプタの本ビットが有効であることにより動作を継続することができます。</p>
30	TDLE	0	R/W	<p>送信ディスクリプタリスト最終</p> <p>当該ディスクリプタがディスクリプタ列 (ディスクリプタリスト) の最終であるかどうかを示します。</p> <p>0 : 最終のディスクリプタリストではない</p> <p>E-DMAC は当該ディスクリプタの転送が完了した後、連続するディスクリプタリストの次のディスクリプタを読み込みます。</p> <p>1 : 最終のディスクリプタリストである</p> <p>E-DMAC は当該ディスクリプタの転送が完了した後、TDLAR が示すアドレスにあるディスクリプタを読み込みます。</p>



ビット	ビット名	初期値	R/W	説明
29 28	TFP1 TFP0	0 0	R/W R/W	<p>送信フレーム内位置 1、0</p> <p>当該ディスクリプタの情報が送信フレームの先頭かその途中または最終かを示します。</p> <p>00 : 本ディスクリプタの情報はフレームの中間である 01 : 本ディスクリプタの情報はフレームの最後である 10 : 本ディスクリプタの情報はフレームの先頭である 11 : 本ディスクリプタの情報はフレームの全情報である (1フレーム/1ディスクリプタ(1バッファ)である)</p> <p><b>【参考】</b> 1フレームを分割して使用する際の分割数に応じたディスクリプタ列における本ビットの指定要領を示します。</p> <p>1フレーム/1ディスクリプタの場合 1番目のディスクリプタ : TFP[1:0] = 11</p> <p>1フレーム/2ディスクリプタの場合 1番目のディスクリプタ : TFP[1:0] = 10 2番目のディスクリプタ : TFP[1:0] = 01</p> <p>1フレーム/3ディスクリプタの場合 1番目のディスクリプタ : TFP[1:0] = 10 2番目のディスクリプタ : TFP[1:0] = 00 3番目のディスクリプタ : TFP[1:0] = 01</p> <p>以降、分割数が多い場合には、中間の TFP[1:0] = 00 であるディスクリプタを追加していくことでディスクリプタ列を構成します。</p>
27	TFE	0	R/W	<p>送信フレームエラー発生</p> <p>送信フレームに何らかのエラーが発生したことを示します。発生したエラーは、TFS8 (ビット 8)、TFS3 ~ TFS0 (ビット 3 ~ 0) のいずれかになります。</p>
26 ~ 0	TFS26 ~ TFS0	すべて 0	R/W	<p>送信フレームステータス</p> <p>当該フレームのステータスを示します。以下のビットは 1 で当該の事象が発生したことを示します。また、TFS8、TFS3 ~ TFS0 の事象が発生した場合にはフレームの送信は未完となります。</p> <ul style="list-style-type: none"> <li>• TFS26 ~ 9 : 予約 (書き込み時は 0 としてください)</li> <li>• TFS8 : 送信アボートが検出された</li> </ul> <p><b>【注】</b>送信フレームステータス 3 ~ 0 (TFS3 ~ 0) のいずれかのビットがセットされると本ビットがセットされます。</p> <ul style="list-style-type: none"> <li>• TFS7 ~ 4 : 予約 (書き込み時は 0 としてください)</li> <li>• TFS3 : 送信開始時キャリアが検出されなかった (EESR の CND ビットに相当)</li> <li>• TFS2 : 送信中のキャリアが消失した (EESR の DLC ビットに相当)</li> <li>• TFS1 : レイト (遅れ) コリジョンが発生した (EESR の CD ビットに相当)</li> <li>• TFS0 : 送信リトライオーバーとなった (EESR の TRO ビットに相当)</li> </ul>

## (b) 送信ディスクリプタ 1 (TD1)

TD1 は、当該ディスクリプタが使用する送信バッファのデータ長を示します。

ユーザが E-DMAC の読み込み開始前に設定してください。

ビット	ビット名	初期値	R/W	説明
31~16	TDL	すべて 0	R/W	送信バッファデータ長 (単位: バイト) 当該送信バッファのデータ長をバイト単位で示します。
15~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

## (c) 送信ディスクリプタ 2 (TD2)

TD2 は、32 ビット幅の当該送信バッファの先頭アドレスを示します。アドレス値はロングワード境界としてください。

ユーザが E-DMAC の読み込み開始前に設定してください。

## (2) 受信ディスクリプタ

図 19.3 に受信ディスクリプタと受信バッファの関係を示します。

受信ディスクリプタは、データの先頭から 32 ビット単位に RD0、RD1、RD2 およびパディングで構成されます。最後のパディングは EDMR の DL0、1 ビットで指定するディスクリプタ長に従い長さが決まります。図中、RBA (RD2 の 31~0 ビット) は受信バッファの先頭アドレスを示します。RBL (RD1 の 31~16 ビット) は受信バッファの使用可能な有効データ長を示します。RDL (RD1 の 15~0 ビット) は受信したフレームのデータ長を示します。

RD0 は、受信ディスクリプタの有効/無効、ディスクリプタの構成情報およびステータス情報を示します。RD1 は、そのディスクリプタで指示する受信可能な受信バッファのデータ長 (格納先の大きさ) を示します。RD2 は、受信データを格納する受信バッファの先頭アドレスを示します。

本ディスクリプタの指示内容により、ディスクリプタ 1 個で 1 フレームの受信データ全部を受信バッファに格納すること (1 フレーム / 1 バッファ) もディスクリプタ複数個で 1 フレームの受信データを受信バッファに格納すること (1 フレーム / マルチバッファ) も可能です。1 フレーム / マルチバッファのケースとしては、あらかじめ複数のディスクリプタ列 (ディスクリプタリスト) を用意しておき、各ディスクリプタの RBL を 500 バイトとしたときに 1514 バイトのイーサネットフレームを受信したとします。この場合、受信したイーサネットフレームは最初のディスクリプタから順に 500 バイトずつバッファに転送され、最後の 14 バイトだけが 4 つ目のバッファに転送されます。このように E-DMAC は、受信したフレームがディスクリプタの RBL を超える長さのフレームを受信した場合には、連続する次のディスクリプタを使用していくことによって受信バッファに転送していきます。また、1 フレーム / マルチバッファの効率的な具体例としては、イーサネットフレーム中の処理レイヤの異なる情報をバッファによって分離するという方法があります。たとえば、イーサネットフレーム中のあて先アドレス、送信元アドレス、およびタイプフィールドのデータをバッファ 1 (RBL を 14 バイトに指定) に格納し、残りのデータをバッファ 2 (RBL を 1500 バイトに指定) に格納するという方法があります。もちろん、複数のディスクリプタを用意してすべてのディスクリプタの RBL を 1514 バイト (イーサネットフレームの最大長) 以上にすれば、すべての受信フレームを 1 バッファに収めることができます。

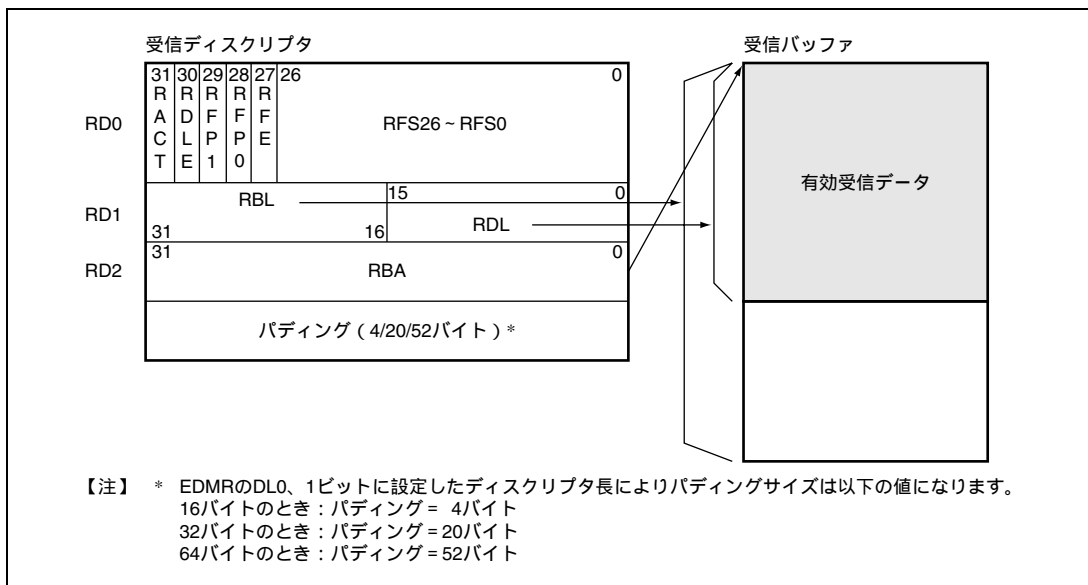


図 19.3 受信ディスクリプタと受信バッファの関係

## (a) 受信ディスクリプタ 0 (RD0)

RD0 は、EDRRR の RR ビット = 1 後の E-DMAC がディスクリプタ情報の読み込みを開始する以前に、ユーザがあらかじめディスクリプタの有効 / 無効ビットの設定、およびディスクリプタリストが最終か否かを設定します。イーサネットフレームの E-DMAC による受信 DMA 転送が完了した後は、E-DMAC がディスクリプタの有効 / 無効ビットを無効とし、ステータス情報を書き込みます。これをライトバックと呼びます。

使用にあたっては、ユーザがあらかじめビット 31、30 にディスクリプタの構成に従って任意の値を書きこんでください。また、ビット 29~0 には 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
31	RACT	0	R/W	<p>受信ディスクリプタ有効 / 無効</p> <p>当該ディスクリプタが有効または無効であることを示します。本ビットを有効とする際には、あらかじめ受信バッファ (ユーザの指定する受信データ格納先) を用意した後、本ビットに 1 を書き込みます。また、E-DMAC はデータの転送を完了すると本ビットを 0 クリアします。</p> <p>0 : 受信ディスクリプタが無効であることを示します。</p> <p>初期値の状態か 0 を書き込んだ後の状態、またはユーザが 1 を書き込んだ後の場合には E-DMAC のデータ転送処理終了により本ビットが 0 クリアされたことを示します。</p> <p>E-DMAC のディスクリプタ読み込みの際に、本状態が認識されると E-DMAC は EDRRR の RR ビットを 0 クリアし、E-DMAC の受信にかかわる転送動作は停止します。</p> <p>1 : 受信ディスクリプタが有効であることを示します。</p> <p>ユーザが 1 を書き込んだ後、まだデータ転送を行っていないか、あるいはデータ転送中であることを示します。</p> <p>E-DMAC は連続する複数個のディスクリプタ列 (ディスクリプタリスト) が存在する場合に、連続するディスクリプタの本ビットが有効であることにより動作を継続することができます。</p>
30	RDLE	0	R/W	<p>受信ディスクリプタリスト最終</p> <p>当該ディスクリプタがディスクリプタ列 (ディスクリプタリスト) の最終であるかどうかを示します。</p> <p>0 : 最終のディスクリプタリストではない</p> <p>E-DMAC は当該ディスクリプタの転送が完了した後、連続するディスクリプタリストの次のディスクリプタを読み込みます。</p> <p>1 : 最終のディスクリプタリストである</p> <p>E-DMAC は当該ディスクリプタの転送が完了した後、RDLAR が示すアドレスにあるディスクリプタを読み込みます。</p>

ビット	ビット名	初期値	R/W	説明
29	RFP1	0	R/W	受信フレーム内位置 1、0
28	RFP0	0	R/W	<p>当該ディスクリプタの情報が受信フレームの先頭かその途中または最終かを E-DMAC がライトバックによって示します。</p> <p>00 : 本ディスクリプタの情報はフレームの間中である</p> <p>01 : 本ディスクリプタの情報はフレームの最後である</p> <p>10 : 本ディスクリプタの情報はフレームの先頭である</p> <p>11 : 本ディスクリプタの情報はフレームの全情報である (1 フレーム / 1 ディスクリプタ (1 パッファ) である)</p> <p><b>【参考】</b></p> <p>1 フレームを受信した後のフレームとディスクリプタの関係を示します。</p> <p>1 フレーム / 1 ディスクリプタの場合</p> <p>1 番目のディスクリプタ : RFP[1:0] = 11</p> <p>1 フレーム / 2 ディスクリプタの場合</p> <p>1 番目のディスクリプタ : RFP[1:0] = 10</p> <p>2 番目のディスクリプタ : RFP[1:0] = 01</p> <p>1 フレーム / 3 ディスクリプタの場合</p> <p>1 番目のディスクリプタ : RFP[1:0] = 10</p> <p>2 番目のディスクリプタ : RFP[1:0] = 00</p> <p>3 番目のディスクリプタ : RFP[1:0] = 01</p> <p>以降、分割数が多い場合には、中間の RFP[1:0] = 00 であるディスクリプタが増えることになります。</p>
27	RFE	0	R/W	<p>受信フレームエラー発生</p> <p>受信フレームに何らかのエラーが発生したことを示します。発生したエラーは、RFS8 (ビット 8)、RFS3 ~ RFS0 (ビット 3 ~ 0) のいずれかになります。また、受信フレームステータスのうちマルチキャストアドレスフレーム受信情報を本ビットに反映するか否かは、送受信ステータスコピー指示レジスタ (TRSCER) によって設定できます。</p>

ビット	ビット名	初期値	R/W	説明
26~0	RFS26~RFS0	すべて 0	R/W	<p>受信フレームステータス</p> <p>当該フレームのステータスを示します。以下のビットは 1 で当該の事象が発生したことを示します。また、RFS8、RFS4~RFS0 の事象が発生した場合にはフレームの受信は不完全です。</p> <ul style="list-style-type: none"> <li>• RFS26~10: 予約 (書き込み時は 0 としてください)</li> <li>• RFS9: 受信 FIFO オーバフロー (EESR の RFOF ビットに相当)</li> <li>• RFS8: 受信アバートを検出した</li> </ul> <p>【注】受信フレームステータス 3~0 (RFS3~0) のいずれかのビットがセットされると本ビットがセットされます。</p> <ul style="list-style-type: none"> <li>• RFS7: マルチキャストアドレスフレームを受信 (EESR の RMAF ビットに相当)</li> <li>• RFS6~5: 予約 (書き込み時は 0 としてください)</li> <li>• RFS4: 端数ビットフレーム受信エラー (EESR の RRF ビットに相当)</li> <li>• RFS3: ロングフレーム受信エラー (EESR の RTLF ビットに相当)</li> <li>• RFS2: ショートフレーム受信エラー (EESR の RTSF ビットに相当)</li> <li>• RFS1: PHY-LSI 受信エラー (EESR の PRE ビットに相当)</li> <li>• RFS0: 受信フレーム CRC エラー (EESR の CERF ビットに相当)</li> </ul>

## (b) 受信ディスクリプタ 1 (RD1)

RD1 は、当該ディスクリプタが使用できる受信バッファのデータ長をユーザが指定し、フレーム受信後には E-DMAC が受信したフレーム長を示します。

ユーザが E-DMAC の読み込み開始前に設定してください。

ビット	ビット名	初期値	R/W	説明
31~16	RBL	すべて 0	R/W	<p>受信バッファデータ長 (単位: バイト、16 バイト境界で指定)</p> <p>当該受信バッファの受信可能なデータ長をバイト単位で設定します。</p> <p>受信バッファ長は 16 バイト境界 (ビット 19~16 は 0) としてください。</p> <p>1 フレーム / 1 バッファ (ディスクリプタ) のときは、受信フレーム長は CRC データを除き 1514 バイトが最大です。よって受信バッファ長の指定は、最大受信フレーム長に 16 バイト境界を考慮した値である 1520 バイト (H'05F0) を設定します。</p>
15~0	RDL	すべて 0	R	<p>受信データ長</p> <p>受信バッファに格納された受信フレームのデータ長を示します。</p> <p>受信バッファに転送される受信データには、フレームの最後である CRC データ (4 バイト) が含まれていません。また、受信フレーム長は、この CRC データを含めない (有効データバイト) 語数が報告されます。</p> <p>1 フレーム / 複数バッファ (ディスクリプタ) となった場合には、最終ディスクリプタの本受信データ長のみが有効です。途中のディスクリプタの受信データ長は意味を持ちません。</p>

### (c) 受信ディスクリプタ 2 (RD2)

RD2 は、32 ビット幅の当該受信バッファの先頭アドレスを示します。受信バッファの開始アドレスの設定は、ロングワードを境界として設定してください。ただし、SDRAM 接続時は、16 バイトを境界として設定してください。

ユーザが E-DMAC の読み込み開始前に設定してください。

## 19.3.2 送信機能

ECMR の TE ビットが 1 の状態で E-DMAC 送信要求レジスタ (EDTRR) の送信要求ビット (TR) に 1 を書き込むと、E-DMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初回起動時は送信ディスクリプタ先頭アドレスレジスタ (TDLAR) で示すディスクリプタ) を読み込みます。読み込んだディスクリプタの TACT ビットが 1 (有効) の場合は、E-DMAC は TD2 で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出して EtherC に転送します。EtherC は送信フレームを作成し MII に向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分の DMA 転送後、TFP の値によって以下のような処理を行います。

- TFP = 00 or 10 (フレーム継続):

DMA 転送後、ディスクリプタのライトバック (TACT ビットの 0 書き込み) を行います。

- TFP = 01 or 11 (フレーム終了):

フレームの送信完了後、ディスクリプタのライトバック (TACT ビットの 0 およびステータスの書き込み) を行います。

読み込んだディスクリプタの TACT ビットが 1 (有効) の間は、E-DMAC ディスクリプタの読み込みとフレームの送信を続けます。TACT ビットが無効なディスクリプタを読み込むと、E-DMAC は EDTRR の TR ビットを 0 として送信処理を完了します。

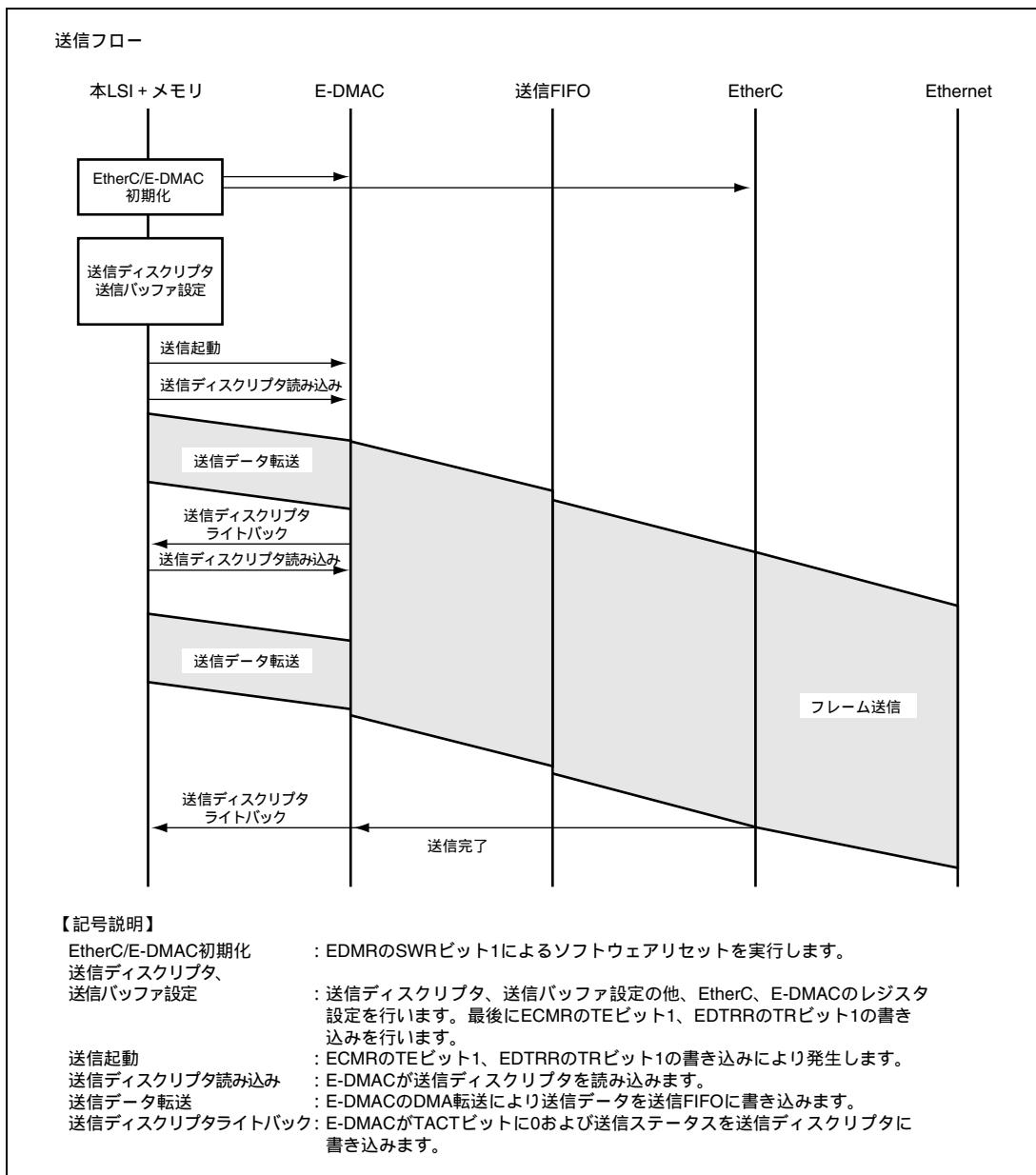


図 19.4 送信フローの例 (1 フレーム / 2 ディスクリプタ)



### 19.3.3 受信機能

ECMR の RE ビットが 1 の状態で E-DMAC 受信要求レジスタ (EDRRR) の受信要求ビット (RR) に 1 を書き込むと、E-DMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初回起動時は受信ディスクリプタ先頭アドレスレジスタ (RDLAR) で示すディスクリプタ) を読み込んだ後に受信待機状態となります。EtherC は自局あて (自局が受信を許可したアドレス) のフレームを受信すると、受信データを受信 FIFO に格納します。受信ディスクリプタの RACT ビットが 1 (有効) の受信ディスクリプタに従い、RD2 で指定される受信バッファに転送します。受信したフレームのデータ長が RD1 で与えられるバッファ長よりも大きい場合は、E-DMAC はバッファが満了となった時点でディスクリプタにライトバック (RFP = 10 or 00) を行った後に次のディスクリプタを読み込みます。そして新たな RD2 によって指定される受信バッファに引き続きデータを転送します。フレームの受信が完了した場合、または何らかのエラーでフレーム受信を中断した場合は、当該ディスクリプタにライトバック (RFP = 11 or 01) を行った後に受信処理を終了します。そして次のディスクリプタを読み込み受信待機状態となります。

なお連続してフレームを受信するには、受信方式制御レジスタ (RMCR) 内の受信コントロールビット (RNC) を 1 に設定してください。初期値は 0 です。

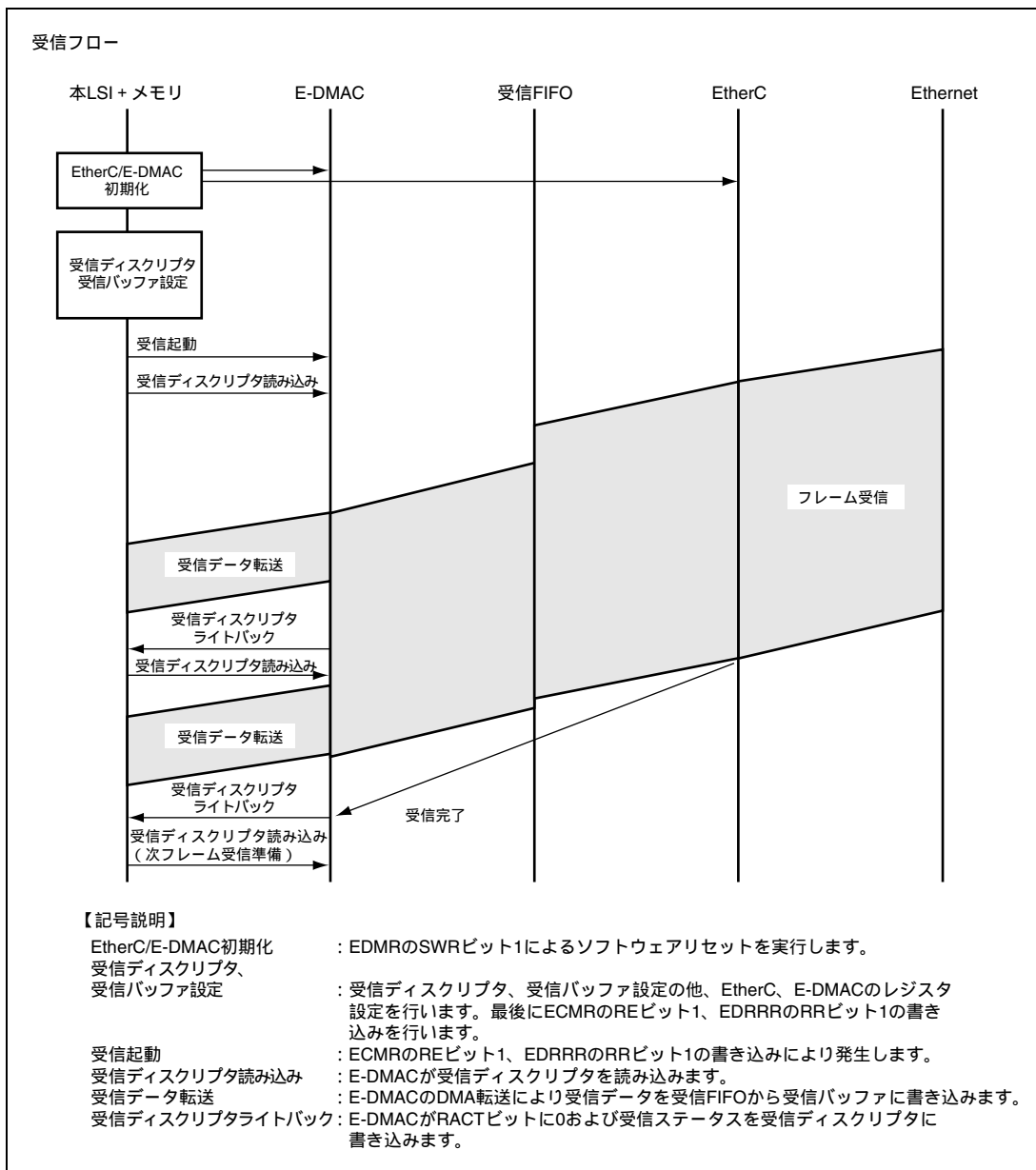


図 19.5 受信フローの例 (1 フレーム / 2 ディスクリプタ)

### 19.3.4 マルチバッファフレーム (1 フレーム / 複数ディスクリプタ) の送受信処理について

#### (1) マルチバッファフレームの送信処理

マルチバッファフレームの送信中にエラーが発生した場合は、E-DMAC は図 19.6 に示す処理を行います。

図中で送信ディスクリプタが無効 (TACT ビットが 0) である部分は、すでにバッファデータを正常に送信した部分を、送信ディスクリプタが有効 (TACT ビットが 1) である部分は、バッファデータが未送信であることを示します。送信ディスクリプタが有効 (TACT ビットが 1) である最初のディスクリプタ部分でフレーム送信エラーが発生した場合は、即座に送信を停止して TACT ビットを 0 クリアします。その後、次のディスクリプタをリードし、送信フレーム内の位置を TFP1、TFP0 ビットをもとに判断していきます (継続[B'00]または終了[B'01])。継続ディスクリプタである場合は、TACT ビットを 0 クリアするのみで、すぐに次ディスクリプタのリードを行います。最終ディスクリプタである場合は、TACT ビットを 0 クリアするのみでなく、TFE および TFS ビットへのライトバックも同時に行います。エラー発生後から最終ディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) でエラー割り込みが許可されている場合は、最終ディスクリプタのライトバック直後に割り込みが発生します。

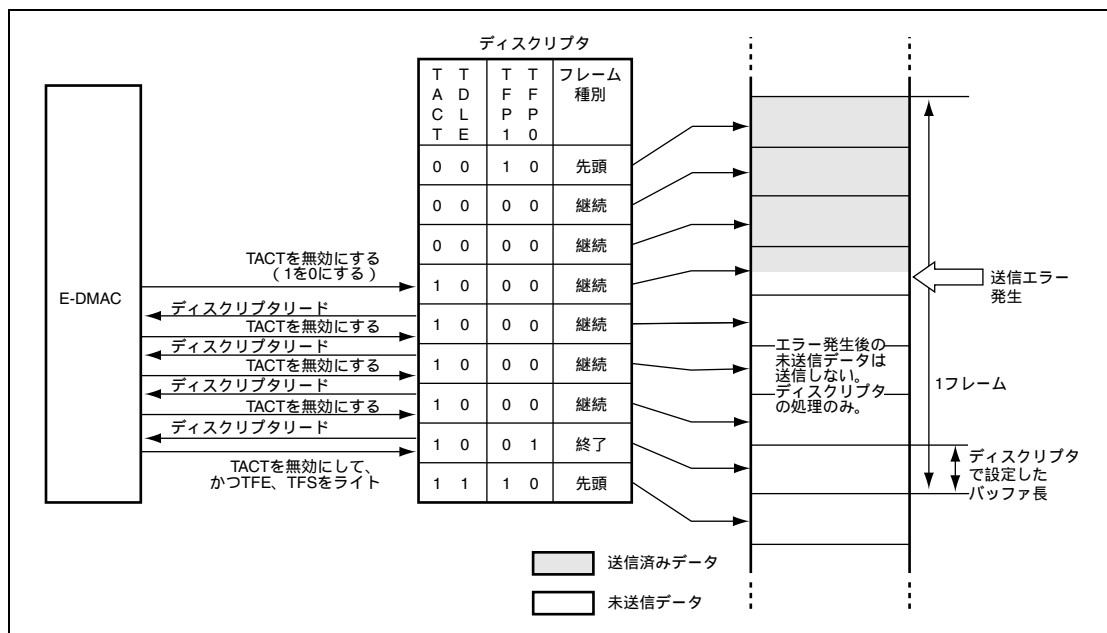


図 19.6 送信エラー発生後の E-DMAC 動作

## (2) マルチバッファフレームとなるケースの受信処理

受信フレームが複数のバッファに分割されマルチバッファフレームとなるケースでの受信中にエラーが発生した場合は、E-DMAC は図 19.7 に示す処理を行います。

図中で受信ディスクリプタが無効 (RACT ビットが 0) である部分はすでにバッファに格納されるデータを正常に受信した部分を、受信ディスクリプタが有効 (RACT ビットが 1) である部分は未受信バッファであることを示します。図中のディスクリプタ部分でフレーム受信エラーが発生した場合は、該当するディスクリプタにステータスのライトバックを行います。

EESIPR でエラー割り込みを許可している場合は、ライトバック直後に割り込みが発生します。新しいフレームの受信要求がある場合には、エラーが発生したバッファの次のバッファから引き続き受信を行います。

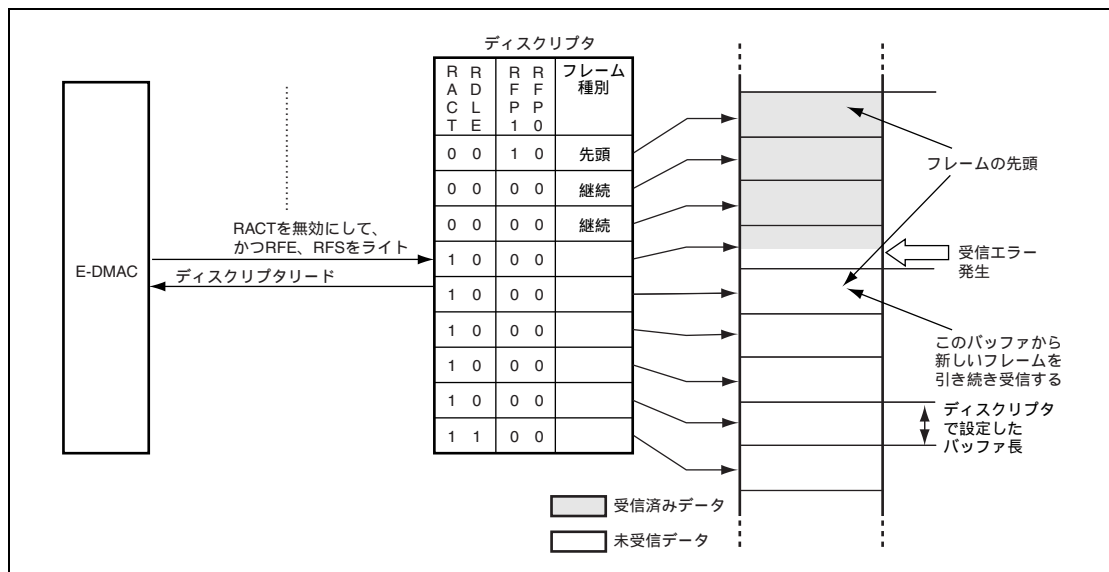


図 19.7 受信エラー発生後の E-DMAC 動作

### 19.3.5 受信 FIFO オーバフロー予告信号 ( $\overline{\text{ARBUSY}}$ ) について

E-DMAC は、EtherC が持つ IEEE802.3x 準拠のフロー制御機能を動作させるための受信 FIFO オーバフロー予告信号 ( $\overline{\text{ARBUSY}}$ ) を EtherC へ出力しています。また、バスクロック (B クロック) に同期した本信号を  $\overline{\text{ARBUSY}}$  信号として LSI 外部ピンへ出力しています。

受信 FIFO オーバフロー予告信号 ( $\overline{\text{ARBUSY}}$ ) は、受信 FIFO に受信したデータ容量、もしくは受信したフレーム数が E-DMAC のオーバフロー予告 FIFO しきい値設定レジスタ (FCFTR) に設定したしきい値 (RFF2 ~ RFF0 または RFD2 ~ RFD0) に達すると、有効になります。

設定しきい値は、オーバフロー以前の (2,048-64、1,792-32、1,536-32...、256-32 バイト) となっています。

図 19.8 (1)、図 19.8 (2) に受信 FIFO オーバフロー予告信号 ( $\overline{\text{ARBUSY}}$ ) の出力構成を示します。

図 19.8 (1)、図 19.8 (2) に示すとおり  $\overline{\text{ARBUSY}}$  信号はシステムクロック同期化回路を通りますので、EtherC が受信する受信 FIFO オーバフロー予告信号に比べ若干の遅れが生じます。

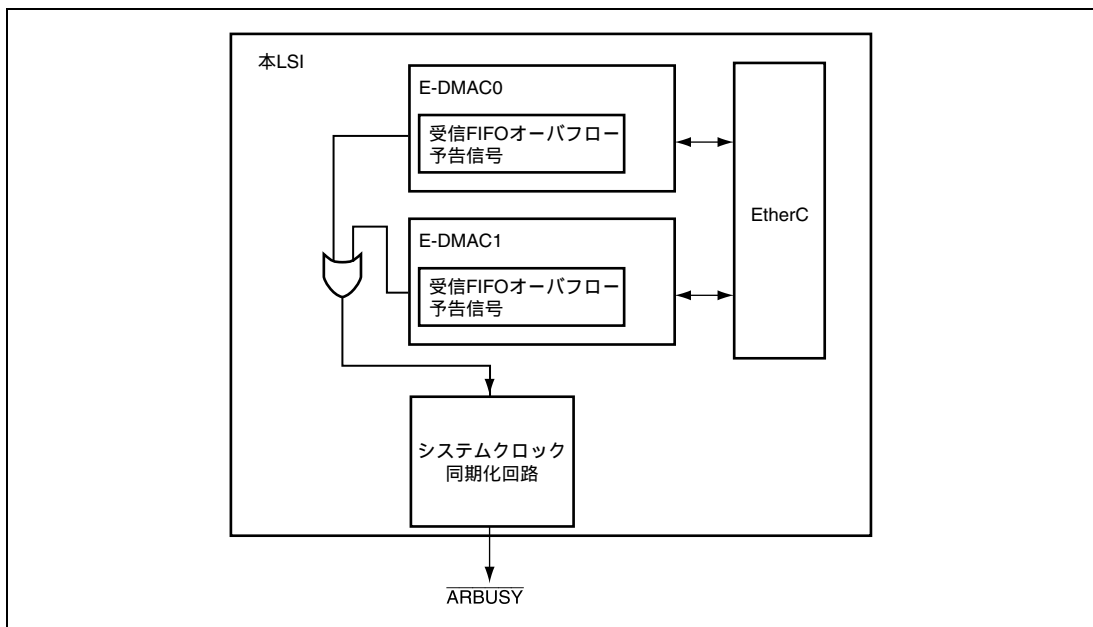


図 19.8 (1)  $\overline{\text{ARBUSY}}$  の構成 (SH7710、SH7712)

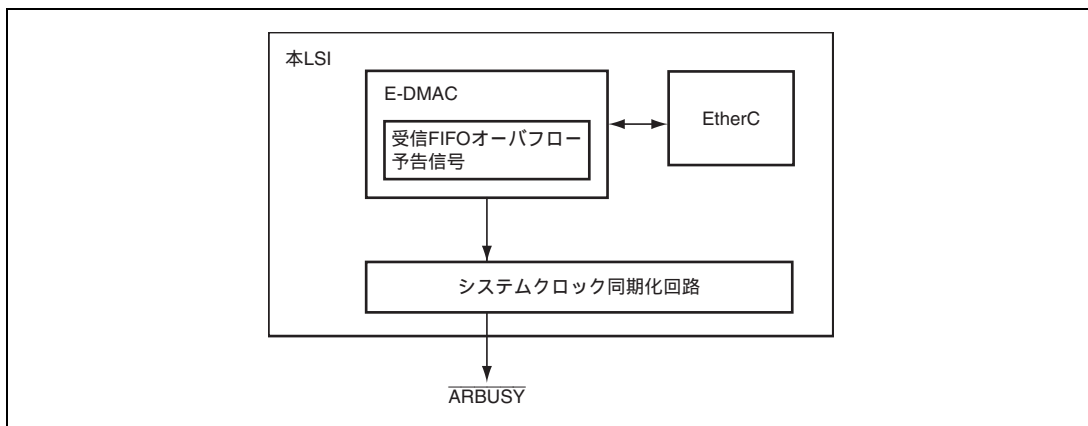


図 19.8 (2) ARBUSY の構成 (SH7713)

## (1) 受信 FIFO オーバフロー予告信号の動作

受信 FIFO オーバフロー予告信号は、受信データが受信 FIFO に蓄積されオーバーフロー予告 FIFO しきい値設定レジスタ (FCFTR) のしきい値以上になるとアサート (1) され、その後しきい値より-32 (バイト) 以下になるとネゲート (2) されます。

ここで、しきい値は、2,048-64、または 1,792-32、...のように設定されています。したがって、ネゲートは 2,048-96、1,792-64、...となります。

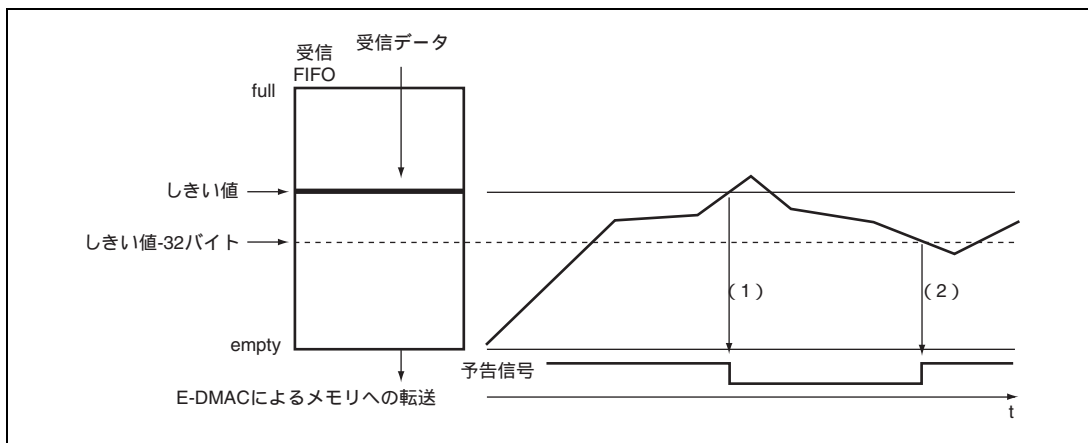


図 19.9 受信 FIFO オーバフロー予告信号動作概要

## (2) 受信 FIFO オーバフロー予告信号の変動

E-DMAC の受信 FIFO は、イーサネット回線からのデータのライト（受信）とシステムからのデータのリードを同時に行うことができます。したがって、システムの稼動中は FIFO の受信データ量が常に増減します。これが、しきい値付近であれば受信 FIFO オーバフロー予告信号は図 19.10 のように見えるケースがあります。なお最小値は、FIFO リードサイクル数およびイーサネット回線のレート（10-100Mbps）によって異なります。

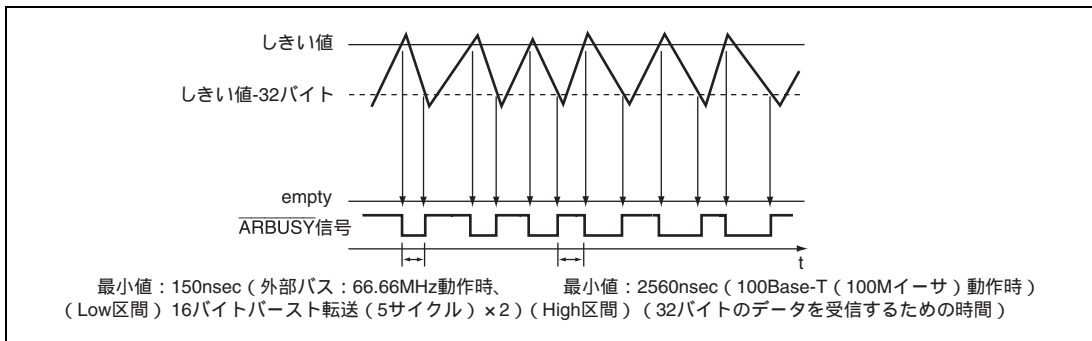


図 19.10 FIFO 量の増減による ARBUSY 信号の変化と最小パルス幅

## 19.4 使用上の注意事項

### 19.4.1 E-DMAC 送信要求レジスタ (EDTRR) および E-DMAC 受信要求レジスタ (EDRRR) 使用上の注意事項

#### 【不具合内容】

Ethernet 機能使用時において、E-DMAC 送信要求レジスタ (EDTRR) 送信要求ビット (TR) および E-DMAC 受信要求レジスタ (EDRRR) 受信要求ビット (RR) は、ディスクリプタ有効ビットが無効な場合、各々の要求ビットをクリアして E-DMAC の動作を停止しますが、E-DMAC による要求ビットのクリア動作とユーザファームウェアによる要求ビットのセット動作が同時に発生した場合、要求ビットが“1”にセットされているにもかかわらず送信および受信動作が開始されない場合があります。

#### 【発生条件】

ユーザファームウェアにおいて、要求ビットが“1”にもかかわらず、再度、要求ビットを“1”にセットしようとする場合がある場合。

#### 【回避方法】

E-DMAC による要求ビットのクリア動作とユーザファームウェアによる要求ビットのセット動作の同時発生を避けるために、E-DMAC による要求ビットのクリア動作を確認してから、ユーザファームウェアにより要求ビットをセットするようにしてください。

E-DMAC による要求ビットのクリア動作を確認する方法として、

#### (1) 送信要求ビット (TR) 確認方法

- 直接的には、E-DMAC送信要求レジスタ (EDTRR) 送信要求ビット (TR) =0リードにより確認できます。
- または、間接的には、割り込み発生後のEtherC/E-DMACステータスレジスタ (EESR) 送信ディスクリプタ枯渇ビット (TDE) =1リードにより確認できます。

#### (2) 受信要求ビット (RR) 確認方法

- 直接的には、E-DMAC受信要求レジスタ (EDRRR) 受信要求ビット (RR) =0リードにより確認できます。
- または、間接的には、割り込み発生後のEtherC/E-DMACステータスレジスタ (EESR) 送信ディスクリプタ枯渇ビット (RDE) =1リードにより確認できます。

### 19.4.2 E-DMAC のエンディアン対応について

E-DMAC から外部メモリをアクセスする場合、ビッグエンディアンのみ対応可能であり、リトルエンディアンには対応できません。

それゆえ、E-DMAC から外部メモリをリトルエンディアンでアクセスする場合は、ソフトウェアによりビッグエンディアンからリトルエンディアンにデータ変換する必要があります。



### 19.4.3 E-DMAC パディング機能使用禁止について

E-DMAC パディング機能に関して、以下のような不具合があるため、E-DMAC パディング機能はご使用にならないよう、お願いいたします。

#### 【不具合内容】

#### 1. 受信フレームの先頭データが4バイトずれて受信バッファに格納される不具合

E-DMACパディング機能を使用して受信動作中に、受信フレームカウンタオーバーフロー、または、受信FIFOオーバーフローが発生すると、本オーバーフローが解除され受信動作を再開したときに、正常な受信フレームの先頭に4バイトの不要データが付加されて受信バッファへ格納される場合があります。本不具合が発生するかどうかは、パディング挿入数を含めた受信フレームデータ長に依存し、本データ長(バイト数)が4バイトの倍数でない場合に発生します。

#### 2. E-DMAC受信動作停止となる不具合

E-DMACパディング機能を使用して受信動作中に、接続している回線上で衝突が多発し、多数のショートフレームを受信した場合、その後、正常な自局あてフレームを受信するとE-DMACは受信動作停止状態となります。

### 19.4.4 SH-Ether EtherC/E-DMAC ステータスレジスタ (EESR) の使用上の注意について

SH-Ether 内蔵 E-DMAC の EESR にセットされるステータスを割り込み要因として使用した場合に、ソフトウェアによる EESR の 1 ライトクリアと EtherC、または、E-DMAC による EESR へのステータス割り込み要因のセットが競合することにより、割り込み要因が EESR にセットされない場合があります。例として、図 19.11 に EESR 割り込み要因セット不具合タイミングを示します。

- (a) EESR の受信割り込み要因と送信割り込み要因を同時に使用した場合、EtherC、または、E-DMAC からの受信割り込み要因 A が EESR のビット A にセットされ、割り込みが発生します。
- (b) 割り込みハンドラで、ソフトウェアにより EESR のビット A を 1 ライトクリアします。
- (c) ビット A を 1 ライトクリアするタイミングと、EtherC、または、E-DMAC からの送信割り込み要因 B が同時に発生した場合に、ビット A はクリアされますが、送信割り込み要因 B が EESR の該当ビットにセットされない場合があります。

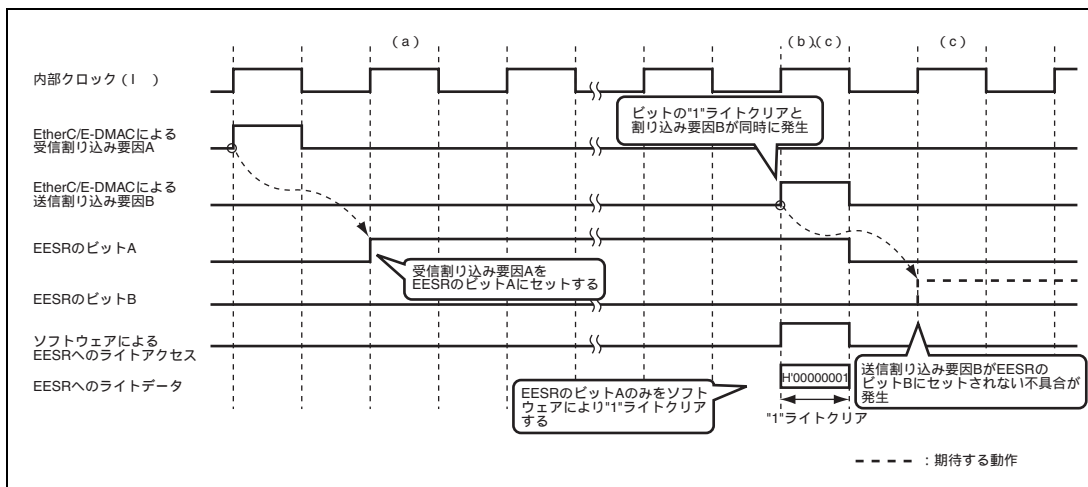


図 19.11 E-DMAC EESR 割り込み要因セット不具合タイミング

(1) 対応方法

EESR のすべてのビットで本不具合が発生するのではなく、本不具合に該当するものと該当しないものがあります。表 19.1 に本不具合該当の有無、および、各割り込み要因のディスクリプタへの反映の有無を示します。

表 19.1 EESR 本不具合該当の有無、および、各割り込み要因のディスクリプタへの反映の有無

ビット	ビット名	ビット名称	不具合 該当ビット	ディスクリプタへ 反映する 割り込み要因	割り込み要因
31	-	リザーブビット	-	-	-
30	TWB	ライトバック完了	x	-	送信
29	-	リザーブビット	-	-	-
28	-	リザーブビット	-	-	-
27	-	リザーブビット	-	-	-
26	TABT	送信アポート検出、または、送信中断検出	x	TD0 bit8 (TFS8) へ反映	送信
25	RABT	受信アポート検出、または、受信中断検出		RD0 bit8 (RFS8) へ反映	受信
24	RFCOF	受信フレームカウンタオーバーフロー	x	-	受信
23	ADE	アドレスエラー		-	その他
22	ECI	EtherC ステータスレジスタ要因		-	その他
21	TC	フレーム送信完了	x	TD0 bit31 (TACT) へ反映	送信
20	TDE	送信ディスクリプタ枯渇		-	送信

ビット	ビット名	ビット名称	不具合 該当ビット	ディスクリプタへ 反映する 割り込み要因	割り込み要因
19	TFUF	送信 FIFO アンダフロー	x	-	送信
18	FR	フレーム受信		RD0 bit31 ( RACT ) へ反映	受信
17	RDE	受信ディスクリプタ枯渇		-	受信
16	RFOF	受信 FIFO オーバフロー	x	RD0 bit9 ( RFS9 ) へ反映	受信
15	-	リザーブビット	-	-	-
14	-	リザーブビット	-	-	-
13	-	リザーブビット	-	-	-
12	-	リザーブビット	-	-	-
11	CND	キャリア未検出	x	TD0 bit3 ( TFS3 ) へ反映	送信
10	DLC	キャリア消失検出	x	TD0 bit2 ( TFS2 ) へ反映	送信
9	CD	遅延衝突検出	x	TD0 bit1 ( TFS1 ) へ反映	送信
8	TRO	送信リトライオーバ	x	TD0 bit0 ( TFS0 ) へ反映	送信
7	RMAF	マルチキャストアドレスフレーム 受信		RD0 bit7 ( RFS7 ) へ反映	受信
6	-	リザーブビット	-	-	-
5	-	リザーブビット	-	-	-
4	RRF	端数ビットフレーム受信		RD0 bit4 ( RFS4 ) へ反映	受信
3	RTLF	ロングフレーム受信エラー		RD0 bit3 ( RFS3 ) へ反映	受信
2	RTSF	ショートフレーム受信エラー		RD0 bit2 ( RFS2 ) へ反映	受信
1	PRE	PHY-LSI 受信エラー		RD0 bit1 ( RFS1 ) へ反映	受信
0	CERF	受信フレーム CRC エラー		RD0 bit0 ( RFS0 ) へ反映	受信

x : EESR 割り込み要因セット不具合該当ビット

: EESR 割り込み要因セット不具合非該当ビット

: ディスクリプタへ反映する割り込み要因

EESR 不具合該当ビットに対する対応方法を以下に示します。

- bit30 TWB : ライトバック完了割り込み要因がEESRにセットされない場合があります。  
該当する送信ディスクリプタのTACTビットを確認し、TACTビットが0の場合はライトバックが完了したことを認識してください。
- bit26 TABT : 送信アボート検出、または、送信中断検出割り込み要因がEESRにセットされない場合があります。ただし、割り込み要因は該当ディスクリプタにライトバックされますので、送信ディスクリプタ (TD0) でエラーステータスを確認してください。
- bit24 RFCOF : 受信フレームカウンタオーバフロー割り込み要因がEESRにセットされない場合があります。ただし、仮に本オーバフローが発生したにも関わらず割り込みがソフトウェアに通知されなかったとしても、本LSIは、このフレームを廃棄するため上位レイヤ(たとえば、TCP/IP)はエラーを認識することができます。オーバフロー状態解除後は、次のフレームの先頭から受信FIFOに正常に格納されますので、システム上の影響はありません。
- bit21 TC : フレーム送信完了割り込み要因がEESRにセットされない場合があります。  
したがって、送信系処理の場合は、以下の (a)、(b) のいずれかを採用してください。
  - (a) フレーム送信完了割り込みによるハンドリングを使用せずに送信処理を行う方法
    1. 複数フレームを送信できるように送信ディスクリプタを複数準備します。
    2. 送信ディスクリプタ設定後、E-DMAC送信要求レジスタ (EDTRR) bit0 (TR) をセットし、送信を開始します。
    3. 次の送信フレームをディスクリプタに設定する際は (送信するタスクが発生した際)、該当する送信ディスクリプタ (TD0) のTACTビットをチェックしてください。
    4. TACTビットが0の場合は、送信フレームを該当する送信ディスクリプタに設定して、EDTRRのTRビットをセットし、送信を開始します。TACTビットが1の場合は、次のタイミングまで送信ディスクリプタ設定を待ちます。
  - (b) フレーム送信完了をその都度認識して処理を行うことが必要なシステムの場合 (送信フレーム設定 送信起動 フレーム送信完了 次の送信フレーム設定 . . . )
    1. 送信フレームの最後のディスクリプタのTACTビットを確認し、TACTビットが0の場合に送信完了を認識してください。
- bit19 TFUF : 送信FIFOアンダフロー割り込み要因がEESRにセットされない場合があります。  
ただし、本ビットを割り込み要因として使用した場合はソフトウェアに通知されませんが、送信FIFOアンダフローとなった場合、上位レイヤはエラーを認識することができます。
- bit16 RFOF : 受信FIFOオーバフロー割り込み要因がEESRにセットされない場合があります。  
ただし、割り込み要因は該当ディスクリプタにライトバックされますので、受信ディスクリプタ (RD0) でエラーステータスを確認してください。

- bit11 CND、bit10 DLC、bit9 CD、bit8 TRO：キャリア未検出、キャリア消失検出、遅延衝突検出、送信リトライオーバー割り込み要因がEESRにセットされない場合があります。ただし、割り込み要因は該当ディスクリプタにライトバックされるため、送信ディスクリプタ (TD0) でエラーステータスを確認してください。

## (2) フレーム送信完了割り込みをベースとしたソフトウェア構成の場合の対応方法例

EESR bit21 のフレーム送信完了 (TC) 割り込みを使用したソフトウェア構成に対する、対応方法の例を以下に示します。

(a) については、EESR bit21 に TC 割り込み要因がセットされずに、TC 割り込み待ち状態となり送信処理が停止する現象が、割り込みハンドラで EESR の 1 ライトクリア時に発生することに着目し、TC 以外の割り込み処理時に送信ディスクリプタの状態を監視することによって回避する方法を示します。

一方 (b) は、複数のディスクリプタを使用する場合の送信処理について、TC 割り込み要因がセットされずに、TC 割り込み待ち状態となり送信処理が停止する現象を、タイムアウトを設けてリトライ処理させることで回避する方法を示します。

【注】 ご使用のドライバ構造、または、ソフトウェア構造に合わせて組み込み、ご使用いただくようお願いいたします。

### (a) フレーム送信完了 (TC) 以外の割り込み処理時に、送信ディスクリプタの状態を監視することによる対応方法

1. 複数フレームを送信できるように送信ディスクリプタを複数準備します。
2. 5.および割り込みハンドラで使用する"条件フラグ" (送信ディスクリプタの TACT ビットをリードするための条件フラグ) を準備し、条件フラグを"OFF"にセットしてください。
3. 送信フレームを最初の送信ディスクリプタに設定後、E-DMAC 送信要求レジスタ (EDTRR) bit0 (TR) をセットし、送信を開始します。
4. 次の送信フレームを送信ディスクリプタに設定する際は (送信するタスクが発生した際)、該当する送信ディスクリプタの TACT ビットをチェックしてください。
5. TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定後、EDTRR の TR ビットをセットし送信を開始します。  
TACT ビットが 1 の場合は、条件フラグを"ON"にセットし、OS のサービスコール (例：セマフォの獲得) により送信タスクを待ち状態にします。

【注】 EDTRR の TR ビットをセットする場合には、必ず EDTRR をリードし TR ビットが 0 であることを確認後にセットしてください。

6. 送信タスクの待ち状態が解除されるまで待ちます。なお、割り込みハンドラで OS のサービスコール (例：セマフォの返却) によりタスクの待ち状態を解除させる条件は以下の 2 つです。
  - TC 割り込みが発生した場合。
  - TC 以外の割り込みが発生し、かつ、条件フラグが"ON"で、かつ、TACT = 0 の場合。  
条件フラグが"ON"のときにのみ TACT をチェックすることで不要な処理を削減できます。なお、タスクの待ち状態解除に続いて条件フラグを"OFF"にセットします。
7. 送信タスクが待ち状態から解除され実行状態になった場合、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始してください。

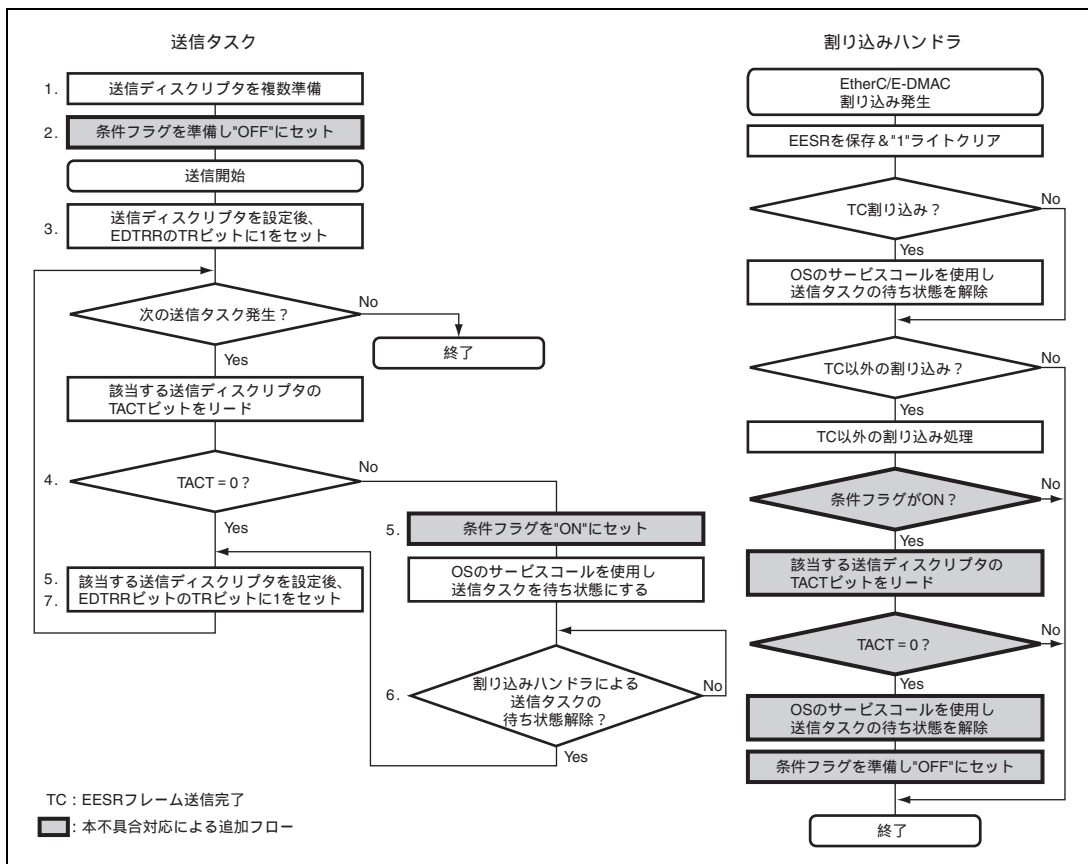


図 19.12 フレーム送信完了 (TC) 以外の割り込み処理時に送信ディスクリプタの状態を監視することによる対応方法

(b) タイムアウト処理を付加することによる対応方法

- 複数フレームを送信できるように送信ディスクリプタを複数準備します。
- 送信ディスクリプタ設定後、E-DMAC 送信要求レジスタ (EDTRR) bit0 (TR) をセットし、送信を開始します。
- 次の送信フレームを送信ディスクリプタに設定する際は (送信するタスクが発生した際)、該当する送信ディスクリプタの TACT ビットをチェックしてください。
- TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始します。TACT ビットが 1 の場合は、OS のタイムアウト機能付きサービスコール (例: セマフォの獲得 (タイムアウト有り)) により送信タスクを待ち状態にします。

【注】 EDTRR の TR ビットをセットする場合には、必ず EDTRR をリードし TR ビットが 0 であることを確認後にセットしてください。

- 規定時間以内に送信タスクの待ち状態が解除され実行状態になった場合、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始してください。なお、送信タスクの待ち状態解除は割り込みハンドラにて TC 割り込みが発生したときに行ってください。
- 規定時間経過しタイムアウトしたときは、該当する送信ディスクリプタの TACT ビットをチェックしてください。

TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし、送信を開始します。TACT ビットが 1 の場合は、OS のタイムアウト機能付きサービスコールによりタスクを待ち状態にするか、あるいは、ソフトウェアリセットによりイーサネット関係のすべてのモジュールを初期化してください。

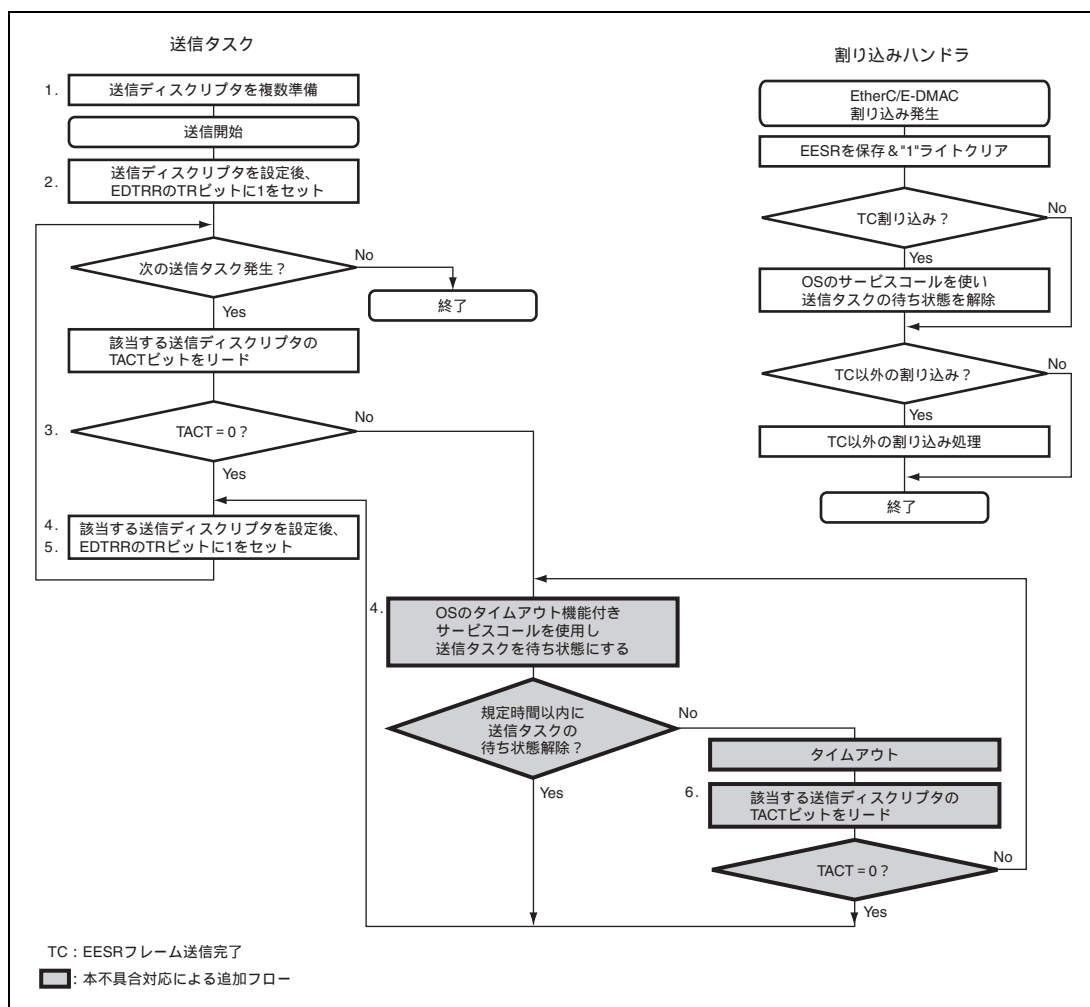


図 19.13 タイムアウト処理を付加することによる対応方法

### 19.4.5 SH-Ether 送信アンダフロー発生時の使用上の注意について

SH-Ether 内蔵 E-DMAC の送信動作において、E-DMAC 以外の他バスマスタによるバス占有などの理由によって E-DMAC がバス権を獲得できない場合、送信 FIFO へのライトデータが滞り送信アンダフローが発生します。その後、E-DMAC が再びバス権を獲得すると残りの送信データの転送を再開し、DMA 転送完了後に該当ディスクリプタへライトバックを行った後に、次のディスクリプタフェッチに移るのが本来期待する動作です。しかし、FIFO 容量指定レジスタ (FDR) の送信 FIFO 容量値 最大送信フレーム長 (1518 バイト) の場合、送信アンダフロー発生時点の残りのフレームデータ長と送信 FIFO ポインタの関係によっては、E-DMAC 送信要求レジスタ (EDTRR) の送信要求ビット (TR) が 1 にセットされているにも関わらず E-DMAC が動作停止する場合があります。

E-DMAC が停止する場合の動作と送信 FIFO との関係を、以下に示します。

送信データは、外部メモリ (送信バッファ) E-DMAC による DMA 転送 送信 FIFO EtherC 経由で MII 端子から送信されます。E-DMAC が送信データを送信 FIFO にライトする際は送信 FIFO ライトポインタ (WP) を、EtherC により送信 FIFO から送信データをリードする際は送信 FIFO リードポインタ (RP) を使用します。

1. ソフトウェアリセット後、送信FIFOは初期状態となりWPは送信FIFO容量の最小値を、RPは送信FIFO容量の最大値となります。
2. E-DMACによるDMA転送が開始すると、送信データが送信FIFOにライトされWPがカウントアップします。一方、送信FIFOにライトされたデータは、EtherCにより読み出されるとRPがカウントアップします。

【注】送信 FIFO に格納されるデータは、処理中の 1 フレームのみです。次フレームをまたいで格納されることはありません。

すなわち、処理中の 1 フレームが送信 FIFO からリードされない限り、E-DMAC は次フレームを送信 FIFO に転送しません。

3. システム的な原因によりE-DMACがバス権を獲得できない場合、DMA転送が滞り送信アンダフローが発生 (WP=RP、かつ、フレーム長未満) するとEtherCによる送信FIFOのリードアクセスを終了し、RPを初期状態 (送信FIFO容量の最大値) にします。
4. その後、E-DMACが再びバス権を獲得すると残りのフレームデータのDMA転送を再開しますが、送信アンダフロー発生時点での残りのフレームデータ (1フレーム分) をすべて送信FIFOにライトできずに送信FIFOが満杯になると、さらに残りのデータを転送するためにE-DMACは送信FIFOの空き待ち状態となります。しかし、3.においてEtherCによる送信FIFOのリードアクセスは終了しており送信FIFO内のデータは満杯状態のまま、E-DMACは動作停止状態となります。

すなわち、送信アンダフロー発生時点の (RPの初期値 - WP値) < 残りのフレームデータ長の場合に本不具合が発生します。



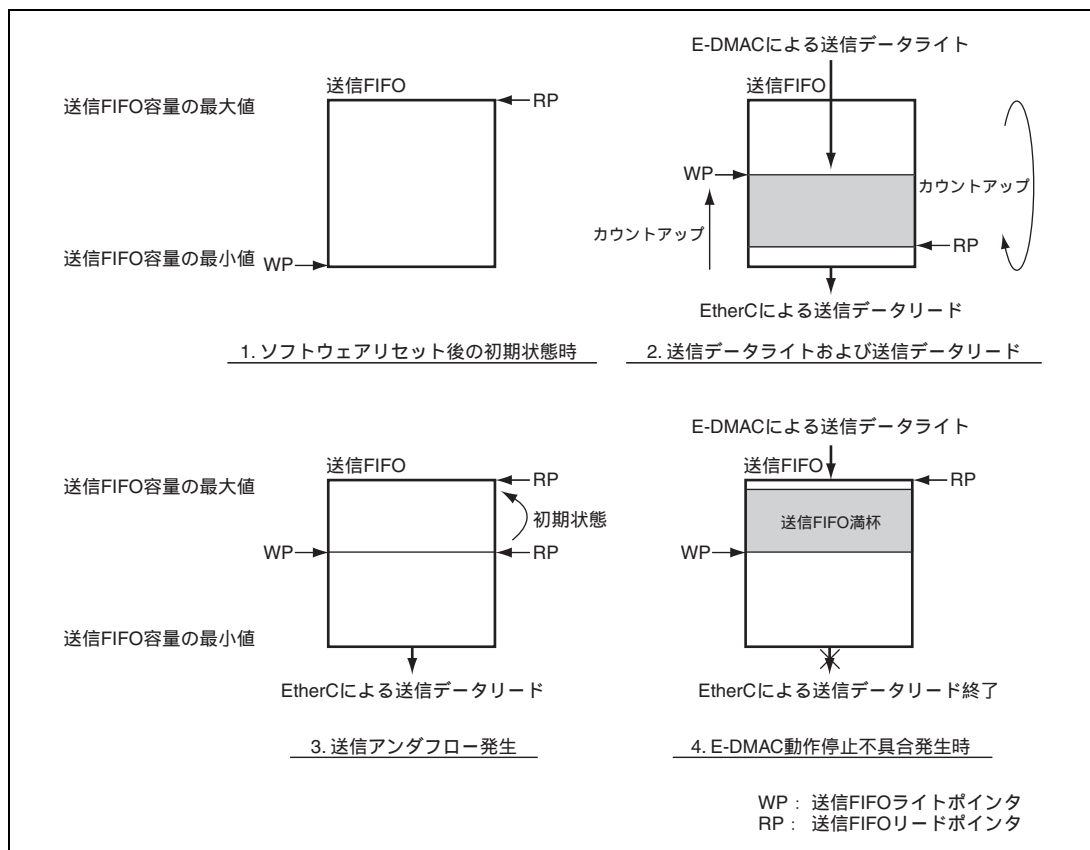


図 19.14 E-DMAC が停止する場合の動作と送信 FIFO との関係

## (1) 対応方法

FIFO 容量指定レジスタ (FDR) の送信 FIFO 容量値 最大送信フレーム長 (1518 バイト) の条件の場合、本不具合が該当します。

本不具合を回避するためには、FIFO 容量指定レジスタ (FDR) の送信 FIFO 容量値を、2K バイト (または、1792 バイト) に設定し、かつ、送信 FIFO しきい値指定レジスタ (TFTR) を “ストア & フォワードモード” に設定し使用してください。

## (2) TC 割り込みを使用せずに送信処理を行うソフトウェア構成の場合の対応方法

「19.4.4 SH-Ether EtherC/E-DMAC ステータスレジスタ (EESR) の使用上の注意について (1) 対応方法」の bit21 に示す、(a) TC 割り込みによるハンドリングを使用せずに送信処理を行う方法をベースにした対応方法例です。

## (a) TC 割り込みによるハンドリングを使用せずに送信処理を行う方法

1. タイマの初期設定をします。
2. 複数フレームを送信できるように送信ディスクリプタを複数準備します。
3. 送信ディスクリプタ設定後、E-DMAC 送信要求レジスタ (EDTRR) bit0 (TR) をセットし、送信を開始します。
4. 次の送信フレームをディスクリプタに設定する際は (送信するタスクが発生した際)、該当する送信ディスクリプタ (TD0) の TACT ビットをチェックしてください。
5. TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定して、EDTRR の TR ビットをセットし、送信を開始します。TACT ビットが 1 の場合は、カウンタ  $i$  を 0 にセットします (カウンタ  $i$  は、一定規定時間の呼び出し回数を示す変数です)。
6. タイマカウント動作を開始します。
7. 一定規定時間経過した場合はタイマカウント動作を停止し、該当する送信ディスクリプタ (TD0) の TACT ビットをチェックしてください。
8. TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定して、EDTRR の TR ビットをセットし、送信を開始します。TACT ビットが 1 の場合はカウンタ  $i$  をインクリメントします。
9. カウンタ  $i$  が  $n$  回未満の場合は、8. で TACT ビットが 1 である限り最大規定時間に達するまで何度も 6. ~ 8. を繰り返します (最大規定時間は、呼び出した回数  $n$  に反映させ、表 19.2 の再送処理を考慮した最大時間を参考に設定してください)。カウント数  $n$  は、表 19.2 を参考にユーザが決定するカウント数です。

カウンタ  $i$  が  $n$  回以上となった場合は最大規定時間を経過していますので、送信アンダフローによる E-DMAC の動作停止状態と判断し、「第 18 章 イーサネットコントローラ (EtherC)」ソフトウェアリセットレジスタ (ARSTR) ソフトウェアリセット (ARST)、および本章 E-DMAC モードレジスタ (EDMR) ソフトウェアリセット (SWR) により、EtherC および E-DMAC を初期化して、再度イーサネットモジュールの初期設定後、送受信ディスクリプタ、および送受信バッファの初期化を実行してください。

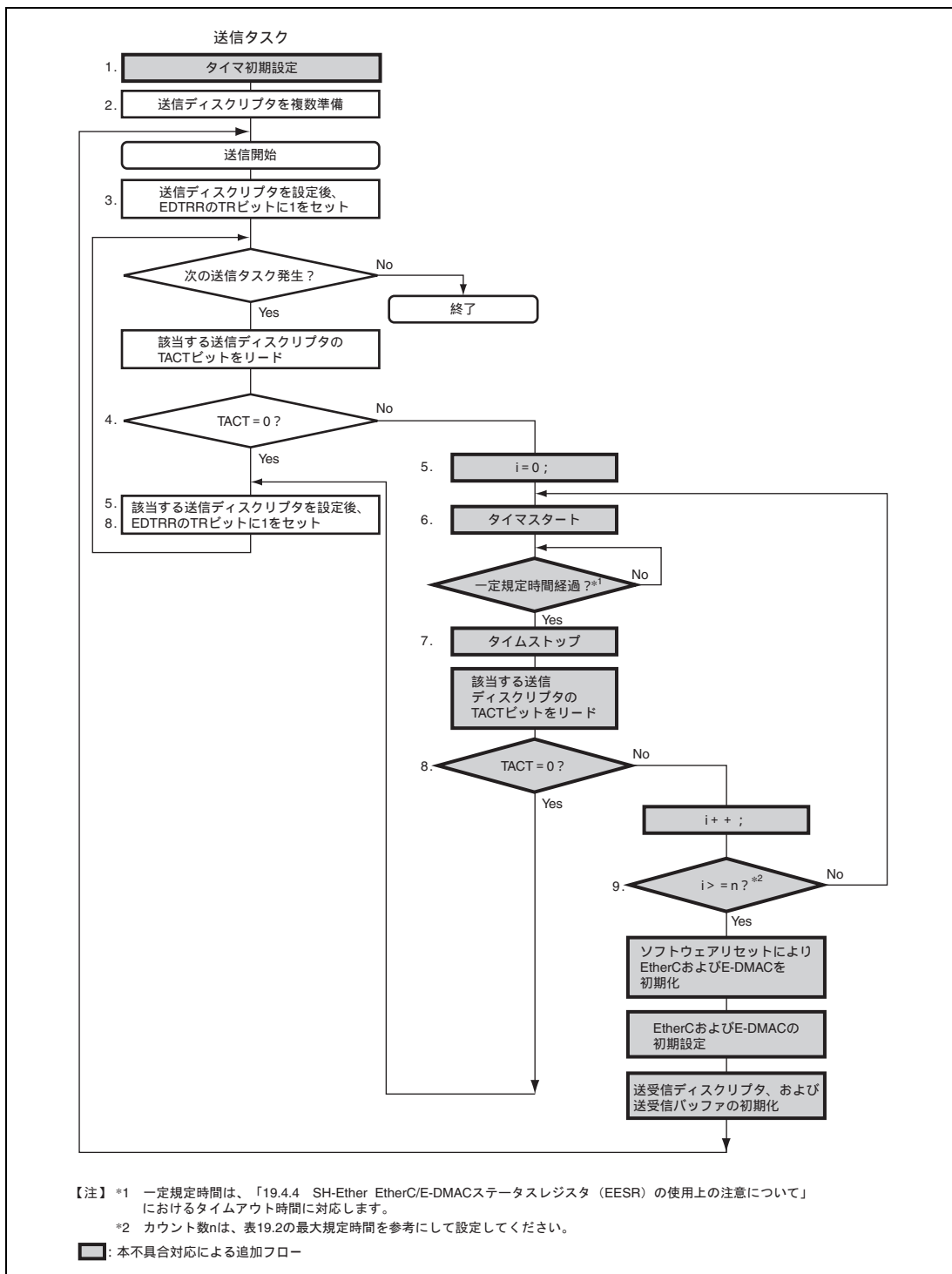


図 19.15 TC 割り込みによるハンドリングを使用せずに送信処理を行う方法

## (3) TC 割り込みをベースとしたソフトウェア構成の場合の対応方法

TC 割り込みをベースとしたソフトウェア構成の場合の対応方法例として、最大規定時間タイムアウト処理を付加することによる対応方法を示します。これは「19.4.4 SH-Ether EtherC/E-DMAC ステータスレジスタ (EESR) の使用上の注意について」に示す、(b) タイムアウト処理を付加することによる対応方法をベースにした対応方法です。

最大規定時間はタイムアウト機能付きサービスコールを呼び出した回数  $n$  に反映させ、表 19.2 の再送処理を考慮した最大時間を参考に設定してください。

## (b) 最大経過時間タイムアウト処理を付加することによる対応方法

1. 複数フレームを送信できるように送信ディスクリプタを複数準備します。
2. 送信ディスクリプタ設定後、E-DMAC 送信要求レジスタ (EDTRR) bit0 (TR) をセットし、送信を開始します。
3. 次の送信フレームを送信ディスクリプタに設定する際は (送信するタスクが発生した際)、該当する送信ディスクリプタの TACT ビットをチェックしてください。
4. TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始します。TACT ビットが 1 の場合は、カウンタ  $i$  を 0 にセットします (カウンタ  $i$  は、OS のタイムアウト機能付きサービスコールの呼び出し回数を示す変数です)。そして OS のタイムアウト機能付きサービスコール (例: セマフォの獲得 (タイムアウト有り)) により送信タスクを待ち状態にします。

【注】 EDTRR の TR ビットをセットする場合には、必ず EDTRR をリードし TR ビットが 0 であることを確認後にセットしてください。

5. 一定規定時間以内に送信タスクの待ち状態が解除され実行状態になった場合、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始してください。なお、送信タスクの待ち状態解除は割り込みハンドラにて TC 割り込みが発生したときに行ってください。
6. 一定規定時間以内に送信タスクの待ち状態が解除されなかった場合、カウンタ  $i$  をインクリメントしその値が  $n$  回未満であれば、該当する送信ディスクリプタの TACT ビットをチェックしてください。カウント数  $n$  は、表 19.2 を参考にユーザが決定するカウント数です。
7. TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始します。TACT ビットが 1 の場合は、再度 OS のタイムアウト機能付きサービスコールを使用し送信タスクを待ち状態にしてください。その後 5、6 を繰り返します。
8. カウンタ  $i$  が  $n$  回以上になった場合は最大規定時間を経過していますので、送信アンダフローによる E-DMAC の動作停止状態と判断し、「第 18 章 イーサネットコントローラ (EtherC)」ソフトウェアリセットレジスタ (ARSTR) ソフトウェアリセット (ARST)、および本章 E-DMAC モードレジスタ (EDMR) ソフトウェアリセット (SWR) により、EtherC および E-DMAC を初期化して、再度イーサネットモジュールの初期設定後、送受信ディスクリプタ、および送受信バッファの初期化を実行してください。

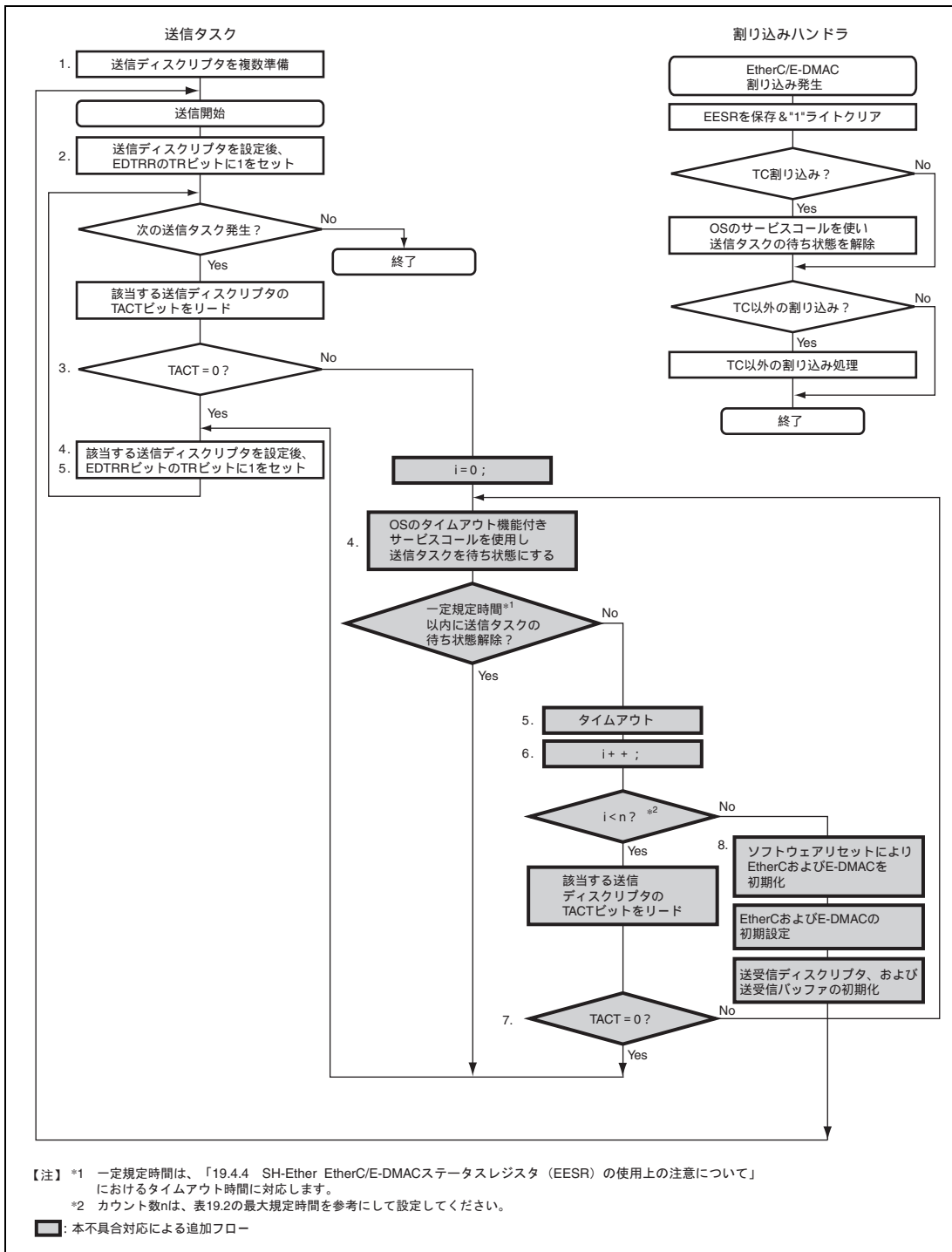


図 19.16 TC 割り込みをベースとした場合の最大規定時間タイムアウト処理を付加することによる対応方法

表 19.2 最大規定時間参考値

回線速度		10Mbps のとき	100Mbps のとき
最大 規定 時間	フロー制御なし、かつ、全二重通信の場合	1.3m 秒以上	130 $\mu$ 秒以上
	フロー制御なし、かつ、半二重通信の場合	183m 秒以上 (最大 366m 秒)	18.3m 秒以上 (最大 36.6m 秒)
	フロー制御ありの場合	336m 秒以上	33.6m 秒以上

【注】 最大規定時間とは、1 フレーム送信にかかる最大時間、または、フロー制御の最大時間です。

---

## 20. IP セキュリティアクセラレータ (IPSEC) (SH7710 のみ)

---

本章は、守秘契約を結んでいたうえで公開いたします。詳細は担当営業にご確認ください。





## 21. ピンファンクションコントローラ (PFC)

### 21.1 概要

本 LSI のピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。端子機能と入出力の方向は、LSI の動作モードに関係なく端子ごとに個別に選択することができます。表 21.1、表 21.2 に本 LSI のマルチプレクス端子を示します。

表 21.1 マルチプレクス一覧表 (1)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
A	PTA7 入出力 (ポート)	SIOFSYNC0 入出力(SIOF0)
A	PTA6 入出力 (ポート)	TXD_SIO0 出力(SIOF0)
A	PTA5 入出力 (ポート)	RXD_SIO0 入力(SIOF0)
A	PTA4 入出力 (ポート)	SIOMCLK0 入力(SIOF0)
A	PTA3 入出力 (ポート)	SCK_SIO0 入出力(SIOF0)
A	PTA2 入出力 (ポート)	SCIF0CK 入出力(SCIF0)
A	PTA1 入出力 (ポート)	TXD0 出力(SCIF0)
A	PTA0 入出力 (ポート)	RXD0 入力(SCIF0)
B	PTB7 入出力 (ポート)	RTS $\bar{0}$ 出力(SCIF0)
B	PTB6 入出力 (ポート)	CTS $\bar{0}$ 入力(SCIF0)
B	PTB5 入出力 (ポート)	SCIF1CK 入出力(SCIF1)
B	PTB4 入出力 (ポート)	TXD1 出力(SCIF1)
B	PTB3 入出力 (ポート)	RXD1 入力(SCIF1)
B	PTB2 入出力 (ポート)	RTS $\bar{1}$ 出力(SCIF1)
B	PTB1 入出力 (ポート)	CTS $\bar{1}$ 入力(SCIF1)
B	PTB0 入出力 (ポート)	リザーブ (設定不可) *
C	PTC7 入出力 (ポート)	I $\bar{O}$ IS1 $\bar{6}$ 入力(BSC)
C	PTC6 入出力 (ポート)	C $\bar{E}$ 2 $\bar{B}$ 出力(BSC)
C	PTC5 入出力 (ポート)	C $\bar{E}$ 2A 出力(BSC)
C	PTC4 入出力 (ポート)	SIOFSYNC1 入出力(SIOF1)
C	PTC3 入出力 (ポート)	TXD_SIO1 出力(SIOF1)
C	PTC2 入出力 (ポート)	RXD_SIO1 入力(SIOF1)
C	PTC1 入出力 (ポート)	SIOMCLK1 入力(SIOF1)
C	PTC0 入出力 (ポート)	SCK_SIO1 入出力(SIOF1)

【注】 \* リザーブに設定した場合の動作は、保証されません。

表 21.2 マルチプレクス一覧表 (2)

イーサネットコントローラ機能	その他の機能 (関連モジュール)
EXOUT1 出力 (SH7710、SH7712) リザーブ (設定不可) (SH7713)	TEND1 出力 (DMAC)
CAMSEN1 入力 (SH7710、SH7712) リザーブ (設定不可) (SH7713)	IRQ5 入力 (INTC)
EXOUT0 出力	TEND0 出力 (DMAC)
CAMSEN0 入力 (SH7710、SH7712) リザーブ (設定不可) (SH7713)	IRQ4 入力 (INTC)

## 21.2 レジスタの構成

ピンファンクションコントローラのレジスタを以下に示します。

- ポートAコントロールレジスタ (PACR)
- ポートBコントロールレジスタ (PBCR)
- ポートCコントロールレジスタ (PCCR)
- イーサネットコントローラ端子コントロールレジスタ (PETCR)

## 21.3 レジスタの説明

### 21.3.1 ポート A コントロールレジスタ (PACR)

PACR は、読み出しまたは書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PACR はパワーオンリセットで H'AAAA に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説 明
15	PA7MD1	1	R/W	PA7 モード ~ PA0 モード制御 PAnMD1 と PAnMD0 (n=0 ~ 7) の組み合わせで端子機能と入力プルアップ MOS を制御します。 00 : その他の機能 (表 21.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PA7MD0	0	R/W	
13	PA6MD1	1	R/W	
12	PA6MD0	0	R/W	
11	PA5MD1	1	R/W	
10	PA5MD0	0	R/W	
9	PA4MD1	1	R/W	
8	PA4MD0	0	R/W	
7	PA3MD1	1	R/W	
6	PA3MD0	0	R/W	
5	PA2MD1	1	R/W	
4	PA2MD0	0	R/W	
3	PA1MD1	1	R/W	
2	PA1MD0	0	R/W	
1	PA0MD1	1	R/W	
0	PA0MD0	0	R/W	

### 21.3.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出しまたは書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PBCR はパワーオンリセットで H'AAAA に初期化されますが、マニュアルリセット、スタンバイモード、およびスリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説 明
15	PB7MD1	1	R/W	PB7 モード ~ PB0 モード制御 PBnMD1 と PBnMD0 (n=0~7) の組み合わせで端子機能と入力プルアップ MOS を制御します。 00 : その他の機能 (n=1~7) またはリザーブ (n=0) (表 21.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PB7MD0	0	R/W	
13	PB6MD1	1	R/W	
12	PB6MD0	0	R/W	
11	PB5MD1	1	R/W	
10	PB5MD0	0	R/W	
9	PB4MD1	1	R/W	
8	PB4MD0	0	R/W	
7	PB3MD1	1	R/W	
6	PB3MD0	0	R/W	
5	PB2MD1	1	R/W	
4	PB2MD0	0	R/W	
3	PB1MD1	1	R/W	
2	PB1MD0	0	R/W	
1	PB0MD1	1	R/W	
0	PB0MD0	0	R/W	

### 21.3.3 ポート C コントロールレジスタ (PCCR)

PCCR は、読み出しまたは書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PCCR はパワーオンリセットで H'AAAA に初期化されますが、マニュアルリセット、スタンバイモード、およびスリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説 明
15	PC7MD1	1	R/W	PC7 モード ~ PC0 モード制御 PCnMD1 と PCnMD0 (n=0 ~ 7) の組み合わせで端子機能と入力プルアップ MOS を制御します。 00 : その他の機能 (表 21.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PC7MD0	0	R/W	
13	PC6MD1	1	R/W	
12	PC6MD0	0	R/W	
11	PC5MD1	1	R/W	
10	PC5MD0	0	R/W	
9	PC4MD1	1	R/W	
8	PC4MD0	0	R/W	
7	PC3MD1	1	R/W	
6	PC3MD0	0	R/W	
5	PC2MD1	1	R/W	
4	PC2MD0	0	R/W	
3	PC1MD1	1	R/W	
2	PC1MD0	0	R/W	
1	PC0MD1	1	R/W	
0	PC0MD0	0	R/W	

## 21.3.4 イーサネットコントローラ端子コントロールレジスタ (PETCR)

PETCR は、読み出しまたは書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PETCR はパワーオンリセットで H'AAAA に初期化されますが、マニュアルリセット、スタンバイモード、およびスリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明	分類
15	PET3MD	1	R/W	EXOUT1 (イーサネットコントローラ機能) と TEND1 (その他の機能) の出力を制御します。 0: TEND1 (その他の機能) を選択 1: EXOUT1 (イーサネットコントローラ機能) を選択	SH7710、SH7712
		1*		TEND1 (その他の機能) の出力を制御します。 0: TEND1 (その他の機能) を選択 1: リザーブ	SH7713
14		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。	共通
13	PET2MD	1	R/W	CAMSEN1 (イーサネットコントローラ機能) と IRQ5 (その他の機能) の入力を制御します。 0: IRQ5 (その他の機能) を選択 1: CAMSEN1 (イーサネットコントローラ機能) を選択	SH7710、SH7712
		1*		IRQ5 (その他の機能) の入力を制御します。 0: IRQ5 (その他の機能) を選択 1: リザーブ	SH7713
12		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。	共通
11	PET1MD	1	R/W	EXOUT0 (イーサネットコントローラ機能) と TEND0 (その他の機能) の出力を制御します。 0: TEND0 (その他の機能) を選択 1: EXOUT0 (イーサネットコントローラ機能) を選択	共通
10		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。	共通
9	PET0MD	1	R/W	CAMSEN0 (イーサネットコントローラ機能) と IRQ4 (その他の機能) の入力を制御します。 0: IRQ4 (その他の機能) を選択 1: CAMSEN0 (イーサネットコントローラ機能) を選択	SH7710、SH7712
		1*		IRQ4 (その他の機能) の入力を制御します。 0: IRQ4 (その他の機能) を選択 1: リザーブ	SH7713
8		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。	共通
7		1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。	共通

ビット	ビット名	初期値	R/W	説明	分類
6		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。	共通
5		1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。	共通
4		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。	共通
3		1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。	共通
2		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。	共通
1		1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。	共通
0		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。	共通

【注】 \* パワーオンリセット直後は、リザーブ機能になっています。TEND1、IRQ5、IRQ4 機能を使用する場合は、本ビットを 0 に設定してください。





## 22. I/O ポート

### 22.1 概要

本 LSI には 3 本の 8 ビットポート (ポート A~C) があります。それぞれのポートの端子は、すべて他の端子機能 (ピンファンクションコントローラ (PFC) で端子機能とプルアップ MOS 制御の選択を行います) を兼ねているマルチプレクス端子です。ポートは、それぞれ端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

### 22.2 レジスタの説明

#### 22.2.1 ポート A データレジスタ (PADR)

PADR は、読出しまたは書き込み可能な 8 ビットのレジスタで、端子 PTA7~PTA0 に対応し、PTA7~PTA0 のデータを格納します。PADR はパワーオンリセットで H'00 に初期化されますが、マニュアルリセット、スタンバイモード、およびスリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	PA7DT	0	R/W	端子機能が汎用出力ポートの場合は、ポートを読み出すと対応する PADR ビットの値が直接読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子レベルが読み出されます。 表 22.1 に PADR の機能を示します。
6	PA6DT	0	R/W	
5	PA5DT	0	R/W	
4	PA4DT	0	R/W	
3	PA3DT	0	R/W	
2	PA2DT	0	R/W	
1	PA1DT	0	R/W	
0	PA0DT	0	R/W	

表 22.1 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PAnMD1	PAnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	PADR の値	PADR に書き込めるが、端子の状態に影響しない
	1	出力	PADR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PADR に書き込めるが、端子の状態に影響しない

(n=0~7)

### 22.2.2 ポート B データレジスタ (PBDR)

PBDR は、読出しまたは書き込み可能な 8 ビットのレジスタで、端子 PTB7~PTB0 に対応し、PTB7~PTB0 のデータを格納します。PBDR はパワーオンリセットで H'00 に初期化されますが、マニュアルリセット、スタンバイモード、およびスリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	PB7DT	0	R/W	端子機能が汎用出力ポートの場合は、ポートを読み出すと対応する PBDR ビットの値が直接読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子レベルが読み出されます。 表 22.2、表 22.3 に PBDR の機能を示します。
6	PB6DT	0	R/W	
5	PB5DT	0	R/W	
4	PB4DT	0	R/W	
3	PB3DT	0	R/W	
2	PB2DT	0	R/W	
1	PB1DT	0	R/W	
0	PB0DT	0	R/W	

表 22.2 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作(1)

PBnMD1	PBnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない
	1	出力	PBDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない

(n=1~7)

表 22.3 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作(2)

PBnMD1	PBnMD0	端子状態	読み出し	書き込み
0	0	予約*	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない
	1	出力	PBDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない

(n=0)

【注】 \* 予約に設定した場合の動作は、保証されません。

### 22.2.3 ポート C データレジスタ (PCDR)

PCDR は、読出しまたは書き込み可能な 8 ビットのレジスタで、端子 PTC7~PTC0 に対応し、PTC7~PTC0 のデータを格納します。PCDR はパワーオンリセットで H'00 に初期化されますが、マニュアルリセット、スタンバイモード、およびスリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	PC7DT	0	R/W	端子機能が汎用出力ポートの場合は、ポートを読み出すと対応する PCDR ビットの値が直接読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子レベルが読み出されます。 表 22.4 に PCDR の機能を示します。
6	PC6DT	0	R/W	
5	PC5DT	0	R/W	
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	PC1DT	0	R/W	
0	PC0DT	0	R/W	

表 22.4 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作

PCnMD1	PCnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない
	1	出力	PCDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない

(n=0~7)



## 23. ユーザデバッグインタフェース (H-UDI)

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェース(H-UDI) およびアドバンストユーザデバッグ (AUD) を内蔵しています。

本章では、H-UDI について説明します。AUD はエミュレータ専用の機能であり、詳細については各エミュレータのユーザズマニュアルを参照してください。

### 23.1 特長

ユーザデバッグインタフェース(H-UDI)は、JTAG( Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture ) に対応したシリアル入出力インタフェースです。

本 LSI の H-UDI は、バウンダリスキャンをサポートし、エミュレータの接続にも使用されます。

エミュレータを使用する場合は、H-UDI の機能を使用しないでください。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

H-UDI のブロック図を図 23.1 に示します。

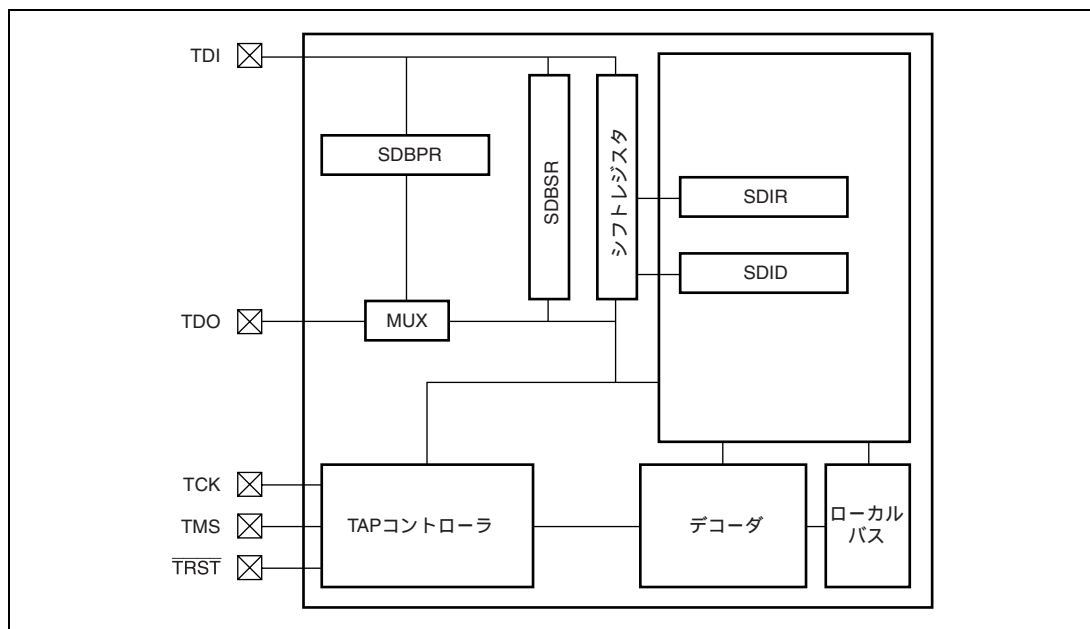


図 23.1 H-UDI ブロック図

## 23.2 入出力端子

表 23.1 に H-UDI の端子構成を示します。

表 23.1 端子構成

名称	入出力	説明
TCK	入力	シリアルデータ入出力用クロック端子 データは、このクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。
TMS	入力	モードセレクト入力端子 TCK に同期してこの信号を変化させることによって TAP コントローラの状態が決まります。プロトコルは、JTAG 規格 (IEEE Std.1149.1) に対応しています。
TRST	入力	リセット入力端子 TCK の関係では、非同期で入力を受け付け、ローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。TRST 端子は、RESETP 端子と同様に、パワーオンリセット中はローレベルに、パワーオンリセット解除後はハイレベルに制御してください。 これは、JTAG の規格と異なります。リセット構成の詳細については、「23.4.2 リセット構成」を参照してください。
TDI	入力	シリアルデータ入力端子 TCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。
TDO	出力	シリアルデータ出力端子 TCK に同期してこの端子を読み出すことによって H-UDI からデータを読み取ります。データ出力タイミングは、SDIR に設定されているコマンドの種類により異なります。詳細については、「23.4.3 TDO 出力タイミング」を参照してください。
ASEMD0	入力	ASE モードセレクト端子 RESETP 端子アサート期間中に ASEMD0 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。ASEMD0 端子への入力レベルは、RESETP 端子ネゲート後、最低 1 サイクル保持してください。
ASEBRKAK	出力	エミュレータ専用の端子
AUDSYNC	出力	
AUDATA3~0	出力	
AUDCK	出力	

## 23.3 レジスタの説明

H-UDI には、以下のレジスタがあります。レジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- バイパスレジスタ (SDBPR)
- インストラクションレジスタ (SDIR)
- バウンダリスキャンレジスタ (SDBSR)
- IDレジスタ (SDID)

### 23.3.1 バイパスレジスタ (SDBPR)

SDBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR をバイパスモードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定ですが、TAP が Capture-DR 状態のとき 0 に初期化されます。

### 23.3.2 インストラクションレジスタ (SDIR)

SDIR は、CPU から読み出しのみ可能な 16 ビットのレジスタです。初期状態でこのレジスタは、JTAG IDCODE になっています。TRST のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化されます。また、H-UDI からは、CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は、保証されません。

ビット	ビット名	初期値	R/W	説 明
15 ~ 13	TI7 ~ TI5	すべて 1	R	テストインストラクション H-UDI のインストラクションは、TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 23.2 を参照してください。
12	TI4	0	R	
11 ~ 8	TI3 ~ TI0	すべて 1	R	
7 ~ 2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

表 23.2 H-UDI コマンド

ビット 15~8								説 明
T17	T16	T15	T14	T13	T12	T11	T10	
0	0	0	0					JTAG EXTEST
0	0	1	0					JTAG CLAMP
0	0	1	1					JTAG HIGHZ
0	1	0	0					JTAG SAMPLE/PRELOAD
0	1	1	0					H-UDI リセット・ネゲート
0	1	1	1					H-UDI リセット・アサート
1	0	1						H-UDI 割り込み
1	1	1	0					JTAG IDCODE (初期値)
1	1	1	1					JTAG BYPASS
上記以外								予約



### 23.3.3 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。初期値は、不定です。CPU からは、アクセスできません。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。表 23.3 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

表 23.3 本 LSI の端子とバウンダリスキャンレジスタの対応

ビット名	端子名	入出力	ビット名	端子名	入出力
	from TDI		333	D3	OUT
362	BREQ	IN	332	D4	OUT
361	WAIT	IN	331	D5	OUT
360	D0	IN	330	D6	OUT
359	D1	IN	329	D7	OUT
358	D2	IN	328	D8	OUT
357	D3	IN	327	D9	OUT
356	D4	IN	326	D10	OUT
355	D5	IN	325	D11	OUT
354	D6	IN	324	D12	OUT
353	D7	IN	323	D13	OUT
352	D8	IN	322	D14	OUT
351	D9	IN	321	D15	OUT
350	D10	IN	320	$\overline{WE0(BE0)}/DQMLL$	OUT
349	D11	IN	319	$\overline{WE1(BE1)}/DQMLU/WE$	OUT
348	D12	IN	318	$RD/\overline{WR}$	OUT
347	D13	IN	317	$\overline{CAS}$	OUT
346	D14	IN	316	CKE	OUT
345	D15	IN	315	$\overline{RAS}$	OUT
344	$\overline{REFOUT}/\overline{IRQOUT}/\overline{ARBUSY}$	OUT	314	$\overline{CS2}$	OUT
343	$\overline{BACK}$	OUT	313	$\overline{CS3}$	OUT
342	$\overline{CS0}$	OUT	312	A0	OUT
341	$\overline{CS4}$	OUT	311	A1	OUT
340	$\overline{CS5A}$	OUT	310	A2	OUT
339	$\overline{CS6A}$	OUT	309	A3	OUT
338	$\overline{RD}$	OUT	308	A4	OUT
337	$\overline{BS}$	OUT	307	A5	OUT
336	D0	OUT	306	A6	OUT
335	D1	OUT	305	A7	OUT
334	D2	OUT	304	A8	OUT

ビット名	端子名	入出力	ビット名	端子名	入出力
303	A9	OUT	266	A1	Control
302	A10	OUT	265	A2	Control
301	A11	OUT	264	A3	Control
300	A12	OUT	263	A4	Control
299	REFOUT/IRQOUT/ARBUSY	Control	262	A5	Control
298	BACK	Control	261	A6	Control
297	CS0	Control	260	A7	Control
296	CS4	Control	259	A8	Control
295	CS5A	Control	258	A9	Control
294	CS6A	Control	257	A10	Control
293	RD	Control	256	A11	Control
292	BS	Control	255	A12	Control
291	D0	Control	254	D16	IN
290	D1	Control	253	D17	IN
289	D2	Control	252	D18	IN
288	D3	Control	251	D19	IN
287	D4	Control	250	D20	IN
286	D5	Control	249	D21	IN
285	D6	Control	248	D22	IN
284	D7	Control	247	D23	IN
283	D8	Control	246	D24	IN
282	D9	Control	245	D25	IN
281	D10	Control	244	D26	IN
280	D11	Control	243	D27	IN
279	D12	Control	242	D28	IN
278	D13	Control	241	D29	IN
277	D14	Control	240	D30	IN
276	D15	Control	239	D31	IN
275	WE0(BE0)/DQMLL	Control	238	PTB0	IN
274	WE1(BE1)/DQMLU/WE	Control	237	PTB1/CTS1	IN
273	RD/WR	Control	236	PTB2/RTS1	IN
272	CAS	Control	235	PTB3/RXD1	IN
271	CKE	Control	234	PTB4/TXD1	IN
270	RAS	Control	233	PTB5/SCIF1CK	IN
269	CS2	Control	232	PTB6/CTS0	IN
268	CS3	Control	231	PTB7/RTS0	IN
267	A0	Control	230	PTA0/RXD0	IN

ビット名	端子名	入出力	ビット名	端子名	入出力
229	PTA1/TXD0	IN	192	A25	OUT
228	PTA2/SCIF0CK	IN	191	PTB0	OUT
227	PTA3/SCK_SIO0	IN	190	PTB1/CTS $\bar{1}$	OUT
226	PTA4/SIOMCLK0	IN	189	PTB2/RTS $\bar{1}$	OUT
225	PTA5/RXD_SIO0	IN	188	PTB3/RXD1	OUT
224	PTA6/TXD_SIO0	IN	187	PTB4/TXD1	OUT
223	PTA7/SIOFSYNC0	IN	186	PTB5/SCIF1CK	OUT
222	A13	OUT	185	PTB6/CTS $\bar{0}$	OUT
221	A14	OUT	184	PTB7/RTS $\bar{0}$	OUT
220	A15	OUT	183	PTA0/RXD0	OUT
219	A16	OUT	182	PTA1/TXD0	OUT
218	A17	OUT	181	PTA2/SCIF0CK	OUT
217	WE2(BE2)/DQMUL/ICIORD	OUT	180	PTA3/SCK_SIO0	OUT
216	WE3(BE3)/DQMUU/ICIOWR	OUT	179	PTA4/SIOMCLK0	OUT
215	D16	OUT	178	PTA5/RXD_SIO0	OUT
214	D17	OUT	177	PTA6/TXD_SIO0	OUT
213	D18	OUT	176	PTA7/SIOFSYNC0	OUT
212	D19	OUT	175	A13	Control
211	D20	OUT	174	A14	Control
210	D21	OUT	173	A15	Control
209	D22	OUT	172	A16	Control
208	D23	OUT	171	A17	Control
207	D24	OUT	170	WE2(BE2)/DQMUL/ICIORD	Control
206	D25	OUT	169	WE3(BE3)/DQMUU/ICIOWR	Control
205	D26	OUT	168	D16	Control
204	D27	OUT	167	D17	Control
203	D28	OUT	166	D18	Control
202	D29	OUT	165	D19	Control
201	D30	OUT	164	D20	Control
200	D31	OUT	163	D21	Control
199	A18	OUT	162	D22	Control
198	A19	OUT	161	D23	Control
197	A20	OUT	160	D24	Control
196	A21	OUT	159	D25	Control
195	A22	OUT	158	D26	Control
194	A23	OUT	157	D27	Control
193	A24	OUT	156	D28	Control

ビット名	端子名	入出力	ビット名	端子名	入出力
155	D29	Control	123	RX-DV1 ( SH7710、SH7712 )	IN
154	D30	Control		VssQ ( SH7713 )	
153	D31	Control	122	ERXD10 ( SH7710、SH7712 )	IN
152	A18	Control		VssQ ( SH7713 )	
151	A19	Control	121	ERXD11 ( SH7710、SH7712 )	IN
150	A20	Control		VssQ ( SH7713 )	
149	A21	Control	120	ERXD12 ( SH7710、SH7712 )	IN
148	A22	Control		VssQ ( SH7713 )	
147	A23	Control	119	ERXD13 ( SH7710、SH7712 )	IN
146	A24	Control		VssQ ( SH7713 )	
145	A25	Control	118	MDIO1 ( SH7710、SH7712 )	IN
144	PTB0	Control		VssQ ( SH7713 )	
143	PTB1/ $\overline{\text{CTS1}}$	Control	117	LNKSTA1 ( SH7710、SH7712 )	IN
142	PTB2/ $\overline{\text{RTS1}}$	Control		VssQ ( SH7713 )	
141	PTB3/RXD1	Control	116	CAMSEN1/IRQ5( SH7710、SH7712 )	IN
140	PTB4/TXD1	Control		IRQ5 ( SH7713 )	
139	PTB5/SCIF1CK	Control	115	CRS0	IN
138	PTB6/ $\overline{\text{CTS0}}$	Control	114	COL0	IN
137	PTB7/ $\overline{\text{RTS0}}$	Control	113	TX-CLK0	IN
136	PTA0/RXD0	Control	112	RX-ER0	IN
135	PTA1/TXD0	Control	111	RX-CLK0	IN
134	PTA2/SCIF0CK	Control	110	RX-DV0	IN
133	PTA3/SCK_SIO0	Control	109	ERXD00	IN
132	PTA4/SIOMCLK0	Control	108	ERXD01	IN
131	PTA5/RXD_SIO0	Control	107	ERXD02	IN
130	PTA6/TXD_SIO0	Control	106	ERXD03	IN
129	PTA7/SIOFSYNC0	Control	105	MDIO0	IN
128	CRS1 ( SH7710、SH7712 ) VssQ ( SH7713 )	IN	104	LNKSTA0	IN
			103	CAMSEN0/IRQ4( SH7710、SH7712 ) IRQ4 ( SH7713 )	IN
127	COL1 ( SH7710、SH7712 ) VssQ ( SH7713 )	IN	102	MD4	IN
			101	MD5	IN
126	TX-CLK1 ( SH7710、SH7712 ) VssQ ( SH7713 )	IN	100	ETXD13 ( SH7710、SH7712 ) オープン ( SH7713 )	OUT
			99	ETXD12 ( SH7710、SH7712 ) オープン ( SH7713 )	OUT
125	RX-ER1 ( SH7710、SH7712 ) VssQ ( SH7713 )	IN			
124	RX-CLK1 ( SH7710、SH7712 ) VssQ ( SH7713 )	IN			

ビット名	端子名	入出力	ビット名	端子名	入出力
98	ETXD11 (SH7710、SH7712) オープン (SH7713)	OUT	75	TX-ER1 (SH7710、SH7712) オープン (SH7713)	Control
97	ETXD10 (SH7710、SH7712) オープン (SH7713)	OUT	74	MDC1 (SH7710、SH7712) オープン (SH7713)	Control
96	TX-EN1 (SH7710、SH7712) オープン (SH7713)	OUT	73	MDIO1 (SH7710、SH7712) VssQ (SH7713)	Control
95	TX-ER1 (SH7710、SH7712) オープン (SH7713)	OUT	72	WOL1 (SH7710、SH7712) オープン (SH7713)	Control
94	MDC1 (SH7710、SH7712) オープン (SH7713)	OUT	71	EXOUT1 (SH7710、SH7712) オープン (SH7713)	Control
93	MDIO1 (SH7710、SH7712) VssQ (SH7713)	OUT	70	ETXD03	Control
			69	ETXD02	Control
92	WOL1 (SH7710、SH7712) オープン (SH7713)	OUT	68	ETXD01	Control
			67	ETXD00	Control
91	EXOUT1/TEND1 (SH7710、SH7712) TEND1 (SH7713)	OUT	66	TX-EN0	Control
			65	TX-ER0	Control
90	ETXD03	OUT	64	MDC0	Control
89	ETXD02	OUT	63	MDIO0	Control
88	ETXD01	OUT	62	WOL0	Control
87	ETXD00	OUT	61	EXOUT0/TEND0	Control
86	TX-EN0	OUT	60	NMI	IN
85	TX-ER0	OUT	59	IRQ0/IRL0	IN
84	MDC0	OUT	58	IRQ1/IRL1	IN
83	MDIO0	OUT	57	IRQ2/IRL2	IN
82	WOL0	OUT	56	IRQ3/IRL3	IN
81	EXOUT0/TEND0	OUT	55	DREQ0	IN
80	ETXD13 (SH7710、SH7712) オープン (SH7713)	Control	54	DREQ1	IN
			53	PTC0/SCK_SIO1	IN
79	ETXD12 (SH7710、SH7712) オープン (SH7713)	Control	52	PTC1/SIOMCLK1	IN
			51	PTC2/RXD_SIO1	IN
78	ETXD11 (SH7710、SH7712) オープン (SH7713)	Control	50	PTC3/TXD_SIO1	IN
			49	PTC4/SIOFSYNC1	IN
77	ETXD10 (SH7710、SH7712) オープン (SH7713)	Control	48	PTC5/CE2A	IN
			47	PTC6/CE2B	IN
76	TX-EN1 (SH7710、SH7712) オープン (SH7713)	Control	46	PTC7/IOIS16	IN
			45	MD0	IN

ビット名	端子名	入出力	ビット名	端子名	入出力
44	MD1	IN	21	CS6B/CE1B	OUT
43	MD2	IN	20	ASEBRKAK	Control
42	MD3	IN	19	AUDSYNC	Control
41	ASEBRKAK	OUT	18	AUDCK	Control
40	AUDSYNC	OUT	17	AUDATA3	Control
39	AUDCK	OUT	16	AUDATA2	Control
38	AUDATA3	OUT	15	AUDATA1	Control
37	AUDATA2	OUT	14	AUDATA0	Control
36	AUDATA1	OUT	13	STATUS0	Control
35	AUDATA0	OUT	12	STATUS1	Control
34	STATUS0	OUT	11	DACK0	Control
33	STATUS1	OUT	10	DACK1	Control
32	DACK0	OUT	9	PTC0/SCK_SIO1	Control
31	DACK1	OUT	8	PTC1/SIOMCLK1	Control
30	PTC0/SCK_SIO1	OUT	7	PTC2/RXD_SIO1	Control
29	PTC1/SIOMCLK1	OUT	6	PTC3/TXD_SIO1	Control
28	PTC2/RXD_SIO1	OUT	5	PTC4/SIOFSYNC1	Control
27	PTC3/TXD_SIO1	OUT	4	PTC5/CE2A	Control
26	PTC4/SIOFSYNC1	OUT	3	PTC6/CE2B	Control
25	PTC5/CE2A	OUT	2	PTC7/IOIS16	Control
24	PTC6/CE2B	OUT	1	CS5B/CE1A	Control
23	PTC7/IOIS16	OUT	0	CS6B/CE1B	Control
22	CS5B/CE1A	OUT	To TDO		

【注】 Control は、ローアクティブの信号です。

Control をローにすることで、該当ピンを OUT の値でドライブします。

### 23.3.4 ID レジスタ (SDID)

SDID は、SDIDH と SDIDL を連結した 32 ビットレジスタです。おのこの CPU から読み出し可能な 16 ビットのレジスタとしても扱われます。CPU からは、読み出しのみ可能です。

H-UDI 端子側からは、IDCODE のコマンドがセットされ、TAP のステートが Shift-DR のとき、TDO から読み出し可能です。書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	DID31~ DID0	説明を 参照	R	デバイス ID JTAG に規定されている ID レジスタです。 SH7710 では H'001E200F、SH7712 および SH7713 では H'081E200F です。 ただし、上位 4 ビットは、チップのバージョンにより変更されることがあります。 SDIDH は、ビット 31~16 に対応します。 SDIDL は、ビット 15~0 に対応します。

## 23.4 動作説明

### 23.4.1 TAP コントローラ

図 23.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に対応しています。

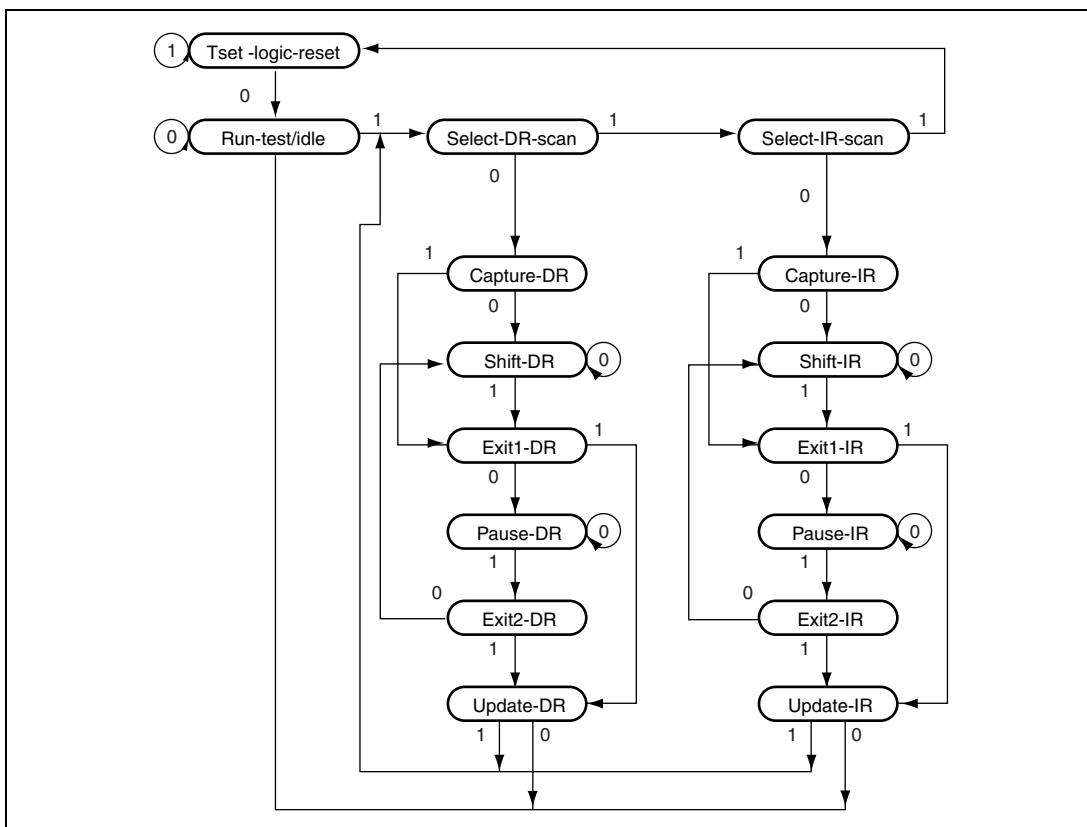


図 23.2 TAP コントローラ状態遷移図

【注】 遷移条件は、TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「23.4.3 TDO 出力タイミング」を参照してください。また、TDO は、Shift-DR および Shift-IR 状態以外ではハイインピーダンス状態です。 $\overline{\text{TRST}}$  のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。



## 23.4.2 リセット構成

表 23.4 リセット構成

ASEMD0*1	RESETP	TRST	チップ状態
H	L	L	通常リセットおよび H-UDI がリセット*4
		H	通常リセット*4
	H	L	H-UDI リセットのみ
		H	通常動作
L	L	L	リセットホールド*2
		H	ASE ユーザモード中*3: 通常リセット ASE ブレークモード中*3: $\overline{\text{RESETP}}$ のアサートはマスクされます。
	H	L	H-UDI リセットのみ
		H	通常動作

【注】 \*1 通常モードと ASE モードの設定を選択します。

$\overline{\text{ASEMD0}} = \text{H}$ 、通常モード

$\overline{\text{ASEMD0}} = \text{L}$ 、ASE モード

\*2 ASE モード時、リセットホールドは一定サイクル期間、 $\overline{\text{RESETP}}$  と  $\overline{\text{TRST}}$  端子をローレベルにセットすることによって有効になります。この状態で  $\overline{\text{RESETP}}$  をハイレベルにセットしても CPU は起動しません。その後  $\overline{\text{TRST}}$  をハイレベルにセットすると、H-UDI 動作が有効になりますが CPU は起動しません。リセットホールド状態は次のようにして解除されます。

・別の  $\overline{\text{RESETP}}$  アサート (パワーオンリセット)

・ $\overline{\text{TRST}}$  の再アサート

\*3 ASE モードは、エミュレータのファームプログラムを実行するためのモード (ASE ブレークモード) と、ユーザのプログラムを実行するモード (ASE ユーザモード) の 2 つに分けられます。

\*4 電源投入時は、必ず  $\overline{\text{TRST}} = \text{L}$  にしてください。

## 23.4.3 TDO 出力タイミング

TDO から出力するデータの切り換えタイミングは、SDIR に設定されているコマンドの種類により切り替わります。JTAG コマンド (EXTEST、CLAMP、HIGHZ、SAMPLE/PRELOAD、IDCODE、および BYPASS) が設定されているときには、TCK の立ち下がりエッジに同期して変化します。これは、JTAG 規格のタイミングです。H-UDI コマンド (H-UDI リセットネゲート、H-UDI リセットアサート、および H-UDI 割り込み) が設定されているときには、JTAG 規格より半サイクル早い TCK の立ち上がりエッジに同期して出力されます。

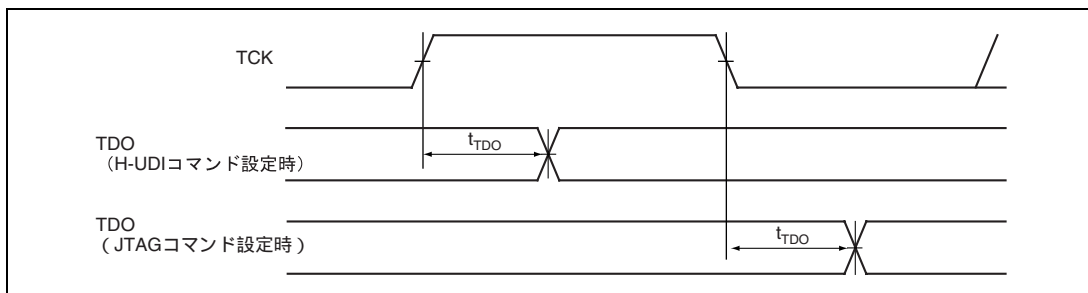


図 23.3 H-UDI データ転送タイミング

#### 23.4.4 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをリセットすることで発生します。H-UDI リセットは、パワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドを入力することにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために  $\overline{\text{RESETP}}$  端子をローレベルに保つ時間と同じです。

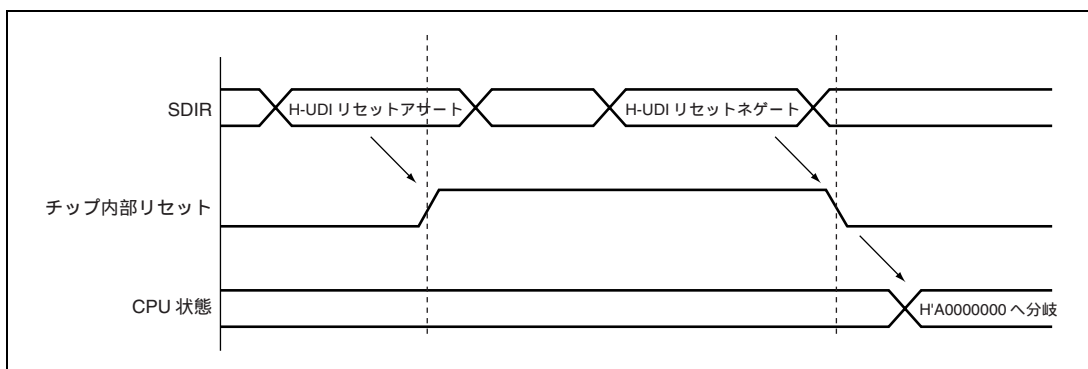


図 23.4 H-UDI リセット

#### 23.4.5 H-UDI 割り込み

H-UDI 割り込み機能は、SDIR へ H-UDI からコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外または割り込み動作であり、VBR 値とオフセットの和に基づくアドレスに分岐が発生し、RTE 命令で復帰します。この割り込み要求は、固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは、受け付けられます。

## 23.5 バウンダリスキャン

H-UDI から SDIR にコマンドを設定することにより、H-UDI 端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

### 23.5.1 サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、および EXTEST) と 3 つのオプション命令 (IDCODE、CLAMP、および HIGHZ) をサポートします。

#### (1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令は、シフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。命令コードの上位 4 ビットは、B'1111 です。

#### (2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は、本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命例実行中、本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は、何の影響も受けません。命令コードの上位 4 ビットは、B'0100 です。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは、Capture-DR 状態の TCK の立ち上がり同期して行われます。スナップショットの取り込みは、本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力ピンから不定値が出力される (EXTEST 命令では出力ピンに常にパラレル出力ラッチを出力する) ことになります。

#### (3) EXTEST

本命令は、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うとき、N 回目のテストデータは [N-1] 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません (シフト動作で入れ換えます)。

命令コードの上位 4 ビットは、B'0000 です。

#### (4) IDCODE

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている IDCODE モードに設定できます。H-UDI を初期化した場合 ( $\overline{\text{TRST}}$  のアサート、または TAP を Test-Logic-Reset 状態にする場合) は、IDCODE モードになります。

#### (5) CLAMP、HIGHZ

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている CLAMP、および HIGHZ モードに設定できます。

### 23.5.2 注意事項

1. クロック関連信号 (EXTAL、EXTAL2、XTAL、XTAL2、CKIO、CKIO2) は、バウンダリスキャンの対象外です。
2. リセット関連信号 ( $\overline{\text{RESETP}}$ 、 $\overline{\text{RESETM}}$ ) は、バウンダリスキャンの対象外です。
3. H-UDI 関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ ) は、バウンダリスキャンの対象外です。
4.  $\overline{\text{ASEMD0}}$  端子は、バウンダリスキャンの対象外です。
5. EXTEST、CLAMP、HIGHZ コマンドを設定時には、 $\overline{\text{RESETP}}$  端子はローレベル固定にしてください。
6. BYPASS、IDCODE を除くバウンダリスキャン実行中は、 $\overline{\text{ASEMD0}}$  端子をハイレベルに固定してください。

### 23.6 使用上の注意事項

1. H-UDI コマンドは、いったんセットされると他のコマンドが H-UDI から再発行されない限り変更されません。同じコマンドを連続して与える場合は、チップ動作に影響のないコマンド (BYPASS 等) をいったん設定してから再度コマンドを設定する必要があります。
2. スタンバイモードでは、H-UDI 機能を使用できません。また、スタンバイモードの前後で TAP の状態を保持するためには、スタンバイモード遷移の際は TCK をハイレベルにしておく必要があります。
3. H-UDI は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDI の機能は使用できません。

### 23.7 アドバンストユーザデバッグ (AUD)

AUD はエミュレータ専用の機能です。AUD の詳細については、各エミュレータのユーザーズマニュアルを参照してください。

---

## 24. レジスタ一覧

---

本章では、内蔵 I/O レジスタについて、次の形で説明しています。

1. レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）
  - 機能モジュールごとに、マニュアルの章番号の順に表記しています。
  - 本リストに記載されていないリザーブアドレスは、アクセスしないでください。
  - アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提としてMSB側のアドレスを表記しています。
2. レジスタのビット一覧
  - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の並びに従って、ビットの構成を表記しています。
  - リザーブビットのビット名称部は、「」で表記しています。
  - ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを表しています。
  - 16ビットまたは32ビットのレジスタの場合は、MSB側のビットから表記しています。  
バイトの記載順序は、ビッグエンディアンを前提としています。
3. 各動作モードにおけるレジスタの状態
  - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の並びに従って、レジスタの状態を表記しています。
  - 初期化時の各ビットの状態は、該当する章のレジスタ説明を参照してください。
  - 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

## 24.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)

アクセスサイズは、ビット数を表しています。

【注】 未定義およびリザーブアドレスのアクセスは、禁止します。これらのレジスタをアクセスした時の動作および継続する動作については保証できませんので、アクセスしないようにしてください。

略称	モジュール* <sup>1</sup>	バス* <sup>2</sup>	アドレス	サイズ (ビット)	アクセス サイズ (ビット)* <sup>3</sup>
INTEVT	例外処理	L	H'FFFF FFD8	32	32
INTEVT2		L	H'A400 0000	32	32
TRA		L	H'FFFF FFD0	32	32
EXPEVT		L	H'FFFF FFD4	32	32
TEA		L	H'FFFF FFFC	32	32
MMUCR	MMU	L	H'FFFF FFE0	32	32
PTEH		L	H'FFFF FFF0	32	32
PTEL		L	H'FFFF FFF4	32	32
TTB		L	H'FFFF FFF8	32	32
CCR1	キャッシュ	L	H'FFFF FFEC	32	32
CCR2		L	H'A400 00B0	32	32
CCR3		L	H'A400 00B4	32	32
IPRA	INTC	P	H'A414 FEE2	16	16
IPRB		P	H'A414 FEE4	16	16
IPRC		P	H'A414 0016	16	16
IPRD		P	H'A414 0018	16	16
IPRE		P	H'A414 001A	16	16
IPRF		P	H'A408 0000	16	16
IPRG		P	H'A408 0002	16	16
IPRH		P	H'A408 0004	16	16
IPRI		P	H'A408 0006	16	16
ICR0		P	H'A414 FEE0	16	16
ICR1		P	H'A414 0010	16	16
IRR0		P	H'A414 0004	8	8
IRR1		P	H'A414 0006	8	8
IRR2		P	H'A414 0008	8	8
IRR3		P	H'A414 000A	8	8
IRR4		P	H'A414 000C	8	8
IRR5	P	H'A408 0020	8	8	
IRR7	P	H'A408 0024	8	8	
IRR8	P	H'A408 0026	8	8	

略称	モジュール* <sup>1</sup>	バス* <sup>2</sup>	アドレス	サイズ (ビット)	アクセス サイズ (ビット)* <sup>3</sup>
BARA	UBC	L	H'A4FF FFB0	32	32
BAMRA		L	H'A4FF FFB4	32	32
BBRA		L	H'A4FF FFB8	16	16
BARB		L	H'A4FF FFA0	32	32
BAMRB		L	H'A4FF FFA4	32	32
BBRB		L	H'A4FF FFA8	16	16
BDRB		L	H'A4FF FF90	32	32
BDMRB		L	H'A4FF FF94	32	32
BRCR		L	H'A4FF FF98	32	32
BETR		L	H'A4FF FF9C	16	16
BRSR		L	H'A4FF FFAC	32	32
BRDR		L	H'A4FF FFBC	32	32
BASRA		L	H'FFFF FFE4	8	8
BASRB		L	H'FFFF FFE8	8	8
STBCR	低消費電力	P	H'A415 FF82	8	8
STBCR2		P	H'A415 FF88	8	8
STBCR3		P	H'A40A 0000	8	8
FRQCR	CPG	P	H'A415 FF80	16	16
WTCNT		P	H'A415 FF84	8	8/16* <sup>4</sup>
WTCSSR		P	H'A415 FF86	8	8/16* <sup>4</sup>
CMNCR	BSC	I	H'A4FD 0000	32	32
CS0BCR		I	H'A4FD 0004	32	32
CS2BCR		I	H'A4FD 0008	32	32
CS3BCR		I	H'A4FD 000C	32	32
CS4BCR		I	H'A4FD 0010	32	32
CS5ABCR		I	H'A4FD 0014	32	32
CS5BBCR		I	H'A4FD 0018	32	32
CS6ABCR		I	H'A4FD 001C	32	32
CS6BBCR		I	H'A4FD 0020	32	32
CS0WCR		I	H'A4FD 0024	32	32
CS2WCR		I	H'A4FD 0028	32	32
CS3WCR		I	H'A4FD 002C	32	32
CS4WCR		I	H'A4FD 0030	32	32
CS5AWCR		I	H'A4FD 0034	32	32
CS5BWCR		I	H'A4FD 0038	32	32
CS6AWCR		I	H'A4FD 003C	32	32
CS6BWCR		I	H'A4FD 0040	32	32

略称	モジュール* <sup>1</sup>	バス* <sup>2</sup>	アドレス	サイズ (ビット)	アクセス サイズ (ビット)* <sup>3</sup>
SDCR	BSC	I	H'A4FD 0044	32	32
RTCSR		I	H'A4FD 0048	32	32
RTCNT		I	H'A4FD 004C	32	32
RTCOR		I	H'A4FD 0050	32	32
SDMR2		I	H'A4FD 4xxx		16
SDMR3		I	H'A4FD 5xxx		16
SAR_0	DMAC	P	H'A401 0020	32	16/32
DAR_0		P	H'A401 0024	32	16/32
DMATCR_0		P	H'A401 0028	32	16/32
CHCR_0		P	H'A401 002C	32	8/16/32
SAR_1		P	H'A401 0030	32	16/32
DAR_1		P	H'A401 0034	32	16/32
DMATCR_1		P	H'A401 0038	32	16/32
CHCR_1		P	H'A401 003C	32	8/16/32
SAR_2		P	H'A401 0040	32	16/32
DAR_2		P	H'A401 0044	32	16/32
DMATCR_2		P	H'A401 0048	32	16/32
CHCR_2		P	H'A401 004C	32	8/16/32
SAR_3		P	H'A401 0050	32	16/32
DAR_3		P	H'A401 0054	32	16/32
DMATCR_3		P	H'A401 0058	32	16/32
CHCR_3		P	H'A401 005C	32	8/16/32
SAR_4		P	H'A401 0070	32	16/32
DAR_4		P	H'A401 0074	32	16/32
DMATCR_4		P	H'A401 0078	32	16/32
CHCR_4		P	H'A401 007C	32	8/16/32
SAR_5		P	H'A401 0080	32	16/32
DAR_5		P	H'A401 0084	32	16/32
DMATCR_5		P	H'A401 0088	32	16/32
CHCR_5		P	H'A401 008C	32	8/16/32
DMAOR		P	H'A401 0060	16	8/16
DMARS0		P	H'A409 0000	16	16
DMARS1		P	H'A409 0004	16	16
DMARS2		P	H'A409 0008	16	16
TSTR	TMU	P	H'A412 FE92	8	8
TCOR0		P	H'A412 FE94	32	32
TCNT0		P	H'A412 FE98	32	32
TCR0		P	H'A412 FE9C	16	16



略称	モジュール* <sup>1</sup>	バス* <sup>2</sup>	アドレス	サイズ (ビット)	アクセス サイズ (ビット)* <sup>3</sup>	
TCOR1	TMU	P	H'A412 FEA0	32	32	
TCNT1		P	H'A412 FEA4	32	32	
TCR1		P	H'A412 FEA8	16	16	
TCOR2		P	H'A412 FEAC	32	32	
TCNT2		P	H'A412 FEB0	32	32	
TCR2		P	H'A412 FEB4	16	16	
R64CNT	RTC	P	H'A413 FEC0	8	8	
RSECCNT		P	H'A413 FEC2	8	8	
RMINCNT		P	H'A413 FEC4	8	8	
RHRCNT		P	H'A413 FEC6	8	8	
RWKCNT		P	H'A413 FEC8	8	8	
RDAYCNT		P	H'A413 FECA	8	8	
RMONCNT		P	H'A413 FECC	8	8	
RYRCNT		P	H'A413 FECE	16	16	
RSECAR		P	H'A413 FED0	8	8	
RMINAR		P	H'A413 FED2	8	8	
RHRAR		P	H'A413 FED4	8	8	
RWKAR		P	H'A413 FED6	8	8	
RDAYAR		P	H'A413 FED8	8	8	
RMONAR		P	H'A413 FEDA	8	8	
RCR1		P	H'A413 FEDC	8	8	
RCR2		P	H'A413 FEDE	8	8	
RYRAR		P	H'A413 FEE0	16	16	
RCR3		P	H'A413 FEE4	8	8	
SCSMR_0		SCIF	P	H'A440 0000	16	16
SCBRR_0			P	H'A440 0004	8	8
SCSCR_0	P		H'A440 0008	16	16	
SCFTDR_0	P		H'A440 000C	8	8	
SCFSR_0	P		H'A440 0010	16	16	
SCFRDR_0	P		H'A440 0014	8	8	
SCFCR_0	P		H'A440 0018	16	16	
SCFDR_0	P		H'A440 001C	16	16	
SCLSR_0	P		H'A440 0024	16	16	

略称	モジュール* <sup>1</sup>	バス* <sup>2</sup>	アドレス	サイズ (ビット)	アクセス サイズ (ビット)* <sup>3</sup>	
SCSMR_1	SCIF	P	H'A441 0000	16	16	
SCBRR_1		P	H'A441 0004	8	8	
SCSCR_1		P	H'A441 0008	16	16	
SCFTDR_1		P	H'A441 000C	8	8	
SCFSR_1		P	H'A441 0010	16	16	
SCFRDR_1		P	H'A441 0014	8	8	
SCFCR_1		P	H'A441 0018	16	16	
SCFDR_1		P	H'A441 001C	16	16	
SCLSR_1		P	H'A441 0024	16	16	
SIMDR_0		SIOF	P	H'A442 0000	16	16
SISCR_0			P	H'A442 0002	16	16
SITDAR_0			P	H'A442 0004	16	16
SIRDAR_0			P	H'A442 0006	16	16
SICDAR_0			P	H'A442 0008	16	16
SICTR_0	P		H'A442 000C	16	16	
SIFCTR_0	P		H'A442 0010	16	16	
SISTR_0	P		H'A442 0014	16	16	
SIIER_0	P		H'A442 0016	16	16	
SITDR_0	P		H'A442 0020	32	32	
SIRDR_0	P		H'A442 0024	32	32	
SITCR_0	P		H'A442 0028	32	32	
SIRCR_0	P		H'A442 002C	32	32	
SIMDR_1	P		H'A443 0000	16	16	
SISCR_1	P		H'A443 0002	16	16	
SITDAR_1	P		H'A443 0004	16	16	
SIRDAR_1	P		H'A443 0006	16	16	
SICDAR_1	P		H'A443 0008	16	16	
SICTR_1	P		H'A443 000C	16	16	
SIFCTR_1	P		H'A443 0010	16	16	
SISTR_1	P		H'A443 0014	16	16	
SIIER_1	P		H'A443 0016	16	16	
SITDR_1	P		H'A443 0020	32	32	
SIRDR_1	P		H'A443 0024	32	32	
SITCR_1	P		H'A443 0028	32	32	
SIRCR_1	P		H'A443 002C	32	32	

略称	モジュール* <sup>1</sup>	バス* <sup>2</sup>	アドレス	サイズ (ビット)	アクセス サイズ (ビット)* <sup>3</sup>
ECMR0 (SH7710、SH7712)	EtherC(MAC-0) (SH7710、 SH7712)	I	H'A700 0160	32	32
ECMR (SH7713)					
ECSR0 (SH7710、SH7712)	EtherC (MAC) (SH7713)	I	H'A700 0164	32	32
ECSR (SH7713)					
ECSIPR0 (SH7710、SH7712)		I	H'A700 0168	32	32
ECSIPR (SH7713)					
PIR0 (SH7710、SH7712)		I	H'A700 016C	32	32
PIR (SH7713)					
MAHR0 (SH7710、SH7712)		I	H'A700 0170	32	32
MAHR (SH7713)					
MALR0 (SH7710、SH7712)		I	H'A700 0174	32	32
MALR (SH7713)					
RFLR0 (SH7710、SH7712)		I	H'A700 0178	32	32
RFLR (SH7713)					
PSR0 (SH7710、SH7712)		I	H'A700 017C	32	32
PSR (SH7713)					
TROCR0 (SH7710、SH7712)		I	H'A700 0180	32	32
TROCR (SH7713)					
CDCR0 (SH7710、SH7712)		I	H'A700 0184	32	32
CDCR (SH7713)					
LCCR0 (SH7710、SH7712)		I	H'A700 0188	32	32
LCCR (SH7713)					
CNDCR0 (SH7710、SH7712)		I	H'A700 018C	32	32
CNDCR (SH7713)					
CEFCR0 (SH7710、SH7712)		I	H'A700 0194	32	32
CEFCR (SH7713)					
FRECR0 (SH7710、SH7712)		I	H'A700 0198	32	32
FRECR (SH7713)					
TSFRCR0 (SH7710、SH7712)		I	H'A700 019C	32	32
TSFRCR (SH7713)					
TLFRCR0 (SH7710、SH7712)		I	H'A700 01A0	32	32
TLFRCR (SH7713)					

略称	モジュール* <sup>1</sup>	バス* <sup>2</sup>	アドレス	サイズ (ビット)	アクセス サイズ (ビット)* <sup>3</sup>
RFCR0 (SH7710、SH7712)	EtherC(MAC-0) (SH7710、 SH7712)	I	H'A700 01A4	32	32
RFCR (SH7713)					
MAFCR0 (SH7710、SH7712)	EtherC (MAC) (SH7713)	I	H'A700 01A8	32	32
MAFCR (SH7713)					
IPGR0 (SH7710、SH7712)		I	H'A700 01B4	32	32
IPGR (SH7713)					
ECMR1	EtherC(MAC-1) (SH7710、 SH7712)	I	H'A700 0560	32	32
ECSR1					
ECSIPR1		I	H'A700 0568	32	32
PIR1					
MAHR1		I	H'A700 0570	32	32
MALR1					
RFLR1		I	H'A700 0578	32	32
PSR1					
TROCR1		I	H'A700 0580	32	32
CDCR1					
LCCR1		I	H'A700 0588	32	32
CNDCR1					
CEFCR1		I	H'A700 0594	32	32
FRECR1					
TSFR1		I	H'A700 0598	32	32
TSFR1					
TLFR1		I	H'A700 05A0	32	32
RFCR1					
MAFCR1		I	H'A700 05A8	32	32
IPGR1					
ARSTR	EtherC (SH7710、 SH7712)	I	H'A700 0800	32	32
	EtherC (MAC) (SH7713)				
TSU_CTRST	EtherC(TSU) (SH7710、 SH7712)	I	H'A700 0804	32	32
	EtherC (MAC) (SH7713)				

略称	モジュール* <sup>1</sup>	バス* <sup>2</sup>	アドレス	サイズ (ビット)	アクセス サイズ (ビット)* <sup>3</sup>	
TSU_FWENO	EtherC(TSU) (SH7710、 SH7712)		H'A700 0810	32	32	
TSU_FWEN1			H'A700 0814	32	32	
TSU_FCM			H'A700 0818	32	32	
TSU_BSYSL0			H'A700 0820	32	32	
TSU_BSYSL1			H'A700 0824	32	32	
TSU_PRISL0			H'A700 0828	32	32	
TSU_PRISL1			H'A700 082C	32	32	
TSU_FWSL0			H'A700 0830	32	32	
TSU_FWSL1			H'A700 0834	32	32	
TSU_FWSLC			H'A700 0838	32	32	
TSU_QTAGM0			H'A700 0840	32	32	
TSU_QTAGM1			H'A700 0844	32	32	
TSU_ADQT0			H'A700 0848	32	32	
TSU_ADQT1			H'A700 084C	32	32	
TSU_FWSR			H'A700 0850	32	32	
TSU_FWINMK			H'A700 0854	32	32	
TSU_ADSBSY			H'A700 0860	32	32	
TSU_TEN			H'A700 0864	32	32	
TSU_POST1			H'A700 0870	32	32	
TSU_POST2			H'A700 0874	32	32	
TSU_POST3			H'A700 0878	32	32	
TSU_POST4		H'A700 087C	32	32		
TXNLCR0 (SH7710、SH7712)	EtherC(TSU) (SH7710、 SH7712)		H'A700 0880	32	32	
TXNLCR (SH7713)		EtherC (MAC) (SH7713)		H'A700 0884	32	32
TXALCR0 (SH7710、SH7712)				H'A700 0888	32	32
TXALCR (SH7713)		EtherC (MAC) (SH7713)		H'A700 088C	32	32
RXNLCR0 (SH7710、SH7712)				H'A700 0888	32	32
RXNLCR (SH7713)			H'A700 088C	32	32	
RXALCR0 (SH7710、SH7712)	EtherC(TSU) (SH7710、 SH7712)		H'A700 0890	32	32	
RXALCR (SH7713)			H'A700 0894	32	32	
FWNLCR0			H'A700 08A0	32	32	
FWALCR0			H'A700 08A4	32	32	
TXNLCR1			H'A700 08A8	32	32	
TXALCR1			H'A700 08AC	32	32	
RXNLCR1		H'A700 08A8	32	32		
RXALCR1		H'A700 08AC	32	32		

略称	モジュール* <sup>1</sup>	バス* <sup>2</sup>	アドレス	サイズ (ビット)	アクセス サイズ (ビット)* <sup>3</sup>
FWNLCR1	EtherC(TSU) (SH7710、 SH7712)		H'A700 08B0	32	32
FWALCR1			H'A700 08B4	32	32
TSU_ADRH0			H'A700 0900	32	32
TSU_ADRL0			H'A700 0904	32	32
TSU_ADRH1			H'A700 0908	32	32
TSU_ADRL1			H'A700 090C	32	32
TSU_ADRH2			H'A700 0910	32	32
TSU_ADRL2			H'A700 0914	32	32
TSU_ADRH3			H'A700 0918	32	32
TSU_ADRL3			H'A700 091C	32	32
TSU_ADRH4			H'A700 0920	32	32
TSU_ADRL4			H'A700 0924	32	32
TSU_ADRH5			H'A700 0928	32	32
TSU_ADRL5			H'A700 092C	32	32
TSU_ADRH6			H'A700 0930	32	32
TSU_ADRL6			H'A700 0934	32	32
TSU_ADRH7			H'A700 0938	32	32
TSU_ADRL7			H'A700 093C	32	32
TSU_ADRH8			H'A700 0940	32	32
TSU_ADRL8			H'A700 0944	32	32
TSU_ADRH9			H'A700 0948	32	32
TSU_ADRL9			H'A700 094C	32	32
TSU_ADRH10			H'A700 0950	32	32
TSU_ADRL10			H'A700 0954	32	32
TSU_ADRH11			H'A700 0958	32	32
TSU_ADRL11			H'A700 095C	32	32
TSU_ADRH12			H'A700 0960	32	32
TSU_ADRL12			H'A700 0964	32	32
TSU_ADRH13			H'A700 0968	32	32
TSU_ADRL13			H'A700 096C	32	32
TSU_ADRH14			H'A700 0970	32	32
TSU_ADRL14			H'A700 0974	32	32
TSU_ADRH15			H'A700 0978	32	32
TSU_ADRL15			H'A700 097C	32	32

略称	モジュール* <sup>1</sup>	バス* <sup>2</sup>	アドレス	サイズ (ビット)	アクセス サイズ (ビット)* <sup>3</sup>
TSU_ADRH16	EtherC(TSU) (SH7710、 SH7712)	I	H'A700 0980	32	32
TSU_ADRL16		I	H'A700 0984	32	32
TSU_ADRH17		I	H'A700 0988	32	32
TSU_ADRL17		I	H'A700 098C	32	32
TSU_ADRH18		I	H'A700 0990	32	32
TSU_ADRL18		I	H'A700 0994	32	32
TSU_ADRH19		I	H'A700 0998	32	32
TSU_ADRL19		I	H'A700 099C	32	32
TSU_ADRH20		I	H'A700 09A0	32	32
TSU_ADRL20		I	H'A700 09A4	32	32
TSU_ADRH21		I	H'A700 09A8	32	32
TSU_ADRL21		I	H'A700 09AC	32	32
TSU_ADRH22		I	H'A700 09B0	32	32
TSU_ADRL22		I	H'A700 09B4	32	32
TSU_ADRH23		I	H'A700 09B8	32	32
TSU_ADRL23		I	H'A700 09BC	32	32
TSU_ADRH24		I	H'A700 09C0	32	32
TSU_ADRL24		I	H'A700 09C4	32	32
TSU_ADRH25		I	H'A700 09C8	32	32
TSU_ADRL25		I	H'A700 09CC	32	32
TSU_ADRH26		I	H'A700 09D0	32	32
TSU_ADRL26		I	H'A700 09D4	32	32
TSU_ADRH27		I	H'A700 09D8	32	32
TSU_ADRL27		I	H'A700 09DC	32	32
TSU_ADRH28		I	H'A700 09E0	32	32
TSU_ADRL28		I	H'A700 09E4	32	32
TSU_ADRH29		I	H'A700 09E8	32	32
TSU_ADRL29		I	H'A700 09EC	32	32
TSU_ADRH30		I	H'A700 09F0	32	32
TSU_ADRL30		I	H'A700 09F4	32	32
TSU_ADRH31		I	H'A700 09F8	32	32
TSU_ADRL31		I	H'A700 09FC	32	32

略称	モジュール* <sup>1</sup>	バス* <sup>2</sup>	アドレス	サイズ (ビット)	アクセス サイズ (ビット)* <sup>3</sup>
EDMR0 (SH7710、SH7712) EDMR (SH7713)	E-DMAC0 (SH7710、 SH7712)	I	H'A700 0000	32	32
EDTRR0 (SH7710、SH7712) EDTRR (SH7713)					
EDRRR0 (SH7710、SH7712) EDRRR (SH7713)		I	H'A700 0008	32	32
TDLAR0 (SH7710、SH7712) TDLAR (SH7713)		I	H'A700 000C	32	32
RDLAR0 (SH7710、SH7712) RDLAR (SH7713)		I	H'A700 0010	32	32
EESR0 (SH7710、SH7712) EESR (SH7713)		I	H'A700 0014	32	32
EESIPR0 (SH7710、SH7712) EESIPR (SH7713)		I	H'A700 0018	32	32
TRSCER0 (SH7710、SH7712) TRSCER (SH7713)		I	H'A700 001C	32	32
RMFCR0 (SH7710、SH7712) RMFCR (SH7713)		I	H'A700 0020	32	32
TFTR0 (SH7710、SH7712) TFTR (SH7713)		I	H'A700 0024	32	32
FDR0 (SH7710、SH7712) FDR (SH7713)		I	H'A700 0028	32	32
RMCR0 (SH7710、SH7712) RMCR (SH7713)		I	H'A700 002C	32	32
EDOCR0 (SH7710、SH7712) EDOCR (SH7713)		I	H'A700 0030	32	32
FCFTR0 (SH7710、SH7712) FCFTR (SH7713)		I	H'A700 0034	32	32
TRIMD0 (SH7710、SH7712) TRIMD (SH7713)		I	H'A700 003C	32	32
RBWAR0 (SH7710、SH7712) RBWAR (SH7713)		I	H'A700 0040	32	32
RDFAR0 (SH7710、SH7712) RDFAR (SH7713)		I	H'A700 0044	32	32
TBRAR0 (SH7710、SH7712) TBRAR (SH7713)		I	H'A700 004C	32	32
TDFAR0 (SH7710、SH7712) TDFAR (SH7713)		I	H'A700 0050	32	32



略称	モジュール*1	バス*2	アドレス	サイズ (ビット)	アクセス サイズ (ビット)*3	
EDMR1	E-DMAC1 (SH7710、 SH7712)	I	H'A700 0400	32	32	
EDTRR1		I	H'A700 0404	32	32	
EDRRR1		I	H'A700 0408	32	32	
TDLAR1		I	H'A700 040C	32	32	
RDLAR1		I	H'A700 0410	32	32	
EESR1		I	H'A700 0414	32	32	
EESIPR1		I	H'A700 0418	32	32	
TRSCER1		I	H'A700 041C	32	32	
RMFCR1		I	H'A700 0420	32	32	
TFTR1		I	H'A700 0424	32	32	
FDR1		I	H'A700 0428	32	32	
RMCR1		I	H'A700 042C	32	32	
EDOCR1		I	H'A700 0430	32	32	
FCFTR1		I	H'A700 0434	32	32	
TRIMD1		I	H'A700 043C	32	32	
RBWAR1	PFC	I	H'A700 0440	32	32	
RDFAR1		I	H'A700 0444	32	32	
TBRAR1		I	H'A700 044C	32	32	
TDFAR1		I	H'A700 0450	32	32	
PACR		P	H'A405 0100	16	16	
PBCR		P	H'A405 0102	16	16	
PCCR		P	H'A405 0104	16	16	
PETCR		P	H'A405 0106	16	16	
PADR		I/O ポート	P	H'A405 0120	8	8
PBDR			P	H'A405 0122	8	8
PCDR	P		H'A405 0124	8	8	
SDIR	H-UDI	P	H'A410 0200	16	16	
SDID/SDIDH		P	H'A410 0214	32/16	32/16	
SDIDL		P	H'A410 0216	16	16	

## 【注】 \*1 モジュール :

MMU : メモリマネジメントユニット

INTC : 割り込みコントローラ

UBC : ユーザブレイクコントローラ

CPG : クロック発振器

BSC : バスステートコントローラ

DMAC : ダイレクトメモリアクセスコントローラ

TMU : タイムユニット

RTC : リアルタイムクロック

SCIF0 : FIFO 内蔵シリアルコミュニケーションインタフェース 0

SCIF1 : FIFO 内蔵シリアルコミュニケーションインタフェース 1

SIOF0 : FIFO 内蔵シリアル IO 0

SIOF1 : FIFO 内蔵シリアル IO 1

EtherC (MAC-0) : イーサネットコントローラ 0 (SH7710 および SH7712 のみ)

EtherC (MAC-1) : イーサネットコントローラ 1 (SH7710 および SH7712 のみ)

EtherC (TSU) : イーサネットコントローラ用転送ユニット (SH7710 および SH7712 のみ)

E-DMAC0 : イーサネットコントローラ用ダイレクトメモリアクセスコントローラ 0  
(SH7710 および SH7712 のみ)

E-DMAC1 : イーサネットコントローラ用ダイレクトメモリアクセスコントローラ 1  
(SH7710 および SH7712 のみ)

EtherC (MAC) : イーサネットコントローラ (SH7713 のみ)

E-DMAC : イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (SH7713 のみ)

IPSEC : IP セキュリティアクセラレータ (SH7710 のみ)

PFC : ピンファンクションコントローラ

H-UDI : ユーザデバッグインタフェース

\*2 バス :

L : CPU、DSP、CCN、キャッシュ、MMU、UBC が接続されています。

I : BSC と CCN、キャッシュ、DMAC、E-DMAC0、E-DMAC1、IPSEC (SH7710 のみ) が接続されています。  
なお、SH7713 の場合、E-DMAC0、E-DMAC1 は E-DMAC となります。

P : BSC と周辺モジュール (RTC、TMU、SCIF0、SCIF1、SIOF0、SIOF1、DMAC、PORT、INTC、H-UDI、CPG) が接続されています。

\*3 アクセスサイズは、制御レジスタをアクセス (リード/ライト) するときのサイズを示します。表示された以外のサイズでアクセスした場合は、誤った結果となります。

\*4 書き込みは 16 ビット、読み出しは 8 ビットです。

## 24.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

16 ビットおよび 32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TRA									例外処理
							TRA	TRA	
	TRA	TRA	TRA	TRA	TRA	TRA			
EXPEVT									
					EXPEVT	EXPEVT	EXPEVT	EXPEVT	
	EXPEVT	EXPEVT	EXPEVT	EXPEVT	EXPEVT	EXPEVT	EXPEVT	EXPEVT	
INTEVT									
					INTEVT	INTEVT	INTEVT	INTEVT	
	INTEVT	INTEVT	INTEVT	INTEVT	INTEVT	INTEVT	INTEVT	INTEVT	
INTEVT2									
					INTEVT2	INTEVT2	INTEVT2	INTEVT2	
	INTEVT2	INTEVT2	INTEVT2	INTEVT2	INTEVT2	INTEVT2			
TEA	TEA	TEA	TEA	TEA	TEA	TEA	TEA	TEA	
	TEA	TEA	TEA	TEA	TEA	TEA	TEA	TEA	
	TEA	TEA	TEA	TEA	TEA	TEA	TEA	TEA	
	TEA	TEA	TEA	TEA	TEA	TEA	TEA	TEA	
PTEH	VPN	VPN	VPN	VPN	VPN	VPN	VPN	VPN	MMU
	VPN	VPN	VPN	VPN	VPN	VPN	VPN	VPN	
	VPN	VPN	VPN	VPN	VPN	VPN			
	ASID	ASID	ASID	ASID	ASID	ASID	ASID	ASID	
PTEL				PPN	PPN	PPN	PPN	PPN	
	PPN	PPN	PPN	PPN	PPN	PPN	PPN	PPN	
	PPN	PPN	PPN	PPN	PPN	PPN		V	
		PR	PR	SZ	C	D	SH		
TTB									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
MMUCR									MMU
							SV		
			RC	RC		TF	IX	AT	
CCR1									キャッシュ
						CF	CB	WT	CE
CCR2								LE	
							W3LOAD	W3LOCK	
							W2LOAD	W2LOCK	
CCR3									
	CSIZE7	CSIZE6	CSIZE5	CSIZE4	CSIZE3	CSIZE2	CSIZE1	CSIZE0	
IPRA			TMU0			TMU1			INTC
			TMU2			RTC			
IPRB			WDT			REF			
IPRC			IRQ3			IRQ2			
			IRQ1			IRQ0			
IPRD			IRQ5			IRQ4			
IPRE			DMAC(1)			SCIF0			
			SCIF1						
IPRF (SH7710)			IPSEC			DMAC(2)			
IPRF (SH7712、 SH7713)						DMAC(2)			
IPRG (SH7710、 SH7712)			E-DMAC(1)			E-DMAC(2)			
			E-DMAC(3)						
IPRG (SH7713)			E-DMAC						

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
IPRH									INTC
	SIOF0								
IPRI									
	SIOF1								
ICR0	NMIL							NMIE	
ICR1	MAI	IRQLVL	BLMASK	IRLSEN	IRQ51S	IRQ50S	IRQ41S	IRQ40S	
	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S	
IRR0			IRQ5R	IRQ4R	IRQ3R	IRQ2R	IRQ1R	IRQ0R	
IRR1	TXI0R	BRI0R	RXI0R	ERI0R	DEI3R	DEI2R	DEI1R	DEI0R	
IRR2					TXI1R	BRI1R	RXI1R	ERI1R	
IRR3					CUIR		PRIR	ATIR	
IRR4	TUNI2R		TUNI1R	TUNI0R	ITIR			RCMIR	
IRR5 (SH7710)	IPSECIR		DEI5R	DEI4R	EINT2R		EINT1R	EINT0R	
IRR5 (SH7712)			DEI5R	DEI4R	EINT2R		EINT1R	EINT0R	
IRR5 (SH7713)			DEI5R	DEI4R				EINT0R	
IRR7	CCI0R	RXI0R	TXI0R	ERI0R					
IRR8	CCI1R	RXI1R	TXI1R	ERI1R					
BARA	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	UBC
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BAMRA	BAMA31	BAMA30	BAMA29	BAMA28	BAMA27	BAMA26	BAMA25	BAMA24	
	BAMA23	BAMA22	BAMA21	BAMA20	BAMA19	BAMA18	BAMA17	BAMA16	
	BAMA15	BAMA14	BAMA13	BAMA12	BAMA11	BAMA10	BAMA9	BAMA8	
	BAMA7	BAMA6	BAMA5	BAMA4	BAMA3	BAMA2	BAMA1	BAMA0	
BBRA									
	CDA1	CDA0	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0	
BARB	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	
BAMRB	BAMB31	BAMB30	BAMB29	BAMB28	BAMB27	BAMB26	BAMB25	BAMB24	
	BAMB23	BAMB22	BAMB21	BAMB20	BAMB19	BAMB18	BAMB17	BAMB16	
	BAMB15	BAMB14	BAMB13	BAMB12	BAMB11	BAMB10	BAMB9	BAMB8	
	BAMB7	BAMB6	BAMB5	BAMB4	BAMB3	BAMB2	BAMB1	BAMB0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
BDRB	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	UBC
	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16	
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	
	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0	
BDMRB	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	
	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16	
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	
	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0	
BBRB							XYE	XY5	
	CDB1	CDB0	IDB1	IDB0	RWB1	RWB0	SZB1	SZB0	
BRCR			BASMA	BASMB					
	SCMFCA	SCMFCE	SCMFDA	SCMFE	PCTE	PCBA			
	DBEB	PCBB			SEQ			ETBE	
BETR					BET11	BET10	BET9	BET8	
	BET7	BET6	BET5	BET4	BET3	BET2	BET1	BET0	
BRSR	SVF				BSA27	BSA26	BSA25	BSA24	
	BSA23	BSA22	BSA21	BSA20	BSA19	BSA18	BSA17	BSA16	
	BSA15	BSA14	BSA13	BSA12	BSA11	BSA10	BSA9	BSA8	
	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0	
BRDR	DVF				BDA27	BDA26	BDA25	BDA24	
	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16	
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	
	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0	
BASRA	BASA7	BASA6	BASA5	BASA4	BASA3	BASA2	BASA1	BASA0	
BASRB	BASB7	BASB6	BASB5	BASB4	BASB3	BASB2	BASB1	BASB0	
STBCR	STBY					MSTP2	MSTP1		低消費
STBCR2	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5		MSTP3	電力
STBCR3 (SH7710)	MSTP37				MSTP33	MEST32	MSTP31	MSTP30	
STBCR3 (SH7712、 SH7713)					MSTP33	MEST32	MSTP31	MSTP30	
FRQCR				CKOEN			STC1	STC0	CPG
			IFC1	IFC0		PFC2	PFC1	PFC0	
WTCNT									
WTCSR	TME	WT/IT	RSTS	WOVF	IOVF	CKS2	CKS1	CKS0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	
CMNCR									BSC	
	WAITSEL	BSD		MAP	BLOCK	DPRTY1	DPRTY0	DMAIW2		
	DMAIW1	DMAIW0	DMAIWA		ENDIAN	CK2DRV	HIZMEM	HIZCNT		
CsnBCR ( n = 0、2、3、 4、5A、5B、 6A、6B )	IWRWS1	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2		
	TYPE3	TYPE2	TYPE1	TYPE0		BSZ1	BSZ0			
CS0WCR* <sup>1</sup>										
	BAS									
	BEN								BW1 BW0	
									BW1 BW0	
	SW1								SW0	WR3 WR2 WR1
									W3 W2 W1	
									W3 W2 W1	
	WR0	WM						HW1	HW0	
	W0	WM								
	W0	WM								
CS2WCR* <sup>2</sup>										
	BAS									
									WR3 WR2 WR1	
									A2CL1	
	WR0	WM								
	A2CL0									
CS3WCR* <sup>2</sup>										
	BAS									
									WR3 WR2 WR1	
	WTRP1	WTRP0			WTRCD1	WTRCD0			A3CL1	
	WR0	WM								
	A3CL0			TRWL1	TRWL0			WTRC1 WTRC0		

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CS4WCR* <sup>3</sup>									BSC
				BAS		WW2	WW1	WW0	
				BEN			BW1	BW0	
				SW1	SW0	WR3	WR2	WR1	
				SW1	SW0	PCW3	PCW2	PCW1	
						W3	W2	W1	
	WR0	WM					HW1	HW0	
	PCW0	WM					HW1	HW0	
	W0								
CS5AWCR* <sup>4</sup>									
						WW2	WW1	WW0	
				SW1	SW0	WR3	WR2	WR1	
	WR0	WM					HW1	HW0	
CS5BWCR* <sup>5</sup>									
				BAS		WW2	WW1	WW0	
		SA1		SA0					
				SW1	SW0	WR3	WR2	WR1	
		TED3	TED2	TED1	TED0	PCW3	PCW2	PCW1	
	WR0	WM					HW1	HW0	
	PCW0	WM			TEH3	TEH2	TEH1	TEH0	
CS6AWCR* <sup>4</sup>									
				SW1	SW0	WR3	WR2	WR1	
	WR0	WM					HW1	HW0	
CS6BWCR* <sup>6</sup>									
				BAS					
		SA1		SA0					
				SW1	SW0	WR3	WR2	WR1	
		TED3	TED2	TED1	TED0	PCW3	PCW2	PCW1	
	WR0	WM					HW1	HW0	
	PCW0	WM			TEH3	TEH2	TEH1	TEH0	
SDCR									
				A2ROW1	A2ROW0		A2COL1	A2COL0	
			DEEP	SLOW	RFSH	RMODE	PDOWN	BACTV	
				A3ROW1	A3ROW0		A3COL1	A3COL0	



レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
RTCSR									BSC
	CMF	CMIE	CKS2	CKS1	CKS0	RRC2	RRC1	RRC0	
RTCNT									
RTCOR									
SAR_n									DMAC
(n = 0 ~ 5)									
DAR_n									
(n = 0 ~ 5)									
DMATCR_n									
(n = 0 ~ 5)									
CHCR_n									
(n = 0, 1)	DO	TL					AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	DL	DS	TB	TS1	TS0	IE	TE	DE	
CHCR_m									
(m = 2 ~ 5)									
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
			TB	TS1	TS0	IE	TE	DE	
DMAOR							PR1	PR0	
						AE	NMIF	DME	
DMARS0	C1MID5	C1MID4	C1MID3	C1MID2	C1MID1	C1MID0	C1RID1	C1RID0	
	C0MID5	C0MID4	C0MID3	C0MID2	C0MID1	C0MID0	C0RID1	C0RID0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DMARS1	C3MID5	C3MID4	C3MID3	C3MID2	C3MID1	C3MID0	C3RID1	C3RID0	DMAC
	C2MID5	C2MID4	C2MID3	C2MID2	C2MID1	C2MID0	C2RID1	C2RID0	
DMARS2	C5MID5	C5MID4	C5MID3	C5MID2	C5MID1	C5MID0	C5RID1	C5RID0	
	C4MID5	C4MID4	C4MID3	C4MID2	C4MID1	C4MID0	C4RID1	C4RID0	
TSTR						STR2	STR1	STR0	TMU
TCRn								UNF	
(n = 0 ~ 2)			UNIE			TPSC2	TPSC1	TPSC0	
TCORn									
(n = 0 ~ 2)									
TCNTn									
(n = 0 ~ 2)									
R64CNT		1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz	RTC
RSECCNT			秒の 10 の桁			秒の 1 の桁			
RMINCNT			分の 10 の桁			分の 1 の桁			
RHRCNT			時間の 10 の桁			時間の 1 の桁			
RWKCNT							曜日コード		
RDAYCNT			日の 10 の桁			日の 1 の桁			
RMONCNT			月の10の桁			月の 1 の桁			
RYRCNT		年の 1000 の桁				年の 100 の桁			
		年の 10 の桁				年の 1 の桁			
RSECAR	ENB		秒の 10 の桁			秒の 1 の桁			
RMINAR	ENB		分の 10 の桁			分の 1 の桁			
RHRAR	ENB		時間の 10 の桁			時間の 1 の桁			
RWKAR	ENB						曜日コード		
RDAYAR	ENB		日の 10 の桁			日の 1 の桁			
RMONAR	ENB		月の10の桁			月の 1 の桁			
RYRAR		年の 1000 の桁				年の 100 の桁			
		年の 10 の桁				年の 1 の桁			
RCR1	CF			CIE	AIE			AF	
RCR2	PEF	PES2	PES1	PES0	RTCEN	ADJ	RESET	START	
RCR3	YAEN								

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SCFRDR_n (n=0, 1)									SCIF
SCFTDR_n (n=0, 1)									
SCSMR_n (n=0, 1)	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP		CKS1	CKS0	
SCSCR_n (n=0, 1)	TIE	RIE	TE	RE	REIE		CKE1	CKE0	
SCFSR_n (n=0, 1)	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCBRR_n (n=0, 1)									
SCFCR_n (n=0, 1)	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	RSTRG2 RSTRG1 RSTRG0
SCFDR_n (n=0, 1)				T4	T3	T2	T1	T0	
				R4	R3	R2	R1	R0	
SCLSR_n (n=0, 1)								ORER	
SIMDR_n (n=0, 1)	TRMD1	TRMD0		REDG	FL3	FL2	FL1	FL0	SIOF
	TXDIZ	LSBF	RCIM						
SISCR_n (n=0, 1)	MSSEL	MSIMM		BRPS4	BRPS3	BRPS2	BRPS1	BRPS0	
						BRDV2	BRDV1	BRDV0	
SITDAR_n (n=0, 1)	TDLE				TDLA3	TDLA2	TDLA1	TDLA0	
	TDRE	TLREP			TDRA3	TDRA2	TDRA1	TDRA0	
SIRDAR_n (n=0, 1)	RDLE				RDLA3	RDLA2	RDLA1	RDLA0	
	RDRE				RDRA3	RDRA2	RDRA1	RDRA0	
SICDAR_n (n=0, 1)	CD0E				CD0A3	CD0A2	CD0A1	CD0A0	
	CD1E				CD1A3	CD1A2	CD1A1	CD1A0	
SICTR_n (n=0, 1)	SCKE	FSE					TXE	RXE	
							TXRST	RXRST	
SIFCTR_n (n=0, 1)	TFWM2	TFWM1	TFWM0	TFUA4	TFUA3	TFUA2	TFUA1	TFUA0	
	RFWM2	RFWM1	RFWM0	RFUA4	RFUA3	RFUA2	RFUA1	RFUA0	
SISTR_n (n=0, 1)		TCRDY	TFEMP	TDREQ		RCRDY	RFFUL	RDREQ	
				FSERR	TFOVR	TFUDR	RFUDR	RFOVR	
SIIER_n (n=0, 1)		TCRDYE	TFEMPE	TDREQE		RCRDYE	RFFULE	RDREQE	
				FSERRE	TFOVRE	TFUDRE	RFUDRE	RFOVRE	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SITDR_n	SITDL15	SITDL14	SITDL13	SITDL12	SITDL11	SITDL10	SITDL9	SITDL8	SIOF
(n = 0, 1)	SITDL7	SITDL6	SITDL5	SITDL4	SITDL3	SITDL2	SITDL1	SITDL0	
	SITDR15	SITDR14	SITDR13	SITDR12	SITDR11	SITDR10	SITDR9	SITDR8	
	SITDR7	SITDR6	SITDR5	SITDR4	SITDR3	SITDR2	SITDR1	SITDR0	
SIRDR_n	SIRDL15	SIRDL14	SIRDL13	SIRDL12	SIRDL11	SIRDL10	SIRDL9	SIRDL8	
(n = 0, 1)	SIRDL7	SIRDL6	SIRDL5	SIRDL4	SIRDL3	SIRDL2	SIRDL1	SIRDL0	
	SIRDR15	SIRDR14	SIRDR13	SIRDR12	SIRDR11	SIRDR10	SIRDR9	SIRDR8	
	SIRDR7	SIRDR6	SIRDR5	SIRDR4	SIRDR3	SIRDR2	SIRDR1	SIRDR0	
SITCR_n	SITC015	SITC014	SITC013	SITC012	SITC011	SITC010	SITC09	SITC08	
(n = 0, 1)	SITC07	SITC06	SITC05	SITC04	SITC03	SITC02	SITC01	SITC00	
	SITC115	SITC114	SITC113	SITC112	SITC111	SITC110	SITC19	SITC18	
	SITC17	SITC16	SITC15	SITC14	SITC13	SITC12	SITC11	SITC10	
SIRCR_n	SIRC015	SIRC014	SIRC013	SIRC012	SIRC011	SIRC010	SIRC09	SIRC08	
(n = 0, 1)	SIRC07	SIRC06	SIRC05	SIRC04	SIRC03	SIRC02	SIRC01	SIRC00	
	SIRC115	SIRC114	SIRC113	SIRC112	SIRC111	SIRC110	SIRC19	SIRC18	
	SIRC17	SIRC16	SIRC15	SIRC14	SIRC13	SIRC12	SIRC11	SIRC10	
ARSTR									EtherC
									ARST
ECMRn									
(n = 0, 1)									
(SH7710、 SH7712)			MCT	PRCEF			MPDE		
ECMR									
(SH7713)	RE	TE	ILB			ELB	DM	PRM	
ECSRn									
(n = 0, 1)									
(SH7710、 SH7712)									
ECSR									
(SH7713)						LCHNG	MPD	ICD	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
ECSIPRn									EtherC
(n = 0, 1)									
(SH7710、 SH7712)									
ECSIPR									
(SH7713)									LCHNGIP MPDIP ICDIP
PIRn									
(n = 0, 1)									
(SH7710、 SH7712)									
PIR									
(SH7713)									MDI MDO MMD MDC
MAHRn	MA47	MA46	MA45	MA44	MA43	MA42	MA41	MA40	
(n = 0, 1)									
(SH7710、 SH7712)	MA39	MA38	MA37	MA36	MA35	MA34	MA33	MA32	
(SH7713)	MA31	MA30	MA29	MA28	MA27	MA26	MA25	MA24	
MAHR									
(SH7713)	MA23	MA22	MA21	MA20	MA19	MA18	MA17	MA16	
MALRn									
(n = 0, 1)									
(SH7710、 SH7712)	MA15	MA14	MA13	MA12	MA11	MA10	MA9	MA8	
MALR									
(SH7713)	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0	
RFLRn									
(n = 0, 1)									
(SH7710、 SH7712)									RFL11 RFL10 RFL9 RFL8
RFLR									
(SH7713)	RFL7	RFL6	RFL5	RFL4	RFL3	RFL2	RFL1	RFL0	
PSRn									
(n = 0, 1)									
(SH7710、 SH7712)									
PSR									
(SH7713)									LMON

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TROCRn	TROC31	TROC30	TROC29	TROC28	TROC27	TROC26	TROC25	TROC24	EtherC
(n = 0, 1)									
(SH7710、 SH7712)	TROC23	TROC22	TROC21	TROC20	TROC19	TROC18	TROC17	TROC16	
	TROC15	TROC14	TROC13	TROC12	TROC11	TROC10	TROC9	TROC8	
TROCR (SH7713)	TROC7	TROC6	TROC5	TROC4	TROC3	TROC2	TROC1	TROC0	
CDCRn	COSDC31	COSDC30	COSDC29	COSDC28	COSDC27	COSDC26	COSDC25	COSDC24	
(n = 0, 1)									
(SH7710、 SH7712)	COSDC23	COSDC22	COSDC21	COSDC20	COSDC19	COSDC18	COSDC17	COSDC16	
	COSDC15	COSDC14	COSDC13	COSDC12	COSDC11	COSDC10	COSDC9	COSDC8	
CDCR (SH7713)	COSDC7	COSDC6	COSDC5	COSDC4	COSDC3	COSDC2	COSDC1	COSDC0	
LCCRn	LCC31	LCC30	LCC29	LCC28	LCC27	LCC26	LCC25	LCC24	
(n = 0, 1)									
(SH7710、 SH7712)	LCC23	LCC22	LCC21	LCC20	LCC19	LCC18	LCC17	LCC16	
	LCC15	LCC14	LCC13	LCC12	LCC11	LCC10	LCC9	LCC8	
LCCR (SH7713)	LCC7	LCC6	LCC5	LCC4	LCC3	LCC2	LCC1	LCC0	
CNDCRn	CNDC31	CNDC30	CNDC29	CNDC28	CNDC27	CNDC26	CNDC25	CNDC24	
(n = 0, 1)									
(SH7710、 SH7712)	CNDC23	CNDC22	CNDC21	CNDC20	CNDC19	CNDC18	CNDC17	CNDC16	
	CNDC15	CNDC14	CNDC13	CNDC12	CNDC11	CNDC10	CNDC9	CNDC8	
CNDCR (SH7713)	CNDC7	CNDC6	CNDC5	CNDC4	CNDC3	CNDC2	CNDC1	CNDC0	
CEFCRn	CEFC31	CEFC30	CEFC29	CEFC28	CEFC27	CEFC26	CEFC25	CEFC24	
(n = 0, 1)									
(SH7710、 SH7712)	CEFC23	CEFC22	CEFC21	CEFC20	CEFC19	CEFC18	CEFC17	CEFC16	
	CEFC15	CEFC14	CEFC13	CEFC12	CEFC11	CEFC10	CEFC9	CEFC8	
CEFCR (SH7713)	CEFC7	CEFC6	CEFC5	CEFC4	CEFC3	CEFC2	CEFC1	CEFC0	
FRECRn	FREC31	FREC30	FREC29	FREC28	FREC27	FREC26	FREC25	FREC24	
(n = 0, 1)									
(SH7710、 SH7712)	FREC23	FREC22	FREC21	FREC20	FREC19	FREC18	FREC17	FREC16	
	FREC15	FREC14	FREC13	FREC12	FREC11	FREC10	FREC9	FREC8	
FRECR (SH7713)	FREC7	FREC6	FREC5	FREC4	FREC3	FREC2	FREC1	FREC0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TSFRn	TSFC31	TSFC30	TSFC29	TSFC28	TSFC27	TSFC26	TSFC25	TSFC24	EtherC
(n = 0, 1)	TSFC23	TSFC22	TSFC21	TSFC20	TSFC19	TSFC18	TSFC17	TSFC16	
(SH7710、 SH7712)	TSFC15	TSFC14	TSFC13	TSFC12	TSFC11	TSFC10	TSFC9	TSFC8	
TSFR	TSFC7	TSFC6	TSFC5	TSFC4	TSFC3	TSFC2	TSFC1	TSFC0	
(SH7713)									
TLFRn	TLFC31	TLFC30	TLFC29	TLFC28	TLFC27	TLFC26	TLFC25	TLFC24	
(n = 0, 1)	TLFC23	TLFC22	TLFC21	TLFC20	TLFC19	TLFC18	TLFC17	TLFC16	
(SH7710、 SH7712)	TLFC15	TLFC14	TLFC13	TLFC12	TLFC11	TLFC10	TLFC9	TLFC8	
TLFR	TLFC7	TLFC6	TLFC5	TLFC4	TLFC3	TLFC2	TLFC1	TLFC0	
(SH7713)									
RFRn	RFC31	RFC30	RFC29	RFC28	RFC27	RFC26	RFC25	RFC24	
(n = 0, 1)	RFC23	RFC22	RFC21	RFC20	RFC19	RFC18	RFC17	RFC16	
(SH7710、 SH7712)	RFC15	RFC14	RFC13	RFC12	RFC11	RFC10	RFC9	RFC8	
RFR	RFC7	RFC6	RFC5	RFC4	RFC3	RFC2	RFC1	RFC0	
(SH7713)									
MAFRn	MAFC31	MAFC30	MAFC29	MAFC28	MAFC27	MAFC26	MAFC25	MAFC24	
(n = 0, 1)	MAFC23	MAFC22	MAFC21	MAFC20	MAFC19	MAFC18	MAFC17	MAFC16	
(SH7710、 SH7712)	MAFC15	MAFC14	MAFC13	MAFC12	MAFC11	MAFC10	MAFC9	MAFC8	
MAFR	MAFC7	MAFC6	MAFC5	MAFC4	MAFC3	MAFC2	MAFC1	MAFC0	
(SH7713)									
IPGRn									
(n = 0, 1)									
(SH7710、 SH7712)									
IPGR				IPG4	IPG3	IPG2	IPG1	IPG0	
(SH7713)									
TSU_CTRST									
									CTRST

レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	モジュール
	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
TSU_FWEN0	FWEN0								EtherC ( SH7710、 SH7712 )
TSU_FWEN1	FWEN1								
TSU_FCM						FCM2	FCM1	FCM0	
TSU_BSYSL0									
			BSYSL05	BSYSL04	BSYSL03	BSYSL02	BSYSL01	BSYSL00	
TSU_BSYSL1									
			BSYSL15	BSYSL14	BSYSL13	BSYSL12	BSYSL11	BSYSL10	
TSU_PRISL0									
			PRIMD02	PRIMD01	PRIMD00				
	PRISL07	PRISL06	PRISL05	PRISL04	PRISL03	PRISL02	PRISL01	PRISL00	
TSU_PRISL1									
			PRIMD12	PRIMD11	PRIMD10				
	PRISL17	PRISL16	PRISL15	PRISL14	PRISL13	PRISL12	PRISL11	PRISL10	
TSU_FWSL0									
					FW40	FW30	FW20	FW10	



レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TSU_FWSL1					FW41	FW31	FW21	FW11	EtherC (SH7710、 SH7712)
TSU_FWSLC				POSTENU POSTENL					
	CAMSEL03	CAMSEL02	CAMSEL01	CAMSEL00	CAMSEL13	CAMSEL12	CAMSEL11	CAMSEL10	
TSU_QTAGM0								QTAGM01 QTAGM00	
TSU_QTAGM1								QTAGM11 QTAGM10	
TSU_FWSR					TINT40	TINT30	TINT20	TINT10	
	OVF0	RBSY0		RINT50	RINT40	RINT30	RINT20	RINT10	
					TINT41	TINT31	TINT21	TINT11	
	OVF1	RBSY1		RINT51	RINT41	RINT31	RINT21	RINT11	
TSU_FWINMK					TINTM40	TINTM30	TINTM20	TINTM10	
	OVFM0	RBSYM0		RINTM50	RINTM40	RINTM30	RINTM20	RINTM10	
					TINTM41	TINTM31	TINTM21	TINTM11	
	OVFM1	RBSYM1		RINTM51	RINTM41	RINTM31	RINTM21	RINTM11	
TSU_ADQT0	QTAG031	QTAG030	QTAG029	QTAG028	QTAG027	QTAG026	QTAG025	QTAG024	
	QTAG023	QTAG022	QTAG021	QTAG020	QTAG019	QTAG018	QTAG017	QTAG016	
	QTAG015	QTAG014	QTAG013		QTAG011	QTAG010	QTAG009	QTAG008	
	QTAG007	QTAG006	QTAG005	QTAG004	QTAG003	QTAG002	QTAG001	QTAG000	
TSU_ADQT1	QTAG131	QTAG130	QTAG129	QTAG128	QTAG127	QTAG126	QTAG125	QTAG124	
	QTAG123	QTAG122	QTAG121	QTAG120	QTAG119	QTAG118	QTAG117	QTAG116	
	QTAG115	QTAG114	QTAG113		QTAG111	QTAG110	QTAG109	QTAG108	
	QTAG107	QTAG106	QTAG105	QTAG104	QTAG103	QTAG102	QTAG101	QTAG100	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TSU_ADSBSY									EtherC (SH7710、 SH7712)
	ADSBSY								
TSU_TEN	TEN0	TEN1	TEN2	TEN3	TEN4	TEN5	TEN6	TEN7	
	TEN8	TEN9	TEN10	TEN11	TEN12	TEN13	TEN14	TEN15	
	TEN16	TEN17	TEN18	TEN19	TEN20	TEN21	TEN22	TEN23	
	TEN24	TEN25	TEN26	TEN27	TEN28	TEN29	TEN30	TEN31	
TSU_POST1	POST03	POST02	POST01	POST00	POST13	POST12	POST11	POST10	
	POST23	POST22	POST21	POST20	POST33	POST32	POST31	POST30	
	POST43	POST42	POST41	POST40	POST53	POST52	POST51	POST50	
	POST63	POST62	POST61	POST60	POST73	POST72	POST71	POST70	
TSU_POST2	POST83	POST82	POST81	POST80	POST93	POST92	POST91	POST90	
	POST103	POST102	POST101	POST100	POST113	POST112	POST111	POST110	
	POST123	POST122	POST121	POST120	POST133	POST132	POST131	POST130	
	POST143	POST142	POST141	POST140	POST153	POST152	POST151	POST150	
TSU_POST3	POST163	POST162	POST161	POST160	POST173	POST172	POST171	POST170	
	POST183	POST182	POST181	POST180	POST193	POST192	POST191	POST190	
	POST203	POST202	POST201	POST200	POST213	POST212	POST211	POST210	
	POST223	POST222	POST221	POST220	POST233	POST232	POST231	POST230	
TSU_POST4	POST243	POST242	POST241	POST240	POST253	POST252	POST251	POST250	
	POST263	POST262	POST261	POST260	POST273	POST272	POST271	POST270	
	POST283	POST282	POST281	POST280	POST293	POST292	POST291	POST290	
	POST303	POST302	POST301	POST300	POST313	POST312	POST311	POST310	
TSU_ADRHn (n = 0 ~ 31)	ADRHn31	ADRHn30	ADRHn29	ADRHn28	ADRHn27	ADRHn26	ADRHn25	ADRHn24	
	ADRHn23	ADRHn22	ADRHn21	ADRHn20	ADRHn19	ADRHn18	ADRHn17	ADRHn16	
	ADRHn15	ADRHn14	ADRHn13	ADRHn12	ADRHn11	ADRHn10	ADRHn9	ADRHn8	
	ADRHn7	ADRHn6	ADRHn5	ADRHn4	ADRHn3	ADRHn2	ADRHn1	ADRHn0	
TSU_ADRLn (n = 0 ~ 31)									
	ADRLn15	ADRLn14	ADRLn13	ADRLn12	ADRLn11	ADRLn10	ADRLn9	ADRLn8	
	ADRLn7	ADRLn6	ADRLn5	ADRLn4	ADRLn3	ADRLn2	ADRLn1	ADRLn0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TXNLCR0 (SH7710、 SH7712)	NTC031	NTC030	NTC029	NTC028	NTC027	NTC026	NTC025	NTC024	EtherC
	NTC023	NTC022	NTC021	NTC020	NTC019	NTC018	NTC017	NTC016	
	NTC015	NTC014	NTC013	NTC012	NTC011	NTC010	NTC009	NTC008	
TXNLCR (SH7713)	NTC007	NTC006	NTC005	NTC004	NTC003	NTC002	NTC001	NTC000	
TXALCR0 (SH7710、 SH7712)	TC031	TC030	TC029	TC028	TC027	TC026	TC025	TC024	
	TC023	TC022	TC021	TC020	TC019	TC018	TC017	TC016	
	TC015	TC014	TC013	TC012	TC011	TC010	TC009	TC008	
TXALCR (SH7713)	TC007	TC006	TC005	TC004	TC003	TC002	TC001	TC000	
RXNLCR0 (SH7710、 SH7712)	NRC031	NRC030	NRC029	NRC028	NRC027	NRC026	NRC025	NRC024	
	NRC023	NRC022	NRC021	NRC020	NRC019	NRC018	NRC017	NRC016	
	NRC015	NRC014	NRC013	NRC012	NRC011	NRC010	NRC009	NRC008	
RXNLCR (SH7713)	NRC007	NRC006	NRC005	NRC004	NRC003	NRC002	NRC001	NRC000	
RXALCR0 (SH7710、 SH7712)	RC031	RC030	RC029	RC028	RC027	RC026	RC025	RC024	
	RC023	RC022	RC021	RC020	RC019	RC018	RC017	RC016	
	RC015	RC014	RC013	RC012	RC011	RC010	RC009	RC008	
RXALCR (SH7713)	RC007	RC006	RC005	RC004	RC003	RC002	RC001	RC000	
FWNLCR0	NFC031	NFC030	NFC029	NFC028	NFC027	NFC026	NFC025	NFC024	EtherC (SH7710、 SH7712)
	NFC023	NFC022	NFC021	NFC020	NFC019	NFC018	NFC017	NFC016	
	NFC015	NFC014	NFC013	NFC012	NFC011	NFC010	NFC009	NFC008	
	NFC007	NFC006	NFC005	NFC004	NFC003	NFC002	NFC001	NFC000	
FWALCR0	FC031	FC030	FC029	FC028	FC027	FC026	FC025	FC024	
	FC023	FC022	FC021	FC020	FC019	FC018	FC017	FC016	
	FC015	FC014	FC013	FC012	FC011	FC010	FC009	FC008	
	FC007	FC006	FC005	FC004	FC003	FC002	FC001	FC000	
TXNLCR1	NTC131	NTC130	NTC129	NTC128	NTC127	NTC126	NTC125	NTC124	
	NTC123	NTC122	NTC121	NTC120	NTC119	NTC118	NTC117	NTC116	
	NTC115	NTC114	NTC113	NTC112	NTC111	NTC110	NTC109	NTC108	
	NTC107	NTC106	NTC105	NTC104	NTC103	NTC102	NTC101	NTC100	
TXALCR1	TC131	TC130	TC129	TC128	TC127	TC126	TC125	TC124	
	TC123	TC122	TC121	TC120	TC119	TC118	TC117	TC116	
	TC115	TC114	TC113	TC112	TC111	TC110	TC109	TC108	
	TC107	TC106	TC105	TC104	TC103	TC102	TC101	TC100	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
RXNLCR1	NRC131	NRC130	NRC129	NRC128	NRC127	NRC126	NRC125	NRC124	EtherC  (SH7710、 SH7712)
	NRC123	NRC122	NRC121	NRC120	NRC119	NRC118	NRC117	NRC116	
	NRC115	NRC114	NRC113	NRC112	NRC111	NRC110	NRC109	NRC108	
	NRC107	NRC106	NRC105	NRC104	NRC103	NRC102	NRC101	NRC100	
RXALCR1	RC131	RC130	RC129	RC128	RC127	RC126	RC125	RC124	
	RC123	RC122	RC121	RC120	RC119	RC118	RC117	RC116	
	RC115	RC114	RC113	RC112	RC111	RC110	RC109	RC108	
	RC107	RC106	RC105	RC104	RC103	RC102	RC101	RC100	
FWNLCR1	NFC131	NFC130	NFC129	NFC128	NFC127	NFC126	NFC125	NFC124	
	NFC123	NFC122	NFC121	NFC120	NFC119	NFC118	NFC117	NFC116	
	NFC115	NFC114	NFC113	NFC112	NFC111	NFC110	NFC109	NFC108	
	NFC107	NFC106	NFC105	NFC104	NFC103	NFC102	NFC101	NFC100	
FWALCR1	FC131	FC130	FC129	FC128	FC127	FC126	FC125	FC124	
	FC123	FC122	FC121	FC120	FC119	FC118	FC117	FC116	
	FC115	FC114	FC113	FC112	FC111	FC110	FC109	FC108	
	FC107	FC106	FC105	FC104	FC103	FC102	FC101	FC100	
EDMRn									E-DMAC
(n = 0, 1)									
(SH7710、 SH7712)									
EDMR			DL1	DL0				SWR	
(SH7713)									
EDTRRn									
(n = 0, 1)									
(SH7710、 SH7712)									
EDTRR								TR	
(SH7713)									
EDRRRn									
(n = 0, 1)									
(SH7710、 SH7712)									
EDRRR								RR	
(SH7713)									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TDLAR <sub>n</sub> (n = 0, 1) (SH7710、 SH7712)	TDLA31	TDLA30	TDLA29	TDLA28	TDLA27	TDLA26	TDLA25	TDLA24	E-DMAC
	TDLA23	TDLA22	TDLA21	TDLA20	TDLA19	TDLA18	TDLA17	TDLA16	
	TDLA15	TDLA14	TDLA13	TDLA12	TDLA11	TDLA10	TDLA9	TDLA8	
TDLAR (SH7713)	TDLA7	TDLA6	TDLA5	TDLA4	TDLA3	TDLA2	TDLA1	TDLA0	
RDLAR <sub>n</sub> (n = 0, 1) (SH7710、 SH7712)	RDLA31	RDLA30	RDLA29	RDLA28	RDLA27	RDLA26	RDLA25	RDLA24	
	RDLA23	RDLA22	RDLA21	RDLA20	RDLA19	RDLA18	RDLA17	RDLA16	
	RDLA15	RDLA14	RDLA13	RDLA12	RDLA11	RDLA10	RDLA9	RDLA8	
RDLAR (SH7713)	RDLA7	RDLA6	RDLA5	RDLA4	RDLA3	RDLA2	RDLA1	RDLA0	
EESR <sub>n</sub> (n = 0, 1) (SH7710、 SH7712)	TWB					TABT	RABT	RFCOF	
	ADE	ECI	TC	TDE	TFUF	FR	RDE	RFOF	
					CND	DLC	CD	TRO	
EESR (SH7713)	RMAF		RRF		RTLF	RTSF	PRE	CERF	
EESIPR <sub>n</sub> (n = 0, 1) (SH7710、 SH7712)	TWBIP					TABTIP	RABTIP	RFCOFIP	
	ADEIP	ECIIP	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP	
					CNDIP	DLCIP	CDIP	TROIP	
EESIPR (SH7713)	RMAFIP		RRFIP		RTLFIIP	RTSFIP	PREIP	CERFIP	
TRSCER <sub>n</sub> (n = 0, 1) (SH7710、 SH7712)									
TRSCER (SH7713)	RMAFCE								
RMFCR <sub>n</sub> (n = 0, 1) (SH7710、 SH7712)	MFC15	MFC14	MFC13	MFC12	MFC11	MFC10	MFC9	MFC8	
RMFCR (SH7713)	MFC7	MFC6	MFC5	MFC4	MFC3	MFC2	MFC1	MFC0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TFTRn									E-DMAC
(n = 0, 1)									
(SH7710、 SH7712)						TFT10	TFT9	TFT8	
TFTR	TFT7	TFT6	TFT5	TFT4	TFT3	TFT2	TFT1	TFT0	
(SH7713)									
FDRn									
(n = 0, 1)									
(SH7710、 SH7712)						TFD2	TFD1	TFD0	
FDR						RFD2	RFD1	RFD0	
(SH7713)									
RMCRn									
(n = 0, 1)									
(SH7710、 SH7712)									
RMCR								RNC	
(SH7713)									
EDOCRn									
(n = 0, 1)									
(SH7710、 SH7712)									
EDOCR						FEC	AEC		
(SH7713)									
RBWARn	RBWA31	RBWA30	RBWA29	RBWA28	RBWA27	RBWA26	RBWA25	RBWA24	
(n = 0, 1)									
(SH7710、 SH7712)	RBWA23	RBWA22	RBWA21	RBWA20	RBWA19	RBWA18	RBWA17	RBWA16	
	RBWA15	RBWA14	RBWA13	RBWA12	RBWA11	RBWA10	RBWA9	RBWA8	
RBWAR	RBWA7	RBWA6	RBWA5	RBWA4	RBWA3	RBWA2	RBWA1	RBWA0	
(SH7713)									
RDFAFn	RDFA31	RDFA30	RDFA29	RDFA28	RDFA27	RDFA26	RDFA25	RDFA24	
(n = 0, 1)									
(SH7710、 SH7712)	RDFA23	RDFA22	RDFA21	RDFA20	RDFA19	RDFA18	RDFA17	RDFA16	
	RDFA15	RDFA14	RDFA13	RDFA12	RDFA11	RDFA10	RDFA9	RDFA8	
RDFAF	RDFA7	RDFA6	RDFA5	RDFA4	RDFA3	RDFA2	RDFA1	RDFA0	
(SH7713)									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TBRARn (n = 0, 1) (SH7710、 SH7712)	TBRA31	TBRA30	TBRA29	TBRA28	TBRA27	TBRA26	TBRA25	TBRA24	E-DMAC
TBRAR (SH7713)	TBRA7	TBRA6	TBRA5	TBRA4	TBRA3	TBRA2	TBRA1	TBRA0	
TDFARn (n = 0, 1) (SH7710、 SH7712)	TDFA31	TDFA30	TDFA29	TDFA28	TDFA27	TDFA26	TDFA25	TDFA24	
TDFAR (SH7713)	TDFA7	TDFA6	TDFA5	TDFA4	TDFA3	TDFA2	TDFA1	TDFA0	
FCFTRn (n = 0, 1) (SH7710、 SH7712)						RFF2	RFF1	RFF0	
FCFTR (SH7713)						RFD2	RFD1	RFD0	
TRIMDn (n = 0, 1) (SH7710、 SH7712)									
TRIMD (SH7713)								TIS	
PACR	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0	PA4MD1	PA4MD0	PFC
	PA3MD1	PA3MD0	PA2MD1	PA2MD0	PA1MD1	PA1MD0	PA0MD1	PA0MD0	
PBCR	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0	
	PB3MD1	PB3MD0	PB2MD1	PB2MD0	PB1MD1	PB1MD0	PB0MD1	PB0MD0	
PCCR	PC7MD1	PC7MD0	PC6MD1	PC6MD0	PC5MD1	PC5MD0	PC4MD1	PC4MD0	
	PC3MD1	PC3MD0	PC2MD1	PC2MD0	PC1MD1	PC1MD0	PC0MD1	PC0MD0	
PETCR	PET3MD		PET2MD		PET1MD		PET0MD		
PADR	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT	I/O
PBDR	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT	ポート
PCDR	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SDIR	TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	H-UDI
SDID/SDIDH	DID31	DID30	DID29	DID28	DID27	DID26	DID25	DID24	
	DID23	DID22	DID21	DID20	DID19	DID18	DID17	DID16	
SDIDL	DID15	DID14	DID13	DID12	DID11	DID10	DID9	DID8	
	DID7	DID6	DID5	DID4	DID3	DID2	DID1	DID0	

- 【注】 \*1 CS0WCR の 1 段目は通常空間 / バイト選択付き SRAM、2 段目はバースト ROM (クロック非同期)、3 段目はバースト ROM (クロック同期) にそれぞれ対応するビット名を示します。
- \*2 CS2WCR、CS3WCR の 1 段目は通常空間 / バイト選択付き SRAM、2 段目は SDRAM にそれぞれ対応するビット名を示します。
- \*3 CS4WCR の 1 段目は通常空間 / バイト選択付 SRAM、2 段目はバースト ROM (クロック非同期) にそれぞれ対応するビット名を示します。
- \*4 CS5AWCR、CS6AWCR は通常空間 / バイト選択付 SRAM に対応するビット名を示します。
- \*5 CS5BWCR、CS6BWCR の 1 段目は通常空間 / バイト選択付 SRAM、2 段目は PCMCIA にそれぞれ対応するビット名を示します。



## 24.3 各動作モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
INTEVT	初期化	初期化	保持		保持	例外処理
INTEVT2	初期化	初期化	保持		保持	
TRA	初期化	初期化	保持		保持	
EXPEVT	初期化	初期化	保持		保持	
TEA	初期化	初期化	保持		保持	
MMUCR	初期化	初期化	保持	保持	保持	
PTEH	初期化	初期化	保持	保持	保持	
PTEL	初期化	初期化	保持	保持	保持	
TTB	初期化	初期化	保持	保持	保持	
CCR1	初期化	初期化	保持	保持	保持	キャッシュ
CCR2	初期化	初期化	保持	保持	保持	
CCR3	初期化	初期化	保持	保持	保持	
IPRA	初期化	初期化	保持		保持	INTC
IPRB	初期化	初期化	保持		保持	
IPRC	初期化	初期化	保持		保持	
IPRD	初期化	初期化	保持		保持	
IPRE	初期化	初期化	保持		保持	
IPRF	初期化	初期化	保持		保持	
IPRG	初期化	初期化	保持		保持	
IPRH	初期化	初期化	保持		保持	
IPRI	初期化	初期化	保持		保持	
ICR0	初期化	初期化	保持		保持	
ICR1	初期化	初期化	保持		保持	
IRR0	初期化	初期化	保持		保持	
IRR1	初期化	初期化	保持		保持	
IRR2	初期化	初期化	保持		保持	
IRR3	初期化	初期化	保持		保持	
IRR4	初期化	初期化	保持		保持	
IRR5	初期化	初期化	保持*2		保持	
IRR7	初期化	初期化	保持		保持	
IRR8	初期化	初期化	保持		保持	
BARA	初期化	初期化	保持	保持	保持	UBC
BAMRA	初期化	初期化	保持	保持	保持	

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
BBRA	初期化	初期化	保持	保持	保持	UBC
BARB	初期化	初期化	保持	保持	保持	
BAMRB	初期化	初期化	保持	保持	保持	
BBRB	初期化	初期化	保持	保持	保持	
BDRB	初期化	初期化	保持	保持	保持	
BDMRB	初期化	初期化	保持	保持	保持	
BRCR	初期化	初期化	保持	保持	保持	
BETR	初期化	初期化	保持	保持	保持	
BRSR	初期化	初期化	保持	保持	保持	
BRDR	初期化	初期化	保持	保持	保持	
BASRA	初期化	初期化	保持	保持	保持	
BASRB	初期化	初期化	保持	保持	保持	
STBCR	初期化	保持	保持		保持	低消費電力
STBCR2	初期化	保持	保持		保持	
STBCR3	初期化	保持	保持		保持	
FRQCR	初期化	保持	保持		保持	CPG
WTCNT	初期化	初期化	保持		保持	
WTCSR	初期化	初期化	保持		保持	
CMNCR	初期化	保持	保持		保持	BSC
CS0BCR	初期化	保持	保持		保持	
CS2BCR	初期化	保持	保持		保持	
CS3BCR	初期化	保持	保持		保持	
CS4BCR	初期化	保持	保持		保持	
CS5ABCR	初期化	保持	保持		保持	
CS5BBCR	初期化	保持	保持		保持	
CS6ABCR	初期化	保持	保持		保持	
CS6BBCR	初期化	保持	保持		保持	
CS0WCR	初期化	保持	保持		保持	
CS2WCR	初期化	保持	保持		保持	
CS3WCR	初期化	保持	保持		保持	
CS4WCR	初期化	保持	保持		保持	
CS5AWCR	初期化	保持	保持		保持	
CS5BWCR	初期化	保持	保持		保持	
CS6AWCR	初期化	保持	保持		保持	
CS6BWCR	初期化	保持	保持		保持	
SDCR	初期化	保持	保持		保持	

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
RTCSR	初期化	保持	保持		保持	BSC	
RTCNT	初期化	保持	保持		保持		
RTCOR	初期化	保持	保持		保持		
SAR_n (n=0~5)	初期化	初期化	保持	保持	保持	DMAC	
DAR_n (n=0~5)	初期化	初期化	保持	保持	保持		
DMATCR_n (n=0~5)	初期化	初期化	保持	保持	保持		
CHCR_n (n=0~5)	初期化	初期化	保持	保持	保持		
DMAOR	初期化	初期化	保持	保持	保持		
DMARS0	初期化	初期化	保持	保持	保持		
DMARS1	初期化	初期化	保持	保持	保持		
DMARS2	初期化	初期化	保持	保持	保持		
TSTR	初期化	初期化	初期化*3	初期化	保持		TMU
TCOR_n (n=0~2)	初期化	初期化	保持	保持	保持		
TCNT_n (n=0~2)	初期化	初期化	保持	保持	保持		
TCR_n (n=0~2)	初期化	初期化	保持	保持	保持		
R64CNT	保持	保持	保持	保持	保持	RTC	
RSECCNT	保持	保持	保持	保持	保持		
RMINCNT	保持	保持	保持	保持	保持		
RHRCNT	保持	保持	保持	保持	保持		
RWKCNT	保持	保持	保持	保持	保持		
RDAYCNT	保持	保持	保持	保持	保持		
RMONCNT	保持	保持	保持	保持	保持		
RYRCNT	保持	保持	保持	保持	保持		
RSECAR	保持*4	保持	保持	保持	保持		
RMINAR	保持*4	保持	保持	保持	保持		
RHRAR	保持*4	保持	保持	保持	保持		
RWKAR	保持*4	保持	保持	保持	保持		
RDAYAR	保持*4	保持	保持	保持	保持		
RMONAR	保持*4	保持	保持	保持	保持		
RYRAR	保持	保持	保持	保持	保持		

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
RCR1	初期化	初期化	保持	保持	保持	RTC	
RCR2	初期化	初期化*5	保持	保持	保持		
RCR3	初期化	保持	保持	保持	保持		
SCSMR_n (n=0、1)	初期化	初期化	保持	保持	保持	SCIF	
SCBRR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SCSCR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SCFTDR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SCFSR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SCFRDR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SCFCR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SCFDR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SCLSR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SIMDR_n (n=0、1)	初期化	初期化	保持	保持	保持		SIOF
SISCR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SITDAR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SIRDAR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SICDAR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SICTR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SIFCTR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SISTR_n (n=0、1)	初期化	初期化	保持	保持	保持		
SIIER_n (n=0、1)	初期化	初期化	保持	保持	保持		

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
SITDR_n (n=0、1)	初期化	初期化	保持	保持	保持	SIOF
SIRDR_n (n=0、1)	初期化	初期化	保持	保持	保持	
SITCR_n (n=0、1)	初期化	初期化	保持	保持	保持	
SIRCR_n (n=0、1)	初期化	初期化	保持	保持	保持	
ECMRn (n=0、1) (SH7710、SH7712) ECMR (SH7713)	初期化	初期化	保持		保持	EtherC
ECSRn (n=0、1) (SH7710、SH7712) ECSR (SH7713)	初期化	初期化	保持		保持	
ECSIPRn (n=0、1) (SH7710、SH7712) ECSIPR (SH7713)	初期化	初期化	保持		保持	
PIRn (n=0、1) (SH7710、SH7712) PIR (SH7713)	初期化	初期化	保持		保持	
MAHRn (n=0、1) (SH7710、SH7712) MAHR (SH7713)	初期化	初期化	保持		保持	
MALRn (n=0、1) (SH7710、SH7712) MALR (SH7713)	初期化	初期化	保持		保持	

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
RFLRn (n=0、1) (SH7710、SH7712) RFLR (SH7713)	初期化	初期化	保持		保持	EtherC
PSRn (n=0、1) (SH7710、SH7712) PSR (SH7713)	初期化	初期化	保持		保持	
TROCRn (n=0、1) (SH7710、SH7712) TROCR (SH7713)	初期化	初期化	保持		保持	
CDCRn (n=0、1) (SH7710、SH7712) CDCR (SH7713)	初期化	初期化	保持		保持	
LCCRn (n=0、1) (SH7710、SH7712) LCCR (SH7713)	初期化	初期化	保持		保持	
CNDCRn (n=0、1) (SH7710、SH7712) CNDCR (SH7713)	初期化	初期化	保持		保持	
CEFCRn (n=0、1) (SH7710、SH7712) CEFCR (SH7713)	初期化	初期化	保持		保持	
FRECRn (n=0、1) (SH7710、SH7712) FRECR (SH7713)	初期化	初期化	保持		保持	

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TSFRCRn (n=0、1) (SH7710、SH7712) TSFRCR (SH7713)	初期化	初期化	保持		保持	EtherC
TLFRCRn (n=0、1) (SH7710、SH7712) TLFRCR (SH7713)	初期化	初期化	保持		保持	
RFCRn (n=0、1) (SH7710、SH7712) RFCR (SH7713)	初期化	初期化	保持		保持	
MAFCRn (n=0、1) (SH7710、SH7712) MAFCR (SH7713)	初期化	初期化	保持		保持	
IPGRn (n=0、1) (SH7710、SH7712) IPGR (SH7713)	初期化	初期化	保持		保持	
ARSTR	初期化	初期化	保持		保持	
TSU_CTRST	初期化	初期化	保持		保持	
TSU_FWEN0	初期化	初期化	保持		保持	EtherC (SH7710、 SH7712)
TSU_FWEN1	初期化	初期化	保持		保持	
TSU_FCM	初期化	初期化	保持		保持	
TSU_BSYSL0	初期化	初期化	保持		保持	
TSU_BSYSL1	初期化	初期化	保持		保持	
TSU_PRISL0	初期化	初期化	保持		保持	
TSU_PRISL1	初期化	初期化	保持		保持	
TSU_FWSL0	初期化	初期化	保持		保持	
TSU_FWSL1	初期化	初期化	保持		保持	
TSU_FWSLC	初期化	初期化	保持		保持	

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TSU_QTAGM0	初期化	初期化	保持		保持	EtherC (SH7710、 SH7712)
TSU_QTAGM1	初期化	初期化	保持		保持	
TSU_ADQT0	初期化	初期化	保持		保持	
TSU_ADQT1	初期化	初期化	保持		保持	
TSU_FWSR	初期化	初期化	保持		保持	
TSU_FWINMK	初期化	初期化	保持		保持	
TSU_ADSBSY	初期化	初期化	保持		保持	
TSU_TEN	初期化	初期化	保持		保持	
TSU_POST1	初期化	初期化	保持		保持	
TSU_POST2	初期化	初期化	保持		保持	
TSU_POST3	初期化	初期化	保持		保持	
TSU_POST4	初期化	初期化	保持		保持	
TXNLCR0 (SH7710、SH7712)	初期化	初期化	保持		保持	
TXNLCR (SH7713)						
TXALCR0 (SH7710、SH7712)	初期化	初期化	保持		保持	
TXALCR (SH7713)						
RXNLCR0 (SH7710、SH7712)	初期化	初期化	保持		保持	
RXNLCR (SH7713)						
RXALCR0 (SH7710、SH7712)	初期化	初期化	保持		保持	
RXALCR (SH7713)						
FWNLCR0	初期化	初期化	保持		保持	EtherC (SH7710、 SH7712)
FWALCR0	初期化	初期化	保持		保持	
TXNLCR1	初期化	初期化	保持		保持	
TXALCR1	初期化	初期化	保持		保持	
RXNLCR1	初期化	初期化	保持		保持	
RXALCR1	初期化	初期化	保持		保持	
FWNLCR1	初期化	初期化	保持		保持	
FWALCR1	初期化	初期化	保持		保持	



レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TSU_ADRHn (n=0 ~ 31)	初期化	初期化	保持		保持	EtherC (SH7710、 SH7712)
TSU_ADRLn (n=0 ~ 31)	初期化	初期化	保持		保持	
EDMRn (n=0、1) (SH7710、SH7712)	初期化	初期化	保持		保持	E-DMAC
EDMR (SH7713)						
EDTRRn (n=0、1) (SH7710、SH7712)	初期化	初期化	保持		保持	
EDTRR (SH7713)						
EDRRRn (n=0、1) (SH7710、SH7712)	初期化	初期化	保持		保持	
EDRRR (SH7713)						
TDLARn (n=0、1) (SH7710、SH7712)	初期化	初期化	保持		保持	
TDLAR (SH7713)						
RDLARn (n=0、1) (SH7710、SH7712)	初期化	初期化	保持		保持	
RDLAR (SH7713)						
EESRn (n=0、1) (SH7710、SH7712)	初期化	初期化	保持		保持	
EESR (SH7713)						
EESIPRn (n=0、1) (SH7710、SH7712)	初期化	初期化	保持		保持	
EESIPR (SH7713)						

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TRSCERn (n=0、1) (SH7710、SH7712) TRSCER (SH7713)	初期化	初期化	保持		保持	E-DMAC
RMFCRn (n=0、1) (SH7710、SH7712) RMFCR (SH7713)	初期化	初期化	保持		保持	
TFTRn (n=0、1) (SH7710、SH7712) TFTR (SH7713)	初期化	初期化	保持		保持	
FDRn (n=0、1) (SH7710、SH7712) FDR (SH7713)	初期化	初期化	保持		保持	
RMCRn (n=0、1) (SH7710、SH7712) RMCR (SH7713)	初期化	初期化	保持		保持	
EDOCRn (n=0、1) (SH7710、SH7712) EDOCR (SH7713)	初期化	初期化	保持		保持	
RBWARn (n=0、1) (SH7710、SH7712) RBWAR (SH7713)	初期化	初期化	保持		保持	
RDFARn (n=0、1) (SH7710、SH7712) RDFAR (SH7713)	初期化	初期化	保持		保持	

レジスタ略称	パワーオン リセット* <sup>1</sup>	マニュアル リセット* <sup>1</sup>	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TBRARn (n=0、1) (SH7710、SH7712) TBRAR (SH7713)	初期化	初期化	保持		保持	E-DMAC
TDFARn (n=0、1) (SH7710、SH7712) TDFAR (SH7713)	初期化	初期化	保持		保持	
FCFTRn (n=0、1) (SH7710、SH7712) FCFTR (SH7713)	初期化	初期化	保持		保持	
TRIMDn (n=0、1) (SH7710、SH7712) TRIMD (SH7713)	初期化	初期化	保持		保持	
PACR	初期化	保持	保持		保持	PFC
PBCR	初期化	保持	保持		保持	
PCCR	初期化	保持	保持		保持	
PETCR	初期化	保持	保持		保持	
PADR	初期化	保持	保持		保持	I/O ポート
PBDR	初期化	保持	保持		保持	
PCDR	初期化	保持	保持		保持	
SDIR	保持	保持	保持	保持	保持	H-UDI
SDID/SDIDH	保持	保持	保持	保持	保持	
SDIDL	保持	保持	保持	保持	保持	

【注】 \*1 レジスタの初期値は、各モジュールの章を参照してください。また、初期値が不定のレジスタについても値が保持されないため、初期化と表現しています。

\*2 スタンバイモード時に初期化されるビットがあります。詳細は「第8章 割り込みコントローラ (INTC)」を参照してください。

\*3 PLL1 の通倍率を変更した場合、初期化されます。

\*4 パワーオンリセット時に初期化されるビットがあります。詳細は「第15章 リアルタイムクロック (RTC)」を参照してください。

\*5 マニュアルリセット時に初期化されるビットがあります。詳細は「第15章 リアルタイムクロック (RTC)」を参照してください。



## 25. 電気的特性

### 25.1 絶対最大定格

絶対最大定格を表 25.1 に示します。

表 25.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (I/O)	$V_{ccQ}$ $V_{ccQ-RTC}$	- 0.3 ~ 4.6	V
電源電圧 (内部)	$V_{cc}$ $V_{cc-PLL1}$ $V_{cc-PLL2}$	- 0.3 ~ 2.1	V
入力電圧	$V_{in}$	- 0.3 ~ $V_{ccQ} + 0.3$	V
動作温度	$T_{opr}$	- 20 ~ 75	
保存温度	$T_{stg}$	- 55 ~ 125	

#### 【使用上の注意】

- 絶対最大定格を越えて LSI を使用した場合、LSI の永久破壊となることがあります。
- 1.5V 系電源 ( $V_{cc}$ 、 $V_{cc-PLL1}$ 、 $V_{cc-PLL2}$ ) と 3.3V 系電源 ( $V_{ccQ}$ 、 $V_{ccQ-RTC}$ ) の投入順序について
  - 電源投入順は、3.3V 系電源と 1.5V 系電源を同時刻投入、または 3.3V 系を先に投入してください。  
3.3V 系電源を先に投入した後、1ms 以内に 1.5V 系電源を投入してください。この間隔をできるだけ短くすることを推奨します。
  - すべての電源に電圧が印加され、RESETP 端子に Low レベルが入力されるまでの間、内部回路の状態は不確定なので、各端子の状態も不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行なってください。
  - 電源投入時、1.5V 系電源の電圧が 3.3V 系電源より高くないようにしてください。
- 電源の切断順序について
  - 電源投入時と逆に 1.5V 系電源を先に切断してください。その後、1ms 以内に 3.3V 系電源を切ってください。この間隔をできるだけ短くすることを推奨します。
  - 1.5V 系電源だけを切断した状態では、端子状態は不定となります。この状態によってシステムが誤動作を起こさないようにシステム設計を行なってください。
  - 電源切断時、1.5V 系電源の電圧が 3.3V 系電源より高くないようにしてください。

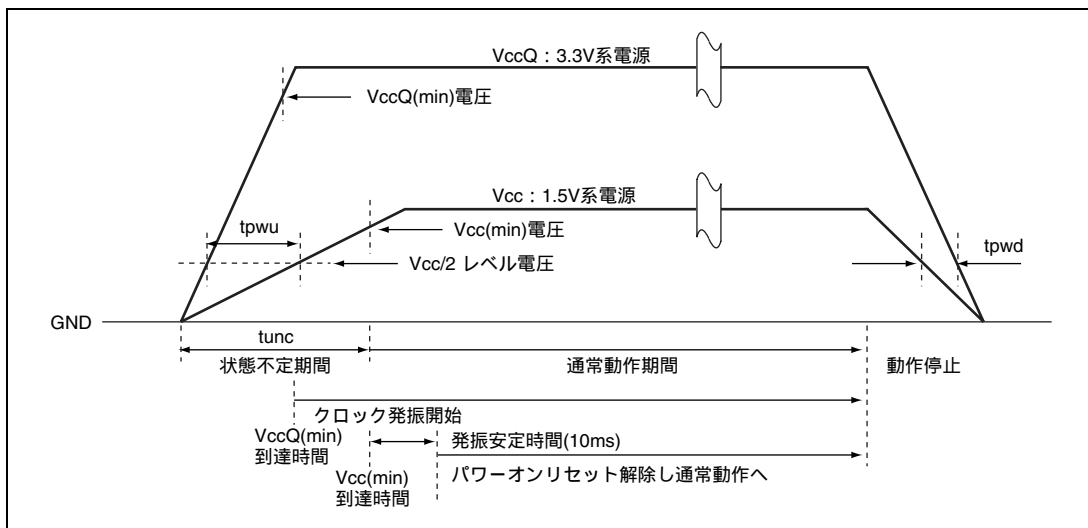


図 25.1 電源投入シーケンス

## 電源投入 / 切断時間推奨値

項目	記号	最大許容値	単位
$V_{ccQ} - V_{cc}$ 電源投入時間差	tpwu	1	ms
$V_{ccQ} - V_{cc}$ 電源切断時間差	tpwd	1	ms
状態不定時間	tunc	10	ms

【注】 上記は推奨値であり、厳密な設定を要求するものではありません。

状態不定時間は各々の電源立ち上がりが過渡状態にある時間を意味します。

端子状態は  $V_{ccQ}(\min)$  到達時間で確定しますが、パワーオンリセット ( $\overline{\text{RESETP}}$ ) が正常に受け付けられるのは  $V_{cc}(\min)$  到達時間以降でかつクロック発振安定時間以後となります。

状態不定時間は 10ms 以下となるようにしてください。

## 25.2 DC 特性

DC 特性を表 25.2、表 25.3 に示します。

表 25.2 DC 特性 (1)

条件 :  $T_a = -20 \sim 75$

項目	記号	Min.	Typ.	Max.	単位	測定条件	
電源電圧	$V_{ccQ}$ 、 $V_{ccQ-RTC}$	3.0	3.3	3.6	V		
	$V_{cc}$ 、 $V_{cc-PLL1}$ 、 $V_{cc-PLL2}$	1.4	1.5	1.6	V		
消費電流	通常動作時	$I_{cc}$	-	250	330	mA	$V_{cc} = 1.5V$ $f = 200MHz$
		$I_{ccQ}$	-	40	70	mA	$B = 66.67MHz$
	スリープ モード時*	$I_{cc}$	-	110	160	mA	$V_{ccQ} = 3.3V$
		$I_{ccQ}$	-	4	7	mA	$B = 66.67MHz$
	スタンバイ モード時	$I_{cc}$	-	1500	2600	$\mu A$	$T_a = 25$ (RTC on) $V_{ccQ} = 3.3V$ $V_{cc} = 1.5V$
		$I_{ccQ}$	-	75	230	$\mu A$	
		$I_{cc}$	-	1500	2600	$\mu A$	$T_a = 25$ (RTC off) $V_{ccQ} = 3.3V$ $V_{cc} = 1.5V$
		$I_{ccQ}$	-	75	230	$\mu A$	
入力リーク電流	全入力端子	$I_{in}$	-	-	1.0	$\mu A$	$V_{in} =$ $0.5 - V_{ccQ} - 0.5V$
スリープステート リーク電流	入出力、 全出力端子 (オフ状態)	$I_{STI}$	-	-	1.0	$\mu A$	$V_{in} =$ $0.5 - V_{ccQ} - 0.5V$
ブルアップ抵抗	ポート端子	$R_{pull}$	20	60	180	k	
端子容量	全端子	C	-	-	20	pF	

【注】 \* リフレッシュサイクル以外の外部バスサイクルがないとき。

表 25.2 DC 特性 (2)

条件 : Ta = -20 ~ 75

項 目		記号	Min.	Typ.	Max.	単位	測定条件	
入力 High レベル電圧	RESETP、 RESETM、NMI、 IRQ5 ~ IRQ0、 MD5 ~ MD0、 ASEMD0、TRST、 EXTAL、CKIO	$V_{IH}$	$V_{CCQ} \times 0.9$	-	$V_{CCQ} + 0.3$	V		
	EXTAL2		-	-	-			水晶発振子を接続 しない場合は $V_{CCQ}$ に接続してくださ い (プルアップ)。
	その他の入力端子		2.0	-	$V_{CCQ} + 0.3$			
入力 Low レベル電圧	RESETP、 RESETM、NMI、 IRQ5 ~ IRQ0、 MD5 ~ MD0、 ASEMD0、TRST、 EXTAL、CKIO	$V_{IL}$	-0.3		$V_{CCQ} \times 0.1$	V		
	EXTAL2		-	-	-			水晶発振子を接続 しない場合は $V_{CCQ}$ に接続してくださ い (プルアップ)。
	その他の入力端子		-0.3		$V_{CCQ} \times 0.2$			
出力 High レベル電圧	全出力端子	$V_{OH}$	2.4	-	-	V	$V_{CCQ} = 3.0V$ 、 $I_{OH} = -2mA$	
出力 Low レベル電圧	全出力端子	$V_{OL}$	-	-	0.55	V	$V_{CCQ} = 3.0V$ 、 $I_{OL} = 2mA$	

- 【注】 1. RTC を使用しない場合も必ず、 $V_{CCQ}$ -RTC と  $V_{SSQ}$ -RTC との間に給電してください。
2. 消費電流値は、 $V_{IHmin} = V_{CCQ} - 0.5V$ 、 $V_{ILmax} = 0.5V$  の条件で、すべての出力端子を無負荷状態にした場合の値です。



表 25.3 出力許容電流値

条件 :  $V_{CCQ} = V_{CCQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{CC} = V_{CC-PLL1} = V_{CC-PLL2} = 1.4 \sim 1.6V$ 、  
 $V_{SSQ} = V_{SS} = V_{SSQ-RTC} = V_{SS-PLL1} = V_{SS-PLL2} = 0V$ 、 $T_a = -20 \sim 75$

項 目	記号	Min.	Typ.	Max.	単位
出力 Low レベル許容電流 (1 端子あたり)	$I_{OL}$	-	-	2.0	mA
出力 Low レベル許容電流 (総和)	$I_{OL}$	-	-	120	mA
出力 High レベル許容電流 (1 端子あたり)	$-I_{OH}$	-	-	2.0	mA
出力 High レベル許容電流 (総和)	$(-I_{OH})$	-	-	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 25.3 の値を越えないようにしてください。

## 25.3 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがない限り、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 25.4 最大動作周波数

条件 :  $V_{CCQ} = V_{CCQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{CC} = V_{CC-PLL1} = V_{CC-PLL2} = 1.4 \sim 1.6V$ 、  
 $V_{SSQ} = V_{SS} = V_{SSQ-RTC} = V_{SS-PLL1} = V_{SS-PLL2} = 0V$ 、 $T_a = -20 \sim 75$

項 目		記号	Min.	Typ.	Max.	単位	備考
動作周波数	CPU、キャッシュ (I )	f	33.34	-	200	MHz	
	外部バス (B )		33.34	-	66.67		
	周辺モジュール (P )		8.34	-	33.34		

## 25.3.1 クロックタイミング

表 25.5 クロックタイミング

条件 :  $V_{CCQ} = V_{CCQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{CC} = V_{CC-PLL1} = V_{CC-PLL2} = 1.4 \sim 1.6V$ 、 $V_{SSQ} = V_{SS} = V_{SSQ-RTC} = V_{SS-PLL1} = V_{SS-PLL2} = 0V$ 、 $T_a = -20 \sim 75$ 、外部バス最大動作周波数 : 66.67MHz

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	$f_{EX}$	10	66.67	MHz	25.2
EXTAL クロック入力サイクル時間	$t_{EXQyc}$	15	100	ns	
EXTAL クロック入力 Low レベルパルス幅	$t_{EXL}$	1.5	-		
EXTAL クロック入力 High レベルパルス幅	$t_{EXH}$	1.5	-		
EXTAL クロック入力立ち上がり時間	$t_{EXR}$	-	6		
EXTAL クロック入力立ち下がり時間	$t_{EXF}$	-	6		
CKIO クロック入力周波数	$f_{CKI}$	33.34	66.67	MHz	25.3
CKIO クロック入力サイクル時間	$t_{CKIyc}$	15	30	ns	
CKIO クロック入力 Low レベルパルス幅	$t_{CKIL}$	3	-		
CKIO クロック入力 High レベルパルス幅	$t_{CKIH}$	3	-		
CKIO クロック入力立ち上がり時間	$t_{CKIR}$	-	4		
CKIO クロック入力立ち下がり時間	$t_{CKIF}$	-	4		
CKIO クロック出力周波数	$f_{OP}$	33.34	66.67	MHz	25.4
CKIO クロック出力サイクル時間	$t_{Oyc}$	15	30	ns	
CKIO クロック出力 Low レベルパルス幅	$t_{CKOL}$	3	-		
CKIO クロック出力 High レベルパルス幅	$t_{CKOH}$	3	-		
CKIO クロック出力立ち上がり時間	$t_{CKOR}$	-	4		
CKIO クロック出力立ち下がり時間	$t_{CKOF}$	-	4		
CKIO2 クロック出力遅延時間	$t_{CK2D}$	-	2.5		
CKIO2 クロック出力立ち上がり時間	$t_{CK2OR}$	-	7		
CKIO2 クロック出力立ち下がり時間	$t_{CK2OF}$	-	7		
パワーオン発振安定時間	$t_{OSC1}$	10	-	ms	25.5
RESETP セットアップ時間	$t_{RESPS}$	20	-	ns	25.5
RESETP アサート時間	$t_{RESPW}$	20	-	$t_{cyc}$	25.5、25.6
RESETM アサート時間	$t_{RESMW}$	20	-	$t_{cyc}$	25.6
スタンバイ復帰発振安定時間 1	$t_{OSC2}$	10	-	ms	25.6
スタンバイ復帰発振安定時間 2	$t_{OSC3}$	10	-	ms	25.7
スタンバイ復帰発振安定時間 3	$t_{OSC4}$	11	-	ms	25.8
PLL 同期安定化時間 1	$t_{PLL1}$	100	-	$\mu s$	25.9、25.10
PLL 同期安定化時間 2	$t_{PLL2}$	100	-	$\mu s$	25.11
割り込み判定時間 (RTC 使用 & スタンバイモード時)	$t_{IRLSTB}$	100	-	$\mu s$	25.10

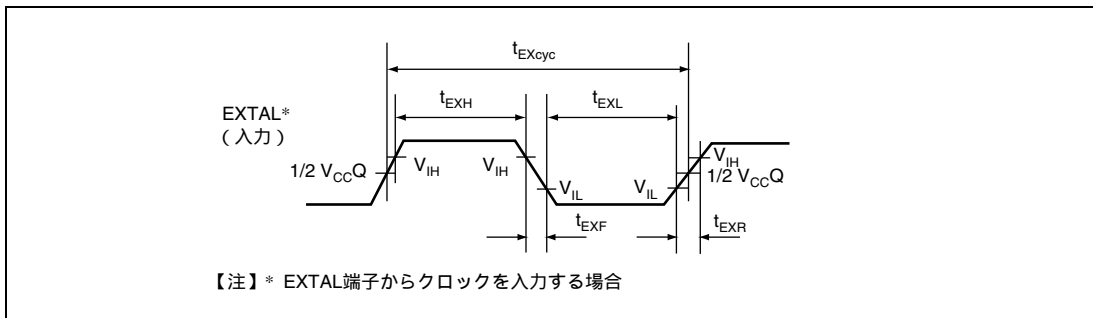


図 25.2 EXTAL クロック入力タイミング

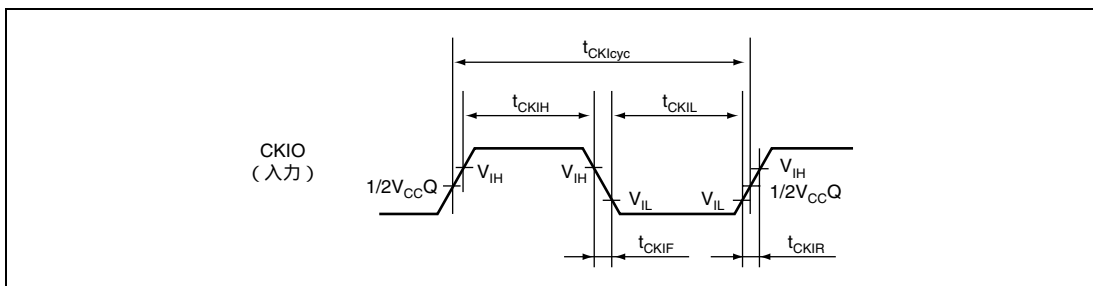


図 25.3 CKIO クロック入力タイミング

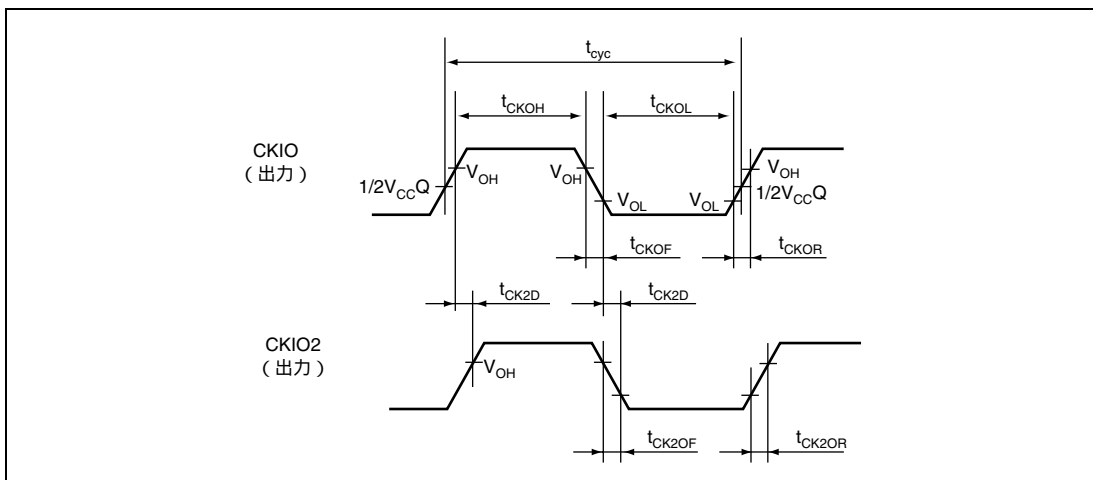


図 25.4 CKIO クロック出力タイミング

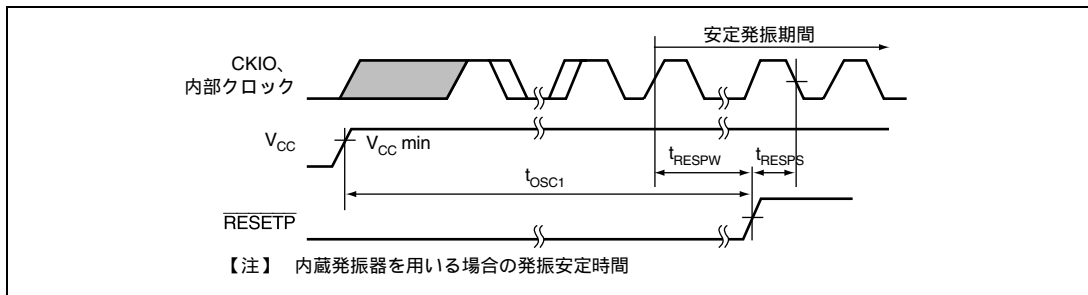


図 25.5 パワーオン発振安定時間

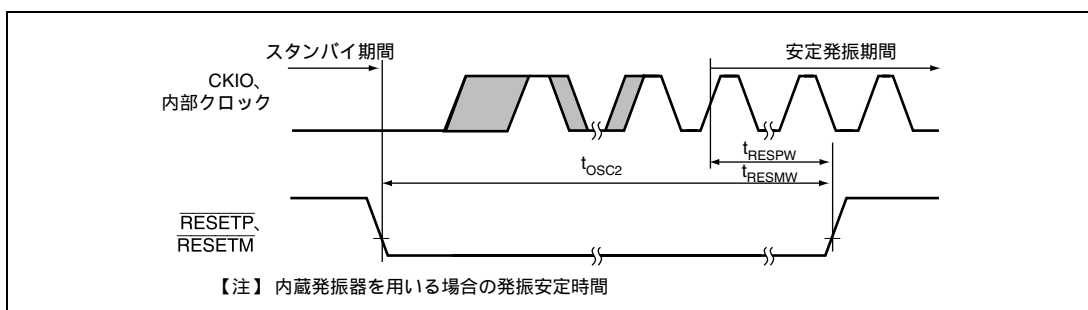


図 25.6 スタンバイ復帰時発振安定時間（リセットによる復帰）

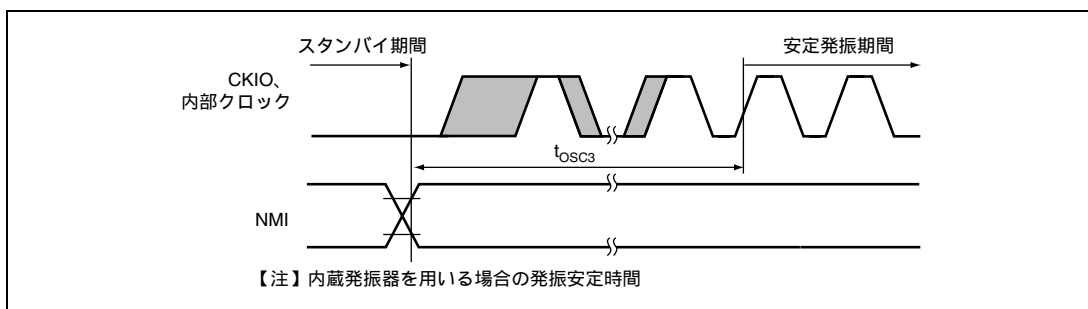


図 25.7 スタンバイ復帰時発振安定時間（NMI による復帰）

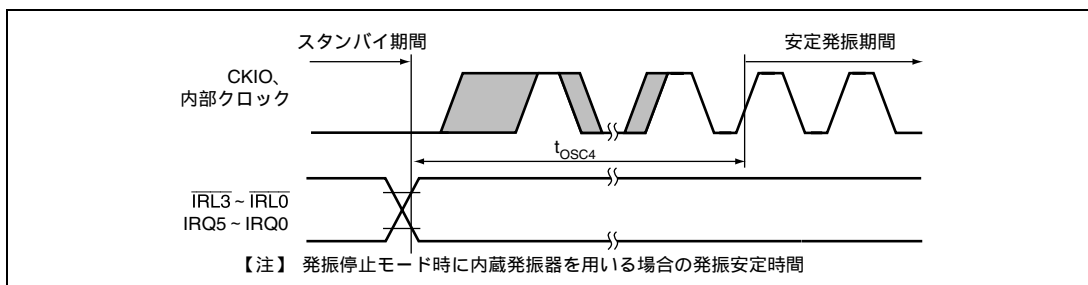


図 25.8 スタンバイ復帰時発振安定時間（IRQ5~IRQ0、IRL3~IRL0 による復帰）

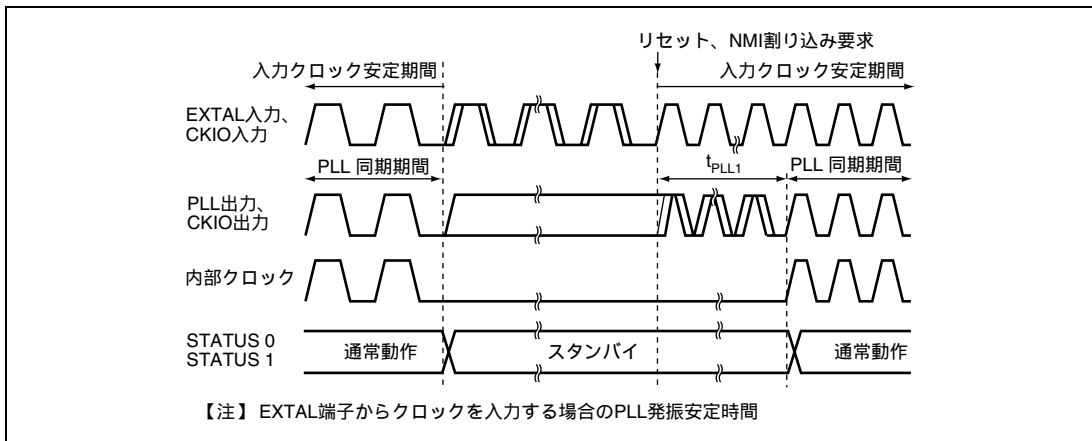


図 25.9 リセットまたはNMI 割り込みによる PLL 同期安定化時間

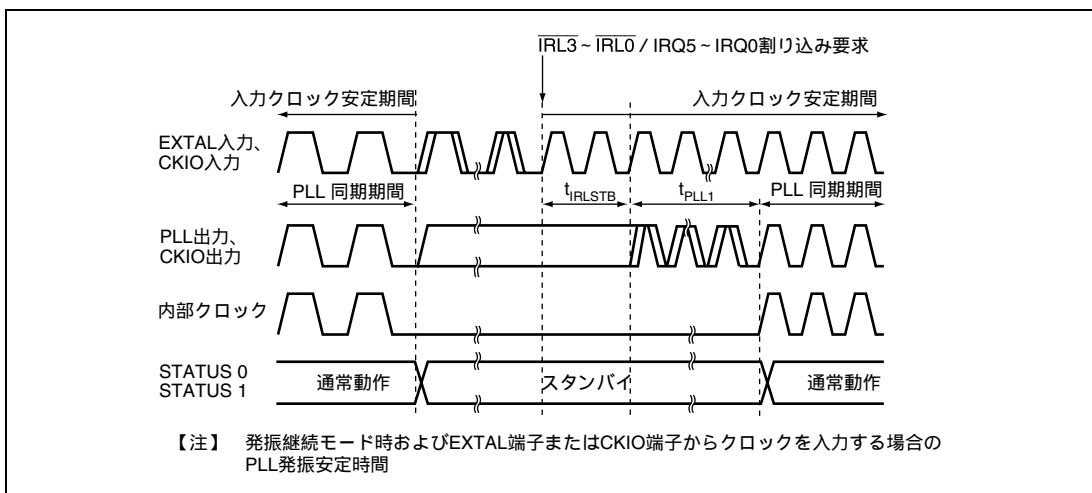


図 25.10 IRQ/IRL 割り込みによる PLL 同期安定化時間

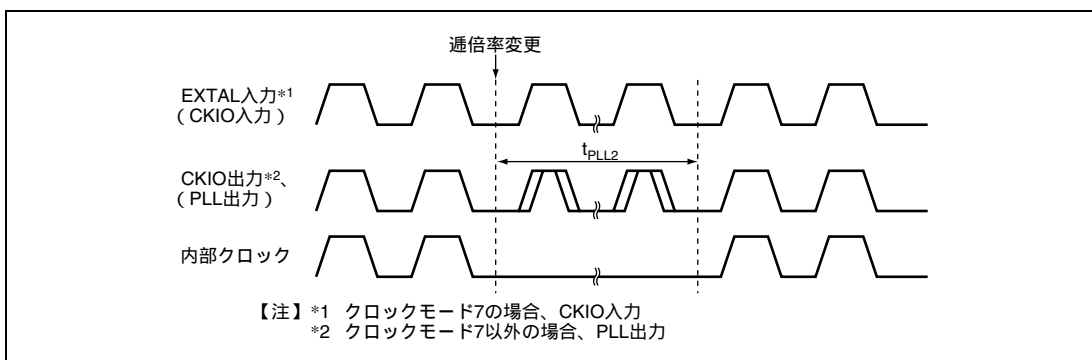


図 25.11 周波数通倍率変更時の PLL 同期安定化時間

## 25.3.2 制御信号タイミング

表 25.6 制御信号タイミング

条件 :  $V_{CCQ} = V_{CCQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{CC} = V_{CC-PLL1} = V_{CC-PLL2} = 1.4 \sim 1.6V$ 、 $V_{SSQ} = V_{SS} = V_{SSQ-RTC} = V_{SS-PLL1} = V_{SS-PLL2} = 0V$ 、 $T_a = -20 \sim 75$ 

項目	記号	66.67MHz*2		単位	参照図
		Min.	Max.		
RESETP パルス幅	$t_{RESPW}$	20*3	-	$t_{cyc}$	25.12
RESETP セットアップ時間*1	$t_{RESPS}$	20	-	ns	
RESETM パルス幅	$t_{RESMW}$	20*4	-	$t_{cyc}$	
RESETM セットアップ時間	$t_{RESMS}$	10	-	ns	25.14
BREQ セットアップ時間	$t_{BREQS}$	$1/2t_{cyc} + 10$	-		
BREQ ホールド時間	$t_{BREQH}$	$1/2t_{cyc} + 3$	-		
NMI セットアップ時間*1	$t_{NMIS}$	10	-		25.13
NMI ホールド時間	$t_{NMIH}$	3	-		
IRQ5 ~ IRQ0 セットアップ時間*1	$t_{IRQS}$	10	-		25.14
IRQ5 ~ IRQ0 ホールド時間	$t_{IRQH}$	3	-		
BACK 遅延時間	$t_{BACKD}$	-	$1/2t_{cyc} + 13$		25.14
STATUS1、STATUS0 遅延時間	$t_{STD}$	-	18		25.15
IRQOUT 遅延時間	$t_{IRQOTD}$	-	$1/2t_{cyc} + 12$		25.16
バスタライステート遅延時間 1	$t_{BOFF1}$	0	30		25.14
バスタライステート遅延時間 2	$t_{BOFF2}$	0	30		
バスバッファオンタイム 1	$t_{BON1}$	0	30		
バスバッファオンタイム 2	$t_{BON2}$	0	30		

【注】  $t_{cyc}$  は外部バスクロックサイクル (B クロックサイクル) を示します。

- \*1 RESETP、NMI および IRQ5 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。
- \*2 外部バスクロックの上限が 66.67MHz です。
- \*3 スタンバイモード時は、 $t_{RESPW} = t_{OSC2}$  (10ms) になります。スタンバイモードの水晶発振継続時またはクロック通信が変化したときは、 $t_{RESPW} = t_{PLL1}$  (100  $\mu$ s) になります。
- \*4 スタンバイモード時は、 $t_{RESMW} = t_{OSC2}$  (10ms) になります。スタンバイモードの水晶発振継続時またはクロック通信が変化したときは、STATUS0 と STATUS1 がリセット (HH) になるまで RESETM を Low レベルに保ってください。

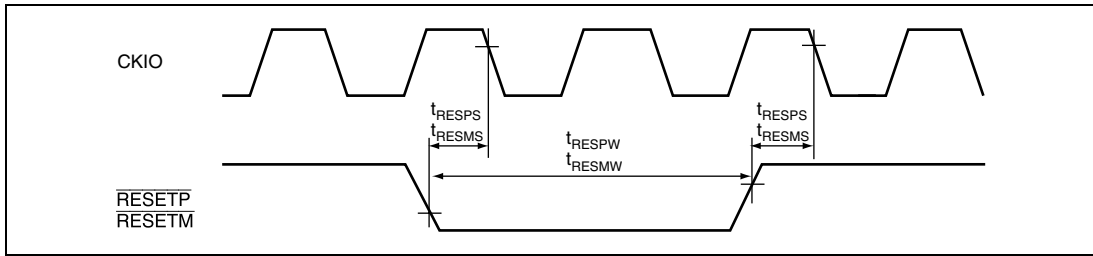


図 25.12 リセット入力タイミング

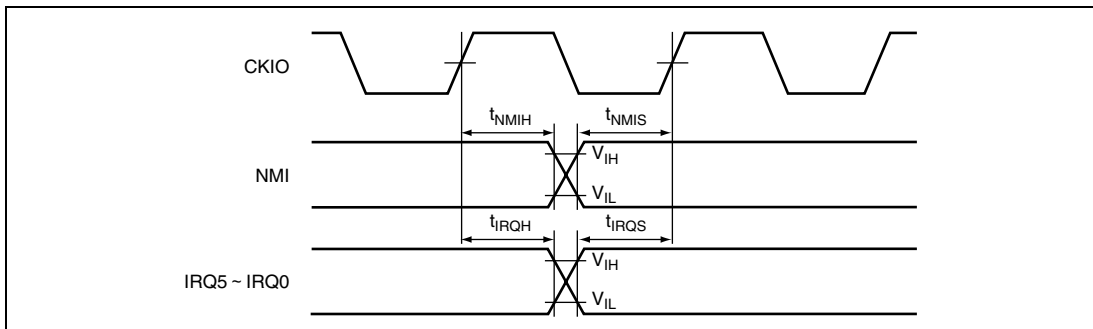


図 25.13 割り込み信号入力タイミング

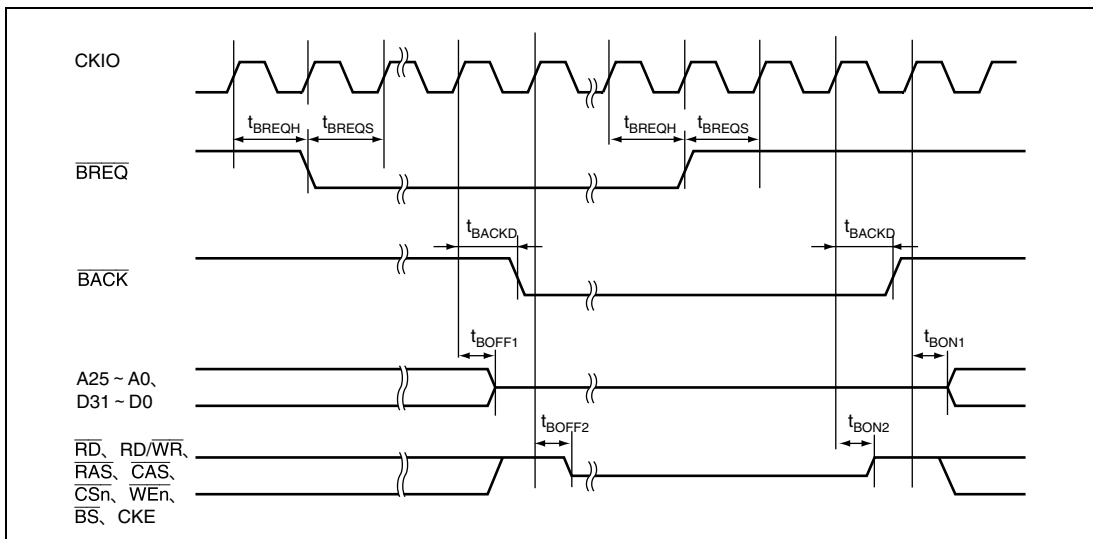


図 25.14 バス権解放タイミング

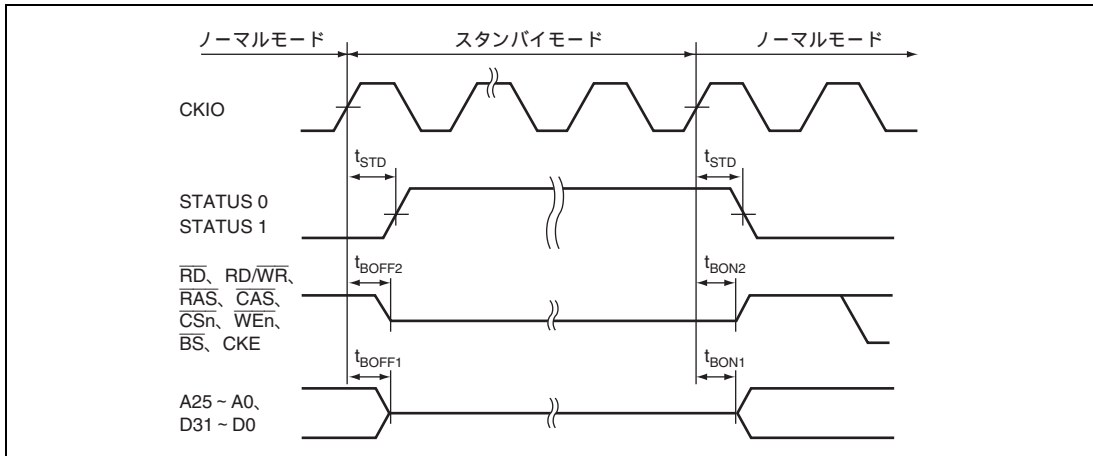


図 25.15 スタンバイ時の端子ドライブタイミング

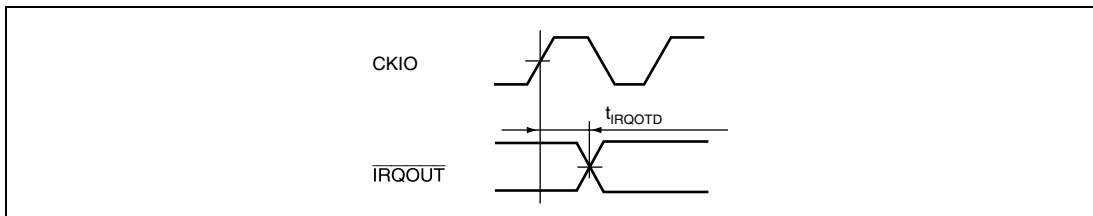


図 25.16  $\overline{IRQOUT}$  出力遅延時間



## 25.3.3 AC バスタイミング仕様

表 25.7 バスタイミング (1)

条件 :  $V_{CCQ} = V_{CCQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{CC} = V_{CC-PLL1} = V_{CC-PLL2} = 1.4 \sim 1.6V$ 、 $V_{SSQ} = V_{SS} = V_{SSQ-RTC} = V_{SS-PLL1} = V_{SS-PLL2} = 0V$ 、 $T_a = -20 \sim 75$ 、クロックモード 0/1/2/4/5/6/7

項目	記号	66.67MHz		単位	参照図
		Min.	Max.		
アドレス遅延時間 1	$t_{AD1}$	1	12	ns	25.17 ~ 25.42
アドレス遅延時間 2	$t_{AD2}$	-	$1/2t_{cyc} + 12$		25.21
アドレスセットアップ時間	$t_{AS}$	0	-		25.17 ~ 25.20
アドレスホールド時間	$t_{AH}$	0	-		
BS 遅延時間	$t_{BSD}$	-	10		25.17 ~ 25.35、25.39 ~ 25.42
CS 遅延時間 1	$t_{CSD1}$	1	10		25.17 ~ 25.42
リードライト遅延時間 1	$t_{RWD1}$	1	10		
リードストロブ時間	$t_{RSD}$	-	$1/2t_{cyc} + 10$		25.17 ~ 25.21、25.39、25.40
リードデータセットアップ時間 1	$t_{RDS1}$	$1/2t_{cyc} + 6$	-		25.17 ~ 25.20、25.39 ~ 25.42
リードデータセットアップ時間 2	$t_{RDS2}$	6	-		25.22 ~ 25.25、25.30 ~ 25.32
リードデータセットアップ時間 3	$t_{RDS3}$	$1/2t_{cyc} + 6$	-		25.21
リードデータホールド時間 1	$t_{RDH1}$	0	-		25.17 ~ 25.20、25.39 ~ 25.42
リードデータホールド時間 2	$t_{RDH2}$	2	-		25.22 ~ 25.25、25.30 ~ 25.32
リードデータホールド時間 3	$t_{RDH3}$	0	-		25.21
ライトイネーブル遅延時間 1	$t_{WED}$	-	$1/2t_{cyc} + 10$		25.17 ~ 25.21、25.39 ~ 25.40
ライトデータ遅延時間 1	$t_{WDD1}$	-	12		25.17 ~ 25.20、25.39 ~ 25.42
ライトデータ遅延時間 2	$t_{WDD2}$	-	12		25.26 ~ 25.29、25.33 ~ 25.35
ライトデータホールド時間 1	$t_{WDH1}$	1	-		25.17 ~ 25.20
ライトデータホールド時間 2	$t_{WDH2}$	1	-		25.26 ~ 25.29、25.33 ~ 25.35
ライトデータホールド時間 4	$t_{WDH4}$	0	-		25.17 ~ 25.20
ライトデータホールド時間 5	$t_{WDH5}$	1	-	25.39 ~ 25.42	
WAIT セットアップ時間	$t_{WTS}$	$1/2t_{cyc} + 6$	-	25.18 ~ 25.21、25.40、25.42	
WAIT ホールド時間	$t_{WTH}$	$1/2t_{cyc} + 2$	-		
RAS 遅延時間 1	$t_{RASD1}$	1	10	25.22 ~ 25.38	
CAS 遅延時間 1	$t_{CASD1}$	1	10		
DQM 遅延時間 1	$t_{DQMD1}$	1	10	25.22 ~ 25.35	
CKE 遅延時間 1	$t_{CKED1}$	1	10	25.37	
DACK 遅延時間	$t_{DACD}$	-	10	25.17 ~ 25.35	
ICIOR $\bar{D}$ 遅延時間	$t_{ICRS\bar{D}}$	-	$1/2t_{cyc} + 12$	25.41 ~ 25.42	
ICIOWR 遅延時間	$t_{ICWSD}$	-	$1/2t_{cyc} + 12$		
IOIS16 セットアップ時間	$t_{IO16S}$	$1/2t_{cyc} + 12$	-	25.42	
IOIS16 ホールド時間	$t_{IO16H}$	$1/2t_{cyc} + 4$	-		
REFOUT 遅延時間	$t_{REFOD}$	-	$1/2t_{cyc} + 12$	25.43	

25.3.4 基本タイミング

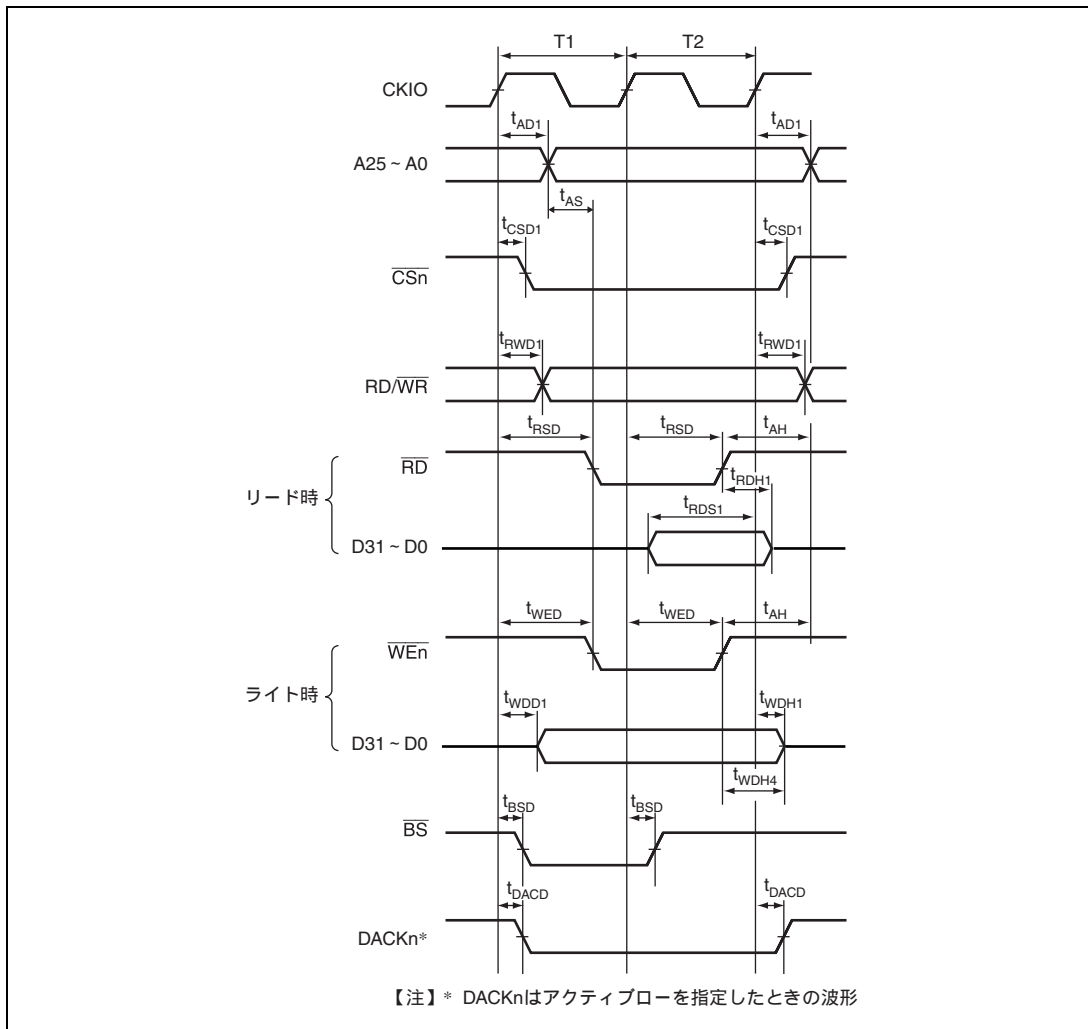


図 25.17 基本バスサイクル (ノーウェイト)

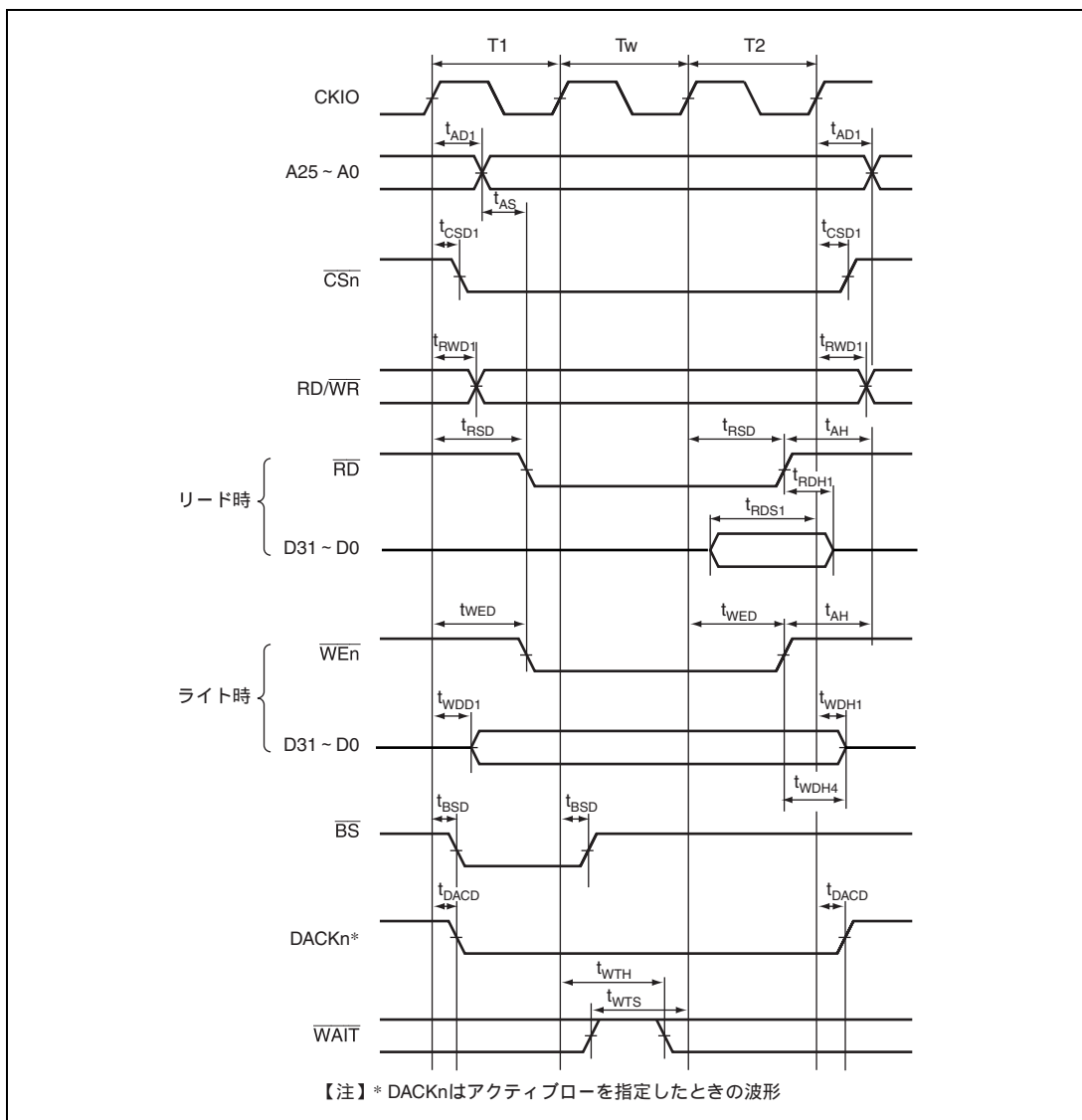


図 25.18 基本バスサイクル (ソフトウェアウェイト1)

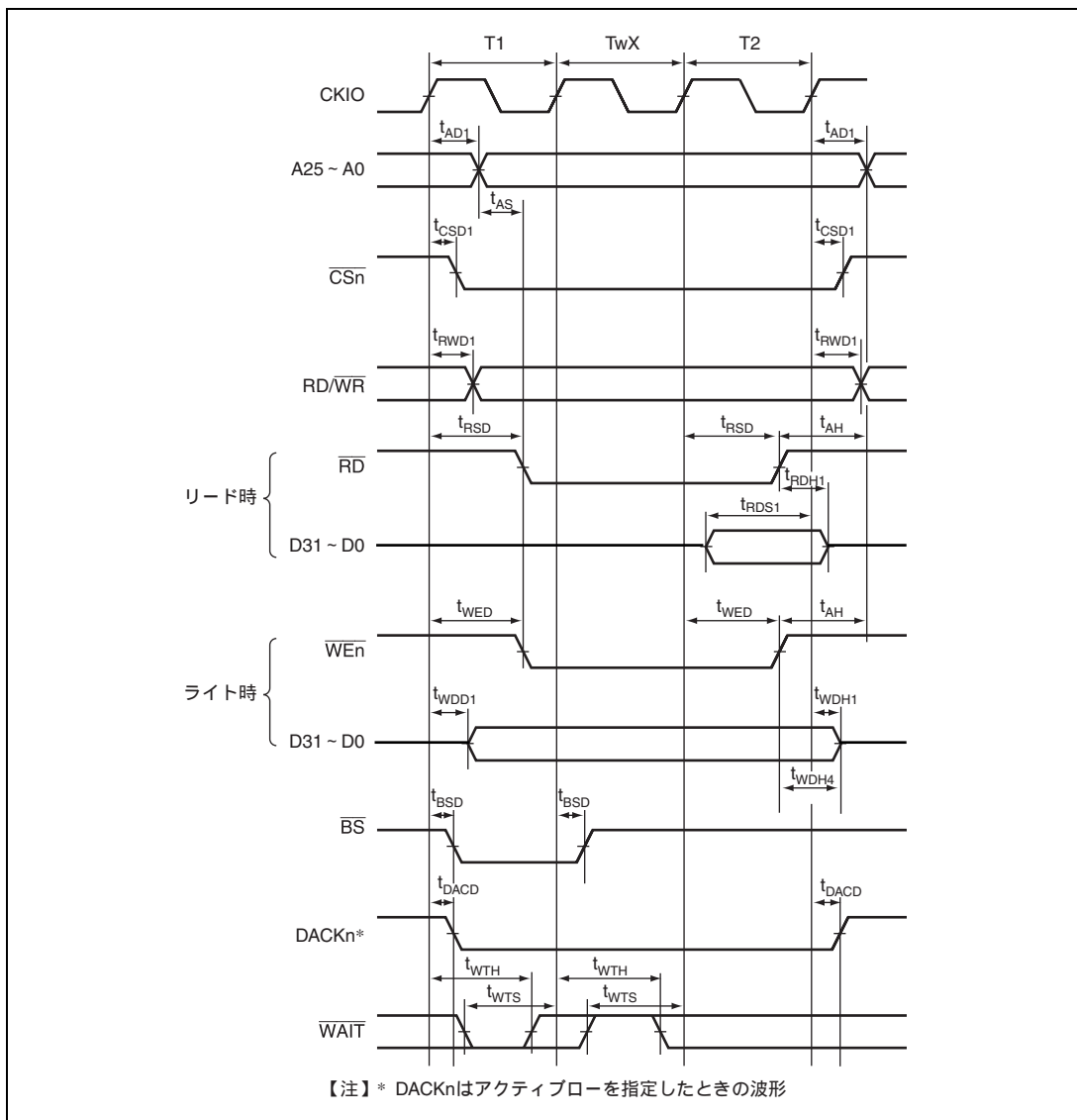


図 25.19 基本バスサイクル (外部ウェイト 1 挿入)

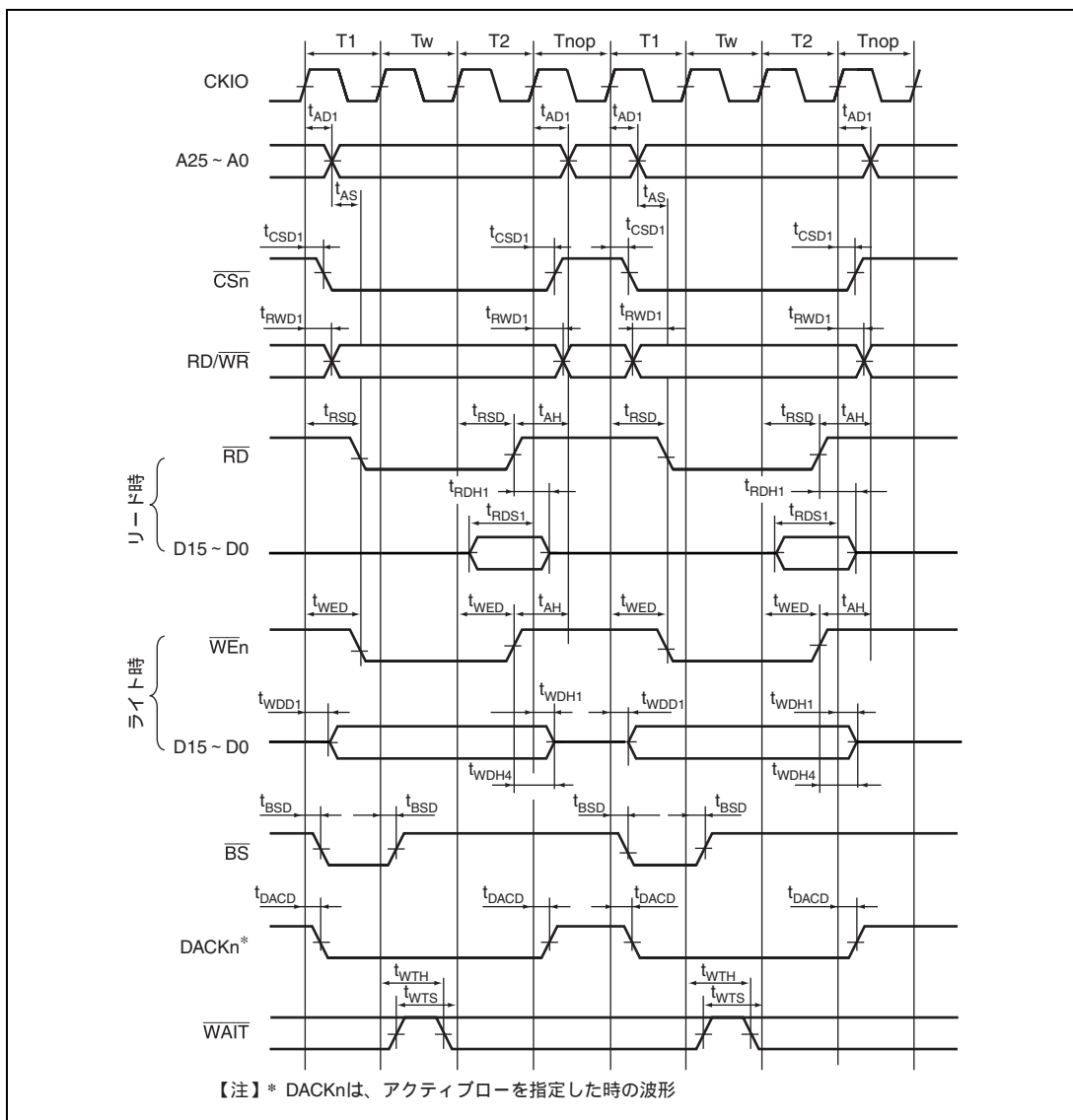


図 25.20 基本バスサイクル

(ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット=0)、アイドルサイクル無し設定)

25.3.5 バースト ROM タイミング

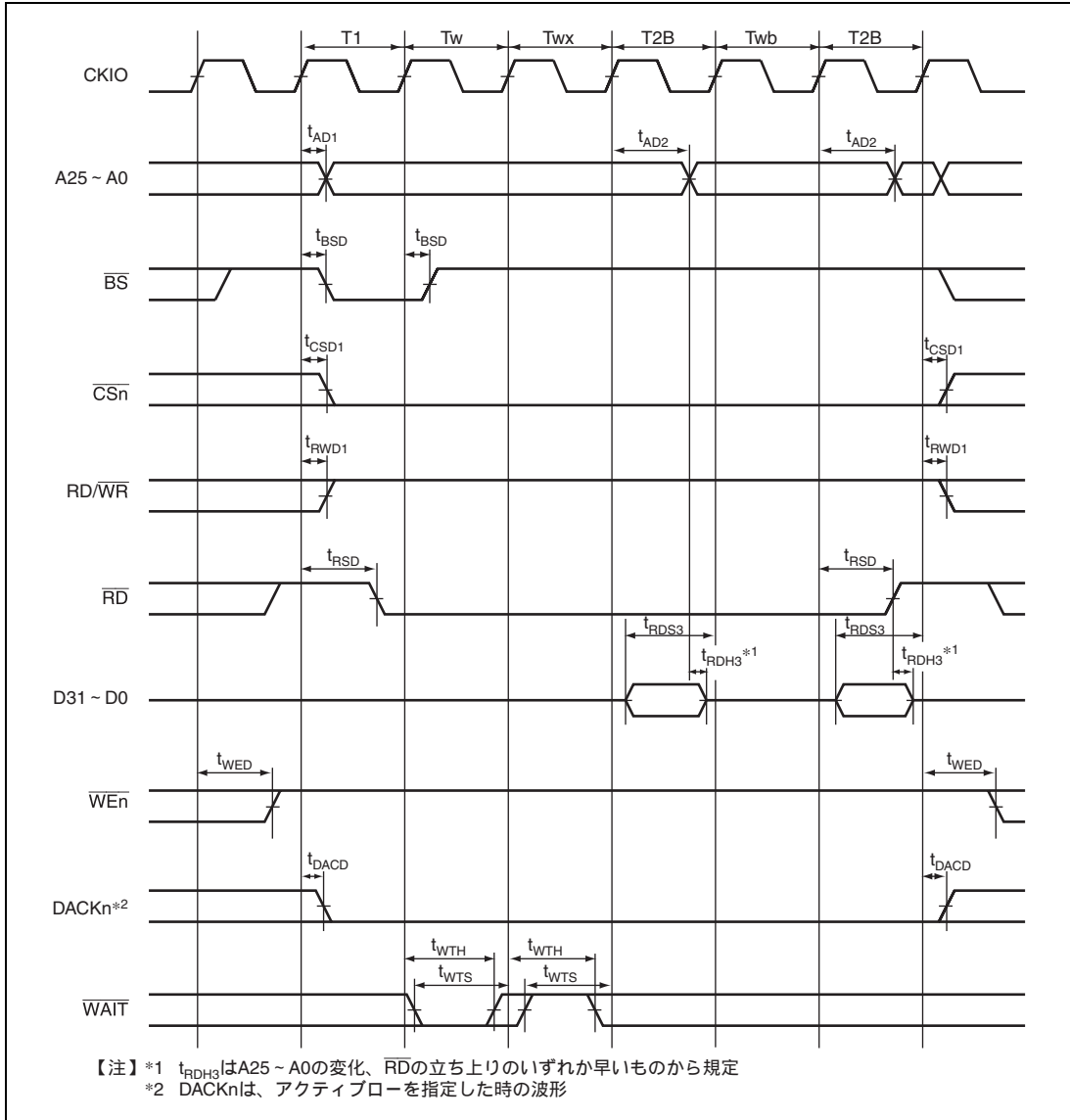


図 25.21 バースト ROM 読み出しサイクル  
 (1 アクセスウェイト、1 外部ウェイト、1 バーストウェイト、2 バースト)

## 25.3.6 シンクロナス DRAM タイミング

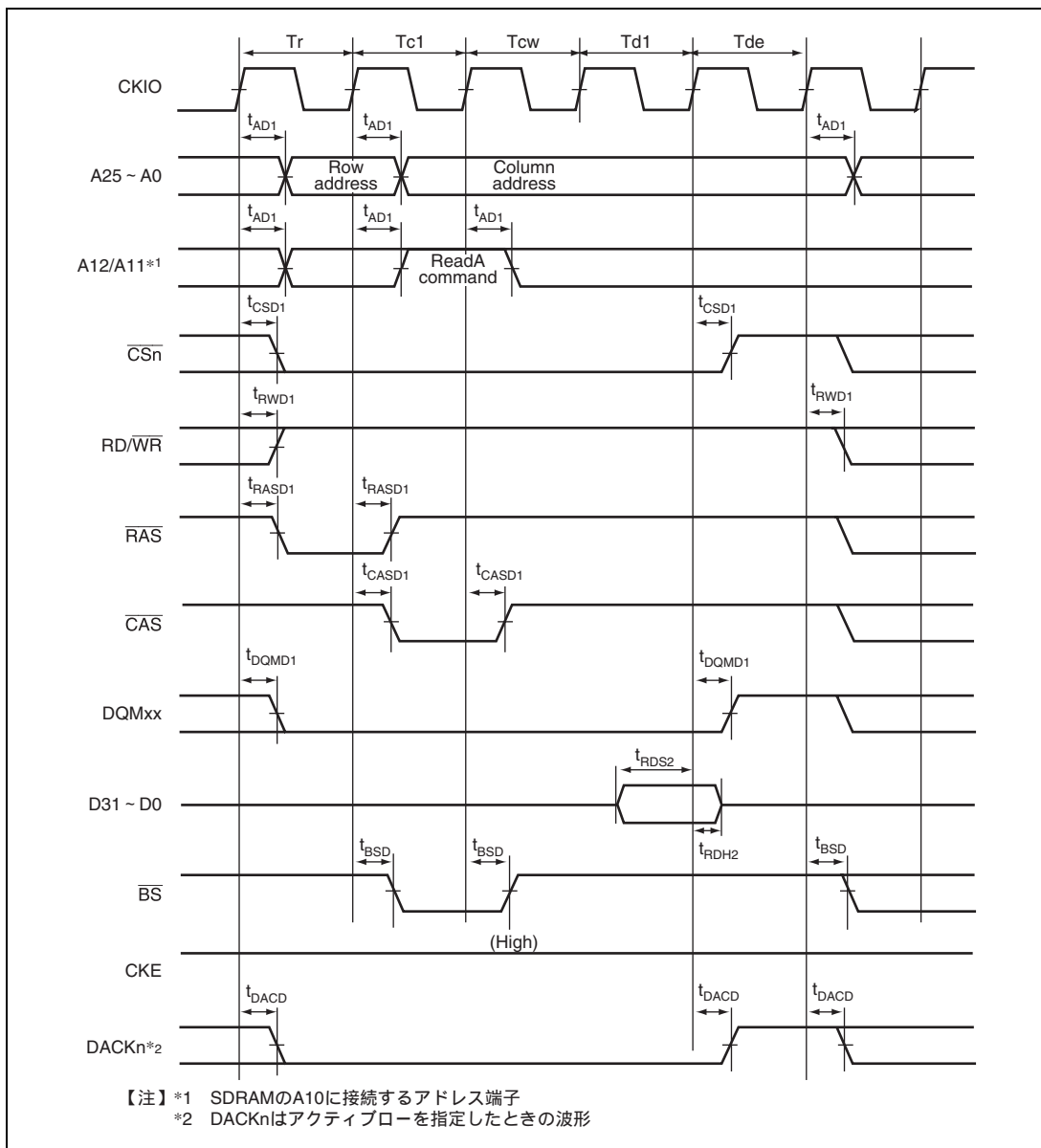


図 25.22 シンクロナス DRAM シングルリードバスサイクル  
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 0 サイクル)

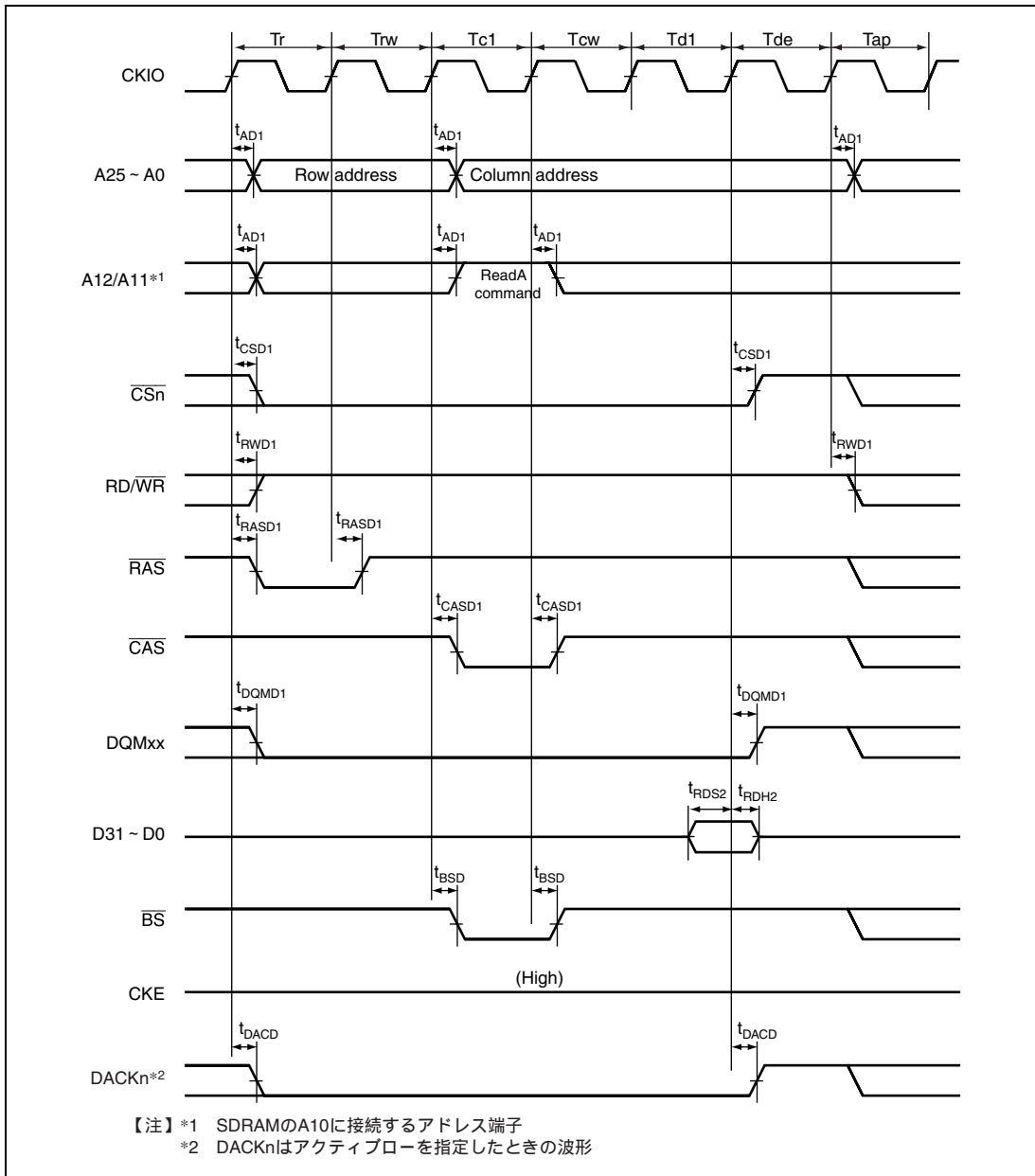


図 25.23 シンクロナス DRAM シングルリードバスサイクル  
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 1 サイクル)



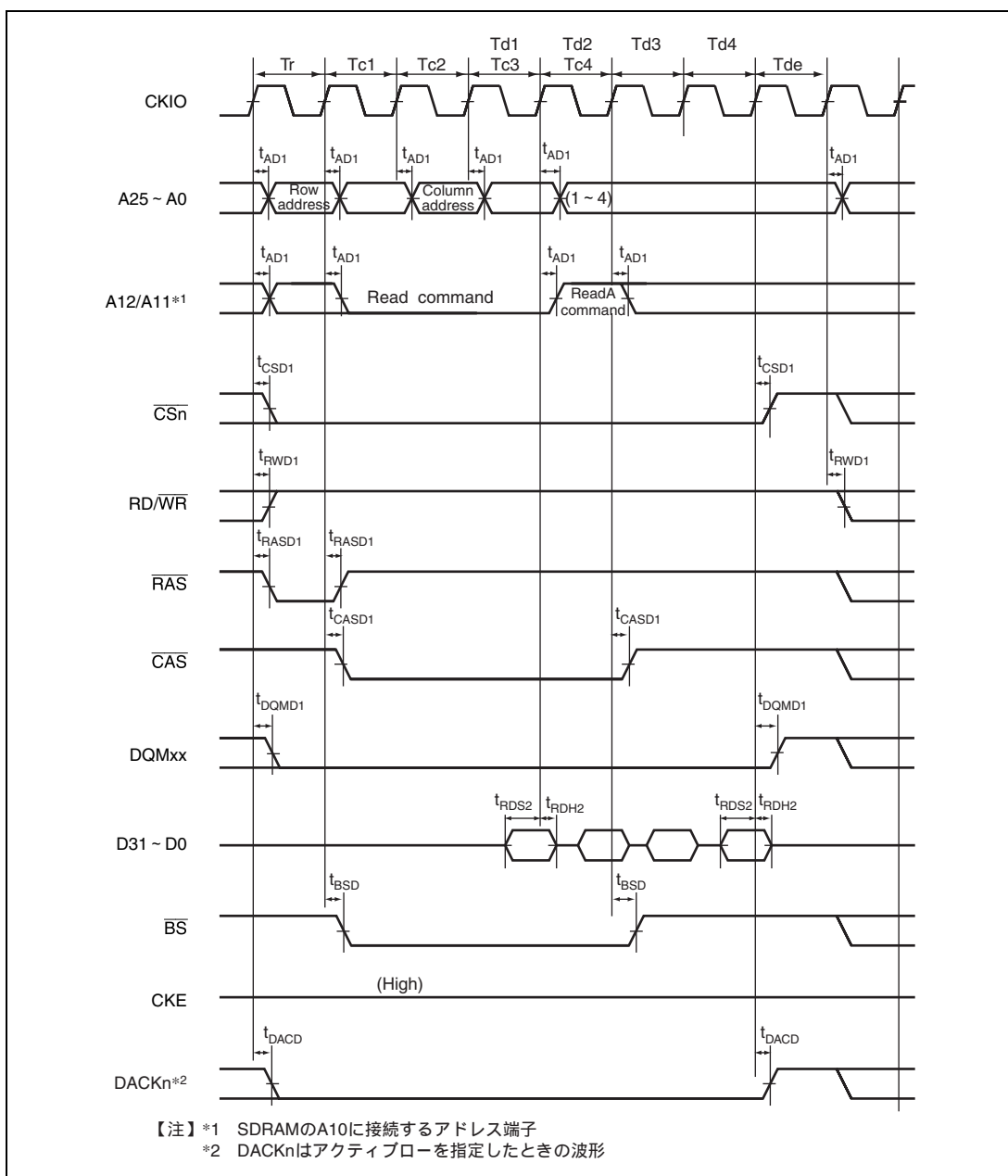


図 25.24 シンクロナス DRAM バーストリードバースサイクル (シングルリード×4)  
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 1 サイクル)

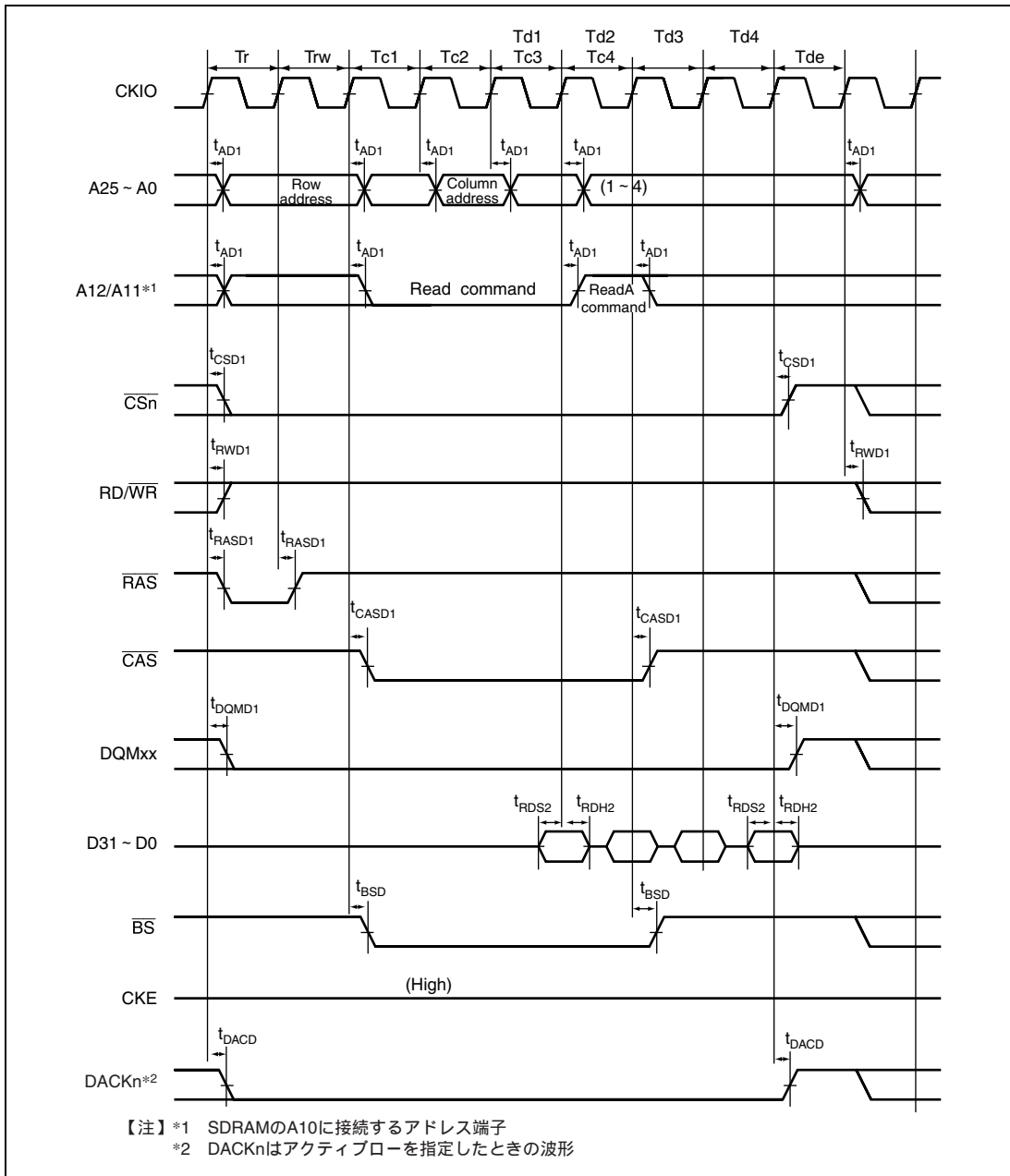


図 25.25 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)  
 (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 0 サイクル)

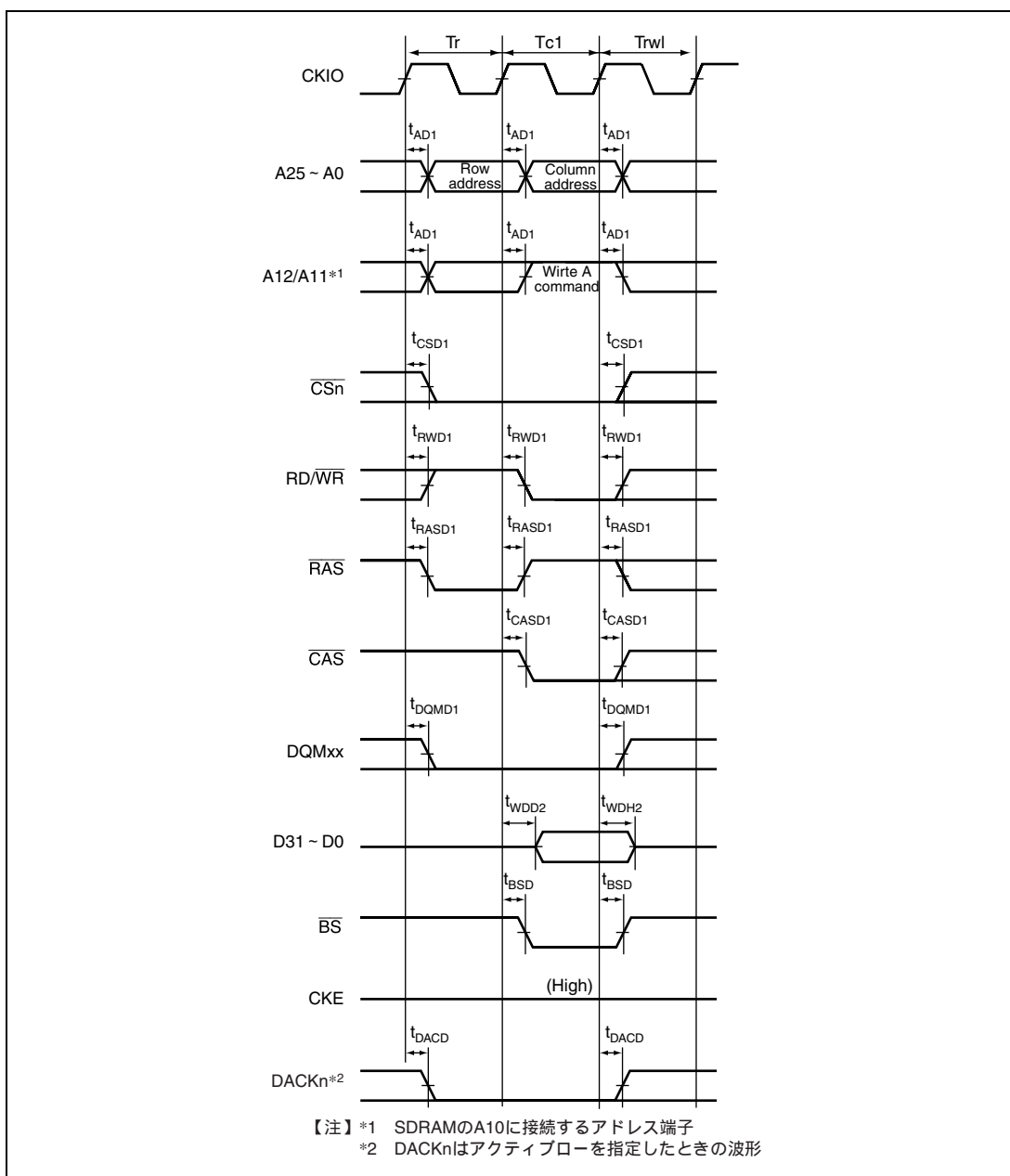


図 25.26 シンクロナス DRAM シングルライトバスサイクル  
(オートプリチャージあり、TRWL = 1 サイクル)

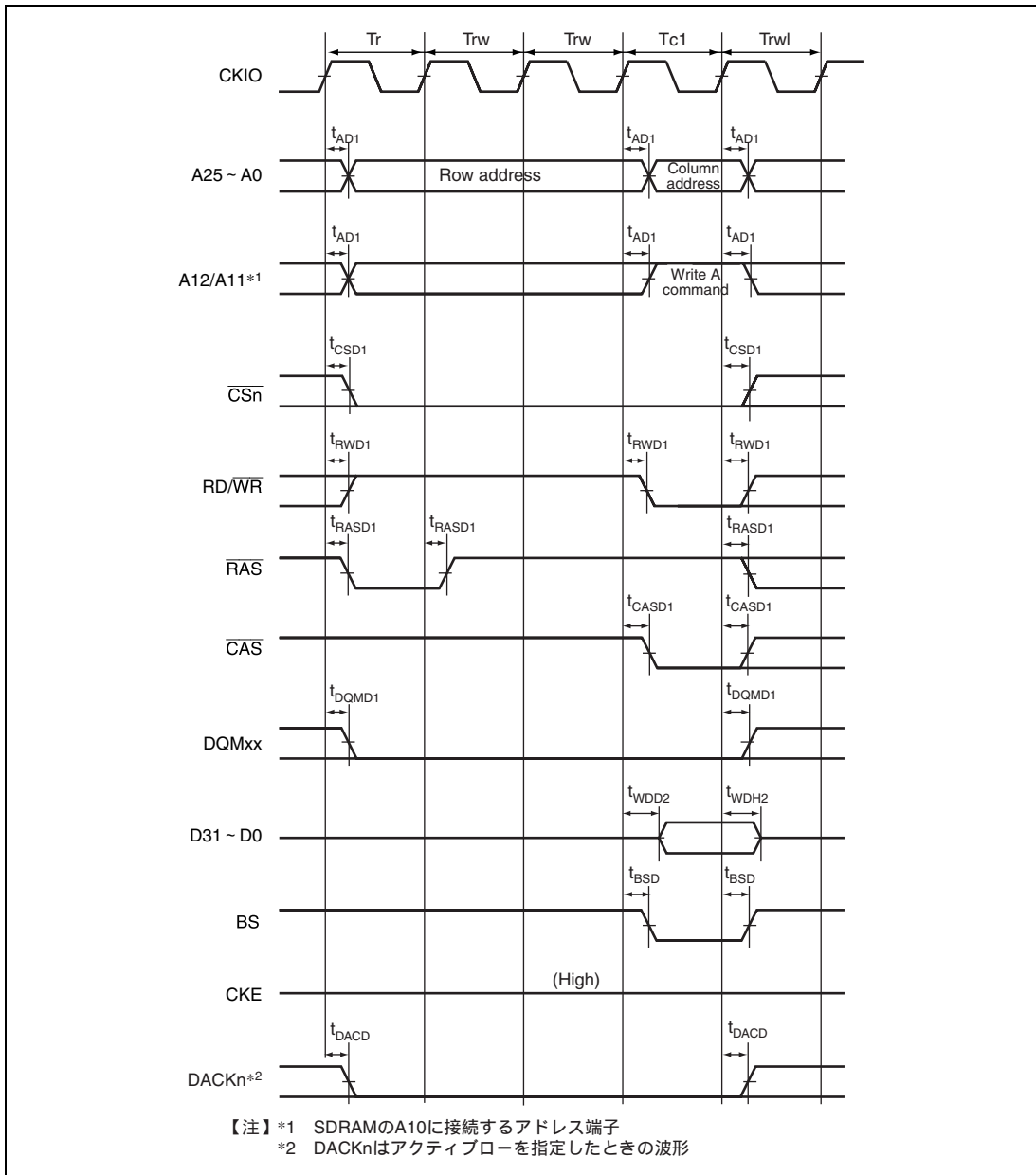


図 25.27 シンクロナス DRAM シングルライトバスサイクル  
 (オートプリチャージあり、WTRCD=2 サイクル、TRWL=1 サイクル)

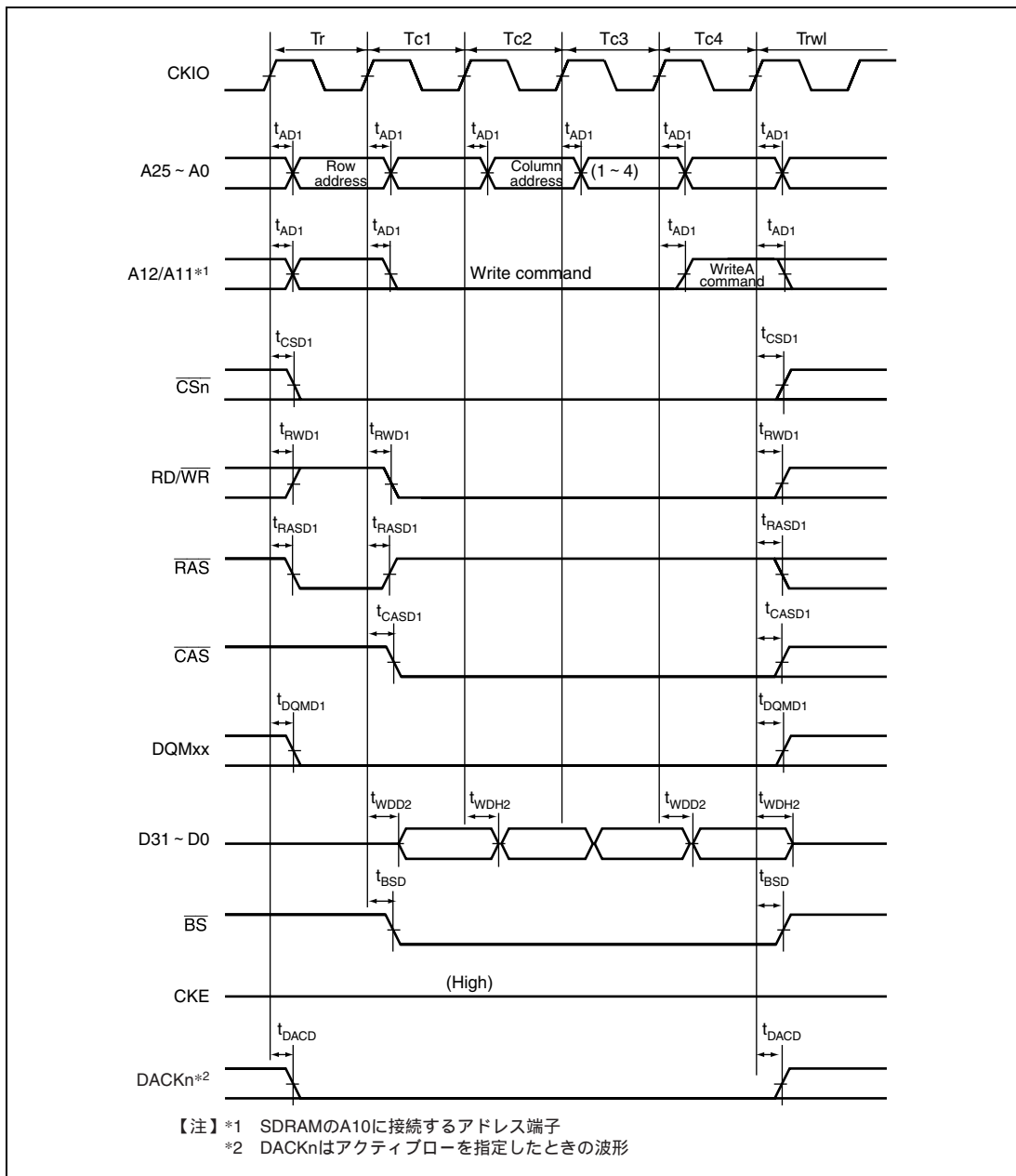


図 25.28 シンクロナス DRAM バーストライトバスサイクル (シングルライト×4)  
(オートプリチャージあり、WTRCD=0 サイクル、TRWL=1 サイクル)

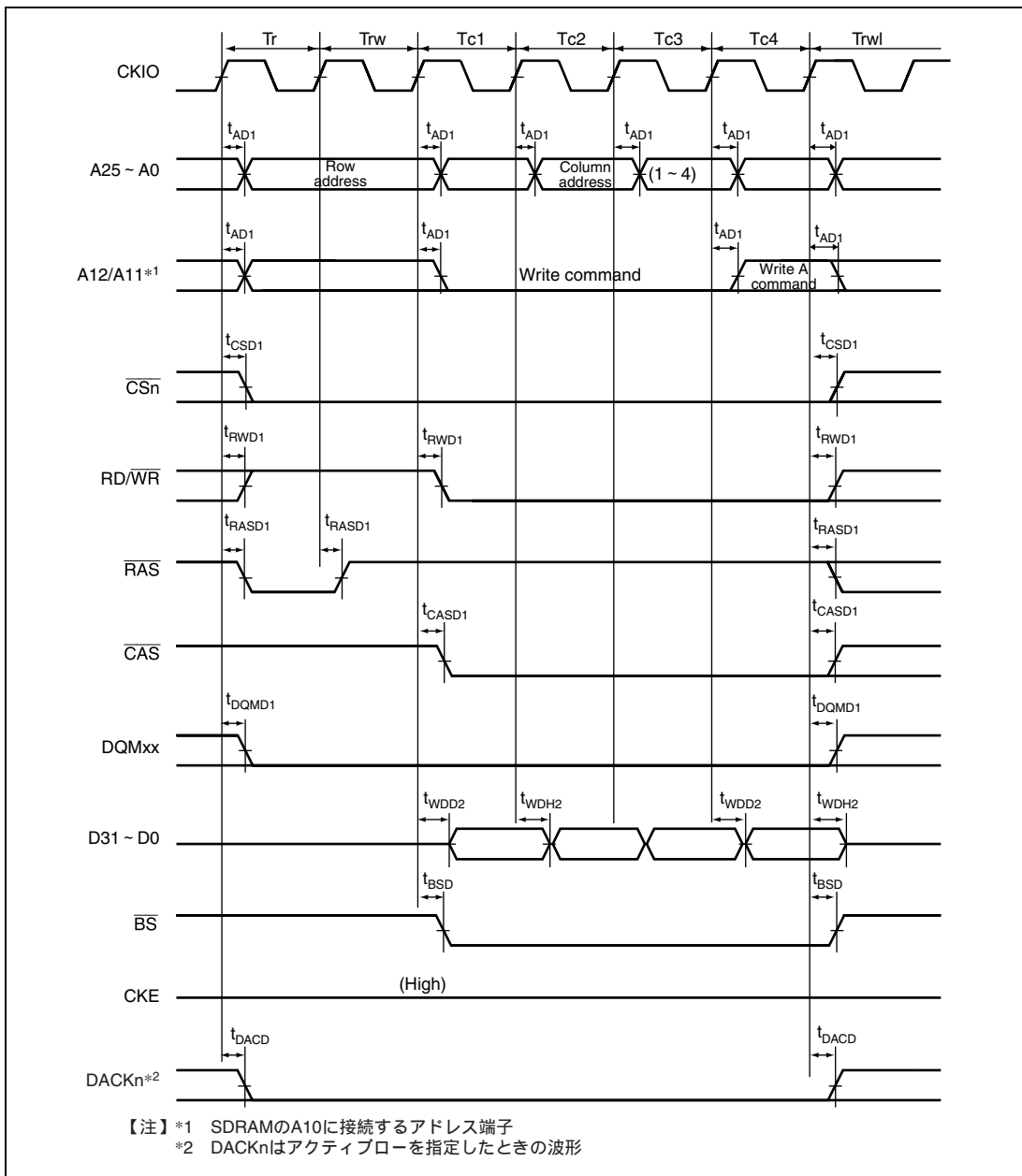


図 25.29 シンクロナス DRAM パーストライトバスサイクル (シングルライト×4)  
(オートプリチャージあり、WTRCD=1 サイクル、TRWL=1 サイクル)

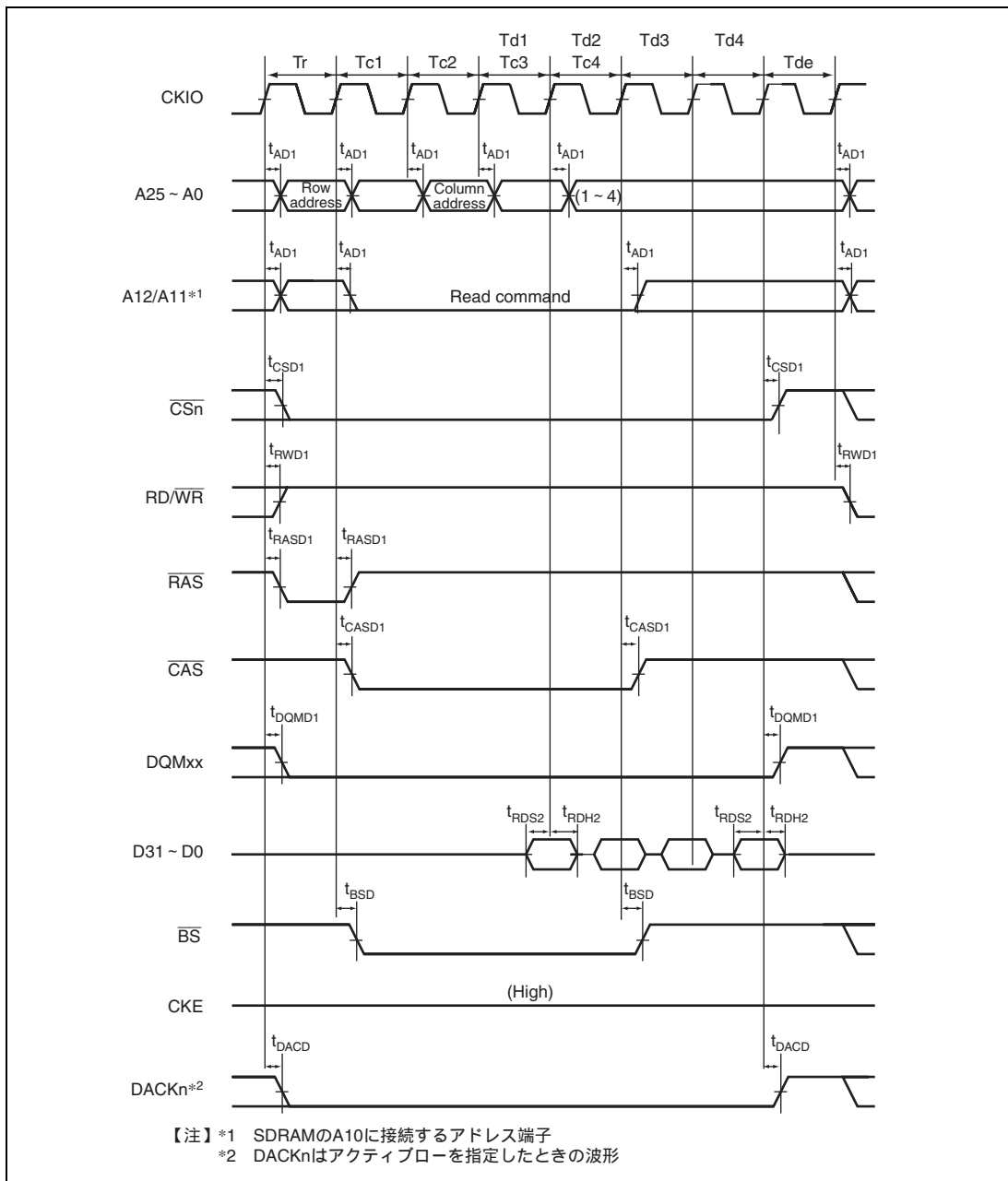


図 25.30 シンクロナス DRAM パーストリードバスサイクル (シングルリード×4)  
(バンクアクティブモード: ACTV+READ コマンド、CAS レイテンシ 2、WTRCD=0 サイクル)

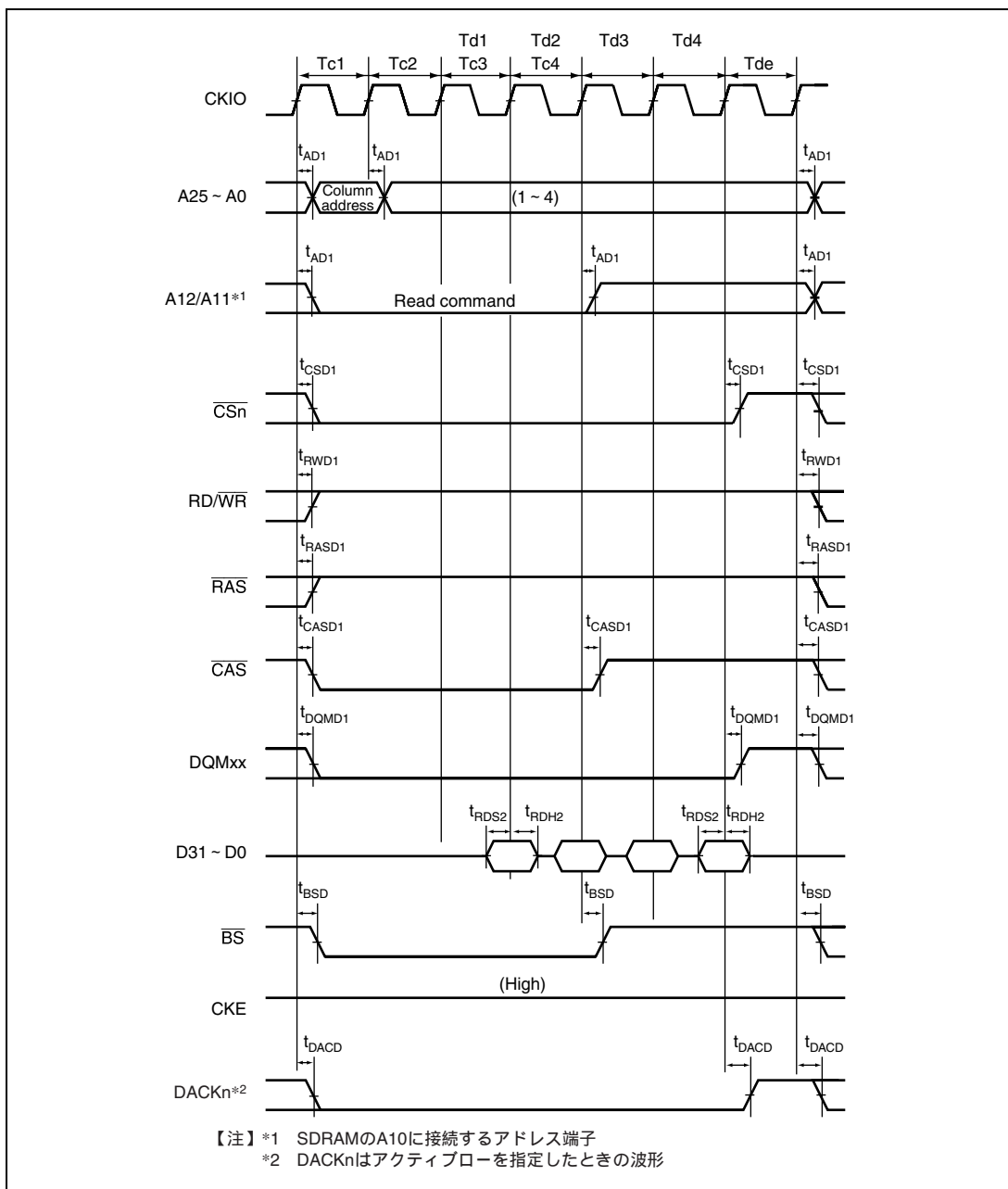


図 25.31 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)  
(バンクアクティブモード : READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)



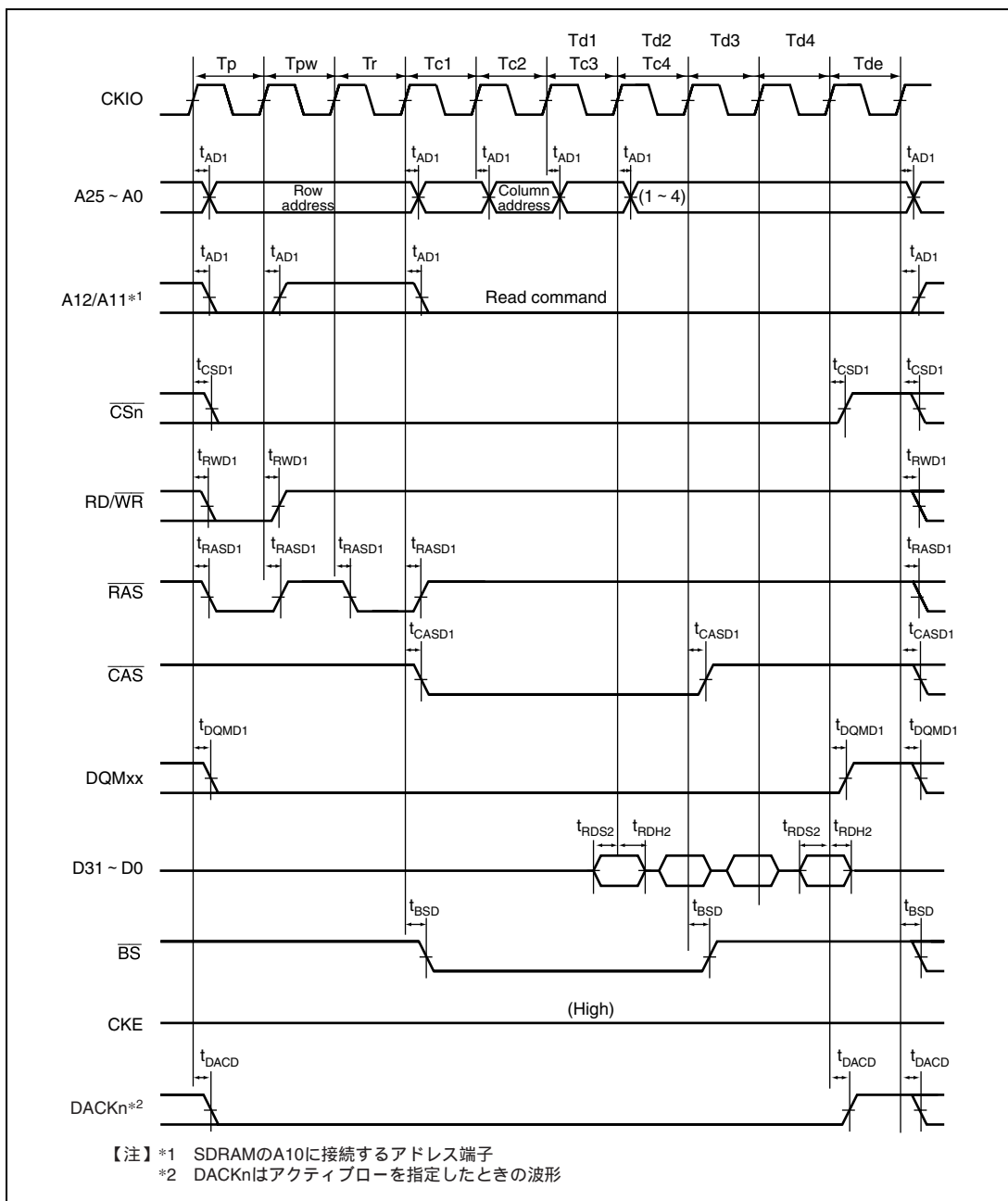


図 25.32 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)  
(バンクアクティブモード: PRE+ACTV+READ コマンド、  
異なるロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

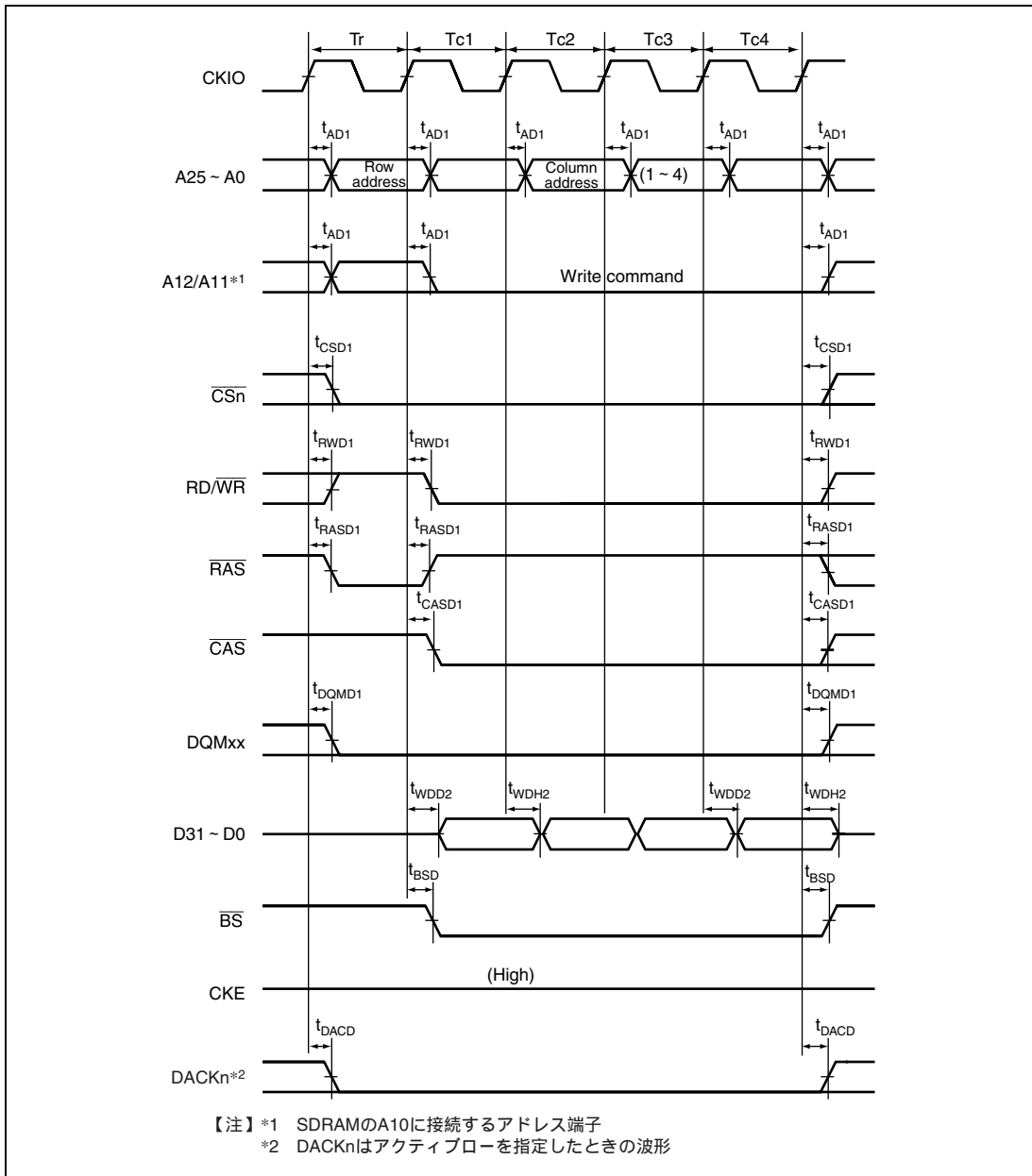


図 25.33 シンクロナス DRAM バーストライトバスサイクル (シングルライト×4)  
 (バンクアクティブモード、ACTV+WRITE コマンド、WTRCD=0 サイクル、TRWL=0 サイクル)

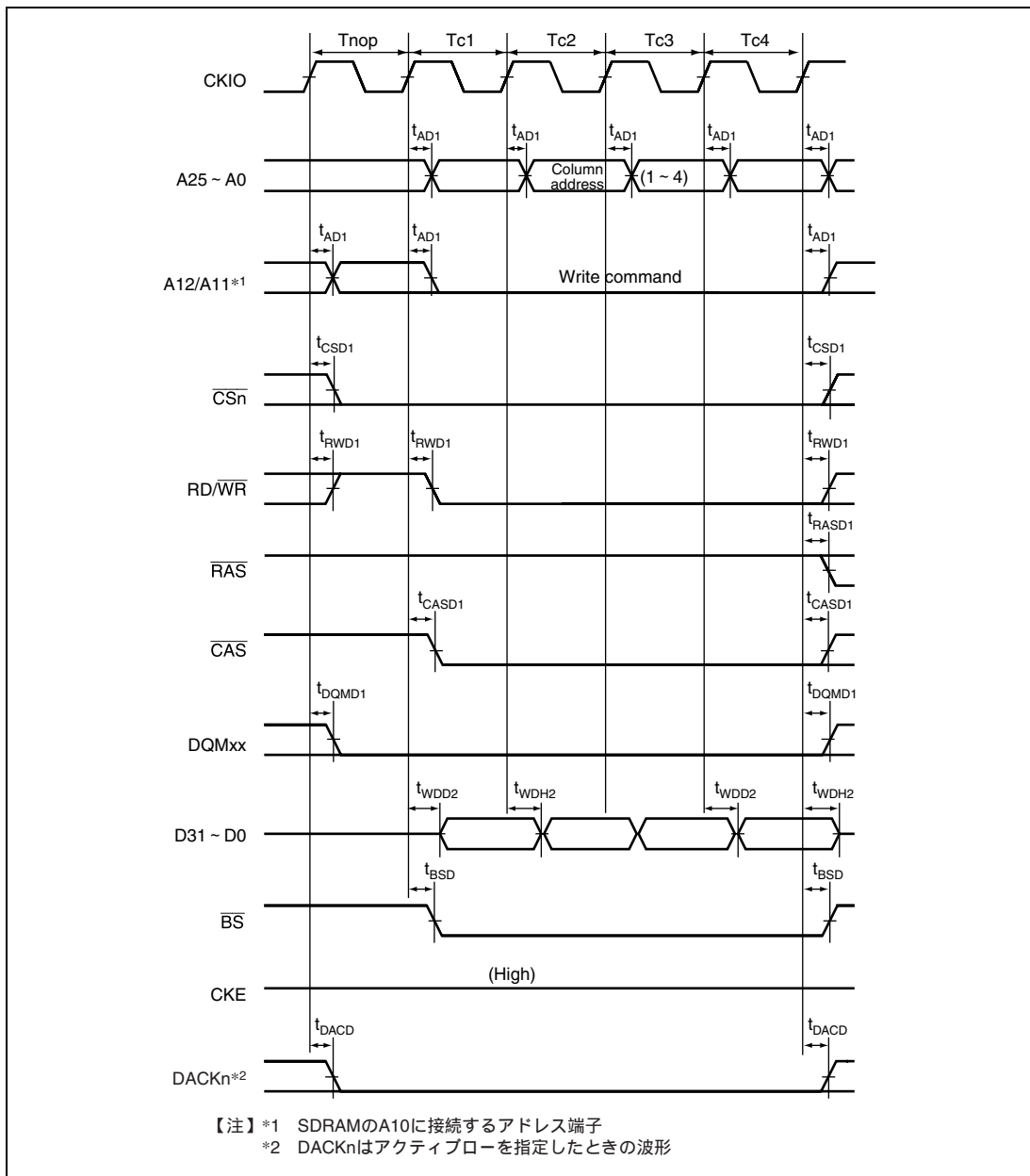


図 25.34 シンクロナス DRAM バーストライトバスサイクル (シングルライト×4)  
(バンクアクティブモード、WRITE コマンド、同一ロウアドレス、WTRCD=0 サイクル、TRWL=0 サイクル)

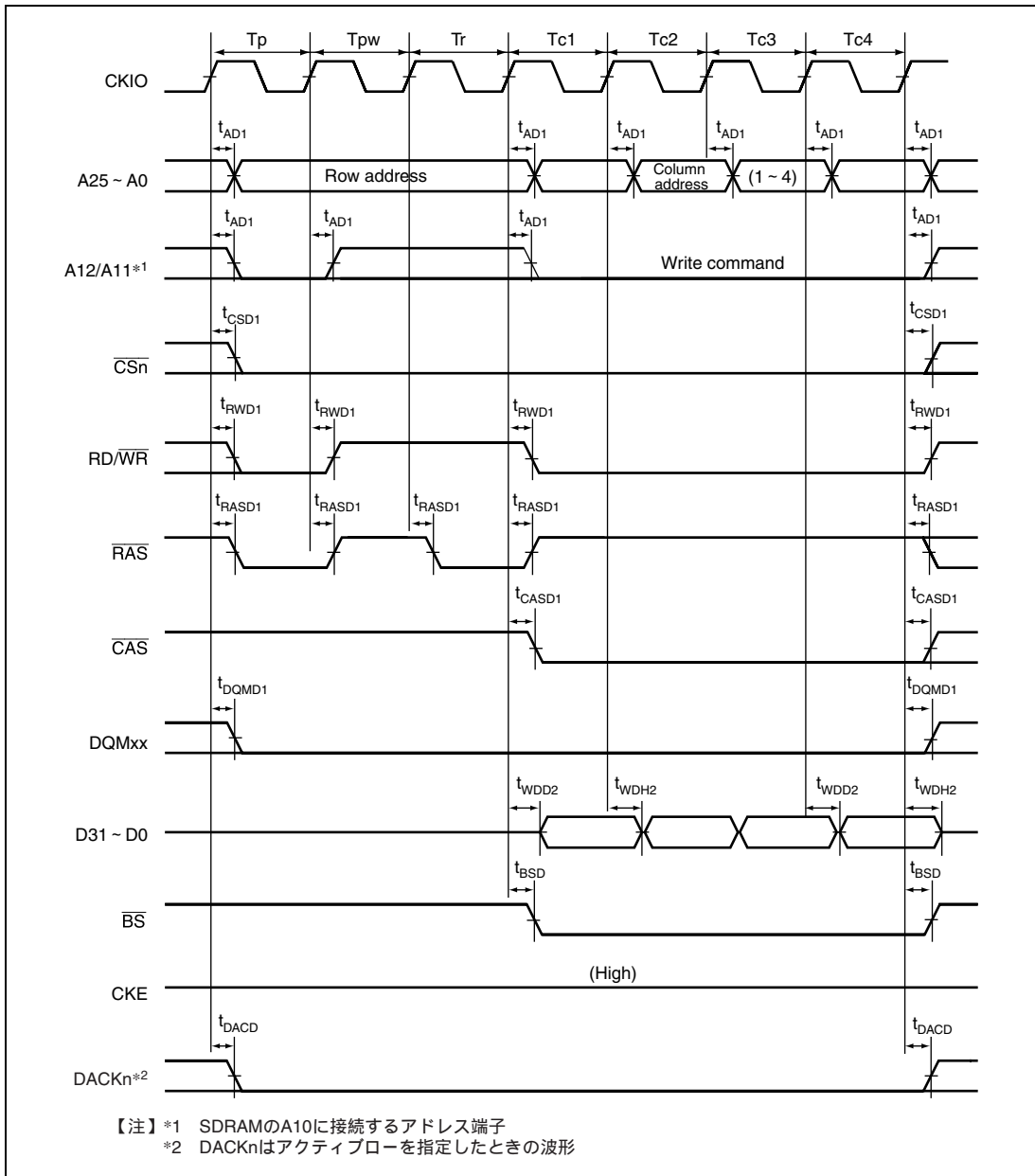


図 25.35 シンクロナス DRAM パーストライトパスサイクル (シングルライト×4)  
(バンクアクティブモード、PRE+ACTV+WRITE コマンド、  
異なるロウアドレス、WTRCD=0 サイクル、TRWL=0 サイクル)

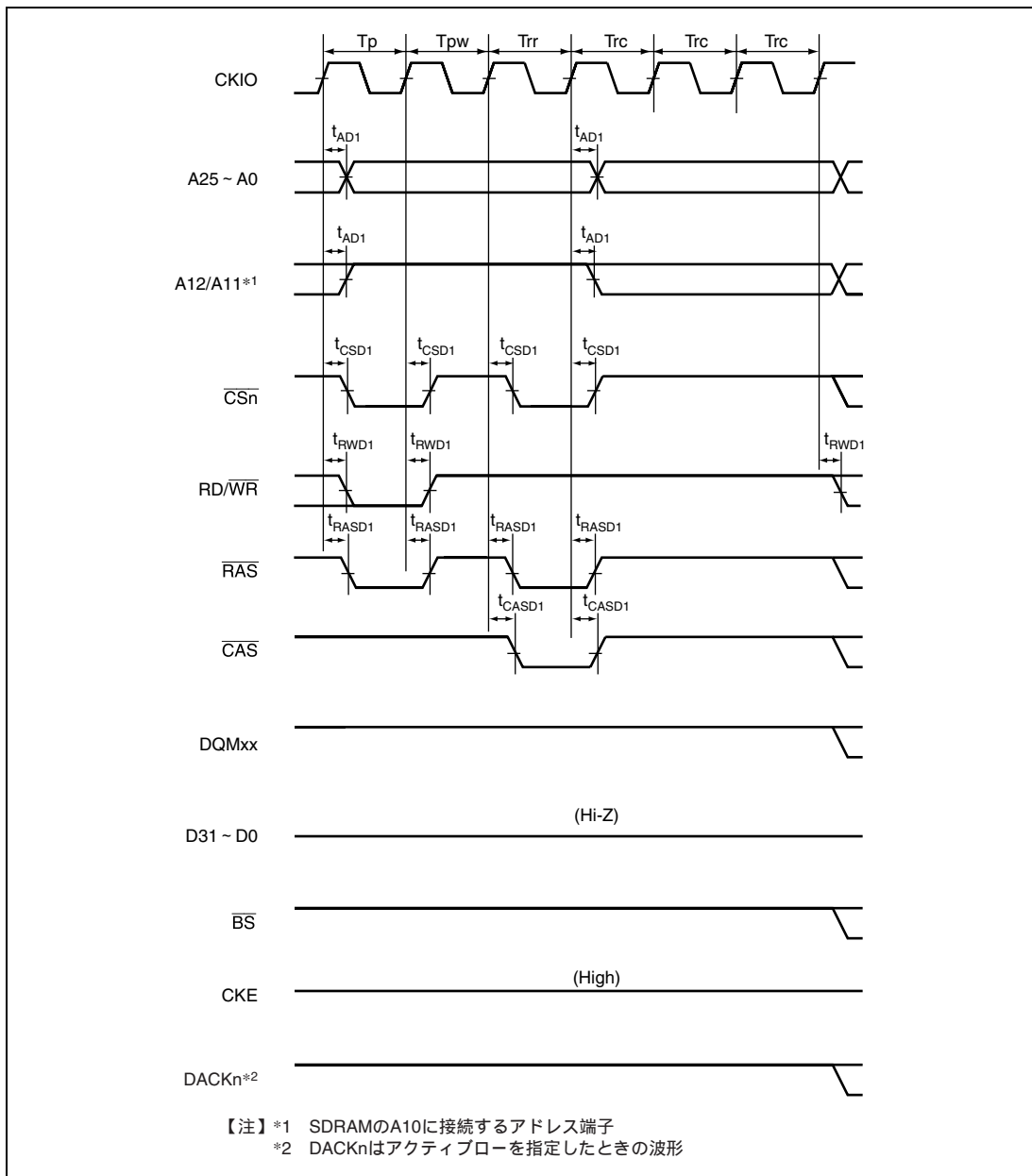


図 25.36 シンクロナス DRAM オートリフレッシュタイミング (WTRP = 1 サイクル、WTRC = 3 サイクル)

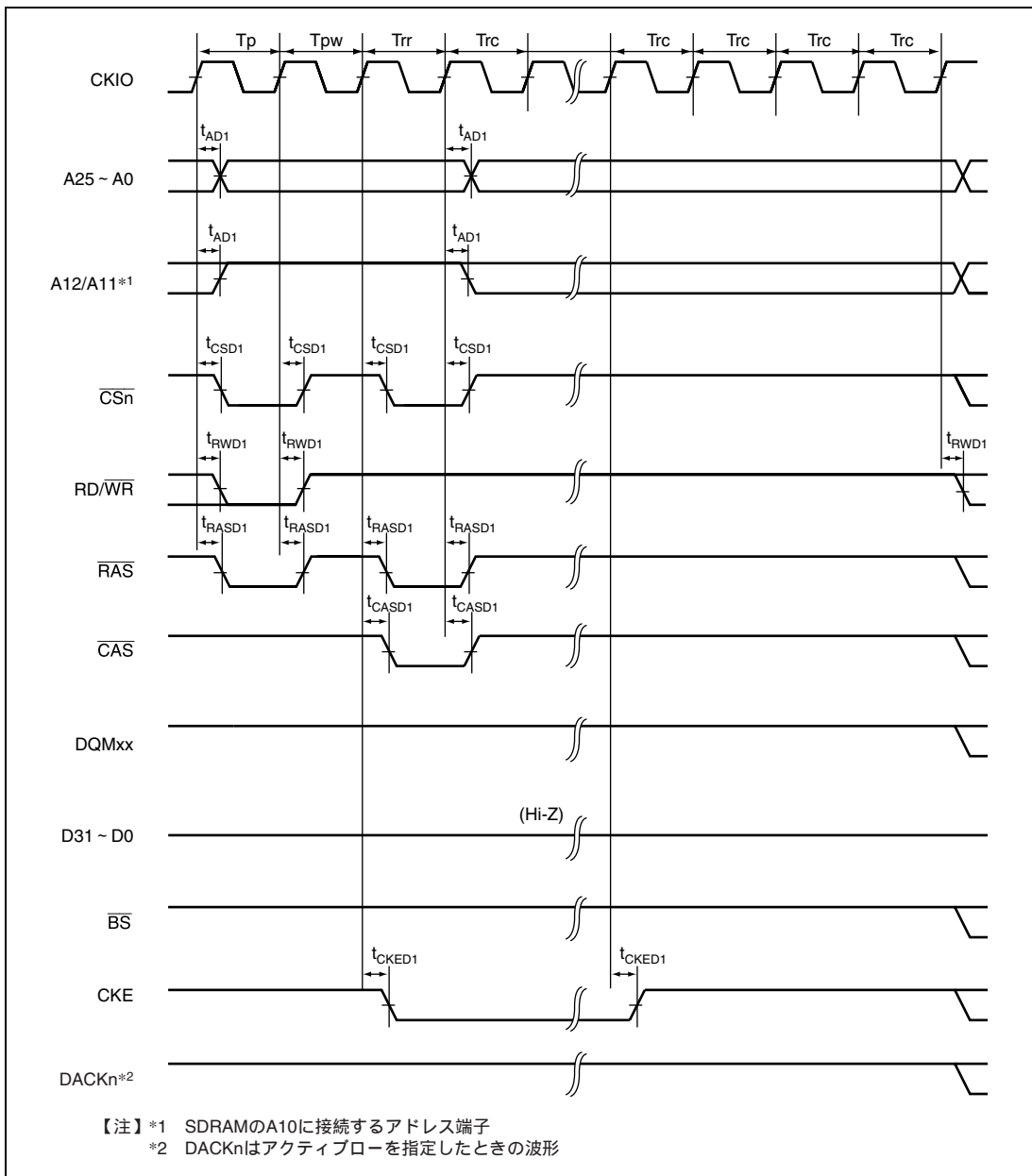


図 25.37 シンクロナス DRAM セルフリフレッシュタイミング (WTRP = 1 サイクル)

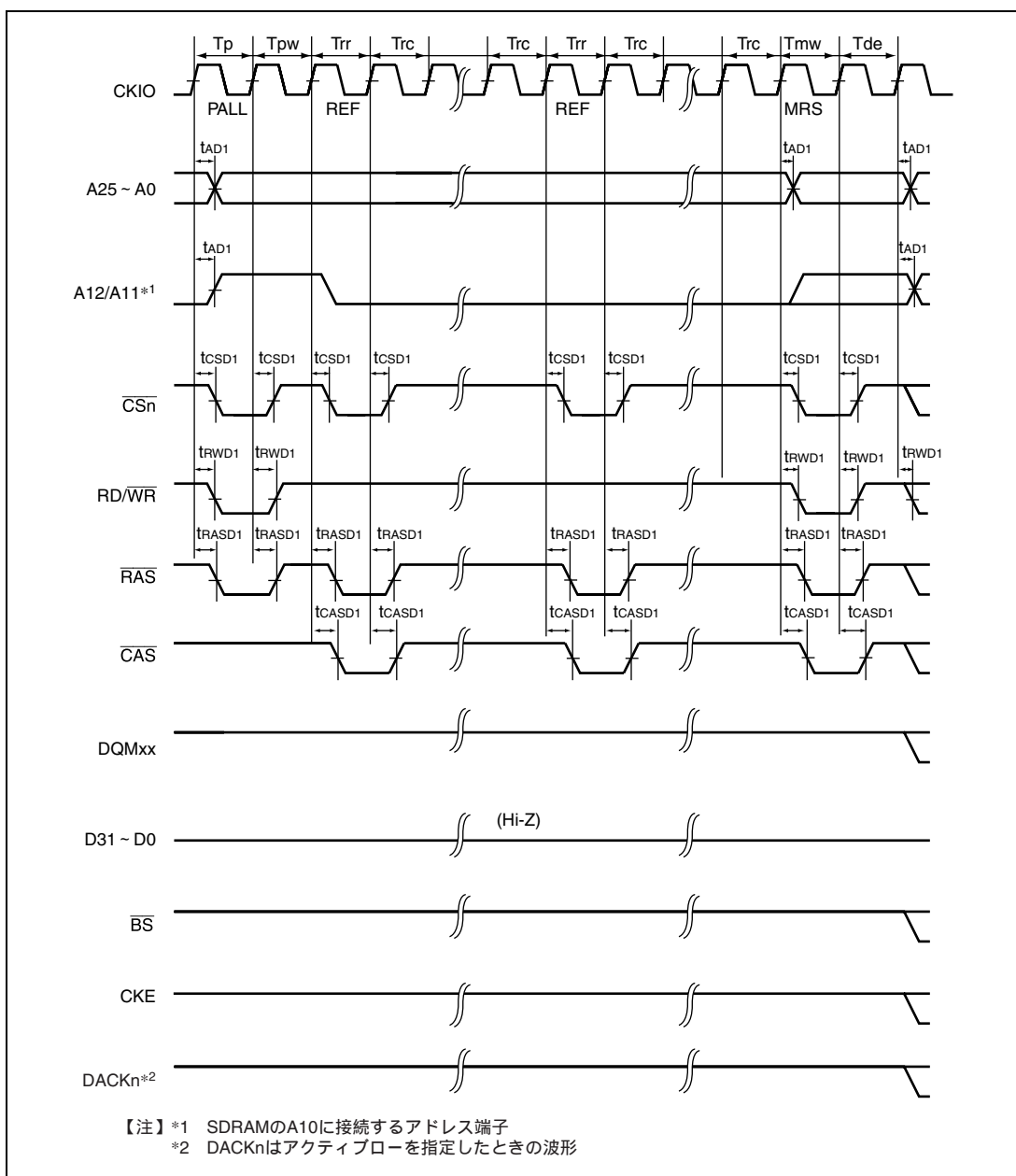


図 25.38 シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP = 1 サイクル)

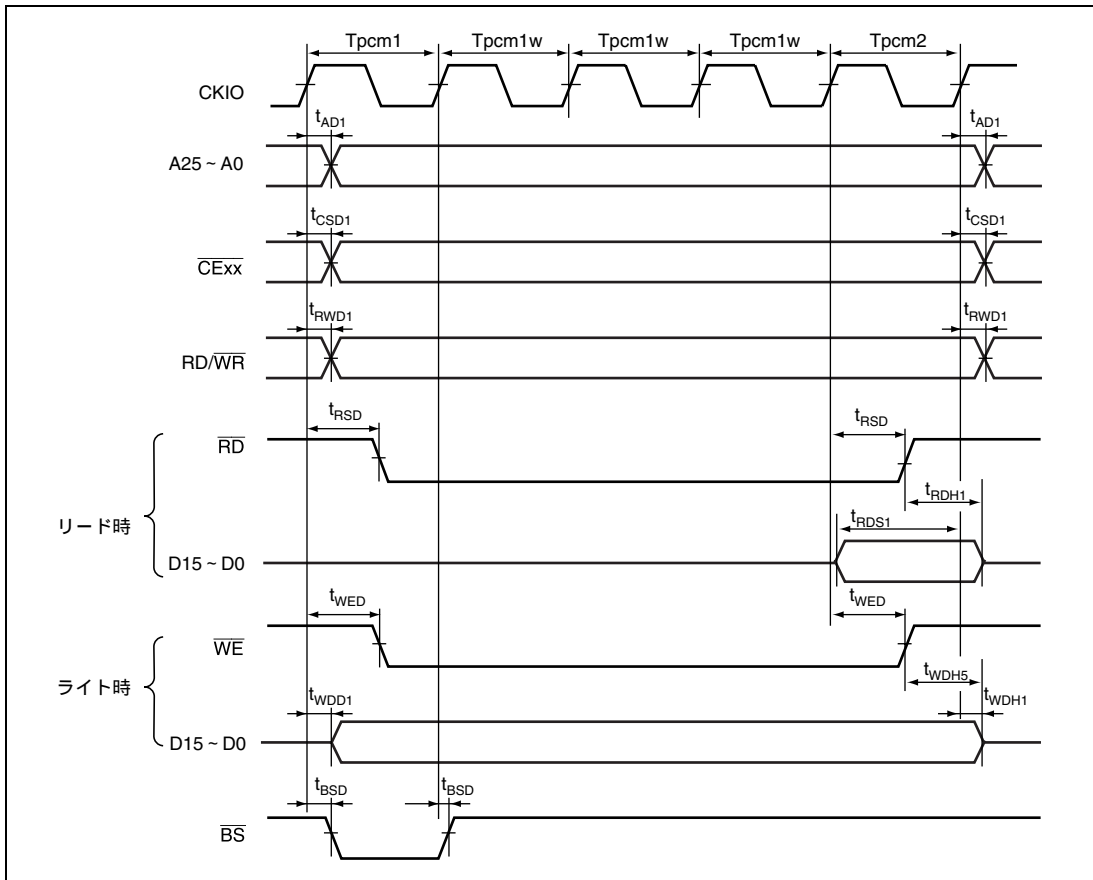


図 25.39 PCMCIA メモリカードインタフェースバスタイミング



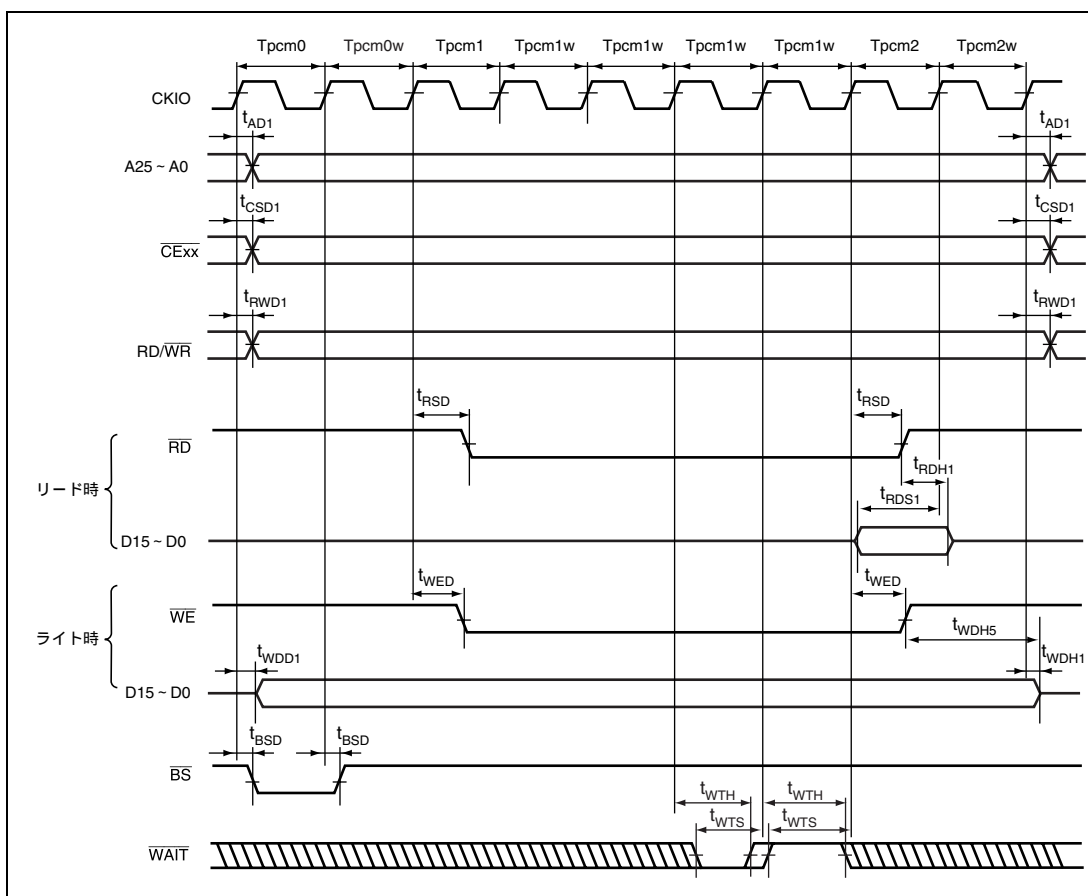


図 25.40 PCMCIA メモリカードインタフェースバスタイミング  
 (TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェア1、ハードウェア1)

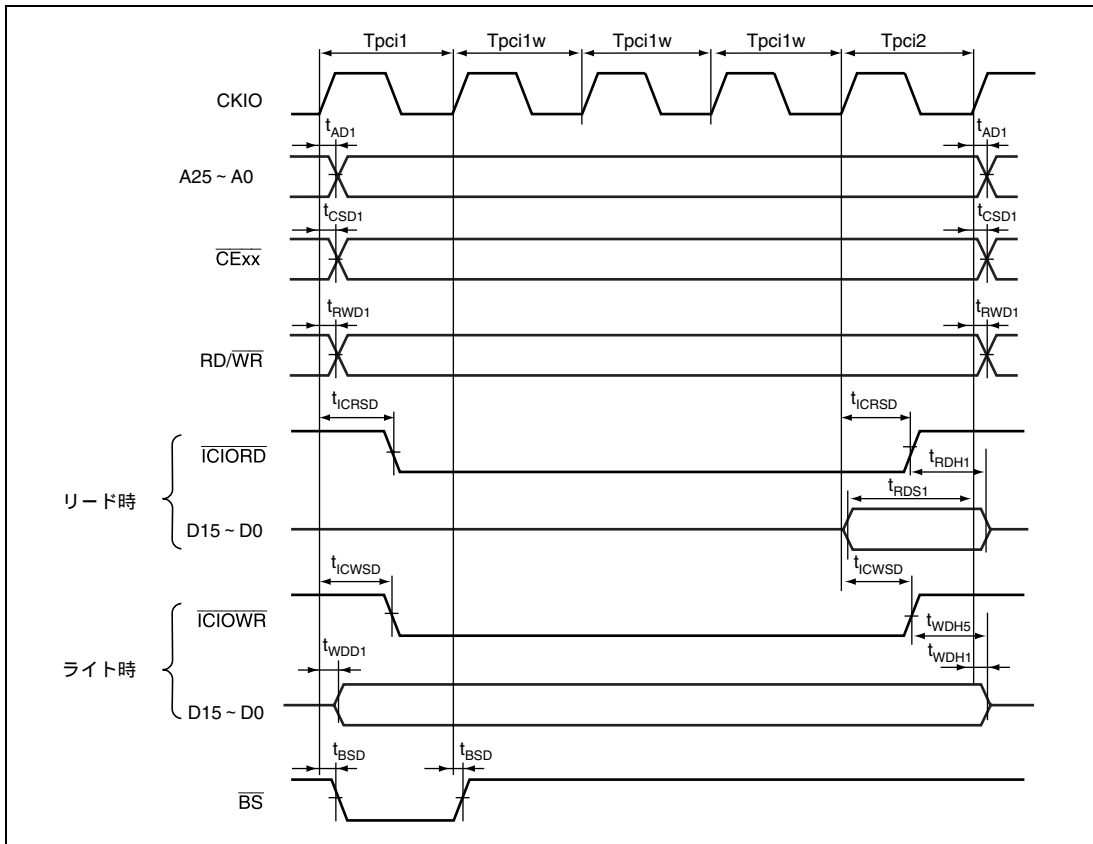


図 25.41 PCMCIA I/O カードインタフェースバスタイミング

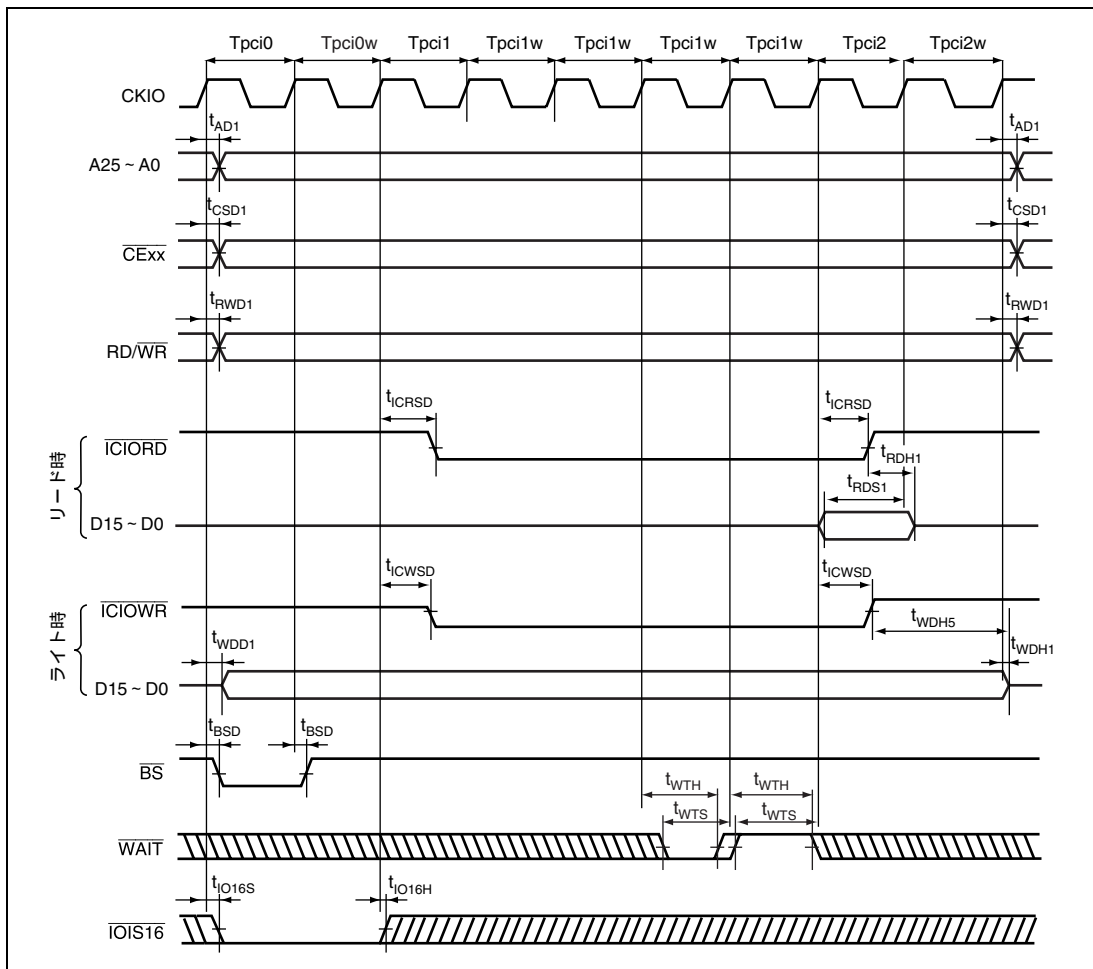


図 25.42 PCMCIA I/O カードインタフェースバスタイミング  
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェア1、ハードウェア1)

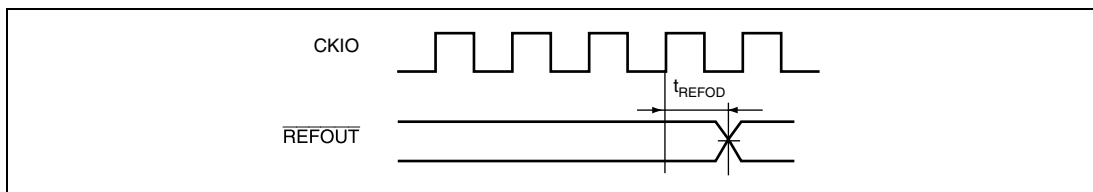


図 25.43 REFOUT 遅延時間

表 25.8 バスタイミング (2)

条件 :  $V_{CCQ} = V_{CCQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{CC} = V_{CC-PLL1} = V_{CC-PLL2} = 1.4 \sim 1.6V$ 、  
 $V_{SSQ} = V_{SS} = V_{SSQ-RTC} = V_{SS-PLL1} = V_{SS-PLL2} = 0V$ 、 $T_a = -20 \sim 75$ 、クロックモード 0/1/2/4/5/6/7

項 目	記号	Min.	Max.	単位	参照図
アドレス遅延時間 3	$t_{AD3}$	$1/2t_{cyc}$	$1/2t_{cyc} + 12$	ns	25.44 ~ 25.47
$\overline{CS}$ 遅延時間 2	$t_{CSD2}$	$1/2t_{cyc}$	$1/2t_{cyc} + 10$		25.44 ~ 25.47
リードライト遅延時間 2	$t_{RWD2}$	$1/2t_{cyc}$	$1/2t_{cyc} + 10$		25.44 ~ 25.47
リードデータセットアップ時間 4	$t_{RDS4}$	$1/2t_{cyc} + 6$	-		25.44
リードデータホールド時間 4	$t_{RDH4}$	0	-		25.44
ライトデータ遅延時間 3	$t_{WDD3}$	-	$1/2t_{cyc} + 12$		25.44
ライトデータホールド時間 3	$t_{WDH3}$	$1/2t_{cyc}$	-		25.44
$\overline{RAS}$ 遅延時間 2	$t_{RASD2}$	$1/2t_{cyc}$	$1/2t_{cyc} + 10$		25.44 ~ 25.47
$\overline{CAS}$ 遅延時間 2	$t_{CASD2}$	$1/2t_{cyc}$	$1/2t_{cyc} + 10$		25.44 ~ 25.47
DQM 遅延時間 2	$t_{DQMD2}$	$1/2t_{cyc}$	$1/2t_{cyc} + 10$		25.44
CKE 遅延時間 2	$t_{CKED2}$	$1/2t_{cyc}$	$1/2t_{cyc} + 10$		25.46

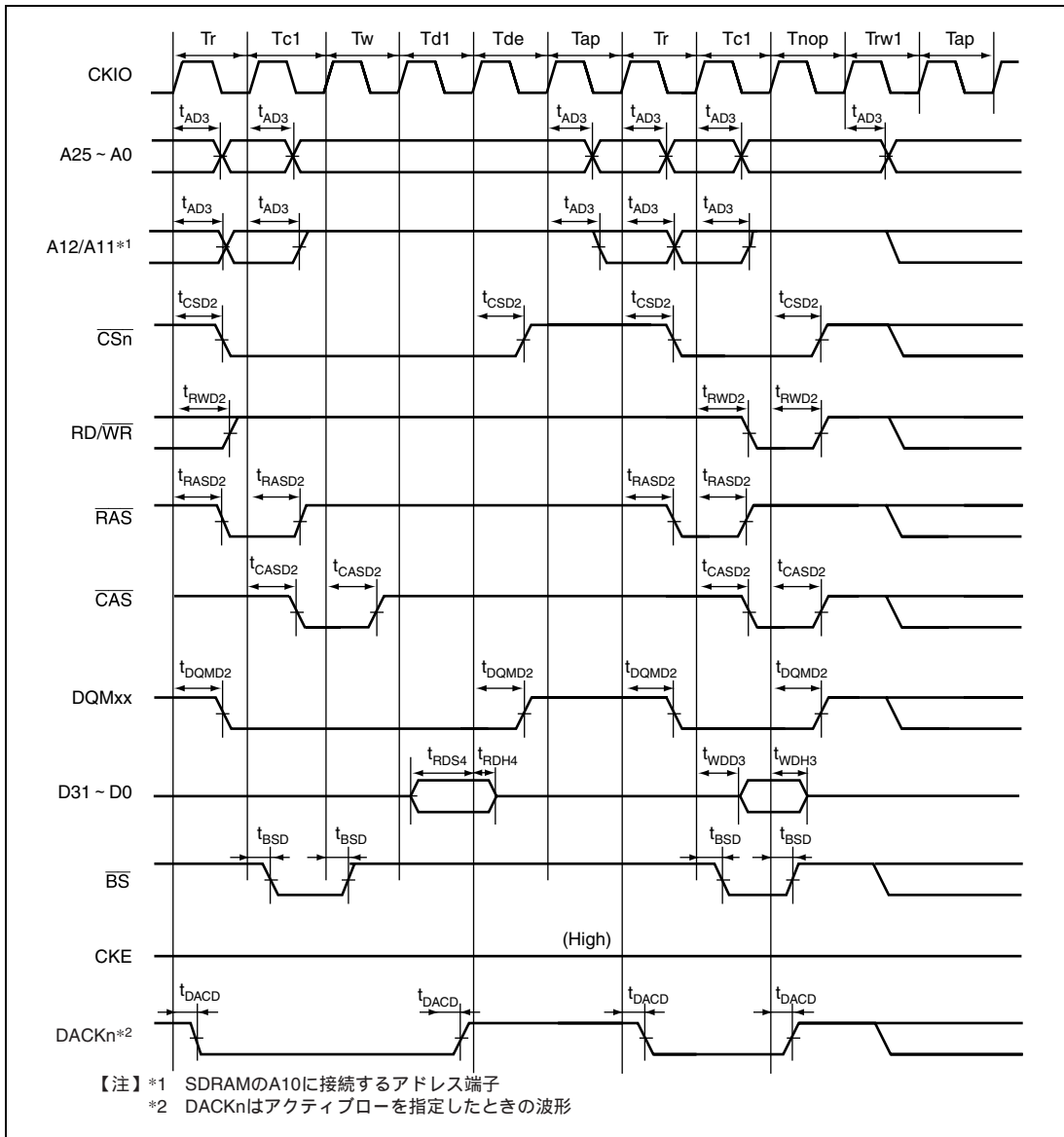


図 25.44 低周波モードでのアクセスタイミング (オートプリチャージ)

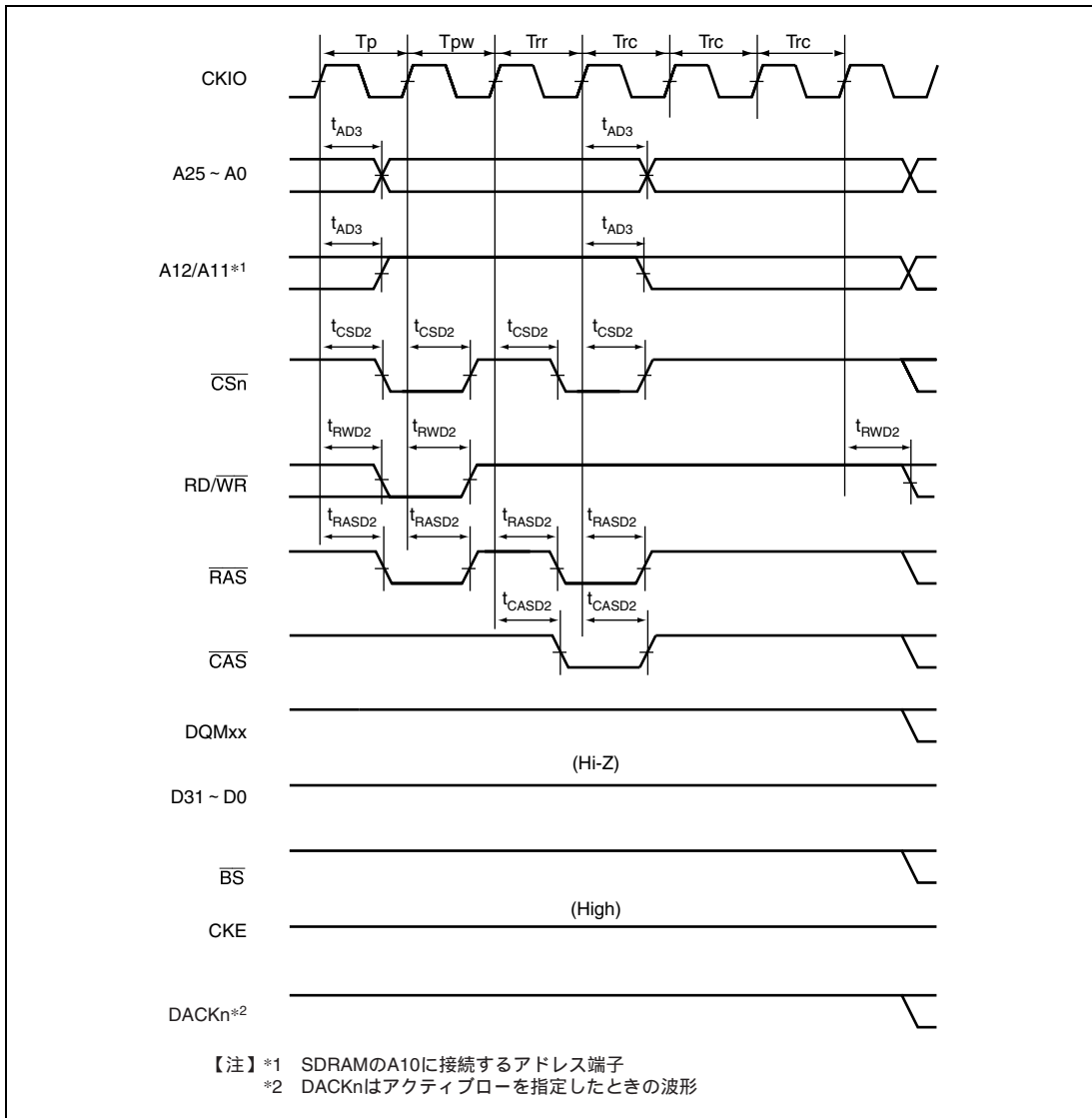


図 25.45 シンクロナス DRAM オートリフレッシュタイミング (WTRP = 1 サイクル、低周波モード)

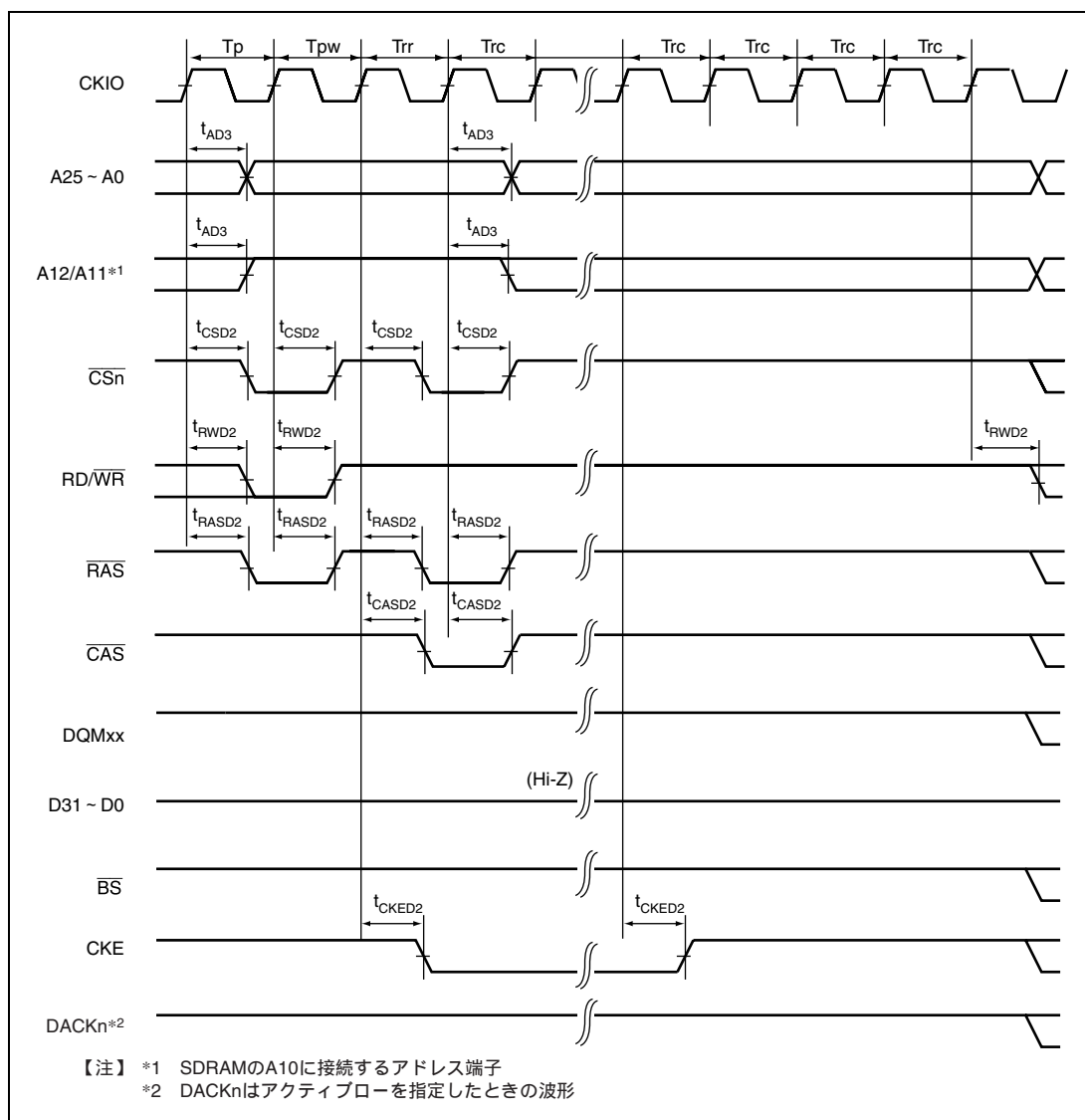


図 25.46 シンクロナス DRAM セルフリフレッシュタイミング (WTRP = 1 サイクル、低周波モード)

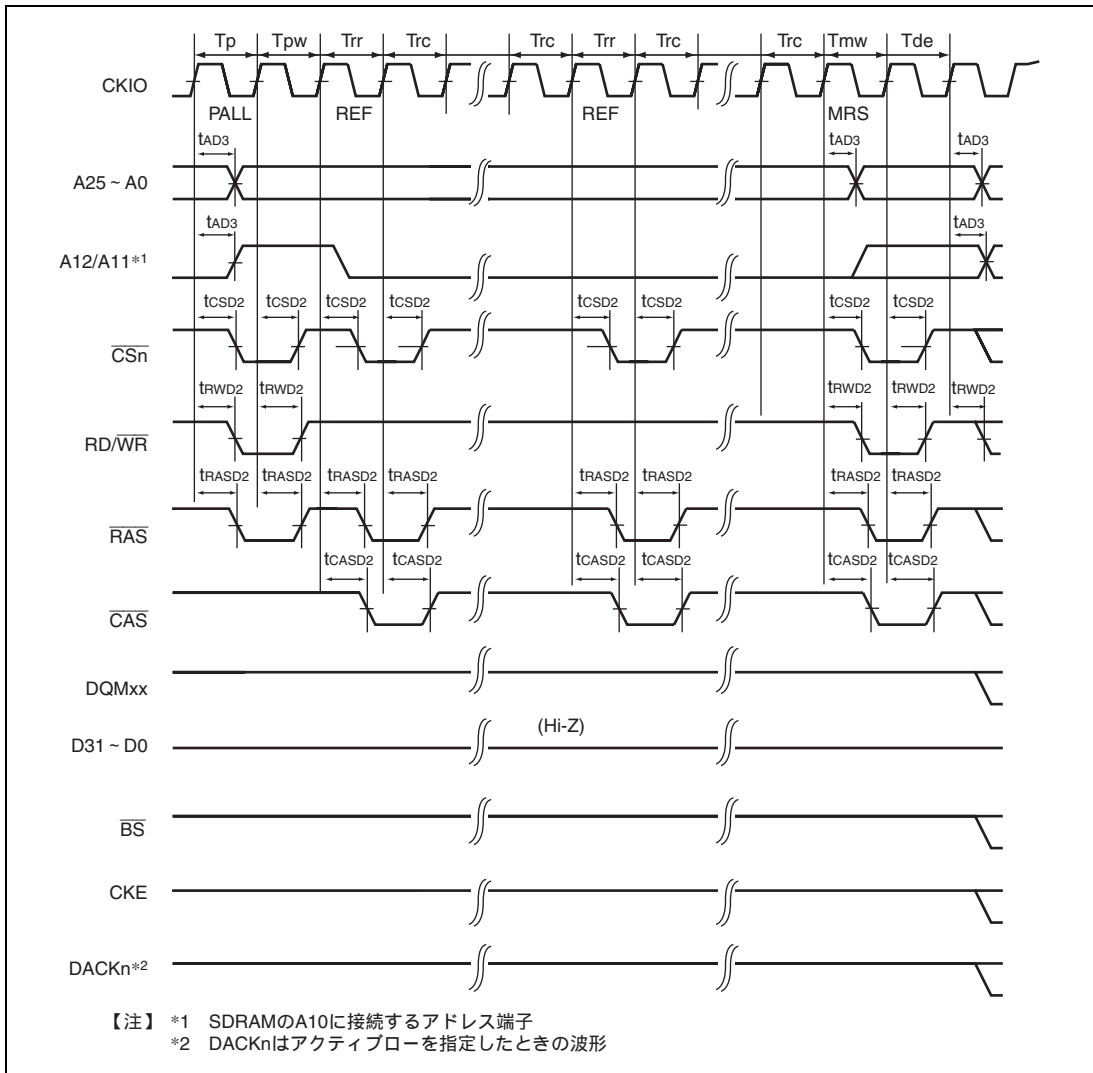


図 25.47 シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP = 1 サイクル、低周波モード)



## 25.3.7 DMAC 信号タイミング

表 25.9 DMAC 信号タイミング

条件 :  $V_{ccQ} = V_{ccQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{cc} = V_{cc-PLL1} = V_{cc-PLL2} = 1.4 \sim 1.6V$ 、 $V_{ssQ} = V_{ss} = V_{ssQ-RTC} = V_{ss-PLL1} = V_{ss-PLL2} = 0V$ 、 $T_a = -20 \sim 75$ 

モジュール	項目	記号	Min.	Max.	単位	参照図
DMAC	DREQn セットアップ時間	$t_{DRQS}$	10		ns	25.48
	DREQn ホールド時間	$t_{DRQH}$	3			25.48
	TENDn、DACKn 遅延時間	$t_{DACD}$		10		25.49

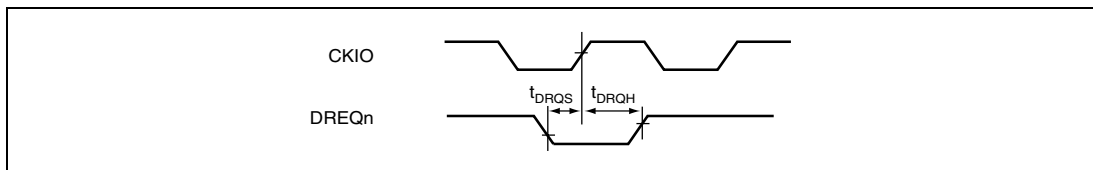


図 25.48 DREQ 入力タイミング

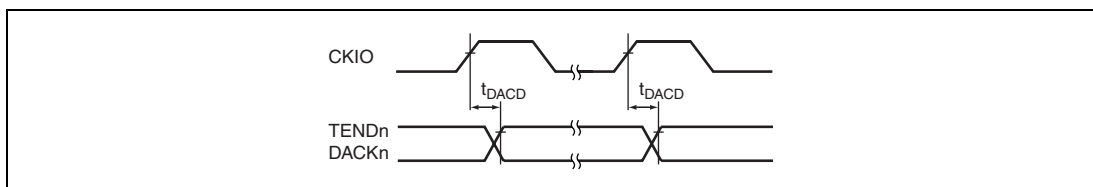


図 25.49 TENDn、DACKn 出力タイミング

## 25.3.8 RTC 信号タイミング

表 25.10 RTC 信号タイミング

条件 :  $V_{ccQ} = V_{ccQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{cc} = V_{cc-PLL1} = V_{cc-PLL2} = 1.4 \sim 1.6V$ 、 $V_{ssQ} = V_{ss} = V_{ssQ-RTC} = V_{ss-PLL1} = V_{ss-PLL2} = 0V$ 、 $T_a = -20 \sim 75$ 

モジュール	項目	記号	Min.	Max.	単位	参照図
RTC	安定発振時間	$t_{ROSC}$	3		s	25.50

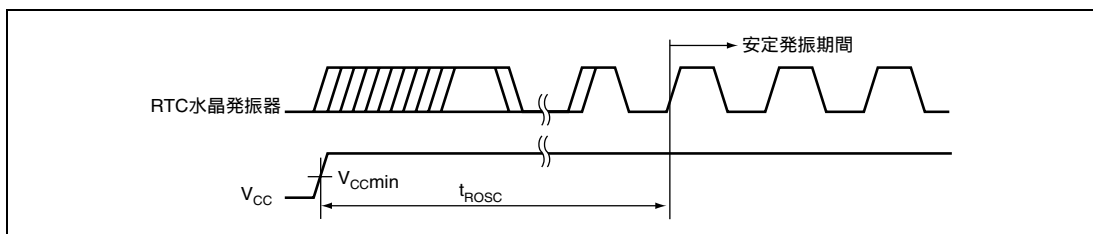


図 25.50 RTC 用水晶発振器パワーオン時安定発振時間

## 25.3.9 SCIF モジュール信号タイミング

表 25.11 SCIF モジュール信号タイミング

条件 :  $V_{CCQ} = V_{CCQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{CC} = V_{CC-PLL1} = V_{CC-PLL2} = 1.4 \sim 1.6V$ 、 $V_{SSQ} = V_{SS} = V_{SSQ-RTC} = V_{SS-PLL1} = V_{SS-PLL2} = 0V$ 、 $T_a = -20 \sim 75$ 

モジュール	項目	記号	Min.	Max.	単位	参照図	
SCIF0	入力クロックサイクル	クロック同期	$t_{Soyc}$	12		$t_{Poyc}$	25.51、25.52
		調歩同期		4			
SCIF1	入力クロック立ち上がり時間		$t_{SCKR}$		1.5		25.51
	入力クロック立ち下がり時間		$t_{SCKF}$		1.5		
	入力クロックパルス幅		$t_{SCKW}$	0.4	0.6		
	送信データ遅延時間		$t_{TXD}$		$3t_{Poyc}^* + 50$	ns	25.52
	受信データセットアップ時間(クロック同期)		$t_{RXS}$	$2t_{Poyc}^*$			
	受信データホールド時間(クロック同期)		$t_{RXH}$	$2t_{Poyc}^*$			
	RTS 遅延時間		$t_{RTSD}$		100		
	CTS セットアップ時間(クロック同期)		$t_{CTSS}$	100			
	CTS ホールド時間(クロック同期)		$t_{CTSH}$	100			

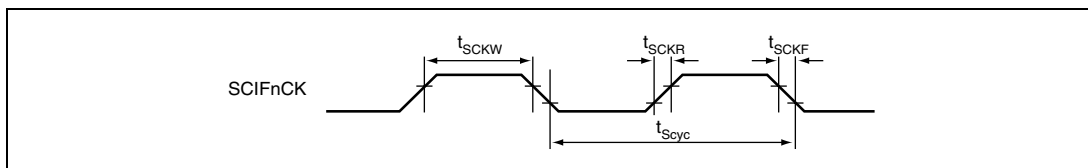
【注】 \*  $t_{Poyc}$  は周辺クロック (P) サイクルを示します。

図 25.51 SCIFnCK 入力クロックタイミング

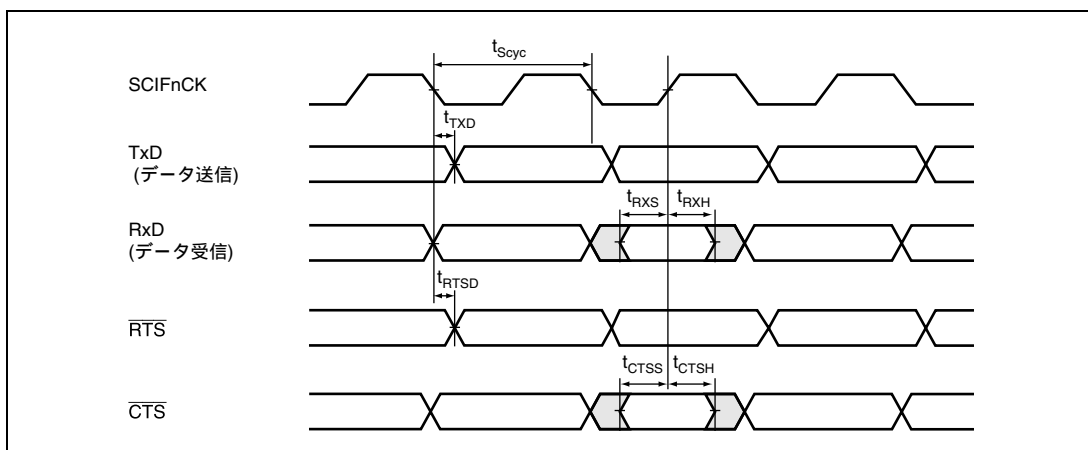


図 25.52 クロック同期式モード時の SCIF 入出力タイミング

## 25.3.10 SIOF モジュール信号タイミング

表 25.12 SIOF モジュール信号タイミング

条件 :  $V_{CCQ} = V_{CCQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{CC} = V_{CC-PLL1} = V_{CC-PLL2} = 1.4 \sim 1.6V$ 、 $V_{SSQ} = V_{SS} = V_{SSQ-RTC} = V_{SS-PLL1} = V_{SS-PLL2} = 0V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min.	Max.	単位	参照図
SIOMCLK クロック入力サイクル時間	$t_{Myc}$	30		ns	25.53
SIOMCLK 入力 High レベル幅	$t_{MWH}$	$0.4 \times t_{Myc}$			
SIOMCLK 入力 Low レベル幅	$t_{MWL}$	$0.4 \times t_{Myc}$			
SCK_SIO クロックサイクル時間	$t_{Slyc}$	$2 \times t_{Poyc}$			25.54 ~ 25.58
SCK_SIO 出力 High レベル幅	$t_{SWHO}$	$0.4 \times t_{Slyc}$			25.54 ~ 25.57
SCK_SIO 出力 Low レベル幅	$t_{SWLO}$	$0.4 \times t_{Slyc}$			
SIOFSYNC 出力遅延時間	$t_{FSD}$		20		
SCK_SIO 入力 High レベル幅	$t_{SWHI}$	$0.4 \times t_{Slyc}$			25.58
SCK_SIO 入力 Low レベル幅	$t_{SWLI}$	$0.4 \times t_{Slyc}$			
SIOFSYNC 入力セットアップ時間	$t_{FSS}$	20			
SIOFSYNC 入力ホールド時間	$t_{FSH}$	20			
TXD_SIO 出力遅延時間	$t_{STDD}$		20		25.54 ~ 25.58
RXD_SIO 入力セットアップ時間	$t_{SRDS}$	20			
RXD_SIO 入力ホールド時間	$t_{SRDH}$	20			

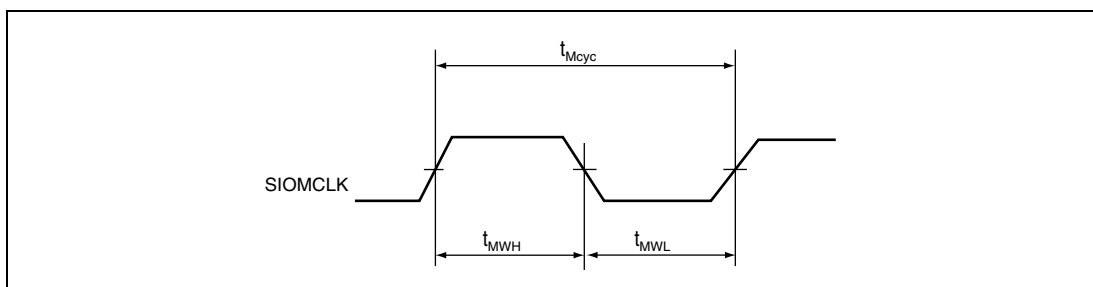
【注】 \*  $t_{Poyc}$  は周辺クロック (P) のサイクル時間 (ns)

図 25.53 SIOMCLK 入力タイミング

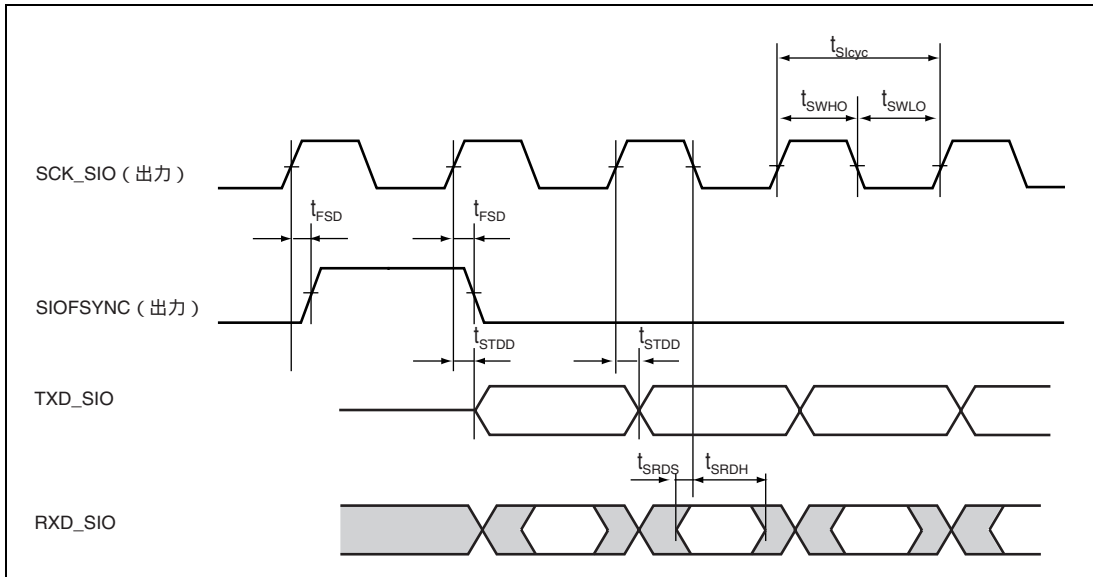


図 25.54 SIOF 送受信タイミング (マスタモード 1 / 立ち下がりサンプリング時)

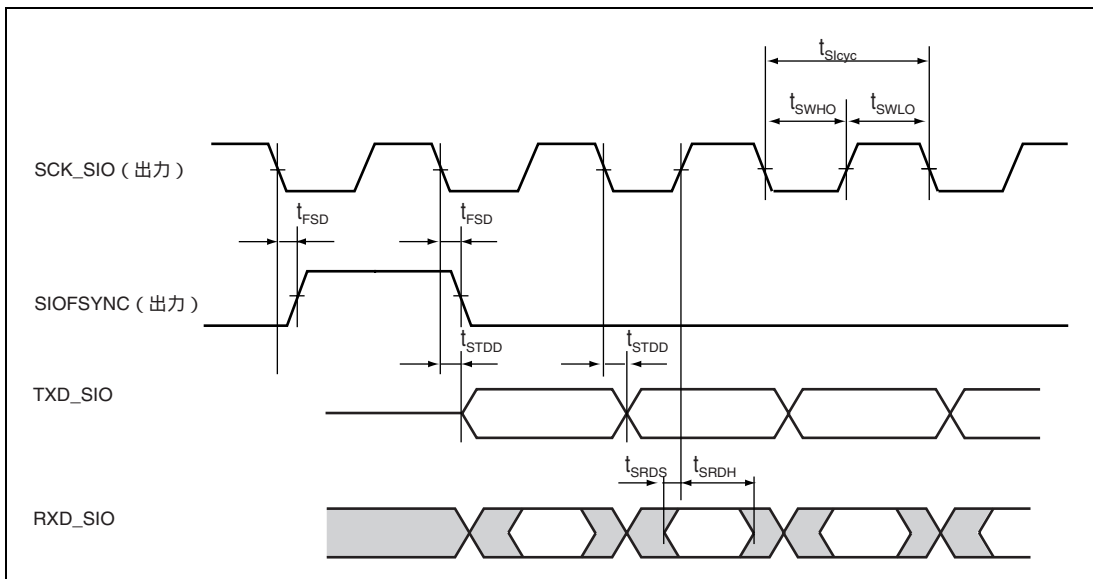


図 25.55 SIOF 送受信タイミング (マスタモード 1 / 立ち上がりサンプリング時)

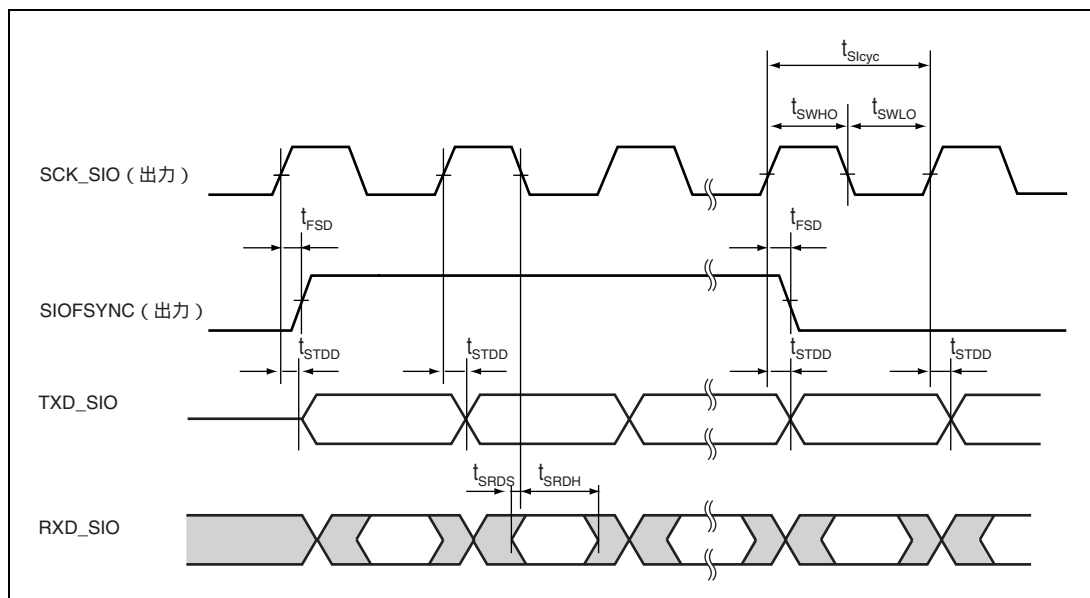


図 25.56 SIOF 送受信タイミング (マスターモード2 / 立ち下がりサンプリング時)

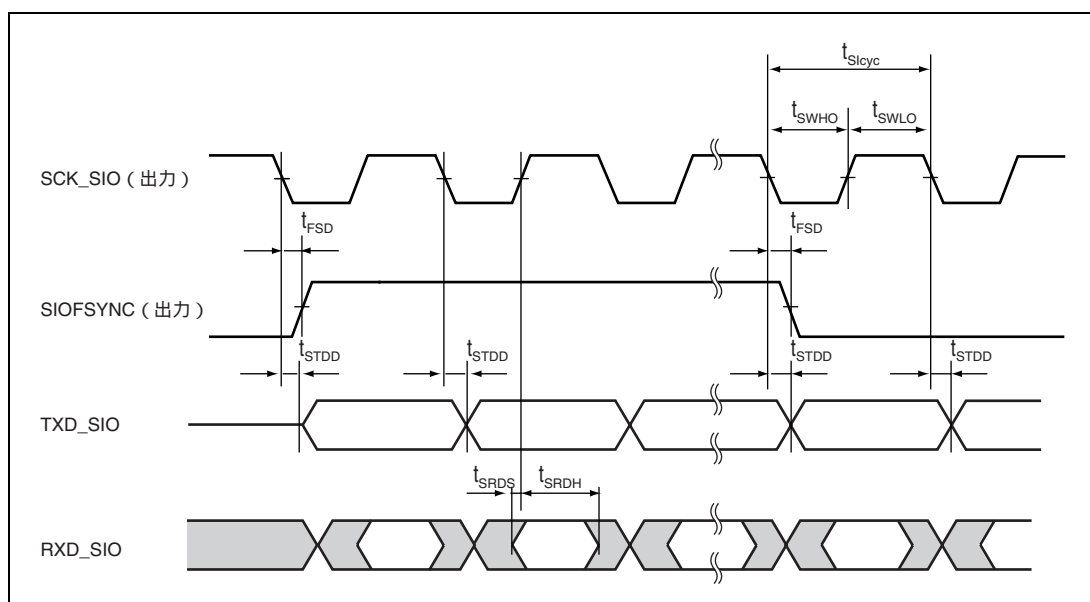


図 25.57 SIOF 送受信タイミング (マスターモード2 / 立ち上がりサンプリング時)

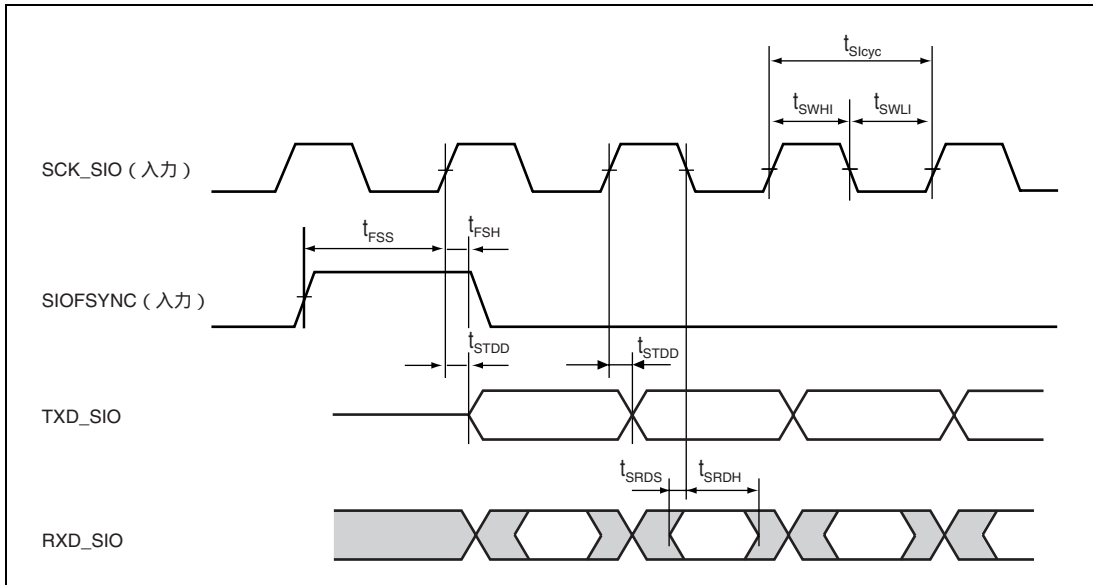


図 25.58 SIOF 送受信タイミング (スレープモード 1 / スレープモード 2 時)

## 25.3.11 イーサネットコントローラタイミング

表 25.13 イーサネットコントローラタイミング

条件 :  $V_{CCQ} = V_{CCQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{CC} = V_{CC-PLL1} = V_{CC-PLL2} = 1.4 \sim 1.6V$ 、 $V_{SSQ} = V_{SS} = V_{SSQ-RTC} = V_{SS-PLL1} = V_{SS-PLL2} = 0V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min.	Typ.	Max.	単位	参照図
TX-CLK サイクル時間	$t_{TcyC}$	40			ns	25.59
TX-EN 出力遅延時間	$t_{TEND}$	3		20		
ETXD[3:0]出力遅延時間	$t_{ETDD}$	3		20		
CRS セットアップ時間	$t_{CRSS}$	10				
CRS ホールド時間	$t_{CRSH}$	10				
COL セットアップ時間	$t_{COLS}$	10				25.60
COL ホールド時間	$t_{COLH}$	10				
RX-CLK サイクル時間	$t_{RcyC}$	40				25.61
RX-DV セットアップ時間	$t_{RDVS}$	10				
RX-DV ホールド時間	$t_{RDVH}$	3				
ERXD[3:0]セットアップ時間	$t_{ERDS}$	10				
ERXD[3:0]ホールド時間	$t_{ERDH}$	3				
RX-ER セットアップ時間	$t_{RERS}$	10				25.62
RX-ER ホールド時間	$t_{RERH}$	3				
MDIO セットアップ時間	$t_{MDIOS}$	10				25.63
MDIO ホールド時間	$t_{MDIOH}$	10				
WOL 出力遅延時間	$t_{WOLD}$	1		18	25.64	
EXOUT 出力遅延時間	$t_{EXOUTD}$	1		28	25.65	
CAMSEN セットアップ時間*	$t_{CAMS}$	10			25.66	
CAMSEN ホールド時間*	$t_{CAMH}$	3				
ARBUSY 出力遅延時間	$t_{ARBYD}$			$1/2t_{TcyC} + 12$	25.67	

【注】 \* SH7710 および SH7712 のみの項目です。

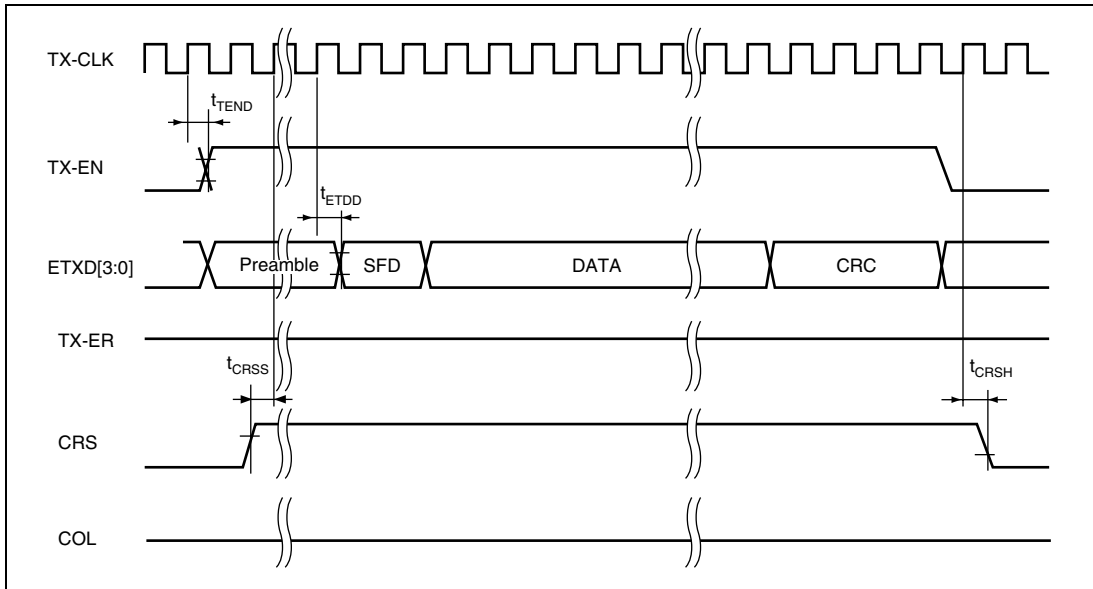


図 25.59 MII 送信タイミング (正常動作時)

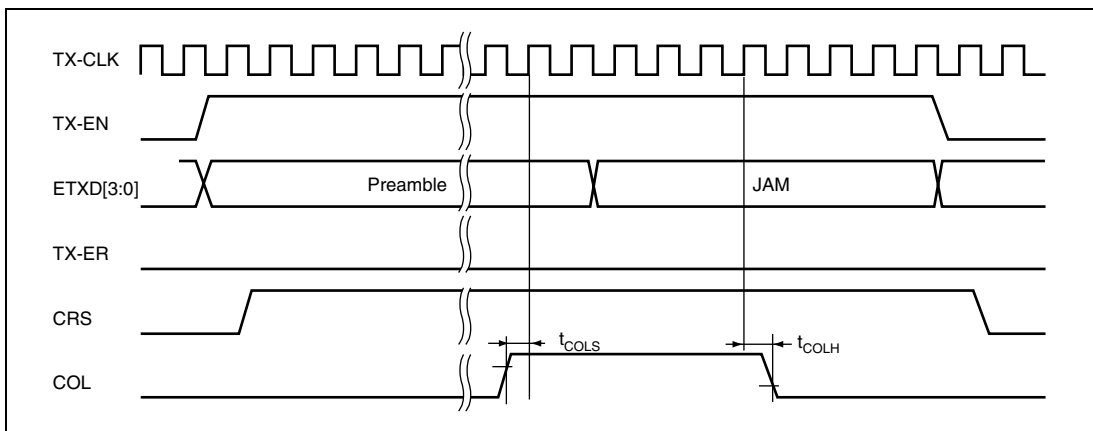


図 25.60 MII 送信タイミング (衝突発生ケース)



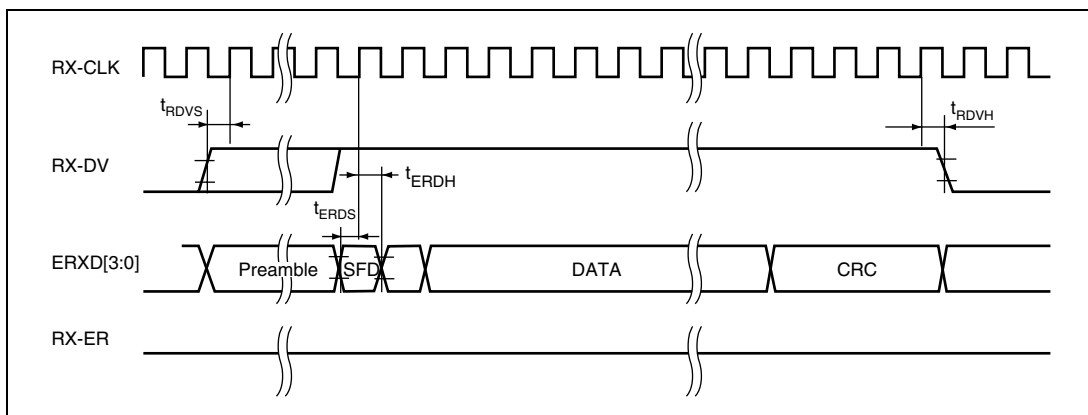


図 25.61 MII 受信タイミング (正常動作時)

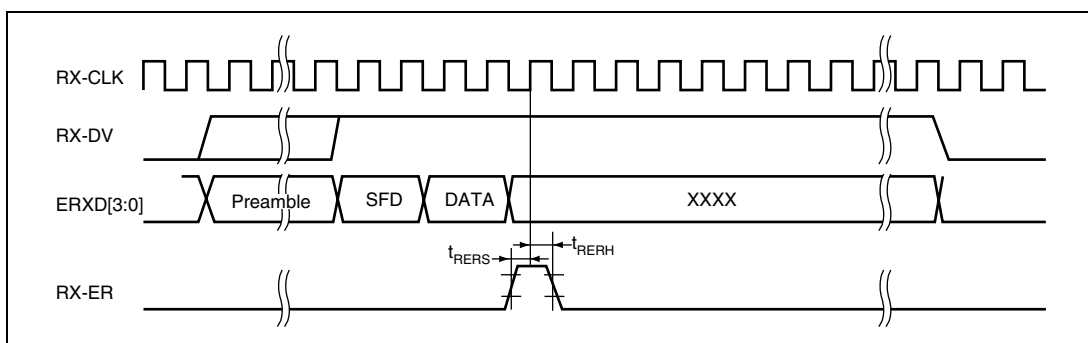


図 25.62 MII 受信タイミング (エラー発生ケース)

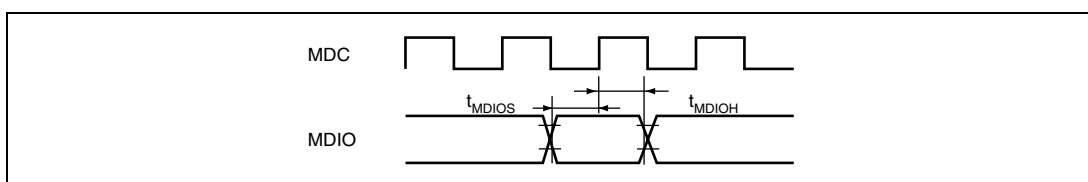


図 25.63 MDIO 入力タイミング

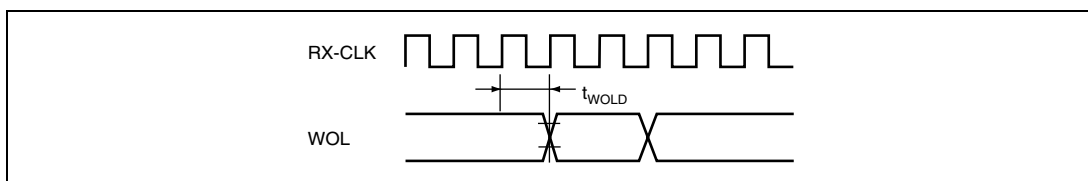


図 25.64 WOL 出力タイミング

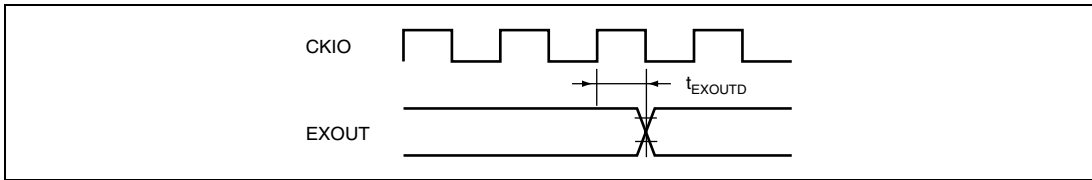


図 25.65 EXOUT 出力タイミング

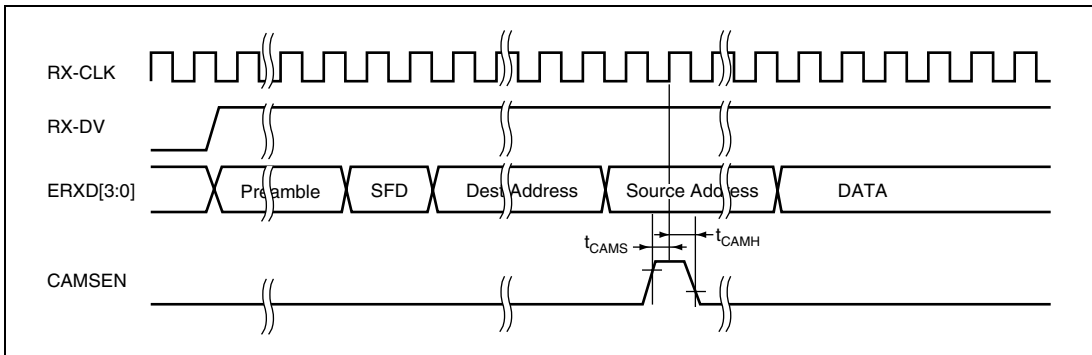


図 25.66 CAMSEN 入力タイミング (SH7710 および SH7712 のみ)

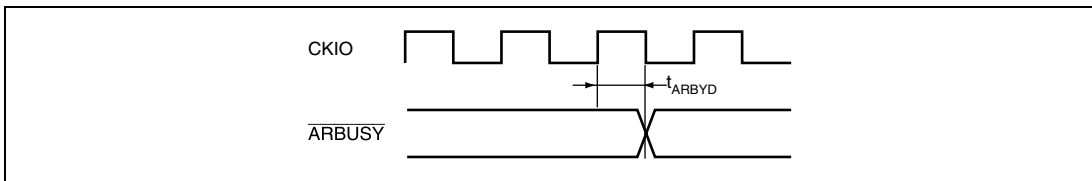


図 25.67 ARBUSY 出力タイミング

## 25.3.12 ポート入出力タイミング

表 25.14 ポート入出力タイミング

条件 :  $V_{CCQ} = V_{CCQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{CC} = V_{CC-PLL1} = V_{CC-PLL2} = 1.4 \sim 1.6V$ 、 $V_{SSQ} = V_{SS} = V_{SSQ-RTC} = V_{SS-PLL1} = V_{SS-PLL2} = 0V$ 、 $T_a = -20 \sim 75$ 

モジュール	項目	記号	Min.	Max.	単位	参照図
ポート	出力データ遅延時間	$t_{PORTD}$		17	ns	25.68
	入力データ セットアップ時間	B:Pクロック比=1:1	$t_{PORTS}$	15		
		B:Pクロック比=2:1		$t_{cyc} + 15$		
		B:Pクロック比=4:1		$3 \times t_{cyc} + 15$		
入力データホールド時間	$t_{PORTH}$	8				

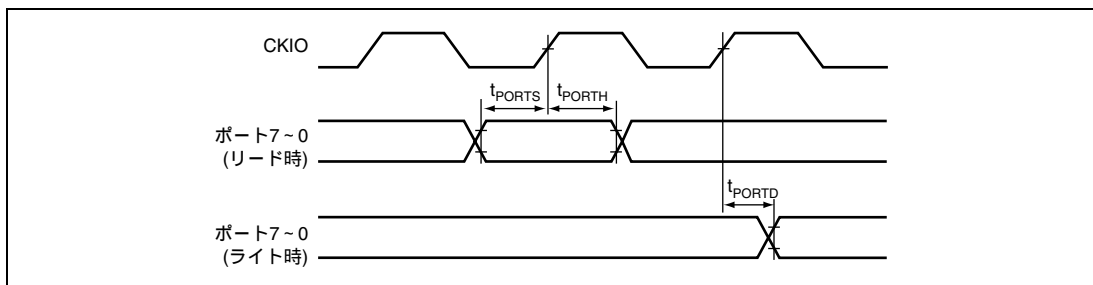
【注】 \*  $t_{cyc}$  は CKIO クロック出力サイクル時間を示します。

図 25.68 I/O ポートタイミング

## 25.3.13 H-UDI 関連端子のタイミング

表 25.15 H-UDI 関連端子のタイミング

条件 :  $V_{ccQ} = V_{ccQ-RTC} = 3.0 \sim 3.6V$ 、 $V_{cc} = V_{cc-PLL1} = V_{cc-PLL2} = 1.4 \sim 1.6V$ 、 $V_{ssQ} = V_{ss} = V_{ssQ-RTC} = V_{ss-PLL1} = V_{ss-PLL2} = 0V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min.	Max.	単位	参照図
TCK サイクル時間	$t_{TCKcyc}$	50		ns	25.69
TCK High レベルパルス幅	$t_{TCKH}$	12		ns	
TCK Low レベルパルス幅	$t_{TCKL}$	12		ns	
TCK 立ち上がり / 立ち下がり時間	$t_{TCKF}$		4	ns	
TRST セットアップ時間	$t_{TRSTS}$	12		ns	25.70
TRST ホールド時間	$t_{TRSTH}$	50		$t_{cyc}$	
TDI セットアップ時間	$t_{TDIS}$	10		ns	25.71
TDI ホールド時間	$t_{TDIH}$	10		ns	
TMS セットアップ時間	$t_{TMSS}$	10		ns	
TMS ホールド時間	$t_{TMSH}$	10		ns	
TDO 遅延時間	$t_{TDOD}$		15	ns	
ASEMD0 セットアップ時間	$t_{ASEMDOS}$	12		ns	
ASEMD0 ホールド時間	$t_{ASEMD0H}$	12		ns	
ASEBRKAK 遅延時間	$t_{ASBRAKD}$		15	ns	25.73

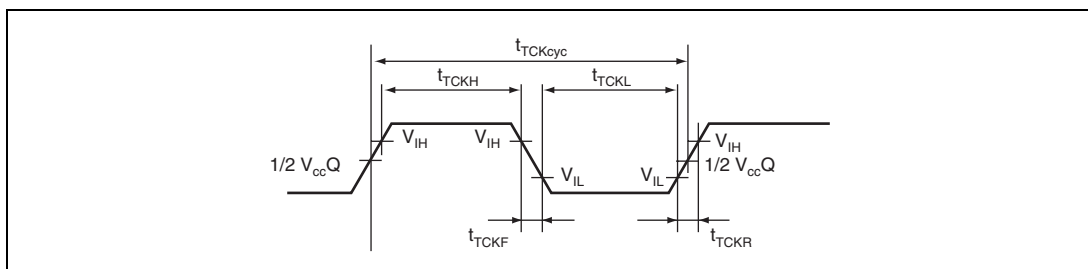


図 25.69 TCK 入力タイミング

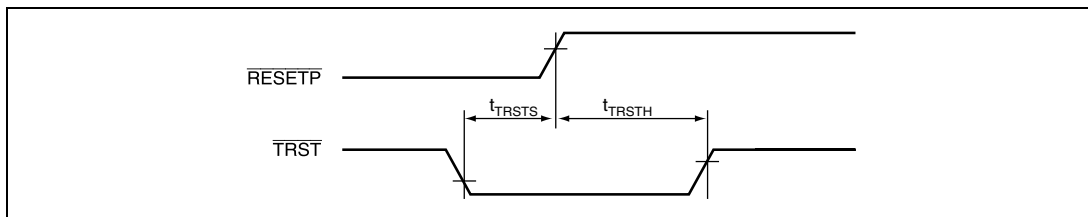


図 25.70 TRST 入力タイミング (リセットホールド時)

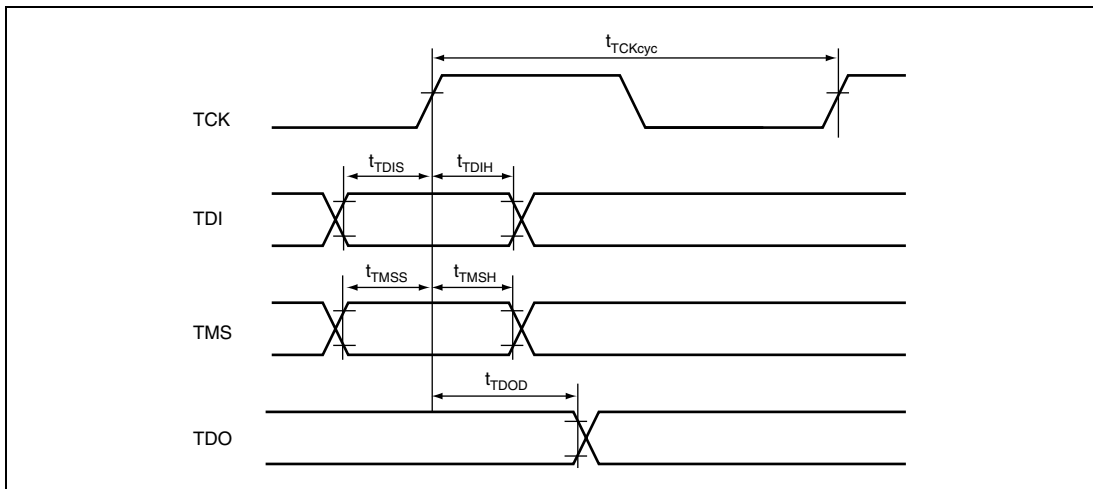
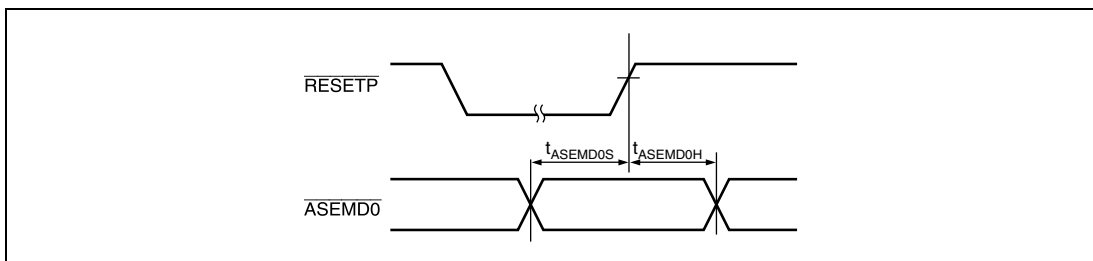
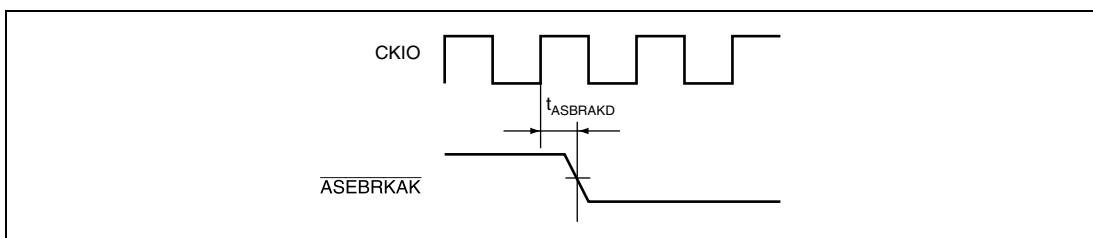


図 25.71 H-UDI データ転送タイミング

図 25.72  $\overline{ASEMD0}$  入カタイミング図 25.73  $\overline{ASEBRKAK}$  遅延時間

## 25.3.14 AC 特性測定条件

- 入出力信号参照レベル :  $V_{cc}Q/2$  ( $V_{cc}Q = 3.0 \sim 3.6V$ 、 $V_{cc} = 1.4 \sim 1.6V$ )
- 入力パルスレベル :  $V_{ss}Q \sim 3.0V$  (ただし、 $\overline{RESETP}$ 、 $\overline{RESETM}$ 、 $\overline{ASEMD0}$ 、NMI、IRQ5 ~ IRQ0、CKIO、および MD5 ~ MD0 は  $V_{ss}Q \sim V_{cc}Q$ )
- 入力立ち上がり、立ち下がり時間 : 1ns

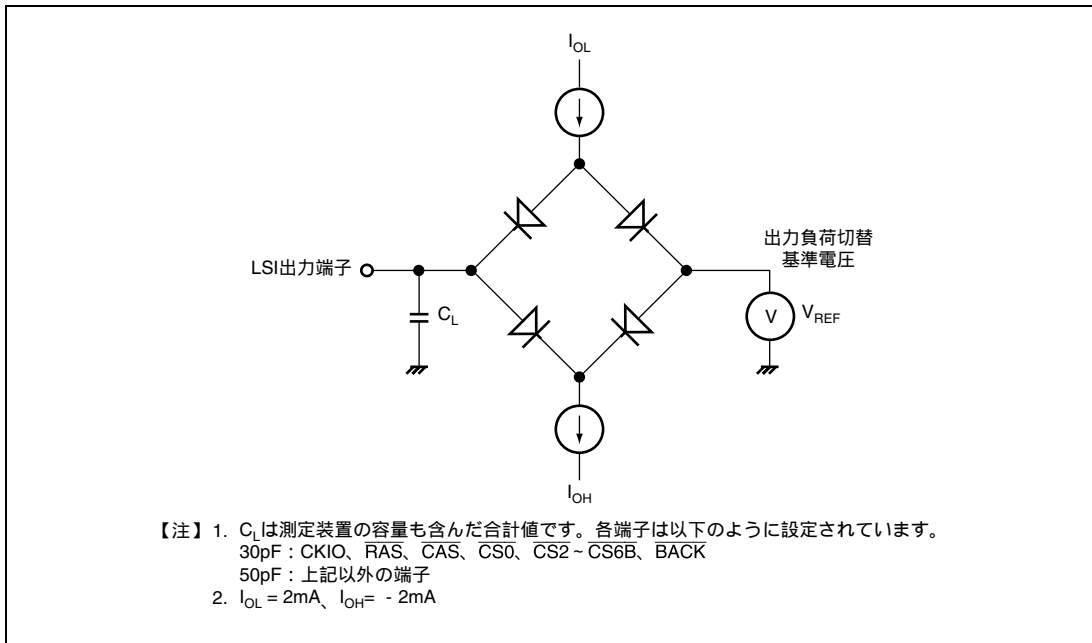


図 25.74 出力負荷回路

## 25.4 負荷容量による遅延時間の変化

下記に、本 LSI の各端子に規定以上 (30pF) の負荷容量を接続した場合の遅延時間の変化のグラフ (参考データ) を示します。規定容量を超えて外部デバイスを接続される場合は、図 25.75 のグラフを参考に設計してください。

なお、接続される負荷容量が図 25.75 の範囲を超える場合は、グラフは直線になりません。

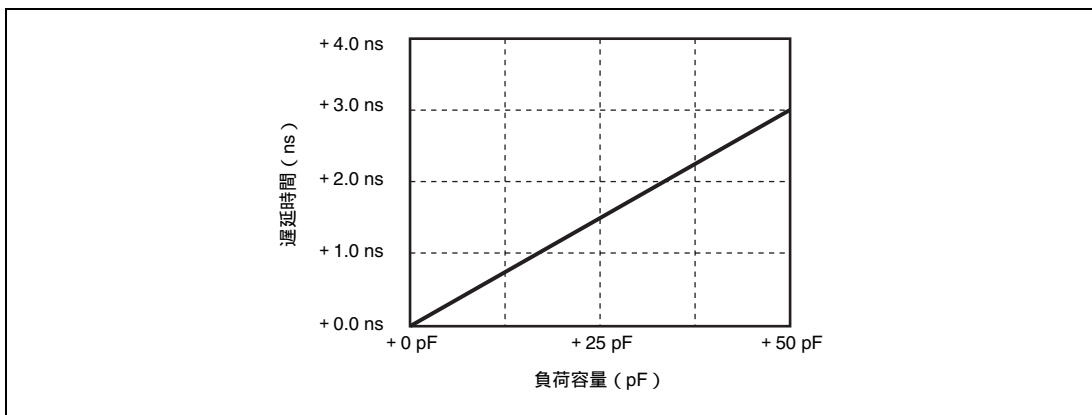


図 25.75 負荷容量 - 遅延時間





# 付録

## A. 端子状態と未使用端子の状態

端子名	I/O	リセット		低消費電力		バス権解放	未使用端子 の処理	分類
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ			
REFOUT/IRQOUT/ARBUSY	O/O/O	H	H	Z	H	H	オープン	共通
BREQ	I	I	i	Z	I	I	プルアップ	共通
BACK	O	O	O	Z	O	L	オープン	共通
CS0	O	H	H	HZ*4	O	Z	オープン	共通
CS4	O	H	H	HZ*4	O	Z	オープン	共通
CS5A	O	H	H	HZ*4	O	Z	オープン	共通
CS6A	O	H	H	HZ*4	O	Z	オープン	共通
WAIT	I	I	I	Z	I	Z	プルアップ	共通
RD	O	H	H	HZ*4	O	Z	オープン	共通
BS	O	H	H	HZ*4	O	Z	オープン	共通
D0	IO	Z	Z	Z	IO	Z	プルアップ	共通
D1	IO	Z	Z	Z	IO	Z	プルアップ	共通
D2	IO	Z	Z	Z	IO	Z	プルアップ	共通
D3	IO	Z	Z	Z	IO	Z	プルアップ	共通
D4	IO	Z	Z	Z	IO	Z	プルアップ	共通
D5	IO	Z	Z	Z	IO	Z	プルアップ	共通
D6	IO	Z	Z	Z	IO	Z	プルアップ	共通
D7	IO	Z	Z	Z	IO	Z	プルアップ	共通
D8	IO	Z	Z	Z	IO	Z	プルアップ	共通
D9	IO	Z	Z	Z	IO	Z	プルアップ	共通
D10	IO	Z	Z	Z	IO	Z	プルアップ	共通
D11	IO	Z	Z	Z	IO	Z	プルアップ	共通
D12	IO	Z	Z	Z	IO	Z	プルアップ	共通
D13	IO	Z	Z	Z	IO	Z	プルアップ	共通
D14	IO	Z	Z	Z	IO	Z	プルアップ	共通
D15	IO	Z	Z	Z	IO	Z	プルアップ	共通
WE0 (BE0)/DQMLL	O/O	H	H	HZ*4	O	Z	オープン	共通

端子名	I/O	リセット		低消費電力		バス権解放	未使用端子 の処理	分類
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ			
WE1 ( BE1 ) /DQMLU/WE	O/O/O	H	H	HZ <sup>*4</sup>	O	Z	オープン	共通
RD/W $\bar{R}$	O	H	H	HZ <sup>*4</sup>	O	Z	オープン	共通
CKIO	IO	IO <sup>*1</sup>	Z <sup>*1</sup> IO <sup>*1</sup>	Z <sup>*1</sup> IO <sup>*1</sup>	IO <sup>*1</sup>	Z <sup>*1</sup> IO <sup>*1</sup>	オープン	共通
CAS	O	H	H	HZ <sup>*4</sup>	O	HZ <sup>*4</sup>	オープン	共通
CKE	O	H	O	HZ <sup>*4</sup>	O	OZ <sup>*5</sup>	オープン	共通
RAS	O	H	H	HZ <sup>*4</sup>	O	HZ <sup>*4</sup>	オープン	共通
C $\bar{S}$ 2	O	H	H	HZ <sup>*4</sup>	O	Z	オープン	共通
C $\bar{S}$ 3	O	H	H	HZ <sup>*4</sup>	O	Z	オープン	共通
A0	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A1	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A2	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A3	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A4	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A5	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A6	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A7	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A8	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A9	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A10	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A11	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A12	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A13	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A14	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A15	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A16	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A17	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
WE2 ( BE2 ) / DQMUL/ICIOR $\bar{D}$	O/O/O	H	H	HZ <sup>*4</sup>	O	Z	オープン	共通
WE3 ( BE3 ) / DQMUU/ICIOR $\bar{W}$	O/O/O	H	H	HZ <sup>*4</sup>	O	Z	オープン	共通
D16	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D17	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D18	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D19	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D20	IO	Z	Z	Z	IO	Z	ブルアップ	共通

端子名	I/O	リセット		低消費電力		バス種解放	未使用端子 の処理	分類
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ			
D21	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D22	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D23	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D24	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D25	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D26	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D27	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D28	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D29	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D30	IO	Z	Z	Z	IO	Z	ブルアップ	共通
D31	IO	Z	Z	Z	IO	Z	ブルアップ	共通
A18	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A19	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A20	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A21	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A22	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A23	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A24	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
A25	O	O	O	OZ <sup>*5</sup>	O	Z	オープン	共通
PTB0	IO	V	P <sup>*2</sup> Z	K <sup>*Z</sup>	P <sup>*2</sup>	P <sup>*2</sup> Z	オープン	共通
PTB1/CTS1	IO/I	V	P <sup>*2</sup> I	K <sup>*Z</sup>	P <sup>*2</sup> I	P <sup>*2</sup> I	オープン	共通
PTB2/RTS1	IO/O	V	P <sup>*2</sup> O	K <sup>*Z</sup>	P <sup>*2</sup> O	P <sup>*2</sup> O	オープン	共通
PTB3/RXD1	IO/I	V	P <sup>*2</sup> Z	K <sup>*Z</sup>	P <sup>*2</sup> I	P <sup>*2</sup> Z	オープン	共通
PTB4/TXD1	IO/O	V	P <sup>*2</sup> Z	K <sup>*Z</sup>	P <sup>*2</sup> O	P <sup>*2</sup> Z	オープン	共通
PTB5/SCI0F0CK	IO/IO	V	P <sup>*2</sup> Z	K <sup>*Z</sup>	P	P <sup>*2</sup> Z	オープン	共通
PTB6/CTS0	IO/I	V	P <sup>*2</sup> I	K <sup>*Z</sup>	P <sup>*2</sup> I	P <sup>*2</sup> I	オープン	共通
PTB7/RTS0	IO/O	V	P <sup>*2</sup> O	K <sup>*Z</sup>	P <sup>*2</sup> O	P <sup>*2</sup> O	オープン	共通
PTA0/RXD0	IO/I	V	P <sup>*2</sup> Z	K <sup>*Z</sup>	P <sup>*2</sup> I	P <sup>*2</sup> Z	オープン	共通
PTA1/TXD0	IO/O	V	P <sup>*2</sup> Z	K <sup>*Z</sup>	P <sup>*2</sup> O	P <sup>*2</sup> Z	オープン	共通
PTA2/SCI0F0CK	IO/IO	V	P <sup>*2</sup> Z	K <sup>*Z</sup>	P	P <sup>*2</sup> Z	オープン	共通
PTA3/SCK_SIO0	IO/IO	V	P <sup>*2</sup> I	K <sup>*Z</sup>	P	P <sup>*2</sup> I	オープン	共通
PTA4/SIOMCLK0	IO/I	V	P <sup>*2</sup> I	K <sup>*Z</sup>	P <sup>*2</sup> I	P <sup>*2</sup> I	オープン	共通
PTA5/RXD_SIO0	IO/I	V	P <sup>*2</sup> I	K <sup>*Z</sup>	P <sup>*2</sup> I	P <sup>*2</sup> I	オープン	共通
PTA6/TXD_SIO0	IO/O	V	P <sup>*2</sup> O	K <sup>*Z</sup>	P <sup>*2</sup> O	P <sup>*2</sup> O	オープン	共通
PTA7/SIOFSYNC0	IO/IO	V	P <sup>*2</sup> I	K <sup>*Z</sup>	P	P <sup>*2</sup> I	オープン	共通

端子名	I/O	リセット		低消費電力		バス権解放	未使用端子 の処理	分類
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ			
CRS1	I	I	I	Z	I	I	ブルダウン	SH7710、SH7712
COL1	I	I	I	Z	I	I	ブルダウン	SH7710、SH7712
ETXD13	O	O	O	O	O	O	オープン	SH7710、SH7712
ETXD12	O	O	O	O	O	O	オープン	SH7710、SH7712
ETXD11	O	O	O	O	O	O	オープン	SH7710、SH7712
ETXD10	O	O	O	O	O	O	オープン	SH7710、SH7712
TX-EN1	O	O	O	O	O	O	オープン	SH7710、SH7712
TX-CLK1	I	I	I	Z	I	I	ブルダウン	SH7710、SH7712
TX-ER1	O	O	O	O	O	O	オープン	SH7710、SH7712
RX-ER1	I	I	I	Z	I	I	ブルダウン	SH7710、SH7712
RX-CLK1	I	I	I	Z	I	I	ブルダウン	SH7710、SH7712
RX-DV1	I	I	I	Z	I	I	ブルダウン	SH7710、SH7712
ERXD10	I	I	I	Z	I	I	ブルダウン	SH7710、SH7712
ERXD11	I	I	I	Z	I	I	ブルダウン	SH7710、SH7712
ERXD12	I	I	I	Z	I	I	ブルダウン	SH7710、SH7712
ERXD13	I	I	I	Z	I	I	ブルダウン	SH7710、SH7712
MDC1	O	O	O	O	O	O	オープン	SH7710、SH7712
MDIO1	IO	I	I	Z	I	I	ブルダウン	SH7710、SH7712
WOL1	O	O	O	O	O	O	オープン	SH7710、SH7712
LNKSTA1	I	I	I	Z	I	I	ブルダウン	SH7710、SH7712
EXOUT1/TEND1	O/O	O	O	O	O	O	オープン	SH7710、SH7712
CAMSEN1/IRQ5	I/I	I	I	ZI*6	I	I	ブルダウン	SH7710、SH7712
TEND1*9	O	O	O	O	O	O	オープン	SH7713
IRQ5*9	I	I	I	ZI*7	I	I	ブルダウン	SH7713
CRS0	I	I	I	Z	I	I	ブルダウン	共通
COL0	I	I	I	Z	I	I	ブルダウン	共通
ETXD03	O	O	O	O	O	O	オープン	共通
ETXD02	O	O	O	O	O	O	オープン	共通
ETXD01	O	O	O	O	O	O	オープン	共通
ETXD00	O	O	O	O	O	O	オープン	共通
TX-EN0	O	O	O	O	O	O	オープン	共通
TX-CLK0	I	I	I	Z	I	I	ブルダウン	共通
TX-ER0	O	O	O	O	O	O	オープン	共通
RX-ER0	I	I	I	Z	I	I	ブルダウン	共通
RX-CLK0	I	I	I	Z	I	I	ブルダウン	共通

端子名	I/O	リセット		低消費電力		バス権解放	未使用端子 の処理	分類
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ			
RX-DV0	I	I	I	Z	I	I	ブルダウン	共通
ERXD00	I	I	I	Z	I	I	ブルダウン	共通
ERXD01	I	I	I	Z	I	I	ブルダウン	共通
ERXD02	I	I	I	Z	I	I	ブルダウン	共通
ERXD03	I	I	I	Z	I	I	ブルダウン	共通
MDC0	O	O	O	O	O	O	オープン	共通
MDIO0	IO	I	I	Z	I	I	ブルダウン	共通
WOL0	O	O	O	O	O	O	オープン	共通
LNKSTA0	I	I	I	Z	I	I	ブルダウン	共通
EXOUT0/TEND0	O/O	O	O	O	O	O	オープン	共通
CAMSEN0/IRQ4	I/I	I	I	ZI*6	I	I	ブルダウン	SH7710、SH7712
IRQ4*9	I	I	I	ZI*7	I	I	ブルダウン	SH7713
MD4	I	I	i	Z	I	i	必ず使用する	共通
MD5	I	I	i	I	I	i	必ず使用する	共通
XTAL2	O	O	O	O	O	O	オープン	共通
EXTAL2	I	I	I	I	I	I	ブルアップ	共通
ASEMD0	I	M	V	Z	V	V	必ず使用する	共通
TDI	I	M	M	V	M	M	オープン	共通
TMS	I	M	M	V	M	M	オープン	共通
TDO	O	Z	Z	Z	O	Z	オープン	共通
TRST	I	M	M	V	M	M	必ず使用する	共通
TCK	I	M	M	V	M	M	オープン	共通
ASEBRKAK	O	V	O	O	O	O	オープン	共通
AUDSYNC	O	Z	O	O	O	O	オープン	共通
AUDCK	O	O	O	O	O	O	オープン	共通
AUDATA3	O	Z	O	O	O	O	オープン	共通
AUDATA2	O	Z	O	O	O	O	オープン	共通
AUDATA1	O	Z	O	O	O	O	オープン	共通
AUDATA0	O	Z	O	O	O	O	オープン	共通
RESETM	I	I	I	I	I	I	ブルアップ	共通
RESETP	I	I	I	I	I	I	必ず使用する	共通
NMI	I	I	I	I	I	I	ブルアップ	共通
IRQ0/IRL0	I	Z	I	I	I	I	ブルアップ	共通
IRQ1/IRL1	I	Z	I	I	I	I	ブルアップ	共通
IRQ2/IRL2	I	Z	I	I	I	I	ブルアップ	共通

端子名	I/O	リセット		低消費電力		バス権解放	未使用端子 の処理	分類
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ			
IRQ3/IRL3	I	Z	I	I	I	I	ブルアップ	共通
STATUS0	O	H	H	H	L	L	オープン	共通
STATUS1	O	H	H	L	H	L	オープン	共通
CKIO2	O	O	O	OZ <sup>*5</sup>	O	OZ <sup>*5</sup>	オープン	共通
DACK0	O	Z	O	Z	O	O	オープン	共通
DACK1	O	Z	O	Z	O	O	オープン	共通
DREQ0	I	I	Z	Z	I	I	ブルアップ	共通
DREQ1	I	I	Z	Z	I	I	ブルアップ	共通
PTC0/SCK_SIO1	IO/IO	V	P <sup>*1</sup> I	K <sup>*2</sup> Z	P	P <sup>*2</sup> I	オープン	共通
PTC1/SIOMCLK1	IO/I	V	P <sup>*1</sup> I	K <sup>*2</sup> Z	P <sup>*1</sup> I	P <sup>*2</sup> I	オープン	共通
PTC2/RXD_SIO1	IO/I	V	P <sup>*1</sup> I	K <sup>*2</sup> Z	P <sup>*2</sup> I	P <sup>*2</sup> I	オープン	共通
PTC3/TXD_SIO1	IO/O	V	P <sup>*2</sup> O	K <sup>*2</sup> Z	P <sup>*2</sup> O	P <sup>*2</sup> O	オープン	共通
PTC4/SIOFSYNC1	IO/IO	V	P <sup>*1</sup> I	K <sup>*2</sup> Z	P	P <sup>*2</sup> I	オープン	共通
PTC5/CE2A	IO/O	V	P <sup>*2</sup> O	K <sup>*2</sup> H	P <sup>*2</sup> O	P <sup>*2</sup> Z	オープン	共通
PTC6/CE2B	IO/O	V	P <sup>*2</sup> O	K <sup>*2</sup> H	P <sup>*2</sup> O	P <sup>*2</sup> Z	オープン	共通
PTC7/IOIS16	IO/I	V	P <sup>*1</sup> I	K <sup>*2</sup> Z	P <sup>*2</sup> I	P <sup>*2</sup> I	オープン	共通
CS5B/CE1A	O/O	H	H	HZ <sup>*4</sup>	O	Z	オープン	共通
CS6B/CE1B	O/O	H	H	HZ <sup>*4</sup>	O	Z	オープン	共通
MD0	I	I	i	I	I	i	必ず使用する	共通
MD1	I	I	i	I	I	i	必ず使用する	共通
MD2	I	I	i	I	I	i	必ず使用する	共通
MD3	I	I	i	Z	I	i	必ず使用する	共通
XTAL	O	O	O	O	O	O	オープン	共通
EXTAL	I	I	I	I	I	I	ブルアップ	共通
VccQ							VccQ	共通
VssQ							VssQ	共通
Vcc							Vcc	共通
Vss							Vss	共通
VccQ-RTC							VccQ	共通
VssQ-RTC							VssQ	共通
Vcc-PLL1							Vcc <sup>*8</sup>	共通
Vss-PLL1							Vss <sup>*8</sup>	共通
Vcc-PLL2							Vcc <sup>*8</sup>	共通
Vss-PLL2							Vss <sup>*8</sup>	共通

## 【記号説明】

- I : 入力状態
- i : 入力状態 (しかし、内部論理では入力を固定)
- O : 出力状態 (レベルはハイまたはローだが、不定)
- L : ロー出力状態
- H : ハイ出力状態
- Z : HiZ (入力、または出力バッファ OFF 状態)
- V : 入力、出力バッファ OFF、プルアップ ON
- M : 入力バッファ ON、出力バッファ OFF、プルアップ ON
- K : レジスタ設定により、出力バッファ ON または入力バッファ OFF (プルアップ ON または OFF)
- P : レジスタ設定により入力または出力

- 【注】
- \*1 クロックモードに依存します。
  - \*2 ポート機能を使うときには、P となります。
  - \*3 ポート機能を使うときには、K となります。
  - \*4 レジスタ設定によって、Z または H になります。
  - \*5 レジスタ設定によって、Z または O になります。
  - \*6 イーサネットコントローラ機能を使うときは Z になります。
  - \*7 PFC の PETCR レジスタの設定がリザーブの場合は Z になります。
  - \*8 Vcc-PLL1、Vcc-PLL2 と Vss-PLL1、Vss-PLL2 は、互いの電源干渉を避けるため、他の Vcc、Vss とはボードの電源供給元から 3 系統の独立したパターンで配線してください。
  - \*9 パワーオンリセット直後はリザーブ機能になっています。各端子機能を使用する場合は、必ず PFC の PETCR レジスタで使用する端子機能を選択してください。

## B. 外形寸法図

図 B.1 および図 B.2 に本 LSI の外形寸法図を示します。

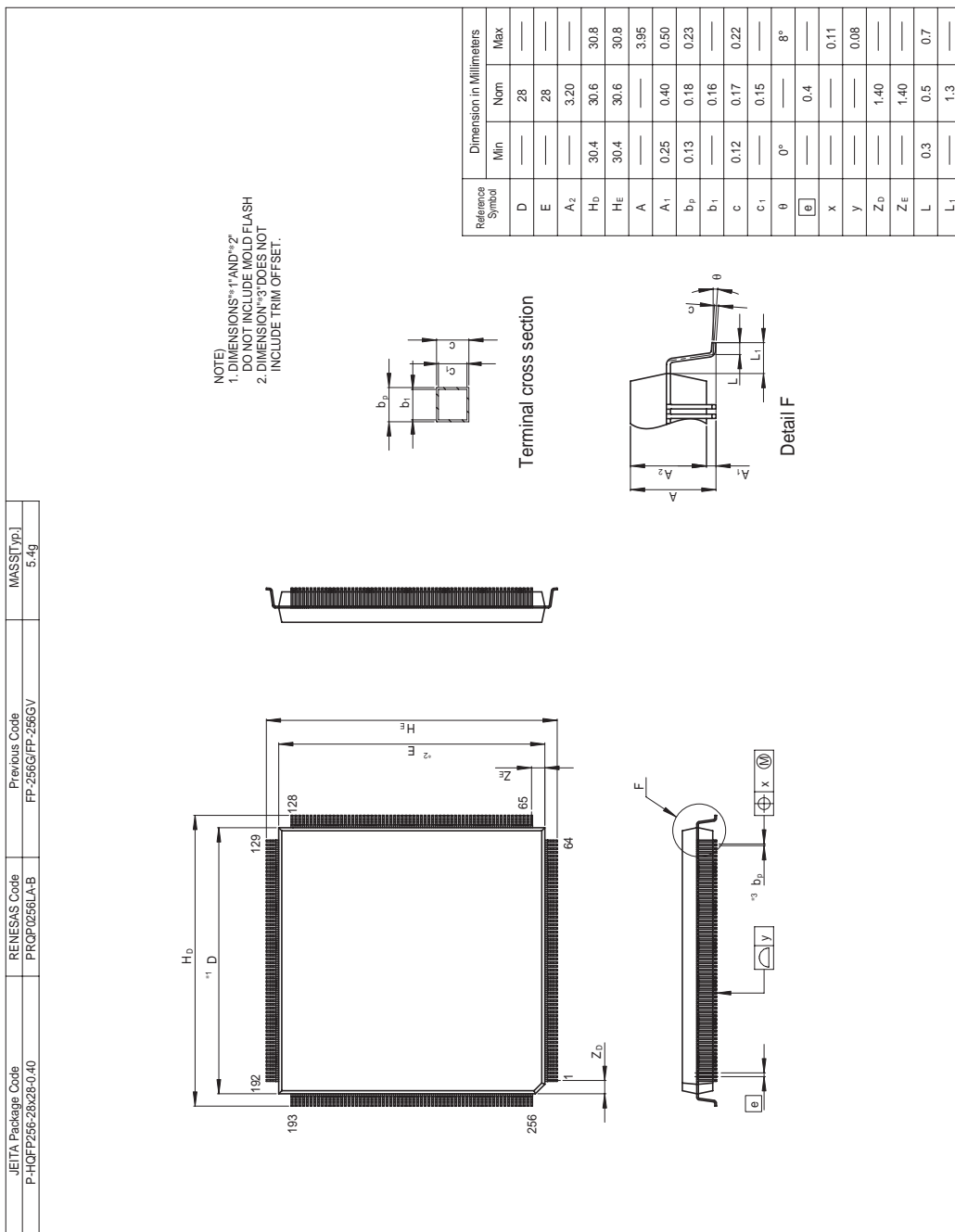


図 B.1 外形寸法図 (HQFP2828-256 (FP-256G/GV))



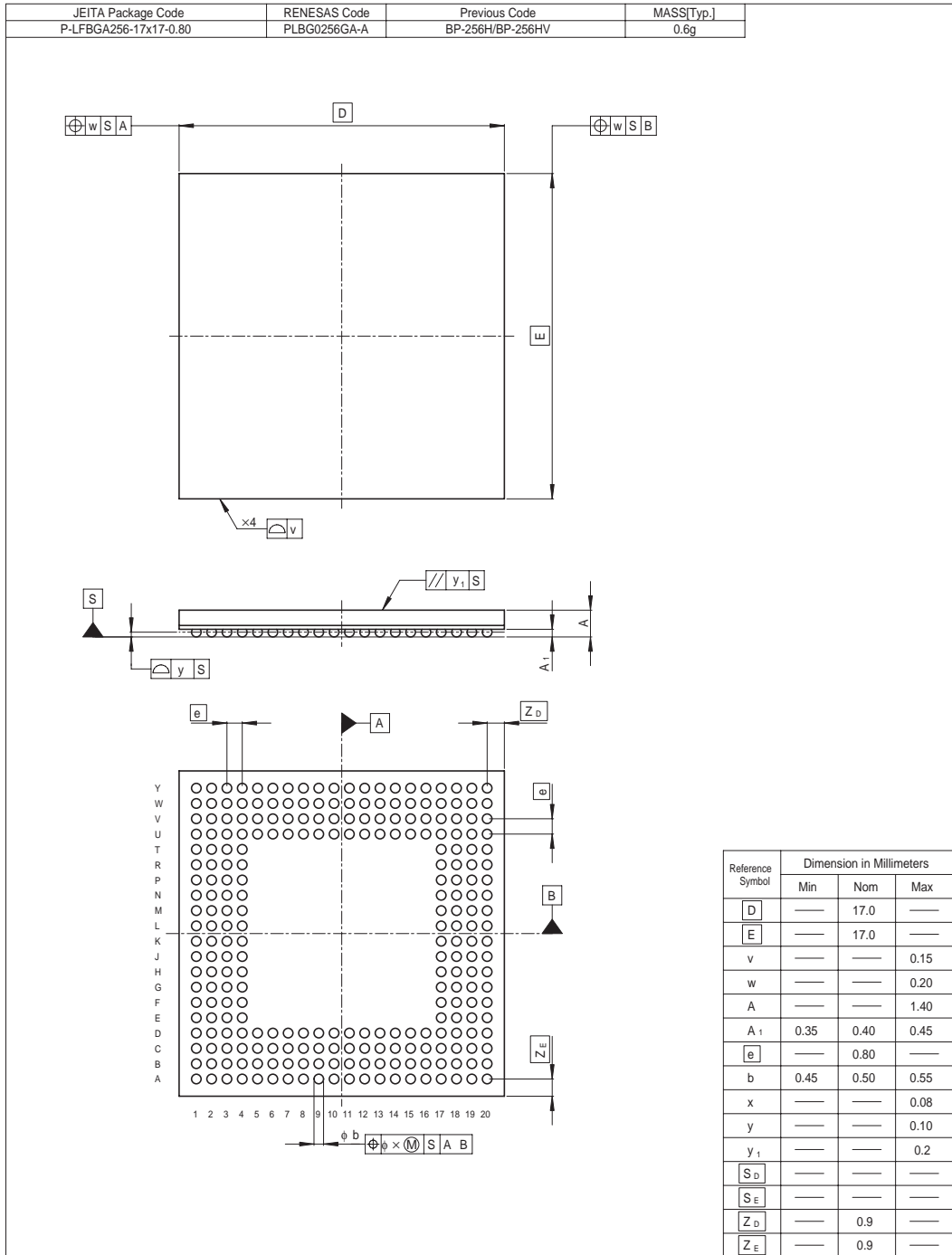


図 B.2 外形寸法図 ( P-LFBGA1717-256 ( BP-256H/HV ) )

## C. リセット処理プログラムを記述する際の注意事項

パワーオンリセットおよびマニュアルリセットを実行する場合には、リセット直後に必ず下記ルーチンを行ってください。

```
MOV.L    #H'FFFFFF40, R1
MOV.L    #H'80000005, R0
MOV.L    #H'A4FC0008, R2
NOP
NOP
TESTCR2_SET
NOP
MOV.B    R0, @R1
MOV.B    R0, @R1
MOV.L    R0, @R2
NOP
NOP
NOP
MOV.L    @R2, R3
CMP/EQ   R3, R0
BF       TESTCR2_SET
NOP
NOP
```

## 本版で修正または追加された箇所

SH7710、SH7712、SH7713 グループ ユーザーズマニュアル ハードウェア編第3版 (RJJ09B0043-0200→R01UH0338JJ0300) におきまして、修正および追加した箇所がありますのでご連絡させていただきます。

項 目	ページ	修正箇所
—	—	SH7712、SH7713 追加 HD6417712、HD6417713 追加
—	—	用語を修正 (修正前) TRPn → (修正後) WTRPn (修正前) TRCDn → (修正後) WTRCDn (修正前) TRCn → (修正後) WTRCn
1. 概要と端子機能	1-1	追加 本 LSI は、IEEE802.3u 規格に準拠したメディアアクセスコントローラ (MAC) とメディアインディペンデントインタフェース (MII) 標準ユニットを含むイーサネットコントローラを 2 チャネル (SH7710、SH7712) または 1 チャネル (SH7713) 搭載しており、10/100Mbps での LAN 接続を実現することができます。さらに、IP セキュリティアクセラレータを内蔵することにより、ネットワーク上のデータのセキュリティ管理を効率よく行うことができます*。 : 【注】 * IP セキュリティアクセラレータは、SH7710 にのみ内蔵されています。
1.1 特長	1-3	追加 5. X/Y メモリの特長 • 3本の独立した読み出しおよび書き込みポート CPU からの 8、16、および 32 ビットアクセス DSP からの最大 2 つの 16 ビットのアクセス SH7710、SH7712 : DMAC と E-DMAC からの 8、16、および 32 ビットアクセス SH7713 : DMAC からの 8、16、および 32 ビットアクセス E-DMAC からの 32 ビットアクセス* • トータル 16k バイトのメモリ (X と Y 各メモリに対し 8k バイトの RAM) を内蔵
	1-5	追加 15. イーサネットコントローラ (EtherC) の特長 : • CAM センス信号入力 (SH7710 および SH7712 のみ) * <sup>4</sup>

項 目	ページ	修正箇所
1.1 特長	1-6	追加 17. IP セキュリティアクセラレータ (IPSEC) の特長 (SH7710 のみ) *4
		【注】*4 を追加
	1-7	19. 製品ラインアップ SH7712、SH7713 の行を追加
1.2 ブロック図 図 1.1 (1) ブロック図 (SH7710)	1-8	図タイトルを修正
図 1.1 (2) ブロック図 (SH7712)	1-9	図を追加
図 1.1 (3) ブロック図 (SH7713)	1-10	図を追加
1.3.1 ピンの配置 図 1.2 (1) ピン配置図 (HQFP2828-256 (FP-256G/GV) ) (SH7710、SH7712)	1-11	図タイトルを修正
図 1.2 (2) ピン配置図 (HQFP2828-256 (FP-256G/GV) ) (SH7713)	1-12	図を追加
図 1.3 (1) ピン配置図 (P-LFBGA1717-256 (BP-256H/HV) ) (SH7710、SH7712)	1-13	図タイトルを修正
図 1.3 (2) ピン配置図 (P-LFBGA1717-256 (BP-256H/HV) ) (SH7713)	1-14	図を追加
表 1.1 端子の機能	1-15～ 1-23	SH7710、SH7712、SH7713 の内容を統合
1.3.2 端子の機能 表 1.2 本 LSI の端子機能	1-26～ 1-28	分類を修正 イーサネットコントローラ (EtherC1/0) (SH7710、SH7712)
	1-28、 1-29	イーサネットコントローラ (EtherC) (SH7713) の行を追加

項 目	ページ	修正箇所
2.4.2 メモリ上でのデータ形式	2-13	追加 【注】 E-DMAC および IPSEC モジュールから外部メモリをアクセスする場合、ビッグエンディアンのみ対応可能であり、リトルエンディアンには対応できません。 それゆえ、E-DMAC および IPSEC から外部メモリをリトルエンディアンでアクセスする場合は、ソフトウェアによりビッグエンディアンからリトルエンディアンにデータ変換する必要があります。 なお、IPSEC は、SH7710 にのみ内蔵されています。
7.2.3 DMAC、E-DMAC および IPSEC からのアクセス	7-2	注記を追加
7.3.3 MMU、キャッシュの設定	7-3	注記を追加
7.3.4 スリープモード	7-4	注記を追加
8.1.1 ブロック図 図 8.1 割り込みコントローラブロック図	8-2	注記を追加
8.3.3 IRL 割り込み 図 8.2 IRL 割り込み接続例	8-5	用語を修正 (修正前) SH7710 → (修正後) 本 LSI
8.3.4 内蔵周辺モジュール割り込み	8-5	追加および削除 内蔵周辺モジュール割り込みは、次のような 14 種類(SH7710)または 13 種類(SH7712、SH7713) のモジュールで発生する割り込みです。 : • IP セキュリティアクセラレータ (IPSEC) (SH7710 にのみ内蔵されています) : H-UDI を除く各モジュールの優先順位レベル (0~15) は、割り込み優先レベル設定レジスタ A、B、E~I (IPRA、IPRB、IPRE~IPRI) に優先順位レベル値を書き込むことによって設定することができます。H-UDI の優先順位レベルは、15 (固定) です。
8.3.5 割り込み例外処理および優先順位 表 8.2 割り込み例外処理要因と優先順位 (IRQ モード時)	8-7	【注】 *4、*5 を追加
表 8.3 割り込み例外処理要因と優先順位 (IRL モード時)	8-8、8-9	【注】 *4、*5 を追加

項 目	ページ	修正箇所
8.4.1 割り込み優先レベル設定レジスタ A~I (IPRA~IPRI) 表 8.5 割り込み要求要因と IPRA~IPRI	8-12	SH7710、SH7712、SH7713 の内容を統合
8.4.9 割り込み要求レジスタ 5 (IRR5)	8-19	追加 IRR5 は、IPSEC (SH7710 のみ)、DMAC、E-DMAC からの割り込み要求発生の有無を示す 8 ビットレジスタです。…
	8-19、 8-20	ビット 7、2、1 の説明、注記を追加
10.1.2 リセット	10-2	修正および削除  【注】 パワーオンリセットおよびマニュアルリセットを実行する場合には、リセット直後に必ず「付録 C. リセット処理プログラムを記述する際の注意事項」に示すルーチンを行ってください。  <pre> MOV.L #H'FFFFFFF40, R1 MOV.L #H'80000005, R0 MOV.L #H'A4FC0008, R2 NOP NOP TESTCR2_SET NOP MOV.B R0, @R1 MOV.B R0, @R1 MOV.L R0, @R2 NOP NOP NOP MOV.L @R2, R3 CMP/EQ R3, R0 BF TESTCR2_SET NOP NOP </pre>
10.2.3 スタンバイコントロールレジスタ 3 (STBCR3)	10-5	ビット 7 の説明、注記を追加
10.3.2 ソフトウェアスタンバイモード 表 10.3 ソフトウェアスタンバイモード時のレジスタの状態	10-7	モジュールを修正 IPSEC (SH7710 のみ)

項 目	ページ	修正箇所
11.9 ボード設計上の注意事項 (3) PLL 発振回路使用時の注意	11-18	【参考】を追加
12.4.1 共通コントロールレジスタ (CMNCR)	12-11	ビット 12 の説明を修正 本ビットにより、外部アドレス空間のアドレスマップを選択します。選択できるアドレスマップについては、「 <del>アドレスマップ</del> 」表 12.2、表 12.3 <del>」</del> を参照してください。
13.3.5 DMA オペレーションレジスタ (DMAOR)	13-11	【注意事項】、【回避方法】を追加
13.5.1 TEND 端子を使用する場合の注意事項	13-31	タイトルの形式を修正
13.5.2 外部アクセスで DACK が分割された場合の DREQ サンプリングに関する注意事項	13-31～ 13-34	項目を追加
15.5.4 RTC 電源に関する注意事項について (1)	15-20	タイトルを修正
15.5.5 RTC 電源に関する注意事項について (2)	15-21	項目を追加
17.1.1 ブロック図 図 17.1 SIOF のブロック図	17-2	用語を修正 (修正前) PP-BUS → (修正後) 周辺バス

項 目	ページ	修正箇所
18. イーサネットコントローラ (EtherC)	18-1	<p>修正および追加</p> <p>本 LSI は、イーサネットあるいは IEEE802.3 の MAC (Media Access Control) 層規格に準拠したイーサネットコントローラ (EtherC) を内蔵しています。EtherC は、同規格に合致する物理層 LSI (PHY-LSI) と接続することにより、イーサネット/IEEE802.3 フレームの送受信を行うことができます。</p> <p>SH7710 および SH7712 内蔵のイーサネットコントローラは MAC 層インタフェースを 2 系統 (以後、0 系、1 系と表記します) 内蔵しており、それぞれ独立に送信および受信動作をさせることができます。また、本イーサネットコントローラは、転送処理を制御する TSU (Transfer Switching Unit) を内蔵し、0 系および 1 系間の MAC 層コントローラ間で相互にデータを転送することができます。この TSU は、両イーサネットコントローラに入力されたパケットの受信や転送を判定するために、32 エントリの CAM (Content Addressable Memory) および 2 本の外部 CAM インタフェース入力端子を有しています。さらに、転送するパケットを保持するトータル 6k バイトの転送 FIFO を内蔵しており、0→1 系および 1→0 系の各転送条件に対し転送 FIFO 容量の割り当てを自在に設定することができます。</p> <p>SH7713 内蔵のイーサネットコントローラは MAC 層インタフェースを 1 系統内蔵しており、独立に送信および受信動作をさせることができます。</p> <p>イーサネットコントローラは、本 LSI 内部でイーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC) に接続されており、メモリとの高速アクセスが可能です。</p> <p>図 18.1 (1)、図 18.1 (2) に EtherC の構成を示します。</p>
18.1 特長	18-1	<p>追加</p> <p>:</p> <ul style="list-style-type: none"> <li>• Magic Packet の検出および Wake-On-LAN (WOL) 信号の出力</li> </ul> <p>(以下 4 項目は、SH7710 および SH7712 のみ)</p> <ul style="list-style-type: none"> <li>• TSU によるイーサネットフレーム転送機能</li> </ul> <p>:</p>
図 18.1 (1) EtherC の構成 (SH7710、SH7712)	18-2	図タイトルを修正
図 18.1 (2) EtherC の構成 (SH7713)	18-2	図を追加
18.2 入出力端子	18-3	<p>追加</p> <p>EtherC の端子構成を表 18.1 に示します。SH7710 および SH7712 の場合、記号の末尾の数字は、該当する 2 つの MAC 層インタフェースの番号 (MAC-0 または MAC-1 の別) を表します。本文中では、番号の記載を一部省略しています。</p>
表 18.1 端子構成	18-3	SH7710、SH7712、SH7713 の内容を統合

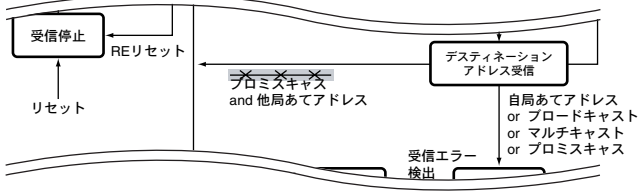


項 目	ページ	修正箇所
18.3 レジスタの説明	18-4	追加 EtherC には、以下のレジスタがあります。 SH7710 および SH7712 の場合、MAC 層インタフェース制御レジスタの略号の末尾の数字は、該当する 2 つの MAC 層インタフェースの番号 (MAC-0 または MAC-1 の別) を表します。本文中では、番号の記載を一部省略しています。 これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。
(2) MAC 層インタフェース制御レジスタ	18-4	SH7710、SH7712、SH7713 の内容を、表形式で統合
(3) TSU 制御レジスタ	18-5	SH7710、SH7712、SH7713 の内容を、表形式で統合
18.3.1 ソフトウェアリセットレジスタ (ARSTR)	18-6	ビット 0 の説明を修正 SH7710、SH7712 : TSU_ADRH0~TSU_ADRH31、TSU_ADRL0~TSU_ADRL31、 TXNLCR0/1、TXALCR0/1、RXNLCR0/1、RXALCR0/1、FWNLCR0/1、 FWALCR0/1 SH7713 : TXNLCR、TXALCR、RXNLCR、RXALCR
18.3.2 EtherC モードレジスタ (ECMR)	18-7	ビット 13 の説明、注記を追加 ビット 12 の説明を修正 「エラーあり」の場合、E-DMAC の EESR および受信ディスクリプタのステータスに CRC エラーが反映されます。「エラーなし」の場合、正常なフレームとして受信します。
18.3.3 EtherC ステータスレジスタ (ECSR)	18-8	修正、追加および削除 ECSR は、読み出したり書き込み可能な 32 ビットのレジスタで、EtherC 内のステータスを表示するレジスタです。本ステータスは、割り込みによって CPU に通知することが可能です。 <del>BRCRX、PSRTO、LCHNG、MPD、ICD に 1 を書き込むと、対応するフラグをクリアできます。0 を書き込んだ場合は、フラグに影響を与えません。また割り込みを発生するビットは、ECSIPR の対応するビットによって割り込みを許可または禁止することができます。</del> 本ステータスレジスタが要因で発生する割り込みは、SH7710 および SH7712 の場合、0 系では E-DMAC0、1 系では E-DMAC1 の EESR レジスタ ECI ビットに反映されます。SH7713 の場合、E-DMAC の EESR レジスタ ECI ビットに反映されます。
	18-9	ビット 2 の説明を修正 PHY-LSI から入力される LNKSTA 信号が、ハイレベルからローレベルにあるいはローレベルからハイレベルに変化したことを表します。ただし、PFC の PACR で LNKSTA の機能を選択されたタイミングで、信号の変化を検出する場合があります。 現在の Link 状態を確認するには、PHY 部ステータスレジスタ (PSR) の LMON ビットを参照してください。

項 目	ページ	修正箇所
18.3.21 TSU カウンタリ セットレジスタ (TSU_CTRST)	18-15	追加 TSU_CTRST は、SH7710 および SH7712 の場合、送信、受信、および転送フレーム数 カウンタを 0 にクリアします。SH7713 の場合、送信および受信フレーム数カウンタを 0 にクリアします。  ビット 8 の説明を修正 本ビットに 1 を書き込むと、SH7710 および SH7712 の場合、TXNLCCR0/1、TXALCCR0/1、 RXNLCCR0/1、RXALCCR0/1、FWNLCCR0/1、FWALCCR0/1 の各レジスタの値が 0 にクリ アされます。SH7713 の場合、TXNLCCR、TXALCCR、RXNLCCR、RXALCCR の各レジスタ の値が 0 にクリアされます。0 書き込みしても何も行われません。読み出すと常に 0 が 読み出されます。
18.3.22 転送イネーブル レジスタ (0→1 系) (TSU_FWEN0) (SH7710、SH7712) ～ 18.3.45 CAM エントリテ ーブル 0～31L レジスタ (TSU_ADRL0～ TSU_ADRL31) (SH7710、SH7712)	18-16～ 18-41	タイトルを修正
18.3.46 送信フレーム数 カウンタレジスタ (正常 送信のみ) (0 系) (TXNLCCR0) (SH7710、 SH7712) / (TXNLCCR) (SH7713)	18-42	タイトルを修正  追加 TXNLCCR0/TXNLCCR は、MAC-0/MAC にて正常に送信が完了したフレーム数を示す 32 ビットのカウンタです。…
18.3.47 送信フレーム数 カウンタレジスタ (正常 および障害発生を含む すべて) (0 系) (TXALCCR0) (SH7710、 SH7712) / (TXALCCR) (SH7713)	18-42	タイトルを修正  追加 TXALCCR0/TXALCCR は、MAC-0/MAC にて障害が発生した送信フレーム数を含んだ送 信フレーム数を示す 32 ビットのカウンタです。…
18.3.48 受信フレーム数 カウンタレジスタ (正常 受信のみ) (0 系) (RXNLCCR0) (SH7710、 SH7712) / (RXNLCCR) (SH7713)	18-42	タイトルを修正  追加 RXNLCCR0/RXNLCCR は、MAC-0/MAC にて正常に受信が完了したフレーム数を示す 32 ビットのカウンタです。…

項 目	ページ	修正箇所
18.3.49 受信フレーム数 カウンタレジスタ（正常 および障害発生を含む すべて）（0系） （RXALCR0）（SH7710、 SH7712）／（RXALCR） （SH7713）	18-43	タイトルを修正  追加 RXALCR0／RXALCR は、MAC-0／MAC にて障害が発生した送信フレーム数を含んだ 送信フレーム数を示す 32 ビットのカウンタです。…
18.3.50 転送フレーム数 カウンタレジスタ（正常 転送のみ）（1→0系） （FWNLCR0）（SH7710、 SH7712）	18-43	タイトルを修正
18.3.51 転送フレーム数 カウンタレジスタ（正常 および障害発生を含む すべて）（1→0系） （FWALCR0）（SH7710、 SH7712）	18-43	タイトルを修正
18.3.52 送信フレーム数 カウンタレジスタ（正常 送信のみ）（1系） （TXNLCR1）（SH7710、 SH7712）	18-44	タイトルを修正
18.3.53 送信フレーム数 カウンタレジスタ（正常 および障害発生を含む すべて）（1系） （TXALCR1）（SH7710、 SH7712）	18-44	タイトルを修正
18.3.54 受信フレーム数 カウンタレジスタ（正常 受信のみ）（1系） （RXNLCR1）（SH7710、 SH7712）	18-44	タイトルを修正
18.3.55 受信フレーム数 カウンタレジスタ（正常 および障害発生を含む すべて）（1系） （RXALCR1）（SH7710、 SH7712）	18-45	タイトルを修正

項 目	ページ	修正箇所
18.3.56 転送フレーム数 カウンタレジスタ (正常 転送のみ) (0→1 系) (FWNLCR1) (SH7710、 SH7712)	18-45	タイトルを修正
18.3.57 転送フレーム数 カウンタレジスタ (正常 および障害発生を含む すべて) (0→1 系) (FWALCR1) (SH7710、 SH7712)	18-45	タイトルを修正
18.4 動作説明	18-46	追加 イーサネットコントローラ (EtherC) の動作の概要を以下に示します。 以下 (1) ~ (3)、ならびに図 18.2 は、SH7710 および SH7712 のみに適用されます。
図 18.2 EtherC のデータ 経路と各種設定 (SH7710 および SH7712 のみ)	18-47	図タイトルを修正
18.4.1 送信動作 (SH7710、SH7712、お よび SH7713 のすべてに 適用)	18-47	タイトルを修正  追加 EtherC 送信部は、送信 E-DMAC から送信要求があると、送信データをフレームに組み立てて MII に出力します。MII を経由した送信データは、PHY-LSI によって回線路上に送出されます。Ether-C 送信部の状態遷移図を図 18.3 に示します。 SH7710 および SH7712 の場合、この動作は、0 系および 1 系共に共通です。また、E-DMAC からの送信フレームと転送フレームの送出が競合した場合の処理の優先順位を送信・転送優先制御モードレジスタ (TSU_PRISL0/1) で設定することができます。
18.4.2 受信動作 (SH7710、SH7712、お よび SH7713 のすべてに 適用)	18-49	タイトルを修正  追加 EtherC 受信部は、MII より入力されたフレームをプリアンプル、SFD、データおよび CRC データに分解し、受信 E-DMAC には DA (あて先アドレス) から CRC データまでを出力します。EtherC 受信部の状態遷移図を図 18.4 に示します。 SH7710 および SH7712 の場合、この動作は、0 系および 1 系共に共通です。また、受信時のフレーム処理では CAM の判定を参照することができます (CAM 機能を使用する場合については、「18.4.4 CAM 機能 (SH7710 および SH7712 のみに適用)」を参照してください)。

項目	ページ	修正箇所
図 18.4 EtherC 受信部状態遷移図	18-49	削除 
18.4.3 転送動作 (SH7710 および SH7712 のみに適用)	18-50	タイトルを修正
18.4.4 CAM 機能 (SH7710 および SH7712 のみに適用)	18-51	タイトルを修正
18.4.5 MII フレームタイミング (SH7710、SH7712、および SH7713 のすべてに適用)	18-55	タイトルを修正
18.4.6 MII レジスタのアクセス方法 (SH7710、SH7712、および SH7713 のすべてに適用)	18-57	タイトルを修正
18.4.7 Magic Packet の検出 (SH7710、SH7712、および SH7713 のすべてに適用)	18-60	タイトルを修正
		修正 3. EtherC 割り込み許可レジスタ (ECSIPR) の Magic Packet 検出割り込み許可ビット (MPDIP) をイネーブルに設定します。
18.4.8 IPG 設定による動作 (SH7710、SH7712、および SH7713 のすべてに適用)	18-60	タイトルを修正
18.4.9 IEEE802.1Q Qtag 使用方法 (SH7710 および SH7712 のみに適用)	18-61	タイトルを修正
18.5 PHY-LSI との接続 (SH7710、SH7712、および SH7713 のすべてに適用)	18-62	タイトルを修正
		修正 図 18.13 に National Semiconductor Corporation の PHY LSI である DP83848 との接続例を示します。
図 18.13 DP83848 との接続例	18-62	図タイトルを修正
		デバイス名称を修正 (修正前) DP83847 → (修正後) DP83848

項 目	ページ	修正箇所
18.6 使用上の注意事項 (SH7713のみに適用)	18-62	項目を追加
19. イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC)	19-1	<p>修正および追加</p> <p>SH7710 および SH7712 は、イーサネットコントローラ (EtherC) に直結した 2 チャネルのダイレクトメモリアクセスコントローラ (E-DMAC0/1) を内蔵しています。</p> <p>SH7713 は、イーサネットコントローラ (EtherC) に直結した 1 チャネルのダイレクトメモリアクセスコントローラ (E-DMAC) を内蔵しています。</p> <p>E-DMAC は、E-DMAC 内蔵の DMAC を使用し、E-DMAC 内の送信/受信 FIFO とユーザが指定するデータ格納先 (バッファ) との間の送受信データの転送を DMA 転送により行います。この DMA 転送時に、E-DMAC が参照する情報を送信/受信ディスクリプタと呼び、ユーザがメモリ上に配置します。</p> <p>この機能によって CPU の負荷を軽減し、効率の良いデータ送受信制御を行うことができます。</p> <p>SH7710 および SH7712 の場合、E-DMAC0 は EtherC の MAC-0 に対して、E-DMAC1 は EtherC の MAC-1 に対してのデータ送受信を制御します (以下、E-DMAC0 で制御されるシステムを 0 系、E-DMAC1 で制御されるシステムを 1 系と称します)。</p> <p>SH7713 の場合、E-DMAC は EtherC の MAC に対してのデータ送受信を制御します。</p> <p>図 19.1 (1)、図 19.1 (2) に E-DMAC とメモリ上のディスクリプタおよび送信と受信バッファの構成を示します。</p>
19.1 特長	19-1	<p>追加</p> <ul style="list-style-type: none"> <li>送信/受信 2 チャネルの独立した DMAC 内蔵 (SH7710、SH7712)</li> <li>送信/受信チャネルの独立した DMAC 内蔵 (SH7713)</li> <li>ディスクリプタ管理方式による CPU 負荷の軽減</li> </ul> <p>：</p> <p>【注】 ディスクリプタおよびバッファは、アクセス可能なメモリ上に配置してください。</p> <p>なお、E-DMAC は、内蔵周辺モジュールには直接アクセスできません。</p>
図 19.1 (1) E-DMAC とディスクリプタおよびバッファの構成 (SH7710、SH7712)	19-2	図タイトルを修正
図 19.1 (2) E-DMAC とディスクリプタおよびバッファの構成 (SH7713)	19-2	図を追加

項 目	ページ	修正箇所
19.2 レジスタの説明	19-3	<p>追加</p> <p>E-DMAC には、以下のレジスタがあります。■</p> <p>SH7710 および SH7712 の場合、レジスタの略号の末尾の数字は、該当する E-DMAC の番号 (E-DMAC0 または E-DMAC1 の別) を表します。本文中では、番号の記載を一部省略しています。■</p> <p>これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。</p> <p>SH7710、SH7712、SH7713 の内容を、表形式で統合</p>
19.2.1 E-DMAC モードレジスタ (EDMR)	19-5	<p>ビット 0 の説明を修正</p> <p>本ビットに 1 をライトすることにより E-DMAC の TDLAR、RDLAR、RMFCR を除く E-DMAC の各レジスタと、EtherC の TSU 関係を除く各レジスタを初期化することができます (レジスタ名が TSU_ ではじまるレジスタは初期化されません)。■</p> <p>SH7710 および SH7712 の場合、EDMR0 の SWR ビットでは EDMAC0 と EtherC 内の MAC-0 関係の各レジスタが、EDMR1 の SWR ビットでは EDMAC1 と EtherC 内の MAC-1 関係の各レジスタが初期化されます。転送イネーブルレジスタ (0→1 系) (TSU_FWEN0)、転送イネーブルレジスタ (1→0 系) (TSU_FWEN1) により、EtherC で転送動作を許可している場合は、本ビットによるソフトウェアリセットは行わないでください。■</p> <p>SH7713 の場合、EDMR の SWR ビットでは EDMAC と EtherC 内の MAC 関係の各レジスタが初期化されます。■</p> <p>ソフトウェアリセットの発行期間中 (内部バスクロック Bφ で 64 サイクル間) は、イーサネット関係のすべてのモジュールに対するレジスタアクセスを禁止します。</p>
19.2.3 E-DMAC 受信要求レジスタ (EDRRR)	19-7	<p>追加</p> <p>【注】 * フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポイントが異常となるため、E-DMAC は正常な動作ができなくなります。この場合、再度 E-DMAC を受信可能状態とするためには、EDMR0 (EDMR1) の SWR ビットによりソフトウェアリセットを実行してください。E-DMAC をソフトウェアリセットせずに受信機能を無効とするには、ECMR0 (ECMR1) の RE ビットにより受信機能を無効とします。次に、E-DMAC の受信が完了し受信ディスクリプタのライトバックが確認できた後、本レジスタの受信機能を無効にしてください。</p> <p>なお、SH7713 の場合、EDMR0 (EDMR1) は EDMR となります。</p>
19.2.6 EtherC/E-DMAC ステータスレジスタ (EESR)	19-8	<p>追加</p> <p>本ステータスレジスタが要因で発生する割り込みは、SH7710 および SH7712 の場合、0 系では EINT0、1 系では EINT1 となります。SH7713 の場合、EINT0 となります。割り込みの優先順位については、「第 8 章 割り込みコントローラ (INTC)」の「8.3.5 割り込み例外処理および優先順位」を参照ください。</p> <p>SH7710 および SH7712 の EINT2 は、EtherC にある TSU_FNSR が要因の割り込みです。</p>

項 目	ページ	修正箇所
19.2.8 送受信ステータスコピー指示レジスタ (TRSCER)	19-14	修正および追加 TRSCERは、EtherC/E-DMAC ステータスレジスタ (EESR) のビット7で報告される、マルチキャストアドレスフレーム受信ステータス情報を受信ディスクリプタのRFEビットに反映するか否かを指示します(ディスクリプタの説明は「19.3.1 ディスクリプタとディスクリプタリスト」を参照)。 本レジスタのRMAFCEビットは、EtherC/E-DMAC ステータスレジスタ (EESR) のビット7に対応し、本ビットに0を設定すると、受信ステータス(EESRのビット7)の1状態を受信ディスクリプタのREFビットに反映します。1を設定すると、該当する要因が発生してもディスクリプタに反映されません。パワーオンリセット、マニュアルリセット後は、RMAFCEビットは0に設定されています。
19.3.1 ディスクリプタとディスクリプタリスト	19-20	追加 SH7710 および SH7712 の場合、E-DMAC には、0系と1系の2系統ありますが、送信と受信、および0系と1系それぞれのDMACは独立して動作します。したがって、E-DMACが正常動作するためには、送信と受信、および0系と1系で各々のディスクリプタのアドレス空間が重ならないようにディスクリプタを個別に配置してください。 SH7713の場合、E-DMACには、送信と受信が1系統ずつあり、それぞれ独立して動作します。したがって、E-DMACが正常動作するためには、送信と受信のディスクリプタのアドレス空間が重ならないようにディスクリプタを個別に配置してください。
19.3.5 受信FIFOオーバーフロー予告信号 (ARBUSY) について	19-35	修正 図 19.8 (1)、図 19.8 (2) に受信FIFOオーバーフロー予告信号 (ARBUSY) の出力構成を示します。 図 19.8 (1)、図 19.8 (2) に示すとおり ARBUSY 信号はシステムクロック同期化回路を通りますので、EtherCが受信する受信FIFOオーバーフロー予告信号に比べ若干の遅れが生じます。
図 19.8 (1) ARBUSY の構成 (SH7710、SH7712)	19-35	図タイトルを修正
図 19.8 (2) ARBUSY の構成 (SH7713)	19-36	図を追加
19.4.3 E-DMAC パディング機能使用禁止について 19.4.4 SH-Ether EtherC/E-DMAC ステータスレジスタ (EESR) の使用上の注意について 19.4.5 SH-Ether 送信アングラフロー発生時の使用上の注意について	19-39~ 19-52	項目を追加



項 目	ページ	修正箇所
20. IP セキュリティアクセラレータ (IPSEC) (SH7710のみ)	20-1	章タイトルを修正
21.1 概要 表 21.1 マルチプレクス一覧表 (1)	21-1	その他の機能 (関連モジュール) を修正 リザーブ (設定不可) * 修正 【注】 * リザーブに設定した場合の動作は、保証されません。
表 21.2 マルチプレクス一覧表 (2)	21-2	SH7710、SH7712、SH7713 の内容を統合
21.3.4 イーサネットコントローラ端子コントロールレジスタ (PETCR)	21-6、 21-7	SH7710、SH7712、SH7713 の内容を統合
23.3.3 バウンダリスキャンレジスタ (SDBSR)	23-5~ 23-10	SH7710、SH7712、SH7713 の内容を統合
表 23.3 本 LSI の端子とバウンダリスキャンレジスタの対応	23-9	ビット名 61 の端子名を修正 (修正前) EXOUT0 → (修正後) EXOUT0/TEND0
23.3.4 ID レジスタ (SDID)	23-11	ビット 31~0 の説明を修正 JTAG に規定されている ID レジスタです。 SH7710 では H'001E200F、SH7712 および SH7713 では H'081E200F です。 ただし、上位 4 ビットは、チップのバージョンにより変更されることがあります。
24.1 レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)	24-7~ 24-14	SH7710、SH7712、SH7713 の内容を統合
24.2 レジスタビット一覧	24-16~ 24-18、 24-24~ 24-35	SH7710、SH7712、SH7713 の内容を統合
	24-18	WTCSR のビット 6、ビット名を修正 (修正前) WT/IT → (修正後) WT/IT
24.3 各動作モードにおけるレジスタの状態	24-41~ 24-47	SH7710、SH7712、SH7713 の内容を統合

項 目	ページ	修正箇所
25.3.6 シンクロナス DRAM タイミング 図 25.22 シンクロナス DRAM シングルリード バスサイクル (オートプリチャージ あり、CAS レイテンシ2、 WTRCD=0 サイクル、 WTRP=0 サイクル)	25-19	図タイトルを修正
図 25.23 シンクロナス DRAM シングルリード バスサイクル (オートプリチャージ あり、CAS レイテンシ2、 WTRCD=1 サイクル、 WTRP=1 サイクル)	25-20	図タイトルを修正
図 25.24 シンクロナス DRAM バーストリード バスサイクル (シングル リード×4) (オートプリチャージ あり、CAS レイテンシ2、 WTRCD=0 サイクル、 WTRP=1 サイクル)	25-21	図タイトルを修正
図 25.25 シンクロナス DRAM バーストリード バスサイクル (シングル リード×4) (オートプリチャージ あり、CAS レイテンシ2、 WTRCD=1 サイクル、 WTRP=0 サイクル)	25-22	図タイトルを修正
図 25.26 シンクロナス DRAM シングルライト バスサイクル (オートプリチャージ あり、TRWL=1 サイク ル)	25-23	図タイトルを修正

項 目	ページ	修正箇所
図 25.27 シンクロナス DRAM シングルライト バスサイクル (オートプリチャージ あり、WTRCD=2サイ クル、TRWL=1サイク ル)	25-24	図タイトルを修正
図 25.28 シンクロナス DRAM バーストライト バスサイクル (シングル ライト×4) (オートプリチャージ あり、WTRCD=0サイ クル、TRWL=1サイク ル)	25-25	図タイトルを修正
図 25.29 シンクロナス DRAM バーストライト バスサイクル (シングル ライト×4) (オートプリチャージ あり、WTRCD=1サイ クル、TRWL=1サイク ル)	25-26	図タイトルを修正
図 25.30 シンクロナス DRAM バーストリード バスサイクル (シングル リード×4) (バンクアクティブモ ード: ACTV+READ コマ ンド、CAS レイテンシ2、 WTRCD=0 サイクル)	25-27	図タイトルを修正
図 25.31 シンクロナス DRAM バーストリード バスサイクル (シングル リード×4) (バンクアクティブモ ード: READ コマンド、 同一ロウアドレス、CAS レイテンシ2、WTRCD =0 サイクル)	25-28	図タイトルを修正

項 目	ページ	修正箇所
<p>図 25.32 シンクロナス DRAM バーストリード バスサイクル (シングル リード×4)  (バンクアクティブモ ード :  PRE+ACTV+READ コマ ンド、  異なるロウアドレス、  CAS レイテンシ 2、  WTRCD=0 サイクル)</p>	25-29	図タイトルを修正
<p>図 25.33 シンクロナス DRAM バーストライト バスサイクル (シングル ライト×4)  (バンクアクティブモ ード、ACTV+WRITE コ マンド、WTRCD=0 サ イクル、TRWL=0 サイクル)</p>	25-30	図タイトルを修正
<p>図 25.34 シンクロナス DRAM バーストライト バスサイクル (シングル ライト×4)  (バンクアクティブモ ード、WRITE コマンド、  同一ロウアドレス、  WTRCD=0 サイクル、  TRWL=0 サイクル)</p>	25-31	図タイトルを修正
<p>図 25.35 シンクロナス DRAM バーストライト バスサイクル (シングル ライト×4)  (バンクアクティブモ ード、  PRE+ACTV+WRITE コ マンド、  異なるロウアドレス、  WTRCD=0 サイクル、  TRWL=0 サイクル)</p>	25-32	図タイトルを修正

項 目	ページ	修正箇所																																																								
図 25.36 シンクロナス DRAM オートリフレッ シュタイミング (WTRP =1 サイクル、WTRC=3 サイクル)	25-33	図タイトルを修正																																																								
図 25.37 シンクロナス DRAM セルフリフレッ シュタイミング (WTRP =1 サイクル)	25-34	図タイトルを修正																																																								
図 25.38 シンクロナス DRAM モードレジスタ 書き込みタイミング (WTRP=1 サイクル)	25-35	図タイトルを修正																																																								
図 25.45 シンクロナス DRAM オートリフレッ シュタイミング (WTRP =1 サイクル、低周波モ ード)	25-42	図タイトルを修正																																																								
図 25.46 シンクロナス DRAM セルフリフレッ シュタイミング (WTRP =1 サイクル、低周波モ ード)	25-43	図タイトルを修正																																																								
図 25.47 シンクロナス DRAM モードレジスタ 書き込みタイミング (WTRP=1 サイクル、 低周波モード)	25-44	図タイトルを修正																																																								
25.3.11 イーサネットコ ントローラタイミン グ 表 25.13 イーサネット コントローラタイミン グ	25-51	修正、追加および削除 <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>MDIO セットアップ時間</td> <td><math>t_{MDIOS}</math></td> <td>10</td> <td>—</td> <td>—</td> <td rowspan="8">ns</td> <td>25.63</td> </tr> <tr> <td>MDIO ホールド時間</td> <td><math>t_{MDIOH}</math></td> <td>10</td> <td>—</td> <td>—</td> <td>25.64</td> </tr> <tr> <td><del>MDIO 出力ゲータホールド時間</del></td> <td><del><math>t_{MDIOGH}</math></del></td> <td><del>5</del></td> <td><del>—</del></td> <td><del>40</del></td> <td><del>25.64</del></td> </tr> <tr> <td>WOL 出力遅延時間</td> <td><math>t_{WOLD}</math></td> <td>1</td> <td>—</td> <td>18</td> <td>25.64</td> </tr> <tr> <td>EXOUT 出力遅延時間</td> <td><math>t_{EXOUTD}</math></td> <td>1</td> <td>—</td> <td>28</td> <td>25.65</td> </tr> <tr> <td>CAMSEN セットアップ時間</td> <td><math>t_{CAMS}</math></td> <td>10</td> <td>—</td> <td>—</td> <td>25.66</td> </tr> <tr> <td>CAMSEN ホールド時間</td> <td><math>t_{CAMH}</math></td> <td>3</td> <td>—</td> <td>—</td> <td>25.66</td> </tr> <tr> <td>ARBUSY 出力遅延時間</td> <td><math>t_{ARBYD}</math></td> <td>—</td> <td>—</td> <td><math>1/2t_{\text{clk}} + 12</math></td> <td>25.67</td> </tr> </tbody> </table> <p>【注】 * SH7710 および SH7712 のみの項目です。</p>	項 目	記号	Min.	Typ.	Max.	単位	参照図	MDIO セットアップ時間	$t_{MDIOS}$	10	—	—	ns	25.63	MDIO ホールド時間	$t_{MDIOH}$	10	—	—	25.64	<del>MDIO 出力ゲータホールド時間</del>	<del><math>t_{MDIOGH}</math></del>	<del>5</del>	<del>—</del>	<del>40</del>	<del>25.64</del>	WOL 出力遅延時間	$t_{WOLD}$	1	—	18	25.64	EXOUT 出力遅延時間	$t_{EXOUTD}$	1	—	28	25.65	CAMSEN セットアップ時間	$t_{CAMS}$	10	—	—	25.66	CAMSEN ホールド時間	$t_{CAMH}$	3	—	—	25.66	ARBUSY 出力遅延時間	$t_{ARBYD}$	—	—	$1/2t_{\text{clk}} + 12$	25.67
項 目	記号	Min.	Typ.	Max.	単位	参照図																																																				
MDIO セットアップ時間	$t_{MDIOS}$	10	—	—	ns	25.63																																																				
MDIO ホールド時間	$t_{MDIOH}$	10	—	—		25.64																																																				
<del>MDIO 出力ゲータホールド時間</del>	<del><math>t_{MDIOGH}</math></del>	<del>5</del>	<del>—</del>	<del>40</del>		<del>25.64</del>																																																				
WOL 出力遅延時間	$t_{WOLD}$	1	—	18		25.64																																																				
EXOUT 出力遅延時間	$t_{EXOUTD}$	1	—	28		25.65																																																				
CAMSEN セットアップ時間	$t_{CAMS}$	10	—	—		25.66																																																				
CAMSEN ホールド時間	$t_{CAMH}$	3	—	—		25.66																																																				
ARBUSY 出力遅延時間	$t_{ARBYD}$	—	—	$1/2t_{\text{clk}} + 12$		25.67																																																				

項 目	ページ	修正箇所
図 25.64 MDIO 出力タイミング	25-53	図を削除
図 25.66 CAMSEN 入力タイミング (SH7710 および SH7712 のみ)	25-54	図タイトルを修正
付録 A. 端子状態と未使用端子の状態	付録-1 ～ 付録-7	SH7710、SH7712、SH7713 の内容を統合
付録 B. 外形寸法図	付録-8	修正 図 B.1 および図 B.2 に本 LSI の外形寸法図を示します。
付録 C. リセット処理プログラムを記述する際の注意事項	付録-10	項目を追加

---

# 索引

---

【数字 / 記号】		【さ】	
16 ビットと 32 ビット ディスプレースメント .....	2-14	再実行型、完了型例外 .....	4-6
【D】		システム制御命令 .....	3-21
DSP レジスタ .....	3-6, 3-28	システムレジスタ .....	2-5
【I】		周辺モジュールリクエストモード .....	13-17
IPG 設定 .....	18-60	受信 FIFO オーバフロー予告信号 (ARBUSY) .....	19-35
【M】		受信ディスクリプタ .....	19-24
Magic Packet .....	18-60	シングルデータ転送命令 .....	3-20
MII レジスタ .....	18-57	ステータスレジスタ (SR) .....	2-9
【P】		ステータスレジスタ (SR) の拡張 .....	3-4
P0/U0 領域 .....	2-3	セカンダリ FS .....	17-26
P1 領域 .....	2-3	積和レジスタ .....	2-8
P2 領域 .....	2-3	絶対アドレス .....	2-14
P3 領域 .....	2-3	送信ディスクリプタ .....	19-21
P4 領域 .....	2-3		
【Q】		【た】	
Qtag .....	18-61	退避ステータスレジスタ (SSR) .....	2-10
【R】		退避プログラムカウンタ (SPC) .....	2-10
RTC 用水晶発振回路 .....	15-19	ダブルデータ転送命令 .....	3-19
【T】		単一仮想記憶モードと多重仮想記憶モード .....	5-7
T ビット .....	2-14	遅延分岐 .....	2-13
【あ】		低消費電力状態 .....	2-1
アドレス空間識別子 .....	5-7	【は】	
アドレス変換 .....	5-7	汎用レジスタ .....	2-5
オートリクエストモード .....	13-16	ビッグエンディアン .....	2-12
【か】		物理アドレス空間 .....	5-6
外部リクエストモード .....	13-16	プログラムカウンタ .....	2-5
グローバルベースレジスタ (GBR) .....	2-10	プログラム実行状態 .....	2-1
コントロールレジスタ .....	2-5	プロシジャーレジスタ .....	2-8
		ベクタベースレジスタ (VBR) .....	2-10
		ポーレートジェネレータ (BRG) .....	17-20
		【ま】	
		マルチプレクス端子 .....	21-1
		命令長 .....	2-13
		命令同期型・命令非同同期型例外要求 .....	4-5
		モジュロレジスタ (MOD) .....	3-5

## 【や】

優先順位と判定順位 ..... 4-6

## 【ら】

ラウンドロビンモード ..... 13-18

リセット状態 ..... 2-1

リテラル定数 ..... 2-14

リトルエンディアン ..... 2-12

リポートエンドレジスタ (RE) ..... 3-5

リポートスタートレジスタ (RS) ..... 3-5

例外処理状態 ..... 2-1

レジスタ

ARSTR ..... 18-6, 24-8, 24-43

BAMRA ..... 9-4, 24-3, 24-37

BAMRB ..... 9-6, 24-3, 24-38

BARA ..... 9-3, 24-3, 24-37

BARB ..... 9-5, 24-3, 24-38

BASRA ..... 9-12, 24-3, 24-38

BASRB ..... 9-12, 24-3, 24-38

BBRA ..... 9-4, 24-3, 24-38

BBRB ..... 9-7, 24-3, 24-38

BDMRB ..... 9-6, 24-3, 24-38

BDRB ..... 9-6, 24-3, 24-38

BETR ..... 9-11, 24-3, 24-38

BRCR ..... 9-8, 24-3, 24-38

BRDR ..... 9-12, 24-3, 24-38

BRSR ..... 9-11, 24-3, 24-38

CCR1 ..... 6-3, 24-2, 24-37

CCR2 ..... 6-4, 24-2, 24-37

CCR3 ..... 6-6, 24-2, 24-37

CDCR ..... 18-12, 24-7, 24-42

CEFCR ..... 18-13, 24-7, 24-42

CHCR ..... 13-6, 24-4, 24-39

CMNCR ..... 12-11, 24-3, 24-38

CNDCR ..... 18-13, 24-7, 24-42

CsnBCR ..... 12-14, 24-3, 24-38

CsnWCR ..... 12-17, 24-3, 24-38

DAR ..... 13-5, 24-4, 24-39

DMAOR ..... 13-10, 24-4, 24-39

DMARS ..... 13-12, 24-4, 24-39

DMATCR ..... 13-5, 24-4, 24-39

ECMR ..... 18-6, 24-41

ECSIPR ..... 18-9, 24-7, 24-41

ECSR ..... 18-8, 24-7, 24-41

EDMR ..... 19-4, 24-12, 24-45

EDOCR ..... 19-17, 24-12, 24-46

EDRRR ..... 19-6, 24-12, 24-45

EDTRR ..... 19-6, 24-12, 24-45

EESIPR ..... 19-11, 24-12, 24-45

EESR ..... 19-8, 24-12, 24-45

EXPEVT ..... 4-2, 24-2, 24-37

FCFTR ..... 19-19, 24-12, 24-46

FDR ..... 19-16, 24-12, 24-46

FRECR ..... 18-13, 24-7, 24-42

FRQCR ..... 11-9, 24-3, 24-38

FWALCR ..... 18-43, 18-45, 24-9, 24-44

FWNLCR ..... 18-43, 24-9, 24-44

ICR0 ..... 8-13, 24-2, 24-37

ICR1 ..... 8-14, 24-2, 24-37

INTEVT ..... 4-3, 24-2, 24-37

INTEVT2 ..... 4-3, 24-2, 24-37

IPGR ..... 18-15, 24-8, 24-43

IPR ..... 8-12, 24-2, 24-37

IRR0 ..... 8-15, 24-2, 24-37

IRR1 ..... 8-15, 24-2, 24-37

IRR2 ..... 8-16, 24-2, 24-37

IRR3 ..... 8-17, 24-2, 24-37

IRR4 ..... 8-18, 24-2, 24-37

IRR5 ..... 8-19, 24-2, 24-37

IRR7 ..... 8-20, 24-2, 24-37

IRR8 ..... 8-21, 24-2, 24-37

LCCR ..... 18-13, 24-7, 24-42

MAFCR ..... 18-14, 24-8, 24-43

MAHR ..... 18-10, 24-7, 24-41

MALR ..... 18-11, 24-7, 24-41

MMUCR ..... 5-10, 24-2, 24-37

PACR ..... 21-3, 24-13, 24-47

PADR ..... 22-1, 24-13, 24-47

PBCR ..... 21-4, 24-13, 24-47

PBDR ..... 22-2, 24-13, 24-47

PCCR ..... 21-5, 24-13, 24-47

PCDR ..... 22-3, 24-13, 24-47

PETCR ..... 21-6, 24-13, 24-47

PIR ..... 18-10, 24-7, 24-41

PSR ..... 18-12, 24-7, 24-42

PTEH ..... 5-8, 24-2, 24-37

PTEL ..... 5-9, 24-2, 24-37

R64CNT ..... 15-4, 24-5, 24-39

RBWAR ..... 19-17, 24-12, 24-47

RCR1 ..... 15-13, 24-5, 24-39

RCR2 ..... 15-14, 24-5, 24-40

RCR3 ..... 15-15, 24-5, 24-40

RDAYAR ..... 15-11, 24-5, 24-39

RDAYCNT ..... 15-6, 24-5, 24-39



RDFAR.....	19-18, 24-12, 24-47	SIRDAR.....	17-8, 24-6, 24-40
RDLAR.....	19-7, 24-12, 24-45	SIRDR.....	17-18, 24-6, 24-41
RFCR.....	18-14, 24-8, 24-43	SISCR.....	17-6, 24-6, 24-40
RFLR.....	18-11, 24-7, 24-42	SISTR.....	17-13, 24-6, 24-40
RHRAR.....	15-9, 24-5, 24-39	SITCR.....	17-18, 24-6, 24-41
RHRCNT.....	15-5, 24-5, 24-39	SITDAR.....	17-7, 24-6, 24-40
RMCR.....	19-16, 24-12, 24-46	SITDR.....	17-17, 24-6, 24-41
RMFCR.....	19-14, 24-12, 24-46	STBCR.....	10-3, 24-3, 24-38
RMINAR.....	15-8, 24-5, 24-39	STBCR2.....	10-4, 24-3, 24-38
RMINCNT.....	15-5, 24-5, 24-39	STBCR3.....	10-5, 24-3, 24-38
RMONAR.....	15-11, 24-5, 24-39	TBRAR.....	19-18, 24-12
RMONCNT.....	15-7, 24-5, 24-39	TCNT.....	14-5, 24-4, 24-39
RPADIR.....	24-46	TCOR.....	14-5, 24-4, 24-39
RSECAR.....	15-8, 24-5, 24-39	TCR.....	14-4, 24-4, 24-39
RSECCNT.....	15-4, 24-5, 24-39	TDFAR.....	19-18, 24-12, 24-47
RTCNT.....	12-41, 24-4, 24-39	TDLAR.....	19-7, 24-12, 24-45
RTCOR.....	12-41, 24-4, 24-39	TEA.....	4-3, 24-2, 24-37
RTCSR.....	12-40, 24-4, 24-39	TFTR.....	19-15, 24-12, 24-46
RWKAR.....	15-10, 24-5, 24-39	TLFRCR.....	18-14, 24-7, 24-43
RWKCNT.....	15-6, 24-5, 24-39	TRA.....	4-2, 24-2, 24-37
RXALCR.....	18-43, 24-9, 24-44	TRIMD.....	19-19, 24-12, 24-47
RXNLCR.....	18-42, 24-9, 24-44	TROCR.....	18-12, 24-7, 24-42
RYRAR.....	15-12, 24-5, 24-40	TRSCER.....	24-12, 24-46
RYRCNT.....	15-7, 24-5, 24-39	TSFRCR.....	18-14, 24-7, 24-43
SAR.....	13-5, 24-4, 24-39	TSTR.....	14-3, 24-4, 24-39
SCBRR.....	16-15, 24-5, 24-40	TSU_ADQT0.....	18-30, 24-9, 24-44
SCFCR.....	16-16, 24-5, 24-40	TSU_ADQT1.....	18-31, 24-9, 24-44
SCFDR.....	16-18, 24-5, 24-40	TSU_ADRH.....	18-41, 24-10, 24-45
SCFRDR.....	16-4, 24-5, 24-40	TSU_ADRL.....	18-41, 24-10, 24-45
SCFSR.....	16-10, 24-5, 24-40	TSU_ADSBSY.....	18-31, 24-9, 24-44
SCFTDR.....	16-5, 24-5, 24-40	TSU_BSYSL0.....	18-18, 24-9, 24-43
SCLSR.....	16-19, 24-5, 24-40	TSU_BSYSL1.....	18-19, 24-9, 24-43
SCRSR.....	16-4	TSU_CTRST.....	18-15, 24-8, 24-43
SCSCR.....	16-8, 24-5, 24-40	TSU_FCM.....	18-17, 24-9, 24-43
SCSMR.....	16-5, 24-5, 24-40	TSU_FWEN0.....	18-16, 24-9, 24-43
SCTSR.....	16-4	TSU_FWEN1.....	18-16, 24-9, 24-43
SDBPR.....	23-3	TSU_FWINMK.....	18-28, 24-9, 24-44
SDBSR.....	23-5	TSU_FWSL0.....	18-22, 24-9, 24-43
SDCR.....	12-37, 24-4, 24-38	TSU_FWSL1.....	18-23, 24-9, 24-43
SDID.....	23-11, 24-13, 24-47	TSU_FWSLC.....	18-24, 24-9, 24-43
SDIR.....	23-3, 24-13, 24-47	TSU_FWSR.....	18-26, 24-9, 24-44
SICDAR.....	17-9, 24-6, 24-40	TSU_POST1.....	18-34, 24-9, 24-44
SICTR.....	17-10, 24-6, 24-40	TSU_POST2.....	18-36, 24-9, 24-44
SIFCTR.....	17-12, 24-6, 24-40	TSU_POST3.....	18-37, 24-9, 24-44
SIIER.....	17-16, 24-6, 24-40	TSU_POST4.....	18-39, 24-9, 24-44
SIMDR.....	17-4, 24-6, 24-40	TSU_PRISL0.....	18-20, 24-9, 24-43
SIRCR.....	17-19, 24-6, 24-41	TSU_PRISL1.....	18-21, 24-9, 24-43

TSU_QTAGM0.....	18-25, 24-9, 24-44	WTCSR .....	11-12, 24-3, 24-38
TSU_QTAGM1.....	18-25, 24-9, 24-44	レジスタアドレス一覧.....	24-1
TSU_TEN.....	18-32, 24-9, 24-44	レジスタの状態 .....	24-1
TTB .....	5-9, 24-2, 24-37	レジスタのビット一覧.....	24-1
TXALCR.....	18-42, 24-9, 24-44	ロードストアアーキテクチャ .....	2-13
TXNLCR.....	18-42, 24-44	論理アドレス空間 .....	5-3
WTCNT .....	11-12, 24-3, 24-38		

---

SH7710、SH7712、SH7713グループ ユーザーズマニュアル  
ハードウェア編

発行年月日 2003年6月25日 Rev.1.00  
2012年3月08日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/contact/>



SH7710、SH7712、SH7713 グループ