

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH3-DSP SH7727

ハードウェアマニュアル

ルネサス32ビットRISCマイクロコンピュータ

SuperH™ RISC engineファミリ / SH7700シリーズ

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違っていると、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

本 LSI は、内部 32 ビット構成の SH-3 CPU を核に、システム構成に必要な周辺機能を集積したマイクロプロセッサです。

本 LSI は、キャッシュメモリ、メモリマネジメントユニット (MMU)、割り込みコントローラ、タイマ、3 種類のシリアルコミュニケーションインタフェース (SCI、SCIF、SIOF)、リアルタイムクロック (RTC)、ユーザブ레이크コントローラ (UBC)、バスステートコントローラ (BSC)、AFE インタフェースなどの周辺機能を内蔵しており、高速かつ低消費電力を要求される電子機器用マイコンとして活用できます。

本マニュアルは、SH7727C のバージョンについて、記載しております。

SH7727B 以前のバージョンをご使用の際は、巻末の「SH7727B 以前のバージョンをご使用の場合」をご覧ください。

なお、バージョンは、チップのマークに“C”が刻印されていれば SH7727C で、“B”が刻印されていれば SH7727B で、刻印されていない場合は、SH7727B より以前のバージョンとなります。

対象者 このマニュアルは、SH7727 を用いた応用システムを設計するユーザーを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7727 のハードウェア機能と電気的特性をユーザーに理解していただくことを目的にしています。
なお、実行命令の詳細については、「SH-3、SH-3E、SH3-DSP ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき。
目次にしたがって読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき。
別冊の「SH-3、SH-3E、SH3-DSP ソフトウェアマニュアル」を参照してください。

凡例 ビット表記順 : 左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。
(<http://japan.renesas.com>)

- SH7727に関するユーザズマニュアル

資料名	資料番号
SH7727 ハードウェアマニュアル	本マニュアル
SH-3、SH-3E、SH3-DSP ソフトウェアマニュアル	RJJ09B0345-0500

- 開発ツール関連ユーザズマニュアル

資料名	資料番号
SuperH™ RISC engine C/C++コンパイラ、アセンブラ、最適化リンケージエディタ コンパイラパッケージ V.9.00 ユーザズマニュアル	RJJ10B0156-0101
SuperH RISC engine High-performance Embedded Workshop 3 ユーザズマニュアル	RJJ10B0028-0200H
SuperH RISC engine High-performance Embedded Workshop 3 チュートリアル	RJJ10B0026-0200H

- アプリケーションノート

資料名	資料番号
SuperH™ RISC engine C/C++コンパイラパッケージ アプリケーションノート	RJJ05B0557-0700

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要と端子機能	1-1
1.1	SH7727の特長	1-1
1.2	ブロック図	1-7
1.3	端子の説明	1-8
1.3.1	ピンの配置	1-8
1.3.2	端子の機能	1-10
2.	CPU	2-1
2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ	2-4
2.1.2	コントロールレジスタ	2-6
2.1.3	システムレジスタ	2-9
2.1.4	DSP レジスタ	2-9
2.2	データ形式	2-14
2.2.1	レジスタのデータ形式 (非 DSP タイプ)	2-14
2.2.2	DSP タイプデータ形式	2-15
2.2.3	メモリのデータ形式	2-16
2.3	CPUコア命令の特長	2-16
2.4	命令形式	2-19
2.4.1	CPU 命令のアドレッシングモード	2-19
2.4.2	DSP データアドレッシング	2-22
2.4.3	CPU 命令の命令形式	2-27
2.4.4	DSP 命令の命令形式	2-30
2.5	命令セット	2-34
2.5.1	CPU 命令の命令セット	2-34
2.6	DSP拡張機能用の命令	2-43
2.6.1	はじめに	2-43
2.6.2	CPU 用追加システム制御命令	2-44
2.6.3	DSP データ命令用シングル、ダブルデータ転送	2-46
2.6.4	DSP 演算命令の命令セット	2-48
3.	メモリマネジメントユニット (MMU)	3-1
3.1	概要	3-1
3.1.1	特長	3-1

3.1.2	MMU の役割	3-1
3.1.3	本 LSI の MMU	3-3
3.1.4	レジスタ構成	3-6
3.2	レジスタの説明	3-6
3.3	TLBの機能	3-8
3.3.1	TLB の構成	3-8
3.3.2	TLB のインデックス番号作成方法	3-10
3.3.3	TLB のアドレス比較	3-11
3.3.4	ページ管理情報	3-13
3.4	MMUの機能	3-14
3.4.1	MMU のハードウェア管理	3-14
3.4.2	MMU のソフトウェア管理	3-14
3.4.3	MMU の命令 (LDTLB)	3-15
3.4.4	シノニム問題の回避	3-16
3.5	MMU例外	3-17
3.5.1	TLB ミス例外	3-17
3.5.2	TLB 保護違反例外	3-19
3.5.3	TLB 無効例外	3-20
3.5.4	初期ページ書き込み例外	3-21
3.5.5	MMU 例外発生時の処理フロー (アドレスエラー発生時の処理フローも同一)	3-23
3.5.6	リピートループにおける MMU 例外	3-24
3.6	メモリ割り付けTLBの構成	3-26
3.6.1	アドレスアレイ	3-26
3.6.2	データアレイ	3-26
3.6.3	使用例	3-28
3.7	使用上の注意	3-28
4.	例外処理	4-1
4.1	概要	4-1
4.1.1	特長	4-1
4.1.2	レジスタ構成	4-1
4.2	例外処理の機能	4-1
4.2.1	例外処理の流れ	4-1
4.2.2	例外処理ベクタアドレス	4-2
4.2.3	例外要因の受け付け	4-4
4.2.4	例外コード	4-5
4.2.5	例外要求と BL ビット	4-7
4.2.6	例外処理からの戻り	4-7
4.3	レジスタの説明	4-7
4.4	例外処理の動作	4-8

4.4.1	リセット	4-8
4.4.2	割り込み	4-9
4.4.3	一般例外	4-9
4.5	個別例外動作	4-10
4.5.1	リセット	4-10
4.5.2	一般例外	4-11
4.5.3	割り込み	4-15
4.6	使用上の注意	4-17
5.	キャッシュ	5-1
5.1	概要	5-1
5.1.1	特長	5-1
5.1.2	キャッシュの構成	5-1
5.1.3	レジスタ構成	5-3
5.2	レジスタの説明	5-3
5.2.1	キャッシュ制御レジスタ (CCR)	5-3
5.2.2	キャッシュ制御レジスタ 2 (CCR2)	5-4
5.3	キャッシュの動作	5-6
5.3.1	キャッシュの検索	5-6
5.3.2	リード動作	5-7
5.3.3	プリフェッチ動作	5-7
5.3.4	ライト動作	5-7
5.3.5	ライトバックパツファ	5-8
5.3.6	キャッシュと外部メモリとのコヒーレンシ	5-8
5.4	メモリ割り付けキャッシュの構成	5-8
5.4.1	アドレスアレイ	5-8
5.4.2	データアレイ	5-9
5.4.3	使用例	5-11
6.	X/Y メモリ	6-1
6.1	概要	6-1
6.1.1	特長	6-1
6.2	CPUからのX/Yメモリアクセス	6-1
6.3	DSPからのX/Yメモリアクセス	6-4
6.4	DMACからのX/Yメモリアクセス	6-4
7.	割り込みコントローラ (INTC)	7-1
7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-2

7.1.3	端子構成	7-3
7.1.4	レジスタ構成	7-4
7.2	割り込み要因	7-5
7.2.1	NMI 割り込み	7-5
7.2.2	IRQ 割り込み	7-5
7.2.3	IRL 割り込み	7-6
7.2.4	PINT 割り込み	7-7
7.2.5	内蔵周辺モジュール割り込み	7-8
7.2.6	割り込み例外処理および優先順位	7-9
7.3	INTCレジスタ	7-14
7.3.1	割り込み優先順位設定レジスタ A ~ G (IPRA ~ IPRG)	7-14
7.3.2	割り込みコントロールレジスタ 0 (ICR0)	7-15
7.3.3	割り込みコントロールレジスタ 1 (ICR1)	7-16
7.3.4	割り込みコントロールレジスタ 2 (ICR2)	7-19
7.3.5	割り込みコントロールレジスタ 3 (ICR3)	7-19
7.3.6	PINT 割り込みイネーブルレジスタ (PINTER)	7-21
7.3.7	割り込み要求レジスタ 0 (IRR0)	7-22
7.3.8	割り込み要求レジスタ 1 (IRR1)	7-24
7.3.9	割り込み要求レジスタ 2 (IRR2)	7-25
7.3.10	割り込み要求レジスタ 3 (IRR3)	7-27
7.3.11	割り込み要求レジスタ 4 (IRR4)	7-30
7.4	INTC動作	7-31
7.4.1	割り込み動作の流れ	7-31
7.4.2	多重割り込み	7-33
7.5	割り込み応答時間	7-34
8.	ユーザブレイクコントローラ (UBC)	8-1
8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	レジスタ構成	8-4
8.2	レジスタの説明	8-5
8.2.1	ブレイクアドレスレジスタ A (BARA)	8-5
8.2.2	ブレイクアドレスマスクレジスタ A (BAMRA)	8-5
8.2.3	ブレイクバスサイクルレジスタ A (BBRA)	8-6
8.2.4	ブレイクアドレスレジスタ B (BARB)	8-8
8.2.5	ブレイクアドレスマスクレジスタ B (BAMRB)	8-8
8.2.6	ブレイクデータレジスタ B (BDRB)	8-9
8.2.7	ブレイクデータマスクレジスタ B (BDMRB)	8-9
8.2.8	ブレイクバスサイクルレジスタ B (BBRB)	8-10

8.2.9	ブレークコントロールレジスタ (BRCR)	8-12
8.2.10	実行回数ブレークレジスタ (BETR)	8-16
8.2.11	ブランチソースレジスタ (BRSR)	8-16
8.2.12	ブランチデスティネーションレジスタ (BRDR)	8-17
8.2.13	ブレーク ASID レジスタ A (BASRA)	8-18
8.2.14	ブレーク ASID レジスタ B (BASRB)	8-18
8.3	動作説明	8-19
8.3.1	ユーザブレーク動作の流れ	8-19
8.3.2	命令フェッチサイクルでのブレーク	8-19
8.3.3	データアクセスサイクルでのブレーク	8-20
8.3.4	X/Y メモリバスサイクルでのブレーク	8-21
8.3.5	シーケンシャルブレーク	8-21
8.3.6	退避したプログラムカウンタの値	8-21
8.3.7	PC トレース	8-22
8.3.8	使用例	8-23
8.3.9	使用上の注意	8-28
9.	消費電力モードとモジュールソフトウェアリセット	9-1
9.1	概要	9-1
9.1.1	低消費電力モードの種類	9-1
9.1.2	端子構成	9-3
9.1.3	レジスタ構成	9-3
9.2	レジスタの説明	9-4
9.2.1	スタンバイコントロールレジスタ (STBCR)	9-4
9.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	9-5
9.2.3	スタンバイコントロールレジスタ 3 (STBCR3)	9-7
9.2.4	モジュールソフトウェアリセットレジスタ (SRSTR)	9-9
9.3	スリープモード	9-11
9.3.1	スリープモードへの遷移	9-11
9.3.2	スリープモードの解除	9-11
9.4	スタンバイモード	9-12
9.4.1	スタンバイモードへの遷移	9-12
9.4.2	スタンバイモードの解除	9-13
9.4.3	クロックポーズ機能	9-14
9.5	モジュールスタンバイ機能	9-15
9.5.1	モジュールスタンバイ機能への遷移	9-15
9.5.2	モジュールスタンバイ機能の解除	9-16
9.6	STATUS端子の変化タイミング	9-16
9.6.1	リセットの場合	9-17
9.6.2	スタンバイ解除の場合	9-18

9.6.3	スリープ解除の場合	9-19
9.7	ハードウェアスタンバイモード	9-21
9.7.1	ハードウェアスタンバイモードへの遷移	9-21
9.7.2	ハードウェアスタンバイモードの解除	9-21
9.7.3	ハードウェアスタンバイモードのタイミング	9-21
10.	内蔵発振回路	10-1
10.1	概要	10-1
10.1.1	特長	10-1
10.2	CPGの概要	10-3
10.2.1	CPG のブロック図	10-3
10.2.2	CPG の端子構成	10-5
10.2.3	CPG のレジスタ構成	10-5
10.3	クロック動作モード	10-6
10.4	レジスタの説明	10-10
10.4.1	周波数制御レジスタ (FRQCR)	10-10
10.4.2	CKIO2 制御レジスタ (CKIO2CR)	10-12
10.5	周波数の変更方法	10-13
10.5.1	逡倍率の変更	10-13
10.5.2	分周率の変更	10-13
10.6	WDTの概要	10-14
10.6.1	WDT のブロック図	10-14
10.6.2	レジスタ構成	10-14
10.7	WDTのレジスタの説明	10-15
10.7.1	ウォッチドッグタイマカウンタ (WTCNT)	10-15
10.7.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSCR)	10-15
10.7.3	レジスタアクセス時の注意	10-17
10.8	WDTの使用法	10-18
10.8.1	スタンバイ解除の手順	10-18
10.8.2	周波数変更の手順	10-19
10.8.3	ウォッチドッグタイマモードの使用法	10-19
10.8.4	インターバルタイマモードの使用法	10-19
10.9	ボード設計上の注意事項	10-20
11.	エクステンダクロックパルスジェネレータ (EXCPG)	11-1
11.1	概要	11-1
11.1.1	特長	11-1
11.2	機能	11-1
11.2.1	ブロック図	11-1
11.2.2	端子構成	11-1

11.2.3	レジスタ構成	11-2
11.3	レジスタの説明	11-2
11.3.1	EXCPG 制御レジスタ (EXCPGCR)	11-2
11.4	使用上の注意	11-3
12.	バスステートコントローラ (BSC)	12-1
12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-3
12.1.3	端子構成	12-4
12.1.4	レジスタ構成	12-5
12.1.5	エリアの概要	12-6
12.1.6	PC カードサポート	12-9
12.2	レジスタの説明	12-10
12.2.1	バスコントロールレジスタ 1 (BCR1)	12-10
12.2.2	バスコントロールレジスタ 2 (BCR2)	12-14
12.2.3	ウェイトコントロールレジスタ 1 (WCR1)	12-15
12.2.4	ウェイトコントロールレジスタ 2 (WCR2)	12-16
12.2.5	個別メモリコントロールレジスタ (MCR)	12-19
12.2.6	PCMCIA コントロールレジスタ (PCR)	12-22
12.2.7	シンクロナス DRAM モードレジスタ (SDMR)	12-26
12.2.8	リフレッシュタイマコントロール/ステータスレジスタ (RTCSCR)	12-27
12.2.9	リフレッシュタイマカウンタ (RTCNT)	12-29
12.2.10	リフレッシュタイムコンスタントレジスタ (RTCOR)	12-29
12.2.11	リフレッシュカウンタレジスタ (RFCR)	12-30
12.2.12	リフレッシュコントロール関連レジスタアクセス時の注意	12-30
12.3	動作説明	12-32
12.3.1	エンディアン / アクセスサイズとデータアライメント	12-32
12.3.2	エリアの説明	12-38
12.3.3	基本インタフェース	12-41
12.3.4	シンクロナス DRAM インタフェース	12-47
12.3.5	バースト ROM インタフェース	12-64
12.3.6	PCMCIA インタフェース	12-67
12.3.7	アクセスサイクル間ウェイト	12-78
12.3.8	バスアービトレーション	12-79
12.3.9	バスのプルアップ	12-80
13.	Liバスステートコントローラ (LBSC)	13-1
13.1	概要	13-1
13.1.1	特長	13-1

13.1.2	レジスタ構成	13-1
13.1.3	バスコントロールレジスタ 1 (BCR1)	13-2
13.1.4	バスコントロールレジスタ 2 (BCR2)	13-3
13.1.5	ウェイトコントロールレジスタ 1 (WCR1)	13-4
13.1.6	ウェイトコントロールレジスタ 2 (WCR2)	13-5
13.1.7	個別メモリコントロールレジスタ (MCR)	13-6
13.2	動作説明	13-9
13.2.1	バス共有アーキテクチャ	13-9
13.2.2	使用可能なシステムメモリ	13-9
13.2.3	バスアービトレーション	13-9
13.2.4	LCDC のバスアクセス	13-9
13.2.5	USB ホストのバスアクセス	13-9
13.2.6	他モジュールとバスアービトレーションとの DMA 転送設定について	13-10
14.	ダイレクトメモリアクセスコントローラ (DMAC)	14-1
14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	DMAC ブロック図	14-3
14.1.3	端子構成	14-4
14.1.4	レジスタ構成	14-4
14.2	各レジスタの説明	14-6
14.2.1	DMA ソースアドレスレジスタ 0~3 (SAR0~3)	14-6
14.2.2	DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)	14-6
14.2.3	DMA トランスファカウンタレジスタ 0~3 (DMATCR0~3)	14-7
14.2.4	DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)	14-7
14.2.5	DMA チャンネルアサインレジスタ (CHRAR)	14-14
14.2.6	DMA オペレーションレジスタ (DMAOR)	14-16
14.3	動作説明	14-18
14.3.1	動作説明	14-18
14.3.2	DMA 転送要求	14-20
14.3.3	チャンネルの優先順位	14-22
14.3.4	DMA 転送の種類	14-25
14.3.5	バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング	14-37
14.3.6	ソースアドレスリロード機能	14-46
14.3.7	DMA 転送終了	14-47
14.4	コンペアマッチタイマ (CMT)	14-49
14.4.1	概要	14-49
14.4.2	レジスタ説明	14-50
14.4.3	動作説明	14-53
14.4.4	コンペアマッチ	14-54

14.5	使用例.....	14-55
14.5.1	A/D 変換器と外部メモリとの DMA 転送例 (アドレスリロードオン)	14-55
14.5.2	外部メモリと SCIF 送信側との DMA 転送例 (インダイレクトアドレスオン)	14-56
14.6	使用上の注意.....	14-58
15.	タイマ (TMU)	15-1
15.1	概要.....	15-1
15.1.1	特長.....	15-1
15.1.2	ブロック図.....	15-2
15.1.3	レジスタ構成.....	15-3
15.2	レジスタの説明.....	15-4
15.2.1	タイマスタートレジスタ (TSTR)	15-4
15.2.2	タイマコントロールレジスタ (TCR)	15-5
15.2.3	タイマコンスタントレジスタ (TCOR)	15-7
15.2.4	タイマカウンタ (TCNT)	15-8
15.3	動作説明.....	15-9
15.3.1	カウンタの動作.....	15-9
15.4	割り込み.....	15-11
15.4.1	ステータスフラグのセットタイミング.....	15-11
15.4.2	ステータスフラグのクリアタイミング.....	15-12
15.4.3	割り込み要因と優先順位.....	15-12
15.5	使用上の注意.....	15-13
15.5.1	レジスタの書き込みについて.....	15-13
15.5.2	レジスタの読み出しについて.....	15-13
16.	リアルタイムクロック (RTC)	16-1
16.1	概要.....	16-1
16.1.1	特長.....	16-1
16.1.2	ブロック図.....	16-2
16.1.3	端子構成.....	16-3
16.1.4	レジスタ構成.....	16-3
16.2	レジスタの説明.....	16-4
16.2.1	64Hz カウンタ (R64CNT)	16-4
16.2.2	秒カウンタ (RSECCNT)	16-4
16.2.3	分カウンタ (RMINCNT)	16-5
16.2.4	時カウンタ (RHRCNT)	16-5
16.2.5	曜日カウンタ (RWKCNT)	16-6
16.2.6	日カウンタ (RDAYCNT)	16-6
16.2.7	月カウンタ (RMONCNT)	16-7
16.2.8	年カウンタ (RYRCNT)	16-7

16.2.9	秒アラームレジスタ (RSECAR)	16-8
16.2.10	分アラームレジスタ (RMINAR)	16-8
16.2.11	時アラームレジスタ (RHRAR)	16-9
16.2.12	曜日アラームレジスタ (RWKAR)	16-9
16.2.13	日アラームレジスタ (RDAYAR)	16-10
16.2.14	月アラームレジスタ (RMONAR)	16-10
16.2.15	RTC コントロールレジスタ 1 (RCR1)	16-11
16.2.16	RTC コントロールレジスタ 2 (RCR2)	16-13
16.3	RTCの動作	16-15
16.3.1	電源投入後のレジスタの初期設定	16-15
16.3.2	時刻設定手順	16-15
16.3.3	時刻読み出し手順	16-17
16.3.4	アラーム機能	16-18
16.3.5	水晶発振回路	16-19
16.4	使用上の注意	16-20
16.4.1	RTC カウント動作時のレジスタ書き込みについて	16-20
16.4.2	リアルタイムクロック (RTC) の周期割り込みの使用について	16-20
16.4.3	リアルタイムクロック (RTC) の ADJ ビットの使用について	16-20
17.	シリアルコミュニケーションインタフェース (SCI)	17-1
17.1	概要	17-1
17.1.1	特長	17-1
17.1.2	ブロック図	17-3
17.1.3	端子構成	17-6
17.1.4	レジスタ構成	17-6
17.2	レジスタの説明	17-7
17.2.1	レシーブシフトレジスタ (SCRSR)	17-7
17.2.2	レシーブデータレジスタ (SCRDR)	17-7
17.2.3	トランスミットシフトレジスタ (SCTSR)	17-7
17.2.4	トランスミットデータレジスタ (SCTDR)	17-8
17.2.5	シリアルモードレジスタ (SCSMR)	17-8
17.2.6	シリアルコントロールレジスタ (SCSCR)	17-11
17.2.7	シリアルステータスレジスタ (SCSSR)	17-14
17.2.8	SC ポートコントロールレジスタ (SCPCR) / SC ポートデータレジスタ (SCPDR)	17-19
17.2.9	ビットレートレジスタ (SCBRR)	17-21
17.3	動作説明	17-28
17.3.1	概要	17-28
17.3.2	調歩同期式モード時の動作	17-30
17.3.3	マルチプロセッサ通信機能	17-40
17.3.4	クロック同期式モード時の動作	17-48

17.4	SCI割り込み	17-56
17.5	使用上の注意	17-56
18.	スマートカードインタフェース	18-1
18.1	概要	18-1
18.1.1	特長	18-1
18.1.2	ブロック図	18-2
18.1.3	端子構成	18-3
18.1.4	レジスタ構成	18-3
18.2	各レジスタの説明	18-4
18.2.1	スマートカードモードレジスタ (SCSCMR)	18-4
18.2.2	シリアルステータスレジスタ (SCSSR)	18-5
18.3	動作説明	18-6
18.3.1	概要	18-6
18.3.2	端子接続	18-7
18.3.3	データフォーマット	18-8
18.3.4	レジスタ設定	18-9
18.3.5	クロック	18-11
18.3.6	データの送信 / 受信動作	18-13
18.4	使用上の注意	18-19
19.	FIFO 付きシリアルコミュニケーションインタフェース (SCIF)	19-1
19.1	概要	19-1
19.1.1	特長	19-1
19.1.2	ブロック図	19-2
19.1.3	端子構成	19-4
19.1.4	レジスタ構成	19-4
19.2	レジスタの説明	19-6
19.2.1	レシーブシフトレジスタ 2 (SCRSR2)	19-6
19.2.2	レシーブ FIFO データレジスタ 2 (SCFRDR2)	19-6
19.2.3	トランスミットシフトレジスタ 2 (SCTSR2)	19-6
19.2.4	トランスミット FIFO データレジスタ 2 (SCFTDR2)	19-7
19.2.5	シリアルモードレジスタ 2 (SCSMR2)	19-7
19.2.6	シリアルコントロールレジスタ 2 (SCSCR2)	19-9
19.2.7	シリアルステータスレジスタ 2 (SCSSR2)	19-11
19.2.8	ビットレートレジスタ 2 (SCBRR2)	19-17
19.2.9	FIFO コントロールレジスタ 2 (SCFCR2)	19-23
19.2.10	FIFO データ数レジスタ 2 (SCFDR2)	19-25
19.3	動作説明	19-26
19.3.1	概要	19-26

19.3.2	シリアル動作	19-27
19.4	SCIFの割り込み	19-36
19.5	使用上の注意	19-36
20.	シリアル IO (SIOF)	20-1
20.1	概要	20-1
20.1.1	特長	20-1
20.1.2	ブロック図	20-2
20.1.3	端子構成	20-2
20.1.4	レジスタ構成	20-3
20.2	レジスタの説明	20-4
20.2.1	シリアルモードレジスタ (SIMDR)	20-4
20.2.2	クロックセレクトレジスタ (SISCR)	20-6
20.2.3	送信データアサインレジスタ (SITDAR)	20-7
20.2.4	受信データアサインレジスタ (SIRDAR)	20-8
20.2.5	制御データアサインレジスタ (SICDAR)	20-9
20.2.6	シリアルコントロールレジスタ (SICTR)	20-10
20.2.7	FIFO コントロールレジスタ (SIFCTR)	20-12
20.2.8	ステータスレジスタ (SISTR)	20-13
20.2.9	割り込み許可レジスタ (SIER)	20-17
20.2.10	トランスミットデータレジスタ (SITDR)	20-20
20.2.11	レシーブデータレジスタ (SIRDR)	20-21
20.2.12	トランスミットコントロールデータレジスタ (SITCR)	20-21
20.2.13	レシーブコントロールデータレジスタ (SIRCR)	20-22
20.3	動作	20-23
20.3.1	シリアルクロック	20-23
20.3.2	シリアルタイミング	20-24
20.3.3	転送データフォーマット	20-25
20.3.4	転送データのレジスタ割り付け	20-26
20.3.5	制御データインタフェース	20-29
20.3.6	FIFO	20-30
20.3.7	送受信手順	20-32
20.3.8	割り込み	20-37
20.3.9	送受信タイミング	20-39
20.4	使用上の注意	20-43
20.4.1	SH7727B バージョン以前での SIOF 使用時の注意事項	20-45
21.	アナログフロントエンドインタフェース (AFEIF)	21-1
21.1	概要	21-1
21.1.1	特長	21-1

21.1.2	ブロック図	21-2
21.1.3	端子構成	21-2
21.1.4	レジスタ構成	21-3
21.2	レジスタの説明	21-3
21.2.1	AFEIF コントロールレジスタ 1、2 (ACTR1、ACTR2)	21-3
21.2.2	メイクレシオカウンタレジスタ (MRCR)	21-6
21.2.3	ミニマムポーズカウンタレジスタ (MPCR)	21-6
21.2.4	AFEIF ステータスレジスタ 1、2 (ASTR1、ASTR2)	21-6
21.2.5	ダイヤルナンバキュー (DPNQ)	21-10
21.2.6	リングングパルスカウンタ (RCNT)	21-11
21.2.7	AFE コントロールデータレジスタ (ACDR)	21-11
21.2.8	AFE ステータスデータレジスタ (ASDR)	21-11
21.2.9	送信データ FIFO ポート (TDFP)	21-11
21.2.10	受信データ FIFO ポート (RDFP)	21-12
21.3	動作説明	21-13
21.3.1	割り込みタイミング	21-13
21.3.2	AFE インタフェース	21-14
21.3.3	DAA インタフェース	21-16
21.3.4	ウェークアップリングング割り込み	21-18
22.	USB ビンマルチプレクスコントローラ	22-1
22.1	特長	22-1
22.1.1	ブロック図	22-2
22.1.2	端子構成	22-3
22.1.3	レジスタ構成	22-4
22.2	レジスタの説明	22-4
22.2.1	エキストラピンファンクションコントローラ (EXPFC)	22-4
22.3	外部回路例	22-5
22.3.1	USB ファンクションコントローラとトランシーバの接続例	22-5
22.3.2	USB ホストコントローラとトランシーバの接続例	22-8
22.3.3	使用上の注意	22-9
23.	USB ファンクションコントローラ	23-1
23.1	特長	23-1
23.2	ブロック図	23-2
23.3	外部端子構成	23-2
23.4	レジスタ構成	23-3
23.5	レジスタの説明	23-4
23.5.1	USBEP0i データレジスタ (USBEPDR0I)	23-4
23.5.2	USBEP0o データレジスタ (USBEPDR0O)	23-4

23.5.3	USBEP0s データレジスタ (USBEPDR0S)	23-4
23.5.4	USBEP1 データレジスタ (USBEPDR1)	23-4
23.5.5	USBEP2 データレジスタ (USBEPDR2)	23-5
23.5.6	USBEP3 データレジスタ (USBEPDR3)	23-5
23.5.7	USB 割り込みフラグレジスタ 0 (USBIFR0)	23-5
23.5.8	USB 割り込みフラグレジスタ 1 (USBIFR1)	23-6
23.5.9	USB トリガレジスタ (USBTRG)	23-7
23.5.10	USBFIFO クリアレジスタ (USBFCLR)	23-8
23.5.11	USBEP0o 受信データサイズレジスタ (USBEPSZ0O)	23-9
23.5.12	USB データステータスレジスタ (USBDASTS)	23-9
23.5.13	USB エンドポイントストールレジスタ (USBEPSTL)	23-9
23.5.14	USB 割り込みイネーブルレジスタ 0 (USBIER0)	23-10
23.5.15	USB 割り込みイネーブルレジスタ 1 (USBIER1)	23-10
23.5.16	USBEP1 受信データサイズレジスタ (USBEPSZ1)	23-11
23.5.17	USB 割り込み選択レジスタ 0 (USBISR0)	23-11
23.5.18	USB 割り込み選択レジスタ 1 (USBISR1)	23-11
23.5.19	USBDMA 設定レジスタ (USBDMA)	23-12
23.6	動作説明	23-13
23.6.1	ケーブル接続時	23-13
23.6.2	ケーブル切断時	23-14
23.6.3	コントロール転送	23-15
23.6.4	EP1 バルクアウト転送 (2 面 FIFO)	23-21
23.6.5	EP2 バルクイン転送 (2 面 FIFO)	23-22
23.6.6	EP3 インタラプトイン転送	23-24
23.7	USB標準コマンドとクラス/ベンダーコマンドの処理	23-25
23.7.1	コントロール転送で送信されるコマンドの処理	23-25
23.8	ストール動作	23-26
23.8.1	概要	23-26
23.8.2	アプリケーションが強制的にストールさせたい場合	23-26
23.8.3	USB ファンクションコントローラが自動的にストールさせる場合	23-28
23.9	使用上の注意	23-29
23.9.1	セットアップデータ受信について	23-29
23.9.2	FIFO のクリアについて	23-29
23.9.3	データレジスタのオーバーリード/ライトについて	23-29
23.9.4	EP0 に関する割り込み要因の割り当てについて	23-29
23.9.5	DMA 転送設定時の FIFO クリアについて	23-30
23.9.6	TR 割り込み使用時の注意事項	23-30
23.9.7	周辺クロック (Pφ) の動作周波数	23-30

24.	USB ホストコントローラ (USBH)	24-1
24.1	概要	24-1
24.1.1	特長	24-1
24.1.2	端子構成	24-1
24.1.3	レジスタ構成	24-2
24.2	レジスタの説明	24-3
24.2.1	HcRevision レジスタ	24-3
24.2.2	HcControl レジスタ	24-3
24.2.3	HcCommandStatus レジスタ	24-7
24.2.4	HcInterruptStatus レジスタ	24-9
24.2.5	HcInterruptEnable レジスタ	24-11
24.2.6	HcInterruptDisable レジスタ	24-14
24.2.7	HcHCCA レジスタ	24-16
24.2.8	HcPeriodCurrentED レジスタ	24-17
24.2.9	HcControlHeadED レジスタ	24-17
24.2.10	HcControlCurrentED レジスタ	24-17
24.2.11	HcBulkHeadED レジスタ	24-18
24.2.12	HcBulkCurrentED レジスタ	24-18
24.2.13	HcDoneHeadED レジスタ	24-19
24.2.14	HcFmInterval レジスタ	24-19
24.2.15	HcFmRemaining レジスタ	24-20
24.2.16	HcFmNumber レジスタ	24-21
24.2.17	HcPeriodicStart レジスタ	24-21
24.2.18	HcLSThreshold レジスタ	24-22
24.2.19	HcRhDescriptorA レジスタ	24-22
24.2.20	HcRhDescriptorB レジスタ	24-25
24.2.21	HcRhStatus レジスタ	24-26
24.2.22	HcRhPortStatus1、2 レジスタ	24-28
24.3	USBホストコントローラのデータ格納フォーマット	24-33
24.3.1	転送データの格納フォーマット	24-33
24.3.2	ディスクリプタの格納フォーマット	24-33
24.4	USBコントローラのデータアライメント制約	24-34
24.4.1	シンクロナス DRAM のライン境界に関する制約	24-34
24.4.2	IN 転送のメモリ書き出しアドレスに関する制約	24-34
24.5	USBコントローラのデータ転送に関する制約	24-35
24.5.1	IN 転送におけるデータサイズの制約	24-35
24.5.2	NAK/STALL 受信に関するハブ接続の制約	24-35
24.5.3	ロースピードデバイス切断時の制約	24-35
24.6	ソフトウェアリセットとUSBリセットに関する制約	24-36
24.7	SH7727Cバージョン以前でのUSBホスト使用時の注意事項	24-36

24.8	レジューム動作の注意事項.....	24-37
25.	LCD コントローラ (LCDC)	25-1
25.1	概要.....	25-1
25.1.1	特長.....	25-1
25.1.2	ブロック図.....	25-2
25.1.3	端子構成.....	25-2
25.1.4	レジスタ構成.....	25-3
25.2	レジスタの説明.....	25-4
25.2.1	LCDC インพุットクロックレジスタ (LDICKR)	25-4
25.2.2	LCDC モジュールタイプレジスタ (LDMTR)	25-5
25.2.3	LCDC データフォーマットレジスタ (LDDFR)	25-8
25.2.4	LCDC スキャンモードレジスタ (LDSMR)	25-10
25.2.5	LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)	25-11
25.2.6	LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)	25-12
25.2.7	LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)	25-12
25.2.8	LCDC パレットコントロールレジスタ (LDPALCR)	25-13
25.2.9	パレットデータレジスタ 00 ~ FF (LDPR00 ~ FF)	25-14
25.2.10	LCDC 水平キャラクタナンバーレジスタ (LDHCNR)	25-14
25.2.11	LCDC 水平同期信号レジスタ (LDHSYNR)	25-15
25.2.12	LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)	25-16
25.2.13	LCDC 垂直総ラインナンバーレジスタ (LDVTLNR)	25-16
25.2.14	LCDC 垂直同期信号レジスタ (LDVSYNR)	25-17
25.2.15	LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR)	25-18
25.2.16	LCDC 割り込みコントロールレジスタ (LDINTR)	25-18
25.2.17	LCDC パワーマネジメントモードレジスタ (LDPMMR)	25-21
25.2.18	LCDC 電源シーケンス期間レジスタ (LDPSPR)	25-22
25.2.19	LCDC コントロールレジスタ (LDCNTR)	25-23
25.3	動作説明.....	25-24
25.3.1	本 LCDC で表示可能な液晶モジュールのサイズについて.....	25-24
25.3.2	回転表示の解像度 / パースト長および接続メモリ (SDRAM) の制限.....	25-25
25.3.3	カラーパレット仕様について.....	25-31
25.3.4	データフォーマット.....	25-32
25.3.5	タイミングコントローラレジスタ.....	25-35
25.3.6	パワーマネージャレジスタ.....	25-35
25.3.7	ハードウェアローテーション動作説明.....	25-39
25.4	クロックとLCDデータ信号例.....	25-42
25.5	使用上の注意.....	25-52

26.	ピンファンクションコントローラ (PFC)	26-1
26.1	概要	26-1
26.2	レジスタ構成	26-6
26.3	レジスタの説明	26-7
26.3.1	ポート A コントロールレジスタ (PACR)	26-7
26.3.2	ポート B コントロールレジスタ (PBCR)	26-8
26.3.3	ポート C コントロールレジスタ (PCCR)	26-9
26.3.4	ポート D コントロールレジスタ (PDCR)	26-10
26.3.5	ポート E コントロールレジスタ (PECR)	26-11
26.3.6	ポート F コントロールレジスタ (PFCR)	26-12
26.3.7	ポート G コントロールレジスタ (PGCR)	26-14
26.3.8	ポート H コントロールレジスタ (PHCR)	26-16
26.3.9	ポート J コントロールレジスタ (PJCR)	26-17
26.3.10	ポート K コントロールレジスタ (PKCR)	26-18
26.3.11	ポート L コントロールレジスタ (PLCR)	26-19
26.3.12	ポート M コントロールレジスタ (PMCR)	26-20
26.3.13	SC ポートコントロールレジスタ (SCPCR)	26-21
27.	I/O ポート	27-1
27.1	概要	27-1
27.2	レジスタ構成	27-1
27.3	ポート A~C、E、J、K	27-2
27.3.1	ポート A~C、E、J、K データレジスタ (PADR、PBDR、PCDR、PEDR、PJDR、PKDR)	27-2
27.4	ポート D	27-3
27.4.1	ポート D データレジスタ (PDDR)	27-3
27.5	ポート F、M	27-4
27.5.1	ポート F、M データレジスタ (PFDR、PMDR)	27-4
27.6	ポート G	27-5
27.6.1	ポート G データレジスタ (PGDR)	27-5
27.7	ポート H	27-6
27.7.1	ポート H データレジスタ (PHDR)	27-6
27.8	ポート L	27-7
27.8.1	ポート L データレジスタ (PLDR)	27-7
27.9	SC ポート	27-8
27.9.1	ポート SC データレジスタ (SCPDR)	27-8
28.	A/D 変換器	28-1
28.1	概要	28-1
28.1.1	特長	28-1
28.1.2	ブロック図	28-2

28.1.3	端子構成	28-3
28.1.4	レジスタ構成	28-4
28.2	レジスタの説明	28-5
28.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	28-5
28.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	28-6
28.2.3	A/D コントロールレジスタ (ADCR)	28-8
28.3	バスマスタとのインタフェース	28-9
28.4	動作説明	28-10
28.4.1	シングルモード (MULTI = 0)	28-10
28.4.2	マルチモード (MULTI = 1、SCN = 0)	28-13
28.4.3	スキャンモード (MULTI = 1、SCN = 1)	28-15
28.4.4	入力サンプリングと A/D 変換時間	28-17
28.4.5	外部トリガ入力タイミング	28-18
28.5	割り込み要求	28-19
28.6	A/D 変換精度の定義	28-19
28.7	使用上の注意	28-20
28.7.1	アナログ電圧の設定	28-20
28.7.2	アナログ入力端子の取り扱い	28-20
28.7.3	アクセスサイズと読み出しデータ	28-21
29.	D/A 変換器	29-1
29.1	概要	29-1
29.1.1	特長	29-1
29.1.2	ブロック図	29-1
29.1.3	入出力端子	29-2
29.1.4	レジスタ構成	29-2
29.2	レジスタの説明	29-3
29.2.1	D/A データレジスタ 0、1 (DADR0/1)	29-3
29.2.2	D/A コントロールレジスタ (DACR)	29-3
29.3	動作の説明	29-5
30.	PC カードコントローラ (PCC)	30-1
30.1	概要	30-1
30.1.1	特長	30-1
30.1.2	ブロック図	30-2
30.1.3	レジスタ構成	30-2
30.1.4	PCMCIA のサポート	30-3
30.2	レジスタの説明	30-5
30.2.1	エリア 6 インタフェースステータスレジスタ (PCC0ISR)	30-5
30.2.2	エリア 6 ジェネラルコントロールレジスタ (PCC0GCR)	30-8

30.2.3	エリア6カードステータスチェンジレジスタ (PCC0CSCR)	30-11
30.2.4	エリア6カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER)	30-14
30.3	動作の説明	30-17
30.3.1	PCカード接続仕様 (インタフェース図、該当端子)	30-17
30.3.2	PCカードインタフェースタイミング	30-21
30.3.3	使用上の注意	30-26
31.	ユーザデバッグインタフェース (H-UDI)	31-1
31.1	概要	31-1
31.2	ユーザデバッグインタフェース (H-UDI)	31-1
31.2.1	端子の説明	31-1
31.2.2	ブロック図	31-2
31.3	レジスタの説明	31-2
31.3.1	バイパスレジスタ (SDBPR)	31-3
31.3.2	インストラクションレジスタ (SDIR)	31-3
31.3.3	パウンダリスキャンレジスタ (SDBSR)	31-4
31.4	H-UDIの動作説明	31-11
31.4.1	TAP コントローラ	31-11
31.4.2	リセット構成	31-12
31.4.3	H-UDI リセット	31-12
31.4.4	H-UDI 割り込み	31-13
31.4.5	バイパス	31-13
31.4.6	H-UDI によるスリープからの復帰	31-13
31.5	使用上の注意	31-13
31.6	アドバンストユーザデバッグ (AUD)	31-14
32.	電気的特性	32-1
32.1	絶対最大定格	32-1
32.2	DC特性	32-3
32.3	AC特性	32-7
32.3.1	クロックタイミング	32-9
32.3.2	制御信号タイミング	32-17
32.3.3	AC バスタイミング	32-20
32.3.4	基本タイミング	32-22
32.3.5	パースト ROM タイミング	32-25
32.3.6	シンクロナス DRAM タイミング	32-28
32.3.7	PCMCIA タイミング	32-39
32.3.8	周辺モジュール信号タイミング	32-46
32.3.9	H-UDI 関連端子のタイミング	32-49
32.3.10	LCDC タイミング	32-51

32.3.11	SIOF モジュール信号タイミング	32-53
32.3.12	USB モジュール信号タイミング	32-56
32.3.13	AFEIF モジュール信号タイミング	32-58
32.3.14	AC 特性測定条件	32-59
32.3.15	負荷容量による遅延時間の変化	32-60
32.4	A/D変換器特性	32-60
32.5	D/A変換器特性	32-61
付録	付録-1
A.	端子機能	付録-1
A.1	端子機能	付録-1
A.2	未使用端子の処理	付録-6
A.3	各アドレス空間へのアクセスにおける端子状態	付録-10
B.	制御レジスタ	付録-24
B.1	レジスタアドレスマップ	付録-24
C.	型名一覧	付録-33
D.	パッケージ外形寸法図	付録-34
E.	SH7727C以前のバージョンをご使用の場合	付録-36
E.1	マークによるバージョンの確認方法	付録-36
F.	SH7727B以前のバージョンでポートGコントロールレジスタ (PGCR) をご使用時の仕様	付録-37
改訂記録	改-1

図目次

1. 概要と端子機能	1-1
図 1.1 ブロック図	1-7
図 1.2 ピン配置図 (PRQP0240KC-B)	1-8
図 1.3 ピン配置図 (PLBG0240JA-A)	1-9
2. CPU	2-1
図 2.1 処理モード別のレジスタ構成 (1)	2-2
図 2.2 処理モード別のレジスタ構成 (2)	2-3
図 2.3 汎用レジスタ (DSP モード以外)	2-4
図 2.4 汎用レジスタ (DSP モード)	2-5
図 2.5 コントロールレジスタ (1)	2-7
図 2.5 コントロールレジスタ (2)	2-8
図 2.6 システムレジスタ	2-9
図 2.7 DSP レジスタ	2-12
図 2.8 DSP レジスタとバスの接続	2-13
図 2.9 ロングワードオペランド	2-14
図 2.10 データ形式	2-15
図 2.11 バイト、ワード、ロングワードの配列	2-16
図 2.12 X、Y データ転送のアドレッシング	2-23
図 2.13 シングルデータ転送のアドレッシング	2-24
図 2.14 モジュールアドレッシング	2-25
図 2.15 DSP 命令の命令形式	2-30
図 2.16 並列命令プログラムの例	2-49
図 2.17 条件付き演算とデータ転送命令の例	2-56
3. メモリマネジメントユニット (MMU)	3-1
図 3.1 MMU の役割	3-2
図 3.2 論理アドレス空間	3-4
図 3.3 MMU レジスタの内容	3-7
図 3.4 TLB 全体構成	3-8
図 3.5 論理アドレスと TLB エントリの構成	3-8
図 3.6 TLB インデックス番号作成の方法 (IX=1)	3-10
図 3.7 TLB インデックス番号作成の方法 (IX=0)	3-11
図 3.8 アドレス比較対象	3-12

図 3.9	LDTLB 命令の動作.....	3-15
図 3.10	シノニム問題.....	3-17
図 3.11	MMU 例外の流れ.....	3-22
図 3.12	命令フェッチ時の MMU 例外信号.....	3-23
図 3.13	データアクセス時の MMU 例外信号.....	3-24
図 3.14	リピートループにおける MMU 例外.....	3-25
図 3.15	メモリ割り付けされた TLB アクセスのアドレス部、データ部指定方法.....	3-27
4.	例外処理.....	4-1
図 4.1	ベクタテーブル.....	4-2
図 4.2	一般例外の受け付け順序の例.....	4-4
図 4.3	レジスタのビット構成.....	4-8
5.	キャッシュ.....	5-1
図 5.1	キャッシュの構成.....	5-2
図 5.2	CCR の構成.....	5-3
図 5.3	CCR2 の構成.....	5-4
図 5.4	キャッシュの検索方法.....	5-6
図 5.5	ライトバックバッファの構成.....	5-8
図 5.6	メモリ割り付けられたキャッシュアクセスのアドレス、データ指定方法.....	5-10
6.	X/Y メモリ.....	6-1
図 6.1	X/Y メモリ論理アドレスマッピング.....	6-3
図 6.2	X/Y メモリ物理アドレスマッピング.....	6-3
7.	割り込みコントローラ (INTC).....	7-1
図 7.1	INTC ブロック図.....	7-2
図 7.2	IRL 割り込みの接続例.....	7-6
図 7.3	割り込み動作フローチャート.....	7-32
図 7.4	IRL 割り込みの受け付け時のパイプライン動作の例.....	7-36
8.	ユーザブレイクコントローラ (UBC).....	8-1
図 8.1	UBC のブロック図.....	8-3
9.	消費電力モードとモジュールソフトウェアリセット.....	9-1
図 9.1	STBCR の STBY ビットとスタンバイモードの解除.....	9-13
図 9.2	パワーオンリセット (クロックモード 0、1、2、7) の STATUS 出力.....	9-17
図 9.3	マニュアルリセットの STATUS 出力.....	9-17
図 9.4	スタンバイ 割り込みの STATUS 出力.....	9-18
図 9.5	スタンバイ パワーオンリセットの STATUS 出力.....	9-18

図 9.6	スタンバイ マニュアルリセットの STATUS 出力	9-19
図 9.7	スリープ 割り込みの STATUS 出力.....	9-19
図 9.8	スリープ パワーオンリセットの STATUS 出力	9-20
図 9.9	スリープ マニュアルリセットの STATUS 出力	9-20
図 9.10	ハードウェアスタンバイモードのタイミング (通常動作時に CA = ローレベルとなる場合)	9-22
図 9.11	ハードウェアスタンバイモードのタイミング (スタンバイモード解除での WDT 動作中に CA = ローレベルとなる場合)	9-22
10.	内蔵発振回路.....	10-1
図 10.1	CPG のブロック図.....	10-3
図 10.2	WDT のブロック図	10-14
図 10.3	WTCNT、WTCR への書き込み.....	10-18
図 10.4	水晶振動子使用時の注意.....	10-20
図 10.5	PLL 発振回路使用時の注意.....	10-21
11.	エクステンデッドクロックパルスジェネレータ (EXCPG)	11-1
図 11.1	EXCPG のブロック図	11-1
12.	バスステートコントローラ (BSC)	12-1
図 12.1	BSC のブロック図.....	12-3
図 12.2	論理アドレス空間と物理アドレス空間の対応	12-6
図 12.3	物理空間割り付け	12-8
図 12.4	RTCSR、RTCNT、RTCOR、RFCR への書き込み	12-31
図 12.5	基本インタフェースの基本タイミング	12-42
図 12.6	32 ビットデータ幅 SRAM 接続例.....	12-43
図 12.7	16 ビットデータ幅 SRAM 接続例.....	12-44
図 12.8	8 ビットデータ幅 SRAM 接続例.....	12-44
図 12.9	基本インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)	12-45
図 12.10	基本インタフェースのウェイトステートタイミング (WAIT 信号によるウェイトステート挿入 WAITSEL = 1)	12-46
図 12.11	64M ビットシンクロナス DRAM 接続例 (32 ビットバス幅)	12-48
図 12.12	64M ビットシンクロナス DRAM 接続例 (バス幅 16 ビット)	12-49
図 12.13	シンクロナス DRAM パーストリード基本タイミング.....	12-52
図 12.14	シンクロナス DRAM パーストリードウェイト指定タイミング	12-53
図 12.15	シンクロナス DRAM シングルリード基本タイミング	12-54
図 12.16	シンクロナス DRAM パーストライト基本タイミング.....	12-56
図 12.17	シンクロナス DRAM シングルライト基本タイミング	12-58
図 12.18	オートリフレッシュの動作.....	12-59
図 12.19	シンクロナス DRAM オートリフレッシュタイミング.....	12-60
図 12.20	シンクロナス DRAM セルフリフレッシュタイミング	12-61

図 12.21	シンクロナス DRAM モード書き込みタイミング	12-63
図 12.22	バースト ROM ウェイトアクセスタイミング	12-65
図 12.23	バースト ROM 基本アクセスタイミング	12-66
図 12.24	PCMCIA インタフェース例 (内蔵の PC カードコントローラを使用しない場合)	12-68
図 12.25	PCMCIA メモリカードインタフェース基本タイミング	12-70
図 12.26	PCMCIA メモリカードインタフェースウェイトタイミング	12-71
図 12.27	PCMCIA メモリカードインタフェースバーストアクセス基本タイミング	12-72
図 12.28	PCMCIA メモリカードインタフェースバーストアクセスウェイトタイミング	12-73
図 12.29	PCMCIA 空間割り付け	12-74
図 12.30	PCMCIA I/O カードインタフェース基本タイミング	12-75
図 12.31	PCMCIA I/O カードインタフェースウェイトタイミング	12-76
図 12.32	PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング	12-77
図 12.33	アクセスサイクル間ウェイト	12-79
図 12.34	A25 ~ A0 端子プルアップのタイミング	12-80
図 12.35	D31 ~ D0 端子プルアップのタイミング (リードサイクル)	12-80
図 12.36	D31 ~ D0 端子プルアップのタイミング (ライトサイクル)	12-81
13.	Li バスステートコントローラ (LBSC)	13-1
図 13.1	Li バスアーキテクチャのブロック図	13-10
14.	ダイレクトメモリアクセスコントローラ (DMAC)	14-1
図 14.1	DMAC ブロック図	14-3
図 14.2	DMAC 転送フローチャート	14-19
図 14.3	ラウンドロビンモード	14-23
図 14.4	ラウンドロビンモードでのチャネル優先順位変更例	14-24
図 14.5	デュアルアドレスモード、直接アドレスの動作説明	14-26
図 14.6	デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例 (転送元: 通常メモリ、転送先: 通常メモリ)	14-27
図 14.7	デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例 (16 バイト転送、転送元: 通常メモリ、転送先: 通常メモリ)	14-28
図 14.8	デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例 (16 バイト転送、転送元: シンクロナス DRAM、転送先: 通常メモリ)	14-28
図 14.9	デュアルアドレスモード、間接アドレスの動作説明 (外部メモリ空間が 16 ビット幅の場合)	14-30
図 14.10	デュアルアドレスモード、間接アドレスでの転送タイミング例	14-31
図 14.11	シングルアドレスモードでのデータの流れ	14-32
図 14.12	シングルアドレスモードでの DMA 転送タイミング	14-33
図 14.13	シングルアドレスモードでの DMA 転送タイミング 外部メモリ空間 (通常メモリ) DACK 付き外部デバイス	14-34
図 14.14	サイクルスチールモードでの DMA 転送例	14-35
図 14.15	バーストモードでの DMA 転送例	14-35

図 14.16	複数チャネルが動作する場合のバス状態	14-37
図 14.17	サイクルスチールモード、レベル入力 (CPU アクセス : 2 サイクル)	14-39
図 14.18	サイクルスチールモード、レベル入力 (CPU アクセス : 3 サイクル)	14-40
図 14.19	サイクルスチールモード、レベル入力 (CPU アクセス : 2 サイクル、DMA RD アクセス 4 サイクル)	14-41
図 14.20	サイクルスチールモード、レベル入力 (CPU アクセス : 2 サイクル、DREQ 入力を遅らせた場合)	14-42
図 14.21	サイクルスチールモード、エッジ入力 (CPU アクセス : 2 サイクル)	14-43
図 14.22	バーストモード、レベル入力	14-44
図 14.23	バーストモード、エッジ入力	14-45
図 14.24	ソースアドレスリロード機能図	14-46
図 14.25	ソースアドレスリロード機能タイムチャート	14-46
図 14.26	コンペアマッチタイマのブロック図	14-49
図 14.27	カウンタ動作	14-53
図 14.28	カウントタイミング	14-53
図 14.29	CMF セットタイミング	14-54
図 14.30	CPU による CMF クリアのタイミング	14-54
15.	タイマ (TMU)	15-1
図 15.1	TMU のブロック図	15-2
図 15.2	カウント動作設定手順例	15-9
図 15.3	オートリロードカウンタの動作	15-10
図 15.4	内部クロック動作時のカウントタイミング	15-10
図 15.5	内蔵 RTC クロック動作時のカウントタイミング	15-11
図 15.6	UNF のセットタイミング	15-11
図 15.7	ステータスフラグのクリアタイミング	15-12
16.	リアルタイムクロック (RTC)	16-1
図 16.1	RTC のブロック図	16-2
図 16.2 (a)	時刻設定手順 (a)	16-15
図 16.2 (b)	時刻設定手順 (b)	16-16
図 16.3	時刻読み出し手順	16-17
図 16.4	アラーム機能の使用手順	16-18
図 16.5	水晶発振回路接続例	16-19
図 16.6	周期割り込み機能の使用手順	16-20
17.	シリアルコミュニケーションインタフェース (SCI)	17-1
図 17.1	SCI のブロック図	17-3
図 17.2	SCPT[1]/SCK0 端子	17-4
図 17.3	SCPT[0]/TxD0 端子	17-5

図 17.4	SCPT[0]/RxD0 端子.....	17-5
図 17.5	調歩同期式通信のデータフォーマット (8ビットデータ/パリティあり/2ストップビットの例)	17-30
図 17.6	出カクロックと通信データの位相関係(調歩同期式モード)	17-32
図 17.7	SCIの初期化フローチャートの例.....	17-33
図 17.8	シリアル送信のフローチャートの例.....	17-34
図 17.9	調歩同期式モードでの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	17-36
図 17.10	シリアル受信のフローチャートの例(1)	17-37
図 17.10	シリアル受信のフローチャートの例(2)	17-38
図 17.11	SCIの受信時の動作例(8ビットデータ/パリティあり/1ストップビットの例)	17-40
図 17.12	マルチプロセッサフォーマットを使用したプロセッサ間通信の例 (受信局AへのデータH'AAの送信の例)	17-41
図 17.13	マルチプロセッサシリアル送信のフローチャートの例.....	17-42
図 17.14	SCIの送信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	17-44
図 17.15	マルチプロセッサシリアル受信のフローチャートの例(1)	17-45
図 17.15	マルチプロセッサシリアル受信のフローチャートの例(2)	17-46
図 17.16	SCIの受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	17-47
図 17.17	クロック同期式通信のデータフォーマット	17-48
図 17.18	SCIの初期化フローチャートの例.....	17-49
図 17.19	シリアル送信のフローチャートの例.....	17-50
図 17.20	SCIの送信時の動作例	17-51
図 17.21	シリアルデータ受信フローチャートの例(1)	17-52
図 17.21	シリアルデータ受信フローチャートの例(2)	17-53
図 17.22	SCIの受信時の動作例	17-54
図 17.23	シリアルデータ送受信フローチャートの例.....	17-55
図 17.24	調歩同期式モードの受信データサンプリングタイミング.....	17-58
18. スマートカードインタフェース.....		18-1
図 18.1	スマートカードインタフェースのブロック図	18-2
図 18.2	スマートカードインタフェース端子接続概略図	18-7
図 18.3	スマートカードインタフェースのデータフォーマット.....	18-8
図 18.4	開始キャラクタの波形例.....	18-11
図 18.5	初期化のフロー例	18-14
図 18.6	送信処理フローの例	18-16
図 18.7	受信処理フローの例	18-18
図 18.8	スマートカードモード時の受信データサンプリングタイミング	18-20
図 18.9	SCI受信モードの場合の再転送動作.....	18-21
図 18.10	SCI送信モードの場合の再転送動作.....	18-22

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)	19-1
図 19.1 SCIF ブロック図.....	19-2
図 19.2 SCPT[4]/TxD2 端子.....	19-3
図 19.3 SCPT[4]/RxD2 端子.....	19-4
図 19.4 SCIF の初期化フローチャートの例	19-29
図 19.5 シリアル送信のフローチャートの例.....	19-30
図 19.6 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	19-32
図 19.7 モデムコントロールを使用した動作例 ($\overline{\text{CTS2}}$)	19-32
図 19.8 シリアル受信のフローチャートの例 (1)	19-33
図 19.9 シリアル受信のフローチャートの例 (2)	19-34
図 19.10 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	19-35
図 19.11 モデムコントロール使用時の動作例 ($\overline{\text{RTS2}}$)	19-35
図 19.12 調歩同期モードでの受信データサンプリングタイミング.....	19-38
20. シリアル IO (SIOF)	20-1
図 20.1 SIOF のブロック図.....	20-2
図 20.2 シリアルクロック供給系統.....	20-23
図 20.3 SIOF シリアルデータ同期タイミング	20-24
図 20.4 SIOF 送受信タイミング.....	20-25
図 20.5 送受信データビットアライメント.....	20-27
図 20.6 制御データビットアライメント.....	20-28
図 20.7 制御データインタフェース (スロット位置)	20-29
図 20.8 制御データインタフェース (セカンダリ FS)	20-30
図 20.9 マスタ時送信動作例	20-32
図 20.10 マスタ時受信動作例	20-33
図 20.11 スレーブ時送信動作例.....	20-34
図 20.12 スレーブ時受信動作例.....	20-35
図 20.13 送受信タイミング (8 ビットモノラル-1)	20-39
図 20.14 送受信タイミング (8 ビットモノラル-2)	20-39
図 20.15 送受信タイミング (16 ビットモノラル-1)	20-40
図 20.16 送受信タイミング (16 ビットステレオ-1)	20-40
図 20.17 送受信タイミング (16 ビットステレオ-2)	20-41
図 20.18 送受信タイミング (16 ビットステレオ-3)	20-41
図 20.19 送受信タイミング (16 ビットモノラル-2)	20-42
21. アナログフロントエンドインタフェース (AFEIF)	21-1
図 21.1 AFE インタフェースブロック図.....	21-2
図 21.2 FIFO インタラプトタイミング.....	21-13
図 21.3 リンギングインタラプト発生タイミング.....	21-13
図 21.4 インタラプトジェネレータ.....	21-14

図 21.5	AFE シリアルインタフェース	21-14
図 21.6	AFE コントロールシーケンス	21-15
図 21.7	DAA ブロック図	21-16
図 21.8	リングング検出シーケンス	21-17
22.	USB ビンマルチプレクスコントローラ	22-1
図 22.1	USB ビンマルチプレクスのブロック図	22-2
図 22.2	USB ファンクションコントローラの接続例 1 (内部トランシーバ使用時)	22-5
図 22.3	USB ファンクションコントローラの接続例 2 (内部トランシーバ使用時)	22-6
図 22.4	USB ファンクションコントローラの接続例 3 (内部トランシーバ未使用時)	22-6
図 22.5	USB ファンクションコントローラの接続例 4 (内部トランシーバ未使用時)	22-7
図 22.6	USB ホストコントローラの接続例 1 (内部トランシーバ使用時)	22-8
図 22.7	USB ホストコントローラの接続例 2 (内部トランシーバ未使用時)	22-9
23.	USB ファンクションコントローラ	23-1
図 23.1	USB のブロック図	23-2
図 23.2	ケーブル接続時の動作	23-13
図 23.3	ケーブル切断時の動作	23-14
図 23.4	コントロール転送における各転送ステージ	23-15
図 23.5	セットアップステージの動作	23-16
図 23.6	データステージ (コントロールイン時) の動作	23-17
図 23.7	データステージ (コントロールアウト時) の動作	23-18
図 23.8	ステータスステージ (コントロールイン時) の動作	23-19
図 23.9	ステータスステージ (コントロールアウト時) の動作	23-20
図 23.10	EP1 バルクアウト転送の動作	23-21
図 23.11	EP2 バルクイン転送の動作	23-22
図 23.12	EP3 インタラプトイン転送の動作	23-24
図 23.13	アプリケーションで強制的にストールさせたい場合	23-27
図 23.14	USB ファンクションモジュールが自動的にストールさせた場合	23-28
図 23.15	TR 割り込みフラグのセットタイミング	23-30
25.	LCD コントローラ (LCDC)	25-1
図 25.1	ブロック図	25-2
図 25.2	有効な表示と帰線期間	25-20
図 25.3	カラーパレットデータフォーマット	25-31
図 25.4	電源制御シーケンスと液晶モジュールの動作状態	25-36
図 25.5	電源制御シーケンスと液晶モジュールの動作状態	25-36
図 25.6	電源制御シーケンスと液晶モジュールの動作状態	25-37
図 25.7	電源制御シーケンスと液晶モジュールの動作状態	25-37
図 25.8	STN モノクロ 4 ビットデータバスモジュール	25-42

図 25.9	STN モノクロ 8 ビットデータバスモジュール.....	25-42
図 25.10	STN カラー 4 ビットデータバスモジュール.....	25-43
図 25.11	STN カラー 8 ビットデータバスモジュール.....	25-43
図 25.12	STN カラー 12 ビットデータバスモジュール.....	25-44
図 25.13	STN カラー 16 ビットデータバスモジュール.....	25-45
図 25.14	DSTN モノクロ 8 ビットデータバスモジュール.....	25-45
図 25.15	DSTN モノクロ 16 ビットデータバスモジュール.....	25-46
図 25.16	DSTN カラー 8 ビットデータバスモジュール.....	25-46
図 25.17	DSTN カラー 12 ビットデータバスモジュール.....	25-47
図 25.18	DSTN カラー 16 ビットデータバスモジュール.....	25-48
図 25.19	TFT カラー 16 ビットデータバスモジュール.....	25-49
図 25.20	8 ビットインタフェースカラー 640×480.....	25-50
図 25.21	16 ビットインタフェースカラー 640×480.....	25-51
26.	ピンファンクションコントローラ (PFC)	26-1
図 26.1	ピン選択機能概要	26-1
28.	A/D 変換器.....	28-1
図 28.1	A/D 変換器のブロック図.....	28-2
図 28.2	ADDR のアクセス動作 (H'AA40) 読み出し時)	28-10
図 28.3	A/D 変換器の動作例 (シングルモード チャンネル 2 選択時)	28-12
図 28.4	A/D 変換器の動作例 (マルチモード AN4 ~ AN6 の 3 チャンネル選択時)	28-14
図 28.5	A/D 変換器の動作例 (スキャンモード AN4 ~ AN6 の 3 チャンネル選択時)	28-16
図 28.6	A/D 変換タイミング.....	28-17
図 28.7	外部トリガ入力タイミング.....	28-18
図 28.8	A/D 変換精度の定義.....	28-20
図 28.9	アナログ入力端子の保護回路例.....	28-21
図 28.10	アナログ入力端子の等価回路.....	28-21
29.	D/A 変換器.....	29-1
図 29.1	D/A 変換器のブロック図.....	29-1
図 29.2	D/A 変換器動作の例.....	29-5
30.	PC カードコントローラ (PCC)	30-1
図 30.1	PC カードコントローラのブロック図.....	30-2
図 30.2	連続 32MB エリアモード	30-4
図 30.3	連続 16MB エリアモード (エリア 6)	30-5
図 30.4	SH7727 インタフェース	30-17
図 30.5	PCMCIA メモリカードインタフェース基本タイミング	30-21
図 30.6	PCMCIA メモリカードインタフェースウェイトタイミング	30-22

図 30.7	PCMCIA I/O カードインタフェース基本タイミング	30-23
図 30.8	PCMCIA I/O カードインタフェースウェイトタイミング	30-24
図 30.9	PCMCIA I/O カードインタフェースに対する動的バスサイジングタイミング	30-25
31.	ユーザデバッグインタフェース (H-UDI)	31-1
図 31.1	H-UDI ブロック図	31-2
図 31.2	TAP コントローラ状態遷移図	31-11
図 31.3	H-UDI リセット	31-13
32.	電気的特性	32-1
図 32.1	電源投入シーケンス	32-2
図 32.2	電源電圧と動作周波数	32-7
図 32.3	EXTAL クロック入力タイミング	32-13
図 32.4	CKIO クロック入力タイミング	32-13
図 32.5	CKIO クロック出力タイミング	32-13
図 32.6	パワーオン発振安定時間	32-14
図 32.7	スタンバイ復帰時発振安定時間 (リセットによる復帰)	32-14
図 32.8	スタンバイ復帰時発振安定時間 (NMI による復帰)	32-14
図 32.9	スタンバイ復帰時発振安定時間 (IRQ4 ~ IRQ0 による復帰)	32-15
図 32.10	リセットまたは NMI 割り込みによる PLL 同期安定化時間	32-15
図 32.11	IRQ/IRL、PINT0/1 割り込みによる PLL 同期安定化時間	32-16
図 32.12	周波数逡倍率変更時の PLL 同期安定化時間	32-16
図 32.13	リセット入力タイミング	32-18
図 32.14	割り込み信号入力タイミング	32-18
図 32.15	バス権解放タイミング	32-18
図 32.16	スタンバイ時の端子ドライブタイミング	32-19
図 32.17	基本バスサイクル (ノーウェイト)	32-22
図 32.18	基本バスサイクル (1 ウェイト)	32-23
図 32.19	基本バスサイクル (外部ウェイト、WAITSEL = 1)	32-24
図 32.20	バースト ROM バスサイクル (ノーウェイト)	32-25
図 32.21	バースト ROM バスサイクル (2 ウェイト)	32-26
図 32.22	バースト ROM バスサイクル (外部ウェイト、WAITSEL = 1)	32-27
図 32.23	シンクロナス DRAM リードバスサイクル (RCD = 0、CAS レイテンシ = 1、TPC = 0)	32-28
図 32.24	シンクロナス DRAM リードバスサイクル (RCD = 2、CAS レイテンシ = 2、TPC = 1)	32-29
図 32.25	シンクロナス DRAM リードバスサイクル (バーストリード (シングルリード×4)、RCD = 0、CAS レイテンシ = 1、TPC = 1)	32-30
図 32.26	シンクロナス DRAM リードバスサイクル (バーストリード (シングルリード×4)、RCD = 1、CAS レイテンシ = 3、TPC = 0)	32-31
図 32.27	シンクロナス DRAM ライトバスサイクル (RCD = 0、TPC = 0、TRWL = 0)	32-32
図 32.28	シンクロナス DRAM ライトバスサイクル (RCD = 2、TPC = 1、TRWL = 1)	32-33

図 32.29	シンクロナス DRAM ライトバスサイクル (バーストライト (シングルライト×4)、 RCD=0、TPC=1、TRWL=0)	32-34
図 32.30	シンクロナス DRAM ライトバスサイクル (バーストライト (シングルライト×4)、 RCD=1、TPC=0、TRWL=0)	32-35
図 32.31	シンクロナス DRAM オートリフレッシュサイクル (TRAS=1、TPC=1)	32-36
図 32.32	シンクロナス DRAM セルフリフレッシュサイクル (TPC=0)	32-37
図 32.33	シンクロナス DRAM のモードレジスタへのライトサイクル	32-38
図 32.34	PCMCIA メモリバスサイクル (TED=0、TEH=0、ノーウェイト)	32-39
図 32.35	PCMCIA メモリバスサイクル (TED=2、TEH=1、1 ウェイト、外部ウェイト、WAITSEL=1)	32-40
図 32.36	PCMCIA メモリバスサイクル (バーストリード、TED=0、TEH=0、ノーウェイト)	32-41
図 32.37	PCMCIA メモリバスサイクル (バーストリード、TED=1、TEH=1、2 ウェイト、 バーストピッチ=3、WAITSEL=1)	32-42
図 32.38	PCMCIA I/O バスサイクル (TED=0、TEH=0、ノーウェイト)	32-43
図 32.39	PCMCIA I/O バスサイクル (TED=2、TEH=1、1 ウェイト、外部ウェイト、WAITSEL=1)	32-44
図 32.40	PCMCIA I/O バスサイクル (TED=1、TEH=1、1 ウェイト、バスサイジング、WAITSEL=1)	32-45
図 32.41	RTC 用水晶発振器パワーオン時発振安定時間	32-47
図 32.42	SCK 入力クロックタイミング	32-47
図 32.43	クロック同期式モード時の SCI 入出力タイミング	32-47
図 32.44	I/O ポートタイミング	32-48
図 32.45	$\overline{\text{DREQ}}$ 入力タイミング	32-48
図 32.46	DRAK 出力タイミング	32-48
図 32.47	TCK 入力タイミング	32-49
図 32.48	$\overline{\text{TRST}}$ 入力タイミング (リセットホールド時)	32-49
図 32.49	H-UDI データ転送タイミング	32-50
図 32.50	$\overline{\text{ASEMD0}}$ 入力タイミング	32-50
図 32.51	LCDC AC タイミング	32-52
図 32.52	SIOMCLK 入力タイミング	32-53
図 32.53	SIOF 送受信タイミング (マスタモード 1・立ち下がりサンプリング時)	32-54
図 32.54	SIOF 送受信タイミング (マスタモード 1・立ち上がりサンプリング時)	32-54
図 32.55	SIOF 送受信タイミング (マスタモード 2・立ち下がりサンプリング時)	32-55
図 32.56	SIOF 送受信タイミング (マスタモード 2・立ち上がりサンプリング時)	32-55
図 32.57	SIOF 送受信タイミング (スレーブモード 1・スレーブモード 2 時)	32-56
図 32.58	USB クロックタイミング	32-56
図 32.59	AFEIF モジュール AC タイミング	32-58
図 32.60	出力付加回路	32-59
図 32.61	負荷容量 - 遅延時間	32-60

付録	付録-1
図 D.1 パッケージ外形寸法図 (PRQP0240KC-B)	付録-34
図 D.2 パッケージ外形寸法図 (PLBG0240JA-A)	付録-35

表目次

1. 概要と端子機能	1-1
表 1.1 SH7727 の特長	1-2
表 1.2 SH7727 端子機能	1-10
2. CPU.....	2-1
表 2.1 レジスタの初期値	2-3
表 2.2 各 SH3-DSP モード時の SR の各ビットの動作説明	2-10
表 2.3 DSP 命令のデスティネーションレジスタ	2-11
表 2.4 DSP 命令のソースレジスタ	2-12
表 2.4 DSP 命令のソースレジスタ	2-12
表 2.5 DSR レジスタのビット	2-13
表 2.6 ワードデータの符号拡張	2-17
表 2.7 遅延分岐命令	2-17
表 2.8 T ビット	2-18
表 2.9 イミディエイトデータによる参照	2-18
表 2.10 絶対アドレスによる参照	2-18
表 2.11 ディスプレースメントによる参照	2-19
表 2.12 CPU 命令のアドレッシングモードと実効アドレス	2-19
表 2.13 データ転送命令の概要	2-22
表 2.14 CPU 命令の命令形式	2-28
表 2.15 ダブルデータ転送の命令形式	2-31
表 2.16 シングルデータ転送命令の命令形式	2-31
表 2.17 A フィールドの並列データ転送命令	2-32
表 2.18 B フィールドの ALU 演算命令、乗算命令	2-33
表 2.19 CPU 命令の分類	2-34
表 2.20 データ転送命令	2-37
表 2.21 算術命令	2-38
表 2.22 論理演算命令	2-39
表 2.23 シフト命令	2-40
表 2.24 分岐命令	2-40
表 2.25 システム制御命令	2-41
表 2.26 CPU 用追加システム制御命令	2-45
表 2.27 ダブルデータ転送命令	2-46
表 2.28 シングルデータ転送命令	2-47

表 2.29	DSP データ転送のオペランドとレジスタとの対応	2-48
表 2.30	DSP 演算命令の命令形式	2-49
表 2.31	DSP 命令のオペランドとレジスタの対応	2-49
表 2.32	DSP 演算命令	2-50
表 2.33	DC ビットの更新の定義	2-55
表 2.34	NOPX と NOPY の命令コードの例	2-57
3.	メモリマネジメントユニット (MMU)	3-1
表 3.1	レジスタ構成	3-6
表 3.2	D、C、PR ビットによるアクセス状態	3-13
4.	例外処理	4-1
表 4.1	レジスタ構成	4-1
表 4.2	例外事象ベクタ	4-3
表 4.3	例外コード	4-6
表 4.4	リセットの種類	4-10
5.	キャッシュ	5-1
表 5.1	キャッシュの特長	5-1
表 5.2	LRU ビットと置き換えられるウェイ	5-3
表 5.3	レジスタ構成	5-3
表 5.4	LRU ビットと置き換えられるウェイ (W2LOCK=1 の場合)	5-5
表 5.5	LRU ビットと置き換えられるウェイ (W3LOCK=1 の場合)	5-5
表 5.6	LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)	5-5
6.	X/Y メモリ	6-1
表 6.1	特長	6-1
7.	割り込みコントローラ (INTC)	7-1
表 7.1	端子構成	7-3
表 7.2	レジスタ構成	7-4
表 7.3	IRL3 ~ IRL0 端子および割り込みレベル	7-7
表 7.4	割り込み例外処理要因と優先順位 (IRQ モード時)	7-9
表 7.5	割り込み例外処理要因と優先順位 (IRL モード時)	7-11
表 7.6	割り込みレベルと INTEVT コード	7-13
表 7.7	割り込み要求要因と IPRA ~ IPRG	7-14
表 7.8	割り込み応答時間	7-34
8.	ユーザブレイクコントローラ (UBC)	8-1
表 8.1	レジスタ構成	8-4

表 8.2	データアクセスサイクルアドレスおよびオペランドサイズの比較条件	8-20
9.	消費電力モードとモジュールソフトウェアリセット	9-1
表 9.1	低消費電力モードの状態	9-2
表 9.2	端子構成	9-3
表 9.3	レジスタ構成	9-3
表 9.4	スタンバイモード時のレジスタの状態	9-12
10.	内蔵発振回路	10-1
表 10.1	発振回路の端子構成と機能	10-5
表 10.2	レジスタ構成	10-5
表 10.3	クロック動作モード	10-6
表 10.4	クロックモードと FRQCR 値の可能な組み合わせ	10-7
表 10.5	レジスタ構成	10-14
11.	エクステンドクロックパルスジェネレータ (EXCPG)	11-1
表 11.1	端子構成	11-1
表 11.2	レジスタ構成	11-2
12.	バスステートコントローラ (BSC)	12-1
表 12.1	端子構成	12-4
表 12.2	レジスタ構成	12-5
表 12.3	物理アドレス空間マップ	12-7
表 12.4	外部端子 (MD4 と MD3) とメモリサイズの対応	12-8
表 12.5	SH7727 と PCMCIA の接続端子	12-9
表 12.6	32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	12-32
表 12.7	16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	12-33
表 12.8	8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	12-34
表 12.9	32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	12-35
表 12.10	16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	12-36
表 12.11	8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	12-37
表 12.12	バス幅、AMX とアドレスマルチプレクス出力の関係	12-50
表 12.13	シンクロナス DRAM のアドレス端子対応例 (AMX (3-0) = 0100 バス幅 32 ビット)	12-51
13.	Li バスステートコントローラ (LBSC)	13-1
表 13.1	レジスタ構成	13-1
14.	ダイレクトメモリアクセスコントローラ (DMAC)	14-1
表 14.1	DMAC 端子構成	14-4
表 14.2	レジスタ構成	14-4

表 14.3	RS ビットによる外部リクエストモードの選択	14-20
表 14.4	RS3 ~ RS0 ビットによる内蔵周辺モジュールリクエストモードの選択	14-21
表 14.5	サポートできる DMA 転送	14-25
表 14.6	DMA 転送区間とリクエストモード、バスモードなどの関連一覧	14-36
表 14.7	レジスタ構成	14-50
表 14.8	A/D 変換器と外部メモリ間転送の転送条件とレジスタ設定値	14-55
表 14.9	4 回の転送終了後の DMAC 内の値	14-56
表 14.10	外部メモリと SCIF 送信側間転送の転送条件とレジスタ設定値	14-56
15.	タイマ (TMU)	15-1
表 15.1	レジスタ構成	15-3
表 15.2	TMU の割り込み要因	15-12
16.	リアルタイムクロック (RTC)	16-1
表 16.1	端子構成	16-3
表 16.2	レジスタ構成	16-3
表 16.3	水晶発振回路の定数 (推奨値)	16-19
17.	シリアルコミュニケーションインタフェース (SCI)	17-1
表 17.1	端子構成	17-6
表 17.2	レジスタ構成	17-6
表 17.3	SCSMR の設定	17-21
表 17.4	ビットレートに対する SCBRR の設定例 (調歩同期式モード)	17-22
表 17.5	ビットレートに対する SCBRR の設定例 (クロック同期式モード)	17-25
表 17.6	ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)	17-26
表 17.7	外部クロック入力時の最大ビットレート (調歩同期式モード)	17-27
表 17.8	外部クロック入力時の最大ビットレート (クロック同期式モード)	17-27
表 17.9	SCSMR の設定値とシリアル送信 / 受信フォーマット	17-29
表 17.10	SCSMR、SCSCR の設定と SCI のクロックソースの選択	17-29
表 17.11	シリアル送信 / 受信フォーマット (調歩同期式モード)	17-31
表 17.12	受信エラーと発生条件	17-39
表 17.13	SCI 割り込み要因	17-56
表 17.14	SCSSR のステータスフラグの状態と受信データの転送	17-57
18.	スマートカードインタフェース	18-1
表 18.1	端子構成	18-3
表 18.2	レジスタ構成	18-3
表 18.3	スマートカードインタフェースでのレジスタ設定	18-9
表 18.4	n と CKS1、CKS0 の対応表	18-11

表 18.5	SCBRR の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)	18-12
表 18.6	ビットレート B (bit/s) に対する SCBRR の設定例 (ただし、n=0 のとき)	18-12
表 18.7	各周波数における最大ビットレート (スマートカードインタフェースモードのとき)	18-12
表 18.8	レジスタ設定値と SCK0 端子	18-13
表 18.9	スマートカードモードの動作状態と割り込み要因	18-19
19.	FIFO 付きシリアルコミュニケーションインタフェース (SCIF)	19-1
表 19.1	SCIF 端子	19-4
表 19.2	レジスタ	19-4
表 19.3	SCSMR2 の設定値	19-17
表 19.4	ビットレートと SCBRR2 の設定	19-18
表 19.5	ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)	19-22
表 19.6	シリアルモードレジスタの設定値と SCIF 送信 / 受信フォーマット	19-26
表 19.7	SCSMR2、SCSCR2 の設定値と SCIF のクロックソースの選択	19-27
表 19.8	シリアル送信 / 受信フォーマット	19-27
表 19.9	SCIF 割り込み要因	19-36
20.	シリアル IO (SIOF)	20-1
表 20.1	SIOF 端子リスト	20-2
表 20.2	SIOF レジスタ構成	20-3
表 20.3	SIOF シリアルクロック周波数の例	20-23
表 20.4	シリアル転送モード	20-25
表 20.5	フレーム長	20-26
表 20.6	送信データ音声モード	20-27
表 20.7	受信データ音声モード	20-28
表 20.8	制御データチャネル数設定	20-28
表 20.9	送信要求発行条件	20-31
表 20.10	受信要求発行条件	20-31
表 20.11	送受信リセット	20-36
表 20.12	SIOF 割り込み要因	20-37
表 20.13	送受信割り込みフラグの設定条件	20-38
21.	アナログフロントエンドインタフェース (AFEIF)	21-1
表 21.1	AFEIF 外部端子一覧	21-2
表 21.2	AFEIF レジスタ	21-3
表 21.3	電話番号とデータの対応	21-10
22.	USB ビンマルチプレクスコントローラ	22-1
表 22.1	端子構成 (デジタルトランシーバ信号)	22-3

表 22.2	端子構成 (アナログトランシーバ信号)	22-3
表 22.3	端子構成 (電源制御信号)	22-3
表 22.4	レジスタ構成	22-4
23.	USB ファンクションコントローラ	23-1
表 23.1	端子構成と機能	23-2
表 23.2	レジスタ構成	23-3
表 23.3	アプリケーション側でのコマンドデコード	23-25
24.	USB ホストコントローラ (USBH)	24-1
表 24.1	端子構成	24-1
表 24.2	レジスタ構成	24-2
25.	LCD コントローラ (LCDC)	25-1
表 25.1	端子構成	25-2
表 25.2	レジスタ構成	25-3
表 25.3	回転表示の解像度 / パースト長および接続メモリの制限 (SDRAM 32bit バス幅時)	25-25
表 25.4	回転表示の解像度 / パースト長および接続メモリの制限 (SDRAM 16bit バス幅時)	25-28
表 25.5	代表的なフレームレートにおいて設定可能な電源制御シーケンス期間	25-38
表 25.6	LCDC 動作モード	25-38
表 25.7	液晶モジュール電源状態	25-39
26.	ピンファンクションコントローラ (PFC)	26-1
表 26.1	マルチプレクス一覧表	26-2
表 26.2	レジスタ構成	26-6
27.	I/O ポート	27-1
表 27.1	レジスタの説明	27-1
表 27.2	ポート A~C、E、J、K データレジスタの読み出し / 書き込み動作	27-3
表 27.3	ポート D データレジスタ (PDDR) の読み出し / 書き込み動作	27-3
表 27.4	ポート F、M データレジスタ (PFDR、PMDR) の読み出し / 書き込み動作	27-4
表 27.5	ポート G データレジスタ (PGDR) の読み出し / 書き込み動作	27-5
表 27.6	ポート H データレジスタ (PHDR) の読み出し / 書き込み動作	27-6
表 27.7	ポート L データレジスタ (PLDR) の読み出し / 書き込み動作	27-7
表 27.8	SC ポートデータレジスタ (SCPDR) の読み出し / 書き込み動作	27-8
28.	A/D 変換器	28-1
表 28.1	端子構成	28-3
表 28.2	レジスタ構成	28-4
表 28.3	アナログ入力チャネルと ADDR の対応	28-5

表 28.4	A/D 変換時間 (シングルモード)	28-18
表 28.5	アナログ入力端子の規格.....	28-21
表 28.6	アクセスサイズと読み出しデータの関係.....	28-22
29.	D/A 変換器.....	29-1
表 29.1	D/A 変換器の端子	29-2
表 29.2	D/A 変換器のレジスタ.....	29-2
30.	PC カードコントローラ (PCC)	30-1
表 30.1	PC カードコントローラのレジスタ.....	30-2
表 30.2	PCMCIA インタフェースの特長.....	30-3
表 30.3	PCMCIA サポートインタフェース.....	30-18
31.	ユーザデバッグインタフェース (H-UDI)	31-1
表 31.1	H-UDI レジスタ	31-2
表 31.2	H-UDI コマンド.....	31-3
表 31.3	SH7727 の端子とパウンダリスキャンレジスタの対応	31-4
表 31.4	リセット構成	31-12
32.	電気的特性	32-1
表 32.1	絶対最大定格	32-1
表 32.2	DC 特性 (1)	32-3
表 32.2	DC 特性 (2)	32-5
表 32.3	出力許容電流値	32-6
表 32.4	最大動作周波数 (1)	32-8
表 32.4	最大動作周波数 (2)	32-8
表 32.5	クロックタイミング (1)	32-9
表 32.6	クロックタイミング (2)	32-10
表 32.7	クロックタイミング (3)	32-11
表 32.8	クロックタイミング (4)	32-12
表 32.9	制御信号タイミング	32-17
表 32.10	バスタイミング	32-20
表 32.11	周辺モジュール信号タイミング.....	32-46
表 32.12	H-UDI 関連端子のタイミング	32-49
表 32.13	LCDC タイミング.....	32-51
表 32.14	SIOF モジュール信号タイミング	32-53
表 32.15	USB モジュールクロックタイミング	32-56
表 32.16	USB 電気的特性 (フルスピード)	32-57
表 32.17	USB 電気的特性 (ロースピード)	32-57
表 32.18	AFEIF モジュール信号タイミング.....	32-58

表 32.19	A/D 変換器特性	32-60
表 32.20	D/A 変換器特性	32-61
付録	付録-1
表 A.1	端子機能	付録-1
表 A.2	未使用端子の処理	付録-6
表 A.3	端子状態 (通常メモリ/リトルエンディアン)	付録-10
表 A.4	端子状態 (通常メモリ/ビッグエンディアン)	付録-12
表 A.5	端子状態 (バースト ROM/リトルエンディアン)	付録-14
表 A.6	端子状態 (バースト ROM/ビッグエンディアン)	付録-16
表 A.7	端子状態 (シンクロナス DRAM/リトルエンディアン)	付録-18
表 A.8	端子状態 (シンクロナス DRAM/ビッグエンディアン)	付録-19
表 A.9	端子状態 (PCMCIA/リトルエンディアン)	付録-20
表 A.10	端子状態 (PCMCIA/ビッグエンディアン)	付録-22
表 B.1	メモリ割り付け制御レジスタアドレスマップ	付録-24
表 C.1	SH7727 型名一覧	付録-33

1. 概要と端子機能

1.1 SH7727 の特長

本 LSI は 32 ビット RISC タイプ SuperH アーキテクチャ CPU とデジタル信号処理 (DSP) 拡張機能を核として、キャッシュメモリ、内蔵 X/Y メモリ、MMU (Memory Management Unit) およびシステム構成に必要な多数の周辺機能を統合した 1 チップのシステム LSI です。SuperH マイクロプロセッサ (SH-1、SH-2 シリーズ) 上に MMU を組み込むことによって、データ保護機能および仮想メモリ機能を搭載しています。

本 LSI は、大容量 X/Y メモリ、DSP モジュール、エミュレータサポート機能を内蔵しています。DSP モジュールを内蔵したことで、従来 2 つの LSI (マイコンと DSP) を必要とした機能を 1 つの LSI で実現しています。

また、内蔵 DMAC (Direct Memory Access Controller) による高速データ転送や、外部メモリアクセスサポート機能による各種メモリへの直結が可能です。さらに、ステレオオーディオ録音再生機能、USB ホストコントローラ、ファンクションコントローラ、LCD コントローラ、PCMCIA インタフェース、A/D 変換器、D/A 変換器を内蔵しています。

USB ホスト、LCD コントローラはバスマスタ機能を有しており、外部メモリ (エリア 3) に用意したデータを自由に処理することができます。特に USB ホストコントローラは OpenHCI 規格に対応しているため、デバイスドライバの PC などからの移植が極めて容易です。また、LCD コントローラはスリープモード中も表示を継続するため、バッテリー動作に適した省電力動作が可能です。

USB トランシーバも内蔵しており、外付けの部品が不要となります。

内蔵の高性能電源マネージメント機能により、高速動作中でも消費電力を低く抑えることができます。特に X/Y メモリを停止させることで大幅に消費電力を下げることができます。本 LSI は、システムバスの動作速度の最大 8 倍の速さで動作するため、高速、低消費電力を同時に必要とする電子機器に最適です。

本 LSI の特長を表 1.1 に、仕様を表 1.2 に示します。

1. 概要と端子機能

表 1.1 SH7727 の特長

項 目	特 長
CPU	<ul style="list-style-type: none"> ・ ルネサス独自の SuperH アーキテクチャ ・ SH-1、SH-2、SH-3 と互換性のあるオブジェクトコードレベル ・ 32 ビット内部データバス ・ 汎用レジスタ <ul style="list-style-type: none"> - 16 本の 32 ビット汎用レジスタ (8 本の 32 ビットシャドーレジスタ) - 8 本の 32 ビット制御レジスタ - 4 本の 32 ビットシステムレジスタ ・ RISC 方式命令セット <ul style="list-style-type: none"> - 命令長：コードの効率改善のための 16 ビット固定長 - ロードストアアーキテクチャ - 遅延分岐命令 - C 言語に基づく命令セット ・ 命令実行時間：基本命令について 1 命令 / サイクル ・ 論理アドレス空間：4GB ・ 空間識別子 ASID：8 ビット、256 論理アドレス空間 ・ 5 段パイプライン
DSP	<ul style="list-style-type: none"> ・ 16 ビット命令、32 ビット命令の混在 ・ 32 ビット、40 ビット内部データバス ・ 乗算器、ALU、バレルシフタ、DSP レジスタ ・ 16 ビット×16 ビット 32 ビット 1 サイクル乗算器 ・ 大容量 DSP データレジスタ <ul style="list-style-type: none"> - 6 本の 32 ビットデータレジスタ - 2 本の 40 ビットデータレジスタ ・ DSP データバス用の拡張ハーバードアーキテクチャ <ul style="list-style-type: none"> - 2 本のデータバス - 1 本の命令バス ・ 最大 4 つの並行演算：ALU、乗算、2 つのロード、ストア ・ 2 つのメモリアクセス用のアドレスを生成するための 2 本のアドレスユニット ・ DSP データアドレッシングモード：インクリメント、インデクス (モジュロアドレッシングあり / なし) ・ ゼロオーバーヘッドリピートループ制御 ・ 条件付実行命令 ・ ユーザ DSP モードおよび特権 DSP モード

項 目	特 長
内蔵発振回路 (CPG)	<ul style="list-style-type: none"> ・ クロックモード：入力クロックを外部入力 (EXTAL または CKIO)、水晶振動子から選択可能 ・ 3 種類のクロックを生成 <ul style="list-style-type: none"> - CPU クロック：入力クロックの 1 ~ 16 倍 - バスクロック：入力クロックの 1 ~ 4 倍 - 周辺クロック：入力クロックの 1/4 ~ 4 倍 ・ 低消費電力モード <ul style="list-style-type: none"> - スリープモード - スタンバイモード - モジュールスタンバイモード (X/Y メモリのスタンバイも可能) ・ 1 チャンネルのウォッチドッグタイマ
メモリマネジメント ユニット (MMU)	<ul style="list-style-type: none"> ・ 4 G バイトのアドレス空間、256 のアドレス空間 (ASID 8 ビット) ・ ページユニット共有 ・ 複数のページサイズをサポート：1k バイト、4k バイト ・ 128 エントリ、4 ウェイセットアソシアティブ TLB ・ ソフトウェアによるリプレースウェイ指定、およびランダムリプレースアルゴリズムをサポート ・ アドレス割り付けにより、TLB の内容を直接アクセス可能
キャッシュメモリ	<ul style="list-style-type: none"> ・ 命令 / データ混在 16k バイトキャッシュ ・ 256 エントリ、4 ウェイセットアソシアティブ、16 バイトブロック長 ・ ライトバック方式、ライトスルー方式選択可能、LRU (Least Recentry Used) 置換アルゴリズム ・ 1 段階ライトバックバッファ ・ 最大 2 つのウェイをロック可能
X/Y メモリ	<ul style="list-style-type: none"> ・ ユーザで選択可能なマッピングメカニズム <ul style="list-style-type: none"> - ミッションクリティカルなりリアルタイムアプリケーション用の固定マッピング - TLB による自動マッピングのため操作が容易 ・ 3 本の独立した読み出し / 書き込みポート <ul style="list-style-type: none"> - CPU からの 8、16、32 ビットアクセス - DSP からの最大 2 つの 16 ビットアクセス - DMAC からの 8、16、32 ビットアクセス ・ X、Y 各メモリに対し 8k バイトの RAM
割り込み コントローラ (INTC)	<ul style="list-style-type: none"> ・ 7 本の外部割り込み端子 (NMI、IRQ5 ~ IRQ0) ・ 内蔵周辺割り込み：モジュールごとに優先順位を設定
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"> ・ 2 本のブレイクチャンネル ・ アドレス、データ値、アクセス形式、データサイズをブレイク条件として設定可能 ・ シーケンシャルブレイク機能をサポート

1. 概要と端子機能

項目	特長
バスステート コントローラ (BSC)	<ul style="list-style-type: none"> ・物理アドレス空間をそれぞれ最大 64MB の 6 つの領域 (エリア 0、エリア 2~6) に分割、各エリアには次の機能を設定可能： <ul style="list-style-type: none"> - バスサイズ (8、16、32 ビット) - ウェイトサイクル数 (ハードウェアウェイト機能もサポート) - エリアごとに接続するメモリを指定することによって SRAM、シンクロナス DRAM、バースト ROM との直結が可能 - PCMCIA インタフェースをサポート (2 チャネル) - エリアに対応したチップセレクト信号 (CS0、CS2~CS6) を出力 ・シンクロナス DRAM リフレッシュ機能 <ul style="list-style-type: none"> - リフレッシュ間隔をプログラムで設定 - CAS ビフォ RAS リフレッシュおよびセルフリフレッシュモードをサポート - パワーダウン DRAM をサポート ・シンクロナス DRAM バーストアクセス機能 ・ビッグエンディアンまたはリトルエンディアンを設定可能 ・1 チャネル 16 ビットコンペアマッチタイマ
Li バスステートコントローラ (LBSC)	<ul style="list-style-type: none"> ・LCD コントローラ、USB ホスト用バスステートコントローラをサポート ・シンクロナス DRAM をサポート ・エリア 3 のシンクロナス DRAM アクセス機能
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> ・E10A エミュレータのサポート ・JTAG 標準端子配置 ・リアルタイム分岐トレース
タイマ (TMU)	<ul style="list-style-type: none"> ・3 チャネルオートリロード型 32 ビットタイマ ・6 種類のカウンタ入力クロックを選択可能 ・最大分解能：2MHz
リアルタイム クロック (RTC)	<ul style="list-style-type: none"> ・内蔵クロック、カレンダー機能、アラーム機能 ・1/256 秒の最大分解能 (割り込みサイクル) の内蔵 32kHz 水晶発振器回路
シリアル コミュニケーションイン タフェース (SCI)	<ul style="list-style-type: none"> ・調歩同期モード、またはクロック同期モードの選択可能 ・全二重通信 ・スマートカードインタフェースをサポート
シリアル I/O (SIOF)	<ul style="list-style-type: none"> ・16 ステップ送受信用 8、16、32 ビットワードサイズ FIFO ・8、16 ビットモノ/ステレオサウンドプレイバックまたはレコーディング機能 ・DMA 転送可能 ・フレーム同期信号サポート
シリアル コミュニケーションイン タフェース (SCIF)	<ul style="list-style-type: none"> ・送受信用 16 バイト FIFO ・DMA 転送可能 ・モデムコントロール機能を内蔵

項 目	特 長
ダイレクトメモリ アクセスコントローラ (DMAC)	<ul style="list-style-type: none"> ・ 4チャンネル ・ バーストモードおよびサイクルスチールモード ・ 外部リクエスト動作モード
PC カードコントローラ	<ul style="list-style-type: none"> ・ 1 スロット分の制御信号をサポート ・ 未使用時の SH7709 互換 (2 スロット)
USB ホストコントローラ (USBH)	<ul style="list-style-type: none"> ・ OHCI Rev.1.0 対応のレジスタセット ・ USB Ver.1.1 対応 ・ 127 個のエンドポイント ・ インタラプト/バルク/コントロール/アイソクロナスモードをサポート ・ バスマスタコントローラ (エリア 3、シンクロナス DRAM にアクセス可能) ・ アナログトランシーバ 2 ポート (うち 1 本は USB ファンクションコントローラと共通) ・ 外部クロック入力機能
USB ファンクションコントローラ (USBF)	<ul style="list-style-type: none"> ・ USB Ver.1.1 対応 ・ 4 個のエンドポイント ・ インタラプト/バルク/コントロールモードサポート (アイソクロナスモードは未サポート) ・ アナログトランシーバ 1 ポート (USB ホストと共通)、12Mbps 専用 ・ 外部クロック入力機能
LCD コントローラ (LCDC)	<ul style="list-style-type: none"> ・ 16×1 ピクセルから 1024×1024 ピクセルまでの表示サイズをサポート ・ 4/8/15/16bpp (ビット/ピクセル) のカラー表示をサポート ・ 1/2/4/6bpp (ビット/ピクセル) のグレースケール表示をサポート ・ 8 ビットフレームレートコントローラ ・ TFT/DSTN/STN の各種液晶パネルをサポート ・ 信号極性設定機能 ・ ハードウェアパネルローテーション機能 ・ 電力制御機能 ・ クロックソース選択可能 (LCLK、バスクロック (Bϕ) または、周辺クロック (Pϕ))
AFE インタフェース (AFEIF)	<ul style="list-style-type: none"> ・ ST7550 直結可能 ・ 電話回線制御機能 ・ 送信用 128 ワード FIFO ・ 受信用 128 ワード FIFO
I/O ポート	<ul style="list-style-type: none"> ・ 8 ビットポート × 13 本
A/D 変換器 (ADC)	<ul style="list-style-type: none"> ・ 10 ビット ±4LSB、6 チャンネル ・ 変換時間: 15 μs ・ 入力範囲: 0 - V$_{CC}$ (最大 3.6V)

1. 概要と端子機能

項 目	特 長																													
D/A 変換器 (DAC)	<ul style="list-style-type: none"> ・ 8 ビット ± 4LSB、2 チャンネル ・ 変換時間 : 10 μs ・ 出力範囲 : 0 - AV_{CC} (最大 3.6V) 																													
製品ラインアップ	<table border="1" data-bbox="400 455 1181 880"> <thead> <tr> <th data-bbox="400 455 519 533" rowspan="2">SH7727</th> <th colspan="2" data-bbox="519 455 735 492">電源電圧</th> <th data-bbox="735 455 831 533" rowspan="2">動作 周波数</th> <th data-bbox="831 455 968 533" rowspan="2">製品型名</th> <th data-bbox="968 455 1181 533" rowspan="2">パッケージ</th> </tr> <tr> <th data-bbox="519 492 628 533">I/O</th> <th data-bbox="628 492 735 533">内部</th> </tr> </thead> <tbody> <tr> <td data-bbox="400 533 519 707" rowspan="2">160MHz 品</td> <td data-bbox="519 533 628 707" rowspan="2">3.0 ~ 3.6V</td> <td data-bbox="628 533 735 707" rowspan="2">1.70 ~ 2.05V</td> <td data-bbox="735 533 831 707" rowspan="2">160MHz</td> <td data-bbox="831 533 968 629">HD6417727F 160C</td> <td data-bbox="968 533 1181 629">240 ピンプラスチック HQFP (PRQP0240KC-B)</td> </tr> <tr> <td data-bbox="831 629 968 707">HD6417727 BP160C</td> <td data-bbox="968 629 1181 707">240 ピン CSP (PLBG0240JA-A)</td> </tr> <tr> <td data-bbox="400 707 519 880" rowspan="2">100MHz 品</td> <td data-bbox="519 707 628 880" rowspan="2">2.6 ~ 3.6V</td> <td data-bbox="628 707 735 880" rowspan="2">1.60 ~ 2.05V</td> <td data-bbox="735 707 831 880" rowspan="2">100MHz</td> <td data-bbox="831 707 968 803">HD6417727F 100C</td> <td data-bbox="968 707 1181 803">240 ピンプラスチック HQFP (PRQP0240KC-B)</td> </tr> <tr> <td data-bbox="831 803 968 880">HD6417727 BP100C</td> <td data-bbox="968 803 1181 880">240 ピン CSP (PLBG0240JA-A)</td> </tr> </tbody> </table>						SH7727	電源電圧		動作 周波数	製品型名	パッケージ	I/O	内部	160MHz 品	3.0 ~ 3.6V	1.70 ~ 2.05V	160MHz	HD6417727F 160C	240 ピンプラスチック HQFP (PRQP0240KC-B)	HD6417727 BP160C	240 ピン CSP (PLBG0240JA-A)	100MHz 品	2.6 ~ 3.6V	1.60 ~ 2.05V	100MHz	HD6417727F 100C	240 ピンプラスチック HQFP (PRQP0240KC-B)	HD6417727 BP100C	240 ピン CSP (PLBG0240JA-A)
SH7727	電源電圧		動作 周波数	製品型名	パッケージ																									
	I/O	内部																												
160MHz 品	3.0 ~ 3.6V	1.70 ~ 2.05V	160MHz	HD6417727F 160C	240 ピンプラスチック HQFP (PRQP0240KC-B)																									
				HD6417727 BP160C	240 ピン CSP (PLBG0240JA-A)																									
100MHz 品	2.6 ~ 3.6V	1.60 ~ 2.05V	100MHz	HD6417727F 100C	240 ピンプラスチック HQFP (PRQP0240KC-B)																									
				HD6417727 BP100C	240 ピン CSP (PLBG0240JA-A)																									

1.2 ブロック図

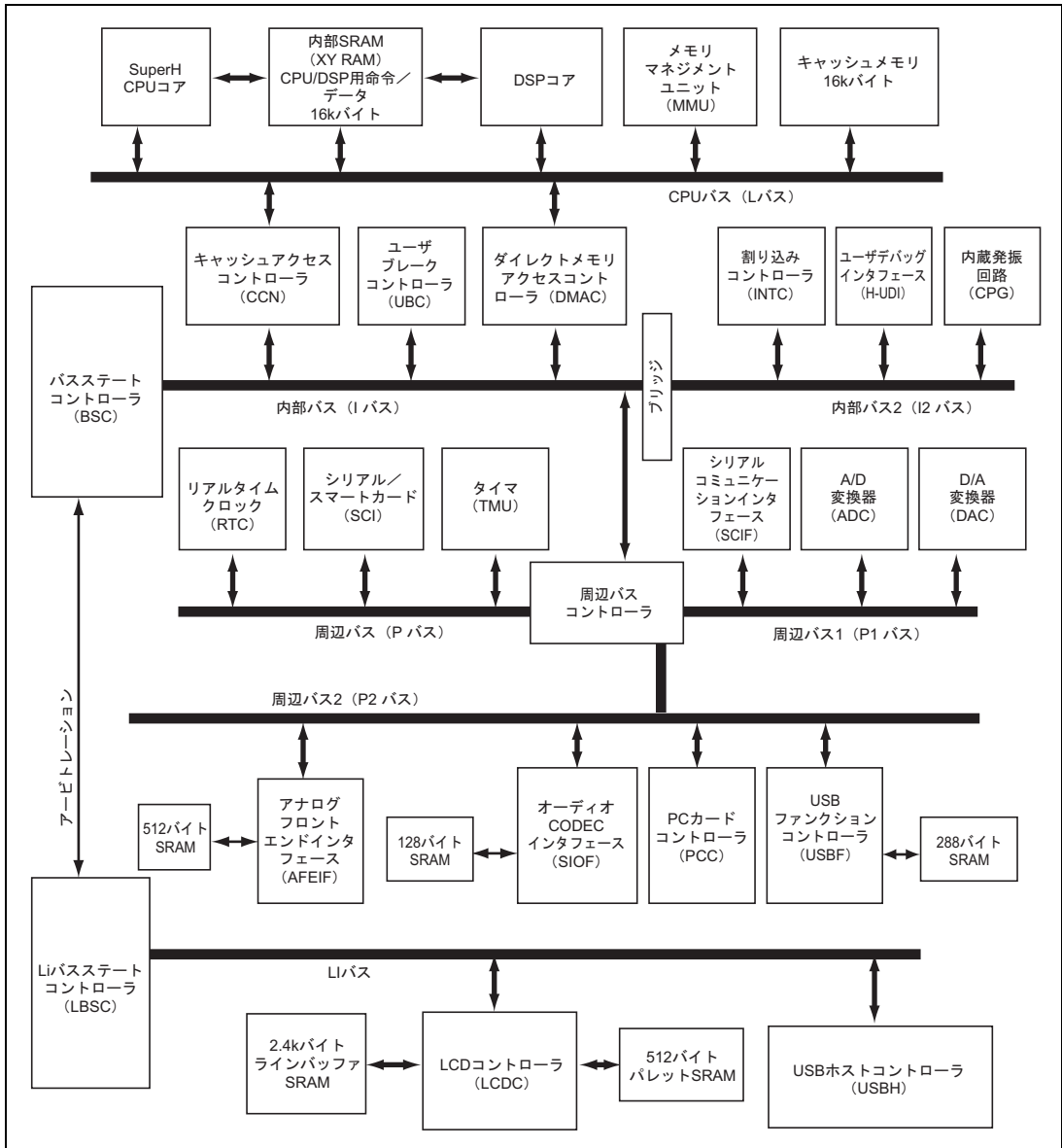


図 1.1 ブロック図

1. 概要と端子機能

1.3 端子の説明

1.3.1 ピンの配置

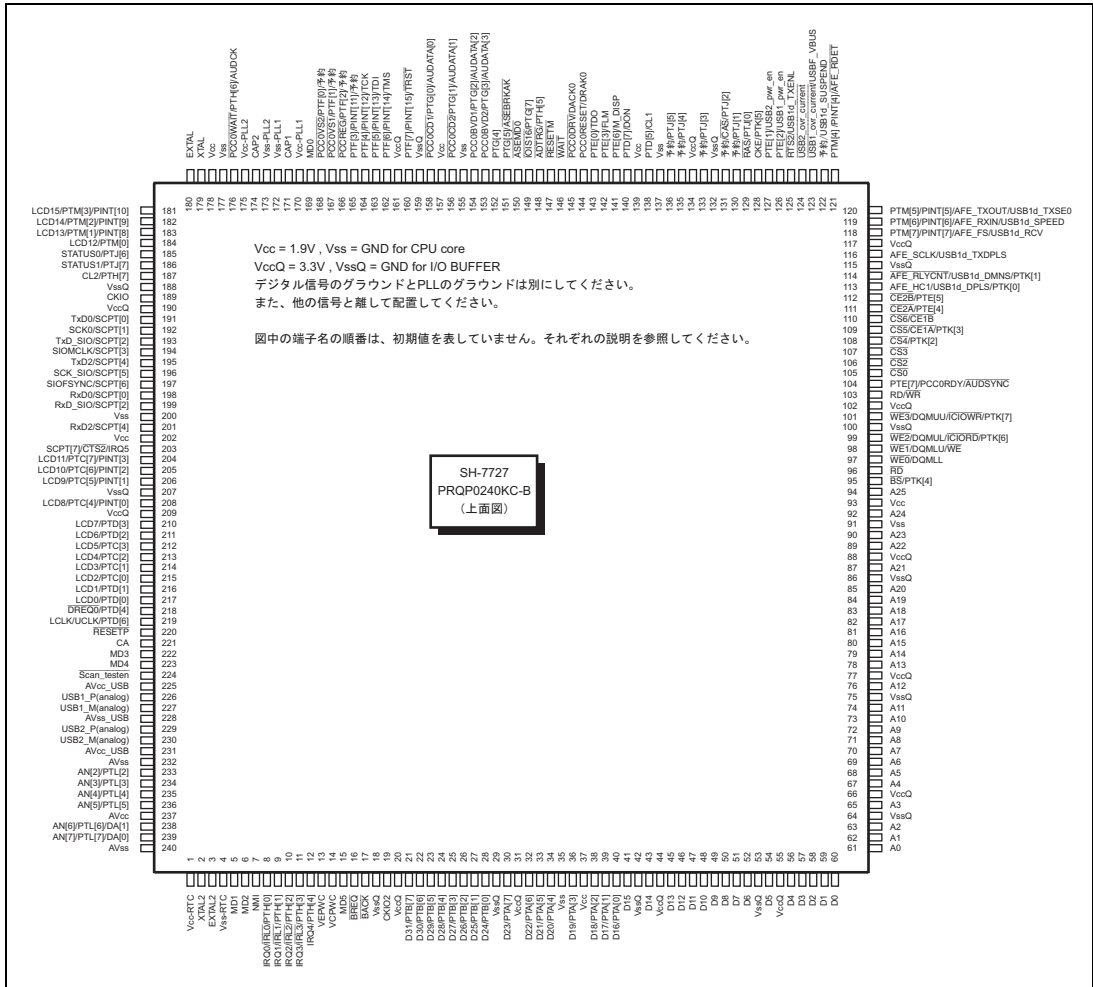


図 1.2 ピン配置図 (PRQP0240KC-B)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	
A	Vcc-RTC	EXTAL2	MD1	NMI	IRQ1	VEP WC	BACK	D31	D27	VssQ	D19	D16	VccQ	D10	D6	D5	D4	D2	A0	
B	AN6	AVss	Vss-RTC	XTAL2	MD2	VCP WC	VssQ	D30	D26	D22	Vss	D17	D14	D11	VccQ	D1	D3	D0	A2	
C	AN5	AVcc	AVcc_USB	IRQ0	IRQ3	MD5	CKIO2	D29	D24	VccQ	D21	D18	VssQ	D12	D8	VssQ	D7	VssQ	A3	
D	AN3	AN7	AN2	IRQ2	IRQ4	BREQ	VccQ	D28	D25	D23	D20	Vcc	D15	D13	D9	A7	A5	A1	A4	
E	AVss	AN4	USB_2_M	USB_2_P													A9	A8	VccQ	A6
F	AVss_USB	USB_1_M	USB_1_P	AVcc_USB													A12	VssQ	A11	A10
G	Scan-testen	MD4	MD3	CA													A15	A14	A13	VccQ
H	RES ETP	LCLK	DREQ0	LCD0													A19	A18	A17	A16
J	LCD1	LCD2	LCD4	LCD3													A21	VccQ	VssQ	A20
K	VccQ	LCD5	LCD6	LCD7													A23	Vss	A24	A22
L	LCD10	LCD9	LCD8	VssQ													A25	Vcc	\overline{BS}	\overline{RD}
M	RxD2	Vcc	SCPT7	LCD11													$\overline{WE0}$	$\overline{WE1}$	$\overline{WE2}$	VssQ
N	SIOF_SYNC	RxD0	RxD_SIO	Vss													$\overline{WE3}$	VccQ	$\overline{RD}/\overline{WR}$	PTE7
P	TxD_SIO	SIOF_CLK	TxD2	SCK_SIO													$\overline{CS0}$	$\overline{CS2}$	$\overline{CS3}$	$\overline{CS4}$
R	CKIO	STA_TUS1	TxD0	SCK0													$\overline{CS5}$	$\overline{CS6}$	VssQ	$\overline{CE2B}$
T	CL2	LCD14	VssQ	VccQ	MD0	PTF3	VccQ	Vcc	PCC0 BVD1	ASEM_D0	RESE_TM	PCC0 RESET	PTD7	PTJ5	VssQ	PTJ1	AFE_HC1	PTM6	AFE_RLYCNT	
U	STA_TUS0	LCD12	CAP1	Vss-PLL2	Vcc-PLL1	PCC0 REG	PTF6	PCC0 CD1	PCC0 BVD2	PTG5	ADT_RG	PTE0	Vcc	PTJ4	\overline{CAS}	CKE	$\overline{CE2A}$	VccQ	AFE_SCLK	
V	LCD13	EXTAL	Vss	XTAL	Vcc-PLL2	PCC0 VS1	PTF5	VssQ	Vss	PTG4	WAIT	PTE3	PTD5	VccQ	PTE2	USB1d_SUSPEND	$\overline{USB2}_{ov_current}$	PTM5	PTM7	
W	LCD15	Vcc	PCC0 WAIT	CAP2	Vss-PLL1	PCC0 VS2	PTF4	PTF7	PCC0 CD2	IOIS16	PCC0 DRV	PTE6	Vss	PTJ3	\overline{RAS}	PTE1	RTS2	$\overline{USB1}_{ov_current}$	PTM4	

SH7727
PLBG0240JA-A
(上面図)

図 1.3 ピン配置図 (PLBG0240JA-A)

1. 概要と端子機能

1.3.2 端子の機能

表 1.2 SH7727 端子機能

端子番号 PRQP0240KC-B	端子番号 PLBG0240JA-A	信号名	入出力	端子機能
1	A1	Vcc-RTC* ¹	-	RTC 用電源 (1.9V)
2	B4	XTAL2	O	内蔵 RTC 用水晶発振器
3	A2	EXTAL2	I	内蔵 RTC 用水晶発振器
4	B3	Vss-RTC* ¹	-	RTC 用電源 (0V)
5	A3	MD1	I	クロックモード設定
6	B5	MD2	I	クロックモード設定
7	A4	NMI	I	ノンマスクابل割り込み要求
8	C4	IRQ0/IRL0/PTH[0]	I/I/I	外部割り込み要求 / 外部割り込み要求 / 入力ポート H
9	A5	IRQ1/IRL1/PTH[1]	I/I/I	外部割り込み要求 / 外部割り込み要求 / 入力ポート H
10	D4	IRQ2/IRL2/PTH[2]	I/I/I	外部割り込み要求 / 外部割り込み要求 / 入力ポート H
11	C5	IRQ3/IRL3/PTH[3]	I/I/I	外部割り込み要求 / 外部割り込み要求 / 入力ポート H
12	D5	IRQ4/PTH[4]	I/I	外部割り込み要求 / 入力ポート H
13	A6	VEPWC	O	LCD パネル用 VEE 制御端子
14	B6	VCPWC	O	LCD パネル用 VCC 制御端子
15	C6	MD5	I	エンディアン設定
16	D6	BRE \bar{Q}	I	バス要求
17	A7	BACK \bar{K}	O	バスアクノリッジ
18	B7	VssQ	-	入出力用電源 (0V)
19	C7	CKIO2	O	システムクロック出力
20	D7	VccQ	-	入出力用電源 (3.3V)
21	A8	D31/PTB[7]	IO/IO	データバス / 入出力ポート B
22	B8	D30/PTB[6]	IO/IO	データバス / 入出力ポート B
23	C8	D29/PTB[5]	IO/IO	データバス / 入出力ポート B
24	D8	D28/PTB[4]	IO/IO	データバス / 入出力ポート B
25	A9	D27/PTB[3]	IO/IO	データバス / 入出力ポート B
26	B9	D26/PTB[2]	IO/IO	データバス / 入出力ポート B
27	D9	D25/PTB[1]	IO/IO	データバス / 入出力ポート B
28	C9	D24/PTB[0]	IO/IO	データバス / 入出力ポート B
29	A10	VssQ	-	入出力用電源 (0V)
30	D10	D23/PTA[7]	IO/IO	データバス / 入出力ポート A

1. 概要と端子機能

端子番号 PRQP0240KC-B	端子番号 PLBG0240JA-A	信号名	入出力	端子機能
31	C10	VccQ	-	入出力用電源 (3.3V)
32	B10	D22/PTA[6]	IO/IO	データバス / 入出力ポート A
33	C11	D21/PTA[5]	IO/IO	データバス / 入出力ポート A
34	D11	D20/PTA[4]	IO/IO	データバス / 入出力ポート A
35	B11	Vss	-	電源 (0V)
36	A11	D19/PTA[3]	IO/IO	データバス / 入出力ポート A
37	D12	Vcc	-	電源 (1.9V)
38	C12	D18/PTA[2]	IO/IO	データバス / 入出力ポート A
39	B12	D17/PTA[1]	IO/IO	データバス / 入出力ポート A
40	A12	D16/PTA[0]	IO/IO	データバス / 入出力ポート A
41	D13	D15	IO	データバス
42	C13	VssQ	-	入出力用電源 (0V)
43	B13	D14	IO	データバス
44	A13	VccQ	-	入出力用電源 (3.3V)
45	D14	D13	IO	データバス
46	C14	D12	IO	データバス
47	B14	D11	IO	データバス
48	A14	D10	IO	データバス
49	D15	D9	IO	データバス
50	C15	D8	IO	データバス
51	C17	D7	IO	データバス
52	A15	D6	IO	データバス
53	C16	VssQ	-	入出力用電源 (0V)
54	A16	D5	IO	データバス
55	B15	VccQ	-	入出力用電源 (3.3V)
56	A17	D4	IO	データバス
57	B17	D3	IO	データバス
58	A18	D2	IO	データバス
59	B16	D1	IO	データバス
60	B18	D0	IO	データバス
61	A19	A0	O	アドレスバス
62	D18	A1	O	アドレスバス
63	B19	A2	O	アドレスバス
64	C18	VssQ	-	入出力用電源 (0V)
65	C19	A3	O	アドレスバス

1. 概要と端子機能

端子番号 PRQP0240KC-B	端子番号 PLBG0240JA-A	信号名	入出力	端子機能
66	E18	VccQ	-	入出力用電源 (3.3V)
67	D19	A4	O	アドレスバス
68	D17	A5	O	アドレスバス
69	E19	A6	O	アドレスバス
70	D16	A7	O	アドレスバス
71	E17	A8	O	アドレスバス
72	E16	A9	O	アドレスバス
73	F19	A10	O	アドレスバス
74	F18	A11	O	アドレスバス
75	F17	VssQ	-	入出力用電源 (0V)
76	F16	A12	O	アドレスバス
77	G19	VccQ	-	入出力用電源 (3.3V)
78	G18	A13	O	アドレスバス
79	G17	A14	O	アドレスバス
80	G16	A15	O	アドレスバス
81	H19	A16	O	アドレスバス
82	H18	A17	O	アドレスバス
83	H17	A18	O	アドレスバス
84	H16	A19	O	アドレスバス
85	J19	A20	O	アドレスバス
86	J18	VssQ	-	入出力用電源 (0V)
87	J16	A21	O	アドレスバス
88	J17	VccQ	-	入出力用電源 (3.3V)
89	K19	A22	O	アドレスバス
90	K16	A23	O	アドレスバス
91	K17	Vss	-	電源 (0V)
92	K18	A24	O	アドレスバス
93	L17	Vcc	-	電源 (1.9V)
94	L16	A25	O	アドレスバス
95	L18	$\overline{BS}/PTK[4]$	O/IO	バスサイクル開始信号 / 入出力ポート K
96	L19	\overline{RD}	O	リードストローブ
97	M16	$\overline{WE0}/DQM[LL]$	O/O	D7-D0 セレクト信号 / DQM (SDRAM)
98	M17	$\overline{WE1}/DQM[LU]/\overline{WE}$	O/O/O	D15-D8 セレクト信号 / DQM (SDRAM) / PCMCIA WE
99	M18	$\overline{WE2}/DQM[UL]/\overline{ICIOR}/PTK[6]$	O/O/O/IO	D23-D16 セレクト信号 / DQM (SDRAM) / PCMCIA/IO リード / 入出力ポート K

1. 概要と端子機能

端子番号 PRQP0240KC-B	端子番号 PLBG0240JA-A	信号名	入出力	端子機能
100	M19	VssQ	-	入出力用電源 (0V)
101	N16	$\overline{\text{WE3}}/\text{DQMUU}/$ $\overline{\text{IClOWR}}/\text{PTK}[7]$	O/O/O/O	D31-D24 セレクト信号 / DQM (SDRAM) / PCMCIA/O ライト / 入出力ポート K
102	N17	VccQ	-	入出力用電源 (3.3V)
103	N18	$\text{RD}/\overline{\text{WR}}$	O	リードライト
104	N19	$\text{PTE}[7]/\text{PCCORDY}/$ AUDSYNC	IO/O/O	入出力ポート E / PCMCIA0 レディ / AUD 同期
105	P16	$\overline{\text{CS0}}$	O	チップセレクト 0
106	P17	$\overline{\text{CS2}}$	O	チップセレクト 2
107	P18	$\overline{\text{CS3}}$	O	チップセレクト 3
108	P19	$\overline{\text{CS4}}/\text{PTK}[2]$	O/O/O	チップセレクト 4 / 入出力ポート K
109	R16	$\overline{\text{CS5}}/\text{CE1A}/\text{PTK}[3]$	O/O/O/O	チップセレクト 5 / CE1 (エリア 5PCMCIA) / 入出力 ポート K
110	R17	$\overline{\text{CS6}}/\text{CE1B}$	O/O	チップセレクト 6 / CE1 (エリア 6PCMCIA)
111	U17	$\overline{\text{CE2A}}/\text{PTE}[4]$	O/O/O	エリア 5PCMCIA 用カードイネーブル / 入出力ポート E
112	R19	$\overline{\text{CE2B}}/\text{PTE}[5]$	O/O/O	エリア 6PCMCIA 用カードイネーブル / 入出力ポート E
113	T17	$\text{AFE_HC1}/\text{USB1d_}$ $\text{DPLS}/\text{PTK}[0]$	O/O/O/O	AFE ハードウェア制御信号 / D+信号入力 / 入出力ポ ート K
114	T19	$\overline{\text{AFE_RLYCNT}}/$ $\text{USB1d_DMNS}/$ $\text{PTK}[1]$	O/O/O/O	AFE リレー制御信号 / D-信号入力 / 入出力ポート K
115	R18	VssQ	-	入出力用電源 (0V)
116	U19	$\text{AFE_SCLK}/$ USB1d_TXDPLS	I/O/O	AFE クロック / D+送信出力
117	U18	VccQ	-	入出力用電源 (3.3V)
118	V19	$\text{PTM}[7]/\text{PINT}[7]/$ $\text{AFE_FS}/\text{USB1d_}$ RCV	I/O/O/O	入力ポート M / ポート割り込み / AFE フレーム同期 / 受信データ入力
119	T18	$\text{PTM}[6]/\text{PINT}[6]/$ $\text{AFE_RXIN}/\text{USB1d_}$ SPEED	I/O/O/O	入力ポート M / ポート割り込み / AFE 受信データ / トランシーバスピード制御
120	V18	$\text{PTM}[5]/\text{PINT}[5]/$ $\text{AFE_TXOUT}/$ USB1d_TXSE0	I/O/O/O	入力ポート M / ポート割り込み / AFE 送信データ / SE0 ステート出力

1. 概要と端子機能

端子番号 PRQP0240KC-B	端子番号 PLBG0240JA-A	信号名	入出力	端子機能
121	W19	PTM[4]/PINT[4]/ AFE_RDET	I/I	入力ポート M / ポート割り込み / AFE リンギング検出
122	V16	予約/USB1d_ SUSPEND	O/O	予約 / トランシーバサスペンド状態出力
123	W18	USB1_ovr_current/ USBF_VBUS	I/I	USB ホスト 1 過電流検出 / USB ファンクション VBUS
124	V17	USB2_ovr_current	I	USB ホスト 2 過電流検出
125	W17	RTS2/USB1d_ TXENL	O/O	SCIF RTS 端子 / USB 用アウトプットイネーブル端子
126	V15	PTE[2]/USB1_pwr_ en	IO/O	入出力ポート E / USB1 電圧制御
127	W16	PTE[1]/USB2_pwr_ en	IO/O	入出力ポート E / USB2 電圧制御
128	U16	CKE/PTK[5]	O/IO	CK イネーブル (SDRAM) / 入出力ポート K
129	W15	RAS/PTJ[0]	O/IO	SDRAM 用 RAS / 入出力ポート J
130	T16	予約/PTJ[1]	O/IO	予約 / 入出力ポート J
131	U15	予約/CAS/PTJ[2]	O/O/IO	予約 / SDRAM 用 CAS / 入出力ポート J
132	T15	VssQ	-	入出力用電源 (0V)
133	W14	予約/PTJ[3]	O/IO	予約 / 入出力ポート J
134	V14	VccQ	-	入出力用電源 (3.3V)
135	U14	予約/PTJ[4]	O/IO	予約 / 入出力ポート J
136	T14	予約/PTJ[5]	O/IO	予約 / 入出力ポート J
137	W13	Vss	-	電源 (0V)
138	V13	PTD[5]/CL1	IO/O	入出力ポート D / LCD ラインロック
139	U13	Vcc	-	電源 (1.9V)
140	T13	PTD[7]/DON	IO/O	入出力ポート D / LCD DISPLAY オン
141	W12	PTE[6]/M_DISP	IO/O	入出力ポート E / 液晶交流化信号 / DISP 信号
142	V12	PTE[3]/FLM	IO/O	入出力ポート E / LCD フレームラインマーカ
143	U12	PTE[0]/TDO	IO/O	入出力ポート E / テストデータ出力
144	T12	PCC0RESET/ DRAK0	O/O	PCC リセット / DMA 要求受付
145	W11	PCC0DRV/DACK0	O/O	PCC バッファ制御 / DMA アクノリッジ 0
146	V11	WAIT	I	ハードウェアウェイト要求
147	T11	RESETM	I	マニュアルリセット要求
148	U11	ADTRG/PTH[5]	I/I	アナログトリガ / 入力ポート H

1. 概要と端子機能

端子番号 PRQP0240KC-B	端子番号 PLBG0240JA-A	信号名	入出力	端子機能
149	W10	IOIS16/PTG[7]	I/I	IOIS16 (PCMCIA) / 入力ポート G
150	T10	ASEMD0* ³	I	ASE モード
151	U10	PTG[5]/ASEBRKAK	I/O	入力ポート G / ASE ブレークアクノリッジ
152	V10	PTG[4]	I	入力ポート G
153	U9	PCC0BVD2/PTG[3]/ AUDATA[3]	I/O	PCC BVD2 / 入力ポート G / AUD データ
154	T9	PCC0BVD1/PTG[2]/ AUDATA[2]	I/O	PCC BVD1 / 入力ポート G / AUD データ
155	V9	Vss	-	電源 (0V)
156	W9	PCC0CD2/PTG[1]/ AUDATA[1]	I/O	PCMCIA0 CD2 / 入力ポート G / AUD データ
157	T8	Vcc	-	電源 (1.9V)
158	U8	PCC0CD1/PTG[0]/ AUDATA[0]	I/O	PCC CD1 / 入力ポート G / AUD データ
159	V8	VssQ	-	入出力用電源 (0V)
160	W8	PTF[7]/PINT[15]/ TRST	I/I	入力ポート F / ポート割り込み / テストリセット
161	T7	VccQ	-	入出力用電源 (3.3V)
162	U7	PTF[6]/PINT[14]/ TMS	I/I	入力ポート F / ポート割り込み / テストモードスイッチ
163	V7	PTF[5]/PINT[13]/TDI	I/I	入力ポート F / ポート割り込み / テストデータ入力
164	W7	PTF[4]/PINT[12]/TCK	I/I	入力ポート F / ポート割り込み / テストクロック
165	T6	PTF[3]/PINT[11]/予約	I/O	入力ポート F / ポート割り込み / 予約
166	U6	PCCREG/PTF[2]/予約	O/I/O	PCC REG / 入力ポート F / 予約
167	V6	PCC0VS1/PTF[1]/ 予約	I/O	PCC VS1 / 入力ポート F / 予約
168	W6	PCC0VS2/PTF[0]/ 予約	I/O	PCC VS2 / 入力ポート F / 予約
169	T5	MD0	I	クロックモード設定
170	U5	Vcc-PLL1* ²	-	PLL1 用電源 (1.9V)
171	U3	CAP1	-	PLL1 用外部容量端子
172	W5	Vss-PLL1* ²	-	PLL1 用電源 (0V)
173	U4	Vss-PLL2* ²	-	PLL2 用電源 (0V)

1. 概要と端子機能

端子番号 PRQP0240KC-B	端子番号 PLBG0240JA-A	信号名	入出力	端子機能
174	W4	CAP2	-	PLL2 用外部容量端子
175	V5	Vcc-PLL2*2	-	PLL2 用電源 (1.9V)
176	W3	PCC0WAIT/PTH[6]/ AUDCK	I/I	PCC ハードウェアウェイト要求 / 入力ポート H / AUD クロック
177	V3	Vss	-	電源 (0V)
178	W2	Vcc	-	電源 (1.9V)
179	V4	XTAL	O	水晶発振端子
180	V2	EXTAL	I	外部クロック / 水晶発振端子
181	W1	LCD15/PTM[3]/ PINT[10]	O/I	LCD データ出力 / 入力ポート M / ポート割り込み
182	T2	LCD14/PTM[2]/ PINT[9]	O/I	LCD データ出力 / 入力ポート M / ポート割り込み
183	V1	LCD13/PTM[1]/ PINT[8]	O/I	LCD データ出力 / 入力ポート M / ポート割り込み
184	U2	LCD12/PTM[0]	O/I	LCD データ出力 / 入力ポート M
185	U1	STATUS0/PTJ[6]	O/IO	プロセッサステータス / 入出力ポート J
186	R2	STATUS1/PTJ[7]	O/IO	プロセッサステータス / 入出力ポート J
187	T1	CL2/PTH[7]	O/IO	LCD クロック出力 / 入出力ポート H
188	T3	VssQ	-	入出力用電源 (0V)
189	R1	CKIO	IO	システムクロック入出力
190	T4	VccQ	-	入出力用電源 (3.3V)
191	R3	TxD0/SCPT[0]	O/O	送信データ 0 / SCI 用出力ポート
192	R4	SCK0/SCPT[1]	IO/IO	シリアルクロック 0 / SCI 用入出力ポート
193	P1	TxD_SIO/SCPT[2]	O/O	SIOF 送信データ / SCI 用出力ポート
194	P2	SIOMCLK/SCPT[3]	I/IO	SIOF クロック入力 / SCI 用入出力ポート
195	P3	TxD2/SCPT[4]	O/O	送信データ 2 / SCI 用出力ポート
196	P4	SCK_SIO/SCPT[5]	IO/IO	SIOF クロック / SCI 用入出力ポート
197	N1	SIOFSYNC/SCPT[6]	IO/IO	SIOF フレーム同期 / SCI 用入出力ポート
198	N2	RxD0/SCPT[0]	I/I	受信データ 0 / SCI 用入力ポート
199	N3	RxD_SIO/SCPT[2]	I/I	SIOF 受信データ / SCI 用入力ポート
200	N4	Vss	-	電源 (0V)
201	M1	RxD2/SCPT[4]	I/I	受信データ 2 / SCI 用入力ポート
202	M2	Vcc	-	電源 (1.9V)
203	M3	SCPT[7]/CTS2/IRQ5	I/I	SCI 用入力ポート / 送信クリア 2 / 外部割り込み要求

1. 概要と端子機能

端子番号 PRQP0240KC-B	端子番号 PLBG0240JA-A	信号名	入出力	端子機能
204	M4	LCD11/PTC[7]/ PINT[3]	O/IO/I	LCD データ出力 / 入出力ポート C / ポート割り込み
205	L1	LCD10/PTC[6]/ PINT[2]	O/IO/I	LCD データ出力 / 入出力ポート C / ポート割り込み
206	L2	LCD9/PTC[5]/ PINT[1]	O/IO/I	LCD データ出力 / 入出力ポート C / ポート割り込み
207	L4	VssQ	-	入出力用電源 (0V)
208	L3	LCD8/PTC[4]/ PINT[0]	O/IO/I	LCD データ出力 / 入出力ポート C / ポート割り込み
209	K1	VccQ	-	入出力用電源 (3.3V)
210	K4	LCD7/PTD[3]	O/IO	LCD データ出力 / 入出力ポート D
211	K3	LCD6/PTD[2]	O/IO	LCD データ出力 / 入出力ポート D
212	K2	LCD5/PTC[3]	O/IO	LCD データ出力 / 入出力ポート C
213	J3	LCD4/PTC[2]	O/IO	LCD データ出力 / 入出力ポート C
214	J4	LCD3/PTC[1]	O/IO	LCD データ出力 / 入出力ポート C
215	J2	LCD2/PTC[0]	O/IO	LCD データ出力 / 入出力ポート C
216	J1	LCD1/PTD[1]	O/IO	LCD データ出力 / 入出力ポート D
217	H4	LCD0/PTD[0]	O/IO	LCD データ出力 / 入出力ポート D
218	H3	DREQ0/PTD[4]	I/I	DMA 要求 / 入力ポート D
219	H2	LCLK/UCLK/PTD[6]	I/I/I	LCD クロック / USB クロック / 入力ポート D
220	H1	RESETP	I	パワーオンリセット要求
221	G4	CA	I	ハードウェアスタンバイ要求
222	G3	MD3	I	エリア 0 用バス幅設定
223	G2	MD4	I	エリア 0 用バス幅設定
224	G1	Scan_testen	I	テスト端子 (VccQ にプルアップする)
225	F4	AVcc_USB	-	USB アナログ電源 (3.3V)
226	F3	USB1_P(analog)	IO	USB1 データ入出力 (プラス)
227	F2	USB1_M(analog)	IO	USB1 データ入出力 (マイナス)
228	F1	AVss_USB	-	USB アナログ電源 (0V)
229	E4	USB2_P(analog)	IO	USB2 データ入出力 (プラス)
230	E3	USB2_M(analog)	IO	USB2 データ入出力 (マイナス)
231	C3	AVcc_USB	-	USB アナログ電源 (3.3V)
232	E1	AVss	-	アナログ用電源 (0V)
233	D3	AN[2]/PTL[2]	I/I	AD コンバータ入力 / 入力ポート L
234	D1	AN[3]/PTL[3]	I/I	AD コンバータ入力 / 入力ポート L

1. 概要と端子機能

端子番号	端子番号	信号名	入出力	端子機能
PRQP0240KC-B	PLBG0240JA-A			
235	E2	AN[4]/PTL[4]	I/I	AD コンバータ入力 / 入力ポート L
236	C1	AN[5]/PTL[5]	I/I	AD コンバータ入力 / 入力ポート L
237	C2	AVcc	-	アナログ用電源 (3.3V)
238	B1	AN[6]/PTL[6]/DA[1]	I/O	AD コンバータ入力 / 入力ポート L / DA コンバータ出力
239	D2	AN[7]/PTL[7]/DA[0]	I/O	AD コンバータ入力 / 入力ポート L / DA コンバータ出力
240	B2	AVss	-	アナログ用電源 (0V)

【注】 Vcc/Vss はすべてシステムの電源に接続してください (常時給電してください)。

- *1 RTC を使用しない場合も、必ず Vcc-RTC に給電してください。
- *2 内蔵 PLL を使用しない場合も、必ず Vcc-PLL に給電してください。
- *3 エミュレータおよび H-UDI を使用せずにユーザシステム単体で使用する場合は、ハイレベルにしてください。ローレベルまたはオープンの場合 RESETP がマスクされることがあります。

2. CPU

2.1 レジスタ構成

SH7727 は、SH-3 と同じレジスタを持っています。また、SH7727 は SH-DSP と同じ DSP 関連レジスタもサポートしています。ソフトウェアでアクセス可能な基本レジスタは 4 種類のグループに分けられます。

- 汎用レジスタ
- コントロールレジスタ
- システムレジスタ
- DSPレジスタ

いくつかの DSP レジスタを除き、以上のレジスタはすべて 32 ビットの幅を持っています。汎用レジスタはユーザーモードからアクセスでき、R0~R7 はバンク化され、各プロセッサモードで別の R0~R7 レジスタセット、すなわち、R0~R7_BANK0 および R0~R7_BANK1 をアクセスできるようになっています。特権モードではステータスレジスタ (SR) のレジスタバンク (RB) ビットはバンクレジスタ (R0~R7_BANK0 または R0~R7_BANK1) のどのセットが汎用レジスタとしてアクセスされ、どのセットが LDC/STC 命令のみによってアクセスされるかを定義します。

コントロールレジスタは LDC/STC 命令によってアクセスできます。このうち GBR、RS、RE、MOD レジスタはユーザーモードでもアクセスできます。コントロールレジスタは次のとおりです。

- SR : ステータスレジスタ
- SSR : 退避ステータスレジスタ
- SPC : 退避プログラムカウンタ
- GBR : グローバルベースレジスタ
- VBR : ベクタベースレジスタ
- RS : 繰り返し開始レジスタ (DSPモードのみ)
- RE : 繰り返し終了レジスタ (DSPモードのみ)
- MOD : モジュールレジスタ (DSPモードのみ)

システムレジスタは LDS/STS 命令 (PC はソフトウェアでアクセス不可能ですが、その内容は例外処理で SPC に退避され、また SPC から復帰されるのでここに含めます) によってアクセスします。システムレジスタは次のとおりです。

- MACH : 積和上位レジスタ
- MACL : 積和下位レジスタ
- PR : プロシージャレジスタ
- PC : プログラムカウンタ

2. CPU

本章では各モードにおけるこれらのレジスタの使用方法について説明します。

処理モード別のレジスタ構成を図 2.1、図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理動作モードビット (MD) で切り替えます。

DSP モードは、ステータスレジスタの DSP ビットで切り替えます。

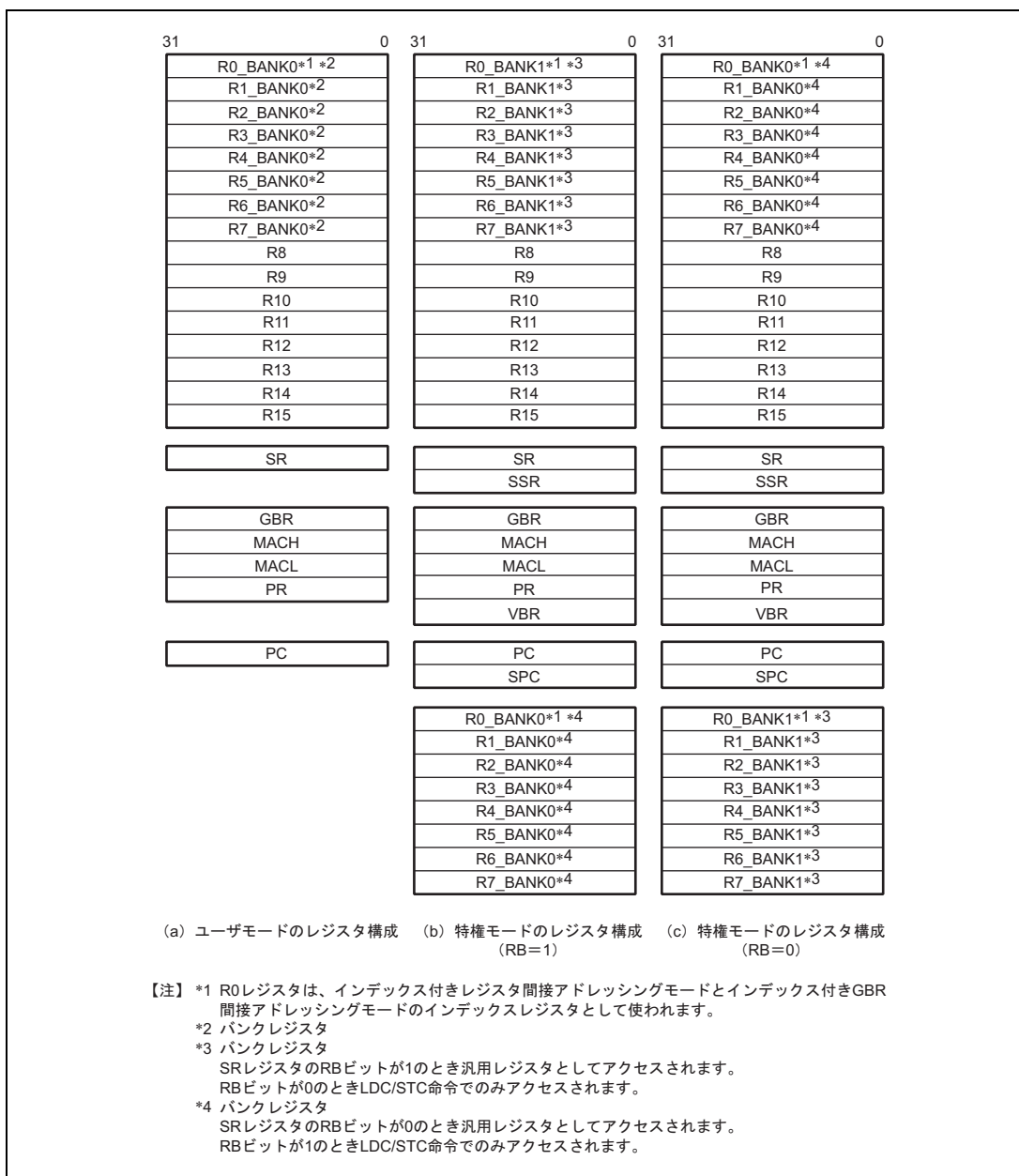


図 2.1 処理モード別のレジスタ構成 (1)

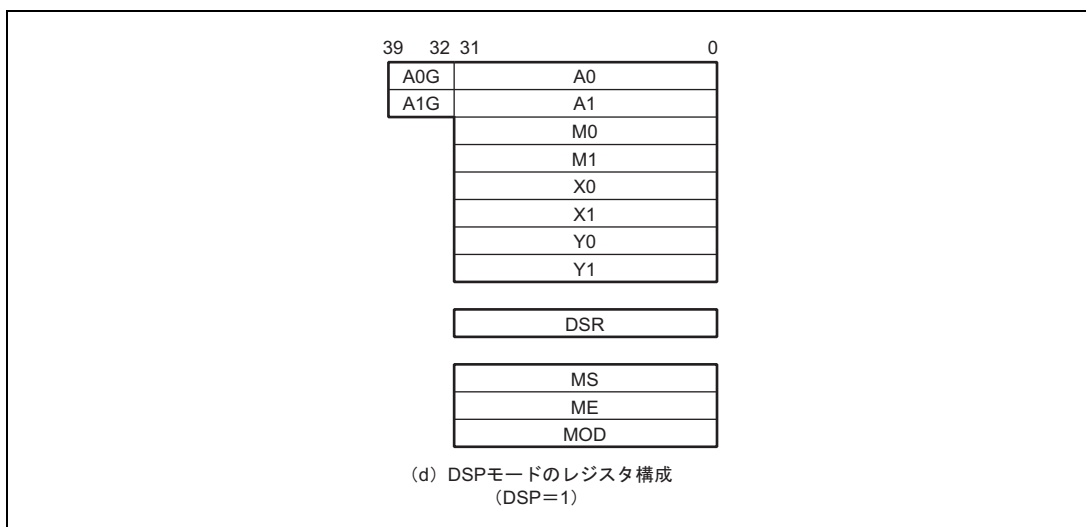


図 2.2 処理モード別のレジスタ構成 (2)

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0~R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、 BL ビットは 1、I3~I0 は 1111 (H'F)、予約ビットは 0、その他 は不定
	GBR、SSR、SPC	不定
	VBR	H'00000000
	RS、RE	不定
	MOD	不定
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
DSP レジスタ	A0、A0G、A1、A1G、M0、M1、X0、X1、Y0、Y1	不定
	DSR	H'00000000

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

2.1.1 汎用レジスタ

汎用レジスタ (Rn) は、32 ビットの長さで、R0~R15 の 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。

Super H マイコンタイプの命令では、R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、スタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は R15 を用いてスタックを参照し行います。

DSP タイプの命令では、汎用レジスタ 16 本のうち、8 つのレジスタが X、Y データメモリおよび L バスを使うデータメモリ (シングルデータ) のアドレッシングに使われます。

X メモリをアクセスするためには、X アドレスレジスタ [Ax] として R4、R5 を使い、X インデックスレジスタ [Ix] として R8 を使います。Y メモリをアクセスするためには、Y アドレスレジスタ [Ay] として R6、R7 を使い、Y インデックスレジスタ [Iy] として R9 を使います。L バスを使ってシングルデータをアクセスするためには、シングルデータアドレスレジスタ [As] として R2、R3、R4、R5 を使い、シングルデータインデックスレジスタ [Is] として R8 を使います。

図 2.3 に汎用レジスタを示します。本 LSI の汎用レジスタは、DSP 拡張機能を無効にしたときの SH-3 の汎用レジスタと同じです。

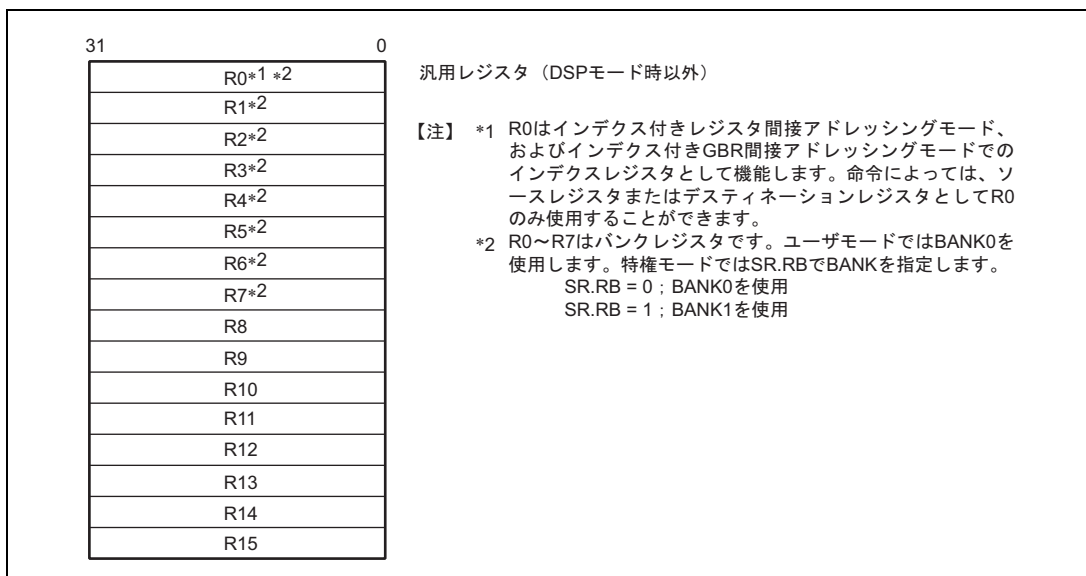


図 2.3 汎用レジスタ (DSP モード以外)

一方、R2~R9 レジスタは、DSP 拡張機能が有効なとき DSP データアドレス計算にも使用します (図 2.4 を参照)。DSP タイプ命令でのレジスタの目的を表すもう 1 つの記号を [] 内に示します。

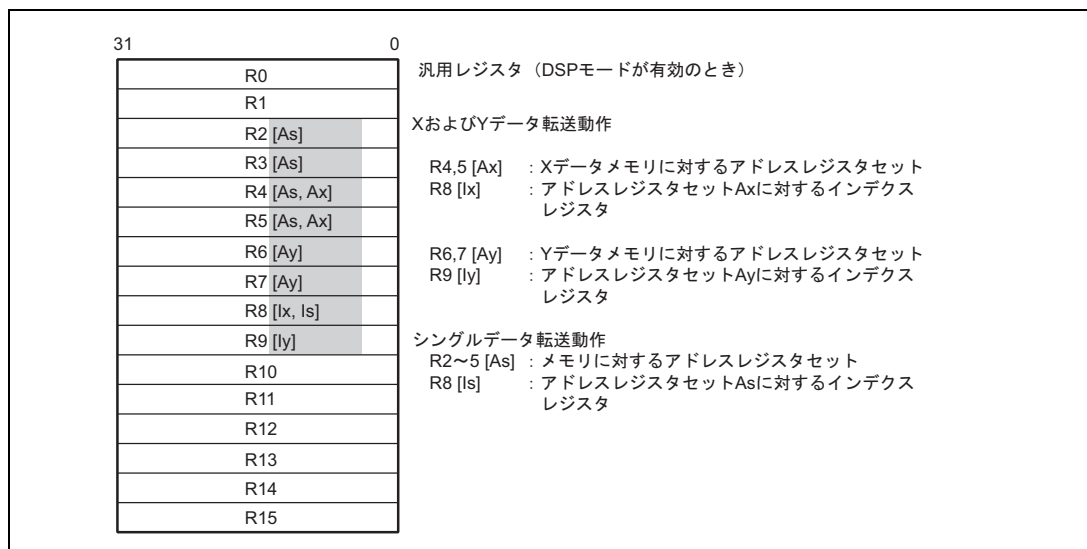


図 2.4 汎用レジスタ (DSP モード)

DSP タイプ命令は X、Y データメモリに同時にアクセスできます。X、Y データメモリのアドレスを指定するために、次の 2 つのアドレスポインタセットを用意しています。

X メモリアクセスに対する R8 [Ix], R4, R5 [Ax]

Y メモリアクセスに対する R9 [Iy], R6, R7 [Ay]

アセンブラでは R2、R3、...、R9 の記号名 (シンボル) を使います。もし DSP タイプ命令のためのレジスタの役割を明示した名前にしたときは、レジスタの別名 (エイリアス、alias) を使います。アセンブラで次のように書きます。

Ix: .REG (R8)

名前 Ix が R8 の別名になります。そのほか次のように別名を付けます。

Ax0: .REG (R4)

Ax1: .REG (R5)

Ix: .REG (R8)

Ay0: .REG (R6)

Ay1: .REG (R7)

Iy: .REG (R9)

As0: .REG (R4);これはシングルデータ転送のために別名が必要なときの定義です。

As1: .REG (R5);これはシングルデータ転送のために別名が必要なときの定義です。

As2: .REG (R2)

As3: .REG (R3)

Is: .REG (R8);これはシングルデータ転送のために別名が必要なときの定義です。

2.1.2 コントロールレジスタ

SH7727 には、SR、SSR、SPC、GBR、VBR、RS、RE、MOD の 8 つのコントロールレジスタがあります (図 2.5)。SSR、SPC、GBR、VBR は SH-3 レジスタと同じです。DSP モードは SR.DSP=1 の場合のみアクティブです。

繰り返し開始レジスタ RS、繰り返し終了レジスタ RE、リピートカウンタ RC (SR の 12 ビット部分)、および SR レジスタ中のリピートコントロールビット RF0、RF1 は、新しいレジスタおよびコントロールビットで、リピートの制御に使用します。モジュロレジスタ MOD、および SR 中のモジュロコントロールビット DMX、DMY も、新しいレジスタおよびコントロールビットです。

SR には RC [11:0]、RF0、RF1、DMX、DMY、DSP ビットの 6 種類の追加コントロールビットがあります。そのうち、DMX、DMY、RC [11:0]、RF [1:0] はスーパーバイザモード、スーパーバイザ DSP モード、ユーザ DSP モードで変更できます。DMX、DMY はモジュロアドレッシングコントロールに使用します。DMX が "1" の場合、モジュロアドレッシングモードは X メモリアドレスポインタ A_x (R4 または R5) に対して有効です。DMY が "1" の場合、Y メモリアドレスポインタ A_y (R6 または R7) に対して有効です。ただし、DMX および DMY ビットの両方をセットしても、X および Y アドレスポインタの両方をモジュロアドレッシングモードで動作させることはできません。DMX=DMY=1 の場合は将来の拡張のために予約されています。DMX および DMY を同時にセットすると、ハードウェアは暫定的に Y アドレスポインタのみをモジュロアドレッシングモードとして扱います。モジュロアドレッシングは、X、Y データ転送動作 (MOVX、MOVY) に利用できますが、シングルデータ転送動作 (MOVS) には利用できません。

RF1、RF0 は繰り返しステップ数情報を保持し、SETRC 命令の実行時にセットされます。RF [1:0] が 00 を示すとき、現在のリピートモジュールは 1 ステップの命令から構成されます。RF [1:0]=01 のときは 2 ステップの命令を意味します。RF [1:0]=11 のときは 3 ステップの命令です。RF [1:0]=10 のときは現在のリピートモジュールが 4 つ以上の命令から構成されることを意味します。

RC [11:0] と RF [1:0] は、SR へのストア・ロードでも変更できますが、専用操作命令 SETRC の使用を推奨します。

SR は 12 ビットのリピートカウンタ RC も持っており、これを用いて効率的にループを制御できます。繰り返し開始レジスタ (RS) および繰り返し終了レジスタ (RE) もループコントロールのために導入されています。これらはループのスタートアドレス、エンドアドレスを保持します (RS、RE レジスタの内容はループスタートおよびエンドの実際のアドレスとは若干異なります)。

モジュロレジスタ MOD は、循環データバッファリング向けのモジュロアドレッシングを実現するために導入されています。MOD はモジュロスタートアドレス (MS) およびモジュロエンドアドレス (ME) を保持します。

RS、RE、MOD にアクセスするために、それらに対するロード/ストア (コントロールレジスタ) 命令が導入されています。RS の例を次にあげます。

```
LDC Rm,RS;      Rm    RS
LDC.L @Rm+,RS  (Rm)  RS, Rm+4  Rm
STC RS,Rn;      RS    Rn
STC.L RS,@-Rn; Rn-4  Rn, RS   (Rn)
```


RS および RE に対するアドレスセット命令も用意しています。

LDRS @(disp,PC) disp × 2 + PC RS

LDRE @(disp,PC) disp × 2 + PC RE

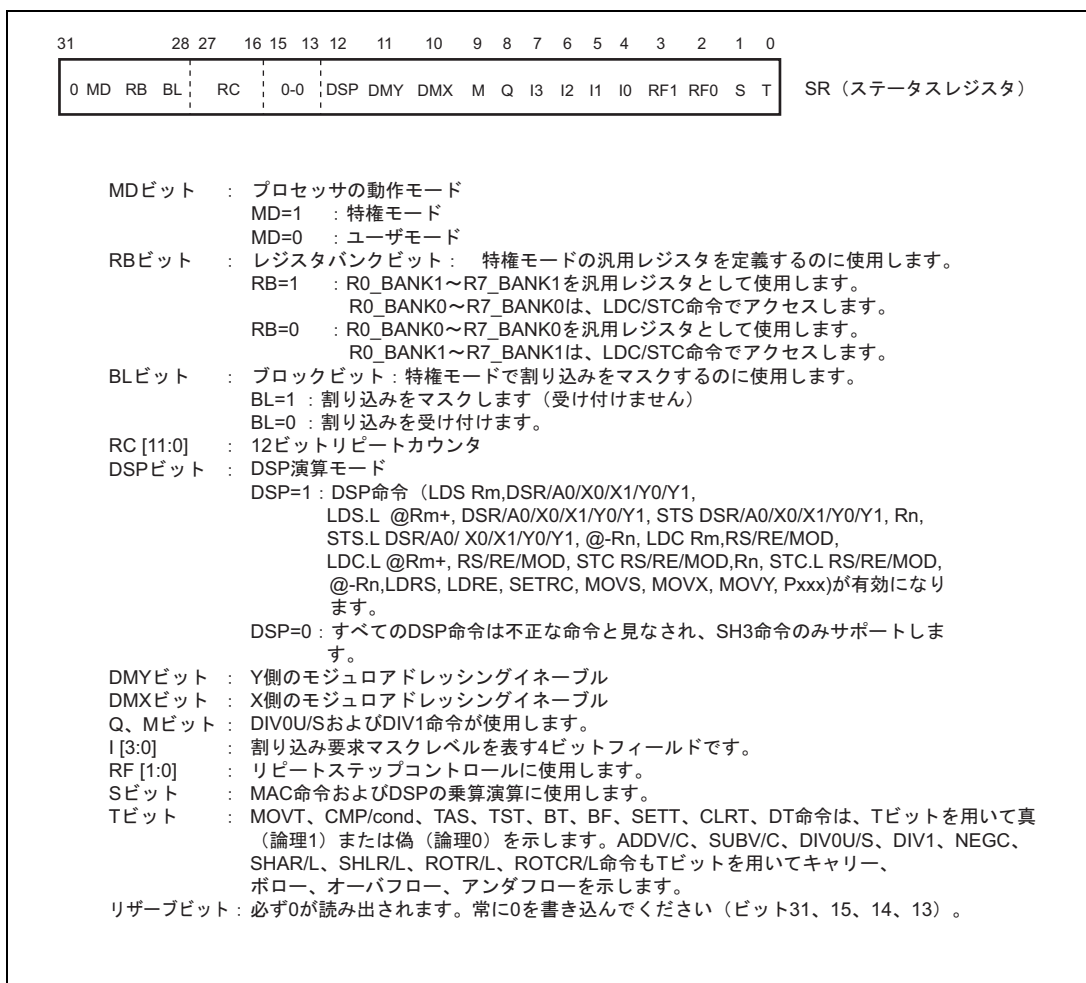


図 2.5 コントロールレジスタ (1)

2. CPU

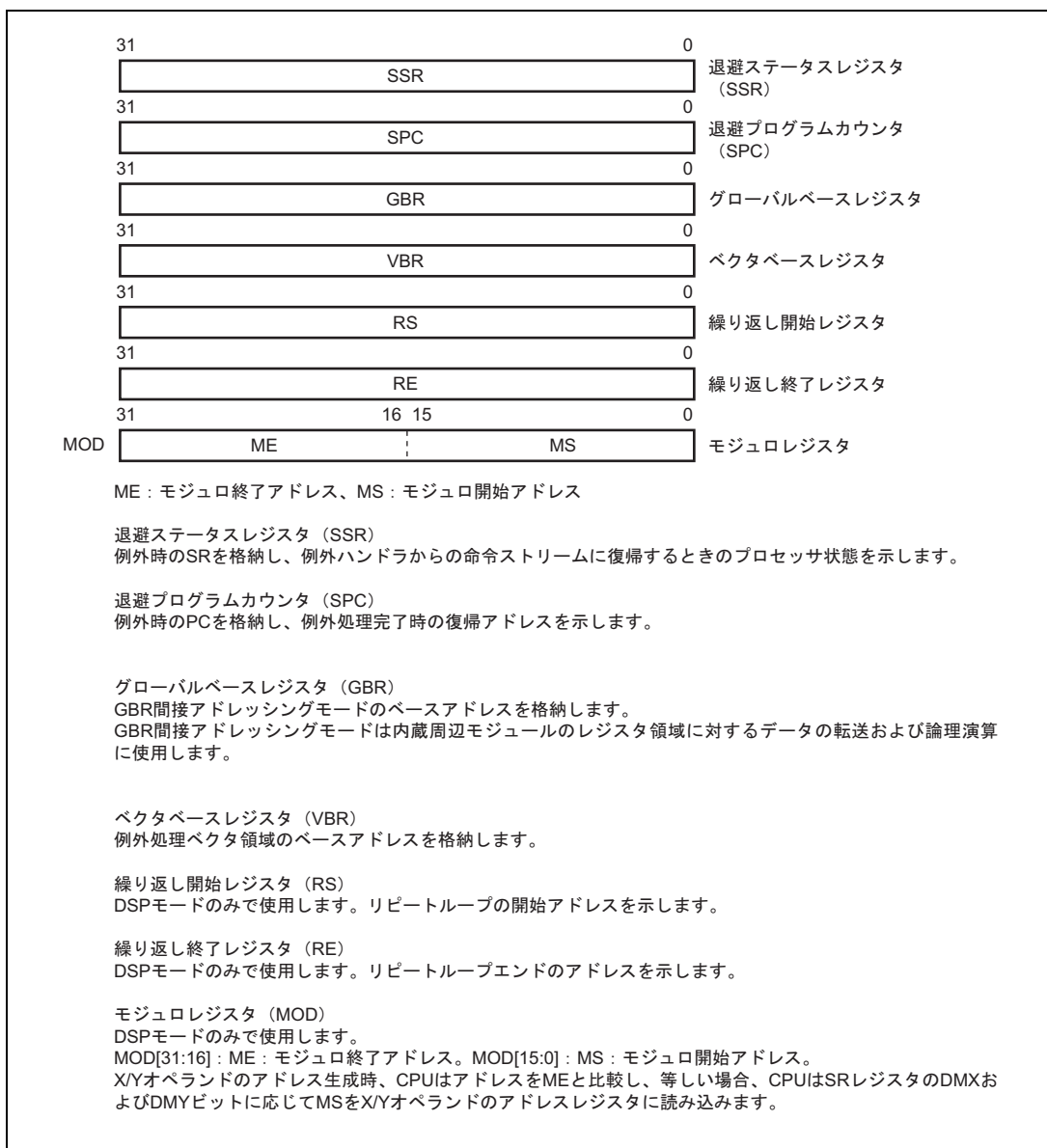


図 2.5 コントロールレジスタ (2)

2.1.3 システムレジスタ

SH7727 は MACL、MACH、PR、PC の 4 つのシステムレジスタを持っています (図 2.6)。

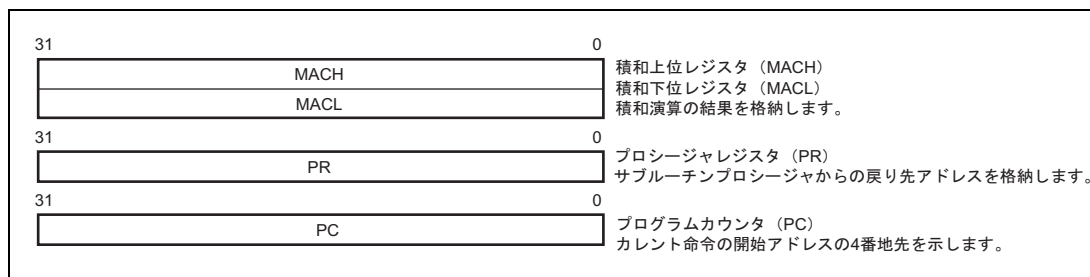


図 2.6 システムレジスタ

DSR、A0、X0、X1、Y0、Y1 レジスタは、システムレジスタとして扱われます。したがって、これらのレジスタ用に汎用レジスタとシステムレジスタ間のデータ転送命令がサポートされています。

2.1.4 DSP レジスタ

SH7727 は DSP レジスタとして 8 つのデータレジスタと 1 つのコントロールレジスタ (図 2.7) を持っています。データレジスタは、レジスタ A0、A1 を除き、32 ビット幅です。レジスタ A0、A1 は 40 ビット幅で、8 ビット幅のガードビット A0G、A1G を持っています。

DSP データレジスタには 3 種類の命令でアクセスします。第 1 は DSP データ処理です。DSP 固定小数点データ命令がソースレジスタに A0 または A1 を使用するとき、ガードビット (ビット 39~32) を使用します。デスティネーションレジスタに A0 または A1 を使用するとき、ガードビットのビット 39~32 が有効になります。DSP 固定小数点データ命令がソースレジスタに A0 または A1 以外の DSP レジスタを使用するとき、ソース値をビット 39~32 に符号拡張して使用します。A0 または A1 以外の DSP レジスタをデスティネーションレジスタに使用するとき、結果のビット 39~32 は破棄されます。

2 番目は X および Y データ転送命令 "MOVX.W MOVY.W" です。この命令は 16 ビット X、Y データバス (図 2.8) によって X、Y メモリにアクセスします。この命令でロードまたはストアするレジスタは常に上位 16 ビット (ビット 31~16) です。X0 および X1 は X メモリロードのデスティネーション、Y0 および Y1 は Y メモリロードのデスティネーションになることができますが、ほかのレジスタはこの命令のデスティネーションレジスタになることはできません。

データをレジスタの上位 16 ビット (ビット 31~16) に読み込むとき、レジスタの下部 16 ビット (ビット 15~0) は自動的にクリアされます。A0 と A1 はこの動作によって X、Y メモリに格納することができますが、ほかのレジスタは格納することができません。

2. CPU

STC/LDC 命令使用時のステータスレジスタ (SR) の詳細は下記のとおりです。

- (1) DSP 非動作時、SH-3 の場合と同様に動作します。
- (2) スーパーバイザ DSP モード時、スーパーバイザモードと同様に動作します。
- (3) ユーザ DSP モード時、SR は STC 命令で読み出し可能です。
- (4) ユーザ DSP モード時、SR への LDC 命令発行は可能であり、この場合 DSP 関連ビットはライトプロテクトされません。

表 2.2 各 SH3-DSP モード時の SR の各ビットの動作説明

フィールド	スーパーバイザ モード	ユーザモード	スーパーバイザ DSP モード	ユーザ DSP モード	専用命令による DSP 関連ビットへのアクセス	リセット後の初期値
	MD=1 & DSP=0	MD=0 & DSP=0	MD=1 & DSP=1	MD=0 & DSP=1		
MD	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: NG		1
RB	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: NG		1
BL	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: NG		1
RC [11:0]	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: OK	SETRC 命令	0b0000000000000
DSP	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: NG		0
DMX	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: OK		0
DMY	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: OK		0
Q	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: NG		X
M	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: NG		X
I[3:0]	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: NG		1111
RF[1:0]	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: NG	SETRC 命令	X
S	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: NG		X
T	S: OK, L: OK	S, L: 不当命令	S: OK, L: OK	S: OK, L: NG		X

S (STC) : Store SR to Rn,SR->Rn

L (LDC) : Load Rn to SR,Rn->SR

OK : STC/LDC 動作を許可します。

不当命令 : 不当命令を実行すると例外が発生します。

NG : 前の値を保持します。変化しません。

3番目はシングルデータ転送命令、"MOVS.W"および"MOVS.L"です。この命令はLDB（図2.8）によって任意のメモリにアクセスします。すべてのDSPレジスタはLDBにつながり、データ転送のソース、およびデスティネーションレジスタになることができます。これにはワードおよびロングワードアクセスモードがあります。ワードモードでは、A0G、A1Gを除くDSPレジスタでは、上位16ビット（ビット31～16）がロードあるいはストアの対象になります。ワードモードでA0G、A1G以外のレジスタにデータを読み込むと、レジスタの下半分はクリアされます。A0またはA1の場合、データはビット39～32に符号拡張されその下半分はクリアされます。ワードモードでA0GまたはA1Gがデスティネーションレジスタの場合、データは8ビットレジスタに読み込まれますが、A0またはA1はクリアされません。ロングワードモードでデスティネーションレジスタがA0またはA1のとき、データは39～32に符号拡張されます。

表2.3および表2.4はDSP命令で使用するレジスタのデータタイプを示します。命令コードの制限のため表に示すレジスタの中には使用できない演算もあります。たとえば、PMULSはソースレジスタにA1を使用できますが、A0は使用できません。これらの表はレジスタの選択性の詳細については省略しています。

表2.3 DSP命令のデスティネーションレジスタ

レジスタ		命令	ガードビット		レジスタビット			
			39	32	31	16	15	0
A0, A1	DSP 演算	固定小数点、PSHA、PMULS	（符号拡張）		40ビット結果			
		整数、PDMSB	（符号拡張）		24ビット結果		クリア	
		論理、PSHL	クリア		16ビット結果		クリア	
	データ 転送	MOVS.W	符号拡張		16ビットデータ		クリア	
		MOVS.L	符号拡張		32ビットデータ			
A0G, A1G	データ	MOVS.W	データ		更新しない			
	転送	MOVS.L	データ		更新しない			
X0, X1	DSP 演算	固定小数点、PSHA、PMULS			32ビット結果			
Y0, Y1		整数、論理、PDMSB、PSHL			16ビット結果		クリア	
M0, M1	データ	MOVX/Y.W、MOVS.W			16ビットデータ		クリア	
	転送	MOVS.L			32ビットデータ			

2. CPU

表 2.4 DSP 命令のソースレジスタ

レジスタ		命令	ガードビット		レジスタビット			
			39	32	31	16	15	0
A0, A1	DSP 演算	固定小数点、PDMSB、PSHA	40 ビットデータ					
		整数	24 ビットデータ					
		論理、PSHL、PMULS			16 ビットデータ			
	データ 転送	MOVX/Y.W、MOVS.W			16 ビットデータ			
		MOVS.L			32 ビットデータ			
A0G, A1G	データ	MOVS.W	データ					
	転送	MOVS.L	データ					
X0, X1 Y0, Y1 M0, M1	DSP 演算	固定小数点、PDMSB、PSHA	符号*		32 ビットデータ			
		整数	符号*		16 ビットデータ			
		論理、PSHL、PMULS			16 ビットデータ			
	データ 転送	MOVS.W			16 ビットデータ			
		MOVS.L			32 ビットデータ			

【注】 * データを符号拡張し、ALU に入力する。

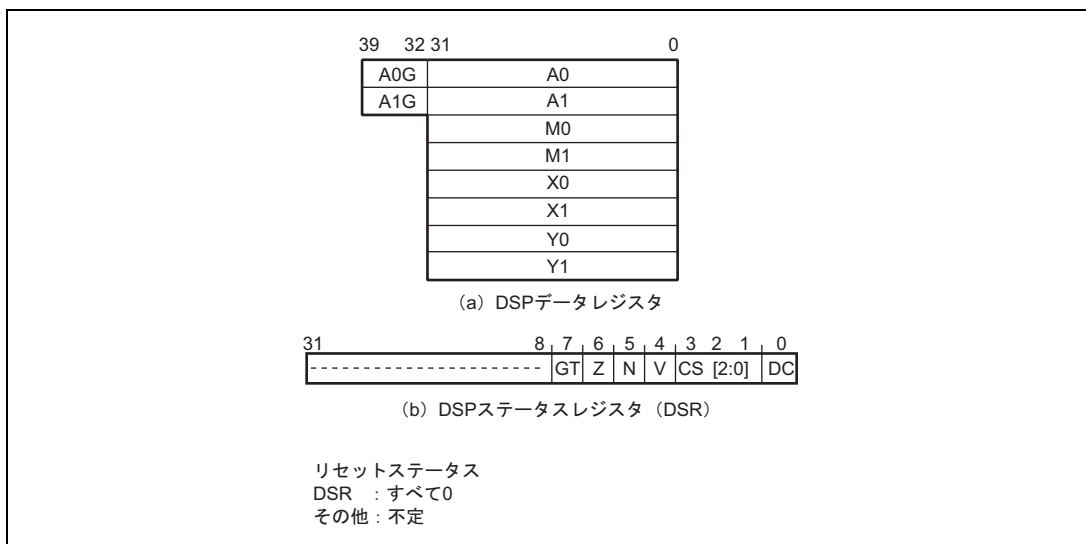


図 2.7 DSP レジスタ

表 2.5 DSR レジスタのビット

ビット	名称 (略称)	機能
31~8	予約ビット	0 : 常に 0 が読み出されます 書き込む値も 0 にしてください。
7	符号付き大ビット (GT)	演算結果が正 (ゼロを除く)、またはオペランド 1 がオペランド 2 より大きいことを示します 1 : 演算結果が正、またはオペランド 1 がオペランド 2 より大きい
6	ゼロビット (Z)	演算結果がゼロ (0)、またはオペランド 1 がオペランド 2 と等しいことを示します 1 : 演算結果がゼロ (0)、または等しい
5	負値ビット (N)	演算結果が負、またはオペランド 1 がオペランド 2 より小さいことを示します 1 : 演算結果が負、またはオペランド 1 がオペランド 2 より小さい
4	オーバーフロービット (V)	演算結果がオーバーフローしたことを示します 1 : 演算結果がオーバーフロー
3~1	状態選択ビット (CS)	DC ビットに設定する演算結果状態を選択するためのモードを指定します 110、111 は指定しないでください 000 : キャリ/ボローモード 001 : 負値モード 010 : ゼロモード 011 : オーバフローモード 100 : 符号付き大モード 101 : 符号付き以上モード
0	DSP 状態ビット (DC)	CS ビットで指定されたモードで演算結果の状態を設定します 0 : 指定されたモードの状態が成立しない (不成立) 1 : 指定されたモードの状態が成立

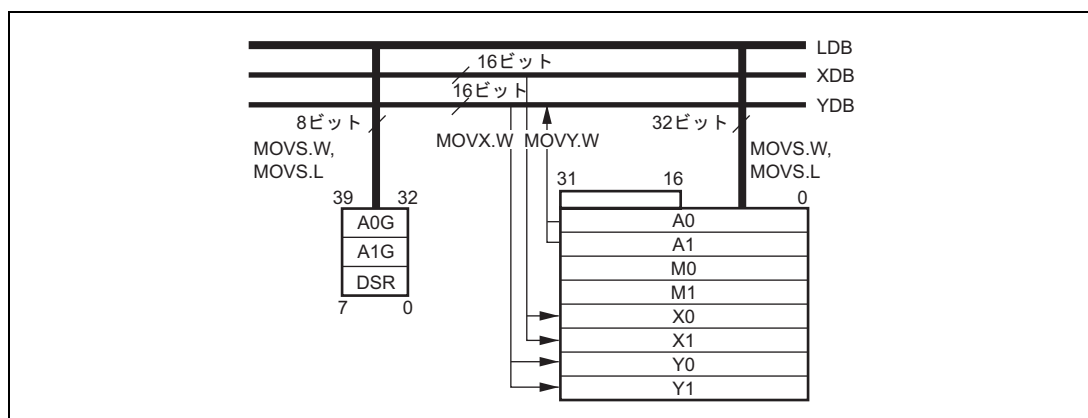


図 2.8 DSP レジスタとバスの接続

2. CPU

DSP ユニットの DSP ステータスレジスタ (DSR) を持っています。DSR は DSP データ演算結果の状態 (ゼロ、負、など) を保持し、また CPU の T ビットに類似した DC ビットを持っています。DC ビットは状態フラグの 1 つを示します。条件付き DSP データ処理命令は DC ビットに基づいてその実行を制御します。この制御は DSP ユニットの命令のみに影響します。すなわち、DSP レジスタのみの更新を制御し、アドレスレジスタの更新、ロード / ストア命令などの CPU での命令を制御することはできません。コントロールビット CS [2:0] は DC ビットに反映する条件を指定します。

PMULS、MOVX、MOVY、MOVS を除く無条件 DSP タイプのデータ命令は条件フラグと DC ビットを更新しますが、MAC 命令を含む CPU 命令はどれも DC ビットを更新しません。条件付き DSP タイプ命令も DSR を更新することはありません。

DSR はシステムレジスタに割り当てられ、次のロード / ストア命令が用意されています。

```
STS DSR, Rn;  
STS.L DSR, @-Rn;  
LDS Rn, DSR;  
LDS.L @Rn+, DSR;
```

STS 命令で DSR を読み出すとき、上位ビット (ビット 31 ~ ビット 8) はすべて 0 になります。

2.2 データ形式

2.2.1 レジスタのデータ形式 (非 DSP タイプ)

レジスタオペランドは常にロングワード (32 ビット) (図 2.9) です。メモリオペランドがバイト (8 ビット) かワード (16 ビット) の場合、レジスタに読み込むとロングワードに符号拡張されます。

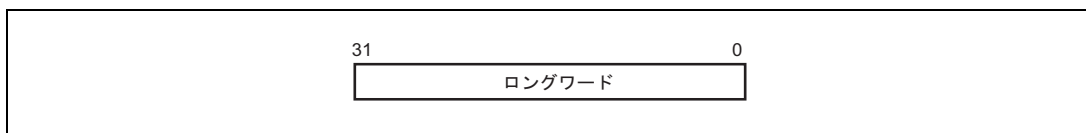


図 2.9 ロングワードオペランド

2.2.2 DSP タイプデータ形式

SH7727 は、命令によって異なるデータ形式を持っています。ここでは DSP タイプ命令用のデータ形式について解説します。

図 2.10 に、2 進小数点の位置の異なる 3 つの DSP タイプのデータ形式、また参考として、ビット 0 の右側に 2 進小数点を持つ CPU タイプのデータ形式を示します。

DSP タイプ固定小数点データ形式は、ビット 31 とビット 30 の間に 2 進小数点があります。DSP タイプ整数フォーマットはビット 16 とビット 15 の間に 2 進小数点があります。DSP タイプ論理フォーマットには 2 進小数点はありません。データ形式の有効なデータ長は命令および DSP レジスタによって異なります。

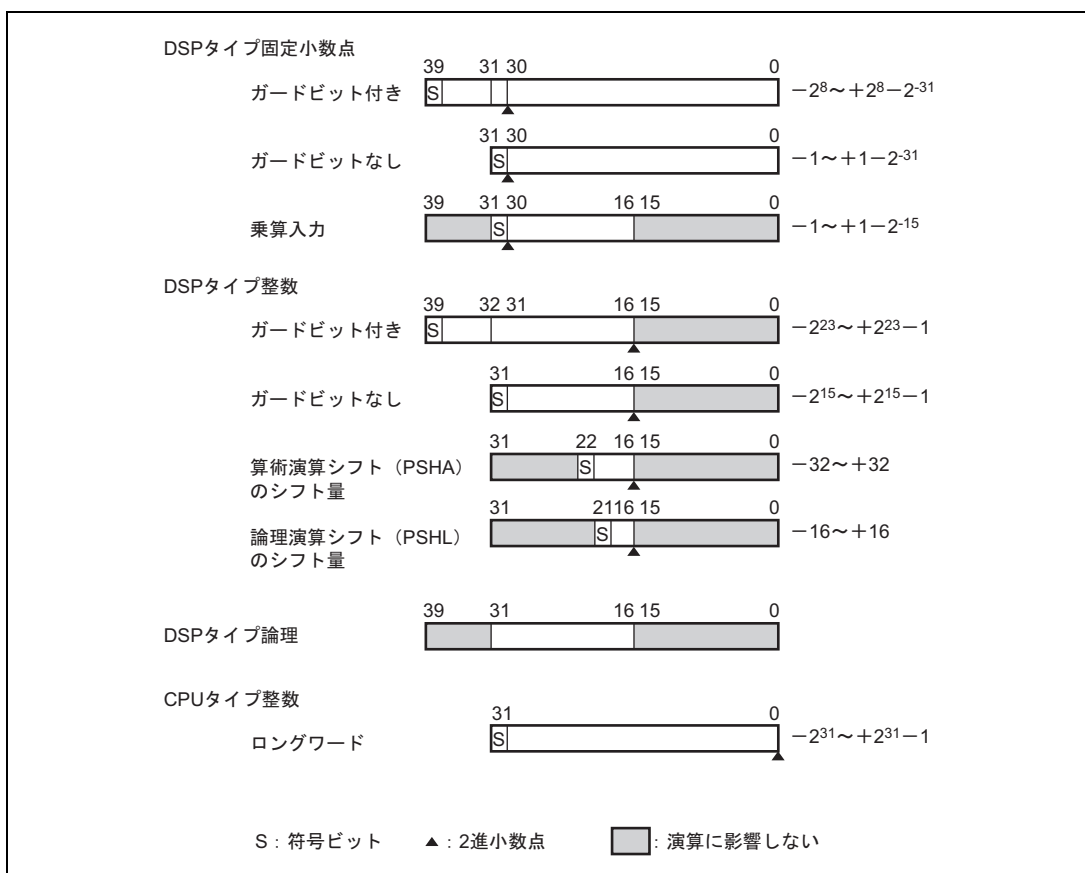


図 2.10 データ形式

算術演算シフト (PSHA) 命令のシフト量は、 $-64 \sim +63$ を表す 7 ビットフィールドを持っていますが、 $-32 \sim +32$ が有効な数です。また論理演算シフトのシフト量も 6 ビットフィールドを持っていますが、 $-16 \sim +16$ が有効な数です。

2.2.3 メモリのデータ形式

メモリのデータ形式は、バイト、ワード、ロングワードに分けられます。バイトデータは任意のアドレスからアクセスできますが、 $2n$ 以外のアドレスから始まるワードデータ、または $4n$ 以外のアドレスから始まるロングワードにアクセスしようとするするとアドレスエラーが発生します。このような場合、アクセスするデータは保証できません（図 2.11）。

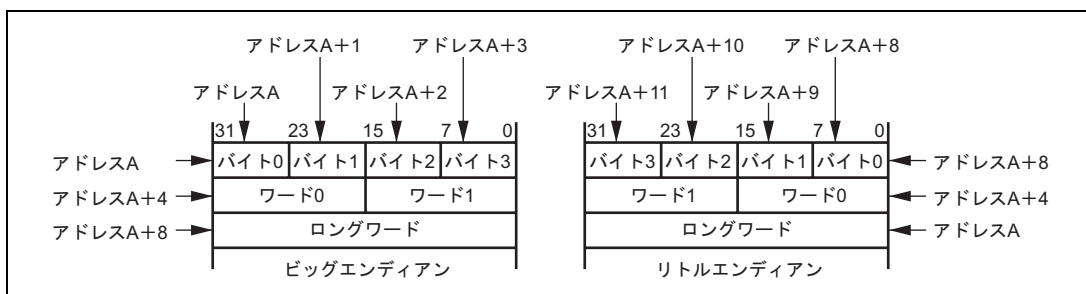


図 2.11 バイト、ワード、ロングワードの配列

データ形式は、リセット時の MD5 端子によってビッグエンディアンかリトルエンディアンのいずれかのバイト順を選択できます。MD5 がリセット時に Low のとき、プロセッサはビッグエンディアンで動作します。MD5 がリセット時に High のとき、プロセッサはリトルエンディアンで動作します。

2.3 CPU コア命令の特長

CPU コア命令は RISC 形式の命令です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.6 ワードデータの符号拡張

本 LSI の CPU	説明	ほかの CPU の例
MOV.W @ (disp,PC),R1 ADD R1,R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @ (disp,PC)でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、ANDなどのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令などは、遅延分岐として実行されます。遅延分岐命令の場合、遅延分岐命令の直後の命令（スロット命令）を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐の分岐動作そのものは、スロット命令実行後に発生します。しかし、分岐動作を除くレジスタの更新などの命令の実行は、遅延分岐命令、遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されているレジスタの内容を変更しても、分岐先アドレスは変更前のレジスタ内容のままです。

表 2.7 遅延分岐命令

本 LSI の CPU	説明	ほかの CPU の例
BRA TRGET ADD R1,R0	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0 BRA TRGET

(6) 乗算 / 積和演算

16×16 32 の乗算を 1~3 ステート、 $16 \times 16+64$ 64 の積和演算を 2~3 ステートで実行します。 32×32 64 の乗算や、 $32 \times 32+64$ 64 の積和演算を 2~5 ステートで実行します。

(7) Tビット

比較結果はステータスレジスタ(SR)の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

2. CPU

表 2.8 T ビット

本 LSI の CPU	説明	ほかの CPU の例
CMP/GE R1,R0 BT TRGET0 BF TRGET1	R0 R1 のとき T ビットがセットされます。 R0 R1 のとき TRGET0 へ R0<R1 のとき TRGET1 へ分岐します。	CMP.W R1,R0 BGE TRGET0 BLT TRGET1
ADD #-1,R0 CMP/EQ #0,R0 BT TRGET	ADD では T ビットが変化しません。 R0=0 のとき T ビットがセットされます。 R0=0 のとき分岐します。	SUB.W #1,R0 BEQ TRGET

(8) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルはディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令(MOV) で参照します。

表 2.9 イミディエイトデータによる参照

区分	本 LSI の CPU	ほかの CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOV.W @(disp,PC),R0DATA.W H'1234	MOV.W #H'1234,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.10 絶対アドレスによる参照

区分	本 LSI の CPU	ほかの CPU の例
絶対アドレス	MOV.L @(disp,PC),R1 MOV.B @R1,R0DATA.L H'12345678	MOV.B @H'12345678,R0

(10) 16ビット/32ビットディスプレースメント

16ビットまたは32ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.11 ディスプレースメントによる参照

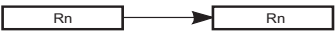
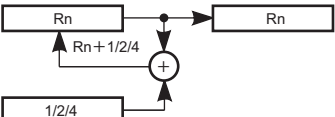
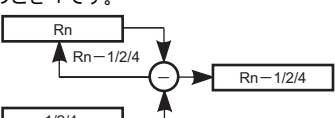
区分	本 LSI の CPU	ほかの CPU の例
16ビットディスプレースメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2 DATA.W H'1234	MOV.W @(H'1234,R1),R2

2.4 命令形式

2.4.1 CPU 命令のアドレッシングモード

CPU コアで実行される命令のアドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.12 CPU 命令のアドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。 命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付きレジスタ間接	@(disp:4,Rn)	<p>実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>	<p>バイト : $Rn + disp$ ワード : $Rn + disp \times 2$ ロングワード : $Rn + disp \times 4$</p>
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p>	$Rn + R0$
ディスプレイースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>	<p>バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$</p>
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p>	$GBR + R0$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント 付き PC 相対	@(disp:8,PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。</p> <p>さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> <p style="text-align: right;">*ロングワードのとき</p>	<p>ワード : $PC + \text{disp} \times 2$</p> <p>ロングワード : $PC \& \text{H'FFFFFFFC} + \text{disp} \times 4$</p>
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + \text{disp} \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + \text{disp} \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$
イミディエイト	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

2.4.2 DSP データアドレッシング

DSP 命令では 2 つの異なるメモリアクセスをします。1 つは X、Y データ転送命令 (MOVX.W、MOVY.W) で、もう 1 つはシングルデータ転送命令 (MOVS.W、MOVS.L) です。これらの 2 種類の命令のデータアドレッシングは異なります。データ転送命令の概要を表 2.13 に示します。

表 2.13 データ転送命令の概要

	X、Y データ転送処理 (MOVX.W、MOVY.W)	シングルデータ転送処理 (MOVS.W、MOVS.L)
アドレスレジスタ	Ax : R4、R5、Ay : R6、R7	As : R2、R3、R4、R5
インデックスレジスタ	Ix : R8、Iy : R9	Is : R8
アドレッシング	Nop/Inc(+2)/インデックス加算 : ポストインクリメント	Nop/Inc(+2,+4)/インデックス加算 : ポストインクリメント
		Dec(-2,-4) : プリデクリメント
モジュロアドレッシング	可能	不可
データバス	XDB、YDB	LDB
データ長	16 ビット (ワード)	16 ビット/32 ビット (ワード/ ロングワード)
バス競合	なし	あり
メモリ	X、Y データメモリ	すべてのメモリ空間
ソースレジスタ	Dx、Dy : A0、A1	Ds : A0/A1、M0/M1、X0/X1、Y0/Y1、 A0G、A1G
デスティネーションレジスタ	Dx : X0/X1、Dy : Y0/Y1	Ds : A0/A1、M0/M1、X0/X1、Y0/Y1、 A0G、A1G

(1) X、Y データアドレッシング

DSP 命令では MOVX.W、MOVY.W 命令を使って、X、Y データメモリを同時にアクセスすることができます。DSP 命令には同時に X、Y データメモリをアクセスするために 2 つのアドレスポイントがあります。DSP 命令にはポインタアドレッシングだけが可能で、イミディエイトアドレッシングはありません。アドレスレジスタは 2 つに分けられ、R4、R5 レジスタが X メモリのアドレスレジスタ (Ax) となり、R6、R7 レジスタが Y メモリのアドレスレジスタ (Ay) となります。X、Y データ転送命令には次の 3 つのアドレッシングがあります。

(1) 更新なしアドレスレジスタ :

Ax、Ay レジスタがアドレスポインタです。更新されません。

(2) 加算インデクスレジスタ :

Ax、Ay レジスタがアドレスポインタです。データ転送後それぞれ Ix、Iy レジスタの値が加算されます (ポストインクリメント)。

(3) インクリメントアドレスレジスタ :

Ax、Ay レジスタがアドレスポインタです。データ転送後それぞれ +2 が加算されます (ポストインクリメント)。それぞれのアドレスポインタにはインデクスレジスタがあります。R8 レジスタは X メモリアドレスレジスタ (Ax) のインデクスレジスタ (Ix) となり、R9 レジスタは Y メモリアドレスレジスタ (Ay) のインデクスレジスタ (Iy) となります。

X、Y データ転送命令はワードで処理します。X、Y データメモリを 16 ビットでアクセスします。そのためインクリメント処理は、アドレスレジスタに 2 を加えます。デクリメントさせるためには、-2 をインデクスレジスタに設定し加算インデクスレジスタアドレッシングを指定します。X、Y データアドレッシング時は、アドレスポインタのビット 1~15 のみ有効となります。X、Y データアドレッシング時は、アドレスポインタ、インデクスレジスタのビット 0 には必ず 0 を書き込んでください。

X、Y データ転送のアドレッシングを図 2.12 に示します。X、Y バスを使用して X メモリ、Y メモリへアクセスする場合、Ax (R4 または R5)、Ay (R6 または R7) の上位ワードは無視されます。また、@Ay+、@Ay+Iy の結果は、Ay の下位ワードに格納され、上位ワードは元の値が保持されます。

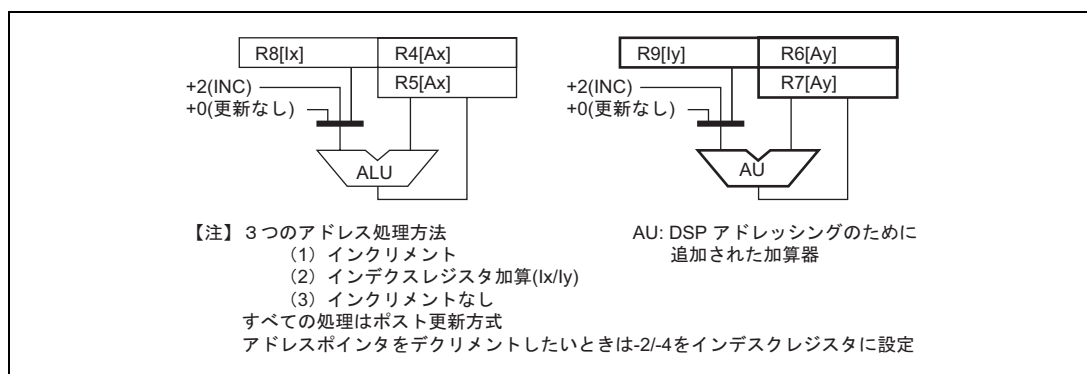


図 2.12 X、Y データ転送のアドレッシング

(2) シングルデータアドレッシング

DSP 命令にはシングルデータ転送命令 (MOV.S.W、MOV.S.L) があり、DSP レジスタにデータをロードし、DSP レジスタからデータをストアします。この命令で R2~R5 レジスタはシングルデータ転送のアドレスレジスタ (As) として使われます。

2. CPU

シングルデータ転送命令には次の4つのデータアドレッシング命令があります。

(1) 更新なしアドレスレジスタ :

As レジスタがアドレスポインタです。更新されません。

(2) 加算インデクスレジスタ :

As レジスタがアドレスポインタです。データ転送後 Is レジスタの値が加算されます(ポストインクリメント)。

(3) インクリメントアドレスレジスタ :

As レジスタがアドレスポインタです。データ転送後 +2 または +4 が加算されます(ポストインクリメント)。

(4) デクリメントアドレスレジスタ :

As レジスタがアドレスポインタです。データ転送前に -2、-4 が加算(+2 または +4 が減算)されます(プリデクリメント)。

アドレスポインタ (As) は R8 レジスタをインデクスレジスタ (Is) として使います。シングルデータ転送のアドレッシングを図 2.13 に示します。

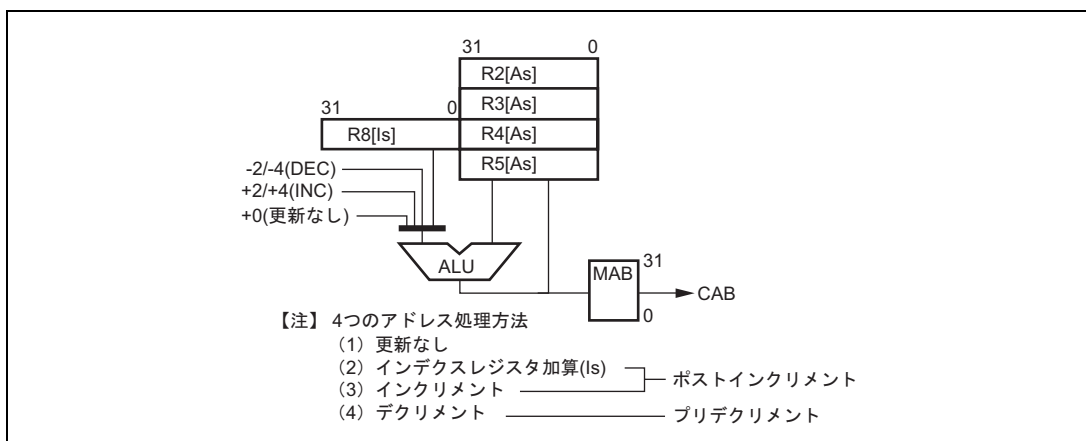


図 2.13 シングルデータ転送のアドレッシング

(3) モジュールアドレッシング

本 LSI には、ほかの DSP と同じに、モジュールアドレッシングモードがあります。このモードでもアドレスレジスタは同じように更新されます。アドレスポインタの値がすでに設定されたモジュール終了アドレスになると、アドレスポインタはモジュール開始アドレスになります。

モジュールアドレッシングは X、Y データ転送命令 (MOVX.W, MOVY.W) にだけ有効です。SR レジスタの DMX ビットをセットすると X アドレスレジスタが、DMY ビットをセットすると Y アドレスレジスタがそれぞれモジュールアドレッシングモードになります。モジュールアドレッシングは X、Y アドレスレジスタどちらかに対してだけ有効です。両方を同時にモジュールアドレッシングモードにすることはできません。したがって、DMX と DMY

を同時にセットしないでください。万一同時にセットされた場合には、DMY 側のみ有効となります。

モジュールアドレス領域の開始と終了アドレスを指定するための MOD レジスタがあり、MOD レジスタは MS (Modulo Start: モジュール開始) と、ME (Modulo End: モジュール終了) を格納します。MOD レジスタ (MS、ME) の使用例を次に示します。

```

MOV.L ModAddr,Rn;      Rn=ModEnd, ModStart
LDC Rn,MOD;            ME=ModEnd, MS=ModStart

ModAddr:               .DATA.W          mEnd;           ModEnd
                     .DATA.W          mStart;          ModStart

ModStart:              .DATA
                     :
ModEnd:                .DATA

```

MS、ME には開始、終了アドレスを指定して、その後で DMX または DMY ビットを 1 にセットします。アドレスレジスタの内容が ME と比較されます。もし ME と一致したら、開始アドレス MS をアドレスレジスタに格納します。アドレスレジスタの下部 16 ビットが ME と比較されます。

最大のモジュールサイズは 64k バイトです。これは X、Y データメモリをアクセスするには十分です。モジュールアドレッシングのブロック図を図 2.14 に示します。

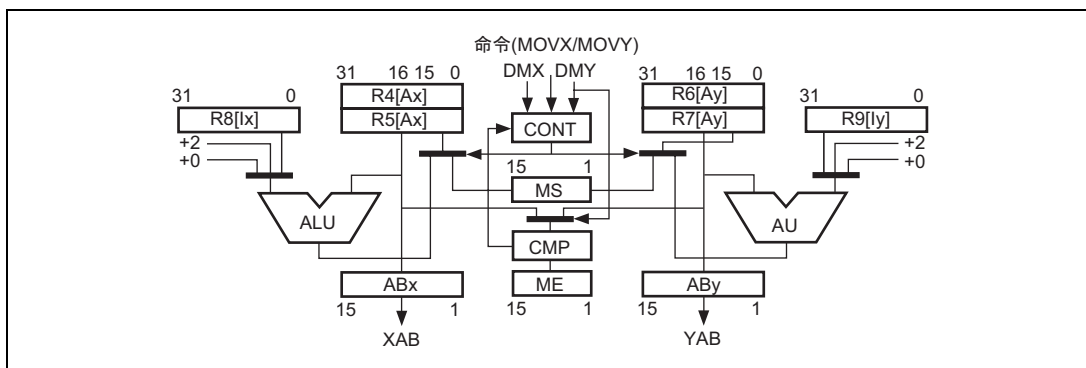


図 2.14 モジュールアドレッシング

2. CPU

モジュロアドレッシングの例を次に示します。

```
MS = H'7008; ME=H'700C; R4=H'A5007008;
```

```
DMX=1; DMY=0; (アドレスレジスタ Ax(R4,R5)に対するモジュロアドレッシングの設定です)
```

以上の設定により R4 レジスタは次のように変化します。

```
R4: H'A5007008
Inc.   R4: H'A500700A
Inc.   R4: H'A500700C
Inc.   R4: H'A5007008 (モジュロ終了アドレスになったので、モジュロ開始アドレスになります)
```

モジュロ開始、終了アドレスの上位 16 ビットは同じになるようデータを配置してください。これはモジュロ開始アドレスがアドレスレジスタの下位のビット 0 を除く 15 ビットだけを置き換えるからです。

【注】 DSP データアドレッシングに加算インデックスを使う場合は、アドレスポインタは ME と一致せずにその値を超えてしまうことがあります。この場合は、アドレスポインタはモジュロ開始アドレスには戻りません。モジュロアドレッシングに限らず、X、Y データアドレッシング時は、ビット 0 が無視されます。アドレスポインタ、インデックスレジスタ、MS、ME のビット 0 には必ず 0 を書き込んでください。

(4) DSP アドレッシング動作

モジュロアドレッシングを含めて、パイプラインの実行ステージ (EX) での DSP アドレッシングの動作を次に示します。

```
if ( Operation is MOVX.W MOVY.W ) {
    ABx=Ax; ABy=Ay;
    /* memory access cycle uses ABx and ABy. The addresses to be used have
    not been updated */

    /* Ax is one of R4,R5 */
    if ( DMX==0 || DMX==1 && DMY == 1 ) Ax=Ax+(+2 or R8[Ix] or +0);
    /* Inc,Index,Not-Update */
    else if (! not-update) Ax=modulo( Ax, (+2 or R8[Ix]) );

    /* Ay is one of R6,R7 */
    if ( DMY==0 ) Ay=Ay+(+2 or R9[Iy] or +0); /* Inc,Index,Not-Update */
    else if (! not-update) Ay=modulo( Ay, (+2 or R9[Iy]) );
}
else if ( Operation is MOVS.W or MOVS.L ) {
    if ( Addressing is Nop, Inc, Add-index-reg ) {
        MAB=As;
        /* memory access cycle uses MAB. The address to be used has not been updated
        */
    }
}
```

```

        /* As is one of R2~R5 */
        As=As+(+2 or +4 or R8[Is] or +0); /* Inc,Index,Not-Update */
    else { /* Decrement, Pre-update */
        /* As is one of R2~R5 */
        As=As+(-2 or -4);
        MAB=As;
        /* memory access cycle uses MAB. The address to be used has been updated
*/
    }

/* The value to be added to the address register depends on addressing operations.
For example, (+2 or R8[Ix] or +0) means that
        +2 : if operation is increment
        R8[Ix] : if operation is add-index-reg
        +0 : if operation is not-update
*/

function modulo ( AddrReg, Index ) {
    if ( AddrReg[15:0]==ME ) AddrReg[15:0]==MS;
    else AddrReg=AddrReg+Index;
    return AddrReg;
}

```

2.4.3 CPU 命令の命令形式

CPU コアで実行される命令の命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

2. CPU

表 2.14 CPU 命令の命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式				NOP
n 形式			nnnn : レジスタ直接	MOVT Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
m 形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメン トレジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接		JMP @Rm
		mmmm : Rm を用いた PC 相 対		BRAF Rm
nm 形式		mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメントレジ スタ間接 (積和演算) nnnn : * ポストインクリメントレジ スタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm : ポストインクリメン トレジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式		mmmmdddd : ディスプレイースメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式		R0 (レジスタ直接)	nnnndddd : ディスプレイースメント付 きレジスタ間接	MOV.B R0,@(disp,Rn)

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nmd 形式		mmmm : レジスタ直接	nnnndddd : ディスプレースメント付き レジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmddd : ディスプレースメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式		ddddddd : ディスプレースメント付き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	ddddddd : ディスプレースメント付き GBR 間接	MOV.L R0,@(disp,GBR)
		ddddddd : ディスプレースメント付き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		ddddddd : PC 相対		BF label
d12 形式		ddddddddddd : PC 相対		BRA label (label=disp+PC)
nd8 形式		ddddddd : ディスプレースメント付き PC 相対	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト		TRAPA #imm
ni 形式		iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn

【注】 * 積和命令では nnnn は、ソースレジスタです。

2.4.4 DSP 命令の命令形式

本 LSI にはデジタル信号処理のための新しい命令が追加されています。新しい命令は次の 2 つに分けられます。

(1) メモリと DSP レジスタのダブル、シングルデータ転送命令 (16 ビット長)

(2) DSP ユニットで処理される並行処理命令 (32 ビット長)

それぞれの命令形式を図 2.15 に示します。

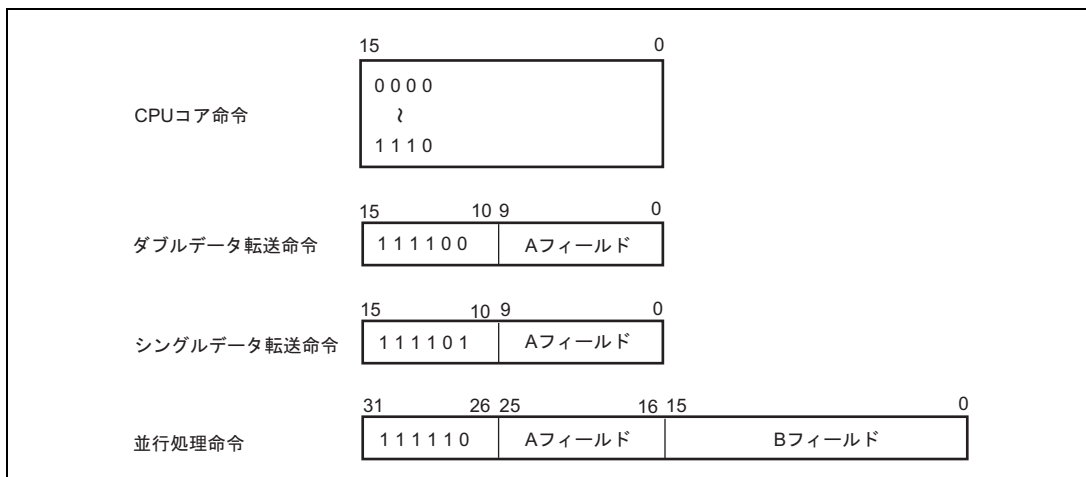


図 2.15 DSP 命令の命令形式

(1) ダブル、シングルデータ転送命令

ダブルデータ転送命令の命令形式を表 2.15 に、シングルデータ転送命令の命令形式を表 2.16 に示します。

表 2.15 ダブルデータ転送の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Xメモリ データ 転送	NOPX	1	1	1	1	0	0	0		0		0		0	0		
	MOVX.W @Ax,Dx							Ax		Dx		0		0	1		
	MOVX.W @Ax+,Dx													1	0		
	MOVX.W @Ax+IxDx													1	1		
	MOVX.W Da,@Ax									Da		1		0	1		
	MOVX.W Da,@Ax+													1	0		
MOVX.W Da,@Ax+IxDx													1	1			
Yメモリ データ 転送	NOPY	1	1	1	1	0	0		0		0		0			0	0
	MOVY.W @Ay,Dy								Ay		Dy		0			0	1
	MOVY.W @Ay+,Dy															1	0
	MOVY.W @Ay+IyDy															1	1
	MOVY.W Da,@Ay										Da		1			0	1
	MOVY.W Da,@Ay+															1	0
MOVY.W Da,@Ay+IyDy															1	1	

【注】 Ax : 0=R4、1=R5 Ay : 0=R6、1=R7 Dx : 0=X0、1=X1 Dy : 0=Y0、1=Y1 Da : 0=A0、1=A1

表 2.16 シングルデータ転送命令の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
シングル データ 転送	MOV.S.W @-As,Ds	1	1	1	1	0	1	As	Ds			0:(*)		0	0	0	0
	MOV.S.W @As,Ds											1:(*)		0	1		
	MOV.S.W @As+,Ds											2:(*)		1	0		
	MOV.S.W @As+Is,Ds											3:(*)		1	1		
	MOV.S.W Ds,@-As								3:R3			4:(*)		0	0	0	1
	MOV.S.W Ds,@As											5:A1		0	1		
	MOV.S.W Ds,@As+											6:(*)		1	0		
	MOV.S.W Ds,@As+Is											7:A0		1	1		
	MOV.S.L @-As,Ds											8:X0		0	0	1	0
	MOV.S.L @As,Ds											9:X1		0	1		
	MOV.S.L @As+,Ds											A:Y0		1	0		
	MOV.S.L @As+Is,Ds											B:Y1		1	1		
	MOV.S.L Ds,@-As											C:M0		0	0	1	1
	MOV.S.L Ds,@As											D:A1G		0	1		
	MOV.S.L Ds,@As+											E:M1		1	0		
	MOV.S.L Ds,@As+Is											F:A0G		1	1		

【注】 * システム予約コード

2. CPU

(2) 並列処理命令

並列処理命令は DSP ユニットを使ったデジタル信号処理を効率よく実行するための命令です。32 ビット長で、同時に 4 つの処理、ALU 演算、乗算、2 つのデータ転送ができます。

並列処理命令は A フィールドと B フィールドに分かれています。A フィールドはデータ転送命令を定義し、B フィールドは ALU 演算命令、乗算命令を定義します。これらの命令は独立に定義することができ、処理は独立に、しかも同時に並行して実行されます。A フィールドの並列データ転送命令を表 2.17 に、B フィールドの ALU 演算命令、乗算命令を表 2.18 に示します。

表 2.17 A フィールドの並列データ転送命令

分類	ニーモニック	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X メモリ データ 転送	NOPX	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	MOVX.W @Ax, Dx							Ax		Dx		0																					
	MOVX.W @Ax+, Dx											0																					
	MOVX.W @Ax+lx, Dx																																
	MOVX.W Da, @Ax												Da	1																			
	MOVX.W Da, @Ax+																																
	MOVX.W Da, @Ax+lx																																
Y メモリ データ 転送	NOPY	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	MOVY.W @Ay, Dy							Ay		Dy		0																					
	MOVY.W @Ay+, Dy											0																					
	MOVY.W @Ay+ly, Dy																																
	MOVY.W Da, @Ay												Da	1																			
	MOVY.W Da, @Ay+																																
	MOVY.W Da, @Ay+ly																																

【注】 Ax: 0=R4, 1=R5 Ay: 0=R6, 1=R7 Dx: 0=X0, 1=X1 Dy: 0=Y0, 1=Y1 Da: 0=A0, 1=A1

表 2.18 B フィールドの ALU 演算命令、乗算命令

分類	ニーモニック	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
imm. シフト	PSHL #imm, Dz	1	1	1	1	1	0	Aフィールド										0	0	0	0	-16<=imm<=+16				Dz							
	PSHA #imm, Dz											0	0	0	1	-32<=imm<=+32																	
	予約											0	0	0	1																		
	予約											0	0	0	1																		
6オペランド パラレル 命令	PMULS Se, Sf, Dg											0	1	0	0	Se	Sf	Sx	Sy	Dg	Du												
	予約											0	1	0	1	0:X0	0:Y0	0:X0	0:Y0	0:M0	0:X0												
	PSUB Sx, Sy, Du											0	1	1	0	1:X1	1:Y1	1:X1	1:Y1	1:M1	1:Y0												
	PMULS Se, Sf, Dg											0	1	1	0	2:Y0	2:X0	2:A0	2:M0	2:A0	2:A0												
	PADD Sx, Sy, Du											0	1	1	1	3:A1	3:A1	3:A1	3:M1	3:A1	3:A1												
	PMULS Se, Sf, Dg											0	1	1	1	3:A1	3:A1	3:A1	3:M1	3:A1	3:A1												
3オペランド 命令	予約											1	0	0	0	0	0	0	0	Dz													
	PSUBC Sx, Sy, Dz											0	1																				
	PADDC Sx, Sy, Dz											1	0																				
	PCMP Sx, Sy											0	0	0	1																		
	予約											0	1																				
	予約											1	0																				
	予約											1	1																				
	PABS Sx, Dz											0	0	1	0																		
	PRND Sx, Dz											0	1																				
	PABS Sy, Dz											1	0																				
	PRND Sy, Dz											1	1																				
	予約											0	0	1	1																		
	予約											0	1																				
	予約											1	0																				
	予約											1	1																				
条件付き 3オペランド 命令	[if cc] PSHL Sx, Sy, Dz											0	0	0	0	if cc																	
	[if cc] PSHA Sx, Sy, Dz											0	1																				
	[if cc] PSUB Sx, Sy, Dz											1	0																				
	[if cc] PADD Sx, Sy, Dz											1	1																				
	予約											0	0	0	1	01: 無条件																	
	[if cc] PAND Sx, Sy, Dz											0	1																				
	[if cc] PXOR Sx, Sy, Dz											1	0																				
	[if cc] POR Sx, Sy, Dz											1	1																				
	[if cc] PDEC Sx, Dz											0	0	1	0	10: DCT																	
	[if cc] PINC Sx, Dz											0	1																				
	[if cc] PDEC Sy, Dz											1	0																				
	[if cc] PINC Sy, Dz											1	1																				
	[if cc] PCLR Dz											0	0	1	1	11: DCF																	
	[if cc] PDMSB Sx, Dz											0	1																				
	予約											1	0																				
	[if cc] PDMSB Sy, Dz											1	1																				
	[if cc] PNEG Sx, Dz											1	1	0	0	1																	
	[if cc] PCOPY Sx, Dz											0	1																				
	[if cc] PNEG Sy, Dz											1	0																				
	[if cc] PCOPY Sy, Dz											1	1																				
	予約											0	0																				
	[if cc] PSTS MACH, Dz											0	0	1	1	if cc																	
	[if cc] PSTS MACL, Dz											0	1																				
	[if cc] PLDS Dz, MACH											1	0																				
	[if cc] PLDS Dz, MACL											1	1																				
	(*2) 予約											0	0																				
	予約											0	*																				
	予約	1	1	1	1	1	1											0	*														

【注】 *1 システム予約コード
 *2 [if cc] : DCT (DCビット真)、DCF (DCビット偽) またはなし (無条件命令)。

2.5 命令セット

2.5.1 CPU 命令の命令セット

SH-1、SH-2、SH-3 互換命令セットには、表 2.19 に示すような 6 種類の機能グループに分けられる 68 の基本命令タイプが含まれます。表 2.20～表 2.25 には命令表記、マシンコード、実行時間、機能を示します。

表 2.19 CPU 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体のデータの転送	39
		MOVA	実効アドレスの転送	
		MOV T	T ビットの転送	
		SWAP	上位と下位との交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 進加算	
		ADDV	オーバフローチェック付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算 (32 × 32 ビット)	
		MULS	符号付き乗算 (16 × 16 ビット)	
		MULU	符号なし乗算 (16 × 16 ビット)	
		NEG	符号反転	
		NEGC	ポロ一付き符号反転	
		SUB	2 進減算	
		SUBC	キャリ付き 2 進減算	
SUBV	アンドフロー付き 2 進減算			

分類	命令の種類	オペコード	機能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストおよびビットセット	
		TST	論理積およびTビットセット	
		XOR	排他的論理和	
シフト命令	12	ROTL	1ビット左回転	16
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
		SHAD	算術的ダイナミックシフト	
		SHLD	論理的ダイナミックシフト	
分岐命令	9	BF	条件付き分岐、遅延付き条件付き分岐 (T=0)	11
		BT	条件付き分岐、遅延付き条件付き分岐 (T=1)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御命令	15	CLRT	Tビットのクリア	75
		CLRMAC	MACレジスタのクリア	
		CLRS	Sビットクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		LDTLB	TLBへのPTEH/PTELへのロード	
		NOP	ノーオペレーション(無操作)	
		PREF	キャッシュへのデータのプリフェッチ	
		RTE	例外処理からの復帰	

2. CPU

分類	命令の種類	オペコード	機能	命令数
システム制御命令	15	SETS	Sビットのセット	75
		SETT	Tビットのセット	
		SLEEP	低消費電力モードへの遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
合計	68			189

CPU 命令の命令コード、動作、実行ステートを、以下の形式で分類別に説明します。

命令	命令コード	動作	特権	実行ステート	Tビット
<p>ニーモニックで表示しています。</p> <p>記号の説明</p> <p>OP.Sz SRC、DEST</p> <p>OP: オペコード</p> <p>Sz: サイズ</p> <p>SRC: ソース</p> <p>DEST: デスティネーション</p> <p>Rm: ソースレジスタ</p> <p>Rn: デスティネーションレジスタ</p> <p>imm: イミディエイトデータ</p> <p>disp: ディスプレースメント</p>	<p>MSB LSBの順で表示しています。</p> <p>記号の説明</p> <p>mmmm: ソースレジスタ</p> <p>nnnn: デスティネーションレジスタ</p> <p>0000: R0</p> <p>0001: R1</p> <p>.....</p> <p>1111: R15</p> <p>iiii: イミディエイトデータ</p> <p>dddd: ディスプレースメント*2</p>	<p>動作の概略を表示しています。</p> <p>記号の説明</p> <p>、: 転送方向</p> <p>(xx): メモリオペランド</p> <p>M/Q/T: SR内のフラグ</p> <p>ビット</p> <p>&: ビットごとの論理積</p> <p> : ビットごとの論理和</p> <p>^: ビットごとの排他的論理和</p> <p>~: ビットごとの論理否定</p> <p><<n: 左nビットシフト</p> <p>>>n: 右nビットシフト</p>	<p>特権命令を示します。</p>	<p>ノーウェイトのときの値です。*1</p>	<p>命令実行後の、Tビットの値を表示しています。</p> <p>記号の説明</p> <p>: 変化する</p> <p>しない</p>

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング(×1、×2、×4)されます。

(1) データ転送命令

表 2.20 データ転送命令

命令	命令コード	動作	特権	実行 ステート	Tビット
MOV #imm,Rn	1110nnnniiiiiiii	imm 符号拡張 Rn		1	
MOV.W @(disp,PC),Rn	1001nnnnddddddd	(disp×2+PC) 符号拡張 Rn		1	
MOV.L @(disp,PC),Rn	1101nnnnddddddd	(disp×4+PC) Rn		1	
MOV Rm,Rn	0110nnnnmmmm0011	Rm Rn		1	
MOV.B Rm,@Rn	0010nnnnmmmm0000	Rm (Rn)		1	
MOV.W Rm,@Rn	0010nnnnmmmm0001	Rm (Rn)		1	
MOV.L Rm,@Rn	0010nnnnmmmm0010	Rm (Rn)		1	
MOV.B @Rm,Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn		1	
MOV.W @Rm,Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn		1	
MOV.L @Rm,Rn	0110nnnnmmmm0010	(Rm) Rn		1	
MOV.B Rm,@-Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)		1	
MOV.W Rm,@-Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)		1	
MOV.L Rm,@-Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)		1	
MOV.B @Rm+,Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm		1	
MOV.W @Rm+,Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm		1	
MOV.L @Rm+,Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm		1	
MOV.B R0,@(disp,Rn)	1000000nnnnddd	R0 (disp+Rn)		1	
MOV.W R0,@(disp,Rn)	10000001nnnnddd	R0 (disp×2+Rn)		1	
MOV.L Rm,@(disp,Rn)	0001nnnnmmmmddd	Rm (disp×4+Rn)		1	
MOV.B @(disp,Rm),R0	10000100mmmmddd	(disp+Rm) 符号拡張 R0		1	
MOV.W @(disp,Rm),R0	10000101mmmmddd	(disp×2+Rm) 符号拡張 R0		1	
MOV.L @(disp,Rm),Rn	0101nnnnmmmmddd	(disp×4+Rm) Rn		1	
MOV.B Rm,@(R0,Rn)	0000nnnnmmmm0100	Rm (R0+Rn)		1	
MOV.W Rm,@(R0,Rn)	0000nnnnmmmm0101	Rm (R0+Rn)		1	
MOV.L Rm,@(R0,Rn)	0000nnnnmmmm0110	Rm (R0+Rn)		1	
MOV.B @(R0,Rm),Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn		1	
MOV.W @(R0,Rm),Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn		1	
MOV.L @(R0,Rm),Rn	0000nnnnmmmm1110	(R0+Rm) Rn		1	
MOV.B R0,@(disp,GBR)	11000000ddddddd	R0 (disp+GBR)		1	
MOV.W R0,@(disp,GBR)	11000001ddddddd	R0 (disp×2+GBR)		1	
MOV.L R0,@(disp,GBR)	11000010ddddddd	R0 (disp×4+GBR)		1	
MOV.B @(disp,GBR),R0	11000100ddddddd	(disp+GBR) 符号拡張 R0		1	
MOV.W @(disp,GBR),R0	11000101ddddddd	(disp×2+GBR) 符号拡張 R0		1	

2. CPU

命令	命令コード	動作	特権	実行 ステート	Tビット
MOV.L	@(disp,GBR),R0	(disp × 4+GBR) R0		1	
MOVA	@(disp,PC),R0	disp × 4+PC R0		1	
MOVT	Rn	T Rn		1	
SWAP.B	Rm,Rn	Rm 下位 2 バイトの上下バイト交換 Rn		1	
SWAP.W	Rm,Rn	Rm 上下ワード交換 Rn		1	
XTRCT	Rm,Rn	Rm と Rn の中央 32 ビット Rn		1	

(2) 算術演算命令

表 2.21 算術命令

命令	命令コード	動作	特権	実行 ステート	Tビット
ADD	Rm,Rn	Rn+Rm Rn		1	
ADD	#imm,Rn	Rn+imm Rn		1	
ADDC	Rm,Rn	Rn+Rm+T Rn, キャリ T		1	キャリ
ADDV	Rm,Rn	Rn+Rm Rn, オーバフロー T		1	オーバフロー
CMP/EQ	#imm,R0	R0=imm のとき 1 T		1	比較結果
CMP/EQ	Rm,Rn	Rn=Rm のとき 1 T		1	比較結果
CMP/HS	Rm,Rn	無符号で Rn Rm のとき 1 T		1	比較結果
CMP/GE	Rm,Rn	有符号で Rn Rm のとき 1 T		1	比較結果
CMP/HI	Rm,Rn	無符号で Rn>Rm のとき 1 T		1	比較結果
CMP/GT	Rm,Rn	有符号で Rn>Rm のとき 1 T		1	比較結果
CMP/PL	Rn	Rn>0 のとき 1 T		1	比較結果
CMP/PZ	Rn	Rn 0 のとき 1 T		1	比較結果
CMP/STR	Rm,Rn	いずれかのバイトが等しいとき 1 T		1	比較結果
DIV1	Rm,Rn	1 ステップ除算 (Rn ÷ Rm)		1	計算結果
DIV0S	Rm,Rn	Rn の MSB Q, Rm の MSB M, M^Q T		1	計算結果
DIV0U		0 M/Q/T		1	0
DMULS.L	Rm,Rn	符号付きで Rn × Rm MACH, MACL 32 × 32 64 ビット		2(-5)* ¹	
DMULU.L	Rm,Rn	符号なしで Rn × Rm MACH, MACL 32 × 32 64 ビット		2(-5)* ¹	
DT	Rn	Rn-1 Rn, Rn が 0 のとき 1 T Rn が 0 以外の とき 0 T		1	比較結果
EXTS.B	Rm,Rn	Rm をバイトから符号拡張 Rn		1	
EXTS.W	Rm,Rn	Rm をワードから符号拡張 Rn		1	

命令	命令コード	動作	特権	実行 ステート	Tビット
EXTU.B	Rm,Rn	Rm をバイトからゼロ拡張 Rn		1	
EXTU.W	Rm,Rn	Rm をワードからゼロ拡張 Rn		1	
MAC.L	@Rm+, @Rn+	符号付きで (Rn) × (Rm)+MAC MAC, Rn+4 Rn, Rm+4 Rm, 32 × 32+64 64 ビット		2(−5) ^{*1}	
MAC.W	@Rm+, @Rn+	符号付きで (Rn) × (Rm)+MAC MAC, Rn+2 Rn, Rm+2 Rm, 16 × 16+64 64 ビット		2(−5) ^{*1}	
MUL.L	Rm,Rn	Rn × Rm MACL, 32 × 32 32 ビット		2(−5) ^{*1}	
MULS.W	Rm,Rn	符号付きで Rn × Rm MACL, 16 × 16 32 ビット		1(−3) ^{*2}	
MULU.W	Rm,Rn	符号なしで Rn × Rm MACL, 16 × 16 32 ビット		1(−3) ^{*2}	
NEG	Rm,Rn	0-Rm Rn		1	
NEGC	Rm,Rn	0-Rm-T Rn, ボロー T		1	ボロー
SUB	Rm,Rn	Rn-Rm Rn		1	
SUBC	Rm,Rn	Rn-Rm-T Rn, ボロー T		1	ボロー
SUBV	Rm,Rn	Rn-Rm Rn, アンダフロー T		1	アンダフロー

【注】 *1 通常の最低実行サイクル数は2ですが、命令の直後に MAC レジスタから演算結果を読み出すときは5サイクル必要です。

*2 通常の最低実行サイクル数は1ですが、MUL 命令の直後に MAC レジスタから演算結果を読み出すときは3サイクル必要です。

(3) 論理演算命令

表 2.22 論理演算命令

命令	命令コード	動作	特権	実行 ステート	Tビット
AND	Rm,Rn	Rn & Rm Rn		1	
AND	#imm,R0	R0 & imm R0		1	
AND.B	#imm,@(R0,GBR)	(R0+GBR) & imm (R0+GBR)		3	
NOT	Rm,Rn	~Rm Rn		1	
OR	Rm,Rn	Rn Rm Rn		1	
OR	#imm,R0	R0 imm R0		1	
OR.B	#imm,@(R0,GBR)	(R0+GBR) imm (R0+GBR)		3	
TAS.B	@Rn*	(Rn)が0のとき1 T, 1 MSB of (Rn)		4	テスト結果
TST	Rm,Rn	Rn & Rm, 結果が0のとき1 T		1	テスト結果
TST	#imm,R0	R0 & imm, 結果が0のとき1 T		1	テスト結果
TST.B	#imm,@(R0,GBR)	(R0+GBR)&imm, 結果が0のとき1 T		3	テスト結果
XOR	Rm,Rn	Rn ^ Rm Rn		1	
XOR	#imm,R0	R0 ^ imm R0		1	
XOR.B	#imm,@(R0,GBR)	(R0+GBR) ^ imm (R0+GBR)		3	

【注】 * TAS 命令のオペランド読み出しサイクルと書き込みサイクルの間には、内蔵 DMAC のバスサイクルは入りません。また、BREQ によるバス権開放も行われません。

2. CPU

(4) シフト命令

表 2.23 シフト命令

命令	命令コード	動作	特権	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	T Rn MSB		1	MSB
ROTR Rn	0100nnnn00000101	LSB Rn T		1	LSB
ROTCL Rn	0100nnnn00100100	T Rn T		1	MSB
ROTCR Rn	0100nnnn00100101	T Rn T		1	LSB
SHAD Rm, Rn	0100nnnnmmmm1100	Rm 0 のとき、Rn<<Rm Rn Rm<0 のとき、Rn>>Rm [MSB Rn]		1	
SHAL Rn	0100nnnn00100000	T Rn 0		1	MSB
SHAR Rn	0100nnnn00100001	MSB Rn T		1	LSB
SHLD Rm, Rn	0100nnnnmmmm1101	Rm 0 のとき、Rn<<Rm Rn Rm<0 のとき、Rn>>Rm [0 Rn]		1	
SHLL Rn	0100nnnn00000000	T Rn 0		1	MSB
SHLR Rn	0100nnnn00000001	0 Rn T		1	LSB
SHLL2 Rn	0100nnnn00001000	Rn<<2 Rn		1	
SHLR2 Rn	0100nnnn00001001	Rn>>2 Rn		1	
SHLL8 Rn	0100nnnn00011000	Rn<<8 Rn		1	
SHLR8 Rn	0100nnnn00011001	Rn>>8 Rn		1	
SHLL16 Rn	0100nnnn00101000	Rn<<16 Rn		1	
SHLR16 Rn	0100nnnn00101001	Rn>>16 Rn		1	

(5) 分岐命令

表 2.24 分岐命令

命令	命令コード	動作	特権	実行 ステート	Tビット
BF label	10001011dddddddd	T=0 のとき disp×2+PC PC, T=1 のとき nop		3/1*	
BF/S label	10001111dddddddd	遅延分岐、T=0 のとき disp×2+PC PC, T=1 のとき nop		2/1*	
BT label	10001001dddddddd	T=1 のとき disp×2+PC PC, T=0 のとき nop		3/1*	
BT/S label	10001101dddddddd	遅延分岐、T=1 のとき disp×2+PC PC, T=0 のとき nop		2/1*	
BRA label	1010dddddddddddd	遅延分岐、disp×2+PC PC		2	
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC PC		2	
BSR label	1011dddddddddddd	遅延分岐、PC PR, disp×2+PC PC		2	
BSRF Rm	0000mmmm00000011	遅延分岐、PC PR, Rm+PC PC		2	
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC		2	
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC		2	
RTS	0000000000001011	遅延分岐、PR PC		2	

【注】 * 分岐しない場合は 1 ステート

(6) システム制御命令

表 2.25 システム制御命令

命令	命令コード	動作	特権	実行 ステート	Tビット
CLRMAC	000000000101000	0 MACH,MACL		1	
CLRS	000000001001000	0 S		1	
CLRT	000000000001000	0 T		1	0
LDC Rm,SR	0100mmmm00001110	Rm SR	特権	5	LSB
LDC Rm,GBR	0100mmmm00011110	Rm GBR		3	
LDC Rm,VBR	0100mmmm00101110	Rm VBR	特権	3	
LDC Rm,SSR	0100mmmm00111110	Rm SSR	特権	3	
LDC Rm,SPC	0100mmmm01001110	Rm SPC	特権	3	
LDC Rm,R0_BANK	0100mmmm10001110	Rm R0_BANK	特権	3	
LDC Rm,R1_BANK	0100mmmm10011110	Rm R1_BANK	特権	3	
LDC Rm,R2_BANK	0100mmmm10101110	Rm R2_BANK	特権	3	
LDC Rm,R3_BANK	0100mmmm10111110	Rm R3_BANK	特権	3	
LDC Rm,R4_BANK	0100mmmm11001110	Rm R4_BANK	特権	3	
LDC Rm,R5_BANK	0100mmmm11011110	Rm R5_BANK	特権	3	
LDC Rm,R6_BANK	0100mmmm11101110	Rm R6_BANK	特権	3	
LDC Rm,R7_BANK	0100mmmm11111110	Rm R7_BANK	特権	3	
LDC.L @Rm+,SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	特権	7	LSB
LDC.L @Rm+,GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm		5	
LDC.L @Rm+,VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	特権	5	
LDC.L @Rm+,SSR	0100mmmm00110111	(Rm) SSR, Rm+4 Rm	特権	5	
LDC.L @Rm+,SPC	0100mmmm01000111	(Rm) SPC, Rm+4 Rm	特権	5	
LDC.L @Rm+,R0_BANK	0100mmmm10000111	(Rm) R0_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R1_BANK	0100mmmm10010111	(Rm) R1_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R2_BANK	0100mmmm10100111	(Rm) R2_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R3_BANK	0100mmmm10110111	(Rm) R3_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R4_BANK	0100mmmm11000111	(Rm) R4_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R5_BANK	0100mmmm11010111	(Rm) R5_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R6_BANK	0100mmmm11100111	(Rm) R6_BANK, Rm+4 Rm	特権	5	
LDC.L @Rm+,R7_BANK	0100mmmm11110111	(Rm) R7_BANK, Rm+4 Rm	特権	5	
LDS Rm,MACH	0100mmmm00001010	Rm MACH		1	
LDS Rm,MACL	0100mmmm00011010	Rm MACL		1	
LDS Rm,PR	0100mmmm00101010	Rm PR		1	
LDS.L @Rm+,MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm		1	
LDS.L @Rm+,MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm		1	

2. CPU

命令	命令コード	動作	特権	実行 ステート	Tビット
LDS.L @Rm+,PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm		1	
LDTLB	000000000111000	PTEH/PTEL TLB	特権	1	
NOP	0000000000001001	無操作		1	
PREF @Rm	0000mmmm10000011	(Rm) キャッシュ		2	
RTE	000000000101011	遅延分岐、SSR SR、SPC PC	特権	4	
SETS	000000001011000	1 S		1	
SETT	000000000011000	1 T		1	1
SLEEP	000000000011011	スリープ	特権	4*	
STC SR,Rn	0000nnnn00000010	SR Rn	特権	1	
STC GBR,Rn	0000nnnn00010010	GBR Rn		1	
STC VBR,Rn	0000nnnn00100010	VBR Rn	特権	1	
STC SSR, Rn	0000nnnn00110010	SSR Rn	特権	1	
STC SPC,Rn	0000nnnn01000010	SPC Rn	特権	1	
STC R0_BANK,Rn	0000nnnn10000010	R0_BANK Rn	特権	1	
STC R1_BANK,Rn	0000nnnn10010010	R1_BANK Rn	特権	1	
STC R2_BANK,Rn	0000nnnn10100010	R2_BANK Rn	特権	1	
STC R3_BANK,Rn	0000nnnn10110010	R3_BANK Rn	特権	1	
STC R4_BANK,Rn	0000nnnn11000010	R4_BANK Rn	特権	1	
STC R5_BANK,Rn	0000nnnn11010010	R5_BANK Rn	特権	1	
STC R6_BANK,Rn	0000nnnn11100010	R6_BANK Rn	特権	1	
STC R7_BANK,Rn	0000nnnn11110010	R7_BANK Rn	特権	1	
STC.L SR,@-Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	特権	2	
STC.L GBR,@-Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)		2	
STC.L VBR,@-Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	特権	2	
STC.L SSR,@-Rn	0100nnnn00110011	Rn-4 Rn, SSR (Rn)	特権	2	
STC.L SPC,@-Rn	0100nnnn01000011	Rn-4 Rn, SPC (Rn)	特権	2	
STC.L R0_BANK,@-Rn	0100nnnn10000011	Rn-4 Rn, R0_BANK (Rn)	特権	2	
STC.L R1_BANK,@-Rn	0100nnnn10010011	Rn-4 Rn, R1_BANK (Rn)	特権	2	
STC.L R2_BANK,@-Rn	0100nnnn10100011	Rn-4 Rn, R2_BANK (Rn)	特権	2	
STC.L R3_BANK,@-Rn	0100nnnn10110011	Rn-4 Rn, R3_BANK (Rn)	特権	2	
STC.L R4_BANK,@-Rn	0100nnnn11000011	Rn-4 Rn, R4_BANK (Rn)	特権	2	
STC.L R5_BANK,@-Rn	0100nnnn11010011	Rn-4 Rn, R5_BANK (Rn)	特権	2	
STC.L R6_BANK,@-Rn	0100nnnn11100011	Rn-4 Rn, R6_BANK (Rn)	特権	2	
STC.L R7_BANK,@-Rn	0100nnnn11110011	Rn-4 Rn, R7_BANK (Rn)	特権	2	
STS MACH,Rn	0000nnnn00001010	MACH Rn		1	

命令	命令コード	動作	特権	実行 ステート	Tビット
STS	MACL,Rn	MACL Rn		1	
STS	PR,Rn	PR Rn		1	
STS.L	MACH,@-Rn	Rn-4 Rn, MACH (Rn)		1	
STS.L	MACL,@-Rn	Rn-4 Rn, MACL (Rn)		1	
STS.L	PR,@-Rn	Rn-4 Rn, PR (Rn)		1	
TRAPA	#imm	PC SPC, SR SSR, imm<<2 TRA, VBR+H'0100 PC		8	

【注】 * チップがスリープ状態になる前の実行ステート数です。

この表には実行に必要な最低クロック数を示します。實際上、命令フェッチがデータアクセスと競合している場合、またはロード命令のデスティネーションレジスタ(メモリ レジスタ)が次の命令で使用されるレジスタと同じ場合、実行サイクル数は増加します。

2.6 DSP 拡張機能用の命令

2.6.1 はじめに

新しく導入された命令は次の 3 つのグループに分類されます。

- (1) CPU ユニット用の追加システム制御命令
- (2) DSP ユニットのメモリとレジスタ間のシングル、ダブルデータ転送
- (3) DSP ユニット用の並列演算

(1) は、ループ制御および CPU コアレジスタ、またはメモリと CPU コアに追加された新しいコントロールレジスタの間とデータ転送をサポートするために用意されています。DSP 演算はいくつかのレベルのネストループ構造を持っています。1 レベルループの場合、SH-3 でサポートされている「デクリメントおよびテスト」、「DT Rn」、条件付き遅延分岐「BF/S」命令を使用するだけで十分です。しかし、ネストループの場合、ゼロオーバーヘッドループ制御機能により DSP 性能を向上させることができます。

ループ制御、モジュロアドレスリング機能をサポートするために RS、RE、MOD が追加されました。これらの新しいコントロールレジスタと汎用レジスタまたはメモリの間とデータ転送命令をサポートします。また、ゼロオーバーヘッドループ制御の初期設定のためのコードサイズを節約するためにアドレス計算命令 LDRS と LDRE を追加しました。

DSP エンジンには独立したコントロールレジスタ DSR を提供しますが、このレジスタは MACL および MACH のようなシステムレジスタとして扱われます。A0、X0、X1、Y0、Y1 レジスタは CPU 側からのシステムレジスタとしても扱われ、LDS/STS 命令が同じ目的のためにサポートされています。表 2.26 に、CPU コア用の新しいシステム制御命令の命令コードマップを示しています。

(2) は DSP 演算のプログラムコードサイズを節約するために用意されています。データ処理なしのデータ転送命令は DSP エンジンで頻繁に実行されます。この場合、32 ビット命令コードは冗長で、プログラムメモリ領域を消費します。このクラスのすべての命令は従来の SH コア命令同様、コード長は 16 ビットです。シングルデータ転送命令はダブルデータ転送命令または並列命令クラスより柔軟性に富んだオペランドを持っています。

(3) は、DSP ユニットを用いたデジタル信号処理演算を高速に実行するために用意されています。この命令は、32 ビットの命令コードから構成されているので、ALU 演算、乗算、2 つのデータ転送命令の最高 4 つの命令を並列に実行することができます。

2.6.2 CPU 用追加システム制御命令

このクラスの新しい命令は CPU コア機能の一部として扱われますので、ここに追加したすべての命令コード長は 16 ビットです。すべての追加命令はシステム制御命令のグループに属します。表 2.26 に追加システム命令の要約を示します。CPU コアにはループ制御、モジュロアドレッシング機能をサポートするために RS、RE、MOD の新しいコントロールレジスタが追加され、これらのレジスタに対する LDC と STC タイプの命令が用意されています。

DSP エンジンの DSR、A0、X0、X1、Y0、Y1 レジスタは MACH や MACL のようなシステムレジスタとして扱われます。したがって、そのために STS と LDS 命令がサポートされています。デジタル信号処理演算はいくつかのレベルのネストループ構造を持っているのが普通です。したがって、ゼロオーバーヘッドループ制御機能により DSP 性能を向上させることができます。SETRC タイプの命令は SR [27:16] にある RC にリピータカウントを設定するために用意されています。イミディエイトオペランドタイプの SETRC を実行すると、イミディエイトオペランドデータの 8 ビットが SR [23:16] にセットされ、残りのビット SR [27:24] には 0 がセットされます。レジスタオペランドタイプの SETRC 命令を実行すると、Rn [11:0] が SR [27:16] にセットされます。リピータループのスタートアドレスとエンドアドレスは RS レジスタと RE レジスタにセットされます。アドレス設定には 2 つの方法があります。1 つは LDC タイプの命令を使用することであり、もう 1 つは LDRS、LDRE 命令を使用することです。

表 2.26 CPU 用追加システム制御命令

命令	命令コード	動作	実行 ステート	Tビット
SETRC #imm	10000010iiiiiii	Imm RC (of SR)	3	-
SETRC Rn	0100nnnn00010100	Rn[11:0] RC(ofSR)	3	-
LDRS @(disp,PC)	10001100ddddddd	(disp × 2+PC) RS	3	-
LDRE @(disp,PC)	10001110ddddddd	(disp × 2+PC) RE	3	-
STC MOD, Rn	0000nnnn01010010	MOD Rn	1	-
STC RS, Rn	0000nnnn01100010	RS Rn	1	-
STC RE, Rn	0000nnnn01110010	RE Rn	1	-
STS DSR, Rn	0000nnnn01101010	DSR Rn	1	-
STS A0, Rn	0000nnnn01111010	A0 Rn	1	-
STS X0, Rn	0000nnnn10001010	X0 Rn	1	-
STS X1, Rn	0000nnnn10011010	X1 Rn	1	-
STS Y0, Rn	0000nnnn10101010	Y0 Rn	1	-
STS Y1, Rn	0000nnnn10111010	Y1 Rn	1	-
STS.L DSR, @-Rn	0100nnnn01100010	Rn-4 Rn, DSR (Rn)	1	-
STS.L A0, @-Rn	0100nnnn01110010	Rn-4 Rn, A0 (Rn)	1	-
STS.L X0, @-Rn	0100nnnn10000010	Rn-4 Rn, X0 (Rn)	1	-
STS.L X1, @-Rn	0100nnnn10010010	Rn-4 Rn, X1 (Rn)	1	-
STS.L Y0, @-Rn	0100nnnn10100010	Rn-4 Rn, Y0 (Rn)	1	-
STS.L Y1, @-Rn	0100nnnn10110010	Rn-4 Rn, Y1 (Rn)	1	-
STC.L MOD, @-Rn	0100nnnn01010011	Rn-4 Rn, MOD (Rn)	2	-
STC.L RS, @-Rn	0100nnnn01100011	Rn-4 Rn, RS (Rn)	2	-
STC.L RE, @-Rn	0100nnnn01110011	Rn-4 Rn, RE (Rn)	2	-
LDS.L @Rn+, DSR	0100nnnn01100110	(Rn) DSR, Rn+4 Rn	1	-
LDS.L @Rn+, A0	0100nnnn01110110	(Rn) A0, Rn+4 Rn	1	-
LDS.L @Rn+, X0	0100nnnn10000110	(Rn) X0, Rn+4 Rn	1	-
LDS.L @Rn+, X1	0100nnnn10010110	(Rn) X1, Rn+4 Rn	1	-
LDS.L @Rn+, Y0	0100nnnn10100110	(Rn) Y0, Rn+4 Rn	1	-
LDS.L @Rn+, Y1	0100nnnn10110110	(Rn) Y1, Rn+4 Rn	1	-
LDC.L @Rn+, MOD	0100nnnn01010111	(Rn) MOD, Rn+4 Rn	5	-
LDC.L @Rn+, RS	0100nnnn01100111	(Rn) RS, Rn+4 Rn	5	-
LDC.L @Rn+, RE	0100nnnn01110111	(Rn) RE, Rn+4 Rn	5	-
LDS Rn, DSR	0100nnnn01101010	Rn DSR	1	-
LDS Rn, A0	0100nnnn01111010	Rn A0	1	-
LDS Rn, X0	0100nnnn10001010	Rn X0	1	-
LDS Rn, X1	0100nnnn10011010	Rn X1	1	-

2. CPU

命令	命令コード	動作	実行 ステート	Tビット
LDS Rn, Y0	0100nnnn10101010	Rn Y0	1	-
LDS Rn, Y1	0100nnnn10111010	Rn Y1	1	-
LDC Rn, MOD	0100nnnn01011110	Rn MOD	3	-
LDC Rn, RS	0100nnnn01101110	Rn RS	3	-
LDC Rn, RE	0100nnnn01111110	Rn RE	3	-

2.6.3 DSP データ命令用シングル、ダブルデータ転送

このクラスの新しい命令は DSP 演算のプログラムコードサイズを節約するために用意されています。ここに追加するすべての命令のコード長は 16 ビットです。このクラスの命令は 2 つのグループから構成されます。1 つはシングルデータ転送命令です。もう 1 つはダブルデータ転送命令です。ダブル転送命令でのオペランド柔軟性は「2.6.4 DSP 演算命令の命令セット」で説明する並列命令クラスのデータ転送命令フィールド、A フィールドと同じです。ただし、条件付きロード命令はこれらの 16 ビット命令では利用できません。シングル転送では Ax ポインタおよびさらに 2 つのアドレスポインタがポインタオペランド As として利用できますが、Ay ポインタは利用できません。表 2.27、表 2.28 にシングル、またはダブルデータ転送命令の命令表を示します。

ダブルデータ転送グループでは X メモリと Y メモリを並行してアクセスできます。Ax ポインタは X メモリアクセス命令のみに使用でき、Ay ポインタは Y メモリアクセス命令のみに使用できます。ダブルデータ転送命令は内蔵 X、Y メモリ領域のみにアクセスできます。シングルデータ転送命令は、16 ビット命令コードを用いて、任意のメモリアドレス空間にアクセスできます。

Rn、n=2~7 は、普通 Ax、Ay、As ポインタとして使用しますが、ポインタ名そのものはアセンブラのリネーム機能で変更することができます。次のようなりネームを推奨します。

R2:As2、R3:As3、R4:Ax0 (As0)、R5:Ax1 (As1)、R6:Ay0、R7:Ay1、R8:Ix、R9:Iy

表 2.27 ダブルデータ転送命令

命令	命令コード	動作	実行 ステート	DC	
X メモリ	NOPX	1111000*0*0*00**	X メモリノーマルアクセス	1	-
データ 転送	MOVX.W @Ax, Dx	111100A*D*0*01**	(Ax) Dx の MSW, 0 Dx の LSW	1	-
	MOVX.W @Ax+, Dx	111100A*D*0*10**	(Ax) Dx の MSW, 0 Dx の LSW, Ax+2 Ax	1	-
	MOVX.W @Ax+Ix, Dx	111100A*D*0*11**	(Ax) Dx の MSW, 0 Dx の LSW, Ax+Ix Ax	1	-
	MOVX.W Da, @Ax	111100A*D*1*01**	Da の MSW (Ax)	1	-
	MOVX.W Da, @Ax+	111100A*D*1*10**	Da の MSW (Ax), Ax+2 Ax	1	-
	MOVX.W Da, @Ax+Ix	111100A*D*1*11**	Da の MSW (Ax), Ax+Ix Ax	1	-

命令		命令コード	動作	実行 状態	DC
Yメモリ データ 転送	NOPY	111100*0*0*0**00	Yメモリノークセス	1	-
	MOVY.W @Ay, Dy	111100*A*D*0**01	(Ay) DyのMSW, 0 DyのLSW	1	-
	MOVY.W @Ay+, Dy	111100*A*D*0**10	(Ay) DyのMSW, 0 DyのLSW, Ay+2 Ay	1	-
	MOVY.W @Ay+Iy, Dy	111100*A*D*0**11	(Ay) DyのMSW, 0 DyのLSW, Ay+Iy Ay	1	-
	MOVY.W Da, @Ay	111100*A*D*1**01	DaのMSW (Ay)	1	-
	MOVY.W Da, @Ay+	111100*A*D*1**10	DaのMSW (Ay), Ay+2 Ay	1	-
	MOVY.W Da, @Ay+Iy	111100*A*D*1**11	DaのMSW (Ay), Ay+Iy Ay	1	-

表 2.28 シングルデータ転送命令

命令	命令コード	動作	実行 状態	DC
MOVS.W @-As, Ds	111101AADDDDD0000	As-2 As, (As) DsのMSW, 0 DsのLSW	1	-
MOVS.W @As, Ds	111101AADDDDD0100	(As) DsのMSW, 0 DsのLSW	1	-
MOVS.W @As+, Ds	111101AADDDDD1000	(As) DsのMSW, 0 DsのLSW, As+2 As	1	-
MOVS.W @As+Ix, Ds	111101AADDDDD1100	(Asc) DsのMSW, 0 DsのLSW, As+Ix As	1	-
MOVS.W Ds, @-As*	111101AADDDDD0001	As-2 As, DsのMSW (As)	1	-
MOVS.W Ds, @As*	111101AADDDDD0101	DsのMSW (As)	1	-
MOVS.W Ds, @As+*	111101AADDDDD1001	DsのMSW (As), As+2 As	1	-
MOVS.W Ds, @As+Ix*	111101AADDDDD1101	DsのMSW (As), As+Ix As	1	-
MOVS.L @-As, Ds	111101AADDDDD0010	As-4 As, (As) Ds	1	-
MOVS.L @As, Ds	111101AADDDDD0110	(As) Ds	1	-
MOVS.L @As+, Ds	111101AADDDDD1010	(As) Ds, As+4 As	1	-
MOVS.L @As+Ix, Ds	111101AADDDDD1110	(As) Ds, As+Ix As	1	-
MOVS.L Ds, @-As	111101AADDDDD0011	As-4 As, Ds (As)	1	-
MOVS.L Ds, @As	111101AADDDDD0111	Ds (As)	1	-
MOVS.L Ds, @As+	111101AADDDDD1011	Ds (As), As+4 As	1	-
MOVS.L Ds, @As+Ix	111101AADDDDD1111	Ds (As), As+Ix As	1	-

【注】 * ガードビットレジスタ A0G と A1G をソースオペランド Ds に指定した場合、データは LDB [7:0]バスに出力され、符号ビットは上位ビット [31:8]に転記されます。

2. CPU

DSP データ転送のオペランドとレジスタとの対応を表 2.29 に示します。CPU コアのレジスタはメモリアドレスを示すポインタアドレスとして使われます。

表 2.29 DSP データ転送のオペランドとレジスタとの対応

レジスタ		Ax	Ix	Dx	Ay	Iy	Dy	Da	As	Ds
CPU レジスタ	R0									
	R1									
	R2 (As2)									
	R3 (As3)									
	R4 (Ax0)									
	R5 (Ax1)									
	R6 (Ay0)									
	R7 (Ay1)									
	R8 (Ix)									
	R9 (Iy)									
DSP レジスタ	A0									
	A1									
	M0									
	M1									
	X0									
	X1									
	Y0									
	Y1									
	A0G									
	A1G									

2.6.4 DSP 演算命令の命令セット

DSP 演算命令は DSP ユニットで処理されるデジタル信号処理の命令です。これらの命令は 32 ビット長の命令コードで、複数の命令を並列に実行します。命令コードは A フィールド、B フィールドの 2 つに分かれており、A フィールドにはパラレルデータ転送命令を指定し、B フィールドにはシングルまたはダブルデータ演算命令を指定します。命令は独立して指定することができ、実行も独立に実行されます。A フィールドに指定するパラレルデータ転送命令はダブルデータ転送命令と全く同じです。A フィールドすなわちデータ転送命令フィールドの機能は、基本的に「2.6.3 DSP データ命令用シングル、ダブルデータ転送」のダブルデータ転送命令と同じですが、ロード命令は特別な機能を持っています。

B フィールドのデータ演算命令は 3 つに分かれています。ダブルデータ演算命令、条件付きシングルデータ演算命令、無条件シングルデータ演算命令の 3 つです。DSP 演算命令の命令形式を表 2.30 に示します。それぞれのオペランドは独立に DSP レジスタから選べます。DSP 演算命令のオペランドとレジスタの対応を表 2.31 に示します。

表 2.30 DSP 演算命令の命令形式

分類	命令形式
ダブルデータ演算命令	ALUop. Sx, Sy, Du MLTop. Se, Df, Dg
条件付きシングルデータ演算命令	ALUop. Sx, Sy, Dz DCT ALUop. Sx, Sy, Dz DCF ALUop. Sx, Sy, Dz ALUop. Sx, Dz DCT ALUop. Sx, Dz DCF ALUop. Sx, Dz ALUop. Sy, Dz DCT ALUop. Sy, Dz DCF ALUop. Sy, Dz
無条件シングルデータ処演算命令	ALUop. Sx, Sy, Dz ALUop. Sx, Dz ALUop. Sy, Dz MLTop. Se, Sf, Dg

表 2.31 DSP 命令のオペランドとレジスタの対応

レジスタ	ALU、BPU 演算				乗算演算		
	Sx	Sy	Dz	Du	Se	Sf	Dg
A0							
A1							
M0							
M1							
X0							
X1							
Y0							
Y1							

並行命令を書くときは最初に B フィールドの命令を書いて、次に A フィールドの命令を書きます。並行処理プログラム例を図 2.16 に示します。

	PADD A0, M0, A0	PMULS X0, Y0, M0	MOVX.W @R4+, X0	MOVY.W @R6+, Y0 [;]
DCF	PINC X1, A1		MOVX.W A0, @R5+R8	MOVY.W @R7+, Y0 [;]
	PCMP X1, M0		MOVX.W @R4	[NOPY] [;]

図 2.16 並列命令プログラムの例

2. CPU

ここで、[]は省略可能な部分を表します。

NOPX と NOPY のノーオペレーション命令は、省略可能です。表 2.32 に並列演算命令の B フィールドの要約を示します。

:'は命令行を区切るために使用しますが、省略可能です。この区切り記号:'を使用すると、続くスペースはコメント領域として使用できます。これは従来の SH ツールと同じ機能を持っています。

DSR レジスタの条件コードビット (DC) は、常に無条件の ALU またはシフト演算命令の結果に基づいて更新されます。条件付き命令の場合、DC ビットを更新しません。乗算命令も DC ビットを更新しません。DC ビットの更新は DSR レジスタの CS0~2 ビットにより行われます。表 2.33 に DC ビットの更新ルールの定義について示します。

表 2.32 DSP 演算命令

命令	命令コード	動作	実行ステート	DC
PMULS Se, Sf, Dg	111110***** 0100eeff0000gg00	Se*Sf Dg (符号付き)	1	-
PADD Sx, Sy, Du PMULS Se, Sf, Dg	111110***** 0111eeffxxyygguu	Sx+Sy Du Se*Sf Dg (符号付き)	1	*
PSUB Sx, Sy, Du PMULS Se, Sf, Dg	111110***** 0110eeffxxyygguu	Sy-Sy Du Se*Sf Dg (符号付き)	1	*
PADD Sx, Sy, Dz	111110***** 10110001xxyyzzzz	Sx+Sy Dz	1	*
DCT PADD Sx, Sy, Dz	111110***** 10110010xxyyzzzz	If DC=1, Sx+Sy Dz If DC=0, nop	1	*
DCF PADD Sx, Sy, Dz	111110***** 10110011xxyyzzzz	If DC=0, Sx+Sy Dz If DC=1, nop	1	*
PSUB Sx, Sy, Dz	111110***** 10100001xxyyzzzz	Sx-Sy Dz	1	*
DCT PSUB Sx, Sy, Dz	111110***** 10100010xxyyzzzz	If DC=1, Sx-Sy Dz If DC=0, nop	1	*
DCF PSUB Sx, Sy, Dz	111110***** 10100011xxyyzzzz	If DC=0, Sx-Sy Dz If DC=1, nop	1	*
PSHA Sx, Sy, Dz	111110***** 1010001xxyyzzzz	If Sy>=0, Sx<<Sy Dz (算術シフト) If Sy<0, Sx>>Sy Dz	1	*
DCT PSHA Sx, Sy, Dz	111110***** 10010010xxyyzzzz	If DC=1 & Sy>=0, Sx<<Sy Dz (算術シフト) If DC=1 & Sy<0, Sx>>Sy Dz If DC=0, nop	1	*
DCF PSHA Sx, Sy, Dz	111110***** 10010011xxyyzzzz	If DC=0 & Sy>=0, Sx<<Sy Dz (算術シフト) If DC=0 & Sy<0, Sx>>Sy Dz If DC=1, nop	1	*

命令	命令コード	動作	実行ステート	DC
PSHL Sx, Sy, Dz	111110***** 10000001xxyyzzzz	If Sy>=0, Sx<<Sy Dz (論理シフト) If Sy<0, Sx>>Sy Dz	1	*
DCT PSHL Sx, Sy, Dz	111110***** 10000010xxyyzzzz	If DC=1 & Sy>=0, Sx<<Sy Dz (論理シフト) If DC=1 & Sy<0, Sx>>Sy Dz If DC=0, nop	1	*
DCF PSHL Sx, Sy, Dz	111110***** 10000011xxyyzzzz	If DC=0 & Sy>=0, Sx<<Sy Dz (論理シフト) If DC=0 & Sy<0, Sx>>Sy Dz If DC=1, nop	1	*
PCOPY Sx, Dz	111110***** 11011001xx00zzzz	Sx Dz	1	*
PCOPY Sy, Dz	111110***** 1111100100yyzzzz	Sy Dz	1	*
DCT PCOPY Sx, Dz	111110***** 11011010xx00zzzz	If DC=1, Sx Dz If DC=0, nop	1	*
DCT PCOPY Sy, Dz	111110***** 1111101000yyzzzz	If DC=1, Sy Dz If DC=0, nop	1	*
DCF PCOPY Sx, Dz	111110***** 11011011xx00zzzz	If DC=0, Sx Dz If DC=1, nop	1	*
DCF PCOPY Sy, Dz	111110***** 1111101100yyzzzz	If DC=0, Sy Dz If DC=1, nop	1	*
PDMSB Sx, Dz	111110***** 10011101xx00zzzz	Sx Dz 正規化のためのカウントシフト値	1	*
PDMSB Sy, Dz	111110***** 1011110100yyzzzz	Sy Dz 正規化のためのカウントシフト値	1	*
DCT PDMSB Sx, Dz	111110***** 10011110xx00zzzz	If DC=1, 正規化のためのカウントシフト値 Sx Dz If DC=0, nop	1	*
DCT PDMSB Sy, Dz	111110***** 1011111000yyzzzz	If DC=1, 正規化のためのカウントシフト値 Sy Dz If DC=0, nop	1	*
DCF PDMSB Sx, Dz	111110***** 10011111xx00zzzz	If DC=0, 正規化のためのカウントシフト値 Sx Dz If DC=1, nop	1	*
DCF PDMSB Sy, Dz	111110***** 1011111100yyzzzz	If DC=0, 正規化のためのカウントシフト値 Sy Dz If DC=1, nop	1	*

2. CPU

命令	命令コード	動作	実行ステート	DC
PINC Sx, Dz	111110***** 10011001xx00zzzz	Sx の MSW Dz	1	*
PINC Sy, Dz	111110***** 1011100100yyzzzz	Sy の MSW Dz	1	*
DCT PINC Sx, Dz	111110***** 10011010xx00zzzz	If DC=1, Sx の MSW+1 Dz If DC=0, nop	1	*
DCT PINC Sy, Dz	111110***** 1011101000yyzzzz	If DC=1, Sy の MSW+1 Dz If DC=0, nop	1	*
DCF PINC Sx, Dz	111110***** 10011011xx00zzzz	If DC=0, Sx の MSW+1 Dz If DC=1, nop	1	*
DCF PINC Sy, Dz	111110***** 1011101100yyzzzz	If DC=0, Sy の MSW+1 Dz If DC=1, nop	1	*
PNEG Sx, Dz	111110***** 11001001xx00zzzz	0-Sx Dz	1	*
PNEG Sy, Dz	111110***** 1110100100yyzzzz	0-Sy Dz	1	*
DCT PNEG Sx, Dz	111110***** 11001010xx00zzzz	If DC=1, 0-Sx Dz If DC=0, nop	1	*
DCT PNEG Sy, Dz	111110***** 1110101000yyzzzz	If DC=1, 0-Sy Dz If DC=0, nop	1	*
DCF PNEG Sx, Dz	111110***** 11001011xx00zzzz	If DC=0, 0-Sx Dz If DC=1, nop	1	*
DCF PNEG Sy, Dz	111110***** 1110101100yyzzzz	If DC=0, 0-Sy Dz If DC=1, nop	1	*
POR Sx, Sy, Dz	111110***** 10110101xxyyzzzz	Sx Sy Dz	1	*
DCT POR Sx, Sy, Dz	111110***** 10110110xxyyzzzz	If DC=1, Sx Sy Dz If DC=0, nop	1	*
DCF POR Sx, Sy, Dz	111110***** 10110111xxyyzzzz	If DC=0, Sx Sy Dz If DC=1, nop	1	*

命令	命令コード	動作	実行 状態	DC
PAND Sx, Sy, Dz	111110***** 10010101xxyyzzzz	Sx & Sy Dz	1	*
DCT PAND Sx, Sy, Dz	111110***** 10010110xxyyzzzz	If DC=1, Sx & Sy Dz If DC=0, nop	1	*
DCF PAND Sx, Sy, Dz	111110***** 10010111xxyyzzzz	If DC=0, Sx & Sy Dz If DC=1, nop	1	*
PXOR Sx, Sy, Dz	111110***** 10100101xxyyzzzz	Sx ^ Sy Dz	1	*
DCT PXOR Sx, Sy, Dz	111110***** 10100110xxyyzzzz	If DC=1, Sx ^ Sy Dz If DC=0, nop	1	*
DCF PXOR Sx, Sy, Dz	111110***** 10100111xxyyzzzz	If DC=1, Sx ^ Sy Dz If DC=0, nop	1	*
PDEC Sx, Dz	111110***** 10001001xx00zzzz	Sx [39:16]-1 Dz	1	*
PDEC Sy, Dz	111110***** 1010100100yyzzzz	Sy [31:16]-1 Dz	1	*
DCT PDEC Sx, Dz	111110***** 10001010xx00zzzz	If DC=1, Sx [39:16]-1 Dz If DC=0, nop	1	*
DCT PDEC Sy, Dz	111110***** 1010101000yyzzzz	If DC=1, Sy [31:16]-1 Dz If DC=0, nop	1	*
DCF PDEC Sx, Dz	111110***** 10001011xx00zzzz	If DC=0, Sx [39:16]-1 Dz If DC=1, nop	1	*
DCF PDEC Sy, Dz	111110***** 1010101100yyzzzz	If DC=0, Sy [31:16]-1 Dz If DC=1, nop	1	*
PCLR Dz	111110***** 100011010000zzzz	H'00000000 Dz	1	*
DCT PCLR Dz	111110***** 100011100000zzzz	If DC=1, H'00000000 Dz If DC=0, nop	1	*
DCF PCLR Dz	111110***** 100011110000zzzz	If DC=0, H'00000000 Dz If DC=1, nop	1	*
PSHA #imm, Dz	111110***** 00010iiiiiiizzzz	If imm>=0, Dz<<imm Dz (算術シフト) If imm<0, Dz>>imm Dz	1	*
PSHL #imm, Dz	111110***** 00000iiiiiiizzzz	If imm>=0, Dz<<imm Dz (論理シフト) If imm<0, Dz>>imm Dz	1	*

2. CPU

命令	命令コード	動作	実行 ステート	DC
PSTS MACH, Dz	111110***** 110011010000zzzz	MACH Dz	1	-
DCT PSTS MACH, Dz	111110***** 110011100000zzzz	If DC=1, MACH Dz	1	-
DCF PSTS MACH, Dz	111110***** 110011110000zzzz	If DC=0, MACH Dz	1	-
PSTS MACL, Dz	111110***** 110111010000zzzz	MACL Dz	1	-
DCT PSTS MACL, Dz	111110***** 110111100000zzzz	If DC=1, MACL Dz	1	-
DCF PSTS MACL, Dz	111110***** 110111110000zzzz	If DC=0, MACL Dz	1	-
PLDS Dz, MACH	111110***** 111011010000zzzz	Dz MACH	1	-
DCT PLDS Dz, MACH	111110***** 111011100000zzzz	If DC=1, Dz MACH	1	-
DCF PLDS Dz, MACH	111110***** 111011110000zzzz	If DC=0, Dz MACH	1	-
PLDS Dz, MACL	111110***** 111111010000zzzz	Dz MACL	1	-
DCT PLDS Dz, MACL	111110***** 111111100000zzzz	If DC=1, Dz MACL	1	-
DCF PLDS Dz, MACL	111110***** 111111110000zzzz	If DC=0, Dz MACL	1	-
PADDC Sx, Sy, Dz	111110***** 10110000xyyzzzz	Sx+Sy+DC Dz キャリ DC	1	キャリー
PSUBC Sx, Sy, Dz	111110***** 10100000xyyzzzz	Sx-Sy-DC Dz ボロ DC	1	ボロ
PCMP Sx, Sy	111110***** 10000100xyy0000	Sx-Sy DC を更新*	1	*
PABS Sx, Dz	111110***** 10001000xx00zzzz	If Sx<0, 0-Sx Dz If Sx>=0, nop	1	*
PABS Sy, Dz	111110***** 1010100000yyzzzz	If Sy<0, 0-Sy Dz If Sy>=0, nop	1	*
PRND Sx, Dz	111110***** 10011000xx00zzzz	Sx+H'00008000 Dz Dz の LSW H'0000	1	*
PRND Sy, Dz	111110***** 1011100000yyzzzz	Sy+H'00008000 Dz Dz の LSW H'0000	1	*

【注】 * 表 2.33 を参照。

表 2.33 DC ビットの更新の定義

CS [2:0]			条件モード	説明
0	0	0	キャリーまたは ポローモード	ALU 算術演算の結果、キャリまたはポローが発生した場合、DC ビットがセットされます。それ以外はクリアされます。 シフト命令、PSHA または PSHL の実行時、最後にシフトアウトしたビットデータが DC ビットにコピーされます。 ALU 論理演算の実行時、DC ビットは常にクリアされます。
0	0	1	負値モード	ALU またはシフト (PSHA) 算術演算の実行時、ガードビット部分を含めて結果の MSB が DC ビットにコピーされます。 ALU またはシフト (PSHL) 論理演算の実行時、ガードビット部分を除く結果の MSB が DC ビットにコピーされます。
0	1	0	ゼロ値モード	ALU またはシフト演算の結果がすべてゼロの場合、DC ビットがセットされます。それ以外はクリアされます。
0	1	1	オーバフローモード	ALU またはシフト (PSHA) の算術演算結果がガードビット部分を除いたデスティネーションレジスタの範囲を超える場合、DC ビットがセットされます。それ以外はクリアされます。 ALU またはシフト (PSHL) の論理演算の実行時、DC ビットは常にクリアされます。
1	0	0	符号付き大モード	このモードは符号付き以上モードに類似していますが、結果がすべて 0 の場合 DC はクリアされます。 DC = $\sim\{(\text{負値} \wedge \text{オーバーレンジ}) \mid \text{ゼロ値}\}$; 算術演算の場合 DC = 0 ; 論理演算の場合
1	0	1	符号付き以上モード	ALU またはシフト (PSHA) の算術演算の結果がガードビットを含んだデスティネーションレジスタの範囲を超える場合 (オーバーレンジと呼ぶ)、定義は負値モードと同じになります。オーバーレンジでない場合、定義は負値モードの逆になります。 ALU またはシフト (PSHL) の論理演算の実行時、DC ビットは常にクリアされます。 DC = $\sim(\text{負値} \wedge \text{オーバーレンジ})$; 算術演算の場合 DC = 0 ; 論理演算の場合
1	1	0	予約	
1	1	1	予約	

2. CPU

- 条件付き演算とデータ転送

このクラスに属する命令の中には前記のように、条件付きで実行することができるものがあります。ただし、指定した条件は命令の B フィールドに対してのみ有効であって、並行して指定したデータ転送命令には有効ではありません。図 2.17 に例を示します。

```
DCT PADD X0,Y0,A0  MOVX.W @R4+,X0  MOVY.W A0,@R6+R9 ;
```

<条件が真の場合>

実行前： X0=H'33333333, Y0=H'55555555, A0=H'123456789A,
R4=H'00008000, R6=H'00008233, R9=H'00000004
(R4)=H'1111, (R6)=H'2222

実行後： X0=H'11110000, Y0=H'55555555, A0=H'0088888888,
R4=H'00008002, R6=H'00008237, R9=H'00000004
(R4)=H'1111, (R6)=H'3456

<条件が偽の場合>

実行前： X0=H'33333333, Y0=H'55555555, A0=H'123456789A,
R4=H'00008000, R6=H'00008233, R9=H'00000004
(R4)=H'1111, (R6)=H'2222

実行後： X0=H'11110000, Y0=H'55555555, A0=H'123456789A,
R4=H'00008002, R6=H'00008237, R9=H'00000004
(R4)=H'1111, (R6)=H'3456

図 2.17 条件付き演算とデータ転送命令の例

- NOPX および NOPY の命令コードの割り当て

DSP 演算命令と同時に並行処理されるデータ転送命令がないときは、データ転送命令に NOPX、NOPY 命令を書くかあるいは命令を省略することもできます。NOPX、NOPY 命令を書いても省略しても命令コードは同じです。NOPX と NOPY の命令コードの例を表 2.34 に示します。

表 2.34 NOPX と NOPY の命令コードの例

命令	コード
PADD X0, Y0, A0 MOVX.W @R4+, X0 MOVY.W @R6+R9, Y0	1111100000001011 1011000100000111
PADD X0, Y0, A0 NOPX MOVY.W @R6+R9, Y0	1111100000000011 1011000100000111
PADD X0, Y0, A0 NOPX NOPY	1111100000000000 1011000100000111
PADD X0, Y0, A0 NOPX	1111100000000000 1011000100000111
PADD X0, Y0, A0	1111100000000000 1011000100000111
MOVX.W @R4+, X0 MOVY.W @R6+R9, Y0	1111000000001011
MOVX.W @R4+, X0 NOPY	1111000000001000
MOVS.W @R4+, X0	1111010010001000
NOPX MOVY.W @R6+R9, Y0	1111000000000011
MOVY.W @R6+R9, Y0	1111000000000011
NOPX NOPY	1111000000000000
NOF	000000000001001

3. メモリマネジメントユニット (MMU)

3.1 概要

3.1.1 特長

本 LSI にはメモリマネジメントユニット (MMU:Memory Management Unit) が内蔵されており、アドレス変換を実行します。内蔵されたアドレス変換バッファ (TLB:Translation Lookaside Buffer) は、外部メモリに配置されたユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、論理アドレスから物理アドレスへの変換を高速に実行できます。アドレス変換はページング方式で、2種類 (1k/4k バイト) のページサイズをサポートしています。また、特権モード、ユーザモードのそれぞれにおいて、論理アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

3.1.2 MMU の役割

MMU とは物理メモリを有効に利用するために考え出された機能です。図 3.1 に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (1)。この物理メモリへのマッピングをプロセス自身が考えながら実行しているのは、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (2)。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えれば良くなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。MMU は通常 OS が管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは 2 次記憶などとの間で行われます。

こうして生まれた仮想記憶方式は複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (3)。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (4)。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらにあるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

3. メモリマネジメントユニット (MMU)

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスすることがあります。そのとき MMU は例外を発生させ、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときの、アドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間 (通常 1k ~ 64k バイト) が変換の単位となります。

以下本 LSI では仮想メモリ上のアドレス空間のことを論理アドレス空間、物理メモリ上のアドレス空間のことを物理メモリ空間と呼ぶことにします。

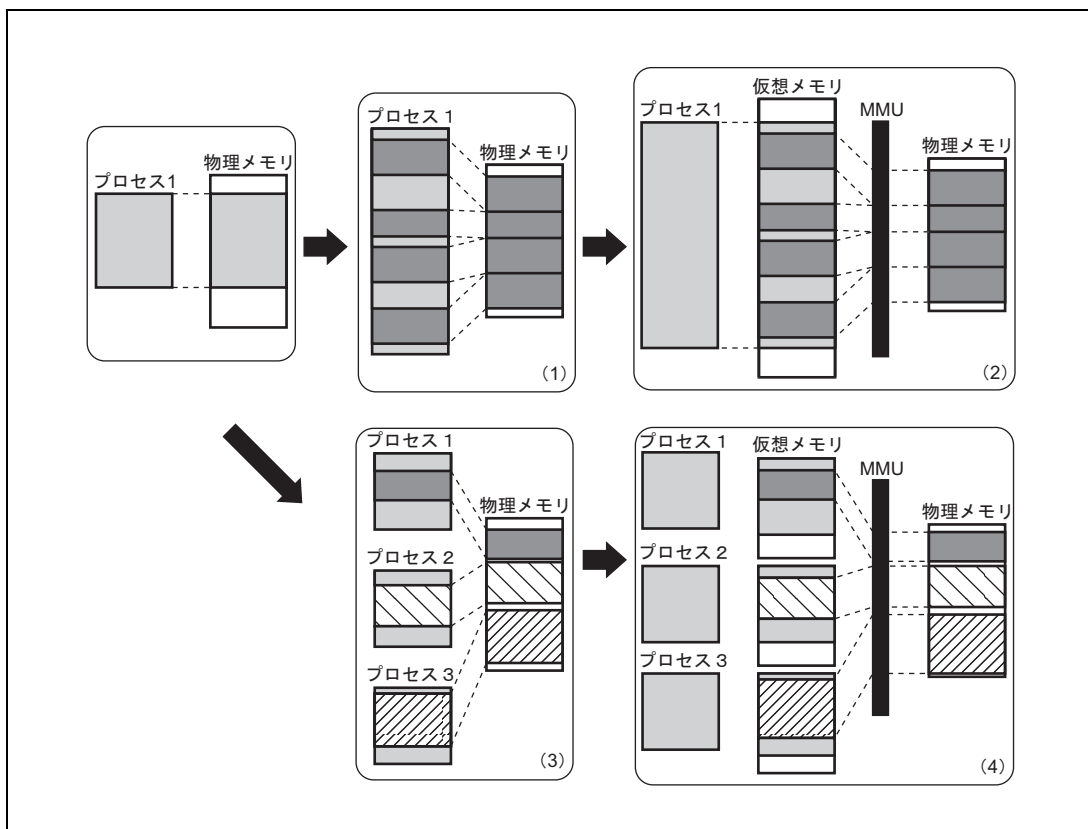


図 3.1 MMU の役割

3.1.3 本 LSI の MMU

(1) 論理アドレス空間

本 LSI は 32 ビットの論理アドレスをサポートし、4G バイトの論理アドレス空間をアクセスできます。論理アドレス空間は図 3.2 に示すとおり、いくつかの領域に分かれています。

特権モードでは P0 ~ P4 の 5 つの領域に分かれます。

P0、P3 領域は、アドレス変換テーブルの情報に従い、ページ単位で物理アドレス空間にマッピングされます。またライトアクセスは CCR の設定により、ライトバックとライトスルーが選択可能です。

P1 領域は物理アドレス空間 (H'0000 0000 ~ H'1FFF FFFF) に固定的にマッピングされます。P1 領域では論理アドレスの MSB (ビット 31) を 0 にしたアドレスが、対応する物理アドレスになります。P1 領域のアクセスはキャッシング可能で、キャッシングするかどうかは、キャッシュ制御レジスタ (CCR) の設定で決定され、ライトバックとライトスルーが選択可能です。

P2 領域は物理アドレス空間 (H'0000 0000 ~ H'1FFF FFFF) に固定的にマッピングされます。P2 領域では論理アドレスの上位 3 ビット (ビット 31、30、29) をすべて 0 にしたアドレスが、対応する物理アドレスになります。P2 領域のアクセスはキャッシングされません。

P1、P2 領域はアドレス変換テーブルによるマッピングを行わないため、TLB が使用されず、TLB ミスなどの例外が発生しません。このため、MMU 制御レジスタの初期設定や、例外処理ルーチンなどが P1、P2 領域に配置されます。P1 領域はキャッシングされるため、高速処理が必要なルーチンが置かれます。

周辺モジュールの制御レジスタの一部は、物理アドレス空間のエリア 1 に配置されていますが、このアドレスをアドレス変換の対象としない場合には、P2 空間に配置してください。アドレス変換の対象とする場合には、キャッシングなしに設定してください。

P4 領域は、周辺モジュールレジスタなど制御用の領域として使用されます。

ユーザモードでは、H'0000 0000 ~ H'7FFF FFFF の 2G バイトの論理アドレス空間 (U0 領域) をアクセスできます。U0 領域はアドレス変換テーブルの情報に従い、ページ単位で、物理アドレス空間にマッピングされます。

SR.DSP がオフのとき、H'8000 0000 ~ H'FFFF FFFF の 2G バイトの論理アドレス空間は、ユーザモードでアクセス禁止です。アクセスするとアドレスエラーが発生します。またライトアクセスは CCR の設定により、ライトバックとライトスルーが選択可能です。

SR.DSP がオンのとき、16M バイトの X / YRAM 空間 U_{xy} がアドレス (H'A5000000 ~ H'A5FFFFFF) に新たに定義されます。 U_{xy} は非キャッシュ、固定物理領域となります。U0 および U_{xy} を超えるアドレス空間に対するアクセスはアドレスエラーになります。X / YRAM 空間の詳細に関しては「第 6 章 X/Y メモリ」を参照してください。

3. メモリマネジメントユニット (MMU)

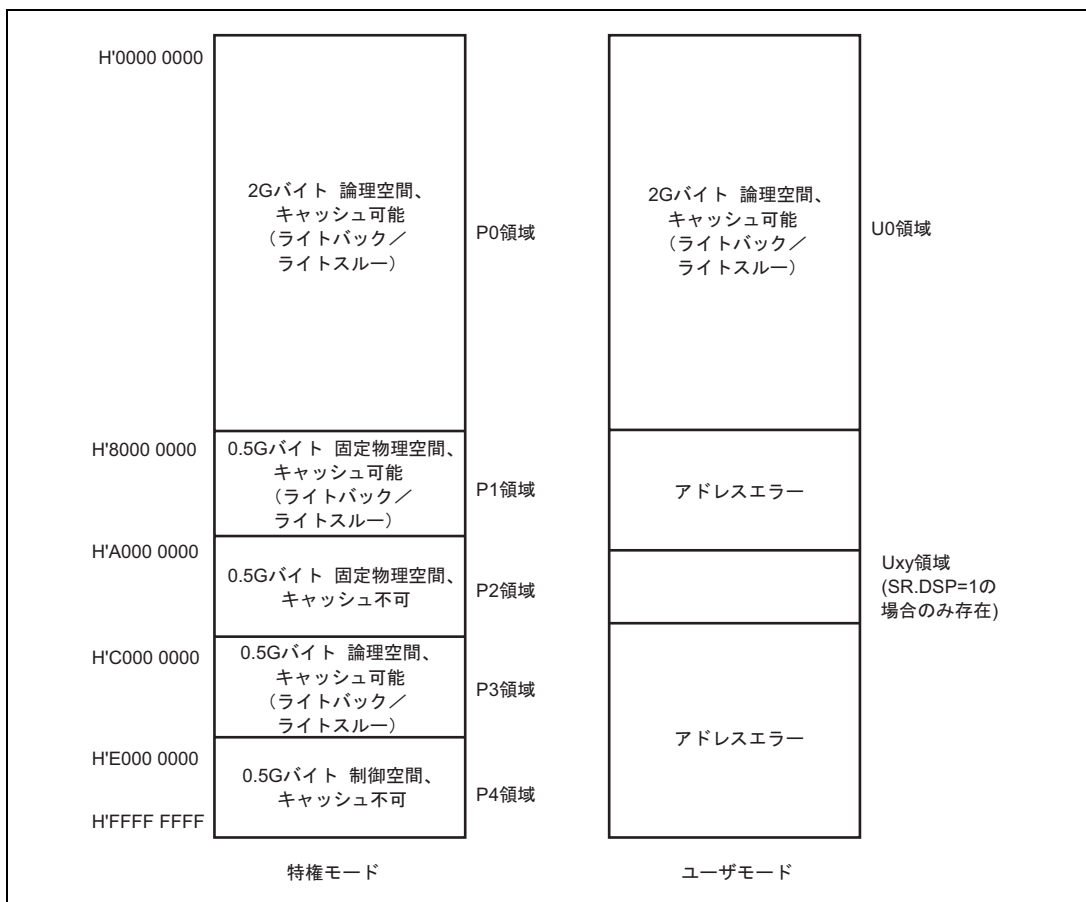


図 3.2 論理アドレス空間

(2) 物理アドレス空間

本 LSI は 32 ビットの物理アドレスをサポートしますが、実際上位の 3 ビットは無視されシャドウとして扱われます。詳細は「第 12 章 パスステートコントローラ (BSC)」を参照してください。

(3) アドレス変換

MMU がイネーブルされているときは、論理アドレス空間は、ページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、論理アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納されています。TLB はアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容をキャッシングします。P4 領域以外へのアクセスが発生すると、そのアクセスされた論理アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その論理アドレスが P0、P3、U0 領域に属する場合には、論理アドレスで TLB が検索され、その論理アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスページ管理情報が読み出され、物理アドレスが決定されます。またアクセスされた論理アドレスが TLB に登録されていない場合には、TLB

ミス例外が発生し、処理が TLB ミス例外処理ルーチンに移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。ただし MMU がイネーブルの状態では物理アドレスが H'8000 0000 ~ H'FFFF FFFF となるようなアドレス変換情報は TLB へ登録しないでください。

MMU がディスエーブルされているときは、論理アドレスがそのまま物理アドレスとなります。本 LSI では物理アドレス空間として 29 ビットアドレス空間をサポートしているため、物理アドレスの上位 3 ビットが無視されシャドウ空間となります(「第 12 章 バスステートコントローラ (BSC)」参照)。たとえば P0 領域の H'0000 1000 番地と P1 領域の H'8000 1000 番地と P2 領域の H'A000 1000 番地と P3 領域の H'C000 1000 番地はすべて同一の物理メモリにマッピングされます。これらのアドレスへのアクセスをキャッシュイネーブルの状態で行った場合、キャッシュのアドレスアレイにはデータの一致性を保証するために物理アドレスの上位 3 ビットを 0 にマスクしたアドレスが格納されます。

(4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には単一仮想記憶方式と多重仮想記憶方式があり MMU 制御レジスタにより選択可能です。単一仮想記憶方式では、複数のプロセスが論理アドレス空間を排他的に使用しながら同時に走行し、ある論理アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが論理アドレス空間を共有して使用しながら走行するため、ある論理アドレスはプロセスにより異なった物理アドレスに変換され得ます。これらの方式は単一仮想記憶モードと多重仮想記憶モードとしてサポートされており、MMU 制御レジスタ (MMUCR) の設定で切り替えることが可能です。単一仮想記憶モードと多重仮想記憶モードとの動作上の違いは TLB のアドレス比較の方式(「3.3.3 TLB のアドレス比較」参照)のみです。

(5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、アドレス空間識別子 (ASID) は論理アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定できます。ASID によりプロセス切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は論理アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます(「3.4.2 MMU のソフトウェア管理」参照)。

3. メモリマネジメントユニット (MMU)

3.1.4 レジスタ構成

MMU レジスタの構成を表 3.1 に示します。

表 3.1 レジスタ構成

名称	略称	R / W	サイズ	初期値* ¹	アドレス
ページテーブルエントリ上位レジスタ	PTEH	R / W	ロングワード	不定	H'FFFF FFF0
ページテーブルエントリ下位レジスタ	PTEL	R / W	ロングワード	不定	H'FFFF FFF4
変換テーブルベースレジスタ	TTB	R / W	ロングワード	不定	H'FFFF FFF8
TLB 例外アドレスレジスタ	TEA	R / W	ロングワード	不定	H'FFFF FFFC
MMU 制御レジスタ	MMUCR	R / W	ロングワード	* ²	H'FFFF FFE0

【注】 *1 パワーオンリセット、マニュアルリセットで初期化されます。

*2 SV ビット = 不定

その他のビット = 0

3.2 レジスタの説明

MMU 処理に関するレジスタは5つあります。これらのレジスタは、周辺モジュールレジスタなので、P4 領域に配置され、特権モードのときのみアドレスを指定してアクセスすることができます。

1. ページテーブルエントリ上位レジスタ (PTEH) は、H'FFFF FFF0番地に配置されていて、論理ページ番号 (VPN) とASIDから構成されています。VPN はMMU例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた論理アドレスのVPN が設定されます。ページサイズが4kバイトページのと看、VPNは論理アドレスの上位20ビットとなりますが、この場合は論理アドレスの上位22ビットが設定されます。VPNはソフトウェアからも変更が可能です。ASIDには現在実行中のプロセスの番号をソフトウェアにより設定します。このVPNとASIDがLDTLB命令によりTLBに登録されます。
2. ページテーブルエントリ下位レジスタ (PTEL) は、H'FFFF FFF4番地に配置されていて、LDTLB命令によりTLBに登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。
3. 変換テーブルベースレジスタ (TTB) は、H'FFFF FFF8番地に配置されていて、たとえば現在使っているページテーブルのベースアドレスの格納用に使用します。TTBはソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。
4. TLB例外アドレスレジスタ (TEA) は、H'FFFF FFFC番地に配置されていて、MMU例外またはアドレスエラー例外発生後に、例外を発生させた論理アドレスが格納されます。この値は次の例外や割り込みが発生するまでの間有効です。
5. MMU制御レジスタ (MMUCR) は、H'FFFF FFE0 番地に配置されていて、図3.3に記述されたMMUの設定を行います。MMUCRを書き換えるプログラムはP1、P2領域に配置してください。

MMU レジスタを、図 3.3 に示します。

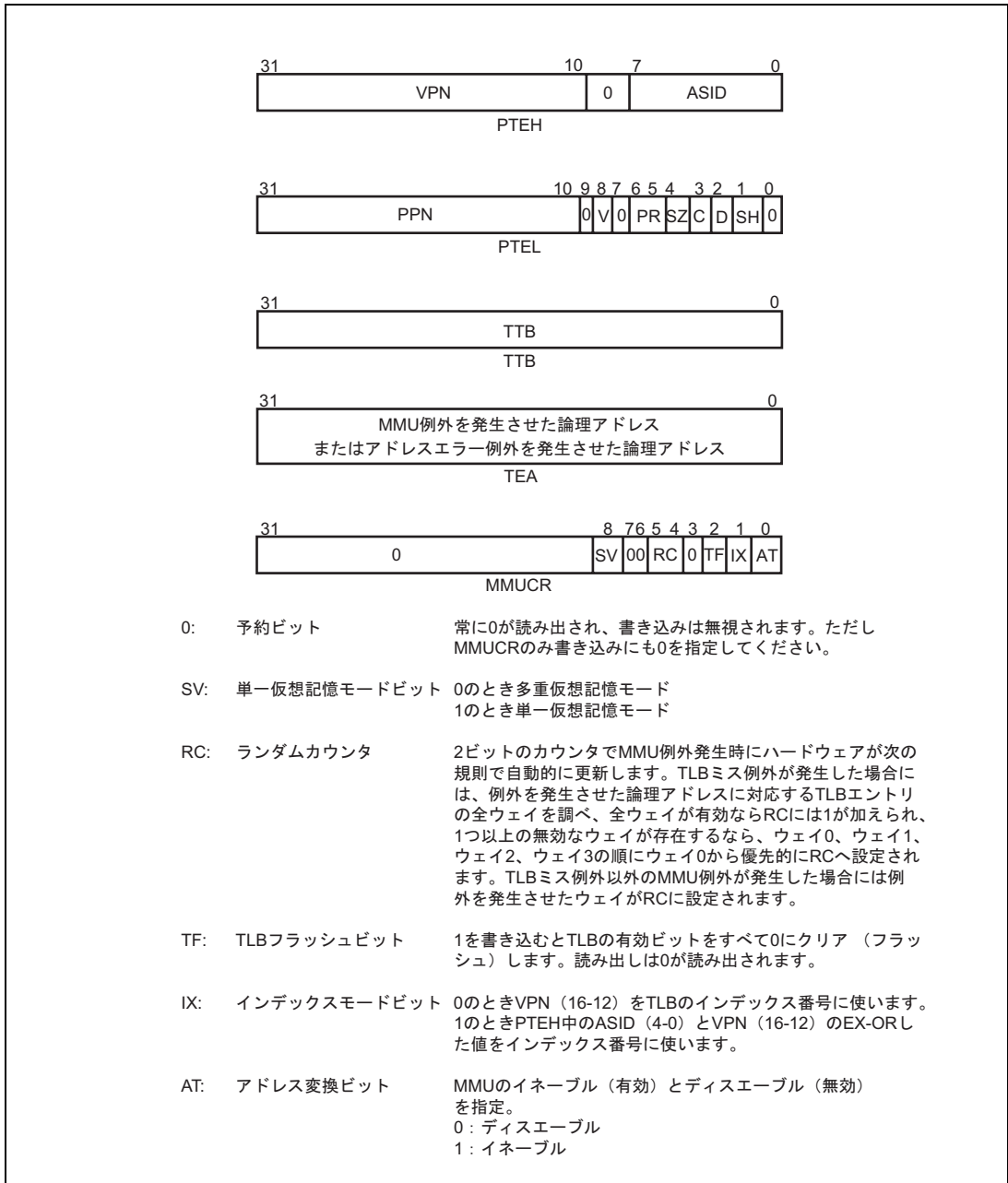


図 3.3 MMU レジスタの内容

3. メモリマネジメントユニット (MMU)

3.3 TLB の機能

3.3.1 TLB の構成

TLB は、外部メモリ上に置かれるアドレス変換テーブル情報をキャッシングします。アドレス変換テーブルには、論理ページ番号とそれに対応する物理ページ番号、アドレス空間識別子およびページ管理情報が格納されています。図 3.4 に TLB 全体構成を示します。TLB は 4 ウェイセットアソシアティブ方式で 1 ウェイあたり 32 エントリの計 128 エントリで構成されています。図 3.5 に論理アドレスと TLB エントリの構成を示します。

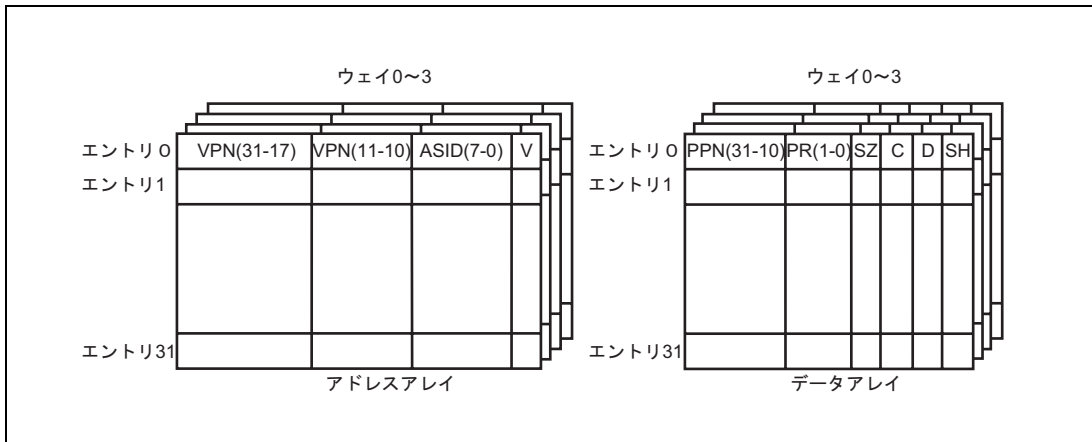


図 3.4 TLB 全体構成

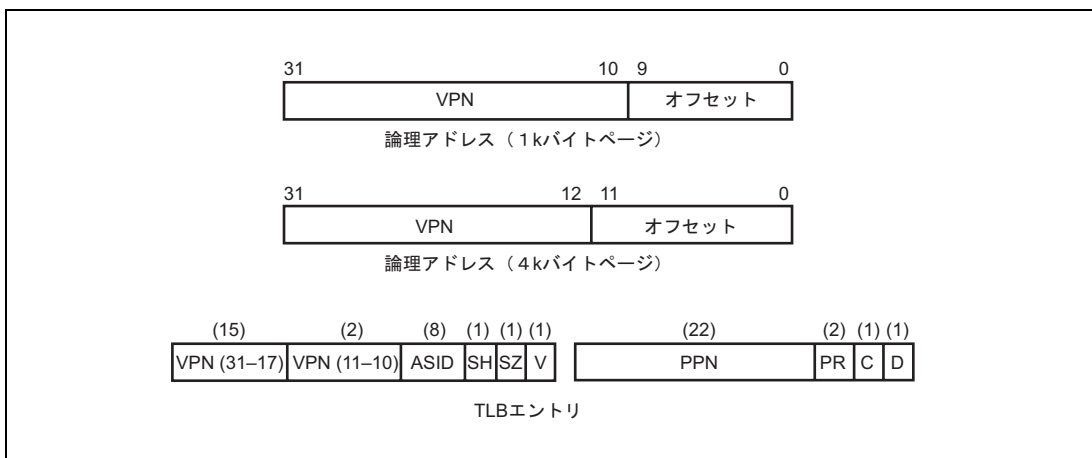


図 3.5 論理アドレスと TLB エントリの構成

<記号説明>

VPN:	論理ページ番号	1k バイトページのと看、論理アドレスの上位 22 ビット 4k バイトページのと看、論理アドレスの上位 20 ビット ただし VPN (16-12) はインデックス番号に使用されるため TLB エントリには格納されません。
ASID:	アドレス空間識別子	論理ページをアクセスできるプロセスを示します。 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのと看で、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
SH:	共有状態ビット	0 のとき複数のプロセスでページを共有しません。 1 のとき複数のプロセスでページを共有します。
SZ:	ページサイズビット	0 のとき 1k バイトページ 1 のとき 4k バイトページ
V:	有効ビット	エントリが有効かどうかを示します。0 のとき無効、1 のとき有効。 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN:	物理ページ番号	物理アドレスの上位 22 ビット。 4k バイトページのと看は PPN (11-10) は使用されません。 1k バイトページのと看はシノニム問題に注意してください (「3.4.4 シノニム問題の回避」参照)。 また最上位の 1 ビットは必ず 0 を書き込んでください。
PR:	保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ。 00: 特権モードで読み出しのみ可能。 01: 特権モードで読み出し / 書き込み可能。 10: 特権 / ユーザモードで読み出しのみ可能。 11: 特権 / ユーザモードで読み出し / 書き込み可能。
C:	キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 のときキャッシング不可能。 1 のときキャッシング可能。

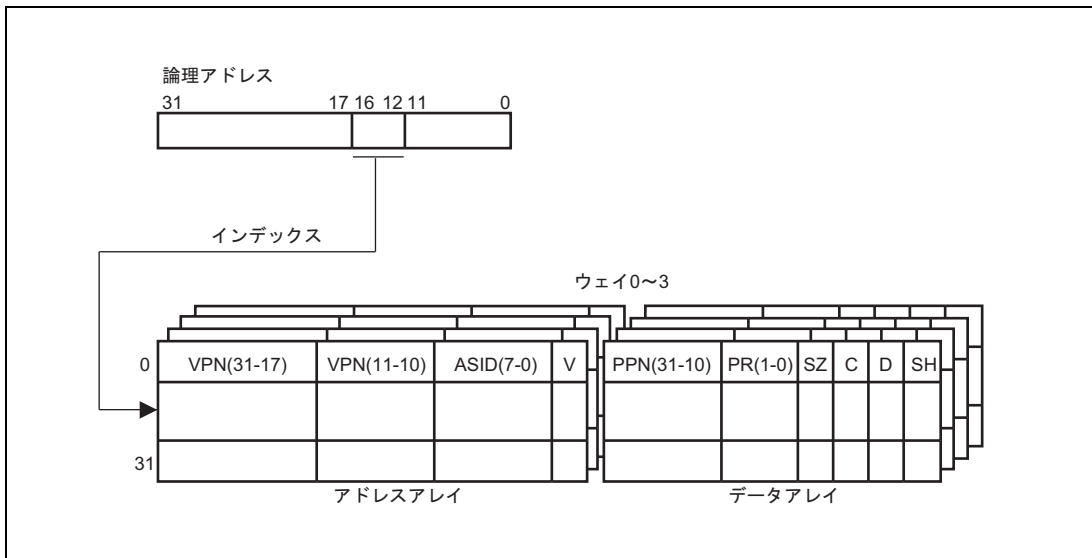


図 3.7 TLB インデックス番号作成の方法 (IX=0)

3.3.3 TLB のアドレス比較

TLB のアドレス比較は、外部メモリ上のプログラムからの命令フェッチや外部メモリ上のデータの参照の際に行われます。アドレス比較で用いられる比較対象は VPN と ASID です。外部メモリをアクセスする論理アドレスの VPN と、インデックス番号で選択された TLB エントリの VPN とが比較されます。また PTEH 中の ASID と、インデックス番号で選択された TLB エントリの ASID とが比較されます。比較は 4 つのウェイトも同時に行われます。比較の結果一致し、かつインデックス番号で選択された TLB エントリが有効 (V=1) であった場合、TLB ヒットとなります。このとき、複数のウェイトに同時に TLB ヒットしないことをソフトウェアで保証してください。複数のウェイトに同時に TLB ヒットした場合のハードウェアの動作は保証しません。たとえば VPN が同一の 2 つの TLB エントリにおいて、1 つは共有状態 (SH=1)、もう 1 つは非共有状態 (SH=0) で ASID=H'FF のプロセスでのみ TLB ヒットするような設定がなされていた場合に、PTEH 中の ASID を H'FF にすると、これら 2 つのウェイトに同時に TLB ヒットする可能性があります。このような設定は、ソフトウェアで行わないようにしてください。

TLB エントリ中のページ管理情報 (SZ, SH) によって比較対象が変化します。また、システムが多重仮想記憶モードと単一仮想記憶モードのどちらをサポートするかで、比較対象が変化します。

ページサイズビット (SZ) によって、VPN (11-10) を比較するか決まります。1k バイトページ (SZ=0) のときは、VPN (11-10) を比較し、4k バイトページ (SZ=1) のときは、比較しません。

3. メモリマネジメントユニット (MMU)

共有状態ビット (SH) によって、PTEH 中の ASID と、TLB エントリ中の ASID とを比較するか決まります。複数のプロセスで共有されている (SH=1) 場合、ASID は比較しません。共有されていない (SH=0) の場合、ASID を比較します。

単一仮想記憶モード (MMUCR.SV=1) かつ、特権モード (SR.MD=1) のときには、ASID を比較しないため、すべてのプロセスのリソースにアクセス可能となります。図 3.8 にアドレス比較対象をまとめます。

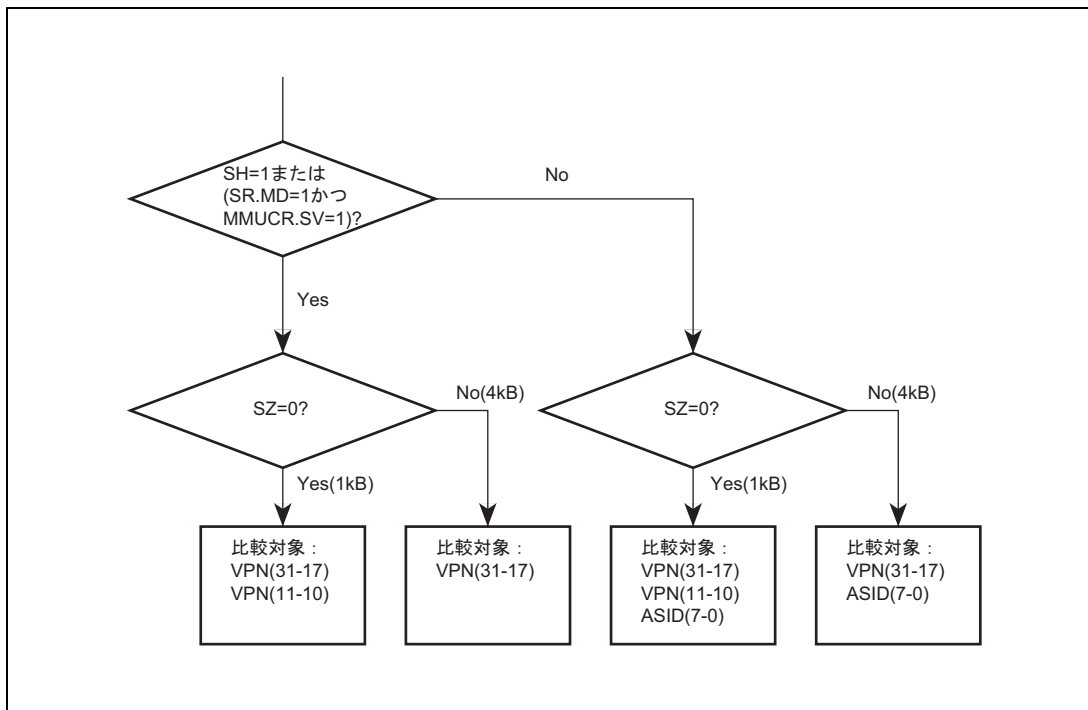


図 3.8 アドレス比較対象

3.3.4 ページ管理情報

TLB エントリ中のページ管理情報には、SH、SZ ビット以外に、D、C、PR ビットがあります。

D ビットは、エントリに対応するページがダーティであるかを示します。ダーティとは、そのページに対して書き込みがあったことを意味します。D ビットが 0 の状態で、そのページに書き込むと、初期ページ書き込み例外が発生します。たとえば、2 次記憶と主記憶間で、物理ページの入れ換えをする場合に、ダーティなページを 2 次記憶に書き戻してから、そのページを主記憶からページアウトするという制御を行います。メモリ上のアドレス変換テーブルに、あるページの書き込みがあったことを記憶するために、初期ページ書き込み例外が利用されます。

C ビットはエントリに対応するアクセスページをキャッシングするか示します。エリア 1 の制御レジスタをマッピングする場合、C ビットは 0 にしてください。

PR ビットは特権モード、ユーザモードそれぞれにおける、そのページに対するアクセス権を示し、記憶保護に使用されます。アクセス権に違反するアクセスを行うと、TLB 保護違反例外が発生します。

D、C、PR ビットによるアクセス状態を表 3.2 に示します。

表 3.2 D、C、PR ビットによるアクセス状態

		特権モード		ユーザモード	
		読み出し	書き込み	読み出し	書き込み
D ビット	0	可能	初期ページ 書き込み例外	可能	初期ページ 書き込み例外
	1	可能	可能	可能	可能
C ビット	0	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)
	1	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)
PR ビット	00	可能	TLB 保護違反例外	TLB 保護違反例外	TLB 保護違反例外
	01	可能	可能	TLB 保護違反例外	TLB 保護違反例外
	10	可能	TLB 保護違反例外	可能	TLB 保護違反例外
	11	可能	可能	可能	可能

3.4 MMU の機能

3.4.1 MMU のハードウェア管理

MMU のハードウェア管理には次の 2 つがあります。

1. プロセスからアクセスされた論理アドレスをデコードし、MMUCRの設定に従い、TLBを制御してアドレス変換を行います。
2. アドレス変換時にTLBからページ管理情報とビット情報を受け、MMU例外の判定とキャッシュをアクセスするかどうかの判定(Cビット)を行います。この判定方法とハードウェアの処理については「3.5 MMU例外」を参照してください。

3.4.2 MMU のソフトウェア管理

MMU のソフトウェア管理には次の 3 つがあります。

1. MMUレジスタの設定。特にMMUCRの設定はアドレス変換を行わないP1、P2領域で行うようにしてください。さらにSV、IXビットの変更はアドレス変換方式の変更になるので、この場合はTFビットにも同時に1を書き込んでTLBのフラッシュを行うようにしてください。ATビットを0にしたMMUディスエーブルの状態ではMMU例外が発生しなくなるので、MMUを使用しないソフトウェアでは必ずディスエーブルの状態で使用してください。
2. TLBエントリの登録、削除、読み出し。TLBエントリへの登録にはLDTLB命令を用いる方法とメモリ割り付けTLBに直接書き込む方法があります。TLBエントリの削除と読み出しはメモリ割り付けTLBをアクセスすることで可能です。LDTLB命令については「3.4.3 MMUの命令 (LDTLB)」を、またメモリ割り付けTLBについては「3.6 メモリ割り付けTLBの構成」を参照してください。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。詳細は「3.5 MMU例外」を参照してください。

また単一仮想記憶モードを使用するときは、共有状態ビット(SH)を0にしてすべてのTLBエントリの登録をすることで、特権モードのときだけ全物理メモリへのアクセスを許可する状態を作り出すことができます。これによりプロセス間の記憶保護を強化し、特権モードにだけ特別なアクセスレベルを作り出すことが可能になります。

1kバイトページのTLBエントリを登録することによりシノニム問題が発生する可能性があります。「3.4.4 シノニム問題の回避」を参照してください。

3.4.3 MMU の命令 (LDTLB)

TLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令は MMUCR の IX ビットが 0 のとき、PTEH 内で指定された VPN (16-12) をインデックス番号とし、MMUCR の RC ビットで指定されたウェイの TLB エントリを、PTEH と PTEL で指定した値に変更します。MMUCR の IX ビットが 1 のときは、PTEH 内で指定された VPN(16-12)と PTEH 内の ASID(4-0)の EX-OR がインデックス番号として用いられます。

図 3.9 に MMUCR の IX ビットが 0 の場合を示します。

PTEH には MMU 例外が発生したときに、例外を発生させた論理アドレスの論理ページ番号がハードウェアにより設定されます。また MMUCR の RC ビットには、MMU 例外ごとに図 3.4 の規則に従ってウェイが設定されます。このため MMU 例外処理ルーチンの中では PTEL だけを設定して LDTLB 命令を発行すれば、TLB エントリの登録が行えることになります。また、ソフトウェアにより PTEH と MMUCR の RC ビットを書き換えることで、任意の TLB エントリを書き換えることも可能です。

LDTLB 命令はアドレス変換情報を変更するため、この命令を P0、U0、P3 領域で発行するとアドレス変換情報を壊す危険があります。必ず P1、P2 領域で発行するようにしてください。また、P0、U0、P3 領域のアクセスを伴う命令 (RTE 命令など) は、LDTLB 命令の 2 命令以降に発行してください。

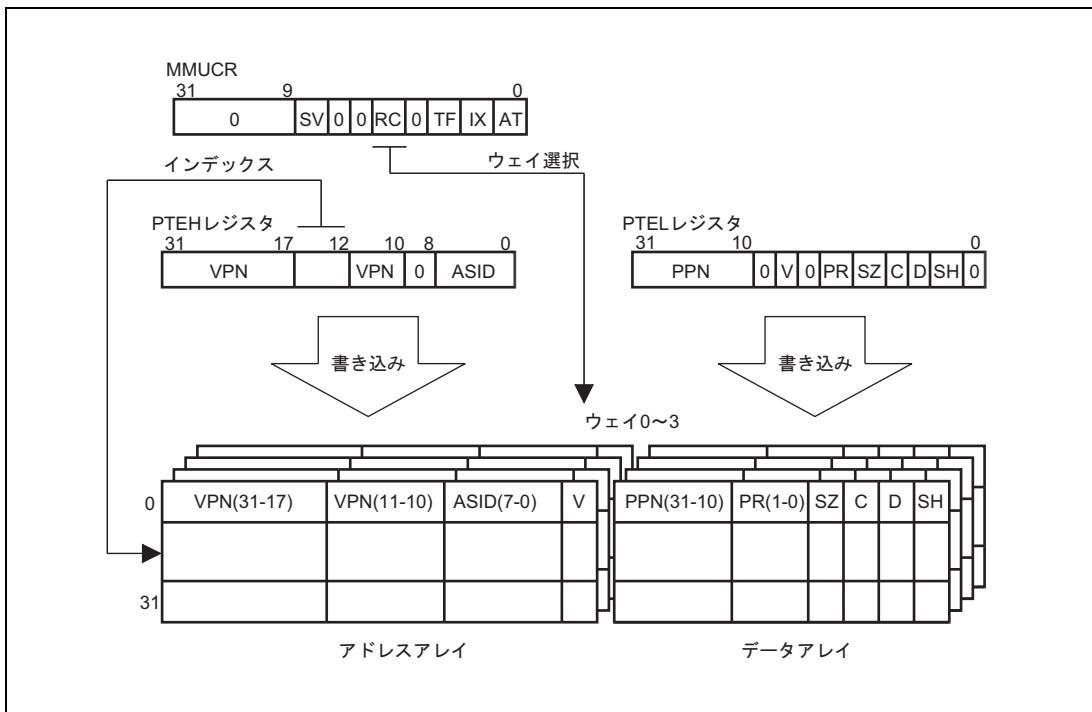


図 3.9 LDTLB 命令の動作

3. メモリマネジメントユニット (MMU)

3.4.4 シノニム問題の回避

TLB エントリに 1k バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の論理アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数エントリに同一の物理アドレスのデータが登録されてしまい、データの一致性が保証されなくなるという問題です。この問題が 1k バイトページを使用した場合のみ発生する理由を図 3.10 を用いて説明します。

本 LSI のキャッシュは高速に動作するために論理アドレス (11-4) を用いてインデックス番号の作成を行います。4k バイトページを使用した場合には論理アドレス (11-4) はオフセットに含まれ、アドレス変換の対象とならないため、物理アドレス (11-4) と同じになります。キャッシュでのアドレス比較とアドレスアレイへの登録には、キャッシュのタグアドレスが物理アドレスであるため、物理アドレスの (31-10) が登録されます。

1k バイトページを使用した場合にも論理アドレス (11-4) でキャッシュのインデックス番号の作成が行われます。しかし 1k バイトページの場合、論理アドレス (11,10) はアドレス変換の対象となるため、物理アドレス (11,10) と等しくなる可能性があります。このため、キャッシュのアドレスアレイの、物理アドレスで示されるインデックス番号とは異なるエントリに、物理アドレスが登録されることとなります。

【注】 将来の SuperH RISC Engine ファミリー拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN[20:10]を等しくなるようにすることを推奨します。また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

たとえば 1k バイトページの TLB エントリで

論理アドレス 1	H'0000 0000	物理アドレス	H'0000 0C00
論理アドレス 2	H'0000 0C00	物理アドレス	H'0000 0C00

のような変換をする TLB エントリが 2 つ TLB に登録されていたとします。論理アドレス 1 はキャッシュのエントリ H'00 へ登録され、論理アドレス 2 はキャッシュのエントリ H'0C へ登録されることとなります。物理アドレスが等しいにもかかわらず、別のキャッシュエントリへ登録されるため、片方の論理アドレスへ一度でも書き込みが発生すると一致性が保たれなくなります。

このため 1k バイトの TLB エントリを登録するときには、物理アドレスがすでに別の TLB エントリで使用されている物理アドレスと等しいなら、論理アドレス (11,10) を等しくなるように登録してください。

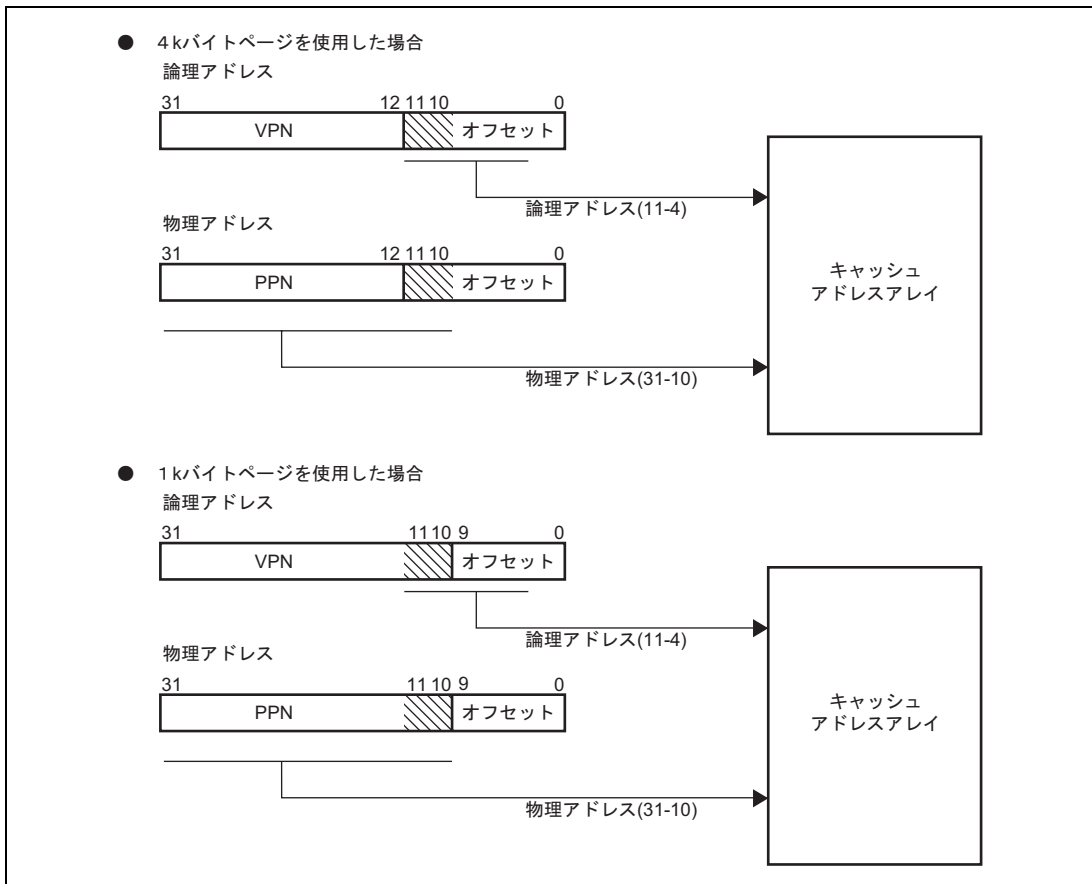


図 3.10 シノニム問題

3.5 MMU 例外

MMU 例外には、TLB ミス例外、TLB 保護違反例外、TLB 無効例外、および初期ページ書き込み例外の 4 つがあります。

3.5.1 TLB ミス例外

TLB ミス例外は、論理アドレスと選ばれたエントリのアレイとを比較して、一致するものが見つからなかった場合に発生します。TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した論理アドレスの論理ページ番号 (VPN) が論理テーブルエントリ上位レジスタ (PTEH) に書き込まれます。

3. メモリマネジメントユニット (MMU)

2. 例外が発生した論理アドレスがTLB例外アドレスレジスタ (TEA) に書き込まれます。
3. 読み出しのときは例外コードH'040が、書き込みのときは例外コードH'060が、例外事象レジスタ (EXPEVT) に書き込まれます。
4. 例外が発生した命令のアドレスを指すプログラムカウンタ (PC) の値が退避プログラムカウンタ (SPC) に書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのステータスレジスタ (SR) の内容が退避ステータスレジスタ (SSR) に書き込まれます。
6. SRのモードビット (MD) が1にセットされ、特権モードに切り替わります。
7. SRのブロックビット (BL) が1にセットされ、これ以降の例外要求がマスクされます。
8. SRのレジスタバンクビット (RB) が1にセットされます。
9. 例外が発生させた論理アドレスに対応するTLBエントリの全ウェイを調べ、全ウェイが有効ならMMU制御レジスタ (MMUCR) のランダムカウンタ (RC) には1が加えられ、1つ以上の無効なウェイが存在するならウェイ0、ウェイ1、ウェイ2、ウェイ3の順にウェイ0から優先的にRCへ、そのウェイが設定されます。
10. ベクタベースレジスタ (VBR) の内容にオフセットH'0000 0400を加えたアドレスに分岐し、TLBミス例外処理ルーチンが開始されます。

- ソフトウェア処理 (TLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの物理ページ番号 (PPN)、保護キーデータ (PR)、ページサイズビット (SZ)、キャッシング可能ビット (C)、ダーティビット (D)、共有状態ビット (SH)、有効ビット (V) の各ビットの値を、ページテーブルエントリ下位レジスタ (PTEL) に書き込みます。
2. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合、その値をMMUCRレジスタのRCに書き込みます。
3. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令以降にRTE命令を発行してください。

3.5.2 TLB 保護違反例外

TLB 保護違反例外は、論理アドレスが選ばれた TLB エントリのアドレスアレイと比較され、その結果、アドレスが一致しかつエントリが有効であったにもかかわらず、実際のアクセスタイプが PR キーで指定されたアクセス権で許されていない場合に発生します。TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェアの処理

TLB 保護違反例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 読み出しのときは例外コードH'0A0が、書き込みのときは例外コードH'0C0が、EXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り替わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのレジスタバンクビット (RB) が1にセットされます。
9. 例外が発生したウェイがMMUCRのRCにセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、TLB保護違反例外処理ルーチンが開始されます。

- ソフトウェアの処理 (TLB保護違反例外処理ルーチン)

TLB 保護違反を解決し、例外処理からの復帰命令(RTE)を実行させ、例外処理ルーチンを終わらせてから、制御を通常の流れに戻してください。ただし、LDTLB 命令の 2 命令以降に RTE 命令を発行してください。

3.5.3 TLB 無効例外

TLB 無効例外は、論理アドレスが選ばれた TLB エントリのアドレスレイと比較され、その結果アドレスが一致したが、エントリが有効でなかった (V ビットが 0) 場合に発生します。TLB 無効例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェアの処理

TLB 無効例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 例外が発生したウェイ番号がMMUCRのRCに書き込まれます。
4. 読み出しのときは例外コードH'040が、書き込みのときは例外コードH'060がEXPEVTに書き込まれます。
5. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
6. 例外が発生したときのSRの内容がSSRに書き込まれます。
7. SRのMDビットが1にセットされ、特権モードに切り替わります。
8. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
9. SRのレジスタバンクビット (RB) が1にセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、TLB保護違反例外処理ルーチンが開始されます。

- ソフトウェアの処理 (TLB無効例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、Vの各ビットの値を、PTELに書き込みます。
2. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合、その値をMMUCRレジスタのRCに書き込みます。
3. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
4. 最後にRTE命令を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令以降にRTE命令に発行してください。

3.5.4 初期ページ書き込み例外

初期ページ書き込み例外は、論理アドレスと TLB エントリのアドレスアレイの内容を比較して一致し、エントリが有効で、書き込みアクセスのアクセス権が許されているにもかかわらず、ダーティビット (D) が 0 (未書き込みページ) の場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェアの処理

初期ページ書き込み例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 例外コードH'080がEXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り替わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのレジスタバンクビット (RB) が1にセットされます。
9. 例外が発生したウェイがMMUCRのRCにセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、ユーザが作成した初期ページ書き込み例外処理ルーチンが開始されます。

- ソフトウェアの処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. 外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、SH、Vのビットの値を、PTELに書き込みます。
4. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合、その値をMMUCRのRCに書き込みます。
5. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
6. 最後に、RTE命令を実行させ、例外処理ルーチンを終わらせてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令以降にRTE命令を発行してください。

3. メモリマネジメントユニット (MMU)

MMU 例外の流れを図 3.11 に示します。

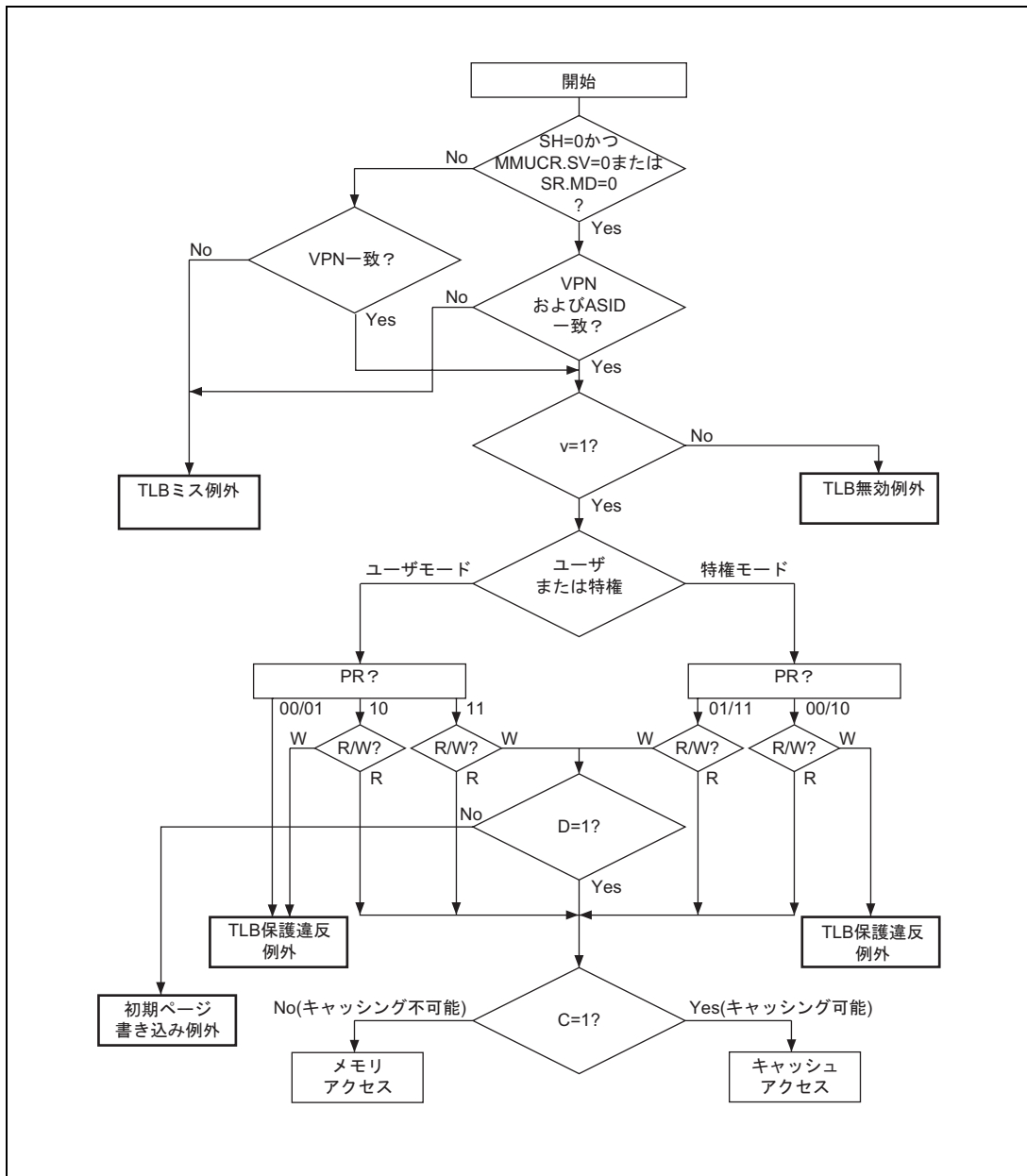


図 3.11 MMU 例外の流れ

3.5.5 MMU 例外発生時の処理フロー (アドレスエラー発生時の処理フローも同一)

(1) 命令フェッチ時の MMU 例外

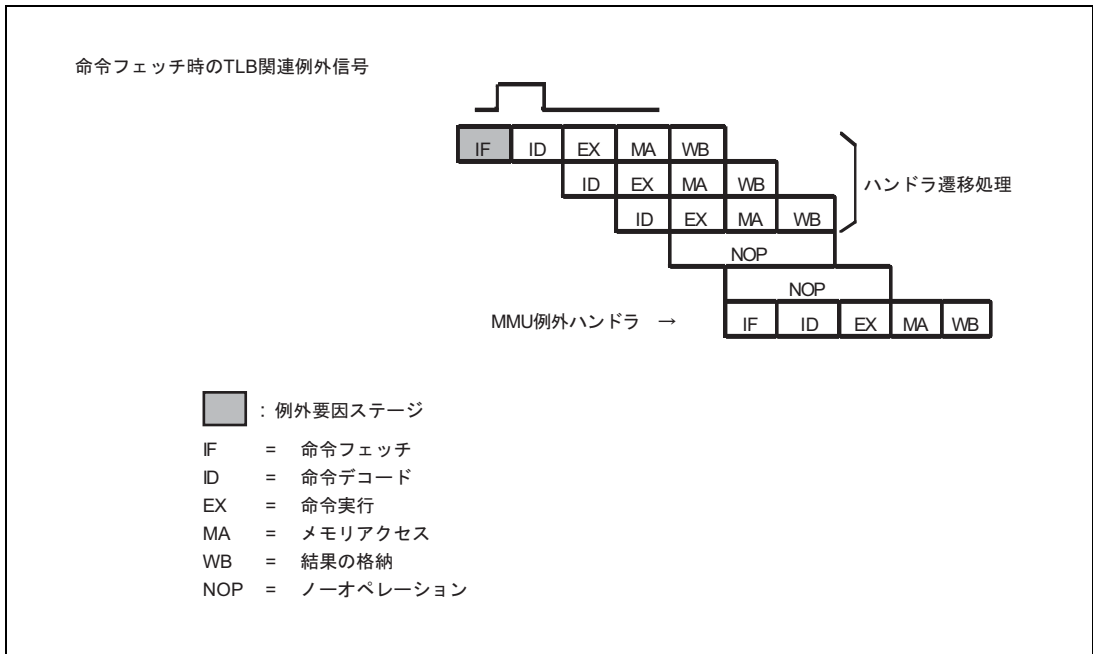


図 3.12 命令フェッチ時の MMU 例外信号

3. メモリマネジメントユニット (MMU)

(2) データアクセス時の MMU 例外

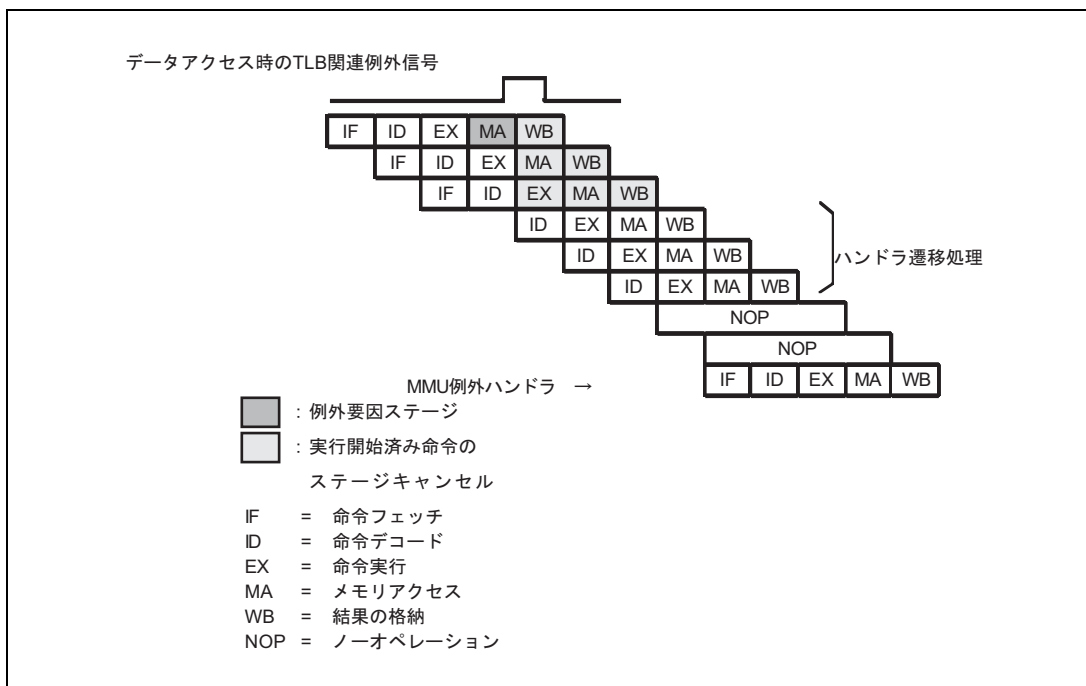


図 3.13 データアクセス時の MMU 例外信号

3.5.6 リピートループにおける MMU 例外

MMU 例外または CPU アドレスエラーがリピートループの直前およびループ中の命令で発生すると、例外が発生した命令の PC は SPC に正確に退避することができず、例外ハンドラからの復帰後リピートループは再開できません。この場合、TLB ミス、TLB 無効、CPU アドレスエラーでは、EXPEVT は H'070 にセットされ、TLB 保護違反では EXPEVT は H'0D0 にセットされます。図 3.14 はこのようなケースが発生する場所を示します。

4 命令以上のリピートループでは、最後の 4 命令のみが該当します。(図 3.14 (4) を参照)

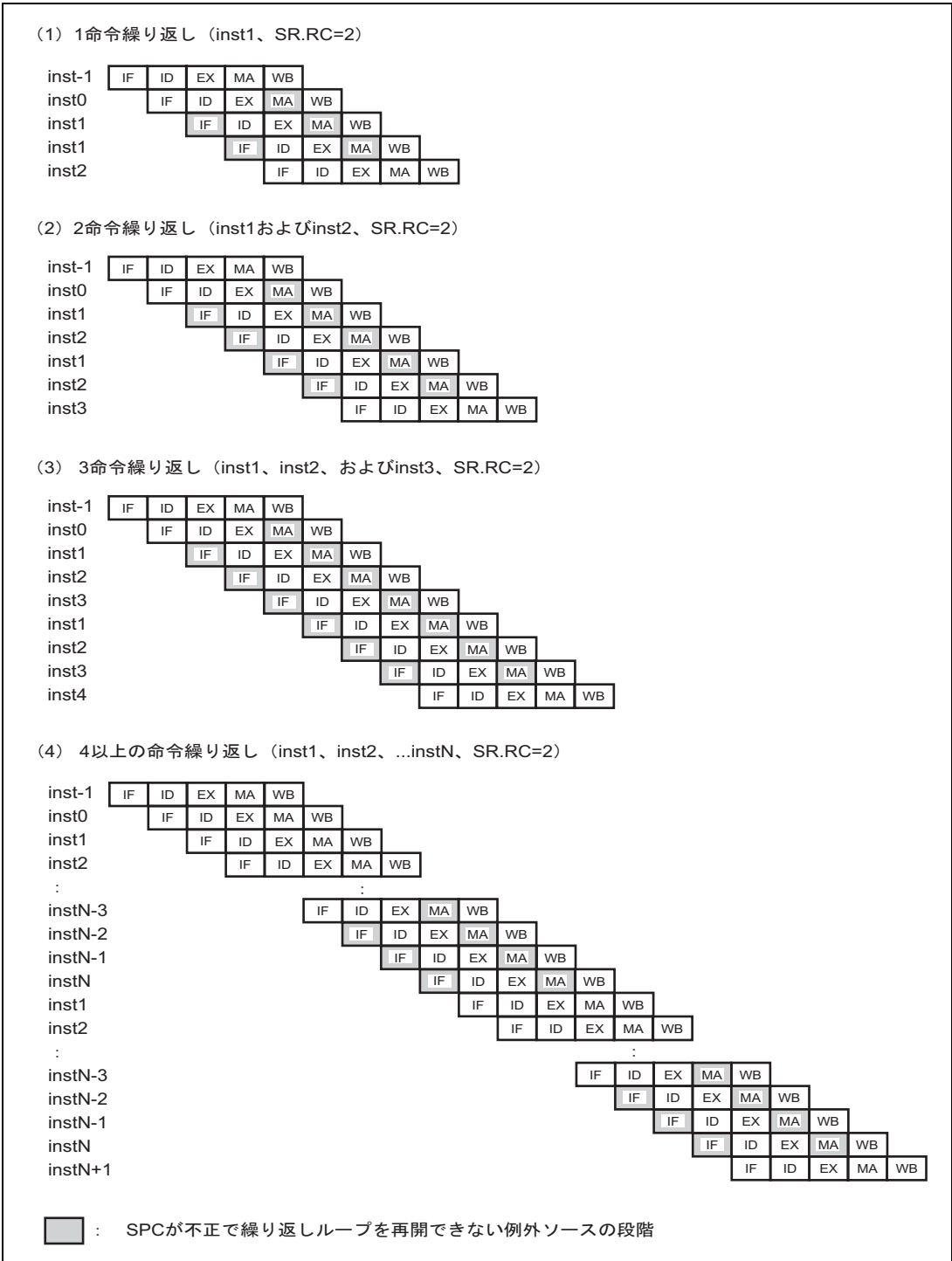


図 3.14 リピートループにおける MMU 例外

3.6 メモリ割り付け TLB の構成

TLB をソフトウェアで管理するために、特権モードのとき、MOV 命令によって、TLB の内容を読み出し、書き込み可能です。TLB は論理アドレス空間の P4 領域に割り付けられています。TLB のアドレスレイ (VPN、V ビット、ASID) は HF200 0000 ~ HF2FF FFFF に、データレイ (PPN、PR、SZ、C、D、SH ビット) は HF300 0000 ~ HF3FF FFFF に割り付けられています。ただしアドレスレイの V ビットはデータレイからもアクセス可能です。アクセスサイズはアドレスレイ、データレイともロングワードのみ可能です。

3.6.1 アドレスレイ

TLB のアドレスレイは HF200 0000 ~ HF2FF FFFF に割り付けられています。アドレスレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスレイに書き込む VPN、V ビット、および ASID を指定します (図 3.15 (1) 参照)。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN (16-12) をアドレス部 (16-12) に、ウェイを選択するための W ビットをアドレス部 (9-8) に、アドレスレイアクセスを示す HF2 をアドレス部 (31-24) に指定します。インデックスアドレスとして VPN (16-12) と PTEH レジスタ内の ASID (4-0) との EX-OR をとるかどうかは、MMUCR の IX ビットに従います。

書き込みの場合は、インデックスアドレスとウェイで選択されたエントリに書き込みます。

読み出しの場合は、アドレス比較を行わず、インデックスアドレスとウェイで選択されたエントリの VPN、V ビット、および ASID が図 3.12 のデータ部のフォーマットで読み出されます。データ部 (16-12) には 0 が読み出されます。

特定のエントリを無効化したい場合にはエントリおよびウェイを指定し、その V ビットに 0 を書き込みます。

3.6.2 データレイ

TLB のデータレイは HF300 0000 ~ HF3FF FFFF に割り付けられています。データレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータレイに書き込むロングワードデータを指定します (図 3.15 (2) 参照)。ロングワードデータは PTEL と同じビット構成です。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN(16-12)をアドレス部(16-12)に、ウェイを選択するための W ビットをアドレス部(9-8)に、データレイアクセスを示す HF3 をアドレス部(31-24)に指定します。インデックスアドレスとして、VPN (16-12) と PTEH レジスタ内の ASID (4-0) との EX-OR をとるかどうかは、MMUCR の IX ビットに従います。

読み出し、書き込みのいずれの場合も、インデックスアドレスとウェイで選択されたデータレイのロングワードデータが読み出され、書き込まれます。

3. メモリマネジメントユニット (MMU)

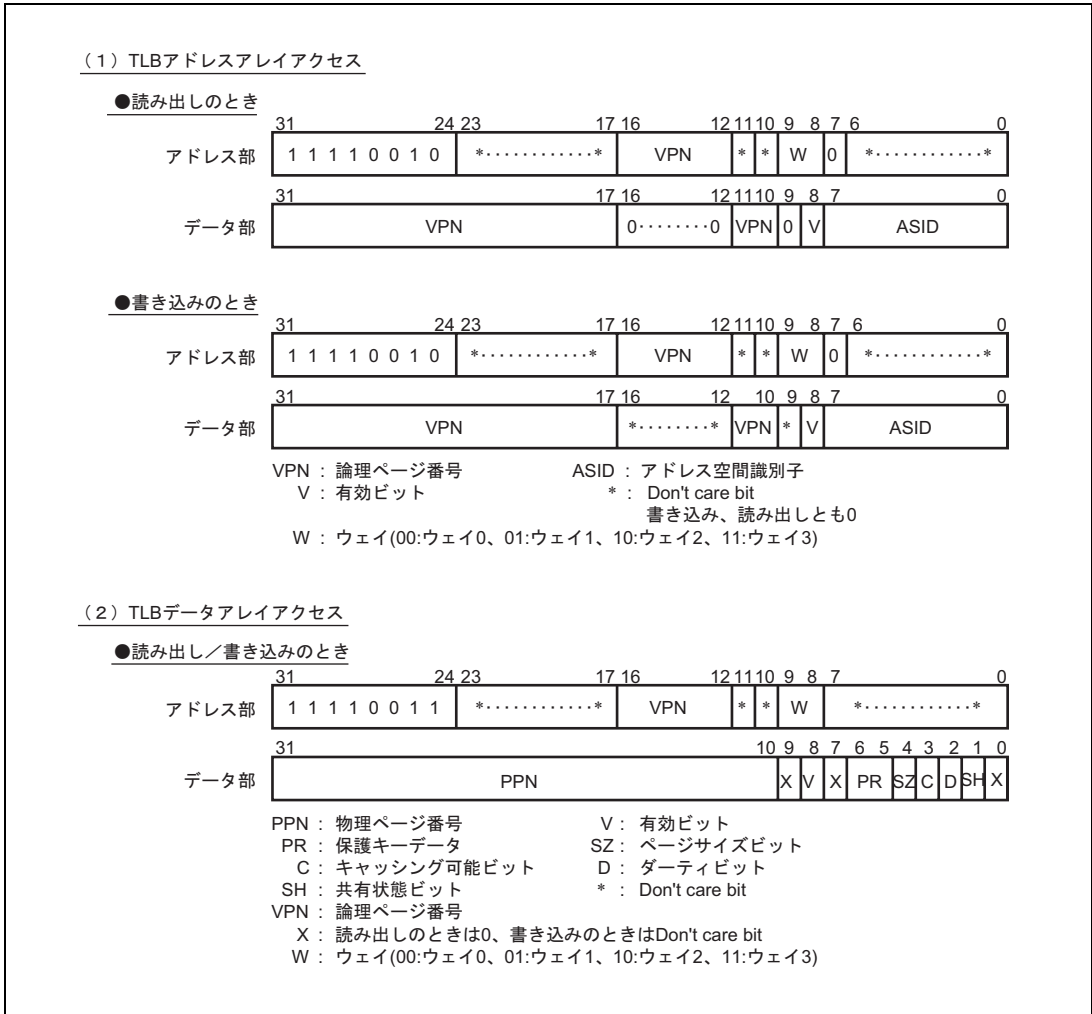


図 3.15 メモリ割り付けされた TLB アクセスのアドレス部、データ部指定方法

3. メモリマネジメントユニット (MMU)

3.6.3 使用例

(1) 特定エントリの無効化

TLB の特定エントリの無効化は、そのエントリの V ビットに 0 を書き込むことで実現できます。以下の例では、R0 に書き込みデータ、R1 にアドレスを指定しています。

```
;R0=H'1547 381C R1=HF201 3000
;MMUCR.IX=0
;VPN(31-17)=B'0001 0101 0100 011 VPN(11-10)=B'10 ASID=B'0001 1100 に対応する
;エントリを VPN(16-12)=B'1 0011 のインデックスで選択されるエントリとし、
;ウェイ 0 の V ビットを 0 にして、無効化を実現する。
```

```
MOV.L R0, @R1
```

(2) データアレイの読み出し

TLB の特定エントリのデータアレイを読み出します。図 3.15 (2) のデータ部で示されるビット順でレジスタに読み出されます。以下の例では、R0 にアドレスを指定し、R1 に読み出しています。

```
;R0=HF300 4300 VPN(16-12)=B'0 0100 ウェイ 3
```

```
MOV.L @R0, R1
```

3.7 使用上の注意

(1) レジスタ SR の MD、BL ビットを操作する命令 (LDC Rm, SR 命令、LDC @Rm+, SR 命令、および RTE 命令) と、その次の命令、または LDTLB 命令は、TLB がディスエーブル状態か固定物理アドレス空間 (P1、P2 空間) で使用してください。

(2) 以下の条件がすべて成立した際に、MMUCR.RC にセットされる値が異常になることがあります。

1) MMU オン (MMUCR.AT=1) で使用

2) TLB アドレスアレイ内の同一エントリの複数ウェイに同一 VPN が存在

3) TLB 関連例外発生

VPN はパワーオン/マニュアルリセット時に初期化されません。そのため、同一エントリで 2 つ以上の VPN が同じ値になることがあります。

この状態で、たとえば way3 に登録することにより、TLB アドレスアレイ内のあるエントリが下記の状態になることがあります。この場合、way0、way3 に同一 VPN が存在することになり、条件 (2) を満たしてしまいます。

リセット後			way3 に登録後		
WAY	VPN	V	WAY	VPN	V
0	12345	0	0	12345	0
3	12345	0	3	12345	1

また、ソフトウェアでの TLB ハンドリング方式によっても、本不具合条件を満たすことがあります。たとえば TLB アドレスアレイ内のあるエントリの way0 を無効化 (V:1 0) した後に、way3 への登録が発生した場合にも下記の状態になることがあります。この場合も、way0、way3 に同一 VPN が存在することになり、条件 (2) を満たしてしまいます。

way0 無効化後			way3 登録後		
WAY	VPN	V	WAY	VPN	V
0	12345	0	0	12345	0
3	11111	0	3	12345	1

回避策

本不具合を回避するため、以下の 2 つの対策を行ってください。

- (a) リセット後、MMUCR.AT=1 にセットするまでに、TLB アドレスアレイの全エントリに対して VPN の上位 4 ビットを 1 に初期化してください。
- (b) TLB アドレスアレイを無効化する場合は、V=0 とセットするだけでなく、VPN の上位 4 ビットも 1 に初期化してください。

こうすることにより、VPN がアドレス変換対象領域でなくなります。そのため条件 (3) を満たさなくなり、本不具合を回避することができます。

3. メモリマネジメントユニット (MMU)

4. 例外処理

4.1 概要

4.1.1 特長

例外処理とは、通常のプログラム処理から離れて、通常とは異なるプログラムで必要な処理をすることをいいます。実行中の命令の異常終了による例外処理要求に対応して、ユーザが作成した例外処理ルーチンに制御の流れが渡ります。ただし、割り込み要求に対しては、実行中の命令が終了するまで通常のプログラムの処理は続行されます。ここでは、リセットと割り込みを除いた例外を一般例外と呼びます。つまり、例外はリセット、一般例外、割り込みの3つに分けられます。

4.1.2 レジスタ構成

表 4.1 に例外処理に使用するレジスタを示します。初期値が不定のレジスタはソフトウェアで初期化する必要があります。

表 4.1 レジスタ構成

レジスタ	略称	R/W	サイズ	初期値	アドレス
TRAPA 例外レジスタ	TRA	R/W	ロングワード	不定	H'FFFFFFD0
例外事象レジスタ	EXPEVT	R/W	ロングワード	パワーオンリセット : H'000 マニュアルリセット : H'020	H'FFFFFFD4
割り込み事象レジスタ	INTEVT	R/W	ロングワード	不定	H'FFFFFFD8
割り込み事象レジスタ 2	INTEVT2	R	ロングワード	不定	H'04000000 (H'A4000000)*

【注】 * MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

4.2 例外処理の機能

4.2.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR) の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンでは例外処理の終了時に例外処理からの復帰命令 (RTE) を実行させます。この命令で PC と SR の内容が回復され、例外発生時の処理状態に戻り、例外の発生したアドレスに戻ります。

基本的な例外処理の流れは次のようになります。

1. PCとSRの内容が、それぞれSPCとSSRに退避されます。
2. SRのブロックビット (BL) が1にセットされ、後続の例外要求がマスクされます。

4. 例外処理

3. SRのモードビット (MD) が1にセットされ、特権モードに切り替わります。
4. SRのレジスタバンクビット (RB) が1にセットされます。
5. 例外要因の例外コードが例外事象レジスタ (EXPEVT)、割り込み事象レジスタ (INTEVT)、または割り込み事象レジスタ2 (INTEVT2) のビット11~0に書き込まれます。
6. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンの命令が実行されます。

4.2.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。一般例外、割り込みのベクタアドレスは、ベクタベースアドレスにオフセットの値を加えた値で決めます。TLB ミス例外のベクタアドレスのオフセットは H'0000 0400 です。TLB ミス以外の一般例外のベクタアドレスのオフセットは H'0000 0100 です。割り込みのベクタアドレスのオフセットは H'0000 0600 です。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。ベクタアドレスは、固定物理アドレスエリア (P1、P2) に配置してください。

ベクタベースアドレス、ベクタオフセット、ベクタテーブルの関係を図 4.1 に示します。

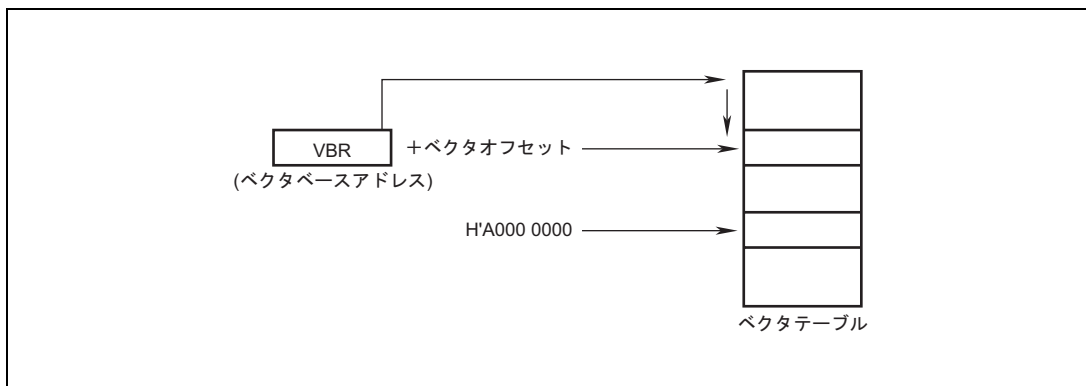


図 4.1 ベクタテーブル

例外とそのベクタアドレスについて、例外の種類、実行命令の終了状態、優先順位、例外順位、ベクタアドレス、ベクタオフセットを表 4.2 に示します。

表 4.2 例外事象ベクタ

例外種別	実行命令の終了状態	例外事象	優先順位* ¹	例外順位	ベクタアドレス	ベクタオフセット
リセット	中断	パワーオンリセット	1	-	H'A0000000	-
		マニュアルリセット	1	-	H'A0000000	-
		H-UDI リセット	1	-	H'A0000000	-
一般例外 事象	中断 および リトライ	CPU アドレスエラー（命令アクセス）	2	1	-	H'00000100
		TLB ミス（非リピートループ命令アクセス）	2	2	-	H'00000400
		TLB ミス（リピートループ命令アクセス）* ⁴	2	2	-	H'00000100
		TLB 無効（命令アクセス）	2	3	-	H'00000100
		TLB 保護違反（命令アクセス）	2	4	-	H'00000100
		一般不当命令例外	2	5	-	H'00000100
		スロット不当命令例外	2	5	-	H'00000100
		CPU アドレスエラー（データアクセス）	2	6	-	H'00000100
		TLB ミス（データアクセス）	2	7	-	H'00000400
		TLB ミス（リピートループデータアクセス）* ⁴	2	7	-	H'00000100
		TLB 無効（データアクセス）	2	8	-	H'00000100
		TLB 保護違反（データアクセス）	2	9	-	H'00000100
	初期ページ書き込み	2	10	-	H'00000100	
	完了	無条件トラップ（TRAPA 命令）	2	5	-	H'00000100
		ユーザブレークポイントトラップ	2	n* ²	-	H'00000100
DMA アドレスエラー		2	12	-	H'00000100	
割り込み 要求	完了	ノンマスカブル割り込み	3	-	-	H'00000600
		外部ハードウェア割り込み	4* ³	-	-	H'00000600
		H-UDI 割り込み	4* ³	-	-	H'00000600

- 【注】 *1 優先順位は高い方から順番に示します。1 が最高で 4 が最低です。
- *2 ブレークポイントトラップはユーザが定義できます。命令実行前のブレークポイントのとき 1、命令実行後のブレークポイントのとき 11、オペランドブレークポイントのときも 11 となります。
- *3 外部ハードウェア割り込みと周辺モジュール割り込みの相対的な優先順位は、ソフトウェアで指定してください（「第 7 章 割り込みコントローラ（INTC）」を参照）。
- *4 詳細については「4.5.2 一般例外」を参照してください。

4.2.3 例外要因の受け付け

リセットと割り込みは命令実行の流れに関係しない非同期的な事象です。すべての例外は、2 つ以上の例外が同時に発生したとき、処理される優先順位が決められています。パワーオンリセットとマニュアルリセットが同時に発生したときにはパワーオンリセットが優先されます。一般例外は命令の実行に従った実行順位で発生します。しかし、優先レベル 2 の中で命令の流れの順序（プログラム順）に処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の中の一般不当命令例外、無条件トラップ例外、不当スロット命令例外の 3 つは、それぞれのデコードステージ（ID ステージ）で検出され、命令パイプラインの中では同時に発生しない例外です。このため実行順位は同じ値になっています。一般例外の受け付け順序の例を図 4.2 に示します。

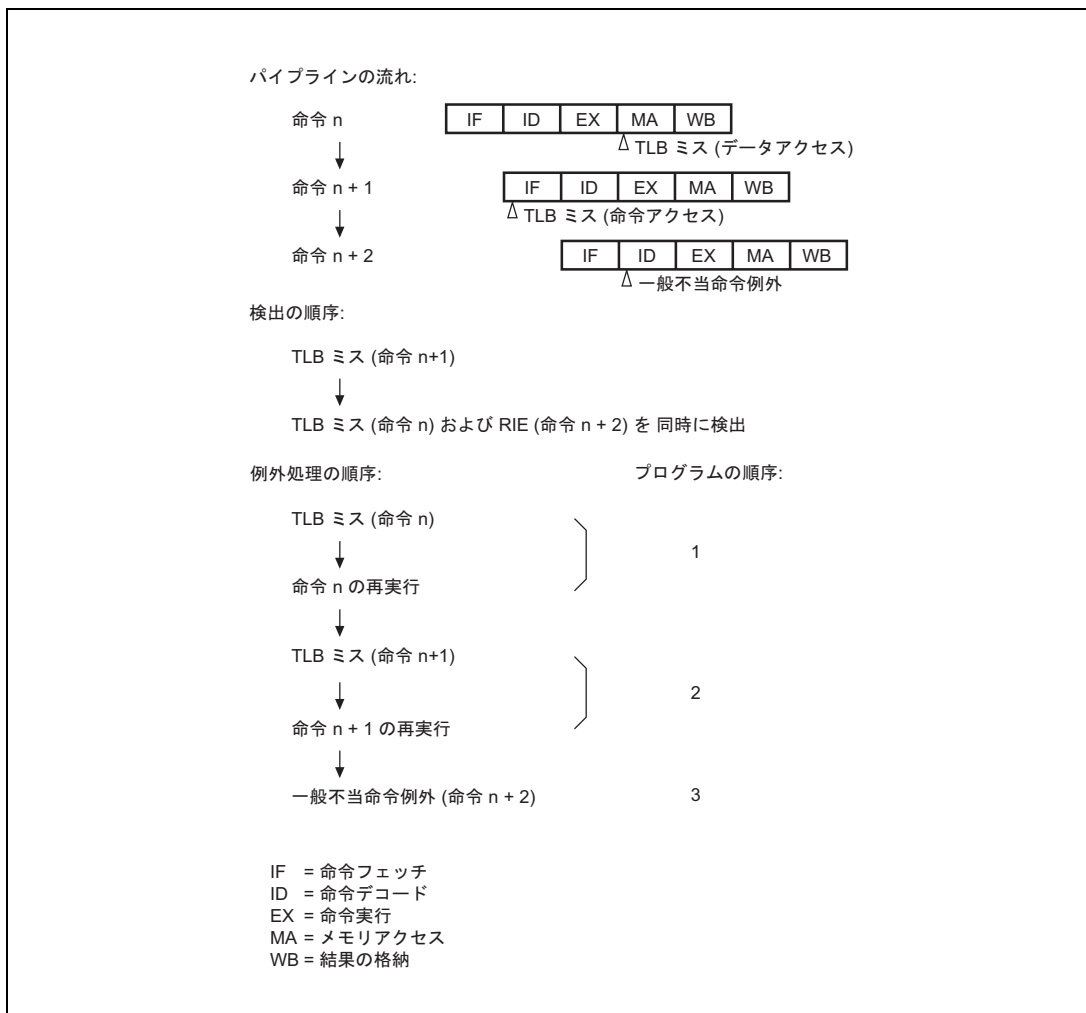


図 4.2 一般例外の受け付け順序の例

リセットを除くすべての例外は、パイプラインの ID ステージで検出され、命令の境界で受け付けられます。ただし、遅延分岐命令と遅延スロットの間では、受け付けられません。遅延スロットで検出された再実行型例外は、遅延分岐命令実行前に受け付けられます。遅延分岐命令または遅延スロットで検出された完了型例外は、遅延分岐命令実行後に受け付けられます。ここでいう遅延スロットとは、遅延無条件分岐命令の次の命令や、遅延条件分岐命令が成立するときの次の命令を示します。

4.2.4 例外コード

表 4.3 に各特定例外イベントを区別するために、EXPEVT レジスタ（リセットまたは一般例外用）のビット 11 ~ 0、または INTEVT、INTEVT2 レジスタ（一般割り込み要求用）に書き込まれる例外コードを示します。もう 1 つの例外レジスタ、TRAPA (TRA) レジスタは無条件トラップ (TRAPA 命令) の 8 ビットイミディエイトデータを保持するために使用します。

4. 例外処理

表 4.3 例外コード

例外タイプ	例外イベント	例外コード
リセット	パワーオンリセット	H'000
	マニュアルリセット	H'020
	H-UDI リセット	H'000
一般例外事象	TLB ミス例外 / TLB 無効例外 (読み出し)	H'040
	TLB ミス例外 / TLB 無効例外 (書き込み)	H'060
	リピートループでの TLB ミス例外 / TLB 無効例外 / CPU アドレスエラー	H'070
	初期ページ書き込み例外	H'080
	TLB 保護例外 (読み出し)	H'0A0
	TLB 保護例外 (書き込み)	H'0C0
	リピートループでの TLB 保護例外	H'0D0
	CPU アドレスエラー (読み出し)	H'0E0
	CPU アドレスエラー (書き込み)	H'100
	無条件トラップ (TRAPA 命令)	H'160
	一般不当命令例外	H'180
	スロット不当命令例外	H'1A0
	ユーザブレークポイントトラップ	H'1E0
	DMA アドレスエラー	H'5C0
割り込み要求	ノンマスカブル割り込み	H'1C0
	H-UDI 割り込み	H'5E0
	外部ハードウェア割り込み : IRL3 - IRL0 = 0000	H'200
	IRL3 - IRL0 = 0001	H'220
	IRL3 - IRL0 = 0010	H'240
	IRL3 - IRL0 = 0011	H'260
	IRL3 - IRL0 = 0100	H'280
	IRL3 - IRL0 = 0101	H'2A0
	IRL3 - IRL0 = 0110	H'2C0
	IRL3 - IRL0 = 0111	H'2E0
	IRL3 - IRL0 = 1000	H'300
	IRL3 - IRL0 = 1001	H'320
	IRL3 - IRL0 = 1010	H'340
	IRL3 - IRL0 = 1011	H'360
	IRL3 - IRL0 = 1100	H'380
	IRL3 - IRL0 = 1101	H'3A0
	IRL3 - IRL0 = 1110	H'3C0

【注】 例外コード H'120、H'140、H'3E0 は予約されています。

4.2.5 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、一般例外が発生した場合には、CPU の内部レジスタはリセット後の状態になり、ほかのモジュールのレジスタは、一般例外発生前の内容を保持した状態でリセットと同アドレス (H'A000 0000) に分岐します。

SR の BL ビットが 1 のときに、割り込みが発生した場合には割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。

例外処理を多重に受け付け可能にするためには、SPC と SSR を退避させ、そのあと SR の BL ビットを 0 でクリアします。

4.2.6 例外処理からの戻り

例外処理からの戻りは、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR にセットされ、SPC のアドレスに分岐して、例外処理から復帰します。もし、外部メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 としてから、それらを回復し、RTE 命令を発行してください。

4.3 レジスタの説明

例外処理に関するレジスタは、4 つあります。これらのレジスタは周辺モジュールレジスタなので P4 領域に配置され、特権モードのときのみアドレスを指定してアクセスすることができます。

1. 例外事象レジスタ (EXPEVT) は、H'FFFF FFD4番地に配置されていて、例外コード12ビットから構成されています。EXPEVTに設置される例外コードは、リセットと一般例外事象による例外コードです。例外コードは例外発生時にハードウェアにより自動的に設定されます。EXPEVTはソフトウェアからも変更が可能です。
2. 割り込み事象レジスタ2 (INTEVT2) は、H'04000000番地に配置されていて、例外コード12ビットから構成されています。INTEVT2に設定される例外コードは、割り込み要求による例外コードです。例外コードは例外発生時にハードウェアにより自動的に設定されます。
3. 割り込み事象レジスタ (INTEVT) はH'FFFFFFD8番地に配置されていて、割り込み例外コード12ビット、または割り込み優先順位を示すコードを格納します。割り込み発生によりどちらがセットされるかは、割り込み要因により異なります (表7.4、表7.5 参照)。例外コード、割り込み優先順位コードは例外発生時にハードウェアにより自動的に設定されます。INTEVTはソフトウェアからも変更が可能です。
4. TRAPA例外レジスタ (TRA) は、H'FFFF FFD0番地に配置されていて、TRAPA命令の8ビットイミディエイトデータ (imm) から構成されています。TRAはTRAPA命令実行時にハードウェアにより自動的に設定されます。TRAはソフトウェアからも変更が可能です。

4. 例外処理

EXPEVT、INTEVT、INTEVT2、TRA のビット構成を図 4.3 に示します。

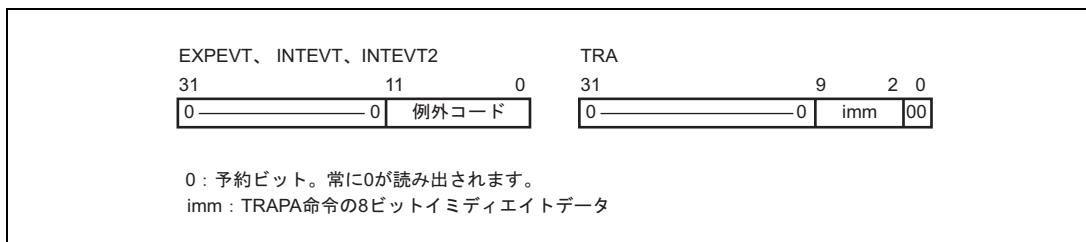


図 4.3 レジスタのビット構成

4.4 例外処理の動作

4.4.1 リセット

リセットは電源を入れたとき、またはいわゆる初期化状態から再実行したいときに使われます。 $\overline{\text{RESETP}}$ 信号および $\overline{\text{RESETM}}$ 信号がクロックサイクルごとに調べられ、パワーオンリセットの場合、すべての実行中の処理（RTCを除く）が中断され、いかなる未処理の事象も取り消されて、リセット処理が直ちに実行されます。しかし、マニュアルリセットの場合、外部メモリの内容を保持するための処理などは継続します。リセット処理は次のとおりです。

1. SRのモードビット（MD）が1になり、特権モードに切り替わります。
2. SRのブロックビット（BL）が1になり、後続の例外要求がマスクされます（BLMSKビットが1のときのNMI割り込みを除く）。
3. SRのレジスタバンクビット（RB）が1になります。
4. パワーオンリセットのときはH'000が、マニュアルリセットのときはH'020が例外要求を識別するために例外事象レジスタ（EXPEVT）のビット11～0に書き込まれます。
5. アドレスH'A000 0000にあるユーザが作成した例外処理ルーチンから命令実行が始まります。

4.4.2 割り込み

実行中の命令が完了した時点で割り込みが受け付けられます。割り込み受け付けの処理は次のとおりです。

1. PCとSRの内容が、それぞれSPCとSSRに退避されます。
2. SRのブロックビット (BL) が1になり、後続の例外要求がマスクされます (BLMSKビットが1のときのNMI割り込みを除く)。
3. SRのモードビット (MD) が1になり、特権モードに切り替わります。
4. SRのレジスタバンクビット (RB) が1になります。
5. 例外要因を識別する例外コードが割り込み事象レジスタ (INTEVT) と割り込み事象レジスタ2 (INTEVT2) のビット11~0に書き込まれます。
6. 命令の実行は、ベクタベースレジスタ (VBR) に設定された値とH'0000 0600との和で指定されたアドレスに分岐して、例外処理ルーチンが開始されます。

4.4.3 一般例外

リセット例外または割り込み要求以外の一般例外処理は次のとおりです。

1. PCとSRの内容が、それぞれSPCとSSRに退避されます。
2. SRのブロックビット (BL) が1になり、後続の例外要求がマスクされます (BLMSKビットが1のときのNMI割り込みを除く)。
3. SRのモードビット (MD) が1になり、特権モードに切り替わります。
4. SRのレジスタバンクビット (RB) が1になります。
5. 例外要因を識別する例外コードが例外事象レジスタ (EXPEVT) のビット11~0に書き込まれます。
6. TLBミス例外の場合はベクタベースレジスタ (VBR) に設定された値とH'0000 0400との和で指定されたアドレスに分岐し、TLBミス以外の例外の場合は、ベクタベースレジスタ (VBR) に設定された値とH'0000 0100との和で指定されたアドレスに分岐して、例外処理ルーチンが開始されます。

4.5 個別例外動作

個別の例外処理動作について、発生条件、発生時のプロセッサ動作について説明します。

4.5.1 リセット

(1) パワーオンリセット

条件： $\overline{\text{RESETP}}$ ローレベル

動作：EXPEVT は H'000 にセット、VBR、SR は初期化、PC = H'A0000000 に分岐。初期化により VBR レジスタは H'00000000 にセット。SR の MD、RB、BL ビットは 1 にセットされ、割り込みマスクビット (I3 - I0) は B'1111 にセット。CPU および内蔵周辺モジュールは初期化。詳細については各章のレジスタ説明を参照してください。電源投入時には必ずパワーオンリセットを実行してください。

STATUS0、1 端子にそれぞれハイレベルが出力されます。

(2) マニュアルリセット

条件： $\overline{\text{RESETM}}$ ローレベル

動作：EXPEVT は H'020 にセット、VBR、SR は初期化、PC = H'A0000000 に分岐。初期化により VBR レジスタは H'00000000 にセット。SR の MD、RB、BL ビットは 1 にセットされ、割り込みマスクビット (I3 - I0) は B'1111 にセット。CPU および内蔵周辺モジュールは初期化。詳細については各章のレジスタ説明を参照してください。

STATUS0、1 端子にそれぞれハイレベルが出力されます。

(3) H-UDI リセット

条件：H-UDI リセットコマンド入力 (「31.4.3 H-UDI リセット」を参照)

動作：EXPEVT は H'000 にセット、VBR および SR は初期化、PC = H'A0000000 に分岐。初期化により VBR レジスタは H'00000000 にセット。SR の MD、RB、BL ビットは 1 にセットされ、割り込みマスクビット (I3 - I0) は B'1111 にセット。CPU および内蔵周辺モジュールは初期化。詳細については各章のレジスタ説明を参照してください。

表 4.4 リセットの種類

種類	リセット状態への移行条件	内部状態	
		CPU	内蔵周辺モジュール
パワーオンリセット	$\overline{\text{RESETP}}$ =ローレベル	初期化	(各章のレジスタ構成を参照)
マニュアルリセット	$\overline{\text{RESETM}}$ =ローレベル	初期化	
H-UDI リセット	H-UDI リセットコマンド入力	初期化	

4.5.2 一般例外

(1) TLB ミス例外

条件：TLB アドレスの比較の結果、アドレスが不一致だった場合

動作：例外発生元の論理アドレス（32 ビット）は TEA にセットされ、該当する論理ページ番号（22 ビット）は PTEH（31～10）にセットされます。PTEH の ASID は例外発生時の ASID を示します。MMUCR の RC ビットは全ウェイが有効のとき+1 を行い、無効なウェイがあるときはウェイ 0 から優先的にセットされます。

本例外を発生させた命令の PC と SR は、それぞれ SPC と SSR に退避します。読み出し時に例外が発生した場合、H'040 が EXPEVT にセットされ、書き込み時に例外が発生した場合、H'060 が EXPEVT にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC = VBR + H'0400 に分岐します。

TLB ミス処理を高速化するために、オフセットはほかの例外と分けています。

(2) TLB 無効例外

条件：TLB アドレスの比較の結果アドレスは一致したが、V = 0 であった場合

動作：例外発生元の論理アドレス（32 ビット）は TEA にセットされ、該当する論理ページ番号（22 ビット）は PTEH（31～10）にセットされます。PTEH の ASID は例外発生時の ASID を示します。例外を発生したウェイは MMUCR の RC ビットにセットされます。

本例外を発生させた命令の PC と SR は、それぞれ SPC と SSR に退避します。読み出し時に例外が発生した場合、H'040 が EXPEVT にセットされ、書き込み時に例外が発生した場合、H'060 が EXPEVT にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC = VBR + H'0100 に分岐します。

(3) リピートループにおける TLB 例外 / CPU アドレスエラー

条件：リピートループの直前およびループ中の命令で TLB ミス、TLB 無効例外、または CPU アドレスエラーが発生した場合（「3.5.6 リピートループにおける MMU 例外」を参照）

動作：TEA、PTEH、MMUCR の RC ビットは例外の種類に応じてセットされます。

本例外を発生させた命令の SR は SSR に退避されます。しかし、例外を発生した命令の PC は SPC に正確に退避することができず、リピートループは例外ハンドラからの復帰後再開できません。リピートループを完了するためには、リピートループの直前およびループ中の命令で TLB 例外または CPU アドレスエラーが発生しないようにしてください（「3.5.6 リピートループにおける MMU 例外」を参照）。リピートループの直前およびループ中の命令で TLB 例外または CPU アドレスエラーが発生した場合、EXPEVT は H'070 にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC = VBR + H'0100 に分岐します。

(4) 初期ページ書き込み例外

条件：ストアアクセスで TLB にヒットしたが、D = 0 であった場合

（ロードによって登録されたページに初めて書き込んだときに発生します）

動作：例外発生元の論理アドレス（32 ビット）は TEA にセットされ、該当する論理ページ番号（22 ビット）は PTEH（31～10）にセットされます。PTEH の ASID は例外発生時の ASID を示します。例外を発生し

4. 例外処理

たウェイは MMUCR の RC ビットにセットされます。

本例外を発生させた命令の PC と SR は、それぞれ SPC と SSR に退避します。H'080 が EXPEVT にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC = VBR + H'0100 に分岐します。

(5) TLB 保護例外

条件：ヒットアクセスが次の TLB 保護情報 (PR ビット) に違反する場合

PR	特権モード	ユーザモード
00	読み出し専用	アクセス不可
01	読み出し / 書き込み可能	アクセス不可
10	読み出し専用	読み出し専用
11	読み出し / 書き込み可能	読み出し / 書き込み可能

動作：例外発生元の論理アドレス (32 ビット) は TEA にセットされ、該当する論理ページ番号 (22 ビット) は PTEH (31 ~ 10) にセットされます。PTEH の ASID は例外発生時の ASID を示します。例外を発生したウェイは MMUCR の RC ビットにセットされます。

本例外を発生させた命令の PC と SR は、それぞれ SPC と SSR に退避します。読み出し時に例外が発生した場合、H'0A0 が EXPEVT にセットされ、書き込み時に例外が発生した場合、H'0C0 が EXPEVT にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC = VBR + H'0100 に分岐します。

(6) リピートループでの TLB 保護違反

条件：リピートループの直前およびループ中の命令で TLB 保護違反が発生した場合 (「3.5.6 リピートループにおける MMU 例外」を参照)

動作：TEA、PTEH、MMUCR の RC ビットは例外の種類に応じてセットされます。本例外を発生させた命令の SR は SSR に退避されます。しかし、例外を発生した命令の PC は SPC に正確に退避することができず、リピートループは例外ハンドラからの復帰後再開できません。リピートループを完了するためには、リピートループの直前およびループ中の命令で TLB 保護違反が発生しないようにしてください (「3.5.6 リピートループにおける MMU 例外」を参照)。リピートループの直前およびループ中の命令で TLB 保護違反が発生した場合、EXPEVT は H'0D0 にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC = VBR + H'0100 に分岐します。

(7) CPU アドレスエラー

条件：

- (a) 奇数アドレス (4n+1, 4n+3) からの命令フェッチ
- (b) ワード境界以外 (4n+1, 4n+3) のアドレスからのワードデータアクセス
- (c) ロングワード境界以外 (4n+1, 4n+2, 4n+3) のアドレスからのロングワードアクセス
- (d) ユーザモードで論理空間の H'80000000 から H'FFFFFFF の領域をアクセス

動作：例外発生元の論理アドレス (32 ビット) は TEA にセットされます。本例外を発生させた命令の PC と SR は、それぞれ SPC と SSR に退避します。読み出し時に例外が発生した場合、H'0E0 が EXPEVT にセットされ、書き込み時に例外が発生した場合、H'100 が EXPEVT にセットされます。SR の BL、MD、RB ビ

ットは1にセットされ、PC = VBR + H'0100 に分岐します。詳細は、「3.5.5 MMU 例外発生時の処理フロー」を参照してください。

(8) 無条件トラップ

条件：TRAPA 命令を実行

動作：本例外は処理完了型なので、TRAPA 命令後の命令の PC を SPC に退避します。TRAPA 命令実行時からの SR は SSR に退避します。TRAPA 命令の 8 ビットイミディエイト値は 4 倍され、TRA (9~0) にセットされます。H'160 が EXPEVT にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC = VBR + H'0100 に分岐します。

(9) 一般不当命令例外

条件：

(a) 遅延スロット以外にある未定義命令をデコードした場合

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令：H'Fxxx

(b) 遅延スロット以外にある特権命令をユーザモードでデコードした場合

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC/STC で GBR をアクセスする命令を除く

(c) 遅延スロットにない DSP 命令を DSP 拡張なしにデコードする場合 (SR の DSP ビット=0)

DSP 命令：LDS Rm, DSR/A0/X0/X1/Y0/Y1、LDS.L @Rm+, DSR/A0/X0/X1/Y0/Y1、

STS DSR/A0/X0/X1/Y0/Y1, Rn, STS.L DSR/A0/X0/X1/Y0/Y1, @-Rn、

LDC Rm,RS/RE/MOD、LDC.L @Rm+, RS/RE/MOD、STC RS/RE/MOD,Rn、

STC.L RS/RE/MOD, @-Rn、LDRS、LDRE、SETRC、MOVS、MOVX、MOVY、Pxxx

(d) リピートループの最後の 3 つの命令で PC/SR/RS/RE を書き換える命令をデコードする場合

PC を書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、BT、BF、BT/S、BF/S、TRAPA、
LDC Rm, SR、LDC.L @Rm+, SR

SR を書き換える命令：LDC Rm, SR、LDC.L @Rm+, SR、SETRC

RS を書き換える命令：LDC Rm, RS、LDC.L @Rm+, RS、LDRS

RE を書き換える命令：LDC Rm, RE、LDC.L @Rm+, RE、LDRE

動作：本例外を発生させた命令の PC、SR をそれぞれ SPC、SSR に退避します。

H'180をEXPEVTにセットします。SRのBL、MD、RBビットを1にセットし、PC = VBR + H'0100に
分岐します。なお、H'Fxxx以外の未定義コードをデコードした場合には動作を保証しません。

4. 例外処理

(10) スロット不当命令

条件：

(a) 遅延スロットにある未定義命令をデコードした場合

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S、未定義命令：H'Fxxx

(b) 遅延スロット内で PC を書き換える命令をデコードした場合

PC を書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、
LDC Rm,SR、LDC.L @Rm+,SR

(c) 遅延スロットにある特権命令をユーザモードでデコードした場合

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC/STC で GBR にアクセスする命令は特権命令ではありません。

(d) 遅延スロットにある DSP 命令を DSP 拡張なしにデコードする場合 (SR の DSP ビット=0)

DSP 命令：LDS Rm, DSR/A0/X0/X1/Y0/Y1、LDS.L @Rm+, DSR/A0/X0/X1/Y0/Y1、
STS DSR/A0/X0/X1/Y0/Y1, Rn、STS.L DSR/A0/X0/X1/Y0/Y1, @-Rn、
LDC Rm,RS/RE/MOD、LDC.L @Rm+, RS/RE/MOD、STC RS/RE/MOD,Rn、
STC.L RS/RE/MOD, @-Rn、LDRS、LDRE、SETRC、MOVS、MOVX、MOVY、Pxxx

動作：直前の遅延分岐命令の PC を、SPC に退避します。本例外発生時の SR を SSR に退避します。H'1A0 を EXPEVT にセットします。SR の BL、MD、RB ビットを 1 にセットし、PC = VBR + H'0100 に分岐します。H'Fxxx 以外の未定義命令をデコードした場合には動作を保証しません。

(11) ユーザブレークポイントトラップ

条件：ユーザブレークコントローラで設定したブレーク条件を満足する場合

動作：実行後ブレークが発生すると、ブレークポイントを設定した命令の直後の命令の PC を SPC にセットします。実行前ブレークが発生すると、ブレークポイントを設定した命令の PC を SPC にセットします。ブレーク発生時の SR が SSR にセットされます。H'1E0 が EXPEVT にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC = VBR + H'0100 に分岐します。詳細については「第 8 章 ユーザブレークコントローラ (UBC)」を参照してください。

(12) DMA アドレスエラー

条件：

(a) ワード境界以外のアドレス ($4n + 1, 4n + 3$) からのワードデータアクセス

(b) ロングワード境界以外のアドレス ($4n + 1, 4n + 2, 4n + 3$) からのロングワードデータアクセス

動作：例外が発生する前に実行した命令の直後の命令の PC が SPC に退避されます。例外発生時の SR が SSR に退避されます。EXPEVT には H'5C0 がセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC = VBR + H'0100 に分岐します。

4.5.3 割り込み

(1) NMI

条件：NMI 端子のエッジ検出

動作：割り込みを受け付けた命令の直後の PC と SR を、それぞれ SPC と SSR に退避します。H'1C0 が INTEVT および INTEVT2 にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC = VBR + H'0600 に分岐します。この割り込みは SR の割り込みマスクビットによってはマスクされず、SR の BL ビットが 0 のとき最優先で受け付けられます。BL ビットが 1 のとき、割り込みはマスクされます。詳細については「第 7 章 割り込みコントローラ (INTC)」を参照してください。

(2) IRL 割り込み

条件：SR の割り込みマスクビットの値が IRL3 ~ IRL0 レベルより小さく、かつ SR の BL ビットが 0 のとき、命令の切れ目で受け付けられます。

動作：割り込みを受け付けた命令の直後の PC を SPC に退避します。割り込み受け付け時の SR を SSR に退避します。IRL3 ~ IRL0 レベルに対応したコードを INTEVT および INTEVT2 にセットします。対応コードは $H'200 + (IRL3 \sim IRL0 \text{ の値}) \times H'20$ として与えられます。対応コードは表 7.5 を参照してください。SR の BL、MD、RB ビットは 1 にセットされ、VBR + H'0600 に分岐します。受け付けレベルは SR の割り込みマスクビットにはセットされません。詳細については「第 7 章 割り込みコントローラ (INTC)」を参照してください。

(3) IRQ 割り込み

条件：IRQ 端子がアサートされ、SR の割り込みマスクビットが IRQ 優先順位レベルより小さく、かつ SR の BL ビットが 0 のとき、割り込みは命令の切れ目で受け付けられます。

動作：割り込みを受け付けた命令の直後の PC を SPC に退避します。割り込み受け付け時の SR を SSR に退避します。割り込み要因に対応したコードは INTEVT および INTEVT2 にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、VBR + H'0600 に分岐します。受け付けレベルは SR の割り込みマスクビットにはセットされません。詳細については「第 7 章 割り込みコントローラ (INTC)」を参照してください。

4. 例外処理

(4) PINT 割り込み

条件：PINT 端子はアサートされ、SR の割り込みマスクビットが PINT 優先順位レベルより小さく、かつ SR の BL ビットが 0 のとき、割り込みは命令の切れ目で受け付けられます。

動作：割り込みを受け付けた命令の直後の PC を SPC に退避します。割り込み受け付け時の SR を SSR に退避します。割り込み要因に対応したコードは INTEVT および INTEVT2 にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、VBR + H'0600 に分岐します。受け付けレベルは SR の割り込みマスクビットにはセットされません。詳細については「第 7 章 割り込みコントローラ (INTC)」を参照してください。

(5) 内蔵周辺モジュール割り込み

条件：SR の割り込みマスクビットが内蔵周辺モジュール (TMU、RTC、SCI、SIOF、SCIF、A/D、DMAC、CPG、REF、PCC、USBH、USBF、LCDC、AFEIF) 割り込みレベルより低く、かつ SR の BL ビットが 0 のとき、割り込みは命令の切れ目で受け付けられます。

動作：割り込みを受け付けた命令の直後の PC を SPC に退避します。割り込み受け付け時の SR を SSR に退避します。割り込み要因に対応したコードは INTEVT および INTEVT2 にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、VBR + H'0600 に分岐します。詳細については「第 7 章 割り込みコントローラ (INTC)」を参照してください。

(6) H-UDI 割り込み

条件：H-UDI 割り込みコマンドを入力（「31.4.4 H-UDI 割り込み」を参照）し、SR の割り込みマスクビットが 15 未満で SR の BL ビットが 0 のとき、割り込みは命令の切れ目で受け付けられます。

動作：割り込みを受け付けた命令の直後の PC を SPC に退避します。割り込みを受け付けた時点での SR を SSR に退避します。INTEVT および INTEVT2 には H'5E0 がセットされます。SR の BL、MD、RB ビットは 1 にセットされ、VBR + H'0600 に分岐します。詳細については「第 7 章 割り込みコントローラ (INTC)」を参照してください。

4.6 使用上の注意

(1) 例外処理からの復帰

(a) ソフトウェアで SR の BL ビットをチェックしてください。SPC および SSR を外部メモリに退避していた場合には、それらを復帰する前に SR の BL ビットを 1 にセットします。

(b) RTE 命令を実行します。RTE 命令で PC に SPC を、SR に SSR をセットし、SPC アドレスに分岐し例外処理から復帰します。

(2) SR の BL ビットが 1 のときに例外または割り込みが発生した場合の動作

(a) 割り込み：

SR の BL ビットをソフトウェアで 0 にセットするまで受け付けを中断します。要求があり受け付け条件が満たされると、SR の BL ビットを 0 にセットする命令の実行直後に割り込みが受け付けられます。ただし、スリープモードまたはスタンバイモード時、SR の BL ビットが 1 のときも割り込みは受け付けられます。

ICR1 の BLMSK が 1 のとき NMI は BL ビットの設定に関係なく割り込みを受け付けます。

(b) 例外：

ブレイク条件が成立してもユーザブレイクポイントトラップが発生しません。ほかの例外のいずれかが発生すると、リセットの固定アドレス (H'A0000000) に分岐します。この場合、EXPEVT、SPC、SSR レジスタの値は不定になります。

(3) 例外発生時の SPC

例外発生時 SPC に退避した PC は次のとおりです。

(a) 再実行型の例外：

例外発生元の命令の PC が SPC にセットされ、例外処理からの復帰後再実行されます。ただし、例外が遅延スロットで発生した場合は、直前の遅延分岐命令の PC が SPC にセットされます。条件付き遅延分岐命令の条件が満たされない場合、遅延スロットの PC が SPC にセットされます。

(b) 完了型例外と割り込み：

例外発生元の命令の次の命令の PC が SPC にセットされます。ただし、例外が条件付き遅延分岐命令で発生した場合は、分岐先の PC が SPC にセットされます。条件付き遅延分岐命令の条件が満たされない場合、遅延スロットの PC が SPC にセットされます。

(4) リセット後の初期レジスタ値

(a) 不定レジスタ

R0_BANK0/1 ~ R7_BANK0/1, R8 ~ R15, GBR, SPC, SSR, MACH, MACL, PR

(b) 初期化レジスタ

VBR = H'00000000

SR.MD = 1, SR.BL = 1, SR.RB = 1, SR.I3 ~ SR.I0 = H'F. その他の SR のビットは不定です。

PC = H'A0000000

4. 例外処理

- (5) RTE 命令の遅延スロットで例外を発生させないでください。発生した場合、動作の保証はできません。
- (6) SR レジスタの BL ビットが 1 のとき、LDC 命令で SR レジスタを更新する命令とその次の命令で、TLB 関連例外あるいはアドレスエラーを発生させないでください。多重例外と認識し、リセット処理を始めることがあります。

5. キャッシュ

5.1 概要

5.1.1 特長

キャッシュの特長を表 5.1 に示します。

表 5.1 キャッシュの特長

項目	仕様
容量	16k バイト
構成	命令/データ混合、4 ウェイセットアソシアティブ
ロック	ウェイ 2、ウェイ 3 はロック可能
ラインサイズ	16 バイト
エントリ数	256 エントリ/ウェイ
ライト方式	P0、P1、P3、U0：ライトバック、ライトスルー選択可能
置換方式	LRU (Least Recently Used)

5.1.2 キャッシュの構成

キャッシュは、命令/データ混在型の 4 ウェイセットアソシアティブ方式です。4 つのウェイ (バンク) で構成され、各々のウェイはアドレス、データに分かれています。アドレス、データは各々 256 のエントリで構成されます。エントリのデータをラインとよびます。1 ラインは 16 バイト (4 バイト×4) です。1 ウェイあたりのデータ容量は、4k バイト (16 バイト×256 エントリ) で、キャッシュ全体 (4 ウェイ) では 16k バイトの容量となります。キャッシュの構成を図 5.1 に示します。

5. キャッシュ

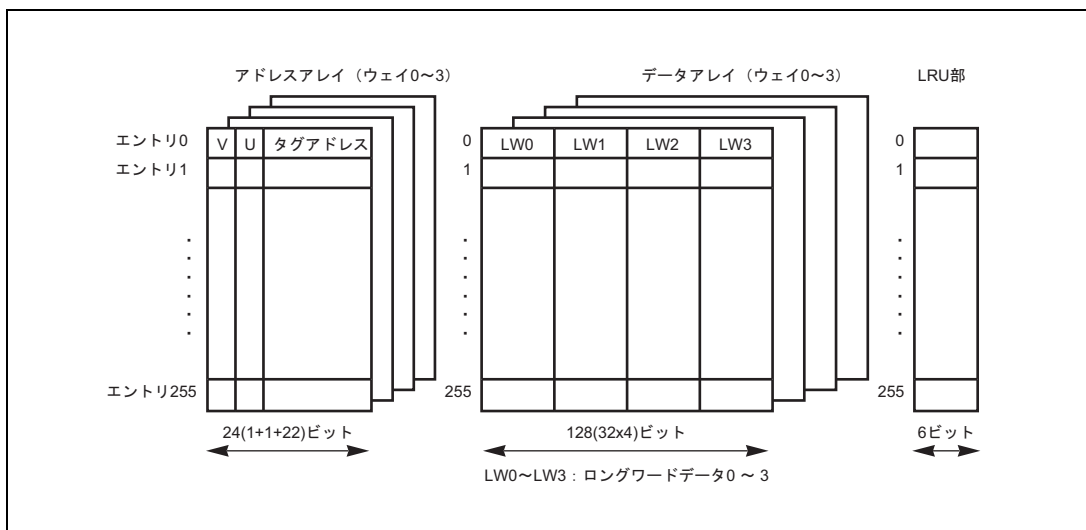


図 5.1 キャッシュの構成

(1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

U ビットは、ライトバックモードで、そのエントリに書き込みがあったことを示します。

U ビットが 1 で書き込みあり、0 で書き込みなしを示します。

タグアドレスは、外部メモリのアクセスに使用される物理アドレスを保持します。

キャッシュ検索時の比較に使用される 22 ビット (アドレス 31~10) からなります。

本 LSI では、物理アドレス 32 ビットの上位 3 ビットをシャドウとして利用するため (「第 12 章 バスステートコントローラ (BSC)」参照)、通常のリブレースでは、タグアドレスの上位 3 ビットに 0 が入ります。

V、U ビットは、パワーオンリセットで 0 に初期化されますが、マニュアルリセットでは、初期化されません。

タグアドレスは、パワーオン / マニュアルリセットで初期化されません。

(2) データアレイ

16 バイトの命令あるいはデータを保持します。キャッシュへのエントリの登録の単位はライン単位 (16 バイト単位) で行います。

データアレイは、パワーオン / マニュアルリセットで初期化されません。

(3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレス (アドレス 11~4) が同じ命令、データを 4 つまでキャッシュに登録できます。エントリに登録するとき、4 つのウェイのうち、どのウェイに登録するかを LRU ビットが示します。LRU ビットは 6 ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶ LRU (Least Recently Used) アルゴリズムを使用しています。

ノーマルモードでは 4 つのウェイがキャッシュとして使用され、6 ビットの LRU ビットがリブレースされるウェイを指定します。LRU ビットとリブレースされるウェイの関係を表 5.2 に示します。表 5.2 に示した以外の LRU ビットをソフトウェアで指定した場合、キャッシュは正しく動作しません。LRU ビットをソフトウェアで変更す

るときは、表 5.2 に示すパターンを設定してください。

LRU ビットは、パワーオンリセットで 0 に初期化されますが、マニュアルリセットでは初期化されません。

表 5.2 LRU ビットと置き換えられるウェイ

LRU (ビット 5-0)	置き換えられるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

5.1.3 レジスタ構成

キャッシュ関連レジスタ構成を表 5.3 に示します。

表 5.3 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス
キャッシュ制御レジスタ	CCR	R/W	ロングワード	H'0000 0000	H'FFFF FFEC
キャッシュ制御レジスタ 2	CCR2	W	ロングワード	H'0000 0000	H'0400 00B0 (H'A400 00B0)*

【注】 * MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

5.2 レジスタの説明

5.2.1 キャッシュ制御レジスタ (CCR)

キャッシュはキャッシュ制御レジスタ (CCR) の CE ビットでイネーブル、ディスエーブルを指定します。また、CCR には、キャッシュの全エントリの無効化を制御する CF ビット、ライトスルーモード、ライトバックモードを切り替える WT ビットおよび CB ビットがあります。CCR の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。CCR の構成を図 5.2 に示します。

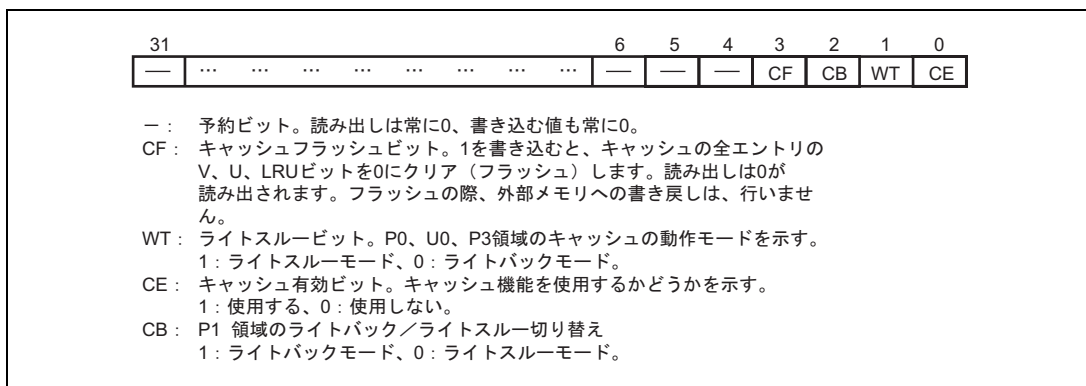


図 5.2 CCR の構成

5. キャッシュ

5.2.2 キャッシュ制御レジスタ 2 (CCR2)

キャッシュ制御レジスタ 2 (CCR2) は DSP モード (CPU ステータスレジスタのビット 12 により設定) 時のみキャッシュロック機構を有効または無効にするために使用します。DSP モード時にプリフェッチ命令 (PREF) を実行すると、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびのビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。

CCR2 のビット 9、8 が 11 の場合、DSP モードで、PREF @Rn はデータをウェイ 3 に取り込みます。CCR2 のビット 9、8 が 00、01 の場合、DSP モードで 10 の場合、または非 DSP モードで任意の設定の場合、PREF @Rn は LRU が指し示すウェイにデータを取り込みます。

CCR2 ビット 1、0 が 11 の場合、DSP モードで、PREF @Rn はデータをウェイ 2 に取り込みます。CCR2 ビット 1、0 が 00、01 の場合、DSP モードで 10 の場合、または非 DSP モードで任意の設定の場合、PREF @Rn は LRU が指し示すウェイにデータを取り込みます。

CCR2 はノンキャッシュابل領域で設定を行ってください。PREF 命令を発行し、キャッシュにヒットした場合は NOP 扱いとなります。

図 5.3 に CCR2 の構成を示します。

CCR2 は書き込みのみ可能です。読み出した場合、不定値が読み出されます。

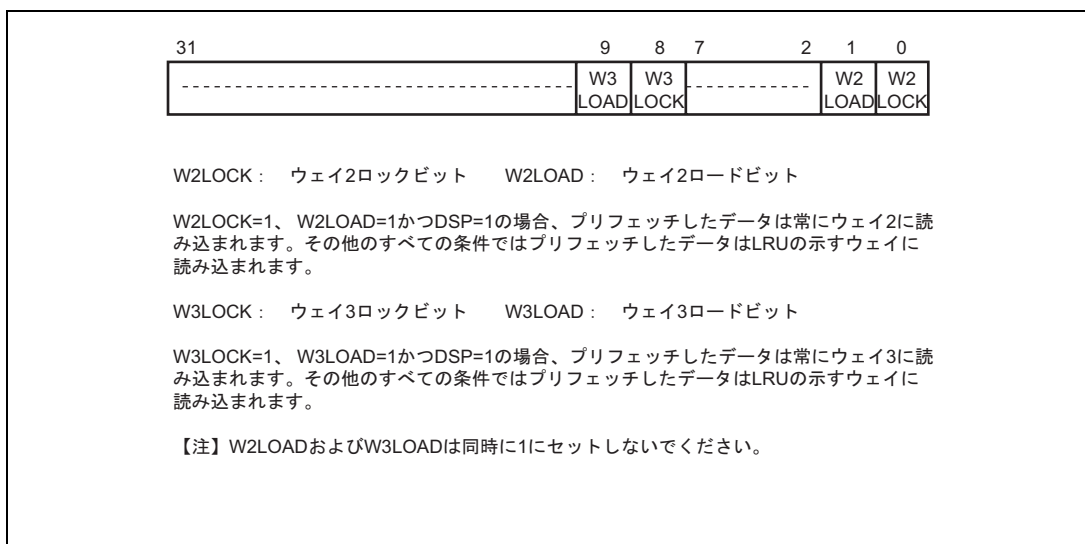


図 5.3 CCR2 の構成

CCR2 のビット 8 (W3LOCK) またはビット 0 (W2LOCK) が High の場合、キャッシュは常にロック状態です。ロックされたデータは W3LOCK ビットと W2LOCK ビットをリセットするか DSP モード時の PREF 条件が一致しない限り上書きすることができません。キャッシュロックモード時、表 5.2 は表 5.4 ~ 表 5.6 で置き換えられます。

表 5.4 LRU ビットと置き換えられるウェイ (W2LOCK=1 の場合)

LRU (ビット 5-0)	置き換えられる ウェイ
000000, 000001, 000100, 010100, 100000, 100001, 110000, 110100	3
000011, 000110, 000111, 001011, 001111, 010110, 011110, 011111	1
101001, 101011, 111000, 111001, 111011, 111100, 111110, 111111	0

表 5.5 LRU ビットと置き換えられるウェイ (W3LOCK=1 の場合)

LRU (ビット 5-0)	置き換えられる ウェイ
000000, 000001, 000011, 001011, 100000, 100001, 101001, 101011	2
000100, 000110, 000111, 001111, 010100, 010110, 011110, 011111	1
110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

表 5.6 LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)

LRU (ビット 5-0)	置き換えられる ウェイ
000000, 000001, 000011, 000100, 000110, 000111, 001011, 001111, 010100, 010110, 011110, 011111	1
100000, 100001, 101001, 101011, 110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

5.3 キャッシュの動作

5.3.1 キャッシュの検索

キャッシュがイネーブルのとき、メモリ上の命令またはデータをアクセスすると、キャッシュが検索され、目的の命令またはデータがキャッシュに存在するか調べます。キャッシュの検索方法の概念図を図 5.4 に示します。キャッシュは物理キャッシュで、アドレスには、物理アドレスを保持します。

メモリへのアクセスアドレス（論理）のビット 11~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。タグアドレスの読み出しと平行して、MMU で論理アドレスを物理アドレスに変換します。変換後の物理アドレスと、アドレスから読み出した物理アドレス（タグアドレス）を比較します。アドレスの比較は 4 ウェイトも行います。比較の結果、一致しており、かつ、比較されたエントリが有効である（V=1）場合に、キャッシュヒットとなります。それ以外の場合はキャッシュミスとなります。ウェイト 1 がヒットした場合を図 5.4 に示します。

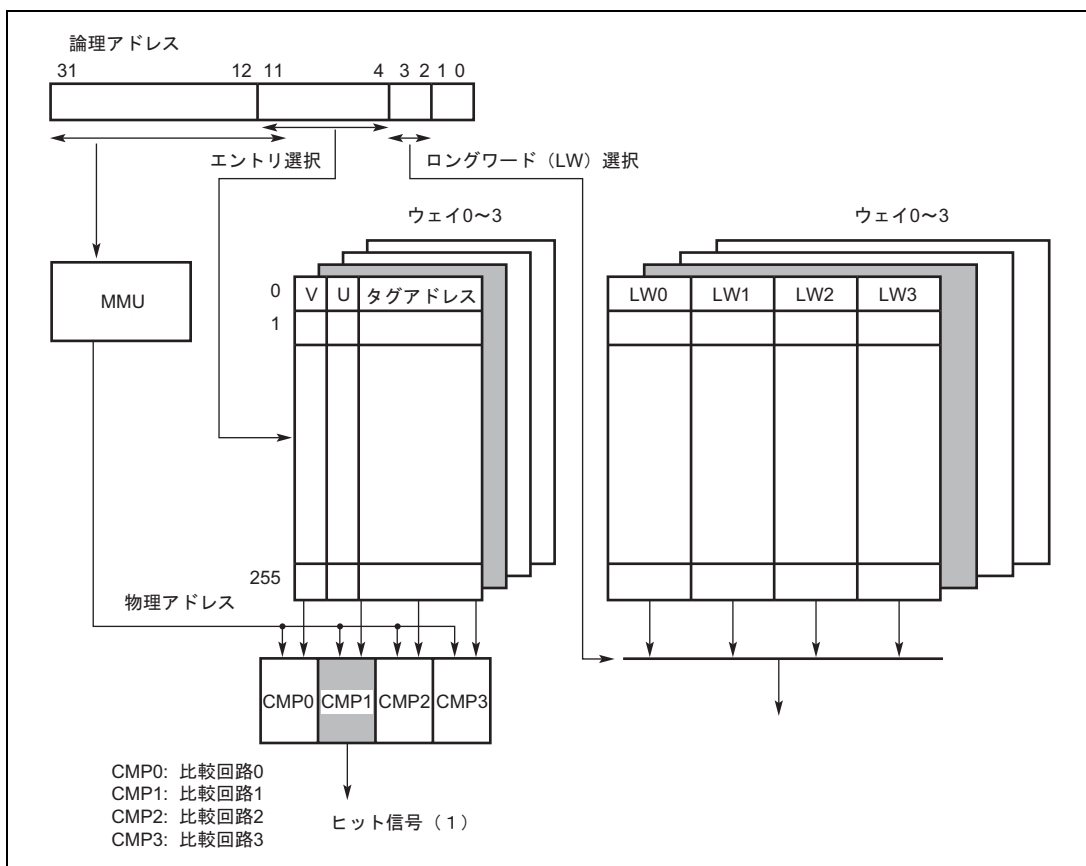


図 5.4 キャッシュの検索方法

5.3.2 リード動作

(1) リードヒット

キャッシュから CPU に命令 / データが転送され、LRU が更新されます。

(2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは LRU に従います。エントリの更新の単位は、16 バイトです。外部メモリから目的の命令またはデータがキャッシュに登録されると同時に、CPU にその命令またはデータが転送されます。キャッシュに登録されるときに、U ビットが 0 に、V ビットが 1 にセットされます。ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルが開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

5.3.3 プリフェッチ動作

(1) プリフェッチヒット

ヒットしたウェイが最新となるように LRU が更新されます。その他のキャッシュの内容は更新されません。CPU への命令またはデータの転送は行われません。

(2) プリフェッチミス

CPU への命令またはデータの転送が行われず、置換するウェイは表 5.2、表 5.4、表 5.5 または表 5.6 に従います。その他の動作はリードミスの場合と同じです。

5.3.4 ライト動作

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、ライトされたエントリの U ビットが 1 にセットされます。キャッシュにだけライトされ、外部メモリへのライトサイクルは発行されません。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイは LRU に従います。エントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルが開始します。書き戻しの単位は、16 バイトです。キャッシュにデータがライトされ、U ビットが 1 にセットされ、V ビットも 1 にセットされます。キャッシュ更新サイクル終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

5. キャッシュ

5.3.5 ライトバックバッファ

ライトバックモードで置換されるエントリのUビットが1のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置換されるエントリをまずライトバックバッファに転送し、キャッシュへ新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファはキャッシュの1ライン分のデータ（16バイト）とその物理アドレスを保持可能です。ライトバックバッファの構成を図5.5に示します。

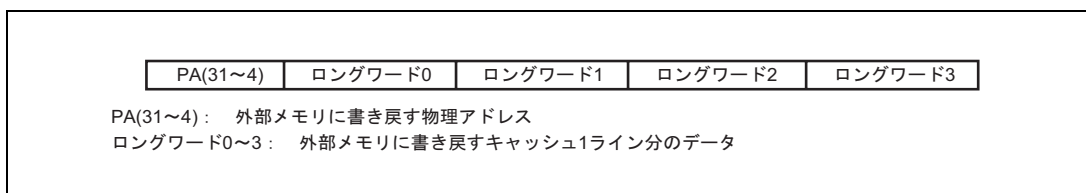


図 5.5 ライトバックバッファの構成

5.3.6 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本LSIとほかの装置との共有メモリをアクセスする場合、最新データがライトバックモードキャッシュ内にある可能性があるため、キャッシュ中の最新データを含むエントリを無効化することにより、ライトバックを発生させて、外部メモリ上のデータを最新にしてから使用してください。キャッシング領域を本LSI以外の装置で更新する場合、キャッシュ中の更新データを含むエントリを無効化してください。

5.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、特権モードにおいて、MOV命令により、キャッシュの内容の読み出し、書き込みが可能です。キャッシュは論理アドレス空間のP4領域に割り付けられています。アドレスアレイはH'F000 0000 ~ H'FOFF FFFFに、データアレイはH'F100 0000 ~ H'F1FF FFFFに割り付けられています。アドレスアレイ、データアレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

5.4.1 アドレスアレイ

アドレスアレイはH'F000 0000 ~ H'FOFF FFFFに割り付けられています。アドレスアレイのアクセスには、32ビットのアドレスの指定（読み出し/書き込み時）と32ビットのデータの指定（書き込み時）が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはアドレスアレイに書き込むアドレス、Vビット、UビットおよびLRUビットを指定します（図5.6（1）参照）。

アドレスにはエントリを選択するためのエントリアドレス（ビット11~4）、ウェイを選択するためのW（ビット12~11）、およびアドレスアレイアクセスを示すHF0をビット31~24に指定します。W（ビット12~11）は、ノーマルモード（8kバイトキャッシュ）では、00がウェイ0、01がウェイ1、10がウェイ2、11がウェイ3を示します。

書き込みの場合は、A ビットをビット 3 に指定します。A ビットは書き込み時のアドレス比較の有無を示します。A ビットが 1 のときは、エントリアドレスで選択された 4 つのエントリのアドレスと、データに指定したアドレスアレイに書き込むアドレスとを比較し、ヒットしたウェイに書き込み、ビット 12、11 に指定した W (ウェイ番号) は使用されません。ミスした場合は、アドレスアレイに書き込まず、ノーオペレーションとなります。A ビットが 0 のときは、エントリアドレスと W (ウェイ番号) で選択されたエントリに、アドレス比較せずに、書き込みます。

図 5.6 の (1) アドレスアレイアクセスの (a) データ指定において、ビット 31 ~ 10 に指定するアドレスは論理アドレスです。MMU がイネーブルのとき、指定された論理アドレスは物理アドレスに変換されます。A ビットが 1 のとき、アドレス比較に使用されるのは変換後の物理アドレスです。またアドレスアレイに書き込まれるのは変換後の物理アドレスです。

読み出しの場合は、アドレス比較を行わず、エントリアドレスと W (ウェイ番号) で指定されたエントリのアドレスタグ、V ビット、U ビット、および LRU ビットが図 5.6 のデータのフォーマットで読み出されます。特定のエントリを無効化したい場合にはエントリアドレスと W によってエントリを指定し、その V ビットに 0 を書き込みます。無効化したいアドレスがあり、そのエントリのみ無効化したい場合には、A ビットに 1 を指定します。

V ビットに 0 が書き込まれるエントリの U ビットが 1 である場合、有効なエントリであればそのエントリがライトバックされます。したがって、エントリの無効化によって、外部メモリとキャッシュとのコピーレンシをとることができます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

本 LSI では、32 ビット物理アドレスの上位 3 ビットがシャドウとして扱われます (「第 12 章 パスステートコントローラ (BSC)」参照)。このためキャッシュミスのとき、アドレスアレイのタグアドレスの上位 3 ビットには 0 が登録されます。

MOV 命令により直接アドレスアレイを変更するときも、タグアドレスの上位 3 ビットに 0 以外の値を設定しないでください。

5.4.2 データアレイ

データアレイは H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレスの指定 (読み出し / 書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します (図 5.6 (2) 参照)。

アドレスにはエントリを選択するためのエントリアドレス (ビット 11 ~ 4)、1 ライン (16 バイト) 中のロングワード位置を示す L (ビット 3 ~ 2、00 : ロングワード 0、01 : ロングワード 1、10 : ロングワード 2、11 : ロングワード 3)、ウェイを選択するための W (ビット 12 ~ 11)、およびデータアレイアクセスを示す HF1 をビット 31 ~ 24 に指定します。W はノーマルモードでは、00 がウェイ 0、01 がウェイ 1、10 がウェイ 2、11 がウェイ 3 を示します。

読み出し、書き込みのいずれの場合も、エントリアドレス、W (ウェイ番号)、およびロングワードアドレスで指定されたデータアレイのロングワードが読み出され、書き込まれます。データアレイのアクセスサイズは、ロングワード固定です。

5. キャッシュ

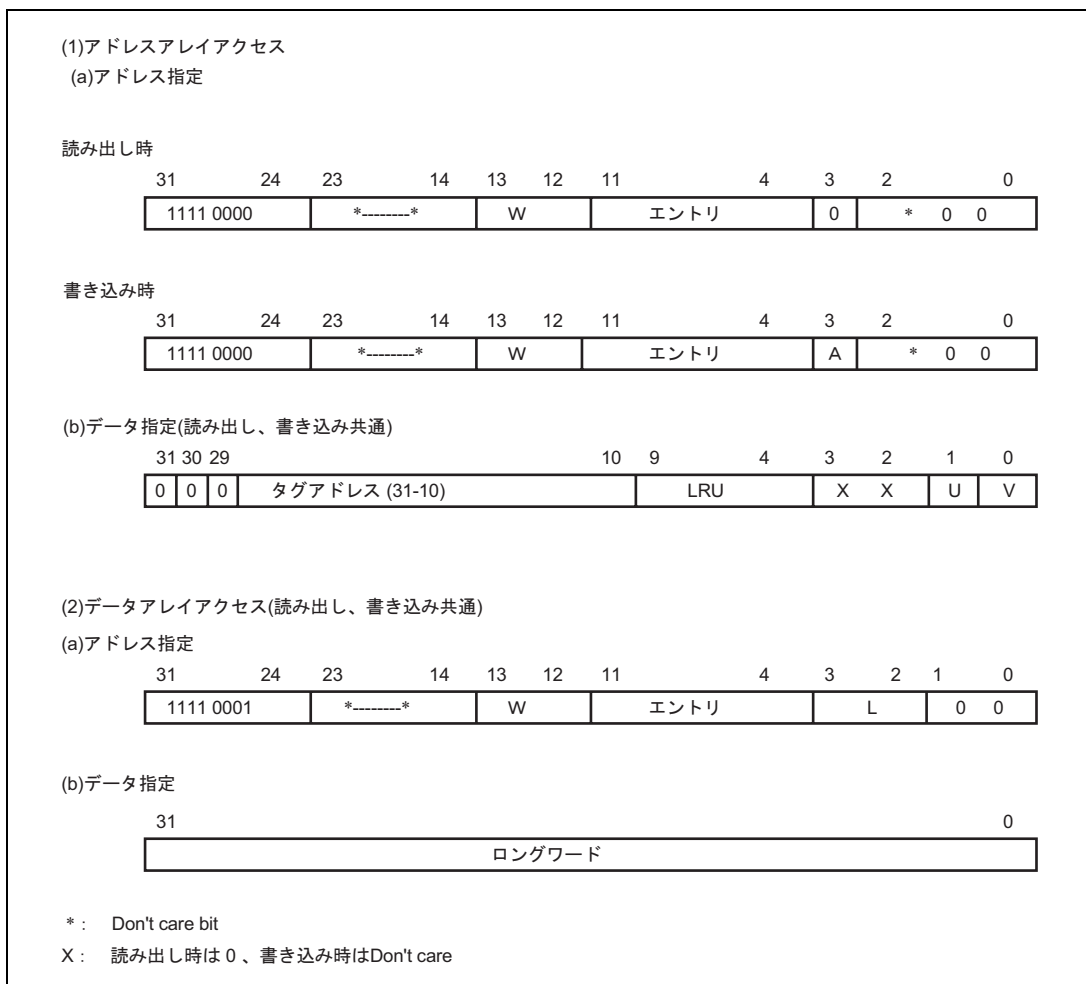


図 5.6 メモリ割り付けられたキャッシュアクセスのアドレス、データ指定方法

5.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、そのエントリの V ビットに 0 を書き込むことで実現できます。A ビットを 1 とし、書き込みデータで指定されるタグアドレスを、エントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときにデータを書き込みます。一致しない場合は、ノーオペレーションです。R0 に書き込みデータ、R1 にアドレスを指定します。アドレスアレイのあるエントリの V ビットを 0 にすると、そのエントリの U ビットが 1 のとき、そのエントリがライトバックされます。

```
; R0 = H'0110 0010; VPN = B'0000 0001 0001 0000 0000 00, U = 0, V = 0
; R1 = H'F000 0088; アドレスアレイアクセス、エントリ = B'00001000、A = 1
;
MOV.L   R0, @R1
```

(2) 特定エントリのデータ部の読み出し

キャッシュの特定エントリのデータ部を読み出します。図 5.6 のデータアレイのデータ部に示されるロングワードが、レジスタに読み出されます。R0 にアドレスを指定し、R1 に読み出します。

```
; R0 = H'F100 004C; データアレイアクセス、エントリ = B'00000100、
;   ウェイ = 0、ロングワードアドレス = 3
;
MOV.L   @R0, R1 ; ロングワード 3 が読み出されます
```

6. X/Y メモリ

6.1 概要

本 LSI は X-RAM および Y-RAM を内蔵しています。CPU、DSP、および DMAC はこれらを用いて命令やデータを格納することができます。

6.1.1 特長

X/Y メモリの特長を表 6.1 に示します。

表 6.1 特長

項目	特長
アドレッシング方法	ユーザが選択可能なマッピング機構 • ミッションクリティカルなりアルタイム用途 (P2/Uxy 領域) • 簡単な使用のための TLB による自動マッピング (P0/P3/U0 領域)
ポート	3本の独立した読み出し/書き込みポート • CPU からの 8/16/32 ビットアクセス • DSP から同時に最大 2 つの 16 ビットアクセス、または 16/32 ビットアクセス • DMAC からの 8/16/32 ビットアクセス
サイズ	X、Y メモリ用各 8 k バイトの RAM

6.2 CPU からの X/Y メモリアクセス

X/Y メモリは、ステータスレジスタ (SR) のモードビット (MD) および DSP ビット (DSP) の設定に応じて、マップ可能な領域または固定マップ領域のいずれかに存在します。図 6.1 に X/Y メモリ論理マッピングを示します。

(1) 特権モード (MD=1、DSP=0) :

空間 P0 または P3 の物理アドレスは TLB 変換によって X/Y メモリにマップすることができます。P2 空間の H'A500 0000 から H'A5FF FFFF までの範囲のアドレスも X/Y メモリに固定マップすることができます。DSP 拡張は無効なので、プログラムは DSP 命令セットとレジスタを利用できません。

(2) ユーザモード (MD=0、DSP=0) :

U0 空間のいずれのアドレスも TLB 変換によって X/Y メモリにアクセスできます。U0 空間以外のアドレスに対するアクセスはいずれもアドレスエラーを発生します。DSP 拡張は無効なので、プログラムは DSP 命令セットとレジスタを利用できません。

6. X/Y メモリ

(3)特権 DSP モード (MD=1、DSP=1) :

空間 P0 または P3 の物理アドレスはいずれも TLB 変換によって X/Y メモリにマップできます。P2 空間の H'A500 0000 から H'A5FF FFFF までの範囲のアドレスも X/Y メモリに固定マップすることができます。DSP 拡張は有効なので、プログラマは DSP 命令セットとレジスタを利用できます。

(4)ユーザ DSP モード (MD=0、DSP=1) :

空間 U0 の物理アドレスはいずれも TLB 変換によって X/Y メモリにマップできます。U_{xy} 空間の H'A500 0000 から H'A5FF FFFF までの範囲のアドレスも X/Y メモリに固定マップすることができます。U0 空間および U_{xy} 空間以外のアドレスに対するアクセスはいずれもアドレスエラーを発生します。DSP 拡張は有効なので、プログラマは DSP 命令セットとレジスタを利用できます。

マップ可能な領域に対して、TLB エントリの C (キャッシュ可能) ビットは 0 にセットして 2 サイクルアクセスを保証する必要があります。

TLB 変換によるマッピングによって柔軟な X/Y メモリアドレスリング方式が可能になりますが、TLB エントリの C ビットを 0 にセットした場合も 2 サイクル必要になります。固定マッピングでは読み出しに 1 サイクルアクセス、書き込みに 2 サイクルアクセスが可能であり、ミッションクリティカルなリアルタイム動作には適した方法です。

X/Y メモリは、H'A500 0000 から H'A501 FFFF までの物理アドレス空間エリア 1 の 16M バイトに存在しています。この 16M バイトアドレス空間はシャドウ化され、同じ 128k バイト X/Y ROM/RAM にマップされます。図 6.1、図 6.2 に X/Y メモリマッピングを示します。

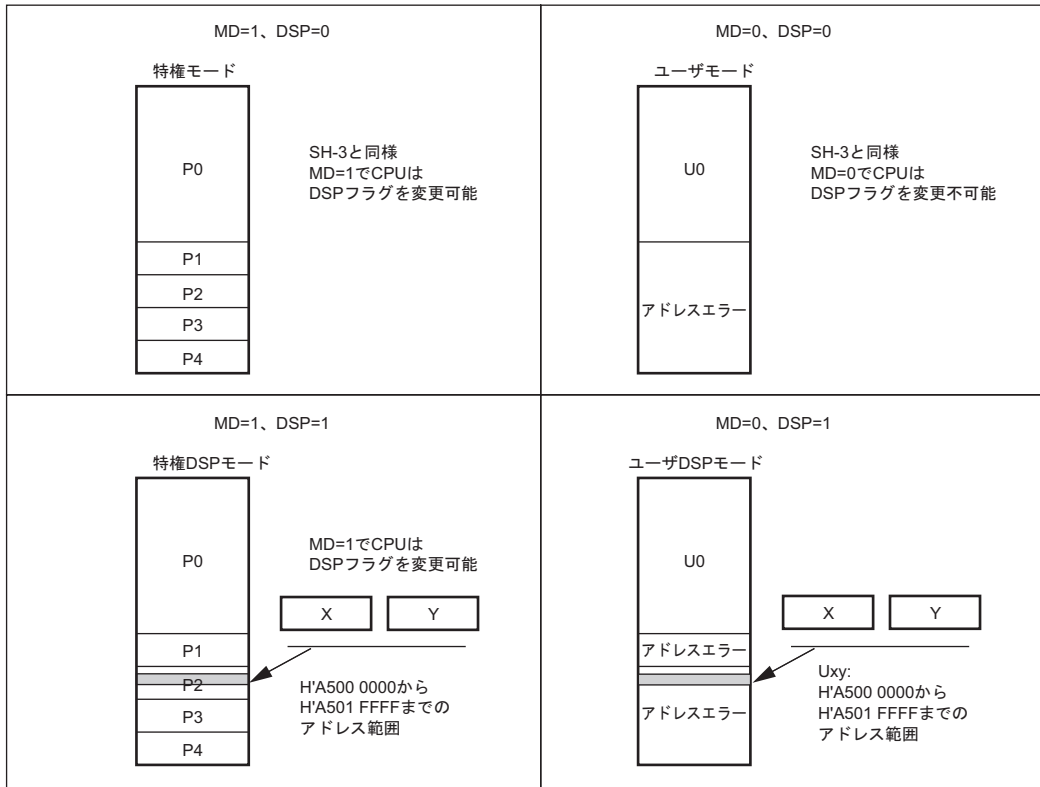


図 6.1 X/Y メモリ論理アドレスマッピング

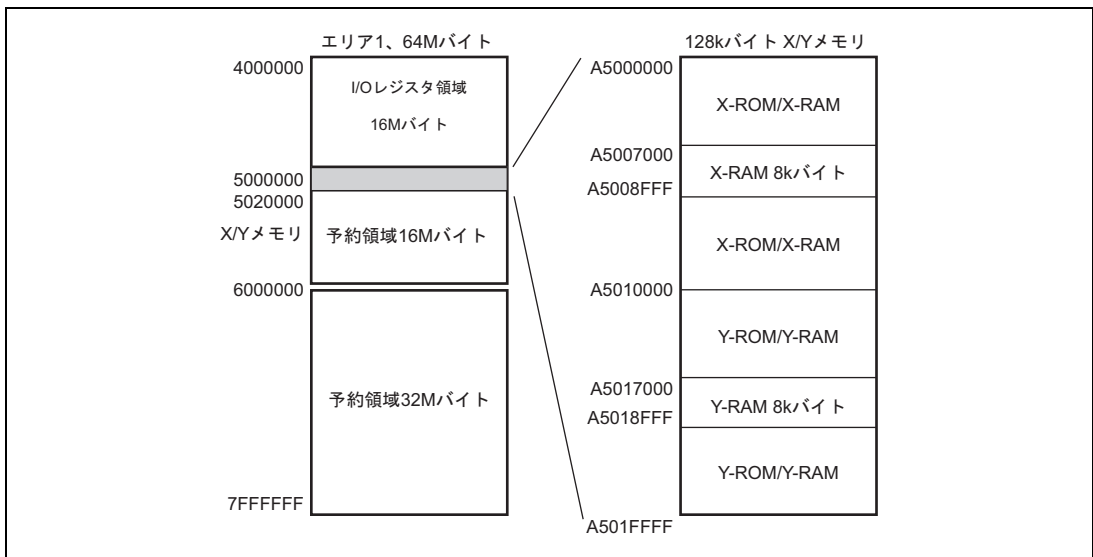


図 6.2 X/Y メモリ物理アドレスマッピング

6.3 DSP からの X/Y メモリアクセス

DSP から、X バス、Y バスおよび L バス経由で X/Y メモリにアクセス可能です。

X バス/Y バス経由のアクセスは常に 16 ビットアクセスになり、L バス経由のアクセスは 16 または 32 ビットアクセスになります。X バスと Y バス経由のアクセスは同時に指定することができます。

6.4 DMAC からの X/Y メモリアクセス

X/Y メモリは I バス上にも存在しており、DMAC からアクセスすることができます。DMAC アクセスは 8/16/32 ビット単位で行います。I バスが X バス/Y バスまたは L バスからのアクセスと同時に X/Y メモリにアクセスする場合、I バスからのアクセスが優先されます。

DMAC からアクセスする場合、H'05000000 から H'0501FFFF までの物理アドレスを使用してください。

7. 割り込みコントローラ (INTC)

7.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU に対する割り込み要求を制御します。INTC は、各割り込みの優先順位を設定するレジスタを備えており、割り込み要求を処理する優先順位を設定することができます。

7.1.1 特長

INTC には、次のような特長があります。

- 16レベルの割り込み優先順位の設定可能：5本の割り込み優先順位レジスタを設定することによって、内蔵周辺モジュール割り込みおよびIRQ、PINTの優先順位を、割り込み要求要因ごとに16レベルのどれか1つに割り当てることができます。
- NMIノイズキャンセル機能：NMI入力レベルビットはNMI端子状態を示します。割り込み例外処理ルーチンで本ビットを読み出すことによって、端子状態をチェックでき、ノイズキャンセラとして使用することができます。

7. 割り込みコントローラ (INTC)

7.1.2 ブロック図

INTC のブロック図を図 7.1 に示します。

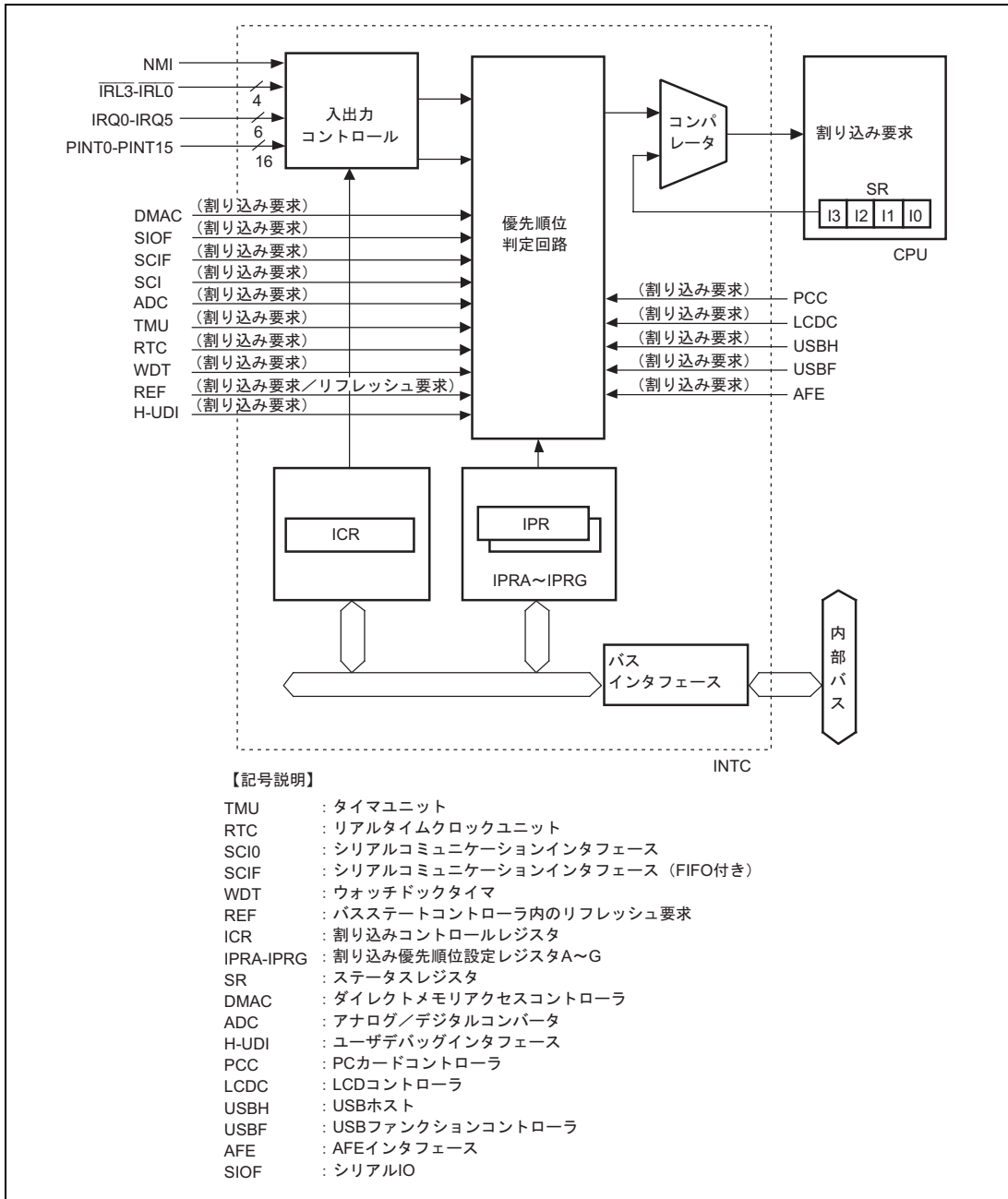


図 7.1 INTC ブロック図

7.1.3 端子構成

INTC の端子構成を表 7.1 に示します。

表 7.1 端子構成

名称	略語	入出力	内容
ノンマスクابل割り込み入力端子	NMI	入力	割り込み要求信号の入力 (SR の割り込みマスクビットによりマスク不可能)
割り込み入力端子	IRQ5 ~ IRQ0/ $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$	入力	割り込み要求信号の入力 (SR の割り込みマスクビットによりマスク可能)
ポート割り込み入力端子	PINT0 ~ PINT15	入力	ポート割り込み要求信号入力 (SR の割り込みマスクビットによりマスク可能)

7. 割り込みコントローラ (INTC)

7.1.4 レジスタ構成

INTC には表 7.2 に示すような 17 本のレジスタがあります。

表 7.2 レジスタ構成

名称	略語	R/W	初期値* ¹	アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	* ²	H'FFFFFFE0	16
割り込みコントロールレジスタ 1	ICR1	R/W	H'0000	H'04000010 (H'A4000010)* ³	16
割り込みコントロールレジスタ 2	ICR2	R/W	H'0000	H'04000012 (H'A4000012)* ³	16
割り込みコントロールレジスタ 3	ICR3	R/W	H'0000	H'04000228 (H'A4000228)* ³	16
PINT 割り込みイネーブルレジスタ	PINTER	R/W	H'0000	H'04000014 (H'A4000014)* ³	16
割り込み優先順位設定レジスタ A	IPRA	R/W	H'0000	H'FFFFFFE2	16
割り込み優先順位設定レジスタ B	IPRB	R/W	H'0000	H'FFFFFFE4	16
割り込み優先順位設定レジスタ C	IPRC	R/W	H'0000	H'04000016 (H'A4000016)* ³	16
割り込み優先順位設定レジスタ D	IPRD	R/W	H'0000	H'04000018 (H'A4000018)* ³	16
割り込み優先順位設定レジスタ E	IPRE	R/W	H'0000	H'0400001A (H'A400001A)* ³	16
割り込み優先順位設定レジスタ F	IPRF	R/W	H'0000	H'04000220 (H'A4000220)* ³	16
割り込み優先順位設定レジスタ G	IPRG	R/W	H'0000	H'04000222 (H'A4000222)* ³	16
割り込み要求レジスタ 0	IRR0	R/W	H'00	H'04000004 (H'A4000004)* ³	8
割り込み要求レジスタ 1	IRR1	R	H'00	H'04000006 (H'A4000006)* ³	8
割り込み要求レジスタ 2	IRR2	R	H'00	H'04000008 (H'A4000008)* ³	8
割り込み要求レジスタ 3	IRR3	R	H'00	H'04000224 (H'A4000224)* ³	16
割り込み要求レジスタ 4	IRR4	R	H'00	H'04000226 (H'A4000226)* ³	16

【注】 *¹ パワーオンまたはマニュアルリセットで初期化されます。

*² NMI 端子が High レベルのときは H'8000 であり、NMI 端子が Low レベルのときの値は H'0000 です。

*³ MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

7.2 割り込み要因

割り込み要因には NMI、IRQ、IRL、PINT、内蔵周辺モジュールの 5 種類があります。各割り込みには優先順位レベル (0~16、0 が最低で 16 が最高) で表される優先順位があります。優先順位レベル 0 を設定するとその割り込みはマスクされます。

7.2.1 NMI 割り込み

NMI 割り込みは優先順位レベル 16 を持っています。割り込みコントロールレジスタ 1 (ICR1) の BLMSK ビットが 1 のとき、またはステータスレジスタ (SR) の BL ビットが 0 のとき、ICR1 レジスタの MAI ビットが 0 ならば NMI 割り込みは受け付けられます。NMI 割り込みはエッジで検出されます。ただしスリープまたはスタンバイモード時、BL ビットに関係なく割り込みは受け付けられます。割り込みコントロールレジスタ 0 (ICR0) の NMI エッジセレクトビット (NMIE) で、立ち上がりまたは立ち下がりエッジのどちらかを選択します。ICR0 レジスタの NMIE ビットを書き換えた場合は、NMI 割り込みの誤検出を回避するために、NMI 割り込みは書き換えてから 20 サイクル経過するまで検出されません。NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3-I0) には影響しません。

ICR1 レジスタの BLMSK ビットが 1 のとき、NMI 割り込みのみ受け付けられ、SPC レジスタと SSR レジスタは NMI 処理ルーチンによって更新されます。そのため NMI の前に開始した例外処理ルーチンがある場合、そのルーチンが本来の処理に復帰することができなくなります。したがって復帰が必要でない場合に限定して使用してください。

NMI 割り込みを使用して、スタンバイ状態から復帰することは可能です (ただし、ICR1 の MAI ビットが 1 にセットされている場合は除きます)。

7.2.2 IRQ 割り込み

IRQ 割り込みは、IRQ0~IRQ5 端子からレベルまたはエッジで入力されます。優先順位は割り込み優先順位レジスタ C、D (IPRC、IPRD) にレベル 0~15 の範囲で設定できます。

IRQ エッジ割り込みを使用する場合、IRR0 のクリアは以下のように行ってください。

IRQ5R~IRQ0R ビットを 0 にクリアする場合、書き込み前に IRR0 から読み出しを行い、クリアする当該ビットが 1 にセットされていることを確認後、0 を書き込んでください。その際、クリアするビットにのみ 0 をライトし、その他のビットは 1 をライトしてください。1 をライトしたビットの内容は変化しません。

IRQ レベル割り込みを使用する場合、IRQ5R~IRQ0R ビットは割り込み要求が入力されているかどうかを示します。IRQ5~IRQ0 端子の入力値でのみ、セット/クリアすることができます。

ICR1 レジスタに上書きする際、IRQ 端子の状態によっては IRQ 割り込みが誤検出される可能性があります。これを回避するため、まず割り込みをマスク状態で上書きし、割り込み要求レジスタ 0 (IRR0) に 0 を書き込んで不正な割り込みをクリアした後マスクを解除してください。

エッジ入力割り込み検出では、周辺クロック (P_Φ) ベースで、2 サイクル以上のパルスを必要とします。レベル検出の場合、割り込みを受け付けて CPU が割り込み処理を開始するまでそのレベルを保持してください。

IRQ 割り込み処理ルーチンによってステータスレジスタ (SR) の割り込みマスクビット (I3-I0) は影響を受

7. 割り込みコントローラ (INTC)

けません。

割り込み IRQ5 ~ IRQ0 は、ソフトウェアスタンバイモードからの復帰に使用できます (RTC32kHz 発振器使用時のみ)。

このとき SR レジスタの I3 ~ I0 ビットよりも使用する割り込みの優先レベルが高くなければなりません。

【注】 IRQ をエッジ検出で使用する場合、以下の注意事項があります。

1. CPU がスタンバイモードに入る直前 (CPU が SLEEP 命令を実行してから STATUS0 がハイレベルになるまでの期間) に IRQ エッジを入力すると割り込み検出されないことがあります。このあと、STATUS0 がハイレベルになったあとに再度 IRQ エッジを入力すれば、割り込み検出されます。
2. FRQCR レジスタの STC ビット変更により周波数を変更している期間 (WDT によるカウント中) に IRQ エッジを入力すると割り込み検出されないことがあります。WDT カウント終了後に再度 IRQ エッジを入力すれば、割り込み検出されます。

7.2.3 IRL 割り込み

IRL 割り込みは、 $\overline{IRL3} \sim \overline{IRL0}$ 端子でレベルとして入力される割り込みです。優先順位レベルは、端子 $\overline{IRL3} \sim \overline{IRL0}$ で示したより高い方のレベルです。 $\overline{IRL3} \sim \overline{IRL0}$ の値が 0 (0000) のときは最高レベルの割り込み要求 (割り込み優先順位レベル 15) を示します。値が 15 (1111) の場合、割り込み要求がない (割り込み優先順位レベル 0) ことを示します。図 7.2 に IRL 割り込み接続の例を示します。表 7.3 は \overline{IRL} 端子と割り込みレベルを示します。

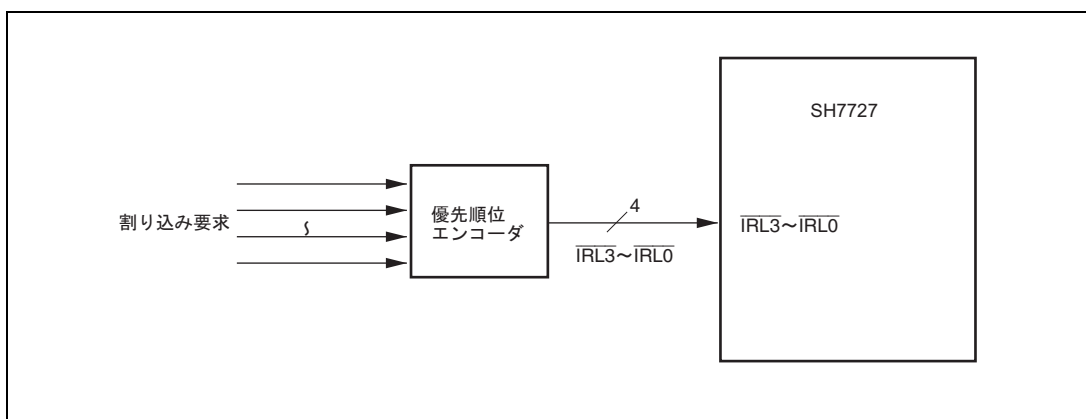


図 7.2 IRL 割り込みの接続例

表 7.3 IRL3 ~ IRL0 端子および割り込みレベル

IRL3	IRL2	IRL1	IRL0	割り込み 優先順位レベル	割り込み要求
0	0	0	0	15	レベル 15 割り込み要求
0	0	0	1	14	レベル 14 割り込み要求
0	0	1	0	13	レベル 13 割り込み要求
0	0	1	1	12	レベル 12 割り込み要求
0	1	0	0	11	レベル 11 割り込み要求
0	1	0	1	10	レベル 10 割り込み要求
0	1	1	0	9	レベル 9 割り込み要求
0	1	1	1	8	レベル 8 割り込み要求
1	0	0	0	7	レベル 7 割り込み要求
1	0	0	1	6	レベル 6 割り込み要求
1	0	1	0	5	レベル 5 割り込み要求
1	0	1	1	4	レベル 4 割り込み要求
1	1	0	0	3	レベル 3 割り込み要求
1	1	0	1	2	レベル 2 割り込み要求
1	1	1	0	1	レベル 1 割り込み要求
1	1	1	1	0	割り込み要求なし

また、スタンバイモードでは周辺モジュールクロックが停止しているため、代わりに RTC 用の 32kHz クロックを用いてノイズキャンセルの処理を行います。このため、RTC を使用しない場合、スタンバイモード中の IRL 割り込みによる割り込みは実行できません。

IRL 割り込みは、割り込みが受け付けられ、割り込み処理が開始されるまでそのレベルを保持してください。レベルが保持されなかった場合の動作は保証できません。ただし、より高い優先順位レベルに変化されることはかまいません。

ステータスレジスタ (SR) の割り込みマスクビット (I3-I0) は IRL 割り込み処理の影響を受けません。

7.2.4 PINT 割り込み

PINT 割り込みは PINT0 - PINT15 端子からレベルで入力されます。優先順位は割り込み優先順位レジスタ D (IPRD) によって PINT0 - PINT7、PINT8 - PINT15 を一括してレベル 0 ~ 15 の範囲で設定できます。

PINT 割り込みは、割り込みを受け付けて割り込み処理を開始するまでそのレベルを保持してください。ステータスレジスタ (SR) の割り込みマスクビット (I3-I0) は PINT 割り込み処理の影響を受けません。

PINT 割り込みは、該当する割り込みレベルが SR レジスタの I3-I0 より高い場合に、スタンバイ状態からの復帰に使用できます (ただし、RTC 32kHz 発振回路の使用時に限ります)。

7. 割り込みコントローラ (INTC)

7.2.5 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは次のような 14 個のモジュールによって発生します。

- タイマユニット (TMU)
- リアルタイムクロック (RTC)
- シリアルコミュニケーションインタフェース (SCI, SCIF)
- バスステートコントローラ (BSC)
- ウォッチドッグタイマ (WDT)
- ダイレクトメモリアクセスコントローラ (DMAC)
- アナログ/デジタルコンバータ (ADC)
- PCカードコントローラ (PCC)
- USBホストコントローラ (USBH)
- USBファンクションコントローラ (USBF)
- AFEインタフェース (AFEIF)
- LCDコントローラ (LCDC)
- ユーザデバッグインタフェース (H-UDI)
- シリアルIO (SIOF)

割り込み要因ごとに異なる割り込みベクタが割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT および INTEVT2) に反映されます。INTEVT または INTEVT2 レジスタの値をオフセットとして分岐することにより、容易に要因を判定できます。

優先順位レベル (0~15) は割り込み優先順位レジスタ A~G (IPRA~IPRG) に書き込むことによって H-UDI を除く各モジュールにセットすることができます。H-UDI の優先順位レベルは 15 (固定) です。

ステータスレジスタの割り込みマスクビット (I3-I0) は内蔵周辺モジュール割り込み処理の影響を受けません。

TMU および RTC 割り込みは、該当する割り込みレベルが SR レジスタの I3-I0 より高い場合にスタンバイ状態からの復帰に使用できます (ただし、RTC 32 kHz 発振回路の使用時に限ります)。

7.2.6 割り込み例外処理および優先順位

割り込み要因と事象レジスタ (INTEVT、INTEVT2) のコード、割り込み優先順位を表 7.4、表 7.5 に示します。各割り込み要因は、それぞれ異なる割り込み事象レジスタ (INTEVT、INTEVT2) のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT および INTEVT2 レジスタの値を使って分岐させます。たとえば INTEVT、INTEVT2 レジスタの値をオフセットにして分岐し、割り込み要因を判定します。

内蔵周辺モジュール、IRQ、PINT 割り込みの優先順位は、割り込み優先レベル設定レジスタ A~G (IPRA~IPRG) によって、優先レベル 15~0 の範囲で任意に設定できます。リセットによって、内蔵周辺モジュール、IRQ、PINT 割り込みの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 7.4、表 7.5 に示す「デフォルト優先順位」に従って処理されます。

表 7.4 割り込み例外処理要因と優先順位 (IRQ モード時)

割り込み要因		INTEVT コード (INTEVT2 コード)	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
NMI		H'1C0 (H'1C0)	16	-	-	高 ↑ ↓ 低
H-UDI		H'5E0 (H'5E0)	15	-	-	
IRQ	IRQ0	H'200 - 3C0* (H'600)	0-15 (0)	IPRC (3-0)	-	
	IRQ1	H'200 - 3C0* (H'620)	0-15 (0)	IPRC (7-4)	-	
	IRQ2	H'200 - 3C0* (H'640)	0-15 (0)	IPRC (11-8)	-	
	IRQ3	H'200 - 3C0* (H'660)	0-15 (0)	IPRC (15-12)	-	
	IRQ4	H'200 - 3C0* (H'680)	0-15 (0)	IPRD (3-0)	-	
	IRQ5	H'200 - 3C0* (H'6A0)	0-15 (0)	IPRD (7-4)	-	
PINT	PINT0-7	H'200 - 3C0* (H'700)	0-15 (0)	IPRD (15-12)	-	
	PINT8-15	H'200 - 3C0* (H'720)	0-15 (0)	IPRD (11-8)	-	
DMAC	DEI0	H'200 - 3C0* (H'800)	0-15 (0)	IPRE (15-12)	高 ↑ ↓ 低	
	DEI1	H'200 - 3C0* (H'820)				
	DEI2	H'200 - 3C0* (H'840)				
	DEI3	H'200 - 3C0* (H'860)				

7. 割り込みコントローラ (INTC)

割り込み要因		INTEVT コード (INTEVT2 コード)	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
SCIF	ERI2	H'200 - 3C0* (H'900)	0-15 (0)	IPRE (7-4)	高 ↑ ↓ 低	高 ↑ ↓ 低
	RXI2	H'200 - 3C0* (H'920)				
	BRI2	H'200 - 3C0* (H'940)				
	TXI2	H'200 - 3C0* (H'960)				
ADC	ADI	H'200 - 3C0* (H'980)	0-15 (0)	IPRE (3-0)	-	
LCDC	LCDCI	H'200 - 3C0* (H'9A0)	0-15 (0)	IPRF (11-8)	-	
SIOF	SIFERI	H'200 - 3C0* (H'B00)	0-15 (0)	IPRF (3-0)	高 ↑ ↓ 低	
	SIFTXI	H'200 - 3C0* (H'B20)				
	SIFRXI	H'200 - 3C0* (H'B40)				
	SIFCCI	H'200 - 3C0* (H'B60)				
USBH	USBHI	H'200 - 3C0* (H'A00)	0-15 (0)	IPRG (15-12)	-	
USBF	USBFI0	H'200 - 3C0* (H'A20)	0-15 (0)	IPRG (11-8)	高	
	USBFI1	H'200 - 3C0* (H'A40)		IPRG (7-4)	低	
AFEIF	AFEIFI	H'200 - 3C0* (H'A60)	0-15 (0)	IPRG (3-0)	-	
PCC0	PC0SWIR	H'200 - 3C0* (H'9C0)	0-15 (0)	IPRF (7-4)	高 ↑ ↓ 低	
	PC0IRIR	H'200 - 3C0* (H'9C0)				
	PC0SCIR	H'200 - 3C0* (H'9C0)				
	PC0CDIR	H'200 - 3C0* (H'9C0)				
	PC0RCIR	H'200 - 3C0* (H'9C0)				
	PC0BWIR	H'200 - 3C0* (H'9C0)				
	PC0BDIR	H'200 - 3C0* (H'9C0)				
TMU0	TUNI0	H'400 (H'400)	0-15 (0)	IPRA (15-12)	-	
TMU1	TUNI1	H'420 (H'420)	0-15 (0)	IPRA (11-8)	-	
TMU2	TUNI2	H'440 (H'440)	0-15 (0)	IPRA (7-4)	-	
RTC	ATI	H'480 (H'480)	0-15 (0)	IPRA (3-0)	高 ↑ ↓ 低	
	PRI	H'4A0 (H'4A0)				
	CUI	H'4C0 (H'4C0)				
SCI0	ERI	H'4E0 (H'4E0)	0-15 (0)	IPRB (7-4)	高 ↑ ↓ 低	
	RXI	H'500 (H'500)				
	TXI	H'520 (H'520)				
	TEI	H'540 (H'540)				
WDT	ITI	H'560 (H'560)	0-15 (0)	IPRB (15-12)	-	
REF	RCMI	H'580 (H'580)	0-15 (0)	IPRB (11-8)	高	
	ROVI	H'5A0 (H'5A0)			低	

【注】 * 表 7.6 に示す割り込みレベルに該当するコードをセットします。

7. 割り込みコントローラ (INTC)

表 7.5 割り込み例外処理要因と優先順位 (IRL モード時)

割り込み要因		INTEVT コード (INTEVT2 コード)	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
NMI		H'1C0 (H'1C0)	16	—	—	高 ↑
H-UDI		H'5E0 (H'5E0)	15	—	—	
IRL	$\overline{\text{IRL}}(3:0) = 0000$	H'200 (H'200)	15	—	—	
	$\overline{\text{IRL}}(3:0) = 0001$	H'220 (H'220)	14	—	—	
	$\overline{\text{IRL}}(3:0) = 0010$	H'240 (H'240)	13	—	—	
	$\overline{\text{IRL}}(3:0) = 0011$	H'260 (H'260)	12	—	—	
	$\overline{\text{IRL}}(3:0) = 0100$	H'280 (H'280)	11	—	—	
	$\overline{\text{IRL}}(3:0) = 0101$	H'2A0 (H'2A0)	10	—	—	
	$\overline{\text{IRL}}(3:0) = 0110$	H'2C0 (H'2C0)	9	—	—	
	$\overline{\text{IRL}}(3:0) = 0111$	H'2E0 (H'2E0)	8	—	—	
	$\overline{\text{IRL}}(3:0) = 1000$	H'300 (H'300)	7	—	—	
	$\overline{\text{IRL}}(3:0) = 1001$	H'320 (H'320)	6	—	—	
	$\overline{\text{IRL}}(3:0) = 1010$	H'340 (H'340)	5	—	—	
	$\overline{\text{IRL}}(3:0) = 1011$	H'360 (H'360)	4	—	—	
	$\overline{\text{IRL}}(3:0) = 1100$	H'380 (H'380)	3	—	—	
	$\overline{\text{IRL}}(3:0) = 1101$	H'3A0 (H'3A0)	2	—	—	
$\overline{\text{IRL}}(3:0) = 1110$	H'3C0 (H'3C0)	1	—	—		
IRQ	IRQ4	H'200-3C0* (H'680)	0-15 (0)	IPRD (3-0)	—	
	IRQ5	H'200-3C0* (H'6A0)	0-15 (0)	IPRD (7-4)	—	
PINT	PINT0-7	H'200-3C0* (H'700)	0-15 (0)	IPRD (15-12)	—	
	PINT8-15	H'200-3C0* (H'720)	0-15 (0)	IPRD (11-8)	—	
DMAC	DEI0	H'200-3C0* (H'800)	0-15 (0)	IPRE (15-12)	高	
	DEI1	H'200-3C0* (H'820)			↑	
	DEI2	H'200-3C0* (H'840)			↓	
	DEI3	H'200-3C0* (H'860)			低	
SCIF	ERI2	H'200-3C0* (H'900)	0-15 (0)	IPRE (7-4)	高	
	RXI2	H'200-3C0* (H'920)			↑	
	BRI2	H'200-3C0* (H'940)			↓	
	TXI2	H'200-3C0* (H'960)			低	

表 7.6 割り込みレベルと INTEVT コード

割り込みレベル	INTEVT コード
15	H'200
14	H'220
13	H'240
12	H'260
11	H'280
10	H'2A0
9	H'2C0
8	H'2E0
7	H'300
6	H'320
5	H'340
4	H'360
3	H'380
2	H'3A0
1	H'3C0

7. 割り込みコントローラ (INTC)

7.3 INTC レジスタ

7.3.1 割り込み優先順位設定レジスタ A~G (IPRA~IPRG)

割り込み優先順位設定レジスタ A~G (IPRA~IPRG) は、内蔵周辺モジュール、IRQ、PINT 割り込みに対して 0~15 までの優先順位レベルをセットする 16 ビットの読み出し/書き込みレジスタです。これらのレジスタはパワーオンリセット、マニュアルリセット時に H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット :	15	14	13	12	11	10	9	8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.7 は割り込み要因と IPRA~IPRG の対応を示します。

表 7.7 割り込み要求要因と IPRA~IPRG

レジスタ	ビット 15~12	ビット 11~8	ビット 7~4	ビット 3~0
IPRA	TMU0	TMU1	TMU2	RTC
IPRB	WDT	REF	SCI	予約*
IPRC	IRQ3	IRQ2	IRQ1	IRQ0
IPRD	PINT0~PINT7	PINT8~PINT15	IRQ5	IRQ4
IPRE	DMAC	予約*	SCIF	ADC
IPRF	予約*	LCDC	PCC0	SIOF
IPRG	USBH	USBF0	USBF1	AFEIF

【注】 * 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 7.7 に示すように、各レジスタには 4 組の内蔵周辺モジュール、IRQ、または PINT 割り込みが割り当てられます。4 ビットグループ (ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0) は、H'0(0000)~H'F(1111)の値でセットします。設定 H'0 は優先順位レベル 0 (要求マスク) を意味し、H'F は優先順位レベル 15 (最高レベル) です。リセットにより IPRA-IPRG は H'0000 に初期化されます。

7.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は外部割り込み入力端子 NMI の入力検出モードを設定し、NMI 端子に対する入力信号レベルを示します。このレジスタはパワーオンリセットまたはマニュアルリセット時に H'0000 または H'8000 に初期化されますが、スタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8
	NMIL	—	—	—	—	—	—	NMIE
初期値:	0/1*	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W
ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

【注】 * NMI 入力が高レベル時 1、NMI 入力が Low レベル時 0 になります。

- ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルをセットします。このビットを読み出して NMI 端子レベルを判断することができます。このビットは変更不可能です。

ビット 15	説明
NMIL	
0	NMI 入力レベルは Low
1	NMI 入力レベルは High

- ビット 8 : NMI エッジ選択 (NMIE)

NMI 入力の立ち下がりまたは立ち上がりエッジのどちらで割り込み要求を検出するかを選択します。

ビット 8	説明
NMIE	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

- ビット 14~9、7~0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7. 割り込みコントローラ (INTC)

7.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ0 ~ IRQ5 に対して立ち上がりエッジ、立ち下がりエッジ、Low レベルの検出モードを個別に指定する 16 ビットのレジスタです。このレジスタはパワーオンリセット、マニュアルリセット時に H'4000 に初期化されますが、スタンバイモードでは初期化されません。

ビット :	15	14	13	12	11	10	9	8
	MAI	IRQLVL	BLMSK	—	IRQ51S	IRQ50S	IRQ41S	IRQ40S
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15 : すべての割り込みのマスク (MAI)

1 にセットするとスタンバイ時に、NMI 割り込みをマスクします。また、NMI 端子に Low レベルを入力中、すべての割り込み要求をマスクするかどうかを選択します。

ビット 15	
MAI	説明
0	NMI 端子がローレベルのとき、すべての割り込み要求をマスクしない (初期値)
1	NMI 端子がローレベルのとき、すべての割り込み要求をマスクする

- ビット14 : 割り込み要求レベル検出 (IRQLVL)

IRQ3 ~ IRQ0 端子を 4 本の独立した割り込み端子として使用するか、 $\overline{IRL3} \sim \overline{IRL0}$ としてエンコードした 15 レベルの割り込み端子として使用するかを選択します。

ビット 14	
IRQLVL	説明
0	4 本の独立した割り込み要求端子 IRQ3 ~ IRQ0 として使用
1	$\overline{IRL3} \sim \overline{IRL0}$ としてエンコードした 15 レベルの割り込み端子として使用 (初期値)

- ビット13 : BLビットマスク (BLMSK)

SR レジスタの BL ビットが 1 のとき、NMI 割り込みをマスクするかどうかを指定します。

ビット 13	
BLMSK	説明
0	BL ビットが 1 のとき、NMI 割り込みをマスクする (初期値)
1	BL ビットの設定に関係なく NMI 割り込みを受け付ける

7. 割り込みコントローラ (INTC)

- ビット12：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット11、10：IRQ5センス選択 (IRQ51S、IRQ50S)

IRQ5 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、Low レベルのどれで検出するかを選択します。

ビット 11	ビット 10	説明
IRQ51S	IRQ50S	
0	0	割り込み要求を IRQ5 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ5 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ5 入力の Low レベルで検出する
1	1	予約

- ビット9、ビット8：IRQ4センス選択 (IRQ41S、IRQ40S)

IRQ4 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、Low レベルのどれで検出するかを選択します。

ビット 9	ビット 8	説明
IRQ41S	IRQ40S	
0	0	割り込み要求を IRQ4 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ4 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ4 入力の Low レベルで検出する
1	1	予約

- ビット7、ビット6：IRQ3センス選択 (IRQ31S、IRQ30S)

IRQ3 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、Low レベルのどれで検出するかを選択します。

ビット 7	ビット 6	説明
IRQ31S	IRQ30S	
0	0	割り込み要求を IRQ3 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ3 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ3 入力の Low レベルで検出する
1	1	予約

7. 割り込みコントローラ (INTC)

- ビット5、ビット4 : IRQ2センス選択 (IRQ21S、IRQ20S)

IRQ2 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、Low レベルのどれで検出するかを選択します。

ビット 5	ビット 4	説明
IRQ21S	IRQ20S	
0	0	割り込み要求を IRQ2 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ2 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ2 入力の Low レベルで検出する
1	1	予約

- ビット3、ビット2 : IRQ1センス選択 (IRQ11S、IRQ10S)

IRQ1 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、Low レベルのどれで検出するかを選択します。

ビット 3	ビット 2	説明
IRQ11S	IRQ10S	
0	0	割り込み要求を IRQ1 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ1 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ1 入力の Low レベルで検出する
1	1	予約

- ビット1、ビット0 : IRQ0センス選択 (IRQ01S、IRQ00S)

IRQ0 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、Low レベルのどれで検出するかを選択します。

ビット 1	ビット 0	説明
IRQ01S	IRQ00S	
0	0	割り込み要求を IRQ0 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ0 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ0 入力の Low レベルで検出する
1	1	予約

7.3.4 割り込みコントロールレジスタ 2 (ICR2)

ICR2 は、外部割り込み入力端子 PINT0 ~ PINT15 に対して検出モードを指定する 16 ビットの読み出し / 書き込みレジスタです。このレジスタはパワーオンリセット、マニュアルリセット時に H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット :	15	14	13	12	11	10	9	8
	PINT15S	PINT14S	PINT13S	PINT12S	PINT11S	PINT10S	PINT9S	PINT8S
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット 15 ~ 0 : PINT15 ~ PINT0 センス選択 (PINT15S ~ PINT0S)

PINT15 ~ PINT0 に対する割り込み要求信号を Low レベル、High レベルのいずれで検出するかを選択します。

ビット 15 ~ 0	説明
PINT15S ~ PINT0S	
0	PINT 端子に対して割り込み要求を Low レベルで検出 (初期値)
1	PINT 端子に対して割り込み要求を High レベルで検出

7.3.5 割り込みコントロールレジスタ 3 (ICR3)

ICR3 は、PC カードコントローラの割り込み要求を、マスクする 16 ビットの読み出し / 書き込みレジスタです。このレジスタはパワーオンリセット、マニュアルリセット時に H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット :	15	14	13	12	11	10	9	8
	—	PC0SWIM	PC0IRIM	PC0SCIM	PC0CDIM	PC0RCIM	PC0BWIM	PC0BDIM
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

- ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7. 割り込みコントローラ (INTC)

- ビット14 : PCカードコントローラ0 SWI割り込みマスク (PC0SWIM)

ビット 14	説明
PC0SWIM	
0	マスクする (初期値)
1	マスクしない

- ビット13 : PCカードコントローラ0 IRI割り込みマスク (PCI0IRIM)

ビット 13	説明
PCI0IRIM	
0	マスクする (初期値)
1	マスクしない

- ビット12 : PCカードコントローラ0 SCI割り込みマスク (PC0SCIM)

ビット 12	説明
PC0SCIM	
0	マスクする (初期値)
1	マスクしない

- ビット11 : PCカードコントローラ0 CDI割り込みマスク (PC0CDIM)

ビット 11	説明
PC0CDIM	
0	マスクする (初期値)
1	マスクしない

- ビット10 : PCカードコントローラ0 RCI割り込みマスク (PC0RCIM)

ビット 10	説明
PC0RCIM	
0	マスクする (初期値)
1	マスクしない

- ビット9: PCカードコントローラ0 BWI割り込みマスク (PC0BWIM)

ビット9	説明	
PC0BWIM		
0	マスクする	(初期値)
1	マスクしない	

- ビット8: PCカードコントローラ0 BDI割り込みマスク (PC0BDIM)

ビット8	説明	
PC0BDIM		
0	マスクする	(初期値)
1	マスクしない	

- ビット7~0: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.3.6 PINT 割り込みイネーブルレジスタ (PINTER)

PINTER は、外部割り込み入力端子 PINT0 ~ PINT15 に対する割り込み要求入力をイネーブルにする 16 ビットの読み出し / 書き込みレジスタです。このレジスタはパワーオンリセット、マニュアルリセット時に H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8
	PINT15E	PINT14E	PINT13E	PINT12E	PINT11E	PINT10E	PINT9E	PINT8E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15~0: PINT15~PINT0割り込みイネーブル (PINT15E~PINT0E)

PINT15~PINT0 端子に対する割り込み要求入力をイネーブルにするかどうかを選択します。

ビット15~0	説明	
PINT15E ~ PINT0E		
0	PINT 入力割り込み要求をディスエーブルにする	(初期値)
1	PINT 入力割り込み要求をイネーブルにする	

PINT0 ~ PINT15 の端子のすべて、または一部を割り込み入力として使用しない場合、割り込み要求として使用しない端子に該当するビットは0にセットしてください。

7. 割り込みコントローラ (INTC)

7.3.7 割り込み要求レジスタ 0 (IRR0)

IRR0 は、外部入力端子 IRQ0～IRQ5 および PINT0～PINT15 からの割り込み要求を示す 8 ビットレジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	PINT0R	PINT1R	IRQ5R	IRQ4R	IRQ3R	IRQ2R	IRQ1R	IRQ0R
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

IRQ エッジ割り込みを使用する場合、IRR0 のクリアは以下のように行ってください。

IRQ5R～IRQ0R ビットを 0 にクリアする場合、書き込み前に IRR0 から読み出しを行い、クリアする当該ビットが 1 にセットされていることを確認後、0 を書き込んでください。その際、クリアするビットにのみ 0 をライトし、その他のビットは 1 をライトしてください。1 をライトしたビットの内容は変化しません。

IRQ レベル割り込みを使用する場合、IRQ5R～IRQ0R ビットは割り込み要求が入力されているかどうかを示します。IRQ5～IRQ0 端子の入力値でのみ、セット/クリアすることができます。

- ビット7: PINT0～PINT7 割り込み要求 (PINT0R)

PINT0～PINT7 端子に割り込み要求が入力されているかどうかを示します。

ビット7	説明
PINT0R	
0	PINT0～PINT7 端子に割り込みなし (初期値)
1	PINT0～PINT7 端子に割り込みあり

- ビット6: PINT8～PINT15 割り込み要求 (PINT1R)

PINT8～PINT15 端子に割り込み要求が入力されているかどうかを示します。

ビット6	説明
PINT1R	
0	PINT8～PINT15 端子に割り込みなし (初期値)
1	PINT8～PINT15 端子に割り込みあり

- ビット5 : IRQ5割り込み要求 (IRQ5R)

IRQ5 端子に割り込み要求が入力されているかどうかを示します。IRQ5 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ5R ビットを 0 にすることによってクリアされます。

ビット 5	説明	
IRQ5R		
0	IRQ5 端子に割り込み要求なし	(初期値)
1	IRQ5 端子に割り込み要求あり	

- ビット4 : IRQ4割り込み要求 (IRQ4R)

IRQ4 端子に割り込み要求が入力されているかどうかを示します。IRQ4 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ4R ビットを 0 にすることによってクリアされます。

ビット 4	説明	
IRQ4R		
0	IRQ4 端子に割り込み要求なし	(初期値)
1	IRQ4 端子に割り込み要求あり	

- ビット3 : IRQ3割り込み要求 (IRQ3R)

IRQ3 端子に割り込み要求が入力されているかどうかを示します。IRQ3 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ3R ビットを 0 にすることによってクリアされます。

ビット 3	説明	
IRQ3R		
0	IRQ3 端子に割り込み要求なし	(初期値)
1	IRQ3 端子に割り込み要求あり	

- ビット2 : IRQ2割り込み要求 (IRQ2R)

IRQ2 端子に割り込み要求が入力されているかどうかを示します。IRQ2 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ2R ビットを 0 にすることによってクリアされます。

ビット 2	説明	
IRQ2R		
0	IRQ2 端子に割り込み要求なし	(初期値)
1	IRQ2 端子に割り込み要求あり	

7. 割り込みコントローラ (INTC)

- ビット1: IRQ1割り込み要求 (IRQ1R)

IRQ1 端子に割り込み要求が入力されているかどうかを示します。IRQ1 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ1R ビットを 0 にすることによってクリアされます。

ビット1	説明
IRQ1R	
0	IRQ1 端子に割り込み要求なし (初期値)
1	IRQ1 端子に割り込み要求あり

- ビット0: IRQ0割り込み要求 (IRQ0R)

IRQ0 端子に割り込み要求が入力されているかどうかを示します。IRQ0 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ0R ビットを 0 にすることによってクリアされます。

ビット0	説明
IRQ0R	
0	IRQ0 端子に割り込み要求なし (初期値)
1	IRQ0 端子に割り込み要求あり

7.3.8 割り込み要求レジスタ 1 (IRR1)

IRR1 は DMAC 割り込み要求発生の有無を示す 8 ビットの読み出し専用レジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	DEI3R	DEI2R	DEI1R	DEI0R
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

- ビット7~4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット3: DEI3割り込み要求 (DEI3R)

DEI3 (DMAC) 割り込み要求が発生したかどうかを示します。

ビット3	説明
DEI3R	
0	DEI3 割り込み要求は発生していない (初期値)
1	DEI3 割り込み要求は発生している

- ビット2 : DEI2割り込み要求 (DEI2R)

DEI2 (DMAC) 割り込み要求が発生したかどうかを示します。

ビット2	説明
DEI2R	
0	DEI2 割り込み要求は発生していない (初期値)
1	DEI2 割り込み要求は発生している

- ビット1 : DEI1割り込み要求 (DEI1R)

DEI1 (DMAC) 割り込み要求が発生したかどうかを示します。

ビット1	説明
DEI1R	
0	DEI1 割り込み要求は発生していない (初期値)
1	DEI1 割り込み要求は発生している

- ビット0 : DEI0割り込み要求 (DEI0R)

DEI0 (DMAC) 割り込み要求が発生したかどうかを示します。

ビット0	説明
DEI0R	
0	DEI0 割り込み要求は発生していない (初期値)
1	DEI0 割り込み要求は発生している

7.3.9 割り込み要求レジスタ 2 (IRR2)

IRR2 は A/D コンバータ、SCIF 割り込み要求発生の有無を示す 8 ビットの読み出し専用レジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット :	7	6	5	4	3	2	1	0
	–	–	–	ADIR	TXI2R	BRI2R	RXI2R	ERI2R
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

- ビット7~5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7. 割り込みコントローラ (INTC)

- ビット4 : ADI割り込み要求 (ADIR)

ADI (ADC) 割り込み要求が発生したかどうかを示します。

ビット4	説明
ADIR	
0	ADI 割り込み要求は発生していない (初期値)
1	ADI 割り込み要求は発生している

- ビット3 : TXI2割り込み要求 (TXI2R)

TXI2 (SCIF) 割り込み要求が発生したかどうかを示します。

ビット3	説明
TXI2R	
0	TXI2 割り込み要求は発生していない (初期値)
1	TXI2 割り込み要求は発生している

- ビット2 : BRI2割り込み要求 (BRI2R)

BRI2 (SCIF) 割り込み要求が発生したかどうかを示します。

ビット2	説明
BRI2R	
0	BRI2 割り込み要求は発生していない (初期値)
1	BRI2 割り込み要求は発生している

- ビット1 : RXI2割り込み要求 (RXI2R)

RXI2 (SCIF) 割り込み要求が発生したかどうかを示します。

ビット1	説明
RXI2R	
0	RXI2 割り込み要求は発生していない (初期値)
1	RXI2 割り込み要求は発生している

- ビット0 : ERI2割り込み要求 (ERI2R)

ERI2 (SCIF) 割り込み要求が発生したかどうかを示します。

ビット0	説明
ERI2R	
0	ERI2 割り込み要求は発生していない (初期値)
1	ERI2 割り込み要求は発生している

7.3.10 割り込み要求レジスタ 3 (IRR3)

IRR3 は PC カードコントローラ、LCD コントローラ、USB の割り込み要求発生の有無を示す 16 ビットの読み出し専用レジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット :	15	14	13	12	11	10	9	8
	LDCICIR	PC0SWIR	PC0IRIR	PC0SCIR	PC0CDIR	PC0RCIR	PC0BWIR	PC0BDIR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット :	7	6	5	4	3	2	1	0
	USBHIR	USBFOIR	USBF1IR	AFEIFIR	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

- ビット15 : LCDCI割り込み要求 (LDCICIR)

LCDCI (LCDC) 割り込み要求が発生したかどうかを示します。

ビット 15	
LDCICIR	説明
0	LCDCI 割り込み要求は発生していない (初期値)
1	LCDCI 割り込み要求は発生している

- ビット14 : PC0SWI割り込み要求 (PC0SWIR)

PC0SWI (PCC0) 割り込み要求が発生したかどうかを示します。

ビット 14	
PC0SWIR	説明
0	PC0SWI 割り込み要求は発生していない (初期値)
1	PC0SWI 割り込み要求は発生している

- ビット13 : PC0IRI割り込み要求 (PC0IRIR)

PC0IREQ (PPC0) 割り込み要求が発生したかどうかを示します。

ビット 13	
PC0IRIR	説明
0	PC0IRI 割り込み要求は発生していない (初期値)
1	PC0IRI 割り込み要求は発生している

7. 割り込みコントローラ (INTC)

- ビット12 : PC0SCI割り込み要求 (PC0SCIR)

PC0SCI (PCC0) 割り込み要求が発生したかどうかを示します。

ビット 12	説明
PC0SCIR	
0	PC0SCI 割り込み要求は発生していない (初期値)
1	PC0SCI 割り込み要求は発生している

- ビット11 : PC0CDI割り込み要求 (PC0CDIR)

PC0CDI (PCC0) 割り込み要求が発生したかどうかを示します。

ビット 11	説明
PC0CDIR	
0	PC0CDI 割り込み要求は発生していない (初期値)
1	PC0CDI 割り込み要求は発生している

- ビット10 : PC0RCI割り込み要求 (PC0RCIR)

PC0RCI (PCC0) 割り込み要求が発生したかどうかを示します。

ビット 10	説明
PC0RCIR	
0	PC0RCI 割り込み要求は発生していない (初期値)
1	PC0RCI 割り込み要求は発生している

- ビット9 : PC0BWI割り込み要求 (PC0BWIR)

PC0BWI (PCC0) 割り込み要求が発生したかどうかを示します。

ビット 9	説明
PC0BWIR	
0	PC0BWI 割り込み要求は発生していない (初期値)
1	PC0BWI 割り込み要求は発生している

- ビット8 : PC0BDI割り込み要求 (PC0BDIR)

PC0BDI (PCC0) 割り込み要求が発生したかどうかを示します。

ビット 8	説明
PC0BDIR	
0	PC0BDI 割り込み要求は発生していない (初期値)
1	PC0BDI 割り込み要求は発生している

7. 割り込みコントローラ (INTC)

- ビット7: USBHI割り込み要求 (USBHIR)

USBHI (USB ホスト) 割り込み要求が発生したかどうかを示します。

ビット7	説明
USBHIR	
0	USBHI 割り込み要求は発生していない (初期値)
1	USBHI 割り込み要求は発生している

- ビット6: USBF0I割り込み要求 (USBF0IR)

USBF0I (USB ファンクション) 割り込み要求が発生したかどうかを示します。

ビット6	説明
USBF0IR	
0	USBF0I 割り込み要求は発生していない (初期値)
1	USBF0I 割り込み要求は発生している

- ビット5: USBF1I割り込み要求 (USBF1IR)

USBF1I (USB ファンクション) 割り込み要求が発生したかどうかを示します。

ビット5	説明
USBF1IR	
0	USBF1I 割り込み要求は発生していない (初期値)
1	USBF1I 割り込み要求は発生している

- ビット4: AFEIFI割り込み要求 (AFEIFIR)

AFEIFI (AFE インタフェース) 割り込み要求が発生したかどうかを示します。

ビット4	説明
AFEIFIR	
0	AFEIFI 割り込み要求は発生していない (初期値)
1	AFEIFI 割り込み要求は発生している

- ビット3~0: 予約ビット

常に0が読み出されます。

7. 割り込みコントローラ (INTC)

7.3.11 割り込み要求レジスタ 4 (IRR4)

IRR4 は SIOF 割り込み要求発生の有無を示す 16 ビットの読み出し専用レジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット :	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	ERI	TXI	RXI	CCI
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

- ビット15～4 : 予約ビット

常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット3 : ERI 割り込み要求 (ERI)

ERI (SIOF) 割り込み要求が発生したかどうかを示します。

ビット3	説明
ERI	
0	ERI 割り込み要求は発生していない (初期値)
1	ERI 割り込み要求は発生している

- ビット2 : TXI 割り込み要求 (TXI)

TXI (SIOF) 割り込み要求が発生したかどうかを示します。

ビット2	説明
TXI	
0	TXI 割り込み要求は発生していない (初期値)
1	TXI 割り込み要求は発生している

- ビット1 : RXI 割り込み要求 (RXI)

RXI (SIOF) 割り込み要求が発生したかどうかを示します。

ビット1	説明
RXI	
0	RXI 割り込み要求は発生していない (初期値)
1	RXI 割り込み要求は発生している

- ビット0 : CCI割り込み要求 (CCI)

CCI (SIOF) 割り込み要求が発生したかどうかを示します。

ビット0	説明
CCI	
0	CCI 割り込み要求は発生していない (初期値)
1	CCI 割り込み要求は発生している

7.4 INTC 動作

7.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 7.3 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から割り込み優先レベルレジスタA~G (IPRA~IPRG) に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表7.4、表7.5に従って、優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクビット (I3~I0) とが比較されます。I3~I0ビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 検出タイミング : INTCは周辺クロック (Pφ) に同期して動作し、CPUに割り込み要求を通知します。CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT / INTEVT2) に割り込み要因コードがセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれSSRとSPCに退避されます。
7. SRのブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'00000600の和) にジャンプします。このジャンプは遅延分岐ではありません。

例外処理ルーチンでは、割り込み要因を識別するために、たとえばINTEVT / INTEVT2レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】 1. 本LSIでは、割り込みを受け付けてもCPUのステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は変化しません。

7. 割り込みコントローラ (INTC)

2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。

クリアしたはずの割り込み要因を誤まって再度受け付けないようにするために、クリア後要因フラグをリードし、そのあと、表 7.8 の優先順位判定および SR のマスクビットとの比較時間で示される時間待ってから、BL ビットをクリアするか、RTE 命令を実行します。

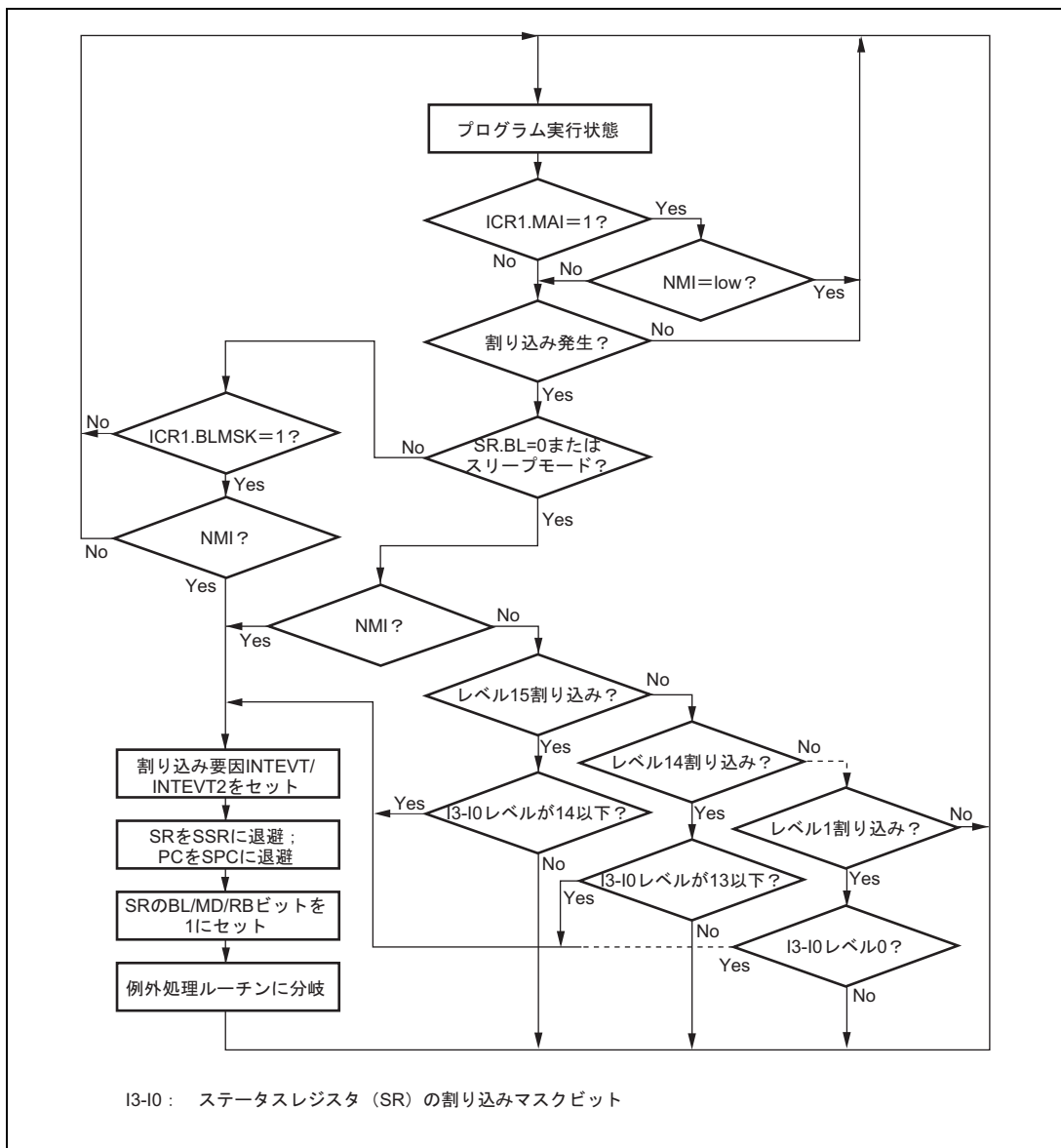


図 7.3 割り込み動作フローチャート

7.4.2 多重割り込み

多重割り込みを処理する場合、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するためにINTEVT / INTEVT2レジスタの値をオフセットとして、割り込み要因の割り込み処理ルーチンに分岐します。
各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
2. 各特定ハンドラの割り込み要因をクリアします。
3. SSRおよびSPCをメモリに退避します。
4. SRのBLビットをクリアします。このとき、SRの割り込みマスクビットも受け付けた割り込みレベルに設定します。
5. このあと、実際に行いたい処理を書きます。
6. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。

7. 割り込みコントローラ (INTC)

7.5 割り込み応答時間

割り込み要求の生成から割り込み例外処理を実行し、例外ハンドラの第一命令のフェッチが開始するまでの時間 (割り込み応答時間) を表 7.8 に示します。図 7.4 は IRL 割り込みの受け付け時のパイプライン動作の例を示します。SR.BL が 1 のとき、割り込み例外処理はマスクされ、BL を 0 にクリアする命令が完了するまで待たされます。

表 7.8 割り込み応答時間

項目	ステート数				注記
	NMI	IRQ	PINT	周辺モジュール	
優先順位判定と SR マスクビットの比較時間	$0.5 \times \text{Icyc}$ $+ 0.5 \times \text{Bcyc}$ $+ 0.5 \times \text{Pcyc}$	$0.5 \times \text{Icyc}$ $+ 1 \times \text{Bcyc}$ $+ 4.5 \times \text{Pcyc}^{*4}$	$0.5 \times \text{Icyc}$ $+ 3.5 \times \text{Pcyc}$	$0.5 \times \text{Icyc}$ $+ 1.5 \times \text{Pcyc}^{*5}$ $0.5 \times \text{Icyc}$ $+ 3 \times \text{Pcyc}^{*6}$	
CPU が実行中のシーケンスの終了までの待ち時間	$X(0) \times \text{Icyc}$	$X(0) \times \text{Icyc}$	$X(0) \times \text{Icyc}$	$X(0) \times \text{Icyc}$	実行命令が終了するまで割り込み例外処理は、待たされます。最も長い待ち時間は、命令実行ステート数を S^{*1} とすると、 $X = S - 1$ となります。ただし、命令実行または例外により BL を 1 に設定された場合、BL を 0 に設定する命令が終了するまで待たされます。また割り込み例外処理をマスクする命令が続く場合、さらに待たされることもあります。
割り込み例外処理 (SR と PC の回避) から例外処理ルーチンの先頭命令のフェッチが開始するまでの時間	$5 \times \text{Icyc}$	$5 \times \text{Icyc}$	$5 \times \text{Icyc}$	$5 \times \text{Icyc}$	

7. 割り込みコントローラ (INTC)

項目		ステート数				注記
		NMI	IRQ	PINT	周辺モジュール	
応答時間	合計	$(5.5 + X) \times \text{Icyc} + 0.5 \times \text{Bcyc} + 0.5 \times \text{Pcyc}$	$(5.5 + X) \times \text{Icyc} + 1 \times \text{Bcyc} + 4.5 \times \text{Pcyc}^{*4}$	$(5.5 + X) \times \text{Icyc} + 3.5 \times \text{Pcyc}^{*5}$	$(5.5 + X) \times \text{Icyc} + 1.5 \times \text{Pcyc}^{*5}$ $(5.5 + X) \times \text{Icyc} + 3 \times \text{Pcyc}^{*6}$	
	最小の場合 ^{*2}	7.5	16.5	12.5	$8.5^{*5}/11.5^{*6}$	60 (CKIO=30) MHz での動作: 0.13 - 0.28 μs
	最大の場合 ^{*3}	$8.5 + S$	$26.5 + S$	$18.5 + S$	$10.5 + S^{*5}$ $16.5 + S^{*6}$	60 (CKIO=15) MHz での動作: 0.26- 0.56 μs (オペランドキャッシュヒットの場合) 60 (CKIO=15) MHz での動作: 0.29- 0.59 μs (外部メモリアccessをウェイト=0 で実行する場合)

Icyc : CPU に供給される内部クロックの 1 サイクルの時間

Bcyc : 1 CKIO サイクルの時間

Pcyc : 周辺モジュールに供給される周辺クロックの 1 サイクルの時間

【注】 *1 S はメモリアccessウェイト時間も含まれます。

最大実行時間を必要とする処理は LDC.L @Rm+, SR です。メモリアccessがキャッシュヒットの場合、命令実行ステートは 7 になります。外部アクセス行われる場合、そのサイクル数を加算します。また、外部メモリアccessを 2 回実行する命令があり、外部メモリアccessが遅い場合、それに応じて命令実行ステート数が増加します。

*2 内部クロック : CKIO : 周辺クロックの比は 2 : 1 : 1 です。

*3 内部クロック : CKIO : 周辺クロックの比は 4 : 1 : 1 です。

*4 IRQ モード

*5 周辺モジュール : TMU、RTC、SCI、WDT、REFC

*6 周辺モジュール : DMAC、ADC、SCIF、LDC、PCC、USB ホスト、USB ファンクション、AFE インタフェース

7. 割り込みコントローラ (INTC)

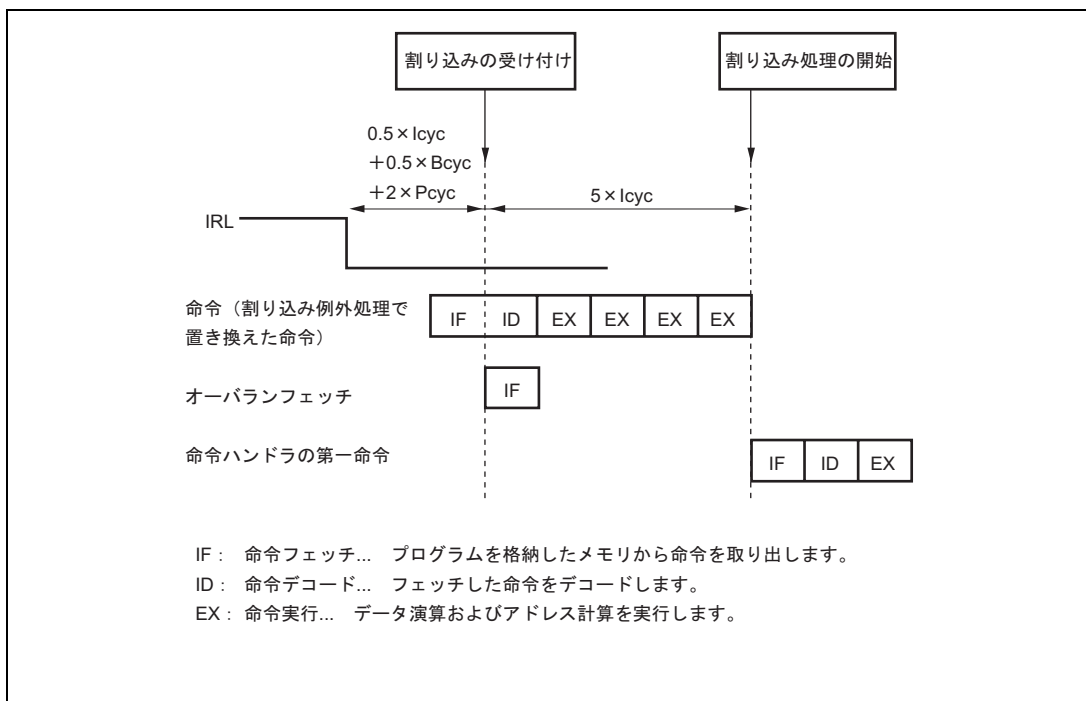


図 7.4 IRL 割り込みの受け付け時のパイプライン動作の例

8. ユーザブ레이크コントローラ (UBC)

8.1 概要

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはデータの読み出し書き込み、データのサイズ、データの内容、アドレスの値、命令フェッチのときの停止タイミングがあります。

8.1.1 特長

UBC には次のような特長があります。

- 次のようなブ레이크比較条件を設定できます。

ブ레이크チャンネル数 : 2チャンネル (チャンネルAとB)

ユーザブ레이크は、チャンネルA、B独立に、または連続した (シーケンシャル) 1つの条件として設定することができます (シーケンシャルブ레이크設定 : チャンネルAのブ레이크条件が一致したあとチャンネルBのブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき) 。

1. アドレス (ASIDと32ビット論理アドレスから構成された40ビットを比較 : 比較ビットは32ビット単位でマスク可能で、ユーザは下位12ビット (4kページ) 、下位10ビット (1kページ) 、あるいは任意の大きさのページなどでアドレスをマスクすることができます。)

4つのアドレスバスの1つ (論理アドレスバス (LAB) 、内部アドレスバス (IAB) 、Xメモリアドレスバス (XAB) 、Yメモリアドレスバス (YAB)) を選択できます。

2. データ (チャンネルBのみ、32ビットマスク可能)

4本のデータバス (論理データバス (LDB) 、内部データバス (IDB) 、Xメモリデータバス (XDB) 、Yメモリデータバス (YDB)) のどれか1つを選択できます。

3. バスマスタ : CPUまたはDMACサイクル
4. バスサイクル : 命令フェッチまたはデータアクセス

8. ユーザブレイクコントローラ (UBC)

5. リードまたはライト
6. オペランドサイズ：バイト、ワード、またはロングワード
 - ブレイク条件が成立するときユーザブレイクが生成します。ユーザ指定のユーザブレイク条件例外処理ルーチンを実行できます。
 - 命令フェッチサイクルにおいて、ブレイクを命令の実行の前に設定するか後に設定するかを指定できます。
 - ブレイク条件 (チャンネルBに対してのみ) として、最大 $2^{12}-1$ 回まで繰り返し回数を指定することができます。
 - 8組の分岐元 / 分岐先バッファ

8.1.2 ブロック図

UBC のブロック図を図 8.1 に示します。

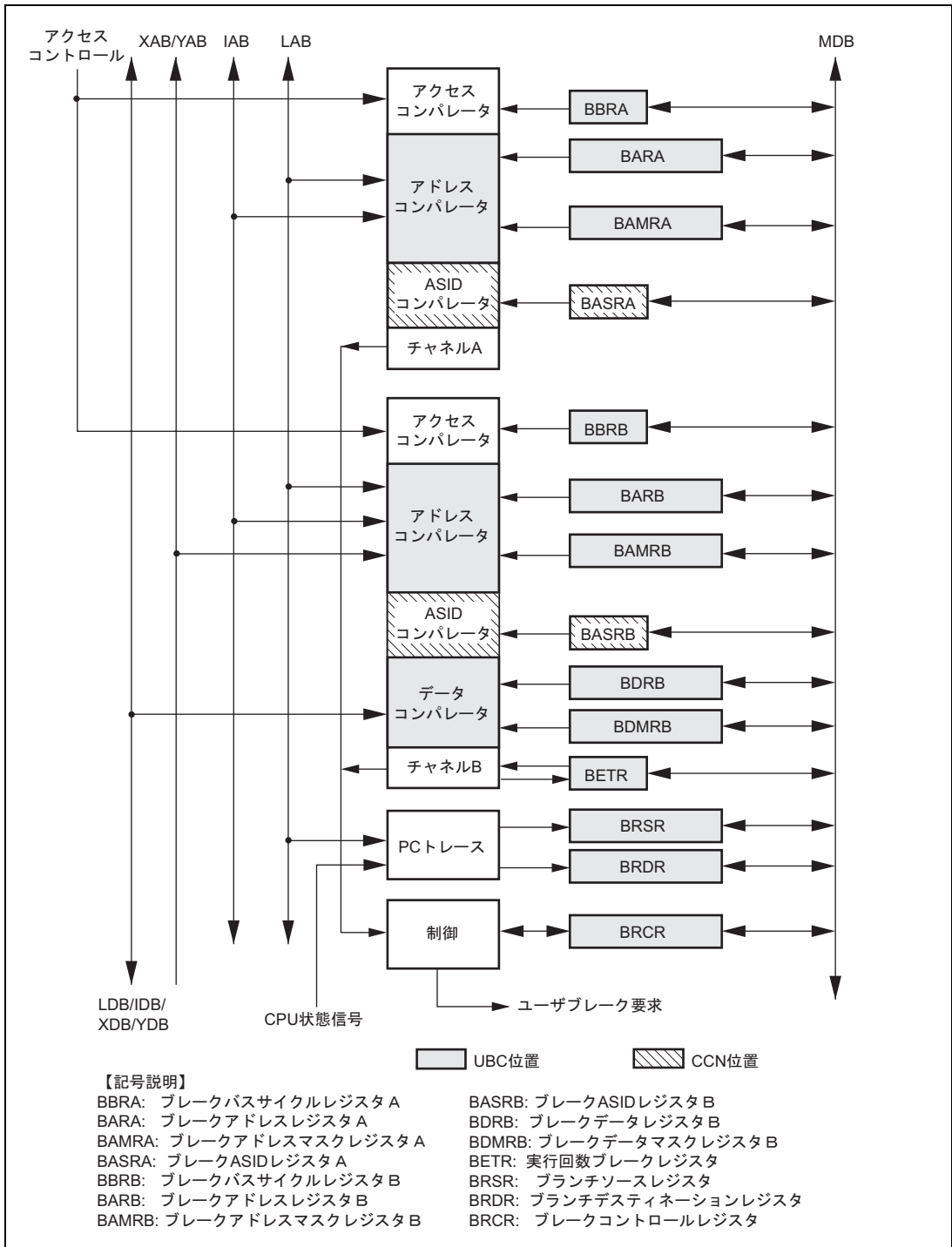


図 8.1 UBC のブロック図

8. ユーザブ레이크コントローラ (UBC)

8.1.3 レジスタ構成

UBC には表 8.1 に示すような 14 本のレジスタがあります。

表 8.1 レジスタ構成

名称	略語	R/W	初期値*1	アドレス	アクセスサイズ	位置
ブ레이크アドレスレジスタ A	BARA	R/W	H'00000000	H'FFFFFFB0	32	UBC
ブ레이크アドレスマスクレジスタ A	BAMRA	R/W	H'00000000	H'FFFFFFB4	32	UBC
ブ레이크バスサイクルレジスタ A	BBRA	R/W	H'0000	H'FFFFFFB8	16	UBC
ブ레이크アドレスレジスタ B	BARB	R/W	H'00000000	H'FFFFFFFA0	32	UBC
ブ레이크アドレスマスクレジスタ B	BAMRB	R/W	H'00000000	H'FFFFFFFA4	32	UBC
ブ레이크バスサイクルレジスタ B	BBRB	R/W	H'0000	H'FFFFFFFA8	16	UBC
ブ레이크データレジスタ B	BDRB	R/W	H'00000000	H'FFFFFFF90	32	UBC
ブ레이크データマスクレジスタ B	BDMRB	R/W	H'00000000	H'FFFFFFF94	32	UBC
ブ레이크コントロールレジスタ	BRCR	R/W	H'00000000	H'FFFFFFF98	32	UBC
実行回数ブ레이크レジスタ	BETR	R/W	H'0000	H'FFFFFFF9C	16	UBC
ブランチソースレジスタ	BRSR	R	不定*2	H'FFFFFFFAC	32	UBC
ブランチデスティネーションレジスタ	BRDR	R	不定*2	H'FFFFFFFBC	32	UBC
ブ레이크 ASID レジスタ A	BASRA	R/W	不定	H'FFFFFFFE4	8	CCN
ブ레이크 ASID レジスタ B	BASRB	R/W	不定	H'FFFFFFFE8	8	CCN

【注】 *1 パワーオンリセット時に初期化されます。スタンバイ時には値は保持されます。マニュアルリセット時には値は不定となります。

*2 BRSR と BRDR のビット 31 (有効フラグ) はパワーオンリセットで初期化されます。しかしほかのビットは初期化されません。

8.2 レジスタの説明

8.2.1 ブレークアドレスレジスタ A (BARA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BARA は、32 ビットの読み出し / 書き込み可能なレジスタです。BARA はチャンネル A のブレーク条件とするアドレスを指定します。パワーオンリセットにより BARA は H'00000000 に初期化されます。

- ビット31~0: ブレークアドレスA31~A0 (BAA31~BAA0)

チャンネル A のブレーク条件を指定する LAB または IAB のアドレスを格納します。

8.2.2 ブレークアドレスマスクレジスタ A (BAMRA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAMA31	BAMA30	BAMA29	BAMA28	BAMA27	BAMA26	BAMA25	BAMA24	BAMA23	BAMA22	BAMA21	BAMA20	BAMA19	BAMA18	BAMA17	BAMA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAMA15	BAMA14	BAMA13	BAMA12	BAMA11	BAMA10	BAMA9	BAMA8	BAMA7	BAMA6	BAMA5	BAMA4	BAMA3	BAMA2	BAMA1	BAMA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BAMRA は 32 ビットの読み出し / 書き込み可能なレジスタです。BAMRA は BARA によって指定されるブレークアドレスビットのうちマスクするビットを指定します。パワーオンリセットで BAMRA は H'00000000 に初期化されます。

8. ユーザブレイクコントローラ (UBC)

- ビット31~0: ブレイクアドレスマスクレジスタA31~A0 (BAMA31~BAMA0)

BAMRA は、BARA (BAA31~BAA0) によって指定されるチャンネル A のブレイクアドレスビットのうちマスクするビットを指定します。

ビット 31~0	説明
BAMAn	
0	チャンネル A のブレイクアドレスビット BAA _n は、ブレイク条件に含まれる (初期値)
1	チャンネル A のブレイクアドレスビット BAA _n は、ブレイク条件に含まれない

n=31~0

8.2.3 ブレイクバスサイクルレジスタ A (BBRA)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CDA1	CDA0	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブレイクバスサイクルレジスタ A (BBRA) は、チャンネル A のブレイク条件として (1) CPU サイクルまたは DMAC サイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、(4) オペランドサイズを指定する 16 ビット読み出し/書き込み可能なレジスタです。パワーオンリセットによって BBRA は H'0000 に初期化されます。

- ビット15~8: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット7, 6: CPU サイクル/DMAC サイクルセレクト A (CDA1, CDA0)

チャンネル A ブレイク条件のバスサイクルとして CPU サイクルまたは DMAC サイクルを選択します。

ビット 7	ビット 6	説明
CDA1	CDA0	
0	0	条件比較を行わない (初期値)
*	1	ブレイク条件は CPU サイクル
1	0	ブレイク条件は DMAC サイクル

*: Don't care

8. ユーザブレイクコントローラ (UBC)

- ビット5、4：命令フェッチ/データアクセスセレクトA (IDA1、IDA0)

チャンネル A ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。

ビット 5	ビット 4	説明
IDA1	IDA0	
0	0	条件比較を行わない (初期値)
	1	ブレイク条件は命令フェッチサイクル
1	0	ブレイク条件はデータアクセスサイクル
	1	ブレイク条件は命令フェッチサイクルまたはデータアクセスサイクル

- ビット3、2：読み出し/書き込みセレクトA (RWA1、RWA0)

チャンネル A ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。

ビット 3	ビット 2	説明
RWA1	RWA0	
0	0	条件比較を行わない (初期値)
	1	ブレイク条件は読み出しサイクル
1	0	ブレイク条件は書き込みサイクル
	1	ブレイク条件は読み出しサイクルまたは書き込みサイクル

- ビット1、0：オペランドサイズセレクトA (SZA1、SZA0)

チャンネル A ブレイク条件のバスサイクルのオペランドサイズを選択します。

ビット 1	ビット 0	説明
SZA1	SZA0	
0	0	ブレイク条件にはオペランドサイズを含まない (初期値)
	1	ブレイク条件はバイトアクセス
1	0	ブレイク条件はワードアクセス
	1	ブレイク条件はロングワードアクセス

8. ユーザブレイクコントローラ (UBC)

8.2.4 ブ레이크アドレスレジスタ B (BARB)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BARB は、32 ビットの読み出し / 書き込み可能なレジスタです。チャンネル B のブレイク条件とするアドレスを指定します。BBRB レジスタの制御ビット XYE と XYS はブレイク条件 B のアドレスバスを選択します。XYE が 0 の場合、BARB は論理バスまたは内部バス LAB、IAB 上でブレイクアドレス指定します。XYE が 1 の場合、BAB31 ~ 16 は XAB (ビット 15~1) のブレイクアドレスを、BAB15~0 は YAB (ビット 15~1) のブレイクアドレスを指定します。ただし、ブレイクには 2 つのアドレスバスのどちらかを選択する必要があります。パワーオンリセットにより BARB は H'00000000 に初期化されます。

	BAB31-16	BAB15-0
XYE=0	L(I)AB31-16	L(I)AB15-0
XYE=1	XAB15-1(XYS=0)	YAB15-1(XYS=1)

8.2.5 ブ레이크アドレスマスクレジスタ B (BAMRB)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAMB ₃₁	BAMB ₃₀	BAMB ₂₉	BAMB ₂₈	BAMB ₂₇	BAMB ₂₆	BAMB ₂₅	BAMB ₂₄	BAMB ₂₃	BAMB ₂₂	BAMB ₂₁	BAMB ₂₀	BAMB ₁₉	BAMB ₁₈	BAMB ₁₇	BAMB ₁₆
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAMB ₁₅	BAMB ₁₄	BAMB ₁₃	BAMB ₁₂	BAMB ₁₁	BAMB ₁₀	BAMB ₉	BAMB ₈	BAMB ₇	BAMB ₆	BAMB ₅	BAMB ₄	BAMB ₃	BAMB ₂	BAMB ₁	BAMB ₀
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BAMRB は、32 ビットの読み出し / 書き込み可能なレジスタです。BAMRB は、BARB で指定するブレイクアドレスビットのうち、マスクするビットを指定します。パワーオンリセットによって BAMRB は H'00000000 に初期化されます。

	BAMB31-16	BAMB15-0
XYE=0	L(I) AB31-16 をマスク	L(I) AB15-0 をマスク
XYE=1	XAB15-1(XYS=0)をマスク	YAB15-1(XYS=1)をマスク

ビット 31~0	説明
BAMBn	
0	チャンネル B のブ레이크アドレスビット BABn は、ブ레이크条件に含まれる (初期値)
1	チャンネル B のブ레이크アドレスビット BABn は、マスクされるためブ레이크条件には含まれない

n=31~0

8.2.6 ブ레이크データレジスタ B (BDRB)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BDRB は、32 ビットの読み出し / 書き込み可能なレジスタです。BBRB レジスタの制御ビット XYE と XYS はブ레이크条件 B のためのデータバスを選択します。XYE が 0 の場合、BDRB は LDB、IDB ブ레이크データを指定します。XYE が 1 の場合、BDB31~16 は XDB (ビット 15~0) のブ레이크データを、BDB15~0 は YDB (ビット 15~0) のブ레이크データを指定します。ただし、ブ레이크には 2 つのデータバスのどちらかを選択する必要があります。パワーオンリセットにより BDRB は H'00000000 に初期化されます。

	BDB31-16	BDB15-0
XYE=0	L(I)DB31-16	L(I)DB15-0
XYE=1	XDB15-0(XYS=0)	YDB15-0(XYS=1)

8.2.7 ブ레이크データマスクレジスタ B (BDMRB)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BDMRB は、32 ビットの読み出し / 書き込み可能なレジスタです。BDMRB は、BDRB で指定するブ레이크データビットのうちマスクするビットを指定します。パワーオンリセットにより BDMRB は H'00000000 に初期化さ

8. ユーザブレイクコントローラ (UBC)

れます。

	BDMB31-16	BDMB15-0
XYE=0	L(I) DB31-16 をマスク	L(I) DB15-0 をマスク
XYE=1	XDB15-0 をマスク	YDB15-0 をマスク

ビット 31~0	説明
BDMBn	
0	チャンネルBのブレイクデータビットBDBnは、ブレイク条件に含まれる (初期値)
1	チャンネルBのブレイクデータビットBDBnは、マスクされるため、ブレイク条件には含まれない

n=31~0

- 【注】
- ブレイク条件にデータバスの値を含める場合オペランドサイズを指定してください。
 - ブレイク条件として、バイトサイズを指定する場合、BDRBにおいてブレイクデータはビット15~8とビット7~0に同一のバイトデータをセットしてください。

8.2.8 ブレイクバスサイクルレジスタ B (BBRB)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	XYE	XYS	CDB1	CDB0	IDB1	IDB0	RWB1	RWB0	SZB1	SZB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブレイクバスサイクルレジスタ B (BBRB)は、チャンネルBのブレイク条件として(1)論理バスまたは内部バス(LバスまたはIバス)、XバスまたはYバス、(2)CPUサイクルまたはDMACサイクル、(3)命令フェッチまたはデータアクセス、(4)読み出しまたは書き込み、および(5)オペランドサイズを指定する16ビットの読み出し/書き込み可能なレジスタです。パワーオンリセットによってBBRBはH'0000に初期化されます。

- ビット15~10: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット9: X/Yメモリバスイネーブル (XYE)

論理バスまたは内部バス(LバスまたはIバス)、またはX/YメモリバスをチャンネルBブレイク条件のバスとして選択します。

ビット9	説明
XYE	
0	チャンネルBブレイク条件用に内部バス(Iバス)を選択 (初期値)
1	チャンネルBブレイク条件用にX/Yメモリバス(X/Yバス)を選択

8. ユーザブレイクコントローラ (UBC)

- ビット8: X/Yメモリバスセレクト (XYS)

チャンネルB ブレイク条件のバスとして、XバスまたはYバスを選択します。

ビット8	説明
XYS	
0	チャンネルB ブレイク条件用にXバスを選択 (初期値)
1	チャンネルB ブレイク条件用にYバスを選択

- ビット7、6: CPUサイクル/DMACサイクルセレクトB (CDB1、CDB0)

チャンネルB ブレイク条件のバスサイクルとしてCPU サイクルまたはDMAC サイクルを選択します。

ビット7	ビット6	説明
CDB1	CDB0	
0	0	条件比較を行わない (初期値)
*	1	ブレイク条件はCPU サイクル
1	0	ブレイク条件はDMAC サイクル

* : Don't care

- ビット5、4: 命令フェッチ/データアクセスセレクトB (IDB1、IDB0)

チャンネルB ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。

ビット5	ビット4	説明
IDB1	IDB0	
0	0	条件比較を行わない (初期値)
	1	ブレイク条件は命令フェッチサイクル
1	0	ブレイク条件はデータアクセスサイクル
	1	ブレイク条件は命令フェッチサイクルまたはデータアクセスサイクル

- ビット3、2: 読み出し/書き込みセレクトB (RWB1、RWB0)

チャンネルB ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。

ビット3	ビット2	説明
RWB1	RWB0	
0	0	条件比較を行わない (初期値)
	1	ブレイク条件は読み出しサイクル
1	0	ブレイク条件は書き込みサイクル
	1	ブレイク条件は読み出しサイクルまたは書き込みサイクル

8. ユーザブレイクコントローラ (UBC)

- ビット1、0：オペランドサイズセレクトB (SZB1、SZB0)

チャンネルBブレイク条件のバスサイクルのオペランドサイズを選択します。

ビット1	ビット0	説明
SZB1	SZB0	
0	0	ブレイク条件はオペランドサイズを含まない (初期値)
	1	ブレイク条件はバイトアクセス
1	0	ブレイク条件はワードアクセス
	1	ブレイク条件はロングワードアクセス

8.2.9 ブレイクコントロールレジスタ (BRCR)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BAS MA	BAS MB	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCM FCA	SCM FCB	SCM FDA	SCM FDB	PCTE	PCBA	-	-	DBEB	PCBB	-	-	SEQ	-	-	ETBE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R	R	R/W

BRCCR は次の条件を設定します。

- チャンネルA、Bを2つの独立したチャンネル条件か、あるいは1つの連続した条件として使用するかを指定します。
- ブレイクを命令実行の前に設定するか後に設定するかを指定します。
- ブレイクを実行回数だけセットします。
- チャンネルB比較条件にデータバスを含めるかどうかを決定します。
- PCトレースをイネーブルにします。
- ASIDチェックをイネーブルにします。

ブレイクコントロールレジスタ (BRCCR) は、ブレイク条件一致フラグと種々のブレイク条件をセットするためのビットを持つ 32 ビットの読み出し/書き込み可能なレジスタです。BRCCR はパワーオンリセットによって H'00000000 に初期化されます。

- ビット31～22：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8. ユーザブ레이크コントローラ (UBC)

- ビット21：ブ레이크ASIDマスクA (BASMA)

BASRA にセットされたチャンネル A ブ레이크 ASID7 ~ ASID0 (BASA7 ~ BASA0) のビットをマスクするかどうかを指定します。

ビット 21	説明
BASMA	
0	すべての BASRA ビットはブ레이크条件に含まれ、ASID がチェックされる (初期値)
1	すべての BASRA ビットはブ레이크条件に含まれず、ASID がチェックされない

- ビット20：ブ레이크ASIDマスクB (BASMB)

BASRB にセットされたチャンネル B ブ레이크 ASID7 ~ ASID0 (BASB7 ~ BASB0) のビットをマスクするかどうかを指定します。

ビット 20	説明
BASMB	
0	すべての BASRB ビットはブ레이크条件に含まれ、ASID がチェックされる (初期値)
1	すべての BASRB ビットはブ레이크条件に含まれず、ASID がチェックされない

- ビット19 ~ 16：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット15：CPU条件一致フラグA (SCMFCA)

チャンネル A にセットしたブ레이크条件の CPU バスサイクル条件を満足すると、このフラグは 1 にセットされます (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。

ビット 15	説明
SCMFCA	
0	チャンネル A に対する CPU サイクル条件不一致 (初期値)
1	チャンネル A に対する CPU サイクル条件一致

- ビット14：CPU条件一致フラグB (SCMFCB)

チャンネル B にセットしたブ레이크条件の CPU バスサイクル条件を満足すると、このフラグは 1 にセットされます (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。

ビット 14	説明
SCMFCB	
0	チャンネル B に対する CPU サイクル条件不一致 (初期値)
1	チャンネル B に対する CPU サイクル条件一致

8. ユーザブレークコントローラ (UBC)

- ビット13 : DMAC条件一致フラグA (SCMFDA)

チャンネル A にセットしたブレーク条件の内蔵 DMAC バスサイクル条件を満足すると、このフラグは 1 にセットされます (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。

ビット 13	説明
SCMFDA	
0	チャンネル A に対する DMAC サイクル条件不一致 (初期値)
1	チャンネル A に対する DMAC サイクル条件一致

- ビット12 : DMAC条件一致フラグB (SCMFDB)

チャンネル B にセットしたブレーク条件の内蔵 DMAC バスサイクル条件を満足すると、このフラグは 1 にセットされます (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。

ビット 12	説明
SCMFDB	
0	チャンネル B に対する DMAC サイクル条件不一致 (初期値)
1	チャンネル B に対する DMAC サイクル条件一致

- ビット11 : PCトレースイネーブル (PCTE)

PC トレースを許可します。

ビット 11	説明
PCTE	
0	PC トレースを禁止 (初期値)
1	PC トレースを許可

- ビット10 : PCブレークセレクトA (PCBA)

チャンネル A に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。

ビット 10	説明
PCBA	
0	チャンネル A の PC ブレークを命令実行前に設定 (初期値)
1	チャンネル A の PC ブレークを命令実行後に設定

- ビット9、8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット7: データブ레이크イネーブルB (DBEB)

データベース条件がチャンネルBのブ레이크条件に含まれるかどうかを選択します。

ビット7	説明	
DBEB		
0	データベース条件がチャンネルBのブ레이크条件に含まれない	(初期値)
1	データベース条件がチャンネルBのブ레이크条件に含まれる	

- ビット6: PCブ레이크セレクトB (PCBB)

チャンネルBに対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。

ビット6	説明	
PCBB		
0	チャンネルBのPCブ레이크を命令実行前に設定	(初期値)
1	チャンネルBのPCブ레이크を命令実行後に設定	

- ビット5、4: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット3: シーケンス条件セレクト (SEQ)

チャンネルAおよびBの2つの条件が独立した条件であるか連続した条件であるかを選択します。

ビット3	説明	
SEQ		
0	独立した条件下でチャンネルAとチャンネルBを比較	(初期値)
1	連続した条件下でチャンネルAとチャンネルBを比較 (チャンネルA、次にチャンネルB)	

- ビット2、1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット0: 実行回数ブ레이크イネーブル (ETBE)

チャンネルBに対してのみ実行回数ブ레이크条件を有効にします。このビットが1の場合 (実行回数ブ레이크イネーブル)、生じたブ레이크条件の数がBETRレジスタで指定した実行回数と等しくなったときユーザブ레이크割り込みが出されます。

ビット0	説明	
ETBE		
0	チャンネルBの実行回数ブ레이크条件を無効にする	(初期値)
1	チャンネルBの実行回数ブ레이크条件を有効にする	

8. ユーザブレークコントローラ (UBC)

8.2.10 実行回数ブレークレジスタ (BETR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル B の実行回数ブレーク条件を有効にすると、このレジスタはブレークを行う回数を指定します。最大値は $2^{12}-1$ 回です。パワーオンリセットによって BETR は H'0000 に初期化されます。ブレーク条件を満たすたびに BETR は 1 ずつデクリメントされます。BETR が H'0001 になったあと、ブレーク条件を満たすとブレークが出されます。ビット 15~12 を読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.2.11 ブランチソースレジスタ (BRSR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SVF	PID2	PID1	PID0	BSA ₂₇	BSA ₂₆	BSA ₂₅	BSA ₂₄	BSA ₂₃	BSA ₂₂	BSA ₂₁	BSA ₂₀	BSA ₁₉	BSA ₁₈	BSA ₁₇	BSA ₁₆
初期値:	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSA ₁₅	BSA ₁₄	BSA ₁₃	BSA ₁₂	BSA ₁₁	BSA ₁₀	BSA ₉	BSA ₈	BSA ₇	BSA ₆	BSA ₅	BSA ₄	BSA ₃	BSA ₂	BSA ₁	BSA ₀
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * 不定

BRSR は、32 ビットの読み出し専用レジスタです。BRSR は、分岐前に最後にフェッチしたアドレスと最後に実行した命令に対するフェッチから実行までのサイクル数を示すポインタ(3 ビット)を格納します。BRSR は、分岐発生時に 1 にセットされるフラグビットを持っています。このフラグビットは、BRSR の読み出し時、またパワーオンリセットまたはマニュアルリセットで初期化するとき 0 にクリアされます。その他のビットはリセットによっては初期化されません。8 本の BRSR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

- ビット31 : BRSR有効フラグ (SVF)

アドレスおよび分岐元アドレスを指すポインタが計算可能であるかどうかを示します。分岐元アドレスが取り出されるときこのフラグは1にセットされます。このフラグは、BRSRを読み出すことによって0にクリアされま

ビット 31	説明
SVF	
0	BRSR レジスタの値は無効 (初期値)
1	BRSR レジスタの値は有効

- ビット30~28 : 命令デコードポインタ (PID2~0)

PID は3ビットのバイナリポインタ (0~7) です。これらのビットは分岐を実行する前に最後に実行した命令を格納する命令バッファの番号を示します。

ビット 30~28	説明
PID	
偶数	PID は命令バッファの番号を示す
奇数	PID+2 は命令バッファの番号を示す

- ビット27~0 : 分岐元アドレス (BSA27~BSA0)

これらのビットは分岐を実行する前に最後に取り出したアドレスを格納します。

8.2.12 ブランチデスティネーションレジスタ (BRDR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DVF	-	-	-	BDA ₂₇	BDA ₂₆	BDA ₂₅	BDA ₂₄	BDA ₂₃	BDA ₂₂	BDA ₂₁	BDA ₂₀	BDA ₁₉	BDA ₁₈	BDA ₁₇	BDA ₁₆
初期値 :	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDA ₁₅	BDA ₁₄	BDA ₁₃	BDA ₁₂	BDA ₁₁	BDA ₁₀	BDA ₉	BDA ₈	BDA ₇	BDA ₆	BDA ₅	BDA ₄	BDA ₃	BDA ₂	BDA ₁	BDA ₀
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * 不定

BRDR は、32ビットの読み出し専用レジスタです。BRDR は、分岐先フェッチアドレスを格納します。BRDR は、分岐発生時に1に設定されるフラグビットを持っています。このフラグビットは、BRDRの読み出し時またはBRDRをパワーオンリセットまたはマニュアルリセットで初期化するとき0にクリアされます。その他のビットはリセットによっては初期化されません。8本のBRDRレジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

8. ユーザブレイクコントローラ (UBC)

- ビット31 : BRDR有効フラグ (DVF)

分岐先アドレスが格納されているかどうかを示します。分岐先アドレスが取り出されるときこのフラグは1にセットされます。このフラグはBRDRを読み出すことによって0にセットされます。

ビット 31	説明
DVF	
0	BRDR レジスタの値は無効
1	BRDR レジスタの値は有効

- ビット30~28 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット27~0 : 分岐先アドレス (BDA27~BDA0)

これらのビットは分岐後最初に取り出したアドレスを格納します。

8.2.13 ブレーク ASID レジスタ A (BASRA)

ビット :	7	6	5	4	3	2	1	0
	BASA7	BASA6	BASA5	BASA4	BASA3	BASA2	BASA1	BASA0
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 不定

ブレーク ASID レジスタ A (BASRA) は、チャンネル A に対するブレーク条件となる ASID を指定する 8 ビットの読み出し / 書き込み可能なレジスタです。BASRA はリセットでは初期化されません。CCN に存在します。

- ビット7~0 : ブレークASID A7~0 (BASA7~BASA0)

これらのビットはチャンネル A のブレーク条件である ASID (ビット 7~0) を格納します。

8.2.14 ブレーク ASID レジスタ B (BASRB)

ビット :	7	6	5	4	3	2	1	0
	BASB7	BASB6	BASB5	BASB4	BASB3	BASB2	BASB1	BASB0
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 不定

ブレーク ASID レジスタ B (BASRB) は、チャンネル B に対するブレーク条件となる ASID を指定する 8 ビットの読み出し / 書き込み可能なレジスタです。BASRB はリセットでは初期化されません。CCN に存在します。

- ビット7~0 : ブレークASID B7~0 (BASB7~BASB0)

これらのビットはチャンネル B のブレーク条件である ASID (ビット 7~0) を格納します。

8.3 動作説明

8.3.1 ユーザブレーク動作の流れ

ブレーク条件の設定からユーザブレーク例外処理までの動作の流れは次のとおりです。

1. ブレークアドレスおよび該当するASIDは、ブレークアドレスレジスタ (BARA、BARB) とブレークASIDレジスタ (CCNのBASRA、BASRB) にセットします。マスクするアドレスはブレークアドレスマスクレジスタ (BAMRA、BAMRB) にセットします。ブレークデータはブレークデータレジスタ (BDRB) にセットします。マスクするデータはブレークデータマスクレジスタ (BDMRB) にセットします。バスブレーク条件は、ブレークバスサイクルレジスタ (BBRA、BBRB) にセットします。BBRAとBBRBの3つの制御ビットペア、すなわちCPUサイクル/DMACサイクルセレクト、命令フェッチ/データアクセスセレクト、読み出し/書き込みセレクトを設定します。3つの制御ビットペアのどれか1つでも00の場合、ユーザブレークは発生しません。ブレーク制御はBRCCRのビットにセットします。
2. ブレーク条件を満足すると、UBCはユーザブレーク要求を割り込みコントローラに送ります。ブレークタイプはCPUに送られ、命令フェッチ、命令前/後命令ブレーク、データアクセスブレークを示します。ブレーク条件を満足すると、それぞれのチャンネルに対するCPU条件一致フラグ (SCMFCA、SCMFCA) およびDMAC条件一致フラグ (SCMFDA、SCMFDB) がセットされます。
3. 設定条件の一致、不一致をチェックするため該当する条件一致フラグ (SCMFCA、SCMFDA、SCMFCA、SCMFDB) を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためにはまず0を書き込まなければなりません。
4. データアクセスブレークとそれに続く命令フェッチブレークがほぼ同時に発生する場合があります。CPUに対するブレーク割り込み要求は1つだけであってもこれらの2つのブレークチャンネル一致フラグは2つともセットされる場合があります。

8.3.2 命令フェッチサイクルでのブレーク

1. ブレークバスサイクルレジスタ (BBRA/BBRB) にCPU/命令フェッチ/読み出し/ワードまたはロングワードが設定されると、ブレーク条件はCPUの命令フェッチサイクルになります。命令実行の前にブレークするか後にブレークするかは、該当するチャンネルに対するブレークコントロールレジスタ (BRCCR) のPCBA、PCBBビットで選択できます。
2. 命令フェッチによるブレークがその命令を実行する前に行われるように設定されている状態で条件が一致した場合、命令がフェッチされて命令を実行することが確定した時点でブレークが生じます。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。遅延分岐命令の遅延スロットに対してこの種のブレークが設定されると、ブレークを受け付ける最初の命令の実行の直前までブレークは発生しません。また、遅延スロット命令に対する実行前命令ブレークにセットされたブレーク、およびSLEEP命令に対する実行後命令ブレークも禁止されます。

8. ユーザブレイクコントローラ (UBC)

3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、これはオーバーランフェッチ命令では使用できません。遅延分岐命令に対してこの種のブレイクが設定されると、ブレイクを受け付ける最初の命令までブレイクは発生しません。
4. 命令フェッチサイクルがチャンネルBに設定されるとブレイクデータレジスタB (BDRB) は無視されます。したがって、命令フェッチサイクルのブレイクにはブレイクデータを設定する必要はありません。

8.3.3 データアクセスサイクルでのブレイク

1. CPUデータアクセスブレイクが生じるメモリサイクルは命令によるものです。
2. 表8.2にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 8.2 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレイクアドレスレジスタのビット 31~2 とアドレスバスのビット 31~2 を比較
ワード	ブレイクアドレスレジスタのビット 31~1 とアドレスバスのビット 31~1 を比較
バイト	ブレイクアドレスレジスタのビット 31~0 とアドレスバスのビット 31~0 を比較

これは、たとえばオペランドサイズ条件を指定しないでアドレス H'00001003 を設定するとき、ブレイク条件を満足するバスサイクルには (ほかのすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000でのロングワードアクセス

H'00001002でのワードアクセス

H'00001003でのバイトアクセス

3. チャンネルBのブレイク条件にデータ値が含まれる場合 :

ブレイク条件にデータ値が含まれる場合、ブレイクバスサイクルレジスタ (BBRA、BBRB) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレイク条件に含まれる場合、アドレス条件とデータ条件が一致するときブレイクが発生します。この場合、バイトデータを指定するためにはブレイクデータレジスタB (BDRB) とブレイクデータマスクレジスタB (BDMRB) のビット15~8、ビット7~0の2バイトに同じデータをセットします。ワードまたはバイトのオペランドサイズを選択すると、BDRBとBDMRBのビット31~16は無視されます。

4. DMACデータアクセスをブレイク条件に含める場合 :

DMACデータアクセスに対してアドレスをブレイク条件に含める場合、ブレイクバスサイクルレジスタ (BBRA、BBRB) のオペランドサイズはバイト、ワード、あるいはオペランドサイズを指定しないで設定してください。データ値をブレイク条件に含める場合は、バイトまたはワードのどちらかを選択してください。

8.3.4 X/Y メモリバスサイクルのブレイク

1. XメモリバスサイクルまたはYメモリバスサイクルのブレイク条件は、チャンネルBでのみ指定できます。BBRBのXYEビットが1にセットした場合、X/Yメモリバス上のブレイクアドレスおよびブレイクデータが選択されます。BBRBのXYSビットを指定することによってXメモリバスとYメモリバスのどちらかを選択する必要があります。XメモリバスとYメモリバスの両方を同時にブレイク条件に指定することはできません。ブレイク条件は、ブレイクバスサイクルレジスタB (BBRB) でCPU、データアクセスサイクル、読み出しまたは書き込みアクセス、オペランドサイズをワードまたはオペランドサイズを指定しないに設定することによって、XメモリバスサイクルまたはYメモリバスサイクルに適用されます。
2. ブレイク条件としてXメモリアドレスを選択するときは、BARBとBAMRBの上位16ビットにXメモリアドレスを指定し、Yメモリアドレスを選択するときは、下位16ビットにYメモリアドレスを指定してください。BDRBとBDMRBに対するX/Yメモリデータの指定方法は同一です。

8.3.5 シーケンシャルブレイク

1. BRRCRのSEQビットを1にセットすると、チャンネルAブレイク条件が一致したあとチャンネルBブレイク条件が一致するときにシーケンシャルブレイクが発生します。チャンネルAブレイク条件が一致する前にチャンネルBブレイク条件が一致すると、ユーザブレイクは発生しません。また、チャンネルAとチャンネルBのブレイク条件が同時に一致したときも、シーケンシャルブレイクは発生しません。
2. シーケンシャルブレイク指定では、論理バス、内部バス、Xバス、またはYバスを選択でき、実行回数ブレイク条件も指定することができます。たとえば、実行回数ブレイク条件を指定すると、チャンネルAブレイク条件一致後、チャンネルBブレイク条件がBETR=H'0001のときに一致するとブレイク条件が満たされます。

8.3.6 退避したプログラムカウンタの値

ブレイク発生時、PCはユーザブレイクのSPCに退避されます。退避したPC値はブレイクの種類によって次のようになります。

1. 命令フェッチを(命令実行の前に)ブレイク条件として指定する場合：
退避されたプログラムカウンタ(PC)の値は、ブレイク条件と一致する命令のアドレスです。フェッチした命令は実行されず、その前にブレイクが発生します。
2. 命令フェッチを(命令実行後)ブレイク条件として指定する場合：
退避されたPCの値は、ブレイク条件が一致する命令の次の命令のアドレスです。フェッチした命令は実行され、次の命令の実行の前にブレイクが発生します。
3. データアクセス(アドレスのみ)をブレイク条件として指定する場合：
PCの値は、ブレイク条件に一致した命令の直後の命令のアドレスです。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。
4. データアクセス(アドレス+データ)をブレイク条件として指定する場合：

8. ユーザブレイクコントローラ (UBC)

PC の値は、ブレイク処理の起動時にすでに実行された命令の次の命令の先頭アドレスです。データ値がブレイク条件に追加されると、ブレイクが発生する場所は正確に指定することができません。ブレイクはブレイクが発生したデータアクセスの近傍でフェッチした命令の実行前に発生します。

8.3.7 PC トレース

1. PC トレースは、BRCRのPCTEを1にセットすることによってイネーブルになります。分岐 (分岐命令、繰り返しおよび割り込み) が発生すると、分岐元アドレスを計算できるアドレスと分岐先アドレスはそれぞれ BRSRとBRDRに格納されます。最後にフェッチされた命令のアドレスと分岐の直前に実行された命令の関係を示すポインタはBRSRに格納されます。
2. 分岐直前に実行された命令のアドレスは、BRSR内のアドレスとポインタによって計算できます。BSA (BRSR内のアドレス部)、PID (BRSR内のポインタ部) およびIA (分岐直前に実行された命令のアドレス) の計算式は、 $IA = BSA - 2 * PID$ となります。

分岐先命令を実行する前に割り込み (分岐) を行う場合は注意が必要です。次の図の場合、分岐の直前に実行された命令“Exec”のアドレスは、 $IA = BSA - 2 * PID$ によって計算できます。しかしながら、分岐“branch”が遅延スロットを持ち、分岐先が $4n+2$ のアドレスである場合、分岐命令によって指定される分岐先アドレス“Dest”は BRSR に格納されます ($Dest = BSA$)。

したがって計算式 $IA = BSA - 2 * PID$ はこの場合には適用されないため、この PID は無効です。BSA が $4n+2$ 境界であるのはこの場合だけで、次のように分類されます。

```
Exec : branch Dest
Dest : instr    (実行されない)
      割り込み
Int  : interrupt routine
```

PID 値が奇数の場合、命令バッファは $PID+2$ バッファを指しています。ただし、この表中に示された値はそれらを勘案したものとなっています。したがって、真の分岐元アドレスは BRSR に格納された BSA 値および PID 値によって計算されます。

3. 分岐の直前に実行した命令のアドレスIAの値は、分岐の種類によって異なります。

(a) 分岐命令

分岐命令アドレス

(b) 繰り返し

繰り返しループの最後から2番目の命令

```
Repeat_Start:inst (1);   BRDR レジスタ
               inst (2);
               :
               inst (n-1); BRDR レジスタから計算されるアドレス
```

```
Repeat_End: inst (n);
```

(c) 割り込み

割り込みの直前に実行した命令

割り込みルーチンの先頭アドレスはBRDRに格納されます。

3つ以下命令からなるの繰り返しループでは、命令フェッチサイクルは発生せず、分岐元アドレスも不明となります。したがって、PCトレースは無効です。

4. BRSRとBRDRは、8組のキュー構造からなっています。PCトレースレジスタに格納されたアドレスの読み出し時、キューの先頭を最初に読み出します。BRSRとBRDRはリードポイントを共有します。BRSR、BRDRの順で読み出してください。キューはBRDRの読み出しあとのみシフトされます。BRDRの読み出し時にはロングワードアクセスを使用する必要があります。また、PCトレースにはトレースポイントがあり、最初はキューの最下位を指します。分岐アドレスの最初のペアはキューの最下位に格納された後、次のペアがキューに入ると上方にシフトされます。トレースポイントは、キューから取り出されないうり次の分岐アドレスを指します。分岐アドレスが実行されると、トレースポイントはキューの最下位に達するまでアドレスの次のペアにシフトします。(BRCRの)PCTEビットのオン、オフを切り替えた後、キューの値は無効になります。リードポイントはPCTEの切り替え前の位置に留まりますが、トレースポイントはキューの最下位でリスタートします。

8.3.8 使用例

(1) CPU 命令フェッチサイクルに指定したブ레이크条件

- レジスタ指定

BARA=H'00000404、BAMRA=H'00000000、BBRA=H'0054、BARB=H'00008010、BAMRB=H'00000006、
BBRB=H'0054、BDRB=H'00000000、BDMRB=H'00000000、BRCR=H'00300400

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネルA>

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

ASIDチェックは含まれません。

<チャンネルB>

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ASIDチェックは含まれません。

ユーザブ레이크は、アドレス H'00000404 の命令実行後、またはアドレス H'00008010 ~ H'00008016 の命令の実行

8. ユーザブレイクコントローラ (UBC)

前に発生します。

- レジスタ指定

BARA = H'00037226、BAMRA = H'00000000、BBRA = H'0056、BARB = H'0003722E、BAMRB = H'00000000、
BBRB = H'0056、BDRB = H'00000000、BDMRB = H'00000000、
BRCR = H'00000008、BASRA = H'80、BASRB = H'70

指定条件：チャンネル A / チャンネル B シーケンスモード

<チャンネルA>

アドレス：H'00037226、アドレスマスク：H'00000000、ASID=H'80

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ワード

<チャンネルB>

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID=H'70

データ：H'00000000、データマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ワード

ASID=H'80 およびアドレス H'00037226 の命令が実行されたあと、ASID=H'70 およびアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

- レジスタ指定

BARA = H'00027128、BAMRA = H'00000000、BBRA = H'005A、BARB = H'00031415、BAMRB = H'00000000、BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、
BRCR = H'00300000

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネルA>

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 書き込み / ワード

ASIDチェックは含まれません。

<チャンネルB>

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ASIDチェックは含まれません。

チャンネルAでは、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネルBでは、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

- レジスタ指定

BARA=H'00037226、BAMRA=H'00000000、BBRA=H'005A、BARB=H'0003722E、BAMRB=H'00000000、
BBRB=H'0056、BDRB=H'00000000、BDMRB=H'00000000、BRCR=H'00000008、BASRA=H'80、BASRB=H'70

指定条件：チャンネル A / チャンネル B シーケンスモード

<チャンネルA>

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：CPU / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネルB>

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID：H'70

データ：H'00000000、データマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ワード

チャンネル A で命令フェッチは書き込みサイクルではないので、シーケンス条件一致は生じません。したがって、ユーザブレイクは発生しません。

- レジスタ指定

BARA=H'00000500、BAMRA=H'00000000、BBRA=H'0057、BARB=H'00001000、BAMRB=H'00000000、
BBRB=H'0057、BDRB=H'00000000、BDMRB=H'00000000、BRCR=H'00300001、BETR = H'0005

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネルA>

アドレス：H'00000500、アドレスマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ロングワード

<チャンネルB>

アドレス：H'00001000、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ロングワード

実行回数ブレイクイネーブル (5回)

チャンネル A では、ユーザブレイクはアドレス H'00000500 の命令の実行前に生じます。チャンネル B では、ユーザブレイクはアドレス H'00001000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

8. ユーザブレイクコントローラ (UBC)

- レジスタ指定

BARA=H'00008404、BAMRA=H'00000FFF、BBRA=H'0054、BARB=H'00008010、BAMRB=H'00000006、
BBRB=H'0054、BDRB=H'00000000、BDMRB=H'00000000、BRCR=H'00000400、BASRA=H'80、BASRB=H'70

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネルA>

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID：H'80

バスサイクル：CPU / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件には含まれません)

<チャンネルB>

アドレス：H'00008010、アドレスマスク：H'00000006、ASID：H'70

データ：H'00000000、データマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件には含まれません)

ユーザブレイクはASID=H'80でアドレスH'00008000～H'00008FFEの命令の実行後、またはASID=H'70でアドレスH'00008010～H'00008016の命令の実行前に生じます。

(2) CPU データアクセスサイクルに指定したブレイク条件

- レジスタ指定

BARA=H'00123456、BAMRA=H'00000000、BBRA=H'0064、BARB=H'000ABCDE、BAMRB=H'000000FF、
BBRB=H'006A、BDRB=H'0000A512、BDMRB=H'00000000、BRCR=H'00000080、BASRA=H'80、BASRB=H'70

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネルA>

アドレス：H'00123456、アドレスマスク：H'00000000

バスサイクル：CPU / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

<チャンネルB>

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID：H'70

データ：H'0000A512、データマスク：H'00000000

バスサイクル：CPU / データアクセス / 書き込み / ワード

チャンネル A では、ユーザブレイクは、ASID=H'80 によるアドレス H'00123454 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで生じます。チャンネル B では、ユーザブレイクは H'000ABC00～H'000ABCFE にワード H'A512 を書き込むときに生じます。

- レジスタ指定

BARA = H'01000000、BAMRA = H'00000000、BBRA = H'0066、BARB = H'0000F000、BAMRB = H'FFFF0000、
BBRB = H'036A、BDRB = H'00004567、BDMRB = H'00000000、BRCR = H'00300080

指定条件: チャンネルA/チャンネルB 独立モード

<チャンネルA>

アドレス: H'01000000, アドレスマスク: H'00000000

バスサイクル: CPU/データアクセス/読み出し/ワード

ASID チェックは含まれません

<チャンネルB>

アドレス: H'0001F000, アドレスマスク: H'FFFF0000

データ: H'00004567, データマスク: H'00000000

バスサイクル: CPU/データアクセス/書き込み/ワード

ASID チェックは含まれません

チャンネル A では、ユーザブレイクはメモリ空間のアドレス H'01000000 に対するワード読み出しで生じます。
チャンネル B では、ユーザブレイクは、Y メモリ空間のアドレス H'0001F000 にワード H'4567 を書き込むときに生じます。X/Y メモリ空間はモード指定によって変更されます。

(3) DMAC データアクセスサイクルに指定されたブレイク条件

- レジスタ指定:

BARA=H'00314156、BAMRA=H'00000000、BBRA=H'0094、BARB=H'00055555、BAMRB = H'00000000、
BBRB=H'00A9、BDRB = H'00000078、BDMRB=H'0000000F、BRCR=H'00000080、BASRA=H'80、BASRB=H'70

指定条件: チャンネルA / チャンネルB独立モード

<チャンネルA>

アドレス: H'00314156、アドレスマスク: H'00000000、ASID: H'80

バスサイクル: DMAC / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネルB>

アドレス: H'00055555、アドレスマスク: H'00000000、ASID: H'70

データ: H'00000078、データマスク; H'0000000F

バスサイクル: DMAC / データアクセス / 書き込み / バイト

チャンネル A では、命令フェッチは DMAC サイクルで実行されないのでユーザブレイクは生じません。チャンネル B では、ユーザブレイクは ASID=H'70 で DMAC がバイト H'7*をアドレス H'00055555 に書き込むときに生じます。

8.3.9 使用上の注意

- (1) CPU のみ UBC のレジスタの読み出し / 書き込みが可能です。
- (2) UBC は CPU と DMAC アクセスを同じチャンネルで監視することはできません。
- (3) シーケンシャルブレイクの指定についての注意事項は次のとおりです。
 - (a) シーケンシャルブレイクの設定時、A チャンネル一致が発生後、B チャンネル一致が発生するとき条件一致が発生します。したがって、チャンネル A 一致とチャンネル B 一致が同時に発生するバスサイクルが設定されてもブレイクは発生しません。
 - (b) CPU はパイプライン構造なので、命令フェッチサイクルとメモリサイクルの順序はパイプラインによって決定されます。したがって、バスサイクルの順序においてチャンネル条件が一致すると、シーケンシャル条件が満たされます。
 - (c) チャンネル A のバスサイクル条件が、実行前のブレイク (BRCR の PCBA=0) および (BBRA により) 命令フェッチとして指定されるとき以下の注意が必要です。チャンネル A とチャンネル B に対応するバスサイクル条件が一致するとき、ブレイクが発行され BRCR の条件一致フラグが 1 にセットされます。
- (4) UBC レジスタの値は、MA (メモリアクセス) 段階で変更されます。したがって、命令実行前ブレイクがブレイク条件として指定される命令に続く命令フェッチアドレスでブレイク条件が一致しても、ブレイクは発生しません。UBC レジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は新しく書き込んだレジスタ値に対して有効です。
- (5) ブレイク条件として、リピート命令を含む繰り返し実行中の命令を指定する際の注意事項は次のとおりです。

ブレイク条件として、繰り返し実行中の命令が指定される場合は

 - (a) 3 命令未満からなる繰り返しループの実行中にはブレイクは発生しません。
 - (b) 実行回数ブレイクセットされるとき、メモリからの命令フェッチは 3 命令以下からなる繰り返しループの実行中には発生しません。したがって、実行回数レジスタ BETR の値は減少しません。
- (6) PC トレースレジスタ BRSR および BRDR を読み出した直後に分岐命令を実行しないでください。
- (7) PC ブレイクおよび TLB 例外またはエラーが同じ命令で発生した場合、優先順位は次のとおりです。
 - (a) ブレイクおよび命令フェッチ例外：命令フェッチ例外が最初に発生します。
 - (b) 実行前のブレイクおよびオペランド例外：実行前のブレイクが最初に発生します。
 - (c) 実行後のブレイクおよびオペランド例外：オペランド例外が最初に発生します。

9. 消費電力モードとモジュールソフトウェアリセット

9.1 概要

低消費電力モードでは、内蔵周辺モジュールの一部とCPUが機能を停止します。これによって、消費電力を低減させることができます。特にX/Yメモリを停止させることで通常動作時の消費電力を大幅に低減可能です。

また、モジュールソフトウェアリセットは各モジュール単位にパワーオンリセットをかけることを可能にする機能です。

9.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. スタンバイモード
3. モジュールスタンバイ機能 (TMU、RTC、SCI、X/Yメモリ、UBC、DMAC、DAC、ADC、SCIF、LCDC、PCC、USBH、USBF、AFEIF、およびSIOFの内蔵周辺モジュール)
4. ハードウェアスタンバイモード

プログラム実行状態から各モードへ遷移する条件、各モードでのCPUや周辺モジュールなどの状態、各モードの解除方法を、表9.1に示します。

9. 低消費電力モードとモジュールソフトウェアリセット

表 9.1 低消費電力モードの状態

低消費電力モード	遷移する条件	状態							解除方法
		CPG	CPU	CPUレジスタ	内蔵メモリ	内蔵周辺モジュール	端子	外部メモリ	
スリープ	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行*7	動作	停止	保持	保持	動作	保持	リフレッシュ	(1) 割り込み (2) リセット
スタンバイ	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行*4 *5	停止	停止	保持	保持	停止*1	保持	セルフリフレッシュ	(1) 割り込み (2) リセット
モジュールスタンバイ機能	STBCR の MSTP ビットを 1 とする*6	動作	動作 / 停止	保持	保持	指定モジュールが停止	*2	リフレッシュ	(1) MSTP ビットを 0 にクリア (2) リセット
ハードウェアスタンバイモード	CA 端子をローレベルにする	停止	停止	保持	保持	停止*3	保持	セルフリフレッシュ	パワーオンリセット

【注】 *1 RTC は、RCR2 の START ビットが 1 のとき動作します（「第 16 章 リアルタイムクロック (RTC)」参照）。
TMU は、カウンタ入力クロックに RTC の出力クロックを選択した場合、カウンタ動作をします（「第 15 章 タイマ (TMU)」参照）。

*2 内蔵周辺モジュールにより異なります。

TMU 外部端子：保持

SCI 外部端子：リセット

*3 RTC は、RCR2 の START ビットが 1 のとき動作します。

TMU は動作しません。

*4 スタンバイモードに入る前に USB と LCDC は停止してください。

(1) LCDC を停止させるためには、DON ビットをクリアしてください。

(2) USB ホストコントローラを停止させるためには、HcControl レジスタの USBRESET ビットをセットしてください。

*5 LCDC の場合、スタンバイモードに入る前には、LDPMMR の LPS ビットを参照し、電源オフシーケンスが完了している事を確認してください。

*6 RTC をモジュールスタンバイモードにする際には、RTC、SCI、TMU のレジスタのどれか一つ以上にアクセスした後に、RTC をモジュールスタンバイモードにしてください。

*7 USB ファンクションコントローラ、または、SIOF が DMA を用いた送受信動作中に、CPU がスリープモードに遷移、もしくは、スリープモードを解除しないようにしてください。

9.1.2 端子構成

低消費電力モード関連の端子構成を表 9.2 に示します。

表 9.2 端子構成

端子名	略称	入出力	機能
処理状態 1	STATUS1	出力	プロセッサの動作状態を表します。 HH:リセット HL:スリープモード LH:スタンバイモード LL:通常動作
処理状態 0	STATUS0		

【注】 H は High レベルを、L は Low レベルを表します。

9.1.3 レジスタ構成

低消費電力モード関連のレジスタ構成を表 9.3 に示します。

表 9.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'00 ^{*1}	H'FFFFFF82	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'00 ^{*1}	H'FFFFFF88	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'00 ^{*1}	H'04000230 (H'A4000230) ^{*2}	8
ソフトウェアリセットレジスタ	SRSTR	R/W	H'00 ^{*1}	H'04000232 (H'A4000232) ^{*2}	8

【注】 *1 パワーオンリセット時に初期化されます。マニュアルリセットでは初期化されずに内容が保持されます。

*2 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

9.2 レジスタの説明

9.2.1 スタンバイコントロールレジスタ (STBCR)

スタンバイコントロールレジスタ (STBCR) は、低消費電力モードの状態を指定します。STBCR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。パワーオンリセット時は H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	STBY			STBXTL		MSTP2	MSTP1	MSTP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R	R/W	R/W	R/W

- ビット7: スタンバイ (STBY)

スタンバイモードへの遷移を指定します。

ビット7	説明	
STBY		
0	SLEEP 命令の実行で、スリープモードへ遷移	(初期値)
1	SLEEP 命令の実行で、スタンバイモードへ遷移	

- ビット6、5、3: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット4: スタンバイクリスタル(STBXTL)

スタンバイモードでの水晶発振器の停止 / 動作を指定します。

ビット4	説明	
STBXTL		
0	スタンバイモードで水晶発振器を停止	(初期値)
1	スタンバイモードで水晶発振器を作動	

- ビット2: モジュールストップ2 (MSTP2)

内蔵周辺モジュールのうち、タイマユニット (TMU) へのクロック供給の停止を指定します。

MSTP2 ビットに 1 をセットすると TMU へのクロック供給を停止します。

ビット2	説明	
MSTP2		
0	TMU は動作	(初期値)
1	TMU へのクロックの供給を停止	

- ビット1：モジュールストップ1 (MSTP1)

内蔵周辺モジュールのうち、リアルタイムクロック (RTC) へのクロック供給の停止を指定します。

MSTP1 ビットに 1 をセットすると RTC へのクロック供給を停止します。クロック供給が停止されると RTC の各レジスタのアクセスはできなくなりますが、カウンタは動作を続けます。

ビット1	説 明	
MSTP1		
0	RTC は動作	(初期値)
1	RTC へのクロックの供給を停止	

- ビット0：モジュールストップ0 (MSTP0)

内蔵周辺モジュールのうち、シリアルコミュニケーションインタフェース (SCI) へのクロック供給の停止を指定します。

MSTP0 ビットに 1 をセットすると SCI へのクロック供給を停止します。

ビット0	説 明	
MSTP0		
0	SCI は動作	(初期値)
1	SCI へのクロックの供給を停止	

9.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

スタンバイコントロールレジスタ 2 (STBCR2) は、読み出し/書き込み可能な 8 ビットのレジスタで、ノーマルモード時およびスリープモード時の各周辺モジュールの動作を制御します。STBCR2 は、パワーオンリセット時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	MSTP9	MDCHG	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

9. 低消費電力モードとモジュールソフトウェアリセット

- ビット7：モジュールストップ9(MSTP9)

X/Y メモリへのクロック供給の停止を指定します。MSTP9 ビットが1 のとき、X/Y メモリへのクロック供給を停止します。X/Y メモリへのクロック供給停止はソフトウェアにより制御してください(どのようなアクセスでもハードウェアによって妨げられません)。

ビット7	説明
MSTP9	
0	X/Y メモリは動作 (初期値)
1	X/Y メモリへのクロック供給を停止

- ビット6：MD5～MD0端子制御 (MDCHG)

スタンバイモード中に MD5～MD0 端子を切り替えるかどうかを設定します。本ビットを1 に設定した場合、スタンバイモードからリセットまたは割り込みで復帰する際に MD5～MD0 端子の値を取り込みます。

ビット6	説明
MDCHG	
0	スタンバイモード中に MD5～MD0 端子の切り替えを行わない (初期値)
1	スタンバイモード中に MD5～MD0 端子の切り替えを行う

- ビット5：モジュールストップ8 (MSTP8)

内蔵周辺モジュールのうち、ユーザブレイクコントローラ(UBC)へのクロック供給の停止を指定します。MSTP8 ビットが1 のとき、UBC へのクロック供給を停止します。

ビット5	説明
MSTP8	
0	UBC は動作 (初期値)
1	UBC へのクロックの供給を停止

- ビット4：モジュールストップ7 (MSTP7)

内蔵周辺モジュールのうち、ダイレクトメモリアクセスコントローラ (DMAC) へのクロック供給の停止を指定します。MSTP7 ビットが1 のとき、DMAC へのクロック供給を停止します。

ビット4	説明
MSTP7	
0	DMAC は動作 (初期値)
1	DMAC へのクロック供給を停止

9. 低消費電力モードとモジュールソフトウェアリセット

- ビット3：モジュールストップ6 (MSTP6)

内蔵周辺モジュールのうち、D/A変換器(DAC)へのクロック供給の停止を指定します。MSTP6ビットが1のとき、DACへのクロック供給を停止します。

ビット3	説 明	
MSTP6		
0	DACは動作	(初期値)
1	DACへのクロックの供給を停止	

- ビット2：モジュールストップ5 (MSTP5)

内蔵周辺モジュールのうち、A/D変換器(ADC)へのクロック供給の停止を指定します。MSTP5ビットが1のとき、ADCへのクロック供給を停止するとともに、全レジスタが初期化されます。

ビット2	説 明	
MSTP5		
0	ADCは動作	(初期値)
1	ADCへのクロックの供給を停止し、全レジスタを初期化	

- ビット1：モジュールストップ4 (MSTP4)

内蔵周辺モジュールのうち、FIFO付きシリアルコミュニケーションインタフェース(SCIF)へのクロック供給の停止を指定します。MSTP4ビットが1のとき、SCIFへのクロック供給を停止します。

ビット1	説 明	
MSTP4		
0	SCIFは動作	(初期値)
1	SCIFへのクロックの供給を停止	

- ビット0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

9.2.3 スタンバイコントロールレジスタ3 (STBCR3)

スタンバイコントロールレジスタ3(STBCR3)は、読み出し/書き込み可能な8ビットのレジスタで、各周辺モジュールのスタンバイ動作を制御します。STBCR2は、パワーオンリセット時にH'00に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	MSTP17		MSTP15	MSTP14	MSTP13		MSTP11	MSTP10
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9. 低消費電力モードとモジュールソフトウェアリセット

- ビット7：モジュールストップ17(MSTP17)

FIFO 付きシリアル IO (SIOF) へのクロック供給の停止を指定します。MSTP17 ビットが 1 のとき、FIFO 付きシリアル IO (SIOF) へのクロック供給を停止します。

ビット 7	説明
MSTP17	
0	SIOF は動作 (初期値)
1	SIOF へのクロック供給を停止

- ビット6：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット5：モジュールストップ15(MSTP15)

AFE インタフェース (AFEIF) へのクロック供給の停止を指定します。MSTP15 ビットが 1 のとき、AFEIF へのクロック供給を停止します。

ビット 5	説明
MSTP15	
0	AFEIF は動作 (初期値)
1	AFEIF へのクロック供給を停止

- ビット4：モジュールストップ14(MSTP14)

USB ファンクションモジュール (USBF) へのクロック供給の停止を指定します。MSTP14 ビットが 1 のとき、USBF へのクロック供給を停止します。

ビット 4	説明
MSTP14	
0	USBF は動作 (初期値)
1	USBF へのクロック供給を停止

- ビット3：モジュールストップ13(MSTP13)

USB ホストコントローラ (USBH) へのクロック供給の停止を指定します。MSTP13 ビットが 1 のとき、USBH へのクロック供給を停止します。

ビット 3	説明
MSTP13	
0	USBH は動作 (初期値)
1	USBH へのクロック供給を停止

【注】 本ビットは、MSTP14 (ビット 4) が "0" のときは、"1" にしないでください。

9. 低消費電力モードとモジュールソフトウェアリセット

- ビット2：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット1：モジュールストップ11 (MSTP11)

LDC コントローラ (LCDC) へのクロック供給の停止を指定します。MSTP11 ビットが1のとき、LCDC へのクロック供給を停止します。

ビット1	説明
MSTP11	
0	LCDC は動作 (初期値)
1	LCDC へのクロックの供給を停止

- ビット0：モジュールストップ10 (MSTP10)

PC カードコントローラ (PCC) へのクロック供給の停止を指定します。MSTP10 ビットが1のとき、PCC へのクロック供給を停止します。

ビット0	説明
MSTP10	
0	PCC は動作 (初期値)
1	PCC へのクロック供給を停止

9.2.4 モジュールソフトウェアリセットレジスタ (SRSTR)

モジュールソフトウェアリセットレジスタは、読み出し/書き込み可能な8ビットのレジスタで、モジュール単位でパワーオンリセット相当のリセットをかけることが可能です。モジュールソフトウェアリセットレジスタはパワーオンリセット時にH'00に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	SIOFR		AFECR	USBFR	USBHR	LBSCR	LCDCR	PCCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

- ビット7：SIOFリセット (SIOFR)

1を書き込むとシリアル I/O (SIOF) をリセットします。1を書き込んだ後、0を書き込んでください。

ビット7	説明
SIOFR	
0	SIOF はリセットしない (初期値)
1	SIOF をリセット

9. 低消費電力モードとモジュールソフトウェアリセット

- ビット6：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット5：AFEIFリセット (AFEICR)

1を書き込むとAFEインタフェース(AFEIF)をリセットします。1を書き込んだ後、0を書き込んでください。

ビット5	説明	
AFEICR		
0	AFEIF はリセットしない	(初期値)
1	AFEIF をリセット	

- ビット4：USBFRリセット (USBFR)

1を書き込むとUSBファンクションモジュール(USBFR)をリセットします。1を書き込んだ後、0を書き込んでください。

ビット4	説明	
USBFR		
0	USBFR はリセットしない	(初期値)
1	USBFR をリセット	

- ビット3：USBHRリセット (USBHR)

1を書き込むとUSBホストコントローラ(USBHR)をリセットします。1を書き込んだ後、0を書き込んでください。

ビット3	説明	
USBHR		
0	USBHR はリセットしない	(初期値)
1	USBHR をリセット	

- ビット2：LBSCRリセット (LBSCR)

1を書き込むとLiバスステートコントローラ(LBSCR)をリセットします。1を書き込んだ後、0を書き込んでください。

ビット2	説明	
LBSCR		
0	LBSCR はリセットしない	(初期値)
1	LBSCR をリセット	

- ビット1: LCDCリセット (LCDCR)

1を書き込むとLCDコントローラ (LCDC) をリセットします。1を書き込んだ後、0を書き込んでください。

ビット1	説明
LCDCR	
0	LCDC はリセットしない (初期値)
1	LCDC をリセット

- ビット0: PCCリセット (PCCR)

1を書き込むとPCカードコントローラ (PCC) をリセットします。1を書き込んだ後、0を書き込んでください。

ビット0	説明
PCCR	
0	PCC はリセットしない (初期値)
1	PCC をリセット

9.3 スリープモード

9.3.1 スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO、CKIO2 端子にはクロックが出力され続けます。

スリープモードでは、STATUS1 端子に High レベルが、STATUS0 端子に Low レベルが出力されます。

9.3.2 スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、IRL、内蔵周辺、PINT)、リセットにより、解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けますので、必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

(1) 割り込みによる解除

NMI、IRQ、IRL、内蔵周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT および INTEVT2 レジスタには、割り込み要因に対応したコードがセットされます。

(2) リセットによる解除

パワーオンリセット、マニュアルリセットにより、スリープモードは解除されます。

9.4 スタンバイモード

9.4.1 スタンバイモードへの遷移

STBCR レジスタの STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からスタンバイモードに遷移します。スタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO、CKIO2 端子からのクロック出力も停止します。

CPU、キャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。スタンバイモード時の周辺モジュールのレジスタの状態を表 9.4 に示します。

表 9.4 スタンバイモード時のレジスタの状態

モジュール	初期化レジスタ	内容が保持されるレジスタ
割り込みコントローラ (INTC)	-	全レジスタ
内蔵発振回路 (OSC)	-	全レジスタ
ブレークコントローラ (UBC)	-	全レジスタ
バスステートコントローラ (BSC)	-	全レジスタ
タイマユニット (TMU)	TSTR レジスタ	TSTR 以外のレジスタ
リアルタイムクロック (RTC)	-	全レジスタ
A/D 変換器 (ADC)	全レジスタ	-
D/A 変換器 (DAC)	-	全レジスタ
Li バスステートコントローラ (LBSC)	-	全レジスタ
LCD コントローラ (LCDC)	-	全レジスタ
USB ホストコントローラ (USBH)	-	全レジスタ
USB ファンクションモジュール (USBF)	-	全レジスタ
AFE インタフェース (AFEIF)	-	全レジスタ
FIFO 付きシリアル IO (SIOF)	-	全レジスタ
PC カードコントローラ (PCC)	-	PCC0ISR 以外のレジスタ*

【注】 * PCC0ISR は常時状態反映

スタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
WDTのタイマカウンタ (WTCNT) に0をセットし、WTCSRレジスタのCKS2~0 ビットに、指定された発振安定時間になるように、値を設定します。
2. STBCRレジスタのSTBYビットに1を設定した後、SLEEP 命令を実行させます。
3. スタンバイモードに入り、LSI内部のクロックが停止すると、STATUS1 端子からローレベル、STATUS0 端子からハイレベルが出力されます。

9.4.2 スタンバイモードの解除

スタンバイモードは、割り込み（NMI、IRQ、IRL、内蔵周辺、PINT）、リセットにより、解除されます。

（１）割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRQ、IRL、PINT*¹、内蔵周辺（インターバルタイマを除く）*²の各割り込みが検出されると、WDT のタイマコントロール / ステータスレジスタに設定されている時間が経過した後、LSI 全体にクロックが供給され、スタンバイモードが解除されて、STATUS1、STATUS0 端子がどちらも Low レベルになります。このあと割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT と INTEVT2 に設定されます。割り込み処理ルーチンに分岐後、STBCR レジスタの STBY ビットをクリアしてください。WTCNT は自動的に停止します。STBY ビットをクリアしないと、WTCNT は動作を継続し、H'80 に達した時点でスタンバイモード*³に遷移してしまいます。この機能により、電源不安定時などの電圧上昇によるデータ破壊を防止できます。またスタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

割り込み検出直後から、スタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。割り込み要求レベル（IRQ、IRL、内蔵周辺）が、SR レジスタの I3～I0 ビットによる割り込みマスクレベルより高いことがスタンバイモード解除の条件となります。

- 【注】 *¹ RTC 使用時のみ、IRL3～IRL0、IRQ4～IRQ0、PINT0～PINT15 でスタンバイモードを解除できます。
 *² RTC、TMU（RTC のクロックにより動作している場合のみ）の割り込みでスタンバイモードの解除ができます。
 *³ このスタンバイモードは、パワーオンリセットで解除してください。マニュアルリセットや割り込み入力時の動作は保証しません。

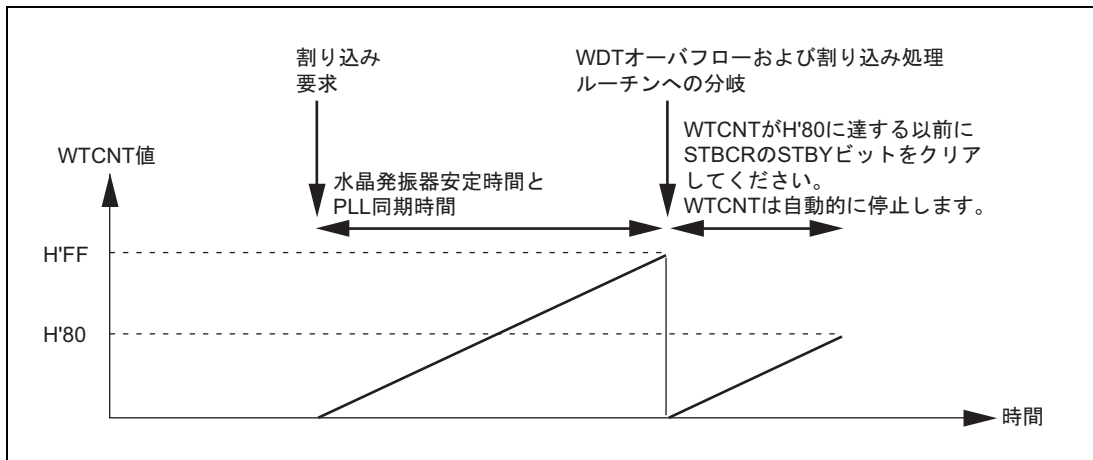


図 9.1 STBCR の STBY ビットとスタンバイモードの解除

（２）リセットによる解除

リセット（パワーオン、マニュアル）により、スタンバイモードは解除されます。

RESETP 端子または RESETM 端子は、クロックの発振が安定するまで、Low レベルを保持してください。

9. 低消費電力モードとモジュールソフトウェアリセット

CKIO 端子には、内部のクロックが出力され続けます。

9.4.3 クロックポーズ機能

スタンバイモードでは、EXTAL 端子または CKIO 端子から入力するクロックを停止したり、周波数を変更したりすることができます。この機能は、次のようにして使用します。

1. スタンバイモードへの遷移の手順でスタンバイモードに遷移させます。
2. スタンバイモードに入り、LSI内部のクロックが停止すると、STATUS1 端子からLowレベル、STATUS0 端子からHighレベルが出力されます。
3. STATUS1 端子がLowレベル、STATUS0 端子がHighレベルになってから、入力クロックの停止、または周波数の変更を行います。
4. 周波数変更の場合、変更後にNMI、IRL、IRQ、PINTまたは内蔵周辺割り込み（ただしインターバルタイマ割り込みを除く）を入れます。クロック停止の場合、クロックの印加後に同様の割り込みを入れます。
5. WDTで設定した時間後にLSI内部にクロックが印加され始め、STATUS1、STATUS0端子がどちらもLowレベルになって割り込み例外処理から動作を再開します。

9.5 モジュールスタンバイ機能

9.5.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタ STBCR、STBCR2、STBCR3 の MSTP17、MSTP15 ~ MSTP13、MSTP11 ~ MSTP4、MSTP2 ~ MSTP0 ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープ時の消費電力を低減させることができます。

モジュールスタンバイ機能では、内蔵周辺モジュールの外部端子は、内蔵周辺モジュールにより異なります。TMU の外部端子は、停止前の状態を保持します。SCI の外部端子は、リセット状態になります。レジスタは一部を除いて停止前の状態を保持します。

ビット		説明
MSTP17	0	SIOF は動作します。
	1	SIOF へ供給されるクロックは停止します。
MSTP15	0	AFEIF は動作します。
	1	AFEIF へ供給されるクロックは停止します。
MSTP14	0	USBF は動作します。
	1	USBF へ供給されるクロックは停止します。
MSTP13	0	USBH は動作します。
	1	USBH へ供給されるクロックは停止します。MSTP14 が"0"のときは、"1"にしないでください。
MSTP11	0	LCDC は動作します。
	1	LCDC へ供給されるクロックは停止します。
MSTP10	0	PCC は動作します。
	1	PCC へ供給されるクロックは停止します。
MSTP9	0	X/Y メモリは動作します。
	1	X/Y メモリへ供給されるクロックは停止します。
MSTP8	0	UBC は動作します。
	1	UBC へ供給されるクロックは停止します。
MSTP7	0	DMAC は動作します。
	1	DMAC へ供給されるクロックは停止します。
MSTP6	0	DAC は動作します。
	1	DAC へ供給されるクロックは停止します。
MSTP5	0	ADC は動作します。
	1	ADC へ供給されるクロックは停止し、全レジスタを初期化します。
MSTP4	0	SCIF は動作します。
	1	SCIF へ供給されるクロックは停止します。

9. 低消費電力モードとモジュールソフトウェアリセット

ビット		説明
MSTP2	0	TMU は動作します
	1	TMU へ供給されるクロックが停止します* ¹
MSTP1	0	RTC は動作します
	1	RTC へ供給されるクロックが停止し、レジスタアクセスが禁止になります* ²
MSTP0	0	SCI は動作します
	1	SCI へ供給されるクロックが停止します

【注】 *1 初期化されたレジスタはスタンバイモードのレジスタと同じです。(表 9.4 を参照)。

*2 カウンタは動作します。

9.5.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、MSTP17、MSTP15～MSTP13、MSTP11～MSTP4、MSTP2～MSTP0 ビットを 0 にクリアするか、パワーオンリセット、またはマニュアルリセットにより行います。

9.6 STATUS 端子の変化タイミング

STATUS1、STATUS0 端子の変化タイミングを示します。

STATUS の意味は次のとおりです。

リセット : HH (STATUS1 が High レベル、STATUS0 が High レベル)

スリープ : HL (STATUS1 が High レベル、STATUS0 が Low レベル)

スタンバイ : LH (STATUS1 が Low レベル、STATUS0 が High レベル)

通常動作 : LL (STATUS1 が Low レベル、STATUS0 が Low レベル)

クロックの単位の意味は次のとおりです。

Bcyc : バスクロックの周期

Pcyc : 周辺クロックの周期

Rcyc : RTC 用 32.768kHz クロックの周期

9.6.1 リセットの場合

(1) パワーオンリセット (クロックモード 0、1、2、7 の場合)

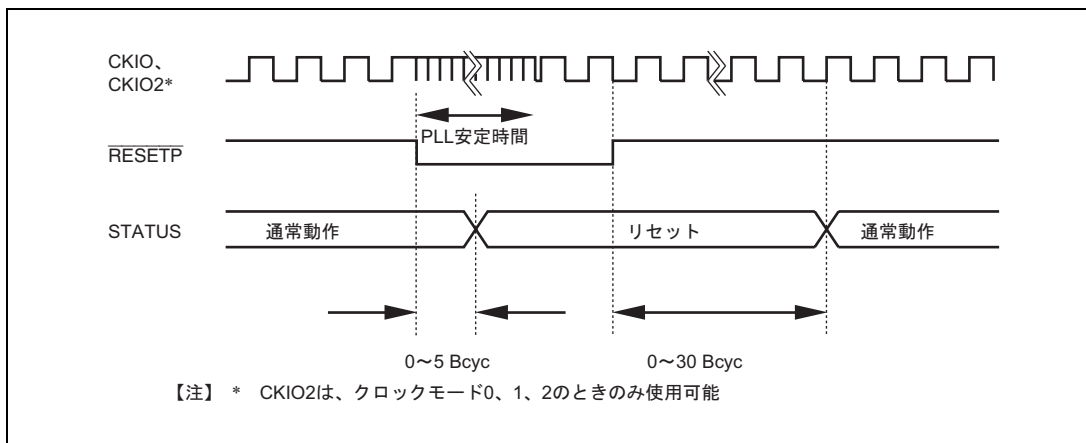


図 9.2 パワーオンリセット (クロックモード 0、1、2、7) の STATUS 出力

(2) マニュアルリセット

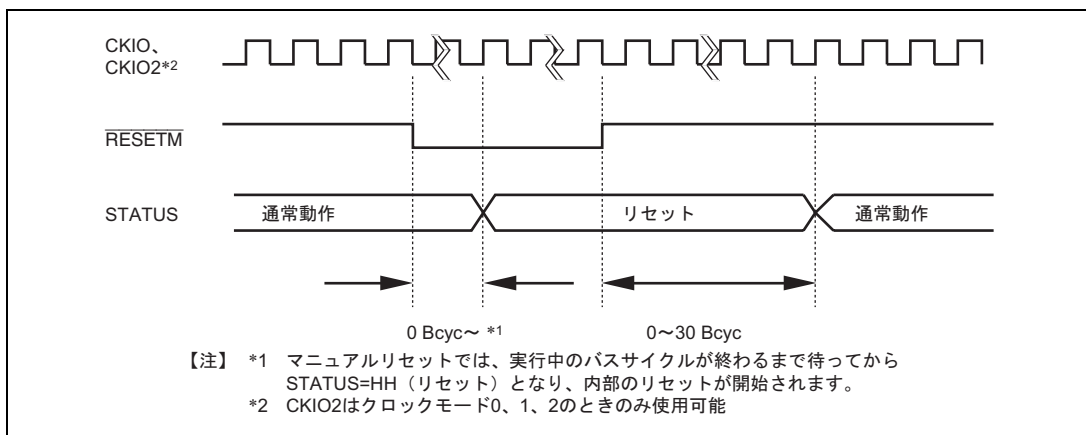


図 9.3 マニュアルリセットの STATUS 出力

9. 低消費電力モードとモジュールソフトウェアリセット

9.6.2 スタンバイ解除の場合

(1) スタンバイ 割り込み

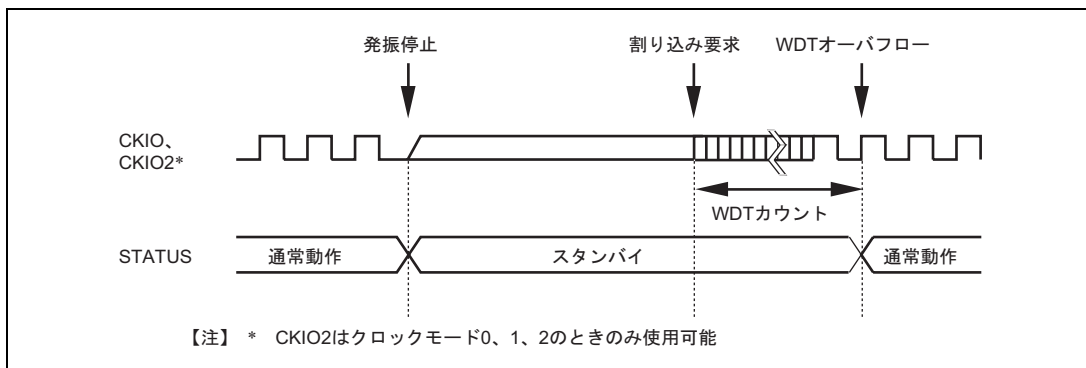


図 9.4 スタンバイ 割り込みの STATUS 出力

(2) スタンバイ パワーオンリセット

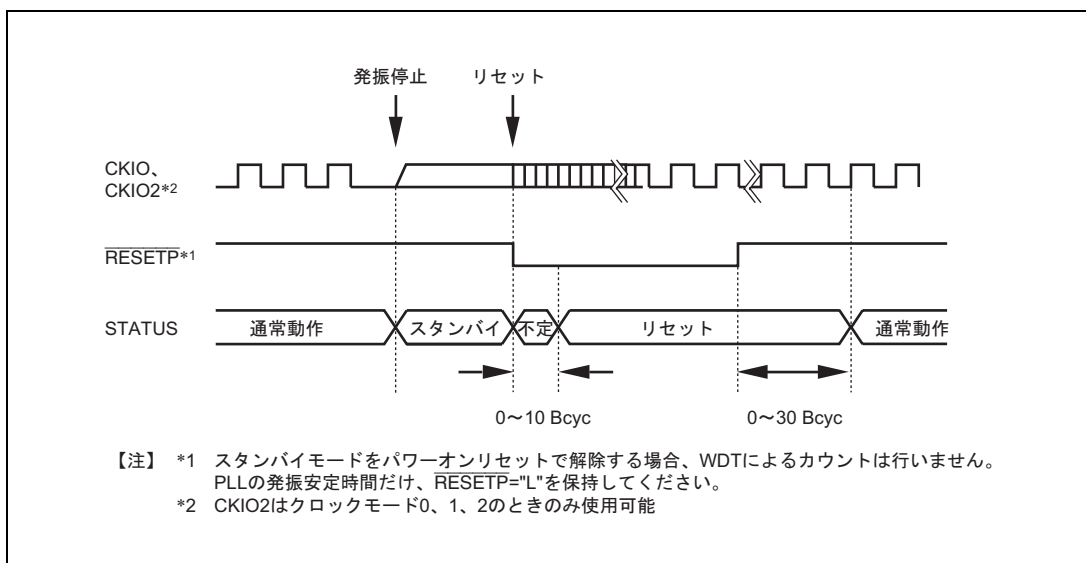


図 9.5 スタンバイ パワーオンリセットの STATUS 出力

(3) スタンバイ マニュアルリセット

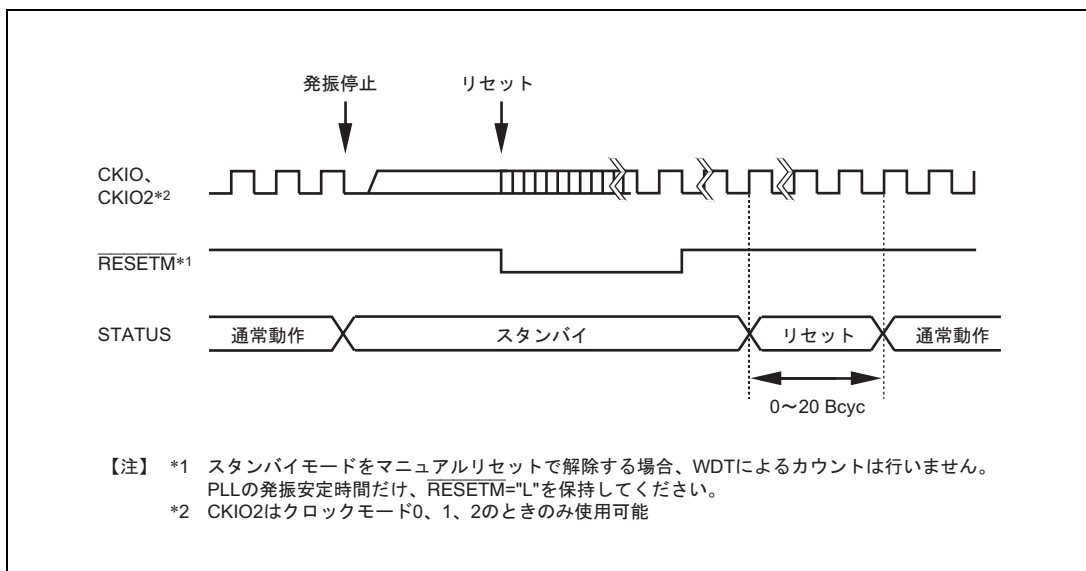


図 9.6 スタンバイ マニュアルリセットの STATUS 出力

9.6.3 スリープ解除の場合

(1) スリープ 割り込み

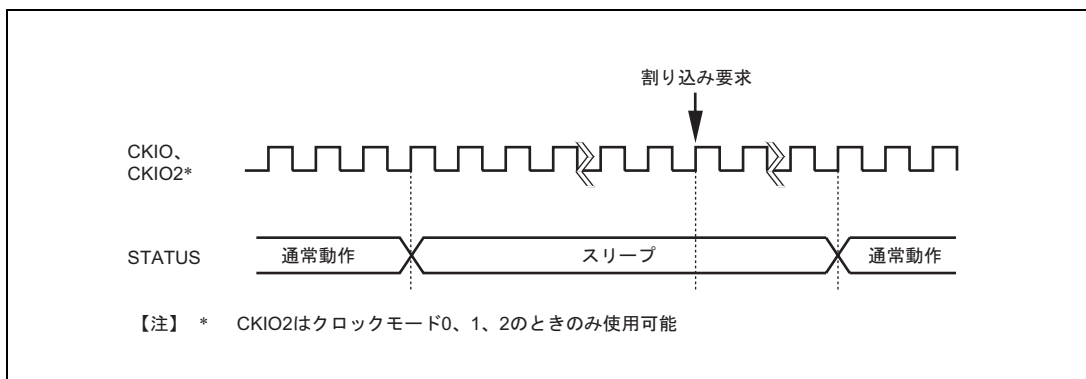


図 9.7 スリープ 割り込みの STATUS 出力

9. 低消費電力モードとモジュールソフトウェアリセット

(2) スリープ パワーオンリセット

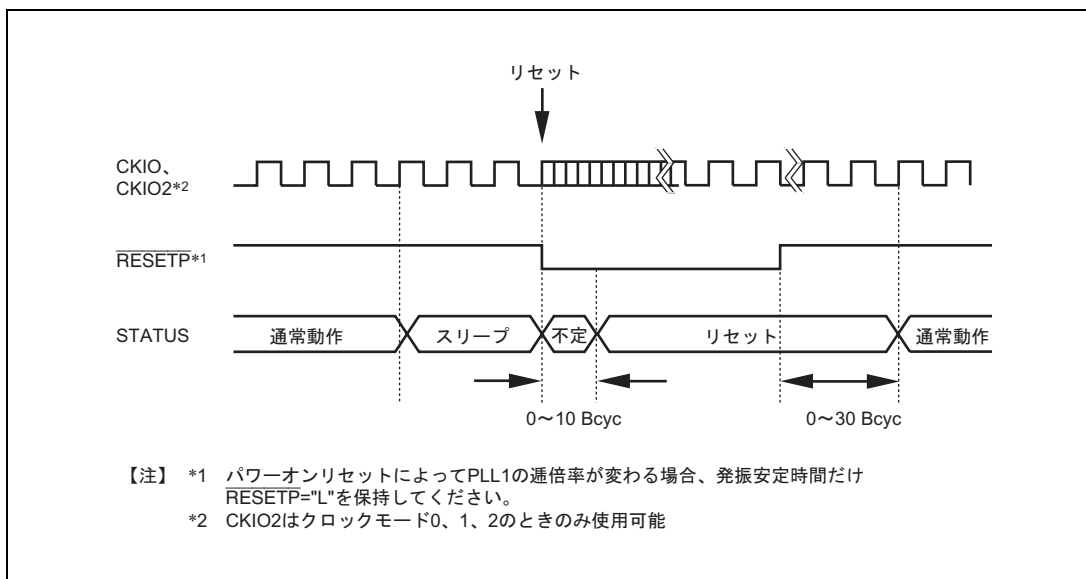


図 9.8 スリープ パワーオンリセットの STATUS 出力

(3) スリープ マニュアルリセット

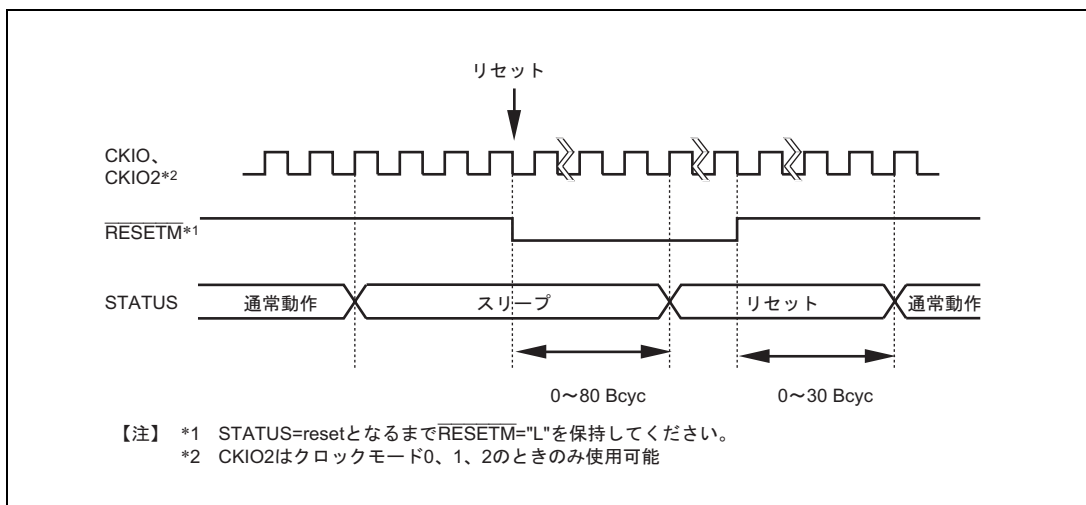


図 9.9 スリープ マニュアルリセットの STATUS 出力

9.7 ハードウェアスタンバイモード

9.7.1 ハードウェアスタンバイモードへの遷移

CA 端子をローレベルに設定することにより、ハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードでは、SLEEP 命令によって遷移するスタンバイモードと同様に、RTC クロックで動作するモジュール以外のすべてのモジュールが停止します。

ハードウェアスタンバイモードは、スタンバイモードと以下の点で異なります。

- (1) 割り込み、マニュアルリセットを受け付けません。
- (2) TMU は動作しません。

CA 端子にローレベルが入力されたときの動作は、CPG の状態によって次のようになります。

1. スタンバイモード中

クロックは停止したまま、ハードウェアスタンバイ状態になります。

割り込み / マニュアルリセットの受け付けが禁止され、TMU が動作を停止します。

2. スタンバイモードを割り込みで解除する際の WDT 動作中

いったんスタンバイモードが解除されて CPU が動作を再開した後、ハードウェアスタンバイモードになります。

3. スリープモード中

いったんスリープモードが解除されて CPU が動作を再開した後、ハードウェアスタンバイモードになります。

なお、ハードウェアスタンバイモード中は、CA 端子をローレベルに保ってください。

9.7.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードは、パワーオンリセットでのみ解除できます。

$\overline{\text{RESETP}}$ 端子をローレベルにした状態で、CA 端子をハイレベルにすると、クロックが発振を開始します。このとき、 $\overline{\text{RESETP}}$ 端子はクロックが発振が安定するまでローレベルを保持してください。この後 $\overline{\text{RESETP}}$ 端子をハイレベルにすると、CPU がパワーオンリセット処理を開始します。

割り込みやマニュアルリセットを入れた場合の動作は保証しません。

9.7.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 9.10、図 9.11 に示します。

CA 端子は EXTAL2 (32.768kHz) でサンプリングされており、このクロックで 2 サイクル間隔けてローレベルになったとき初めてハードウェアスタンバイ要求が検出されます。

CA 端子のローレベルは、ハードウェアスタンバイモード中は必ず保持してください。

9. 低消費電力モードとモジュールソフトウェアリセット

RESETP 端子をローレベルにしたあと、CA 端子をハイレベルにした時点でクロックが発振を開始します。

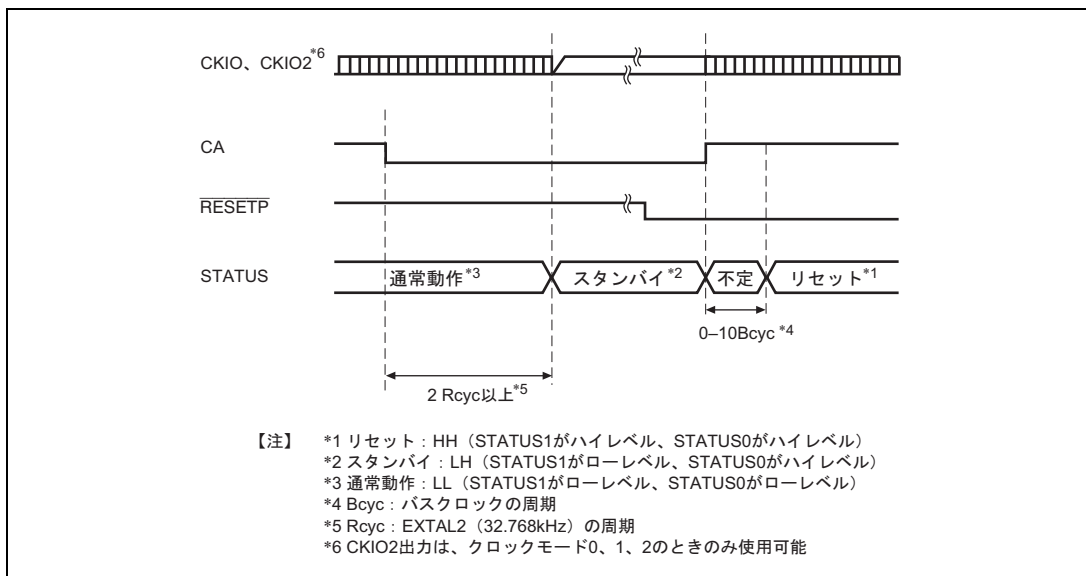


図 9.10 ハードウェアスタンバイモードのタイミング
(通常動作時に CA = ローレベルとなる場合)

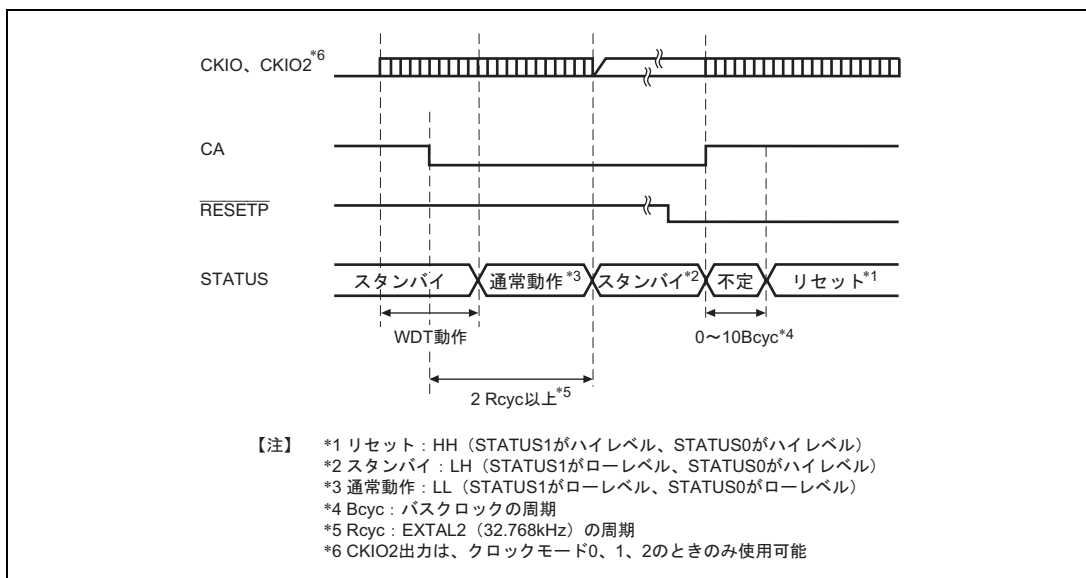


図 9.11 ハードウェアスタンバイモードのタイミング
(スタンバイモード解除での WDT 動作中に CA = ローレベルとなる場合)

10. 内蔵発振回路

10.1 概要

内蔵発振回路は、クロックパルスジェネレータ (CPG) 部と、ウォッチドッグタイマ (WDT) 部より構成されます。

CPG は、プロセッサ内部に供給するクロックの生成と低消費電力モードの制御を行います。

WDT は 1 チャンネルのタイマであり、スタンバイモードや、周波数変更時の一時的なスタンバイ状態の解除の際に、クロック安定時間のカウント用に使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

10.1.1 特長

CPG には、次の特長があります。

- 4種類のクロックモード

使用する周波数範囲、消費電力、水晶直付けか外部クロック入力かによって、4種類のクロックモードから選択できます。

- 3種類のクロック

CPU、キャッシュ、TLBで使用する内部クロック ($I\phi$) と、周辺モジュールで使用する周辺クロック ($P\phi$)、さらに外部バスインタフェースで使用するバスクロック (CKIO) を独立に生成できます。

- 周波数変更機能

CPG内部のPLL (Phase Locked Loop) 回路や分周回路により、内部クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、スタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。

WDT には、次の特長があります。

- クロック安定時間の確保に使用可能

スタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。

10. 内蔵発振回路

- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、内部リセットを発生
カウンタオーバーフローにより、内部をリセットします。
リセットの種類として、パワーオンリセットとマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($\times 1 \sim \times 1/4096$) から選択できます。

以下、「10.2 CPG の概要」～「10.5 周波数の変更方法」に CPG、「10.6 WDT の概要」～「10.8 WDT の使用方法」に WDT について示します。

10.2 CPG の概要

10.2.1 CPG のブロック図

CPG のブロック図を図 10.1 に示します。

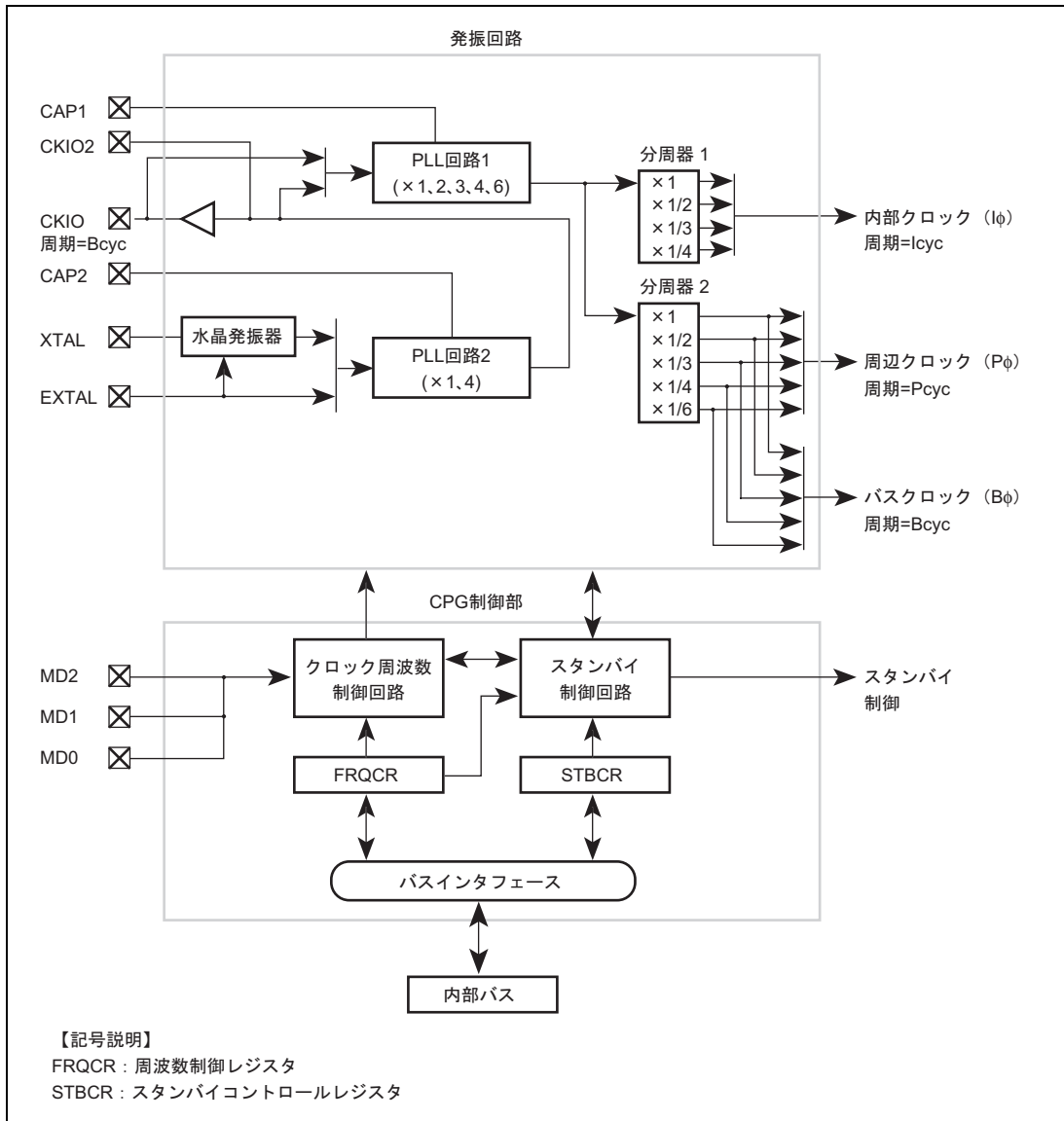


図 10.1 CPG のブロック図

10. 内蔵発振回路

CPG の各ブロックは次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、CKIO 端子または PLL 回路 2 からのクロック周波数を 1 倍、2 倍、3 倍、4 倍、または 6 倍に通倍する機能を持ちます。通倍率は周波数制御レジスタで設定します。このとき、内部クロックの立ち上がりエッジの位相は CKIO 端子の立ち上がりエッジの位相に一致するように制御されます。

(2) PLL 回路 2

PLL 回路 2 は、水晶発振器、または EXTAL 端子からの入力クロック周波数を 1 倍または 4 倍に通倍する機能を持ちます。通倍率はクロック動作モードにより固定されます。クロック動作モードは MD0、MD1、MD2 端子で設定します。クロック動作モードについては、表 10.3 を参照してください。

(3) 水晶発振器

XTAL、EXTAL 端子に水晶振動子を接続して使用する場合の発振回路です。水晶発振器はクロック動作モードの設定により使用可能となります。

(4) 分周器 1

分周器 1 は、内部クロック ($I\phi$) を生成する機能を持ちます。内部クロック ($I\phi$) の動作周波数は、PLL 回路 1 の出力周波数に対して、CKIO 端子のクロック周波数より低くならない範囲で、1 倍、1/2 倍、1/3 倍、1/4 倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

(5) 分周器 2

分周器 2 は、周辺クロック ($P\phi$) を生成する機能を持ちます。周辺クロック ($P\phi$) の動作周波数は、PLL 回路 1 の出力周波数、または、CKIO 端子のクロック周波数に対して、CKIO 端子のクロック周波数より高くない範囲で、1 倍、1/2 倍、1/3 倍、1/4 倍、1/6 倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

(6) クロック周波数制御回路

クロック周波数制御回路は、MD 端子、周波数制御レジスタによりクロック周波数を制御します。

(7) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時やスリープ/スタンバイモード時の内蔵発振回路およびほかのモジュールの状態を制御します。

(8) 周波数制御レジスタ

周波数制御レジスタには、CKIO 端子からのクロック出力の有無、PLL 回路 1 の周波数通倍率、内部クロック、周辺クロックの周波数分周率の各制御ビットが割り当てられています。

(9) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 9 章 低消費電力モードとモジュールソフトウェアリセット」を参照してください。

10.2.2 CPG の端子構成

CPG の端子構成と機能を表 10.1 に示します。

表 10.1 発振回路の端子構成と機能

名称	略称	入出力	機能
モード制御端子	MD0	入力	クロック動作モードを設定します
	MD1	入力	クロック動作モードを設定します
	MD2	入力	クロック動作モードを設定します
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶振動子を接続します
	EXTAL	入力	水晶振動子を接続します。 または外部クロック入力端子として使用します
クロック入出力端子	CKIO	入出力	外部クロック入力、または外部クロック出力端子として使用します
クロック出力端子	CKIO2	出力	外部クロック出力端子として使用します。レベル固定することもできます。この端子はクロックモード 0、1 および 2 でのみ使用できます
PLL 用容量接続端子	CAP1	入力	PLL 回路 1 動作用の容量 (推奨値 470pF) を接続します
	CAP2	入力	PLL 回路 2 動作用の容量 (推奨値 470pF) を接続します

10.2.3 CPG のレジスタ構成

CPG のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
周波数制御レジスタ	FRQCR	R/W	H'0102	H'FFFFFF80	16
CKIO2 制御レジスタ	CKIO2CR	R/W	H'0000	H'0400023A (H'A400023A)*	16

【注】 * MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

10.3 クロック動作モード

モード制御端子 (MD2~MD0) の組み合わせとクロック動作モードの関係を表 10.3 に示します。

クロック動作モードの使用可能周波数範囲と入力クロック、水晶振動子の周波数範囲を表 10.4 に示します。

表 10.3 クロック動作モード

モード	端子組み合わせ			クロック入出力		PLL 回路 2	PLL 回路 1	分周器 1 の入力	分周器 2 の入力	CKIO の 周波数
	MD 2	MD 1	MD 0	供給源	出力	ON/OFF	ON/OFF			
0	0	0	0	EXTAL	CKIO	ON 通倍率：1	ON	PLL 回路 1 の 出力	PLL 回路 1	(EXTAL)
1	0	0	1	EXTAL	CKIO	ON 通倍率：4	ON	PLL 回路 1 の 出力	PLL 回路 1	(EXTAL) × 4
2	0	1	0	水晶 振動子	CKIO	ON 通倍率：4	ON	PLL 回路 1 の 出力	PLL 回路 1	(水晶) × 4
7	1	1	1	CKIO		OFF	ON	PLL 回路 1 の 出力	PLL 回路 1	(CKIO)

- モード0:

EXTAL 端子から外部クロックを入力し、PLL 回路 2 で波形成形して本 LSI に供給します。PLL 回路 1 は常時 ON です。入力クロック周波数は 24MHz から CKIO の最大周波数まで使用できます。CKIO の最大周波数は「第 32 章 電気的特性」を参照してください。

- モード1:

EXTAL 端子から外部クロックを入力し、PLL 回路 2 で周波数を 4 倍に通倍して本 LSI 内部に供給するので、外部で生成するクロック周波数が低くてすみません。入力クロック周波数は 6MHz から CKIO の最大周波数の 1/4 まで使用できます。CKIO の最大周波数は「第 32 章 電気的特性」を参照してください。

- モード2:

内蔵水晶発振器を動作させ、発振周波数を PLL 回路 2 で 4 倍に通倍して本 LSI 内部に供給するので、使用する水晶の周波数が低くてすみません。水晶は発振周波数が 6MHz から CKIO の最大周波数の 1/4 まで使用できます。CKIO の最大周波数は「第 32 章 電気的特性」を参照してください。

- モード7:

このモードでは CKIO 端子が入力になり、この端子に外部クロックを入力して、PLL 回路 1 で波形成形および設定により周波数通倍を行い、本 LSI に供給します。モード 0~2 ではシステムクロックは本 LSI の CKIO 端子の出力から生成されます。このためクロック周期で動作する LSI の数が多い場合、CKIO 端子の負荷が大きくなります。これに対して本モードでは、比較的規模の大きなシステムを想定しています。クロック周期で動作する LSI の数が多い場合、クロックスキューの小さい複数のクロック出力を有するクロックジェネレータを用意して各 LSI に分配することにより各 LSI が同期して動作することが可能です。

CKIO 端子の負荷の変動に対して PLL 回路 1 で補正しているため、シンクロナス DRAM を接続するのに適した

モードです。

表 10.4 クロックモードと FRQCR 値の可能な組み合わせ

モード	FRQCR レジスタ値	PLL 回路 1	PLL 回路 2	クロック比* (I:B:P)
0	H'0100	ON (× 1)	ON (× 1)	1:1:1
	H'0101	ON (× 1)	ON (× 1)	1:1:1/2
	H'0102	ON (× 1)	ON (× 1)	1:1:1/4
	H'0111	ON (× 2)	ON (× 1)	2:1:1
	H'0112	ON (× 2)	ON (× 1)	2:1:1/2
	H'0115	ON (× 2)	ON (× 1)	1:1:1
	H'0116	ON (× 2)	ON (× 1)	1:1:1/2
	H'0122	ON (× 4)	ON (× 1)	4:1:1
	H'0126	ON (× 4)	ON (× 1)	2:1:1
	H'012A	ON (× 4)	ON (× 1)	1:1:1
	H'A100	ON (× 3)	ON (× 1)	3:1:1
	H'A101	ON (× 3)	ON (× 1)	3:1:1/2
	H'E100	ON (× 3)	ON (× 1)	1:1:1
	H'E101	ON (× 3)	ON (× 1)	1:1:1/2
	H'A111	ON (× 6)	ON (× 1)	6:1:1
	1、2	H'0100	ON (× 1)	ON (× 4)
H'0101		ON (× 1)	ON (× 4)	4:4:2
H'0102		ON (× 1)	ON (× 4)	4:4:1
H'0111		ON (× 2)	ON (× 4)	8:4:4
H'0112		ON (× 2)	ON (× 4)	8:4:2
H'0115		ON (× 2)	ON (× 4)	4:4:4
H'0116		ON (× 2)	ON (× 4)	4:4:2
H'0122		ON (× 4)	ON (× 4)	16:4:4
H'0126		ON (× 4)	ON (× 4)	8:4:4
H'012A		ON (× 4)	ON (× 4)	4:4:4
H'A100		ON (× 3)	ON (× 4)	12:4:4
H'A101		ON (× 3)	ON (× 4)	12:4:2
H'E100		ON (× 3)	ON (× 4)	4:4:4
H'E101		ON (× 3)	ON (× 4)	4:4:2
H'A111		ON (× 6)	ON (× 4)	24:4:4

10. 内蔵発振回路

モード	FRQCR レジスタ値	PLL 回路 1	PLL 回路 2	クロック比* (I:B:P)
7	H'0100	ON (×1)	OFF	1:1:1
	H'0101	ON (×1)	OFF	1:1:1/2
	H'0102	ON (×1)	OFF	1:1:1/4
	H'0111	ON (×2)	OFF	2:1:1
	H'0112	ON (×2)	OFF	2:1:1/2
	H'0115	ON (×2)	OFF	1:1:1
	H'0116	ON (×2)	OFF	1:1:1/2
	H'0122	ON (×4)	OFF	4:1:1
	H'0126	ON (×4)	OFF	2:1:1
	H'012A	ON (×4)	OFF	1:1:1
	H'A100	ON (×3)	OFF	3:1:1
	H'A101	ON (×3)	OFF	3:1:1/2
	H'E100	ON (×3)	OFF	1:1:1
	H'E101	ON (×3)	OFF	1:1:1/2
	H'A111	ON (×6)	OFF	6:1:1

【注】 * クロック比は、入力クロックを 1 とします。

【注意事項】

- 入力クロック、水晶振動子の周波数範囲については、上記の表のクロック比と、「32.3 AC特性」の項目に基づき、規定の周波数範囲に入るように設定してください。
- 分周器1の入力は、PLL回路1がONのときには、PLL回路1の出力になります。
- 分周器2の入力は、PLL回路1の出力になります。
- 内部クロック ($I\phi$) の周波数は、
 - PLL回路1がONのときには、CKIO端子の周波数にPLL回路1の周波数逡倍率と分周器1の分周率を掛けた周波数になります。
 - 内部クロック周波数はCKIO端子の周波数より低く設定しないでください。
 - 製品ごとに下記の周波数範囲に入るようにクロック比を設定してください。
 - 100MHz品：24～100MHz
 - 160MHz品：24～160MHz
- バスクロック ($B\phi$) の周波数は、製品ごとに下記の周波数範囲に入るようにクロック比を設定してください。
 - 100MHz品：24～50MHz
 - 160MHz品：24～66.67MHz

6. 周辺クロック ($P\phi$) の周波数は、
 - ・ CKIO端子の周波数にPLL回路1の周波数逓倍率と分周器2の分周率を掛けた周波数になります。
 - ・ 全製品6 ~ 33.34MHzの範囲内でCKIO端子の周波数以下になるように設定してください。
 - ・ USBファンクションモジュールを使用する場合は周辺クロック ($P\phi$) を13MHz以上にしてください。
7. PLL回路1の出力周波数は、CKIO端子の周波数にPLL回路1の逓倍率を掛けた周波数になります。
8. PLL回路1の逓倍率には、 $\times 1$ 、2、3、4、6が選択できます。分周器1の分周率には、 $\times 1$ 、1/2、1/3、1/4が選択でき、分周器2の分周率には、 $\times 1$ 、1/2、1/3、1/4、1/6が選択できます。これらは、それぞれ周波数制御レジスタで設定します。

PLL回路2のON、OFFは、モードによって決まります。

10.4 レジスタの説明

10.4.1 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) は、PLL 回路 1 の周波数通倍率、内部クロック、周辺クロックの周波数分周率の指定ができます。FRQCR レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタで、ワードアクセスのみ可能です。

FRQCR レジスタは、パワーオンリセット時のみ H0102 に初期化されます。マニュアルリセット、スタンバイモード時は前の値を保持しています。

ビット:	15	14	13	12	11	10	9	8
	STC2	IFC2	PFC2					
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
			STC1	STC0	IFC1	IFC0	PFC1	PFC0
初期値:	0	0	0	0	0	0	1	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15、5、4：周波数通倍率 (STC)

STC は、PLL 回路 1 の周波数通倍率を指定します。

ビット 15	ビット 5	ビット 4	説明
STC2	STC1	STC0	
0	0	0	×1 倍 (初期値)
0	0	1	×2 倍
1	0	0	×3 倍
0	1	0	×4 倍
1	0	1	×6 倍
上記以外			予約 (設定不可)

【注】 PLL 回路 1 の出力周波数を「32.3 AC 特性」に規定された CPU の最大周波数より高く設定しないでください。

- ビット14、3、2：内部クロック周波数の分周率（IFC）

IFC は、PLL 回路 1 の出力周波数に対しての内部クロック周波数の分周率（分周器 1）を指定します。

ビット 14	ビット 3	ビット 2	説明
IFC2	IFC1	IFC0	
0	0	0	×1 倍 (初期値)
0	0	1	×1/2 倍
1	0	0	×1/3 倍
0	1	0	×1/4 倍
上記以外			予約（設定不可）

【注】 内部クロック周波数は CKIO 端子の周波数より低く設定しないでください。

- ビット13、1、0：周辺クロック周波数の分周率（PFC）

PFC は、PLL 回路 1 の出力周波数または CKIO 端子の周波数に対しての周辺クロック周波数の分周率（分周器 2）を指定します。

ビット 13	ビット 1	ビット 0	説明
PFC2	PFC1	PFC0	
0	0	0	×1 倍
0	0	1	×1/2 倍
1	0	0	×1/3 倍
0	1	0	×1/4 倍 (初期値)
1	0	1	×1/6 倍
上記以外			予約（設定不可）

【注】 周辺クロック周波数は CKIO 端子の周波数より高く設定しないでください。

- ビット12～9、7、6：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット8：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

10. 内蔵発振回路

10.4.2 CKIO2 制御レジスタ (CKIO2CR)

CKIO2CR は、CKIO2 端子の出力を制御します。

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
								CKIO2EN
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

- ビット15~1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット0: CKIO2クロック出力選択 (CKIO2EN)

CKIO2 クロックを出力設定にするか選択します。

ビット0	説明
CKIO2EN	
0	出力する (初期値)
1	出力しない (Hi-Z)

10.5 周波数の変更方法

内部クロックおよび周辺クロックの周波数を変更するには、PLL 回路 1 の通倍率を変える方法と、分周器 1、2 の分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

10.5.1 通倍率の変更

PLL 回路 1 の通倍率を変更する場合、PLL 安定時間が必要になります。内蔵 WDT により安定時間のカウントを行います。

1. 初期状態では、PLL回路1の通倍率は1になっています。
2. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止させます。次の設定が必要です。
WTCSRレジスタTMEビット = 0 : WDTの停止
WTCSRレジスタCKS2 ~ CKS0ビット : WDTカウントクロックの分周率
WTCNTカウンタ : カウンタの初期値
3. STC2 ~ 0を目的とする値に設定します。同時にIFC2 ~ IFC0、PFC2 ~ PFC0ビットに分周率を設定することも可能です。
4. プロセッサ内部は内部クロックと周辺クロックが一時的に停止し、WDTのカウントアップを開始します。
5. WDTのカウントオーバーフローによってFRQCRレジスタに設定されたクロックが供給され始め、プロセッサは動作を再開します。WDTはオーバーフロー後、停止します。

10.5.2 分周率の変更

同時に通倍率の変更を行わない場合、WDT によるカウントは行いません。

1. 初期状態では、IFC2 ~ IFC0 = 000、PFC2 ~ PFC0 = 010になっています。
2. IFC2 ~ IFC0、PFC2 ~ PFC0ビットを目的とする値に設定します。クロックモードやPLL回路1の通倍率との関係で設定可能な値は限られます。誤った値を設定するとプロセッサは誤動作するので注意してください。
3. 直ちに設定されたクロックに切り替わります。

10.6 WDT の概要

10.6.1 WDT のブロック図

WDT のブロック図を図 10.2 に示します。

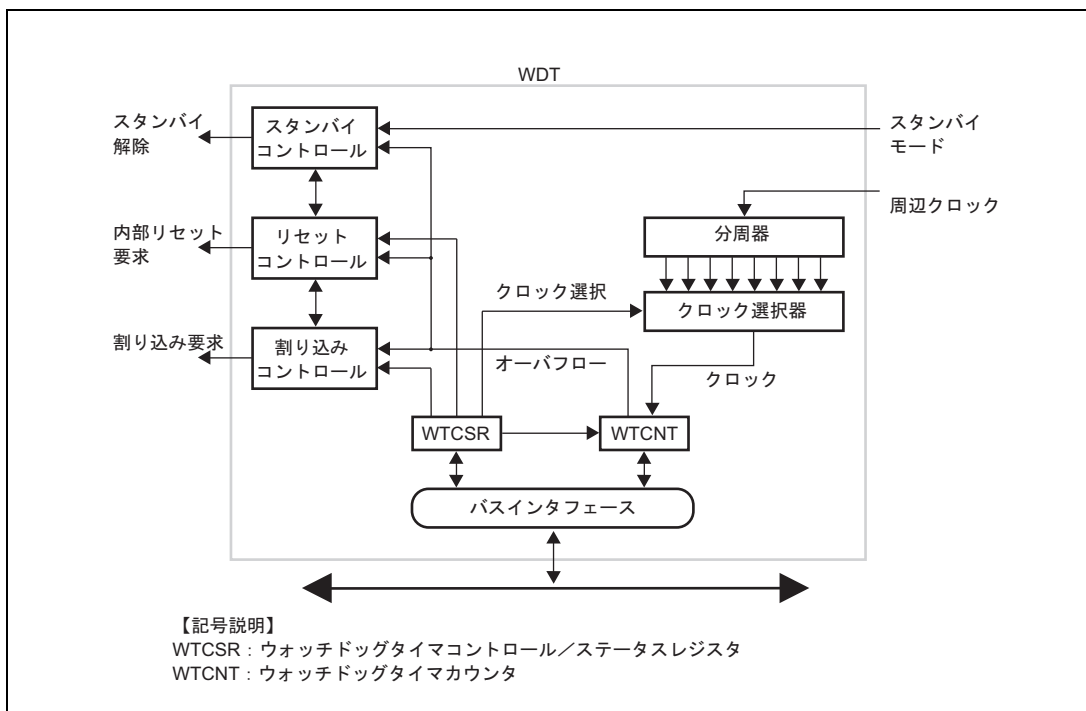


図 10.2 WDT のブロック図

10.6.2 レジスタ構成

WDT には、2本のレジスタがあります。これらのレジスタにより、クロックの選択、タイマのモードの切り替えなどを行います。レジスタ構成を表 10.5 に示します。

表 10.5 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W*	H'00	H'FFFFFF84	Rは8、Wは16*
ウォッチドッグタイマコントロール/ステータスレジスタ	WTCNT	R/W*	H'00	H'FFFFFF86	Rは8、Wは16*

【注】 * 書き込みは、ワードサイズで行ってください。上位バイトをそれぞれ H'5A、H'A5 にして書き込んでください。バイトまたはロングワードサイズでは書き込むことができません。読み出しは、バイトサイズで行ってください。

10.7 WDT のレジスタの説明

10.7.1 ウォッチドッグタイマカウンタ (WTCNT)

ウォッチドッグタイマカウンタ (WTCNT) は、選択されたクロックでカウントアップするカウンタです。

WTCNT は読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタは、誤って書き換えられないように書き込み方法が一般のレジスタと異っています。詳しくは、「10.7.3 レジスタアクセス時の注意」を参照してください。オーバフローすると、ウォッチドッグタイマモードのときリセットが発生し、インターバルタイマモードのとき割り込みが発生します。アドレスは H'FFFFFF84 です。WTCNT カウンタは $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時、H'00 に初期化されます。

WTCNT カウンタへの書き込みは上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.7.2 ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR)

ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR) は、カウントに使用するクロックやタイマのモードの選択を行うビット、およびオーバフローフラグから成ります。

WTCSR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタは、誤って書き換えられないように書き込み方法が一般のレジスタと異っています。詳しくは、「10.7.3 レジスタアクセス時の注意」を参照してください。アドレスは H'FFFFFF86 です。WTCSR レジスタは $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時のみ、H'00 に初期化されます。WDT オーバフローによる内部リセット時には値は保持されます。スタンバイ解除時のクロック安定時間のカウントに使用するとき、カウンタオーバフロー後、値は保持されます。

WTCSR レジスタへの書き込みは上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

ビット:	7	6	5	4	3	2	1	0
	TME	WT/IT	RSTS	WOVF	IOVF	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10. 内蔵発振回路

- ビット7: タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。スタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。

ビット7	説明
TME	
0	タイマディスエーブル: カウントアップを停止、WTCNT の値は保持する (初期値)
1	タイマイネーブル

- ビット6: タイマモードセレクト (WT/IT)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。

ビット6	説明
WT/IT	
0	インターバルタイマモード (初期値)
1	ウォッチドッグタイマモード

【注】 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われない場合があります。

- ビット5: リセットセレクト (RSTS)

ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。

ビット5	説明
RSTS	
0	パワーオンリセット (初期値)
1	マニュアルリセット

- ビット4: ウォッチドッグタイマオーバーフロー (WOVF)

ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。

インターバルタイマモードではセットされません。

ビット4	説明
WOVF	
0	オーバーフローなし (初期値)
1	ウォッチドッグタイマモードで WTCNT がオーバーフローした

- ビット3：インターバルタイマオーバーフロー（IOVF）

インターバルタイマモードで WTCNT がオーバーフローしたことを示します。

ウォッチドッグタイマモードではセットされません。

ビット3	説明	
IOVF		
0	オーバーフローなし	(初期値)
1	インターバルタイマモードで WTCNT がオーバーフローした	

- ビット2～0：クロックセレクト2～0（CKS2～CKS0）

周辺クロック（P ϕ ）を分周して得られる8種類のクロックから、WTCNTのカウントに使用するクロックを選択します。表中のオーバーフロー周期は、周辺クロック P ϕ = 15MHz の場合の値です。

ビット2	ビット1	ビット0	説明	
CKS2	CKS1	CKS0	クロック分周比	オーバーフロー周期（P ϕ = 15MHz のとき）
0	0	0	1 (初期値)	17 μ s
		1	1/4	68 μ s
	1	0	1/16	273 μ s
		1	1/32	546 μ s
1	0	0	1/64	1.09ms
		1	1/256	4.36ms
	1	0	1/1024	17.48ms
		1	1/4096	69.91ms

【注】 WDT の動作中に CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2～CKS0 ビットを書き換える場合は必ず WDT を停止させてから書き換えてください。

10.7.3 レジスタアクセス時の注意

ウォッチドックタイマカウンタ（WTCNT）、ウォッチドックタイマコントロール/ステータスレジスタ（WTCSR）は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で、読み出し/書き込みを行ってください。

- WTCNT、WTCSRへの書き込み

WTCNT、WTCSRへ書き込むときは、必ずワード転送命令を使用してください。バイト転送、ロングワード転送命令では、書き込めません。

図10.3に示すように、WTCNTへ書き込むときは上位バイトをH'5Aにし、下位バイトを書き込みデータにして転送してください。WTCSRへ書き込むときは上位バイトをH'A5にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータがWTCNTまたはWTCSRへ書き込まれません。

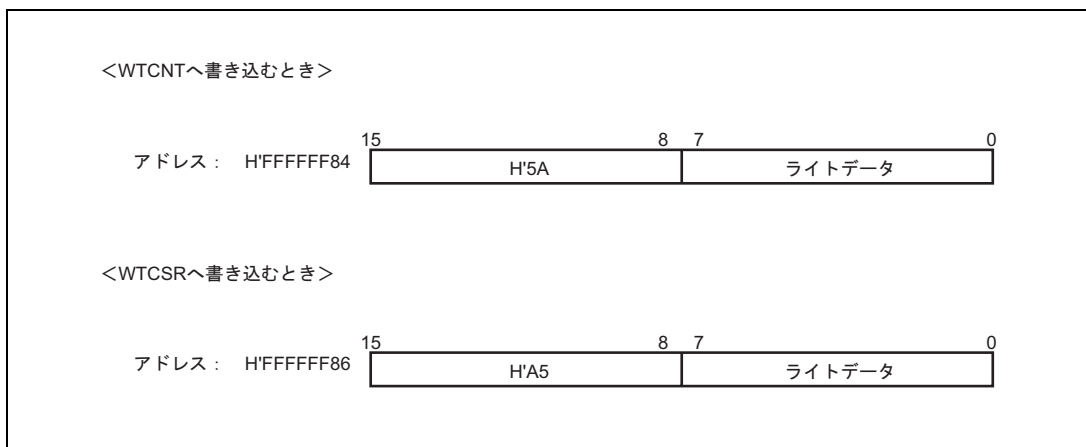


図 10.3 WTCNT、WTCSR への書き込み

10.8 WDT の使用方法

10.8.1 スタンバイ解除の手順

WDT は、スタンバイモードを NMI 割り込みまたはその他の割り込みで解除する場合に使用されます。この手順を以下に示します。（リセットで解除する場合 WDT は動作しませんので、クロックが安定するまで RESETP 端子をローレベルに保ってください。）

1. スタンバイモードへの遷移前に、必ず WTCSR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR レジスタの CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. SLEEP 命令実行によりスタンバイモードに遷移し、クロックは停止します。
4. NMI 信号変化のエッジ検出、または割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始し、プロセッサが動作を再開します。このとき、WTCSR レジスタの WOVF フラグはセットされません。
6. WDT は H'00 からカウントを継続するので、割り込み処理プログラムの中で STBCR レジスタの STBY ビットを 0 にしてください。これにより、WDT が停止します。STBY ビットが 1 のままだと、WDT が H'80 までカウントした時点で再びスタンバイモードに入ります。このスタンバイモードはパワ - オンリセットでのみ解除できません。

10.8.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り替えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ず WTCSR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR レジスタの CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーまでの時間がクロック発振安定時間以上になるように設定してください。
3. 周波数制御レジスタ (FRQCR) を書き換えると、クロックが停止し、一時的にスタンバイ状態になります。WDT はカウントを開始します。
4. WDT はカウントオーバーすると、CPG がクロック供給を再開し、プロセッサが動作を再開します。このとき、WTCSR レジスタの WOVF フラグはセットされません。
5. カウンタは H'00 ~ H'01 の値で停止します。停止時の値はクロック比によって変わります。

10.8.3 ウォッチドッグタイマモードの使用法

1. WTCSR レジスタの WT/IT ビットに 1 を設定し、RSTS ビットにリセットのタイプ、CKS2 ~ CKS0 にカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定します。
2. WTCSR レジスタの TME ビットに 1 をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタを H'00 に書き換えてください。
4. カウンタがオーバーフローすると、WDT は WTCSR レジスタの WOVF フラグを 1 にセットし、RSTS ビットで指定されたタイプのリセットを発生します。このあとカウンタはカウントを続行します。

10.8.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSR レジスタの WT/IT ビットに 0 をセットし、CKS2 ~ CKS0 ビットにカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定します。
2. WTCSR レジスタの TME ビットに 1 をセットするとインターバルタイマモードでカウントを開始します。
3. WDT は、カウンタがオーバーフローすると WTCSR レジスタの IOVF フラグに 1 をセットし、インターバルタイマ割り込み要求を INTC に送ります。カウンタはカウントを続行します。

10.9 ボード設計上の注意事項

(1) 外部水晶振動子使用時の注意

水晶振動子と容量 CL1、CL2 およびダンピング抵抗 R はできるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、振動子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

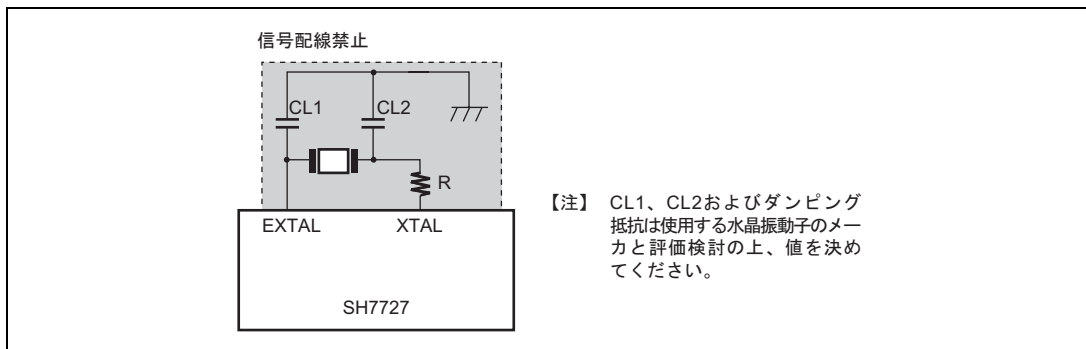


図 10.4 水晶振動子使用時の注意

(2) バイパスコンデンサについての注意

V_{SS} と V_{CC} のペアごとに 0.01 ~ 0.1 (μF) の積層セラミックコンデンサをパスコンとして入れてください。パスコンは LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

デジタル系の V_{SS} と V_{CC} ペア

35-37、91-93、137-139、155-157、177-178、200-202

デジタル系の V_{SSQ} と V_{CCQ} ペア

18-20、29-31、42-44、53-55、64-66、75-77、86-88、100-102、115-117、132-134、
159-161、188-190、207-209

内蔵発振器系の V_{SS} と V_{CC} ペア

1-4

(3) PLL 発振回路使用時の注意

PLL 用 V_{CC} と V_{SS} の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分をできるだけ減らしてください。

発振安定用の容量 C1、C2 の接地はそれぞれ $V_{SS-PLL1}$ と $V_{SS-PLL2}$ に接地してください。

また、できるだけ CAP1、CAP2 端子の近くに置き、その近辺に配線パターンを配置しないでください。クロックモード 7 のときは、EXTAL 端子を V_{CCQ} または V_{SSQ} に接続し、XTAL 端子は解放にしてください。

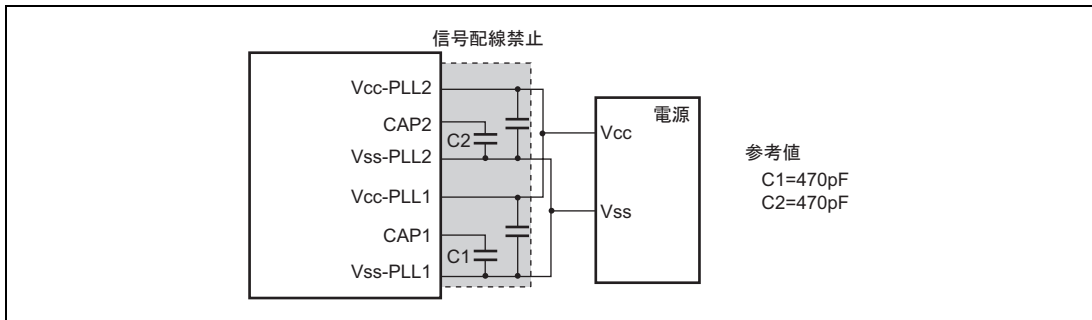


図 10.5 PLL 発振回路使用時の注意

(4) CKIO、CKIO2 端子をクロック出力として使用する場合の注意

CKIO、CKIO2 端子を出力として使用する場合、各端子に接続される LSI、ソケットなどの端子容量の総和は、50pF 以下になるようにボード設計を行ってください。

10. 内蔵発振回路

11. エクステンダクロックパルスジェネレータ (EXCPG)

11.1 概要

11.1.1 特長

SH7727 は 48MHz の固定クロックを必要とする USB インタフェースモジュール (USB) を内蔵しています。

エクステンダクロックパルスジェネレータ (EXCPG) は内部クロック ($I\phi$)、バスクロック ($B\phi$)、または外部クロック (UCLK) から分周したクロックを生成することができます。

EXCPG が使う対象とするクロックソースは、CPG の設定や外部クロックにより様々であるため、SH7727 のユーザは分周されたクロックが 48MHz になるように注意深く調整する必要があります。

11.2 機能

11.2.1 ブロック図

図 11.1 に EXCPG のブロック図を示します。

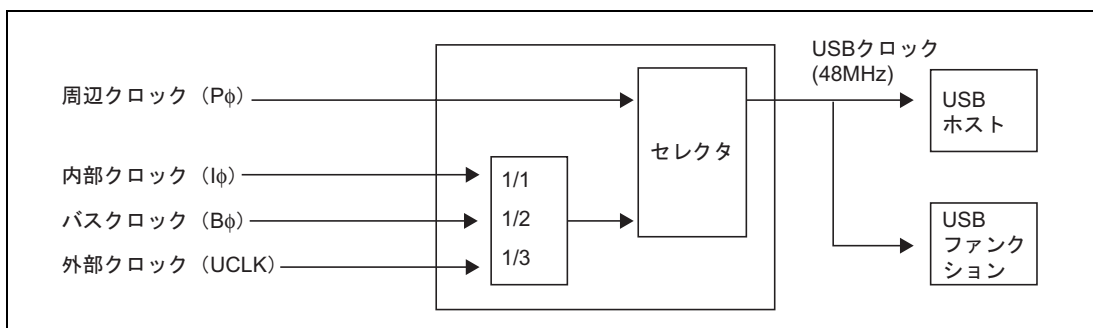


図 11.1 EXCPG のブロック図

11.2.2 端子構成

表 11.1 に EXCPG の端子構成を示します。

表 11.1 端子構成

名称	略称	入出力	機能
外部クロック端子	UCLK	入力	USB クロック入力端子 (48MHz 入力)

【注】 UCLK は PTD6 端子とマルチプレクスされています。

11. エクステンドクロックパルスジェネレータ (EXCPG)

11.2.3 レジスタ構成

EXCPG は表 11.2 のような内部レジスタを保有しています。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
EXCPG 制御レジスタ	EXCPGCR	W	H'0000	H'A4000236	8

11.3 レジスタの説明

11.3.1 EXCPG 制御レジスタ (EXCPGCR)

EXCPG 制御レジスタ (EXCPGCR) は、EXCPG のクロックソースや分周比を設定するレジスタです。

EXCPGCR はパワーオンリセット時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	USBCKSEL2	USBCKSEL1	USBCKSEL0	USBDIVSEL2	USBDIVSEL1	USBDIVSEL0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	W	W	W	W	W	W

- ビット7、6: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット5~3: クロック選択 (USBCKSEL2~0)

クロックソースを選択します。初期値は周辺クロックが選択されていますが、48MHz を生成できないため、必ずその他の設定に変更してから USB を使用してください。また、USBCKSEL の値を変更する際は、誤作動を防ぐため USB ホストおよび USB ファンクションは、モジュールスタンバイかモジュールリセット状態にしてください。

ビット5	ビット4	ビット3	説明
USBCKSEL2	USBCKSEL1	USBCKSEL0	
0	0	0	周辺クロック (P ϕ) (初期値)
1		1	内部クロック (I ϕ)
	1	0	バスクロック (B ϕ)
その他の値		外部クロック (UCLK)	
その他の値			予約 (設定禁止)

- ビット2~0: ドライバ選択 (USBDIVSEL2~0)

USB クロック生成のための分周比を設定します。最終的なクロックが 48MHz になるように設定してください。

ビット2	ビット1	ビット0	説明
USBDIVSEL2	USBDIVSEL1	USBDIVSEL0	
0	0	0	1/1 (初期値)
		1	1/2
	1	0	1/3
1	*	*	内部クロック (I ϕ)、バスクロック (B ϕ)、外部クロック (UCLK) からの入力を停止

【注】 低消費電力を実現するためには、USBDIVSEL2 を 1 にして、内部クロック (I ϕ)、バスクロック (B ϕ) または外部クロック (UCLK) の入力を停止させてください。

11.4 使用上の注意

LCLK/UCLK/PTD[6]端子を、LCLK (LCD クロック) /UCLK (USB クロック) として選択した場合、この端子に入力するクロックを、LCD コントローラと USB ファンクションコントローラ双方に供給することが可能です。

ただし、USB クロックは、EXCPGCR (EXCPG 制御レジスタ) のドライバ選択ビット (USBDIVSEL[2:0]) の設定により、最終的なクロック周波数が 48MHz になるよう設定する必要がありますので、入力するクロック周波数は 48MHz になります。LCD コントローラの動作クロックとして、上記クロック周波数が適していない場合、LCLK については内部クロックを選択することを検討してください。

なお、CPU クロック (I ϕ)、バスクロック (B ϕ) につきましては、SH7727 内蔵の PLL で逡倍したクロックより生成しており、USB 規格のクロック精度を遵守することができないことがあります。したがって、USB 規格のクロック精度を遵守するためには、USB 専用の 48MHz クロックを外部の UCLK より入力頂いてご使用になることをお勧めします。

11. エクステンデッドクロックパルスジェネレータ (EXCPG)

12. バスステートコントローラ (BSC)

12.1 概要

バスステートコントローラ (BSC) は、物理アドレス空間を分割し、各種のメモリやバスインタフェース仕様に応じた制御信号を出力します。BSC の機能によって、外付け回路なしに SRAM、ROM など本 LSI に直結することができます。また、BSC により PCMCIA インタフェースに直結することもできるので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

12.1.1 特長

BSC には、次のような特長があります。

- 物理アドレス空間を6つに分割して管理

エリア0、2～6までの各エリアは、最大64Mバイト

各エリアのバス幅をレジスタにより設定可能 (エリア0のみは、外部ピンにより設定)

$\overline{\text{WAIT}}$ 端子によりウェイトステート挿入可能

ウェイトステート挿入をプログラムで制御可能

各エリアは、独立に1～10ステートのウェイト挿入をレジスタの設定により指定可能 (エリア5、6 PCMCIA インタフェースのみ1～38ステート)

エリアごとに接続できるメモリの種類を指定

各エリアに接続するメモリに直結できる制御信号を出力

異なったエリアに対する連続したメモリアクセスや同一エリアに対するリードアクセス直後のライトアクセスの場合といったデータバスの衝突回避のためのウェイトサイクル自動挿入機能

- シンクロナスDRAM直結インタフェース (クロック比 $I\phi:B\phi = 1:1$ の場合を除く)

シンクロナスDRAM容量に応じたロウアドレス / カラムアドレスマルチプレクス
バースト動作

オートリフレッシュとセルフリフレッシュ

シンクロナスDRAM直結制御信号のタイミングをレジスタの設定により制御可能

- バーストROMインタフェース

ウェイトステート挿入をプログラムで制御可能

レジスタで設定した回数のバースト転送動作

- PCMCIA直結インタフェース*

ウェイトステート挿入をプログラムで制御可能

12. バスステートコントローラ (BSC)

I/Oバス幅のバスサイジング機能 (リトルエディアンモード時のみ)

- リフレッシュ機能
 - スリープモードに遷移した場合でも、リフレッシュサイクルは自動的に通常動作時の状態を保持します。
- リフレッシュ用カウンタをインターバルタイマとして使用可能
 - コンペアマッチで割り込み要求発生
 - リフレッシュカウンタのオーバフローで割り込み要求発生
- 外部バスサイクルが実行中されていない期間は、リフレッシュカウンタ以外のすべてに対するクロック供給を自動的に停止します。

【注】 * BSC によりサポートされる PCMCIA 直結インタフェースは、表 12.5 に示された信号とバスプロトコルのサポートのみとなります。その他の制御信号に関しては、外部回路、または SH7727 内蔵の PC カードコントローラ (「第 30 章 PC カードコントローラ (PCC)」を参照) を使用してください。

なお、BSC ではエリア 5、エリア 6 とともに SH3 シリーズ共通の PCMCIA 直結インタフェース機能を有していますが、内蔵の PC カードコントローラはエリア 6 だけをサポートしています。

12.1.2 ブロック図

BSCのブロック図を図 12.1 に示します。

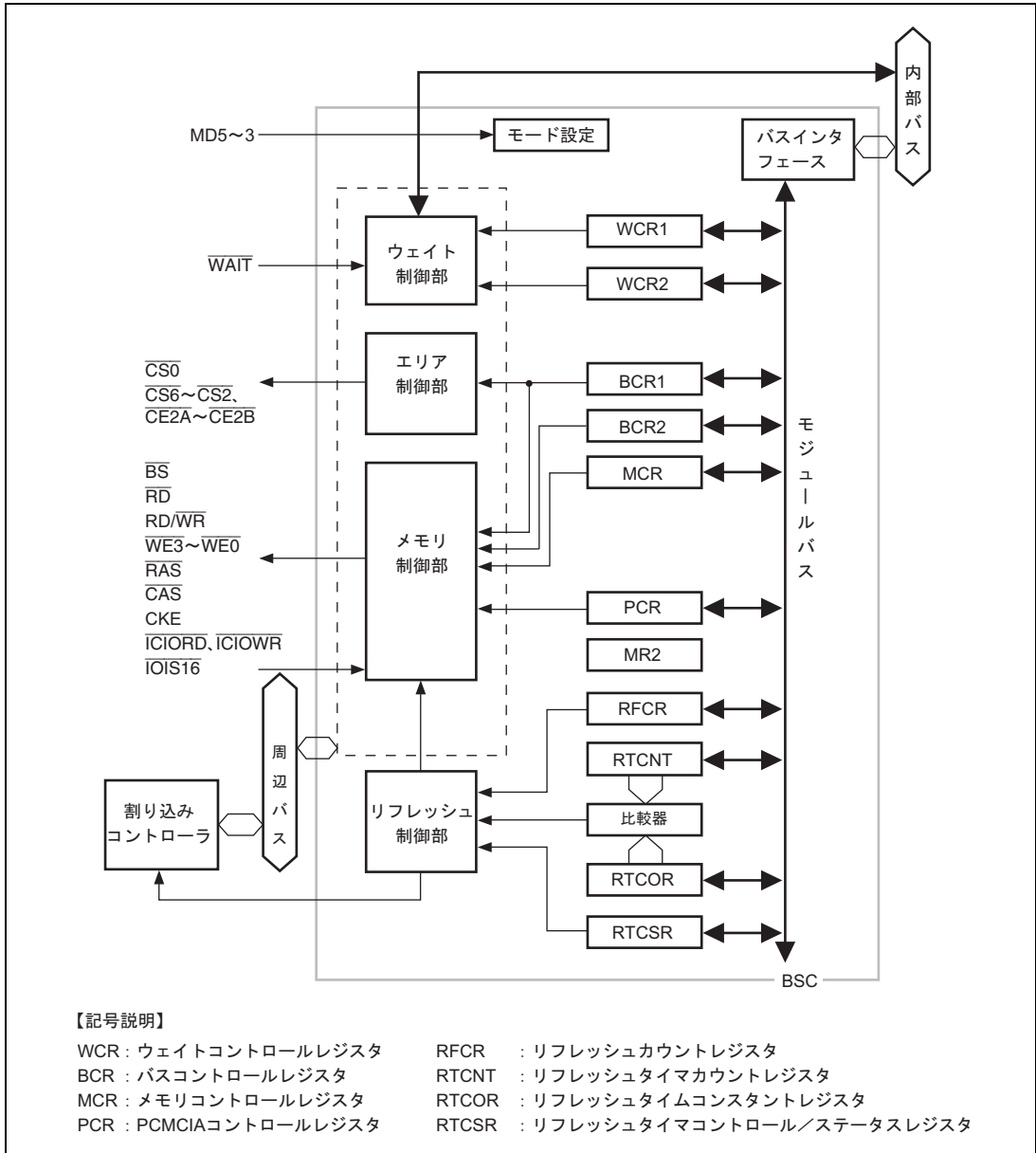


図 12.1 BSCのブロック図

12. バスステートコントローラ (BSC)

12.1.3 端子構成

BSC の端子構成を表 12.1 に示します。

表 12.1 端子構成

名称	信号名	入出力	機能
アドレスバス	A25 ~ A0	出力	アドレス出力
データバス	D15 ~ D0	入出力	データ入出力
	D31 ~ D16	入出力	32 ビットバス幅時、データ入出力
バスサイクル開始	BS	出力	バスサイクルの開始を示す信号。バースト転送時は、 毎データサイクルごとにアサート
チップセレクト 0、2~4	$\overline{CS0}$ 、 $\overline{CS2}$ ~ $\overline{CS4}$	出力	アクセス中のエリアを示すチップセレクト信号
チップセレクト 5、6	$\overline{CS5/CE1A}$ 、 $\overline{CS6/CE1B}$	出力	アクセス中のエリアを示すチップセレクト信号 $\overline{CS5/CE1A}$ 、 $\overline{CS6/CE1B}$ は、PCMCIA の $\overline{CE1A}$ 、 $\overline{CE1B}$ としても使用可能
PCMCIA カードセレクト	$\overline{CE2A}$ 、 $\overline{CE2B}$	出力	PCMCIA 使用時、CE2A、CE2B 信号
リード/ライト	$\overline{RD/WR}$	出力	データバスの入出力方向指示信号 DRAM/PCMCIA への書き 込み指示信号
ロウアドレスストロープ	\overline{RAS}	出力	シンクロナス DRAM 使用時、RAS 信号
カラムアドレスストロープ	\overline{CAS}	出力	シンクロナス DRAM 使用時、CAS 信号
データイネーブル 0	$\overline{WE0/DQMLL}$	出力	シンクロナス DRAM 以外のメモリ使用時、D7 ~ D0 対応ラ イトストロープ信号 シンクロナス DRAM 使用時、D7 ~ D0 を選択
データイネーブル 1	$\overline{WE1/DQMLU/}$ \overline{WE}	出力	シンクロナス DRAM 以外のメモリと PCMCIA 使用時、D15 ~ D8 対応ライトストロープ信号 シンクロナス DRAM 使用時、D15 ~ D8 を選択 PCMCIA 使用時、ライトサイクルを示すストロープ信号
データイネーブル 2	$\overline{WE2/DQMUL/}$ \overline{ICIORD}	出力	シンクロナス DRAM 以外のメモリと PCMCIA 使用時、D23 ~ D16 対応ライトストロープ信号 シンクロナス DRAM 使用時、D23 ~ D16 を選択 PCMCIA 使用時、I/O リードを示すストロープ信号
データイネーブル 3	$\overline{WE3/DQMUU/}$ \overline{ICIOWR}	出力	シンクロナス DRAM 以外のメモリと PCMCIA 使用時、D31 ~ D24 対応ライトストロープ信号 シンクロナス DRAM 使用時、D31 ~ D24 を選択 PCMCIA 使用時、I/O ライトを示すストロープ信号
リード	\overline{RD}	出力	リードサイクルを示すストロープ信号
ウェイト	\overline{WAIT}	入力	ウェイトステート要求信号
クロックイネーブル	\overline{CKE}	出力	シンクロナス DRAM のクロックイネーブル制御信号
IOIS16	$\overline{IOIS16}$	入力	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効
バス解放要求	\overline{BREQ}	入力	バス解放の要求信号

名称	信号名	入出力	機能
バス使用許可	BACK	出力	バス使用の許可信号
モード設定端子	MD5~3	入力	エリア 0 のバス幅、エンディアン設定

12.1.4 レジスタ構成

BSC には表 12.2 に示すように、11 本のレジスタがあります。また、シンクロナス DRAM に内蔵されたシンクロナス DRAM モードレジスタが本 LSI のレジスタとしてアクセスできます。これらのレジスタにより、各種メモリとの直結インタフェース、ウェイトステート、リフレッシュなどの制御を行います。

表 12.2 レジスタ構成

名称		略称	R/W	初期値*	アドレス	アクセスサイズ
バスコントロールレジスタ 1		BCR1	R/W	H'0000	H'FFFFFF60	16
バスコントロールレジスタ 2		BCR2	R/W	H'3FF0	H'FFFFFF62	16
ウェイトステートコントロールレジスタ 1		WCR1	R/W	H'3FF3	H'FFFFFF64	16
ウェイトステートコントロールレジスタ 2		WCR2	R/W	H'FFFF	H'FFFFFF66	16
個別メモリコントロールレジスタ		MCR	R/W	H'0000	H'FFFFFF68	16
PCMCIA コントロールレジスタ		PCR	R/W	H'0000	H'FFFFFF6C	16
リフレッシュタイムコントロール / ステータスレジスタ		RTCSR	R/W	H'0000	H'FFFFFF6E	16
リフレッシュタイムカウンタ		RTCNT	R/W	H'0000	H'FFFFFF70	16
リフレッシュタイムコンスタントカウンタ		RTCOR	R/W	H'0000	H'FFFFFF72	16
リフレッシュカウンタレジスタ		RFCR	R/W	H'0000	H'FFFFFF74	16
シンクロナス DRAM モードレジスタ	エリア 2 用	SDMR	W		H'FFFD000 ~ H'FFFDFFF	8
	エリア 3 用				H'FFFE000 ~ H'FFFEFFF	

【注】 詳細は「12.2.7 シンクロナス DRAM モードレジスタ (SDMR)」を参照してください。

* パワーオンリセット時、初期化されます。

12.1.5 エリアの概要

(1) 空間分割

本 LSI は、アーキテクチャとして 32 ビットの論理アドレス空間および物理アドレス空間を有しています。論理空間は、上位側アドレスの値によって 5 空間に分割されています。また、物理空間は 29 ビットのアドレス空間を有しており 8 空間に分割されています。

論理空間は、アドレス変換機構 (MMU) により任意の物理空間に割り付けることができます。詳細はアドレス変換機構の章を参照してください。この章では、物理空間のエリア分割について記述します。

本 LSI は、表 12.3 に示すように物理空間の 6 つのエリアに各々各種メモリ/PC カードを接続でき、各々に対応してチップセレクト信号 ($\overline{CS0}$ 、 $\overline{CS2} \sim \overline{CS6}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$) を出力します。エリア 0 のアクセス時に $\overline{CS0}$ が、エリア 6 のアクセス時に $\overline{CS6}$ がアサートされます。また、エリア 5 と 6 において、PCMCIA インタフェースを選択した場合、アクセスするバイトに対応して、 $\overline{CS5}/\overline{CS6}$ に加えて、 $\overline{CE2A}/\overline{CE2B}$ をアサートします。

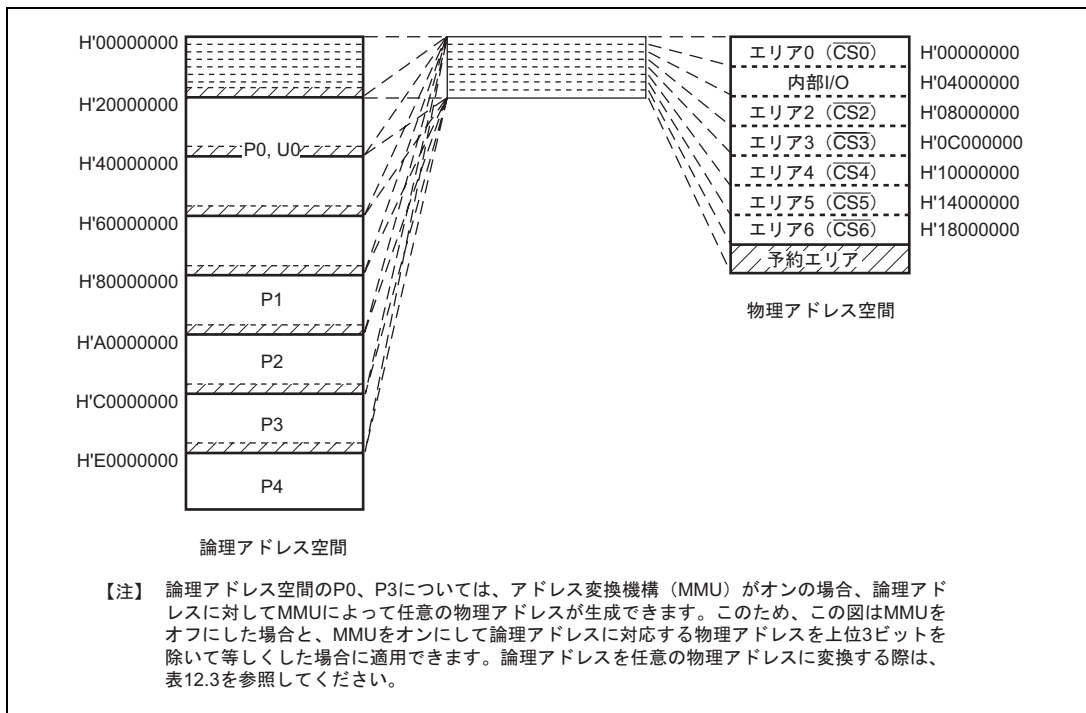


図 12.2 論理アドレス空間と物理アドレス空間の対応

表 12.3 物理アドレス空間マップ

エリア	接続可能なメモリ	物理アドレス	容量	アクセスサイズ
エリア 0	通常メモリ* ¹ 、 バースト ROM	H'00000000 ~ H'03FFFFFF	64MB	8、16、32* ²
		H'00000000 ~ H'03FFFFFF + H'20000000 × n + H'20000000 × n	シャドウ	(n:1~6)
エリア 1	内部 I/O レジスタ* ⁷	H'04000000 ~ H'07FFFFFF	64MB	8、16、32* ³
		H'04000000 ~ H'07FFFFFF + H'20000000 × n + H'20000000 × n	シャドウ	(n:1~6)
エリア 2	通常メモリ* ¹ 、 シンクロナス DRAM	H'08000000 ~ H'0BFFFFFF	64MB	8、16、32* ³ * ⁴
		H'08000000 ~ H'0BFFFFFF + H'20000000 × n + H'20000000 × n	シャドウ	(n:1~6)
エリア 3	通常メモリ、 シンクロナス DRAM	H'0C000000 ~ H'0FFFFFFF	64MB	8、16、32* ³ * ⁴
		H'0C000000 ~ H'0FFFFFFF + H'20000000 × n + H'20000000 × n	シャドウ	(n:1~6)
エリア 4	通常メモリ	H'10000000 ~ H'13FFFFFF	64MB	8、16、32* ³
		H'10000000 ~ H'13FFFFFF + H'20000000 × n + H'20000000 × n	シャドウ	(n:1~6)
エリア 5	通常メモリ、 PCMCIA、 バースト ROM	H'14000000 ~ H'15FFFFFF	32MB	8、16、32* ³ * ⁵
		H'16000000 ~ H'17FFFFFF	32MB	
		H'14000000 ~ H'17FFFFFF + H'20000000 × n + H'20000000 × n	シャドウ	(n:1~6)
エリア 6	通常メモリ、 PCMCIA、 バースト ROM	H'18000000 ~ H'19FFFFFF	32MB	8、16、32* ³ * ⁵
		H'1A000000 ~ H'1BFFFFFF	32MB	
		H'18000000 ~ H'1BFFFFFF + H'20000000 × n + H'20000000 × n	シャドウ	(n:1~6)
エリア 7* ⁶	予約エリア	H'1C000000 ~ H'1FFFFFFF + H'20000000 × n + H'20000000 × n		(n:0~7)

【注】 *1 SRAM、ROM などのインタフェースを持つメモリ

*2 外部ピンでメモリバス幅を指定

*3 レジスタでメモリバス幅を指定

*4 シンクロナス DRAM インタフェース時は、バス幅は 16、32 ビットのいずれかのみ

*5 PCMCIA インタフェース時は、バス幅は 8、16 ビットのいずれかのみ

*6 予約エリアはアクセスしないでください。アクセスした場合は動作の保証はできません。

*7 エリア 1 の制御レジスタを MMU によるアドレス変換の対象としない場合は、論理アドレスの先頭 3 ビットを 101 として P2 空間に配置してください。

12. バスステートコントローラ (BSC)

エリア0 : H'00000000	通常メモリ／パーストROM	
エリア1 : H'04000000	内部I/Oレジスタ	
エリア2 : H'08000000	通常メモリ／シンクロナスDRAM	
エリア3 : H'0C000000	通常メモリ／シンクロナスDRAM	
エリア4 : H'10000000	通常メモリ	
エリア5 : H'14000000	通常メモリ／パーストROM／PCMCIA	PCMCIAインタフェースは、 メモリI/Oカード兼用
エリア6 : H'18000000	通常メモリ／パーストROM／PCMCIA	PCMCIAインタフェースは、 メモリI/Oカード兼用

図 12.3 物理空間割り付け

(2) メモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部ピンを用いてバスサイズを 8 ビット、16 ビット、32 ビットから選べます。パワーオンリセット時に外部ピン (MD4、MD3) とバス幅の関係は次のようになります。

表 12.4 外部端子 (MD4 と MD3) とメモリサイズの対応

MD4	MD3	メモリサイズ
0	0	予約 (設定しないでください)
	1	8 ビット
1	0	16 ビット
	1	32 ビット

エリア 2~6 で通常メモリ、ROM、パースト ROM のいずれかを使用する場合は、バスコントロールレジスタ 2 (BCR2) によってバス幅を 8 ビット、16 ビット、32 ビットから選べます。また、SDRAM インタフェースを使用するときは、バス幅を 16 ビット、32 ビットから選べます。

PCMCIA インタフェースを使用する場合は、バス幅は 8 ビットまたは 16 ビットに設定してください。

シンクロナス DRAM がエリア 2 とエリア 3 との両方に接続されている場合には、エリア 2 とエリア 3 に対しても同じバス幅を設定してください。

ポート A または B を使用する場合、全エリアのバス幅を 8 ビットまたは 16 ビットに設定してください。

詳しくは、「12.2.2 バスコントロールレジスタ 2 (BCR2)」を参照してください。

(3) シャドウ空間

エリア 0、2~6 は、物理アドレスの A28~A26 でデコードされ、000~110 のエリアに対応します。アドレスの A31~A29 は無視されます。このためたとえば、エリア 0 のアドレスの範囲は H'00000000~H'03FFFFFF なのに対し、H'20000000×n (n=1~6) を加えたアドレス空間はシャドウ空間となります。

また、エリア 7 のアドレスの範囲は H'1C000000~H'1FFFFFFF です。エリア 7 のシャドウ空間に相当するアドレス空間を含めて H'1C000000 + H'20000000×n~H'1FFFFFFF + H'20000000×n (n=0~7) は予約空間ですので、使用しないでください。

12.1.6 PC カードサポート

本 LSI では、物理空間のエリア 5 と 6 で PCMCIA 準拠のインタフェース仕様をサポートします。

PC カードバス信号 (CE1A,CE2A,CE1B,CE2B,IOIS16) は SH7708/SH7709/SH7729 シリーズと同様に、PC カードバスプロトコルをサポートしています。

表 12.5 SH7727 と PCMCIA の接続端子

SH7727	PCMCIA
CE1A	CE1
CE1B	CE1
CE2A	CE2
CE2B	CE2
WE	WE/PGM
RD	OE
IOIS16	WP/IOIS16
ICIORD	IORD
ICIOWR	IOWR
A25~A0	A25~A0
D15~D0	D15~D0

【注】 I/O バス幅のダイナミックバスサイジングはリトルエンディアンモード時のみサポートします。

12.2 レジスタの説明

12.2.1 バスコントロールレジスタ 1 (BCR1)

バスコントロールレジスタ 1 (BCR1) は、各エリアの機能、バスサイクルの状態などを指定します。読み出し / 書き込み可能な 16 ビットのレジスタです。

BCR1 レジスタは、パワーオンリセット時は H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PULA	PULD	HIZ MEM	HIZ CNT	END1 AN	A0 BST1	A0 BST0	A5 BST1	A5 BST0	A6 BST1	A6 BST0	DRAM TP2	DRAM TP1	DRAM TP0	A5 PCM	A6 PCM
初期値:	0	0	0	0	0/1*	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * エンディアンを指定する外部ピン (MD5) の値をパワーオンリセット時にサンプリング

- ビット15 : A25 ~ A0端子プルアップ (PULA)

$\overline{\text{BACK}}$ 端子アサート直後の 4 サイクル間、A25 ~ A0 端子をプルアップするかどうか指定します。

ビット 15	説 明	
PULA		
0	プルアップしない	(初期値)
1	プルアップする	

- ビット14 : D31 ~ D0端子プルアップ (PULD)

D31 ~ D0 端子を使用していない期間、プルアップするかどうか指定します。

ビット 14	説 明	
PULD		
0	プルアップしない	(初期値)
1	プルアップする	

- ビット13 : ハイゼットメモリコントロール (HIZMEM)

A25-0、 $\overline{\text{BS}}$ 、 $\overline{\text{CS}}$ 、 $\overline{\text{RD}}/\overline{\text{WR}}$ 、 $\overline{\text{WE}}/\overline{\text{DQM}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、DRAK0 のスタンバイ時の状態を指定します。

ビット 13	説 明	
HIZMEM		
0	スタンバイ時、ハイインピーダンス (High-Z)	(初期値)
1	スタンバイ時、ドライブ	

- ビット12：ハイゼット (High-Z) コントロール (HIZCNT)

RAS 信号、CAS 信号のスタンバイ時およびバス権解放時の状態を指定します。

ビット 12	説 明
HIZCNT	
0	RAS、CAS 信号はスタンバイ時およびバス権解放時、ハイインピーダンス (High-Z) (初期値)
1	RAS、CAS 信号はスタンバイ時およびバス権解放時、ドライブ

- ビット11：エンディアンフラグ (ENDIAN)

パワーオンリセット時に、エンディアン指定の外部ピン (MD5) の値をサンプリングします。全空間のエンディアンは、このビットで決定されます。読み出しのみ可です。

ビット 11	説 明
ENDIAN	
0	リセット時に、エンディアン設定外部ピン (MD5) がローレベルであり、本 LSI がビッグエンディアンとして設定
1	リセット時に、エンディアン設定外部ピン (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして設定

- ビット10、9：エリア0バーストROM制御 (A0BST1、A0BST0)

物理空間のエリア 0 で、バースト ROM を使うかどうかを指定します。また、バースト ROM を使用する場合は、バースト回数を指定します。

ビット 10	ビット 9	説 明
A0BST1	A0BST0	
0	0	エリア 0 を通常メモリとしてアクセス (初期値)
	1	エリア 0 をバースト ROM (4 回連続アクセス) としてアクセス。バス幅 8、16、32 ビット時、いずれでも使用可
1	0	エリア 0 をバースト ROM (8 回連続アクセス) としてアクセス。バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください
	1	エリア 0 をバースト ROM (16 回連続アクセス) としてアクセス。バス幅 8 ビット時のみ使用可。バス幅 16、32 ビット時は指定しないでください

12. バスステートコントローラ (BSC)

- ビット8、7 : エリア5バーストイネーブル (A5BST1、A5BST0)

物理空間のエリア5で、バーストROMまたはPCMCIAのバーストモードを使うかどうかを指定します。また、バーストROMまたはPCMCIAのバーストモードを使用する場合は、バースト回数を指定します。

ビット8	ビット7	説明
A5BST1	A5BST0	
0	0	エリア5を通常モードでアクセス (初期値)
	1	エリア5をバーストアクセス(4回連続アクセス)。 バス幅8、16、32ビット時、いずれでも使用可
1	0	エリア5をバーストアクセス(8回連続アクセス)。 バス幅8、16ビット時のみ使用可。バス幅32ビット時は指定しないでください
	1	エリア5をバーストアクセス(16回連続アクセス)。 バス幅8ビット時のみ使用可。バス幅16、32ビット時は指定しないでください

- ビット6、5 : エリア6バーストイネーブル (A6BST1、A6BST0)

物理空間のエリア6で、バーストROMまたはPCMCIAのバーストモードを使うかどうかを指定します。また、バーストROMまたはPCMCIAのバーストモードを使用する場合は、バースト回数を指定します。

ビット6	ビット5	説明
A6BST1	A6BST0	
0	0	エリア6を通常モードでアクセス (初期値)
	1	エリア6をバーストアクセス(4回連続アクセス)。 バス幅8、16、32ビット時、いずれでも使用可
1	0	エリア6をバーストアクセス(8回連続アクセス)。 バス幅8、16ビット時のみ使用可。バス幅32ビット時は指定しないでください
	1	エリア6をバーストアクセス(16回連続アクセス)。 バス幅8ビット時のみ使用可。バス幅16、32ビット時は指定しないでください

12. バスステートコントローラ (BSC)

- ビット4～2：エリア2、3のメモリタイプ (DRAMTP2、DRAMTP1、DRAMTP0)

物理空間のエリア2と3に接続するメモリタイプを指定します。通常メモリとしてROM、SRAM、フラッシュROMなどが直接接続できます。また、シンクロナスDRAMが直接接続できます。

ビット4	ビット3	ビット2	説明
DRAMTP2	DRAMTP1	DRAMTP0	
0	0	0	エリア2、3を通常メモリ (初期値)
		1	予約 (設定不可)
	1	0	エリア2を通常メモリ、エリア3をシンクロナスDRAM ^{*1}
		1	エリア2、3をシンクロナスDRAM ^{*1*2}
1	0	0	予約 (設定不可)
		1	予約 (設定不可)
	1	0	予約 (設定不可)
		1	予約 (設定不可)

【注】 *1 クロック比 ϕ :バスクロック = 1:1 のときは、シンクロナスDRAMへアクセスできません。

*2 このモードを選ぶ場合は、エリア2とエリア3のバス幅を同一に設定してください。

- ビット1：エリア5バスタイプ (A5PCM)

物理空間のエリア5をPCMCIA空間としてアクセスするかどうか指定します。

ビット1	説明
A5PCM	
0	物理空間のエリア5を通常メモリとしてアクセス (初期値)
1	物理空間のエリア5をPCMCIA空間としてアクセス

- ビット0：エリア6バスタイプ (A6PCM)

物理空間のエリア6をPCMCIA空間としてアクセスするかどうか指定します。

ビット0	説明
A6PCM	
0	物理空間のエリア6を通常メモリとしてアクセス (初期値)
1	物理空間のエリア6をPCMCIA空間としてアクセス

12. バスステートコントローラ (BSC)

12.2.2 バスコントロールレジスタ 2 (BCR2)

バスコントロールレジスタ 2 (BCR2) は、各エリアのバスサイズ幅および 8 ビットポートを使用するかどうかを指定します。読み出し/書き込み可能な 16 ビットのレジスタです。

BCR2 レジスタは、パワーオンリセット時は H'3FF0 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	A6 SZ1	A6 SZ0	A5 SZ1	A5 SZ0	A4 SZ1	A4 SZ0	A3 SZ1	A3 SZ0	A2 SZ1	A2 SZ0	—	—	—	—
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

- ビット15、14、3~0: 予約ビット

読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット $2n+1$ 、 $2n$: エリア n ($2\sim 6$) のバス幅指定 (AnSZ1、AnSZ0)

物理空間のエリア n ($n=2\sim 6$) のバス幅を指定します。

ビット $2n+1$	ビット $2n$	ポート A/B	説明
AnSZ1	AnSZ0		
0	0	未使用	予約 (設定不可)
	1		8 ビットバス幅
1	0		16 ビットバス幅
	1		32 ビットバス幅
0	0	使用	予約 (設定不可)
	1		8 ビットバス幅
1	0		16 ビットバス幅
	1		予約 (設定不可)

12.2.3 ウェイトコントロールレジスタ 1 (WCR1)

ウェイトコントロールレジスタ 1 (WCR1) は、各エリアのアイドルステート挿入サイクル数を指定します。メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、WCR1 レジスタで設定したサイクル数だけ自動的にアイドルサイクルを挿入します。

WCR1 レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'3FF3 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WAIT SEL	—	A6 IW1	A6 IW0	A5 IW1	A5 IW0	A4 IW1	A4 IW0	A3 IW1	A3 IW0	A2 IW1	A2 IW0	—	—	A0 IW1	A0 IW0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	0	0	1	1
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

- ビット15: WAIT信号のサンプリングタイミング指定 (WAITSEL)

ビット 15	説明
WAITSEL	
0	WAIT 信号を使う場合は 1 を設定してください。* (初期値)
1	CKIO の立ち下がりですべてサンプリングします。

【注】 * WAITSEL = 0 で WAIT にローレベルを入力した際の動作は保証しません。

- ビット14、3、2: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット $2n+1$ 、 $2n$: エリア n ($6\sim 2$, 0) のサイクル間アイドル指定 (AnIW1, AnIW0)

物理空間のエリア n ($6\sim 2$, 0) からほかの空間、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アイドル数を指定します。

ビット $2n+1$	ビット $2n$	説明
AnIW1	AnIW0	
0	0	1 アイドルサイクル挿入
	1	1 アイドルサイクル挿入
1	0	2 アイドルサイクル挿入
	1	3 アイドルサイクル挿入 (初期値)

12. バスステートコントローラ (BSC)

12.2.4 ウェイトコントロールレジスタ 2 (WCR2)

ウェイトコントロールレジスタ 2 (WCR2) は、読み出し / 書き込み可能な 16 ビットのレジスタで、各エリアのウェイトステート挿入サイクル数を指定します。また、バーストメモリアクセスを行う場合のデータアクセスのピッチ数も指定します。これにより、外付け回路なしに低速なメモリも直接接続できます。

WCR2 は、パワーオンリセット時は H'FFFF に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A6 W2	A6 W1	A6 W0	A5 W2	A5 W1	A5 W0	A4 W2	A4 W1	A4 W0	A3 W1	A3 W0	A2 W1	A2 W0	A0 W2	A0 W1	A0 W0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15～13 : エリア6のウェイトコントロール (A6W2、A6W1、A6W0)

物理空間のエリア 6 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。

ビット 15	ビット 14	ビット 13	説 明			
			先頭サイクル		バーストサイクル (先頭サイクルを除く)	
A6W2	A6W1	A6W0	挿入ウェイト ステート	WAIT 端子	1 データ転送あたりの ステート数	WAIT 端子
0	0	0	0	無視	2	イネーブル
		1	1	イネーブル	2	イネーブル
	1	0	2	イネーブル	3	イネーブル
		1	3	イネーブル	4	イネーブル
1	0	0	4	イネーブル	4	イネーブル
		1	6	イネーブル	6	イネーブル
	1	0	8	イネーブル	8	イネーブル
		1	10 (初期値)	イネーブル	10	イネーブル

12. バスステートコントローラ (BSC)

- ビット12～10：エリア5のウェイトコントロール (A5W2、A5W1、A5W0)

物理空間のエリア5に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。

ビット12	ビット11	ビット10	説明			
			先頭サイクル		バーストサイクル (先頭サイクルを除く)	
A5W2	A5W1	A5W0	挿入ウェイト ステート	WAIT 端子	1データ転送あたりの ステート数	WAIT 端子
0	0	0	0	無視	2	イネーブル
		1	1	イネーブル	2	イネーブル
	1	0	2	イネーブル	3	イネーブル
		1	3	イネーブル	4	イネーブル
1	0	0	4	イネーブル	4	イネーブル
		1	6	イネーブル	6	イネーブル
	1	0	8	イネーブル	8	イネーブル
		1	10 (初期値)	イネーブル	10	イネーブル

- ビット9～7：エリア4のウェイトコントロール (A4W2、A4W1、A4W0)

物理空間のエリア4に対する挿入ウェイトステート数を指定します。

ビット9	ビット8	ビット7	説明		
			挿入ウェイト ステート	WAIT 端子	
A4W2	A4W1	A4W0	挿入ウェイト ステート	WAIT 端子	
0	0	0	0	無視	
		1	1	イネーブル	
	1	0	2	イネーブル	
		1	3	イネーブル	
1	0	0	4	イネーブル	
		1	6	イネーブル	
	1	0	8	イネーブル	
		1	10	イネーブル	(初期値)

- ビット6、5：エリア3のウェイトコントロール (A3W1、A3W0)

物理空間のエリア3に対する挿入ウェイトステート数を指定します。

12. バスステートコントローラ (BSC)

[通常メモリ使用時]

ビット 6	ビット 5	説 明	
A3W1	A3W0	挿入ウェイトステート	WAIT 端子
0	0	0	無視
	1	1	イネーブル
1	0	2	イネーブル
	1	3	イネーブル

(初期値)

[SDRAM 使用時]

ビット 6	ビット 5	説 明	
A3W1	A3W0	SDRAM CAS レイテンシ	
0	0	1	
	1	1	
1	0	2	
	1	3	

(初期値)

- ビット4、3 : エリア2のウェイトコントロール (A2W1、A2W0)

物理空間のエリア 2 に対する挿入ウェイトステート数を指定します。

[通常メモリ使用時]

ビット 4	ビット 3	説 明	
A2W1	A2W0	挿入ウェイトステート	WAIT 端子
0	0	0	無視
	1	1	イネーブル
1	0	2	イネーブル
	1	3	イネーブル

(初期値)

[SDRAM 使用時]

ビット 4	ビット 3	説 明	
A2W1	A2W0	SDRAM CAS レイテンシ	
0	0	1	
	1	1	
1	0	2	
	1	3	

(初期値)

- ビット2~0 : エリア0のウェイトコントロール (A0W2、A0W1、A0W0)

物理空間のエリア 0 に対する挿入ウェイトステート数を指定します。また、バースト転送におけるバーストピッチ数を指定します。

ビット2	ビット1	ビット0	説明			
			先頭サイクル		バーストサイクル (先頭サイクルを除く)	
A0W2	A0W1	A0W0	挿入ウェイト ステート	WAIT 端子	1 データ転送あたり のステート数	WAIT 端子
0	0	0	0	無視	2	イネーブル
		1	1	イネーブル	2	イネーブル
	1	0	2	イネーブル	3	イネーブル
		1	3	イネーブル	4	イネーブル
1	0	0	4	イネーブル	4	イネーブル
		1	6	イネーブル	6	イネーブル
	1	0	8	イネーブル	8	イネーブル
		1	10(初期値)	イネーブル	10	イネーブル

12.2.5 個別メモリコントロールレジスタ (MCR)

個別メモリコントロールレジスタ (MCR) は、シンクロナス DRAM (エリア 2,3) に対する $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ のタイミングやバースト制御、アドレスマルチプレクスの指定、リフレッシュ制御を指定します。これにより、シンクロナス DRAM を外付け回路なしに直結できます。

MCR レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセットで H'0000 時は初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。TPC1~0、RCD1~0、TRWL1~0、TRAS1~0、AMX3~0 の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。RFSH、RMODE ビットに対して書き込みを行う際は、ほかのビットは変化させずに同じ値を書き込んでください。シンクロナス DRAM 使用時は、レジスタの初期設定が終了するまで、エリア 2,3 をアクセスしないでください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPC1	TPC0	RCD1	RCD0	TRWL1	TRWL0	TRAS1	TRAS0	—	AMX3	AMX2	AMX1	AMX0	RFSH	RMODE	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12. バスステートコントローラ (BSC)

- ビット15、14：RASプリチャージ期間 (TPC1、TPC0)

接続メモリとしてシンクロナス DRAM インタフェースを選択した場合、プリチャージ後、次のバンクアクティブコマンド出力までの最小サイクル数を規定します。ただし、オートリフレッシュ時の全バンクプリチャージコマンド (PALL) の発行直後の挿入サイクル数は、通常時の値より 1 サイクル引いた値となります。

ビット 15 TPC1	ビット 14 TPC0	機 能		
		通常時	プリチャージコマンド直後*	セルフリフレッシュ直後
0	0	1 サイクル (初期値)	0 サイクル (初期値)	2 サイクル (初期値)
	1	2 サイクル	1 サイクル	5 サイクル
1	0	3 サイクル	2 サイクル	8 サイクル
	1	4 サイクル	3 サイクル	11 サイクル

【注】 * オートリフレッシュ時の全バンクプリチャージ (PALL) コマンド直後

- ビット13、12：RAS-CAS遅延 (RCD1、RCD0)

接続メモリとしてシンクロナス DRAM インタフェースを選択した場合、バンクアクティブ 読み出し / 書き込みコマンド遅延時間を設定します。

ビット 13 RCD1	ビット 12 RCD0	説 明
0	0	1 サイクル (初期値)
	1	2 サイクル
1	0	3 サイクル
	1	4 サイクル

- ビット11、10：書き込み - プリチャージ遅延 (TRWL1、TRWL0)

シンクロナス DRAM の書き込み プリチャージの遅延時間を設定します。書き込みサイクル後オートプリチャージが起動されるまでの時間を指定します。書き込みサイクル後、TPC + TRWL の期間、次のバンクアクティブコマンドを発行しません。

ビット 11 TRWL1	ビット 10 TRWL0	説 明
0	0	1 サイクル (初期値)
	1	2 サイクル
1	0	3 サイクル
	1	予約 (設定しないでください)

12. バスステートコントローラ (BSC)

- ビット9、8: CASビフォアRASリフレッシュRASアサート期間 (TRAS1、TRAS0)

接続メモリとしてシンクロナス DRAM インタフェースを選択した場合、オートリフレッシュコマンド発行後、TPC + TRAS の期間バンクアクティブコマンドを発行しません。

ビット9	ビット8	説 明	
TRAS1	TRAS0		
0	0	2 サイクル	(初期値)
	1	3 サイクル	
1	0	4 サイクル	
	1	5 サイクル	

- ビット7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット6~3: アドレスマルチプレクス (AMX3、AMX2、AMX1、AMX0)

シンクロナス DRAM のアドレスマルチプレクスを指定します。詳細は、表 12.12 を参照してください。

ビット6	ビット5	ビット4	ビット3	説 明
AMX3	AMX2	AMX1	AMX0	
1	1	0	1	バス幅 16 ビット時はロウアドレスが A10 から開始し、32 ビット時はロウアドレスが A11 から開始します (ロウアドレスの出力時、A10 の値は A1 で出力されます。4M×16 ビット×4 バンク品)。
		1	0	バス幅 16 ビット時はロウアドレスが A11 から開始 (ロウアドレスの出力時、A11 の値は A1 で出力されます。8M×16 ビット×4 バンク品)。*1
0		0	0	バス幅 16 ビット時はロウアドレスが A9 から開始し、32 ビット時はロウアドレスが A10 から開始します (ロウアドレスの出力時、A9 の値は A1 で出力されます。1M×16 ビット×4 バンク品)。
			1	バス幅 16 ビット時はロウアドレスが A10 から開始し、32 ビット時はロウアドレスが A11 から開始します (ロウアドレスの出力時、A10 の値は A1 で出力されます。2M×16 ビット×4 バンク品)。
		1	0	バス幅 32 ビット時は、ロウアドレスが A11 から開始します (ロウアドレスの出力時、A11 の値は A1 で出力されます。4M×8 ビット×4 バンク)。*2
			1	バス幅 16 ビット時はロウアドレスが A9 から開始し、32 ビット時はロウアドレスが A10 から開始します (ロウアドレスの出力時、A9 の値は A1 で出力されます。512k×32 ビット×4 バンク品)。
	0	0	0	予約。AMX3~0="*1*"に設定してからシンクロナス DRAM アクセスを開始してください。 (初期値)
それ以外の値				予約 (設定不可)

【注】 *1 16 ビットバス幅使用時にのみ設定可能です。

*2 32 ビットバス幅使用時にのみ設定可能です。

12. バスステートコントローラ (BSC)

- ビット2: リフレッシュ制御 (RFSH)

リフレッシュ制御を指定します。シンクロナス DRAM に対するリフレッシュを行うかどうかを設定します。また、リフレッシュ機能を使わない場合、リフレッシュ要求周期発生用のタイマをインターバルタイマとしても使用できます。

ビット2	説明	
RFSH		
0	リフレッシュを行わない	(初期値)
1	リフレッシュを行う	

- ビット1: リフレッシュモード (RMODE)

本ビットは、RFSH ビット=1 のとき、通常のリフレッシュを行うか、セルフリフレッシュを行うかを指定します。RFSH ビット=1 かつ本ビット=0 とすると、シンクロナス DRAM に対して、CAS ビフォ RAS リフレッシュもしくはオートリフレッシュを、リフレッシュ関連レジスタ RTCNT、RTCOR および RTCSR で設定した周期で行います。外部バスサイクルを行っている最中にリフレッシュ要求が発生した場合は、バスサイクルが終了してからリフレッシュサイクルを行います。また、RFSH ビット=1 かつ本ビット=1 とすると、外部バスサイクルの実行中の場合はその終了を待ってからシンクロナス DRAM に対して、セルフリフレッシュ状態になります。なお、セルフリフレッシュ状態のメモリに対するリフレッシュ要求はすべて無視されます。

ビット1	説明	
RMODE		
0	CAS ビフォ RAS リフレッシュを行う (ただし、RFSH=1 の場合)	(初期値)
1	セルフリフレッシュを実行する (ただし、RFSH=1 の場合)	

- ビット0: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.2.6 PCMCIA コントロールレジスタ (PCR)

PCMCIA コントロールレジスタ (PCR) は、エリア 5、6 に接続する PCMCIA インタフェースに対する \overline{OE} 、 \overline{WE} 信号 (本 LSI の \overline{RD} 、 $\overline{WE1}$ 端子) のアサート/ネゲートタイミングを指定します。なお、 \overline{OE} 、 \overline{WE} 信号のアサート幅は、WCR2 レジスタのウェイトコントロールビットで設定します。

PCR レジスタは、読み出し/書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A6W3	A5W3	—	—	A5TED2	A6TED2	A5TEH2	A6TEH2	A5TED1	A5TED0	A6TED1	A6TED0	A5TEH1	A5TEH0	A6TEH1	A6TEH0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15：エリア6のウェイトコントロール (A6W3)

WCR2 の A6W2 ~ A6W0 ビットと組み合わせて、エリア 6 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。

エリア 6 を PCMCIA に設定しない場合は、本ビットは 0 に設定してください。

A6W3	A6W2	A6W1	A6W0	先頭サイクル		バーストサイクル	
				挿入ウェイトステート	WAIT 端子	1 データ転送あたりのステート数	WAIT 端子
0	0	0	0	0	無視	2	イネーブル
			1	1	イネーブル	2	イネーブル
		1	0	2	イネーブル	3	イネーブル
			1	3	イネーブル	4	イネーブル
	1	0	0	4	イネーブル	5	イネーブル
			1	6	イネーブル	7	イネーブル
		1	0	8	イネーブル	9	イネーブル
			1	10 (初期値)	イネーブル	11	イネーブル
1	0	0	0	12	イネーブル	13	イネーブル
			1	14	イネーブル	15	イネーブル
		1	0	18	イネーブル	19	イネーブル
			1	22	イネーブル	23	イネーブル
	1	0	0	26	イネーブル	27	イネーブル
			1	30	イネーブル	31	イネーブル
		1	0	34	イネーブル	35	イネーブル
			1	38	イネーブル	39	イネーブル

- ビット14：エリア5のウェイトコントロール (A5W3)

WCR2 の A5W2 ~ A5W0 ビットと組み合わせて、エリア 5 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。

エリア 5 を PCMCIA に設定しない場合は、本ビットは 0 に設定してください。

設定値とウェイト数の関係は、A6W3 と同じです。

- ビット13、12：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12. バスステートコントローラ (BSC)

- ビット11、7、6：エリア5アドレス $\overline{OE}/\overline{WE}$ アサート遅延 (A5TED2、A5TED1、A5TED0)

エリア5に接続されたPCMCIAインタフェースにおける、アドレス出力から $\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。

ビット 11	ビット 7	ビット 6	説 明
A5TED2	A5TED1	A5TED0	
0	0	0	0.5 サイクル遅延 (初期値)
		1	1.5 サイクル遅延
	1	0	2.5 サイクル遅延
		1	3.5 サイクル遅延
1	0	0	4.5 サイクル遅延
		1	5.5 サイクル遅延
	1	0	6.5 サイクル遅延
		1	7.5 サイクル遅延

- ビット10、5、4：エリア6アドレス $\overline{OE}/\overline{WE}$ アサート遅延 (A6TED2、A6TED1、A6TED0)

エリア6に接続されたPCMCIAインタフェースにおける、アドレス出力から $\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。

ビット 10	ビット 5	ビット 4	説 明
A6TED2	A6TED1	A6TED0	
0	0	0	0.5 サイクル遅延 (初期値)
		1	1.5 サイクル遅延
	1	0	2.5 サイクル遅延
		1	3.5 サイクル遅延
1	0	0	4.5 サイクル遅延
		1	5.5 サイクル遅延
	1	0	6.5 サイクル遅延
		1	7.5 サイクル遅延

12. バスステートコントローラ (BSC)

- ビット9、3、2 : エリア5 $\overline{OE}/\overline{WE}$ ネゲート アドレス遅延 (A5TEH2、A5TEH1、A5TEH0)

エリア5に接続されたPCMCIAインタフェースにおける、 $\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定します。

ビット9	ビット3	ビット2	説 明
A5TEH2	A5TEH1	A5TEH0	
0	0	0	0.5 サイクル遅延 (初期値)
		1	1.5 サイクル遅延
	1	0	2.5 サイクル遅延
		1	3.5 サイクル遅延
1	0	0	4.5 サイクル遅延
		1	5.5 サイクル遅延
	1	0	6.5 サイクル遅延
		1	7.5 サイクル遅延

- ビット8、1、0 : エリア6 $\overline{OE}/\overline{WE}$ ネゲート アドレス遅延 (A6TEH2、A6TEH1、A6TEH0)

エリア6に接続されたPCMCIAインタフェースにおける、 $\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定します。

ビット8	ビット1	ビット0	説 明
A6TEH2	A6TEH1	A6TEH0	
0	0	0	0.5 サイクル遅延 (初期値)
		1	1.5 サイクル遅延
	1	0	2.5 サイクル遅延
		1	3.5 サイクル遅延
1	0	0	4.5 サイクル遅延
		1	5.5 サイクル遅延
	1	0	6.5 サイクル遅延
		1	7.5 サイクル遅延

12.2.7 シンクロナス DRAM モードレジスタ (SDMR)

シンクロナス DRAM モードレジスタ (SDMR) は、シンクロナス DRAM のアドレスバスを介して書き込むモードレジスタで、書き込みのみ可能な仮想的な 8 ビットのレジスタです。エリア 2 およびエリア 3 のシンクロナス DRAM のモードを設定します。

SDMR レジスタに対する設定は、シンクロナス DRAM に対してアクセスを行う前に必ず行ってください。

アドレスビット	
ビット:	31 12 11 10 9 8 7 6 5 4 3 2 1 0
	SDMRのアドレス
初期値:	- - - - - - - - - - - - - - - - -
R/W:	- - W* W* W W W W W W W W W - -

【注】 * シンクロナスDRAMの種類による

シンクロナス DRAM のモードレジスタに対する書き込みは、データバスからではなくアドレスバスを用いるため、設定したい値を "X"、SDMR レジスタのアドレスを "Y" とすると、X + Y 番地に書き込みを行うことによって、値 "X" がシンクロナス DRAM のモードレジスタに書き込まれます。なお、バス幅 32 ビットの場合、本 LSI の A2 にシンクロナス DRAM の A0 が、本 LSI の A3 にシンクロナス DRAM の A1 が接続されるため、実際には "X" を右に 2 ビットシフトした値がシンクロナス DRAM に書き込まれます。バス幅 16 ビットの場合は、"X" を右に 1 ビットシフトした値が書き込まれます。

たとえば、バス幅 32 ビットの場合、エリア 2 の SDMR レジスタに H'0230 を書き込む場合は、H'FFFD000 (アドレス "Y") + H'08C0 (値 "X") (= H'FFFD8C0) 番地に任意のデータを書き込みます。この結果、SDMR レジスタに H'0230 が書き込まれます。値 "X" の範囲は H'0000 ~ H'0FFC です。

また、エリア 3 の SDMR レジスタに H'0230 を書き込む場合は、H'FFFE000 (アドレス "Y") + H'08C0 (値 "X") (= H'FFFE8C0) 番地に任意のデータを書き込みます。この結果、SDMR レジスタに H'0230 が書き込まれます。値 "X" の範囲は H'0000 ~ H'0FFC です。

12.2.8 リフレッシュタイマコントロール/ステータスレジスタ (RTCSR)

リフレッシュタイマコントロール/ステータスレジスタ (RTCSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、リフレッシュ周期、割り込み発生の有無および周期を指定します。

RTCSR は、パワーオンリセット時は H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。RTCSR の CKS2 ~ CKS0 を設定する前に RTCOR の設定を行ってください。

【注】 本レジスタは誤って書き換えられないよう書き込み方法が一般のレジスタと異なっています。ワード転送命令を使用して、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。詳しくは「12.2.12 リフレッシュコントロール関連レジスタアクセス時の注意」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMF	CMIE	CKS2	CKS1	CKS0	OVF	OVIE	LMTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15~8: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット7: コンペアマッチフラグ (CMF)

リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。

ビット7	説明
CMF	
0	RTCNT と RTCOR の値が一致していない (初期値) [クリア条件] CMF に 0 を書き込んだ場合、および RFSH = 1 & RMODE = 0 (CBR リフレッシュを行う) という設定で、リフレッシュを行った場合
1	RTCNT と RTCOR の値が一致した [セット条件] RTCNT = RTCOR の場合*

【注】 * 1 を書き込むと、元の値が保持されます。

- ビット6: コンペアマッチインタラプトイネーブル (CMIE)

RTCSR の CMF が 1 にセットされたとき、割り込み要求を発生するか抑止するかを制御します。CAS ビフォ RAS リフレッシュ、もしくはオートリフレッシュを行っている場合は、本ビットを 1 にしないでください。

ビット6	説明
CMIE	
0	CMF による割り込み要求を禁止 (初期値)
1	CMF による割り込み要求を許可

12. バスステートコントローラ (BSC)

- ビット5～3: クロックセレクトビット (CKS2～CKS0)

RTCNT への入力クロックを選択します。元となるクロックは外部バスクロック (CKIO) です。この CKIO を指定した比率で分周したものが、RTCNT のカウントクロックとなります。以下に分周比を示します。

CKS2～CKS0 を設定する場合、先に RTCOR の設定を行ってください。

ビット5	ビット4	ビット3	説 明
CKS2	CKS1	CKS0	通常の外部バスクロック
0	0	0	クロック入力禁止 (初期値)
		1	バスクロック (CKIO) /4
	1	0	CKIO/16
		1	CKIO/64
1	0	0	CKIO/256
		1	CKIO/1024
	1	0	CKIO/2048
		1	CKIO/4096

- ビット2: リフレッシュカウントオーバーフローフラグ (OVF)

リフレッシュカウントレジスタ (RFCR) で示されるリフレッシュ要求回数が、RTCSR の LMTS で示される回数を超えたことを示すステータスフラグです。

ビット2	説 明
OVF	
0	LMTS で示すカウントリミット値を、RFCR がオーバーフローしていない [クリア条件] OVF に 0 を書き込んだとき (初期値)
1	LMTS で示すカウントリミット値を、RFCR がオーバーフローした [セット条件] LMTS で示すカウントリミット値を、RFCR がオーバーフローしたとき*

【注】 * 1 を書き込むと、元の値が保持されます。

- ビット1: リフレッシュカウントオーバーフローインタラプトイネーブル (OVIE)

RTCSR の OVF が 1 にセットされたときに、OVF による割り込み要求を発生させるか抑止するかを制御します。

ビット1	説 明
OVIE	
0	OVF による割り込み要求を禁止 (初期値)
1	OVF による割り込み要求を許可

- ビット0: リフレッシュカウントオーバーフローリミットセレクト (LMTS)

リフレッシュカウンタレジスタ (RFCR) で示されるリフレッシュ回数と比較するカウントリミット値を示します。RFCR レジスタがこの LMTS で指定される値をオーバーフローすると OVF フラグがセットされます。

ビット0	説明	
LMTS		
0	カウントリミット値を 1024 とする	(初期値)
1	カウントリミット値を 512 とする	

12.2.9 リフレッシュタイマカウンタ (RTCNT)

リフレッシュタイマカウンタ (RTCNT) は入力したクロックによりカウントアップします。入力クロックは RTCSR レジスタの CKS2 ~ CKS0 ビットで選択します。RTCNT カウンタが RTCOR レジスタと一致すると、RTCSR レジスタの CMF ビットをセットした後、RTCNT カウンタはクリアされます。

RTCNT カウンタは、読み出し / 書き込み可能な 8 ビットのカウンタです。パワーオンリセット時は H'00 に初期化されます。マニュアルリセット時はカウントアップを続けます。スタンバイモード時は、初期化せずに、内容保持されます。

【注】 本レジスタは誤って書き換えられないよう書き込み方法が一般のレジスタと異なります。ワード転送命令を使用して、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。詳しくは「12.2.12 リフレッシュコントロール関連レジスタアクセス時の注意」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.2.10 リフレッシュタイムコンスタントレジスタ (RTCOR)

リフレッシュタイムコンスタントレジスタ (RTCOR) は、RTCNT カウンタの上限値を指定するレジスタです。RTCOR レジスタと RTCNT カウンタの値 (下位 8 ビット) は常に比較され、一致すると RTCSR レジスタの CMF ビットをセットして、RTCNT カウンタを 0 にクリアします。個別メモリコントロールレジスタのリフレッシュビット (RFSH) が 1 にセットされており、かつリフレッシュモードが CAS ビフォア RAS に設定されていると、この CMF ビットがセットされたときにメモリリフレッシュサイクルが発生します。

RTCOR レジスタは、読み出し / 書き込み可能なレジスタです。パワーオンリセット時は H'00 に初期化されます。マニュアルリセットおよびスタンバイモード時は、初期化せずに、内容保持されます。RTCSR の CKS2 ~ CKS0 を設定する前に RTCOR の設定を行ってください。

【注】 本レジスタは誤って書き換えられないよう書き込み方法が一般のレジスタと異なります。ワード転送命令を使用して、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。詳しくは「12.2.12 リフレッシュコントロール関連レジスタアクセス時の注意」を参照してください。

12. バスステートコントローラ (BSC)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	[16-bit register box]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.2.11 リフレッシュカウントレジスタ (RFCR)

リフレッシュカウントレジスタ (RFCR) はリフレッシュ回数をカウントします。RTCOR レジスタと RTCNT カウンタの値が一致するたびにカウントアップします。RFCR レジスタが RTCSR レジスタの LMTS ビットで指定したカウントリミット値を超えると、RTCSR レジスタの OVF フラグをセットして、RFCR レジスタはクリアされます。

RFCR レジスタは、読み出し / 書き込み可能な 10 ビットのカウンタです。パワーオンリセット時は H'0000 に初期化されます。マニュアルリセット時はカウントアップを続けます。スタンバイモード時は、初期化せずに、内容保持されます。

【注】 本レジスタは誤って書き換えられないよう書き込み方法が一般のレジスタと異なります。ワード転送命令を使用して、上位バイトの MSB から 6 ビットを B'101001 にし、残りを書き込みデータにしてください。詳しくは「12.2.12 リフレッシュコントロール関連レジスタアクセス時の注意」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	[16-bit register box]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.2.12 リフレッシュコントロール関連レジスタアクセス時の注意

リフレッシュタイムコントロール / ステータスレジスタ (RTCSR)、リフレッシュタイムカウンタ (RTCNT)、リフレッシュタイムコンスタントレジスタ (RTCOR)、リフレッシュカウントレジスタ (RFCR) は、プログラムが暴走したときなどに誤って書き換えられることがないように、書き込み時に特定のコードをデータに付加するようになっています。次の方法で、書き込み / 読み出しを行ってください。

(1) RTCSR、RTCNT、RTCOR、RFCR への書き込み

RTCSR、RTCNT、RTCOR、RFCR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

図 12.4 に示すように、RTCSR、RTCNT、RTCOR に書き込むときは、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。RFCR に書き込むときは、上位バイトの MSB から 6 ビットを B'101001 にし、残りを書き込みデータにしてください。

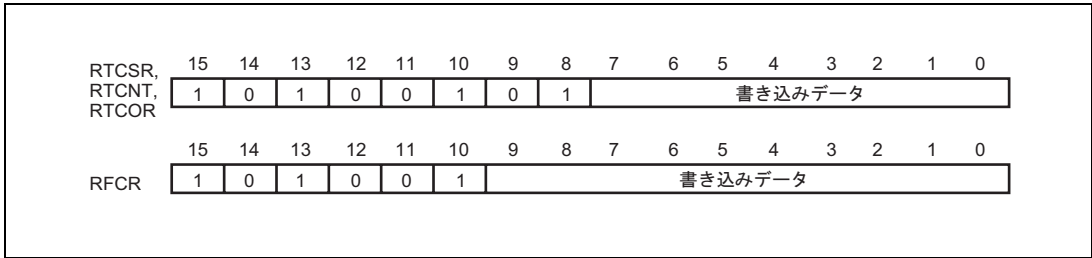


図 12.4 RTCSR、RTCNT、RTCOR、RFCR への書き込み

(2) RTCSR、RTCNT、RTCOR、RFCR からの読み出し

RTCSR、RTCNT、RTCOR、RFCR からの読み出しは、16 ビットで行ってください。定義されていないビット部分は 0 が読み出されます。

12.3 動作説明

12.3.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部ピン (MD5 ピン) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット幅の 3 種類から選べ、シンクロナス DRAM は 16 ビット、32 ビット幅の 2 種類から選べます。また、PCMCIA インタフェースの場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには 4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 12.6 ~ 表 12.11 に示します。

表 12.6 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイトアクセス	データ 7~0				アサート			
1 番地バイトアクセス		データ 7~0				アサート		
2 番地バイトアクセス			データ 7~0				アサート	
3 番地バイトアクセス				データ 7~0				アサート
0 番地ワードアクセス	データ 15~8	データ 7~0			アサート	アサート		
2 番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート
0 番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 12.7 16ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL
0番地バイトアクセス				データ 7~0			アサート		
1番地バイトアクセス					データ 7~0			アサート	
2番地バイトアクセス				データ 7~0			アサート		
3番地バイトアクセス					データ 7~0			アサート	
0番地ワードアクセス				データ 15~8	データ 7~0			アサート アサート	
2番地ワードアクセス				データ 15~8	データ 7~0			アサート アサート	
0番地 ロング ワード アクセス	1回目 (0番地)			データ 31~24	データ 23~16			アサート アサート	
	2回目 (2番地)			データ 15~8	データ 7~0			アサート アサート	

12. バスステートコントローラ (BSC)

表 12.8 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL
0番地バイトアクセス					データ 7~0				アサート
1番地バイトアクセス					データ 7~0				アサート
2番地バイトアクセス					データ 7~0				アサート
3番地バイトアクセス					データ 7~0				アサート
0番地 ワード アクセス	1回目 (0番地)				データ 15~8				アサート
	2回目 (1番地)				データ 7~0				アサート
2番地 ワード アクセス	1回目 (2番地)				データ 15~8				アサート
	2回目 (3番地)				データ 7~0				アサート
0番地 ロング ワード アクセス	1回目 (0番地)				データ 31~24				アサート
	2回目 (1番地)				データ 23~16				アサート
	3回目 (2番地)				データ 15~8				アサート
	4回目 (3番地)				データ 7~0				アサート

表 12.9 32 ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイトアクセス				データ 7~0				アサート
1 番地バイトアクセス			データ 7~0				アサート	
2 番地バイトアクセス		データ 7~0				アサート		
3 番地バイトアクセス	データ 7~0				アサート			
0 番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート
2 番地ワードアクセス	データ 15~8	データ 7~0			アサート	アサート		
0 番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

12. バスステートコントローラ (BSC)

表 12.10 16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストローク信号			
		D31~24	D23~16	D15~8	D7~0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイトアクセス				データ 7~0				アサート	
1 番地バイトアクセス			データ 7~0				アサート		
2 番地バイトアクセス				データ 7~0				アサート	
3 番地バイトアクセス			データ 7~0				アサート		
0 番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート	
2 番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート	
0 番地 ロング ワード アクセス	1 回目 (0 番地)		データ 15~8	データ 7~0			アサート	アサート	
	2 回目 (2 番地)		データ 31~24	データ 23~16			アサート	アサート	

表 12.11 8ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0番地バイトアクセス					データ 7~0				アサート
1番地バイトアクセス					データ 7~0				アサート
2番地バイトアクセス					データ 7~0				アサート
3番地バイトアクセス					データ 7~0				アサート
0番地 ワード アクセス	1回目 (0番地)				データ 7~0				アサート
	2回目 (1番地)				データ 15~8				アサート
2番地 ワード アクセス	1回目 (2番地)				データ 7~0				アサート
	2回目 (3番地)				データ 15~8				アサート
0番地 ロング ワード アクセス	1回目 (0番地)				データ 7~0				アサート
	2回目 (1番地)				データ 15~8				アサート
	3回目 (2番地)				データ 23~16				アサート
	4回目 (3番地)				データ 31~24				アサート

12.3.2 エリアの説明

(1) エリア 0

エリア 0 は、物理アドレスの A28 ~ A26 が 000 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $H'00000000 + H'20000000 \times n \sim H'03FFFFFF + H'20000000 \times n$ ($n=0 \sim 6$, $n=1 \sim 6$ はシャドウ空間) となります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリと、バースト機能を持ったバースト ROM です。

バス幅は、外部ピンの MD3、MD4 によりパワーオンリセット時に、8 ビット、16 ビット、32 ビットから選べます。

エリア 0 の空間をアクセスすると $\overline{CS0}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2 レジスタの A0W2 ~ A0W0 ビットによってウェイト数を 0 ~ 10 から選択できます。また、外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 10 の範囲で決まります。

(2) エリア 1

エリア 1 は、物理アドレスの A28 ~ A26 が 001 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $H'04000000 + H'20000000 \times n \sim H'07FFFFFF + H'20000000 \times n$ ($n=0 \sim 6$, $n=1 \sim 6$ はシャドウ空間) となります。

エリア 1 は、内蔵周辺モジュール用の特殊エリアで、外部メモリを接続することはできません。

以下に示す内蔵周辺モジュールの制御レジスタはエリア 1 に割り付けられています。

—DMAC、PORT、SCIF、ADC、DAC、LCDC、PCC、SIOF、AFEIF、USBF、USBH、INTC (INTEVT、IPRA、IPRB を除く)

これらの制御レジスタのアドレスは物理アドレスであり、MMU がイネーブルのとき、論理アドレスからマッピング可能です。ただし、これらの制御レジスタがキャッシングされないようにソフトウェアで制御してください。

(3) エリア 2

エリア 2 は、物理アドレスの A28 ~ A26 が 010 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $H'08000000 + H'20000000 \times n \sim H'0BFFFFFF + H'20000000 \times n$ ($n=0 \sim 6$, $n=1 \sim 6$ はシャドウ空間) となります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリおよびシンクロナス DRAM です。

バス幅は、通常メモリを接続する場合、BCR2 レジスタの A2SZ1 ~ A2SZ0 により 8 ビット、16 ビット、32 ビットから選べます。

エリア 2 の空間をアクセスすると $\overline{CS2}$ 信号がアサートされます。

通常メモリを接続している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2 レジスタの A2W1 ~ A2W0 ビットによってウェイト数を 0 ~ 3 から選択できます。通

常メモリを接続している場合に限り、外部ウェイト端子 ($\overline{\text{WAIT}}$) により、バスサイクルごとに任意のウェイトを挿入することができます。

シンクロナス DRAM を接続している場合、 $\overline{\text{RAS}}$ 信号や $\overline{\text{CAS}}$ 信号、 $\text{RD}/\overline{\text{WR}}$ 信号、バイト制御の DQM_{HH} 、 DQM_{HL} 、 DQML_{H} 、 DQML_{L} がアサートされ、アドレスマルチプレクスが行われます。 $\overline{\text{RAS}}$ や $\overline{\text{CAS}}$ 、データのタイミング制御やアドレスマルチプレクス制御は、MCR レジスタによって設定できます。

(4) エリア 3

エリア 3 は、物理アドレスの A28 ~ A26 が 011 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $\text{H}'0\text{C}000000 + \text{H}'20000000 \times n \sim \text{H}'0\text{F}\text{F}\text{F}\text{F}\text{F}\text{F} + \text{H}'20000000 \times n$ ($n=0 \sim 6$ 、 $n=1 \sim 6$ はシャドウ空間) となります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリおよびシンクロナス DRAM です。

バス幅は、通常メモリを接続する場合、BCR2 レジスタの A3SZ1 ~ A3SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。

エリア 3 の空間をアクセスすると $\overline{\text{CS}}_3$ 信号がアサートされます。

通常メモリを接続している場合、 $\overline{\text{OE}}$ として使用できる $\overline{\text{RD}}$ 信号や書き込み制御の $\overline{\text{WE}}_0 \sim \overline{\text{WE}}_3$ がアサートされます。

バスサイクル数は、WCR2 レジスタの A3W1 ~ A3W0 ビットによってウェイト数を 0 ~ 3 から選択できます。通常メモリを接続している場合に限り、外部ウェイト端子 ($\overline{\text{WAIT}}$) によりバスサイクルごとに任意のウェイトを挿入することができます。

シンクロナス DRAM を接続している場合、 $\overline{\text{RAS}}$ 信号や $\overline{\text{CAS}}$ 信号、 $\text{RD}/\overline{\text{WR}}$ 信号、バイト制御の DQM_{HH} 、 DQM_{HL} 、 DQML_{H} 、 DQML_{L} がアサートされ、アドレスマルチプレクスが行われます。

(5) エリア 4

エリア 4 は、物理アドレスの A28 ~ A26 が 100 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $\text{H}'10000000 + \text{H}'20000000 \times n \sim \text{H}'13\text{F}\text{F}\text{F}\text{F}\text{F}\text{F} + \text{H}'20000000 \times n$ ($n=0 \sim 6$ 、 $n=1 \sim 6$ はシャドウ空間) となります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリのみです。

バス幅は、BCR2 レジスタの A4SZ1 ~ A4SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。

エリア 4 の空間をアクセスすると $\overline{\text{CS}}_4$ 信号がアサートされます。また、 $\overline{\text{OE}}$ として使用できる $\overline{\text{RD}}$ 信号や書き込み制御の $\overline{\text{WE}}_0 \sim \overline{\text{WE}}_3$ がアサートされます。

バスサイクル数は、WCR2 の A4W2 ~ A4W0 ビットによってウェイト数を 0 ~ 10 から選択できます。また外部ウェイト端子 ($\overline{\text{WAIT}}$) により、バスサイクルごとに任意のウェイトを挿入することができます。

(6) エリア 5

エリア 5 は、物理アドレスの A28 ~ A26 が 101 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $\text{H}'14000000 + \text{H}'20000000 \times n \sim \text{H}'17\text{F}\text{F}\text{F}\text{F}\text{F}\text{F} + \text{H}'20000000 \times n$ ($n=0 \sim 6$ 、 $n=1 \sim 6$ はシャドウ空間) の 64MB となります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリと、バースト機能を持ったバースト ROM および PCMCIA インタフェースです。ただし、PCMCIA インタフェースを使用する場合は、IC メモリカードインタ

12. バスステートコントローラ (BSC)

フェースとして、アドレス範囲は $H'14000000 + H'20000000 \times n \sim H'15FFFFFF + H'20000000 \times n$ ($n=0 \sim 6$, $n=1 \sim 6$ はシャドウ空間) の 32MB、I/O カードインタフェースとして、アドレス範囲は $H'16000000 + H'20000000 \times n \sim H'17FFFFFF + H'20000000 \times n$ ($n=0 \sim 6$, $n=1 \sim 6$ はシャドウ空間) の 32MB となります。

バス幅は、通常メモリおよびバースト ROM を接続する場合、BCR2 レジスタの A5SZ1 ~ A5SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。また、PCMCIA インタフェースを接続する場合、BCR2 レジスタの A5SZ1 ~ A5SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。

通常メモリを接続している場合、エリア 5 の空間をアクセスすると $\overline{CS5}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。PCMCIA インタフェースを接続している場合、 $\overline{CE1A}$ 、 $\overline{CE2A}$ 信号や \overline{OE} として使用できる \overline{RD} 信号、 \overline{WE} 、 \overline{ICIORD} 、 \overline{ICIOWR} 信号がアサートされます。

バスサイクル数は、WCR2 レジスタの A5W2 ~ A5W0 ビットによってウェイト数を 0 ~ 10 から選択できます。PCMCIA インタフェースの場合は、WCR2 レジスタの A5W2 ~ A5W0 および、PCR レジスタの A5W3 によってウェイト数を 0 ~ 38 から選択できます。また外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 11 (PCMCIA インタフェースの場合は 2 ~ 39) の範囲で決まります。また、リード/ライトストロープ信号に対してアドレス $\overline{CS5}$ のセットアップ、ホールド時間を PCR レジスタの A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 によって、0.5 ~ 7.5 サイクルの範囲で設定できます (1 サイクル単位)。

(7) エリア 6

エリア 6 は、物理アドレスの A28 ~ A26 が 110 のエリアです。アドレスの A31 ~ A29 は無視され、アドレスの範囲は $H'18000000 + H'20000000 \times n \sim H'1BFFFFFF + H'20000000 \times n$ ($n=0 \sim 6$, $n=1 \sim 6$ はシャドウ空間) の 64MB となります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリと、バースト機能を持ったバースト ROM および PCMCIA インタフェースです。ただし、PCMCIA インタフェースを使用する場合は、IC メモリカードインタフェースとして、アドレス範囲は $H'18000000 + H'20000000 \times n \sim H'19FFFFFF + H'20000000 \times n$ ($n=0 \sim 6$, $n=1 \sim 6$ はシャドウ空間) の 32MB、I/O カードインタフェースとして、アドレス範囲は $H'1A000000 + H'20000000 \times n \sim H'1BFFFFFF + H'20000000 \times n$ ($n=0 \sim 6$, $n=1 \sim 6$ はシャドウ空間) の 32MB となります。

バス幅は、通常メモリおよびバースト ROM を接続する場合、BCR2 レジスタの A6SZ1 ~ A6SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。また、PCMCIA インタフェースを接続する場合、BCR2 レジスタの A6SZ1 ~ A6SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。

通常メモリを接続している場合、エリア 6 の空間をアクセスすると $\overline{CS6}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。PCMCIA インタフェースを接続している場合、 $\overline{CE1B}$ 、 $\overline{CE2B}$ 信号や \overline{OE} として使用できる \overline{RD} 信号、 \overline{WE} 、 \overline{ICIORD} 、 \overline{ICIOWR} 信号がアサートされます。

バスサイクル数は、WCR2 レジスタの A6W2 ~ A6W0 ビットによってウェイト数を 0 ~ 10 から選択できます。PCMCIA インタフェースの場合は、WCR2 レジスタの A6W2 ~ A6W0 および、PCR レジスタの A6W3 によってウェイト数を 0 ~ 38 から選択できます。また外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイト

トを挿入することができます。また、バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2~11 (PCMCIA インタフェースの場合は 2~39) の範囲で決まります。また、リード/ライト ストロープ信号に対してアドレス/ $\overline{CS6}$ のセットアップ、ホールド時間を PCR レジスタの A6TED2~A6TED0、A6TEH2~A6TEH0 によって、0.5~7.5 サイクルの範囲で設定できます (1 サイクル単位)。

12.3.3 基本インタフェース

(1) 基本タイミング

本 LSI の基本インタフェースは、主に SRAM の直結を考慮してストロープ信号を出力します。図 12.5 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表すため、1 サイクルアサートされます。 \overline{CSn} 信号はネゲート期間を確保するために、T2 のクロック立ち下がり でネゲートされます。したがって最小ピッチでアクセスする場合にも、半サイクルのネゲート期間が生まれます。

アクセスサイズは読み出し時は指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出すこととなります。書き込み時には書き込みを行うバイトの \overline{WE} 信号のみがアサートされます。詳細は「12.3.1 エンディアン/アクセスサイズとデータアライメント」の項を参照してください。

キャッシュフィル/コピーバックのための読み出し/書き込みは設定したバス幅に従い、合計 16 バイトを連続して行います。この途中ではバス権を解放しません。バイトまたはワードオランダアクセス時および奇数ワード境界への分岐時のキャッシュミスに関しても、チップ外部インタフェース上は必ずロングワードアクセスでアクセスを行います。ライトスルー領域の書き込み、およびキャッシュ非対象領域の読み出し/書き込みに関しては、実際のアクセスサイズに従ってアクセスを行います。

12. バスステートコントローラ (BSC)

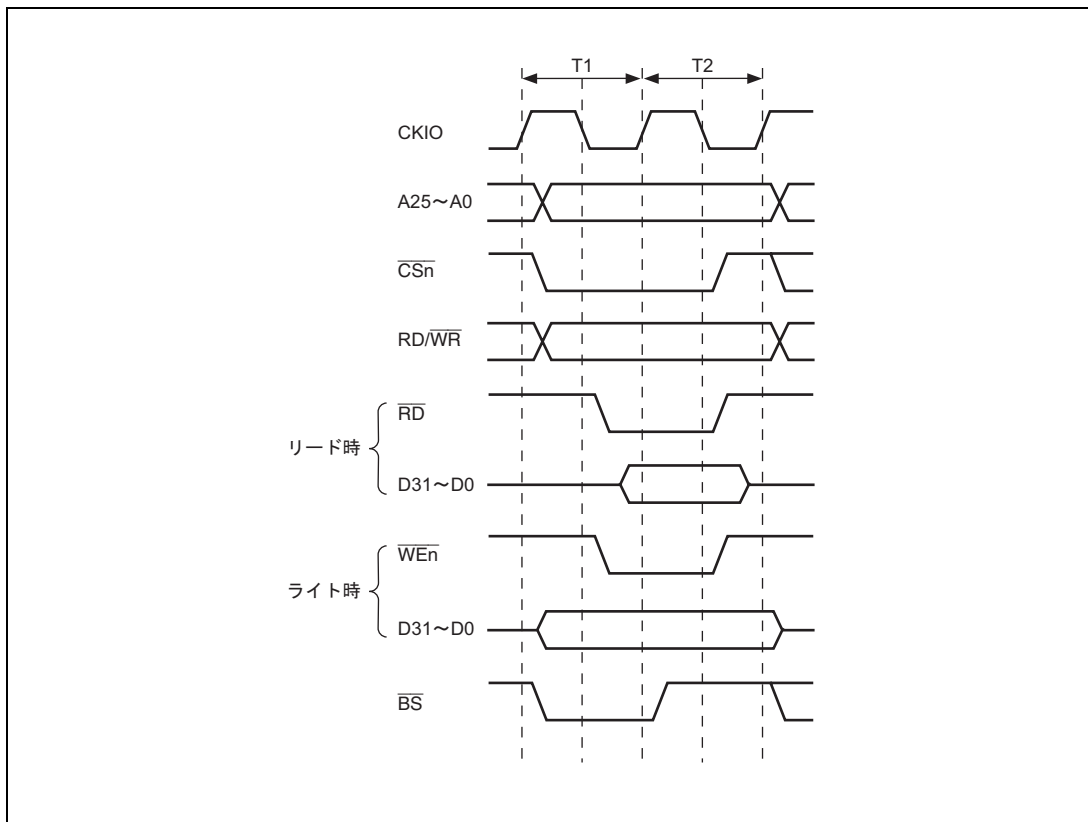


図 12.5 基本インタフェースの基本タイミング

図 12.6 に 32 ビットデータ幅の SRAM との接続例を、図 12.7 に 16 ビットデータ幅の SRAM との接続例を、図 12.8 に 8 ビットデータ幅の SRAM との接続例を示します。

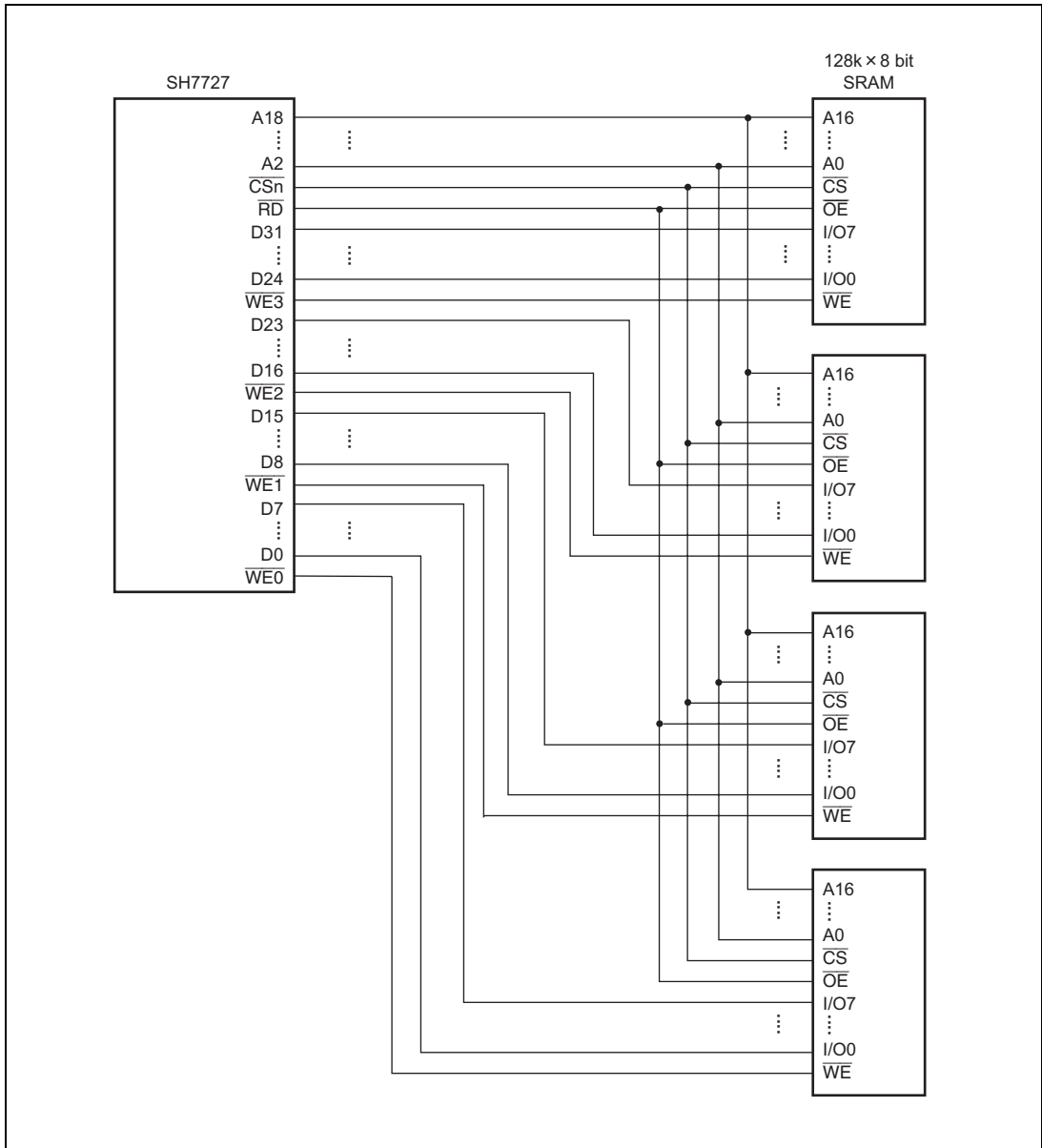


図 12.6 32 ビットデータ幅 SRAM 接続例

12. バスステートコントローラ (BSC)

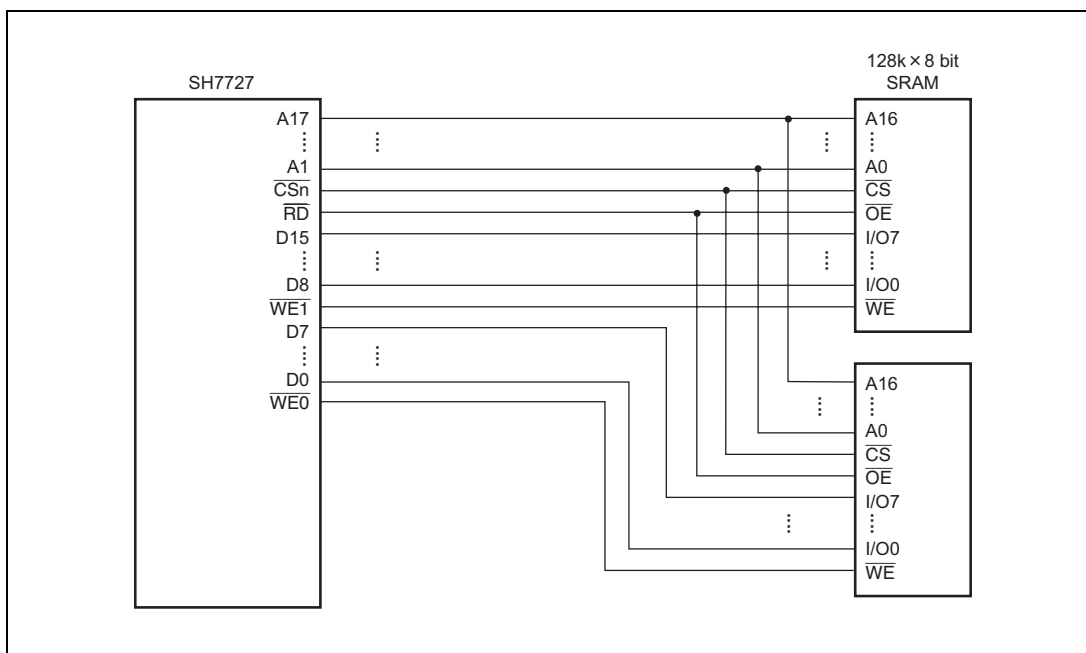


図 12.7 16 ビットデータ幅 SRAM 接続例

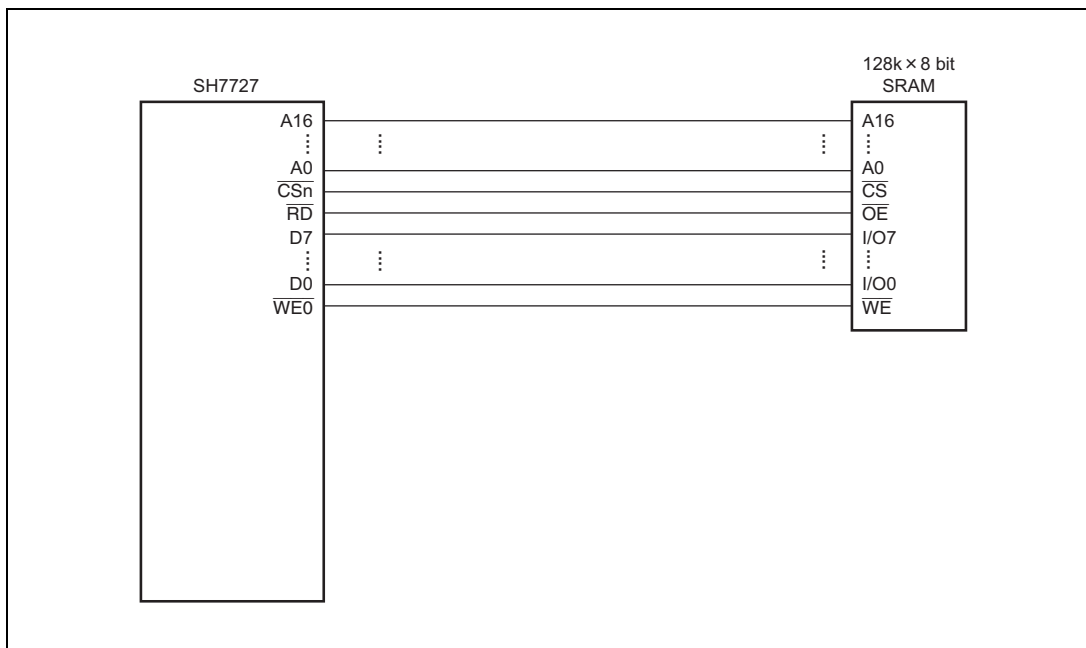


図 12.8 8 ビットデータ幅 SRAM 接続例

(2) ウェイトステート制御

WCR2 の設定により、基本インタフェースのウェイトステートの挿入を制御できます。WCR2 の各エリアに対応するウェイト指定ビットが 0 以外のときは、このウェイト指定に従ったソフトウェアウェイトが挿入されます。詳細は「12.2.4 ウェイトコントロールレジスタ 2 (WCR2)」を参照してください。

WCR2 によって、図 12.9 に示す基本インタフェースのウェイトタイミングで、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

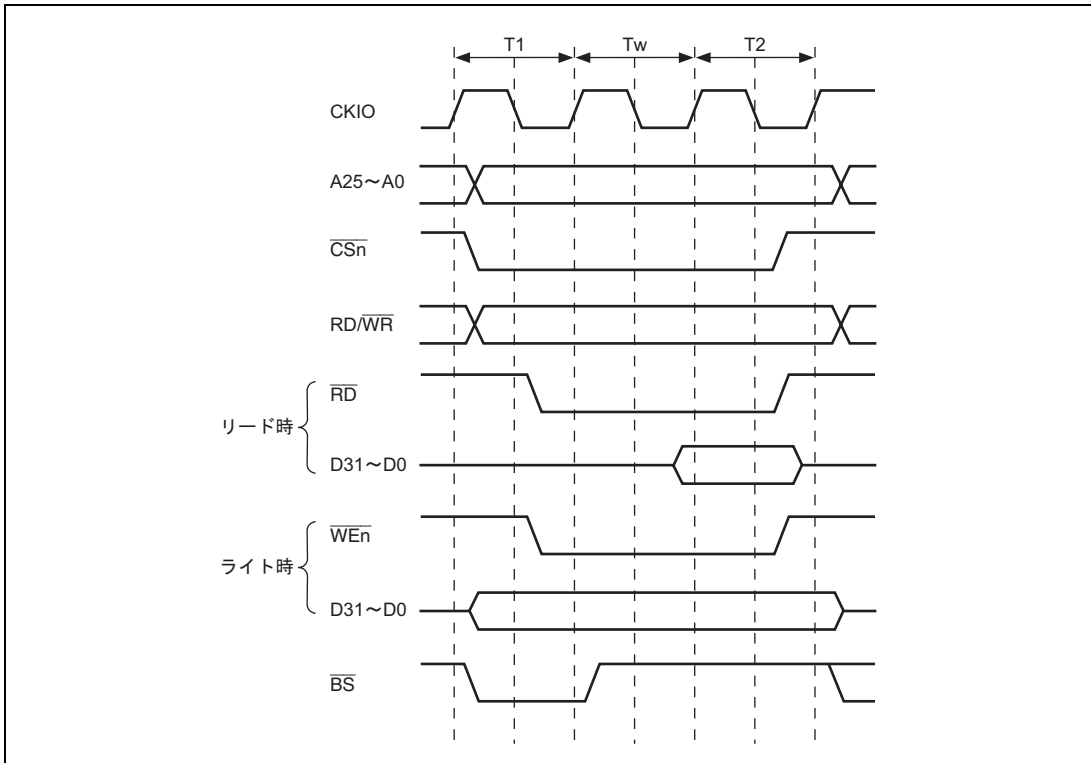


図 12.9 基本インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)

WCR2 によってソフトウェアによるウェイトを指定したときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 端子にローレベルを入力する場合は、WCR1 の WAITSEL ビットを 1 に設定してください。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 12.10 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。サンプリングは T_w ステートから T_2 ステートに移行する際に行われるので、 T_1 のサイクルおよび 1 回目の T_w サイクルで $\overline{\text{WAIT}}$ 信号をアサートしても、何ら影響を与えません。

$\overline{\text{WAIT}}$ 信号はクロックの立ち下がりでサンプリングされます。

クロックの立ち上がりエッジに対するセットアップ / ホールドが満たされない場合、次の立ち上がりエッジでサンプリングした値が使われます。

ただし、次の 3 つの場合は $\overline{\text{WAIT}}$ 信号は無視されます。

12. バスステートコントローラ (BSC)

- DMA16バイト転送、デュアルアドレスモード、外部アドレス空間へのライト時
- DMA16バイト転送、デュアルアドレスモード、DACK付き外部デバイスから外部アドレス空間への転送時
- キャッシュのライトバックアクセス時

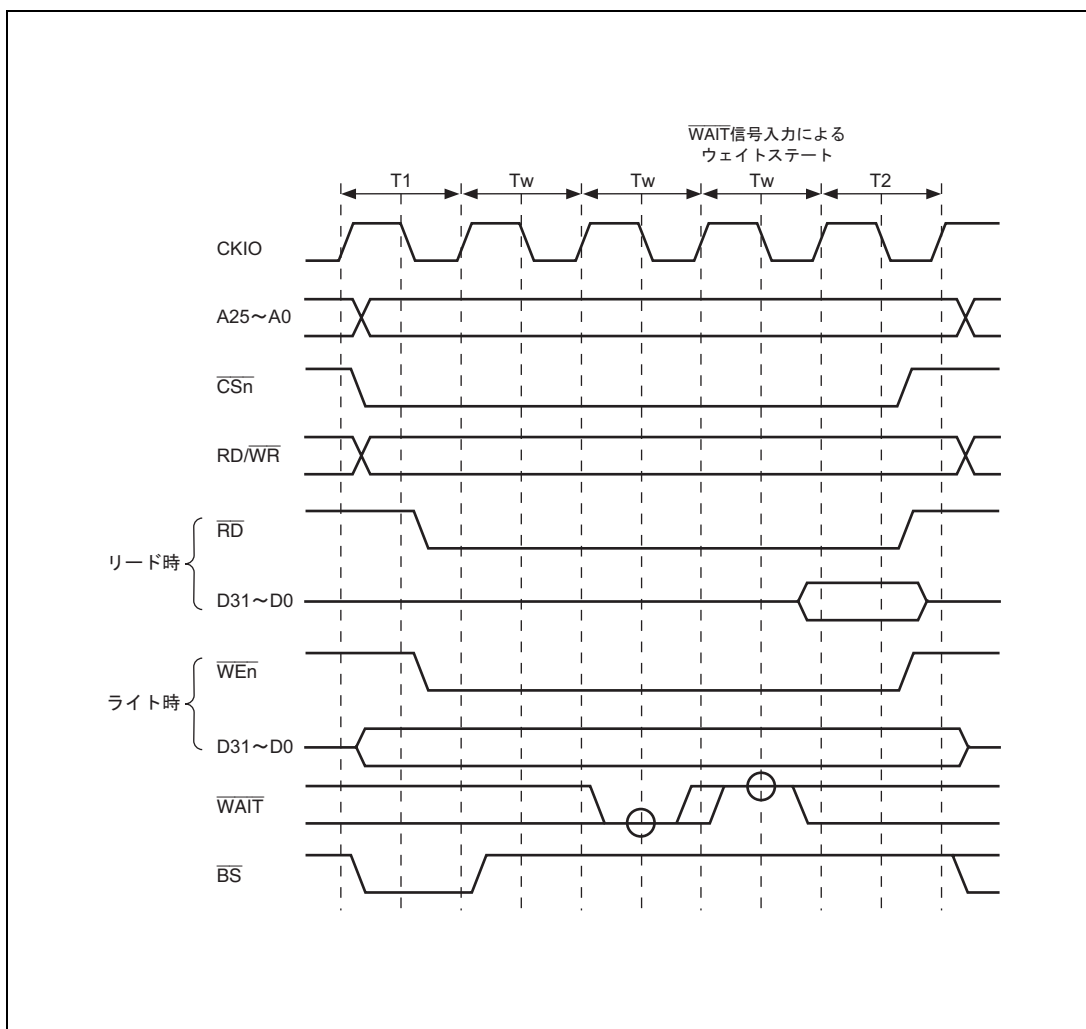


図 12.10 基本インターフェースのウェイトステートタイミング
(WAIT 信号によるウェイトステート挿入 WAITSEL=1)

12.3.4 シンクロナス DRAM インタフェース

(1) シンクロナス DRAM 直結方式

シンクロナス DRAM は \overline{CS} 信号によって選択できるため、 \overline{RAS} などの制御信号を共通に使用して物理空間のエリア 2 とエリア 3 に接続が可能です。BCR1 メモリタイプビット (DRAMTP2~0) を 010 に設定すると、エリア 2 が通常メモリ空間、エリア 3 がシンクロナス DRAM 空間になり、011 に設定するとエリア 2、エリア 3 がともにシンクロナス DRAM 空間となります。

本 LSI ではシンクロナス DRAM の動作モードとして、バースト長 1 のバーストリード/シングルライトのモードをサポートしています。データバス幅は 16 ビットまたは 32 ビットを選択できます。キャッシュのフィル/コピーバックサイクルでは 16 バイトのバースト転送が行われ、ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し・書き込みでは 1 回のみアクセスが行われます。

シンクロナス DRAM を直結するための制御信号は \overline{RAS} 、 \overline{CAS} 、 $\overline{RD/\overline{WR}}$ 、 $\overline{CS2}$ または $\overline{CS3}$ 、DQMUU、DQMUL、DQMLU、DQMLL および CKE 信号です。 $\overline{CS2}$ または $\overline{CS3}$ を除く信号は各エリア共通であり、CKE を除く信号は $\overline{CS2}$ または $\overline{CS3}$ がアサートされたときのみ有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができます。CKE はセルフリフレッシュを行うときのみネゲート (L レベルに) され、それ以外は常にアサート (H レベルに) されています。

\overline{RAS} 、 \overline{CAS} 、 $\overline{RD/\overline{WR}}$ および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストロープ・バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。

バイトの指定は DQMUU、DQMUL、DQMLU、DQMLL によって行われます。該当する DQM が L のバイトに対して読み出し書き込みが行われます。ピクエンディアンモードの場合、DQMUU は $4n$ 番地のアクセスを、DQMLL は $4n+3$ 番地のアクセスを指定します。またリトルエンディアンモードの場合、DQMUU は $4n+3$ 番地のアクセスを、DQMLL は $4n$ 番地のアクセスを指定します。

図 12.11 に $1M \times 16$ ビット $\times 4$ バンクのシンクロナス DRAM を 2 個接続する場合の例を、また図 12.12 に $1M \times 16$ ビット $\times 4$ バンクのシンクロナス DRAM を 1 個接続する場合の例を示します。

シンクロナス DRAM に入力可能なクロック信号は CKIO または CKIO2 信号です。複数のシンクロナス DRAM を使用する場合は、CKIO または CKIO2 信号のどちらか片方のみを用い、また過負荷による信号の多大な遅延を防ぐために、負荷容量が 50pF 以下になるようにボード設計を行ってください。同時に、シンクロナス DRAM に対するクロック配線はチェーン状配線を避け、等長配線を心がけてください。

CKIO 端子は、CKIO2 端子よりも強いドライブ能力を持っています。CKIO 端子は重い負荷容量をドライブすることに適していますが、EMI ノイズ、反射などは CKIO2 端子の方が、より適しています。それらの程度については、相対的であるため、本製品では規定しません。

12. バスステートコントローラ (BSC)

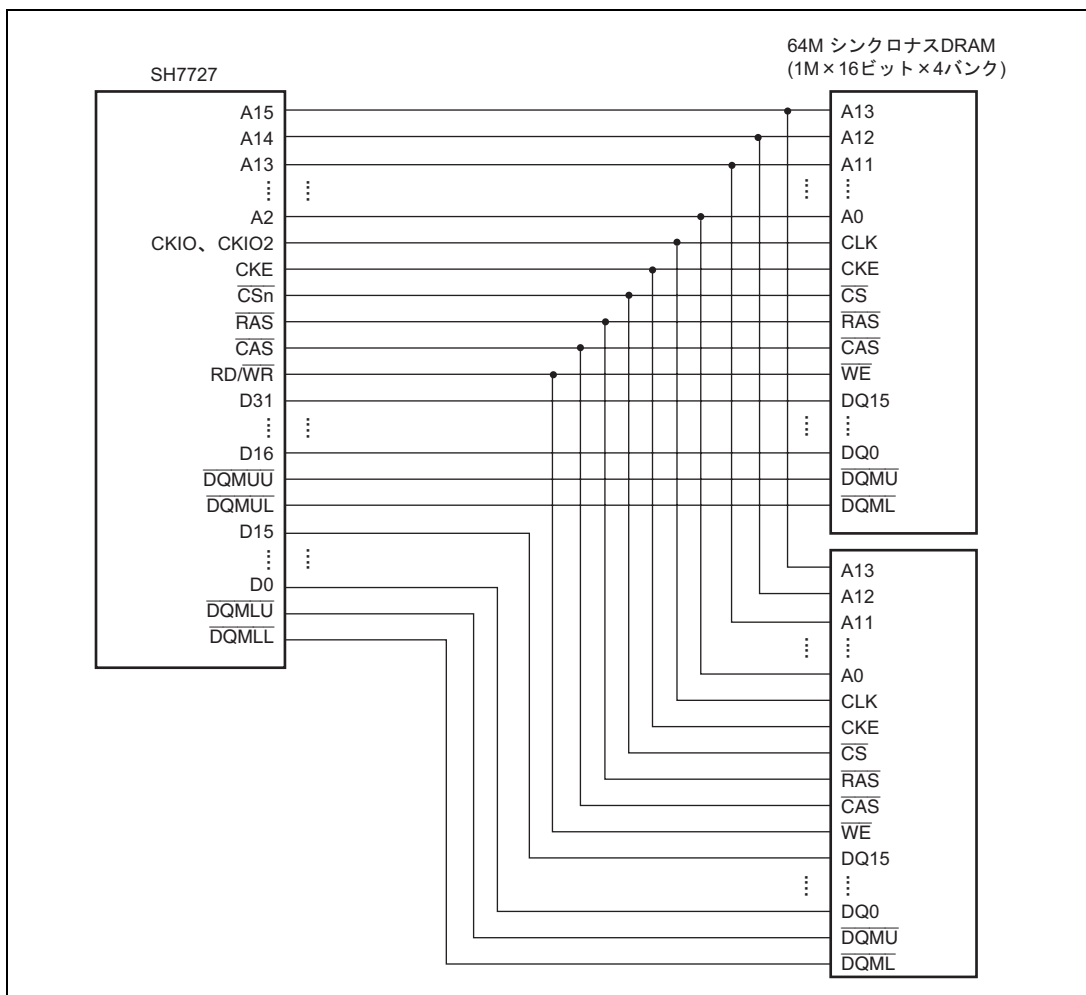


図 12.11 64M ビットシンクロナス DRAM 接続例 (32 ビットバス幅)

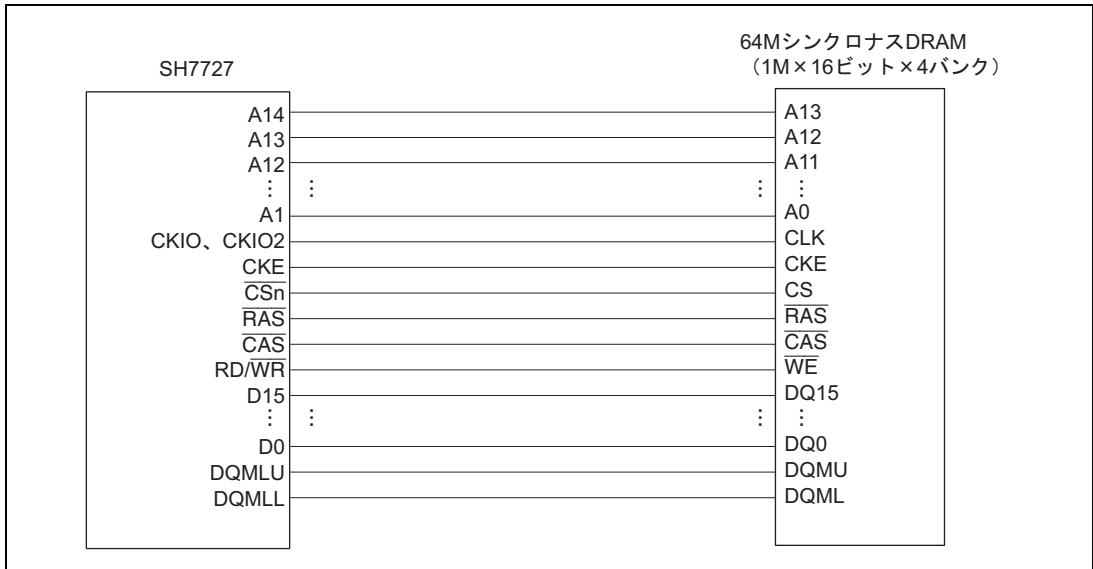


図 12.12 64M ビットシンクロナス DRAM 接続例 (バス幅 16 ビット)

12. バスステートコントローラ (BSC)

(2) アドレスマルチプレクス

MCR のアドレスマルチプレクス指定 AMX3 ~ AMX0 に従って、外付けのマルチプレクス回路なしにシンクロナス DRAM に接続できるように、アドレスのマルチプレクスを行います。表 12.12 にマルチプレクスの指定ビットとアドレス端子に出力されるビットの関係を示し、表 12.13 にシンクロナス DRAM のアドレス端子対応例を示します。

A25 ~ A17 と A0 はマルチプレクスを行わず常に本来の値が出力されています。

シンクロナス DRAM のアドレス端子の LSB である A0 は本 LSI に接続する場合ロングワードアドレスの指定を行います。したがって、32 ビットバス幅の場合は、シンクロナス DRAM の A0 を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。16 ビットバス幅の場合は、シンクロナス DRAM の A0 を本 LSI の A1 端子に接続し、次に A1 端子を A2 端子に接続してください。

表 12.12 バス幅、AMX とアドレスマルチプレクス出力の関係

バス幅	メモリアイプ		設定				出カタイミグ	外部アドレス端子								
			AMX3	AMX2	AMX1	AMX0		A1~A8	A9	A10	A11	A12	A13	A14	A15	A16
32bit	256Mbit	4M × 16bit × 4bank*	1	1	0	1	カラムアドレス	A1~A8	A9	A10	A11	L/H	A13	A23	A24	A25
							ロウアドレス	A10~A17	A18	A19	A20	A21	A22	A23	A24	A25
	128Mbit	1M × 32bit × 4bank*	0	1	0	0	カラムアドレス	A1~A8	A9	A10	A11	L/H	A13	A22	A23	A16
							ロウアドレス	A9~A16	A17	A18	A19	A20	A21	A22	A23	A16
		2M × 16bit × 4bank	0	1	0	1	カラムアドレス	A1~A8	A9	A10	A11	L/H	A13	A23	A24	A16
							ロウアドレス	A10~A17	A18	A19	A20	A21	A22	A23	A24	A16
	4M × 8bit × 4bank*	0	1	1	0	カラムアドレス	A1~A8	A9	A10	A11	L/H	A13	A24	A25	A16	
						ロウアドレス	A11~A18	A19	A20	A21	A22	A23	A24	A25	A16	
		1M × 16bit × 4bank	0	1	0	0	カラムアドレス	A1~A8	A9	A10	A11	L/H	A13	A22	A23	A16
							ロウアドレス	A9~A16	A17	A18	A19	A20	A21	A22	A23	A16
	2M × 8bit × 4bank	0	1	0	1	カラムアドレス	A1~A8	A9	A10	A11	L/H	A13	A23	A24	A16	
						ロウアドレス	A10~A17	A18	A19	A20	A21	A22	A23	A24	A16	
4M × 4bit × 4bank*		0	1	1	0	カラムアドレス	A1~A8	A9	A10	A11	L/H	A13	A24	A25	A16	
						ロウアドレス	A11~A18	A19	A20	A21	A22	A23	A24	A25	A16	
512K × 32bit × 4bank	0	1	1	1	カラムアドレス	A1~A8	A9	A10	A11	L/H	A13	A21	A22	A15	A16	
					ロウアドレス	A9~A16	A17	A18	A19	A20	A21	A22	A23	A16		
	8M × 16bit × 4bank*	1	1	1	0	カラムアドレス	A1~A8	A9	A10	L/H	A12	A13	A24	A25	A16	
						ロウアドレス	A11~A18	A19	A20	A21	A22	A23	A24	A25	A16	
16bit	512Mbit	4M × 16bit × 4bank	1	1	0	1	カラムアドレス	A1~A8	A9	A10	L/H	A12	A22	A23	A24	A16
							ロウアドレス	A10~A17	A18	A19	A20	A21	A22	A23	A24	A16
	256Mbit	4M × 16bit × 4bank	1	1	0	1	カラムアドレス	A1~A8	A9	A10	L/H	A12	A23	A24	A25	A16
							ロウアドレス	A10~A17	A18	A19	A20	A21	A22	A23	A24	A16
		8M × 8bit × 4bank*	1	1	1	0	カラムアドレス	A1~A8	A9	A10	L/H	A12	A23	A24	A25	A16
							ロウアドレス	A11~A18	A19	A20	A21	A22	A23	A24	A25	A16
	128Mbit	2M × 16bit × 4bank	0	1	0	1	カラムアドレス	A1~A8	A9	A10	L/H	A12	A22	A23	A24	A16
							ロウアドレス	A10~A17	A18	A19	A20	A21	A22	A23	A24	A16
		1M × 16bit × 4bank	0	1	0	0	カラムアドレス	A1~A8	A9	A10	L/H	A12	A21	A22	A15	A16
							ロウアドレス	A9~A16	A17	A18	A19	A20	A21	A22	A23	A16
	2M × 8bit × 4bank	0	1	0	1	カラムアドレス	A1~A8	A9	A10	L/H	A12	A22	A23	A15	A16	
						ロウアドレス	A10~A17	A18	A19	A20	A21	A22	A23	A24	A16	

【注】 * L/Hは、コマンド指定に使われるビットであり、アクセスのモードによってLまたはHに固定されます。
 : バンクアドレス指定

表 12.13 シンクロナス DRAM のアドレス端子対応例 (AMX (3-0) = 0100 バス幅 32 ビット)

SH7727 の			SDRAM の	
アドレス端子	RAS サイクル	CAS サイクル	アドレス端子	機能
A16	A24	A16	A14	アドレス
A15	A23	A23	A13	BANK セレクトバンクアドレス
A14	A22	A22	A12	
A13	A21	A13	A11	
A12	A20	L/H	A10	アドレスプリチャージ設定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1	未使用	
A0	A0	A0	未使用	

(3) パーストリード

パーストリード時のタイミングチャートを図 12.13 に示します。以下の例では 2M×8 ビットのシンクロナス DRAM を 4 個接続し、データ幅 32 ビットで使用した場合を想定しており、パースト長は 1 となっています。ACTV コマンド出力を行う Tr サイクルに続いて、READ コマンドを Tc1、Tc2、Tc3 サイクルに、READA コマンドを Tc4 サイクルに発行し、Td1 から Td4 のサイクルに外部コマンドクロック (CKIO) の立ち上がりでリードデータを受け取ります。Tpc はシンクロナス DRAM 内部で READA コマンドに基づくオートプリチャージが完了するのを待つサイクルであり、この間は同一バンクに対して新たなアクセスコマンドの発行は行えません。ただし、別のエリアのシンクロナス DRAM に対するアクセスは可能です。本 LSI では MCR の TPC ビットの指定によって Tpc のサイクル数を決定し、この間同一シンクロナス DRAM に対するコマンド発行を行いません。

より低速なシンクロナス DRAM を接続するため、WCR2 および MCR のビットを設定することによって、サイクルを延ばすことができます。ACTV コマンド出力サイクル Tr から READ コマンド出力サイクル Tc1 までのサイクル数は、MCR の RCD ビットによって指定することができ、0~3 のときそれぞれ 1~4 サイクルとなります。2 サイクル以上の場合、Tr サイクルと Tc サイクルの間にシンクロナス DRAM に対する NOP コマンド発行サイクル Trw が挿入されます。READ および READA コマンド出力サイクル Tc1~Tc4 から最初のリードデータ取り込みサイクル Td1 までのサイクル数は、WCR2 の A2W1、A2W0 および A3W1、A3W0 によって、1 サイクルから 3 サイクルまでエリア 2、エリア 3 それぞれ独立に指定することができます。このサイクル数はシンクロナス DRAM の

12. バスステートコントローラ (BSC)

CAS レイテンシサイクル数に相当します。

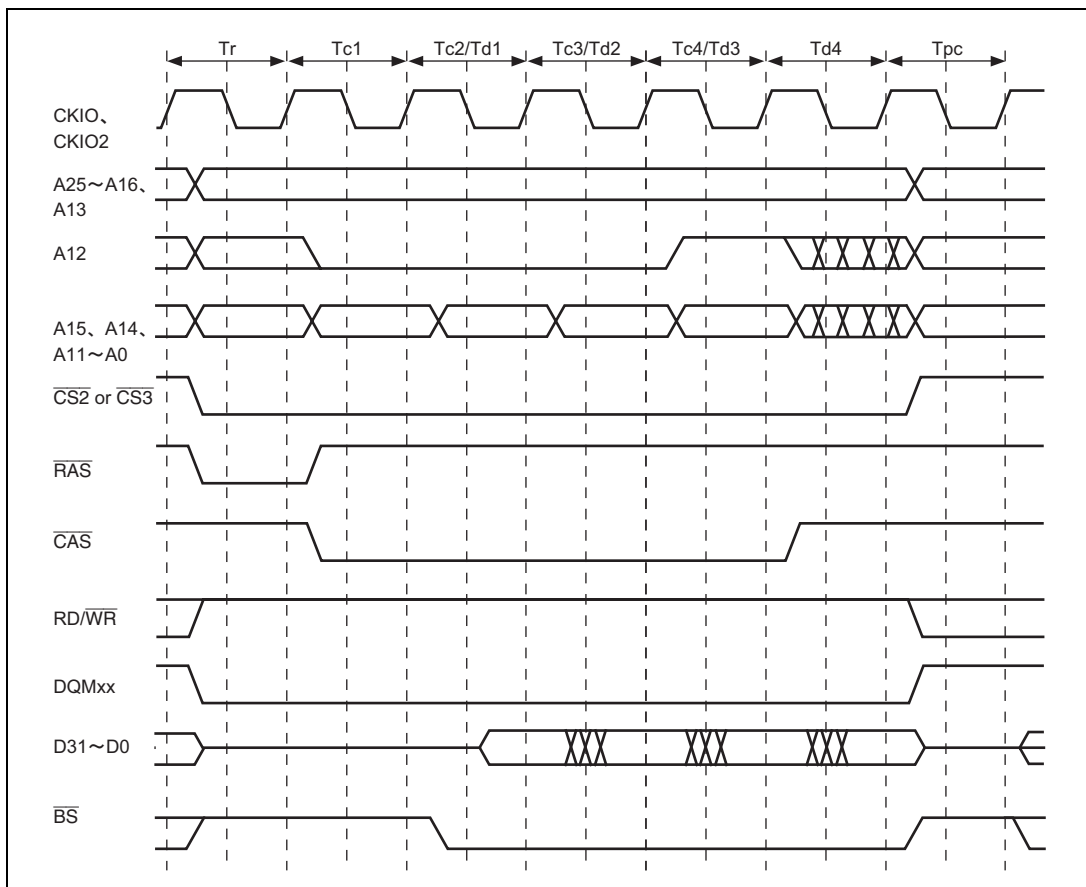


図 12.13 シンクロナス DRAM バーストリード基本タイミング

RCD を 1 に、A3W1、A3W0 を 10 に、TPC を 1 に設定したときのバーストリードのタイミングを図 12.14 に示します。

通常空間アクセスではバスサイクル開始時に 1 サイクルアサートする \overline{BS} 信号を、シンクロナス DRAM サイクルでは、Td1 ~ Td4 の各サイクルでアサートしています。バーストリードを行っているときには、アドレスは \overline{CAS} アサートごとに更新されます。バースト転送の単位は 16 バイトなので、アドレスの更新は A3、A2 のみに対して行われます。アクセスの順は、キャッシュミス時のフィル動作では最初にミスしたデータが読み込まれ、そのあとミスしたデータを含む 16 バイトバウンダリのデータをラップアラウンドに読み込みます。

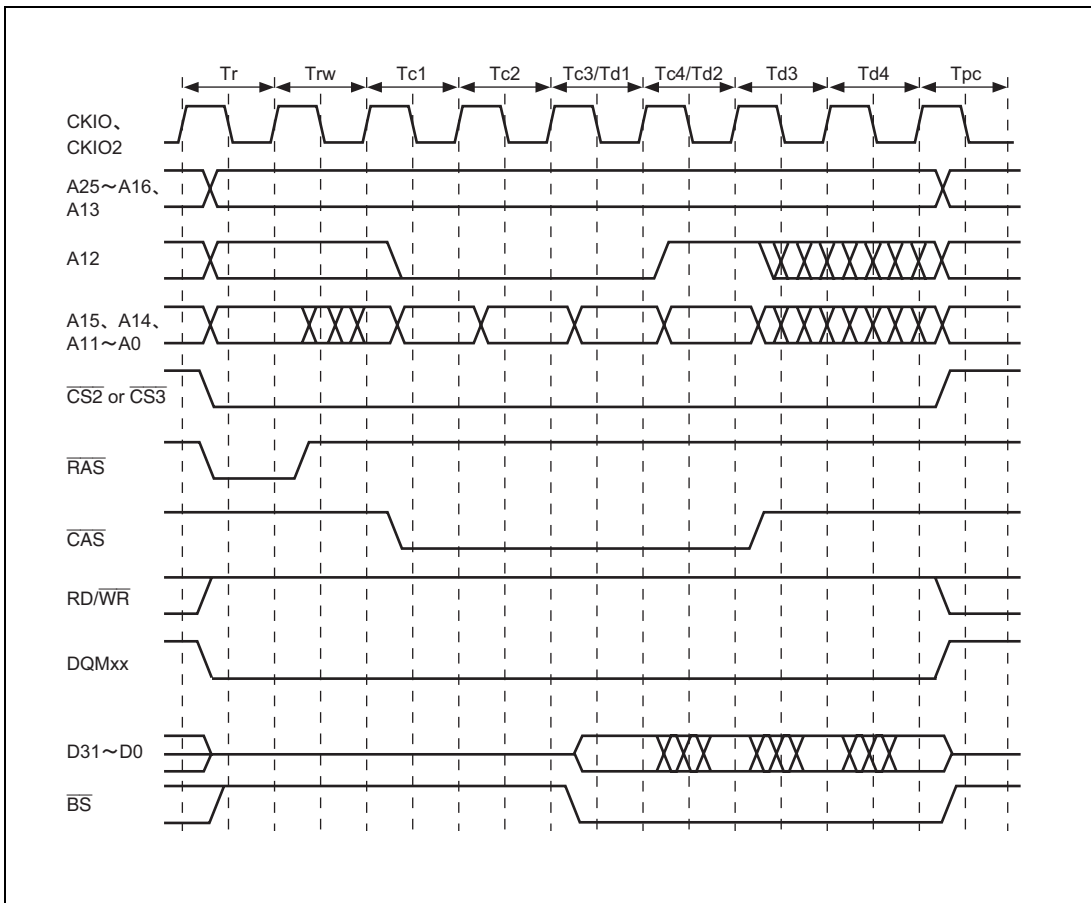


図 12.14 シンクロナス DRAM バーストリードウェイト指定タイミング

12. バスステートコントローラ (BSC)

(4) シングルリード

図 12.15 に単一アドレスのリードを行う場合のタイミングを示します。シンクロナス DRAM は、バーストリード/シングルライトのモードでバースト長を 1 に設定しているため、必要なデータのみ出力します。このため、キャッシュスルー領域をアクセスしても無駄なバスサイクルは発生しません。

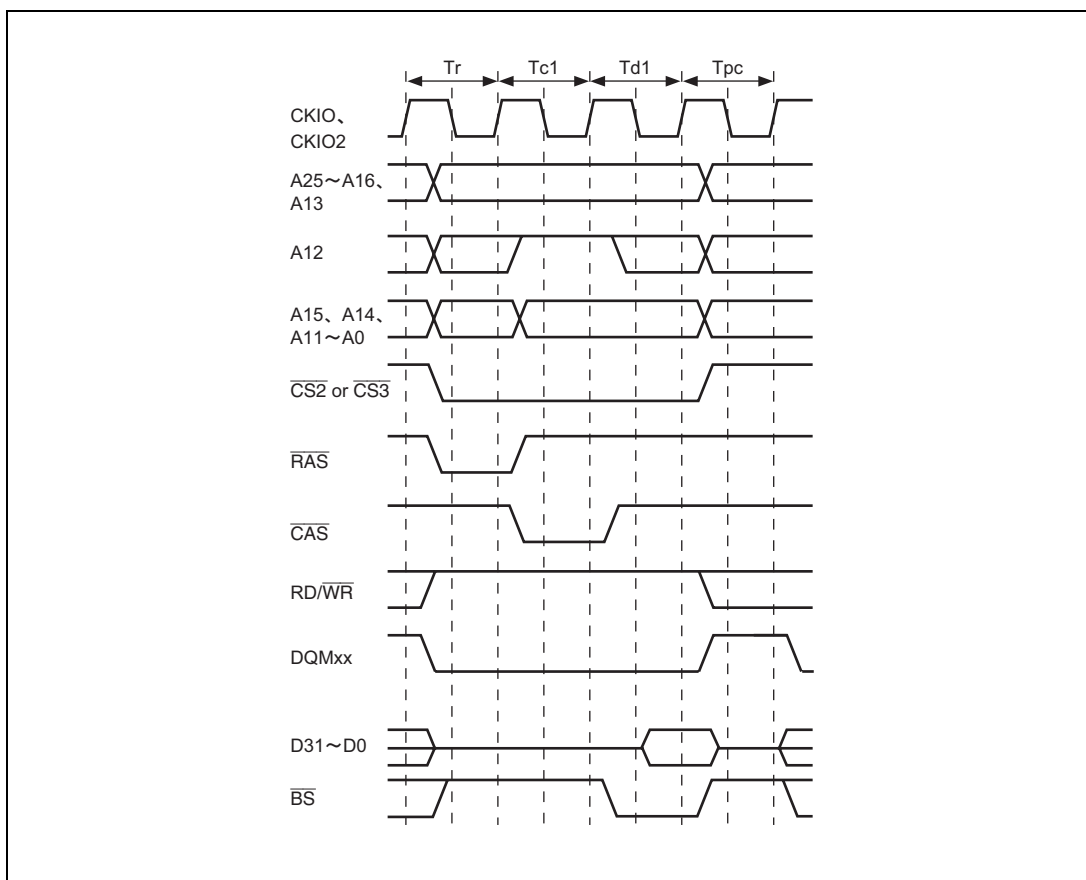


図 12.15 シンクロナス DRAM シングルリード基本タイミング

(5) パーストライト

パーストライト時のタイミングチャートを図 12.16 に示します。本 LSI でパーストライトが発生するのはキャッシュのライトバックが発生した場合のみです。パーストライトの動作は ACTV コマンド出力を行う T_r サイクルに続いて、WRIT コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、オートプリチャージを行う WRITA コマンドを T_{c4} サイクルに発行します。ライトサイクルではライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンドの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後、当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。このため、リードアクセス時のプリチャージ待ちサイクル T_{pc} に加えライトコマンド後、プリチャージが起動されるまでの時間を待つ T_{rwl} サイクルが加わり、この間同一のバンクに対する新たなコマンドの発行を遅らせます。 T_{rwl} サイクルのサイクル数は MCR の TRWL ビットによって指定可能です。

12. バスステートコントローラ (BSC)

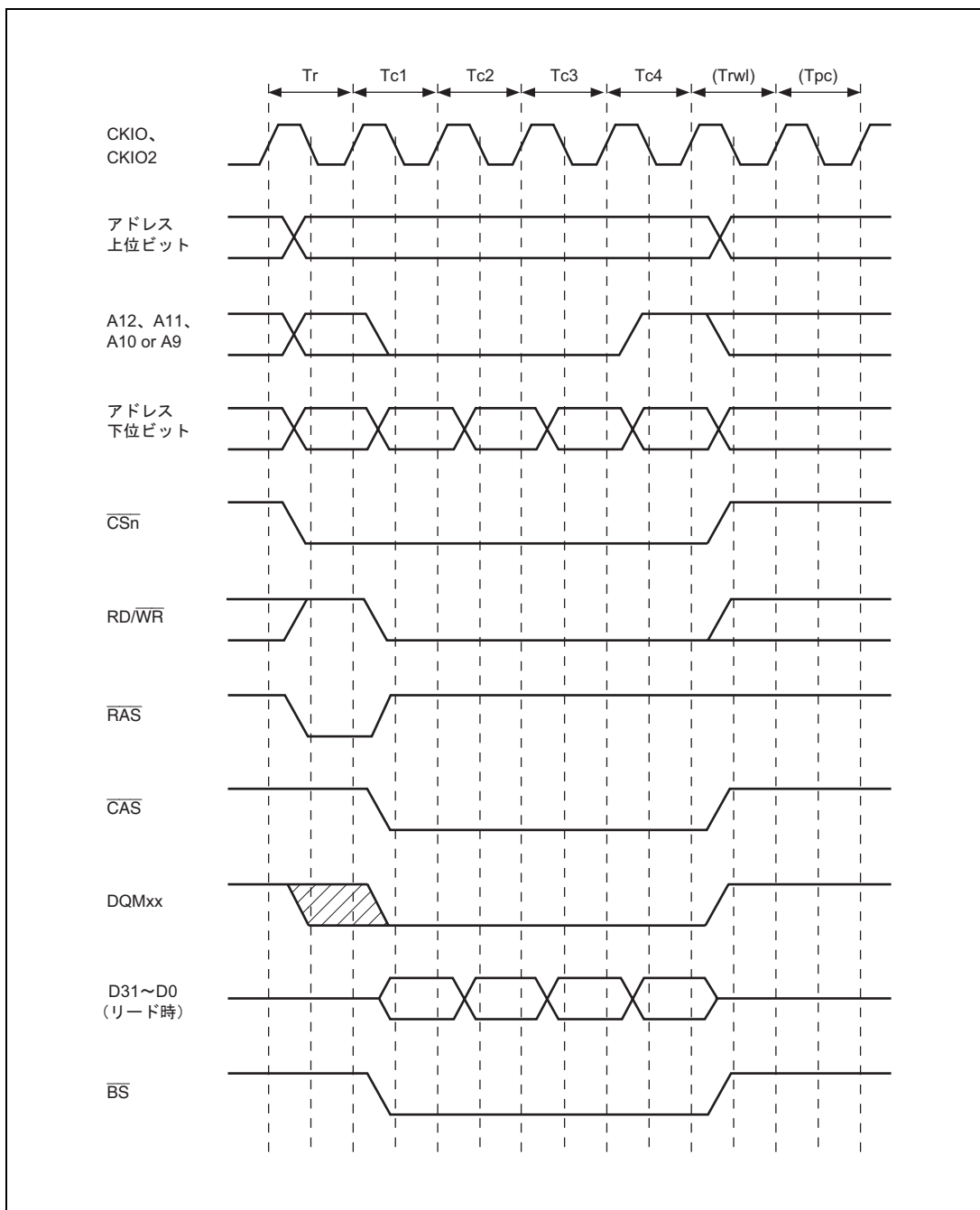


図 12.16 シンクロナス DRAM バーストライト基本タイミング

(6) シングルライト

ライトアクセスの基本タイミングチャートを図 12.17 に示します。シングルライトの動作は、ACTV コマンドを行う T_r サイクルに続いて、オートプリチャージを行う WRITA コマンドを T_{c1} で発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。

このため、リードアクセス時のプリチャージ待ちサイクル T_{pc} に加えライトコマンド後、プリチャージが起動されるまでの時間を待つ T_{rwl} サイクルが加わり、この間同一のバンクに対する新たなコマンドの発行を遅らせます。 T_{rwl} サイクルのサイクル数は MCR の TRWL ビットによって指定可能です。

12. バスステートコントローラ (BSC)

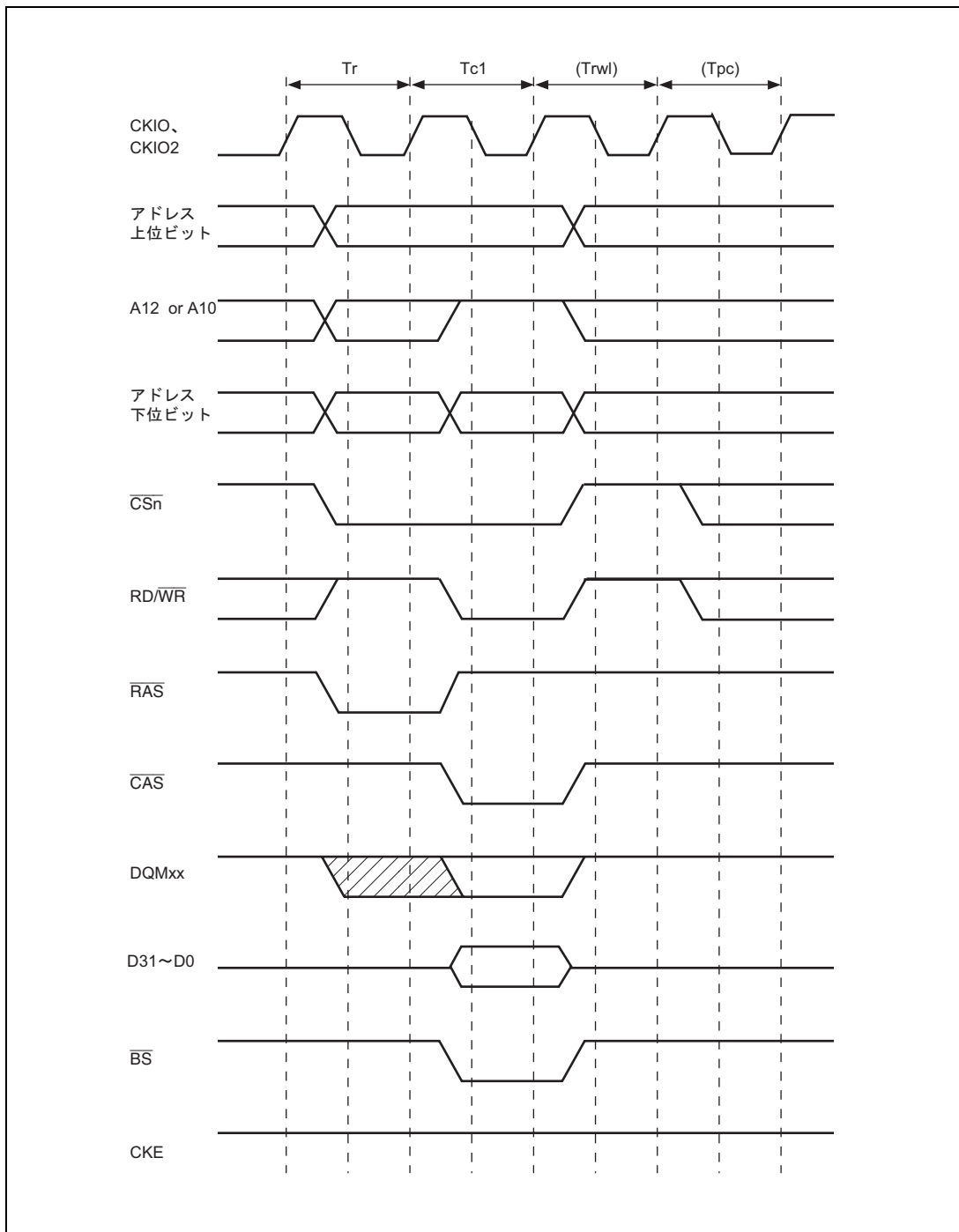


図 12.17 シンクロナス DRAM シングルライト基本タイミング

(7) リフレッシュ

バスステートコントローラはシンクロナス DRAM のリフレッシュを制御する機能を備えています。MCR の RMODE ビットを 0 に、RFSH ビットを 1 にセットすることによって、オートリフレッシュを行わせることができます。また、長時間シンクロナス DRAM にアクセスしないときには、RMODE ビットと RFSH ビットをともに 1 にすることによって、データ保持のための消費電力が少ないセルフリフレッシュモードを起動させることができます。

(a) オートリフレッシュ

RTCSR の CKS2 ~ CKS0 ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔でリフレッシュが行われます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2 ~ CKS0 ビットの値を設定してください。最初に RTCOR、RTCNT と MCR の RMODE ビットおよび RFSH ビットの設定を行い、最後に CKS2 ~ CKS0 の設定を行ってください。CKS2 ~ CKS0 によってクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、オートリフレッシュが行われます。同時に RTCNT はゼロクリアされ、カウントアップが再開されます。図 12.19 にオートリフレッシュサイクルのタイミングを示します。

まず、 T_p サイクルに全バンクプリチャージを行い、続いて MCR の TPC で設定した期間の後 REF コマンドを TR_r サイクルに発行します。 TR_r サイクル後 MCR の TRAS で指定されるサイクル数 + MCR の TPC で指定されるサイクル数の間、新たなコマンドの出力は行いません。シンクロナス DRAM のリフレッシュサイクル時間の規定 (アクティブ・アクティブコマンド遅延時間) を満たすように TRAS および TPC を設定する必要があります。

オートリフレッシュは、通常動作時、スリープモード時およびマニュアルリセット時に行われます。

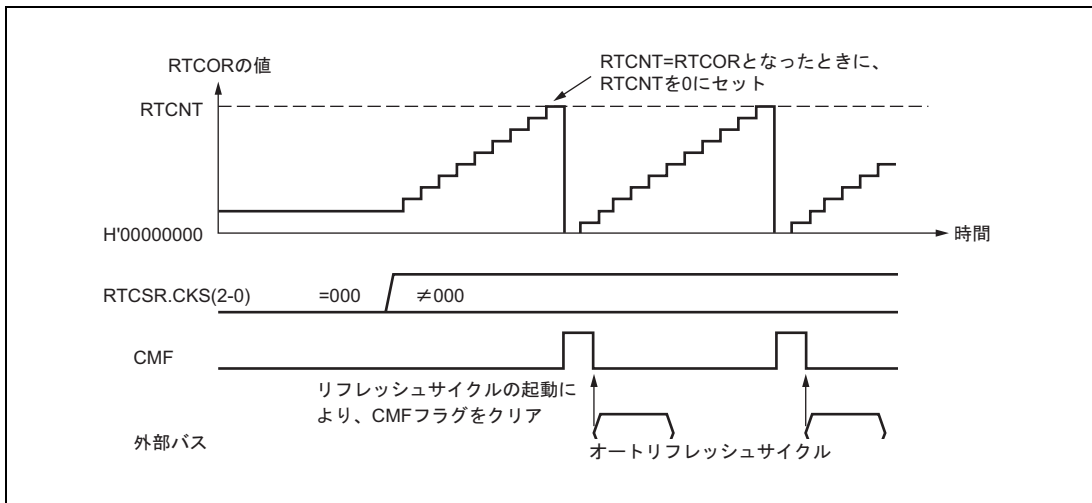


図 12.18 オートリフレッシュの動作

12. バスステートコントローラ (BSC)

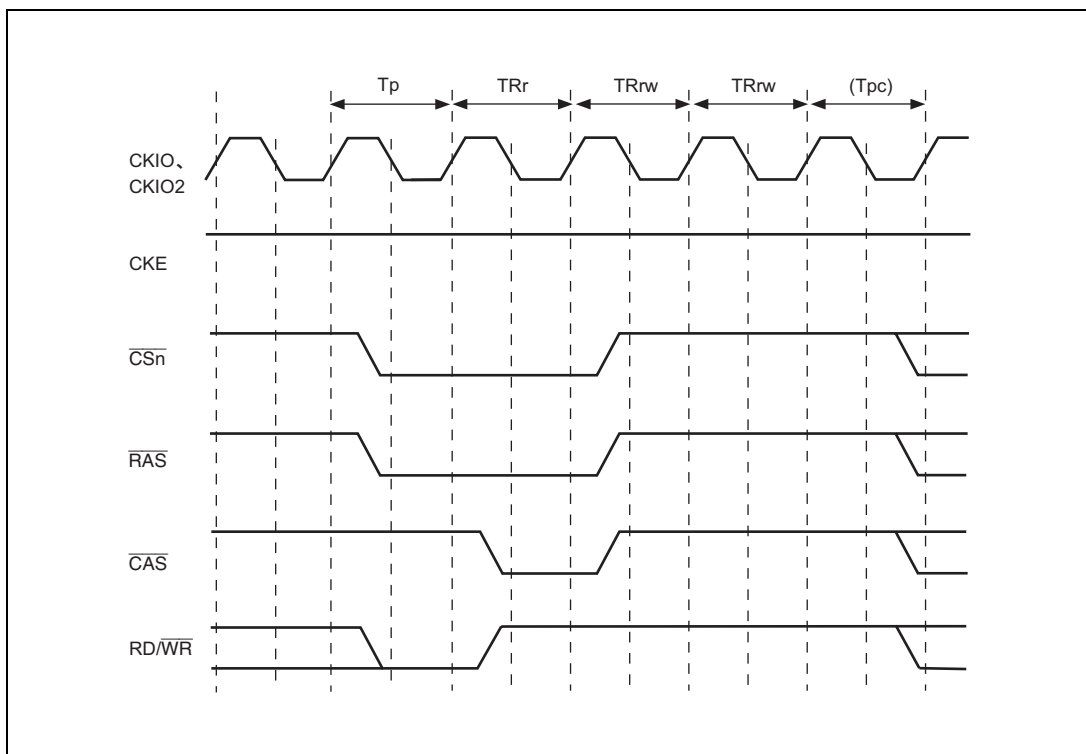


図 12.19 シンクロナス DRAM オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュのモードはシンクロナス DRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。RMODE ビットと RFSH ビットをとともに 1 にすることによって起動します。CKE 信号が L レベルの間セルフリフレッシュ状態となっています。セルフリフレッシュの状態の間は、シンクロナス DRAM にアクセスすることができません。セルフリフレッシュの解除は RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、MCR の TPC で指定されるサイクル数の間はコマンドの発行が禁止されます。セルフリフレッシュのタイミングを図 12.20 に示します。セルフリフレッシュ解除、データ保持が正しく行われるように、直ちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合、パワーオンリセット以外でスタンバイモードを脱出する場合、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 の設定にすればオートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、この時間を考慮して RTCNT の初期値の設定を行ってください。RTCNT の値を RTCOR の値 - 1 に設定すると直ちにリフレッシュを開始することができます。

セルフリフレッシュに設定したあと、本 LSI のスタンバイ機能を使ってチップスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、パワーオンリセット以外でスタンバイモードから復帰する場合には復帰後もセルフリフレッシュ状態が保持されます。

パワーオンリセットの場合にはバスステートコントローラのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

セルフリフレッシュは、通常動作時、スリープモード時、スタンバイモード時およびマニュアルリセット時に行われます。また、セルフリフレッシュを実行する前には、USB、LCDC を停止させてください。

シンクロナス DRAM 使用時、以下の手順に従いセルフリフレッシュを起動してください。

1. リフレッシュ制御ビットを0にする。
2. RTCNTレジスタにH'00を書き込む。
3. リフレッシュ制御ビット、リフレッシュモードビットを1にする。

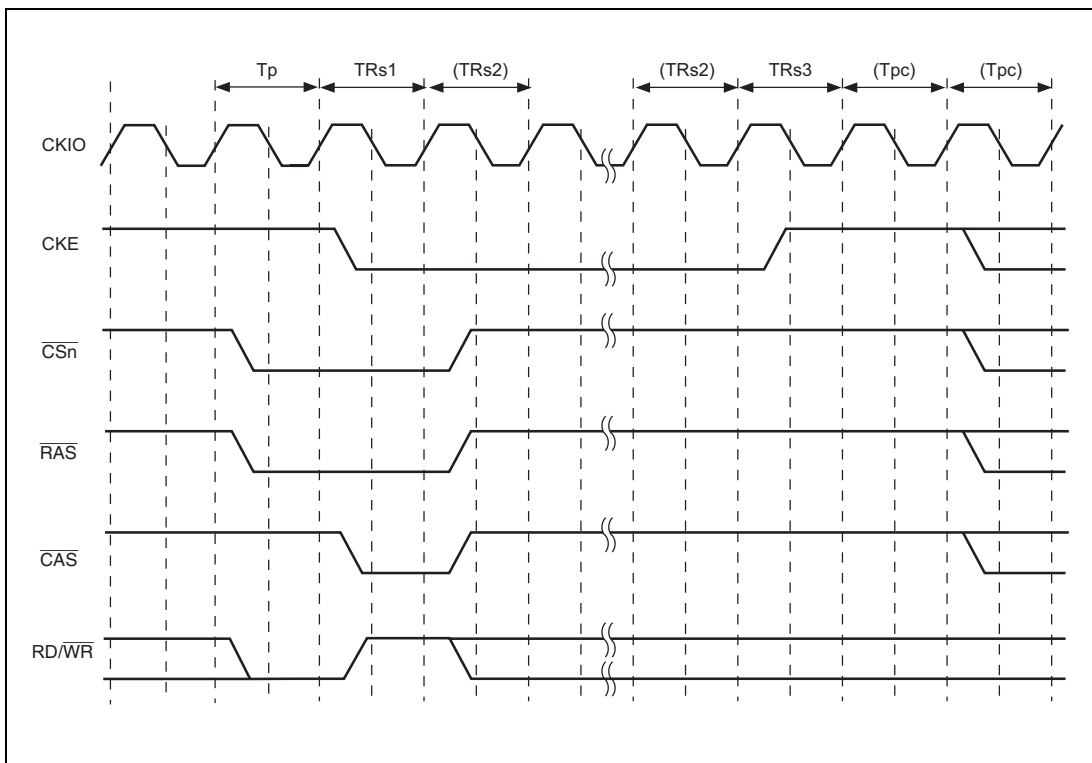


図 12.20 シンクロナス DRAM セルフリフレッシュタイミング

12. バスステートコントローラ (BSC)

(8) パワーオンシーケンス

シンクロナス DRAM を使用するためには、パワーオン後、まずモードの設定を行う必要があります。シンクロナス DRAM の初期化を正しく行うためには、まず最初にバスステートコントローラのレジスタを設定したあと、シンクロナス DRAM のモードレジスタに対する書き込みを行わなければなりません。シンクロナス DRAM のモードレジスタの設定は $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{RD}}/\overline{\text{WR}}$ 信号の組み合わせで、その時点のアドレス信号の値が取り込まれます。バスステートコントローラは、設定したい値を X とすると、エリア 2 のシンクロナス DRAM に対しては H'FFFD000 + X 番地に、またエリア 3 のシンクロナス DRAM に対しては H'FFFE000 + X に書き込みを行うことによって、値 X がシンクロナス DRAM のモードレジスタに書き込まれるように動作します。この際データは無視されますが、モードの書き込みはバイトサイズで行います。本 LSI でサポートしているバーストリード/シングルライト、CAS レイテンシ 1 から 3、ラップタイプ=シーケンシャル、バースト長 1 を設定するには以下のアドレスにバイトサイズで任意のデータを書き込みます。

< 32 ビットバス幅 >

	エリア 2	エリア 3
CAS レイテンシ 1	FFFFD840	FFFFE840
CAS レイテンシ 2	FFFFD880	FFFFE880
CAS レイテンシ 3	FFFFD8C0	FFFFE8C0

< 16 ビットバス幅 >

	エリア 2	エリア 3
CAS レイテンシ 1	FFFFD420	FFFFE420
CAS レイテンシ 2	FFFFD440	FFFFE440
CAS レイテンシ 3	FFFFD460	FFFFE460

モードレジスタ設定タイミングを図 12.21 に示します。

H'FFFD000 + X もしくは H'FFFE000 + X 番地への書き込みによって、まず、全バンクプリチャージコマンド (PALL) が TRp1 サイクルに発行され、それに続く TMw1 サイクルにモードレジスタ書き込みコマンドが発行されます。

モードレジスタ書き込みコマンド発行時のアドレス信号は、以下のようになります。

A15 ~ A9	= 0000100 (バーストリード&シングルライト)
A8 ~ A6	= CAS レイテンシ
A5	= 0 (バーストタイプ=シーケンシャル)
A4 ~ A2	= 000 (バースト長 1)

モードレジスタの設定に先立って、シンクロナス DRAM の要求する電源投入後 100 μ s のアイドル時間 (メモリーメーカーによって異なる) を保証しなければなりません。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちにモードレジスタの設定を行っても問題はありません。ダミーのオートリフレッシュサイクルをメーカーの規定する回数 (通常 8 回) 以上実行する必要があります。これはオートリフレッシュの設定を行ったあ

と、種々の初期化を行っているうちに自然に実現されるのがふつうですが、より確実にを行うためには、このダメージサイクルを実行する間だけリフレッシュ要求の発生する間隔を短く設定しておく方法があります。単なるリードまたはライトアクセスではオートリフレッシュに使用するシンクロナス DRAM 内部のアドレスカウンタが初期化されないため、必ずオートリフレッシュサイクルでなければなりません。

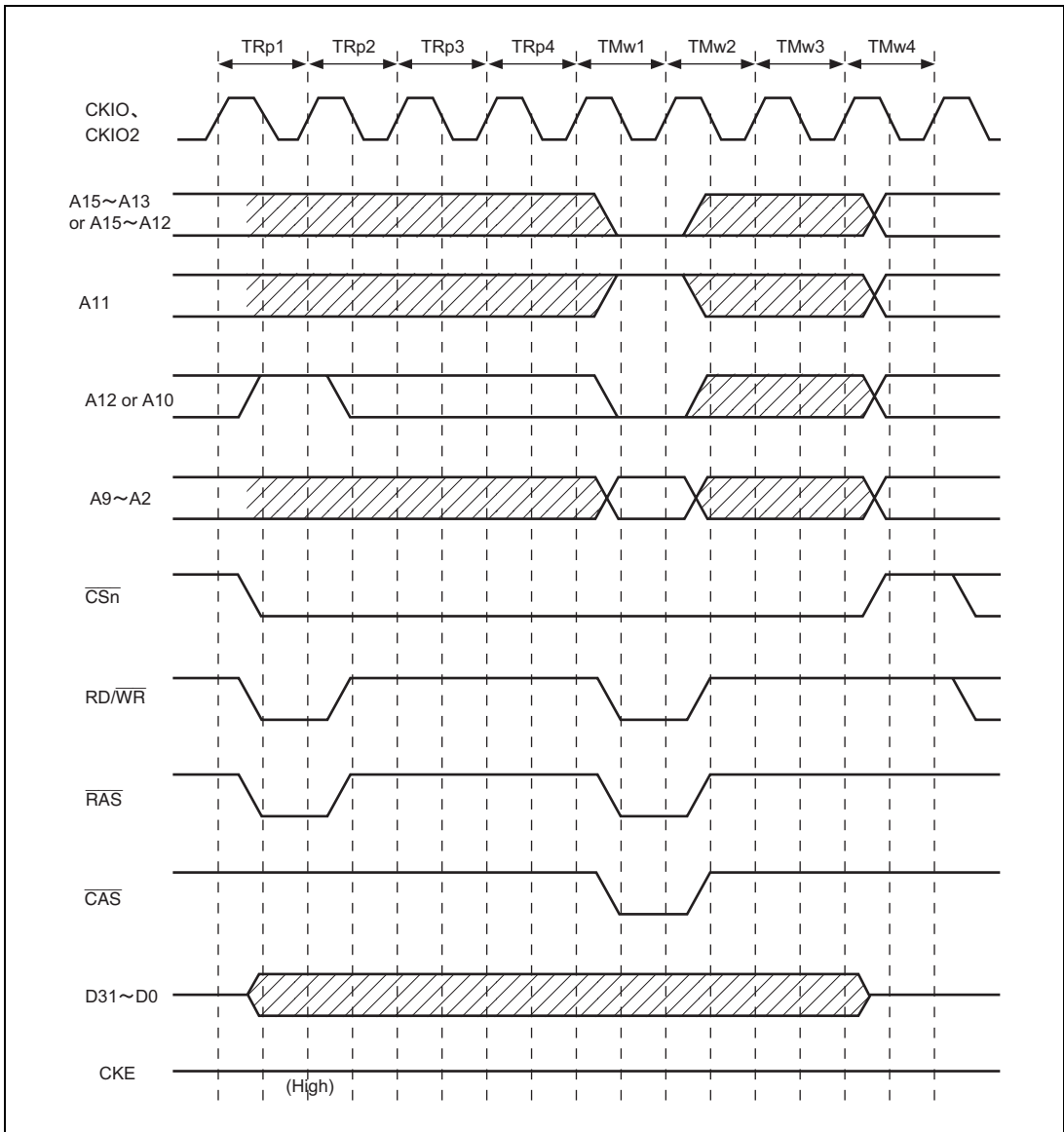


図 12.21 シンクロナス DRAM モード書き込みタイミング

12.3.5 バースト ROM インタフェース

BCR1 の A0BST1,0、A5BST1,0、A6BST1,0 ビットを各々0 以外に設定することにより、エリア 0、エリア 5、エリア 6 にバースト ROM の接続が可能となります。バースト ROM インタフェースは、ニブルアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するニブルアクセスのタイミングを図 12.22 に示します。ウェイトサイクル 2 サイクルの設定です。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際 $\overline{CS0}$ 信号のネゲートを行わず、アドレスのみを切り替えて、次のアクセスを行います。8 ビット幅の ROM を接続する場合には A0BST1,0、A5BST1,0、A6BST1,0 ビットによって連続アクセスの回数を 4 回、8 回、16 回に設定できます。16 ビット幅の ROM を接続する場合には同じく 4 回、8 回に設定でき、32 ビット幅の ROM を接続する場合は 4 回に設定できます。

先頭のアクセスではウェイトステートを 1 以上に設定した場合、また 2 回目以降のアクセスでは常に \overline{WAIT} 端子のサンプリングを行います。

バースト ROM の設定を行いウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。この場合のタイミングを図 12.23 に示します。

ただし、次の 3 つの場合は \overline{WAIT} 信号は無視されます。

- DMA16バイト転送、デュアルアドレスモード、外部アドレス空間へのライト時
- DMA16バイト転送、シングルアドレスモード、DACK付き外部デバイスから外部アドレス空間への転送時
- キャッシュのライトバックアクセス時

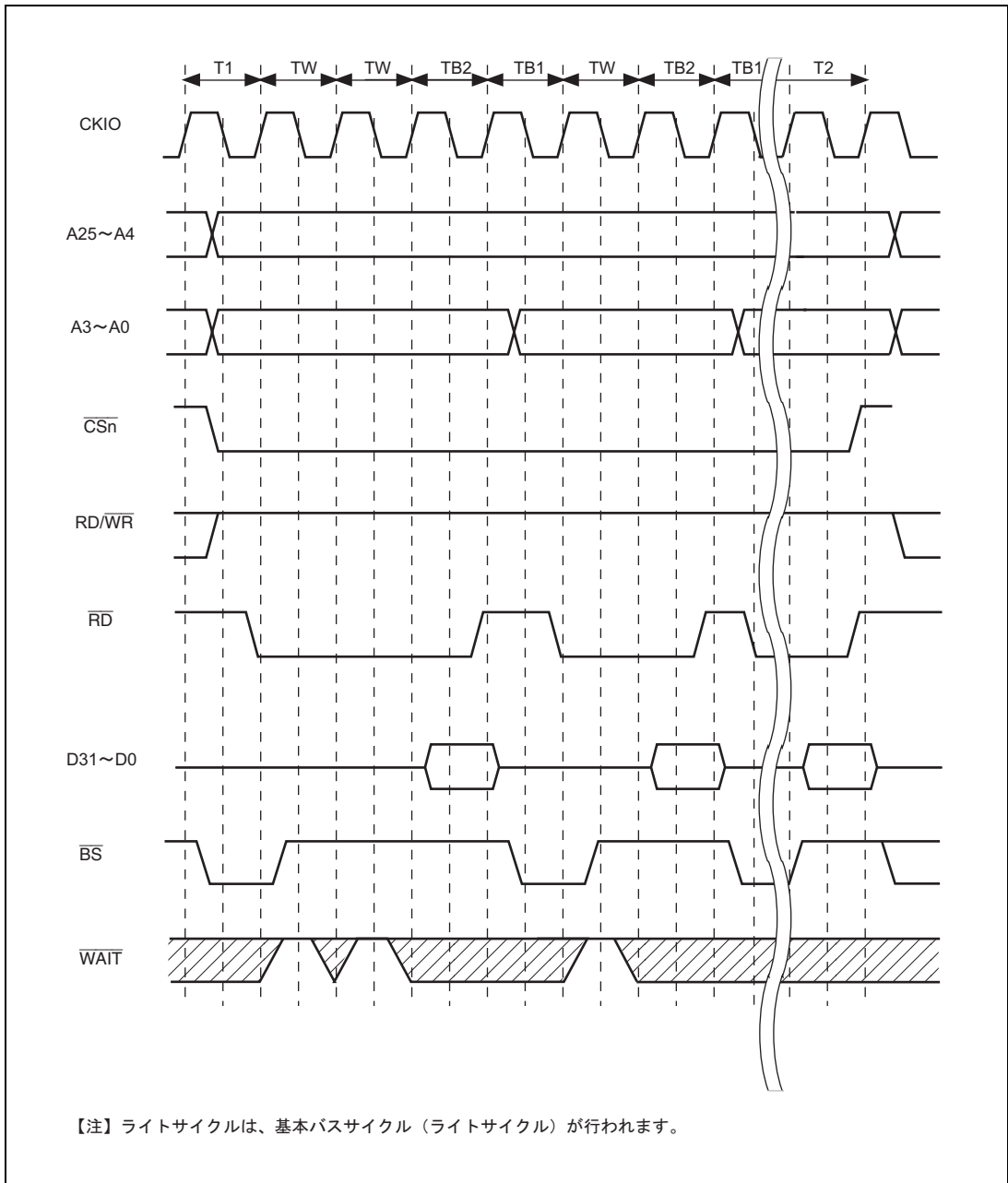


図 12.22 バースト ROM ウェイトアクセスタイミング

12. バスステートコントローラ (BSC)

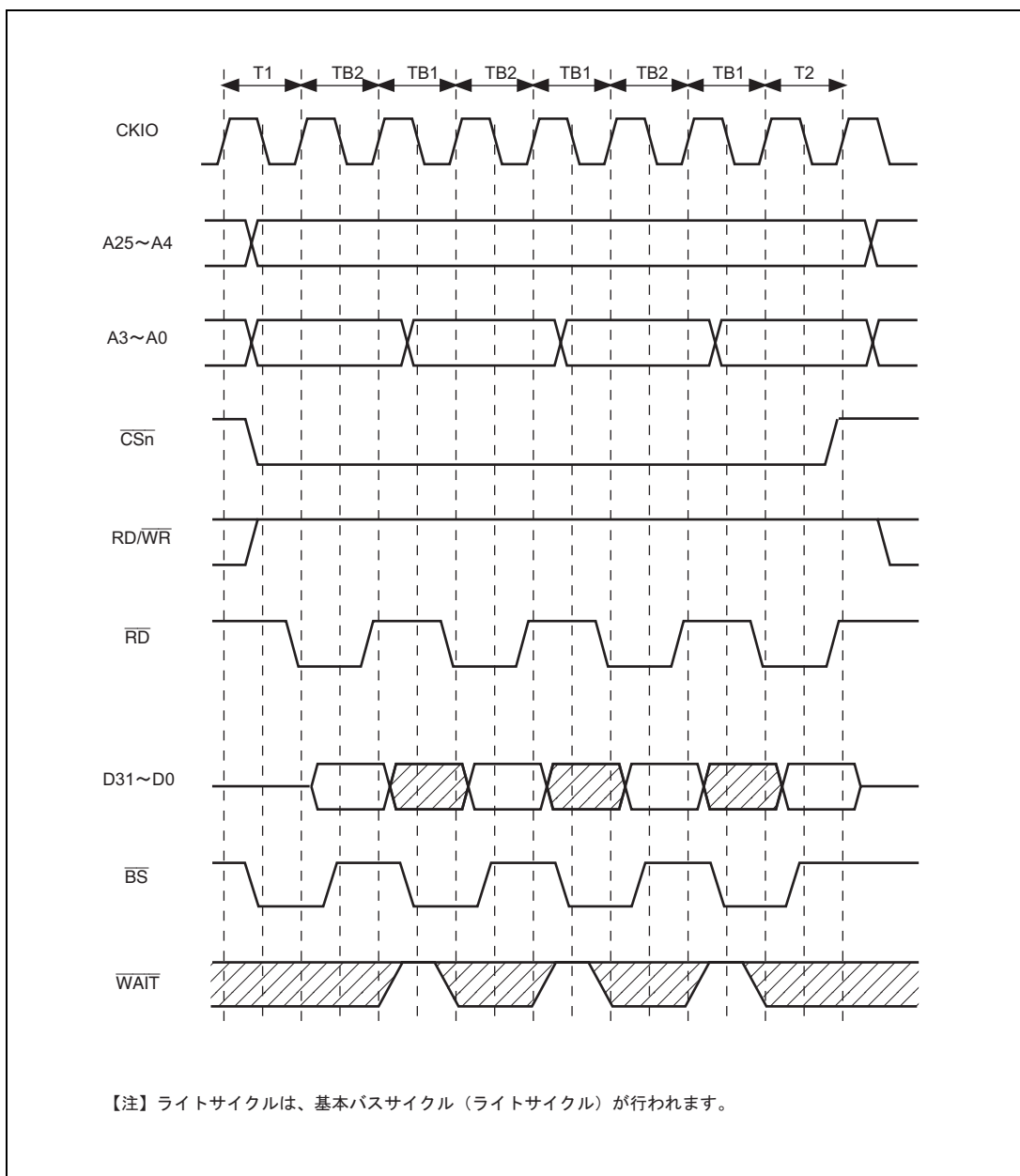


図 12.23 バースト ROM 基本アクセスタイミング

12.3.6 PCMCIA インタフェース

本 LSI では BCR1 の A5PCM ビットを 1 に設定することにより、物理空間のエリア 5 のバスインタフェースが、JEIDA 仕様 Ver4.2 (PCMCIA2.1 Rev.2.1) で定める “IC メモリカードおよび I/O カードインタフェース” になります。また A6PCM ビットを 1 に設定することにより、物理空間のエリア 6 のバスインタフェースが JEIDA 仕様 Ver4.2 で定める “IC メモリカードおよび I/O カードインタフェース” になります。

PCMCIA インタフェースを使用する場合、BCR2 の A5SZ1、A5SZ0 もしくは A6SZ1、A6SZ0 によって、バスサイズは、8 ビットもしくは 16 ビットに設定します。

図 12.24 に本 LSI で PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするために、本 LSI のバスインタフェースと PCMCIA カードの間に 3-State バッファを接続する必要があります。

JEIDA/PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

ただし、次の 3 つの場合は $\overline{\text{WAIT}}$ 信号は無視されます。

- DMA16バイト転送、デュアルアドレスモード、外部アドレス空間へのライト時
- DMA16バイト転送、シングルアドレスモード、DACK付き外部デバイスから外部アドレス空間への転送時
- キャッシュのライトバックアクセス時

12. バスステートコントローラ (BSC)

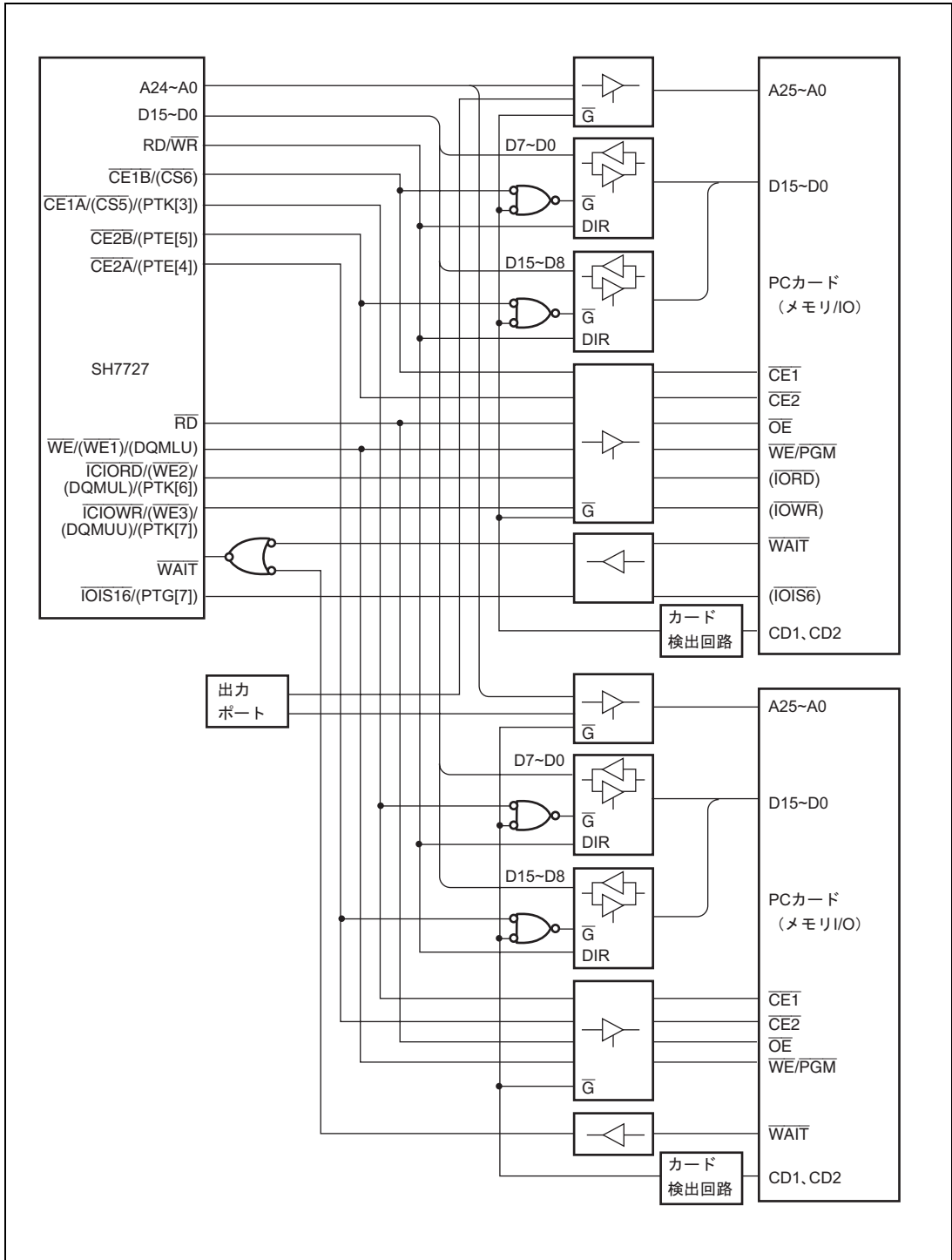


図 12.24 PCMCIA インタフェース例 (内蔵の PC カードコントローラを使用しない場合)

(1) メモリカードインタフェース基本タイミング

図 12.25 に PCMCIA の “ IC メモリカードインタフェース ” の基本タイミングを示します。物理空間のエリア 5 およびエリア 6 を PCMCIA インタフェースに設定した場合、各エリアのコモンメモリ空間をアクセスすると、自動的に “ IC メモリカードインタフェース ” としてバスアクセスが行われます。

外部バス周波数 (CKIO) が高くなると、 \overline{RD} や \overline{WR} (本 LSI の \overline{WE} 端子) に対して、アドレス (A24 ~ A0)、カードイネーブル ($\overline{CS5}$ 、 $\overline{CE2A}$ 、 $\overline{CS6}$ 、 $\overline{CE2B}$)、書き込みサイクル時の書き込みデータ (D15 ~ D0) のセットアップ時間や、ホールド時間が足りなくなります。これに対して、本 LSI では PCR レジスタによって物理空間のエリア 5 およびエリア 6 の各エリアに対して、それぞれセットアップ時間およびホールド時間を設定することができます。また基本インタフェースと同じように WCR2 レジスタの設定によるソフトウェアウェイトおよび \overline{WAIT} 端子によるハードウェアウェイトを行うことができます。図 12.26 に PCMCIA メモリバスウェイトタイミングを示します。

12. バスステートコントローラ (BSC)

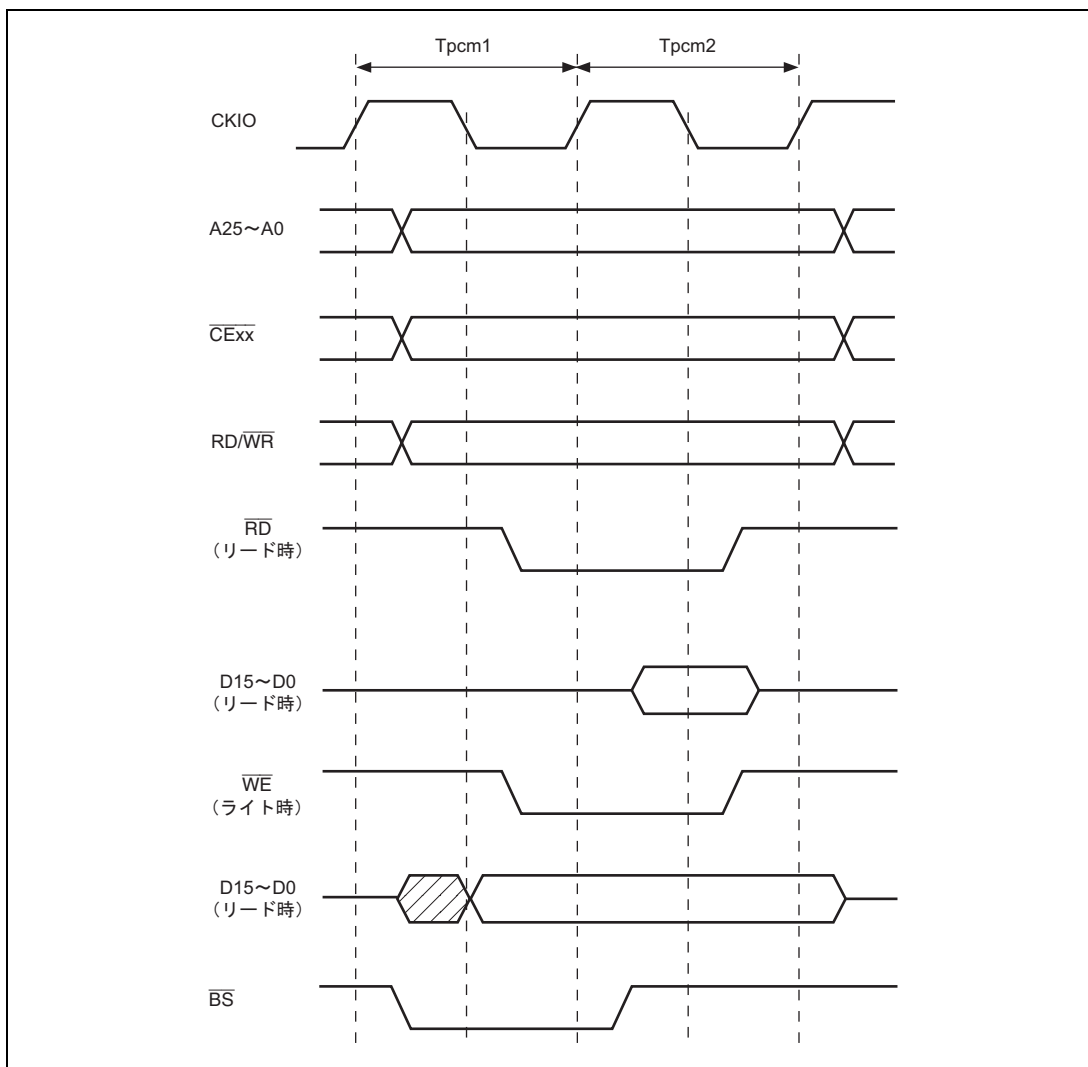


図 12.25 PCMCIA メモリカードインタフェース基本タイミング

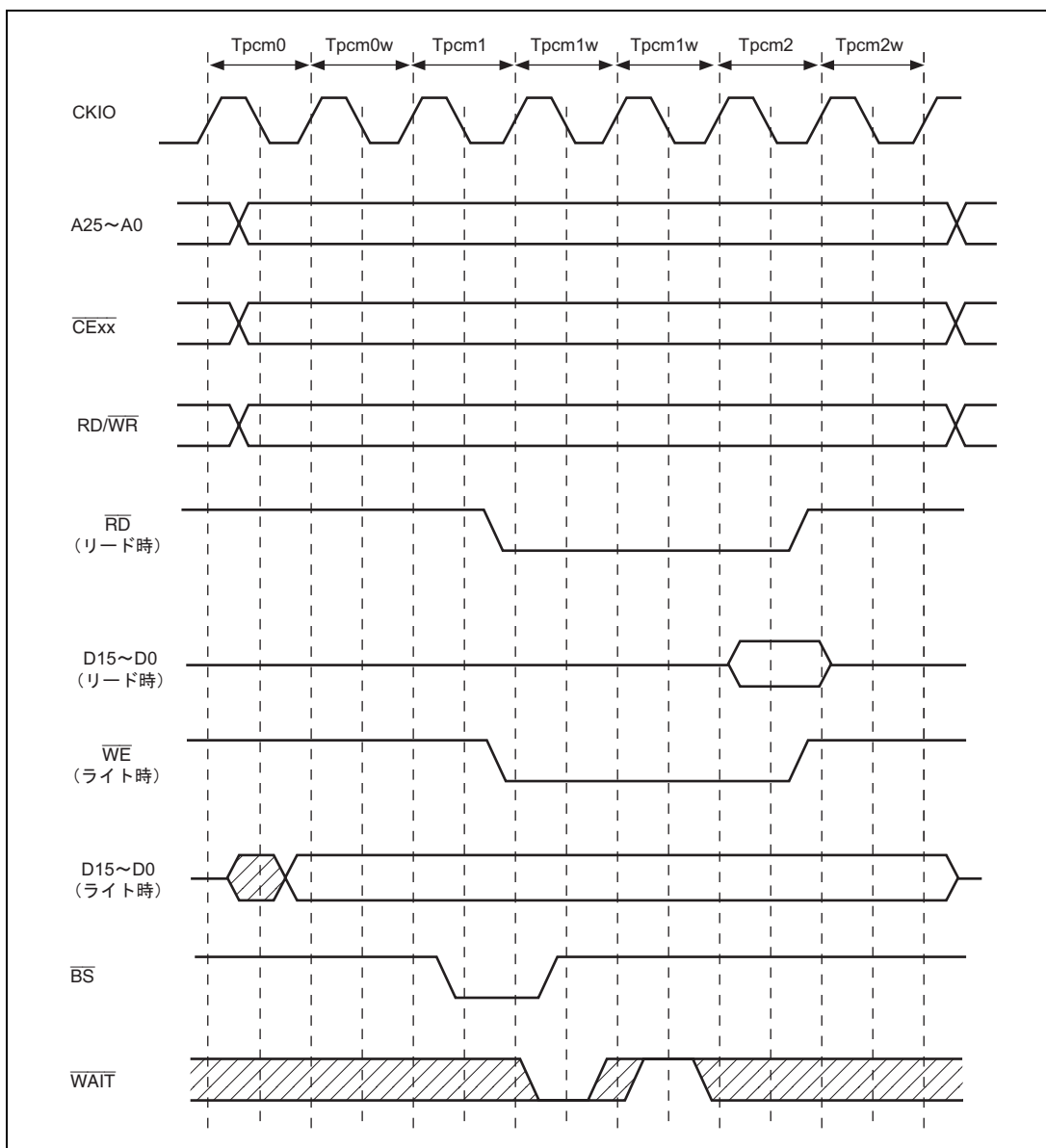


図 12.26 PCMCIA メモリカードインタフェースウェイトタイミング

12. バスステートコントローラ (BSC)

(2) メモリカードインタフェースバーストタイミング

本 LSI では、“ IC メモリカードインタフェース ” を選択した場合、物理空間のエリア 5 に対して BCR1 の A5BST1、A5BST0 の設定により、またエリア 6 に対して BCR1 の A6BST1、A6BST0 の設定により、リードアクセスに限りページモードのバーストアクセスモードを使用することができます。このバーストアクセスモードは JEIDA 仕様 Ver4.2 (PCMCIA2.1) では規定されていませんが、バーストモード付き ROM などを使用して高速にデータをアクセスすることができます。

図 12.27、図 12.28 にバーストアクセスモードのタイミングを示します。

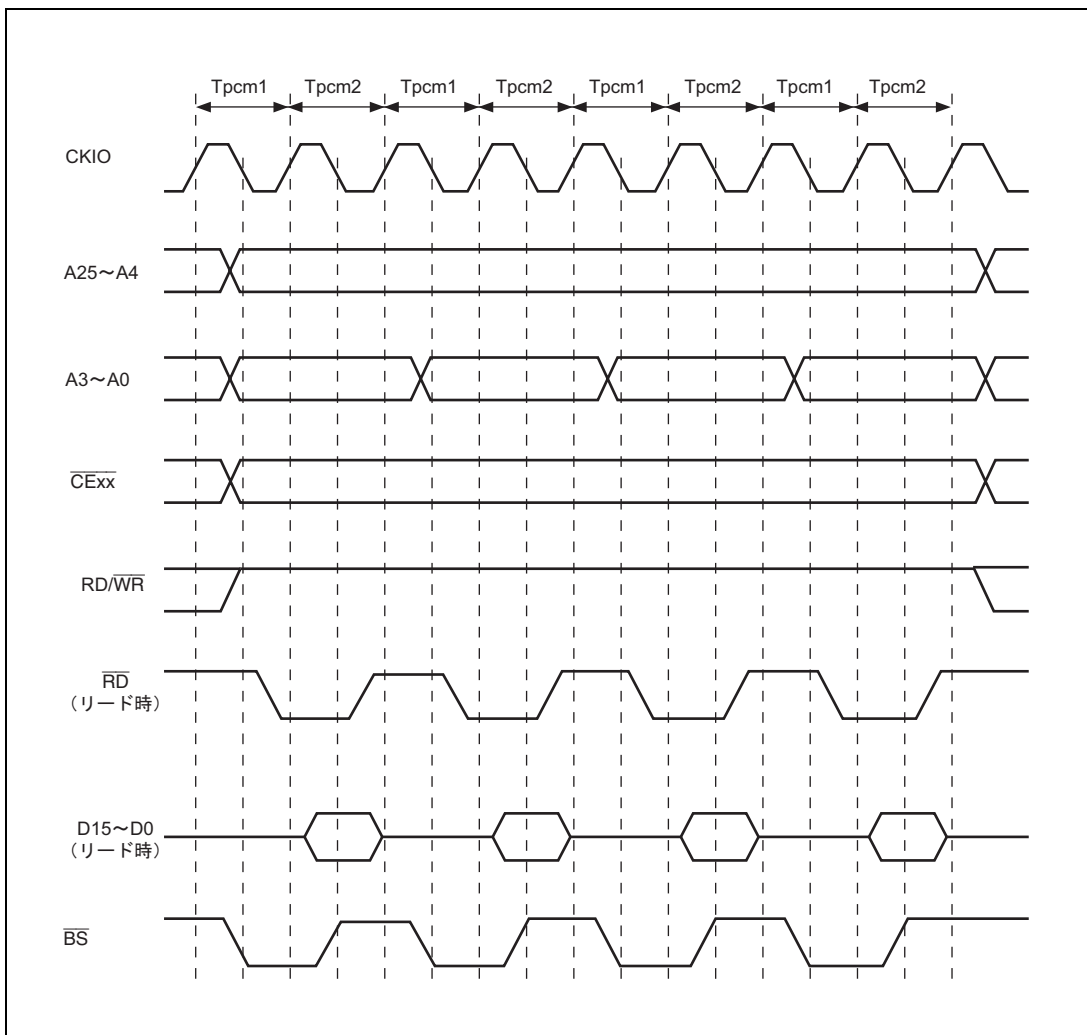


図 12.27 PCMCIA メモリカードインタフェースバーストアクセス基本タイミング

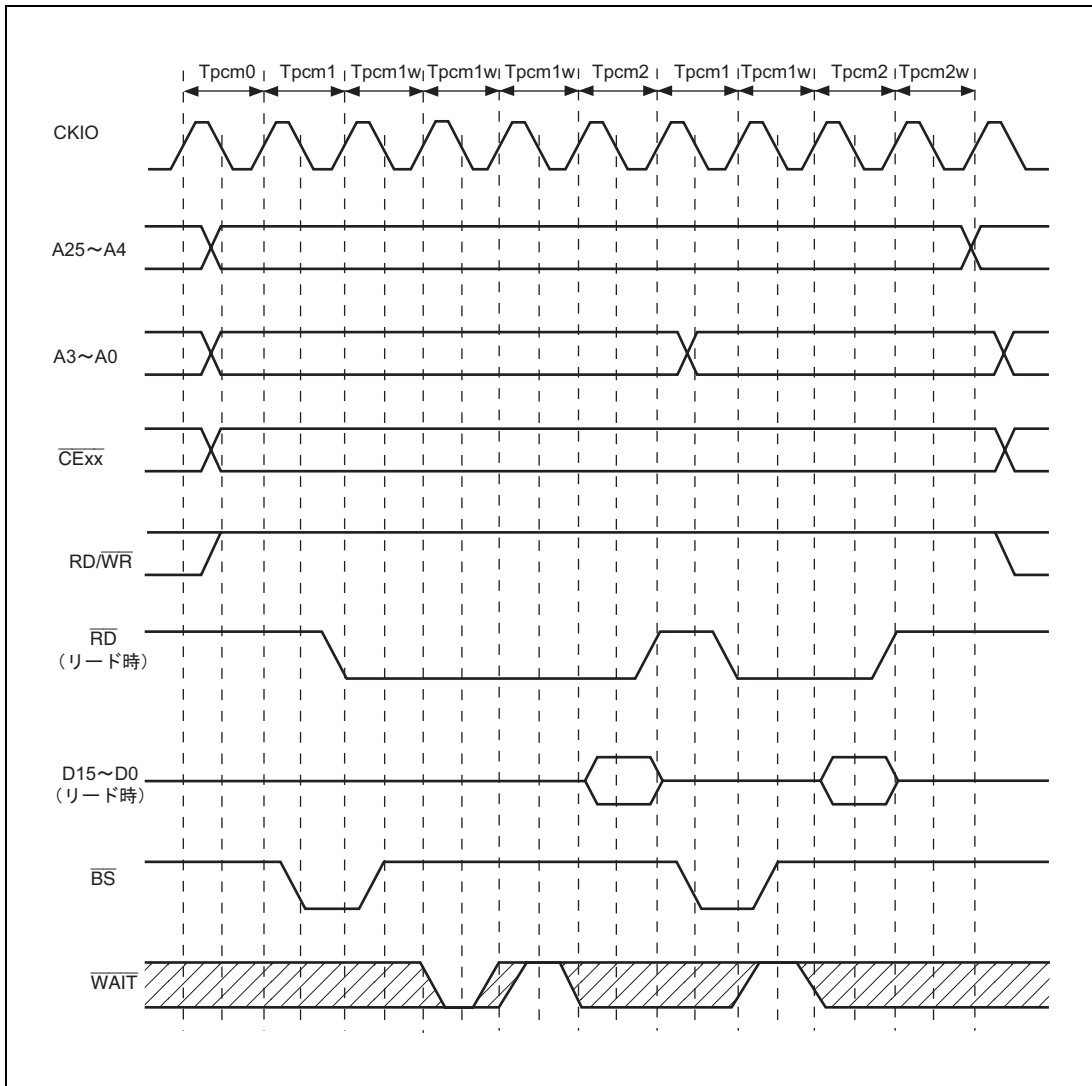


図 12.28 PCMCIA メモリカードインタフェースバーストアクセスウェイトタイミング

ICメモリカードインタフェースとしてメモリ空間を32Mバイトすべて利用する場合はコモンメモリとアトリビュートメモリの切り替え信号 \overline{REG} をポートなどを利用して生成します。また、メモリ空間が16Mバイト以下で足りる場合は、メモリ空間を16Mバイトずつコモンメモリ空間とアトリビュートメモリ空間として使うことにより、A24端子を \overline{REG} 信号として利用することができます。

12. バスステートコントローラ (BSC)

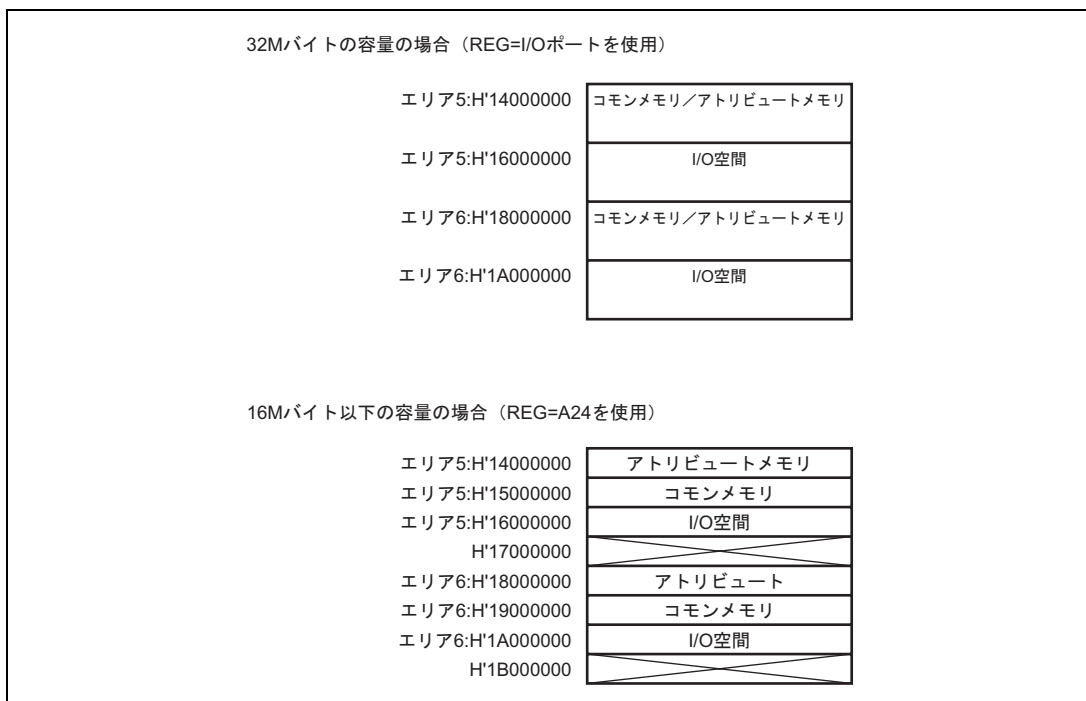


図 12.29 PCMCIA 空間割り付け

(3) I/O カードインタフェースタイミング

図 12.30、図 12.31 に PCMCIA の “I/O カードインタフェース” のタイミングを示します。

I/O カードインタフェースと IC メモリカードインタフェースの切り替えは、アクセスするアドレスによって行います。物理空間のエリア 5 を PCMCIA に設定した場合、物理アドレスの H'16000000 ~ H'17FFFFFF をアクセスすると自動的に “I/O カードインタフェース” としてバスアクセスが行われます。また、物理空間のエリア 6 を PCMCIA に設定した場合、物理アドレスの H'1A000000 ~ H'1BFFFFFF をアクセスすると自動的に “I/O カードインタフェース” としてバスアクセスが行われます。

PCMCIA の I/O カードをアクセスする場合、論理空間のキャッシュ非対象領域 (P2 か P3 空間) か、MMU によってキャッシング非対象領域と指定した領域で行ってください。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとして、アクセスする場合、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 5 またはエリア 6 のバス幅を 16 ビットに設定している場合に、ワードサイズの I/O バスサイクル中に $\overline{\text{IOIS16}}$ 信号が “H” の場合、その I/O ポートは 8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

ダイナミックバスサイジングの基本タイミングを図 12.32 に示します。

なお、ビッグエンディアンモードでは $\overline{\text{IOIS16}}$ 信号をサポートしません。

ビッグエンディアンモード時には $\overline{\text{IOIS16}}$ 信号を Low に固定してください。

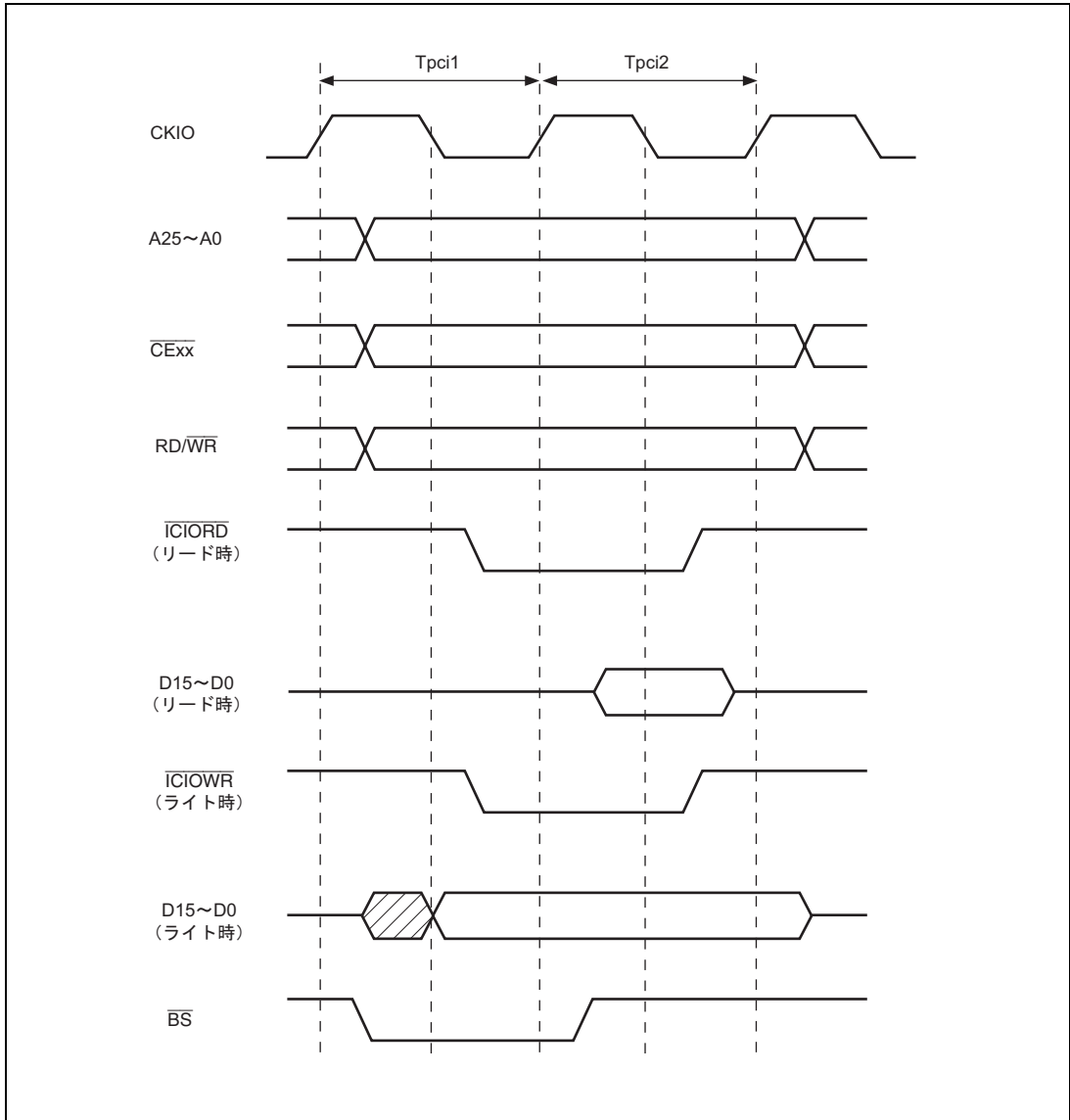


図 12.30 PCMCIA I/O カードインタフェース基本タイミング

12. バスステートコントローラ (BSC)

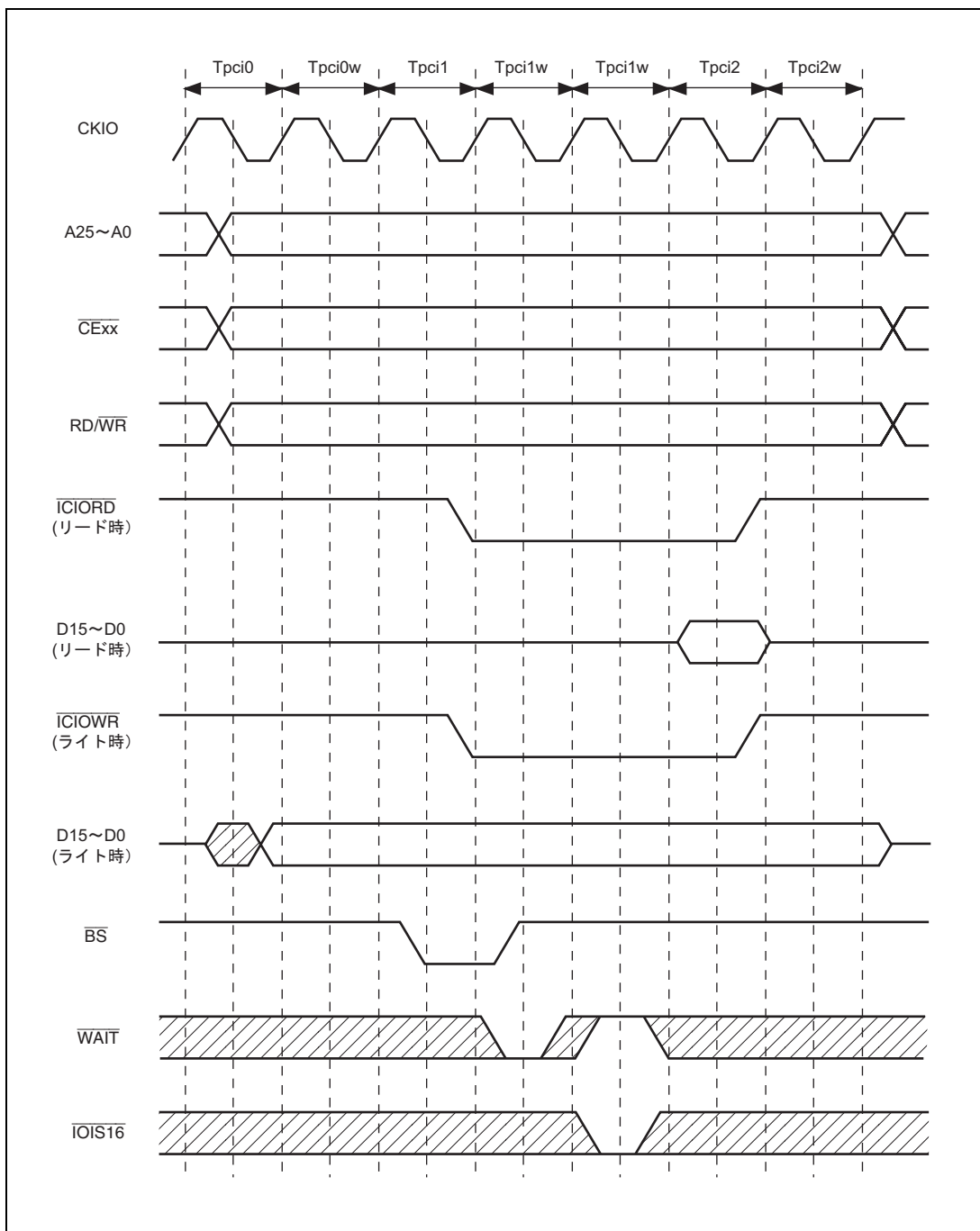


図 12.31 PCMCIA I/O カードインタフェースウェイトタイミング

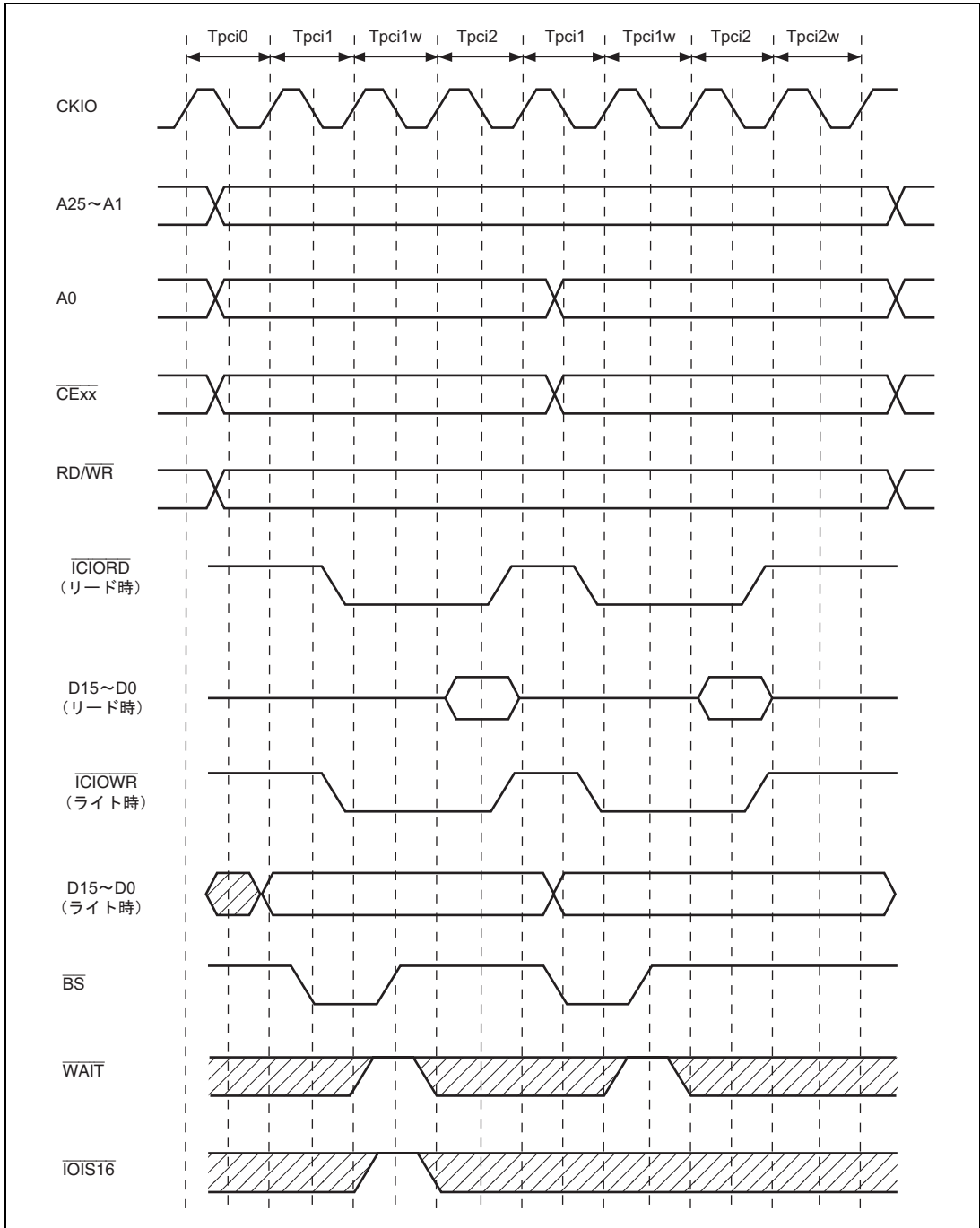


図 12.32 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング

12.3.7 アクセスサイクル間ウェイト

外部メモリバスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こすという事象が起こるようになってきました。これを防止するため、直前のアクセスのエリアと読み出し/書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、直前のアクセスに続いて異なるエリアのアクセスを行う場合と、直前のアクセスがリードアクセスで、次のアクセスが本 LSI からのライトアクセスの 2 つのケースについてです。本 LSI がライトサイクルを連続している場合には、データの転送方向は常に本 LSI からほかのメモリという形で統一されており、特に問題とはなりません。同一のエリアに対するリードアクセスも、原則として同一のデータバッファからデータが出されるものとして、ウェイトサイクルの挿入は行いません。WCR1 の AnIW1、AnIW0 ビット ($n=0, 2\sim 6$) によって、物理空間エリアにアクセスした後、ほかのエリアにアクセスを行う場合と、物理空間エリア n にリードアクセスした後、本 LSI がライトアクセスを行う場合のアクセスサイクルの間に挿入するアイドルサイクル数を指定します。アクセス間にもともと空きがある場合には、指定されたアイドル数からその空きサイクル数を除いたサイクルだけ、アイドルサイクルの挿入を行います。

バスアービトレーションを行う場合には、アービトレーションのための空きサイクルが入るため、サイクル間ウェイトは入りません。

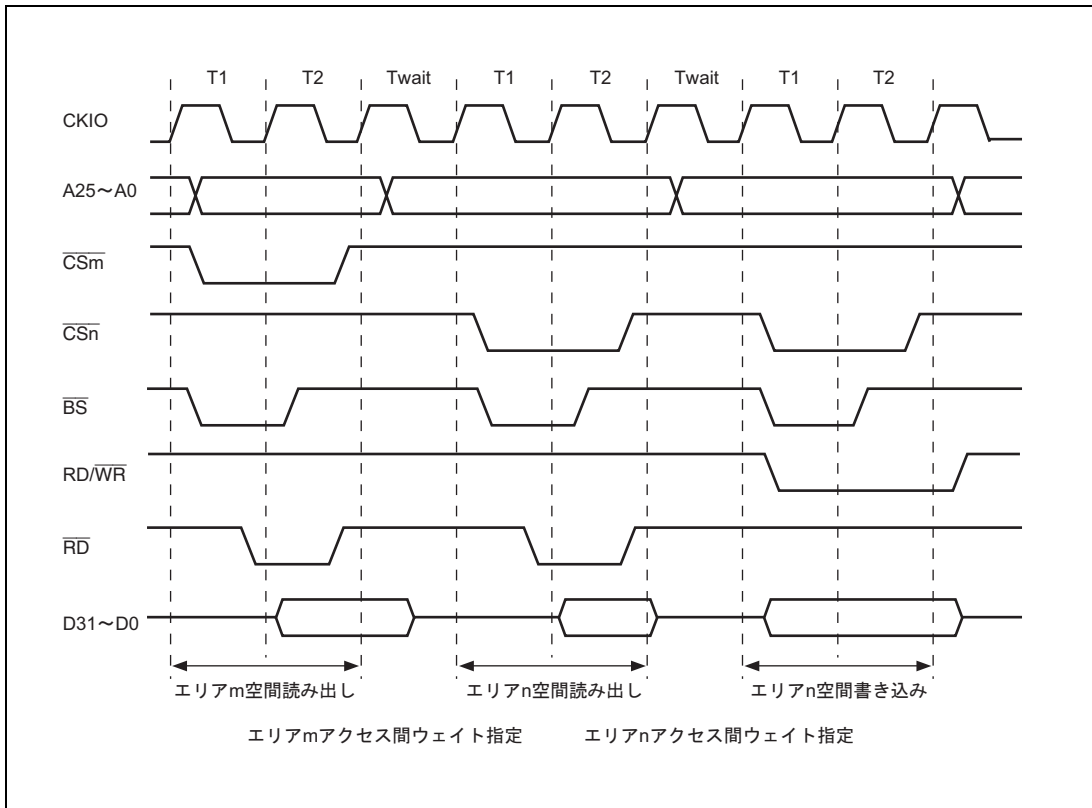


図 12.33 アクセスサイクル間ウェイト

12.3.8 バスアービトレーション

バス解放要求信号 ($\overline{\text{BREQ}}$) がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) を出力します。ただし、キャッシュフィルやライトバックのためのバースト転送途中や、TAS 命令実行中のリードサイクルとライトサイクルの間でのバス権の解放は行いません。また、データバス幅がアクセスサイズより小さいことによって生じる複数バスサイクル、たとえば 8 ビット幅のメモリにロングワードアクセスを行う場合のバスサイクル間にもバスアービトレーションは行いません。 $\overline{\text{BREQ}}$ がネゲートされると $\overline{\text{BACK}}$ をネゲートし、バスの使用を再開します。バス解放時の端子状態は、「付録 A.1 端子機能」を参照してください。

12.3.9 バスのプルアップ

本 LSI では、BCR1 の PULA ビットを 1 に設定することにより、バス権開放時にアドレスピンのプルアップを行うことができます。 $\overline{\text{BACK}}$ アサート後 4 クロック間アドレスピンをプルアップします。図 12.34 にアドレスピンのプルアップのタイミングを示します。

また BCR1 の PULD ビットを 1 に設定することにより、データピンのプルアップを行うことができます。データバスを使用していないときにデータピンをプルアップします。図 12.35 にリードサイクルにおけるデータピンのプルアップのタイミングを、図 12.36 にライトサイクルにおけるデータピンのプルアップのタイミングを示します。

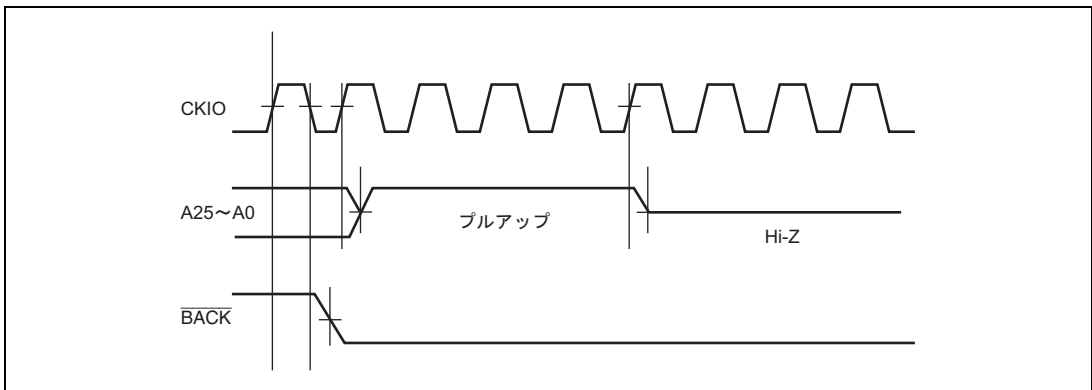


図 12.34 A25 ~ A0 端子プルアップのタイミング

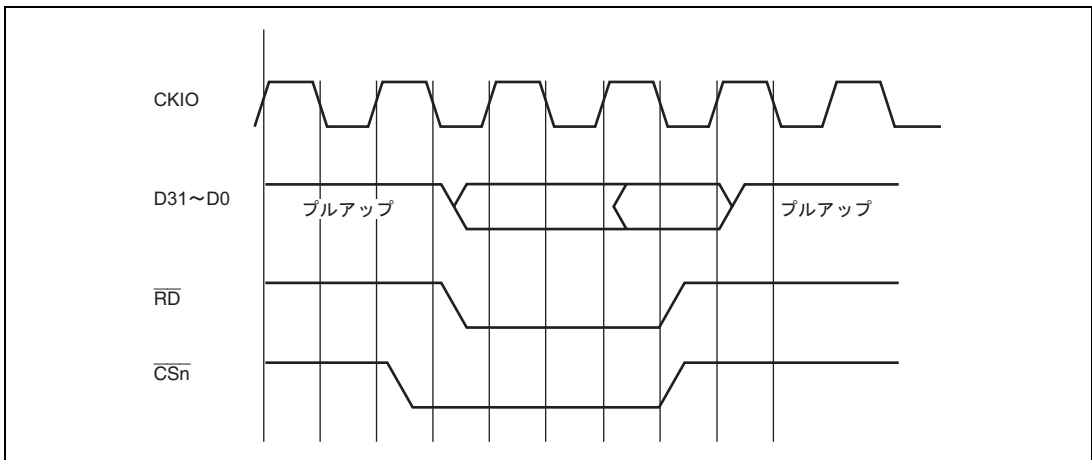


図 12.35 D31 ~ D0 端子プルアップのタイミング (リードサイクル)

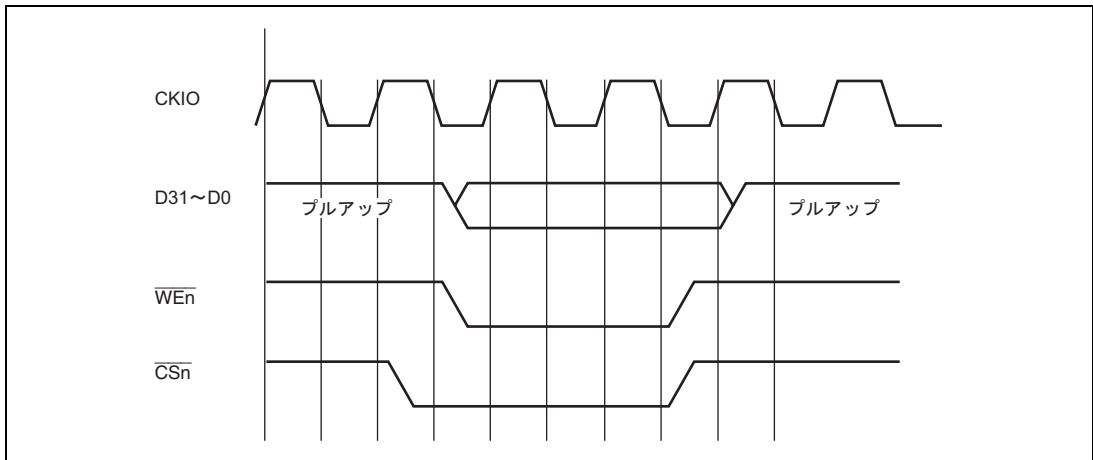


図 12.36 D31 ~ D0 端子プルアップのタイミング (ライトサイクル)

12. バスステートコントローラ (BSC)

13. Li バスステートコントローラ (LBSC)

13.1 概要

Li バスステートコントローラ (LBSC) は、LCD コントローラと OpenHCI 仕様の USB ホストコントローラがシンクロナス DRAM にアクセスすることを可能にします。LBSC は BSC のスレーブバスステートメントコントローラとして働きます。

13.1.1 特長

LBSC には以下のような特長があります。

- シンクロナスDRAM直接インタフェース
 - 物理アドレス空間はエリア3のみ指定
 - 最大64Mバイト
 - シンクロナスDRAM容量に応じたロウ / カラムアドレスをマルチプレクシング
 - 1~32までの可変長バースト動作
 - レジスタ設定によりシンクロナスDRAM直結制御信号のタイミングを制御
 - 16ビットまたは32ビットのバス幅をレジスタにより設定可能

13.1.2 レジスタ構成

LBSC 自身はレジスタを持っていません。表 13.1 に示す BSC のレジスタを参照しています。

表 13.1 レジスタ構成

名称	略称	R/W	初期値*	アドレス	バス幅
バスコントロールレジスタ 1	BCR1	R/W	H'0000	H'FFFFFF60	16
バスコントロールレジスタ 2	BCR2	R/W	H'3FF0	H'FFFFFF62	16
ウェイトステートコントロールレジスタ 1	WCR1	R/W	H'3FF3	H'FFFFFF64	16
ウェイトステートコントロールレジスタ 2	WCR2	R/W	H'FFFF	H'FFFFFF66	16
個別メモリコントロールレジスタ	MCR	R/W	H'0000	H'FFFFFF68	16

【注】 * パワーオンリセットで初期化されます。

13. Liバーステートコントローラ (LBSC)

13.1.3 バスコントロールレジスタ 1 (BCR1)

バスコントロールレジスタ 1 (BCR1) は、各エリアの機能、バスサイクルの状態などを指定します。読み出し/書き込み可能な 16 ビットのレジスタです。

BCR1 レジスタは、パワーオンリセット時は H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PULA	PULD	HIZ MEM	HIZ CNT	ENDI AN	A0 BST1	A0 BST0	A5 BST1	A5 BST0	A6 BST1	A6 BST0	DRAM TP2	DRAM TP1	DRAM TP0	A5 PCM	A6 PCM
初期値:	0	0	0	0	0/1*	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * エンディアンを指定する外部ピン (MD5) の値をパワーオンリセット時にサンプリング

- ビット15~12: 参照されません
- ビット11: エンディアンフラグ (ENDIAN)

パワーオンリセット時に、エンディアン指定の外部ピン (MD5) の値をサンプリングします。全空間のエンディアンは、このビットで決定されます。読み出しのみ可です。

ビット 11	説明
ENDIAN	
0	リセット時に、エンディアン設定外部ピン (MD5) がローレベルであり、本 LSI がビッグエンディアンとして設定
1	リセット時に、エンディアン設定外部ピン (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして設定

- ビット10~5: 参照されません

- ビット4~2 : エリア2、3のメモリタイプ (DRAMTP2、DRAMTP1、DRAMTP0)

物理空間のエリア2、3に接続するメモリタイプを指定します。LCD、USBを使う前にエリア3をシンクロナスDRAM (DRAMTP2~0=010 または 011) に設定してください。

ビット4	ビット3	ビット2	説 明
DRAMTP2	DRAMTP1	DRAMTP0	
0	0	0	エリア2、3を通常メモリ (初期値)
		1	予約 (設定不可)
	1	0	エリア2を通常メモリ、エリア3をシンクロナスDRAM ^{*1}
		1	エリア2、3をシンクロナスDRAM ^{*1 *2}
1	0	0	予約 (設定不可)
		1	予約 (設定不可)
	1	0	予約 (設定不可)
		1	予約 (設定不可)

【注】 *1 クロック比 $f_{\text{バス}}/f_{\text{クロック}} = 1:1$ のときは、シンクロナスDRAMへアクセスできません。

*2 このモードを選ぶ場合は、エリア2とエリア3のバス幅を同一に設定してください。

- ビット1、0 : 参照されません

13.1.4 バスコントロールレジスタ2 (BCR2)

バスコントロールレジスタ2 (BCR2) は、各エリアのバスサイズ幅および8ビットポートを使用するかどうかを指定します。読み出し/書き込み可能な16ビットのレジスタです。

BCR2レジスタは、パワーオンリセット時はH'3FF0に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。レジスタの初期設定が終了するまでは、エリア0以外の外部メモリをアクセスしないでください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	A6 SZ1	A6 SZ0	A5 SZ1	A5 SZ0	A4 SZ1	A4 SZ0	A3 SZ1	A3 SZ0	A2 SZ1	A2 SZ0	—	—	—	—
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

- ビット15~8、5~0 : 参照されません

13. Liバーステートコントローラ (LBSC)

- ビット7、6 : エリア3のバス幅指定 (A3SZ1、A3SZ0)

物理空間のエリア3のバス幅を指定します。

ビット7	ビット6	ポート A/B	説明
A3SZ1	A3SZ0		
0	0	未使用	予約 (設定不可)
	1		予約 (設定不可)
1	0		16 ビットバス幅
	1		32 ビットバス幅
0	0	使用	予約 (設定不可)
	1		予約 (設定不可)
1	0		16 ビットバス幅
	1		予約 (設定不可)

13.1.5 ウェイトコントロールレジスタ 1 (WCR1)

ウェイトコントロールレジスタ 1 (WCR1) は、各エリアのアイドルステート挿入サイクル数を指定します。メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、WCR1 レジスタで設定したサイクル数だけ自動的にアイドルサイクルを挿入します。

WCR1 レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'3FF3 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WAIT SEL	—	A6 IW1	A6 IW0	A5 IW1	A5 IW0	A4 IW1	A4 IW0	A3 IW1	A3 IW0	A2 IW1	A2 IW0	—	—	A0 IW1	A0 IW0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	0	0	1	1
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

- ビット15~8、5~0 : 参照しません

- ビット7、6 : エリア3のサイクル間アイドル指定 (A3IW1、A3IW0)

物理空間のエリア3からほかの空間、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アイドル数を指定します。

ビット7	ビット6	説明
A3IW1	A3IW0	
0	0	1 アイドルサイクル挿入
	1	1 アイドルサイクル挿入
1	0	2 アイドルサイクル挿入
	1	3 アイドルサイクル挿入 (初期値)

13.1.6 ウェイトコントロールレジスタ 2 (WCR2)

ウェイトコントロールレジスタ 2 (WCR2) は、読み出し/書き込み可能な 16 ビットのレジスタで、各エリアのウェイトステート挿入サイクル数を指定します。また、バーストメモリアクセスを行う場合のデータアクセスのピッチ数も指定します。これにより、外付け回路なしに低速なメモリも直接接続できます。

WCR2 は、パワーオンリセット時は H'FFFF に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A6 W2	A6 W1	A6 W0	A5 W2	A5 W1	A5 W0	A4 W2	A4 W1	A4 W0	A3 W1	A3 W0	A2 W1	A2 W0	A0 W2	A0 W1	A0 W0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15~7、4~0 : 参照しません
 - ビット6、5 : エリア3のウェイトコントロール (A3W1、A3W0)
- 物理空間のエリア3に対する SDRAM の CAS レイテンシを指定します。

ビット6	ビット5	説明
A3W1	A3W0	SDRAM CAS レイテンシ
0	0	1
	1	1
1	0	2
	1	3 (初期値)

13. Liバスステートコントローラ (LBSC)

13.1.7 個別メモリコントロールレジスタ (MCR)

個別メモリコントロールレジスタ (MCR) は、シンクロナス DRAM (エリア 2,3) に対する $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ のタイミングやバースト制御、アドレスマルチプレクスの指定、リフレッシュ制御を指定します。これにより、シンクロナス DRAM を外付け回路なしに直結できます。

MCR レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。TPC1~0、RCD1~0、TRWL1~0、TRAS1~0、AMX3~0 の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。RFSH、RMODE ビットに対して書き込みを行う際は、ほかのビットは変化させずに同じ値を書き込んでください。シンクロナス DRAM 使用時は、レジスタの初期設定が終了するまで、エリア 2,3 をアクセスしないでください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPC1	TPC0	RCD1	RCD0	TRWL ₁	TRWL ₀	TRAS ₁	TRAS ₀	—	AMX3	AMX2	AMX1	AMX0	RFSH	RMODE	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15、14 : RASプリチャージ期間 (TPC1、TPC0)

接続メモリとしてシンクロナス DRAM インタフェースを選択した場合、プリチャージ後、次のバンクアクティブコマンド出力までの最小サイクル数を規定します。

ビット 15	ビット 14	説明	
TPC1	TPC0		
0	0	1 サイクル	(初期値)
	1	2 サイクル	
1	0	3 サイクル	
	1	4 サイクル	

- ビット13、12 : RAS-CAS遅延 (RCD1、RCD0)

接続メモリとしてシンクロナス DRAM インタフェースを選択した場合、バンクアクティブ読み出し / 書き込みコマンド遅延時間を設定します。

ビット 13	ビット 12	説明	
RCD1	RCD0		
0	0	1 サイクル	(初期値)
	1	2 サイクル	
1	0	3 サイクル	
	1	4 サイクル	

13. Liバスステートコントローラ (LBSC)

- ビット11、10：書き込み - プリチャージ遅延 (TRWL1、TRWL0)

シンクロナス DRAM の書き込み プリチャージの遅延時間を設定します。書き込みサイクル後オートプリチャージが起動されるまでの時間を指定します。書き込みサイクル後、TPC + TRWL の期間、次のバンクアクティブコマンドを発行しません。

ビット 11	ビット 10	説 明
TRWL1	TRWL0	
0	0	1 サイクル (初期値)
	1	2 サイクル
1	0	3 サイクル
	1	予約 (設定しないでください)

- ビット9、8： $\overline{\text{CAS}}$ ピフォ $\overline{\text{RAS}}$ リフレッシュ $\overline{\text{RAS}}$ アサート期間 (TRAS1、TRAS0)

接続メモリとしてシンクロナス DRAM インタフェースを選択した場合、オートリフレッシュコマンド発行後、TPC + TRAS の期間バンクアクティブコマンドを発行しません。

ビット 9	ビット 8	説 明
TRAS1	TRAS0	
0	0	2 サイクル (初期値)
	1	3 サイクル
1	0	4 サイクル
	1	5 サイクル

- ビット7：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

13. Liバステートコントローラ (LBSC)

- ビット6~3: アドレスマルチプレクス (AMX3, AMX2, AMX1, AMX0)

シンクロナス DRAM のアドレスマルチプレクスを指定します。

ビット6	ビット5	ビット4	ビット3	説明
AMX3	AMX2	AMX1	AMX0	
1	1	0	1	バス幅 16 ビット時はロウアドレスが A10 から開始し、32 ビット時はロウアドレスが A11 から開始します (ロウアドレスの出力時、A10 の値は A1 で出力されます。4M×16 ビット×4 バンク品)。
		1	0	バス幅 16 ビット時はロウアドレスが A11 から開始します (ロウアドレスの出力時、A11 の値は A1 で出力されます。8M×16 ビット×4 バンク品)。* ¹
0	0	0	0	バス幅 16 ビット時はロウアドレスが A9 から開始し、32 ビット時はロウアドレスが A10 から開始します (ロウアドレスの出力時、A9 の値は A1 で出力されます。1M×16 ビット×4 バンク品)。
			1	バス幅 16 ビット時はロウアドレスが A10 から開始し、32 ビット時はロウアドレスが A11 から開始します (ロウアドレスの出力時、A10 の値は A1 で出力されます。2M×16 ビット×4 バンク品)。
		1	0	バス幅 32 ビット時は、ロウアドレスが A11 から開始します (ロウアドレスの出力時、A11 の値は A1 で出力されます。4M×8 ビット×4 バンク)。 ^{*2}
			1	バス幅 16 ビット時はロウアドレスが A9 から開始し、32 ビット時はロウアドレスが A10 から開始します (ロウアドレスの出力時、A9 の値は A1 で出力されます。512k×32 ビット×4 バンク品)。 ^{*2}
	0	0	0	予約。AMX3~0 = "*1**" に設定してからシンクロナス DRAM アクセスを開始してください。 (初期値)
それ以外の値				予約 (設定不可)

【注】 *1 16 ビットバス幅使用時にのみ設定可能です。

*2 32 ビットバス幅使用時にのみ設定可能です。

- ビット2、1: 参照されません

- ビット0: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

13.2 動作説明

13.2.1 バス共有アーキテクチャ

LCDコントローラ (LCDC) と USB ホストコントローラ (USBH) は、CPU と DMAC との間で、システムメモリを共有できます。したがって、これらのバスマスタは、独立した外部メモリを使わずに動作することができます。またメモリ空間をエリア3で最大 64M バイトまで自由に利用することができます。

LCD コントローラ、USB ホストコントローラ、CPU および DMA コントローラはそれぞれ独立してエリア3をアクセス可能であるため、アドレスの重複などで問題が起こらないように、各コントローラに対するアドレスを設定してください。

13.2.2 使用可能なシステムメモリ

LBSC は下記のメモリで動作します。

メモリエリア	エリア3
メモリタイプ	シンクロナス DRAM
バス幅	16 ビットまたは 32 ビット
バースト長	1~4 バースト (USBH)
	4~32 バースト (LCDC) : 32 ビットバス幅時、8~64 バースト (LCDC) : 16 ビットバス幅時

13.2.3 バスアービトレーション

LBSC は LCDC や USBH からの要求を同一の優先度で受け取ります。LBSC が LCDC や USBH からの要求を受け付けると、随時 BSC からバス権を得ようとします。LBSC が BSC よりバス権を譲り受けると、LCDC や USBH は外部メモリを直接アクセスします。

13.2.4 LCDC のバスアクセス

LCDC が画像を表示している間、LCDC はシステムメモリから連続 32 バーストでデータをシステムメモリから読み続けます。LCDC のバースト長は LCDC 内のレジスタで指定します。LCD パネルの端部など、データ長が 32 バーストより短くなる場合、短いバースト長でリードを行います。

13.2.5 USB ホストのバスアクセス

USB ホストは LBSC に対して、1~4 バーストのリードまたはライト動作を要求します。USB ホストのリードまたはライトのバースト長は FIFO のポインタの位置により変わるため、必ず 4 バーストになるわけではありません。

13. Liバーステートコントローラ (LBSC)

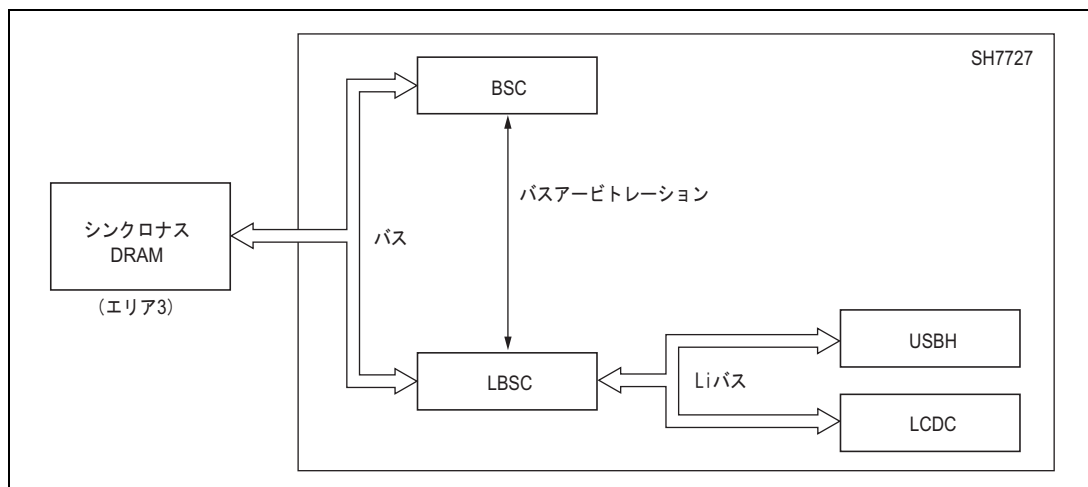


図 13.1 Liバスアーキテクチャのブロック図

13.2.6 他モジュールとバスアービトレーションとの DMA 転送設定について

本 LSI にはバスマスタが BSC 系 (CPU、DMAC、リフレッシュ)、LBSC 系 (LCDC、USBH) の 5 種類が存在します。これらのバスの優先順位は以下のとおりです。

1. BSC系とLBSC系は同等の優先順位
2. BSC系では、リフレッシュが最優先
3. CPUとDMACは、DMAバースト設定時はDMACが優先。サイクルスチール時は、CPUとDMACは同等の優先順位
4. LBSC系では、LCDCとUSBHは同等の優先順位

このように、サイクルスチール時の DMA 転送の優先順位はかなり低くなります。DMAC の転送速度が厳しい場合、特に外部デバイスから \overline{DREQ} 信号のネグートが可能な場合は、DMAC をレベル入力のバースト転送設定とすることを推奨します。

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.1 概要

本 LSI は 4 チャンネルのダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (SIOF、SCIF、USB、A/D 変換器、および D/A 変換器) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。

14.1.1 特長

DMAC には次のような特長があります。

- チャンネル数：4チャンネル
- アドレス空間：アーキテクチャ上は4Gバイト
- 16バイト転送 (16バイト転送は32ビット長の読み出しを4回実行した後に32ビット長の書き込みを4回実行します)
- 転送データ長：8ビット、16ビット、32ビット、16バイトの中から選択可能
- 最大転送回数：16M (16777216) 回
- アドレスモード：

デュアルアドレスモードとシングルアドレスモードをサポート。加えて、直接アドレス転送モード、間接アドレス転送モードの指定可能

デュアルアドレスモード

転送元、転送先双方をアドレスアクセスします。デュアルアドレスモードには直接アドレス転送モードと間接アドレス転送モードがあります。

直接アドレス転送モード：

転送元、転送先とも、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指しています。1回のデータ転送に2バスサイクルを必要とします。

間接アドレス転送モード：

DMAC内部の転送元レジスタに設定されたアドレスの先に格納されている値をアドレスとしてデータ転送を行います。それ以外は直接アクセスと同じ動作です。この機能はチャンネル3でのみ設定可能です。1回のデータ転送に4バスサイクルを必要とします。

シングルアドレスモード

転送元か転送先の周辺デバイスをDACK信号でアクセス (選択) し、もう一方をアドレスでアクセスしま

14. ダイレクトメモリアクセスコントローラ (DMAC)

す。1バスサイクルで1転送単位のデータを転送します。

- チャンネル機能：各チャンネルごとに、設定可能な転送モードが異なります。

チャンネル0：周辺モジュールおよび外部リクエスト受け付け可能。

チャンネル1：周辺モジュールからのリクエスト受け付け可能。

チャンネル2：周辺モジュールからのリクエスト受け付け可能。4回の転送ごとにソースアドレスをリロードする機能（ソースアドレスリロード機能）を持つ。

チャンネル3：周辺モジュールからのリクエスト受け付け可能。直接アドレス転送モード、間接アドレス転送モード指定可能。

- リロード機能：

4回のDMA転送終了ごとに、ソースアドレスレジスタに設定した値を自動的にリロードすることができます。この機能はチャンネル2でのみ実行可能です。

- 転送要求：

DMACの転送起動要求には以下の3種類があります。

外部リクエスト：

$\overline{\text{DREQ}}$ 端子1本（チャンネル0のみ）。ローレベル検出または立ち下がりエッジ検出の指定が可能です。

内蔵モジュール：

シリアルコミュニケーションインタフェース（SIOF、SCIF）、A/D変換器（A/D）、タイマ（CMT）など内蔵周辺モジュールの転送要求です。すべてのチャンネルから受け付け可能です。

オートリクエスト：転送要求をDMAC内部で自動的に発生します。

- バスモード：

バスモードではサイクルスチールモードとバーストモードの選択が可能です。

- チャンネル優先順位：

DMACのチャンネル優先順位には以下の2つの種類があります。

優先順位固定モード：チャンネル優先順位を常に固定にします。

ラウンドロビンモード：実行要求を受け付けたチャンネルの優先順位を最低にします。

- 割り込み要求：

指定した転送回数終了後、CPUに割り込み要求を発生可能です。

14.1.2 DMAC ブロック図

DMAC のブロック図を図 14.1 に示します。

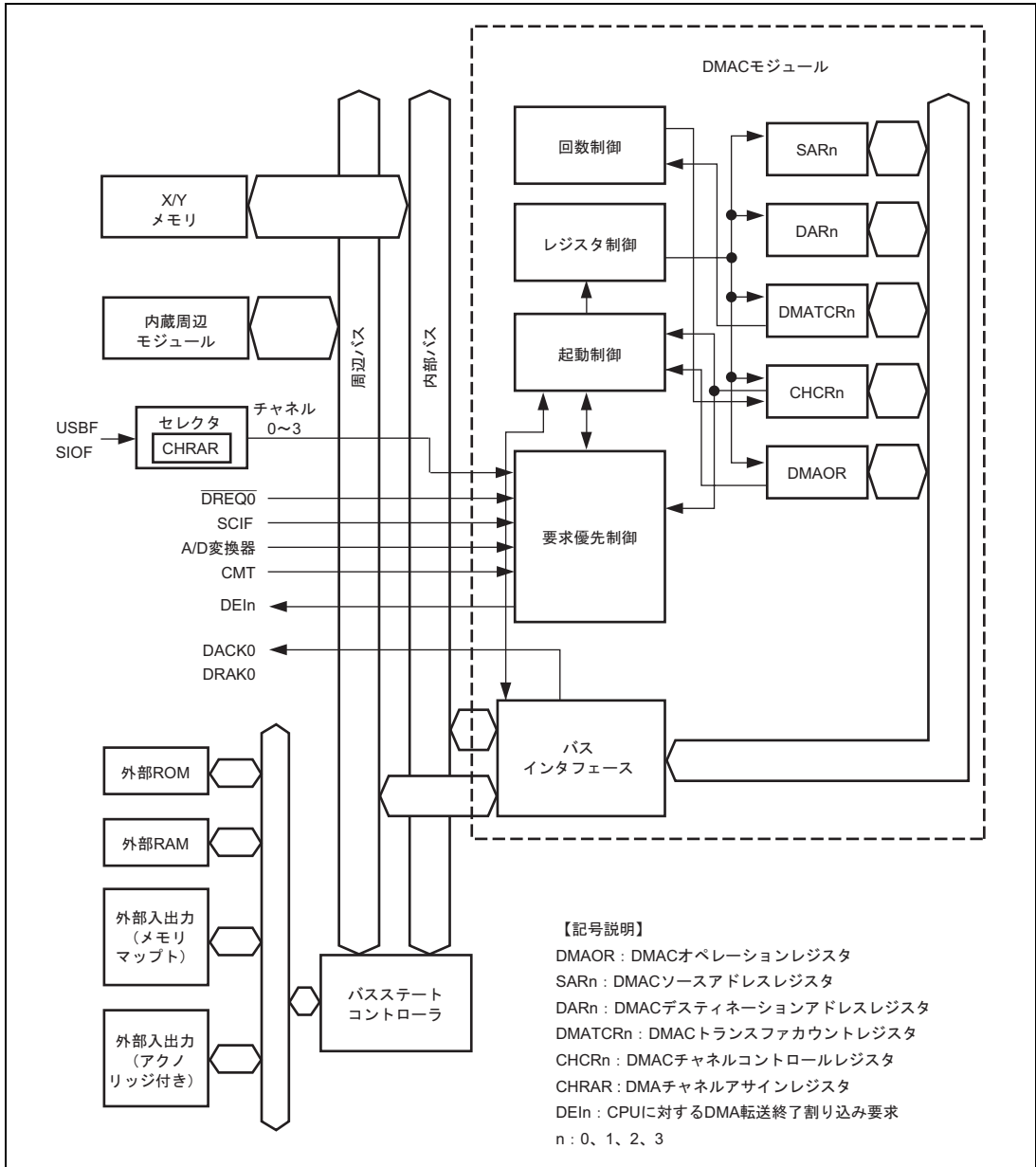


図 14.1 DMAC ブロック図

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.1.3 端子構成

DMAC の端子を表 14.1 に示します。

表 14.1 DMAC 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	$\overline{\text{DREQ0}}$	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DREQ 確認	DACK0	出力	外部デバイスからチャンネル 0 への DMA 転送要求における外部入出力へのストローブ出力
	DMA 要求受け付け確認	DRAK0	出力	$\overline{\text{DREQ0}}$ を受け付けたことを示す出力

14.1.4 レジスタ構成

表 14.2 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられているほか、DMAC 全体の制御用のレジスタが 2 本あり、全体で計 18 本のレジスタがあります。

表 14.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	レジスタサイズ	アクセスサイズ
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	不定	H'04000020 (H'A4000020)* ⁴	32 ビット	16、32* ²
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	不定	H'04000024 (H'A4000024)* ⁴	32 ビット	16、32* ²
	DMA トランスファカウンタレジスタ 0	DMATCR0	R/W	不定	H'04000028 (H'A4000028)* ⁴	24 ビット	16、32* ³
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W* ¹	H'00000000	H'0400002C (H'A400002C)* ⁴	32 ビット	8、16、32* ²
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	不定	H'04000030 (H'A4000030)* ⁴	32 ビット	16、32* ²
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	不定	H'04000034 (H'A4000034)* ⁴	32 ビット	16、32* ²
	DMA トランスファカウンタレジスタ 1	DMATCR1	R/W	不定	H'04000038 (H'A4000038)* ⁴	24 ビット	16、32* ³
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W* ¹	H'00000000	H'0400003C (H'A400003C)* ⁴	32 ビット	8、16、32* ²

14. ダイレクトメモリアクセスコントローラ (DMAC)

チャネル	名称	略称	R/W	初期値	アドレス	レジスタサイズ	アクセスサイズ
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	不定	H'04000040 (H'A4000040)* ⁴	32 ビット	16、32* ²
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	不定	H'04000044 (H'A4000044)* ⁴	32 ビット	16、32* ²
	DMA トランスファカウンタレジスタ 2	DMATCR2	R/W	不定	H'04000048 (H'A4000048)* ⁴	24 ビット	16、32* ³
	DMA チャネルコントロールレジスタ 2	CHCR2	R/W* ¹	H'00000000	H'0400004C (H'A400004C)* ⁴	32 ビット	8、16、32* ²
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	不定	H'04000050 (H'A4000050)* ⁴	32 ビット	16、32* ²
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	不定	H'04000054 (H'A4000054)* ⁴	32 ビット	16、32* ²
	DMA トランスファカウンタレジスタ 3	DMATCR3	R/W	不定	H'04000058 (H'A4000058)* ⁴	24 ビット	16、32* ³
	DMA チャネルコントロールレジスタ 3	CHCR3	R/W* ¹	H'00000000	H'0400005C (H'A400005C)* ⁴	32 ビット	8、16、32* ²
共通	DMA オペレーションレジスタ	DMAOR	R/W* ¹	H'0000	H'04000060 (H'A4000060)* ⁴	16 ビット	8、16* ²
	DMA チャネルアサインレジスタ	CHRAR	R/W	H'0000	H'0400022A (H'A400022A)* ⁴	16 ビット	16

【注】 これらのレジスタは、物理空間の領域 1 に位置しています。したがって、キャッシュが動いている場合、これらのレジスタに論理空間の P2 領域からアクセスするか、MMU を用いて適切な設定を行い、レジスタがキャッシュされないようにして下さい。

- *1 CHCR0~3 のビット 1 および DMAOR のビット 1、ビット 2 はフラグクリアのために 1 読み出し後の 0 書き込みのみ可能。
- *2 SAR0~3、DAR0~3、CHCR0~3 に 16 ビットアクセスをした場合、アクセスされなかった側の 16 ビットの値は保持されます。
- *3 DMATCR は 0~23 ビットまでの 24 ビット構成です。上位側 24~31 ビットまでの 8 ビットへの 1 書き込みは無効となり読み出すと常に 0 が読み出しされます。
- *4 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

14.2 各レジスタの説明

14.2.1 DMA ソースアドレスレジスタ 0~3 (SAR0~3)

ビット:	31	30	29	28	27	26	25	24	23	0	
ビット名:										-----	
初期値:	—	—	—	—	—	—	—	—	—	-----	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	----- R/W	

DMA ソースアドレスレジスタ 0~3 (SAR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、DMA 転送の転送元のアドレスを指定します。DMA 動作中は、次の転送元アドレスを示しています。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送するときは、ソースアドレスは必ず 16 バイト境界 (16n 番地) に値を設定してください。それ以外のアドレスを設定した場合の動作は保証されません。

SAR0~3 はリセット時は、値は不定になります。

スタンバイモード時は、以前の値を保持します。

14.2.2 DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)

ビット:	31	30	29	28	27	26	25	24	23	0	
ビット名:										-----	
初期値:	—	—	—	—	—	—	—	—	—	-----	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	----- R/W	

DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、DMA 転送の転送先のアドレスを指定します。カウント機能を持ち、DMA 動作中は次の転送先アドレスを示しています。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送するとき、デスティネーションアドレスは必ず 16 バイト境界 (16n 番地) に値を設定してください。それ以外のアドレスを設定した場合の動作は保証されません。

DAR0~3 はリセット時、値は不定になります。

スタンバイモード時は、以前の値を保持します。

14.2.3 DMA トランスファカウントレジスタ 0~3 (DMATCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA トランスファカウントレジスタ 0~3 (DMATCR0~3) は読み出し、書き込み可能な 24 ビットのレジスタで、DMA 転送回数 (バイト数、ワード数またはロングワード数) を指定します。転送回数は H'000001 を設定した場合 1 回ですが、H'000000 を設定すると最大値を設定したことになり、16777216 回実行されます。DMAC 動作中は、残りの転送回数を示しています。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。DMATCR の上位 8 ビットは、読み出すとデータは 0 です。書き込む値は常に 0 にしてください。

DMATCR0~3 はリセット時、値は不定になります。

スタンバイモード時は、以前の値が保持されます。

14.2.4 DMA チャネルコントロールレジスタ 0~3 (CHCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名:	—	—	—	—	—	—	—	—	—	—	—	DI	RO	RL	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	(R/W) ^{*2}	(R/W) ^{*2}	(R/W) ^{*2}	(R/W) ^{*2}	(R/W) ^{*2}

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	—	DS	TM	TS1	TS0	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	—	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	(R/W) ^{*2}	R/W	R/W	R/W	R/W	R/W	R ^{*1} (W)

【注】 *1 TEビットは、1読み出し後の0書き込みのみ実行可能です。

*2 DI、RO、RL、AM、AL、DSビットは、チャネルにより存在しないビットがあります。

DMA チャネルコントロールレジスタ 0~3 (CHCR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、各チャネルの動作モード、転送方法などを指定します。

14. ダイレクトメモリアクセスコントローラ (DMAC)

本レジスタのビット 30～21、7 への書き込みは無効です。また、読み出すと 0 が読み出されます。

ビット 20 は CHCR3 でのみ使用し、CHCR0～CHCR2 では使用しません。CHCR0～CHCR2 では本ビットへの書き込みは無効です。また、読み出すと 0 が読み出されます。

ビット 19 は CHCR2 でのみ使用し、CHCR0、CHCR1、および CHCR3 では使用しません。CHCR0、CHCR1、および CHCR3 では本ビットへの書き込みは無効です。また、読み出すと 0 が読み出されます。

ビット 6、ビット 16～18 は CHCR0 と CHCR1 でのみ使用し、CHCR2、CHCR3 では使用しません。CHCR2、CHCR3 ではこれらのビットへの書き込みは無効です。また、読み出すと 0 が読み出されます。

これらのレジスタは、リセット時は 0 に初期化されます。スタンバイモード時は、以前の値を保持します。

- ビット31～21：予約ビット

読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット20：ダイレクト、インダイレクトセレクト (DI)

チャンネル 3 のソースアドレスを直接アドレスモードで動作するか、間接アドレスモードで動作するかを指定するビットです。

このビットは CHCR3 でのみ有効です。CHCR0、1、2 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送時は、直接アドレスモードに設定してください。間接アドレスモードを設定した場合の動作は保証されません。

ビット 20	説明
DI	
0	チャンネル 3 を直接アドレスモードで動作させる (初期値)
1	チャンネル 3 を間接アドレスモードで動作させる

- ビット19：ソースアドレスリロードビット (RO)

チャンネル 2 の転送時、ソースアドレス初期値のリロードを行うか否かの選択ビットです。

このビットは CHCR2 でのみ有効です。CHCR0、1、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送時は、値 0 のリロードしないを設定してください。リロードを設定した場合の動作は保証されません。

ビット 19	説明
RO	
0	ソースアドレスをリロードしない (初期値)
1	ソースアドレスをリロードする

14. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット18: リクエストチェックレベルビット (RL)

$\overline{\text{DREQ}}$ を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかの選択ビットです。

このビットは CHCR0 でのみ有効です。CHCR1、2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 18	説 明
RL	
0	DRAK をローアクティブで出力 (初期値)
1	DRAK をハイアクティブで出力

- ビット17: アクノリッジモードビット (AM)

デュアルアドレスモードで、DACK をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。

シングルアドレスモードでは、このビットの指定に関係なく、DACK は常に出力されます。

このビットは CHCR0 でのみ有効です。CHCR1、2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 17	説 明
AM	
0	読み出しサイクルで DACK を出力 (初期値)
1	書き込みサイクルで DACK を出力

- ビット16: アクノリッジレベル (AL)

DACK (アクノリッジ) 信号をハイアクティブにするかローアクティブにするかを指定します。

このビットは CHCR0 でのみ有効です。CHCR1、2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 16	説 明
AL	
0	ローアクティブで DACK 出力 (初期値)
1	ハイアクティブで DACK 出力

14. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット15、14：デスティネーションアドレスモード1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。

ビット 15	ビット 14	説 明
DM1	DM0	
0	0	デスティネーションアドレスは固定* (初期値)
	1	デスティネーションアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4、16 バイト転送時は+16)
1	0	デスティネーションアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4、16 バイト転送時は、設定禁止)
	1	予約 (設定禁止)

【注】 * 16 バイト転送時、転送先が X/Y メモリの場合はこの設定はできません。

- ビット13、12：ソースアドレスモード1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。

ビット 13	ビット 12	説 明
SM1	SM0	
0	0	ソースアドレスは固定* (初期値)
	1	ソースアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4、16 バイト転送時は+16)
1	0	ソースアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4、16 バイト転送時は、設定禁止)
	1	予約 (設定禁止)

【注】 * 16 バイト転送時、転送先が X/Y メモリの場合はこの設定はできません。

転送元が間接アドレスに指定されている場合、ソースアドレスレジスタ 3 (SAR3) には、実際に転送したいデータの格納されているアドレスの値が、データとして保存されているアドレス (間接アドレス) を指定してください。

間接アドレスモード時の SAR3 の増減の指定も SM1、SM0 に従いますが、この場合は TS1、TS0 で指定した転送データのサイズにかかわらず、SAR3 の増減値は+4、-4 または 0 固定になります。

14. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット11～8：リソースセレクト3、2、1、0 (RS3、RS2、RS1、RS0)

DMAC に送信される転送要求元を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説 明
RS3	RS2	RS1	RS0	
0	0	0	0	外部リクエスト* ¹ 、デュアルアドレスモード (初期値)
			1	設定禁止
		1	0	外部リクエスト* ¹ 、シングルアドレスモード 外部アドレス空間 DACK 付き外部デバイス
			1	外部リクエスト* ¹ 、シングルアドレスモード DACK 付き外部デバイス 外部アドレス空間
	1	0	0	オートリクエスト
			1	設定禁止
		1	0	設定禁止
			1	設定禁止
1	0	0	0	DMA 要求拡張選択* ³
			1	設定禁止
		1	0	設定禁止
			1	設定禁止
	1	0	0	SCIF 送信* ²
			1	SCIF 受信* ²
		1	0	A/D 変換器* ²
			1	CMT* ²

【注】 *1 外部リクエストの指定はチャンネル0のみ有効です。チャンネル1、2、3の場合、いずれの転送要求元も選択できません。

*2 16バイト転送時には、

1100 SCIF 送信

1101 SCIF 受信

1110 A/D 変換器

1111 CMT

に設定しないでください。設定した場合の動作は保証されません。

*3 USB ファンクションコントローラ、SIOF にて DMA 転送を使用する場合、RS3～RS0 を 1000 に設定し、CHRR レジスタで該当モジュールを選択してください。

14. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット6: $\overline{\text{DREQ}}$ セレクト (DS)

外部リクエストモードで使用する $\overline{\text{DREQ}}$ 端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。

このビットは CHCR0 でのみ有効です。CHCR1、2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

またチャンネル 0 でも、転送要求元を内蔵周辺モジュールに指定した場合は、0 (ローレベル検出) にしてください。

ビット 6	説 明
DS	
0	$\overline{\text{DREQ}}$ 端子はローレベル検出 (初期値)
1	$\overline{\text{DREQ}}$ 端子は立ち下がりエッジ検出

- ビット5: トランスミットモード (TM)

転送するときのバスモードを指定するビットです。

ビット 5	説 明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

- ビット4、3: トランスミットサイズ1、0 (TS1、TS0)

転送するデータのサイズを指定するビットです。

ビット 4	ビット 3	説 明
TS1	TS0	
0	0	バイトサイズ (8 ビット) 指定 (初期値)
	1	ワードサイズ (16 ビット) 指定
1	0	ロングワードサイズ (32 ビット) 指定
	1	16 バイト単位 (ロングワード 4 回転送)

- ビット2: インターラプトイネーブル (IE)

このビットに 1 をセットしておくとし、DMATCR に指定した回数のデータ転送が終了したとき (TE=1 のとき) 割り込み要求を発生します。

ビット 2	説 明
IE	
0	DMATCR 指定転送回数終了時、割り込み要求を発生しない。 (初期値)
1	DMATCR 指定転送回数終了時、割り込み要求を発生する。

14. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット1: トランスファエンド (TE)

DMATCR で指定した回数の転送が終了したとき 1 にセットされるビットです。このとき IE ビットが 1 にセットされていれば、割り込み要求を発生します。

TE が 1 にセットされる前に NMI 割り込み、DMAC によるアドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了した場合は、TE ビットは 1 にセットされません。このビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。

ビット 1	説 明
TE	
0	DMATCR 指定回数による転送未終了 (初期値) 【クリア条件】TE=1 の読み出し後 0 書き込み、パワーオンリセット、マニュアルリセット
1	DMATCR 指定回数による転送終了

- ビット0: DMACイネーブル (DE)

対応するチャンネルの動作を許可するビットです。

ビット 0	説 明
DE	
0	対応チャンネルの動作禁止 (初期値)
1	対応チャンネルの動作許可

オートリクエストを指定 (RS3~0 で指定) した場合、このビットに 1 をセットすると転送に入ります。外部リクエスト、内蔵モジュールリクエストでは、このビットに 1 をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DE ビットをセットしても TE が 1 の場合、DMAOR の DME ビットが 0 の場合、または、DMAOR の NMIF ビットまたは AE ビットが 1 の場合は転送許可状態には入りません。

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.2.5 DMA チャンネルアサインレジスタ (CHRAR)

DMA チャンネルアサインレジスタ (CHRAR) は、16 ビットの読み出し / 書き込み可能なレジスタで、各 DMA チャンネルに対する USBF や SIOF からのリクエストを、各拡張 DMA にアサインします。CHRAR は、パワーオンリセットで、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで 0 に初期化されます。スタンバイモードでは、前の値を保持します。

ビット :	15、14、13、12	11、10、9、8
ビット名 :	CH3RID3~CH3RID0	CH2RID3~CH2RID0
初期値 :	0	0
R/W :	R/W	R/W
ビット :	7、6、5、4	3、2、1、0
ビット名 :	CH1RID3~CH1RID0	CH0RID3~CH0RID0
初期値 :	0	0
R/W :	R/W	R/W

- ビット15~12 : DMA チャンネル3要求アサイン3~0 (CH3RID3~CH3RID0)

DMA チャンネル 3 からの DMA 要求を選択します。

ビット 15~12	説明
CH3RID3~0	
0000	未使用 (初期値)
0001	USBF 受信 DMA 要求がチャンネル 3 から選択される。
0010	USBF 送信 DMA 要求がチャンネル 3 から選択される。
1001	SIOF 受信 DMA 要求がチャンネル 3 から選択される。
1010	SIOF 送信 DMA 要求がチャンネル 3 から選択される。

- ビット11~8 : DMAチャンネル2要求アサイン3~0 (CH2RID3~CH2RID0)

DMA チャンネル 2 からの DMA 要求を選択します。

ビット 11~8	説明
CH2RID3~0	
0000	未使用 (初期値)
0001	USBF 受信 DMA 要求がチャンネル 2 から選択される。
0010	USBF 送信 DMA 要求がチャンネル 2 から選択される。
1001	SIOF 受信 DMA 要求がチャンネル 2 から選択される。
1010	SIOF 送信 DMA 要求がチャンネル 2 から選択される。

14. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット7~4 : DMAチャンネル1要求アサイン3~0 (CH1RID3~CH1RID0)

DMA チャンネル 1 からの DMA 要求を選択します。

ビット7~4	説 明	
CH1RID3~0		
0000	未使用	(初期値)
0001	USBF 受信 DMA 要求がチャンネル 1 から選択される。	
0010	USBF 送信 DMA 要求がチャンネル 1 から選択される。	
1001	SIOF 受信 DMA 要求がチャンネル 1 から選択される。	
1010	SIOF 送信 DMA 要求がチャンネル 1 から選択される。	

- ビット3~0 : DMAチャンネル0要求アサイン3~0 (CH0RID3~CH0RID0)

DMA チャンネル 0 からの DMA 要求を選択します。

ビット3~0	説 明	
CH0RID3~0		
0000	未使用	(初期値)
0001	USBF 受信 DMA 要求がチャンネル 0 から選択される。	
0010	USBF 送信 DMA 要求がチャンネル 0 から選択される。	
1001	SIOF 受信 DMA 要求がチャンネル 0 から選択される。	
1010	SIOF 送信 DMA 要求がチャンネル 0 から選択される。	

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.2.6 DMA オペレーションレジスタ (DMAOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:	—	—	—	—	—	—	PR1	PR0	—	—	—	—	—	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/(W)*R/(W)*	R/W	

【注】 * AEビット NMIFビットは、1読み出し後の0書き込みのみ実行可能です。

DMAOR は読み出し、書き込み可能な 16 ビットのレジスタで、DMAC の転送モードを指定します。本レジスタはリセット時に 0 に初期化されます。スタンバイモード時は、以前の値を保持します。

- ビット15～10：予約ビット

読み出すとデータは 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット9、8：プライオリティモード1、0 (PR1、PR0)

同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。

ビット9	ビット8	説 明
PR1	PR0	
0	0	CH0 > CH1 > CH2 > CH3 (初期値)
	1	CH0 > CH2 > CH3 > CH1
1	0	CH2 > CH0 > CH1 > CH3
	1	ラウンドロビンモード

- ビット7～3：予約ビット

読み出すとデータは 0 が読み出されます。書き込む値も常に 0 にしてください。

14. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット2: アドレスエラーフラグビット (AE)

DMACによるアドレスエラーが発生したことを示します。このビットのセットは、DMAC動作中に行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から AE に 1 を書き込むことはできません。クリアは、1 読み出し後の 0 書き込みのみ有効です。

ビット2	説明
AE	
0	DMAC によるアドレスエラーなし。DMA 転送許可状態。 【クリア条件】 AE=1 読み出し後 AE=0 書き込み、パワーオンリセット、マニュアルリセット (初期値)
1	DMAC によるアドレスエラーあり。DMA 転送禁止状態。 【セット条件】 DMAC によるアドレスエラー発生

- ビット1: NMIフラグ (NMIF)

NMI 割り込みが発生したことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 を書き込むことはできません。クリアは、1 読み出し後の 0 書き込みのみ有効です。

ビット1	説明
NMIF	
0	NMI 入力なし。DMA 転送許可状態。 【クリア条件】 NMIF=1 読み出し後 NMIF=0 書き込み、パワーオンリセット、マニュアルリセット (初期値)
1	NMI 入力あり。DMA 転送禁止状態。 【セット条件】 NMI 割り込みの発生

- ビット0: DMACマスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中にこのビットをクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても、CHCR の TE ビットが 1、または DE ビットが 0 の場合、DMAOR の AE ビットが 1 の場合、もしくは、DMAOR の NMIF ビットが 1 の場合は、転送許可状態には入りません。

ビット0	説明
DME	
0	全チャンネルの DMA 転送禁止 (初期値)
1	全チャンネルの DMA 転送許可

14.3 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。デュアルアドレスモードには、直接アドレス転送モードと間接アドレス転送モードがあります。バスモードには、バーストモードとサイクルスチールモードを選択することができます。

14.3.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

1. 転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS0、TS1ビットの設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みが発生します。
4. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットが0にされた場合にも、転送を中断します。

図 14.2 に上記のフローチャートを示します。

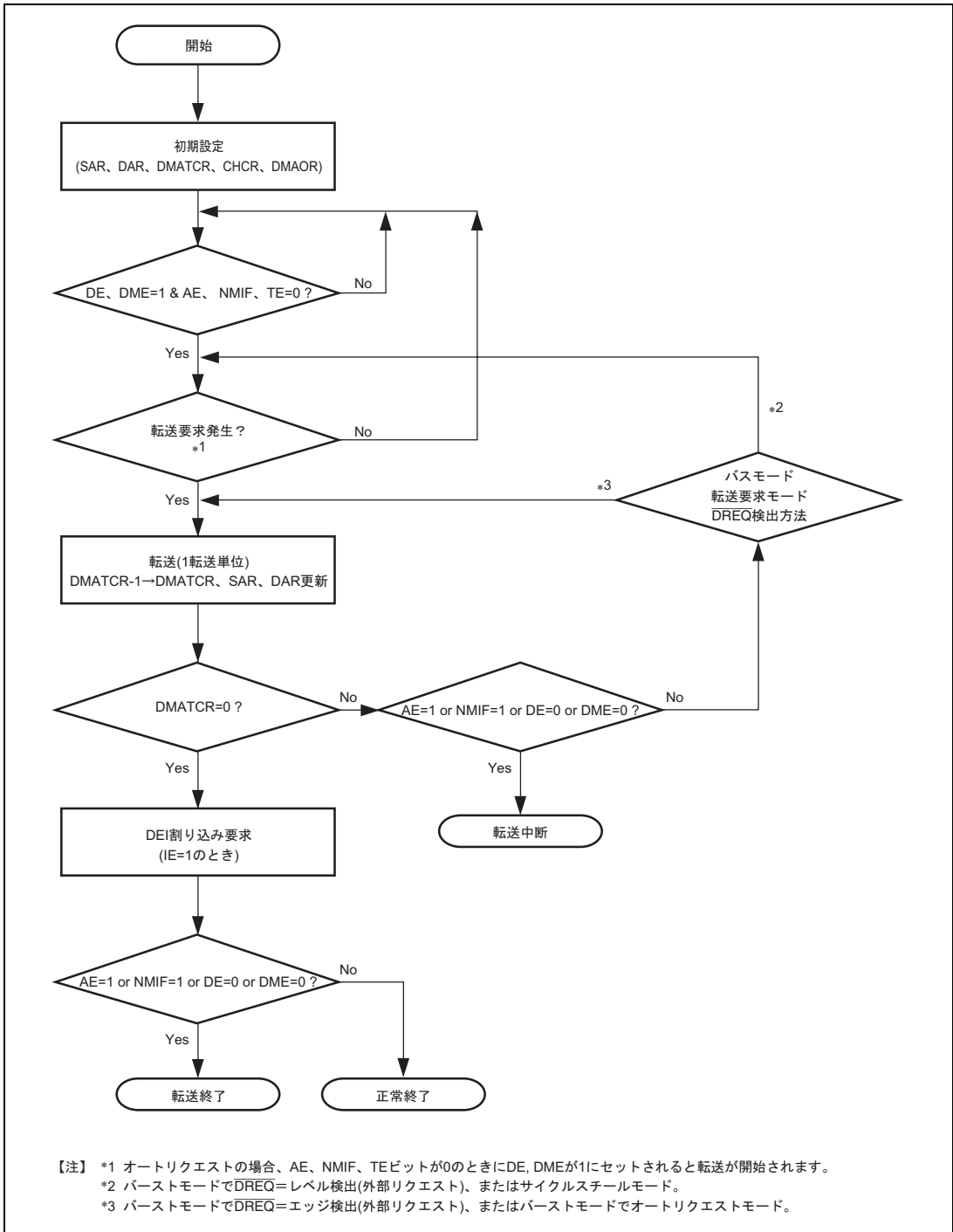


図 14.2 DMAC 転送フローチャート

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエスト、の3種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3) の RS3~RS0 ビットによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ間の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ間の転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3 の DE ビットおよび DMAOR レジスタの DME ビットを 1 にセットすると転送が開始されます。ただし CHCR0~CHCR3 の TE ビット、DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは外部デバイスからの転送要求信号 (\overline{DREQ}) によって転送を開始させるモードです。応用システムに応じて、表 14.3 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、AE=0、NMIF=0) に \overline{DREQ} が入力されると DMA 転送が開始されます。 \overline{DREQ} を立ち下がりエッジで検出するかローレベルで検出するかは、CHCR0 の DS ビットで選びます (DS=0 はレベル検出、DS=1 はエッジ検出)。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 14.3 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアル アドレスモード	任意*	任意*
		1	0	シングルアドレス モード	外部メモリ、 メモリマップト外部デバイス	DACK 付き外部デバイス
			1		DACK 付き外部デバイス	外部メモリ、 メモリマップト外部デバイス

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、UBC、BSC を除く)

14. ダイレクトメモリアクセスコントローラ (DMAC)

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールの転送要求信号 (割り込み要求信号) によって転送が実行されます。

転送要求信号は、シリアルコミュニケーションインタフェース (SCIF) からの受信データフル割り込み (RXI)、送信データエンプティ割り込み (TXI)、A/D 変換器からの A/D 変換終了割り込み (ADI)、および CMT からのコンペアマッチタイマ割り込み (CMI) のほかに、拡張用として SIOF からの送信要求 (TDREQ)、受信要求 (RDREQ) と USBF からの送信要求 (DREQN1)、受信要求 (DREQN0) の 8 通りの要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE=1、DME=1、TE=0、AE=0、NMIF=0) ならば、転送要求信号入力によって転送が実行されます。転送要求元は、必ずしもデータの転送元または転送先である必要はありません。

ただし、転送要求を RXI2 に設定した場合は、転送元を当該 SCIF のレシーブデータレジスタ (RDR2) とする必要があります。同様に、転送要求を TXI2 に設定した場合は、転送先を当該 SCIF のトランスミットデータレジスタ (TDR2) とする必要があります。さらに、転送要求が A/D 変換器からの場合は、データ転送元を、A/D データレジスタ (ADDR) とする必要があります。

その他 SIOF、USBF のそれぞれの転送要求に対する転送元、および転送先については表 14.4 を参照してください。

表 14.4 RS3 ~ RS0 ビットによる内蔵周辺モジュールリクエストモードの選択

RS3	RS2	RS1	RS0	DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード	
1	0	0	0	拡張	USBF 受信部	DREQN[0] (DMA 転送要求出力)	EPDR1	任意*	サイクル スチール
					USBF 送信部	DREQN[1] (DMA 転送要求出力)	任意*	EPDR2	
					SIOF 受信部	RDREQ (受信データ転送リクエスト)	SIRDR	任意*	サイクル スチール
					SIOF 送信部	TDREQ (送信データ転送リクエスト)	任意*	SITDR	
	1	0	0	SCIF 送信部	TXI2 (SCIF 送信データエンプティ割り込み)	任意*	TDR2	サイクル スチール	
				SCIF 受信部	RXI2 (SCIF 受信データフル割り込み)	RDR2	任意*	サイクル スチール	
		1	0	A/D 変換器	ADI (A/D 変換終了割り込み)	ADDR	任意*	サイクル スチール	
				CMT	CMI (コンペアマッチタイマ割り込み)	任意*	任意*	バースト/ サイクル スチール	

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (DMAC、BSC、UBC を除く)

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する割り込み許可ビットをセットして、割り込み信号を出力させてください。

14. ダイレクトメモリアクセスコントローラ (DMAC)

内蔵周辺モジュールの割り込み要求信号を DMA 転送要求信号として使用した場合、CPU に対する割り込みは発生しません。

表 14.4 の転送要求信号は、対応する DMA 転送が行われると、自動的に取り下げられます。これはサイクルスチールモードの場合 1 回の転送で、バーストモードの場合最後の転送時に行われます。

14.3.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 種類のモードから選択できます。モードの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す 3 種類があります。

- CH0 > CH1 > CH2 > CH3
- CH0 > CH2 > CH3 > CH1
- CH2 > CH0 > CH1 > CH3

これらの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで、1 転送単位 (バイト、ワード、またはロングワード単位) の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 14.3 に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 です。

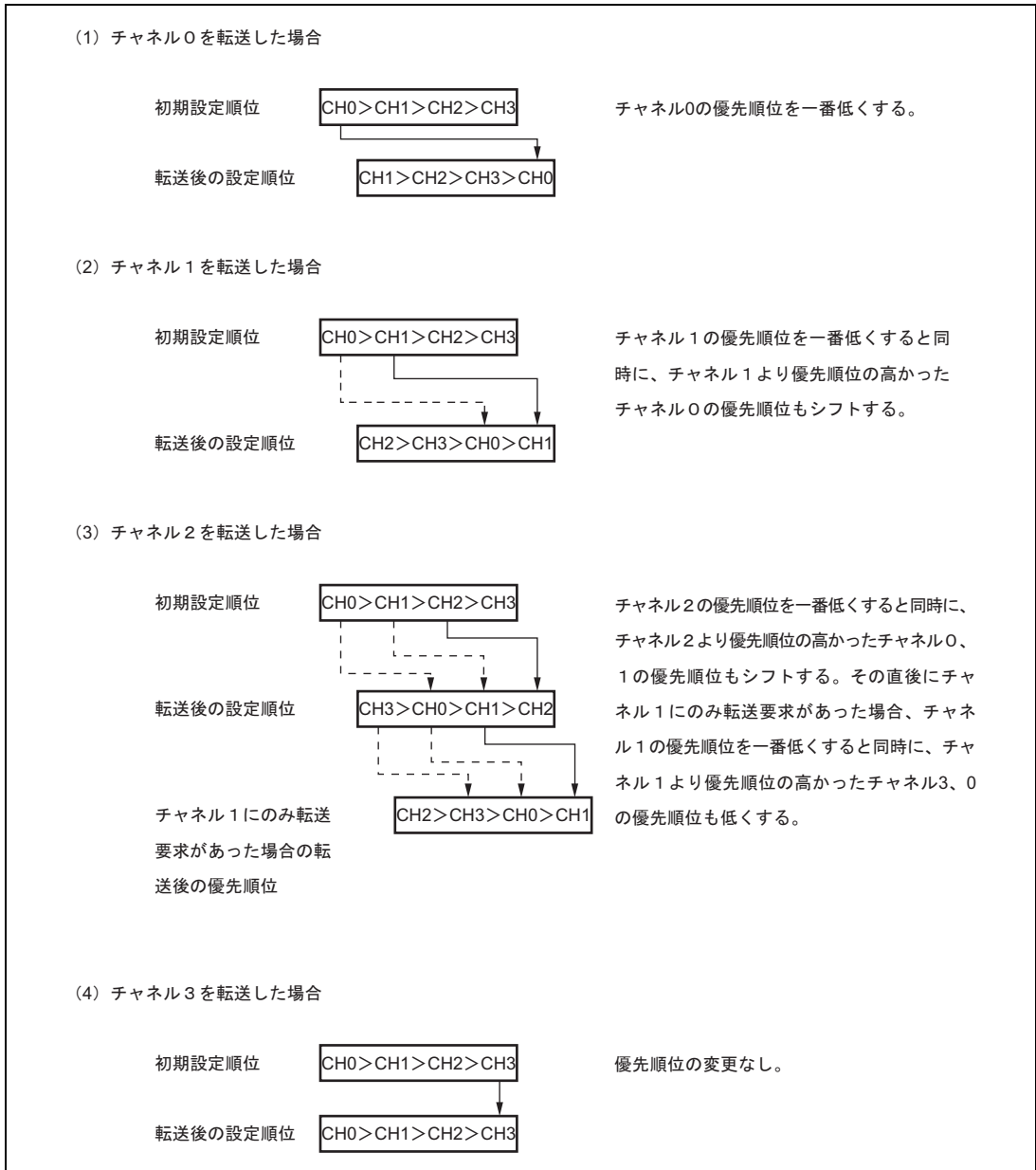


図 14.3 ラウンドロビンモード

14. ダイレクトメモリアクセスコントローラ (DMAC)

図 14.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

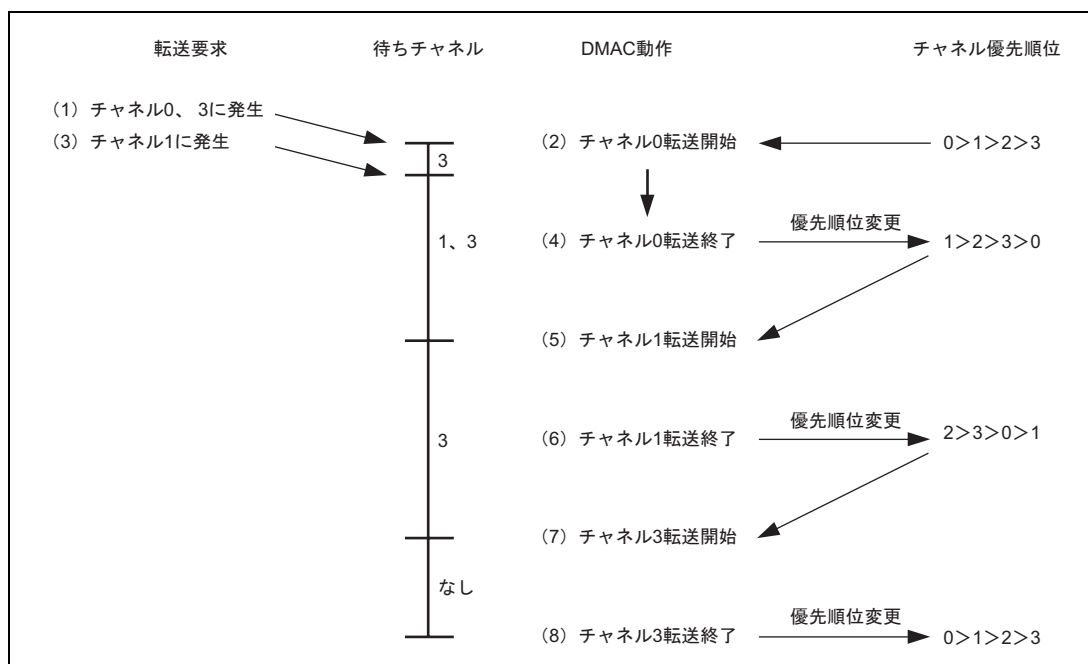


図 14.4 ラウンドロビンモードでのチャンネル優先順位変更例

14.3.4 DMA 転送の種類

DMAC がサポートできる転送を表 14.5 に示します。デュアルアドレスモードには、直接アドレスモードと間接アドレスモードがあります。直接アドレスモードでは、出力したアドレスの値が直接データ転送の対象となるアドレスとなります。間接アドレスモードでは、出力したアドレスの値がそのままデータ転送の対象とならず、出力したアドレスに格納されている値がデータ転送の対象のアドレスとなります。転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 14.5 サポートできる DMA 転送

転送元	転送先				
	DACK 付 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	XY メモリ
DACK 付き 外部デバイス	不可	デュアル、 シングル	デュアル、 シングル	不可	不可
外部メモリ	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	不可	デュアル	デュアル	デュアル	デュアル
XY メモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
 2. シングル：シングルアドレスモード
 3. デュアルアドレスモードは、直接アドレスモードと間接アドレスモードを含みます。
 4. 内蔵周辺モジュールは 16 バイト転送できません。

14. ダイレクトメモリアクセスコントローラ (DMAC)

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は内部でも外部でもかまいません。デュアルアドレスモードには(1)直接アドレス転送モード、(2)間接アドレス転送モードがあります。

1. 直接アドレス転送モード

データ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。このとき転送データは一時的にDMACに格納されます。図14.5のような外部メモリ間の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また図14.6～図14.8にこの場合のタイミング例を示します。

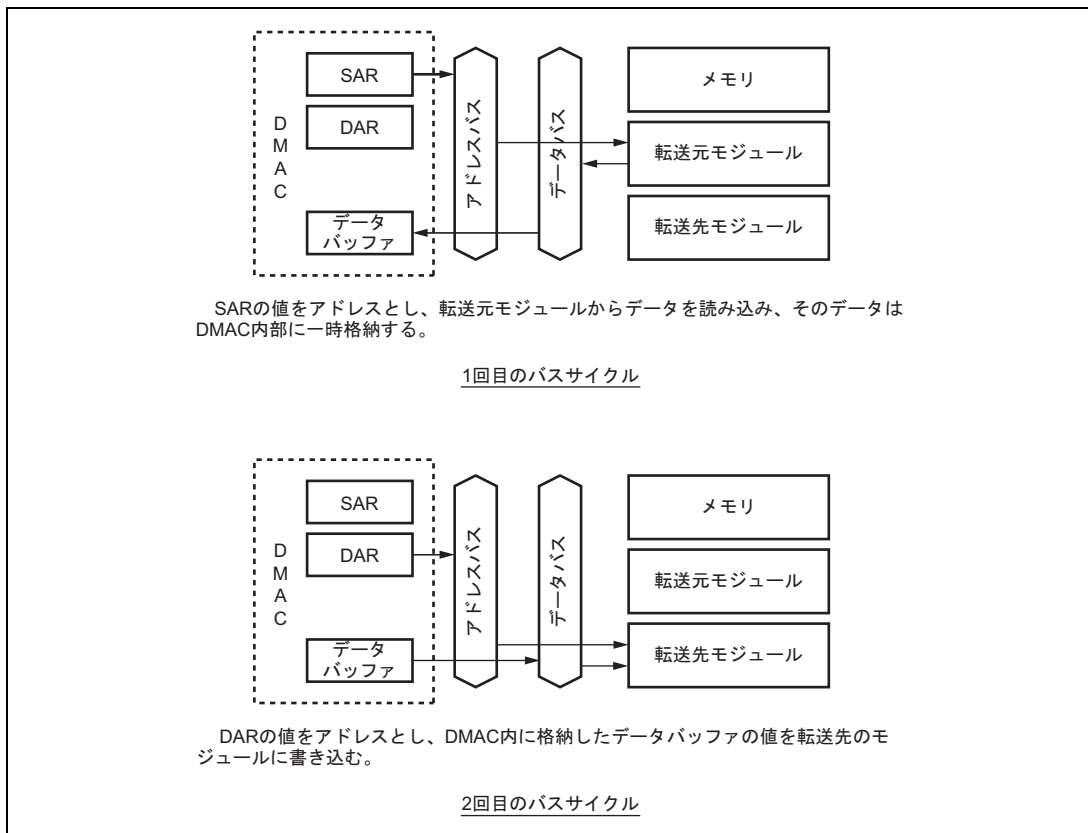


図 14.5 デュアルアドレスモード、直接アドレスの動作説明

14. ダイレクトメモリアクセスコントローラ (DMAC)

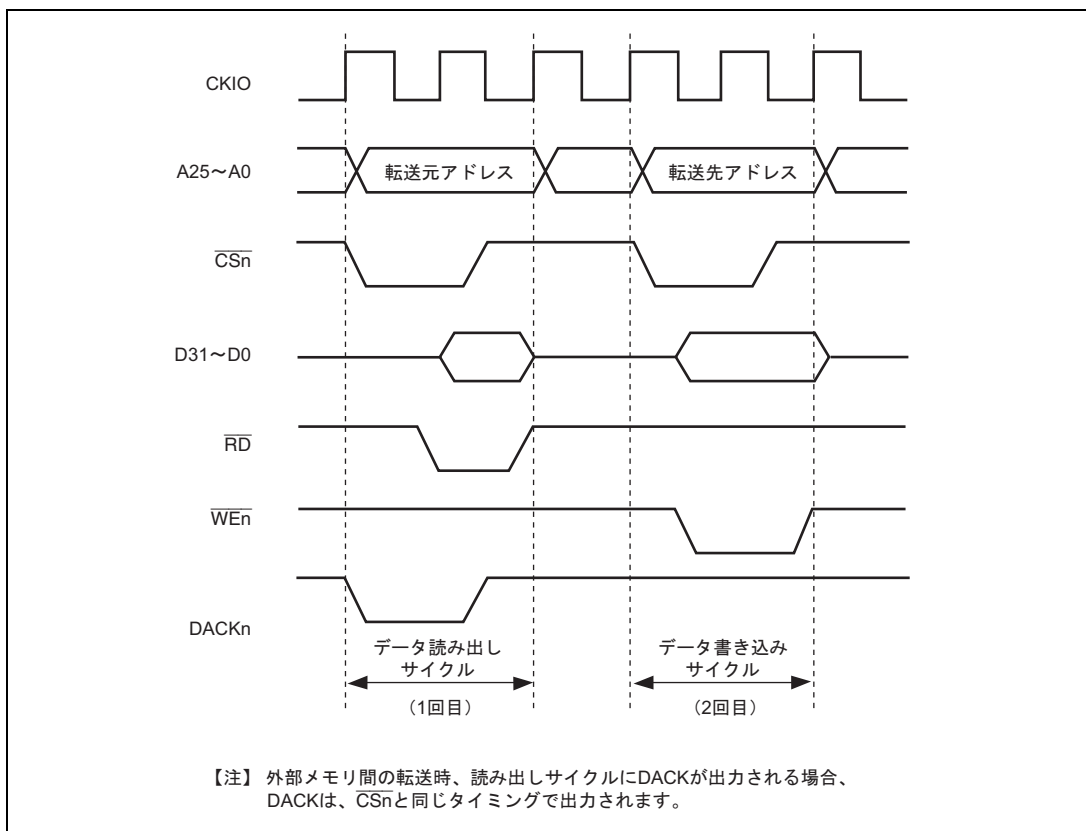


図 14.6 デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例
(転送元：通常メモリ、転送先：通常メモリ)

14. ダイレクトメモリアクセスコントローラ (DMAC)

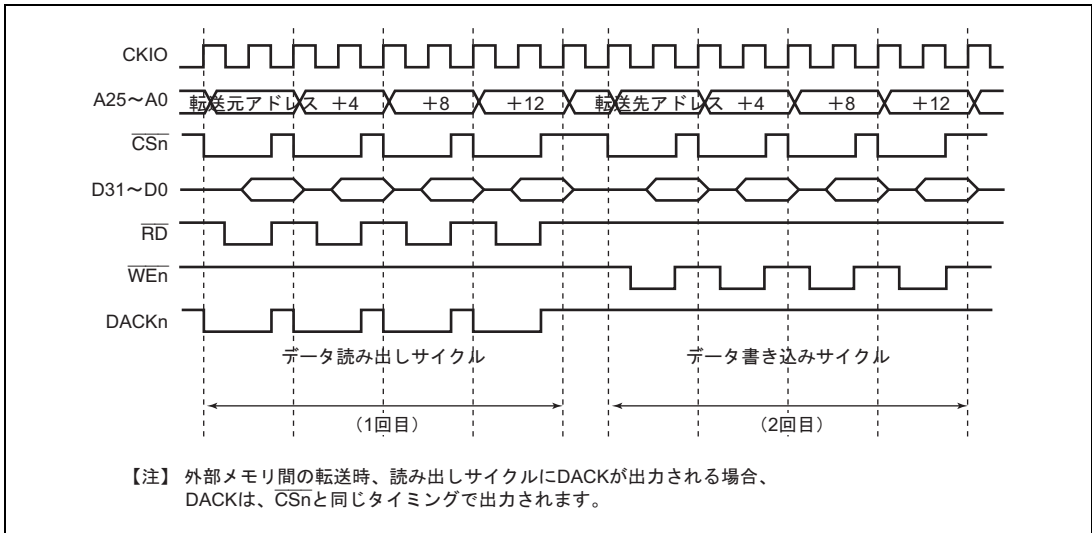


図 14.7 デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例
(16 バイト転送、転送元：通常メモリ、転送先：通常メモリ)

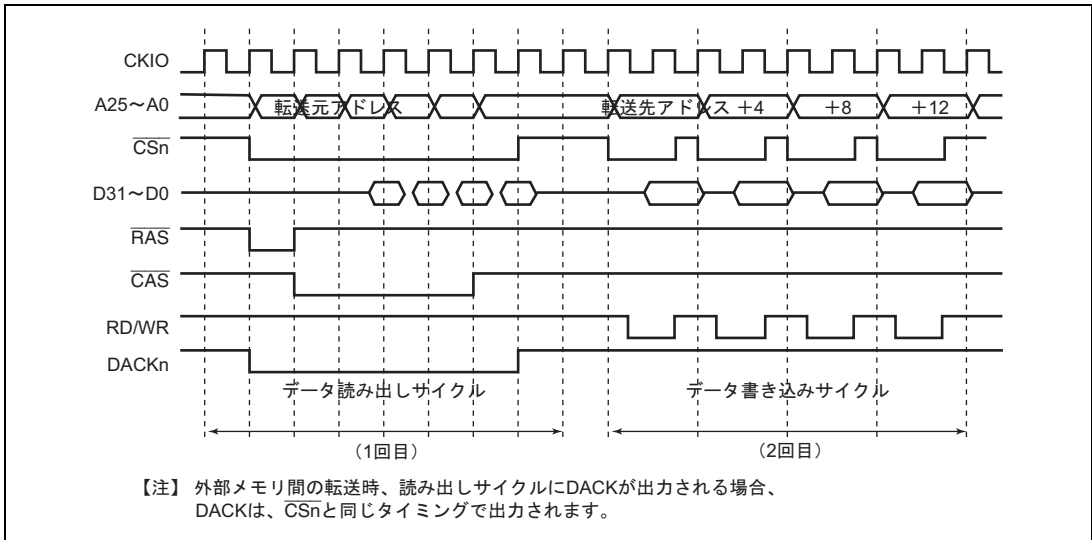


図 14.8 デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例
(16 バイト転送、転送元：シンクロナス DRAM、転送先：通常メモリ)

2. 間接アドレス転送モード

DMAC内部の転送元アドレスレジスタ (SAR3) に、実際に転送したいデータの格納されているメモリのアドレスが指定されている転送モードです。16バイト転送はできません。したがって、間接アドレス転送モードでは、まずDMAC内部の転送元アドレスレジスタに指定されたアドレスの値を読み出します。この値は、いったんDMAC内部に格納されます。次に、読み出した値をアドレスとして出力し、そのアドレスに格納されている値を再びDMAC内部に格納します。最後に転送先アドレスレジスタに指定されたアドレスに、後から読み出した値を書き込んで1回のDMA転送が終了します。

図14.9に、間接アドレスモードで、転送先、転送元、間接アドレスの格納先すべてが外部メモリであり、転送データが16ビットまたは8ビットの場合の転送例を示します。また図14.10にタイミング例を示します。

間接アドレスモードでは、間接アドレスとして読み出したデータをアドレスバスに出力するまでに、1回のNOPサイクル (図14.10のCK1サイクル分) を必要とします。

なお転送データが32ビットサイズの場合、図14.10の3回目と4回目のバスサイクルが2回ずつ必要となり、全体で6回のバスサイクルと1回のNOPサイクルが必要になります。

14. ダイレクトメモリアクセスコントローラ (DMAC)

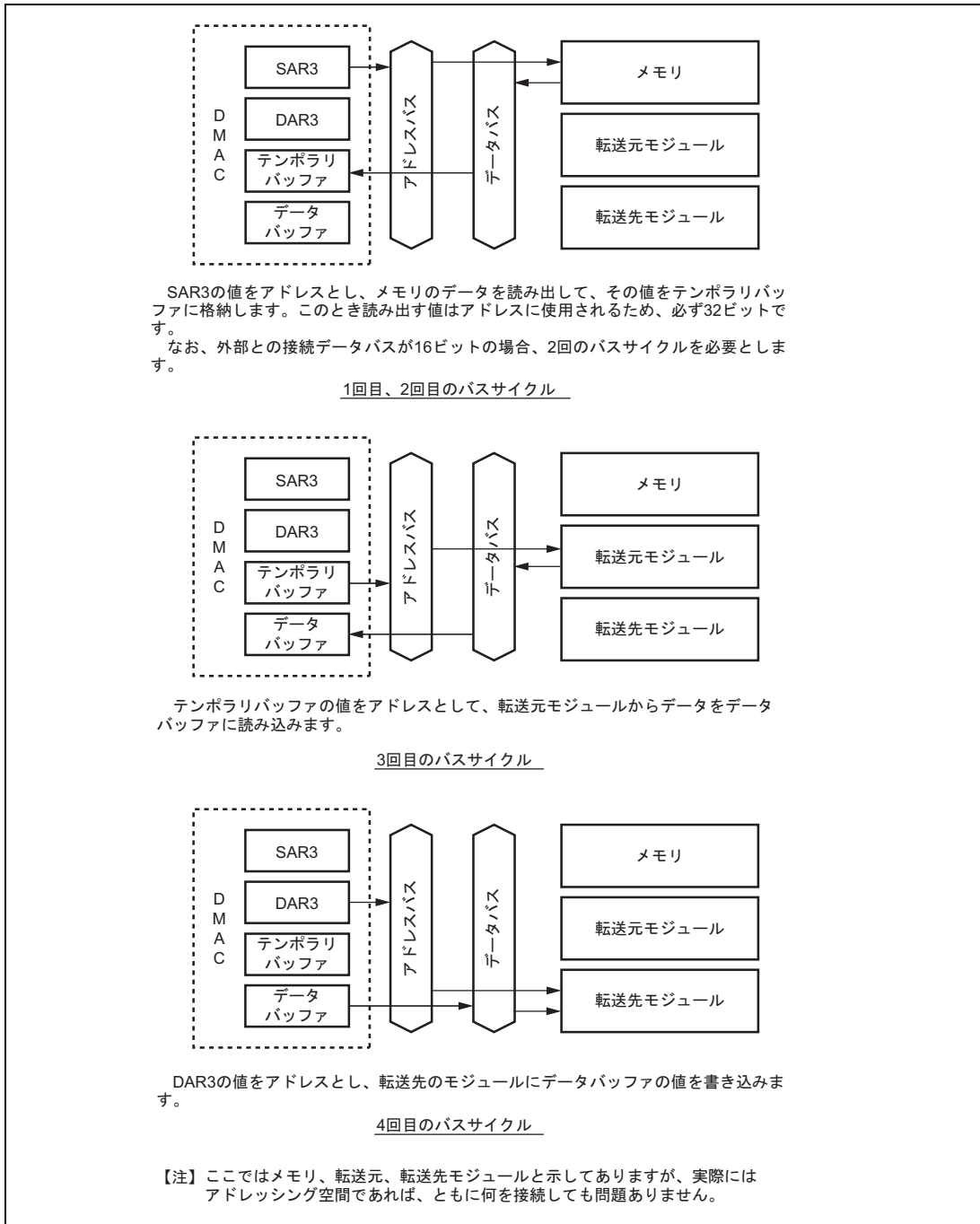


図 14.9 デュアルアドレスモード、間接アドレスの動作説明
(外部メモリ空間が16ビット幅の場合)

14. ダイレクトメモリアクセスコントローラ (DMAC)

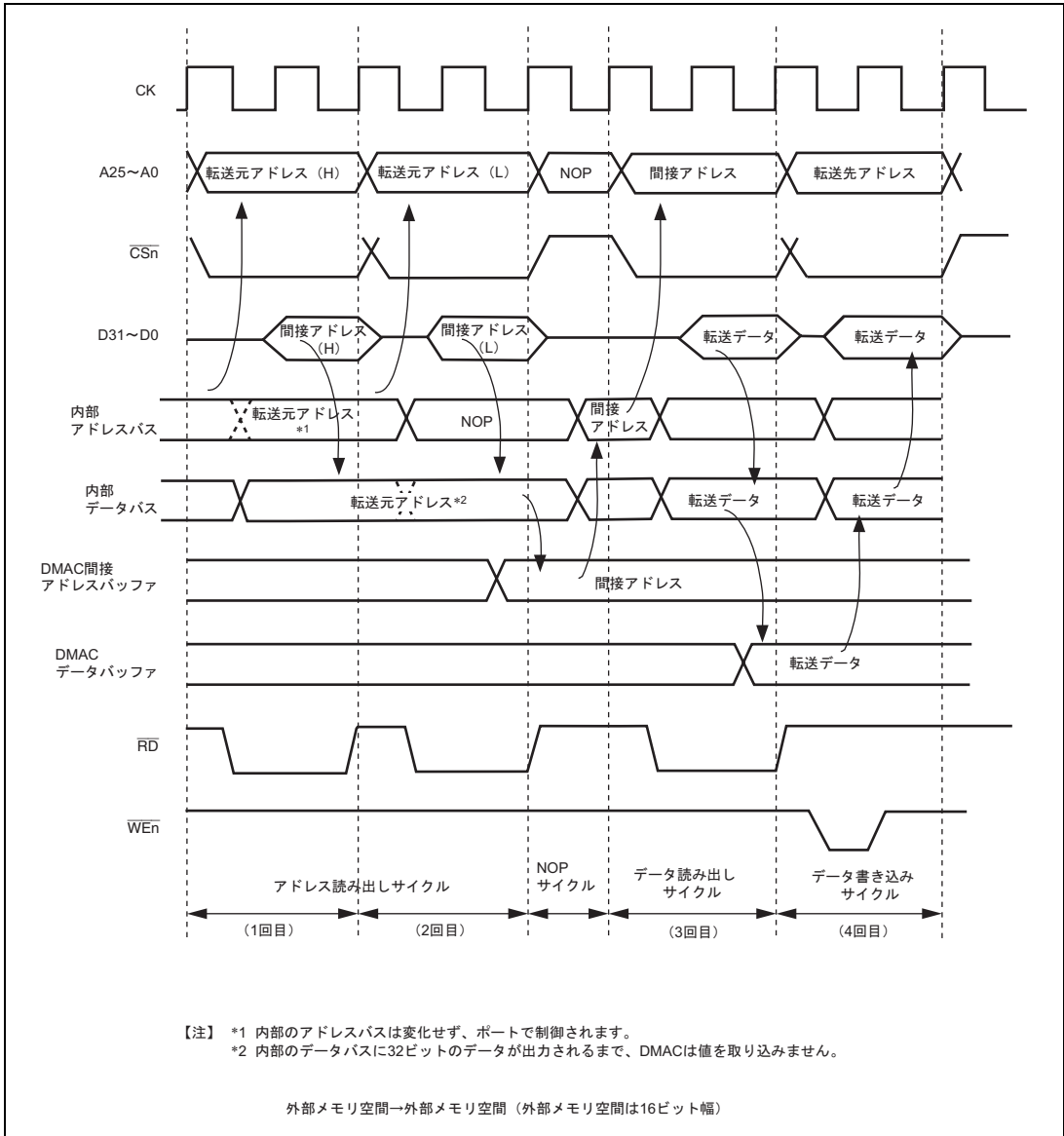


図 14.10 デュアルアドレスモード、間接アドレスでの転送タイミング例

14. ダイレクトメモリアクセスコントローラ (DMAC)

(b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセス (選択) し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1つのバスサイクルで DMA 転送を行います。たとえば、図 14.11 のような外部メモリと DACK 付き外部デバイス間の転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

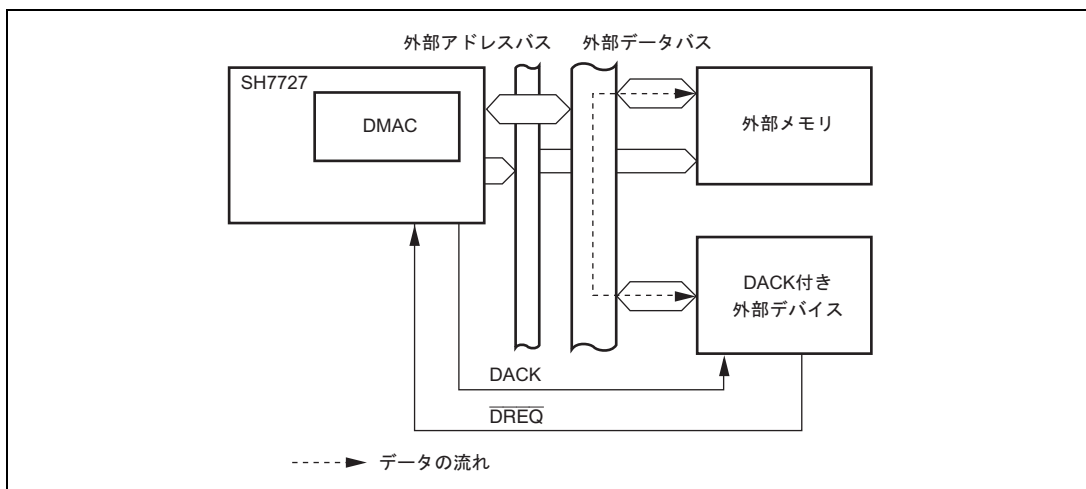


図 14.11 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、2) DACK 付き外部デバイスと外部メモリ間転送の 2 種類です。いずれの場合も転送要求は、外部リクエスト (\overline{DREQ}) のみです。

図 14.12、図 14.13 に、シングルアドレスモードでの DMA 転送タイミング例を示します。

14. ダイレクトメモリアクセスコントローラ (DMAC)

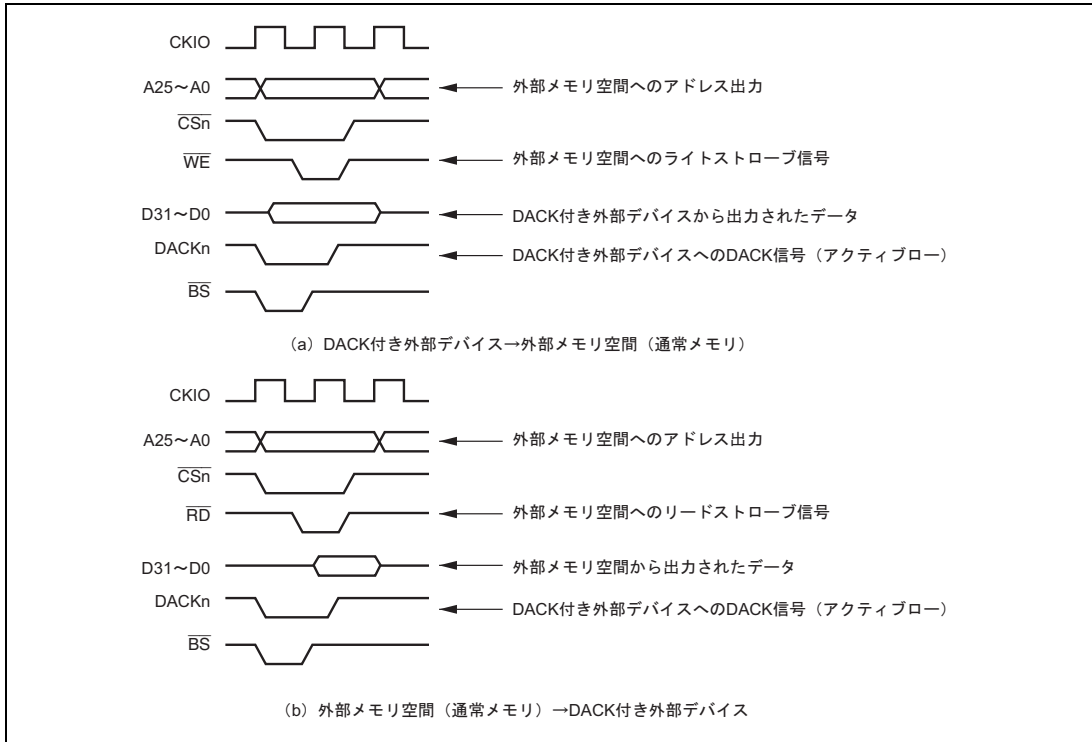


図 14.12 シングルアドレスモードでの DMA 転送タイミング

14. ダイレクトメモリアクセスコントローラ (DMAC)

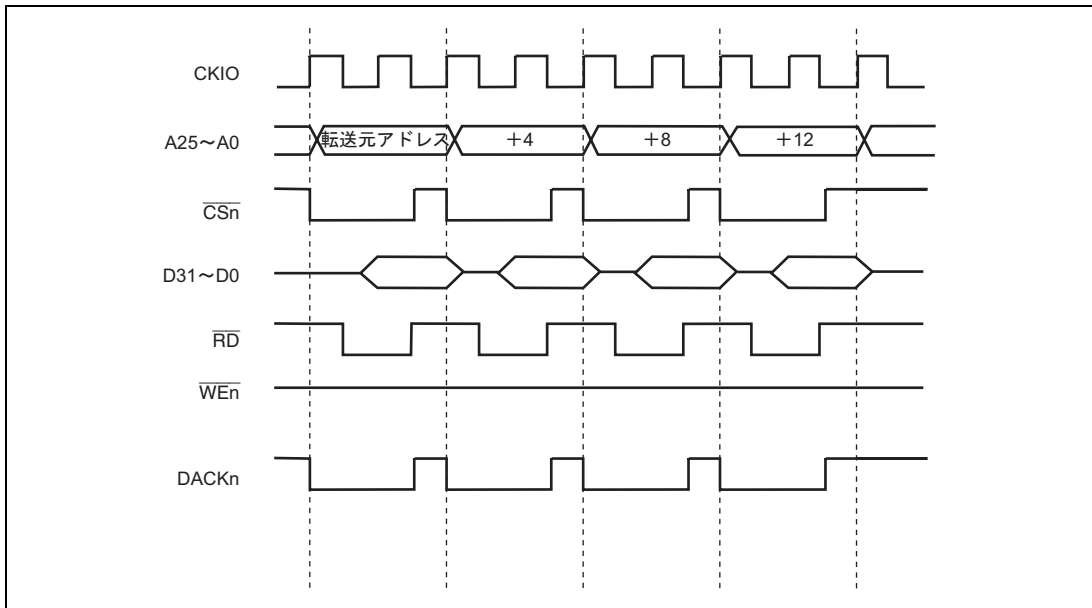


図 14.13 シングルアドレスモードでの DMA 転送タイミング
外部メモリ空間 (通常メモリ) DACK 付き外部デバイス

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0 ~ CHCR3 の TM ビットによって行います。

(a) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送を終了するたびにバス権をほかのバスマスタに渡します。そのあと転送要求があれば、ほかのバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権をほかのバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 14.14 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- $\overline{\text{DREQ}}$ レベル検出

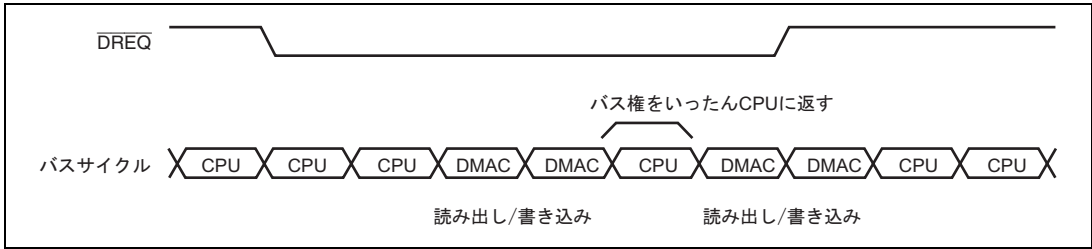


図 14.14 サイクルスチールモードでの DMA 転送例

(b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、 $\overline{\text{DREQ}}$ をローレベルで検出する場合には、 $\overline{\text{DREQ}}$ がハイレベルになると、転送終了条件が満たされていないにもかかわらず、すでに要求を受け付けた DMAC 転送要求を終了後にほかのバスマスタにバス権を渡します。

バーストモードは、シリアルコミュニケーションインタフェース (SCIF) が転送要求元となっている場合には使用できません。

図 14.15 にバーストモードでの DMA 転送タイミングを示します。

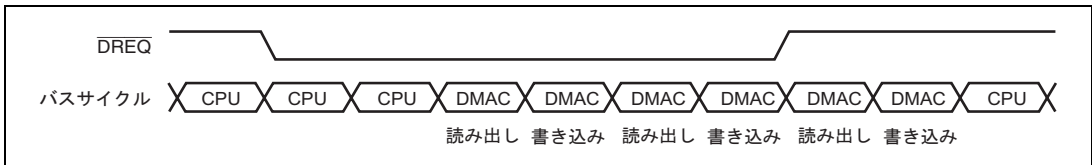


図 14.15 バーストモードでの DMA 転送例

14. ダイレクトメモリアクセスコントローラ (DMAC)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 14.6 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 14.6 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0
	DACK 付外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0
	外部メモリと外部メモリ	すべて可 ^{*1}	B/C	8/16/32/128	0、1、2、3 ^{*5}
	外部メモリとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32/128	0、1、2、3 ^{*5}
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32/128	0、1、2、3 ^{*5}
	外部メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	X/Y メモリと X/Y メモリ	すべて可	B/C	8/16/32/128	0、1、2、3
	X/Y メモリとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32/128	0、1、2、3
	X/Y メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32	0、1、2、3
	X/Y メモリと外部メモリ	すべて可	B/C	8/16/32/128	0、1、2、3
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0

B: バースト

C: サイクルスチール

【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールの CMT によるリクエストのいずれでも可能。

*2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元が SIOF、USBF、SCIF、A/D 変換器には、転送元または転送先がそれぞれ SIOF、USBF、SCIF、A/D 変換器である必要があります。

*3 転送要求元が SIOF、USBF、SCIF、A/D 変換器の場合にはサイクルスチールのみ有効。

*4 転送元または転送先が内蔵周辺モジュールのレジスタである場合に許されるアクセスサイズ。

*5 転送要求が外部リクエストの場合にはチャンネル 0 のみ有効。

(4) バスモードとチャンネルの優先順位

たとえばチャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、直ちにチャンネル 0 の転送を開始します。

このとき、優先順位の設定が固定モード (CH0 > CH1) の場合、チャンネル 0 の設定がサイクルスチールでもバーストモードでもチャンネル 0 の転送がすべて終了してからチャンネル 1 の転送を続けます。

優先順位の設定がラウンドロビンモードの場合、チャンネル 0 の設定がサイクルスチールモードでもバーストモードであっても、チャンネル 0 が 1 転送単位の転送を行ったあと、チャンネル 1 が転送を再開します。そのあとともチャンネル 1 チャンネル 0 チャンネル 1 チャンネル 0 というようにバス権を交互に入れ替えます。

優先順位の設定が固定モードでもラウンドロビンモードでも、チャンネル 1 がバーストモードなので、この間 CPU にはバス権は渡りません。

ラウンドロビンモードの場合の例を図 14.16 に示します。

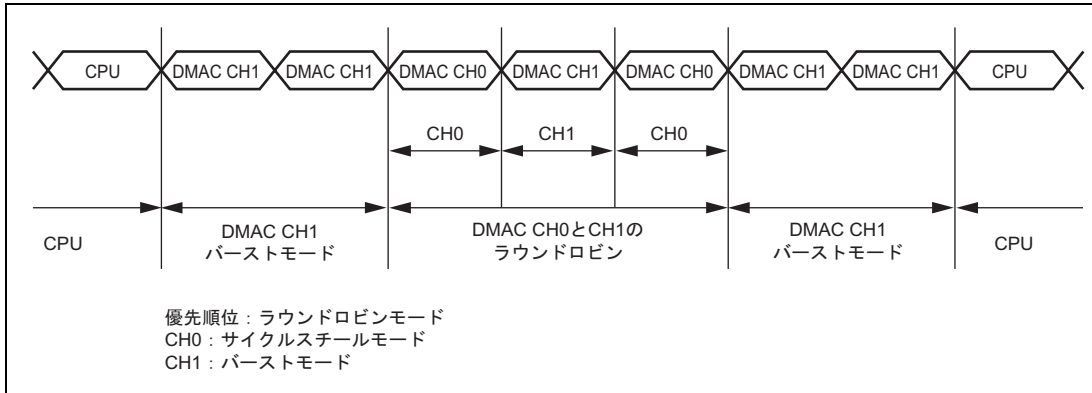


図 14.16 複数チャンネルが動作する場合のバス状態

14.3.5 バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは、「第 12 章 バスステートコントローラ (BSC)」を参照してください。

(2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

外部リクエストモードにおいて、 $\overline{\text{DREQ}}$ 端子はクロックパルス (CKIO) の立ち下がりエッジまたはローレベル検出でサンプリングされ、 $\overline{\text{DREQ}}$ 入力検出されると、最も早い場合で 3 ステート後に DMAC のバスサイクルが発生し、DMA 転送が行われます。

2 回目以後の $\overline{\text{DREQ}}$ サンプリングは、1 回目のサンプリングの 2 サイクル後に行われます。

(3) 動作説明

(a) サイクルスチールモード

サイクルスチールモードの場合、 $\overline{\text{DREQ}}$ サンプリングタイミングは、 $\overline{\text{DREQ}}$ 検出方法がレベルでもエッジでも同じです。

たとえば、図 14.17 (サイクルスチールモード、レベル検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目のサンプリングの 2 サイクル後に行われます。このとき $\overline{\text{DREQ}}$ が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

このように $\overline{\text{DREQ}}$ のサンプリングは、1 ステップ先立って実行されます。3 回目のサンプリングは、1 回目の DMA 転送終了に続くアイドルサイクルに入ってから実行されます。

14. ダイレクトメモリアクセスコントローラ (DMAC)

図 14.18 に示すように、上述の条件は CPU の転送サイクルが何サイクルであっても、同様です。また、図 14.19 に示すように、DMA の転送サイクルが何サイクルであっても同様です。

図 14.17 は DACK を読み出し時に出力、図 14.18 は DACK を書き込み時に出力する例です。どちらの場合も、DACK は \overline{CSn} と同期出力されます。

図 14.20 は、 \overline{DREQ} が検出できなかった場合に、以後毎サイクルサンプリングを実行する例です。

図 14.21 は、サイクルスチールモード、エッジ検出の例です。

(b) バーストモード、レベル検出

バーストモード、レベル検出の場合、 \overline{DREQ} サンプリングタイミングはサイクルスチールモードとほぼ同じです。

たとえば図 14.22 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目のサンプリングの 2 サイクル後に行われます。それ以降のサンプリングは、DMA 転送サイクル終了に続くアイドルサイクルで行われます。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

(c) バーストモード、エッジ検出

バーストモード、エッジ検出の場合、 \overline{DREQ} のサンプリングは最初の 1 回しか行いません。

たとえば図 14.23 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。そのあと DMATCR に設定した回数データ転送が終了するまで、DMAC 転送が連続で実行されます。この間 \overline{DREQ} のサンプリングは行われません。

NMI が発生して停止したあと DMAC 転送を再開したい場合は、まず NMIF をクリアして、それから再びエッジ要求を入力してください。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

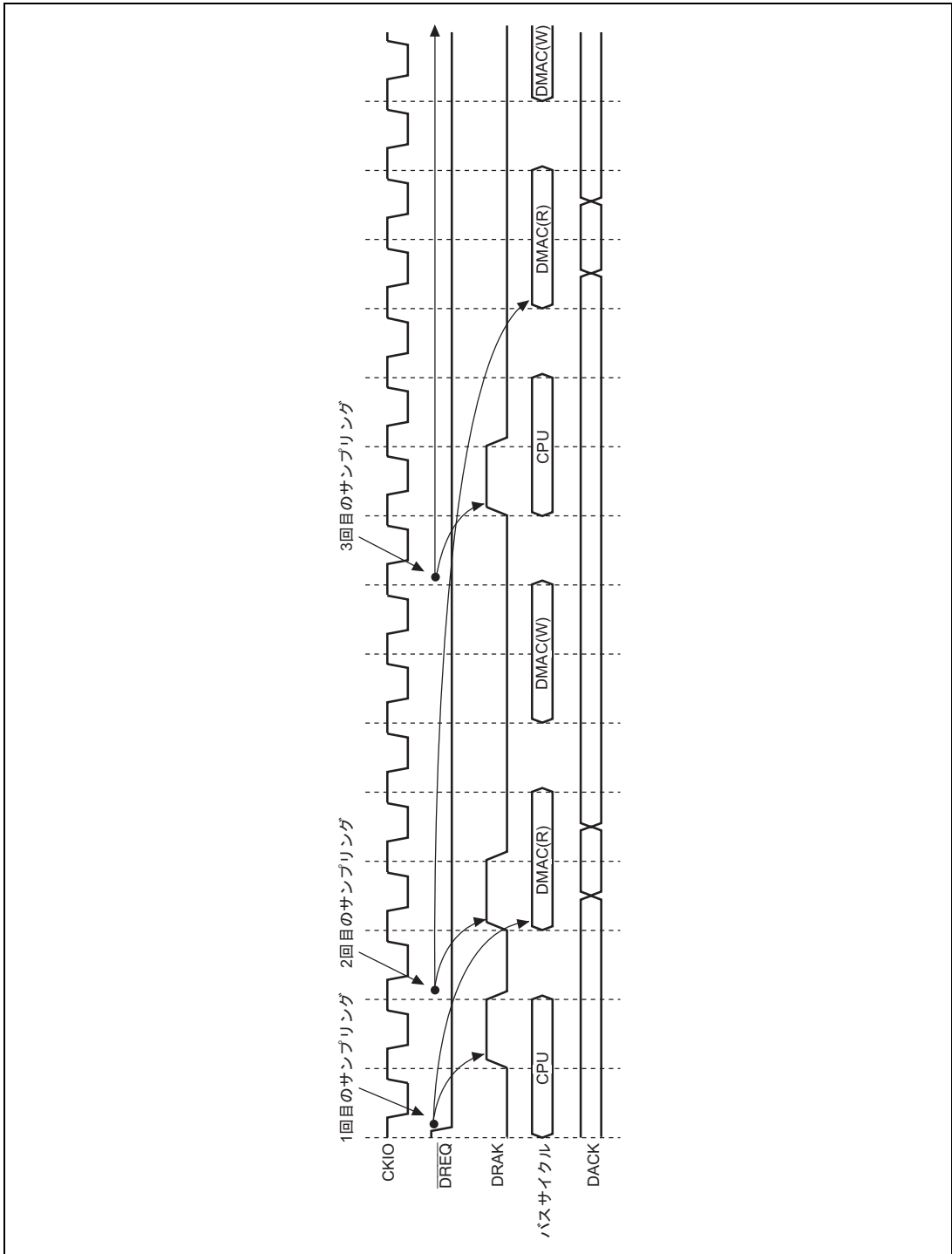


図 14.17 サイクルスチールモード、レベル入力 (CPU アクセス : 2 サイクル)

14. ダイレクトメモリアクセスコントローラ (DMAC)

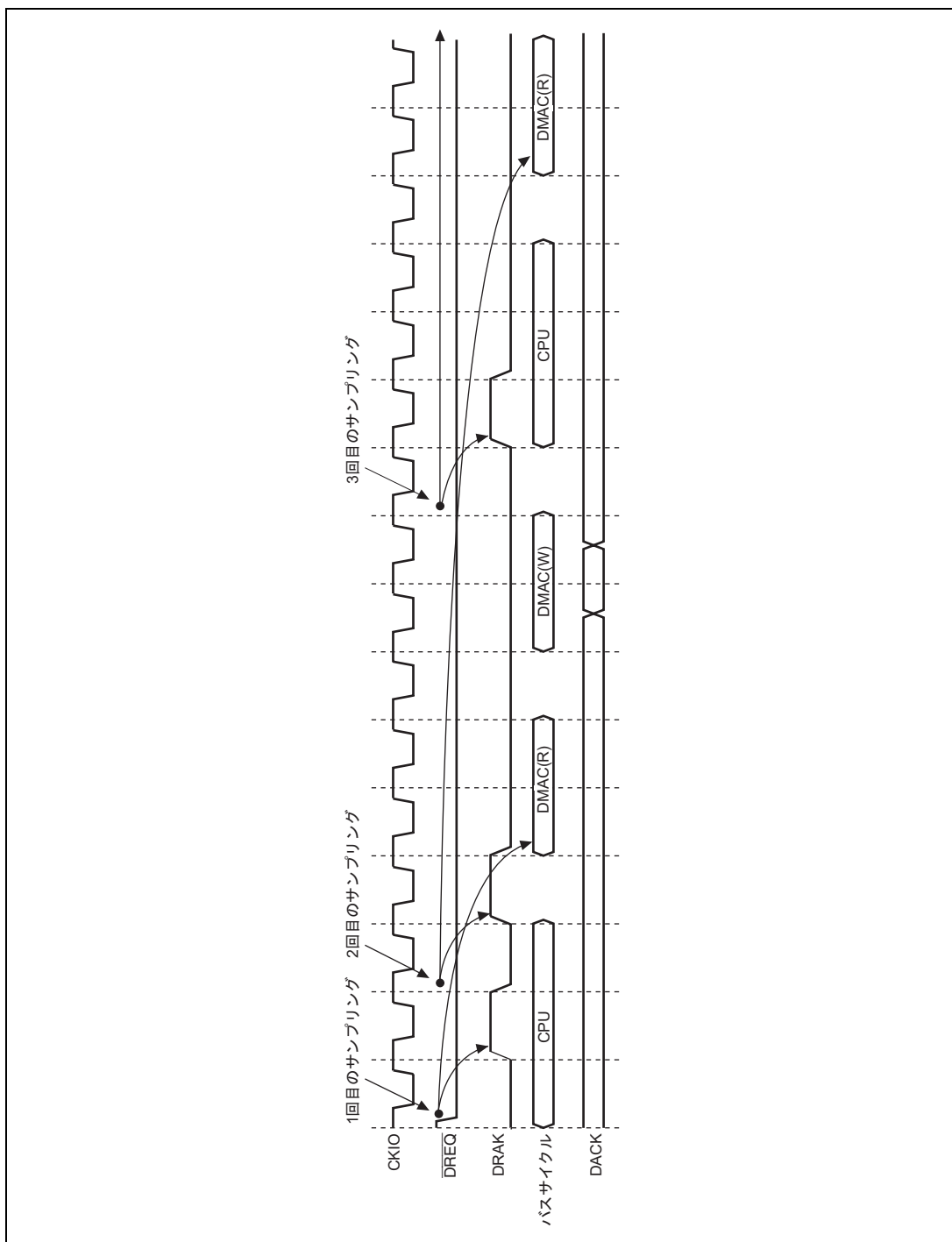


図 14.18 サイクルスチールモード、レベル入力 (CPU アクセス : 3 サイクル)

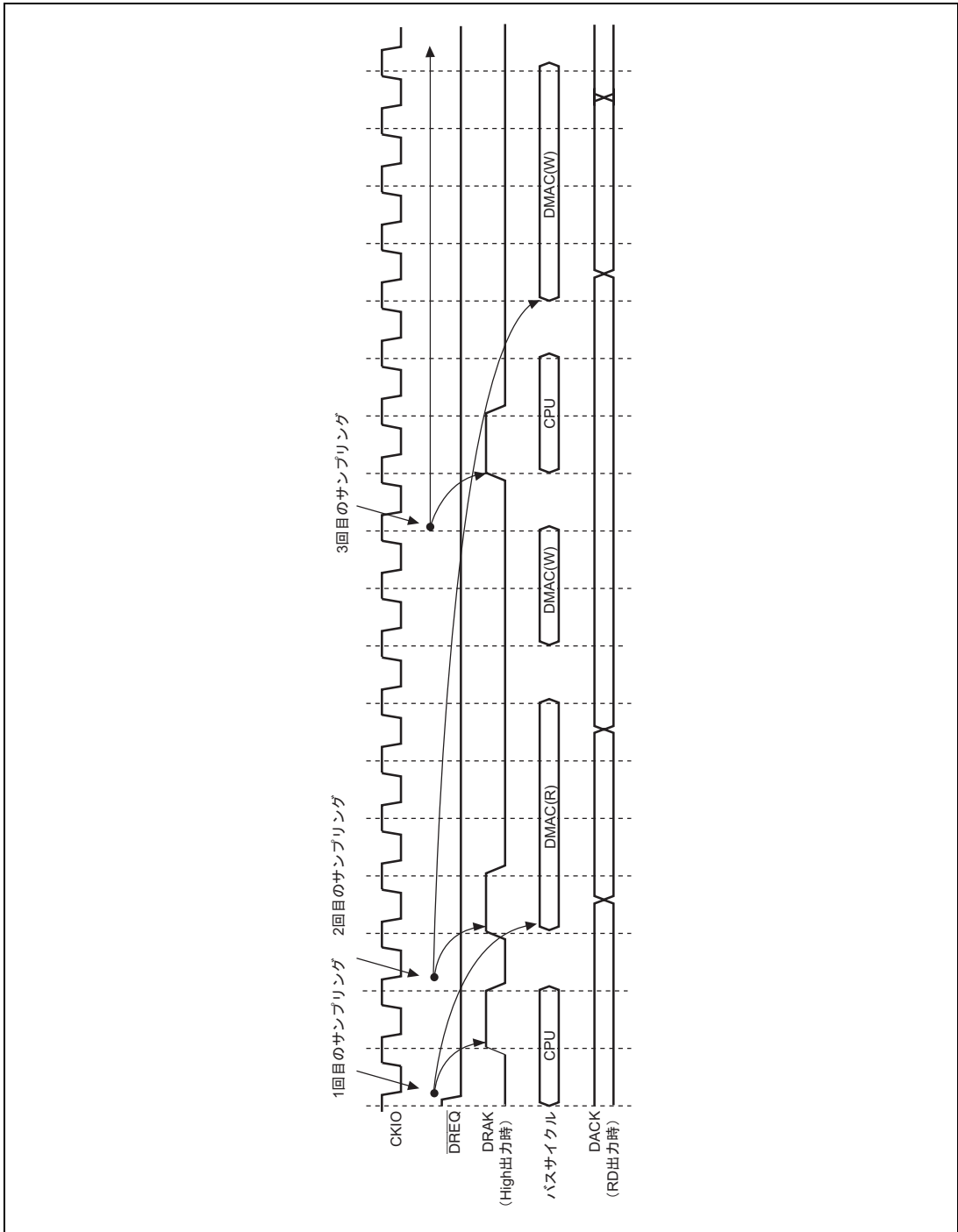


図 14.19 サイクルスチールモード、レベル入力
 (CPU アクセス : 2 サイクル、DMA RD アクセス 4 サイクル)

14. ダイレクトメモリアクセスコントローラ (DMAC)

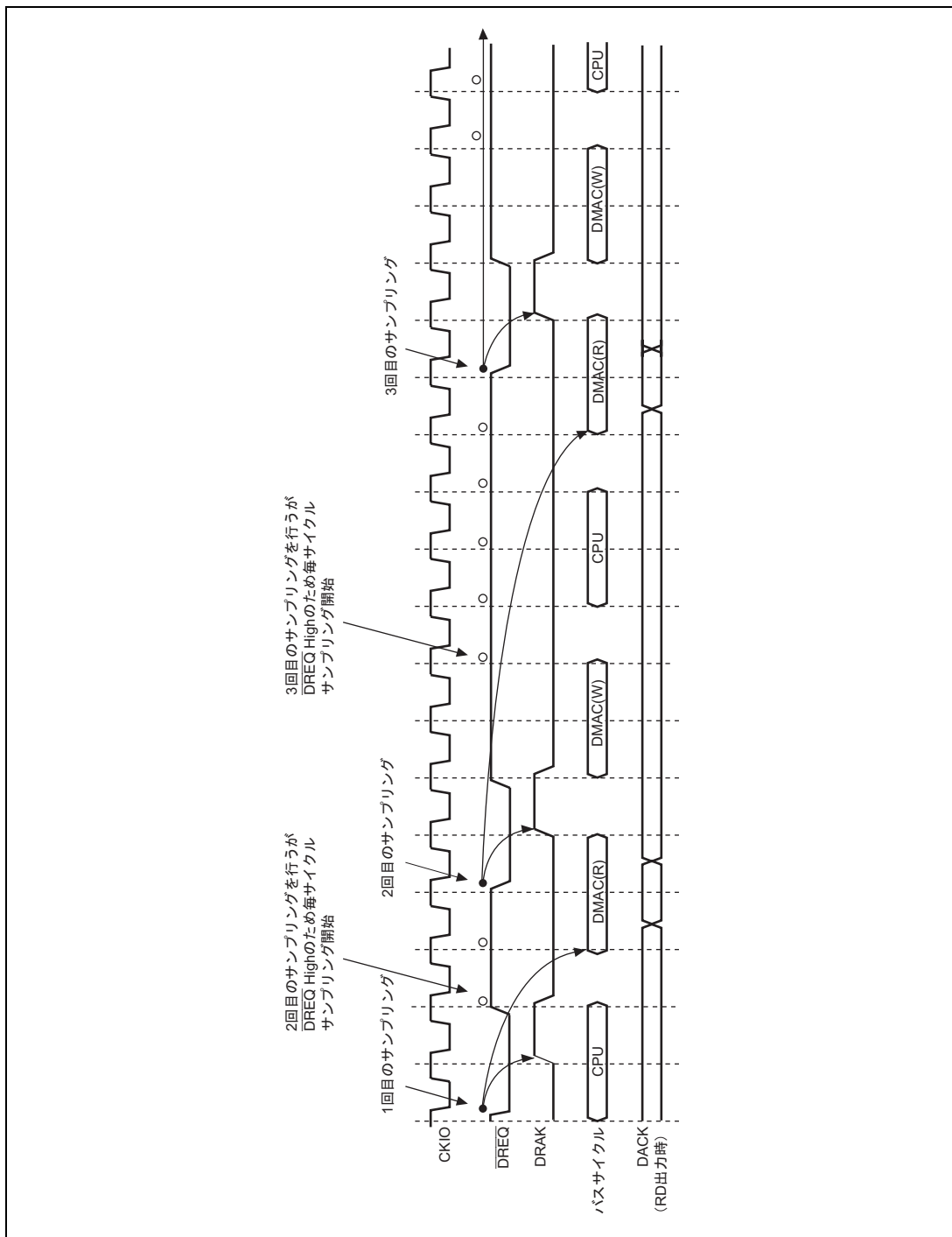


図 14.20 サイクルスチールモード、レベル入力
(CPU アクセス : 2 サイクル、DREQ 入力を遅らせた場合)

14. ダイレクトメモリアクセスコントローラ (DMAC)

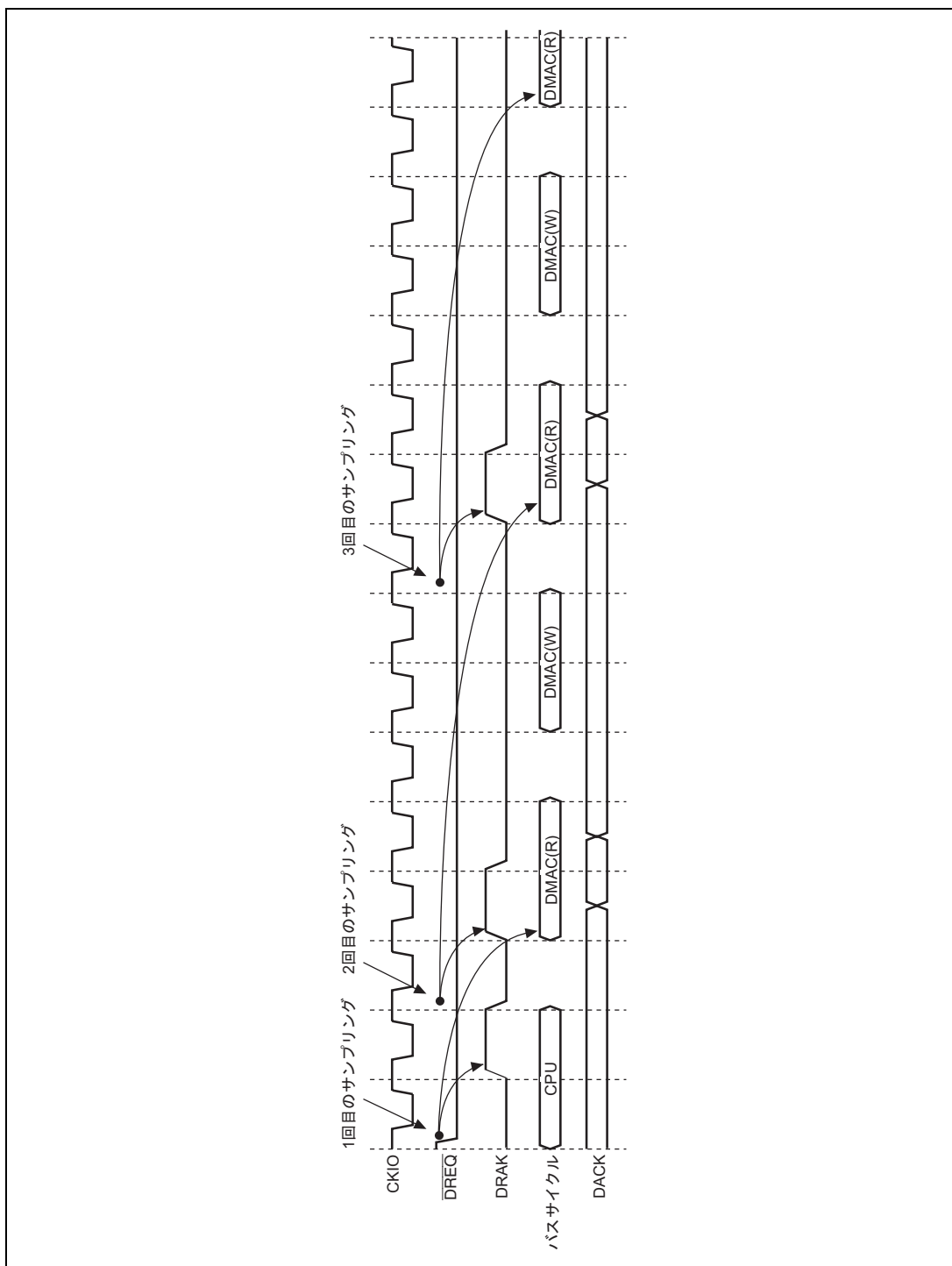


図 14.22 バーストモード、レベル入力

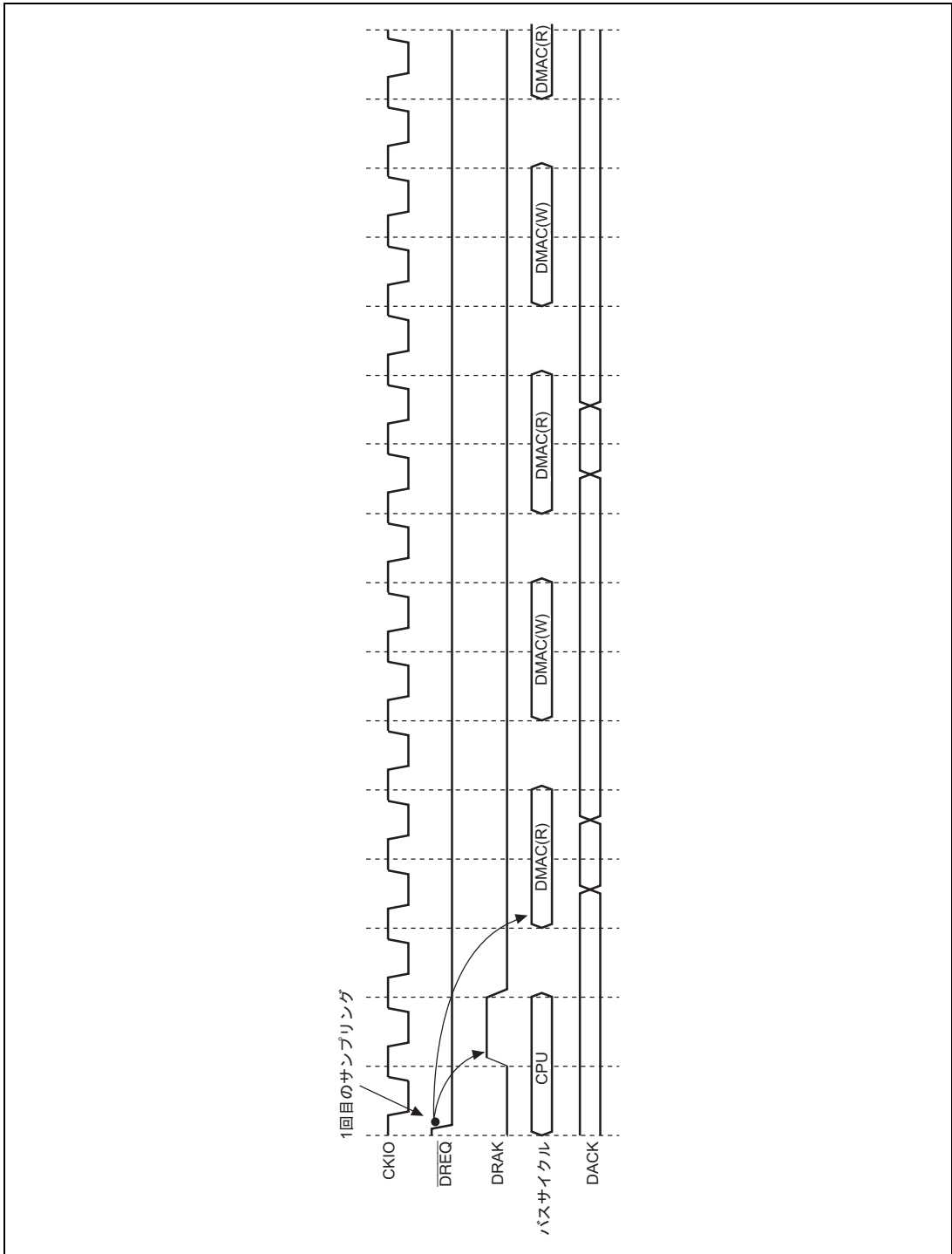


図 14.23 バーストモード、エッジ入力

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.3.6 ソースアドレスリロード機能

チャンネル2はCHCR2のROビットを1にセットすることで、4回の転送ごとに、最初にソースアドレスレジスタ(SAR2)に設定した値に復帰するリロード機能があります。16バイト転送は使用できません。この動作を図14.24に示します。また図14.25に、チャンネル2のみ使用で、バーストモード、オートリクエスト、転送データサイズ16ビット、SAR2カウントアップ、DAR2固定状態で、リロード機能ON状態のタイムチャートを示します。

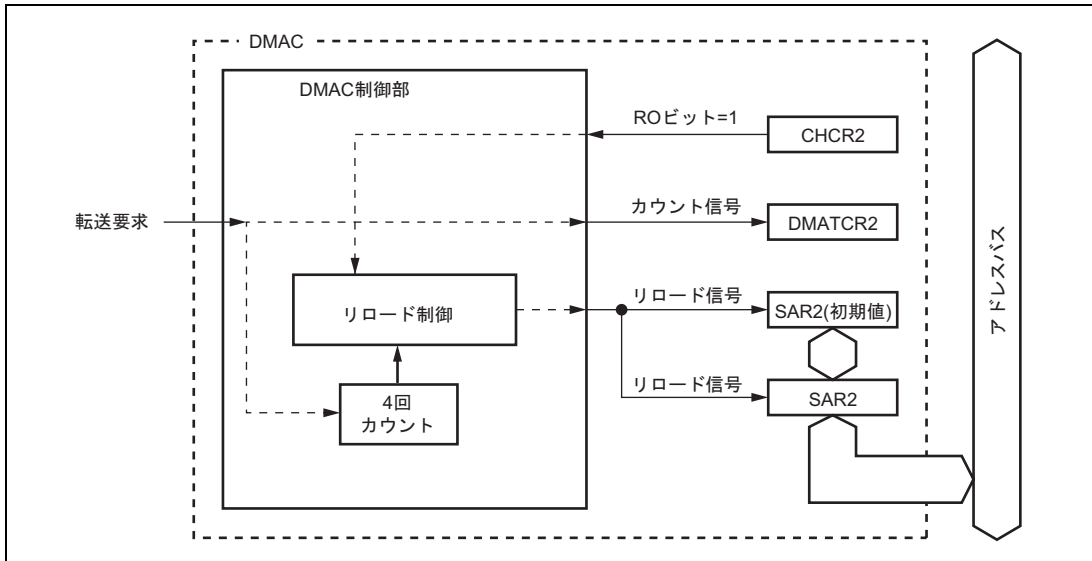


図 14.24 ソースアドレスリロード機能図

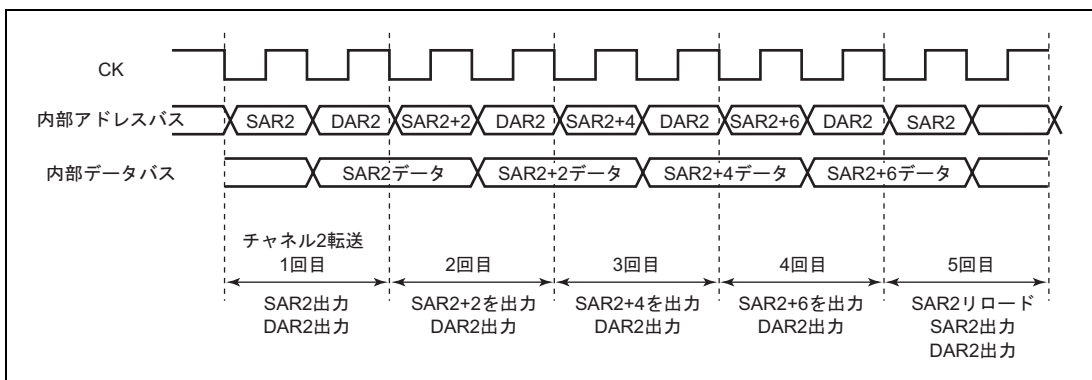


図 14.25 ソースアドレスリロード機能タイムチャート

転送データサイズが8ビット、16ビット、32ビットのいずれの場合でも、リロード機能は実行可能です。

転送回数を指定するDMATCR2は、リロード機能のオン、オフにかかわらず、1転送単位の転送終了ごとに1カウントアップします。このためリロード機能をオンで使用する場合は、DMATCR2には、必ず4の倍数を指定してください。それ以外の値を設定した場合の動作は、保証しません。また、アドレスリロードのために4回転送したことをカウントしているカウンタは、リセット、スタンバイのほか、DMAORのDMEビットのクリア、CHCR2のDEビットのクリア、転送終了フラグ(CHCR2のTEビット)のセット、NMI入力によってリセットされますが、SAR2、DAR2、DMATCR2などのレジスタはリセットされません。このため、これらの要因が発生すると、DMAC内部に初期化されたカウンタと、初期化されないレジスタが混在することになり、そのまま再スタートをかけると誤動作する場合があります。以上から、アドレスリロード機能使用中にTEのセット以外の上記の要因が発生した場合は、SAR2、DAR2、DMATCR2の設定から実行しなおしてください。

14.3.7 DMA転送終了

DMA転送終了条件は、1チャンネルずつの終了と全チャンネルの同時終了とで異なります。

転送終了時、DMAトランスファカウントレジスタ(DMATCR)の値が0になった場合を除いて、次に示す条件が適用されます。

(a) サイクルスチールモード(外部要求、内部要求、およびオートリクエスト)

転送終了条件を満足すると、DMAC転送要求受け付けが停止します。終了条件が満足される以前に受け付けた回数の転送を完了した後、DMACは動作を停止します。

サイクルスチールモードでは、転送要求がレベル検出かエッジ検出にかかわらず同じ動作となります。

(b) バーストモード、エッジ検出(外部要求、内部要求、およびオートリクエスト)

終了条件を満足した時点からDMACが動作を停止する時点に到るタイミングがサイクルスチールモードと異なります。バーストモード、エッジ検出では、DMAC動作開始時に1回だけ転送要求が発生しますが、停止要求のサンプリングはサイクルスチールモードの転送要求サンプリングと同じタイミングで実行されます。その結果、停止要求がサンプリングされない期間は転送要求が発生した期間とみなされ、この期間中はDMA転送を実行し、そのあとにDMACは動作を停止します。

(c) バーストモード、レベル検出(外部要求)

(a)に記載したことと同様です。

(d) 転送が保留されたときのバスタイミング

1回の転送が終了した時点で転送は停止します。デュアルアドレスモード、直接アドレス転送のリード期間中に転送終了条件を満足した場合でも、続くライト処理は実行され上記(a)~(c)の転送が実行された後にDMAC動作が停止します。

(1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- DMAトランスファカウントレジスタ(DMATCR)の値が0になる。
- DMAチャンネルコントロールレジスタ(CHCR)のDEビットを0にクリアする。

14. ダイレクトメモリアクセスコントローラ (DMAC)

(a) DMATCR=0 による転送終了

DMATCR の値が 0 になると、対応するチャンネルの DMA 転送が終了し、CHCR のトランスファエンドフラグビット (TE) がセットされます。このときインタラプトイネーブルビット (IE) がセットされていると、CPU に DMAC 割り込み (DEI) が要求されます。

この転送終了は上記の (a) ~ (d) の条件が適用されません。

(b) CHCR の DE=0 による転送終了

CHCR の DMA イネーブルビット (DE) をクリアすると、対応するチャンネルの DMA 転送が中断されます。この転送終了は上記の (a) ~ (d) の条件が適用されません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送終了します。

- DMAオペレーションレジスタ (DMAOR) のアドレスエラーフラグビット (AE) または NMIフラグビット (NMIF) が 1 になる。
- DMAOR の DMA マスタイネーブルビット (DME) を 0 にクリアする。

(a) DMAOR の AE=1 または NMIF=1 による転送終了

NMI 割り込みが発生して、DMAOR の AE ビットまたは NMIF ビットが 1 になると、すべてのチャンネルの DMA 転送が上記 (a) ~ (d) の条件に従って中断され、バス権をほかのバスマスタに渡します。したがって転送中に AE ビットまたは NMIF ビットが 1 になっても、DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR) の値は更新されます。この場合は TE ビットはセットされません。NMI 割り込み例外処理終了後に転送を再開するためには、AE ビットまたは NMIF ビットをクリアする必要があります。その際、再起動させたくないチャンネルは、対応する CHCR の DE ビットをクリアしてください。

(b) DMAOR の DME=0 による転送終了

DMAOR の DME ビットを 0 にクリアすると、全チャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

DMAC によるアドレスエラー発生時や NMI 割り込み発生時と同様に、全チャンネルが「14.3.7 DMA 転送終了」の (a) ~ (d) の条件に従って動作を中断します。この場合も、SAR、DAR、および DMATCR の値は更新されません。

14.4 コンペアマッチタイマ (CMT)

14.4.1 概要

DMAC は DMA 転送要求を発生するコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタです。

(1) 特長

CMT には次の特長があります。

- 4種類のカウンタ入力クロックを選択可能
 - 4種類の内部クロック ($P\phi/4$ 、 $P\phi/8$ 、 $P\phi/16$ 、 $P\phi/64$) を選択可能
- コンペアマッチ時、DMA転送要求を発生

(2) ブロック図

図 14.26 に CMT のブロック図を示します。

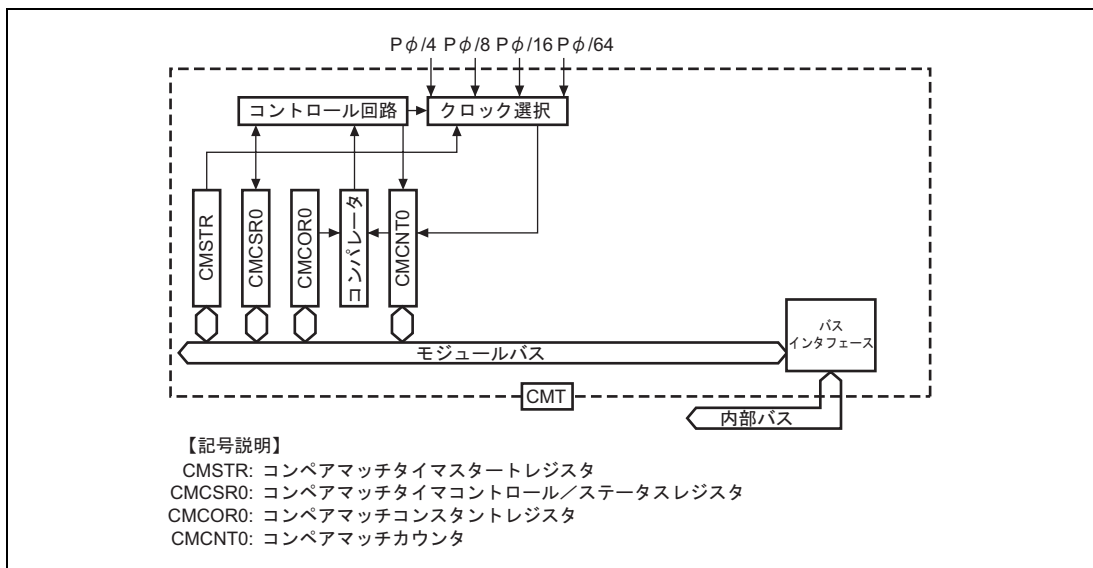


図 14.26 コンペアマッチタイマのブロック図

14. ダイレクトメモリアクセスコントローラ (DMAC)

(3) レジスタ構成

表 14.7 に CMT のレジスタ構成を示します。

表 14.7 レジスタ構成

名称	略称	R/W	設定値	アドレス	アクセス サイズ
コンペアマッチタイマスタートレジスタ	CMSTR	R/(W)	H'0000	H'04000070 (H'A4000070) *2	8、16、32
コンペアマッチタイマコントロール/ ステータスレジスタ 0	CMCSR0	R/(W)*1	H'0000	H'04000072 (H'A4000072) *2	8、16、32
コンペアマッチカウンタ 0	CMCNT0	R/W	H'0000	H'04000074 (H'A4000074) *2	8、16、32
コンペアマッチコンスタントレジスタ	CMCOR0	R/W	H'FFFF	H'04000076 (H'A4000076) *2	8、16、32

【注】 *1 CMCSR0 の CMF ビットは、フラグをクリアするための 0 書き込みのみ可能です。

*2 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

14.4.2 レジスタ説明

(1) コンペアマッチタイマスタートレジスタ (CMSTR)

コンペアマッチタイマスタートレジスタ (CMSTR) は 16 ビットのレジスタで、コンペアマッチカウンタカウンタ 0 (CMCNT0) の動作 / 停止を選択します。

本レジスタはリセット時に H'0000 に初期化されます。スタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

- ビット15~2: 予約ビット

読み出すと常に 0 が読み出されます。書き込みも常に 0 を書き込んでください。

- ビット1: 予約ビット

読み出し / 書き込み可能ですが、書き込み時には 0 を書き込んでください。

14. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット0: カウントスタート0 (STR0)

CMCNT0の動作/停止を選択します。

ビット0	説明
STR0	
0	CMCNT0はカウンタ動作を停止 (初期値)
1	CMCNT0はカウンタ動作

(2) コンペアマッチタイマコントロール/ステータスレジスタ0 (CMCSR0)

コンペアマッチタイマコントロール/ステータスレジスタ0 (CMCSR0)は16ビットのレジスタで、コンペアマッチの発生の表示、およびインクリメント用クロックの設定を行います。

本レジスタはリセット時にH'0000に初期化されます。スタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:	—	—	—	—	—	—	—	—	CMF	—	—	—	—	—	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

【注】 * フラグクリアのための0書き込みのみ可能です。

- ビット15~8、5~2: 予約ビット

読み出すと常に0が読み出されます。書き込みも常に0を書き込んでください。

- ビット7: コンペアマッチフラグ (CMF)

CMCNT0とCMCOR0の値が一致したか否かを示すフラグです。

ビット7	説明
CMF	
0	CMCNT0とCMCOR0の値は不一致 (初期値) [クリア条件] CMF = 1を読み出し後、CMFに0を書き込んだとき
1	CMCNT0とCMCOR0の値が一致

- ビット6: 予約ビット

読み出し/書き込み可能ですが、書き込み時には0を書き込んでください。

14. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット1、0: クロックセレクト1、0 (CKS1、CKS0)

周辺クロック ($P\phi$) を分周した 4 種類のクロックから CMCNT に入力するクロックを選択します。CMSTR の STR0 ビットが 1 にセットされると、CMCNT0 は CKS1、CKS0 ビットにより選択されたクロックでインクリメントを開始します。

ビット1	ビット0	説明	
CKS1	CKS0		
0	0	$P\phi / 4$	(初期値)
	1	$P\phi / 8$	
1	0	$P\phi / 16$	
	1	$P\phi / 64$	

(3) コンペアマッチカウンタ 0 (CMCNT0)

コンペアマッチカウンタ 0 (CMCNT0) は 16 ビットのレジスタで、アップカウンタとして使用されます。クロックが CMCSR0 の CKS1、CKS0 ビットにより選択され、CMSTR の STR0 ビットが 1 にセットされると、CMCNT0 は選択されたクロックによりインクリメントを開始します。CMCNT0 の値がコンペアマッチコンスタントレジスタ 0 (CMCOR0) の値と一致すると、CMCNT0 は H'0000 にクリアされ CMCSR0 の CMF フラグが 1 にセットされます。

CMCNT0 はリセット時に H'0000 に初期化されます。スタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(4) コンペアマッチコンスタントレジスタ 0 (CMCOR0)

コンペアマッチコンスタントレジスタ 0 (CMCOR0) は 16 ビットのレジスタで CMCNT0 とコンペアマッチするまでの期間を設定します。

CMCOR0 はリセット時に H'FFFF に初期化されます。スタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.4.3 動作説明

(1) 期間カウント動作

クロックが CMCSR0 の CKS1、CKS0 ビットにより選択され、CMSTR の STR0 ビットが 1 にセットされると、CMCNT0 は選択されたクロックによりインクリメントを開始します。CMCNT の値がコンペアマッチレジスタ 0 (CMCOR0) の値と一致すると、CMCNT0 は H'0000 にクリアされ CMCSR0 の CMF フラグが 1 にセットされます。CMCNT0 は H'0000 からカウントアップを再開します。

図 14.27 にコンペアマッチカウンタ動作を示します。

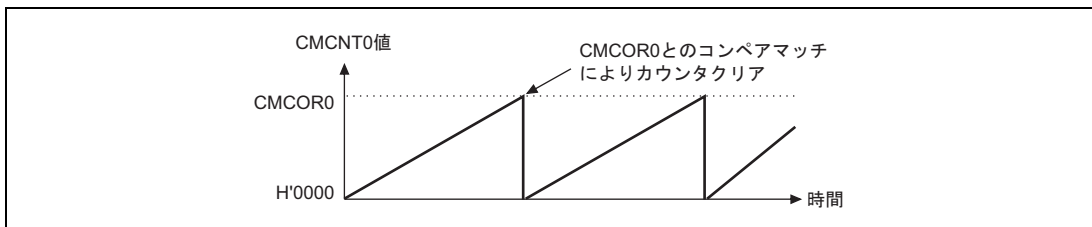


図 14.27 カウンタ動作

(2) CMCNT0 カウントタイミング

周辺クロック ($P\phi$) を分周して得られた 4 種類のクロック ($P\phi/4$ 、 $P\phi/8$ 、 $P\phi/16$ 、 $P\phi/64$) のうち 1 つを CMCSR0 の CKS1、CKS0 ビットにより選択することができます。図 14.28 にそのタイミングを示します。

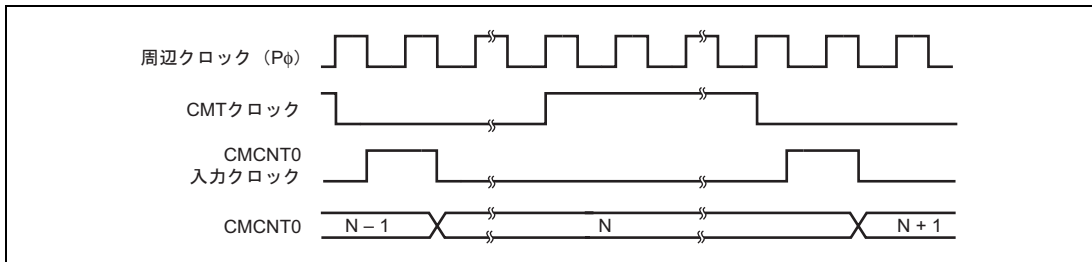


図 14.28 カウントタイミング

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.4.4 コンペアマッチ

(1) コンペアマッチフラグのセットタイミング

CMCOR0 と CMCNT0 が一致するとコンペアマッチ信号が発生し、CMCSR0 の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終状態で発生します (CMCNT0 の値が更新されるタイミング)。つまり、CMCOR0 と CMCNT0 の一致後、CMCNT0 のカウンタクロックが入力されないときコンペアマッチ信号は発生しません。図 14.29 に CMF ビットのセットタイミングを示します。

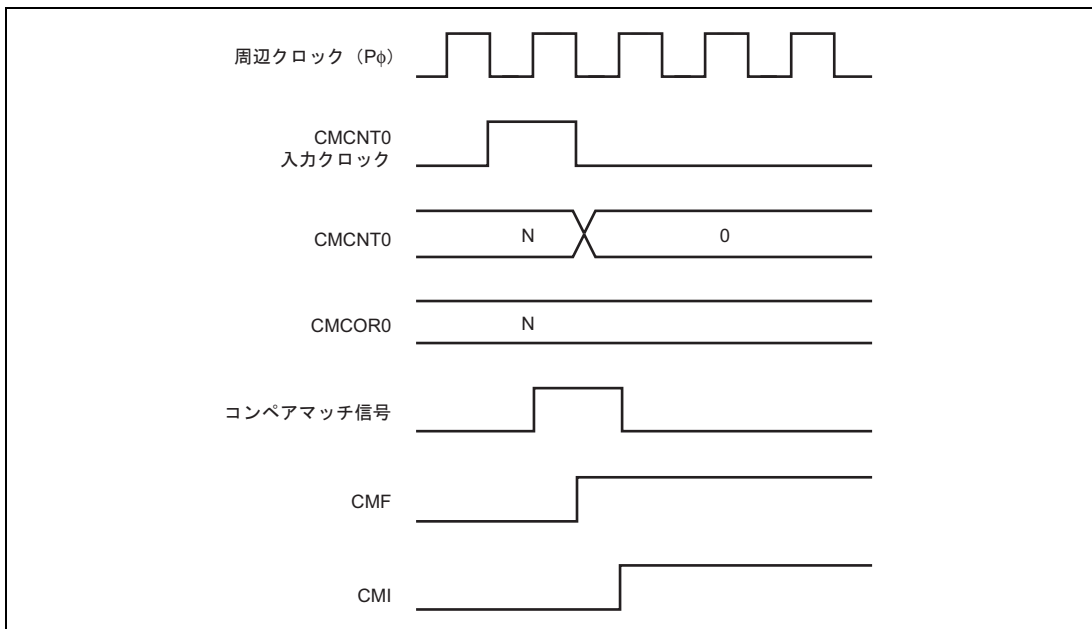


図 14.29 CMF セットタイミング

(2) コンペアマッチフラグのクリアタイミング

CMCSR0 の CMF ビットは、CMF=1 を読み出した後に 0 を書き込むことでクリアされます。図 14.30 に CPU によって CMF ビットがクリアされる場合のタイミングを示します。

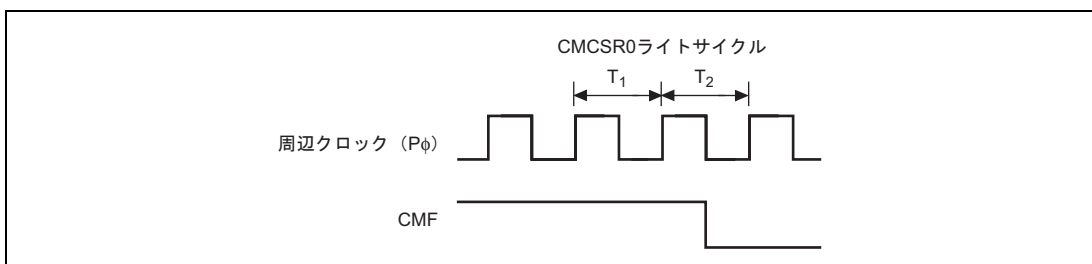


図 14.30 CPU による CMF クリアのタイミング

14.5 使用例

14.5.1 A/D 変換器と外部メモリとの DMA 転送例 (アドレスリロードオン)

アドレスリロード機能がオンの場合の内蔵 A/D 変換器 (転送元) と外部メモリ (転送先) との DMA 転送の例を考えます。

表 14.8 に転送条件と、各レジスタの設定値を示します。

表 14.8 A/D 変換器と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 A/D 変換器	SAR2	H'04000080
転送元：内蔵メモリ	DAR2	H'00400000
転送回数：128 回 (リロード回数 32 回)	DMATCR2	H'00000080
転送元アドレス：増加	CHCR2	H'00089E35
転送先アドレス：減少		
転送要求元：A/D 変換器		
バスモード：バースト		
転送単位：ロングワード		
転送終了時に割り込み要求発生		
チャンネル優先順位：0 > 2 > 3 > 1	DMAOR	H'0101

アドレスリロードをオンにすると、4 回の転送ごとに SAR の値が最初に設定した値に戻ります。上記の例では、A/D 変換器から転送要求が入ると、まず A/D 変換器の H'04000080 のレジスタからロングワードサイズのデータを読み出し、外部メモリの H'00400000 番地にそのデータを書き込みます。ロングワードサイズの転送を行ったので、この時点で SAR、DAR の値はそれぞれ H'04000084、H'003FFFFC となっています。またバースト転送であるため、バス権を確保したままなので、データ転送を連続して進めていきます。

4 回の転送が終了すると、アドレスリロードオフの場合はそのまま 5 回目、6 回目と転送を続けて実行し、SAR の値は H'0400008C H'04000090 H'04000094... と増加し続けますが、アドレスリロードオンの場合は 4 回目終了すると、DMAC 転送を中止し、CPU へのバス権要求信号をクリアします。このとき SAR 内に格納されている値は H'0400008C H'04000090 ではなく、H'04000080 と最初に設定したアドレスに戻っています。DAR の値はアドレスリロードのオン/オフに関係なく、常に減少を続けます。

以上から DMAC 内部は 4 回目の転送が終了した時点で、アドレスリロードオンの場合とオフの場合では、表 14.9 に示した状態となっています。

14. ダイレクトメモリアクセスコントローラ (DMAC)

表 14.9 4回の転送終了後のDMAC内の値

	アドレスリロードオン	アドレスリロードオフ
SAR	H'04000080	H'04000090
DAR	H'003FFFFC	H'003FFFFC
DMATCR	H'0000007C	H'0000007C
バス権	解放	保持
DMAC動作	停止	処理続行中
割り込み	未発行	未発行
転送要求元フラグクリア	実行	未実行

- 【注】
1. 割り込みは、DMATCRの値が0になるまで実行し、CHCRのIEビットが1にセットされていれば、アドレスリロードのオン/オフに関係なく発生します。
 2. 転送要求元フラグクリアは、DMATCRの値が0になるまで実行すれば、アドレスリロードのオン/オフに関係なく実行されます。
 3. アドレスリロード機能を使用する場合は、バーストモードを指定してください。サイクルスチールモードで実行すると正常に動作しない場合があります。
 4. アドレスリロード機能を使用する場合は、DMATCRの値は4の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。

14.5.2 外部メモリとSCIF送信側とのDMA転送例 (インダイレクトアドレスオン)

DMACのチャンネル3を使用して、転送元が間接アドレス指定外部メモリで、転送先がSCIFの送信側の場合の例を考えます。

表 14.10 に転送条件と、各レジスタの設定値を示します。加えて、送信部FIFO数のトリガを1に設定 (SCFCRのTTRG1 = TTRG0 = 1) することを推奨します。

表 14.10 外部メモリとSCIF送信側間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR3	H'00400000
H'00400000番地に格納されている値	-	H'00450000
H'00450000番地に格納されている値	-	H'55
転送先：内蔵SCIF TDR2	DAR3	H'04000156
転送回数：10回	DMATCR3	H'0000000A
転送元アドレス：増加	CHCR3	H'00011C01
転送先アドレス：固定		
転送要求元：SCIF (TXI2)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生せず		
チャンネル優先順位：0 > 1 > 2 > 3	DMAOR	H'0001

14. ダイレクトメモリアクセスコントローラ (DMAC)

インダイレクトアドレスをオンにすると、SAR に設定したアドレスに格納されたデータは、転送元のデータとしては使用されません。インダイレクトアドレスの場合、SAR のアドレスに格納された値を読み出した後、その読み出した値をもう一度アドレスとして使用し、そのとき読み出された値を DAR に指定されたアドレスに格納します。

表 14.10 の例では、SCIF の転送要求が発生すると、まず SAR3 にセットされている値である H'00400000 番地のアドレスを読み出しに行きます。この H'00400000 番地には H'00450000 が格納されており、DMAC はまず H'00450000 を読み出してきました。次に DMAC は、読み出した H'00450000 を再びアドレスとして使用し、H'00450000 番地に格納されている H'55 を読み出します。最後に DAR3 に指定された H'04000156 番地に H'55 を書き込んで、1 回のインダイレクトアドレス転送が終了します。

インダイレクトアドレスでは、最初に行われる SAR3 に設定されたアドレスからのデータ読み出しでは、転送データサイズの指定である TS0、TS1 ビットの指定とは無関係に、常にロングワードサイズの転送となります。ただし、転送元アドレスの固定、増加、減少の指定は SM0、SM1 ビットに従います。したがって今回の例では、転送データサイズの指定がバイトサイズであるにもかかわらず、1 回の転送が終了した時点で SAR3 の値は H'00400004 となります。書き込み動作は通常のデュアルアドレス転送の書き込み動作の場合とまったく同じです。

14.6 使用上の注意

- (1) DMAチャンネルコントロールレジスタ (CHCR0~CHCR3) は、どのようなデータサイズでもアクセス可能です。DMAオペレーションレジスタ (DMAOR) は、バイト (8ビット) またはワード (16ビット) 単位のアクセスのみ可能です。それ以外のレジスタは、すべてワード (16ビット) またはロングワード (32ビット) 単位のアクセスが可能です。
- (2) CHCR0~CHCR3のRS0~RS3ビット書き換える場合は、DEビットを0にしてから書き換えてください (CHCRを書き換える場合は、あらかじめDEビットを0に設定しておいてください)。
- (3) DMACが動作していないときにNMI割り込みが入力されても、DMAORのNMIFビットはセットされます。
- (4) スタンバイモードにするときはDMAORのDMEビットを0にして、DMACが受け付けた転送要求分の処理がすべて終了してから行ってください。
- (5) DMACがアクセス可能な内蔵周辺モジュールは、SIOF、SCIF、USBF、A/D変換器、D/A変換器、およびI/Oポートです。これ以外の内蔵周辺モジュールにはDMACでアクセスしないでください。
- (6) DMACに起動をかける場合は、CHCRまたはDMAORの設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。
- (7) DMATCRのカウンタが0となってDMA転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ずDMATCRに0書き込みを実行してください。そうでないと正常に動作しない場合があります。
- (8) アドレスリロード機能を使用する場合、転送モードはバーストモードを指定してください。サイクルスチールモードでは正常に動作しない場合があります。
- (9) アドレスリロード機能を使用する場合、DMATCRの値は4の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。
- (10) 外部リクエストを立ち下がりエッジで検出する場合、DMACの設定を行うときには、外部リクエスト端子をハイレベルに保持しておいてください。
- (11) DMACで未使用である、H'4000062~H'400006Fの空間はアクセスしないでください。誤動作する場合があります。
- (12) 16バイト転送、デュアルアドレスモード、外部アドレス空間へのライト時、および16バイト転送、シングルアドレスモード、DACK付き外部デバイスから外部空間への転送時はWAIT信号は無視されます。
- (13) DMACでXYメモリからデータ転送する場合、以下の条件がすべて成り立つとビッグエンディアンでアクセスしてしまいます。

条件：

- (a) 転送元アドレスをXYメモリ
- (b) 間接アドレスモード

(c) バイトサイズデータ

(d) リトルエンディアン

回避策：

上記事項は条件がすべて成り立つときに限ります。1つでも条件を満たさないときには問題ありません。

DMACでXYメモリからデータ転送する場合、以下のいずれかの方法でご使用ください。

(a) 直接アドレスモードで使用する。

(b) ロングワードサイズ、ワードサイズで使用する。

(c) ビッグエンディアンで使用する。

(14) スリープモード中にDMACを使用しないでください。あるいは、スリープモードを使用する場合は、クロック比を $I\phi:B\phi = 1:1$ に設定してください。それ以外の場合、正常に動作しない場合があります。

(15) 周波数制御レジスタ (FRQCR) のIFC[2:0]ビットのみを変更して $I\phi:B\phi = 1:1$ 以外のクロック比にする場合、DMACを使用しないでください。それ以外の場合、正常に動作しない場合があります。

ただし、周波数制御レジスタ (FRQCR) のIFC[2:0]ビットと同時に、STC[2:0]ビットを変更する場合は、問題ありません。

14. ダイレクトメモリアクセスコントローラ (DMAC)

15. タイマ (TMU)

15.1 概要

本 LSI は、3 チャンネル (チャンネル 0~2) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU) を内蔵しています。

15.1.1 特長

TMU には、次のような特長があります。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- 各チャンネルとも、任意の時点で書き込み / 読み出し可能な、オートリロード用の32ビットコンスタントレジスタおよび32ビットダウンカウンタを搭載
- 各チャンネルとも、32ビットダウンカウンタのアンダフローの発生で割り込み要求を発生 (H'00000000 H'FFFFFFF)
- 各チャンネルとも、6種類のカウンタ入力クロックを選択可能
内蔵RTCの出力クロック (16kHz)、Pφ/4、Pφ/16、Pφ/64、 Pφ/256
- 各チャンネルとも、本LSIがスタンバイモード時でも動作可能
カウンタ入力クロックにRTCの出力クロックを選択した場合、本LSIがスタンバイモード時でもカウント動作可能
- 同期読み出し動作

TCNTは逐次変化している32ビットレジスタであり、周辺モジュール用内部バスは16ビット幅のため、上位側16ビットと下位側16ビットを読み出すのに時間的な差が発生します。この時間差によるカウンタ読み出し値のずれを補正するために、TCNTに同期化回路が内蔵されており、同一時刻のTCNTの32ビットデータを読み出し可能にしています。

- 各チャンネルとも、32ビットカウンタの最高動作周波数は2MHz
周辺クロック (Pφ) をプリスケラで分周して、各チャンネルのタイマカウンタに入力されるクロックが最高動作周波数を超えないようにしてください。

15. タイマ (TMU)

15.1.2 ブロック図

TMUのブロック図を図 15.1 に示します。

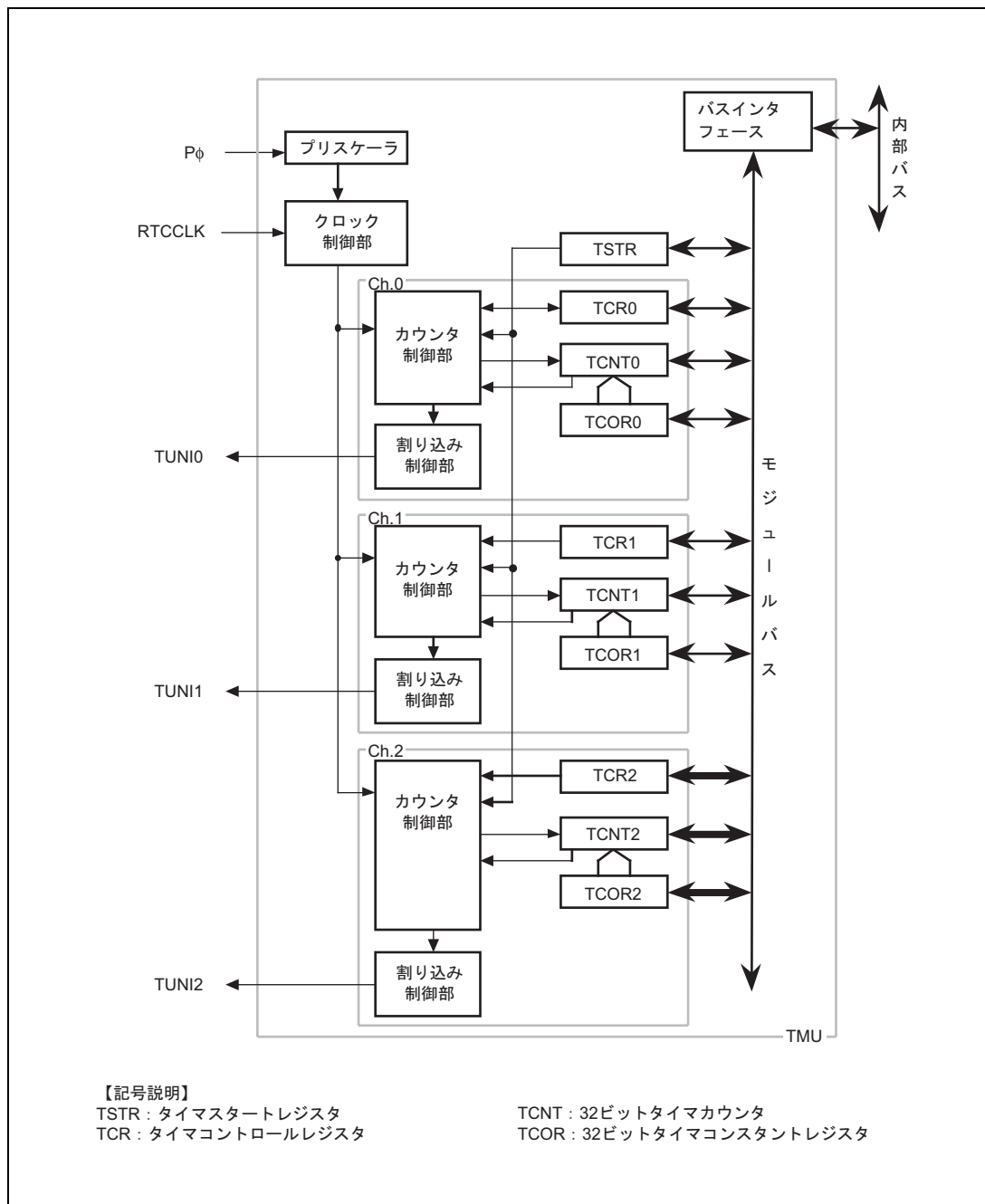


図 15.1 TMUのブロック図

15.1.3 レジスタ構成

TMU のレジスタ構成を表 15.1 に示します。

表 15.1 レジスタ構成

チャネル	名称	略称	R/W	初期値*	アドレス	アクセスサイズ
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFFFFE92	8
0	タイマコンスタントレジスタ 0	TCOR0	R/W	H'FFFFFFFF	H'FFFFFFE94	32
	タイマカウンタ 0	TCNT0	R/W	H'FFFFFFFF	H'FFFFFFE98	32
	タイマコントロールレジスタ 0	TCR0	R/W	H'0000	H'FFFFFFE9C	16
1	タイマコンスタントレジスタ 1	TCOR1	R/W	H'FFFFFFFF	H'FFFFFFEA0	32
	タイマカウンタ 1	TCNT1	R/W	H'FFFFFFFF	H'FFFFFFEA4	32
	タイマコントロールレジスタ 1	TCR1	R/W	H'0000	H'FFFFFFEA8	16
2	タイマコンスタントレジスタ 2	TCOR2	R/W	H'FFFFFFFF	H'FFFFFFEAC	32
	タイマカウンタ 2	TCNT2	R/W	H'FFFFFFFF	H'FFFFFFEB0	32
	タイマコントロールレジスタ 2	TCR2	R/W	H'0000	H'FFFFFFEB4	16

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

15.2 レジスタの説明

15.2.1 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) は、チャンネル 0~2 のタイマカウンタ (TCNT) を動作させるか、停止させるかを選択します。

TSTR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。パワーオンリセットおよびマニュアルリセット時は H'00 に初期化されます。スタンバイモード時には、当該チャンネルの入カロックが内蔵 RTC クロック (RTCCLK) の場合は初期化されません。また、スタンバイモード時に、各チャンネルで選択している入力クロックが周辺クロック (Pφ) の場合のみ、PLL1 の逡倍率を変更したとき、および STBCR の MSTP2 ビットを 1 に設定したときには、初期化されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:	–	–	–	–	–	STR2	STR1	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

- ビット 7~3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 2 : カウンタスタート 2 (STR2)

タイマカウンタ 2 (TCNT2) を動作させるか、停止させるかを選択します。

ビット 2	説明
STR2	
0	TCNT2 のカウンタ動作は停止 (初期値)
1	TCNT2 はカウンタ動作

- ビット 1 : カウンタスタート 1 (STR1)

タイマカウンタ 1 (TCNT1) を動作させるか、停止させるかを選択します。

ビット 1	説明
STR1	
0	TCNT1 のカウンタ動作は停止 (初期値)
1	TCNT1 はカウンタ動作

- ビット0 : カウンタスタート0 (STR0)

タイマカウンタ0 (TCNT0) を動作させるか、停止させるかを選択します。

ビット0	説明
STR0	
0	TCNT0のカウンタ動作は停止 (初期値)
1	TCNT0はカウンタ動作

15.2.2 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ(TCR)は TCNT カウンタの制御および割り込みの制御を行うレジスタです。TMU には、各チャンネルに1本ずつ、計3本の TCR レジスタがあります。

TCR レジスタは、タイマカウンタ (TCNT) のアンダフロー発生を示すフラグが1にセットされたときの割り込み発生を制御し、カウンタクロックを選択し、外部クロック選択時のエッジを選択します。

TCR レジスタは、読み出し/書き込み可能な16ビットレジスタです。パワーオンリセットおよびマニュアルリセット時は H'0000 に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:	—	—	—	—	—	—	—	UNF	—	—	UNIE	—	—	TPSC ₂	TPSC ₁	TPSC ₀
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R	R/W	R/W	R/W

- ビット15~9、7、6、4、3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

15. タイマ (TMU)

- ビット8: アンダフローフラグ (UNF)

TCNTのアンダフローの発生を示すステータスフラグです。

ビット8	説明
UNF	
0	TCNTがアンダフローを起こしていないことを示します (初期値) [クリア条件] UNFに0を書き込んだとき
1	TCNTがアンダフローを起こしたことを示します (H'00000000 H'FFFFFFF) [セット条件] TCNTがアンダフローを起こしたとき*

【注】 * 1を書き込むと、元の値が保持されます。

- ビット5: アンダフロー割り込み制御 (UNIE)

TCNTのアンダフローの発生を示すステータスフラグ UNF が 1 にセットされたときに割り込み発生を許可するかどうかを制御します。

ビット5	説明
UNIE	
0	UNFによる割り込み (TUNI) を許可しません (初期値)
1	UNFによる割り込み (TUNI) を許可します

- ビット2~0: タイムプリスケラ2~0 (TPSC2~TPSC0)

TCNTのカウントクロックを選択します。

ビット2	ビット1	ビット0	説明
TPSC2	TPSC1	TPSC0	
0	0	0	周辺クロック P ϕ /4 でカウント (初期値)
0	0	1	周辺クロック P ϕ /16 でカウント
0	1	0	周辺クロック P ϕ /64 でカウント
0	1	1	周辺クロック P ϕ /256 でカウント
1	0	0	内蔵RTCのクロック出力 (RTC CLK) でカウント
1	0	1	予約 (設定禁止)
1	1	0	予約 (設定禁止)
1	1	1	予約 (設定禁止)

15.2.3 タイマコンスタントレジスタ (TCOR)

タイマコンスタントレジスタ (TCOR) は、各チャンネルに 1 本ずつ、TMU に計 3 本あります。TCOR レジスタは、TCNT カウンタのアンダフローが発生したとき、TCNT カウンタにセットする値を指定します。

TCOR レジスタは、読み出し / 書き込み可能な 32 ビットレジスタです。パワーオンリセットおよびマニュアルリセット時は H'FFFFFFF に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名:																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15. タイマ (TMU)

15.2.4 タイマカウンタ (TCNT)

タイマカウンタ (TCNT) は、各チャネルに 1 本ずつ、TMU に計 3 本の TCNT があります。TCNT カウンタは、入力したクロックにより、カウントダウン動作を行います。入力するクロックは、タイマコントロールレジスタ (TCR) の TPSC2 ~ TPSC0 ビットにより選択します。

TCNT のカウントダウン動作の結果、アンダフロー (H'00000000 H'FFFFFFF) が発生すると、対応するチャネルのタイマコントロールレジスタ (TCR) のアンダフローフラグ (UNF) がセットされます。また、同時に TCNT カウンタ自体には、タイマコンスタントレジスタ (TCOR) の値がセットされ、セットされた値からカウントダウン動作を続けます。

TCNT カウンタは、読み出し / 書き込み可能な 32 ビットレジスタです。本 LSI の内蔵周辺モジュール用の内部バスは 16 ビット幅であるため、32 ビット幅のレジスタのデータを読み出す場合、レジスタの上位側と下位側のデータを別々に読み出すことになり時間的な差が発生します。TCNT は逐次カウント動作を行っているため、この時間的な差により読み出したレジスタの上位側と下位側のデータがずれる可能性があります。本 LSI では、この問題を避けるために、レジスタの上位側と下位側のデータを別々に読み出すことはせず、バッファレジスタを設けておいて、TCNT に対する読み出しを一括処理します。この処理により、32 ビットカウンタが同一時刻で読み出せるようになりデータがずれることはありません。

パワーオンリセットおよびマニュアルリセット時は H'FFFFFFF に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名:																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.3 動作説明

各チャンネルには、32ビットのタイマカウンタ (TCNT) と 32ビットのタイマコンスタントレジスタ (TCOR) があります。TCNT カウンタは、ダウンカウント動作を行います。オートリロード機能によって、周期カウント動作、または外部イベントカウント動作が可能です。

15.3.1 カウンタの動作

タイマスタートレジスタ (TSTR) の STR0 ~ STR2 ビットを 1 にセットすると、対応するチャンネルのタイマカウンタ (TCNT) はカウント動作を開始します。TCNT カウンタがアンダフローすると対応するタイマコントロールレジスタ (TCR) の UNF フラグがセットされます。このとき、TCR レジスタの UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このとき TCNT カウンタには TCOR レジスタから値がコピーされ、ダウンカウント動作を継続します。

(1) カウント動作の設定手順例

カウント動作の設定手順例を図 15.2 に示します。

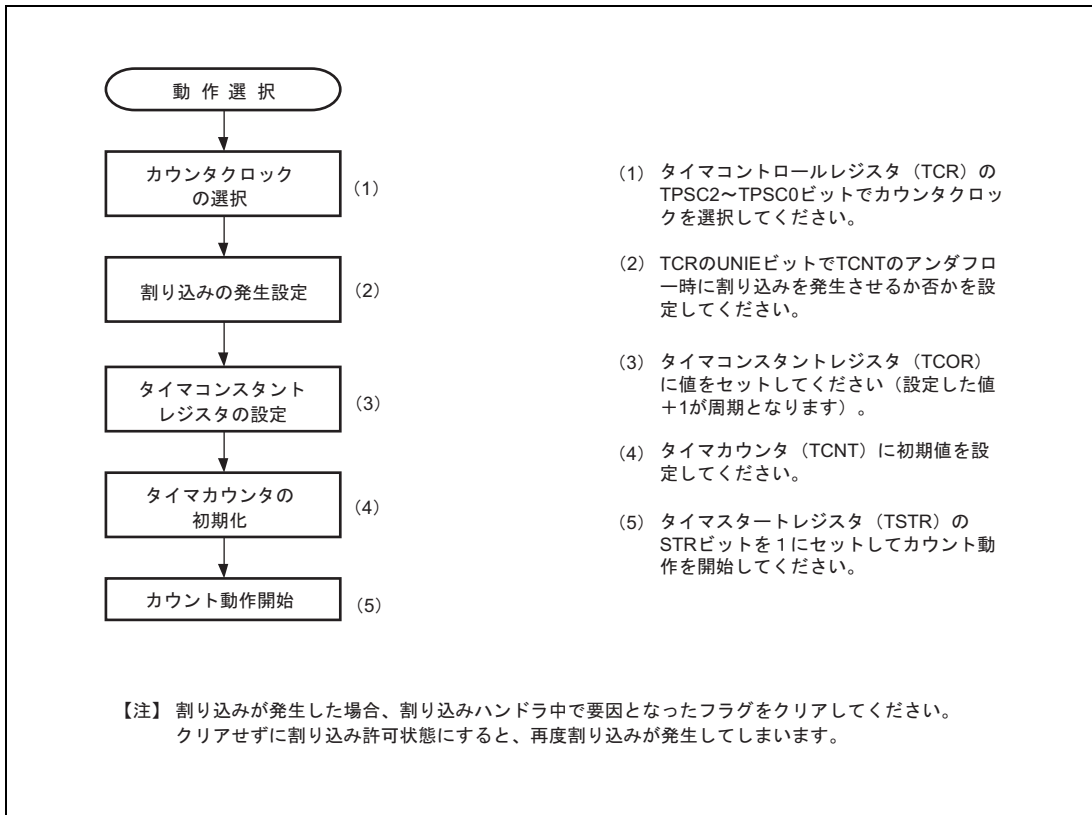


図 15.2 カウント動作設定手順例

15. タイマ (TMU)

(2) オートリロードカウント動作

TCNT のオートリロード動作を、図 15.3 に示します。

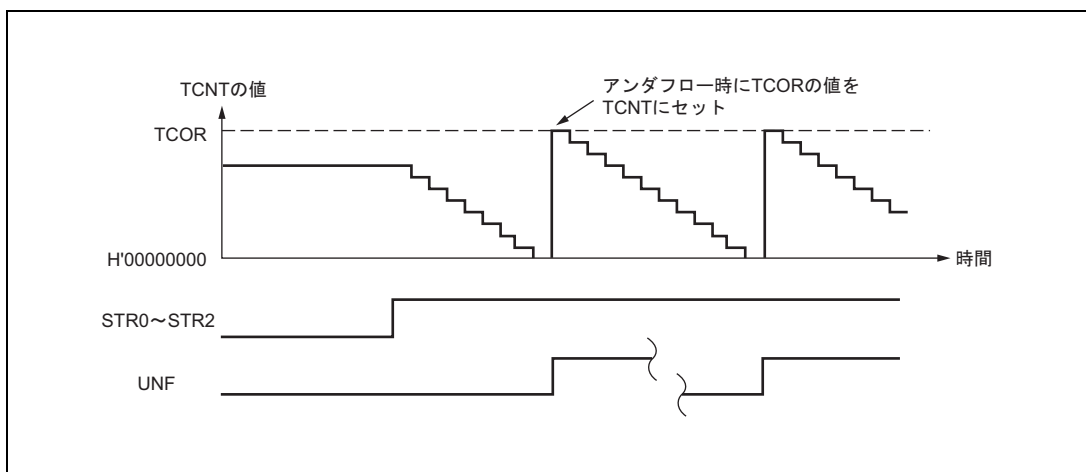


図 15.3 オートリロードカウンタの動作

(3) TCNT のカウントタイミング

1. 内部クロック動作の場合

TCRレジスタのTPSC2 ~ TPSC0ビットにより、周辺モジュール用クロックを分周した4種類のクロック ($P\phi/4$ 、 $P\phi/16$ 、 $P\phi/64$ 、 $P\phi/256$) が選択できます。このときのタイミングを図15.4に示します。

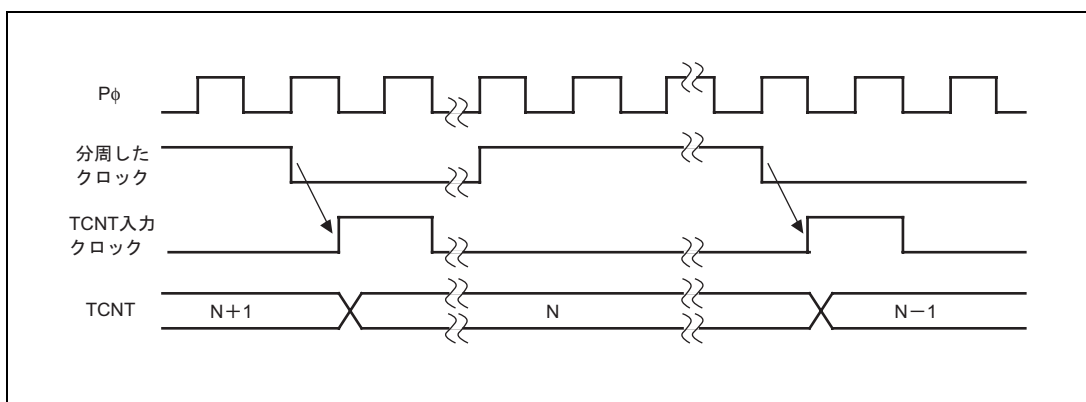


図 15.4 内部クロック動作時のカウントタイミング

2. 内蔵RTCクロック動作の場合

TCRレジスタのTPSC2~TPSC0ビットにより、タイマ用クロックとして内蔵RTCの出力クロックを選択できます。このときのタイミングを図15.5に示します。

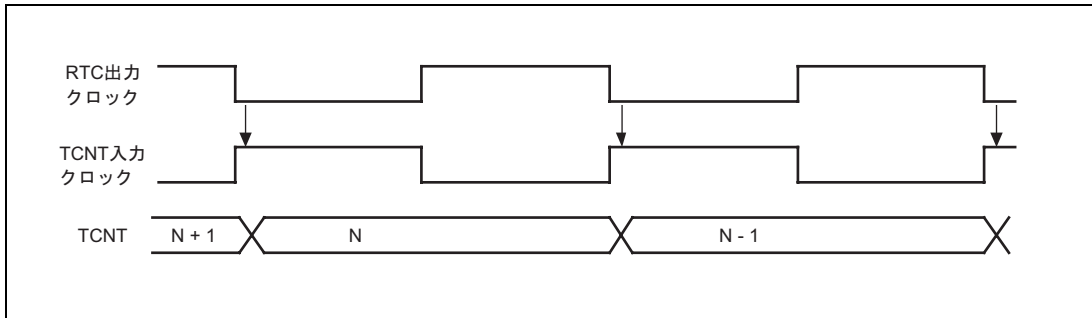


図 15.5 内蔵 RTC クロック動作時のカウントタイミング

15.4 割り込み

TMU の割り込み要因は、アンダフロー割り込み (TUNI) です。

15.4.1 ステータスフラグのセットタイミング

UNF ビットは、TCNT カウンタがアンダフローしたときに 1 にセットされます。このときのタイミングを図 15.6 に示します。

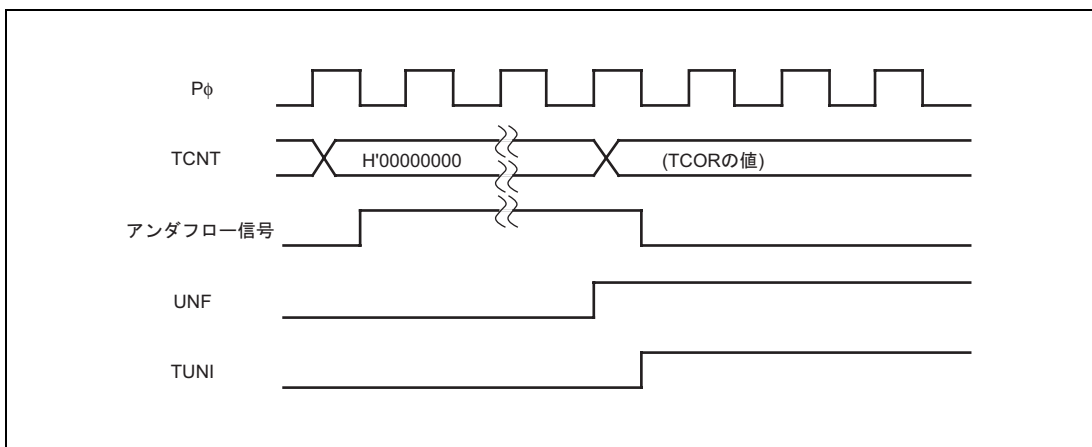


図 15.6 UNF のセットタイミング

15. タイマ (TMU)

15.4.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUから0を書き込むとクリアされます。このときのタイミングを図15.7に示します。

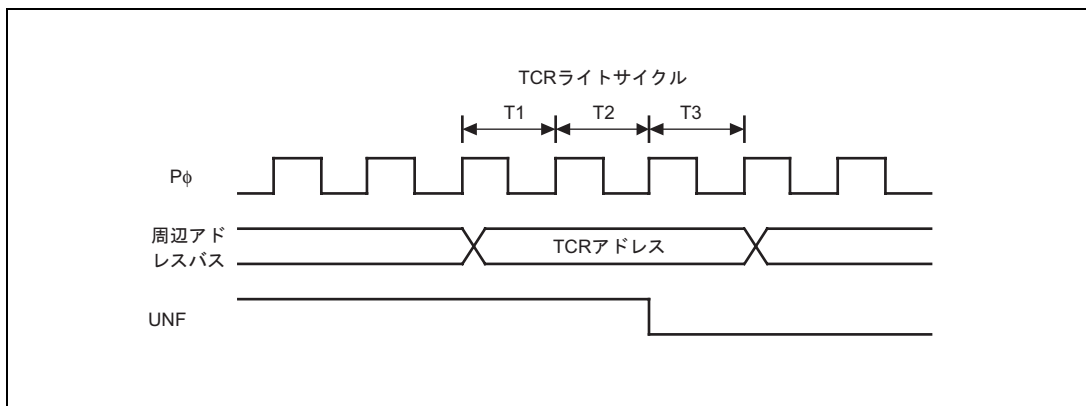


図 15.7 ステータスフラグのクリアタイミング

15.4.3 割り込み要因と優先順位

TMUは各チャンネルごとにアンダフロー割り込みを発生します。割り込み要求フラグが1にセットされ、かつ割り込み許可ビットが1にセットされているとき、当該割り込みが要求されます。これらの割り込みは、例外事象レジスタ (INTEVT、INTEVT2) にコードがセットされますので、そのコードに従って割り込み処理を行ってください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は「第4章 例外処理」、「第7章 割り込みコントローラ (INTC)」を参照してください。

TMUの割り込み要因を表15.2に示します。

表 15.2 TMUの割り込み要因

チャンネル	割り込み要因	内容	優先順位
0	TUNI0	アンダフロー割り込み 0	高 ↑ ↓ 低
1	TUNI1	アンダフロー割り込み 1	
2	TUNI2	アンダフロー割り込み 2	

15.5 使用上の注意

15.5.1 レジスタの書き込みについて

レジスタの書き込み時に、タイマのカウンタ動作の同期処理は行っておりません。レジスタの書き込みの際には、必ずタイマスタートレジスタ (TSTR) の該当チャンネルのスタートビット (STR2~STR0) をクリアして、タイマのカウンタ動作を停止させてください。

15.5.2 レジスタの読み出しについて

レジスタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み込み処理が同時に行われた場合は、同期処理により TCNT カウンタのカウンタダウン動作前の値が読み出されます。

15. タイマ (TMU)

16. リアルタイムクロック (RTC)

16.1 概要

本 LSI は、リアルタイムクロック (RTC:Real Time Clock) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。

16.1.1 特長

RTC には、次のような特長があります。

- 時計・カレンダー機能 (BCD表示) を搭載
秒、分、時、日、曜日、月、年をカウント
- 1~64Hzタイマ (バイナリ表示) を搭載
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、日、曜日、月の各々どのフレームを比較するか選択可能
- 周期割り込み
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
カウンタの読み出し中に、桁上げ動作が発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

16. リアルタイムクロック (RTC)

16.1.2 ブロック図

RTCのブロック図を図 16.1 に示します。

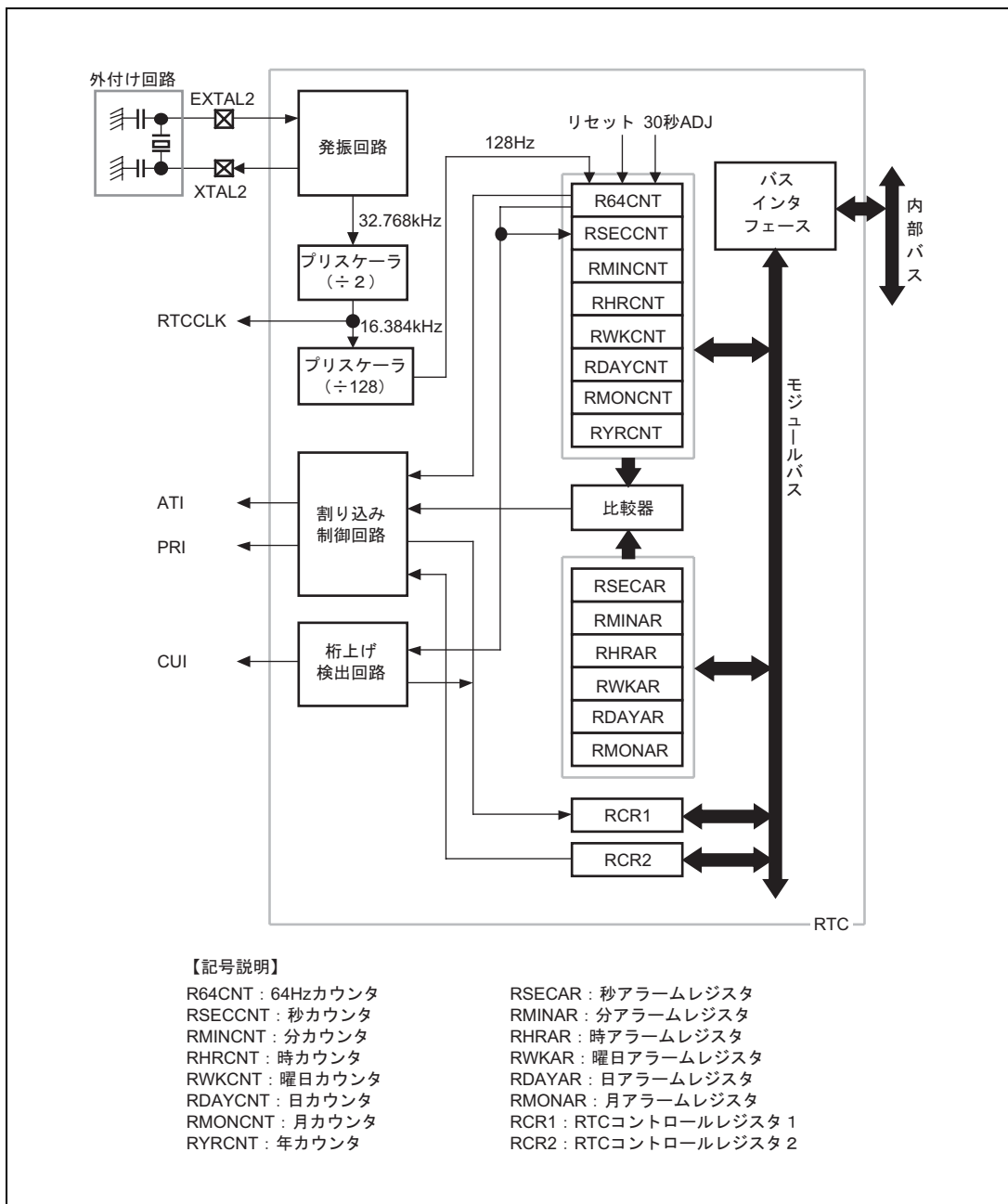


図 16.1 RTCのブロック図

16.1.3 端子構成

RTCの端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	信号名	入出力	機能
RTC 用発振器水晶端子	EXTAL2	入力	RTC 用発振器に水晶を接続します。* ¹
RTC 用発振器水晶端子	XTAL2	出力	RTC 用発振器に水晶を接続します。* ¹
RTC 用電源端子	V _{CC} -RTC		RTC 発振器用電源端子
RTC 用 GND 端子	V _{SS} -RTC		RTC 発振器用 GND 端子* ²

【注】 *¹ RTC を使用しない場合、EXTAL2 はプルアップ (V_{CC}-RTC)、XTAL2 は NC としてください。

*² V_{SS}-RTC 端子は、外来ノイズ入力によりデバイスが誤動作する可能性がありますので、V_{SS}-RTC 端子に外来ノイズが入力されないように回路・システム上でノイズ除去回路の対策をしてください。

16.1.4 レジスタ構成

RTCのレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
64Hz カウンタ	R64CNT	R	不定	H'FFFFFFE0	8
秒カウンタ	RSECCNT	R/W	不定	H'FFFFFFE2	8
分カウンタ	RMINCNT	R/W	不定	H'FFFFFFE4	8
時カウンタ	RHRCNT	R/W	不定	H'FFFFFFE6	8
曜日カウンタ	RWKCNT	R/W	不定	H'FFFFFFE8	8
日カウンタ	RDAYCNT	R/W	不定	H'FFFFFFECA	8
月カウンタ	RMONCNT	R/W	不定	H'FFFFFFECC	8
年カウンタ	RYRCNT	R/W	不定	H'FFFFFFECE	8
秒アラームレジスタ	RSECAR	R/W	不定*	H'FFFFFFED0	8
分アラームレジスタ	RMINAR	R/W	不定*	H'FFFFFFED2	8
時アラームレジスタ	RHRAR	R/W	不定*	H'FFFFFFED4	8
曜日アラームレジスタ	RWKAR	R/W	不定*	H'FFFFFFED6	8
日アラームレジスタ	RDAYAR	R/W	不定*	H'FFFFFFED8	8
月アラームレジスタ	RMONAR	R/W	不定*	H'FFFFFFEDA	8
RTC コントロールレジスタ 1	RCR1	R/W	H'00	H'FFFFFFEDC	8
RTC コントロールレジスタ 2	RCR2	R/W	H'09	H'FFFFFFEDE	8

【注】 * 各レジスタの ENB ビットのみ初期化されます。

16.2 レジスタの説明

16.2.1 64Hz カウンタ (R64CNT)

64Hz カウンタ (R64CNT) は、RTC の分周回路 (RTC プリスケアラおよび R64CNT) のうち、64Hz ~ 1Hz の状態を示します。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットに 1 をセットするか、RCR2 レジスタの ADJ ビットに 1 をセットすると、R64CNT カウンタは H'00 に初期化されます。

R64CNT カウンタは、読み出しのみ可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット 7 は、読み出すと、常に 0 が読み出されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:		1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0							
R/W:	R	R	R	R	R	R	R	R

16.2.2 秒カウンタ (RSECCNT)

秒カウンタ (RSECCNT) は、RTC の BCD コード化された秒部分の設定・カウント用のカウンタです。64Hz カウンタの 1 秒ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RSECCNT カウンタは、読み出し / 書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット:	7	6	5	4	3	2	1	0
ビット名:		10 秒			1 秒			
初期値:	0							
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.2.3 分カウンタ (RMINCNT)

分カウンタ (RMINCNT) は、RTC の BCD コード化された分部分の設定・カウント用のカウンタです。秒カウンタの 1 分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RMINCNT カウンタは、読み出し / 書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット:	7	6	5	4	3	2	1	0
ビット名:		10 分			1 分			
初期値:	0							
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.2.4 時カウンタ (RHRCNT)

時カウンタ (RHRCNT) は、RTC の BCD コード化された時部分の設定・カウント用のカウンタです。分カウンタの 1 時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行うか、図 16.2 に示すように桁上げフラグを用いて書き込みを行ってください。

RHRCNT カウンタは、読み出し / 書き込み可能な 8 ビットのレジスタで、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット:	7	6	5	4	3	2	1	0
ビット名:			10 時間		1 時間			
初期値:	0	0						
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

16. リアルタイムクロック (RTC)

16.2.5 曜日カウンタ (RWKCNT)

曜日カウンタ (RWKCNT) は、RTC の BCD コード化された曜日部分の設定・カウント用のカウンタです。日カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 0~6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RWKCNT カウンタは、読み出し / 書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット:	7	6	5	4	3	2	1	0
ビット名:							曜日	
初期値:	0	0	0	0	0			
R/W:	R	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

16.2.6 日カウンタ (RDAYCNT)

日カウンタ (RDAYCNT) は、RTC の BCD コード化された日部分の設定・カウント用のカウンタです。時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01~31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RDAYCNT カウンタは、読み出し / 書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

RDAYCNT カウンタの設定可能範囲は、月ごとおよびうるう年によって変化します。確認の上、設定してください。

ビット:	7	6	5	4	3	2	1	0
ビット名:			10 日		1 日			
初期値:	0	0						
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

16.2.7 月カウンタ (RMONCNT)

月カウンタ (RMONCNT) は、RTC の BCD コード化された月部分の設定・カウント用のカウンタです。日カウンタの月ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RMONCNT カウンタは、読み出し / 書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット:	7	6	5	4	3	2	1	0
ビット名:				10 月		1	月	
初期値:	0	0	0					
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

16.2.8 年カウンタ (RYRCNT)

年カウンタ (RYRCNT) は、RTC の BCD コード化された年部分の設定・カウント用のカウンタです。西暦の下 2 桁を表します。月カウンタの年ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 99 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RYRCNT カウンタは、読み出し / 書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

年カウンタ値を 4 で割って、端数が 0 の場合をうるう年として判定しています。なお、年カウンタ値 : 00 をうるう年に含みません。

ビット:	7	6	5	4	3	2	1	0
ビット名:	10 年				1 年			
初期値:								
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.2.9 秒アラームレジスタ (RSECAR)

秒アラームレジスタ (RSECAR) は、RTC の BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットです。それ以外の値が設定されると、正常に動作しません。

RSECAR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は 0 に初期化されます。RSECAR レジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:	ENB	10 秒			1 秒			
初期値:	0							
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.2.10 分アラームレジスタ (RMINAR)

分アラームレジスタ (RMINAR) は、RTC の BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットです。それ以外の値が設定されると、正常に動作しません。

RMINAR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセットで初期化されます。RMINAR レジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:	ENB	10 分			1 分			
初期値:	0							
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.2.11 時アラームレジスタ (RHRAR)

時アラームレジスタ (RHRAR) は、RTC の BCD コード化された時部分のカウンタ RHRCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHRCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

設定可能範囲は、10 進で 00 ~ 23 + ENB ビットです。それ以外の値が設定されると、正常に動作しません。

RHRAR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RHRAR レジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:	ENB		10 時間		1 時間			
初期値:	0	0						
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

16.2.12 曜日アラームレジスタ (RWKAR)

曜日アラームレジスタ (RWKAR) は、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

設定可能範囲は、10 進で 0 ~ 6 + ENB ビットです。それ以外の値が設定されると、正常に動作しません。

RWKAR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RWKAR レジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:	ENB						曜日	
初期値:	0	0	0	0	0			
R/W:	R/W	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

16.2.13 日アラームレジスタ (RDAYAR)

日アラームレジスタ (RDAYAR) は、RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

設定可能範囲は、10 進で 01 ~ 31 + ENB ビットです。それ以外の値が設定されると、正常に動作しません。RDAYCNT の設定可能範囲は、月およびうるう年によって変化します。確認の上、設定してください。

RDAYAR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RDAYAR レジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:	ENB		10 日				1 日	
初期値:	0	0						
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

16.2.14 月アラームレジスタ (RMONAR)

月アラームレジスタ (RMONAR) は、RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

設定可能範囲は、10 進で 01 ~ 12 + ENB ビットです。それ以外の値が設定されると、正常に動作しません。

RMONAR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RMONAR レジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:	ENB			10 月			1 月	
初期値:	0	0	0					
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

16.2.15 RTC コントロールレジスタ 1 (RCR1)

RTC コントロールレジスタ 1 (RCR1) は、桁上げおよびアラームフラグに関するレジスタです。また、各々のフラグについて、割り込みを発生するかどうか選択できます。リードモディファイライト処理は、オペランドリード後フラグがセットされる場合があるので使用しないでください。

RCR1 レジスタは、読み出し/書き込み可能な 8 ビットのレジスタです。CIE ビット、AIE ビット、AF ビットはパワーオンリセットおよびマニュアルリセット時に初期化されます。ただし、CF フラグは、パワーオンリセットおよびマニュアルリセット時に不定になります。CF フラグを使用する場合は、使用前に必ず初期化してください。スタンバイモード時には初期化されません。

ビット:	7	6	5	4	3	2	1	0
ビット名:	CF			CIE	AIE			AF
初期値:		0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

- ビット7: 桁上げフラグ (CF)

桁上げが発生したことを示すフラグです。このフラグが 1 にセットされた場合、(1) 秒カウンタ桁上げ、または、(2) 64Hz カウンタ桁上げ時の読み出しが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。

ビット 7	説明
CF	
0	秒カウンタ桁上げおよび 64Hz カウンタ桁上げなし [クリア条件] CF に 0 を書き込んだとき
1	[セット条件] 秒カウンタ桁上げ、または 64Hz カウンタ桁上げ時の読み出しあり、 または、CF に 1 を書き込んだとき

- ビット6、5、2、1: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット4: 桁上げ割り込みイネーブルフラグ (CIE)

桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。

ビット 4	説明
CIE	
0	CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない (初期値)
1	CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる

16. リアルタイムクロック (RTC)

- ビット3: アラーム割り込みイネーブルフラグ (AIE)

アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。

ビット 3	説明
AIE	
0	AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない (初期値)
1	AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる

- ビット0: アラームフラグ (AF)

アラームレジスタで設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) と時計・カレンダーが一致したら 1 にセットされるフラグです。

このフラグは、0 を書き込むと 0 にクリアされますが、1 を書き込もうとしてもそれまでの値を保持します。

ビット 0	説明
AF	
0	アラームレジスタと時計・カレンダーは不一致 (初期値) [クリア条件] AF に 0 を書き込んだとき
1	[セット条件] アラームレジスタと時計・カレンダーが一致* (ENB ビットを 1 に設定したレジスタのみ)

【注】 * 1 を書き込むと、元の値が保持されます。

16.2.16 RTC コントロールレジスタ 2 (RCR2)

RTC コントロールレジスタ 2 (RCR2) は、周期的割り込み制御、30 秒調整用 ADJ、分周回路 RESET、RTC カウントスタート・ストップ制御に関するレジスタです。

RCR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。パワーオンリセット時は H'09 に初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。スタンバイモード時は初期化されず、それまでの値が保持されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:	PEF	PES2	PES1	PES0	RTCEN	ADJ	RESET	START
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット7: 周期割り込みフラグ (PEF)

PES ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みが発生します。

ビット7	説明
PEF	
0	PES ビットで設定された周期で割り込み発生なし (初期値) [クリア条件] PEF に 0 を書き込んだとき
1	[セット条件] PES ビットで設定された周期で割り込み発生あり、 または、PEF に 1 を書き込んだとき

- ビット6~4: 周期割り込みフラグ (PES2~PES0)

周期割り込みの周期を設定します。

ビット6	ビット5	ビット4	説明
PES2	PES1	PES0	
0	0	0	周期割り込み発生なし (初期値)
0	0	1	周期割り込み発生周期を 1/256 秒ごとにする
0	1	0	周期割り込み発生周期を 1/64 秒ごとにする
0	1	1	周期割り込み発生周期を 1/16 秒ごとにする
1	0	0	周期割り込み発生周期を 1/4 秒ごとにする
1	0	1	周期割り込み発生周期を 1/2 秒ごとにする
1	1	0	周期割り込み発生周期を 1 秒ごとにする
1	1	1	周期割り込み発生周期を 2 秒ごとにする

16. リアルタイムクロック (RTC)

- ビット3 : 発振器有効 (RTCEN)

RTC 用水晶発振器の動作を制御します。

ビット3	説明
RTCEN	
0	RTC 用水晶発振器を停止させる*
1	RTC 用水晶発振器を動作させる* (初期値)

【注】 * RTC を使用しない場合は、RTCEN を"0"に設定してください。

- ビット2 : 30秒調整ADJ (ADJ)

30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。なお、このビットからの読み出しは常に 0 が読み出されます。

ビット2	説明
ADJ	
0	通常の時計動作 (初期値)
1 (書き込み)	30 秒の調整を行う

- ビット1 : リセット (RESET)

1 を書き込むことによって、分周回路 (RTC プリスケアラおよび R64CNT) が初期化されます。なお、このビットからの読み出しは常に 0 が読み出されます。

ビット1	説明
RESET	
0	通常の時計動作 (初期値)
1 (書き込み)	分周回路をリセット

- ビット0 : STARTビット (START)

カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。

ビット0	説明
START	
0	秒、分、時、日、週、月、年カウンタは停止*
1	秒、分、時、日、週、月、年カウンタは通常動作* (初期値)

【注】 * 64Hz カウンタは RTCEN ビットで停止させない限りは動作します

16.3 RTC の動作

16.3.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

16.3.2 時刻設定手順

時計を停止させて時刻を設定する方法を図 16.2 (a)、図 16.2 (b) に示します。カレンダークロックの全体を設定する場合に有効です。簡単にプログラムすることができます。

注意事項

(1) 64Hz カウンタ (R64CNT) の初期化のタイミングについて

RTC の RCR2 レジスタの RESET ビットによる初期化後、R64CNT の読み出し値を確実に反映させる必要がある場合は、RESET ビットを 1 にセット後、少なくとも約 107 μ s 経過後に R64CNT カウンタを読み出ししてください。

なお、分周回路 (RTC プリスケーラ) は、RESET ビットを 1 にセットすると同時に初期化が行われます。

(2) R64CNT の初期化による RSECCNT のインクリメントについて

以下の (a)、または、(b) のいずれかの方法で行ってください。

(a) RESET ビットを 1 にセット後、R64CNT が初期化されたことを確認後、START ビットに 1 をセットする。このフローを図 16.2 (a) に示します。

(b) START ビットを 1 にセットすると同時に RESET ビットを 1 にセットする。このフローを図 16.2 (b) に示します。なお、START ビットを 1 にセット後、約 107 μ s 以内に RCR2 レジスタへの書き込みを行わない場合は、図 16.2 (b) の左側に "*" で示した処理を省略することができます。

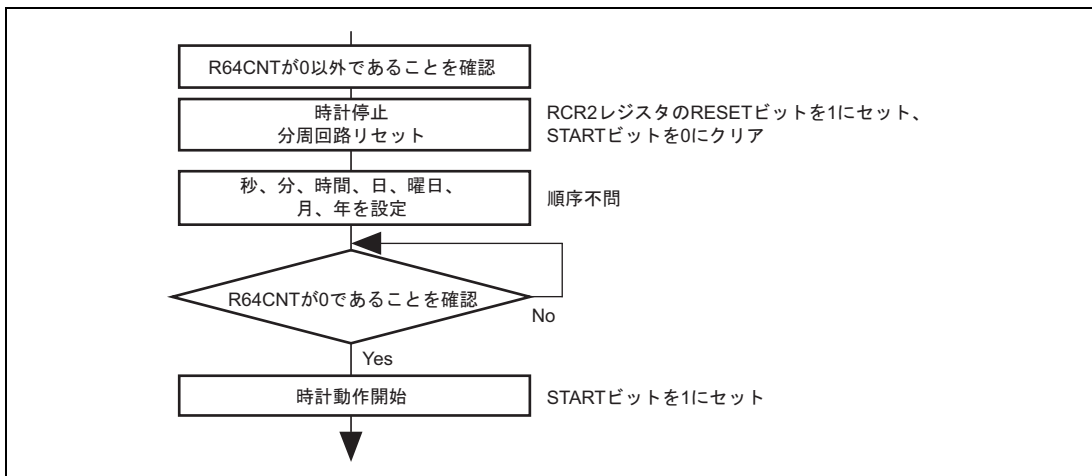


図 16.2 (a) 時刻設定手順 (a)

16. リアルタイムクロック (RTC)

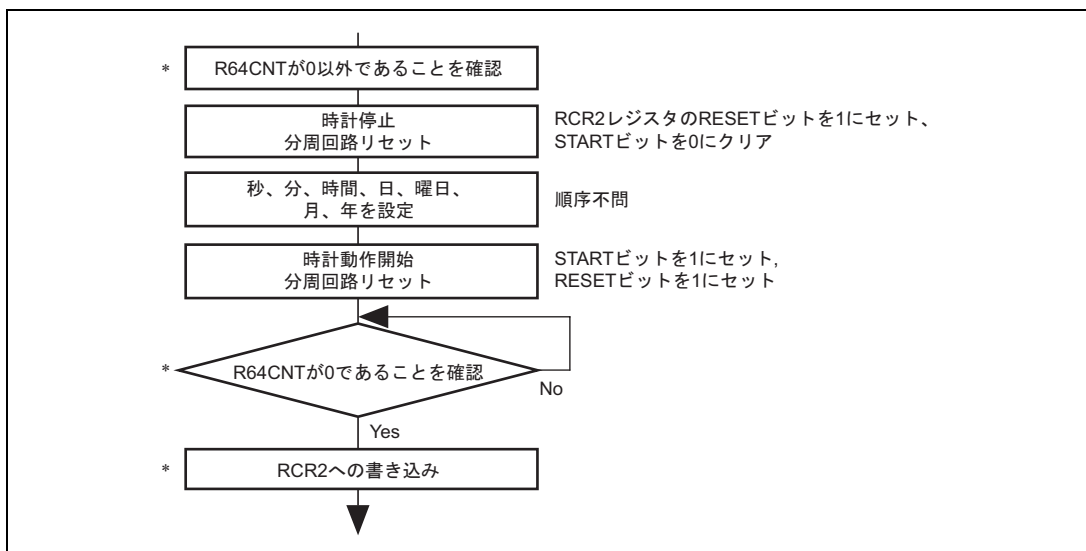


図 16.2 (b) 時刻設定手順 (b)

16.3.3 時刻読み出し手順

時刻読み出し手順を図 16.3 に示します。

時刻読み出し期間中に桁上げが起こると、正しい時刻が得られないため、再読み出しする必要があります。割り込みを使用しない方法を (a) に、桁上げ割り込みを使用する方法を (b) に示します。通常、プログラムの簡素化のため割り込みを使用しない方法を使用します。

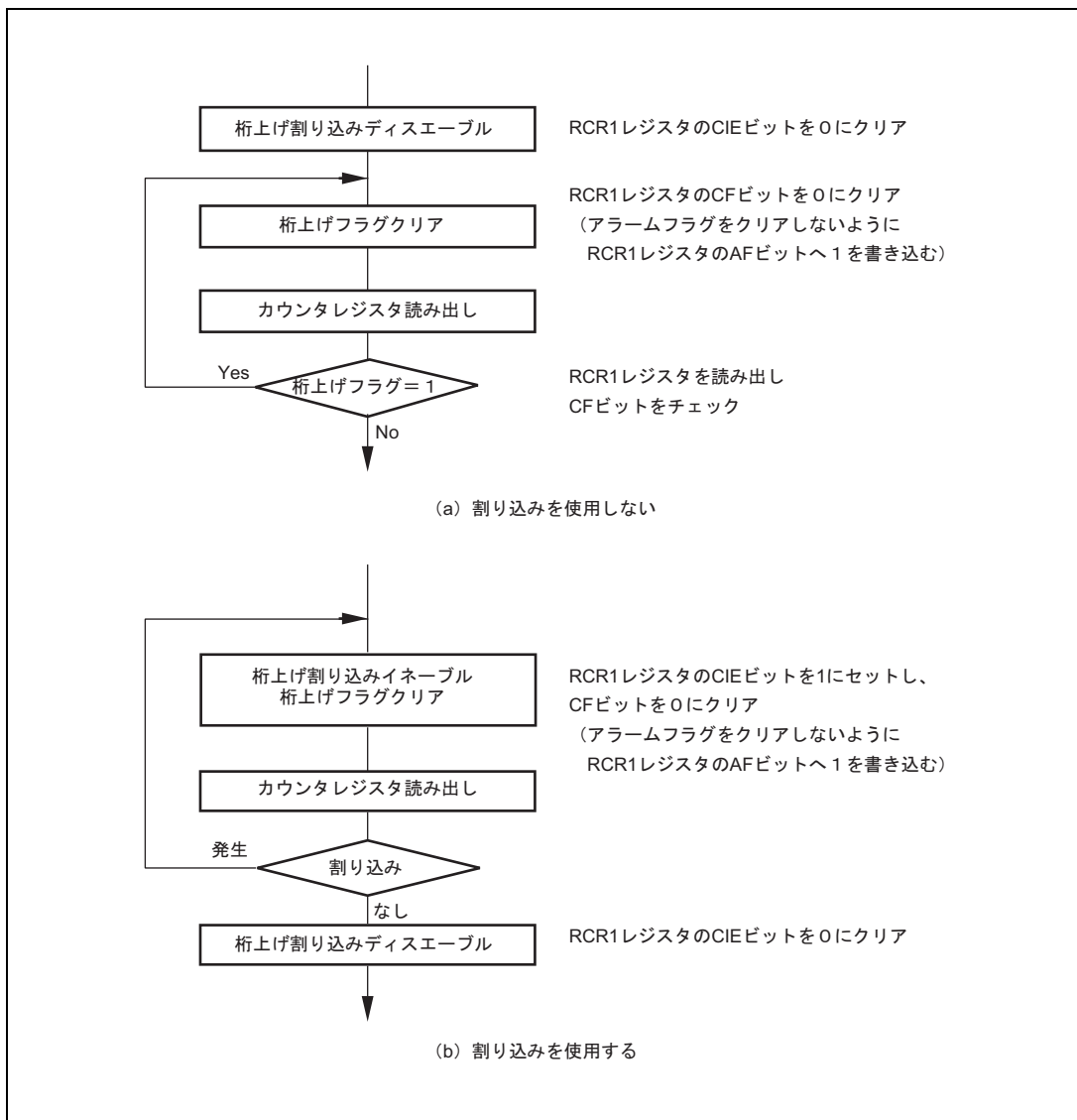


図 16.3 時刻読み出し手順

16.3.4 アラーム機能

アラーム機能の使用方法を図 16.4 に示します。

アラームは、秒、分、時、曜日、日、月のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするレジスタは、ENB ビット (ビット 7) に 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビット (ビット 7) に 0 を書き込みます。

時計とアラーム時刻が一致した場合、RTC コントロールレジスタ 1 (RCR1) の AF ビット (ビット 0) に 1 がセットされます。アラームの検出は、このビットを読み出すことにより確認できますが、通常は割り込み機能を使用します。RCR1 レジスタの AIE ビット (ビット 3) に 1 を書き込んでおけば、アラーム時にアラーム割り込みが発生し、検出することができます。

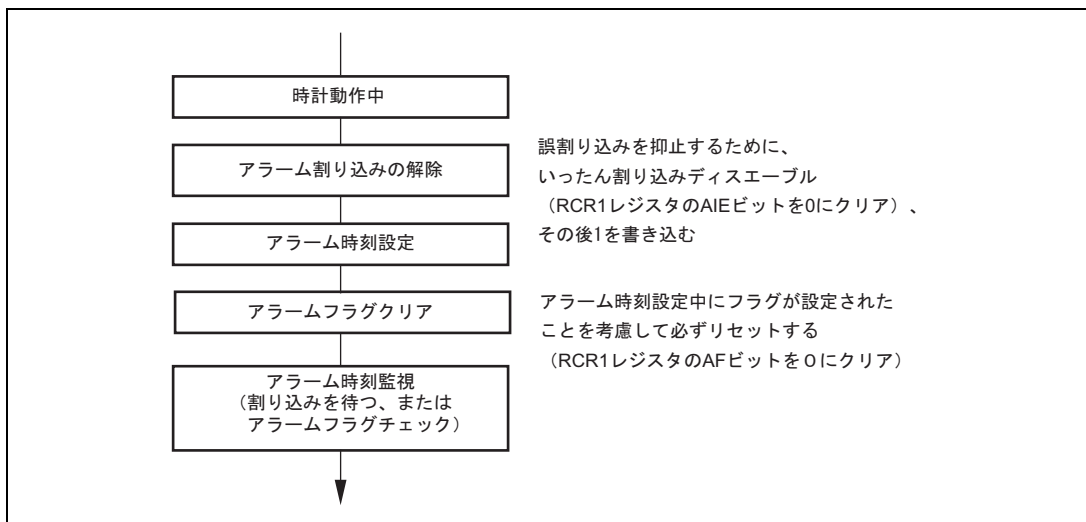


図 16.4 アラーム機能の使用方法

16.3.5 水晶発振回路

水晶発振回路の各定数（推奨値）を表 16.3 に、RTC 用水晶発振回路を図 16.5 に示します。

表 16.3 水晶発振回路の定数（推奨値）

f_{osc}	C_{in}	C_{out}
32.768kHz	10 ~ 22pF	10 ~ 22pF

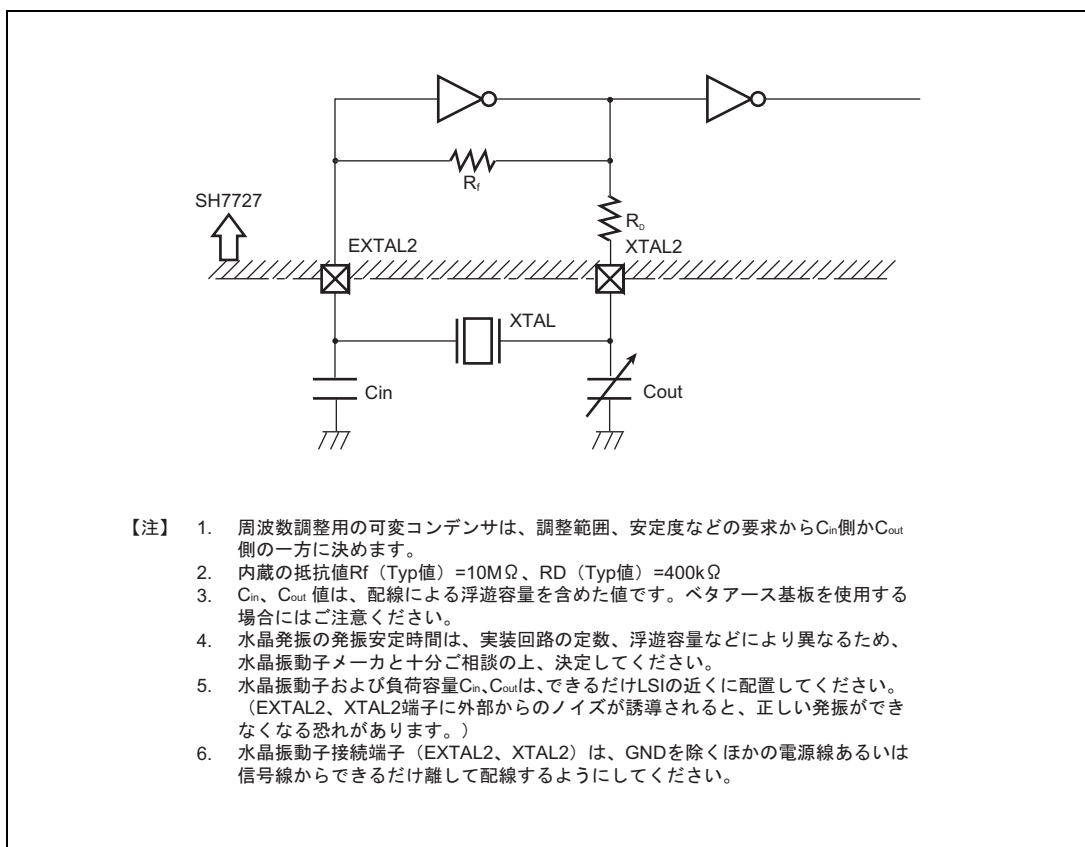


図 16.5 水晶発振回路接続例

16.4 使用上の注意

16.4.1 RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時 (RCR2 のビット 0 = 1)、以下の RTC のレジスタに書き込みができません。
RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT

上記のレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

16.4.2 リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込み機能の使用方法を図 16.6 に示します。

周期割り込みは、RTC コントロールレジスタ 2 (RCR2) の周期割り込みイネーブルフラグ (PES) で設定した周期で定期的に割り込みを発生させることができます。周期割り込みフラグ (PEF) で設定した時間が経過すると周期割り込みフラグ (PEF) が 1 にセットされます。

周期割り込みフラグ (PEF) は、周期割り込みイネーブルフラグ (PES) 設定時、周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが通常は割り込み機能を使用します。

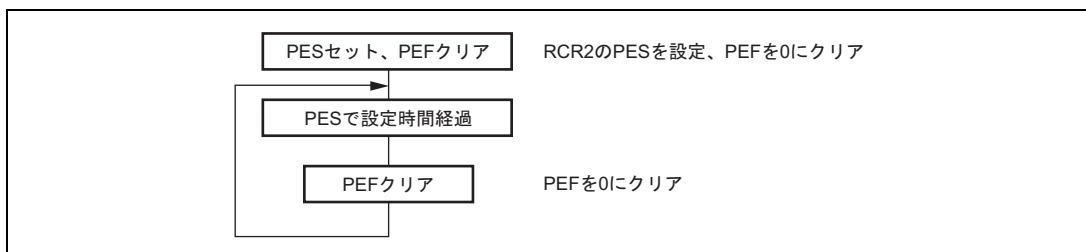


図 16.6 周期割り込み機能の使用方法

16.4.3 リアルタイムクロック (RTC) の ADJ ビットの使用について

(1) 内容

RTC の RCR2.ADJ ビットを 1 にセットしたときから秒カウンタ (RSECCNT) の読み出し値に反映されるまでに最大で約 91.6 μ s (EXTAL2 端子へ 32.768kHz 水晶振動子接続時) の時間がかかります。

なお、秒カウンタ自身は、ADJ ビットセット時に 30 秒調整が行なわれますので RTC の動作に問題は発生しません。

(2) 注意事項

RTC の RCR2.ADJ ビットによる 30 秒調整を確実に読み出し値として反映させる必要がある場合は、ADJ ビットセットより少なくとも約 91.6 μ s 経過後に秒カウンタを読み出してくださるようお願いします。

17. シリアルコミュニケーション インタフェース (SCI)

17.1 概要

本 LSI には、シリアルコミュニケーションインタフェース (SCI: Serial Communication Interface) が内蔵されています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

スマートカードインタフェースをサポートしています。これは、“ISO/IEC7816-3 (Identification Card) のデータ伝送プロトコル形式 T=0” に対応した IC カードインタフェース用シリアル通信機能です。詳しくは「第 18 章 スマートカードインタフェース」を参照してください。

17.1.1 特長

SCI には次のような特長があります。

シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

- 調歩同期式モード

スタート/ストップビットによりキャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長: 7 ビット、または 8 ビット

ストップビット長: 1 ビット、または 2 ビット

パリティ: 偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサビット: 1 または 0

受信エラーの検出: パリティエラー、オーバランエラー、フレーミングエラーを検出

ブレークの検出: フレーミングエラー発生時に RxD0 端子のレベルをシリアルポートレジスタ (SCSPTR) から直接読み出すことによりブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つほかの LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

17. シリアルコミュニケーションインタフェース (SCI)

データ長：8ビット

受信エラーの検出：オーバランエラーを検出

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK0端子からの外部クロックから選択可能

4種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。

SCIを使用しないときは、消費電力低減のためSCIに対してクロックの供給を止めて動作を停止させることができます。

17.1.2 ブロック図

SCIのブロック図を図 17.1 に示します。

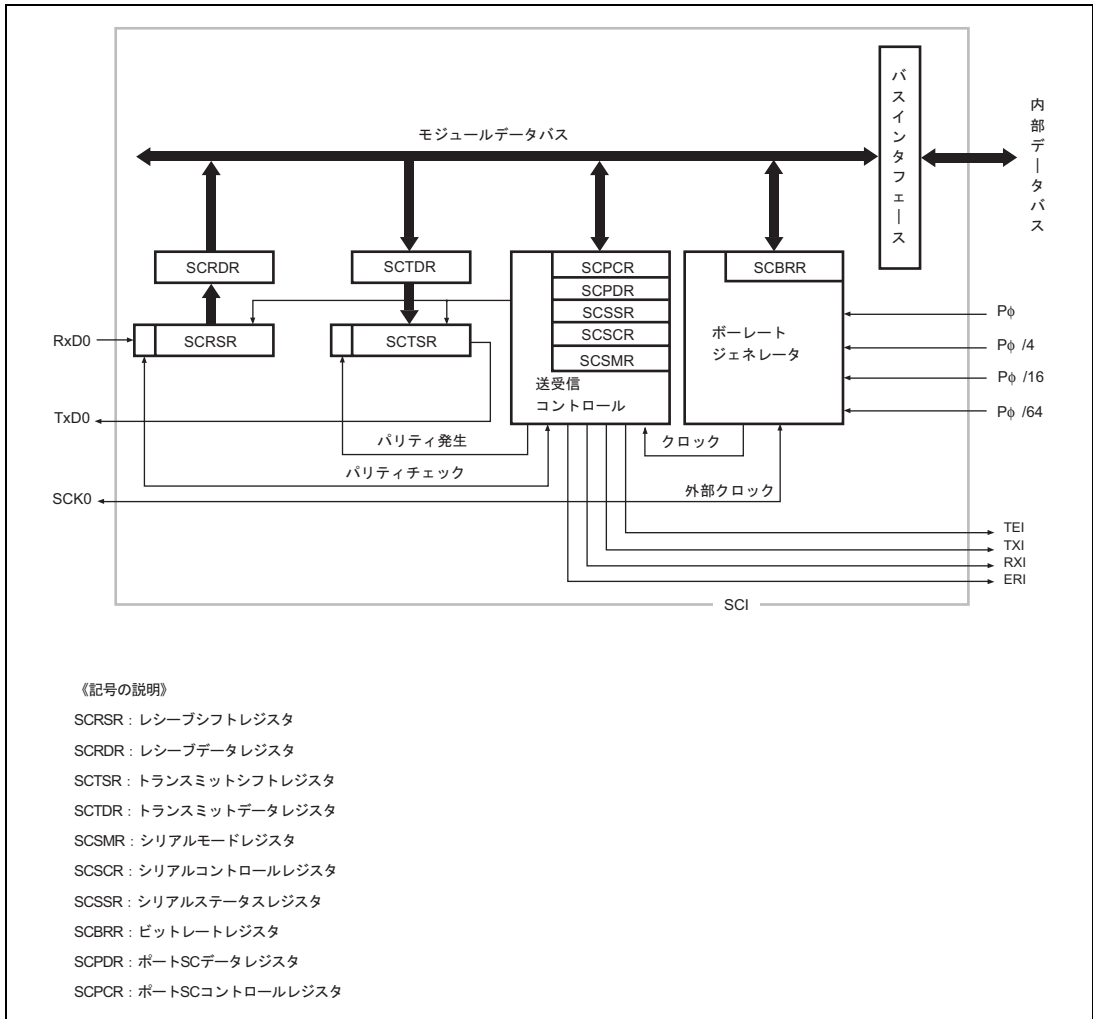


図 17.1 SCIのブロック図

17. シリアルコミュニケーションインタフェース (SCI)

図 17.2~図 17.4 に SCI I/O ポートを示します。

SCI 端子の入出力およびデータコントロールは、SCPCR のビット 3~0、および SCPDR のビット 1、0 で実行します。詳細は「17.2.8 SC ポートコントロールレジスタ (SCPCR) / SC ポートデータレジスタ (SCPDR)」を参照してください。

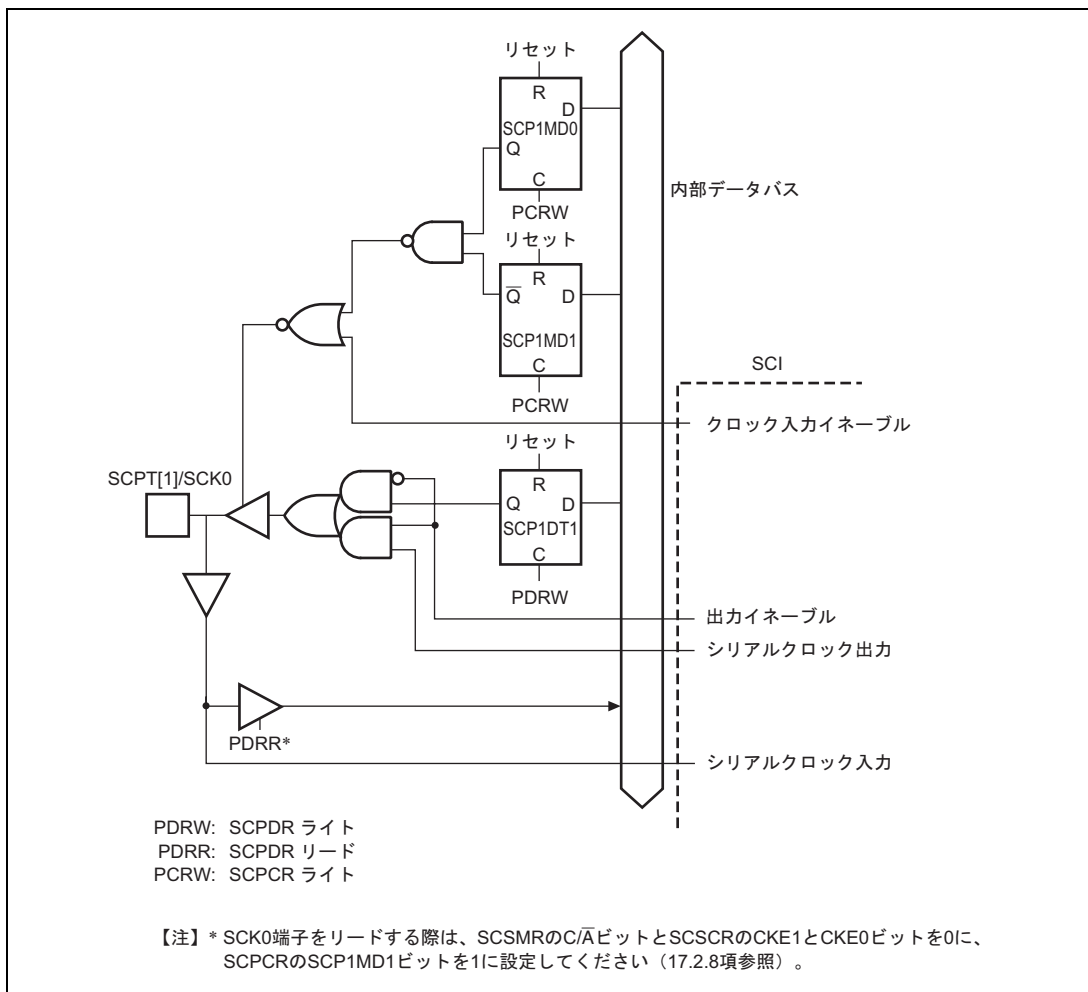


図 17.2 SCPT[1]/SCK0 端子

17. シリアルコミュニケーションインタフェース (SCI)

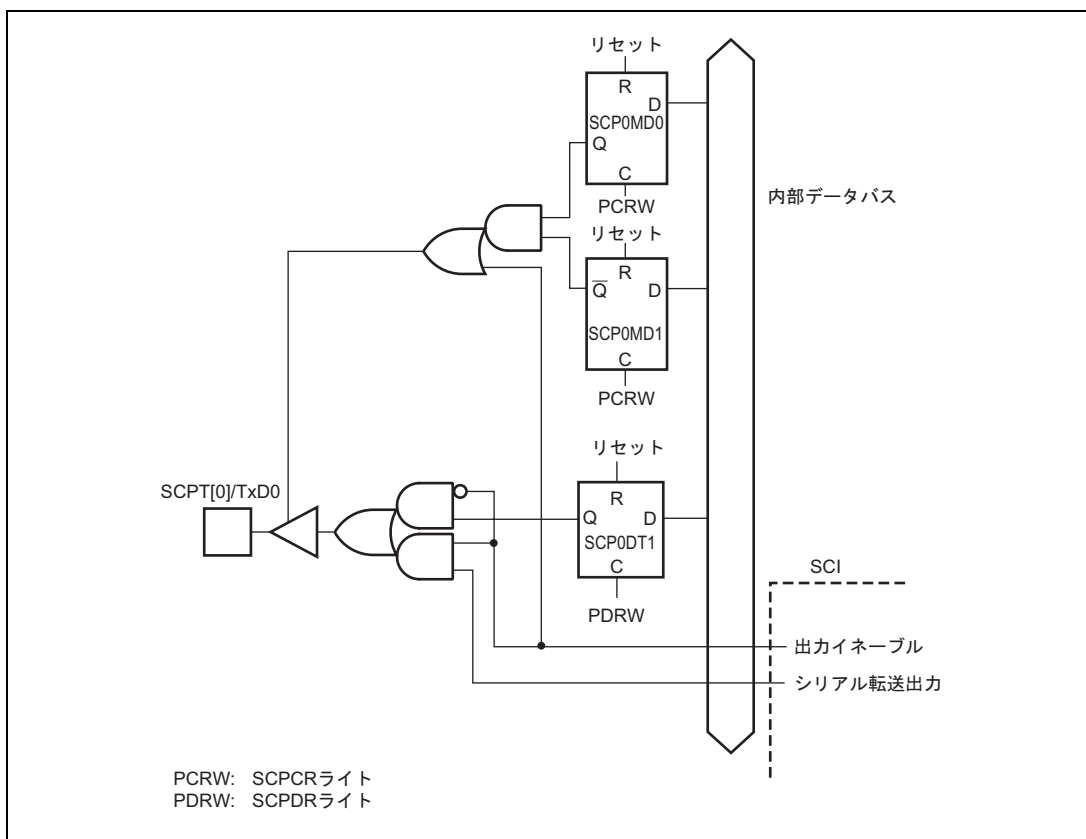


図 17.3 SCPT[0]/TxD0 端子

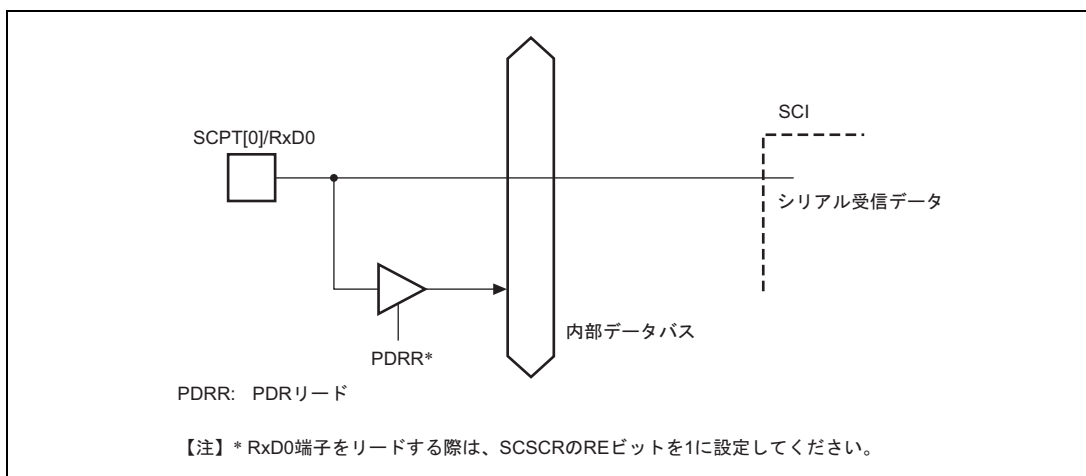


図 17.4 SCPT[0]/RxD0 端子

17. シリアルコミュニケーションインタフェース (SCI)

17.1.3 端子構成

SCIの端子構成を表 17.1 に示します。

表 17.1 端子構成

名 称	略 称	入出力	機 能
シリアルクロック端子	SCK0	入出力	クロック入出力
レシーブデータ端子	RxD0	入力	受信データ入力
トランスミットデータ端子	TxD0	出力	送信データ出力

【注】 SCIの動作設定をSCSCRのTE、RE、CKE1、CKE0ビット、およびSCSMRのC/Aビットで行うことにより、シリアル端子として機能します。ブ레이크状態の送受、検出は、SCIのSCSPTRによって行うことができます。

17.1.4 レジスタ構成

SCIには、表 17.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

表 17.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR	R/W	H'00	H'FFFFFFE80	8
ビットレートレジスタ	SCBRR	R/W	H'FF	H'FFFFFFE82	8
シリアルコントロールレジスタ	SCSCR	R/W	H'00	H'FFFFFFE84	8
トランスミットデータレジスタ	SCTDR	R/W	H'FF	H'FFFFFFE86	8
シリアルステータスレジスタ	SCSSR	R/(W)* ¹	H'84	H'FFFFFFE88	8
レシーブデータレジスタ	SCRDR	R	H'00	H'FFFFFFE8A	8
SCポートデータレジスタ	SCPDR	R/W	H'00	H'04000136 (H'A4000136)* ²	8
SCポートコントロールレジスタ	SCPCR	R/W	H'8008	H'04000116 (H'A4000116)* ²	16

【注】 アドレスの先頭がH'04のレジスタは、物理空間のエリア1に位置しています。したがって、キャッシュON時には論理空間のエリアP2からこれらのレジスタをアクセスするか、MMUを使用して適切な設定を行い、これらのレジスタがキャッシュされないようにしてください。

*1 フラグをクリアするために0のみ書き込むことができます。

*2 MMUによるアドレス変換の対象としない場合は、()内のアドレスを使用してください。

17.2 レジスタの説明

17.2.1 レシーブシフトレジスタ (SCRSR)

ビット:	7	6	5	4	3	2	1	0
ビット名:								
R/W:	-	-	-	-	-	-	-	-

レシーブシフトレジスタ (SCRSR) は、シリアルデータを受信するためのレジスタです。

SCI は、SCRSR に RxD0 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

17.2.2 レシーブデータレジスタ (SCRDR)

ビット:	7	6	5	4	3	2	1	0
ビット名:								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

レシーブデータレジスタ (SCRDR) は、受信したシリアルデータを格納するレジスタです。

SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。このあと、SCRSR は受信可能になります。

このように、SCRSR と SCRDR はダブルバッファになっているため連続した受信動作が可能です。

SCRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

SCRDR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'00 に初期化されます。

17.2.3 トランスミットシフトレジスタ (SCTSR)

ビット:	7	6	5	4	3	2	1	0
ビット名:								
R/W:	-	-	-	-	-	-	-	-

トランスミットシフトレジスタ (SCTSR) は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (SCTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD0 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR から SCTSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされている場合には、SCTDR から SCTSR へのデータ転送は行いません。

CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。

17. シリアルコミュニケーションインタフェース (SCI)

17.2.4 トランスミットデータレジスタ (SCTDR)

ビット:	7	6	5	4	3	2	1	0
ビット名:								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

トランスミットデータレジスタ (SCTDR) は、シリアル送信するデータを格納する 8 ビットのレジスタです。SCI は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCTSR のシリアルデータ送信中に SCTDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

SCTDR は、常に CPU による読み出し / 書き込みが可能です。

SCTDR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'FF に初期化されます。

17.2.5 シリアルモードレジスタ (SCSMR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SCSMR) は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

SCSMR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'00 に初期化されます。

- ビット7: コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

ビット7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

- ビット6: キャラクタレングス (CHR)

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードではCHRの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説 明	
CHR		
0	8ビットデータ	(初期値)
1	7ビットデータ*	

【注】 * 7ビットデータを選択した場合、トランスミットデータレジスタ (SCTDR) のMSB (ビット7) は送信されません。

- ビット5: パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PEビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説 明	
PE		
0	パリティビットの付加、およびチェックを禁止	(初期値)
1	パリティビットの付加、およびチェックを許可*	

【注】 * PEビットに1をセットすると送信時には、O \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO \bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

- ビット4: パリティモード (O \bar{E})

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O \bar{E} ビットの設定は、調歩同期式モードでPEビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O \bar{E} ビットの指定は無効です。

ビット4	説 明	
O \bar{E}		
0	偶数パリティ* ¹	(初期値)
1	奇数パリティ* ²	

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。

17. シリアルコミュニケーションインタフェース (SCI)

*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

• ビット3 : ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット 3	説 明
STOP	
0	1 ストップビット*1 (初期値)
1	2 ストップビット*2

【注】 *1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

• ビット2 : マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードでのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「17.3.3 マルチプロセッサの通信機能」を参照してください。

ビット 2	説 明
MP	
0	マルチプロセッサ機能を禁止 (初期値)
1	マルチプロセッサフォーマットを選択

17. シリアルコミュニケーションインタフェース (SCI)

- ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で P ϕ 、P ϕ /4、P ϕ /16、P ϕ /64 の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「17.2.9 ビットレートレジスタ (SCBRR)」を参照してください。

ビット1	ビット0	説 明	
CKS1	CKS0		
0	0	P ϕ クロック	(初期値)
	1	P ϕ /4 クロック	
1	0	P ϕ /16 クロック	
	1	P ϕ /64 クロック	

【注】 P ϕ ： 周辺クロック

17.2.6 シリアルコントロールレジスタ (SCSCR)

ビット：	7	6	5	4	3	2	1	0
ビット名：	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCSCR) は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

SCSCR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'00 に初期化されます。

- ビット7：トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送されシリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット7	説 明	
TIE		
0	送信データエンプティ割り込み (TXI) 要求を禁止*	(初期値)
1	送信データエンプティ割り込み (TXI) 要求を許可	

【注】 * TXI の解除は、TDRE フラグの 1 を読み出したあと、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

17. シリアルコミュニケーションインタフェース (SCI)

- ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へ転送されて SCSSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット 6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または FER、PER、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

- ビット5: トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット 5	説明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *¹ SCSSR の TDRE フラグは 1 に固定されます。

*² この状態で、SCTDR に送信データを書き込んで、SCSSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR) の設定を行い送信フォーマットを決定してください。

- ビット4: レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット 4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *¹ RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SCSMR の設定を行い、受信フォーマットを決定してください。

- ビット3: マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可/禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SCSSMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット 3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SCSSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * SCSSR から SCRDR への受信データの転送、および受信エラーの検出と SCSSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SCSSR の MPB フラグを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCSSR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

- ビット2: トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが SCTDR がないとき、送信終了割り込み (TEI) 要求の発生を許可/禁止します。

ビット 2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SCSSR の TDRE フラグの 1 を読み出した後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

17. シリアルコミュニケーションインタフェース (SCI)

- ビット1、0: クロックイネーブル1、0 (CKE1、CKE0)

SCIのクロックソースの選択、およびSCK0端子からのクロック出力の許可/禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK0端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作(CKE1=0)時のみ有効です。クロック同期式モードのとき、および外部クロック動作(CKE1=1)の場合はCKE0ビットの設定は無効です。また、SCSMRでSCIの動作モードを決定する前に、必ずCKE1、CKE0ビットの設定をしてください。

SCIのクロックソースの選択についての詳細は「17.3 動作説明」の表17.10を参照してください。

ビット1	ビット0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK0 端子は入力端子 (入力信号は無視) * ¹
		クロック同期式モード	内部クロック / SCK0 端子は同期クロック出力 * ¹
0	1	調歩同期式モード	内部クロック / SCK0 端子はクロック出力 * ²
		クロック同期式モード	内部クロック / SCK0 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK0 端子はクロック入力 * ³
		クロック同期式モード	外部クロック / SCK0 端子は同期クロック入力
1	1	調歩同期式モード	外部クロック / SCK0 端子はクロック入力 * ³
		クロック同期式モード	外部クロック / SCK0 端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの16倍の周波数のクロックを入力

17.2.7 シリアルステータスレジスタ (SCSSR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SCSSR) は、SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SCSSRは常にCPUから読み出し/書き込みができます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ1を書き込むことはできません。また、これらを0にクリアするためには、あらかじめ1を読み出ししておく必要があります。また、TENDフラグ、およびMPBフラグは読み出し専用であり、書き込むことはできません。

SCSSRは、リセット、モジュールスタンバイ機能、またはスタンバイモード時にH'84に初期化されます。

- ビット7: トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ SCTDR に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット7	説明
TDRE	
0	SCTDR に有効な送信データが書き込まれていることを表示 [クリア条件] TDRE = 1 の状態を読み出した後、0 を書き込んだとき
1	SCTDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCSCR の TE ビットが 0 のとき (3) SCTDR から SCTSR にデータ転送が行われ SCTDR にデータの書き込みが可能になったとき

- ビット6: レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (SCRDR) に格納されていることを示します。

ビット6	説明
RDRF	
0	SCRDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき
1	SCRDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、SCRSR から SCRDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには SCRDR および RDRF フラグは影響を受けず以前の状態を保持します。
RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

17. シリアルコミュニケーションインタフェース (SCI)

• ビット5 : オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説 明
ORER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1)リセット、またはスタンバイモード時 (2)ORER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示* ² [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき

【注】 *1 SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*2 SCRDR ではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

• ビット4 : フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット 4	説 明
FER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1)リセット、またはスタンバイモード時 (2)FER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示 [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* ²

【注】 *1 SCSCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。

*2 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCRDR に転送されませんが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

17. シリアルコミュニケーションインタフェース (SCI)

• ビット3: パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) PER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットをあわせた 1 の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

【注】 *1 SCSCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは SCRDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

• ビット2: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に SCTDR に有効なデータがなく、送信を終了したことを示します。

TEND フラグは読み出し専用ですので、書き込むことはできません。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCSCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき

17. シリアルコミュニケーションインタフェース (SCI)

- ビット1: マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB フラグは、読み出し専用ですので、書き込むことはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが0のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが1のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットでRE ビットを0にクリアしたときには、以前の状態を保持します。

- ビット0: マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときにはMPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

17.2.8 SC ポートコントロールレジスタ (SCPCR) / SC ポートデータレジスタ (SCPDR)

SC ポートコントロールレジスタ (SCPCR) と SC ポートデータレジスタ (SCPDR) は、SCI 端子と兼用されているポートの入出力方向とデータを制御します。

SCPCR の設定は入出力の制御に用いられ、SCPDR に書き込まれたデータを TxD0 端子から出力すること、RxD0 端子から読み出されたデータを入力すること、およびシリアル送信 / 受信ブレイクすることが可能となります。

また、SCK0 端子からのデータ読み出し、SCK0 端子への出力データ書き込みが可能です。

SCPCR

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:	SCP7 MD1	SCP7 MD0	SCP6 MD1	SCP6 MD0	SCP5 MD1	SCP5 MD0	SCP4 MD1	SCP4 MD0	SCP3 MD1	SCP3 MD0	SCP2 MD1	SCP2 MD0	SCP1 MD1	SCP1 MD0	SCP0 MD1	SCP0 MD0
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCPDR

ビット:	7	6	5	4	3	2	1	0
ビット名:	SCP7DT	SCP6DT	SCP5DT	SCP4DT	SCP3DT	SCP2DT	SCP1DT	SCP0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCI 端子の入出力とデータ制御は SCPCR ビット 3~0、SCPDR のビット 1、0 で行います。

- SCPCR ビット 3、2 : シリアルクロックポート入出力 (SCP1MD1、SCP1MD0)

本ビットはシリアルポート SCK0 端子の入出力を指定します。SCK0 端子を実際にポート入出力端子として使用する場合は、SCSMR の C/A ビット、SCSCR の CKE1、CKE0 ビットを 0 にクリアしてください。

ビット 3	ビット 2	説明
SCP1MD1	SCP1MD0	
0	0	SCP1DT ビットの値は SCK0 端子から出力されません。
	1	SCP1DT ビットの値が SCK0 端子から出力されます。
1	0	SCK0 端子の値が SCP1DT ビットから読み出されます。
	1	(初期値 : 1、0)

17. シリアルコミュニケーションインタフェース (SCI)

- SCPDRビット1: シリアルポートクロックポートデータ (SCP1DT)

シリアルポート SCK0 端子の入出力データを指定します。入力/出力は SCP1MD1、SCP1MD0 ビットにより指定します。出力モードでは、SCP1DT ビットの値が SCK0 端子より出力されます。

ビット 1	説 明	
SCP1DT		
0	入力/出力データはロー (0)	(初期値)
1	入力/出力データはハイ (1)	

- SCPDRビット1、0: ポートブレイク入出力 (SCP0MD1、SCP0MD0)

本ビットはシリアルポート TxD0 端子の出力状態を指定します。TxD0 端子を実際にポート出力端子として使用し SCP0DT ビットの値を出力する場合は、SCSCR の TE ビットを 0 にクリアしてください。

ビット 1	ビット 0	説 明	
SCP0MD1	SCP0MD0		
0	0	SCP0DT ビットの値は TxD0 端子から出力されません。	(初期値)
0	1	SCP0DT ビットの値が TxD0 端子から出力されます。	

- SCPDRビット0: シリアルポートブレイクデータ (SCP0DT)

シリアルポート RxD0 端子の入力データ、および TxD0 端子の出力データを指定します。TxD0 端子の出力状態は SCP0MD1、SCP0MD0 ビットにより指定します。TxD0 端子を出力モードに設定した場合、SCP0DT ビットの値が TxD0 端子より出力されます。RxD0 端子の値は、SCSCR の RE ビットが 1 にセットされていれば SCP0MD1、SCP0MD0 ビットの値と無関係に、SCP0DT ビットから読み出せます。パワーオンリセット後の本ビットの値は不定です。

ビット 0	説 明	
SCP0DT		
0	入力/出力データはロー (0)	(初期値)
1	入力/出力データはハイ (1)	

SCI/I/O ポートのブロック図は、図 17.2、図 17.3、および図 17.4 に示されています。

17.2.9 ビットレートレジスタ (SCBRR)

ビット:	7	6	5	4	3	2	1	0
ビット名:								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートレジスタ (SCBRR) は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。

SCBRR は、リセット、モジュールスタンバイ機能またはスタンバイモード時に H'FF に初期化されます。ボーレートジェネレータは、各チャンネル独立しているため、異なる値を 2 チャンネルに設定可能です。

SCBRR の設定値は以下の計算式で求められます。

[調歩同期式モード]

$$N = \frac{P\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

[クロック同期式モード]

$$N = \frac{P\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)

Pφ : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n = 0、1、2、3)

(n とクロックの関係は、表 17.3 を参照してください)

表 17.3 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pφ	0	0
1	Pφ / 4	0	1
2	Pφ / 16	1	0
3	Pφ / 64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

17. シリアルコミュニケーションインタフェース (SCI)

表 17.4 に調歩同期式モードの SCBRR の設定例を、表 17.5 にクロック同期式モードの SCBRR の設定例を示します。

表 17.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード)

P ϕ (MHz) ビット レート (bit/s)	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00			

P ϕ (MHz) ビット レート (bit/s)	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250				0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

17. シリアルコミュニケーションインタフェース (SCI)

P ϕ (MHz) ビットレート (bit/s)	6			6.144			7.37288			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

P ϕ (MHz) ビットレート (bit/s)	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	0.16	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

17. シリアルコミュニケーションインタフェース (SCI)

P ϕ (MHz) ビットレート (bit/s)	14.7456			16			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	64	0.70	3	70	0.03	3	86	0.31	3	88	- 0.25
150	2	191	0.00	2	207	0.16	2	255	0.00	3	64	0.16
300	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
600	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
1200	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
2400	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
4800	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
9600	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
19200	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
31250	0	14	- 1.70	0	15	0.00	0	19	- 1.70	0	19	0.00
38400	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73

P ϕ (MHz) ビットレート (bit/s)	24			24.576			28.7			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	106	- 0.44	3	108	0.08	3	126	0.31	3	132	0.13
150	3	77	0.16	3	79	0.00	3	92	0.46	3	97	- 0.35
300	2	155	0.16	2	159	0.00	2	186	- 0.08	2	194	0.16
600	2	77	0.16	2	79	0.00	2	92	0.46	2	97	- 0.35
1200	1	155	0.16	1	159	0.00	1	186	- 0.08	1	194	0.16
2400	1	77	0.16	1	79	0.00	1	92	0.46	1	97	- 0.35
4800	0	155	0.16	0	159	0.00	0	186	- 0.08	0	194	- 1.36
9600	0	77	0.16	0	79	0.00	0	92	0.46	0	97	- 0.35
19200	0	38	0.16	0	39	0.00	0	46	- 0.61	0	48	- 0.35
31250	0	23	0.00	0	24	- 1.70	0	28	- 1.03	0	29	0.00
38400	0	19	- 2.34	0	19	0.00	0	22	1.55	0	23	1.73

17. シリアルコミュニケーションインタフェース (SCI)

表 17.5 ビットレートに対する SCBRR の設定例 (クロック同期式モード)

Pφ (MHz) ビット レート (bit/s)	4		8		16		28.7		30	
	n	N	n	N	n	N	n	N	n	N
110										
250	2	249	3	124	3	249				
500	2	124	2	249	3	124	3	223	3	233
1k	1	249	2	124	2	249	3	111	3	116
2.5k	1	99	1	199	2	99	2	178	2	187
5k	0	199	1	99	1	199	2	89	2	93
10k	0	99	0	199	1	99	1	178	1	187
25k	0	39	0	79	0	159	1	71	1	74
50k	0	19	0	39	0	79	0	143	0	149
100k	0	9	0	19	0	39	0	71	0	74
250k	0	3	0	7	0	15			0	29
500k	0	1	0	3	0	7			0	14
1M	0	0*	0	1	0	3				
2M			0	0*	0	1				

【注】 誤差は、なるべく 1%以内になるように設定してください。

《記号説明》

空欄：設定できません。

-：設定可能ですが誤差がでます（「17.2.9 ビットレートレジスタ (SCBRR)」参照）。

*：バッファへの転送能力不足となるため、連続送信 / 受信はできません。

17. シリアルコミュニケーションインタフェース (SCI)

表 17.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 17.7 と表 17.8 に外部クロック入力時の最大ビットレートを示します。

表 17.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

P ϕ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.6608	614400	0	0
20	625000	0	0
24	750000	0	0
24.576	768000	0	0
28.7	896875	0	0
30	937500	0	0

17. シリアルコミュニケーションインタフェース (SCI)

表 17.7 外部クロック入力時の最大ビットレート (調歩同期式モード)

P ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
8	2.0000	125000
9.8304	2.4576	153600
12	3.0000	187500
14.7456	3.6864	230400
16	4.0000	250000
19.6608	4.9152	307200
20	5.0000	312500
24	6.0000	375000
24.576	6.1440	384000
28.7	7.1750	448436
30	7.5000	468750

表 17.8 外部クロック入力時の最大ビットレート (クロック同期式モード)

P ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3
16	2.6667	2666666.7
24	4.0000	4000000.0
28.7	4.7833	4783333.3
30	5.0000	5000000.0

17.3 動作説明

17.3.1 概要

SCIは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 17.9 に示します。また、SCIのクロックソースは、SCSMRの C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR)のCKE1、CKE0ビットの組み合わせで決まります。これを表 17.10 に示します。

- 調歩同期式モード
 - データ長：7ビット/8ビットから選択可能
 - パリティの付加、マルチプロセッサビットの付加、および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定）
 - 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレイクの検出が可能
 - SCIのクロックソース：内部クロック/外部クロックから選択可能
 - 内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - 外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

- クロック同期式モード
 - 送信/受信フォーマット：8ビットデータ固定
 - 受信時にオーバランエラーの検出可能
 - SCIのクロックソース：内部クロック/外部クロックから選択可能
 - 内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

17. シリアルコミュニケーションインタフェース (SCI)

表 17.9 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサ ビット	パリティ ビット	ストップ ビット長		
C/ \bar{A}	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード (マルチ プロセッサ フォー マット)	8ビット データ	なし	なし	1ビット		
				1					2ビット		
			1	0					0	1ビット	
									1	2ビット	
			1	0					0	1ビット	
									1	2ビット	
	1	0	1	*		0	8ビット データ	あり	なし	1ビット	
				*		1	2ビット				
				*		0	7ビット データ			1ビット	
				*		1	2ビット				
		1	*	*		*	*	クロック同 期式モード	8ビット データ	なし	なし

【注】 表中の * は Don't care であることを示します。

表 17.10 SCSMR、SCSCR の設定と SCI のクロックソースの選択

SCSMR ビット7	SCSCR の設定		モード	SCI の送信 / 受信クロック	
	ビット1	ビット0		クロック ソース	SCK0 端子の機能
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	SCI は、SCK0 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック 同期式 モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

17.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 17.5 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIは通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIは受信時にスタートビットの立ち下がりエッジで同期化を行います。またSCIは、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

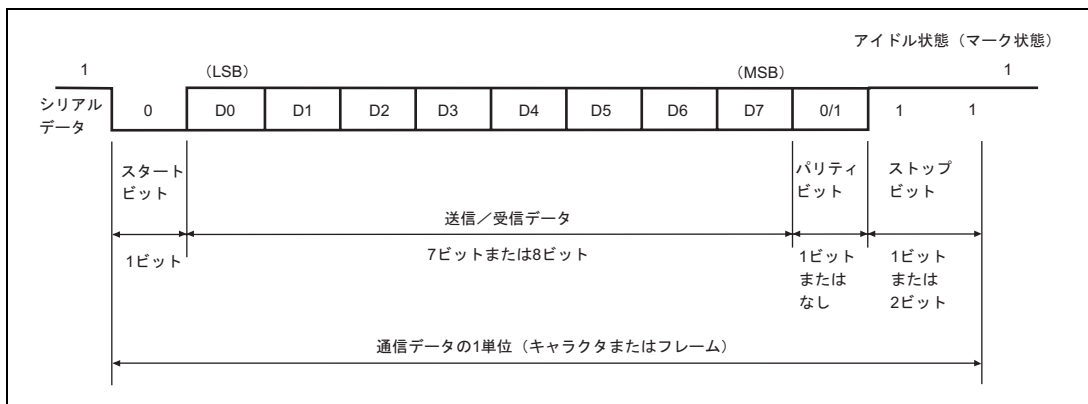


図 17.5 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

17. シリアルコミュニケーションインタフェース (SCI)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 17.11 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 17.11 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S [8ビットデータ]										STOP		
0	0	0	1	S [8ビットデータ]										STOP	STOP	
0	1	0	0	S [8ビットデータ]										P	STOP	
0	1	0	1	S [8ビットデータ]										P	STOP	STOP
1	0	0	0	S [7ビットデータ]									STOP			
1	0	0	1	S [7ビットデータ]									STOP	STOP		
1	1	0	0	S [7ビットデータ]									P	STOP		
1	1	0	1	S [7ビットデータ]									P	STOP	STOP	
0	*	1	0	S [8ビットデータ]										MPB	STOP	
0	*	1	1	S [8ビットデータ]										MPB	STOP	STOP
1	*	1	0	S [7ビットデータ]									MPB	STOP		
1	*	1	1	S [7ビットデータ]									MPB	STOP	STOP	

《記号説明》

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット

【注】 表中の * はDon't careであることを示します。

17. シリアルコミュニケーションインタフェース (SCI)

(2) クロック

SCIの送受信クロックは、SCSMRの C/\bar{A} ビットとシリアルコントロールレジスタ(SCSCR)のCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK0端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表 17.10 を参照してください。

外部クロックをSCK0端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK0端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 17.6 に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

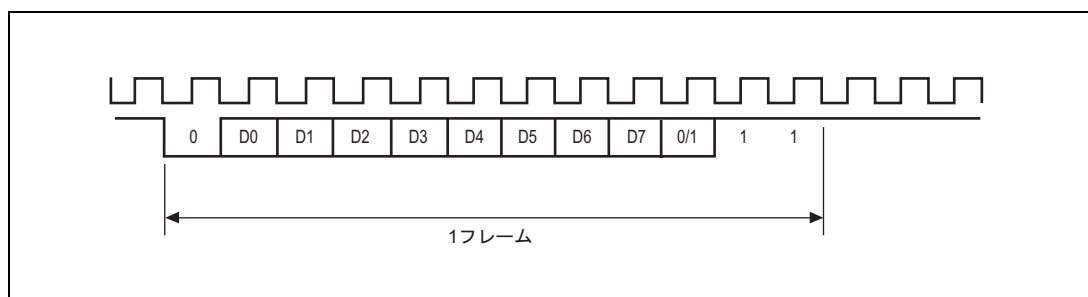


図 17.6 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

- SCIの初期化 (調歩同期式)

データの送信 / 受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは、1 にセットされ、トランスミットシフトレジスタ (SCTSR) が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、およびレシーブデータレジスタ (SCRDR) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実にになりますので初期化を含めた動作中にクロックを止めないでください。

図 17.7 に SCI の初期化フローチャートの例を示します。

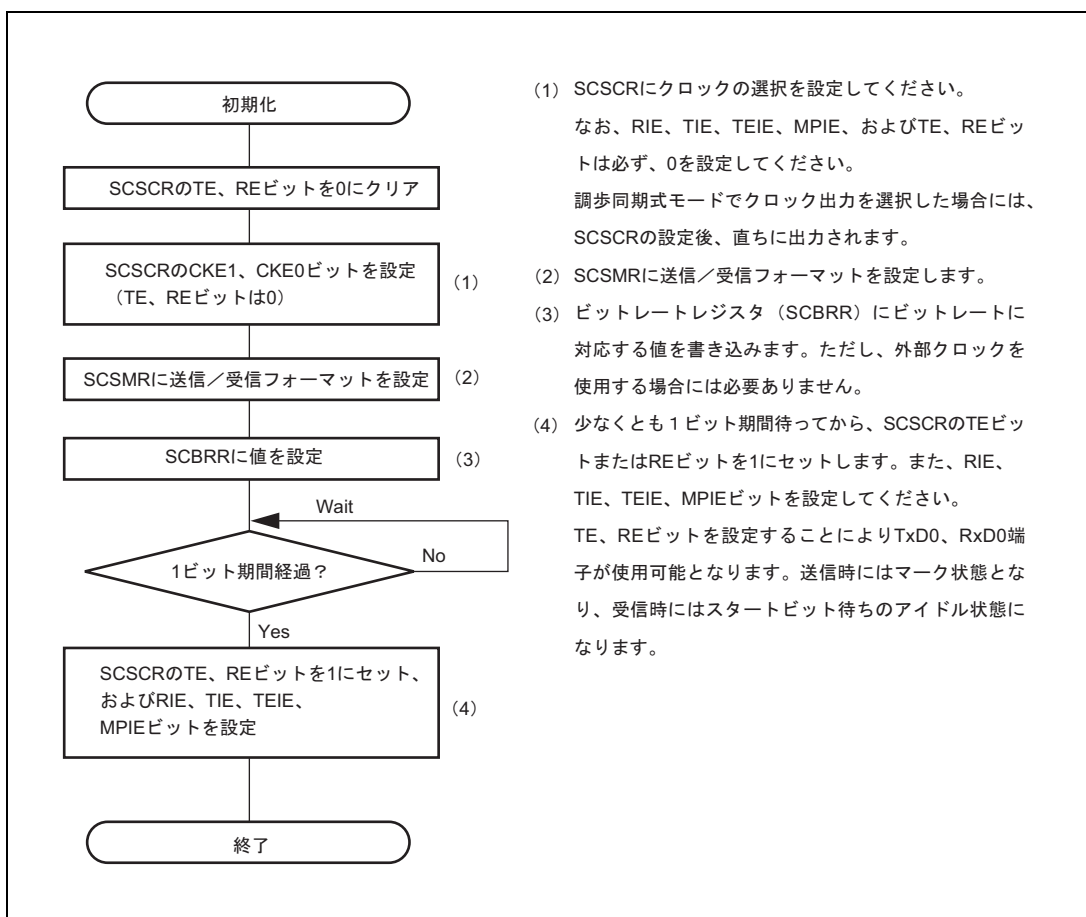


図 17.7 SCI の初期化フローチャートの例

17. シリアルコミュニケーションインタフェース (SCI)

• シリアルデータ送信 (調歩同期式)

図 17.8 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定したあと、以下の手順に従って行ってください。

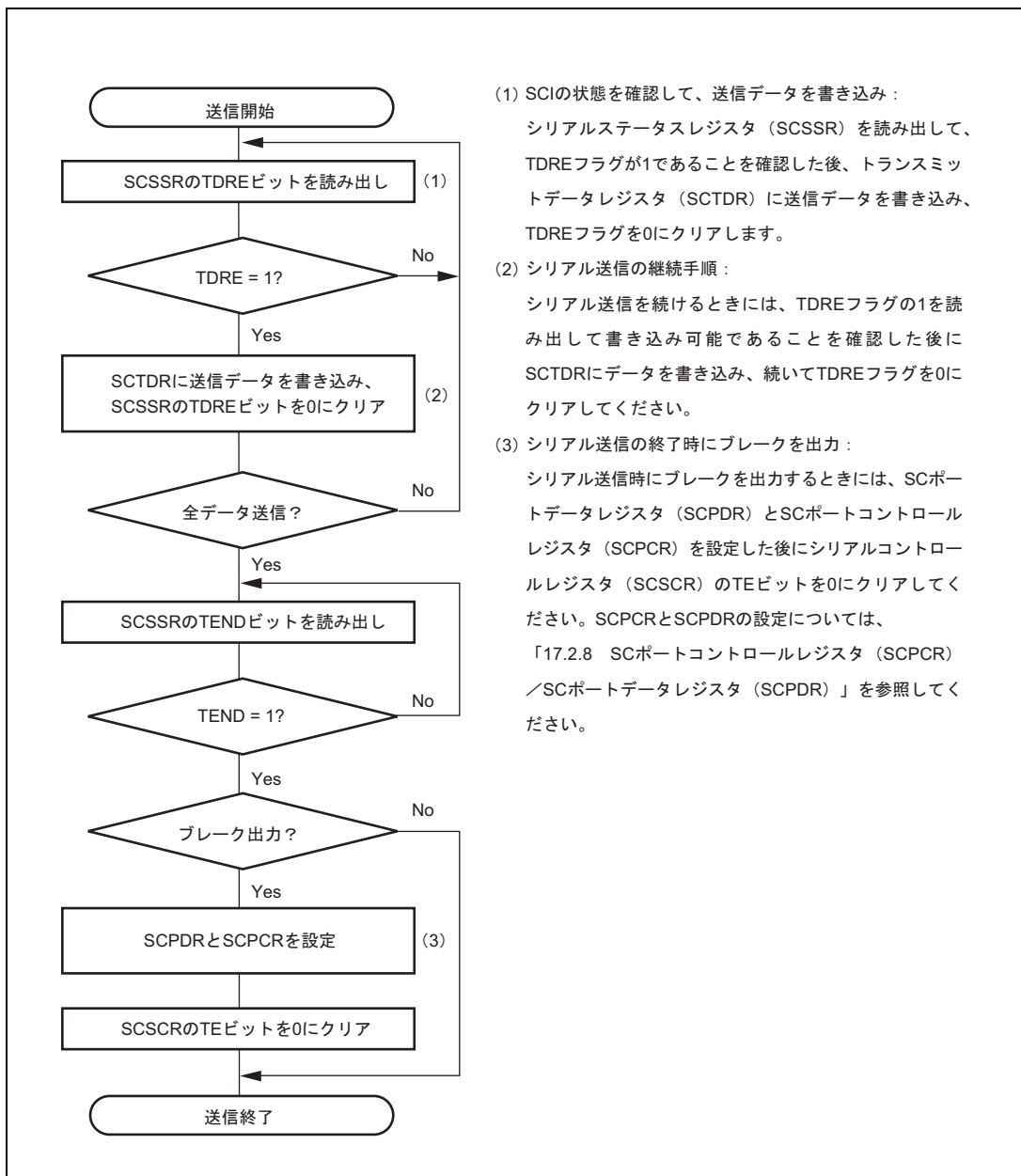


図 17.8 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ (SCSSR) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR) にデータが書き込まれたと認識し、SCTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。
2. SCTDRからSCTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信データエンブティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD0 端子から送り出されます。

スタートビット：1ビットの0が出力されます。

送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。

パリティビットまたはマルチプロセッサビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。

なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。

ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。

マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

3. SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとシリアルステータスレジスタ (SCSSR) のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCRのTEIEビットが1にセットされているとTEI要求を発生します。

調歩同期式モードでの送信時の動作例を図 17.9 に示します。

17. シリアルコミュニケーションインタフェース (SCI)

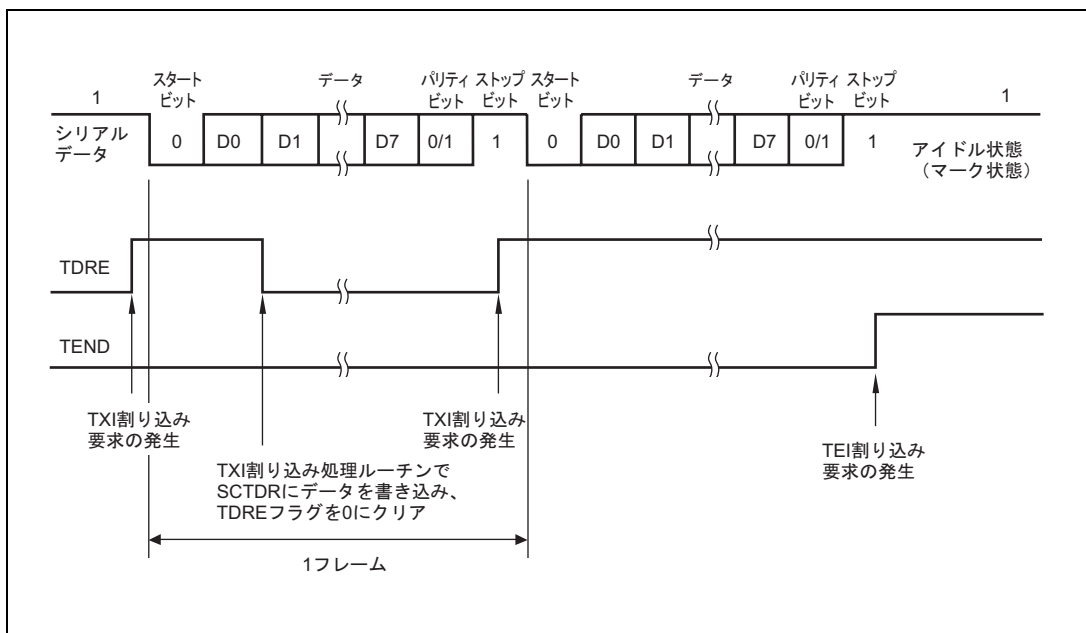


図 17.9 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

- シリアルデータ受信 (調歩同期式)

図 17.10 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定したあと、以下の手順に従って行ってください。

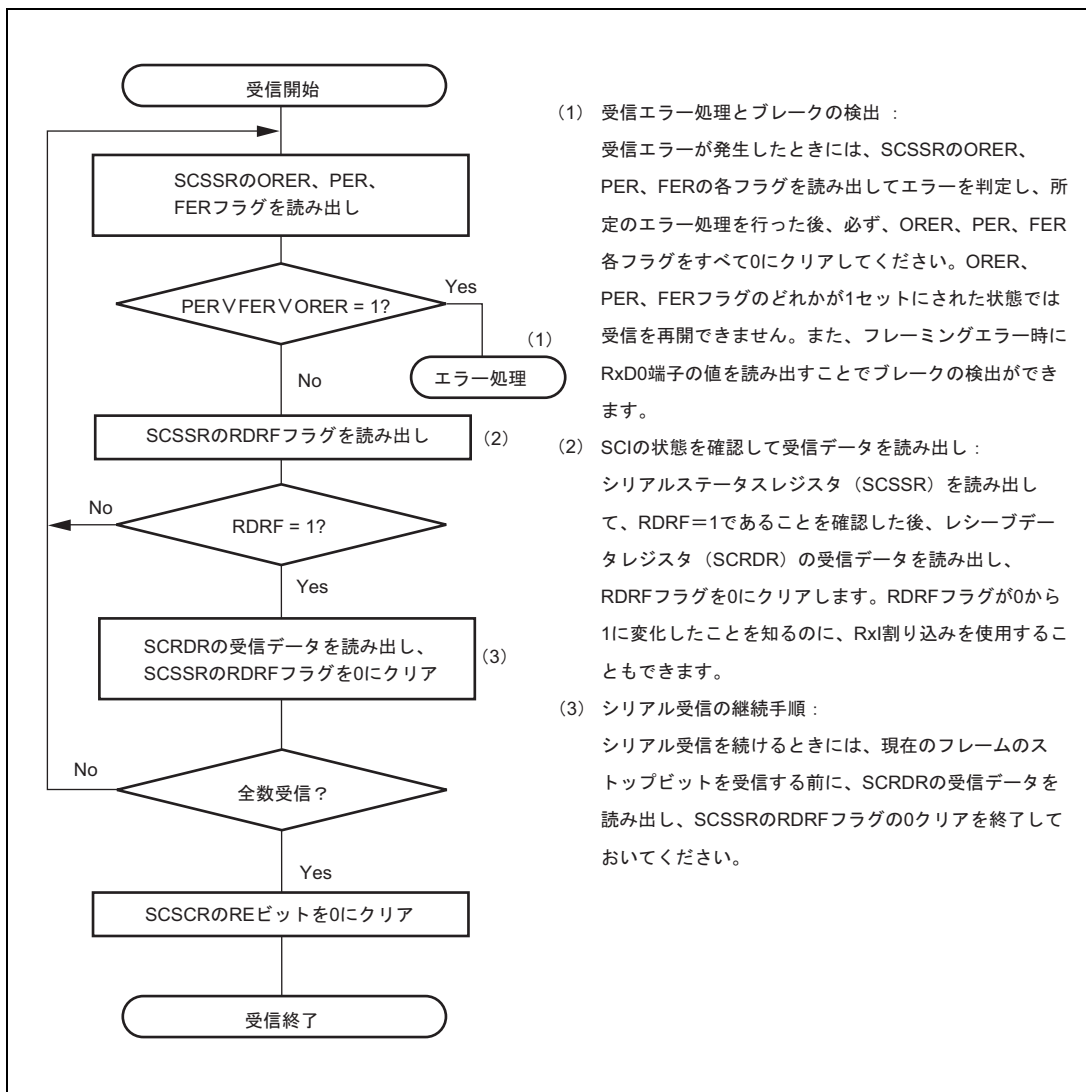


図 17.10 シリアル受信のフローチャートの例 (1)

17. シリアルコミュニケーションインタフェース (SCI)

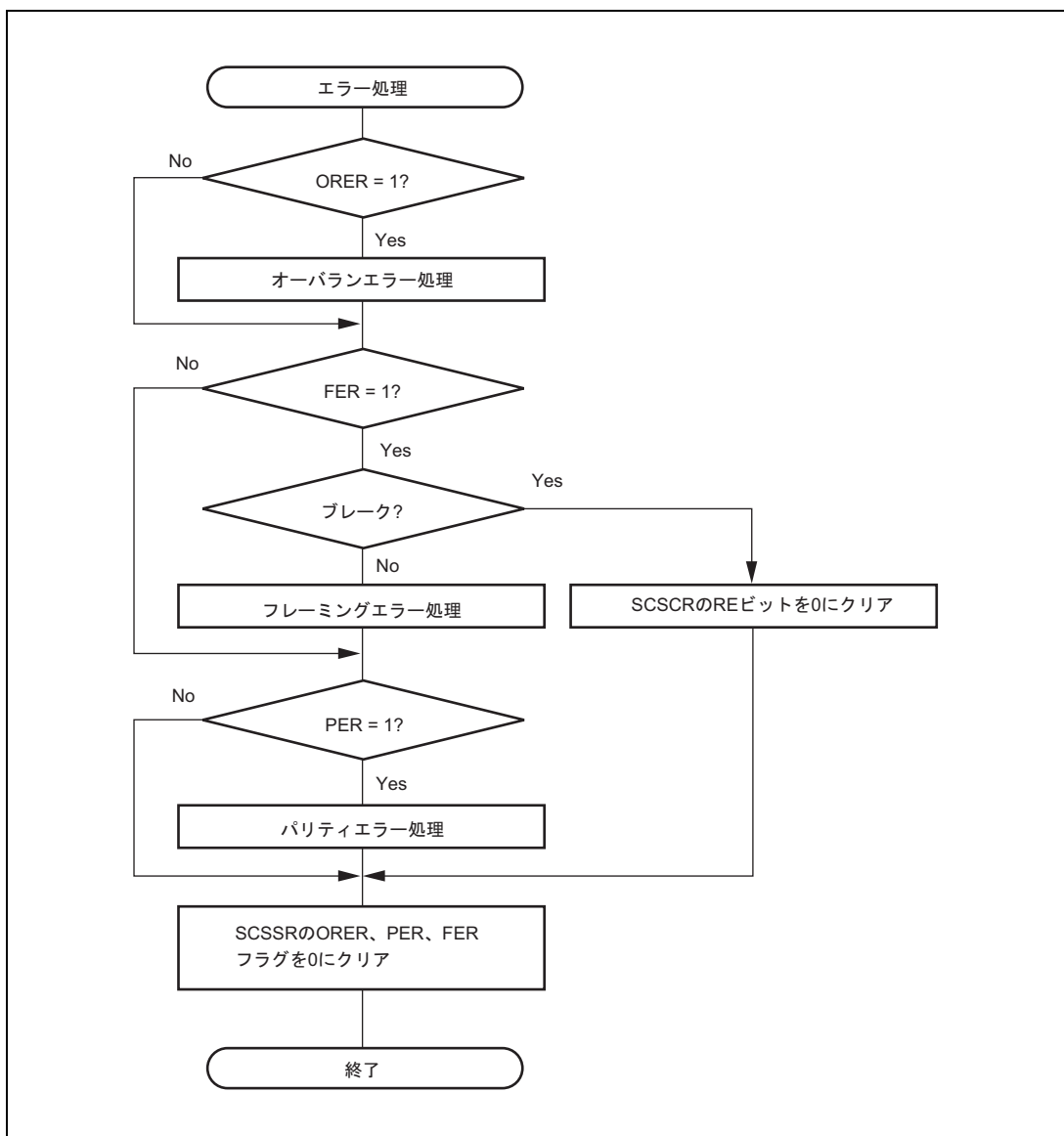


図 17.10 シリアル受信のフローチャートの例 (2)

SCIは受信時に以下のように動作します。

1. SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIは以下のチェックを行います。

パリティチェック：受信データの1の数をチェックし、これがシリアルモードレジスタ (SCSMR) のO/Eビットで設定した偶数 / 奇数パリティになっているかをチェックします。

ストップビットチェック：ストップビットが1であるかをチェックします。

ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。

ステータスチェック：RDRFフラグが0であり、受信データをレシーブシフトレジスタ (SCRSR) からSCRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRFフラグが1にセットされ、SCRDRに受信データが格納されます。エラーチェックで受信エラーが発生すると表 17.12 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時にRDRFフラグが1にセットされませんので、必ずエラーフラグを0にクリアしてください。

4. RDRFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER、PER、FERフラグのどれかが1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

表 17.12 受信エラーと発生条件

受信エラー名	略 称	発生条件	データ転送
オーバランエラー	ORER	SCSCRのRDRFフラグが1にセットされたまま次のデータ受信を完了したとき	SCRSRからSCRDRに受信データは転送されません。
フレーミングエラー	FER	ストップビットが0のとき	SCRSRからSCRDRに受信データが転送されます。
パリティエラー	PER	SCSMRで設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	SCRSRからSCRDRに受信データが転送されます。

17. シリアルコミュニケーションインタフェース (SCI)

調歩同期式モード受信時の動作例を図 17.11 に示します。

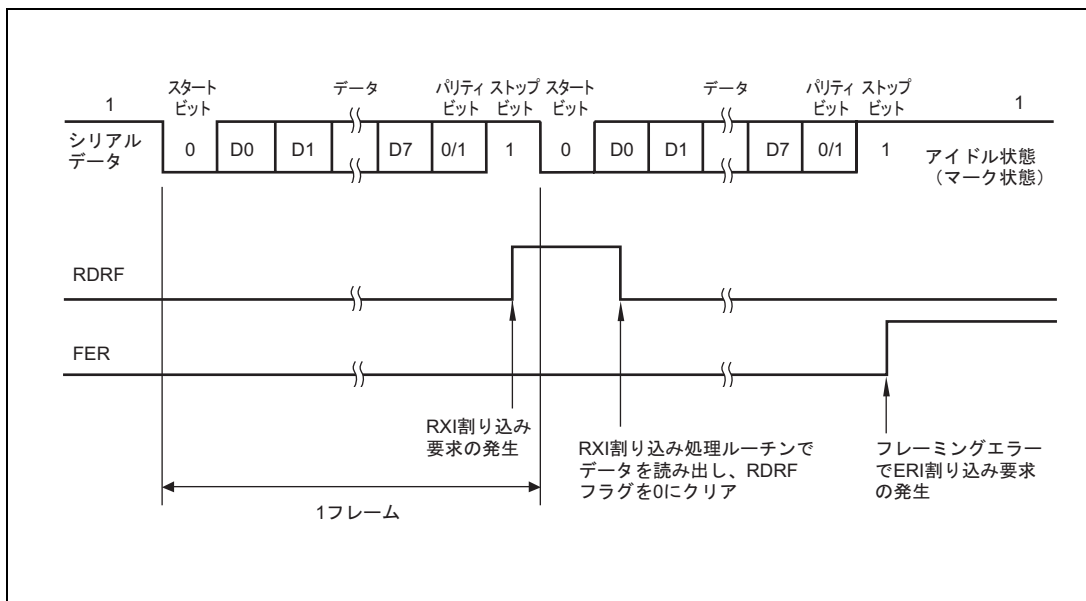


図 17.11 SCI の受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

17.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 17.12 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

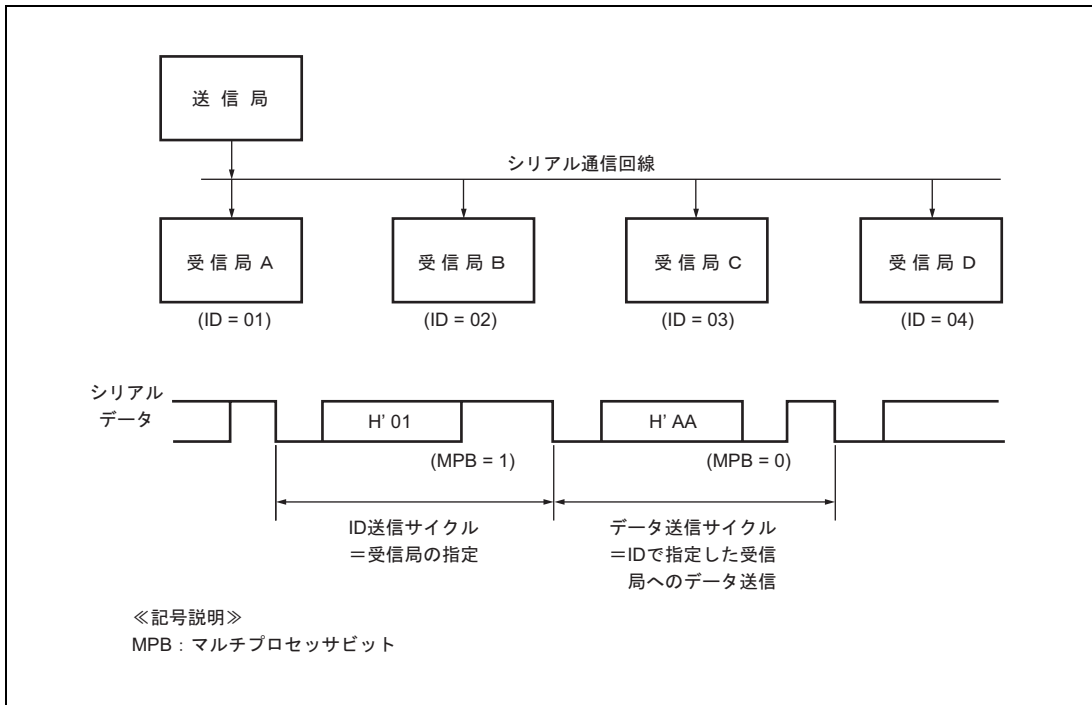


図 17.12 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 17.11 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

(3) データの送信 / 受信動作

- マルチプロセッサシリアルデータ送信

図 17.13 にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順に従って行ってください。

17. シリアルコミュニケーションインタフェース (SCI)

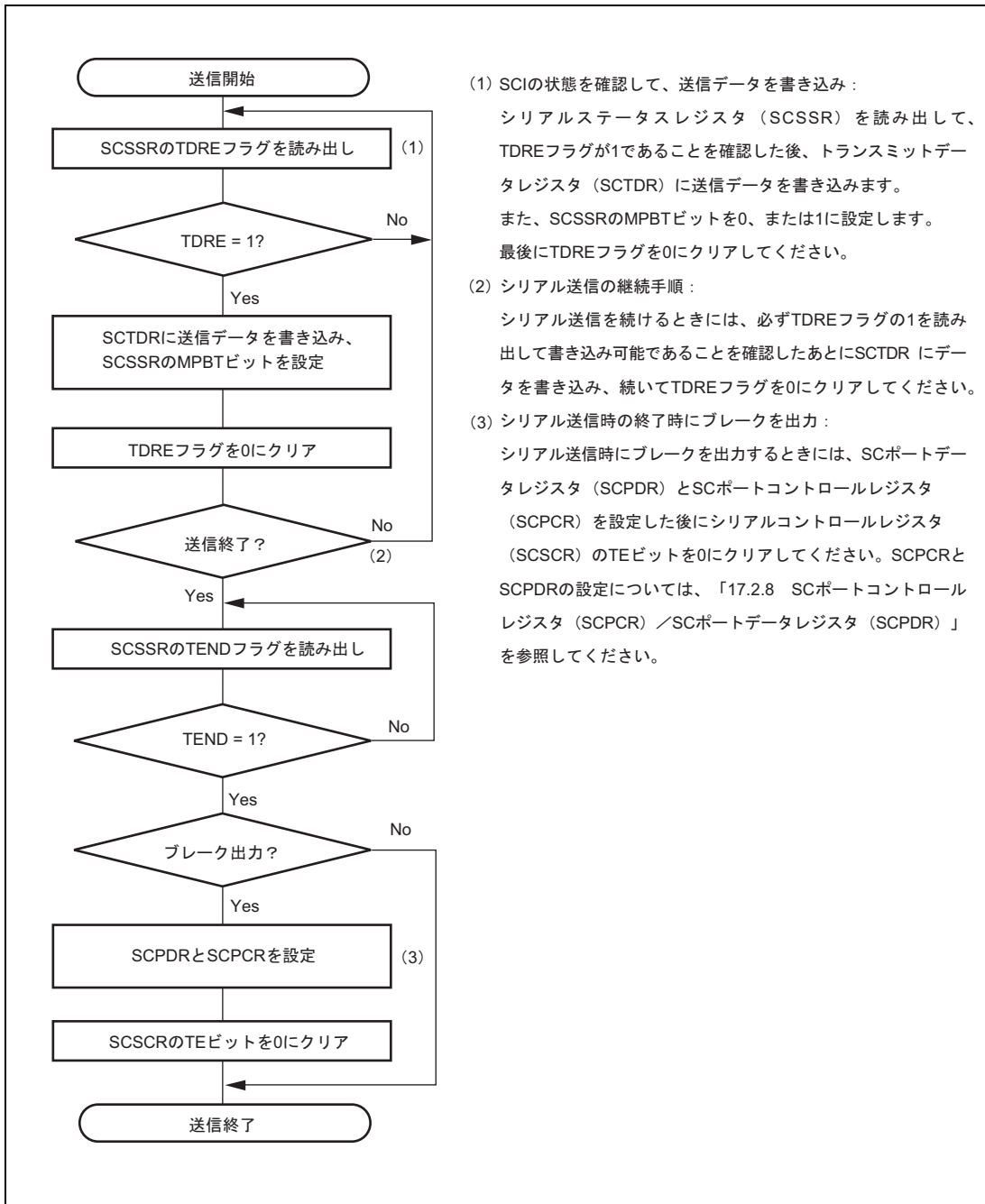


図 17.13 マルチプロセッサシリアル送信のフローチャートの例

SCIは、シリアル送信時に以下のように動作します。

1. SCIは、SCSSRのTDREフラグを監視し、0であるとSCTDRにデータが書き込まれたと認識し、SCTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。
2. SCTDRからSCTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCSCRの送信データエンブティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンブティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順にTxD0端子から送り出されます。

スタートビット：1ビットの0が出力されます。

送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。

マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。

ストップビット：1ビット、または2ビットの1 (ストップビット) が出力されます。

マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

3. SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。

TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。

TDREフラグが1であるとSCSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み (TEI) 要求を発生します。

17. シリアルコミュニケーションインタフェース (SCI)

図 17.14 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

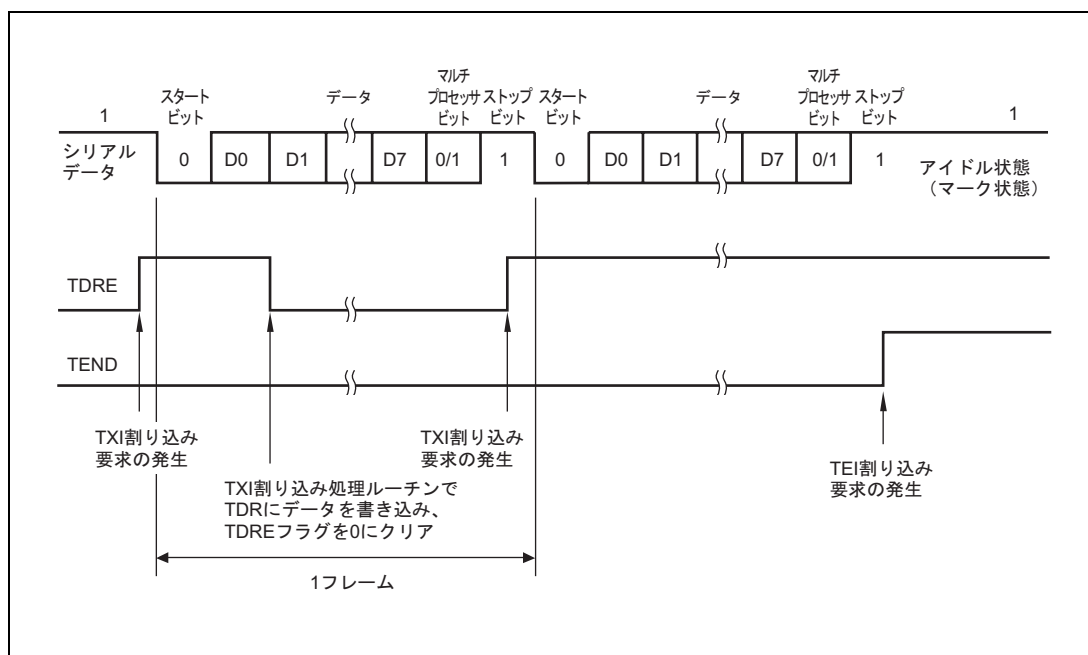


図 17.14 SCI の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

- マルチプロセッサシリアルデータ受信

図 17.15 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従って行ってください。

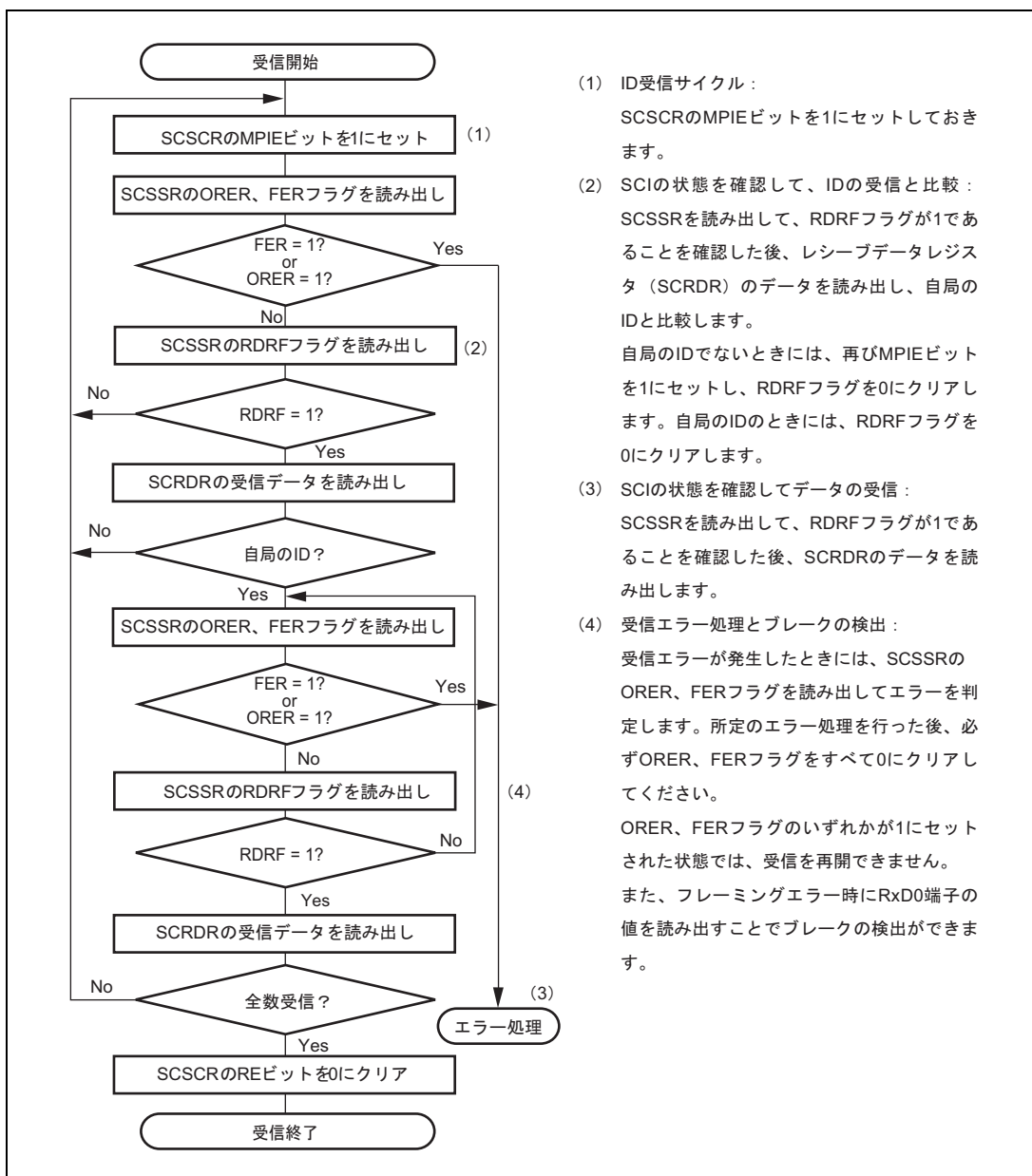


図 17.15 マルチプロセッサシリアル受信のフローチャートの例 (1)

17. シリアルコミュニケーションインタフェース (SCI)

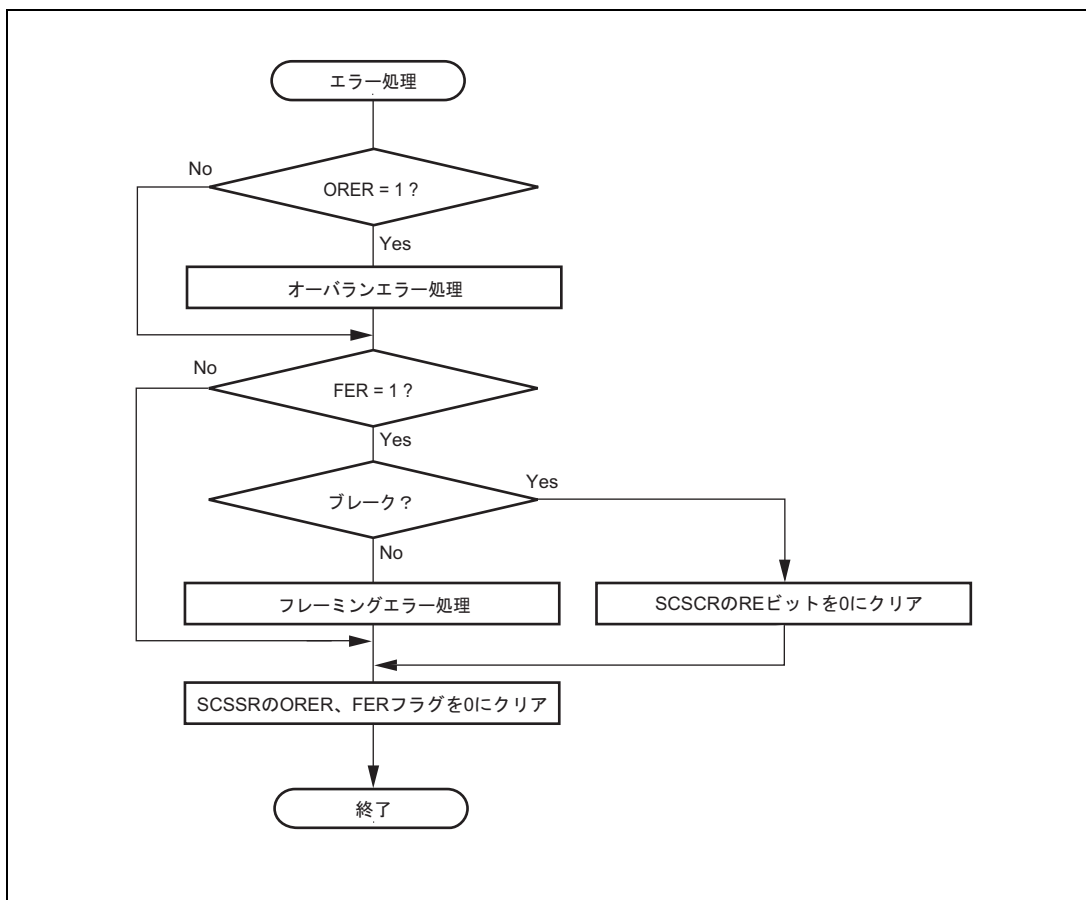


図 17.15 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 17.16 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

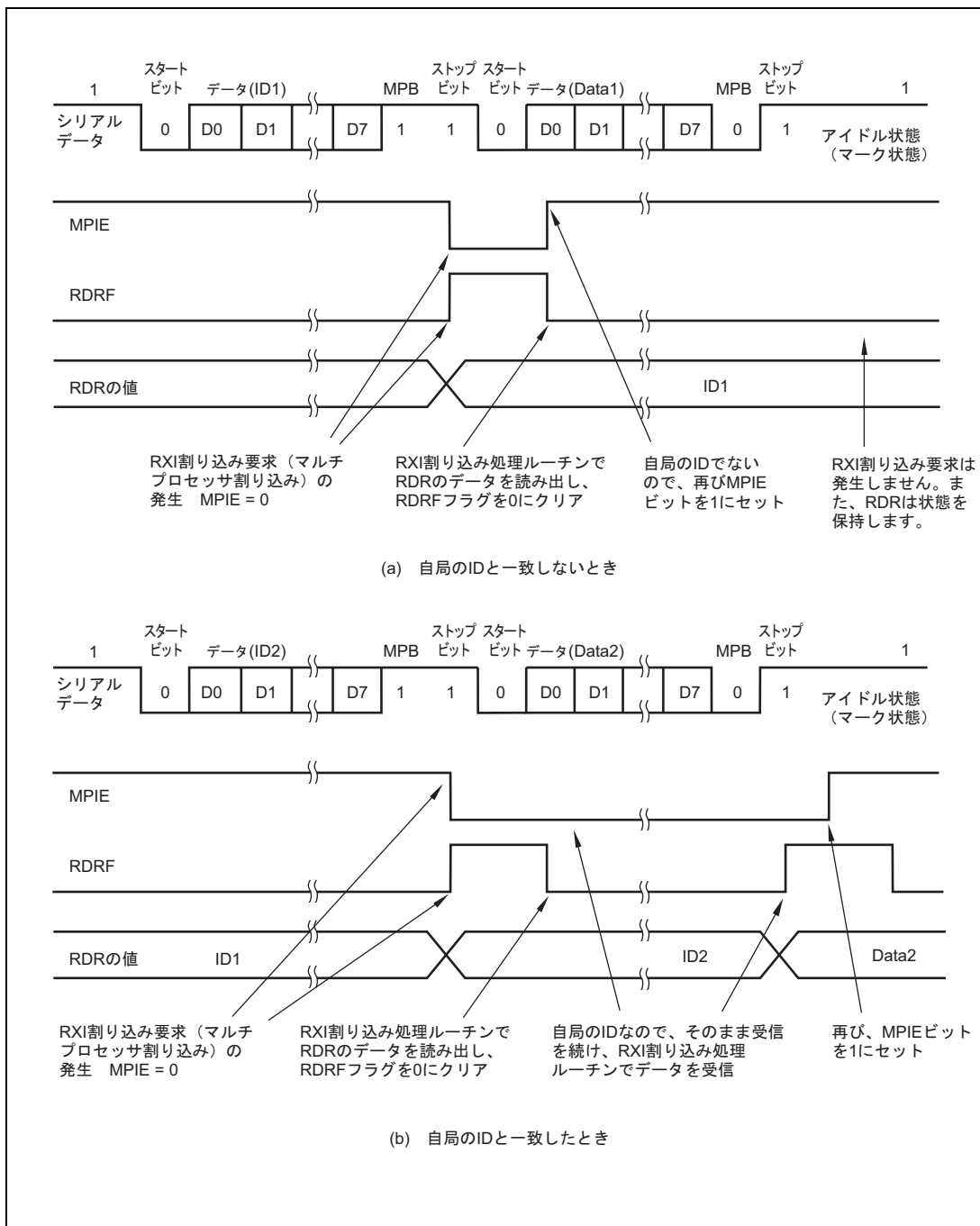


図 17.16 SCI の受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

17.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 17.17 に示します。

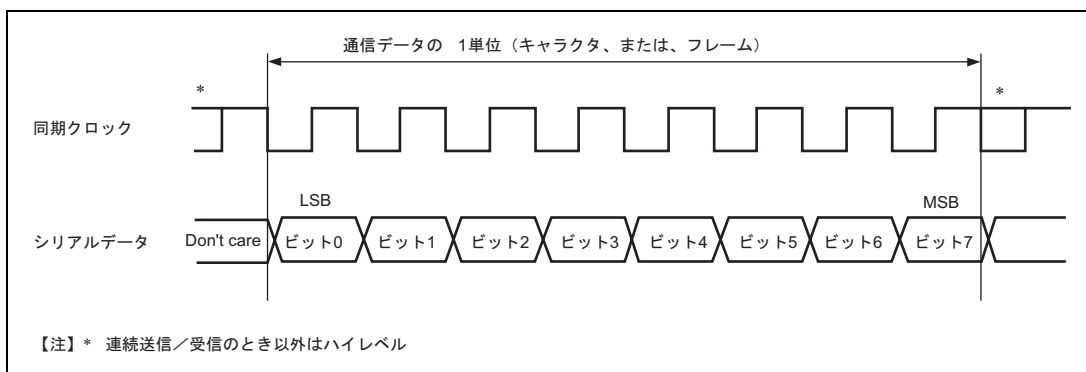


図 17.17 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCI は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SCSMR の C/\bar{A} ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK0 端子から入力された外部同期クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 17.10 を参照してください。

内部クロックで動作させるとき、SCK0 端子から同期クロックが出力されます。

同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、SCI は 2 キャラクタを 1 単位として受信動作を行いますので、16 パルスの同期クロックが出力されます。1 キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

- SCIの初期化 (クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) の TE、および RE ビットを 0 にクリアした後、以下の手順で SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、トランスミットシフトレジスタ (SCTSR) が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、およびレシーブデータレジスタ (SCRDR) の内容は保持されますので注意してください。

図 17.18 に SCI の初期化フローチャートの例を示します。

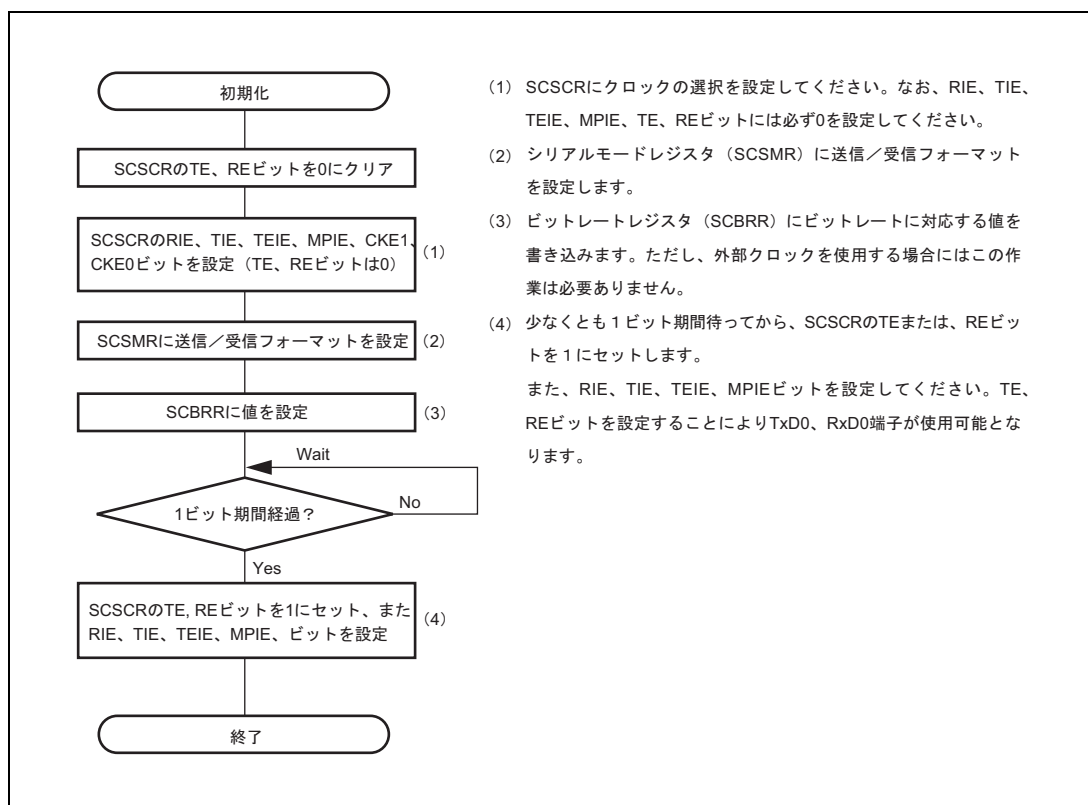


図 17.18 SCI の初期化フローチャートの例

17. シリアルコミュニケーションインタフェース (SCI)

• シリアルデータ送信 (クロック同期式)

図 17.19 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定したあと、以下の手順で行ってください。

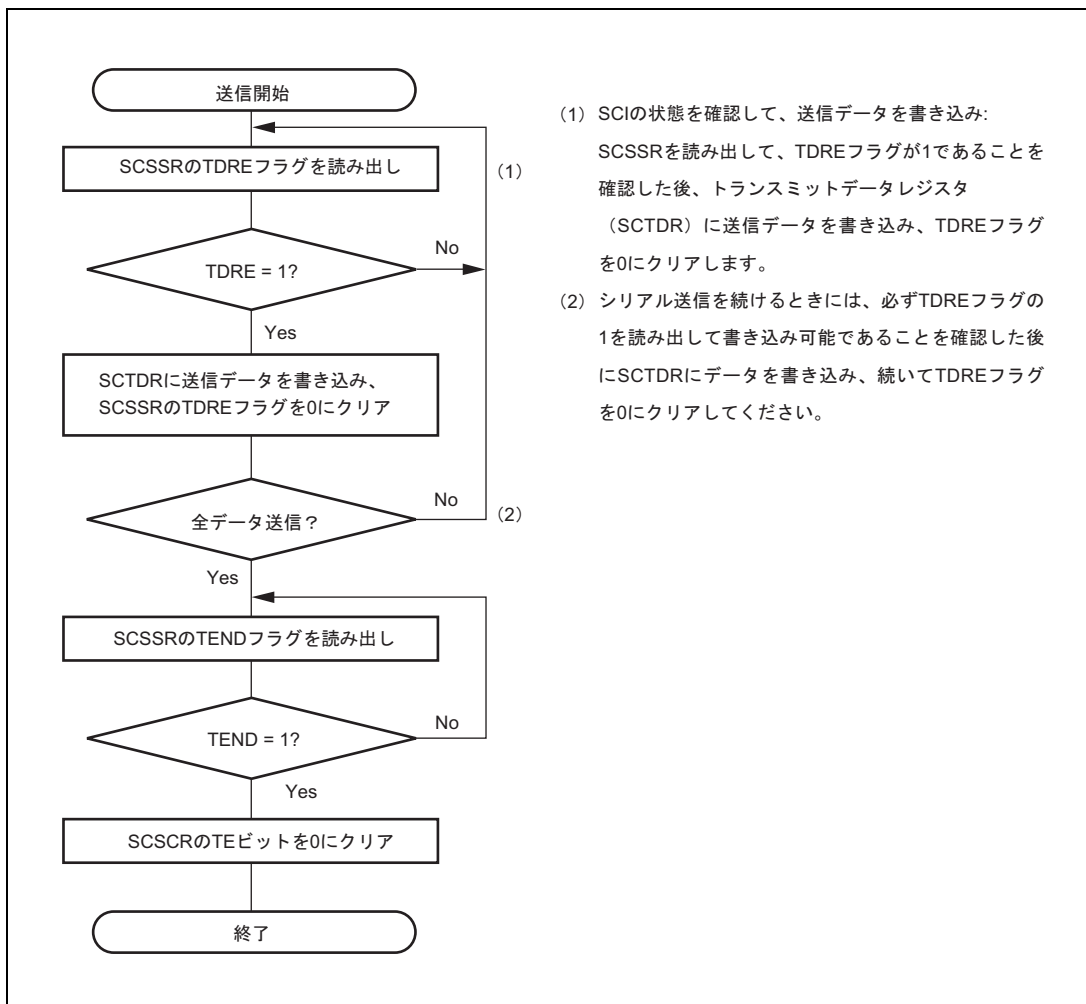


図 17.19 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ (SCSSR) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR) にデータが書き込まれたと認識し、SCTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。
2. SCTDRからSCTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、シリアルコントロールレジスタ (SCSCR) の送信データエンプティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD0端子から送り出されます。
3. SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが1であるとシリアルステータスレジスタ (SCSSR) のTENDフラグを1にセットし、MSB (ビット7) を送り出した後、トランスミットデータ端子 (TxD0端子) は状態を保持します。
このときSCSCR の送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み要求 (TEI) を発生します。
4. シリアル送信終了後は、SCK0端子はハイレベル固定になります。

図 17.20 に SCI の送信時の動作例を示します。

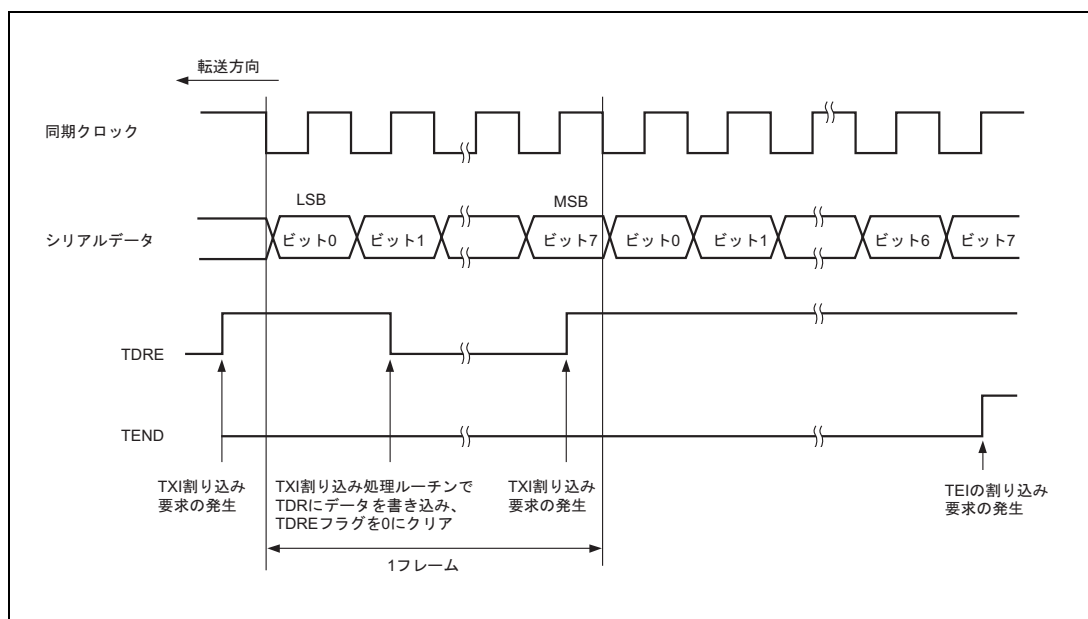


図 17.20 SCI の送信時の動作例

17. シリアルコミュニケーションインタフェース (SCI)

- シリアルデータ受信 (クロック同期式)

図 17.21 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

FER、PERフラグが1にセットされているとRDRFフラグがセットされません。また、送信/受信動作が行えません。

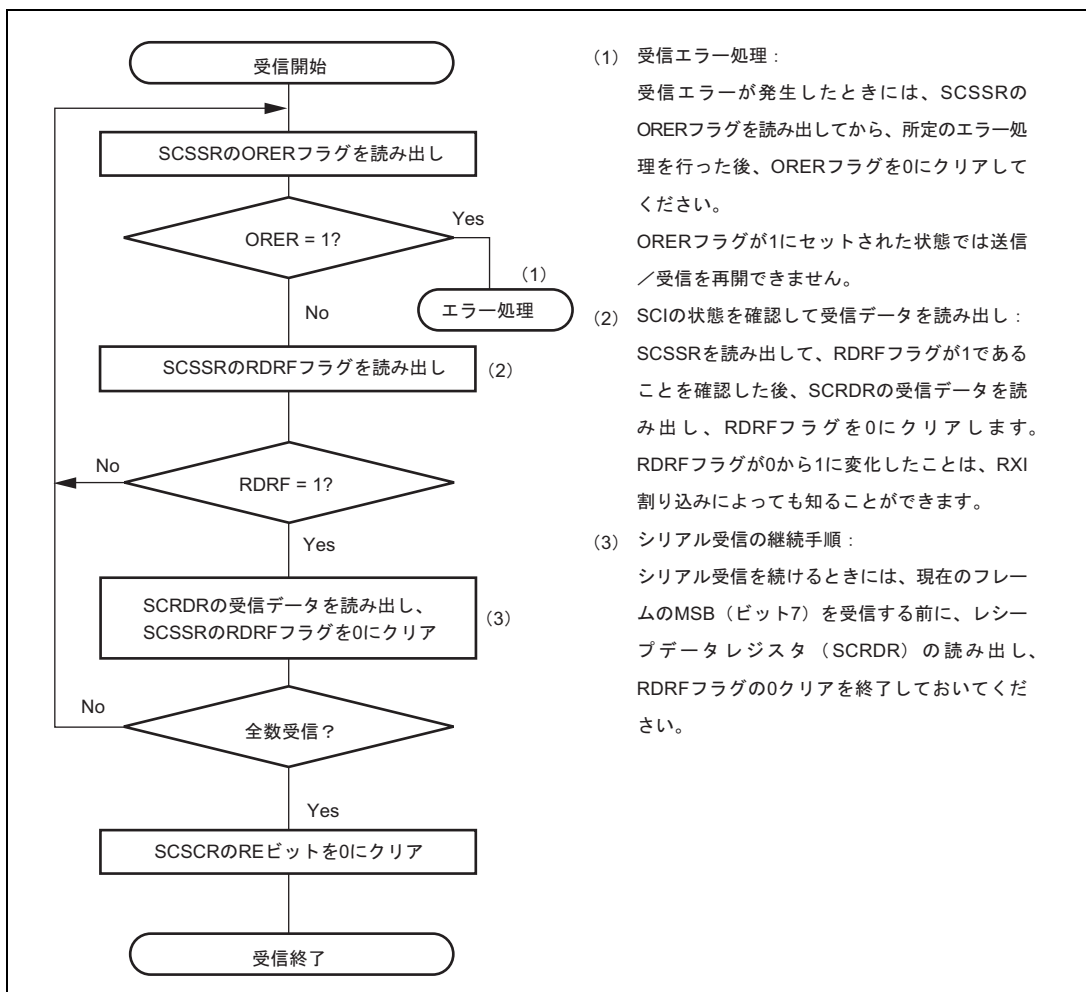


図 17.21 シリアルデータ受信フローチャートの例 (1)

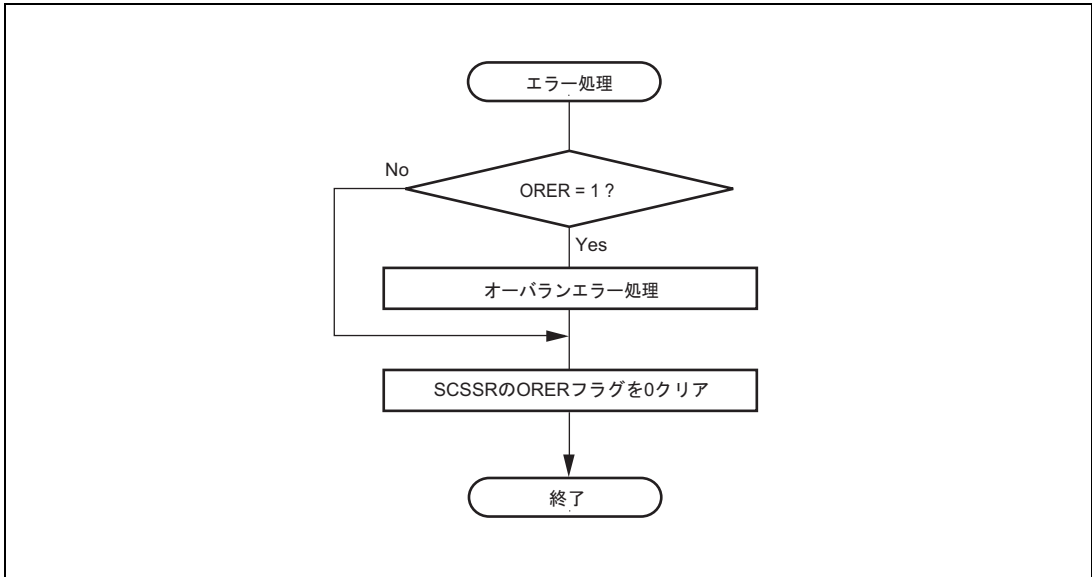


図 17.21 シリアルデータ受信フローチャートの例 (2)

17. シリアルコミュニケーションインタフェース (SCI)

SCIは受信時に以下のように動作します。

1. SCIは同期クロックの入力または出力に同期して内部を初期化します。
2. 受信したデータをレシーブシフトレジスタ (SCRSR) のLSBからMSBの順に格納します。
受信後、SCIはRDRFフラグが0であり、受信データをSCRSRからレシーブデータレジスタ (SCRDR) に転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFフラグが1にセットされ、SCRDRに受信データが格納されます。
エラーチェックで受信エラーが発生すると表17.12のように動作し、この状態では以後の送信、受信動作ができません。
また、受信時にRDRFフラグが1にセットされませんので、必ずフラグを0にクリアしてください。
3. RDRFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 17.22 に SCI の受信時の動作例を示します。

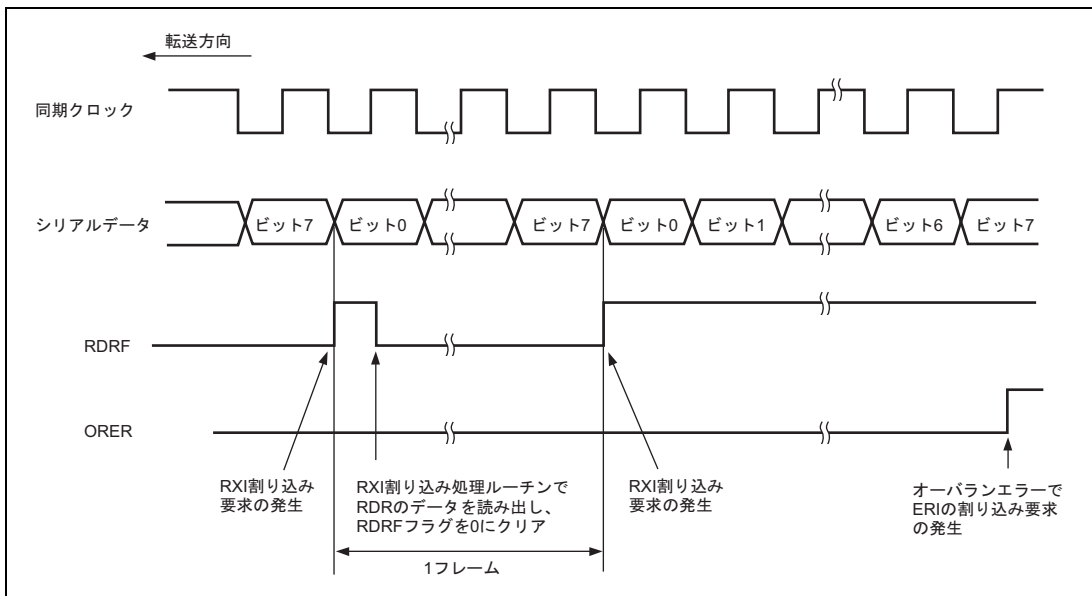


図 17.22 SCI の受信時の動作例

● シリアルデータ送受信同時動作 (クロック同期式)

図 17.23 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、SCI を送受信動作可能状態に設定したあと、以下の手順に従って行ってください。

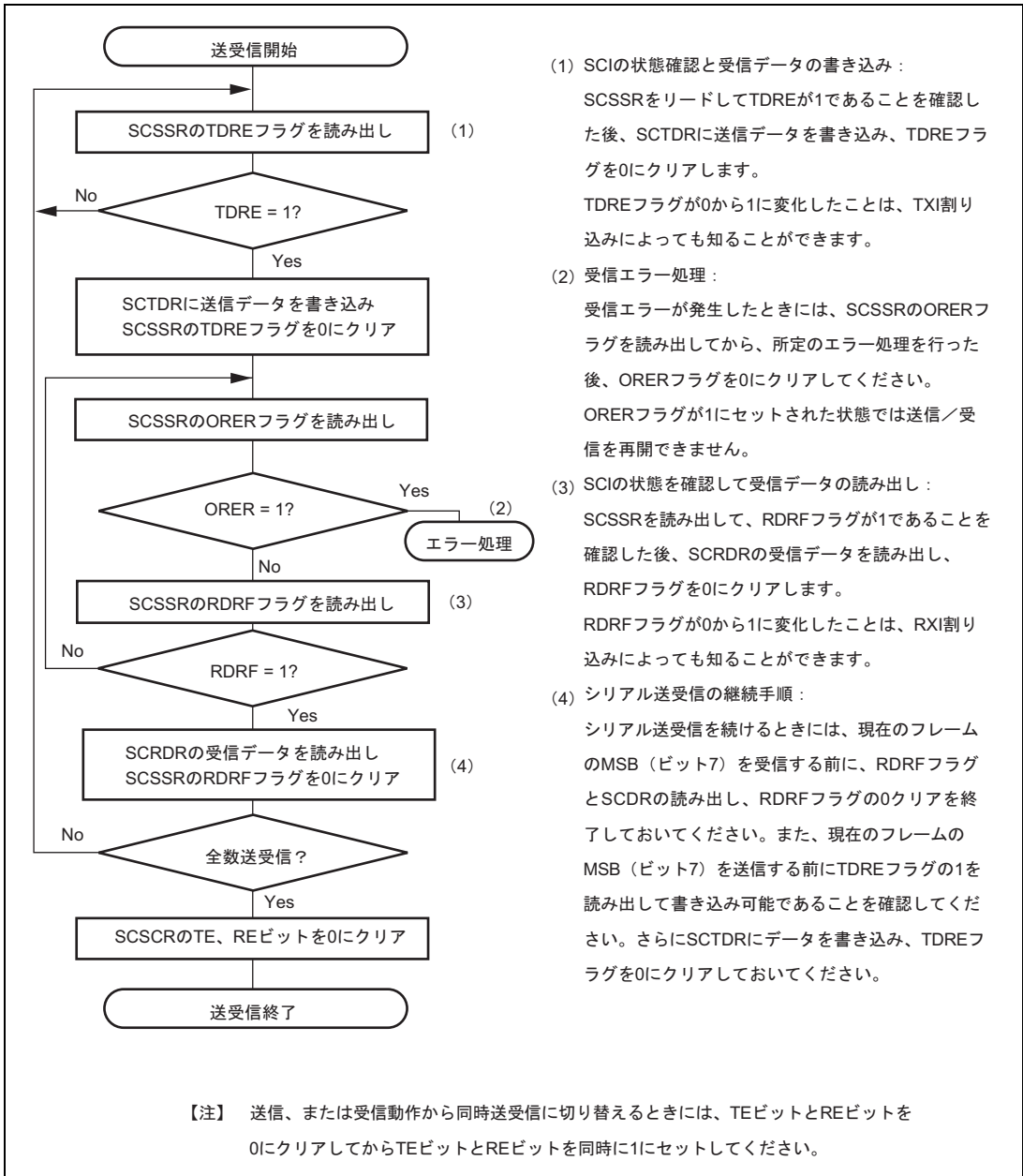


図 17.23 シリアルデータ送受信フローチャートの例

17.4 SCI 割り込み

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンpty割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 17.13 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSSR の TIE、RIE、TEIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。

SCSSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求が発生します。

また、SCSSR の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。

さらに、SCSSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 17.13 SCI 割り込み要因

割り込み要因	内 容	リセット解除時の優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	高 ↑ ↓ 低
RXI	受信データフル (RDRF) による割り込み	
TXI	送信データエンpty (TDRE) による割り込み	
TEI	送信終了 (TEND) による割り込み	

優先順位、SCI 以外の割り込みとの関係は、「第 4 章 例外処理」を参照してください。

17.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

(1) SCTDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SCSSR) の TDRE フラグはトランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が SCTDR から SCTSR にデータを転送すると、TDRE フラグが 1 にセットされます。

SCTDR へのデータの書き込みは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCTDR に書き込むと、SCTDR に格納されていたデータは、まだ SCTSR に転送されていないため失われてしまいます。したがって SCTDR への送信データの書き込みは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SCSSR の各ステータスフラグの状態は、表 17.14 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へのデータ転送は行われず、受信データは失われます。

表 17.14 SCSSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SCSSR のステータスフラグ				受信データ転送	
	RDRF	ORER	FER	PER	SCRSR	SCRDR
オーバランエラー	1	1	0	0		x
フレーミングエラー	0	0	1	0		
パリティエラー	0	0	0	1		
オーバランエラー+フレーミングエラー	1	1	1	0		x
オーバランエラー+パリティエラー	1	1	0	1		x
フレーミングエラー+パリティエラー	0	0	1	1		
オーバランエラー+フレーミングエラー+パリティエラー	1	1	1	1		x

: SCRSR SCRDR に受信データを転送します。

x : SCRSR SCRDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD0 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD0 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信したあとも受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD0 端子は、SC ポートデータレジスタ (SCPCR) の SCP0DT ビットと SC ポートコントロールレジスタ (SCPCR) の SCP0MD1、SCP0MD0 ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信時にブレークを送り出したいときは SCP0DT ビットを 0 にクリア (ローレベル) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD0 端子からは 0 が出力されます。

(5) TEND フラグと TE ビットの処理

TEND フラグは最終データのストップビット送信時に 1 にセットされます。TEND フラグのセットを確認した後、直ちに TE ビットをクリアした場合、まだストップビットの送信処理を行っており、正常に送信できなくなる可能性があります。したがって、TEND フラグのセット確認後、少なくとも 0.5 シリアルクロックサイクル (2 ストップビットの場合は 1.5 サイクル) の間は、TE ビットをクリアしないでください。

(6) 受信エラーフラグと送信動作について (クロック同期モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 1 にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

17. シリアルコミュニケーションインタフェース (SCI)

(7) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIは転送レートの16倍の周波数の基本クロックで動作しています。

受信時にSCIは、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの8クロック目の立ち上がりエッジで内部に取り込みます。

これを図 17.24 に示します。

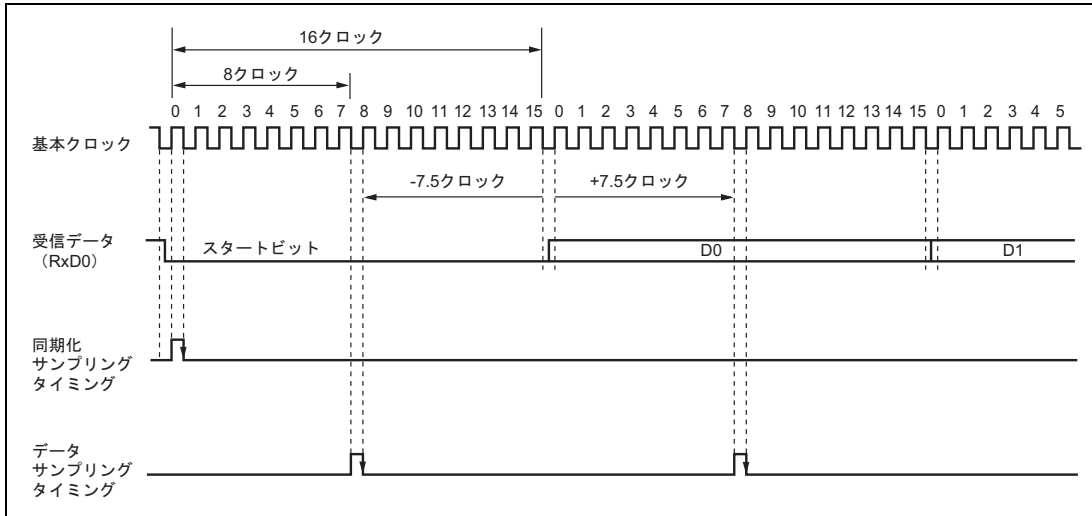


図 17.24 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \text{式(1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\%$$

$$= 46.875\% \dots \text{式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(8) クロック同期外部クロックモード時の注意事項

- (a) TE = 1、RE = 1に設定するのは、外部クロックSCK0を0 1にしてから周辺動作クロック4クロック以上経過してからにしてください。
- (b) TE = RE = 1に設定するのは、必ず外部クロックSCK0が1のときにしてください。
- (c) 受信時において、RxDのD7ビットのSCK0入力の立ち上がりエッジから周辺動作クロック2.5~3.5クロック後にRE = 0にするとRDRF = 1になりますが、SCRDRへのコピーができませんので注意してください。

(9) クロック同期内部クロックモード時の注意事項

受信時において、RxD0のD7ビットのSCK0出力の立ち上がりエッジから周辺動作クロック1.5クロック後にRE = 0にするとRDRF = 1になりますが、SCRDRへのコピーができませんので注意してください。

17. シリアルコミュニケーションインタフェース (SCI)

18. スマートカードインタフェース

18.1 概要

シリアルコミュニケーションインタフェース (SCI) の拡張機能として、ISO/IEC7816-3 (Identification Card) のデータ転送プロトコル形式 T=0 に対応した IC カード (スマートカード) インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

18.1.1 特長

スマートカードインタフェースには次の特長があります。

- 調歩同期式モード

データ長 : 8ビット

パリティビットの生成およびチェック

受信モードにおけるエラーシグナル (パリティエラー) の送出

送信モードにおけるエラーシグナルの検出とデータの自動再送信

ダイレクトコンベンション / インバースコンベンションの両方をサポート

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 3種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラーの3種類の割り込み要因があり、それぞれ独立に要求することができます。

18. スマートカードインタフェース

18.1.2 ブロック図

スマートカードインタフェースのブロック図を図 18.1 に示します。

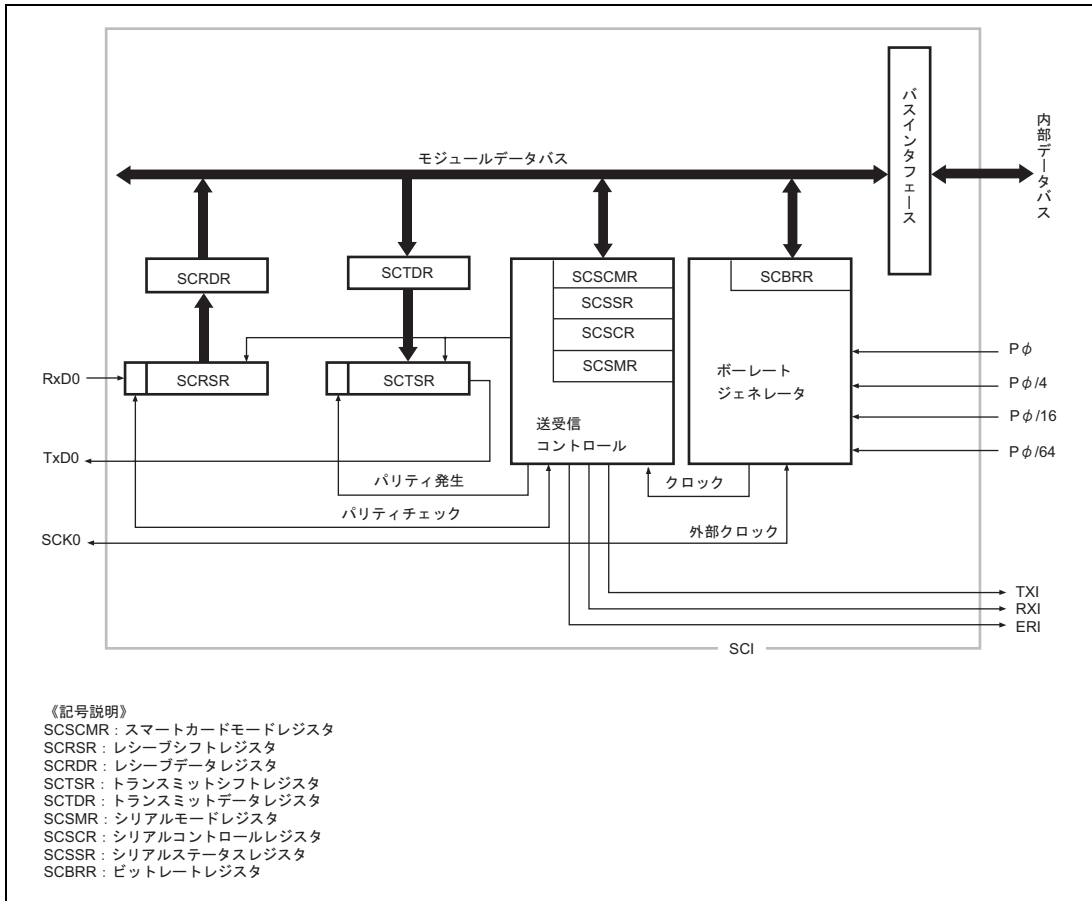


図 18.1 スマートカードインタフェースのブロック図

18.1.3 端子構成

スマートカードインタフェースの端子構成を表 18.1 に示します。

表 18.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCK0	出力	クロック出力
レシーブデータ端子	RxD0	入力	受信データ入力
トランスミットデータ端子	TxD0	出力	送信データ出力

18.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 18.2 に示します。SCSMR、SCBRR、SCSCR、SCTDR、SCRDR については、通常の SCI の機能と同様ですので、「第 17 章 シリアルコミュニケーションインタフェース (SCI)」のレジスタの説明を参照してください。

表 18.2 レジスタ構成

名称	略称	R/W	初期値* ³	アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR	R/W	H'00	H'FFFFFFE80	8
ビットレートレジスタ	SCBRR	R/W	H'FF	H'FFFFFFE82	8
シリアルコントロールレジスタ	SCSCR	R/W	H'00	H'FFFFFFE84	8
トランスミットデータレジスタ	SCTDR	R/W	H'FF	H'FFFFFFE86	8
シリアルステータスレジスタ	SCSSR	R/(W)* ¹	H'84	H'FFFFFFE88	8
レシーブデータレジスタ	SCRDR	R	H'00	H'FFFFFFE8A	8
スマートカードモードレジスタ	SCSCMR	R/W	* ²	H'FFFFFFE8C	8

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 ビット 0、2、3 はクリアされます。それ以外は不定です。

*3 パワーオンリセット、マニュアルリセットで初期化されます。

18.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタおよび機能が変更されるビットについて説明します。

18.2.1 スマートカードモードレジスタ (SCSCMR)

スマートカードモードレジスタ (SCSCMR) は、スマートカードインタフェースの機能の選択を行います。8ビットの読み出し/書き込み可能なレジスタです。SCSCMR レジスタのビット0、2、3は、リセットまたはスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:					SDIR	SINV		SMIF
初期値:					0	0		0
R/W:	R	R	R	R	R/W	R/W	R	R/W

- ビット7~4、1: 予約ビット

読み出すと不定値が読み出されます。書き込む値も常に0にしてください。

- ビット3: スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	SCTDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして SCRDR に格納 (初期値)
1	SCTDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCRDR に格納

- ビット2: スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。この機能は、ビット3の設定と組み合わせてインバースコンベンションカードとの送受信に使用します。SINV は、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「18.3.4 レジスタ設定」を参照してください。

ビット2	説明
SINV	
0	SCTDR の内容をそのまま送信 受信データをそのまま SCRDR に格納 (初期値)
1	SCTDR の内容を反転してデータを送信 受信データを反転して SCRDR に格納

- ビット0：スマートカードインタフェースモードセレクト（SMIF）
スマートカードインタフェース機能をイネーブルにするビットです。

ビット0	説明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

18.2.2 シリアルステータスレジスタ（SCSSR）

スマートカードインタフェースモードにおいては、SCSSRのビット4の機能が変更されます。また、これに関連してビット2のTENDのセット条件が変更になります。

ビット：	7	6	5	4	3	2	1	0
ビット名：	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

- ビット7：トランスミットデータレジスタエンプティ（TDRE）
- ビット6：レシーブデータレジスタフル（RDRF）
- ビット5：オーバランエラー（ORER）

通常のSCIと同様の動作をします。詳細は「第17章 シリアルコミュニケーションインタフェース（SCI）」を参照してください。

- ビット4：エラーシグナルステータス（ERS）

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット4	説明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 (初期値) (クリア条件) (1) リセット、またはスタンバイモード時 (2) ERS = 1 の状態を読み出した後、0 を書き込んだとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 (セット条件) エラーシグナルローレベルをサンプリングしたとき

18. スマートカードインタフェース

【注】 SCSCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。

- ビット3：パリティエラー（PER）
- ビット2：トランスミットエンド（TEND）
- ビット1：マルチプロセッサビット（MPB）
- ビット0：マルチプロセッサビットトランスファ（MPBT）

通常の SCI と同様の動作をします。詳細は「第 17 章 シリアルコミュニケーションインタフェース（SCI）」を参照してください。

ただし、ビット 2 のトランスミットエンド（TEND）のセット条件は次のようになります。

ビット 2	説明
TEND	
0	送信中であることを表示 (クリア条件) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	送信を終了したことを表示 (初期値) (セット条件) (1) リセット、またはスタンバイモード時 (2) SCSCR の TE ビットが 0 かつ FER/ERS ビットが 0 のとき (3) SCSMR の C/ \bar{A} ビットが 0 で、1 バイトのシリアルキャラクタ送信後、 2.5etu 後に TDRE = 1 かつ FER/ERS = 0 (正常送信) のとき (4) SCSMR の C/ \bar{A} ビットが 1 で、1 バイトのシリアルキャラクタ送信後、 1.0etu 後に TDRE = 1 かつ FER/ERS = 0 (正常送信) のとき

【注】 etu (Elementary Time Unit : 1 ビットの転送期間)

18.3 動作説明

18.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

1. 1 フレームは、8 ビットデータとパリティビットで構成されます。
2. 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
3. 受信時はパリティエラーを検出した場合、スタートビットから 10.5etu 経過後エラーシグナルローレベルを 1etu 期間出力します。
4. 送信時はエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを送信します。
5. 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

18.3.2 端子接続

スマートカードインタフェースに関する端子接続概略図を図 18.2 に示します。

IC カードとの通信においては、1 本のデータ伝送線で送信と受信が行われるので、LSI 端子で TxD0 端子と RxD0 端子とを結線してください。また、データ伝送線は、抵抗で電源 Vcc 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK0 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグランドの接続が必要です。

【注】 IC カードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

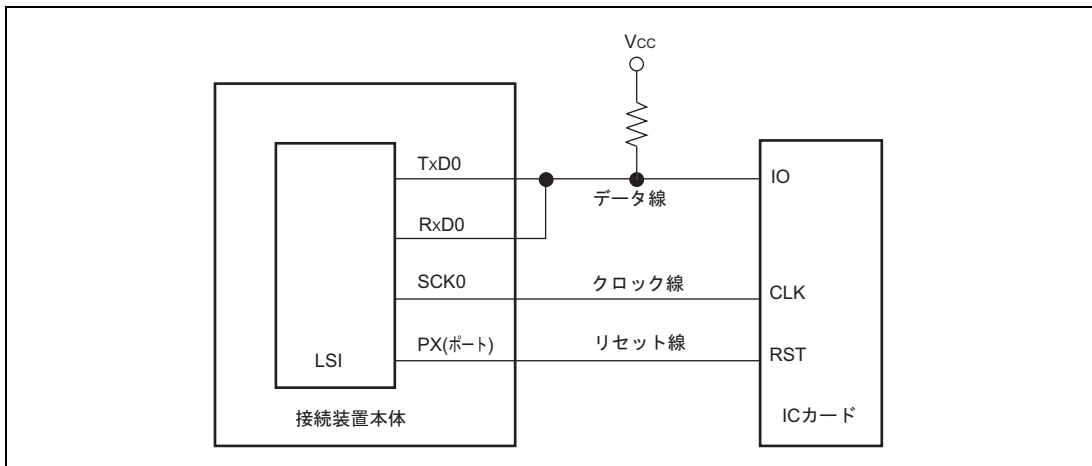


図 18.2 スマートカードインタフェース端子接続概略図

18.3.3 データフォーマット

図 18.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時はエラーシグナルをサンプリングすると同じデータを再送信します。

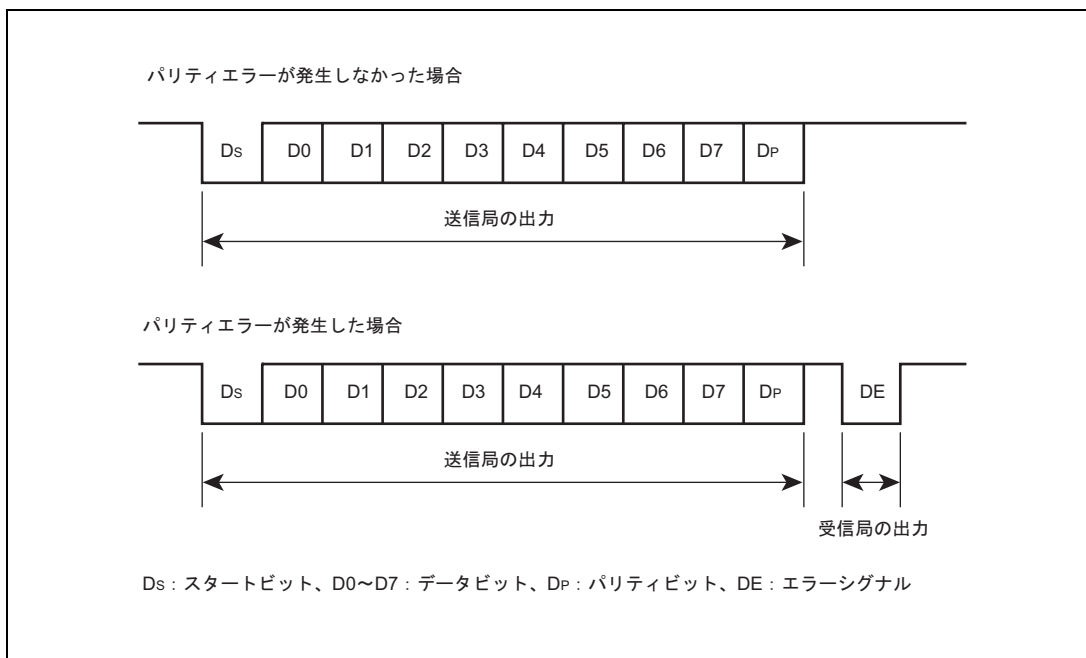


図 18.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

1. データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりハイレベルに固定されます。
2. 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds、ローレベル) から開始します。この後に、8ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
3. スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりハイレベルになります。
4. 受信側は、パリティチェックを行います。
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラーシグナル (DE、ローレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりハイレベルに戻ります。
5. 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。
一方、エラーシグナルを受信した場合は、エラーとなったデータを (2) に戻り再送信します。

18.3.4 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 18.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 18.3 スマートカードインタフェースでのレジスタ設定

レジスタ	アドレス	ビット							
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SCSMR	H'FFFFFFE80	C/A	0	1	O/E	1	0	CKS1	CKS0
SCBRR	H'FFFFFFE82	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCSCR	H'FFFFFFE84	TIE	RIE	TE	RE	0	0	CKE1	CKE0
SCTDR	H'FFFFFFE86	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SCSSR	H'FFFFFFE88	TDRE	RDRF	ORER	FER/ERS	PER	TEND	0	0
SCRDR	H'FFFFFFE8A	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCSCMR	H'FFFFFFE8C					SDIR	SINV		SMIF

: 未使用ビットを示します。

18. スマートカードインタフェース

(1) シリアルモードレジスタ (SCSMR) の設定

$\overline{C/A}$ ビットは TEND フラグのセットタイミングの選択、およびシリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットとの組み合わせでクロック出力状態を選択します。

O/\overline{E} ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを選択します。「18.3.5 クロック」を参照してください。

(2) ビットレートレジスタ (SCBRR) の設定

ビットレートを設定します。設定値の算出方法は「18.3.5 クロック」を参照してください。

(3) シリアルコントロールレジスタ (SCSCR) の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 17 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

CKE0 ビットはクロック出力状態を指定します。クロック出力を行わないときは 0、クロック出力を行うときは 1 を設定します。

(4) スマートカードモードレジスタ (SCSCMR) の設定

SDIR ビットおよび SINV ビットは、IC カードがダイレクトコンベンション時はどちらも 0 を設定し、インバースコンベンション時はどちらも 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に 2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と開始キャラクタでの波形例を図 18.4 示します。

ダイレクトコンベンションタイプでは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。パリティビットは、スマートカードの規定により偶数パリティで 1 となります。

インバースコンベンションタイプでは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、SINV ビットによる反転はデータビット D7~D0 のみとなっています。パリティビットの反転のために SCSMR の O/\overline{E} ビットを奇数パリティモードに設定します。送信、受信とも同様です。

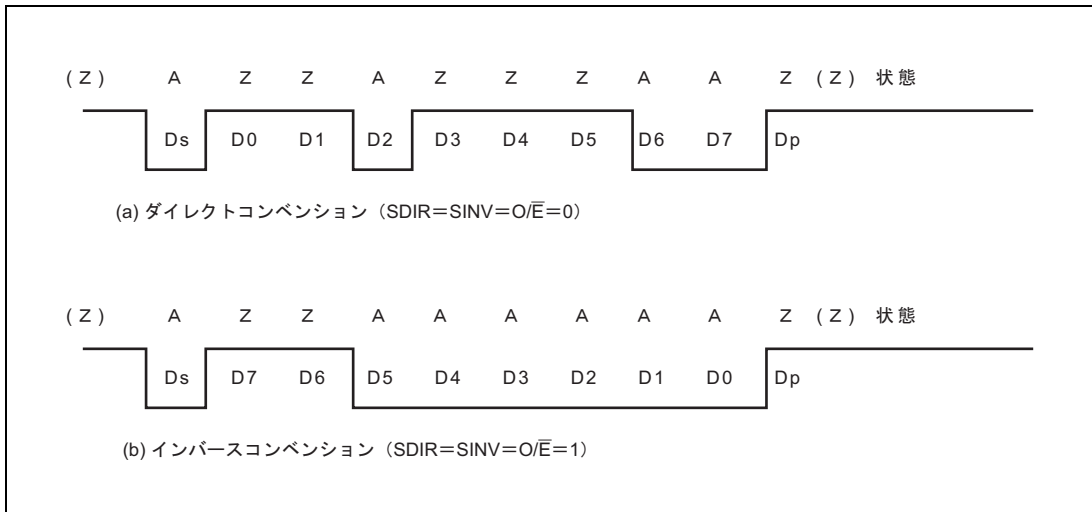


図 18.4 開始キャラクタの波形例

18.3.5 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ (SCBRR) とシリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 18.5 に示します。

このとき CKE0=1 でクロック出力を選択すると、SCK0 端子からはビットレートの 372 倍の周波数のクロックが出力されます。

$$B = \frac{P\phi}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N = SCBRR の設定値 (0 N 255)

B = ビットレート (bit/s)

P ϕ = 周辺モジュール用動作周波数 (MHz)

n = 0 ~ 3 (表 18.4 を参照)

表 18.4 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1	0	1
2	1	0
3	1	1

18. スマートカードインタフェース

表 18.5 SCBRR の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)

N	P ϕ (MHz)						
	7.1424	10.00	10.7136	13.00	14.2848	16.00	18.00
0	9600.0	13440.9	14400.0	17473.1	19200.0	21505.4	24193.5
1	4800.0	6720.4	7200.0	8736.6	9600.0	10752.7	12096.8
2	3200.0	4480.3	4800.0	5824.4	6400.0	7168.5	8064.5

【注】 ビットレートは、小数点以下 2 桁目を四捨五入した数値です。

一方、動作周波数とビットレートからビットレートレジスタ (SCBRR) の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{P_{\phi}}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 18.6 ビットレート B (bit/s) に対する SCBRR の設定例 (ただし、n=0 のとき)

bit/s	P ϕ (MHz)													
	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30.00	1	25.00	1	8.99	1	0.00	1	12.01	2	15.99

表 18.7 各周波数における最大ビットレート (スマートカードインタフェースモードのとき)

P ϕ (MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差(\%)} = \left(\frac{P_{\phi}}{1488 \times 2^{2n-1} \times B \times (N+1)} \times 10^6 - 1 \right) \times 100$$

スマートカードインタフェースにおける送受信クロックのレジスタ設定値と出力状態の関係を表 18.8 に示します。

表 18.8 レジスタ設定値と SCK0 端子

設定	レジスタの値				SCK0 端子	
	SMIF	C/ \bar{A}	CKE1	CKE0	出力	状態
1* ¹	1	0	0	0	ポート	SCPCR の SCP1MD1、SCP1MD0 ビットの設定によって決まります。
	1	0	0	1		SCK0 (シリアルクロック) 出力状態
2* ²	1	1	0	0	L 出力	L 出力状態
	1	1	0	1		SCK0 (シリアルクロック) 出力状態
3* ²	1	1	1	0	H 出力	H 出力状態
	1	1	1	1		SCK0 (シリアルクロック) 出力状態

【注】 *1 SCK0 出力状態は CKE0 ビットを変更すると即時に変わります。
CKE1 ビットは 0 を設定してください。

*2 CKE0 ビットの変更によってクロックを停止、開始してもクロックのデューティは一定に保たれます。

18.3.6 データの送信 / 受信動作

(1) 初期化

データの送受信の前に、以下の手順で SCI をイニシャライズしてください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。初期化のフロー例を図 18.5 に示します。

- シリアルコントロールレジスタ (SCSCR) の TE、RE ビットを 0 にクリアします。
- シリアルステータスレジスタ (SCSSR) のエラーフラグ FER / ERS、PER、ORER を 0 にクリアしてください。
- シリアルモードレジスタ (SCSMR) の C/ \bar{A} ビット、パリティビット (O \bar{E} ビット) とボーレートジェネレータの選択ビット (CKS1、CKS0 ビット) を設定してください。このとき、CHR、MP ビットは 0 に、STOP、PE ビットは 1 に設定してください。
- スマートカードモードレジスタ (SCSCMR) の SMIF、SDIR、SINV ビットを設定してください。SMIF ビットを 1 にセットすると、TxD0 端子および RxD0 端子はともにハイインピーダンス状態となります。
- ビットレートに対応する値をビットレートレジスタ (SCBRR) に設定します。
- シリアルコントロールレジスタ (SCSCR) のクロックソースの選択ビット (CKE1、CKE0 ビット) を設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE ビットは、0 に設定してください。CKE0 ビットを 1 にセットした場合は、SCK0 端子からクロック出力されます。
- 少なくとも、1 ビット期間待ってから、SCSCR の TIE、RIE、TE、RE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。

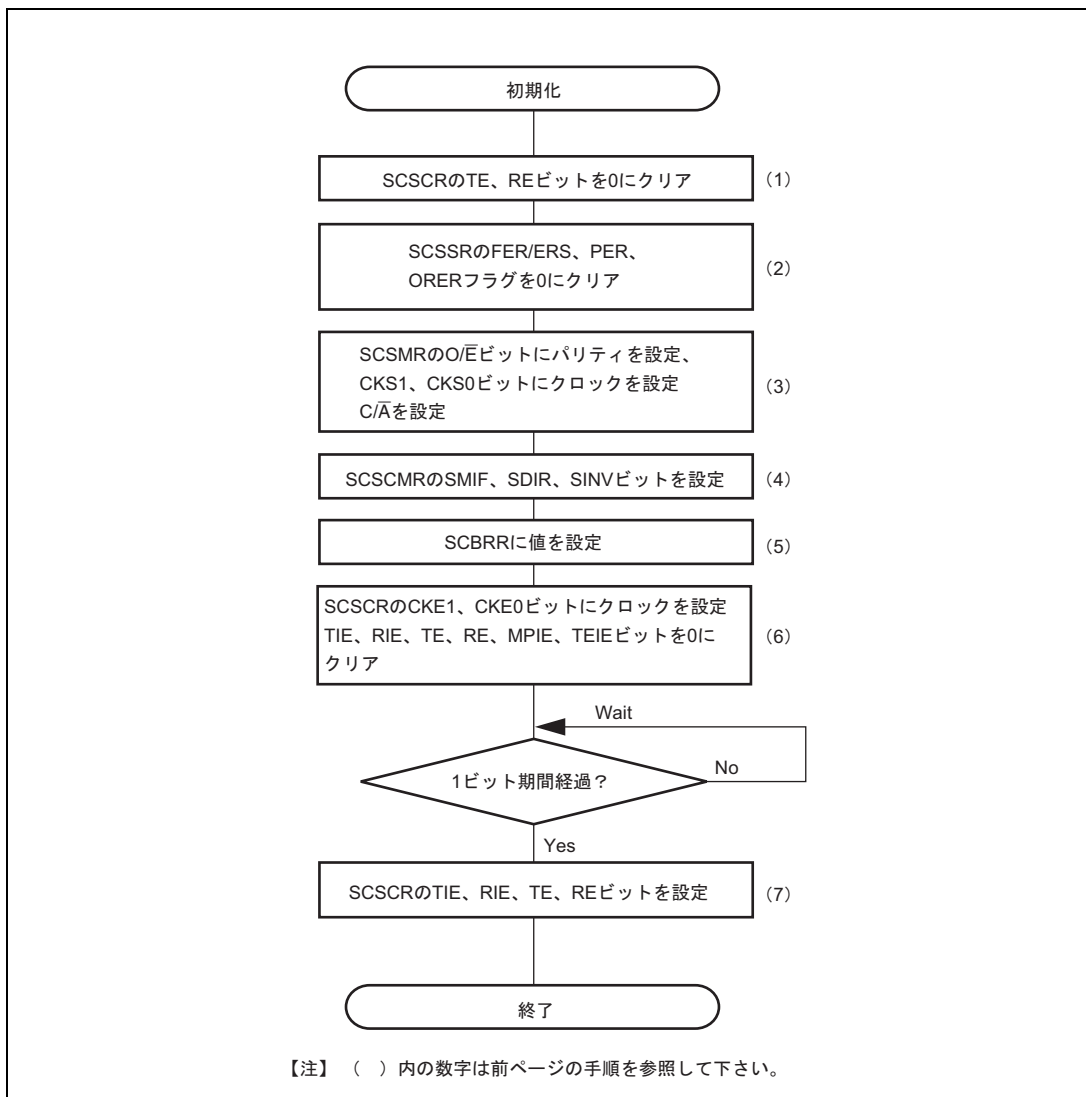


図 18.5 初期化のフロー例

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のSCIとは処理手順が異なります。送信処理フローの例を図 18.6 に示します。

1. (1)の手順に従いスマートカードインタフェースモードに初期化します。
2. SCSSRのエラーフラグFER/ERSビットが0にクリアされていることを確認してください。
3. SCSSRのTENDフラグが1にセットされていることが確認できるまで、(2)、(3)を繰り返してください。
4. SCTDRに送信データを書き込んで、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
5. 連続してデータを送信する場合は、2に戻ってください。
6. 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「(5) 割り込み動作」を参照してください。

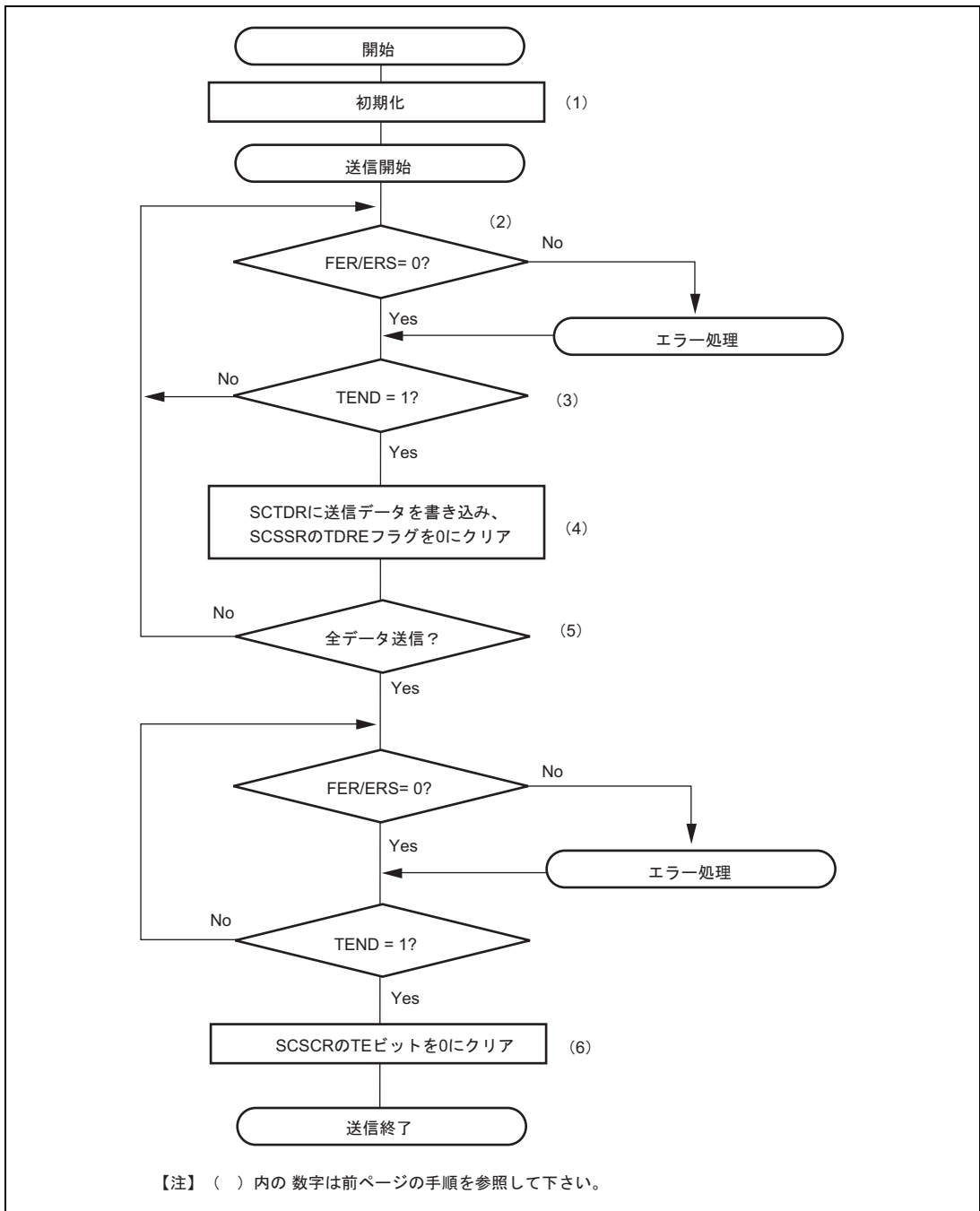


図 18.6 送信処理フローの例

(3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 18.7 に示します。

1. SCIを図18.5に従いスマートカードインタフェースモードに初期化します。
2. SCSSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグをすべて0にクリアしてください。
3. RDRFフラグが1であることを確認できるまで(2)、(3)を繰り返してください。
4. SCRDRから受信データを読み出してください。
5. 継続してデータを受信する場合は、RDRFフラグを0にクリアして(2)の手順に戻ってください。
6. 受信を終了する場合は、REビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「(5) 割り込み動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは SCRDR に転送されるのでこのデータを読み出すことは可能です。

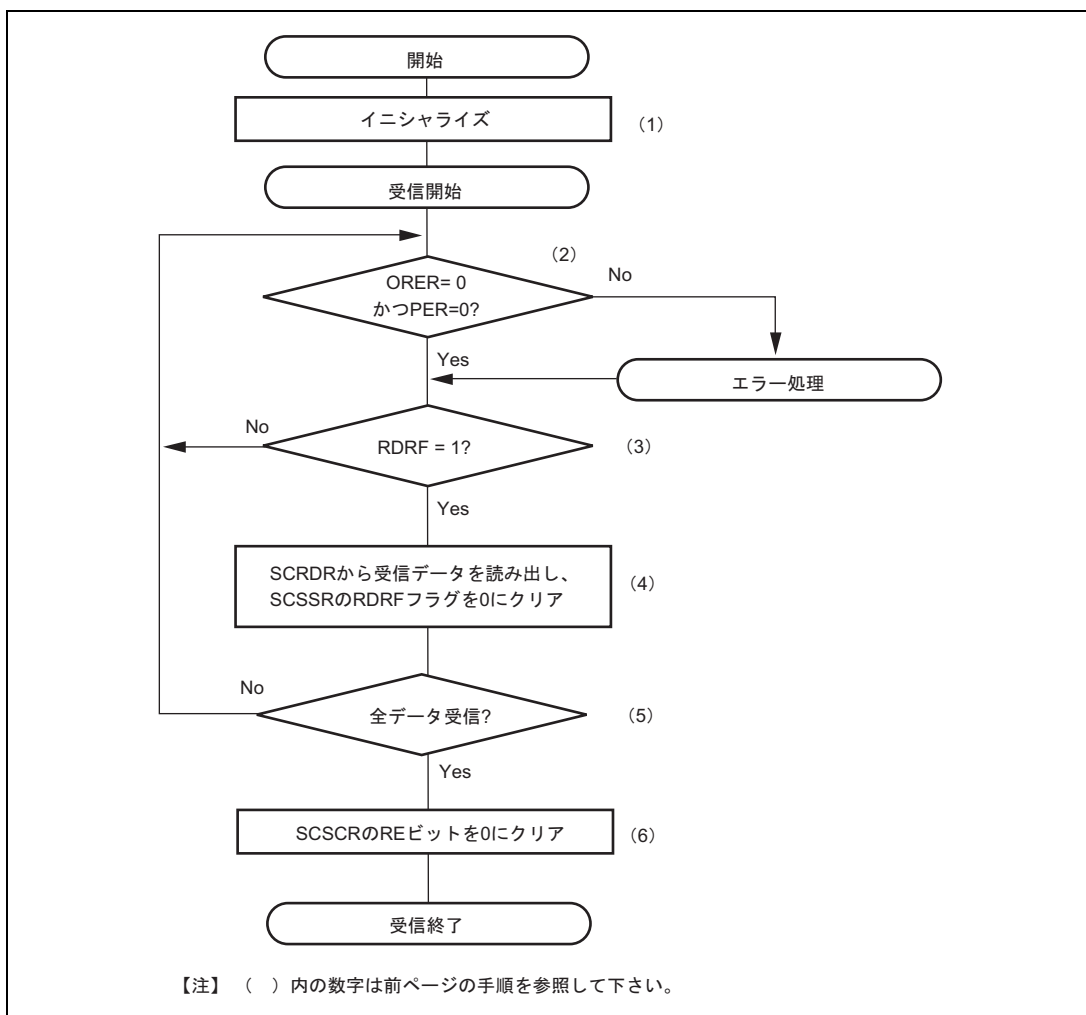


図 18.7 受信処理フローの例

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は RDRF フラグあるいは PER、ORER フラグで確認できません。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) 割り込み動作

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SCSSR の TEND フラグが 1 にセットされると、TXI 割り込み要求を発生します。

SCSSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求を発生します。

SCSSR の ORER、PER、FER/ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求を発生します。これらの関係を表 18.9 に示します。

表 18.9 スマートカードモードの動作状態と割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TEND	TIE	TXI
	エラー	FER/ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE	RXI
	エラー	PER、ORER	RIE	ERI

18.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

(1) 調歩同期式モードの受信データタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 18.8 に示します。

18. スマートカードインタフェース

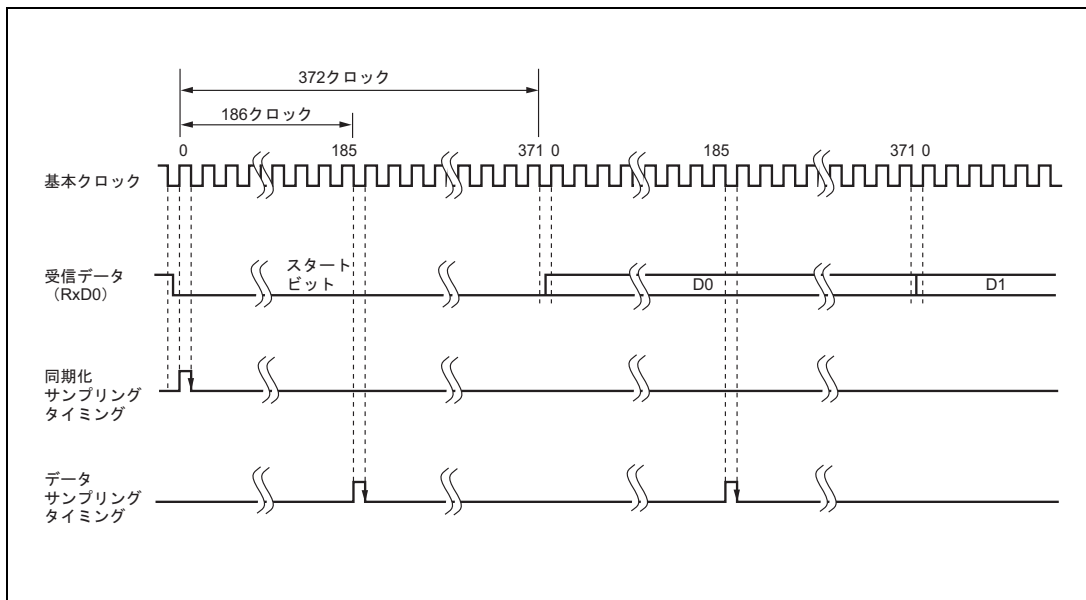


図 18.8 スマートカードモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} \right| (1 + F) \times 100\%$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=372)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=10)

F: クロック周波数の偏差の絶対値

上式で、F=0、D=0.5 とすると、受信マージン式は次のようになります。

D=0.5、F=0 のとき、

$$M = (0.5 - 1/2 \times 372) \times 100\%$$

$$= 49.866\%$$

(2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を次に示します。

(a) SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 18.9 に示します。

- 受信したパリティビットをチェックした結果、エラーが検出されると、SCSSRのPERビットが自動的に1にセットされます。このとき、SCSSRのRIEビットがイネーブルになっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSRのPERビットを0にクリアしてください(図 18.9-a)。
- 異常が発生したフレームでは、SCSSRのRDRFビットはセットされません(図18.9-b)。
- 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SCSSRのPERビットはセットされません(図18.9-c)。
- 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SCSSRのRDRFビットが自動的に1にセットされます。このときSCSSRのRIEビットが許可になっていれば、RXI割り込み要求が発生します(図18.9-d)。
- 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はスリープ状態を保持します(図18.9-e)。

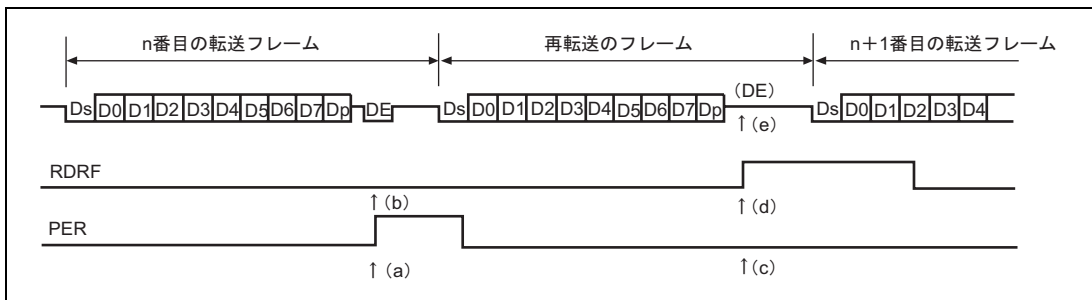


図 18.9 SCI 受信モードの場合の再転送動作

18. スマートカードインタフェース

(b) SCI が送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 18.10 に示します。

- 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SCSSRのFER/ERSビットが1にセットされます。このとき、SCSCRのRIEビットがイネーブルになっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSRのFER/ERSビットを0にクリアしてください（図18.10-a）。
- 異常を示すエラーシグナルを受信したフレームでは、SCSSRのTENDビットはセットされません（図18.10-b）。
- 受信側からエラーシグナルが返ってこない場合は、SCSSRのFER/ERSビットはセットされません（図18.10-c）。
- 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SCSSRのTENDビットが1にセットされます。このときSCSCRのTIEビットがイネーブルになっていれば、TXI割り込み要求が発生します（図18.10-d）。

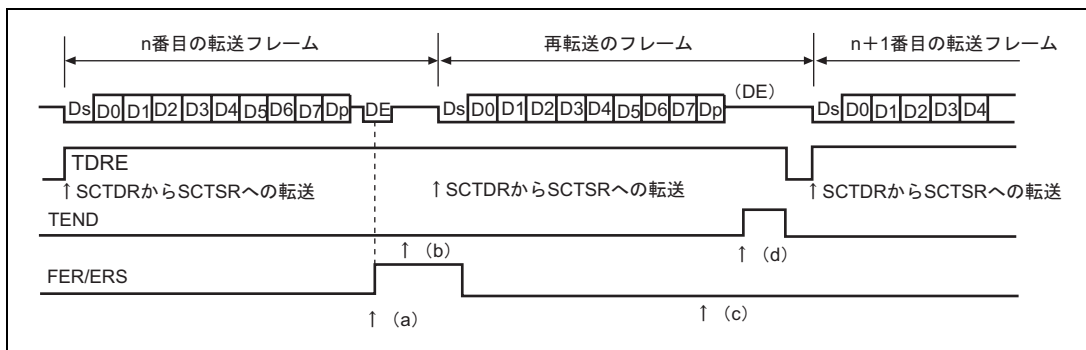


図 18.10 SCI 送信モードの場合の再転送動作

19. FIFO 付きシリアルコミュニケーション インタフェース (SCIF)

19.1 概要

本 LSI は、調歩同期式シリアル通信をサポートする 1 チャンネルの FIFO 付きシリアルコミュニケーションインタフェース (SCIF) を備えています。また、送信、受信用に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

19.1.1 特長

- 調歩同期式シリアル通信
 - キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。
 - データ長：7 ビット、または 8 ビット
 - ストップビット長：1 ビット、または 2 ビット
 - パリティ：偶数パリティ、奇数パリティ、またはパリティなし
 - 受信エラーの検出：パリティエラー、フレーミングエラーを検出
 - ブレークの検出
フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークが検出されます。またフレーミングエラー発生時に RxD2 端子のレベルを SC ポートデータレジスタ (SCPDR) から直接読み出すことによっても検出できます。
- 全二重通信
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、受信部ともに 16 段の FIFO バッファ構造になっているのでシリアルデータの高速連続送信、連続受信ができます。
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 内部または外部送受信クロックソース
- 4 種類の割り込み要因
送信 FIFO データエンプティ、ブレーク、レシーブ FIFO データフルおよび受信エラー割り込みの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信 FIFO データエンプティ割り込みとレシーブ FIFO データフル割り込みによりダイレクトメモリアクセスコントローラ (DMAC) を起動させてデー

図 19.2、図 19.3 に SCIF I/O ポートを示します。

SCIF 端子の入出力およびデータコントロールは、SCPCR のビット 15、14、9、8、および SCPDR のビット 7、4 で実行します。詳細は「26.3.13 SC ポートコントロールレジスタ (SCPCR)」を参照してください。

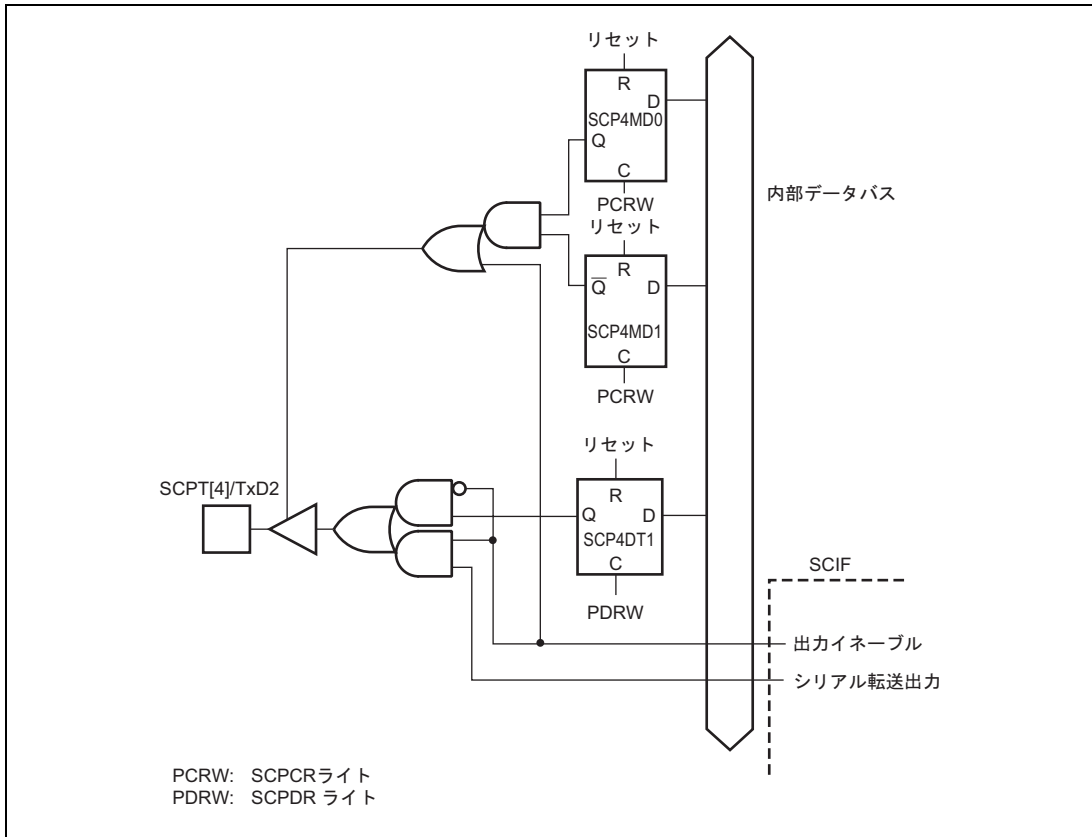


図 19.2 SCPT[4]/TxD2 端子

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

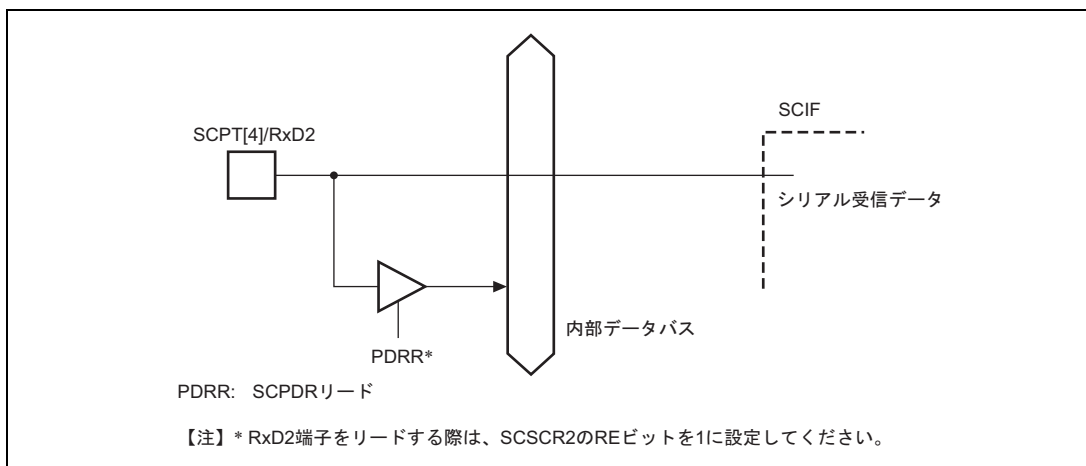


図 19.3 SCPT[4]/RxD2 端子

19.1.3 端子構成

SCIF には表 19.1 に示すようなシリアル端子があります。

表 19.1 SCIF 端子

端子名	略称	入出力	機能
受信データ端子	RxD2	入力	受信データ入力
送信データ端子	TxD2	出力	送信データ出力
リクエストツースェンド端子	RTS2	出力	リクエストツースェンド
クリアツースェンド端子	CTS2	入力	クリアツースェンド

19.1.4 レジスタ構成

SCIF 内部レジスタを表 19.2 に示します。これらのレジスタはデータフォーマットとビットレートを指定し、送信部、受信部をコントロールします。

表 19.2 レジスタ

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
シリアルモードレジスタ 2	SCSMR2	R/W	H'00	H'04000150 (H'A4000150)* ²	8ビット
ビットレートレジスタ 2	SCBRR2	R/W	H'FF	H'04000152 (H'A4000152)* ²	8ビット
シリアルコントロールレジスタ 2	SCSCR2	R/W	H'00	H'04000154 (H'A4000154)* ²	8ビット
トランスミット FIFO データレジスタ 2	SCFTDR2	W	-	H'04000156 (H'A4000156)* ²	8ビット
シリアルステータスレジスタ 2	SCSSR2	R/(W)* ¹	H'0060	H'04000158 (H'A4000158)* ²	16ビット

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
レシーブ FIFO データレジスタ 2	SCFRDR2	R	不定	H'0400015A (H'A400015A)* ²	8 ビット
FIFO コントロールレジスタ 2	SCFCR2	R/W	H'00	H'0400015C (H'A400015C)* ²	8 ビット
FIFO データカウントセットレジスタ 2	SCFDR2	R	H'0000	H'0400015E (H'A400015E)* ²	16 ビット

【注】 これらのレジスタは、物理空間のエリア 1 に位置しています。そのため、キャッシュ ON 時には、論理空間のエリア P2 からこれらのレジスタをアクセスするか、MMU を使用して適切な設定を行い、これらのレジスタがキャッシュされないようにしてください。

*1 フラグをクリアするための 0 書き込みのみ可能です。

*2 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

19.2 レジスタの説明

19.2.1 レシーブシフトレジスタ 2 (SCRSR2)

レシーブシフトレジスタ 2 (SCRSR2) は、シリアルデータを受信するためのレジスタです。SCIF は SCRSR2 に Rx/D2 端子から入力されたシリアルデータを、LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタ 2 (SCFRDR2) へ転送されます。CPU から直接 SCRSR2 の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
ビット名:								
R/W:	—	—	—	—	—	—	—	—

19.2.2 レシーブ FIFO データレジスタ 2 (SCFRDR2)

16 バイトのレシーブ FIFO データレジスタ 2 (SCFRDR2) は、受信したシリアルデータを格納するレジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR2) から SCFRDR2 へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR2 から読み出しはできますが書き込みはできません。レシーブ FIFO データレジスタ 2 に受信データがないままデータを読み出すと値は不定になります。

このレジスタが受信データでいっぱいになるとそれ以降に受信したシリアルデータは失われます。

ビット:	7	6	5	4	3	2	1	0
ビット名:								
R/W:	R	R	R	R	R	R	R	R

19.2.3 トランスミットシフトレジスタ 2 (SCTSR2)

トランスミットシフトレジスタ 2 (SCTSR2) は、シリアルデータを送信するためのレジスタです。SCIF は、トランスミット FIFO データレジスタ 2 (SCFTDR2) から送信データをいったん SCTSR2 に転送し、LSB (ビット 0) から順に Tx/D2 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR2 から SCTSR2 へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR2 の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
ビット名:								
R/W:	—	—	—	—	—	—	—	—

19.2.4 トランスミット FIFO データレジスタ 2 (SCFTDR2)

トランスミット FIFO データレジスタ 2 (SCFTDR2) は、シリアル送信するデータを格納する 16 バイト 8 ビットの FIFO レジスタです。SCIF は、トランスミットシフトレジスタ (SCTSR2) の空を検出すると、SCFTDR2 に書き込まれた送信データを SCTSR2 に転送してシリアル送信を開始します。SCFTDR2 の送信データが空になるまで連続シリアル送信ができます。SCFTDR2 は常に CPU による書き込みが可能です。

SCFTDR2 が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:								
R/W:	W	W	W	W	W	W	W	W

19.2.5 シリアルモードレジスタ 2 (SCSMR2)

シリアルモードレジスタ 2 (SCSMR2) は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR2 は、常に CPU による読み出し / 書き込みが可能です。SCSMR2 は、リセット、スタンバイモードおよびモジュールスタンバイモードで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:	-	CHR	PE	O \bar{E}	STOP	-	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R	R/W	R/W

- ビット 7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 6: キャラクターレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、トランスミット FIFO データレジスタ 2 の MSB (ビット 7) は送信されません。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

• ビット5: パリティイネーブル (PE)

送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると送信時には、O \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O \bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

• ビット4: パリティモード (O \bar{E})

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O \bar{E} ビットの設定は、パリティイネーブルビット (PE) に 1 を設定し、パリティビットの付加やチェックを許可したときのみに有効になります。パリティの付加やチェックを禁止している場合には、O \bar{E} ビットの設定は無効です。

ビット4	説明
O \bar{E}	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

• ビット3: ストップビットレングス (STOP)

ストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット3	説明
STOP	
0	1 ストップビット* ¹ (初期値)
1	2 ストップビット* ²

【注】 *¹ 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

- ビット2: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット1、0: クロックセレクト1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータの内部クロックソースを選択します。CKS1、CKS0 ビットの設定で P ϕ 、P ϕ /4、P ϕ /16、P ϕ /64 の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタ 2 の設定値、およびポーレートの関係については、「19.2.8 ビットレートレジスタ 2 (SCBRR2)」を参照してください。

ビット 1	ビット 0	説 明
CKS1	CKS0	
0	0	P ϕ クロック (初期値)
	1	P ϕ /4 クロック
1	0	P ϕ /16 クロック
	1	P ϕ /64 クロック

【注】 P ϕ : 周辺クロック

19.2.6 シリアルコントロールレジスタ 2 (SCSCR2)

シリアルコントロールレジスタ 2 (SCSCR2) は、SCIF の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR2 は、常に CPU による読み出し / 書き込みが可能です。

SCSCR2 は、リセット、スタンバイモードおよびモジュールスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
ビット名:	TIE	RIE	TE	RE			CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

• ビット7: トランスミットインタラプトイネーブル (TIE)

トランスミット FIFO データレジスタ 2 (SCFTDR2) からトランスミットシフトレジスタ 2 (SCTSR2) へシリアル送信データが転送され、トランスミット FIFO データレジスタ 2 のデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ 2 (SCSSR2) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット7	説明
TIE	
0	送信 FIFO データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信 FIFO データエンプティ割り込み (TXI) 要求を許可

【注】 * TXI の解除は、SCFTDR2 に指定した送信トリガ数より大きな量の送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

• ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ 2 (SCRSR2) からレシーブ FIFO データレジスタ 2 (SCFRDR2) へ転送され、レシーブ FIFO データレジスタ 2 のデータ数が受信トリガの指定データ数より大きくなり、SCSSR2 の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および受信ブレイク割り込み (BRI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、DR、ER、または RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。RDF フラグでは、受信データ数が受信トリガの指定数より小さくなるまで SCFRDR2 から受信データを読み出した後、RDF フラグの 1 を読み出し、0 にクリアします。

• ビット5: トランスミットイネーブル (TE)

SCIF のシリアル送信動作の開始を許可 / 禁止します。

ビット5	説明
TE	
0	送信動作を禁止 (初期値)
1	送信動作を許可*

【注】 * この状態で、SCFTDR2 に送信データを書き込むとシリアル送信を開始します。
なお、TE ビットを 1 にセットする前に必ず SCSMR2 および SCFCR2 の設定を行い、送信フォーマットを決定し、SCFTDR2 をリセットしてください。

- ビット4: レシーブイネーブル (RE)

SCIF のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 RE ビットを 0 にクリアしても DR、ER、BRK、FER、PER の各ビットは影響を受けず、状態を保持しますので注意してください。

*2 この状態でスタートビットを検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SCSMR2 の設定を行い、受信フォーマットを決定してください。

- ビット3、2: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット1、0: クロックイネーブル1、0 (CKE1、CKE0)

常に 00 に設定してください。

19.2.7 シリアルステータスレジスタ 2 (SCSSR2)

シリアルステータスレジスタ 2 (SCSSR2) は、16 ビットのレジスタです。上位 8 ビットはレシーブ FIFO データレジスタ 2 のデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示します。

SCSSR2 は常に CPU から読み出し / 書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。さらに、ビット 3 (FER)、およびビット 2 (PER) は読み出し専用であり、書き込むことはできません。

SCSSR2 は、リセットまたはスタンバイモードおよびモジュールスタンバイモードで H'0060 に初期化されます。

下位 8 ビット:	7	6	5	4	3	2	1	0
ビット名:	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	1	1	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

- ビット7: 受信エラー (ER)

フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット7	説明
ER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) リセットまたはスタンバイモード時 (2) ER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラーまたはパリティエラーが発生したことを表示* ² [セット条件] (1) 受信データの最後のストップビットが1回のデータ受信の終わりで1であるかどうかをチェックした後ストップビットが0の場合* ² (2) 受信時の受信データとパリティビットをあわせた1の数が、シリアルモードレジスタ2 (SCSMR2) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

【注】 *1 SCSCR2 の RE ビットを 0 にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR2 に転送され受信動作は継続します。SCFRDR2 から読み出したデータに受信エラーが含まれるかどうかは SCSSR2 の FER ビットと PER ビットで検出することができます。

*2 ストップモードでは、第1ストップビットのみチェックされ、第2ストップビットはチェックされません。

• ビット6: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に SCFTDR2 に有効なデータがなく、送信を終了したことを示します。

ビット6	説明
TEND	
0	送信中であることを表示 [クリア条件] SCFTDR2 ヘデータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット時またはスタンバイモード時、TE がシリアルコントロールレジスタ2 (SCSCR2) で 0 にクリアされるとき (2) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR2 に送信データがないとき

- ビット5: 送信FIFOデータエンプティ (TDFE)

トランスミット FIFO データレジスタ 2 (SCFTDR2) からトランスミットシフトレジスタ 2 (SCTSR2) にデータが転送され、SCFTDR2 のデータ数が FIFO コントロールレジスタ 2 (SCFCR2) の TTRG1 ビットと TTRG0 ビットで指定した送信トリガ数より少なくなり、SCFTDR2 への送信データの書き込みが許可されることを示します。

ビット5	説明
TDFE	
0	SCFTDR2 に書き込んだ送信データ数が指定送信トリガ数より大きいことを表示。 (初期値) [クリア条件] 指定送信トリガ数より大きいデータを SCFTDR2 に書き込み、ソフトウェアが TDFE=1 の状態を読み出した後、TDFE に 0 を書き込んだとき
1	SCFTDR2 に書き込んだ送信データ数が指定送信トリガ数より小さいこと*を表示。 [セット条件] (1) リセット時またはスタンバイモード時 (2) 送信の結果 SCFTDR2 に書き込んだ送信データ数が指定送信トリガ数より小さいとき

【注】 * SCFTDR2 は 16 バイトの FIFO レジスタであるため、TDFE=1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR2 のデータ数は SCFTDR2 の上位 8 ビットで示されます。

- ビット4: ブレークデテクション (BRK)

受信データにブレーク信号が検出されたことを示します。

ビット4	説明
BRK	
0	受信中のブレーク信号なし (初期値) [クリア条件] (1) リセットまたはスタンバイモード時 (2) BRK = 1 の状態を読み出した後、BRK フラグに 0 を書き込んだとき
1	ブレーク信号を受信* [セット条件] (1) フレームエラーを含むデータの受信時 (2) 後続の受信データにスペースが 0 のフレーミングエラーが発生したとき

【注】 * ブレークが検出されると、検出後 SCFRDR2 への受信データ (H'00) の転送は停止します。ブレークが終了し受信信号がマーク 1 になると、受信データの転送が再開します。ブレーク信号を検出したフレームの受信データは SCFRDR2 に転送されます。ただし、この後、受信信号がマーク 1 になりブレークが終了し次のデータが受信されるまで受信データは転送されません。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- ビット3: フレーミングエラー (FER)

レシーブ FIFO データレジスタ 2(SCFRDR2)から読み出したデータにフレーミングエラーが発生したことを示します。

ビット3	説明
FER	
0	SCFRDR2 から読み出したデータにフレーミングエラーが発生しなかったことを表示 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) SCFRDR2 から読み出したデータにフレーミングエラーがない場合
1	SCFRDR2 から読み出したデータにフレーミングエラーが発生したことを表示 [セット条件] SCFRDR2 から読み出したデータにフレーミングエラーが存在する場合

- ビット2: パリティエラー (PER)

レシーブ FIFO データレジスタ 2(SCFRDR2)から読み出したデータにパリティエラーが発生したことを示します。

ビット2	説明
PER	
0	SCFRDR2 から読み出したデータに受信パリティエラーが発生しなかったことを表示 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) SCFRDR2 から読み出したデータにパリティエラーがない場合
1	SCFRDR2 から読み出したデータに受信パリティエラーが発生したことを表示 [セット条件] SCFRDR2 から読み出したデータにパリティエラーが存在する場合

- ビット1: レシーブFIFOデータフル (RDF)

受信データがレシーブ FIFO データレジスタ 2 (SCFRDR2) に転送され、SCFRDR2 のデータ数が FIFO コントロールレジスタ 2 (SCFCR2) の RTRG1 ビットおよび RTRG0 ビットで指定した受信トリガ数より大きくなったことを示します。

ビット1	説明
RDF	
0	SCFRDR2 に書き込まれた送信データ数は、指定受信トリガ数より小さいことを表示 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) SCFRDR2 の受信データ数が指定受信トリガ数より小さくなるまで SCFRDR2 を読み出した後、ソフトウェアが RDF=1 の状態を読み出した後、RDF に 0 を書き込んだとき
1	SCFRDR2 内の受信データ数は、指定受信トリガ数を超過していることを表示 [セット条件] 指定受信トリガ数より大きい受信データ数が SCFRDR2 に格納されるとき*

【注】 * SCFTDR2 は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR2 のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR2 の受信データ数は SCFTDR2 の下位 8 ビットで示されます。

- ビット0: レシーブデータレディ (DR)

レシーブ FIFO データレジスタ 2 (SCFRDR2) が指定受信トリガ数より小さいデータを格納し、最後のストップビットから 15 ETU の時間経過後も次のデータが受信されないことを示します。

ビット0	説明
DR	
0	受信中であるか、受信の正常終了後 SCFRDR2 の受信データが SCFRDR2 内に格納されていることを表示 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) DR=1 の状態を読み出した後 DR に 0 を書き込んだとき
1	次の受信データが受信されていません [セット条件] 指定受信トリガ数未満のデータを SCFRDR2 が格納し、最後のストップビットから 15 ETU の時間経過*後も次のデータが受信されないとき

【注】 * 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU: Element Time Unit: 要素時間単位)

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

上位 8 ビット:	15	14	13	12	11	10	9	8
ビット名:	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

- ビット15～12：パリティエラー数 (PER3～PER0)

レシーブ FIFO データレジスタ 2 (SCFRDR2) に格納した受信データのパリティエラーを含むデータ数を示します。ビット 15～12 が示す値は SCFRDR2 のパリティエラー数を表します。

- ビット11～8：フレーミングエラー数 (FER3～FER0)

SCFRDR2 に格納した受信データのフレーミングエラーを含むデータ数を示します。ビット 11～8 が示す値は SCFRDR2 のフレーミングエラー数を表します。

19.2.8 ビットレートレジスタ 2 (SCBRR2)

ビットレートレジスタ 2 (SCBRR2) は、シリアルモードレジスタ 2 (SCSMR2) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR2 は、常に CPU による読み出し / 書き込みが可能です。

SCBRR2 は、リセット、モジュールスタンバイモードまたはスタンバイモードで H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、2 つのチャンネルにはそれぞれ異なる値を設定することができます。

ビット:	7	6	5	4	3	2	1	0
ビット名:								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCBRR2 の設定値は以下の計算式で求められます。

調歩同期式モード:

$$N = \frac{P\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: ビットレート (bit/s)

N: ボーレートジェネレータの SCBRR2 の設定値 (0 ≤ N ≤ 255)

Pφ: 周辺モジュールの動作周波数 (MHz)

n: ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は表 19.3 を参照してください。)

表 19.3 SCSMR2 の設定値

n	クロックソース	クロック SCSMR2 の設定値	
		CKS1	CKS0
0	Pφ	0	0
1	Pφ/4	0	1
2	Pφ/16	1	0
3	Pφ/64	1	1

【注】 ビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{(N+1) \times 64 \times 2^{2n-1} \times B} - 1 \right\} \times 100$$

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 19.4 に SCBRR2 の設定例を示します。

表 19.4 ビットレートと SCBRR2 の設定

ビットレート (bits/s)	P ϕ (MHz)								
	2			2.097152			2.4576		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26
150	1	103	0.16	1	108	0.21	1	127	0.00
300	0	207	0.16	0	217	0.21	0	255	0.00
600	0	103	0.16	0	108	0.21	0	127	0.00
1200	0	51	0.16	0	54	-0.70	0	63	0.00
2400	0	25	0.16	0	26	1.14	0	31	0.00
4800	0	12	0.16	0	13	-2.48	0	15	0.00
9600	0	6	-6.99	0	6	-2.48	0	7	0.00
19200	0	2	8.51	0	2	13.78	0	3	0.00
31250	0	1	0.00	0	1	4.86	0	1	22.88
38400	0	1	-18.62	0	0	-14.67	0	1	0.00

ビットレート (bits/s)	P ϕ (MHz)								
	3			3.6864			4		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	212	0.03	2	64	0.70	2	70	0.03
150	1	155	0.16	1	191	0.00	1	207	0.16
300	1	77	0.16	1	95	0.00	1	103	0.16
600	0	155	0.16	0	191	0.00	0	207	0.16
1200	0	77	0.16	0	95	0.00	0	103	0.16
2400	0	38	0.16	0	47	0.00	0	51	0.16
4800	0	19	-2.34	0	23	0.00	0	25	0.16
9600	0	9	-2.34	0	11	0.00	0	12	0.16
19200	0	4	-2.34	0	5	0.00	0	6	-6.99
31250	0	2	0.00	0	3	-7.84	0	3	0.00
38400	—	—	—	0	2	0.00	0	2	8.51

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビットレート (bits/s)	P ϕ (MHz)								
	4.9152			5			6		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	0.31	2	88	-0.25	2	106	-0.44
150	1	255	0.00	2	64	0.16	2	77	0.16
300	1	127	0.00	1	129	0.16	1	155	0.16
600	0	255	0.00	1	64	0.16	1	77	0.16
1200	0	127	0.00	0	129	0.16	0	155	0.16
2400	0	63	0.00	0	64	0.16	0	77	0.16
4800	0	31	0.00	0	32	-1.36	0	38	0.16
9600	0	15	0.00	0	15	1.73	0	19	-2.34
19200	0	7	0.00	0	7	1.73	0	9	-2.34
31250	0	4	-1.70	0	4	0.00	0	5	0.00
38400	0	3	0.00	0	3	1.73	0	4	-2.34

ビットレート (bits/s)	P ϕ (MHz)								
	6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	79	0.00	2	95	0.00	2	103	0.16
300	1	159	0.00	1	191	0.00	1	207	0.16
600	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	0.00	0	5	0.00	0	6	-6.99

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビットレート (bits/s)	P ϕ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	-0.26	2	177	-0.25	1	212	0.03	2	217	0.08
150	1	127	0.00	2	129	0.16	1	155	0.16	2	159	0.00
300	0	255	0.00	2	64	0.16	1	77	0.16	2	79	0.00
600	0	127	0.00	1	129	0.16	0	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	0	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	38	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	19	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	9	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	4	0.16	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	2	0.00	0	11	2.40
38400	0	1	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビットレート (bits/s)	P ϕ (MHz)											
	14.7456			16			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	64	0.70	3	70	0.03	3	86	0.31	3	88	-0.25
150	2	191	0.00	2	207	0.16	2	255	0.00	2	64	0.16
300	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
600	1	191	0.00	1	207	0.16	1	255	0.00	1	64	0.16
1200	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
2400	0	191	0.00	0	207	0.16	0	255	0.00	0	64	0.16
4800	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
9600	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
19200	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
31250	0	14	-1.70	0	15	0.00	0	19	-1.70	0	19	0.00
38400	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
115200	0	3	0.00	0	3	8.51	0	4	6.67	0	4	8.51
500000	0	0	-7.84	0	0	0.00	0	0	22.9	0	0	25.0

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビットレート (bits/s)	P ϕ (MHz)											
	24			24.576			28.7			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	106	-0.44	3	108	0.08	3	126	0.31	3	132	0.13
150	3	77	0.16	3	79	0.00	3	92	0.46	3	97	-0.35
300	2	155	0.16	2	159	0.00	2	186	-0.08	2	194	0.16
600	2	77	0.16	2	79	0.00	2	92	0.46	2	97	-0.35
1200	1	155	0.16	1	159	0.00	1	186	-0.08	1	194	0.16
2400	1	77	0.16	1	79	0.00	1	92	0.46	1	97	-0.35
4800	0	155	0.16	0	159	0.00	0	186	-0.08	0	194	-1.36
9600	0	77	0.16	0	79	0.00	0	92	0.46	0	97	-0.35
19200	0	38	0.16	0	39	0.00	0	46	-0.61	0	48	-0.35
31250	0	23	0.00	0	24	-1.70	0	28	-1.03	0	29	0.00
38400	0	19	-2.34	0	19	0.00	0	22	1.55	0	23	1.73
115200	0	6	-6.99	0	6	-4.76	0	7	-2.68	0	7	1.73
500000	0	1	-25.0	0	1	-23.2	0	1	-10.3	0	1	-6.25

表 19.5 にボーレートジェネレータを使用する場合の調歩同期モードの各周波数における最大ビットレートを示します。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 19.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

P ϕ (MHz)	最大ビットレート (bits/s)	設定	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.6608	614400	0	0
20	625000	0	0
24	750000	0	0
24.576	768000	0	0
28.7	896875	0	0
30	937500	0	0

19.2.9 FIFO コントロールレジスタ 2 (SCFCR2)

ビット:	7	6	5	4	3	2	1	0
ビット名:	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FIFO コントロールレジスタ 2 (SCFCR2) は、トランスミット FIFO データレジスタ 2 およびレシーブ FIFO データレジスタ 2 のデータ数のリセット、トリガデータ数の設定を行い、ループバックテストのイネーブルビットを備えています。SCFCR2 は、常に CPU による読み出し / 書き込みが可能です。SCFCR2 は、リセット、モジュールスタンバイ機能、またはスタンバイモードで H'00 に初期化されます。

- ビット 7、6: レシーブ FIFO データ数のトリガ (RTRG1、RTRG0)

シリアルステータスレジスタ 2 (SCSSR2) のレシーブデータフル (RDF) フラグを設定する基準となる受信データ数 (指定受信トリガ数) をセットします。レシーブ FIFO データレジスタ 2 (SCFRDR2) に格納された受信データ数が下表の設定トリガ数を上回ると RDF フラグは 1 にセットされます。

ビット 7	ビット 6	受信トリガ数
RTRG1	RTRG0	
0	0	1 (初期値)
0	1	4
1	0	8
1	1	14

- ビット 5、4: 送信 FIFO データ数のトリガ (TTRG1、TTRG0)

シリアルステータスレジスタ 2 (SCSSR2) の送信 FIFO データレジスタエンpty (TDFE) フラグを設定する基準となる送信データ数 (指定送信トリガ数) を設定します。トランスミット FIFO データレジスタ 2 (SCFTDR2) に格納された送信データ数が下表の設定トリガ数を下回ると TDFE フラグは 1 にセットされます。

ビット 5	ビット 4	送信トリガ数
TTRG1	TTRG0	
0	0	8 (8)*
0	1	4 (12)
1	0	2 (14)
1	1	1 (15)

【注】 * 初期値。カッコ内の数値は TDFE フラグが 1 にセットされるとき SCFTDR2 レジスタの空きバイト数を意味します。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- ビット3: モデムコントロールイネーブル (MCE)
モデムコントロール信号 $\overline{\text{CTS2}}$ 、 $\overline{\text{RTS2}}$ を許可 / 禁止します。

ビット3	説明
MCE	
0	モデム信号を禁止* (初期値)
1	モデム信号を許可

【注】 * 入力値に関係なく $\overline{\text{CTS2}}$ はアクティブ 0 に固定され、 $\overline{\text{RTS2}}$ も 0 に固定されます。

- ビット2: トランスミットFIFOデータレジスタリセット (TFRST)
トランスミット FIFO データレジスタ 2 の送信データを無効にし、データを空の状態にリセットします。

ビット2	説明
TFRST	
0	リセット動作を禁止* (初期値)
1	リセット動作を許可

【注】 * リセットはリセットまたはスタンバイモードで実行されます。

- ビット1: レシーブFIFOデータレジスタリセット (RFRST)
レシーブ FIFO データレジスタ 2 の受信データを無効にし、データを空の状態にリセットします。

ビット1	説明
RFRST	
0	リセット動作を禁止* (初期値)
1	リセット動作を許可

【注】 * リセットはリセットまたはスタンバイモードで実行されます。

- ビット0: ループバックテスト (LOOP)
送信出力端子 (TxD2) と受信入力端子 (RxD2) を内部で接続しループバックテストを許可します。

ビット0	説明
LOOP	
0	ループバックテストを禁止 (初期値)
1	ループバックテストを許可

19.2.10 FIFO データ数レジスタ 2 (SCFDR2)

SCFDR2 は、トランスミット FIFO データレジスタ 2 (SCFTDR2) とレシーブ FIFO データレジスタ 2 (SCFRDR2) に格納されたデータ数を示す 16 ビットのレジスタです。

SCFDR2 は、上位 8 ビットで SCFTDR2 の送信データ数を示し、下位 8 ビットで SCFRDR2 の受信データ数を示します。SCFDR2 は、常に CPU からの読み出しが可能です。

上位 8 ビット:	15	14	13	12	11	10	9	8
ビット名:	-	-	-	T4	T3	T2	T1	T0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

SCFDR2 上位 8 ビットは SCFTDR2 に格納された未送信データ数を示します。H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR2 に格納されていることを意味します。

下位 8 ビット:	7	6	5	4	3	2	1	0
ビット名:	-	-	-	R4	R3	R2	R1	R0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

SCFDR2 下位 8 ビットは SCFRDR2 に格納された受信データ数を示します。H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR2 に格納されていることを意味します。

19.3 動作説明

19.3.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードでシリアル通信ができます。調歩同期式モードの動作については「17.3.2 調歩同期式モード時の動作」を参照してください。

SCIF は、送信、受信いずれに対しても 16 バイト FIFO バッファを用意し、CPU のオーバーヘッドを小さくするとともに高速の連続通信を可能にします。さらにモデムコントロール信号として $\overline{\text{RTS2}}$ 信号、 $\overline{\text{CTS2}}$ 信号を用意しています。送信フォーマットの選択は、表 19.6 に示すようにシリアルモードレジスタ 2 (SCSMR2) で行います。

SCIF のクロックソースは、表 19.7 に示すように、シリアルコントロールレジスタ 2 (SCSCR2) の CKE1、CKE0 の組み合わせで決まります。

- データ長： 7ビット/8ビットから選択可能
- パリティの付加、および1ビット/2ビットのストップビットの付加を選択可能。これらの組み合わせにより送信/受信フォーマットおよびキャラクタ長を決定。
- 受信時にフレーミングエラー (FER)、パリティエラー (PER)、レシーブFIFOデータフル、受信データレディ、およびブレークの検出が可能。
- 送信時に送信FIFOデータエンプティの検出が可能。
- トランスミットFIFOレジスタおよびレシーブFIFOレジスタの格納データ数を表示。
- SCIFのクロックソース： SCIFは内蔵ポーレートジェネレータのクロックで動作し、ビットレートの16倍の周波数のクロックを出力することが可能。

表 19.6 シリアルモードレジスタの設定値と SCIF 送信/受信フォーマット

モード	SCSMR2 の設定値					SCIF 送信/受信フォーマット ストップビット長	
	ビット 6 CHR	ビット 5 PE	ビット 3 STOP	データ長	パリティ ビット		
調歩同期式	0	0	0	8 ビット	なし	1 ビット	
			1			2 ビット	
		1	0		0	あり	1 ビット
					1		2 ビット
	1	0	0	7 ビット	なし	1 ビット	
			1			2 ビット	
		1	0		0	あり	1 ビット
					1		2 ビット

表 19.7 SCSCR2、SCSMR2 の設定値と SCIF のクロックソースの選択

モード	SCSCR2 の設定値		SCIF の送信 / 受信クロック	
	ビット 1 CKE1	ビット 0 CKE0	クロック ソース	SCK2 端子の機能
調歩同期式	0	0	内部	SCIF は、SCK2 端子を使用しない
		1		設定禁止
	1	0	外部	設定禁止
		1		設定禁止

19.3.2 シリアル動作

(1) 送信 / 受信フォーマット

選択可能な 8 種類の送信 / 受信フォーマットを表 19.8 に示します。送信 / 受信フォーマットは、シリアルモードレジスタ (SCSMR2) の設定により選択できます。

表 19.8 シリアル送信 / 受信フォーマット

SCSMR2 の設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ							STOP				
		1	START	8ビットデータ							STOP	STOP			
	1	0	START	8ビットデータ							P	STOP			
		1	START	8ビットデータ							P	STOP	STOP		
1	0	0	START	7ビットデータ						STOP					
		1	START	7ビットデータ						STOP	STOP				
	1	0	START	7ビットデータ						P	STOP				
		1	START	7ビットデータ						P	STOP	STOP			

【注】 START： スタートビット

STOP： ストップビット

P： パリティビット

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

(2) データの送信 / 受信動作 (SCIF 初期化)

データの送信 / 受信前には、まずシリアルコントロールレジスタ 2 (SCSCR2) の TE ビットおよび RE ビットを 0 にクリアした後、以下の順に SCIF を初期化してください。

通信フォーマットの変更の場合は必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアするとトランスミットシフトレジスタ 2 (SCTSR2) は初期化されます。しかし、TE ビットと RE ビットを 0 にクリアしてもシリアルステータスレジスタ 2 (SCSSR2)、トランスミット FIFO データレジスタ 2 (SCFTDR2)、レシーブ FIFO データレジスタ 2 (SCFRDR2) は初期化されず、それらの内容は保持されます。

TE ビットは、すべての送信データの送信が完了し SCSSR2 の TEND フラグがセットされてから 0 にクリアしてください。TE ビットは送信中に 0 にクリアできませんが、送信データはビットを 0 にクリアした後ハイインピーダンス状態になります。

SCFCR2 の TFRST ビットを 1 にセットし、TE を再びセットする前に SCFTDR2 をリセットして送信を開始します。

外部クロックを使用している場合には、SCIF 動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。

図 19.4 に SCIF の初期化フローチャートの例を示します。SCIF の初期化手順は以下のとおりです。

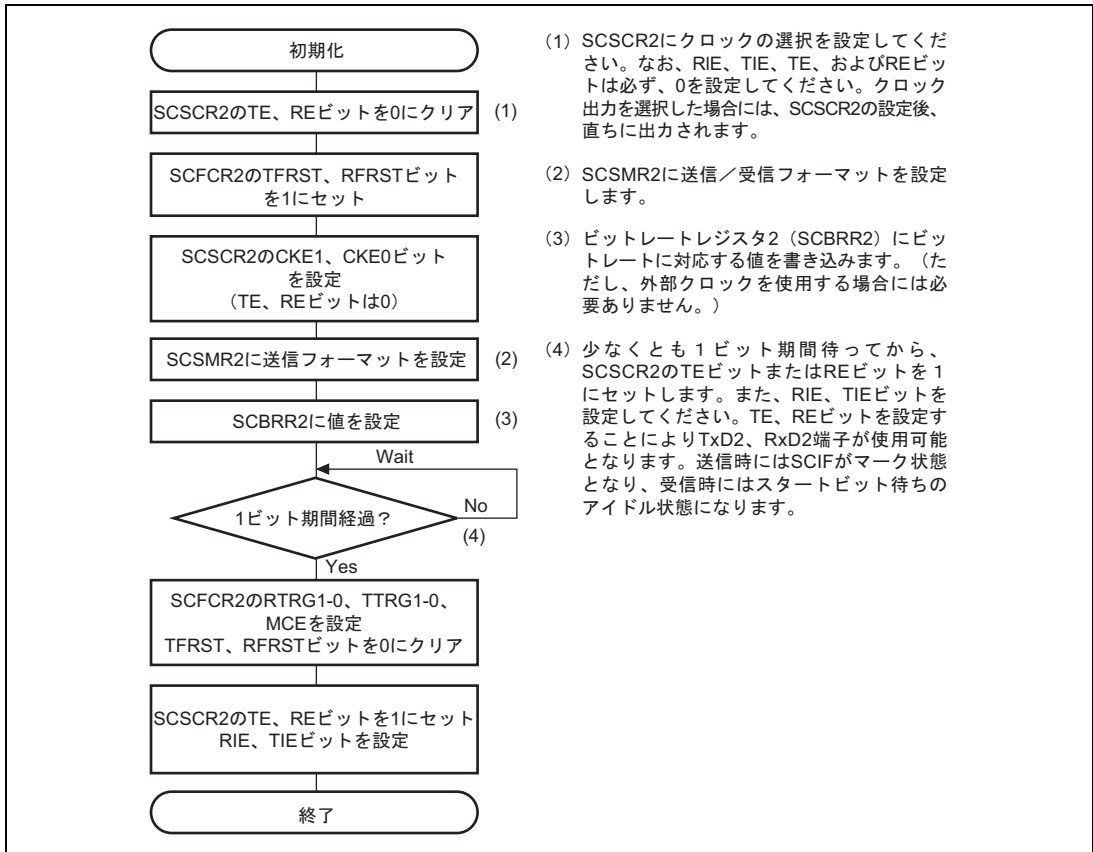


図 19.4 SCIF の初期化フローチャートの例

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

• シリアルデータ送信

図 19.5 にシリアル送信のフローチャートの例を示します。

SCIF の送信を可能にしたあと、シリアルデータ送信は以下の手順に従って行ってください。

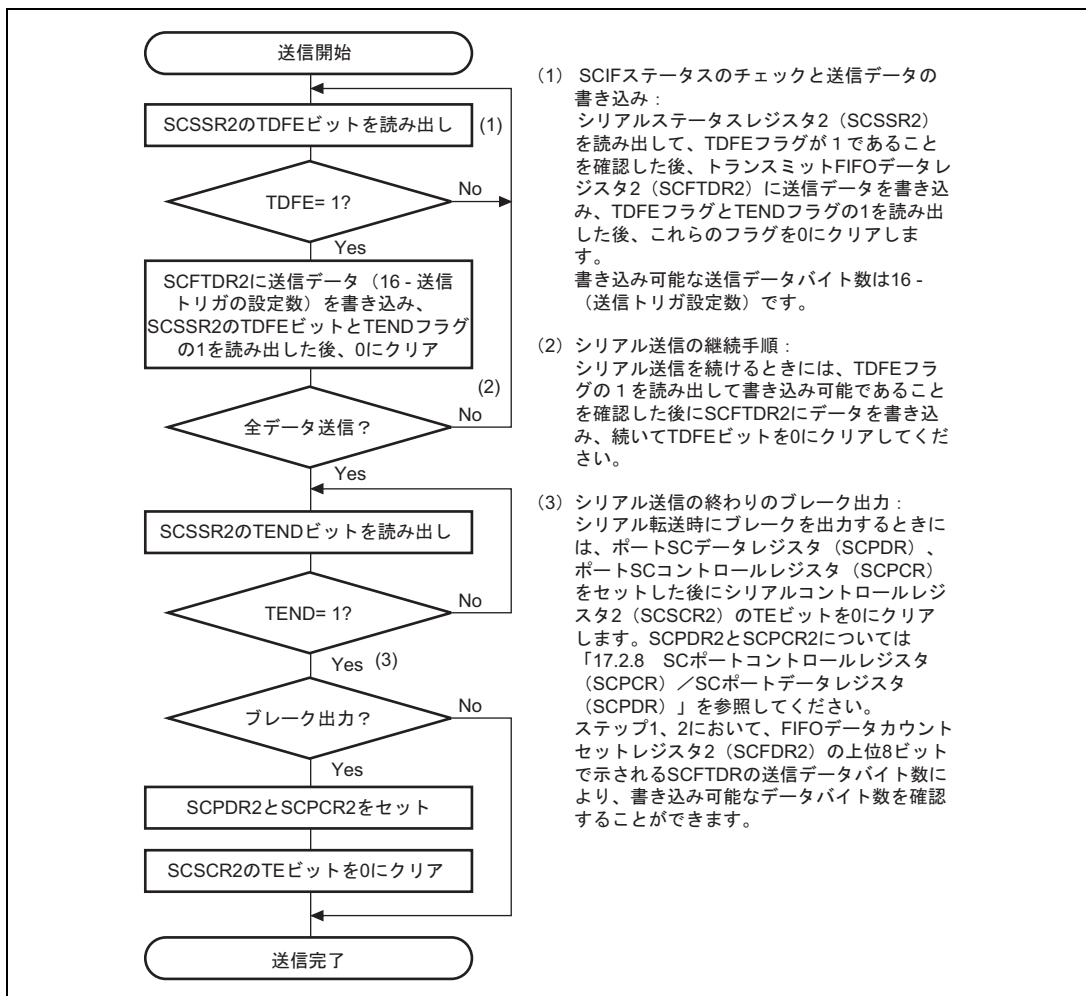


図 19.5 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. トランスミットFIFOデータレジスタ2 (SCFTDR2) にデータが書き込まれると、SCIFはSCFTDR2からトランスミットシフトレジスタ2 (SCTSR2) にデータを転送します。送信データをSCFTDR2に書き込む前に、シリアルステータスレジスタ2 (SCSSR2) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 -送信トリガ設定数) です。
2. SCFTDR2からSCTSR2へデータを転送し、送信を開始すると、SCFTDR2の送信データがなくなるまで連続送信動作を実行します。SCFTDR2の送信データバイト数がFIFOコントロールレジスタ2 (SCFCR2) に設定された送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ2 (SCSCR2) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順にTxD2端子から送り出されます。

- スタートビット：1ビットの0が出力されます。
 - 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます、
 - パリティビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます。(なお、パリティビットを出力しないフォーマットも選択できます。)
 - ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDR2送信データをチェックします。データが存在すればSCFTDR2～SCTSR2にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

データが存在しない場合、SCSSR2のTENDフラグに1をセットし、ストップビットを送り出した後、1を連続して出力するマーク状態になります。

送信時の動作例を図 19.6 に示します。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

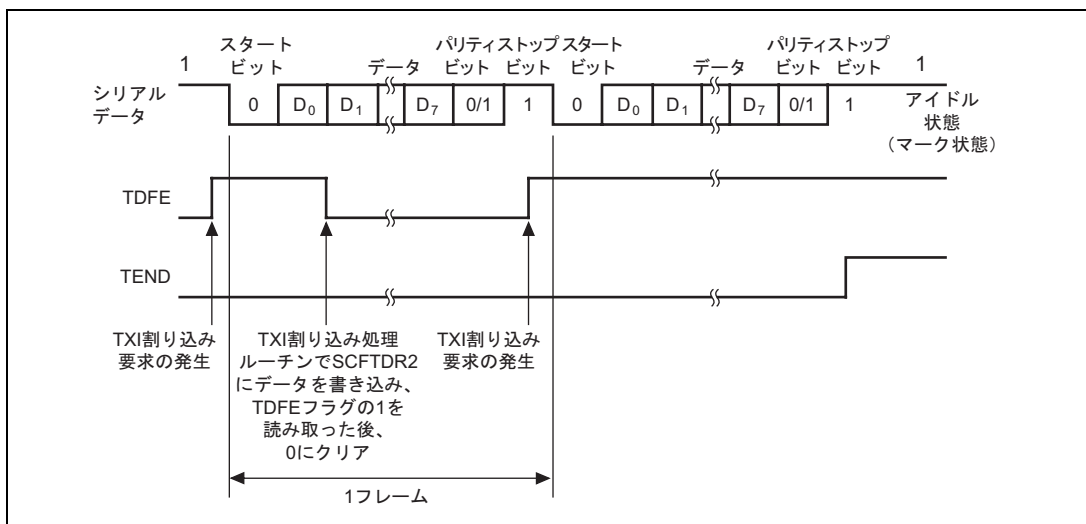


図 19.6 送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

4. モデムコントロールを許可した場合、 $\overline{\text{CTS2}}$ 入力値に応じて送信を停止、再開することができます。 $\overline{\text{CTS2}}$ が1にセットされると、送信中である場合1フレームの送信後マーク状態になります。 $\overline{\text{CTS2}}$ が0にセットされると、次の送信データがスタートビットを先頭に出力されます。

図19.7にモデムコントロールを使用した動作例を示します。

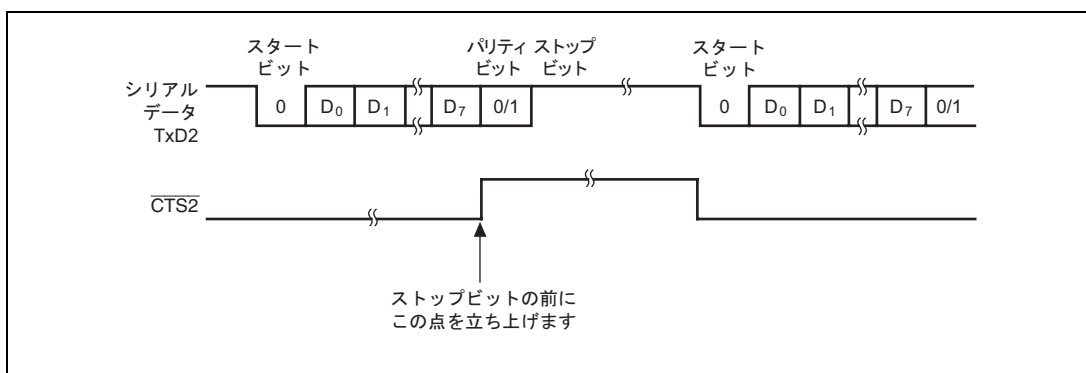


図 19.7 モデムコントロールを使用した動作例 ($\overline{\text{CTS2}}$)

- シリアルデータ受信

図 19.8、図 19.9 にシリアル受信フローチャートの例を示します。

SCIF の受信を可能にした後、シリアルデータ受信は以下の手順に従って行ってください。

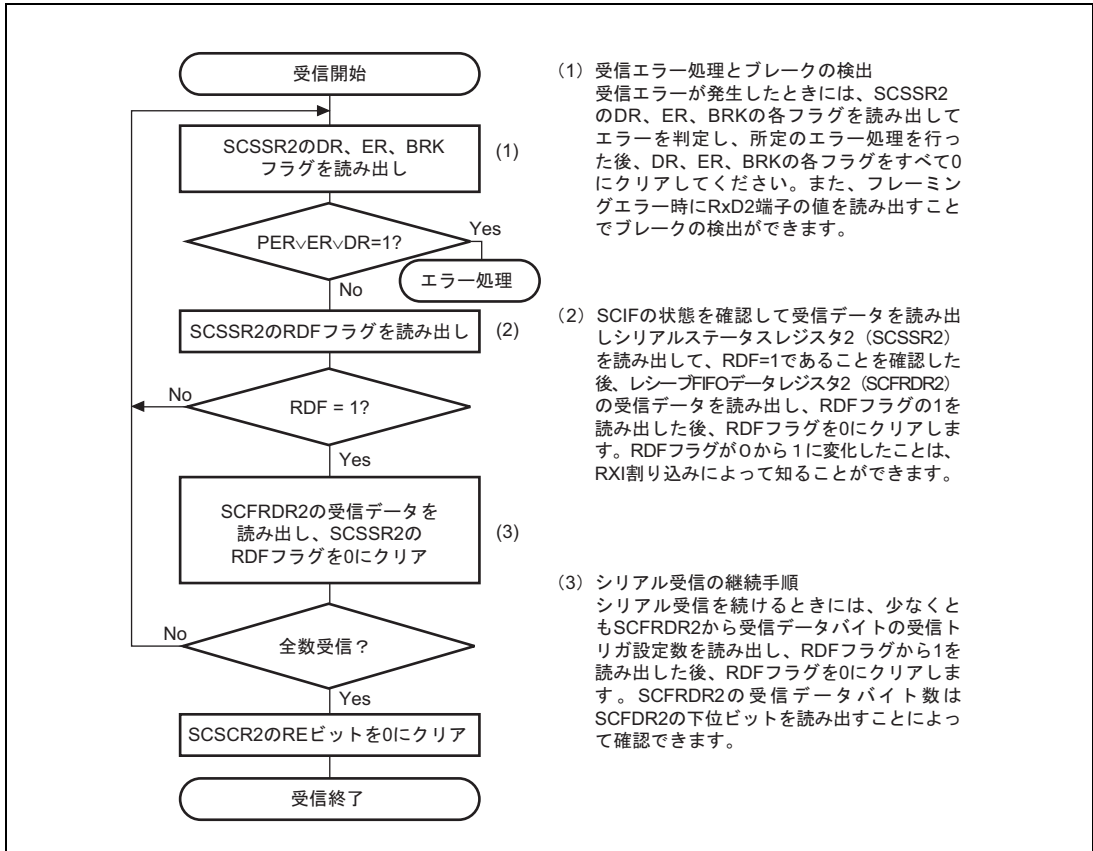


図 19.8 シリアル受信のフローチャートの例 (1)

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

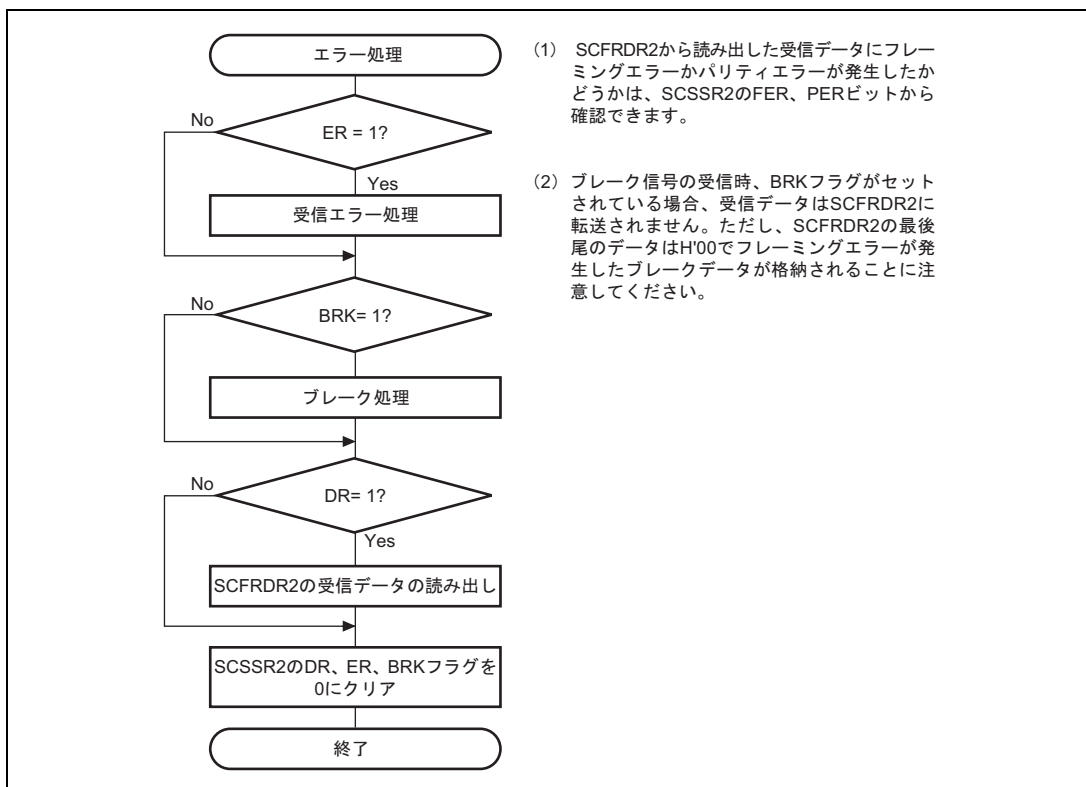


図 19.9 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCSSR2のLSBからMSBの順に格納します。
3. パリティビットおよび、ストップビットを受信します。

受信後、SCIFは以下のチェックを行います。

- ストップビットチェック
ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
 - 受信データをレシブシフトレジスタ2 (SCSSR2) からSCFRDR2に転送できる状態であるかをチェックします。
 - ブレークチェック
ブレーク状態がセットされていないことを示すBRKフラグが0であるかどうかをチェックします。
- 以上のチェックがすべてパスしたとき、SCFRDR2に受信データが格納されます。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

4. RDFまたはDRフラグが1になったときのSCSCR2のRIEビットが1にセットされているとレシーブFIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが1になったとき、SCSCR2のRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

BRKフラグが1になったとき、SCSCR2のRIEビットが1にセットされているとブ레이크受信割り込み (BRI) 要求が発生します。

図 19.10 に受信動作例を示します。

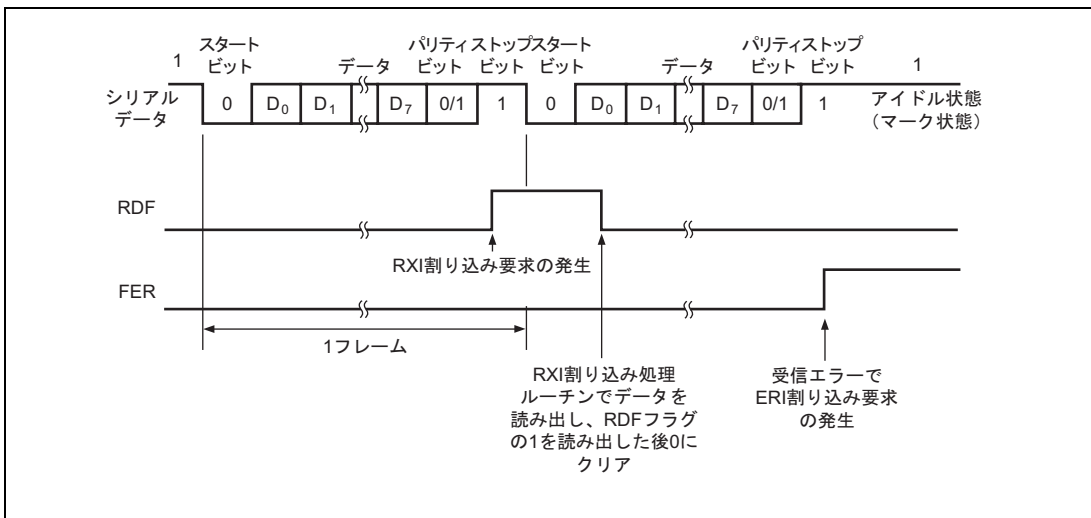


図 19.10 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

5. モデムコントロールが有効であると、SCFRDR2が空のとき $\overline{\text{RTS2}}$ 信号が出力されます。 $\overline{\text{RTS2}}$ が0の場合受信が可能です。 $\overline{\text{RTS2}}$ が1の場合はSCFRDR2がフルで受信が不可能であることを示します。

図19.11にモデムコントロール使用時の動作例を示します。

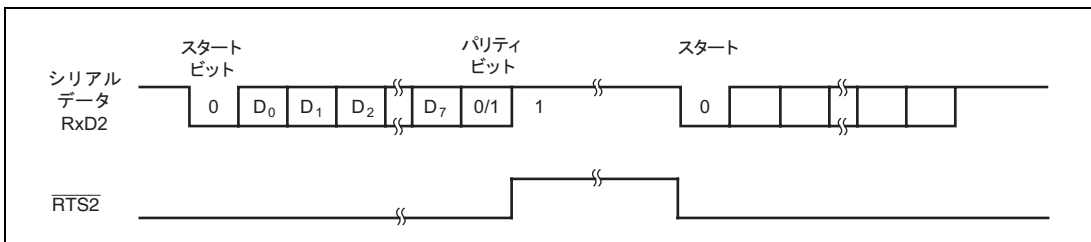


図 19.11 モデムコントロール使用時の動作例 ($\overline{\text{RTS2}}$)

19.4 SCIF の割り込み

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求、の 4 種類の割り込み要因を持っています。

表 19.9 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSSR2 の TIE、RIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ 2 (SCSSR2) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、DMAC を起動してデータ転送を行うことができます。TDFE フラグは DMAC によりトランスミット FIFO データレジスタ 2 (SCFTDR2) に送信トリガ数を超えるデータを書き込み、TDFE=1 を読み出した後、0 を書き込んだとき、クリアされます。

SCSSR2 の RDF フラグが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC を起動して、データ転送を行うことができます。RDF フラグは DMAC によるレシーブ FIFO データレジスタ 2 (SCFRDR2) の受信データを受信トリガ数より少なくなるまで読み出し、RDF=1 を読み出した後、0 を書き込んだとき、クリアされます。

また、SCSSR2 の ER フラグが 1 にセットされると、ERI 割り込み要求が発生します。

SCSSR2 の BRK フラグが 1 にセットされると、BRI 割り込み要求が発生します。

TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは SCFRDR2 に受信データがあることを示しています。

表 19.9 SCIF 割り込み要因

割り込み要因	内容	DMAC の起動	リセット解放 優先順位
ERI	受信エラーフラグ (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信データ FIFO フルフラグ (RDF) またはデータレディフラグ (DR) による割り込み	可 (RDF のみ)	
BRI	ブ레이크フラグ (BRK) による割り込み	不可	
TXI	送信 FIFO データエンプティフラグ (TDFE) による割り込み	可	

優先順位および非 SCIF 割り込みとの関係については「第 4 章 例外処理」を参照してください。

19.5 使用上の注意

SCIF を使用する際は、以下のことに注意してください。

(1) SCFTDR2 への書き込みと TDFE フラグの関係について

シリアルステータスレジスタ 2 (SCSSR2) の TDFE フラグは、トランスミット FIFO データレジスタ 2 (SCFTDR2) に書き込まれた送信データバイト数が FIFO コントロールレジスタ 2 (SCFCR2) の TTRG1 ビット、TTRG0 ビットで設定した送信トリガ数より小さくなるとセットされます。TDFE がセットされた後、送信データは SCFTDR2 の空バイト数まで書き込むことができ、効率的な連続送信が可能です。

ただし、SCFTDR2 に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグを 0 にクリアしても再び 1 にセットされます。

したがって、指定送信トリガ数を上回るデータを SCFTDR2 に書き込んでから TDFE フラグを 0 にしてください。

SCFTDR2 の送信データバイト数は FIFO データカウントセットレジスタ 2 (SCFDR2) の上位 8 ビットから知ることができます。

(2) SCFRDR2 の読み出しと RDF フラグ

シリアルステータスレジスタ 2 (SCSSR2) の RDF フラグは、レシーブ FIFO データレジスタ 2 (SCFRDR2) の受信データバイト数が FIFO コントロールレジスタ 2 (SCFCR2) の RTRG1、RTRG0 ビットで設定した受信トリガ数以上になるとセットされます。RDF をセットした後、トリガ数に相当する受信データは SCFRDR2 から読み出すことができ、効率的な連続受信が可能です。

ただし、SCFRDR2 のデータバイト数がトリガ数を上回る場合、RDF フラグは、0 にクリアされた場合は再び 1 にセットされます。したがって、RDF はすべての受信データの読み出しが完了後 1 を読み出した後 0 にクリアしてください。

SCFRDR2 の受信データバイト数は、FIFO データカウントセットレジスタ 2 (SCFDR2) の下位 8 ビットから知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD2 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD2 端子からの入力ですべて 0 になりますので FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。SCFRDR2 への受信データの転送がブレーク状態で停止しても、SCIF は受信動作を続けますので、BRK フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD2 端子の入出力条件とレベルは、SC ポートデータレジスタ 2 (SCPDR2) の SCP4DT ビットと SC ポートコントロールレジスタ 2 (SCPCR2) の SCP4MD0、SCP4MD1 ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信時にブレーク信号を送り出すためには、SCP4DT ビットを 0 にクリア (ローレベルを指定) した後 SCP4MD0、SCP4MD1 ビットをそれぞれ 1 と 0 にセットし、最後に TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され TxD2 端子から 0 が出力されます。

(5) TEND フラグと TE ビットの処理

最後尾データのストップビットの送信時、TEND フラグは 1 にセットされます。したがって、TEND フラグの設定を確認した直後に TE ビットを 0 にクリアすると、ストップビットは送信処理中となり正常に送信されません。したがって、TEND フラグの設定の確認後少なくとも 0.5 シリアルクロックサイクル (または 2 ストップビットを使用する場合は 1.5 サイクル) の間 0 にクリアしないでください。

(6) 受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロ

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ック目の立ち上がりエッジで内部に取り込みます。このタイミングを図 19.12 に示します。

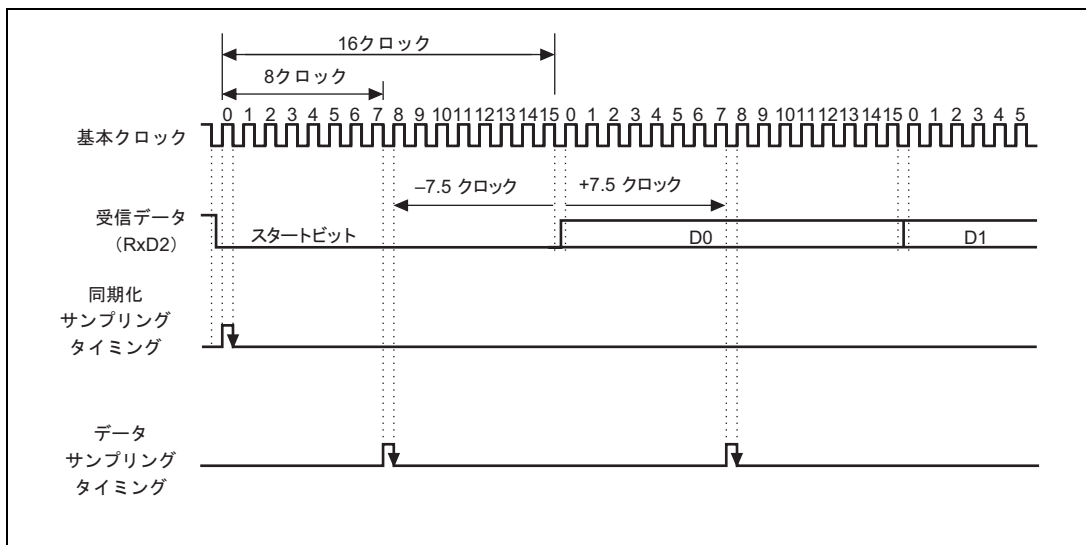


図 19.12 調歩同期式モードでの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \dots (1)$$

M: 受信マージン (%)

N: ビットレートに対するクロック周波数の比 (N=16)

D: クロックデューティ (D: 0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\%$$

$$= 46.875\% \dots \dots (2)$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

20. シリアル IO (SIOF)

20.1 概要

SIOF はオーディオ CODEC と直結可能な、クロック同期式シリアル I/O モジュールです。

20.1.1 特長

SIOF の特長を以下に記します。

- シリアル転送
 - ・ FIFO容量32ビット×16段 (送受信独立)
 - ・ 8ビット/16ビット/16ビットステレオ音声入出力に対応
 - ・ データの送受信はMSBが先頭とLSB先頭に対応
 - ・ サンプリングレート最大48kHzに対応
 - ・ 同期方法はフレーム同期パルス/左右ch.切り替えに対応する
 - ・ CODEC制御データインタフェースに対応
 - ・ 各社のリニア/オーディオ/A-Law、 μ -Law CODECチップに接続可能
 - ・ マスタ/スレーブ両モードに対応
- シリアルクロック
 - ・ クロックソースとして外部端子入力と周辺クロック (P ϕ) からの選択が可能
- 割り込み

以下に記す4種類の割り込みを独立して要求することが可能

 - ・ 送信割り込み
 - ・ 受信割り込み
 - ・ エラー割り込み
 - ・ 制御割り込み
- DMA転送
 - ・ 送受信の転送要求による、DMA転送を用いた送受信動作に対応

20. シリアル IO (SIOF)

20.1.2 ブロック図

SIOF のブロック図を図 20.1 に示します。

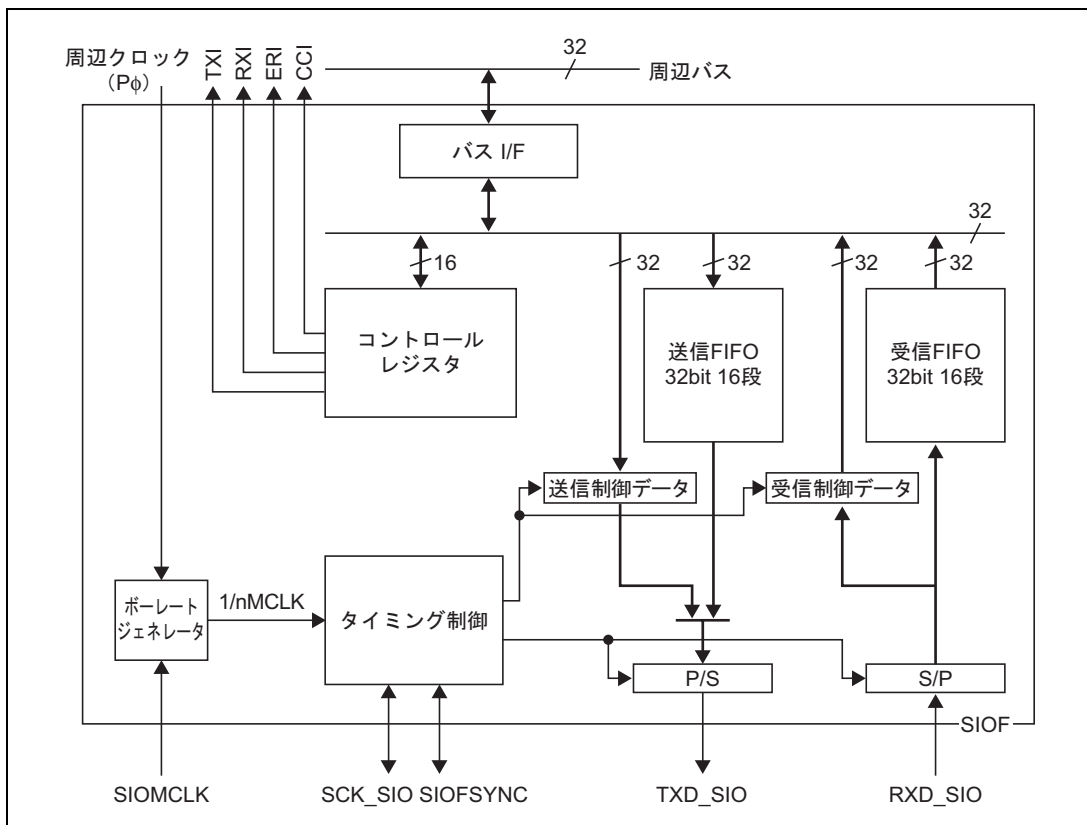


図 20.1 SIOF のブロック図

20.1.3 端子構成

SIOF の端子構成を表 20.1 に示します。

表 20.1 SIOF 端子リスト

名 称	略 称	入出力	機 能
クロック入力端子	SIOMCLK	入力	マスタクロック入力
通信クロック端子	SCK_SIO	入出力	シリアルクロック(送受信共通)
フレームシンク端子	SIOFSYNC	入出力	フレーム同期信号(送受信共通)
送信データ端子	TXD_SIO	出力	送信データ
受信データ端子	RXD_SIO	入力	受信データ

20.1.4 レジスタ構成

表 20.2 に SIOF 内部のレジスタを示します。

表 20.2 SIOF レジスタ構成

名 称	略 称	R/W	初期値	アドレス	アクセス サイズ
シリアルモードレジスタ	SIMDR	R/W	H'0000	H'040000C0 (H'A40000C0) *	16
クロックセレクトレジスタ	SISCR	R/W	H'0000	H'040000C2 (H'A40000C2) *	16
送信データアサインレジスタ	SITDAR	R/W	H'0000	H'040000C4 (H'A40000C4) *	16
受信データアサインレジスタ	SIRDAR	R/W	H'0000	H'040000C6 (H'A40000C6) *	16
制御データアサインレジスタ	SICDAR	R/W	H'0000	H'040000C8 (H'A40000C8) *	16
シリアルコントロールレジスタ	SICTR	R/W	H'0000	H'040000CC (H'A40000CC) *	16
FIFO コントロールレジスタ	SIFCTR	R/W	H'1000	H'040000D0 (H'A40000D0) *	16
ステータスレジスタ	SISTR	R/W	H'0000	H'040000D4 (H'A40000D4) *	16
割り込み許可レジスタ	SIIER	R/W	H'0000	H'040000D6 (H'A40000D6) *	16
トランスミットデータレジスタ	SITDR	W	H'0000	H'040000E0 (H'A40000E0) *	32
レシーブデータレジスタ	SIRDR	R	H'0000	H'040000E4 (H'A40000E4) *	32
トランスミットコントロールレジスタ	SITCR	R/W	H'0000	H'040000E8 (H'A40000E8) *	32
レシーブコントロールレジスタ	SIRCR	R	H'0000	H'040000EC (H'A40000EC) *	32

【注】 * MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。
制御データについては、「20.3.5 制御データインタフェース」を参照してください。

20.2 レジスタの説明

20.2.1 シリアルモードレジスタ (SIMDR)

シリアルモードレジスタは、SIOF の動作モードを設定するレジスタです。

シリアルモードレジスタは、パワーオンリセット、マニュアルリセット時に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRMD1	TRMD0	—	REDG	FL3	FL2	FL1	FL0	TXDIZ	LSBF	RCIM	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R*	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R*	R*	R*	R*	R*

【注】 * 書き込む値は常に0にセットしてください。0以外の値をセットしたときの動作は保証しません。

- ビット13、4~0: 予約ビット
- ビット15、14: 転送モード (TRMD1、TRMD0)

ビット 15	ビット 14	説明
TRMD1	TRMD0	
0	0	スレーブモード 1 (初期値)
	1	スレーブモード 2
1	0	マスターモード 1
	1	マスターモード 2

【注】 各モードの動作については、「20.3.3 転送データフォーマット」を参照してください。

- ビット12: 受信データサンプリングエッジ (REDG)

TXD_SIO の送出タイミングは、RXD_SIO のサンプリングタイミングの反対のエッジとなります (図 20.4 参照)。

ビット 12	説明
REDG	
0	RXD_SIO を SCK_SIO の立ち下がりエッジでサンプリングする。 (初期値)
1	RXD_SIO を SCK_SIO の立ち上がりエッジでサンプリングする。

【注】 マスターモード 1、マスターモード 2 の場合に有効

- ビット11～8：フレーム長（FL3～FL0）

ビット11	ビット10	ビット9	ビット8	説 明
FL3	FL2	FL1	FL0	
0	0	0/1*	0/1*	スロット長は8ビット、フレーム長は8ビット (初期値)
0	1	0	0	スロット長は8ビット、フレーム長は16ビット
0	1	0	1	スロット長は8ビット、フレーム長は32ビット
0	1	1	0	スロット長は8ビット、フレーム長は64ビット
0	1	1	1	スロット長は8ビット、フレーム長は128ビット
1	0	0/1*	0/1*	スロット長は16ビット、フレーム長は16ビット
1	1	0	0	スロット長は16ビット、フレーム長は32ビット
1	1	0	1	スロット長は16ビット、フレーム長は64ビット
1	1	1	0	スロット長は16ビット、フレーム長は128ビット
1	1	1	1	スロット長は16ビット、フレーム長は256ビット

- 【注】
- データ長8ビットを選択した場合、制御データの送受信は行えません。
 - LSB先頭送受信を選択した場合、制御データの送受信は行えません。
- * 0または1、いずれも同じ設定になります。

- ビット7：送信無効時Hi-Z出力（TXDIZ）

送信無効時のHi-Z出力の設定を行います。無効時とは、ディスエーブル時および送信データ、制御データとして割り当てていないスロットを送出する場合をいいます。

ビット7	説 明
TXDIZ	
0	無効時"1"出力 (初期値)
1	無効時"Hi-Z"出力

- ビット6：LSB先頭送受信（LSBF）

送受信フレームのビットの並びを選択します。

ビット6	説 明
LSBF	
0	MSB先頭 (初期値)
1	LSB先頭

20. シリアル IO (SIOF)

- ビット5：受信制御データ割り込みモード (RCIM)

SISTR レジスタの RCRDY ビットセットタイミングを選択します。

ビット5	説明
RCIM	
0	SISCR レジスタの内容が変化したときに SISTR レジスタの RCRDY ビットをセットする。 (初期値)
1	SISCR レジスタへの制御データ受信タイミングごとに SISTR レジスタの RCRDY ビットをセットする。

20.2.2 クロックセレクトレジスタ (SISCR)

クロックセレクトレジスタは、ポーレートジェネレータの動作を設定します。本レジスタへの設定は、SIMDR レジスタの TRMD1、TRMD0 ビットに 10 もしくは 11 が設定されているときに有効になります。パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSSEL	MSIMM	—	BRPS4	BRPS3	BRPS2	BRPS1	BRPS0	—	—	—	—	—	BRDV2	BRDV1	BRDV0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R*	R/W	R/W	R/W	R/W	R/W	R*	R*	R*	R*	R*	R/W	R/W	R/W

【注】 * 書き込む値は常に0にセットしてください。0以外の値をセットしたときの動作は保証しません。

- ビット15：マスタクロックソース選択 (MSSEL)

マスタクロックとはポーレートジェネレータに入力するクロックを指します。

ビット15	説明
MSSEL	
0	マスタクロックとして SIOMCLK 端子入力信号を使用 (初期値)
1	マスタクロックとして周辺クロック (P ϕ) を使用

- ビット14：マスタクロック選択 (MSIMM)

ビット14	説明
MSIMM	
0	クロックソースとしてポーレートジェネレータ出力クロックを使用 (初期値)
1	クロックソースとしてマスタクロックをそのまま使用

- ビット13、7~3：予約ビット
- ビット12~8：プリスケアラ設定 (BRPS4~0)

マスタクロックの分周比 BRPS を 00001 (×1/1)、00010 (×1/2) ~ 11111 (×1/31)、00000 (×1/32：初期値) の範囲で設定します。

- ビット2~0 : 分周比設定 (BRDV2~0)

出力段の分周比 BRDV 設定をします。ポーレートジェネレータの最終分周比は、BRPS×BRDV で決定します (最大 1/1024)。

ビット2	ビット1	ビット0	説 明
BRDV2	BRDV1	BRDV0	
0	0	0	プリスケラ出力×1/2 (初期値)
0	0	1	プリスケラ出力×1/4
0	1	0	プリスケラ出力×1/8
0	1	1	プリスケラ出力×1/16
1	0	0	プリスケラ出力×1/32
上記以外の設定			(予約)

20.2.3 送信データアサインレジスタ (SITDAR)

送信データアサインレジスタは、フレーム内の送信データ位置を設定します。パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLE	—	—	—	TDLA3	TDLA2	TDLA1	TDLA0	TDRE	TLREP	—	—	TDRA3	TDRA2	TDRA1	TDRA0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

- ビット14~12、5、4 : 予約ビット
- ビット15 : 送信左チャンネルデータイネーブル (TDLE)

ビット15	説 明
TDLE	
0	左チャンネルデータの送信を許可しない (初期値)
1	左チャンネルデータの送信を許可する

- ビット11~8 : 送信左チャンネルデータアサイン (TDLA3~0)

送信フレームにおける左チャンネルデータの位置を 0000 (0 : 初期値) ~ 1110 (14) で設定します。左チャンネルデータの送信データは SITDR レジスタの SITDL15~0 ビットに設定します。

【注】 TDLA3~0 に 1111 を設定した場合の動作は保証しません。

20. シリアル IO (SIOF)

- ビット7：送信右チャンネルデータイネーブル (TDRE)

ビット7	説明
TDRE	
0	右チャンネルデータの送信を許可しない (初期値)
1	右チャンネルデータの送信を許可する

- ビット6：送信左チャンネルリピート (TLREP)

本ビットの設定は TDRE ビットが 1 のとき有効となります。本ビットに 1 を設定した場合、SITDR レジスタの SITDR15~0 ビットへの設定は無視されます。

ビット6	説明
TLREP	
0	右チャンネルデータとして SITDR レジスタの SITDR ビット設定値を送出する (初期値)
1	右チャンネルデータとして SITDR レジスタの SITDL ビット設定値を繰り返して送出的

- ビット3~0：送信右チャンネルデータアサイン (TDRA3~0)

送信フレームにおける右チャンネルデータの位置を 0000 (0:初期値) ~ 1110 (14) で設定します。右チャンネルデータの送信データは SITDR レジスタの SITDR15~0 ビットに設定します。

【注】 TDRA3~0 に 1111 を設定した場合の動作は保証しません。

20.2.4 受信データアサインレジスタ (SIRDAR)

受信データアサインレジスタは、フレーム内の受信データ位置を設定します。パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLE	—	—	—	RDLA3	RDLA2	RDLA1	RDLA0	RDRE	—	—	—	RDRA3	RDRA2	RDRA1	RDRA0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

- ビット14~12、6~4：予約ビット
- ビット15：受信左チャンネルデータイネーブル (RDLE)

ビット15	説明
RDLE	
0	左チャンネルデータの受信を許可しない (初期値)
1	左チャンネルデータの受信を許可する

- ビット11～8：受信左チャンネルデータアサイン (RDLA3～0)

受信フレームにおける左チャンネルデータの位置を 0000 (0：初期値)～1110 (14) で設定します。左チャンネルデータの受信データは SIRDR レジスタの SIRDL15～0 ビットに格納されます。

【注】 RDLA3～0 に 1111 を設定した場合の動作は保証しません。

- ビット7：受信右チャンネルデータイネーブル (RDRE)

ビット7	説明	
RDRE		
0	右チャンネルデータの受信を許可しない	(初期値)
1	右チャンネルデータの受信を許可する	

- ビット3～0：受信右チャンネルデータアサイン (RDRA3～0)

受信フレームにおける右チャンネルデータの位置を 0000 (0：初期値)～1110 (14) で設定します。右チャンネルデータの受信データは SIRDR レジスタの SIRDR15～0 ビットに格納されます。

【注】 RDRA3～0 に 1111 を設定した場合の動作は保証しません。

20.2.5 制御データアサインレジスタ (SICDAR)

制御データアサインレジスタは、フレーム内の制御データ位置を設定します。本レジスタへの設定は、SIMDR レジスタの FL3～0 ビットに 1***を設定したときに有効となります。パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD0E	—	—	—	CD0A3	CD0A2	CD0A1	CD0A0	CD1E	—	—	—	CD1A3	CD1A2	CD1A1	CD1A0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

- ビット14～12、6～4：予約ビット
- ビット15：制御0チャンネルデータイネーブル (CD0E)

ビット15	説明	
CD0E		
0	制御0チャンネルデータの送受信を許可しない	(初期値)
1	制御0チャンネルデータの送受信を許可する	

- ビット11～8：制御0チャンネルデータアサイン (CD0A3～0)

送受信フレームにおける制御0チャンネルデータの位置を 0000 (0：初期値)～1110 (14) で設定します。制御0チャンネルデータの送信データは SITCR レジスタの SITC015～0 ビットに設定します。制御0チャンネルデータの受信データは SIRCR レジスタの SIRC015～0 ビットに格納されます。

20. シリアル IO (SIOF)

【注】 CD0A3~0 に 1111 を設定した場合の動作は保証しません。

- ビット7：制御1チャンネルデータイネーブル (CD1E)

ビット7	説 明	
CD1E		
0	制御1チャンネルデータの送受信を許可しない	(初期値)
1	制御1チャンネルデータの送受信を許可する	

- ビット3~0：制御1チャンネルデータアサイン (CD1A3~0)

送受信フレームにおける制御1チャンネルデータの位置を 0000 (0：初期値) ~ 1110 (14) で設定します。制御1チャンネルデータの送信データは SITCR レジスタの SITC115~0 ビットに設定します。制御1チャンネルデータの受信データは SIRCR レジスタの SIRC115~0 ビットに格納されます。

【注】 CD1A3~0 に 1111 を設定した場合の動作は保証しません。

20.2.6 シリアルコントロールレジスタ (SICTR)

シリアルコントロールレジスタは、SIOF の動作状態を設定します。

シリアルコントロールレジスタは、パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKE	FSE	—	—	—	—	TXE	RXE	—	—	—	—	—	—	TXRST	RXRST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R	W	W

- ビット13~10、7~2：予約ビット
- ビット15：シリアルクロック出力イネーブル (SCKE)

マスタモード時に有効となります。1 を設定すると、SIOF はボーレートジェネレータを初期化し、動作を開始すると同時に SCK_SIO にボーレートジェネレータが生成したクロックを出力します。

ビット15	説 明	
SCKE		
0	SCK_SIO の出力を許可しない (0 を出力する)	(初期値)
1	SCK_SIO の出力を許可する	

- ビット14：フレーム同期信号出力イネーブル (FSE)

マスタモード時に有効となります。1を設定すると、SIOFはフレームカウンタを初期化し、動作を開始します。

ビット14	説 明	
FSE		
0	SIOFSYNC の出力を許可しない (0 を出力する)	(初期値)
1	SIOFSYNC の出力を許可する	

- ビット9：送信イネーブル (TXE)

本ビットの設定は、次のフレーム先頭 (フレーム同期信号の立ち上がり) でかつ送信 FIFO に有効なデータが格納されているときに有効となります。“1”設定が有効になると、SIOFはSIFCTRレジスタのTFWMビットの設定に従い、送信転送要求を発行します。送信FIFOにデータが格納されると、TXD_SIOから送信データの送出を開始します。このビットは送信リセット時に初期化されます。

ビット9	説 明	
TXE		
0	TXD_SIO のデータ送出を許可しない (1 を出力する)	(初期値)
1	TXD_SIO のデータ送出を許可する	

- ビット8：受信イネーブル (RXE)

本ビットの設定は、次のフレーム先頭 (フレーム同期信号の立ち上がり) 時に有効となります。“1”設定が有効になると、SIOFはRXD_SIOからの受信データの取り込みを開始します。受信FIFOにデータが格納されると、SIFCTRレジスタのRFWMビットの設定に従い、受信転送要求を発行します。このビットは受信リセット時に初期化されます。

ビット8	説 明	
RXE		
0	RXD_SIO のデータ受信を許可しない	(初期値)
1	RXD_SIO のデータ受信を許可する	

- ビット1：送信リセット (TXRST)

本ビットの設定は、直ちに有効となります。“1”設定が有効になると、SIOFは直ちにTXD_SIOからの送信データを1とし、送信データ系のレジスタ、送信関連のステータスレジスタを初期化します。下記に初期化の対象を示します。

- 1：SITDRレジスタ
- 2：送信FIFOライトポインタ、リードポインタ

20. シリアル IO (SIOF)

3: SISTR レジスタの TCRDY、TFEMP、TDREQ ビット

4: TXE ビット

本ビットはリセット動作を完了すると SIOF が自動的にクリアするため、読み出し時の値は常に 0 です。

ビット 1	説 明	
TXRST		
0	送信動作をリセットしない	(初期値)
1	送信動作をリセットする	

• ビット0: 受信リセット (RXRST)

本ビットの設定は、直ちに有効となります。“1”設定が有効になると、SIOF は RxD_SIO からの受信を停止し、受信データ系のレジスタ、受信関連のステータスレジスタを初期化します。下記に初期化の対象を示します。

1: SIRDR レジスタ

2: 受信 FIFO ライトポインタ、リードポインタ

3: SISTR レジスタの RCRDY、RFFUL、RDREQ ビット

4: RXE ビット

本ビットはリセット動作を完了すると SIOF が自動的にクリアするため、読み出し時の値は常に 0 です。

ビット 0	説 明	
RXRST		
0	受信動作をリセットしない	(初期値)
1	受信動作をリセットする	

20.2.7 FIFO コントロールレジスタ (SIFCTR)

FIFO コントロールレジスタは、送受信 FIFO の転送が可能なエリアを表示します。パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFWM2	TFWM1	TFWM0	TFUA4	TFUA3	TFUA2	TFUA1	TFUA0	RFWM2	RFWM1	RFWM0	RFUA4	RFUA3	RFUA2	RFUA1	RFUA0
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R

- ビット15～13：送信FIFOウォーターマーク (TFWM2～0)

送信 FIFO の転送要求は、SISTR レジスタの TDREQ ビットで行います。本ビットへの設定にかかわらず、送信 FIFO は常に 16 段の FIFO として動作を行います。

ビット 15	ビット 14	ビット 13	説 明
TFWM2	TFWM1	TFWM0	
0	0	0	送信 FIFO の空き領域が 16 段のときに転送要求を発行する (初期値)
1	0	0	送信 FIFO の空き領域が 12 段以上のときに転送要求を発行する
1	0	1	送信 FIFO の空き領域が 8 段以上のときに転送要求を発行する
1	1	0	送信 FIFO の空き領域が 4 段以上のときに転送要求を発行する
1	1	1	送信 FIFO の空き領域が 1 段以上のときに転送要求を発行する

- ビット7～5：受信FIFOウォーターマーク (RFWM2～0)

受信 FIFO の転送要求は、SISTR レジスタの RDREQ ビットで行います。本ビットへの設定にかかわらず、受信 FIFO は常に 16 段の FIFO として動作を行います。

ビット 7	ビット 6	ビット 5	説 明
RFWM2	RFWM1	RFWM0	
0	0	0	受信 FIFO の有効領域が 1 段以上のときに転送要求を発行する (初期値)
1	0	0	受信 FIFO の有効領域が 4 段以上のときに転送要求を発行する
1	0	1	受信 FIFO の有効領域が 8 段以上のときに転送要求を発行する
1	1	0	受信 FIFO の有効領域が 12 段以上のときに転送要求を発行する
1	1	1	受信 FIFO の有効領域が 16 段のときに転送要求を発行する

- ビット12～8：送信FIFO使用可能エリア (TFUA4～TFUA0)

CPU または DMAC が転送可能な語数を 00000～10000 (初期値) で表示します。

- ビット4～0：受信FIFO使用可能エリア (RFUA4～RFUA0)

CPU または DMAC が転送可能な語数を 00000 (初期値)～10000 で表示します。

20.2.8 ステータスレジスタ (SISTR)

ステータスレジスタは、SIOF の状態を表示します。本レジスタの各ビットは、SIER レジスタの対応するビットに 1 を設定した場合に、SIOF の割り込み要因となります。パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TCRDY	TFEMP	TDREQ	—	RCRDY	RFFUL	RDREQ	—	—	—	FSERR	TFOVR	TFUDR	RFUDR	RFOVR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R*	R*	R*	R*	R*	R*	R*	R*	R*	R*	R*	R/W	R/W	R/W	R/W	R/W

【注】 * 書き込む値は常に0にセットしてください。0以外の値をセットしたときの動作は保証しません。

20. シリアル IO (SIOF)

- ビット15、11、7、6、5：予約ビット
- ビット14：送信制御データレディ (TCRDY)

本ビットは状態を表示するビットであり、SITCR レジスタへの書き込みが行われると SIOF がクリアします。SICTR レジスタの TXE ビットが1のとき有効となります。本ビットによる割り込み発行が許可される場合、SIOF は制御割り込みを発行します。本ビットが0時に SITCR レジスタへの書き込みを行うと SITCR レジスタは上書きされ、以前の内容は TXD_SIO から送出されません。

【注】 本ビットを使用する際は、「20.4 使用上の注意」の2項を参照してください。

ビット 14	説 明
TCRDY	
0	SITCR レジスタへの書き込みが可能でない (初期値)
1	SITCR レジスタへの書き込みが可能である

- ビット13：送信FIFOエンプティ (TFEMP)

本ビットは状態を表示するビットであり、SITDR レジスタへの書き込みが行われると SIOF がクリアします。SICTR レジスタの TXE ビットが1のとき有効となります。本ビットによる割り込み発行が許可される場合、SIOF は制御割り込みを発行します。

ビット 13	説 明
TFEMP	
0	送信 FIFO が空でない (初期値)
1	送信 FIFO が空である

- ビット12：送信データ転送リクエスト (TDREQ)

送信データ転送リクエストは、送信 FIFO の空き領域が SIFCTR レジスタの TFWM ビットによる設定値を超えたときに発行します。

本ビットは SICTR レジスタの TXE ビットが"1"時に有効となります。本ビットは状態を表示するビットであり、送信 FIFO の空き領域が SIMDR レジスタの TFWM ビットによる設定値よりも少なくなると SIOF がクリアします。

本ビットによる割り込み発行が許可されている場合、SIOF は送信割り込みを発行します。

ビット 12	説 明
TDREQ	
0	転送要求なし (初期値)
1	転送要求あり

- ビット10：受信制御データレディ (RCRDY)

本ビットは状態を表示するビットであり、SIRCR レジスタへの読み出しを行うと SIOF がクリアします。SICTR レジスタの RXE ビットが 1 のとき有効となり、本ビットによる割り込み発行が許可される場合、SIOF は制御割り込みを発行します。本ビットが 1 のときに再び SIRCR レジスタへの有効データの書き込みが発生した場合、SIRCR レジスタには最新のデータが上書きされます。

ビット 10	説明
RCRDY	
0	SIRCR レジスタに有効データが格納されていない (初期値)
1	SIRCR レジスタに有効データが格納されている

- ビット9：受信FIFOフル (RFFUL)

本ビットは状態を表示するビットであり、SIRDR レジスタへの読み出しを行うと SIOF がクリアします。SICTR レジスタの RXE ビットが 1 のとき有効となり、本ビットによる割り込み発行が許可される場合、SIOF は制御割り込みを発行します。

ビット 9	説明
RFFUL	
0	受信 FIFO が満杯でない (初期値)
1	受信 FIFO が満杯である

- ビット8：受信データ転送リクエスト (RDREQ)

受信データ転送リクエストは、受信 FIFO の空き領域が SIMDR レジスタの RFWM ビットによる設定値を超えたときに発行します。

本ビットは SICTR レジスタの RXE ビットが "1" 時に有効となります。本ビットは状態を表示するビットであり、受信 FIFO の空き領域が SIMDR レジスタの RFWM ビットによる設定値よりも少なくなると SIOF がクリアします。

本ビットによる割り込み発行が許可されている場合、SIOF は受信割り込みを発行します。

ビット 8	説明
RDREQ	
0	受信 FIFO の有効領域が SIMDR レジスタの RFWM ビットによる設定値を超えていない (初期値)
1	受信 FIFO の有効領域が SIMDR レジスタの RFWM ビットによる設定値を超えた

20. シリアル IO (SIOF)

- ビット4：フレーム同期エラー (FSERR)

フレーム同期エラーとは、転送データ、制御データの送受信完了前に、次のフレーム同期タイミングとなったことを表します。フレーム同期エラー発生時、SIOF は転送可能なスロットに対してのみ送受信を行います。

本ビットは SICTR レジスタの TXE ビットもしくは RXE ビットが"1"時に有効となります。1 を書き込むと、内容がクリアされます。本ビットによる割り込み発行が許可されている場合、SIOF はエラー割り込みを発行します。

ビット4	説明
FSERR	
0	フレーム同期エラー未発生 (初期値)
1	フレーム同期エラー発生

- ビット3：送信FIFOオーバーラン (TFOVR)

送信 FIFO オーバーランとは、送信 FIFO が満杯時に SITDR レジスタへの書き込みが発生したことを表します。送信オーバーラン時、SIOF はオーバーランとなった書き込みを無効とします。

本ビットは SICTR レジスタの TXE ビットが"1"時に有効となります。1 を書き込むと、内容がクリアされます。本ビットによる割り込み発行が許可されている場合、SIOF はエラー割り込みを発行します。

ビット3	説明
TFOVR	
0	送信 FIFO オーバーラン未発生 (初期値)
1	送信 FIFO オーバーラン発生

- ビット2：送信FIFOアンダラン (TFUDR)

送信 FIFO アンダランとは、送信 FIFO がエンプティ時に送信動作によるロードが発生したことを表します。送信アンダラン時、SIOF は前回送出データを繰り返して送出します。

本ビットは SICTR レジスタの TXE ビットが"1"時に有効となります。1 を書き込むと、内容がクリアされます。本ビットによる割り込み発行が許可されている場合、SIOF はエラー割り込みを発行します。

ビット2	説明
TFUDR	
0	送信 FIFO アンダラン未発生 (初期値)
1	送信 FIFO アンダラン発生

- ビット1: 受信FIFOアンダラン (RFUDR)

受信 FIFO アンダランとは、受信 FIFO がエンプティ時に SIRDR レジスタの読み出しが発生したことを表します。受信アンダラン時、SIRDR から読み出したデータを保証しません。

本ビットはSICTR レジスタのRXE ビットが"1"時に有効となります。1を書き込むと、内容がクリアされます。本ビットによる割り込み発行が許可されている場合、SIOF はエラー割り込みを発行します。

ビット1	説明	
RFUDR		
0	受信 FIFO アンダラン未発生	(初期値)
1	受信 FIFO アンダラン発生	

- ビット0: 受信FIFOオーバラン (RFOVR)

受信 FIFO オーバランとは、受信 FIFO が満杯時に受信動作による書き込みが発生したことを表します。受信オーバラン時、オーバランとなった受信データは消失します。

本ビットはSICTR レジスタのRXE ビットが"1"時に有効となります。1を書き込むと、内容がクリアされます。本ビットによる割り込み発行が許可されている場合、SIOF はエラー割り込みを発行します。

ビット0	説明	
RFOVR		
0	受信 FIFO オーバラン未発生	(初期値)
1	受信 FIFO オーバラン発生	

20.2.9 割り込み許可レジスタ (SIER)

割り込み許可レジスタは、SIOF 割り込みの発行を許可します。本レジスタの各ビットに 1 を設定した場合に、SISTR レジスタの対応するビットに 1 がセットされると、SIOF は割り込みを発行します。パワーオンリセット、ソフトウェアリセット時に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TCRDYE	TFEMPE	TDREQE	—	RCRDYE	RFFULE	RDREQE	—	—	—	FSERRE	TFOVRE	TFUDRE	RFUDRE	RFOVRE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R*	R/W	R/W	R/W	R*	R/W	R/W	R/W	R*	R*	R*	R/W	R/W	R/W	R/W	R/W

【注】 * 書き込む値は常に0にセットしてください。0以外の値をセットしたときの動作は保証しません。

- ビット15、11、7、6、5: 予約ビット

20. シリアル IO (SIOF)

- ビット14 : 送信制御データレディイネーブル (TCRDYE)

ビット 14	説 明
TCRDYE	
0	送信制御データレディによる割り込みを許可しない (初期値)
1	送信制御データレディによる割り込みを許可する (制御割り込み)

- ビット13 : 送信FIFOエンプティイネーブル (TFEMPE)

ビット 13	説 明
TFEMPE	
0	送信エンプティによる割り込みを許可しない (初期値)
1	送信エンプティによる割り込みを許可する (制御割り込み)

- ビット12 : 送信データ転送リクエストイネーブル (TDREQE)

ビット 12	説 明
TDREQE	
0	送信データ転送リクエストによる割り込みを許可しない (初期値)
1	送信データ転送リクエストによる割り込みを許可する (送信割り込み)

- ビット10 : 受信制御データレディイネーブル (RCRDYE)

ビット 10	説 明
RCRDYE	
0	受信制御データレディによる割り込みを許可しない (初期値)
1	受信制御データレディによる割り込みを許可する (制御割り込み)

- ビット9 : 受信FIFOフルイネーブル (RFFULE)

ビット 9	説 明
RFFULE	
0	受信 FIFO フルによる割り込みを許可しない (初期値)
1	受信 FIFO フルによる割り込みを許可する (制御割り込み)

- ビット8 : 受信データ転送リクエストイネーブル (RDREQE)

ビット8	説明
RDREQE	
0	受信データ転送リクエストによる割り込みを許可しない (初期値)
1	受信データ転送リクエストによる割り込みを許可する (受信割り込み)

- ビット4 : フレーム同期エラーイネーブル (FSERRE)

ビット4	説明
FSERRE	
0	フレーム同期エラーによる割り込みを許可しない (初期値)
1	フレーム同期エラーによる割り込みを許可する (エラー割り込み)

- ビット3 : 送信FIFOオーバランイネーブル (TFOVRE)

ビット3	説明
TFOVRE	
0	送信 FIFO オーバランによる割り込みを許可しない (初期値)
1	送信 FIFO オーバランによる割り込みを許可する (エラー割り込み)

- ビット2 : 送信FIFOアンダランイネーブル (TFUDRE)

ビット2	説明
TFUDRE	
0	送信 FIFO アンダランによる割り込みを許可しない (初期値)
1	送信 FIFO アンダランによる割り込みを許可する (エラー割り込み)

- ビット1 : 受信FIFOアンダランイネーブル (RFUDRE)

ビット1	説明
RFUDRE	
0	受信 FIFO アンダランによる割り込みを許可しない (初期値)
1	受信 FIFO アンダランによる割り込みを許可する (エラー割り込み)

20. シリアル IO (SIOF)

- ビット0: 受信FIFOオーバーランイネーブル (RFOVRE)

ビット0	説明
RFOVRE	
0	受信 FIFO オーバランによる割り込みを許可しない (初期値)
1	受信 FIFO オーバランによる割り込みを許可する (エラー割り込み)

20.2.10 トランスミットデータレジスタ (SITDR)

トランスミットデータレジスタは、SIOFの送信データ設定をします。本レジスタへの設定データは送信 FIFO に格納されます。パワーオンリセット、ソフトウェアリセット時、および送信リセット時に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITDL15	SITDL14	SITDL13	SITDL12	SITDL11	SITDL10	SITDL9	SITDL8	SITDL7	SITDL6	SITDL5	SITDL4	SITDL3	SITDL2	SITDL1	SITDL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITDR15	SITDR14	SITDR13	SITDR12	SITDR11	SITDR10	SITDR9	SITDR8	SITDR7	SITDR6	SITDR5	SITDR4	SITDR3	SITDR2	SITDR1	SITDR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

- ビット31~16: 左チャンネル送信データ (SITDL15~0)

左チャンネルデータとして TXD_SIO から送出するデータを設定します。送信フレームにおける左チャンネルデータの位置は、SITDAR レジスタの TDLA ビットへの設定値に従います。

本ビットは SITDAR レジスタの TDLE ビットに 1 を設定した場合に有効となります。

- ビット15~0: 右チャンネル送信データ (SITDR15~0)

右チャンネルデータとして TXD_SIO から送出するデータを設定します。送信フレームにおける右チャンネルデータの位置は、SITDAR レジスタの TDRA ビットへの設定値に従います。

本ビットは SITDAR レジスタの TDLE ビットに 1 かつ SITDAR レジスタの TLREP ビットに 0 を設定した場合に有効となります。

20.2.11 レシーブデータレジスタ (SIRDR)

レシーブデータレジスタは、SIOF の受信データの読み出しを行います。本レジスタには受信 FIFO のデータが格納されます。パワーオンリセット、ソフトウェアリセット時、および受信リセット時に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRDL15	SIRDL14	SIRDL13	SIRDL12	SIRDL11	SIRDL10	SIRDL9	SIRDL8	SIRDL7	SIRDL6	SIRDL5	SIRDL4	SIRDL3	SIRDL2	SIRDL1	SIRDL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRDR15	SIRDR14	SIRDR13	SIRDR12	SIRDR11	SIRDR10	SIRDR9	SIRDR8	SIRDR7	SIRDR6	SIRDR5	SIRDR4	SIRDR3	SIRDR2	SIRDR1	SIRDR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- ビット31～16：左チャンネル受信データ (SIRDL15～0)

左チャンネルデータとして RXD_SIO から受信したデータを格納します。受信フレームにおける左チャンネルデータの位置は、SIRDAR レジスタの RDLA ビットへの設定値に従います。

本ビットは SIRDAR レジスタの RDLE ビットに 1 を設定した場合に有効となります。

- ビット15～0：右チャンネル受信データ (SIRDR15～0)

右チャンネルデータとして RXD_SIO から受信したデータを格納します。受信フレームにおける右チャンネルデータの位置は、SIRDAR レジスタの RDRA ビットへの設定値に従います。

本ビットは SIRDAR レジスタの RDRE ビットに 1 を設定した場合に有効となります。

20.2.12 トランスミットコントロールデータレジスタ (SITCR)

トランスミットコントロールデータレジスタは、SIOF の送信制御データ設定をします。本レジスタへの設定は、SIMDR レジスタの FL ビットに 1***を設定したときに有効となります。パワーオンリセット、ソフトウェアリセット時、および送信リセット時に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITC015	SITC014	SITC013	SITC012	SITC011	SITC010	SITC09	SITC08	SITC07	SITC06	SITC05	SITC04	SITC03	SITC02	SITC01	SITC00
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITC115	SITC114	SITC113	SITC112	SITC111	SITC110	SITC19	SITC18	SITC17	SITC16	SITC15	SITC14	SITC13	SITC12	SITC11	SITC10
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31～16：制御0チャンネル送信データ (SITC015～0)

制御 0 チャンネル送信データとして TXD_SIO から送出するデータを設定します。送受信フレームにおける制御 0 チャンネルデータの位置は、SICDAR レジスタの CD0A ビットへの設定値に従います。

本ビットは SICDAR レジスタの CD0E ビットに 1 を設定した場合に有効となります。

20. シリアル IO (SIOF)

- ビット15~0: 制御1チャンネル送信データ (SITC115~0)

制御1チャンネル送信データとして TXD_SIO から送出するデータを設定します。送受信フレームにおける制御1チャンネルデータの位置は、SICDAR レジスタの CD1A ビットへの設定値に従います。

本ビットは SICDAR レジスタの CD1E ビットに 1 を設定した場合に有効となります。

20.2.13 レシーブコントロールデータレジスタ (SIRCR)

レシーブコントロールデータレジスタは、SIOF の受信制御データが格納されます。本レジスタへの設定は、SIMDR レジスタの FL ビットに 1***を設定したときに有効となります。パワーオンリセット、ソフトウェアリセット時、および受信リセット時に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRC015	SIRC014	SIRC013	SIRC012	SIRC011	SIRC010	SIRC09	SIRC08	SIRC07	SIRC06	SIRC05	SIRC04	SIRC03	SIRC02	SIRC01	SIRC00
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRC115	SIRC114	SIRC113	SIRC112	SIRC111	SIRC110	SIRC19	SIRC18	SIRC17	SIRC16	SIRC15	SIRC14	SIRC13	SIRC12	SIRC11	SIRC10
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31~16: 制御0チャンネル受信データ (SIRC015~0)

制御0チャンネル受信データとして RXD_SIO から受信したデータを格納します。送受信フレームにおける制御0チャンネルデータの位置は、SICDAR レジスタの CD0A ビットへの設定値に従います。

本ビットは SICDAR レジスタの CD0E ビットに 1 を設定した場合に有効となります。

- ビット15~0: 制御1チャンネル受信データ (SIRC115~0)

制御1チャンネル受信データとして RXD_SIO から受信したデータを格納します。送受信フレームにおける制御1チャンネルデータの位置は、SICDAR レジスタの CD1A ビットへの設定値に従います。

本ビットは SICDAR レジスタの CD1E ビットに 1 を設定した場合に有効となります。

20.3 動作

20.3.1 シリアルクロック

(1) マスタ/スレーブ

SIOF のクロックモードとして下記 2 モードがあります。

スレーブモード : SCK_SIO、SIOFSYNC は入力

マスタモード : SCK_SIO、SIOFSYNC は出力

(2) ポーレートジェネレータ (BRG)

SIOF マスタ時には、ポーレートジェネレータ (BRG) を用いてシリアルクロックを生成します。ポーレートジェネレータの分周比は、 $1/2 \sim 1024$ です。

図 20.2 にシリアルクロック供給系統図を示します。

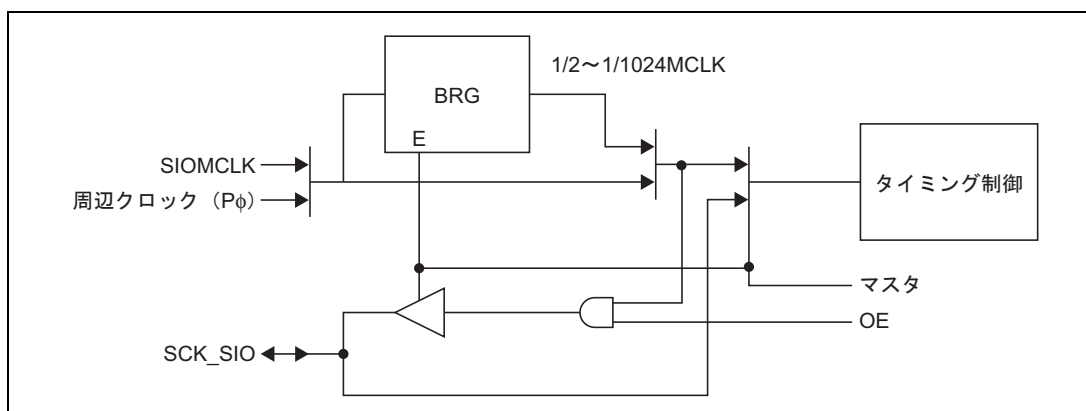


図 20.2 シリアルクロック供給系統

また、表 20.3 にシリアルクロック周波数の例を示します。

表 20.3 SIOF シリアルクロック周波数の例

サンプリングレート フレーム長	8kHz	44.1kHz	48kHz
32 ビット	256kHz	1.4112MHz	1.536MHz
64 ビット	512kHz	2.8224MHz	3.072MHz
128 ビット	1.024MHz	5.6448MHz	6.144MHz
256 ビット	2.048MHz	11.2896MHz	12.288MHz

【注】 マスタモード時、データの有無に関係なく SCK_SIO は出力され続けます。

20.3.2 シリアルタイミング

(1) SIOFSYNC

SIOFSYNC はフレーム同期信号です。転送モードによって下記 2 通りの機能を持ちます。

- 同期パルスフレーム先頭を表す 1 ビット幅のパルス
- L/R ステレオデータの左 ch.(L) を High、右 ch.(R) を Low で表す 1/2 フレーム幅のパルス

図 20.3 に SIOFSYNC による同期タイミングを示します。マスタモード 1、スレーブモード 1、スレーブモード 2 は図 20.3 の (a)、マスタモード 2 は図 20.3 の (b) のタイミングになります。

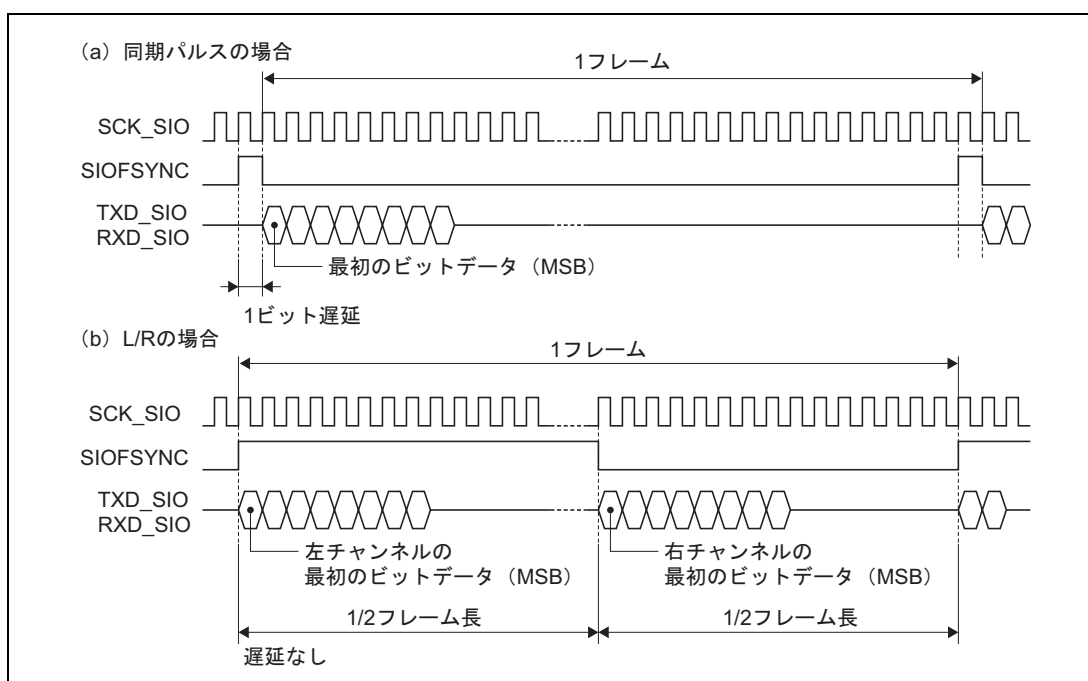


図 20.3 SIOF シリアルデータ同期タイミング

(2) 送受信タイミング

SCK_SIO に対する TXD_SIO の送信タイミングおよび RXD_SIO の受信タイミングは、サンプリングタイミングとして下記 2 通りの設定が可能です。送受信タイミングの設定は、SIMDR レジスタの REDG ビットに行います。スレーブモード 1、スレーブモード 2 時には立ち下がりサンプリングしか使用できません。

- 立ち下がりサンプリング
- 立ち上がりサンプリング

図 20.4 に送受信タイミングを示します。

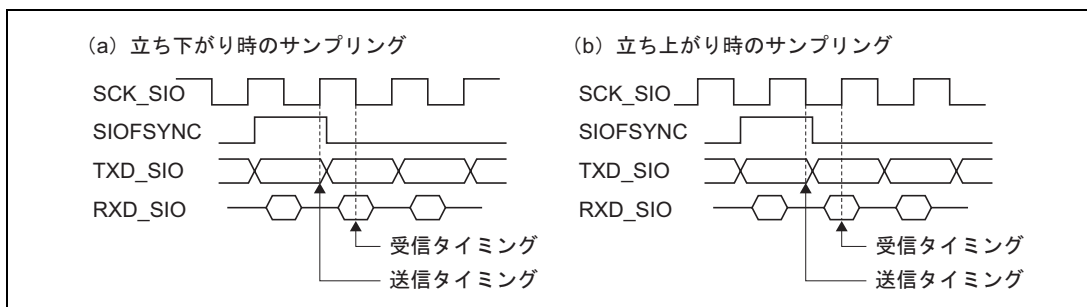


図 20.4 SIOF 送受信タイミング

20.3.3 転送データフォーマット

SIOF は、下記転送を行います。

送受信データ： 8 ビット/16 ビット/16 ビットステレオの転送データ

制御データ： 16 ビット長（専用レジスタを用いてインタフェースを行う）

(1) 転送モード

SIOF は、転送モードとして表 20.4 に示すように 4 通りのモードを持ちます。転送モードの設定は SIMDR レジスタの TRMD1 ~ TRMD0 ビットで行います。

表 20.4 シリアル転送モード

転送モード	SIOFSYNC	ビット遅延	制御データ
スレープモード 1	同期パルス	1 ビット	スロット位置
スレープモード 2	同期パルス	1 ビット	セカンダリ FS
マスタモード 1	同期パルス	1 ビット	スロット位置
マスタモード 2	L/R	なし	非対応

20. シリアル IO (SIOF)

(2) フレーム長

SIOF が転送を行うフレームの長さは SIMDR レジスタの FL3 ~ FL0 ビットに対して設定を行います。表 20.5 に設定値とフレーム長の関係を示します。

表 20.5 フレーム長

FL3~FL0	スロット長	1フレームあたりのビット数	対応する転送データ
00--	8	8	8ビットモノラル
0100	8	16	8ビットモノラル
0101	8	32	8ビットモノラル
0110	8	64	8ビットモノラル
0111	8	128	8ビットモノラル
10--	16	16	16ビットモノラル/ステレオ
1100	16	32	16ビットモノラル/ステレオ
1101	16	64	16ビットモノラル/ステレオ
1110	16	128	16ビットモノラル/ステレオ
1111	16	256	16ビットモノラル/ステレオ

(3) スロット位置

SIOF は、1 フレームにおける送信データ、受信データ、制御データ（送受信共通）の位置をスロット番号でそれぞれ別個に設定することが可能です。設定は下記レジスタに対して行います。

- 送信データ：SITDARレジスタ
- 受信データ：SIRDARレジスタ
- 制御データ：SICDARレジスタ

制御データは、スロット長が 16 ビットのときのみ有効となります。また、制御データは送信と受信で必ず同じスロットに割り当てられます。

20.3.4 転送データのレジスタ割り付け

(1) 送受信データ

送受信データの書き込み/読み出しは下記レジスタに対して行います。

- 送信データ書き込み：SITDRレジスタ（32ビットアクセス）
- 受信データ読み出し：SIRDRレジスタ（32ビットアクセス）

図 20.5 に送受信データと SITDR レジスタ、SIRDR レジスタのビットアライメントを示します。

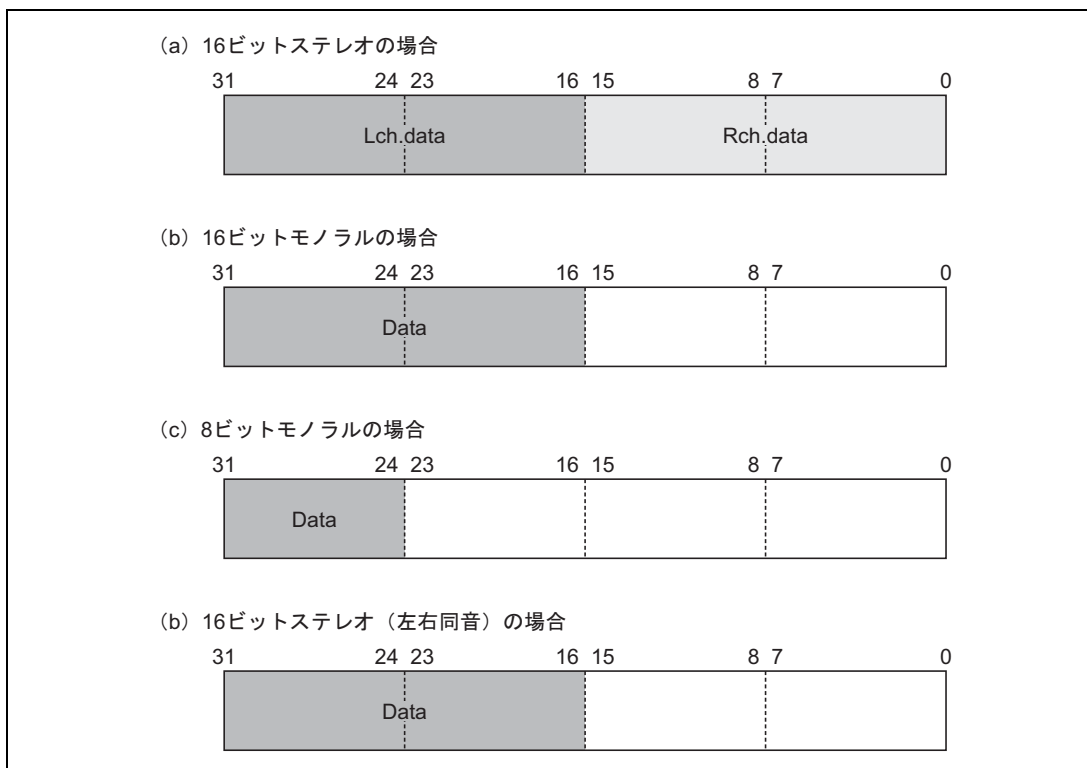


図 20.5 送受信データビットアライメント

【注】 図中、ハッチングの部分だけが有効なデータとして送受信されます。このため、ハッチングがかかっていない領域のデータは送受信の対象となりません。

送信データのモノラル/ステレオの設定は、SITDAR レジスタの TDLE ビットおよび TDRE ビットに対して行います。受信データのモノラル/ステレオの設定は、SIRDAR レジスタの RDLE ビットおよび RDRE ビットに対して行います。また、送信データステレオ時の左右同音出力は、SITDAR レジスタの TLREP ビットに設定を行います。表 20.6 に送信データにおける音声モードの設定を、表 20.7 に受信データにおける音声モードの設定を示します。8 ビットモノラルで送受信を行う場合には、左チャンネルのみを使用してください。

表 20.6 送信データ音声モード

モード \ ビット	TDLE	TDRE	TLREP
モノラル	1	0	*
ステレオ	1	1	0
左右同音	1	1	1

【注】 * Don't care

20. シリアル IO (SIOF)

表 20.7 受信データ音声モード

モード \ ビット	RDLE	RDRE
モノラル	1	0
ステレオ	1	1

【注】 受信データには、左右同音モードは存在しません。

(2) 制御データ

制御データの書き込み / 読み出しは下記レジスタに対して行います。

- 送信制御データ書き込み：SITCRレジスタ（32ビットアクセス）
- 受信制御データ読み出し：SIRCRレジスタ（32ビットアクセス）

図 20.6 に送受信制御データと SITCR レジスタ、SIRCR レジスタのビットアライメントを示します。

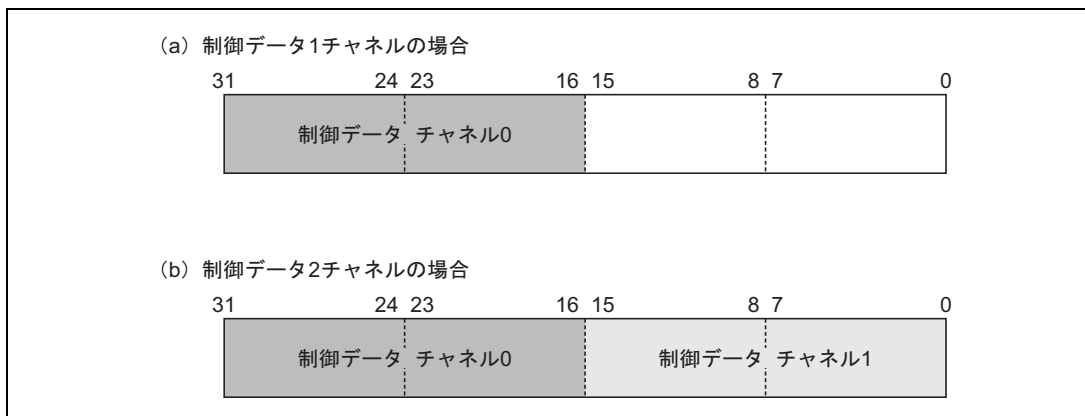


図 20.6 制御データビットアライメント

制御データのチャンネル数の設定は、SICDAR レジスタの CD0E ビットおよび CD1E ビットに対して行います。

表 20.8 に制御データにおけるチャンネル数の設定を示します。

制御データを 1 チャンネルだけ用いる場合には、チャンネル 0 側を使用してください。

表 20.8 制御データチャンネル数設定

ch.数 \ ビット	CD0E	CD1E
1	1	0
2	1	1

20.3.5 制御データインタフェース

制御データは、CODEC への制御コマンド出力と CODEC の状態入力を行います。SIOF は、制御データのインタフェース方式として、下記 2 方式に対応します。

- スロット位置による制御
- セカンダリ FS による制御

制御データは、データ長として 16 ビットでかつ MSB 先頭送受信を選択した場合に有効となります。

(1) スロット位置による制御 (マスタモード 1)

制御データのスロット位置を指定して、SIOF が送受信を行う全フレームで制御データの送受信を行う方式です。図 20.7 にスロット位置による制御データインタフェースのタイミング例を示します。

【注】 本方式使用の際は、マスタクロックとして周辺クロック(P ϕ)を使用してください(マスタクロック選択(MSSEL)=1)。

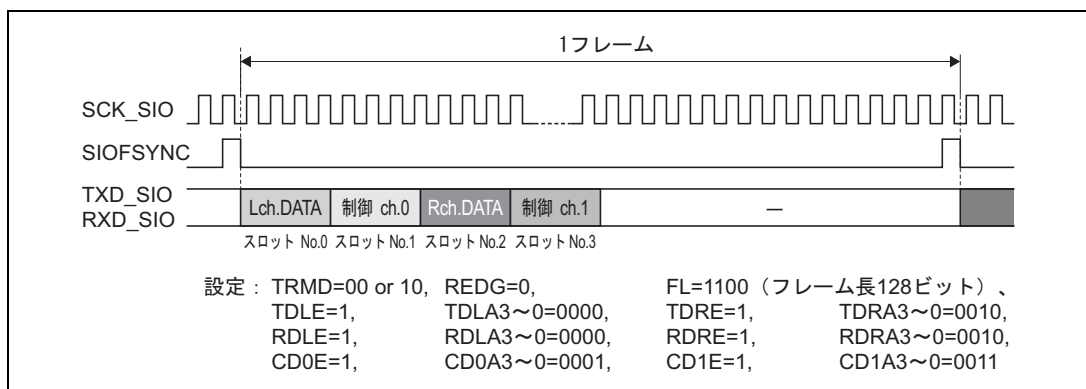


図 20.7 制御データインタフェース (スロット位置)

(2) セカンダリ FS による制御 (スレーブモード 2)

SIOFSYNC を同期パルス (FS) として出力する CODEC が、本来の FS 出力位置でない 1/2 フレーム時間経過後に、制御データ送受信専用のセカンダリ FS を出力して、制御データの送受信を行う方式です。SIOF スレーブモードのみ使用可能です。セカンダリ FS による制御データインタフェースの手順を以下に記します。

- 通常の送信データは LSB=0 で送出 (SIOF が強制的に 0 とする)
- 制御データ送信を行う場合には LSB=1 の送信データ送出 (SITCR レジスタへの書き込みで SIOF が 1 とする)
- CODEC はセカンダリ FS を出力する
- SIOF はセカンダリ FS に同期して制御データ (SITCR レジスタ設定データ) の送信および受信 (SIRCR レジスタへ格納) を行う

図 20.8 にセカンダリ FS による制御データインタフェースのタイミングを示します。

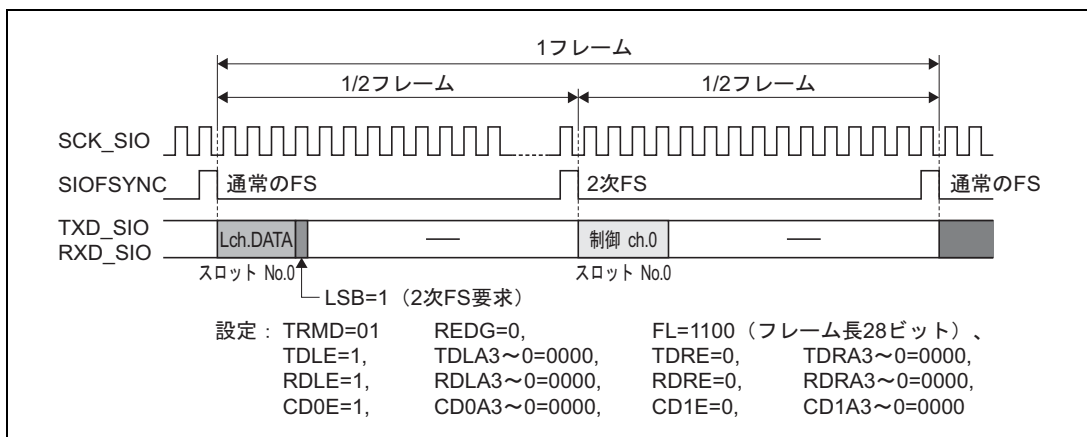


図 20.8 制御データインタフェース (セカンダリ FS)

20.3.6 FIFO

(1) 概要

SIOF 送受信 FIFO の特長を以下に記します。

- 送受信それぞれ32bit × 16段の容量
- CPU、DMACのアクセスサイズにかかわらず、1回のRead/Writeサイクルでポインタは更新される (1段のアクセスを複数回に分割することは不可能である)
- アクセスサイクル数はアクセスサイズにかかわらず、常にPバスサイクルで2サイクルです。

(2) 転送要求

SIOF は SISTR レジスタの下記 2 ビットに、FIFO の転送要求を表示します。

- 送信要求 : TDREQ (送信割り込み要因)
- 受信要求 : RDREQ (受信割り込み要因)

送受信 FIFO の送信要求を発行する条件は、それぞれ別個に設定が可能です。送信要求の条件は SIFCTR レジスタの TFWM2 ~ TFWM0 ビットに、受信 FIFO の転送要求は RFWM2 ~ RFWM0 ビットに設定します。表 20.9 に送信要求発行条件を、表 20.10 に受信要求発行条件を示します。

表 20.9 送信要求発行条件

TFWM2 ~ 0	リクエスト段数	送信要求発行	使用領域
000	1	空き領域が 16 段	小 ↑ ↓ 大
100	4	空き領域が 12 段以上	
101	8	空き領域が 8 段以上	
110	12	空き領域が 4 段以上	
111	16	空き領域が 1 段以上	

表 20.10 受信要求発行条件

RFWM2 ~ 0	リクエスト段数	受信要求発行	使用領域
000	1	有効領域が 1 段以上	小 ↑ ↓ 大
100	4	有効領域が 4 段以上	
101	8	有効領域が 8 段以上	
110	12	有効領域が 12 段以上	
111	16	有効領域が 16 段	

データ領域もしくは空き領域が上記段数を超えた場合でも、FIFO の容量は常に 16 段使用可能です。したがってオーバーランもしくはアンダランエラーは、データ領域もしくは空き領域が 16 段を超えた場合に発行されます。

また、転送要求は FIFO が空もしくは満杯にならなくても、上記条件を満たさなくなった時点で解除します。

(3) 段数表示

送受信 FIFO の使用状況を、下記内容でレジスタに表示します。

- 送信FIFO : SIFCTRレジスタのTFUA4 ~ TFUA0ビットに空き領域の段数を表示
- 受信FIFO : SIFCTRレジスタのRFUA4 ~ RFUA0ビットに有効データの段数を表示

上記内容は、CPU もしくは DMAC が転送可能なデータ数を表します。

20.3.7 送受信手順

(1) マスタ時送信

図 20.9 にマスタ時送信の設定例および動作を示します。

番号	タイムチャート	SIOFの設定内容	SIOF動作
1		動作モード、シリアルクロック、送受信データの-slot位置、コントロールデータの-slot位置、FIFO要求の上限の設定	
2		ポーレートジェネレータの動作開始の設定	
3			シリアルクロック送信
4		フレーム同期信号の動作開始の設定	フレーム同期信号を送信
5		送信有効を設定	送信要求をサブミット
6			
7		送信データの設定	
8			送信
9		送信無効を設定	送信終了

図 20.9 マスタ時送信動作例

(2) マスタ時受信

図 20.10 にマスタ時受信の設定例および動作を示します。

番号	タイムチャート	SIOFの設定内容	SIOF動作
1		動作モード、シリアルクロック、送受信データのスロット位置、コントロールデータのスロット位置、FIFO要求の上限の設定	
2		ボーレートジェネレータの動作開始の設定	
3			シリアルクロック送信
4		フレーム同期信号の動作開始の設定	フレーム同期信号を送信
5		受信有効を設定	
6			受信 FIFO の制限により受信要求をサブミット
7			受信
8		受信データの読み取り	
9		受信無効を設定	受信終了

図 20.10 マスタ時受信動作例

20. シリアル IO (SIOF)

(3) スレーブ時送信

図 20.11 にスレーブ時送信の設定例および動作を示します。

番号	タイムチャート	SIOFの設定内容	SIOF動作
1	<p>(スタート)</p> <p>SIMDR、SISCR、SITDAR、SIRDAR、SICDAR、SIFCTRレジスタの設定</p>	動作モード、シリアルクロック、送受信データのシフト位置、コントロールデータのシフト位置、FIFO要求の上限の設定	
2	SICTRレジスタのTXEビットに1をセット	送信有効を設定	フレーム同期信号を送信した場合、送信を無効にする送信要求をサブミット
3	<p>TDREQ=1?</p> <p>Y</p> <p>N</p>		
4	SITDRレジスタの設定	送信データの設定	
5	SIOFSYNCに同期して、SITDRの内容がTXD_SIOから送信される。		送信
6	<p>送信終了?</p> <p>Y</p> <p>N</p> <p>SICTRレジスタのTXEビットに0をセット</p> <p>(終了)</p>	送信無効を設定	送信終了

図 20.11 スレーブ時送信動作例

(4) スレープ時受信

図 20.12 にスレープ時受信の設定例および動作を示します。

番号	タイムチャート	SIOFの設定内容	SIOF動作
1		動作モード、シリアルクロック、送受信データのスロット位置、コントロールデータのスロット位置、FIFO要求の上限の設定	
2		受信有効を設定	フレーム同期信号が受信された場合、受信有効
3			受信 FIFO の制限により受信要求をサブミット
4			受信
5		受信データの読み取り	
6		受信無効を設定	受信終了

図 20.12 スレープ時受信動作例

20. シリアル IO (SIOF)

(5) 送受信リセット

SIOF は、下記ビットに 1 を設定することにより、送信部と受信部を別個にリセットすることが可能です。

- 送信リセット：(SICTRレジスタのTXRSTビット)
- 受信リセット：(SICTRレジスタのRXRSTビット)

表 20.11 に送受信リセットで初期化される内容を示します。

表 20.11 送受信リセット

種類	初期化対象
送信リセット	SITDR レジスタ 送信 FIFO ライトポインタ 送信 FIFO リードポインタ SISTR レジスタの TCRDY ビット・TFEMP ビット・TDREQ ビット SICTR レジスタの TXE ビット
受信リセット	SIRDR レジスタ 受信 FIFO ライトポインタ 受信 FIFO リードポインタ SISTR レジスタの RCRDY ビット・RFFUL ビット・RDREQ ビット SICTR レジスタの RXE ビット

(6) モジュールストップ

SIOF は、モジュールストップ時には全レジスタの内容を保持したまま、送受信動作を停止します。モジュールストップ解除直後に送受信動作を行わない場合には、送受信リセットを発行してください。

20.3.8 割り込み

SIOF は、下記 4 種類の割り込みを持ちます。これらの区分は、割り込みコントローラ (INTC) の IRR4 レジスタに反映されます。

- 送信割り込み (TXI)
- 受信割り込み (RXI)
- 制御割り込み (CCI)
- エラー割り込み (ERI)

(1) 割り込み要因

各割り込みは、それぞれ複数の要因によって発行することができます。各要因は、SISTR レジスタに SIOF ステータスとして表示します。表 20.12 に SIOF 割り込み要因一覧を示します。

表 20.12 SIOF 割り込み要因

No.	区分	ビット名	機能名称	内容
1	送信 (TXI)	TDREQ	送信 FIFO 転送要求	送信 FIFO に設定値以上のデータが格納された
2	受信 (RXI)	RDREQ	受信 FIFO 転送要求	受信 FIFO に設定値以上のデータが格納された
3	制御 (CCI)	TCRDY	送信制御データレディ	送信制御データレジスタに書き込みが可能である
4		RCRDY	受信制御データレディ	受信制御データレジスタに有効な値が格納された
5		TFEMP	送信 FIFO エンプティ	送信 FIFO が空である
6		RFFUL	受信 FIFO フル	受信 FIFO が満杯である
7	エラー (ERI)	TFUDF	送信 FIFO アンダフロー	送信 FIFO が空時にシリアルデータ送信タイミングが来た
8		TFOVF	送信 FIFO オーバフロー	送信 FIFO が満杯時に送信 FIFO に書き込みを行った
9		RFOVF	受信 FIFO オーバフロー	受信 FIFO が満杯時にシリアルデータを受信した
10		RFUDF	受信 FIFO アンダフロー	受信 FIFO が空時に受信 FIFO 読み出しを行った
11		FSERR	FS エラー	設定ビット数以前に同期信号が入力された (スレép時)

各割り込み要因によって割り込みを発行するか否かは、SIER レジスタへの設定によって決定します。SIER レジスタの対応するビットに 1 が設定してある割り込み要因が 1 にセットされたときに、SIOF は各種割り込みを発行します。

20. シリアル IO (SIOF)

(2) 送受信割り込みフラグ

送信割り込みおよび受信割り込みは、SISTR レジスタの TDREQ ビット、および RDREQ ビットの値を元に作成した割り込みフラグで、INTC または DMAC に割り込みを要求します。表 20.13 に送受信割り込みフラグの設定条件を示します。

表 20.13 送受信割り込みフラグの設定条件

	セット条件	リセット条件
送信割り込みフラグ	SISTR レジスタの TDREQ = 1	• SISTR レジスタの TDREQ = 0 • DMAC からのアクノリッジ
受信割り込みフラグ	SISTR レジスタの RDREQ = 1	• SISTR レジスタの RDREQ = 0 • DMAC からのアクノリッジ

(3) エラー発生時の処理

SISTR レジスタにステータスとして表示する各エラー発生時、SIOF は下記動作を行います。

- 送信FIFOアンダラン (TFUDR)

直前の送信データを再び送出する。

- 送信FIFOオーバラン (TFOVR)

送信FIFOの内容は保護され、オーバフローとなった書き込みは無視する。

- 受信FIFOオーバラン (RFOVR)

オーバフローとなったデータが廃棄され、消失する。

- 受信FIFOアンダラン (RFUDR)

最後に読み出されたデータをバス上に出力する (仕様上は不定値とする)。

- FSエラー (FSERR)

エラーとなった同期信号 (FSYN) に従って、内部カウンタはリセットされる。

20.3.9 送受信タイミング

SIOF のシリアル送受信の例を図 20.13 ~ 図 20.19 に示します。

(1) 8 ビットモノラルの場合 (その 1)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 8 ビット

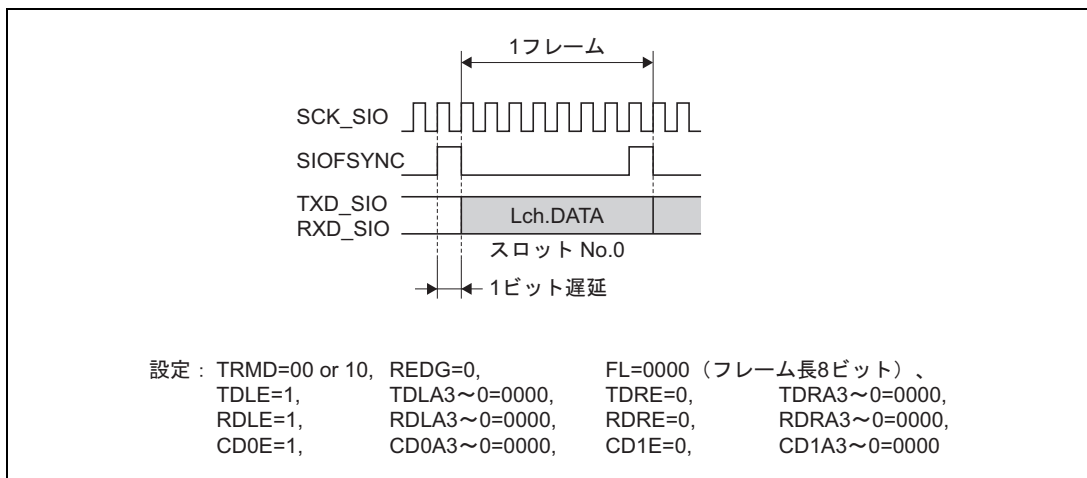


図 20.13 送受信タイミング (8 ビットモノラル-1)

(2) 8 ビットモノラルの場合 (その 2)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 16 ビット

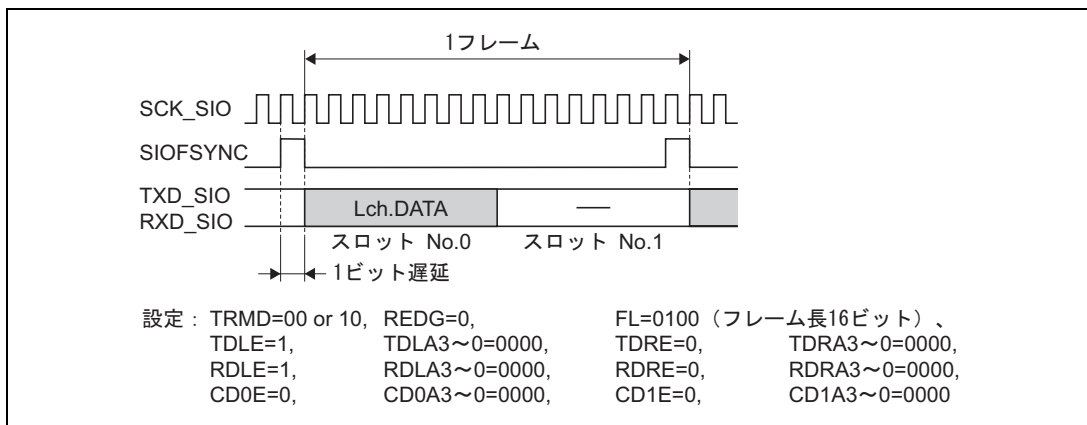


図 20.14 送受信タイミング (8 ビットモノラル-2)

20. シリアル IO (SIOF)

(3) 16ビットモノラルの場合(その1)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 64 ビット

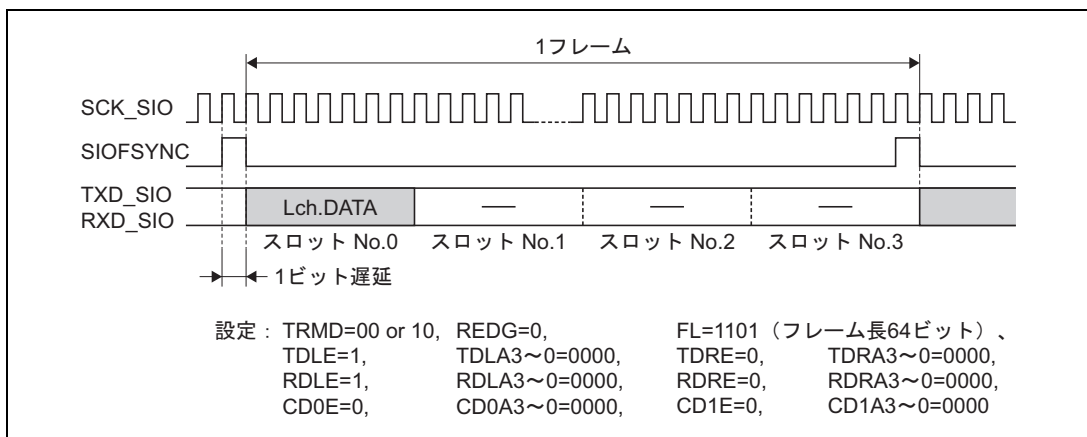


図 20.15 送受信タイミング (16ビットモノラル-1)

(4) 16ビットステレオの場合(その1)

L/R方式、立ち上がりサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.1、フレーム長は 32 ビット

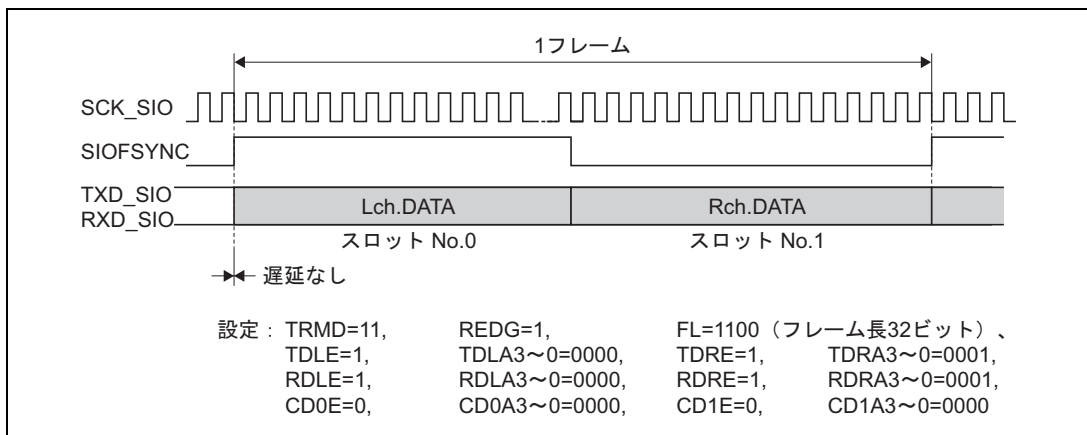


図 20.16 送受信タイミング (16ビットステレオ-1)

(5) 16 ビットステレオの場合 (その2)

L/R 方式、立ち上がりサンプリング、Lch.送信データはスロット No.0、Lch.受信データはスロット No.1、Lch.受信データはスロット No.2、Rch.受信データはスロット No.3、フレーム長は 64 ビット

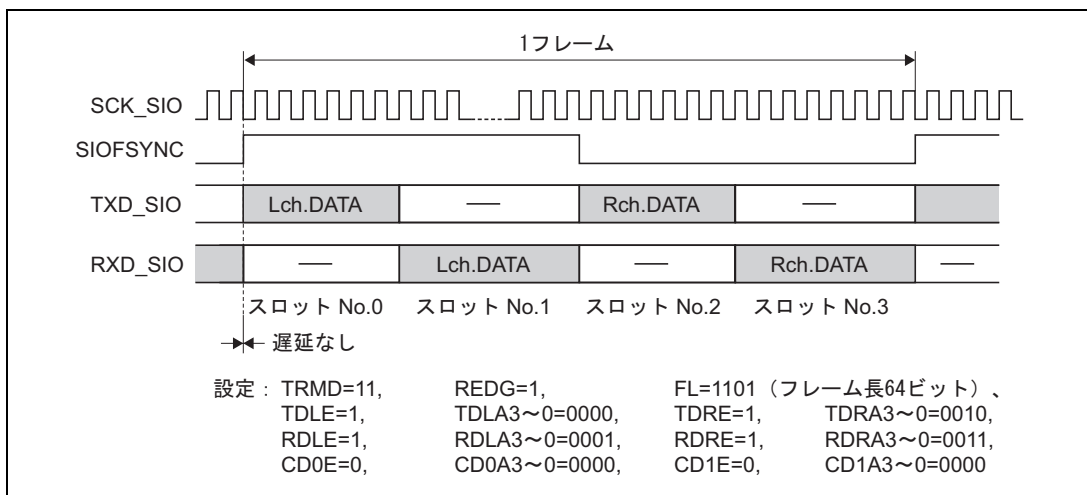


図 20.17 送受信タイミング (16 ビットステレオ-2)

(6) 16 ビットステレオの場合 (その3)

同期パルス方式、立ち下がりサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.2、制御 ch.データ 0 はスロット No.1、制御 ch.データ 0 はスロット No.3、フレーム長は 128 ビット

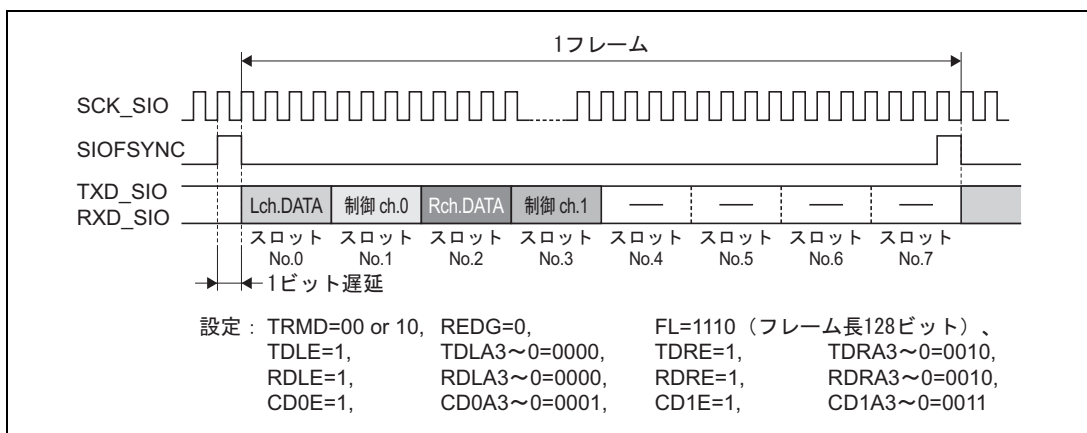


図 20.18 送受信タイミング (16 ビットステレオ-3)

20. シリアル IO (SIOF)

(7) 16 ビットモノラルの場合 (その2)

同期パルス方式、立ち下がりサンプリング、セカンダリ FS を要求、Lch.データはスロット No.0、制御 ch.データ 0 はスロット No.0、フレーム長は 128 ビット

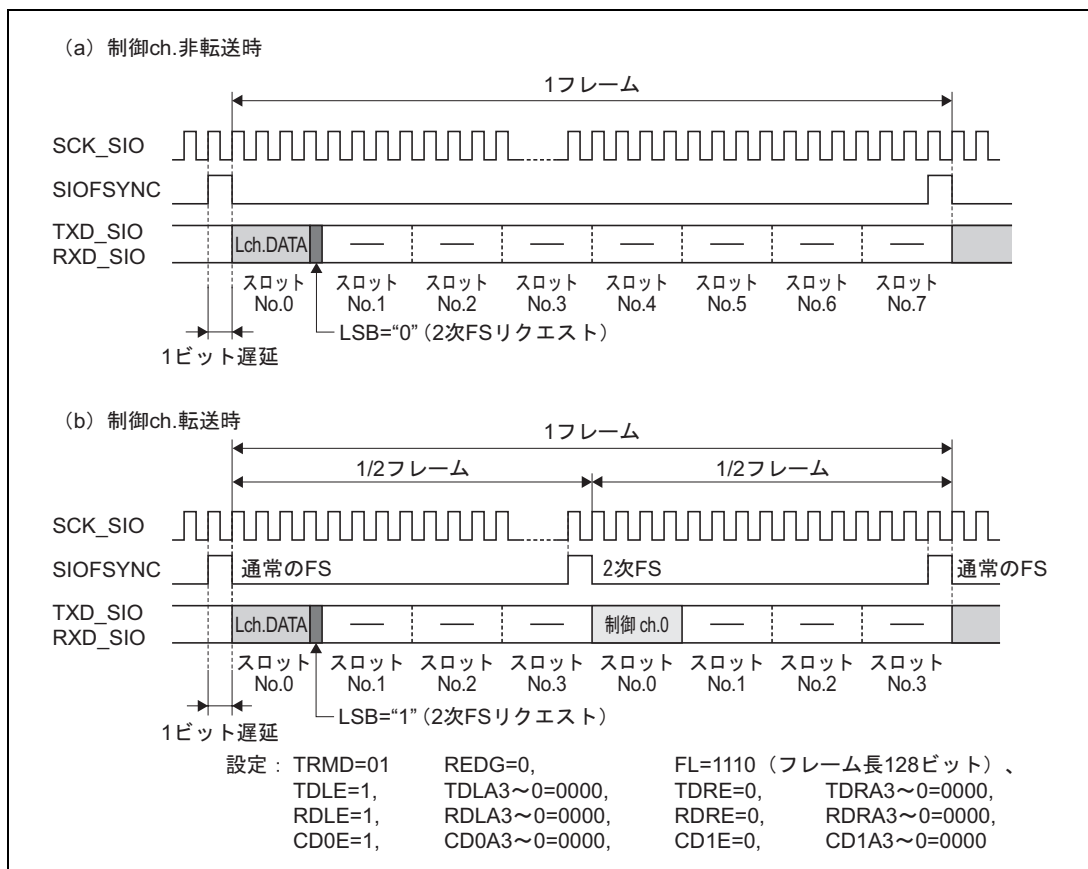


図 20.19 送受信タイミング (16 ビットモノラル-2)

20.4 使用上の注意

SIOF を使用する際は、以下のことに注意してください。

SH7727B 以前のバージョンのご使用の際は、以下の注意事項に加えて、「20.4.1 SH7727B バージョン以前での SIOF 使用時の注意事項」も併せてご覧ください。

(1) スレーブモードで、送信機能を使用するとき

あらかじめ送信 FIFO にデータを書き込んだ状態で、送信イネーブルをイネーブル状態にすると、最初のデータが 1、2 個欠落することがあります。

したがって、送信イネーブルをイネーブル状態にする前に、送信 FIFO にデータを書かないでください。

(2) 制御データインタフェース (セカンダリ FS 位置) で、制御データの送受信を連続して使用するとき

送信制御データが送出される前に、TCRDY が"1"になることがあり、この時点で、制御データレジスタに次制御データを書き込むと、送出前の制御データに上書きして消してしまいます。

また、このとき、制御シーケンスが崩れてしまい、SIOF がプライマリ FS とセカンダリ FS を取り違え、結果としてデータおよび制御データの送受信が正常に行えなくなります。

したがって、送信制御データを送出したあと、制御データレジスタに書き込んでください。

(例)

RCRDY を参照して、RCRDY が"1"のときに制御データレジスタを書き込みます。

なお、送信制御データを書き込んだ後は、必ずレシーブコントロールレジスタ (SIRCR) を読み出して、RCRDY をクリアしてください。

(3) DMA 転送について

DMA の 16 バイト転送を使用しないでください (「14.3.4 DMA 転送の種類」参照)。

(4) CPU からのアクセスについて

CPU からアクセスする場合は、SIOF の送受信 FIFO に対して、連続してアクセスをしないで、SIOF の送受信 FIFO のアクセスの間に、SIOF の送受信 FIFO 以外のアクセスを挟むようにしてください。

(5) 送受信 FIFO のアンダフロー時の注意事項

送受信動作中に送信 / 受信 FIFO が、アンダフロー状態になると、SIOF の送受信 FIFO の制御が破綻し、データが欠落することがあります。

回避策としては、アンダフロー状態にならないようにウォータマークを設定するか、エンプティ割り込みが発生した時点で、送信リセット (TXRST) または、受信リセット (RXRST) を実行してください。

(6) 送受信リセット実行のお願い

送信 / 受信動作が終了したあと、および誤動作発生後に、SIOF を再度使用するときは、送信リセット (TXRST) または、受信リセット (RXRST) を実行した後で、使用してください。

(7) 制御データインタフェース (スロット位置) を使用するとき

下記のモードで、1 フレーム内にデータと制御データが混在した送信動作中に、送信データ、および制御データが欠落することがあります。

- (1) マスタモードでマスタクロックとして外部クロック (SIOMCLK) を使用するとき
- (2) スレープモードのとき

したがって下記の状態で使用してください。

- (1) マスタモード
- (2) マスタクロック : 周辺クロック (PCLK)

(8) シリアル IO (SIOF) の受信動作について

シリアル IO (SIOF) において、スロット長 8 ビット、LSB ファーストの組み合わせで受信する場合、先頭の受信データに不要なデータが追加され、1 バイトずつ遅れて FIFO 格納、最終データがシフトレジスタに残ってしまいます。

この現象を回避するには、下記の 1.~3.のいずれかの方法で対応してください。

1. スロット長 8 ビット、LSB ファーストで受信し、不要データを読み捨てる方法でご使用いただく場合。

先頭のデータは読み捨ててください。そして、最終データの後に、本当の最終データを FIFO に格納するためのダミー FS を入力することによって、スロット長 8 ビット、LSB ファーストで正しく受信することができます。

2. スロット長 8 ビット、MSB ファーストで受信し、LSB ファーストにソフト処理で変換する方法でご使用いただく場合。

スロット長 8 ビット、MSB ファーストで受信する場合は、正常にデータを受信することができます。

そこで、MSB ファーストで受信後、FIFO から読み出したデータをソフト処理で MSB ファーストから LSB ファーストに変換することによって、スロット長 8 ビット、LSB ファーストのデータとしてご使用できます。

3. スロット長 16 ビット、LSB ファーストで受信し、必要なデータのみ取り出す方法でご使用いただく場合。

スロット長 16 ビット、LSB ファーストで受信する場合は、正常にデータを受信することができます。

そこで、下記 2 つの方法で、スロット長 8 ビット、LSB ファーストの受信データとしてご使用できます。

- (a) 送信側では上位 8 ビットだけにデータをセットして送信し、受信する SH7727 側では、16 ビット受信後、上位 8 ビットのデータのみ取り出すことによって、スロット長 8 ビット、LSB ファーストのデータとしてご使用できます。
- (b) 送信側では 8 ビットのデータを 2 個ペアにして送信し、受信する SH7727 側では、16 ビットのデータを受信後、上位 8 ビットと下位 8 ビットに分けて、8 ビットのデータ 2 個として扱うことによって、スロット長 8 ビット、LSB ファーストのデータとしてご使用できます。

20.4.1 SH7727B バージョン以前での SIOF 使用時の注意事項

(1) 注意事項

SIOF を使用時に、下記現象が発生する場合があります。

- (a) SIOF を DMA 転送で送信動作中に、SIOF から DMA に転送要求信号が出力されなくなり、アンダフローが発生し、送信動作が停止する。
- (b) 送信の動作中で、送信 FIFO がエンプティ、アンダフロー、オーバフロー状態のときに送信 FIFO への書き込みと読み出しのタイミングによって、送信データが欠落することがあります。
- (c) SIOF が DMA の内部周辺モジュールリクエストモードで受信データの転送を行うと、受信 FIFO のウォーターマークを超えた 1 データ分しか転送要求を発行しないため、頻繁に転送要求が待たされると受信データが積み残され、オーバフローとなり、受信データが欠落することがあります。
- (d) 受信の動作で、受信 FIFO からの読み出し中に書き込みが発生すると、その時点の受信データが欠落することがあります。
- (e) 受信の動作中で、受信 FIFO がフル、アンダフロー、オーバフローの状態において、受信 FIFO への書き込みと読み出しのタイミングによって、受信データが欠落することがあります。
この場合、フル、アンダフロー、オーバフロー状態がフラグに反映されないことがあります。

(2) 対策

本注意事項対策のために、SIOF のご使用は下記ソフトウェアによりご対応をお願いします。

(a) 注意事項 (a)、(b) の対策

送信 FIFO のデータが、ウォーターマークを下回ったときに生成される送信 FIFO 転送要求割り込み (TXI) を参照して、空き段数分のデータを DMA のオートリクエストで送信 FIFO に書き込んでください。

その際、ウォーターマークの設定値は、送信動作中に送信 FIFO がエンプティまたは、アンダフローにならないように設定してください。

例：送信 FIFO の空き領域を 12 段として設定した場合は、送信 FIFO 転送要求割り込み (TXI) により、12 段分のデータを DMA のオートリクエストで送信 FIFO に書き込みます。

(b) 注意事項 (c)、(d)、(e) の対策

受信 FIFO のデータが、ウォーターマークを上回ったときに生成される受信 FIFO 転送要求割り込み (RXI) を参照して、(有効段数 - 2) 段分のデータを DMA のオートリクエストで受信 FIFO から読み出してください。読み出しは、次の受信データの書き込みが行われる前までに完了させてください。

その際、ウォーターマークの設定値は、受信動作中に受信 FIFO がフルまたは、オーバフローにならないように設定してください。

例：受信 FIFO の有効領域を 12 段として設定した場合は、受信 FIFO 転送要求割り込み (RXI) により、10 段分のデータを DMA のオートリクエストで受信 FIFO から読み出します。

(3) その他

(a) DMA の 16 バイト転送を使用しないでください。(「14.3.4 DMA 転送の種類」参照)

(b) SIOF へのアクセスは、DMA のオートリクエストを推奨いたします。

CPU からアクセスされる場合は、連続アクセスをしないでください。

20. シリアル IO (SIOF)

- (c) 送信 / 受信動作が終了した後で、SIOF を再度ご使用になるときは、送信リセット (TXRST) または、受信リセット (RXRST) を実行したあとで、ご使用ください。

21. アナログフロントエンドインタフェース (AFEIF)

21.1 概要

本 LSI は、ソフトウェアモデムをサポートする AFE インタフェースを備えています。送信、受信用にそれぞれ 128 段の FIFO を内蔵し効率的にモデム処理を行うことができます。さらにダイヤルパルス生成回路およびリング検出機能などの電話回線制御部 (DAA (Data Access Arrangement)) とのインタフェースも備えており、必要最小限のハードウェアでモデムシステム構成を構築することができます。

21.1.1 特長

- FIFO付きシリアルインタフェース。
- シリアルインタフェースはクロック同期式
- 送受信FIFOサイズは最大16ビット×128ワード。
- 送受信割り込みスレシヨルドサイズがプログラマブル。
- ダイヤルパルス生成回路搭載。
- リンギング (呼び出し信号) 検出機能搭載。

21. アナログフロントエンドインタフェース (AFEIF)

21.1.2 ブロック図

図 21.1 に AFEIF の機能ブロック図を示します。

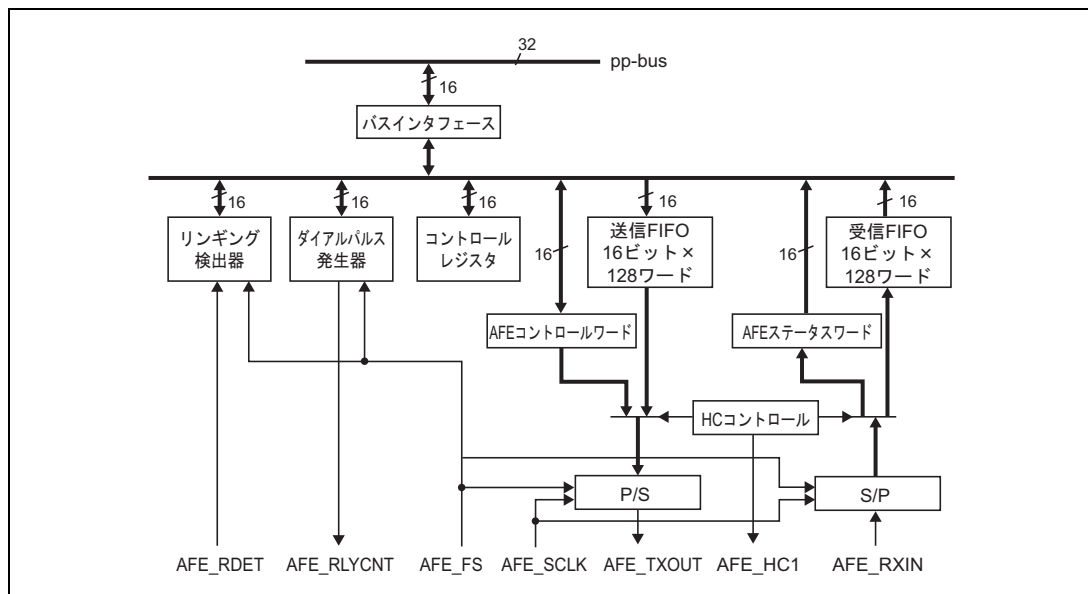


図 21.1 AFE インタフェースブロック図

21.1.3 端子構成

AFEIF で使用する外部端子一覧を表 21.1 に示します。

表 21.1 AFEIF 外部端子一覧

端子名称	I/O	端子機能
AFE_RDDET	I	リングング信号入力
AFE_RLYCNT	O	オンフック制御信号
AFE_SCLK	I	シフトクロック
AFE_FS	I	フレーム同期信号
AFE_RXIN	I	シリアル受信データ
AFE_HC1	O	AFE ハードウェアコントロール信号
AFE_TXOUT	O	シリアル送信データ

21.1.4 レジスタ構成

表 21.2 に AFEIF のレジスタ群を示します。レジスタアクセスの際、バイトアクセスは行わないでください。

表 21.2 AFEIF レジスタ

名称	略称	R/W	初期値	アドレス	アクセスサイズ
AFEIF コントロールレジスタ 1	ACTR1	R/W	H'0000	H'04000180	16
AFEIF コントロールレジスタ 2	ACTR2	R/W	H'0000	H'04000182	16
AFEIF ステータスレジスタ 1	ASTR1	R/W	H'0F0A	H'04000184	16
AFEIF ステータスレジスタ 2	ASTR2	R/W	H'0300	H'04000186	16
メークレシオカウントレジスタ	MRCR	R/W	H'0000	H'04000188	16
ミニマムポーズカウントレジスタ	MPCR	R/W	H'0000	H'0400018A	16
ダイヤルナンバキュー	DPNQ	R/W	H'0000	H'0400018C	16
リングングパルスカウンタ	RCNT	R	H'0000	H'0400018E	16
AFE コントロールデータレジスタ	ACDR	R/W	H'0000	H'04000190	16
AFE ステータスデータレジスタ	ASDR	R	H'0000	H'04000192	16
送信データ FIFO ポート	TDFP	W	不定	H'04000194	32(16)
受信データ FIFO ポート	RDFP	R	不定	H'04000198	32(16)

21.2 レジスタの説明

21.2.1 AFEIF コントロールレジスタ 1、2 (ACTR1、ACTR2)

ACTR は AFEIF の制御用のレジスタであり、ACTR1 と ACTR2 の 2 ワード構成です。ACTR1 は主に FIFO 制御用コマンド、ACTR2 は AFE 制御、DAA 制御用のコマンドセットを用意します。

(1) AFEIF コントロールレジスタ 1 (ACTR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HC	—	—	—	—	—	—	—	DLB	—	—	FFSZ2	FFSZ1	FFSZ0	TE	RE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

- ビット15: AFEハードウェアコントロール (HC)

AFE 制御用ビット。このビットに "1" を書き込むと次のシリアル送信データ転送直後に AFE_HCI 信号を "H" にし、そのあとの 2 番目の AFE_FS にて ACDR のデータ (AFE コントロールワード) を転送します。AFE コントロールワード転送直後、AFEIF モジュールは自動的に AFE_HCI 信号を "L" に、HC ビットを "0" に戻します。AFE 制御シーケンスは「21.3.2 AFE インタフェース」を参照してください。

21. アナログフロントエンドインタフェース (AFEIF)

- ビット7: FIFOデジタルループバック (DLB)

ビット7	説明
DLB	
0	通常動作 (初期値)
1	送信 FIFO と受信 FIFO のデジタルループバックを行います。このとき、送信データは AFE_TXOUT にも出力されます。

- ビット 4~2: FIFOインタラプトサイズセット2~0 (FFSZ2~0)

FIFOのサイズを指定します。割り込み (TFE、RFF、THE、RHF) を発生させるサイズはそれぞれ以下のよう
に割り当てられます。

ビット4	ビット3	ビット2	説明
FFSZ2	FFSZ1	FFSZ0	
0	0	0	FIFO サイズ: 128 TFE/RFF: 128 空/満 THE/RHF: 64 空/満 (初期値)
0	0	1	FIFO サイズ: 64 TFE/RFF: 64 空/満 THE/RHF: 32 空/満
0	1	0	FIFO サイズ: 32 TFE/RFF: 32 空/満 THE/RHF: 16 空/満
0	1	1	FIFO サイズ: 16 TFE/RFF: 16 空/満 THE/RHF: 8 空/満
1	0	0	FIFO サイズ: 8 TFE/RFF: 8 空/満 THE/RHF: 4 空/満
1	0	1	FIFO サイズ: 4 TFE/RFF: 4 空/満 THE/RHF: 2 空/満
1	1	0	FIFO サイズ: 2 TFE/RFF: 2 空/満 THE/RHF: 1 空/満
1	1	1	FIFO サイズ: 96 TFE/RFF: 96 空/満 THE/RHF: 48 空/満

- ビット1: 送信イネーブル (TE)

ビット1	説明
TE	
0	送信動作禁止。FIFOのリードポイントは先頭番地に固定されます。また、ライトポイントは0を書き込まれたときに先頭番地にリセットされます。ASTR1のTFEM、THEMビットは"1"の状態にリセットされます。 (初期値)
1	送信動作許可

- ビット0: 受信イネーブル(RE)

ビット0	説明
RE	
0	受信動作禁止。FIFOのWRITE/READポイントは先頭番地に固定されます。ASTR1のRFFM、RHFMビットは"1"の状態にリセットされます。 (初期値)
1	受信動作許可

21. アナログフロントエンドインタフェース (AFEIF)

- ビット14~8、6、5：予約ビット

(2) AFEIF コントロールレジスタ 2 (ACTR2)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DPST	PPS	RCEN	—	RLYC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W

- ビット4：ダイヤルパルススタート (DPST)

電話番号列出力のスタートビットです。PPS、MRCR、MPCR にて指定された仕様で、DPNQ レジスタに詰め込まれた電話番号列を AFE_RLYCNT に出力させます。全電話番号列を出力終了後、DPE 割り込みを発生させ、DPST ビットを"0"に戻します(ダイヤルパルス送出シーケンスは「21.3.3 DAA インタフェース」を参照してください)。なお、ダイヤルパルス生成回路は AFE_RLYCNT が"H"の状態であれば動作しないことに注意が必要です。

- ビット3：ダイヤルパルス期間 (PPS)

ビット3	説 明	
PPS		
0	10PPS	(初期値)
1	20PPS	

- ビット2：リングングカウンタイネーブル (RCEN)

ビット2	説 明	
RCEN		
0	リングングカウント停止	(初期値)
1	リングングカウントスタート	

【注】 カウント仕様は「21.3.3 DAA インタフェース」を参照してください。

- ビット0：リレーコントロール (RLYC)

フックリレー制御用の信号です。

ビット0	説 明	
RLYC		
0	オンフック状態。AFE_RLYCNT ビン"L"出力	(初期値)
1	オフフック状態。AFE_RLYCNT ビン"H"出力	

- ビット15~5、1：予約ビット

21. アナログフロントエンドインタフェース (AFEIF)

21.2.2 メイクレシオカウントレジスタ (MRCR)

MRCR はダイヤルパルスのメーク率を指定するカウンタです。9600Hz の AFE_FS を基本クロックとしてメーク間隔を規定します。無効データ (PPS="1" (20PPS) の場合 1E0H 以上のデータ、PPS="0" (10PPS) の場合 3C0H 以上のデータ) が入力された場合、パルス信号は送出されません。

ビット:	15	14	13	12	11	10	9~0						
	—	—	—	—	—	—	MRCR						
初期値:	0	0	0	0	0	0	0						
R/W :	R	R	R	R	R	R	R/W						

21.2.3 ミニマムポーズカウントレジスタ (MPCR)

MPCR はダイヤルパルスの電話番号間隔を指定するカウンタです。9600Hz の AFE_FS を基本クロックとして電話番号間隔を規定します。

ビット:	15~0														
	MPCR														
初期値:	0														
R/W :	R/W														

21.2.4 AFEIF ステータスレジスタ 1、2 (ASTR1、ASTR2)

ASTR は AFEIF の割り込み制御用のレジスタであり、ASTR1 と ASTR2 の 2 ワード構成です。ASTR1 は主に送受信 FIFO 割り込み制御、ASTR2 は DAA 割り込み制御用のコマンドセットを用意します。割り込み動作の詳細については、「21.3.1 割り込みタイミング」を参照してください。

(1) AFEIF ステータスレジスタ 1 (ASTR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TFEM	RFFM	THEM	RHFM	—	—	—	—	TFE	RFF	THE	RHF
初期値:	0	0	0	0	1	1	1	1	0	0	0	0	1	0	1	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ASTR1 は送受信 FIFO に関する割り込みのステータスフラグ (4 ビット) および送受信 FIFO 割り込み信号のマスクフラグ (4 ビット) から構成されるレジスタです。ステータスフラグは送受信 FIFO の FIFO フル/エンプティ割り込み、FIFO ハーフサイズ割り込み状態を表示します。リセット直後は、送信 FIFO の状態はデータエンプティ状態であり、FIFO エンプティ (TFE) と FIFO ハーフサイズ割り込み (THE) は 1 の状態となります。割り込み要因解除方法は、FIFO のデータ操作 (リード/ライト) によって行います。

割り込み信号マスクフラグは、上記各ステータスフラグにて示された割り込み要因を各々マスクすることができます。リセット時には割り込みマスクビットは 1 に初期化されます。

- ビット15~12、7~4: 予約ビット

21. アナログフロントエンドインタフェース (AFEIF)

- ビット11: 送信FIFOエンプティインタラプトマスク (TFEM)

ビット 11	説 明
TFEM	
0	TFE 割り込み許可
1	TFE 割り込みマスク (初期値)

- ビット10: 受信FIFOフルインタラプトマスク (RFFM)

ビット 10	説 明
RFFM	
0	RFF 割り込み許可
1	RFF 割り込みマスク (初期値)

- ビット9: スレッシュヨルド送信FIFOエンプティインタラプトマスク (THEM)

ビット 9	説 明
THEM	
0	THE 割り込み許可
1	THE 割り込みマスク (初期値)

- ビット8: スレッシュヨルド受信FIFOフルインタラプトマスク (RHFM)

ビット 8	説 明
RHFM	
0	RHF 割り込み許可
1	RHF 割り込みマスク (初期値)

- ビット3: 送信FIFOエンプティインタラプト (TFE)

ビット 3	説 明
TFE	
0	通常状態
1	TxFIFO エンプティ 割り込み (初期値)

セット条件: (1) リセット時

(2) FIFO 内に有効データがないとき

(3) TE ビット (ACTR1) が"0"にリセットされたとき

((3) のとき、マスクビット TFEM は自動的にマスクされる)

クリア条件: FIFO 内にデータが書き込まれたとき

21. アナログフロントエンドインタフェース (AFEIF)

- ビット2: 受信FIFOフルインタラプト (RFF)

ビット2	説明
RFF	
0	通常状態 (初期値)
1	RxFIFO フル割り込み

セット条件: FIFO 内に FFSZ (ACTR1) で指定されたサイズの受信データが蓄積されたとき

クリア条件: (1) リセット時

(2) FIFO 内のデータが FFSZ (ACTR1) で指定されたサイズ未満になったとき

(3) RE ビット (ACTR1) が"0"にリセットされたとき

- ビット1: 送信FIFOハーフサイズエンプティ (THE)

ビット1	説明
THE	
0	通常状態
1	TxFIFO ハーフサイズ割り込み (初期値)

セット条件: (1) リセット時

(2) FIFO 内の有効データが FFSZ にて指定されたサイズの 1/2 以下になったとき

(3) TE ビット (ACTR1) が"0"にリセットされたとき

((3) のときマスクビット THEM は自動的にマスクされる)

クリア条件: FIFO 内の有効データが FFSZ にて指定されたサイズの 1/2 以上になったとき

- ビット0: 受信FIFOハーフサイズフル (RHF)

ビット0	説明
RHF	
0	通常状態 (初期値)
1	Rx FIFO ハーフサイズ割り込み

セット条件: FIFO 内に FFSZ にて指定されたサイズの 1/2 の受信データが蓄積されたとき

クリア条件: (1) リセット時

(2) FIFO 内のデータが FFSZ にて指定されたサイズの 1/2 未満になったとき

(3) RE ビット (ACTR1) が"0"にリセットされたとき

(2) AFEIF ステータスレジスタ 2 (ASTR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DPEM	RDETM	—	—	—	—	—	—	DPE	RDET
初期値:	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ASTR2 は DAA 制御に関する割り込みステータスフラグ (2 ビット) および DAA 制御割り込み信号のマスクフラグ (2 ビット) から構成されるレジスタです。ステータスフラグはリングング検出割り込み、ダイヤルパルス出力終了割り込みの状態を表示します。割り込み要因解除方法は、割り込み発生状態"1"を読んだ後"0"を書き込むことによって行います。

割り込み信号マスクフラグは、上記各ステータスフラグにて示された割り込み要因を各々マスクすることができます。

- ビット9: ダイヤルパルスエンドインタラプトマスク (DPEM)

ビット9	説明
DPEM	
0	割り込み許可
1	割り込みマスク (初期値)

- ビット8: リングングディテクトマスク (RDETM)

ビット8	説明
RDETM	
0	リングング割り込み許可
1	リングング割り込みマスク (初期値)

- ビット1: ダイヤルパルスエンド (DPE)

ビット1	説明
DPE	
0	通常状態 (初期値)
1	ダイヤルパルス出力終了割り込み

セット条件: (1) 全ダイヤルパルス列の出力が終了したとき、また、終了コマンド 0H を検出したとき
 (2) 不正終了 (規定外ダイヤルナンバおよび RLYC ビット (ACTR2) が"L"時に DPST をセット) したとき

クリア条件: (1) リセット時

(2) 割り込み状態"1"を読んだ後、本ビットに"0"が書き込まれたとき

21. アナログフロントエンドインタフェース (AFEIF)

- ビット0: リンギングディテクト (RDET)

ビット0	説明
RDET	
0	通常状態 (初期値)
1	リンギング波形検出

セット条件: AFE_RDET ピンにリンギング波形が入力されたとき (立ち下がりでラッチする)

クリア条件: (1) リセット時

(2) 割り込み状態"1"を読んだ後、本ビットに"0"が書き込まれたとき

21.2.5 ダイヤルナンバキュー (DPNQ)

4桁までの電話番号レジスタキューであり、4ビットずつのレジスタで構成されます。DNの番号順に以下の対応表に従ってダイヤルパルスを生成します。DN3の出力後、あるいは、0Hおよび対応データ以外の値を検出したらダイヤルパルス出力終了割り込みを送出します。

ビット:	15~12	11~8	7~4	3~0
	DN0	DN1	DN2	DN3
初期値:	0000	0000	0000	0000
R/W:	R/W	R/W	R/W	R/W

表 21.3 電話番号とデータの対応

電話番号・その他	対応データ
0	AH
1	1H
2	2H
3	3H
4	4H
5	5H
6	6H
7	7H
8	8H
9	9H
ポーズ	FH
終了	0H

21.2.6 リンギングパルスカウンタ (RCNT)

リンギング波形の 1 周期を AFE_FS にてカウントした値が表示されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- ビット15~0: リンギングカウンタバリュー (RCNT)

入力されたリンギング波形の 1 周期を AFE 出力の AFE_FS でカウントした値 (リンギング検出シーケンスは「21.3.3 DAA インタフェース」参照してください)。

21.2.7 AFE コントロールデータレジスタ (ACDR)

ACDR は AFE 制御ワード格納用レジスタです。HC (ACTR1) ビットへ"1"の書き込み後、3 番目の FS で AFE に転送されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ACDR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.2.8 AFE ステータスデータレジスタ (ASDR)

ASDR は AFE ステータスワード格納用レジスタです。HC (ACTR2) ビットへ"1"の書き込み後、3 番目の FS で AFE から ASDR に転送されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ASDR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

21.2.9 送信データ FIFO ポート (TDFP)

TDFP は送信 FIFO 用の書き込み専用のポートです。送信用 FIFO は最大 128 段のサイズを持ち、データエンブティのほかに FFSZ (ACTR1) で指定されたスレッシュホールドサイズの割り込みを発生させることができます。リセット直後と TE (ACTR1) ビットが"0"のときは、FIFO 内のポインタが先頭アドレスにリセットされデータが空の状態です。このまま TE (ACTR1) ビットに"1"を書き込むと割り込みが発生することになります。通常、あらかじめ送信 FIFO にデータを書き込んでから TE ビットを操作します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDFP															
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

21. アナログフロントエンドインタフェース (AFEIF)

21.2.10 受信データ FIFO ポート (RDFP)

RDFP は受信 FIFO 用の読み込み専用のポートです。受信用 FIFO は最大 128 のサイズを持ち、データフルのほかに FFSZ (ACTR1) で指定されたスレッシュホールドサイズの割り込みを発生させることができます。リセット直後と RE (ACTR1) ビットが "0" のときは、FIFO 内のポインタが先頭アドレスに固定され、RDFP からのデータは不定状態となります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDFP															
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

21.3 動作説明

21.3.1 割り込みタイミング

AFE インタフェースモジュールは FIFO データ転送、リングング検出、およびダイヤルパルス送出終了の 3 タイプの割り込みを発生します。以下にそれぞれの割り込み発生タイミングについて説明します。

(1) FIFO 割り込みタイミング

図 21.2 にデータ転送 FIFO の割り込みタイミングを示します。送信 FIFO は最後のワードをシフトレジスタに転送した時点で TFE、THE 割り込みを発生させ、受信 FIFO は最後のワードあるいは既定値ワードをシフトレジスタから FIFO へ転送した時点で RFF、RHF 割り込みを発生させます。

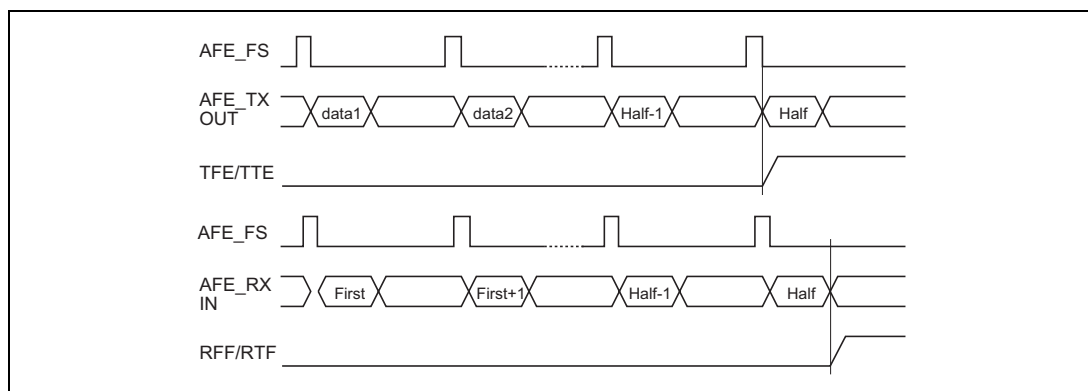


図 21.2 FIFO インタラプトタイミング

(2) リングング割り込みタイミング

リングング波形は図 21.3 に示すように回線からのリングング信号を矩形波に整形し、AFEIF に入力されます。AFEIF モジュールでは入力波形の立ち下りのタイミングで割り込みを発生させます。

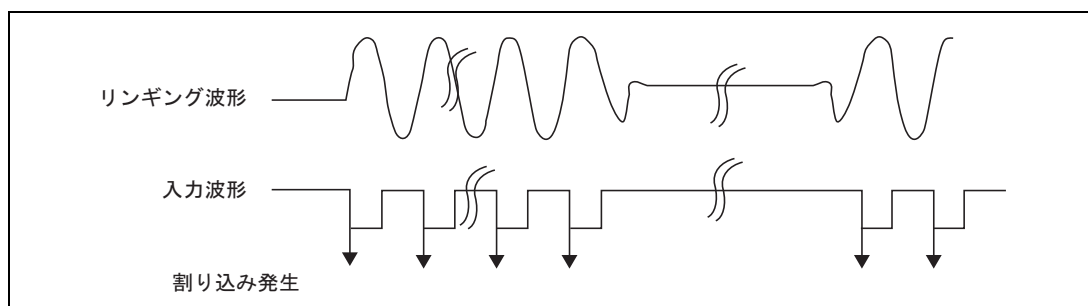


図 21.3 リングングインタラプト発生タイミング

21. アナログフロントエンドインタフェース (AFEIF)

(3) ダイヤルパルス割り込みタイミング

ダイヤルパルス送出シーケンス上、DPNQ レジスタに入力されたデータから 0H(終了)データをリードするか、4桁すべてを出力した時点で割り込みを送出します (ダイヤルパルス送出シーケンスについては「21.3.3 DAA インタフェース」を参照してください)。

(4) 割り込み生成回路

割り込み生成は図 21.4 に示すように FIFO 割り込み制御の ASTR1 と DAA 割り込み制御の ASTR2 の 2 本の割り込みレジスタから出力される計 6 本の割り込み信号を OR し、1 本の割り込み信号として INTC に送出します。

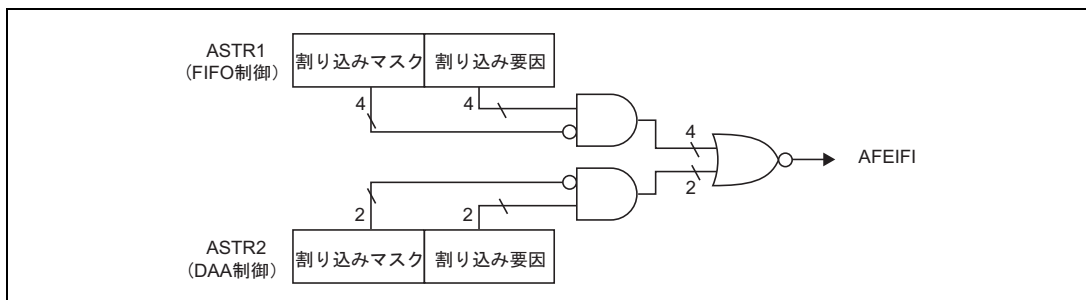


図 21.4 インタラプトジェネレータ

21.3.2 AFE インタフェース

(1) シリアルデータ転送仕様

シリアルデータ転送仕様は、ST マイクロエレクトロニクス社製 AFE である STLC7550 のシリアルデータインタフェースに準じています。STLC7550 は自発振モードとし、シリアル転送に使用されるフレーム同期信号 AFE_FS とシリアルビットクロック AFE_SCLK は AFE から供給されます。図 21.5 にシリアル転送仕様を示します。有効データ出力後は、AFE_TXOUT は LSB の値を保持します。

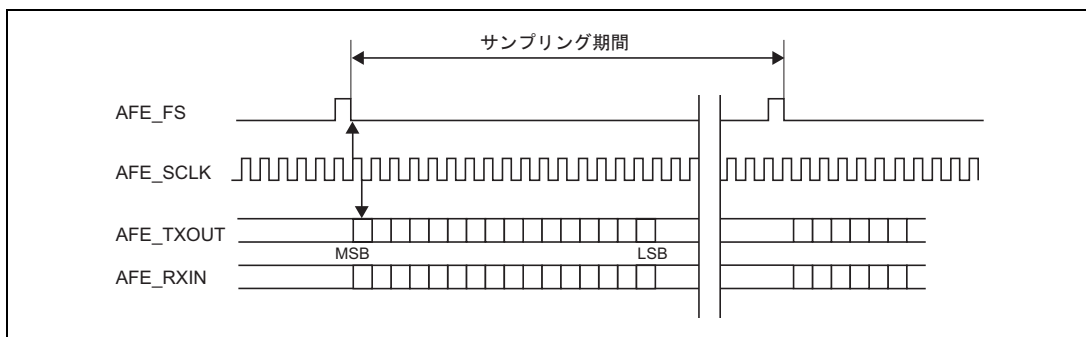


図 21.5 AFE シリアルインタフェース

(2) HC コントロールシーケンス

AFEIF モジュールはさらに ST マイクロエレクトロニクス社製 AFE STLC7550 のハードウェアコントロールをサポートしています。図 21.6 に AFE の制御シーケンスを示します。

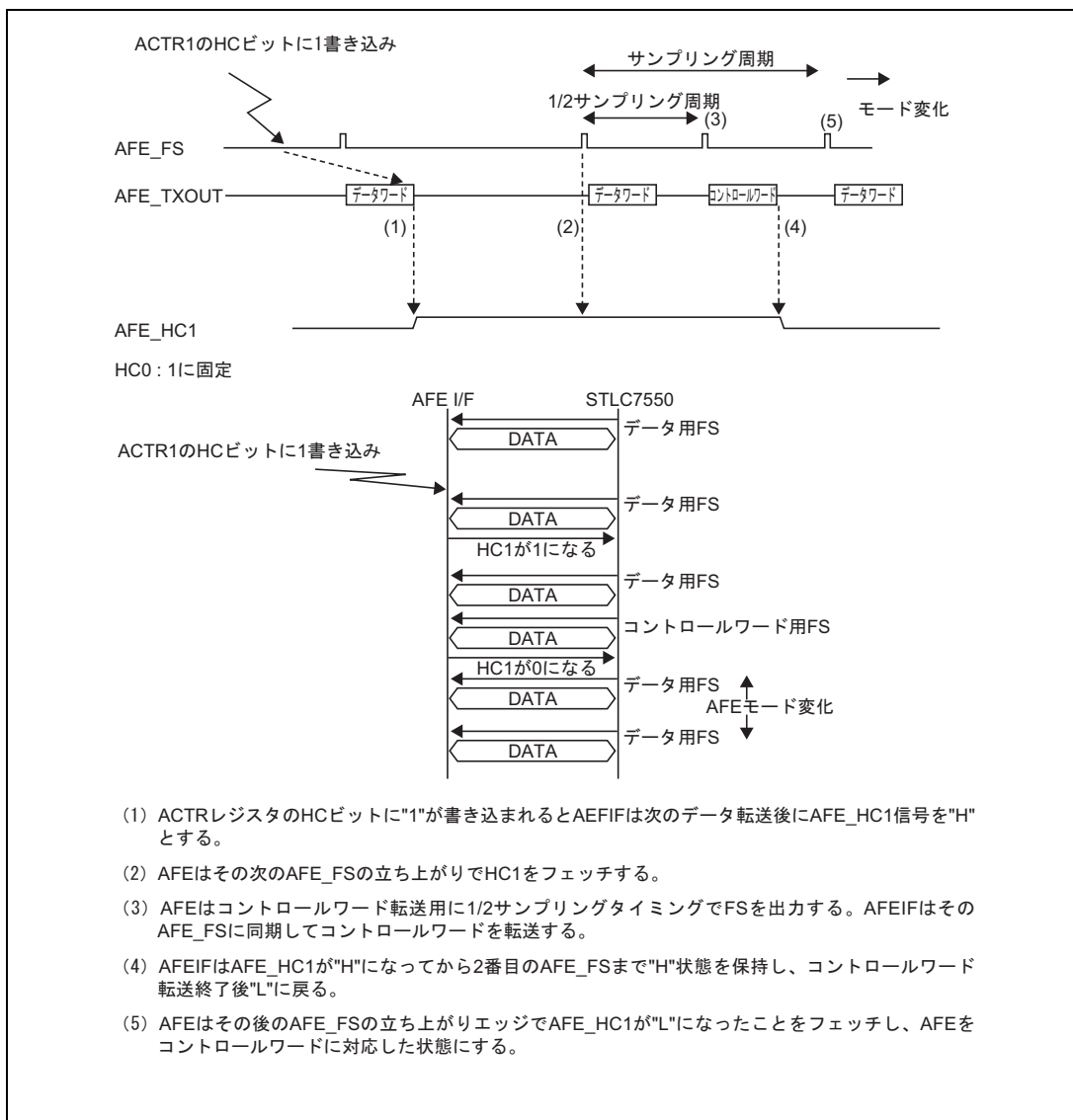


図 21.6 AFE コントロールシーケンス

21.3.3 DAA インタフェース

図 21.7 に DAA のブロック図を示します。以下にリングング検出シーケンスとダイヤルパルス送出シーケンスを説明します。

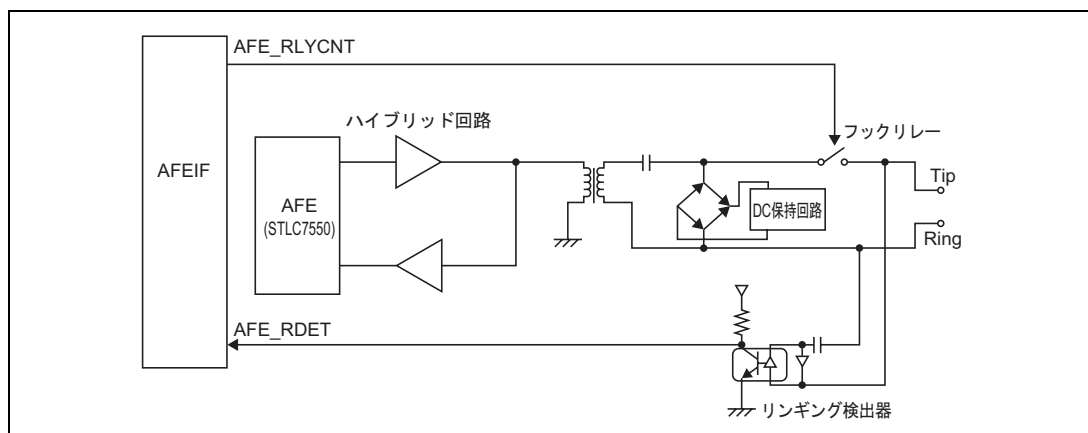


図 21.7 DAA ブロック図

(1) リングング検出シーケンス

最初のリングング割り込み発生後、ACTR2のRCENビットに"1"を書き込みカウントを開始します。リングング検出部の基本クロックはAFEから入力されるAFE_FSを使用するため、あらかじめAFEを動作状態にする必要があります。周期カウンタはリングングの入力波形の立ち下がりから次の立ち下がりまでの間のAFE_FSをカウントします。1周期をカウントし終わる(次の立ち下がりを検出する)とそのカウント値をRCNTレジスタに転送し割り込みを発生させ、再度カウントアップを始めます。ゆえに、2番目の割り込みからRCNTレジスタの値は有効となります。

なお、16HzのリングングをAFE_FSのデフォルト周期となる9600Hzでカウントされた場合、RCNTの値は、258H(600)相当になります。

図 21.8 にリングング検出シーケンスを示します。

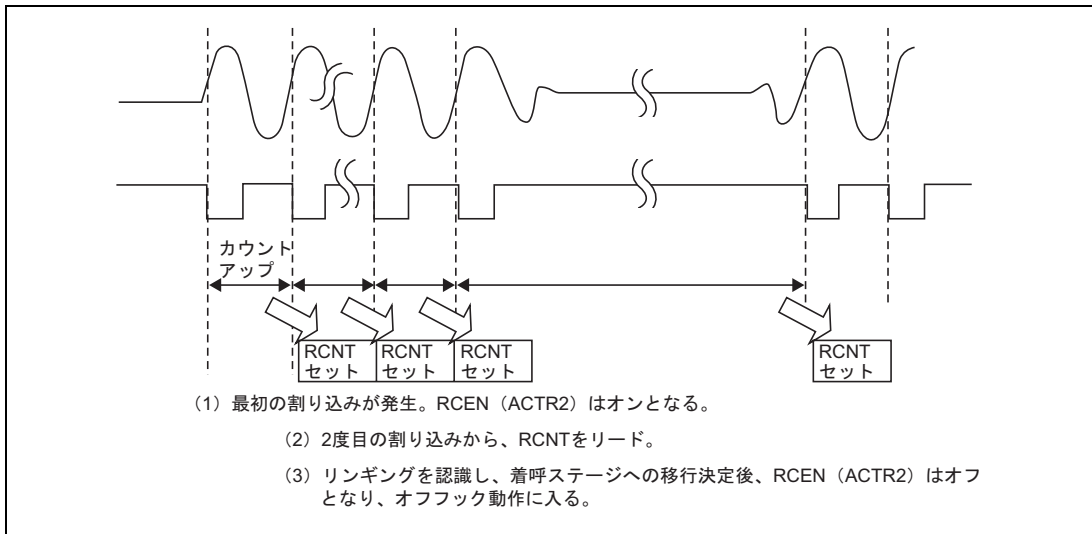


図 21.8 リンギング検出シーケンス

(2) ダイアルパルス送出シーケンス

ACTR2 に指定された条件でダイアルパルスを生成し AFE_RLYCNT に送出します。ダイアルパルスを生成するための基本クロックは AFE から入力される AFE_FS であるため、あらかじめ AFE を動作状態にする必要があります。ダイアルパルス送出の制御シーケンス例を以下に示します。なお、このシーケンスは RLYC ビット (ACTR2) が "L" の状態 (オフフック) では動作しないことに注意が必要です。

【条件】

メーク率：33% パルス間隔：20PPS ミニマムポーズ：600ms

ダイアル番号：0,1234567 (","はポーズ)

【制御シーケンス】

1. PPS(ACTR2) "1"、MRCR "9EH1"、MPCR "1680H" セット。
2. DPNQ "AF12H" セット。
3. RLYC "H" セット。(オフフック)
4. ダイアルトーン検出、あるいは規定時間ウェイト。(ソフトウェア制御)
5. DPST(ACTR2)に"1"をライト。(ダイアルパルス送出開始)
6. ダイアルパルス4桁送出終了後、割り込み発生。(DPST "0"に自動リセット)
7. DPNQ "3456H" セット。
8. DPST(ACTR2)に"1"をライト。
9. ダイアルパルス4桁送出終了後、割り込み発生。(DPST "0"に自動リセット)
10. DPNQ "70XXH" セット。

21. アナログフロントエンドインタフェース (AFEIF)

11. DPST(ACTR2)に"1"をライト。

12. ダイヤルパルス1桁送出終了後、割り込み発生。(DPST "0"に自動リセット。送出終了)

21.3.4 ウェークアップリングング割り込み

リングング入力信号である AFE_RDET 信号は PINT 端子に入力することで、電話回線からのリングング信号によるシステムウェークアップ機能を実現することができます。

22. USB ピンマルチプレクスコントローラ

22.1 特長

USB ピンマルチプレクスコントローラは USB ホストコントローラポート 1、または USB ファンクションコントローラから USB トランシーバへのデータパスを制御します。

USB ホストコントローラポート 1 と USB ファンクションコントローラは EXPFC レジスタで制御されるマルチプレクサを介して、USB トランシーバ 1 に接続されています。また、USB トランシーバ 2 と USB ホストコントローラポート 2 は 1 対 1 で接続されています。そのため、USB トランシーバ 1 は USB ホストまたはファンクションのいずれか一方に、USB トランシーバ 2 は USB ホストのみに使用されることとなります。

これらのポートとトランシーバの関係は、各々独立に制御されるため、USB トランシーバ 1 は USB トランシーバ 2 の状態とは無関係に、USB ホストまたはファンクションの任意の一方と接続することが可能です。(USB トランシーバ 1 を USB ファンクションに、USB トランシーバ 2 を USB ホストに設定するような使い方もできます)。USB トランシーバへ向う信号は 113 ピンから 122 ピンにマルチプレクスされている外部ピン USBId_****として外部に出ることができます。

22. USB ピンマルチプレクスコントローラ

22.1.1 ブロック図

図 22.1 に、SH7727 に内蔵された USB ホストコントローラ、USB ファンクションコントローラ、および内蔵された 2 ポートのアナログ USB トランシーバの接続を示します。

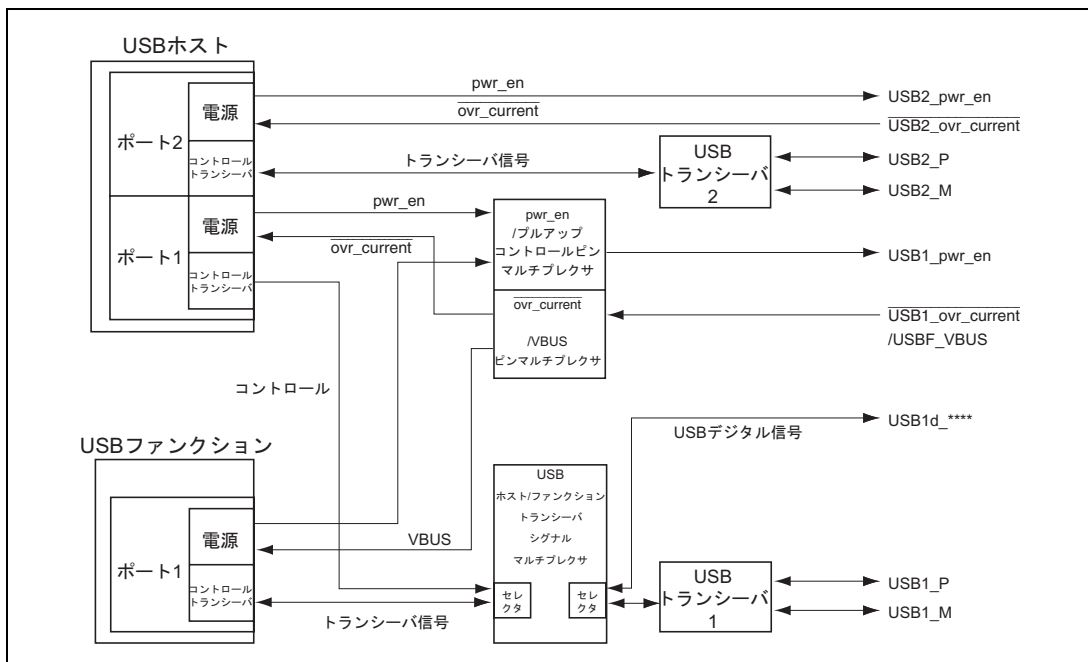


図 22.1 USB ピンマルチプレクスのブロック図

22.1.2 端子構成

USB ピンマルチプレクスコントローラには表 22.1、表 22.2、表 22.3 に示すような端子があります。

表 22.1 端子構成 (デジタルトランシーバ信号)

端子名	略称	入出力	機能
RCV 端子	USB1d_RCV	入力	差動レシーバからの受信データ入力端子
DPLS 端子	USB1d_DPLS	入力	レシーバからの D+信号入力端子
DMNS 端子	USB1d_DMNS	入力	レシーバからの D-信号入力端子
TXDPLS 端子	USB1d_TXDPLS	出力	D+送信出力端子
TXENL 端子	USB1d_TXENL	出力	ドライバ出力許可端子
SUSPEND 端子	USB1d_SUSPEND	出力	トランシーバサスペンドステート出力端子
SPEED 端子	USB1d_SPEED	出力	トランシーバスピード制御端子
TXSE0 端子	USB1d_TXSE0	出力	SE0 ステート出力端子

【注】 表 22.1 に示された端子は、外部に USB トランシーバを接続するためのものであり、内蔵の USB トランシーバを接続した場合は、使用することができません。

表 22.2 端子構成 (アナログトランシーバ信号)

端子名	略称	入出力	機能
1P 端子	USB1_P	入出力	D+ポート 1 トランシーバ端子
1M 端子	USB1_M	入出力	D-ポート 1 トランシーバ端子
2P 端子	USB2_P	入出力	D+ポート 2 トランシーバ端子
2M 端子	USB2_M	入出力	D-ポート 2 トランシーバ端子

【注】 表 22.2 に示された端子は、2 ポートの USB ホストコントローラ端子、または 1 ポートの USB ホストコントローラ端子と 1 ポートの USB ファンクションコントローラ端子として使用することが可能です。未使用時はオープンまたはプルダウンにしてください。

表 22.3 端子構成 (電源制御信号)

端子名	略称	入出力	機能
パワーイネーブル端子 1	USB1_pwr_en	出力	USB ポート 1 電源投入許可制御*
パワーイネーブル端子 2	USB2_pwr_en	出力	USB ポート 2 電源投入許可制御
オーバカレント端子 1 / VBUS 端子	USB1_ovr_current / USBF_VBUS	入力	USB ポート 1 オーバカレント検出 / USB ケーブル接続モニター端子*
オーバカレント端子 2	USB2_ovr_current	入力	USB ポート 2 オーバカレント検出

【注】 表 22.3 に示された端子は、USB の電源制御のために使用されます。ポート 1 用の端子 (*印) は USB ホストコントローラ、および USB ファンクションコントローラの機能がマルチプレクスされています。

22. USB ピンマルチプレクスコントローラ

22.1.3 レジスタ構成

表 22.4 に USB ピンマルチプレクスコントローラのレジスタを示します。

表 22.4 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
エキストラピンファンクションコントローラ	EXPFC	R/W	H'0000	H'A4000234	16

22.2 レジスタの説明

22.2.1 エキストラピンファンクションコントローラ (EXPFC)

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
							USB_TRANS	USB_SEL
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W*	R/W*	R/W*	R/W*	W	W

【注】 * 読み出し/書き込みともに 0 にセットしてください。

- ビット15~2: 予約ビット

常に 0 にセットしてください。1 を書き込む際の動作保証は致しません。

- ビット1: USBポート1のトランシーバ選択機能 (USB_TRANS)

ビット1	説明
USB_TRANS	
0	USB トランシーバはイネーブル (初期値)
1	USB デジタル信号出力はイネーブル

- ビット0: USBポート1のシグナルソース選択 (USB_SEL)

ビット0	説明
USB_SEL	
0	USB ホストコントローラが USB ポート 1 を使用 (初期値)
1	USB ファンクションコントローラが USB ポート 1 を使用

【注】 USB ポート 2 は USB ホストコントローラ専用です。

22.3 外部回路例

22.3.1 USB ファンクションコントローラとトランシーバの接続例

図 22.2～図 22.5 に USB ファンクションコントローラとトランシーバとの接続例を示します。図 22.2、図 22.3 は内蔵 USB トランシーバを使用する場合を、図 22.4、図 22.5 は内蔵 USB トランシーバを使用しない場合をそれぞれ示します。USB ファンクションコントローラの使用に際しては、ケーブル接続モニタ端子 USBF_VBUS に信号を入力する必要があります。USBF_VBUS 端子は $\overline{\text{USB1_ovr_current}}$ 端子とピンマルチプレクスされており、EXPFC レジスタのビット 0 に "1" を書き込むことにより、USBF_VBUS 端子の機能が選択されます。USBF_VBUS 端子の状態により、USB ファンクションコントローラはケーブルの接続 / 切断を認識します。また、USB ホスト / ハブに対して接続されたことを通知するために、D+端子のプルアップを行う必要があります。図 22.2～図 22.5 の回路例では、プルアップの制御に USB1_pwr_en 端子を使用しています。

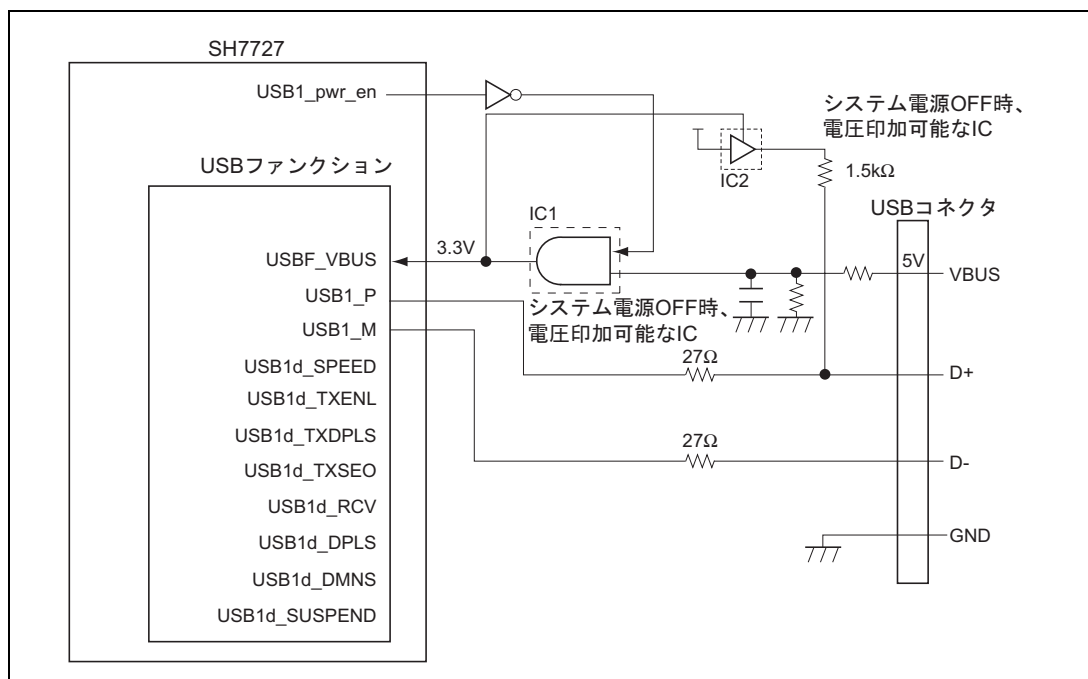


図 22.2 USB ファンクションコントローラの接続例 1 (内部トランシーバ使用時)

22. USB ピンマルチプレクスコントローラ

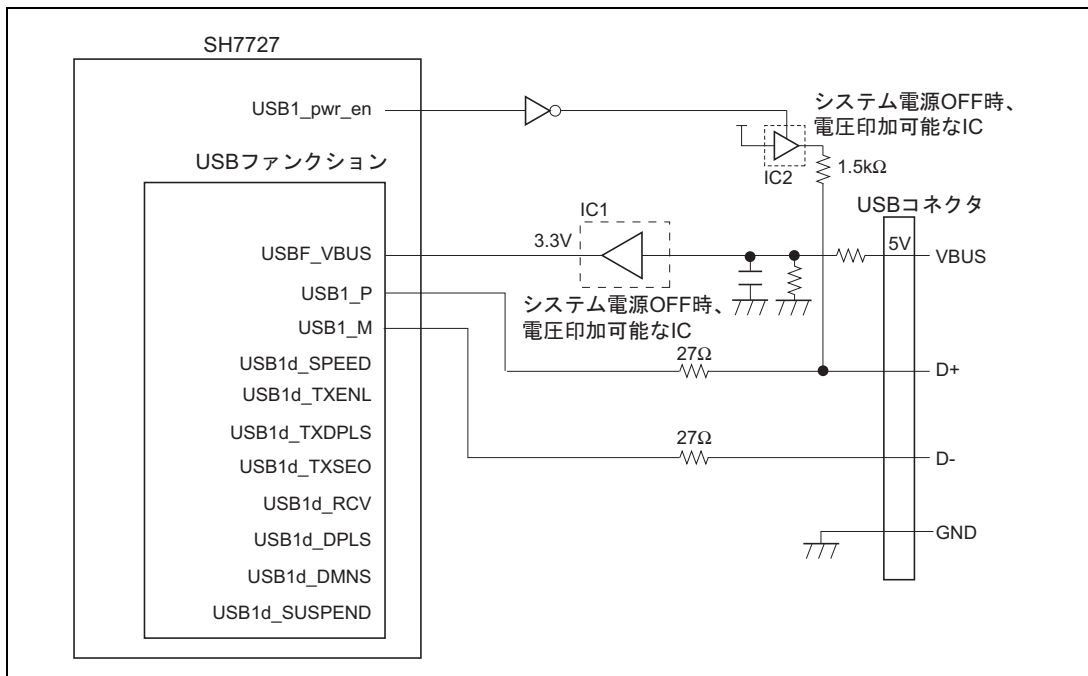


図 22.3 USB ファンクションコントローラの接続例 2 (内部トランシーバ使用時)

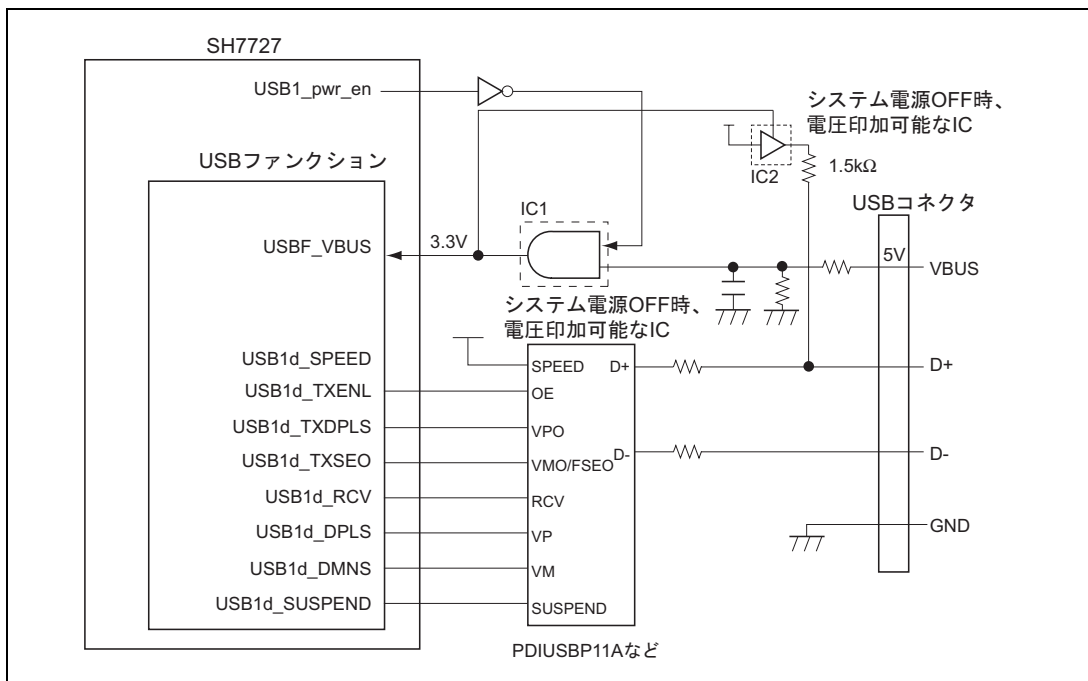


図 22.4 USB ファンクションコントローラの接続例 3 (内部トランシーバ未使用時)

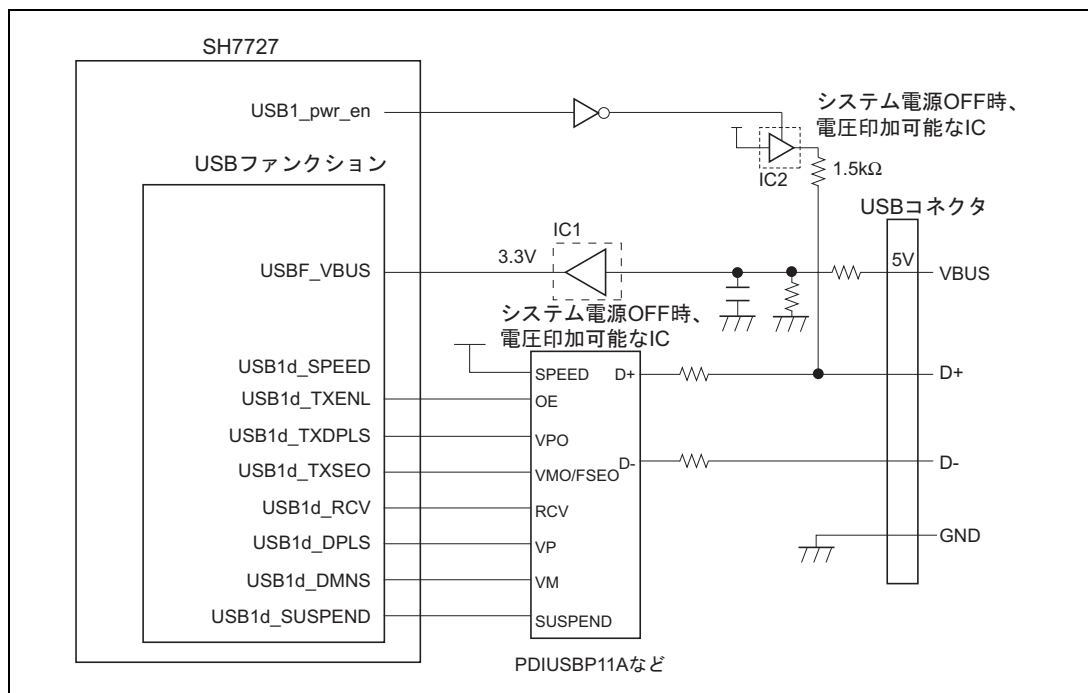


図 22.5 USB ファンクションコントローラの接続例 4 (内部トランシーバ未使用時)

- D+のプルアップ制御

USBホスト/ハブへの接続通知 (D+プルアップ) を禁止したい場合 (優先度の高い処理中、初期化処理中など)、システムではD+のプルアップをUSB1_pwr_en端子を用いて制御してください。図22.2、図22.4に示す回路例のようにD+のプルアップ制御信号、およびUSBF_VBUS端子入力信号はUSB1_pwr_en端子とUSBケーブルVBUSを用いて (AND回路) 制御してください。図22.2～図22.5の回路例ではUSB1_pwr_en端子が"High"レベルのとき、D+プルアップ禁止となります。(USB1_pwr_en端子の初期値は"High"になります) また、図22.3、図22.5に示す回路例のように直接USB1_pwr_en端子でプルアップ制御をする場合は、必ずUSBF_VBUS端子が"High"レベルになったことを確認してから、D+をプルアップしてください。プルアップ制御IC (図22.2～図22.5のIC2) には、システム電源OFF時に電圧印加が可能なIC (HD74LVIG126Aなど) を使用してください (SH7727搭載UDCコアは、USBF_VBUS端子 = Lowのとき、D+、D-の状態にかかわらずパワードステートを保持します)。

- USBケーブル接続/切断の検出

SH7727搭載のUSBファンクションコントローラはハードウェアにてUSBのステートなどを管理しているため、接続/切断を認識するUSB_VBUS信号が必要となります。USBF_VBUSはUSBケーブル内の電源信号 (VBUS) を用いますが、USBファンクションコントローラ (SH7727搭載システム) が電源OFF時、USBホスト/ハブにケーブルが接続されると、USBホスト/ハブから電圧 (5V) が印加されてしまいます。

そのため、図22.2～図22.5のIC1には、システム電源OFF時に電圧印加が可能なIC (HD74LVIG08Aなど) を

22. USB ピンマルチプレクスコントローラ

使用してください。

22.3.2 USB ホストコントローラとトランシーバの接続例

図 22.6、図 22.7 に USB ホストコントローラとトランシーバの接続例を示します。図 22.6 は内蔵 USB トランシーバ 1 を使用する場合を示しています。図 22.6 と同様の外部回路にて、 $\overline{\text{USB2_ovr_current}}$ 、 USB2_pwr_en 、 USB2_P 、 USB2_M の各端子を用いることにより内蔵 USB トランシーバ 2 を使用することもできます。図 22.7 は内蔵 USB トランシーバを使用しない場合の接続例を示しています。USB ホストコントローラの使用に際しては、USB の電源バス制御用に別途 LSI を用意する必要があります（図 22.6、図 22.7 中の USB 電源制御 LSI に相当します）。該当 LSI には、USB 規格を満たす電源供給容量を持ち、過電流保護機能を有するものを選定してください。 $\overline{\text{USB1_ovr_current}}$ 端子への入力は、過電流検出時"Low"となるようシステムを構築してください。

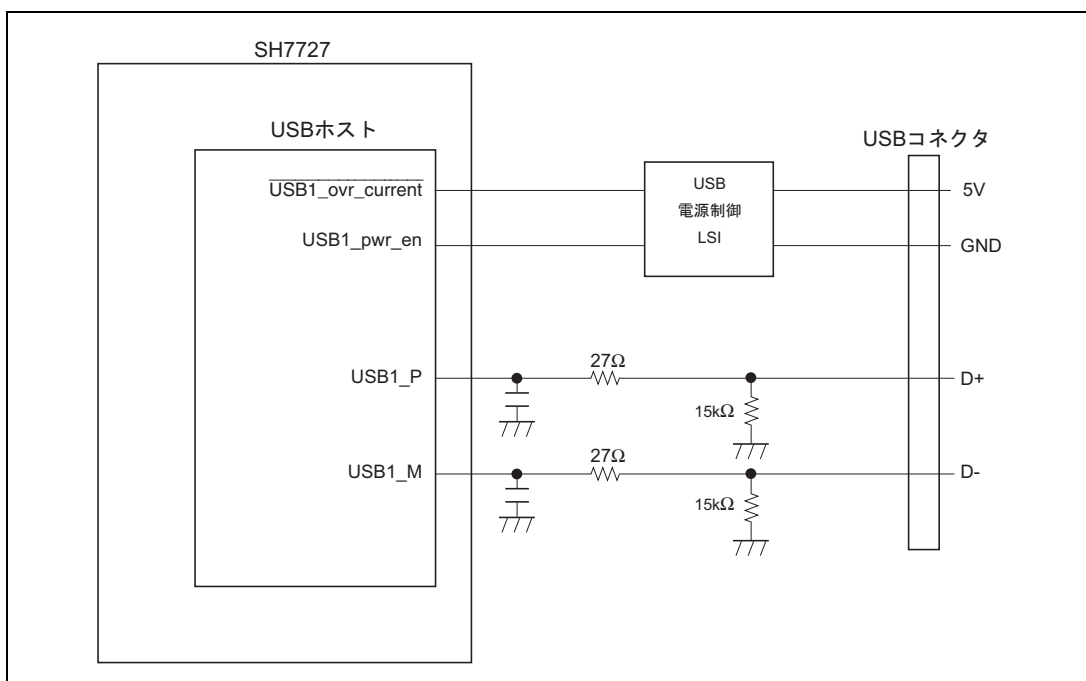


図 22.6 USB ホストコントローラの接続例 1 (内部トランシーバ使用時)

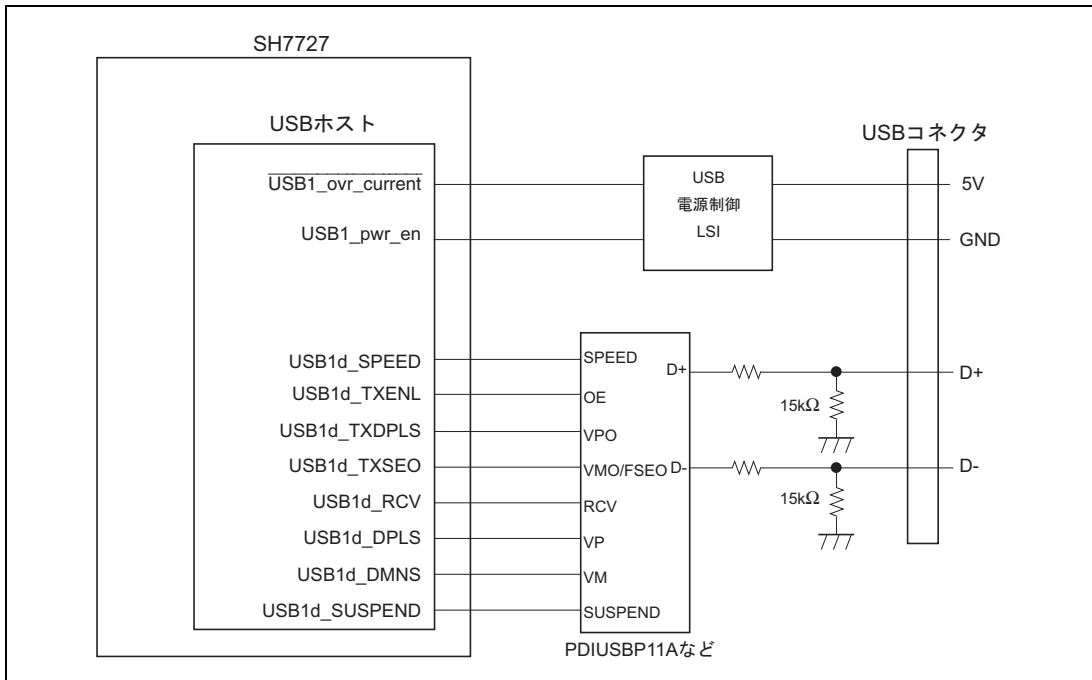


図 22.7 USB ホストコントローラの接続例 2 (内部トランシーバ未使用時)

22.3.3 使用上の注意

(1) USB トランシーバに関して

SH7727 は内部に USB トランシーバを搭載しています。また、EXPFC レジスタの設定により、外部にトランシーバを接続することもできます (図 22.4、図 22.5、図 22.7 参照)。その場合の USB トランシーバから USB コネクタへの推奨回路などは、各 USB トランシーバメーカーにお問い合わせください。

(2) USB 外部回路例に関して

本章記載の外部回路例はあくまで参考例であり、これにより動作を保証するものではありません。

また、外部からのサージ、および ESD ノイズ対策がシステム的に必要な場合、保護ダイオードなどで対策してください。

23. USB ファンクションコントローラ

23.1 特長

- USB1.1に準拠したUDC (USB Device Controller) を内蔵

USBプロトコルを自動処理。

エンドポイント0に対するUSB標準コマンドを自動処理(一部のコマンドとクラス/ベンダコマンドはファームウェアでデコードし、処理する必要があります)

- 転送スピード：フルスピード
- エンドポイントの構成

エンドポイント名	名称	転送タイプ	最大パケットサイズ	FIFO バッファ容量 (バイト)	DMA 転送
エンドポイント 0	EP0s	セットアップ	8	8	-
	EP0i	コントロールイン	8	8	-
	EP0o	コントロールアウト	8	8	-
エンドポイント 1	EP1	バルクアウト	64	128	可能
エンドポイント 2	EP2	バルクイン	64	128	可能
エンドポイント 3	EP3	インタラプトイン	8	8	-



- 割り込み要求：USB送受信に必要な各種割り込み信号を生成
- クロック：エクステンデッドクロックパルスジェネレータ (EXCPG) による選択可能
詳細は、「第11章 エクステンデッドクロックパルスジェネレータ (EXCPG) 」を参照してください。
- 低消費電力モード
USBケーブル切断時、UDC内部クロック停止による低消費電力化が可能
サスペンド状態へ自動遷移 / 自動復帰
- Philips社製、PDIUSBP11シリーズトランシーバおよび互換製品に接続可能 (ただし、互換製品については、トランシーバ供給メーカーと評価・検証の上、ご使用ください)
- 本USBファンクションコントローラは自己電源デバイスです。USBケーブルより供給される電源により動作させることはできません。

23.2 ブロック図

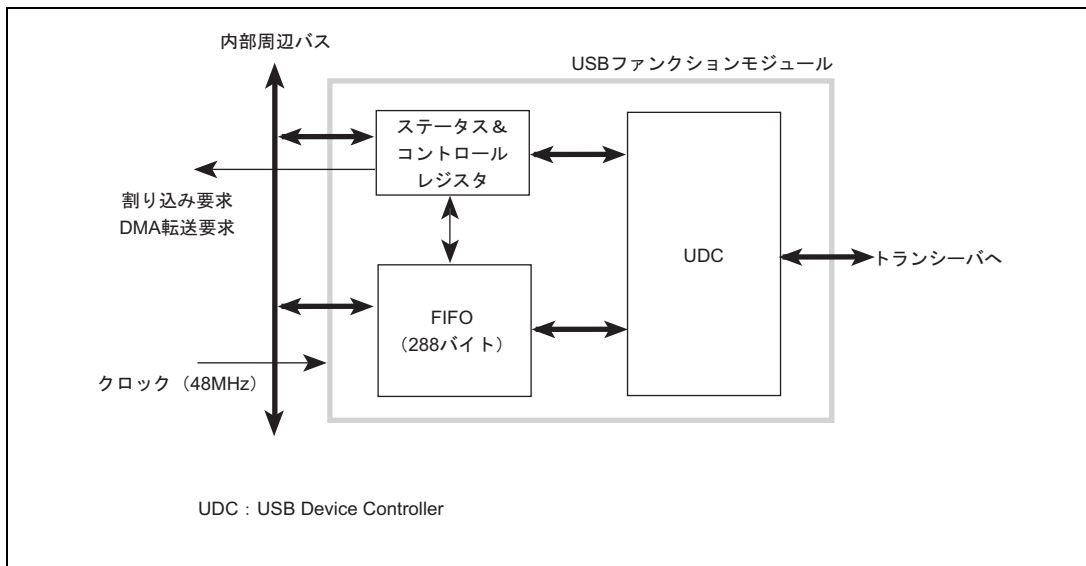


図 23.1 USB のブロック図

23.3 外部端子構成

表 23.1 端子構成と機能

名称	入出力	機能
USBF_VBUS	入力	USB ケーブル接続モニタ端子
USB1_pwr_en	出力	USB1 電源制御端子

SH7727 内蔵トランシーバのほか、Philips 社製、PDIUSBP11 シリーズトランシーバおよび互換製品に接続可能です（ただし、互換製品については、トランシーバ供給メーカーと評価・検証の上、ご使用ください）。

USB トランシーバとの接続の詳細は「第 22 章 USB ピンマルチプレクスコントローラ」を参照してください。

23.4 レジスタ構成

表 23.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
USBEP0i データレジスタ	USBEPDR0I	W	-	H'04000242 (H'A4000242)*	8
USBEP0o データレジスタ	USBEPDR0O	R	-	H'04000243 (H'A4000243)*	8
USBEP0s データレジスタ	USBEPDR0S	R	-	H'04000247 (H'A4000247)*	8
USBEP1 データレジスタ	USBEPDR1	R	-	H'0400024E (H'A400024E)*	8
USBEP2 データレジスタ	USBEPDR2	W	-	H'04000249 (H'A4000249)*	8
USBEP3 データレジスタ	USBEPDR3	W	-	H'04000252 (H'A4000252)*	8
割り込みフラグレジスタ 0	USBIFR0	R/W	H'10	H'04000240 (H'A4000240)*	8
割り込みフラグレジスタ 1	USBIFR1	R/W	H'00	H'04000241 (H'A4000241)*	8
トリガレジスタ	USBTRG	W	-	H'04000244 (H'A4000244)*	8
FIFO クリアレジスタ	USBFCLR	W	-	H'04000245 (H'A4000245)*	8
USBEP0o 受信データサイズレジスタ	USBEPSZ0O	R	H'00	H'04000246 (H'A4000246)*	8
データステータスレジスタ	USBDASTS	R	H'00	H'04000248 (H'A4000248)*	8
エンドポイントストールレジスタ	USBEPSTL	R/W	H'00	H'0400024B (H'A400024B)*	8
割り込みイネーブルレジスタ 0	USBIER0	R/W	H'00	H'0400024C (H'A400024C)*	8
割り込みイネーブルレジスタ 1	USBIER1	R/W	H'00	H'0400024D (H'A400024D)*	8
USBEP1 受信データサイズレジスタ	USBEPSZ1	R	H'00	H'0400024F (H'A400024F)*	8
USBDMA 設定レジスタ	USBDMA	R/W	H'00	H'04000251 (H'A4000251)*	8

23. USB ファンクションコントローラ

名称	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み選択レジスタ 0	USBISR0	R/W	H'00	H'0400024A (H'A400024A)*	8
割り込み選択レジスタ 1	USBISR1	R/W	H'07	H'04000250 (H'A4000250)*	8

【注】 * MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

23.5 レジスタの説明

23.5.1 USBEP0i データレジスタ (USBEPDR0I)

エンドポイント 0 の送信用 8 バイト FIFO バッファです。コントロールインに対する 1 パケット分の送信データを保存します。1 パケット分のデータを書き込み、USB トリガレジスタの EP0i PKTE をセットすることで、送信データが確定します。データを送信した後、ホストから ACK ハンドシェイクが返ってくると、USB 割り込みフラグレジスタ 0 の EP0i TS がセットされます。この FIFO バッファは USBFIFO クリアレジスタの EP0i CLR により初期化することができます。

23.5.2 USBEP0o データレジスタ (USBEPDR0O)

エンドポイント 0 の受信用 8 バイト FIFO バッファです。セットアップコマンドを除くエンドポイント 0 の受信データが格納されます。データを正常に受信すると、USB 割り込みフラグレジスタ 0 の EP0o TS がセットされ、受信バイト数が EP0o 受信データサイズレジスタに表示されます。データを読み出した後、USB トリガレジスタの EP0o RDFN をセットすることで、次のパケットを受信可能となります。この FIFO バッファは USBFIFO クリアレジスタの EP0o CLR により初期化することができます。

23.5.3 USBEP0s データレジスタ (USBEPDR0S)

エンドポイント 0 に対するセットアップコマンド受信専用 8 バイト FIFO バッファです。アプリケーション側で処理する必要のあるセットアップコマンドのみ受信し、正常にコマンドデータを格納すると、USB 割り込みフラグレジスタ 0 の SETUP TS がセットされます。セットアップコマンドは必ず受信する必要があるため、このバッファにデータが残っている場合も新しいデータによって上書きされます。コマンドを読み出している間に次のコマンドの受信を開始した場合は、受信を優先してアプリケーション側の読み出しを強制的に禁止するため、この読み出しデータは無効になります。

23.5.4 USBEP1 データレジスタ (USBEPDR1)

エンドポイント 1 の受信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。ホストから 1 パケット分のデータを正常に受信すると、USB 割り込みフラグレジスタ 0 の EP1 FULL がセットされます。受信バイト数は USBEP1 受信データサイズレジスタに表示されます。データを

読み出したあと、USB トリガレジスタの EPI RDFEN に 1 を書き込むことで、読み出した面のバッファが再受信可能となります。この FIFO バッファの受信データは DMA 転送が可能です。「23.5.19 USBDMA 設定レジスタ (USBDMA)」を参照してください。この FIFO バッファは USBFIFO クリアレジスタの EPI CLR により初期化することができます。

23.5.5 USBEP2 データレジスタ (USBEPDR2)

エンドポイント 2 の送信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。この FIFO バッファに送信データを書き込み、USB トリガレジスタの EP2 PKTE をセットすることで、1 パケット分の送信データが確定し、2 面構成のバッファが切り替わります。この FIFO バッファへの送信データは DMA 転送が可能です。「23.5.19 USBDMA 設定レジスタ (USBDMA)」を参照してください。この FIFO バッファは USBFIFO クリアレジスタの EP2 CLR により初期化することができます。

23.5.6 USBEP3 データレジスタ (USBEPDR3)

エンドポイント 3 の送信用 8 バイト FIFO バッファです。エンドポイント 3 のインタラプト転送における 1 パケット分の送信データを保持します。1 パケット分のデータを書き込み、USB トリガレジスタの EP3 PKTE をセットすることで送信データが確定します。1 パケット分のデータを正常に送信し、ホストから ACK ハンドシェイクを受信すると、USB 割り込みフラグレジスタ 1 の EP3 TS がセットされます。この FIFO バッファは USBFIFO クリアレジスタの EP3 CLR により初期化することができます。

23.5.7 USB 割り込みフラグレジスタ 0 (USBIFR0)

USB 割り込みフラグレジスタ 1 とともにアプリケーション側に必要な割り込みステータスを表示します。割り込み要因が発生すると対応するビットが 1 にセットされ、USB 割り込みイネーブルレジスタ 0 との組み合わせにより CPU に対して割り込み要求を発生します。クリアする場合は、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。ただし、EPI FULL と EP2 EMPTY はステータスレジスタでクリアはできません。

ビット :	7	6	5	4	3	2	1	0
ビット名 :	BRST	EP1 FULL	EP2 TR	EP2EMPTY	SETUP TS	EP0o TS	EP0i TR	EP0i TS
初期値 :	0	0	0	1	0	0	0	0
R/W :	R/W	R	R/W	R	R/W	R/W	R/W	R/W

- ビット 7 : バスリセット (BRST)

USB バス上でバスリセット信号を検出したとき、1 にセットされます。

- ビット 6 : EP1 FIFOフル (EP1 FULL)

エンドポイント 1 がホストから 1 パケット分のデータを正常に受信するとセットされ、FIFO バッファに有効データが存在する間 1 を保持します。このビットはステータスビットのため、クリアはできません。

23. USB ファンクションコントローラ

- ビット5：EP2転送リクエスト (EP2 TR)

ホストからエンドポイント2に対するINトークンを受信したとき、FIFOバッファに有効な送信データが存在しない場合にセットされます。FIFOバッファにデータを書き込んでパケット送信イネーブルをセットするまで、ホストに対してNACKハンドシェークを返します。

- ビット4：EP2 FIFOエンプティ (EP2 EMPTY)

エンドポイント2の2面構成の送信用FIFOバッファのうちの少なくとも1面が送信データを書き込める状態であるときセットされます。ステータスピットのため、クリアはできません。

- ビット3：セットアップコマンド受信完了 (SETUP TS)

エンドポイント0がアプリケーション側でデコードする必要のあるセットアップコマンドを正常に受信し、ホストにACKハンドシェークを返したとき1にセットされます。

- ビット2：EP0o受信完了 (EP0o TS)

エンドポイント0がホストからのデータを正常に受信してFIFOバッファに格納し、ホストにACKハンドシェークを返したとき1にセットされます。

- ビット1：EP0i転送リクエスト (EP0i TR)

ホストからエンドポイント0に対するINトークンを受信したとき、FIFOバッファに有効な送信データが存在しない場合にセットされます。FIFOバッファにデータを書き込んでパケット送信イネーブルをセットするまで、ホストに対してNACKハンドシェークを返します。

- ビット0：EP0i送信完了 (EP0i TS)

エンドポイント0からホストにデータを送信し、ACKハンドシェークが返ってきたときセットされます。

23.5.8 USB 割り込みフラグレジスタ1 (USBIFR1)

USB 割り込みフラグレジスタ0とともにアプリケーション側に必要な割り込みステータスを表示します。割り込み要因が発生すると、対応するビットが1にセットされ、USB 割り込みイネーブルレジスタ1との組み合わせにより、CPUに対して割り込み要求を発生します。クリアする場合は、クリアするビットに0、それ以外のビットに1を書き込んでください。

ビット：	7	6	5	4	3	2	1	0
ビット名：	—	—	—	—	VBUSMN	EP3 TR	EP3 TS	VBUSF
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

- ビット7~4：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット3：USB接続ステータス（VBUSMN）

USBF_VBUS 端子の状態をモニタするステータスビットです。USBF_VBUS 端子の状態を反映します。

- ビット2：EP3転送リクエスト（EP3 TR）

ホストからエンドポイント3に対するINトークンを受信したとき、FIFOバッファに有効な送信データが存在しない場合にセットされます。FIFOバッファにデータを書き込んでパケット送信イネーブルをセットするまで、ホストに対してNACKハンドシェイクを返します。

- ビット1：EP3送信完了（EP3 TS）

エンドポイント3からホストにデータを送信し、ACKハンドシェイクが返ってきたときセットされます。

- ビット0：USBバス接続（VBUSF）

USBバスに接続されたとき、および切断されたときに"1"がセットされます。接続/切断の検出には、USBF_VBUS端子を使用します。

USBF_VBUS端子はモジュール内部で必要なため、必ず接続してください。

23.5.9 USBトリガレジスタ（USBTRG）

各エンドポイントの送受信のシーケンスを制御するためのワンショットトリガを生成します。

ビット：	7	6	5	4	3	2	1	0
ビット名：	—	EP3 PKTE	EP1 RDFN	EP2 PKTE	—	EP0s RDFN	EP0o RDFN	EP0i PKTE
R/W：	W	W	W	W	W	W	W	W

- ビット7：予約ビット

- ビット6：EP3パケットイネーブル（EP3 PKTE）

エンドポイント3の送信用FIFOバッファに1パケット分のデータを書き込んだ後、このビットに1を書き込むことで送信データが確定します。

- ビット5：EP1読み出し完了（EP1 RDFN）

エンドポイント1のFIFOバッファから1パケット分のデータを読み出した後、このビットに1を書き込んでください。エンドポイント1の受信用FIFOは2面構成になっています。このビットに1を書き込むことで、読み出した面が初期化されて、次のパケットを受信できるようになります。

- ビット4：EP2パケットイネーブル（EP2 PKTE）

エンドポイント2のFIFOバッファに1パケット分のデータを書き込んだ後、このビットに1を書き込むことで送信データが確定します。

- ビット3：予約ビット

23. USB ファンクションコントローラ

- ビット2：EP0s読み出し完了（EP0s RDFN）

EP0s のコマンド用 FIFO に対するデータを読み出した後 1 を書き込んでください。1 を書き込むことによって、続くデータステージのデータは送受信可能な状態になります。1 を書き込むまではデータステージにおけるホストからの送受信要求に対して NACK ハンドシェイクを返します。

- ビット1：EP0o読み出し完了（EP0o RDFN）

エンドポイント 0 の送信用 FIFO バッファから 1 パケット分のデータを読み出した後 1 を書き込むことで FIFO バッファが初期化されて次のパケットを受信できるようになります。

- ビット0：EP0iパケットイネーブル（EP0i PKTE）

エンドポイント 0 の送信用 FIFO バッファに 1 パケット分のデータを書き込んだ後、1 を書き込むことで送信データが確定します。

23.5.10 USBFIFO クリアレジスタ（USBFCLR）

各エンドポイントの FIFO バッファを初期化するためのレジスタです。1 を書き込むとそのビットに対応する FIFO バッファのデータがすべてクリアされます。ただし、対応する割り込みフラグはクリアされません。送受信中のクリアは行わないでください。

ビット：	7	6	5	4	3	2	1	0
ビット名：	—	EP3 CLR	EP1 CLR	EP2 CLR	—	—	EP0o CLR	EP0i CLR
R/W：	W	W	W	W	W	W	W	W

- ビット7：予約ビット

- ビット6：EP3クリア（EP3 CLR）

このビットに 1 を書き込むとエンドポイント 3 の送信 FIFO バッファが初期化されます。

- ビット5：EP1クリア（EP1 CLR）

このビットに 1 を書き込むとエンドポイント 1 の受信 FIFO バッファが 2 面とも初期化されます。

- ビット4：EP2クリア（EP2 CLR）

このビットに 1 を書き込むとエンドポイント 2 の送信 FIFO バッファが 2 面とも初期化されます。

- ビット3、2：予約ビット

- ビット1：EP0oクリア（EP0o CLR）

このビットに 1 を書き込むとエンドポイント 0 の受信 FIFO バッファが初期化されます。

- ビット0: EP0iクリア (EP0i CLR)

このビットに1を書き込むとエンドポイント0の送信FIFOバッファが初期化されます。

23.5.11 USBEP0o 受信データサイズレジスタ (USBEPSZ00)

エンドポイント0がホストから受信したデータの大きさをバイト数で表示します。

23.5.12 USB データステータスレジスタ (USBDASTS)

送信用FIFOバッファ内の有効データの有無を示します。FIFOバッファにデータを書き込み、パケットイネーブルをセットしたとき1にセット、データがすべてホストに送信されたときクリアされます。

ビット:	7	6	5	4	3	2	1	0
ビット名:	—	—	EP3 DE	EP2 DE	—	—	—	EP0i DE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

- ビット7、6: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット5: EP3データあり (EP3 DE)

エンドポイント3のFIFOバッファ内に有効データがあるときセットされます。

- ビット4: EP2データあり (EP2 DE)

エンドポイント2のFIFOバッファ内に有効データがあるときセットされます。

- ビット3~1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット0: EP0iデータあり (EP0i DE)

エンドポイント0のFIFOバッファ内に有効データがあるときセットされます。

23.5.13 USB エンドポイントストールレジスタ (USBEPSTL)

これらのビットは各エンドポイントをアプリケーション側で強制的にストールさせるためのビットです。1にセットされている間、そのエンドポイントはホストに対してストールハンドシェイクを返します。エンドポイント0に対するストールビットは、ファンクションでデコードを行う8バイトのコマンドデータを受信すると自動的に解除され、EP0 STL ビットはクリアされます。また、USB 割り込みフラグレジスタ0のSETUPTS フラグがセットされているときは、EP0 STL ビットへの1ライトは無視されます。詳細動作は「23.8 ストール動作」を参照してください。

23. USB ファンクションコントローラ

ビット:	7	6	5	4	3	2	1	0
ビット名:	—	—	—	—	EP3 STL	EP2 STL	EP1 STL	EP0 STL
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

- ビット7~4: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット3: EP3ストール (EP3 STL)

このビットが1のとき、エンドポイント3はストール状態となります。

- ビット2: EP2ストール (EP2 STL)

このビットが1のとき、エンドポイント2はストール状態となります。

- ビット1: EP1ストール (EP1 STL)

このビットが1のとき、エンドポイント1はストール状態となります。

- ビット0: EP0ストール (EP0 STL)

このビットが1のとき、エンドポイント0はストール状態となります。

23.5.14 USB 割り込みイネーブルレジスタ 0 (USBIER0)

USB 割り込みフラグレジスタ 0 (USBIFR0) の各割り込み要求をイネーブルにします。1 にセットされているとき、対応する割り込みフラグがセットされると、CPU に対して割り込み要求を発生します。このときの割り込み事象レジスタ (INTEVT2) の内容は USB 割り込み選択レジスタ 0 (USBISR0) の内容によって決まります。

ビット:	7	6	5	4	3	2	1	0
ビット名:	BRST	EP1 FULL	EP2 TR	EP2EMPTY	SETUP TS	EP0o TS	EP0i TR	EP0i TS
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

23.5.15 USB 割り込みイネーブルレジスタ 1 (USBIER1)

USB 割り込みフラグレジスタ 1 (USBIFR1) の各割り込み要求をイネーブルにします。1 にセットされているとき、対応する割り込みフラグがセットされると、CPU に対して割り込み要求を発生します。このときの割り込み事象レジスタ (INTEVT2) の内容は USB 割り込み選択レジスタ 1 (USBISR1) の内容によって決まります。

ビット:	7	6	5	4	3	2	1	0
ビット名:	-	-	-	-	-	EP3 TR	EP3 TS	VBUSF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

23.5.16 USBEP1 受信データサイズレジスタ (USBEPSZ1)

エンドポイント1の受信データサイズレジスタです。ホストから受信したデータ数を示します。エンドポイント1のFIFOは2面構成になっています。このレジスタに示される受信データサイズは、現在選択されている面に対するサイズです。

23.5.17 USB 割り込み選択レジスタ 0 (USBISR0)

USB 割り込みフラグレジスタ0の各割り込み要求の割り込み事象レジスタ (INTEVT2) のコードを選択します。対応するビットに0をセットすると、USBがINTCに割り込み要求をするとき、その割り込みはUSBFI0 (USBファンクション割り込み0) となり、割り込み事象レジスタ (INTEVT2) のコードは、H'A20となります。1をセットするとUSBがINTCに割り込み要求をするとき、その割り込みはUSBFI1 (USBファンクション割り込み1) となり、割り込み事象レジスタ (INTEVT2) のコードは、H'A40となります。初期値では、割り込み事象レジスタ (INTEVT2) のコードは、H'A20となります。同時に割り込みが発生した場合、デフォルトにおける優先順位はUSBFI0が優先されます。割り込み事象レジスタ (INTEVT2) の詳細は「第4章 例外処理」および「第7章 割り込みコントローラ (INTC)」を参照してください。

ビット:	7	6	5	4	3	2	1	0
ビット名:	BSRT	EP1 FULL	EP2 TR	EP2 EMPTY	SETUP TS	EP0o TS	EP0i TR	EP0i TS
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

23.5.18 USB 割り込み選択レジスタ 1 (USBISR1)

USB 割り込みフラグレジスタ1の各割り込み要求の割り込み事象レジスタ (INTEVT2) のコードを選択します。対応するビットに0をセットすると、USBがINTCに割り込み要求をするとき、その割り込みはUSBFI0 (USBファンクション割り込み0) となり、割り込み事象レジスタ (INTEVT2) のコードは、H'A20となります。1をセットするとUSBがINTCに割り込み要求をするとき、その割り込みはUSBFI1 (USBファンクション割り込み1) となり、割り込み事象レジスタ (INTEVT2) のコードは、H'A40となります。初期値では、割り込み事象レジスタ (INTEVT2) のコードは、H'A20となります。同時に割り込みが発生した場合、デフォルトにおける優先順位はUSBFI0が優先されます。割り込み事象レジスタ (INTEVT2) の詳細は「第4章 例外処理」および「第7章 割り込みコントローラ (INTC)」を参照してください。

ビット:	7	6	5	4	3	2	1	0
ビット名:	-	-	-	-	-	EP3 TR	EP3 TS	VBUS
初期値:	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W

23.5.19 USBDMA 設定レジスタ (USBDMA)

エンドポイント1およびエンドポイント2のデータレジスタとメモリとの間で内蔵 DMA コントローラによる DMA 転送が可能です。バイト単位のデュアルアドレス転送となります。DMA 転送を起動するには、このレジスタのほかに DMA コントローラの設定が必要です。

ビット:	7	6	5	4	3	2	1	0
ビット名:	-	-	-	-	-	PULLUP_E	EP2 DMAE	EP1 DMAE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

- ビット7~3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット2: プルアップイネーブル (PULLUP_E)

USB ホスト/ハブへの接続通知 (D+プルアップ) の制御用ビットです。このビットにより、USB1_pwr_en 端子のレベルを制御することができます。

1をライトすると"High"レベルが、0をライトすると"Low"レベルが出力されます。D+プルアップ制御については、「第22章 USB ピンマルチプレクスコントローラ」を参照してください。

- ビット1: エンドポイント2DMA転送イネーブル (EP2 DMAE)

このビットをセットすると、メモリからエンドポイント2送信用 FIFO バッファ方向への DMA 転送がイネーブルになります。FIFO バッファに1バイトでも空きがあればDMA コントローラに対し転送要求をアサートします。DMA 転送時は、FIFO バッファに64バイトを書き込むと自動的にEP2 パケットイネーブルがセットされ、64バイトのデータが送信可能な状態になり、2面ある FIFO のもう一方の FIFO にまだ空きがあれば、再度 DMA コントローラに対し転送要求をアサートします。しかし、送信したいデータパケットサイズが64バイト未満の場合、EP2 パケットイネーブルは自動でセットされないため、DMA 転送終了割り込みでEP2 パケットイネーブルをCPUにてセットしてください。

また、CPU に対する EP2 関連の割り込み要求は自動的にマスクされないため、割り込みイネーブルレジスタで必要に応じて割り込み要求をマスクしてください。

- ビット0: エンドポイント1DMA転送イネーブル (EP1 DMAE)

このビットをセットすると、エンドポイント1受信用 FIFO バッファからメモリ方向への DMA 転送が可能になります。FIFO バッファに1バイトでも受信データがあればDMA コントローラに対し転送要求をアサートします。DMA 転送時は、受信したデータをすべてリードすると、自動的にEP1 読み出し完了トリガが行われます。

また、CPU に対する EP1 関連の割り込み要求は自動的にマスクされません。

23.6 動作説明

23.6.1 ケーブル接続時

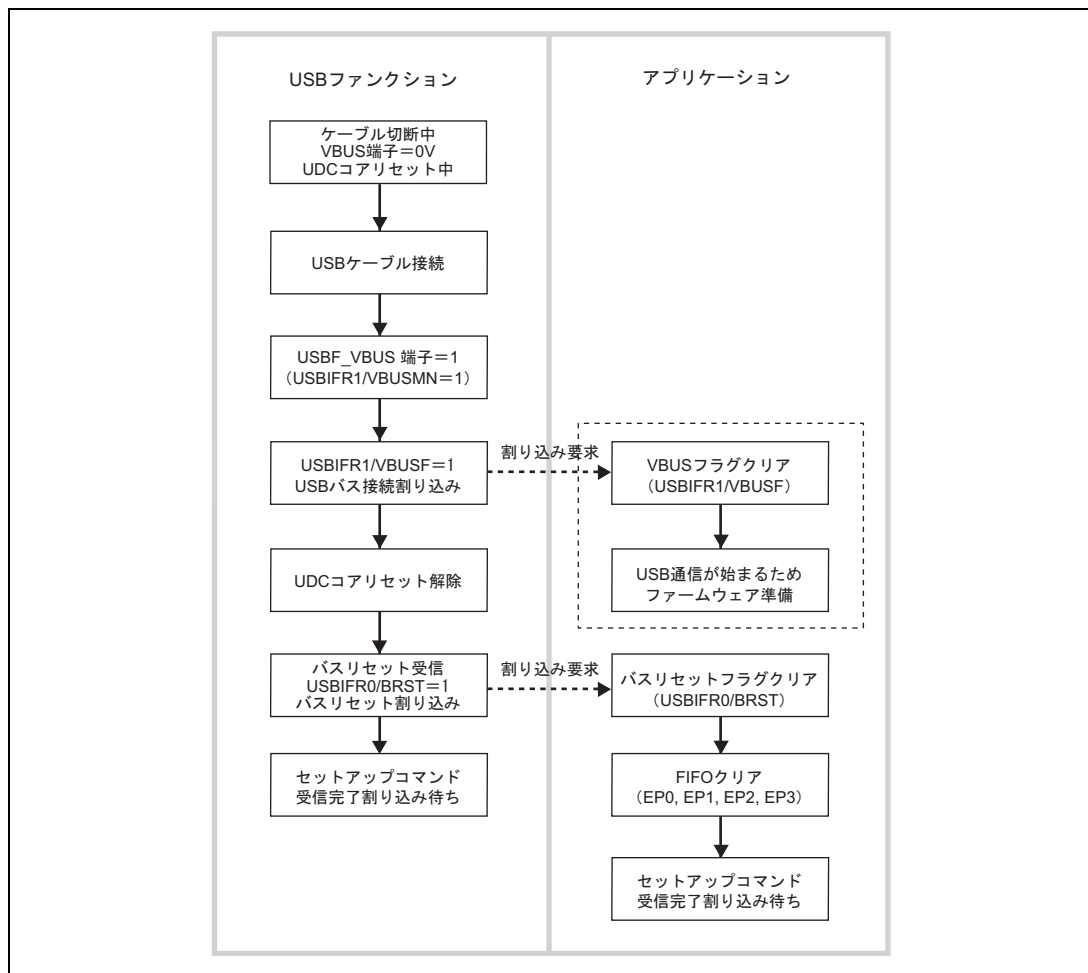


図 23.2 ケーブル接続時の動作

上記フローは、ケーブル接続時の動作を示しています。USB 接続割り込み発生時、USBF_VBUS 端子の状態を確認することにより、接続の検出ができます。

USB ケーブル接続を検出する必要がないアプリケーションでは、USB バス接続割り込みによる処理は不要です。バスリセット割り込みにて準備してください。

23.6.2 ケーブル切断時

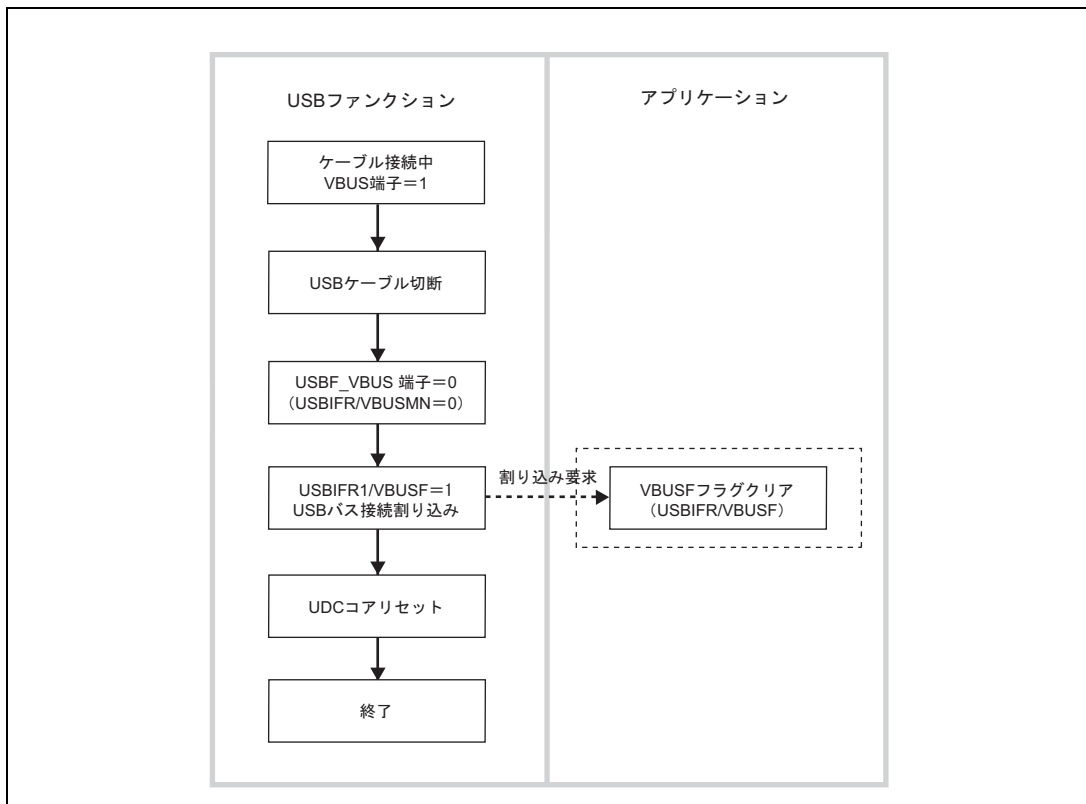


図 23.3 ケーブル切断時の動作

上記フローは、ケーブル切断時の動作を示しています。

USB バス接続割り込み発生時、USBF_VBUS 端子の状態を確認することにより、切断の検出ができます。

23.6.3 コントロール転送

コントロール転送は、セットアップ、データ（ない場合もある）、ステータスの3つのステージで構成されます（図 23.4）。また、データステージは、複数のバストランザクションで構成されます。以下に、各ステージごとの動作フローを示します。

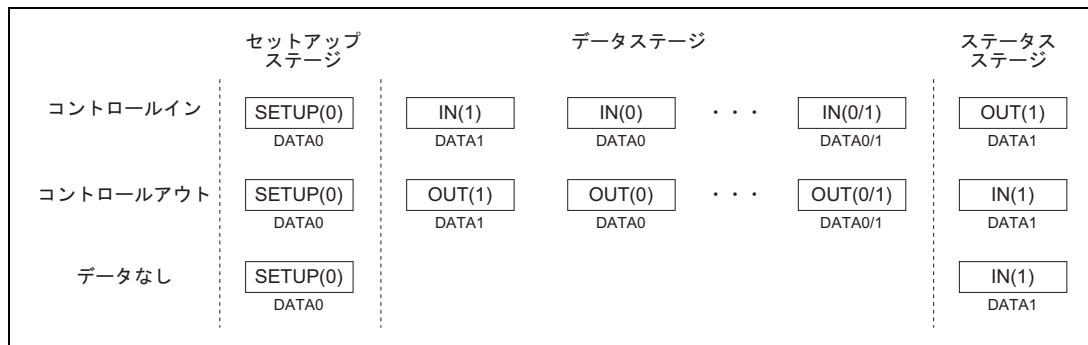


図 23.4 コントロール転送における各転送ステージ

(1) セットアップステージ

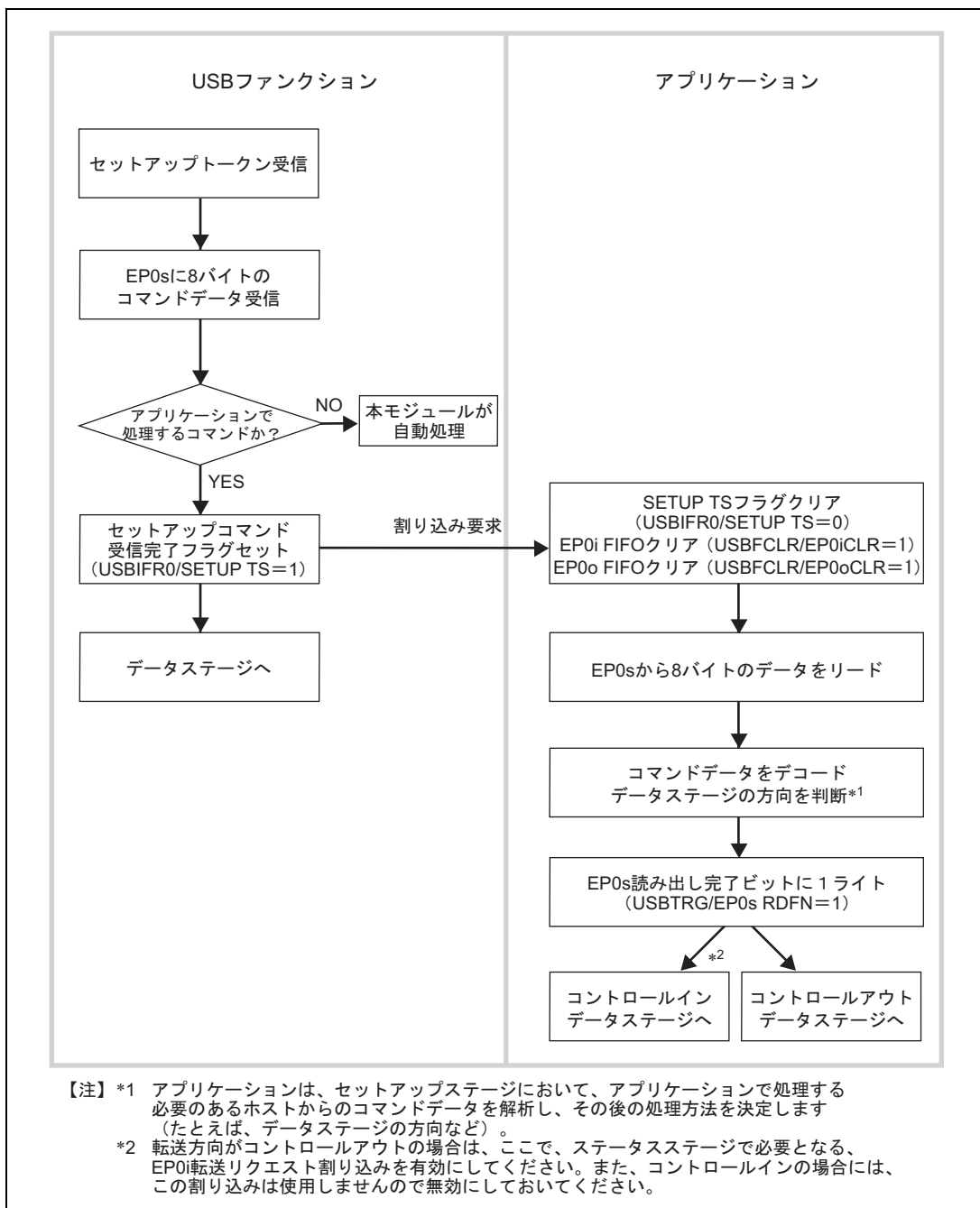


図 23.5 セットアップステージの動作

(2) データステージ (コントロールイン時)

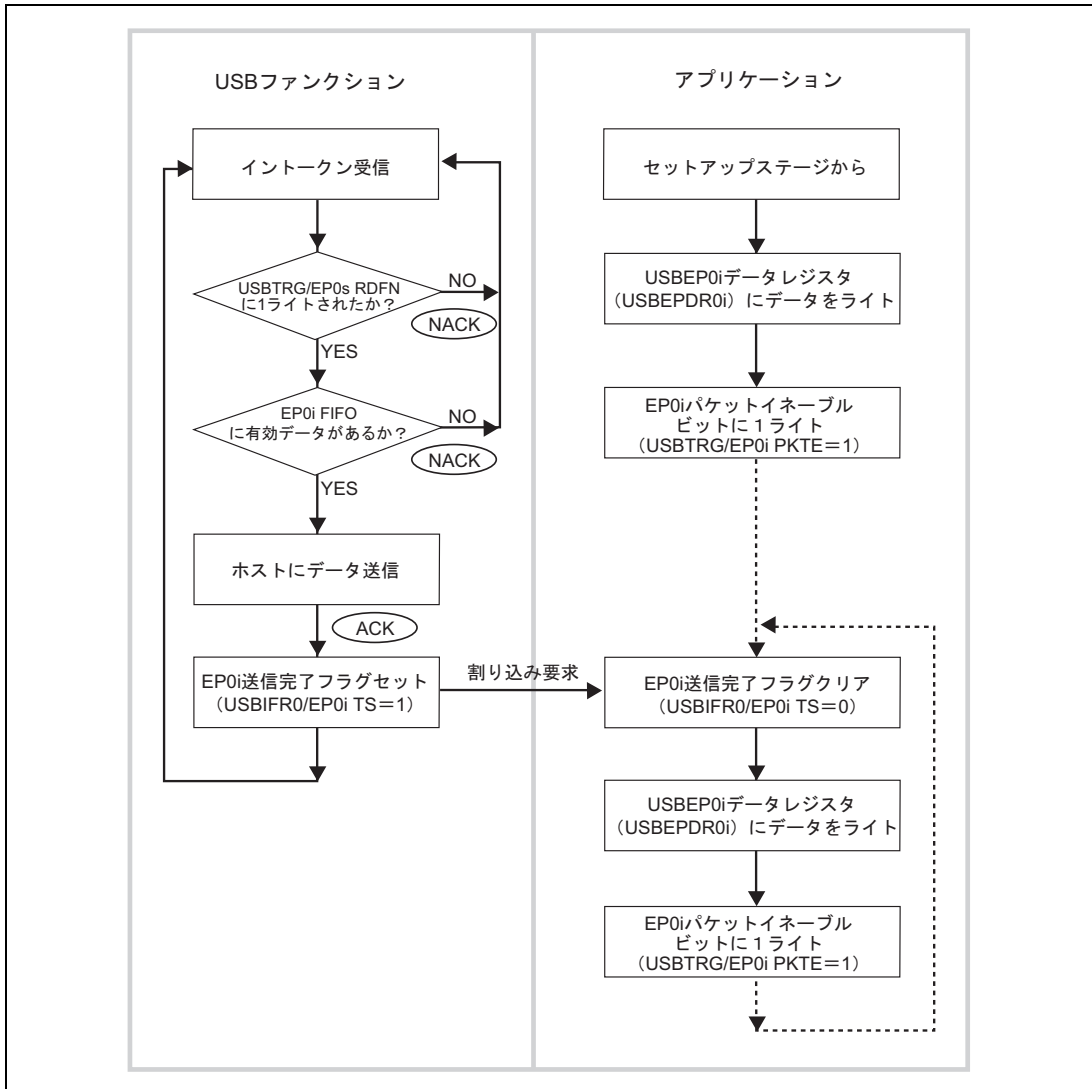


図 23.6 データステージ (コントロールイン時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、そのあとのデータステージの方向を判断します。コマンドデータの解析結果により、データステージがイン転送の場合、ホストに送りたいデータの1パケット分をFIFOに書き込みます。さらに送りたいデータがある場合、最初に書き込んだデータがホストに送られた後 (USBIFR0/EP0i TS = 1)、FIFOにデータを書き込みます。

データステージの終わりは、ホストがアウトトークンを送信し、ステータスステージに入ったことで判断します。

23. USB ファンクションコントローラ

【注】 ファンクションが送信するデータのサイズが、ホストから要求されたデータサイズより小さい場合、ファンクションは、最大パケットサイズより短いパケットをホストに返すことで、データステージの終了を示します。また、ファンクションが送信するデータのサイズが、最大パケットサイズの整数倍の場合には、0 レングスパケットを送信して、データステージの最後を示します。

(3) データステージ (コントロールアウト時)

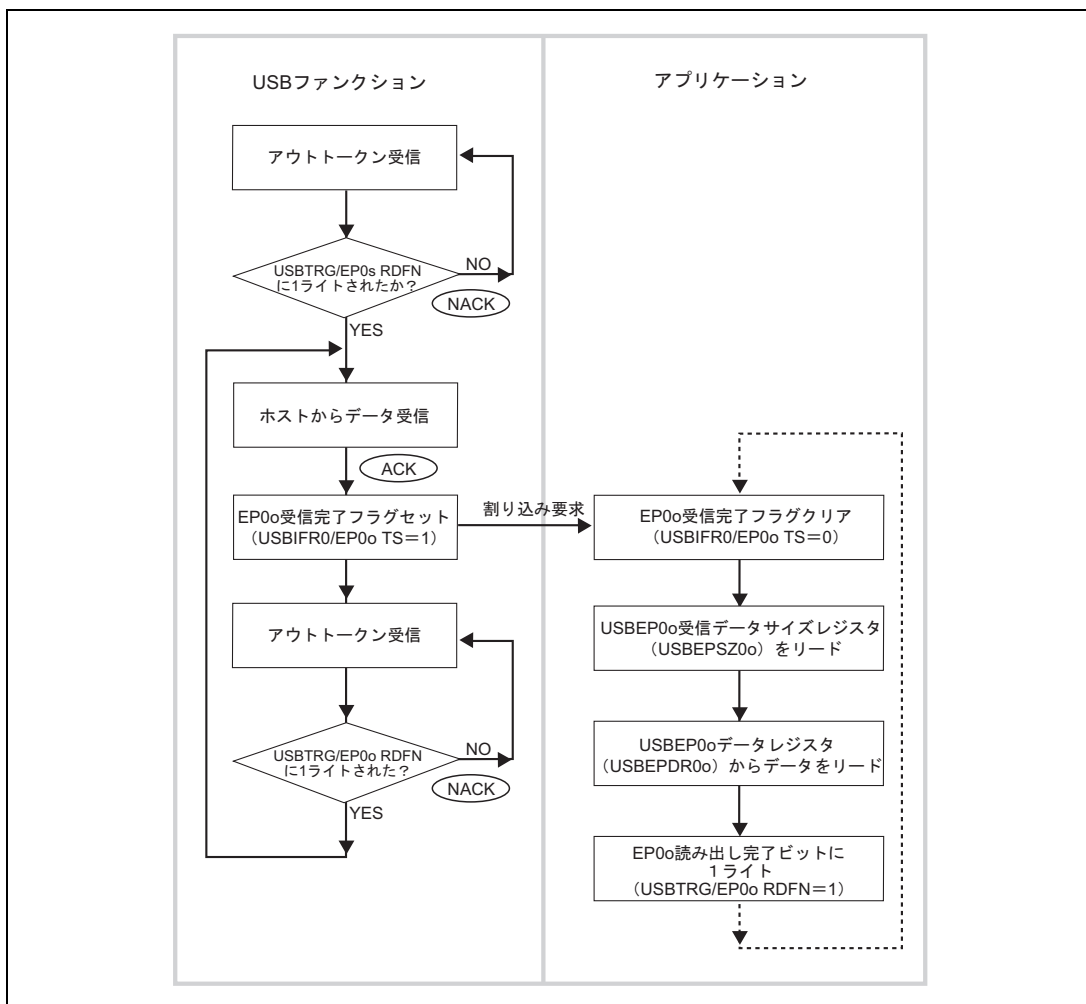


図 23.7 データステージ (コントロールアウト時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、そのあとのデータステージの方向を判断します。コマンドデータの解析結果により、データステージがアウト転送の場合、ホストからのデータを待ち、データ受信後 (USBIFR0/EP0o TS = 1)、FIFO からデータを読み出します。次にアプリケーションは、EP0o 読み出し完了ビットに 1 を書き込み、受信 FIFO を空にして、次のデータ受信を待ちます。

データステージの終わりは、ホストがイントークンを送信し、ステータスステージに入ったことで判断します。

(4) ステータスステージ (コントロールイン時)

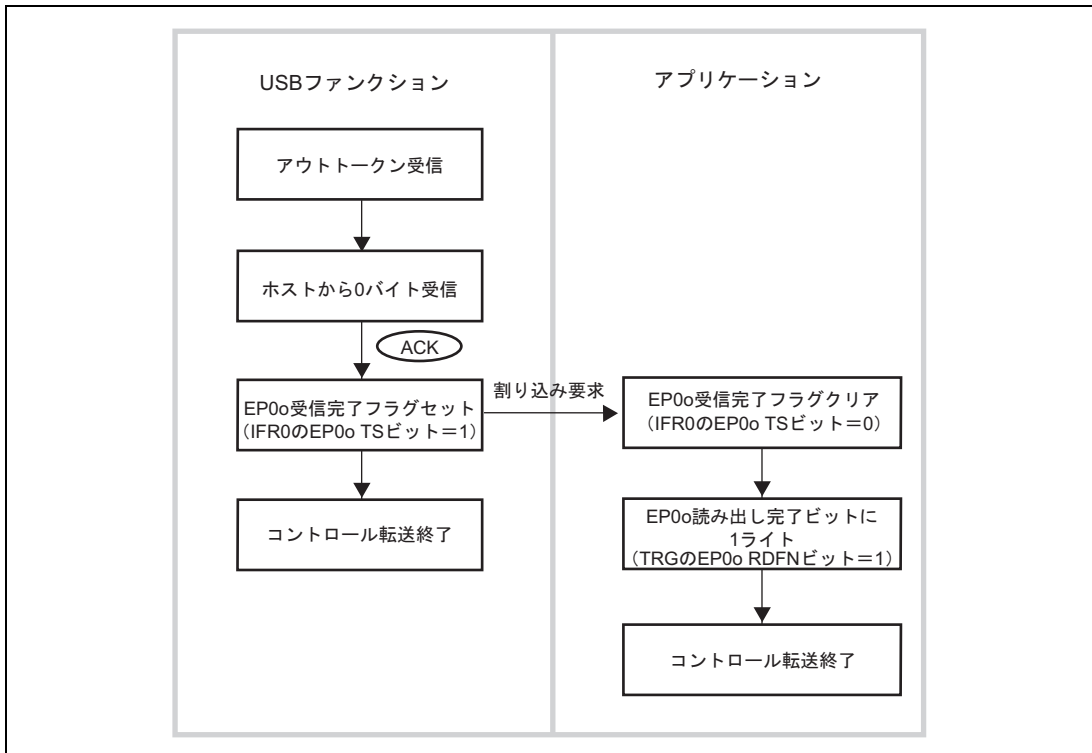


図 23.8 ステータスステージ (コントロールイン時) の動作

コントロールイン時のステータスステージは、ホストからのアウトトークンで始まります。アプリケーションは、ホストからの0バイトデータを受信して、コントロール転送を終了します。

(5) ステータスステージ (コントロールアウト時)

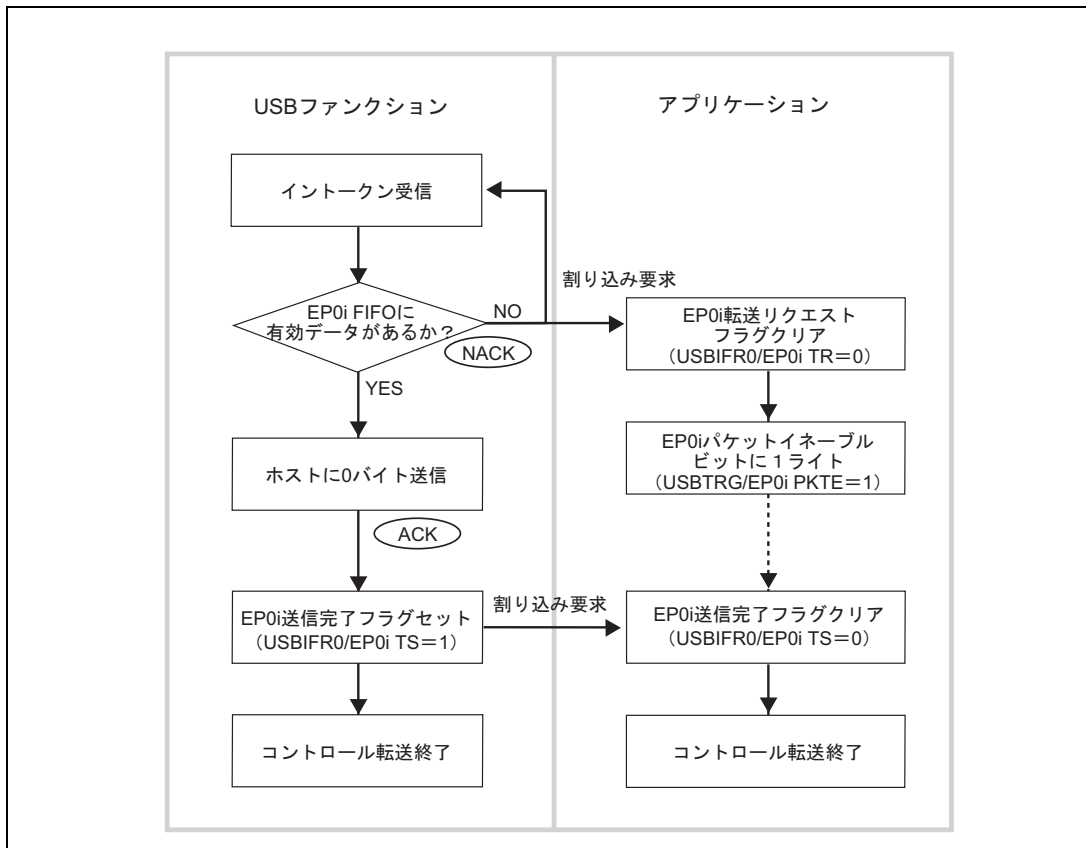


図 23.9 ステータスステージ (コントロールアウト時) の動作

コントロールアウト時のステータスステージは、ホストからのイントークンで始まります。ステータスステージの始まりのイントークン受信時には、まだ EP0i FIFO にはデータが入っていないので、EP0i 転送リクエスト割り込みが入ります。アプリケーションは、この割り込みによりステータスステージが開始されたことを認識します。次に、ホストに 0 バイトデータを送信するために、EP0i FIFO にデータを書き込まず、EP0i パケットイネーブルビットに 1 ライトします。これにより、次のイントークンでホストに 0 バイトデータが送信され、コントロール転送が終了します。

ただし、アプリケーションが、データステージにかかわる処理をすべて終了した後、EP0i パケットイネーブルビットに 1 ライトしてください。

23.6.4 EP1 バルクアウト転送 (2面 FIFO)

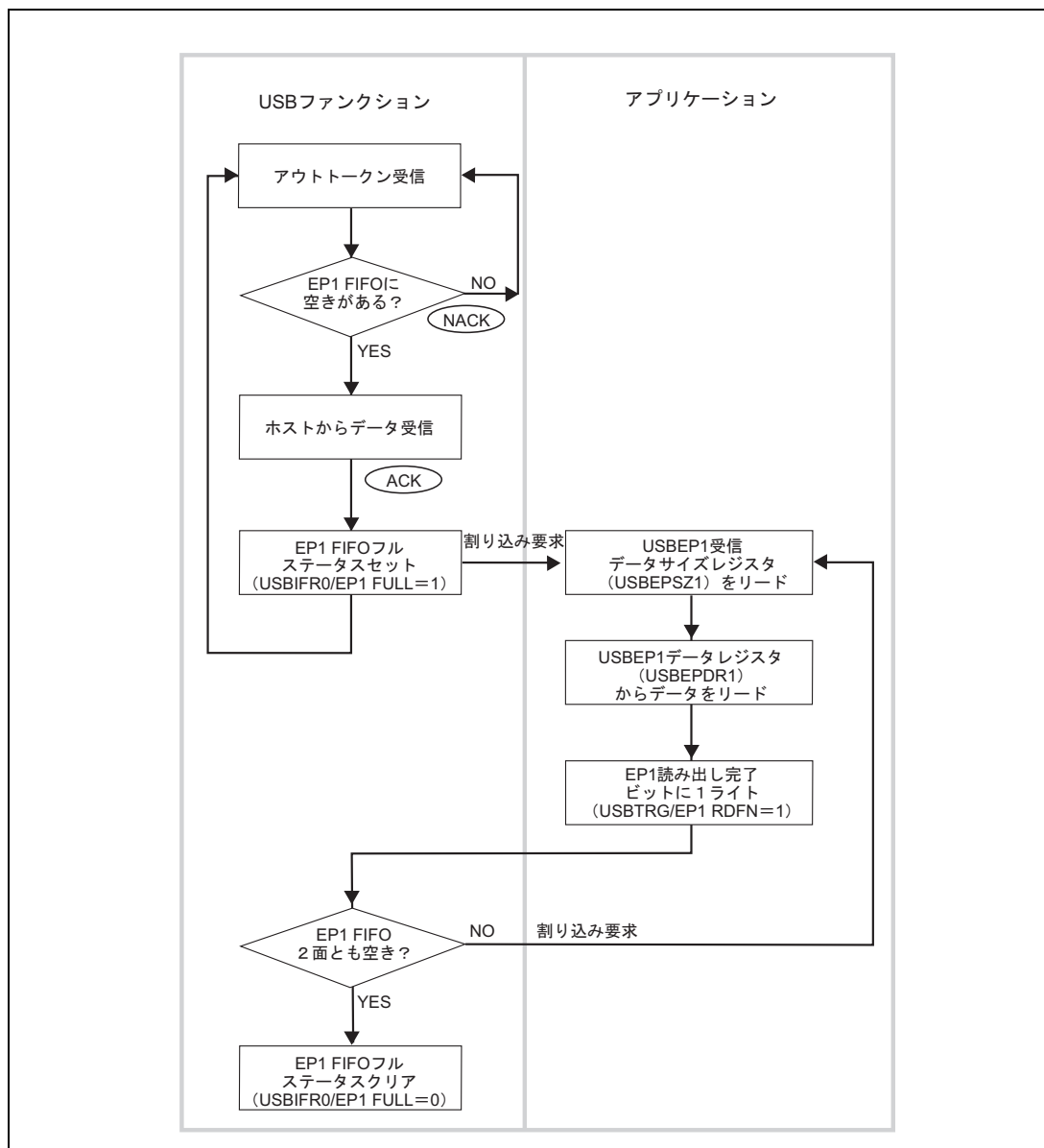


図 23.10 EP1 バルクアウト転送の動作

EP1 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。

FIFO が 1 面でも受信完了すると、USBIFR0/EP1 FULL がセットされます。FIFO が 2 面とも EMPTY の状態で最

23. USB ファンクションコントローラ

初の受信後は、他方の FIFO が空いているので、すぐ次のパケットを受信することができます。2面とも FULL になった場合、ホストには自動的に NACK が返信されます。データ受信後、受信データのリードが終了したら、USBTRG/EP1 RDFN に 1 をライトします。この操作によって、今リードし終えた FIFO が EMPTY になり、次のパケットを受信可能な状態になります。

23.6.5 EP2 バルクイン転送 (2面 FIFO)

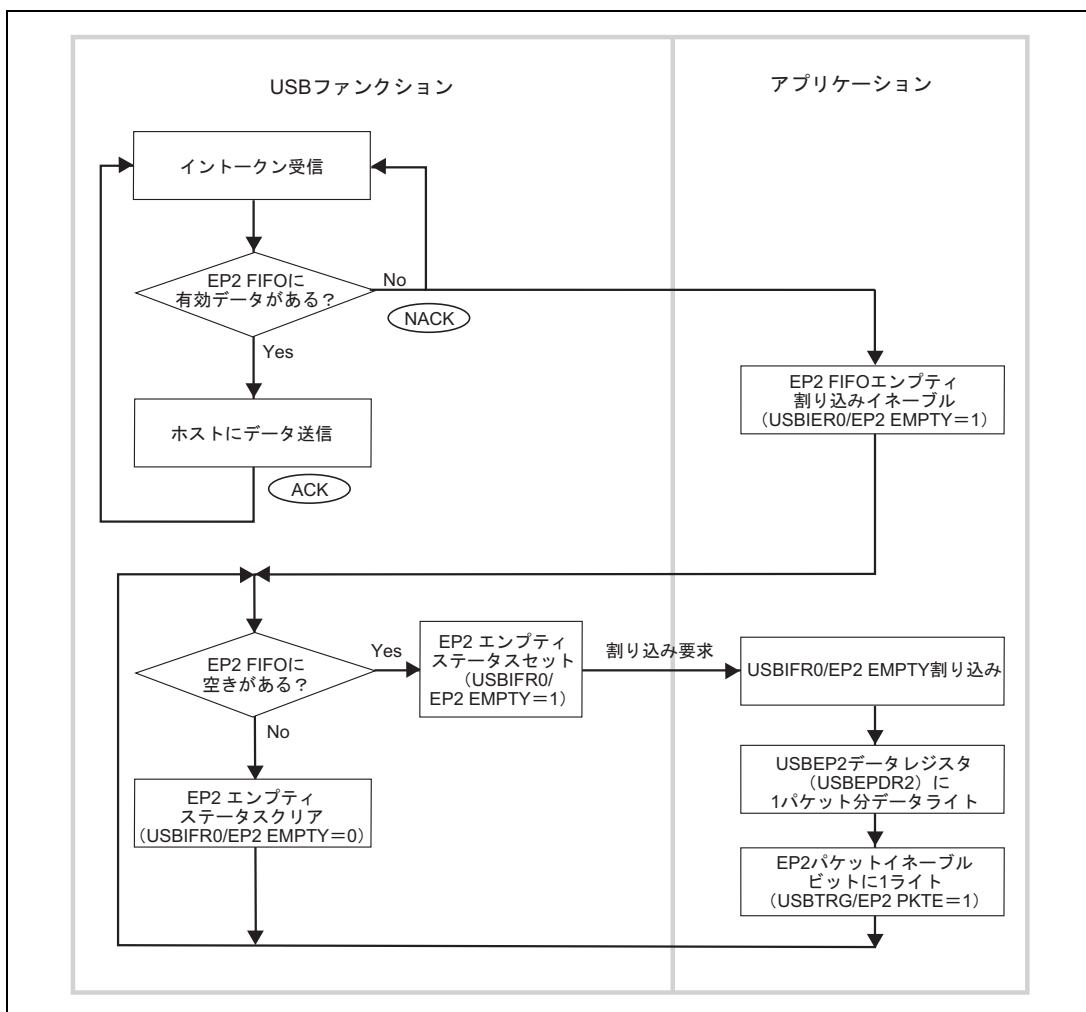


図 23.11 EP2 バルクイン転送の動作

EP2 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データのライトができます。ただし、1 回のデータライトは 1 面ごとに行ってください。たとえば、2 面とも FIFO が EMPTY の場合でも、連続して 128 バイトデータをライト後、まとめて EP2/PKTE を行うことは

できません。必ず 64 バイトのライトごとに EP2/PKTE を行ってください。

バルクイン転送を行いたい場合、まず最初のイントークンで FIFO 内に有効データが存在しないので、USBIFR0/EP2 TR 割り込みが要求されます。その割り込みで、USBIER0/EP2 EMPTY に 1 ライトし、EP2 FIFO エンプティ割り込みを許可します。最初は、EP2 の 2 面の FIFO はとも EMPTY になっているので、EP2 FIFO エンプティ割り込みがすぐに発生します。

この割り込みを使って、送信するデータをデータレジスタにライトします。最初 1 面分の送信データライト後は、他方の FIFO が空いているので、すぐ他方の面に送信データをライトすることができます。2 面とも FULL になった場合、EP2 EMPTY が 0 になります。1 面でも EMPTY であれば USBIFR0/EP2 EMPTY が 1 セットされます。データ送信完了後、ホストから ACK が返ってきたら、データ送信を行った FIFO が EMPTY になります。このとき、他方の FIFO に有効な送信データが用意されている場合は、連続して送信動作が行えます。

すべての送信が完了後、USBIER0/EP2 EMPTY に 0 ライトを行い、割り込み要求を禁止にしてください。

23.6.6 EP3 インタラプトイン転送

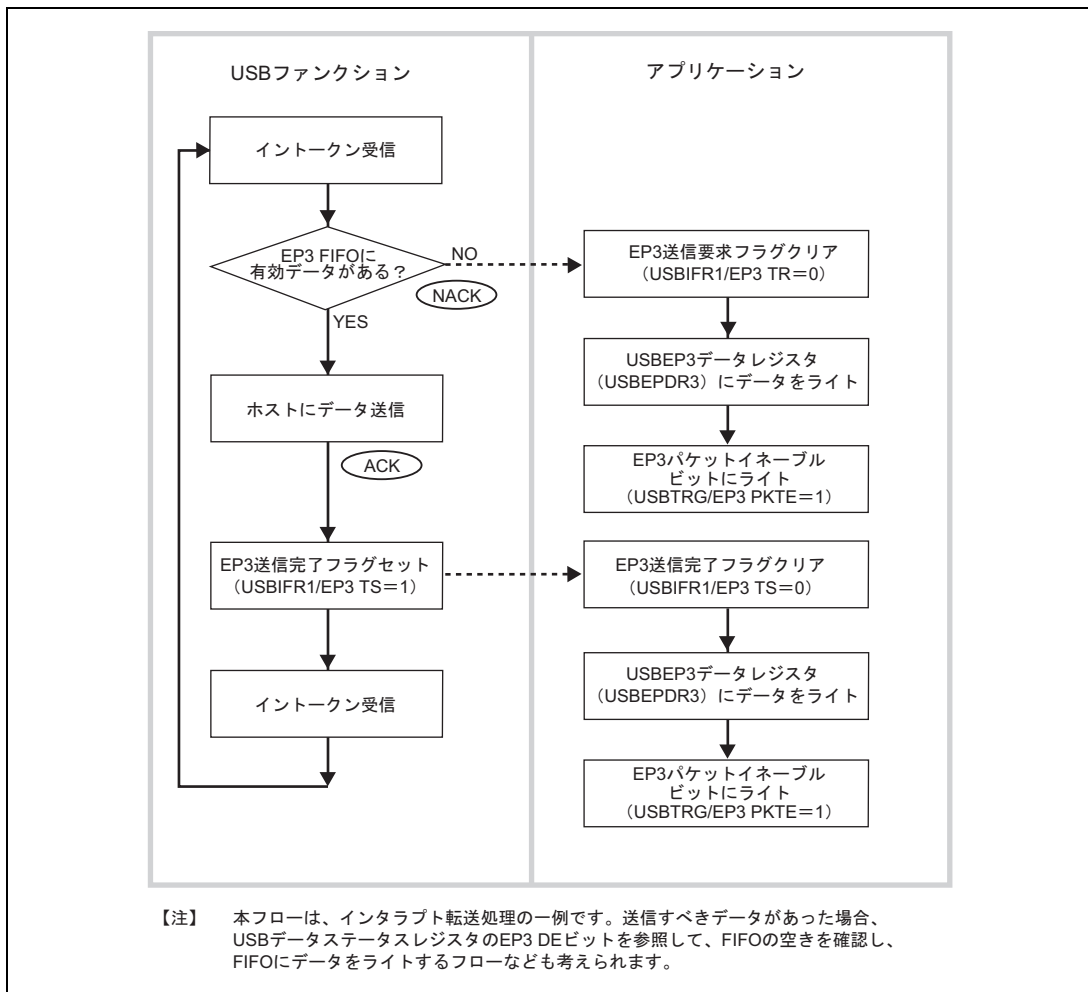


図 23.12 EP3 インタラプトイン転送の動作

23.7 USB 標準コマンドとクラス/ベンダーコマンドの処理

23.7.1 コントロール転送で送信されるコマンドの処理

コントロール転送でホストから送信されてくるコマンドによっては、アプリケーション側でデコードを行い、コマンドの処理を行う必要があります。以下の表 23.3 にアプリケーション側でのコマンドデコードについて示します。

表 23.3 アプリケーション側でのコマンドデコード

アプリケーション側でデコードの必要なし	アプリケーション側でデコードの必要あり
Clear Feature	Get Descriptor
Get Configuration	Synch Frame
Get Interface	Set Descriptor
Get Status	Class/Vendor コマンド
Set Address	
Set Configuration	
Set Feature	
Set Interface	

アプリケーション側でデコードする必要のない場合、コマンドデコード、データステージ、ステータスステージ処理は自動的に行われます。したがって、ユーザは何もする必要はありません。また、割り込みも発生しません。

アプリケーション側でデコードする必要がある場合には、本モジュールはコマンドを EP0s の FIFO に保存します。正常受信完了後、USBIER0/SETUP TS フラグがセットされ、割り込み要求を発生します。この割り込みルーチンの中で EP0s のデータレジスタ (USBEPDR0S) より 8 バイトのデータをリードし、ファームウェアでデコードしてください。そのあと、デコードの結果により、必要となるデータステージ、ステータスステージの処理を行ってください。

23.8 ストール動作

23.8.1 概要

本モジュールでのストール動作について説明します。本モジュールのストール機能には、次の2つの場合があります。

- アプリケーションが何らかの理由で強制的にエンドポイントをストールさせる場合
- USBの規格違反によって本モジュール内部で自動的にストールする場合

本モジュール内には、各エンドポイントの状態(ストールが否か)を保持した内部状態ビットを持っています。ホストからトランザクションが送られてきたとき、本モジュールはこの内部状態ビットを参照してホストにストールを返すかどうか判断します。このビットは、アプリケーションでは解除できません。解除する場合はホストから Clear Feature コマンドを使ってクリアしてください。

23.8.2 アプリケーションが強制的にストールさせたい場合

アプリケーションが本モジュールに対してストール要求するレジスタ USBEPSTL を使用します。アプリケーションが特定のエンドポイントをストールさせたい場合、USBEPSTL の該当ビットをセットします(図 23.13 の 1-1)。このとき、内部状態ビットは変化しません。次に、ホストから USBEPSTL の該当ビットがセットされているエンドポイントに対してトランザクションが送られてきたとき、本モジュールは内部状態ビットを参照し、セットされていない場合は USBEPSTL の該当ビットを参照します(図 23.13 の 1-2)。ここで、USBEPSTL の該当ビットがセットされていれば、本モジュールは内部状態ビットをセットし、ホストに対してストールハンドシェークを返します(図 23.13 の 1-3)。USBEPSTL の該当ビットがセットされていない場合は、内部状態ビットは変化せず、トランザクションが受け付けられません。

一度、内部状態ビットがセットされた後は、USBEPSTL に関係なく、ホストから Clear Feature コマンドでクリアされるまで内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされても(図 23.13 の 3-1)、USBEPSTL のビットがセットされている間は、該当エンドポイントに対するトランザクションが行われる度に内部状態ビットがセットされるため、本モジュールはストールハンドシェークを返します(図 23.13 の 1-2)。したがって、ストールを解除するためには、USBEPSTL の該当ビットをアプリケーションでクリアし、さらに Clear Feature コマンドで内部状態ビットをクリアする必要があります(図 23.13 の 2-1、2-2、2-3)。

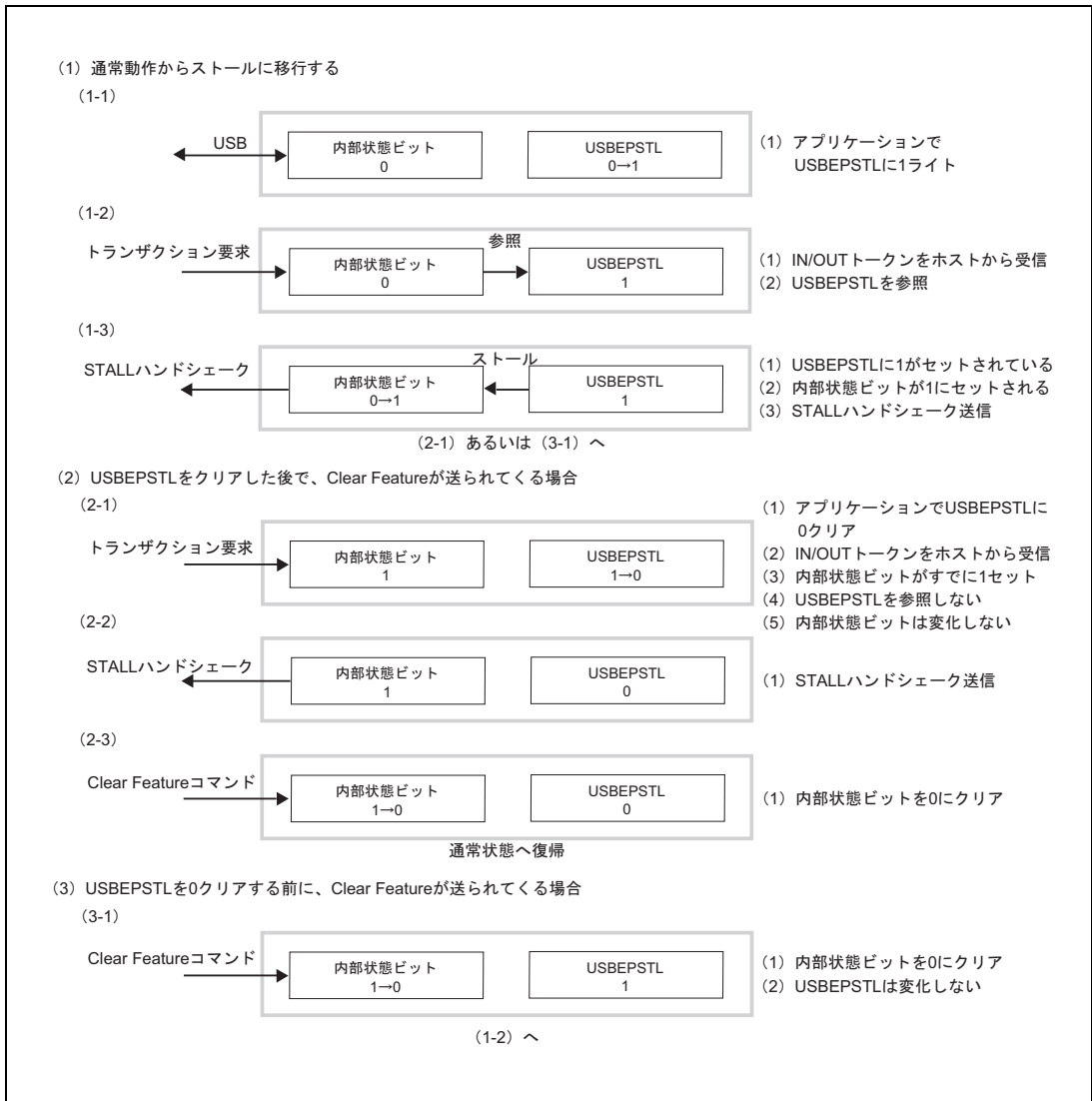


図 23.13 アプリケーションで強制的にストールさせたい場合

23.8.3 USB ファンクションコントローラが自動的にストールさせる場合

Set Feature コマンドでストール設定した場合、あるいは USB の規格違反が合った場合は、USBEPSTL に関係なく本コントローラが自動的に該当エンドポイントの内部状態ビットをセットし、ストールハンドシェークを返します (図 23.14 の 1-1)。

一度、内部状態ビットがセットされた後は、USBEPSTL に関係なく、ホストから Clear Feature コマンドでクリアされるまで、内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされたあとは、USBEPSTL を参照するようになります (図 23.14 の 3-1)。内部状態ビットがセットされている間は、該当エンドポイントに対するトランザクションが行われても、内部状態ビットがセットされているため、本モジュールはストールハンドシェークを返します (図 23.14 の 2-1、2-2)。したがって、ストールを解除するには、Clear Feature コマンドで内部状態ビットをクリアする必要があります (図 23.14 の 3-1)。もし、アプリケーションによって USBEPSTL をセットしている場合は、USBEPSTL もクリアしてください (図 23.14 の 2-1)。

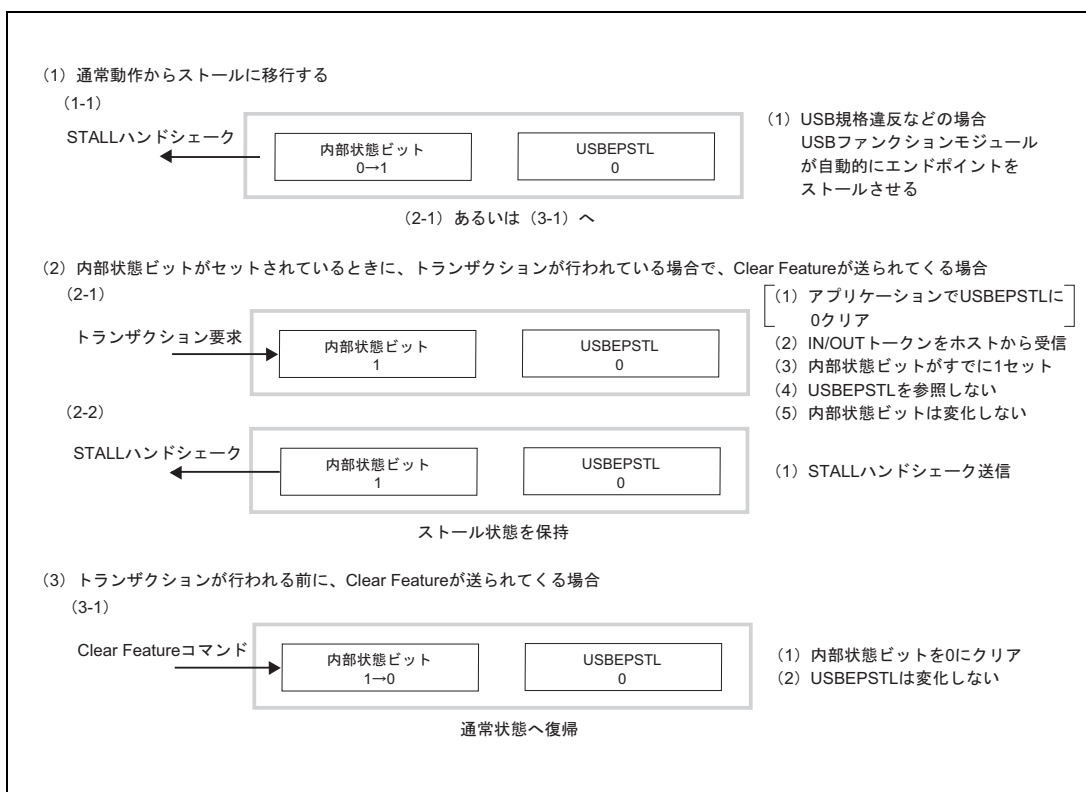


図 23.14 USB ファンクションモジュールが自動的にストールさせた場合

23.9 使用上の注意

23.9.1 セットアップデータ受信について

8 バイトのセットアップデータ受信を行なう EPDR0s は以下の点に注意してください。

1. USBではセットアップコマンドを必ず受信することになっているため、CPU側からのリードよりも、USBバス側からのライトが優先になっています。受信完了後にCPUでデータリードを行っている最中に、次のセットアップコマンドの受信が開始された場合、ライト優先にするためCPU側からのリードを強制的に無効にします。したがって、受信開始後リードされる値は不定値になります。
2. EPDR0sは必ず8バイト単位でリードしてください。途中でリードを中止すると次のセットアップで受信したデータが正常にリードできません。

23.9.2 FIFO のクリアについて

USB ケーブル接続後、通信途中で抜かれた場合、受信中あるいは送信中のデータが FIFO 内に残っている場合があります。したがって、ケーブル接続後は、すみやかに FIFO のクリアを行ってください。

なお、ホストからデータ受信中あるいはホストに対してデータ送信中の FIFO クリアは行わないでください。

23.9.3 データレジスタのオーバリード/ライトについて

本モジュールのデータレジスタをリード/ライトする際、以下の点に注意してください。

(1) 受信用データレジスタ

受信用データレジスタは、有効な受信データ数以上リードしないでください。すなわち、受信データサイズレジスタに示されるバイト数以上リードしないでください。2面 FIFO を持つ EPDR1 の場合も 1 回にリードできる最大データ数は 64 バイトです。現在有効になっている面のデータをリード終了したら、必ず TRG/EP1RDFN に 1 ライトを行ってください。この操作を行うことで、他方の面に切り替わり、新しいバイト数が受信データに反映され、次のデータがリード可能になります。

(2) 送信用データレジスタ

送信用データレジスタは、最大パケットサイズ以上ライトしないでください。2面 FIFO を持つ EPDR2 の場合も、1 回のライトは必ず最大パケットサイズ以内にしてください。データライト後、TRG/PKTE に 1 ライトを行うと本ジュール内で面が切り替わり、他方の面に対する次のデータがライト可能になります。したがって、2面分連続でデータライトは行わないでください。

23.9.4 EP0 に関する割り込み要因の割り当てについて

本モジュールの IFR0 に割り当てられた EP0 に関する割り込み要因 (ビット 0~3) は、必ず ISR0 で同じ割り込み端子に割り当ててください。その他の割り込み要因には特に制約はありません。

23.9.5 DMA 転送設定時の FIFO クリアについて

エンドポイント 1 において、DMA 転送をイネーブルにしているとき (USBDMA/EP1 DMAE=1) は、エンドポイント 1 データレジスタ (EPDR1) のクリアはできません。クリアを行う場合は、DMA 転送を解除してから行ってください。

23.9.6 TR 割り込み使用時の注意事項

EP0i/EP2/EP3 のイン転送には転送要求割り込み (TR 割り込み) がありますが、本割り込みを使用するときは次の点に注意してください。

TR 割り込みフラグは、USB ホストから IN トークンが送られてきたとき、該当エンドポイントの FIFO にデータがないときにセットされます。しかし、図 23.15 に示すタイミングの場合、連続して TR 割り込みが発生します。このような場合でも誤動作しないようにしてください。

【注】 本モジュールは IN トークン受信時、該当 EP の FIFO にデータがない場合に NAK 判定を行います。TR 割り込みフラグは NAK ハンドシェイク送信後にセットされます。したがって、TRG/PKTE のライトが次の IN トークンより遅れた場合、TR 割り込みフラグが再度セットされます。

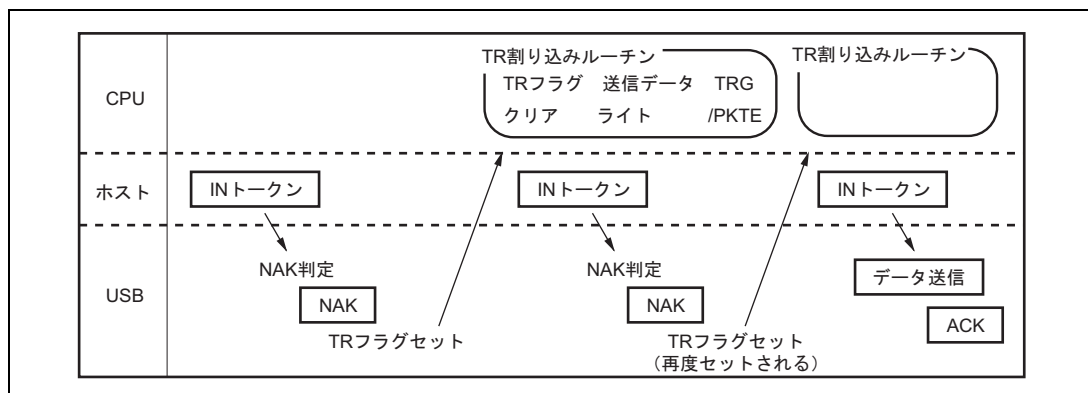


図 23.15 TR 割り込みフラグのセットタイミング

23.9.7 周辺クロック (Pφ) の動作周波数

本モジュールを使用する場合、周辺クロック (Pφ) を 13MHz 以上で使用してください。

24. USB ホストコントローラ (USBH)

24.1 概要

SH7727 の USB ホストコントローラモジュールは、ユニバーサルシリアルバス (Universal Serial Bus) バージョン 1.1 と OpenHCI をサポートしています。

USB の OpenHCI 仕様は、USB ホストコントローラのレジスタ仕様の詳細を規定しています。この USB ホストコントローラのデバイスドライバおよびハードウェアの開発にあたっては、OpenHCI の仕様書に従って開発を行ってください。

なお、ご使用にあたっては、本章末尾の制約事項をご一読ください。

24.1.1 特長

- OpenHCIバージョン1.0レジスタセット準拠
- ユニバーサルシリアルバス (Universal Serial Bus) バージョン1.1準拠
- ルートハブ機能
- ロースピード (1.5Mbps) とフルスピード (12Mbps) をサポート
- 過電流検出機構をサポート
- 最大127エンドポイントをサポート
- CPUに接続されたエリア3のシンクロナスDRAMの全域を転送用データ、およびディスクリプタ用として利用可能。

24.1.2 端子構成

USB ホストコントローラの端子構成を表 24.1 に示します。

各端子の詳細な設定方法については、「第 22 章 USB ピンマルチプレクスコントローラ」を参照してください。

表 24.1 端子構成

名 称	略 称	入出力	機 能
パワーイネーブル端子 1	USB1_pwr_en	出力	USB ポート 1 電源投入許可制御
パワーイネーブル端子 2	USB2_pwr_en	出力	USB ポート 2 電源投入許可制御
オーバカレント端子 1 /VBUS 端子	USB1_ovr_current/ USBF_VBUS	入力	USB ポート 1 オーバカレント検出 /USB ケーブル接続モニター端子
オーバカレント端子 2	USB2_ovr_current	入力	USB ポート 2 オーバカレント検出
1P 端子	USB1_P	入出力	D+ポート 1 トランシーバ端子
1M 端子	USB1_M	入出力	D-ポート 1 トランシーバ端子

24. USB ホストコントローラ

名 称	略 称	入出力	機 能
2P 端子	USB2_P	入出力	D+ポート 2 トランシーバ端子
2M 端子	USB2_M	入出力	D-ポート 2 トランシーバ端子

24.1.3 レジスタ構成

表 24.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス	アクセスサイズ
HcRevision レジスタ		R	H'00000010	H'04000400 (H'A4000400) *	32
HcControl レジスタ		R/W	H'00000000	H'04000404 (H'A4000404) *	32
HcCommandStatus レジスタ		R/W	H'00000000	H'04000408 (H'A4000408) *	32
HcInterruptStatus レジスタ		R/W	H'00000000	H'0400040C (H'A400040C) *	32
HcInterruptEnable レジスタ		R/W	H'00000000	H'04000410 (H'A4000410) *	32
HcInterruptDisable レジスタ		R/W	H'00000000	H'04000414 (H'A4000414) *	32
HcHCCA レジスタ		R/W	H'00000000	H'04000418 (H'A4000418) *	32
HcPeriodCurrentED レジスタ		R/W	H'00000000	H'0400041C (H'A400041C) *	32
HcControlHeadED レジスタ		R/W	H'00000000	H'04000420 (H'A4000420) *	32
HcControlCurrentED レジスタ		R/W	H'00000000	H'04000424 (H'A4000424) *	32
HcBulkHeadED レジスタ		R/W	H'00000000	H'04000428 (H'A4000428) *	32
HcBulkCurrentED レジスタ		R/W	H'00000000	H'0400042C (H'A400042C) *	32
HcDonrHeadED レジスタ		R/W	H'00000000	H'04000430 (H'A4000430) *	32
HcFmInterval レジスタ		R/W	H'00002EDF	H'04000434 (H'A4000434) *	32
HcFmRemaining レジスタ		R	H'00000000	H'04000438 (H'A4000438) *	32
HcFmNumber レジスタ		R	H'00000000	H'0400043C (H'A400043C) *	32
HcPeriodicStart レジスタ		R/W	H'00000000	H'04000440 (H'A4000440) *	32
HcLSThreshold レジスタ		R/W	H'00000628	H'04000444 (H'A4000444) *	32
HcRhDescriptorA レジスタ		R/W	H'02001202	H'04000448 (H'A4000448) *	32
HcRhDescriptorB レジスタ		R/W	H'00000000	H'0400044C (H'A400044C) *	32
HcRhStatus レジスタ		R/W	H'00000000	H'04000450 (H'A4000450) *	32
HcRhPortStatus1 レジスタ		R/W	H'00000100	H'04000454 (H'A4000454) *	32
HcRhPortStatus2 レジスタ		R/W	H'00000100	H'04000458 (H'A4000458) *	32

【注】 * MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

24.2 レジスタの説明

24.2.1 HcRevision レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	Rev							
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- ビット31～8：予約ビット
- ビット7～0：Revision (Rev)

このリードのみのビットは、ホストコントローラのため実行される HCI スペシフィケーションのバージョンの BCD 表現を含んでいます。値 H'10 はバージョン 1.0 に相当します。このスペシフィケーション準拠の HCI インプリメンテーションのすべては、H'10 の値を持ちます。

24.2.2 HcControl レジスタ

HcControl レジスタは、ホストコントローラのための操作モードを定義します。このレジスタのビットのほとんどは、HostControllerFunctionState と RemoteWakeupCommand を除いて、ホストコントローラドライバにより修正されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RWE	RWC	IR	HCFS1	HCFS0	BLE	CLE	IE	PLE	CBSR1	CBSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31～11：予約ビット
- ビット10：Remote Wakeup Enable (RWE)

このビットは、上流の resume 信号の検出と同時に remote wakeup 機能を可能にするか、また不可にするように、HCD により用いられます。本機能はサポートしていません。必ず 0 を書いてください。

24. USB ホストコントローラ

- ビット9 : RemoteWakeupConnected (RWC)

このビットはホストコントローラが remote wakeup 信号をサポートするかどうかを示します。remote wakeup がサポートされて、システムにより使用されるとき、ホストコントローラはシステムファームウェアにこのビットを POST の間にセットする必要があります。ホストコントローラはハードウェアリセットと同時にビットをクリアしますが、ソフトウェアリセットと同時に変更しません。本機能はサポートしていません。

- ビット8 : InterruptRouting (IR)

このビットは、HcInterruptStatus において登録されたイベントによって発生する割り込みの発生を決定します。HCD は、ハードウェアリセットと同時にこのビットクリアしますが、ソフトウェアリセットと同時に変更しません。HCD は、ホストコントローラの所有権を示すために、タグとしてこのビットを用います。

ビット 8	説明
IR	
0	すべての割り込みは正常なホストバス割り込みメカニズムに発生 (初期値)
1	割り込みは SMI に発生

- ビット7,6 : HostControllerFunctionState (HCFS)

HCD は、ホストコントローラが HcInterruptStatus の StartofFrame ビットをリードして SOF を送り始めたかどうかを決定します。このビットは UsbSuspend 状態のときだけ、ホストコントローラによって変更できます。ホストコントローラは、下流ポートから resume 信号を検出した後に、UsbSuspend 状態から UsbResume 状態に動くことができます。ホストコントローラは、ハードウェアリセットの後に UsbReset が入るように、ソフトウェアリセットの後に、UsbSuspend が入ります。前者はルートハブもリセットします。

ビット 7	ビット 6	説明
HCFS1	HCFS0	
0	0	UsbReset (初期値)
	1	UsbResume
1	0	UsbOperational
	1	UsbSuspend

- ビット5 : BulkListEnable (BLE)

このビットは、次のフレームでバルクリストの処理を可能にするためにセットされます。ホストコントローラは、リストの処理が決まった場合、このビットをチェックします。ディスエーブルのときには、HCD はリストを修正できます。HcBulkCurrentED が削除される ED を指し示している場合、HCD はリスト処理の再可能化の前に HcBulkCurrentED を更新してポインタを早めてください。

ビット5	説 明	
BLE		
0	Bulk リスト処理をしない	(初期値)
1	Bulk リスト処理をする	

- ビット4 : ControlListEnable (CLE)

このビットは、次のフレームでコントロールリストの処理を可能にするためにセットされます。もし HCD によりクリアされるならば、次の SOF の後にコントロールリストの処理をしません。ホストコントローラは、リストを処理すると決めるときにはいつでも、このビットをチェックしなければなりません。ディスエーブルのときには、HCD はリストを修正できます。もし HcControlCurrentED が削除される ED を指し示しているならば、HCD は、リスト処理の再可能化の前に HcControlCurrentED を更新してポインタを早めなければなりません。

ビット4	説 明	
CLE		
0	コントロールリスト処理をしない	(初期値)
1	コントロールリスト処理をする	

- ビット3 : IsochronousEnable (IE)

このビットは、isochronous ED の処理をイネーブル/ディスエーブルにするように、HCD により用いられます。フレームにおいて周期的なリストを処理する間、HC は、isochronous ED を見つけるとき (F=1) には、このビットのステータスをチェックします。もしセットされた (イネーブル) ならば、ホストコントローラは ED を処理し続けます。もしクリアされた (ディスエーブル) ならば、ホストコントローラは、周期的なリスト (現在は isochronous ED のみ含んでいます) の処理を停止させて、バルク/コントロールリストを処理し始めます。このビットをセットすることは、次のフレームにおいて有効であると保証されています (現在のフレームではありません)。

ビット3	説 明	
IE		
0	ED を処理	(初期値)
1	バルク/コントロールリストを処理	

24. USB ホストコントローラ

- ビット2 : PeriodicListEnable (PLE)

このビットは、次のフレームの周期的なリストの処理を可能にするためにセットされます。もし HCD によってクリアされるならば、周期的なリストの処理は次の SOF の後では起こりません。HC がリストを処理し始める前に、HC はこのビットをチェックしなければなりません。

ビット2	説明
PLE	
0	周期的なリストの処理は次の SOF のあとには起きない (初期値)
1	周期的なリストの処理は次の SOF のあとに起きる

- ビット1,0 : ControlBulkServiceRatio (CBSR)

このビットはコントロールとバルク ED のサービス比率を指定します。非周期的なリストのうちの何でも処理する前に、ホストコントローラは、別のコントロール ED を供給し続けるか、またはバルク ED に切り替えるかの決定において、いくつかの不空のコントロール ED を処理したかを内部計算によって指定した比率を比較しなければなりません。内部計算は、フレーム境界を超えるとときに保持されます。リセットの場合には、HCD は、この値を復元する責任があります。

ビット1	ビット0	説明
CBSR1	CBSR0	
0	0	1:1 (初期値)
0	1	2:1
1	0	3:1
1	1	4:1

24.2.3 HcCommandStatus レジスタ

Host Controller の現在のステータスを反映するだけでなく、Host Controller Driver により発行されたコマンドを受け取るために、HcCommandStatus レジスタは、Host Controller により使用されます。Host Controller Driver に対して、セットのためのライトです。1 を書き込まれたビットはセットされ、0 を書き込まれたビットは変化しないままであることを、Host Controller は保証しなければなりません。Host Controller Driver は、前もって発行されたコマンドで複数の明瞭なコマンドを Host Controller に配付できます。Host Controller Driver は、すべてのビットに対して通常のリードアクセスができます。

SchedulingOverrunCount ビットは、Host Controller が Scheduling Overrun エラーを検出したフレームの数を示します。EOF の前に周期的なリストが完了しないときに、これは起こります。Scheduling Overrun エラーが検出される際には、Host Controller は、カウンタをインクリメントし、HcInterruptStatus レジスタの SchedulingOverrun フィールドをセットします。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOC1	SOC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	OCR	BLF	CLF	HCR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31～18、15～4：予約ビット
- ビット17、16：SchedulingOverrunCount (SOC)

これらのビットは各 SchedulingOverrun エラーにおいてインクリメントされます。B'00 と初期設定され、B'11 に戻ります。HcInterruptStatus の SchedulingOverrun がセットされていても、SchedulingOverrun が検出されるときには、これはインクリメントされます。これは、どのような持続的なスケジューリング問題でも監視するために、HCD によって使用されます。

- ビット3：OwnershipChangeRequest (OCR)

このビットは、ホストコントローラの制御の変化を要求するために、OS HCD によりセットされます。セットされたとき、ホストコントローラが HcInterruptStatus の OwnershipChange ビットをセットします。チェンジ後に、このビットがクリアされ、OS HCD からの次の要求まで残留します。

ビット3	説明
OCR	
0	チェンジ後、このビットがクリアされ、OS HCD からの次の要求まで残留 (初期値)
1	HcInterruptStatus レジスタの OwnershipChange ビットをセット

24. USB ホストコントローラ

- ビット2 : BulkListFilled (BLF)

このビットは、リストにいくらかの TDs があるかを示すために用いられます。TD を ED に付加するとき、HCD により、リストに設定されます。

ホストコントローラがリストのヘッドを処理しはじめるときには、BF をチェックします。BulkListFilled が 0 である限り、ホストコントローラはリストを処理し始めません。BulkListFilled が 1 のとき、ホストコントローラはリストを処理し始めて、BF から 0 までを設定します。ホストコントローラが TD をリストに見つげるとき、ホストコントローラは、BulkListFilled を 1 に設定します。TD がリストに全然見つけられず、HCD が BulkListFilled を設定しないとき、ホストコントローラが、リストを処理することを完成し、大ききリスト処理がやむときには、そのときの BulkListFilled はまだ 0 です。

ビット2	説明
BLF	
0	リストは処理されない (初期値)
1	リストを処理

- ビット1 : ControlListFilled (CLF)

このビットは、コントロールリストにいくらかの TD があるかを示すために用いられます。HCD が TD をコントロールリストの ED に付加するとき、HCD により設定されます。

ホストコントローラがコントロールリストのヘッドを処理し始めるときには、ホストコントローラは CLF をチェックします。ControlListFilled が 0 である限り、ホストコントローラはコントロールリストを処理し始めません。もし CLF が 1 であるならば、ホストコントローラはコントロールリストを処理し始めて、ControlListFilled を 0 にセットします。もしホストコントローラが TD をリストに見つけるならば、そのときホストコントローラは、ControlListFilled を 1 にセットします。もし TD をコントロールリストに見つけられず、HCD が ControlListFilled をセットしないならば、ホストコントローラが、コントロールリストの処理を完了し、コントロールリスト処理を止めるときには、そのときの ControlListFilled はまだ 0 です。

ビット1	説明
CLF	
0	リストは処理されない (初期値)
1	リストを処理

- ビット0 : HostControllerReset (HCR)

このビットは、ホストコントローラのソフトウェアリセットを開始するために、HCD によりセットされます。ホストコントローラの機能上の状態を問わず、次の状態を除いて、operational レジスタのほとんどがリセットされる UsbSuspend 状態に動きます。たとえば、HcControl の InterruptRouting フィールドおよびホストバスのないアクセスは許されます。このビット はリセット操作の完了と同時にホストコントローラによりクリアされます。リセット操作は 10 μ s 内で完了されなければなりません。このビットは、セットされるときに、ルートハブにリセットを起こすことなく、次のリセット信号は下流ポートに出されません。

ビット0	説 明
HCR	
0	リセット操作の完了と同時にホストコントローラによりクリア (初期値)
1	UsbSuspend 状態

24.2.4 HcInterruptStatus レジスタ

このレジスタは、ハードウェア割り込みを起こす様々なイベントにおいてステータスを示します。イベントが起こるときには、ホストコントローラは、このレジスタ中の相当するビットをセットします。ビットが1になるときは、HcInterruptEnable レジスタ(「24.2.5 HcInterrupt Enable レジスタ」参照)において割り込みがイネーブルで、MasterInterruptEnable ビットがセットされたら、ハードウェア割り込みが発生します。それが発生すると割り込みコントローラ(INTC)の割り込み要求レジスタ3(IRR3)のUSBHI ビットがセットされます。ホストコントローラドライバは、クリアされるビットポジションに1を書き込むことで、このレジスタの特定ビットクリアします。ホストコントローラドライバは、これらのビットのうちいずれもセットできません。ホストコントローラは決してビットをクリアしません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	OC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RHSC	FNO	UE	RD	SF	WDH	SO
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31 : 予約ビット
- ビット30 : OwnershipChange (OC)

HCD が HcCommandStatus レジスタの OwnershipChangeRequest ビットをセットするとき、このビットはホストコントローラによりセットされます。このイベントは、マスクされないときに、直ちにシステム管理割り込み(SMI)を生成します。

SMI ピンがないときには、このビットは0になります。

ビット30	説 明
OC	
0	HcCommandStatus レジスタの OCR ビットがセットされていない (初期値)
1	HcCommandStatus レジスタの OCR ビットがセットされた

- ビット29~7 : 予約ビット

24. USB ホストコントローラ

- ビット6 : RootHubStatusChange (RHSC)

HcRhStatus レジスタの内容、または HcRhPortStatus1、2 レジスタのうち、いずれかの内容が変わったときには、このビットがセットされます。

ビット6	説明
RHSC	
0	HcRhStatus レジスタ、または HcRhPortStatus レジスタの内容に変化がない (初期値)
1	HcRhStatus レジスタ、または HcRhPortStatus レジスタの内容が変化

- ビット5 : FrameNumberOverflow (FNO)

HcFmNumber レジスタの MSB (ビット 15) が、0 から 1 まで、または 1 から 0 まで値を変更するとき、または HccaFrameNumber ビットが更新された後に、このビットがセットされます。

ビット5	説明
FNO	
0	HcFmNumber レジスタの MSB、または HccaFrameNumber ビットは更新されていない (初期値)
1	HcFmNumber レジスタの MSB、または HccaFrameNumber ビットが更新された

- ビット4 : UnrecoverableError (UE)

ホストコントローラが、USB と関連しないシステムエラーを検出するときには、このビットがセットされます。ホストコントローラがリセットされた後に、HCD はこのビットをクリアします。

ビット4	説明
UE	
0	システムエラー未発生 (初期値)
1	システムエラーを検出

- ビット3 : ResumeDetected (RD)

USB のデバイスが resume 信号を出していることをホストコントローラが検出するときには、このビットがセットされます。HCD が UsbResume state をセットするときには、このビットはセットされません。

ビット3	説明
RD	
0	resume 信号を検出していない (初期値)
1	resume 信号を検出

- ビット2 : StartofFrame (SF)

このビットは、各フレームの開始時、および HccaFrameNumber の更新後に、ホストコントローラによりセットされます。ホストコントローラは、SOF トークンも同時に生成します。

ビット2	説 明
SF	
0	各フレームが開始されていない、または HccaFrameNumber が更新されていない (初期値)
1	各フレームの開始、および HccaFrameNumber の更新

- ビット1 : WritebackDoneHead (WDH)

ホストコントローラが HcDoneHead を HccaDoneHead にライトしたすぐ後に、このビットがセットされます。このビットがクリアされるまで、HccaDoneHead は更新されません。HCD は、HccaDoneHead の内容を保存した後にだけ、このビットをクリアしてください。

ビット1	説 明
WDH	
0	1 にセットしたあと、クリアしたとき (初期値)
1	HcDoneHead を HccaDoneHead にライトしたとき

- ビット0 : SchedulingOverrun (SO)

現在のフレームにおいて、HccaFrameNumber の更新の後、USB スケジュールがオーバーランしたとき、このビットはセットされます。SchedulingOverrun はまた、HcCommandStatus の SchedulingOverrunCount ビットをインクリメントします。

ビット0	説 明
SO	
0	USB スケジュールはオーバーランしていない (初期値)
1	USB スケジュールがオーバーランした

24.2.5 HcInterruptEnable レジスタ

HcInterruptEnable レジスタの各イネーブルビットは、HcInterruptStatus レジスタの関連した割り込みビットに相当しています。HcInterruptEnable レジスタは、ハードウェア割り込みを生成するイベントの制御に用いられます。HcInterruptEnable レジスタのビットがセットされ、HcInterruptEnable レジスタの相当するビットがセットされて、MasterInterruptEnable ビットがセットされるときには、ホストバスにおいてハードウェア割り込みが要求されます。その結果、割り込みコントローラ INTC の割り込み要求レジスタ 3 (IRR3) の USBHI ビットがセットされます (なお、USBHI ビットは割り込み生成イベントの内容のいかんによらず共通して使用されます)。そのため HCD で割り込み発生を検出する場合 USBHI ビットを利用することができます。

このレジスタに 1 を書き込むことによって相当するビットはセットされますが、0 を書き込んででも変化しません。リード時、このレジスタの現在の値が戻ります。

24. USB ホストコントローラ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MIE	OC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RHSC	FNO	UE	RD	SF	WDH	SO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31 : MasterInterruptEnable (MIE)

このビットに0をセットすると、ホストコントローラにより無視されます。このビットに1をセットすると、このレジスタのほかのビットにおいて指定されたイベントによる割り込み生成を可能にします。これはマスタ割り込み可能化として HCD により使用されます。HCD で割り込み検出する場合、割り込みコントローラ INTC の USBIH ビットを利用してください。

ビット 31	説 明	
MIE		
0	無視されます	(初期値)
1	指定されたイベントによる割り込み生成可	

- ビット30 : OwnershipChangeEnable (OC)

ビット 30	説 明	
OC		
0	無視されます	(初期値)
1	所有権変化による割り込み生成可	

- ビット29～7 : 予約ビット

- ビット6 : RootHubStatusChangeEnable (RHSC)

ビット 6	説 明	
RHSC		
0	無視されます	(初期値)
1	ルートハブステータス変化による割り込み生成可	

- ビット5 : FrameNumberOverflowEnable (FNO)

ビット5	説 明	
FNO		
0	無視されます	(初期値)
1	Frame Number Overflow による割り込み生成可	

- ビット4 : UnrecoverableErrorEnable (UE)

ビット4	説 明	
UE		
0	無視されます	(初期値)
1	回復不可能なエラーによる割り込み生成可	

- ビット3 : ResumeDetectedEnable (RD)

ビット3	説 明	
RD		
0	無視されます	(初期値)
1	Resume 検出による割り込み生成可	

- ビット2 : StartOfFrameEnable (SF)

ビット2	説 明	
SF		
0	無視されます	(初期値)
1	フレームの開始による割り込み生成可	

- ビット1 : WritebackDoneHeadEnable (WDH)

ビット1	説 明	
WDH		
0	無視されます	(初期値)
1	HcDoneHead Writeback による割り込み生成可	

24. USB ホストコントローラ

- ビット0 : SchedulingOverrunEnable (SO)

ビット0	説 明	
SO		
0	無視されます	(初期値)
1	Scheduling Overrun による割り込み生成可	

24.2.6 HcInterruptDisable レジスタ

HcInterruptDisable レジスタの各ディセーブルビットは、HcInterruptStatus レジスタの関連した割り込みビットに相当しています。HcInterruptDisable レジスタはHcInterruptEnable レジスタと結び付けられます。したがって、このレジスタに1を書き込むことによってHcInterruptEnable レジスタの相当するビットはクリアされますが、0を書き込むことによってHcInterruptEnable レジスタの相当するビットは変化しません。リード時、HcInterruptEnable レジスタの現在の値が戻ります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MIE	OC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RHSC	FNO	UE	RD	SF	WDH	SO
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31 : MasterinterruptEnable (MIE)

ビット31	説 明	
MIE		
0	無視されます	(初期値)
1	指定されたイベントによる割り込み生成不可	

- ビット30 : OwnershipChangeEnable (OC)

ビット30	説 明	
OC		
0	無視されます	(初期値)
1	所有権変化による割り込み生成不可	

- ビット29~7 : 予約ビット

- ビット6 : RootHubStatusChangeEnable (RHSC)

ビット6	説明
RHSC	
0	無視されます (初期値)
1	ルートハブステータス変化による割り込み生成不可

- ビット5 : FrameNumberOverflowEnable (FNO)

ビット5	説明
FNO	
0	無視されます (初期値)
1	Frame Number Overflow による割り込み生成不可

- ビット4 : UnrecoverableErrorEnable (UE)

ビット4	説明
UE	
0	無視されます (初期値)
1	回復不可能なエラーによる割り込み生成不可

- ビット3 : ResumeDetectedEnable (RD)

ビット3	説明
RD	
0	無視されます (初期値)
1	Resume 検出による割り込み生成不可

- ビット2 : StartOfFrameEnable (SF)

ビット2	説明
SF	
0	無視されます (初期値)
1	フレームの開始による割り込み生成不可

24. USB ホストコントローラ

- ビット1 : WritebackDoneHeadEnable (WDH)

ビット1	説明	
WDH		
0	無視されます	(初期値)
1	HcDoneHead Writeback による割り込み生成不可	

- ビット0 : SchedulingOverrunEnable (SO)

ビット0	説明	
SO		
0	無視されます	(初期値)
1	Scheduling Overrun による割り込み生成不可	

24.2.7 HcHCCA レジスタ

HcHCCA レジスタはホストコントローラコミュニケーションエリアの物理アドレスを含んでいます。ホストコントローラドライバは、HcHCCA レジスタにすべて1を書き込むことと、HcHCCA レジスタの内容をリードすることによって、アラインメント制限を決定します。アラインメントは、下位ビットの0の数を調べることで評価されます。最小のアラインメントは256バイトです。したがって、0~7までのビットは、リードされたときに、常に0にしておかなければなりません。このエリアは、ホストコントローラとホストコントローラドライバによりアクセスされる、コントロール構造と割り込みテーブルを保持するために使用されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HCCA															
初期値 :	0															
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HCCA								—							
初期値 :	0								0							
R/W :	R/W								R/W							

- ビット7~0 : 予約ビット

24.2.8 HcPeriodCurrentED レジスタ

HcPeriodCurrentED レジスタは、現在の Isochronous ED あるいは Interrupt ED の物理アドレスを含んでいます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PCED															
初期値 :	0															
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCED												—			
初期値 :	0												0			
R/W :	R/W												R/W			

- ビット3~0 : 予約ビット

24.2.9 HcControlHeadED レジスタ

HcControlHeadED レジスタは、コントロールリストにおいて、最初の ED の物理アドレスを含んでいます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHED															
初期値 :	0															
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CHED												—			
初期値 :	0												0			
R/W :	R/W												R/W			

- ビット3~0 : 予約ビット

24.2.10 HcControlCurrentED レジスタ

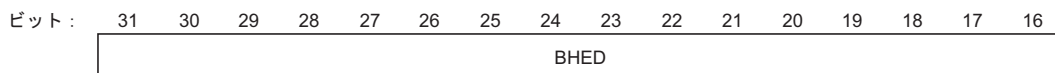
HcControlCurrentED レジスタは、コントロールリストにおいて、現在の ED の物理アドレスを含んでいます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CCED															
初期値 :	0															
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCED												—			
初期値 :	0												0			
R/W :	R/W												R/W			

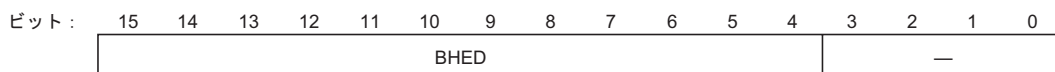
- ビット3~0 : 予約ビット

24.2.11 HcBulkHeadED レジスタ

HcBulkHeadED レジスタは、バルクリストの最初の ED の物理アドレスを含んでいます。



初期値: 0
R/W: R/W

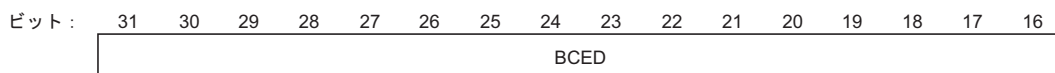


初期値: 0 0
R/W: R/W R/W

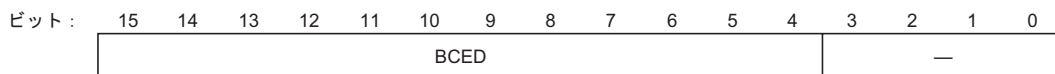
- ビット3~0: 予約ビット

24.2.12 HcBulkCurrentED レジスタ

HcBulkCurrentED レジスタは、バルクリストにおいて、現在の ED の物理アドレスを含んでいます。バルクリストがラウンドロビン方式で供給されると、エンドポイントはそれらの挿入に従ってリストに注文されます。



初期値: 0
R/W: R/W



初期値: 0 0
R/W: R/W R/W

- ビット3~0: 予約ビット

24.2.13 HcDoneHeadED レジスタ

HcDoneHead レジスタは、Done queue に付加されたこの前完了された TD の物理アドレスを含んでいます。正常なオペレーションにおいて、ホストコントローラドライバは、その内容が HCCA に周期的にライトされるようにこのレジスタをリードする必要はありません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DH															
初期値:	0															
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DH												—			
初期値:	0												0			
R/W:	R/W												R/W			

- ビット3~0: 予約ビット

24.2.14 HcFmInterval レジスタ

HcFmInterval レジスタは、フレームのビットタイム間隔（すなわち 2 つの連続的な SOF 間）を示す 14 ビット値と、scheduling overrun を起こさずにホストコントローラが送受信するフルスピードでの最大パケットサイズを示している 15 ビット値を含んでいます。ホストコントローラドライバは、各 SOF において、現在の値の上に新しい値をライトして、フレームインターバルの微調整を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIT	FSMPS														
初期値:	0	0														
R/W:	R/W	R/W														
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	FI													
初期値:	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1	1
R/W:	R/W	R/W	R/W													

- ビット31: FrameIntervalToggle (FIT)

HCD は、新しい値を FrameInterval にロードするときにはいつでも、このビットをトグルします。

- ビット30~16: FSLargestDataPacket (FSMPS)

このビットは、各フレームの最初に Largest Data Packet Counter にロードされる値を指定します。カウンタ値は、scheduling overrun を起こさずに、与えられたいかなる時間に、ホストコントローラにより 1 つのトランザクションに送受信され得るビットの最も大きいデータ量を表しています。フィールド値は HCD により計算されます。

- ビット15, 14: 予約ビット
- ビット13~0: FrameInterval (FI)

24. USB ホストコントローラ

このビットは、ビット倍の2つの連続的な SOF 間の間隔を指定します。名目値は、11999 にセットされます。HCD は、ホストコントローラをリセットする前に、このフィールドの現在値を保存しなくてはなりません。これにより、HcCommandStatus レジスタの HostControllerReset ビットをセットすることによって、ホストコントローラ にこのビットをその名目値にリセットさせます。HCD は、リセットシーケンスの完了と同時に、保存された値を復元することを選ぶことができます。

24.2.15 HcFmRemaining レジスタ

HcFmRemaining レジスタは、現在のフレームに残っているビットタイムを示す 14 ビットのダウンカウンタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FRT															—
初期値 :	0								0							
R/W :	R/W								R/W							
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—															FR
初期値 :	0							0								
R/W :	R/W							R/W								

- ビット31 : FrameRemainingToggle (FRT)

FrameRemaining が 0 に達するときは常に、このビットは HcFmInterval の FrameIntervalToggle ビットからロードされます。このビットは FrameInterval と FrameRemaining の間との同期のために HCD により使われます。

- ビット30 ~ 14 : 予約ビット
- ビット13 ~ 0 : FrameRemaining (FR)

このカウンタは各ビットタイムでデクリメントされます。0 に達するとき、次のビットタイム境界において、HcFmInterval レジスタにおいて指定された FrameInterval ビットの値をロードすることによってリセットされません。UsbOperational 状態を入るときに、ホストコントローラは HcFmInterval レジスタの FrameInterval ビットを再度読み込み、次の SOF から更新された値を使います。

24.2.16 HcFmNumber レジスタ

HcFmNumber レジスタは 16 ビットカウンタです。ホストコントローラとホストコントローラドライバにおいて起こるイベント間のタイミングの参照を示します。ホストコントローラドライバは、このレジスタにおいて指定された 16 ビット値を使い、レジスタへの頻繁なアクセスを必要とせずに 32 ビットフレーム数を生成します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—															
初期値:	0															
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FN															
初期値:	0															
R/W:	R/W															

- ビット31～16：予約ビット
- ビット15～0：FrameNumber (FN)

HcFmRemaining が再ロードされるときにインクリメントされます。H'FFFF の後 H'0 に戻ります。UsbOperational 状態に入るときに、自動的にインクリメントされます。ホストコントローラが各フレーム境界において、FrameNumber ビットをインクリメントし、SOF を送った後、ホストコントローラがそのフレームの中で最初の ED を読む前に、内容が HCCA に書かれます。HCCA に書いたあと、ホストコントローラは HcInterruptStatus レジスタの StartofFrame ビットをセットします。

24.2.17 HcPeriodicStart レジスタ

HcPeriodicStart レジスタは、ホストコントローラが周期的なリストを処理し始めるべきである、最も早い時間を決定する、14 ビットのプログラム化可能な値を持っています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—															
初期値:	0															
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—			PS												
初期値:	0			0												
R/W:	R/W			R/W												

- ビット31～14：予約ビット
- ビット13～0：PeriodicStart (PS)

ハードウェアがリセットした後、このフィールドはクリアされます。それからホストコントローラの初期設

24. USB ホストコントローラ

定間に、HCD によりセットされます。値は、HcFmInterval レジスタ値から 10% 差し引いた値として大まかに計算されます。HcFmRemaining レジスタが、指定された値に達するときに、周期的なリストの処理は、コントロール/バルク処理よりプライオリティを持ちます。したがって、ホストコントローラは、現在のコントロール/バルクトランザクションを完了後に、割り込みリストを処理し始めます。

24.2.18 HcLSThreshold レジスタ

HcLSThreshold レジスタは、EOF の前に最大 8 バイトの LS パケットの転送に委任するかどうかを決めるため、ホストコントローラにより用いられる 11 ビットの値を含んでいます。ホストコントローラとホストコントローラドライバは、この値を変更することはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—															
初期値:												0				
R/W:												R/W				
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—				LST											
初期値:	0				0 1 1 0 0 0 1 0 1 0 0 0											
R/W:	R/W				R/W											

- ビット31～12：予約ビット
- ビット11～0：LSThreshold (LST)

このフィールドは、低スピードトランザクションの開始に先がけて FrameRemaining ビットと比較される値を含んでいます。FrameRemaining ビットの値がこのビットの値以上である場合のみトランザクションは始められます。値はトランスミッションとセットアップオーバーヘッドを考慮して HCD により計算されます。

24.2.19 HcRhDescriptorA レジスタ

HcRhDescriptorA レジスタは、ルートハブの特徴を説明する 2 つのレジスタで、その中の 1 つ目のレジスタです。ディスクリプタ長 (11)、ディスクリプタタイプ (TBD)、ハブの Class Descriptor の hub controller current ビット (0) は、HCD によりエミュレートされます。ほかのビットはすべて HcRhDescriptorA レジスタと HcRhDescriptorB レジスタに置かれます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POTPGT								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	NOCP	OCPM	DT	NPS	PSM	NDP							
初期値:	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31～24：PowerOnToPowerGoodTime (POTPGT)

このビットは、HCD が、ルートハブのパワーオンポートにアクセスする前に待つ必要がある時間を指定します。インプリメンテーション特定です。時間の単位は 2ms です。時間は POTPGT × 2 ms として計算されます。

- ビット23～13：予約ビット
- ビット12：NoOverCurrentProtection (NOCP)

このビットは、ルートハブポートの過電流ステータスがどのようにして報告されるかを選択します。このビットがクリアされるときには、OverCurrentProtectionMode ビットは、グローバル報告 / ポート毎報告を指定します。

ビット 12	説明
NOCP	
0	過電流ステータスはすべての下流ポートのために集散的に報告される
1	過電流保護はサポートされない (初期値)

- ビット11：OverCurrentProtectionMode (OCPM)

このビットは、ルートハブポートの過電流ステータスがどのようにして報告されるかを選択します。リセット時に、このビットは PowerSwitchingMode と同じモードを反映します。NoOverCurrentProtection ビットがクリアされるならば、このビットは有効です。

ビット 11	説明
OCPM	
0	過電流ステータスはすべての下流ポートのために集散的に報告される (初期値)
1	過電流ステータスはポートごとに報告される

- ビット10：DeviceType (DT)

このビットは、ルートハブが合成デバイスではないことを示します。このビットは、常に 0 をセットしてください。

- ビット9：NoPowerSwitching (NPS)

このビットは電源切り替えがサポートされる、またはポートが常に電力を供給されるかを選択します。インプリメンテーション特定です。このビットがクリアされる時、PowerSwitchingMode はグローバル / ポート切り替えを指定します。

ビット 9	説明
NPS	
0	ポートは電源切り替え可能
1	ホストコントローラがパワーオン時には、ポートは常にパワーオン (初期値)

【注】 初期値が 1 であるため、ポートを電源切り替え可能にする場合は、あらかじめクリア (HCD で 0 ライト) してください。

24. USB ホストコントローラ

- ビット8 : PowerSwitchingMode (PSM)

このビットは、どのようにルートハブポートのパワー切り替えが制御されるかを指定します。インプリメンテーション特定です。NoPowerSwitching ビットがクリアされる場合のみ、このビットは有効です。

ビット 8	説 明
PSM	
0	すべてのポートは同時に電力を供給されます。 (初期値)
1	個々のポートは個々に電力を供給されます。このモードでは、ポートパワーは、グローバルスイッチまたはポート毎スイッチのいずれかにより制御されます。PortPowerControlMask ビットがセットされると、ポートはポートパワーコマンドにだけ反応します (セット/クリアポートパワー)。ポートマスクがクリアされるならば、そのとき、ポートはグローバルな電源スイッチだけにより制御されます (セット/クリアグローバルパワー)。

- ビット7~0 : NumberDownstreamPorts (NDP)

これらのビットは、ルートハブによってサポートされた下流のポートの数を指定します。インプリメンテーション特定です。本 LSI における値は、H'2 です。

24.2.20 HcRhDescriptorB レジスタ

HcRhDescriptorB レジスタは、ルートハブの特徴を説明する 2 つのレジスタで、そのうちの 2 番目のレジスタです。これらのビットは、システムインプリメンテーションに適合するように、初期設定の際に設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PPCM															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

- ビット31～16 : PortPowerControlMask (PPCM)

このビットは、ポートが、PowerSwitchingMode ビットがセットされる時、グローバルなパワーコントロールコマンドにより影響されるかどうかを示します。セット時は、ポートのパワー状態は、ポートごとのパワーコントロールにより影響されます (セット/クリアポートパワー)。クリア時は、ポートはグローバルな電源スイッチにより制御されます (セット/クリアグローバルパワー)。もしデバイスがグローバルな切り替えモード (PowerSwitchingMode=0) に配置されているならば、このビットは有効ではありません。

ビット 15 : 確保されます

ビット 16 : ポート#1 のパワーマスク

ビット 17 : ポート#2 のパワーマスク

...

ビット 31 : ポート#15 のパワーマスク

【注】 HcRhDescriptorA レジスタの NoPowerSwitching をクリアし、全ポートをパワーオフ (PortPowerStatus=0) としてから、本ビットをセットしてください。

- ビット15～0 : DeviceRemovable (DR)

このビットは、ルートハブのポート専用のビットです。クリアされる時に、取り付けられたデバイスが取り外し可能になります。セットされる時には、取り付けられたデバイスは取り外さないでください。

ビット 0 : 確保されます

ビット 1 : ポート#1 に付属しているデバイス

ビット 2 : ポート#2 に付属しているデバイス

...

ビット 15 : ポート#15 に付属しているデバイス

24.2.21 HcRhStatus レジスタ

HcRhStatus レジスタは2つのパーツに分割されます。ロングワードの下位ワードは、ハブステータスビットを表し、上位ワードは、ハブステータスチェンジビットを表しています。予約ビットには、0をセットしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCIC	LPSC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCI	LPS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31: ClearRemoteWakeupEnable (CRWE)

1を書くことにより DeviceRemoveWakeupEnable はクリアされます。0をセットした場合、クリアされません。

- ビット30~18: 予約ビット

- ビット17: OverCurrentIndicatorChange (OCIC)

変化がこのレジスタの OCI フィールドに起こったときに、このビットはハードウェアによりセットされます。

HCD は、1を書いてこのビットをクリアします。0をセットした場合、クリアされません。

- ビット16: (リード時) LocalPowerStatusChange (LPSC)

ルートハブはローカルなパワーステータス機能をサポートしません。したがって、このビットはいつも0として読まれます。

- ビット16: (ライト時) SetGlobalPower

グローバルなパワーモード (PowerSwitchingMode=0) において、このビットは、すべてのポートをパワーオンするために、1をライトします (PortPowerStatus ビットをクリア)。ポートごとにパワーモードにおいて、PortPowerControlMask ビットがセットされていないポートにだけ PortPowerStatus ビットをセットします。0をライトした場合、クリアされません。

- ビット15: (リード時) DeviceRemoteWakeupEnable (DRWE)

このビットは resume イベントとして ConnectStatusChange ビットをイネーブルし、UsbSuspend から UsbResume への状態変遷、および ResumeDetected 割り込みのセットを起こします。

- ビット15: (ライト時) SetRemoteWakeupEnable

1をライトすることにより DeviceRemoveWakeupEnable がセットされます。0をライトした場合、セットされません。

(リード時)

ビット 15	説明
DRWE	
0	ConnectStatusChange が remote wakeup イベントでない (初期値)
1	ConnectStatusChange が remote wakeup イベント

- ビット14～2：予約ビット
- ビット1：OverCurrentIndicator (OCI)

このビットは、グローバルな報告がされる時、過電流条件を報告します。セット時は、過電流条件が存在します。クリア時は、すべてのパワーオペレーションが正常です。ポートごとの過電流保護が実行されているならば、このビットは常に0です。

ビット 1	説明
OCI	
0	すべてのパワーオペレーションが正常 (初期値)
1	過電流条件が存在

- ビット0：(リード時) LocalPowerStatus (LPS)

ルートハブはローカルなパワーステータス機能をサポートしません。したがって、このビットは常に0として読まれます。

- ビット0：(ライト時) ClearGlobalPower

グローバルなパワーモード (PowerSwitchingMode=0) において、このビットは、すべてのポートをパワーオフするために、1にライトされます (PortPowerStatus ビットをクリア)。ポートごとのパワーモードにおいては、PortPowerStatus ビットを、PortPowerControlMask ビットがセットされていないポートにだけクリアします。0をライトした場合、効果がありません。

24.2.22 HcRhPortStatus1、2 レジスタ

HcRhPortStatus1、2 レジスタは、ポートごとのベース制御とポートイベントの報告に使われています。上位ワードがステータス変化を反映するのに対して、下位ワードは、ポートステータスを反映するように用いられます。いくつかのステータスビットには、特別な書き込みがあります（下記参照）。ポートの状態が変化したことを表すビットに書き込みが発生したときに、ハンドシェイクをとおしたトークンのトランザクションが進行中ならば、トランザクションが完了するまで、書き込みは延期されます。予約ビットには、常に0をライトしてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	PRSC	OCIC	PSSC	PESC	CSC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	LSDA	PPS	—	—	—	PRS	POCI	PSS	PES	CCS
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31～21：予約ビット
- ビット20：PortResetStatusChange (PRSC)

このビットは、10 ms のポートリセット信号の終わりにおいてセットされます。

HCD は、このビットをクリアするために1をライトします。0をライトした場合は、クリアされません。

ビット 20	説 明	
PRSC		
0	ポートリセットは完了していない	(初期値)
1	ポートリセットは完了	

- ビット19：PortOverCurrentIndicatorChange (OCIC)

ポートごとのベースにおいて過電流条件が報告されるとき、このビットは有効です。ルートハブがPortOverCurrentIndicator ビットを変更するときには、このビットがセットされます。HCD は、このビットをクリアするために、1をライトします。0をライトした場合、クリアされません。

ビット 19	説 明	
OCIC		
0	PortOverCurrentIndicator の変化なし	(初期値)
1	PortOverCurrentIndicator が変更した	

- ビット18 : PortSuspendStatusChange (PSSC)

すべての resume シーケンスが完了したとき、このビットがセットされます。このシーケンスは、20 ms の resume パルス、LS EOP、および 3 ms resynchronization 遅延を含みます。HCD は、このビットをクリアするために、1 をライトします。0 をライトした場合、クリアされません。ResetStatusChange が設定される時も、このビットがクリアされます。

ビット 18	説 明	
PSSC		
0	resume は完成されていない	(初期値)
1	resume は完成	

- ビット17 : PortEnableStatusChange (PESC)

ハードウェアイベントにより、PortEnableStatus ビットがクリア時に、このビットがセットされます。HCD の書き込みからの変化からはセットされません。HCD は、このビットをクリアするために、1 をライトします。0 をライトした場合、クリアされません。

ビット 17	説 明	
PESC		
0	PortEnableStatus の変化なし	(初期値)
1	PortEnableStatus の変化あり	

- ビット16 : ConnectStatusChange (CSC)

接続または切断イベントが起こるときには、いつでもこのビットがセットされます。HCD は、このビットをクリアするために、1 をライトします。0 をライトした場合、クリアされません。SetPortReset、SetPortEnable、または SetPortSuspend をライトするときに CurrentConnectStatus がクリアされた場合、ポートの電源切断時の書き込みは起こらないので、接続ステータスを再評価することをドライバに強制するためにセットされます。

ビット 16	説 明	
CSC		
0	CurrentConnectStatus の変化なし	(初期値)
1	CurrentConnectStatus の変化あり	

【注】 もし DeviceRemovable ビットがセットされるならば、このビットは、システムに、デバイスが取り付けられることを知らせるために、ルートハブリセットの後にだけセットされます。

- ビット15 ~ 10 : 予約ビット

- ビット9 : (リード時) LowSpeedDeviceAttached (LSDA)

このビットは、このポートに取り付けられたデバイスの速度を示します。セット時は、低速度デバイスがこのポートに取り付けられています。クリア時は、高速度デバイスがこのポートに取り付けられています。CurrentConnectStatus ビットがセットされる時のみ、このビットが有効です。

24. USB ホストコントローラ

- ビット9：（ライト時）ClearPortPower

HCD は、このビットに 1 をライトすることによって、PortPowerStatus ビットをクリアします。0 をライトした場合、クリアされません。

（リード時）

ビット 9	説明
LSDA	
0	Full スピードデバイスを付属（初期値）
1	Low スピードデバイスを付属

- ビット8：（リード時）PortPowerStatus（PPS）

このビットは、実行されるパワー切り替えのタイプを問わずポートのパワーステータスを反映します。ただし、HcRhDescriptorA レジスタの NoPowerSwitching ビットの初期値が 1 であるため、初め本ビットは 1 固定となっています。以下のようにパワー切り替えを行う場合は、あらかじめ NoPowerSwitching ビットをクリアする必要があります。

過電流条件が検出されるとき、このビットはクリアされます。HCD は、SetPortPower または SetGlobalPower をライトしてこのビットをセットします。HCD は、ClearPortPower または ClearGlobalPower をライトしてこのビットをクリアします。PowerSwitchingMode と PortPowerControlMask によって、どのパワーコントロールスイッチが使用可能であるかが決定されます。グローバルな切り替えモード（PowerSwitchingMode=0）において、セット/クリアグローバルパワーだけが、このビットを制御します。ポートごとのパワー切り替えモード（PowerSwitchingMode=1）のときに、そのポートの PortPowerControlMask ビットがセットされるならば、セット/クリアポートパワーコマンドだけが可能です。もしマスクがセットされないならば、セット/クリアグローバルパワーコマンドだけが可能です。ポートパワーがディスエーブル時には、CurrentConnectStatus、PortEnableStatus、PortSuspendStatus、および PortResetStatus がリセットされます。

- ビット8：（ライト時）SetPortPower

HCD は、PortPowerStatus ビットをセットするために、1 をライトします。0 をライトした場合、セットされません。

（リード時）

ビット 8	説明
PPS	
0	ポートパワーはオフ
1	ポートパワーはオン（初期値）

【注】 もしパワー切り替えがサポートされないならば、このビットは常に 1 がリードされます。

- ビット7～5：予約ビット
- ビット4：（リード時）PortResetStatus（PRS）

SetPortReset への書き込みによりこのビットがセットされるとき、ポートリセット信号が出されます。リセット完了時は、PortResetStatusChange がセットされるときに、このビットがクリアされます。CurrentConnectStatus

がクリアされる場合、このビットはセットされません。

- ビット4：（ライト時）SetPortReset

HCD は、このビットに 1 をライトして、ポトリセット信号をセットします。0 をライトした場合、セットされません。CurrentConnectStatus がクリアされる時、この書き込みは PortResetStatus をセットしませんが、代わりに、ConnectStatusChange をセットします。これは、電源切断ポートのリセットをドライバに知らせます。

（リード時）

ビット4	説明
PRS	
0	ポトリセットシグナルはアクティブでない （初期値）
1	ポトリセットシグナルはアクティブ

- ビット3：（リード時）PortOverCurrentIndicator（POCI）

ポートごとのベースにおいて過電流条件が報告されるような方法で、ルートハブが配置されているときのみ、このビットは有効です。もしポートごとの過電流報告がサポートされないならば、このビットは 0 にセットされます。もしクリアされるならば、すべてのパワー操作はこのポートにおいて正常です。もしセットされるならば、このポートにおいて過電流状態が存在します。このビットは常に過電流の入力信号を反映します

- ビット3：（ライト時）ClearSuspendStatus

HCD は、resume を開始するために、1 をライトします。0 をライトした場合、効果がありません。もし PortSuspendStatus がセットされるならば、resume が開始されます。

（リード時）

ビット3	説明
POCI	
0	過電流状態なし （初期値）
1	過電流状態を検出

- ビット2：（リード時）PortSuspendStatus（PSS）

このビットは、ポートがサスペンドされた、または resume シーケンス中であることを示します。SetSuspendState の書き込みによりセットされて、resume 間隔の終わりにおいて PortSuspendStatusChange がセットされるときにクリアされます。CurrentConnectStatus がクリアされるならば、このビットはセットできません。ポトリセットの終わりにおいて PortResetStatusChange がセットされる時、または HC が UsbResume 状態に置かれるときにも、このビットはクリアされます。もし上流の resume が進行中ならば、ホストコントローラに伝わります。

- ビット2：（ライト時）SetPortSuspend

HCD は、このビットに 1 をライトして PortSuspendStatus ビットをセットします。0 をライトした場合、セットされません。また、CurrentConnectStatus がクリアされる時、この書き込みにより PortSuspendStatus はセットされません。代わりに、ConnectStatusChange をセットします。これは、電源切断ポートのサスペンドをドライバに知らせます。

24. USB ホストコントローラ

(リード時)

ビット2	説明
PSS	
0	ポートはサスペンドされない (初期値)
1	ポートはサスペンド

- ビット1：(リード時) PortEnableStatus (PES)

このビットは、ポートがイネーブルか、ディセーブルかどうかを示します。過電流条件およびディスコネクイベント、パワーオフスイッチ、または babble のような操作上のバスエラーが検出されるとき、ルートハブはこのビットをクリアできます。この変化により、PortEnabledStatusChange がセットされます。HCD は、SetPortEnable を書いてこのビットをセットし、ClearPortEnable を書いてクリアします。CurrentConnectStatus がクリアされるときは、このビットはセットできません。また、ResetStatusChange がセットされるポートリセットの完了時、または SuspendStatusChange がセットされるポートサスペンドの完了時に、このビットはセットされます。

- ビット1：(ライト時) SetPortEnable

HCD は、1 をライトして PortEnableStatus をセットします。0 をライトした場合、セットされません。CurrentConnectStatus がクリアされるならば、この書き込みは PortEnableStatus をセットされず、代わりに、ConnectStatusChange をセットします。これは、電源切断ポートをイネーブルにする試みをしたことをドライバに知らせます。

(リード時)

ビット1	説明
PES	
0	ポートはディセーブル (初期値)
1	ポートはイネーブル

- ビット0：(リード時) CurrentConnectStatus (CCS)

このビットは下流ポートの現状を反映します。

- ビット0：(ライト時) ClearPortEnable

HCD は、PortEnableStatus ビットをクリアするために、1 をライトします。0 をライトした場合、クリアされません。CurrentConnectStatus はどのような書き込みによっても影響されません。

(リード時)

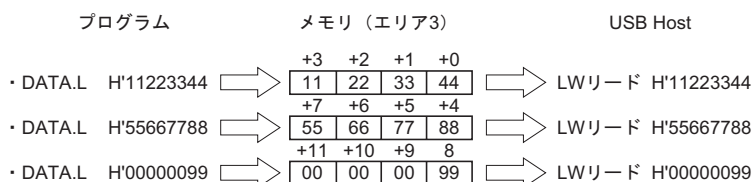
ビット0	説明
CCS	
0	どのデバイスも未接続 (初期値)
1	デバイスを接続

【注】 取り付けられたデバイスが取り外し可能ではないときには (DeviceRemoveable)、このビットは、常に 1 が読めます。

24.3 USB ホストコントローラのデータ格納フォーマット

24.3.1 転送データの格納フォーマット

USB ホストコントローラは、CPU のエンディアン設定にかかわらず、アドレスの下位側から上位側に向けてデータが詰まっていることを期待しています。下記に USB のデータリードの様子を記します。



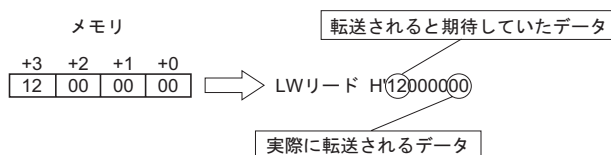
上記のメモリ上のデータと読み出されたデータの関係は常に等しい必要があります。USB ホストコントローラはエンディアンのいかにかかわらず、ロングワードリードを行います。その際に読み込まれたデータは下位アドレスから上位アドレスに向けて、バイト単位に積み上げられていることが前提となります。つまり、エンディアンがリトルエンディアンであるか、ビッグエンディアンであるかにかかわらず、アドレスの下位側から詰めてデータを置いてください。

問題のある例を示します。

プログラム (ビッグエンディアン時) R0 に転送アドレス A を指定

MOV.B #H'12,@R0

USB の転送開始アドレスに A を、転送サイズに 1 バイトを指定



この例では期待したデータ#H'12 は転送されません。

また、USB ホストコントローラはエンディアンのいかによらず、データリード/ライトを双方向に矛盾なく行うために、ライトの際メモリの下位ビット側からデータを詰めます。すなわち、常にリトルエンディアン仕様のデータ配置となります。

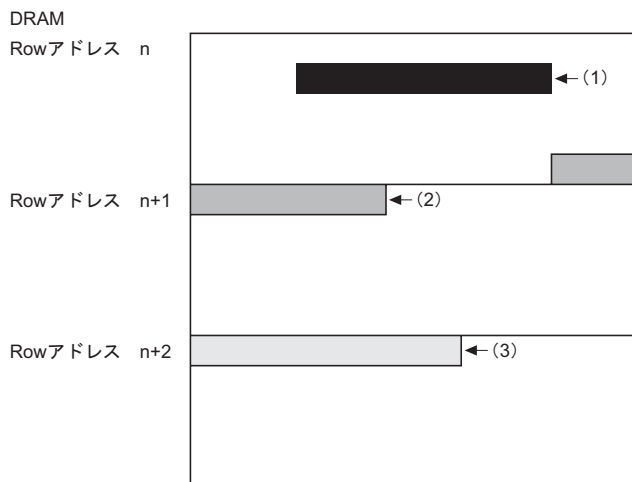
24.3.2 ディスクリプタの格納フォーマット

USB ホストコントローラの各転送トランザクションを定義する ED (Endpoint Descriptor) および TD (Transfer Descriptor) は、各 Dword がメモリのロングワード境界 (アドレス $4n \sim 4n+3$) と符合するように配置してください。

24.4 USB コントローラのデータアライメント制約

24.4.1 シンクロナス DRAM のライン境界に関する制約

USB ホストコントローラの転送データは CPU と共通しているシステムメモリに格納されます。転送データの配置には、システムメモリとして使用している DRAM によって、下記の制約があります。



上記の図において、転送データ (1)、(3) は問題ありませんが、(2) のように DRAM のロウアドレスが切り替わる場所をまたいでデータが存在する場合、正しく転送されることを保証できません。USB ホストからアクセスされるいかなるデータにおいても、ロウアドレスの境目をまたがないように転送アドレスと転送サイズを設定してください。

24.4.2 IN 転送のメモリ書き出しアドレスに関する制約

ED の MPS、General TD の CBP、および Isochronous TD の BP0、OFFSET0 ~ 7 は 4 の倍数 ($4n$) で設定する必要があります。

OpenHCI 規格では、IN 転送時、General TD に関しては 1TD で 1 パケット、Isochronous TD に関しては 1Offset の設定で 1 パケットの転送を行います。

また、OUT 転送時 TD の指定するデータ量が MAXPACKETSIZE (MPS) より多い状況では、MAXPACKETSIZE でパケット送信を行います。そのため、設定値を上記のようにすることは可能です。

この制約は USB HOST の IP のバスインタフェースの規格である HCI インタフェースと SH7727 のバスインタフェースの仕様の相違によるものであり、 $4n$ 番地以外のアドレスからデータ転送が行われると、データが正しく書き込まれないことがあるためです。たとえば、1 で終わるアドレスから 2 バイト転送が行われた場合、ロングワード転送が起こり、予期していないデータが開始アドレス 0 に書き込まれます。

24.5 USB コントローラのデータ転送に関する制約

24.5.1 IN 転送におけるデータサイズの制約

IN データ転送において MAXPACKETSIZE 以下の長さのデータパケット(ショートパケット)を転送する場合、以下の使用法は制限されます。

1. ドリブルビットが付加される使用法

HUBを複数段接続すると、パケット末尾にドリブルビットが付加されてくることがあります。

2. CRCの最終の6ビットがすべて1であるデータを受信した場合(この場合ビットスタッフィングが生じます)

これらの場合、本 USB コントローラは 1 バイト多く IN データをメモリに書いてしまうことがあります。そのため、1 の使用法に関しては、使用を禁止します。2 の使用法に関しては、1 バイト多くデータを書いても問題がないようにソフトウェアを作成してください。具体的には、受信したショートパケットをメモリ上に繋げていく使い方では不要なデータが 1 バイト挿入されることがあります。MAXPACKETSIZE の転送を主に行い、ショートパケットが送られるときはデータの末尾、または先頭がわかるように加工されたデータが使用されるようにしてください。

受信データサイズをソフトウェアで管理できないアプリケーションでは、1 バイトの不要データをソフトウェアで除去することができません。該当する場合は、対策をご検討の上、本モジュールをご使用ください。

24.5.2 NAK/STALL 受信に関するハブ接続の制約

USB ファンクションモジュールからハンドシェイクとして NAK または STALL を受信する場合、以下の使用法は制限されます。

1. ドリブルビットが付加される使用法

HUBを複数段接続すると、パケット末尾にドリブルビットが付加されてくることがあります。

この場合、本 USB コントローラは、NAK/STALL ハンドシェイクを正しく認識しない場合があります。ドリブルビットが生じないように、HUB を接続しないか段数を減らしてください。

24.5.3 ロースピードデバイス切断時の制約

ルートポートに接続されていたロースピードデバイスをホストへのデータ送信中切断すると、本 USB コントローラがハングする場合があります。このため、データ送信中のロースピードデバイスは切断しないでください。万一その切断を検出したときには、USB リセット (HcControl レジスタの HCFS ビットに '00' ライト) してください。

24.6 ソフトウェアリセットと USB リセットに関する制約

USB ホストコントローラがマスターメモリライト動作中に、ソフトウェアリセット (HcCommandStatus レジスタの HCR ビットに '1' ライト) または USB Reset (HcControl レジスタの HCFS ビットに '00' ライト) するとき、コントローラの動作がスタックする場合があります。マスターメモリライト動作は、フレームの始まり (SOF) および、転送時に行われます。ホストコントローラのスタックを避けるため、次のいずれかの使用方法を採用してください。

1. HcFrameRemaining の値で SOF のタイミングを計り、全リスト処理をディスエーブルとしたフレームのおおよそ中間部で、ソフトウェアリセットまたは USB Reset をかけるように、プログラムを作成してください。
2. ソフトウェアリセットまたは USB Reset をかけた場合、その後には USBH モジュールに対してリセットを発行すれば、スタックは生じません。(モジュールソフトウェアリセットレジスタ (SRSTR) をセットする)

24.7 SH7727C バージョン以前での USB ホスト使用時の注意事項

SH7727、SH7727B の USB ホストコントローラにおいて、通信中 SE0 の誤認識が起こり、その結果、デバイスが切断されていないにもかかわらず、間違ったデバイス切断 (誤切断) を検出してしまうことがあります。下記の方法で回避することができます。

- (1) Low Speed (1.5Mbps) をご使用ください。Low Speed 転送時、誤切断検出は起こりません。
- (2) Full Speed (12Mbps) ご使用時は、下記の (a) または (b) により、誤切断発生を回避ください。
 - (a) USB ファンクションデバイスから出力される D+, D- のクロスオーバー電圧が、SH7727 の $A_{Vcc_USB} \times 0.55$ (V) 以上となるようにしてください。
 - (b) 受信データ列を 28 ビットより多く "0" が続かないようにしてください。
注: "0" の連続は SYNC+PID+DATA+CRC16+EOP の全ビットが対象となります。なお、EOP は 2bit で換算します。

* 語句の説明

- ・ SE0 : USB の転送は D+/D- の差動信号で行われます。したがって、通常 D+/D- は相反した信号です。しかし、特別なケースとして D+/D- 共に "Low" の状態を定義しており、この状態を SE0 と呼びます。
- ・ デバイスの切断検出 : USB では接続状態から切断検出時間以上 SE0 になったら切断を検出します。

24.8 レジューム動作の注意事項

1. 現象

USB ホストコントローラ(USBH)がレジューム*1 信号を出力中に Port Power を OFF にするか、Over Current が発生した場合、レジューム信号の出力を停止してアイドル*2 状態になるべきところが、アイドル信号の出力を行ってしまう。

【注】 *1 Full Speed 時、D+ = Low、D - = High、Low Speed 時、D+ = High、D - = Low

*2 Full Speed 時、D+ = High、D - = Low、Low Speed 時、D+ = Low、D - = High

2. 上記現象の発生する使用条件

レジューム動作中に、Port Power を OFF にするか、Over Current が発生した場合

3. 上記現象の発生しない使用条件

レジューム動作を行わない、つまりサスペンド動作を行わない場合、上記現象は発生しません。

4. ソフトウェアによる回避策

上記現象は発生が発生した場合、レジューム中断後アイドル信号の出力となりますが、Port Power を ON することでデバイスが認識されます。その後のデバイスに対する Port Reset によって上記現象は解消され、その後は正常動作に復帰します。

ただし、HcContorol (USBHC) レジスタの HCFS1、HCFS0 ビットによる USB Reset では上記現象は解消されません。このため、USB デバイス接続認識時、HcContorol (USBHC) レジスタの HCFS1、HCFS0 ビットによって USB Reset を発行するソフトウェアの場合、HcRhPortStatus1、HcRhPortStatus2 (USBHRPS1、USBHRPS2) レジスタの PRS ビットによって Port Reset を発行するように変更をお願いいたします。すでに USB デバイス接続認識時、PRS ビットによって Port Reset を発行している場合、対策は必要ありません。

25. LCD コントローラ (LCDC)

25.1 概要

LCD コントローラ (LCDC) は、表示用の画像をシステムメモリに格納するユニファイドメモリアーキテクチャをとっています。LCDC モジュールはシステムメモリからデータを読み出し、パレットメモリを使って色を決定したあと、LCD パネルに送ります。マイコンバスインタフェース方式、NTSC/PAL 方式、LVDS インタフェースの液晶モジュール*以外のほとんどの液晶モジュールを接続することが可能です。

【注】 * LVDS 変換 LSI を接続することで、LVDS インタフェースに接続可能です。

25.1.1 特長

本 LCDC は次のような特長があります。

- パネルインタフェース
 - シリアルインタフェース方式
 - STN/Dual STN/TFT パネル (8/12/16/18 ビットバス幅) のデータフォーマットをサポート
- 4/8/15/16 bpp (ビットパーピクセル) カラーモードをサポート
- 1/2/4/6bpp グレyscale モードをサポート
- 16 × 1 ~ 1024 × 1024 までの液晶パネルサイズをサポート
- 24 ビットカラーパレットメモリ (24 ビット中、16 ビットが有効 R:5 / G:6 / B:5)
- RGB 各 8 ビットの、24 ビットの空間変調 FRC により、ちらつき、シャドーイングが起こりやすい STN/DSTN パネルでのちらつきの少ない 165536 の色制御を実現
- CPU のエリア 3 に接続されたシンクロナス DRAM を共用することで、専用の表示用メモリが不要
- 2.4k バイトの大きなサイズのラインバッファにより、安定した表示を実現
- 液晶パネルの信号極性に合わせる、出力信号、出力信号のレベル反転機能をサポート
- 高速なデータ読み込みを実現する、シンクロナス DRAM に対するリード動作のバースト長変更機能をサポート
- 各種のデータフォーマット (バイト内のエンディアン設定、パッドピクセル方式) をレジスタにより選択的にサポート可能
- 横長液晶パネルで縦長の液晶パネルをサポートするハードウェアローテーションモードをサポート (回転前の横幅は 320 ピクセル以下に限定されます。表 25.3 を参照してください)

【注】 18 ビットバス幅の TFT パネル接続時は、未結線となる下位ビットの信号を GND、またはデータが出力される最下位ビットに接続してください。

25. LCD コントローラ (LCDC)

25.1.2 ブロック図

図 25.1 に LCDC のブロック図を示します。

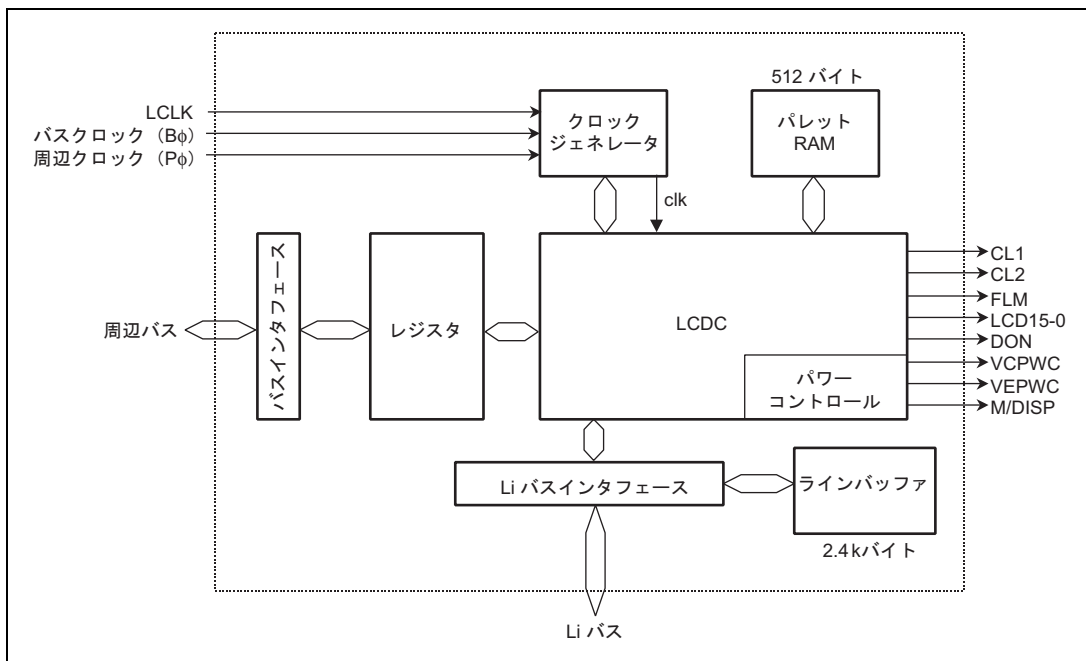


図 25.1 ブロック図

25.1.3 端子構成

表 25.1 に LCDC の端子構成を示します。

表 25.1 端子構成

略称	入出力	機能
LCD 15 - 0	出力	LCD パネル用データ
DON	出力	表示開始信号 (DON)
CL1	出力	シフトクロック 1 (STN/DSTN) / 水平同期信号 (HSYNC) (TFT)
CL2	出力	シフトクロック 2 (STN/DSTN) / ドットクロック (DOTCLOCK) (TFT)
M/DISP	出力	液晶交流化信号 (STN/DSTN)、ディスプレイネーブル BLANK (TFT) / DISP 信号
FLM	出力	ファーストラインマーカ / 垂直同期信号 (VSYNC) (TFT)
VCPWC	出力	液晶モジュール電源制御 (V_{CC})
VEPWC	出力	液晶モジュール電源制御 (V_{EE})
LCLK	入力	LCD クロックソース入力

【注】 液晶モジュールとの結線仕様に関しては、「25.4 クロックと LCD データ信号例」と、液晶モジュール側の仕様をよく確認の上、決定してください。

25.1.4 レジスタ構成

表 25.2 に LCDC のレジスタ構成を示します。

表 25.2 レジスタ構成

名 称	略 称	初期値	アドレス	アクセスサイズ
LCDC インพุットクロックレジスタ	LDICKR	H'0101	H'04000C00 (H'A4000C00)*	16
LCDC モジュールタイプレジスタ	LDMTR	H'0109	H'04000C02 (H'A4000C02)*	16
LCDC データフォーマットレジスタ	LDDFR	H'000C	H'04000C04 (H'A4000C04)*	16
LCDC スキャンモードレジスタ	LDSMR	H'0000	H'04000C06 (H'A4000C06)*	16
LCDC 表示パネル上部用データ取り込み開始 アドレスレジスタ	LDSARU	H'0C000000	H'04000C08 (H'A4000C08)*	32
LCDC 表示パネル下部用データ取り込み開始 アドレスレジスタ	LDSARL	H'0C000000	H'04000C0C (H'A4000C0C)*	32
LCDC 表示データ用取り込みデータライン アドレスオフセットレジスタ	LDLAOR	H'0280	H'04000C10 (H'A4000C10)*	16
LCDC パレットコントロールレジスタ	LDPALCR	H'0000	H'04000C12 (H'A4000C12)*	16
LCDC パレットデータレジスタ 00 ~ FF	LDPR00 ~ FF	不定	H'04000800 ~ H'04000BFC (H'A4000800 ~ H'A4000BFC)*	32
LCDC 水平キャラクタナンバーレジスタ	LDHCNR	H'4F52	H'04000C14 (H'A4000C14)*	16
LCDC 水平同期信号レジスタ	LDHSYNR	H'0050	H'04000C16 (H'A000C16)*	16
LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	H'01DF	H'04000C18 (H'A4000C18)*	16
LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	H'01DF	H'04000C1A (H'A4000C1A)*	16
LCDC 垂直同期信号レジスタ	LDVSYNR	H'01DF	H'04000C1C (H'A4000C1C)*	16
LCDC AC モジュレーション信号トグルライン ナンバーレジスタ	LDACLNR	H'000C	H'04000C1E (H'A4000C1E)*	16

25. LCD コントローラ (LCDC)

名 称	略 称	初期値	アドレス	アクセスサイズ
LCDC 割り込みコントロールレジスタ	LDINTR	H'0000	H'04000C20 (H'A4000C20)*	16
LCDC パワーマネジメントモードレジスタ	LDPMMR	H'0010	H'04000C24 (H'A4000C24)*	16
LCDC 電源シーケンス期間レジスタ	LDPSPR	H'F60F	H'04000C26 (H'A4000C26)*	16
LCDC コントロールレジスタ	LDCNTR	H'0000	H'04000C28 (H'A4000C28)*	16

【注】 * MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

25.2 レジスタの説明

25.2.1 LCDC インプットクロックレジスタ (LDICKR)

本 LCDC は、LCDC の動作クロック供給源として、バスクロック (B ϕ)、周辺クロック (P ϕ) または外部クロック (LCLK) が選択できます。また、1/1 ~ 1/16 までの分周器を内蔵し上記のクロックを分周したクロックを LCDC の動作クロック (DOTCLOCK) として使用可能です。LCDC から出力されるクロックは本レジスタで選択された動作クロックから液晶パネル用の同期クロック出力 (CL2) を生成します。CL2 の平均的な周波数は、下記式で求めることができますが、実際の波形は液晶パネルのタイプと、液晶パネルへの出力データ・バス幅により異なりますので「25.4 クロックと LCD データ信号例」を参照してください。

TFT パネルの場合：CL2 = DOTCLOCK

STN、DSTN パネルの場合

Monochrome：CL2 = (DOTCLOCK / 液晶パネルへの出力データバス幅)

Color：CL2 = 3 × (DOTCLOCK / 液晶パネルへの出力データバス幅)

CL2 にかかわらず、LCDC への入力クロックが 50MHz 以下となるように、LDICKR を設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			ICKSEL	ICKSEL								DCDR4	DCDR3	DCDR2	DCDR1	DCDR0
			1	0												
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W：	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

- ビット15、14、11~5：予約ビット

- ビット13、12：入力クロック選択 (ICKSEL1、ICKSEL0)

DOTCLK の供給源を設定します。

ビット 13	ビット 12	機 能	
ICKSEL 1	ICKSEL 0		
0	0	バスクロック (B ϕ) を選択	(初期値)
0	1	周辺クロック (P ϕ) を選択	
1	0	外部クロック (LCLK) を選択	
1	1	予約 (設定禁止)	

- ビット4～0：クロック分周比の分母値設定 (DCDR4～0)

入力クロック分周比の分母値を設定します。

DCDR[4:0]	クロック分周比	入出力クロック周波数 (MHz)	
		50.000	
00001	1/1	50.000	(初期値)
00010	1/2	25.000	
00100	1/4	12.500	
01000	1/8	6.250	
10000	1/16	3.125	

上記以外の設定の場合はクロック分周比 1/1 (初期値) となります。

【注】 アクセスサイズは、レジスタにアクセス (読み出し/書き込み) するときのサイズを表します。表示された以外のサイズでアクセスした場合の動作は保証しません。

予約ビットには 0 を書き込むこと。

レジスタ設定値において、許可されていない設定値、たとえば予約値を設定した場合には、そのレジスタを初期値設定したもものとして動作します。ただし、これによって LCDC の正常動作を保証するものではありません。以下、すべてのレジスタに共通です。

25.2.2 LCDC モジュールタイプレジスタ (LDMTR)

本レジスタは、接続される液晶モジュールの信号極性に合わせ、本 LCDC より出力される制御信号、およびデータ信号の極性を設定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FLM POL	CL1 POL	DISP POL	DPOL		MCNT	CL1CNT	CL2CNT			MIFTYP 5	MIFTYP 4	MIFTYP 3	MIFTYP 2	MIFTYP 1	MIFTYP 0
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

- ビット11、7、6：予約ビット

25. LCD コントローラ (LCDC)

- ビット15 : FLM (垂直同期) 極性選択 (FLMPOL)

このビットは液晶モジュールの FLM (垂直同期信号、ファーストラインマーカ) の極性を選択します。

ビット 15	説 明
FLMPOL	
0	FLM パルスはハイアクティブ (初期値)
1	FLM パルスはローアクティブ

- ビット14 : CL1 (水平同期) 極性選択 (CL1POL)

このビットは液晶モジュールの CL1 (水平同期信号) の極性を選択します。

ビット 14	説 明
CL1POL	
0	CL1 パルスはハイアクティブ (初期値)
1	CL1 パルスはローアクティブ

- ビット13 : DISP (表示許可) 極性選択 (DISPPOL)

このビットは液晶モジュールの DISP (表示許可) の極性を選択します。

TFT のみで有効です。

ビット 13	説 明
DISPPOL	
0	DISP はハイアクティブ (初期値)
1	DISP はローアクティブ

- ビット12 : 表示データ極性選択 (DPOL)

このビットは液晶モジュールの LCDC (表示データ) の極性を選択します。LC モジュールの反映をサポートしています。

ビット 12	説 明
DPOL	
0	LCDD はハイアクティブ。透過型液晶パネル (初期値)
1	LCDD はローアクティブ。反射型液晶パネルで使用される場合があります

- ビット10：M信号制御 (MCNT)

液晶モジュールの液晶交流化信号の出力を設定します。

STN/DSTN で有効です。

ビット 10	説 明	
MCNT		
0	出力 M (AC ラインモジュレーション) 信号	(初期値)
1	M 信号は Low 固定	

- ビット9：CL1 (水平同期) 制御 (CL1CNT)

垂直帰線期間中の CL1 出力を設定します。

ビット 9	説 明	
CL1CNT		
0	垂直帰線期間中、CL1 は出力する	(初期値)
1	垂直帰線期間中、CL1 はインアクティブ	

- ビット8：CL2 (液晶モジュールのデータラッチクロック) 制御 (CL2CNT)

垂直水平帰線期間中の CL2 出力を設定します。

ビット 8	説 明	
CL2CNT		
0	垂直水平帰線期間中、CL2 は出力する	
1	垂直水平帰線期間中、CL2 はインアクティブ	(初期値)

- ビット5～0：モジュールインタフェースタイプ選択 (MIFTYP5～0)

液晶パネルのタイプと、液晶パネルへの出力データバス幅を設定します。液晶パネルのタイプはSTN、DSTN、TFTの3種類から選択します。液晶パネルへの出力データバス幅は4ビット、8ビット、12ビット、16ビットから選択します。TFTの液晶パネルの要求データバス幅が16ビット以上のときは、パネル側に存在するデータバスに合わせて接続してください。TFTと異なり、STN、DSTNの液晶パネルにおいては表示色数、表示解像度と出力データバス幅の設定は一対一で対応しないため、16bppの表示色数であっても8ビットのデータバス幅であったり、4bppの表示色数であっても12ビットのデータバス幅であることがあります。これは、STN、DSTNの表示色数はデータバスのビット数ではなく、データバスへのデータの載せ方により決まるためです。STN、DSTNの場合のデータ仕様については、使用する液晶パネルの仕様書を参照してください。また、出力データバス幅は液晶パネルの機械的なインタフェース仕様に従って設定してください。

STN、またはDSTNタイプが液晶パネルのタイプとして選択された場合、色表示、階調表示の階調設定にかかわらずLCDCに内蔵されたRGB各8ビットの24ビット空間変調FRC (Frame Rate Controller) により表示制御が行われます。そのため、STN、またはDSTNの表示においては1600万色からDSPCOLOR指定の色、階調が選択

25. LCD コントローラ (LCDC)

されて表示されます。パレットを使用する場合は、パレットで設定された色が表示されます。

ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	説 明
MIFTYP5	MIFTYP4	MIFTYP3	MIFTYP2	MIFTYP1	MIFTYP0	
0	0	0	0	0	0	STN モノクロ 4 ビットデータバスモジュール
0	0	0	0	0	1	STN モノクロ 8 ビットデータバスモジュール
0	0	1	0	0	0	STN カラー 4 ビットデータバスモジュール
0	0	1	0	0	1	STN カラー 8 ビットデータバスモジュール (初期値)
0	0	1	0	1	0	STN カラー 12 ビットデータバスモジュール
0	0	1	0	1	1	STN カラー 16 ビットデータバスモジュール
0	1	0	0	0	1	DSTN モノクロ 8 ビットデータバスモジュール
0	1	0	0	1	1	DSTN モノクロ 16 ビットデータバスモジュール
0	1	1	0	0	1	DSTN カラー 8 ビットデータバスモジュール
0	1	1	0	1	0	DSTN カラー 12 ビットデータバスモジュール
0	1	1	0	1	1	DSTN カラー 16 ビットデータバスモジュール
1	0	1	0	1	1	TFT カラー 16 ビットデータバスモジュール
上記以外の設定						(予約)

25.2.3 LCDC データフォーマットレジスタ (LDDFR)

本レジスタは、表示用のドライバソフトウェアの仕様に合わせるために、1 バイト内のデータのビットアラインメント、および表示に使用するデータの型と色数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								PABD		DSP COLOR6	DSP COLOR5	DSP COLOR4	DSP COLOR3	DSP COLOR2	DSP COLOR1	DSP COLOR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15～9、7：予約ビット
- ビット8：バイトデータピクセルアライメント (PABD)

1 バイトデータ内のピクセルデータのアライメント種類を設定します。アラインメントされた1ピクセルあたりのデータそれぞれの内容は、本ビットの内容にかかわらず同一になります。たとえば、H'05 というデータは2進数の0101か1010かを選ぶのではなく、SH7727のCPUがMOV命令で通常扱う形のH'05(2進数の0101)としてください。

ビット8	説明
PABD	
0	バイトデータ内をビッグエンディアンに設定 (初期値)
1	バイトデータ内をリトルエンディアンに設定

- ビット6～0：表示カラー選択 (DSPCOLOR6～0)

ディスプレイの表示色数を設定します (アンパックド4、5、6bpp 上位ビットを0で埋めることで対応)。

(パレット経由)との記述のある表示カラーについては、実際にはカラーパレットに設定した色が、表示データにより選択されて表示されます。

ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	説明
DSP COLOR6	DSP COLOR5	DSP COLOR4	DSP COLOR3	DSP COLOR2	DSP COLOR1	DSP COLOR0	
0	0	0	0	0	0	0	モノクロ、2グレイスケール、1bpp (パレット経由)
0	0	0	0	0	0	1	モノクロ、4グレイスケール、2bpp (パレット経由)
0	0	0	0	0	1	0	モノクロ、16グレイスケール、4bpp (パレット経由)
0	0	0	0	1	0	0	モノクロ、64グレイスケール、6bpp (パレット経由)
0	0	0	1	0	1	0	カラー、16色、4bpp (パレット経由)
0	0	0	1	1	0	0	カラー、256色、8bpp (パレット経由)
0	0	1	1	1	0	1	カラー、32k色 (RGB : 5-5-5)、15bpp
0	1	0	1	1	0	1	カラー、64k色 (RGB : 5-6-5)、16bpp
上記以外の設定							(予約)

【注】 回転表示時にサポート可能な色数は、表示解像度によって制限されます。詳しくは「25.3 動作説明」表 25.3を参照して下さい。

25. LCD コントローラ (LCDC)

25.2.4 LCDC スキャンモードレジスタ (LDSMR)

本レジスタは、液晶パネルを回転して使用するためのハードウェアローテーション機能の ON/OFF、および表示用に確保したシステムメモリ (VRAM) に対するバースト長を指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			ROT				AU1	AU0								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

- ビット15、14、12~10、7~0: 予約ビット

- ビット13: ローテーションモジュール選択 (ROT)

ハードウェアによる表示の回転動作を選択します。ただし、回転する場合、以下の制限があります。

- (1) モジュールタイプは STN または TFT。DSTN は不可
- (2) 液晶パネルの横方向 (液晶パネル内部でのスキャン方向) の幅は最大 320
- (3) LDLAOR に表示サイズを超える、2 のべき乗の値を設定する (320×240 を回転させて 240×320 で使用する場合で、表示イメージの横幅が 240 バイトである場合、256 を選択してください)

ビット 13	説明	
ROT		
0	回転しない	(初期値)
1	右 90 度回転する (表示イメージの左側が液晶モジュールの上側に表示される)	

- ビット9、8: アクセスユニット選択 (AU)

VRAM へのアクセス単位を選択します。本ビットは ROT=1 時 (回転する場合) のみ機能します。ROT=0 時には、AU 設定のいかんにかかわらず 16 バースト動作を行います。

ビット 9	ビット 8	説明	
AU1	AU0		
0	0	4 バースト	(初期値)
0	1	8 バースト	
1	0	16 バースト	
1	1	32 バースト	

25.2.5 LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)

本レジスタは、液晶パネルに表示するためデータが LCDC に取り込み開始するアドレスを指定します。DSTN 型の液晶パネルを使用する場合、本レジスタは上部のパネルの取り込み開始アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
							SAU25	SAU24	SAU23	SAU22	SAU21	SAU20	SAU19	SAU18	SAU17	SAU16
初期値:	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAU15	SAU14	SAU13	SAU12	SAU11	SAU10	SAU9	SAU8	SAU7	SAU6	SAU5	SAU4	SAU3	SAU2	SAU1	SAU0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31~26: 予約ビット
- ビット25~0: 上部パネル表示データの取り込み開始アドレス (SAU31~0)

表示データの取り込み開始アドレスはエリア 3 のシンクロナス DRAM 領域内に設定します。

- 【注】
1. ハードウェアローテーション機能を使用する場合の LDSARU の値は、イメージの左上のアドレスが 512 バイト境界にくるように設定してください。
 2. ハードウェアローテーション機能を使用する (ROT=1) の場合、本レジスタには表示するイメージのサイズから計算した、イメージの左下のアドレスを設定してください。イメージが 240×340、LDLAOR=256 の表示設定のとき、下記のように計算できます。パネルのサイズではなく、表示するイメージのメモリサイズから計算します。このとき、LDLAOR がイメージの横方向のサイズ以上の 2 のべき乗になることに注意してください。またイメージの左上のアドレスは、このときの LDSARU を使って逆算すると、 $LDSARU - 256 (LDLAOR \text{ の値}) \times (320 - 1)$ となるので、512 バイト境界にあることを確認して設定してください。

$$LDSARU = \text{イメージ左上のアドレス} + 256 (LDLAOR \text{ の値}) \times 319 (\text{行})$$

25. LCD コントローラ (LCDC)

25.2.6 LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)

本レジスタは、DSTN 型の液晶パネルを使用する場合、下部のパネルの取り込み開始アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
							SAL25	SAL24	SAL23	SAL22	SAL21	SAL20	SAL19	SAL18	SAL17	SAL16
初期値:	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAL15	SAL14	SAL13	SAL12	SAL11	SAL10	SAL9	SAL8	SAL7	SAL6	SAL5	SAL4	SAL3	SAL2	SAL1	SAL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット31～26：予約ビット
- ビット25～0：下部パネル表示データの取り込み開始アドレス (SAL31～0)
表示データの取り込み開始アドレスはエリア 3 のシンクロナス DRAM 領域内に設定します。

STN、TFT：使用しません

DSTN：下部パネルに対応する表示データの取り込み開始アドレス

【注】 LDSARU、LDSARL の最小のアライメント単位は 4 バイトです。ロングワード単位の処理となるので、各レジスタ書き込み値の下位 2 ビットは 0 として扱います。また、レジスタ値を読み出すと下位 2 ビットは 0 が読み出されます。
また、1bpp、2bpp のときには、ロングワード (32 ビット) 境界にラインのスタートがくるように設定してください (ラインの先頭はすべて有効データ)。行末割り切れない部分は読み捨てます (3、2、1 バイト)。4bpp、8bpp、15bpp、16bpp、32bpp のときには、ロングワード (32 ビット) 境界にラインのスタートがくるように設定してください。

25.2.7 LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)

本レジスタは、グラフィックスドライバにより認識されている画像イメージを LCDC が読み出すための Y 座標インクリメントのアドレス幅を指定します。Y 座標方向に 1 増えた際に何バイト分アドレスを移動してメモリからデータを読むかを指定するレジスタであり、液晶パネルの横幅と同一である必要はありません。2 次元の画像イメージ上の点 (X、Y) のメモリアドレスが $Ax + By + C$ で計算される場合、本レジスタはこの式の B と等しくなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LAO15	LAO14	LAO13	LAO12	LAO11	LAO10	LAO9	LAO8	LAO7	LAO6	LAO5	LAO4	LAO3	LAO2	LAO1	LAO0
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15~0: ラインアドレスオフセット (LDLAOR)

- 【注】
1. 最小のアライメント単位は4バイトです。ロングワード単位の処理となるので、各レジスタ書き込み値の下位2ビットは0として扱います。また、レジスタ値を読み出すと下位2ビットは0が読み出されます。初期値は、VGA (640×480ドット) 表示データをライン間でアドレスを飛ばさずに連続、稠密的に配置するための設定値 (×解像度=640) となっています。詳しくは「25.3 動作説明」の表 25.3 を参照してください。
 2. LDLAOR の値としては、ソフトウェアの動作速度面を考慮し、画像イメージの横幅以上の2のべき乗の値を推奨します。また、ハードウェアローテーション機能を使用する場合、液晶パネルの横幅 (たとえば、320×240のパネルの320) ではなく、画像イメージの横幅 (回転後、240×320になる場合の240) 以上の2のべき乗の値 (この例では256) にする必要があります。

25.2.8 LCDC パレットコントロールレジスタ (LDPALCR)

本レジスタは、パレットメモリのCPUからのアクセス、またはLCDCからのアクセスを選択します。パレットメモリを使用して表示動作中は、ディスプレイモードに、パレットメモリの内容を書き換える際はCPUアクセスモードに設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												PALS				PALEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

- ビット15~5、3~1: 予約ビット

- ビット4: パレット状態 (PALS)

パレットのアクセス権の状態を示します。

ビット4	説明
PALS	
0	LCDC がパレットを使用。ディスプレイモード (初期値)
1	ホスト (CPU) がパレットを使用。CPU アクセスモード

- ビット0: パレットリード/ライトイネーブル (PALEN)

CPUからのパレットアクセスを制御します。

ビット0	説明
PALEN	
0	LCDC がパレットを使用。ディスプレイモード (初期値)
1	ホスト (CPU) がパレットを使用。CPU アクセスモード

25.2.9 パレットデータレジスタ 00~FF (LDPR00~FF)

本レジスタは、メモリ空間上に直接配置 (4 バイト×256 アドレス) されたパレットデータをアクセスするためのレジスタです。パレットメモリへのアクセスは、本レジスタ郡 (LDDR00~LDPRFF) の中の該当するレジスタに対してアクセスしてください。一つ一つのパレットレジスタは RGB それぞれ 8 ビットずつの領域を持つ 32 ビットのレジスタです。本カラーパレットの詳細仕様については、「25.3.3 カラーパレット仕様について」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
									PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF	PAL D00-FF
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

*不定

- ビット31~24: 予約ビット
- ビット18~16、9、8、2~0: RGB各パレット内の予約ビット (設定不可だが上位ビットに従い、拡張されて使用される)
- ビット23~19、15~10、7~3: パレットデータ (PALD00-FF)

PALD00: H'04000800

PALDnn: H'04000800+4×nn (nn: 0~255、整数)

PALDFE: H'04000BFC

25.2.10 LCDC 水平キャラクタナンバーレジスタ (LDHCNR)

本レジスタは、液晶モジュールの横方向 (スキャン方向) のサイズ、および水平帰線期間を含めた全体のスキャン幅を指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HDCN7	HDCN6	HDCN5	HDCN4	HDCN3	HDCN2	HDCN1	HDCN0	HTCN7	HTCN6	HTCN5	HTCN4	HTCN3	HTCN2	HTCN1	HTCN0
初期値:	0	0	1	0	1	1	1	1	0	1	0	1	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15~8: 水平表示キャラクタナンバー (HDCN)

水平画面方向の表示キャラクタ数を設定 (キャラクタ=8 ドット単位)。

-1 値設定 0-252 (H'FC)

(例) 横幅 640pixel の液晶モジュールを使用する場合

$$\text{HDCN}=(640/8)-1=79=\text{H}'4\text{F}$$

• ビット7~0: 水平総キャラクタナンバー (HTCN)

水平画面方向の総キャラクタ数を設定 (キャラクタ=8 ドット単位)。

-1 値設定 3-255 (H'FF)

最小の水平帰線期間は3キャラクタ (24 ドット) です。

HDCN、HTCN の設定値は、HTCN HDCN+3 の関係を必ず満足してください。Color STN 16 ビット I/F モジュール使用時、HTCN の設定値を奇数にしてください。

(例) 横幅 640pixel の液晶モジュールを使用する場合

$$\text{HTCN}=[(640/8)-1]+3=82=\text{H}'52$$

この場合、水平総ドット数は664ドット、水平帰線期間は24ドットになります。

25.2.11 LCDC 水平同期信号レジスタ (LDHSYNR)

本レジスタは、液晶パネルモジュールの横方向 (スキャン方向) の同期信号 (CL1/Hsync) の発生タイミングおよび幅を指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HSYNW3	HSYNW2	HSYNW1	HSYNW0					HSYNP7	HSYNP6	HSYNP5	HSYNP4	HSYNP3	HSYNP2	HSYNP1	HSYNP0
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• ビット15~12: 水平同期信号幅 (HSYNW)

水平画面方向の同期信号 (CL1/Hsync) 幅をキャラクタ数で設定 (キャラクタ=8 ドット単位)。

-1 値設定 0-15 (H'F)

(例) 水平同期信号幅を8ドットとする場合

$$\text{HSYNW}=(8 \text{ ドット} / 8 \text{ ドット} / \text{キャラクタ})-1=0=\text{H}'0$$

• ビット7~0: 水平同期信号出力位置 (HSYNP)

水平画面方向の同期信号の出力位置をキャラクタ数で設定 (キャラクタ=8 ドット単位)。

-1 値設定 0-255 (H'FF)

HTCN HSYNP+HSYNW+1

HSYNP HDCN+1 の関係を満足してください。

(例) 横幅 640pixel の液晶モジュールを使用する場合

$$\text{HSYNP}=[(640/8)+1]-1=80=\text{H}'50$$

この場合、648ドット目から655ドット目まで水平同期信号がアクティブになります。

25. LCD コントローラ (LCDC)

25.2.12 LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)

本レジスタは、液晶パネルモジュールの縦方向(スキャン方向と垂直方向)のサイズを指定するレジスタです。DSTN の場合は上下のパネルの大きさにかかわらず、パネルモジュールとしての縦方向サイズ以上の偶数を指定してください(例: 640×480 のパネルの場合は 480)。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						VDLN10	VDLN9	VDLN8	VDLN7	VDLN6	VDLN5	VDLN4	VDLN3	VDLN2	VDLN1	VDLN0
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15~11: 予約ビット
- ビット10~0: 垂直表示ラインナンバー (VDLN)
垂直画面方向の表示ライン数を設定 (ライン単位)。
-1 値設定 0-2047 (H'7FF)
(例) 480 ラインの液晶モジュールを使用する場合
VDLN=480-1=H'1DF

25.2.13 LCDC 垂直総ラインナンバーレジスタ (LDVTLNR)

本レジスタは、液晶パネルモジュールの垂直帰線期間を含めた全体の縦方向の長さを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						VTLN10	VTLN9	VTLN8	VTLN7	VTLN6	VTLN5	VTLN4	VTLN3	VTLN2	VTLN1	VTLN0
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15~11: 予約ビット
- ビット10~0: 垂直総ラインナンバー (VTLN)
垂直画面方向の総ライン数を設定 (ライン単位)。
-1 値設定 1-2047 (H'7FF)
最小の垂直総ライン数は 2 ラインです。
VTLN>=VDLN, VTLN - 1 を満足してください。
(例) 480 ラインの液晶モジュールを使用し、垂直帰線期間が 0 ラインの場合
VTLN=(480+0)-1=479=H'1DF

25.2.14 LCDC 垂直同期信号レジスタ (LDVSYNR)

本レジスタは、液晶モジュールの縦方向 (スキャン方向と垂直方向) の同期信号 (FLM/Vsync) の発生タイミングおよび幅を指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSYNW3	VSYNW2	VSYNW1	VSYNW0		VSYNP10	VSYNP9	VSYNP8	VSYNP7	VSYNP6	VSYNP5	VSYNP4	VSYNP3	VSYNP2	VSYNP1	VSYNP0
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット11: 予約ビット

- ビット15~12: 垂直同期信号幅 (VSYNW)

垂直画面方向の同期信号 (FLM、Vsync) 幅を設定 (ライン単位)。

-1 値設定 0-15 (H'F)

(例) 垂直同期信号幅を 1 ラインとする場合

$$VSYNW=(1-1)=0=H'0$$

- ビット10~0: 垂直同期信号出力位置 (VSYNP)

垂直画面方向の同期信号 (FLM、Vsync) の出力位置を設定 (ライン単位)。

-2 値設定 0-2046 (H'7FE)

DSTN の場合は奇数値を設定してください。(設定値+1)/2 として扱われます。

(例) 480 ラインの液晶モジュールを使用し、帰線期間が 0 ライン、つまり VTLN=479 のときに 1 ライン目に垂直同期信号をアクティブにする場合

- シングルディスプレイの場合

$$\begin{aligned} VSYNP &= [(1-1)+VTLN] \bmod (VTLN+1) = [(1-1)+479] \bmod (479+1) \\ &= 479 \bmod 480 = 479 \\ &= H'1DF \end{aligned}$$

- デュアルディスプレイの場合

$$\begin{aligned} VSYNP &= [(1-1) \times 2 + VTLN] \bmod (VTLN+1) = [(1-1) \times 2 + 479] \bmod (479+1) \\ &= 479 \bmod 480 = 479 \\ &= H'1DF \end{aligned}$$

25. LCD コントローラ (LCDC)

25.2.15 LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR)

本レジスタは、液晶モジュールの AC モジュレーション信号 (液晶交流化信号) をトグルするタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												ACLN4	ACLN3	ACLN2	ACLN1	ACLN0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

- ビット15~5: 予約ビット

- ビット4~0: ACラインナンバー (ACLN)

液晶モジュール交流化信号をトグルする行数を設定 (ライン単位)。

-1 値設定 0-31 (H'1F)

【注】 パネルの総ライン数が偶数の場合、必ず奇数行でトグルするように偶数を設定してください。

(例) 13 ラインごとにトグルさせる場合

$$ACLN=13-1=12=H'0C$$

25.2.16 LCDC 割り込みコントロールレジスタ (LDINTR)

本レジスタは、Vsync 割り込み (LCDCI) の開始点を指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				VINTSEL				VINTE								VINTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R/W

- ビット15~13、11~9、7~1: 予約ビット

- ビット12: Vsync割り込み選択 (VINTSEL)

LCDC Vsync 割り込みの開始点を設定。

ビット 12	説明
VINTSEL	
0	メモリアクセスの垂直帰線期間の開始点で割り込み発生 (初期値)
1	LCD 表示の垂直帰線期間の開始点で割り込み発生

- ビット8: Vsync割り込み許可 (VINTE)

LCDC Vsync 割り込みを発生するかを設定。

ビット 8	説 明
VINTE	
0	LCDC Vsync 割り込み発生しない (初期値)
1	LCDC Vsync 割り込み発生

- ビット0: Vsync割り込み状態 (VINTS)

LCDC Vsync 割り込みの処理状態を表します。

このビットは、LCDC Vsync 割り込みが発生した時点で1値を示します (セット状態)。Vsync 割り込みに対する処理ルーチン中で、レジスタへの0値書き込みでクリアしてください。

ビット 0	説 明
VINTS	
0	LCDC が Vsync 割り込みを発生していないか、または Vsync 割り込み発生に対して処理済の通知を受けた状態を表す (初期値)
1	LCDC が Vsync 割り込みを発生し処理済の通知を受けていない状態を表す

- 【注】
- 割り込み処理の流れ
 - ・割り込み信号入力
 - ・VINTS のリード
 - ・もし VINTS = 1 ならば、その割り込みは Vsync 割り込み。Vsync 割り込みに対する処理を行う。
 - ・もし VINTS = 0 ならば、その割り込みは Vsync 割り込みではない。ほかの処理を行う。
 - Vsync 割り込みを使用する場合、DON = 1 を設定する前に VINTE = 1 を設定した状態とし、なおかつ VINTE = 0 に設定を変更しないでください。

25. LCD コントローラ (LCDC)

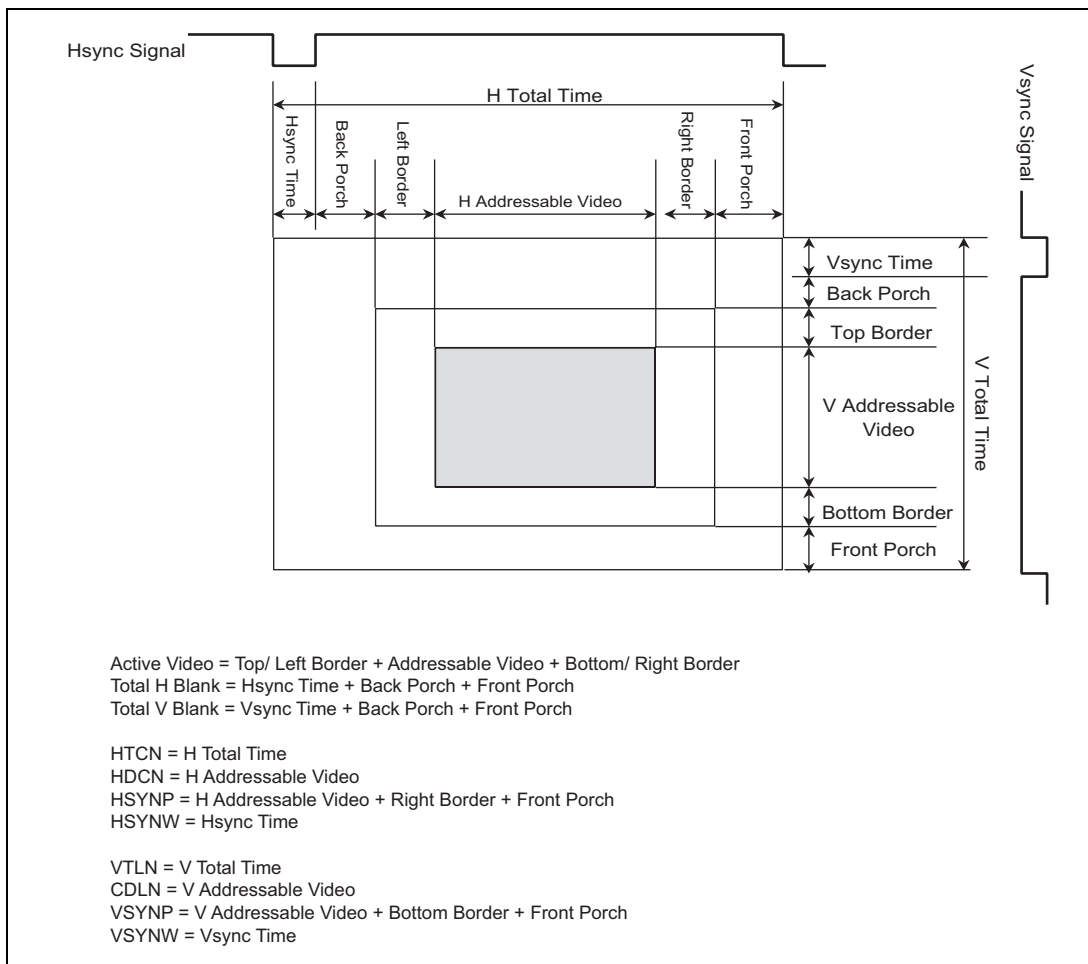


図 25.2 有効な表示と帰線期間

25.2.17 LCDC パワーマネジメントモードレジスタ (LDPMMR)

本レジスタは、液晶パネルモジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。VCPWC と VEPWC の 2 種類の電源制御端子の使用 / 不使用、電源投入機能 ON/OFF などを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ONC3	ONC2	ONC1	ONC0	OFFD3	OFFD2	OFFD1	OFFD0		VCPE	VEPE	DONE			LPS1	LPS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R

- ビット7、3、2: 予約ビット

- ビット15~12: LCDC電源投入シーケンス期間 (ONC)

LCD モジュールの電源投入シーケンスにおいて VEPWC 端子のアサートから DON 端子のアサートまでの期間をフレーム周期単位設定します。

図 25.4~図 25.7 の(c)期間にあたります。詳細な方法は、表 25.4 を参照して下さい(設定方法は以下の ONA、ONB、OFFD、OFFE、OFFF 各レジスタに共通です)。-1 値設定

- ビット11~8: LCDC電源遮断シーケンス期間 (OFFD)

LCD モジュールの電源遮断シーケンスにおいて DON 端子のネゲートから VEPWC 端子のネゲートまでの期間をフレーム周期単位で設定します。

図 25.4~図 25.7 の (d) 期間にあたります。-1 設定

- ビット6: VCPWC端子イネーブル (VCPE)

VCPWC 端子を用いた電源制御シーケンス処理の有無を設定。

ビット 6	説 明
VCPE	
0	(処理無) VCPWC 端子出力はマスクされロー固定 (初期値)
1	(処理有) VCPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする

- ビット5: VEPWC端子イネーブル (VEPE)

VEPWC 端子を用いた電源制御シーケンス処理の有無を設定。

ビット 5	説 明
VEPE	
0	(処理無) VEPWC 端子出力はマスクされロー固定 (初期値)
1	(処理有) VEPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする

25. LCD コントローラ (LCDC)

- ビット4: DON端子イネーブル (DONE)

DON 端子を用いた電源制御シーケンス処理の有無を設定。

ビット 4	説 明
DONE	
0	(処理無) DON 端子出力はマスクされロー固定
1	(処理有) DON 端子出力は所定のシーケンスに従いアサート、ネゲートする (初期値)

- ビット1、0: 液晶モジュール電源入力状態 (LPS1、0)

電源、制御機能を使用しているときの液晶モジュールの電源投入状態を示します。

ビット 1	ビット 0	説 明
LPS1	LPS0	
0	0	液晶モジュール電源遮断 (初期値)
1	1	液晶モジュール電源投入

25.2.18 LCDC 電源シーケンス期間レジスタ (LDPSPR)

本レジスタは、液晶モジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。VEPWC、VCPWC 端子とそれに伴うタイミング信号の出力開始タイミングなどを指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ONA3	ONA2	ONA1	ONA0	ONB3	ONB2	ONB1	ONB0	OFFE3	OFFE2	OFFE1	OFFE0	OFFF3	OFFF2	OFFF1	OFFF0
初期値:	1	1	1	1	0	1	1	0	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15~12: LCDC電源投入シーケンス期間 (ONA)

LCD モジュールの電源投入シーケンスにおいて VCPWC 端子のアサートから表示データ (LCDD) とタイミング信号 (FLM、CL1、CL2、M/DISP) の出力開始までの期間をフレーム周期単位で設定します。

図 25.4~図 25.7 の (a) 期間にあたります。-1 設定

- ビット11~8: LCDC電源投入シーケンス期間 (ONB)

LCD モジュールの電源投入シーケンスにおいて表示データ (LCDD) とタイミング信号 (FLM、CL1、CL2、DISP/M) の出力開始から VEPWC 端子のアサートまでの期間をフレーム周期単位で設定します。

図 25.4~図 25.7 の (b) 期間にあたります。-1 設定

- ビット7~4: LCDC電源遮断シーケンス期間 (OFFE)

液晶モジュールの電源遮断シーケンスにおいて VEPWC 端子ネゲートから表示データ (LCDD) とタイミング信号 (FLM、CL1、CL2、DISP/M) の出力停止までの期間をフレーム周期単位で設定します。

図 25.4~図 25.7 の (c) 期間にあたります。-1 設定

- ビット3~0: LCDC電源遮断シーケンス期間 (OFFF)

液晶モジュールの電源遮断シーケンスにおいて表示データ(LCDD)とタイミング信号(FLM、CL1、CL2、DISP/M)の出力停止から VCPWC 端子のネグートまでの期間をフレーム周期単位で設定します。

図 25.4~図 25.7 の (f) 期間にあたります。-1 設定

25.2.19 LCDC コントロールレジスタ (LDCNTR)

本レジスタは、LCDC による表示動作の開始 / 終了を指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												DON2				DON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

- ビット15~1: 予約ビット
- ビット4: 表示開始の補助ビット (DON2)

LCDC による表示動作の開始を指示します。

表示動作開始のとき以外で"1"を書き込むと LCDC の動作は保証されません。また、書き込んだ"1"は"0"に自動復帰しますので"1"をクリアするために"0"を書き込む必要はありません。

- ビット0: ディスプレイオン (DON)

LCDC による表示動作の開始 / 終了を指示します。

制御シーケンスの状態は LCDC パワーマネジメントモードレジスタのビット 0 の LPS 値を参照することで確認できます。

ビット 4	ビット 0	説明
DON2	DON	
0	0	LCDC 非動作。表示オフモード
1	1	LCDC 動作。表示オンモード

LCDC の表示動作開始時 (DON2、DON ビット B'00 B'11) :

1. LCDC の動作を開始します。
2. LCDC パワーマネジメントモードレジスタおよび LCDC コントロールレジスタで設定されたシーケンスに従い液晶モジュールの電源を投入します。

LPS [1:0] が B'00 B'11 になれば所定のシーケンスは終了です。

所定のシーケンスが終了するまで、次のDONビットの操作は行わないでください。

LCDC の表示動作停止時 (DON2、DON ビット B'01 B'00) :

1. LCDC パワーマネジメントモードレジスタおよび LCDC コントロールレジスタで設定されたシーケンスに

25. LCD コントローラ (LCDC)

従い液晶モジュールの電源を遮断します。

2. LCDC の動作を停止します。

LPS [1:0] が B'11 B'00 になれば所定のシーケンスは終了です。

所定のシーケンスが終了するまで、次のDONピットの操作は行わないでください。

25.3 動作説明

25.3.1 本 LCDC で表示可能な液晶モジュールのサイズについて

本 LCDC は、機能としては 1024×1024 ドット、16bpp (ビットパーピクセル) の表示を行うことが可能です。しかし、表示される画像のイメージは CPU と共有であるシステムメモリに格納されており、本 LCDC は表示に間に合うようにシステムメモリからデータの読み出しを行う必要があります。

SH7727 では、最大 32 バーストのメモリリードと 2.4k バイトのラインバッファ内蔵により、極めて表示の破綻が起こりにくいのですが、組み合わせによっては、表示が困難になることがあります。

目安としては、下記に示されたバス占有率が 40% を超えないようにしてください。

$$\text{バス占有率 (\%)} = \frac{\text{オーバーヘッド係数} \times \text{表示総ピクセル数 ((HDCN+1) \times 8 \times (VDLN+1)) \times \text{フレームレート (Hz)} \times \text{色数 (bpp)} \times 100}{\text{CKIO (Hz)} \times \text{バス幅 (bit)}}$$

オーバーヘッド係数は、CL2 の SDRAM の場合それぞれ以下になります。

回転表示機能を使用しないとき (ROT=0) は、32 ビットバスのときに 1.375、16 ビットバスのときに 1.188 となります。

回転表示機能を使用するとき (ROT=1) は、アクセスユニット選択 (AU) とバス幅により以下ようになります。

アクセスユニット選択 (AU)	32 ビットバス幅	16 ビットバス幅
4 バースト時	2.500	1.750
8 バースト時	1.750	1.373
16 バースト時	1.375	1.188
32 バースト時	1.188	1.094

25.3.2 回転表示の解像度 / バースト長および接続メモリ (SDRAM) の制限

本 LCDC は、縦長の表示イメージを 90 度回転して、対応する横長の液晶モジュールに表示可能です。それぞれの解像度について表 25.3、表 25.4 に示す色数の表示のみ可能です。また、SDRAM を連続して読み出すために SDRAM のサイズ (カラムアドレス bit 数) および LCDC のバースト長に制限があります。

表示色数、SDRAM カラムアドレス数および LCDC のバースト長の制限を表 25.3 および表 25.4 に示します。

なお、モノクロの表示イメージを表示するにはモノクロの液晶モジュールを、カラーの表示イメージを表示するにはカラーの液晶モジュールを必要とします。

表 25.3 回転表示の解像度 / バースト長および接続メモリの制限 (SDRAM 32bit バス幅時)

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM カラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
240 × 320	320 × 240	モノクロ	4bpp (packed)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	-
			4bpp (unpacked)	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
		6bpp	8bit 品	4 バースト	
			9bit 品	8 バースト以下	
			10bit 品	16 バースト以下	
		カラー	8bpp	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
16bpp	8bit 品		使用不可		
	9bit 品		4 バースト		
	10bit 品		8 バースト以下		
234 × 320	320 × 234	モノクロ	6bpp	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
		カラー	16bpp	8bit 品	使用不可
				9bit 品	4 バースト
				10bit 品	8 バースト以下

25. LCD コントローラ (LCDC)

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM カラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
80 × 160	160 × 80	モノクロ	2bpp	8bit 品	
				9bit 品	
				10bit 品	
			4bpp (packed)	8bit 品	16 バースト以下
				9bit 品	
				10bit 品	
			4bpp (unpacked)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
			6bpp	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
		カラー	4bpp (packed)	8bit 品	16 バースト以下
				9bit 品	
				10bit 品	
			4bpp (unpacked)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
			8bpp	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
			16bpp	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下

25. LCD コントローラ (LCDC)

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM コラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
64 × 128	128 × 64	モノクロ	1bpp	8bit 品	
				9bit 品	
				10bit 品	
			2bpp	8bit 品	
				9bit 品	
				10bit 品	
			4bpp (packed)	8bit 品	
				9bit 品	
				10bit 品	
			4bpp (unpacked)	8bit 品	16 バースト以下
				9bit 品	
				10bit 品	
		6bpp	8bit 品	16 バースト以下	
			9bit 品		
			10bit 品		
		カラー	4bpp (packed)	8bit 品	
				9bit 品	
				10bit 品	
			4bpp (unpacked)	8bit 品	16 バースト以下
				9bit 品	
				10bit 品	
			8bpp	8bit 品	16 バースト以下
				9bit 品	
				10bit 品	

【注】 * バースト長に設定したライン数分のデータが SDRAM の同一 ROW アドレス内に入るように、データを設定してください。

25. LCD コントローラ (LCDC)

表 25.4 回転表示の解像度/バースト長および接続メモリの制限 (SDRAM 16bit バス幅時)

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM コラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
240 × 320	320 × 240	モノクロ	4bpp (packed)	8bit 品	4 バースト以下
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
			4bpp (unpacked)	8bit 品	使用不可
				9bit 品	4 バースト
				10bit 品	8 バースト以下
		6bpp	8bit 品	使用不可	
			9bit 品	4 バースト	
			10bit 品	8 バースト以下	
		カラー	8bpp	8bit 品	使用不可
				9bit 品	4 バースト
				10bit 品	8 バースト以下
16bpp	8bit 品		使用不可		
	9bit 品		使用不可		
	10bit 品		4 バースト		
234 × 320	320 × 234	モノクロ	6bpp	8bit 品	使用不可
				9bit 品	4 バースト
				10bit 品	8 バースト以下
		カラー	16bpp	8bit 品	使用不可
				9bit 品	使用不可
				10bit 品	4 バースト

25. LCD コントローラ (LCDC)

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM コラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
80 × 160	160 × 80	モノクロ	2bpp	8bit 品	16 バースト以下
				9bit 品	
				10bit 品	
			4bpp (packed)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
			4bpp (unpacked)	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
			6bpp	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
		カラー	4bpp (packed)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
			4bpp (unpacked)	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
			8bpp	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
			16bpp	8bit 品	使用不可
				9bit 品	4 バースト
				10bit 品	8 バースト以下

25. LCD コントローラ (LCDC)

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM カラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
64 × 128	128 × 64	モノクロ	1bpp	8bit 品	
				9bit 品	
				10bit 品	
			2bpp	8bit 品	
				9bit 品	
				10bit 品	
			4bpp (packed)	8bit 品	16 バースト以下
				9bit 品	
				10bit 品	
			4bpp (unpacked)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
		6bpp	8bit 品	8 バースト以下	
			9bit 品	16 バースト以下	
			10bit 品		
		カラー	4bpp (packed)	8bit 品	16 バースト以下
				9bit 品	
				10bit 品	
			4bpp (unpacked)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
			8bpp	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	

【注】 * バースト長に設定したライン数分のデータが SDRAM の同一 ROW アドレス内に入るように、データを設定してください。

25.3.3 カラーパレット仕様について

(1) カラーパレットレジスタ

本LCDCは1エントリにつき24ビットデータ出力で256エントリ同時使用可能なカラーパレットを持っており、本カラーパレットを利用することで16M色中256色同時発色が可能です。

また、本カラーパレットは以下の手順によって、ユーザにより随時設定可能です。

LCDC カラーパレットレジスタの PALEN ビット = 0 (初期値) : 通常表示動作

LDPALCR にアクセスし PALEN = 1 を設定 : カラーパレット設定モードに移行

LDPALCR にアクセスし PALS = 1 を確認

LDPALCR にアクセスし PALD00 ~ FF に必要な値を書き込む

LDPALCR にアクセスし PALEN = 0 を設定 : 通常表示モードに移行

なお、カラーパレット設定モード中、LCDC 表示データ出力 (LCDD) は 0 値出力となります。

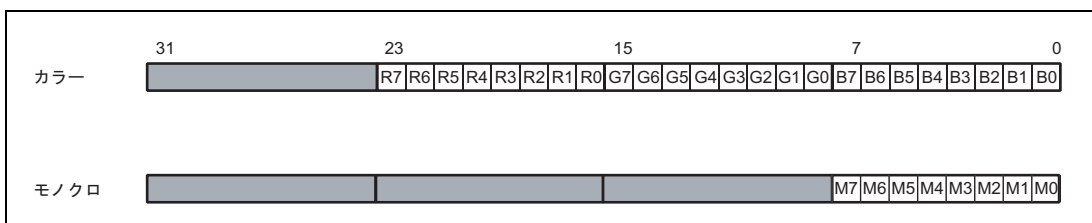


図 25.3 カラーパレットデータフォーマット

PALDnn の色 / 階調データは R、G、B、M のそれぞれ 256 階調値として図 25.3 のように設定してください。

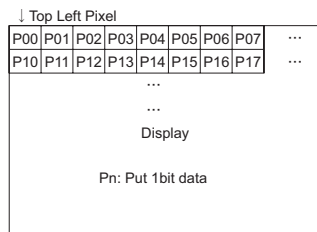
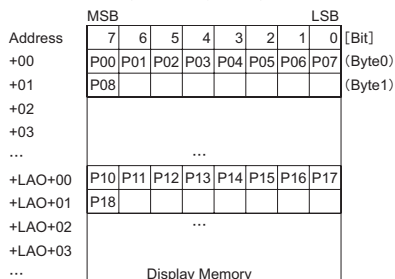
カラー表示の場合、PALDnn[23:16]には R データを、PALDnn[15:8]には G データを、PALDnn[7:0]には B データを設定します。ただし、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]にはレジスタのビットは存在しますが、それに対応するメモリが存在しません。そのため、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]はパレットのデータを保存することができないため、R:5 ビット、G:6 ビット、B:5 ビットが有効となります。実際に使用する際は、24 ビット (R:8 ビット、G:8 ビット、B:8 ビット) のデータを書き込んでください。PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が 0 でないときは、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を 1 で埋め、PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が 0 のときは PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を 0 で埋めることで 24 ビットに拡張します。

モノクロ表示の場合、PALDnn[7:3]に階調データを設定します。PALDnn[23:8]は Don't care です。PALDnn[7:3]の値が 0 でないときは PALDnn[2:0]を 1 で埋め、PALDnn[7:3]の値が 0 のときは PALDnn[2:0]を 0 で埋めることで 8 ビットに拡張します。

25. LCD コントローラ (LCDC)

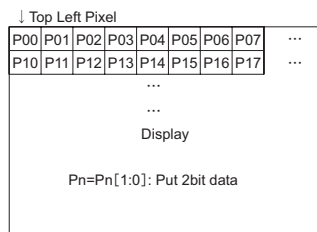
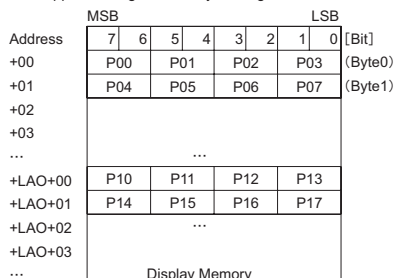
25.3.4 データフォーマット

1.Packed 1bpp(Pixel Alignment in Byte is Big Endian) [Windows CE Recommended Format]



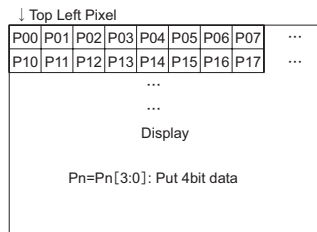
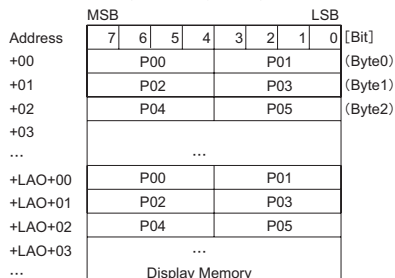
LAO: Line Address Offset
 -Unused bits should be 0

2.Packed 2bpp(Pixel Alignment in Byte is Big Endian) [Windows CE Recommended Format]



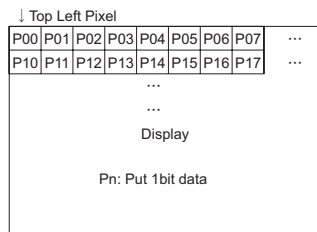
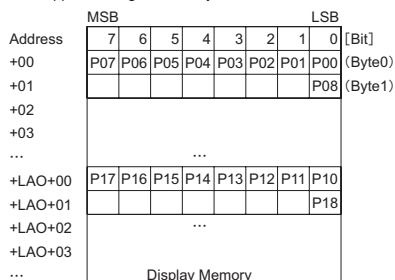
LAO: Line Address Offset
 -Unused bits should be 0

3.Packed 4bpp(Pixel Alignment in Byte is Big Endian) [Windows CE Recommended Format]



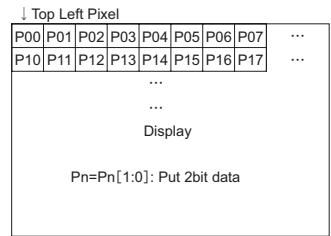
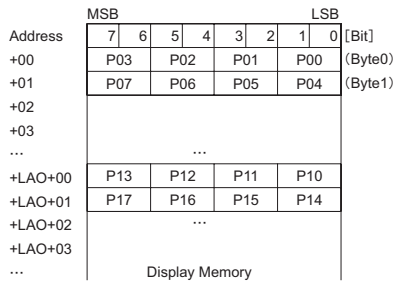
LAO: Line Address Offset
 -Unused bits should be 0

4.Packed 1bpp(Pixel Alignment in Byte is Little Endian)



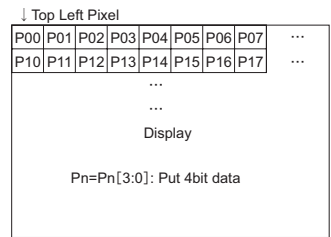
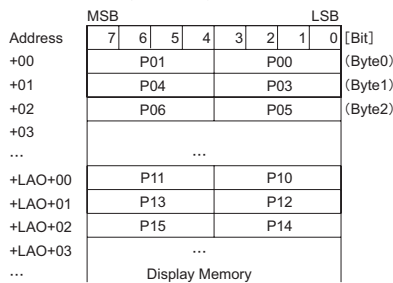
LAO: Line Address Offset
 -Unused bits should be 0

5.Packed 2bpp(Pixel Alignment in Byte is Little Endian)



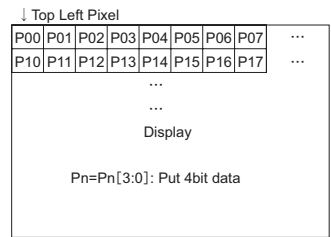
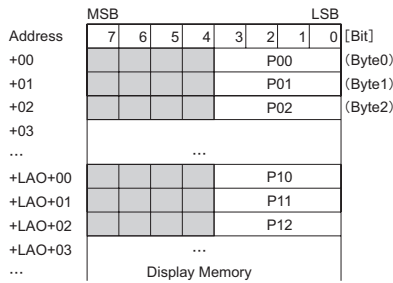
LAO: Line Address Offset
 -Unused bits should be 0

6.Packed 4bpp(Pixel Alignment in Byte is Little Endian)



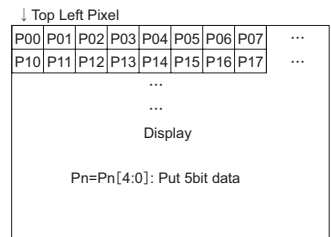
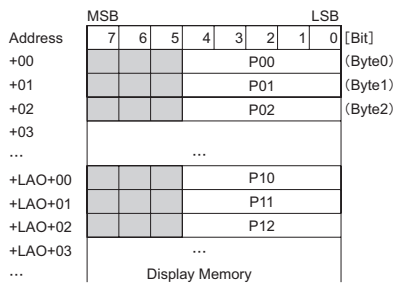
LAO: Line Address Offset
 -Unused bits should be 0

7.Unpacked 4bpp[Windows CE Recommended Format]



LAO: Line Address Offset
 -Unused bits should be 0

8.Unpacked 5bpp[Windows CE Recommended Format]

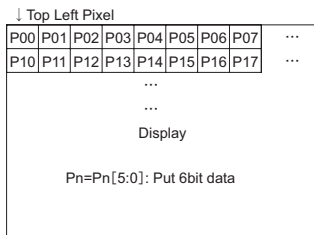



LAO: Line Address Offset
 -Unused bits should be 0

25. LCD コントローラ (LCDC)

9.Unpacked 6bpp[Windows CE Recommended Format]

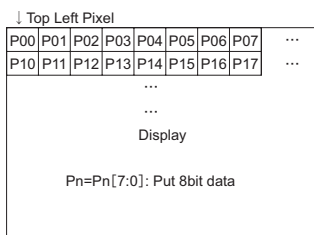
Address	MSB						LSB		[Bit]
	7	6	5	4	3	2	1	0	
+00									P00 (Byte0)
+01									P01 (Byte1)
+02									P02 (Byte2)
+03									
...									...
+LAO+00									P10
+LAO+01									P11
+LAO+02									P12
+LAO+03									...
...									Display Memory




LAO: Line Address Offset
 -Unused bits should be 0

10.Packed 8bpp[Windows CE Recommended Format]

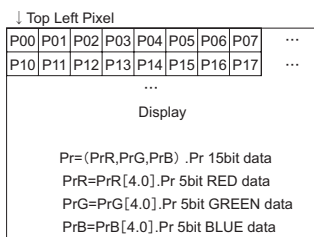
Address	MSB							LSB	[Bit]
	7	6	5	4	3	2	1	0	
+00									P00 (Byte0)
+01									P01 (Byte1)
+02									P02 (Byte2)
+03									
...									...
+LAO+00									P10
+LAO+01									P11
+LAO+02									P12
+LAO+03									...
...									Display Memory




LAO: Line Address Offset
 -Unused bits should be 0

11.Unpacked color 15bpp(RGB 555) [Windows CE Recommended Format]

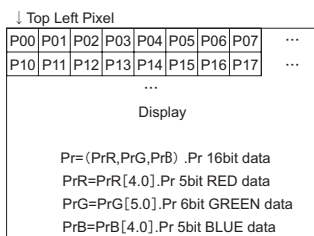
Address	MSB														LSB	[Bit]				
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		0			
+00																		P00R (Word0)	P00G (Word0)	P00B (Word0)
+02																		P01R (Word2)	P01G (Word2)	P01B (Word2)
+04																		P02R (Word4)	P02G (Word4)	P02B (Word4)
+06																				
...																				
+LAO																		P10R	P10G	P10B
+LAO+02																		P11R	P11G	P11B
+LAO+04																		P12R	P12G	P12B
+LAO+06																				
...																				Display Memory




LAO: Line Address Offset
 -Unused bits should be 0

12.Packed color 16bpp(RGB 565) [Windows CE Recommended Format]

Address	MSB														LSB		[Bit]			
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
+00																		P00R (Word0)	P00G (Word0)	P00B (Word0)
+02																		P01R (Word2)	P01G (Word2)	P01B (Word2)
+04																		P02R (Word4)	P02G (Word4)	P02B (Word4)
+06																				
...																				
+LAO																		P10R	P10G	P10B
+LAO+02																		P11R	P11G	P11B
+LAO+04																		P12R	P12G	P12B
+LAO+06																				
...																				Display Memory



LAO: Line Address Offset
 -Unused bits should be 0

25.3.5 タイミングコントローラレジスタ

タイミングコントローラレジスタは、表示を行なう液晶モジュールの表示解像度を設定するレジスタです。LCDC 水平キャラクタナンバーレジスタ、LCDC 水平同期信号レジスタ、LCDC 垂直表示ラインナンバーレジスタ、LCDC 垂直総ラインナンバーレジスタ、LCDC 垂直同期信号レジスタで表示解像度を設定します。LCDC AC モジュレーション信号トグルラインナンバーレジスタで STN または DSTN 表示時の液晶交流化周期を設定します。これらレジスタの初期値は、VGA (640×480 ドット)、STN または DSTN 表示に典型的な解像度設定値となっています。

LCD インพุットクロックレジスタで使用するクロックを設定します。液晶モジュールのフレームレートはサイズに関するレジスタで設定された 1 画面分の表示期間 + 帰線期間 (非表示期間) と使用するクロックの周波数により決定されます。

また、本 LCDC は、垂直帰線期間の開始点 (正確には最終表示ラインの次ライン開始点) ごとに割り込みを発生する、Vsync 割り込み機能を持っています。LCDC 割り込みコントロールレジスタを用いてその機能を設定します。

25.3.6 パワーマネージャレジスタ

通常、液晶モジュールは電源の投入遮断に関し、特定のシーケンス処理を必要としています。LCDC パワーマネジメントレジスタ、LCDC 電源投入シーケンス期間レジスタ、LCDC コントロールレジスタを設定することにより、液晶電源制御端子 (VCPWC, VEPWC, DON) を使用して、液晶モジュールの要求に応じた多様な電源制御シーケンス処理を実行可能です。

電源制御シーケンスの概略タイミングチャートを図 25.4 ~ 図 25.7 に、設定可能な電源制御シーケンス期間の概略説明を表 25.5 に示します。

25. LCD コントローラ (LCDC)

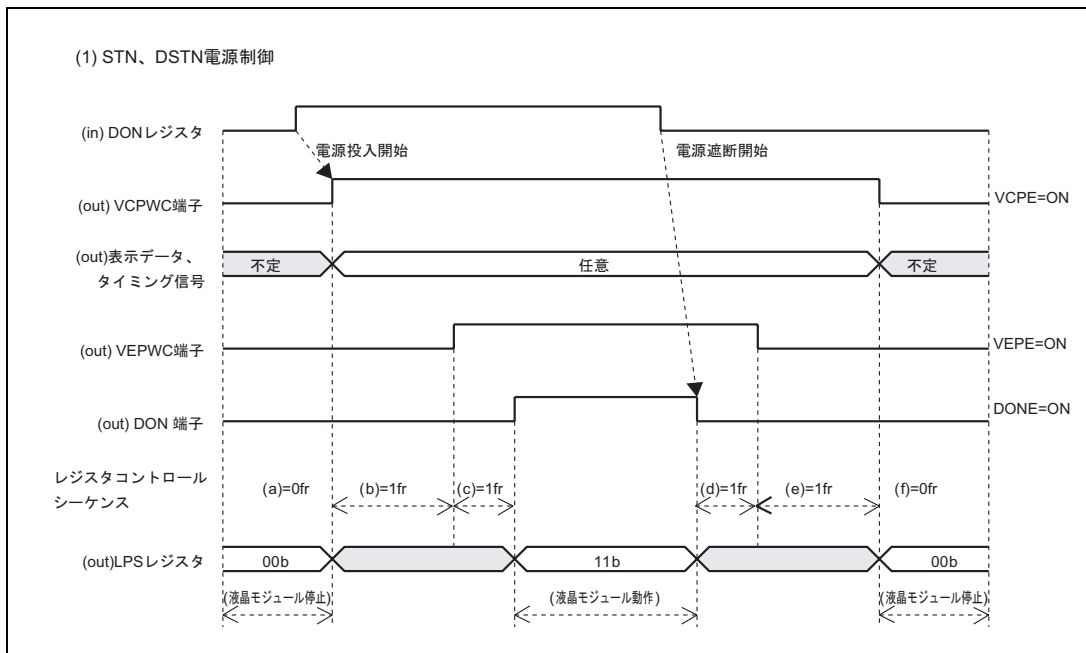


図 25.4 電源制御シーケンスと液晶モジュールの動作状態

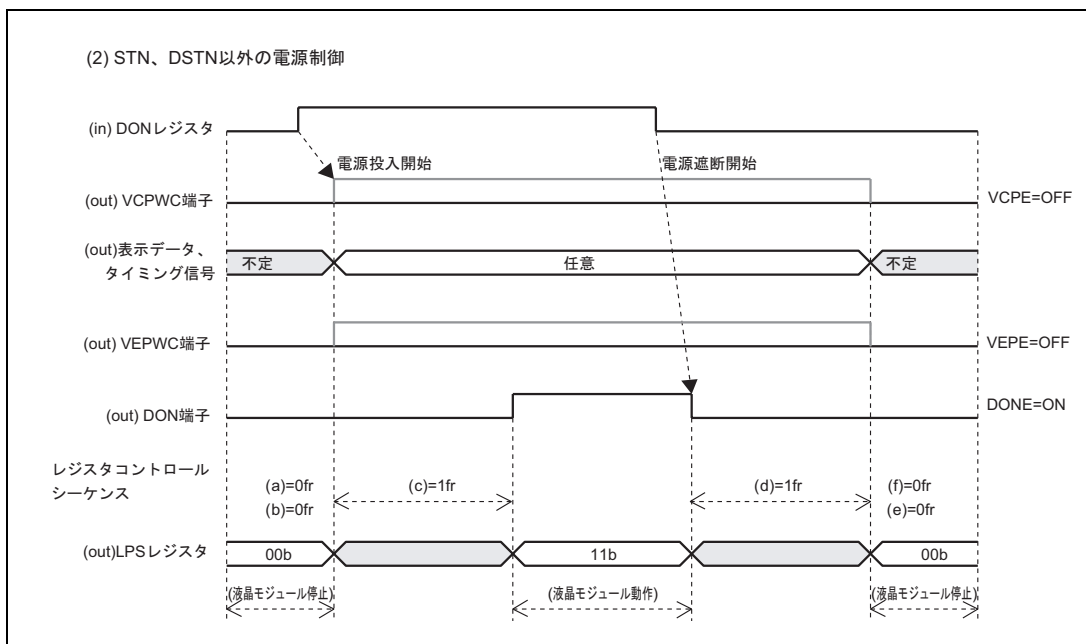


図 25.5 電源制御シーケンスと液晶モジュールの動作状態

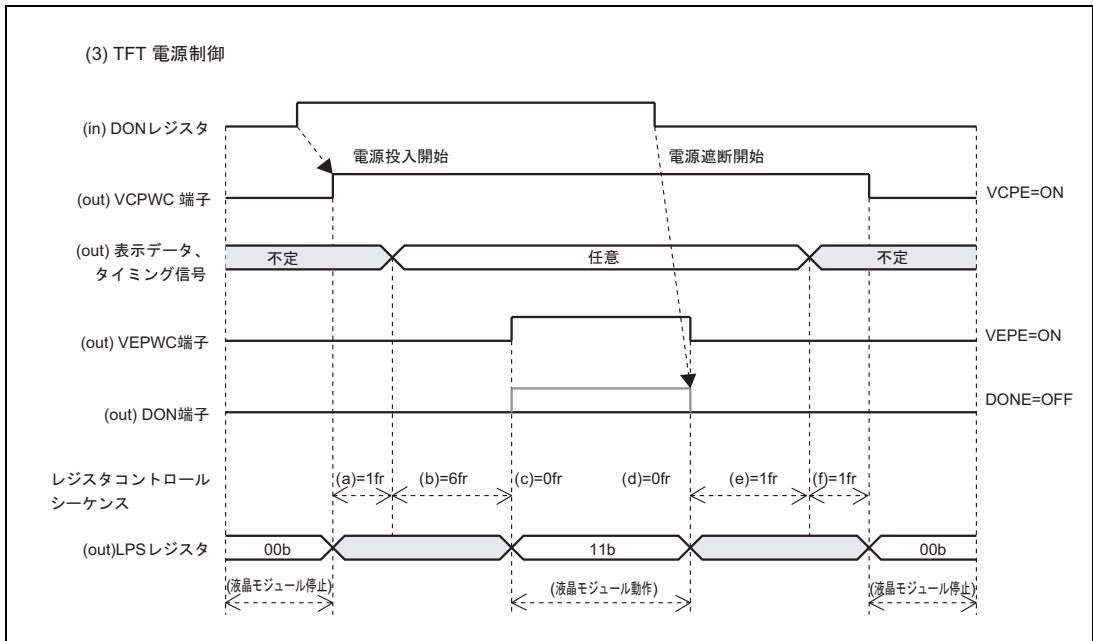


図 25.6 電源制御シーケンスと液晶モジュールの動作状態

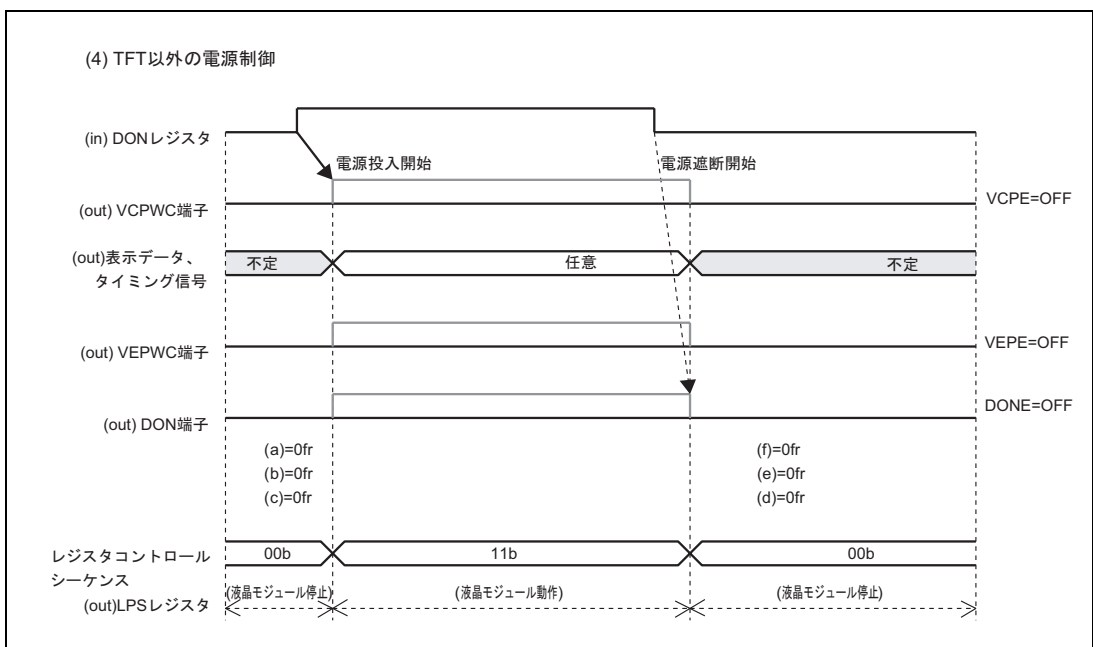


図 25.7 電源制御シーケンスと液晶モジュールの動作状態

25. LCD コントローラ (LCDC)

表 25.5 代表的なフレームレートにおいて設定可能な電源制御シーケンス期間

ONX、OFFX レジスタ設定値	フレームレート	
	120Hz	60Hz
H'F	$(-1+1)/120 = 0.00(\text{ms})$	$(-1+1)/60 = 0.00(\text{ms})$
H'0	$(0+1)/120 = 8.33(\text{ms})$	$(0+1)/60 = 16.67(\text{ms})$
H'1	$(1+1)/120 = 16.67(\text{ms})$	$(1+1)/60 = 33.33(\text{ms})$
H'2	$(2+1)/120 = 25.00(\text{ms})$	$(2+1)/60 = 50.00(\text{ms})$
H'3	$(3+1)/120 = 33.33(\text{ms})$	$(3+1)/60 = 66.67(\text{ms})$
H'4	$(4+1)/120 = 41.67(\text{ms})$	$(4+1)/60 = 83.33(\text{ms})$
H'5	$(5+1)/120 = 50.00(\text{ms})$	$(5+1)/60 = 100.00(\text{ms})$
H'6	$(6+1)/120 = 58.33(\text{ms})$	$(6+1)/60 = 116.67(\text{ms})$
H'7	$(7+1)/120 = 66.67(\text{ms})$	$(7+1)/60 = 133.33(\text{ms})$
H'8	$(8+1)/120 = 75.00(\text{ms})$	$(8+1)/60 = 150.00(\text{ms})$
H'9	$(9+1)/120 = 83.33(\text{ms})$	$(9+1)/60 = 166.67(\text{ms})$
H'A	$(10+1)/120 = 91.67(\text{ms})$	$(10+1)/60 = 183.33(\text{ms})$
H'B	$(11+1)/120 = 100.00(\text{ms})$	$(11+1)/60 = 200.00(\text{ms})$
H'C	$(12+1)/120 = 108.33(\text{ms})$	$(12+1)/60 = 216.67(\text{ms})$
H'D	$(13+1)/120 = 116.67(\text{ms})$	$(13+1)/60 = 233.33(\text{ms})$
H'E	$(14+1)/120 = 125.00(\text{ms})$	$(14+1)/60 = 250.00(\text{ms})$

ONA、ONB、ONC、OFFD、OFFE、OFFF の各レジスタはフレーム周期単位で 0 ~ 15 フレームまでの電源制御シーケンス期間を設定可能です。レジスタ設定は-1 値設定であり、H'0 ~ H'E 設定で各々 1 ~ 15 フレーム、H'F 設定で 0 フレームを意味します。

実際のシーケンス時間はレジスタ設定値と表示フレーム周波数に依存します。下表は代表的な液晶モジュールの表示フレーム周波数での電源制御シーケンス期間です。

表示フレーム周波数 120Hz において ONB レジスタに 6h を設定した場合

表示フレーム周波数が 120Hz なので、1 フレームの時間は $8.33 (\text{ms}) = 1/120 (\text{sec})$

ONB レジスタは-1 値設定なので電源投入シーケンス期間は 7 フレーム。

したがって、この場合のシーケンス時間は $58.33 (\text{ms}) = 8.33 (\text{ms}) \times 7$ となります。

表 25.6 LCDC 動作モード

モード		機 能
表示 ON (LCDC 動作)	レジスタ設定 : DON = 1 DON2 = 1	所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力
表示 OFF (LCDC 停止)	レジスタ設定 : DON = 0 DON2 = 0	レジスタアクセスは可能。 所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力しない

表 25.7 液晶モジュール電源状態

(STN、DSTN モジュールの場合)

状 態	ロジック系電源	表示データ タイミング信号	高圧系電源	DON 信号
対応する制御端子	VCPWC	CL2、CL1、FLM、 M/DISP、LCD	VEPWC	DON
動作状態	供給	供給	供給	供給
(過渡状態)	供給	供給	供給	
	供給	供給		
	供給			
停止状態				

(TFT モジュールの場合)

状 態	ロジック系電源	表示データ タイミング信号	高圧系電源
対応する制御端子	VCPWC	CL2、CL1、FLM、M/DISP、 LCD	VEPWC
動作状態	供給	供給	供給
(過渡状態)	供給	供給	
	供給		
停止状態			

表 25.7 は、一般的と思われる液晶モジュールの動作状態、停止状態での電源および表示データ、タイミング信号の供給状態です。ただし、モジュールによっては高圧系電源をロジック系電源電圧からモジュール内部で生成するものもあり必ずしも示した電源の供給を必要としているとは限りません。

表示 OFF モード (LCDC 停止) の注意事項

本 LCDC による液晶モジュール電源制御シーケンス処理を使用している場合、表示 ON モードのまま電源の遮断を行った場合の LCDC の正常動作は保証できません。また、最悪の場合、接続している液晶モジュールが破損する恐れがあります。

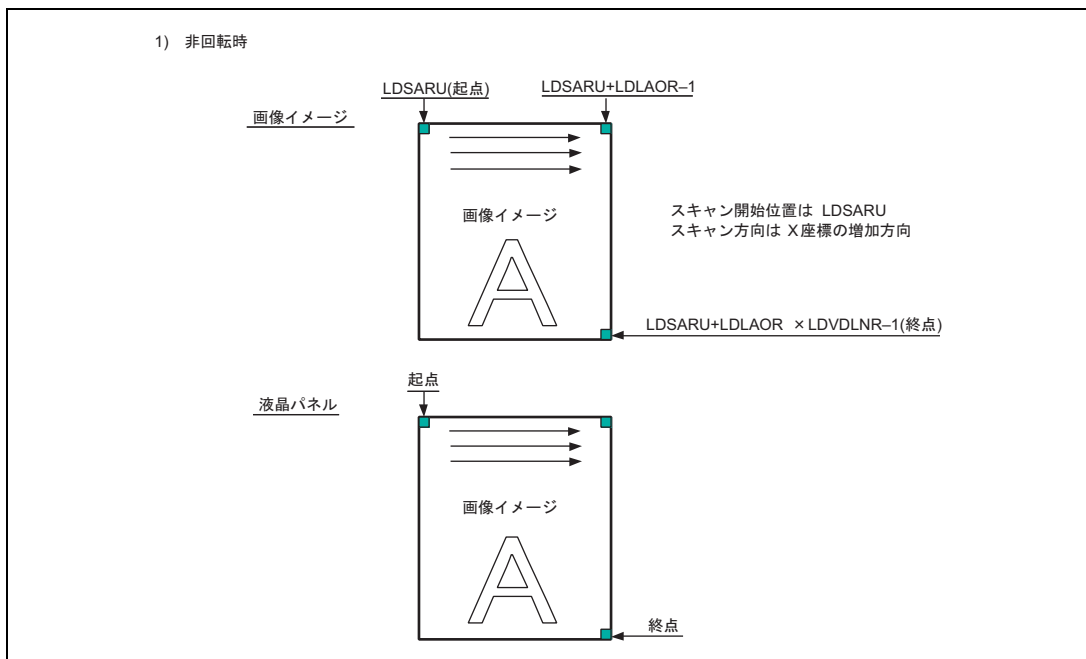
25.3.7 ハードウェアローテーション動作説明

以下にハードウェアローテーション動作の説明を示します。ハードウェアローテーションモードは、「横長の画面を持つ液晶パネルを縦置きすることで縦長の液晶パネルの代わりに使う」ような使い方を想定しています。パネルの形は横長でも縦長でも問題ありませんが、横幅が 320 以下である必要があります。

ハードウェアローテーションを行う場合、ハードウェアローテーションなしの設定から以下の 5 項目を変更しなければなりません (以下の例は 8bpp 時。16bpp 時は 1 ドットあたりのメモリサイズが 2 倍になるため、イメージのサイズ、回転時のレジスタ設定値が異なります)。

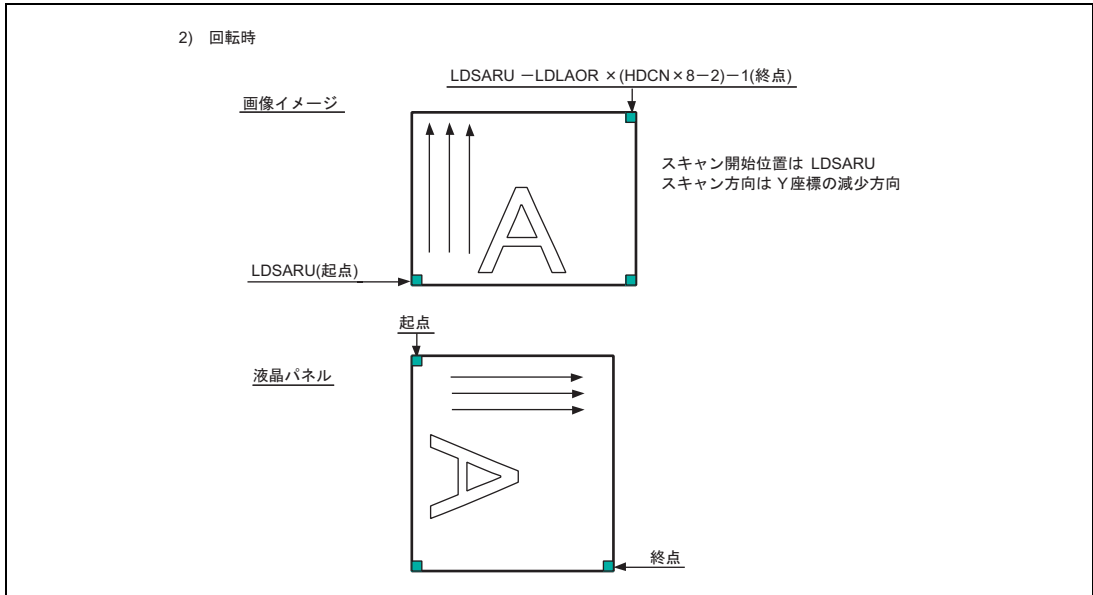
25. LCD コントローラ (LCDC)

1. 画像イメージは、回転したパネルで表示する形で用意する（回転後に240×320であれば、回転されていない240×320のサイズのデータを用意する）。
2. 画像イメージのアドレスに関するレジスタの設定を変更する（LDSARU、LDLAOR）。
3. LDLAORを2のべき乗にする（回転したあとの横幅が240の場合、256にする）。
4. グラフィックソフトウェアも3の設定に合わせる。
5. LDSARUを画像イメージの左上のアドレスから、左下のアドレスに変更する。



たとえば、サイズ 320×240 の液晶パネルに対して LDSARU=0x0c001000 から始まる横長の画像イメージ（320×240）を表示するレジスタ設定、およびグラフィックドライバソフトウェアが完成しているものとします。この状態でハードウェアローテーションを使い 240×320 で表示するように変更してみます。このとき、LDLAOR = 512 であったとすると、グラフィックドライバソフトウェアも画像イメージの Y 座標のアドレス計算用オフセットを 2 のべき乗としているはずですが、この状態で ROT = 1 とする前に、画像イメージ自体が 240×320 用に描きなおす必要があります。また、サイズが異なるので、LDLAOR=256 となり、同時にグラフィックドライバソフトウェアも変更します。LDSARU は左上から左下になりますので、LDSARU=0x0c001000 + 256 * 319 に変更します。

【注】 ハードウェアローテーション機能は、液晶パネルを 90 度傾けて使えるようにする機能であり、液晶パネル自体にかかわる設定に関しては、回転前の液晶パネルに合わせる必要があります。また、グラフィックドライバソフトウェアの描画処理にはかわからずに回転可能ですが、グラフィックドライバソフトウェアの管理している画像イメージのサイズ、およびアドレスオフセットの値を実際の画像イメージに合わせる必要があります。



25.4 クロックと LCD データ信号例

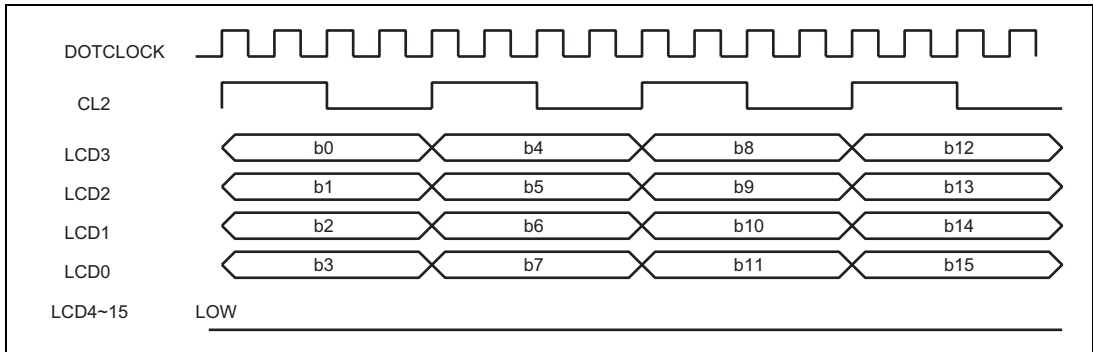


図 25.8 STN モノクロ 4 ビットデータバスモジュール

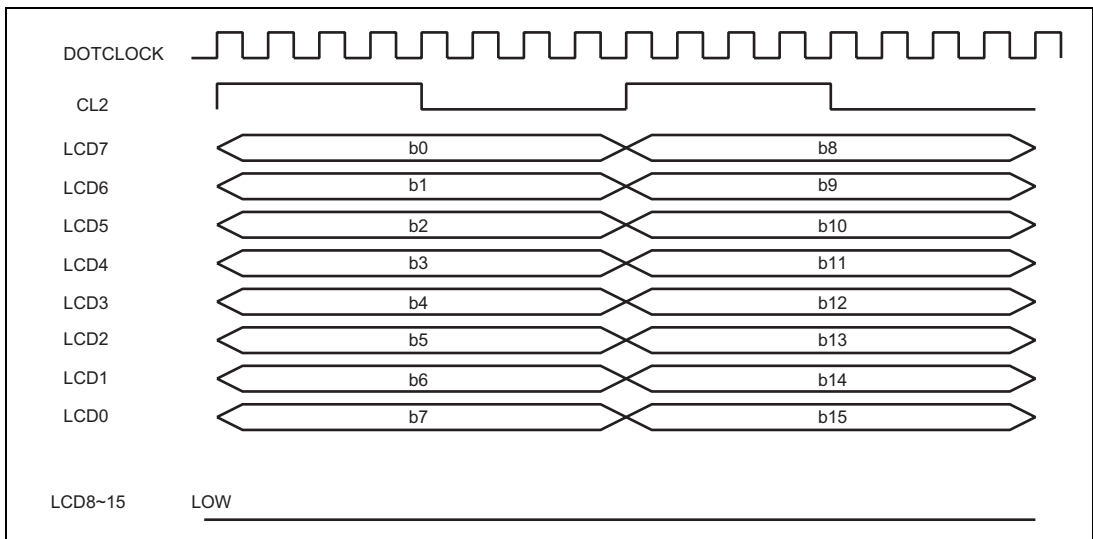


図 25.9 STN モノクロ 8 ビットデータバスモジュール

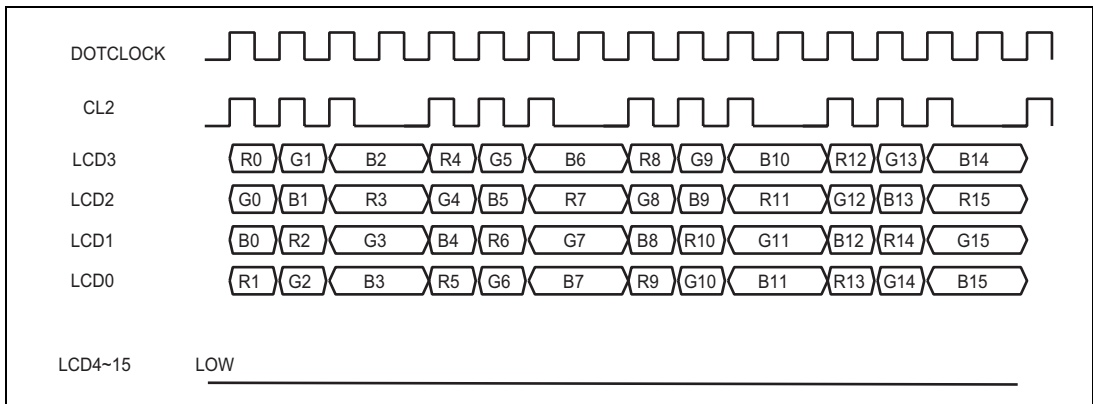


図 25.10 STN カラー4ビットデータバスモジュール

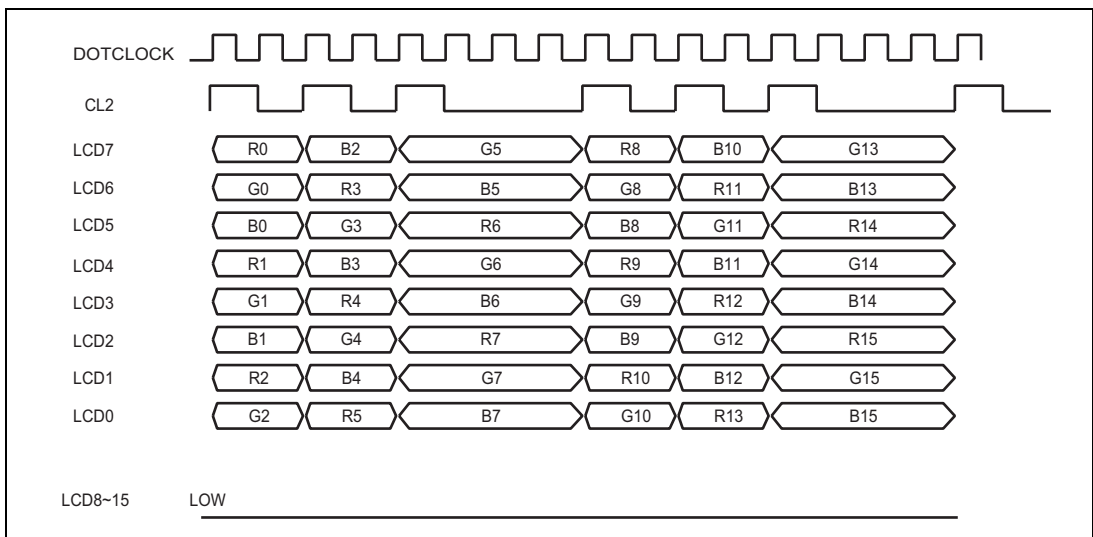


図 25.11 STN カラー8ビットデータバスモジュール

25. LCD コントローラ (LCDC)

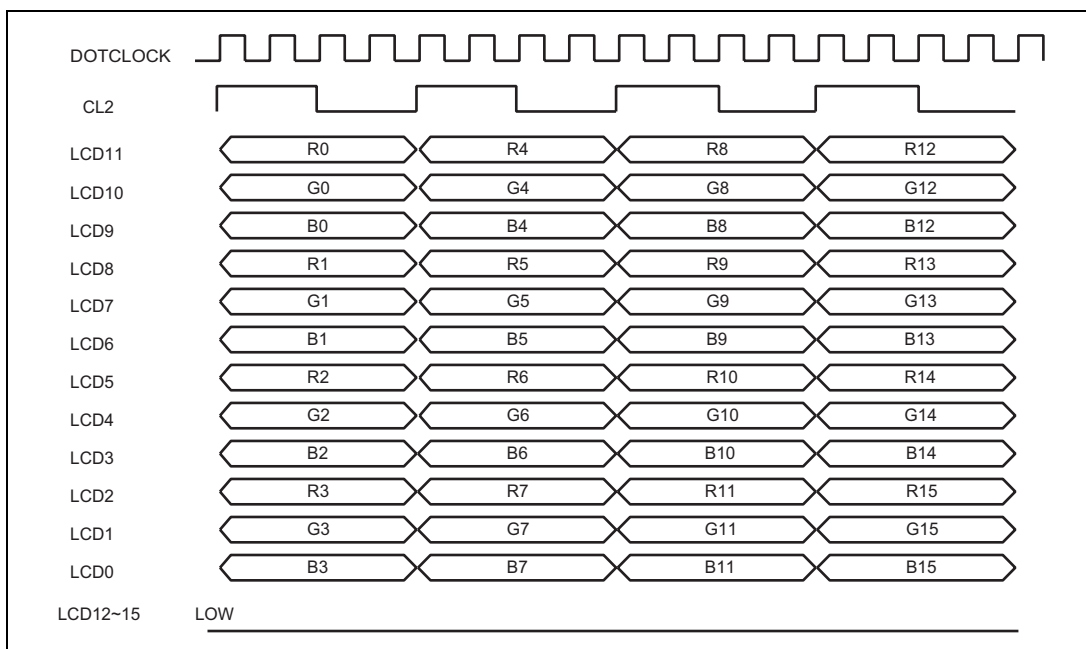


図 25.12 STN カラー12ビットデータバスモジュール

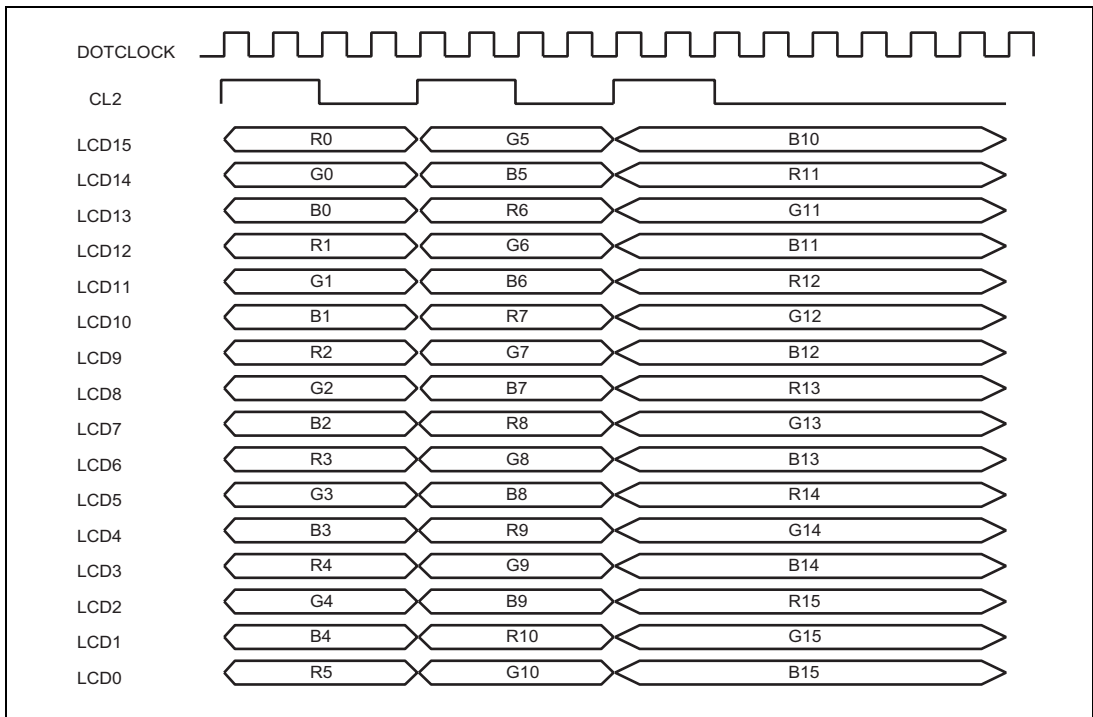


図 25.13 STN カラー16ビットデータバスモジュール

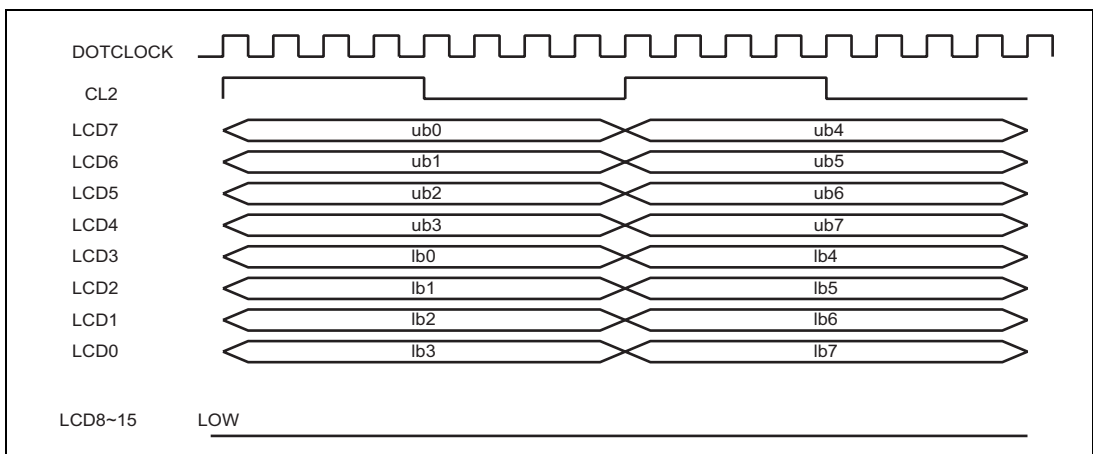


図 25.14 DSTN モノクロ 8ビットデータバスモジュール

25. LCD コントローラ (LCDC)

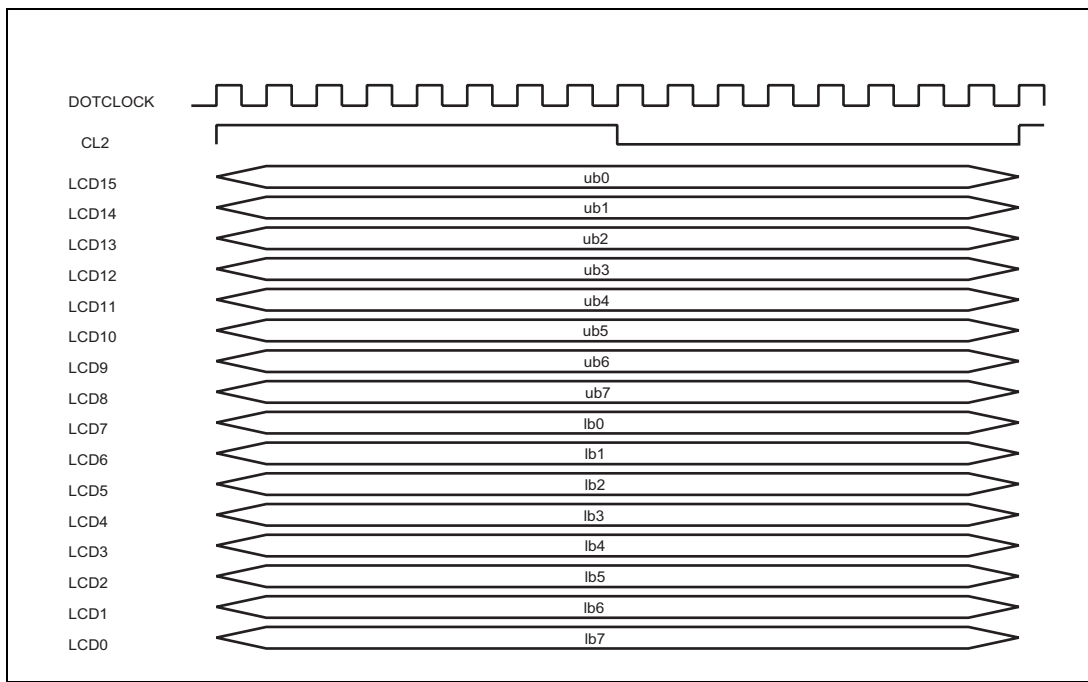


図 25.15 DSTN モノクロ 16 ビットデータバスモジュール

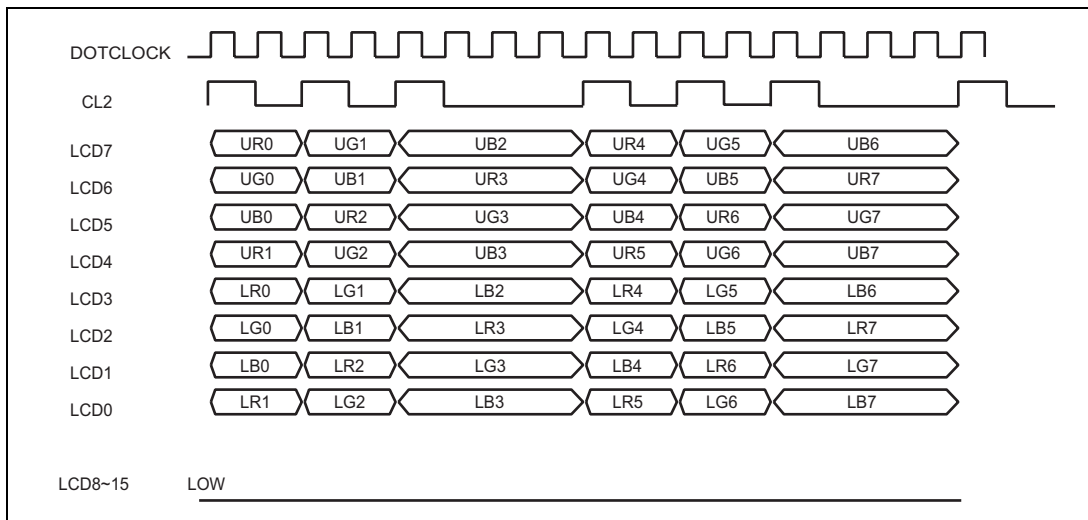


図 25.16 DSTN カラー 8 ビットデータバスモジュール

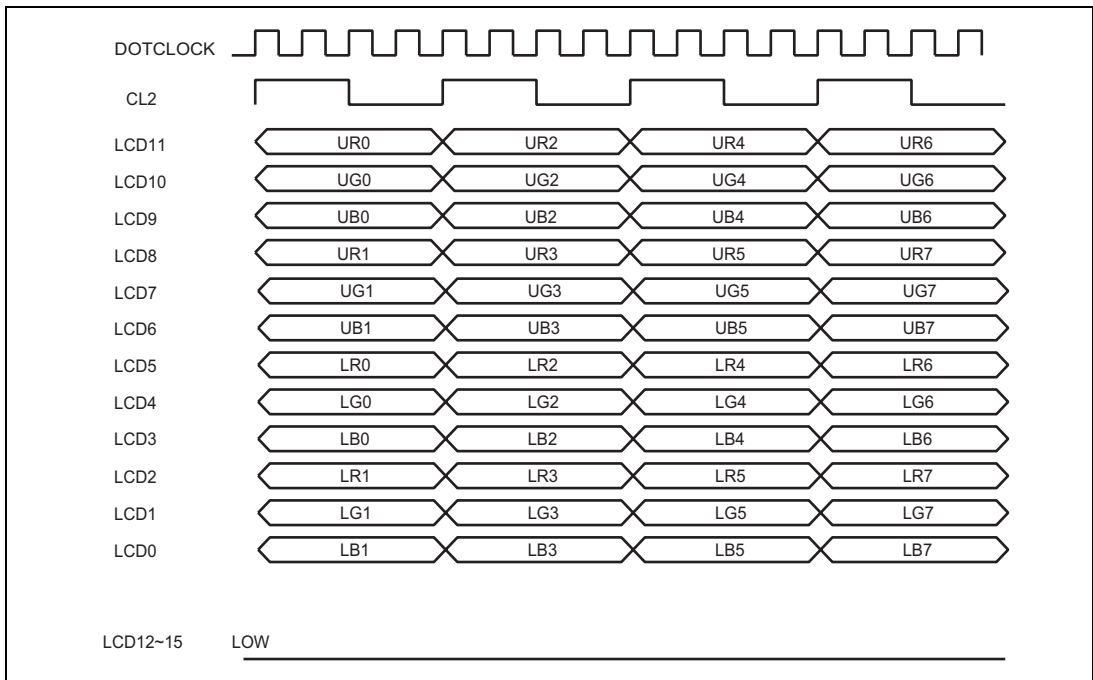


図 25.17 DSTN カラー12ビットデータバスモジュール

25. LCD コントローラ (LCDC)

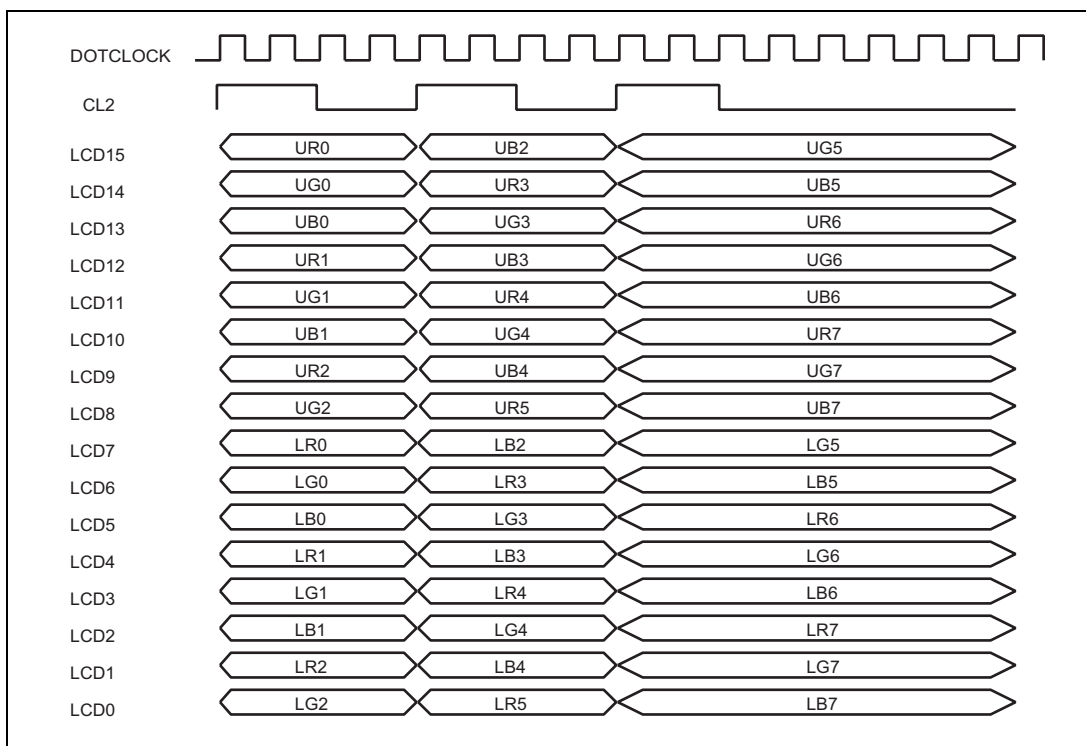


図 25.18 DSTN カラー16ビットデータバスモジュール

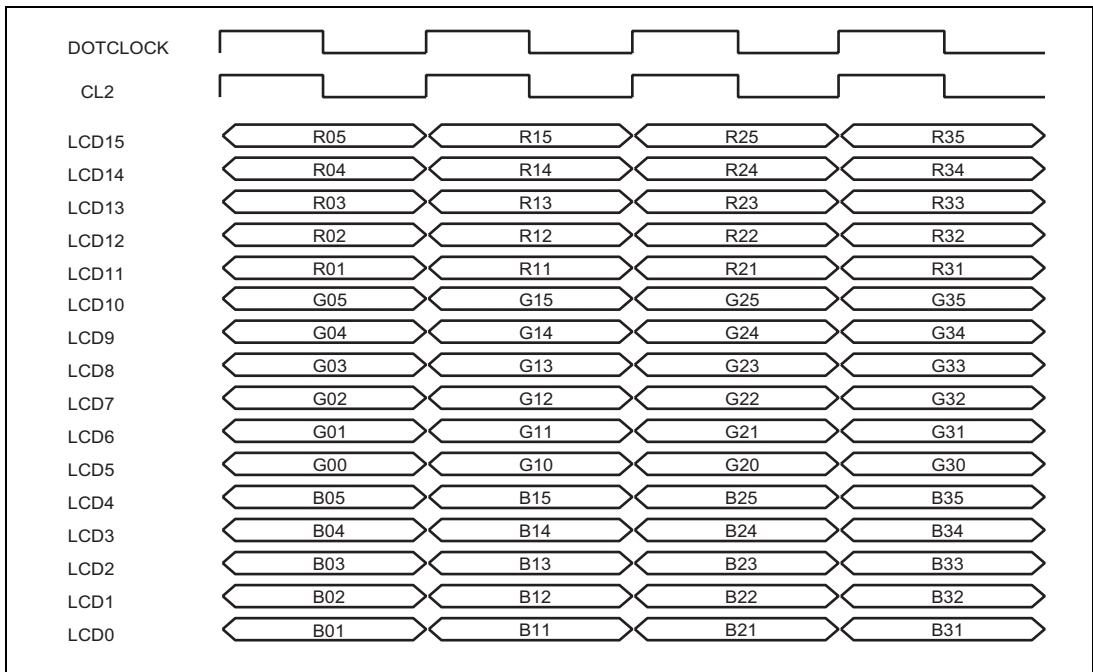


図 25.19 TFT カラー16ビットデータバスモジュール

25. LCD コントローラ (LCDC)

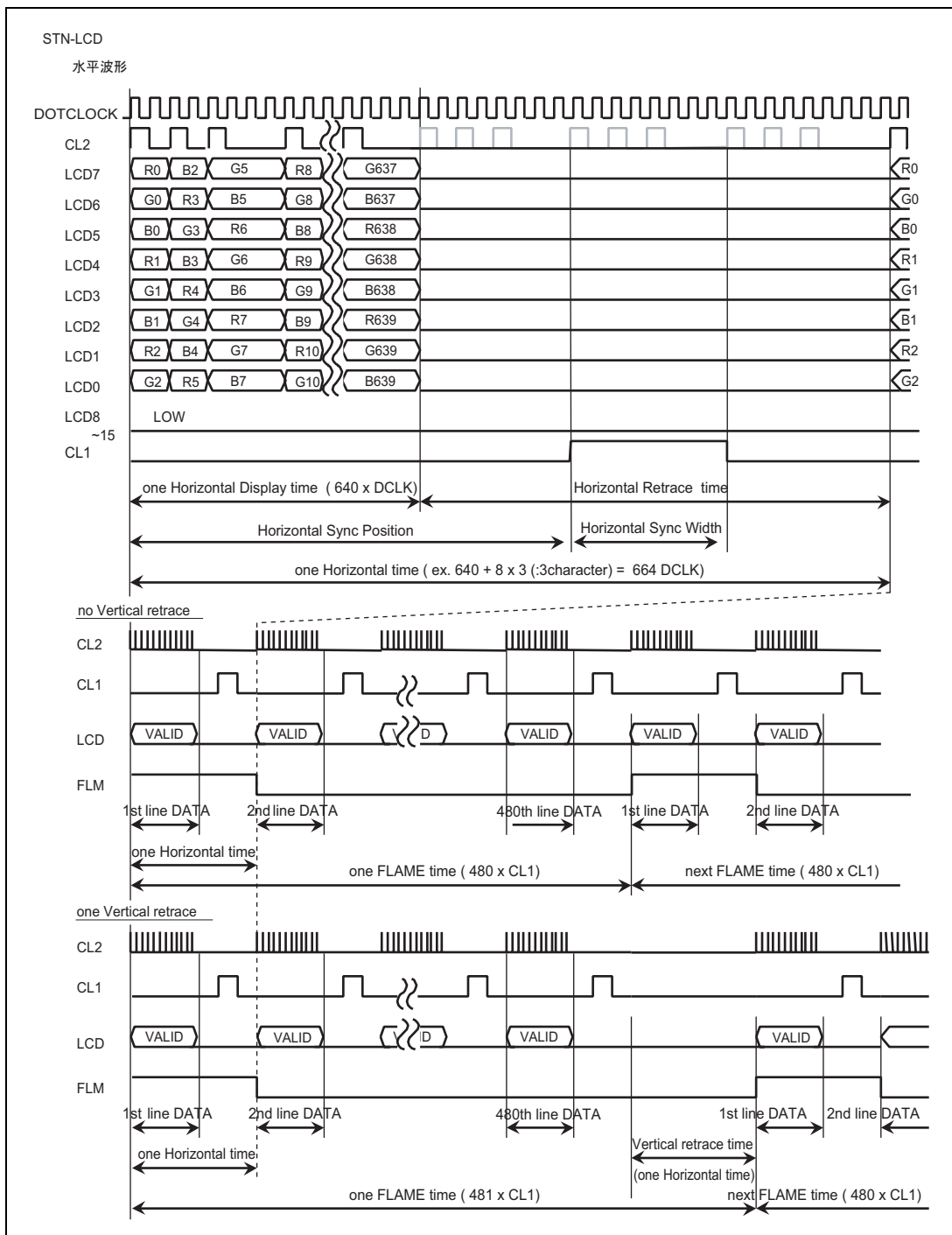


図 25.20 8ビットインタフェースカラー640×480

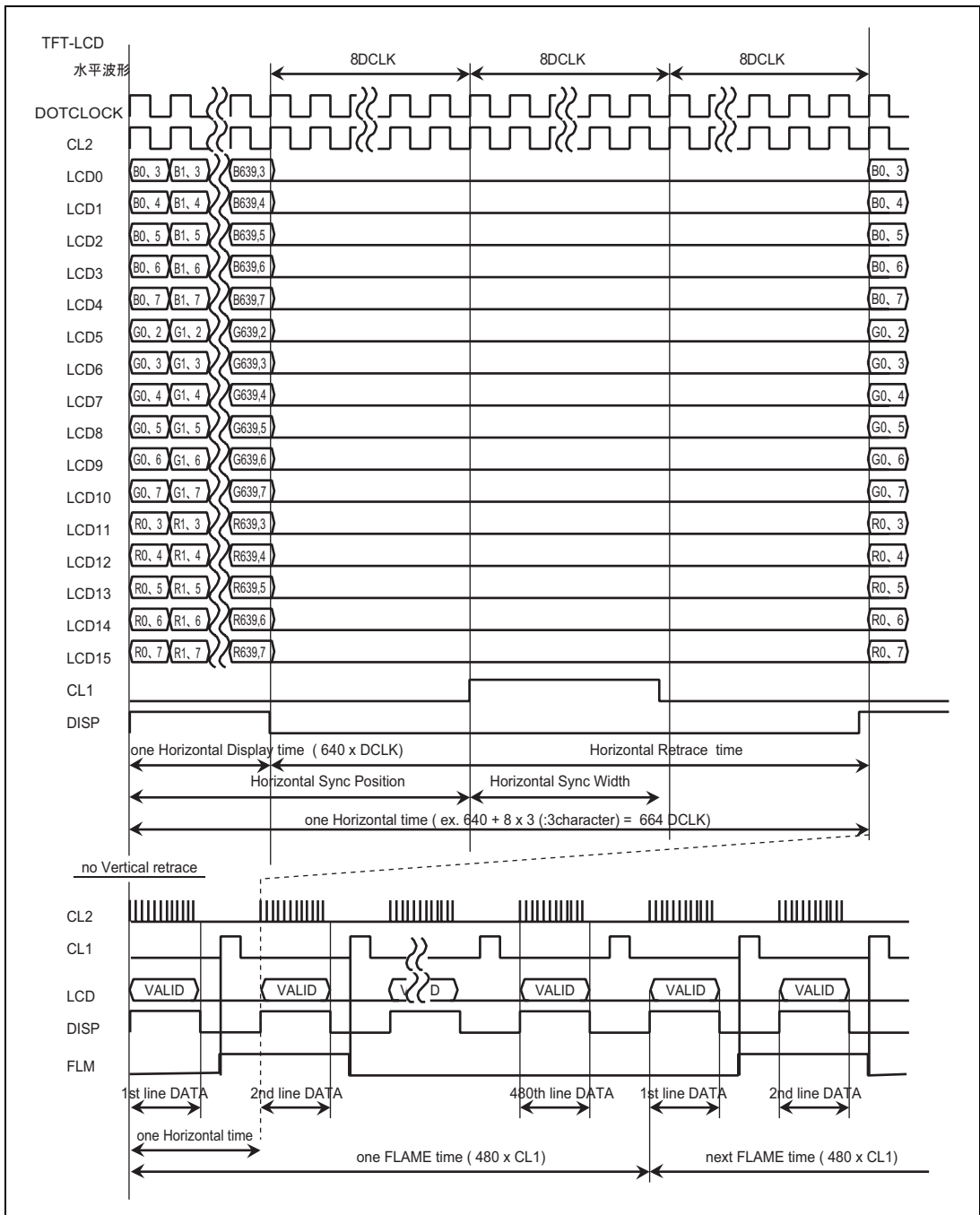


図 25.21 16 ビットインタフェースカラー640×480

25.5 使用上の注意

LCDC を使用する際は、以下のことに注意してください。

1. LCDC モジュールの表示用のシステムメモリ (エリア 3 領域のシンクロナス DRAM) へのアクセスを停止する手順は以下のフローに沿って行ってください。

(1) 現在の状態が LDPMMR レジスタの LPS1 と LPS0 ビットが 1 であることを確認します。

(2) LDCNTR の DON ビットを 0 (表示オフモード) に設定します。

(3) LDPMMR の LPS1 と LPS0 ビットが 0 になることを確認します。

(4) 1 フレームの表示時間を待ちます。

LCDC モジュールを使用後、スタンバイモードにする前または LCDC のモジュールスタンバイ機能を使用する前にはこの停止手順が必要になります。

2. LCDC 外部クロック使用時の注意について

クロックモード 2 (水晶振動子使用時) で、かつ LCD クロックに外部クロック (LCLK) を使用する場合、LCDC 出力端子の変動ノイズが水晶発振回路に伝わることで PLL の動作が不安定になり、誤動作を引き起こす可能性があります。このような場合、以下のいずれかの対策をお願いいたします。

- クロックモード 2 を使用する場合、LCD クロックは内部クロックを使用してください。
- LCD クロックに外部クロック (LCLK) を使用する場合は、クロックモード 2 以外 (EXTAL 端子から外部入力) を使用してください。

26. ピンファンクションコントローラ (PFC)

26.1 概要

SH7727 は図 26.1 に示すように、ピンファンクションコントローラによる I/O ポートの機能のみならず、PC カードコントローラ (第 30 章) または USB ピンマルチプレクスコントローラ (第 22 章)、およびユーザデバッグインタフェース (第 31 章) の機能によってもピン機能が切り替わります。

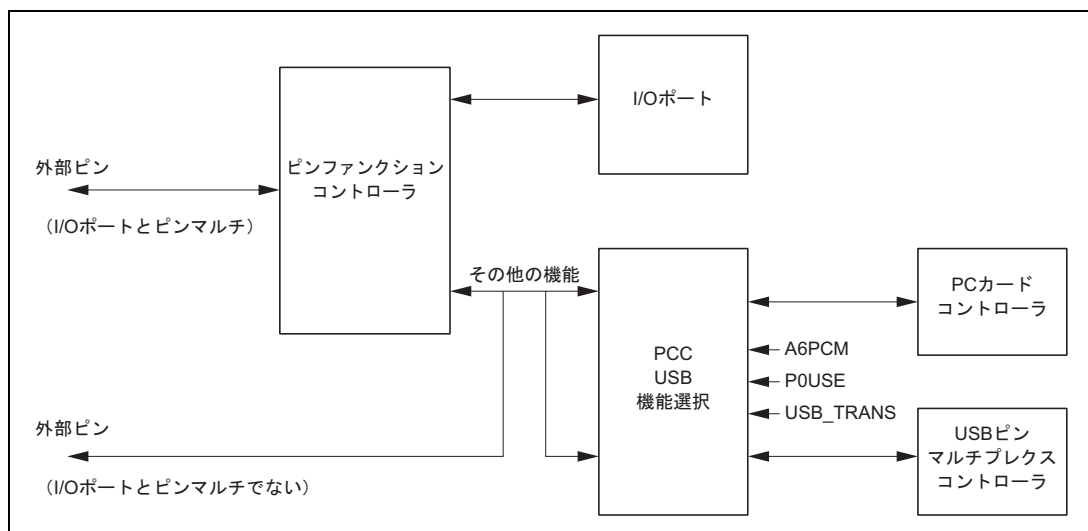


図 26.1 ピン選択機能概要

26. ピンファンクションコントローラ (PFC)

表 26.1 マルチプレクス一覧表

ポート	ポート機能 (関連モジュール)	その他の機能 1 (関連モジュール)	その他の機能 2 (関連モジュール)
A	PTA7 入出力 (ポート)	D23 入出力 (データバス)	
A	PTA6 入出力 (ポート)	D22 入出力 (データバス)	
A	PTA5 入出力 (ポート)	D21 入出力 (データバス)	
A	PTA4 入出力 (ポート)	D20 入出力 (データバス)	
A	PTA3 入出力 (ポート)	D19 入出力 (データバス)	
A	PTA2 入出力 (ポート)	D18 入出力 (データバス)	
A	PTA1 入出力 (ポート)	D17 入出力 (データバス)	
A	PTA0 入出力 (ポート)	D16 入出力 (データバス)	
B	PTB7 入出力 (ポート)	D31 入出力 (データバス)	
B	PTB6 入出力 (ポート)	D30 入出力 (データバス)	
B	PTB5 入出力 (ポート)	D29 入出力 (データバス)	
B	PTB4 入出力 (ポート)	D28 入出力 (データバス)	
B	PTB3 入出力 (ポート)	D27 入出力 (データバス)	
B	PTB2 入出力 (ポート)	D26 入出力 (データバス)	
B	PTB1 入出力 (ポート)	D25 入出力 (データバス)	
B	PTB0 入出力 (ポート)	D24 入出力 (データバス)	
C	PTC7 入出力(ポート)/PINT3 入力(INTC)	LCD11 出力 (LCDC)	
C	PTC6 入出力(ポート)/PINT2 入力(INTC)	LCD10 出力 (LCDC)	
C	PTC5 入出力(ポート)/PINT1 入力(INTC)	LCD9 出力 (LCDC)	
C	PTC4 入出力(ポート)/PINT0 入力(INTC)	LCD8 出力 (LCDC)	
C	PTC3 入出力 (ポート)	LCD5 出力 (LCDC)	
C	PTC2 入出力 (ポート)	LCD4 出力 (LCDC)	
C	PTC1 入出力 (ポート)	LCD3 出力 (LCDC)	
C	PTC0 入出力 (ポート)	LCD2 出力 (LCDC)	
D	PTD7 入出力 (ポート)	DON 出力 (LCDC)	
D	PTD6 入力 (ポート)	LCLK 入力 (LCDC) /UCLK(USB)	
D	PTD5 入出力 (ポート)	CL1 出力 (LCDC)	
D	PTD4 入力 (ポート)	$\overline{\text{DREQ0}}$ 入力 (DMAC)	
D	PTD3 入出力 (ポート)	LCD7 出力 (LCDC)	
D	PTD2 入出力 (ポート)	LCD6 出力 (LCDC)	
D	PTD1 入出力 (ポート)	LCD1 出力 (LCDC)	
D	PTD0 入出力 (ポート)	LCD0 出力 (LCDC)	
E	PTE7 入出力 (ポート)	AUDSYNC 出力 (AUD) * ³	PCCORDY 入力 (PCC) * ²
E	PTE6 入出力 (ポート)	M/DISP 出力 (LCDC)	
E	PTE5 入出力 (ポート)	$\overline{\text{CE2B}}$ 出力 (PCMCIA)	

26. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他の機能 1 (関連モジュール)	その他の機能 2 (関連モジュール)
E	PTE4 入出力 (ポート)	CE2A 出力 (PCMCIA)	
E	PTE3 入出力 (ポート)	FLM 出力 (LCDC)	
E	PTE2 入出力 (ポート)	USB1_pwr_en 出力 (USB)	
E	PTE1 入出力 (ポート)	USB2_pwr_en 出力 (USB)	
E	PTE0 入出力 (ポート)	TDO 出力 (H-UDI) * ³	
F	PTF7 入力 (ポート) / PINT15 入力 (INTC)	TRST 入力 (AUD、H-UDI) * ³	
F	PTF6 入力 (ポート) / PINT14 入力 (INTC)	TMS 入力 (H-UDI) * ³	
F	PTF5 入力 (ポート) / PINT13 入力 (INTC)	TDI 入力 (H-UDI) * ³	
F	PTF4 入力 (ポート) / PINT12 入力 (INTC)	TCK 入力 (H-UDI) * ³	
F	PTF3 入力 (ポート) / PINT11 入力 (INTC)	予約	
F	PTF2 入力 (ポート)	予約	PCC0REG 出力 (PCC) * ²
F	PTF1 入力 (ポート)	予約	PCC0VS1 入力 (PCC) * ²
F	PTF0 入力 (ポート)	予約	PCC0VS2 入力 (PCC) * ²
G	PTG7 入力 (ポート)	IOIS16 入力 (PCMCIA)	
G	PTG5 入力 (ポート)	ASEBRKAK 出力 (AUD) * ³	
G	PTG4 入力 (ポート)		
G	PTG3 入力 (ポート)	AUDATA3 出力 (AUD) * ³	PCC0BVD2 (PCC) * ²
G	PTG2 入力 (ポート)	AUDATA2 出力 (AUD) * ³	PCC0BVD1 (PCC) * ²
G	PTG1 入力 (ポート)	AUDATA1 出力 (AUD) * ³	PCC0CD2 (PCC) * ²
G	PTG0 入力 (ポート)	AUDATA0 出力 (AUD) * ³	PCC0CD1 (PCC) * ²
H	PTH7 入出力 (ポート)	CL2 出力 (LCDC)	
H	PTH6 入力 (ポート)	AUDCK 入力 (AUD) * ³	PCC0WAIT (PCC) * ²
H	PTH5 入力 (ポート)	ADTRG 入力 (ADC)	
H	PTH4 入力 (ポート) / IRQ4 入力 (INTC)	IRQ4 入力 (INTC)	
H	PTH3 入力 (ポート) / IRQ3 入力 / IRL3 入力 (INTC)	IRQ3 入力 / IRL3 入力 (INTC)	
H	PTH2 入力 (ポート) / IRQ2 入力 / IRL2 入力 (INTC)	IRQ2 入力 / IRL2 入力 (INTC)	
H	PTH1 入力 (ポート) / IRQ1 入力 / IRL1 入力 (INTC)	IRQ1 入力 / IRL1 入力 (INTC)	
H	PTH0 入力 (ポート) / IRQ0 入力 / IRL0 入力 (INTC)	IRQ0 入力 / IRL0 入力 (INTC)	
J	PTJ7 入出力 (ポート)	STATUS1 出力 (CPG)	
J	PTJ6 入出力 (ポート)	STATUS0 出力 (CPG)	
J	PTJ5 入出力 (ポート)	予約	
J	PTJ4 入出力 (ポート)	予約	
J	PTJ3 入出力 (ポート)	予約	
J	PTJ2 入出力 (ポート)	CAS 出力 (BSC)	予約
J	PTJ1 入出力 (ポート)	予約	
J	PTJ0 入出力 (ポート)	RAS 出力 (BSC)	

26. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他の機能 1 (関連モジュール)	その他の機能 2 (関連モジュール)
K	PTK7 入出力 (ポート)	$\overline{WE3}$ 出力(BSC) / DQMUU 出力(BSC) $\overline{/CIOWR}$ 出力 (BSC)	
K	PTK6 入出力 (ポート)	$\overline{WE2}$ 出力(BSC) / DQMUL 出力(BSC) $\overline{/CIORD}$ 出力 (BSC)	
K	PTK5 入出力 (ポート)	CKE 出力 (BSC)	
K	PTK4 入出力 (ポート)	\overline{BS} 出力 (BSC)	
K	PTK3 入出力 (ポート)	$\overline{CS5}$ 出力 (BSC) / $\overline{CE1A}$ 出力 (BSC)	
K	PTK2 入出力 (ポート)	$\overline{CS4}$ 出力 (BSC)	
K	PTK1 入出力 (ポート)	AFE_RLYCNT 出力 (AFE)	USB1d_DMNS 入力 (USB) * ²
K	PTK0 入出力 (ポート)	AFE_HC1 出力 (AFE)	USB1d_DPLS 入力 (USB) * ²
L	PTL7 入力 (ポート)	AN7 入力 (ADC) / DA0 出力 (DAC)	
L	PTL6 入力 (ポート)	AN6 入力 (ADC) / DA1 出力 (DAC)	
L	PTL5 入力 (ポート)	AN5 入力 (ADC)	
L	PTL4 入力 (ポート)	AN4 入力 (ADC)	
L	PTL3 入力 (ポート)	AN3 入力 (ADC)	
L	PTL2 入力 (ポート)	AN2 入力 (ADC)	
M	PTM7 入力 (ポート) / PINT7 入力 (INTC)	AFE_FS 入力 (AFE)	USB1d_RCV 入力 (USB) * ²
M	PTM6 入力 (ポート) / PINT6 入力 (INTC)	AFE_RXIN 入力 (AFE)	USB1d_SPEED 出力 (USB) * ²
M	PTM5 入力 (ポート) / PINT5 入力 (INTC)	AFE_TXOUT 出力 (AFE)	USB1d_TXSE0 出力 (USB) * ²
M	PTM4 入力 (ポート) / PINT4 入力 (INTC)	AFE_RDET 入力 (AFE)	
M	PTM3 入力 (ポート) / PINT10 入力 (INTC)	LCD15 出力 (LCDC)	
M	PTM2 入力 (ポート) / PINT9 入力 (INTC)	LCD14 出力 (LCDC)	
M	PTM1 入力 (ポート) / PINT8 入力 (INTC)	LCD13 出力 (LCDC)	
M	PTM0 入力 (ポート)	LCD12 出力 (LCDC)	
SCPT	SCPT7 入力 (ポート) / IRQ5 入力 (INTC)	$\overline{CTS2}$ 入力 (SCIF) / IRQ5 入力 (INTC)	
SCPT	SCPT6 入出力 (ポート)	SIOFSYNC 入出力 (SIOF)	
SCPT	SCPT5 入出力 (ポート)	SCK_SIO 入出力 (SIOF)	
SCPT	SCPT4 入力 (ポート) * ¹	RxD2 入力 (SCIF)	
	SCPT4 出力 (ポート) * ¹	TxD2 出力 (SCIF)	
SCPT	SCPT3 入出力 (ポート)	SIOMCLK 入力 (SIOF)	
SCPT	SCPT2 入力 (ポート) * ¹	RxD_SIO 入力 (SIOF)	
	SCPT2 出力 (ポート) * ¹	TxD_SIO 出力 (SIOF)	

26. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他の機能 1 (関連モジュール)	その他の機能 2 (関連モジュール)
SCPT	SCPT1 入出力 (ポート)	SCK0 入出力 (SCI)	
SCPT	SCPT0 入力 (ポート) * ¹	RxD0 入力 (SCI)	
	SCPT0 出力 (ポート) * ¹	TxD0 出力 (SCI)	
		AFE_SCLK 入力 (AFE)	USB1d_TXDPLS 出力 (USB)
		予約	USB1d_SUSPEND 出力 (USB)
		RTS2 出力 (SCIF)	USB1d_TXENL 出力 (USB)
		DRAK0 出力 (DMAC)	PCC0RESET 出力 (PCC)
		DACK0 出力 (DMAC)	PCC0DRV 出力 (PCC)

【注】 *1 SCPT0、SCPT2、SCPT4 は異なる入力端子、出力端子ですがアクセスするデータレジスタは同じです。

*2 PCC または USB ピンマルチプレクスコントローラ関係のピンがマルチプレクスされているピンにおいて、その他の機能 (通常動作時) とその他の機能 (特殊設定時) は、PCC の P0USE ビットと BSC の A6PCM ビット、および USB ピンマルチプレクスコントローラのレジスタの設定により切り替わります。

PCC の端子を有効にするには、A6PCM と P0USE をそれぞれ PC カードを使う側に設定してください。両ビットの値により、PCC の端子に自動的に切り替わります。

また PCC または USB ピンマルチプレクスコントローラ関係のピンがピンマルチプレクスされている IO ポートにおいて、その他の機能への切り替え後に PCC の P0USE ビットと BSC の A6PCM ビット、および USB ピンマルチプレクスコントローラのレジスタを変更しないでください。

*3 ASEMD0 がローレベルのときに有効になります。

26.2 レジスタ構成

ピンファンクションコントローラ (PFC) のレジスタを表 26.2 に示します。

表 26.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A コントロールレジスタ	PACR	R/W	H'0000	H'04000100 (H'A4000100)*	16
ポート B コントロールレジスタ	PBCR	R/W	H'0000	H'04000102 (H'A4000102)*	16
ポート C コントロールレジスタ	PCCR	R/W	H'AAAA	H'04000104 (H'A4000104)*	16
ポート D コントロールレジスタ	PDCR	R/W	H'AAAA	H'04000106 (H'A4000106)*	16
ポート E コントロールレジスタ	PECR	R/W	H'AAAA/ H'2AA8	H'04000108 (H'A4000108)*	16
ポート F コントロールレジスタ	PFCR	R/W	H'AAAA/ H'00AA	H'0400010A (H'A400010A)*	16
ポート G コントロールレジスタ	PGCR	R/W	H'AAAA/ H'A200	H'0400010C (H'A400010C)*	16
ポート H コントロールレジスタ	PHCR	R/W	H'AAAA/ H'8AAA	H'0400010E (H'A400010E)*	16
ポート J コントロールレジスタ	PJCR	R/W	H'0000	H'04000110 (H'A4000110)*	16
ポート K コントロールレジスタ	PKCR	R/W	H'0000	H'04000112 (H'A4000112)*	16
ポート L コントロールレジスタ	PLCR	R/W	H'0000	H'04000114 (H'A4000114)*	16
SC ポートコントロールレジスタ	SCPCR	R/W	H'8008	H'04000116 (H'A4000116)*	16
ポート M コントロールレジスタ	PMCR	R/W	H'AAAA	H'04000118 (H'A4000118)*	16

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

RESETP 端子がアサートされている間に ASEMDO 端子でローレベルが入力される場合には、ASE モードになります。ハイレベルが入力されると、通常モードになります。H-UDI の詳細については、「第 31 章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

ポート E、F、G、H コントロールレジスタの初期値は ASEMDO 端子の状態に依存します。

* MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

26.3 レジスタの説明

26.3.1 ポート A コントロールレジスタ (PACR)

ビット:	15	14	13	12	11	10	9	8
ビット名:	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0	PA4MD1	PA4MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
ビット名:	PA3MD1	PA3MD0	PA2MD1	PA2MD0	PA1MD1	PA1MD0	PA0MD1	PA0MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A コントロールレジスタ (PACR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PACR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14 : PA7モード1、0 (PA7MD1、PA7MD0)
- ビット13、12 : PA6モード1、0 (PA6MD1、PA6MD0)
- ビット11、10 : PA5モード1、0 (PA5MD1、PA5MD0)
- ビット9、8 : PA4モード1、0 (PA4MD1、PA4MD0)
- ビット7、6 : PA3モード1、0 (PA3MD1、PA3MD0)
- ビット5、4 : PA2モード1、0 (PA2MD1、PA2MD0)
- ビット3、2 : PA1モード1、0 (PA1MD1、PA1MD0)
- ビット1、0 : PA0モード1、0 (PA0MD1、PA0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能	
PAnMD1	PAnMD0		
0	0	その他の機能 (表 26.1 参照) (初期値)	
	1	ポート出力	
1	0	ポート入力 (プルアップ MOS : オン)	
	1	ポート入力 (プルアップ MOS : オフ)	

(n = 0 ~ 7)

26. ピンファンクションコントローラ (PFC)

26.3.2 ポート B コントロールレジスタ (PBCR)

ビット:	15	14	13	12	11	10	9	8
ビット名:	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
ビット名:	PB3MD1	PB3MD0	PB2MD1	PB2MD0	PB1MD1	PB1MD0	PB0MD1	PB0MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B コントロールレジスタ (PBCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PBCR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14 : PB7モード1、0 (PB7MD1、PB7MD0)
- ビット13、12 : PB6モード1、0 (PB6MD1、PB6MD0)
- ビット11、10 : PB5モード1、0 (PB5MD1、PB5MD0)
- ビット9、8 : PB4モード1、0 (PB4MD1、PB4MD0)
- ビット7、6 : PB3モード1、0 (PB3MD1、PB3MD0)
- ビット5、4 : PB2モード1、0 (PB2MD1、PB2MD0)
- ビット3、2 : PB1モード1、0 (PB1MD1、PB1MD0)
- ビット1、0 : PB0モード1、0 (PB0MD1、PB0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能	
PBnMD1	PBnMD0		
0	0	その他の機能 (表 26.1 参照) (初期値)	
	1	ポート出力	
1	0	ポート入力 (プルアップ MOS : オン)	
	1	ポート入力 (プルアップ MOS : オフ)	

(n=0~7)

26.3.3 ポート C コントロールレジスタ (PCCR)

ビット:	15	14	13	12	11	10	9	8
ビット名:	PC7MD1	PC7MD0	PC6MD1	PC6MD0	PC5MD1	PC5MD0	PC4MD1	PC4MD0
初期値:	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
ビット名:	PC3MD1	PC3MD0	PC2MD1	PC2MD0	PC1MD1	PC1MD0	PC0MD1	PC0MD0
初期値:	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C コントロールレジスタ (PCCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PCCR はパワーオンリセットで H'AAAA に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14 : PC7モード1、0 (PC7MD1、PC7MD0)
- ビット13、12 : PC6モード1、0 (PC6MD1、PC6MD0)
- ビット11、10 : PC5モード1、0 (PC5MD1、PC5MD0)
- ビット9、8 : PC4モード1、0 (PC4MD1、PC4MD0)
- ビット7、6 : PC3モード1、0 (PC3MD1、PC3MD0)
- ビット5、4 : PC2モード1、0 (PC2MD1、PC2MD0)
- ビット3、2 : PC1モード1、0 (PC1MD1、PC1MD0)
- ビット1、0 : PC0モード1、0 (PC0MD1、PC0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能	
PCnMD1	PCnMD0		
0	0	その他の機能 (表 26.1 参照)	
	1	ポート出力	
1	0	ポート入力 (プルアップ MOS : オン)	(初期値)
	1	ポート入力 (プルアップ MOS : オフ)	

(n=0~7)

26. ピンファンクションコントローラ (PFC)

26.3.4 ポート D コントロールレジスタ (PDCR)

ビット:	15	14	13	12	11	10	9	8
ビット名:	PD7MD1	PD7MD0	PD6MD1	PD6MD0	PD5MD1	PD5MD0	PD4MD1	PD4MD0
初期値:	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
ビット名:	PD3MD1	PD3MD0	PD2MD1	PD2MD0	PD1MD1	PD1MD0	PD0MD1	PD0MD0
初期値:	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D コントロールレジスタ (PDCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PDCR はパワーオンリセットで H'AAAA に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14 : PD7モード1、0 (PD7MD1、PD7MD0)
- ビット13、12 : PD6モード1、0 (PD6MD1、PD6MD0)
- ビット11、10 : PD5モード1、0 (PD5MD1、PD5MD0)
- ビット9、8 : PD4モード1、0 (PD4MD1、PD4MD0)
- ビット7、6 : PD3モード1、0 (PD3MD1、PD3MD0)
- ビット5、4 : PD2モード1、0 (PD2MD1、PD2MD0)
- ビット3、2 : PD1モード1、0 (PD1MD1、PD1MD0)
- ビット1、0 : PD0モード1、0 (PD0MD1、PD0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能
PDnMD1	PDnMD0	
0	0	その他の機能 (表 26.1 参照)
	1	ポート出力 (n = 4、6 以外)、リザーブ (n = 4、6)
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

(n = 0 ~ 7)

26.3.5 ポート E コントロールレジスタ (PECR)

ビット:	15	14	13	12	11	10	9	8
ビット名:	PE7MD1	PE7MD0	PE6MD1	PE6MD0	PE5MD1	PE5MD0	PE4MD1	PE4MD0
初期値:	1/0	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
ビット名:	PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0
初期値:	1	0	1	0	1	0	1/0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E コントロールレジスタ (PECR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PECR はパワーオンリセットで H'AAAA ($\overline{\text{ASEMD0}} = 1$) または H'2AA8 ($\overline{\text{ASEMD0}} = 0$) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14 : PE7モード1、0 (PE7MD1、PE7MD0)
- ビット13、12 : PE6モード1、0 (PE6MD1、PE6MD0)
- ビット11、10 : PE5モード1、0 (PE5MD1、PE5MD0)
- ビット9、8 : PE4モード1、0 (PE4MD1、PE4MD0)
- ビット7、6 : PE3モード1、0 (PE3MD1、PE3MD0)
- ビット5、4 : PE2モード1、0 (PE2MD1、PE2MD0)
- ビット3、2 : PE1モード1、0 (PE1MD1、PE1MD0)
- ビット1、0 : PE0モード1、0 (PE0MD1、PE0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能
PE _n MD1	PE _n MD0	
0	0	その他の機能 (n=0、7) (表 26.1 参照) (初期値) $\overline{\text{ASEMD0}} = 0$
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値) $\overline{\text{ASEMD0}} = 1$
	1	ポート入力 (プルアップ MOS : オフ)

(n=0、7)

26. ピンファンクションコントローラ (PFC)

$\overline{ASEMD0}=0$ の場合には、PE7MD1 と PE7MD0 の値によってもポート機能は選択できません。

ビット (2n + 1)	ビット 2n	端子機能
PEnMD1	PEnMD0	
0	0	その他の機能 (表 26.1 参照)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

(n = 1 ~ 6)

26.3.6 ポート F コントロールレジスタ (PFCR)

ビット :	15	14	13	12	11	10	9	8
ビット名 :	PF7MD1	PF7MD0	PF6MD1	PF6MD0	PF5MD1	PF5MD0	PF4MD1	PF4MD0
初期値 :	1/0	0	1/0	0	1/0	0	1/0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
ビット名 :	PF3MD1	PF3MD0	PF2MD1	PF2MD0	PF1MD1	PF1MD0	PF0MD1	PF0MD0
初期値 :	1	0	1	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート F コントロールレジスタ (PFCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PFCR はパワーオンリセットで H'AAAA ($\overline{ASEMD0}=1$) または H'00AA ($\overline{ASEMD0}=0$) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14 : PF7モード1、0 (PF7MD1、PF7MD0)
- ビット13、12 : PF6モード1、0 (PF6MD1、PF6MD0)
- ビット11、10 : PF5モード1、0 (PF5MD1、PF5MD0)
- ビット9、8 : PF4モード1、0 (PF4MD1、PF4MD0)
- ビット7、6 : PF3モード1、0 (PF3MD1、PF3MD0)
- ビット5、4 : PF2モード1、0 (PF2MD1、PF2MD0)
- ビット3、2 : PF1モード1、0 (PF1MD1、PF1MD0)
- ビット1、0 : PF0モード1、0 (PF0MD1、PF0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

26. ピンファンクションコントローラ (PFC)

ビット (2n + 1)	ビット 2n	端子機能
PFnMD1	PFnMD0	
0	0	その他の機能 (表 26.1 参照) (初期値) $\overline{ASEMD0} = 0$
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値) $\overline{ASEMD0} = 1$
	1	ポート入力 (プルアップ MOS : オフ)

(n = 4 ~ 7)

ビット (2n + 1)	ビット 2n	端子機能
PFnMD1	PFnMD0	
0	0	その他の機能 (表 26.1 参照)
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

(n = 0 ~ 3)

26. ピンファンクションコントローラ (PFC)

26.3.7 ポート G コントロールレジスタ (PGCR)

SH7727B 以前のバージョンをご使用の際は、「付録 SH7727B 以前のバージョンでポート G コントロールレジスタ (PGCR) をご使用時の仕様」を参照してください。

ビット:	15	14	13	12	11	10	9	8
ビット名:	PG7MD1	PG7MD0	—	—	PG5MD1	PG5MD0	PG4MD1	PG4MD0
初期値:	1	0	1	0	1/0	0	1	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
ビット名:	PG3MD1	PG3MD0	PG2MD1	PG2MD0	PG1MD1	PG1MD0	PG0MD1	PG0MD0
初期値:	1/0	0	1/0	0	1/0	0	1/0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート G コントロールレジスタ (PGCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PGCR はパワーオンリセットで H'AAAA ($\overline{ASEMD0} = 1$) または H'A200 ($\overline{ASEMD0} = 0$) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14: PG7モード1、0 (PG7MD1、PG7MD0)
- ビット13、12: 予約ビット
- ビット11、10: PG5モード1、0 (PG5MD1、PG5MD0)
- ビット9、8: PG4モード1、0 (PG4MD1、PG4MD0)
- ビット7、6: PG3モード1、0 (PG3MD1、PG3MD0)
- ビット5、4: PG2モード1、0 (PG2MD1、PG2MD0)
- ビット3、2: PG1モード1、0 (PG1MD1、PG1MD0)
- ビット1、0: PG0モード1、0 (PG0MD1、PG0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

26. ピンファンクションコントローラ (PFC)

ビット (2n + 1)	ビット 2n	端子機能
PGnMD1	PGnMD0	
0	0	その他の機能 (n=1、2、5) (表 26.1 参照) (初期値) $\overline{ASEMD0} = 0$
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値) $\overline{ASEMD0} = 1$
	1	ポート入力 (プルアップ MOS : オフ)

(n=0~3、5)

ビット (2n + 1)	ビット 2n	端子機能
PGnMD1	PGnMD0	
0	0	その他の機能 (表 26.1 参照) (n=7)、リザーブ (n=4)
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

(n=4、7)

26. ピンファンクションコントローラ (PFC)

26.3.8 ポートHコントロールレジスタ (PHCR)

ビット:	15	14	13	12	11	10	9	8
ビット名:	PH7MD1	PH7MD0	PH6MD1	PH6MD0	PH5MD1	PH5MD0	PH4MD1	PH4MD0
初期値:	1	0	1/0	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
ビット名:	PH3MD1	PH3MD0	PH2MD1	PH2MD0	PH1MD1	PH1MD0	PH0MD1	PH0MD0
初期値:	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートHコントロールレジスタ (PHCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PHCR はパワーオンリセットで H'AAAA ($\overline{\text{ASEMD0}}=1$) または H'8AAA ($\overline{\text{ASEMD0}}=0$) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14 : PH7モード1、0 (PH7MD1、PH7MD0)
- ビット13、12 : PH6モード1、0 (PH6MD1、PH6MD0)
- ビット11、10 : PH5モード1、0 (PH5MD1、PH5MD0)
- ビット9、8 : PH4モード1、0 (PH4MD1、PH4MD0)
- ビット7、6 : PH3モード1、0 (PH3MD1、PH3MD0)
- ビット5、4 : PH2モード1、0 (PH2MD1、PH2MD0)
- ビット3、2 : PH1モード1、0 (PH1MD1、PH1MD0)
- ビット1、0 : PH0モード1、0 (PH0MD1、PH0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

26. ピンファンクションコントローラ (PFC)

ビット 15	ビット 14	端子機能
PH7MD1	PH7MD0	
0	0	その他の機能 (表 26.1 参照)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

ビット 13	ビット 12	端子機能
PH6MD1	PH6MD0	
0	0	その他の機能 (表 26.1 参照) (初期値) ASEMD0 = 0
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値) ASEMD0 = 1
	1	ポート入力 (プルアップ MOS : オフ)

ビット (2n + 1)	ビット 2n	端子機能
PHnMD1	PHnMD0	
0	0	その他の機能 (表 26.1 参照)
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

(n=0~5)

26.3.9 ポート J コントロールレジスタ (PJCR)

ビット :	15	14	13	12	11	10	9	8
ビット名 :	PJ7MD1	PJ7MD0	PJ6MD1	PJ6MD0	PJ5MD1	PJ5MD0	PJ4MD1	PJ4MD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
ビット名 :	PJ3MD1	PJ3MD0	PJ2MD1	PJ2MD0	PJ1MD1	PJ1MD0	PJ0MD1	PJ0MD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート J コントロールレジスタ (PJCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PJCR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14 : PJ7モード1、0 (PJ7MD1、PJ7MD0)

26. ピンファンクションコントローラ (PFC)

- ビット13、12 : PJ6モード1、0 (PJ6MD1、PJ6MD0)
- ビット11、10 : PJ5モード1、0 (PJ5MD1、PJ5MD0)
- ビット9、8 : PJ4モード1、0 (PJ4MD1、PJ4MD0)
- ビット7、6 : PJ3モード1、0 (PJ3MD1、PJ3MD0)
- ビット5、4 : PJ2モード1、0 (PJ2MD1、PJ2MD0)
- ビット3、2 : PJ1モード1、0 (PJ1MD1、PJ1MD0)
- ビット1、0 : PJ0モード1、0 (PJ0MD1、PJ0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能
PJnMD1	PJnMD0	
0	0	その他の機能 (表 26.1 参照) (初期値)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン)
	1	ポート入力 (プルアップ MOS : オフ)

(n=0~7)

26.3.10 ポート K コントロールレジスタ (PKCR)

ビット :	15	14	13	12	11	10	9	8
ビット名 :	PK7MD1	PK7MD0	PK6MD1	PK6MD0	PK5MD1	PK5MD0	PK4MD1	PK4MD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
ビット名 :	PK3MD1	PK3MD0	PK2MD1	PK2MD0	PK1MD1	PK1MD0	PK0MD1	PK0MD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート K コントロールレジスタ (PKCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PKCR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14 : PK7モード1、0 (PK7MD1、PK7MD0)
- ビット13、12 : PK6モード1、0 (PK6MD1、PK6MD0)
- ビット11、10 : PK5モード1、0 (PK5MD1、PK5MD0)
- ビット9、8 : PK4モード1、0 (PK4MD1、PK4MD0)

- ビット7、6 : PK3モード1、0 (PK3MD1、PK3MD0)
- ビット5、4 : PK2モード1、0 (PK2MD1、PK2MD0)
- ビット3、2 : PK1モード1、0 (PK1MD1、PK1MD0)
- ビット1、0 : PK0モード1、0 (PK0MD1、PK0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n+1)	ビット 2n	端子機能
PKnMD1	PKnMD0	
0	0	その他の機能 (表 26.1 参照) (初期値)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン)
	1	ポート入力 (プルアップ MOS : オフ)

(n=0~7)

26.3.11 ポート L コントロールレジスタ (PLCR)

ビット :	15	14	13	12	11	10	9	8
ビット名 :	PL7MD1	PL7MD0	PL6MD1	PL6MD0	PL5MD1	PL5MD0	PL4MD1	PL4MD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
ビット名 :	PL3MD1	PL3MD0	PL2MD1	PL2MD0	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R

ポート L コントロールレジスタ (PLCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PLCR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14 : PL7モード1、0 (PL7MD1、PL7MD0)
- ビット13、12 : PL6モード1、0 (PL6MD1、PL6MD0)
- ビット11、10 : PL5モード1、0 (PL5MD1、PL5MD0)
- ビット9、8 : PL4モード1、0 (PL4MD1、PL4MD0)
- ビット7、6 : PL3モード1、0 (PL3MD1、PL3MD0)
- ビット5、4 : PL2モード1、0 (PL2MD1、PL2MD0)
- ビット3~0 : 予約ビット

26. ピンファンクションコントローラ (PFC)

これらのビットは端子機能と入力を選択します。

ビット (2n + 1)	ビット 2n	端子機能	
PLnMD1	PLnMD0		
0	0	その他の機能 (表 26.1 参照)	(初期値)
	1	リザーブ	
1	*	ポート入力	

(n = 2 ~ 7)

DA0、DA1 端子を D/A コンバータ出力として使用する場合、または PTL7、PTL6 を「その他の機能」状態で使用する場合、PLCR 初期値のままにしてください。

26.3.12 ポート M コントロールレジスタ (PMCR)

ビット:	15	14	13	12	11	10	9	8
ビット名:	PM7MD1	PM7MD0	PM6MD1	PM6MD0	PM5MD1	PM5MD0	PM4MD1	PM4MD0
初期値:	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
ビット名:	PM3MD1	PM3MD0	PM2MD1	PM2MD0	PM1MD1	PM1MD0	PM0MD1	PM0MD0
初期値:	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート M コントロールレジスタ (PMCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PMCR はパワーオンリセットで H'AAAA に初期化されますが、スタンバイモード、スリープモードでは、マニュアルリセットで初期化されません。

- ビット15、14: PM7モード1、0 (PM7MD1、PM7MD0)
- ビット13、12: PM6モード1、0 (PM6MD1、PM6MD0)
- ビット11、10: PM5モード1、0 (PM5MD1、PM5MD0)
- ビット9、8: PM4モード1、0 (PM4MD1、PM4MD0)
- ビット7、6: PM3モード1、0 (PM3MD1、PM3MD0)
- ビット5、4: PM2モード1、0 (PM2MD1、PM2MD0)
- ビット3、2: PM1モード1、0 (PM1MD1、PM1MD0)
- ビット1、0: PM0モード1、0 (PM0MD1、PM0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット(2n + 1) PMnMD1	ビット 2n PMnMD0	端子機能
0	0	その他の機能(表 26.1 参照)
	1	リザーブ
1	0	ポート入力(プルアップ MOS:オン) (初期値)
	1	ポート入力(プルアップ MOS:オフ)

(n = 0 ~ 7)

26.3.13 SC ポートコントロールレジスタ (SCPCR)

ビット:	15	14	13	12	11	10	9	8
ビット名:	SCP7MD1	SCP7MD0	SCP6MD1	SCP6MD0	SCP5MD1	SCP5MD0	SCP4MD1	SCP4MD0
初期値:	1	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
ビット名:	SCP3MD1	SCP3MD0	SCP2MD1	SCP2MD0	SCP1MD1	SCP1MD0	SCP0MD1	SCP0MD0
初期値:	0	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SC ポートコントロールレジスタ (SCPCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。SCPCR の設定は SCSCR レジスタの設定で送受信動作を禁止した場合のみ有効になります。SCPCR はパワーオンリセットで H'8008 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

SCSCR の TE ビットを 1 にセットすると、「その他の機能」出力状態が TxD[2:0]端子の SCPCR 設定に優先します。

SCSCR の RE ビットを 1 にセットすると、入力状態が RxD[2:0]端子の SCPCR 設定に優先します。

- ビット15、14: SCP7モード1、0 (SCP7MD1、SCP7MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 15	ビット 14	端子機能
SCP7MD1	SCP7MD0	
0	0	その他の機能 (表 26.1 参照)
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

26. ピンファンクションコントローラ (PFC)

- ビット13、12 : SCP6モード1、0 (SCP6MD1、SCP6MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 13	ビット 12	端子機能
SCP6MD1	SCP6MD0	
0	0	その他の機能 (表 26.1 参照) (初期値)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン)
	1	ポート入力 (プルアップ MOS : オフ)

- ビット11、10 : SCP5モード1、0 (SCP5MD1、SCP5MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 11	ビット 10	端子機能
SCP5MD1	SCP5MD0	
0	0	その他の機能 (表 26.1 参照) (初期値)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン)
	1	ポート入力 (プルアップ MOS : オフ)

- ビット9、8 : SCP4モード1、0 (SCP4MD1、SCP4MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 9	ビット 8	端子機能
SCP4MD1	SCP4MD0	
0	0	送信データ出力 2 (TxD2) 受信データ入力 2 (RxD2) (初期値)
	1	汎用出力 (SCPT[4]出力端子) 受信データ入力 2 (RxD2)
1	0	SCPT[4]入力端子プルアップ (入力端子) 送信データ出力 2 (TxD2)
	1	汎用入力 (SCPT[4]入力端子) 送信データ出力 2 (TxD2)

【注】 1ビット (SCP4DT) を TxD2、RxD2 の 2 つの端子を用いてアクセスするため、SCPT[4]の同時入出力の組み合わせはありません。

ポート入力をセット(ビット SCPnMD1 を 1 にセット)すると、SCSCR の TE ビットを 1 にセットしたとき TxD2 端子は出力状態になり、TE ビットを 0 にクリアしたときハイインピーダンスになります。

26. ピンファンクションコントローラ (PFC)

- ビット7、6 : SCP3モード1、0 (SCP3MD1、SCP3MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット7	ビット6	端子機能
SCP3MD1	SCP3MD0	
0	0	その他の機能 (表 26.1 参照) (初期値)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン)
	1	ポート入力 (プルアップ MOS : オフ)

- ビット5、4 : SCP2モード1、0 (SCP2MD1、SCP2MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット5	ビット4	端子機能
SCP2MD1	SCP2MD0	
0	0	送信データ出力1 (TxD_SIO) 受信データ入力1 (RxD_SIO) (初期値)
	1	汎用出力 (SCPT[2]出力端子) 受信データ入力1 (RxD_SIO)
1	0	SCPT[2]入力端子プルアップ (入力端子) 送信データ出力1 (TxD_SIO)
	1	汎用入力 (SCPT[2]入力端子) 送信データ出力1 (TxD_SIO)

【注】 1ビット (SCP2DT) を TxD_SIO、RxD_SIO の2つの端子を用いてアクセスするため、SCPT[2]の同時入出力の組み合わせはありません。

ポート入力をセット (ビット SCPnMD1 を1にセット) すると、SCSCR の TE ビットを1にセットしたとき TxD_SiO 端子は出力状態になり、TE ビットを0にクリアしたときハイインピーダンスになります。

- ビット3、2 : SCP1モード1、0 (SCP1MD1、SCP1MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット3	ビット2	端子機能
SCP1MD1	SCP1MD0	
0	0	その他の機能 (表 26.1 参照)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

26. ピンファンクションコントローラ (PFC)

- ビット1、0 : SCP0モード1、0 (SCP0MD1、SCP0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット1	ビット0	端子機能
SCP0MD1	SCP0MD0	
0	0	送信データ出力0 (TxD0) 受信データ入力0 (RxD0) (初期値)
	1	汎用出力 (SCPT[0]出力端子) 受信データ入力0 (RxD0)
1	0	SCPT[0]入力端子プルアップ (入力端子) 送信データ出力0 (TxD0)
	1	汎用入力 (SCPT[0]入力端子) 送信データ出力0 (TxD0)

【注】 1ビット (SCP0DT) を TxD0、RxD0 の2つの端子を用いてアクセスするため、SCPT[0]の同時入出力の組み合わせはありません。

ポート入力をセット(ビット SCPnMD1 を1にセット)すると、SCSCR の TE ビットを1にセットしたとき TxD0 端子は出力状態になり、TE ビットを0にクリアしたときハイインピーダンスになります。

27. I/O ポート

27.1 概要

本 LSI には 13 本の 8 ビットポート(ポート A~H、J~M および SC)があります。それぞれのポートの端子は、すべて、ほかの端子機能(ピンファンクションコントローラ(PFC)で端子機能とプルアップ MOS 制御の選択を行います)を兼ねているマルチプレクス端子です。ポートは、それぞれ、端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

27.2 レジスタ構成

表 27.1 にピンファンクションコントローラのレジスタを示します。

表 27.1 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ	PADR	R/W	H'00	H'04000120 (H'A4000120)* ¹	8
ポート B データレジスタ	PBDR	R/W	H'00	H'04000122 (H'A4000122)* ¹	8
ポート C データレジスタ	PCDR	R/W	H'00	H'04000124 (H'A4000124)* ¹	8
ポート D データレジスタ	PDDR	R/W または R	B'0*0*0000	H'04000126 (H'A4000126)* ¹	8
ポート E データレジスタ	PEDR	R/W	H'00	H'04000128 (H'A4000128)* ¹	8
ポート F データレジスタ	PFDR	R	H'***	H'0400012A (H'A400012A)* ¹	8
ポート G データレジスタ	PGDR	R	H'***	H'0400012C (H'A400012C)* ¹	8
ポート H データレジスタ	PHDR	R/W または R	B'0*****	H'0400012E (H'A400012E)* ¹	8
ポート J データレジスタ	PJDR	R/W	H'00	H'04000130 (H'A4000130)* ¹	8
ポート K データレジスタ	PKDR	R/W	H'00	H'04000132 (H'A4000132)* ¹	8
ポート L データレジスタ	PLDR	R	H'***	H'04000134 (H'A4000134)* ¹	8

27. I/O ポート

名称	略称	R/W	初期値	アドレス	アクセスサイズ
SC ポートデータレジスタ	SCPDR	R/W または R	B*0000000	H'04000136 (H'A4000136)* ¹	8
ポート M データレジスタ	PMDR	R	B*0000000	H'04000138 (H'A4000138)* ¹	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* 値なし

*1 MMU によるアドレス変換の対象としない場合は、()内のアドレスを使用してください。

27.3 ポート A～C、E、J、K

各端子には入力プルアップ MOS があり、PFC のポート A～C、E、J、K コントロールレジスタで制御します。

27.3.1 ポート A～C、E、J、K データレジスタ (PADR、PBDR、PCDR、PEDR、PJDR、PKDR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	Px7DT	Px6DT	Px5DT	Px4DT	Px3DT	Px2DT	Px1DT	Px0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A～C、E、J、K データレジスタ (PADR、PBDR、PCDR、PEDR、PJDR、PKDR) は、読み出し/書き込み可能な 8 ビットのレジスタで、端子 PTx7～PTx0 のデータを格納します。Px7DT～Px0DT ビットは PTx7～PTx0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PADR、PBDR、PCDR、PEDR、PJDR、PKDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 27.2 に PADR、PBDR、PCDR、PEDR、PJDR、PKDR の機能を示します。

PADR、PBDR、PCDR、PEDR、PJDR、PKDR はパワーオンリセットで H'00 に初期化されます。 $\overline{\text{ASEMD0}}=1$ のとき、PCDR、PEDR は、H'00 に初期化された後、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として対応する端子レベルが読み込まれます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

表 27.2 ポート A~C、E、J、K データレジスタの読み出し / 書き込み動作

PXnMD1	PXnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	PXDR の値	PxDR に書き込めるが、端子の状態に影響しない
	1	出力	PXDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PxDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PxDR に書き込めるが、端子の状態に影響しない

(n=0~7)

(x=A~C、E、J、K)

27.4 ポート D

各端子には入力プルアップ MOS があり、PFC のポート D コントロールレジスタ (PDCR) で制御します。

27.4.1 ポート D データレジスタ (PDDR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値:	0	*	0	*	0	0	0	0
R/W:	R/W	R	R/W	R	R/W	R/W	R/W	R/W

【注】 * 値なし

ポート D データレジスタ (PDDR) は、読み出し / 書き込み可能な 6 ビット、および読み出し可能な 2 ビットのレジスタで、端子 PTD7 ~ PTD0 のデータを格納します。PD7DT ~ PD0DT ビットは PTD7 ~ PTD0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PDDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されず。表 27.3 に PDDR の機能を示します。

PDDR はパワーオンリセットで B'0*0*0000 に初期化された後、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として対応する端子レベルが読み込まれます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

表 27.3 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

PDnMD1	PDnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない
	1	出力	PDDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない

(n=0~3、5、7)

27. I/O ポート

PDnMD1	PDnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	H'00	無視 (端子状態に影響しない)
	1	リザーブ*	—	—
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子状態に影響しない)

【注】 * リザーブに設定した場合の動作は保証しません。 (n=4, 6)

27.5 ポート F、M

各端子には入力プルアップ MOS があり、PFC のポート F、M コントロールレジスタ (PFDR、PMDR) で制御します。

27.5.1 ポート F、M データレジスタ (PFDR、PMDR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	Px7DT	Px6DT	Px5DT	Px4DT	Px3DT	Px2DT	Px1DT	Px0DT
初期値:	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R

【注】 * 値なし

ポート F、M データレジスタ (PFDR、PMDR) は、読み出し可能な 8 ビットのレジスタで、端子 PTx7 ~ PTx0 のデータを格納します。Px7DT ~ Px0DT ビットは PTx7 ~ PTx0 端子に対応しています。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 27.4 に PFDR、PMDR の機能を示します。

PFDR、PMDR はパワーオンリセットで初期化された後、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として、対応する端子レベルが読み込まれます。

表 27.4 ポート F、M データレジスタ (PFDR、PMDR) の読み出し / 書き込み動作

PXnMD1	PXnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	H'00	無視 (端子の状態に影響しない)
	1	リザーブ*	—	—
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子の状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子の状態に影響しない)

【注】 * リザーブに設定した場合の動作は、保証しません。 (n=0~7)

(x=F, M)

27.6 ポート G

各端子には入力プルアップ MOS があり、PFC のポート G コントロールレジスタ (PGCR) で制御します。

27.6.1 ポート G データレジスタ (PGDR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	PG7DT	-	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT
初期値:	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R

【注】 * 値なし

ポート G データレジスタ (PGDR) は、読み出し可能な 8 ビットのレジスタで、端子 PTG7、PTG5 ~ PTG0 のデータを格納します。PG7DT、PG5DT ~ PG0DT ビットは PTG7、PTG5 ~ PTG0 端子に対応しています。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 27.5 に PGDR の機能を示します。

$\overline{\text{ASEMD0}}=1$ の場合、PGDR はパワーオンリセットで初期化された後、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として対応する端子レベルが読み込まれます。

表 27.5 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作

PGnMD1	PGnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	H'00	無視 (端子の状態に影響しない)
	1	リザーブ*	—	—
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子の状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子の状態に影響しない)

【注】 * リザーブに設定した場合の動作は保証しません。

(n=0~5, 7)

27.7 ポート H

各端子には入力プルアップ MOS があり、PFC のポート H コントロールレジスタ (PHCR) で制御します。

27.7.1 ポート H データレジスタ (PHDR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT
初期値:	0	*	*	*	*	*	*	*
R/W:	R/W	R	R	R	R	R	R	R

【注】 * 値なし

ポート H データレジスタ (PHDR) は、読み出し / 書き込み可能な 1 ビット、および読み出し可能な 7 ビットのレジスタで、端子 PTH7 ~ PTH0 のデータを格納します。PH7DT ~ PH0DT ビットは PTH7 ~ PTH0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PHDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 27.6 に PHDR の機能を示します。

$\overline{\text{ASEMD0}}=1$ の場合、PHDR はパワーオンリセットで B'0***** に初期化された後と、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として対応する端子レベルが読み込まれます。

スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

表 27.6 ポート H データレジスタ (PHDR) の読み出し / 書き込み動作

PHnMD1	PHnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない
	1	出力	PHDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない

(n = 7)

PHnMD1	PHnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	H'00	無視 (端子の状態に影響しない)
	1	リザーブ*	—	—
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子状態に影響しない)

【注】 * リザーブに設定した場合の動作は保証しません。

(n = 0 ~ 6)

27.8 ポート L

27.8.1 ポート L データレジスタ (PLDR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	PL7DT	PL6DT	PL5DT	PL4DT	PL3DT	PL2DT	-	-
初期値:	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R

【注】 * 値なし

ポート L データレジスタ (PLDR) は、読み出し可能な 8 ビットのレジスタで、端子 PTL7 ~ PTL2 のデータを格納します。PL7DT ~ PL2DT ビットは PTL7 ~ PTL2 端子に対応しています。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 27.7 に PLDR の機能を示します。

PLDR はパワーオンリセットで初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

表 27.7 ポート L データレジスタ (PLDR) の読み出し / 書き込み動作

PLnMD1	PLnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	H'00	無視 (端子の状態に影響しない)
	1	リザーブ* ¹	—	—
1	*	入力	端子の状態	無視 (端子の状態に影響しない)

【注】 * 値なし

(n=2~7)

*¹ リザーブに設定した場合の動作は保証しません。

27.9 SC ポート

各端子には入力プルアップ MOS があり、PFC の SC ポートコントロールレジスタ (SCPCR) で制御します。

27.9.1 ポート SC データレジスタ (SCPDR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	SCP7DT	SCP6DT	SCP5DT	SCP4DT	SCP3DT	SCP2DT	SCP1DT	SCP0DT
初期値:	*	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 値なし

ポート SC データレジスタ (SCPDR) は、読み出し / 書き込み可能な 7 ビット、および読み出し可能な 1 ビットのレジスタで、端子 SCPT7 ~ SCPT0 のデータを格納します。SCP7DT ~ SCP0DT ビットは SCPT7 ~ SCPT0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する SCPDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 27.8 に SCPDR の機能を示します。

SCPDR はパワーオンリセットで B' * 0000000 に初期化されます。SCP7DT ~ SCP5DT、SCP3DT、SCP1DT ビットは、初期化されたあと、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として、対応する端子レベルが読み込まれます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

汎用入力以外でビット 7 を読み出すとローレベルが読み出されるので注意してください。

SCSCR の TE ビットまたは RE ビットを 0 にクリアしないで SCPDR の SCP4DT、SCP2DT、SCP0DT ビットの RxD2 ~ 0 端子状態を読み出すとき、SCSCR の RE ビットを 1 にセットしてください。RE ビットを 1 にセットすると、RxD 端子は入力となり、SCPCR 設定に優先し、端子状態を読み出すことができます。

表 27.8 SC ポートデータレジスタ (SCPDR) の読み出し / 書き込み動作

SCPnMD1	SCPnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	SCPDR の値	SCPDR に書き込めるが、端子の状態に影響しない
	1	出力	SCPDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	SCPDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	SCPDR に書き込めるが、端子の状態に影響しない

(n = 0 ~ 6)

SCPnMD1	SCPnMD0	端子状態	読み出し	書き込み
0	0	その他の機能	H'00	無視 (端子の状態に影響しない)
	1	リザーブ*	—	—
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子状態に影響しない)

【注】 * リザーブに設定した場合の動作は保証しません。

(n = 7)

28. A/D 変換器

28.1 概要

本 LSI は 10 ビット精度の逐次比較方式 A/D コンバータを内蔵しています。最大 6 チャンネルのアナログ入力を選択することができます。

28.1.1 特長

A/D 変換器の特長を以下に示します。

- 10ビット分解能
- 入力チャンネル：6チャンネル
- 高速変換
最小変換時間：1チャンネルあたり15 μ s (33MHz周辺クロック時)
- 3種類の変換モード
 - シングルモード：1チャンネルのA/D変換
 - マルチモード：1~4チャンネルのA/D変換
 - スキャンモード：1~4チャンネルの連続A/D変換
- 4本のデータレジスタ
変換結果を、各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能
- 外部トリガによるA/D変換が可能
- A/D変換終了割り込み発生
A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能

28.1.2 ブロック図

A/D変換器のブロック図を図28.1に示します。

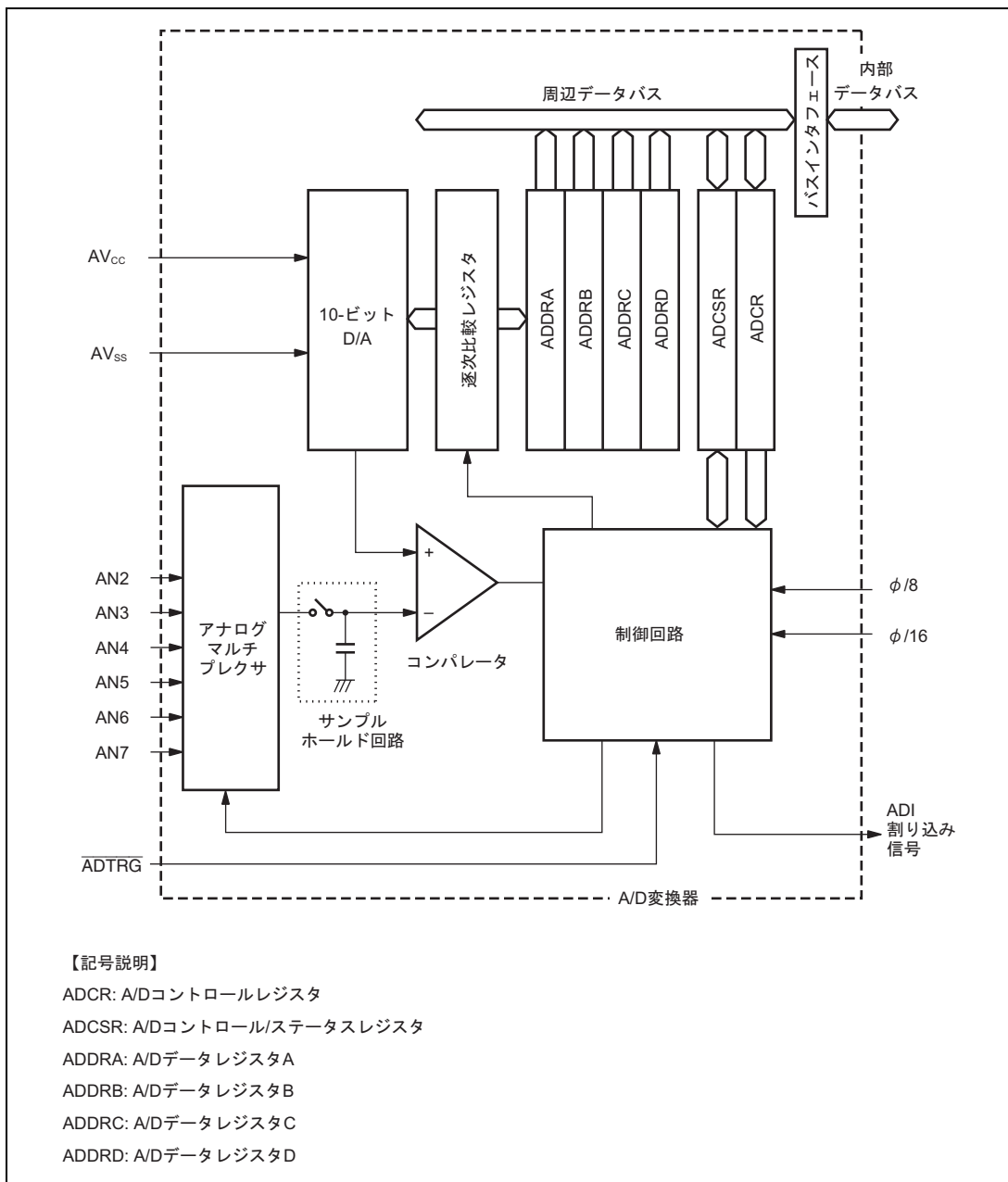


図 28.1 A/D変換器のブロック図

28.1.3 端子構成

A/D 変換器で使用する入力端子を表 28.1 に示します。

6 本のアナログ入力端子はグループ 0 (AN2、3) およびグループ 1 (AN4 ~ AN7) の 2 つのグループに分かれています。

AV_{CC}、AV_{SS} 端子は、A/D 変換器内部のアナログ部の電源です。AV_{CC} 端子は、A/D 変換基準電圧です。

表 28.1 端子構成

端子名	略称	入出力	機能
アナログ電源	AV _{CC}	入力	アナログ部の電源および A/D 変換の基準電圧
アナロググランド	AV _{SS}	入力	アナログ部のグランド
アナログ入力 2	AN2	入力	グループ 0 アナログ入力
アナログ入力 3	AN3	入力	グループ 0 アナログ入力
アナログ入力 4	AN4	入力	グループ 1 アナログ入力
アナログ入力 5	AN5	入力	グループ 1 アナログ入力
アナログ入力 6	AN6	入力	グループ 1 アナログ入力
アナログ入力 7	AN7	入力	グループ 1 アナログ入力
A/D 外部トリガ入力	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ

28.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 28.2 に示します。

表 28.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ AH	ADDRAH	R	H'00	H'04000080 (H'A4000080)* ²	16、8
A/D データレジスタ AL	ADDRAL	R	H'00	H'04000082 (H'A4000082)* ²	8
A/D データレジスタ BH	ADDRBH	R	H'00	H'04000084 (H'A4000084)* ²	16、8
A/D データレジスタ BL	ADDRBL	R	H'00	H'04000086 (H'A4000086)* ²	8
A/D データレジスタ CH	ADDRCH	R	H'00	H'04000088 (H'A4000088)* ²	16、8
A/D データレジスタ CL	ADDRCL	R	H'00	H'0400008A (H'A400008A)* ²	8
A/D データレジスタ DH	ADDRDH	R	H'00	H'0400008C (H'A400008C)* ²	16、8
A/D データレジスタ DL	ADDRDL	R	H'00	H'0400008E (H'A400008E)* ²	8
A/D コントロール/ステータスレジスタ	ADCSR	R/(W)* ¹	H'00	H'04000090 (H'A4000090)* ²	8
A/D コントロールレジスタ	ADCR	R/W	H'07	H'04000092 (H'A4000092)* ²	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタにアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

*1 ビット 7 は、フラグをクリアするための 0 書き込みのみ可能です。

*2 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

28.2 レジスタの説明

28.2.1 A/D データレジスタ A～D (ADDRA～ADDRD)

上位レジスタ：H

ビット：	7	6	5	4	3	2	1	0
ビット名：	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

下位レジスタ：L

ビット：	7	6	5	4	3	2	1	0
ビット名：	AD1	AD0	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA～ADDRD の 4 本があり、上位レジスタ H と下位レジスタ L に分かれています。A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位レジスタ H (ビット 7～0) に、また下位 2 ビットが下位レジスタ L (ビット 7、6) に転送され保持されます。下位レジスタ L のビット 5～0 は読み出すと常に 0 が読み出されます。

アナログ入力チャンネルと ADDR の対応を表 28.3 に示します。

ADDR は、リセットおよびスタンバイモードで H'0000 に初期化されます。

表 28.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
予約	AN4	ADDRA
予約	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

28.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	ADF	ADIE	ADST	MULTI	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグに 0 を書き込んでクリアしてください。

ADCSR は、8 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換の動作制御、およびステータスの表示を行います。

ADCSR は、リセットおよびスタンバイモードで H'00 に初期化されます。

- ビット7: A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) (1) ADF=1 の状態で、ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき (2) ADI 割り込みにより DMAC が起動され、ADDR を読み出したとき
1	[セット条件] シングルモード: A/D 変換が終了したとき マルチモード、スキャンモード: 指定したすべてのチャネルを一巡して変換したとき

- ビット6: A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。

ビット6	説明
ADIE	
0	A/D 変換の終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換の終了による割り込み (ADI) 要求を許可

- ビット5：A/Dスタート（ADST）

A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。

ADST ビットは A/D 外部トリガ入力端子（ $\overline{\text{ADTRG}}$ ）によっても 1 にセットすることができます。

ビット 5	説 明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード：A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) マルチモード：A/D 変換を開始。指定したすべてのチャンネルを一巡して変換が終了すると自動的に 0 にクリア (3) スキャンモード：A/D 変換を開始。ソフトウェア、リセットまたはスタンバイモードへの遷移により 0 にクリアされるまで連続変換。

- ビット4：マルチモード（MULTI）

シングルモード、マルチモード、またはスキャンモードを選択します。これらのモードについての詳細は、「28.4 動作説明」を参照してください。

ビット 4	ADCR のビット 5	説 明
MULTI	SCN	
0	0	シングルモード (初期値)
	1	
1	0	マルチモード
	1	スキャンモード

- ビット3：クロックセレクト（CKS）

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST ビットを 0 にクリアしたあとに行ってください。

ビット 3	説 明
CKS	
0	変換時間 = 536 ステート (最大値) (初期値)
1	変換時間 = 266 ステート (最大値) *

【注】 * A/D 変換時間が 16 μ s (min) になるように CKS の値を設定してください。

28. A/D 変換器

- 2~0 : チャネルセレクト2~0 (CH2~CH0)

MULTI ビットとともにアナログ入力チャンネルを選択します。

入力チャンネルの設定は、ADST ビットを 0 にクリアした後に行ってください。

ビット 2	ビット 1	ビット 0	説 明	
CH2	CH1	CH0	シングルモード (MULTI=0)	マルチモードおよび スキャンモード (MULTI=1)
0	0	0	予約	予約
		1	予約	予約
	1	0	AN2	AN2
		1	AN3	AN2、AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6	AN4~AN6
		1	AN7	AN4~AN7

28.2.3 A/D コントロールレジスタ (ADCR)

ビット :	7	6	5	4	3	2	1	0
ビット名 :	TRGE1	TRGE0	SCN	RESVD1	RESVD2	—	—	—
初期値 :	0	0	0	0	0	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R

ADCR は、8 ビットの読み出し / 書き込み可能なレジスタで、外部トリガ入力による A/D 変換開始の許可または禁止を選択します。ADCR は、リセットまたはスタンバイモード時に H'07 に初期化されます。

- ビット7、6 : トリガイネーブル (TRGE1、TRGE0)

外部トリガ入力による A/D 変換の許可または禁止を選択します。

ビット 7	ビット 6	説 明
TRGE1	TRGE0	
0	0	外部トリガ入力による A/D 変換の開始を禁止 (初期値)
	1	
1	0	A/D 変換トリガ入力端子 (\overline{ADTRG}) の立ち下がりがエッジで A/D 変換を開始
	1	

- ビット5：スキャンモード（SCN）

MULTI ビットが1のとき、マルチモードまたはスキャンモードを選択します。「28.2.2 A/D コントロール/ステータスレジスタ（ADCSR）ビット4」を参照してください。

- ビット4、3：予約ビット（RESVD1、RESVD2）

書き込む値は常に0にしてください。

- ビット2～0：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

28.3 バスマスタとのインタフェース

ADDRA～ADDRD は16ビットのレジスタですが、バスマスタとは16ビットの周辺データバスの上位8ビットによって接続されています。したがって、上位バイトはバスマスタにより直接アクセスできますが、下位バイトは8ビットのテンポラリレジスタ（TEMP）を介して読み出します。

A/D データレジスタは次のように読み出します。上位バイトを読み出したとき、上位バイトの値は直接バスマスタに転送され、下位バイトの値はTEMPに転送されます。次に下位バイトを読み出したときに、TEMPの内容がバスマスタに転送されます。

A/D データレジスタを読み出すときは、常に上位バイトを下位バイトより前に読み出してください。上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容は保証されませんので、ご注意ください。

図28.2にA/Dデータレジスタにアクセスする場合のデータの流れを示します。

「28.7.3 アクセスサイズと読み出しデータ」を参照してください。

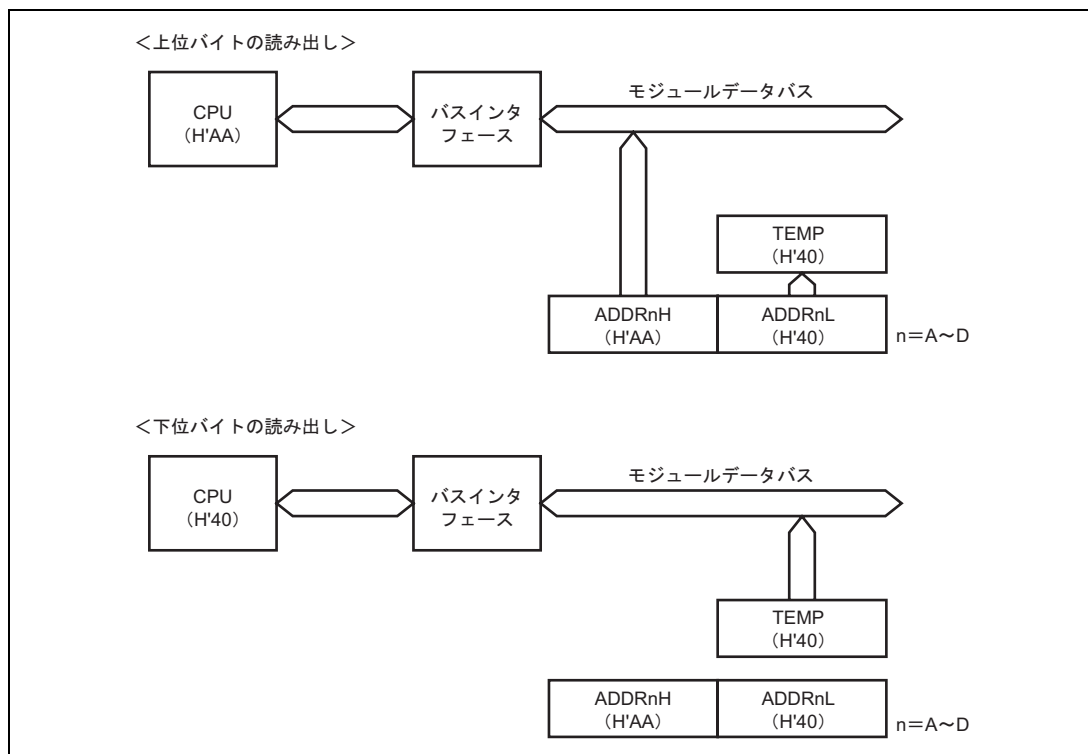


図 28.2 ADDR のアクセス動作 (H'AA40) 読み出し時

28.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。シングルモードとマルチモードおよびスキャンモードの各モードの動作についての説明をします。

28.4.1 シングルモード (MULTI=0)

シングルモードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

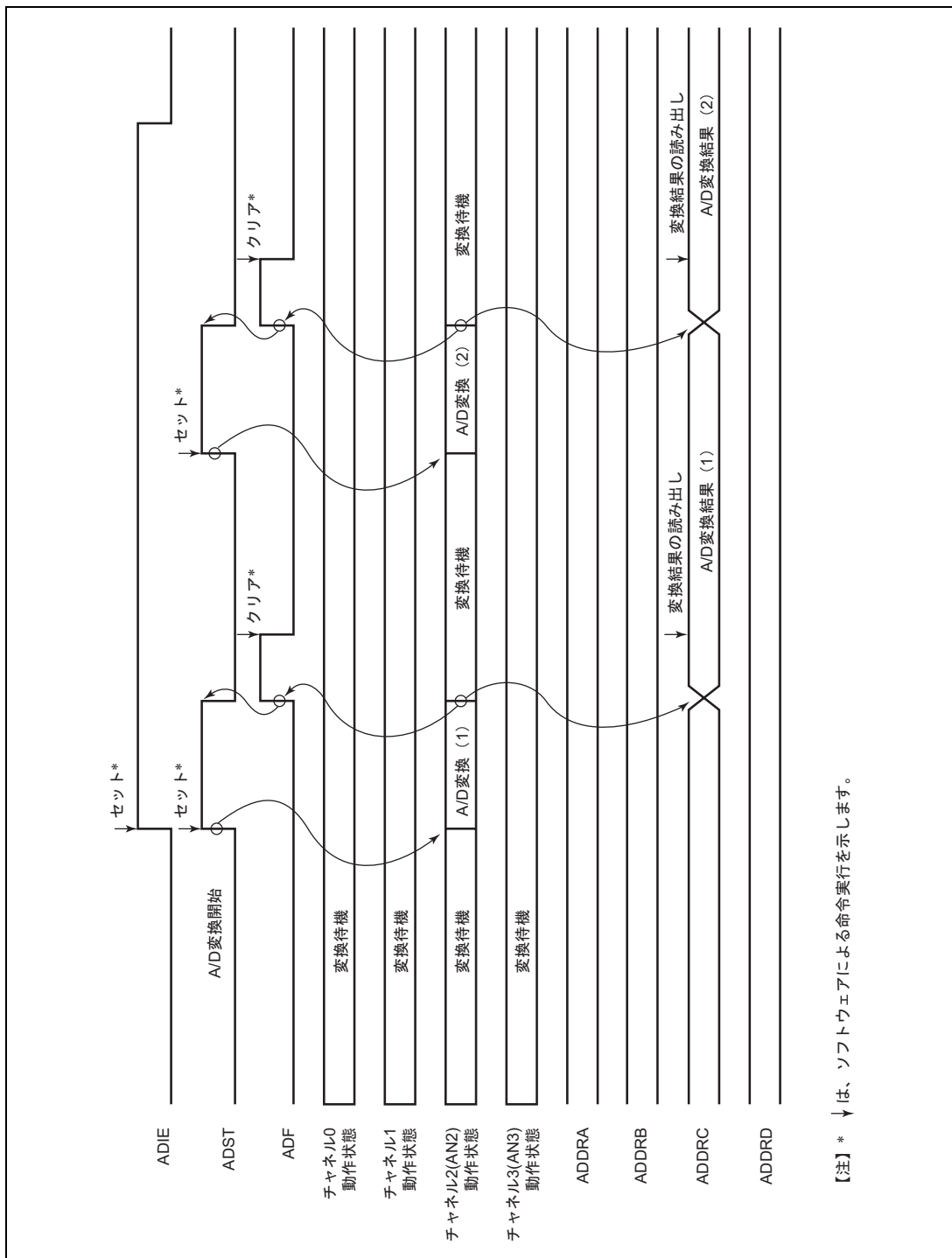
ADF ビットは、ADF=1 を読み出した後、ADF ビットに 0 を書き込むとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

シングルモードでチャンネル 1 (AN2) が選択された場合の動作例を以下に示します。また、このときの動作タイ

ミングを図 28.3 に示します（動作例におけるビット指定は ADCSR レジスタです）。

1. 動作モードをシングルモードに（MULTI=0）、入力チャンネルをAN2に（CH2=CH0=0、CH1=1）、A/D割り込み要求許可（ADIE=1）に設定して、A/D変換を開始（ADST=1）します。
2. A/D変換が終了すると、A/D変換結果がADDRCに転送されます。同時に、ADF=1、ADST=0となり、A/D変換器は変換待機となります。
3. ADF=1、ADIE=1となっているため、ADI割り込み要求が発生します。
4. A/D割り込み処理ルーチンが開始されます。
5. ADF=1を読み出した後、ADFに0を書き込みます。
6. A/D変換結果（ADDRC=0）を読み出して、処理します。
7. A/D割り込み処理ルーチンの実行を終了します。このあと、ADSTビットを1にセットするとA/D変換が開始され2~7を行います。



【注】 * ↓は、ソフトウェアによる命令実行を示します。

図 28.3 A/D 変換器の動作例 (シングルモード チャンネル 2 選択時)

28.4.2 マルチモード (MULTI = 1、SCN = 0)

マルチモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を各々1回順次変換します。A/D変換はソフトウェアまたは外部トリガ入力によってA/Dコントロール/ステータスレジスタ(ADCSR)のADSTビットが1にセットされると、グループの第1チャンネル(CH2=0のときAN2、CH2=1のときAN4)から開始されます。

複数のチャンネルが選択されている場合は、第1チャンネルAN2またはAN4の変換が終了した後、直ちに第2チャンネル(AN3またはAN5)の変換に移り、最終的に指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると(モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます)、第1チャンネルが選択され、再びA/D変換を開始します。

マルチモードでグループ1の3チャンネル(AN4~AN6)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図28.4に示します。

1. 動作モードをマルチモードに(MULTI=1)、チャンネルグループ1を選択(CH2=1)し、アナログ入力チャンネルをAN4~AN6(CH1=1、CH0=0)に設定してA/D変換を開始(ADST=1)します。
2. 第1チャンネル(AN4)のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR4に転送します。
次に第2チャンネル(AN5)が自動的に選択され、変換を開始します。
3. 同様に第3チャンネル(AN6)まで変換を行います。
4. 選択されたすべてのチャンネル(AN4~AN6)の変換が終了すると、ADF=1となり、ADSTビットを0にして変換を終了します。

このときADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。

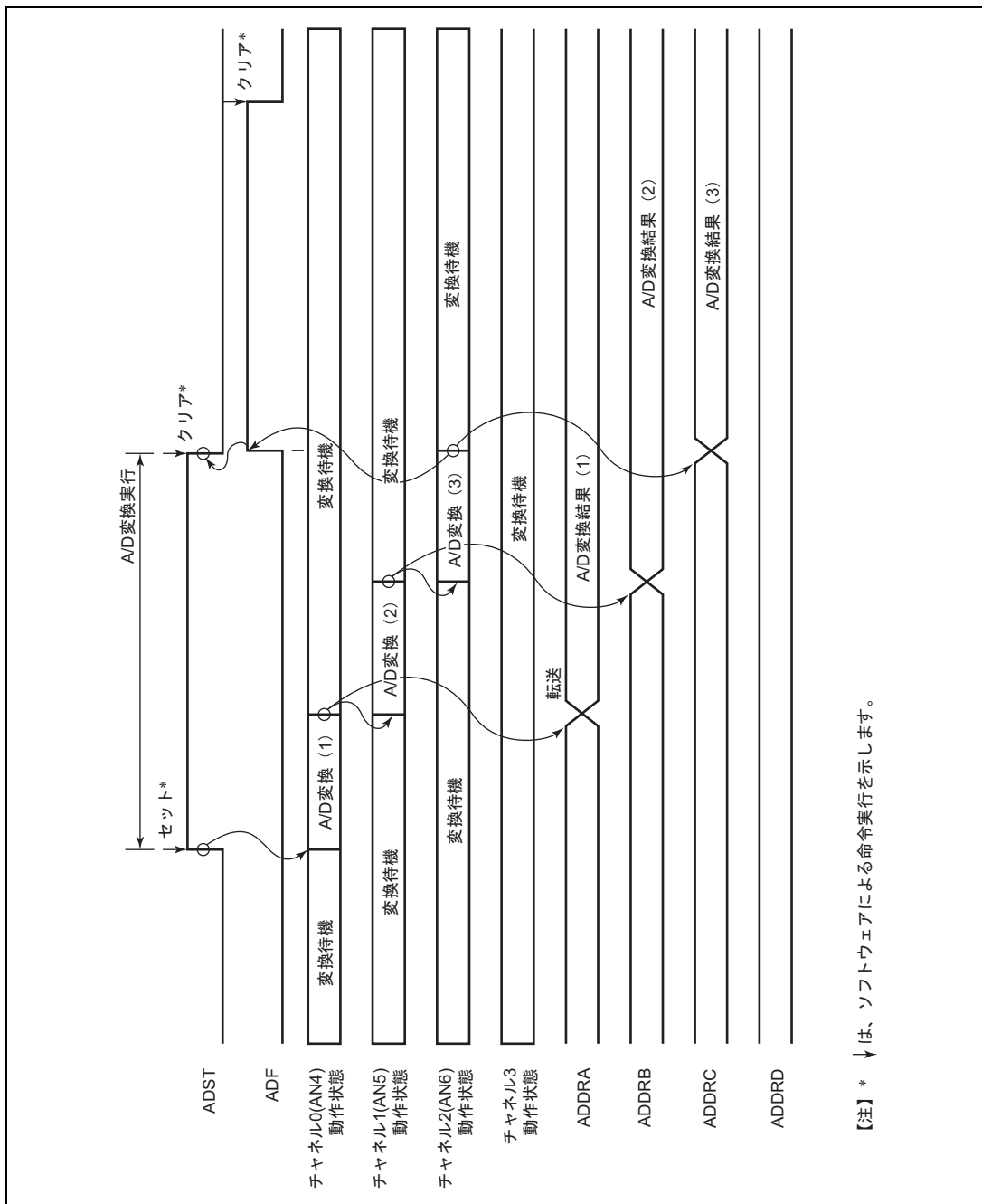


図 28.4 A/D 変換器の動作例 (マルチモード AN4 ~ AN6 の 3 チャンネル選択時)

28.4.3 スキャンモード (MULTI = 1、SCN = 1)

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニタするようなシステムに適します。A/D 変換はソフトウェアまたは外部トリガ入力によって A/D コントロール/ステータスレジスタ(ADCSR)の ADST ビットが 1 にセットされると、グループの第 1 チャンネル(CH2=0 のとき AN2、CH2=1 のとき AN4) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN3 または AN5) の変換に移ります。最終的に ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し変換します。

変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードでグループ 1 の 3 チャンネル (AN4 ~ AN6) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 28.5 に示します。

1. 動作モードをスキャンモードに (MULTI = 1、SCN = 1)、チャンネルグループ 1 を選択 (CH2 = 1) し、アナログ入力チャンネルを AN4 ~ AN6 (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
2. 第 1 チャンネル (AN4) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR4 に転送します。
次に第 2 チャンネル (AN5) が自動的に選択され、変換を開始します。
3. 同様に第 3 チャンネル (AN6) まで変換を行います。
4. 選択されたすべてのチャンネル (AN4 ~ AN6) の変換が終了すると、ADF = 1 となり、再び、第 1 チャンネル (AN4) を選択し、連続して変更が行われます。
このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。
5. ADST ビットが 1 にセットされている間は、2 ~ 4 を繰り返します。ADST ビットを 0 にクリアすると、A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN4) から変換が行われます。

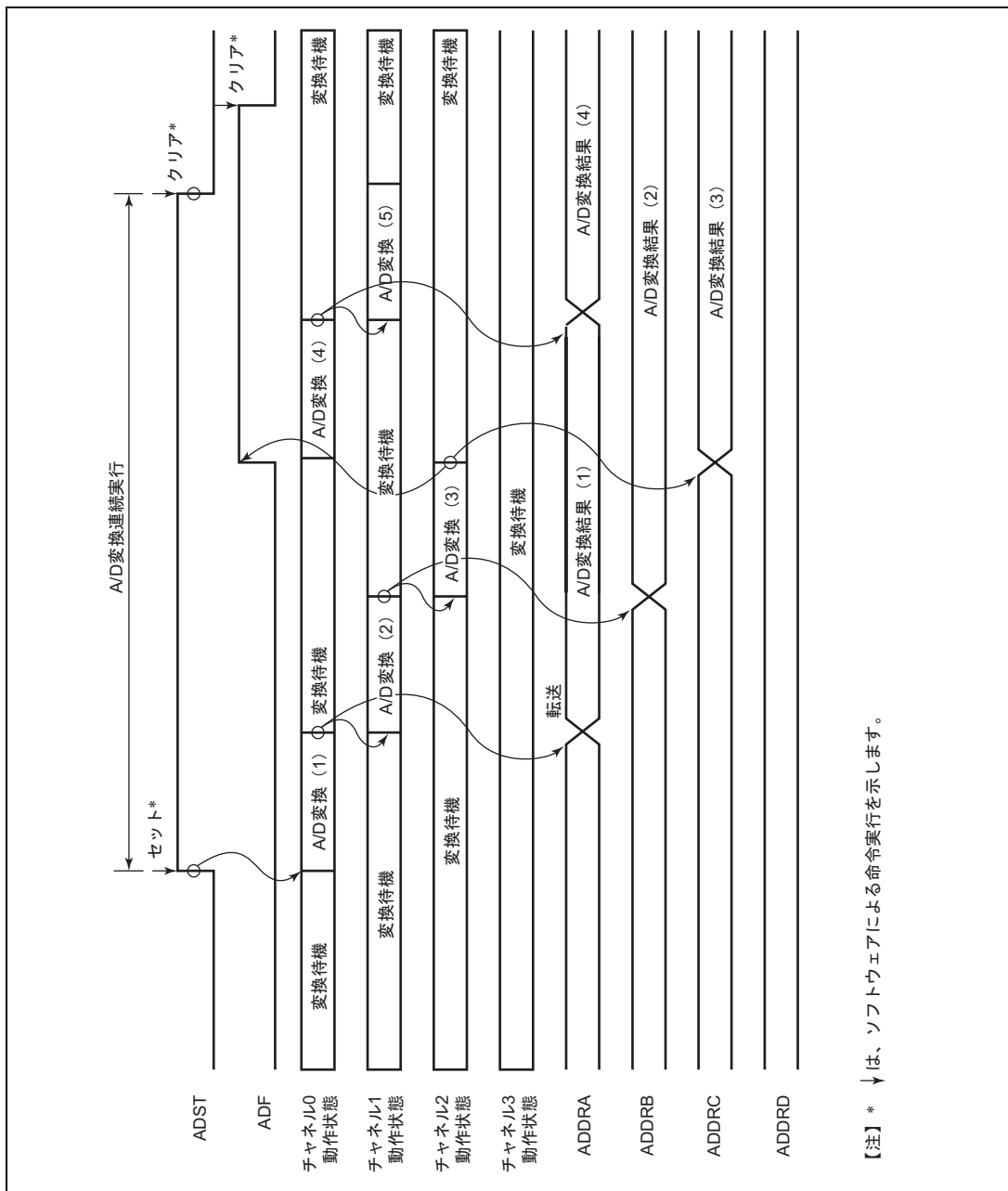


図 28.5 A/D 変換器の動作例 (スキャンモード AN4 ~ AN6 の 3 チャンネル選択時)

28.4.4 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 28.6 に示します。また、A/D 変換時間を表 28.4 に示します。

A/D 変換時間は、図 28.6 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR への書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 28.4 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 28.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS = 0 の場合は 536 ステート (固定)、CKS = 1 の場合は 266 ステート (固定) となります。

いずれの場合も変換時間は、「第 32 章 電気的特性」の表 32.16 に示す範囲となるように $P\phi$ の周波数に応じて ADCSR の CKS ビットを設定してください。

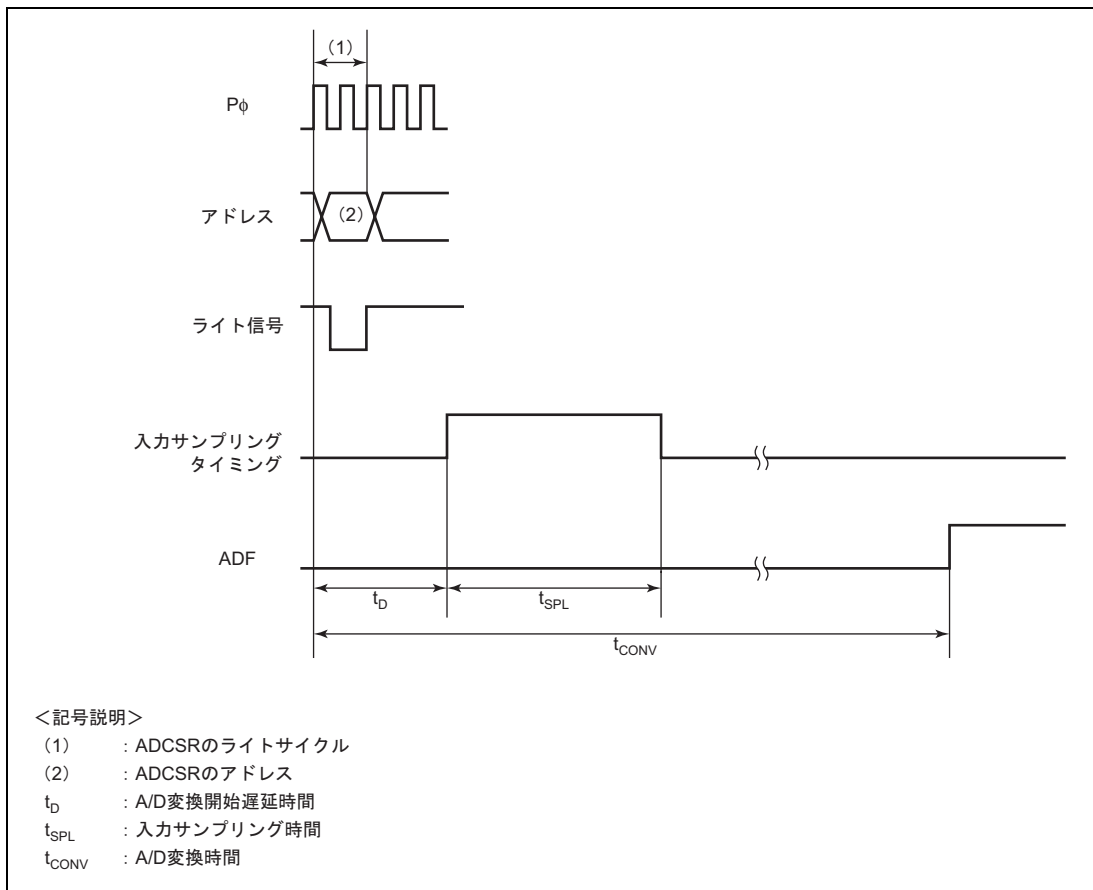


図 28.6 A/D 変換タイミング

表 28.4 A/D 変換時間 (シングルモード)

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	17		28	10		17
入力サンプリング時間	t_{SPL}		129			65	
A/D 変換時間	t_{CONV}	514		525	259		266

【注】 表中の数値の単位はステート (t_{cyc}) です。

28.4.5 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、A/D コントロールレジスタ (ADCR) の TRGE1、0 ビットがともに 1 にセットされているとき、 \overline{ADTRG} 端子から入力されます。

\overline{ADTRG} 入力端子の立ち下がりがエッジにより、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、変換のモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 28.7 に示します。

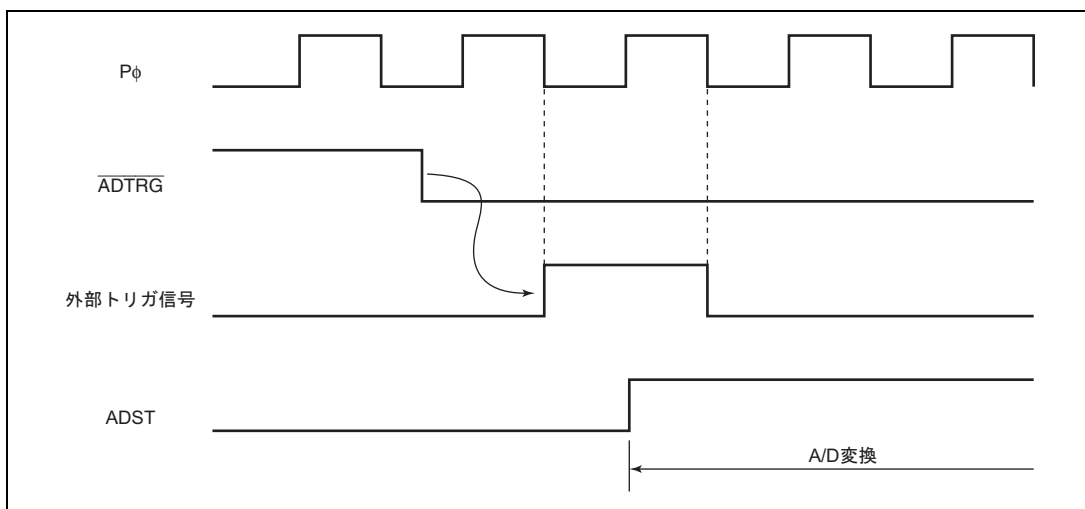


図 28.7 外部トリガ入力タイミング

28.5 割り込み要求

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。

ADI 割り込み要求は、ADCSR の ADIE ビットで許可または禁止することができます。

28.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 28.8 に沿って、上記 1. ~ 4. の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの中速 A/D 変換器を 3 ビットの中速 A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値 (ゼロ電圧) 000000000 (図では 000) から 000000001 (図では 001) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 28.8 (1)) です。フルスケール誤差とはデジタル出力値が 111111110 (図では 110) から最大値 (フルスケール電圧) 111111111 (図では 111) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 28.8 (2)) です。量子化誤差とは、A/D 変換器が本質的に持つ誤差であり、1/2LSB で表されます (図 28.8 (3))。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 28.8 (4)) です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

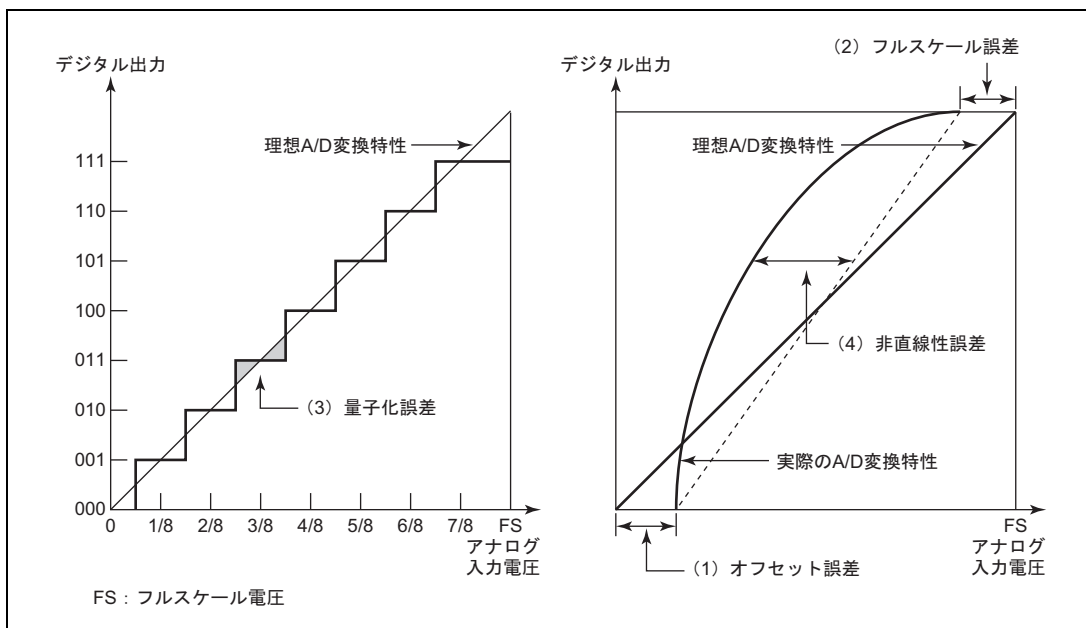


図 28.8 A/D 変換精度の定義

28.7 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

28.7.1 アナログ電圧の設定

1. アナログ入力電圧の範囲

A/D変換中、アナログ入力端子ANnに印加する電圧は AV_{SS} 、ANn、 AV_{CC} の範囲としてください。(n=2~7)

2. AV_{CC} 、 AV_{SS} 入力電圧

AV_{CC} 、 AV_{SS} 入力電圧は、「第32章 電気的特性」に定められた値としてください。

28.7.2 アナログ入力端子の取り扱い

アナログ入力端子 (AN2~AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 28.9 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える RC フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

表 28.5 にアナログ入力端子の規格を、図 28.10 にアナログ入力端子の等価回路を示します。

28.7.3 アクセスサイズと読み出しデータ

表 28.6 にアクセスサイズと読み出しデータの関係を示します。アクセスサイズ、バス幅、エンディアンの違いにより得られる読み出しデータにご注意ください。

ここでは、アナログ入力として AV_{CC} を入力した場合に得られる H'3FF の場合を示します。FF は変換結果の上位 8 ビット、C0 は下位 2 ビットを含むデータとなります。

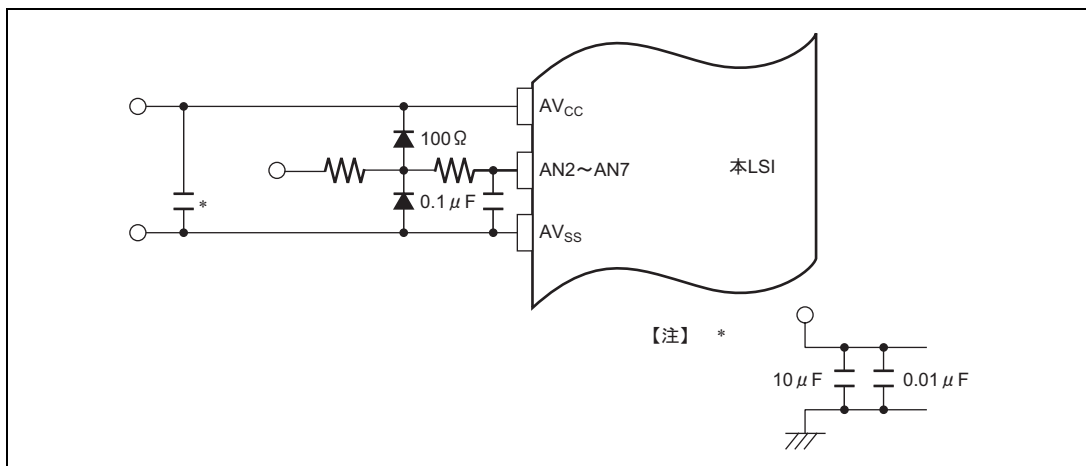


図 28.9 アナログ入力端子の保護回路例

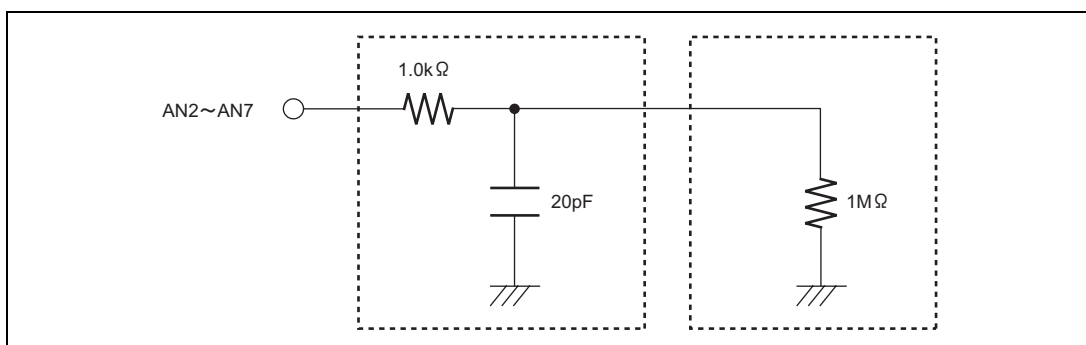


図 28.10 アナログ入力端子の等価回路

表 28.5 アナログ入力端子の規格

項目	min	max	単位
アナログ入力容量		20	pF
許容信号源インピーダンス		5	k

表 28.6 アクセスサイズと読み出しデータの関係

アクセス サイズ	コマンド	バス幅					
		32 ビット (D31-D0)		16 ビット (D15-D0)		8 ビット (D7-D0)	
		エンディアン					
		big	little	big	little	big	little
バイト アクセス	MOV.L #ADDRAH, R9						
	MOV.B @R9, R8	FFFFFFFF	FFFFFFFF	FFFF	FFFF	FF	FF
	MOV.L #ADDRAL, R9						
	MOV.B @R9, R8	C0C0C0C0	C0C0C0C0	C0C0	C0C0	C0	C0
ワード アクセス	MOV.L #ADDRAH, R9						
	MOV.W @R9, R8	FFxxFFxx	FFxxFFxx	FFxx	FFxx	FF xx	xx FF
	MOV.L #ADDRAL, R9						
	MOV.W @R9, R8	C0xxC0xx	C0xxC0xx	C0xx	C0xx	C0 xx	xx C0
ロング ワード アクセス	MOV.L #ADDRAH, R9						
	MOV.L @R9, R8	FFxxC0xx	FFxxC0xx	FFxx C0xx	C0xx FFxx	FF xx C0 xx	xx C0 xx FF

ここで #ADDRAH .EQU H'04000080

#ADDRAL .EQU H'04000082 とし

R8 を介して外部デバイスに読み出しデータを出力した場合で 16 進数で表示します。

29. D/A 変換器

29.1 概要

本 LSI には 2 チャンネルの D/A 変換器が内蔵されています。

29.1.1 特長

D/A 変換器は次のような特長を持っています。

- 8ビットの解像度
- 2つの出力チャンネル
- 変換時間：最大10 μ s（容量性負荷：20pF）
- 出力電圧：0V ~ AVcc

29.1.2 ブロック図

D/A 変換器のブロック図を図 29.1 に示します。

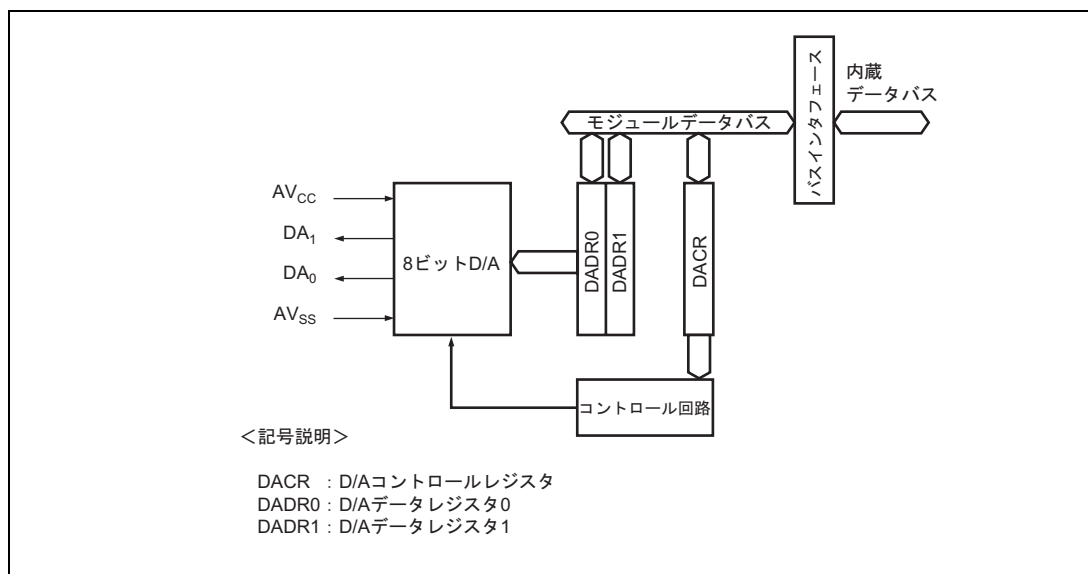


図 29.1 D/A 変換器のブロック図

29. D/A 変換器

29.1.3 入出力端子

D/A 変換器の入力端子、出力端子を表 29.1 に示します。

表 29.1 D/A 変換器の端子

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ電源および D/A 変換基準電圧
アナロググランド端子	AV _{SS}	入力	アナロググランド
アナログ出力端子 0	DA0	出力	アナログ出力、チャンネル 0
アナログ出力端子 1	DA1	出力	アナログ出力、チャンネル 1

29.1.4 レジスタ構成

D/A 変換器のレジスタを表 29.2 に示します。

表 29.2 D/A 変換器のレジスタ

名称	略称	R/W	初期値	アドレス* ¹	アクセスサイズ
D/A データレジスタ 0	DADR0	R/W	H'00	H'040000A0 (H'A40000A0)* ²	8
D/A データレジスタ 1	DADR1	R/W	H'00	H'040000A2 (H'A40000A2)* ²	8
D/A コントロールレジスタ	DACR	R/W	H'1F	H'040000A4 (H'A40000A4)* ²	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

*1 アドレスの下位 16 ビット

*2 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

29.2 レジスタの説明

29.2.1 D/A データレジスタ 0、1 (DADR0/1)

ビット:	7	6	5	4	3	2	1	0
ビット名:								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A データレジスタ (DADR0、DADR1) は、変換データを格納する読み出し / 書き込み可能な 8 ビットレジスタです。アナログ出力カインエーブルのとき、D/A データレジスタの値はアナログ出力端子で常に変換、出力されません。

D/A データレジスタは、リセット時 H'00 に初期化されます。

29.2.2 D/A コントロールレジスタ (DACR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R	R	R

DACR は、D/A 変換器の動作を制御する読み出し / 書き込み可能な 8 ビットレジスタです。

DACR は、リセット時 H'1F に初期化されます。

- ビット7: D/A出力カインエーブル1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット7	説明	
DAOE1		
0	DA1 アナログ出力を禁止	(初期値)
1	チャンネル1のD/A変換とDA1アナログ出力を許可	

- ビット6: D/A出力カインエーブル0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット6	説明	
DAOE0		
0	DA0 アナログ出力を禁止	(初期値)
1	チャンネル0のD/A変換とDA0アナログ出力を許可	

29. D/A 変換器

- ビット5 : D/Aイネーブル (DAE)

ビット DAOE0、DAOE1 とともに D/A 変換を制御します。DAE ビットを 0 にクリアすると、D/A 変換はチャンネル 0、チャンネル 1 で独立して制御されます。D/A 変換を許可した状態で本 LSI がスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中のアナログ電源電流と等価となります。

スタンバイモードのアナログ電源電流を小さくするには、DAOE0、DAOE1 ビットをクリアして D/A 出力を禁止します。

ビット7	ビット6	ビット5	説明
DAOE1	DAOE0	DAE	
0	0	-	チャンネル 0、1 で D/A 変換を禁止 (初期値)
	1	0	チャンネル 0 で D/A 変換を許可 チャンネル 1 で D/A 変換を禁止
		1	チャンネル 0、1 で D/A 変換を許可
1	0	0	チャンネル 0 で D/A 変換を禁止 チャンネル 1 で D/A 変換を許可
		1	チャンネル 0、1 で D/A 変換を許可
	1	-	チャンネル 0、1 で D/A 変換を許可

DAE ビットを 1 にセットすると、DACR の DAOE0、DAOE1 ビット、および ADCSR の ADST ビットを 0 にクリアしてもアナログ電源から A/D、D/A 変換時と同じ電流が導かれます。

- ビット4~0 : 予約ビット

読み出し専用ビットです。常に 1 が読み出されます。

29.3 動作の説明

D/A 変換器には、独立して変換を実行できる 2 つの内蔵 D/A 変換回路があります。

D/A 変換は DACR で許可状態のとき常に実行されます。DADR0 または DADR1 の値を変更すると、新しいデータの変換を即座に開始します。ビット DAOE0、DAOE1 を 1 にセットすると変換結果が出力されます。

チャンネル 0 の D/A 変換の例を以下に示します。タイミングは図 29.2 に示します。

1. 変換対象のデータを DADR0 に書き込みます。
2. DACR の DAOE0 ビットを 1 にセットします。D/A 変換を開始し、DA0 は出力端子になります。変換結果は変換時間後に出力されます。出力値は $(\text{DADR0 内容} / 256) \times AV_{CC}$ です。この変換結果の出力は、DADR0 の値を変更するか DAOE0 ビットを 0 にクリアするまで続きます。
3. DADR0 値を変更すると、変換を即座に開始し、結果は変換時間のあとで出力されます。
4. DAOE0 ビットを 0 にクリアすると、DA0 は入力端子になります。

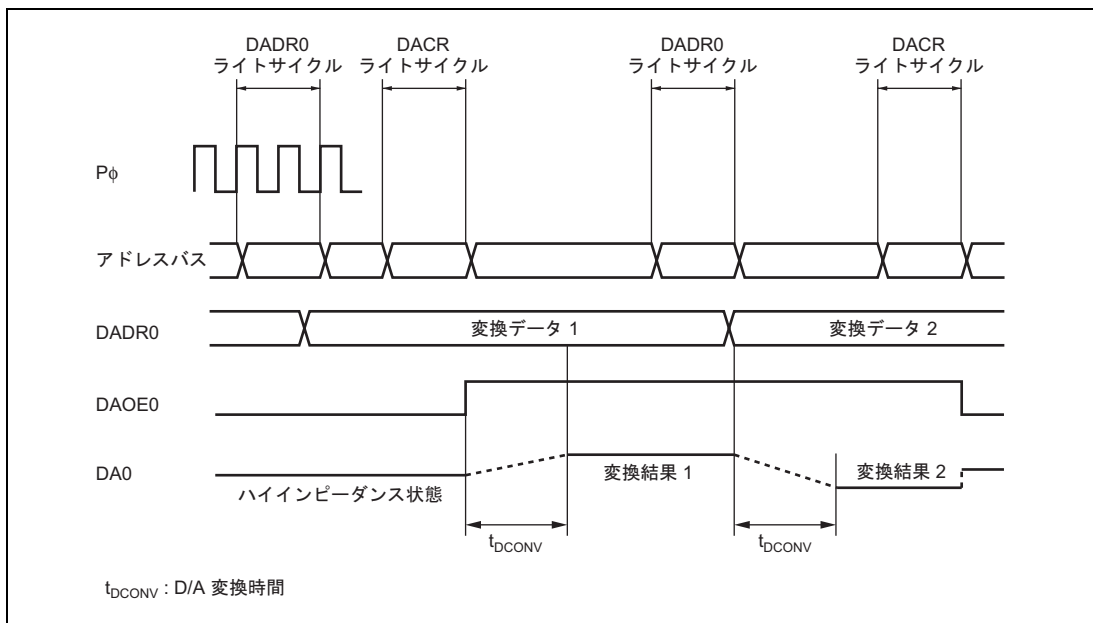


図 29.2 D/A 変換器動作の例

30. PC カードコントローラ (PCC)

30.1 概要

PC カードコントローラ (PCC) は、外部バッファ、割り込み、本 LSI に接続する PC カードインタフェースの専用ポートを制御します。PCC を使用することによって、PCMCIA Rev.2.1/JEIDA バージョン 4.2 規格に準拠した PC カードの slots を本 LSI に容易に接続することができます。

30.1.1 特長

PCC には次の特長があります。

- 物理エリア6に接続するPCカードインタフェースとして、ICメモリカードインタフェースとI/Oカードインタフェースをサポートしています。
- 外部バッファに対する制御信号 ($\overline{\text{PCC0DRV}}$) を出力します。
- アドレスを用いて属性メモリ、共通メモリ、I/O空間を切り替えることによってプリエンティブ方式の動作システムに対応します。
- 共通メモリにセグメントビット (PCカード用アドレスビット) を提供するので全PCMCIA仕様の64MB空間にアクセスできます。
- 本コントローラの動作を無効にし、SH7709/SH7729シリーズと同様なPCカードインタフェースのバスインタフェースのみをサポートすることも可能です (PCC0GCRのP0USEを使用)。
- 本コントローラを有効にした場合 (PCC0GCRのP0USE = 1の場合)、 $\overline{\text{PCC0WAIT}}$ は $\overline{\text{WAIT}}$ と同等のWAIT信号として動作します。

30.1.4 PCMCIA のサポート

本 LSI は、物理エリア 6 に対して PCMCIA 仕様にに基づくインタフェースをサポートしています。サポートするインタフェースは、PCMCIA Rev.2.1/JEIDA バージョン 4.2 規格で定義された IC メモリカードインタフェースと I/O カードインタフェースです。エリア 6 では IC メモリカードインタフェースと I/O カードインタフェースのいずれもサポートします。

表 30.2 PCMCIA インタフェースの特長

項目	特長
アクセス	ランダムアクセス
データバス	8/16 ビット
メモリタイプ	マスク ROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM
共通メモリ容量	最大 64MB (セグメントビット (PC カード用アドレスビット) を使用することによって全 PCMCIA 仕様をサポート)
属性メモリ容量	最大 32MB
I/O 空間容量	最大 32MB
その他	I/O バス幅の動的バスサイジング* PCMCIA インタフェースは、アドレス変換エリアと非アドレス変換エリアからアクセスできます。

【注】 * I/O バス幅の動的バスサイジングは、リトルエンディアンモードでのみサポートしています。

本 LSI は PC カードの 64MB メモリ空間および I/O 空間の 32MB および 64MB 物理エリアに直接アクセスできます (連続 32 / 16MB エリアモード)。本 LSI は、全 PCMCIA 仕様 (64MB) の共通メモリ空間をサポートするためにエリア 6 に対してジェネラルコントロールレジスタのセグメントビット (PC カード用アドレスビット) を提供します。

(1) 連続 32MB エリアモード

ジェネラルコントロールレジスタのビット 3 (P0MMOD) に 0 (初期値) を設定すると連続 32MB エリアモードが有効になります。このモードでは、属性メモリ空間と I/O メモリ空間は 32MB、共通メモリ空間は 64MB です。共通メモリ空間で、32MB より大きいアドレスにアクセスするためにはジェネラルコントロールレジスタのビット 2 (P0PA25) に 1 を設定します。この動作により、A25 端子に 1 が出力され、32MB を超えるアドレス空間にアクセスすることができます。32MB 以下のアドレスにアクセスする場合、設定は不要です (初期値は 0)。このビットは属性メモリ空間や I/O メモリ空間のアクセスには影響しません。

図 30.2 に本 LSI のメモリ空間と連続 32MB エリアモードでの PC カードのメモリ空間および I/O 空間の関係を示します。エリア 6 ではメモリ空間および I/O 空間をサポートしています。

エリア 6 において、PC カードの共通メモリ空間にアクセスするためにジェネラルコントロールレジスタのビット 0 (P0REG) に 1 を設定し、属性メモリ空間にアクセスするためにビット 0 に 0 を設定します (初期値 : 0)。この動作により、設定値は $\overline{\text{PCCREG}}$ 端子に出力され、任意の空間にアクセスすることができるようになります。エリア 6 で I/O 空間にアクセスすると、 $\overline{\text{PCCREG}}$ 端子の出力はビット 0 (P0REG) の値に関係なく常に 0 です。

30. PC カードコントローラ (PCC)

レジスタ設定の詳細については「30.2 レジスタの説明」を参照してください。

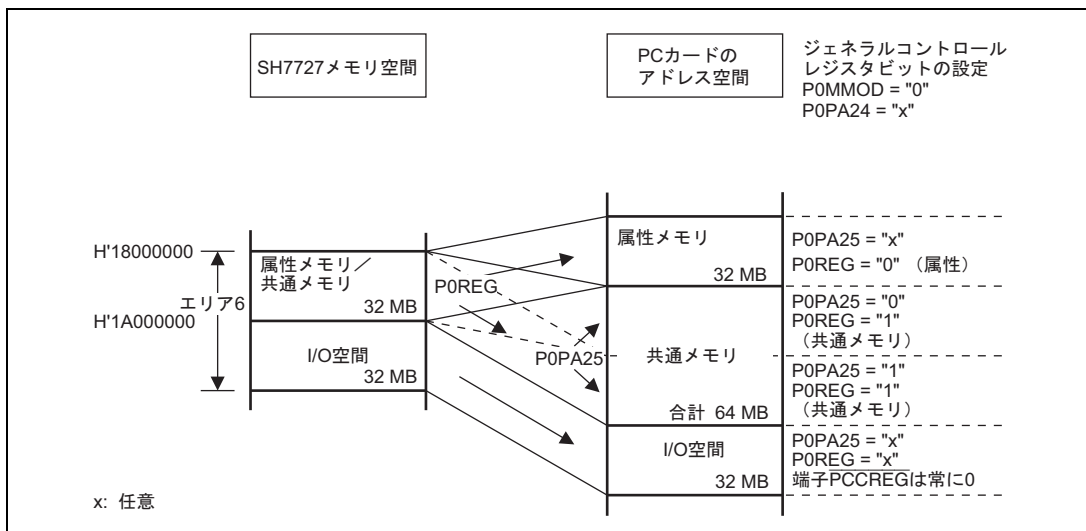


図 30.2 連続 32MB エリアモード

(2) 連続 16MB エリアモード

ジェネラルコントロールレジスタのビット 3 (P0MMOD) を 1 にセットすると連続 16MB エリアモードを有効にすることができます。このモードでは、属性メモリ空間と I/O メモリ空間は 16MB、共通メモリ空間は 64MB です。共通メモリ空間で 16MB より大きいアドレス空間にアクセスできるためには、PC カードアドレスをジェネラルコントロールレジスタのビット 2 (P0PA25) とビット 1 (P0PA24) に設定します。この動作により、端子 A25 と A24 に値が出力され、16MB を超えるアドレス空間にアクセスすることができます (P0PA25 と P0PA24 と初期値: 0)。16MB 以下のアドレスにアクセスする場合、設定は不要です。このビットは属性メモリ空間や I/O メモリ空間のアクセスには影響しません。

図 30.3 に本 LSI のメモリ空間と連続 16MB エリアモードでの PC カードのメモリ空間および I/O 空間の関係を示します。エリア 6 ではメモリ空間および I/O 空間をサポートしています。

PC カードの属性メモリ空間、共通メモリ空間、I/O 空間は、このモードでは 16MB の物理空間として提供されます。したがって、本 LSI は $\overline{\text{PCCREG}}$ 端子を自動的に制御します (ジェネラルコントロールレジスタのビット 0 (POREG) の値は無視されます)。エリア 6 において、属性メモリ空間または I/O 空間のアクセス時、 $\overline{\text{PCCREG}}$ 端子の出力は 0 であり、共通メモリ空間のアクセス時、 $\overline{\text{PCCREG}}$ 端子の出力は 1 です。

レジスタ設定の詳細については「30.2 レジスタの説明」を参照してください。

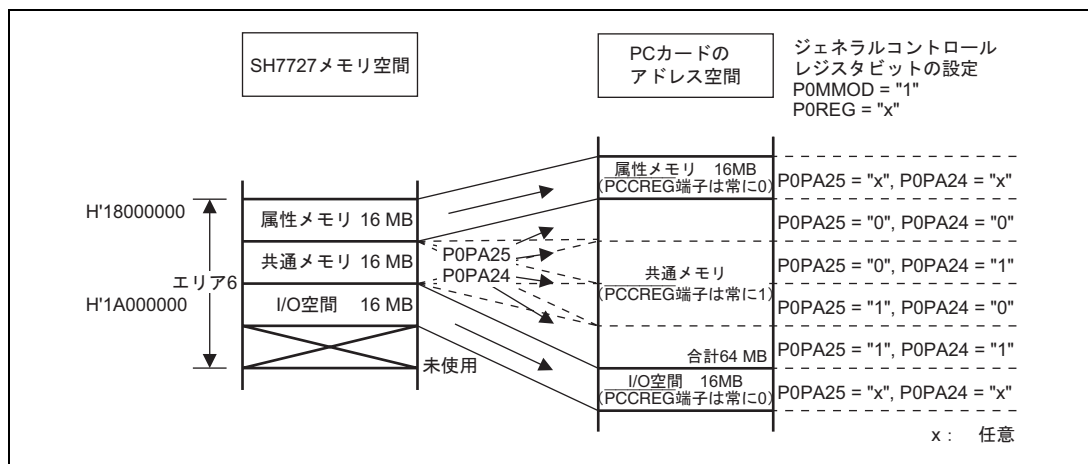


図 30.3 連続 16MB エリアモード (エリア 6)

30.2 レジスタの説明

30.2.1 エリア 6 インタフェースステータスレジスタ (PCC0ISR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	P0RDY/ IREQ	P0MWP	P0VS2	P0VS1	P0CD2	P0CD1	P0BVD2 SPKR	P0BVD1 STSCHG
初期値:	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R

【注】 * PC カードのステータスによって異なります。

エリア 6 インタフェースステータスレジスタ (PCC0ISR) は、エリア 6 に接続された PC カードのステータスを読み出すことができる 8 ビットの読み出し専用レジスタです。PCC0ISR は PC カードのステータスによって異なります。

30. PC カードコントローラ (PCC)

- ビット7: PCC0レディ (P0RDY/IREQ)

エリア6に接続されたPCカードのRDY/BSY端子の値は、ICメモリカードインタフェース接続時に読み出されます。エリア6に接続されたPCカードのIREQ端子の値は、I/Oカードインタフェース接続時に読み出されず。書き込みは無効です。

ビット7	説明
P0RDY/IREQ	
0	エリア6に接続されたPCカードがICメモリカードインタフェースの場合、RDY/BSY端子の値は0であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、IREQ端子の値は0であることを示します。
1	エリア6に接続されたPCカードがICメモリカードインタフェースの場合、RDY/BSY端子の値は1であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、IREQ端子の値は1であることを示します。

- ビット6: PCC0ライトプロテクト (P0MWP)

エリア6に接続されたPCカードのWP端子の値は、ICメモリカードインタフェース接続時に読み出されます。I/Oカードインタフェース接続時には0が読み出されます。書き込みは無効です。

ビット6	説明
P0MWP	
0	エリア6に接続されたPCカードがICメモリカードインタフェースの場合、WP端子の値は0であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、ビット6の値は常に0であることを示します。
1	エリア6に接続されたPCカードがICメモリカードインタフェースの場合、WP端子の値は1であることを示します。

- ビット5: PCC0電圧センス2 (P0VS2)

エリア6に接続されたPCカードのVS2端子の値が読み出されます。書き込みは無効です。

ビット5	説明
P0VS2	
0	エリア6に接続されたPCカードのVS2端子の値が0であることを示します。
1	エリア6に接続されたPCカードのVS2端子の値が1であることを示します。

- ビット4 : PCC0電圧センス1 (P0VS1)

エリア 6 に接続された PC カードの $\overline{VS1}$ 端子の値が読み出されます。書き込みは無効です。

ビット 4	P0VS1	説 明
0		
1	エリア 6 に接続された PC カードの $\overline{VS1}$ 端子の値が 1 であることを示します。	

- ビット3 : PCC0カード検出2 (P0CD2)

エリア 6 に接続された PC カードの $\overline{CD2}$ 端子の値が読み出されます。書き込みは無効です。

ビット 3	P0CD2	説 明
0		
1	エリア 6 に接続された PC カードの $\overline{CD2}$ 端子の値が 1 であることを示します。	

- ビット2 : PCC0カード検出1 (P0CD1)

エリア 6 に接続された PC カードの $\overline{CD1}$ 端子の値が読み出されます。書き込みは無効です。

ビット 2	P0CD1	説 明
0		
1	エリア 6 に接続された PC カードの $\overline{CD1}$ 端子の値が 1 であることを示します。	

- ビット1、0 : PCC0バッテリーの電圧検出2、1 (P0BVD2、P0BVD1)

IC メモリカードインタフェースの接続時、エリア 6 に接続された PC カードの BVD2 端子、BVD1 端子の値が読み出されます。I/O カードインタフェースの接続時、エリア 6 に接続された PC カードの \overline{SPKR} 端子、 \overline{STSCHG} 端子の値が読み出されます。書き込みは無効です。

- ICメモリインタフェース

ビット 1	ビット 0	説 明
P0BVD2	P0BVD1	
1	1	エリア 6 に接続された PC カードのバッテリー電圧が正常であることを示します (バッテリー正常表示)。
0	1	エリア 6 に接続された PC カードのデータは保証されますが、バッテリーの交換が必要であることを示します (バッテリー警告表示)。
1	0	バッテリー電圧が異常で、エリア 6 に接続された PC カードのデータが保証できないことを示します (バッテリー切れ表示)。
0	0	バッテリー電圧が異常で、エリア 6 に接続された PC カードのデータが保証できないことを示します (バッテリー切れ表示)。

30. PC カードコントローラ (PCC)

- I/Oカードインタフェース

ビット1	説明
P0SPKR	
0	エリア6に接続されたPCカードの $\overline{\text{SPKR}}$ 端子の値が0であることを示します。
1	エリア6に接続されたPCカードの $\overline{\text{SPKR}}$ 端子の値が1であることを示します。

ビット0	説明
P0STSCHG	
0	エリア6に接続されたPCカードの $\overline{\text{STSCHG}}$ 端子の値が0であることを示します。
1	エリア6に接続されたPCカードの $\overline{\text{STSCHG}}$ 端子の値が1であることを示します。

30.2.2 エリア6ジェネラルコントロールレジスタ (PCC0GCR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	P0DRVE	P0PCCR	P0PCCT	P0USE	P0MMOD	P0PA25	P0PA24	P0REG
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア6ジェネラルコントロールレジスタ(PCC0GCR)は、外部バッファ、リセット、アドレス端子A25、A24、および $\overline{\text{REG}}$ 端子を制御し、エリア6に接続されたPCカードに対してPCカードタイプを設定する読み出し/書き込み可能な8ビットのレジスタです。PCC0GCRはパワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモードでその値を保持します。

- ビット7: PCC0バッファコントロール (P0DRVE)

エリア6に接続されたPCカード用外部バッファのイネーブル/ディスエーブルを制御します。

ビット7	説明
P0DRVE	
0	エリア6に接続されたPCカードに対して外部バッファの $\overline{\text{PCC0DRV}}$ 端子をコントロールするためハイレベルを設定します。 (初期値)
1	エリア6に接続されたPCカードに対して外部バッファの PCC0DRV 端子をコントロールするためローレベルを設定します。

- ビット6: PCC0カードリセット (P0PCCR)

エリア6に接続されたPCカードに対するリセットを制御します。

ビット6	説明
P0PCCR	
0	エリア6に接続されたPCカードに対してリセット端子PCC0RESETにローレベルを設定します。 (初期値)
1	エリア6に接続されたPCカードに対してリセット端子PCC0RESETにハイレベルを設定します。

- ビット5: PCC0カードタイプ (P0PCCT)

エリア6に接続されたPCカードのタイプを指定します。PCカードがICメモリカードインタフェースの場合、0を設定し、PCカードがI/Oカードインタフェースの場合、1を設定します。

ビット5	説明
P0PCCT	
0	エリア6に接続されたPCカードをICメモリカードインタフェースとして扱います。(初期値)
1	エリア6に接続されたPCカードをI/Oカードインタフェースとして扱います。

- ビット4: PCC0使用/未使用 (P0USE)

PCカードコントローラの使用/未使用を選択します。

ビット4	説明
P0USE	
0	PCカードコントローラを使用しない (初期値)
1	PCカードコントローラを使用

- ビット3: PCC0モード (P0MMOD)

エリア6に接続されたPCカードに対してPCCREG端子とA24端子を制御します。アクセスするアドレスのA24がPCCREG端子に出力するためのP0REGビットのいずれかを指定します。共通メモリ空間へのアクセス時、アクセスするアドレスのA24がA24端子に出力するためのP0PA24ビットのいずれかを指定します。この動作により、PCカードの共通メモリ空間のアドレスエリアに対して連続32MBまたは16MBを選択することができます。

ビット3	説明
P0MMOD	
0	P0REGビットをPCCREG端子に出力し、アクセスするアドレスのA24を端子A24に出力します(連続32MBエリアモード)。 (初期値)
1	アクセスするアドレスのA24をPCCREG端子に出力します。共通メモリ空間のアクセス時、P0PA24をA24端子に出力しません(連続16MBエリアモード)。

30. PC カードコントローラ (PCC)

- ビット2 : PCカードアドレス (P0PA25)

エリア 6 に接続された PC カードに対して A25 端子を制御します。エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、このビットは A25 端子に出力されます。属性メモリ空間または I/O 空間をアクセスする場合、このビットは無意味です。

ビット 2	説 明
P0PA25	
0	エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、A25 端子に 0 が出力されます。 (初期値)
1	エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、A25 端子に 1 が出力されます。

- ビット1 : PCカードアドレス (P0PA24)

エリア 6 に接続された PC カードに対して A24 端子を制御します。P0MMOD ビットが 1 で、エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、このビットは A24 端子に出力されます。P0MMOD ビットが 0 が属性メモリ空間または I/O 空間をアクセスする場合、このビットは無意味です。

ビット 1	説 明
P0PA24	
0	P0MMOD ビットが 1 で、エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、A24 端子に 0 が出力されます。 (初期値)
1	P0MMOD ビットが 1 で、エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、A24 端子に 1 が出力されます。

- ビット0 : PCC0REG空間指示 (P0REG)

エリア 6 に接続された PC カードに対して $\overline{\text{PCCREG}}$ 端子を制御します。P0MMOD ビットが 0 のとき、エリア 6 に接続された PC カードに対してこのビットは $\overline{\text{PCCREG}}$ 端子に出力されます。P0MMOD ビットが 1、または I/O カードインタフェースをアクセスする場合、このビットは無意味です。

ビット 0	説 明
P0REG	
0	P0MMOD ビットが 0 で、エリア 6 に接続された PC カードにアクセスすると、 $\overline{\text{PCCREG}}$ 端子に 0 が出力されます。 (初期値)
1	P0MMOD ビットが 0 で、エリア 6 に接続された PC カードにアクセスすると、 $\overline{\text{PCCREG}}$ 端子に 1 が出力されます。

30.2.3 エリア 6 カードステータスチェンジレジスタ (PCC0CSCR)

ビット:	7	6	5	4	3	2	1	0
ビット名:	P0SCDI	-	POIREQ	P0SC	P0CDC	P0RC	P0BW	P0BD
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W

エリア 6 カードステータスチェンジレジスタ (PCC0CSCR) は、読み出し / 書き込み可能な 8 ビットのレジスタです。PCC0CSCR はエリア 6 に接続された PC カードの各割り込み要因によって 1 にセットされます (必要に応じてビット 7 のみ 1 にセットすることができます)。PCC0CSCR は、パワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモードでその値を保持します。

- ビット 7: PCC0 ソフトウェアカードデテクトチェンジ割り込み (P0SCDI)

PCC0 ソフトウェアカードデテクトチェンジ割り込みは、このビットに 1 を書き込むことによって発生させることができます。このビットが 1 にセットされていると、エリア 6 カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) のビット 3 (PCC0 カードデテクトチェンジイネーブル) を 1 に設定した場合、PCC0 カードデテクトチェンジ割り込み (ビット 3 セットステータス) と同じ割り込みが発生します。ビット 3 を 0 にリセットすると、割り込みは発生しません。

ビット 7	説明
P0SCDI	
0	エリア 6 に接続された PC カードに対してソフトウェアカードデテクトチェンジ割り込みは発生しません。 (初期値)
1	エリア 6 に接続された PC カードに対してソフトウェアカードデテクトチェンジ割り込みが発生します。

- ビット 6: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30. PC カードコントローラ (PCC)

- ビット5: PCC0IREQ要求 (P0IREQ)

エリア6に接続されたPCカードがI/Oカードインタフェースの場合、PCカードの $\overline{\text{IREQ}}$ 端子に対する割り込み要求を示します。パルスモードまたはレベルモードの割り込み要求信号を $\overline{\text{IREQ}}$ 端子に入力すると、P0IREQは1にセットされます。モードはエリア6カードステータスチェンジ割り込み許可レジスタ(PCC0CSCIER)のビット5および6(PCC0IREQ要求イネーブルビット)で選択します。このビットはパルスモードでのみ0にリセットすることができます。このビットを0にリセットするためにはビット5に0を書き込みます。1を書き込んでてもこのビットは変化しません。レベルモードではビット5は読み出し専用ビットで、 $\overline{\text{IREQ}}$ 端子状態を反映します($\overline{\text{IREQ}}$ 端子がローレベルの場合、1を読み出します)。ICメモリカードインタフェースでは、このビットからは常に0が読み出されます。

ビット5	説明
P0IREQ	
0	PCカードがI/Oカードインタフェースの場合、PCカードの $\overline{\text{IREQ}}$ 端子に対する割り込み要求がないことを示します (初期値)
1	PCカードがI/Oカードインタフェースの場合、PCカードの $\overline{\text{IREQ}}$ 端子に対する割り込み要求が発生したことを示します。

- ビット4: PCC0ステータス変化(P0SC)

エリア6に接続されたPCカードがI/Oカードインタフェースの場合、PCカードの $\overline{\text{STSCHG}}$ 端子に対する値の変化を示します。 $\overline{\text{STSCHG}}$ 端子が1から0に変化すると、P0SCビットは1にセットされます。 $\overline{\text{STSCHG}}$ 端子が変化しない場合、P0SCビットは0のままです。このビットを0にリセットするためにビット4に0を書き込みます。1を書き込んでてもこのビットは変化しません。ICメモリカードインタフェースでこのビットを読み出すと、常に0が読み出されます。

ビット4	説明
P0SC	
0	PCカードがI/Oカードインタフェースの場合、PCカードの $\overline{\text{STSCHG}}$ 端子が変化しないことを示します。 (初期値)
1	PCカードがI/Oカードインタフェースの場合、PCカードの $\overline{\text{STSCHG}}$ 端子が1から0に変化することを示します。

- ビット3: PCC0カードデテクトチェンジ (P0CDC)

エリア6に接続されたPCカードの $\overline{CD1}$ 端子と $\overline{CD2}$ 端子の値の変化を示します。 $\overline{CD1}$ 端子と $\overline{CD2}$ 端子の値が変化すると、P0CDCビットは1にセットされます。値が変化しない場合、P0CDCビットは0のままです。このビットを0にリセットするにはビット3に0を書き込みます。1を書き込んででもこのビットは変化しません。

ビット3	説明
P0CDC	
0	PCカードの $\overline{CD1}$ 端子と $\overline{CD2}$ 端子が変化していないことを示します。(初期値)
1	PCカードの $\overline{CD1}$ 端子と $\overline{CD2}$ 端子が変化したことを示します。

- ビット2: PCC0レディチェンジ (P0RC)

エリア6に接続されたPCカードがICメモリカードインタフェースの場合、PCカードのRDY/ \overline{BSY} 端子の値の変化を示します。RDY/ \overline{BSY} 端子が0から1に変化すると、P0RCビットは1にセットされます。RDY/ \overline{BSY} 端子が変化しないとP0RCビットは0のままです。このビットを0にリセットするにはビット2に0を書き込みます。1を書き込んででもこのビットは変化しません。I/Oカードインタフェースでこのビットを読み出すと常に0が読み出されます。

ビット2	説明
P0RC	
0	PCカードがICメモリカードインタフェースの場合、PCカードのRDY/ \overline{BSY} 端子が変化していないことを示します。(初期値)
1	PCカードがICメモリカードインタフェースの場合、PCカードのRDY/ \overline{BSY} 端子が0から1に変化したことを示します。

- ビット1: PCC0バッテリー警告 (P0BW)

エリア6に接続されたPCカードがICメモリカードインタフェースの場合、PCカードのBVD2端子とBVD1端子が「データは保証されてもバッテリーを交換しなければならない状態である」かどうかを示します。BVD2端子とBVD1端子がそれぞれ0と1の場合、P0BWビットは1にセットされます。その他の場合、P0BWビットは0のままです。BVD2端子とBVD1端子が変化するとこのビットは更新されます。このビットを0にリセットするには、ビット1に0を書き込みます。1を書き込んででもこのビットは変化しません。I/Oカードインタフェースでこのビットを読み出すと常に0が読み出されます。

ビット1	説明
P0BW	
0	PCカードがICメモリカードインタフェースの場合、PCカードのBVD2端子とBVD1端子は、バッテリー警告状態にないことを示します。(初期値)
1	PCカードがICメモリカードインタフェースの場合、PCカードのBVD2端子とBVD1端子は、バッテリー警告状態にあり、「データは保証されてもバッテリーの交換が必要である」ことを示します。

30. PC カードコントローラ (PCC)

- ビット0: PCC0バッテリー切れ (P0BD)

エリア6に接続されたPCカードがICメモリカードインタフェースの場合、PCカードのBVD2端子とBVD1端子が「データが保証されないためバッテリーの交換が必要である」状態にあるかどうかを示します。BVD2端子とBVD1端子がそれぞれ1、0または0、0の場合、P0BDビットは1にセットされます。その他の場合、P0BDビットは0のままです。BVD2端子とBVD1端子が変化するとこのビットは更新されます。このビットを0にリセットする場合、ビット0に0を書き込みます。1を書き込んででもこのビットは変更されません。I/Oカードインタフェースでこのビットを読み出すと常に0が読み出されます。

ビット0	説明
P0BD	
0	PCカードがICメモリカードインタフェースの場合、PCカードのBVD2端子とBVD1端子が、「データが保証されないためバッテリーを交換しなければならない状態」にないことを示します。 (初期値)
1	PCカードがICメモリカードインタフェースの場合、PCカードのBVD2端子とBVD1端子が、「データが保証されないためバッテリーを交換しなければならない状態」にあることを示します。

30.2.4 エリア6カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER)

ビット:	7	6	5	4	3	2	1	0
ビット名:	P0CRE	IREQE1	IREQE0	P0SCE	P0CDE	P0RE	P0BWE	P0BDE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア6カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) は、読み出し/書き込み可能な8ビットレジスタです。PCC0CSCIERは、エリア6に接続されたPCカードの割り込みの各要因に対して割り込み要求の有効または無効を設定することができます。PCC0CSCIERを1にセットすると、割り込みは有効で、0にセットすると割り込みは無効です。PCC0CSCIERは、パワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモードでその値を保持します。

- ビット7: PCC0カードリセットイネーブル (P0CRE)

このビットを1に設定し、 $\overline{CD1}$ 、 $\overline{CD2}$ 端子がPCカードがエリア6に接続していることを検出すると、エリア6ジェネラルコントロールレジスタ (PCC0GCR) は初期化されます。

ビット7	説明
P0CRE	
0	PCカードがエリア6で検出されてもエリア6ジェネラルコントロールレジスタ (PCC0GCR) は初期化されません。 (初期値)
1	PCカードの接続がエリア6で検出されるとエリア6ジェネラルコントロールレジスタ (PCC0GCR) は初期化されます。

- ビット6、5 : PCC0IREQ要求イネーブル (IREQE1、IREQE0)

これらのビットは $\overline{\text{IREQ}}$ 端子に対して有効または無効な要求を設定し、エリア 6 に接続された PC カードが I/O カードインタフェースの場合、割り込みモードを選択することができます。このレジスタのビット 6 とビット 5 の値が変化すると、エリア 6 カードステータスチェンジレジスタ (PCC0CSCR) のビット 5 (P0IREQ) はリセットされることに注意してください。これらのビットは IC メモリカードインタフェースでは意味がありません。

ビット 6	ビット 5	説 明
IREQE1	IREQE0	
0	0	エリア 6 に接続された PC カードは、IREQ 要求を受け付けません。ステータスチェンジレジスタ (PCC0CSCR) のビット 5 は、読み出し専用ビットとして機能し、IREQ 端子の反転信号ステータスを示します。 (初期値)
	1	レベルモード IREQ 割り込み要求信号が、エリア 6 に接続された PC カードに対して受け付けられます。レベルモードでは、 $\overline{\text{IREQ}}$ 端子から入力した信号の 0 レベルが検出されると割り込みが発生します。
1	0	パルスモード IREQ 割り込み要求信号が、エリア 6 に接続された PC カードに対して受け付けられます。パルスモードでは、 $\overline{\text{IREQ}}$ 端子から入力した信号の 1 から 0 への立ち下がりエッジが検出されると割り込みが発生します。
	1	パルスモード IREQ 割り込み要求信号が、エリア 6 に接続された PC カードに対して受け付けられます。パルスモードでは、 $\overline{\text{IREQ}}$ 端子から入力した信号の 0 から 1 への立ち上がりエッジが検出されると割り込みが発生します。

- ビット4 : PCC0ステータスチェンジアネーブル (P0SCE)

エリア 6 に接続された PC カードが I/O カードインタフェースの場合、BVD1 端子 ($\overline{\text{STSCHG}}$ 端子) の値が変化したとき、ビット 4 は割り込み要求の有効または無効を設定することができます。IC メモリカードインタフェースでこのビットは意味がありません。

ビット 4	説 明
P0SCE	
0	BVD1 端子 ($\overline{\text{STSCHG}}$ 端子) の値に関係なくエリア 6 に接続された PC カードに対して割り込みは発生しません。 (初期値)
1	BVD1 端子 ($\overline{\text{STSCHG}}$ 端子) の値が 1 から 0 に変化するとエリア 6 に接続された PC カードに対して割り込みが発生します。

30. PC カードコントローラ (PCC)

- ビット3 : PCC0カードデテクトチェンジイネーブル (P0CDE)

$\overline{CD1}$ 端子と $\overline{CD2}$ 端子の値が変化したとき、ビット 3 は割り込み要求の有効または無効を設定することができます。

ビット 3	説 明
P0CDE	
0	$\overline{CD1}$ 端子と $\overline{CD2}$ 端子の値に関係なくエリア 6 に接続された PC カードに対して割り込みは発生しません。 (初期値)
1	$\overline{CD1}$ 端子と $\overline{CD2}$ 端子の値が変化するとエリア 6 に接続された PC カードに対して割り込みが発生します。

- ビット2 : PCC0レディチェンジイネーブル (P0RE)

エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、 RDY/\overline{BSY} 端子の値が変化したとき、ビット 2 は割り込み要求の有効または無効を設定することができます。

I/O カードインタフェースではこのビットは意味がありません。

ビット 2	説 明
P0RE	
0	RDY/\overline{BSY} 端子の値に関係なくエリア 6 に接続された PC カードに対して割り込みは発生しません。 (初期値)
1	RDY/\overline{BSY} 端子の値が 0 から 1 に変化するとエリア 6 に接続された PC カードに対して割り込みが発生します。

- ビット1 : PCC0バッテリー警告イネーブル (P0BWE)

エリア 6 に接続された PC カードが IC メモリカードインタフェースで、BVD2 端子または BVD1 端子の値が、「データは保証されてもバッテリーを交換する必要がある」状態の場合、ビット 1 は割り込み要求の有効または無効を設定することができます。I/O カードインタフェースではこのビットは意味がありません。

ビット 1	説 明
P0BWE	
0	BVD2 および BVD1 端子が、「データは保証されてもバッテリーを交換する必要がある」状態の場合、割り込みは発生しません。 (初期値)
1	BVD2 および BVD1 端子が、「データは保証されてもバッテリーを交換する必要がある」状態の場合、割り込みが発生します。

- ビット0 : PCC0バッテリー切れイネーブル (P0BDE)

エリア6に接続されたPCカードがICメモリカードインタフェースで、BVD2およびBVD1端子の値が、「データが保証されないのでバッテリーを交換する必要がある」状態の場合、ビット0は割り込み要求の有効または無効を設定することができます。I/Oカードインタフェースではこのビットは意味がありません。

ビット0	説明
P0BDE	
0	BVD2およびBVD1端子が、「データが保証されないのでバッテリーを交換する必要がある」状態の場合、割り込みは発生しません。 (初期値)
1	BVD2およびBVD1端子が、「データが保証されないのでバッテリーを交換する必要がある」状態の場合、割り込みが発生します。

30.3 動作の説明

30.3.1 PCカード接続仕様 (インタフェース図、該当端子)

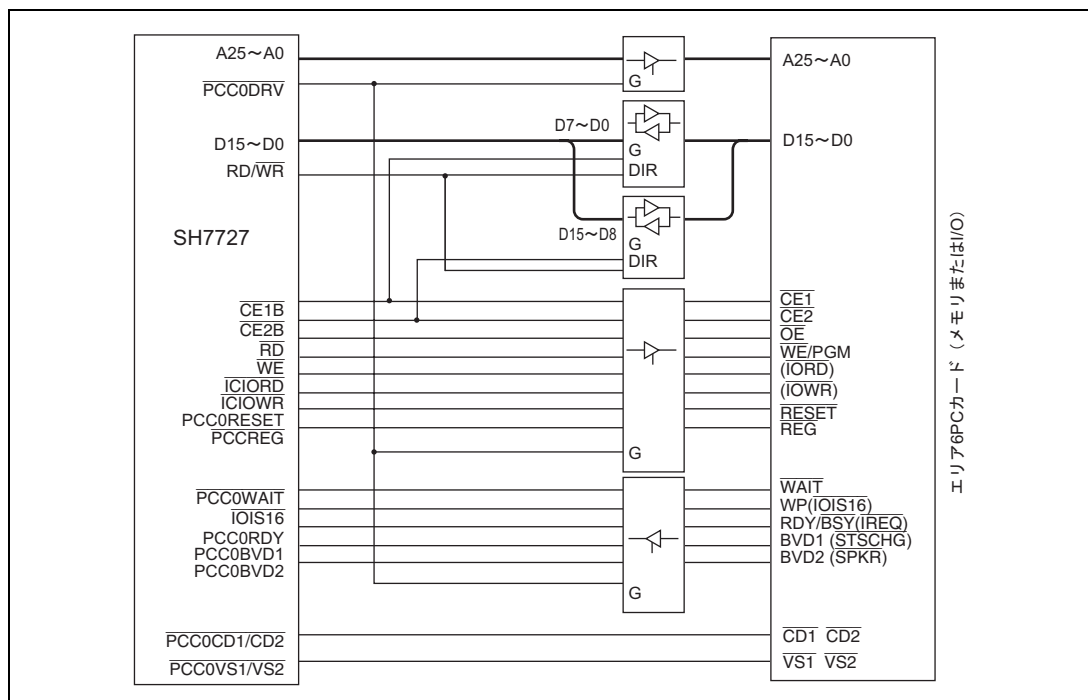


図 30.4 SH7727 インタフェース

30. PC カードコントローラ (PCC)

表 30.3 PCMCIA サポートインタフェース

端子 番号	IC メモリカードインタフェース			I/O カードインタフェース			SH7727 該当端子
	信号名	入出力	機能	信号名	入出力	機能	
1	GND		グラウンド	GND		グラウンド	-
2	D3	入出力	データ	D3	入出力	データ	D3
3	D4	入出力	データ	D4	入出力	データ	D4
4	D5	入出力	データ	D5	入出力	データ	D5
5	D6	入出力	データ	D6	入出力	データ	D6
6	D7	入出力	データ	D7	入出力	データ	D7
7	$\overline{CE1}$	入力	カードイネーブル	$\overline{CE1}$	入力	カードイネーブル	CE1B
8	A10	入力	アドレス	A10	入力	アドレス	A10
9	\overline{OE}	入力	出力イネーブル	\overline{OE}	入力	出力イネーブル	RD
10	A11	入力	アドレス	A11	入力	アドレス	A11
11	A9	入力	アドレス	A9	入力	アドレス	A9
12	A8	入力	アドレス	A8	入力	アドレス	A8
13	A13	入力	アドレス	A13	入力	アドレス	A13
14	A14	入力	アドレス	A14	入力	アドレス	A14
15	$\overline{WE}/$ \overline{PGM}	入力	ライトイネーブル	$\overline{WE}/$ \overline{PGM}	入力	ライトイネーブル	\overline{WE}
16	$\overline{RDY}/$ \overline{BSY}	出力	レディ / ビジー	\overline{IREQ}	出力	割り込み要求	PCCORDY
17	VCC		電源	VCC		電源	-
18	VPP1		プログラミング電 源	VPP1		プログラミングお よび周辺電源	-
19	A16	入力	アドレス	A16	入力	アドレス	A16
20	A15	入力	アドレス	A15	入力	アドレス	A15
21	A12	入力	アドレス	A12	入力	アドレス	A12
22	A7	入力	アドレス	A7	入力	アドレス	A7
23	A6	入力	アドレス	A6	入力	アドレス	A6
24	A5	入力	アドレス	A5	入力	アドレス	A5
25	A4	入力	アドレス	A4	入力	アドレス	A4
26	A3	入力	アドレス	A3	入力	アドレス	A3
27	A2	入力	アドレス	A2	入力	アドレス	A2
28	A1	入力	アドレス	A1	入力	アドレス	A1
29	A0	入力	アドレス	A0	入力	アドレス	A0
30	D0	入出力	データ	D0	入出力	データ	D0
31	D1	入出力	データ	D1	入出力	データ	D1

30. PC カードコントローラ (PCC)

端子 番号	IC メモリカードインタフェース			I/O カードインタフェース			SH7727 該当端子
	信号名	入出力	機能	信号名	入出力	機能	
32	D2	入出力	データ	D2	入出力	データ	D2
33	WP	出力	ライトプロテクト	$\overline{\text{IOIS16}}$	出力	16 ビット I/O ポート	$\overline{\text{IOIS16}}$
34	GND		グラウンド	GND		グラウンド	-
35	GND		グラウンド	GND		グラウンド	-
36	$\overline{\text{CD1}}$	出力	カード検出	$\overline{\text{CD1}}$	出力	カード検出	PCC0 $\overline{\text{CD1}}$
37	D11	入出力	データ	D11	入出力	データ	D11
38	D12	入出力	データ	D12	入出力	データ	D12
39	D13	入出力	データ	D13	入出力	データ	D13
40	D14	入出力	データ	D14	入出力	データ	D14
41	D15	入出力	データ	D15	入出力	データ	D15
42	$\overline{\text{CE2}}$	入力	カードイネーブル	$\overline{\text{CE2}}$	入力	カードイネーブル	CE2B
43	$\overline{\text{VS1}}$	出力	電圧センス	$\overline{\text{VS1}}$	出力	電圧センス	PCC0 $\overline{\text{VS1}}$
44	RFU		リザーブ	$\overline{\text{IOR1}}$	入力	I/O リード	ICIORD
45	RFU		リザーブ	$\overline{\text{IOWR}}$	入力	I/O ライト	ICIOWR
46	A17	入力	アドレス	A17	入力	アドレス	A17
47	A18	入力	アドレス	A18	入力	アドレス	A18
48	A19	入力	アドレス	A19	入力	アドレス	A19
49	A20	入力	アドレス	A20	入力	アドレス	A20
50	A21	入力	アドレス	A21	入力	アドレス	A21
51	VCC		電源	VCC		電源	-
52	VPP2		プログラミング電源	VPP2		プログラミングおよび周辺電源	-
53	A22	入力	アドレス	A22	入力	アドレス	A22
54	A23	入力	アドレス	A23	入力	アドレス	A23
55	A24	入力	アドレス	A24	入力	アドレス	A24
56	A25	入力	アドレス	A25	入力	アドレス	A25
57	$\overline{\text{VS2}}$	出力	電圧センス	$\overline{\text{VS2}}$	出力	電圧センス	PCC0 $\overline{\text{VS2}}$
58	RESET	入力	リセット	RESET	入力	リセット	PCC0RESET
59	$\overline{\text{WAIT}}$	出力	ウェイト要求	$\overline{\text{WAIT}}$	出力	ウェイト要求	PCC0 $\overline{\text{WAIT}}$
60	RFU		Reserved	$\overline{\text{INPACK}}$	出力	入力受け付け属性	-
61	$\overline{\text{REG}}$	入力	メモリ空間選択属性	$\overline{\text{REG}}$	入力	メモリ空間選択属性	PCCREG
62	BVD2	出力	バッテリー電圧検出	SPKR	出力	デジタル音声信号	PCC0BVD2

30. PC カードコントローラ (PCC)

端子 番号	IC メモリカードインタフェース			I/O カードインタフェース			SH7727 該当端子
	信号名	入出力	機能	信号名	入出力	機能	
63	BVD1	出力	バッテリー電圧検出	STSCHG	出力	カードステータス 変更	PCC0BVD1
64	D8	入出力	データ	D8	入出力	データ	D8
65	D9	入出力	データ	D9	入出力	データ	D9
66	D10	入出力	データ	D10	入出力	データ	D10
67	$\overline{CD2}$	出力	カード検出	$\overline{CD2}$	出力	カード検出	$\overline{PCC0CD2}$
68	GND		グラウンド	GND		グラウンド	-

30.3.2 PC カードインタフェースタイミング

(1) メモリカードインタフェースタイミング

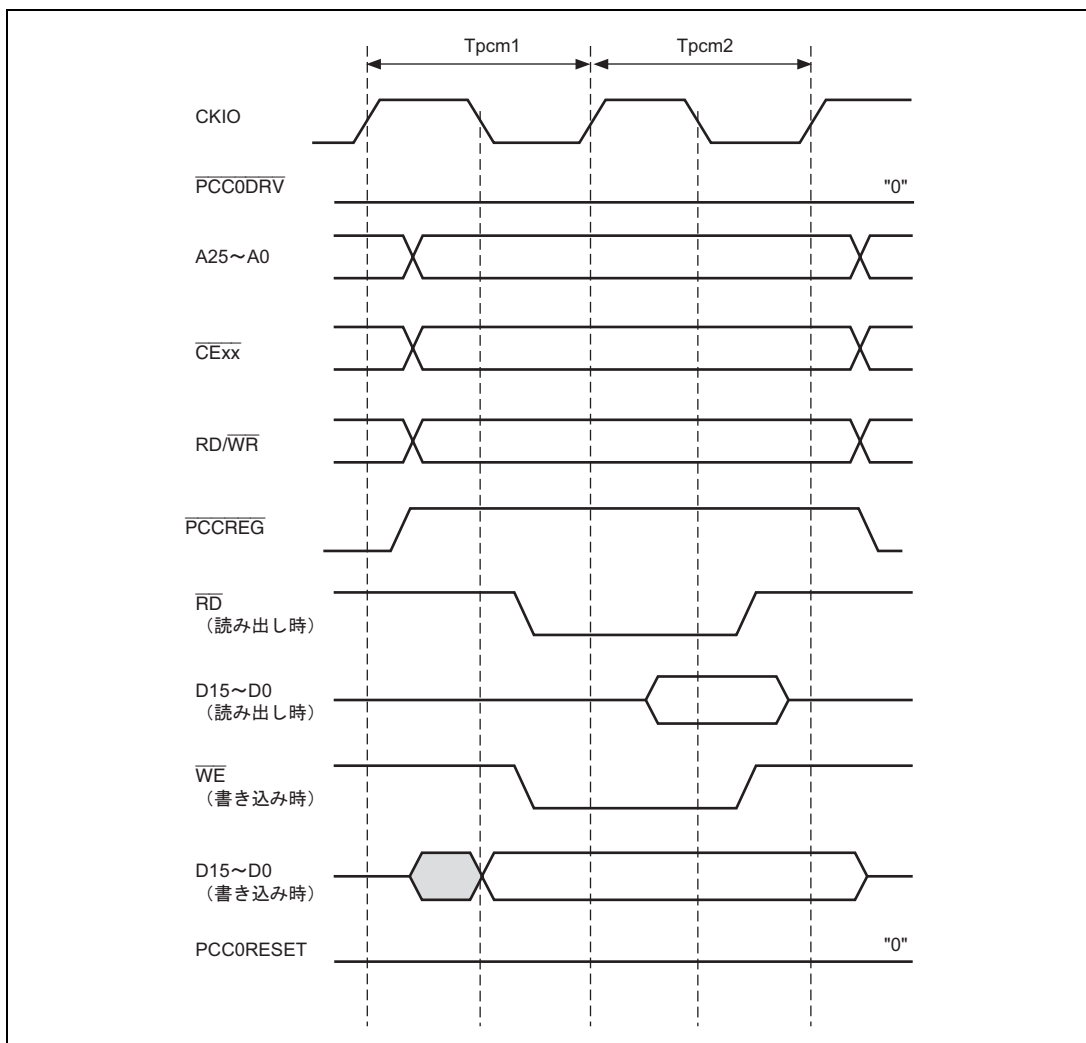


図 30.5 PCMCIA メモリカードインタフェース基本タイミング

30. PC カードコントローラ (PCC)

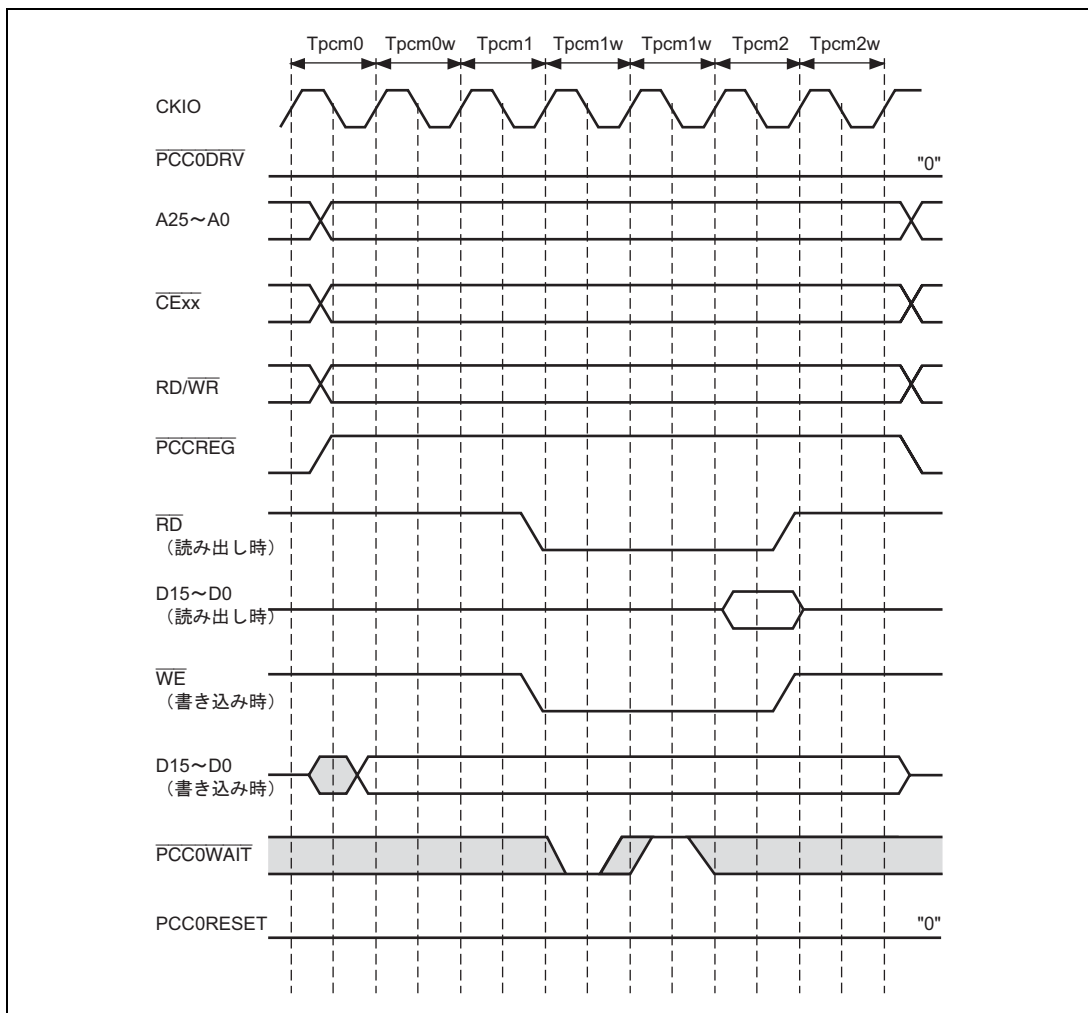


図 30.6 PCMCIA メモリカードインタフェースウェイトタイミング

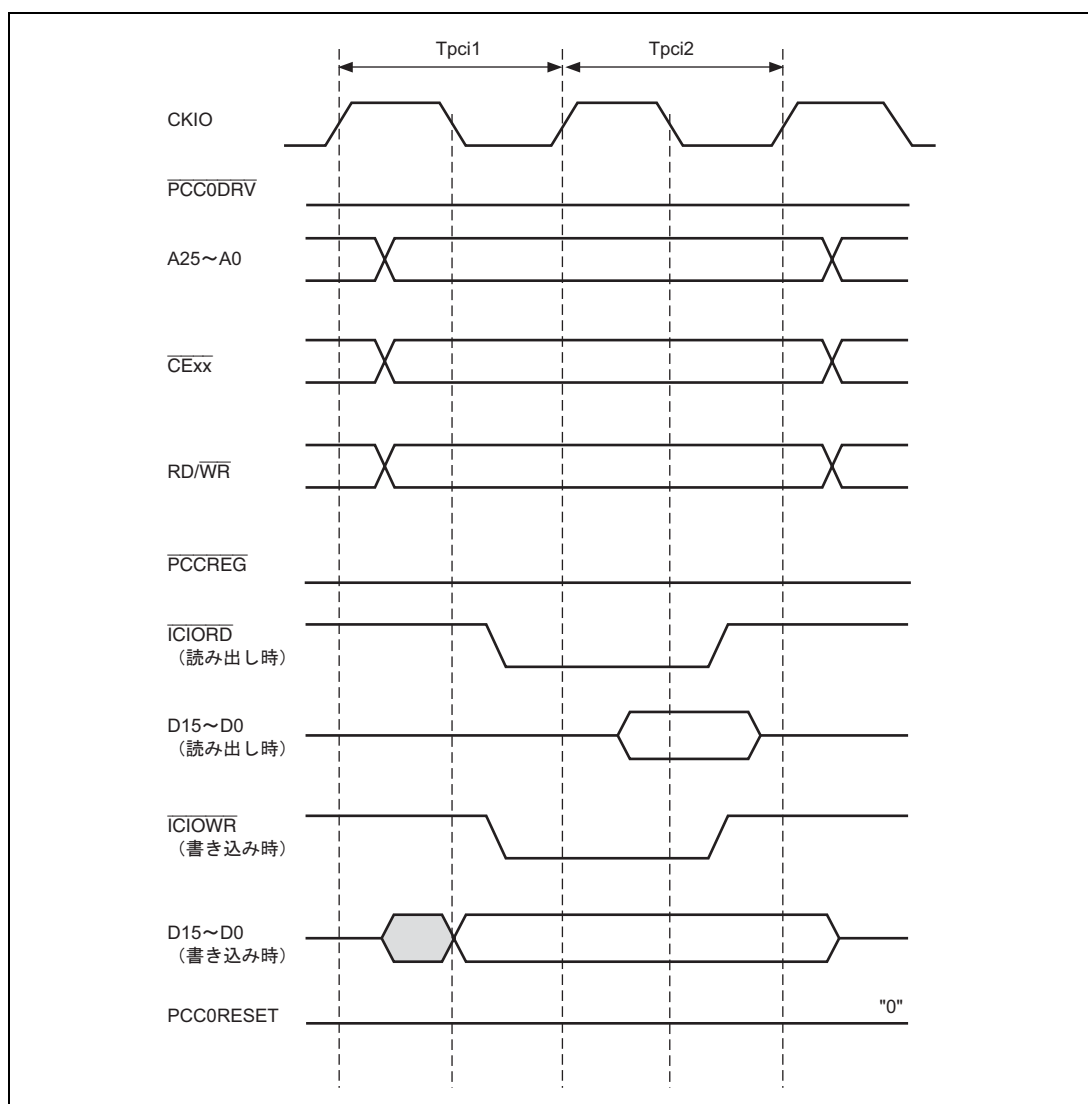


図 30.7 PCMCIA I/O カードインタフェース基本タイミング

30. PC カードコントローラ (PCC)

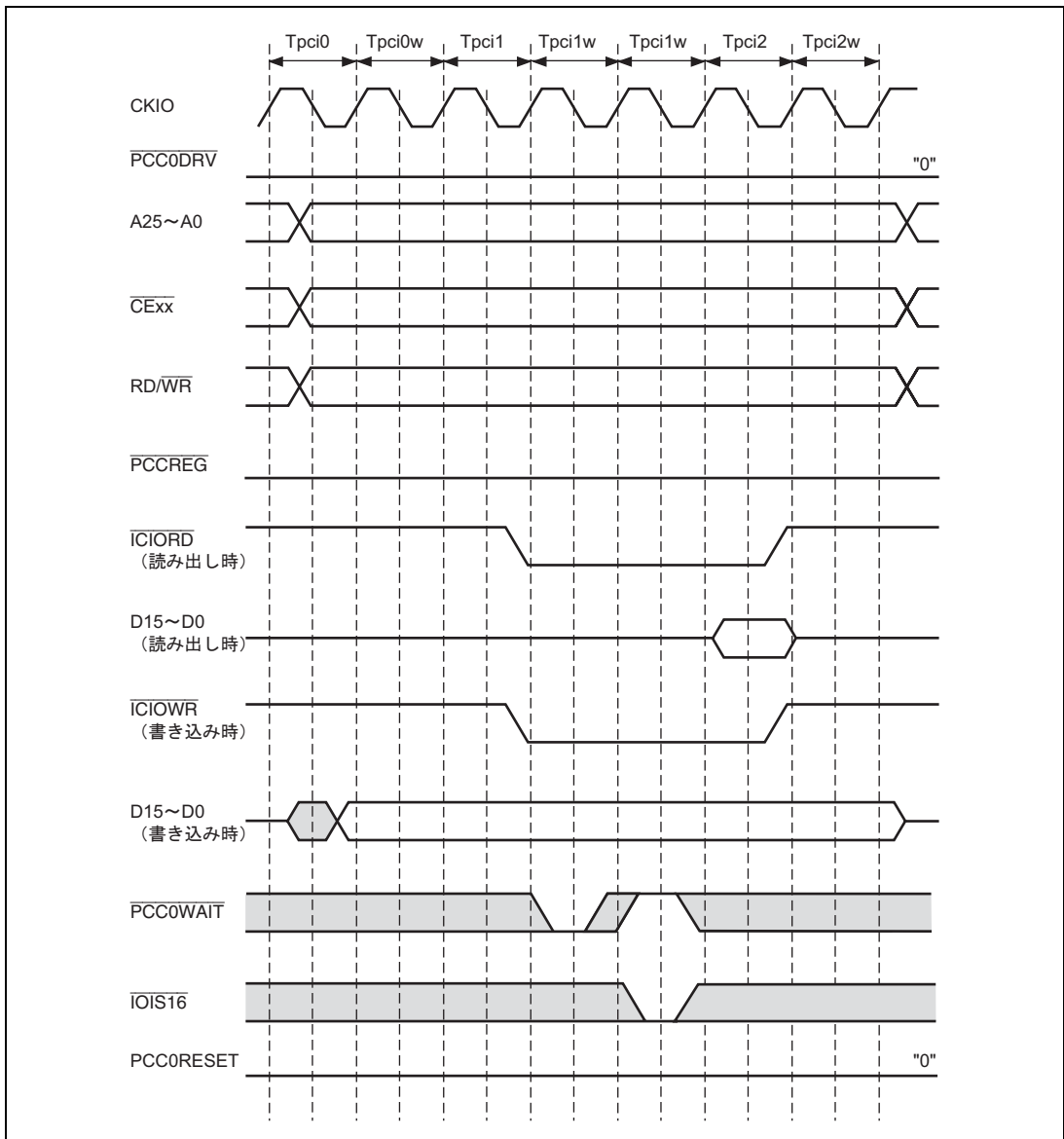


図 30.8 PCMCIA I/O カードインタフェースウェイトタイミング

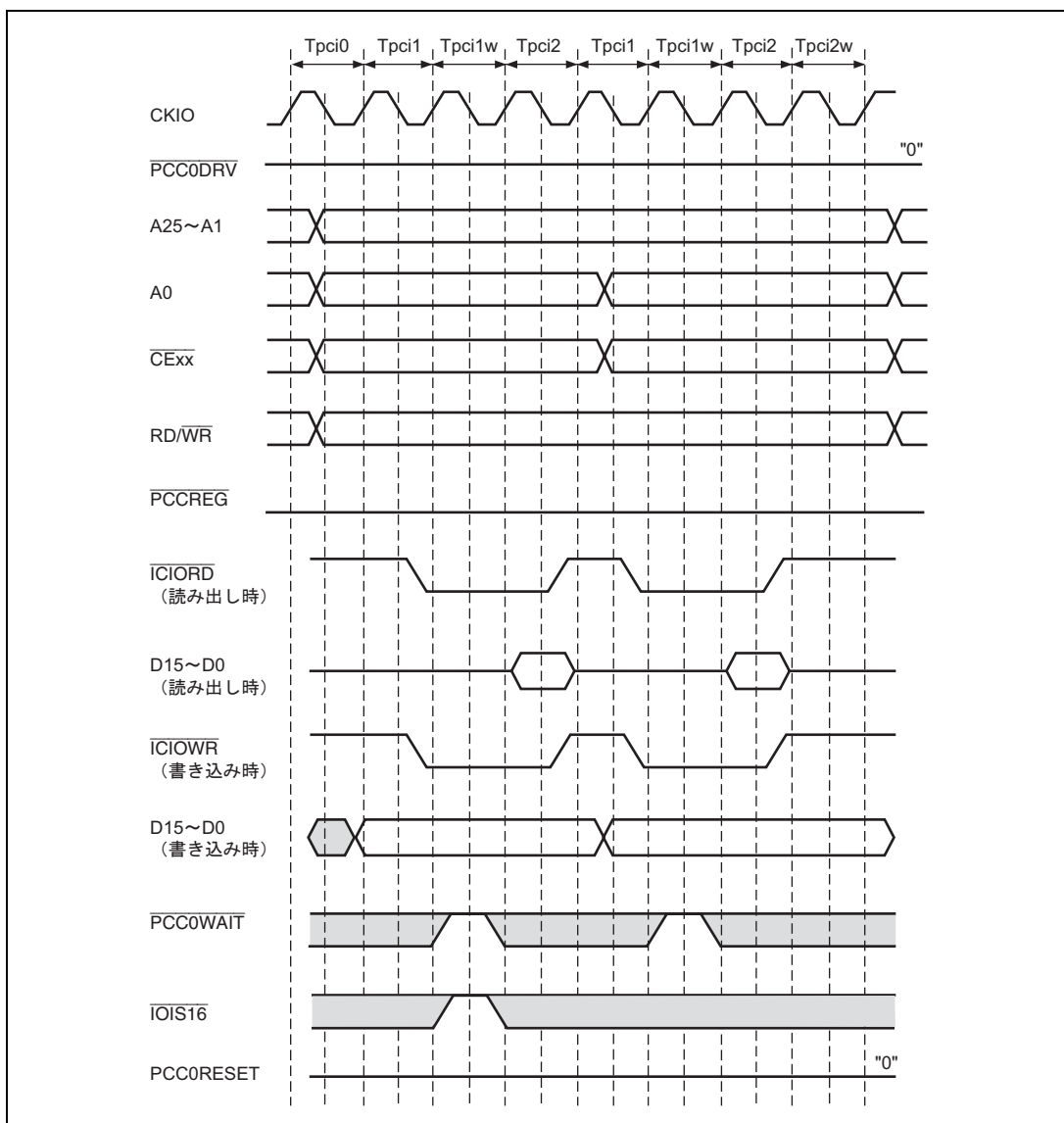


図 30.9 PCMCIA I/O カードインタフェースに対する動的バスサイジングタイミング

詳細については、「第 12 章 バスステートコントローラ (BSC)」および「第 32 章 電気的特性」を参照してください。

30.3.3 使用上の注意

(1) PC カード使用時の外部バス周波数の制限

PC カード規格によると、属性メモリアクセス時間は 600 ns (3.3 V) / 300 ns (5 V) と指定されています。したがって、SH7727 が属性メモリアクセスする場合、バスサイクルは PC カードインタフェースタイミングと調整する必要があります。SH7727 では、タイミングは PCR レジスタの TED および TEH 値、WCR1 と WCR2 レジスタのウェイト数とアイドルステート数を設定することによって調整し、PC カードを上記の周波数範囲で使用することができます。(-IORD および -IOWR 信号を基にした) 共通メモリアクセス時間と I/O アクセス時間も同様に指定し (下表を参照)、PC カードはこれらすべての仕様を満足するように上記の範囲内で使用しなければなりません。

PC カード空間	アクセス時間 (5 V 動作)	アクセス時間 (3.3 V 動作)
属性メモリ	300 ns	600 ns
共通メモリ	250 ns	600 ns
I/O 空間 (-IORD、-IOWR パルス幅)	165 ns	165 ns

(2) 端子機能コントロールとカードタイプの切り替え

ピンファンクションコントローラの端子機能を専用 PC カード用 (「その他の機能」) に設定する場合、まずカードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) に禁止状態を設定しなければなりません。また、カードステータスチェンジレジスタ (PCC0CSCR) は設定終了後クリアしなければなりません。ただし、この制限はカード検出端子 ($\overline{CD1}$ 、 $\overline{CD2}$) には適用されません。

エリア 6 ジェネラルコントロールレジスタ (PCC0GCR) のカードタイプビット (P0PCCT) を変更する場合、まずカードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) に禁止状態を設定しなければなりません。また、カードステータスチェンジレジスタ (PCC0CSCR) は設定終了後クリアしなければなりません。

- 理由

PC カードコントローラの設定を変更すると、種々の割り込みを発生する PC カード端子の機能は変化し、その結果不必要な割り込みが発生する場合があります。

(3) PC カードコントローラ使用時の設定順序

PC カードコントローラを使用する場合、下記順序に従ってください。

- ASEMD0 端子を High レベルにしてください。
- バスステートコントローラのバスコントロールレジスタ 1 (BCR1) のビット 0 (A6PCM) を 1 に設定してください。
- PC カードコントローラのエリア 6 ジェネラルコントロールレジスタのビット 4 (P0USE) を 1 に設定してください。
- ピンファンクションコントローラの端子機能を専用 PC カード用 (「その他の機能」) に設定してください。

31. ユーザデバッグインタフェース (H-UDI)

31.1 概要

SH7727は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェース(H-UDI)、およびアドバンストユーザデバッグ(AUD)を内蔵しています。

31.2 ユーザデバッグインタフェース (H-UDI)

ユーザデバッグインタフェース(H-UDI)は、JTAG(Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture)に対応したシリアル入出力インタフェースです。

SH7727のH-UDIはバウンダリスキャンをサポートし、エミュレータの接続にも使用されます。

エミュレータを使用する場合は、H-UDIの機能を使用しないでください。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

31.2.1 端子の説明

名称	説明
TCK	H-UDIのシリアルデータ入出力用クロック端子。データはこのクロックに同期してデータ入力端子(TDI)からH-UDIにシリアルに供給され、データ出力端子(TDO)から出力されます。
TMS	モードセレクト入力端子。TCKに同期してこの信号を変化させることによってTAP制御回路の状態が決まります。プロトコルはJTAG規格(IEEE Std.1149.1)に対応しています。
TRST	H-UDIのリセット入力端子。TCKとは非同期で入力を受け付けローレベルでH-UDIをリセットします。リセット構成の詳細については「31.4.2 リセット構成」を参照してください。
TDI	H-UDIシリアルデータ入力端子。H-UDIに対してのデータ転送はTCKに同期してこの信号を変化させることによって実行します。
TDO	H-UDIシリアルデータ出力端子。H-UDIからのデータ出力はTCKに同期してこの信号を読み出すことによって実行します。
ASEMD0	ASEモードセレクト端子。RESETP端子アサート期間中に、ASEMD0端子にローレベルを入力するとASEモードになり、ハイレベルを入力すると通常モードになります。エミュレータおよびH-UDIを使用せずに、ユーザシステム単体で使用する場合は、ハイレベルにしてください。ASEモードでは、バウンダリスキャンやエミュレータ用の機能が使用可能になります。ASEMD0端子への入力レベルは、RESETP端子ネゲート後、最低1サイクル保持してください。
ASEBRKAK	エミュレータ専用の端子

31. ユーザデバッグインタフェース (H-UDI)

31.2.2 ブロック図

H-UDIのブロック図を図 31.1 に示します。

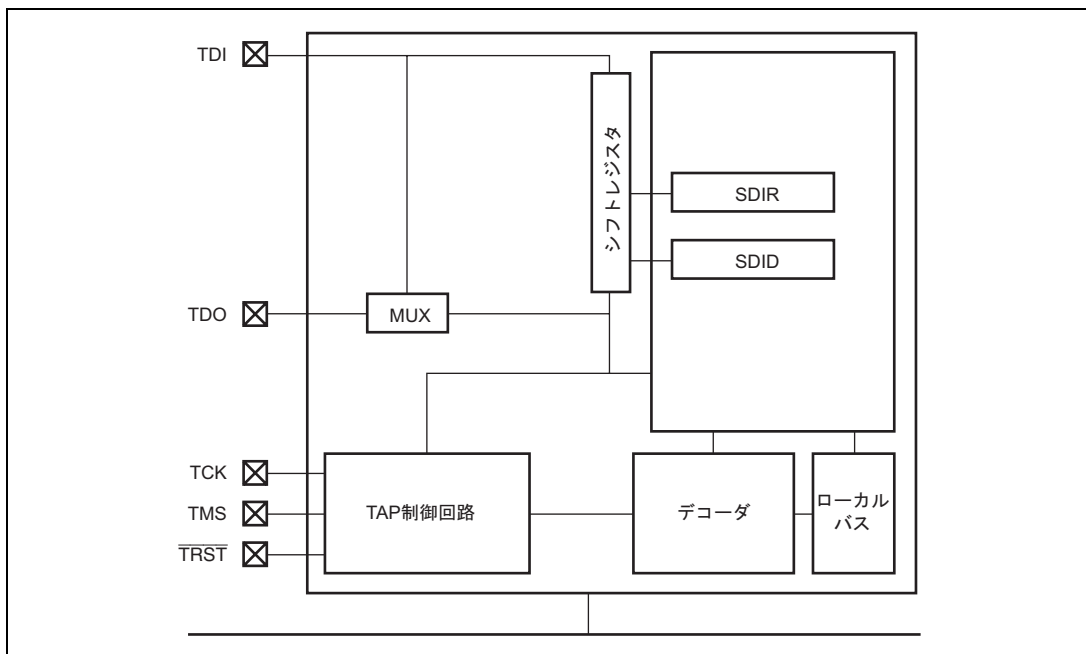


図 31.1 H-UDI ブロック図

31.3 レジスタの説明

H-UDI は次のレジスタを内蔵しています。

- SDIR : インストラクションレジスタ
- SDID : デバイス識別レジスタ
- SDBSR : バウンダリスキャンレジスタ

表 31.1 に H-UDI レジスタ構成を示します。

表 31.1 H-UDI レジスタ

名称	略称	CPU 側			H-UDI 側		初期値*
		R/W	サイズ	アドレス	R/W	サイズ	
インストラクションレジスタ	SDIR	R	16	H'04000200	R/W	16	H'FFFF
デバイス識別レジスタ	SDID				R	32	H'0004200F
バウンダリスキャンレジスタ	SDBSR				R/W		不定

【注】 * $\overline{\text{TRST}}$ 端子がローレベル、または TAP が Test-Logic-Reset state で初期化されます。

31.3.1 バイパスレジスタ (SDBPR)

バイパスレジスタはCPUではアクセスすることができない1ビットのレジスタです。SDIRをバイパスモードにセットすると、SDBPRはH-UDI端子のTDIとTDOの間に接続されます。

31.3.2 インストラクションレジスタ (SDIR)

インストラクションレジスタ (SDIR) は16ビットの読み出し専用のレジスタです。初期状態でこのレジスタはバイパスモードになっています。 $\overline{\text{TRST}}$ のアサートまたは、TAPのTest-Logic-Reset状態のときに初期化されます。また、CPUモードに関係なくH-UDIが書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。

ビット:	15	14	13	12	11	10	9	8
ビット名:	TI3	TI2	TI1	TI0	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
ビット:	7	6	5	4	3	2	1	0
ビット名:	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1

- ビット15~12: テストインストラクションビット (TI3~TI0)

CPUによる書き込みは不可

表 31.2 H-UDI コマンド

名称				説明
TI3	TI2	TI1	TI0	
0	0	0	0	EXTEST
0	1	0	0	SAMPLE/PRELOAD
0	1	0	1	予約
0	1	1	0	H-UDI リセットネゲート
0	1	1	1	H-UDI リセットアサート
1	0	0		予約
1	0	1		H-UDI 割り込み
1	1	0		予約
1	1	1	0	予約
1	1	1	1	Bypass mode (初期値)
0	0	0	1	スリープからの復帰

- ビット11~0: 予約ビット

読み出すと常に1が読み出されます。

31. ユーザデバッグインタフェース (H-UDI)

31.3.3 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。

EXTEST と SAMPLE/PRELOAD コマンドを用いて、JTAG 規格に準拠したバウンダリスキャンテストを行うことができます。表 31.3 に SH7727 の端子とバウンダリスキャンレジスタの対応を示します。

表 31.3 SH7727 の端子とバウンダリスキャンレジスタの対応

ビット名	端子名	入出力	ビット名	端子名	入出力
	from TDI		365	D5	IN
391	D31/PTB7	IN	364	D4	IN
390	D30/PTB6	IN	363	D3	IN
389	D29/PTB5	IN	362	D2	IN
388	D28/PTB4	IN	361	D1	IN
387	D27/PTB3	IN	360	D0	IN
386	D26/PTB2	IN	359	MD1	IN
385	D25/PTB1	IN	358	MD2	IN
384	D24/PTB0	IN	357	NMI	IN
383	D23/PTA7	IN	356	IRQ0/IRL0/PTH0	IN
382	D22/PTA6	IN	355	IRQ1/IRL1/PTH1	IN
381	D21/PTA5	IN	354	IRQ2/IRL2/PTH2	IN
380	D20/PTA4	IN	353	IRQ3/IRL3/PTH3	IN
379	D19/PTA3	IN	352	IRQ4/PTH4	IN
378	D18/PTA2	IN	351	MD5	IN
377	D17/PTA1	IN	350	BREQ	IN
376	D16/PTA0	IN	349	VEPWC	OUT
375	D15	IN	348	VCPWC	OUT
374	D14	IN	347	BACK	OUT
373	D13	IN	346	D31/PTB7	OUT
372	D12	IN	345	D30/PTB6	OUT
371	D11	IN	344	D29/PTB5	OUT
370	D10	IN	343	D28/PTB4	OUT
369	D9	IN	342	D27/PTB3	OUT
368	D8	IN	341	D26/PTB2	OUT
367	D7	IN	340	D25/PTB1	OUT
366	D6	IN	339	D24/PTB0	OUT

31. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
338	D23/PTA7	OUT	305	D25/PTB1	Control
337	D22/PTA6	OUT	304	D24/PTB0	Control
336	D21/PTA5	OUT	303	D23/PTA7	Control
335	D20/PTA4	OUT	302	D22/PTA6	Control
334	D19/PTA3	OUT	301	D21/PTA5	Control
333	D18/PTA2	OUT	300	D20/PTA4	Control
332	D17/PTA1	OUT	299	D19/PTA3	Control
331	D16/PTA0	OUT	298	D18/PTA2	Control
330	D15	OUT	297	D17/PTA1	Control
329	D14	OUT	296	D16/PTA0	Control
328	D13	OUT	295	D15	Control
327	D12	OUT	294	D14	Control
326	D11	OUT	293	D13	Control
325	D10	OUT	292	D12	Control
324	D9	OUT	291	D11	Control
323	D8	OUT	290	D10	Control
322	D7	OUT	289	D9	Control
321	D6	OUT	288	D8	Control
320	D5	OUT	287	D7	Control
319	D4	OUT	286	D6	Control
318	D3	OUT	285	D5	Control
317	D2	OUT	284	D4	Control
316	D1	OUT	283	D3	Control
315	D0	OUT	282	D2	Control
314	VEPWC	Control	281	D1	Control
313	VCPWC	Control	280	D0	Control
312	BACK	Control	279	$\overline{BS}/PTK4$	IN
311	D31/PTB7	Control	278	$\overline{WE2}/DQMUL/\overline{ICIOR}/PTK6$	IN
310	D30/PTB6	Control	277	$\overline{WE3}/DQMUU/\overline{ICIOR}/PTK7$	IN
309	D29/PTB5	Control	276	$\overline{AUDSYN}/PTE7/PCC0RDY$	IN
308	D28/PTB4	Control	275	$\overline{CS4}/PTK2$	IN
307	D27/PTB3	Control	274	$\overline{CS5}/\overline{CE1A}/PTK3$	IN
306	D26/PTB2	Control	273	$\overline{CE2A}/PTE4$	IN

31. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
272	CE2B/PTE5	IN	245	A20	OUT
271	AFE_HC1/USB1d_DPLS/PTK0	IN	244	A21	OUT
270	AFE_RLYCNT/USB1d_DMNS/ PTK1	IN	243	A22	OUT
269	AFE_SCLK/USB1d_TXDPLS	IN	242	A23	OUT
268	PTM7/PINT7/AFE_FS/USB1d_ RCV	IN	241	A24	OUT
267	PTM6/PINT6/AFE_RXIN/USB1d_ _SPEED	IN	240	A25	OUT
266	PTM5/PINT5/AFE_TXOUT/ USB1d_TXSE0	IN	239	BS/PTK4	OUT
265	A0	OUT	238	RD	OUT
264	A1	OUT	237	WE0/DQMLL	OUT
263	A2	OUT	236	WE1/DQMLU/WE	OUT
262	A3	OUT	235	WE2/DQMUL/ICIORD/PTK6	OUT
261	A4	OUT	234	WE3/DQMUU/ICIOWR/PTK7	OUT
260	A5	OUT	233	RD/WR	OUT
259	A6	OUT	232	AUDSYNC/PTE7/PCC0RDY	OUT
258	A7	OUT	231	CS0	OUT
257	A8	OUT	230	CS2	OUT
256	A9	OUT	229	CS3	OUT
255	A10	OUT	228	CS4/PTK2	OUT
254	A11	OUT	227	CS5/CE1A/PTK3	OUT
253	A12	OUT	226	CS6/CE1B	OUT
252	A13	OUT	225	CE2A/PTE4	OUT
251	A14	OUT	224	CE2B/PTE5	OUT
250	A15	OUT	223	AFE_HC1/USB1d_DPLS/PTK0	OUT
249	A16	OUT	222	AFE_RLYCNT/USB1d_DMNS/ PTK1	OUT
248	A17	OUT	221	AFE_SCLK/USB1d_TXDPLS	OUT
247	A18	OUT	220	PTM7/PINT7/AFE_FS/USB1d_ RCV	OUT
246	A19	OUT	219	PTM6/PINT6/AFE_RXIN/ USB1d_SPEED	OUT

31. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
218	PTM5/PINT5/AFE_TXOUT/ USB1d_TXSE0	OUT	188	$\overline{WE1}/DQMLU/\overline{WE}$	Control
217	A0	Control	187	$\overline{WE2}/DQMUL/\overline{ICIORD}/PTK6$	Control
216	A1	Control	186	$\overline{WE3}/DQMUU/\overline{ICIOWR}/PTK7$	Control
215	A2	Control	185	RD/\overline{WR}	Control
214	A3	Control	184	$\overline{AUDSYNC}/PTE7/\overline{PCC0RDY}$	Control
213	A4	Control	183	$\overline{CS0}$	Control
212	A5	Control	182	$\overline{CS2}$	Control
211	A6	Control	181	$\overline{CS3}$	Control
210	A7	Control	180	$\overline{CS4}/PTK2$	Control
209	A8	Control	179	$\overline{CS5}/CE1A/PTK3$	Control
208	A9	Control	178	$\overline{CS6}/CE1B$	Control
207	A10	Control	177	$\overline{CE2A}/PTE4$	Control
206	A11	Control	176	$\overline{CE2B}/PTE5$	Control
205	A12	Control	175	AFE_HC1/USB1d_DPLS/PTK0	Control
204	A13	Control	174	AFE_RLYCNT/USB1d_DMNS/ PTK1	Control
203	A14	Control	173	AFE_SCLK/USB1d_TXDPLS	Control
202	A15	Control	172	PTM7/PINT7/AFE_FS/USB1d_ RCV	Control
201	A16	Control	171	PTM6/PINT6/AFE_RXIN/USB1d_ _SPEED	Control
200	A17	Control	170	PTM5/PINT5/AFE_TXOUT/ USB1D_TXSE0	Control
199	A18	Control	169	PTM4/PINT4/AFE_RDET	IN
198	A19	Control	168	予約/USB1d_SUSPEND	IN
197	A20	Control	167	$\overline{USB1_ovr_current}/\overline{USBF_VBUS}$	IN
196	A21	Control	166	$\overline{USB2_ovr_current}$	IN
195	A22	Control	165	$\overline{RTS2}/\overline{USB1d_TXENL}$	IN
194	A23	Control	164	PTE2/USB1_PWR_EN	IN
193	A24	Control	163	PTE1/USB2_PWR_EN	IN
192	A25	Control	162	CKE/PTK5	IN
191	$\overline{BS}/PTK4$	Control	161	$\overline{RAS}/PTJ0$	IN
190	\overline{RD}	Control	160	予約/PTJ1	IN
189	$\overline{WE0}/DQMLL$	Control	159	予約/ $\overline{CAS}/PTJ2$	IN

31. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
158	予約/PTJ3	IN	124	CL1/PTD5	OUT
157	予約/PTJ4	IN	123	DON/PTD7	OUT
156	予約/PTJ5	IN	122	M_DISP/PTE6	OUT
155	CL1/PTD5	IN	121	FLM/PTE3	OUT
154	DON/PTD7	IN	120	PCC0RESET/DRAK0	OUT
153	M_DISP/PTE6	IN	119	PCC0DRV/DACK0	OUT
152	FLM/PTE3	IN	118	ASEBRKAK/PTG5	OUT
151	WAIT	IN	117	AUDATA3/PTG3/PCC0BVD2	OUT
150	AUDCK/PTH6/PCC0WAIT	IN	116	AUDATA2/PTG2/PCC0BVD1	OUT
149	IOIS16/PTG7	IN	115	AUDATA1/PTG1/PCC0CD2	OUT
148	ASEBRKAK/PTG5	IN	114	AUDATA0/PTG0/PCC0CD1	OUT
147	PTG4	IN	113	PTF3/PINT11/予約	OUT
146	AUDATA3/PTG3/PCC0BVD2	IN	112	PTF2/PCCREG/予約	OUT
145	AUDATA2/PTG2/PCC0BVD1	IN	111	PTF1/PCC0VS1/予約	OUT
144	AUDATA1/PTG1/PCC0CD2	IN	110	PTF0/PCC0VS2/予約	OUT
143	AUDATA0/PTG0/PCC0CD1	IN	109	PTM4/PINT4/AFE_RDET	Control
142	PTH5/ADTRG	IN	108	予約/USB1d_SUSPEND	Control
141	PTF3/PINT11/予約	IN	107	RTS2/USB1d_TXENL	Control
140	PTF2/PCCREG/予約	IN	106	PTE2/USB1_PWR_EN	Control
139	PTF1/PCC0VS1/予約	IN	105	PTE1/USB2_PWR_EN	Control
138	PTF0/PCC0VS2/予約	IN	104	CKE/PTK5	Control
137	MD0	IN	103	RAS/PTJ0	Control
136	PTM4/PINT4/AFE_RDET	OUT	102	予約/PTJ1	Control
135	予約/USB1d_SUSPEND	OUT	101	予約/CAS/PTJ2	Control
134	RTS2/USB1d_TXEML	OUT	100	予約/PTJ3	Control
133	PTE2/USB1_PWR_EN	OUT	99	予約/PTJ4	Control
132	PTE1/USB2_PWR_EN	OUT	98	予約/PTJ5	Control
131	CKE/PTK5	OUT	97	CL1/PTD5	Control
130	RAS/PTJ0	OUT	96	DON/PTD7	Control
129	予約/PTJ1	OUT	95	M_DISP/PTE6	Control
128	予約/CAS/PTJ2	OUT	94	FLM/PTE3	Control
127	予約/PTJ3	OUT	93	PCC0RESET/DRAK0	Control
126	予約/PTJ4	OUT	92	PCC0DRV/DACK0	Control
125	予約/PTJ5	OUT	91	ASEBRKAK/PTG5	Control

31. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
90	AUDATA3/PTG3/PCC0BVD2	Control	57	LCD5/PTC3	IN
89	AUDATA2/PTG2/PCC0BVD1	Control	56	LCD4/PTC2	IN
88	AUDATA1/PTG1/PCC0CD2	Control	55	LCD3/PTC1	IN
87	AUDATA0/PTG0/PCC0CD1	Control	54	LCD2/PTC0	IN
86	PTF3/PINT11/予約	Control	53	MD3	IN
85	PTF2/PCCREG/予約	Control	52	MD4	IN
84	PTF1/PCC0VS1/予約	Control	51	PTM3/LCD15/PINT10	OUT
83	PTF0/PCC0VS2/予約	Control	50	PTM2/LCD14/PINT9	OUT
82	PTM3/LCD15/PINT10	IN	49	PTM1/LCD13/PINT8	OUT
81	PTM2/LCD14/PINT9	IN	48	PTM0/LCD12	OUT
80	PTM1/LCD13/PINT8	IN	47	STATUS0/PTJ6	OUT
79	PTM0/LCD12	IN	46	STATUS1/PTJ7	OUT
78	STATUS0/PTJ6	IN	45	CL2/PTH7	OUT
77	STATUS1/PTJ7	IN	44	TxD0/SCPT0	OUT
76	CL2/PTH7	IN	43	SCK0/SCPT1	OUT
75	SCK0/SCPT1	IN	42	TxD_SIO/SCPT2	OUT
74	SIOMCLK/SCPT3	IN	41	SIOMCLK/SCPT3	OUT
73	SCK_SIO/SCPT5	IN	40	TxD2/SCPT4	OUT
72	SIOFSYNC/SCPT6	IN	39	SCK_SIO/SCPT5	OUT
71	RxD0/SCPT0	IN	38	SIOFSYNC/SCPT6	OUT
70	RxD2/SCPT4	IN	37	LCD11/PTC7/PINT3	OUT
69	LCD7/PTD3	IN	36	LCD10/PTC6/PINT2	OUT
68	LCD6/PTD2	IN	35	LCD9/PTC5/PINT1	OUT
67	LCD1/PTD1	IN	34	LCD8/PTC4/PINT0	OUT
66	LCD0/PTD0	IN	33	LCD7/PTD3	OUT
65	DREQ0/PTD4	IN	32	LCD6/PTD2	OUT
64	LCLK/UCLK/PTD6	IN	31	LCD5/PTC3	OUT
63	RxD_SIO/SCPT2	IN	30	LCD4/PTC2	OUT
62	CTS2/IRQ5/SCPT7	IN	29	LCD3/PTC1	OUT
61	LCD11/PTC7/PINT3	IN	28	LCD2/PTC0	OUT
60	LCD10/PTC6/PINT2	IN	27	LCD1/PTD1	OUT
59	LCD9/PTC5/PINT1	IN	26	LCD0/PTD0	OUT
58	LCD8/PTC4/PINT0	IN	25	PTM3/LCD15/PINT10	Control

31. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
24	PTM2/LCD14/PINT9	Control	11	LCD11/PTC7/PINT3	Control
23	PTM1/LCD13/PINT8	Control	10	LCD10/PTC6/PINT2	Control
22	PTM0/LCD12	Control	9	LCD9/PTC5/PINT1	Control
21	STATUS0/PTJ6	Control	8	LCD8/PTC4/PINT0	Control
20	STATUS1/PTJ7	Control	7	LCD7/PTD3	Control
19	CL2/PTH7	Control	6	LCD6/PTD2	Control
18	TxD0/SCPT0	Control	5	LCD5/PTC3	Control
17	SCK0/SCPT1	Control	4	LCD4/PTC2	Control
16	TxD_SIO/SCPT2	Control	3	LCD3/PTC1	Control
15	SIOMCLK/SCPT3	Control	2	LCD2/PTC0	Control
14	TxD2/SCPT4	Control	1	LCD1/PTD1	Control
13	SCK_SIO/SCPT5	Control	0	LCD0/PTD0	Control
12	SIOFSYNC/SCPT6	Control	to TDO		

【注】 Control はローアクティブの信号。Control を Low にすることで、該当ピンを OUT の値でドライブする。

31.4 H-UDI の動作説明

31.4.1 TAP コントローラ

図 31.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

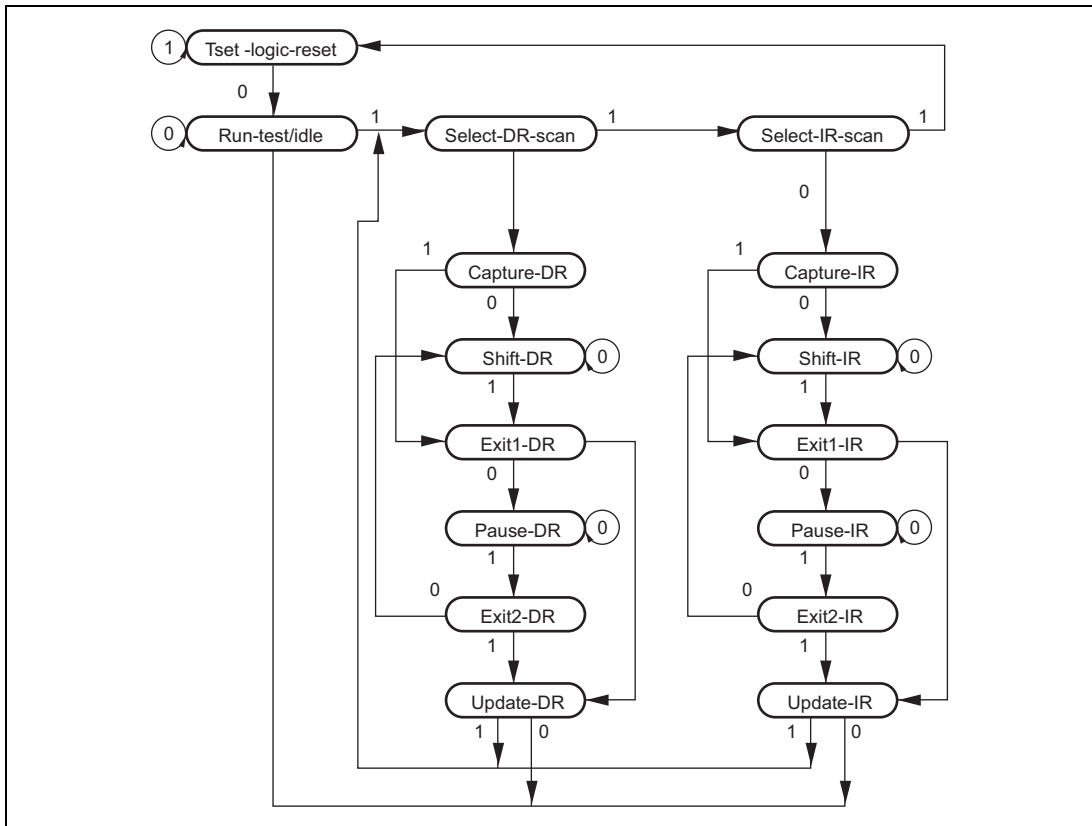


図 31.2 TAP コントローラ状態遷移図

【注】 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。TDO値はTCKの立ち下がりエッジで変化します。また、TDOはShift-DR(Shift-SR)、Shift-IR状態以外ではハイインピーダンス状態です。TRST=0でTCKとは非同期でTest-Logic-Reset状態へ遷移します。

31. ユーザデバッグインタフェース (H-UDI)

31.4.2 リセット構成

表 31.4 リセット構成

ASEMD0*1	RESETP	TRST	チップ状態
H	L	L	通常リセットおよび H-UDI リセット
		H	通常リセット
	H	L	H-UDI リセットのみ
		H	通常動作
L	L	L	リセットホールド*2
		H	通常リセット ASE ユーザモード*3中：通常リセット ASE ブレークモード*3中： $\overline{\text{RESETP}}$ のアサートはマスクされます。
	H	L	H-UDI リセットのみ
		H	通常動作

【注】 *1 メインチップモードと ASE モードの設定を選択

$\overline{\text{ASEMD0}}=\text{H}$ 、メインチップモード

$\overline{\text{ASEMD0}}=\text{L}$ 、ASE モード

エミュレータおよび H-UDI を使用せずに、ユーザシステム単体で使用する場合は $\overline{\text{ASEMD0}}=\text{H}$ にしてください。

*2 ASE モード時、リセットホールドは一定サイクル期間、 $\overline{\text{RESETP}}$ と $\overline{\text{TRST}}$ 端子をローレベルにセットすることによって有効になります。この状態で $\overline{\text{RESETP}}$ をハイレベルにセットしても CPU は起動しません。そのあと $\overline{\text{TRST}}$ をハイレベルにセットすると、H-UDI 動作が有効になりますが CPU は起動しません。リセットホールド状態は次のようにして解除されます。

- ・ H-UDI からのブート要求 (ブートシーケンス)
- ・ 別の $\overline{\text{RESETP}}$ アサート (パワーオンリセット)

*3 ASE モードは、エミュレータのファームプログラムを実行するためのモード (ASE ブレークモード) とユーザのプログラムを実行するモード (ASE ユーザモード) の 2 つに分けられます。

31.4.3 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをリセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドを入力することにより、H-UDI リセットが解除されます。

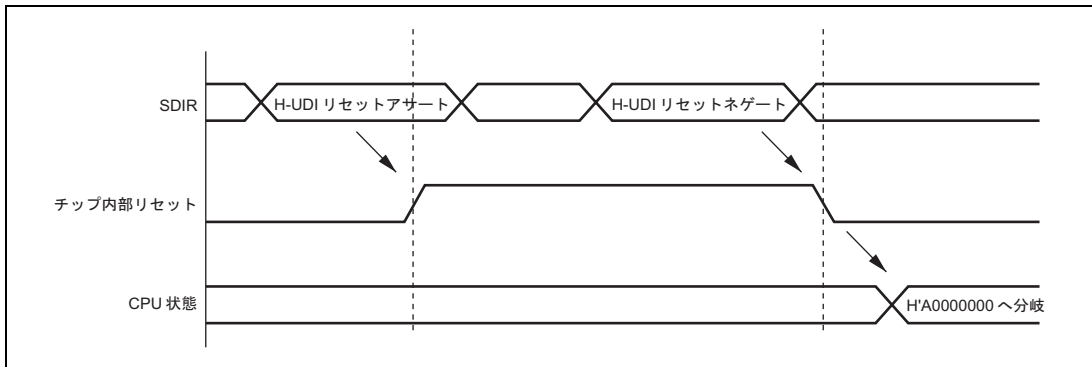


図 31.3 H-UDI リセット

31.4.4 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からのコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外 / 割り込み動作であり、VBR 値とオフセットの和に基づくアドレスに分岐が発生し、RTE 命令で復帰します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード、スタンバイモードでは、H-UDI 割り込みは受け付けられません。

31.4.5 バイパス

H-UDI から SDIR へコマンドをセットすることにより、H-UDI 端子を JTAG 準拠のバイパスモードに設定できます。

31.4.6 H-UDI によるスリープからの復帰

スリープモード中、SDIR へ H-UDI からコマンド (0001) をセットすることにより、スリープから復帰することができます。

31.5 使用上の注意

- (1) H-UDI 割り込み以外の H-UDI コマンドは、いったんセットされるとほかのコマンドが H-UDI から再発行されないかぎり変更されません。ただし、H-UDI 割り込みコマンドは、いったんセットされたあと、バイパスコマンドに変更されます。
- (2) スタンバイモードではチップ動作が中断されるため H-UDI コマンドは受け付けられません。ただし、TAP 制御回路はこのとき動作を継続します。
- (3) H-UDI はエミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDI の機能は使用できません。

31.6 アドバンストユーザデバッガ (AUD)

AUD はエミュレータ専用の機能です。AUD の詳細については各エミュレータのユーザーズマニュアルを参照してください。

32. 電気的特性

32.1 絶対最大定格

絶対最大定格を表 32.1 に示します。

表 32.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (I/O)	V_{CCQ}	- 0.3 ~ 4.2	V
電源電圧 (内部)	V_{CC} , $V_{CC-PLL1}$, $V_{CC-PLL2}$, V_{CC-RTC}	- 0.3 ~ 2.5	V
入力電圧 (ポート L 以外)	V_{in}	- 0.3 ~ $V_{CCQ} + 0.3$	V
入力電圧 (ポート L)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ 4.6	V
USB 電源電圧	AV_{CC_USB}	- 0.3 ~ 4.2	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	- 20 ~ 75	
保存温度	T_{str}	- 55 ~ 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

1. 1.9V 系電源 (V_{CC} 、 $V_{CC-PLL1}$ 、 $V_{CC-PLL2}$ 、 V_{CC-RTC}) と 3.3V 系電源 (V_{CCQ} 、 AV_{CC} 、 AV_{CC_USB}) の投入順序について
 - (1) 3.3V 系電源を先に投入してください。このあと、1ms 以内に 1.9V 系電源を投入してください。この間隔をできるだけ短くすることを推奨します。
 - (2) すべての電源に電圧が印加され、 \overline{RESETP} 端子に Low レベルが入力されて CKIO クロックが最大 4 クロック動作するまでの間、内部回路は不確定なので、各端子の状態も不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。
なお、CA 端子が Low レベルのときには \overline{RESETP} 端子の Low レベル入力を受け付けません。
 - (3) MD5 ~ MD0 端子は電源立ち上げ後に確定させ、 \overline{RESETP} 端子のネゲート後まで保持してください。MD5 ~ MD0 端子の読み込みは、 \overline{RESETP} 端子アサート中に常に行います。

図 32.1 に電源投入時の波形を示します。

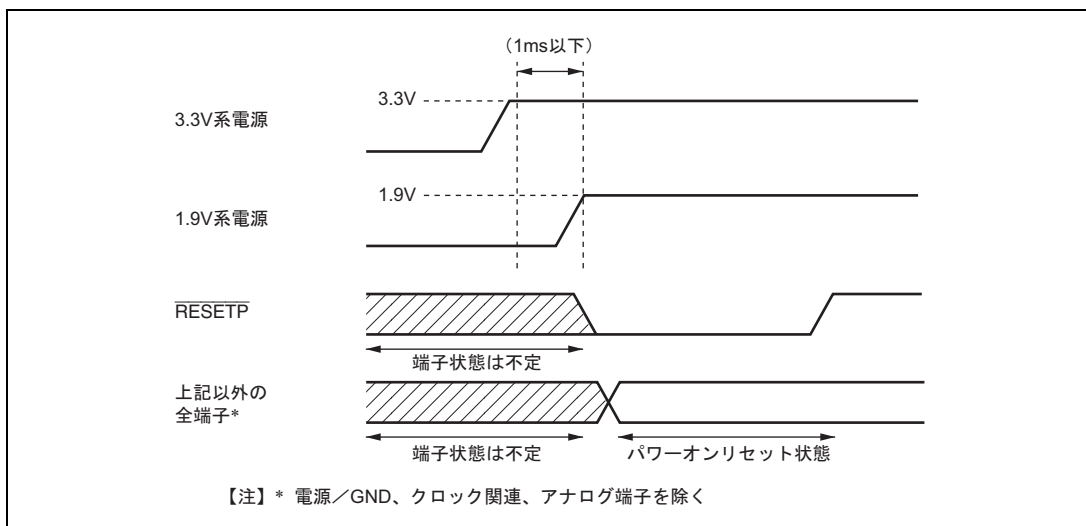


図 32.1 電源投入シーケンス

2. 電源の切断順序について

- (1) 電源投入時と逆に、1.9V系電源を先に切断してください。このあと、1ms以内に3.3V系電源を切断してください。この間隔をできるだけ短くすることを推奨します。
- (2) 1.9V系電源だけを切断した状態では、端子状態は不定となります。
この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

32.2 DC 特性

DC 特性を表 32.2、表 32.3 に示します。

表 32.2 DC 特性 (1)

条件: $T_a = -20 \sim 75$

項目		記号	min	typ	max	単位	測定条件
電源電圧		V_{CCQ}	3.0	-	3.6	V	160MHz 品
			2.6	-	3.6		100MHz 品
		V_{CC} , $V_{CC-PLL1}$, $V_{CC-PLL2}$, V_{CC-RTC}^{*1}	1.70	-	2.05		160MHz 品
			1.60	-	2.05		100MHz 品
アナログ (A/D、D/A) 電源電圧		AV_{CC}^{*2}	3.0	3.3	3.6	V	未使用時は、 V_{CCQ} と同電位可。
アナログ USB 電源電圧		AV_{CC_USB}	3.0	3.3	3.6	V	未使用時は、 V_{CCQ} と同電位可。
アナログ (A/D、D/A) 電源電流	A/D 変換期間	I_{CC}	-	0.8	2	mA	Ta=25
	A/D および D/A 変換期間		-	2.4	6	mA	
	アイドル		-	0.01	5.0	mA	
消費電流	通常動作時	I_{CC}^{*3}	-	330	650	mA	Ta=25、 $V_{CC}=1.9V$ 、 $I_{\phi}=160MHz$ 、X/Y メモリ ON、キャッシュ ON、弊社 テストプログラム動作時
			-	260	-		Ta=25、 $V_{CC}=1.9V$ 、 $I_{\phi}=160MHz$ 、X/Y メモリ OFF、キャッシュ ON、弊社 テストプログラム動作時
			-	250	450		Ta=25、 $V_{CC}=1.9V$ 、 $I_{\phi}=100MHz$ 、X/Y メモリ ON、キャッシュ ON、弊社 テストプログラム動作時

32. 電気的特性

項目		記号	min	typ	max	単位	測定条件
消費電流	通常動作時	I_{CC}^{*3}	-	190	-	mA	$T_a=25$ 、 $V_{CC}=1.9V$ 、 $I_{\phi}=100MHz$ 、X/Yメモリ OFF、キャッシュON、弊 社テストプログラム動作時
		I_{CCQ}	-	20	-		$V_{CCQ}=3.3V$ $B_{\phi}=33MHz$
	スリープ モード時*1	I_{SLEEP}	-	40	50		Total $V_{CC}+V_{CCQ}$ 、 $V_{CC}=1.9V$ 、 $V_{CCQ}=3.3V$ 、 B_{ϕ} $=33MHz$ 、リフレッシュ以 外のバスサイクルなし
	スタンバイモ ード時	I_{CC}	-	30	120	μA	$T_a=25$ （RTCクロック入 力あり）*4
		I_{CCQ}	-	10	30		$T_a=25$ （RTCクロック入 力あり）*4

【注】 *1 PLL、RTC を使用しない場合も必ず、 V_{CC-PLL} 、 V_{CC-RTC} を V_{CC} に、 V_{SS-PLL} 、 V_{SS-RTC} を V_{SS} に接続してください。

*2 AV_{CC} は、 $V_{CCQ}-0.3V$ AV_{CC} $V_{CCQ}+0.3V$ の条件を満足しなければなりません。A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{SS} 端子を開放しないで、 AV_{CC} は V_{CCQ} に AV_{SS} は V_{SSQ} に接続してください。

*3 消費電流値は、 $V_{IHmin}=V_{CCQ}-0.5V$ 、 $V_{ILMAX}=0.5V$ の条件で、すべての出力端子を無付加状態にした場合の値です。

*4 RTC クロック入力がない場合のスタンバイモード時の電流は規定されません。

表 32.2 DC 特性 (2)

条件: $T_a = -20 \sim 75$

項目		記号	min	typ	max	単位	測定条件
入力 ハイレベル 電圧	RESETP、 RESETM、NMI、 IRQ5 ~ IRQ0、 MD5 ~ MD0、 IRL3 ~ IRL0、 PINT15 ~ PINT0、 ASEMD0、 ADTRG、TRST、 EXTAL、CKIO、 CA	V_{IH}	$V_{CCQ} \times 0.9$	-	$V_{CCQ} + 0.3$	V	水晶振動子を接続しない場 合は V_{CC-RTC} に接続して ください。
	EXTAL2	-	-	-			
	ポート L	2.0	-	$AV_{CC} + 0.3$			
	その他の入力端 子	2.0	-	$V_{CCQ} + 0.3$			
入力 ローレベル 電圧	RESETP、 RESETM、NMI	V_{IL}	- 0.3	-	$V_{CCQ} \times 0.1$	V	スタンバイモード時 通常動作時
	BREQ、IRQ5 ~ IRQ0、 MD5 ~ MD0		- 0.3	-	0.5		
	ポート L		- 0.3	-	$AV_{CC} \times 0.2$		
	その他の入力 端子		- 0.3	-	$V_{CCQ} \times 0.2$		
入力リーク 電流	全入力端子	$ I_{in} $	-	-	1.0	μA	$V_{in} =$ $0.5 - V_{CCQ} - 0.5V$
スリー プステ ート リーク電流	入出力、全出力端 子 (オフ状態)	$ I_{st} $	-	-	1.0	μA	$V_{in} =$ $0.5 - V_{CCQ} - 0.5V$
出力 ハイレベル 電圧	全出力端子	V_{OH}	2.4	-	-	V	$V_{CCQ} = 3.0V、$ $I_{OH} = -200 \mu A$
			2.0	-	-	V	$V_{CCQ} = 3.0V、$ $I_{OH} = -2mA$

32. 電気的特性

項目		記号	min	typ	max	単位	測定条件
出力ローレベル電圧	全出力端子	V_{OL}	-	-	0.55	V	$V_{CCQ} = 3.6V$ 、 $I_{OL} = 1.6mA$
ブルアップ抵抗	ポート端子	P_{pull}	30	60	120	k	
端子容量	アナログ端子以外	C	-	-	10	pF	
	アナログ端子*	C_{AN}	-	-	20	pF	

【注】 * ここでいうアナログ端子とは、USB1_P、USB2_P、USB1_M、USB2_Mの4端子です。

表 32.3 出力許容電流値

条件： $V_{CCQ} = 2.6 \sim 3.6V$ 、 $V_{CC} = 1.60 \sim 2.05V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$

項目	記号	min	typ	max	単位
出力 Low レベル許容電流(1端子あたり)	I_{OL}	-	-	2.0	mA
出力 Low レベル許容電流(総和)	I_{OL}	-	-	120	mA
出力 High レベル許容電流(1端子あたり)	$-I_{OH}$	-	-	2.0	mA
出力 High レベル許容電流(総和)	$(-I_{OH})$	-	-	40	mA

【注】 LSIの信頼性を確保するため、出力電流値は表 32.3の値を超えないようにしてください。

32.3 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがない限り、各入力信号のセットアップ・ホールド時間は必ず守ってください。各製品ごとの電源仕様、周波数仕様については、図 32.2、表 32.2、表 32.4 を参照してください。

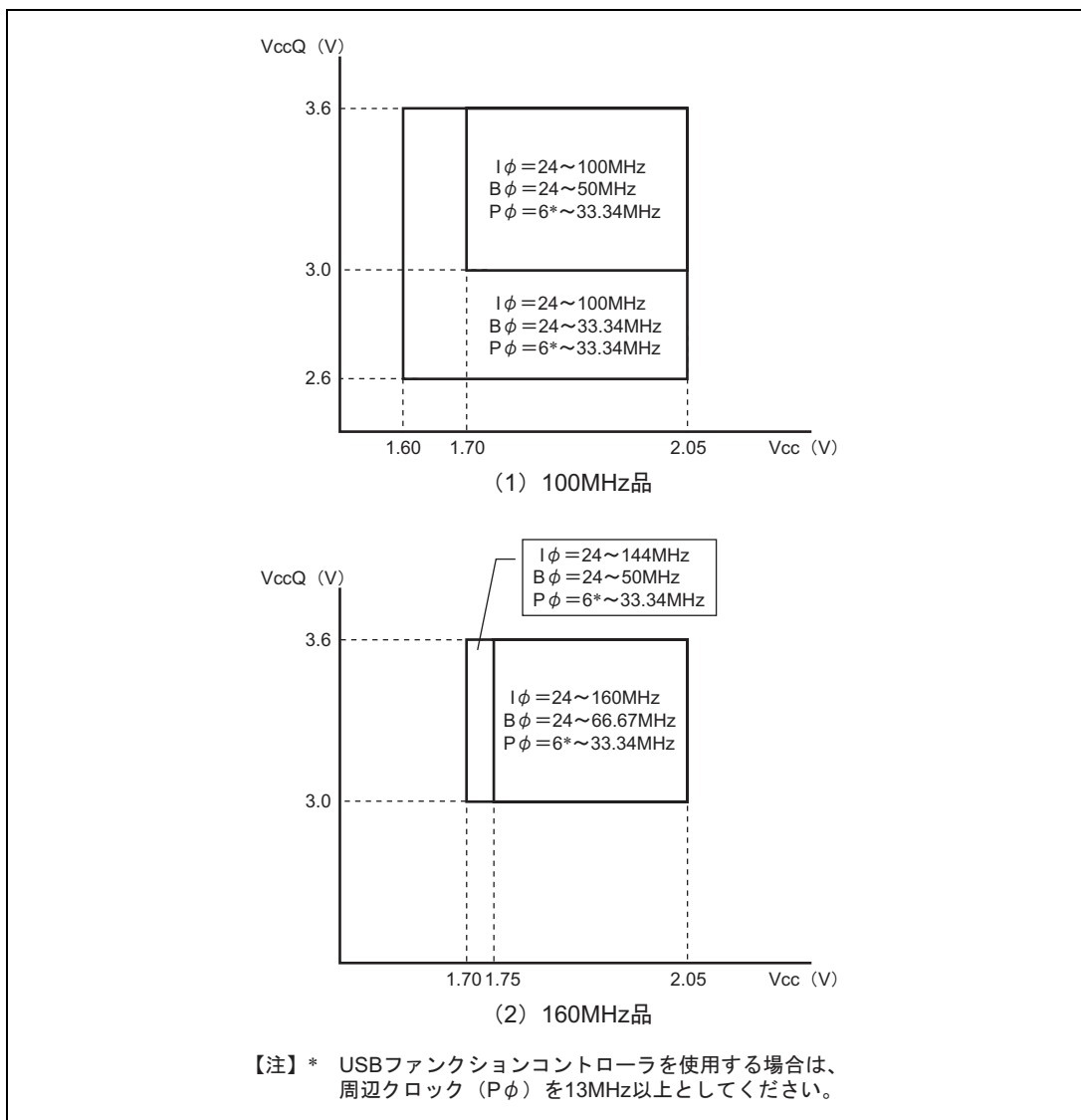


図 32.2 電源電圧と動作周波数

32. 電気的特性

表 32.4 最大動作周波数 (1)

項目	記号	min	max	単位	電圧印加条件	参照	適用製品
CPU、キャッシュ、TLB (I ϕ)	f	24	100	MHz	V _{CC} =1.60 ~ 2.05V、 V _{CCQ} =2.6 ~ 3.6V	—	100MHz 品
外部バス (B ϕ)、または CKIO 入出力周波数		24	33.34		V _{CC} =1.60 ~ 2.05V、 V _{CCQ} =2.6 ~ 3.6V	表 32.5	
		24	50		V _{CC} =1.70 ~ 2.05V、 V _{CCQ} =3.0 ~ 3.6V	表 32.6	
周辺モジュール (P ϕ)		6	33.34		V _{CC} =1.60 ~ 2.05V、 V _{CCQ} =2.6 ~ 3.6V	—	

表 32.4 最大動作周波数 (2)

項目	記号	min	max	単位	電圧印加条件	参照	適用製品
CPU、キャッシュ、TLB (I ϕ)	f	24	144	MHz	V _{CC} =1.70 ~ 2.05V、 V _{CCQ} =3.0 ~ 3.6V	—	160MHz 品
外部バス (B ϕ)、または CKIO 入出力周波数		24	160		V _{CC} =1.75 ~ 2.05V、 V _{CCQ} =3.0 ~ 3.6V	—	
		24	50		V _{CC} =1.70 ~ 2.05V、 V _{CCQ} =3.0 ~ 3.6V	表 32.7	
周辺モジュール (P ϕ)		6	33.34		V _{CC} =1.75 ~ 2.05V、 V _{CCQ} =3.0 ~ 3.6V	表 32.8	

32.3.1 クロックタイミング

表 32.5 クロックタイミング (1)

条件: $V_{CCQ} = 2.6 \sim 3.6V$ 、 $V_{CC} = 1.60 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$ 、100MHz 品

項目	記号	min	max	単位	参照図
EXTAL クロック入力周波数	f_{EX}	6	33.34	MHz	32.3
EXTAL クロック入力サイクル時間	t_{EXcyc}	30	166.7	ns	
EXTAL クロック入力 Low レベルパルス幅	t_{EXL}	9	-	ns	
EXTAL クロック入力 High レベルパルス幅	t_{EXH}	9	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	-	6	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	-	6	ns	
CKIO クロック入力周波数	f_{CKI}	24	33.34	MHz	32.4
CKIO クロック入力サイクル時間	t_{CKIcyc}	30	41.7	ns	
CKIO クロック入力 Low レベルパルス幅	t_{CKIL}	9	-	ns	
CKIO クロック入力 High レベルパルス幅	t_{CKIH}	9	-	ns	
CKIO クロック入力立ち上がり時間	t_{CKIR}	-	6	ns	
CKIO クロック入力立ち下がり時間	t_{CKIF}	-	6	ns	
CKIO クロック出力周波数	f_{OP}	24	33.34	MHz	32.5
CKIO クロック出力サイクル時間	t_{cyc}	30	41.7	ns	
CKIO クロック出力 Low レベルパルス幅	t_{CKOL}	8	-	ns	
CKIO クロック出力 High レベルパルス幅	t_{CKOH}	8	-	ns	
CKIO クロック出力立ち上がり時間	t_{CKOR}	-	6	ns	
CKIO クロック出力立ち下がり時間	t_{CKOF}	-	6	ns	
CKIO2 クロック出力遅延時間	t_{CK2D}	-	2.5	ns	
CKIO2 クロック出力立ち上がり時間	t_{CK2OR}	-	7	ns	
CKIO2 クロック出力立ち下がり時間	t_{CK2OF}	-	7	ns	
パワーオン発振安定時間	t_{OSC1}	10	-	ms	32.6
RESETP セットアップ時間 (パワーオン時、スタンバイ解除時)	t_{RESPTS}	20	-	ns	32.6、32.7
RESETM セットアップ時間 (スタンバイ解除時)	t_{RESMS}	0	-	ns	
RESETP アサート時間 (パワーオン時、スタンバイ解除時)	t_{RESPW}	20	-	t_{cyc}	
RESETM アサート時間 (スタンバイ解除時)	t_{RESMW}	20	-	t_{cyc}	
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	32.7
スタンバイ復帰発振安定時間 2	t_{OSC3}	10	-	ms	32.8
スタンバイ復帰発振安定時間 3	t_{OSC4}	11	-	ms	32.9
PLL 同期安定化時間 1 (スタンバイ解除)	t_{PLL1}	100	-	μs	32.10、32.11
PLL 同期安定化時間 2 (逡倍変更)	t_{PLL2}	100	-	μs	32.12
IRQ / IRL 割り込み判定時間 (RTC 使用 & スタンバイモード時)	t_{IRQSTB}	100	-	μs	32.11

32. 電気的特性

表 32.6 クロックタイミング (2)

条件 : $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.70 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$ 、100MHz 品

項目	記号	min	max	単位	参照図
EXTAL クロック入力周波数	f_{EX}	6	50	MHz	32.3
EXTAL クロック入力サイクル時間	t_{EXCyc}	20	166.7	ns	
EXTAL クロック入力 Low レベルパルス幅	t_{EXL}	4	-	ns	
EXTAL クロック入力 High レベルパルス幅	t_{EXH}	4	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	-	6	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	-	6	ns	
CKIO クロック入力周波数	f_{CKI}	24	50	MHz	32.4
CKIO クロック入力サイクル時間	t_{CKIcyc}	20	41.7	ns	
CKIO クロック入力 Low レベルパルス幅	t_{CKIL}	4	-	ns	
CKIO クロック入力 High レベルパルス幅	t_{CKIH}	4	-	ns	
CKIO クロック入力立ち上がり時間	t_{CKIR}	-	6	ns	
CKIO クロック入力立ち下がり時間	t_{CKIF}	-	6	ns	
CKIO クロック出力周波数	f_{OP}	24	50	MHz	32.5
CKIO クロック出力サイクル時間	t_{cyc}	20	41.7	ns	
CKIO クロック出力 Low レベルパルス幅	t_{CKOL}	3	-	ns	
CKIO クロック出力 High レベルパルス幅	t_{CKOH}	3	-	ns	
CKIO クロック出力立ち上がり時間	t_{CKOR}	-	5	ns	
CKIO クロック出力立ち下がり時間	t_{CKOF}	-	5	ns	
CKIO2 クロック出力遅延時間	t_{CK2D}	-	2.5	ns	
CKIO2 クロック出力立ち上がり時間	t_{CK2OR}	-	7	ns	
CKIO2 クロック出力立ち下がり時間	t_{CK2OF}	-	7	ns	
パワーオン発振安定時間	t_{OSC1}	10	-	ms	
RESETP セットアップ時間 (パワーオン時、スタンバイ解除時)	t_{RESPTS}	20	-	ns	32.6、32.7
RESETM セットアップ時間 (スタンバイ解除時)	t_{RESMS}	0	-	ns	
RESETP アサート時間 (パワーオン時、スタンバイ解除時)	t_{RESPW}	20	-	t_{cyc}	
RESETM アサート時間 (スタンバイ解除時)	t_{RESMW}	20	-	t_{cyc}	
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	32.7
スタンバイ復帰発振安定時間 2	t_{OSC3}	10	-	ms	32.8
スタンバイ復帰発振安定時間 3	t_{OSC4}	11	-	ms	32.9
PLL 同期安定化時間 1 (スタンバイ解除)	t_{PLL1}	100	-	μs	32.10、32.11
PLL 同期安定化時間 2 (逡倍変更)	t_{PLL2}	100	-	μs	32.12
IRQ / IRL 割り込み判定時間 (RTC 使用 & スタンバイモード時)	t_{IRQSTB}	100	-	μs	32.11

表 32.7 クロックタイミング (3)

条件: $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.70 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$ 、160MHz 品

項目	記号	min	max	単位	参照図
EXTAL クロック入力周波数	f_{EX}	6	50	MHz	32.3
EXTAL クロック入力サイクル時間	t_{EXCyc}	20	166.7	ns	
EXTAL クロック入力 Low レベルパルス幅	t_{EXL}	4	-	ns	
EXTAL クロック入力 High レベルパルス幅	t_{EXH}	4	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	-	6	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	-	6	ns	
CKIO クロック入力周波数	f_{CKI}	24	50	MHz	32.4
CKIO クロック入力サイクル時間	t_{CKIcyc}	20	41.7	ns	
CKIO クロック入力 Low レベルパルス幅	t_{CKIL}	4	-	ns	
CKIO クロック入力 High レベルパルス幅	t_{CKIH}	4	-	ns	
CKIO クロック入力立ち上がり時間	t_{CKIR}	-	6	ns	
CKIO クロック入力立ち下がり時間	t_{CKIF}	-	6	ns	
CKIO クロック出力周波数	f_{OP}	24	50	MHz	32.5
CKIO クロック出力サイクル時間	t_{cyc}	20	41.7	ns	
CKIO クロック出力 Low レベルパルス幅	t_{CKOL}	3	-	ns	
CKIO クロック出力 High レベルパルス幅	t_{CKOH}	3	-	ns	
CKIO クロック出力立ち上がり時間	t_{CKOR}	-	5	ns	
CKIO クロック出力立ち下がり時間	t_{CKOF}	-	5	ns	
CKIO2 クロック出力遅延時間	t_{CK2D}	-	2.5	ns	
CKIO2 クロック出力立ち上がり時間	t_{CK2OR}	-	7	ns	
CKIO2 クロック出力立ち下がり時間	t_{CK2OF}	-	7	ns	
パワーオン発振安定時間	t_{OSC1}	10	-	ms	32.6
RESETP セットアップ時間 (パワーオン時、スタンバイ解除時)	t_{RESPS}	20	-	ns	32.6、32.7
RESETM セットアップ時間 (スタンバイ解除時)	t_{RESMS}	0	-	ns	
RESETP アサート時間 (パワーオン時、スタンバイ解除時)	t_{RESPW}	20	-	t_{cyc}	
RESETM アサート時間 (スタンバイ解除時)	t_{RESMV}	20	-	t_{cyc}	
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	32.7
スタンバイ復帰発振安定時間 2	t_{OSC3}	10	-	ms	32.8
スタンバイ復帰発振安定時間 3	t_{OSC4}	11	-	ms	32.9
PLL 同期安定化時間 1 (スタンバイ解除)	t_{PLL1}	100	-	μs	32.10、32.11
PLL 同期安定化時間 2 (逓倍変更)	t_{PLL2}	100	-	μs	32.12
IRQ / IRL 割り込み判定時間 (RTC 使用 & スタンバイモード時)	t_{IRQSTB}	100	-	μs	32.11

32. 電気的特性

表 32.8 クロックタイミング (4)

条件 : $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.75 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$ 、160MHz 品

項目	記号	min	max	単位	参照図
EXTAL クロック入力周波数	f_{EX}	6	66.67	MHz	32.3
EXTAL クロック入力サイクル時間	t_{EXCyc}	15	166.7	ns	
EXTAL クロック入力 Low レベルパルス幅	t_{EXL}	1.5	-	ns	
EXTAL クロック入力 High レベルパルス幅	t_{EXH}	1.5	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	-	6	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	-	6	ns	
CKIO クロック入力周波数	f_{CKI}	24	66.67	MHz	32.4
CKIO クロック入力サイクル時間	t_{CKIcyc}	15	41.7	ns	
CKIO クロック入力 Low レベルパルス幅	t_{CKIL}	1.5	-	ns	
CKIO クロック入力 High レベルパルス幅	t_{CKIH}	1.5	-	ns	
CKIO クロック入力立ち上がり時間	t_{CKIR}	-	6	ns	
CKIO クロック入力立ち下がり時間	t_{CKIF}	-	6	ns	
CKIO クロック出力周波数	f_{OP}	24	66.67	MHz	32.5
CKIO クロック出力サイクル時間	t_{cyc}	15	41.7	ns	
CKIO クロック出力 Low レベルパルス幅	t_{CKOL}	3	-	ns	
CKIO クロック出力 High レベルパルス幅	t_{CKOH}	3	-	ns	
CKIO クロック出力立ち上がり時間	t_{CKOR}	-	5	ns	
CKIO クロック出力立ち下がり時間	t_{CKOF}	-	5	ns	
CKIO2 クロック出力遅延時間	t_{CK2D}	-	2.5	ns	
CKIO2 クロック出力立ち上がり時間	t_{CK2OR}	-	7	ns	
CKIO2 クロック出力立ち下がり時間	t_{CK2OF}	-	7	ns	
パワーオン発振安定時間	t_{OSC1}	10	-	ms	32.6
RESETP セットアップ時間 (パワーオン時、スタンバイ解除時)	t_{RESPTS}	20	-	ns	32.6、32.7
RESETM セットアップ時間 (スタンバイ解除時)	t_{RESMS}	0	-	ns	
RESETP アサート時間 (パワーオン時、スタンバイ解除時)	t_{RESPW}	20	-	t_{cyc}	
RESETM アサート時間 (スタンバイ解除時)	t_{RESMW}	20	-	t_{cyc}	
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	32.7
スタンバイ復帰発振安定時間 2	t_{OSC3}	10	-	ms	32.8
スタンバイ復帰発振安定時間 3	t_{OSC4}	11	-	ms	32.9
PLL 同期安定化時間 1 (スタンバイ解除)	t_{PLL1}	100	-	μs	32.10、32.11
PLL 同期安定化時間 2 (逡倍変更)	t_{PLL2}	100	-	μs	32.12
IRQ / IRL 割り込み判定時間 (RTC 使用 & スタンバイモード時)	t_{IRQSTB}	100	-	μs	32.11

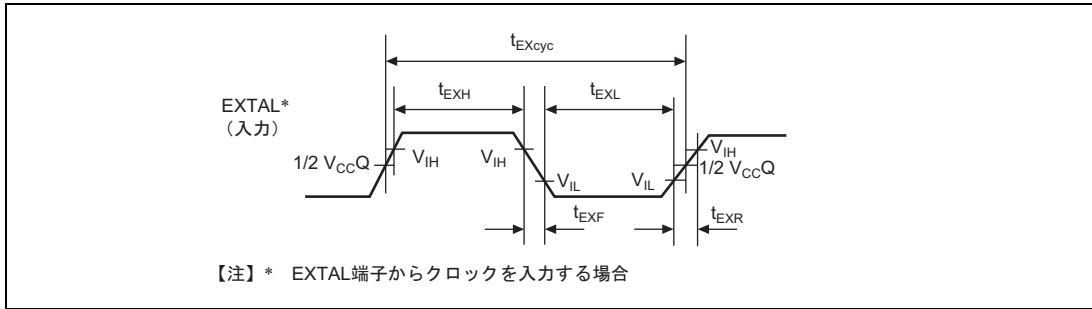


図 32.3 EXTAL クロック入力タイミング

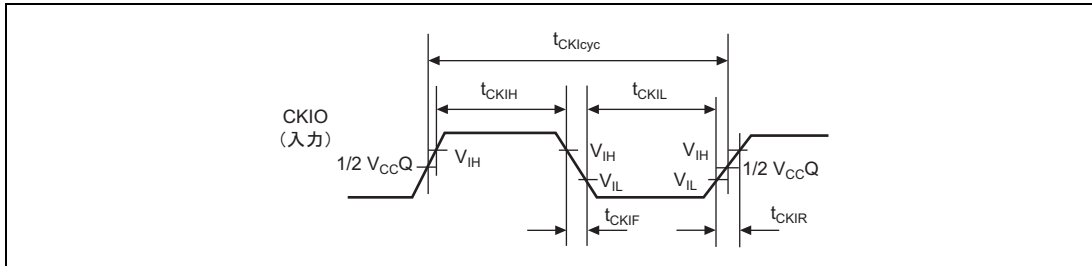


図 32.4 CKIO クロック入力タイミング

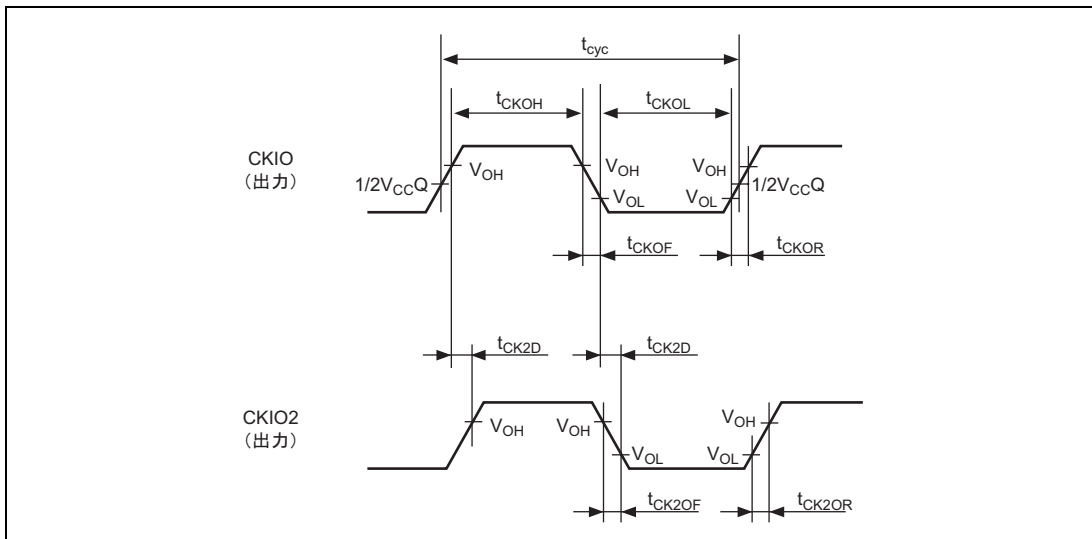


図 32.5 CKIO クロック出力タイミング

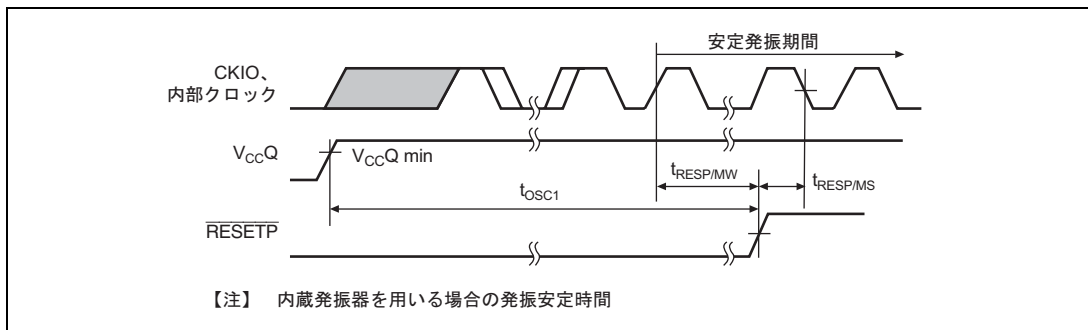


図 32.6 パワーオン発振安定時間

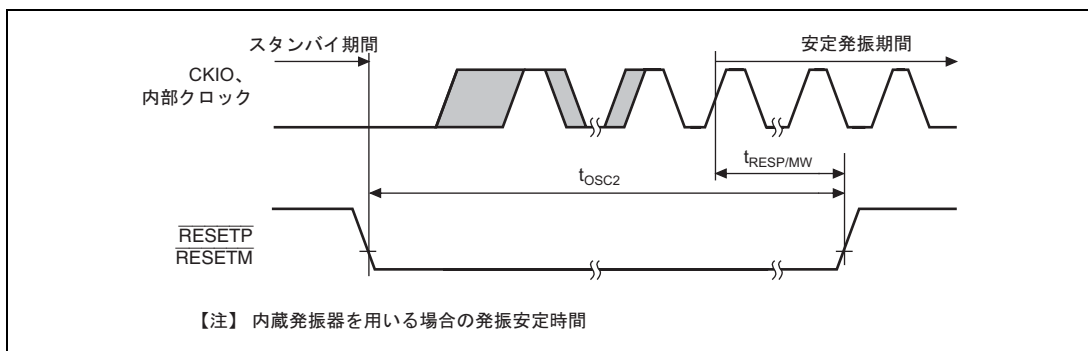


図 32.7 スタンバイ復帰時発振安定時間（リセットによる復帰）

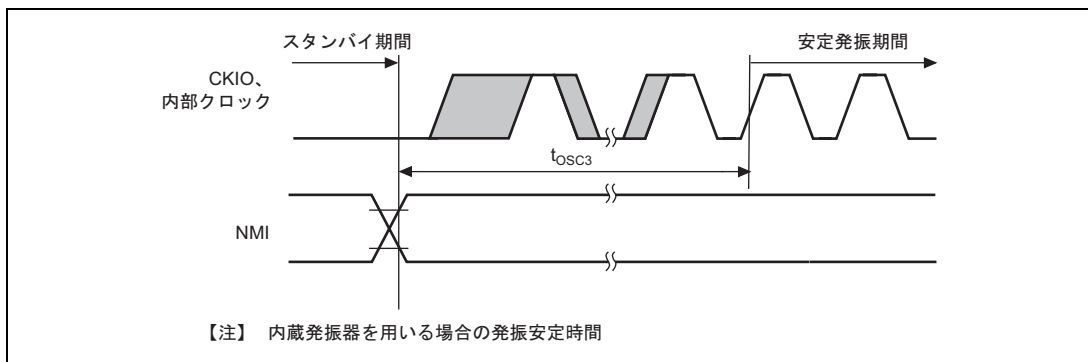


図 32.8 スタンバイ復帰時発振安定時間（NMI による復帰）

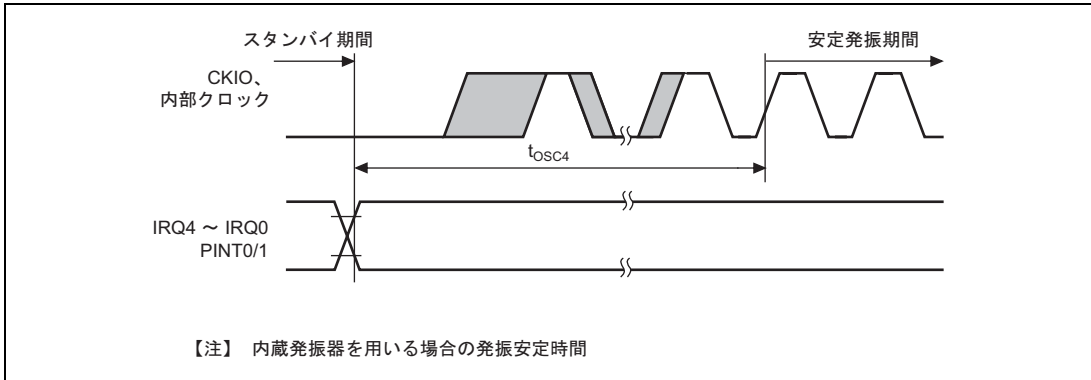


図 32.9 スタンバイ復帰時発振安定時間 (IRQ4 ~ IRQ0 による復帰)

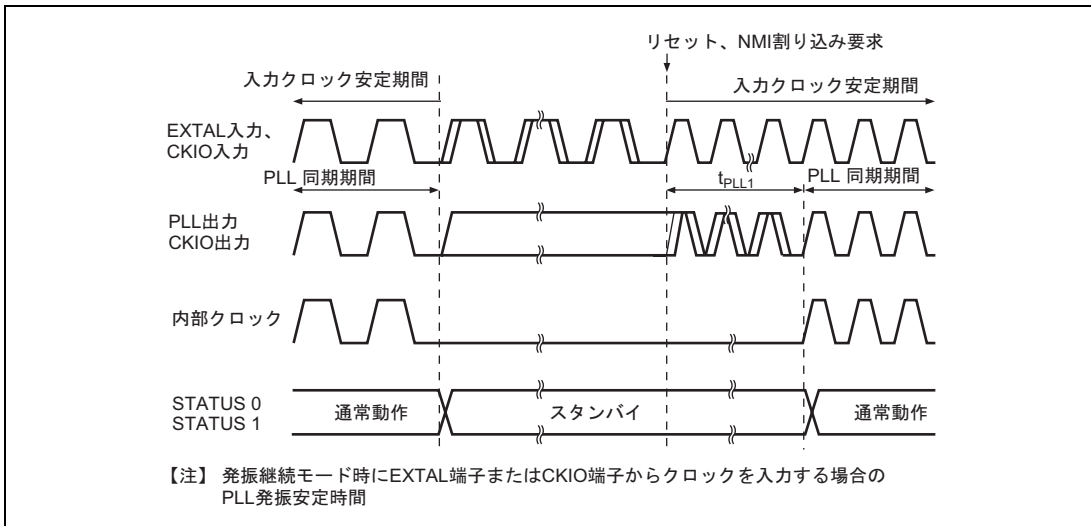


図 32.10 リセットまたは NMI 割り込みによる PLL 同期安定化時間

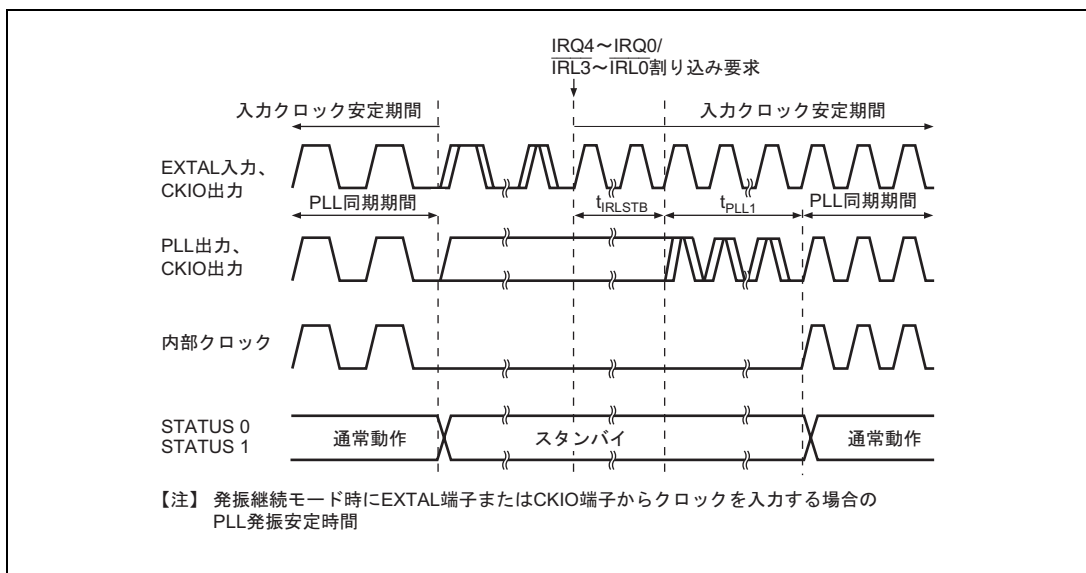


図 32.11 IRQ/IRL、PINT0/1 割り込みによる PLL 同期安定化時間

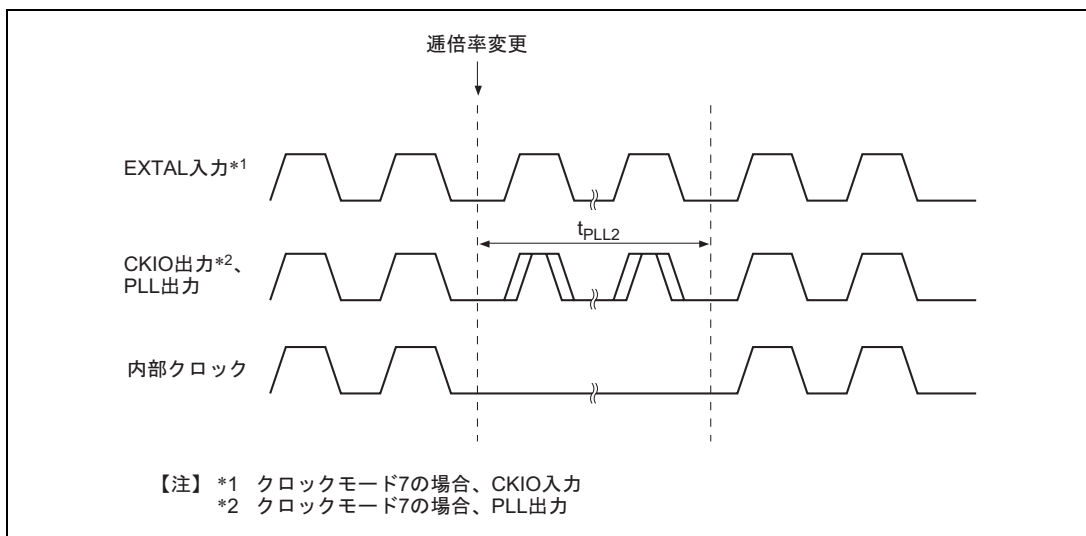


図 32.12 周波数通倍率変更時の PLL 同期安定化時間

32.3.2 制御信号タイミング

表 32.9 制御信号タイミング

条件： $V_{CCQ} = 2.6 \sim 3.6V$ 、 $V_{CC} = 1.60 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$

項目	記号	min	max	単位	参照図
RESETP パルス幅	t_{RESPW}	20 ^{*2}	-	tcyc	32.13 32.14
RESETP セットアップ時間 ^{*1}	t_{RESPS}	23	-	ns	
RESETP ホールド時間	t_{RESPH}	2	-	ns	
RESETM パルス幅	t_{RESMW}	12 ^{*3}	-	tcyc	
RESETM セットアップ時間	t_{RESMS}	3	-	ns	
RESETM ホールド時間	t_{RESMH}	34	-	ns	
BREQ セットアップ時間	t_{BREQS}	10	-	ns	32.15
BREQ ホールド時間	t_{BREQH}	3	-	ns	
NMI セットアップ時間 ^{*1}	t_{NMIS}	10	-	ns	32.14
NMI ホールド時間	t_{NMIH}	4	-	ns	
IRQ5 ~ IRQ0 セットアップ時間 ^{*1}	t_{IRQS}	10	-	ns	
IRQ5 ~ IRQ0 ホールド時間	t_{IRQH}	4	-	ns	
BACK 遅延時間	t_{BACKD}	-	10	ns	32.15 32.16
STATUS1、STATUS0 遅延時間	t_{STD}	-	16	ns	
バスタイステート遅延時間 1	t_{BOFF1}	0	15	ns	
バスタイステート遅延時間 2	t_{BOFF2}	0	15	ns	
バスバッファオンタイム 1	t_{BON1}	0	15	ns	
バスバッファオンタイム 2	t_{BON2}	0	15	ns	

【注】 *1 RESETP、NMI および IRQ5 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち下がりでの変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち下がりエッジまで検出が遅れることがあります。IRL として使用する際は必ずセットアップ時間を守ってください。

*2 スタンバイモード時は、 $t_{RESPW} = t_{OSC2}$ (10ms) になります。スリープモード時は $t_{RESPW} = t_{PLL1}$ (100 μ s) になります。クロック通倍率が変化したときも、 $t_{RESPW} = t_{PLL1}$ (100 μ s) になります。

*3 スタンバイモード時は、 $t_{RESMW} = t_{OSC2}$ (10ms) となります。スリープモード時は、STATUS(0 1) がリセット (HH) に変わるまで RESETM をローレベルに保ってください。クロック通倍率が変化したときも、STATUS(0 1) がリセット (HH) に変わるまで RESETM をローレベルに保ってください。

32. 電気的特性

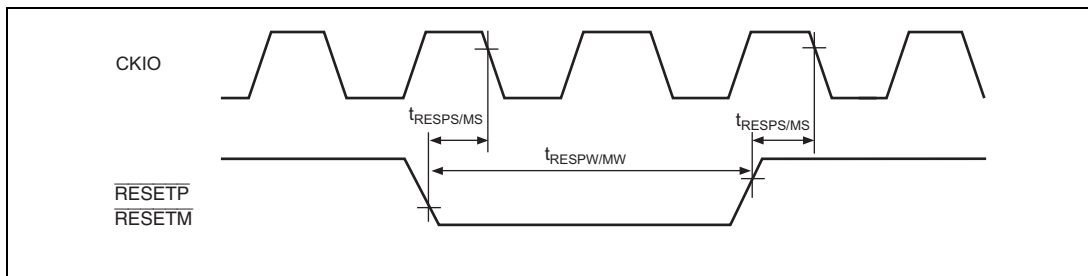


図 32.13 リセット入力タイミング

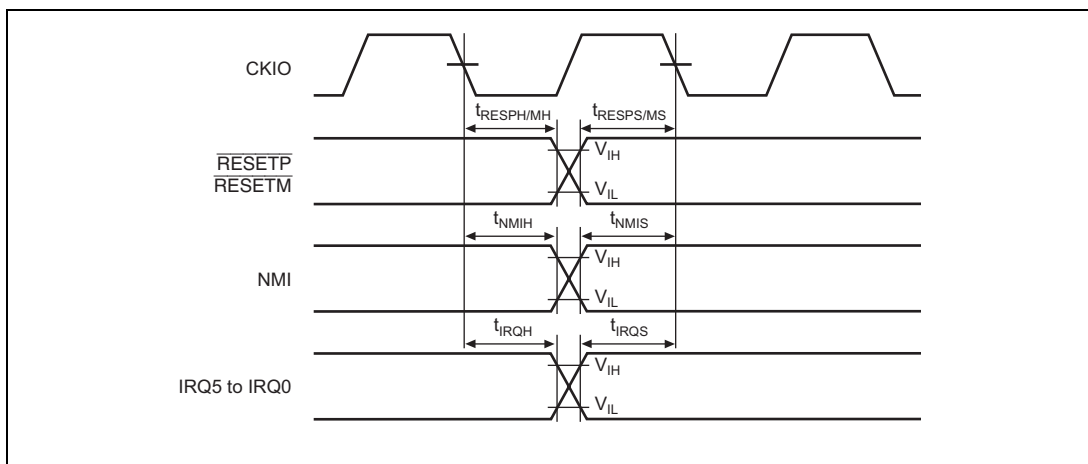


図 32.14 割り込み信号入力タイミング

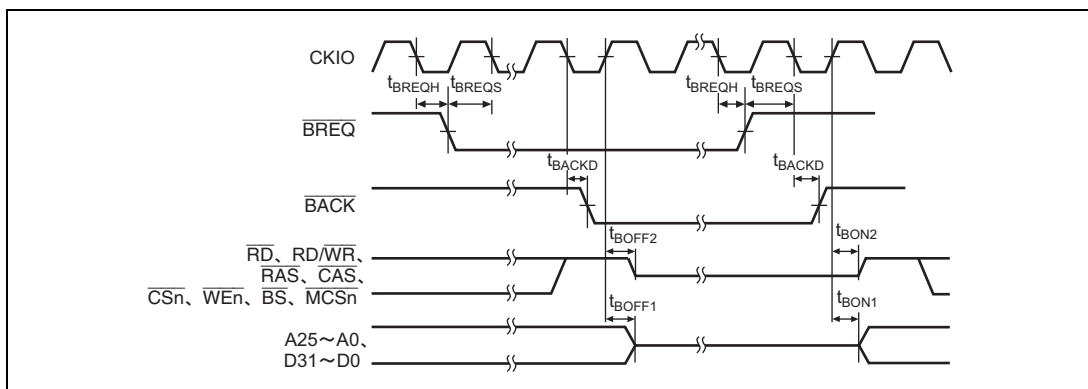


図 32.15 バス権解放タイミング

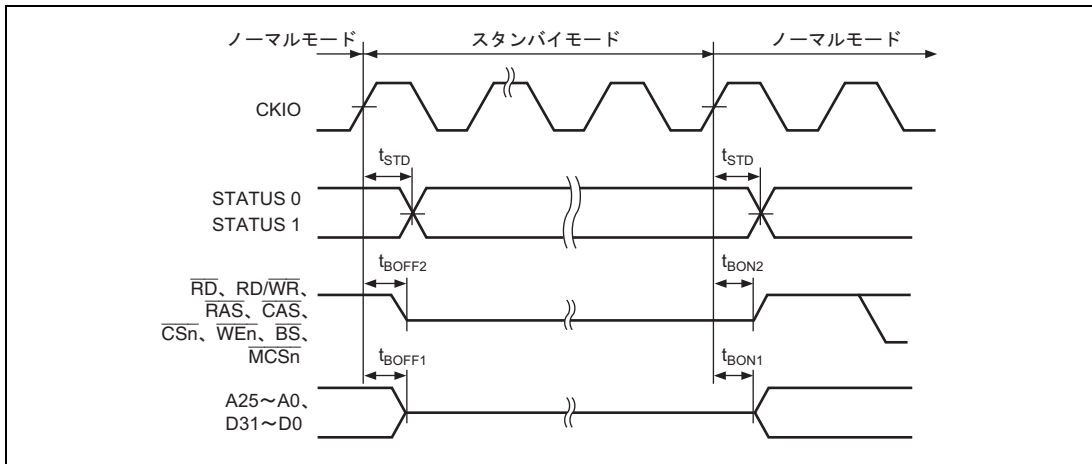


図 32.16 スタンバイ時の端子ドライブタイミング

32. 電気的特性

32.3.3 AC バスタイミング

表 32.10 バスタイミング

条件：クロックモード 0/1/2/7、 $V_{CCQ}=2.6\sim 3.6V$ 、 $V_{CC}=1.60\sim 2.05V$ 、 $AV_{CC}=3.3\pm 0.3V$ 、 $T_a=-20\sim 75$

項目	記号	条件	min	max	単位	参照図
アドレス遅延時間	t_{AD}	$V_{CC}=1.70\sim 2.05V$ $V_{CCQ}=3.0\sim 3.6V$	1.5	13	ns	32.17 ~ 32.30、32.33 ~ 32.40
		上記以外	1.5	16		
アドレスセットアップ時間	t_{AS}		0	-	ns	32.17 ~ 32.19
アドレスホールド時間	t_{AH}^{*1}		7	-	ns	32.17 ~ 32.22
\overline{BS} 遅延時間	t_{BSD}		-	12	ns	32.17 ~ 32.30、32.34 ~ 32.40
\overline{CS} 遅延時間 1	t_{CSD1}		1.5	12	ns	32.17 ~ 32.40
\overline{CS} 遅延時間 2	t_{CSD2}		1	12	ns	32.17 ~ 32.22
リードライト遅延時間	t_{RWD}		1.5	10	ns	32.17 ~ 32.40
リードライトホールド時間	t_{RWH}		0	-	ns	32.17 ~ 32.22
リードストロブ遅延時間	t_{RSD}		-	10	ns	32.17 ~ 32.22、32.34 ~ 32.37
リードデータセットアップ時間 1	t_{RDS1}		6	-	ns	32.17 ~ 32.22、32.34 ~ 32.40
リードデータセットアップ時間 2	t_{RDS2}		7	-	ns	32.23 ~ 32.26
リードデータホールド時間 1	t_{RDH1}^{*2}		0	-	ns	32.17 ~ 32.22、32.34 ~ 32.40
リードデータホールド時間 2	t_{RDH2}		2	-	ns	32.23 ~ 32.26
ライトイネーブル遅延時間	t_{WED}		1	10	ns	32.17 ~ 32.19、32.34、32.35
ライトデータ遅延時間 1	t_{WDD1}		-	14	ns	32.17 ~ 32.19、32.34、32.35、 32.38 ~ 32.40
ライトデータ遅延時間 2	t_{WDD2}		-	13	ns	32.27 ~ 32.30
ライトデータホールド時間 1	t_{WDH1}		1.5	-	ns	32.17 ~ 32.19、32.34、32.35 32.38 ~ 32.40
ライトデータホールド時間 2	t_{WDH2}		1.5	-	ns	32.27 ~ 32.30
ライトデータホールド時間 3	t_{WDH3}		2	-	ns	32.17 ~ 32.19
ライトデータホールド時間 4	t_{WDH4}		2	-	ns	32.34、32.35、32.38 ~ 32.40
WAIT セットアップ時間	t_{WTS}	$V_{CC}=1.70\sim 2.05V$ $V_{CCQ}=3.0\sim 3.6V$	5	-	ns	32.18 ~ 32.22、32.35、32.37、 32.39、32.40
		上記以外	6	-		
WAIT ホールド時間	t_{WTH}		0	-	ns	32.18 ~ 32.22、32.35、32.37、 32.39、32.40

項目	記号	条件	min	max	単位	参照図
RAS 遅延時間 2	t_{RASD2}		1.5	12	ns	32.23 ~ 32.33
CAS 遅延時間 2	t_{CASD2}		1.5	12	ns	32.23 ~ 32.33
DQM 遅延時間	t_{DOMD}		1.5	10	ns	32.23 ~ 32.30
CKE 遅延時間	t_{CKED}		1.5	12	ns	32.32
$\overline{t_{CIORD}}$ 遅延時間	t_{ICRSD}		-	12	ns	32.38 ~ 32.40
$\overline{t_{CIOWR}}$ 遅延時間	t_{ICWSD}		-	12	ns	32.38 ~ 32.40
$\overline{t_{IOIS16}}$ セットアップ時間	t_{IO16S}		12	-	ns	32.39、32.40
$\overline{t_{IOIS16}}$ ホールド時間	t_{IO16H}		4	-	ns	32.39、32.40
DACK 遅延時間 1	t_{DAKD1}		-	10	ns	32.17 ~ 32.30、32.33 ~ 32.40

【注】 *1 t_{AH} : \overline{CSn} 、RD または \overline{WEn} のいずれかの遅いネゲートタイミングからの規定です。

*2 t_{RDH1} : \overline{CSn} 、RD のどちらかの早いネゲートタイミングからの規定です。

32.3.4 基本タイミング

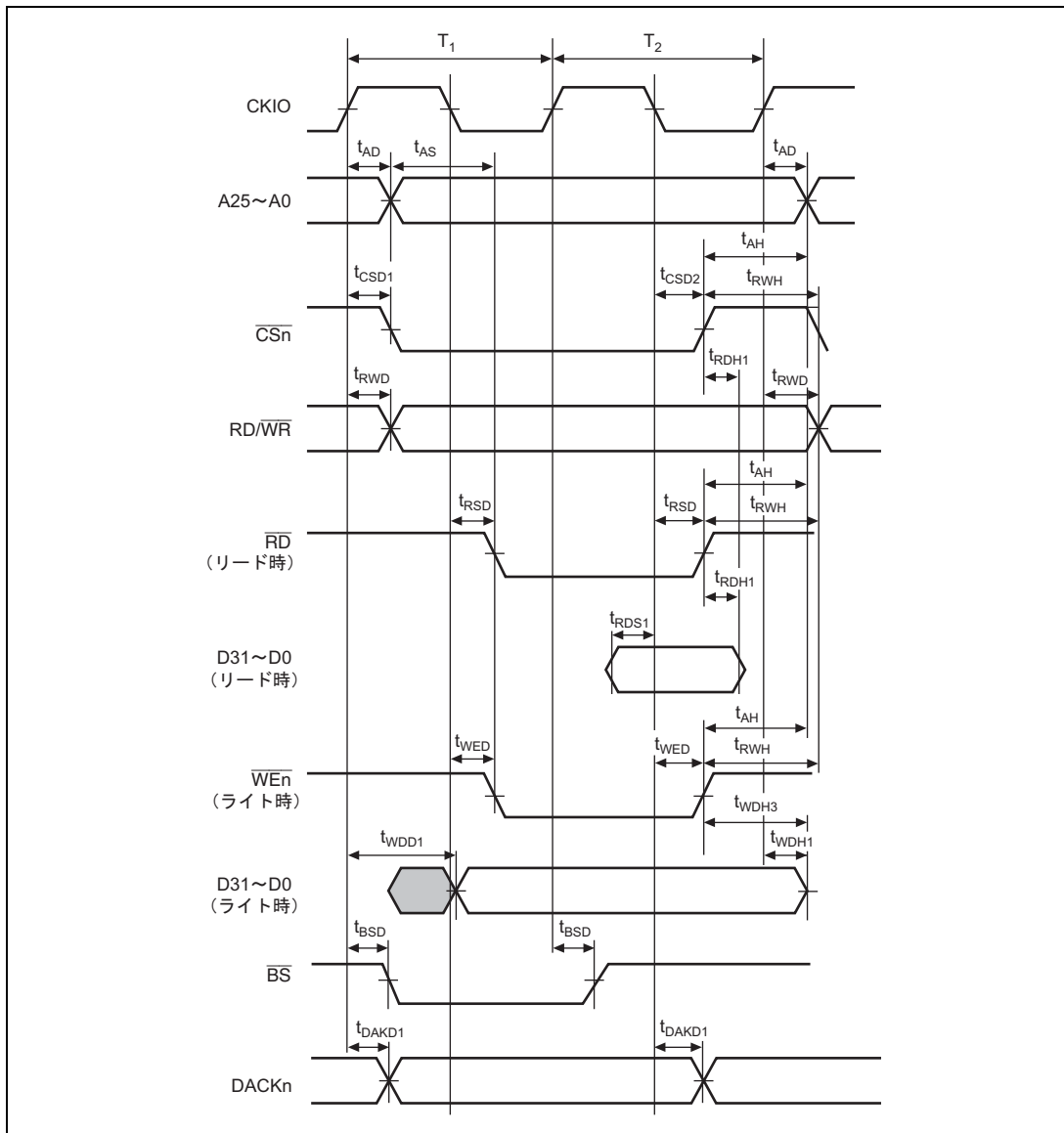


図 32.17 基本バスサイクル (ノーウェイト)

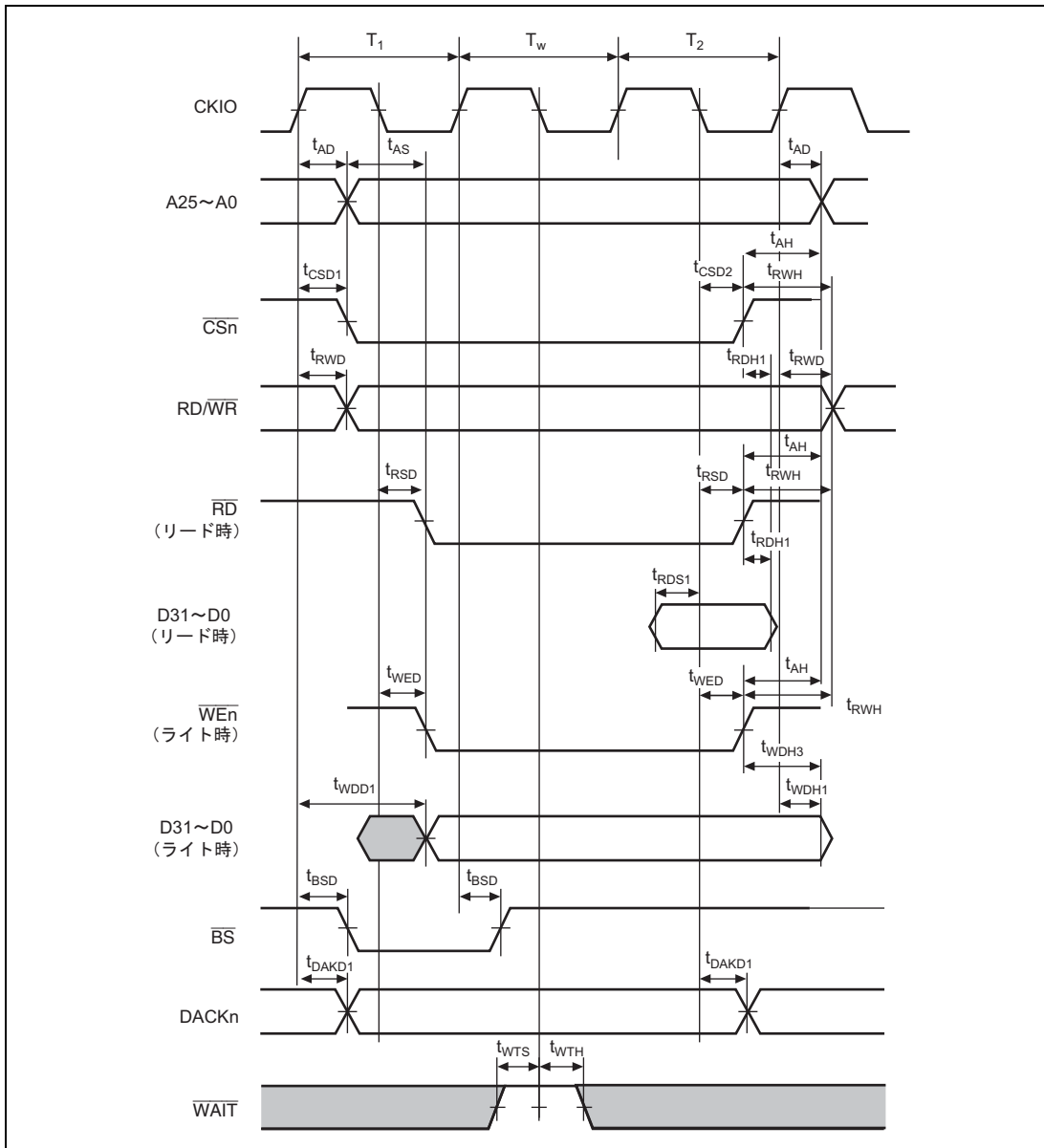


図 32.18 基本バスサイクル (1 ウェイト)

32. 電気的特性

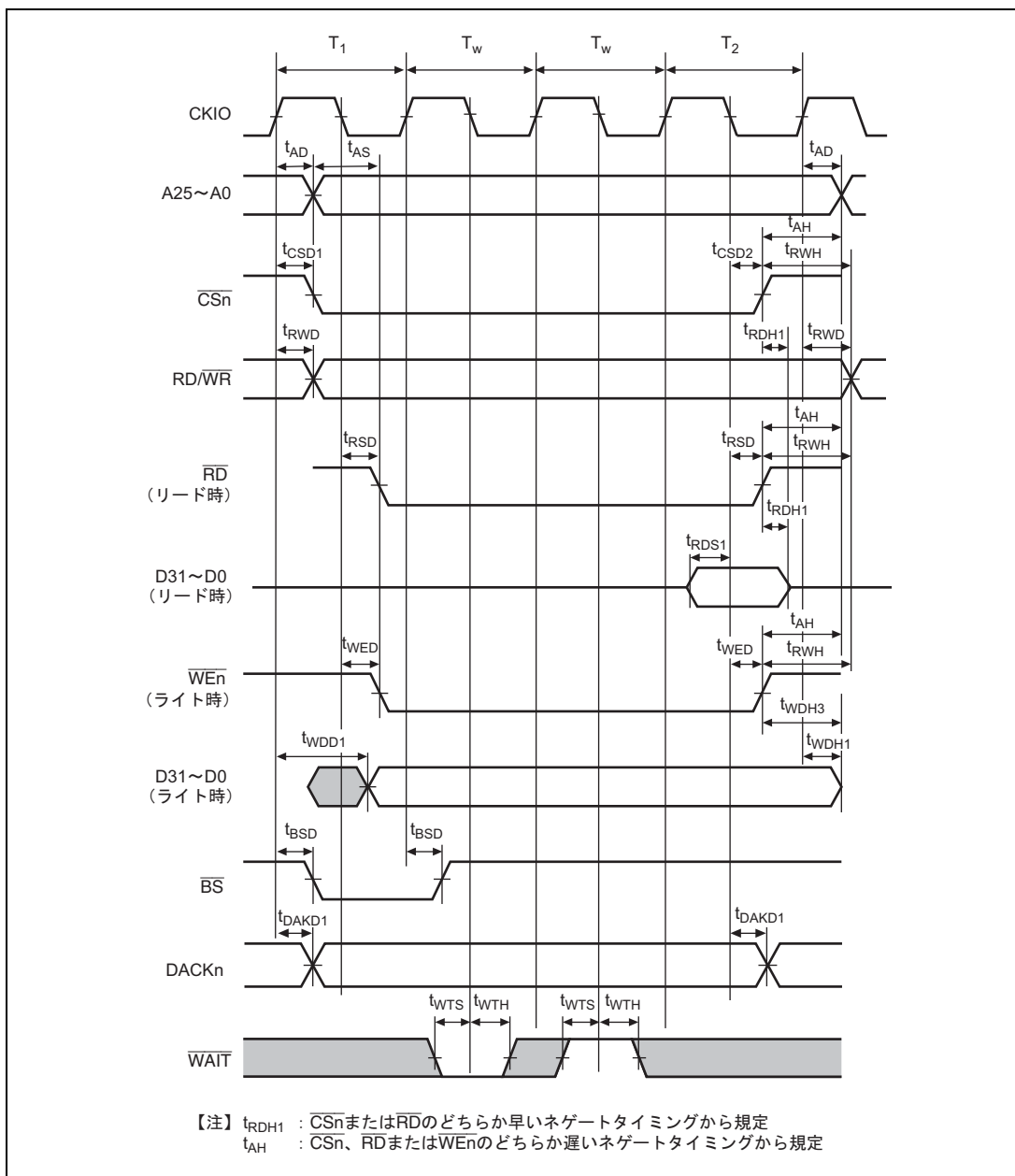


図 32.19 基本バスサイクル (外部ウェイト、WAITSEL = 1)

32.3.5 バースト ROM タイミング

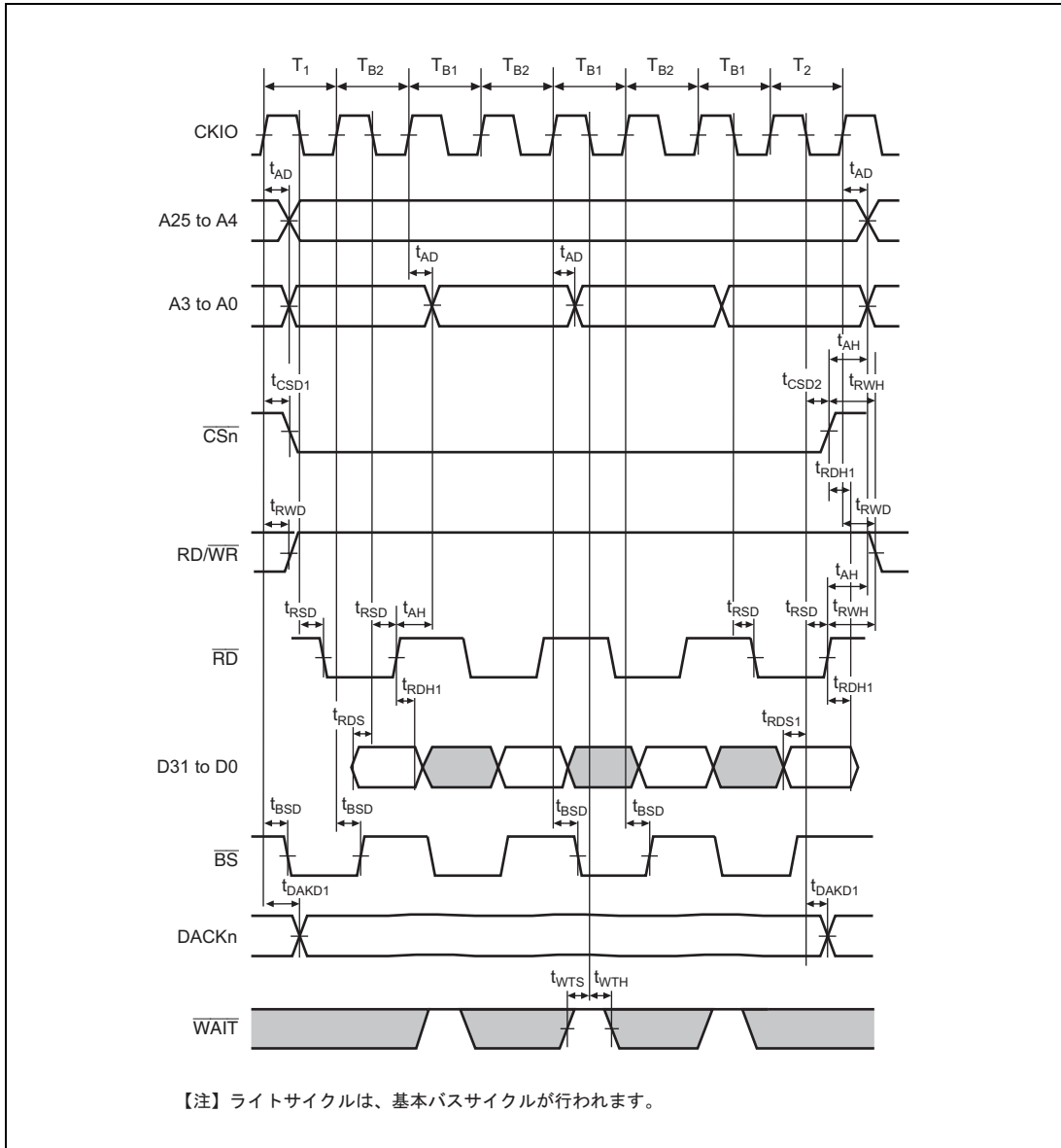


図 32.20 バースト ROM バスサイクル (ノーウェイト)

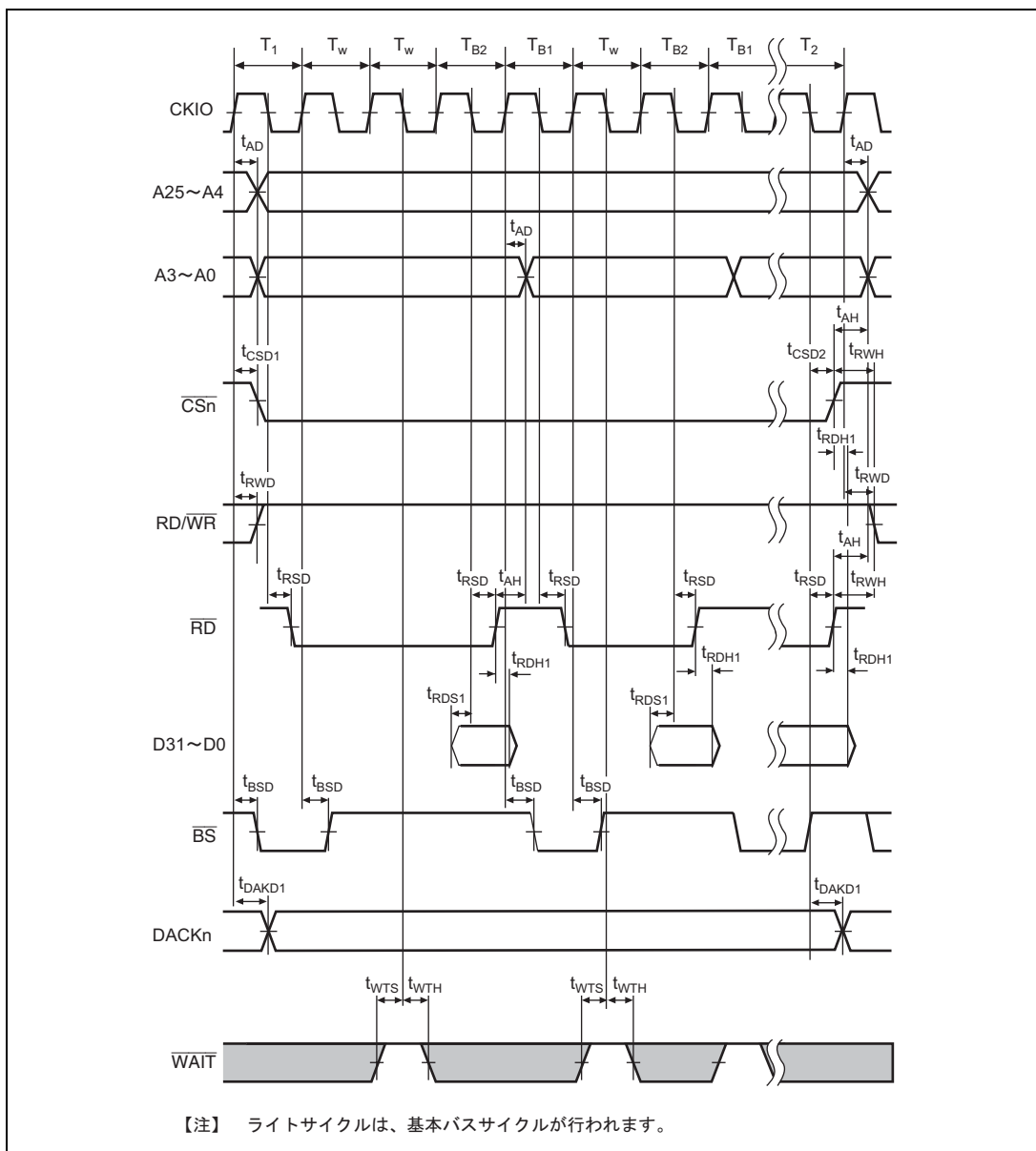


図 32.21 バースト ROM バスサイクル (2 ウェイト)

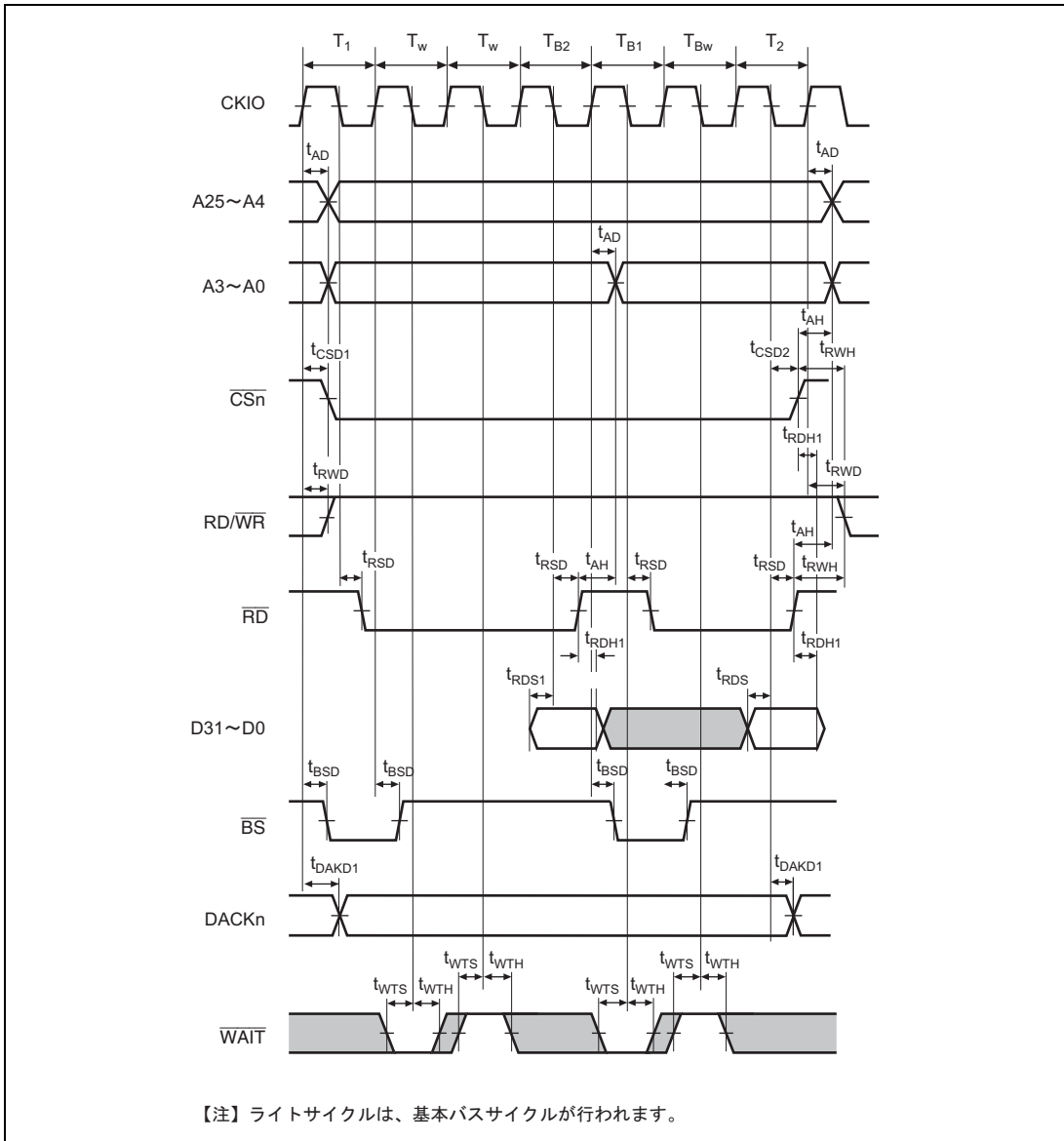


図 32.22 バースト ROM バスサイクル (外部ウェイト、WAITSEL = 1)

32.3.6 シンクロナス DRAM タイミング

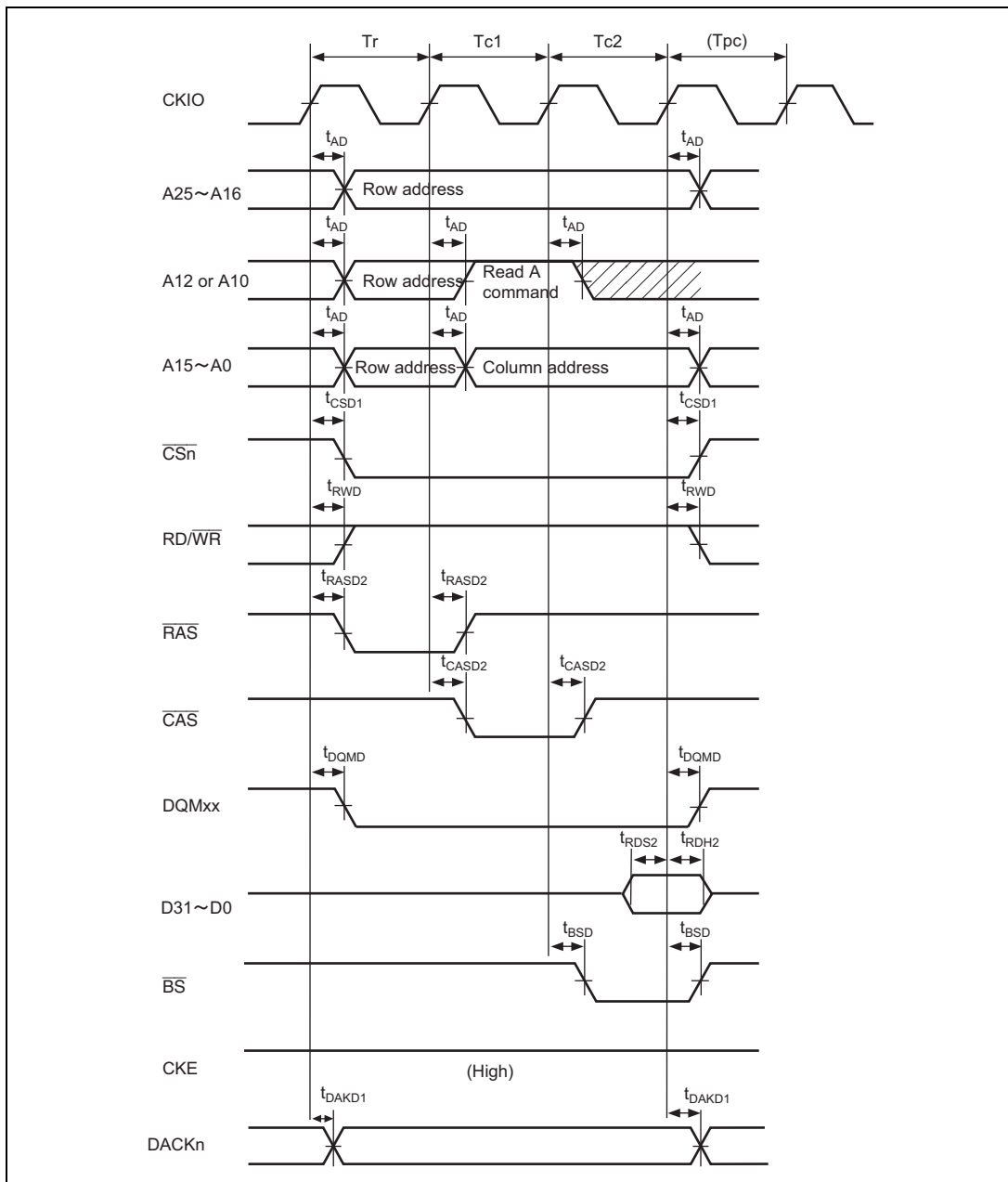


図 32.23 シンクロナス DRAM リードバスサイクル (RCD=0、CAS レイテンシ=1、TPC=0)

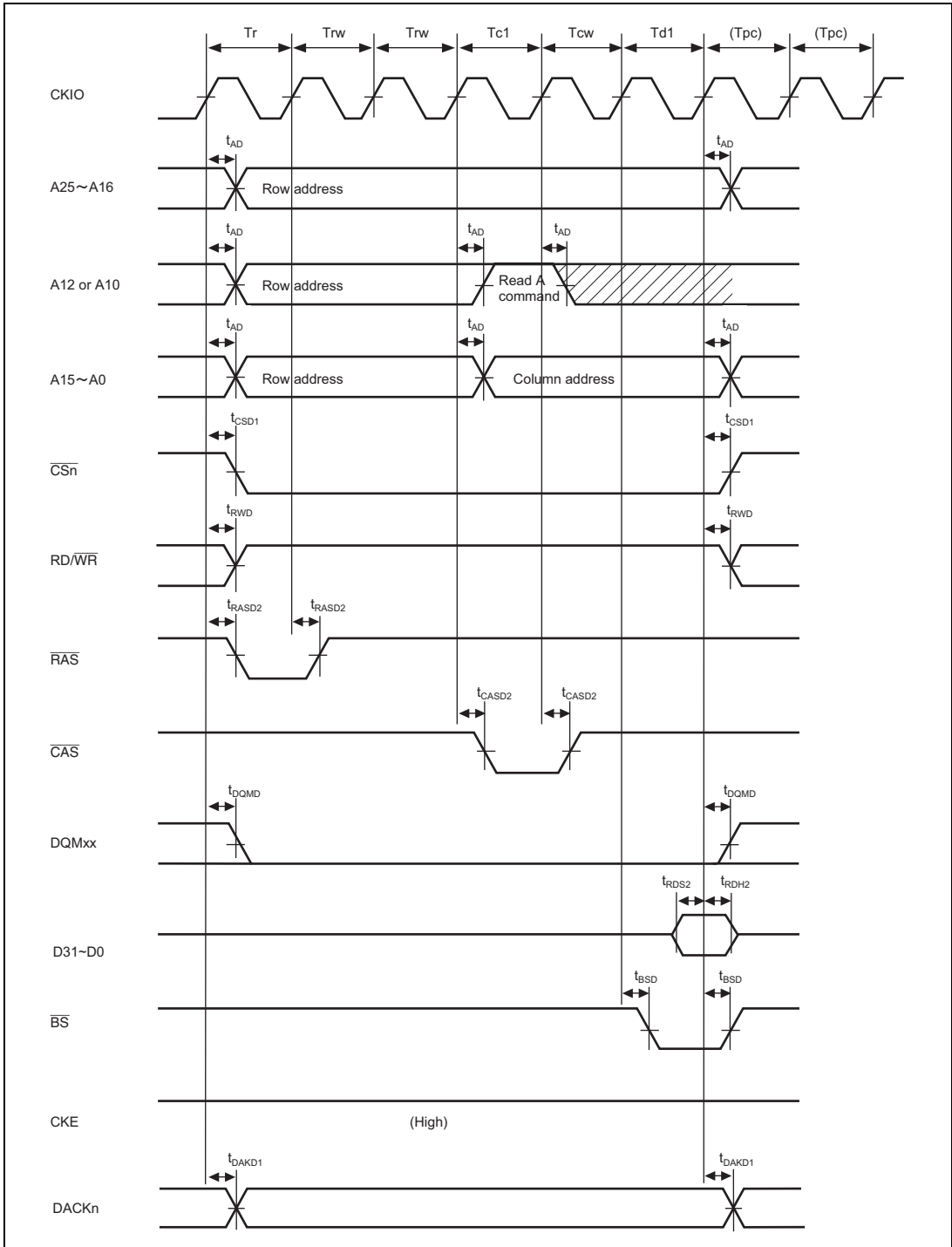


図 32.24 シンクロナス DRAM リードバスサイクル (RCD = 2、CAS レイテンシ = 2、TPC = 1)

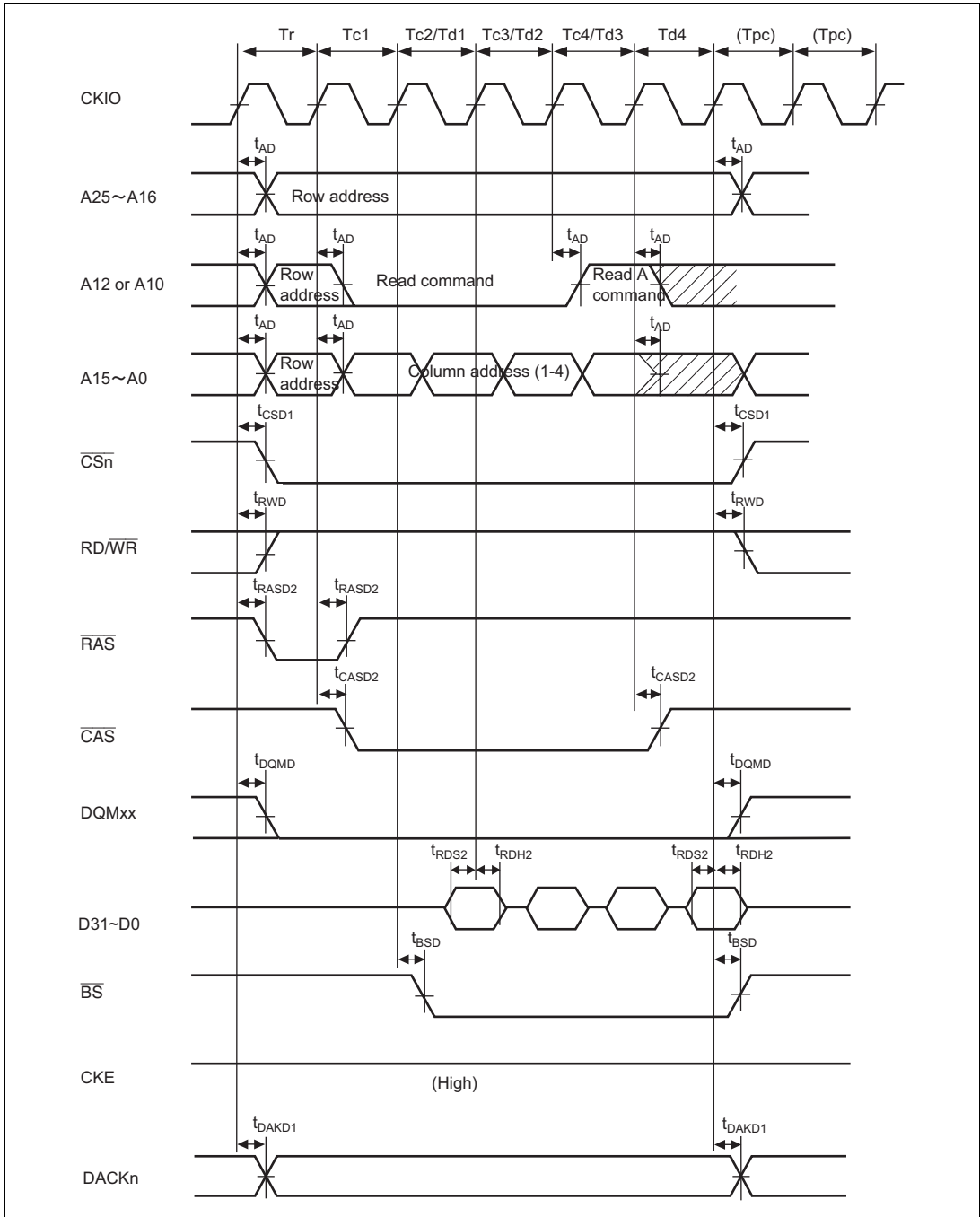


図 32.25 シンクロナス DRAM リードバスサイクル
 (パーストリード (シングルリード×4)、RCD=0、CAS レイテンシ=1、TPC=1)

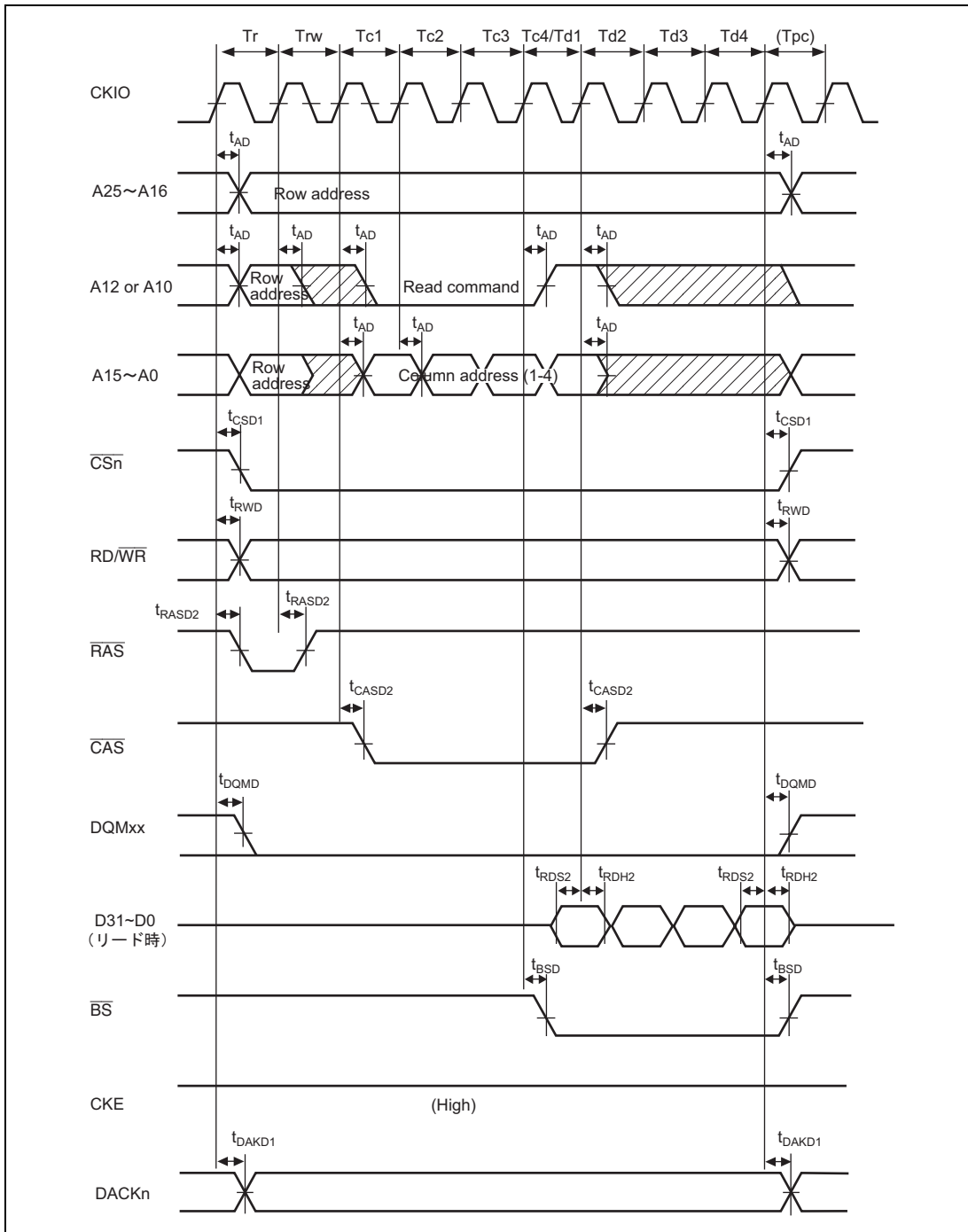


図 32.26 シンクロナス DRAM リードバスサイクル
 (パーストリード (シングルリード×4)、RCD = 1、CAS レイテンシ = 3、TPC = 0)

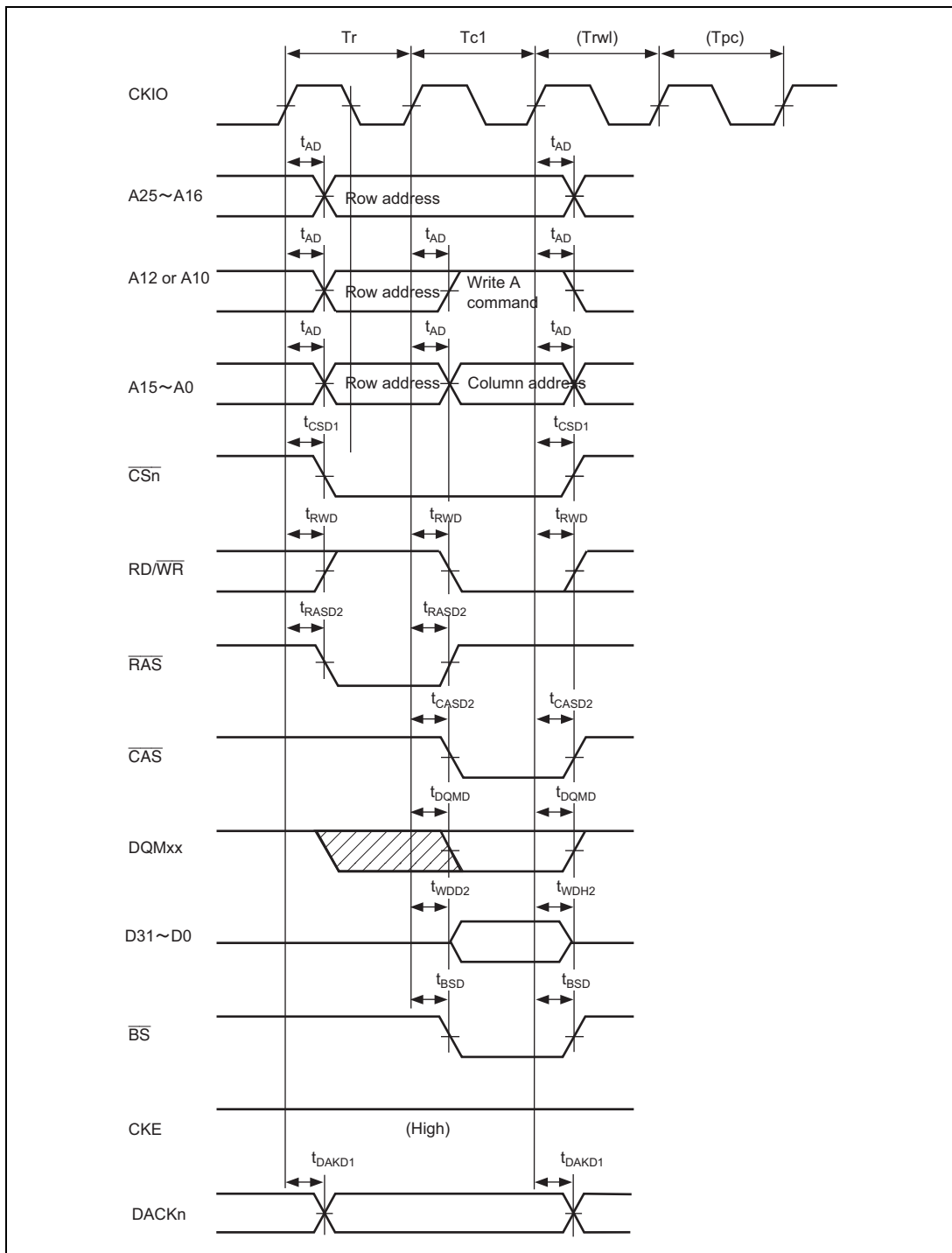


図 32.27 シンクロナス DRAM ライトバスサイクル (RCD = 0、TPC = 0、TRWL = 0)

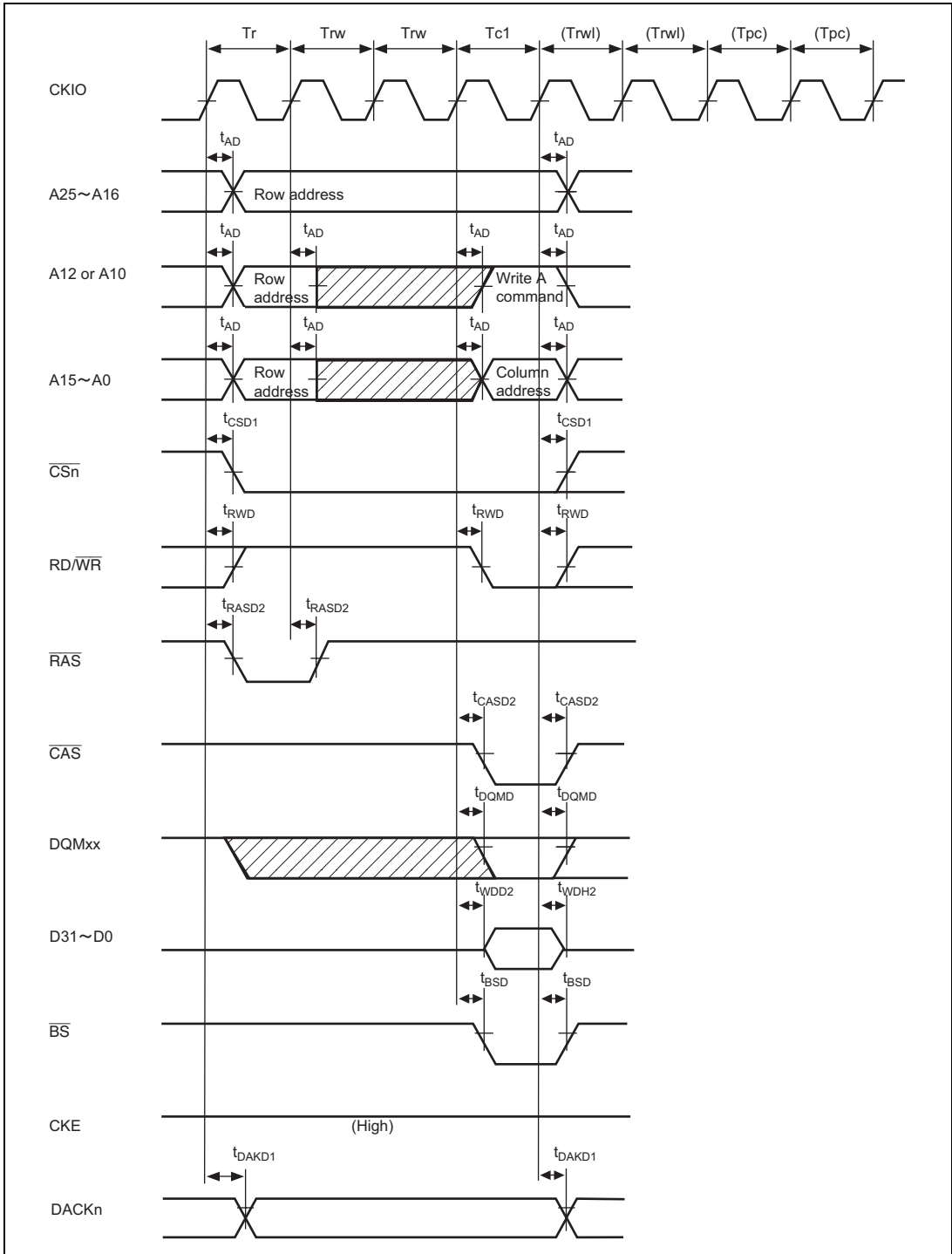


図 32.28 シンクロナス DRAM ライトバスサイクル (RCD=2、TPC=1、TRWL=1)

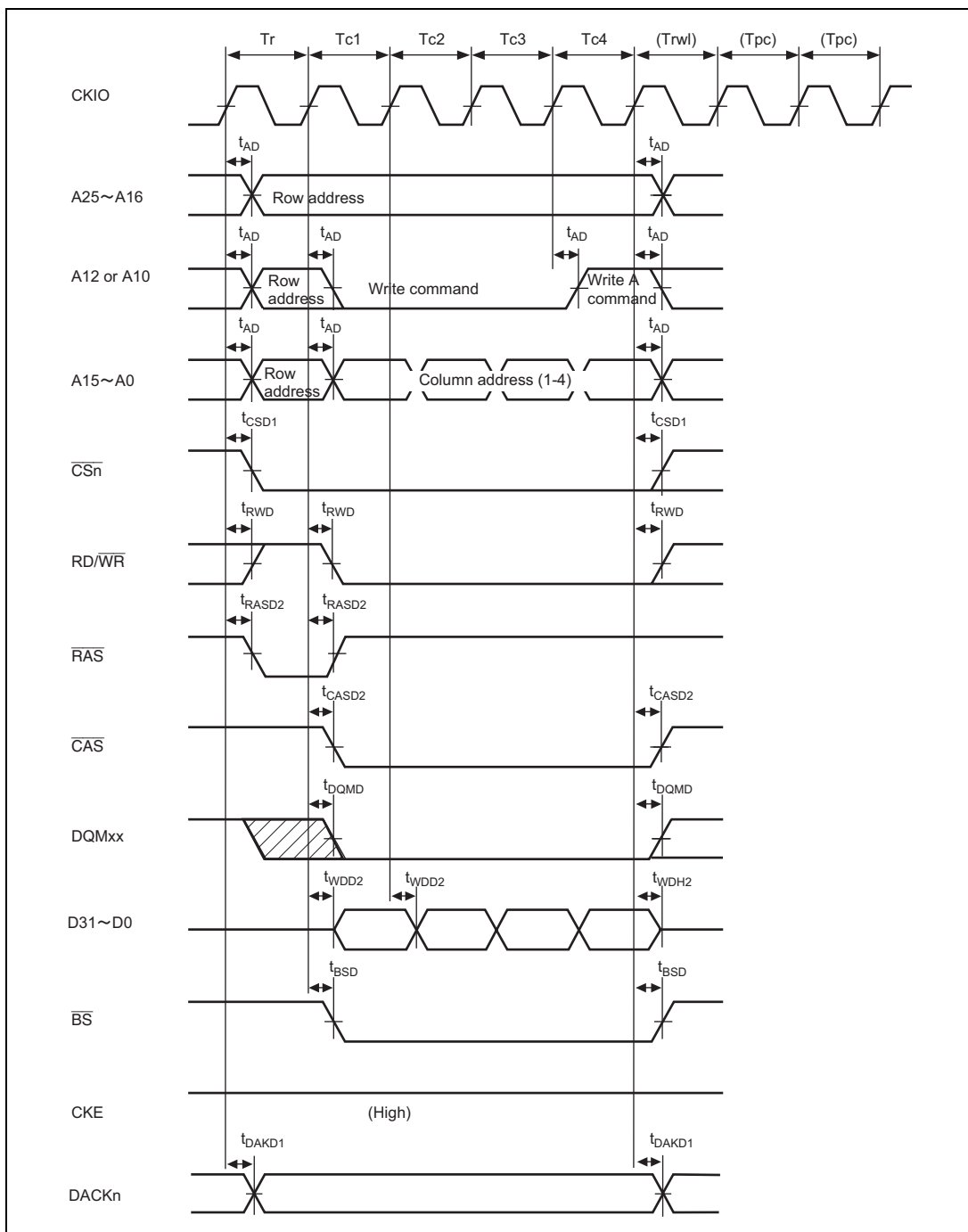


図 32.29 シンクロナス DRAM ライトバスサイクル
 (バーストライト(シングルライト×4)、RCD=0、TPC=1、TRWL=0)

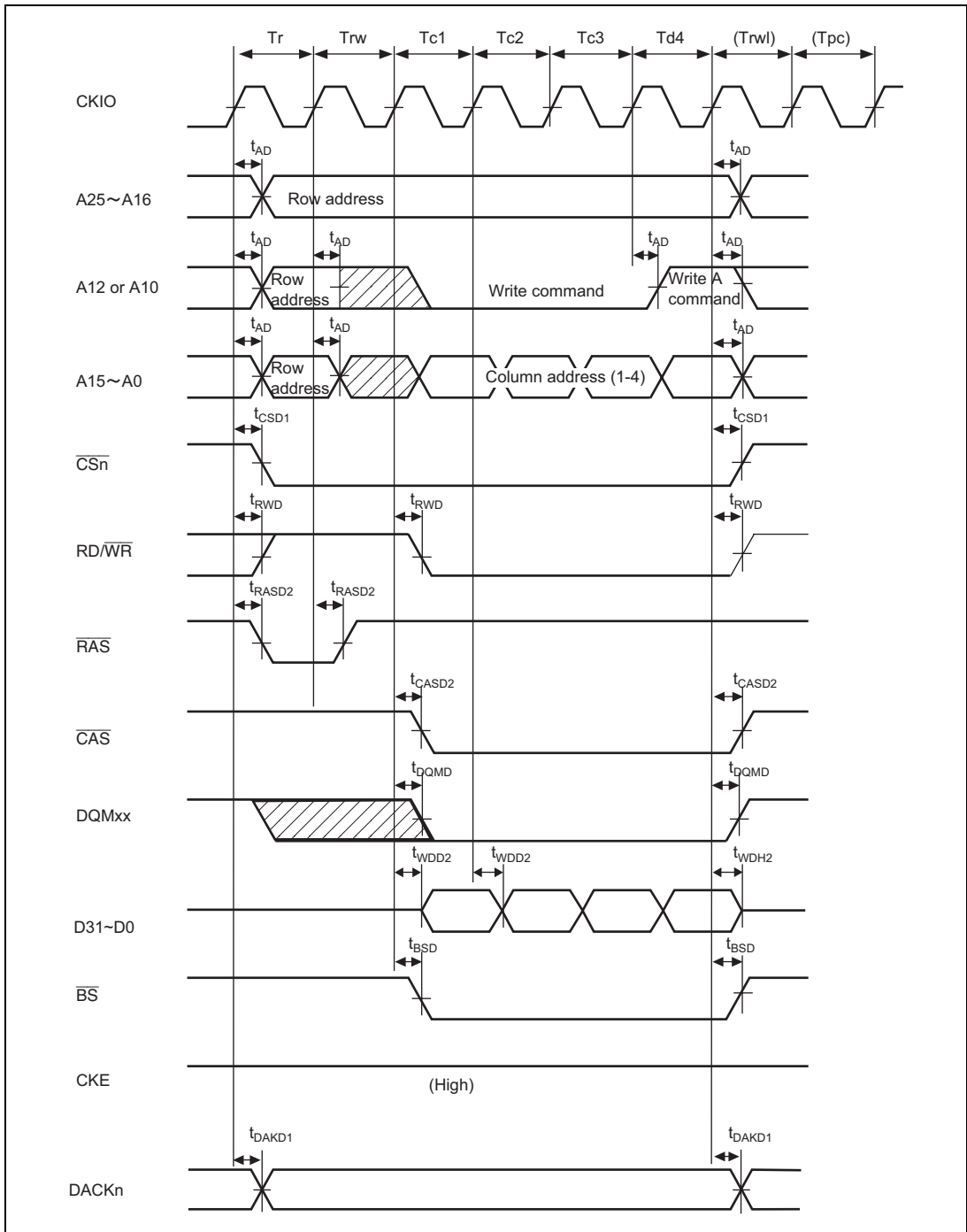


図 32.30 シンクロナス DRAM ライトバスサイクル
 (バーストライト(シングルライト×4)、RCD=1、TPC=0、TRWL=0)

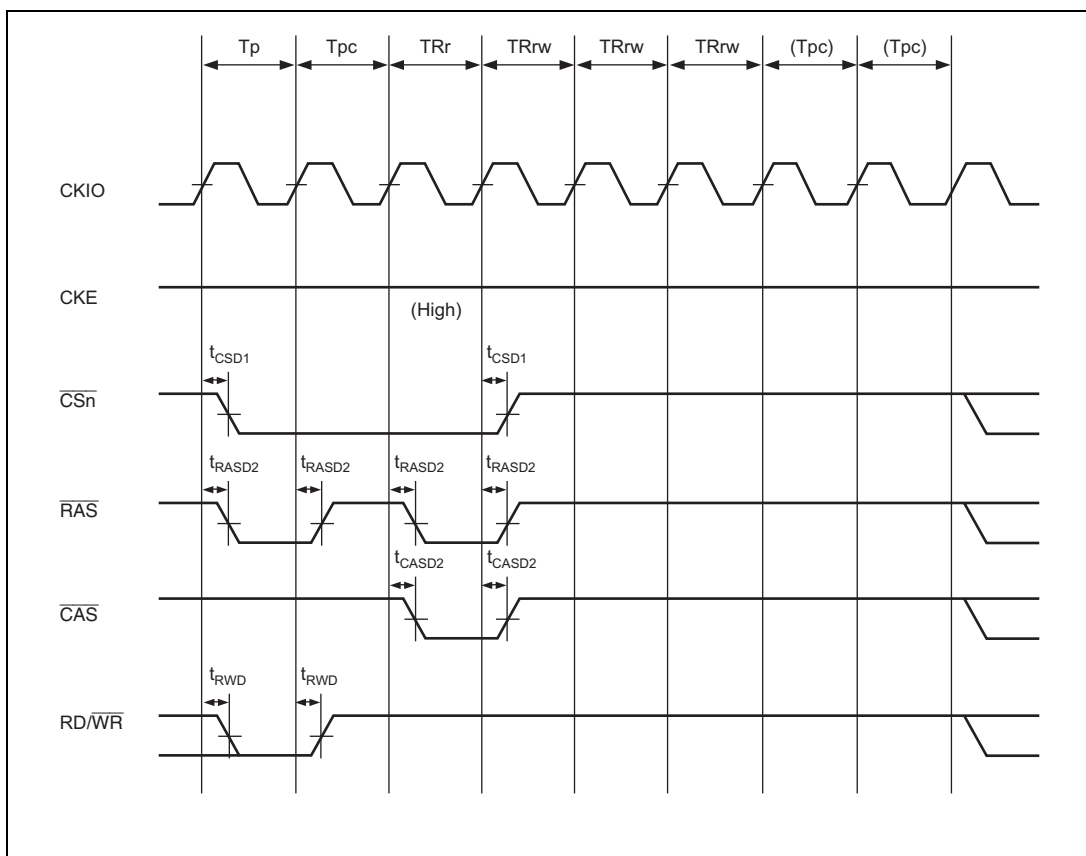


図 32.31 シンクロナス DRAM オートリフレッシュサイクル (TRAS=1、TPC=1)

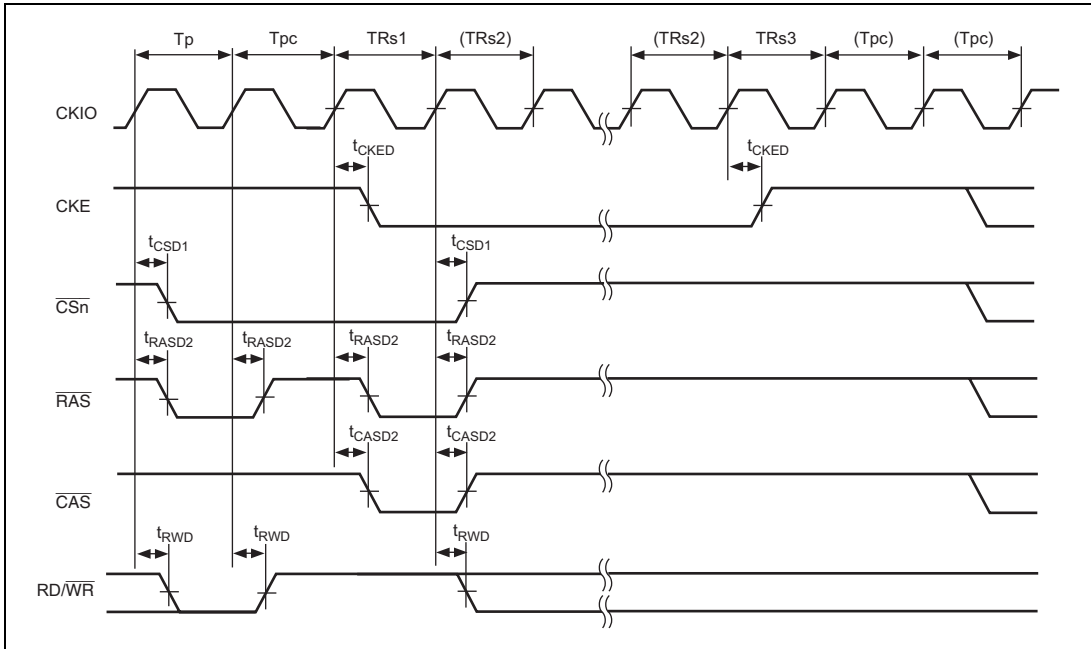


図 32.32 シンクロナス DRAM セルフリフレッシュサイクル (TPC=0)

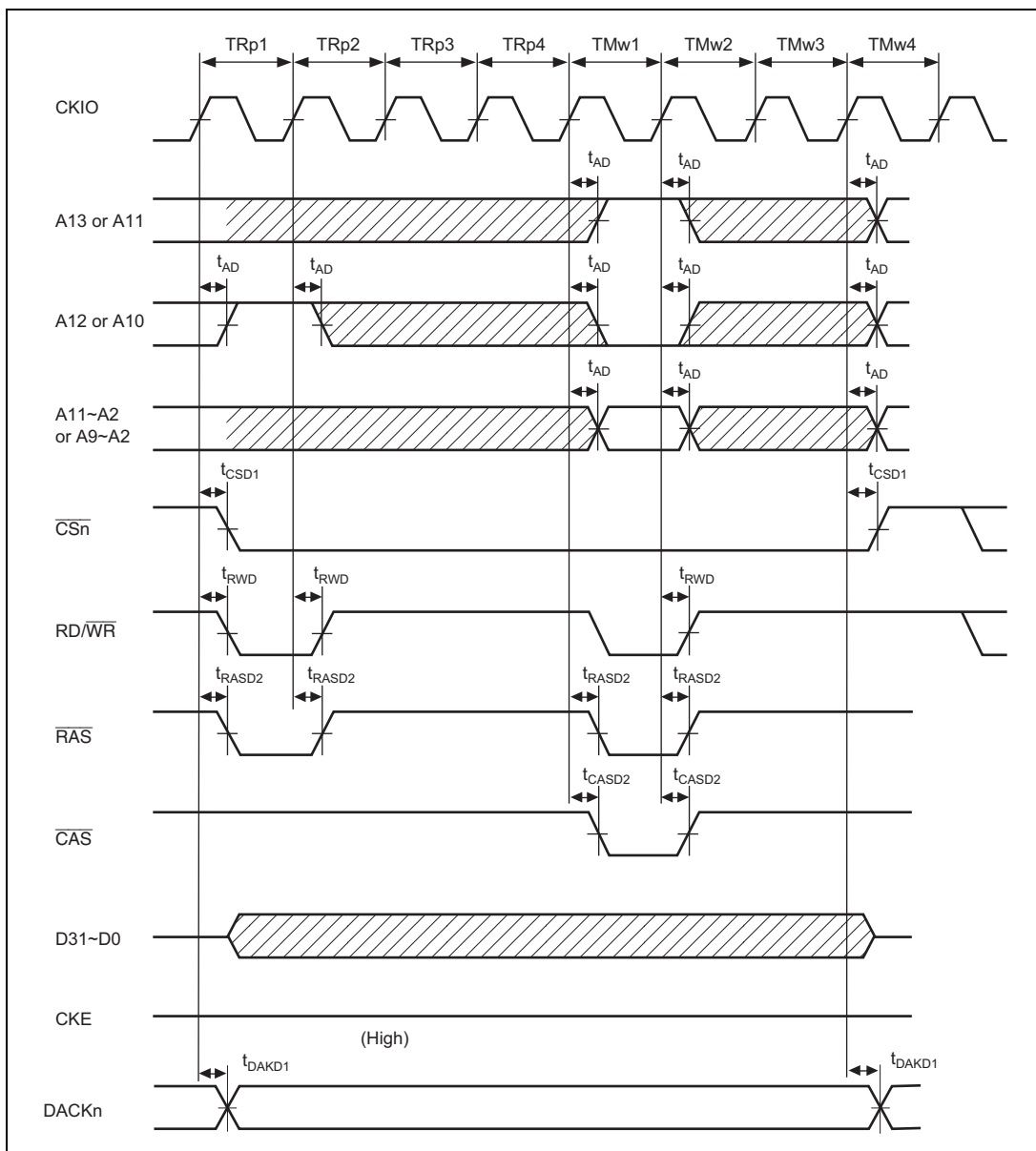


図 32.33 シンクロナス DRAM のモードレジスタへのライトサイクル

32.3.7 PCMCIA タイミング

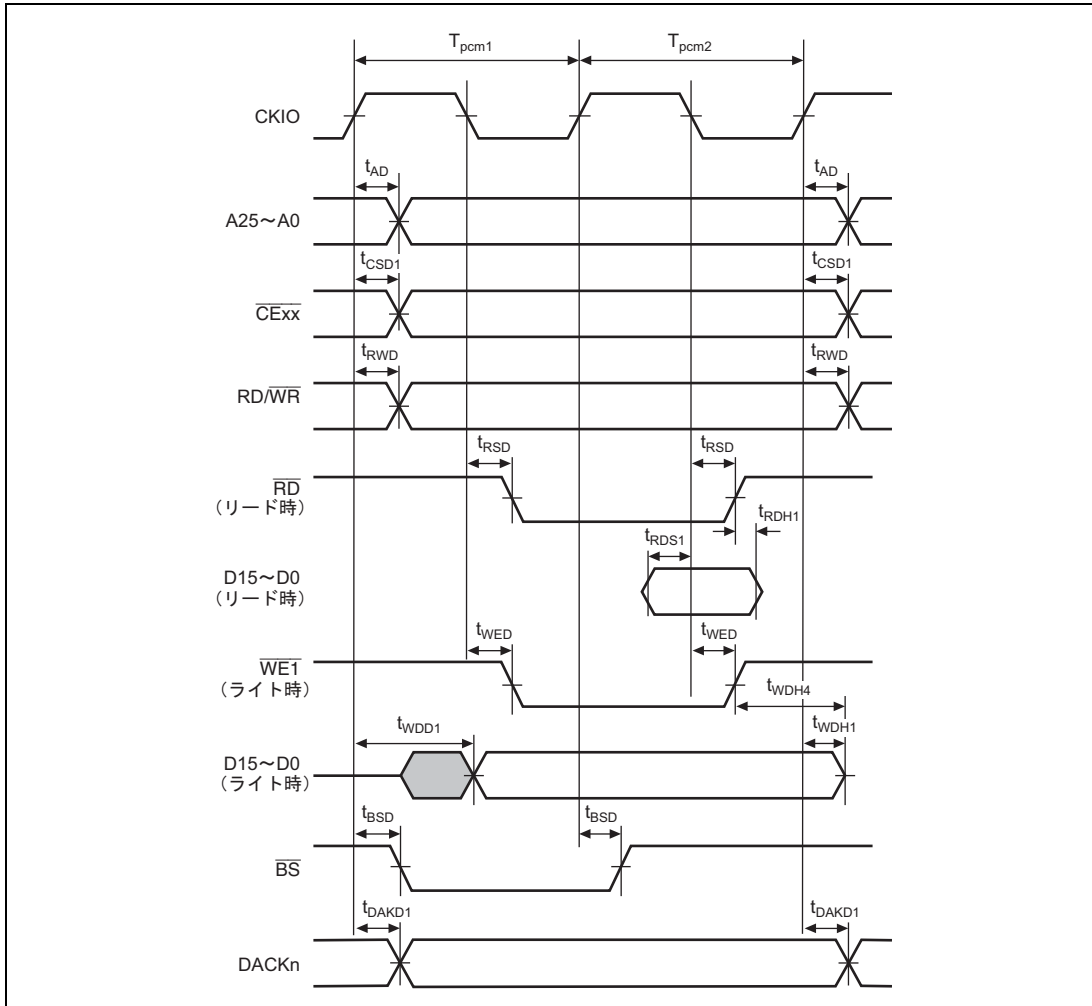


図 32.34 PCMCIA メモリバスサイクル (TED=0、TEH=0、ノーウェイト)

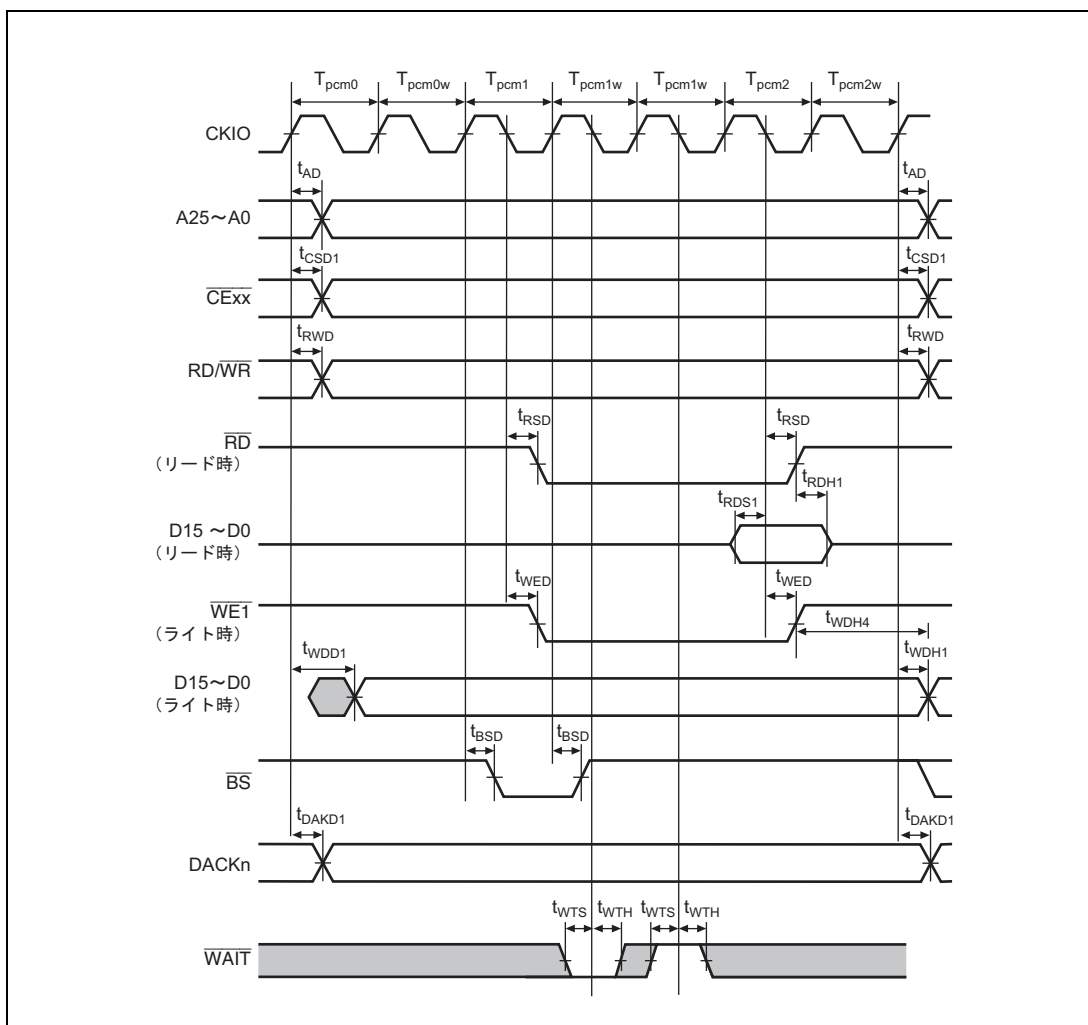


図 32.35 PCMCIA メモリバスサイクル
 (TED = 2、TEH = 1、1 ウェイト、外部ウェイト、WAITSEL = 1)

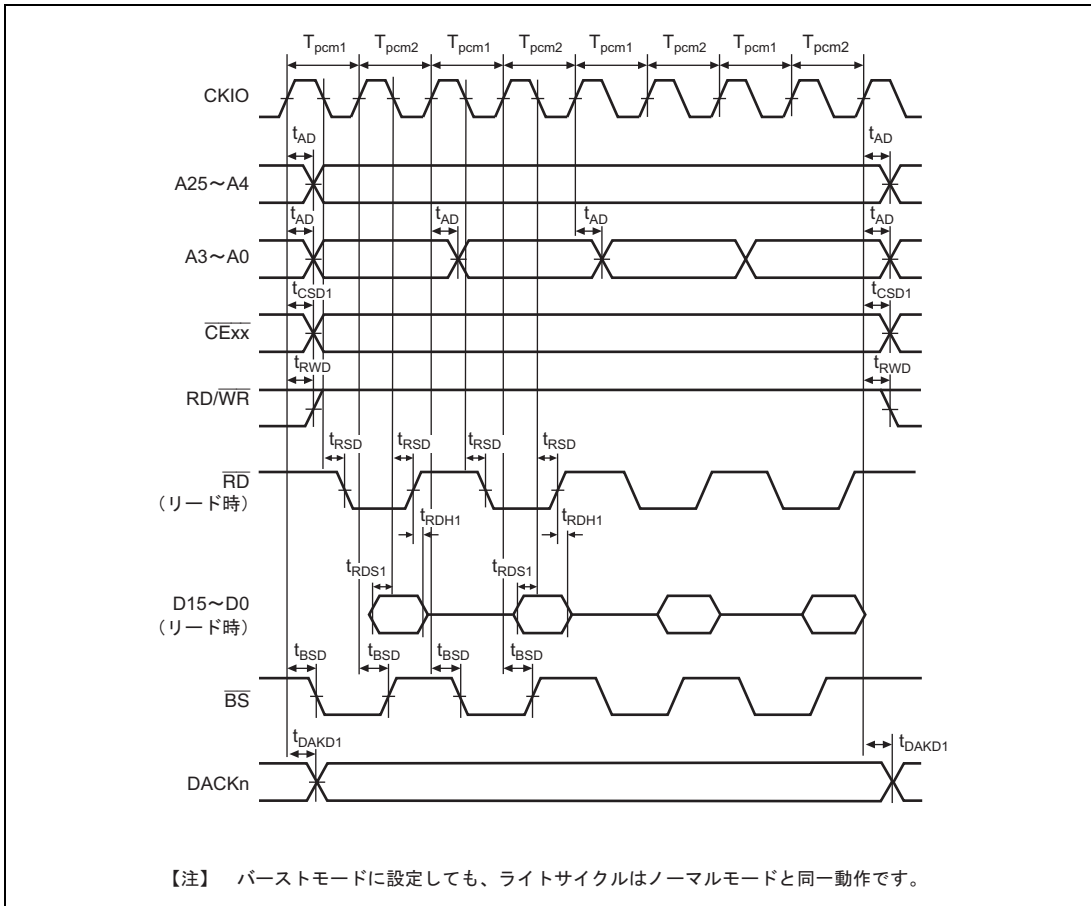


図 32.36 PCMCIA メモリバスサイクル
(パーストリード、TED=0、TEH=0、ノーウェイト)

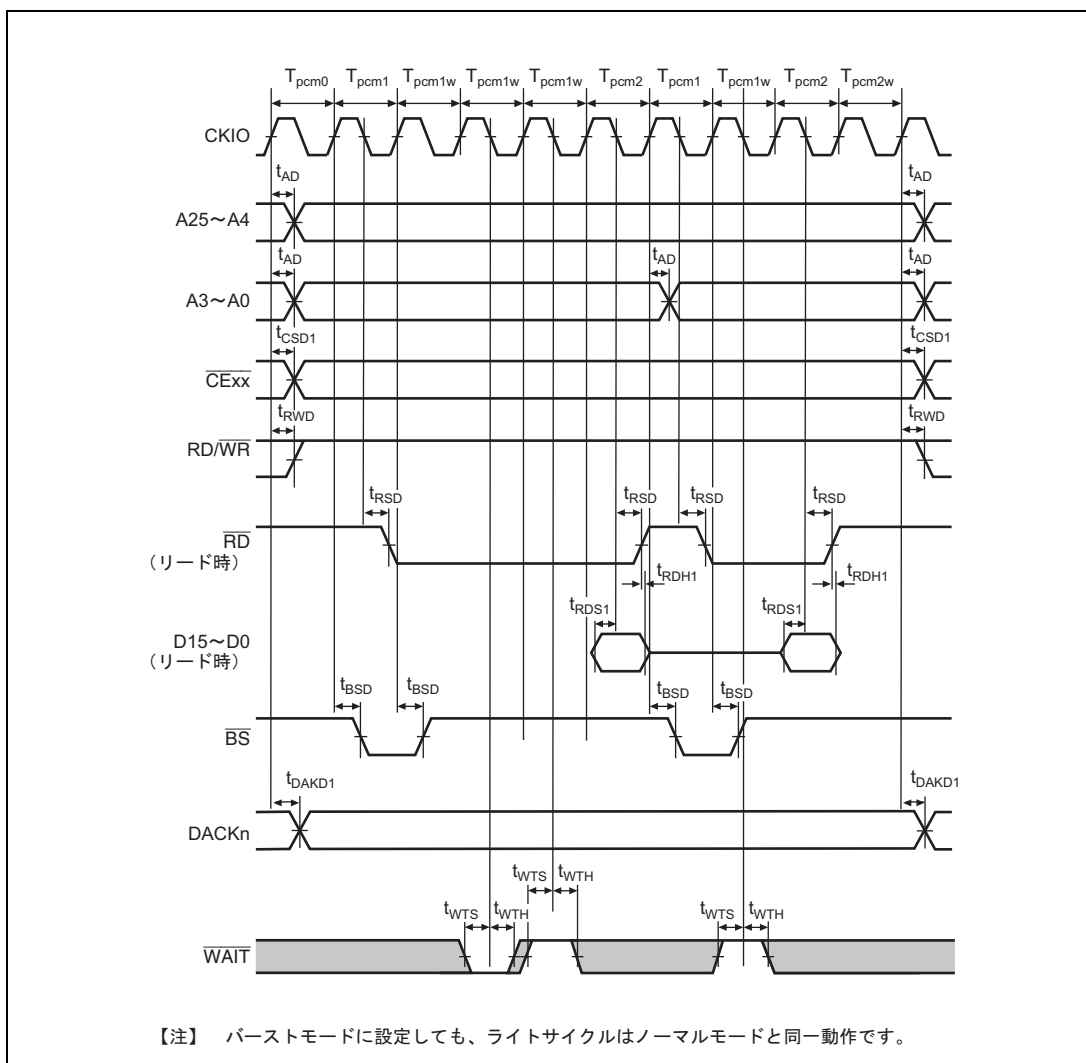


図 32.37 PCMCIA メモリバスサイクル
 (バーストリード、TED=1、TEH=1、2ウェイト、バーストピッチ=3、WAITSEL=1)

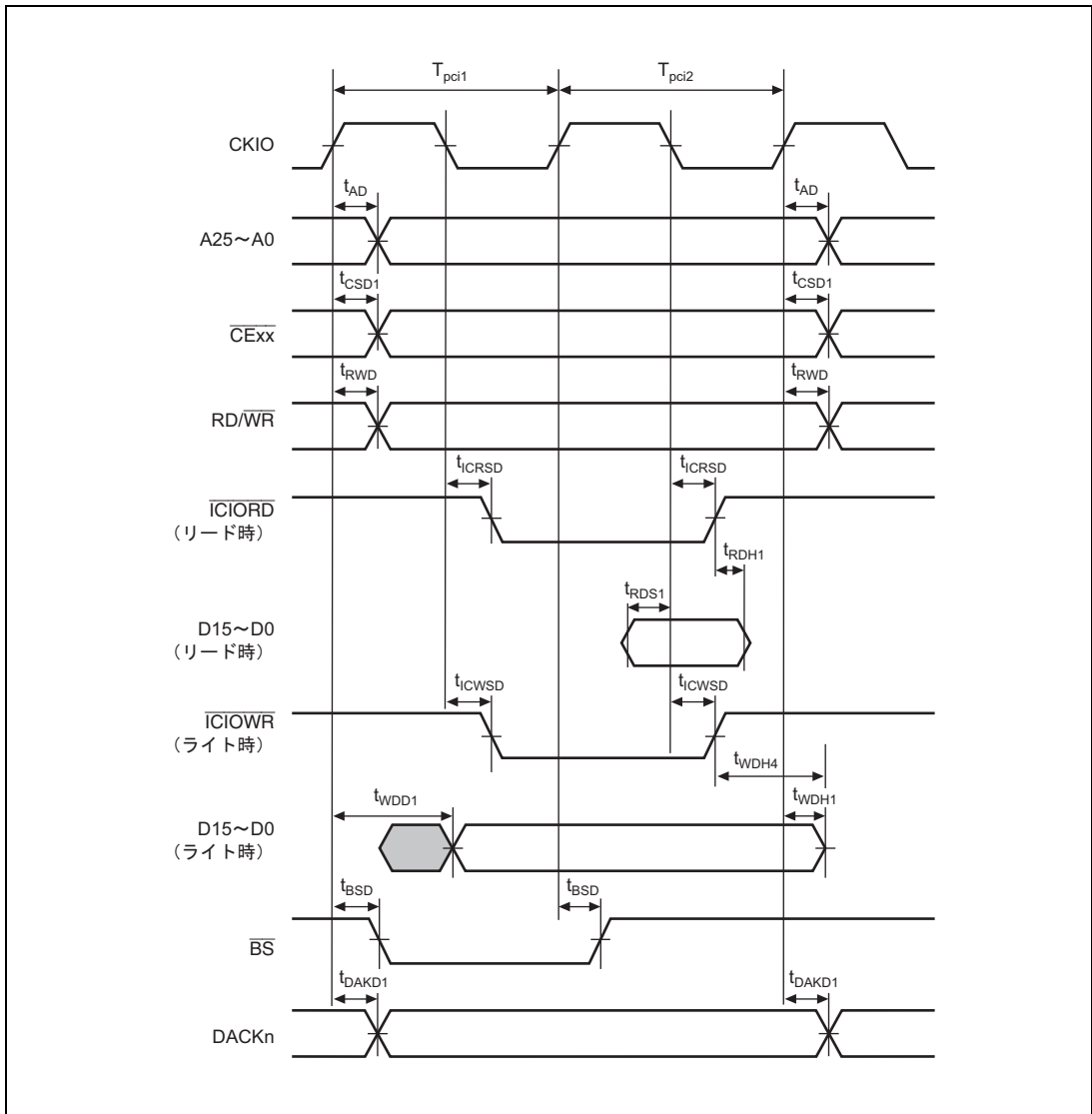


図 32.38 PCMCIA I/O バスサイクル (TED = 0、TEH = 0、ノーウェイト)

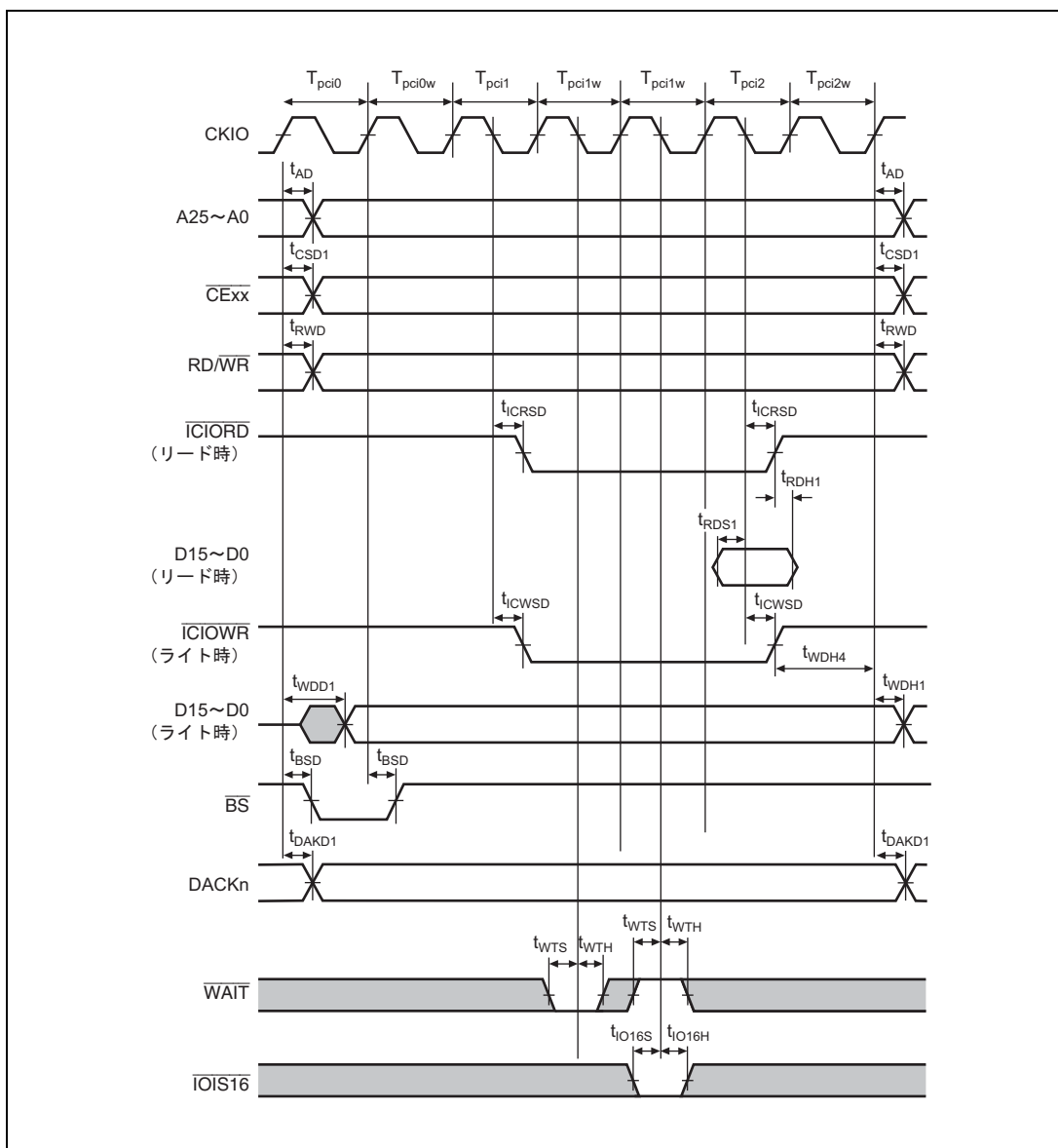


図 32.39 PCMCIA I/O バスサイクル
(TED = 2、TEH = 1、1 ウェイト、外部ウェイト、WAITSEL = 1)

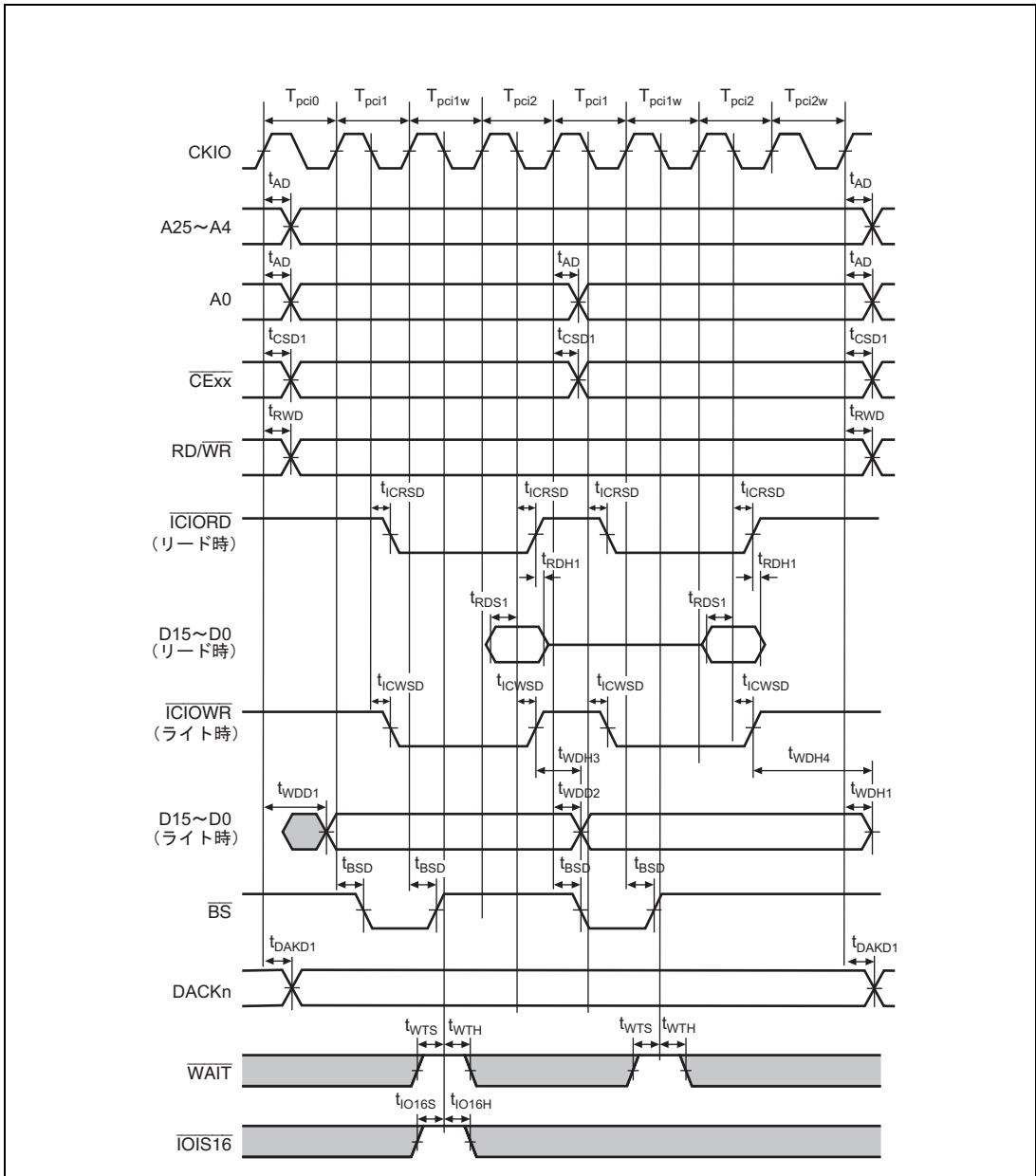


図 32.40 PCMCIA I/O バスサイクル
(TED = 1、TEH = 1、1 ウェイト、バスサイジング、WAITSEL = 1)

32.3.8 周辺モジュール信号タイミング

表 32.11 周辺モジュール信号タイミング

条件 : $V_{CCQ} = 2.6 \sim 3.6V$ 、 $V_{CC} = 1.60 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$

モジュール	項目		記号	min	max	単位	参照図
RTC	発振安定時間		t_{ROSC}	-	3	s	32.41
SCI	入力 クロック サイクル	調歩同期	t_{SCYC}	4	-	P_{cyc}^*	32.42
		クロック同期		6	-		32.43
	入力クロック立ち上がり時間		t_{SCKR}	-	1.5	P_{cyc}^*	32.42
	入力クロック立ち下がり時間		t_{SCKF}	-	1.5		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6		
	送信データ遅延時間		t_{TXD}	-	100	ns	32.43
	受信データセットアップ時間(クロック同期)		t_{RXS}	100	-		
	受信データホールド時間(クロック同期)		t_{RXH}	100	-		
	RTS 遅延時間		t_{RTSD}	-	100		
	CTS セットアップ時間(クロック同期)		t_{CTSS}	100	-		
	CTS ホールド時間(クロック同期)		t_{CTSH}	100	-		
ポート	出力データ遅延時間		t_{PORTD}	-	26	ns	32.44
	入力データセットアップ時間(1)		t_{PORTS1}	15	-		
	入力データホールド時間(1)		t_{PORTH1}	8	-		
	入力データセットアップ時間(2)		t_{PORTS2}	$t_{cyc} + 15$	-		
	入力データホールド時間(2)		t_{PORTH2}	8	-		
	入力データセットアップ時間(3)		t_{PORTS3}	$3 \times t_{cyc} + 15$	-		
	入力データホールド時間(3)		t_{PORTH3}	8	-		
DMAC	DREQ セットアップ時間		t_{DRQS}	8	-	ns	32.45
	DREQ ホールド時間		t_{DREQH}	8	-		
	DRAK 遅延時間		t_{DRAKD}	-	14		32.46

【注】 * P_{cyc} は周辺クロック(P_ϕ)のサイクルを意味します。

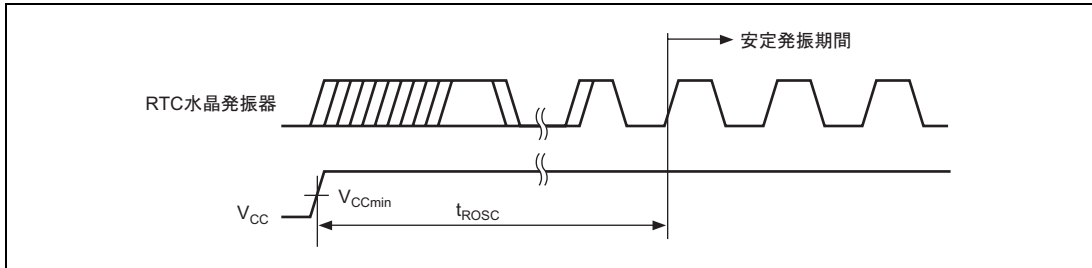


図 32.41 RTC 用水晶発振器パワーオン時発振安定時間

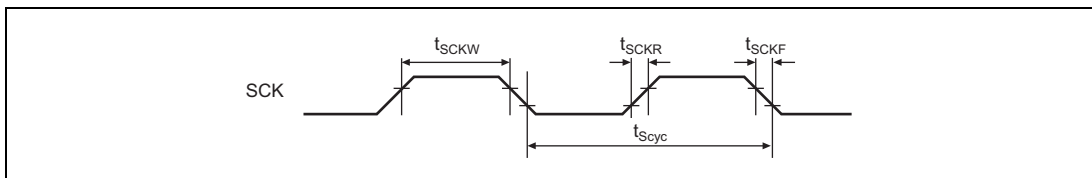


図 32.42 SCK 入力クロックタイミング

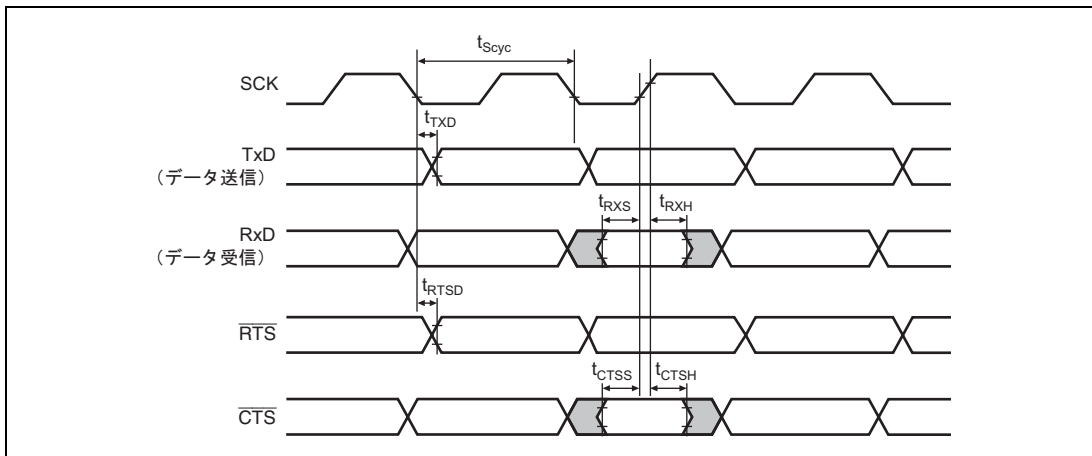


図 32.43 クロック同期式モード時の SCI 入出力タイミング

32. 電気的特性

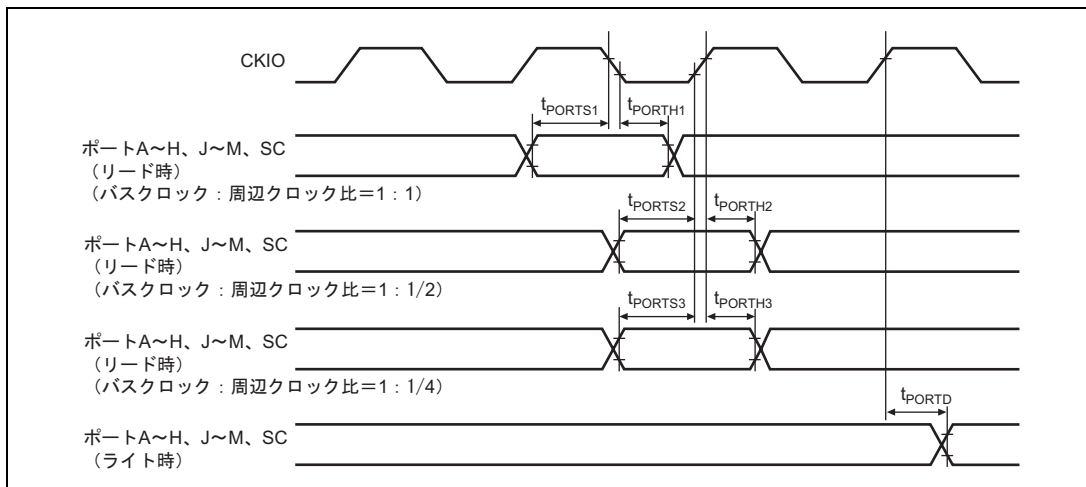


図 32.44 I/O ポートタイミング

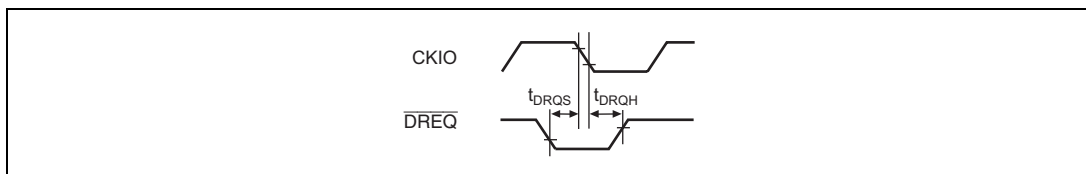


図 32.45 DREQ 入力タイミング

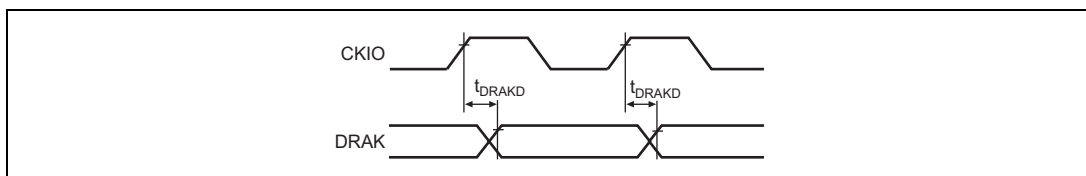


図 32.46 DRAK 出力タイミング

32.3.9 H-UDI 関連端子のタイミング

表 32.12 H-UDI 関連端子のタイミング

条件: $V_{CCQ} = 2.6 \sim 3.6V$ 、 $V_{CC} = 1.60 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$

項目	記号	min	max	単位	参照図
TCK サイクル時間	t_{TCKcyc}	50		ns	32.47
TCK High レベルパルス幅	t_{TCKH}	12		ns	
TCK Low レベルパルス幅	t_{TCKL}	12		ns	
TCK 立ち上がり / 立ち下がり時間	t_{TCKf}		4	ns	
TRST セットアップ時間	t_{TRSTS}	12		ns	32.48
TRST ホールド時間	t_{TRSTH}	50		t_{cyc}	
TDI セットアップ時間	t_{TDis}	10		ns	32.49
TDI ホールド時間	t_{TDIH}	10		ns	
TMS セットアップ時間	t_{TMSS}	10		ns	
TMS ホールド時間	t_{TMSh}	10		ns	
TDO 遅延時間	t_{TDOD}		19	ns	
ASEMD0 セットアップ時間	t_{ASEMDH}	12		ns	32.50
ASEMD0 ホールド時間	t_{ASEMDS}	12		ns	

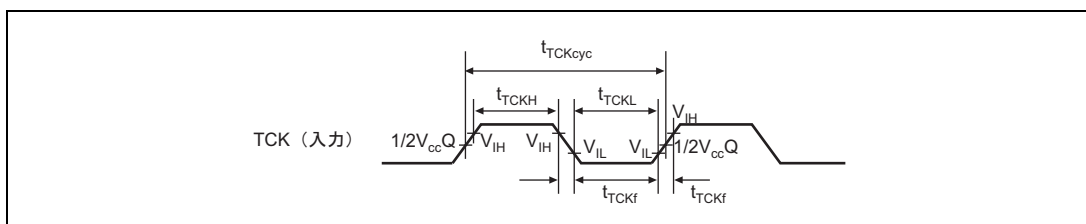


図 32.47 TCK 入力タイミング

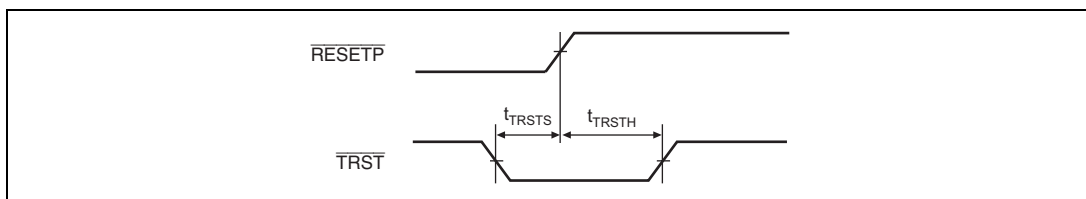


図 32.48 TRST 入力タイミング (リセットホールド時)

32. 電気的特性

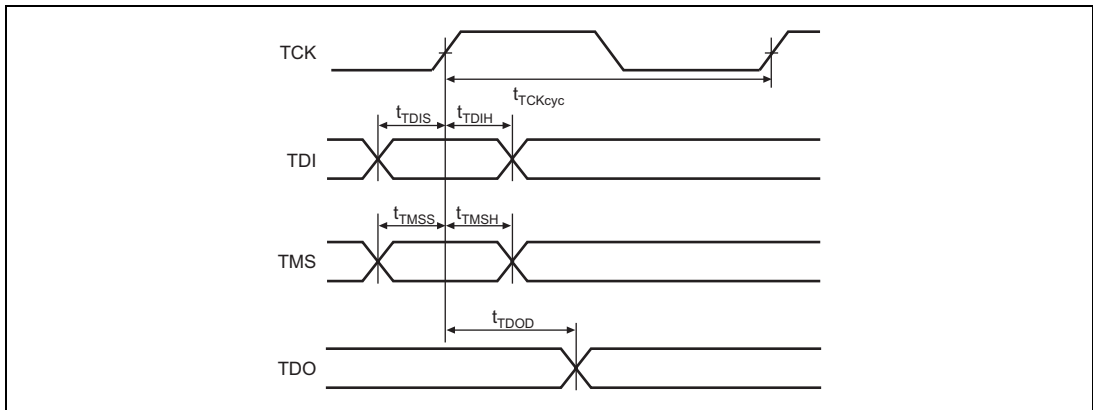


図 32.49 H-UDI データ転送タイミング

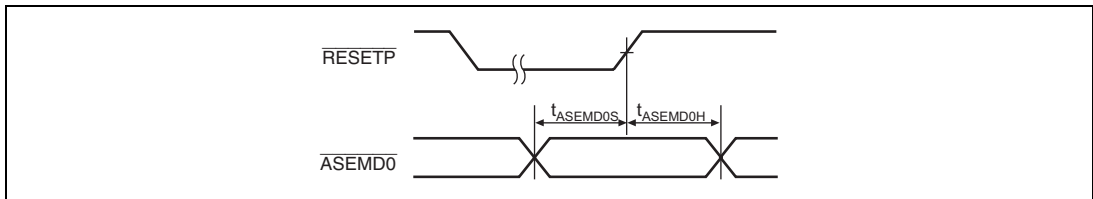


図 32.50 ASEMD0 入力タイミング

32.3.10 LCDC タイミング

表 32.13 LCDC タイミング

条件 : $V_{CCQ} = 2.6 \sim 3.6V$ 、 $V_{CC} = 1.60 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$

項目	記号	min	max	単位	参照図
LCLK 入力クロック周波数	t_{FREQ}		50	MHz	32.51
LCLK 入力クロック立ち上がり時間	t_R		3	ns	
LCLK 入力クロック立ち下がり時間	t_F		3	ns	
LCLK 入力クロックデューティ	t_{DUTY}	90	110	%	
クロック(CL2/DCLK) サイクル時間	t_{CC}	25		ns	
クロック(CL2/DCLK) High レベルパルス幅	t_{CHW}	7		ns	
クロック(CL2/DCLK) Low レベルパルス幅	t_{CLW}	7		ns	
クロック(CL2/DCLK) 遷移時間 (立ち上がり/立ち下がり)	t_{CT}		3	ns	
データ(LCD) 遅延時間	t_{DD}	- 3.5	3	ns	
データ(LCD) 遷移時間	t_{DT}		3	ns	
表示許可(M/DISP) 遅延時間	t_{ID}	- 3.5	3	ns	
表示許可(M/DISP) 遷移時間 (立ち上がり/立ち下がり)	t_{IT}		3	ns	
水平同期信号(CL1/Hsync) 遅延時間	t_{HD}	- 3.5	3	ns	
水平同期信号(CL1/Hsync) 遷移時間	t_{HT}		3	ns	
垂直同期信号(FLM/Vsync) 遅延時間	t_{VD}	- 3.5	3	ns	
垂直同期信号(FLM/Vsync) 遷移時間	t_{VT}		3	ns	

32. 電気的特性

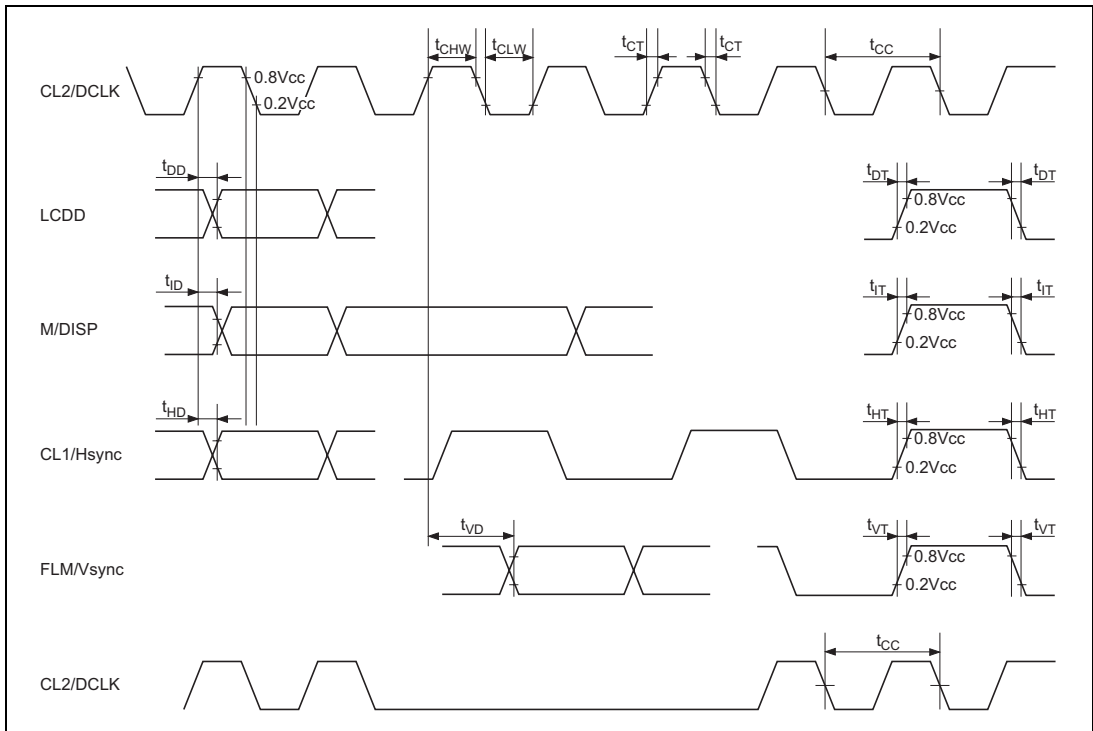


図 32.51 LCDC AC タイミング

32.3.11 SIOF モジュール信号タイミング

表 32.14 SIOF モジュール信号タイミング

条件 : $V_{CCQ} = 2.6 \sim 3.6V$ 、 $V_{CC} = 1.60 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$

項目	記号	min	max	単位	参照図
SIOMCLK クロック入力サイクル時間	t_{MCYC}	30	-	ns	32.52
SIOMCLK 入力 High レベル幅	t_{MWH}	$0.4 \times t_{MCYC}$	-	ns	32.52
SIOMCLK 入力 Low レベル幅	t_{MWL}	$0.4 \times t_{MCYC}$	-	ns	32.52
SCK_SIO クロックサイクル時間	t_{SICYC}	$2 \times t_{PCYC}$	-	ns	32.53 ~ 32.57
SCK_SIO 出力 High レベル幅	t_{SWHO}	$0.4 \times t_{SICYC}$	-	ns	32.53 ~ 32.56
SCK_SIO 出力 Low レベル幅	t_{SWLO}	$0.4 \times t_{SICYC}$	-	ns	32.53 ~ 32.56
SIOFSYNC 出力遅延時間	t_{FSD}	-	20	ns	32.53 ~ 32.56
SCK_SIO 入力 High レベル幅	t_{SWHI}	$0.4 \times t_{SICYC}$	-	ns	32.57
SCK_SIO 入力 Low レベル幅	t_{SWLI}	$0.4 \times t_{SICYC}$	-	ns	32.57
SIOFSYNC 入力セットアップ時間	t_{FSS}	20	-	ns	32.57
SIOFSYNC 入力ホールド時間	t_{FSH}	20	-	ns	32.57
TXD_SIO 出力遅延時間	t_{STDD}	-	20	ns	32.53 ~ 32.57
RXD_SIO 入力セットアップ時間	t_{SRDS}	20	-	ns	32.53 ~ 32.57
RXD_SIO 入力ホールド時間	t_{SRDH}	20	-	ns	32.53 ~ 32.57

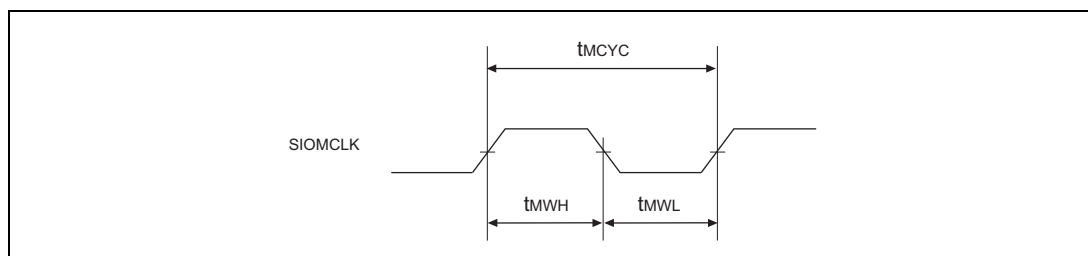
【注】 t_{PCYC} は周辺クロック (P ϕ) のサイクル時間 (ns)

図 32.52 SIOMCLK 入力タイミング

32. 電気的特性

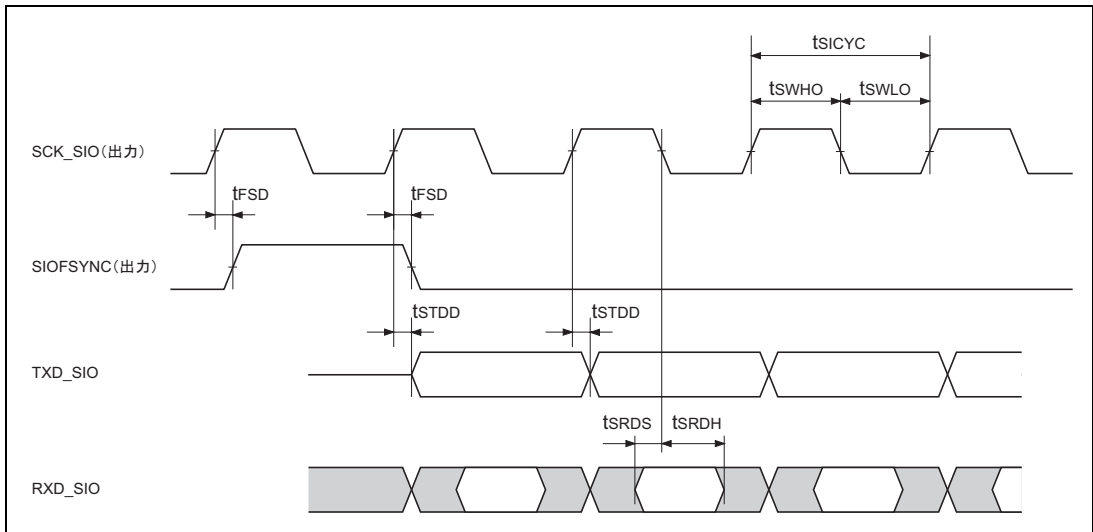


図 32.53 SIOF 送受信タイミング (マスターモード1・立ち下がりサンプリング時)

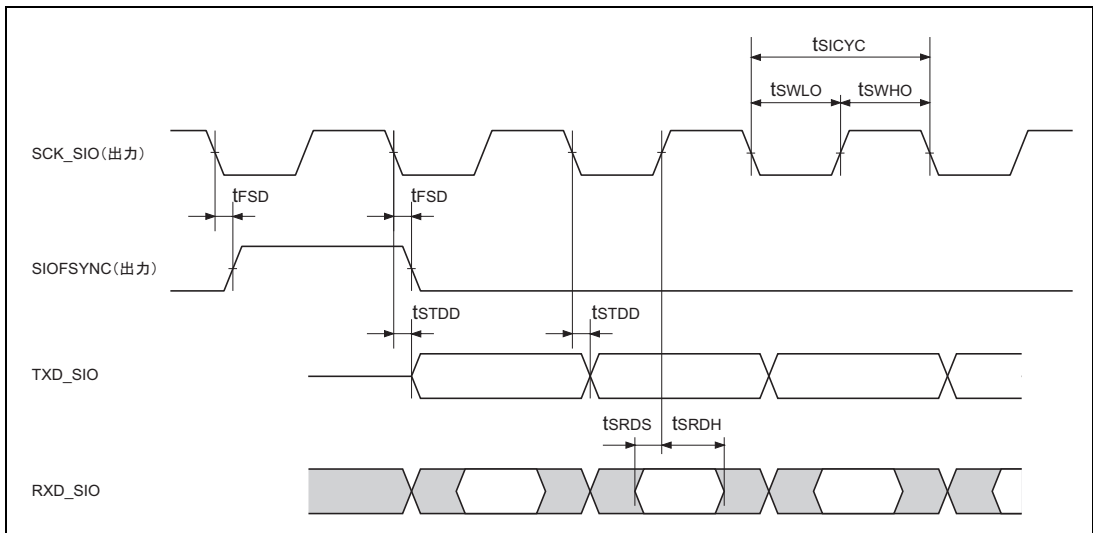


図 32.54 SIOF 送受信タイミング (マスターモード1・立ち上がりサンプリング時)

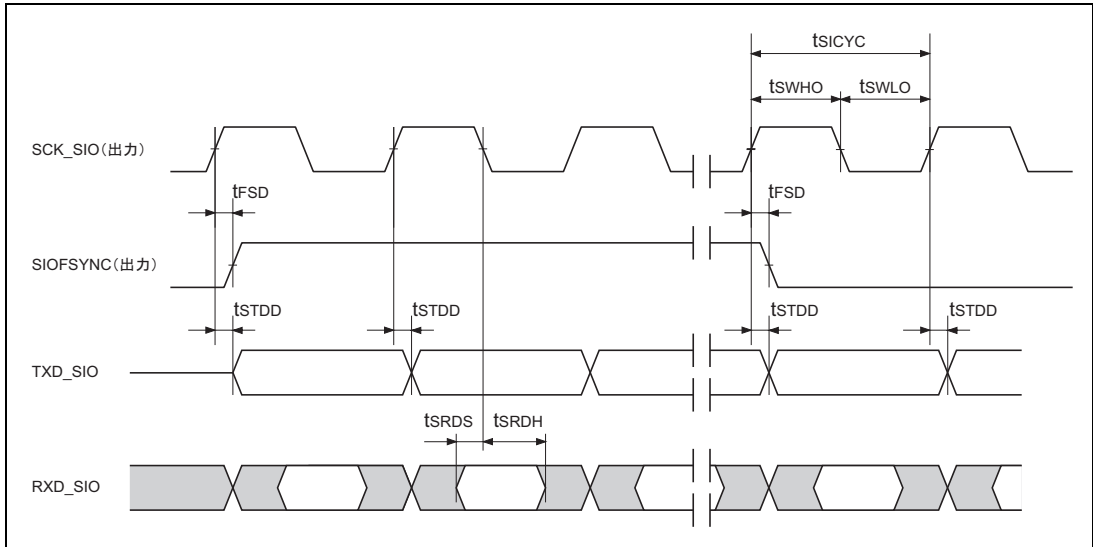


図 32.55 SIOF 送受信タイミング (マスターモード 2・立ち下がりサンプリング時)

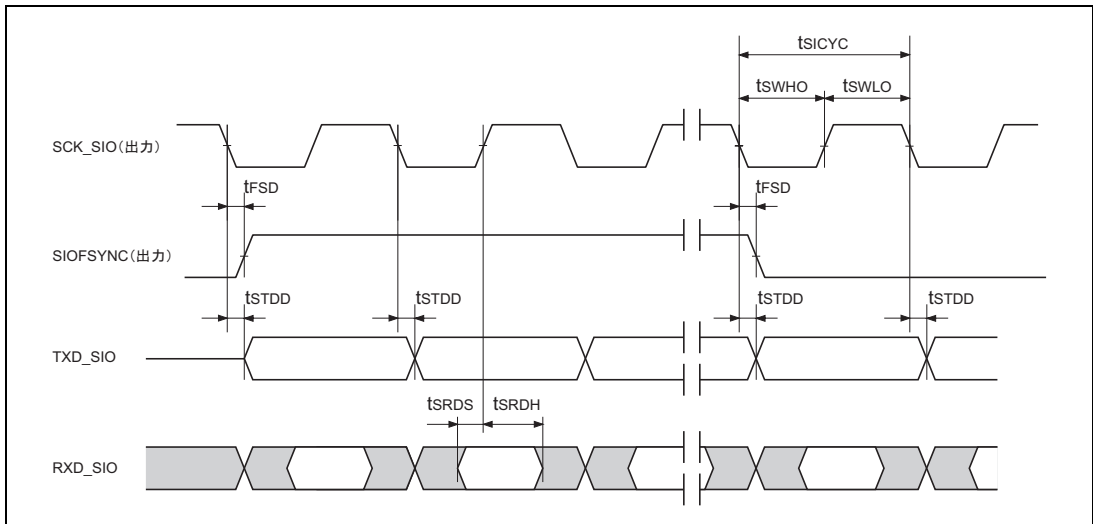


図 32.56 SIOF 送受信タイミング (マスターモード 2・立ち上がりサンプリング時)

32. 電気的特性

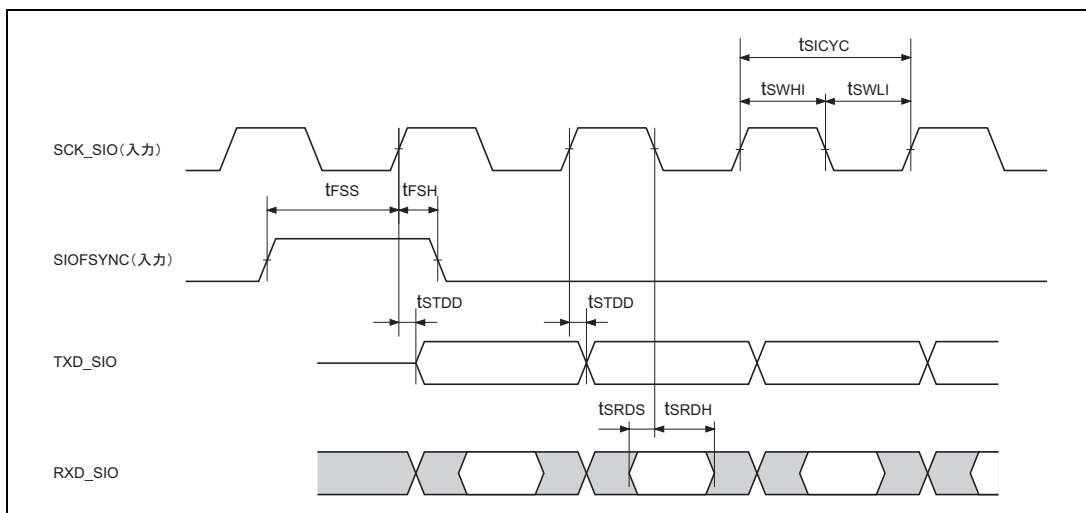


図 32.57 SIOF 送受信タイミング (スレープモード 1・スレープモード 2 時)

32.3.12 USB モジュール信号タイミング

表 32.15 USB モジュールクロックタイミング

条件 : $V_{CCQ} = 2.6 \sim 3.6V$ 、 $V_{CC} = 1.60 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$

項目	記号	min	max	単位	参照図
UCLK 外部入力クロック周波数 (48MHz) (USB ファンクションコントローラ使用時)	t_{FREQ}	47.9	48.1	MHz	32.58
UCLK 外部入力クロック周波数 (48MHz) (USB ホストコントローラ使用時)		47.976	48.024		
クロック立ち上がり時間	t_{R48}		6	ns	
クロック立ち下がり時間	t_{F48}		6	ns	

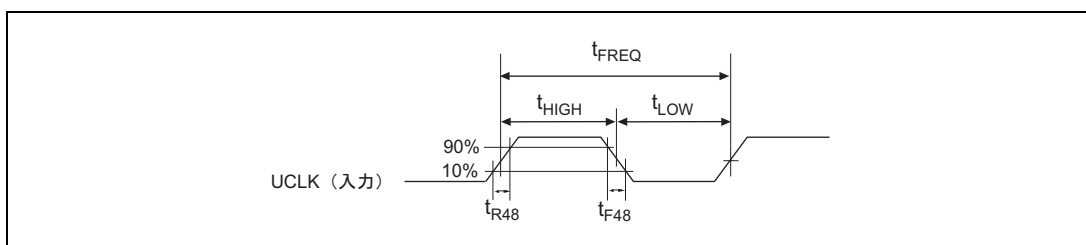


図 32.58 USB クロックタイミング

表 32.16 USB 電気的特性 (フルスピード)

項目	記号	min	max	単位	状態 ^{*1}
遷移時間 (立ち上がり) ^{*2}	t_R	4	20	ns	CL=50pF
遷移時間 (立ち下がり) ^{*2}	t_F	4	20	ns	CL=50pF
立ち上がり / 立ち下がり時間マッチング	t_{RFM}	90	111	%	(TR/TF)
出力信号クロスオーバー電圧	V_{CRS}	1.3	2.0	V	-

【注】 エッジ制御用の $C_{EDGE}=47\text{pF}$ 、直接抵抗 $R_s=27$ が接続された状態で測定しています。

*1 規定されていない限り、CL=50pF の条件での値です。

*2 信号電圧の 10% ~ 90% 内での値です。

表 32.17 USB 電気的特性 (ロースピード)

項目	記号	min	max	単位	状態
遷移時間 (立ち上がり) ^{*1}	t_R	75	-	ns	CL=200pF
		-	300	ns	CL=600pF
遷移時間 (立ち下がり) ^{*1}	t_F	75	-	ns	CL=200pF
		-	300	ns	CL=600pF
立ち上がり/立ち下がり時間マッチング	t_{RFM}	80	125	%	(TR/TF)
出力信号クロスオーバー電圧	V_{CRS}	1.3	2.2	V	-

【注】 エッジ制御用の $C_{EDGE}=47\text{pF}$ 、直列抵抗 $R_s=27$ が接続された状態で測定しています。

*1 信号電圧の 10% ~ 90% 内での値です。

32.3.13 AFEIF モジュール信号タイミング

表 32.18 AFEIF モジュール信号タイミング

条件 : $V_{CCQ} = 2.6 \sim 3.6V$, $V_{CC} = 1.60 \sim 2.05V$, $AV_{CC} = 3.3 \pm 0.3V$, $T_a = -20 \sim 75$

項目	記号	min	max	単位
AFE_SCLK クロック入力サイクル時間	t_{ASCYC}	$8 \times t_{PCYC}$	—	ns
AFE_SCLK 入力 High レベル幅	t_{ASWH}	$0.4 \times t_{ASCYC}$	—	ns
AFE_SCLK 入力 Low レベル幅	t_{ASWL}	$0.4 \times t_{ASCYC}$	—	ns
AFE_FS 入力時間	t_{AFSD}	0	50	ns
AFE_TXOUT 出力遅延時間	t_{ATDD}	—	$t_{PCYC} + 20$	ns
AFE_RXIN 入力セットアップ時間	t_{ARDS}	20	—	ns
AFE_RXIN 入力ホールド時間	t_{ARDH}	$2 \times t_{PCYC} + 20$	—	ns
AFE_HC1 出力遅延時間	t_{AHCD}	—	$3 \times t_{PCYC} + 20$	ns
AFE_RLYC 出力遅延時間	t_{ARLYD}	—	$t_{PCYC} + 20$	ns

【注】 t_{PCYC} は周辺クロック (Pφ) のサイクル時間 (ns)

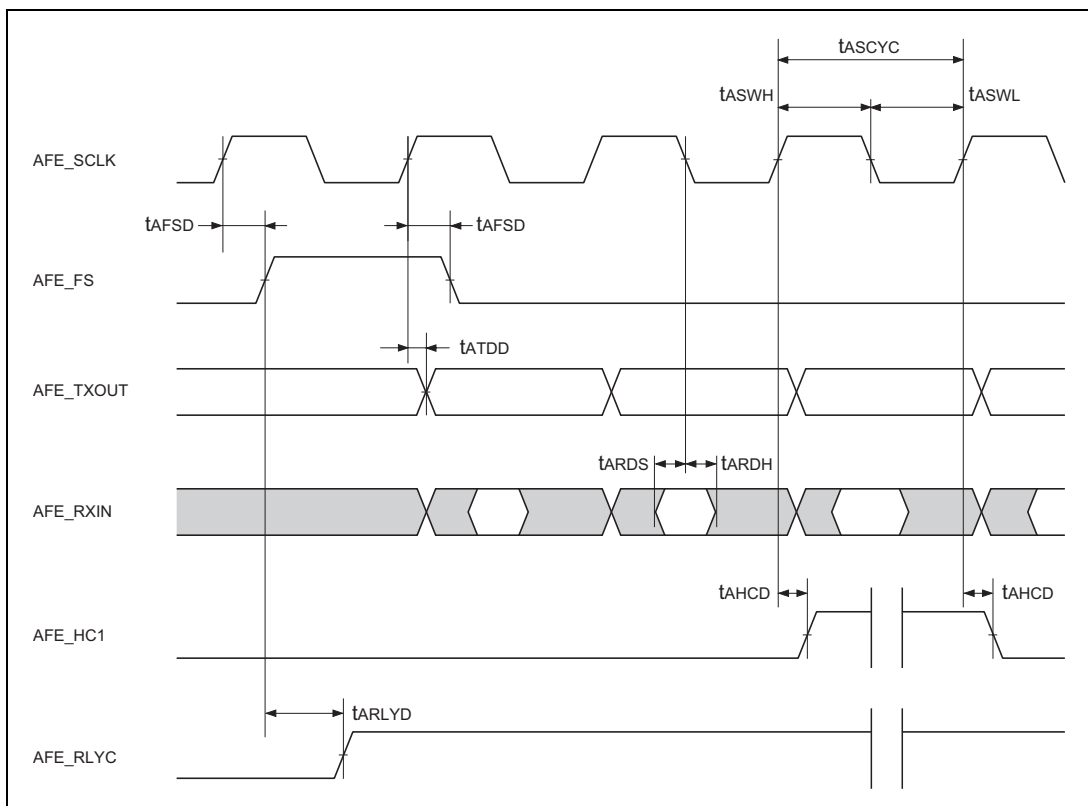


図 32.59 AFEIF モジュール AC タイミング

32.3.14 AC 特性測定条件

- 出力信号参照レベル： $1/2 V_{CCQ}$
- 入力パルスレベル： $V_{SSQ} \sim 3.0V$ (ただし、 \overline{RESETP} 、 \overline{RESETM} 、 $\overline{ASEMD0}$ 、 $\overline{IRL3} \sim \overline{IRL0}$ 、 \overline{ADTRG} 、 $PINT[15] \sim PINT[0]$ 、 CA 、 NMI 、 $IRQ5 \sim IRQ0$ 、 $CKIO$ 、および $MD5 \sim MD0$ は $V_{SSQ} \sim V_{CCQ}$)
- 入力立ち上がり、立ち下がり時間：1ns

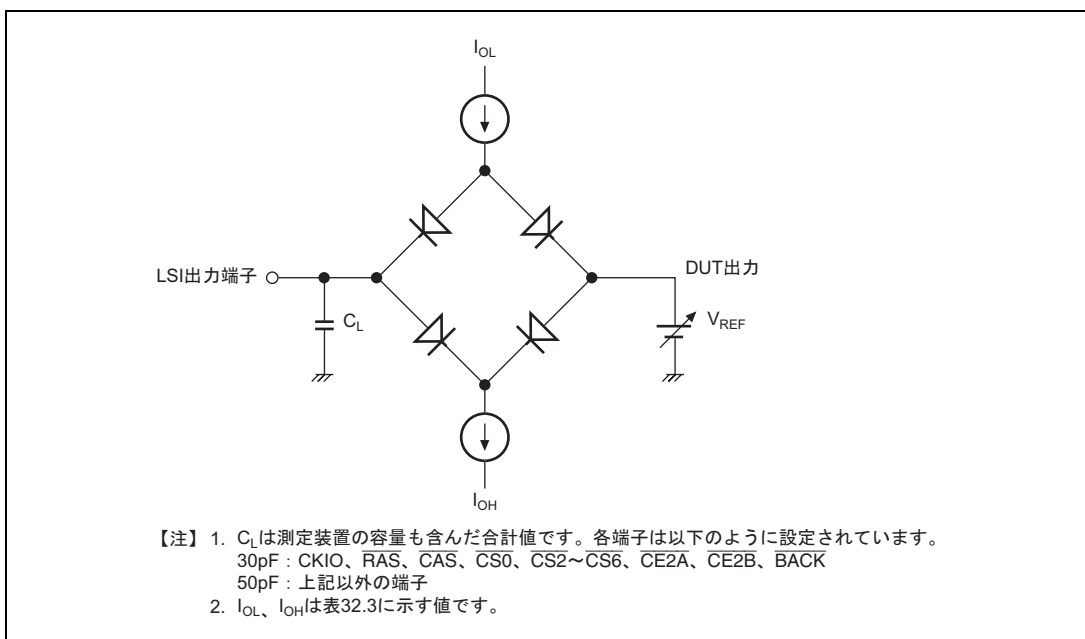


図 32.60 出力付加回路

32.3.15 負荷容量による遅延時間の変化

下記に、本 LSI の各端子に規定以上 (30pF もしくは 50pF) の負荷容量を接続した場合の、遅延時間の変化のグラフ (参考データ) を示します。規定容量を超えて、外部デバイスを接続される場合は、図 32.61 のグラフを参考に設計してください。

なお、接続される負荷容量が図 32.61 の範囲を超える場合は、グラフは直線になりません。

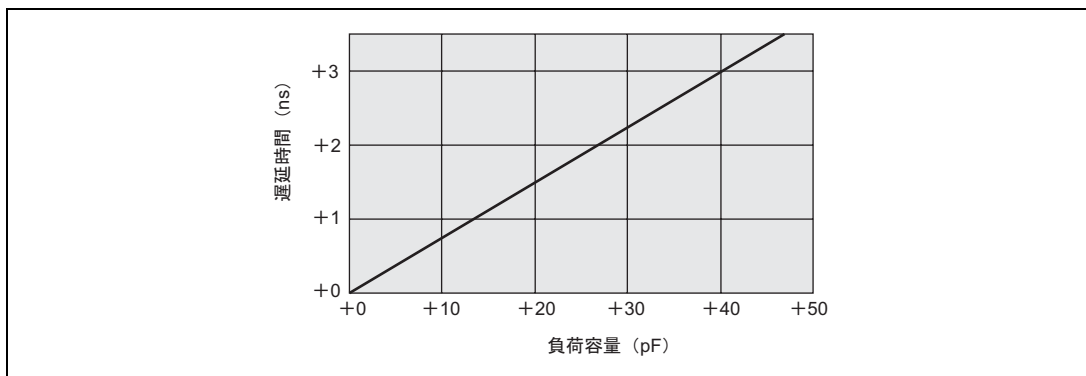


図 32.61 負荷容量 - 遅延時間

32.4 A/D 変換器特性

A/D 変換器特性を表 32.19 に示します。

表 32.19 A/D 変換器特性

条件 : $V_{CCQ} = 2.6 \sim 3.6V$ 、 $V_{CC} = 1.60 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$

項目	min	typ	max	単位
分解能	10	10	10	bits
変換時間	15	-	-	μs
アナログ入力容量	-	-	20	pF
許容信号源 (単一ソース) インピーダンス	-	-	5	k
非線形誤差	-	-	± 3.0	LSB
オフセット誤差	-	-	± 2.0	LSB
フルスケール誤差	-	-	± 2.0	LSB
量子化誤差	-	-	± 0.5	LSB
絶対精度	-	-	± 4.0	LSB

32.5 D/A 変換器特性

D/A 変換器特性を表 32.20 に示します。

表 32.20 D/A 変換器特性

条件 : $V_{CCQ} = 2.6 \sim 3.6V$ 、 $V_{CC} = 1.60 \sim 2.05V$ 、 $AV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -20 \sim 75$

項目	min	typ	max	単位	テスト条件
分解能	8	8	8	bits	
変換時間	-	-	10.0	μs	20pF 容量負荷
絶対精度	-	± 2.5	± 4.0	LSB	2M 抵抗負荷

付録

A. 端子機能

A.1 端子機能

表 A.1 端子機能

分類	信号名 (初期状態: 太字)	ピン番号 (HQFP)	I/O	パワーオンリセット	マニュアルリセット	スタンバイ	バス権開放
クロック、発振関係	XTAL2	2	O	O	O	O	O
	EXTAL2	3	I	I	I	I	I
	XTAL	179	O	O	O	O	O
	EXTAL	180	I	I	I	I	I
	CAP1, CAP2	171, 174	—	—	—	—	—
	CKIO2	19	O(Z)	O	O(Z)	O(Z)	O(Z)
	CKIO	189	IO	IO	IO	IO	IO
システム制御	STATUS0/PTJ[6], STATUS1/PTJ[7]	185, 186	O/IO	O	O/P	O/K	O/P
	RESETP, RESETM	220, 147	I	I	I	I	I
	CA	221	I	I	I	I	I
	Scan_testen	224	I	I	I	I	I
	MD0 ~ MD5	169, 5, 6, 222, 223, 15	I	I	I	I	I
	ASEMD0	150	I	I	I	I	I
割り込み	NMI	7	I	I	I	I	I
	IRQ0/IRL0/PTH[0] to IRQ3/IRL3/PTH[3]	8, 9, 10, 11	I/I	V	I/I	I/I/Z	I/I
	IRQ4/PTH[4]	12	I/I	V	I/I	I/Z	I/I
	BREQ	16	I	I	I	I	I
バス機能	BACK	17	O	H	H	H	L
	D31/PTB[7] to D24/PTB[0], D23/PTA[7] to D16/PTA[0]	21 to 28, 30, 32 to 34, 36, 38 to 40	IO/IO	Z	K/P	Z/K	Z/P

付録

分類	信号名 (初期状態: 太字)	ピン番号 (HQFP)	I/O	パワー オン リセット	マニュアル リセット	スタンバイ	バス権 開放
バス機能	D15 to D0	41, 43, 45 to 52, 54, 56 to 60	IO	Z	K	Z	Z
	A0 to A25	61 to 63, 65, 67 to 74, 76, 78 to 85, 87, 89, 90, 92, 94	O	Z	O	Z(L)	Z
	BS /PTK[4]	95	O/IO	H	O/P	Z(H)/K	Z/P
	RD	96	O	H	O	Z(H)	Z
	WE0 /DQMLL	97	O/O	H	O/O	Z(H)/Z(H)	Z/Z
	WE1 /DQMLU/ WE	98	O/O/O	H	O/O/O	Z(H)/Z(H)/ Z(H)	Z/Z/Z
	WE2 /DQMUL/ CIORD /PTK[6], WE3 /DQMUU/ CIOWR /PTK[7]	99, 101	O/O/ O/IO	H	O/O/O/P	Z(H)/Z(H)/ O/K	Z/Z/Z/ P
	RDWR	103	O	H	O	Z(H)	Z
	CS0 , CS2 , CS3	105, 106, 107	O	H	O	Z(H)	Z
	CS4 /PTK[2]	108	O/IO	H	O/P	Z(H)/K	Z/P
	CS5 / CE1A /PTK[3]	109	O/O/IO	H	O/O/P	Z(H)/Z(H)/ K	Z/Z/P
	CS6 / CE1B	110	O/O	H	O/O	Z(H)/Z(H)	Z/Z
	CE2A / PTE [4], CE2B / PTE [5]	111, 112	O/IO	V	O/P	Z(H)/K	Z/P
	CKE /PTK[5]	128	O/IO	H	O/P	O/K	O/P
	Reserved/ CAS / PTJ [2]	131	O/O/IO	H	O/O/P	O/Z(H)/K	O/Z(H) /P
	WAIT	146	I	Z	Z	Z	Z
	IOIS16 / PTG [7]	149	I/I	V	I/I	Z/Z(V)	I/I
	RAS /PTJ[0], Reserved/PTJ[1], Reserved/PTJ[3] ^{*3} , Reserved/PTJ[4] ^{*3} , Reserved/PTJ[5] ^{*3}	129, 130, 133, 135, 136	O/IO	H	O/P	Z(H)/K	Z(H)/P
AFE/USB デジタル /ポート 関係	AFE_HC1 /USB1d_DPLS/PTK[0]	113	O/I/O	L	O/I/P	Z/Z/K	O/I/P
	AFE_RLYCNT /USB1d_DMNS/PTK [1]	114	O/I/O	L	O/I/P	O/Z/K	O/I/P
	AFE_SCLK /USB1d_TXDPLS	116	I/O	I	I/O	Z/O	I/O

分類	信号名 (初期状態 : 太字)	ピン番号 (HQFP)	I/O	パワー オン リセット	マニュアル リセット	スタンバイ	バス権 開放
AFE/USB デジタル ノポート 関係	PTM[7]/PINT[7]/AFE_FS/USB1d_ RCV, PTM[6]/PINT[6]/AFE_RXIN/U SB1d_SPEED, PTM[5]/PINT[5]/AF E_TXOUT/USB1d_TXSE0	118, 119, 120	I/I/O	V	I/I/O	Z(V)/I/Z/O	I/I/O
	PTM[4]/PINT[4]/AFE_RDDET	121	I/I/I	V	I/I/I	Z(V)/I/Z	I/I/I
	Reserved/USB1d_SUSPEND	122	O	O	O	O	O
JTAG	PTE[0]/TDO * ¹	143	IO/O	V/O* ¹	P/O	K/O	P/O
	PTF[7]/PINT[15]/TRST * ¹ , PTF[6]/PINT[14]/TMS * ¹ , PTF[5]/PINT[13]/TDI * ¹ , PTF[4]/PINT[12]/TCK * ¹	160, 162, 163, 164	I/I/I	V/I* ¹	I/I/I	Z/I/I	I/I/I
	DREQ0/PTD[4]	218	I/I	V	Z/I	Z/Z(V)	I/I
	DRACK0/PCC0RESET	144	O/O	H	O/O	Z(H)/Z	O/O
ポート /PCC/AUD 関係	PTE[7]/PCC0RDY/AUDSYNC * ¹	104	IO/I/O	V/O* ¹	P/I/O	K/Z/O	P/I/O
	PCC0WAIT/PTH[6]/AUDCK * ¹	176	I/I/I	V/V* ¹	I/I/I	Z/Z(V)/Z	I/I/I
	PCC0BVD2/PTG[3]/AUDATA[3] * ¹ , PCC0BVD1/PTG[2]/AUDATA[2] * ¹ , PCC0CD2/PTG[1]/AUDATA[1] * ¹ , PCC0CD1/PTG[0]/AUDATA[0] * ¹	153, 154, 156, 158	I/I/O	V/O* ¹	I/I/O	Z/Z(V)/O	I/I/O
	PTG[4]	152	I	V	I	Z(V)	I
	PTF[3]/PINT[11]	165	I/I	V	I/I	Z(V)/I	I/I
	PCCREG/PTF[2]	166	O/I	V	O/I	Z/Z(V)	O/I
	PTG[5]/ASEBRKAK * ¹	151	I/O	V/O* ¹	I/O	Z(V)/O	I/O
	PCC0VS1/PTF[1], PCC0VS2/PTF[0]	167, 168	I/I	V	I/I	Z/Z(V)	I/I
	LCDC 関係	PTD[5]/CL1, PTD[7]/DON, PTE[6]/M_DISP, PTE[3]/FLM, PTH[7]/CL2	138, 140,141, 142, 187	IO/O	V	P/L	K/L* ²
VEPWC, VCPWC		13, 14	O	L	L	L* ²	O
LCD15/PTM[3]/PINT[10] to LCD13/PTM[1]/PINT[8]		181, 182, 183	O/I/I	V	L/I/I	K* ² /Z(V)/I	O/I/I
LCD12/PTM[0]		184	O/I	V	L/I	K* ² /Z(V)	O/I
LCD11/PTC[7]/PINT[3] to LCD8/PTC[4]/PINT[0]		204, 205, 206, 208	O/IO/I	V	L/P/I	K* ² /K/I	O/P/I

付録

分類	信号名 (初期状態: 太字)	ピン番号 (HQFP)	I/O	パワー オン リセット	マニュアル リセット	スタンバイ	バス権 開放
LCDC 関係	LCD7/PTD[3] to LCD0/PTD[0]	210 to 217	O/I/O	V	L/P	K*/K	O/P
	LCLK/UCLK/PTD[6]	219	I/I/I	V	I/I/I	Z/Z/Z(V)	I/I/I
シリアル 関係	SIOMCLK /SCPT[3]	194	I/I/O	I	Z/P	Z/K	I/P
	SCK_SIO /SCPT[5]	196	IO/I/O	I	Z/P	Z/K	IO/P
	SIOFSYNC /SCPT[6]	197	IO/I/O	I	Z/P	K/K	IO/P
	RxD0 /SCPT[0], RxD2 /SCPT[4]	198, 201	I/I	Z	Z/I	Z/Z	I/Z
	RxD_SIO /SCPT[2]	199	I/I	I	Z/I	Z/Z	I/Z
	SCPT[7]/CTS2/IRQ5	203	I/I/I	V	I/Z/I	Z(V)/Z/I	I/I/I
	TxD0 /SCPT[0], TxD2 /SCPT[4]	191, 195	O/O	Z	Z/O	Z/K	O/Z
	SCK0 /SCPT[1]	192	IO/I/O	V	Z/P	V/K	IO/P
	TxD_SIO /SCPT[2]	193	O/O	H	Z/O	Z/K	O/O
RTS2 /USB1d_TXENL	125	O/O	L	O/O	Z/O	O/O	
USB 関係	PTE[2] /USB1_pwr_en, PTE[1] /USB2_pwr_en	126, 127	IO/O	V	P/O	K/O	P/O
	USB1_ovr_current /USBF_VBUS	123	I/I	I	Z/Z	Z/Z	I/I
	USB2_ovr_current	124	I	I	Z	Z	I
	USB1_P(analog) , USB1_M(analog) , USB2_P(analog) , USB2_M(analog)	226, 227, 229, 230	IO	L	L	K	IO
ADC	ADTRG /PTH[5]	148	I/I	V	I/I	I/Z	I/I
	AN[2]/PTL[2] , AN[3]/PTL[3] , AN[4]/PTL[4] , AN[5]/PTL[5]	233, 234, 235, 236	I/I	Z	Z/I	Z/Z	I/I
ADC/ DAC	AN[6]/PTL[6]/DA[1] , AN[7]/PTL[7]/DA[0]	238, 239	I/I/O	Z	Z/I/Z	Z/Z/O	I/I/O
電源	AVcc_USB	225, 231	—	—	—	—	—
	AVss_USB	228	—	—	—	—	—
	AVss	232, 240	—	—	—	—	—
	AVcc	237	—	—	—	—	—
	Vcc-PLL1 , Vcc-PLL2	170, 175	—	—	—	—	—
	Vss-PLL1 , Vss-PLL2	172, 173	—	—	—	—	—
	Vcc-RTC	1	—	—	—	—	—
Vss-RTC	4	—	—	—	—	—	

分類	信号名 (初期状態: 太字)	ピン番号 (HQFP)	I/O	パワー オン リセット	マニュアル リセット	スタンバイ	バス権 開放
電源	Vcc	37, 93, 139, 157, 178, 202	—	—	—	—	—
	Vss	35, 91, 137, 155, 177, 200	—	—	—	—	—
	VccQ	20, 31, 44, 55, 66, 77, 88, 102, 117, 134, 161, 190, 209	—	—	—	—	—
	VssQ	18, 29, 42, 53, 64, 75, 86, 100, 115, 132, 159, 188, 207	—	—	—	—	—

- 【注】 *1 リセット中の $\overline{\text{ASEMD0}}$ のレベルにより初期状態が決まります。
- *2 スタンバイに入るときは、マニュアル「25.3.6 パワーマネージャレジスタ」の電源制御シーケンスに従い、DONレジスタを0にし、電源遮断を実行してからスタンバイに入るようにしてください。
- *3 PTJ3~5の初期状態は、ハイレベル出力ですが、リセット中は一時的にローレベルに変化することがあります。
- I : 入力 (入力バッファオン)
O : 出力 (出力バッファオン)
H : ハイレベル出力
L : ローレベル出力
Z : ハイインピーダンス (入力/出力バッファオフ)
P : レジスタ設定によってIかOになります
K : 入力端子はハイインピーダンス、出力端子は状態の保持
V : 入力/出力バッファオフ、プルアップ MOS オン
() : 内部のレジスタの状態による (各ピンのレジスタ表を参照してください)。

A.2 未使用端子の処理

表 A.2 未使用端子の処理

分類	信号名 (初期状態: 太字)	ピン番号 (HQFP)	ピン番号 (CSP)	I/O	未使用時の処理
クロック、 発振関係	XTAL2	2	B4	O	オープン
	EXTAL2	3	A2	I	プルアップ (Vcc-RTC)
	XTAL	179	V4	O	オープン
	EXTAL	180	V2	I	プルアップ
	CAP1, CAP2	171, 174	U3, W4	-	オープン
	CKIO2	19	C7	O	オープン
	CKIO	189	R1	IO	オープン
システム 制御	STATUS0/PTJ[6], STATUS1/PTJ[7]	185, 186	U1, R2	O/IO	オープン
	RESETP, RESETM	220, 147	H1, T11	I	プルアップ
	CA	221	G4	I	プルアップ
	Scan_testen	224	G1	I	プルアップ
	MD0 to MD5	169, 5, 6, 222, 223, 15	T5, A3, B5, G3, G2, C6	I	必ず使用する
	ASEMD0	150	T10	I	プルアップ
割り込み	NMI	7	A4	I	プルアップ
	IRQ0/IRLO/PTH[0] to IRQ3/IRL3/PTH[3]	8, 9, 10, 11	C4, A5, D4, C5	I/I	プルアップ
	IRQ4/PTH[4]	12	D5	I/I	プルアップ
バス機能	BREQ	16	D6	I	プルアップ
	BACK	17	A7	O	オープン
	D31/PTB[7] to D24/PTB[0], D23/PTA[7] to D16/PTA[0]	21 to 28, 30, 32 to 34, 36, 38 to 40	A8, B8, C8, D8, A9, B9, D9, C9, D10, B10, C11, D11, A11, C12, B12, A12	IO/IO	オープン
	D15 to D0	41, 43, 45 to 52, 54, 56 to 60	D13, D11, D14, C14, B14, A14, D15, C15, C17, A15, A16, A17, B17, A18, B16, B18	IO	オープン

分類	信号名 (初期状態: 太字)	ピン番号 (HQFP)	ピン番号 (CSP)	I/O	未使用時の処理
バス機能	A0 to A25	61 to 63, 65, 67 to 74, 76, 78 to 85, 87, 89, 90, 92, 94	A19, D18, B19, C19, D19, D17, E19, D16, E17, E16, F19, F18, F16, G18, G17, G16, H19, H18, H17, H16, J19, J16, K19, K16, K18, L16	O	オープン
	BS /PTK[4]	95	L18	O/IO	オープン
	RD	96	L19	O	オープン
	WE0 /DQMLL	97	M16	O/O	オープン
	WE1 /DQMLU/ WE	98	M17	O/O/O	オープン
	WE2 /DQMUL/ ICIORD /PTK[6], WE3 /DQMUU/ ICIOWR /PTK[7]	99, 101	M18	O/O/O/ IO	オープン
	RD / WR	103	N18	O	オープン
	CS0 , CS2 , CS3	105, 106, 107	P16, P17, P18	O	オープン
	CS4 /PTK[2]	108	P19	O/IO	オープン
	CS5 / CE1A /PTK[3]	109	R16	O/O/IO	オープン
	CS6 / CE1B	110	R17	O/O	オープン
	CE2A / PTE [4], CE2B / PTE [5]	111, 112	U17, R19	O/IO	オープン
	CKE /PTK[5]	128	U16	O/IO	オープン
	Reserved / CAS /PTJ[2]	131	U15	O/O/IO	オープン
	WAIT	146	V11	I	プルアップ
	IOIS16 /PTG[7]	149	W10	I/I	オープン
	RAS /PTJ[0], Reserved /PTJ[1], Reserved /PTJ[3], Reserved /PTJ[4], Reserved /PTJ[5]	129, 130, 133, 135, 136	W15, T16, W14, U14, T14	O/IO	オープン
	AFE/USB デジタル /ポート 関係	AFE_HC1 /USB1d_DPLS/PTK[0], AFE_RLYCNT /USB1d_DMNS/PTK[1]	113, 114	T17, T19	O/I/O
AFE_SCLK /USB1d_TXDPLS		116	U19	I/IO	プルアップ
PTM [7]/ PINT [7]/AFE_FS/USB1d_RCV, PTM [6]/ PINT [6]/AFE_RXIN/USB1d_ SPEED, PTM [5]/ PINT [5]/AFE_TXOUT/USB1d_ TXSE0		118, 119, 120	V19, T18, V18	I/I/O	オープン
PTM [4]/ PINT [4]/AFE_RDET		121	W19	I/I	オープン
Reserved /USB1d_SUSPEND		122	V16	O	オープン

付録

分類	信号名 (初期状態: 太字)	ピン番号 (HQFP)	ピン番号 (CSP)	I/O	未使用時の処理
JTAG	PTE[0]/TDO * ¹	143	U12	IO/O	オープン
	PTF[7]/PINT[15] / $\overline{\text{TRST}}$ * ¹ , PTF[6]/PINT[14] / TMS * ¹ , PTF[5]/PINT[13] / TDI * ¹ , PTF[4]/PINT[12] / TCK * ¹	160, 162, 163, 164	W8, U7, V7, W7	I/I/I	ブルアップ
	DREQ0/PTD[4]	218	H3	I/I	ブルアップ
	DRAK0/PCC0RESET , DACK0/PCC0DRV	144, 145	T12, W11	O/O	オープン
ポート /PCC/AUD 関係	PTE[7]/PCC0RDY/AUDSYNC	104	N19	IO/I/O	オープン
	PCC0WAIT/PTH[6]/AUDCK * ¹	176	W3	I/I/I	ブルアップ
	PCC0BVD2/PTG[3]/AUDATA[3] * ¹ , PCCBVD1/PTG[2]/AUDATA[2] * ¹ , $\overline{\text{PCC0CD2/PTG[1]/AUDATA[1]}}$ * ¹ , $\overline{\text{PCC0CD1/PTG[0]/AUDATA[0]}}$ * ¹	153, 154, 156, 158	U9, T9, W9, U8	I/I/O	オープン
	PTG[4]	152	V10	I	オープン
	PTF[3]/PINT[11]	165	T6	I/I	オープン
	PCCREG/PTF[2]	166	U6	O/I	オープン
	PTG[5]/ASEBRKAK * ¹	151	U10	I/O	オープン
	$\overline{\text{PCC0VS1/PTF[1]}}$, $\overline{\text{PCC0VS2/PTF[0]}}$	167, 168	V6, W6	I/I	オープン
LCDC 関係	PTD[5]/CL1 , PTD[7]/DON , PTE[6]/M_DISP , PTE[3]/FLM , PTH[7]/CL2	138, 140, 141, 142, 187	V13, T13, W12, V12, T1	IO/O	オープン
	VEPWC , VCPWC	13, 14	A6, B6	O	オープン
	LCD15/PTM[3]/PINT[10] to LCD13/PTM[1]/PINT[8]	181, 182, 183	W1, T2, V1	O/I/I	オープン
	LCD12/PTM[0]	184	U2	O/I	オープン
	LCD11/PTC[7]/PINT[3] to LCD8/PTC[4]/PINT[0]	204, 205, 206, 208	M4, L1, L2, L3	O/IO/I	オープン
	LCD7/PTD[3] to LCD0/PTD[0]	210 to 217	K4, K3, K2, J3, J4, J2, J1, H4	O/IO	オープン
	LCLK/UCLK/PTD[6]	219	H2	I/I/I	ブルアップ
シリアル 関係	SIOMCLK/SCPT(3)	194	P2	I/IO	ブルアップ
	SCK_SIO/SCPT[5] , SIOFSYNC/SCPT[6]	196, 197	P4, N1	IO/IO	ブルアップ
	RxD0/SCPT[0] , RxD2/SCPT[4] , RxD_SIO/SCPT[2]	198, 201, 199	N2, M1, N3	I/I	ブルアップ
	SCPT[7]/CTS2/IRQ5	203	M3	I/I/I	ブルアップ
	TxD0/SCPT[0] , TxD2/SCPT[4]	191, 195	R3, P3	O/O	オープン

分類	信号名 (初期状態: 太字)	ピン番号 (HQFP)	ピン番号 (CSP)	I/O	未使用時の処理
シリアル関係	SCK0/SCPT[1]	192	R4	IO/IO	オープン
	TxD_SIO/SCPT[2]	193	P1	O/O	オープン
	RTS2/USB1d_TXENL	125	W17	O/O	オープン
USB関係	PTE[2]/USB1_pwr_en, PTE[1]/USB2_pwr_en	126, 127	V15, W16	IO/O	オープン
	USB1_ovr_current/USBF_VBUS	123	W18	I/I	プルアップ
	USB2_ovr_current	124	V17	I	プルアップ
	USB1_P(analog), USB1_M(analog), USB2_P(analog), USB2_M(analog)	226, 227, 229, 230	F3, F2, E4, E3	IO	オープン ^{*2} またはプルダウン
ADC	ADTRG/PTH[5]	148	U11	I/I	プルアップ
	AN[2]/PTL[2], AN[3]/PTL[3], AN[4]/PTL[4], AN[5]/PTL[5]	233, 234, 235, 236	D3, D1, E2, C1	I/I	オープン
ADC/DAC	AN[6]/PTL[6]/DA[1], AN[7]/PTL[7]/DA[0]	238, 239	B1, D2	I/I/O	オープン ^{*3}
電源	AVcc_USB	225, 231	F4, C3	-	VccQ
	AVss_USB	228	F1	-	VssQ
	AVss	232, 240	E1, B2	-	VssQ
	AVcc	237	C2	-	VccQ
	Vcc-PLL1, Vcc-PLL2	170, 175	U5, V5	-	Vcc
	Vss-PLL1, Vss-PLL2	172, 173	W5, U4	-	Vss
	Vcc-RTC	1	A1	-	Vcc
	Vss-RTC	4	B3	-	Vss
	Vcc	37, 93, 139, 157, 178, 202	D2, L17, U13, T8, W2, M2	-	Vcc
	Vss	35, 91, 137, 155, 177, 200	B11, K17, W13, V9, V3, N4	-	Vss
	VccQ	20, 31, 44, 55, 66, 77, 88, 102, 117, 134, 161, 190, 209	D7, C10, A13, B15, E18, G19, J17, N17, U18, V14, T7, T4, K1	-	VccQ
	VssQ	18, 29, 42, 53, 64, 75, 86, 100, 115, 132, 159, 188, 207	B7, A10, C13, C16, C18, F17, J18, M19, R18, T15, V8, T3, L4	-	VssQ

【注】 ここに示された未使用時の処理は、処理の例を示したものであり、いかなる状況でも正しいことを保証するものではありません。

*1 ASEMDO 端子がローレベルのときに有効になります。

*2 USB のどちらかの機能を使用する場合は、使用しない側も非アクティブ側に固定してください。

*3 端子機能は、A/D になっているものとします。

A.3 各アドレス空間へのアクセスにおける端子状態

表 A.3 端子状態 (通常メモリ/リトルエンディアン)

端子		8-ビットバス幅		16-ビットバス幅	
		バイト/ワード/ロング ワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロング ワードアクセス
CS6 to CS2, CS0		有効	有効	有効	有効
RD	R	Low	Low	Low	Low
	W	High	High	High	High
RD/WR	R	High	High	High	High
	W	Low	Low	Low	Low
BS		有効	有効	有効	有効
RAS		High	High	High	High
CAS		High	High	High	High
WE0/DQMLL	R	High	High	High	High
	W	Low	Low	High	Low
WE1/DQMLU/WE	R	High	High	High	High
	W	High	High	Low	Low
WE2/DQMUL/ ICIORD	R	High	High	High	High
	W	High	High	High	High
WE3/DQMUU/ ICIOWR	R	High	High	High	High
	W	High	High	High	High
CE2A		High	High	High	High
CE2B		High	High	High	High
CKE		無効	無効	無効	無効
WAIT		有効*1	有効*1	有効*1	有効*1
IOIS16		無効	無効	無効	無効
A25 to A0		アドレス	アドレス	アドレス	アドレス
D7 to D0		有効データ	有効データ	無効データ	有効データ
D15 to D8		High-Z*2	無効データ	有効データ	有効データ
D31 to D16		High-Z*2	High-Z*2	High-Z*2	High-Z*2

端子	32-ビットバス幅						
	バイトアクセス(アドレス 4n)	バイトアクセス(アドレス 4n + 1)	バイトアクセス(アドレス 4n + 2)	バイトアクセス(アドレス 4n + 3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n + 2)	ロングワードアクセス
CS6 to CS2, CS0	有効	有効	有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low	Low
	W	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low
BS	有効	有効	有効	有効	有効	有効	有効
RAS	High	High	High	High	High	High	High
CAS	High	High	High	High	High	High	High
WE0/DQMLL	R	High	High	High	High	High	High
	W	Low	High	High	High	Low	Low
WE1/DQMLU/WE	R	High	High	High	High	High	High
	W	High	Low	High	High	Low	Low
WE2/DQMUL/ICIORD	R	High	High	High	High	High	High
	W	High	High	Low	High	High	Low
WE3/DQMUU/ICIOWR	R	High	High	High	High	High	High
	W	High	High	High	Low	High	Low
CE2A	High	High	High	High	High	High	High
CE2B	High	High	High	High	High	High	High
CKE	無効	無効	無効	無効	無効	無効	無効
WAIT	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1
IOIS16	無効	無効	無効	無効	無効	無効	無効
A25 to A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 to D0	有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D15 to D8	無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D23 to D16	無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31 to D24	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ

【注】 *1 WCR2 レジスタのウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

表 A.4 端子状態 (通常メモリ/ビッグエンディアン)

端子		8 ビットバス幅		16-ビットバス幅	
		バイト/ワード/ロング ワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロング ワードアクセス
$\overline{CS6}$ to $\overline{CS2}$, $\overline{CS0}$		有効	有効	有効	有効
RD	R	Low	Low	Low	Low
	W	High	High	High	High
RD/ \overline{WR}	R	High	High	High	High
	W	Low	Low	Low	Low
BS		有効	有効	有効	有効
RAS		High	High	High	High
\overline{CAS}		High	High	High	High
$\overline{WE0}/DQMLL$	R	High	High	High	High
	W	Low	High	Low	Low
$\overline{WE1}/DQMLU/\overline{WE}$	R	High	High	High	High
	W	High	Low	High	Low
$\overline{WE2}/DQMUL/\overline{ICIOR}$	R	High	High	High	High
	W	High	High	High	High
$\overline{WE3}/DQMUU/\overline{ICIOR}$	R	High	High	High	High
	W	High	High	High	High
CE2A		High	High	High	High
$\overline{CE2B}$		High	High	High	High
CKE		無効	無効	無効	無効
WAIT		有効* ¹	有効* ¹	有効* ¹	有効* ¹
$\overline{IOIS16}$		無効	無効	無効	無効
A25 to A0		アドレス	アドレス	アドレス	アドレス
D7 to D0		有効データ	無効データ	有効データ	有効データ
D15 to D8		High-Z* ²	有効データ	無効データ	有効データ
D31 to D16		High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²

端子	32-ビットバス幅						
	バイトアクセス(アドレス 4n)	バイトアクセス(アドレス 4n + 1)	バイトアクセス(アドレス 4n + 2)	バイトアクセス(アドレス 4n + 3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n + 2)	ロングワードアクセス
CS6 to CS2, CS0	有効	有効	有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low	Low
	W	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low
BS	有効	有効	有効	有効	有効	有効	有効
RAS	High	High	High	High	High	High	High
CAS	High	High	High	High	High	High	High
WE0/DQMLL	R	High	High	High	High	High	High
	W	High	High	High	Low	High	Low
WE1/DQMLU/WE	R	High	High	High	High	High	High
	W	High	High	Low	High	High	Low
WE2/DQMUL/ICIOR	R	High	High	High	High	High	High
	W	High	Low	High	High	Low	High
WE3/DQMUU/ICIORW	R	High	High	High	High	High	High
	W	Low	High	High	High	Low	High
CE2A	High	High	High	High	High	High	High
CE2B	High	High	High	High	High	High	High
CKE	無効	無効	無効	無効	無効	無効	無効
WAIT	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1
IOIS16	無効	無効	無効	無効	無効	無効	無効
A25 to A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 to D0	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ
D15 to D8	無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D23 to D16	無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D31 to D24	有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ

【注】 *1 WCR2 レジスタのウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

表 A.5 端子状態 (バースト ROM / リトルエンディアン)

端子		8 ビットバス幅		16-ビットバス幅	
		バイト/ワード/ロング ワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワード アクセス
$\overline{CS6}$ to $\overline{CS2}$, $\overline{CS0}$		有効	有効	有効	有効
RD	R	Low	Low	Low	Low
	W	—	—	—	—
RD/ \overline{WR}	R	High	High	High	High
	W	—	—	—	—
\overline{BS}		有効	有効	有効	有効
RAS		High	High	High	High
CAS		High	High	High	High
$\overline{WE0}/\overline{DQMLL}$	R	High	High	High	High
	W	—	—	—	—
$\overline{WE1}/\overline{DQMLU}/\overline{WE}$	R	High	High	High	High
	W	—	—	—	—
$\overline{WE2}/\overline{DQMUL}/$ \overline{ICIORD}	R	High	High	High	High
	W	—	—	—	—
$\overline{WE3}/\overline{DQMUU}/$ \overline{ICIOWR}	R	High	High	High	High
	W	—	—	—	—
CE2A		High	High	High	High
$\overline{CE2B}$		High	High	High	High
CKE		無効	無効	無効	無効
WAIT		有効* ¹	有効* ¹	有効* ¹	有効* ¹
IOIS16		無効	無効	無効	無効
A25 to A0		アドレス	アドレス	アドレス	アドレス
D7 to D0		有効データ	有効データ	無効データ	有効データ
D15 to D8		High-Z* ²	無効データ	有効データ	有効データ
D31 to D16		High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²

端子		32ビットバス幅						
		バイトアクセス (アドレス 4n)	バイトアクセス(アドレス 4n+1)	バイトアクセス(アドレス 4n+2)	バイトアクセス(アドレス 4n+3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n+2)	ロングワードアクセス
CS6 to CS2, CS0		有効	有効	有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low	Low	Low
	W	—	—	—	—	—	—	—
RD/WR	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
BS		有効	有効	有効	有効	有効	有効	有効
RAS		High	High	High	High	High	High	High
CAS		High	High	High	High	High	High	High
WE0/DQMLL	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
WE1/DQMLU/WE	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
WE2/DQMUL/ICIORD	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
WE3/DQMUU/ICIOWR	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
CE2A		High	High	High	High	High	High	High
CE2B		High	High	High	High	High	High	High
CKE		無効	無効	無効	無効	無効	無効	無効
WAIT		有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1
IOIS16		無効	無効	無効	無効	無効	無効	無効
A25 to A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 to D0		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D15 to D8		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D23 to D16		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31 to D24		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ

【注】 *1 WCR2 レジスタのウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

表 A.6 端子状態 (バースト ROM / ビッグエンディアン)

端子		8 ビットバス幅		16-ビットバス幅		
			バイト/ワード/ロング ワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワード アクセス
$\overline{CS6}$ to $\overline{CS2}$, $\overline{CS0}$			有効	有効	有効	有効
RD	R		Low	Low	Low	Low
	W		—	—	—	—
RD/ \overline{WR}	R		High	High	High	High
	W		—	—	—	—
BS			有効	有効	有効	有効
RAS			High	High	High	High
\overline{CAS}			High	High	High	High
$\overline{WE0}/\overline{DQMLL}$	R		High	High	High	High
	W		—	—	—	—
$\overline{WE1}/\overline{DQMLU}/\overline{WE}$	R		High	High	High	High
	W		—	—	—	—
$\overline{WE2}/\overline{DQMUL}/$ \overline{ICIORD}	R		High	High	High	High
	W		—	—	—	—
$\overline{WE3}/\overline{DQMUU}/$ \overline{ICIOWR}	R		High	High	High	High
	W		—	—	—	—
CE2A			High	High	High	High
$\overline{CE2B}$			High	High	High	High
CKE			無効	無効	無効	無効
WAIT			有効* ¹	有効* ¹	有効* ¹	有効* ¹
$\overline{IOIS16}$			無効	無効	無効	無効
A25 to A0			アドレス	アドレス	アドレス	アドレス
D7 to D0			有効データ	無効データ	有効データ	有効データ
D15 to D8			High-Z* ²	有効データ	無効データ	有効データ
D31 to D16			High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²

端子	32-ビットバス幅						
	バイト アクセス (アドレス 4n)	バイト アクセス (アドレス 4n + 1)	バイト アクセス (アドレス 4n + 2)	バイト アクセス (アドレス 4n + 3)	ワード アクセス (アドレス 4n)	ワード アクセス (アドレス 4n + 2)	ロング ワード アクセス
CS6 to CS2, CS0	有効	有効	有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low	Low
	W	—	—	—	—	—	—
RD/WR	R	High	High	High	High	High	High
	W	—	—	—	—	—	—
BS	有効	有効	有効	有効	有効	有効	有効
RAS	High	High	High	High	High	High	High
CAS	High	High	High	High	High	High	High
WE0/DQMLL	R	High	High	High	High	High	High
	W	—	—	—	—	—	—
WE1/DQMLU/WE	R	High	High	High	High	High	High
	W	—	—	—	—	—	—
WE2/DQMUL/ ICIOR	R	High	High	High	High	High	High
	W	—	—	—	—	—	—
WE3/DQMUU/ ICIOR	R	High	High	High	High	High	High
	W	—	—	—	—	—	—
CE2A	High	High	High	High	High	High	High
CE2B	High	High	High	High	High	High	High
CKE	無効	無効	無効	無効	無効	無効	無効
WAIT	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1
IOIS16	無効	無効	無効	無効	無効	無効	無効
A25 to A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 to D0	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	無効データ
D15 to D8	無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D23 to D16	無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D31 to D24	有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ

【注】 *1 WCR2 レジスタのウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

表 A.7 端子状態 (シンクロナス DRAM / リトルエンディアン)

端子		32-ビットバス幅						
		バイト アクセス (アドレス 4n)	バイト アクセス (アドレス 4n + 1)	バイト アクセス (アドレス 4n + 2)	バイト アクセス (アドレス 4n + 3)	ワード アクセス (アドレス 4n)	ワード アクセス (アドレス 4n + 2)	ロング ワード アクセス
CS6 to CS0, CS0		有効	有効	有効	有効	有効	有効	有効
RD	R	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low
BS		有効	有効	有効	有効	有効	有効	有効
RAS		Low/High* ¹	Low/High* ¹	Low/High* ¹	Low/High* ¹	Low/High* ¹	Low/High* ¹	Low/High* ¹
CAS		High/Low* ¹	High/Low* ¹	High/Low* ¹	High/Low* ¹	High/Low* ¹	High/Low* ¹	High/Low* ¹
WE0/DQMLL	R	Low	High	High	High	Low	High	Low
	W	Low	High	High	High	Low	High	Low
WE1/DQMLU/WE	R	High	Low	High	High	Low	High	Low
	W	High	Low	High	High	Low	High	Low
WE2/DQMUL/ ICIOR	R	High	High	Low	High	High	Low	Low
	W	High	High	Low	High	High	Low	Low
WE3/DQMUU/ ICIOR	R	High	High	High	Low	High	Low	Low
	W	High	High	High	Low	High	Low	Low
CE2A		High	High	High	High	High	High	High
CE2B		High	High	High	High	High	High	High
CKE		High* ²	High* ²	High* ²	High* ²	High* ²	High* ²	High* ²
WAIT		無効	無効	無効	無効	無効	無効	無効
IOIS16		無効	無効	無効	無効	無効	無効	無効
A25 to A0		アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド
D7 to D0		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D15 to D8		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D23 to D16		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31 to D24		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ

【注】 *1 下位 32MB アクセス / 上位 32MB アクセス

*2 通常は High、セルフリフレッシュ時は Low

表 A.8 端子状態 (シンクロナス DRAM / ビッグエンディアン)

端子	32-ビットバス幅						
	バイト アクセス (アドレス 4n)	バイト アクセス (アドレス 4n + 1)	バイト アクセス (アドレス 4n + 2)	バイト アクセス (アドレス 4n + 3)	ワード アクセス (アドレス 4n)	ワード アクセス (アドレス 4n + 2)	ロング ワード アクセス
CS6 to CS2, CS0	有効	有効	有効	有効	有効	有効	有効
RD	R	High	High	High	High	High	High
	W	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low
BS	有効	有効	有効	有効	有効	有効	有効
RAS	Low/High* ¹	Low/High* ¹	Low/High* ¹	Low/High* ¹	Low/High* ¹	Low/High* ¹	Low/High* ¹
CAS	High/Low* ¹	High/Low* ¹	High/Low* ¹	High/Low* ¹	High/Low* ¹	High/Low* ¹	High/Low* ¹
WE0/DQMLL	R	High	High	High	Low	High	Low
	W	High	High	High	Low	High	Low
WE1/DQMLU/WE	R	High	High	Low	High	High	Low
	W	High	High	Low	High	High	Low
WE2/DQMUL/ ICIOR \bar{D}	R	High	Low	High	High	Low	High
	W	High	Low	High	High	Low	High
WE3/DQMUU/ ICIOR \bar{W}	R	Low	High	High	High	Low	High
	W	Low	High	High	High	Low	High
CE2A	High	High	High	High	High	High	High
CE2B	High	High	High	High	High	High	High
CKE	High* ²	High* ²	High* ²	High* ²	High* ²	High* ²	High* ²
WAIT	無効	無効	無効	無効	無効	無効	無効
IOIS16	無効	無効	無効	無効	無効	無効	無効
A25 to A0	アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド
D7 to D0	有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D15 to D8	無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D23 to D16	無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31 to D24	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ

【注】 *1 下位 32MB アクセス / 上位 32MB アクセス

*2 通常は High、セルフリフレッシュ時は Low

表 A.9 端子状態 (PCMCIA / リトルエンディアン)

端子	PCMCIA メモリインタフェース(エリア 5)				PCMCIA IO インタフェース(エリア 5)			
	8 ビット バス幅	16 ビットバス幅			8 ビット バス幅	16 ビットバス幅		
	バイト/ ワード/ ロング ワード アクセス	バイト アクセス (アドレス 2n)	バイト アクセス (アドレス 2n + 1)	ワード/ ロング ワード アクセス	バイト/ ワード/ ロング ワード アクセス	バイト アクセス (アドレス 2n)	バイト アクセス (アドレス 2n + 1)	ワード/ ロング ワード アクセス
CS6 to CS2, CS0	有効	有効	High	有効	有効	有効	High	有効
RD	R	Low	Low	Low	Low	High	High	High
	W	High	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low
BS	有効	有効	有効	有効	有効	有効	有効	有効
RAS	High	High	High	High	High	High	High	High
CAS	High	High	High	High	High	High	High	High
WE0/DQMLL	R	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High
WE1/DQMLU/WE	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	High	High	High
WE2/DQMUL/ ICIOR	R	High	High	High	High	Low	Low	Low
	W	High	High	High	High	High	High	High
WE3/DQMUU/ ICIOR	R	High	High	High	High	High	High	High
	W	High	High	High	High	Low	Low	Low
CE2A	High	High	Low	Low	High	High	Low	Low
CE2B	High	High	High	High	High	High	High	High
CKE	無効	無効	無効	無効	無効	無効	無効	無効
WAIT	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹
IOIS16	無効	無効	無効	無効	無効	無効	有効	有効
A25 to A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 to D0	有効 データ	有効 データ	無効 データ	有効 データ	有効 データ	有効 データ	無効 データ	有効 データ
D15 to D8	High-Z* ²	無効 データ	有効 データ	有効 データ	High-Z* ²	無効 データ	有効 データ	有効 データ
D31 to D16	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²

端子	PCMCIA メモリインタフェース(エリア 6)				PCMCIA IO インタフェース(エリア 6)				
	8 ビット バス幅	16 ビットバス幅			8 ビット バス幅	16 ビットバス幅			
	バイト/ ワード/ ロング ワード アクセス	バイト アクセス (アドレス 2n)	バイト アクセス (アドレス 2n + 1)	ワード/ ロング ワード アクセス	バイト/ ワード/ ロング ワード アクセス	バイト アクセス (アドレス 2n)	バイト アクセス (アドレス 2n + 1)	ワード/ ロング ワード アクセス	
CS6 to CS2, CS0	有効	有効	High	有効	有効	有効	High	有効	
RD	R	Low	Low	Low	Low	High	High	High	High
	W	High	High	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low	Low
BS	有効	有効	有効	有効	有効	有効	有効	有効	
RAS	High	High	High	High	High	High	High	High	
CAS	High	High	High	High	High	High	High	High	
WE0/DQMLL	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High	High
WE1/DQMLU/WE	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	High	High	High	High
WE2/DQMUL/ ICIORD	R	High	High	High	High	Low	Low	Low	Low
	W	High	High	High	High	High	High	High	High
WE3/DQMUU/ ICIOWR	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	Low	Low	Low	Low
CE2A	High	High	High	High	High	High	High	High	
CE2B	High	High	Low	Low	High	High	Low	Low	
CKE	無効	無効	無効	無効	無効	無効	無効	無効	
WAIT	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	
IOIS16	無効	無効	無効	無効	無効	無効	有効	有効	
A25 to A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	
D7 to D0	有効 データ	有効 データ	無効 データ	有効 データ	有効 データ	有効 データ	無効 データ	有効 データ	
D15 to D8	High-Z*2	無効 データ	有効 データ	有効 データ	High-Z*2	無効 データ	有効 データ	有効 データ	
D31 to D16	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	

【注】 *1 WCR2 レジスタのウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

表 A.10 端子状態 (PCMCIA / ビッグエンディアン)

端子	PCMCIA メモリインタフェース(エリア 5)					PCMCIA IO インタフェース(エリア 5)			
	8 ビット バス幅	16 ビットバス幅			8 ビット バス幅	16 ビットバス幅			
	バイト/ ワード/ ロング ワード アクセス	バイト アクセス (アドレス 2n)	バイト アクセス (アドレス 2n + 1)	ワード/ ロング ワード アクセス	バイト/ ワード/ ロング ワード アクセス	バイト アクセス (アドレス 2n)	バイト アクセス (アドレス 2n + 1)	ワード/ ロング ワード アクセス	
$\overline{CS6}$ to $\overline{CS2}$, $\overline{CS0}$	有効	有効	High	有効	有効	有効	High	有効	
RD	R	Low	Low	Low	Low	High	High	High	High
	W	High	High	High	High	High	High	High	High
RD/ \overline{WR}	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low	Low
\overline{BS}	有効	有効	有効	有効	有効	有効	有効	有効	
RAS	High	High	High	High	High	High	High	High	
CAS	High	High	High	High	High	High	High	High	
$\overline{WE0}/\overline{DQMLL}$	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High	High
$\overline{WE1}/\overline{DQMLU}/\overline{WE}$	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	High	High	High	High
$\overline{WE2}/\overline{DQMUL}/\overline{ICIORD}$	R	High	High	High	High	Low	Low	Low	Low
	W	High	High	High	High	High	High	High	High
$\overline{WE3}/\overline{DQMUU}/\overline{ICIOWR}$	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	Low	Low	Low	Low
$\overline{CE2A}^{*3}$	High	High	Low	Low	High	High	Low	Low	
$\overline{CE2B}^{*3}$	High	High	High	High	High	High	High	High	
CKE	無効	無効	無効	無効	無効	無効	無効	無効	
WAIT	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	
$\overline{IOIS16}$	無効	無効	無効	無効	無効	無効	無効	無効	
A25 to A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	
D7 to D0	有効 データ	無効 データ	有効 データ	有効 データ	有効 データ	無効 データ	有効 データ	有効 データ	
D15 to D8	High-Z* ²	有効 データ	無効 データ	有効 データ	High-Z* ²	有効 データ	無効 データ	有効 データ	
D31 to D16	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	

端子	PCMCIA メモリインタフェース(エリア 6)					PCMCIA IO インタフェース(エリア 6)			
	8 ビット バス幅	16 ビットバス幅			8 ビット バス幅	16 ビットバス幅			
	バイト/ ワード/ ロング ワード アクセス	バイト アクセス (アドレス 2n)	バイト アクセス (アドレス 2n + 1)	ワード/ ロング ワード アクセス	バイト/ ワード/ ロング ワード アクセス	バイト アクセス (アドレス 2n)	バイト アクセス (アドレス 2n + 1)	ワード/ ロング ワード アクセス	
CS6 to CS2, CS0	有効	有効	High	有効	有効	有効	High	有効	
RD	R	Low	Low	Low	Low	High	High	High	High
	W	High	High	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low	Low
BS	有効	有効	有効	有効	有効	有効	有効	有効	
RAS	High	High	High	High	High	High	High	High	
CAS	High	High	High	High	High	High	High	High	
WE0/DQMLL	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High	High
WE1/DQMLU/WE	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	High	High	High	High
WE2/DQMUL/ ICIORD	R	High	High	High	High	Low	Low	Low	Low
	W	High	High	High	High	High	High	High	High
WE3/DQMUU/ ICIOWR	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	Low	Low	Low	Low
CE2A*3	High	High	High	High	High	High	High	High	
CE2B*3	High	High	Low	Low	High	High	Low	Low	
CKE	無効	無効	無効	無効	無効	無効	無効	無効	
WAIT	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	
IOIS16	無効	無効	無効	無効	無効	無効	無効	無効	
A25 to A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	
D7 to D0	有効 データ	無効 データ	有効 データ	有効 データ	有効 データ	無効 データ	有効 データ	有効 データ	
D15 to D8	High-Z*2	有効 データ	無効 データ	有効 データ	High-Z*2	有効 データ	無効 データ	有効 データ	
D31 to D16	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	

【注】 *1 WCR2 レジスタのウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

*3 CE 端子の動作は、リトルエンディアン時の動作と同じになります。

B. 制御レジスタ

B.1 レジスタアドレスマップ

表 B.1 メモリ割り付け制御レジスタアドレスマップ

レジスタ名	モジュール* ¹	バス * ²	アドレス* ⁴	サイズ(ビット)	アクセスサイズ(ビット)* ³
PTEH	CCN	L	H'FFFFFFF0	32	32
PTL	CCN	L	H'FFFFFFF4	32	32
TTB	CCN	L	H'FFFFFFF8	32	32
TEA	CCN	L	H'FFFFFFFC	32	32
MMUCR	CCN	L	H'FFFFFFE0	32	32
CCR	CCN	L	H'FFFFFFEC	32	32
CCR2	CCN	I	H'04000B0	32	32
TRA	CCN	L	H'FFFFFFD0	32	32
EXPEVT	CCN	L	H'FFFFFFD4	32	32
INTEVT	CCN	L	H'FFFFFFD8	32	32
BASRA	CCN	L	H'FFFFFFE4	8	8
BASRB	CCN	L	H'FFFFFFE8	8	8
BARA	UBC	L	H'FFFFFFB0	32	32
BAMRA	UBC	L	H'FFFFFFB4	32	32
BBRA	UBC	L	H'FFFFFFB8	16	16
BARB	UBC	L	H'FFFFFFA0	32	32
BAMRB	UBC	L	H'FFFFFFA4	32	32
BBRB	UBC	L	H'FFFFFFA8	16	16
BDRB	UBC	L	H'FFFFFF90	32	32
BDMRB	UBC	L	H'FFFFFF94	32	32
BRCR	UBC	L	H'FFFFFF98	32	32
BETR	UBC	L	H'FFFFFF9C	16	16
BRSR	UBC	L	H'FFFFFFAC	32	32
BRDR	UBC	L	H'FFFFFFBC	32	32
FRQCR	CPG	I2	H'FFFFFF80	16	16
STBCR	CPG	I2	H'FFFFFF82	8	8
STBCR2	CPG	I2	H'FFFFFF88	8	8
WTCNT	CPG	I2	H'FFFFFF84	8	16
WTCSR	CPG	I2	H'FFFFFF86	8	16
CKIO2CR	CPG	I2	H'0400023A	8	16
BCR1	BSC	I	H'FFFFFF60	16	16

レジスタ名	モジュール*1	バス *2	アドレス*4	サイズ(ビット)	アクセスサイズ(ビット)*3
BCR2	BSC	I	H'FFFFFF62	16	16
WCR1	BSC	I	H'FFFFFF64	16	16
WCR2	BSC	I	H'FFFFFF66	16	16
MCR	BSC	I	H'FFFFFF68	16	16
PCR	BSC	I	H'FFFFFF6C	16	16
RTCSR	BSC	I	H'FFFFFF6E	16	16
RTCNT	BSC	I	H'FFFFFF70	16	16
RTCOR	BSC	I	H'FFFFFF72	16	16
RFCR	BSC	I	H'FFFFFF74	16	16
SDMR	BSC	I	H'FFFFD000 – H'FFFFFFF	—	8
R64CNT	RTC	P	H'FFFFFFE0	8	8
RSECCNT	RTC	P	H'FFFFFFE2	8	8
RMINCNT	RTC	P	H'FFFFFFE4	8	8
RHRCNT	RTC	P	H'FFFFFFE6	8	8
RWKCNT	RTC	P	H'FFFFFFE8	8	8
RDAYCNT	RTC	P	H'FFFFFFEA	8	8
RMONCNT	RTC	P	H'FFFFFFEC	8	8
RYRCNT	RTC	P	H'FFFFFFEE	8	8
RSECAR	RTC	P	H'FFFFFFED0	8	8
RMINAR	RTC	P	H'FFFFFFED2	8	8
RHRAR	RTC	P	H'FFFFFFED4	8	8
RWKAR	RTC	P	H'FFFFFFED6	8	8
RDAYAR	RTC	P	H'FFFFFFED8	8	8
RMONAR	RTC	P	H'FFFFFFEDA	8	8
RCR1	RTC	P	H'FFFFFFEDC	8	8
RCR2	RTC	P	H'FFFFFFEDE	8	8
ICR0	INTC	I2	H'FFFFFFE0	16	16
IPRA	INTC	I2	H'FFFFFFE2	16	16
IPRB	INTC	I2	H'FFFFFFE4	16	16
TSTR	TMU	P	H'FFFFFFE92	8	8
TCOR0	TMU	P	H'FFFFFFE94	32	32
TCNT0	TMU	P	H'FFFFFFE98	32	32
TCR0	TMU	P	H'FFFFFFE9C	16	16
TCOR1	TMU	P	H'FFFFFFEA0	32	32
TCNT1	TMU	P	H'FFFFFFEA4	32	32

付録

レジスタ名	モジュール*1	バス*2	アドレス*4	サイズ(ビット)	アクセスサイズ(ビット)*3
TCR1	TMU	P	H'FFFFFFE8	16	16
TCOR2	TMU	P	H'FFFFFFEAC	32	32
TCNT2	TMU	P	H'FFFFFFEB0	32	32
TCR2	TMU	P	H'FFFFFFEB4	16	16
SCSMR	SCI	P	H'FFFFFFE80	8	8
SCBRR	SCI	P	H'FFFFFFE82	8	8
SCSCR	SCI	P	H'FFFFFFE84	8	8
SCTDR	SCI	P	H'FFFFFFE86	8	8
SCSSR	SCI	P	H'FFFFFFE88	8	8
SCRDR	SCI	P	H'FFFFFFE8A	8	8
SCSCMR	SCI	P	H'FFFFFFE8C	8	8
INTEVT2	INTC	I2	H'04000000	32	32
IRR0	INTC	I2	H'04000004	16	8
IRR1	INTC	I2	H'04000006	16	8
IRR2	INTC	I2	H'04000008	16	8
ICR1	INTC	I2	H'04000010	16	16
ICR2	INTC	I2	H'04000012	16	16
PINTER	INTC	I2	H'04000014	16	16
IPRC	INTC	I2	H'04000016	16	16
IPRD	INTC	I2	H'04000018	16	16
IPRE	INTC	I2	H'0400001A	16	16
SAR0	DMAC	P1	H'04000020	32	16,32
DAR0	DMAC	P1	H'04000024	32	16,32
DMATCR0	DMAC	P1	H'04000028	32	16,32
CHCR0	DMAC	P1	H'0400002C	32	8,16,32
SAR1	DMAC	P1	H'04000030	32	16,32
DAR1	DMAC	P1	H'04000034	32	16,32
DMATCR1	DMAC	P1	H'04000038	32	16,32
CHCR1	DMAC	P1	H'0400003C	32	8,16,32
SAR2	DMAC	P1	H'04000040	32	16,32
DAR2	DMAC	P1	H'04000044	32	16,32
DMATCR2	DMAC	P1	H'04000048	32	16,32
CHCR2	DMAC	P1	H'0400004C	32	8,16,32
SAR3	DMAC	P1	H'04000050	32	16,32
DAR3	DMAC	P1	H'04000054	32	16,32

レジスタ名	モジュール*1	バス *2	アドレス*4	サイズ(ビット)	アクセスサイズ(ビット)*3
DMATCR3	DMAC	P1	H'04000058	32	16,32
CHCR3	DMAC	P1	H'0400005C	32	8,16,32
DMAOR	DMAC	P1	H'04000060	16	8,16
CMSTR	CMT	P1	H'04000070	16	8,16,32
CMCSR	CMT	P1	H'04000072	16	8,16,32
CMCNT	CMT	P1	H'04000074	16	8,16,32
CMCOR	CMT	P1	H'04000076	16	8,16,32
ADDRAH	A/D	P1	H'04000080	8	8,16,32*5 *6
ADDRAL	A/D	P1	H'04000082	8	8,16*5
ADDRBH	A/D	P1	H'04000084	8	8,16,32*5 *6
ADDRBL	A/D	P1	H'04000086	8	8,16*5
ADDRCH	A/D	P1	H'04000088	8	8,16,32*5 *6
ADDRCL	A/D	P1	H'0400008A	8	8,16*5
ADDRDH	A/D	P1	H'0400008C	8	8,16,32*5 *6
ADDRDL	A/D	P1	H'0400008E	8	8,16*5
ADCSR	A/D	P1	H'04000090	8	8,16,32*5 *6
ADCR	A/D	P1	H'04000092	8	8,16
DADR0	D/A	P1	H'040000A0	8	8,16,32*5 *6
DADR1	D/A	P1	H'040000A2	8	8,16*5
DACR	D/A	P1	H'040000A4	8	8,16,32
SIMDR	SIOF	P2	H'040000C0	16	16
SISCR	SIOF	P2	H'040000C2	16	16
SITDAR	SIOF	P2	H'040000C4	16	16
SIRDAR	SIOF	P2	H'040000C6	16	16
SICDAR	SIOF	P2	H'040000C8	16	16
SICTR	SIOF	P2	H'040000CC	16	16
SIFCTR	SIOF	P2	H'040000D0	16	16
SISTR	SIOF	P2	H'040000D4	16	16
SIER	SIOF	P2	H'040000D6	16	16
SITDR	SIOF	P2	H'040000E0	32	32
SIRDR	SIOF	P2	H'040000E4	32	32
SITCR	SIOF	P2	H'040000E8	32	32
SIRCR	SIOF	P2	H'040000EC	32	32
PACR	PORT	P	H'04000100	16	16

付録

レジスタ名	モジュール*1	バス *2	アドレス*4	サイズ(ビット)	アクセスサイズ(ビット)*3
PBCR	PORT	P	H'04000102	16	16
PCCR	PORT	P	H'04000104	16	16
PDCR	PORT	P	H'04000106	16	16
PECR	PORT	P	H'04000108	16	16
PFDR	PORT	P	H'0400010A	16	16
PGCR	PORT	P	H'0400010C	16	16
PHCR	PORT	P	H'0400010E	16	16
PJCR	PORT	P	H'04000110	16	16
PKCR	PORT	P	H'04000112	16	16
PLCR	PORT	P	H'04000114	16	16
SCPCR	PORT	P	H'04000116	16	16
PMCR	PORT	P	H'04000118	16	16
PADR	PORT	P	H'04000120	8	8
PBDR	PORT	P	H'04000122	8	8
PCCR	PORT	P	H'04000124	8	8
PDDR	PORT	P	H'04000126	8	8
PEDR	PORT	P	H'04000128	8	8
PFDR	PORT	P	H'0400012A	8	8
PGDR	PORT	P	H'0400012C	8	8
PHDR	PORT	P	H'0400012E	8	8
PJDR	PORT	P	H'04000130	8	8
PKDR	PORT	P	H'04000132	8	8
PLDR	PORT	P	H'04000134	8	8
SCPDR	PORT	P	H'04000136	8	8
PMDR	PORT	P	H'04000138	8	8
予約		P	H'04000140		アクセス禁止
予約		P	H'04000142		アクセス禁止
予約		P	H'04000144		アクセス禁止
予約		P	H'04000146		アクセス禁止
予約		P	H'04000148		アクセス禁止
予約		P	H'0400014A		アクセス禁止
予約		P	H'0400014C		アクセス禁止
予約		P	H'0400014E		アクセス禁止
SCSMR2	SCIF	P1	H'04000150	8	8
SCBRR2	SCIF	P1	H'04000152	8	8
SCSCR2	SCIF	P1	H'04000154	8	8

レジスタ名	モジュール*1	バス*2	アドレス*4	サイズ(ビット)	アクセスサイズ(ビット)*3
SCFTDR2	SCIF	P1	H'04000156	8	8
SCSSR2	SCIF	P1	H'04000158	16	16
SCFRDR2	SCIF	P1	H'0400015A	8	8
SCFCR2	SCIF	P1	H'0400015C	8	8
SCFDR2	SCIF	P1	H'0400015E	16	16
PCC0ISR	PCC	P2	H'04000160	8	8
PCC0GCR	PCC	P2	H'04000162	8	8
PCC0CSCR	PCC	P2	H'04000164	8	8
PCC0CSCIER	PCC	P2	H'04000166	8	8
ACTR1	AFE	P2	H'04000180	16	16
ACTR2	AFE	P2	H'04000182	16	16
ASTR1	AFE	P2	H'04000184	16	16
ASTR2	AFE	P2	H'04000186	16	16
MRCR	AFE	P2	H'04000188	16	16
MPCR	AFE	P2	H'0400018A	16	16
DPNQ	AFE	P2	H'0400018C	16	16
RCNT	AFE	P2	H'0400018E	16	16
ACDR	AFE	P2	H'04000190	16	16
ASDR	AFE	P2	H'04000192	16	16
TDFP	AFE	P2	H'04000194	16	16 /32
RDFP	AFE	P2	H'04000198	16	16 /32
SDIR	H-UDI	I2	H'04000200	16	16
IPRF	PPCNT	P2	H'04000220	16	16
IPRG	PPCNT	P2	H'04000222	16	16
IRR3	PPCNT	P2	H'04000224	16	16
IRR4	PPCNT	P2	H'04000226	16	16
ICR3	PPCNT	P2	H'04000228	16	16
CHRAR	PPCNT	P2	H'0400022A	16	16
予約			H'0400022C	16	16
予約			H'0400022E	16	16
STBCR3	PPCNT	P2	H'04000230	8	8
SRSTR	PPCNT	P2	H'04000232	8	8
EXPFC	PPCNT	P2	H'04000234	16	16
EXCPGCR	PPCNT	P2	H'04000236	8	8

付録

レジスタ名	モジュール*1	バス *2	アドレス*4	サイズ(ビット)	アクセスサイズ(ビット)*3
予約	—	P2	H'04000238	16	16
USBIFR0	USBF	P2	H'04000240	8	8
USBIFR1	USBF	P2	H'04000241	8	8
USBEPDR0I	USBF	P2	H'04000242	8	8
USBEPDR0O	USBF	P2	H'04000243	8	8
USBTRG	USBF	P2	H'04000244	8	8
USBFCLR	USBF	P2	H'04000245	8	8
USBEPSZ0O	USBF	P2	H'04000246	8	8
USBEPDR0S	USBF	P2	H'04000247	8	8
USBDASTS	USBF	P2	H'04000248	8	8
USBEPDR2	USBF	P2	H'04000249	8	8
USBISR0	USBF	P2	H'0400024A	8	8
USBEPSTL	USBF	P2	H'0400024B	8	8
USBIER0	USBF	P2	H'0400024C	8	8
USBIER1	USBF	P2	H'0400024D	8	8
USBEPDR1	USBF	P2	H'0400024E	8	8
USBEPSZ1	USBF	P2	H'0400024F	8	8
USBISR1	USBF	P2	H'04000250	8	8
USBDMA	USBF	P2	H'04000251	8	8
USBEPDR3	USBF	P2	H'04000252	8	8
HcRevision (USBHR)	USBH	P2	H'04000400	32	32
HcControl (USBHC)	USBH	P2	H'04000404	32	32
HcCommandStatus (USBHCS)	USBH	P2	H'04000408	32	32
HcInterruptStatus (USBHIS)	USBH	P2	H'0400040C	32	32
HcInterruptEnable (USBHIE)	USBH	P2	H'04000410	32	32
HcInterruptDisable (USBHID)	USBH	P2	H'04000414	32	32
HcHCCA (USBHCCA)	USBH	P2	H'04000418	32	32
HcPeriodCurrentED (USBHPCED)	USBH	P2	H'0400041C	32	32
HcControlHeadED (USBHCHED)	USBH	P2	H'04000420	32	32
HcControlCurrentED (USBHCCED)	USBH	P2	H'04000424	32	32

レジスタ名	モジュール*1	バス *2	アドレス*4	サイズ(ビット)	アクセスサイズ(ビット)*3
HcBulkHeadED (USBHBHED)	USBH	P2	H'04000428	32	32
HcBulkCurrentED (USBHBCED)	USBH	P2	H'0400042C	32	32
HcDoneHead (USBHDHED)	USBH	P2	H'04000430	32	32
HcFmInterval (USBHFI)	USBH	P2	H'04000434	32	32
HcFmRemaining (USBHFR)	USBH	P2	H'04000438	32	32
HcFmNumber (USBHFN)	USBH	P2	H'0400043C	32	32
HcPeriodStart (USBHPS)	USBH	P2	H'04000440	32	32
HcLSThreshold (USBHLST)	USBH	P2	H'04000444	32	32
HcRhDescriptorA (USBHRDA)	USBH	P2	H'04000448	32	32
HcRhDescriptorB (USBHRDB)	USBH	P2	H'0400044C	32	32
HcRhStatus (USBHRS)	USBH	P2	H'04000450	32	32
HcRhPortStatus1 (USBHRPS1)	USBH	P2	H'04000454	32	32
HcRhPortStatus2 (USBHRPS2)	USBH	P2	H'04000458	32	32
LDPR00 ~ LDPRFF	LCDC	P2	H'04000800 ~ H'04000BFC	32	32
LDICKR	LCDC	P2	H'04000C00	16	16
LDMTR	LCDC	P2	H'04000C02	16	16
LDDFR	LCDC	P2	H'04000C04	16	16
LDSMR	LCDC	P2	H'04000C06	16	16
LDSARU	LCDC	P2	H'04000C08	32	32
LDSARL	LCDC	P2	H'04000C0C	32	32
LDLAOR	LCDC	P2	H'04000C10	16	16
LDPALCR	LCDC	P2	H'04000C12	16	16
LDHCNR	LCDC	P2	H'04000C14	16	16
LDHSYNR	LCDC	P2	H'04000C16	16	16
LDVDLNR	LCDC	P2	H'04000C18	16	16
LDVTLNR	LCDC	P2	H'04000C1A	16	16

レジスタ名	モジュール*1	バス *2	アドレス*4	サイズ(ビット)	アクセスサイズ(ビット)*3
LDVSYNR	LCDC	P2	H'04000C1C	16	16
LDACLNR	LCDC	P2	H'04000C1E	16	16
LDINTR	LCDC	P2	H'04000C20	16	16
LDPMMR	LCDC	P2	H'04000C24	16	16
LDPSPR	LCDC	P2	H'04000C26	16	16
LDCNTR	LCDC	P2	H'04000C28	16	16

【注】 *1 モジュール :

- | | |
|------------------------------------|----------------------------|
| CCN : キャッシュコントローラ | UBC : ユーザブレイクコントローラ |
| CPG : クロック発振器 | BSC : バスステートコントローラ |
| RTC : リアルタイムクロック | INTC : 割り込みコントローラ |
| TMU : タイムユニット | SCI : シリアルコミュニケーションインタフェース |
| DMAC : ダイレクトメモリアクセスコントローラ | CMT : コンペアマッチタイマ |
| A/D : A/D 変換器 | D/A : D/A 変換器 |
| SIOF : シリアル I/O | PORT : ポート制御 |
| SCIF : FIFO 付きシリアルコミュニケーションインタフェース | PCC : PC カードコントローラ |
| AFE : アナログフロントエンドインタフェース | H-UDI : ユーザデバッグインタフェース |
| PPCNT : 周辺バスインタフェース制御 | USBF : USB ファンクションコントローラ |
| USBH : USB ホストコントローラ | LCDC : LCD コントローラ |

*2 内部バス :

- L : CPU、CCN、キャッシュ、TLB、そして DSP が接続されています
- I : BSC とキャッシュ、DMAC、INTC、CPG、H-UDI が接続されています
- I2 : INTC と CPG、H-UDI が接続されています
- P : 周辺モジュール (RTC、TMU、SCI) が接続されています
- P1 : 周辺モジュール (DMAC、CMT、A/D、D/A、PORT、SCIF) が接続されています
- P2 : 周辺モジュール (SIOF、PCC、AFE、PPCNT、USBF、USBH、LCDC) が接続されています

*3 アクセスサイズは、制御レジスタをアクセス (リード/ライト) するときのサイズを示します。表示された以外のサイズでアクセスした場合は、誤った結果となります。

*4 エリア 1 の制御レジスタを MMU によるアドレス変換の対象としない場合は、論理アドレスの先頭 3 ビットを 101 として、P2 空間に配置してください (0X04000000 であれば、0XA4000000 とする)。

*5 16 ビットでアクセスした場合、2 つのレジスタのデータを同時に読み出すことはできません。

*6 32 ビットアクセスでは、アクセスしたアドレス + 2 にあるレジスタのデータも同時に読み出すことが可能です。

C. 型名一覧

表 C.1 SH7727 型名一覧

略称	電源電圧		動作 周波数	製品型名	パッケージ
	I/O	内部			
SH7727	3.3 ± 0.3V	1.7 ~ 2.05V	160MHz	HD6417727F160C	240 ピンプラスチック HQFP (PRQP0240KC-B)
	3.3 ± 0.3V	1.7 ~ 2.05V	160MHz	HD6417727BP160C	240 ピン CSP (PLBG0240JA-A)
	3.1 ± 0.5V	1.6 ~ 2.05V	100MHz	HD6417727F100C	240 ピンプラスチック HQFP (PRQP0240KC-B)
	3.1 ± 0.5V	1.6 ~ 2.05V	100MHz	HD6417727BP100C	240 ピン CSP (PLBG0240JA-A)

D. パッケージ外形寸法図

図 D.1、図 D.2 に SH7727 のパッケージ外形寸法図を示します。

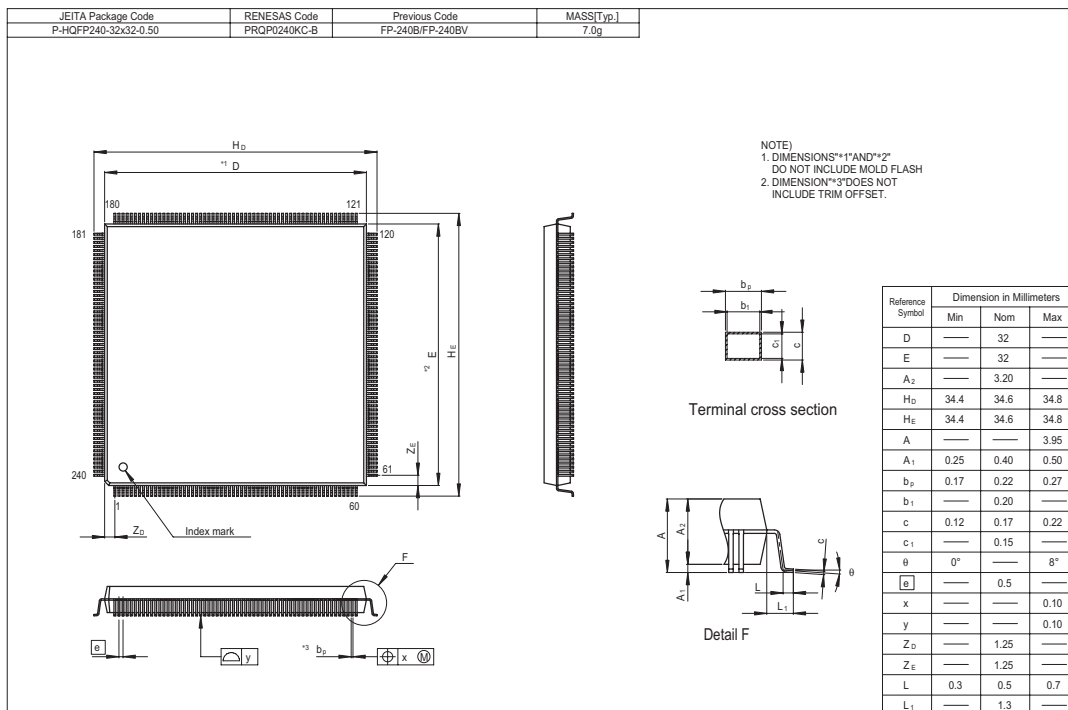


図 D.1 パッケージ外形寸法図 (PRQP0240KC-B)

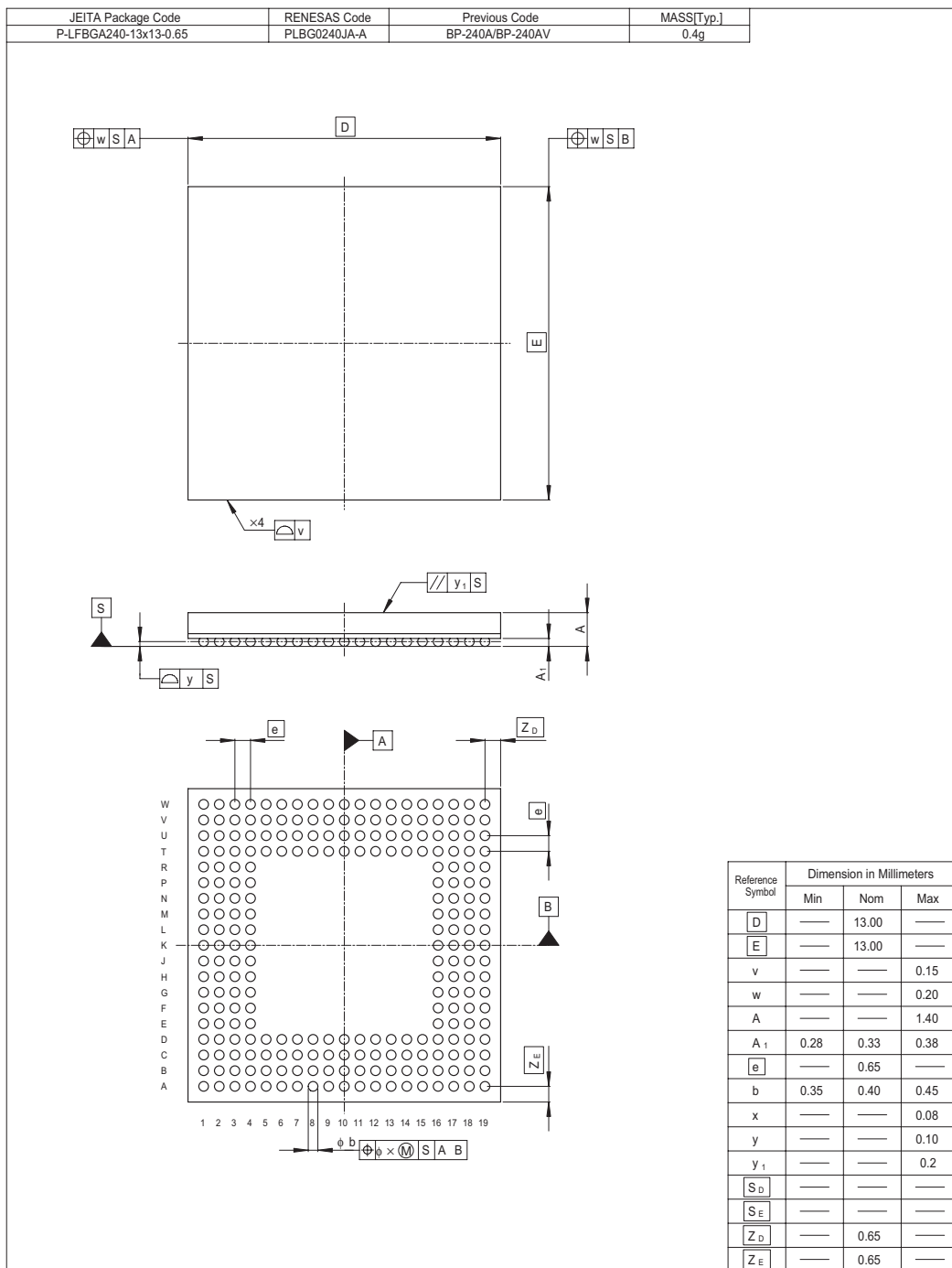


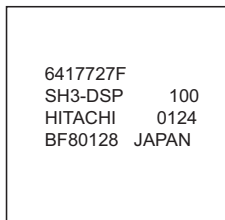
図 D.2 パッケージ外形寸法図 (PLBG0240JA-A)

E. SH7727C 以前のバージョンをご使用の場合

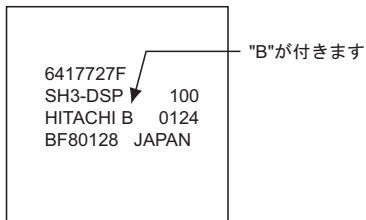
E.1 マークによるバージョンの確認方法

(1) HQFP-240 パッケージ

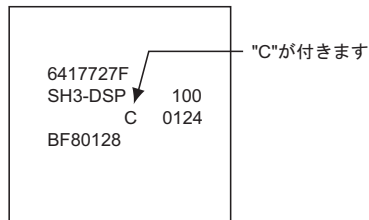
SH7727Bより前のバージョン



SH7727B



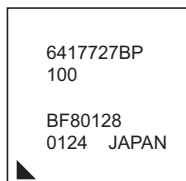
SH7727C



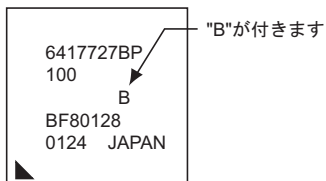
【注】 日立マーク品の在庫がなくなりしだい、ルネサスマーク品に切り替わることがあります。

(2) CSP-240 パッケージ

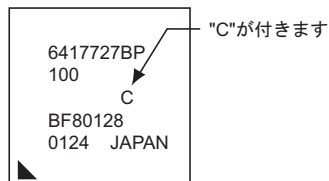
SH7727Bより前のバージョン



SH7727B



SH7727C



F. SH7727B 以前のバージョンでポート G コントロールレジスタ (PGCR) をご使用時の仕様

ビット:	15	14	13	12	11	10	9	8
ビット名:	PG7MD1	PG7MD0	—	—	PG5MD1	PG5MD0	PG4MD1	PG4MD0
初期値:	1	0	1	0	1/0	0	1	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
ビット名:	PG3MD1	PG3MD0	PG2MD1	PG2MD0	PG1MD1	PG1MD0	—	PG0MD0
初期値:	1/0	0	1/0	0	1/0	0	1/0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ポート G コントロールレジスタ (PGCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PGCR はパワーオンリセットで H'AAAA ($\overline{\text{ASEMD0}} = 1$) または H'A200 ($\overline{\text{ASEMD0}} = 0$) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット15、14: PG7モード1、0 (PG7MD1、PG7MD0)
- ビット13、12: 予約ビット
- ビット11、10: PG5モード1、0 (PG5MD1、PG5MD0)
- ビット9、8: PG4モード1、0 (PG4MD1、PG4MD0)
- ビット7、6: PG3モード1、0 (PG3MD1、PG3MD0)
- ビット5、4: PG2モード1、0 (PG2MD1、PG2MD0)
- ビット3、2: PG1モード1、0 (PG1MD1、PG1MD0)
- ビット1: 予約ビット
- ビット3、0: PG0モード1、0 (PG1MD1、PG0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

PG1、PG0 モードに関しては、「その他の機能」と「ポート入力」の切り替えをビット 3 (PG1MD1) で選択します。ポート入力設定時 (PG1MD1 = "1") のプルアップ MOS のオンとオフの切り替えは、PG1、PG0 モードそれぞれビット 2 (PG1MD0)、ビット 0 (PG0MD0) で選択します。

PG0 モード

ビット 3	ビット 0	端子機能
PG1MD1	PG0MD0	
0	0	その他の機能 (表 26.1 参照) (初期値) $\overline{ASEMD0} = 0$
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値) $\overline{ASEMD0} = 1$
	1	ポート入力 (プルアップ MOS : オフ)

PG1 ~ 5、7 モード

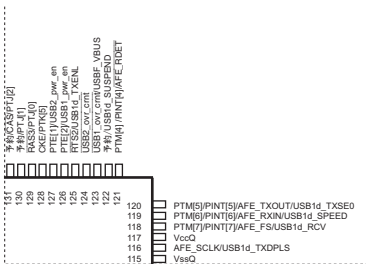
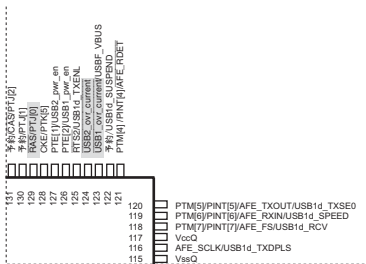
ビット (2n + 1)	ビット 2n	端子機能
PGnMD1	PGnMD0	
0	0	その他の機能 (n=1、2、5) (表 26.1 参照) (初期値) $\overline{ASEMD0} = 0$
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値) $\overline{ASEMD0} = 1$
	1	ポート入力 (プルアップ MOS : オフ)

(n = 1、2、3、5)

ビット (2n + 1)	ビット 2n	端子機能
PGnMD1	PGnMD0	
0	0	その他の機能 (表 26.1 参照) (n=7)、リザーブ (n=4)
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

(n = 4、7)

改訂記録

ページ	修正前	修正後																																																																						
—		水晶発振子 水晶振動子																																																																						
1-3	<p>1.1 SH7727 の特長</p> <p>表 1.1 SH7727 の特長</p> <p>・ クロックモード：入力クロックを外部入力 (EXTAL または CKIO)、水晶発振子から選択可能</p>	<p>表を修正</p> <p>内部発振回路 (CPG)</p> <p>・ クロックモード：入力クロックを外部入力 (EXTAL または CKIO)、水晶振動子から選択可能</p>																																																																						
1-8	<p>1.3.1 ピンの配置</p> <p>図 1.2 ピン配置図 (PRQP0240KC-B)</p> 	<p>図を修正</p> 																																																																						
1-9	<p>図 1.3 ピン配置 (PLBG0240JA-A)</p> <table border="1" data-bbox="377 1052 637 1226"> <tr> <td>PTJ5</td> <td>VssQ</td> <td>PTJ1</td> <td>AFE_HC1</td> <td>PTM6</td> <td>AFE_RLYCNT</td> </tr> <tr> <td>PTJ4</td> <td>CAS</td> <td>CKE</td> <td>CE2A</td> <td>VccQ</td> <td>AFE_SCLK</td> </tr> <tr> <td>VccQ</td> <td>PTE2</td> <td>USB1d_SUSPEND</td> <td>USB2d_ovr_cmt</td> <td>PTM5</td> <td>PTM7</td> </tr> <tr> <td>PTJ3</td> <td>RAS3</td> <td>PTE1</td> <td>RTS2</td> <td>USB1d_ovr_cmt</td> <td>PTM4</td> </tr> </table>	PTJ5	VssQ	PTJ1	AFE_HC1	PTM6	AFE_RLYCNT	PTJ4	CAS	CKE	CE2A	VccQ	AFE_SCLK	VccQ	PTE2	USB1d_SUSPEND	USB2d_ovr_cmt	PTM5	PTM7	PTJ3	RAS3	PTE1	RTS2	USB1d_ovr_cmt	PTM4	<p>図を修正</p> <table border="1" data-bbox="857 1052 1118 1226"> <tr> <td>PTJ5</td> <td>VssQ</td> <td>PTJ1</td> <td>AFE_HC1</td> <td>PTM6</td> <td>AFE_RLYCNT</td> </tr> <tr> <td>PTJ4</td> <td>CAS</td> <td>CKE</td> <td>CE2A</td> <td>VccQ</td> <td>AFE_SCLK</td> </tr> <tr> <td>VccQ</td> <td>PTE2</td> <td>USB1d_SUSPEND</td> <td>USB2d_ovr_current</td> <td>PTM5</td> <td>PTM7</td> </tr> <tr> <td>PTJ3</td> <td>RAS</td> <td>PTE1</td> <td>RTS2</td> <td>USB1d_ovr_current</td> <td>PTM4</td> </tr> </table>	PTJ5	VssQ	PTJ1	AFE_HC1	PTM6	AFE_RLYCNT	PTJ4	CAS	CKE	CE2A	VccQ	AFE_SCLK	VccQ	PTE2	USB1d_SUSPEND	USB2d_ovr_current	PTM5	PTM7	PTJ3	RAS	PTE1	RTS2	USB1d_ovr_current	PTM4																						
PTJ5	VssQ	PTJ1	AFE_HC1	PTM6	AFE_RLYCNT																																																																			
PTJ4	CAS	CKE	CE2A	VccQ	AFE_SCLK																																																																			
VccQ	PTE2	USB1d_SUSPEND	USB2d_ovr_cmt	PTM5	PTM7																																																																			
PTJ3	RAS3	PTE1	RTS2	USB1d_ovr_cmt	PTM4																																																																			
PTJ5	VssQ	PTJ1	AFE_HC1	PTM6	AFE_RLYCNT																																																																			
PTJ4	CAS	CKE	CE2A	VccQ	AFE_SCLK																																																																			
VccQ	PTE2	USB1d_SUSPEND	USB2d_ovr_current	PTM5	PTM7																																																																			
PTJ3	RAS	PTE1	RTS2	USB1d_ovr_current	PTM4																																																																			
1-14、1-16、1-17	<p>1.3.2 端子の機能</p> <p>表 1.2 SH7727 端子機能</p> <table border="1" data-bbox="294 1304 734 1439"> <thead> <tr> <th>端子番号</th> <th>端子番号</th> <th>信号名</th> <th>入出力</th> <th>端子機能</th> </tr> </thead> <tbody> <tr> <td>PROQP0240KC-B</td> <td>PLBG0240JA-A</td> <td></td> <td></td> <td></td> </tr> <tr> <td>123</td> <td>W16</td> <td>USB1d_ovr_cmt</td> <td>I</td> <td>USB ホスト 2 過電流検出 / USB ファンクション</td> </tr> <tr> <td>124</td> <td>V17</td> <td>USB2d_ovr_cmt</td> <td>I</td> <td>USB ホスト 2 過電流検出</td> </tr> <tr> <td>129</td> <td>W15</td> <td>RAS3P1[0]</td> <td>O</td> <td>SDRAM 用 RAS / 入力ポート J</td> </tr> <tr> <td>179</td> <td>V4</td> <td>XTAL</td> <td>O</td> <td>クロック発振端子</td> </tr> <tr> <td>224</td> <td>G1</td> <td>Scan_NestIn</td> <td>I</td> <td>テスト端子 (3.3V に固定)</td> </tr> </tbody> </table>	端子番号	端子番号	信号名	入出力	端子機能	PROQP0240KC-B	PLBG0240JA-A				123	W16	USB1d_ovr_cmt	I	USB ホスト 2 過電流検出 / USB ファンクション	124	V17	USB2d_ovr_cmt	I	USB ホスト 2 過電流検出	129	W15	RAS3P1[0]	O	SDRAM 用 RAS / 入力ポート J	179	V4	XTAL	O	クロック発振端子	224	G1	Scan_NestIn	I	テスト端子 (3.3V に固定)	<p>表を修正</p> <table border="1" data-bbox="761 1304 1214 1439"> <thead> <tr> <th>端子番号</th> <th>端子番号</th> <th>信号名</th> <th>入出力</th> <th>端子機能</th> </tr> </thead> <tbody> <tr> <td>PROQP0240KC-B</td> <td>PLBG0240JA-A</td> <td></td> <td></td> <td></td> </tr> <tr> <td>123</td> <td>W16</td> <td>USB1d_ovr_current</td> <td>I</td> <td>USB ホスト 2 過電流検出 / USB ファンクション</td> </tr> <tr> <td>124</td> <td>V17</td> <td>USB2d_ovr_current</td> <td>I</td> <td>USB ホスト 2 過電流検出</td> </tr> <tr> <td>129</td> <td>W15</td> <td>RAS3P1[0]</td> <td>O</td> <td>SDRAM 用 RAS / 入力ポート J</td> </tr> <tr> <td>179</td> <td>V4</td> <td>XTAL</td> <td>O</td> <td>発振発振端子</td> </tr> <tr> <td>224</td> <td>G1</td> <td>Scan_NestIn</td> <td>I</td> <td>テスト端子 (VccQ にプルアップする)</td> </tr> </tbody> </table>	端子番号	端子番号	信号名	入出力	端子機能	PROQP0240KC-B	PLBG0240JA-A				123	W16	USB1d_ovr_current	I	USB ホスト 2 過電流検出 / USB ファンクション	124	V17	USB2d_ovr_current	I	USB ホスト 2 過電流検出	129	W15	RAS3P1[0]	O	SDRAM 用 RAS / 入力ポート J	179	V4	XTAL	O	発振発振端子	224	G1	Scan_NestIn	I	テスト端子 (VccQ にプルアップする)
端子番号	端子番号	信号名	入出力	端子機能																																																																				
PROQP0240KC-B	PLBG0240JA-A																																																																							
123	W16	USB1d_ovr_cmt	I	USB ホスト 2 過電流検出 / USB ファンクション																																																																				
124	V17	USB2d_ovr_cmt	I	USB ホスト 2 過電流検出																																																																				
129	W15	RAS3P1[0]	O	SDRAM 用 RAS / 入力ポート J																																																																				
179	V4	XTAL	O	クロック発振端子																																																																				
224	G1	Scan_NestIn	I	テスト端子 (3.3V に固定)																																																																				
端子番号	端子番号	信号名	入出力	端子機能																																																																				
PROQP0240KC-B	PLBG0240JA-A																																																																							
123	W16	USB1d_ovr_current	I	USB ホスト 2 過電流検出 / USB ファンクション																																																																				
124	V17	USB2d_ovr_current	I	USB ホスト 2 過電流検出																																																																				
129	W15	RAS3P1[0]	O	SDRAM 用 RAS / 入力ポート J																																																																				
179	V4	XTAL	O	発振発振端子																																																																				
224	G1	Scan_NestIn	I	テスト端子 (VccQ にプルアップする)																																																																				
9-4	<p>9.2.1 スタンバイコントロールレジスタ (STBCR)</p> <p>スタンバイモードでの水晶発振子の停止 / 動作を指定します。</p> <table border="1" data-bbox="294 1545 734 1613"> <thead> <tr> <th>ビット 4</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>STBXTL</td> <td></td> </tr> <tr> <td>0</td> <td>スタンバイモードで水晶発振子を停止 (初期値)</td> </tr> <tr> <td>1</td> <td>スタンバイモードで水晶発振子を動作</td> </tr> </tbody> </table>	ビット 4	説明	STBXTL		0	スタンバイモードで水晶発振子を停止 (初期値)	1	スタンバイモードで水晶発振子を動作	<p>ビット 4 の記述を修正</p> <p>スタンバイモードでの水晶発振器の停止 / 動作を指定します。</p> <table border="1" data-bbox="761 1545 1214 1613"> <thead> <tr> <th>ビット 4</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>STBXTL</td> <td></td> </tr> <tr> <td>0</td> <td>スタンバイモードで水晶発振器を停止 (初期値)</td> </tr> <tr> <td>1</td> <td>スタンバイモードで水晶発振器を動作</td> </tr> </tbody> </table>	ビット 4	説明	STBXTL		0	スタンバイモードで水晶発振器を停止 (初期値)	1	スタンバイモードで水晶発振器を動作																																																						
ビット 4	説明																																																																							
STBXTL																																																																								
0	スタンバイモードで水晶発振子を停止 (初期値)																																																																							
1	スタンバイモードで水晶発振子を動作																																																																							
ビット 4	説明																																																																							
STBXTL																																																																								
0	スタンバイモードで水晶発振器を停止 (初期値)																																																																							
1	スタンバイモードで水晶発振器を動作																																																																							

ページ	修正前	修正後																
10-4	<p>10.2.1 CPG のブロック図</p> <p>(3) 水晶発振器</p> <p>XTAL、EXTAL 端子に水晶発振子を接続して使用する 場合の発振回路です。水晶発振器はクロック動作モード の設定により使用可能となります。</p>	<p>記述を修正</p> <p>XTAL、EXTAL 端子に水晶振動子を接続して使用する 場合の発振回路です。水晶発振器はクロック動作モード の設定により使用可能となります。</p>																
10-5	<p>10.2.2 CPG の端子構成</p> <p>表 10.1 発振回路の端子構成と機能</p> <p>水晶発振子を接続します。</p>	<p>表を修正</p> <p>水晶振動子を接続します。</p>																
10-6	<p>10.3 クロック動作モード</p> <p>表 10.3 クロック動作モード</p> <p>クロック動作モードの使用可能周波数範囲と入力クロ ック(水晶発振子)の周波数範囲を表 10.4 に示します。</p> <p>表 クロック入出力：水晶発振子</p>	<p>記述および表を修正</p> <p>クロック動作モードの使用可能周波数範囲と入力クロ ック、水晶振動子の周波数範囲を表 10.4 に示します。</p> <p>表 クロック入出力：水晶発振子 水晶振動子</p>																
10-8	<p>10.3 クロック動作モード</p> <p>表 10.4 クロックモードと FRQCR 値の可能な組み合 わせ</p> <p>1. 入力クロック、水晶発振子の周波数範囲について は、上記の表のクロック比と、「32.3 AC 特性」の項 目に基づき、規定の周波数範囲に入るように設定して ください。</p>	<p>注意事項の修正</p> <p>1. 入力クロック、水晶振動子の周波数範囲については、 上記の表のクロック比と、「32.3 AC 特性」の項目に 基づき、規定の周波数範囲に入るように設定してくだ さい。</p>																
10-20	<p>10.9 ボード設計上の注意事項</p> <p>(1) 外部水晶振動子使用時の注意</p> <p>図 10.4 水晶発振子使用時の注意</p>	<p>図タイトルを修正</p> <p>図 10.4 水晶振動子使用時の注意</p>																
10-20	<p>(3) PLL 発振回路使用時の注意</p> <p>...クロックモード 7 のときは、EXTAL 端子を Vcc また は Vss に接続し、XTAL 端子は解放にしてください。</p>	<p>記述を修正</p> <p>...クロックモード 7 のときは、EXTAL 端子を VccQ ま たは VssQ に接続し、XTAL 端子は解放にしてくださ い。</p>																
12-4	<p>12.1.3 端子構成</p> <p>表 12.1 端子構成</p> <table border="1"> <thead> <tr> <th>名称</th> <th>信号名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>ロウアドレスストロブ</td> <td>RAS3</td> <td>出力</td> <td>エリア 3 でシンクロナス DRAM 使用時、64M バイトアドレ ス用 RAS3L 信号</td> </tr> </tbody> </table>	名称	信号名	入出力	機能	ロウアドレスストロブ	RAS3	出力	エリア 3 でシンクロナス DRAM 使用時、64M バイトアドレ ス用 RAS3L 信号	<p>表を修正</p> <table border="1"> <thead> <tr> <th>名称</th> <th>信号名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>ロウアドレスストロブ</td> <td>RAS</td> <td>出力</td> <td>シンクロナス DRAM 使用時、RAS 信号</td> </tr> </tbody> </table>	名称	信号名	入出力	機能	ロウアドレスストロブ	RAS	出力	シンクロナス DRAM 使用時、RAS 信号
名称	信号名	入出力	機能															
ロウアドレスストロブ	RAS3	出力	エリア 3 でシンクロナス DRAM 使用時、64M バイトアドレ ス用 RAS3L 信号															
名称	信号名	入出力	機能															
ロウアドレスストロブ	RAS	出力	シンクロナス DRAM 使用時、RAS 信号															
12-39	<p>12.3.2 エリアの説明</p> <p>(3) エリア 2</p> <p>シンクロナス DRAM を接続している場合、RAS3 信号 や CAS 信号、RD/W\bar{R} 信号、バイト制御の DQMHH、 DQMLH、DQMLH、DQMLL がアサートされ、アドレ スマルチプレクスが行われます。RAS3 や CAS、デー タのタイミング制御やアドレスマルチプレクス制御 は、MCR レジスタによって設定できます。</p>	<p>記述を修正</p> <p>シンクロナス DRAM を接続している場合、RAS 信号や CAS 信号、RD/W\bar{R} 信号、バイト制御の DQMHH、 DQMLH、DQMLH、DQMLL がアサートされ、アドレ スマルチプレクスが行われます。RAS や CAS、デー タのタイミング制御やアドレスマルチプレクス制御は、 MCR レジスタによって設定できます。</p>																

ページ	修正前	修正後
12-39	<p>12.3.2 エリアの説明</p> <p>(4) エリア3</p> <p>シンクロナス DRAM を接続している場合、$\overline{RAS3}$ 信号や \overline{CAS} 信号、RD/\overline{WR} 信号、バイト制御の DQM\overline{MH}、DQM\overline{HL}、DQML\overline{H}、DQML\overline{L} がアサートされ、アドレスマルチプレクスが行われます。</p>	<p>記述を修正</p> <p>シンクロナス DRAM を接続している場合、\overline{RAS} 信号や \overline{CAS} 信号、RD/\overline{WR} 信号、バイト制御の DQM\overline{MH}、DQM\overline{HL}、DQML\overline{H}、DQML\overline{L} がアサートされ、アドレスマルチプレクスが行われます。</p>
12-47	<p>12.3.4 シンクロナス DRAM インタフェース</p> <p>(1) シンクロナス DRAM 直結方式</p> <p>シンクロナス DRAM を直結するための制御信号は $\overline{RAS3}$、\overline{CAS}、RD/\overline{WR}、$\overline{CS2}$ または $\overline{CS3}$、DQMUU、DQM\overline{UL}、DQML\overline{U}、DQML\overline{L} および CKE 信号です。$\overline{CS2}$ または $\overline{CS3}$ を除く信号は各エリア共通であり、CKE を除く信号は $\overline{CS2}$ または $\overline{CS3}$ がアサートされたときのみ有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができます。CKE はセルフリフレッシュを行うときのみネゲート (L レベルに) され、それ以外は常にアサート (H レベルに) されています。</p> <p>$\overline{RAS3}$、\overline{CAS}、RD/\overline{WR} および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストロープ・バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。</p>	<p>記述を修正</p> <p>シンクロナス DRAM を直結するための制御信号は \overline{RAS}、\overline{CAS}、RD/\overline{WR}、$\overline{CS2}$ または $\overline{CS3}$、DQMUU、DQM\overline{UL}、DQML\overline{U}、DQML\overline{L} および CKE 信号です。$\overline{CS2}$ または $\overline{CS3}$ を除く信号は各エリア共通であり、CKE を除く信号は $\overline{CS2}$ または $\overline{CS3}$ がアサートされたときのみ有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができます。CKE はセルフリフレッシュを行うときのみネゲート (L レベルに) され、それ以外は常にアサート (H レベルに) されています。</p> <p>\overline{RAS}、\overline{CAS}、RD/\overline{WR} および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストロープ・バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。</p>
12-48	<p>図 12.11 64M ビットシンクロナス DRAM 接続例(32 ビットバス幅)</p>	<p>図を修正</p> <p>(SH7727) $\overline{RAS3}$ \overline{RAS}</p>
12-49	<p>図 12.12 64M ビットシンクロナス DRAM 接続例(バス幅 16 ビット)</p>	<p>図を修正</p> <p>(SH7727) $\overline{RAS3}$ \overline{RAS}</p>
12-52	<p>12.3.4 シンクロナス DRAM インタフェース</p> <p>(3) パーストリード</p> <p>図 12.13 シンクロナス DRAM パーストリード基本タイミング</p>	<p>図を修正</p> <p>$\overline{RAS3}$ \overline{RAS}</p>
12-53	<p>図 12.14 シンクロナス DRAM パーストリードウェイト指定タイミング</p>	<p>図を修正</p> <p>$\overline{RAS3}$ \overline{RAS}</p>
12-54	<p>(4) シングルリード</p> <p>図 12.15 シンクロナス DRAM シングルリード基本タイミング</p>	<p>図を修正</p> <p>$\overline{RAS3}$ \overline{RAS}</p>

ページ	修正前	修正後
12-56	12.3.4 シンクロナス DRAM インタフェース (5) パーストライト 図 12.16 シンクロナス DRAM パーストライト基本タイミング	図を修正 RAS3 RAS
12-58	(6) シングルライト 図 12.17 シンクロナス DRAM シングルライト基本タイミング	図を修正 RAS3 RAS
12-60	(7) リフレッシュ (a) オートリフレッシュ 図 12.19 シンクロナス DRAM オートリフレッシュタイミング	図を修正 RAS3 RAS
12-61	(b) セルフリフレッシュ 図 12.20 シンクロナス DRAM セルフリフレッシュタイミング	図を修正 RAS3 RAS
12-63	(8) パワーオンシーケンス 図 12.21 シンクロナス DRAM モード書き込みタイミング	図を修正 RAS3 RAS
14-1	14.1 概要 本 LSI は 4 チャンルのダイレクトメモリアクセスコントローラ(DMAC)を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (SIOF、SCIF、USB 機能、A/D 変換器) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。	記述を修正 本 LSI は 4 チャンルのダイレクトメモリアクセスコントローラ(DMAC)を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (SIOF、SCIF、 USB 、A/D 変換器、および D/A 変換器) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。
14-14	14.2.5 DMA チャンネルアサインレジスタ (CHRAR) DMA チャンネルアサインレジスタ (CHRAR) は、16 ビットの読み出し / 書き込み可能なレジスタで、各 DMA チャンネルに対する USB や SIOF からのリクエストを、各拡張 DMA にアサインします。CHRAR は、パワーオンリセットで、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで 0 に初期化されません。スタンバイモードでは、前の値を保持します。	記述を修正 DMA チャンネルアサインレジスタ (CHRAR) は、16 ビットの読み出し / 書き込み可能なレジスタで、各 DMA チャンネルに対する USB や SIOF からのリクエストを、各拡張 DMA にアサインします。CHRAR は、パワーオンリセットで、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで 0 に初期化されません。スタンバイモードでは、前の値を保持します。
14-20	14.3.2 DMA 転送要求 表 14.3 RS ビットによる外部リクエストモードの選択	表を修正 メモリマップト外部デバイス メモリマップト 外部デバイス
14-25	14.3.4 DMA 転送の種類 表 14.5 サポートできる DMA 転送	表を修正 メモリマップト外部デバイス メモリマップト 外部デバイス

ページ	修正前	修正後
14-32	<p>14.3.4 DMA 転送の種類</p> <p>(b) シングルアドレスモード</p> <p>シングルアドレスモードで可能な転送は、1) DACK 付き外部デバイスとメモリマップと外部デバイス間転送、2) DACK 付き外部デバイスと外部メモリ間転送の2種類です。いずれの場合も転送要求は、外部リクエスト (DREQ) のみです。</p>	<p>記述を修正</p> <p>シングルアドレスモードで可能な転送は、1) DACK 付き外部デバイスとメモリマップと外部デバイス間転送、2) DACK 付き外部デバイスと外部メモリ間転送の2種類です。いずれの場合も転送要求は、外部リクエスト (DREQ) のみです。</p>
14-58	<p>14.6 使用上の注意</p> <p>(5) DMAC がアクセス可能な内蔵周辺モジュールは、SIOF、SCIF、USB 機能、A/D 変換器、および I/O ポートです。これ以外の内蔵周辺モジュールには DMAC でアクセスしないでください。</p>	<p>記述を修正</p> <p>(5) DMAC がアクセス可能な内蔵周辺モジュールは、SIOF、SCIF、USB、A/D 変換器、D/A 変換器、および I/O ポートです。これ以外の内蔵周辺モジュールには DMAC でアクセスしないでください。</p>
16-3	<p>16.1.3 端子構成</p> <p>表 16.1 端子構成</p> <p>*1 RTC を使用しない場合、EXTAL2 はプルアップ (Vcc)、XTAL2 は NC としてください。</p>	<p>注を修正</p> <p>*1 RTC を使用しない場合、EXTAL2 はプルアップ (Vcc-RTC)、XTAL2 は NC としてください。</p>
16-20	<p>16.4.3 リアルタイムクロック (RTC) の ADJ ビットの使用について</p> <p>(1) 内容</p> <p>RTC の RCR2.ADJ ビットを 1 にセットしたときから秒カウンタ (RSECCNT) の読み出し値に反映されるまでに最大で約 91.6μs (EXTAL2 端子へ 32.768kHz 水晶発振子接続時) の時間がかかります。</p>	<p>記述を修正</p> <p>RTC の RCR2.ADJ ビットを 1 にセットしたときから秒カウンタ (RSECCNT) の読み出し値に反映されるまでに最大で約 91.6μs (EXTAL2 端子へ 32.768kHz 水晶振動子接続時) の時間がかかります。</p>
—	<p>17 章 シリアルコミュニケーションインタフェース (SCI)</p>	<p>信号名変更</p> <p>TxD TxD0</p> <p>RxD、RXD RxD0</p> <p>SCK SCK0</p>
—	<p>18 章 スマートカードインタフェース</p>	<p>信号名変更</p> <p>TxD TxD0</p> <p>RxD RxD0</p> <p>SCK SCK0</p>
18-1	<p>18.1 概要</p> <p>シリアルコミュニケーションインタフェース (SCI) の拡張機能として、ISO/IEC7816-3 (Indentification Card) に対応した IC カード (スマートカード) インタフェースをサポートしています。</p>	<p>記述を修正</p> <p>シリアルコミュニケーションインタフェース (SCI) の拡張機能として、ISO/IEC7816-3 (Indentification Card) のデータ転送プロトコル形式 T = 0 に対応した IC カード (スマートカード) インタフェースをサポートしています。</p>

ページ	修正前	修正後
—	19章 FI-FO 付きシリアルコミュニケーションインタフェース (SCIF)	信号名変更 TxD TxD2 RxD、RXD RxD2 CTS CTS2 RTS RTS2
19-37	19.5 使用上の注意 (4) ブレークの送り出し シリアル送信時にブレーク信号を送り出すためには、SCP4DT ビットを 0 にクリア (ローレベルを指定) した後 SCP4MD0、SCP4MD1 ビットをそれぞれ 0 と 1 にセットし、最後に TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され TxD 端子から 0 が出力されます。	記述を修正 シリアル送信時にブレーク信号を送り出すためには、SCP4DT ビットを 0 にクリア (ローレベルを指定) した後 SCP4MD0、SCP4MD1 ビットをそれぞれ 1 と 0 にセットし、最後に TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され TxD 端子から 0 が出力されます。
—	20章 シリアル IO (SIOF)	信号名変更 SIOFSYN SIOFSYNC SIORXD RxD_SIO SIOSCK SCK_SIO
20-27	20.3.4 転送データのレジスタ割り付け 図 20.5 送受信データビットアライメント 【注】 図中、ハッチングの部分だけが有効なデータとして送受信されます。このため、8 ビットデータ時にはバイト転送、16 ビットデータ時にはワード転送でアクセスを行う必要があります。ハッチングがかかっていない領域のデータは送受信の対象となりません。	注を修正 【注】 図中、ハッチングの部分だけが有効なデータとして送受信されます。このため、ハッチングがかかっていない領域のデータは送受信の対象となりません。
20-27	表 20.6 送信データ音声モード	表を修正 TDREP TLREP
20-32	20.3.7 送受信手順 (1) マスタ時送信 図 20.9 マスタ時送信動作例 SIMDR、SIMCR、SITDAR、SIRDAR、SICDAR、SIFCTR レジスタの設定	図を修正 SIMDR、SISCR、SITDAR、SIRDAR、SICDAR、SIFCTR レジスタの設定
20-33	(2) マスタ時受信 図 20.10 マスタ時受信動作例 SIMDR、SIMCR、SITDAR、SIRDAR、SICDAR、SIFCTR レジスタの設定	図を修正 SIMDR、SISCR、SITDAR、SIRDAR、SICDAR、SIFCTR レジスタの設定

ページ	修正前	修正後
20-34	20.3.7 送受信手順 (3)スレーブ時送信 図 20.11 スレーブ時送信動作例 SIMDR、SIMCR、SITDAR、SIRDAR、SICDAR、SIFCTR レジスタの設定	図を修正 SIMDR、SISCR、SITDAR、SIRDAR、SICDAR、SIFCTR レジスタの設定
20-35	(4)スレーブ時受信 図 20.12 スレーブ時受信動作例 SIMDR、SIMCR、SITDAR、SIRDAR、SICDAR、SIFCTR レジスタの設定	図を修正 SIMDR、SISCR、SITDAR、SIRDAR、SICDAR、SIFCTR レジスタの設定
20-41	(5)16ビットステレオの場合(その2) 図 20.17 送受信タイミング(16ビットステレオ-2) 設定: TRMD = 01	図を修正 設定: TRMD = 11
22-2	22.1.1 ブロック図 図 22.1 USB ピンマルチプレクスのブロック図 USB2P、USB2M USB1P、USB1M	図を修正 USB2_P、USB2_M USB1_P、USB1_M
22-3	22.1.2 端子構成 表 22.2 端子構成(アナログトランシーバ信号) USB1P、USB1M、USB2P、USB2M	表を修正 USB1_P、USB1_M、USB2_P、USB2_M
22-3	表 22.2 端子構成(アナログトランシーバ信号) 【注】表 22.2 に示された端子は、2 ポートの USB ホストコントローラ端子、または 1 ポートの USB ホストコントローラ端子と 1 ポートの USB ファンクションコントローラ端子として使用することが可能です。未使用時はオープンにしてください。	注を修正 【注】表 22.2 に示された端子は、2 ポートの USB ホストコントローラ端子、または 1 ポートの USB ホストコントローラ端子と 1 ポートの USB ファンクションコントローラ端子として使用することが可能です。未使用時はオープンまたはプルダウンにしてください。
22-5	22.3.1 USB ファンクションコントローラとトランシーバの接続例 図 22.2 USB ファンクションコントローラの接続例 1 (内部トランシーバ使用時) USB1P、USB1M	図を修正 USB1_P、USB1_M
22-6	図 22.3 USB ファンクションコントローラの接続例 2 (内部トランシーバ使用時) USB1P、USB1M	図を修正 USB1_P、USB1_M

ページ	修正前	修正後												
22-8	22.3.2 USB ホストコントローラとトランシーバの接続例 ... 図 22.6 と同様の外部回路にて、 <u>USB2_ovr_current</u> 、 <u>USB2_pwr_en</u> 、 <u>USB2P</u> 、 <u>USB2M</u> の各端子を用いることにより内蔵 USB トランシーバ2を使用することもできます。...	記述を修正 ... 図 22.6 と同様の外部回路にて、 <u>USB2_ovr_current</u> 、 <u>USB2_pwr_en</u> 、 <u>USB2_P</u> 、 <u>USB2_M</u> の各端子を用いることにより内蔵 USB トランシーバ2を使用することもできます。...												
22-8	図 22.6 USB ホストコントローラの接続例 1 (内部トランシーバ使用時) USB1P、USB1M	図を修正 USB1_P、USB1_M												
24-1	24.1 概要 ... この USB ホストコントローラのデバイスドライバおよびハードウェアの開発にあたっては、OpenHCI の仕様書に従って開発を行ってください。	記述を修正 ... この USB ホストコントローラのデバイスドライバおよびハードウェアの開発にあたっては、OpenHCI の仕様書に従って開発を行ってください。なお、ご使用にあたっては、本章末尾の制約事項をご一読ください。												
24-1、24-2	24.1.2 端子構成 表 24.1 端子構成 USB1P、USB1M、USB2P、USB2M	表を修正 USB1_P、USB1_M、USB2_P、USB2_M												
24-35	24.5.1 IN 転送におけるデータサイズの制約 アイソクロナス転送以外の N データ転送において MAXPACKETSIZE 以下の長さのデータパケット(ショートパケット)を転送する場合、以下の使用法は制限されます。	記述を修正 IN データ転送において MAXPACKETSIZE 以下の長さのデータパケット(ショートパケット)を転送する場合、以下の使用法は制限されます。												
24-35	24.5.1 IN 転送におけるデータサイズの制約 MAXPACKETSIZE の転送を主に行い、ショートパケットが送られるときはデータの末尾、または先頭がわかるように加工されたデータが使用されるようにしてください。	記述を修正 MAXPACKETSIZE の転送を主に行い、ショートパケットが送られるときはデータの末尾、または先頭がわかるように加工されたデータが使用されるようにしてください。 受信データサイズをソフトウェアで管理できないアプリケーションでは、1 バイトの不要データをソフトウェアで除去することができません。該当する場合は、対策をご検討の上、本モジュールをご使用ください。												
24-36	24.8 レジューム動作の注意事項	新規追加												
25-49	25.4 クロックと LCD データ信号例 図 25.19 TFT カラー 12 ビットデータバスモジュール	図を削除												
25-52	25.5 使用上の注意	記述を追加 (2) LCDC 外部クロック使用時の注意について												
26-3	26.1 概要 表 26.1 マルチプレクス一覧表 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">ポート</th> <th style="width: 55%;">ポート機能 (関連モジュール)</th> <th style="width: 30%;">その他の機能 1 (関連モジュール)</th> </tr> </thead> <tbody> <tr> <td>J</td> <td>PTJ0 入出力 (ポート)</td> <td>RAS0 出力 (BSC)</td> </tr> </tbody> </table>	ポート	ポート機能 (関連モジュール)	その他の機能 1 (関連モジュール)	J	PTJ0 入出力 (ポート)	RAS0 出力 (BSC)	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">ポート</th> <th style="width: 55%;">ポート機能 (関連モジュール)</th> <th style="width: 30%;">その他の機能 1 (関連モジュール)</th> </tr> </thead> <tbody> <tr> <td>J</td> <td>PTJ0 入出力 (ポート)</td> <td>RAS 出力 (BSC)</td> </tr> </tbody> </table>	ポート	ポート機能 (関連モジュール)	その他の機能 1 (関連モジュール)	J	PTJ0 入出力 (ポート)	RAS 出力 (BSC)
ポート	ポート機能 (関連モジュール)	その他の機能 1 (関連モジュール)												
J	PTJ0 入出力 (ポート)	RAS0 出力 (BSC)												
ポート	ポート機能 (関連モジュール)	その他の機能 1 (関連モジュール)												
J	PTJ0 入出力 (ポート)	RAS 出力 (BSC)												

ページ	修正前	修正後																																																																								
30-1	30.1.1 特長	記述を追加 ・ 本コントローラを有効にした場合 (PCC0GCR の P0USE=1 の場合) PCC0WAIT は WAIT と同等の WAIT 信号として動作します。																																																																								
30-4	30.1.4 PCMCIA のサポート (2) 連続 16MB エリアモード 図 30.3 および図 30.4 に本 LSI のメモリ空間と連続 16MB エリアモードでの PC カードのメモリ空間および I/O 空間の関係を示します。エリア 6 ではメモリ空間および I/O 空間をサポートしています。	記述を修正 図 30.3 に本 LSI のメモリ空間と連続 16MB エリアモードでの PC カードのメモリ空間および I/O 空間の関係を示します。エリア 6 ではメモリ空間および I/O 空間をサポートしています。																																																																								
30-12	30.2.3 エリア 6 カードステータスチェンジレジスタ (PCC0CSCR) ・ ビット 4 : PCC0 ステータス変化(P0SC) エリア 6 に接続された PC カードが I/O カードインタフェースの場合、PC カードの STSCHG 端子に対する値の変化を示します。STSCHG 端子が 1 から 0 に変化すると、SC ビットは 1 にセットされます。STSCHG 端子が変化しない場合、P0SC ビットは 0 のままです。このビットを 0 にリセットするためにビット 4 に 0 を書き込みます。1 を書き込んででもこのビットは変化しません。IC メモリカードインタフェースでこのビットを読み出すと、常に 0 が読み出されます。	記述を修正 エリア 6 に接続された PC カードが I/O カードインタフェースの場合、PC カードの STSCHG 端子に対する値の変化を示します。STSCHG 端子が 1 から 0 に変化すると、P0SC ビットは 1 にセットされます。STSCHG 端子が変化しない場合、P0SC ビットは 0 のままです。このビットを 0 にリセットするためにビット 4 に 0 を書き込みます。1 を書き込んででもこのビットは変化しません。IC メモリカードインタフェースでこのビットを読み出すと、常に 0 が読み出されます。																																																																								
31-7、31-8	31.3.3 バウンダリスキャンレジスタ (SDBSR) 表 31.3 SH7727 の端子とバウンダリスキャンレジスタの対応	表を修正																																																																								
	<table border="1"> <thead> <tr> <th>ビット名</th> <th>端子名</th> <th>入出力</th> <th>ビット名</th> <th>端子名</th> <th>入出力</th> </tr> </thead> <tbody> <tr> <td>197</td> <td>A20</td> <td>Control</td> <td>167</td> <td>USB1_ovr_surren#</td> <td>IN</td> </tr> <tr> <td>196</td> <td>A21</td> <td>Control</td> <td>166</td> <td>USB2_ovr_cmi</td> <td>IN</td> </tr> <tr> <td>191</td> <td>BS#PTx4</td> <td>Control</td> <td>161</td> <td>RAS#PTx0</td> <td>IN</td> </tr> <tr> <td>137</td> <td>MD0</td> <td>IN</td> <td>103</td> <td>RAS#PTx0</td> <td>Control</td> </tr> <tr> <td>130</td> <td>RAS#PTx0</td> <td>OUT</td> <td>98</td> <td>DON#PT07</td> <td>Control</td> </tr> </tbody> </table>	ビット名	端子名	入出力	ビット名	端子名	入出力	197	A20	Control	167	USB1_ovr_surren#	IN	196	A21	Control	166	USB2_ovr_cmi	IN	191	BS#PTx4	Control	161	RAS#PTx0	IN	137	MD0	IN	103	RAS#PTx0	Control	130	RAS#PTx0	OUT	98	DON#PT07	Control	<table border="1"> <thead> <tr> <th>ビット名</th> <th>端子名</th> <th>入出力</th> <th>ビット名</th> <th>端子名</th> <th>入出力</th> </tr> </thead> <tbody> <tr> <td>197</td> <td>A20</td> <td>Control</td> <td>167</td> <td>USB1_ovr_surren#</td> <td>IN</td> </tr> <tr> <td>196</td> <td>A21</td> <td>Control</td> <td>166</td> <td>USB2_ovr_surren#</td> <td>IN</td> </tr> <tr> <td>191</td> <td>BS#PTx4</td> <td>Control</td> <td>161</td> <td>RAS#PTx0</td> <td>IN</td> </tr> <tr> <td>137</td> <td>MD0</td> <td>IN</td> <td>103</td> <td>RAS#PTx0</td> <td>Control</td> </tr> <tr> <td>130</td> <td>RAS#PTx0</td> <td>OUT</td> <td>98</td> <td>DON#PT07</td> <td>Control</td> </tr> </tbody> </table>	ビット名	端子名	入出力	ビット名	端子名	入出力	197	A20	Control	167	USB1_ovr_surren#	IN	196	A21	Control	166	USB2_ovr_surren#	IN	191	BS#PTx4	Control	161	RAS#PTx0	IN	137	MD0	IN	103	RAS#PTx0	Control	130	RAS#PTx0	OUT	98	DON#PT07	Control
ビット名	端子名	入出力	ビット名	端子名	入出力																																																																					
197	A20	Control	167	USB1_ovr_surren#	IN																																																																					
196	A21	Control	166	USB2_ovr_cmi	IN																																																																					
191	BS#PTx4	Control	161	RAS#PTx0	IN																																																																					
137	MD0	IN	103	RAS#PTx0	Control																																																																					
130	RAS#PTx0	OUT	98	DON#PT07	Control																																																																					
ビット名	端子名	入出力	ビット名	端子名	入出力																																																																					
197	A20	Control	167	USB1_ovr_surren#	IN																																																																					
196	A21	Control	166	USB2_ovr_surren#	IN																																																																					
191	BS#PTx4	Control	161	RAS#PTx0	IN																																																																					
137	MD0	IN	103	RAS#PTx0	Control																																																																					
130	RAS#PTx0	OUT	98	DON#PT07	Control																																																																					
32-5	32.2 DC 特性 表 32.2 DC 特性 (2)	表を修正																																																																								
	<table border="1"> <thead> <tr> <th>項目</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>入力 ハイレベル 電圧</td> <td>EXTAL2 水晶発振子を接続しない場合は Vcc に接続してください。</td> </tr> </tbody> </table>	項目	測定条件	入力 ハイレベル 電圧	EXTAL2 水晶発振子を接続しない場合は Vcc に接続してください。	<table border="1"> <thead> <tr> <th>項目</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>入力 ハイレベル 電圧</td> <td>EXTAL2 水晶発振子を接続しない場合は Vcc-RTC に接続してください。</td> </tr> </tbody> </table>	項目	測定条件	入力 ハイレベル 電圧	EXTAL2 水晶発振子を接続しない場合は Vcc-RTC に接続してください。																																																																
項目	測定条件																																																																									
入力 ハイレベル 電圧	EXTAL2 水晶発振子を接続しない場合は Vcc に接続してください。																																																																									
項目	測定条件																																																																									
入力 ハイレベル 電圧	EXTAL2 水晶発振子を接続しない場合は Vcc-RTC に接続してください。																																																																									
32-36	32.3.6 シンクロナス DRAM タイミング 図 32.31 シンクロナス DRAM オートリフレッシュサイクル (TRAS = 1、TPC = 1)	図を修正 RAS3 RAS																																																																								
32-38	図 32.33 シンクロナス DRAM のモードレジスタへのライトサイクル CASxx	図を修正 CASxx CAS																																																																								

ページ	修正前	修正後																																																																																				
32-56	<p>32.3.12 USB モジュール信号タイミング</p> <p>表 32.15 USB モジュールクロックタイミング</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>max</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>UCLK 外部入カクロック周波数 (48MHz)</td> <td>f_{uclk}</td> <td>47.9</td> <td>48.1</td> <td>MHz</td> <td>32.58</td> </tr> <tr> <td>クロック立ち上がり時間</td> <td>t_{rise}</td> <td>—</td> <td>6</td> <td>ns</td> <td></td> </tr> <tr> <td>クロック立ち下がり時間</td> <td>t_{fall}</td> <td>—</td> <td>6</td> <td>ns</td> <td></td> </tr> </tbody> </table>	項目	記号	min	max	単位	参照図	UCLK 外部入カクロック周波数 (48MHz)	f _{uclk}	47.9	48.1	MHz	32.58	クロック立ち上がり時間	t _{rise}	—	6	ns		クロック立ち下がり時間	t _{fall}	—	6	ns		<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>max</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>UCLK 外部入カクロック周波数 (48MHz)</td> <td>f_{uclk}</td> <td>47.9</td> <td>48.1</td> <td>MHz</td> <td>32.58</td> </tr> <tr> <td>UCLK 外部入カクロック立ち上がり時間</td> <td></td> <td>47.976</td> <td>48.024</td> <td></td> <td></td> </tr> <tr> <td>UCLK 外部入カクロック周波数 (48MHz)</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>USB 外部入カクロック周波数 (48MHz)</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>クロック立ち上がり時間</td> <td>t_{rise}</td> <td>—</td> <td>6</td> <td>ns</td> <td></td> </tr> <tr> <td>クロック立ち下がり時間</td> <td>t_{fall}</td> <td>—</td> <td>6</td> <td>ns</td> <td></td> </tr> </tbody> </table>	項目	記号	min	max	単位	参照図	UCLK 外部入カクロック周波数 (48MHz)	f _{uclk}	47.9	48.1	MHz	32.58	UCLK 外部入カクロック立ち上がり時間		47.976	48.024			UCLK 外部入カクロック周波数 (48MHz)						USB 外部入カクロック周波数 (48MHz)						クロック立ち上がり時間	t _{rise}	—	6	ns		クロック立ち下がり時間	t _{fall}	—	6	ns																			
項目	記号	min	max	単位	参照図																																																																																	
UCLK 外部入カクロック周波数 (48MHz)	f _{uclk}	47.9	48.1	MHz	32.58																																																																																	
クロック立ち上がり時間	t _{rise}	—	6	ns																																																																																		
クロック立ち下がり時間	t _{fall}	—	6	ns																																																																																		
項目	記号	min	max	単位	参照図																																																																																	
UCLK 外部入カクロック周波数 (48MHz)	f _{uclk}	47.9	48.1	MHz	32.58																																																																																	
UCLK 外部入カクロック立ち上がり時間		47.976	48.024																																																																																			
UCLK 外部入カクロック周波数 (48MHz)																																																																																						
USB 外部入カクロック周波数 (48MHz)																																																																																						
クロック立ち上がり時間	t _{rise}	—	6	ns																																																																																		
クロック立ち下がり時間	t _{fall}	—	6	ns																																																																																		
32-58	<p>32.3.14 AC 特性測定条件</p> <p>図 32.60 出力付加回路</p> <p>【注】1. C_L は測定装置の容量も含んだ合計値です。各端子は以下のように設定されています。</p> <p>30pF : CKIO、RASxx、CASxx、CS0、CS2 ~ CS6、CE2A、CE2B、BACK</p>	<p>図を修正</p> <p>【注】1. C_L は測定装置の容量も含んだ合計値です。各端子は以下のように設定されています。</p> <p>30pF : CKIO、RAS、CAS、CS0、CS2 ~ CS6、CE2A、CE2B、BACK</p>																																																																																				
付録-2、 付録-4	<p>A.1 端子機能</p> <p>表 A.1 端子機能</p> <table border="1"> <thead> <tr> <th>分類</th> <th>信号名 (初期状態: 大文字)</th> <th>ピン番号 (HQFP)</th> <th>I/O</th> <th>パワーオンリセット</th> <th>マニュアルリセット</th> <th>スタンバイ</th> <th>バス機能</th> </tr> </thead> <tbody> <tr> <td>バス機能</td> <td>RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4]¹⁾</td> <td>129, 130, 132, 136</td> <td>O/IO</td> <td>H</td> <td>O/P</td> <td>Z(H)/K</td> <td>Z(H)/P</td> </tr> <tr> <td>USB 関係</td> <td>USB1_ovr_cmi, USBF_VBUS</td> <td>123</td> <td>I/I</td> <td>I</td> <td>Z/Z</td> <td>Z/Z</td> <td>I/I</td> </tr> <tr> <td></td> <td>USB2_ovr_cmi</td> <td>124</td> <td>I</td> <td>I</td> <td>Z</td> <td>Z</td> <td>I</td> </tr> </tbody> </table>	分類	信号名 (初期状態: 大文字)	ピン番号 (HQFP)	I/O	パワーオンリセット	マニュアルリセット	スタンバイ	バス機能	バス機能	RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4] ¹⁾	129, 130, 132, 136	O/IO	H	O/P	Z(H)/K	Z(H)/P	USB 関係	USB1_ovr_cmi, USBF_VBUS	123	I/I	I	Z/Z	Z/Z	I/I		USB2_ovr_cmi	124	I	I	Z	Z	I	<p>表を修正</p> <table border="1"> <thead> <tr> <th>分類</th> <th>信号名 (初期状態: 大文字)</th> <th>ピン番号 (HQFP)</th> <th>I/O</th> <th>パワーオンリセット</th> <th>マニュアルリセット</th> <th>スタンバイ</th> <th>バス機能</th> </tr> </thead> <tbody> <tr> <td>バス機能</td> <td>RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4]¹⁾, ReservedPTJ[5]¹⁾</td> <td>129, 130, 132, 136</td> <td>O/IO</td> <td>H</td> <td>O/P</td> <td>Z(H)/K</td> <td>Z(H)/P</td> </tr> <tr> <td>USB 関係</td> <td>USB1_ovr_cmi, USBF_VBUS</td> <td>123</td> <td>I/I</td> <td>I</td> <td>Z/Z</td> <td>Z/Z</td> <td>I/I</td> </tr> <tr> <td></td> <td>USB2_ovr_cmi</td> <td>124</td> <td>I</td> <td>I</td> <td>Z</td> <td>Z</td> <td>I</td> </tr> </tbody> </table>	分類	信号名 (初期状態: 大文字)	ピン番号 (HQFP)	I/O	パワーオンリセット	マニュアルリセット	スタンバイ	バス機能	バス機能	RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4] ¹⁾ , ReservedPTJ[5] ¹⁾	129, 130, 132, 136	O/IO	H	O/P	Z(H)/K	Z(H)/P	USB 関係	USB1_ovr_cmi, USBF_VBUS	123	I/I	I	Z/Z	Z/Z	I/I		USB2_ovr_cmi	124	I	I	Z	Z	I																				
分類	信号名 (初期状態: 大文字)	ピン番号 (HQFP)	I/O	パワーオンリセット	マニュアルリセット	スタンバイ	バス機能																																																																															
バス機能	RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4] ¹⁾	129, 130, 132, 136	O/IO	H	O/P	Z(H)/K	Z(H)/P																																																																															
USB 関係	USB1_ovr_cmi, USBF_VBUS	123	I/I	I	Z/Z	Z/Z	I/I																																																																															
	USB2_ovr_cmi	124	I	I	Z	Z	I																																																																															
分類	信号名 (初期状態: 大文字)	ピン番号 (HQFP)	I/O	パワーオンリセット	マニュアルリセット	スタンバイ	バス機能																																																																															
バス機能	RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4] ¹⁾ , ReservedPTJ[5] ¹⁾	129, 130, 132, 136	O/IO	H	O/P	Z(H)/K	Z(H)/P																																																																															
USB 関係	USB1_ovr_cmi, USBF_VBUS	123	I/I	I	Z/Z	Z/Z	I/I																																																																															
	USB2_ovr_cmi	124	I	I	Z	Z	I																																																																															
付録-6、 付録-7、 付録-9、	<p>A.2 未使用端子の処理</p> <p>表 A.2 未使用端子の処理</p> <table border="1"> <thead> <tr> <th>分類</th> <th>信号名 (初期状態: 大文字)</th> <th>ピン番号 (HQFP)</th> <th>ピン番号 (CSP)</th> <th>I/O</th> <th>未使用時の処理</th> </tr> </thead> <tbody> <tr> <td>クロック</td> <td>EXTAL2</td> <td>3</td> <td>A2</td> <td>I</td> <td>V_{DD} 接続</td> </tr> <tr> <td>電源関係</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>バス機能</td> <td>RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4], ReservedPTJ[5]</td> <td>129, 130, 132, 136</td> <td>U15, T16, W16</td> <td>O/IO</td> <td>オープン</td> </tr> <tr> <td>USB 関係</td> <td>USB1_ovr_cmi, USBF_VBUS</td> <td>123</td> <td>W18</td> <td>I/I</td> <td>プルアップ</td> </tr> <tr> <td></td> <td>USB2_ovr_cmi</td> <td>124</td> <td>V17</td> <td>I</td> <td>プルアップ</td> </tr> <tr> <td></td> <td>USB1_P(analog), USB1_M(analog), USB2_P(analog), USB2_M(analog)</td> <td>226, 227, 229, 230</td> <td>F3, F2, E4, E3</td> <td>IO</td> <td>オープン²⁾</td> </tr> </tbody> </table>	分類	信号名 (初期状態: 大文字)	ピン番号 (HQFP)	ピン番号 (CSP)	I/O	未使用時の処理	クロック	EXTAL2	3	A2	I	V _{DD} 接続	電源関係						バス機能	RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4], ReservedPTJ[5]	129, 130, 132, 136	U15, T16, W16	O/IO	オープン	USB 関係	USB1_ovr_cmi, USBF_VBUS	123	W18	I/I	プルアップ		USB2_ovr_cmi	124	V17	I	プルアップ		USB1_P(analog), USB1_M(analog), USB2_P(analog), USB2_M(analog)	226, 227, 229, 230	F3, F2, E4, E3	IO	オープン ²⁾	<p>表を修正</p> <table border="1"> <thead> <tr> <th>分類</th> <th>信号名 (初期状態: 大文字)</th> <th>ピン番号 (HQFP)</th> <th>ピン番号 (CSP)</th> <th>I/O</th> <th>未使用時の処理</th> </tr> </thead> <tbody> <tr> <td>クロック</td> <td>EXTAL2</td> <td>3</td> <td>A2</td> <td>I</td> <td>電源接続 (V_{DD}RTIC)</td> </tr> <tr> <td>電源関係</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>バス機能</td> <td>RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4], ReservedPTJ[5]</td> <td>129, 130, 132, 136</td> <td>U15, T16, W16</td> <td>O/IO</td> <td>オープン</td> </tr> <tr> <td>USB 関係</td> <td>USB1_ovr_cmi, USBF_VBUS</td> <td>123</td> <td>W18</td> <td>I/I</td> <td>プルアップ</td> </tr> <tr> <td></td> <td>USB2_ovr_cmi</td> <td>124</td> <td>V17</td> <td>I</td> <td>プルアップ</td> </tr> <tr> <td></td> <td>USB1_P(analog), USB1_M(analog), USB2_P(analog), USB2_M(analog)</td> <td>226, 227, 229, 230</td> <td>F3, F2, E4, E3</td> <td>IO</td> <td>オープン²⁾</td> </tr> </tbody> </table>	分類	信号名 (初期状態: 大文字)	ピン番号 (HQFP)	ピン番号 (CSP)	I/O	未使用時の処理	クロック	EXTAL2	3	A2	I	電源接続 (V _{DD} RTIC)	電源関係						バス機能	RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4], ReservedPTJ[5]	129, 130, 132, 136	U15, T16, W16	O/IO	オープン	USB 関係	USB1_ovr_cmi, USBF_VBUS	123	W18	I/I	プルアップ		USB2_ovr_cmi	124	V17	I	プルアップ		USB1_P(analog), USB1_M(analog), USB2_P(analog), USB2_M(analog)	226, 227, 229, 230	F3, F2, E4, E3	IO	オープン ²⁾
分類	信号名 (初期状態: 大文字)	ピン番号 (HQFP)	ピン番号 (CSP)	I/O	未使用時の処理																																																																																	
クロック	EXTAL2	3	A2	I	V _{DD} 接続																																																																																	
電源関係																																																																																						
バス機能	RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4], ReservedPTJ[5]	129, 130, 132, 136	U15, T16, W16	O/IO	オープン																																																																																	
USB 関係	USB1_ovr_cmi, USBF_VBUS	123	W18	I/I	プルアップ																																																																																	
	USB2_ovr_cmi	124	V17	I	プルアップ																																																																																	
	USB1_P(analog), USB1_M(analog), USB2_P(analog), USB2_M(analog)	226, 227, 229, 230	F3, F2, E4, E3	IO	オープン ²⁾																																																																																	
分類	信号名 (初期状態: 大文字)	ピン番号 (HQFP)	ピン番号 (CSP)	I/O	未使用時の処理																																																																																	
クロック	EXTAL2	3	A2	I	電源接続 (V _{DD} RTIC)																																																																																	
電源関係																																																																																						
バス機能	RAS[PTJ]0, ReservedPTJ[1], ReservedPTJ[2], ReservedPTJ[3], ReservedPTJ[4], ReservedPTJ[5]	129, 130, 132, 136	U15, T16, W16	O/IO	オープン																																																																																	
USB 関係	USB1_ovr_cmi, USBF_VBUS	123	W18	I/I	プルアップ																																																																																	
	USB2_ovr_cmi	124	V17	I	プルアップ																																																																																	
	USB1_P(analog), USB1_M(analog), USB2_P(analog), USB2_M(analog)	226, 227, 229, 230	F3, F2, E4, E3	IO	オープン ²⁾																																																																																	
付録-10、 付録-11	<p>A.3 各アドレス空間へのアクセスにおける端子状態</p> <p>表 A.3 端子状態 (通常メモリ/リトルエンディアン)</p>	<p>表を修正</p> <p>RAS3 RAS</p>																																																																																				
付録-12、 付録-13	<p>表 A.4 端子状態 (通常メモリ/ビッグエンディアン)</p>	<p>表を修正</p> <p>RAS3 RAS</p>																																																																																				
付録-14、 付録-15	<p>表 A.5 端子状態 (バースト ROM / リトルエンディアン)</p> <table border="1"> <thead> <tr> <th rowspan="2">端子</th> <th colspan="2">8ビットバス幅</th> <th colspan="2">16ビットバス幅</th> </tr> <tr> <th>バイトワードロングワードアクセス</th> <th>バイトアクセス (アドレス 2n)</th> <th>バイトアクセス (アドレス 2n+1)</th> <th>ワードロングワードアクセス</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	端子	8ビットバス幅		16ビットバス幅		バイトワードロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n+1)	ワードロングワードアクセス						<p>表を修正</p> <p>RAS3 RAS</p> <table border="1"> <thead> <tr> <th rowspan="2">端子</th> <th colspan="2">8ビットバス幅</th> <th colspan="2">16ビットバス幅</th> </tr> <tr> <th>バイトワードロングワードアクセス</th> <th>バイトアクセス (アドレス 2n)</th> <th>バイトアクセス (アドレス 2n+1)</th> <th>ワードロングワードアクセス</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	端子	8ビットバス幅		16ビットバス幅		バイトワードロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n+1)	ワードロングワードアクセス																																																													
端子	8ビットバス幅		16ビットバス幅																																																																																			
	バイトワードロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n+1)	ワードロングワードアクセス																																																																																		
端子	8ビットバス幅		16ビットバス幅																																																																																			
	バイトワードロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n+1)	ワードロングワードアクセス																																																																																		
付録-16、 付録-17	<p>表 A.6 端子状態 (バースト ROM / ビッグエンディアン)</p>	<p>表を修正</p> <p>RAS3 RAS</p>																																																																																				
付録-18	<p>表 A.7 端子状態 (シンクロナス DRAM / リトルエンディアン)</p>	<p>表を修正</p> <p>RAS3 RAS</p>																																																																																				
付録-19	<p>表 A.8 端子状態 (シンクロナス DRAM / ビッグエンディアン)</p>	<p>表を修正</p> <p>RAS3 RAS</p>																																																																																				

ページ	修正前	修正後																																																																																																																		
付録-20、 付録-21	表 A.9 端子状態 (PCMCIA / リトルエンディアン)	表を修正 RAS3 RAS																																																																																																																		
付録-22、 付録-23	表 A.10 端子状態 (PCMCIA / ビッグエンディアン) <table border="1" data-bbox="292 459 742 562"> <thead> <tr> <th rowspan="2">端子</th> <th colspan="4">PCMCIA メモリインタフェース(エリア 5)</th> <th colspan="4">PCMCIA IO インタフェース(エリア 5)</th> </tr> <tr> <th colspan="2">8ビットバス幅</th> <th colspan="2">16ビットバス幅</th> <th colspan="2">8ビットバス幅</th> <th colspan="2">16ビットバス幅</th> </tr> </thead> <tbody> <tr> <td>バイト</td> <td>バイト</td> <td>バイト</td> <td>ワード</td> <td>バイト</td> <td>バイト</td> <td>バイト</td> <td>ワード</td> </tr> <tr> <td>ワード</td> <td>アクセス</td> <td>アクセス</td> <td>ロング</td> <td>ワード</td> <td>ワード</td> <td>アクセス</td> <td>ロング</td> </tr> <tr> <td>ロング</td> <td>(アドレス 2n)</td> <td>(アドレス 2n + 1)</td> <td>ワード</td> <td>ロング</td> <td>ロング</td> <td>(アドレス 2n)</td> <td>ワード</td> </tr> <tr> <td>ワード</td> <td></td> <td></td> <td>アクセス</td> <td>ワード</td> <td>ワード</td> <td>(アドレス 2n + 1)</td> <td>アクセス</td> </tr> <tr> <td>アクセス</td> <td></td> <td></td> <td></td> <td>アクセス</td> <td></td> <td></td> <td>アクセス</td> </tr> </tbody> </table>	端子	PCMCIA メモリインタフェース(エリア 5)				PCMCIA IO インタフェース(エリア 5)				8ビットバス幅		16ビットバス幅		8ビットバス幅		16ビットバス幅		バイト	バイト	バイト	ワード	バイト	バイト	バイト	ワード	ワード	アクセス	アクセス	ロング	ワード	ワード	アクセス	ロング	ロング	(アドレス 2n)	(アドレス 2n + 1)	ワード	ロング	ロング	(アドレス 2n)	ワード	ワード			アクセス	ワード	ワード	(アドレス 2n + 1)	アクセス	アクセス				アクセス			アクセス	表を修正 RAS3 RAS <table border="1" data-bbox="769 459 1222 575"> <thead> <tr> <th rowspan="2">端子</th> <th colspan="4">PCMCIA メモリインタフェース(エリア 5)</th> <th colspan="4">PCMCIA IO インタフェース(エリア 5)</th> </tr> <tr> <th colspan="2">8ビットバス幅</th> <th colspan="2">16ビットバス幅</th> <th colspan="2">8ビットバス幅</th> <th colspan="2">16ビットバス幅</th> </tr> </thead> <tbody> <tr> <td>バイト</td> <td>バイト</td> <td>バイト</td> <td>ワード</td> <td>バイト</td> <td>バイト</td> <td>バイト</td> <td>ワード</td> </tr> <tr> <td>ワード</td> <td>アクセス</td> <td>アクセス</td> <td>ロング</td> <td>ワード</td> <td>ワード</td> <td>アクセス</td> <td>ロング</td> </tr> <tr> <td>ロング</td> <td>(アドレス 2n)</td> <td>(アドレス 2n + 1)</td> <td>ワード</td> <td>ロング</td> <td>ロング</td> <td>(アドレス 2n)</td> <td>ワード</td> </tr> <tr> <td>ワード</td> <td></td> <td></td> <td>アクセス</td> <td>ワード</td> <td>ワード</td> <td>(アドレス 2n + 1)</td> <td>アクセス</td> </tr> <tr> <td>アクセス</td> <td></td> <td></td> <td></td> <td>アクセス</td> <td></td> <td></td> <td>アクセス</td> </tr> </tbody> </table>	端子	PCMCIA メモリインタフェース(エリア 5)				PCMCIA IO インタフェース(エリア 5)				8ビットバス幅		16ビットバス幅		8ビットバス幅		16ビットバス幅		バイト	バイト	バイト	ワード	バイト	バイト	バイト	ワード	ワード	アクセス	アクセス	ロング	ワード	ワード	アクセス	ロング	ロング	(アドレス 2n)	(アドレス 2n + 1)	ワード	ロング	ロング	(アドレス 2n)	ワード	ワード			アクセス	ワード	ワード	(アドレス 2n + 1)	アクセス	アクセス				アクセス			アクセス
端子	PCMCIA メモリインタフェース(エリア 5)				PCMCIA IO インタフェース(エリア 5)																																																																																																															
	8ビットバス幅		16ビットバス幅		8ビットバス幅		16ビットバス幅																																																																																																													
バイト	バイト	バイト	ワード	バイト	バイト	バイト	ワード																																																																																																													
ワード	アクセス	アクセス	ロング	ワード	ワード	アクセス	ロング																																																																																																													
ロング	(アドレス 2n)	(アドレス 2n + 1)	ワード	ロング	ロング	(アドレス 2n)	ワード																																																																																																													
ワード			アクセス	ワード	ワード	(アドレス 2n + 1)	アクセス																																																																																																													
アクセス				アクセス			アクセス																																																																																																													
端子	PCMCIA メモリインタフェース(エリア 5)				PCMCIA IO インタフェース(エリア 5)																																																																																																															
	8ビットバス幅		16ビットバス幅		8ビットバス幅		16ビットバス幅																																																																																																													
バイト	バイト	バイト	ワード	バイト	バイト	バイト	ワード																																																																																																													
ワード	アクセス	アクセス	ロング	ワード	ワード	アクセス	ロング																																																																																																													
ロング	(アドレス 2n)	(アドレス 2n + 1)	ワード	ロング	ロング	(アドレス 2n)	ワード																																																																																																													
ワード			アクセス	ワード	ワード	(アドレス 2n + 1)	アクセス																																																																																																													
アクセス				アクセス			アクセス																																																																																																													

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH3-DSP SH7727

発行年月日 2001年5月 第1版

2009年3月19日 Rev.6.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトプ)	(0246) 22-3222
茨		支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中		支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com

SH3-DSP SH7727
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0279-0600