

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については
必ず本文の内容をご確認ください。

SH7729R

ハードウェアマニュアル

ルネサス32RISCマイクロコンピュータ

SuperH™ RISC engineファミリ / SH7000シリーズ

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

はじめに

本 LSI は、内部 32 ビット構成の SH-3 CPU を核に、システム構成に必要な周辺機能を集積したマイクロプロセッサです。

本 LSI は、キャッシュメモリ、内蔵 X/Y メモリ、メモリマネジメントユニット (MMU)、割り込みコントローラ、タイマ、3 種類のシリアルコミュニケーションインタフェース、リアルタイムクロック (RTC)、ユーザブ레이크コントローラ (UBC)、バーステートコントローラ (BSC)、I/O ポートなどの周辺機能を内蔵しており、高速かつ低消費電力を要求される電子機器用マイコンとして活用できます。

対象者 このマニュアルは、SH7729R を用いた応用システムを設計するユーザーを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7729R のハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。
なお、実行命令の詳細については、「SH-3、SH-3E、SH3-DSP プログラミングマニュアル」に記載しておりますので、併せてご覧ください。

読み方

- 機能全体を理解しようとするとき
→目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき
→別冊の「SH-3、SH-3E、SH3-DSP プログラミングマニュアル」を参照してください。

凡例 ビット表記順 : 左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。
(<http://www.renesas.com/>)

- SH7729Rに関するユーザーズマニュアル

資料名	資料番号
SH7729R ハードウェアマニュアル	本マニュアル
SH-3、SH-3E、SH3-DSP プログラミングマニュアル	ADJ-602-120

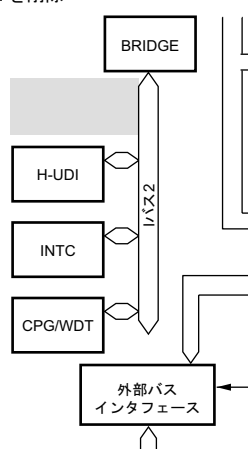
- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
C/C++ コンパイラ、アセンブラ、最適化リンケージエディタユーザーズマニュアル	ADJ-702-304
シミュレータ・デバッガ ユーザーズマニュアル	ADJ-702-266
High-Performance Embedded Workshop ユーザーズマニュアル	ADJ-702-275

- アプリケーションノート

資料名	資料番号
C/C++ コンパイラ編	ADJ-502-046

本版で修正または追加された箇所

修正箇所	ページ	修正内容																																			
1.2 ブロック図 図 1.1 ブロック図	1-7	図から ASERAM を削除  <p>【記号説明】 ADC : A/D変換器 AUD : アドバンスユーザーザデバガ BSC : バススタートコントローラ</p> <p>【記号説明】から ASERAM を削除</p>																																			
1.3.2 端子機能 表 1.3 SH7729R 端子機能	1-14	ピン番号 145、147、148、150 に*2 追加 <table border="1" data-bbox="658 1197 1207 1371"> <thead> <tr> <th>端子番号 (FP-208C) (FP-208E)</th> <th>端子番号 (BP-240A)</th> <th>端子名</th> <th>入出力</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>145</td> <td>F16</td> <td>Vcc-PLL1*2</td> <td>-</td> <td>PLL1 用電源 (*2)</td> </tr> <tr> <td>146</td> <td>F17</td> <td>CAP1</td> <td>-</td> <td>PLL1 用外部容量端子</td> </tr> <tr> <td>147</td> <td>F18</td> <td>Vss-PLL1*2</td> <td>-</td> <td>PLL1 用電源 (0V)</td> </tr> <tr> <td>148</td> <td>F19</td> <td>Vss-PLL2*2</td> <td>-</td> <td>PLL2 用電源 (0V)</td> </tr> <tr> <td>149</td> <td>E16</td> <td>CAP2</td> <td>-</td> <td>PLL2 用外部容量端子</td> </tr> <tr> <td>150</td> <td>E17</td> <td>Vcc-PLL2*2</td> <td>-</td> <td>PLL2 用電源 (*2)</td> </tr> </tbody> </table>	端子番号 (FP-208C) (FP-208E)	端子番号 (BP-240A)	端子名	入出力	説明	145	F16	Vcc-PLL1*2	-	PLL1 用電源 (*2)	146	F17	CAP1	-	PLL1 用外部容量端子	147	F18	Vss-PLL1*2	-	PLL1 用電源 (0V)	148	F19	Vss-PLL2*2	-	PLL2 用電源 (0V)	149	E16	CAP2	-	PLL2 用外部容量端子	150	E17	Vcc-PLL2*2	-	PLL2 用電源 (*2)
端子番号 (FP-208C) (FP-208E)	端子番号 (BP-240A)	端子名	入出力	説明																																	
145	F16	Vcc-PLL1*2	-	PLL1 用電源 (*2)																																	
146	F17	CAP1	-	PLL1 用外部容量端子																																	
147	F18	Vss-PLL1*2	-	PLL1 用電源 (0V)																																	
148	F19	Vss-PLL2*2	-	PLL2 用電源 (0V)																																	
149	E16	CAP2	-	PLL2 用外部容量端子																																	
150	E17	Vcc-PLL2*2	-	PLL2 用電源 (*2)																																	
	1-15	ピン番号 170 の端子名を修正 (修正前) RTS2/SCPT[6] → (修正後) <u>RTS2</u> /SCPT[6]																																			
4.4.3 一般例外	4-10	説明追加 (5) 例外要因を識別する例外コードが EXPEVT のビット 11~0 に書き込まれます。																																			
5.4 メモリ割り付けキャッシュの構成	5-8、	差し替え																																			
5.4.1 アドレスアレイ	5-9																																				

修正箇所	ページ	修正内容
5.4.2 データアレイ	5-9	<p>説明修正</p> <p>データアレイはH'F1000000~H'F1FFFFFFに割り付けられています。データアレイのアクセスには、32ビットのアドレスの指定（読み出し／書き込み時）と32ビットのデータの指定（書き込み時）が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。</p> <p>アドレスにはエントリを選択するためのエントリアドレス（ビット11~4）、1ライン（16バイト）中のロングワード位置を示すL（ビット3~2）、ウェイを指定するためのW（ビット13~12）、およびデータアレイアクセスを示すHF1をビット31~24に指定します。L（ビット3~2）は00がロングワード0、01がロングワード1、10がロングワード2、11がロングワード3を示します。W（ビット13~12）は、00がウェイ0、01がウェイ1、10がウェイ2、11がウェイ3を示します。アクセスはロングワードサイズ固定なので、アドレスのビット1~0には00を指定してください。</p> <p>データアレイに対しては次の2種類の操作が可能です。なおこの操作によってアドレスアレイの情報を変更されることはありません。</p> <p>(1) データアレイリード</p> <p>アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスのL（ビット3~2）で指定されたデータを読み出します。</p> <p>(2) データアレイライト</p> <p>アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスのL（ビット3~2）で指定された位置に、データで指定されたロングワードデータを書き込みます。</p>

修正箇所	ページ	修正内容
5.4.3 使用例	5-10、 5-11	<p>(1) 特定エンTRIESの無効化の追加、(2) 特定アドレスの無効化、(3) 特定エンTRIESのデータ部の読み出しを説明修正</p> <p>(1) 特定エンTRIESの無効化</p> <p>キャッシュの特定エンTRIESの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエンTRIESのU、Vビットに0を書き込むことで実現できます。Aビットを0とし、エンTRIESアドレスとウエイをアドレスで指定します。対象のエンTRIES、ウエイのUビットが1だった場合はそのエンTRIESがライトバックされ、書き込みデータで指定されたVビットおよびUビットを書き込みます。</p> <p>以下に、R0に書き込みデータを、R1にアドレスを指定した場合の例を示します。</p> <pre> ; R0=H'0000 0000 LRU=H'000, U=0, V=0 ; R1=H'F000 1080, ウエイ=1, エンTRIES=H'08, A=0 ; MOV.L R0, @R1 </pre> <p>全エンTRIES、ウエイを無効化する場合は、下記アドレスに0を書き込んでください。</p> <p>アドレス：</p> <pre> F000 0000 F000 0010 F000 0020 . F000 3FF0 </pre> <p>計 1024 回の書き込みを行います。</p> <p>上記の処理を行う場合、ノンキャッシュ領域で行ってください。</p> <p>(2) 特定アドレスの無効化</p> <p>キャッシュの特定エンTRIESの無効化は、そのエンTRIESのVビットに0を書き込むことで実現できます。Aビットを1とし、書き込みデータで指定されるタグアドレスを、エンTRIESアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときにデータを書き込みます。一致しない場合は、ノーオペレーションです。R0に書き込みデータ、R1にアドレスを指定します。アドレスアレイのあるエンTRIESのVビットを0にすると、そのエンTRIESのUビットが1のときそのエンTRIESがライトバックされます。</p> <pre> ; R0=H'0110 0010; タグアドレス=B'0000 0001 0001 0000 ; 0000 00, U=0, V=0 ; R1=H'F000 0088; アドレスアレイアクセス、エンTRIES= ; H'08, A=1 ; MOV.L R0, @R1 </pre>

修正箇所	ページ	修正内容
5.4.3 使用例	5-10 5-11	<p>以下に、R0=パージしたいアドレス（32bit）がある場合の例を示します。</p> <pre>MOV.L #H'0000FF0, R1 ; AND R0, R1 ; エントリアドレスを取り出す MOV.L #H'00000008, R2 OR R1, R2 ; 先頭を H'F0、A ビットを 1 にする MOV.L #H'1FFFC00, R3 AND R0, R3 ; タグアドレスを取り出す。U=V=0 MOV.L R3, @R2 ; 連想パージ</pre> <p>上記の処理を行う場合、ノンキャッシュ領域で行って下さい。</p> <p>(3) 特定エントリのデータ部の読み出し</p> <p>キャッシュの特定エントリのデータ部を読み出します。図 5.5 のデータアレイのデータ部に示されるロングワードが、レジスタに読み出されます。R0 にアドレスを指定し、R1 に読み出します。</p> <pre> ; R0=H'F100 004C; データアレイアクセス、エントリ=H'04、 ; ウェイ=0、ロングワードアドレス=3 ; MOV.L @R0, R1 ; ロングワード 3 が読み出されます</pre>
7.2.6 割り込み例外処理および優先順位 表 7.4 割り込み例外処理要因と優先順位 (IRQ モード時)	7-8	SCI の IPR（ビット番号）を修正 (修正前) IPRB (3-0) → (修正後) IPRB (7-4)
7.3.6 割り込み要求レジスタ 0 (IRR0)	7-17	<p>説明修正</p> <p>IRQ5R~IRQ0R ビットを 0 にクリアする場合、当該ビットが 1 にセットされていることを読み出した後 0 を書き込んでください。</p> <p>IRQ5R~IRQ0R ビットを 0 にクリアする場合、クリアしたいビットのみ 0 をライトし、その他のビットは 1 をライトしてください。1 をライトしたビットの内容は変化しません。</p>

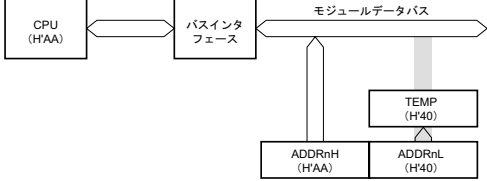
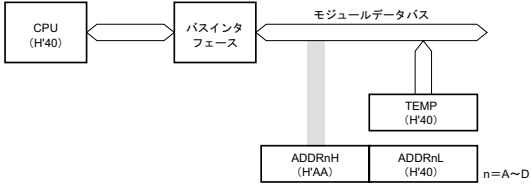
修正箇所	ページ	修正内容
<p>8.1.2 ブロック図</p> <p>図 8.1 UBC のブロック図</p>	8-2	<p>図を修正</p> <p>The diagram illustrates the UBC block structure. It is divided into two channels: Channel A and Channel B. Channel A contains an Access Comparator, Address Comparator, ASID Comparator, and Channel A. Channel B contains an Access Comparator, Address Comparator, ASID Comparator, Data Comparator, and Channel B. Each comparator is connected to a corresponding register (BBRA, BARA, BAMRA, BASRA, BBRB, BARB, BAMRB, BASRB, BDRB, BDMRB, BETR) which in turn connects to the MDB (Master Data Bus).</p>
<p>9.2.1 スタンバイコントロールレジスタ (STBCR)</p>	9-4	<p>説明追加</p> <p>ビット 1 : モジュールストップ 1 (MSTP1)</p> <p>RTC をモジュールスタンバイにする際は、RTC、SCI、TMU のレジスタのどれか 1 つ以上にアクセスした後、RTC をモジュールスタンバイにしてください。</p>
<p>9.3.1 スリープモードへの遷移</p>	9-7	<p>説明追加</p> <p>スリープモードでは、STATUS1 端子に High レベルが、STATUS0 端子に Low レベルが出力されます。</p> <p>クロック比 1ϕ (内部クロック) : $B\phi$ (バスクロック) = 1 : 1 以外の条件でスリープモードを使用する場合は、スリープ中に DMAC 転送を行わないでください。</p>
<p>9.5.1 モジュールスタンバイ機能への遷移</p>	9-10	<p>ビット表に*3 を追加</p> <p>【注】*3 RTC をモジュールスタンバイにする際は、RTC、SCI、TMU のレジスタのどれか 1 つ以上にアクセスした後、RTC をモジュールスタンバイにしてください。</p>

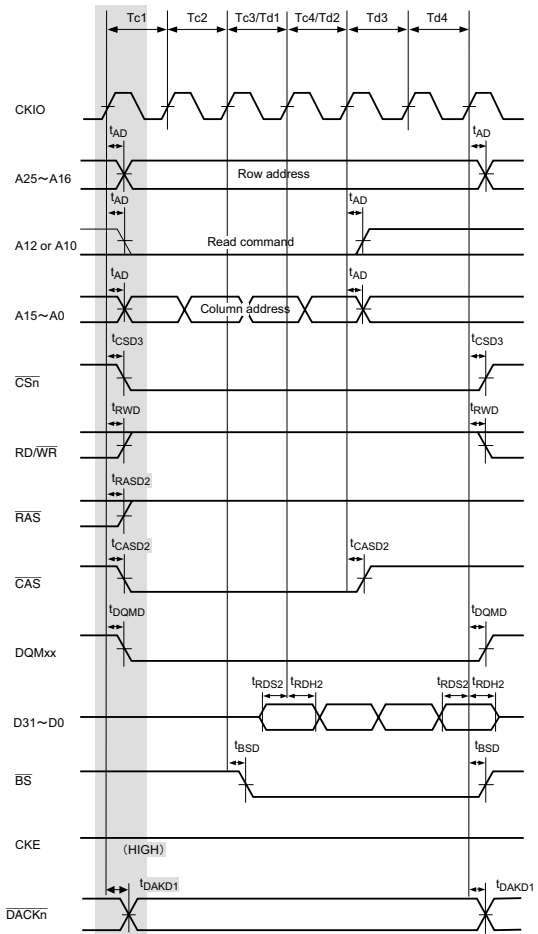
修正箇所	ページ	修正内容																									
10.2.1 CPGのブロック図 図 10.1 CPGのブロック図	10-3	<p>図を修正</p>																									
10.3 クロック動作モード 表 10.4 クロックモードとFRQCR値の可能な組み合わせ	10-9	<p>【注意事項】4.を修正 (修正前) ◎周波数 33MHz 以下 → (修正後) ◎周波数 33.34MHz 以下</p>																									
10.5.3 周波数変更時の注意事項	10-12	新規追加																									
10.8.2 周波数変更の手順	10-17	<p>(5)の説明修正 (5) カウンタはH'00~H'01の値で停止します。停止時の値はクロック比によって変わります。 次の3条件をすべて満たす場合は、DMAC転送中にFRQCRを変更しないでください。</p> <ul style="list-style-type: none"> ・ IFC2~IFC0 ビットを変更 ・ STC2~STC0 ビットは変更しない ・ 変更後のクロック比が $I\phi : B\phi = 1 : 1$ 以外 																									
11.1.1 特長	11-2	・リフレッシュ機能の説明削除																									
11.2.4 ウェイトコントロールレジスタ2 (WCR2)	11-21	<p>説明修正 ビット4、3: エリア2のウェイトコントロール (A2W1、A2W0) 物理空間のエリアに対する挿入ウェイトステート数を指定します。</p>																									
11.2.5 個別メモリコントロールレジスタ (MCR)	11-24	<p>説明修正 ビット7: SDRAMバンクアクティブ (RASD) SDRAMをバンクアクティブモードにするか、オートプリチャージモードにするかを指定します。エリア2、エリア3をともにSDRAM空間に設定する場合は、オートプリチャージモードに設定してください。 また、全エリアのバス幅が32ビットの場合以外は、バンクアクティブモードを使用しないでください。</p>																									
	11-25	<p>ビット表を修正 ビット6~3: アドレスマルチプレクス (AMX3~AMX0)</p> <table border="1"> <thead> <tr> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>AMX3</td> <td>AMX2</td> <td>AMX1</td> <td>AMX0</td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>ロウアドレスはA9から開始します (ロウアドレスの出力時、A9の値はA1で出力されます。1M×16ビット×4バンク画)。</td> </tr> <tr> <td></td> <td></td> <td></td> <td>1</td> <td>ロウアドレスはA10から開始します (ロウアドレスの出力時、A10の値はA1で出力されます。2M×8ビット×4バンク画、2M×16ビット×4バンク画)。</td> </tr> <tr> <td></td> <td></td> <td>1</td> <td>1</td> <td>ロウアドレスはA9から開始します (ロウアドレスの出力時、A9の値はA1で出力されます。512k×32ビット×4バンク画)。*</td> </tr> </tbody> </table>	ビット6	ビット5	ビット4	ビット3	機能	AMX3	AMX2	AMX1	AMX0		0	1	0	0	ロウアドレスはA9から開始します (ロウアドレスの出力時、A9の値はA1で出力されます。1M×16ビット×4バンク画)。				1	ロウアドレスはA10から開始します (ロウアドレスの出力時、A10の値はA1で出力されます。2M×8ビット×4バンク画、2M×16ビット×4バンク画)。			1	1	ロウアドレスはA9から開始します (ロウアドレスの出力時、A9の値はA1で出力されます。512k×32ビット×4バンク画)。*
ビット6	ビット5	ビット4	ビット3	機能																							
AMX3	AMX2	AMX1	AMX0																								
0	1	0	0	ロウアドレスはA9から開始します (ロウアドレスの出力時、A9の値はA1で出力されます。1M×16ビット×4バンク画)。																							
			1	ロウアドレスはA10から開始します (ロウアドレスの出力時、A10の値はA1で出力されます。2M×8ビット×4バンク画、2M×16ビット×4バンク画)。																							
		1	1	ロウアドレスはA9から開始します (ロウアドレスの出力時、A9の値はA1で出力されます。512k×32ビット×4バンク画)。*																							

修正箇所	ページ	修正内容																								
11.2.13 MCS0 コントロールレジスタ (MCSCR0)	11-35	<p>説明追加</p> <p>ビット 6 : CS2、CS0 セレクト (CS2/0)</p> <p>ただし、MCSCR0 の CS2/0 ビットは 0 (エリア 0 を選択) のみで使用してください。</p>																								
11.3.4 シンクロナス DRAM インタフェース 表 11.14 シンクロナス DRAM のアドレス端子対応例 (AMX [3:0]=0100、バス幅 32 ビット)	11-54	表タイトル修正、表を差し替え																								
	11-61	<p>(7) バンクアクティブの説明修正</p> <p>…。バンクアクティブモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後には、すべてのバンクが非アクティブな状態になります。</p> <p>ただし、全エリアのバス幅が 32 ビットの場合以外は、バンクアクティブモードを使用しないでください。</p>																								
	11-70、11-71	<p>(9) パワーオンシーケンスの説明修正</p> <p><32 ビットバス幅></p> <table border="1"> <thead> <tr> <th></th> <th>エリア 2</th> <th>エリア 3</th> </tr> </thead> <tbody> <tr> <td>CAS レイテンシ 1</td> <td>FFFFD840</td> <td>FFFFE840</td> </tr> <tr> <td>CAS レイテンシ 2</td> <td>FFFFD880</td> <td>FFFFE880</td> </tr> <tr> <td>CAS レイテンシ 3</td> <td>FFFFD8C0</td> <td>FFFFE8C0</td> </tr> </tbody> </table> <p><16 ビットバス幅></p> <table border="1"> <thead> <tr> <th></th> <th>エリア 2</th> <th>エリア 3</th> </tr> </thead> <tbody> <tr> <td>CAS レイテンシ 1</td> <td>FFFFD420</td> <td>FFFFE420</td> </tr> <tr> <td>CAS レイテンシ 2</td> <td>FFFFD440</td> <td>FFFFE440</td> </tr> <tr> <td>CAS レイテンシ 3</td> <td>FFFFD460</td> <td>FFFFE460</td> </tr> </tbody> </table> <p>⋮</p> <p><32 ビットバス幅></p> <p>A15~A9 =0000100 (バーストリード&シングルライト)</p> <p>A8~A6 =CAS レイテンシ</p> <p>A5 =0 (バーストタイプ=シーケンシャル)</p> <p>A4~A2 =000 (バースト長 1)</p> <p><16 ビットバス幅></p> <p>A14~A8 =0000100 (バーストリード&シングルライト)</p> <p>A7~A5 =CAS レイテンシ</p> <p>A4 =0 (バーストタイプ=シーケンシャル)</p> <p>A3~A1 =000 (バースト長 1)</p>		エリア 2	エリア 3	CAS レイテンシ 1	FFFFD840	FFFFE840	CAS レイテンシ 2	FFFFD880	FFFFE880	CAS レイテンシ 3	FFFFD8C0	FFFFE8C0		エリア 2	エリア 3	CAS レイテンシ 1	FFFFD420	FFFFE420	CAS レイテンシ 2	FFFFD440	FFFFE440	CAS レイテンシ 3	FFFFD460	FFFFE460
	エリア 2	エリア 3																								
CAS レイテンシ 1	FFFFD840	FFFFE840																								
CAS レイテンシ 2	FFFFD880	FFFFE880																								
CAS レイテンシ 3	FFFFD8C0	FFFFE8C0																								
	エリア 2	エリア 3																								
CAS レイテンシ 1	FFFFD420	FFFFE420																								
CAS レイテンシ 2	FFFFD440	FFFFE440																								
CAS レイテンシ 3	FFFFD460	FFFFE460																								
11.3.7 アクセスサイクル間ウェイト 図 11.40 アクセスサイクル間ウェイト	11-87	<p>図を修正</p>																								

修正箇所	ページ	修正内容
11.3.10 MCS[0]~MCS[7]端子の制御	11-89	<p>説明修正</p> <p>…。これにより、エリア 0 またはエリア 2 に、32M ビット、64M ビット、128M ビット、256M ビットの容量のメモリを接続できます。ただし、MCSCR0 だけは、エリア 0 のみに接続してください。表 11.15 に MCSCR0~MCSCR7 の設定値と MCS[0]~MCS[7] のアサート条件を示します。</p>
12.6 使用上の注意	12-55、 12-56	<p>説明修正</p> <p>(13) クロック比 $l\phi$ (内部ブロック) : $B\phi$ (バスクロック) = 1 : 1 以外の条件でスリープモードを使用する場合は、スリープ中に DMAC 転送を行わないでください。</p> <p>(14) 次の 3 条件をすべてを満たす場合は、DMAC 転送中に周波数変更レジスタ (FRQCR) を変更しないでください。</p> <ul style="list-style-type: none"> ・周波数変更制御レジスタ (FRQCR) の IFC2~IFC0 ビットを変更 ・STC2~STC0 ビットは変更しない ・変更後のクロック比が $l\phi$ (内部クロック) : $B\phi$ (バスクロック) = 1 : 1 以外 <p>(15) DMAC で XY メモリからデータを転送する場合、以下の条件をすべて満たす場合、リトルエンディアンモードであってもビッグエンディアンでアクセスします。</p> <ul style="list-style-type: none"> ・転送アドレスが XY メモリ ・間接アドレスモード ・バイトサイズデータ ・リトルエンディアン
14.4.3 RTC をモジュールスタンバイ状態にする際の注意事項	14-18	新規追加
15.2.9 ビットレートレジスタ (SCBRR) 表 15.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード)	15-24	P ϕ (MHz) の 9.8304、10、12、12.288 を追加

修正箇所	ページ	修正内容												
<p>17.4 SCIF の割り込み</p> <p>表 17.10 SCIF 割り込み要因</p>	17-38	<p>説明修正</p> <p>シリアルステータスレジスタ (SCSSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、DMAC を起動してデータ転送を行うことができます。TDFE フラグは DMAC によりトランスミットデータレジスタ (SCFTDR) に送信トリガ数を超えるデータを書き込み、TDFE=1 を読み出し後、0 を書き込んだとき、クリアされます。</p> <p>SCSSR の RDF フラグが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC を起動して、データ転送を行うことができます。RDF フラグは DMAC によりレシーブデータレジスタ (SCFRDR) の受信データを受信トリガ数より少なくなるまで読み出し、RDF=1 を読み出し後、0 を書き込んだとき、クリアされます。</p> <p>また、SCSSR の ER フラグが 1 にセットされると、ERI 割り込み要求が発生します。</p> <p>SCSSR の BRK フラグが 1 にセットされると、BRI 割り込み要求が発生します。</p> <p>TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは SCFRDR に受信データがあることを示しています。</p> <p>表を修正 (修正前) リセット解放優先順位 → (修正後) 優先順位</p>												
17.5 使用上の注意	17-39	<p>説明修正</p> <p>(1) SCFTDR への書き込みと TDFE フラグの関係について： …。ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグを 0 にクリアしても再び 1 にセットされます。したがって、指定送信トリガ数を上回るデータを SCFTDR に書き込んでから、TDFE のクリアを実行してください。</p> <p>(2) SCFRDR の読み出しと RDF フラグ： …。ただし、SCFRDR のデータバイト数がトリガ数を上回る場合、RDF フラグを 0 にクリアしても再び 1 にセットされます。したがって、RDF はすべての受信データの読み出し完了後、1 を読み出してから 0 にクリアしてください。</p> <p>SCFRDR の受信データバイト数は、FIFO データカウンタレジスタ (SCFDR) の下位 8 ビットから知ることができます。</p>												
19.2 レジスタ構成 表 19.2 レジスタ構成	19-5	<p>ポート G コントロールレジスタの初期値を修正 (修正前) H'AAAA/H'8200 → (修正後) H'AAAA/H'A200</p>												
21.2.2 A/D コントロール/ステータスレジスタ (ADCSR)	21-6	<p>ビット表を修正</p> <p>・ビット 4：マルチモード (MULTI)</p> <table border="1" data-bbox="669 1615 1196 1692"> <thead> <tr> <th data-bbox="669 1615 779 1634">ビット 4</th> <th data-bbox="779 1615 893 1634">ADCR のビット 5</th> <th data-bbox="893 1615 1196 1634">説明</th> </tr> </thead> <tbody> <tr> <td data-bbox="669 1634 779 1653">MULTI</td> <td data-bbox="779 1634 893 1653">SCN</td> <td data-bbox="893 1634 1196 1653"></td> </tr> <tr> <td data-bbox="669 1653 779 1673">0</td> <td data-bbox="779 1653 893 1673">0</td> <td data-bbox="893 1653 1196 1673">シングルモード (初期値)</td> </tr> <tr> <td data-bbox="669 1673 779 1692"></td> <td data-bbox="779 1673 893 1692">1</td> <td data-bbox="893 1673 1196 1692"></td> </tr> </tbody> </table>	ビット 4	ADCR のビット 5	説明	MULTI	SCN		0	0	シングルモード (初期値)		1	
ビット 4	ADCR のビット 5	説明												
MULTI	SCN													
0	0	シングルモード (初期値)												
	1													

修正箇所	ページ	修正内容																			
<p>21.3 バスマスタとのインタフェース</p> <p>図 21.2 ADDR のアクセス動作 (H'AA40) 読み出し時)</p>	<p>21-8</p>	<p>図を修正</p> <p><上位バイトの読み出し></p>  <p><下位バイトの読み出し></p> 																			
<p>24.1 絶対最大定格</p> <p>表 24.1 絶対最大定格</p>	<p>24-1</p>	<p>【使用上の注意】の修正</p> <p>(2) すべての電源に電圧が印加され、RESETP 端子に Low レベルが入力されて、CKI0 が最大 4 クロック動作するまでの間、内部回路は不確定なので、各端子の状態も不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。なお、CA 端子がローレベルのときには、RESETP 端子のローレベルを受け付けません。</p> <p>以下に電源投入時の波形を示します。</p>																			
<p>24.2 DC 特性</p> <p>表 24.2 DC 特性</p>	<p>24-3~ 24-5</p>	<p>スリープモード時の測定条件を修正</p> <table border="1" data-bbox="669 1141 1195 1248"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="2">消費電流</td> <td>スリープモード時*</td> <td>I_{sc}</td> <td>—</td> <td>15</td> <td rowspan="2">mA</td> <td rowspan="2">*1: リフレッシュサイクル以外の外部バスサイクルがないとき $V_{cc} = 1.9V$ $V_{cc-Q} = 3.3V$ $f_{clk} = 33MHz$</td> </tr> <tr> <td></td> <td>I_{sc-Q}</td> <td>—</td> <td>10</td> <td>20</td> </tr> </tbody> </table> <p>*6 を追加</p> <p>【注】 6. IRL、IRLS 割り込みを使う場合は、min.1.9V としてください。</p>	項目	記号	min	typ	max	単位	測定条件	消費電流	スリープモード時*	I_{sc}	—	15	mA	*1: リフレッシュサイクル以外の外部バスサイクルがないとき $V_{cc} = 1.9V$ $V_{cc-Q} = 3.3V$ $f_{clk} = 33MHz$		I_{sc-Q}	—	10	20
項目	記号	min	typ	max	単位	測定条件															
消費電流	スリープモード時*	I_{sc}	—	15	mA	*1: リフレッシュサイクル以外の外部バスサイクルがないとき $V_{cc} = 1.9V$ $V_{cc-Q} = 3.3V$ $f_{clk} = 33MHz$															
		I_{sc-Q}	—	10			20														

修正箇所	ページ	修正内容																									
<p>24.3.6 シンクロナス DRAM タイミング</p> <p>図 24.31 シンクロナス DRAM バーストリードバスサイクル (RAS ダウン、同じロウアドレス、CAS レイテンシ=2)</p>	24-31	<p>図から Tnop サイクルを削除</p> 																									
<p>24.3.8 周辺モジュール信号タイミング</p> <p>図 24.52 I/O ポートタイミング</p>	24-48	<p>(修正前) ポート 7~0 (リード時) (B:P クロック比=1:2) →</p> <p>(修正後) ポート 7~0 (リード時) (B:P クロック比=2:1)</p> <p>(修正前) ポート 7~0 (リード時) (B:P クロック比=1:4) →</p> <p>(修正後) ポート 7~0 (リード時) (B:P クロック比=4:1)</p>																									
<p>A.2 端子の仕様</p> <p>表 A.2 端子の仕様</p>	付録-8	<p>V_{CC-RTC}、$V_{CC-PLL1}$、$V_{CC-PLL2}$、V_{CC} の機能の修正</p> <table border="1" data-bbox="672 1468 1193 1642"> <thead> <tr> <th>端子</th> <th>端子番号 (FP-208C、FP-208E)</th> <th>端子番号 (BP-245A)</th> <th>I/O</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>V_{CC-RTC}</td> <td>3</td> <td>E2</td> <td>Power supply</td> <td>RTC 実装子電源 (2.0/1.9/1.8/1.7V)</td> </tr> <tr> <td>$V_{CC-PLL1}$</td> <td>145</td> <td>F16</td> <td>Power supply</td> <td>PLL 電源 (2.0/1.9/1.8/1.7V)</td> </tr> <tr> <td>$V_{CC-PLL2}$</td> <td>150</td> <td>E17</td> <td>Power supply</td> <td>PLL 電源 (2.0/1.9/1.8/1.7V)</td> </tr> <tr> <td>V_{CC}</td> <td>29, 81, 134, 154, 175</td> <td>L3, L4, U11, T11, J17, J16, E18, C19, C12, D12</td> <td>Power supply</td> <td>内部電源 (2.0/1.9/1.8/1.7V)</td> </tr> </tbody> </table>	端子	端子番号 (FP-208C、FP-208E)	端子番号 (BP-245A)	I/O	機能	V_{CC-RTC}	3	E2	Power supply	RTC 実装子電源 (2.0/1.9/1.8/1.7V)	$V_{CC-PLL1}$	145	F16	Power supply	PLL 電源 (2.0/1.9/1.8/1.7V)	$V_{CC-PLL2}$	150	E17	Power supply	PLL 電源 (2.0/1.9/1.8/1.7V)	V_{CC}	29, 81, 134, 154, 175	L3, L4, U11, T11, J17, J16, E18, C19, C12, D12	Power supply	内部電源 (2.0/1.9/1.8/1.7V)
端子	端子番号 (FP-208C、FP-208E)	端子番号 (BP-245A)	I/O	機能																							
V_{CC-RTC}	3	E2	Power supply	RTC 実装子電源 (2.0/1.9/1.8/1.7V)																							
$V_{CC-PLL1}$	145	F16	Power supply	PLL 電源 (2.0/1.9/1.8/1.7V)																							
$V_{CC-PLL2}$	150	E17	Power supply	PLL 電源 (2.0/1.9/1.8/1.7V)																							
V_{CC}	29, 81, 134, 154, 175	L3, L4, U11, T11, J17, J16, E18, C19, C12, D12	Power supply	内部電源 (2.0/1.9/1.8/1.7V)																							

修正箇所	ページ	修正内容																																															
A.3 未使用端子の処理	付録-9	<ul style="list-style-type: none"> ・RTC を使用しない場合、 ・PLL2 を使用しない場合を修正 (修正前) … (1.9/1.8V) → (修正後) … (2.0/1.9/1.8/1.7V) ・PLL1 を使用しない場合を削除 ・ハードウェアスタンバイを使用しない場合を追加 ・ハードウェアスタンバイを使用しない場合 CA : ブルアップ (3.3V) 																																															
A.4 各アドレス空間へのアクセスにおける端子状態 表 A.3 端子状態 (通常メモリ/リトルエンディアン) 表 A.4 端子状態 (通常メモリ/ビッグエンディアン) 表 A.5 端子状態 (パーストROM/リトルエンディアン) 表 A.6 端子状態 (パーストROM/ビッグエンディアン) 表 A.7 端子状態 (シンクロナスDRAM/リトルエンディアン) 表 A.8 端子状態 (シンクロナスDRAM/ビッグエンディアン)	付録-11 ～ 付録-17	<p>【注】*2 を修正</p> <p>【注】*2 未使用端子はポート機能、ブルアップに切り替えられます。</p>																																															
表 A.9 端子状態 (PCMCIA/リトルエンディアン) 表 A.10 端子状態 (PCMCIA/ビッグエンディアン)	付録-18、 付録-19	<p>端子 RAS3U/PTE[2]、RAS3L/PTJ[0]、CASL/PTJ[2]、CASU/PTJ[3]を修正、【注】*1 を削除</p> <table border="1" style="width: 100%; text-align: center;"> <thead> <tr> <th rowspan="2">端子</th> <th colspan="7">32ビットバス幅</th> </tr> <tr> <th>バイトアクセス(アドレス 4n)</th> <th>バイトアクセス(アドレス 4n + 1)</th> <th>バイトアクセス(アドレス 4n + 2)</th> <th>バイトアクセス(アドレス 4n + 3)</th> <th>ワードアクセス(アドレス 4n)</th> <th>ワードアクセス(アドレス 4n + 2)</th> <th>ロングワードアクセス</th> </tr> </thead> <tbody> <tr> <td>RASU/PTE[2]</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> </tr> <tr> <td>RASL/PTJ[0]</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> </tr> <tr> <td>CASU/PTJ[2]</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> </tr> <tr> <td>CASL/PTJ[3]</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> <td>有効</td> </tr> </tbody> </table>	端子	32ビットバス幅							バイトアクセス(アドレス 4n)	バイトアクセス(アドレス 4n + 1)	バイトアクセス(アドレス 4n + 2)	バイトアクセス(アドレス 4n + 3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n + 2)	ロングワードアクセス	RASU/PTE[2]	有効	有効	有効	有効	有効	有効	有効	RASL/PTJ[0]	有効	有効	有効	有効	有効	有効	有効	CASU/PTJ[2]	有効	有効	有効	有効	有効	有効	有効	CASL/PTJ[3]	有効	有効	有効	有効	有効	有効	有効
端子	32ビットバス幅																																																
	バイトアクセス(アドレス 4n)	バイトアクセス(アドレス 4n + 1)	バイトアクセス(アドレス 4n + 2)	バイトアクセス(アドレス 4n + 3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n + 2)	ロングワードアクセス																																										
RASU/PTE[2]	有効	有効	有効	有効	有効	有効	有効																																										
RASL/PTJ[0]	有効	有効	有効	有効	有効	有効	有効																																										
CASU/PTJ[2]	有効	有効	有効	有効	有効	有効	有効																																										
CASL/PTJ[3]	有効	有効	有効	有効	有効	有効	有効																																										
	付録-20 ～ 付録-23	<p>【注】*2 を修正</p> <p>【注】*2 未使用端子はポート機能、ブルアップに切り替えられます。</p>																																															

目次

1. 概要	1-1
1.1 特長	1-1
1.2 ブロック図	1-7
1.3 端子の説明	1-8
1.3.1 ピン配置	1-8
1.3.2 端子の機能	1-10
2. CPU	2-1
2.1 レジスタ構成	2-1
2.1.1 汎用レジスタ	2-4
2.1.2 コントロールレジスタ	2-6
2.1.3 システムレジスタ	2-10
2.1.4 DSP レジスタ	2-10
2.2 データ形式	2-14
2.2.1 レジスタのデータ形式 (非 DSP タイプ)	2-14
2.2.2 DSP タイプデータ形式	2-15
2.2.3 メモリのデータ形式	2-16
2.3 CPUコア命令の特長	2-16
2.4 命令形式	2-19
2.4.1 CPU 命令のアドレッシングモード	2-19
2.4.2 DSP データアドレッシング	2-22
2.4.3 CPU 命令の命令形式	2-26
2.4.4 DSP 命令の命令形式	2-29
2.5 命令セット	2-33
2.5.1 CPU 命令の命令セット	2-33
2.6 DSP拡張機能用の命令	2-43
2.6.1 はじめに	2-43
2.6.2 CPU 用追加システム制御命令	2-43
2.6.3 DSP データ命令用シングル、ダブルデータ転送	2-45
2.6.4 DSP 演算命令の命令セット	2-47
3. メモリマネジメントユニット (MMU)	3-1
3.1 概要	3-1
3.1.1 特長	3-1

3.1.2	MMU の役割	3-1
3.1.3	本 LSI の MMU	3-3
3.1.4	レジスタ構成	3-5
3.2	レジスタの説明	3-6
3.3	TLB の機能	3-8
3.3.1	TLB の構成	3-8
3.3.2	TLB のインデックス番号作成方法	3-10
3.3.3	TLB のアドレス比較	3-11
3.3.4	ページ管理情報	3-13
3.4	MMU の機能	3-14
3.4.1	MMU のハードウェア管理	3-14
3.4.2	MMU のソフトウェア管理	3-14
3.4.3	MMU の命令 (LDTLB)	3-15
3.4.4	シノニム問題の回避	3-16
3.5	MMU 例外	3-18
3.5.1	TLB ミス例外	3-18
3.5.2	TLB 保護違反例外	3-19
3.5.3	TLB 無効例外	3-20
3.5.4	初期ページ書き込み例外	3-21
3.5.5	MMU 例外発生時の処理フロー (アドレスエラー発生時の処理フローも同一)	3-24
3.5.6	リピートループにおける MMU 例外	3-25
3.6	メモリ割り付け TLB の構成	3-27
3.6.1	アドレスアレイ	3-27
3.6.2	データアレイ	3-27
3.6.3	使用例	3-28
3.7	注意事項	3-29
4.	例外処理	4-1
4.1	概要	4-1
4.1.1	特長	4-1
4.1.2	レジスタ構成	4-1
4.2	例外処理の機能	4-2
4.2.1	例外処理の流れ	4-2
4.2.2	例外処理ベクタアドレス	4-2
4.2.3	例外要因の受け付け	4-4
4.2.4	例外コード	4-6
4.2.5	例外要求と BL ビット	4-7
4.2.6	例外処理からの復帰	4-7
4.3	レジスタの説明	4-8
4.4	例外処理の動作	4-9

4.4.1	リセット	4-9
4.4.2	割り込み	4-9
4.4.3	一般例外	4-10
4.5	個別例外動作	4-10
4.5.1	リセット	4-10
4.5.2	一般例外	4-11
4.5.3	割り込み	4-16
4.6	注意事項	4-17
5.	キャッシュ	5-1
5.1	概要	5-1
5.1.1	特長	5-1
5.1.2	キャッシュの構成	5-1
5.1.3	レジスタ構成	5-3
5.2	レジスタの説明	5-3
5.2.1	キャッシュ制御レジスタ (CCR)	5-3
5.2.2	キャッシュ制御レジスタ 2 (CCR2)	5-4
5.3	キャッシュの動作	5-5
5.3.1	キャッシュの検索	5-5
5.3.2	リード動作	5-6
5.3.3	ライト動作	5-7
5.3.4	ライトバックバッファ	5-7
5.3.5	キャッシュと外部メモリとのコヒーレンシ	5-7
5.4	メモリ割り付けキャッシュの構成	5-8
5.4.1	アドレスアレイ	5-8
5.4.2	データアレイ	5-9
5.4.3	使用例	5-10
6.	X/Yメモリ	6-1
6.1	概要	6-1
6.1.1	特長	6-1
6.2	CPUからのX/Yメモリアクセス	6-1
6.3	DSPからのX/Yメモリアクセス	6-4
6.4	DMACからのX/Yメモリアクセス	6-4
7.	割り込みコントローラ (INTC)	7-1
7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-2
7.1.3	端子構成	7-3

7.1.4	レジスタ構成	7-3
7.2	割り込み要因	7-4
7.2.1	NMI 割り込み	7-4
7.2.2	IRQ 割り込み	7-4
7.2.3	IRL 割り込み	7-5
7.2.4	PINT 割り込み	7-6
7.2.5	内蔵周辺モジュール割り込み	7-7
7.2.6	割り込み例外処理および優先順位	7-7
7.3	INTCレジスタ	7-11
7.3.1	割り込み優先レベル設定レジスタ A~E (IPRA~IPRE)	7-11
7.3.2	割り込みコントロールレジスタ 0 (ICR0)	7-12
7.3.3	割り込みコントロールレジスタ 1 (ICR1)	7-13
7.3.4	割り込みコントロールレジスタ 2 (ICR2)	7-16
7.3.5	PINT 割り込みイネーブルレジスタ (PINTER)	7-17
7.3.6	割り込み要求レジスタ 0 (IRR0)	7-17
7.3.7	割り込み要求レジスタ 1 (IRR1)	7-20
7.3.8	割り込み要求レジスタ 2 (IRR2)	7-22
7.4	動作説明	7-24
7.4.1	割り込み動作の流れ	7-24
7.4.2	多重割り込み	7-26
7.5	割り込み応答時間	7-26
8.	ユーザブ레이크コントローラ (UBC)	8-1
8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	レジスタ構成	8-3
8.2	レジスタの説明	8-3
8.2.1	ブ레이크アドレスレジスタ A (BARA)	8-3
8.2.2	ブ레이크アドレスマスクレジスタ A (BAMRA)	8-4
8.2.3	ブ레이크バスサイクルレジスタ A (BBRA)	8-4
8.2.4	ブ레이크アドレスレジスタ B (BARB)	8-6
8.2.5	ブ레이크アドレスマスクレジスタ B (BAMRB)	8-7
8.2.6	ブ레이크データレジスタ B (BDRB)	8-7
8.2.7	ブ레이크データマスクレジスタ B (BDMRB)	8-8
8.2.8	ブ레이크バスサイクルレジスタ B (BBRB)	8-9
8.2.9	ブ레이크コントロールレジスタ (BRCR)	8-11
8.2.10	実行回数ブ레이크レジスタ (BETR)	8-15
8.2.11	ブランチソースレジスタ (BRSR)	8-15
8.2.12	ブランチデスティネーションレジスタ (BRDR)	8-16

8.2.13	ブレーク ASID レジスタ A (BASRA)	8-17
8.2.14	ブレーク ASID レジスタ B (BASRB)	8-17
8.3	動作説明	8-18
8.3.1	ユーザブレーク動作の流れ	8-18
8.3.2	命令フェッチサイクルでのブレーク	8-19
8.3.3	データアクセスサイクルでのブレーク	8-19
8.3.4	XメモリまたはYメモリバスサイクルでのブレーク	8-20
8.3.5	シーケンシャルブレーク	8-20
8.3.6	退避したプログラムカウンタの値	8-21
8.3.7	PC トレース	8-21
8.3.8	使用例	8-23
8.3.9	注意事項	8-27
9.	低消費電力モード	9-1
9.1	概要	9-1
9.1.1	低消費電力モードの種類	9-1
9.1.2	端子構成	9-2
9.1.3	レジスタ構成	9-2
9.2	レジスタの説明	9-3
9.2.1	スタンバイコントロールレジスタ (STBCR)	9-3
9.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	9-4
9.3	スリープモード	9-7
9.3.1	スリープモードへの遷移	9-7
9.3.2	スリープモードの解除	9-7
9.4	スタンバイモード	9-7
9.4.1	スタンバイモードへの遷移	9-7
9.4.2	スタンバイモードの解除	9-8
9.4.3	クロックポーズ機能	9-9
9.5	モジュールスタンバイ機能	9-10
9.5.1	モジュールスタンバイ機能への遷移	9-10
9.5.2	モジュールスタンバイ機能の解除	9-11
9.6	STATUS端子の変化タイミング	9-11
9.6.1	リセットの場合	9-11
9.6.2	スタンバイ解除の場合	9-12
9.6.3	スリープ解除の場合	9-14
9.7	ハードウェアスタンバイモード	9-15
9.7.1	ハードウェアスタンバイモードへの遷移	9-15
9.7.2	ハードウェアスタンバイモードの解除	9-16
9.7.3	ハードウェアスタンバイモードのタイミング	9-16

10. 内蔵発振回路 (CPG)	10-1
10.1 概要	10-1
10.1.1 特長	10-1
10.2 CPGの概要	10-3
10.2.1 CPG のブロック図	10-3
10.2.2 CPG の端子構成	10-5
10.2.3 CPG のレジスタ構成	10-5
10.3 クロック動作モード	10-5
10.4 レジスタの説明	10-9
10.4.1 周波数制御レジスタ (FRQCR)	10-9
10.5 周波数の変更方法	10-11
10.5.1 通倍率の変更	10-11
10.5.2 分周率の変更	10-11
10.5.3 周波数変更時の注意事項	10-12
10.6 WDTの概要	10-12
10.6.1 WDT のブロック図	10-12
10.6.2 レジスタ構成	10-13
10.7 WDTのレジスタの説明	10-13
10.7.1 ウォッチドッグタイマカウンタ (WTCNT)	10-13
10.7.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	10-13
10.7.3 レジスタアクセス時の注意	10-16
10.8 WDTの使用方法	10-16
10.8.1 スタンバイ解除の手順	10-16
10.8.2 周波数変更の手順	10-17
10.8.3 ウォッチドッグタイマモードの使用法	10-18
10.8.4 インターバルタイマモードの使用法	10-18
10.9 ボード設計上の注意事項	10-18
11. バスステートコントローラ (BSC)	11-1
11.1 概要	11-1
11.1.1 特長	11-1
11.1.2 ブロック図	11-3
11.1.3 端子構成	11-4
11.1.4 レジスタ構成	11-5
11.1.5 エリアの概要	11-6
11.1.6 PCMCIA サポート	11-10
11.2 レジスタの説明	11-13
11.2.1 バスコントロールレジスタ 1 (BCR1)	11-13
11.2.2 バスコントロールレジスタ 2 (BCR2)	11-17
11.2.3 ウェイトコントロールレジスタ 1 (WCR1)	11-18

11.2.4	ウェイトコントロールレジスタ 2 (WCR2)	11-19
11.2.5	個別メモリコントロールレジスタ (MCR)	11-22
11.2.6	PCMCIA コントロールレジスタ (PCR)	11-27
11.2.7	シンクロナス DRAM モードレジスタ (SDMR)	11-30
11.2.8	リフレッシュタイマコントロール/ステータスレジスタ (RTCSR)	11-30
11.2.9	リフレッシュタイマカウンタ (RTCNT)	11-33
11.2.10	リフレッシュタイムコンスタントレジスタ (RTCOR)	11-33
11.2.11	リフレッシュカウンタレジスタ (RFCR)	11-34
11.2.12	リフレッシュコントロール関連レジスタアクセス時の注意	11-34
11.2.13	MCS0 コントロールレジスタ (MCSCR0)	11-35
11.2.14	MCS1 コントロールレジスタ (MCSCR1)	11-36
11.2.15	MCS2 コントロールレジスタ (MCSCR2)	11-36
11.2.16	MCS3 コントロールレジスタ (MCSCR3)	11-36
11.2.17	MCS4 コントロールレジスタ (MCSCR4)	11-36
11.2.18	MCS5 コントロールレジスタ (MCSCR5)	11-36
11.2.19	MCS6 コントロールレジスタ (MCSCR6)	11-36
11.2.20	MCS7 コントロールレジスタ (MCSCR7)	11-36
11.3	動作説明	11-37
11.3.1	エンディアン/アクセスサイズとデータアライメント	11-37
11.3.2	エリアの説明	11-41
11.3.3	基本インタフェース	11-44
11.3.4	シンクロナス DRAM インタフェース	11-50
11.3.5	バースト ROM インタフェース	11-73
11.3.6	PCMCIA インタフェース	11-76
11.3.7	アクセスサイクル間ウェイト	11-87
11.3.8	バスアービトレーション	11-88
11.3.9	バスのプルアップ	11-89
11.3.10	$\overline{\text{MCS}}[0]\sim\overline{\text{MCS}}[7]$ 端子の制御	11-90
12.	ダイレクトメモリアクセスコントローラ (DMAC)	12-1
12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	DMAC ブロック図	12-3
12.1.3	端子構成	12-4
12.1.4	レジスタ構成	12-4
12.2	各レジスタの説明	12-6
12.2.1	DMA ソースアドレスレジスタ 0~3 (SAR0~3)	12-6
12.2.2	DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)	12-6
12.2.3	DMA トランスファカウンタレジスタ 0~3 (DMATCR0~3)	12-7
12.2.4	DMA チャネルコントロールレジスタ 0~3 (CHCR0~3)	12-7

12.2.5	DMA オペレーションレジスタ (DMAOR)	12-14
12.3	動作説明	12-16
12.3.1	動作説明	12-16
12.3.2	DMA 転送要求	12-18
12.3.3	チャンネルの優先順位	12-20
12.3.4	DMA 転送の種類	12-23
12.3.5	バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング	12-34
12.3.6	ソースアドレスリロード機能	12-43
12.3.7	DMA 転送終了	12-44
12.4	コンペアマッチタイマ (CMT)	12-46
12.4.1	概要	12-46
12.4.2	レジスタ説明	12-47
12.4.3	動作説明	12-50
12.4.4	コンペアマッチ	12-50
12.5	使用例	12-52
12.5.1	内蔵 IrDA と外部メモリとの DMA 転送例	12-52
12.5.2	A/D 変換器と外部メモリとの DMA 転送例	12-52
12.5.3	外部メモリと SCIF 送信側との DMA 転送例 (インダイレクトアドレスオン)	12-54
12.6	使用上の注意	12-55
13.	タイマ (TMU)	13-1
13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-3
13.2	レジスタの説明	13-4
13.2.1	タイマアウトプットコントロールレジスタ (TOCR)	13-4
13.2.2	タイマスタートレジスタ (TSTR)	13-4
13.2.3	タイマコントロールレジスタ (TCR)	13-5
13.2.4	タイマコンスタントレジスタ (TCOR)	13-8
13.2.5	タイマカウンタ (TCNT)	13-9
13.2.6	インプットキャプチャレジスタ (TCPR2)	13-10
13.3	動作説明	13-10
13.3.1	カウンタの動作	13-10
13.3.2	インプットキャプチャ機能	13-13
13.4	割り込み	13-14
13.4.1	ステータスフラグのセットタイミング	13-14
13.4.2	ステータスフラグのクリアタイミング	13-14
13.4.3	割り込み要因と優先順位	13-15

13.5	使用上の注意.....	13-15
13.5.1	レジスタの書き込みについて.....	13-15
13.5.2	レジスタの読み出しについて.....	13-15
14.	リアルタイムクロック (RTC)	14-1
14.1	概要.....	14-1
14.1.1	特長	14-1
14.1.2	ブロック図.....	14-2
14.1.3	端子構成.....	14-3
14.1.4	レジスタ構成.....	14-3
14.2	レジスタの説明.....	14-4
14.2.1	64Hz カウンタ (R64CNT)	14-4
14.2.2	秒カウンタ (RSECCNT)	14-4
14.2.3	分カウンタ (RMINCNT)	14-5
14.2.4	時カウンタ (RHRCNT)	14-5
14.2.5	曜日カウンタ (RWKCNT)	14-5
14.2.6	日カウンタ (RDAYCNT)	14-6
14.2.7	月カウンタ (RMONCNT)	14-6
14.2.8	年カウンタ (RYRCNT)	14-7
14.2.9	秒アラームレジスタ (RSECAR)	14-7
14.2.10	分アラームレジスタ (RMINAR)	14-7
14.2.11	時アラームレジスタ (RHRAR)	14-8
14.2.12	曜日アラームレジスタ (RWKAR)	14-8
14.2.13	日アラームレジスタ (RDAYAR)	14-9
14.2.14	月アラームレジスタ (RMONAR)	14-9
14.2.15	RTC コントロールレジスタ 1 (RCR1)	14-10
14.2.16	RTC コントロールレジスタ 2 (RCR2)	14-12
14.3	RTCの動作.....	14-14
14.3.1	電源投入後のレジスタの初期設定.....	14-14
14.3.2	時刻設定手順.....	14-14
14.3.3	時刻読み出し手順.....	14-15
14.3.4	アラーム機能.....	14-16
14.3.5	水晶発振回路.....	14-17
14.4	使用上の注意.....	14-18
14.4.1	RTC カウント動作時のレジスタ書き込みについて.....	14-18
14.4.2	リアルタイムクロック (RTC) の周期割り込みの使用について.....	14-18
14.4.3	RTC をモジュールスタンバイ状態にする際の注意事項.....	14-18
15.	シリアルコミュニケーションインタフェース (SCI)	15-1
15.1	概要.....	15-1

15.1.1	特長	15-1
15.1.2	ブロック図	15-3
15.1.3	端子構成	15-6
15.1.4	レジスタ構成	15-6
15.2	レジスタの説明	15-7
15.2.1	レシーブシフトレジスタ (SCRSR)	15-7
15.2.2	レシーブデータレジスタ (SCRDR)	15-7
15.2.3	トランスミットシフトレジスタ (SCTSR)	15-8
15.2.4	トランスミットデータレジスタ (SCTDR)	15-8
15.2.5	シリアルモードレジスタ (SCSMR)	15-9
15.2.6	シリアルコントロールレジスタ (SCSCR)	15-12
15.2.7	シリアルステータスレジスタ (SCSSR)	15-15
15.2.8	SC ポートコントロールレジスタ (SCPCR) / SC ポートデータレジスタ (SCPDR)	15-19
15.2.9	ビットレートレジスタ (SCBRR)	15-21
15.3	動作説明	15-27
15.3.1	概要	15-27
15.3.2	調歩同期式モード時の動作	15-29
15.3.3	マルチプロセッサ通信機能	15-39
15.3.4	クロック同期式モード時の動作	15-47
15.4	SCI割り込み	15-56
15.5	使用上の注意	15-56
16.	スマートカードインタフェース	16-1
16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-2
16.1.3	端子構成	16-3
16.1.4	レジスタ構成	16-3
16.2	各レジスタの説明	16-3
16.2.1	スマートカードモードレジスタ (SCSCMR)	16-3
16.2.2	シリアルステータスレジスタ (SCSSR)	16-5
16.3	動作説明	16-6
16.3.1	概要	16-6
16.3.2	端子接続	16-7
16.3.3	データフォーマット	16-7
16.3.4	レジスタ設定	16-9
16.3.5	クロック	16-10
16.3.6	データの送信/受信動作	16-13
16.4	使用上の注意	16-19

17. FIFO 付きシリアルコミュニケーション インタフェース (SCIF)	17-1
17.1 概要.....	17-1
17.1.1 特長	17-1
17.1.2 ブロック図.....	17-3
17.1.3 端子構成.....	17-6
17.1.4 レジスタ構成.....	17-6
17.2 レジスタの説明.....	17-7
17.2.1 レシーブシフトレジスタ (SCRSR)	17-7
17.2.2 レシーブ FIFO データレジスタ (SCFRDR)	17-7
17.2.3 トランスミットシフトレジスタ (SCTSR)	17-7
17.2.4 トランスミット FIFO データレジスタ (SCFTDR)	17-8
17.2.5 シリアルモードレジスタ (SCSMR)	17-8
17.2.6 シリアルコントロールレジスタ (SCSCR)	17-10
17.2.7 シリアルステータスレジスタ (SCSSR)	17-12
17.2.8 ビットレートレジスタ (SCBRR)	17-18
17.2.9 FIFO コントロールレジスタ (SCFCR)	17-25
17.2.10 FIFO データ数レジスタ (SCFDR)	17-27
17.3 動作説明.....	17-27
17.3.1 概要	17-27
17.3.2 シリアル動作.....	17-28
17.4 SCIFの割り込み.....	17-38
17.5 使用上の注意.....	17-39
18. IrDA.....	18-1
18.1 概要.....	18-1
18.1.1 特長	18-1
18.1.2 ブロック図.....	18-2
18.1.3 端子構成.....	18-5
18.1.4 レジスタ構成.....	18-5
18.2 レジスタの説明.....	18-6
18.2.1 シリアルモードレジスタ (SCSMR)	18-6
18.3 動作の説明.....	18-8
18.3.1 概要	18-8
18.3.2 送信	18-8
18.3.3 受信	18-9
19. ピンファンクション コントローラ (PFC)	19-1
19.1 概要.....	19-1
19.2 レジスタ構成.....	19-5
19.3 レジスタの説明.....	19-6

19.3.1	ポート A コントロールレジスタ (PACR)	19-6
19.3.2	ポート B コントロールレジスタ (PBCR)	19-7
19.3.3	ポート C コントロールレジスタ (PCCR)	19-8
19.3.4	ポート D コントロールレジスタ (PDCR)	19-9
19.3.5	ポート E コントロールレジスタ (PECR)	19-10
19.3.6	ポート F コントロールレジスタ (PFCR)	19-11
19.3.7	ポート G コントロールレジスタ (PGCR)	19-13
19.3.8	ポート H コントロールレジスタ (PHCR)	19-14
19.3.9	ポート J コントロールレジスタ (PJCR)	19-16
19.3.10	ポート K コントロールレジスタ (PKCR)	19-17
19.3.11	ポート L コントロールレジスタ (PLCR)	19-18
19.3.12	SC ポートコントロールレジスタ (SCPCR)	19-19
20.	I/O ポート	20-1
20.1	概要	20-1
20.2	ポート A	20-1
20.2.1	レジスタの説明	20-1
20.2.2	ポート A データレジスタ (PADR)	20-2
20.3	ポート B	20-2
20.3.1	レジスタの説明	20-3
20.3.2	ポート B データレジスタ (PBDR)	20-3
20.4	ポート C	20-4
20.4.1	レジスタの説明	20-4
20.4.2	ポート C データレジスタ (PCDR)	20-4
20.5	ポート D	20-5
20.5.1	レジスタの説明	20-6
20.5.2	ポート D データレジスタ (PDDR)	20-6
20.6	ポート E	20-7
20.6.1	レジスタの説明	20-8
20.6.2	ポート E データレジスタ (PEDR)	20-8
20.7	ポート F	20-9
20.7.1	レジスタの説明	20-9
20.7.2	ポート F データレジスタ (PFDR)	20-9
20.8	ポート G	20-10
20.8.1	レジスタの説明	20-11
20.8.2	ポート G データレジスタ (PGDR)	20-11
20.9	ポート H	20-12
20.9.1	レジスタの説明	20-12
20.9.2	ポート H データレジスタ (PHDR)	20-13
20.10	ポート J	20-14

20.10.1	レジスタの説明	20-14
20.10.2	ポート J データレジスタ (PJDR)	20-14
20.11	ポート K	20-15
20.11.1	レジスタの説明	20-16
20.11.2	ポート K データレジスタ (PKDR)	20-16
20.12	ポート L	20-17
20.12.1	レジスタの説明	20-17
20.12.2	ポート L データレジスタ (PLDR)	20-17
20.13	SCポート	20-18
20.13.1	レジスタの説明	20-19
20.13.2	SC ポートデータレジスタ (SCPDR)	20-19
21.	A/D 変換器	21-1
21.1	概要	21-1
21.1.1	特長	21-1
21.1.2	ブロック図	21-2
21.1.3	端子構成	21-3
21.1.4	レジスタ構成	21-3
21.2	レジスタの説明	21-4
21.2.1	A/D データレジスタ A~D (ADDRA~ADDRD)	21-4
21.2.2	A/D コントロール/ステータスレジスタ (ADCSR)	21-5
21.2.3	A/D コントロールレジスタ (ADCR)	21-7
21.3	バスマスタとのインタフェース	21-8
21.4	動作説明	21-9
21.4.1	シングルモード (MULTI=0)	21-9
21.4.2	マルチモード (MULTI=1、SCN=0)	21-11
21.4.3	スキャンモード (MULTI=1、SCN=1)	21-13
21.4.4	入力サンプリングと A/D 変換時間	21-15
21.4.5	外部トリガ入力タイミング	21-16
21.5	割り込み要求	21-17
21.6	A/D変換精度の定義	21-17
21.7	使用上の注意	21-18
21.7.1	アナログ電圧の設定	21-18
21.7.2	アナログ入力端子の取り扱い	21-18
21.7.3	アクセスサイズと読み出しデータ	21-19
22.	D/A 変換器	22-1
22.1	概要	22-1
22.1.1	特長	22-1
22.1.2	ブロック図	22-1

22.1.3	入出力端子	22-2
22.1.4	レジスタ構成	22-2
22.2	レジスタの説明	22-2
22.2.1	D/A データレジスタ 0、1 (DADR0/1)	22-2
22.2.2	D/A コントロールレジスタ (DACR)	22-3
22.3	動作の説明	22-4
23.	ユーザデバッグインタフェース (H-UDI)	23-1
23.1	概要	23-1
23.2	ユーザデバッグインタフェース (H-UDI)	23-1
23.2.1	端子の説明	23-1
23.2.2	ブロック図	23-2
23.3	レジスタの説明	23-3
23.3.1	バイパスレジスタ (SDBPR)	23-3
23.3.2	インストラクションレジスタ (SDIR)	23-3
23.3.3	バウンダリスキャンレジスタ (SDBSR)	23-4
23.4	H-UDIの動作説明	23-11
23.4.1	TAP コントローラ	23-11
23.4.2	リセット構成	23-12
23.4.3	H-UDI リセット	23-12
23.4.4	H-UDI 割り込み	23-13
23.4.5	バイパス	23-13
23.4.6	H-UDIによるスリープからの復帰	23-13
23.5	バウンダリスキャン	23-14
23.5.1	サポートする命令	23-14
23.5.2	注意事項	23-15
23.6	使用上の注意	23-16
23.7	アドバンストユーザデバッグ (AUD)	23-16
24.	電气的特性	24-1
24.1	絶対最大定格	24-1
24.2	DC特性	24-3
24.3	AC特性	24-5
24.3.1	クロックタイミング	24-6
24.3.2	制御信号タイミング	24-11
24.3.3	AC バスタイミング	24-14
24.3.4	基本タイミング	24-16
24.3.5	バースト ROM タイミング	24-19
24.3.6	シンクロナス DRAM タイミング	24-22
24.3.7	PCMCIA タイミング	24-39

24.3.8	周辺モジュール信号タイミング	24-46
24.3.9	H-UDI 関連端子のタイミング	24-49
24.3.10	AC 特性測定条件	24-51
24.3.11	負荷容量による遅延時間の変化	24-51
24.4	A/D変換器特性	24-52
24.5	D/A変換器特性	24-52
付録.	付録-1
A.	端子機能	付録-1
A.1	端子機能	付録-1
A.2	端子の仕様	付録-5
A.3	未使用端子の処理	付録-9
A.4	各アドレス空間へのアクセスにおける端子状態	付録-10
B.	制御レジスタ	付録-24
B.1	レジスタアドレスマップ	付録-24
B.2	レジスタビット	付録-30
C.	型名一覧	付録-42
D.	パッケージ外形寸法図	付録-43

図目次

図 1.1	ブロック図	1-7
図 1.2	ピン配置図 (FP-208C、FP-208E)	1-8
図 1.3	ピン配置図 (BP-240A)	1-9
図 2.1	処理モード別のレジスタ構成 (1)	2-2
図 2.2	処理モード別のレジスタ構成 (2)	2-3
図 2.3	汎用レジスタ (DSP モード以外)	2-4
図 2.4	汎用レジスタ (DSP モード)	2-5
図 2.5	コントロールレジスタ (1)	2-7
図 2.5	コントロールレジスタ (2)	2-8
図 2.6	システムレジスタ	2-10
図 2.7	DSP レジスタ	2-12
図 2.8	DSP レジスタとバスの接続	2-13
図 2.9	ロングワードオペランド	2-14
図 2.10	データ形式	2-15
図 2.11	バイト、ワード、ロングワードの配列	2-16
図 2.12	X、Y データ転送のアドレッシング	2-23
図 2.13	シングルデータ転送のアドレッシング	2-24
図 2.14	モジュロアドレッシング	2-25
図 2.15	DSP 命令の命令形式	2-29
図 2.16	並列命令プログラムの例	2-49
図 2.17	条件付き演算とデータ転送命令の例	2-55
図 3.1	MMU の役割	3-2
図 3.2	論理アドレス空間	3-4
図 3.3	MMU レジスタの内容	3-7
図 3.4	TLB 全体構成	3-8
図 3.5	論理アドレスと TLB エントリの構成	3-8
図 3.6	TLB インデックス番号作成の方法 (IX=1)	3-10
図 3.7	TLB インデックス番号作成の方法 (IX=0)	3-11
図 3.8	アドレス比較対象	3-12
図 3.9	LDTLB 命令の動作	3-15
図 3.10	シノニム問題	3-17
図 3.11	MMU 例外の流れ	3-23
図 3.12	命令フェッチ時の MMU 例外信号	3-24
図 3.13	データアクセス時の MMU 例外信号	3-24
図 3.14	リピートループにおける MMU 例外	3-26
図 3.15	メモリ割り付けされた TLB アクセスのアドレス部、データ部指定方法	3-28
図 4.1	ベクタテーブル	4-3
図 4.2	一般例外の受け付け順序の例	4-5

図 4.3	レジスタのビット構成	4-9
図 5.1	キャッシュの構成	5-2
図 5.2	CCR の構成	5-3
図 5.3	CCR2 の構成	5-4
図 5.4	キャッシュの検索方法（ノーマルモード）	5-6
図 5.5	ライトバックバッファの構成	5-7
図 5.6	メモリ割り付けられたキャッシュアクセスのアドレス、データ指定方法	5-10
図 6.1	X/Y メモリ論理アドレスマッピング	6-3
図 6.2	X/Y メモリ物理アドレスマッピング	6-3
図 7.1	INTC ブロック図	7-2
図 7.2	IRL 割り込みの接続例	7-5
図 7.3	割り込み動作フローチャート	7-25
図 7.4	IRL 割り込みの受け付け時のパイプライン動作の例	7-28
図 8.1	UBC のブロック図	8-2
図 9.1	STBCR の STBY ビットとスタンバイモードの解除	9-9
図 9.2	パワーオンリセットの STATUS 出力	9-11
図 9.3	マニュアルリセットの STATUS 出力	9-12
図 9.4	スタンバイ→割り込みの STATUS 出力	9-12
図 9.5	スタンバイ→パワーオンリセットの STATUS 出力	9-13
図 9.6	スタンバイ→マニュアルリセットの STATUS 出力	9-13
図 9.7	スリープ→割り込みの STATUS 出力	9-14
図 9.8	スリープ→パワーオンリセットの STATUS 出力	9-14
図 9.9	スリープ→マニュアルリセットの STATUS 出力	9-15
図 9.10	ハードウェアスタンバイモードのタイミング（通常動作時に CA=ローレベルとなる場合）	9-17
図 9.11	ハードウェアスタンバイモードのタイミング （スタンバイモード解除での WDT 動作中に CA=ローレベルとなる場合）	9-17
図 10.1	CPG のブロック図	10-3
図 10.2	WDT のブロック図	10-12
図 10.3	WTCNT、WTCSR への書き込み	10-16
図 10.4	水晶発振子使用時の注意	10-19
図 10.5	PLL 発振回路使用時の注意	10-19
図 11.1	BSC のブロック図	11-3
図 11.2	論理アドレス空間と物理アドレス空間の対応	11-7
図 11.3	物理空間割り付け	11-9
図 11.4	PCMCIA 空間割り付け	11-10
図 11.5	RTCSR、RTCNT、RTCOR、RFCR への書き込み	11-35
図 11.6	基本インタフェースの基本タイミング	11-45
図 11.7	32 ビットデータ幅 SRAM 接続例	11-46
図 11.8	16 ビットデータ幅 SRAM 接続例	11-47
図 11.9	8 ビットデータ幅 SRAM 接続例	11-47
図 11.10	基本インタフェースのウェイトタイミング（ソフトウェアウェイトのみ）	11-48

図 11.11	基本インタフェースのウェイトステートタイミング ($\overline{\text{WAIT}}$ 信号によるウェイトステート挿入 $\text{WAITSEL}=1$)	11-49
図 11.12	64M ビットシンクロナス DRAM 接続例 (バス幅 32 ビット)	11-51
図 11.13	64M ビットシンクロナス DRAM 接続例 (バス幅 16 ビット)	11-52
図 11.14	シンクロナス DRAM パーストリード基本タイミング	11-55
図 11.15	シンクロナス DRAM パーストリードウェイト指定タイミング	11-56
図 11.16	シンクロナス DRAM シングルリード基本タイミング	11-57
図 11.17	シンクロナス DRAM パーストライト基本タイミング	11-58
図 11.18	シンクロナス DRAM シングルライト基本タイミング	11-59
図 11.19	パーストリードタイミング (プリチャージなし)	11-61
図 11.20	パーストリードタイミング (同一ロウアドレス)	11-62
図 11.21	パーストリードタイミング (異なるロウアドレス)	11-63
図 11.22	パーストライトタイミング (プリチャージなし)	11-64
図 11.23	パーストライトタイミング (同一ロウアドレス)	11-65
図 11.24	パーストライトタイミング (異なるロウアドレス)	11-66
図 11.25	オートリフレッシュの動作	11-67
図 11.26	シンクロナス DRAM オートリフレッシュタイミング	11-68
図 11.27	シンクロナス DRAM セルフリフレッシュタイミング	11-69
図 11.28	シンクロナス DRAM モード書き込みタイミング	11-72
図 11.29	パースト ROM ウェイトアクセスタイミング	11-74
図 11.30	パースト ROM 基本アクセスタイミング	11-75
図 11.31	PCMCIA インタフェース例	11-77
図 11.32	PCMCIA メモリカードインタフェース基本タイミング	11-79
図 11.33	PCMCIA メモリカードインタフェースウェイトタイミング	11-80
図 11.34	PCMCIA メモリカードインタフェースパーストアクセス基本タイミング	11-81
図 11.35	PCMCIA メモリカードインタフェースパーストアクセスウェイトタイミング	11-82
図 11.36	PCMCIA 空間割り付け	11-83
図 11.37	PCMCIA I/O カードインタフェース基本タイミング	11-84
図 11.38	PCMCIA I/O カードインタフェースウェイトタイミング	11-85
図 11.39	PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング	11-86
図 11.40	アクセスサイクル間ウェイト	11-88
図 11.41	A25~A0 端子プルアップのタイミング	11-89
図 11.42	D31~D0 端子プルアップのタイミング (リードサイクル)	11-89
図 11.43	D31~D0 端子プルアップのタイミング (ライトサイクル)	11-90
図 12.1	DMAC ブロック図	12-3
図 12.2	DMAC 転送フローチャート	12-17
図 12.3	ラウンドロビンモード	12-21
図 12.4	ラウンドロビンモードでのチャネル優先順位変更例	12-22
図 12.5	デュアルアドレスモード、直接アドレスの動作説明	12-24
図 12.6	デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例 (転送元：通常メモリ、転送先：通常メモリ)	12-25

図 12.7	デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例 (16 バイト転送、転送元：通常メモリ、転送先：通常メモリ)	12-26
図 12.8	デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例 (16 バイト転送、転送元：シンクロナス DRAM、転送先：通常メモリ)	12-26
図 12.9	デュアルアドレスモード、間接アドレスの動作説明 (外部メモリ空間が 16 ビット幅の場合)	12-28
図 12.10	デュアルアドレスモード、間接アドレスでの転送タイミング例	12-29
図 12.11	シングルアドレスモードでのデータの流れ	12-30
図 12.12	シングルアドレスモードでの DMA 転送タイミング	12-31
図 12.13	シングルアドレスモードでの DMA 転送タイミング 外部メモリ空間 (通常メモリ) →DACK 付き外部デバイス)	12-31
図 12.14	サイクルスチールモードでの DMA 転送例	12-32
図 12.15	バーストモードでの DMA 転送例	12-33
図 12.16	複数チャンネルが動作する場合のバス状態	12-34
図 12.17	サイクルスチールモード、レベル入力 (CPU アクセス：2 サイクル)	12-36
図 12.18	サイクルスチールモード、レベル入力 (CPU アクセス：3 サイクル)	12-37
図 12.19	サイクルスチールモード、レベル入力 (CPU アクセス：2 サイクル、 DMA RD アクセス 4 サイクル)	12-38
図 12.20	サイクルスチールモード、レベル入力 (CPU アクセス：2 サイクル、 DREQ 入力を遅らせた場合)	12-39
図 12.21	サイクルスチールモード、エッジ入力 (CPU アクセス：2 サイクル)	12-40
図 12.22	バーストモード、レベル入力	12-41
図 12.23	バーストモード、エッジ入力	12-42
図 12.24	ソースアドレスリロード機能図	12-43
図 12.25	ソースアドレスリロード機能タイムチャート	12-43
図 12.26	CMT のブロック図	12-46
図 12.27	カウンタ動作	12-50
図 12.28	カウンタタイミング	12-50
図 12.29	CMF セットタイミング	12-51
図 12.30	CPU による CMF クリアのタイミング	12-51
図 13.1	TMU のブロック図	13-2
図 13.2	カウンタ動作設定手順例	13-11
図 13.3	オートリロードカウンタの動作	13-11
図 13.4	内部クロック動作時のカウンタタイミング	13-12
図 13.5	外部クロック動作時のカウンタタイミング (両エッジ検出の場合)	13-12
図 13.6	内蔵 RTC クロック動作時のカウンタタイミング	13-13
図 13.7	インプットキャプチャ機能使用時の動作タイミング (TCLK の立ち上がりエッジ使用)	13-13
図 13.8	UNF のセットタイミング	13-14
図 13.9	ステータスフラグのクリアタイミング	13-14
図 14.1	RTC のブロック図	14-2
図 14.2	時刻設定手順	14-14

図 14.3	時刻読み出し手順.....	14-15
図 14.4	アラーム機能の使用手法.....	14-16
図 14.5	水晶発振回路接続例.....	14-17
図 14.6	周期割り込み機能の使用手法.....	14-18
図 15.1	SCI のブロック図.....	15-3
図 15.2	SCPT[1]/SCK0 端子.....	15-4
図 15.3	SCPT[0]/TxD0 端子.....	15-5
図 15.4	SCPT[0]/RxD0 端子.....	15-5
図 15.5	調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例).....	15-29
図 15.6	出力クロックと通信データの位相関係 (調歩同期式モード).....	15-31
図 15.7	SCI の初期化フローチャートの例.....	15-32
図 15.8	シリアル送信のフローチャートの例.....	15-33
図 15.9	調歩同期式モードでの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例).....	15-35
図 15.10	シリアル受信のフローチャートの例 (1).....	15-36
図 15.10	シリアル受信のフローチャートの例 (2).....	15-37
図 15.11	SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例).....	15-39
図 15.12	マルチプロセッサフォーマットを使用したプロセッサ間通信の例 (受信局Aへのデータ H'AA の送信の例).....	15-40
図 15.13	マルチプロセッサシリアル送信のフローチャートの例.....	15-41
図 15.14	SCI の送信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例).....	15-43
図 15.15	マルチプロセッサシリアル受信のフローチャートの例 (1).....	15-44
図 15.15	マルチプロセッサシリアル受信のフローチャートの例 (2).....	15-45
図 15.16	SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例).....	15-46
図 15.17	クロック同期式通信のデータフォーマット.....	15-47
図 15.18	SCI の初期化フローチャートの例.....	15-49
図 15.19	シリアル送信のフローチャートの例.....	15-50
図 15.20	SCI の送信時の動作例.....	15-51
図 15.21	シリアルデータ受信フローチャートの例 (1).....	15-52
図 15.21	シリアルデータ受信フローチャートの例 (2).....	15-53
図 15.22	SCI の受信時の動作例.....	15-54
図 15.23	シリアルデータ送受信フローチャートの例.....	15-55
図 15.24	調歩同期式モードの受信データサンプリングタイミング.....	15-58
図 16.1	スマートカードインタフェースのブロック図.....	16-2
図 16.2	スマートカードインタフェース端子接続概略図.....	16-7
図 16.3	スマートカードインタフェースのデータフォーマット.....	16-8
図 16.4	開始キャラクタの波形例.....	16-10
図 16.5	初期化のフロー例.....	16-14

図 16.6	送信処理フローの例	16-16
図 16.7	受信処理フローの例	16-18
図 16.8	スマートカードモード時の受信データサンプリングタイミング	16-20
図 16.9	SCI 受信モードの場合の再転送動作	16-21
図 16.10	SCI 送信モードの場合の再転送動作	16-22
図 17.1	SCIF ブロック図	17-3
図 17.2	SCPT[5]/SCK2 端子	17-4
図 17.3	SCPT [4] /TxD2 端子	17-5
図 17.4	SCPT [4] /RxD2 端子	17-5
図 17.5	SCIF の初期化フローチャートの例	17-31
図 17.6	シリアル送信のフローチャートの例	17-32
図 17.7	送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	17-34
図 17.8	モデムコントロールを使用した動作例 ($\overline{\text{CTS}}$)	17-34
図 17.9	シリアル受信のフローチャートの例 (1)	17-35
図 17.10	シリアル受信のフローチャートの例 (2)	17-36
図 17.11	SCIF の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	17-37
図 17.12	モデムコントロール使用時の動作例 ($\overline{\text{RTS}}$)	17-38
図 17.13	調歩同期モードでの受信データサンプリングタイミング	17-40
図 18.1	IrDA ブロック図	18-2
図 18.2	SCPT[3]/SCK1 端子	18-3
図 18.3	SCPT[2]/TxD1 端子	18-4
図 18.4	SCPT[2]/RxD1 端子	18-4
図 18.5	送受信動	18-9
図 20.1	ポート A	20-1
図 20.2	ポート B	20-2
図 20.3	ポート C	20-4
図 20.4	ポート D	20-5
図 20.5	ポート E	20-7
図 20.6	ポート F	20-9
図 20.7	ポート G	20-10
図 20.8	ポート H	20-12
図 20.9	ポート J	20-14
図 20.10	ポート K	20-15
図 20.11	ポート L	20-17
図 20.12	SC ポート	20-18
図 21.1	A/D 変換器のブロック図	21-2
図 21.2	ADDR のアクセス動作 (H'AA40) 読み出し時	21-8
図 21.3	A/D 変換器の動作例 (シングルモードチャンネル 1 選択時)	21-10
図 21.4	A/D 変換器の動作例 (マルチモード AN0~AN2 の 3 チャンネル選択時)	21-12
図 21.5	A/D 変換器の動作例 (スキャンモード AN0~AN2 の 3 チャンネル選択時)	21-14
図 21.6	A/D 変換タイミング	21-15

図 21.7	外部トリガ入力タイミング	21-16
図 21.8	A/D 変換精度の定義	21-18
図 21.9	アナログ入力端子の保護回路例	21-19
図 21.10	アナログ入力端子の等価回路	21-19
図 22.1	D/A 変換器のブロック図	22-1
図 22.2	D/A 変換器動作の例	22-5
図 23.1	H-UDI ブロック図	23-2
図 23.2	TAP コントローラ状態遷移図	23-11
図 23.3	H-UDI リセット	23-13
図 24.1	EXTAL クロック入力タイミング	24-7
図 24.2	CKIO クロック入力タイミング	24-7
図 24.3	CKIO クロック出力タイミング	24-7
図 24.4	パワーオン発振安定時間	24-8
図 24.5	スタンバイ復帰時発振安定時間 (リセットによる復帰)	24-8
図 24.6	スタンバイ復帰時発振安定時間 (NMI による復帰)	24-8
図 24.7	スタンバイ復帰時発振安定時間 (IRQ4~IRQ0、PINT0/1、 $\overline{IRL3}$ ~ $\overline{IRL0}$ による復帰)	24-9
図 24.8	スタンバイ復帰時の PLL 同期安定化時間 (リセットまたは NMI による復帰)	24-9
図 24.9	スタンバイ復帰時の PLL 同期安定化時間 (IRQ/IRL、PINT0/1 割り込みによる復帰)	24-10
図 24.10	周波数逡倍率変更時の PLL 同期安定化時間	24-10
図 24.11	リセット入力タイミング	24-12
図 24.12	割り込み信号入力タイミング	24-12
図 24.13	\overline{IRQOUT} タイミング	24-12
図 24.14	バス権解放タイミング	24-13
図 24.15	スタンバイ時の端子ドライブタイミング	24-13
図 24.16	基本バスサイクル (ノーウェイト)	24-16
図 24.17	基本バスサイクル (1 ウェイト)	24-17
図 24.18	基本バスサイクル (外部ウェイト、WAITSEL=1)	24-18
図 24.19	バースト ROM バスサイクル (ノーウェイト)	24-19
図 24.20	バースト ROM バスサイクル (2 ウェイト)	24-20
図 24.21	バースト ROM バスサイクル (外部ウェイト、WAITSEL=1)	24-21
図 24.22	シンクロナス DRAM リードバスサイクル (RCD=0、CAS レイテンシ=1、TPC=0)	24-22
図 24.23	シンクロナス DRAM リードバスサイクル (RCD=2、CAS レイテンシ=2、TPC=1)	24-23
図 24.24	シンクロナス DRAM リードバスサイクル (バーストリード (シングルリード×4)、RCD=0、CAS レイテンシ=1、TPC=1)	24-24
図 24.25	シンクロナス DRAM リードバスサイクル (バーストリード (シングルリード×4)、RCD=1、CAS レイテンシ=3、TPC=0)	24-25
図 24.26	シンクロナス DRAM ライトバスサイクル (RCD=0、TPC=0、TRWL=0)	24-26
図 24.27	シンクロナス DRAM ライトバスサイクル (RCD=2、TPC=1、TRWL=1)	24-27
図 24.28	シンクロナス DRAM ライトバスサイクル (バーストライト (シングルライト×4)、RCD=0、TPC=1、TRWL=0)	24-28

図 24.29	シンクロナス DRAM ライトバスサイクル (バーストライト (シングルライト×4)、RCD=1、TPC=0、TRWL=0)	24-29
図 24.30	シンクロナス DRAM バーストリードバスサイクル (RAS ダウン、同じロウアドレス、CAS レイテンシ=1)	24-30
図 24.31	シンクロナス DRAM バーストリードバスサイクル (RAS ダウン、同じロウアドレス、CAS レイテンシ=2)	24-31
図 24.32	シンクロナス DRAM バーストリードバスサイクル (RAS ダウン、異なるロウアドレス、TPC=0、RCD=0、CAS レイテンシ=1)	24-32
図 24.33	シンクロナス DRAM バーストリードバスサイクル (RAS ダウン、異なるロウアドレス、TPC=1、RCD=0、CAS レイテンシ=1)	24-33
図 24.34	シンクロナス DRAM バーストライトバスサイクル (RAS ダウン、同じロウアドレス)	24-34
図 24.35	シンクロナス DRAM バーストライトバスサイクル (RAS ダウン、異なるロウアドレス、TPC=0、RCD=0)	24-35
図 24.36	シンクロナス DRAM バーストライトバスサイクル (RAS ダウン、異なるロウアドレス、TPC=1、RCD=1)	24-36
図 24.37	シンクロナス DRAM オートリフレッシュタイミング (TRAS=1、TPC=1)	24-37
図 24.38	シンクロナス DRAM セルフリフレッシュサイクル (TRAS=1、TPC=1)	24-37
図 24.39	シンクロナス DRAM のモードレジスタへのライトサイクル	24-38
図 24.40	PCMCIA メモリバスサイクル (TED=0、TEH=0、ノーウェイト)	24-39
図 24.41	PCMCIA メモリバスサイクル (TED=2、TEH=1、1 ウェイト、外部ウェイト、WAITSEL=1)	24-40
図 24.42	PCMCIA メモリバスサイクル (バーストリード、TED=0、TEH=0、ノーウェイト)	24-41
図 24.43	PCMCIA メモリバスサイクル (バーストリード、TED=1、TEH=1、2 ウェイト、バーストピッチ=3、WAITSEL=1)	24-42
図 24.44	PCMCIA I/O バスサイクル (TED=0、TEH=0、ノーウェイト)	24-43
図 24.45	PCMCIA I/O バスサイクル (TED=2、TEH=1、1 ウェイト、外部ウェイト、WAITSEL=1)	24-44
図 24.46	PCMCIA I/O バスサイクル (TED=1、TEH=1、1 ウェイト、バスサイジング、WAITSEL=1)	24-45
図 24.47	TCLK 入力タイミング	24-47
図 24.48	TCLK クロック入力タイミング	24-47
図 24.49	RTC 用水晶発振器パワーオン時発振安定時間	24-47
図 24.50	SCK 入力クロックタイミング	24-47
図 24.51	クロック同期式モード時の SCI 入出力タイミング	24-48
図 24.52	I/O ポートタイミング	24-48
図 24.53	$\overline{\text{DREQ}}$ 入力タイミング	24-48
図 24.54	DRAK 出力タイミング	24-49
図 24.55	TCK 入力タイミング	24-49
図 24.56	TRST 入力タイミング (リセットホールド時)	24-50
図 24.57	H-UDI データ転送タイミング	24-50
図 24.58	ASEMD0 入力タイミング	24-50
図 24.59	出力負荷回路	24-51
図 24.60	負荷容量-遅延時間	24-52

図 D.1	パッケージ外形寸法図 (FP-208C)	付録-43
図 D.2	パッケージ外形寸法図 (FP-208E)	付録-44
図 D.3	パッケージ外形寸法図 (BP-240A)	付録-45

表目次

表 1.1	SH7729R の特長	1-2
表 1.2	特性	1-6
表 1.3	SH7729R 端子機能.....	1-10
表 2.1	レジスタの初期値	2-3
表 2.2	各 SH-3DSP モード時の SR の各ビットの動作説明.....	2-9
表 2.3	DSP 命令のデスティネーションレジスタ	2-11
表 2.4	DSP 命令のソースレジスタ	2-12
表 2.5	DSP レジスタのビット	2-13
表 2.6	ワードデータの符号拡張.....	2-17
表 2.7	遅延分岐命令	2-17
表 2.8	T ビット.....	2-18
表 2.9	イミディエイトデータによる参照.....	2-18
表 2.10	絶対アドレスによる参照.....	2-18
表 2.11	ディスプレイメントによる参照.....	2-19
表 2.12	CPU 命令のアドレッシングモードと実効アドレス.....	2-19
表 2.13	データ転送命令の概要	2-22
表 2.14	CPU 命令の命令形式.....	2-27
表 2.15	ダブルデータ転送の命令形式.....	2-30
表 2.16	シングルデータ転送命令の命令形式	2-30
表 2.17	A フィールドの並列データ転送命令	2-31
表 2.18	B フィールドの ALU 演算命令、乗算命令	2-32
表 2.19	CPU 命令の分類	2-33
表 2.20	データ転送命令	2-36
表 2.21	算術命令	2-37
表 2.22	論理演算命令	2-38
表 2.23	シフト命令	2-39
表 2.24	分岐命令	2-39
表 2.25	システム制御命令	2-40
表 2.26	CPU 用追加システム制御命令.....	2-44
表 2.27	ダブルデータ転送命令	2-45
表 2.28	シングルデータ転送命令.....	2-46
表 2.29	DSP データ転送のオペランドとレジスタとの対応.....	2-47
表 2.30	DSP 演算命令の命令形式.....	2-48
表 2.31	DSP 命令のオペランドとレジスタの対応.....	2-48
表 2.32	DSP 演算命令	2-49
表 2.33	DC ビットの更新の定義.....	2-54
表 2.34	NOPX と NOPY の命令コードの例	2-56
表 3.1	レジスタ構成	3-5

表 3.2	D、C、PR ビットによるアクセス状態.....	3-13
表 4.1	レジスタ構成	4-1
表 4.2	例外事象ベクタ	4-3
表 4.3	例外コード	4-6
表 4.4	リセットの種類	4-11
表 5.1	キャッシュの特長	5-1
表 5.2	LRU ビットと置き換えられるウェイ.....	5-3
表 5.3	レジスタ構成	5-3
表 5.4	LRU ビットと置き換えられるウェイ (W2LOCK=1 の場合)	5-5
表 5.5	LRU ビットと置き換えられるウェイ (W3LOCK=1 の場合)	5-5
表 5.6	LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)	5-5
表 6.1	特長	6-1
表 7.1	端子構成	7-3
表 7.2	レジスタ構成	7-3
表 7.3	$\overline{IRL3} \sim \overline{IRL0} / \overline{IRLS3} \sim \overline{IRLS0}$ 端子および割り込みレベル	7-6
表 7.4	割り込み例外処理要因と優先順位 (IRQ モード時)	7-8
表 7.5	割り込み例外処理要因と優先順位 (IRL モード時)	7-9
表 7.6	割り込みレベルと INTEVT コード	7-11
表 7.7	割り込み要求要因と IPRA \sim IPRE.....	7-12
表 7.8	割り込み応答時間	7-26
表 8.1	レジスタ構成	8-3
表 8.2	データアクセスサイクルアドレスおよびオペランドサイズの比較条件	8-19
表 9.1	低消費電力モードの状態.....	9-1
表 9.2	端子構成	9-2
表 9.3	レジスタ構成	9-2
表 9.4	スタンバイモード時のレジスタの状態.....	9-8
表 10.1	発振回路の端子構成と機能.....	10-5
表 10.2	レジスタ構成	10-5
表 10.3	クロック動作モード	10-5
表 10.4	クロックモードと FRQCR 値の可能な組み合わせ	10-7
表 10.5	レジスタ構成	10-13
表 11.1	端子構成	11-4
表 11.2	レジスタ構成	11-5
表 11.3	物理アドレス空間マップ.....	11-7
表 11.4	外部端子 (MD4 と MD3) とメモリサイズの対応.....	11-9
表 11.5	PCMCIA インタフェースの特長	11-10
表 11.6	PCMCIA サポートインタフェース.....	11-11
表 11.7	32 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント	11-37
表 11.8	16 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント	11-38
表 11.9	8 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント	11-38
表 11.10	32 ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント	11-39

表 11.11	16 ビット外部デバイス／リトルエンディアンへのアクセスとデータアライメント	11-40
表 11.12	8 ビット外部デバイス／リトルエンディアンへのアクセスとデータアライメント	11-40
表 11.13	バス幅、AMX とアドレスマルチプレクス出力の関係	11-53
表 11.14	シンクロナス DRAM のアドレス端子対応例 (AMX [3:0]=0100、バス幅 32 ビット)	11-54
表 11.15	MCSCRx の設定値と $\overline{\text{MCS}}[x]$ のアサート条件 (x : 0~7)	11-91
表 12.1	DMAC 端子構成	12-4
表 12.2	レジスタ構成	12-4
表 12.3	RS ビットによる外部リクエストモードの選択	12-18
表 12.4	RS3~0 ビットによる内蔵周辺モジュールリクエストモードの選択	12-19
表 12.5	サポートできる DMA 転送	12-23
表 12.6	DMA 転送区間とリクエストモード、バスモードなどの関連一覧	12-33
表 12.7	レジスタ構成	12-47
表 12.8	内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値	12-52
表 12.9	A/D 変換器と外部メモリ間転送の転送条件とレジスタ設定値	12-52
表 12.10	4 回の転送終了後の DMAC 内の値	12-53
表 12.11	外部メモリと SCIF 送信側間転送の転送条件とレジスタ設定値	12-54
表 13.1	端子構成	13-3
表 13.2	レジスタ構成	13-3
表 13.3	TMU の割り込み要因	13-15
表 14.1	端子構成	14-3
表 14.2	レジスタ構成	14-3
表 14.3	推奨発振回路の定数 (推奨値)	14-17
表 15.1	端子構成	15-6
表 15.2	レジスタ構成	15-6
表 15.3	SCSMR の設定	15-22
表 15.4	ビットレートに対する SCBRR の設定例 [調歩同期式モード]	15-22
表 15.5	ビットレートに対する SCBRR の設定例 [クロック同期式モード]	15-25
表 15.6	ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)	15-26
表 15.7	外部クロック入力時の最大ビットレート (調歩同期式モード)	15-26
表 15.8	外部クロック入力時の最大ビットレート (クロック同期式モード)	15-27
表 15.9	SCSMR の設定値とシリアル送信／受信フォーマット	15-28
表 15.10	SCSMR、SCSCR の設定と SCI のクロックソースの選択	15-28
表 15.11	シリアル送信／受信フォーマット (調歩同期式モード)	15-30
表 15.12	受信エラーと発生条件	15-38
表 15.13	SCI 割り込み要因	15-56
表 15.14	SCSSR のステータスフラグの状態と受信データの転送	15-57
表 16.1	端子構成	16-3
表 16.2	レジスタ構成	16-3
表 16.3	スマートカードインタフェースでのレジスタ設定	16-9
表 16.4	n と CKS1、CKS0 の対応表	16-11

表 16.5	SCBRR の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)	16-11
表 16.6	ビットレート B (bit/s) に対する SCBRR の設定例 (ただし、n=0 のとき)	16-11
表 16.7	各周波数における最大ビットレート (スマートカードインタフェースモード時)	16-12
表 16.8	レジスタ設定値と SCK 端子.....	16-12
表 16.9	スマートカードモードの動作状態と割り込み要因	16-19
表 17.1	SCIF 端子.....	17-6
表 17.2	レジスタ構成	17-6
表 17.3	SCSMR の設定値.....	17-18
表 17.4	ビットレートと SCBRR の設定.....	17-19
表 17.5	ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)	17-23
表 17.6	外部クロック入力時の最大ビットレート (調歩同期式モード)	17-24
表 17.7	シリアルモードレジスタの設定値と SCIF 送信/受信フォーマット.....	17-28
表 17.8	SCSMR、SCSCR の設定値と SCIF のクロックソースの選択.....	17-28
表 17.9	シリアル送信/受信フォーマット.....	17-29
表 17.10	SCIF 割り込み要因.....	17-38
表 18.1	端子構成.....	18-5
表 18.2	レジスタ構成	18-5
表 19.1	マルチプレクスー覧表	19-1
表 19.2	レジスタ構成	19-5
表 20.1	レジスタの説明	20-1
表 20.2	ポート A データレジスタ (PADR) の読み出し/書き込み動作	20-2
表 20.3	レジスタの説明	20-3
表 20.4	ポート B データレジスタ (PBDR) の読み出し/書き込み動作.....	20-3
表 20.5	レジスタの説明	20-4
表 20.6	ポート C データレジスタ (PCDR) の読み出し/書き込み動作.....	20-5
表 20.7	レジスタの説明	20-6
表 20.8	ポート D データレジスタ (PDDR) の読み出し/書き込み動作	20-7
表 20.9	レジスタの説明	20-8
表 20.10	ポート E データレジスタ (PEDR) の読み出し/書き込み動作	20-8
表 20.11	レジスタの説明	20-9
表 20.12	ポート F データレジスタ (PFDR) の読み出し/書き込み動作.....	20-10
表 20.13	レジスタの説明	20-11
表 20.14	ポート G データレジスタ (PGDR) の読み出し/書き込み動作	20-11
表 20.15	レジスタの説明	20-12
表 20.16	ポート H データレジスタ (PHDR) の読み出し/書き込み動作	20-13
表 20.17	レジスタの説明	20-14
表 20.18	ポート J データレジスタ (PJDR) の読み出し/書き込み動作.....	20-15
表 20.19	レジスタの説明	20-16
表 20.20	ポート K データレジスタ (PKDR) の読み出し/書き込み動作	20-16
表 20.21	レジスタの説明	20-17

表 20.22	ポート L データレジスタ (PLDR) の読み出し/書き込み動作	20-18
表 20.23	レジスタの説明	20-19
表 20.24	SC ポートデータレジスタ (SCPDR) の読み出し/書き込み動作	20-20
表 21.1	端子構成	21-3
表 21.2	レジスタ構成	21-3
表 21.3	アナログ入力チャネルと ADDR の対応	21-5
表 21.4	A/D 変換時間 (シングルモード)	21-16
表 21.5	アナログ入力端子の規格	21-19
表 21.6	アクセスサイズと読み出しデータの関係	21-20
表 22.1	D/A 変換器の端子	22-2
表 22.2	D/A 変換器のレジスタ	22-2
表 23.1	H-UDI レジスタ	23-3
表 23.2	H-UDI コマンド	23-4
表 23.3	SH7729R の端子とバウンダリスキャンレジスタの対応	23-5
表 23.4	リセット構成	23-12
表 24.1	絶対最大定格	24-1
表 24.2	DC 特性	24-3
表 24.3	出力許容電流値	24-5
表 24.4	動作周波数範囲	24-5
表 24.5	クロックタイミング	24-6
表 24.6	制御信号タイミング	24-11
表 24.7	バスタイミング	24-14
表 24.8	周辺モジュール信号タイミング	24-46
表 24.9	H-UDI 関連端子のタイミング	24-49
表 24.10	A/D 変換器特性	24-52
表 24.11	D/A 変換器特性	24-52
表 A.1	リセット、低消費電力状態、バス権解放状態での端子状態	付録-1
表 A.2	端子の仕様	付録-5
表 A.3	端子状態 (通常メモリ/リトルエンディアン)	付録-10
表 A.4	端子状態 (通常メモリ/ビッグエンディアン)	付録-12
表 A.5	端子状態 (バースト ROM/リトルエンディアン)	付録-14
表 A.6	端子状態 (バースト ROM/ビッグエンディアン)	付録-16
表 A.7	端子状態 (シンクロナス DRAM/リトルエンディアン)	付録-18
表 A.8	端子状態 (シンクロナス DRAM/ビッグエンディアン)	付録-19
表 A.9	端子状態 (PCMCIA/リトルエンディアン)	付録-20
表 A.10	端子状態 (PCMCIA/ビッグエンディアン)	付録-22
表 B.1	メモリ割り付け制御レジスタアドレスマップ	付録-24
表 B.2	レジスタビット	付録-30
表 C.1	SH7729R 型名一覧	付録-42

1. 概要

1.1 特長

SH7729R は、32 ビット RISC タイプ Super H アーキテクチャの CPU とデジタル信号処理 (DSP) 拡張機能をコアとして、キャッシュメモリ、内蔵 X/Y メモリ、MMU (Memory Management Unit)、およびシステム構成に必要なタイマ、リアルタイムクロック、割り込みコントローラ、シリアルコミュニケーションインタフェースなどの周辺機能を集積したシングルチップ RISC マイクロプロセッサです。本 LSI は Super H シリーズマイコン (SH-1 または SH-2) に MMU を組み込むことによってデータ保護、仮想メモリ機能などを搭載しています。DSP 機能を内蔵したことにより、従来マイクロプロセッサと DSP の 2 チップを必要としていたアプリケーションを 1 チップで実現可能としています。

本 LSI は SH7729 と同じ周辺モジュールを持っています。内蔵ダイレクトメモリアクセスコントローラによる高速データ転送や、外部メモリアクセスサポート機能による各種メモリへの直結が可能です。さらに、赤外線通信機能、A/D 変換器、D/A 変換器もサポートしています。

強力な内蔵パワー管理機能によって高速動作時にも電力消費を低く抑えることができます。本 LSI は、システムバスの動作速度の周波数の最大 6 倍の速さで動作し、高速、低消費電力を同時に必要とする PDA などの電子機器にも最適です。

本 LSI の特長を表 1.1 に示します。

1. 概要

表 1.1 SH7729R の特長

項 目	特 長
CPU	<ul style="list-style-type: none"> • ルネサステクノロジ独自の SuperH アーキテクチャ • SH-1、SH-2、SH-3 シリーズとオブジェクトコードレベルでコンパチブル • 32 ビット内部データバス • 汎用レジスタ <ul style="list-style-type: none"> 32 ビット汎用レジスタ×16 本（8 本の 32 ビットシャドウレジスタ） 32 ビット制御レジスタ×8 本 32 ビットシステムレジスタ×4 本 • RISC 方式命令セット <ul style="list-style-type: none"> 命令長：16 ビット固定長、優れたコード効率 ロードストア形式アーキテクチャ 遅延分岐命令 C 言語指向の命令セット • 命令実行時間：基本命令は 1 命令／サイクル • 論理アドレス空間：4G バイト • 空間識別 ASID：8 ビット、256 論理アドレス空間 • 5 段パイプライン
DSP	<ul style="list-style-type: none"> • 16 ビット命令、32 ビット命令の混在 • 乗算器、ALU、パレルシフタ、DSP レジスタ • 16 ビット×16 ビット→32 ビット 1 サイクル乗算器 • 大容量 DSP データレジスタ <ul style="list-style-type: none"> 32 ビットデータレジスタ×6 本 40 ビットデータレジスタ×2 本 • DSP データバス用の拡張ハーバード型アーキテクチャ <ul style="list-style-type: none"> データバス×2 本 命令バス×1 本 • 最大 4 つの並行演算：ALU、乗算、2 つのロードまたはストア • 2 つのメモリアクセス用のアドレスを生成するための 2 本のアドレスユニット • DSP データアドレッシングモード：インクリメント、インデクス（モジュロアドレッシングあり／なし） • ゼロオーバーヘッドリピートループ制御 • 条件付き実行命令 • ユーザ DSP モードおよび特権 DSP モード

項 目	特 長
内蔵発振回路 (CPG)	<ul style="list-style-type: none"> • クロックモード：入力クロックを外部入力（EXTAL または CKIO）、水晶発振子から選択可能 • 3 種類のクロックを生成 CPU クロック：入力クロックの 1~24 倍、最大 200MHz バスクロック：入力クロックの 1~4 倍、最大 66.67MHz 周辺クロック：入力クロックの 1/4~4 倍、最大 33.34MHz • 低消費電力モード スリープモード スタンバイモード モジュールスタンバイモード • 1 チャンネルのウォッチドッグタイマ
メモリマネージメント ユニット (MMU)	<ul style="list-style-type: none"> • 4 G バイトのアドレス空間、256 のアドレス空間 (ASID 8 ビット) • ページユニット共有 • 複数のページサイズをサポート：1k バイトまたは 4k バイト • 128 エントリ、4 ウェイセットアソシアティブ TLB • ソフトウェアによるリプレースウェイ指定、およびランダムリプレースアルゴリズムをサポート
キャッシュメモリ	<ul style="list-style-type: none"> • 命令/データ混在 16k バイトキャッシュ • 256 エントリ、4 ウェイセットアソシアティブ、16 バイトブロック長 • ライトバック (Write-back) 方式、ライトスルー (Write-through) 方式選択可能 LRU (Least Recently Used) 置換アルゴリズム • 1 段階ライトバックバッファ • 最大 2 つのウェイをロック可能
X/Y メモリ	<ul style="list-style-type: none"> • ユーザで選択可能なマッピングメカニズム リアルタイムアプリケーション用の固定マッピング (特権 DSP モード) TLB による自動マッピング (ユーザ DSP モード) • 3 本の独立した読み出し/書き込みポート CPU からの 8/16/32 ビットアクセス DSP からの最大 2 つの 16 ビットのアクセス DMAC からの 8/16/32 ビットおよび 16 バイトアクセス • X、Y 各メモリに対し 8k バイトの RAM

1. 概要

項目	特長
割り込みコントローラ (INTC)	<ul style="list-style-type: none"> 外部割り込み×7本 (NMI、IRQ5~IRQ0) レベル割り込み：15レベル ポート割り込み×16本 (PINT15~PINT0) 内蔵周辺割り込み：モジュールごとに優先順位を設定
ユーザブレイクコントローラ (UBC)	<ul style="list-style-type: none"> ブレイクチャンネル×2チャンネル アドレス、データ値、アクセス形式、およびデータサイズをブレイク条件として設定可能 シーケンシャルブレイク機能をサポート
バスステートコントローラ (BSC)	<ul style="list-style-type: none"> 物理アドレス空間を各最大 64M バイトの 6 空間 (エリア 0、エリア 2~6) に分割、それぞれに以下の機能を設定可能： <ul style="list-style-type: none"> バスサイズ (8、16、32 ビット) ウェイトサイクル数 (ハードウェアウェイト機能もサポート) エリアごとに接続するメモリを指定することによって SRAM、シンクロナス DRAM、バースト ROM との直結が可能 PCMCIA インタフェースをサポート (2 チャンネル) エリアに対応したチップセレクト信号 (CS0、CS2~CS6) を出力 シンクロナス DRAM リフレッシュ機能 <ul style="list-style-type: none"> リフレッシュ間隔をプログラムで設定 セルフリフレッシュモードをサポート シンクロナス DRAM バーストアクセス機能 ビッグエンディアン、またはリトルエンディアンを設定可能
ユーザデバッグインタフェース (H-UDI)	<ul style="list-style-type: none"> E10A エミュレータのサポート JTAG 準拠 リアルタイム分岐トレース 高速エミュレーションプログラム実行用 1k バイトの内蔵 RAM
タイマ (TMU)	<ul style="list-style-type: none"> オートリロード型 32 ビットタイマ×3 チャンネル インプットキャプチャ機能 6 種類のカウンタ入カクロックから選択可能 最大分解能：2MHz
リアルタイムクロック (RTC)	<ul style="list-style-type: none"> 内蔵クロック、カレンダー機能、アラーム機能 内蔵 32kHz 水晶発振器回路、最大分解能 (割り込みサイクル) 1/256 秒

項 目	特 長																																			
シリアルコミュニケーションインタフェース 0 (SCI0・SCI)	<ul style="list-style-type: none"> 調歩同期モード、またはクロック同期モードの選択可能 全二重送受信 スマートカードインタフェースをサポート 																																			
シリアルコミュニケーションインタフェース 1 (SCI1・IrDA)	<ul style="list-style-type: none"> 送受信用 16 バイト FIFO DMA 転送可能 IrDA : 1.0 に準拠したインタフェース 																																			
シリアルコミュニケーションインタフェース 2 (SCI2・SCIF)	<ul style="list-style-type: none"> 送受信用 16 バイト FIFO DMA 転送可能 ハードウェアフロー制御 																																			
ダイレクトメモリアクセスコントローラ (DMAC)	<ul style="list-style-type: none"> 4 チャンネル バーストモードおよびサイクルスチールモード 転送サイズ : 8/16/32 ビットおよび 16 バイト 																																			
I/O ポート	<ul style="list-style-type: none"> 8 ビットポート × 12 本 																																			
A/D 変換器 (ADC)	<ul style="list-style-type: none"> 10 ビット ± 4LSB、8 チャンネル 変換時間 : 16 μs 入力範囲 : 0 - AV_{CC} (最大 3.6V) 																																			
D/A 変換器 (DAC)	<ul style="list-style-type: none"> 8 ビット ± 4LSB、2 チャンネル 変換時間 : 10 μs 出力範囲 : 0 - AV_{CC} (最大 3.6V) 																																			
製品ラインアップ	<table border="1"> <thead> <tr> <th rowspan="2">略称</th> <th colspan="2">電源電圧</th> <th>動作</th> <th rowspan="2">型名</th> <th rowspan="2">パッケージ</th> </tr> <tr> <th>I/O</th> <th>内部</th> <th>周波数</th> </tr> </thead> <tbody> <tr> <td rowspan="6">SH7729R</td> <td rowspan="2">3.3 ± 0.3V</td> <td>2.0 ± 0.15V*</td> <td rowspan="2">200MHz</td> <td>HD6417729RHF200B</td> <td>208 ピンプラスチック HQFP (FP-208E)</td> </tr> <tr> <td rowspan="2">1.9 ± 0.15V</td> <td rowspan="2">167MHz</td> <td>HD6417729RF167B</td> <td>208 ピンプラスチック LQFP (FP-208C)</td> </tr> <tr> <td></td> <td></td> <td>HD6417729RBP167B</td> <td>240 ピン CSP (BP-240A)</td> </tr> <tr> <td rowspan="2">1.8 + 0.25V 1.8 - 0.15V</td> <td rowspan="2">133MHz</td> <td>HD6417729RF133B</td> <td>208 ピンプラスチック LQFP (FP-208C)</td> </tr> <tr> <td>HD6417729RBP133B</td> <td>240 ピン CSP (BP-240A)</td> </tr> <tr> <td rowspan="2">1.7 + 0.25V 1.7 - 0.15V</td> <td rowspan="2">100MHz</td> <td>HD6417729RF100B</td> <td>208 ピンプラスチック LQFP (FP-208C)</td> </tr> <tr> <td>HD6417729RBP100B</td> <td>240 ピン CSP (BP-240A)</td> </tr> </tbody> </table>	略称	電源電圧		動作	型名	パッケージ	I/O	内部	周波数	SH7729R	3.3 ± 0.3V	2.0 ± 0.15V*	200MHz	HD6417729RHF200B	208 ピンプラスチック HQFP (FP-208E)	1.9 ± 0.15V	167MHz	HD6417729RF167B	208 ピンプラスチック LQFP (FP-208C)			HD6417729RBP167B	240 ピン CSP (BP-240A)	1.8 + 0.25V 1.8 - 0.15V	133MHz	HD6417729RF133B	208 ピンプラスチック LQFP (FP-208C)	HD6417729RBP133B	240 ピン CSP (BP-240A)	1.7 + 0.25V 1.7 - 0.15V	100MHz	HD6417729RF100B	208 ピンプラスチック LQFP (FP-208C)	HD6417729RBP100B	240 ピン CSP (BP-240A)
略称	電源電圧		動作	型名	パッケージ																															
	I/O	内部	周波数																																	
SH7729R	3.3 ± 0.3V	2.0 ± 0.15V*	200MHz	HD6417729RHF200B	208 ピンプラスチック HQFP (FP-208E)																															
		1.9 ± 0.15V		167MHz	HD6417729RF167B	208 ピンプラスチック LQFP (FP-208C)																														
					HD6417729RBP167B	240 ピン CSP (BP-240A)																														
	1.8 + 0.25V 1.8 - 0.15V	133MHz	HD6417729RF133B	208 ピンプラスチック LQFP (FP-208C)																																
			HD6417729RBP133B	240 ピン CSP (BP-240A)																																
	1.7 + 0.25V 1.7 - 0.15V	100MHz	HD6417729RF100B	208 ピンプラスチック LQFP (FP-208C)																																
HD6417729RBP100B			240 ピン CSP (BP-240A)																																	
【注】 * IRL、IRLS 割り込みを使う場合は、2.0 + 0.15V、-0.1V																																				

1. 概要

表 1.2 特性

電源電圧	<ul style="list-style-type: none">I/O : 3.3±0.3V内部 : 2.0±0.15V (200MHz)*、1.9±0.15V (167MHz 品)、1.8±0.15V、-0.15V (133MHz)、1.7+0.25V、-0.15V (100MHz)
動作周波数	<ul style="list-style-type: none">内部周波数 : 最大 200MHz (200MHz 品)、167MHz (167MHz 品)、133.34MHz (133MHz 品)、100MHz (100MHz 品)外部周波数 : 最大 66.67MHz
プロセス	<ul style="list-style-type: none">0.25 μm CMOS/5 層メタル

【注】 * IRL、IRLS 割り込みを使う場合は、2.0+0.15V、-0.1V

1.2 ブロック図

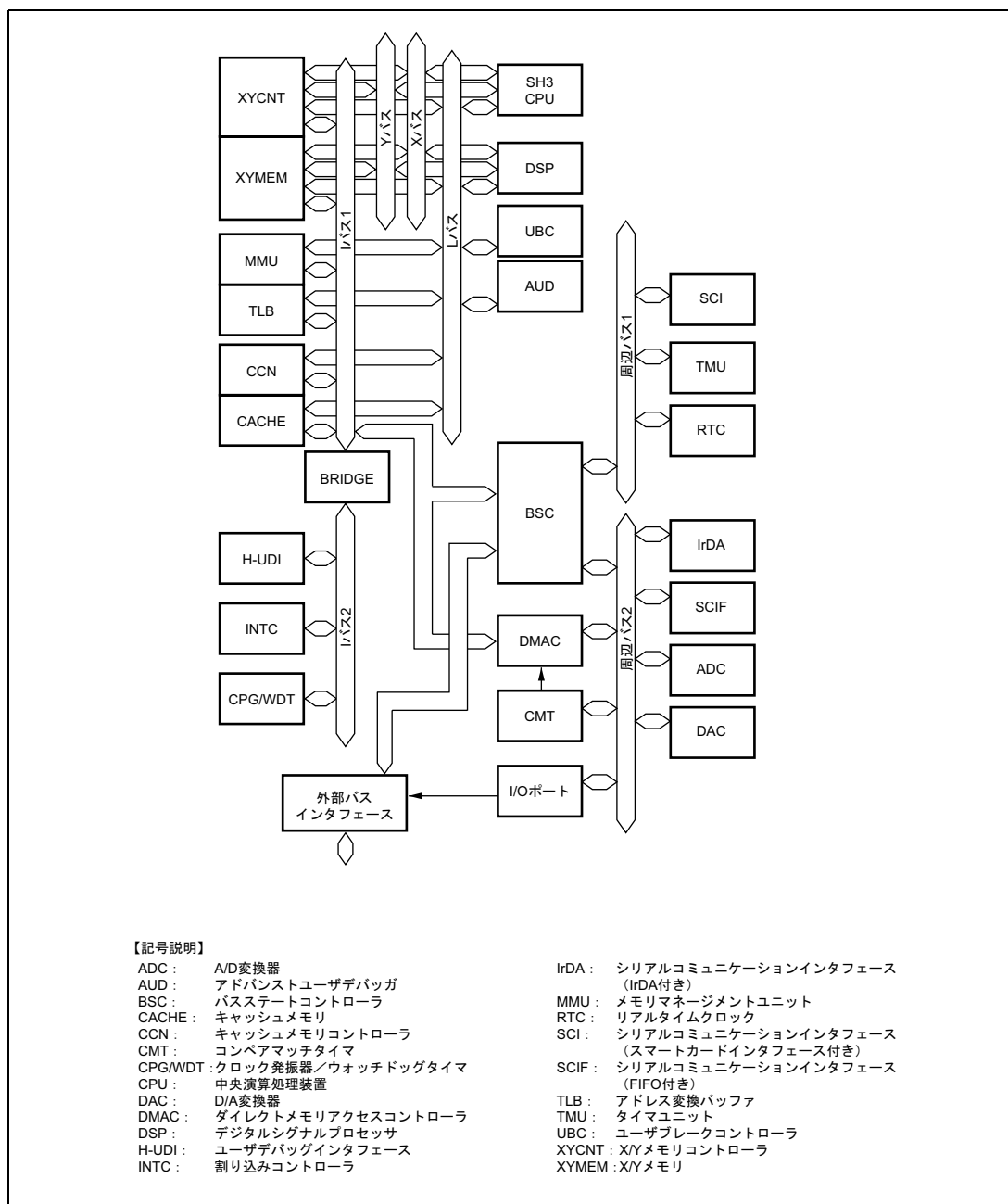


図 1.1 ブロック図

1. 概要

1.3 端子の説明

1.3.1 ピン配置

本 LSI のピン配置図を図 1.2、図 1.3 に示します。

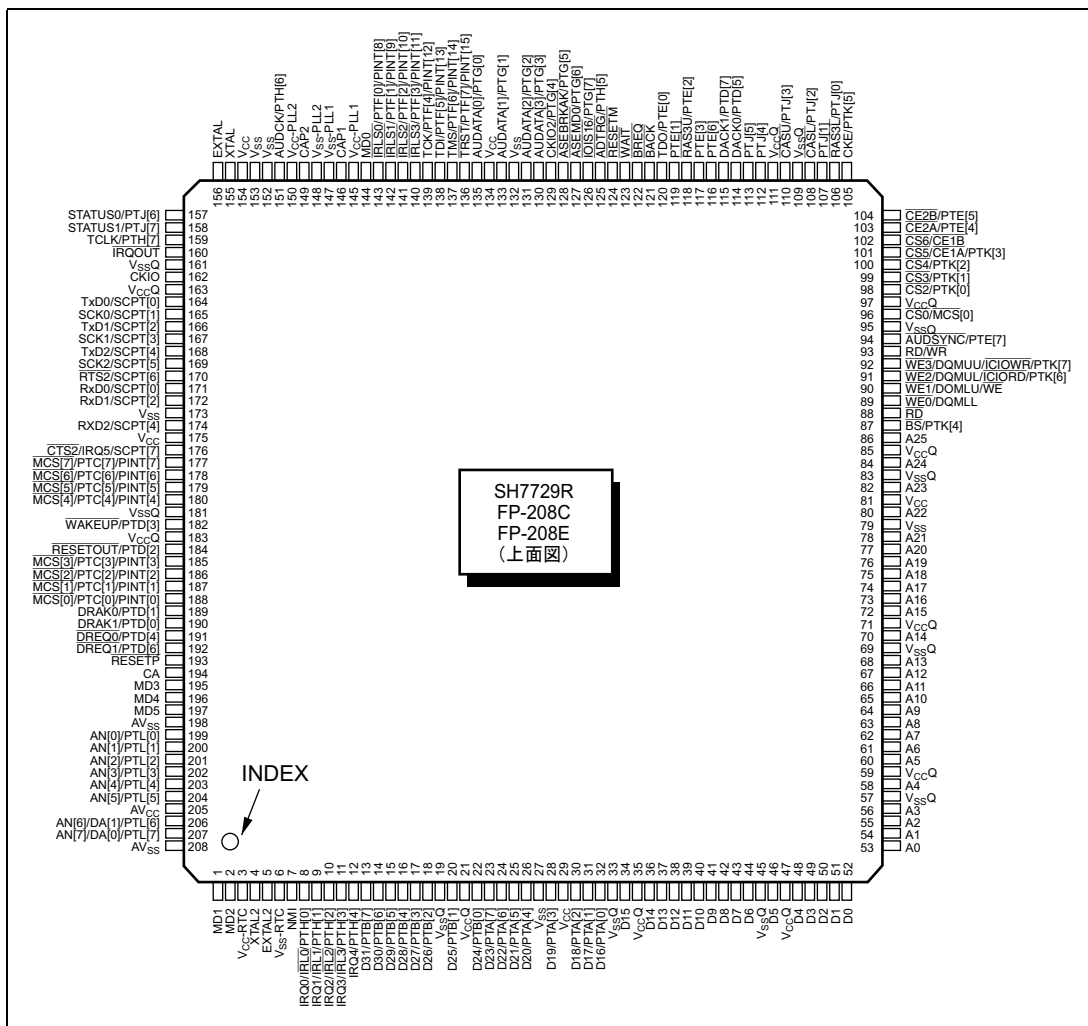


図 1.2 ピン配置図 (FP-208C、FP-208E)

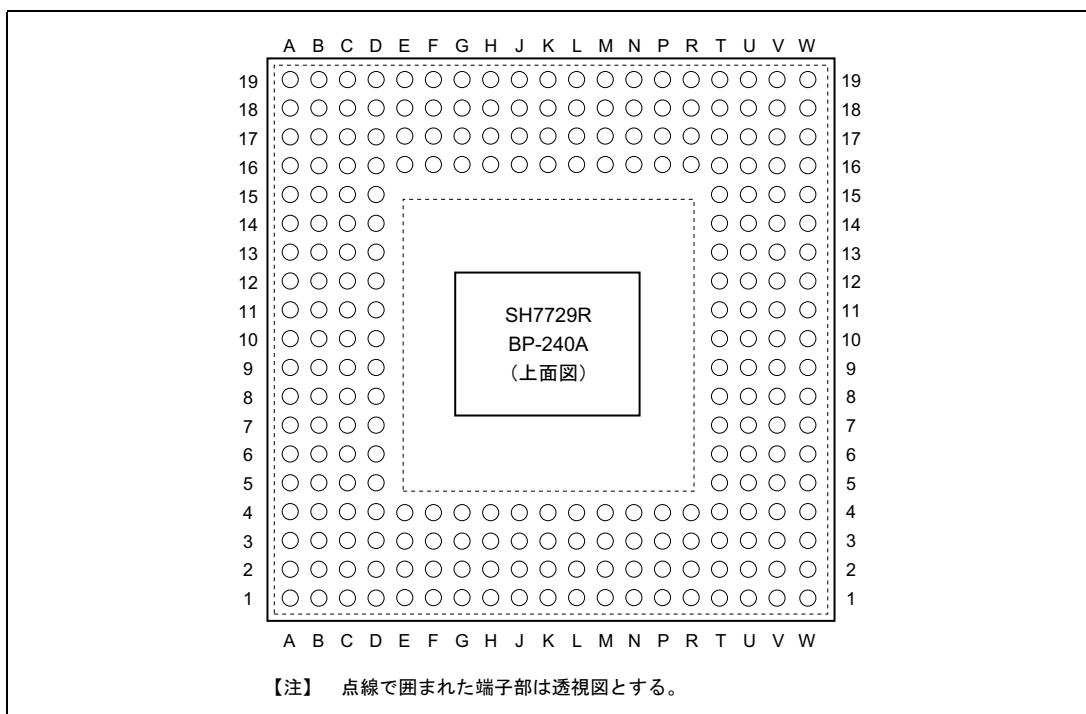


図 1.3 ピン配置図 (BP-240A)

1. 概要

1.3.2 端子の機能

各端子の機能を表 1.3 に示します。

表 1.3 SH7729R 端子機能

端子番号 (FP-208C) (FP-208E)	端子番号 (BP-240A)	端子名	入出力	説明
1	D2	MD1	入力	クロックモード設定
2	C2	MD2	入力	クロックモード設定
3	E2	Vcc-RTC ^{*1}	—	RTC 用電源 (*3)
4	D1	XTAL2	出力	内蔵 RTC 用水晶発振器端子
5	D3	EXTAL2	入力	内蔵 RTC 用水晶発振器端子 (*6)
6	E1	Vss-RTC ^{*1}	—	RTC 用電源 (0V)
7	C3	NMI	入力	ノンマスクابل割り込み要求
8	E3	IRQ0/IRL0/PTH[0]	入力	外部割り込み要求/入力ポート H
9	E4	IRQ1/IRL1/PTH[1]	入力	外部割り込み要求/入力ポート H
10	F1	IRQ2/IRL2/PTH[2]	入力	外部割り込み要求/入力ポート H
11	F2	IRQ3/IRL3/PTH[3]	入力	外部割り込み要求/入力ポート H
12	F3	IRQ4/PTH[4]	入力	外部割り込み要求/入力ポート H
13	F4	D31/PTB[7]	入出力	データバス/入出力ポート B
14	G1	D30/PTB[6]	入出力	データバス/入出力ポート B
15	G2	D29/PTB[5]	入出力	データバス/入出力ポート B
16	G3	D28/PTB[4]	入出力	データバス/入出力ポート B
17	G4	D27/PTB[3]	入出力	データバス/入出力ポート B
18	H1	D26/PTB[2]	入出力	データバス/入出力ポート B
19	H2	VssQ	—	入出力用電源 (0V)
20	H3	D25/PTB[1]	入出力	データバス/入出力ポート B
21	H4	VccQ	—	入出力用電源 (3.3V)
22	J1	D24/PTB[0]	入出力	データバス/入出力ポート B
23	J2	D23/PTA[7]	入出力	データバス/入出力ポート A
24	J4	D22/PTA[6]	入出力	データバス/入出力ポート A
25	J3	D21/PTA[5]	入出力	データバス/入出力ポート A
26	K2	D20/PTA[4]	入出力	データバス/入出力ポート A
27	K3	Vss	—	電源 (0V)
—	K4	Vss	—	電源 (0V)
28	K1	D19/PTA[3]	入出力	データバス/入出力ポート A
29	L3	Vcc	—	電源 (*3)
—	L4	Vcc	—	電源 (*3)
30	L2	D18/PTA[2]	入出力	データバス/入出力ポート A
31	L1	D17/PTA[1]	入出力	データバス/入出力ポート A
32	M4	D16/PTA[0]	入出力	データバス/入出力ポート A
33	M3	VssQ	—	入出力用電源 (0V)

端子番号 (FP-208C) (FP-208E)	端子番号 (BP-240A)	端子名	入出力	説明
34	M2	D15	入出力	データバス
35	M1	VccQ	-	入出力用電源 (3.3V)
36	N4	D14	入出力	データバス
37	N3	D13	入出力	データバス
38	N2	D12	入出力	データバス
39	N1	D11	入出力	データバス
40	P4	D10	入出力	データバス
41	P3	D9	入出力	データバス
42	P2	D8	入出力	データバス
43	P1	D7	入出力	データバス
44	R4	D6	入出力	データバス
45	R3	VssQ	-	入出力用電源 (0V)
46	T4	D5	入出力	データバス
47	R1	VccQ	-	入出力用電源 (3.3V)
48	T3	D4	入出力	データバス
49	T1	D3	入出力	データバス
50	R2	D2	入出力	データバス
51	U2	D1	入出力	データバス
52	T2	D0	入出力	データバス
53	V4	A0	出力	アドレスバス
54	V3	A1	出力	アドレスバス
55	V5	A2	出力	アドレスバス
56	W4	A3	出力	アドレスバス
57	U4	VssQ	-	入出力用電源 (0V)
58	W5	A4	出力	アドレスバス
59	U3	VccQ	-	入出力用電源 (3.3V)
60	U5	A5	出力	アドレスバス
61	T5	A6	出力	アドレスバス
62	W6	A7	出力	アドレスバス
63	V6	A8	出力	アドレスバス
64	U6	A9	出力	アドレスバス
65	T6	A10	出力	アドレスバス
66	W7	A11	出力	アドレスバス
67	V7	A12	出力	アドレスバス
68	U7	A13	出力	アドレスバス
69	T7	VssQ	-	入出力用電源 (0V)

1. 概要

端子番号 (FP-208C) (FP-208E)	端子番号 (BP-240A)	端子名	入出力	説明
70	W8	A14	出力	アドレスバス
71	V8	VccQ	-	入出力用電源 (3.3V)
72	U8	A15	出力	アドレスバス
73	T8	A16	出力	アドレスバス
74	W9	A17	出力	アドレスバス
75	V9	A18	出力	アドレスバス
76	T9	A19	出力	アドレスバス
77	U9	A20	出力	アドレスバス
78	V10	A21	出力	アドレスバス
79	U10	Vss	-	電源 (0V)
—	T10	Vss	出力	電源 (0V)
80	W10	A22	出力	アドレスバス
81	U11	Vcc	-	電源 (*3)
—	T11	Vcc	-	電源 (*3)
82	V11	A23	出力	アドレスバス
83	W11	VssQ	-	入出力用電源 (0V)
84	T12	A24	出力	アドレスバス
85	U12	VccQ	-	入出力用電源 (3.3V)
86	V12	A25	出力	アドレスバス
87	W12	BS/PTK[4]	出力/ 入出力	バスサイクル開始信号/入出力ポート K
88	T13	\overline{RD}	出力	リードストローブ
89	U13	$\overline{WE0}/DQMLL$	出力	D7-D0 セレクト信号/DQM (SDRAM)
90	V13	$\overline{WE1}/DQMLU/WE$	出力	D15-D8 セレクト信号/DQM (SDRAM)
91	W13	$\overline{WE2}/DQMUL/CIORD/PTK[6]$	出力/ 入出力	D23-D16 セレクト信号/DQM (SDRAM) /PCMCIA I/O リード/入出力ポート K
92	T14	$\overline{WE3}/DQMUU/CIOWR/PTK[7]$	出力/ 入出力	D31-D24 セレクト信号/DQM (SDRAM) /PCMCIA I/O ライト/入出力ポート K
93	U14	RD/\overline{WR}	出力	リード/ライト
94	V14	AUDSYNC/PTE[7]	出力/ 入出力	AUD 同期/入出力ポート E
95	W14	VssQ	-	入出力用電源 (0V)
96	T15	$\overline{CS0}/MCS[0]$	出力	チップセレクト 0/マスク ROM チップセレクト 0
97	U15	VccQ	-	入出力用電源 (3.3V)
98	T16	$\overline{CS2}/PTK[0]$	出力/ 入出力	チップセレクト 2/入出力ポート K
99	W15	$\overline{CS3}/PTK[1]$	出力/ 入出力	チップセレクト 3/入出力ポート K

1. 概要

端子番号 (FP-208C) (FP-208E)	端子番号 (BP-240A)	端子名	入出力	説明
100	U16	CS4/PTK[2]	出力/ 入出力	チップセレクト 4/入出力ポート K
101	W16	CS5/CE1A/PTK[3]	出力/ 入出力	チップセレクト 5/CE1 (エリア 5PCMCIA) / 入出力ポート K
102	V15	CS6/CE1B	出力	チップセレクト 6/CE1 (エリア 6PCMCIA)
103	V17	CE2A/PTE[4]	出力/ 入出力	CE2 (エリア 5PCMCIA) /入出力ポート E
104	V16	CE2B/PTE[5]	出力/ 入出力	CE2 (エリア 6PCMCIA) /入出力ポート E
105	T18	CKE/PTK[5]	出力/ 入出力	CK イネーブル (SDRAM) /入出力ポート K
106	U18	RAS3L/PTJ[0]	出力/ 入出力	下位 32M/64M バイトアドレス (SDRAM) 用 RAS/ 入出力ポート J
107	U19	PTJ[1]	入出力	入出力ポート J
108	R18	CASL/PTJ[2]	出力/ 入出力	下位 32M/64M バイトアドレス (SDRAM) 用 CAS/ 入出力ポート J
109	T19	VssQ	-	入出力用電源 (0V)
110	T17	CASU/PTJ[3]	出力/ 入出力	上位 32M バイトアドレス (SDRAM) 用 CAS/ 入出力ポート J
111	R19	VccQ	-	入出力用電源 (3.3V)
112	U17	PTJ[4]	入出力	入出力ポート J
113	R17	PTJ[5]	入出力	入出力ポート J
114	R16	DACK0/PTD[5]	出力/ 入出力	DMA アクノリッジ 0/入出力ポート D
115	P19	DACK1/PTD[7]	出力/ 入出力	DMA アクノリッジ 1/入出力ポート D
116	P18	PTE[6]	入出力	入出力ポート E
117	P17	PTE[3]	入出力	入出力ポート E
118	P16	RAS3U/PTE[2]	出力/ 入出力	上位 32M バイトアドレス (SDRAM) 用 RAS/ 入出力ポート E
119	N19	PTE[1]	入出力	入出力ポート E
120	N18	TDO/PTE[0]	出力/ 入出力	テストデータ出力/入出力ポート E
121	N17	BACK	出力	バスアクノリッジ
122	N16	BREQ	入力	バス要求
123	M19	WAIT	入力	ハードウェアウェイト要求
124	M18	RESETM	入力	マニュアルリセット要求

1. 概要

端子番号 (FP-208C) (FP-208E)	端子番号 (BP-240A)	端子名	入出力	説明
125	M17	ADTRG/PTH[5]	入力	アナログトリガ/入力ポート H
126	M16	IOIS16/PTG[7]	入力	IOIS16 (PCMCIA) /入力ポート G
127	L19	ASEMD0/PTG[6]	入力	ASE モード ^{*4} /入力ポート G
128	L18	ASEBRKAK/PTG[5]	出力/入力	ASE ブレークアクノリッジ/入力ポート G
129	L16	PTG[4]/CKIO2	出力/入力	入力ポート G/クロック出力
130	L17	AUDATA[3]/PTG[3]	入出力/ 入力	AUD データ/入力ポート G
131	K18	AUDATA[2]/PTG[2]	入出力/ 入力	AUD データ/入力ポート G
132	K17	Vss	-	電源 (0V)
—	K16	Vss	-	電源 (0V)
133	K19	AUDATA[1]/PTG[1]	入出力/ 入力	AUD データ/入力ポート G
134	J17	Vcc	-	電源 (*3)
—	J16	Vcc	-	電源 (*3)
135	J18	AUDATA[0]/PTG[0]	入出力/ 入力	AUD データ/入力ポート G
136	J19	TRST/PTF[7]/PINT[15]	入力	テストリセット/入力ポート F/ポート割り込み
137	H16	TMS/PTF[6]/PINT[14]	入力	テストモードスイッチ/入力ポート F/ ポート割り込み
138	H17	TDI/PTF[5]/PINT[13]	入力	テストデータ入力/入力ポート F/ ポート割り込み
139	H18	TCK/PTF[4]/PINT[12]	入力	テストクロック/入力ポート F/ポート割り込み
140	H19	IRLS3/PTF[3]/PINT[11]	入力	外部割り込み要求/入力ポート F/ポート割り込み
141	G16	IRLS2/PTF[2]/PINT[10]	入力	外部割り込み要求/入力ポート F/ポート割り込み
142	G17	IRLS1/PTF[1]/PINT[9]	入力	外部割り込み要求/入力ポート F/ポート割り込み
143	G18	IRLS0/PTF[0]/PINT[8]	入力	外部割り込み要求/入力ポート F/ポート割り込み
144	G19	MD0	入力	クロックモード設定
145	F16	Vcc-PLL1 ^{*2}	-	PLL1 用電源 (*3)
146	F17	CAP1	-	PLL1 用外部容量端子
147	F18	Vss-PLL1 ^{*2}	-	PLL1 用電源 (0V)
148	F19	Vss-PLL2 ^{*2}	-	PLL2 用電源 (0V)
149	E16	CAP2	-	PLL2 用外部容量端子
150	E17	Vcc-PLL2 ^{*2}	-	PLL2 用電源 (*3)
151	D16	AUDCK/PTH[6]	入力	AUD クロック/入力ポート H
152	E19	Vss	-	電源 (0V)
153	D17	Vss	-	電源 (0V)
—	D19	Vss	-	電源 (0V)
154	E18	Vcc	-	電源 (*3)

端子番号 (FP-208C) (FP-208E)	端子番号 (BP-240A)	端子名	入出力	説明
—	C19	Vcc	—	電源 (*3)
155	C18	XTAL	出力	クロック発振器端子
156	D18	EXTAL	入力	外部クロック／水晶発振器端子
157	B16	STATUS0/PTJ[6]	出力／入出力	プロセッサステータス／入出力ポート J
158	B17	STATUS1/PTJ[7]	出力／入出力	プロセッサステータス／入出力ポート J
159	B15	TCCLK/PTH[7]	入出力	TMU または RTC 用クロック入出力／ 入出力ポート H
160	A16	IRQOUT	出力	割り込み要求通知
161	C16	VssQ	—	入出力用電源 (0V)
162	A15	CKIO	入出力	システムクロック入出力
163	C17	VccQ	—	入出力用電源 (3.3V)
164	C15	TxD0/SCPT[0]	出力	送信データ 0/SCI 用出力ポート
165	D15	SCK0/SCPT[1]	入出力	シリアルクロック 0/SCI 用入出力ポート
166	A14	TxD1/SCPT[2]	出力	送信データ 1/SCI 用出力ポート
167	B14	SCK1/SCPT[3]	入出力	シリアルクロック 1/SCI 用入出力ポート
168	C14	TxD2/SCPT[4]	出力	送信データ 2/SCI 用出力ポート
169	D14	SCK2/SCPT[5]	入出力	シリアルクロック 2/SCI 用入出力ポート
170	A13	RTS2/SCPT[6]	出力／入出力	送信要求 2/SCI 用入出力ポート
171	B13	RxD0/SCPT[0]	入力	送信データ 0/SCI 用入力ポート
172	C13	RxD1/SCPT[2]	入力	送信データ 1/SCI 用入力ポート
173	D13	Vss	—	電源 (0V)
—	A12	Vss	—	電源 (0V)
174	B12	RxD2/SCPT[4]	入力	送信データ 2/SCI 用入力ポート
175	C12	Vcc	—	電源 (*3)
—	D12	Vcc	—	電源 (*3)
176	A11	CTS2/IRQ5/ SCPT[7]	入力	送信クリア 2/外部割り込み要求/SCI 用入力 ポート
177	B11	MCS[7]/PTC[7]/ PINT[7]	出力／ 入出力／入力	マスク ROM チップセレクト/入出力ポート C/ ポート割り込み
178	D11	MCS[6]/PTC[6]/ PINT[6]	出力／ 入出力／入力	マスク ROM チップセレクト/入出力ポート C/ ポート割り込み
179	C11	MCS[5]/PTC[5]/ PINT[5]	出力／ 入出力／入力	マスク ROM チップセレクト/入出力ポート C/ ポート割り込み
180	B10	MCS[4]/PTC[4]/ PINT[4]	出力／ 入出力／入力	マスク ROM チップセレクト/入出力ポート C/ ポート割り込み
181	C10	VssQ	—	入出力用電源 (0V)
182	D10	WAKEUP/PTD[3]	出力／入出力	スタンバイモード時割り込み要求通知/入出力ポート D
183	A10	VccQ	—	入出力用電源 (3.3V)

1. 概要

端子番号 (FP-208C) (FP-208E)	端子番号 (BP-240A)	端子名	入出力	説明
184	C9	RESETOUT/ PTD[2]	出力/入出力	リセット出力/入出力ポート D
185	D9	MCS[3]/PTC[3]/ PINT[3]	出力/ 入出力/入力	マスク ROM チップセレクト/入出力ポート C/ ポート割り込み
186	B9	MCS[2]/PTC[2]/ PINT[2]	出力/ 入出力/入力	マスク ROM チップセレクト/入出力ポート C/ ポート割り込み
187	A9	MCS[1]/PTC[1]/ PINT[1]	出力/ 入出力/入力	マスク ROM チップセレクト/入出力ポート C/ ポート割り込み
188	D8	MCS[0]/PTC[0]/ PINT[0]	出力/ 入出力/入力	マスク ROM チップセレクト/入出力ポート C/ ポート割り込み
189	C8	DRAK0/PTD[1]	出力/入出力	DMA 要求受け付け/入出力ポート D
190	B8	DRAK1/PTD[0]	出力/入出力	DMA 要求受け付け/入出力ポート D
191	A8	DREQ0/PTD[4]	入力	DMA 要求/入力ポート D
192	D7	DREQ1/PTD[6]	入力	DMA 要求/入力ポート D
193	C7	RESETP	入力	パワーオンリセット要求
194	B7	CA	入力	チップアクティブ (ハードウェアスタンバイ要求 信号)
195	A7	MD3	入力	エリア 0 用バス幅設定
196	D6	MD4	入力	エリア 0 用バス幅設定
197	C6	MD5	入力	エンディアン設定
198	B6	AVss	-	アナログ用電源 (0V)
199	A6	AN[0]/PTL[0]	入力	AD コンバータ入力/入力ポート L
200	D5	AN[1]/PTL[1]	入力	AD コンバータ入力/入力ポート L
201	C5	AN[2]/PTL[2]	入力	AD コンバータ入力/入力ポート L
202	D4	AN[3]/PTL[3]	入力	AD コンバータ入力/入力ポート L
203	A5	AN[4]/PTL[4]	入力	AD コンバータ入力/入力ポート L
204	C4	AN[5]/PTL[5]	入力	AD コンバータ入力/入力ポート L
205	A4	AVcc	-	アナログ用電源 (3.3V)
206	B5	AN[6]/DA[1]/PTL[6]	入力	AD コンバータ入力/DA コンバータ出力/入力ポート L
207	B3	AN[7]/DA[0]/PTL[7]	入力	AD コンバータ入力/DA コンバータ出力/入力ポート L
208	B4	AVss	-	アナログ用電源 (0V)

- 【注】 *1 RTC を使用しない場合も、必ず電源に接続してください。
- *2 ハードウェアスタンバイモード以外では、全電源端子をシステムの電源に接続してください (常時給電してください)。ハードウェアスタンバイモードでは、少なくとも V_{CC-RTC} 、 V_{SS-RTC} に給電してください。 V_{CC-RTC} 、 V_{SS-RTC} 以外の電源端子に給電しないときは、CA 端子をローレベルに保持してください。
- *3 200MHz 品は 2.0V、167MHz 品は 1.9V、133MHz 品は 1.8V、100MHz 品は 1.7V
- *4 エミュレータおよび H-UDI を使用せずに、ユーザシステム単体で使用する場合はハイレベルにしてください。ローレベルまたはオープンの場合 RESETP がマスクされることがあります (「第 23 章 ユーザデバッグインタフェース (H-UDI)」参照)。
- *5 B2、B1、C1、U1、V1、W1、V2、W2、W3、W17、W18、W19、V18、V19、B19、A19、B18、A18、A17、A3、

A2、A1 は NC ピンです。これらの端子には接続しないでください。

*6 EXTAL2 未使用時は V_{cc} —RTC のレベルにプルアップしてください。

1. 概要

2. CPU

2.1 レジスタ構成

SH7729R は、SH-3 と同じレジスタを持っています。また、SH7729R は SH-DSP と同じ DSP 関連レジスタもサポートしています。ソフトウェアでアクセス可能な基本レジスタは 4 種類のグループに分けられます。

- 汎用レジスタ
- コントロールレジスタ
- システムレジスタ
- DSPレジスタ

いくつかの DSP レジスタを除き、以上のレジスタはすべて 32 ビットの幅を持っています。汎用レジスタはユーザーモードからアクセスでき、R0~R7 はバンク化され、各プロセッサモードで別の R0~R7 レジスタセット、すなわち、R0~R7_BANK0 および R0~R7_BANK1 をアクセスできるようになっています。特権モードではステータスレジスタ (SR) のレジスタバンクビット (RB) はバンクレジスタ (R0~R7_BANK0 または R0~R7_BANK1) のどのセットが汎用レジスタとしてアクセスされ、どのセットが LDC/STC 命令のみによってアクセスされるかを定義します。

コントロールレジスタは LDC/STC 命令によってアクセスできます。このうち GBR、RS、RE、MOD レジスタはユーザーモードでもアクセスできます。コントロールレジスタは次のとおりです。

- SR : ステータスレジスタ
- SSR : 退避ステータスレジスタ
- SPC : 退避プログラムカウンタ
- GBR : グローバルベースレジスタ
- VBR : ベクタベースレジスタ
- RS : 繰り返し開始レジスタ (DSPモードのみ)
- RE : 繰り返し終了レジスタ (DSPモードのみ)
- MOD : モジュールレジスタ (DSPモードのみ)

システムレジスタは LDS/STS 命令 (PC はソフトウェアでアクセス不可能ですが、その内容は例外処理で SPC に退避され、また SPC から復帰されるのでここに含めます) によってアクセスします。システムレジスタは次のとおりです。

- MACH : 積和上位レジスタ
- MACL : 積和下位レジスタ
- PR : プロシージャレジスタ
- PC : プログラムカウンタ

2. CPU

本章では各モードにおけるこれらのレジスタの使用方法について説明します。

処理モード別のレジスタ構成を図 2.1、図 2.2 に示します。

ユーザーモードと特権モードは、ステータスレジスタの動作モードビット (MD) で切り替えます。

DSP モードは、ステータスレジスタの DSP ビットで切り替えます (図 2.5 参照)。

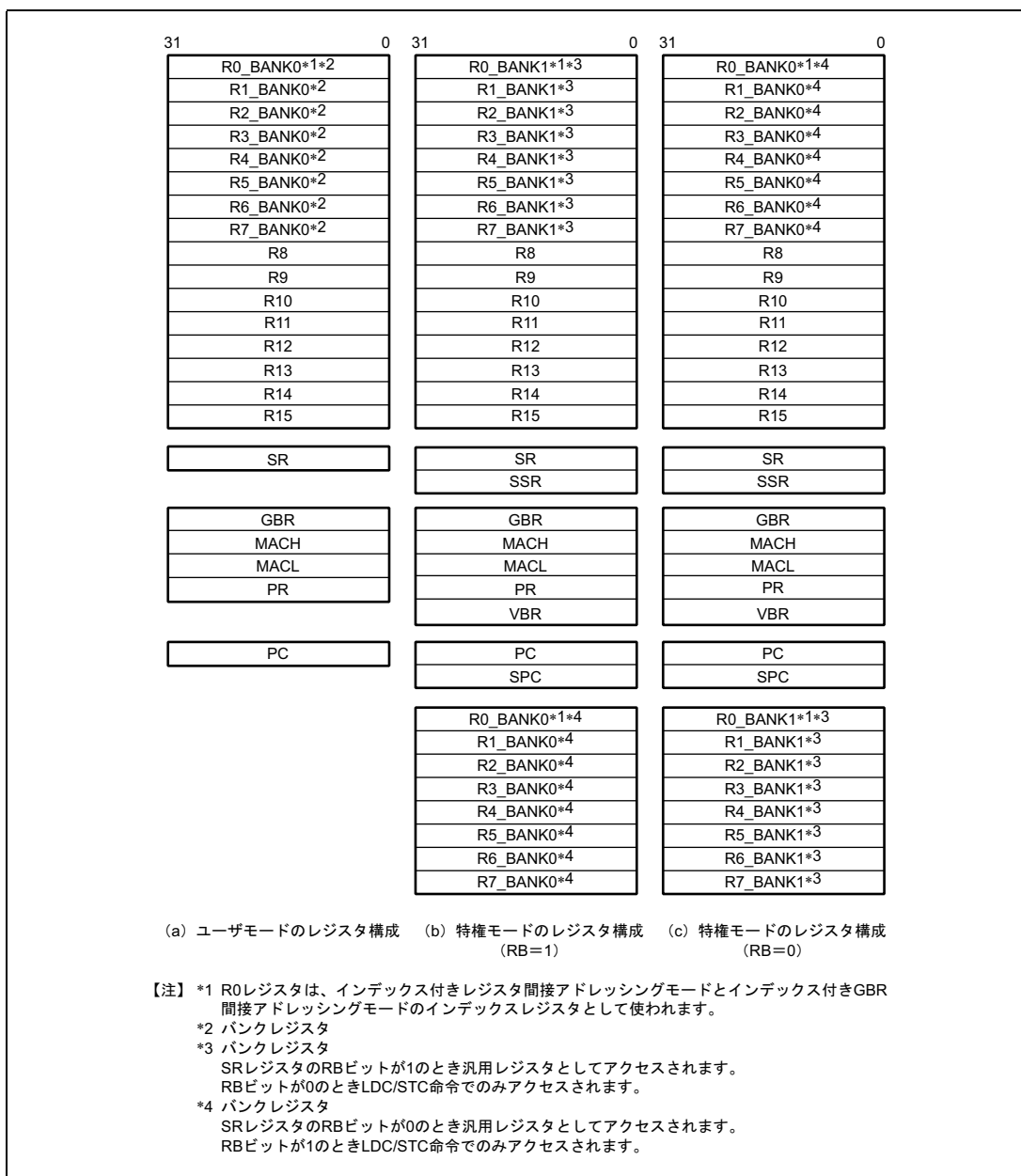


図 2.1 処理モード別のレジスタ構成 (1)

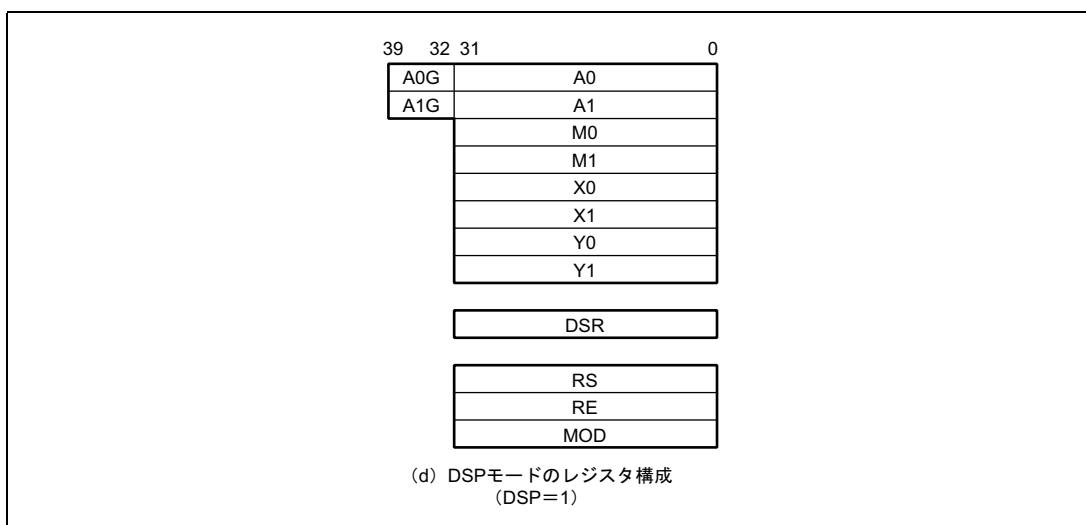


図 2.2 処理モード別のレジスタ構成 (2)

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0~R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、 BL ビットは 1、I3~I0 は 1111 (H'F)、予約ビットは 0、その他 は不定
	GBR、SSR、SPC	不定
	VBR	H'00000000
	RS、RE	不定
	MOD	不定
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
DSP レジスタ	A0、A0G、A1、A1G、M0、M1、X0、X1、Y0、Y1	不定
	DSR	H'00000000

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

2.1.1 汎用レジスタ

汎用レジスタ (Rn) は、32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。

Super H マイコンタイプの命令では、R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、スタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は R15 を用いてスタックを参照し行います。

DSP タイプの命令では、汎用レジスタ 16 本のうち、8 つのレジスタが X、Y データメモリおよび L バスを使うデータメモリ (シングルデータ) のアドレッシングに使われます。

X メモリをアクセスするためには、X アドレスレジスタ [Ax] として R4、R5 を使い、X インデックスレジスタ [Ix] として R8 を使います。Y メモリをアクセスするためには、Y アドレスレジスタ [Ay] として R6、R7 を使い、Y インデックスレジスタ [Iy] として R9 を使います。L バスを使ってシングルデータをアクセスするためには、シングルデータアドレスレジスタ [As] として R2、R3、R4、R5 を使い、シングルデータインデックスレジスタ [Is] として R8 を使います。

図 2.3 に汎用レジスタを示します。本 LSI の汎用レジスタは、DSP 拡張機能を無効にしたときの SH-3 の汎用レジスタと同じです。

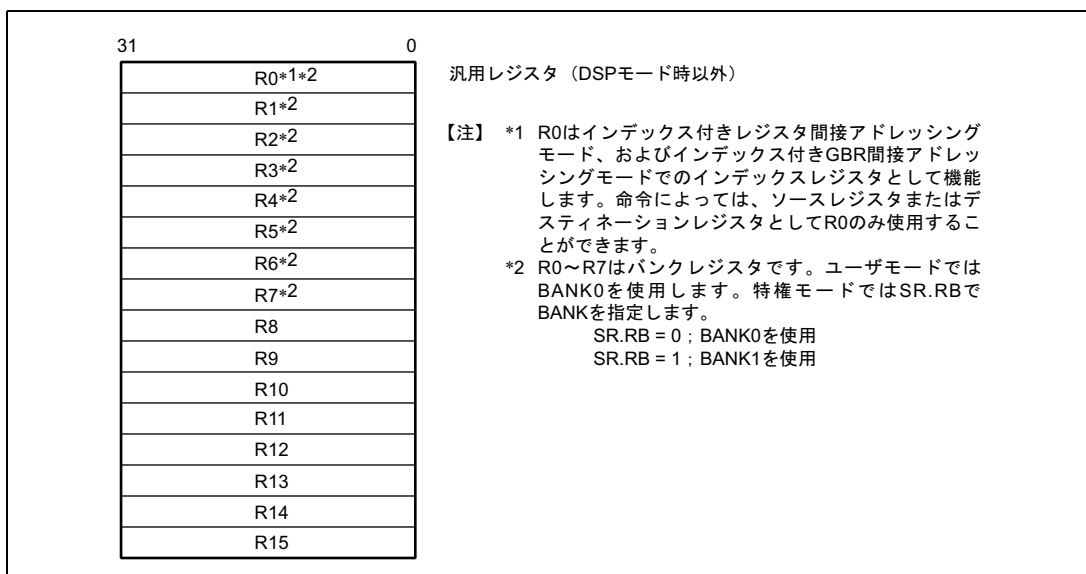


図 2.3 汎用レジスタ (DSP モード以外)

一方、R2~R9 レジスタは、DSP 拡張機能が有効なとき DSP データアドレス計算にも使用します (図 2.4 を参照)。DSP タイプ命令でのレジスタの目的を表すもう 1 つの記号を[]内に示します。

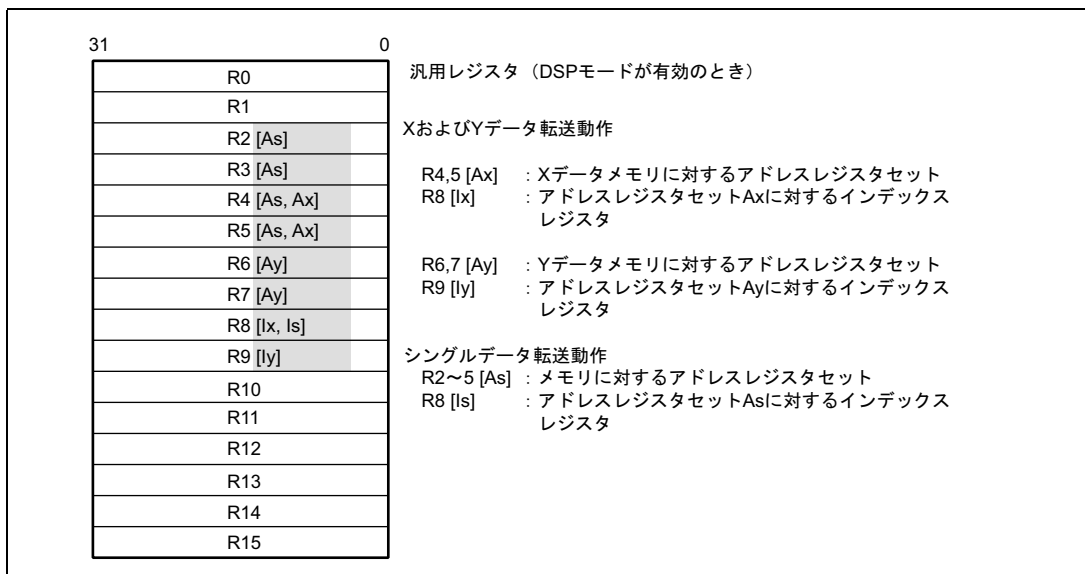


図 2.4 汎用レジスタ (DSP モード)

DSP タイプ命令は X、Y データメモリに同時にアクセスできます。X、Y データメモリのアドレスを指定するために、次の 2 つのアドレスポインタセットを用意しています。

X メモリアクセスに対する R8 [Ix], R4,5 [Ax]

Y メモリアクセスに対する R9 [Iy], R6,7 [Ay]

アセンブラでは R2、R3、...、R9 の記号名 (シンボル) を使います。もし DSP タイプ命令のためにレジスタの役割を明示したいときは、レジスタの別名 (エイリアス、alias) を使います。アセンブラで次のように書きます。

Ix: .REG (R8)

名前 Ix が R8 の別名になります。そのほか次のように別名を付けます。

Ax0: .REG (R4)

Ax1: .REG (R5)

Ix: .REG (R8)

Ay0: .REG (R6)

Ay1: .REG (R7)

Iy: .REG (R9)

As0: .REG (R4);これはシングルデータ転送のために別名が必要なときの定義です。

As1: .REG (R5);これはシングルデータ転送のために別名が必要なときの定義です。

As2: .REG (R2)

As3: .REG (R3)

Is: .REG (R8);これはシングルデータ転送のために別名が必要なときの定義です。

2.1.2 コントロールレジスタ

SH7729R には、SR、SSR、SPC、GBR、VBR、RS、RE、MOD の 8 つのコントロールレジスタがあります (図 2.5)。SSR、SPC、GBR、VBR は SH-3 レジスタと同じです。

SR には RC [11:0]、RF0、RF1、DMX、DMY、DSP ビットの 6 種類の追加コントロールビットがあります。そのうち、DMX、DMY、RC [11:0]、RF [1:0] は特権モード、特権 DSP モード、ユーザ DSP モードで変更できます。DMX、DMY はモジュロアドレッシングコントロールに使用します。DMX が "1" の場合、モジュロアドレッシングモードは X メモリアドレスポインタ Ax (R4 または R5) に対して有効です。DMY が "1" の場合、Y メモリアドレスポインタ Ay (R6 または R7) に対して有効です。ただし、DMX および DMY ビットの両方をセットしても、X および Y アドレスポインタの両方をモジュロアドレッシングモードで動作させることはできません。

DMX=DMY=1 の場合は将来の拡張のために予約されています。モジュロアドレッシングは、X、Y データ転送動作 (MOVX、MOVY) に利用できますが、シングルデータ転送動作 (MOVS) には利用できません。

RF1、RF0 は繰り返しステップ数情報を保持し、SETRC 命令の実行時にセットされます。RF [1:0] が 00 を示すとき、現在のリピートモジュールは 1 ステップの命令から構成されます。RF [1:0]=01 のときは 2 ステップの命令を意味します。RF [1:0]=11 のときは 3 ステップの命令です。RF [1:0]=10 のときは現在のリピートモジュールが 4 つ以上の命令から構成されることを意味します。

RC [11:0] と RF [1:0] は、SR へのストア・ロードでも変更できますが、専用操作命令 SETRC の使用を推奨します。

SR は 12 ビットのリピートカウンタ RC も持っており、これを用いて効率的にループを制御できます。繰り返し開始レジスタ (RS) および繰り返し終了レジスタ (RE) もループコントロールのために導入されています。これらはループのスタートアドレス、エンドアドレスを保持します (RS、RE レジスタの内容はループスタートおよびエンドの実際のアドレスとは若干異なります)。

モジュロレジスタ MOD は、循環データバッファリング向けのモジュロアドレッシングを実現するために導入されています。MOD はモジュロスタートアドレス (MS) およびモジュロエンドアドレス (ME) を保持します。

RS、RE、MOD にアクセスするために、それらに対するロード/ストア (コントロールレジスタ) 命令が導入されています。RS の例を次にあげます。

```
LDC Rm,RS;      Rm → RS
LDC.L @Rm+,Rs   (Rm) → RS, Rm+4 → Rm
STC RS,Rn;      RS → Rn
STC.L RS,@-Rn;  Rn-4 → Rn, RS → (Rn)
```

RS および RE に対するアドレスセット命令も用意しています。

```
LDRS @(disp,PC) disp × 2 + PC → RS
LDRE @(disp,PC)  disp × 2 + PC → RE
```

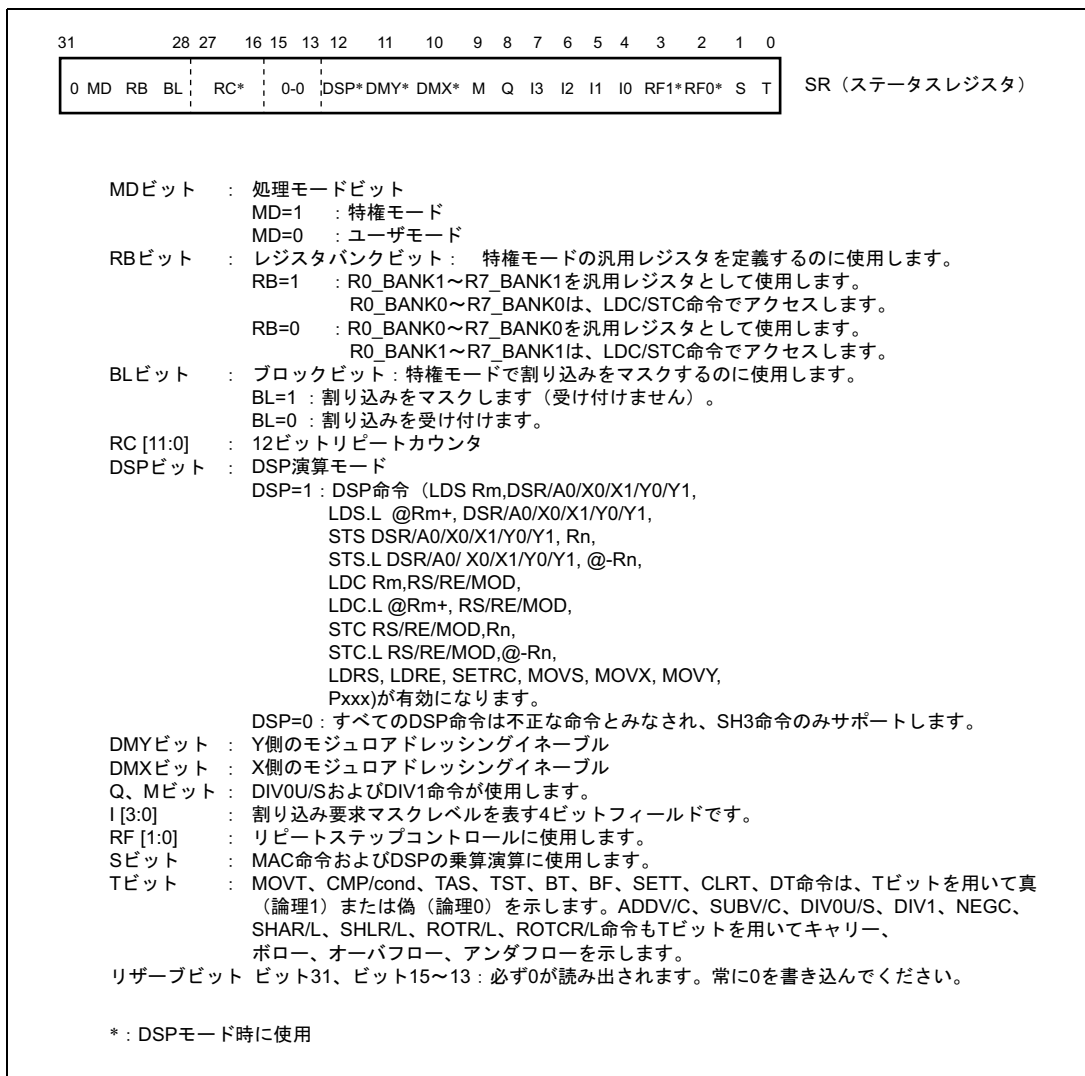


図 2.5 コントロールレジスタ (1)

2. CPU

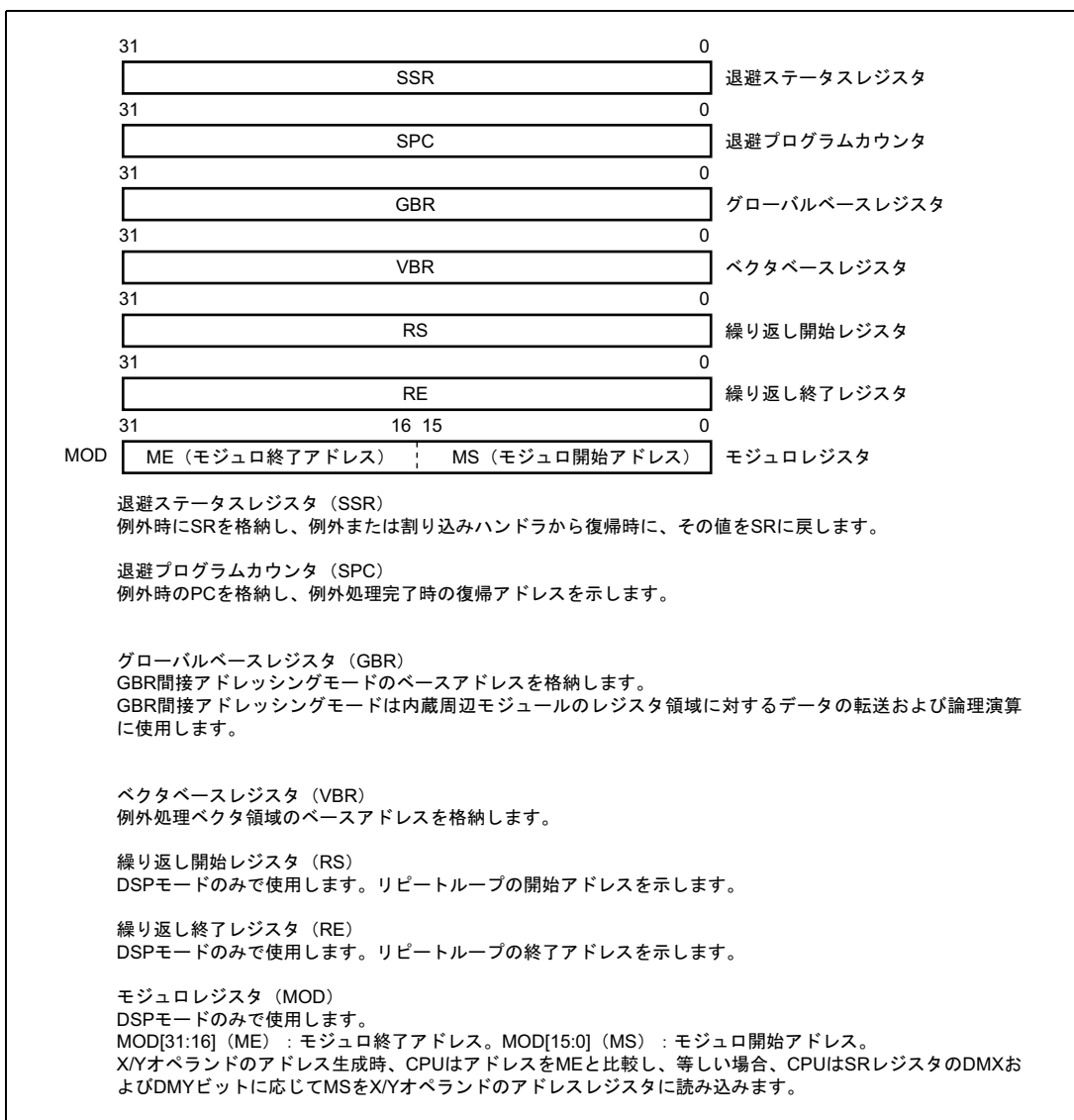


図 2.5 コントロールレジスタ (2)

STC/LDC 命令使用時のステータスレジスタ (SR) の詳細は下記のとおりです。

- (1) DSP 非動作時、SH-3 の場合と同様に動作します。
- (2) 特権 DSP モード時、特権モードと同様に動作します。
- (3) ユーザ DSP モード時、SR は STC 命令で読み出し可能です。
- (4) ユーザ DSP モード時、SR への LDC 命令発行は可能であり、この場合 DSP 関連ビットはライトプロテクトされません。

表 2.2 各 SH-3DSP モード時の SR の各ビットの動作説明

フィールド	特権モード	ユーザモード	特権 DSP モード	ユーザ DSP モード	専用命令による DSP 関連ビットへのアクセス	リセット後の初期値
	MD=1 & DSP=0	MD=0 & DSP=0	MD=1 & DSP=1	MD=0 & DSP=1		
MD	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		1
RB	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		1
BL	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		1
RC [11:0]	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETRC 命令	000000000000
DSP	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		0
DMX	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK		0
DMY	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK		0
Q	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		X
M	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		X
I[3:0]	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		1111
RF[1:0]	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : OK	SETRC 命令	X
S	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		X
T	S : OK, L : OK	S, L : 不当命令	S : OK, L : OK	S : OK, L : NG		X

S (STC) : Store SR to Rn, SR→Rn

L (LDC) : Load Rn to SR, Rn→SR

OK : STC/LDC 動作を許可します。

不当命令 : 不当命令を実行すると例外が発生します。

NG : 前の値を保持します。変化しません。

2. CPU

2.1.3 システムレジスタ

SH7729R は MACL、MACH、PR、PC の 4 つのシステムレジスタを持っています (図 2.6)。

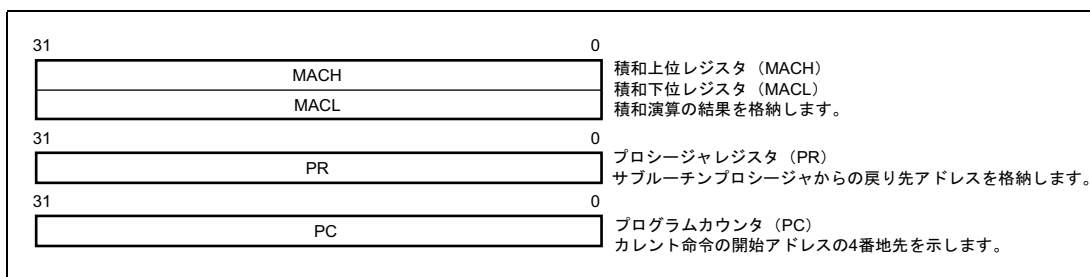


図 2.6 システムレジスタ

DSR、A0、X0、X1、Y0、Y1 レジスタは、システムレジスタとして扱われます。したがって、これらのレジスタ用に汎用レジスタとシステムレジスタ間のデータ転送命令がサポートされています。

2.1.4 DSP レジスタ

SH7729R は DSP レジスタとして 8 つのデータレジスタと 1 つのステータスレジスタ (図 2.7) を持っています。データレジスタは、レジスタ A0、A1 を除き、32 ビット幅です。レジスタ A0、A1 は 40 ビット幅で、8 ビット幅のガードビット A0G、A1G を持っています。

DSP データレジスタには 3 種類の命令でアクセスします。第 1 は DSP データ処理です。DSP 固定小数点データ命令がソースレジスタに A0 または A1 を使用するとき、ガードビット (ビット 39~32) を使用します。デスティネーションレジスタに A0 または A1 を使用するとき、ガードビットのビット 39~32 が有効になります。DSP 固定小数点データ命令がソースレジスタに A0 または A1 以外の DSP レジスタを使用するとき、ソース値をビット 39~32 に符号拡張して使用します。A0 または A1 以外の DSP レジスタをデスティネーションレジスタに使用するとき、結果のビット 39~32 は破棄されます。

2 番目は X および Y データ転送命令 "MOVX.W MOVY.W" です。この命令は 16 ビット X、Y データバス (図 2.8) によって X、Y メモリにアクセスします。この命令でロードまたはストアするレジスタは常に上位 16 ビット (ビット 31~16) です。X0 および X1 は X メモリロードのデスティネーション、Y0 および Y1 は Y メモリロードのデスティネーションになることができますが、他のレジスタはこの命令のデスティネーションレジスタになることはできません。

データをレジスタの上位 16 ビット (ビット 31~16) に読み込むとき、レジスタの下部 16 ビット (ビット 15~0) は自動的にクリアされます。

A0 と A1 は X および Y データ転送命令 "MOVX.W MOVY.W" によって X、Y メモリに格納することができますが、他のレジスタは格納することができません。

3番目はシングルデータ転送命令、"MOVS.W"および"MOVS.L"です。この命令はLDB（図2.8）によって任意のメモリにアクセスします。すべてのDSPレジスタはLDBにつながり、データ転送のソース、およびデスティネーションレジスタになることができます。これにはワードおよびロングワードアクセスモードがあります。ワードモードでは、A0G、A1Gを除くDSPレジスタでは、上位16ビット（ビット31～16）がロードあるいはストアの対象になります。ワードモードでA0G、A1G以外のレジスタにデータを読み込むと、レジスタの下半分はクリアされます。A0またはA1の場合、データはビット39～32に符号拡張されその下半分はクリアされます。ワードモードでA0GまたはA1Gがデスティネーションレジスタの場合、データは8ビットレジスタに読み込まれますが、A0またはA1はクリアされません。ロングワードモードでデスティネーションレジスタがA0またはA1のとき、データは39～32に符号拡張されます。

表2.3および表2.4はDSP命令で使用するレジスタのデータタイプを示します。命令コードの制限のため表に示すレジスタの中には使用できない演算もあります。たとえば、PMULSはソースレジスタにA1を使用できますが、A0は使用できません。これらの表はレジスタの選択性の詳細については省略しています。

表2.3 DSP命令のデスティネーションレジスタ

レジスタ		命令	ガードビット		レジスタビット			
			39	32	31	16	15	0
A0、A1	DSP 演算	固定小数点、PSHA、PMULS	（符号拡張）		40ビット結果			
		整数、PDMSB	（符号拡張）		24ビット結果		クリア	
		論理、PSHL	クリア		16ビット結果		クリア	
	データ 転送	MOVS.W	符号拡張		16ビットデータ		クリア	
		MOVS.L	符号拡張		32ビットデータ			
A0G、A1G	データ 転送	MOVS.W	データ		更新しない			
		MOVS.L	データ		更新しない			
X0、X1 Y0、Y1	DSP 演算	固定小数点、PSHA、PMULS			32ビット結果			
		整数、論理、PDMSB、PSHL			16ビット結果		クリア	
M0、M1	データ 転送	MOVX/Y.W、MOVS.W			16ビットデータ		クリア	
		MOVS.L			32ビットデータ			

2. CPU

表 2.4 DSP 命令のソースレジスタ

レジスタ		命令	ガードビット		レジスタビット			
			39	32	31	16	15	0
A0、A1	DSP 演算	固定小数点、PDMSB、PSHA	40 ビットデータ					
		整数	24 ビットデータ					
		論理、PSHL、PMULS			16 ビットデータ			
	データ 転送	MOVX/Y.W、MOVS.W			16 ビットデータ			
		MOVS.L			32 ビットデータ			
A0G、A1G	データ	MOVS.W	データ					
	転送	MOVS.L	データ					
X0、X1 Y0、Y1 M0、M1	DSP 演算	固定小数点、PDMSB、PSHA	符号*		32 ビットデータ			
		整数	符号*		16 ビットデータ			
		論理、PSHL、PMULS			16 ビットデータ			
	データ 転送	MOVS.W			16 ビットデータ			
		MOVS.L			32 ビットデータ			

【注】 * データを符号拡張し、ALUに入力する。

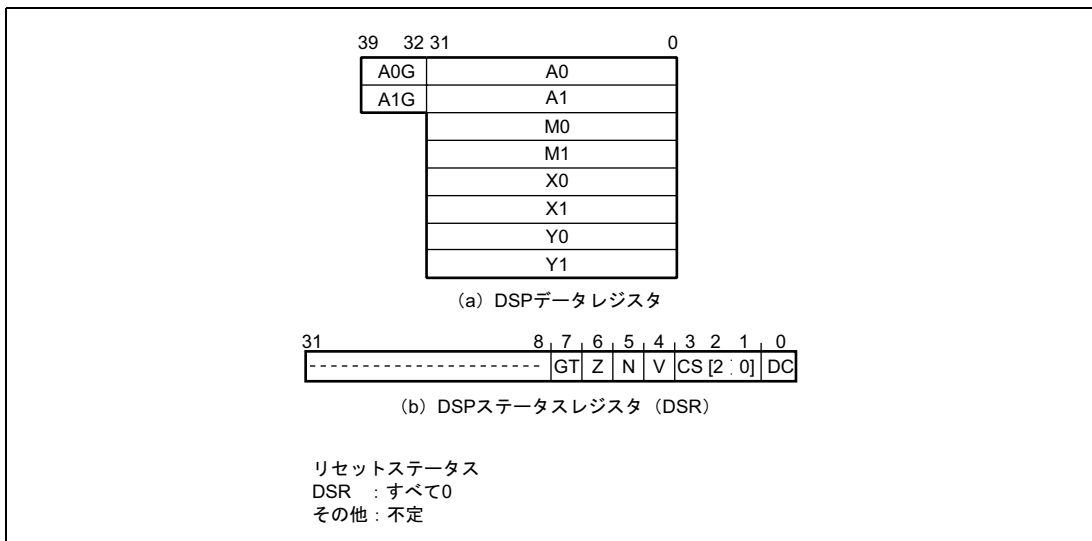


図 2.7 DSP レジスタ

表 2.5 DSP レジスタのビット

ビット	名称 (略称)	機能
31~8	予約ビット	0: 常に0が読み出されます 書き込む値も0にしてください。
7	符号付き大ビット (GT)	演算結果が正 (ゼロを除く)、またはオペランド1がオペランド2より大きいことを示します 1: 演算結果が正、またはオペランド1がオペランド2より大きい
6	ゼロビット (Z)	演算結果がゼロ (0)、またはオペランド1がオペランド2と等しいことを示します 1: 演算結果がゼロ (0)、またはオペランド1がオペランド2と等しい
5	負値ビット (N)	演算結果が負、またはオペランド1がオペランド2より小さいことを示します 1: 演算結果が負、またはオペランド1がオペランド2より小さい
4	オーバーフロービット (V)	演算結果がオーバーフローしたことを示します 1: 演算結果がオーバーフロー
3~1	状態選択ビット (CS)	DC ビットに設定する演算結果状態を選択するためのモードを指定します 110、111 は指定しないでください 000: キャリ/ポロモード 001: 負値モード 010: ゼロモード 011: オーバフローモード 100: 符号付き大モード 101: 符号付き以上モード
0	DSP 状態ビット (DC)	CS ビットで指定されたモードで演算結果の状態を設定します 0: 指定されたモードの状態が成立しない (不成立) 1: 指定されたモードの状態が成立

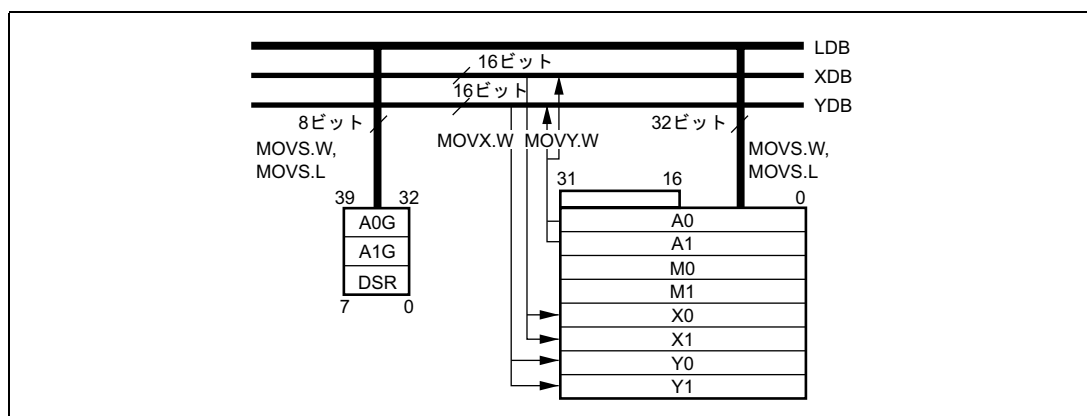


図 2.8 DSP レジスタとバスの接続

2. CPU

DSP ユニットの 1 つの DSP ステータスレジスタ (DSR) を持っています。DSR は DSP データ演算結果の状態 (ゼロ、負、など) を保持し、また CPU の T ビットに類似した DC ビットを持っています。DC ビットは状態フラグの 1 つを示します。条件付き DSP データ処理命令は DC ビットに基づいてその実行を制御します。この制御は DSP ユニットの命令のみに影響します。すなわち、DSP レジスタのみの更新を制御し、アドレスレジスタの更新、ロード/ストア命令などの CPU での命令を制御することはできません。コントロールビット CS [2:0] は DC ビットに反映する条件を指定します。

PMULS、MOVX、MOVY、MOVS を除く無条件 DSP タイプのデータ命令は条件フラグと DC ビットを更新しますが、MAC 命令を含む CPU 命令はどれも DC ビットを更新しません。条件付き DSP タイプ命令も DSR を更新することはありません。

DSR はシステムレジスタに割り当てられ、次のロード/ストア命令が用意されています。

```
STS DSR, Rn;  
STS.L DSR, @-Rn;  
LDS Rn, DSR;  
LDS.L @Rn+, DSR;
```

STS 命令で DSR を読み出すとき、上位ビット (ビット 31~ビット 8) はすべて 0 になります。

2.2 データ形式

2.2.1 レジスタのデータ形式 (非 DSP タイプ)

レジスタオペランドは常にロングワード (32 ビット) です (図 2.9)。メモリオペランドがバイト (8 ビット) かワード (16 ビット) の場合、レジスタに読み込むとロングワードに符号拡張されます。

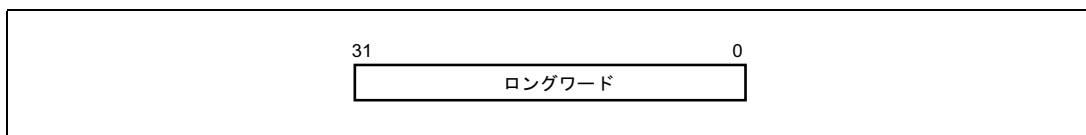


図 2.9 ロングワードオペランド

2.2.2 DSP タイプデータ形式

SH7729R は、命令によって異なるデータ形式を持っています。ここでは DSP タイプ命令用のデータ形式について解説します。

図 2.10 に、2 進小数点の位置の異なる 3 つの DSP タイプのデータ形式、また参考として、ビット 0 の右側に 2 進小数点を持つ CPU タイプのデータ形式を示します。

DSP タイプ固定小数点データ形式は、ビット 31 とビット 30 の間に 2 進小数点があります。DSP タイプ整数フォーマットはビット 16 とビット 15 の間に 2 進小数点があります。DSP タイプ論理フォーマットには 2 進小数点はありません。データ形式の有効なデータ長は命令および DSP レジスタによって異なります。

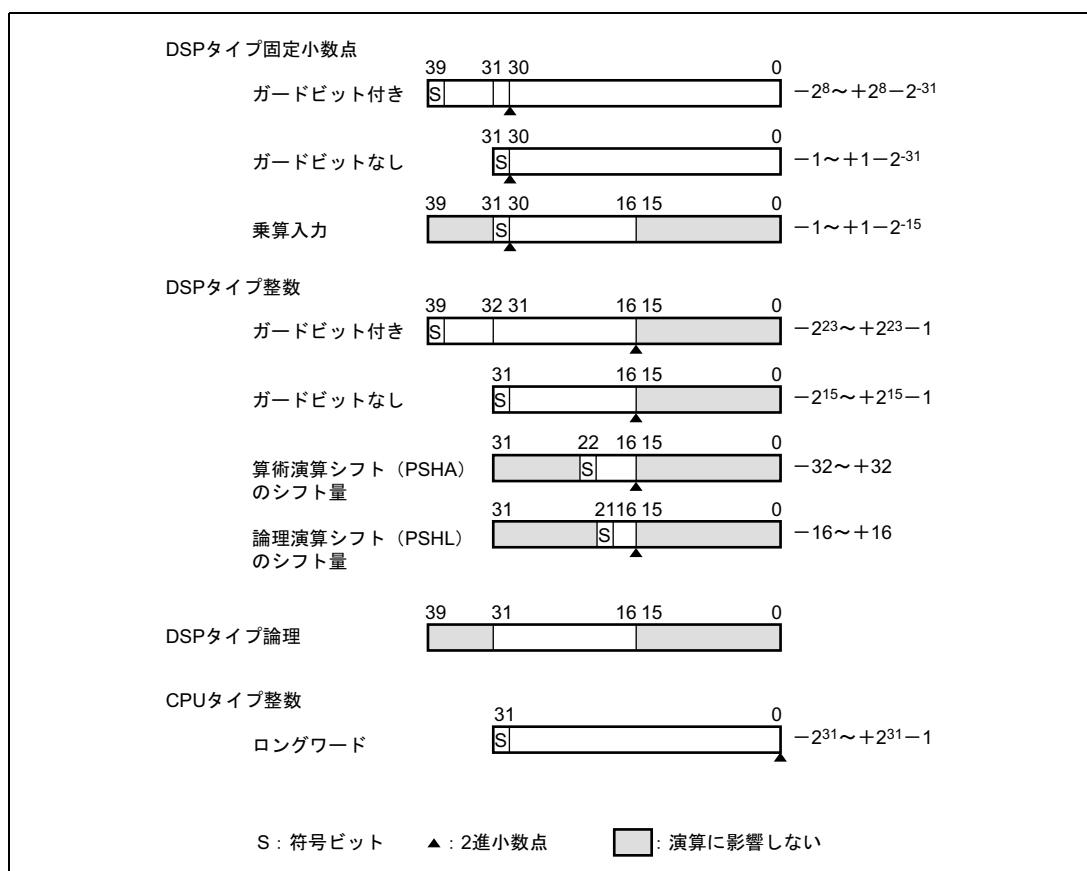


図 2.10 データ形式

算術演算シフト (PSHA) 命令のシフト量は、 $-64 \sim +63$ を表す 7 ビットフィールドを持っていますが、 $-32 \sim +32$ が有効な数です。また論理演算シフトのシフト量も 6 ビットフィールドを持っていますが、 $-16 \sim +16$ が有効な数です。

2.2.3 メモリのデータ形式

メモリのデータ形式は、バイト、ワード、ロングワードに分けられます。バイトデータは任意のアドレスからアクセスできますが、 $2n$ 以外のアドレスから始まるワードデータ、または $4n$ 以外のアドレスから始まるロングワードにアクセスしようとするアドレスエラーが発生します。このような場合、アクセスするデータは保証できません (図 2.11)。

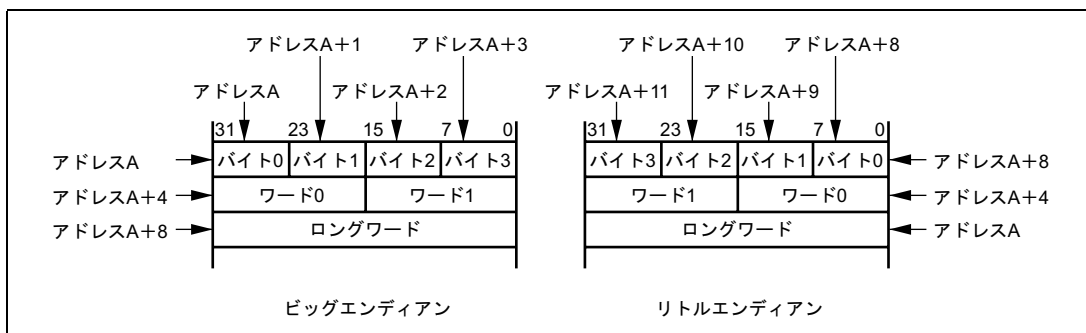


図 2.11 バイト、ワード、ロングワードの配列

データ形式は、リセット時の MD5 端子によってビッグエンディアンかリトルエンディアンのいずれかのバイト順を選択できます。MD5 がリセット時に Low のとき、本 LSI はビッグエンディアンで動作します。MD5 がリセット時に High のとき、本 LSI はリトルエンディアンで動作します。

2.3 CPU コア命令の特長

CPU コア命令は RISC 形式の命令です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令/1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト/ワード/ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.6 ワードデータの符号拡張

本 LSI の CPU	説明	他の CPU の例
MOV.W @ (disp,PC),R1 ADD R1,R0DATA.W H'1234	R1 は 32 ビットに符号拡張され、 H'00001234 になります。次に ADD 命令で演算され ます。	ADD.W #H'1234,R0

【注】 @ (disp,PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令などは、遅延分岐として実行されます。遅延分岐命令の場合、遅延分岐命令の直後の命令（スロット命令）を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐の分岐動作そのものは、スロット命令実行後に発生します。しかし、分岐動作を除くレジスタの更新などの命令の実行は、遅延分岐命令、遅延スロット命令の順に行われます。例えば、遅延スロットで分岐先アドレスが格納されているレジスタの内容を変更しても、分岐先アドレスは変更前のレジスタ内容のままです。

表 2.7 遅延分岐命令

本 LSI の CPU	説明	他の CPU の例
BRA TRGET ADD R1,R0	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0 BRA TRGET

(6) 乗算／積和演算

16×16→32 の乗算を 1～3 ステート、16×16+64→64 の積和演算を 2～3 ステートで実行します。32×32→64 の乗算や、32×32+64→64 の積和演算を 2～5 ステートで実行します。

(7) T ビット

比較結果はステータスレジスタ(SR)の T ビットに反映し、その真、偽によって条件分岐します。

2. CPU

表 2.8 T ビット

本 LSI の CPU	説明	他の CPU の例
CMP/GE R1,R0 BT TRGET0 BF TRGET1	R0 \geq R1 のとき T ビットがセットされます。 R0 \geq R1 のとき TRGET0 へ R0<R1 のとき TRGET1 へ分岐します。	CMP.W R1,R0 BGE TRGET0 BLT TRGET1
ADD #-1,R0 CMP/EQ #0,R0 BT TRGET	ADD では T ビットが変化しません。 R0=0 のとき T ビットがセットされます。 R0=0 のとき分岐します。	SUB.W #1,R0 BEQ TRGET

(8) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルはディスプレイスペースメン付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令(MOV) で参照します。

表 2.9 イミディエイトデータによる参照

区分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOV.W @(disp,PC),R0DATA.W H'1234	MOV.W #H'1234,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.10 絶対アドレスによる参照

区分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @(disp,PC),R1 MOV.B @R1,R0DATA.L H'12345678	MOV.B @H'12345678,R0

(10) 16ビット/32ビットディスプレイースメント

16ビットまたは32ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.11 ディスプレースメントによる参照

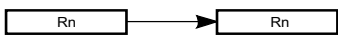
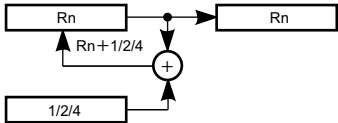
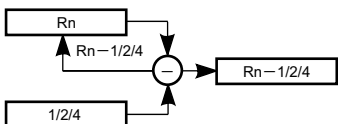
区分	本 LSI の CPU	他の CPU の例
16ビットディスプレイースメント	MOV.W @ (disp,PC),R0 MOV.W @(R0,R1),R2DATA.W H'1234	MOV.W @(H'1234,R1),R2

2.4 命令形式

2.4.1 CPU 命令のアドレッシングモード

CPU コアで実行される命令のアドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.12 CPU 命令のアドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	—
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。 命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4です。 	命令実行後 バイト : Rn+1→Rn ワード : Rn+2→Rn ロングワード : Rn+4→Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき1、ワードのとき2、ロングワードのとき4です。 	バイト : Rn-1→Rn ワード : Rn-2→Rn ロングワード : Rn-4→Rn (計算後の Rn で命令実行)

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付きレジスタ間接	@(disp:4,Rn)	<p>実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>	バイト : $Rn + disp$ ワード : $Rn + disp \times 2$ ロングワード : $Rn + disp \times 4$
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p>	$Rn + R0$
ディスプレイースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p>	$GBR + R0$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント 付き PC 相対	@(disp:8,PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。</p> <p>さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> <p style="text-align: right;">*ロングワードのとき</p>	<p>ワード : $PC + \text{disp} \times 2$</p> <p>ロングワード : $PC \& H'FFFFFFFC + \text{disp} \times 4$</p>
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + \text{disp} \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + \text{disp} \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$
イミディエイト	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	—
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	—

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	—

2.4.2 DSP データアドレッシング

DSP 命令では 2 つの異なるメモリアccessをします。1 つは X、Y データ転送命令 (MOVX.W、MOVY.W) で、もう 1 つはシングルデータ転送命令 (MOVS.W、MOVS.L) です。これらの 2 種類の命令のデータアドレッシングは異なります。データ転送命令の概要を表 2.13 に示します。

表 2.13 データ転送命令の概要

	X、Y データ転送処理 (MOVX.W、MOVY.W)	シングルデータ転送処理 (MOVS.W、MOVS.L)
アドレスレジスタ	Ax : R4、R5、Ay : R6、R7	As : R2、R3、R4、R5
インデックスレジスタ	Ix : R8、Iy : R9	Is : R8
アドレッシング	Nop/Inc(+2)/インデックス加算 : ポストインクリメント	Nop/Inc(+2,+4)/インデックス加算 : ポストインクリメント
	—	Dec(-2,-4) : プリデクリメント
モジュロアドレッシング	可能	不可
データバス	XDB、YDB	LDB
データ長	16 ビット (ワード)	16 ビット/32 ビット (ワード/ ロングワード)
バス競合	なし	あり
メモリ	X、Y データメモリ	すべてのメモリ空間
ソースレジスタ	Dx、Dy : A0/A1	Ds : A0/A1、M0/M1、X0/X1、Y0/Y1、 A0G、A1G
デスティネーションレジスタ	Dx : X0/X1、Dy : Y0/Y1	Ds : A0/A1、M0/M1、X0/X1、Y0/Y1、 A0G、A1G

(1) X、Y データアドレッシング

DSP 命令では MOVX.W、MOVY.W 命令を使って、X、Y データメモリを同時にアクセスすることができます。DSP 命令には同時に X、Y データメモリをアクセスするために 2 つのアドレスポインタがあります。DSP 命令にはポインタアドレッシングだけが可能で、イミディエイトアドレッシングはありません。アドレスレジスタは 2 つに分けられ、R4、R5 レジスタが X メモリのアドレスレジスタ (Ax) となり、R6、R7 レジスタが Y メモリのアドレスレジスタ (Ay) となります。X、Y データ転送命令には次の 3 つのアドレッシングがあります。

(1) 更新なしアドレスレジスタ :

Ax、Ay レジスタがアドレスポインタです。更新されません。

(2) 加算インデックスレジスタ :

Ax、Ay レジスタがアドレスポインタです。データ転送後それぞれ Ix、Iy レジスタの値が加算されます (ポストインクリメント)。

(3) インクリメントアドレスレジスタ :

Ax、Ay レジスタがアドレスポインタです。データ転送後それぞれ+2 が加算されます (ポストインクリメント)。それぞれのアドレスポインタにはインデックスレジスタがあります。R8 レジスタは X メモリアドレスレジスタ (Ax) のインデックスレジスタ (Ix) となり、R9 レジスタは Y メモリアドレスレジスタ (Ay) のインデックスレジスタ (Iy) となります。

X、Y データ転送命令はワードで処理します。X、Y データメモリを 16 ビットでアクセスします。そのためインクリメント処理は、アドレスレジスタに 2 を加えます。デクリメントさせるためには、-2 をインデックスレジスタに設定し加算インデックスレジスタアドレッシングを指定します。X、Y データアドレッシング時は、アドレスポインタのビット 1~15 のみ有効となります。X、Y データアドレッシング時は、アドレスポインタ、インデックスレジスタのビット 0 には必ず 0 を書き込んでください。

X、Y データ転送のアドレッシングを図 2.12 に示します。X、Y バスを使用して X メモリ、Y メモリへアクセスする場合、Ax (R4 または R5)、Ay (R6 または R7) の上位ワードは無視されます。また、@Ay+、@Ay+Iy の結果は、Ay の下位ワードに格納され、上位ワードは元の値が保持されます。

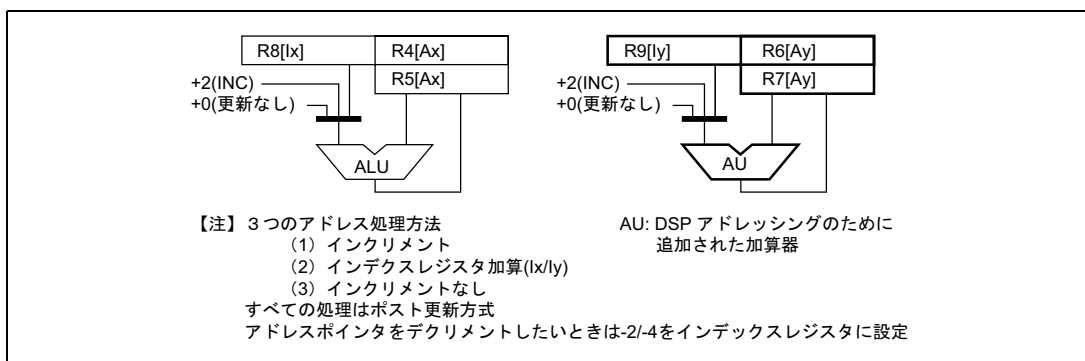


図 2.12 X、Y データ転送のアドレッシング

(2) シングルデータアドレッシング

DSP 命令にはシングルデータ転送命令 (MOV.S.W、MOV.S.L) があり、DSP レジスタにデータをロードし、DSP レジスタからデータをストアします。この命令で R2~R5 レジスタはシングルデータ転送のアドレスレジスタ (As) として使われます。

シングルデータ転送命令には次の 4 つのデータアドレッシング命令があります。

2. CPU

(1) 更新なしアドレスレジスタ :

As レジスタがアドレスポインタです。更新されません。

(2) 加算インデックスレジスタ :

As レジスタがアドレスポインタです。データ転送後 Is レジスタの値が加算されます (ポストインクリメント)。

(3) インクリメントアドレスレジスタ :

As レジスタがアドレスポインタです。データ転送後 +2 または +4 が加算されます (ポストインクリメント)。

(4) デクリメントアドレスレジスタ :

As レジスタがアドレスポインタです。データ転送前に -2、-4 が加算 (+2 または +4 が減算) されます (プリデクリメント)。

アドレスポインタ (As) は R8 レジスタをインデックスレジスタ (Is) として使います。シングルデータ転送のアドレッシングを図 2.13 に示します。

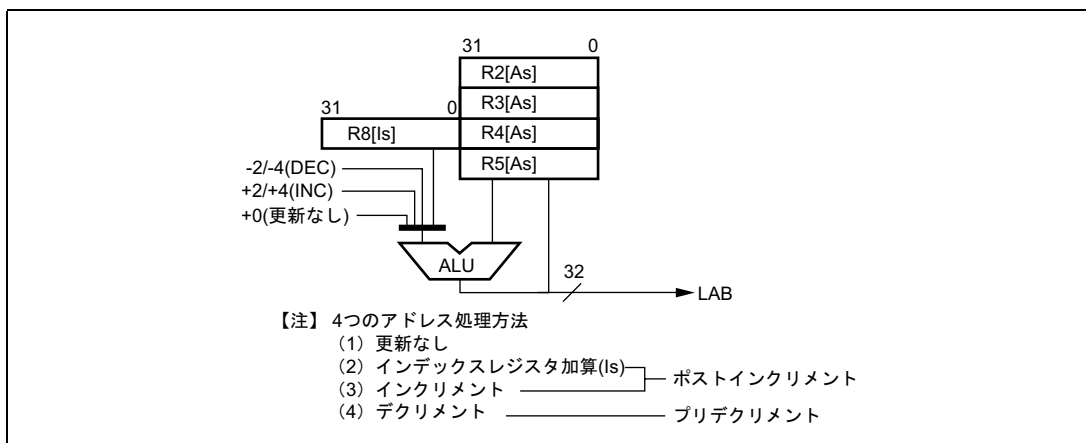


図 2.13 シングルデータ転送のアドレッシング

(3) モジュロアドレッシング

本 LSI には、他の DSP と同様に、モジュロアドレッシングモードがあります。このモードでもアドレスレジスタは同じように更新されます。アドレスポインタの値がすでに設定されたモジュロ終了アドレスになると、アドレスポインタはモジュロ開始アドレスになります。

モジュロアドレッシングは X、Y データ転送命令 (MOVX.W、MOVY.W) にだけ有効です。SR レジスタの DMX ビットをセットすると X アドレスレジスタが、DMY ビットをセットすると Y アドレスレジスタがそれぞれモジュロアドレッシングモードになります。モジュロアドレッシングは X、Y アドレスレジスタどちらかに対してだけ有効です。両方を同時にモジュロアドレッシングモードにすることはできません。したがって、DMX と DMY を同時にセットしないでください。

モジュールアドレス領域の開始と終了アドレスを指定するための MOD レジスタがあり、MOD レジスタは MS (Modulo Start : モジュール開始) と、ME (Modulo End : モジュール終了) を格納します。MOD レジスタ (MS、ME) の使用例を次に示します。

```

MOV.L ModAddr,Rn;      Rn=ModEnd, ModStart
LDC Rn,MOD;            ME=ModEnd, MS=ModStart

ModAddr:               .DATA.W ModEnd
                     .DATA.W ModStart

ModStart:              .DATA
                     :
ModEnd:                .DATA

```

MS、ME には開始、終了アドレスを指定して、その後で DMX または DMY ビットを 1 にセットします。アドレスレジスタの内容が ME と比較されます。もし ME と一致したら、開始アドレス MS をアドレスレジスタに格納します。アドレスレジスタの下位 16 ビットが ME と比較されます。

最大のモジュールサイズは 64k バイトです。これは X、Y データメモリをアクセスするには十分です。モジュールアドレッシングのブロック図を図 2.14 に示します。

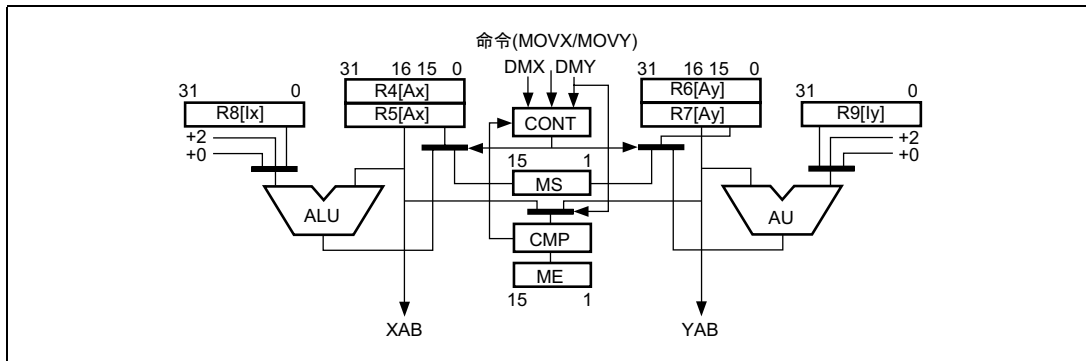


図 2.14 モジュールアドレッシング

2. CPU

モジュールアドレッシングの例を次に示します。

```
MS = H'7008; ME=H'700C; R4=H'A5007008;
```

```
DMX=1; DMY=0; (アドレスレジスタ Ax(R4,R5)に対するモジュールアドレッシングの設定です)
```

以上の設定により R4 レジスタは次のように変化します。

```
R4: H'A5007008
```

```
Inc. R4: H'A500700A
```

```
Inc. R4: H'A500700C
```

```
Inc. R4: H'A5007008 (モジュール終了アドレスになったので、モジュール開始アドレスになります)
```

モジュール開始、終了アドレスの上位 16 ビットは同じになるようデータを配置してください。これはモジュール開始アドレスがアドレスレジスタの下位のビット 0 を除く 15 ビットだけを置き換えるからです。

【注】 DSP データアドレッシングに加算インデックスを使う場合は、アドレスポインタは ME と一致せずその値を超えてしまうことがあります。この場合は、アドレスポインタはモジュール開始アドレスには戻りません。モジュールアドレッシングに限らず、X、Y データアドレッシング時は、ビット 0 が無視されます。アドレスポインタ、インデックスレジスタ、MS、ME のビット 0 には必ず 0 を書き込んでください。

2.4.3 CPU 命令の命令形式

CPU コアで実行される命令の命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード

mmmm : ソースレジスタ

nnnn : デスティネーションレジスタ

iiii : イミディエイトデータ

dddd : ディスプレースメント

表 2.14 CPU 命令の命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式		—	—	NOP
n 形式		—	nnnn : レジスタ直接	MOVT Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
m 形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接	—	JMP @Rm
		mmmm : Rm を用いた PC 相 対	—	BRAF Rm
nm 形式		mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメントレジ スタ間接 (積和演算) nnnn : * ポストインクリメントレジ スタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm : ポストインクリメン トレジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式		mmmmdddd : ディスプレースメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式		R0 (レジスタ直接)	nnnndddd : ディスプレースメント付 きレジスタ間接	MOV.B R0,@(disp,Rn)

2. CPU

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nmd 形式		mmmm : レジスタ直接	nnndddd : ディスプレースメント付き レジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmddd : ディスプレースメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式		ddddddd : ディスプレースメント付き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	ddddddd : ディスプレースメント付き GBR 間接	MOV.L R0,@(disp,GBR)
		ddddddd : ディスプレースメント付き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		ddddddd : PC 相対	—	BF label
d12 形式		ddddddddddd : PC 相対	—	BRA label (label=disp+PC)
nd8 形式		ddddddd : ディスプレースメント付き PC 相対	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト	—	TRAPA #imm
ni 形式		iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn

【注】 * 積和命令では nnnn は、ソースレジスタです。

2.4.4 DSP 命令の命令形式

本 LSI にはデジタル信号処理のための新しい命令が追加されています。新しい命令は次の 2 つに分けられます。

- (1) メモリと DSP レジスタのダブル、シングルデータ転送命令 (16 ビット長)
- (2) DSP ユニットで処理される並行処理命令 (32 ビット長)

それぞれの命令形式を図 2.15 に示します。

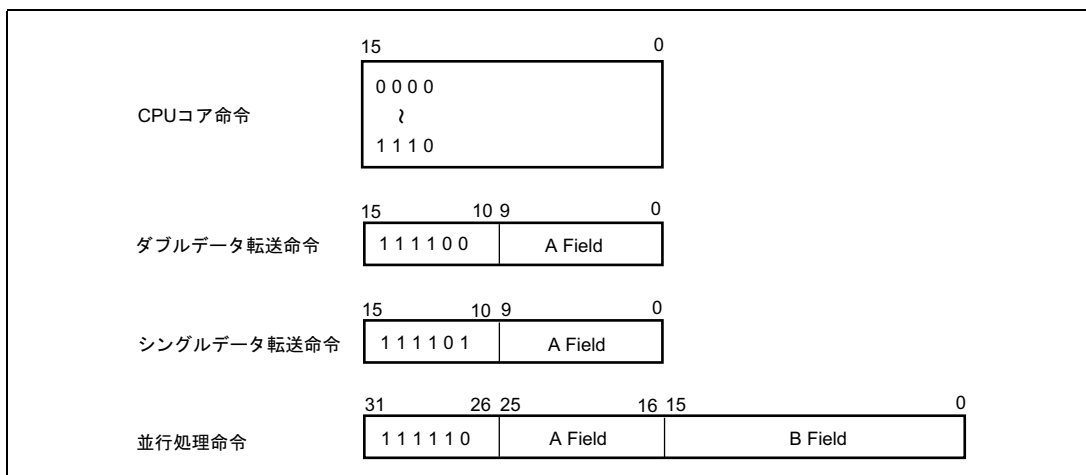


図 2.15 DSP 命令の命令形式

(1) ダブル、シングルデータ転送命令

ダブルデータ転送命令の命令形式を表 2.15 に、シングルデータ転送命令の命令形式を表 2.16 に示します。

2. CPU

表 2.15 ダブルデータ転送の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Xメモリ データ 転送	NOPX	1	1	1	1	0	0	0		0		0		0	0		
	MOVX.W @Ax,Dx							Ax		Dx		0		0	1		
	MOVX.W @Ax+,Dx													1	0		
	MOVX.W @Ax+Ix,Dx													1	1		
	MOVX.W Da,@Ax									Da		1		0	1		
	MOVX.W Da,@Ax+													1	0		
MOVX.W Da,@Ax+Ix													1	1			
Yメモリ データ 転送	NOPY	1	1	1	1	0	0		0		0		0			0	0
	MOVY.W @Ay,Dy							Ay		Dy		0				0	1
	MOVY.W @Ay+,Dy															1	0
	MOVY.W @Ay+Iy,Dy															1	1
	MOVY.W Da,@Ay									Da		1				0	1
	MOVY.W Da,@Ay+															1	0
MOVY.W Da,@Ay+Iy															1	1	

【注】 Ax : 0=R4、1=R5 Ay : 0=R6、1=R7 Dx : 0=X0、1=X1 Dy : 0=Y0、1=Y1 Da : 0=A0、1=A1

表 2.16 シングルデータ転送命令の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
シングル データ 転送	MOV.S.W @-As,Ds	1	1	1	1	0	1	As	Ds			0:(*)		0	0	0	0
	MOV.S.W @As,Ds											1:(*)		0	1		
	MOV.S.W @As+,Ds											2:(*)		1	0		
	MOV.S.W @As+Is,Ds											3:(*)		1	1		
	MOV.S.W Ds,@-As								3:R3			4:(*)		0	0	0	1
	MOV.S.W Ds,@As											5:A1		0	1		
	MOV.S.W Ds,@As+											6:(*)		1	0		
	MOV.S.W Ds,@As+Is											7:A0		1	1		
	MOV.S.L @-As,Ds											8:X0		0	0	1	0
	MOV.S.L @As,Ds											9:X1		0	1		
	MOV.S.L @As+,Ds											A:Y0		1	0		
	MOV.S.L @As+Is,Ds											B:Y1		1	1		
	MOV.S.L Ds,@-As											C:M0		0	0	1	1
	MOV.S.L Ds,@As											D:A1G		0	1		
	MOV.S.L Ds,@As+											E:M1		1	0		
MOV.S.L Ds,@As+Is											F:A0G		1	1			

【注】 * システム予約コード

(2) 並列処理命令

並列処理命令は DSP ユニットを使ったデジタル信号処理を効率よく実行するための命令です。32 ビット長で、同時に 4 つの処理、ALU 演算、乗算、2 つのデータ転送ができます。

並列処理命令は A フィールドと B フィールドに分かれています。A フィールドはデータ転送命令を定義し、B フィールドは ALU 演算命令、乗算命令を定義します。これらの命令は独立に定義することができ、処理は独立に、しかも同時に並行して実行されます。A フィールドの並列データ転送命令を表 2.17 に、B フィールドの ALU 演算命令、乗算命令を表 2.18 に示します。

表 2.17 A フィールドの並列データ転送命令

分類	ニーモニック	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X メモリ データ 転送	NOPX	1	1	1	1	1	0	0	0	0	0	0	0	0	0																		
	MOVX.W @Ax, Dx							Ax		Dx		0																					
	MOVX.W @Ax+, Dx																																
	MOVX.W @Ax+Ix, Dx																																
	MOVX.W Da, @Ax																																
	MOVX.W Da, @Ax+																																
	MOVX.W Da, @Ax+Ix																																
Y メモリ データ 転送	NOPY	1	1	1	1	1	0	0	0	0	0	0	0	0																			
	MOVY.W @Ay, Dy							Ay		Dy		0																					
	MOVY.W @Ay+, Dy																																
	MOVY.W @Ay+Iy, Dy																																
	MOVY.W Da, @Ay																																
	MOVY.W Da, @Ay+																																
	MOVY.W Da, @Ay+Iy																																

【注】 Ax: 0=R4, 1=R5 Ay: 0=R6, 1=R7 Dx: 0=X0, 1=X1 Dy: 0=Y0, 1=Y1 Da: 0=A0, 1=A1

2. CPU

表 2.18 B フィールドの ALU 演算命令、乗算命令

分類	ニーモニック	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
imm. シフト	PSHL #imm, Dz	1	1	1	1	1	0	Aフィールド										0	0	0	0	-16<=imm<=+16				Dz							
	PSHA #imm, Dz																	0	0	0	1	-32<=imm<=+32											
	予約																	0	0	0	1												
6オペラ ンド パラレル 命令	PMULS Se, Sf, Dg	0	1	0	0											Se	Sf	Sx	Sy	Dg	Du												
	予約	0	1	0	1											0:X0	0:Y0	0:X0	0:Y0	0:M0	0:X0												
	PSUB Sx, Sy, Du	0	1	1	0											1:X1	1:Y1	1:X1	1:Y1	1:M1	1:Y0												
	PMULS Se, Sf, Dg	0	1	1	0											2:Y0	2:X0	2:A0	2:M0	2:A0	2:A0												
	PADD Sx, Sy, Du	0	1	1	1											3:A1	3:A1	3:A1	3:M1	3:A1	3:A1												
3オペラ ンド 命令	予約	1	0	0	0											0	0	0	0	Dz													
	PSUBC Sx, Sy, Dz																	0	1	0:(*)													
	PADDC Sx, Sy, Dz																	1	1	1:(*)													
	PCMP Sx, Sy																	0	0	1	2:(*)												
	予約																	0	1	3:(*)													
	予約																	1	0	4:(*)													
	予約																	1	1	5:A1													
	PABS Sx, Dz																	0	0	1	0	6:(*)											
	PRND Sx, Dz																	0	1	7:A0													
	PABS Sy, Dz																	1	0	8:X0													
	PRND Sy, Dz																	1	1	9:X1													
	予約																	0	0	1	1	A:Y0											
	予約																	0	1	B:Y1													
	予約																	1	0	C:M0													
	予約																	1	1	D:(*)													
	条件付き 3オペラ ンド 命令	[if cc] PSHL Sx, Sy, Dz																	0	0	0	ifcc	E:M1										
	[if cc] PSHA Sx, Sy, Dz																		0	1	F:(*)												
	[if cc] PSUB Sx, Sy, Dz																		1	0													
	[if cc] PADD Sx, Sy, Dz																		1	1	01: 無条件												
	予約																		0	0	1												
[if cc] PAND Sx, Sy, Dz																		0	1														
[if cc] PXOR Sx, Sy, Dz																		1	0														
[if cc] POR Sx, Sy, Dz																		1	1														
[if cc] PDEC Sx, Dz																		0	0	1	0	10: DCT											
[if cc] PINC Sx, Dz																		0	1														
[if cc] PDEC Sy, Dz																		1	0														
[if cc] PINC Sy, Dz																		1	1	11: DCF													
[if cc] PCLR Dz																		0	0	1	1												
[if cc] PDMsB Sx, Dz																		0	1														
予約																		1	0														
[if cc] PDMsB Sy, Dz																		1	1														
[if cc] PNEG Sx, Dz																		1	1	0	0												
[if cc] PCOPY Sx, Dz																		0	1														
[if cc] PNEG Sy, Dz																		1	0														
[if cc] PCOPY Sy, Dz																		1	1														
予約																					0	0											
[if cc] PSTS MACH, Dz																		0	0	1	1	ifcc											
[if cc] PSTS MACL, Dz																		0	1														
[if cc] PLDS Dz, MACH																		1	0														
[if cc] PLDS Dz, MACL																		1	1														
(*2) 予約																					0	0											
予約																		0	*														
		1	1	1	1	1	1																										

【注】 *1 システム予約コード
 *2 [if cc] : DCT (DCビット真)、DCF (DCビット偽) またはなし (無条件命令)。

2.5 命令セット

2.5.1 CPU 命令の命令セット

SH-1、SH-2、SH-3 互換命令セットには、表 2.19 に示すような 6 種類の機能グループに分けられる 68 の基本命令タイプが含まれます。表 2.20～表 2.25 には命令表記、マシンコード、実行時間、機能を示します。

表 2.19 CPU 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体のデータの転送	39
		MOVA	実効アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位との交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリー付き 2 進加算	
		ADDV	オーバフローチェック付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算 (32×32 ビット)	
		MULS	符号付き乗算 (16×16 ビット)	
		MULU	符号なし乗算 (16×16 ビット)	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	キャリー付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			

2. CPU

分類	命令の種類	オペコード	機能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストおよびビットセット	
		TST	論理積およびTビットセット	
		XOR	排他的論理和	
シフト命令	12	ROTL	1ビット左回転	16
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
		SHAD	算術的ダイナミックシフト	
		SHLD	論理的ダイナミックシフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T=0)	11
		BT	条件分岐、遅延付き条件分岐 (T=1)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御命令	15	CLRT	Tビットのクリア	75
		CLRMAC	MACレジスタのクリア	
		CLRS	Sビットクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		LDTLB	TLBへのPTEH/PTELのロード	
		NOP	ノーオペレーション(無操作)	
		PREF	キャッシュへのデータのプリフェッチ	
		RTE	例外処理からの復帰	

分類	命令の種類	オペコード	機能	命令数
システム制御命令	15	SETS	Sビットのセット	75
		SETT	Tビットのセット	
		SLEEP	低消費電力モードへの遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
合計	68			188

CPU 命令の命令コード、動作、実行ステートを、以下の形式で分類別に説明します。

命令	命令コード	動作	特権	実行ステート	Tビット
<p>ニーモニックで表示しています。</p> <p>記号の説明</p> <p>OP.Sz SRC、DEST</p> <p>OP: オペコード</p> <p>Sz: サイズ</p> <p>SRC: ソース</p> <p>DEST: デスティネーション</p> <p>Rm: ソースレジスタ</p> <p>Rn: デスティネーションレジスタ</p> <p>imm: イミディエイトデータ</p> <p>disp: ディスプレースメント</p>	<p>MSB←→LSB の順で表示しています。</p> <p>記号の説明</p> <p>mmmm: ソースレジスタ</p> <p>nnnn: デスティネーションレジスタ</p> <p>0000: R0</p> <p>0001: R1</p> <p>……</p> <p>1111: R15</p> <p>iiii: イミディエイトデータ</p> <p>dddd: ディスプレースメント^{*2}</p>	<p>動作の概略を表示しています。</p> <p>記号の説明</p> <p>→, ←: 転送方向</p> <p>(xx): メモリオペランド</p> <p>M/Q/T: SR 内のフラグビット</p> <p>&: ビットごとの論理積</p> <p> : ビットごとの論理和</p> <p>^: ビットごとの排他的論理和</p> <p>~: ビットごとの論理否定</p> <p><<n: 左 n ビットシフト</p> <p>>>n: 右 n ビットシフト</p>	<p>特権命令を示します。</p>	<p>ノーウェイトのときの値です。^{*1}</p>	<p>命令実行後の、Tビットの値を表示しています。</p> <p>記号の説明</p> <p>—: 変化しない</p>

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令 (メモリーレジスタ) のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング (×1、×2、×4) されます。

2. CPU

(1) データ転送命令

表 2.20 データ転送命令

命令	命令コード	動作	特権	実行 ステート	Tビット
MOV #imm,Rn	1110nnnniiiiiii	imm→符号拡張→Rn	—	1	—
MOV.W @(disp,PC),Rn	1001nnnnddddddd	(disp×2+PC)→符号拡張→Rn	—	1	—
MOV.L @(disp,PC),Rn	1101nnnnddddddd	(disp×4+PC)→Rn	—	1	—
MOV Rm,Rn	0110nnnnmmmm0011	Rm→Rn	—	1	—
MOV.B Rm,@Rn	0010nnnnmmmm0000	Rm→(Rn)	—	1	—
MOV.W Rm,@Rn	0010nnnnmmmm0001	Rm→(Rn)	—	1	—
MOV.L Rm,@Rn	0010nnnnmmmm0010	Rm→(Rn)	—	1	—
MOV.B @Rm,Rn	0110nnnnmmmm0000	(Rm)→符号拡張→Rn	—	1	—
MOV.W @Rm,Rn	0110nnnnmmmm0001	(Rm)→符号拡張→Rn	—	1	—
MOV.L @Rm,Rn	0110nnnnmmmm0010	(Rm)→Rn	—	1	—
MOV.B Rm,@-Rn	0010nnnnmmmm0100	Rn-1→Rn, Rm→(Rn)	—	1	—
MOV.W Rm,@-Rn	0010nnnnmmmm0101	Rn-2→Rn, Rm→(Rn)	—	1	—
MOV.L Rm,@-Rn	0010nnnnmmmm0110	Rn-4→Rn, Rm→(Rn)	—	1	—
MOV.B @Rm+,Rn	0110nnnnmmmm0100	(Rm)→符号拡張→Rn, Rm+1→Rm	—	1	—
MOV.W @Rm+,Rn	0110nnnnmmmm0101	(Rm)→符号拡張→Rn, Rm+2→Rm	—	1	—
MOV.L @Rm+,Rn	0110nnnnmmmm0110	(Rm)→Rn, Rm+4→Rm	—	1	—
MOV.B R0,@(disp,Rn)	1000000nnnnddd	R0→(disp+Rn)	—	1	—
MOV.W R0,@(disp,Rn)	1000001nnnnddd	R0→(disp×2+Rn)	—	1	—
MOV.L Rm,@(disp,Rn)	0001nnnnmmmmddd	Rm→(disp×4+Rn)	—	1	—
MOV.B @(disp,Rm),R0	1000100mmmmddd	(disp+Rm)→符号拡張→R0	—	1	—
MOV.W @(disp,Rm),R0	1000101mmmmddd	(disp×2+Rm)→符号拡張→R0	—	1	—
MOV.L @(disp,Rm),Rn	0101nnnnmmmmddd	(disp×4+Rm)→Rn	—	1	—
MOV.B Rm,@(R0,Rn)	0000nnnnmmmm0100	Rm→(R0+Rn)	—	1	—
MOV.W Rm,@(R0,Rn)	0000nnnnmmmm0101	Rm→(R0+Rn)	—	1	—
MOV.L Rm,@(R0,Rn)	0000nnnnmmmm0110	Rm→(R0+Rn)	—	1	—
MOV.B @(R0,Rm),Rn	0000nnnnmmmm1100	(R0+Rm)→符号拡張→Rn	—	1	—
MOV.W @(R0,Rm),Rn	0000nnnnmmmm1101	(R0+Rm)→符号拡張→Rn	—	1	—
MOV.L @(R0,Rm),Rn	0000nnnnmmmm1110	(R0+Rm)→Rn	—	1	—
MOV.B R0,@(disp,GBR)	11000000ddddddd	R0→(disp+GBR)	—	1	—
MOV.W R0,@(disp,GBR)	11000001ddddddd	R0→(disp×2+GBR)	—	1	—
MOV.L R0,@(disp,GBR)	11000010ddddddd	R0→(disp×4+GBR)	—	1	—
MOV.B @(disp,GBR),R0	11000100ddddddd	(disp+GBR)→符号拡張→R0	—	1	—
MOV.W @(disp,GBR),R0	11000101ddddddd	(disp×2+GBR)→符号拡張→R0	—	1	—
MOV.L @(disp,GBR),R0	11000110ddddddd	(disp×4+GBR)→R0	—	1	—

命令	命令コード	動作	特権	実行 ステート	Tビット
MOVA	@(disp,PC),R0	disp × 4 + PC → R0	—	1	—
MOVT	Rn	T → Rn	—	1	—
SWAP.B	Rm,Rn	Rm → 下位 2 バイトの上下バイト交換 → Rn	—	1	—
SWAP.W	Rm,Rn	Rm → 上下ワード交換 → Rn	—	1	—
XTRCT	Rm,Rn	Rm と Rn の中央 32 ビット → Rn	—	1	—

(2) 算術演算命令

表 2.21 算術命令

命令	命令コード	動作	特権	実行 ステート	Tビット
ADD	Rm,Rn	Rn + Rm → Rn	—	1	—
ADD	#imm,Rn	Rn + imm → Rn	—	1	—
ADDC	Rm,Rn	Rn + Rm + T → Rn, キャリ → T	—	1	キャリ
ADDV	Rm,Rn	Rn + Rm → Rn, オーバフロー → T	—	1	オーバフロー
CMP/EQ	#imm,R0	R0 = imm のとき 1 → T	—	1	比較結果
CMP/EQ	Rm,Rn	Rn = Rm のとき 1 → T	—	1	比較結果
CMP/HS	Rm,Rn	無符号で Rn ≥ Rm のとき 1 → T	—	1	比較結果
CMP/GE	Rm,Rn	有符号で Rn ≥ Rm のとき 1 → T	—	1	比較結果
CMP/HI	Rm,Rn	無符号で Rn > Rm のとき 1 → T	—	1	比較結果
CMP/GT	Rm,Rn	有符号で Rn > Rm のとき 1 → T	—	1	比較結果
CMP/PL	Rn	Rn > 0 のとき 1 → T	—	1	比較結果
CMP/PZ	Rn	Rn ≥ 0 のとき 1 → T	—	1	比較結果
CMP/STR	Rm,Rn	いずれかのバイトが等しいとき 1 → T	—	1	比較結果
DIV1	Rm,Rn	1 ステップ除算 (Rn ÷ Rm)	—	1	計算結果
DIV0S	Rm,Rn	Rn の MSB → Q, Rm の MSB → M, M^Q → T	—	1	計算結果
DIV0U		0 → M/Q/T	—	1	0
DMULS.L	Rm,Rn	符号付きで Rn × Rm → MACH, MACL 32 × 32 → 64 ビット	—	2(〜5) ³¹	—
DMULU.L	Rm,Rn	符号なしで Rn × Rm → MACH, MACL 32 × 32 → 64 ビット	—	2(〜5) ³¹	—
DT	Rn	Rn - 1 → Rn, Rn が 0 のとき 1 → T Rn が 0 以外の とき 0 → T	—	1	比較結果
EXTS.B	Rm,Rn	Rm をバイトから符号拡張 → Rn	—	1	—

2. CPU

命令	命令コード	動作	特権	実行 状態	Tビット
EXTS.W Rm,Rn	0110nnnnmmmm1111	Rm をワードから符号拡張→Rn	—	1	—
EXTU.B Rm,Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張→Rn	—	1	—
EXTU.W Rm,Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張→Rn	—	1	—
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC → MAC, Rn+4 → Rn, Rm+4 → Rm, 32 × 32 + 64 → 64 ビット	—	2(～5) ^{*1}	—
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC → MAC, Rn+2 → Rn, Rm+2 → Rm, 16 × 16 + 64 → 64 ビット	—	2(～5) ^{*1}	—
MUL.L Rm,Rn	0000nnnnmmmm0111	Rn × Rm → MACL, 32 × 32 → 32 ビット	—	2(～5) ^{*1}	—
MULS.W Rm,Rn	0010nnnnmmmm1111	符号付きで Rn × Rm → MACL, 16 × 16 → 32 ビット	—	1(～3) ^{*2}	—
MULU.W Rm,Rn	0010nnnnmmmm1110	符号なしで Rn × Rm → MACL, 16 × 16 → 32 ビット	—	1(～3) ^{*2}	—
NEG Rm,Rn	0110nnnnmmmm1011	0-Rm → Rn	—	1	—
NEGC Rm,Rn	0110nnnnmmmm1010	0-Rm-T → Rn, ボロー → T	—	1	ボロー
SUB Rm,Rn	0011nnnnmmmm1000	Rn-Rm → Rn	—	1	—
SUBC Rm,Rn	0011nnnnmmmm1010	Rn-Rm-T → Rn, ボロー → T	—	1	ボロー
SUBV Rm,Rn	0011nnnnmmmm1011	Rn-Rm → Rn, アンダフロー → T	—	1	アンダフロー

【注】 *1 通常の最低実行サイクル数は 2 ですが、命令の直後に MAC レジスタから演算結果を読み出すときは 5 サイクル必要です。

*2 通常の最低実行サイクル数は 1 ですが、MUL 命令の直後に MAC レジスタから演算結果を読み出すときは 3 サイクル必要です。

(3) 論理演算命令

表 2.22 論理演算命令

命令	命令コード	動作	特権	実行 状態	Tビット
AND Rm,Rn	0010nnnnmmmm1001	Rn & Rm → Rn	—	1	—
AND #imm,R0	11001001iiiiiiii	R0 & imm → R0	—	1	—
AND.B #imm,@(R0,GBR)	11001101iiiiiiii	(R0+GBR) & imm → (R0+GBR)	—	3	—
NOT Rm,Rn	0110nnnnmmmm0111	~Rm → Rn	—	1	—
OR Rm,Rn	0010nnnnmmmm1011	Rn Rm → Rn	—	1	—
OR #imm,R0	11001011iiiiiiii	R0 imm → R0	—	1	—
OR.B #imm,@(R0,GBR)	11001111iiiiiiii	(R0+GBR) imm → (R0+GBR)	—	3	—
TAS.B @Rn	0100nnnn00011011	(Rn)が0のとき1→T, 1→MSB of (Rn)	—	4	テスト結果
TST Rm,Rn	0010nnnnmmmm1000	Rn & Rm, 結果が0のとき1→T	—	1	テスト結果
TST #imm,R0	11001000iiiiiiii	R0 & imm, 結果が0のとき1→T	—	1	テスト結果
TST.B #imm,@(R0,GBR)	11001100iiiiiiii	(R0+GBR)&imm, 結果が0のとき1→T	—	3	テスト結果
XOR Rm,Rn	0010nnnnmmmm1010	Rn ^ Rm → Rn	—	1	—
XOR #imm,R0	11001010iiiiiiii	R0 ^ imm → R0	—	1	—
XOR.B #imm,@(R0,GBR)	11001110iiiiiiii	(R0+GBR) ^ imm → (R0+GBR)	—	3	—

(4) シフト命令

表 2.23 シフト命令

命令	命令コード	動作	特権	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	T←Rn←MSB	—	1	MSB
ROTR Rn	0100nnnn00000101	LSB→Rn→T	—	1	LSB
ROTCL Rn	0100nnnn00100100	T←Rn←T	—	1	MSB
ROTCR Rn	0100nnnn00100101	T→Rn→T	—	1	LSB
SHAD Rm, Rn	0100nnnnmmmm1100	Rm≥0のとき、Rn<<Rm→Rn Rm<0のとき、Rn>>Rm→ [MSB→Rn]	—	1	—
SHAL Rn	0100nnnn00100000	T←Rn←0	—	1	MSB
SHAR Rn	0100nnnn00100001	MSB→Rn→T	—	1	LSB
SHLD Rm, Rn	0100nnnnmmmm1101	Rm≥0のとき、Rn<<Rm→Rn Rm<0のとき、Rn>>Rm→ [0→Rn]	—	1	—
SHLL Rn	0100nnnn00000000	T←Rn←0	—	1	MSB
SHLR Rn	0100nnnn00000001	0→Rn→T	—	1	LSB
SHLL2 Rn	0100nnnn00001000	Rn<<2 → Rn	—	1	—
SHLR2 Rn	0100nnnn00001001	Rn>>2 → Rn	—	1	—
SHLL8 Rn	0100nnnn00011000	Rn<<8 → Rn	—	1	—
SHLR8 Rn	0100nnnn00011001	Rn>>8 → Rn	—	1	—
SHLL16 Rn	0100nnnn00101000	Rn<<16 → Rn	—	1	—
SHLR16 Rn	0100nnnn00101001	Rn>>16 → Rn	—	1	—

(5) 分岐命令

表 2.24 分岐命令

命令	命令コード	動作	特権	実行 ステート	Tビット
BF label	10001011dddddddd	T=0のとき disp×2+PC→PC, T=1のとき nop	—	3/1*	—
BF/S label	10001111dddddddd	遅延分岐、T=0のとき disp×2+PC→PC, T=1のとき nop	—	2/1*	—
BT label	10001001dddddddd	T=1のとき disp×2+PC→PC, T=0のとき nop	—	3/1*	—
BT/S label	10001101dddddddd	遅延分岐、T=1のとき disp×2+PC→PC, T=0のとき nop	—	2/1*	—
BRA label	1010dddddddddddd	遅延分岐、disp×2+PC→PC	—	2	—
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC→PC	—	2	—
BSR label	1011dddddddddddd	遅延分岐、PC→PR, disp×2+PC→PC	—	2	—
BSRF Rm	0000mmmm00000011	遅延分岐、PC→PR, Rm+PC→PC	—	2	—
JMP @Rm	0100mmmm00101011	遅延分岐、Rm→PC	—	2	—
JSR @Rm	0100mmmm00001011	遅延分岐、PC→PR, Rm→PC	—	2	—
RTS	0000000000001011	遅延分岐、PR→PC	—	2	—

【注】 * 分岐しない場合は1ステート

2. CPU

(6) システム制御命令

表 2.25 システム制御命令

命令	命令コード	動作	特権	実行 ステート	Tビット
CLRMAC	000000000101000	0→MACH,MACL	—	1	—
CLRS	000000001001000	0→S	—	1	—
CLRT	000000000001000	0→T	—	1	0
LDC Rm,SR	0100mmmm00001110	Rm→SR	特権	5	LSB
LDC Rm,GBR	0100mmmm00011110	Rm→GBR	—	3	—
LDC Rm,VBR	0100mmmm00101110	Rm→VBR	特権	3	—
LDC Rm,SSR	0100mmmm00111110	Rm→SSR	特権	3	—
LDC Rm,SPC	0100mmmm01001110	Rm→SPC	特権	3	—
LDC Rm,R0_BANK	0100mmmm10001110	Rm→R0_BANK	特権	3	—
LDC Rm,R1_BANK	0100mmmm10011110	Rm→R1_BANK	特権	3	—
LDC Rm,R2_BANK	0100mmmm10101110	Rm→R2_BANK	特権	3	—
LDC Rm,R3_BANK	0100mmmm10111110	Rm→R3_BANK	特権	3	—
LDC Rm,R4_BANK	0100mmmm11001110	Rm→R4_BANK	特権	3	—
LDC Rm,R5_BANK	0100mmmm11011110	Rm→R5_BANK	特権	3	—
LDC Rm,R6_BANK	0100mmmm11101110	Rm→R6_BANK	特権	3	—
LDC Rm,R7_BANK	0100mmmm11111110	Rm→R7_BANK	特権	3	—
LDC.L @Rm+,SR	0100mmmm00000111	(Rm)→SR, Rm+4→Rm	特権	7	LSB
LDC.L @Rm+,GBR	0100mmmm00010111	(Rm)→GBR, Rm+4→Rm	—	5	—
LDC.L @Rm+,VBR	0100mmmm00100111	(Rm)→VBR, Rm+4→Rm	特権	5	—
LDC.L @Rm+,SSR	0100mmmm00110111	(Rm)→SSR, Rm+4→Rm	特権	5	—
LDC.L @Rm+,SPC	0100mmmm01000111	(Rm)→SPC, Rm+4→Rm	特権	5	—
LDC.L @Rm+,R0_BANK	0100mmmm10000111	(Rm)→R0_BANK, Rm+4→Rm	特権	5	—
LDC.L @Rm+,R1_BANK	0100mmmm10010111	(Rm)→R1_BANK, Rm+4→Rm	特権	5	—
LDC.L @Rm+,R2_BANK	0100mmmm10100111	(Rm)→R2_BANK, Rm+4→Rm	特権	5	—
LDC.L @Rm+,R3_BANK	0100mmmm10110111	(Rm)→R3_BANK, Rm+4→Rm	特権	5	—
LDC.L @Rm+,R4_BANK	0100mmmm11000111	(Rm)→R4_BANK, Rm+4→Rm	特権	5	—
LDC.L @Rm+,R5_BANK	0100mmmm11010111	(Rm)→R5_BANK, Rm+4→Rm	特権	5	—
LDC.L @Rm+,R6_BANK	0100mmmm11100111	(Rm)→R6_BANK, Rm+4→Rm	特権	5	—
LDC.L @Rm+,R7_BANK	0100mmmm11110111	(Rm)→R7_BANK, Rm+4→Rm	特権	5	—
LDS Rm,MACH	0100mmmm00001010	Rm→MACH	—	1	—
LDS Rm,MACL	0100mmmm00011010	Rm→MACL	—	1	—
LDS Rm,PR	0100mmmm00101010	Rm→PR	—	1	—
LDS.L @Rm+,MACH	0100mmmm00000110	(Rm)→MACH, Rm+4→Rm	—	1	—
LDS.L @Rm+,MACL	0100mmmm00010110	(Rm)→MACL, Rm+4→Rm	—	1	—

命令	命令コード	動作	特権	実行 ステート	Tビット
LDS.L @Rm+,PR	0100mmmm00100110	(Rm)→PR, Rm+4→Rm	—	1	—
LDTLB	000000000111000	PTEH/PTEL→TLB	特権	1	—
NOP	0000000000001001	無操作	—	1	—
PREF @Rm	0000mmmm10000011	(Rm)→キャッシュ	—	2	—
RTE	000000000101011	遅延分岐、SSR→SR、SPC→PC	特権	4	—
SETS	0000000001011000	1→S	—	1	—
SETT	000000000011000	1→T	—	1	1
SLEEP	000000000011011	スリープ	特権	4*	—
STC SR,Rn	0000nnnn00000010	SR→Rn	特権	1	—
STC GBR,Rn	0000nnnn00010010	GBR→Rn	—	1	—
STC VBR,Rn	0000nnnn00100010	VBR→Rn	特権	1	—
STC SSR, Rn	0000nnnn00110010	SSR→Rn	特権	1	—
STC SPC,Rn	0000nnnn01000010	SPC→Rn	特権	1	—
STC R0_BANK,Rn	0000nnnn10000010	R0_BANK→Rn	特権	1	—
STC R1_BANK,Rn	0000nnnn10010010	R1_BANK→Rn	特権	1	—
STC R2_BANK,Rn	0000nnnn10100010	R2_BANK→Rn	特権	1	—
STC R3_BANK,Rn	0000nnnn10110010	R3_BANK→Rn	特権	1	—
STC R4_BANK,Rn	0000nnnn11000010	R4_BANK→Rn	特権	1	—
STC R5_BANK,Rn	0000nnnn11010010	R5_BANK→Rn	特権	1	—
STC R6_BANK,Rn	0000nnnn11100010	R6_BANK→Rn	特権	1	—
STC R7_BANK,Rn	0000nnnn11110010	R7_BANK→Rn	特権	1	—
STC.L SR,@-Rn	0100nnnn00000011	Rn-4→Rn, SR→(Rn)	特権	2	—
STC.L GBR,@-Rn	0100nnnn00010011	Rn-4→Rn, GBR→(Rn)	—	2	—
STC.L VBR,@-Rn	0100nnnn00100011	Rn-4→Rn, VBR→(Rn)	特権	2	—
STC.L SSR,@-Rn	0100nnnn00110011	Rn-4→Rn, SSR→(Rn)	特権	2	—
STC.L SPC,@-Rn	0100nnnn01000011	Rn-4→Rn, SPC→(Rn)	特権	2	—
STC.L R0_BANK,@-Rn	0100nnnn10000011	Rn-4→Rn, R0_BANK→(Rn)	特権	2	—
STC.L R1_BANK,@-Rn	0100nnnn10010011	Rn-4→Rn, R1_BANK→(Rn)	特権	2	—
STC.L R2_BANK,@-Rn	0100nnnn10100011	Rn-4→Rn, R2_BANK→(Rn)	特権	2	—
STC.L R3_BANK,@-Rn	0100nnnn10110011	Rn-4→Rn, R3_BANK→(Rn)	特権	2	—
STC.L R4_BANK,@-Rn	0100nnnn11000011	Rn-4→Rn, R4_BANK→(Rn)	特権	2	—
STC.L R5_BANK,@-Rn	0100nnnn11010011	Rn-4→Rn, R5_BANK→(Rn)	特権	2	—
STC.L R6_BANK,@-Rn	0100nnnn11100011	Rn-4→Rn, R6_BANK→(Rn)	特権	2	—
STC.L R7_BANK,@-Rn	0100nnnn11110011	Rn-4→Rn, R7_BANK→(Rn)	特権	2	—
STS MACH,Rn	0000nnnn00001010	MACH→Rn	—	1	—

2. CPU

命令	命令コード	動作	特権	実行 ステート	Tビット
STS	MACL,Rn	MACL→Rn	—	1	—
STS	PR,Rn	PR→Rn	—	1	—
STS.L	MACH,@-Rn	Rn-4→Rn, MACH→(Rn)	—	1	—
STS.L	MACL,@-Rn	Rn-4→Rn, MACL→(Rn)	—	1	—
STS.L	PR,@-Rn	Rn-4→Rn, PR→(Rn)	—	1	—
TRAPA	#imm	PC→SPC, SR→SSR, imm<<2→TRA, VBR+H'0100→PC	—	8	—

【注】 * チップがスリープ状態になる前の実行ステート数です。

この表には実行に必要な最低クロック数を示します。實際上、命令フェッチがデータアクセスと競合している場合、またはロード命令のデスティネーションレジスタ（メモリーレジスタ）が次の命令で使用するレジスタと同じ場合、実行サイクル数は増加します。

2.6 DSP 拡張機能用の命令

2.6.1 はじめに

DSP 拡張機能命令は次の 3 つのグループに分類されます。

- (1) CPU ユニット用の追加システム制御命令（「2.6.2 CPU 用追加システム制御命令」）
- (2) DSP ユニットのメモリとレジスタ間のシングル、ダブルデータ転送（「2.6.3 DSP データ命令用シングル、ダブルデータ転送」）
- (3) DSP ユニット用の並列演算（「2.6.4 DSP 演算命令の命令セット」）

2.6.2 CPU 用追加システム制御命令

ここに分類される命令は CPU コア機能の一部として扱われますので、ここに追加したすべての命令コード長は 16 ビットです。すべての追加命令はシステム制御命令のグループに属します。表 2.26 に追加システム命令の要約を示します。

CPU コアにはループ制御、モジュロアドレッシング機能をサポートするために RS、RE、MOD のコントロールレジスタが追加され、これらのレジスタに対する LDC 命令と STC 命令が用意されています。

DSP エンジンの DSR、A0、X0、X1、Y0、Y1 レジスタはシステムレジスタとして扱われます。そのために STS と LDS 命令がサポートされています。デジタル信号処理演算はいくつかのレベルのネストループ構造を持っているのが普通です。したがって、ゼロオーバーヘッドループ制御機能により DSP 性能を向上させることができます。SETRC 命令は SR [27:16]にある RC にリピータカウントを設定するために用意されています。イミディエイトオペランドタイプの SETRC を実行すると、イミディエイトオペランドデータの 8 ビットが SR [23:16]にセットされ、残りのビット SR [27:24]には 0 がセットされます。レジスタオペランドタイプの SETRC 命令を実行すると、Rn [11:0]が SR [27:16]にセットされます。リピートループのスタートアドレスとエンドアドレスは RS レジスタと RE レジスタにセットされます。アドレス設定には 2 つの方法があります。1 つは LDC 命令を使用することであり、もう 1 つは LDRS、LDRE 命令を使用することです。

2. CPU

表 2.26 CPU 用追加システム制御命令

命令	命令コード	動作	実行 ステート	Tビット
SETRC #imm	10000010iiiiiii	Imm→RC (of SR)	3	—
SETRC Rn	0100nnnn00010100	Rn[11:0]→RC(ofSR)	3	—
LDRS @(disp,PC)	10001100ddddddd	(disp×2+PC)→RS	3	—
LDRE @(disp,PC)	10001110ddddddd	(disp×2+PC)→RE	3	—
STC MOD,Rn	0000nnnn01010010	MOD→Rn	1	—
STC RS,Rn	0000nnnn01100010	RS→Rn	1	—
STC RE,Rn	0000nnnn01110010	RE→Rn	1	—
STS DSR,Rn	0000nnnn01101010	DSR→Rn	1	—
STS A0,Rn	0000nnnn01111010	A0→Rn	1	—
STS X0,Rn	0000nnnn10001010	X0→Rn	1	—
STS X1,Rn	0000nnnn10011010	X1→Rn	1	—
STS Y0,Rn	0000nnnn10101010	Y0→Rn	1	—
STS Y1,Rn	0000nnnn10111010	Y1→Rn	1	—
STS.L DSR,@-Rn	0100nnnn01100010	Rn-4→Rn, DSR→(Rn)	1	—
STS.L A0,@-Rn	0100nnnn01110010	Rn-4→Rn, A0→(Rn)	1	—
STS.L X0,@-Rn	0100nnnn10000010	Rn-4→Rn, X0→(Rn)	1	—
STS.L X1,@-Rn	0100nnnn10010010	Rn-4→Rn, X1→(Rn)	1	—
STS.L Y0,@-Rn	0100nnnn10100010	Rn-4→Rn, Y0→(Rn)	1	—
STS.L Y1,@-Rn	0100nnnn10110010	Rn-4→Rn, Y1→(Rn)	1	—
STC.L MOD,@-Rn	0100nnnn01010011	Rn-4→Rn, MOD→(Rn)	2	—
STC.L RS,@-Rn	0100nnnn01100011	Rn-4→Rn, RS→(Rn)	2	—
STC.L RE,@-Rn	0100nnnn01110011	Rn-4→Rn, RE→(Rn)	2	—
LDS.L @Rn+,DSR	0100nnnn01100110	(Rn)→DSR, Rn+4→Rn	1	—
LDS.L @Rn+,A0	0100nnnn01110110	(Rn)→A0, Rn+4→Rn	1	—
LDS.L @Rn+,X0	0100nnnn10000110	(Rn)→X0, Rn+4→Rn	1	—
LDS.L @Rn+,X1	0100nnnn10010110	(Rn)→X1, Rn+4→Rn	1	—
LDS.L @Rn+,Y0	0100nnnn10100110	(Rn)→Y0, Rn+4→Rn	1	—
LDS.L @Rn+,Y1	0100nnnn10110110	(Rn)→Y1, Rn+4→Rn	1	—
LDC.L @Rn+,MOD	0100nnnn01010111	(Rn)→MOD, Rn+4→Rn	5	—
LDC.L @Rn+,RS	0100nnnn01100111	(Rn)→RS, Rn+4→Rn	5	—
LDC.L @Rn+,RE	0100nnnn01110111	(Rn)→RE, Rn+4→Rn	5	—
LDS Rn,DSR	0100nnnn01101010	Rn→DSR	1	—
LDS Rn,A0	0100nnnn01111010	Rn→A0	1	—
LDS Rn,X0	0100nnnn10001010	Rn→X0	1	—
LDS Rn,X1	0100nnnn10011010	Rn→X1	1	—

命令	命令コード	動作	実行 ステート	Tビット
LDS Rn, Y0	0100nnnn10101010	Rn→Y0	1	—
LDS Rn, Y1	0100nnnn10111010	Rn→Y1	1	—
LDC Rn, MOD	0100nnnn01011110	Rn→MOD	3	—
LDC Rn, RS	0100nnnn01101110	Rn→RS	3	—
LDC Rn, RE	0100nnnn01111110	Rn→RE	3	—

2.6.3 DSP データ命令用シングル、ダブルデータ転送

ここに分類される命令は DSP 演算のプログラムコードサイズを節約するために用意されています。ここに追加するすべての命令のコード長は 16 ビットです。このクラスの命令は 2 つのグループから構成されます。1 つはシングルデータ転送命令です。もう 1 つはダブルデータ転送命令です。ダブル転送命令でのオペランド柔軟性は「2.6.4 DSP 演算命令の命令セット」で説明する並列命令クラスのデータ転送命令フィールド、A フィールドと同じです。ただし、条件付きロード命令はこれらの 16 ビット命令では利用できません。シングル転送では Ax ポインタおよび 2 つのアドレスポインタ (R2、R3) がポインタオペランド As として利用できますが、Ay ポインタは利用できません。表 2.27、表 2.28 にシングル、またはダブルデータ転送命令の命令表を示します。

ダブルデータ転送グループでは X メモリと Y メモリを並行してアクセスできます。Ax ポインタは X メモリアクセス命令のみに使用でき、Ay ポインタは Y メモリアクセス命令のみに使用できます。ダブルデータ転送命令は内蔵 X、Y メモリ領域のみにアクセスできます。シングルデータ転送命令は、16 ビット命令コードを用いて、任意のメモリアドレス空間にアクセスできます。

Rn、n=2~7 は、普通 Ax、Ay、As ポインタとして使用しますが、ポインタ名そのものはアセンブラのリネーム機能で変更することができます。次のようなリネームを推奨します。

R2:As2、R3:As3、R4:Ax0 (As0)、R5:Ax1 (As1)、R6:Ay0、R7:Ay1、R8:Ix (Is)、R9:Iy

表 2.27 ダブルデータ転送命令

命令		命令コード	動作	実行 ステート	DC
X メモリ データ 転送	NOPX	1111000*0*00**	X メモリノーオペレーション	1	—
	MOVX.W @Ax, Dx	111100A*D*0*01**	(Ax) →Dx の MSW, 0 →Dx の LSW	1	—
	MOVX.W @Ax+, Dx	111100A*D*0*10**	(Ax) →Dx の MSW, 0 →Dx の LSW, Ax+2 →Ax	1	—
	MOVX.W @Ax+Ix, Dx	111100A*D*0*11**	(Ax) →Dx の MSW, 0 →Dx の LSW, Ax+Ix →Ax	1	—
	MOVX.W Da, @Ax	111100A*D*1*01**	Da の MSW →(Ax)	1	—
	MOVX.W Da, @Ax+	111100A*D*1*10**	Da の MSW →(Ax), Ax+2 →Ax	1	—
	MOVX.W Da, @Ax+Ix	111100A*D*1*11**	Da の MSW →(Ax), Ax+Ix →Ax	1	—

2. CPU

命令		命令コード	動作	実行 状態	DC
Yメモリ データ 転送	NOPLY	111100*0*0**00	Yメモリノオペレーション	1	—
	MOVY.W @Ay, Dy	111100*A*D**01	(Ay) →Dy の MSW, 0 →Dy の LSW	1	—
	MOVY.W @Ay+, Dy	111100*A*D**10	(Ay) →Dy の MSW, 0 →Dy の LSW, Ay+2 →Ay	1	—
	MOVY.W @Ay+Iy, Dy	111100*A*D**11	(Ay) →Dy の MSW, 0 →Dy の LSW, Ay+Iy →Ay	1	—
	MOVY.W Da, @Ay	111100*A*D*1**01	Da の MSW →(Ay)	1	—
	MOVY.W Da, @Ay+	111100*A*D*1**10	Da の MSW →(Ay), Ay+2 →Ay	1	—
	MOVY.W Da, @Ay+Iy	111100*A*D*1**11	Da の MSW →(Ay), Ay+Iy →Ay	1	—

表 2.28 シングルデータ転送命令

命令	命令コード	動作	実行 状態	DC
MOVS.W @-As, Ds	111101AADDDD0000	As-2 →As, (As) →Ds の MSW, 0 →Ds の LSW	1	—
MOVS.W @As, Ds	111101AADDDD0100	(As) →Ds の MSW, 0 →Ds の LSW	1	—
MOVS.W @As+, Ds	111101AADDDD1000	(As) →Ds の MSW, 0 →Ds の LSW, As+2 →As	1	—
MOVS.W @As+Ix, Ds	111101AADDDD1100	(Asc) →Ds の MSW, 0 →Ds の LSW, As+Ix →As	1	—
MOVS.W Ds, @-As*	111101AADDDD0001	As-2 →As, Ds の MSW →(As)	1	—
MOVS.W Ds, @As*	111101AADDDD0101	Ds の MSW →(As)	1	—
MOVS.W Ds, @As+*	111101AADDDD1001	Ds の MSW →(As), As+2 →As	1	—
MOVS.W Ds, @As+Ix*	111101AADDDD1101	Ds の MSW →(As), As+Ix →As	1	—
MOVS.L @-As, Ds	111101AADDDD0010	As-4 →As, (As) →Ds	1	—
MOVS.L @As, Ds	111101AADDDD0110	(As) →Ds	1	—
MOVS.L @As+, Ds	111101AADDDD1010	(As) →Ds, As+4 →As	1	—
MOVS.L @As+Ix, Ds	111101AADDDD1110	(As) →Ds, As+Ix →As	1	—
MOVS.L Ds, @-As	111101AADDDD0011	As-4 →As, Ds →(As)	1	—
MOVS.L Ds, @As	111101AADDDD0111	Ds →(As)	1	—
MOVS.L Ds, @As+	111101AADDDD1011	Ds →(As), As+4 →As	1	—
MOVS.L Ds, @As+Ix	111101AADDDD1111	Ds →(As), As+Ix →As	1	—

【注】 * ガードビットレジスタ A0G と A1G をソースオペランド Ds に指定した場合、データは LDB [7:0]バスに出力され、符号ビットは上位ビット [31:8]に転記されます。

DSP データ転送のオペランドとレジスタとの対応を表 2.29 に示します。CPU コアのレジスタはメモリアドレスを示すポインタアドレスとして使われます。

表 2.29 DSP データ転送のオペランドとレジスタとの対応

レジスタ		Ax	Ix	Dx	Ay	Iy	Dy	Da	As	Is	Ds
CPU レジスタ	R0										
	R1										
	R2 (As2)								Yes		
	R3 (As3)								Yes		
	R4 (Ax0, As0)	Yes							Yes		
	R5 (Ax1, As1)	Yes							Yes		
	R6 (Ay0)				Yes						
	R7 (Ay1)				Yes						
	R8 (Ix, Is)		Yes							Yes	
	R9 (Iy)					Yes					
DSP レジスタ	A0							Yes			Yes
	A1							Yes			Yes
	M0										Yes
	M1										Yes
	X0			Yes							Yes
	X1			Yes							Yes
	Y0						Yes				Yes
	Y1						Yes				Yes
	A0G										Yes
	A1G										Yes

2.6.4 DSP 演算命令の命令セット

DSP 演算命令は DSP ユニットで処理されるデジタル信号処理の命令です。これらの命令は 32 ビット長の命令コードで、複数の命令を並列に実行することができます。命令コードは A フィールド、B フィールドの 2 つに分かれており、A フィールドにはダブルデータ転送命令を指定し、B フィールドにはシングルまたはダブルデータ演算命令を指定します。命令は独立して指定することができ、実行も独立に行われます。A フィールドすなわちデータ転送命令フィールドの機能は、基本的に「2.6.3 DSP データ命令用シングル、ダブルデータ転送」のダブルデータ転送命令と同じですが、ロード命令は特別の機能を持っています。

B フィールドのデータ演算命令は 3 つに分かれています。ダブルデータ演算命令、条件付きシングルデータ演算命令、無条件シングルデータ演算命令の 3 つです。DSP 演算命令の命令形式を表 2.30 に示します。それぞれのオペランドは独立に DSP レジスタから選べます。DSP 演算命令のオペランドとレジスタの対応を表 2.31 に示します。

2. CPU

表 2.30 DSP 演算命令の命令形式

分類		命令形式	命令
ダブルデータ演算命令 (6 オペランド)		ALUop. Sx, Sy, Du MLTop. Se, Sf, Dg	PADD PMULS, PSUB PMULS
条件付きシングルデータ 演算命令	3 オペランド	ALUop. Sx, Sy, Dz DCT ALUop. Sx, Sy, Dz DCF ALUop. Sx, Sy, Dz	PADD, PAND, POR, PSHA, PSHL, PSUB, PXOR
	2 オペランド	ALUop. Sx, Dz DCT ALUop. Sx, Dz DCF ALUop. Sx, Dz ALUop. Sy, Dz DCT ALUop. Sy, Dz DCF ALUop. Sy, Dz	PCOPY, PDEC, PDMSB, PINC, PLDS, PSTS, PNEG
	1 オペランド	ALUop. Dz DCT ALUop. Dz DCF ALUop. Dz	PCLR
無条件シングルデータ 演算命令	3 オペランド	ALUop. Sx, Sy, Du MLTop. Se, Sf, Dg	PADDC, PSUBC, PMULS
	2 オペランド	ALUop. Sx, Dz ALUop. Sy, Dz ALUop. Sx, Sy	PCMP, PABS, PRND
	1 オペランド	ALUop. Dz	PSHA #imm, PSHL #imm

表 2.31 DSP 命令のオペランドとレジスタの対応

レジスタ	ALU、BPU 演算				乗算演算		
	Sx	Sy	Dz	Du	Se	Sf	Dg
A0	Yes		Yes	Yes			Yes
A1	Yes		Yes	Yes	Yes	Yes	Yes
M0		Yes	Yes				Yes
M1		Yes	Yes				Yes
X0	Yes		Yes	Yes	Yes	Yes	
X1	Yes		Yes		Yes		
Y0		Yes	Yes	Yes	Yes	Yes	
Y1		Yes	Yes			Yes	

並行命令を書くときは最初に B フィールドの命令を書いて、次に A フィールドの命令を書きます。並行処理プログラム例を図 2.16 に示します。

```

PADD A0, M0, A0  PMULS X0, Y0, M0  MOVX.W @R4+, X0  MOVY.W @R6+, Y0 [;]
DCF  PINC X1, A1  MOVX.W A0, @R5+R8  MOVY.W @R7+, Y0 [;]
      PCMP X1, M0  MOVX.W @R4+, X0  [NOPY] [;]

```

図 2.16 並列命令プログラムの例

ここで、[]は省略可能な部分を表します。

NOPX と NOPY のノーオペレーション命令は、省略可能です。表 2.32 に並列演算命令の B フィールドの要約を示します。

;'は命令行を区切るために使用しますが、省略可能です。この区切り記号;'を使用すると、続くスペースはコメント領域として使用できます。これは従来の SH ツールと同じ機能を持っています。

DSR レジスタの条件コードビット (DC) は、無条件の ALU またはシフト演算命令の結果に基づいて更新されます。条件付き命令の場合、DC ビットを更新しません。乗算命令も DC ビットを更新しません。DC ビットの更新条件は DSR レジスタの CS0~2 ビットにより決定されます。表 2.33 に DC ビットの更新ルールの定義について示します。

表 2.32 DSP 演算命令

命令	命令コード	動作	実行ステータス	DC
PMULS Se,Sf, Dg	111110***** 0100eeff0000gg00	Se*Sf → Dg (符号付き)	1	—
PADD Sx,Sy,Du PMULS Se,Sf,Dg	111110***** 0111eeffxxyygguu	Sx+Sy → Du Se*Sf → Dg (符号付き)	1	*
PSUB Sx,Sy,Du PMULS Se,Sf,Dg	111110***** 0110eeffxxyygguu	Sx-Sy → Du Se*Sf → Dg (符号付き)	1	*
PADD Sx,Sy,Dz	111110***** 10110001xxyyzzzz	Sx+Sy → Dz	1	*
DCT PADD Sx,Sy,Dz	111110***** 10110010xxyyzzzz	If DC=1, Sx+Sy → Dz If DC=0, nop	1	—
DCF PADD Sx,Sy,Dz	111110***** 10110011xxyyzzzz	If DC=0, Sx+Sy → Dz If DC=1, nop	1	—
PSUB Sx,Sy,Dz	111110***** 10100001xxyyzzzz	Sx-Sy → Dz	1	*
DCT PSUB Sx,Sy,Dz	111110***** 10100010xxyyzzzz	If DC=1, Sx-Sy → Dz If DC=0, nop	1	—
DCF PSUB Sx,Sy,Dz	111110***** 10100011xxyyzzzz	If DC=0, Sx-Sy → Dz If DC=1, nop	1	—
PSHA Sx,Sy,Dz	111110***** 1010001xxyyzzzz	If Sy>=0, Sx<<Sy → Dz (算術シフト) If Sy<0, Sx>>Sy → Dz	1	*

2. CPU

命令	命令コード	動作	実行ステート	DC
DCT PSHA Sx, Sy, Dz	111110***** 10010010xxyyzzzz	If DC=1 & Sy>=0, Sx<<Sy → Dz (算術シフト) If DC=1 & Sy<0, Sx>>Sy → Dz If DC=0, nop	1	-
DCF PSHA Sx, Sy, Dz	111110***** 10010011xxyyzzzz	If DC=0 & Sy>=0, Sx<<Sy → Dz (算術シフト) If DC=0 & Sy<0, Sx>>Sy → Dz If DC=1, nop	1	-
PSHL Sx, Sy, Dz	111110***** 10000001xxyyzzzz	If Sy>=0, Sx<<Sy → Dz (論理シフト) If Sy<0, Sx>>Sy → Dz	1	*
DCT PSHL Sx, Sy, Dz	111110***** 10000010xxyyzzzz	If DC=1 & Sy>=0, Sx<<Sy → Dz (論理シフト) If DC=1 & Sy<0, Sx>>Sy → Dz If DC=0, nop	1	-
DCF PSHL Sx, Sy, Dz	111110***** 10000011xxyyzzzz	If DC=0 & Sy>=0, Sx<<Sy → Dz (論理シフト) If DC=0 & Sy<0, Sx>>Sy → Dz If DC=1, nop	1	-
PCOPY Sx, Dz	111110***** 11011001xx00zzzz	Sx → Dz	1	*
PCOPY Sy, Dz	111110***** 1111100100yyzzzz	Sy → Dz	1	*
DCT PCOPY Sx, Dz	111110***** 11011010xx00zzzz	If DC=1, Sx → Dz If DC=0, nop	1	-
DCT PCOPY Sy, Dz	111110***** 1111101000yyzzzz	If DC=1, Sy → Dz If DC=0, nop	1	-
DCF PCOPY Sx, Dz	111110***** 11011011xx00zzzz	If DC=0, Sx → Dz If DC=1, nop	1	-
DCF PCOPY Sy, Dz	111110***** 1111101100yyzzzz	If DC=0, Sy → Dz If DC=1, nop	1	-
PDMSB Sx, Dz	111110***** 10011101xx00zzzz	Sx → Dz 正規化のためのカウントシフト値	1	*
PDMSB Sy, Dz	111110***** 1011110100yyzzzz	Sy → Dz 正規化のためのカウントシフト値	1	*
DCT PDMSB Sx, Dz	111110***** 10011110xx00zzzz	If DC=1, 正規化のためのカウントシフト値 Sx → Dz If DC=0, nop	1	-
DCT PDMSB Sy, Dz	111110***** 1011111000yyzzzz	If DC=1, 正規化のためのカウントシフト値 Sy → Dz If DC=0, nop	1	-
DCF PDMSB Sx, Dz	111110***** 10011111xx00zzzz	If DC=0, 正規化のためのカウントシフト値 Sx → Dz If DC=1, nop	1	-
DCF PDMSB Sy, Dz	111110***** 1011111100yyzzzz	If DC=0, 正規化のためのカウントシフト値 Sy → Dz If DC=1, nop	1	-

命令	命令コード	動作	実行ステート	DC
PINC Sx,Dz	111110***** 10011001xx00zzzz	Sx の MSW → Dz	1	*
PINC Sy,Dz	111110***** 1011100100yyzzzz	Sy の MSW → Dz	1	*
DCT PINC Sx,Dz	111110***** 10011010xx00zzzz	If DC=1, Sx の MSW+1 → Dz If DC=0, nop	1	—
DCT PINC Sy,Dz	111110***** 1011101000yyzzzz	If DC=1, Sy の MSW+1 → Dz If DC=0, nop	1	—
DCF PINC Sx,Dz	111110***** 10011011xx00zzzz	If DC=0, Sx の MSW+1 → Dz If DC=1, nop	1	—
DCF PINC Sy,Dz	111110***** 1011101100yyzzzz	If DC=0, Sy の MSW+1 → Dz If DC=1, nop	1	—
PNEG Sx,Dz	111110***** 11001001xx00zzzz	0-Sx → Dz	1	*
PNEG Sy,Dz	111110***** 1110100100yyzzzz	0-Sy → Dz	1	*
DCT PNEG Sx,Dz	111110***** 11001010xx00zzzz	If DC=1, 0-Sx → Dz If DC=0, nop	1	—
DCT PNEG Sy,Dz	111110***** 1110101000yyzzzz	If DC=1, 0-Sy → Dz If DC=0, nop	1	—
DCF PNEG Sx,Dz	111110***** 11001011xx00zzzz	If DC=0, 0-Sx → Dz If DC=1, nop	1	—
DCF PNEG Sy,Dz	111110***** 1110101100yyzzzz	If DC=0, 0-Sy → Dz If DC=1, nop	1	—
POR Sx,Sy,Dz	111110***** 10110101xxyyzzzz	Sx Sy → Dz	1	*
DCT POR Sx,Sy,Dz	111110***** 10110110xxyyzzzz	If DC=1, Sx Sy → Dz If DC=0, nop	1	—
DCF POR Sx,Sy,Dz	111110***** 10110111xxyyzzzz	If DC=0, Sx Sy → Dz If DC=1, nop	1	—

2. CPU

命令	命令コード	動作	実行 状態	DC
PAND Sx, Sy, Dz	111110***** 10010101xxyyzzzz	$Sx \& Sy \rightarrow Dz$	1	*
DCT PAND Sx, Sy, Dz	111110***** 10010110xxyyzzzz	If DC=1, $Sx \& Sy \rightarrow Dz$ If DC=0, nop	1	—
DCF PAND Sx, Sy, Dz	111110***** 10010111xxyyzzzz	If DC=0, $Sx \& Sy \rightarrow Dz$ If DC=1, nop	1	—
PXOR Sx, Sy, Dz	111110***** 10100101xxyyzzzz	$Sx \wedge Sy \rightarrow Dz$	1	*
DCT PXOR Sx, Sy, Dz	111110***** 10100110xxyyzzzz	If DC=1, $Sx \wedge Sy \rightarrow Dz$ If DC=0, nop	1	—
DCF PXOR Sx, Sy, Dz	111110***** 10100111xxyyzzzz	If DC=1, $Sx \wedge Sy \rightarrow Dz$ If DC=0, nop	1	—
PDEC Sx, Dz	111110***** 10001001xx00zzzz	$Sx [39:16]-1 \rightarrow Dz$	1	*
PDEC Sy, Dz	111110***** 1010100100yyzzzz	$Sy [31:16]-1 \rightarrow Dz$	1	*
DCT PDEC Sx, Dz	111110***** 10001010xx00zzzz	If DC=1, $Sx [39:16]-1 \rightarrow Dz$ If DC=0, nop	1	—
DCT PDEC Sy, Dz	111110***** 1010101000yyzzzz	If DC=1, $Sy [31:16]-1 \rightarrow Dz$ If DC=0, nop	1	—
DCF PDEC Sx, Dz	111110***** 10001011xx00zzzz	If DC=0, $Sx [39:16]-1 \rightarrow Dz$ If DC=1, nop	1	—
DCF PDEC Sy, Dz	111110***** 1010101100yyzzzz	If DC=0, $Sy [31:16]-1 \rightarrow Dz$ If DC=1, nop	1	—
PCLR Dz	111110***** 100011010000zzzz	$H'00000000 \rightarrow Dz$	1	*
DCT PCLR Dz	111110***** 100011100000zzzz	If DC=1, $H'00000000 \rightarrow Dz$ If DC=0, nop	1	—
DCF PCLR Dz	111110***** 100011110000zzzz	If DC=0, $H'00000000 \rightarrow Dz$ If DC=1, nop	1	—
PSHA $\#imm, Dz$	111110***** 00010iiiiizzzz	If $imm \geq 0$, $Dz \ll imm \rightarrow Dz$ (算術シフト) If $imm < 0$, $Dz \gg imm \rightarrow Dz$	1	*
PSHL $\#imm, Dz$	111110***** 00000iiiiizzzz	If $imm \geq 0$, $Dz \ll imm \rightarrow Dz$ (論理シフト) If $imm < 0$, $Dz \gg imm \rightarrow Dz$	1	*

命令	命令コード	動作	実行 ステート	DC
PSTS MACH,Dz	111110***** 110011010000zzzz	MACH → Dz	1	—
DCT PSTS MACH,Dz	111110***** 110011100000zzzz	If DC=1, MACH → Dz	1	—
DCF PSTS MACH,Dz	111110***** 110011110000zzzz	If DC=0, MACH → Dz	1	—
PSTS MACL,Dz	111110***** 110111010000zzzz	MACL → Dz	1	—
DCT PSTS MACL,Dz	111110***** 110111100000zzzz	If DC=1, MACL → Dz	1	—
DCF PSTS MACL,Dz	111110***** 110111110000zzzz	If DC=0, MACL → Dz	1	—
PLDS Dz,MACH	111110***** 111011010000zzzz	Dz → MACH	1	—
DCT PLDS Dz,MACH	111110***** 111011100000zzzz	If DC=1, Dz → MACH	1	—
DCF PLDS Dz,MACH	111110***** 111011110000zzzz	If DC=0, Dz → MACH	1	—
PLDS Dz,MACL	111110***** 111111010000zzzz	Dz → MACL	1	—
DCT PLDS Dz,MACL	111110***** 111111100000zzzz	If DC=1, Dz → MACL	1	—
DCF PLDS Dz,MACL	111110***** 111111110000zzzz	If DC=0, Dz → MACL	1	—
PADDC Sx,Sy,Dz	111110***** 10110000xxyyzzzz	Sx+Sy+DC → Dz キャリー → DC	1	キャリー
PSUBC Sx,Sy,Dz	111110***** 10100000xxyyzzzz	Sx-Sy-DC → Dz ボロー → DC	1	ボロー
PCMP Sx,Sy	111110***** 10000100xxyy0000	Sx-Sy → DC を更新*	1	*
PABS Sx,Dz	111110***** 10001000xx00zzzz	If Sx<0, 0-Sx → Dz If Sx>=0, nop	1	*
PABS Sy,Dz	111110***** 1010100000yyzzzz	If Sy<0, 0-Sy → Dz If Sy>=0, nop	1	*
PRND Sx,Dz	111110***** 10011000xx00zzzz	Sx+H'00008000 → Dz Dz の LSW → H'0000	1	*
PRND Sy,Dz	111110***** 1011100000yyzzzz	Sy+H'00008000 → Dz Dz の LSW → H'0000	1	*

【注】 * 表 2.33 を参照。

2. CPU

表 2.33 DC ビットの更新の定義

CS [2:0]			条件モード	説明
0	0	0	キャリーまたはポローモード	<p>ALU 算術演算の結果、キャリーまたはポローが発生した場合、DC ビットがセットされます。それ以外はクリアされます。</p> <p>シフト命令 (PSHA または PSHL) の実行時、最後にシフトアウトしたビットデータが DC ビットにコピーされます。</p> <p>ALU 論理演算の実行時、DC ビットは常にクリアされます。</p>
0	0	1	負値モード	<p>ALU 算術演算または算術シフト (PSHA) 演算の実行時、ガードビット部分を含めて結果の MSB が DC ビットにコピーされます。</p> <p>ALU 論理演算または論理シフト (PSHL) 演算の実行時、ガードビット部分を除く結果の MSB が DC ビットにコピーされます。</p>
0	1	0	ゼロ値モード	<p>ALU 演算またはシフト演算の結果がすべてゼロの場合、DC ビットがセットされます。それ以外はクリアされます。</p>
0	1	1	オーバフローモード	<p>ALU 算術演算または算術シフト (PSHA) 演算の結果がガードビット部分を除いたデスティネーションレジスタの範囲を超える場合、DC ビットがセットされます。それ以外はクリアされます。</p> <p>ALU 論理演算または論理シフト (PSHL) 演算の実行時、DC ビットは常にクリアされます。</p>
1	0	0	符号付き大モード	<p>このモードは符号付き以上モードに類似していますが、結果がすべて 0 の場合 DC はクリアされます。</p> <p>DC = $\sim\{(\text{負値} \wedge \text{オーバレンジ}) \mid \text{ゼロ値}\}$; 算術演算の場合 DC = 0 ; 論理演算の場合</p>
1	0	1	符号付き以上モード	<p>ALU 算術演算または算術シフト (PSHA) 演算の結果がガードビットを含んだデスティネーションレジスタの範囲を超える場合 (オーバレンジと呼ぶ)、定義は負値モードと同じになります。オーバレンジでない場合、定義は負値モードの DC ビットを反転した値となります。</p> <p>ALU 論理演算または論理シフト (PSHL) 演算の実行時、DC ビットは常にクリアされます。</p> <p>DC = $\sim(\text{負値} \wedge \text{オーバレンジ})$; 算術演算の場合 DC = 0 ; 論理演算の場合</p>
1	1	0	予約	
1	1	1	予約	

- 条件付き演算とデータ転送

DSP 命令の中には前記のように、条件付きで実行することができるものがあります。ただし、指定した条件は命令の B フィールドに対してのみ有効であって、並行して指定したデータ転送命令には有効ではありません。図 2.17 に例を示します。

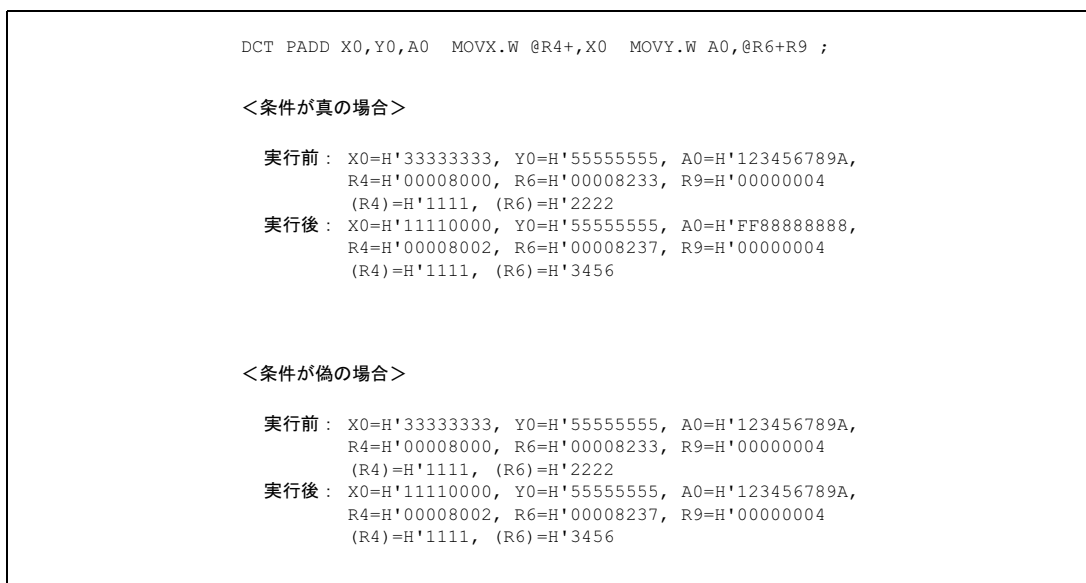


図 2.17 条件付き演算とデータ転送命令の例

- NOPX および NOPY の命令コードの割り当て

DSP 演算命令と同時に並行処理されるデータ転送命令がないときは、データ転送命令に NOPX、NOPY 命令を書くかあるいは命令を省略することもできます。NOPX、NOPY 命令を書いても省略しても命令コードは同じです。NOPX と NOPY の命令コードの例を表 2.34 に示します。

2. CPU

表 2.34 NOPX と NOPY の命令コードの例

命令	コード
PADD X0, Y0, A0 MOVX.W @R4+, X0 MOVY.W @R6+R9, Y0	1111100000001011 1011000100000111
PADD X0, Y0, A0 NOPX MOVY.W @R6+R9, Y0	1111100000000011 1011000100000111
PADD X0, Y0, A0 NOPX NOPY	1111100000000000 1011000100000111
PADD X0, Y0, A0 NOPX	1111100000000000 1011000100000111
PADD X0, Y0, A0	1111100000000000 1011000100000111
MOVX.W @R4+, X0 MOVY.W @R6+R9, Y0	1111000000001011
MOVX.W @R4+, X0 NOPY	1111000000001000
MOVS.W @R4+, X0	1111010010001000
NOPX MOVY.W @R6+R9, Y0	1111000000000011
MOVY.W @R6+R9, Y0	1111000000000011
NOPX NOPY	1111000000000000
NOP	000000000001001

3. メモリマネジメントユニット (MMU)

3.1 概要

3.1.1 特長

本 LSI にはメモリマネジメントユニット (MMU) が内蔵されており、アドレス変換を実行します。内蔵されたアドレス変換バッファ (TLB: Translation Lookaside Buffer) は、外部メモリに配置されたユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、論理アドレスから物理アドレスへの変換を高速に実行できます。アドレス変換はページング方式で、2 種類 (1k/4k バイト) のページサイズをサポートしています。また、特権モード、ユーザモードのそれぞれにおいて、論理アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

3.1.2 MMU の役割

MMU とは物理メモリを有効に利用するために考え出された機能です。図 3.1 に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要性が生じます (1)。この物理メモリへのマッピングをプロセス自身が考えながら実行している、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (2)。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていれば良くなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。MMU は通常 OS が管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ替えを行います。物理メモリの入れ替えは 2 次記憶などの間で行われます。

こうして生まれた仮想記憶方式は複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (3)。TSS 上で走行する複数のプロセスが、各々物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (4)。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらにあるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

3. メモリマネジメントユニット (MMU)

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていなかったり、別のプロセスの仮想メモリへ誤ってアクセスすることがあります。そのとき MMU は例外を発生させ、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときの、アドレス変換情報の入れ替えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間 (通常 1k~64k バイト) が変換の単位となります。本 LSI ではページング方式を用いています。

以下本 LSI では仮想メモリ上のアドレス空間のことを論理アドレス空間、物理メモリ上のアドレス空間のことを物理メモリ空間と呼ぶことにします。

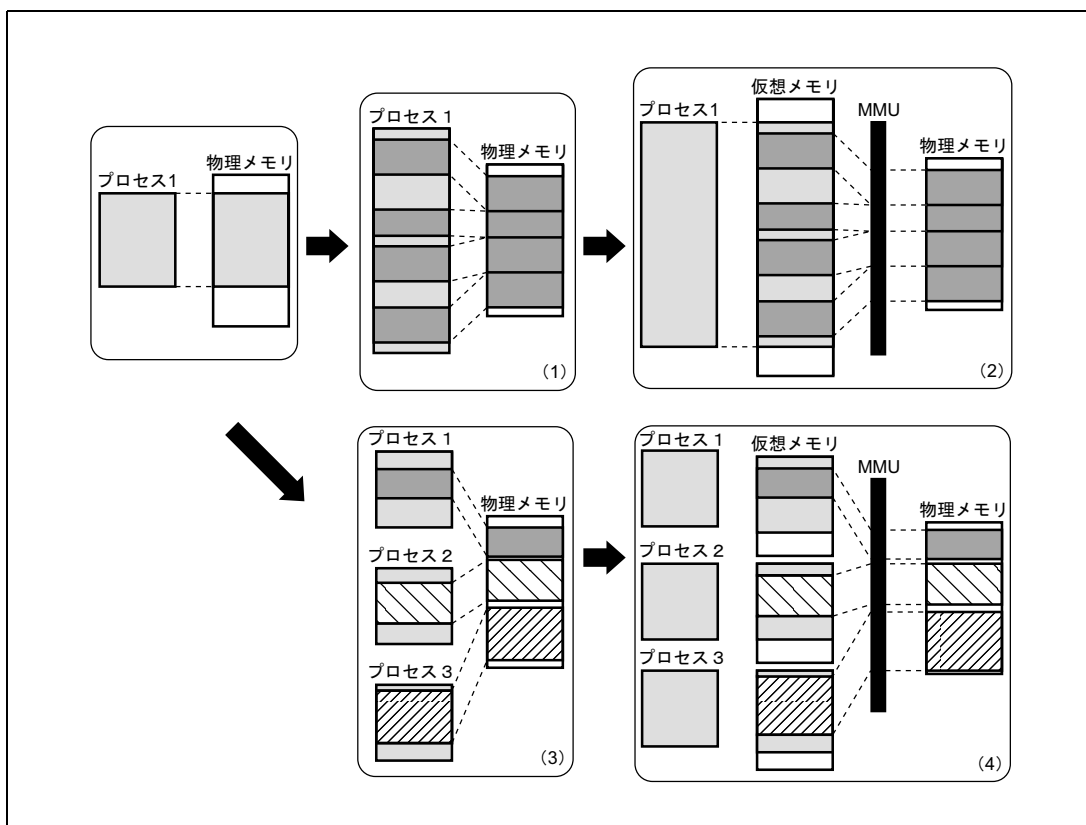


図 3.1 MMU の役割

3.1.3 本 LSI の MMU

(1) 論理アドレス空間

本 LSI は 32 ビットの論理アドレスをサポートし、4G バイトの論理アドレス空間をアクセスできます。論理アドレス空間は図 3.2 に示すとおり、いくつかの領域に分かれています。

(a) 特権モード

特権モードでは P0～P4 の 5 つの領域に分かれます。

P0、P3 領域は、アドレス変換テーブルの情報に従い、ページ単位で物理アドレス空間にマッピングされます。また、ライトアクセスはキャッシュ制御レジスタ (CCR) の設定により、ライトバックとライトスルーが選択可能です。

P1 領域は、物理アドレス空間 (H'0000 0000～H'1FFF FFFF) に固定的にマッピングされます。P1 領域では論理アドレスの MSB (ビット 31) を 0 にしたアドレスが、対応する物理アドレスになります。P1 領域のアクセスはキャッシング可能で、キャッシングするかどうかは、キャッシュ制御レジスタ (CCR) の設定で決定され、ライトバックとライトスルーが選択可能です。

P2 領域は、物理アドレス空間 (H'0000 0000～H'1FFF FFFF) に固定的にマッピングされます。P2 領域では論理アドレスの上位 3 ビット (ビット 31、30、29) をすべて 0 にしたアドレスが、対応する物理アドレスになります。P2 領域のアクセスはキャッシングされません。

P1、P2 領域はアドレス変換テーブルによるマッピングを行わないため、TLB が使用されず、TLB ミスなどの例外が発生しません。このため、MMU 制御レジスタの初期設定や、例外処理ルーチンなどは P1、P2 領域に配置してください。さらに、高速処理が必要なルーチンはキャッシング可能な P1 領域に配置してください。

周辺モジュールの制御レジスタの一部は、物理アドレス空間のエリア 1 に配置されていますが、このアドレスをアドレス変換の対象としない場合には、P2 空間に配置してください。アドレス変換の対象とする場合には、キャッシングなしに設定してください。

P4 領域は、周辺モジュールレジスタなど制御用の領域です。

(b) ユーザモード

ユーザモードでは、H'0000 0000～H'7FFF FFFF の 2G バイトの論理アドレス空間 (U0 領域) をアクセスできます。U0 領域はアドレス変換テーブルの情報に従い、ページ単位で物理アドレス空間にマッピングされます。

CPU ステータスレジスタ (SR) の DSP ビットがオフのとき、H'8000 0000～H'FFFF FFFF の 2G バイトの論理アドレス空間は、ユーザモードでアクセス禁止です。アクセスするとアドレスエラーが発生します。またライトアクセスはキャッシュ制御レジスタ (CCR) の設定により、ライトバックとライトスルーが選択可能です。CPU ステータスレジスタ (SR) の DSP ビットがオンのとき、16M バイトの X/YRAM 空間 Uxy がアドレス (H'A5000000～H'A5FFFFFF) に新たに定義されます。

Uxy は非キャッシュ、固定物理領域となります。U0 および Uxy を超えるアドレス空間に対するアクセスはアドレスエラーになります。X/YRAM 空間の詳細については「第 6 章 X/Y メモリ」を参照してください。

3. メモリマネジメントユニット (MMU)

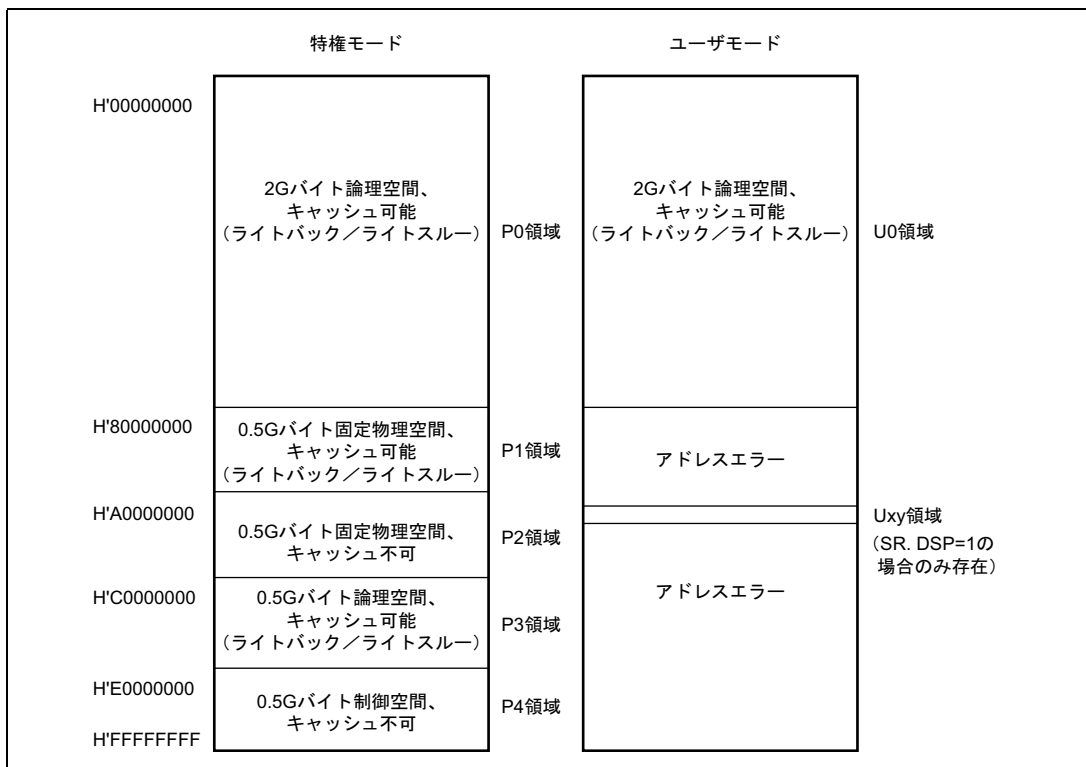


図 3.2 論理アドレス空間

(2) 物理アドレス空間

本 LSI は 32 ビットの物理アドレスをサポートしますが、実際上位の 3 ビットは無視されシャドウとして扱われます。詳細は「第 11 章 バスステートコントローラ (BSC)」を参照してください。

(3) アドレス変換

MMU がイネーブルのとき、論理アドレス空間は、ページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、論理アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納されています。TLB はアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容をキャッシングするのに使われます。P4 領域以外へのアクセスが発生し、そのアクセスされた論理アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その論理アドレスが P0、P3、U0 領域に属する場合には、論理アドレスで TLB が検索され、その論理アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスページ管理情報が読み出され、物理アドレスが決定されます。またアクセスされた論理アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンに移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。ただし MMU がイネーブルの状態では物理アドレスが H'8000 0000~H'FFFF FFFF となるようなアドレス変換情報は TLB へ登録しないでください。

MMU がディスエーブルされているときは、論理アドレスがそのまま物理アドレスとなります。本 LSI では物理アドレス空間として 29 ビットアドレス空間をサポートしているため、物理アドレスの上位 3 ビットが無視されシャドウ空間となります（「第 11 章 バスステートコントローラ (BSC)」参照）。たとえば P0 領域の H'0000 1000 番地と P1 領域の H'8000 1000 番地と P2 領域の H'A000 1000 番地と P3 領域の H'C000 1000 番地はすべて同一の物理メモリにマッピングされます。これらのアドレスへのアクセスをキャッシュイネーブルの状態で行った場合、キャッシュのアドレスアレイにはデータの一致性を保証するために物理アドレスの上位 3 ビットを 0 にマスクしたアドレスが格納されます。

(4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には単一仮想記憶方式と多重仮想記憶方式があり、MMU 制御レジスタにより選択が可能です。単一仮想記憶方式では、複数のプロセスが論理アドレス空間を排他的に使用しながら同時に走行し、ある論理アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが論理アドレス空間を共有して使用しながら走行するため、ある論理アドレスはプロセスにより異なった物理アドレスに変換され得ます。これらの方式は単一仮想記憶モードと多重仮想記憶モードとしてサポートされており、MMU 制御レジスタ (MMUCR) の設定で切り替えることが可能です。単一仮想記憶モードと多重仮想記憶モードとの動作上の違いは TLB のアドレス比較の方式（「3.3.3 TLB のアドレス比較」参照）のみです。

(5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、アドレス空間識別子 (ASID) は論理アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内のページテーブルエントリ上位レジスタ (PTEH) に現在走行中のプロセスの ASID をセットすることで設定できます。ASID によりプロセス切り替えの際に TLB をページしないで済みます。

単一仮想記憶モードの場合、ASID は論理アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます（「3.4.2 MMU のソフトウェア管理」参照）。

3.1.4 レジスタ構成

MMU レジスタの構成を表 3.1 に示します。

表 3.1 レジスタ構成

名称	略称	R/W	サイズ	初期値*1	アドレス
ページテーブルエントリ上位レジスタ	PTEH	R/W	ロングワード	不定	H'FFFF FFF0
ページテーブルエントリ下位レジスタ	PTEL	R/W	ロングワード	不定	H'FFFF FFF4
変換テーブルベースレジスタ	TTB	R/W	ロングワード	不定	H'FFFF FFF8
TLB 例外アドレスレジスタ	TEA	R/W	ロングワード	不定	H'FFFF FFFC
MMU 制御レジスタ	MMUCR	R/W	ロングワード	*2	H'FFFF FFE0

【注】 *1 パワーオンリセット、マニュアルリセットで初期化されます。

*2 SV ビット=不定

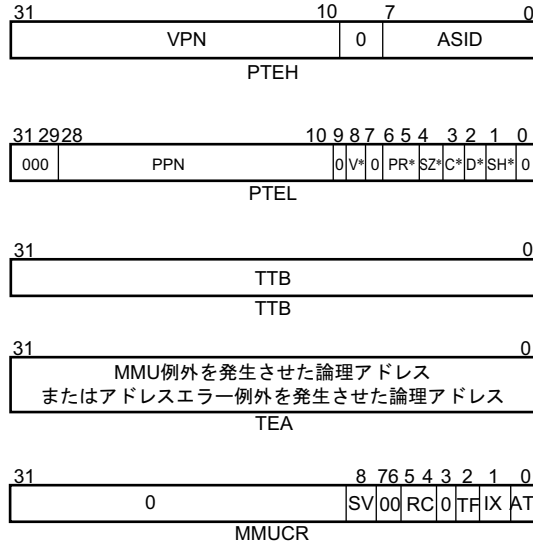
その他のビット=0

3.2 レジスタの説明

MMU 処理に関するレジスタは 5 つあります。これらのレジスタは、P4 領域に配置されており、特権モードの時のみアドレスを指定してアクセスすることができます。

- (1) ページテーブルエントリ上位レジスタ (PTEH) は、H'FFFF FFF0 番地に配置されており、論理ページ番号 (VPN) と ASID から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた論理アドレスの VPN が設定されます。ページサイズが 4k バイトページるとき、VPN は論理アドレスの上位 20 ビットとなりますが、この場合は論理アドレスの上位 22 ビットが設定されます。VPN はソフトウェアからも変更が可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。この VPN と ASID が LDTLB 命令により TLB に登録されます。
- (2) ページテーブルエントリ下位レジスタ (PTEL) は、H'FFFF FFF4 番地に配置されており、LDTLB 命令により TLB に登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。(「3.4.3 MMU の命令 (LDTLB)」および「3.5 MMU 例外」参照)
- (3) 変換テーブルベースレジスタ (TTB) は、H'FFFF FFF8 番地に配置されており、例えば現在使っているページテーブルのベースアドレスの格納用に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。
- (4) TLB 例外アドレスレジスタ (TEA) は、H'FFFF FFFC 番地に配置されており、MMU 例外またはアドレスエラー例外発生後に、例外を発生させた論理アドレスが格納されます。この値は次の例外や割り込みが発生するまでの間有効です。
- (5) MMU 制御レジスタ (MMUCR) は、H'FFFF FFE0 番地に配置されており、図 3.3 に記述された MMU の設定を行います。MMUCR を書き換えるプログラムは P1、P2 領域に配置してください。

MMU レジスタを、図 3.3 に示します。



- 0: 予約ビット 常に0が読み出され、書き込みは無視されます。ただしMMUCRのみ書き込みにも0を指定してください。
- SV: 単一仮想記憶モードビット 0: 多重仮想記憶モード
1: 単一仮想記憶モード
- RC: ランダムカウンタ 2ビットのカウンタでMMU例外発生時にハードウェアが次の規則で自動的に更新します。TLBミス例外が発生した場合には、例外を発生させた論理アドレスに対応するTLBエントリの全ウェイを調べ、全ウェイが有効ならRCには1が加えられ、1つ以上の無効なウェイが存在するなら、ウェイ0、ウェイ1、ウェイ2、ウェイ3の順にウェイ0から優先的にRCへ設定されます。TLBミス例外以外のMMU例外が発生した場合には例外を発生させたウェイがRCに設定されます。
- TF: TLBフラッシュビット 1を書き込むとTLBの有効ビットをすべて0にクリア（フラッシュ）します。読み出しは0が読み出されます。
- IX: インデックスモードビット 0のときVPN（16-12）をTLBのインデックス番号に使用します。1のときPTEH中のASID（4-0）とVPN（16-12）のEX-ORした値をインデックス番号に使用します。
- AT: アドレス変換ビット MMUのイネーブル（有効）とディスエーブル（無効）を指定。
0: ディスエーブル
1: イネーブル

【注】 * 「3.3 TLBの機能」を参照してください。

図 3.3 MMU レジスタの内容

3.3 TLB の機能

3.3.1 TLB の構成

TLB は、外部メモリ上に置かれるアドレス変換テーブル情報をキャッシングします。アドレス変換テーブルには、論理ページ番号とそれに対応する物理ページ番号、アドレス空間識別子およびページ管理情報が格納されています。図 3.4 に TLB 全体構成を示します。TLB は 4 ウェイセットアソシアティブ方式で 1 ウェイあたり 32 エントリの計 128 エントリで構成されています。図 3.5 に論理アドレスと TLB エントリの構成を示します。

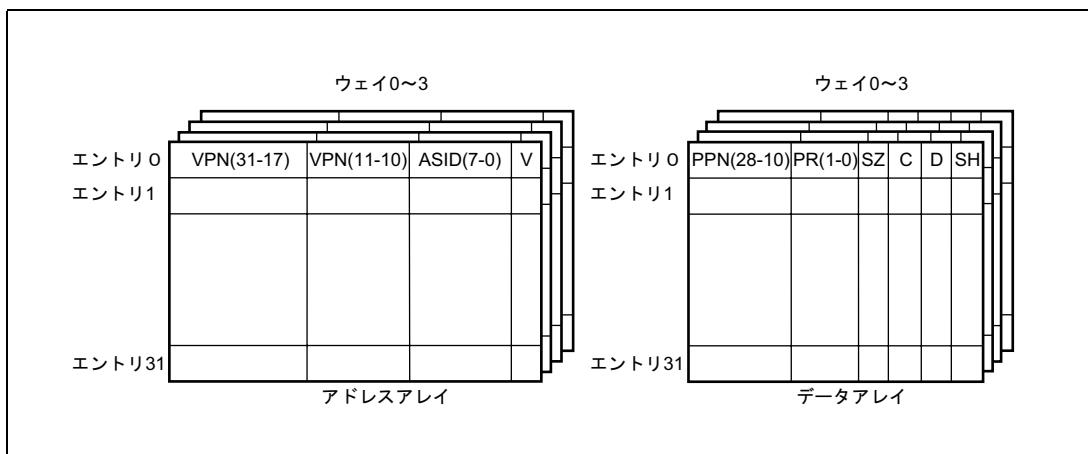


図 3.4 TLB 全体構成

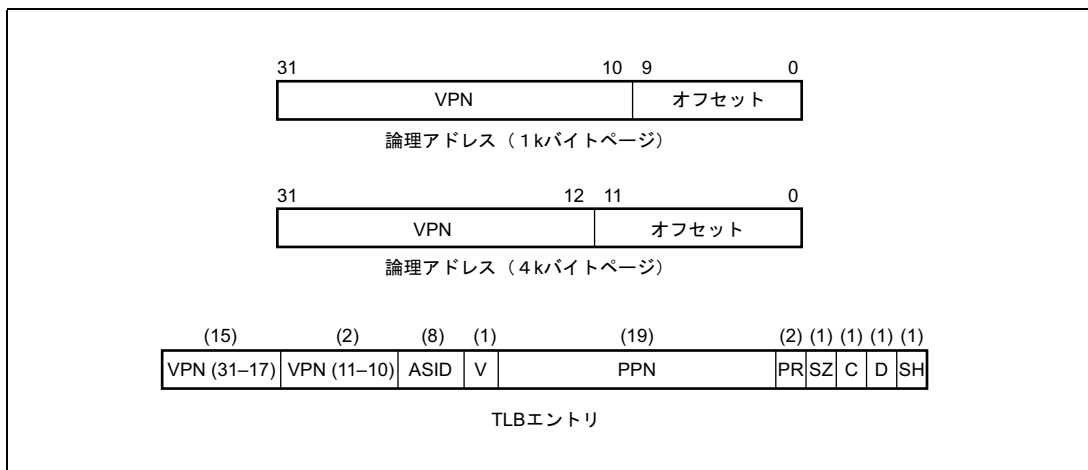


図 3.5 論理アドレスと TLB エントリの構成

• 記号説明

VPN:	論理ページ番号	1k バイトページのとき、論理アドレスの上位 22 ビット 4k バイトページのとき、論理アドレスの上位 20 ビット ただし VPN (16-12) はインデックス番号に使用されるため TLB エントリには格納されません。
ASID:	アドレス空間識別子	論理ページをアクセスできるプロセスを示します。 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
SH:	共有状態ビット	0 のとき複数のプロセスでページを共有しません。 1 のとき複数のプロセスでページを共有します。
SZ:	ページサイズビット	0 のとき 1k バイトページ 1 のとき 4k バイトページ
V:	有効ビット	エントリが有効かどうかを示します。0 のとき無効、1 のとき有効。 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN:	物理ページ番号	物理アドレスの上位 19 ビット。 4k バイトページのときは PPN (11-10) は使用されません。 1k バイトページのときはシノニム問題に注意してください (「3.4.4 シノニム問題の回避」参照)。
PR:	保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ。 00: 特権モードで読み出しのみ可能。 01: 特権モードで読み出し/書き込み可能。 10: 特権/ユーザモードで読み出しのみ可能。 11: 特権/ユーザモードで読み出し/書き込み可能。
C:	キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 のときキャッシング不可能。 1 のときキャッシング可能。
D:	ダーティビット	ページに書き込みが行われたかどうかを示します。 0 のとき書き込みが行われていない。 1 のとき書き込みが行われている。

3.3.2 TLBのインデックス番号作成方法

TLBは4ウェイセットアソシアティブ方式のため、エントリをインデックス番号により選択する必要があります。インデックス番号としてはVPN (16-12)とPTEH中のASID (4-0)を使用します。MMUCRのIXビットによってインデックス番号の生成方法が異なります。

(1) IX=1のとき

VPN (16-12)とASID (4-0)とのEX-ORをインデックス番号として使用します。

(2) IX=0のとき

VPN (16-12)をインデックス番号として使用します。

(1)の方法は、同時に多数のプロセスが同一の論理アドレス空間を走行するとき(多重仮想記憶モード)、インデックス番号生成の結果、特定のエントリが複数のプロセスによって選択され、TLBのヒット率が低下することを防ぐことを目的としています。図3.6、図3.7にTLBのインデックス番号作成の方法を示します。

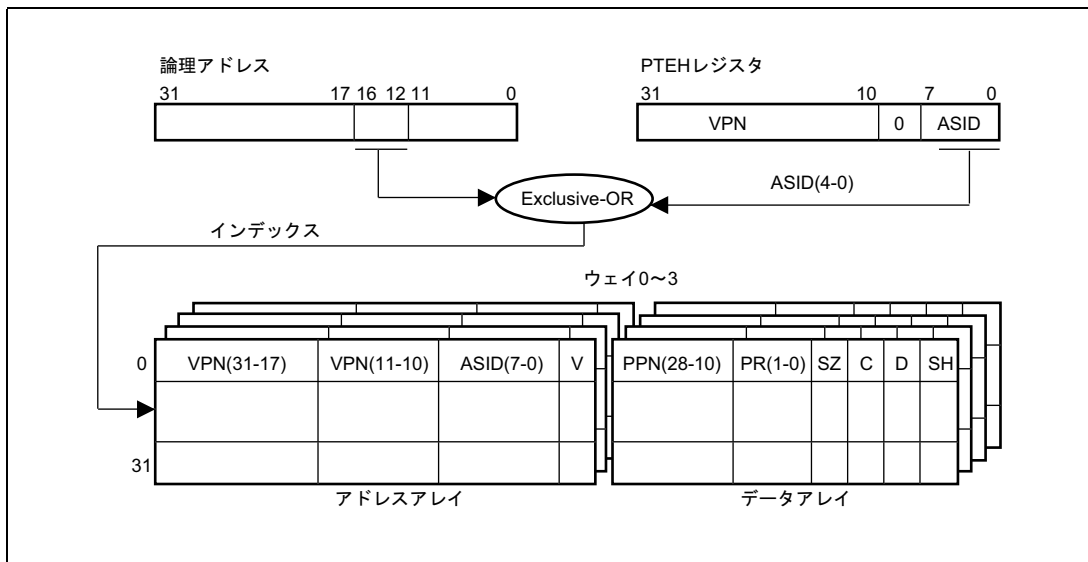


図 3.6 TLB インデックス番号作成の方法 (IX=1)

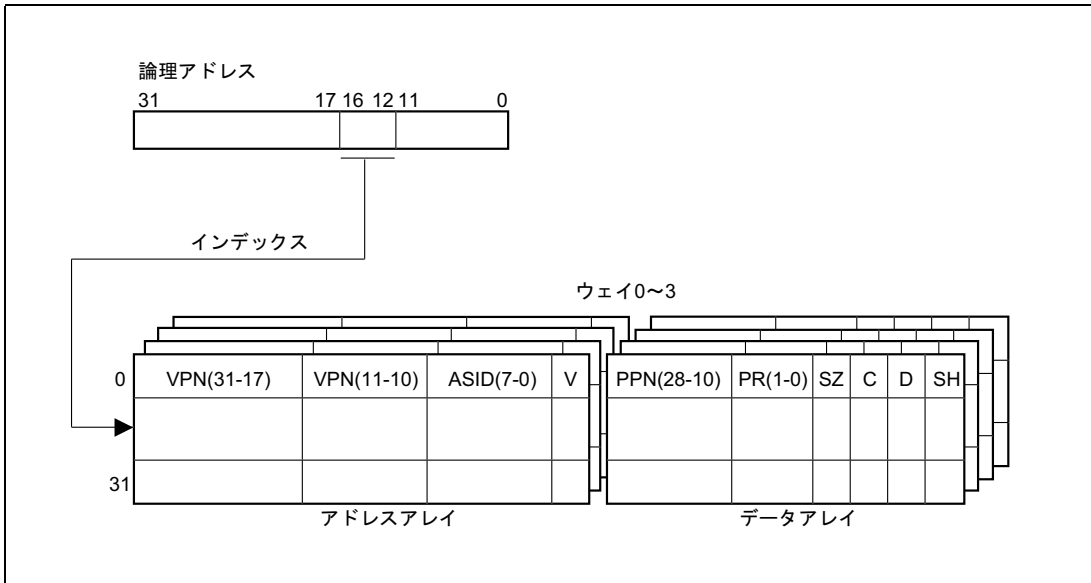


図 3.7 TLB インデックス番号作成の方法 (IX=0)

3.3.3 TLB のアドレス比較

TLB のアドレス比較は、外部メモリ上のプログラムからの命令フェッチや外部メモリ上のデータの参照の際に行われます。アドレス比較で用いられる比較対象は VPN と ASID です。外部メモリをアクセスする論理アドレスの VPN と、インデックス番号で選択された TLB エントリの VPN とが比較されます。また PTEH 中の ASID と、インデックス番号で選択された TLB エントリの ASID とが比較されます。比較は 4 つのウェイとも同時に行われます。比較の結果一致し、かつインデックス番号で選択された TLB エントリが有効 (V=1) であった場合、TLB ヒットとなります。このとき、複数のウェイに同時に TLB ヒットしないことをソフトウェアで保証してください。複数のウェイに同時に TLB ヒットした場合のハードウェアの動作は保証しません。たとえば VPN が同一の 2 つの TLB エントリにおいて、1 つは共有状態 (SH=1)、もう 1 つは非共有状態 (SH=0) で ASID=H'FF のプロセスでのみ TLB ヒットするような設定がなされていた場合に、PTEH 中の ASID を H'FF にすると、これら 2 つのウェイに同時に TLB ヒットする可能性があります。このような設定は、ソフトウェアで行わないようにしてください。

TLB エントリ中のページ管理情報 (SZ、SH) によって比較対象が変化します。また、システムが多重仮想記憶モードと単一仮想記憶モードのどちらをサポートするかで、比較対象が変化します。

ページサイズビット (SZ) によって、VPN (11-10) を比較するか決まります。1k バイトページ (SZ=0) のときは、VPN (11-10) を比較し、4k バイトページ (SZ=1) のときは、比較しません。

3. メモリマネジメントユニット (MMU)

共有状態ビット (SH) によって、PTEH 中の ASID と、TLB エントリ中の ASID とを比較するか決まります。複数のプロセスで共有されている (SH=1) 場合、ASID は比較しません。共有されていない (SH=0) の場合、ASID を比較します。

単一仮想記憶モード (MMUCR.SV=1) かつ、特権モード (SR.MD=1) のときには、ASID を比較しないため、すべてのプロセスのリソースにアクセス可能となります。図 3.8 にアドレス比較対象をまとめます。

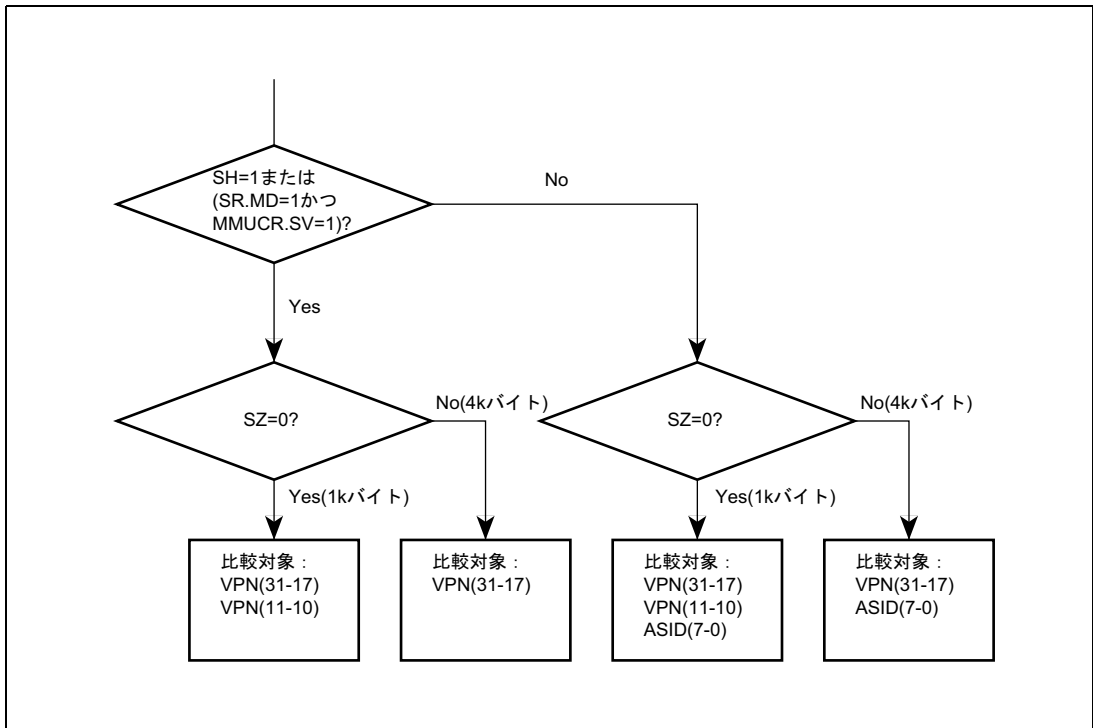


図 3.8 アドレス比較対象

3.3.4 ページ管理情報

TLB エントリ中のページ管理情報には SH、SZ ビット以外に、D、C、PR ビットがあります。

D ビットは、エントリに対応するページがダーティであるかを示します。ダーティとは、そのページに対して書き込みがあったことを意味します。D ビットが 0 の状態で、そのページに書き込むと、初期ページ書き込み例外が発生します。たとえば、2 次記憶と主記憶間で、物理ページの入れ替えをする場合に、ダーティなページを 2 次記憶に書き戻してから、そのページを主記憶からページアウトするという制御を行います。メモリ上のアドレス変換テーブルに、あるページの書き込みがあったことを記憶するために、初期ページ書き込み例外が利用されます。

C ビットはエントリに対応するアクセスページをキャッシングするかを示します。エリア 1 の制御レジスタをマッピングする場合、C ビットは 0 にしてください。

PR ビットは特権モード、ユーザモードそれぞれにおける、そのページに対するアクセス権を示し、記憶保護に使用されます。アクセス権に違反するアクセスを行うと、TLB 保護違反例外が発生します。

D、C、PR ビットによるアクセス状態を表 3.2 に示します。

表 3.2 D、C、PR ビットによるアクセス状態

		特権モード		ユーザモード	
		読み出し	書き込み	読み出し	書き込み
D ビット	0	可能	初期ページ 書き込み例外	可能	初期ページ 書き込み例外
	1	可能	可能	可能	可能
C ビット	0	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)
	1	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)
PR ビット	00	可能	TLB 保護違反例外	TLB 保護違反例外	TLB 保護違反例外
	01	可能	可能	TLB 保護違反例外	TLB 保護違反例外
	10	可能	TLB 保護違反例外	可能	TLB 保護違反例外
	11	可能	可能	可能	可能

3.4 MMU の機能

3.4.1 MMU のハードウェア管理

MMU のハードウェア管理には次の 2 つがあります。

- (1) プロセスからアクセスされた論理アドレスをデコードし、MMUCR の設定に従い、TLB を制御してアドレス変換を行います。
- (2) アドレス変換時に TLB からページ管理情報とヒット情報を受け、MMU 例外の判定とキャッシュをアクセスするかどうかの判定 (C ビット) を行います。この判定方法とハードウェアの処理については「3.5 MMU 例外」を参照してください。

3.4.2 MMU のソフトウェア管理

MMU のソフトウェア管理には次の 3 つがあります。

- (1) MMU レジスタの設定。特に MMUCR の設定はアドレス変換を行わない P1、P2 領域で行うようにしてください。さらに SV、IX ビットの変更はアドレス変換方式の変更になるので、この場合は TF ビットにも同時に 1 を書き込んで TLB のフラッシュを行うようにしてください。AT ビットを 0 にした MMU ディスエーブルの状態では MMU 例外が発生しなくなるので、MMU を使用しないソフトウェアでは必ずディスエーブルの状態で使用してください。
- (2) TLB エントリの登録、削除、読み出し。TLB エントリへの登録には LDTLB 命令を用いる方法とメモリ割り付け TLB に直接書き込む方法があります。TLB エントリの削除と読み出しはメモリ割り付け TLB をアクセスすることで可能です。LDTLB 命令については「3.4.3 MMU の命令 (LDTLB)」を、またメモリ割り付け TLB については「3.6 メモリ割り付け TLB の構成」を参照してください。
- (3) MMU 例外処理。MMU 例外が発生したときにハードウェア側から設定された情報を元に処理を行います。詳細は「3.5 MMU 例外」を参照してください。

また単一仮想記憶モードを使用するときは、共有状態ビット (SH) を 0 にしてすべての TLB エントリの登録をすることで、特権モードのときだけ全物理メモリへのアクセスを許可する状態を作り出すことができます。これによりプロセス間の記憶保護を強化し、特権モードにだけ特別なアクセスレベルを作り出すことが可能になります。

1k バイトページの TLB エントリを登録することによりシノニム問題が発生する可能性があります。「3.4.4 シノニム問題の回避」を参照してください。

3.4.3 MMU の命令 (LDTLB)

TLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令は MMUCR の IX ビットが 0 のとき、PTEH 内で指定された VPN (16-12) をインデックス番号とし、MMUCR の RC ビットで指定されたウェイの TLB エントリを、PTEH と PTEL で指定した値に変更します。MMUCR の IX ビットが 1 のときは、PTEH 内で指定された VPN (16-12) と PTEH 内の ASID (4-0) の EX-OR がインデックス番号として用いられます。

図 3.9 に MMUCR の IX ビットが 0 の場合を示します。

PTEH には MMU 例外が発生したときに、例外を発生させた論理アドレスの論理ページ番号がハードウェアにより設定されます。また MMUCR の RC ビットには、MMU 例外ごとにウェイが設定されます (図 3.3 参照)。このため MMU 例外処理ルーチンの中では PTEL だけを設定して LDTLB 命令を発行すれば、TLB エントリの登録が行えることになります。また、ソフトウェアにより PTEH と MMUCR の RC ビットを書き換えることで、任意の TLB エントリを書き換えることも可能です。

LDTLB 命令はアドレス変換情報を変更するため、この命令を P0、U0、P3 領域で発行するとアドレス変換情報を壊す危険があります。必ず P1、P2 領域で発行するようにしてください。また、P0、U0、P3 領域のアクセスを伴う命令 (RTE 命令など) は、LDTLB 命令の 2 命令後以降に発行してください。

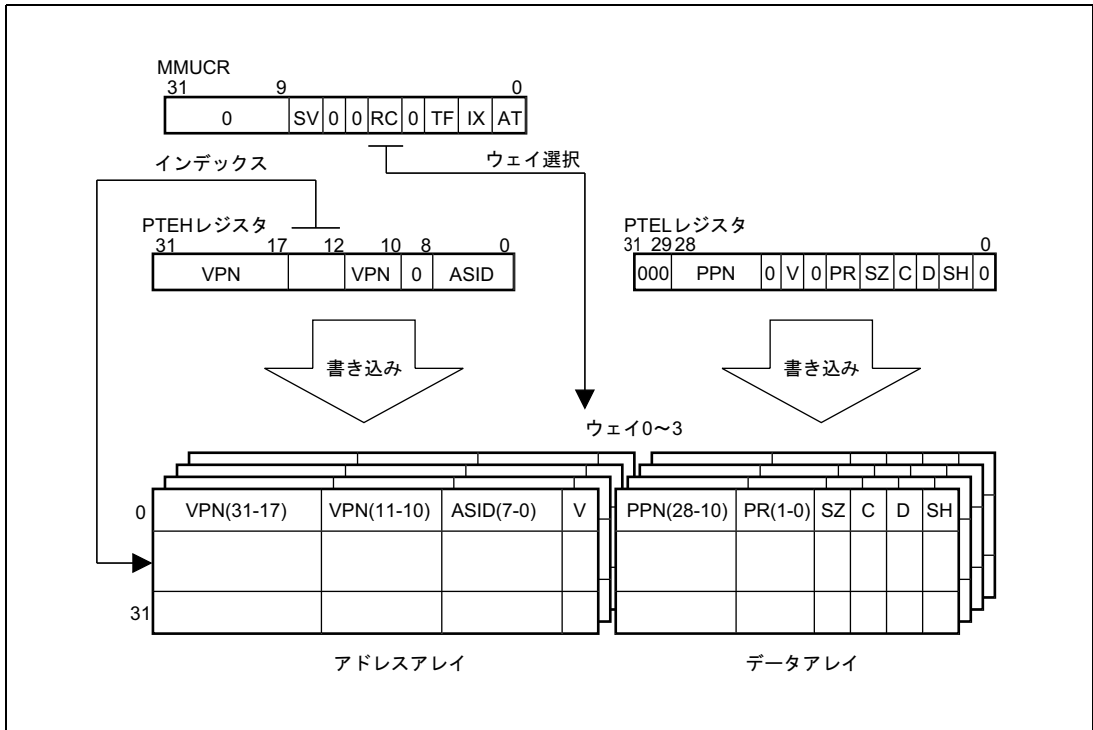


図 3.9 LDTLB 命令の動作

3.4.4 シノニム問題の回避

TLB エントリに 1k バイトページを登録するときシノニム問題が発生する可能性があります。シノニム問題とは、複数の論理アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数エントリに同一の物理アドレスのデータが登録されてしまい、データの一致性が保証されなくなるという問題です。この問題が 1k バイトページを使用した場合にのみ発生する理由を図 3.10 を用いて説明します。

本 LSI のキャッシュは高速に動作するために論理アドレス (11-4) を用いてインデックス番号の作成を行います。4k バイトページを使用した場合には論理アドレス (11-4) はオフセットに含まれ、アドレス変換の対象とならないため、物理アドレス (11-4) と同じになります。キャッシュでのアドレス比較とアドレスアレイへの登録には、キャッシュのタグアドレスが物理アドレスであるため、物理アドレスの (28-10) が登録されます。

1k バイトページを使用した場合にも論理アドレス (11-4) でキャッシュのインデックス番号の作成が行われます。しかし 1k バイトページの場合、論理アドレス (11,10) はアドレス変換の対象となるため、物理アドレス (11,10) と等しくなる可能性があります。このため、キャッシュのアドレスアレイの、物理アドレスで示されるインデックス番号とは異なるエントリに、物理アドレスが登録されることとなります。

【注】 将来の SuperH RISC Engine ファミリ拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN[20:10]を等しくなるようにすることを推奨します。また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

たとえば 1k バイトページの TLB エントリで

論理アドレス 1 H'0000 0000 → 物理アドレス H'0000 0C00

論理アドレス 2 H'0000 0C00 → 物理アドレス H'0000 0C00

のような変換をする TLB エントリが 2 つ TLB に登録されていたとします。論理アドレス 1 はキャッシュのエントリ H'00 へ登録され、論理アドレス 2 はキャッシュのエントリ H'C0 へ登録されることとなります。物理アドレスが等しいにもかかわらず、別のキャッシュエントリへ登録されるため、片方の論理アドレスへ一度でも書き込みが発生すると一致性が保たれなくなります。

このため 1k バイトの TLB エントリを登録するときには、物理アドレスがすでに別の TLB エントリで使用されている物理アドレスと等しいなら、論理アドレス (11,10) を等しくなるように登録してください。

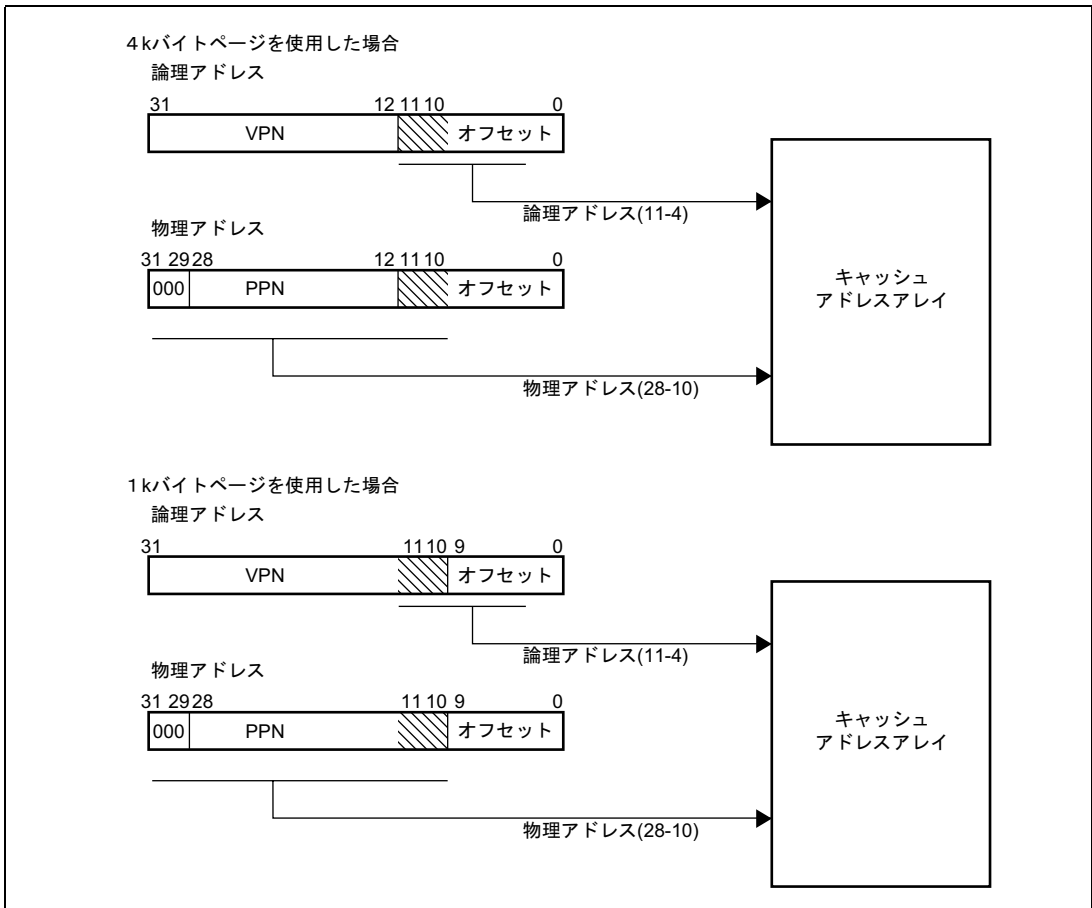


図 3.10 シノニム問題

3.5 MMU 例外

MMU 例外には、TLB ミス例外、TLB 保護違反例外、TLB 無効例外、および初期ページ書き込み例外の 4 つがあります。

3.5.1 TLB ミス例外

TLB ミス例外は、論理アドレスと選ばれたエントリのアドレスアレイとを比較して、一致するものが見つからなかった場合に発生します。TLB ミス例外のハードウェアで行われる処理とソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

TLB ミス例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した論理アドレスの論理ページ番号 (VPN) が論理テーブルエントリ上位レジスタ (PTEH) に書き込まれます。
- (2) 例外の発生した論理アドレスが TLB 例外アドレスレジスタ (TEA) に書き込まれます。
- (3) 読み出しのときは例外コード H'040 が、書き込みのときは例外コード H'060 が、例外事象レジスタ (EXPEVT) に書き込まれます。
- (4) 例外が発生した命令のアドレスを指すプログラムカウンタ (PC) の値が退避プログラムカウンタ (SPC) に書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値が SPC に書き込まれます。
- (5) 例外が発生したときのステータスレジスタ (SR) の内容が退避ステータスレジスタ (SSR) に書き込まれます。
- (6) SR のモードビット (MD) が 1 にセットされ、特権モードに切り替わります。
- (7) SR のブロックビット (BL) が 1 にセットされ、これ以降の例外要求がマスクされます。
- (8) SR のレジスタバンクビット (RB) が 1 にセットされます。
- (9) 例外を発生させた論理アドレスに対応する TLB エントリの全ウェイを調べ、全ウェイが有効なら MMU 制御レジスタ (MMUCR) のランダムカウンタ (RC) には 1 が加えられ、1 つ以上の無効なウェイが存在するならウェイ 0、ウェイ 1、ウェイ 2、ウェイ 3 の順にウェイ 0 から優先的に RC へそのウェイが設定されます。
- (10) ベクタベースレジスタ (VBR) の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、TLB ミス例外処理ルーチンが開始されます。

- ソフトウェア処理 (TLB ミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

- (1) 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの物理ページ番号 (PPN)、保護キーデータ (PR)、ページサイズビット (SZ)、キャッシング可能ビット (C)、ダーティビット (D)、共有状態ビット (SH)、有効ビット (V) の各ビットの値を、ページテーブルエントリ下位レジスタ (PTEL) に書き込みます。
- (2) エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合、その値を MMUCR レジスタの RC に書き込みます。
- (3) LDTLB 命令を実行させ、PTEH と PTEL の内容を TLB に書き込みます。
- (4) 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB 命令の 2 命令以降に RTE 命令を発行してください。

3.5.2 TLB 保護違反例外

TLB 保護違反例外は、論理アドレスが選ばれた TLB エントリのアドレスアレイと比較され、その結果、アドレスが一致してエントリが有効であったにもかかわらず、実際のアクセスタイプが PR キーで指定されたアクセス権で許可されていない場合に発生します。TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェアの処理

TLB 保護違反例外のとき、ハードウェアは次のような一連の処理を実行します。

- (1) 例外が発生した論理アドレスの VPN が PTEH に書き込まれます。
- (2) 例外が発生した論理アドレスが TEA に書き込まれます。
- (3) 読み出しのときは例外コード H'0A0 が、書き込みのときは例外コード H'0C0 が、EXPEVT に書き込まれます。
- (4) 例外が発生した命令のアドレスを指す PC の値が SPC に書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値が SPC に書き込まれます。
- (5) 例外が発生したときの SR の内容が SSR に書き込まれます。
- (6) SR の MD ビットが 1 にセットされ、特権モードに切り替わります。
- (7) SR の BL ビットが 1 にセットされ、これ以降の例外要求がマスクされます。

3. メモリマネジメントユニット (MMU)

- (8) SR のレジスタバンクビット (RB) が 1 にセットされます。
- (9) 例外が発生したウェイが MMUCR の RC にセットされます。
- (10) VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、TLB 保護違反例外処理ルーチンが開始されます。

- ソフトウェアの処理 (TLB 保護違反例外処理ルーチン)

TLB 保護違反を解決し、例外処理からの復帰命令(RTE)を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB 命令の 2 命令以降に RTE 命令を発行してください。

3.5.3 TLB 無効例外

TLB 無効例外は、論理アドレスが選ばれた TLB エントリのアドレスアレイと比較され、その結果アドレスが一致しても、エントリが有効でなかった (V ビットが 0) 場合に発生します。TLB 無効例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェアの処理

TLB 無効例外のとき、ハードウェアは次のような一連の処理を実行します。

- (1) 例外が発生した論理アドレスの VPN が PTEH に書き込まれます。
- (2) 例外が発生した論理アドレスが TEA に書き込まれます。
- (3) 例外が発生したウェイ番号が MMUCR の RC に書き込まれます。
- (4) 読み出しのときは例外コード H'040 が、書き込みのときは例外コード H'060 が EXPEVT に書き込まれます。
- (5) 例外が発生した命令のアドレスを指す PC の値が SPC に書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値が SPC に書き込まれます。
- (6) 例外が発生したときの SR の内容が SSR に書き込まれます。
- (7) SR の MD ビットが 1 にセットされ、特権モードに切り替わります。
- (8) SR の BL ビットが 1 にセットされ、これ以降の例外要求がマスクされます。
- (9) SR のレジスタバンクビット (RB) が 1 にセットされます。
- (10) VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、TLB 保護違反例外処理ルーチンが開始されます。

- ソフトウェアの処理 (TLB 無効例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

- (1) 外部メモリに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V の各ビットの値を、PTEL に書き込みます。
- (2) エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合、その値を MMUCR レジスタの RC に書き込みます。
- (3) LDTLB 命令を実行させ、PTEH と PTEL の内容を TLB に書き込みます。
- (4) 最後に RTE 命令を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB 命令の 2 命令以降に RTE 命令を発行してください。

3.5.4 初期ページ書き込み例外

初期ページ書き込み例外は、論理アドレスと TLB エントリのアドレスレイの内容を比較して一致し、エントリが有効で、書き込みアクセスのアクセス権が許されているにもかかわらず、ダーティビット (D) が 0 (未書き込みページ) の場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェアの処理

初期ページ書き込み例外のとき、ハードウェアは次のような一連の処理を実行します。

- (1) 例外が発生した論理アドレスの VPN が PTEH に書き込まれます。
- (2) 例外が発生した論理アドレスが TEA に書き込まれます。
- (3) 例外コード H'080 が EXPEVT に書き込まれます。
- (4) 例外が発生した命令のアドレスを指す PC の値が SPC に書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値が SPC に書き込まれます。
- (5) 例外が発生したときの SR の内容が SSR に書き込まれます。
- (6) SR の MD ビットが 1 にセットされ、特権モードに切り替わります。
- (7) SR の BL ビットが 1 にセットされ、これ以降の例外要求がマスクされます。
- (8) SR のレジスタバンクビット (RB) が 1 にセットされます。
- (9) 例外が発生したウェイが MMUCR の RC にセットされます。

3. メモリマネジメントユニット (MMU)

(10) VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、ユーザが作成した初期ページ書き込み例外処理ルーチンが開始されます。

- ソフトウェアの処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアで、次のように処理してください。

- (1) 外部メモリから必要なページテーブルエントリを探し出します。
- (2) 外部メモリのページテーブルエントリの D ビットに 1 を書き込んでください。
- (3) 外部メモリに記憶されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V のビットの値を、PTEL に書き込みます。
- (4) エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合、その値を MMUCR の RC に書き込みます。
- (5) LDTLB 命令を実行させ、PTEH と PTEL の内容を TLB に書き込みます。
- (6) 最後に、RTE 命令を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB 命令の 2 命令以降に RTE 命令を発行してください。

MMU 例外の流れを図 3.11 に示します。

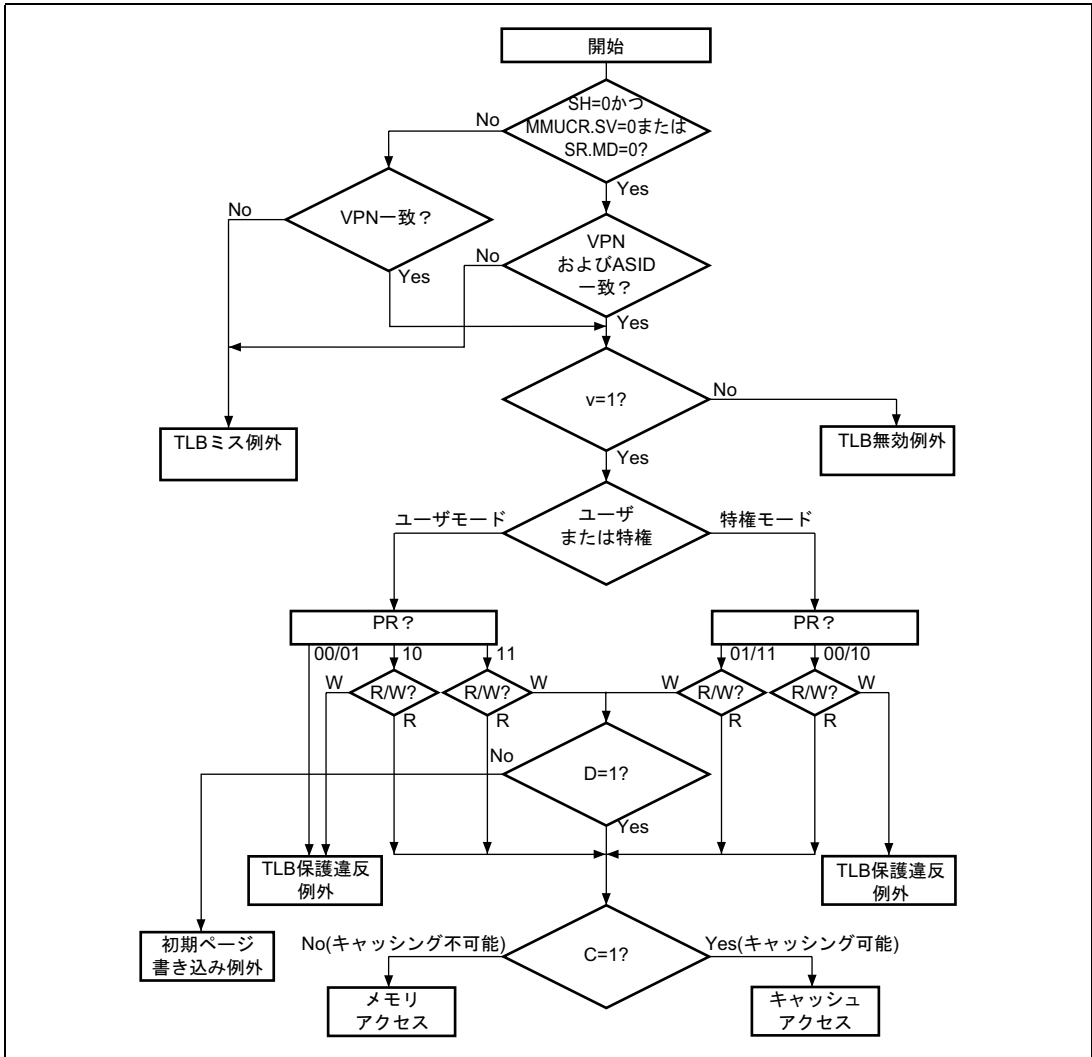


図 3.11 MMU 例外の流れ

3. メモリマネジメントユニット (MMU)

3.5.5 MMU 例外発生時の処理フロー（アドレスエラー発生時の処理フローも同一）

(1) 命令フェッチ時の MMU 例外

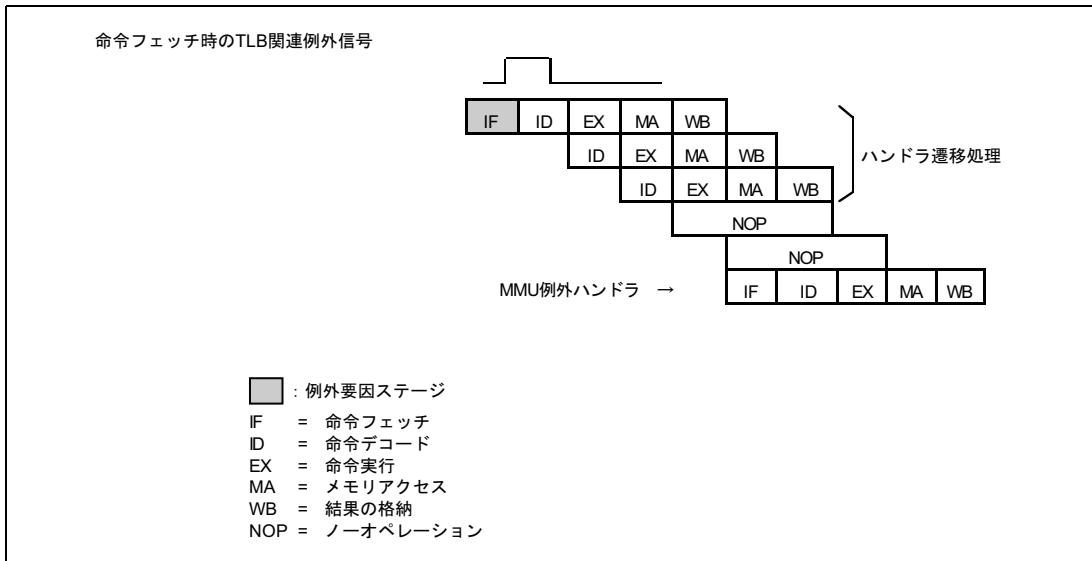


図 3.12 命令フェッチ時の MMU 例外信号

(2) データアクセス時の MMU 例外

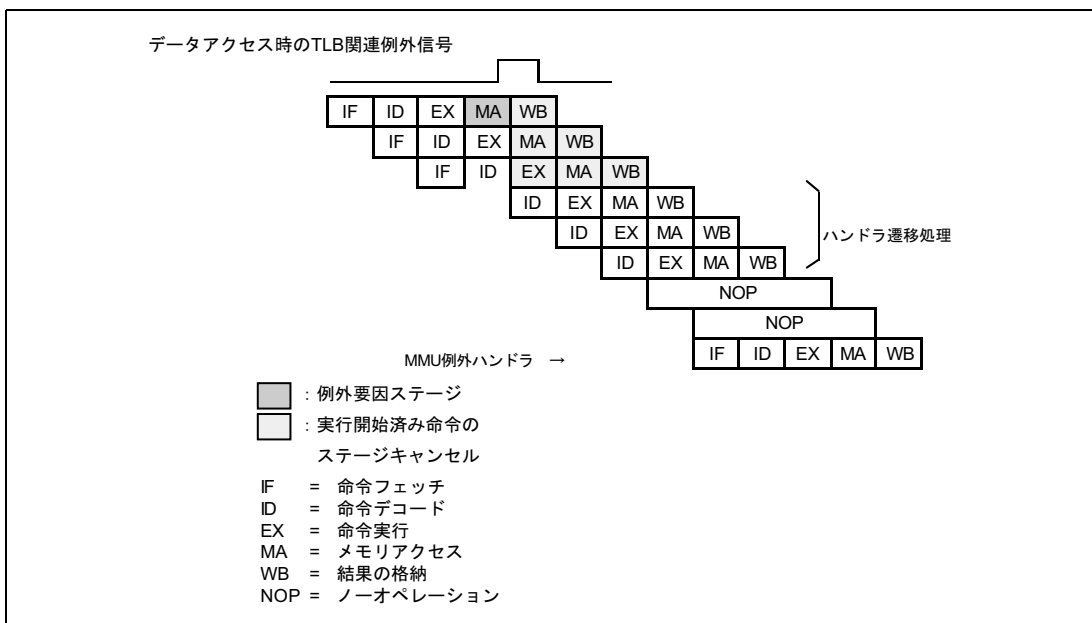


図 3.13 データアクセス時の MMU 例外信号

3.5.6 リピートループにおける MMU 例外

MMU 例外または CPU アドレスエラーがリピートループの直前およびループ中の命令で発生すると、例外が発生した命令の PC は SPC に正確に退避することができず、例外ハンドラからの復帰後リピートループは再開できません。この場合、TLB ミス、TLB 無効、CPU アドレスエラーでは、EXPEVT は H'070 にセットされ、TLB 保護違反では EXPEVT は H'0D0 にセットされます。図 3.14 はこのようなケースが発生する場所を示します。

4 命令以上のリピートループでは、最後の 4 命令のみが該当します (図 3.14 (4) を参照)

3. メモリマネジメントユニット (MMU)

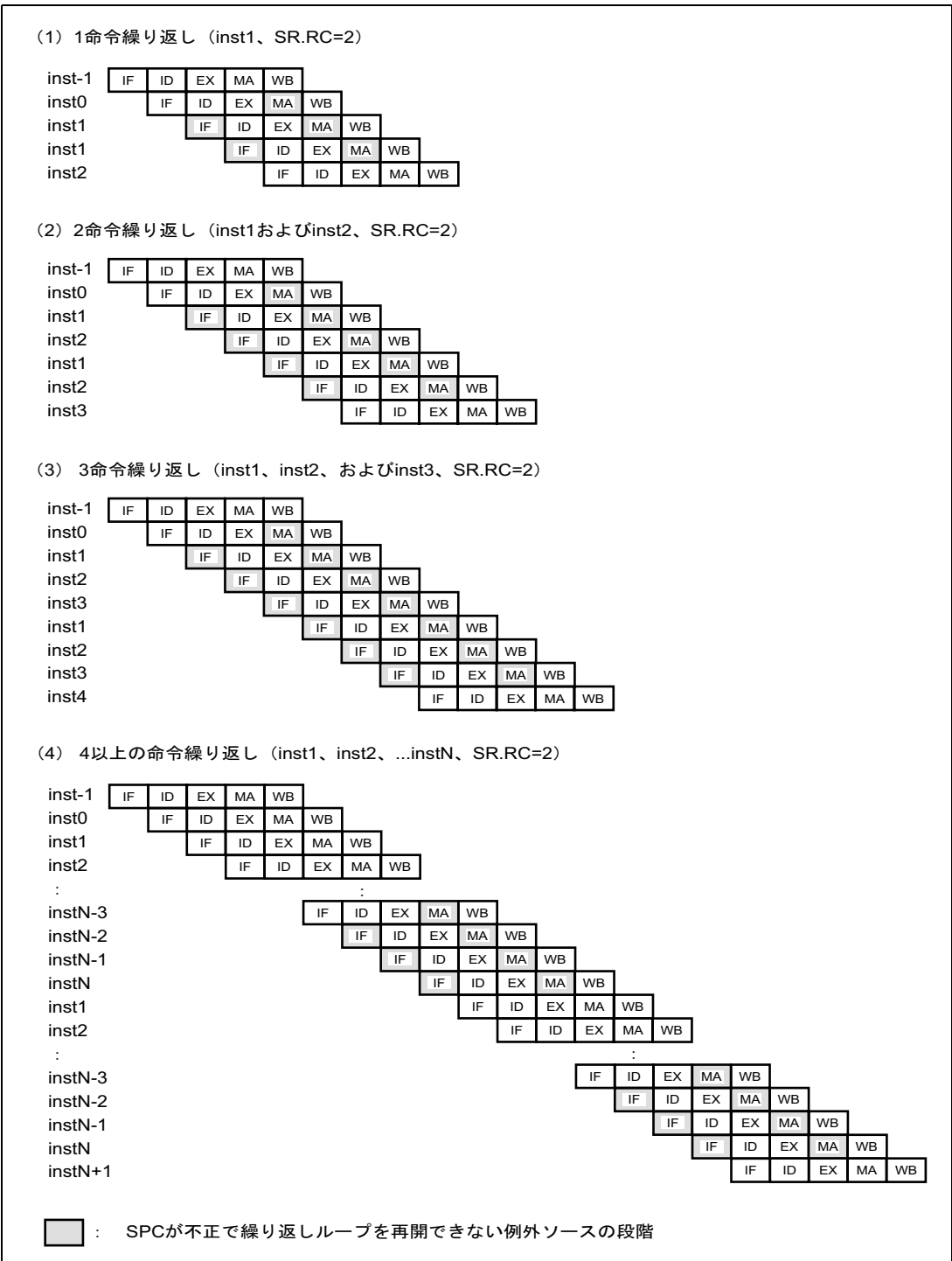


図 3.14 リピートループにおける MMU 例外

3.6 メモリ割り付け TLB の構成

TLB をソフトウェアで管理するために、特権モードのとき、MOV 命令によって、TLB の内容を読み出し、書き込み可能です。TLB は論理アドレス空間の P4 領域に割り付けられています。TLB のアドレスアレイ (VPN、V ビット、ASID) は H'F200 0000~H'F2FF FFFF に、データアレイ (PPN、PR、SZ、C、D、SH ビット) は H'F300 0000~H'F3FF FFFF に割り付けられています。ただしアドレスアレイの V ビットはデータアレイからもアクセス可能です。アクセスサイズはアドレスアレイ、データアレイともロングワードのみ可能です。

3.6.1 アドレスアレイ

TLB のアドレスアレイは H'F200 0000~H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し/書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V ビット、および ASID を指定します (図 3.15 (1) 参照)。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN (16-12) をアドレス部 (16-12) に、ウェイを選択するための W ビットをアドレス部 (9-8) に、アドレスアレイアクセスを示す H'F2 をアドレス部 (31-24) に指定します。インデックスアドレスとして VPN (16-12) と PTEH レジスタ内の ASID (4-0) との EX-OR をとるかどうかは MMUCR の IX ビットに従います。

書き込みの場合は、インデックスアドレスとウェイで選択されたエントリに書き込みます。

読み出しの場合はアドレス比較を行わず、インデックスアドレスとウェイで選択されたエントリの VPN、V ビット、および ASID が図 3.12 のデータ部のフォーマットで読み出されます。データ部 (16-12) には 0 が読み出されます。

特定のエントリを無効化したい場合にはエントリおよびウェイを指定し、その V ビットに 0 を書き込みます。

3.6.2 データアレイ

TLB のデータアレイは H'F300 0000~H'F3FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し/書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込むロングワードデータを指定します (図 3.15 (2) 参照)。ロングワードデータは PTEL と同じビット構成です。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN(16-12)をアドレス部 (16-12) に、ウェイを選択するための W ビットをアドレス部 (9-8) に、データアレイアクセスを示す H'F3 をアドレス部 (31-24) に指定します。インデックスアドレスとして、VPN (16-12) と PTEH レジスタ内の ASID (4-0) との EX-OR をとるかどうかは、MMUCR の IX ビットに従います。

読み出し、書き込みのいずれの場合も、インデックスアドレスとウェイで選択されたデータアレイのロングワードデータが読み出され書き込まれます。

3. メモリマネジメントユニット (MMU)

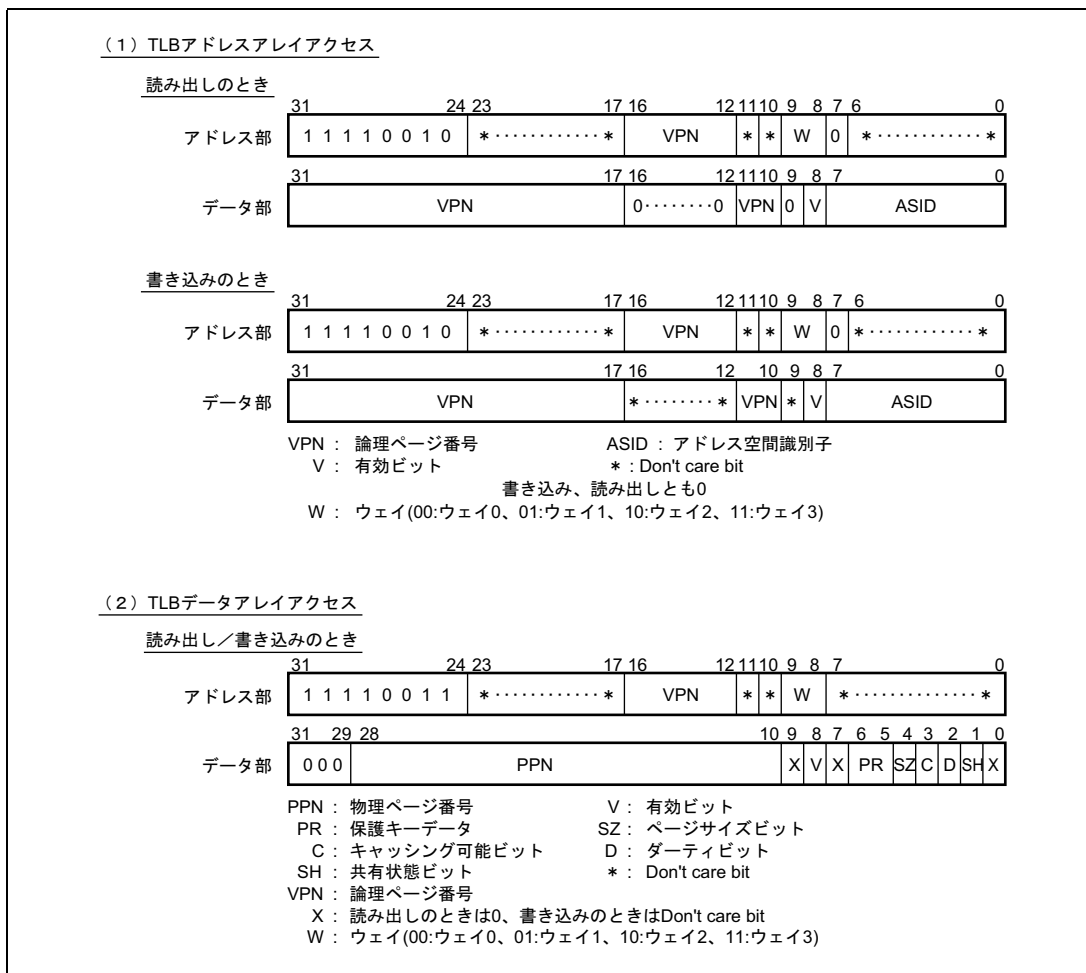


図 3.15 メモリ割り付けされた TLB アクセスのアドレス部、データ部指定方法

3.6.3 使用例

(1) 特定エントリの無効化

TLB の特定エントリの無効化は、そのエントリの V ビットに 0 を書き込むことで実現できます。以下の例では、R0 に書き込みデータ、R1 にアドレスを指定しています。

```
;R0=H'1547 381C R1=H'F201 3000
```

```
;MMUCR.IX=0
```

```
;VPN(31-17)=B'0001 0101 0100 0111 VPN(11-10)=B'10 ASID=B'0001 1100 に対応する
```

```
;エントリを VPN(16-12)=B'1 0011 のインデックスで選択されるエントリとし、
```

```
;ウェイ 0 の V ビットを 0 にして、無効化を実現する。
```

```
MOV.L R0,@R1
```

(2) データアレイの読み出し

TLB の特定エントリのデータアレイを読み出します。図 3.14 (2) のデータ部で示されるビット順でレジスタに読み出されます。以下の例では、R0 にアドレスを指定し、R1 に読み出しています。

```
;R0=HF300 4300  VPN(16-12)=B'0 0100  ウェイ 3
```

```
MOV.L @R0, R1
```

3.7 注意事項

レジスタ SR の MD、BL ビットを操作する命令 (LDC Rm, SR 命令、LDC @Rm+, SR 命令、および RTE 命令) とその次の命令、または LDTLB 命令は、TLB がディスエーブル状態か固定物理アドレス空間 (P1、P2 空間) で使用してください。

3. メモリマネジメントユニット (MMU)

4. 例外処理

4.1 概要

4.1.1 特長

例外処理とは、通常のプログラムの処理から離れて、通常とは異なるプログラムで必要な処理をすることをいいます。実行中の命令の異常終了による例外処理要求に対応して、ユーザが作成した例外処理ルーチンに制御の流れが移ります。ただし、割り込み要求に対しては、実行中の命令が終了するまで通常のプログラムの処理は続行されます。ここでは、リセットと割り込みを除いた例外を一般例外と呼びます。つまり、例外はリセット、一般例外、割り込みの3つに分けられます。

4.1.2 レジスタ構成

表 4.1 に例外処理に使用するレジスタを示します。初期値が不定のレジスタはソフトウェアにより初期化してください。

表 4.1 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス
TRAPA 例外レジスタ	TRA	R/W	ロングワード	不定	H'FFFFFFD0
例外事象レジスタ	EXPEVT	R/W	ロングワード	H'000/H'020*1	H'FFFFFFD4
割り込み事象レジスタ	INTEVT	R/W	ロングワード	不定	H'FFFFFFD8
割り込み事象レジスタ 2	INTEVT2	R	ロングワード	不定	H'04000000 (H'A4000000)*2

【注】 *1 パワーオンリセット時に H'000、マニュアルリセット時に H'020 がセットされます。

*2 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

4.2 例外処理の機能

4.2.1 例外処理の流れ

例外処理では、プログラムカウンタ（PC）、ステータスレジスタ（SR）の内容がそれぞれ退避プログラムカウンタ（SPC）、退避ステータスレジスタ（SSR）に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンでは例外処理の終了時に例外処理からの復帰命令（RTE）を実行させます。この命令でPCとSRの内容が回復され、例外発生時の処理状態に戻り、例外の発生したアドレスに戻ります。基本的な例外処理の流れは次のようになります。

- (1) PCとSRの内容が、それぞれSPCとSSRに退避されます。
- (2) SRのブロックビット（BL）が1にセットされ、後続の例外要求がマスクされます。
- (3) SRのモードビット（MD）が1にセットされ、特権モードに切り替わります。
- (4) SRのレジスタバンクビット（RB）が1にセットされます。
- (5) 例外要因の例外コードが例外事象レジスタ（EXPEVT）、割り込み事象レジスタ（INTEVT）、または割り込み事象レジスタ2（INTEVT2）のビット11～0に書き込まれます。
- (6) 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンの命令が実行されます。

4.2.2 例外処理ベクタアドレス

リセットベクタアドレスはH'A000 0000に固定されています。一般例外、割り込みのベクタアドレスは、ベクタベースアドレスにオフセットの値を加えた値で決めます。TLBミス例外のベクタアドレスのオフセットはH'0000 0400です。TLBミス以外の一般例外のベクタアドレスのオフセットはH'0000 0100です。割り込みのベクタアドレスのオフセットはH'0000 0600です。ベクタベースアドレスはベクタベースレジスタ（VBR）にソフトウェアで設定します。ベクタアドレスは、固定物理アドレスエリア（P1、P2）に配置してください。

ベクタベースアドレス、ベクタオフセット、ベクタテーブルの関係を図 4.1 に示します。

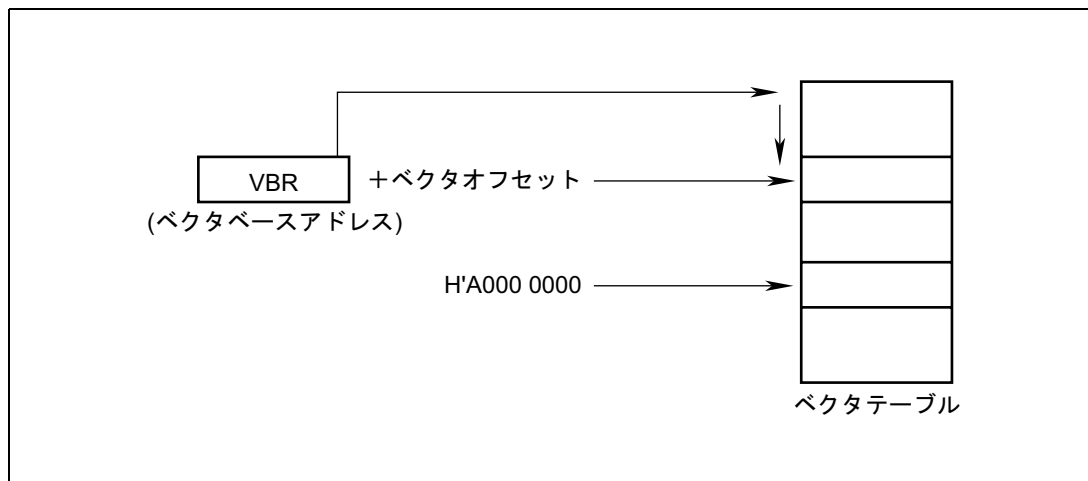


図 4.1 ベクタテーブル

例外とそのベクタアドレスについて、例外の種類、実行命令の終了状態、優先順位、実行順位、ベクタアドレスを表 4.2 に示します。

表 4.2 例外事象ベクタ

例外種別	実行命令の 終了状態	例外事象	優先 順位*1	実行 順位	ベクタ アドレス	ベクタ オフセット
リセット	中断	パワーオンリセット	1	—	H'A00000000	—
		マニュアルリセット	1	—	H'A00000000	—
		H-UDI リセット	1	—	H'A00000000	—
一般例外 事象	中断 および リトライ	CPU アドレスエラー (命令アクセス)	2	1	—	H'00000100
		TLB ミス (非リピートループ命令アクセス)	2	2	—	H'00000400
		TLB ミス (リピートループ命令アクセス) *4	2	2	—	H'00000100
		TLB 無効 (命令アクセス)	2	3	—	H'00000100
		TLB 保護違反 (命令アクセス)	2	4	—	H'00000100
		一般不当命令例外	2	5	—	H'00000100
		スロット不当命令例外	2	5	—	H'00000100
		CPU アドレスエラー (データアクセス)	2	6	—	H'00000100
		TLB ミス (データアクセス)	2	7	—	H'00000400
		TLB ミス (リピートループにおけるデータアクセス) *4	2	7	—	H'00000100
		TLB 無効 (データアクセス)	2	8	—	H'00000100
		TLB 保護違反 (データアクセス)	2	9	—	H'00000100
		初期ページ書き込み	2	10	—	H'00000100

4. 例外処理

例外種別	実行命令の終了状態	例外事象	優先順位*1	実行順位	ベクタアドレス	ベクタオフセット
一般例外事象	完了	無条件トラップ (TRAPA 命令)	2	5	—	H'00000100
		ユーザブレークポイントトラップ	2	n*2	—	H'00000100
		DMA アドレスエラー	2	—	—	H'00000100
割り込み要求	完了	ノンマスカブル割り込み	3	—	—	H'00000600
		外部ハードウェア割り込み	4*3	—	—	H'00000600
		H-UDI 割り込み	4*3	—	—	H'00000600

- 【注】 *1 優先順位は高い方から低い方に 1 から 4 で指定されます。
- *2 ブレークポイントトラップはユーザが定義できます。命令実行前のブレークポイントのとき 1、命令実行後のブレークポイントのとき 11、オペランドブレークポイントのときも 11 となります。
- *3 外部ハードウェア割り込みと周辺モジュール割り込みの相対的な優先順位はソフトウェアで指定します（「第 7 章 割り込みコントローラ (INTC)」を参照）。
- *4 詳細については「4.5.2 一般例外」を参照してください。

4.2.3 例外要因の受け付け

リセットと割り込みは命令実行の流れに関係しない非同期的な事象です。すべての例外は、2 つ以上の例外が同時に発生したとき、処理される優先順位が決められています。一般例外は命令の実行に従った実行順位で発生します。しかし、優先レベル 2 の中で命令の流れの順序（プログラム順）に処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の中の一般不当命令例外、無条件トラップ例外、スロット不当命令例外の 3 つは、それぞれのデコードステージ (ID ステージ) で検出され、命令パイプラインの中では同時に発生しない例外です。このため実行順位は同じ値になっています。一般例外の受け付け順序の例を図 4.2 に示します。

4. 例外処理

4.2.4 例外コード

各例外事象を区別するために例外コードが決められており、リセットと一般例外のときには EXPEVT に、割り込み要求のときには INTEVT、INTEVT2 にその値が書き込まれます。それぞれの例外コードを表 4.3 に示します。

表 4.3 例外コード

例外種別	例外事象		例外コード
リセット	パワーオン		H'000
	マニュアルリセット		H'020
	H-UDI リセット		H'000
一般例外事象	TLB ミス例外/TLB 無効例外 (読み出し)		H'040
	TLB ミス/TLB 無効例外 (書き込み)		H'060
	リポートループでの TLB ミス例外/TLB 無効例外/CPU アドレスエラー		H'070
	初期ページ書き込み例外		H'080
	TLB 保護例外 (読み出し)		H'0A0
	TLB 保護例外 (書き込み)		H'0C0
	リポートループでの TLB 保護例外		H'0D0
	CPU アドレスエラー (読み出し)		H'0E0
	CPU アドレスエラー (書き込み)		H'100
	無条件トラップ (TRAPA 命令)		H'160
	一般不当命令例外		H'180
	スロット不当命令例外		H'1A0
	ユーザブレークポイントトラップ		H'1E0
	DMA アドレスエラー		H'5C0
割り込み要求	ノンマスカブル割り込み		H'1C0
	H-UDI 割り込み		H'5E0
	外部ハードウェア割り込み	IRL3-IRL0=0000	H'200
		IRL3-IRL0=0001	H'220
		IRL3-IRL0=0010	H'240
		IRL3-IRL0=0011	H'260
		IRL3-IRL0=0100	H'280
		IRL3-IRL0=0101	H'2A0
IRL3-IRL0=0110	H'2C0		

例外種別	例外事象		例外コード
一般割り込み要求	外部ハードウェア割り込み	IRL3-IRL0=0111	H'2E0
		IRL3-IRL0=1000	H'300
		IRL3-IRL0=1001	H'320
		IRL3-IRL0=1010	H'340
		IRL3-IRL0=1011	H'360
		IRL3-IRL0=1100	H'380
		IRL3-IRL0=1101	H'3A0
		IRL3-IRL0=1110	H'3C0

4.2.5 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、一般例外が発生した場合には、CPU の内部レジスタはリセット後の状態になり、他のモジュールのレジスタは、一般例外発生前の内容を保持した状態でリセットと同アドレス (H'A000 0000) に分岐します。

SR の BL ビットが 1 のときに、割り込みが発生した場合には割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。

例外処理を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 でクリアします。

4.2.6 例外処理からの復帰

例外処理からの復帰には、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR にセットされ、SPC のアドレスに分岐して、例外処理から復帰します。もし、外部メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にしてから、それらを回復し、RTE 命令を発行してください。

4.3 レジスタの説明

例外処理に関するレジスタは4つあります。これらのレジスタは周辺モジュールレジスタなので P4 領域に配置され、特権モードのときのみアドレスを指定してアクセスすることができます。

- (1) 例外事象レジスタ (EXPEVT) は、H'FFFF FFD4 番地に配置されていて、例外コード 12 ビットから構成されています。EXPEVT に設置される例外コードは、リセットと一般例外事象による例外コードです。例外コードは例外発生時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。
- (2) 割り込み事象レジスタ (INTEVT) は H'FFFFFFD8 番地に配置されていて、割り込み例外コード 12 ビット、または割り込み優先順位を示すコードを格納します。割り込み発生によりどちらがセットされるかは、割り込み要因により異なります (表 7.4、表 7.5 参照)。例外コード、割り込み優先順位コードは例外発生時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。
- (3) 割り込み事象レジスタ 2 (INTEVT2) は、H'04000000 番地に配置されていて、例外コード 12 ビットから構成されています。INTEVT2 に設定される例外コードは、割り込み要求による例外コードです。例外コードは例外発生時にハードウェアにより自動的に設定されます。
- (4) TRAPA 例外レジスタ (TRA) は、H'FFFF FFD0 番地に配置されていて、TRAPA 命令の 8 ビットイミディエイトデータ (imm) から構成されています。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

EXPEVT、INTEVT、INTEVT2、TRA のビット構成を図 4.3 に示します。

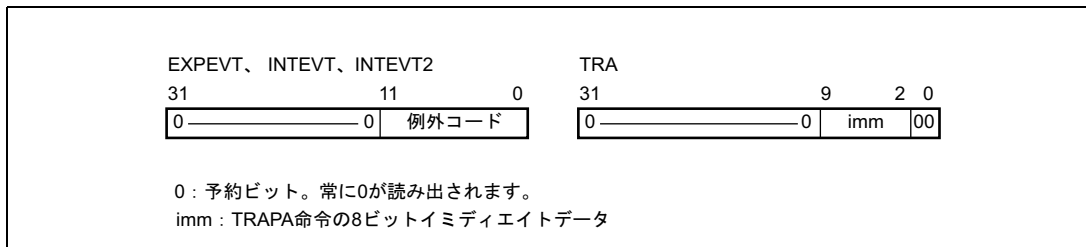


図 4.3 レジスタのビット構成

4.4 例外処理の動作

4.4.1 リセット

リセットは電源を入れたとき、またはいわゆる初期化状態から再実行したいときに使われます。**RESETP** 信号および **RESETM** 信号がクロックサイクルごとに調べられ、パワーオンリセットの場合、すべての実行中の処理（RTCを除く）が中断され、いかなる未処理の事象も取り消されて、リセット処理が直ちに実行されます。マニュアルリセットの場合、実行中のメモリアクセスを完了した後リセット処理が実行されます。リセット処理は次のとおりです。

- (1) SR のモードビット (MD) が 1 になり、特権モードに切り替わります。
- (2) SR のブロックビット (BL) が 1 になり、後続の例外要求がマスクされます (BLMSK ビットが 1 のときの NMI 割り込みを除く)。
- (3) SR のレジスタバンクビット (RB) が 1 になります。
- (4) パワーオンリセットのときは H'000 が、マニュアルリセットのときは H'020 が例外要求を識別するために例外事象レジスタ (EXPEVT) のビット 11~0 に書き込まれます。
- (5) アドレス H'A000 0000 にあるユーザが作成した例外処理ルーチンから命令実行が始まります。

4.4.2 割り込み

実行中の命令が完了した時点で割り込みが受け付けられます。割り込み受け付けの処理は次のとおりです。

- (1) PC と SR の内容が、それぞれ SPC と SSR に退避されます。
- (2) SR のブロックビット (BL) が 1 になり、後続の例外要求がマスクされます (BLMSK ビットが 1 のときの NMI 割り込みを除く)。

4. 例外処理

- (3) SR のモードビット (MD) が 1 になり、特権モードに切り替わります。
- (4) SR のレジスタバンクビット (RB) が 1 になります。
- (5) 例外要因を識別する例外コードが割り込み事象レジスタ (INTEVT) と割り込み事象レジスタ 2 (INTEVT2) のビット 11~0 に書き込まれます。
- (6) 命令の実行は、ベクタベースレジスタ (VBR) に設定された値と H'0000 0600 との和で指定されたアドレスに分岐して、例外処理ルーチンが開始されます。

4.4.3 一般例外

リセット例外または割り込み要求以外の一般例外処理は次のとおりです。

- (1) PC と SR の内容が、それぞれ SPC と SSR に退避されます。
- (2) SR のブロックビット (BL) が 1 になり、後続の例外要求がマスクされます (BLMSK ビットが 1 のときの NMI 割り込みを除く)。
- (3) SR のモードビット (MD) が 1 になり、特権モードに切り替わります。
- (4) SR のレジスタバンクビット (RB) が 1 になります。
- (5) 例外要因を識別する例外コードが EXPEVT のビット 11~0 に書き込まれます。
- (6) TLB ミス例外の場合はベクタベースレジスタ (VBR) に設定された値と H'0000 0400 との和で指定されたアドレスに分岐し、TLB ミス以外の例外の場合は、ベクタベースレジスタ (VBR) に設定された値と H'0000 0100 との和で指定されたアドレスに分岐して、例外処理ルーチンが開始されます。

4.5 個別例外動作

個別の例外処理動作について、発生条件、発生時の本 LSI の動作を説明します。

4.5.1 リセット

(1) パワーオンリセット

条件 : $\overline{\text{RESETP}}$ ローレベル

動作 : EXPEVT に H'000 をセットし、VBR、SR の初期化を行い、PC=H'A0000000 に分岐します。

初期化により、VBR レジスタは H'00000000 にセットされます。SR は、MD、RB、BL ビットが 1 にセットされ、割り込みマスクビット (I3-I0) が B'1111 にセットされます。

CPU および内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

$\overline{\text{RESETOUT}}$ 端子にローレベル、STATUS0、1 端子にそれぞれハイレベルが出力されます。

(2) マニュアルリセット

条件： $\overline{\text{RESETM}}$ ローレベル

動作：EXPEVTにH'020をセットし、VBR、SRの初期化を行い、PC=H'A0000000に分岐します。

初期化により、VBRレジスタはH'00000000にセットされます。SRは、MD、RB、BLビットが1にセットされ、割り込みマスクビット（I3-I0）がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

$\overline{\text{RESETOUT}}$ 端子にローレベル、STATUS0、1端子にそれぞれハイレベルが出力されます。

(3) H-UDI リセット

条件：H-UDIリセットコマンド入力（「23.4.3 H-UDI リセット」を参照）

動作：EXPEVTにH'000をセットし、VBR、SRの初期化を行い、PC=H'A0000000に分岐します。

初期化により、VBRレジスタはH'00000000にセットされます。SRは、MD、RB、BLビットが1にセットされ、割り込みマスクビット（I3-I0）がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、関連する章のレジスタの説明を参照してください。

表 4.4 リセットの種類

種類	リセット状態への遷移条件	内部状態	
		CPU	内蔵周辺モジュール
パワーオンリセット	$\overline{\text{RESETP}}$ =ローレベル	初期化	(各章のレジスタ構成を参照)
マニュアルリセット	$\overline{\text{RESETM}}$ =ローレベル	初期化	
H-UDI リセット	H-UDI リセットコマンド入力	初期化	

4.5.2 一般例外

(1) TLB ミス例外

条件：TLBのアドレス比較の結果、アドレスが不一致だった場合

動作：本例外を発生させた論理アドレス（32ビット）をTEAに、対応する論理ページ番号（22ビット）をPTEH

（31-10）にセットします。PTEHのASIDは本例外発生時のASIDを示します。MMUCRのRCビットは全ウェイが有効なら1を加え、1つ以上の無効なウェイが存在するならウェイ0から優先的に設定します。本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避します。

読み出して例外が発生した場合には、H'040を、書き込みで発生した場合には、H'060をEXPEVTにセットします。SRのBL、MD、RBビットを1にセットし、PC=VBR+H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

4. 例外処理

(2) TLB 無効例外

条件：TLB のアドレス比較の結果一致したが、TLB エントリの有効ビット (V) が 0 であった場合

動作：本例外を発生させた論理アドレス (32 ビット) を TEA に、対応する論理ページ番号 (22 ビット) を PTEH (31-10) にセットします。PTEH の ASID は本例外発生時の ASID を示します。

MMUCR の RC ビットには本例外が発生したウェイがセットされます。

本例外を発生させた命令の PC、SR をそれぞれ SPC、SSR に退避します。

読み出しで例外が発生した場合には、H'040 を、書き込みで発生した場合には、H'060 を EXPEVT にセットします。SR の BL、MD、RB ビットを 1 にセットし、PC=VBR+H'0100 に分岐します。

(3) リピートループにおける TLB 例外/CPU アドレスエラー

条件：リピートループの直前およびループ中の命令で TLB ミス、TLB 無効例外、または CPU アドレスエラーが発生した場合（「3.5.6 リピートループにおける MMU 例外」を参照）

動作：TEA、PTEH、MMUCR の RC ビットは例外の種類に応じてセットされます。

本例外を発生させた命令の SR は SSR に退避されます。しかし、例外を発生した命令の PC は SPC に正確に退避することができず、リピートループは例外ハンドラからの復帰後再開できません。リピートループを完了するためには、リピートループの直前およびループ中の命令で TLB 例外または CPU アドレスエラーが発生しないようにしてください（「3.5.6 リピートループにおける MMU 例外」を参照）。リピートループの直前およびループ中の命令で TLB 例外または CPU アドレスエラーが発生した場合、EXPEVT は H'070 にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC=VBR+H'0100 に分岐します。

(4) 初期ページ書き込み例外

条件：ストアアクセスで TLB にヒットしたが、TLB エントリのダーティビット (D) が 0 であった場合
ロードで登録されたページに初めて書き込んだとき発生します。

動作：本例外を発生させた論理アドレス (32 ビット) を TEA に、対応する論理ページ番号 (22 ビット) を PTEH (31-10) にセットします。PTEH の ASID は本例外発生時の ASID を示します。

MMUCR の RC ビットには本例外が発生したウェイがセットされます。

本例外を発生させた命令の PC、SR をそれぞれ SPC、SSR に退避します。

H'080 を EXPEVT にセットします。SR の BL、MD、RB ビットを 1 にセットし、PC=VBR+H'0100 に分岐します。

(5) TLB 保護例外

条件：アクセスが以下に示す TLB のプロテクション情報 (PR ビット) に反する場合

PR	特権モード	ユーザモード
00	読み出しのみ可能	アクセス不可
01	読み出し／書き込み可能	アクセス不可
10	読み出しのみ可能	読み出しのみ可能
11	読み出し／書き込み可能	読み出し／書き込み可能

動作：本例外を発生させた論理アドレス (32 ビット) を TEA に、対応する論理ページ番号 (22 ビット) を PTEH (31-10) にセットします。PTEH の ASID は本例外発生時の ASID を示します。

MMUCR の RC ビットには本例外が発生したウェイがセットされます。

本例外を発生させた命令の PC、SR をそれぞれ SPC、SSR に退避します。

読み出しで例外が発生した場合には、H'0A0 を、書き込みで発生した場合には、H'0C0 を EXPEVT にセットします。SR の BL、MD、RB ビットを 1 にセットし、PC=VBR+H'0100 に分岐します。

(6) リピートループでの TLB 保護例外

条件：リピートループの直前およびループ中の命令で TLB 保護例外が発生した場合（「3.5.6 リピートループにおける MMU 例外」を参照）

動作：TEA、PTEH、MMUCR の RC ビットは例外の種類に応じてセットされます。

本例外を発生させた命令の SR は SSR に退避されます。しかし、例外を発生した命令の PC は SPC に正確に退避することができず、リピートループは例外ハンドラからの復帰後再開できません。リピートループを完了するためには、リピートループの直前およびループ中の命令で TLB 保護例外が発生しないようにしてください（「3.5.6 リピートループにおける MMU 例外」を参照）。リピートループの直前およびループ中の命令で TLB 保護例外が発生した場合、EXPEVT は H'0D0 にセットされます。SR の BL、MD、RB ビットは 1 にセットされ、PC=VBR+H'0100 に分岐します。

(7) CPU アドレスエラー

条件：(a) 奇数アドレス ($4n+1$ 、 $4n+3$) から命令フェッチ

(b) ワードデータをワード境界以外 ($4n+1$ 、 $4n+3$) からアクセス

(c) ロングワードデータをロングワード境界以外 ($4n+1$ 、 $4n+2$ 、 $4n+3$) からアクセス

(d) ユーザモードで論理空間の H'80000000～H'FFFFFFF の領域をアクセス

4. 例外処理

動作：本例外を発生させた論理アドレス（32ビット）を TEA にセットします。

本例外を発生させた命令の PC、SR をそれぞれ SPC、SSR に退避します。

読み出しで例外が発生した場合には、H'0E0 を、書き込みで発生した場合には H'100 を EXPEVT にセットします。SR の BL、MD、RB ビットを 1 にセットし、PC=VBR+H'0100 に分岐します。詳細は、「3.5.5 MMU 例外発生時の処理フロー」を参照してください。

(8) 無条件トラップ

条件：TRAPA 命令の実行

動作：処理完了型の例外のため、TRAPA 命令の次命令の PC を SPC に退避します。TRAPA 命令実行時の SR を SSR に退避します。TRAPA 命令中の 8 ビットのイミディエイト値を 4 倍して、TRA (9-0) にセットします。H'160 を EXPEVT にセットします。SR の BL、MD、RB ビットを 1 にセットし、PC=VBR+H'0100 に分岐します。

(9) 一般不当命令例外

条件：

- (a) 遅延スロット以外にある未定義命令をデコードした場合

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令：H'Fxxx

- (b) 遅延スロット以外にある特権命令をユーザモードでデコードした場合

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC/STC で GBR をアクセスする命令は特権命令ではないので対象外です。

- (c) 遅延スロットにない DSP 命令を DSP 拡張なしにデコードする場合 (SR.DSP=0)

DSP 命令：LDS Rm, DSR/A0/X0/X1/Y0/Y1、LDS.L @Rm+, DSR/A0/X0/X1/Y0/Y1、

STS DSR/A0/X0/X1/Y0/Y1, Rn、STS.L DSR/A0/X0/X1/Y0/Y1, @-Rn、

LDC Rm, RS/RE/MOD、LDC.L @Rm+, RS/RE/MOD、

STC RS/RE/MOD, Rn、

STC.L RS/RE/MOD, @-Rn、

LDRS、LDRE、SETRC、MOVX、MOVY、Pxxx

- (d) リピートループの最後の 3 つの命令で PC/SR/RS/RE を書き換える命令をデコードする場合

PC を書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、BT、BF、BT/S、BF/S、TRAPA、LDC Rm, SR、LDC.L @Rm+, SR

SR を書き換える命令：LDC Rm, SR、LDC.L @Rm+, SR、SETRC

RS を書き換える命令：LDC Rm, RS、LDC.L @Rm+, RS、LDRS

RE を書き換える命令：LDC Rm, RE、LDC.L @Rm+, RE、LDRE

動作：本例外を発生させた命令の PC、SR をそれぞれ SPC、SSR に退避します。

H'180 を EXPEVT にセットします。SR の BL、MD、RB ビットを 1 にセットし、PC=VBR+H'0100 に分岐します。なお、H'Fxxx 以外の未定義コードをデコードした場合には動作を保証しません。

(10) スロット不当命令

条件：

- (a) 遅延スロットにある未定義命令をデコードした場合
遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S
- (b) 遅延スロット内で PC を書き換える命令をデコードした場合
PC を書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、LDC Rm,SR、LDC.L @Rm+,SR
- (c) 遅延スロット内の特権命令をユーザモードでデコードした場合
特権命令：LDC、STC、RTE、LDTLB、SLEEP
ただし、LDC/STC で GBR にアクセスする命令は特権命令ではないので対象外です。
- (d) 遅延スロットにある DSP 命令を DSP 拡張なしにデコードする場合 (SR.DSP=0)
DSP 命令：LDS Rm, DSR/A0/X0/X1/Y0/Y1、LDS.L @Rm+, DSR/A0/X0/X1/Y0/Y1、
STS DSR/A0/X0/X1/Y0/Y1, Rn、STS.L DSR/A0/X0/X1/Y0/Y1, @-Rn、
LDC Rm,RS/RE/MOD、LDC.L @Rm+, RS/RE/MOD、
STC RS/RE/MOD,Rn、
STC.L RS/RE/MOD, @-Rn、
LDRS、LDRE、SETRC、MOV5、MOVX、MOVY、Pxxx

動作：直前の遅延分岐命令の PC を、SPC に退避します。本例外発生時の SR を SSR に退避します。H'1A0 を EXPEVT にセットします。SR の BL、MD、RB ビットを 1 にセットし、PC=VBR+H'0100 に分岐します。H'Fxxx 以外の未定義命令をデコードした場合には動作を保証しません。

(11) ユーザブレークポイントトラップ

条件：ユーザブレークコントローラに設定したブレーク条件が成立した場合

動作：実行後ブレークの場合、ブレークポイントを設定した命令の次命令の PC を SPC にセットします。実行前ブレークの場合、ブレークポイントを設定した命令の PC を SPC にセットします。

ブレーク発生時の SR を SSR にセットします。H'1E0 を EXPEVT にセットします。

SR の BL、MD、RB ビットを 1 にセットし、PC=VBR+H'0100 に分岐します。

詳細は「第 8 章 ユーザブレークコントローラ (UBC)」を参照ください。

(12) DMA アドレスエラー

条件：(a) ワードデータをワード境界以外 (4n+1、4n+3) からアクセス

(b) ロングワードデータをロングワード境界以外 (4n+1、4n+2、4n+3) からアクセス

動作：本例外が発生する前に実行した命令の次命令の PC を SPC に退避します。例外発生時の SR を SSR に退避します。EXPEVT に H'5C0 をセットします。SR の BL、MD、RB ビットを 1 にセットし、PC = VBR + H'0100 に分岐します。

4.5.3 割り込み

(1) NMI

条件：NMI 端子のエッジ検出

動作：本割り込みを受け付けた命令の直後の PC を、それぞれ SPC に退避します。本割り込みを受け付けた時点の SR を SSR に退避します。

H'1C0 を INTEVT および INTEVT2 にセットします。SR の BL、MD、RB ビットを 1 にセットし、PC = VBR + H'0600 に分岐します。本割り込みは、SR の BL ビットが 0 のときは SR の割り込みマスクビットによってマスクされず、最優先で受け付けられます。SR の BL ビットが 1 のときは、マスクされます。詳細は「第 7 章 割り込みコントローラ (INTC)」を参照ください。

(2) IRL 割り込み

条件：SR の割り込みマスクビットが IRL (3-0) レベルより小さく、かつ SR の BL ビットが 0 のとき、本割り込みを命令の切れ目で受け付けます。

動作：本割り込みを受け付けた命令の直後の PC を SPC に退避します。受け付けた時点の SR を SSR に退避します。

IRL (3-0) レベルに対応したコードを INTEVT および INTEVT2 にセットします。対応コードは H'200 + [IRL (3-0) の値] × H'20 で与えられます。対応コードは表 7.5 を参照してください。SR の BL、MD、RB ビットを 1 にセットし、VBR + H'0600 に分岐します。受け付けレベルを SR の割り込みマスクビットにセットしません。詳細は「第 7 章 割り込みコントローラ (INTC)」を参照ください。

(3) IRQ 割り込み

条件：IRQ 端子がアサートされ、SR の割り込みマスクビットが IRQ 優先レベルより小さく、かつ SR の BL ビットが 0 のとき、割り込みは命令の切れ目で受け付けられます。

動作：本割り込みを受け付けた命令の直後の PC を SPC に退避します。受け付けた時点の SR を SSR に退避します。割り込み要因に対応したコードを INTEVT、INTEVT2 にセットします。SR の BL、MD、RB ビットを 1 にセットし、VBR + H'0600 に分岐します。受け付けレベルを SR の割り込みマスクビットにセットしません。詳細は「第 7 章 割り込みコントローラ (INTC)」を参照ください。

(4) PINT 割り込み

条件：PINT 端子がアサートされ、SR の割り込みマスクビットが PINT 優先レベルより小さく、かつ SR の BL ビットが 0 のとき、割り込みは命令の切れ目で受け付けられます。

動作：本割り込みを受け付けた命令の直後の PC を SPC に退避します。受け付けた時点の SR を SSR に退避します。割り込み要因に対応したコードを INTEVT、INTEVT2 にセットします。SR の BL、MD、RB ビットを 1 にセットし、VBR + H'0600 に分岐します。受け付けレベルを SR の割り込みマスクビットにセットしません。詳細は「第 7 章 割り込みコントローラ (INTC)」を参照ください。

(5) 内蔵周辺割り込み

条件：SR の割り込みマスクビットが周辺モジュール（TMU、RTC、SCI、IrDA、SCIF、A/D、DMAC、WDT、REF）割り込みレベルより小さく、かつ SR の BL が 0 のとき、本割り込みを命令の切れ目で受け付けます。

動作：本割り込みを受け付けた命令の直後の PC を SPC に退避します。受け付けた時点の SR を SSR に退避します。

各割り込み要因に対応したコードを INTEVT、INTEVT2 にセットします。SR の BL、MD、RB ビットを 1 にセットし、VBR+H'0600 に分岐します。詳細は「第 7 章 割り込みコントローラ（INTC）」を参照ください。

(6) H-UDI 割り込み

条件：H-UDI 割り込みコマンドを入力（「23.4.4 H-UDI 割り込み」を参照）し、SR の割り込みマスクビットが 15 未満で、かつ SR の BL ビットが 0 のとき、本割り込みを命令の切れ目で受け付けます。

動作：割り込みを受け付けた命令の直後の PC を SPC に退避します。割り込みを受け付けた時点での SR を SSR に退避します。INTEVT、INTEVT2 に H'5E0 をセットします。SR の BL、MD、RB ビットを 1 にセットし、VBR+H'0600 に分岐します。詳細は「第 7 章 割り込みコントローラ（INTC）」を参照ください。

4.6 注意事項**(1) 例外処理からの復帰**

- (a) SR の BL ビットをソフトウェアでチェックしてください。外部メモリに SPC、SSR を退避していた場合には SR の BL ビットを 1 としてから、それらを回復してください。
- (b) RTE 命令を発行してください。RTE 命令により、SPC が PC に、SSR が SR にセットされ、SPC のアドレスに分岐して、例外処理から復帰します。

(2) SR の BL ビットが 1 のときに例外または割り込みが発生した場合の動作**(a) 割り込み**

SR の BL ビットを 0 にするまで、受け付けが抑止されます。割り込み要求があり、受け付け条件を満たしていれば、SR の BL ビットを 0 にした命令の実行直後にその割り込みを受け付けます。

ただし、スリープまたはスタンバイ状態では SR の BL ビットが 1 であっても、割り込みを受け付けません。

NMI は、ICR1 の BLMSK が 1 のとき、割り込みを受け付けます。

(b) 例外

ユーザブレークポイントトラップはブレーク条件が成立しても発生しません。そのほかの例外が発生した場合には、リセットの固定番地（H'A000 0000）に分岐します。このとき EXPEVT、SPC、SSR の各レジスタは不定値となります。

通常のリセットと異なり、 $\overline{\text{RESETOUT}}$ 端子はアサートされず、STATUS0、1 端子にはリセット状態は出力されません。

4. 例外処理

(3) 例外発生時の SPC

例外発生時に SPC に退避される PC は以下のようになります。

(a) 再実行型の例外

例外が発生した命令の PC が SPC にセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロットで発生した例外の場合には、直前の遅延分岐命令の PC が SPC にセットされます。条件付き遅延分岐命令の条件が不成立のときは、遅延スロットの PC が SPC にセットされます。

(b) 完了型の例外、割り込み

例外発生命令の次命令の PC が SPC にセットされます。ただし、条件付き遅延分岐命令で発生した例外の場合には、分岐先の PC が SPC にセットされます。条件付き遅延分岐命令の条件が不成立のときは遅延スロットの PC が SPC にセットされます。

(4) リセット時のレジスタ初期値

不定のレジスタ

R0_BANK0/1~R7_BANK0/1、R8~R15、GBR、SPC、SSR、MACH、MACL、PR

初期化されるレジスタ

VBR=H'00000000

SR.MD=1、SR.BL=1、SR.RB=1、SR.I3~SR.I0=HF.

SR のその他のビットは不定です。

PC=H'A0000000

(5) RTE 命令の遅延スロットで例外を発生させないでください。発生した場合、動作は保証されません。

(6) SR レジスタの BL ビットが 1 のとき、LDC 命令で SR レジスタを更新する命令とその次の命令で、TLB 関連例外あるいはアドレスエラーを発生させないでください。多重例外と認識し、リセット処理を始めることがあります。

5. キャッシュ

5.1 概要

5.1.1 特長

キャッシュの特長を表 5.1 に示します。

表 5.1 キャッシュの特長

項目	仕様
容量	16k バイト
構成	命令／データ混合、4 ウェイセットアソシアティブ
ロック	ウェイ 2、ウェイ 3 はロック可能
ラインサイズ	16 バイト
エントリ数	256 エントリ／ウェイ
ライト方式	P0、P1、P3、U0：ライトバック、ライトスルー選択可能
置換方式	LRU (Least Recently Used)

5.1.2 キャッシュの構成

キャッシュは、命令／データ混在型の 4 ウェイセットアソシアティブ方式です。4 つのウェイ（バンク）で構成され、各々のウェイはアドレス、データに分かれています。アドレス、データは各々 256 のエントリで構成されます。エントリのデータをラインとよびます。1 ラインは 16 バイト（4 バイト×4）です。1 ウェイあたりのデータ容量は、4k バイト（16 バイト×256 エントリ）で、キャッシュ全体（4 ウェイ）では 16k バイトの容量となります。キャッシュの構成を図 5.1 に示します。

5. キャッシュ

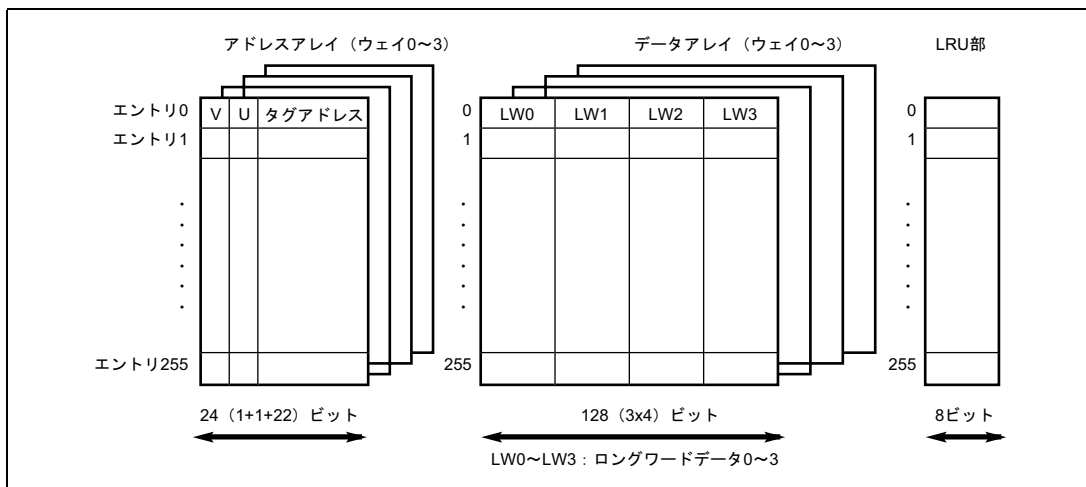


図 5.1 キャッシュの構成

(1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

U ビットは、ライトバックモードで、そのエントリに書き込みがあったことを示します。

U ビットが 1 で書き込みあり、0 で書き込みなしを示します。

タグアドレスは、外部メモリのアクセスに使用される物理アドレスを保持します。

キャッシュ検索時の比較に使用される 22 ビット (アドレス 31~10) からなります。

本 LSI では、物理アドレス 32 ビットの上位 3 ビットをシャドウとして利用するため (「第 11 章 バスステートコントローラ (BSC)」参照)、通常のリプレースでは、タグアドレスの上位 3 ビットに 0 が入ります。

V、U ビットは、パワーオンリセットで 0 に初期化されますが、マニュアルリセットでは、初期化されません。

タグアドレスは、パワーオン/マニュアルリセットで初期化されません。

(2) データアレイ

16 バイトの命令あるいはデータを保持します。キャッシュへのエントリの登録の単位はライン単位 (16 バイト単位) で行います。

データアレイは、パワーオン/マニュアルリセットで初期化されません。

(3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレス (アドレス 11~4) が同じ命令、データを 4 つまでキャッシュに登録できます。エントリを登録するとき、4 つのウェイのうち、どのウェイに登録するかを LRU ビットが示します。LRU ビットは 6 ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶ LRU (Least Recently Used) アルゴリズムを使用しています。

ノーマルモードでは 4 つのウェイがキャッシュとして使用され、6 ビットの LRU ビットがリプレースされるウェイを指定します。LRU ビットとリプレースされるウェイの関係を表 5.2 に示します。表 5.2 に示した以外の LRU ビットをソフトウェアで指定した場合、キャッシュは正しく動作しません。LRU ビットをソフトウェアで変更するときは、表 5.2 に示すパターンを設定してください。

LRU ビットは、パワーオンリセットで 0 に初期化されますが、マニュアルリセットでは初期化されません。

表 5.2 LRU ビットと置き換えられるウェイ

LRU (ビット 5~0)	置き換えられるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

5.1.3 レジスタ構成

キャッシュ関連レジスタ構成を表 5.3 に示します。

表 5.3 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス
キャッシュ制御レジスタ	CCR	R/W	ロングワード	H'00000000	H'FFFFFFEC
キャッシュ制御レジスタ 2	CCR2	W	ロングワード	H'00000000	H'040000B0 (H'A40000B0)*

【注】 * MMUによるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

5.2 レジスタの説明

5.2.1 キャッシュ制御レジスタ (CCR)

キャッシュはキャッシュ制御レジスタ (CCR) の CE ビットでイネーブル、ディスエーブルを指定します。また、CCR には、キャッシュの全エントリの無効化を制御する CF ビット、ライトスルーモード、ライトバックモードを切り替える WT ビットおよび CB ビットがあります。CCR の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。また、CCR の内容を更新する場合には、必ずビット 4 に 0 をセットしてください。CCR の構成を図 5.2 に示します。

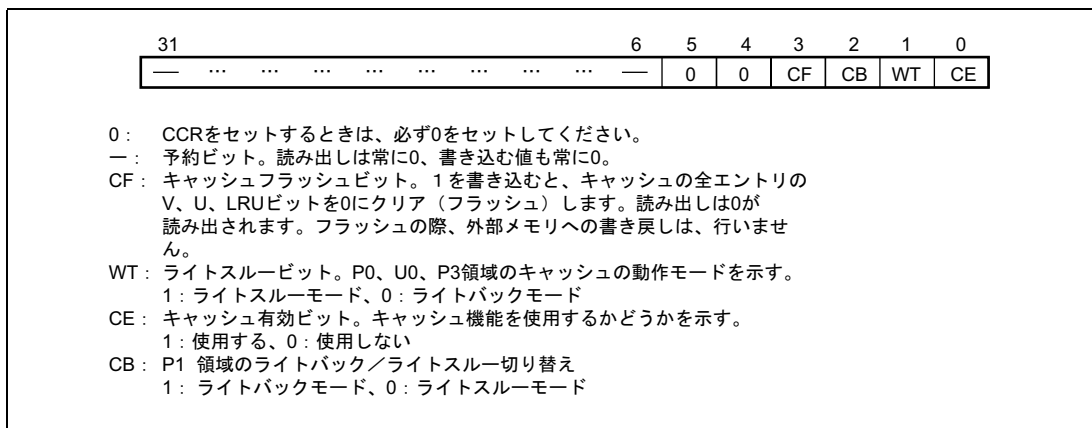


図 5.2 CCR の構成

5.2.2 キャッシュ制御レジスタ 2 (CCR2)

キャッシュ制御レジスタ 2 (CCR2) は DSP モード (CPU ステータスレジスタのビット 12 により設定) 時のみキャッシュロック機構を有効または無効にするために使用します。DSP モード時にプリフェッチ命令 (PREF) を実行すると、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。

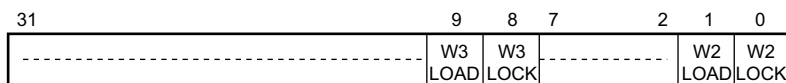
CCR2 のビット 9、8 が 11 の場合、DSP モードで、PREF @ Rn はデータをウェイ 3 に取り込みます。CCR2 のビット 9、8 が 00、01 の場合、DSP モードで 10 の場合、または非 DSP モードで任意の設定の場合、PREF @ Rn は LRU が指し示すウェイにデータを取り込みます。

CCR2 ビット 1、0 が 11 の場合、DSP モードで、PREF @ Rn はデータをウェイ 2 に取り込みます。CCR2 ビット 1、0 が 00、01 の場合、DSP モードで 10 の場合、または非 DSP モードで任意の設定の場合、PREF @ Rn は LRU が指し示すウェイにデータを取り込みます。

CCR2 はノンキャッシュブル領域で設定を行ってください。PREF 命令を発行し、キャッシュにヒットした場合は NOP 扱いとなります。

図 5.3 に CCR2 の構成を示します。

CCR2 は書き込みのみ可能です。読み出した場合、不定値が読み出されます。



W2LOCK : ウェイ 2 ロックビット W2LOAD : ウェイ 2 ロードビット

W2LOCK=1、W2LOAD=1かつDSP=1の場合、プリフェッチしたデータは常にウェイ 2 に読み込まれます。その他のすべての条件ではプリフェッチしたデータはLRUの示すウェイに読み込まれます。

W3LOCK : ウェイ 3 ロックビット W3LOAD : ウェイ 3 ロードビット

W3LOCK=1、W3LOAD=1、かつDSP=1の場合、プリフェッチしたデータは常にウェイ 3 に読み込まれます。その他のすべての条件ではプリフェッチしたデータはLRUの示すウェイに読み込まれます。

【注】 W2LOADおよびW3LOADは同時にハイレベルにセットしないでください。

図 5.3 CCR2 の構成

CCR2 のビット 8 (W3LOCK) またはビット 0 (W2LOCK) が High の場合、キャッシュは常にロック状態です。ロックされたデータは W3LOCK ビットと W2LOCK ビットをリセットするか DSP モード時の PREF 条件が一致しない限り上書きすることができません。キャッシュロックモード時、表 5.2 は表 5.4~5.6 で置き換えられます。

表 5.4 LRU ビットと置き換えられるウェイ (W2LOCK=1 の場合)

LRU (ビット 5~0)	置き換えられる ウェイ
000000, 000001, 000100, 010100, 100000, 100001, 110000, 110100	3
000011, 000110, 000111, 001011, 001111, 010110, 011110, 011111	1
101001, 101011, 111000, 111001, 111011, 111100, 111110, 111111	0

表 5.5 LRU ビットと置き換えられるウェイ (W3LOCK=1 の場合)

LRU (ビット 5~0)	置き換えられる ウェイ
000000, 000001, 000011, 001011, 100000, 100001, 101001, 101011	2
000100, 000110, 000111, 001111, 010100, 010110, 011110, 011111	1
110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

表 5.6 LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)

LRU (ビット 5~0)	置き換えられる ウェイ
000000, 000001, 000011, 000100, 000110, 000111, 001011, 001111, 010100, 010110, 011110, 011111	1
100000, 100001, 101001, 101011, 110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

5.3 キャッシュの動作

5.3.1 キャッシュの検索

キャッシュがイネーブルのとき、メモリ上の命令またはデータをアクセスすると、キャッシュが検索され、目的の命令またはデータがキャッシュに存在するか調べます。キャッシュの検索方法の概念図を図 5.4 に示します。キャッシュは物理キャッシュで、アドレスには、物理アドレスを保持します。

メモリへのアクセスアドレス（論理）のビット 11~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。タグアドレスの読み出しと平行して、MMU で論理アドレスを物理アドレスに変換します。変換後の物理アドレスと、アドレスから読み出した物理アドレス（タグアドレス）を比較します。アドレスの比較は 4 ウェイとも行います。比較の結果、一致しており、かつ、比較されたエントリが有効である（V=1）場合に、キャッシュヒットとなります。それ以外の場合はキャッシュミスとなります。ウェイ 1 がヒットした場合は図 5.4 に示します。

5. キャッシュ

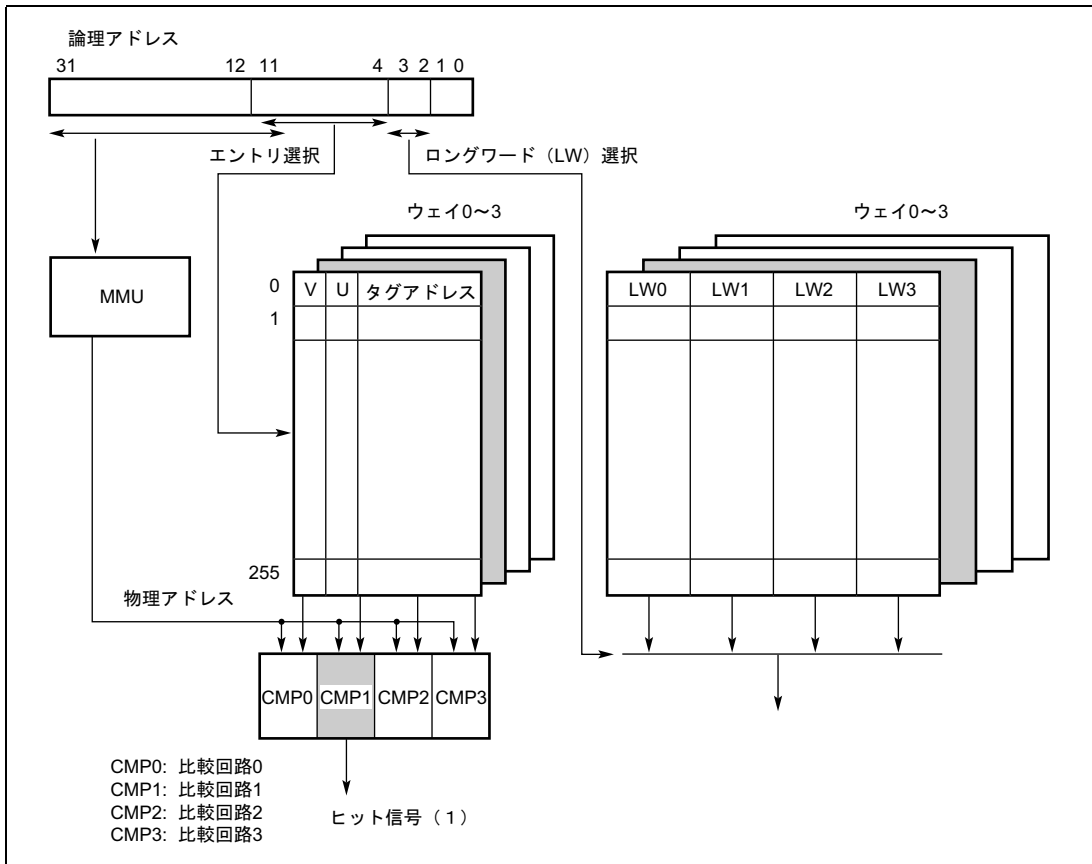


図 5.4 キャッシュの検索方法（ノーマルモード）

5.3.2 リード動作

(1) リードヒット

キャッシュから CPU に命令/データが転送されます。転送単位は 32 ビットです。LRU が更新されます。

(2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは LRU に従います。エントリの更新の単位は、16 バイトです。外部メモリから目的の命令またはデータがキャッシュに登録されると同時に、CPU にその命令またはデータが転送されます。キャッシュに登録されるときに、U ビットが 0 に、V ビットが 1 にセットされます。

5.3.3 ライト動作

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、ライトされたエントリの U ビットが 1 にセットされます。キャッシュにだけライトされ、外部メモリへのライトサイクルは発行されません。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイトは LRU に従います。エントリの更新によって置き換えられるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルが開始します。書き戻しの単位は、16 バイトです。キャッシュにデータがライトされ、U ビットが 1 にセットされます。キャッシュ更新サイクル終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

5.3.4 ライトバックバッファ

ライトバックモードで置き換えられるエントリの U ビットが 1 のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置き換えられるエントリをまずライトバックバッファに転送し、キャッシュへ新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファはキャッシュの 1 ライン分のデータ (16 バイト) とその物理アドレスを保持可能です。ライトバックバッファの構成を図 5.5 に示します。

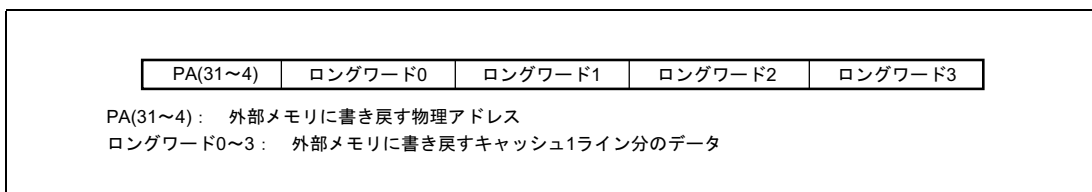


図 5.5 ライトバックバッファの構成

5.3.5 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本 LSI と他の装置との共有メモリをアクセスする場合、最新データがライトバックモードキャッシュ内にある可能性があるため、キャッシュ中の最新データを含むエントリを無効化することにより、ライトバックを発生させて、外部メモリ上のデータを最新にしてから使用してください。キャッシング領域を本 LSI 以外の装置で更新する場合、キャッシュ中の更新データを含むエントリを無効化してください。

5.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、特権モードにおいて、MOV 命令により、キャッシュの内容の読み出し、書き込みが可能です。キャッシュは論理アドレス空間の P4 領域に割り付けられています。アドレスアレイは H'F0000000~H'F0FFFFFF に、データアレイは H'F1000000~H'F1FFFFFF に割り付けられています。アドレスアレイ、データアレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

5.4.1 アドレスアレイ

アドレスアレイは H'F0000000~H'F0FFFFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレスの指定（読み出し/書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはアドレスアレイに書き込むタグアドレス、V ビット、U ビットおよび LRU ビットを指定します（図 5.6 (1) 参照）。

アドレスにはエントリを選択するためのエントリアドレス（ビット 11~4）、ウェイを選択するための W（ビット 13~12）、連想動作の有無を指定する A（ビット 3）およびアドレスアレイアクセスを示す HF0（ビット 31~24）を指定します。W（ビット 13~12）は、00 がウェイ 0、01 がウェイ 1、10 がウェイ 2、11 がウェイ 3 を示します。

データにはタグアドレス（ビット 31~10）、LRU ビット（ビット 9~4）、U ビット（ビット 1）および V ビット（ビット 0）を指定します。タグアドレスの上位 3 ビット（ビット 31~29）には常に 0 を指定してください。

アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) アドレスアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビットおよび V ビットを読み出します。リードの場合、アドレスに指定される連想ビット（A ビット）は 1 でも 0 でも連想動作は行いません。

(2) アドレスアレイライト（連想なし）

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。アドレスの連想ビット（A ビット）は 0 にしてください。書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

(3) アドレスアレイライト（連想あり）

アドレスの連想ビット（A ビット）を 1 にしてライトした場合、アドレスで指定されたエントリの 4 ウェイ全てに対して、データで指定されたタグアドレスとの間で一致判定が行われます。一致判定の結果ヒットしたウェイに対して、データで指定された U ビットと V ビットをエントリに書き込みます。ただしタグアドレスと LRU ビットは変更されません。どのウェイにもヒットしなかった場合は書き込みを行わず、ノーオペレーションとなります。本動作はアドレスを指定したキャッシュの無効化に用いられます。このときヒットしたエントリの U ビットが 1 だった場合、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

5.4.2 データアレイ

データアレイは H'F1000000~H'F1FFFFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレスの指定（読み出し／書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス（ビット 11~4）、1 ライン（16 バイト）中のロングワード位置を示す L（ビット 3~2）、ウェイを指定するための W（ビット 13~12）、およびデータアレイアクセスを示す H'FI をビット 31~24 に指定します。L（ビット 3~2）は 00 がロングワード 0、01 がロングワード 1、10 がロングワード 2、11 がロングワード 3 を示します。W（ビット 13~12）は、00 がウェイ 0、01 がウェイ 1、10 がウェイ 2、11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1~0 には 00 を指定してください。

データアレイに対しては次の 2 種類の操作が可能です。なおこの操作によってアドレスアレイの情報が変更されることはありません。

(1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスの L（ビット 3~2）で指定されたデータを読み出します。

(2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスの L（ビット 3~2）で指定された位置に、データで指定されたロングワードデータを書き込みます。

5. キャッシュ

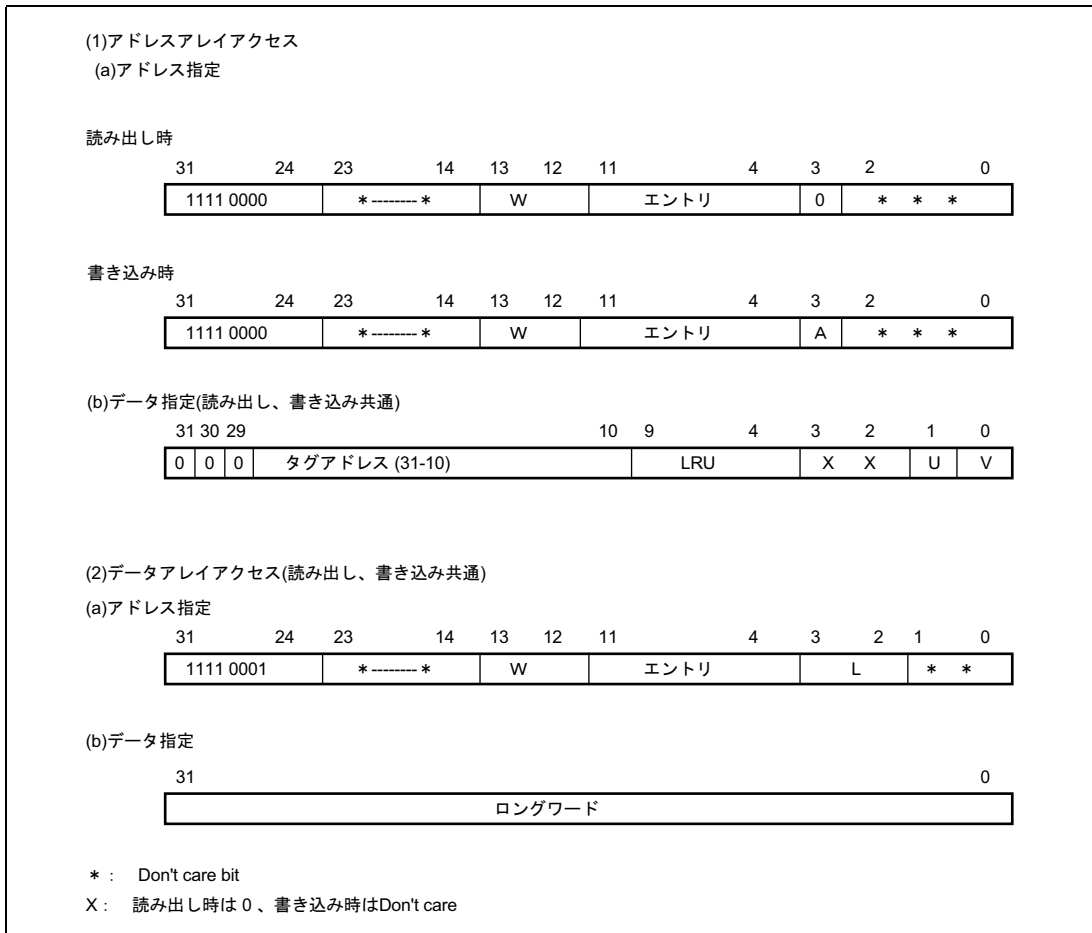


図 5.6 メモリ割り付けられたキャッシュアクセスのアドレス、データ指定方法

5.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリの U、V ビットに 0 を書き込むことで実現できます。A ビットを 0 とし、エントリアドレスとウエイをアドレスで指定します。対象のエントリ、ウエイの U ビットが 1 だった場合はそのエントリがライトバックされ、書き込みデータで指定された V ビットおよび U ビットを書き込みます。

以下に、R0 に書き込みデータを、R1 にアドレスを指定した場合の例を示します。

```
; R0=H'0000 0000 LRU=H'000, U=0, V=0
; R1=HF000 1080, ウエイ=1, エントリ=H'08, A=0
;
MOV.L    R0, @R1
```

全エントリ、ウエイを無効化する場合は、下記アドレスに 0 を書き込んでください。

アドレス：

```
F000 0000
F000 0010
F000 0020
:
F000 3FF0
```

計 1024 回の書き込みを行います。

上記の処理を行う場合、ノンキャッシュ領域で行ってください。

(2) 特定アドレスの無効化

キャッシュの特定エントリの無効化は、そのエントリの V ビットに 0 を書き込むことで実現できます。A ビットを 1 とし、書き込みデータで指定されるタグアドレスを、エントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときにデータを書き込みます。一致しない場合は、ノーオペレーションです。R0 に書き込みデータ、R1 にアドレスを指定します。アドレスアレイのあるエントリの V ビットを 0 にすると、そのエントリの U ビットが 1 のときそのエントリがライトバックされます。

```
; R0=H'0110 0010; タグアドレス=B'0000 0001 0001 0000 0000 00, U=0, V=0
```

```
; R1=HF000 0088; アドレスアレイアクセス、エントリ=H'08, A=1
```

```
;
```

```
MOV.L R0, @R1
```

以下に、R0=ページしたいアドレス (32bit) がある場合の例を示します。

```
MOV.L #H'0000FF0, R1 ;
AND R0, R1 ; エントリアドレスを取り出す
MOV.L #H'0000008, R2
OR R1, R2 ; 先頭を HF0、A ビットを 1 にする
MOV.L #H'1FFFFC00, R3
AND R0, R3 ; タグアドレスを取り出す。U=V=0
MOV.L R3, @R2 ; 連想ページ
```

上記の処理を行う場合、ノンキャッシュ領域で行ってください。

(3) 特定エントリのデータ部の読み出し

キャッシュの特定エントリのデータ部を読み出します。図 5.5 のデータアレイのデータ部に示されるロングワードが、レジスタに読み出されます。R0 にアドレスを指定し、R1 に読み出します。

```
; R0=HF100 004C; データアレイアクセス、エントリ=H'04、
```

```
; ウェイ=0、ロングワードアドレス=3
```

```
;
```

```
MOV.L @R0, R1 ; ロングワード 3 が読み出されます
```

6. X/Y メモリ

6.1 概要

本 LSI は X-RAM および Y-RAM を内蔵しています。CPU、DSP、および DMAC はこれらを用いて命令やデータを格納することができます。

6.1.1 特長

X/Y メモリの特長を表 6.1 に示します。

表 6.1 特長

項目	特長
アドレッシング方法	ユーザが選択可能なマッピング機構 • ミッションクリティカルなリアルタイム用途 (P2/Uxy 領域) • 簡単な使用のための TLB による自動マッピング (P0/P3/U0 領域)
ポート	3本の独立した読み出し/書き込みポート • CPU からの 8/16/32 ビットアクセス • DSP から同時に最大 2つの 16 ビットアクセス、または 16/32 ビットアクセス • DMAC からの 8/16/32 ビットアクセス
サイズ	X、Y メモリ用各 8k バイトの RAM

6.2 CPU からの X/Y メモリアクセス

X/Y メモリは、ステータスレジスタ (SR) のモードビット(MD)および DSP ビット (DSP) の設定に応じて、マップ可能な領域または固定マップ領域のいずれかに存在します。図 6.1 に X/Y メモリ論理マッピングを示します。

(1)特権モード (MD=1、DSP=0) :

空間 P0 または P3 の物理アドレスは TLB 変換によって X/Y メモリにマップすることができます。P2 空間の H'A500 0000 から H'A5FF FFFF までの範囲のアドレスも X/Y メモリに固定マップすることができます。DSP 拡張は無効なので、プログラマは DSP 命令セットとレジスタを利用できません。

(2)ユーザモード (MD=0、DSP=0) :

U0 空間のいずれのアドレスも TLB 変換によって X/Y メモリにアクセスできます。U0 空間以外のアドレスに対するアクセスはいずれもアドレスエラーを発生します。DSP 拡張は無効なので、プログラマは DSP 命令セットとレジスタを利用できません。

6. X/Y メモリ

(3)特権 DSP モード (MD=1、DSP=1) :

空間 P0 または P3 の物理アドレスはいずれも TLB 変換によって X/Y メモリにマップできます。P2 空間の H'A500 0000 から H'A5FF FFFF までの範囲のアドレスも X/Y メモリに固定マップすることができます。DSP 拡張は有効なので、プログラマは DSP 命令セットとレジスタを利用できます。

(4)ユーザ DSP モード (MD=0、DSP=1) :

空間 U0 の物理アドレスはいずれも TLB 変換によって X/Y メモリにマップできます。Uxy 空間の H'A500 0000 から H'A5FF FFFF までの範囲のアドレスも X/Y メモリに固定マップすることができます。U0 空間および Uxy 空間以外のアドレスに対するアクセスはいずれもアドレスエラーを発生します。DSP 拡張は有効なので、プログラマは DSP 命令セットとレジスタを利用できます。

マップ可能な領域に対して、TLB エントリの C (キャッシュ可能) ビットは 0 にセットして 2 サイクルアクセスを保証する必要があります。

TLB 変換によるマッピングによって柔軟な X/Y メモリアドレッシング方式が可能になりますが、TLB エントリの C ビットを 0 にセットした場合も 2 サイクル必要になります。固定マッピングでは読み出しに 1 サイクルアクセス、書き込みに 2 サイクルアクセスが可能であり、ミッションクリティカルなリアルタイム動作には適した方法です。

X/Y メモリは、H'A500 0000 から H'A5FF FFFF までの物理アドレス空間エリア 1 の 16M バイトに存在しています。この 16M バイトアドレス空間はシャドウ化され、同じ 128k バイト X/Y ROM/RAM にマップされます。図 6.1、図 6.2 に X/Y メモリマッピングを示します。

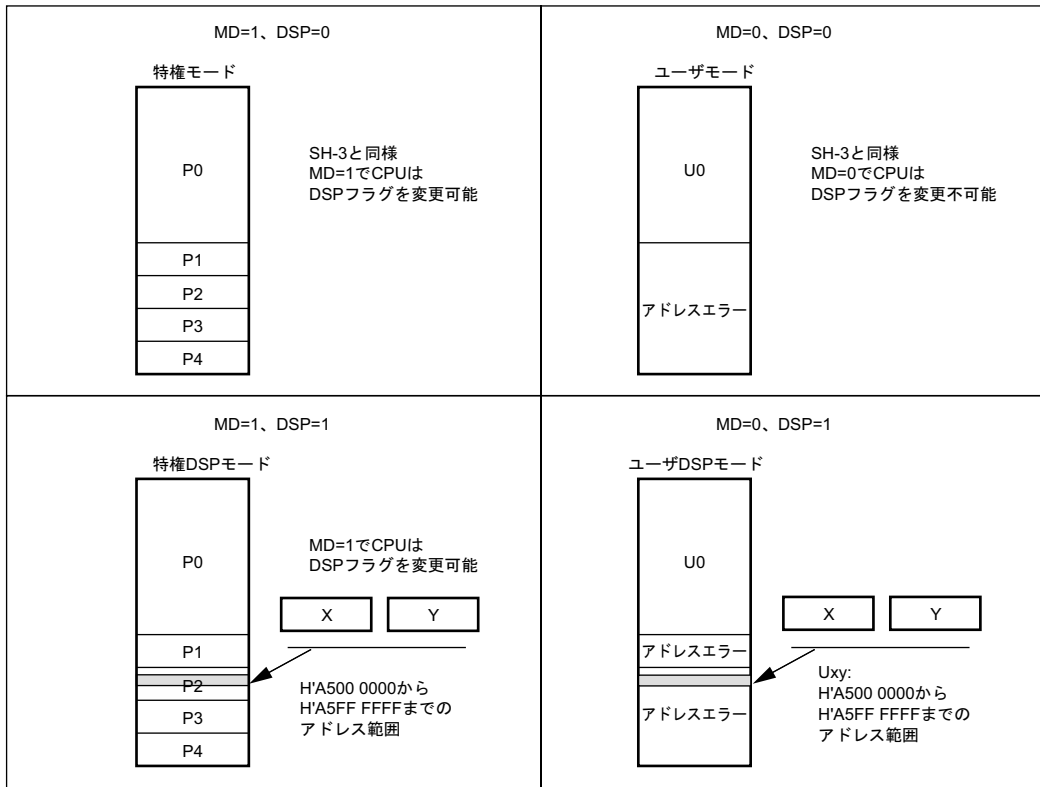


図 6.1 X/Y メモリ論理アドレスマッピング

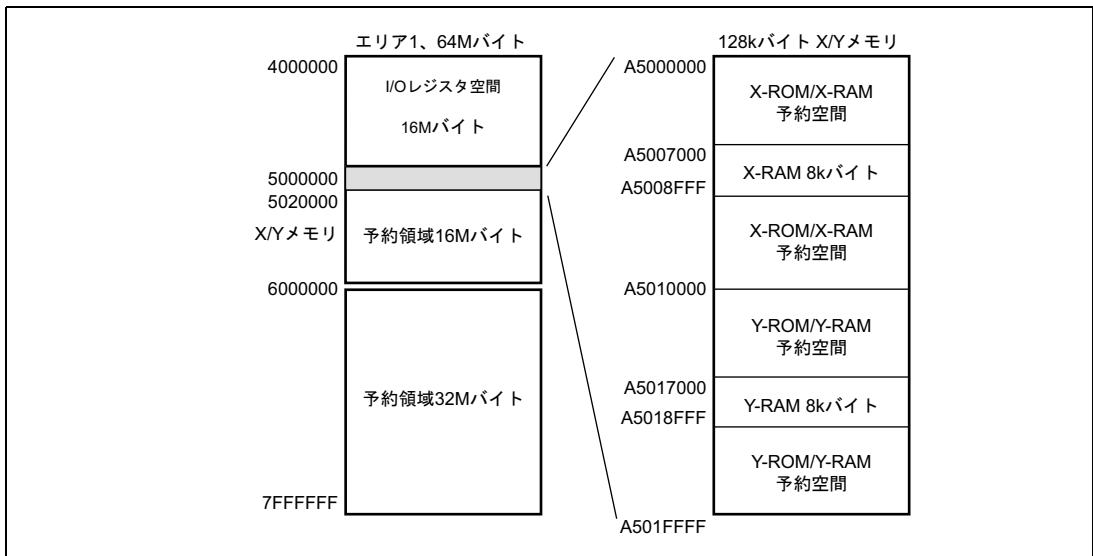


図 6.2 X/Y メモリ物理アドレスマッピング

6.3 DSP からの X/Y メモリアクセス

DSP から、X バス、Y バスおよび L バス経由で X/Y にアクセス可能です。

X バス/Y バス経由のアクセスは常に 16 ビットアクセスになり、L バス経由のアクセスは 16 または 32 ビットアクセスになります。X バスと Y バス経由のアクセスは同時に指定することができます。

6.4 DMAC からの X/Y メモリアクセス

X/Y メモリは I バス上にも存在しており、DMAC からアクセスすることができます。DMAC アクセスは 8/16/32 ビット単位で行います。I バスが X バス/Y バスまたは L バスからのアクセスと同時に X/Y メモリにアクセスする場合、I バスマスタが優先されます。

DMAC からアクセスする場合、H'05000000 から H'05FFFFFF までの物理アドレスを使用してください。

7. 割り込みコントローラ (INTC)

7.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

7.1.1 特長

INTC には、次のような特長があります。

- 割り込み優先順位を16レベル設定可能

5本の割り込み優先レベル設定レジスタにより、内蔵周辺モジュール、IRQ、PINT割り込みの優先順位を割り込み要求要因ごとに16レベルまで設定することができます。

- NMIノイズキャンセル機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラとして使用できます。

- 割り込みを受け付けたことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)

本LSIがバス権を解放しているときに、外部割り込みや内蔵周辺モジュール割り込みやメモリリフレッシュ要求が発生したことを外部バスマスタに知らせ、バス権を要求することができます。

7. 割り込みコントローラ (INTC)

7.1.2 ブロック図

INTC のブロック図を図 7.1 に示します。

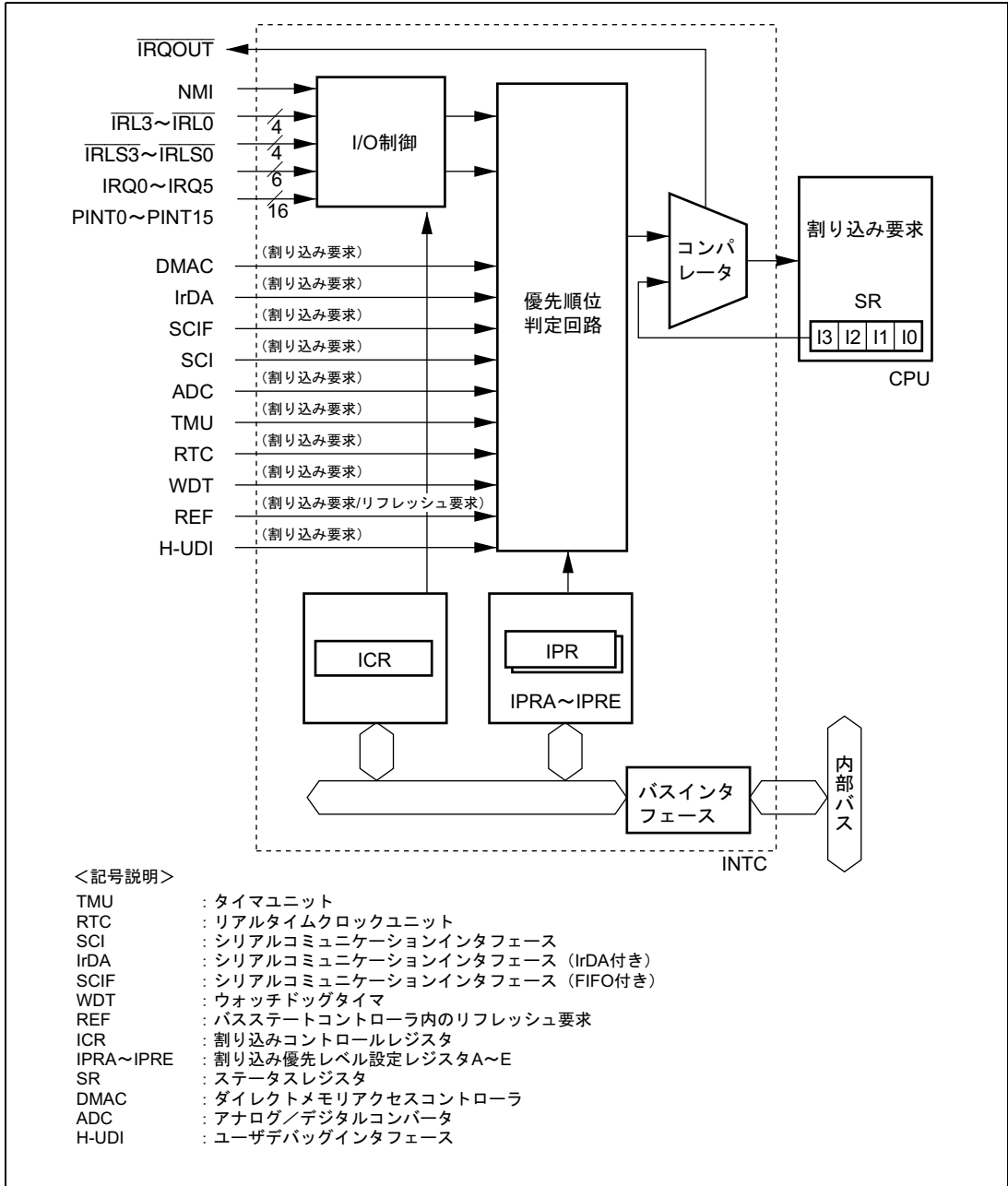


図 7.1 INTC ブロック図

7.1.3 端子構成

INTC の端子構成を表 7.1 に示します。

表 7.1 端子構成

名称	略語	入出力	内容
ノンマスクブル割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号の入力
割り込み入力端子	IRQ5~IRQ0 IRL3~IRL0 IRLS3~IRLS0	入力	割り込み要求信号の入力 (SR の割り込みマスクビットによりマスク可能)
ポート割り込み入力端子	PINT0~PINT15	入力	ポート割り込み要求信号入力 (SR の割り込みマスクビットによりマスク可能)
バス権要求出力端子	IRQOUT	出力	割り込み要因またはメモリリフレッシュ要求が発生したことを外部デバイスに通知する信号の出力

7.1.4 レジスタ構成

INTC には表 7.2 に示すような 12 本のレジスタがあります。

表 7.2 レジスタ構成

名称	略語	R/W	初期値*1	アドレス	アドレスサイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*2	H'FFFFFFE0	16
割り込みコントロールレジスタ 1	ICR1	R/W	H'4000	H'04000010 (H'A4000010)*3	16
割り込みコントロールレジスタ 2	ICR2	R/W	H'0000	H'04000012 (H'A4000012)*3	16
PINT 割り込みイネーブルレジスタ	PINTER	R/W	H'0000	H'04000014 (H'A4000014)*3	16
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'0000	H'FFFFFFE2	16
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'0000	H'FFFFFFE4	16
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'0000	H'04000016 (H'A4000016)*3	16
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'0000	H'04000018 (H'A4000018)*3	16
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'0000	H'0400001A (H'A400001A)*3	16
割り込み要求レジスタ 0	IRR0	R/W	H'00	H'04000004 (H'A4000004)*3	8

7. 割り込みコントローラ (INTC)

名称	略語	R/W	初期値*1	アドレス	アドレス サイズ
割り込み要求レジスタ 1	IRR1	R	H'00	H'04000006 (H'A4000006)*3	8
割り込み要求レジスタ 2	IRR2	R	H'00	H'04000008 (H'A4000008)*3	8

【注】 *1 パワーオンまたはマニュアルリセットで初期化されます。

*2 NMI 端子がハイレベルのときは H'8000 であり、NMI 端子がローレベルのときの値は H'0000 です。

*3 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

7.2 割り込み要因

割り込み要因は、NMI、IRQ、IRL、PINT、内蔵周辺モジュールの 5 つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル 16 が最高で、レベル 1 が最低です。レベル 0 に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

7.2.1 NMI 割り込み

NMI 割り込みは、レベル 16 の最優先の割り込みです。割り込みコントロールレジスタ 1 (ICR1) の BLMSK ビットが 1 か、またはステータスレジスタ (SR) の BL ビットが 0 の場合、ICR1 の MAI ビットが 0 ならば NMI 割り込みは受け付けられません。NMI 割り込みはエッジ検出です。ただし、スリープまたはスタンバイモード中は、BL ビットに関わりなく割り込みが受け付けられません。割り込みコントロールレジスタ 0 (ICR0) の NMI エッジセレクトビット (NMIE) は、立ち上がりエッジ/立ち下がりエッジの選択を行います。ICR0 の NMIE ビットを書き換えた場合は、NMI 割り込みの誤検出を避けるため、書き換えてから 20 サイクル経過するまで NMI 割り込みを検出しません。NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。

BL ビットが 1 の場合、ICR1 の BLMSK ビットが 1 にセットされているときは、NMI 割り込みのみが受け付けられ、NMI 処理ルーチンにより SPC と SSR が更新されます。そのため、NMI に先行して起動された例外処理ルーチンがある場合、そのルーチンが本来の処理に復帰することは不可能となります。従って、復帰を必要としない場合に限定して使用してください。

NMI 割り込みを使用して、スタンバイ状態から復帰することは可能です (ただし、ICR1 の MAI ビットが 1 にセットされている場合は除きます)。

7.2.2 IRQ 割り込み

IRQ 割り込みは、IRQ0~IRQ5 端子からレベルまたはエッジで入力されます。優先レベルは、割り込み優先レベル設定レジスタ C、D (IPRC、D) にレベル 0~15 の範囲で設定できます。

IRQ 割り込みをエッジセンスで使用する場合は、IRR0 の対応するビットをソフトウェアで 1 であることを読み出した後に 0 を書き込み、割り込み要因をクリアしてください。

ICR1 に上書きする際、IRQ 端子の状態によっては IRQ 割り込みが誤検出される可能性があります。これを避けるため、まず割り込みをマスク状態で上書きし、それから割り込み要求レジスタ 0 (IRR0) に 0 を書き込んで不正な割り込みをクリアした後にマスクを解除してください。

エッジ入力割り込み検出では、周辺クロック (P ϕ) ベースで 2 サイクル以上のパルス幅を必要とします。IRQ 割り込み処理ルーチンによって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。

割り込み IRQ4~IRQ0 は、スタンバイモードからの復帰に使用できます (RTC32kHz 発振器使用時のみ)。

このとき SR の I3~I0 ビットよりも使用する割り込みの優先レベルが高くなければなりません。

CPU がスタンバイモードに入る直前 (CPU が SLEEP 命令を実行してから STATUS0 が High レベルになるまでの期間) に IRQ エッジを入力すると、割り込みが検出されないことがあります。この後、スタンバイモードに入った (STATUS0 が High レベルになった) 後に再度 IRQ エッジを入力すれば正しく受け付けます。また周波数変更処理 (WDT によるカウント) 中に IRQ エッジを入力したときに割り込みが検出されないことがあります。

7.2.3 IRL 割り込み

IRL 割り込みは、 $\overline{IRL3}$ ~ $\overline{IRL0}$ 端子および $\overline{IRLS3}$ ~ $\overline{IRLS0}$ 端子でレベルとして入力される割り込みです。 $\overline{IRLS3}$ ~ $\overline{IRLS0}$ は、割り込みコントロールレジスタ 1 (ICR1) の IRQVLV ビットおよび IRLSEN ビットがともに 1 の場合、イネーブルになります。優先順位レベルは、端子 $\overline{IRL3}$ ~ $\overline{IRL0}$ および $\overline{IRLS3}$ ~ $\overline{IRLS0}$ で示したより高い方のレベルです。 $\overline{IRL3}$ ~ $\overline{IRL0}$ および $\overline{IRLS3}$ ~ $\overline{IRLS0}$ の値が 0 (0000) のときは最高レベルの割り込み要求 (割り込み優先順位レベル 15) を示します。値が 15 (1111) の場合、割り込み要求がない (割り込み優先順位レベル 0) ことを示します。図 7.2 に IRL 割り込み接続の例を示します。表 7.3 は \overline{IRL} / \overline{IRLS} 端子と割り込みレベルを示します。

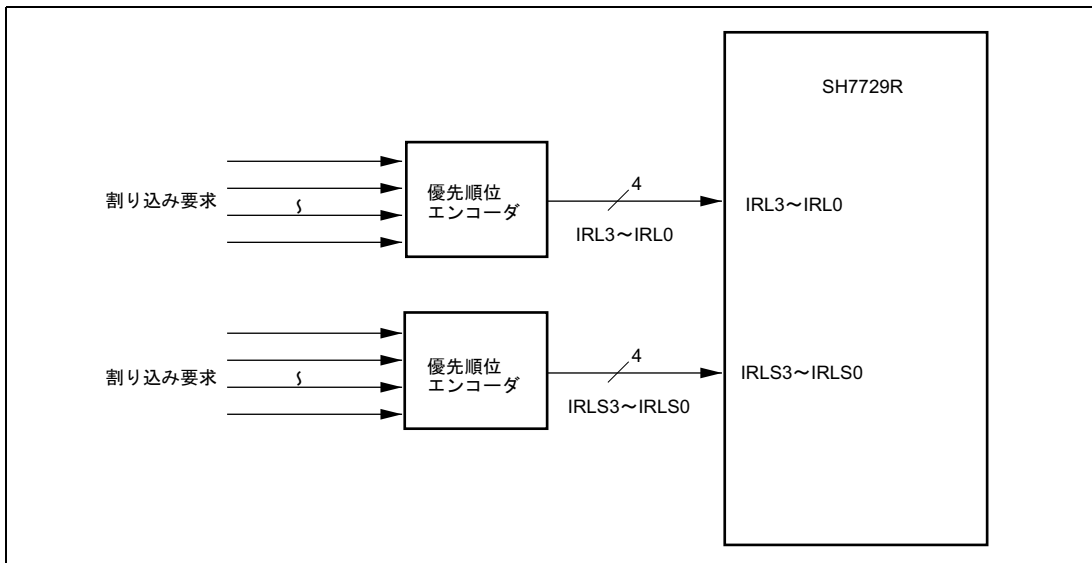


図 7.2 IRL 割り込みの接続例

7. 割り込みコントローラ (INTC)

表 7.3 IRL3~IRL0/IRLS3~IRLS0 端子および割り込みレベル

IRL3/IRLS3	IRL2/IRLS2	IRL1/IRLS1	IRL0/IRLS0	割り込み 優先順位レベル	割り込み要求
0	0	0	0	15	レベル 15 割り込み要求
0	0	0	1	14	レベル 14 割り込み要求
0	0	1	0	13	レベル 13 割り込み要求
0	0	1	1	12	レベル 12 割り込み要求
0	1	0	0	11	レベル 11 割り込み要求
0	1	0	1	10	レベル 10 割り込み要求
0	1	1	0	9	レベル 9 割り込み要求
0	1	1	1	8	レベル 8 割り込み要求
1	0	0	0	7	レベル 7 割り込み要求
1	0	0	1	6	レベル 6 割り込み要求
1	0	1	0	5	レベル 5 割り込み要求
1	0	1	1	4	レベル 4 割り込み要求
1	1	0	0	3	レベル 3 割り込み要求
1	1	0	1	2	レベル 2 割り込み要求
1	1	1	0	1	レベル 1 割り込み要求
1	1	1	1	0	割り込み要求なし

IRL 割り込みの検出は、ノイズキャンセル機能が組み込まれ、周辺モジュールクロックごとにサンプリングしたレベルが 2 サイクル続けて同一の値になったときに初めて行います。これにより、IRL/IRLS 端子の変化時の誤ったレベルを取り込むことを防止できます。また、スタンバイモード時は周辺モジュールクロックが停止しているため、代わりに RTC 用の 32kHz のクロックを使用して、ノイズキャンセルの処理を行います。このため RTC を使用しない場合は、スタンバイモード中に IRL 割り込みによる割り込みは行えません。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理を開始するまで、そのレベルを保持してください。レベルが保持されなかった場合の動作は保証できません。ただし、より高い優先レベルに変化させることはかまいません。

IRL 割り込み処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。

IRL 割り込みは、割り込みレベルが SR レジスタの I3~I0 より高い場合に、スタンバイ状態からの復帰に使用できます (ただし、RTC32kHz 発振器使用時のみ)。

7.2.4 PINT 割り込み

PINT 割り込みは、PINT0~PINT15 端子からレベルで入力されます。優先レベルは、割り込み優先レベル設定レジスタ D (IPRD) により、PINT0~PINT7、PINT8~PINT15 を一括して、レベル 0~15 の範囲で設定できます。

PINT 割り込みは、割り込みを受け付けて割り込み処理を開始するまでそのレベルを保持してください。レベルが保持されなかった場合の動作は保証できません。

PINT 割り込み処理ルーチンによって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。

PINT 割り込みは、該当する割り込みレベルが SR レジスタの I3-I0 より高い場合に、スタンバイ状態からの復帰に使用できます (ただし、RTC 32kHz 発振器使用時のみ)。

7.2.5 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、次のような 10 個のモジュールで発生する割り込みです。

- タイマユニット (TMU)
- リアルタイムクロック (RTC)
- シリアルコミュニケーションインタフェース (SCI, IrDA, SCIF)
- バスステートコントローラ (BSC)
- ウォッチドッグタイマ (WDT)
- ダイレクトメモリアクセスコントローラ (DMAC)
- アナログ/デジタルコンバータ (ADC)
- ユーザデバッグインタフェース (H-UDI)

割り込み要因ごとに異なる割り込みベクタが割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT および INTEVT2) に反映されますので、INTEVT または INTEVT2 レジスタの値をオフセットとして分岐することにより、容易に要因を判定できます。

優先順位レベル (0~15) は割り込み優先レベル設定レジスタ A、B、E (IPRA、IPRB および IPRE) に書き込むことによって H-UDI を除く各モジュールにセットすることができます。H-UDI の優先順位レベルは 15 (固定) です。

ステータスレジスタの割り込みマスクビット (I3-I0) は内蔵周辺モジュール割り込み処理の影響を受けません。

TMU および RTC 割り込みは、該当する割り込みレベルが SR レジスタの I3-I0 より高い場合にスタンバイ状態からの復帰に使用できます (ただし、RTC 32 kHz 発振器使用時のみ)。

7.2.6 割り込み例外処理および優先順位

割り込み要因と割り込み事象レジスタ (INTEVT、INTEVT2) のコード、割り込み優先順位を表 7.4、表 7.5 に示します。

各割り込み要因は、それぞれ異なる割り込み事象レジスタ (INTEVT、INTEVT2) のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT および INTEVT2 レジスタの値を使って分岐させます。たとえば INTEVT、INTEVT2 レジスタの値をオフセットにして分岐させます。

内蔵周辺モジュール、IRQ、PINT 割り込みの優先順位は、割り込み優先レベル設定レジスタ A~E (IPRA~IPRE) によって、優先レベル 15~0 の範囲で任意に設定できます。リセットによって、内蔵周辺モジュール、IRQ、PINT 割り込みの優先順位は優先レベル 0 に設定されます。

7. 割り込みコントローラ (INTC)

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 7.4、表 7.5 に示す「デフォルト優先順位」に従って処理されます。

表 7.4 割り込み例外処理要因と優先順位 (IRQ モード時)

割り込み要因		INTEVT コード (INTEVT2 コード)	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
NMI		H'1C0 (H'1C0)	16	—	—	
H-UDI		H'5E0 (H'5E0)	15	—	—	
IRQ	IRQ0	H'200-3C0* (H'600)	0-15 (0)	IPRC (3-0)	—	
	IRQ1	H'200-3C0* (H'620)	0-15 (0)	IPRC (7-4)	—	
	IRQ2	H'200-3C0* (H'640)	0-15 (0)	IPRC (11-8)	—	
	IRQ3	H'200-3C0* (H'660)	0-15 (0)	IPRC (15-12)	—	
	IRQ4	H'200-3C0* (H'680)	0-15 (0)	IPRD (3-0)	—	
	IRQ5	H'200-3C0* (H'6A0)	0-15 (0)	IPRD (7-4)	—	
PINT	PINT0-7	H'200-3C0* (H'700)	0-15 (0)	IPRD (15-12)	—	
	PINT8-15	H'200-3C0* (H'720)	0-15 (0)	IPRD (11-8)	—	
DMAC	DEI0	H'200-3C0* (H'800)	0-15 (0)	IPRE (15-12)	高	
	DEI1	H'200-3C0* (H'820)			↓	
	DEI2	H'200-3C0* (H'840)			↓	
	DEI3	H'200-3C0* (H'860)			低	
IrDA	ERI1	H'200-3C0* (H'880)	0-15 (0)	IPRE (11-8)	高	
	RX11	H'200-3C0* (H'8A0)			↓	
	BRI1	H'200-3C0* (H'8C0)			↓	
	TX11	H'200-3C0* (H'8E0)			低	
SCIF	ERI2	H'200-3C0* (H'900)	0-15 (0)	IPRE (7-4)	高	
	RX12	H'200-3C0* (H'920)			↓	
	BRI2	H'200-3C0* (H'940)			↓	
	TX12	H'200-3C0* (H'960)			低	
ADC	ADI	H'200-3C0* (H'980)	0-15 (0)	IPRE (3-0)	—	
TMU0	TUNI0	H'400 (H'400)	0-15 (0)	IPRA (15-12)	—	
TMU1	TUNI1	H'420 (H'420)	0-15 (0)	IPRA (11-8)	—	
TMU2	TUNI2	H'440 (H'440)	0-15 (0)	IPRA (7-4)	高	
	TICPI2	H'460 (H'460)			低	
RTC	ATI	H'480 (H'480)	0-15 (0)	IPRA (3-0)	高	
	PRI	H'4A0 (H'4A0)			↓	
	CUI	H'4C0 (H'4C0)			低	
SCI	ERI	H'4E0 (H'4E0)	0-15 (0)	IPRB (7-4)	高	
	RXI	H'500 (H'500)			↓	
	TXI	H'520 (H'520)			↓	
	TEI	H'540 (H'540)			低	

7. 割り込みコントローラ (INTC)

割り込み要因		INTEVT コード (INTEVT2 コード)	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
WDT	ITI	H'560 (H'560)	0-15 (0)	IPRB (15-12)	—	高 ↑ 低
REF	RCMI	H'580 (H'580)	0-15 (0)	IPRB (11-8)	高	
	ROVI	H'5A0 (H'5A0)			低	

【注】 * 表 7.6 に示す割り込みレベルに該当するコードがセットされます。

表 7.5 割り込み例外処理要因と優先順位 (IRL モード時)

割り込み要因		INTEVT コード (INTEVT2 コード)	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット 内の 優先順位	デフォルト 優先順位
NMI		H'1C0 (H'1C0)	16	—	—	高 ↑ ↓ 低
H-UDI		H'5E0 (H'5E0)	15	—	—	
IRL	IRL(3:0) *2=0000	H'200 (H'200)	15	—	—	
	IRL(3:0) *2=0001	H'220 (H'220)	14	—	—	
	IRL(3:0) *2=0010	H'240 (H'240)	13	—	—	
	IRL(3:0) *2=0011	H'260 (H'260)	12	—	—	
	IRL(3:0) *2=0100	H'280 (H'280)	11	—	—	
	IRL(3:0) *2=0101	H'2A0 (H'2A0)	10	—	—	
	IRL(3:0) *2=0110	H'2C0 (H'2C0)	9	—	—	
	IRL(3:0) *2=0111	H'2E0 (H'2E0)	8	—	—	
	IRL(3:0) *2=1000	H'300 (H'300)	7	—	—	
	IRL(3:0) *2=1001	H'320 (H'320)	6	—	—	
	IRL(3:0) *2=1010	H'340 (H'340)	5	—	—	
	IRL(3:0) *2=1011	H'360 (H'360)	4	—	—	
	IRL(3:0) *2=1100	H'380 (H'380)	3	—	—	
	IRL(3:0) *2=1101	H'3A0 (H'3A0)	2	—	—	
IRL(3:0) *2=1110	H'3C0 (H'3C0)	1	—	—		
IRQ	IRQ4	H'200-3C0*1 (H'680)	0-15 (0)	IPRD (3-0)	—	
	IRQ5	H'200-3C0*1 (H'6A0)	0-15 (0)	IPRD (7-4)	—	
PINT	PINT0-7	H'200-3C0*1 (H'700)	0-15 (0)	IPRD (15-12)	—	
	PINT8-15	H'200-3C0*1 (H'720)	0-15 (0)	IPRD (11-8)	—	
DMAC	DEI0	H'200-3C0*1 (H'800)	0-15 (0)	IPRE (15-12)	高	
	DEI1	H'200-3C0*1 (H'820)			↑	
	DEI2	H'200-3C0*1 (H'840)			↓	
	DEI3	H'200-3C0*1 (H'860)			低	

表 7.6 割り込みレベルと INTEVT コード

割り込みレベル	INTEVT コード
15	H'200
14	H'220
13	H'240
12	H'260
11	H'280
10	H'2A0
9	H'2C0
8	H'2E0
7	H'300
6	H'320
5	H'340
4	H'360
3	H'380
2	H'3A0
1	H'3C0

7.3 INTC レジスタ

7.3.1 割り込み優先レベル設定レジスタ A~E (IPRA~IPRE)

割り込み優先レベル設定レジスタ A~E (IPRA~IPRE) は、内蔵周辺モジュール、IRQ、PINT 割り込みに対して 0~15 までの優先順位レベルをセットする 16 ビットの読み出し/書き込みレジスタです。これらのレジスタはパワーオンリセット、マニュアルリセット時に H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7. 割り込みコントローラ (INTC)

表 7.7 は割り込み要因と IPRA~IPRE の対応を示します。

表 7.7 割り込み要求要因と IPRA~IPRE

レジスタ	ビット 15~12	ビット 11~8	ビット 7~4	ビット 3~0
IPRA	TMU0	TMU1	TMU2	RTC
IPRB	WDT	REF	SCI	予約*
IPRC	IRQ3	IRQ2	IRQ1	IRQ0
IPRD	PINT0~PINT7	PINT8~PINT15	IRQ5	IRQ4
IPRE	DMAC	IrDA	SCIF	ADC

【注】 * 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 7.7 に示すように、各レジスタには 4 組の内蔵周辺モジュール、または IRQ、PINT 割り込みが割り当てられます。4 ビットグループ (ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0) は、H'0(0000)~H'F(1111)の値でセットします。設定 H'0 は優先順位レベル 0 (要求マスク) を意味し、H'F は優先順位レベル 15 (最高レベル) です。リセットにより IPRA-IPRE は H'0000 に初期化されます。

7.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は外部割り込み入力端子 NMI の入力検出モードを設定し、NMI 端子に対する入力信号レベルを示します。このレジスタはパワーオンリセットまたはマニュアルリセット時に H'0000 または H'8000 に初期化されますが、スタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8
	NMIL	—	—	—	—	—	—	NMIE
初期値:	0/1*	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W
ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

【注】 * NMI 入力が高レベル時 1、NMI 入力がローレベル時 0 になります。

• ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に信号入力のレベルをセットします。このビットを読み出して NMI 端子レベルを判断することができます。このビットは変更不可能です。

ビット 15	
NMIL	説 明
0	NMI 入力レベルはロー
1	NMI 入力レベルはハイ

- ビット 8 : NMI エッジ選択 (NMIE)

NMI 入力の立ち下がりまたは立ち上がりエッジのどちらで割り込み要求信号を検出するかを選択します。

ビット 8	
NMIE	説 明
0	NMI 入力の立ち下がりエッジで割り込み要求信号を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求信号を検出

- ビット 14~9、7~0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ0~IRQ5 に対して立ち上がりエッジ、立ち下がりエッジ、ローレベルの検出モードを個別に指定する 16 ビットのレジスタです。このレジスタはパワーオンリセット、マニュアルリセット時に H'4000 に初期化されますが、スタンバイモードでは初期化されません。

ビット :	15	14	13	12	11	10	9	8
	MAI	IRQLVL	BLMSK	IRLSEN	IRQ51S	IRQ50S	IRQ41S	IRQ40S
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット 15 : 全割り込みマスク (MAI)

1 にセットすると、NMI 端子にローレベルを入力中、すべての割り込み要求をマスクします。また、スタンバイモード中、NMI 割り込みマスクします。

ビット 15	
MAI	説 明
0	NMI 端子がローレベルのとき、すべての割り込み要求をマスクしない (初期値)
1	NMI 端子がローレベルのとき、すべての割り込み要求をマスクする

- ビット 14 : 割り込み要求レベル検出 (IRQLVL)

IRQ3~IRQ0 端子を 4 本の独立した割り込み端子として使用するか、 $\overline{IRL3}$ ~ $\overline{IRL0}$ としてエンコードした 15 レベルの割り込み端子としてするかを選択します。

ビット 14	
IRQLVL	説 明
0	4 本の独立した割り込み要求端子 IRQ3~IRQ0 として使用
1	$\overline{IRL3}$ ~ $\overline{IRL0}$ としてエンコードした 15 レベルの割り込み端子として使用 (初期値)

7. 割り込みコントローラ (INTC)

- ビット 13 : BL ビットマスク (BLMSK)

SR レジスタの BL ビットが 1 のとき、NMI 割り込みをマスクするかどうかを指定します。

ビット 13	説 明	
BLMSK		
0	BL ビットが 1 のとき、NMI 割り込みをマスクする	(初期値)
1	BL ビットの設定に関係なく NMI 割り込みを受け付ける	

- ビット 12 : $\overline{\text{IRLS}}$ イネーブル (IRLSEN)

$\overline{\text{IRLS3}} \sim \overline{\text{IRLS0}}$ 端子をイネーブルにします。本ビットは IRQLVL ビットが 1 の場合のみ有効です。

ビット 12	説 明	
IRLSEN		
0	IRLS3-IRLS0 端子をディスエーブルにする	(初期値)
1	IRLS3-IRLS0 端子をイネーブルにする	

- ビット 11、10 : IRQ5 センスセレクト (IRQ51S および IRQ50S)

IRQ5 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。

ビット 11	ビット 10	説 明
IRQ51S	IRQ50S	
0	0	割り込み要求を IRQ5 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ5 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ5 入力のローレベルで検出する
1	1	予約

- ビット 9、8 : IRQ4 センス選択 (IRQ41S、IRQ40S)

IRQ4 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。

ビット 9	ビット 8	説 明
IRQ41S	IRQ40S	
0	0	割り込み要求を IRQ4 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ4 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ4 入力のローレベルで検出する
1	1	予約

7. 割り込みコントローラ (INTC)

- ビット7およびビット6: IRQ3 センス選択 (IRQ31S、IRQ30S)

IRQ3 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。

ビット7	ビット6	説 明
IRQ31S	IRQ30S	
0	0	割り込み要求を IRQ3 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ3 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ3 入力のローレベルで検出する
1	1	予約

- ビット5およびビット4: IRQ2 センス選択 (IRQ21S、IRQ20S)

IRQ2 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。

ビット5	ビット4	説 明
IRQ21S	IRQ20S	
0	0	割り込み要求を IRQ2 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ2 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ2 入力のローレベルで検出する
1	1	予約

- ビット3、2: IRQ1 センス選択 (IRQ11S、IRQ10S)

IRQ1 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。

ビット3	ビット2	説 明
IRQ11S	IRQ10S	
0	0	割り込み要求を IRQ1 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ1 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ1 入力のローレベルで検出する
1	1	予約

7. 割り込みコントローラ (INTC)

- ビット 1、0 : IRQ0 センス選択 (IRQ01S、IRQ00S)

IRQ0 端子に対する割り込み信号を立ち上がりエッジ、立ち下がりエッジ、ローレベルのどれで検出するかを選択します。

ビット 1	ビット 0	説 明
IRQ01S	IRQ00S	
0	0	割り込み要求を IRQ0 入力の立ち下がりエッジで検出する (初期値)
0	1	割り込み要求を IRQ0 入力の立ち上がりエッジで検出する
1	0	割り込み要求を IRQ0 入力のローレベルで検出する
1	1	予約

7.3.4 割り込みコントロールレジスタ 2 (ICR2)

割り込みコントロールレジスタ 2 (ICR2) は、外部割り込み入力端子 PINT0~PINT15 に対して検出モードを指定する 16 ビットの読み出し/書き込みレジスタです。このレジスタはパワーオンリセット、マニュアルリセット時に H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット :	15	14	13	12	11	10	9	8
	PINT15S	PINT14S	PINT13S	PINT12S	PINT11S	PINT10S	PINT9S	PINT8S
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット 15~0 : PINT15~PINT0 センス選択 (PINT15S~PINT0S)

PINT15~PINT0 に対する割り込み要求信号をローレベル、ハイレベルのいずれで検出するかを選択します。

ビット 15~0	説 明
PINT15S~PINT0S	
0	PINT 端子に対して割り込み要求をローレベルで検出 (初期値)
1	PINT 端子に対して割り込み要求をハイレベルで検出

7.3.5 PINT 割り込みイネーブルレジスタ (PINTER)

PINT 割り込みイネーブルレジスタ (PINTER) は、外部割り込み入力端子 PINT0～PINT15 に対する割り込み要求入力をイネーブルにする 16 ビットの読み出し/書き込みレジスタです。このレジスタはパワーオンリセット、マニュアルリセット時に H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8
	PINT15E	PINT14E	PINT13E	PINT12E	PINT11E	PINT10E	PINT9E	PINT8E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット 15～0: PINT15～PINT0 割り込みイネーブル (PINT15E～PINT0E)

PINT15～PINT0 端子に対する割り込み要求入力をイネーブルにするかどうかを選択します。

ビット 15～0	説 明
PINT15E～PINT0E	
0	PINT 入力割り込み要求をディスエーブルにする (初期値)
1	PINT 入力割り込み要求をイネーブルにする

PINT0～PINT15 の端子のすべて、または一部を割り込み入力として使用しない場合、割り込み要求として使用しない端子に該当するビットは 0 にセットしてください。

7.3.6 割り込み要求レジスタ 0 (IRR0)

割り込み要求レジスタ 0 (IRR0) は、外部入力端子 IRQ0～IRQ5 および PINT0～PINT15 からの割り込み要求を示す 8 ビットレジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	PINT0R	PINT1R	IRQ5R	IRQ4R	IRQ3R	IRQ2R	IRQ1R	IRQ0R
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

IRQ5R～IRQ0R ビットを 0 にクリアする場合、当該ビットが 1 にセットされていることを読み出した後 0 を書き込んでください。IRQ5R～IRQ0R ビットを 0 にクリアする場合、クリアしたいビットのみ 0 をライトし、その他のビットは 1 をライトしてください。1 をライトしたビットの内容は変化しません。

7. 割り込みコントローラ (INTC)

- ビット 7 : PINT0~PINT7 割り込み要求 (PINT0R)

PINT0~PINT7 端子に割り込み要求が入力されているかどうかを示します。

ビット 7	説明
PINT0R	
0	PINT0~PINT7 端子に割り込みなし (初期値)
1	PINT0~PINT7 端子に割り込みあり

- ビット 6 : PINT8~PINT15 割り込み要求 (PINT1R)

PINT8~PINT15 端子に割り込み要求が入力されているかどうかを示します。

ビット 6	説明
PINT1R	
0	PINT8~PINT15 端子に割り込みなし (初期値)
1	PINT8~PINT15 端子に割り込みあり

- ビット 5 : IRQ5 割り込み要求 (IRQ5R)

IRQ5 端子に割り込み要求が入力されているかどうかを示します。IRQ5 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ5R ビットを 0 にすることによってクリアされます。

ビット 5	説明
IRQ5R	
0	IRQ5 端子に割り込み要求なし (初期値)
1	IRQ5 端子に割り込み要求あり

- ビット 4 : IRQ4 割り込み要求 (IRQ4R)

IRQ4 端子に割り込み要求が入力されているかどうかを示します。IRQ4 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ4R ビットを 0 にすることによってクリアされます。

ビット 4	説明
IRQ4R	
0	IRQ4 端子に割り込み要求なし (初期値)
1	IRQ4 端子に割り込み要求あり

- ビット 3 : IRQ3 割り込み要求 (IRQ3R)

IRQ3 端子に割り込み要求が入力されているかどうかを示します。IRQ3 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ3R ビットを 0 にすることによってクリアされます。

ビット 3	説明
IRQ3R	
0	IRQ3 端子に割り込み要求なし (初期値)
1	IRQ3 端子に割り込み要求あり

- ビット 2 : IRQ2 割り込み要求 (IRQ2R)

IRQ2 端子に割り込み要求が入力されているかどうかを示します。IRQ2 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ2R ビットを 0 にすることによってクリアされます。

ビット 2	説明
IRQ2R	
0	IRQ2 端子に割り込み要求なし (初期値)
1	IRQ2 端子に割り込み要求あり

- ビット 1 : IRQ1 割り込み要求 (IRQ1R)

IRQ1 端子に割り込み要求が入力されているかどうかを示します。IRQ1 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ1R ビットを 0 にすることによってクリアされます。

ビット 1	説明
IRQ1R	
0	IRQ1 端子に割り込み要求なし (初期値)
1	IRQ1 端子に割り込み要求あり

- ビット 0 : IRQ0 割り込み要求 (IRQ0R)

IRQ0 端子に割り込み要求が入力されているかどうかを示します。IRQ0 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQ0R ビットを 0 にすることによってクリアされます。

ビット 0	説明
IRQ0R	
0	IRQ0 端子に割り込み要求なし (初期値)
1	IRQ0 端子に割り込み要求あり

7. 割り込みコントローラ (INTC)

7.3.7 割り込み要求レジスタ 1 (IRR1)

割り込み要求レジスタ 1 (IRR1) は DMAC、IrDA 割り込み要求発生の有無を示す 8 ビットの読み出し専用レジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	TXI1R	BRI1R	RXI1R	ERI1R	DEI3R	DEI2R	DEI1R	DEI0R
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

- ビット 7: TXI1 割り込み要求 (TXI1R)

TXI1 (IrDA) 割り込み要求が発生したかどうかを示します。

ビット 7	説明
TXI1	
0	TXI1 割り込み要求は発生していない (初期値)
1	TXI1 割り込み要求は発生している

- ビット 6: BRI1 割り込み要求 (BRI1R)

BRI1 (IrDA) 割り込み要求が発生したかどうかを示します。

ビット 6	説明
BRI1R	
0	BRI1 割り込み要求は発生していない (初期値)
1	BRI1 割り込み要求は発生している

- ビット 5: RXI1 割り込み要求 (RXI1R)

RXI1 (IrDA) 割り込み要求が発生したかどうかを示します。

ビット 5	説明
RXI1R	
0	RXI1 割り込み要求は発生していない (初期値)
1	RXI1 割り込み要求は発生している

- ビット 4: ERI1 割り込み要求 (ERI1R)

ERI1 (IrDA) 割り込み要求が発生したかどうかを示します。

ビット 4	説明
ERI1R	
0	ERI1 割り込み要求は発生していない (初期値)
1	ERI1 割り込み要求は発生している

- ビット3：DEI3 割り込み要求 (DEI3R)

DEI3 (DMAC) 割り込み要求が発生したかどうかを示します。

ビット3	説 明
DEI3R	
0	DEI3 割り込み要求は発生していない (初期値)
1	DEI3 割り込み要求は発生している

- ビット2：DEI2 割り込み要求 (DEI2R)

DEI2 (DMAC) 割り込み要求が発生したかどうかを示します。

ビット2	説 明
DEI2R	
0	DEI2 割り込み要求は発生していない (初期値)
1	DEI2 割り込み要求は発生している

- ビット1：DEI1 割り込み要求 (DEI1R)

DEI1 (DMAC) 割り込み要求が発生したかどうかを示します。

ビット1	説 明
DEI1R	
0	DEI1 割り込み要求は発生していない (初期値)
1	DEI1 割り込み要求は発生している

- ビット0：DEI0 割り込み要求 (DEI0R)

DEI0 (DMAC) 割り込み要求が発生したかどうかを示します。

ビット0	説 明
DEI0R	
0	DEI0 割り込み要求は発生していない (初期値)
1	DEI0 割り込み要求は発生している

7. 割り込みコントローラ (INTC)

7.3.8 割り込み要求レジスタ 2 (IRR2)

割り込み要求レジスタ 2 (IRR2) は A/D コンバータ、SCIF 割り込み要求発生の有無を示す 8 ビットの読み出し専用レジスタです。このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	ADIR	TXI2R	BRI2R	RXI2R	ERI2R
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

- ビット 7~5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 4 : ADI 割り込み要求 (ADIR)

ADI (ADC) 割り込み要求が発生したかどうかを示します。

ビット 4	説明
ADIR	
0	ADI 割り込み要求は発生していない (初期値)
1	ADI 割り込み要求は発生している

- ビット 3 : TXI2 割り込み要求 (TXI2R)

TXI2 (SCIF) 割り込み要求が発生したかどうかを示します。

ビット 3	説明
TXI2R	
0	TXI2 割り込み要求は発生していない (初期値)
1	TXI2 割り込み要求は発生している

- ビット 2 : BRI2 割り込み要求 (BRI2R)

BRI2 (SCIF) 割り込み要求が発生したかどうかを示します。

ビット 2	説明
BRI2R	
0	BRI2 割り込み要求は発生していない (初期値)
1	BRI2 割り込み要求は発生している

• ビット1: RXI2 割り込み要求 (RXI2R)

RXI2 (SCIF) 割り込み要求が発生したかどうかを示します。

ビット1	説明
RXI2R	
0	RXI2 割り込み要求は発生していない (初期値)
1	RXI2 割り込み要求は発生している

• ビット0: ERI2 割り込み要求 (ERI2R)

ERI2 (SCIF) 割り込み要求が発生したかどうかを示します。

ビット0	説明
ERI2R	
0	ERI2 割り込み要求は発生していない (初期値)
1	ERI2 割り込み要求は発生している

7.4 動作説明

7.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 7.3 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から割り込み優先レベルレジスタ A~E (IPRA ~IPRE) に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 7.4、表 7.5 に従って、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3~I0) とが比較されます。I3~I0 ビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
- (4) 検出タイミング：INTC は周辺クロック (P ϕ) に同期して動作し、CPU に割り込み要求を通知します。CPU は、命令の切れ目で割り込みを受け付けます。
- (5) 割り込み事象レジスタ (INTEVT/INTEVT2) に割り込み要因コードがセットされます。
- (6) ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれ SSR と SPC に退避されます。
- (7) SR のブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が 1 にセットされます。
- (8) 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値と H'00000600 の和) にジャンプします。このジャンプは遅延分岐ではありません。
例外処理ルーチンでは、割り込み要因を識別するために、たとえば INTEVT/INTEVT2 レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. 本 LSI では、割り込みを受け付けても CPU のステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は変化しません。
 2. $\overline{\text{IRQOUT}}$ 端子からは、割り込み要因がクリアされるまで、ローレベルが出力され続けます。
ただし、割り込みマスクビットで割り込み要因がマスクされる場合には、 $\overline{\text{IRQOUT}}$ 端子はハイレベルに戻ります。また BL ビットとは無関係に出力されます。
 3. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。
クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後要因フラグをリードし、その後、表 7.8 の優先順位判定および SR のマスクビットとの比較時間で示される時間待ってから、BL ビットをクリアするか、RTE 命令を実行します。

7. 割り込みコントローラ (INTC)

7.4.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

- (1) 割り込み要因を判定するために、INTEVT/INTEVT2 レジスタの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
- (2) 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
- (3) SPC、SSR をメモリに退避します。
- (4) SR の BL ビットをクリアします。このとき、SR の割り込みマスクビットも受け付けた割り込みレベルに設定します。
- (5) このあと、実際に行いたい処理を書きます。
- (6) RTE 命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、(4) の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。図 7.3 に割り込み動作フローチャートの例を示します。

7.5 割り込み応答時間

割り込み要求の生成から割り込み例外処理を実行し、例外ハンドラの第一命令のフェッチが開始するまでの時間 (割り込み応答時間) を表 7.8 に示します。図 7.4 は IRL 割り込みの受け付け時のパイプライン動作の例を示します。SR.BL が 1 のとき、割り込み例外処理はマスクされ、BL を 0 にクリアする命令が完了するまで待たされます。

表 7.8 割り込み応答時間

項目	ステート数				注記
	NMI	IRQ	PINT	周辺モジュール	
優先順位判定と SR のマスクビットとの比較時間	$0.5 \times \text{Icyc}$	$0.5 \times \text{Icyc}$	$0.5 \times \text{Icyc}$	$0.5 \times \text{Icyc}$	
	$+0.5 \times \text{Bcyc}$	$+1 \times \text{Bcyc}$		$+1.5 \times \text{Pcyc}^{*5}$	
	$+0.5 \times \text{Pcyc}$	$+4.5 \times \text{Pcyc}^{*4}$	$+3.5 \times \text{Pcyc}$	$0.5 \times \text{Icyc}$ $+3 \times \text{Pcyc}^{*6}$	

7. 割り込みコントローラ (INTC)

項目	ステート数				注記	
	NMI	IRQ	PINT	周辺モジュール		
CPUが実行中のシーケンス終了までの待ち時間	$X (\geq 0) \times \text{Icyc}$	$X (\geq 0) \times \text{Icyc}$	$X (\geq 0) \times \text{Icyc}$	$X (\geq 0) \times \text{Icyc}$	実行中の命令が終了するまで割り込み例外処理は待たされます。最も長い待ち時間は、命令実行ステート数を S^{*1} とすると、 $X=S-1$ となります。ただし、命令の実行や例外の発生で BL が 1 に設定された場合、BL を 0 に設定する命令が終了するまで待たされます。また、割り込み例外処理をマスクする命令が続く場合、さらに待たされることもあります。	
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチンの先頭命令のフェッチを開始するまでの時間	$5 \times \text{Icyc}$	$5 \times \text{Icyc}$	$5 \times \text{Icyc}$	$5 \times \text{Icyc}$		
応答時間	合計	$(5.5+X) \times \text{Icyc} + 0.5 \times \text{Bcyc}$	$(5.5+X) \times \text{Icyc} + 1 \times \text{Bcyc}$	$(5.5+X) \times \text{Icyc} + 3.5 \times \text{Pcyc}^{*5}$	$(5.5+X) \times \text{Icyc} + 1.5 \times \text{Pcyc}^{*5}$	
		$+0.5 \times \text{Pcyc}$	$+4.5 \times \text{Pcyc}^{*4}$		$(5.5+X) \times \text{Icyc} + 3 \times \text{Pcyc}^{*6}$	
	最小の場合 ^{*2}	7.5	16.5	12.5	$8.5^{*6}/11.5^{*6}$	60 (CKIO=30) MHz での動作 : 0.13 - 0.28 μ s
最大の場合 ^{*3}	$8.5+S$	$26.5+S$	$18.5+S$	$10.5+S^{*5}$ $16.5+S^{*6}$	60 (CKIO=15) MHz での動作 : 0.26- 0.56 μ s (オペランドがキャッシュヒットした場合) 60 (CKIO=15) MHz での動作 : 0.29- 0.59 μ s (外部メモリアクセスをウェイト=0 で実行する場合)	

Icyc : CPU に供給される内部クロックの 1 サイクルの時間

Bcyc : 1 CKIO サイクルの時間

Pcyc : 周辺モジュールに供給される周辺クロックの 1 サイクルの時間

【注】 *1 この S には、メモリアクセスの待ち時間も含まれます。

最も実行時間の長い処理は、LDC.L @Rm+, SR で、メモリアクセスがキャッシュにヒットする場合、命令実行ステート数は 7 になります。外部アクセスが行われる場合は、そのサイクル数を加算します。また、外部メモリアクセスを 2 回行う命令もあり、外部メモリアクセスが遅い場合はそれに応じて命令実行ステート数が増えます。

*2 内部クロック : CKIO : 周辺クロックの比が、2 : 1 : 1

*3 内部クロック : CKIO : 周辺クロックの比が、4 : 1 : 1

7. 割り込みコントローラ (INTC)

- *4 IRQ モード
- *5 周辺モジュール : TMU、RTC、SCI、WDT、REFC
- *6 周辺モジュール : DMAC、ADC、IrDA、SCIF

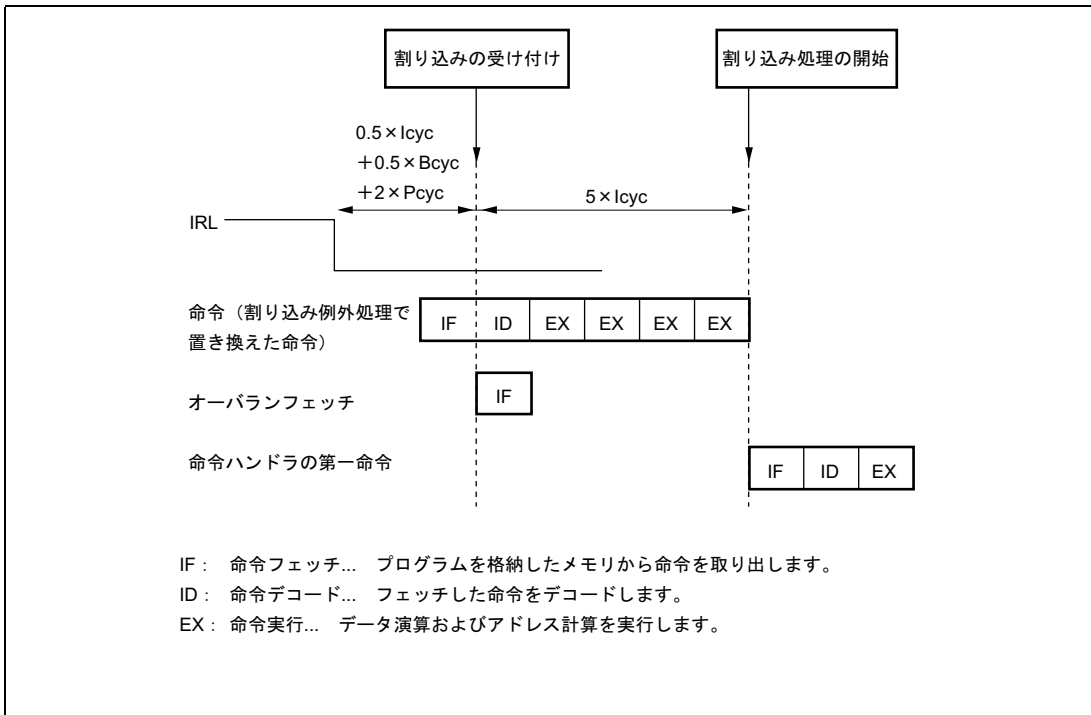


図 7.4 IRL 割り込みの受け付け時のパイプライン動作の例

8. ユーザブ레이크コントローラ（UBC）

8.1 概要

ユーザブ레이크コントローラ（UBC）は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはデータの読み出し書き込み、データのサイズ、データの内容、アドレスの値、命令フェッチのときの停止タイミングがあります。

8.1.1 特長

UBC には以下の特長があります。

- 次のようなブ레이크比較条件を設定できます。

ブ레이크チャンネル数：2 チャンネル（チャンネル A と B）

ユーザブ레이크は、チャンネル A、B 独立に、または連続した（シーケンシャル）1 つの条件として設定することができます（シーケンシャルブ레이크設定：チャンネル A のブ레이크条件が一致した後チャンネル B のブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき）。

- (1) アドレス（ASID と 32 ビット論理アドレスから構成された 40 ビットを比較：比較ビットは 32 ビット単位でマスク可能で、ユーザは下位 12 ビット（4k ページ）、下位 10 ビット（1k ページ）、あるいは任意の大きさのページなどでアドレスをマスクすることができます。）

4 つのアドレスバスの 1 つ（論理アドレスバス（LAB）、内部アドレスバス（IAB）、X メモリアドレスバス（XAB）および Y メモリアドレスバス（YAB））を選択できます。

- (2) データ（チャンネル B のみ、32 ビットマスク可能）

4 本のデータバス（論理データバス（LDB）、内部データバス（IDB）、X メモリデータバス（XDB）、Y メモリデータバス（YDB））のどれか 1 つを選択できます。

- (3) バスマスタ：CPU または DMAC サイクル

- (4) バスサイクル：命令フェッチまたはデータアクセス

- (5) リードまたはライト

- (6) オペランドサイズ：バイト、ワード、またはロングワード

- ブ레이크条件が成立するときユーザブ레이크が生成します。ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行できます。
- 命令フェッチサイクルにおいて、ブ레이크を命令の実行の前に設定するか後に設定するかを指定できます。
- ブ레이크条件（チャンネル B に対してのみ）として、最大 $2^{12}-1$ 回まで繰り返し回数を指定することができます。
- 8 組の分岐元／分岐先バッファ

8. ユーザブレイクコントローラ (UBC)

8.1.2 ブロック図

UBC のブロック図を図 8.1 に示します。

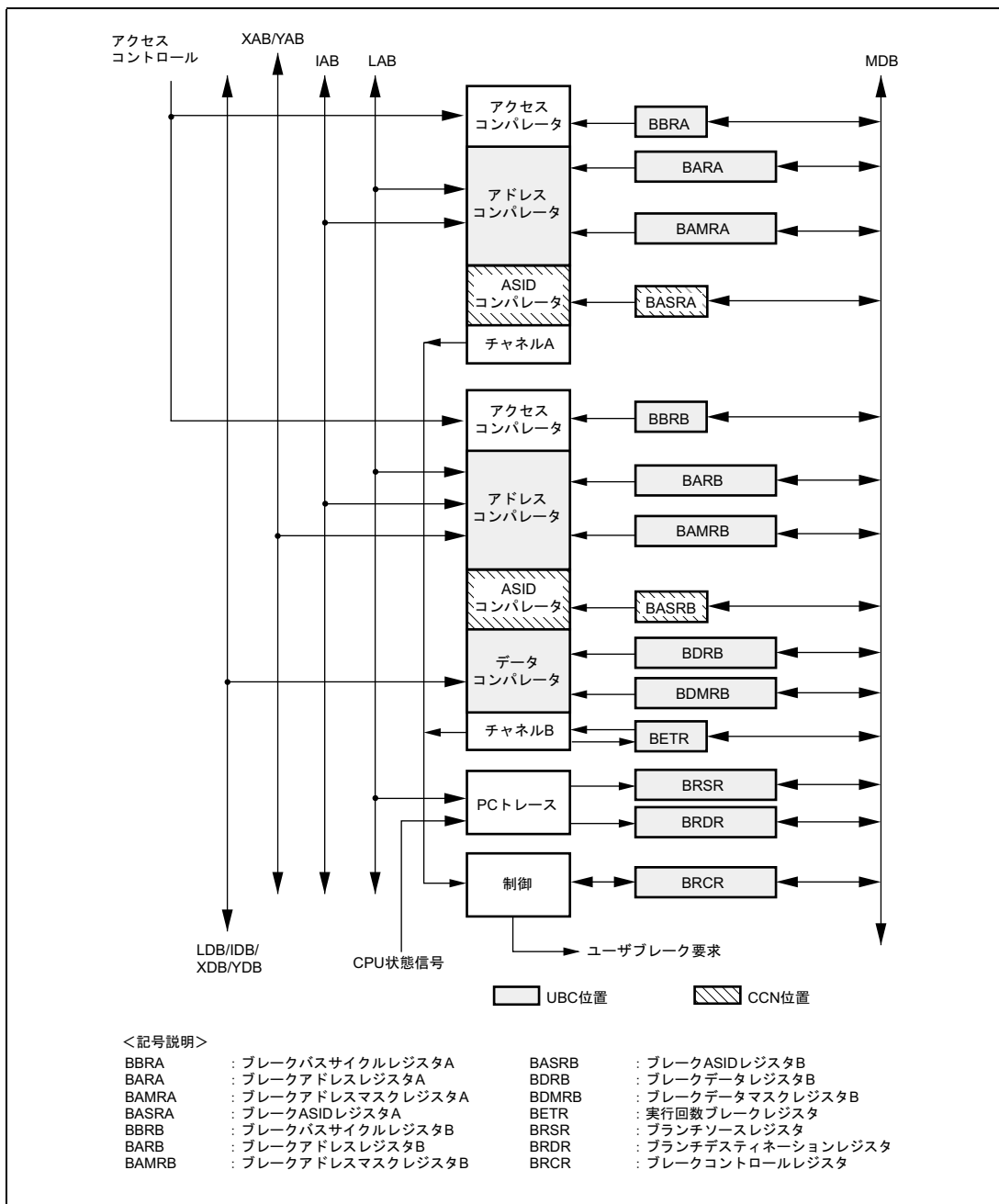


図 8.1 UBC のブロック図

8.1.3 レジスタ構成

UBC には表 8.1 に示すような 14 本のレジスタがあります。

表 8.1 レジスタ構成

名称	略語	R/W	初期値*1	アドレス	アクセスサイズ	位置
ブ레이크アドレスレジスタ A	BARA	R/W	H'00000000	H'FFFFFFB0	32	UBC
ブ레이크アドレスマスクレジスタ A	BAMRA	R/W	H'00000000	H'FFFFFFB4	32	UBC
ブ레이크バスサイクルレジスタ A	BBRA	R/W	H'0000	H'FFFFFFB8	16	UBC
ブ레이크アドレスレジスタ B	BARB	R/W	H'00000000	H'FFFFFFFA0	32	UBC
ブ레이크アドレスマスクレジスタ B	BAMRB	R/W	H'00000000	H'FFFFFFFA4	32	UBC
ブ레이크バスサイクルレジスタ B	BBRB	R/W	H'0000	H'FFFFFFFA8	16	UBC
ブ레이크データレジスタ B	BDRB	R/W	H'00000000	H'FFFFFFF90	32	UBC
ブ레이크データマスクレジスタ B	BDMRB	R/W	H'00000000	H'FFFFFFF94	32	UBC
ブ레이크コントロールレジスタ	BRCR	R/W	H'00000000	H'FFFFFFF98	32	UBC
実行回数ブ레이크レジスタ	BETR	R/W	H'0000	H'FFFFFFF9C	16	UBC
ブランチソースレジスタ	BRSR	R	不定*2	H'FFFFFFAC	32	UBC
ブランチデスティネーションレジスタ	BRDR	R	不定*2	H'FFFFFFBC	32	UBC
ブ레이크 ASID レジスタ A	BASRA	R/W	不定	H'FFFFFFE4	8	CCN
ブ레이크 ASID レジスタ B	BASRB	R/W	不定	H'FFFFFFE8	8	CCN

【注】 *1 パワーオンリセット時に初期化されます。スタンバイ時には値は保持されます。マニュアルリセット時には値は不定となります。

*2 BRSR と BRDR のビット 31 (有効フラグ) はパワーオンリセットで初期化されます。しかし他のビットは初期化されません。

8.2 レジスタの説明

8.2.1 ブ레이크アドレスレジスタ A (BARA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BARA は、32 ビットの読み出し/書き込み可能なレジスタです。BARA はチャンネル A のブ레이크条件とするアドレスを指定します。パワーオンリセットにより BARA は H'00000000 に初期化されます。

8. ユーザブレイクコントローラ (UBC)

- ビット 31~0 : ブレークアドレス A31~A0 (BAA31~BAA0)

チャンネル A のブレーク条件を指定する LAB または IAB のアドレスを格納します。

8.2.2 ブレークアドレスマスクレジスタ A (BAMRA)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAMA ₃₁	BAMA ₃₀	BAMA ₂₉	BAMA ₂₈	BAMA ₂₇	BAMA ₂₆	BAMA ₂₅	BAMA ₂₄	BAMA ₂₃	BAMA ₂₂	BAMA ₂₁	BAMA ₂₀	BAMA ₁₉	BAMA ₁₈	BAMA ₁₇	BAMA ₁₆
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAMA ₁₅	BAMA ₁₄	BAMA ₁₃	BAMA ₁₂	BAMA ₁₁	BAMA ₁₀	BAMA ₉	BAMA ₈	BAMA ₇	BAMA ₆	BAMA ₅	BAMA ₄	BAMA ₃	BAMA ₂	BAMA ₁	BAMA ₀
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BAMRA は 32 ビットの読み出し/書き込み可能なレジスタです。BAMRA は BARA によって指定されるブレークアドレスビットのうちマスクするビットを指定します。パワーオンリセットで BAMRA は H'00000000 に初期化されます。

- ビット 31~0 : ブレークアドレスマスクレジスタ A31~A0 (BAMA31~BAMA0)

BAMRA は、BARA (BAA31~BAA0) によって指定されるチャンネル A のブレークアドレスビットのうちマスクするビットを指定します。

ビット 31~0	説明
BAMAn	
0	チャンネル A のブレークアドレスビット BAA _n は、ブレーク条件に含まれる (初期値)
1	チャンネル A のブレークアドレスビット BAA _n は、ブレーク条件に含まれない

n=31~0

8.2.3 ブレークバスサイクルレジスタ A (BBRA)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CDA1	CDA0	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブレークバスサイクルレジスタ A (BBRA) は、チャンネル A のブレーク条件として (1) CPU サイクルまたは DMAC サイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、(4) オペランドサイズを指定する 16 ビット読み出し/書き込み可能なレジスタです。パワーオンリセットによって BBRA は H'0000 に初期化されます。

- ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 7, 6 : CPU サイクル/DMAC サイクルセレクト A (CDA1, CDA0)

チャンネル A ブレーク条件のバスサイクルとして CPU サイクルまたは DMAC サイクルを選択します。

ビット 7	ビット 6	説 明
CDA1	CDA0	
0	0	条件比較を行わない (初期値)
*	1	ブレーク条件は CPU サイクル
1	0	ブレーク条件は DMAC サイクル

【注】 * Don't care

- ビット 5, 4 : 命令フェッチ/データアクセスセレクト A (IDA1, IDA0)

チャンネル A ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。

ビット 5	ビット 4	説 明
IDA1	IDA0	
0	0	条件比較を行わない (初期値)
	1	ブレーク条件は命令フェッチサイクル
1	0	ブレーク条件はデータアクセスサイクル
	1	ブレーク条件は命令フェッチサイクルまたはデータアクセスサイクル

- ビット 3, 2 : 読み出し/書き込みセレクト A (RWA1, RWA0)

チャンネル A ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。

ビット 3	ビット 2	説 明
RWA1	RWA0	
0	0	条件比較を行わない (初期値)
	1	ブレーク条件は読み出しサイクル
1	0	ブレーク条件は書き込みサイクル
	1	ブレーク条件は読み出しサイクルまたは書き込みサイクル

8. ユーザブレイクコントローラ (UBC)

- ビット1、0: オペランドサイズセレクト A (SZA1、SZA0)

チャンネル A ブレイク条件のバスサイクルのオペランドサイズを選択します。

ビット1	ビット0	説 明
SZA1	SZA0	
0	0	ブレイク条件にはオペランドサイズを含まない (初期値)
	1	ブレイク条件はバイトアクセス
1	0	ブレイク条件はワードアクセス
	1	ブレイク条件はロングワードアクセス

8.2.4 ブレイクアドレスレジスタ B (BARB)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BARB は、32 ビットの読み出し/書き込み可能なレジスタです。チャンネル B のブレイク条件とするアドレスを指定します。BBRB の制御ビット XYE と XYS は、ブレイク条件 B のアドレスバスを選択します。XYE が 0 の場合、BARB は論理バスまたは内部バス LAB、IAB 上でブレイクアドレスを指定します。XYE が 1 の場合、BAB31~16 は XAB (ビット 15~1) のブレイクアドレスを指定し、BAB15~0 は YAB (ビット 15~1) のブレイクアドレスを指定します。ただし、ブレイクに対しては 2 つのアドレスバスのどちらかを選択する必要があります。パワーオンリセットにより BARB は H'00000000 に初期化されます。

	BAB31~16	BAB15~0
XYE=0	L (I) AB31~16	L (I) AB15~0
XYE=1	XAB15~1 (XYS=0)	YAB15~1 (XYS=1)

8.2.5 ブレークアドレスマスクレジスタ B (BAMRB)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAMB ₃₁	BAMB ₃₀	BAMB ₂₉	BAMB ₂₈	BAMB ₂₇	BAMB ₂₆	BAMB ₂₅	BAMB ₂₄	BAMB ₂₃	BAMB ₂₂	BAMB ₂₁	BAMB ₂₀	BAMB ₁₉	BAMB ₁₈	BAMB ₁₇	BAMB ₁₆
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAMB ₁₅	BAMB ₁₄	BAMB ₁₃	BAMB ₁₂	BAMB ₁₁	BAMB ₁₀	BAMB ₉	BAMB ₈	BAMB ₇	BAMB ₆	BAMB ₅	BAMB ₄	BAMB ₃	BAMB ₂	BAMB ₁	BAMB ₀
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BAMRB は、32 ビットの読み出し/書き込み可能なレジスタです。BAMRB は、BARB で指定するブレークアドレスビットのうち、マスクするビットを指定します。パワーオンリセットによって BAMRB は H'00000000 に初期化されます。

	BAMB31~16	BAMB15~0
XYE=0	L (I) AB31~16 をマスク	L (I) AB15~0 をマスク
XYE=1	XAB15~1 (XYS=0) をマスク	YAB15~1 (XYS=1) をマスク

ビット 31~0	説 明
BAMBn	
0	チャンネル B のブレークアドレスビット BABn は、ブレーク条件に含まれる (初期値)
1	チャンネル B ブレークアドレスビット BABn は、マスクされるためブレーク条件には含まれない

n=31~0

8.2.6 ブレークデータレジスタ B (BDRB)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BDRB は、32 ビットの読み出し/書き込み可能なレジスタです。BDRB の制御ビット XYE と YYS は、ブレーク条件 B のデータバスを選択します。XYE が 0 の場合、BDRB は LDB または IDB のブレークデータを指定します。XYE が 1 の場合、BDB31~16 は XDB (ビット 15~0) のブレークデータを指定し、BDB15~0 は YDB (ビット 15~0) のブレークデータを指定します。ただし、ブレークには 2 つのデータバスのどちらかを選択しなければなりません。パワーオンリセットにより BDRB は H'00000000 に初期化されます。

8. ユーザブ레이크コントローラ (UBC)

	BDB31~16	BDBB15~0
XYE=0	L (I) DB31~16	L (I) DB15~0
XYE=1	XDB15~1 (XYS=0)	YDB15~1 (XYS=1)

8.2.7 ブレークデータマスクレジスタ B (BDMRB)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDMB ₃₁	BDMB ₃₀	BDMB ₂₉	BDMB ₂₈	BDMB ₂₇	BDMB ₂₆	BDMB ₂₅	BDMB ₂₄	BDMB ₂₃	BDMB ₂₂	BDMB ₂₁	BDMB ₂₀	BDMB ₁₉	BDMB ₁₈	BDMB ₁₇	BDMB ₁₆
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDMB ₁₅	BDMB ₁₄	BDMB ₁₃	BDMB ₁₂	BDMB ₁₁	BDMB ₁₀	BDMB ₉	BDMB ₈	BDMB ₇	BDMB ₆	BDMB ₅	BDMB ₄	BDMB ₃	BDMB ₂	BDMB ₁	BDMB ₀
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BDMRB は、32 ビットの読み出し/書き込み可能なレジスタです。BDMRB は、BDRB で指定するブレークデータビットのうちマスクするビットを指定します。パワーオンリセットにより BDMRB は H'00000000 に初期化されます。

	BDMB31~16	BDMB15~0
XYE=0	L (I) DB 31~16 をマスク	L (I) DB15~0 をマスク
XYE=1	XDB 15~0 をマスク	YDB 15~0 をマスク

ビット 31~0	説 明
BDMBn	
0	チャンネル B のブレークデータビット BDBn は、ブレーク条件に含まれる (初期値)
1	チャンネル B のブレークデータビット BDBn は、マスクされるため、ブレーク条件には含まれない

n=31~0

- 【注】
1. ブレーク条件にデータバスの値を含める場合オペランドサイズを指定してください。
 2. ブレーク条件としてバイトサイズを指定する場合、BDRB においてブレークデータは、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。

8.2.8 ブレークバスサイクルレジスタ B (BBRB)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	XYE	XYS	CDB1	CDB0	IDB1	IDB0	RWB1	RWB0	SZB1	SZB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブレークバスサイクルレジスタ B (BBRB)は、チャンネル B のブレーク条件として (1) 論理バスまたは内部バス (L または I バス)、X バス、または Y バス、(2) CPU サイクルまたは DMAC サイクル、(3) 命令フェッチまたはデータアクセス、(4) 読み出しまたは書き込み、および (5) オペランドサイズを指定する 16 ビットの読み出し/書き込み可能なレジスタです。パワーオンリセットによって BBRB は H'0000 に初期化されます。

- ビット 15~10: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 9: X/Y メモリバスイネーブル (XYE)

論理バスまたは内部バス (L または I バス) または X/Y メモリバスをチャンネル B ブレーク条件のバスとして選択します。

XYE	説明
0	チャンネル B ブレーク条件用に内部バス (I バス) を選択
1	チャンネル B ブレーク条件用に X/Y メモリバス (X/Y バス) を選択

- ビット 8: X メモリバス/Y メモリバスセレクト (XYS)

X バスまたは Y バスをチャンネル B ブレーク条件のバスとして選択します。

XYS	説明
0	チャンネル B ブレーク条件用に X バスを選択
1	チャンネル B ブレーク条件用に Y バスを選択

- ビット 7、6: CPU サイクル/DMAC サイクルセレクト B (CDB1、CDB0)

チャンネル B ブレーク条件のバスサイクルとして CPU サイクルまたは DMAC サイクルを選択します。

ビット 7	ビット 6	説明
CDB1	CDB0	
0	0	条件比較を行わない (初期値)
*	1	ブレーク条件は CPU サイクル
1	0	ブレーク条件は DMAC サイクル

【注】 * Don't care

8. ユーザブ레이크コントローラ (UBC)

- ビット 5、4 : 命令フェッチ/データアクセスセレクト B (IDB1、IDB0)

チャンネル B ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。

ビット 5	ビット 4	説 明
IDB1	IDB0	
0	0	条件比較を行わない (初期値)
	1	ブレーク条件は命令フェッチサイクル
1	0	ブレーク条件はデータアクセスサイクル
	1	ブレーク条件は命令フェッチサイクルまたはデータアクセスサイクル

- ビット 3、2 : 読み出し/書き込みセレクト B (RWB1、RWB0)

チャンネル B ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。

ビット 3	ビット 2	説 明
RWB1	RWB0	
0	0	条件比較を行わない (初期値)
	1	ブレーク条件は読み出しサイクル
1	0	ブレーク条件は書き込みサイクル
	1	ブレーク条件は読み出しサイクルまたは書き込みサイクル

- ビット 1、0 : オペランドサイズセレクト B (SZB1、SZB0)

チャンネル B ブレーク条件のバスサイクルのオペランドサイズを選択します。

ビット 1	ビット 0	説 明
SZB1	SZB0	
0	0	ブレーク条件はオペランドサイズを含まない (初期値)
	1	ブレーク条件はバイトアクセス
1	0	ブレーク条件はワードアクセス
	1	ブレーク条件はロングワードアクセス

8.2.9 ブレークコントロールレジスタ (BRCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BAS MA	BAS MB	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCM FCA	SCM FCB	SCM FDA	SCM FDB	PCTE	PCBA	-	-	DBEB	PCBB	-	-	SEQ	-	-	ETBE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R	R	R/W

BRCR は次の条件を設定します。

- (1) チャンネル A、B を 2 つの独立したチャンネル条件か、あるいは 1 つの連続した条件として使用するかを指定します。
- (2) ブレークを命令実行の前に設定するか後に設定するかを指定します。
- (3) ブレークを実行回数だけセットします。
- (4) チャンネル B 比較条件にデータバスを含めるかどうかを決定します。
- (5) PC トレースをイネーブルにします。
- (6) ASID チェックをイネーブルにします。

ブレークコントロールレジスタ (BRCR) は、ブレーク条件一致フラグと種々のブレーク条件をセットするためのビットを持つ 32 ビットの読み出し/書き込み可能なレジスタです。BRCR はパワーオンリセットによって H'00000000 に初期化されます。

- ビット 31~22: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 21: ブレーク ASID マスク A (BASMA)

BASRA にセットされたチャンネル A ブレーク ASID7~ASID0 (BASA7~BASA0) のビットをマスクするかどうかを指定します。

ビット 21	
BASMA	説 明
0	すべての BASRA ビットはブレーク条件に含まれ、ASID がチェックされる (初期値)
1	すべての BASRA ビットはブレーク条件に含まれず、ASID がチェックされない

8. ユーザブレイクコントローラ (UBC)

- ビット 20 : ブレーク ASID マスク B (BASMB)

BASRB にセットされたチャンネル B ブレーク ASID7~ASID0 (BASB7~BASB0) のビットをマスクするかどうかを指定します。

ビット 20	説明
BASMB	
0	すべての BASRB ビットはブレーク条件に含まれ、ASID がチェックされる (初期値)
1	すべての BASRB ビットはブレーク条件に含まれず、ASID がチェックされない

- ビット 19~16 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 15 : CPU 条件一致フラグ A (SCMFCA)

チャンネル A にセットしたブレーク条件の CPU バスサイクル条件を満足すると、このフラグは 1 にセットされず (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。

ビット 15	説明
SCMFCA	
0	チャンネル A に対する CPU サイクル条件不一致 (初期値)
1	チャンネル A に対する CPU サイクル条件一致

- ビット 14 : CPU 条件一致フラグ B (SCMFBC)

チャンネル B にセットしたブレーク条件の CPU バスサイクル条件を満足すると、このフラグは 1 にセットされず (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。

ビット 14	説明
SCMFBC	
0	チャンネル B に対する CPU サイクル条件不一致 (初期値)
1	チャンネル B に対する CPU サイクル条件一致

- ビット 13 : DMAC 条件一致フラグ A (SCMFDA)

チャンネル A にセットしたブレーク条件の内蔵 DMAC バスサイクル条件を満足すると、このフラグは 1 にセットされます (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。

ビット 13	説明
SCMFDA	
0	チャンネル A に対する DMAC サイクル条件不一致 (初期値)
1	チャンネル A に対する DMAC サイクル条件一致

- ビット 12 : DMAC 条件一致フラグ B (SCMFDB)

チャンネル B にセットしたブレーク条件の内蔵 DMAC バスサイクル条件を満足すると、このフラグは 1 にセットされます (0 にはクリアされません)。このフラグをクリアするにはこのビットに 0 を書き込みます。

ビット 12	説 明	
SCMFDB	説 明	
0	チャンネル B に対する DMAC サイクル条件不一致	(初期値)
1	チャンネル B に対する DMAC サイクル条件一致	

- ビット 11 : PC トレースイネーブル (PCTE)

PC トレースを許可します。

ビット 11	説 明	
PCTE	説 明	
0	PC トレースを禁止	(初期値)
1	PC トレースを許可	

- ビット 10 : PC ブレークセレクト A (PCBA)

チャンネル A に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。

ビット 10	説 明	
PCBA	説 明	
0	チャンネル A の PC ブレークを命令実行前に設定	(初期値)
1	チャンネル A の PC ブレークを命令実行後に設定	

- ビット 9、8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 7 : データブレークイネーブル B (DBEB)

データバス条件がチャンネル B のブレーク条件に含まれるかどうかを選択します。

ビット 7	説 明	
DBEB	説 明	
0	データバス条件がチャンネル B のブレーク条件に含まれない	(初期値)
1	データバス条件がチャンネル B のブレーク条件に含まれる	

8. ユーザブレイクコントローラ (UBC)

- ビット6: PC ブレークセレクト B (PCBB)

チャンネル B に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。

ビット6	説 明
PCBB	
0	チャンネル B の PC ブレークを命令実行前に設定 (初期値)
1	チャンネル B の PC ブレークを命令実行後に設定

- ビット5、4: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット3: シーケンス条件セレクト (SEQ)

チャンネル A および B の 2 つの条件が独立した条件であるか連続した条件であるかを選択します。

ビット3	説 明
SEQ	
0	独立した条件下でチャンネル A とチャンネル B を比較 (初期値)
1	連続した条件下でチャンネル A とチャンネル B を比較 (チャンネル A、次にチャンネル B)

- ビット2、1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット0: 実行回数ブレークイネーブル (ETBE)

チャンネル B に対してのみ実行回数ブレーク条件を有効にします。このビットが1の場合 (実行回数ブレークイネーブル)、生じたブレーク条件の数が BETR レジスタで指定した実行回数と等しくなったときユーザブレイク割り込みが出されます。

ビット0	説 明
ETBE	
0	チャンネル B の実行回数ブレーク条件を無効にする (初期値)
1	チャンネル B の実行回数ブレーク条件を有効にする

8.2.10 実行回数ブ레이크レジスタ (BETR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル B の実行回数ブ레이크条件を有効にすると、このレジスタはブ레이크を行う回数を指定します。最大値は $2^{12}-1$ 回です。パワーオンリセットによって BETR は H'0000 に初期化されます。ブ레이크条件を満たすたびに BETR は 1 ずつデクリメントされます。BETR が H'0001 になった後、ブ레이크条件を満たすとブ레이크が出されます。ビット 15~12 を読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.2.11 ブランチソースレジスタ (BRSR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SVF	PID2	PID1	PID0	BSA 27	BSA 26	BSA 25	BSA 24	BSA 23	BSA 22	BSA 21	BSA 20	BSA 19	BSA 18	BSA 17	BSA 16
初期値:	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSA 15	BSA 14	BSA 13	BSA 12	BSA 11	BSA 10	BSA9	BSA8	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * 不定

BRSR は、32 ビットの読み出し専用レジスタです。BRSR は、分岐前に最後にフェッチしたアドレスと最後に実行した命令に対するフェッチから実行までのサイクル数を示すポインタ (3 ビット) を格納します。BRSR は、分岐発生時に 1 にセットされるフラグビットを持っています。このフラグビットは、BRSR の読み出し時、またパワーオンリセットまたはマニュアルリセットで初期化するとき 0 にクリアされされます。その他のビットはリセットによっては初期化されません。8 本の BRSR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

- ビット 31 : BRSR 有効フラグ (SVF)

アドレスおよび分岐元アドレスを指すポインタが計算可能であるかどうかを示します。分岐元アドレスが取り出されるときこのフラグは 1 にセットされます。このフラグは、BRSR を読み出すことによって 0 にクリアされません。

ビット 31	説明
SVF	
0	BRSR レジスタの値は無効 (初期値)
1	BRSR レジスタの値は有効

8. ユーザブレイクコントローラ (UBC)

- ビット 30~28 : 命令デコードポインタ (PID2~0)

PID は 3 ビットのバイナリポインタ (0~7) です。これらのビットは分岐を実行する前に最後に実行した命令を格納する命令バッファの番号を示します。

ビット 30~28	
PID	説 明
偶数	PID は命令バッファの番号を示す
奇数	PID+2 は命令バッファの番号を示す

- ビット 27~0 : 分岐元アドレス (BSA27~BSA0)

これらのビットは分岐を実行する前に最後に取り出したアドレスを格納します。

8.2.12 ブランチデスティネーションレジスタ (BRDR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DVF	-	-	-	BDA ₂₇	BDA ₂₆	BDA ₂₅	BDA ₂₄	BDA ₂₃	BDA ₂₂	BDA ₂₁	BDA ₂₀	BDA ₁₉	BDA ₁₈	BDA ₁₇	BDA ₁₆
初期値 :	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDA ₁₅	BDA ₁₄	BDA ₁₃	BDA ₁₂	BDA ₁₁	BDA ₁₀	BDA ₉	BDA ₈	BDA ₇	BDA ₆	BDA ₅	BDA ₄	BDA ₃	BDA ₂	BDA ₁	BDA ₀
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * 不定

BRDR は、32 ビットの読み出し専用レジスタです。BRDR は、分岐先フェッチアドレスを格納します。BRDR は、分岐発生時に 1 に設定されるフラグビットを持っています。このフラグビットは、BRDR の読み出し時または BRDR をパワーオンリセットまたはマニュアルリセットで初期化するときに 0 にクリアされます。その他のビットはリセットによっては初期化されません。8 本の BRDR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

- ビット 31 : BRDR 有効フラグ (DVF)

分岐先アドレスが格納されているかどうかを示します。分岐先アドレスが取り出されるときこのフラグは 1 にセットされます。このフラグは BRDR を読み出すことによって 0 にセットされます。

ビット 31	
DVF	説 明
0	BRDR レジスタの値は無効
1	BRDR レジスタの値は有効

- ビット 30~28 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 27~0 : 分岐先アドレス (BDA27~BDA0)

これらのビットは分岐後最初に取り出したアドレスを格納します。

8.2.13 ブレーク ASID レジスタ A (BASRA)

ビット :	7	6	5	4	3	2	1	0
	BASA7	BASA6	BASA5	BASA4	BASA3	BASA2	BASA1	BASA0
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 不定

ブレーク ASID レジスタ A (BASRA) は、チャンネル A に対するブレーク条件となる ASID を指定する 8 ビットの読み出し/書き込み可能なレジスタです。BASRA はリセットでは初期化されません。CCN に存在します。

- ビット 7~0 : ブレーク ASID A7~0 (BASA7~BASA0)

これらのビットはチャンネル A のブレーク条件である ASID (ビット 7~0) を格納します。

8.2.14 ブレーク ASID レジスタ B (BASRB)

ビット :	7	6	5	4	3	2	1	0
	BASB7	BASB6	BASB5	BASB4	BASB3	BASB2	BASB1	BASB0
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 不定

ブレーク ASID レジスタ B (BASRB) は、チャンネル B に対するブレーク条件となる ASID を指定する 8 ビットの読み出し/書き込み可能なレジスタです。BASRB はリセットでは初期化されません。CCN に存在します。

- ビット 7~0 : ブレーク ASID A7~0 (BASB7~BASB0)

これらのビットはチャンネル B のブレーク条件である ASID (ビット 7~0) を格納します。

8.3 動作説明

8.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは次のとおりです。

- (1) ブレイクアドレスおよび該当する ASID は、ブレイクアドレスレジスタ (BARA、BARB) とブレイク ASID レジスタ (CCN の BASRA、BASRB) にセットします。マスクするアドレスはブレイクアドレスマスクレジスタ (BAMRA、BAMRB) にセットします。ブレイクデータはブレイクデータレジスタ (BDRB) にセットします。マスクするデータはブレイクデータマスクレジスタ (BDMRB) にセットします。バスブレイク条件は、ブレイクバスサイクルレジスタ (BBRA、BBRB) にセットします。BBRA と BBRB の 3 つの制御ビットペア、すなわち CPU サイクル/DMAC サイクルセレクト、命令フェッチ/データアクセスセレクト、読み出し/書き込みセレクトを設定します。3 つの制御ビットペアのどれか 1 つでも 00 の場合、ユーザブレイクは発生しません。ブレイク制御は BRCR のビットにセットします。
- (2) ブレイク条件を満足すると、UBC はユーザブレイク要求を割り込みコントローラに送ります。ブレイクタイプは CPU に送られ、命令フェッチ、命令前/後命令ブレイク、データアクセスブレイクを示します。ブレイク条件を満足すると、それぞれのチャンネルに対する CPU 条件一致フラグ (SCMFCA、SCMFCB) および DMAC 条件一致フラグ (SCMFDA、SCMFDB) がセットされます。
- (3) 設定条件の一致、不一致をチェックするため該当する条件一致フラグ (SCMFCA、SCMFDA、SCMFCB、SCMFDB) を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためにはまず 0 を書き込まなければなりません。
- (4) データアクセスブレイクとそれに続く命令フェッチブレイクがほぼ同時に発生する場合があります。CPU に対するブレイク割り込み要求は 1 つだけであってもこれらの 2 つのブレイクチャンネル一致フラグは 2 つともセットされる場合があります。

8.3.2 命令フェッチサイクルでのブレイク

- (1) ブレイクバスサイクルレジスタ (BBRA/BBRB) に CPU/命令フェッチ/読み出し/ワードまたはロングワードが設定されると、ブレイク条件は CPU の命令フェッチサイクルになります。命令実行の前にブレイクするか後にブレイクするかは、該当するチャンネルに対するブレイクコントロールレジスタ (BRCR) の PCBA、PCBB ビットで選択できます。
- (2) 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、ブレイクを受け付ける最初の命令の実行の直前までブレイクは発生しません。また、遅延スロット命令に対する実行前命令ブレイクにセットされたブレイク、および SLEEP 命令に対する実行後命令ブレイクも禁止されます。
- (3) ブレイク条件でブレイクが命令実行後に起こるように設定している場合、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、これはオーバランフェッチ命令では使用できません。遅延分岐命令に対してこの種のブレイクが設定されると、ブレイクを受け付ける最初の命令までブレイクは発生しません。
- (4) 命令フェッチサイクルがチャンネル B に設定されるとブレイクデータレジスタ B (BDRB) は無視されます。したがって、命令フェッチサイクルのブレイクにはブレイクデータを設定する必要はありません。

8.3.3 データアクセスサイクルでのブレイク

- (1) CPU データアクセスブレイクが生じるメモリサイクルは命令によるものです。
- (2) 表 8.2 にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 8.2 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレイクアドレスレジスタのビット 31~2 とアドレスバスのビット 31~2 を比較
ワード	ブレイクアドレスレジスタのビット 31~1 とアドレスバスのビット 31~1 を比較
バイト	ブレイクアドレスレジスタのビット 31~0 とアドレスバスのビット 31~0 を比較

これは、たとえばオペランドサイズ条件を指定しないでアドレス H'00001003 を設定するとき、ブレイク条件を満足するバスサイクルには (他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

8. ユーザブレイクコントローラ (UBC)

- (3) チャンネル B のブレイク条件にデータ値が含まれる場合 :

ブレイク条件にデータ値が含まれる場合、ブレイクバスサイクルレジスタ (BBRA、BBRB) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレイク条件に含まれる場合、アドレス条件とデータ条件が一致するときブレイクが発生します。この場合、バイトデータを指定するためにはブレイクデータレジスタ B (BDRB) とブレイクデータマスクレジスタ B (BDMRB) のビット 15~8、ビット 7~0 の 2 バイトに同じデータをセットします。ワードまたはバイトのオペランドサイズを選択すると、BDRB と BDMRB のビット 31~16 は無視されます。

- (4) DMAC データアクセスをブレイク条件に含める場合 :

DMAC データアクセスに対してアドレスをブレイク条件に含める場合、ブレイクバスサイクルレジスタ (BBRA、BBRB) のオペランドサイズはバイト、ワード、あるいはオペランドサイズを指定しないに設定してください。データ値をブレイク条件に含める場合は、バイトまたはワードのどちらかを選択してください。

8.3.4 X メモリまたは Y メモリバスサイクルでのブレイク

- (1) X メモリバスサイクルまたは Y メモリバスサイクルに対するブレイク条件は、チャンネル B でのみ指定できます。BBRB の XYE を 1 にセットした場合、X メモリまたは Y メモリバス上のブレイクアドレスおよびブレイクデータが選択されます。BBRB の XYS を指定することによって X メモリバスまたは Y メモリバスのどちらかを選択する必要があります。ブレイク条件には X メモリと Y メモリを同時に含めることはできません。ブレイク条件はブレイクバスサイクルレジスタ B (BBRB) で CPU、データアクセスサイクル、読み出しまたは書き込みアクセス、オペランドサイズをワード、または、オペランドサイズを指定しないに設定することによって、X メモリバスサイクルまたは Y メモリバスサイクルに適用されます。
- (2) ブレイク条件として X メモリアドレスを選択するときは、BARB と BAMRB の上位 16 ビットに X メモリアドレスを指定し、Y メモリアドレスを選択するときは、下位 16 ビットに Y メモリアドレスを指定してください。BDRB と BDMRB に対する X メモリデータまたは Y メモリデータの指定は、同様の方法で行います。

8.3.5 シーケンシャルブレイク

- (1) BRCR の SEQ ビットを 1 にセットすると、チャンネル A ブレイク条件が一致した後チャンネル B ブレイク条件が一致するときにシーケンシャルブレイクが発生します。チャンネル A ブレイク条件が一致する前にチャンネル B ブレイク条件が一致すると、ユーザブレイクは発生しません。また、チャンネル A とチャンネル B のブレイク条件が同時に一致したときも、シーケンシャルブレイクは発生しません。
- (2) シーケンシャルブレイク指定では、論理バス、内部バス、X バス、または Y バスを選択でき、実行回数ブレイク条件も指定することができます。たとえば、実行回数ブレイク条件を指定すると、チャンネル A ブレイク条件一致後、チャンネル B ブレイク条件が BETR=H'0001 のときに一致するとブレイク条件が満たされます。

8.3.6 回避したプログラムカウンタの値

ブレイク発生時、PCはユーザブレイクのSPCに回避されます。回避したPC値はブレイクの種類によって次のようになります。

- (1) 命令フェッチを(命令実行の前に)ブレイク条件として指定する場合：

回避されたプログラムカウンタ(PC)の値は、ブレイク条件と一致する命令のアドレスです。フェッチした命令は実行されず、その前にブレイクが発生します。
- (2) 命令フェッチを(命令実行後)ブレイク条件として指定する場合：

回避されたPCの値は、ブレイク条件が一致する命令の次の命令のアドレスです。フェッチした命令は実行され、次の命令の実行の前にブレイクが発生します。
- (3) データアクセス (アドレスのみ) をブレイク条件として指定する場合：

PCの値は、ブレイク条件に一致した命令の直後の命令のアドレスです。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。
- (4) データアクセス (アドレス+データ) をブレイク条件として指定する場合：

PCの値は、ブレイク処理の起動時にすでに実行された命令の次の命令の先頭アドレスです。データ値がブレイク条件に追加されると、ブレイクが発生する場所は正確に指定することができません。ブレイクはブレイクが発生したデータアクセスの近傍でフェッチした命令の実行前に発生します。

8.3.7 PC トレース

- (1) PC トレースは、BRCRのPCTEを1にセットすることによってイネーブルになります。分岐(分岐命令、繰り返し、および割り込み)が発生すると、分岐元アドレスを計算できるアドレスと分岐先アドレスはそれぞれBRSRとBRDRに格納されます。最後にフェッチされた命令のアドレスと分岐の直前に実行された命令の関係を示すポインタはBRSRに格納されます。
- (2) 分岐直前に実行された命令のアドレスは、BRSR内のアドレスとポインタによって計算できます。BSA (BRSR内のアドレス部)、PID (BRSR内のポインタ部) およびIA (分岐直前に実行された命令のアドレス) の計算式は、 $IA = BSA - 2 * PID$ となります。

分岐先命令を実行する前に割り込み(分岐)を行う場合は注意が必要です。次の図の場合、分岐の直前に実行された命令“Exec”のアドレスは、 $IA = BSA - 2 * PID$ によって計算できます。しかしながら、分岐“branch”が遅延スロットを持ち、分岐先が $4n+2$ のアドレスである場合、分岐命令によって指定される分岐先アドレス“Dest”はBRSRに格納されます(Dest = BSA)。

したがって計算式 $IA = BSA - 2 * PID$ はこの場合には適用されないため、このPIDは無効です。BSAが $4n+2$ 境界であるのはこの場合だけで、次のように分類されます。

Exec : branch Dest

8. ユーザブレイクコントローラ (UBC)

Dest : instr (実行されない)

割り込み

Int : interrupt routine

PID値が奇数の場合、命令バッファはPID+2バッファを指しています。ただし、この表中に示された値はそれらを勘案したものとなっています。したがって、真の分岐元アドレスはBRSRに格納されたBSA値およびPID値によって計算されます。

(3) 分岐の直前に実行した命令のアドレス IA の値は、分岐の種類によって異なります。

(a) 分岐命令

分岐命令アドレス

(b) 繰り返し

繰り返しループの最後から 2 番目の命令

```
Repeat_Start : inst (1); -----> BRDR
                inst (2);
                :
                inst (n-1); -----> BRSR から計算したアドレス
Repeat_End : inst (n);
```

(c) 割り込み

割り込みの直前に実行した命令

割り込みルーチンの先頭アドレスは BRDR に格納されます。

3つ以下の命令からなる繰り返しループでは、命令フェッチサイクルは発生せず分岐元アドレスは不明です。したがって、PCトレースは無効です。

(4) BRSR と BRDR は、8 組のキュー構造からなっています。PC トレースレジスタに格納されたアドレスの読み出し時、キューの先頭を最初に読み出します。BRSR と BRDR はリードポインタを共有します。BRSR、BRDR の順で読み出してください。キューは BRDR の読み出し後のみシフトされます。BRDR の読み出し時にはロングワードアクセスを使用する必要があります。「また、PC トレースにはトレースポインタがあり、最初はキューの最下位を指します。分岐アドレスの最初のペアはキューの最下位に格納された後次のペアがキューに入ると上方にシフトされます。トレースポインタは、キューから取り出されない限り次の分岐アドレスを指します。分岐アドレスが実行されると、トレースポインタはキューの最下位に達するまでアドレスの次のペアにシフトします。(BRDR の) PCTE ビットのオン、オフを切り替えた後、キューの値は無効になります。リードポインタは PCTE の切り替え前の位置に留まりますが、トレースポインタはキューの最下位でリスタートします。」

8.3.8 使用例

(1) CPU 命令フェッチサイクルに指定したブレイク条件

(A) レジスタ指定

BARA=H'00000404、BAMRA=H'00000000、BBRA=H'0054、BARB=H'00008010、BAMRB=H'00000006、
BBRB=H'0054、BDRB=H'00000000、BDMRB=H'00000000、BRCR=H'00300400

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

ASID チェックは含まれません。

<チャンネル B>

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ASID チェックは含まれません。

ユーザブレイクは、アドレス H'00000404 の命令実行後、またはアドレス H'00008010～H'00008016 の命令の実行前に発生します。

(B) レジスタ指定

BARA=H'00037226、BAMRA=H'00000000、BBRA=H'0056、BARB=H'0003722E、BAMRB=H'00000000、
BBRB=H'0056、BDRB=H'00000000、BDMRB=H'00000000、
BRCR=H'00000008、BASRA=H'80、BASRB=H'70

指定条件：チャンネル A / チャンネル B シーケンスモード

<チャンネル A>

アドレス：H'00037226、アドレスマスク：H'00000000、ASID=H'80

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ワード

<チャンネル B>

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID=H'70

データ：H'00000000、データマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ワード

ASID=H'80 およびアドレス H'00037226 の命令が実行された後、ASID=H'70 およびアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

8. ユーザブレイクコントローラ (UBC)

(C) レジスタ指定

BARA =H'00027128、BAMRA =H'00000000、BBRA =H'005A、BARB =H'00031415、BAMRB =H'00000000、
BBRB =H'0054、BDRB =H'00000000、BDMRB =H'00000000、
BRCR =H'00300000

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 書き込み / ワード

ASID チェックは含まれません。

<チャンネル B>

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ASID チェックは含まれません。

チャンネル A では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル B では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(D) レジスタ指定

BARA =H'00037226、BAMRA =H'00000000、BBRA =H'005A、BARB =H'0003722E、BAMRB =H'00000000、
BBRB =H'0056、BDRB =H'00000000、BDMRB =H'00000000、BRCR = H'00000008、BASRA =H'80、BASRB =H'70
指定条件：チャンネル A / チャンネル B シーケンスモード

<チャンネル A>

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：CPU / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル B>

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID：H'70

データ：H'00000000、データマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ワード

チャンネル A で命令フェッチは書き込みサイクルではないので、シーケンス条件一致は生じません。したがって、ユーザブレイクは発生しません。

(E) レジスタ指定

BARA =H'00000500、BAMRA =H'00000000、BBRA =H'0057、BARB =H'00001000、BAMRB =H'00000000、
BBRB =H'0057、BDRB =H'00000000、BDMRB =H'00000000、BRCR =H'00300001、BETR =H'0005
指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00000500、アドレスマスク：H'00000000

バスサイクル：CPU / 命令フェッチ (命令実行前) / 読み出し / ロングワード

<チャンネル B>

アドレス : H'00001000、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000

バスサイクル : CPU/命令フェッチ (命令実行前) /読み出し/ロングワード

実行回数ブレイクイネーブル (5 回)

チャンネル A では、ユーザブレイクはアドレス H'00000500 の命令の実行前に生じます。チャンネル B では、ユーザブレイクはアドレス H'00001000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

(F) レジスタ指定

BARA=H'00008404、BAMRA=H'00000FFF、BBRA=H'0054、BARB=H'00008010、BAMRB=H'00000006、

BBRB=H'0054、BDRB=H'00000000、BDMRB=H'00000000、BR CR=H'00000400、BASRA=H'80、BASRB=H'70

指定条件 : チャンネル A/チャンネル B 独立モード

<チャンネル A>

アドレス : H'00008404、アドレスマスク : H'00000FFF、ASID : H'80

バスサイクル : CPU/命令フェッチ (命令実行後) /読み出し (オペランドサイズは条件には含まれません)

<チャンネル B>

アドレス : H'00008010、アドレスマスク : H'00000006、ASID : H'70

データ : H'00000000、データマスク : H'00000000

バスサイクル : CPU/命令フェッチ (命令実行前) /読み出し (オペランドサイズは条件には含まれません)

ユーザブレイクは ASID=H'80 でアドレス H'00008000~H'00008FFE の命令の実行後、または ASID=H'70 でアドレス H'00008010~H'00008016 の命令の実行前に生じます。

(2) CPU データアクセスサイクルに指定したブレイク条件

(A) レジスタ指定

BARA=H'00123456、BAMRA=H'00000000、BBRA=H'0064、BARB=H'000ABCDE、BAMRB=H'000000FF、

BBRB=H'006A、BDRB=H'0000A512、BDMRB=H'00000000、BR CR=H'00000080、BASRA=H'80、BASRB=H'70

指定条件 : チャンネル A/チャンネル B 独立モード

<チャンネル A>

アドレス : H'00123456、アドレスマスク : H'00000000

バスサイクル : CPU/データアクセス/読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス : H'000ABCDE、アドレスマスク : H'000000FF、ASID : H'70

データ : H'0000A512、データマスク : H'00000000

バスサイクル : CPU/データアクセス/書き込み/ワード

8. ユーザブレイクコントローラ (UBC)

チャンネル A では、ユーザブレイクは、ASID=H'80 によるアドレス H'00123454 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで生じます。チャンネル B では、ユーザブレイクは H'000ABC00~H'000ABCFE にワード H'A512 を書き込むときに生じます。

(B) レジスタ指定

BARA=H'01000000、BAMRA=H'00000000、BBRA=H'0066、BARB=H'0000F000、BAMRB=H'FFFF0000、BBRB=H'036A、BDRB=H'00004567、BDMRB=H'00000000、BRCR=H'00300080

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'01000000、アドレスマスク：H'00000000

バスサイクル：CPU / データアクセス / 読み出し / ワード

ASID チェックは含まれません。

<チャンネル B>

Y アドレス：H'0001F000、アドレスマスク：H'FFFF0000

データ：H'00004567、データマスク：H'00000000

バスサイクル：CPU / データアクセス / 書き込み / ワード

ASID チェックは含まれません。

チャンネル A では、ユーザブレイクは、メモリ空間のアドレス H'01000000 に対するワード読み出しで生じます。チャンネル B では、ユーザブレイクは Y メモリ空間のアドレス H'0001F000 にワード H'4567 を書き込むときに生じます。X メモリまたは Y メモリ空間は、モード指定によって変更することができます。

(3) DMAC データアクセスサイクルに指定されたブレイク条件

レジスタ指定：

BARA=H'00314156、BAMRA=H'00000000、BBRA=H'0094、BARB=H'00055555、BAMRB=H'00000000、BBRB=H'00A9、BDRB=H'00000078、BDMRB=H'0000000F、BRCR=H'00000080、BASRA=H'80、BASRB=H'70

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00314156、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：DMAC / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス：H'00055555、アドレスマスク：H'00000000、ASID：H'70

データ：H'00000078、データマスク：H'0000000F

バスサイクル：DMAC / データアクセス / 書き込み / バイト

チャンネル A では、命令フェッチは DMAC サイクルで実行されないためユーザブレイクは生じません。チャンネル B では、ユーザブレイクは ASID=H'70 で DMAC がバイト H'7* をアドレス H'00055555 に書き込むときに生じます。

8.3.9 注意事項

- (1) CPU のみ UBC のレジスタの読み出し／書き込みが可能です。
- (2) UBC は CPU と DMAC アクセスを同じチャネルで監視することはできません。
- (3) シーケンシャルブレイクの指定についての注意事項は次のとおりです。
 - (a) シーケンシャルブレイクの設定時、A チャネル一致が発生後、B チャネル一致が発生するとき条件一致が発生します。したがって、チャネル A 一致とチャネル B 一致が同時に発生するバスサイクルが設定されてもブレイクは発生しません。
 - (b) CPU はパイプライン構造なので、命令フェッチサイクルとメモリサイクルの順序はパイプラインによって決定されます。したがって、バスサイクルの順序においてチャネル条件が一致すると、シーケンシャル条件が満たされます。
 - (c) チャネル A のバスサイクル条件が、実行前のブレイク (BRCR の PCBA=0) および (BBRA により) 命令フェッチとして指定される時以下の注意が必要です。チャネル A とチャネル B に対応するバスサイクル条件が一致するとき、ブレイクが発行され BRCR の条件一致フラグが 1 にセットされます。
- (4) UBC レジスタの値は、MA (メモリアクセス) 段階で変更されます。したがって、命令実行前ブレイクがブレイク条件として指定される命令に続く命令フェッチアドレスでブレイク条件が一致しても、ブレイクは発生しません。UBC レジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は新しく書き込んだレジスタ値に対して有効です。
- (5) ブレイク条件として、リピート命令を含む繰り返し実行中の命令を指定する際には、次のことに注意してください。繰り返しループ中の命令がブレイク条件として指定される場合、
 - (a) 3 命令未満からなる繰り返しループの実行中には、ブレイクは発生しません。
 - (b) 実行回数ブレイクがセットされる時、メモリからの命令フェッチは 3 命令以下からなる繰り返しループの実行中には発生しません。したがって、実行回数レジスタ BETR の値は減少しません。
- (6) PC トレースレジスタ BRSR および BRDR を読み出した直後に分岐命令を実行しないでください。
- (7) PC ブレイクおよび TLB 例外またはエラーが同じ命令で発生した場合、優先順位は次のとおりです。
 - (a) ブレイクおよび命令フェッチ例外：命令フェッチ例外が最初に発生します。
 - (b) 実行前のブレイクおよびオペランド例外：実行前のブレイクが最初に発生します。
 - (c) 実行後のブレイクおよびオペランド例外：オペランド例外が最初に発生します。

9. 低消費電力モード

9.1 概要

低消費電力モードでは、内蔵周辺モジュールの一部と CPU が機能を停止します。これによって、消費電力を低減させることができます。

9.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

- (1) スリープモード
- (2) スタンバイモード
- (3) モジュールスタンバイ機能 (TMU、RTC、SCI、X/Y メモリ、UBC、DMAC、DAC、ADC、SCIF、および IrDA の内蔵周辺モジュール)
- (4) ハードウェアスタンバイモード

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 9.1 に示します。

表 9.1 低消費電力モードの状態

低消費電力モード	遷移状態	状態							解除方法
		CPG	CPU	CPU レジスタ	内蔵メモリ	内蔵周辺モジュール	端子	外部メモリ	
スリープモード	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	保持	動作	保持	リフレッシュ	(1) 割り込み (2) リセット
スタンバイモード	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止	保持	保持	停止*1	保持	セルフリフレッシュ	(1) 割り込み (2) リセット
モジュールスタンバイ機能	STBCR の MSTP ビットを 1 とする	動作	動作／停止	保持	保持	指定モジュールが停止	*2	リフレッシュ	(1) MSTP ビットを 0 にクリア (2) リセット
ハードウェアスタンバイモード	CA 端子をローレベルにする。	停止	停止	保持	保持	停止*3	保持	セルフリフレッシュ	パワーオンリセット

9. 低消費電力モード

- 【注】 *1 RTC は、RCR2 の START ビットが 1 のとき動作します（「第 14 章 リアルタイムクロック（RTC）」参照）。
TMU は、カウンタ入カクロックに RTC の出カクロックを選択した場合、カウンタ動作をします（「第 13 章 タイマ（TMU）」参照）。
- *2 内蔵周辺モジュールにより異なります。
TMU 外部端子：保持
SCI 外部端子：リセット
- *3 RTC は、RCR2 の START ビットが 1 のとき動作します。
TMU は動作しません。

9.1.2 端子構成

低消費電力モード関連の端子構成を表 9.2 に示します。

表 9.2 端子構成

端子名	略称	入出力	機能
処理状態 1	STATUS1	出力	プロセッサの動作状態を表します。
処理状態 0	STATUS0		HH：リセット HL：スリープモード LH：スタンバイモード LL：通常動作
スタンバイモードからのウェイクアップ	WAKEUP	出力	スタンバイモード時に割り込みを受け付けた後から、WDT オーバフローによって通常処理に戻るまでの間、ローアクティブをアサートします。

【注】 H はハイレベルを、L はローレベルを表します。

9.1.3 レジスタ構成

低消費電力モード関連のレジスタ構成を表 9.3 に示します。

表 9.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'00*	H'FFFFFF82	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'00*	H'FFFFFF88	8

【注】 * パワーオンリセット時に初期化されます。マニュアルリセットでは初期化されずに内容が保持されます。

9.2 レジスタの説明

9.2.1 スタンバイコントロールレジスタ (STBCR)

スタンバイコントロールレジスタ (STBCR) は、低消費電力モードの状態を指定します。STBCR レジスタは、読み出し/書き込み可能な 8 ビットのレジスタです。パワーオンリセット時は H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	STBY	—	—	STBXTL	—	MSTP2	MSTP1	MSTP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R	R/W	R/W	R/W

- ビット 7: スタンバイ (STBY)

スタンバイモードへの遷移を指定します。

ビット 7	説明
STBY	
0	SLEEP 命令の実行で、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行で、スタンバイモードへ遷移

- ビット 6、5、3: 予約ビット

読みだすと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 4: スタンバイクリスタル (STBXTL)

スタンバイモード時の水晶発振器の停止/発振を指定します。

ビット 4	説明
STBXTL	
0	スタンバイ状態で、水晶発振器の発振が停止します (初期値)
1	スタンバイ状態でも、水晶発振器は発振継続します

- ビット 2: モジュールストップ 2 (MSTP2)

内蔵周辺モジュールのうち、タイマユニット (TMU) へのクロック供給の停止を指定します。

MSTP2 ビットに 1 をセットすると TMU へのクロック供給を停止します。

ビット 2	説明
MSTP2	
0	TMU は動作 (初期値)
1	TMU へのクロックの供給を停止

9. 低消費電力モード

- ビット1：モジュールストップ1 (MSTP1)

内蔵周辺モジュールのうち、リアルタイムクロック (RTC) へのクロック供給の停止を指定します。

MSTP1 ビットに1をセットすると RTC へのクロック供給を停止します。クロック供給が停止されると RTC の各レジスタのアクセスはできなくなりますが、カウンタは動作を続けます。

ビット1	説 明	
MSTP1		
0	RTC は動作	(初期値)
1	RTC へのクロックの供給を停止	

RTC をモジュールスタンバイにする際は、RTC、SCI、TMU のレジスタのどれか1つ以上にアクセスした後、RTC をモジュールスタンバイにしてください。

- ビット0：モジュールストップ0 (MSTP0)

内蔵周辺モジュールのうち、シリアルコミュニケーションインタフェース (SCI) へのクロック供給の停止を指定します。

MSTP0 ビットに1をセットすると SCI へのクロック供給を停止します。

ビット0	説 明	
MSTP0		
0	SCI は動作 (初期値)	
1	SCI へのクロックの供給を停止	

9.2.2 スタンバイコントロールレジスタ2 (STBCR2)

スタンバイコントロールレジスタ2 (STBCR2) は、読み出し/書き込み可能な8ビットのレジスタで、スリープモード時の各周辺モジュールの動作を制御します。STBCR2 は、パワーオンリセット時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	MSTP9	MDCHG	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット7：モジュールストップ9 (MSTP9)

内蔵周期モジュールのうち、X/Y メモリへのクロック供給の停止を指定します。MSTP9 ビットが1のとき、X/Y メモリへのクロック状態を停止します。

ビット9	説 明	
MSTP9		
0	X/Y メモリは動作	(初期値)
1	X/Y メモリへのクロック供給を停止	

- ビット 6 : MD5～MD0 端子制御

スタンバイモード中に MD5～MD0 端子を切り替えるかどうかを設定します。本ビットを 1 に設定した場合、スタンバイモードからリセットまたは割り込みで復帰する際に MD5～MD0 端子の値を取り込みます。

ビット 6	説 明
MDCHG	
0	スタンバイモード中に MD5～MD0 端子の切り替えを行わない (初期値)
1	スタンバイモード中に MD5～MD0 端子の切り替えを行う

- ビット 5 : モジュールストップ 8 (MSTP8)

内蔵周辺モジュールのうち、ユーザブレイクコントローラ (UBC) へのクロック供給の停止を指定します。MSTP8 ビットが 1 のとき、UBC へのクロック供給を停止します。

ビット 5	説 明
MSTP8	
0	UBC は動作 (初期値)
1	UBC へのクロックの供給を停止

- ビット 4 : モジュールストップ 7 (MSTP7)

内蔵周辺モジュールのうち、ダイレクトメモリアクセスコントローラ (DMAC) へのクロック供給の停止を指定します。MSTP7 ビットが 1 のとき、DMAC へのクロック供給を停止します。

ビット 4	説 明
MSTP7	
0	DMAC は動作 (初期値)
1	DMAC へのクロック供給を停止

- ビット 3 : モジュールストップ 6 (MSTP6)

内蔵周辺モジュールのうち、D/A 変換器 (DAC) へのクロック供給の停止を指定します。MSTP6 ビットが 1 のとき、DAC へのクロック供給を停止します。

ビット 3	説 明
MSTP6	
0	DAC は動作 (初期値)
1	DAC へのクロックの供給を停止

9. 低消費電力モード

- ビット2：モジュールストップ5（MSTP5）

内蔵周辺モジュールのうち、A/D変換器（ADC）へのクロック供給の停止を指定します。MSTP5ビットが1のとき、ADCへのクロック供給を停止するとともに、全レジスタが初期化されます。

ビット2	説明
MSTP5	
0	ADCは動作 （初期値）
1	ADCへのクロックの供給を停止し、全レジスタを初期化

- ビット1：モジュールストップ4（MSTP4）

内蔵周辺モジュールのうち、FIFO付きシリアルコミュニケーションインタフェースSCI2（SCIF）へのクロック供給の停止を指定します。MSTP4ビットが1のとき、SCI2（SCIF）へのクロック供給を停止します。

ビット1	説明
MSTP4	
0	SCI2（SCIF）は動作 （初期値）
1	SCI2（SCIF）へのクロックの供給を停止

- ビット0：モジュールストップ3（MSTP3）

内蔵周辺モジュールのうち、FIFO付き赤外線データアソシエーションインタフェースSCI1（IrDA）へのクロック供給の停止を指定します。MSTP3ビットが1のとき、SCI1（IrDA）へのクロック供給を停止します。

ビット0	説明
MSTP3	
0	SCI1（IrDA）は動作 （初期値）
1	SCI1（IrDA）へのクロックの供給を停止

9.3 スリープモード

9.3.1 スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO、CKIO2 端子にはクロックが出力され続けます。

スリープモードでは、STATUS1 端子に High レベルが、STATUS0 端子に Low レベルが出力されます。

クロック比 $I\phi$ (内部クロック) : $B\phi$ (バスクロック) = 1 : 1 以外の条件でスリープモードを使用する場合は、スリープ中に DMAC 転送を行わないでください。

9.3.2 スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、IRL、内蔵周辺、PINT)、リセットにより、解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けますので、必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

(1) 割り込みによる解除

NMI、IRQ、IRL、内蔵周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT および INTEVT2 レジスタには、割り込み要因に対応したコードがセットされます。

(2) リセットによる解除

パワーオンリセット、マニュアルリセットにより、スリープモードは解除されます。

9.4 スタンバイモード

9.4.1 スタンバイモードへの遷移

STBCR レジスタの STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からスタンバイモードに遷移します。スタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO、CKIO2 端子からのクロック出力も停止します。

CPU、キャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。スタンバイモード時の周辺モジュールのレジスタの状態を表 9.4 に示します。

9. 低消費電力モード

表 9.4 スタンバイモード時のレジスタの状態

モジュール	初期化レジスタ	内容が保持されるレジスタ
割り込みコントローラ (INTC)	—	全レジスタ
内蔵発振回路 (OSC)	—	全レジスタ
ブレークコントローラ (UBC)	—	全レジスタ
バスステートコントローラ (BSC)	—	全レジスタ
タイユニット (TMU)	TSTR レジスタ	TSTR 以外のレジスタ
リアルタイムクロック (RTC)	—	全レジスタ
A/D 変換器 (ADC)	全レジスタ	—
D/A 変換器 (DAC)	—	全レジスタ

スタンバイモードへ遷移する手順を以下に示します。

- (1) WDT のタイマコントロールレジスタ (WTCSR) の TME ビットを 0 にし、WDT を停止させます。
WDT のタイマカウンタ (WTCNT) に 0 をセットし、WTCSR レジスタの CKS2~0 ビットに、指定された発振安定時間になるように、値を設定します。
- (2) STBCR レジスタの STBY ビットに 1 を設定した後、SLEEP 命令を実行させます。
- (3) スタンバイモードに入り、LSI 内部のクロックが停止すると、STATUS1 端子からローレベル、STATUS0 端子からハイレベルが出力されます。

9.4.2 スタンバイモードの解除

スタンバイモードは、割り込み (NMI、IRQ、IRL、内蔵周辺、PINT)、リセットにより、解除されます。

(1) 割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRQ、IRL、PINT*¹、内蔵周辺 (インターバルタイマを除く) *²の各割り込みが検出されると、WDT のタイマコントロール/ステータスレジスタに設定されている時間が経過した後、LSI 全体にクロックが供給され、スタンバイモードが解除されて、STATUS1、STATUS0 端子がどちらも Low レベルになります。この後割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT と INTEVT2 に設定されます。割り込み処理ルーチンに分岐後、STBCR レジスタの STBY ビットをクリアしてください。WTCNT は自動的に停止します。STBY ビットをクリアしないと、WTCNT は動作を継続し、H'80 に達した時点でスタンバイモード*³に遷移してしまいます。この機能により、電源不安定時などの電圧上昇によるデータ破壊を防止できます。またスタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

割り込み検出直後から、スタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。割り込み要求レベル (IRQ、IRL、内蔵周辺) が、SR レジスタの I3~I0 ビットによる割り込みマスクレベルより高いことがスタンバイモード解除の条件となります。

【注】 *¹ RTC 使用時のみ、IRL3~IRL0、IRQ4~IRQ0、PINT0/1 でスタンバイモードを解除できます。

*² RTC、TMU (RTC のクロックにより動作している場合のみ) の割り込みでスタンバイモードの解除ができます。

*³ このスタンバイモードは、パワーオンリセットでのみ解除可能です。

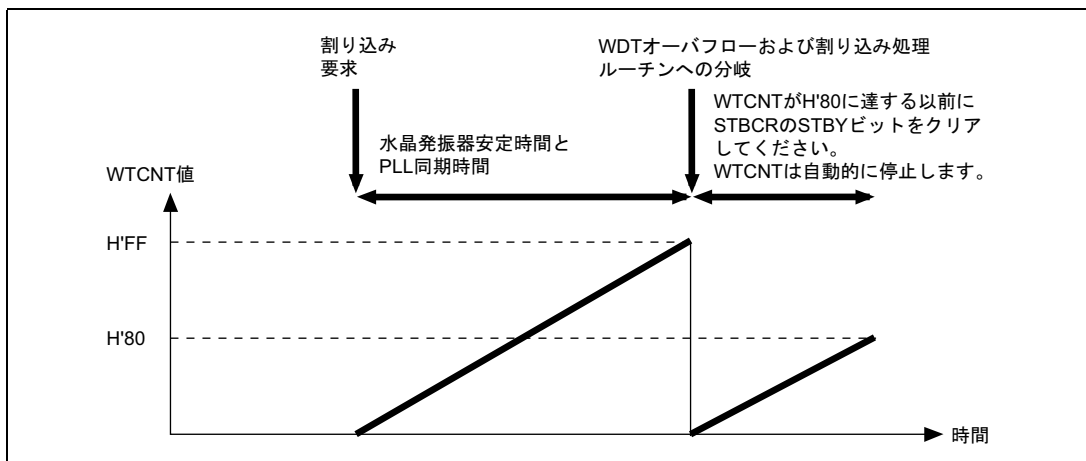


図 9.1 STBCR の STBY ビットとスタンバイモードの解除

(2) リセットによる解除

リセット（パワーオン、マニュアル）により、スタンバイモードは解除されます。

RESET 端子は、クロックの発振が安定するまで、ローレベルを保持してください。

CKIO、CKIO2 端子には、内部のクロックが出力され続けます。

9.4.3 クロックポーズ機能

スタンバイモードでは、EXTAL 端子または CKIO 端子から入力するクロックを停止したり、周波数を変更したりすることができます。この機能は、次のようにして使用します。

- (1) スタンバイモードへの遷移の手順でスタンバイモードに遷移させます。
- (2) スタンバイモードに入り、LSI 内部のクロックが停止すると、STATUS1 端子からローレベル、STATUS0 端子からハイレベルが出力されます。
- (3) STATUS1 端子がローレベル、STATUS0 端子がハイレベルになってから、入力クロックの停止、または周波数の変更を行います。
- (4) 周波数変更の場合、変更後に NMI、IRL、IRQ、PINT または内蔵周辺割り込み（ただしインターバルタイマ割り込みを除く）を入れます。クロック停止の場合、クロックの印加後に同様の割り込みを入れます。
- (5) WDT で設定した時間後に LSI 内部にクロックが印加され始め、STATUS1、STATUS0 端子がどちらもローレベルになって割り込み例外処理から動作を再開します。

9.5 モジュールスタンバイ機能

9.5.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの MSTP9～MSTP0 ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープ時の消費電力を低減させることができます。

モジュールスタンバイ状態では、内蔵周辺モジュールの外部端子は、内蔵周辺モジュールにより異なります。TMU の外部端子は、停止前の状態を保持します。SCI の外部端子は、リセット状態になります。レジスタは一部を除いて停止前の状態を保持します。

ビット		説明
MSTP9	0	X/Y メモリは動作
	1	X/Y メモリへ供給されるクロックは停止
MSTP8	0	UBC は動作
	1	UBC へ供給されるクロックは停止
MSTP7	0	DMAC は動作
	1	DMAC へ供給されるクロックは停止
MSTP6	0	DAC は動作します。
	1	DAC へ供給されるクロックは停止
MSTP5	0	ADC は動作
	1	ADC へ供給されるクロックは停止し、全レジスタを初期化
MSTP4	0	SCIF は動作
	1	SCIF へ供給されるクロックは停止
MSTP3	0	IrDA は動作
	1	IrDA へ供給されるクロックは停止
MSTP2	0	TMU は動作
	1	TMU へ供給されるクロックが停止 ^{*1}
MSTP1	0	RTC は動作
	1	RTC へ供給されるクロックが停止し、レジスタアクセスが禁止 ^{*2*}
MSTP0	0	SCI は動作
	1	SCI へ供給されるクロックが停止

【注】 *1 初期化されたレジスタはスタンバイモードのレジスタと同じです（表 9.4 を参照）。

*2 カウンタは動作します。

*3 RTC をモジュールスタンバイにする際は、RTC、SCI、TMU のレジスタのどれか 1 つ以上にアクセスした後、RTC をモジュールスタンバイにしてください。

9.5.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、MSTP9～MSTP0 ビットを0にクリアするか、パワーオンリセット、またはマニュアルリセットにより行います。

9.6 STATUS 端子の変化タイミング

STATUS1、STATUS0 端子の変化タイミングを示します。

9.6.1 リセットの場合

(1) パワーオンリセット

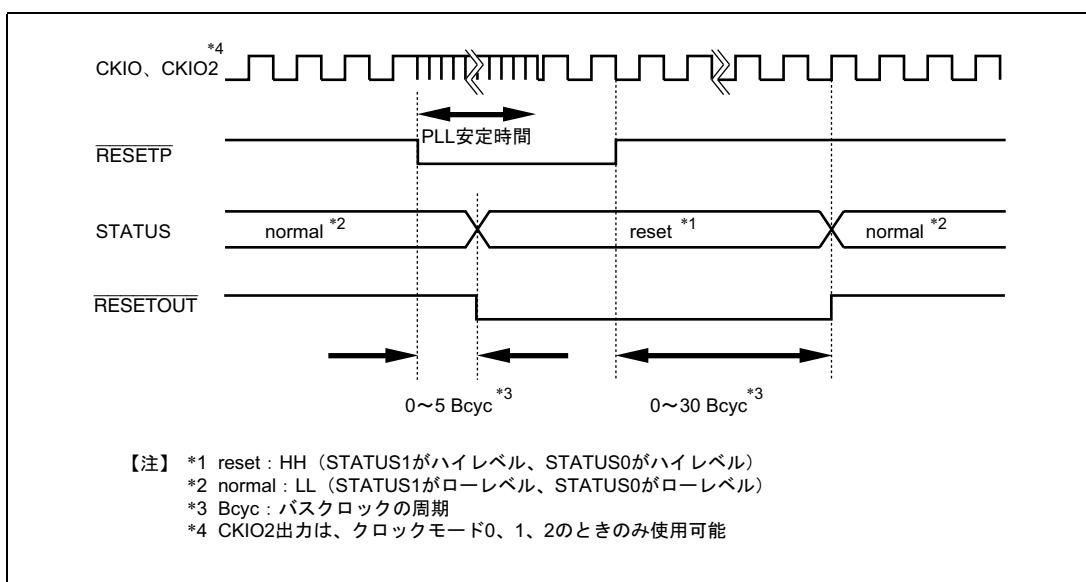


図 9.2 パワーオンリセットの STATUS 出力

9. 低消費電力モード

(2) マニュアルリセット

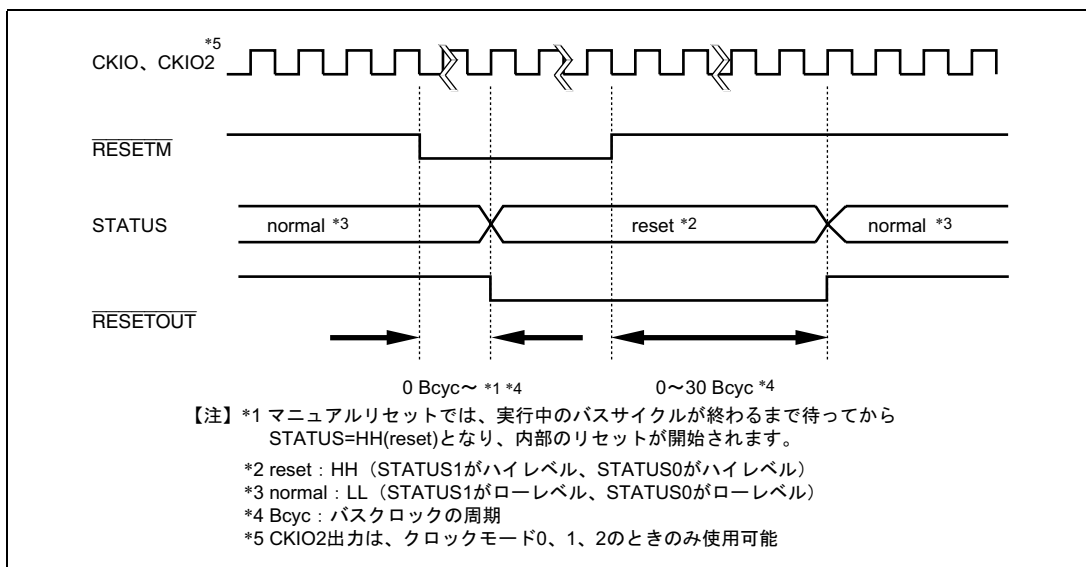


図 9.3 マニュアルリセットの STATUS 出力

9.6.2 スタンバイ解除の場合

(1) スタンバイ→割り込み

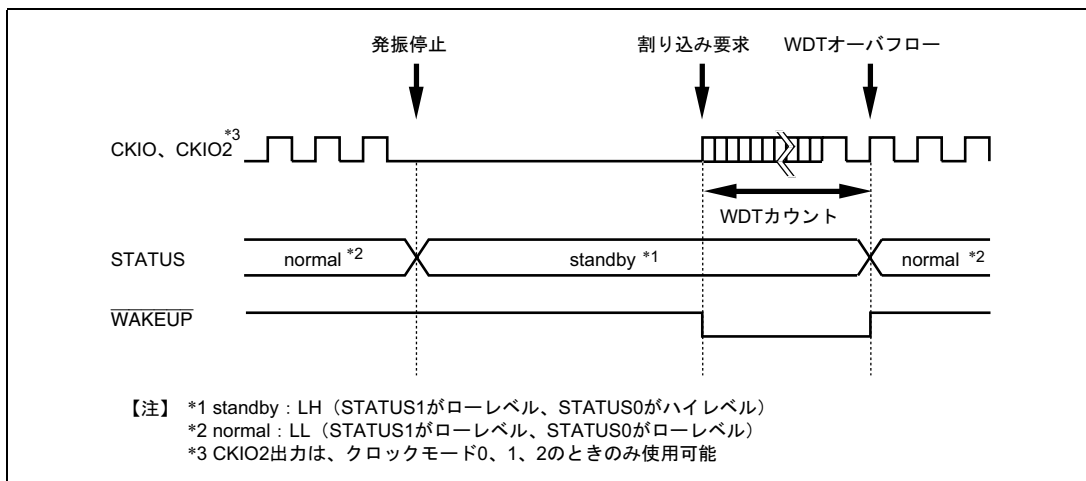


図 9.4 スタンバイ→割り込みの STATUS 出力

(2) スタンバイ→パワーオンリセット

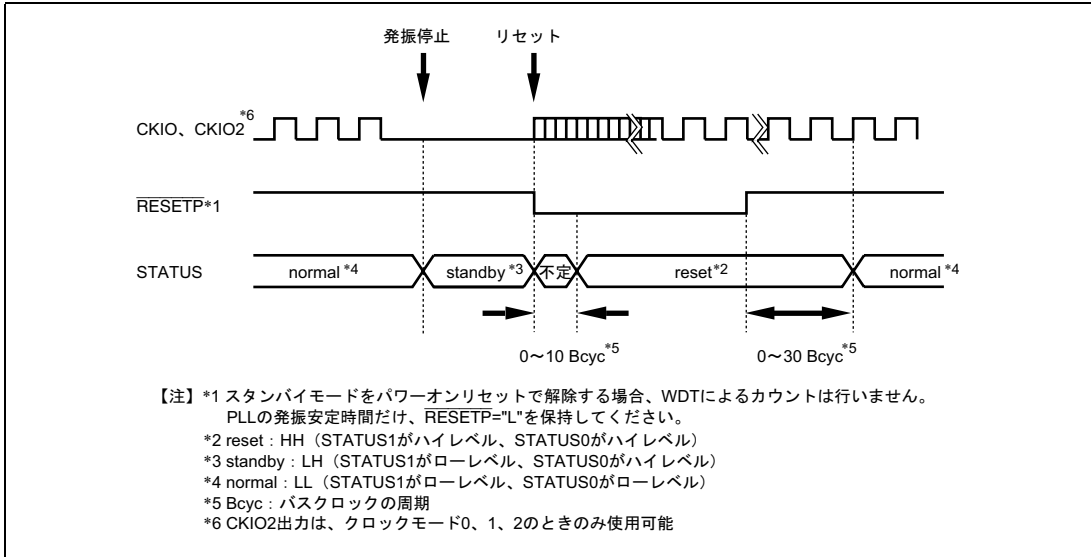


図 9.5 スタンバイ→パワーオンリセットの STATUS 出力

(3) スタンバイ→マニュアルリセット

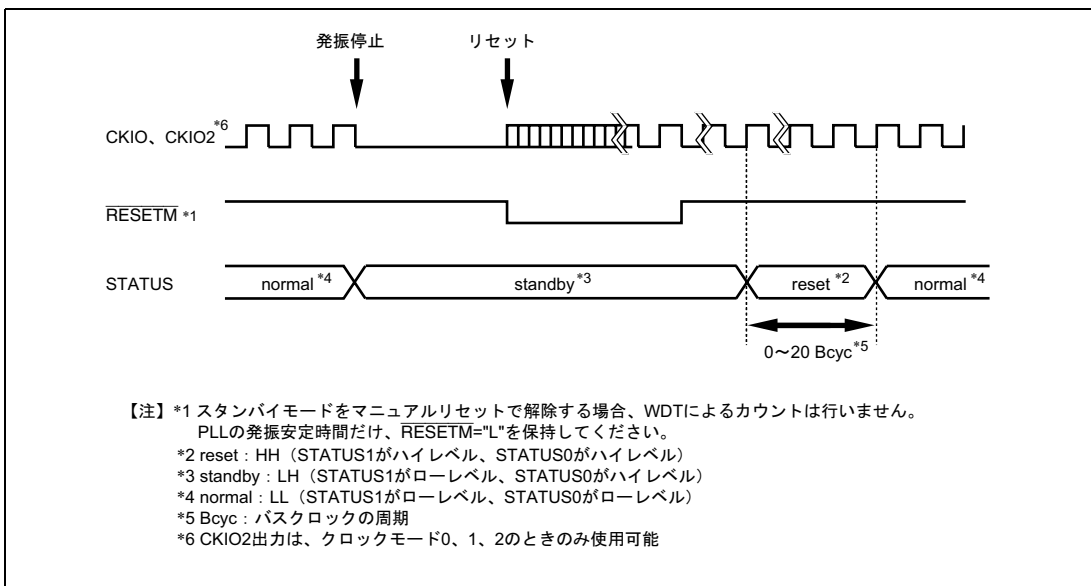


図 9.6 スタンバイ→マニュアルリセットの STATUS 出力

9. 低消費電力モード

9.6.3 スリープ解除の場合

(1) スリープ→割り込み

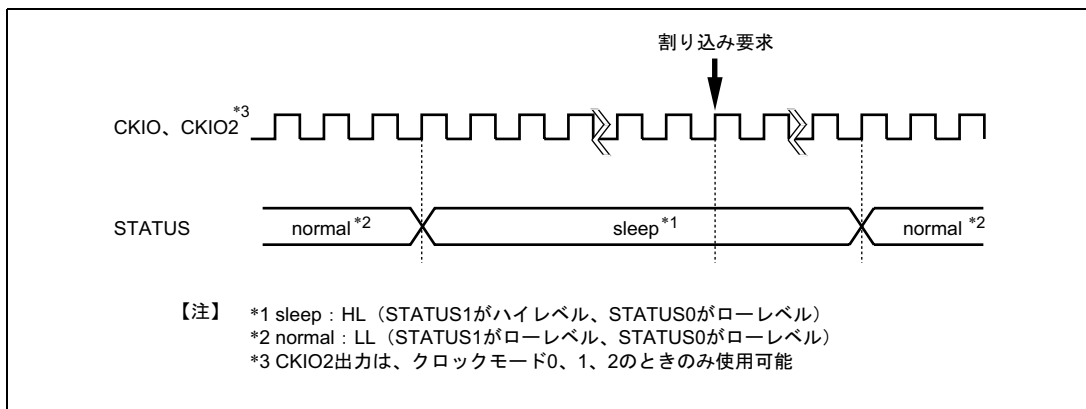


図 9.7 スリープ→割り込みの STATUS 出力

(2) スリープ→パワーオンリセット

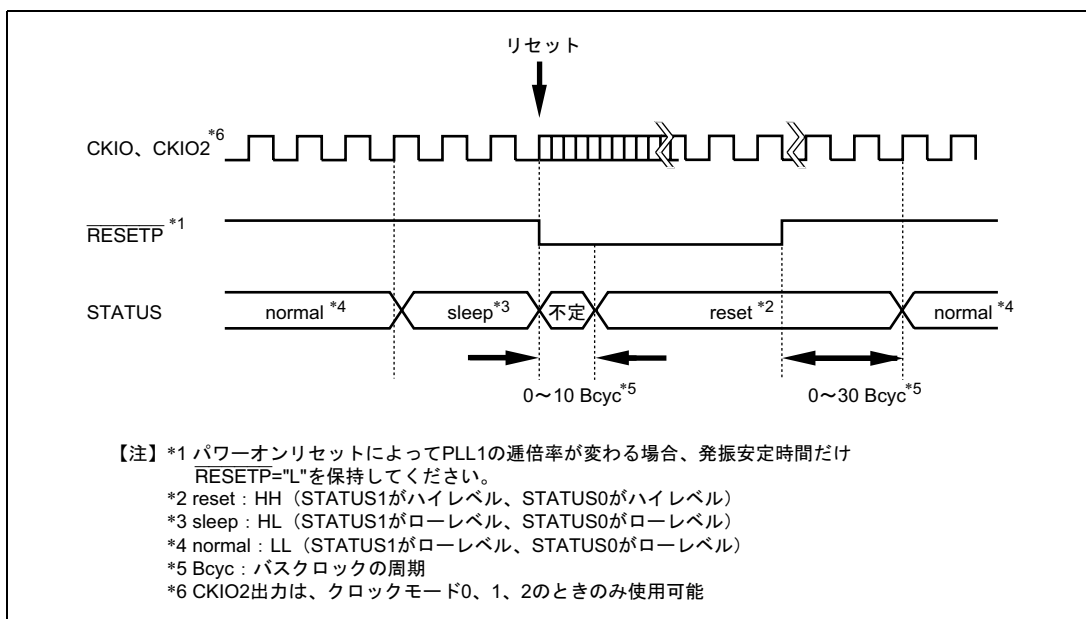


図 9.8 スリープ→パワーオンリセットの STATUS 出力

(3) スリープ→マニュアルリセット

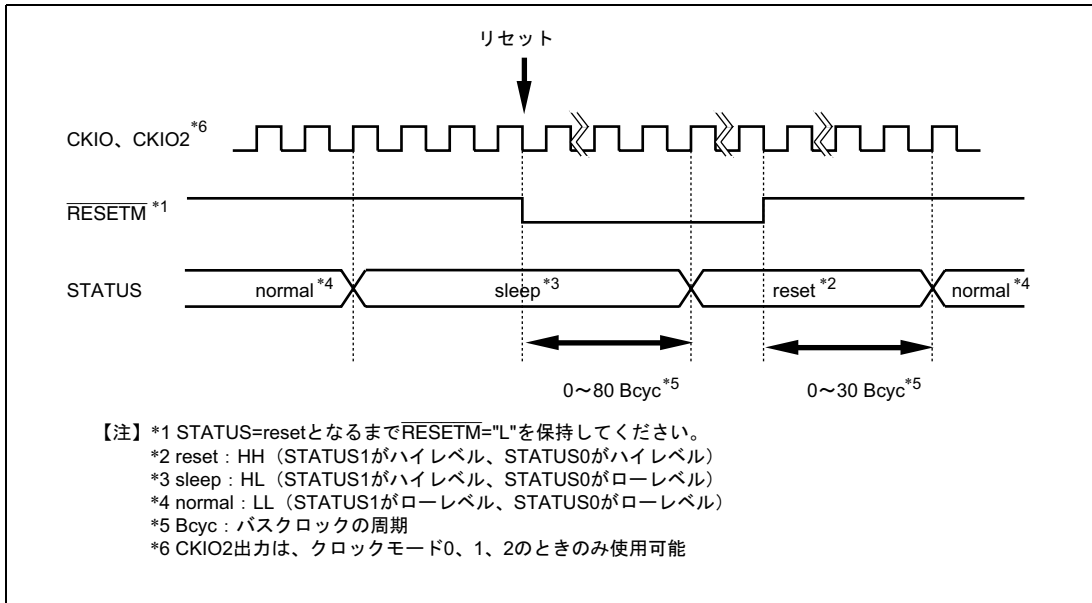


図 9.9 スリープ→マニュアルリセットの STATUS 出力

9.7 ハードウェアスタンバイモード

9.7.1 ハードウェアスタンバイモードへの遷移

CA 端子をローレベルに設定することにより、ハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードでは、SLEEP 命令によって遷移するスタンバイモードと同様に、RTC クロックで動作するモジュール以外のすべてのモジュールが停止します。

ハードウェアスタンバイモードは、スタンバイモードと以下の点で異なります。

- (1) 割り込み、マニュアルリセットを受け付けません。
- (2) TMU は動作しません。

CA 端子にローレベルが入力されたときの動作は、CPG の状態によって次のようになります。

- (1) スタンバイモード中

クロックは停止したまま、ハードウェアスタンバイ状態になります。

割り込み／マニュアルリセットの受け付けが禁止され、TCLK 出力がローレベルに固定され、TMU が動作を停止します。

9. 低消費電力モード

(2) スタンバイモードを割り込みで解除する際の WDT 動作中

いったんスタンバイモードが解除されて CPU が動作を再開した後、ハードウェアスタンバイモードになります。

(3) スリープモード中

いったんスリープモードが解除されて CPU が動作を再開した後、ハードウェアスタンバイモードになります。

なお、ハードウェアスタンバイモード中は、CA 端子をローレベルに保ってください。

9.7.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードは、パワーオンリセットでのみ解除できます。

$\overline{\text{RESETP}}$ 端子をローレベルにした状態で、CA 端子をハイレベルにすると、クロックが発振を開始します。このとき、 $\overline{\text{RESETP}}$ 端子はクロックが発振が安定するまでローレベルを保持してください。この後 $\overline{\text{RESETP}}$ 端子をハイレベルにすると、CPU がパワーオンリセット処理を開始します。

割り込みやマニュアルリセットを入れた場合の動作は保証しません。

9.7.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 9.10、図 9.11 に示します。

CA 端子は EXTAL2 (32.768kHz) でサンプリングされており、このクロックで 2 サイクル間続けてローレベルになったとき初めてハードウェアスタンバイ要求が検出されます。

CA 端子のローレベルは、ハードウェアスタンバイモード中は必ず保持してください。

$\overline{\text{RESETP}}$ 端子をローレベルにした後、CA 端子をハイレベルにした時点でクロックが発振を開始します。

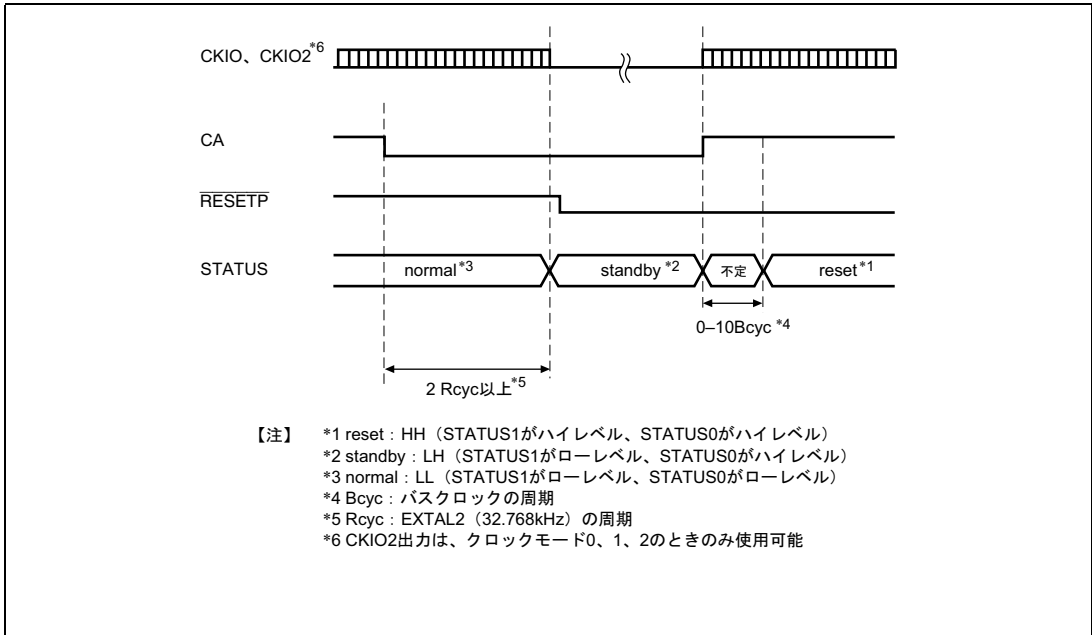


図 9.10 ハードウェアスタンバイモードのタイミング
(通常動作時に CA=ローレベルとなる場合)

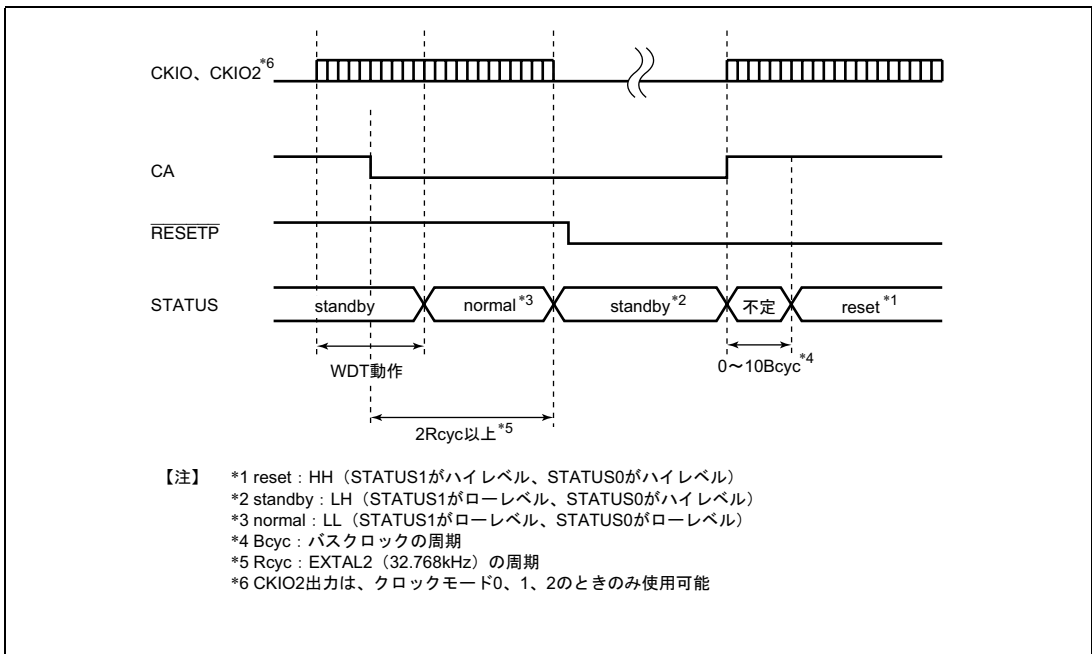


図 9.11 ハードウェアスタンバイモードのタイミング
(スタンバイモード解除での WDT 動作中に CA=ローレベルとなる場合)

10. 内蔵発振回路（CPG）

10.1 概要

内蔵発振回路は、クロックパルスジェネレータ（CPG）部と、ウォッチドッグタイマ（WDT）部より構成されます。

CPGは、プロセッサ内部に供給するクロックの生成と低消費電力モードの制御を行います。

WDTは1チャンネルのタイマであり、スタンバイモードや、周波数変更時の一時的なスタンバイ状態の解除の際に、クロック安定時間のカウント用に使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

10.1.1 特長

CPGには、次の特長があります。

- 4種類のクロックモード

使用する周波数範囲、消費電力、水晶直付けか外部クロック入力かによって、4種類のクロックモードから選択できます。

- 3種類のクロック

CPU、キャッシュ、TLBで使用する内部クロック（I ϕ ）と、周辺モジュールで使用する周辺クロック（P ϕ ）、さらに外部バスインタフェースで使用するバスクロック（CKIO）を独立に生成できます。

- 周波数変更機能

CPG内部のPLL（Phase Locked Loop）回路や分周回路により、内部クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ（FRQCR）の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、スタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。

WDTには、次の特長があります。

- クロック安定時間の確保に使用可能

スタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。

10. 内蔵発振回路 (CPG)

- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、内部リセットを発生
カウンタオーバーフローにより、内部をリセットします。
リセットの種類として、パワーオンリセットとマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウント入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($\times 1 \sim \times 1/4096$) から選択できます。

10.2 CPG の概要

10.2.1 CPG のブロック図

CPG のブロック図を図 10.1 に示します。

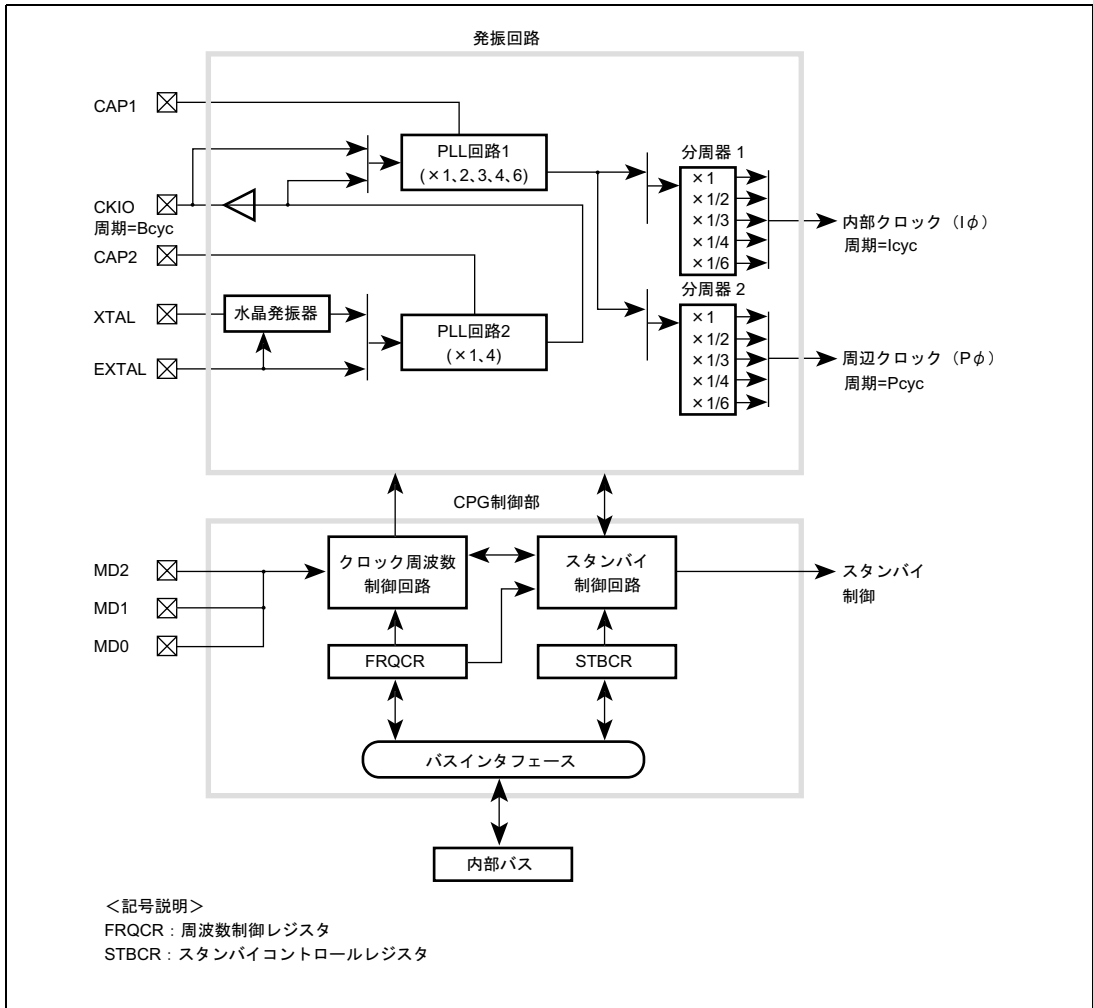


図 10.1 CPG のブロック図

10. 内蔵発振回路 (CPG)

CPG の各ブロックは次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、CKIO 端子からのクロック周波数を 1 倍、2 倍、3 倍、4 倍、または 6 倍に通倍する機能を持ちます。通倍率は周波数制御レジスタで設定します。このとき、内部クロックの立ち上がりエッジの位相は CKIO 端子の立ち上がりエッジの位相に一致するように制御されます。

(2) PLL 回路 2

PLL 回路 2 は、水晶発振器、または EXTAL 端子からの入力クロック周波数を 1 倍または 4 倍に通倍する機能を持ちます。通倍率はクロック動作モードにより固定されます。クロック動作モードは MD0、MD1、MD2 端子で設定します。クロック動作モードについては、表 10.3 を参照してください。

(3) 水晶発振器

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。水晶発振器はクロック動作モードの設定により使用可能となります。

(4) 分周器 1

分周器 1 は、内部クロック ($I\phi$) を生成する機能を持ちます。内部クロック ($I\phi$) の動作周波数は、PLL 回路 1 の出力周波数に対して、CKIO 端子のクロック周波数より低くならない範囲で、1 倍、1/2、1/3、1/4、1/6 の選択が可能です。分周率は、周波数制御レジスタで設定します。

(5) 分周器 2

分周器 2 は、周辺クロック ($P\phi$) を生成する機能を持ちます。周辺クロック ($P\phi$) の動作周波数は、PLL 回路 1 の出力周波数、または、CKIO 端子のクロック周波数に対して、CKIO 端子のクロック周波数より高くない範囲で、1 倍、1/2、1/3、1/4、1/6 の選択が可能です。分周率は、周波数制御レジスタで設定します。

(6) クロック周波数制御回路

クロック周波数制御回路は、MD 端子、周波数制御レジスタによりクロック周波数を制御します。

(7) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時やスリープ/スタンバイモード時の内蔵発振回路および他のモジュールの状態を制御します。

(8) 周波数制御レジスタ

周波数制御レジスタには、CKIO 端子からのクロック出力の有無、PLL 回路 1 の ON/OFF、PLL スタンバイ、PLL 回路 1 の周波数通倍率、内部クロック、周辺クロックの周波数分周率の各制御ビットが割り当てられています。

(9) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 9 章 低消費電力モード」を参照してください。

10.2.2 CPG の端子構成

CPG の端子構成と機能を表 10.1 に示します。

表 10.1 発振回路の端子構成と機能

名称	略称	入出力	機能
モード制御端子	MD0	入力	クロック動作モードを設定します
	MD1	入力	クロック動作モードを設定します
	MD2	入力	クロック動作モードを設定します
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します
	EXTAL	入力	水晶発振子を接続します または外部クロック入力端子として使用します
クロック入出力端子	CKIO	入出力	外部クロック入力、または外部クロック出力端子として使用します
PLL 用容量接続端子	CAP1	入力	PLL 回路 1 動作用の容量 (推奨値 470pF) を接続します
	CAP2	入力	PLL 回路 2 動作用の容量 (推奨値 470pF) を接続します

10.2.3 CPG のレジスタ構成

CPG のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
周波数制御レジスタ	FRQCR	R/W	H'0102	H'FFFFFF80	16

10.3 クロック動作モード

モード制御端子 (MD2~MD0) の組み合わせとクロック動作モードの関係を表 10.3 に示します。

クロック動作モードの使用可能周波数範囲と入力クロック (水晶発振子) の周波数範囲を表 10.4 に示します。

表 10.3 クロック動作モード

モード	端子組み合わせ			クロック入出力		PLL 回路 2	PLL 回路 1	分周器 1	分周器 2	CKIO の
	MD2	MD1	MD0	供給源	出力	ON/OFF	ON/OFF	の入力	の入力	周波数
0	0	0	0	EXTAL	CKIO	ON 通倍率: 1	ON	PLL 回路 1 の出力	PLL 回路 1	(EXTAL)
1	0	0	1	EXTAL	CKIO	ON 通倍率: 4	ON	PLL 回路 1 の出力	PLL 回路 1	(EXTAL) × 4
2	0	1	0	水晶 発振子	CKIO	ON 通倍率: 4	ON	PLL 回路 1 の出力	PLL 回路 1	(水晶) × 4
7	1	1	1	CKIO	—	OFF	ON	PLL 回路 1 の出力	PLL 回路 1	(CKIO)
—	上記以外			予約 (設定不可)						

10. 内蔵発振回路 (CPG)

- モード 0 :

EXTAL 端子から外部クロックを入力し、PLL 回路 2 で波形形成して本 LSI に供給します。PLL 回路 1 は常時 ON になっています。入力クロック周波数は 25MHz から 66.67MHz まで使用でき、CKIO の周波数レンジとしては 25MHz から 66.67MHz となります。

- モード 1 :

EXTAL 端子から外部クロックを入力し、PLL 回路 2 で周波数を 4 倍に逡倍して本 LSI 内部に供給するので、外部で生成するクロック周波数が低くて済みます。入力クロック周波数は 6.25MHz から 16.67MHz まで使用でき、CKIO の周波数レンジとしては 25MHz から 66.67MHz になります。

- モード 2 :

内蔵水晶発振器を動作させ、発振周波数を PLL 回路 2 で 4 倍に逡倍して本 LSI 内部に供給するので、使用する水晶の周波数が低くて済みます。水晶は発振周波数が 6.25MHz から 16.67MHz のものを使用でき、CKIO の周波数レンジとしては 25MHz から 66.67MHz になります。

- モード 7 :

このモードでは CKIO 端子が入力になり、この端子に外部クロックを入力して、PLL 回路 1 で波形形成および設定により周波数逡倍を行い、本 LSI に供給します。モード 0~4 ではシステムクロックは本 LSI の CKIO 端子の出力から生成されます。このためクロック周期で動作する LSI の数が多い場合、CKIO 端子の負荷が大きくなります。これに対して本モードでは、比較的規模の大きなシステムを想定しています。クロック同期で動作する LSI の数が多い場合、クロックスキューの小さい複数のクロック出力を有するクロックジェネレータを用意して各 LSI に分配することにより各 LSI が同期して動作することが可能です。

CKIO 端子の負荷の変動に対して PLL 回路 1 で補正しているため、シンクロナス DRAM を接続するのに適したモードです。

表 10.4 クロックモードと FRQCR 値の可能な組み合わせ

モード	FRQCR レジスタ値	PLL 回路1	PLL 回路2	クロック比* (I:B:P)	入力クロック/水晶発振子 周波数範囲	CKIO 端子 周波数範囲
0	H'0100	ON (×1)	ON (×1)	1:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'0101	ON (×1)	ON (×1)	1:1:1/2	25MHz~66.67MHz	25MHz~66.67MHz
	H'0102	ON (×1)	ON (×1)	1:1:1/4	25MHz~66.67MHz	25MHz~66.67MHz
	H'0111	ON (×2)	ON (×1)	2:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'0112	ON (×2)	ON (×1)	2:1:1/2	25MHz~66.67MHz	25MHz~66.67MHz
	H'0115	ON (×2)	ON (×1)	1:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'0116	ON (×2)	ON (×1)	1:1:1/2	25MHz~66.67MHz	25MHz~66.67MHz
	H'0122	ON (×4)	ON (×1)	4:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'0126	ON (×4)	ON (×1)	2:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'012A	ON (×4)	ON (×1)	1:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'A100	ON (×3)	ON (×1)	3:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'A101	ON (×3)	ON (×1)	3:1:1/2	25MHz~66.67MHz	25MHz~66.67MHz
	H'E100	ON (×3)	ON (×1)	1:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'E101	ON (×3)	ON (×1)	1:1:1/2	25MHz~66.67MHz	25MHz~66.67MHz
	H'A111	ON (×6)	ON (×1)	6:1:1	25MHz~33.34MHz	25MHz~33.34MHz
1、2	H'0100	ON (×1)	ON (×4)	4:4:4	6.25MHz~8.34MHz	25MHz~33.34MHz
	H'0101	ON (×1)	ON (×4)	4:4:2	6.25MHz~16.67MHz	25MHz~66.67MHz
	H'0102	ON (×1)	ON (×4)	4:4:1	6.25MHz~16.67MHz	25MHz~66.67MHz
	H'0111	ON (×2)	ON (×4)	8:4:4	6.25MHz~8.34MHz	25MHz~33.34MHz
	H'0112	ON (×2)	ON (×4)	8:4:2	6.25MHz~16.67MHz	25MHz~66.67MHz
	H'0115	ON (×2)	ON (×4)	4:4:4	6.25MHz~8.34MHz	25MHz~33.34MHz
	H'0116	ON (×2)	ON (×4)	4:4:2	6.25MHz~16.67MHz	25MHz~66.67MHz
	H'0122	ON (×4)	ON (×4)	16:4:4	6.25MHz~8.34MHz	25MHz~33.34MHz
	H'0126	ON (×4)	ON (×4)	8:4:4	6.25MHz~8.34MHz	25MHz~33.34MHz
	H'012A	ON (×4)	ON (×4)	4:4:4	6.25MHz~8.34MHz	25MHz~33.34MHz
	H'A100	ON (×3)	ON (×4)	12:4:4	6.25MHz~8.34MHz	25MHz~33.34MHz
	H'A101	ON (×3)	ON (×4)	12:4:2	6.25MHz~16.67MHz	25MHz~66.67MHz
	H'E100	ON (×3)	ON (×4)	4:4:4	6.25MHz~8.34MHz	25MHz~33.34MHz
	H'E101	ON (×3)	ON (×4)	4:4:2	6.25MHz~16.67MHz	25MHz~66.67MHz
	H'A111	ON (×6)	ON (×4)	24:4:4	6.25MHz~8.34MHz	25MHz~33.34MHz

10. 内蔵発振回路 (CPG)

モード	FRQCR レジスタ値	PLL回路1	PLL回路2	クロック比* (I:B:P)	入力クロック/水晶発振子 周波数範囲	CKIO 端子 周波数範囲
7	H'0100	ON (×1)	OFF	1:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'0101	ON (×1)	OFF	1:1:1/2	25MHz~66.67MHz	25MHz~66.67MHz
	H'0102	ON (×1)	OFF	1:1:1/4	25MHz~66.67MHz	25MHz~66.67MHz
	H'0111	ON (×2)	OFF	2:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'0112	ON (×2)	OFF	2:1:1/2	25MHz~66.67MHz	25MHz~66.67MHz
	H'0115	ON (×2)	OFF	1:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'0116	ON (×2)	OFF	1:1:1/2	25MHz~66.67MHz	25MHz~66.67MHz
	H'0122	ON (×4)	OFF	4:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'0126	ON (×4)	OFF	2:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'012A	ON (×4)	OFF	1:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'A100	ON (×3)	OFF	3:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'A101	ON (×3)	OFF	3:1:1/2	25MHz~66.67MHz	25MHz~66.67MHz
	H'E100	ON (×3)	OFF	1:1:1	25MHz~33.34MHz	25MHz~33.34MHz
	H'E101	ON (×3)	OFF	1:1:1/2	25MHz~66.67MHz	25MHz~66.67MHz
	H'A111	ON (×6)	OFF	6:1:1	25MHz~33.34MHz	25MHz~33.34MHz

【注】 * 入力クロックを1とする

【注意事項】

- 分周器1の入力は、PLL回路1がONのときには、PLL回路1の出力になります。
- 分周器2の入力は、PLL回路1の出力になります。
- 内部クロックの周波数 ($I\phi$) は、
PLL回路1がONのときには、CKIO端子の周波数にPLL回路1の周波数通倍率と分周器1の分周率を掛けた周波数になります。
内部クロック周波数はCKIO端子の周波数より低く設定しないでください。

4. 周辺クロックの周波数 ($P\phi$) は、

CKIO端子の周波数にPLL回路1の周波数通倍率と分周器2の分周率を掛けた周波数になります。

周辺クロック ($P\phi$) は

◎周波数 33.34MHz 以下

◎CKIO 端子の周波数以下

◎内部クロック ($I\phi$) の 1/8 以上

に設定してください。

5. PLL回路1の出力周波数は、CKIO端子の周波数にPLL回路1の通倍率を掛けた周波数になります。

6. PLL回路1の通倍率には、×1、2、3、4、6が選択できます。分周器1、2の分周率には、×1、1/2、1/3、1/4、1/6が選択できます。これらは、それぞれ周波数制御レジスタで設定します。

PLL回路2のON、OFFは、モードによって決まります。

10.4 レジスタの説明

10.4.1 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) は、PLL 回路 1 の周波数通倍率、内部クロック、周辺クロックの周波数分周率の指定ができます。FRQCR レジスタは、読み出し/書き込み可能な 16 ビットのレジスタで、ワードアクセスのみ可能です。

FRQCR レジスタは、 $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時のみ H'0102 に初期化されます。マニュアルリセット、スタンバイモード時は前の値を保持しています。

ビット:	15	14	13	12	11	10	9	8
	STC2	IFC2	PFC2	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	—	—	STC1	STC0	IFC1	IFC0	PFC1	PFC0
初期値:	0	0	0	0	0	0	1	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

10. 内蔵発振回路 (CPG)

- ビット 15、5、4：周波数通倍率 (STC)

STC は、PLL 回路 1 の周波数通倍率を指定します。

ビット 15	ビット 5	ビット 4	機 能	
STC2	STC1	STC0		
0	0	0	×1 倍	(初期値)
0	0	1	×2 倍	
1	0	0	×3 倍	
0	1	0	×4 倍	
1	0	1	×6 倍	
上位以外			予約 (設定不可)	

- ビット 14、3、2：内部クロック周波数の分周率 (IFC)

IFC は、PLL 回路 1 の出力周波数に対しての内部クロック周波数の分周率 (分周器 1) を指定します。

ビット 14	ビット 3	ビット 2	機 能	
IFC2	IFC1	IFC0		
0	0	0	×1 倍	(初期値)
0	0	1	×1/2 倍	
1	0	0	×1/3 倍	
0	1	0	×1/4 倍	
上位以外			予約 (設定不可)	

【注】 内部クロック周波数は CKIO 端子の周波数より低く設定しないでください。

- ビット 13、1、0：周辺クロック周波数の分周率 (PFC)

PFC は、PLL 回路 1 の出力周波数または CKIO 端子の周波数に対しての周辺クロック周波数の分周率 (分周器 2) を指定します。

ビット 13	ビット 1	ビット 0	機 能	
PFC2	PFC1	PFC0		
0	0	0	×1 倍	
0	0	1	×1/2 倍	
1	0	0	×1/3 倍	
0	1	0	×1/4 倍	(初期値)
1	0	1	×1/6 倍	
上位以外			予約 (設定不可)	

【注】 周辺クロック周波数は CKIO 端子の周波数より高く設定しないでください。

- ビット 12~9、7、6：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 8：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

10.5 周波数の変更方法

内部クロックおよび周辺クロックの周波数を変更するには、PLL 回路 1 の通倍率を変える方法と、分周器 1、2 の分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

10.5.1 通倍率の変更

PLL 回路 1 の通倍率を変更する場合、PLL 安定時間が必要になります。内蔵 WDT により安定時間のカウントを行います。

- (1) 初期状態では、PLL 回路 1 の通倍率は 1 になっています。
- (2) WDT に、指定された発振安定時間になるように値をセットし、WDT を停止させます。次の設定が必要です。
WTCNR レジスタ TME ビット=0： WDT の停止
WTCNR レジスタ CKS2~CKS0 ビット： WDT カウントクロックの分周率
WTCNT カウンタ： カウンタの初期値
- (3) STC2~0 を目的とする値に設定します。同時に IFC2~IFC0、PFC2~PFC0 ビットに分周率を設定することも可能です。
- (4) プロセッサ内部は一時的に停止し、WDT のカウントアップを開始します。内部クロックと周辺クロックが停止します。ただし、WDT に供給される周辺クロックは停止しません。
- (5) WDT のカウントオーバーフローで設定されたクロックが供給され始め、プロセッサは動作を再開します。WDT はオーバーフロー後、停止します。

10.5.2 分周率の変更

同時に通倍率の変更を行わない場合、WDT によるカウントは行いません。

- (1) 初期状態では、IFC2~IFC0=000、PFC2~PFC0=010 になっています。
- (2) IFC2~IFC0、PFC2~PFC0 ビットを目的とする値に設定します。クロックモードや PLL 回路 1 の通倍率との関係で設定可能な値は限られます。誤った値を設定するとプロセッサは誤動作するので注意してください。
- (3) 直ちに設定されたクロックに切り替わります。

10. 内蔵発振回路 (CPG)

10.5.3 周波数変更時の注意事項

次の3条件をすべて満たす場合は、DMAC 転送中に FRQCR を変更しないでください。

- IFC2～IFC0ビットを変更
- STC2～STC0ビットは変更しない
- 変更後のクロック比が $I\phi : B\phi = 1 : 1$ 以外

10.6 WDT の概要

10.6.1 WDT のブロック図

WDT のブロック図を図 10.2 に示します。

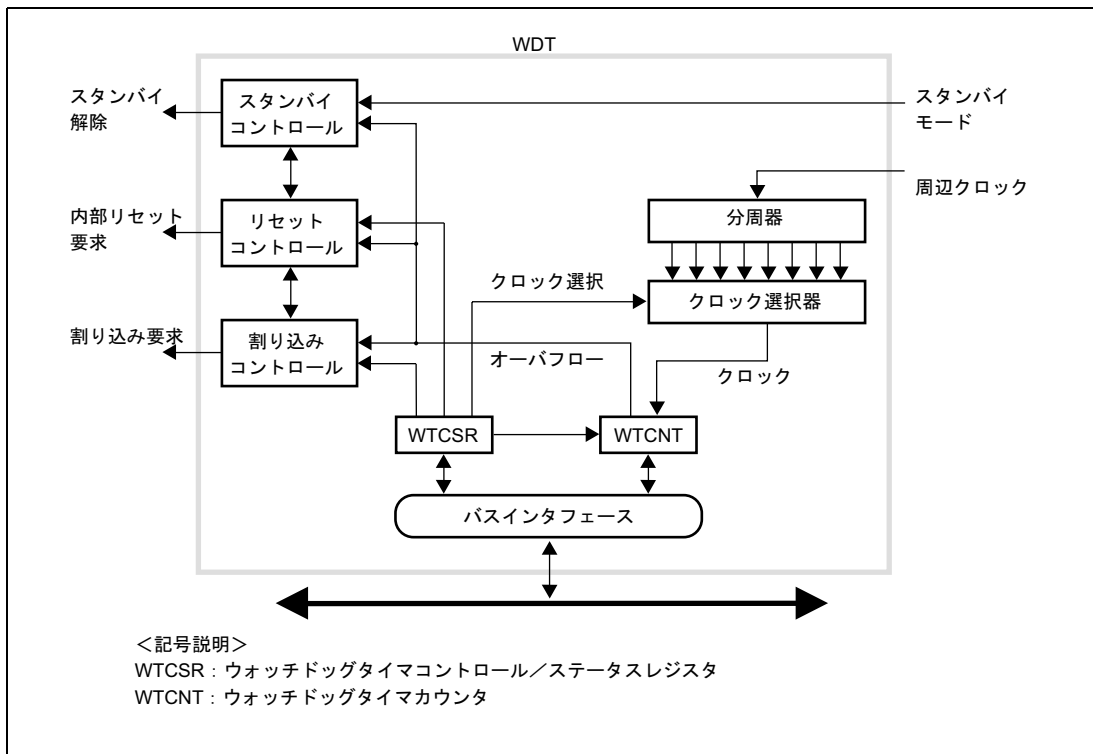


図 10.2 WDT のブロック図

10.6.2 レジスタ構成

WDTには、2本のレジスタがあります。これらのレジスタにより、クロックの選択、タイマのモードの切り替えなどを行います。レジスタ構成を表 10.5 に示します。

表 10.5 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W*	H'00	H'FFFFFF84	Rは8、Wは16*
ウォッチドッグタイマコントロール/ステータスレジスタ	WTCSR	R/W*	H'00	H'FFFFFF86	Rは8、Wは16*

【注】 * 書き込みは、ワードサイズで行ってください。上位バイトをそれぞれ H'5A、H'A5 にして書き込んでください。バイトまたはロングワードサイズでは書き込むことができません。読み出しは、バイトサイズで行ってください。

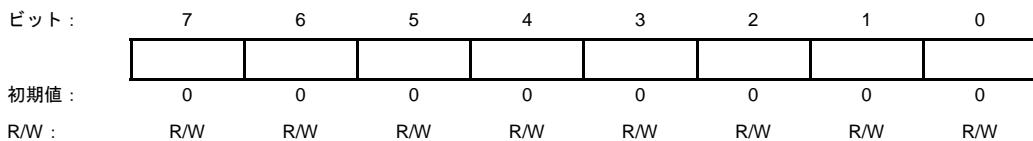
10.7 WDT のレジスタの説明

10.7.1 ウォッチドッグタイマカウンタ (WTCNT)

ウォッチドッグタイマカウンタ (WTCNT) は、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときリセットが発生し、インターバルタイマモードのとき割り込みが発生します。WTCNT は読み出し/書き込み可能な 8 ビットレジスタです。アドレスは H'FFFFFF84 です。WTCNT カウンタは $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時のみ、H'00 に初期化されます。

WTCNT カウンタへの書き込みは上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは「10.7.3 レジスタアクセス時の注意」を参照してください。



10.7.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) は、カウントに使用するクロックやタイマのモードの選択を行うビット、およびオーバフローフラグから成ります。

WTCSR レジスタは、読み出し/書き込み可能な 8 ビットのレジスタです。アドレスは H'FFFFFF86 です。WTCSR レジスタは $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時のみ、H'00 に初期化されます。WDT オーバフローによる内部リセット時には値は保持されます。スタンバイ解除時のクロック安定時間のカウントに使用するときは、カウンタオーバフロー後、値は保持されます。

WTCSR レジスタへの書き込みは上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

10. 内蔵発振回路 (CPG)

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは「10.7.3 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	TME	WT/ \bar{I} T	RSTS	WOVF	IOVF	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット7: タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。スタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを0にしてください。

ビット7	機 能	
TME		
0	タイマディスエーブル: カウントアップを停止、WTCNT の値は保持する	(初期値)
1	タイマイネーブル	

- ビット6: タイマモードセレクト (WT/ \bar{I} T)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。

ビット6	機 能	
WT/ \bar{I} T		
0	インターバルタイマモード	(初期値)
1	ウォッチドッグタイマモード	

【注】 WDT の動作中に WT/ \bar{I} T を書き換えるとカウントアップが正しく行われない場合があります。

- ビット5: リセットセレクト (RSTS)

ウォッチドッグタイマモードで WTCNT がオーバフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。

ビット5	機 能	
RSTS		
0	パワーオンリセット	(初期値)
1	マニュアルリセット	

【注】 RESETOUT は出力されます。

- ビット4: ウォッチドッグタイマオーバーフロー (WOVF)

ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。

インターバルタイマモードではセットされません。

ビット4	機 能	
WOVF		
0	オーバーフローなし	(初期値)
1	ウォッチドッグタイマモードで WTCNT がオーバーフローした	

- ビット3: インターバルタイマオーバーフロー (IOVF)

インターバルタイマモードで WTCNT がオーバーフローしたことを示します。

ウォッチドッグタイマモードではセットされません。

ビット3	機 能	
IOVF		
0	オーバーフローなし	(初期値)
1	インターバルタイマモードで WTCNT がオーバーフローした	

- ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

周辺クロック ($P\phi$) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。表中のオーバーフロー周期は、周辺クロック $P\phi = 15\text{MHz}$ の場合の値です。

ビット2	ビット1	ビット0	機 能	
CKS2	CKS1	CKS0	クロック分周比	オーバーフロー周期 ($P\phi = 15\text{MHz}$ のとき)
0	0	0	1 (初期状態)	17 μs
		1	1/4	68 μs
	1	0	1/16	273 μs
		1	1/32	546 μs
1	0	0	1/64	1.09ms
		1	1/256	4.36ms
	1	0	1/1024	17.48ms
		1	1/4096	69.91ms

【注】 WDT の動作中に CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2~CKS0 ビットを書き換える場合は必ず WDT を停止させてから書き換えてください。

10.7.3 レジスタアクセス時の注意

ウォッチドックタイマカウンタ (WTCNT)、ウォッチドックタイマコントロール/ステータスレジスタ (WTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出し/書き込みを行ってください。

- WTCNT、WTCSRへの書き込み

WTCNT、WTCSRへ書き込むときは、必ずワード転送命令を使用してください。バイト転送、ロングワード転送命令では、書き込めません。

図10.3に示すように、WTCNTへ書き込むときは上位バイトをH'5Aにし、下位バイトを書き込みデータにして転送してください。WTCSRへ書き込むときは上位バイトをH'A5にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータがWTCNTまたはWTCSRへ書き込まれません。

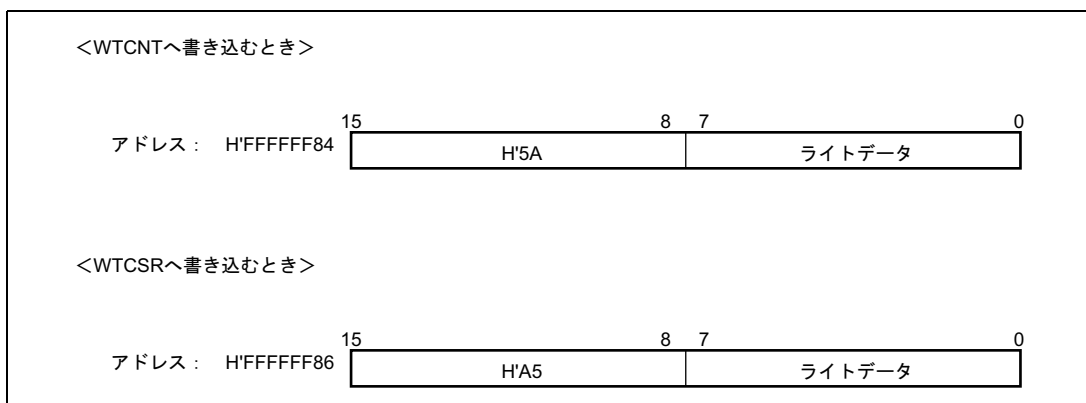


図 10.3 WTCNT、WTCSR への書き込み

10.8 WDT の使用方法

10.8.1 スタンバイ解除の手順

WDT は、スタンバイモードを NMI 割り込みまたはその他の割り込みで解除する場合に使用します。この手順を以下に示します (リセットで解除する場合 WDT は動作しないため、クロックが安定するまで RESETP 端子をローレベルに保ってください)。

- (1) スタンバイモードへの遷移前に、必ず WTCSR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
- (2) WTCSR レジスタの CKS2~CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウン

タの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。

- (3) SLEEP 命令実行によりスタンバイモードに遷移し、クロックは停止します。
- (4) NMI 信号変化のエッジ検出、または割り込み検出により、WDT がカウントを開始します。
- (5) WDT がカウントオーバーフローすると、CPG がクロック供給を開始し、プロセッサが動作を再開します。このとき、WTCSR レジスタの WOVF フラグはセットされません。
- (6) WDT は H'00 からカウントを継続するので、割り込み処理プログラムの中で STBCR レジスタの STBY ビットを 0 にしてください。これにより、WDT が停止します。STBY ビットが 1 のままだと、WDT が H'80 までカウントした時点で再びスタンバイモードに入ります。このスタンバイモードはパワーオンリセットでのみ解除できます。

10.8.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り替えのみによる周波数変更の場合は、WDT は使用しません。

- (1) 周波数変更前に、必ず WTCSR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
- (2) WTCSR レジスタの CKS2~CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
- (3) 周波数制御レジスタ (FRQCR) を書き換えると、クロックが停止し、一時的にスタンバイ状態になります。WDT はカウントを開始します。
- (4) WDT はカウントオーバーフローすると、CPG がクロック供給を再開し、プロセッサが動作を再開します。このとき、WTCSR レジスタの WOVF フラグはセットされません。
- (5) カウンタは H'00~H'01 の値で停止します。停止時の値はクロック比によって変わります。

次の 3 条件をすべて満たす場合は、DMAC 転送中に FRQCR を変更しないでください。

- IFC2~IFC0 ビットを変更
- STC2~STC0 ビットは変更しない
- 変更後のクロック比が $I\phi : B\phi = 1 : 1$ 以外

10.8.3 ウォッチドッグタイマモードの使用法

- (1) WTCSR レジスタの WT/\overline{IT} ビットに 1 を設定し、RSTS ビットにリセットのタイプ、CKS2~CKS0 にカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定します。
- (2) WTCSR レジスタの TME ビットに 1 をセットすると、ウォッチドッグタイマモードでカウントを開始します。
- (3) ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタを H'00 に書き換えてください。
- (4) カウンタがオーバーフローすると、WDT は WTCSR レジスタの WOVF フラグを 1 にセットし、RSTS ビットで指定されたタイプのリセットを発生します。その後カウンタはカウントを続行します。
リセット発生時、 $\overline{RESETOUT}$ 端子にローレベル、STATUS0、1 端子にそれぞれハイレベルが出力されます。出力期間はパワーオンリセットの場合、カウントクロックの約 1 周期分、マニュアルリセットの場合、周辺クロックの約 5 周期分となります。

10.8.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

- (1) WTCSR レジスタの WT/\overline{IT} ビットに 0 をセットし、CKS2~CKS0 ビットにカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定します。
- (2) WTCSR レジスタの TME ビットに 1 をセットするとインターバルタイマモードでカウントを開始します。
- (3) WDT は、カウンタがオーバーフローすると WTCSR レジスタの IOVF フラグに 1 をセットし、インターバルタイマ割り込み要求を INTC に送ります。カウンタはカウントを続行します。

10.9 ボード設計上の注意事項

(1) 外部水晶振動子使用時の注意

水晶振動子と容量 CL1、CL2 およびダンピング抵抗 R はできるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、振動子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

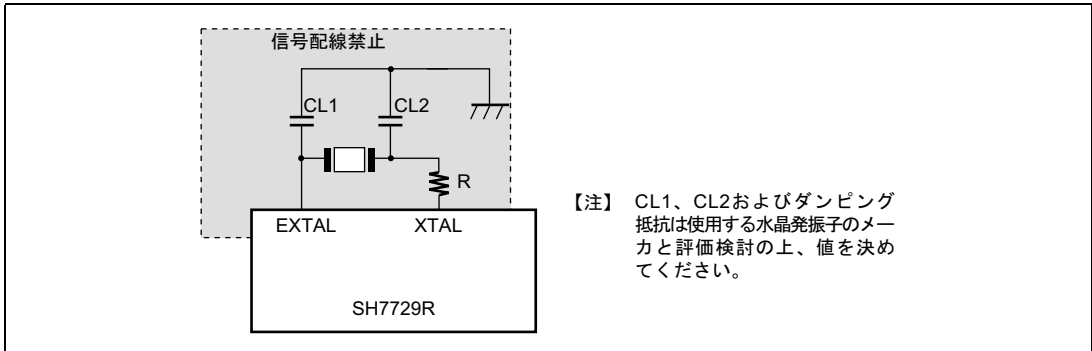


図 10.4 水晶発振子使用時の注意

(2) バイパスコンデンサについての注意

V_{ss} と V_{cc} のペアごとに 0.1~1 (μF) の積層セラミックコンデンサをパスコンとして入れてください。パスコンは LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

デジタル系の V_{ss} と V_{cc} ペア

- 19-21、27-29、33-35、45-47、57-59、69-71、79-81、83-85、95-97、109-111、
- 132-134、153-154、161-163、173-175、181-183、205-208

内蔵発振器系の V_{ss} と V_{cc} ペア

- 3-6、145-147、148-150

(3) PLL 発振回路使用時の注意

PLL 用 V_{cc} と V_{ss} の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

発振安定用の容量 C1、C2 の接地はそれぞれ V_{ss} (PLL1) と V_{ss} (PLL2) に接地してください。

また、CAP1、CAP2 端子の近くに置き、その近辺に配線パターンを配置しないでください。クロックモード 7 のときは、EXTAL 端子を V_{cc} または V_{ss} に接続し、XTAL 端子は解放にしてください。

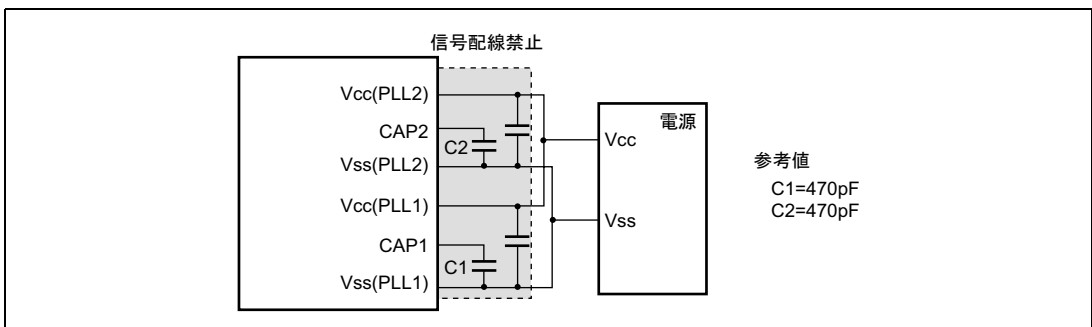


図 10.5 PLL 発振回路使用時の注意

11. バスステートコントローラ (BSC)

11.1 概要

バスステートコントローラ (BSC) は、物理アドレス空間を分割し、各種のメモリやバスインタフェース仕様に応じた制御信号を出力します。BSC の機能によって、外付け回路なしにシンクロナス DRAM、SRAM、ROM など本 LSI に直結することができます。また、BSC により PCMCIA インタフェースに直結することもできるので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

11.1.1 特長

BSC には、次のような特長があります。

- 物理アドレス空間を6つに分割して管理

エリア0、2～6までの各エリアは、最大64Mバイト

各エリアのバス幅をレジスタにより設定可能 (エリア0のみは、外部ピンにより設定)

WAIT端子によりウェイトステート挿入可能

ウェイトステート挿入をプログラムで制御可能

各エリアは、独立に1～10ステートのウェイト挿入をレジスタの設定により指定可能 (エリア5、6 PCMCIA インタフェースのみ1～38ステート)

エリアごとに接続できるメモリの種類を指定

各エリアに接続するメモリに直結できる制御信号を出力

異なったエリアに対する連続したメモリアクセスや同一エリアに対するリードアクセス直後のライトアクセスの場合といったデータバスの衝突回避のためのウェイトサイクル自動挿入機能

- シンクロナスDRAM直結インタフェース

シンクロナスDRAM容量に応じたロウアドレス/カラムアドレスマルチプレクス

バースト動作

バンクアクティブモード

オートリフレッシュとセルフリフレッシュ

シンクロナスDRAM直結制御信号のタイミングをレジスタの設定により制御可能

- バーストROMインタフェース

ウェイトステート挿入をプログラムで制御可能

レジスタで設定した回数のバースト転送動作

11. バスステートコントローラ (BSC)

- PCMCIA直結インタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - I/Oバス幅のバスサイジング機能 (リトルエディアンモード時のみ)
- ショートリフレッシュサイクル制御
 - リフレッシュカウンタのオーバフロー割り込みの機能により、低消費電力DRAMを使用したセルフリフレッシュ動作直後のリフレッシュ動作が可能
- リフレッシュ用カウンタをインターバルタイマとして使用可能
 - コンペアマッチで割り込み要求発生
 - リフレッシュカウンタのオーバフローで割り込み要求発生
- 外部バスサイクルが実行されていない期間は、リフレッシュカウンタ以外のすべてに対するクロック供給を自動的に停止します。

11.1.2 ブロック図

BSCのブロック図を図 11.1 に示します。

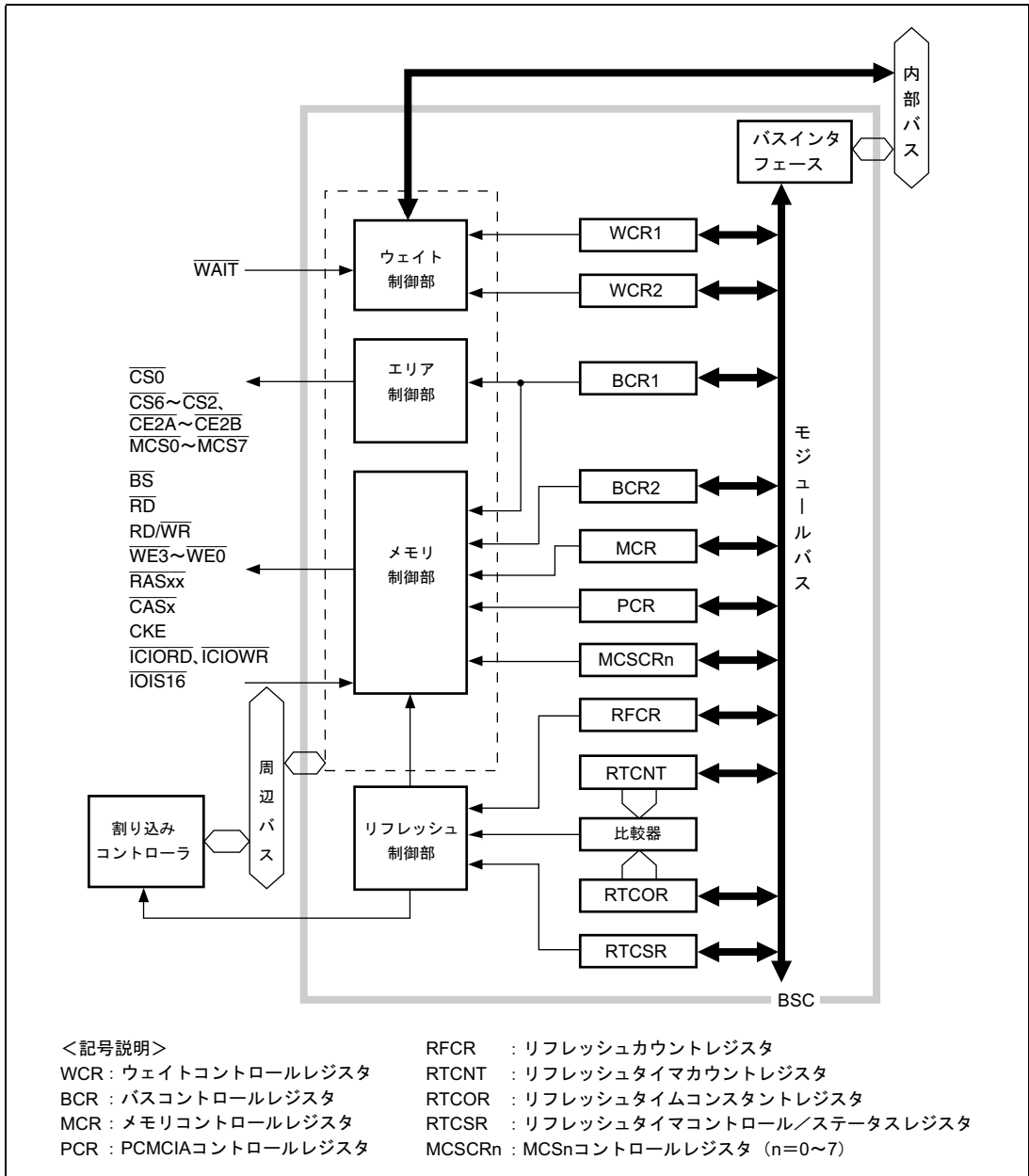


図 11.1 BSCのブロック図

11. バスステートコントローラ (BSC)

11.1.3 端子構成

BSC の端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	信号名	入出力	機能
アドレスバス	A25~A0	出力	アドレス出力
データバス	D15~D0	入出力	データ入出力
	D31~D16	入出力	32 ビットバス幅時、データ入出力
バスサイクル開始	BS	出力	バスサイクルの開始を示す信号。バースト転送時は、毎データサイクルごとにアサート
チップセレクト 0、2~4	CS0、CS2~CS4	出力	アクセス中のエリアを示すチップセレクト信号
チップセレクト 5、6	CS5/CE1A、 CS6/CE1B	出力	アクセス中のエリアを示すチップセレクト信号 CS5/CE1A、CS6/CE1B は、PCMCIA の CE1A、CE1B としても使用可能
PCMCIA カードセレクト	CE2A、CE2B	出力	PCMCIA 使用時、CE2A、CE2B 信号
リード/ライト	RD/WR	出力	データバスの入出力方向指示信号 PCMCIA への書き込み指示信号
ロウアドレスストロープ 3L	RAS3L	出力	エリア 3 シンクロナス DRAM 使用時、下位 32M バイトアドレス用および 64M バイトアドレス用 RAS3L 信号
ロウアドレスストロープ 3U	RAS3U	出力	エリア 3 でシンクロナス DRAM 使用時、上位 32M バイトアドレス用 RAS3U 信号
カラムアドレスストロープ	CASL	出力	シンクロナス DRAM 使用時、下位 32M/64M バイトアドレス用および 64M バイトアドレス用 CASL 信号
カラムアドレスストロープ	CASU	出力	シンクロナス DRAM 使用時、上位 32M バイトアドレス用 CASU 信号
データイネーブル 0	WE0/DQMLL	出力	シンクロナス DRAM 以外のメモリ使用時、D7~D0 対応ライトストロープ信号 シンクロナス DRAM 使用時、D7~D0 を選択
データイネーブル 1	WE1/DQMLU/ WE	出力	シンクロナス DRAM 以外のメモリ使用時、D15~D8 対応ライトストロープ信号 シンクロナス DRAM 使用時、D15~D8 を選択 PCMCIA 使用時、ライトサイクルを示すストロープ信号
データイネーブル 2	WE2/DQMUL/ ICIOR \bar{D}	出力	シンクロナス DRAM 以外のメモリ使用時、D23~D16 対応ライトストロープ信号 シンクロナス DRAM 使用時、D23~D16 を選択 PCMCIA 使用時、I/O リードを示すストロープ信号
データイネーブル 3	WE3/DQMUU/ ICIOR \bar{W} R	出力	シンクロナス DRAM 以外のメモリ使用時、D31~D24 対応ライトストロープ信号 シンクロナス DRAM 使用時、D31~D24 を選択 PCMCIA 使用時、I/O ライトを示すストロープ信号
リード	RD	出力	リードサイクルを示すストロープ信号
ウェイト	WAIT	入力	ウェイトステート要求信号

名称	信号名	入出力	機能
クロックイネーブル	CKE	出力	シンクロナス DRAM のクロックイネーブル制御信号
IOIS16	IOIS16	入力	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効
バス解放要求	BREQ	入力	バス解放の要求信号
バス使用許可	BACK	出力	バス使用の許可信号
マスク ROM チップセレクト	MCS[0]~MCS[7]	出力	エリア 0、エリア 2 接続マスク ROM 用チップセレクト信号

11.1.4 レジスタ構成

BSC には表 11.2 に示すように、21 本のレジスタがあります。また、シンクロナス DRAM に内蔵されたシンクロナス DRAM モードレジスタが本 LSI のレジスタとしてアクセスできます。これらのレジスタにより、各種メモリとの直結インタフェース、ウェイトステート、リフレッシュなどの制御を行います。

表 11.2 レジスタ構成

名称	略称	R/W	初期値*	アドレス	アクセス サイズ	
バスコントロールレジスタ 1	BCR1	R/W	H'0000	H'FFFFFF60	16	
バスコントロールレジスタ 2	BCR2	R/W	H'3FF0	H'FFFFFF62	16	
ウェイトステートコントロールレジスタ 1	WCR1	R/W	H'3FF3	H'FFFFFF64	16	
ウェイトステートコントロールレジスタ 2	WCR2	R/W	H'FFFF	H'FFFFFF66	16	
個別メモリコントロールレジスタ	MCR	R/W	H'0000	H'FFFFFF68	16	
PCMCIA コントロールレジスタ	PCR	R/W	H'0000	H'FFFFFF6C	16	
リフレッシュタイムコントロール/ ステータスレジスタ	RTCSR	R/W	H'0000	H'FFFFFF6E	16	
リフレッシュタイムカウンタ	RTCNT	R/W	H'0000	H'FFFFFF70	16	
リフレッシュタイムコンスタントカウンタ	RTCOR	R/W	H'0000	H'FFFFFF72	16	
リフレッシュカウントレジスタ	RFCR	R/W	H'0000	H'FFFFFF74	16	
シンクロナス DRAM モードレジスタ	エリア 2 用	SDMR	W	—	H'FFFD000 ~ H'FFFDFFF	8
	エリア 3 用				H'FFFE000 ~ H'FFFEFFF	
MCS0 コントロールレジスタ	MCSCR0	R/W	H'0000	H'FFFFFF50	16	
MCS1 コントロールレジスタ	MCSCR1	R/W	H'0000	H'FFFFFF52	16	

11. バスステートコントローラ (BSC)

名称	略称	R/W	初期値*	アドレス	アクセス サイズ
MCS2 コントロールレジスタ	MCSCR2	R/W	H'0000	H'FFFFFF54	16
MCS3 コントロールレジスタ	MCSCR3	R/W	H'0000	H'FFFFFF56	16
MCS4 コントロールレジスタ	MCSCR4	R/W	H'0000	H'FFFFFF58	16
MCS5 コントロールレジスタ	MCSCR5	R/W	H'0000	H'FFFFFF5A	16
MCS6 コントロールレジスタ	MCSCR6	R/W	H'0000	H'FFFFFF5C	16
MCS7 コントロールレジスタ	MCSCR7	R/W	H'0000	H'FFFFFF5E	16

【注】 詳細は「11.2.7 シンクロナス DRAM モードレジスタ (SDMR)」を参照してください。

* パワーオンリセット時、初期化されます。

11.1.5 エリアの概要

(1) 空間分割

本 LSI は、アーキテクチャとして 32 ビットの論理アドレス空間を有しています。論理空間は、上位側アドレスの値によって 5 空間に分割されています。また、物理空間は 29 ビットのアドレス空間を有しており 8 空間に分割されています。

論理空間は、アドレス変換機構 (MMU) により任意の物理空間に割り付けることができます。詳細はアドレス変換機構の章を参照してください。この章では、物理空間のエリア分割について記述します。

本 LSI は、表 11.3 に示すように物理空間の 6 つのエリアに各々各種メモリ/PC カードを接続でき、各々に対応してチップセレクト信号 ($\overline{CS0}$ 、 $\overline{CS2} \sim \overline{CS6}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$) を出力します。エリア 0 のアクセス時に $\overline{CS0}$ が、エリア 6 のアクセス時に $\overline{CS6}$ がアサートされます。また、エリア 5 と 6 において、PCMCIA インタフェースを選択した場合、アクセスするバイトに対応して、 $\overline{CS5}/\overline{CS6}$ に加えて、 $\overline{CE2A}/\overline{CE2B}$ をアサートします。

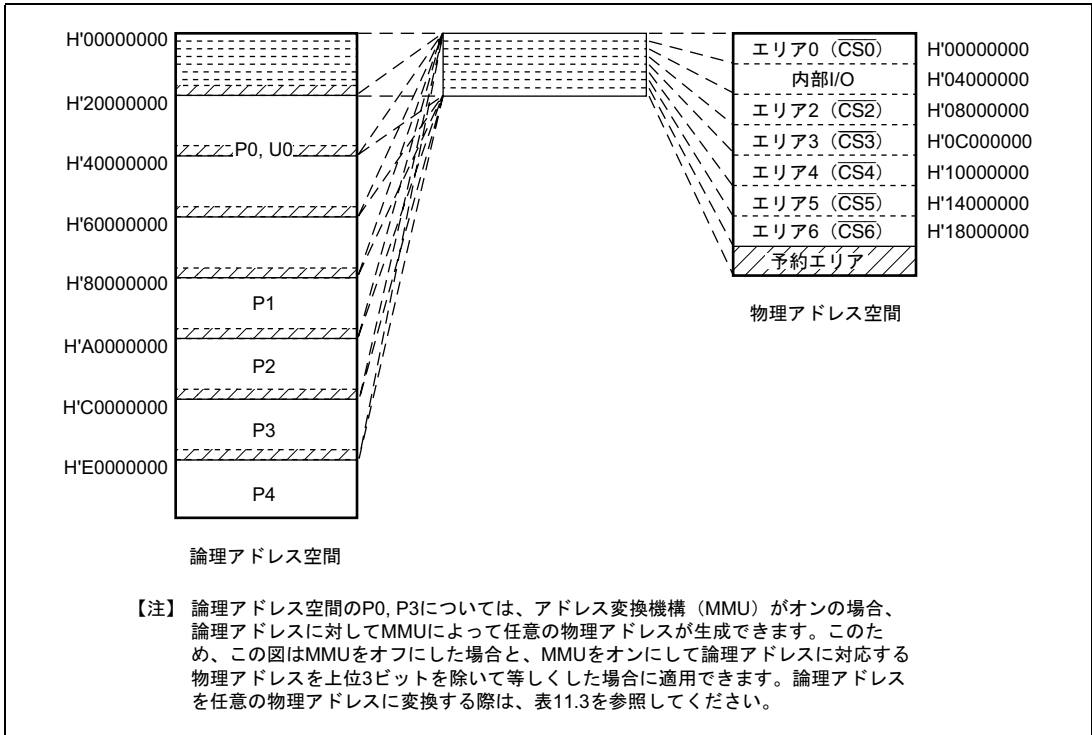


図 11.2 論理アドレス空間と物理アドレス空間の対応

表 11.3 物理アドレス空間マップ

エリア	接続可能なメモリ	物理アドレス	容量	アクセスサイズ
エリア 0	通常メモリ*1、 バーストROM	H'00000000 ~ H'03FFFFFF	64M バイト	8、16、32*2
		H'00000000 ~ H'03FFFFFF	シャドウ	(n=1~6)
		+H'20000000 × n +H'20000000 × n		
エリア 1	内部 I/O レジスタ*7	H'04000000 ~ H'07FFFFFF	64M バイト	8、16、32*3
		H'04000000 ~ H'07FFFFFF	シャドウ	(n=1~6)
		+H'20000000 × n +H'20000000 × n		
エリア 2	通常メモリ*1、 シンクロナス DRAM	H'08000000 ~ H'0BFFFFFF	64M バイト	8、16、32*3 *4
		H'08000000 ~ H'0BFFFFFF	シャドウ	(n=1~6)
		+H'20000000 × n +H'20000000 × n		
エリア 3	通常メモリ、 シンクロナス DRAM	H'0C000000 ~ H'0FFFFFFF	64M バイト	8、16、32*3 *4
		H'0C000000 ~ H'0FFFFFFF	シャドウ	(n=1~6)
		+H'20000000 × n +H'20000000 × n		

11. バスステートコントローラ (BSC)

エリア	接続可能なメモリ	物理アドレス	容量	アクセスサイズ
エリア 4	通常メモリ	H'10000000 ~ H'13FFFFFF	64M バイト	8、16、32 ^{*3}
		H'10000000 ~ H'13FFFFFF +H'20000000×n +H'20000000×n	シャドウ	(n=1~6)
エリア 5	通常メモリ、 PCMCIA、 バースト ROM	H'14000000 ~ H'15FFFFFF	32M バイト	8、16、32 ^{*3 *5}
		H'16000000 ~ H'17FFFFFF	32M バイト	
		H'14000000 ~ H'17FFFFFF +H'20000000×n +H'20000000×n	シャドウ	(n=1~6)
エリア 6	通常メモリ、 PCMCIA、 バースト ROM	H'18000000 ~ H'19FFFFFF	32M バイト	8、16、32 ^{*3 *5}
		H'1A000000 ~ H'1BFFFFFF	32M バイト	
		H'18000000 ~ H'1BFFFFFF +H'20000000×n +H'20000000×n	シャドウ	(n=1~6)
エリア 7 ^{*6}	予約エリア	H'1C000000 ~ H'1FFFFFFF +H'20000000×n +H'20000000×n		(n=0~7)

【注】 *1 SRAM、ROM などのインタフェースを持つメモリ。

*2 外部ピンでメモリバス幅を指定。

*3 レジスタでメモリバス幅を指定。

*4 シンクロナス DRAM インタフェース時は、バス幅は 16、32 ビットのいずれかのみ。

*5 PCMCIA インタフェース時は、バス幅は 8、16 ビットのいずれかのみ。

*6 予約エリアはアクセスしないでください。アクセスした場合は動作の保証はできません。

*7 エリア 1 の制御レジスタを MMU によるアドレス変換の対象としない場合は、論理アドレスの先頭 3 ビットを 101 として P2 空間に配置してください。

エリア0 : H'00000000	通常メモリ／バーストROM	
エリア1 : H'04000000	内部I/Oレジスタ	
エリア2 : H'08000000	通常メモリ／シンクロナスDRAM	
エリア3 : H'0C000000	通常メモリ／シンクロナスDRAM	
エリア4 : H'10000000	通常メモリ	
エリア5 : H'14000000	通常メモリ／バーストROM／PCMCIA	PCMCIAインタフェースは、 メモリ//Oカード兼用
エリア6 : H'18000000	通常メモリ／バーストROM／PCMCIA	PCMCIAインタフェースは、 メモリ//Oカード兼用

図 11.3 物理空間割り付け

(2) メモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部ピンを用いてバスサイズを 8 ビット、16 ビット、32 ビットから選べます。パワーオンリセット時に外部ピン (MD4、MD3) とバス幅の関係は次のようになります。

表 11.4 外部端子 (MD4 と MD3) とメモリサイズの対応

MD4	MD3	メモリサイズ
0	0	予約 (設定しないでください)
	1	8 ビット
1	0	16 ビット
	1	32 ビット

エリア 2～6 で通常メモリ、ROM、バースト ROM のいずれかを使用する場合は、バスコントロールレジスタ 2 (BCR2) によってバス幅を 8 ビット、16 ビット、32 ビットから選べます。また、シンクロナス DRAM インタフェースを使用するときは、バス幅を 16 ビットか 32 ビットから選べます。

PCMCIA インタフェースを使用する場合は、バス幅は 8 ビットまたは 16 ビットに設定してください。エリア 2、3 とともに SDRAM を接続する場合は、エリア 2、3 のバス幅を同一にしてください。

ポート A または B を使用する場合、全エリアのバス幅を 8 ビットまたは 16 ビットに設定してください。

詳しくは、「11.2.2 バスコントロールレジスタ 2 (BCR2)」を参照してください。

11. バスステートコントローラ (BSC)

(3) シャドウ空間

エリア0、2～6は、物理アドレスのA28～A26でデコードされ、000～110のエリアに対応します。アドレスのA31～A29は無視されます。このためたとえば、エリア0のアドレスの範囲はH'00000000～H'03FFFFFFなのに対し、H'20000000×n (n=1～6)を加えたアドレス空間はシャドウ空間となります。

また、エリア7のアドレスの範囲はH'1C000000～H'1FFFFFFFです。エリア7のシャドウ空間に相当するアドレス空間を含めてH'1C000000+H'20000000×n～H'1FFFFFFF+H'20000000×n (n=0～7)は予約空間ですので、使用しないでください。

11.1.6 PCMCIA サポート

本LSIでは、物理空間のエリア5と6でPCMCIA準拠のインタフェース仕様をサポートします。

サポートするインタフェースは、基本的にJEIDA仕様Ver4.2(PCMCIA2.1)で定められた“ICメモリカードインタフェース”と“I/Oカードインタフェース”です。

表 11.5 PCMCIA インタフェースの特長

項目	特長
アクセス	ランダムアクセス
データバス	8/16ビット
メモリタイプ	マスクROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM
メモリ容量	最大32Mバイト
I/O部容量	最大32Mバイト
その他	I/Oバス幅のダイナミックバスサイジング*、アドレス変換領域および非アドレス変換領域の両方からのPCMCIAインタフェースへのアクセス

【注】 * I/Oバス幅のダイナミックバスサイジングはリトルエンディアンモード時のみサポートします。

エリア5 : H'14000000	コモンメモリ/アドリビュートメモリ
エリア5 : H'16000000	I/O空間
エリア6 : H'18000000	コモンメモリ/アドリビュートメモリ
エリア6 : H'1A000000	I/O空間

図 11.4 PCMCIA 空間割り付け

表 11.6 PCMCIA サポートインタフェース

ピン	IC メモリカードインタフェース			I/O カードインタフェース			SH7729R 対応ピン
	信号名	I/O	機能	信号名	I/O	機能	
1	GND		グラウンド	GND		グラウンド	—
2	D3	I/O	データ	D3	I/O	データ	D3
3	D4	I/O	データ	D4	I/O	データ	D4
4	D5	I/O	データ	D5	I/O	データ	D5
5	D6	I/O	データ	D6	I/O	データ	D6
6	D7	I/O	データ	D7	I/O	データ	D7
7	$\overline{CE1}$	I	カード enable	$\overline{CE1}$	I	カード enable	$\overline{CE1A}$ or $\overline{CE1B}$
8	A10	I	アドレス	A10	I	アドレス	A10
9	\overline{OE}	I	出力 enable	\overline{OE}	I	出力 enable	\overline{RD}
10	A11	I	アドレス	A11	I	アドレス	A11
11	A9	I	アドレス	A9	I	アドレス	A9
12	A8	I	アドレス	A8	I	アドレス	A8
13	A13	I	アドレス	A13	I	アドレス	A13
14	A14	I	アドレス	A14	I	アドレス	A14
15	\overline{WE}/PGM	I	ライト enable	\overline{WE}/PGM	I	ライト enable	\overline{WE}
16	$\overline{RDY}/\overline{BSY}$	O	レディ/ビジー	\overline{IREQ}	O	レディ/ビジー	—
17	VCC		動作電源	VCC		動作電源	—
18	VPP1		プログラム電源	VPP1		プログラム/ 周辺用電源	—
19	A16	I	アドレス	A16	I	アドレス	A16
20	A15	I	アドレス	A15	I	アドレス	A15
21	A12	I	アドレス	A12	I	アドレス	A12
22	A7	I	アドレス	A7	I	アドレス	A7
23	A6	I	アドレス	A6	I	アドレス	A6
24	A5	I	アドレス	A5	I	アドレス	A5
25	A4	I	アドレス	A4	I	アドレス	A4
26	A3	I	アドレス	A3	I	アドレス	A3
27	A2	I	アドレス	A2	I	アドレス	A2
28	A1	I	アドレス	A1	I	アドレス	A1
29	A0	I	アドレス	A0	I	アドレス	A0
30	D0	I/O	データ	D0	I/O	データ	D0
31	D1	I/O	データ	D1	I/O	データ	D1
32	D2	I/O	データ	D2	I/O	データ	D2
33	WP	O	ライトプロテクト	$\overline{IOIS16}$	O	16 ビット I/O ポート	$\overline{IOIS16}$
34	GND		グラウンド	GND		グラウンド	—

11. バスステートコントローラ (BSC)

ピン	IC メモリカードインターフェース			I/O カードインターフェース			SH7729R 対応ピン
	信号名	I/O	機能	信号名	I/O	機能	
35	GND		グラウンド	GND		グラウンド	—
36	CD $\bar{1}$	O	カード検出	CD $\bar{1}$	O	カード検出	—
37	D11	I/O	データ	D11	I/O	データ	D11
38	D12	I/O	データ	D12	I/O	データ	D12
39	D13	I/O	データ	D13	I/O	データ	D13
40	D14	I/O	データ	D14	I/O	データ	D14
41	D15	I/O	データ	D15	I/O	データ	D15
42	CE $\bar{2}$	I	カード enable	CE $\bar{2}$	I	カード enable	CE2A or CE2B
43	VS $\bar{1}$	I	電圧センス	VS $\bar{1}$	I	電圧センス	—
44	RFU		予約	\bar{I} ORD	I	I/O リード	\bar{I} CIORD
45	RFU		予約	\bar{I} OWR	I	I/O ライト	\bar{I} CIOWR
46	A17	I	アドレス	A17	I	アドレス	A17
47	A18	I	アドレス	A18	I	アドレス	A18
48	A19	I	アドレス	A19	I	アドレス	A19
49	A20	I	アドレス	A20	I	アドレス	A20
50	A21	I	アドレス	A21	I	アドレス	A21
51	VCC		電源	VCC		電源	—
52	VPP2		プログラム電源	VPP2		プログラム/ ペリフェラル用電源	—
53	A22	I	アドレス	A22	I	アドレス	A22
54	A23	I	アドレス	A23	I	アドレス	A23
55	A24	I	アドレス	A24	I	アドレス	A24
56	A25	I	アドレス	A25	I	アドレス	A25
57	VS $\bar{2}$		電圧センス	VS $\bar{2}$		電圧センス	—
58	RESET	I	リセット	RESET	I	リセット	—
59	WAIT	O	wait 要求	WAIT	O	wait 要求	—
60	RFU		予約	\bar{I} NPACK	O	入力応答	—
61	REG	I	アトリビュートメモリ空間セレクト	REG	I	アトリビュートメモリ空間セレクト	—
62	BVD2	O	電池電圧検出	SPKR	O	デジタル音声信号	—
63	BVD1	O	電池電圧検出	STSCHG	O	カード状態変化	—
64	D8	I/O	データ	D8	I/O	データ	D8
65	D9	I/O	データ	D9	I/O	データ	D9
66	D10	I/O	データ	D10	I/O	データ	D10
67	CD $\bar{2}$	O	カード検出	CD $\bar{2}$	O	カード検出	—
68	GND		グラウンド	GND		グラウンド	—

11.2 レジスタの説明

11.2.1 バスコントロールレジスタ 1 (BCR1)

バスコントロールレジスタ 1 (BCR1) は、各エリアの機能、バスサイクルの状態などを指定します。読み出し／書き込み可能な 16 ビットのレジスタです。

BCR1 レジスタは、パワーオンリセット時は H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PULA	PULD	HIZ MEM	HIZ CNT	ENDI AN	A0 BST1	A0 BST0	A5 BST1	A5 BST0	A6 BST1	A6 BST0	DRAM TP2	DRAM TP1	DRAM TP0	A5 PCM	A6 PCM
初期値 :	0	0	0	0	0/1*	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * エンディアンを指定する外部ピン (MD5) の値をパワーオンリセット時にサンプリング

- ビット 15 : A25~A0 端子ブルアップ (PULA)

BACK 端子アサート直後の 4 サイクル間、A25~A0 端子をブルアップするかどうか指定します。

ビット 15	機 能	
PULA		
0	ブルアップしない	(初期値)
1	ブルアップする	

- ビット 14 : D31~D0 端子ブルアップ (PULD)

D31~D0 端子を使用していない期間、ブルアップするかどうか指定します。

ビット 14	機 能	
PULD		
0	ブルアップしない	(初期値)
1	ブルアップする	

- ビット 13 : ハイゼットメモリコントロール (HIZMEM)

A25-0、 \overline{BS} 、 \overline{CS} 、RD/ \overline{WR} 、 \overline{WE}/DQM 、 \overline{RD} 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、DRAK0/1 のスタンバイ時の状態を指定します。

ビット 13	機 能	
HIZMEM		
0	スタンバイ時、ハイインピーダンス (High-Z)	(初期値)
1	スタンバイ時、ドライブ	

11. バスステートコントローラ (BSC)

- ビット 12 : ハイゼット (High-Z) コントロール (HIZCNT)

RAS 信号、CAS 信号のスタンバイ時およびバス権解放時の状態を指定します。

ビット 12	機 能
HIZCNT	
0	RAS、CAS 信号はスタンバイ時およびバス権解放時、 ハイインピーダンス (High-Z) (初期値)
1	RAS、CAS 信号はスタンバイ時およびバス権解放時、ドライブ

- ビット 11 : エンディアンフラグ (ENDIAN)

パワーオンリセット時に、エンディアン指定の外部ピン (MD5) の値をサンプリングします。全空間のエンディアンは、このビットで決定されます。読み出しのみ可です。

ビット 11	機 能
ENDIAN	
0	リセット時に、エンディアン設定外部ピン (MD5) がローレベルであり、 本 LSI がビッグエンディアンとして設定
1	リセット時に、エンディアン設定外部ピン (MD5) がハイレベルであり、 本 LSI がリトルエンディアンとして設定

- ビット 10、9 : エリア 0 バースト ROM 制御 (A0BST1、A0BST0)

物理空間のエリア 0 で、バースト ROM を使うかどうかを指定します。また、バースト ROM を使用する場合は、バースト回数を指定します。

ビット 10	ビット 9	機 能
A0BST1	A0BST0	
0	0	エリア 0 を通常メモリとしてアクセス (初期値)
	1	エリア 0 をバースト ROM (4 回連続アクセス) としてアクセス。 バス幅 8、16、32 ビット時、いずれでも使用可
1	0	エリア 0 をバースト ROM (8 回連続アクセス) としてアクセス。 バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください
	1	エリア 0 をバースト ROM (16 回連続アクセス) としてアクセス。 バス幅 8 ビット時のみ使用可。バス幅 16、32 ビット時は指定しないでください

- ビット 8、7 : エリア 5 バーストイネーブル (A5BST1、A5BST0)

物理空間のエリア 5 で、バースト ROM または PCMCIA のバーストモードを使うかどうかを指定します。また、バースト ROM または PCMCIA のバーストモードを使用する場合は、バースト回数を指定します。

ビット 8	ビット 7	機 能
A5BST1	A5BST0	
0	0	エリア 5 を通常モードでアクセス (初期値)
	1	エリア 5 をバーストアクセス (4 回連続アクセス)。 バス幅 8、16、32 ビット時、いずれでも使用可
1	0	エリア 5 をバーストアクセス (8 回連続アクセス)。 バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください
	1	エリア 5 をバーストアクセス (16 回連続アクセス)。 バス幅 8 ビット時のみ使用可。バス幅 16、32 ビット時は指定しないでください

- ビット 6、5 : エリア 6 バーストイネーブル (A6BST1、A6BST0)

物理空間のエリア 6 で、バースト ROM または PCMCIA のバーストモードを使うかどうかを指定します。また、バースト ROM または PCMCIA のバーストモードを使用する場合は、バースト回数を指定します。

ビット 6	ビット 5	機 能
A6BST1	A6BST0	
0	0	エリア 6 を通常モードでアクセス (初期値)
	1	エリア 6 をバーストアクセス (4 回連続アクセス)。 バス幅 8、16、32 ビット時、いずれでも使用可
1	0	エリア 6 をバーストアクセス (8 回連続アクセス)。 バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください
	1	エリア 6 をバーストアクセス (16 回連続アクセス)。 バス幅 8 ビット時のみ使用可。バス幅 16、32 ビット時は指定しないでください

11. バスステートコントローラ (BSC)

- ビット4~2: エリア2、3のメモリタイプ (DRAMTP2、DRAMTP1、DRAMTP0)

物理空間のエリア2と3に接続するメモリタイプを指定します。通常メモリとしてROM、SRAM、フラッシュROMなどが直接接続できます。また、シンクロナスDRAMが直接接続できます。

ビット4	ビット3	ビット2	機 能
DRAMTP2	DRAMTP1	DRAMTP0	
0	0	0	エリア2、3を通常メモリ (初期値)
		1	予約 (設定不可)
	1	0	エリア2を通常メモリ、エリア3をシンクロナスDRAM*2
		1	エリア2、3をシンクロナスDRAM*1 *2
1	0	0	予約 (設定不可)
		1	予約 (設定不可)
	1	0	予約 (設定不可)
		1	予約 (設定不可)

【注】 *1 このモードを選ぶ場合は、エリア2とエリア3のバス幅を同一に設定してください。

*2 クロック比 $l\phi : B\phi = 1 : 1$ のときはシンクロナスDRAMへアクセスしないでください。

- ビット1: エリア5バスタイプ (A5PCM)

物理空間のエリア5をPCMCIA空間としてアクセスするかどうか指定します。

ビット1	機 能
A5PCM	
0	物理空間のエリア5を通常メモリとしてアクセス (初期値)
1	物理空間のエリア5をPCMCIA空間としてアクセス

- ビット0: エリア6バスタイプ (A6PCM)

物理空間のエリア6をPCMCIA空間としてアクセスするかどうか指定します。

ビット0	機 能
A6PCM	
0	物理空間のエリア6を通常メモリとしてアクセス (初期値)
1	物理空間のエリア6をPCMCIA空間としてアクセス

11.2.2 バスコントロールレジスタ 2 (BCR2)

バスコントロールレジスタ 2 (BCR2) は、各エリアのバスサイズ幅および 8 ビットポートを使用するかどうかを指定します。読み出し/書き込み可能な 16 ビットのレジスタです。

BCR2 レジスタは、パワーオンリセット時は H'3FF0 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	A6 SZ1	A6 SZ0	A5 SZ1	A5 SZ0	A4 SZ1	A4 SZ0	A3 SZ1	A3 SZ0	A2 SZ1	A2 SZ0	—	—	—	—
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

- ビット 15、14、3~0 : 予約ビット

読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 2n+1、2n : エリア n (2~6) のバス幅指定 (AnSZ1、AnSZ0)

物理空間のエリア n (n=2~6) のバス幅を指定します。

ビット 2n+1	ビット 2n	ポート A/B	機 能
AnSZ1	AnSZ0		
0	0	未使用	予約 (設定不可)
	1		8 ビットバス幅
1	0		16 ビットバス幅
	1		32 ビットバス幅
0	0	使用	予約 (設定不可)
	1		8 ビットバス幅
1	0		16 ビットバス幅
	1		予約 (設定不可)

11. バスステートコントローラ (BSC)

11.2.3 ウェイトコントロールレジスタ 1 (WCR1)

ウェイトコントロールレジスタ 1 (WCR1) は、各エリアのアイドルステート挿入サイクル数を指定します。メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、WCR1 レジスタで設定したサイクル数だけ自動的にアイドルサイクルを挿入します。

WCR1 レジスタは、読み出し/書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'3FF3 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WAIT SEL	—	A6 IW1	A6 IW0	A5 IW1	A5 IW0	A4 IW1	A4 IW0	A3 IW1	A3 IW0	A2 IW1	A2 IW0	—	—	A0 IW1	A0 IW0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	0	0	1	1
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

- ビット 15 : WAIT 信号のサンプリングタイミング指定 (WAITSEL)

ビット 15	機 能
WAITSEL	
0	WAIT 信号を使う場合は 1 を設定してください。* (初期値)
1	CKIO の立ち下がり で WAIT 信号をサンプリングします。

【注】 * WAITSEL=0 で WAIT をアサートしたときの動作は保証しません。

- ビット 14、3、2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 2n+1、2n : エリア n (6~2、0) のサイクル間アイドル指定 (AnIW1、AnIW0)

物理空間のエリア n (6~2、0) から他の空間、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アイドル数を指定します。

ビット 2n+1	ビット 2n	機 能
AnIW1	AnIW0	
0	0	1 アイドルサイクル挿入
	1	1 アイドルサイクル挿入
1	0	2 アイドルサイクル挿入
	1	3 アイドルサイクル挿入 (初期値)

11.2.4 ウェイトコントロールレジスタ 2 (WCR2)

ウェイトコントロールレジスタ 2 (WCR2) は、読み出し/書き込み可能な 16 ビットのレジスタで、各エリアのウェイトステート挿入サイクル数を指定します。また、バーストメモリアクセスを行う場合のデータアクセスのピッチ数も指定します。これにより、外付け回路なしに低速なメモリも直接接続できます。

WCR2 は、パワーオンリセット時は H'FFFF に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A6	A6	A6	A5	A5	A5	A4	A4	A4	A3	A3	A2	A2	A0	A0	A0
	W2	W1	W0	W2	W1	W0	W2	W1	W0	W1	W0	W1	W0	W2	W1	W0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット 15~13 : エリア 6 のウェイトコントロール (A6W2, A6W1, A6W0)

物理空間のエリア 6 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。

ビット 15	ビット 14	ビット 13	機 能			
			先頭サイクル		バーストサイクル (先頭サイクルを除く)	
A6W2	A6W1	A6W0	挿入ウェイト ステート	WAIT 端子	1 データ転送あたりの ステート数	WAIT 端子
0	0	0	0	無視	2	イネーブル
		1	1	イネーブル	2	イネーブル
	1	0	2	イネーブル	3	イネーブル
		1	3	イネーブル	4	イネーブル
1	0	0	4	イネーブル	4	イネーブル
		1	6	イネーブル	6	イネーブル
	1	0	8	イネーブル	8	イネーブル
		1	10 (初期値)	イネーブル	10	イネーブル

11. バスステートコントローラ (BSC)

- ビット 12~10 : エリア 5 のウェイトコントロール (A5W2、A5W1、A5W0)

物理空間のエリア 5 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。

ビット 12	ビット 11	ビット 10	機 能			
			先頭サイクル		バーストサイクル (先頭サイクルを除く)	
A5W2	A5W1	A5W0	挿入ウェイト ステート	WAIT 端子	1 データ転送あたりの ステート数	WAIT 端子
0	0	0	0	無視	2	イネーブル
		1	1	イネーブル	2	イネーブル
	1	0	2	イネーブル	3	イネーブル
		1	3	イネーブル	4	イネーブル
1	0	0	4	イネーブル	4	イネーブル
		1	6	イネーブル	6	イネーブル
	1	0	8	イネーブル	8	イネーブル
		1	10 (初期値)	イネーブル	10	イネーブル

- ビット 9~7 : エリア 4 のウェイトコントロール (A4W2、A4W1、A4W0)

物理空間のエリア 4 に対する挿入ウェイトステート数を指定します。

ビット 9	ビット 8	ビット 7	機 能		
			挿入ウェイトステート	WAIT 端子	
A4W2	A4W1	A4W0			
0	0	0	0	無視	
		1	1	イネーブル	
	1	0	2	イネーブル	
		1	3	イネーブル	
1	0	0	4	イネーブル	
		1	6	イネーブル	
	1	0	8	イネーブル	
		1	10	イネーブル	(初期値)

- ビット 6、5 : エリア 3 のウェイトコントロール (A3W1、A3W0)

物理空間のエリア 3 に対する挿入ウェイトステート数を指定します。

[通常メモリ使用時]

ビット 6	ビット 5	機 能	
A3W1	A3W0	挿入ウェイトステート	WAIT 端子
0	0	0	無視
	1	1	イネーブル
1	0	2	イネーブル
	1	3	イネーブル
(初期値)			

[シンクロナス DRAM 使用時]

ビット 6	ビット 5	機 能	
A3W1	A3W0	SDRAM CAS レイテンシ	
0	0	1	
	1	1	
1	0	2	
	1	3	
(初期値)			

- ビット 4、3 : エリア 2 のウェイトコントロール (A2W1、A2W0)

物理空間のエリア 2 に対する挿入ウェイトステート数を指定します

[通常メモリ使用時]

ビット 4	ビット 3	機 能	
A2W1	A2W0	挿入ウェイトステート	WAIT 端子
0	0	0	無視
	1	1	イネーブル
1	0	2	イネーブル
	1	3	イネーブル
(初期値)			

11. バスステートコントローラ (BSC)

[シンクロナス DRAM 使用時]

ビット 4	ビット 3	機 能
A2W1	A2W0	SDRAM CAS レイテンシ
0	0	1
	1	1
1	0	2
	1	3 (初期値)

- ビット 2~0 : エリア 0 のウェイトコントロール (A0W2, A0W1, A0W0)

物理空間のエリア 0 に対する挿入ウェイトステート数を指定します。また、バースト転送におけるバーストピッチ数を指定します。

ビット 2	ビット 1	ビット 0	機 能			
			先頭サイクル		バーストサイクル (先頭サイクルを除く)	
A0W2	A0W1	A0W0	挿入ウェイト ステート	WAIT 端子	1 データ転送あたり のステート数	WAIT 端子
0	0	0	0	無視	2	イネーブル
		1	1	イネーブル	2	イネーブル
	1	0	2	イネーブル	3	イネーブル
		1	3	イネーブル	4	イネーブル
1	0	0	4	イネーブル	4	イネーブル
		1	6	イネーブル	6	イネーブル
	1	0	8	イネーブル	8	イネーブル
		1	10 (初期値)	イネーブル	10	イネーブル

11.2.5 個別メモリコントロールレジスタ (MCR)

個別メモリコントロールレジスタ (MCR) は、シンクロナス DRAM (エリア 2,3) に対する $\overline{\text{RAS}}$, $\overline{\text{CAS}}$ のタイミングやバースト制御、アドレスマルチプレクスの指定、リフレッシュ制御を指定します。これにより、シンクロナス DRAM を外付け回路なしに直結できます。

MCR レジスタは、読み出し/書き込み可能な 16 ビットのレジスタです。パワーオンリセットで H'0000 時は初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。TPC1~0, RCD1~0, TRWL1~0, TRAS1~0, RASD, BE, AMX2~0, EDOMODE の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。RFSH, RMODE ビットに対して書き込みを行う際は、他のビットは変化させずに同じ値を書き込んでください。シンクロナス DRAM 使用時は、レジスタの初期設定が終了するまで、エリア 2,3 をアクセスしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPC1	TPC0	RCD1	RCD0	TRWL	TRWL	TRAS	TRAS	RASD	AMX3	AMX2	AMX1	AMX0	RFSH	RMO	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

• ビット 15、14 : RAS プリチャージ期間 (TPC1, TPC0)

接続メモリとしてシンクロナス DRAM インタフェースを選択した場合、プリチャージ後、次のバンクアクティブコマンド出力までの最小サイクル数を規定します。ただし、オートリフレッシュ時の全バンクプリチャージコマンド (PALL) またはバンクアクティブモードのプリチャージコマンド (PRE) の発行直後の挿入サイクル数は、通常時の値より 1 サイクル引いた値となります。バンクアクティブモード時は、TPC1=0 かつ TPC0=0 に設定しないでください。

ビット 15	ビット 14	機 能		
TPC1	TPC0	通常時	プリチャージコマンド直後*	セルフリフレッシュ直後
0	0	1 サイクル (初期値)	0 サイクル (初期値)	2 サイクル (初期値)
	1	2 サイクル	1 サイクル	5 サイクル
1	0	3 サイクル	2 サイクル	8 サイクル
	1	4 サイクル	3 サイクル	11 サイクル

【注】 * オートリフレッシュ時の全バンクプリチャージ (PALL) およびバンクアクティブモード時のプリチャージ (PRE) コマンド直後

• ビット 13、12 : RAS-CAS 遅延 (RCD1, RCD0)

接続メモリとしてシンクロナス DRAM インタフェースを選択した場合、バンクアクティブ—読み出し/書き込みコマンド遅延時間を設定します。

ビット 13	ビット 12	機 能	
RCD1	RCD0		
0	0	1 サイクル (初期値)	
	1	2 サイクル	
1	0	3 サイクル	
	1	4 サイクル	

11. バスステートコントローラ (BSC)

- ビット 11、10 : 書き込み—プリチャージ遅延 (TRWL1、TRWL0)

シンクロナス DRAM の書き込み—プリチャージの遅延時間を設定します。書き込みサイクル後オートプリチャージが起動されるまでの時間を指定します。書き込みサイクル後、TPC+TRWL の期間、次のバンクアクティブコマンドを発行しません。

ビット 11	ビット 10	機 能	
TRWL1	TRWL0		
0	0	1 サイクル	(初期値)
	1	2 サイクル	
1	0	3 サイクル	
	1	予約 (設定しないでください)	

- ビット 9、8 : $\overline{\text{CAS}}$ ビフォ $\overline{\text{RAS}}$ リフレッシュ $\overline{\text{RAS}}$ アサート期間 (TRAS1、TRAS0)

接続メモリとして、シンクロナス DRAM インタフェースを選択した場合、オートリフレッシュコマンド発行後、TPC+TRAS の期間バンクアクティブコマンドを発行しません。

ビット 9	ビット 8	機 能	
TRAS1	TRAS0		
0	0	2 サイクル	(初期値)
	1	3 サイクル	
1	0	4 サイクル	
	1	5 サイクル	

- ビット 7 : SDRAM バンクアクティブ (RASD)

SDRAM をバンクアクティブモードにするか、オートプリチャージモードにするかを指定します。エリア 2、エリア 3 をともに SDRAM 空間に設定する場合は、オートプリチャージモードに設定してください。

また、全エリアのバス幅が 32 ビットの場合以外は、バンクアクティブモードを使用しないでください。

ビット 7	機 能	
RASD		
0	オートプリチャージモード	(初期値)
1	バンクアクティブモード	

• ビット 6~3 : アドレスマルチプレクス (AMX3~AMX0)

シンクロナス DRAM のアドレスマルチプレクスを指定します。

[シンクロナス DRAM インタフェースの場合]

ビット 6	ビット 5	ビット 4	ビット 3	機 能
AMX3	AMX2	AMX1	AMX0	
1	1	0	1	ロウアドレスは A10 から開始します (ロウアドレスの出力時、A10 の値は A1 で出力されます。4M×16 ビット×4 バンク品)。
		1	0	ロウアドレスは A11 から開始します (ロウアドレスの出力時、A11 の値は A1 で出力されます。8M×16 ビット×4 バンク品)。*1
0	1	0	0	ロウアドレスは A9 から開始します (ロウアドレスの出力時、A9 の値は A1 で出力されます。1M×16 ビット×4 バンク品)。
			1	ロウアドレスは A10 から開始します (ロウアドレスの出力時、A10 の値は A1 で出力されます。2M×8 ビット×4 バンク品、2M×16 ビット×4 バンク品)。
		1	1	ロウアドレスは A9 から開始します (ロウアドレスの出力時、A9 の値は A1 で出力されます。512k×32 ビット×4 バンク品)。*2
0	0	0	0	予約。AMX3~0="*1**"に設定してからシンクロナス DRAM アクセスを開始してください。 (初期値)
上記以外				予約 (設定不可)

【注】 *1 バス幅 16 ビット時のみ設定可能

*2 バス幅 32 ビット時のみ設定可能

• ビット 2 : リフレッシュ制御 (RFSH)

リフレッシュ制御を指定します。シンクロナス DRAM に対するリフレッシュを行うかどうかを設定します。また、リフレッシュ機能を使わない場合、リフレッシュ要求周期発生用のタイマをインターバルタイマとしても使用できます。

ビット 2	機 能
RFSH	
0	リフレッシュを行わない (初期値)
1	リフレッシュを行う

11. バスステートコントローラ (BSC)

- ビット1: リフレッシュモード (RMODE)

本ビットは、RFSH ビット=1 のとき通常のリフレッシュを行うかセルフリフレッシュを行うかを指定します。RFSH ビット=1 かつ本ビット=0 とすると、シンクロナス DRAM に対してオートリフレッシュをリフレッシュ関連レジスタ RTCNT、RTCOR および RTCSR で設定した周期で行います。外部バスサイクルを行っている最中にリフレッシュ要求が発生した場合は、バスサイクルが終了してからリフレッシュサイクルを行います。また、RFSH ビット=1 かつ本ビット=1 とすると、外部バスサイクルの実行中の場合はその終了を待ってからシンクロナス DRAM に対して、セルフリフレッシュ状態になります。なお、セルフリフレッシュ状態のメモリに対するリフレッシュ要求はすべて無視されます。

ビット1	機 能	
RMODE		
0	オートリフレッシュを行う (ただし、RFSH=1 の場合)	(初期値)
1	セルフリフレッシュを実行する (ただし、RFSH=1 の場合)	

- ビット0: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

11.2.6 PCMCIA コントロールレジスタ (PCR)

PCMCIA コントロールレジスタ (PCR) は、エリア 5、6 に接続する PCMCIA インタフェースに対する \overline{OE} 、 \overline{WE} 信号のアサート/ネゲートタイミングを指定します。なお、 \overline{OE} 、 \overline{WE} 信号のアサート幅は、WCR2 レジスタのウェイトコントロールビットで設定します。

PCR レジスタは、読み出し/書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A6W3	A5W3	—	—	A5 TED2	A6 TED2	A5 TEH2	A6 TEH2	A5 TED1	A5 TED0	A6 TED1	A6 TED0	A5 TEH1	A5 TEH0	A6 TEH1	A6 TEH0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• ビット 15 : エリア 6 のウェイトコントロール (A6W3)

WCR2 の A6W2~A6W0 ビットと組み合わせて、エリア 6 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。

エリア 6 を PCMCIA に設定しない場合は、本ビットは 0 に設定してください。

A6W3	A6W2	A6W1	A6W0	先頭サイクル		バーストサイクル	
				挿入ウェイトステート	WAIT 端子	1 データ転送あたりのステート数	WAIT 端子
0	0	0	0	0	無視	2	イネーブル
			1	1	イネーブル	2	イネーブル
		1	0	2	イネーブル	3	イネーブル
			1	3	イネーブル	4	イネーブル
	1	0	0	4	イネーブル	5	イネーブル
			1	6	イネーブル	7	イネーブル
		1	0	8	イネーブル	9	イネーブル
			1	10 (初期値)	イネーブル	11	イネーブル
1	0	0	0	12	イネーブル	13	イネーブル
			1	14	イネーブル	15	イネーブル
		1	0	18	イネーブル	19	イネーブル
			1	22	イネーブル	23	イネーブル
	1	0	0	26	イネーブル	27	イネーブル
			1	30	イネーブル	31	イネーブル
		1	0	34	イネーブル	35	イネーブル
			1	38	イネーブル	39	イネーブル

11. バスステートコントローラ (BSC)

- ビット 14 : エリア 5 のウェイトコントロール (A5W3)

WCR2 の A5W2~A5W0 ビットと組み合わせて、エリア 5 に対する挿入ウェイトステート数を指定します。また、バースト転送における転送ステート数を指定します。

エリア 5 を PCMCIA に設定しない場合は、本ビットは 0 に設定してください。

設定値とウェイト数の関係は、A6W3 と同じです。

- ビット 13、12 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 11、7、6 : エリア 5 アドレス— $\overline{OE}/\overline{WE}$ アサート遅延 (A5TED2、A5TED1、A5TED0)

エリア 5 に接続された PCMCIA インタフェースにおける、アドレス出力から $\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。

ビット 11	ビット 7	ビット 6	機 能
A5TED2	A5TED1	A5TED0	
0	0	0	0.5 サイクル遅延 (初期値)
		1	1.5 サイクル遅延
	1	0	2.5 サイクル遅延
		1	3.5 サイクル遅延
1	0	0	4.5 サイクル遅延
		1	5.5 サイクル遅延
	1	0	6.5 サイクル遅延
		1	7.5 サイクル遅延

- ビット 10、5、4 : エリア 6 アドレス— $\overline{OE}/\overline{WE}$ アサート遅延 (A6TED2、A6TED1、A6TED0)

エリア 6 に接続された PCMCIA インタフェースにおける、アドレス出力から $\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。

ビット 10	ビット 5	ビット 4	機 能
A6TED2	A6TED1	A6TED0	
0	0	0	0.5 サイクル遅延 (初期値)
		1	1.5 サイクル遅延
	1	0	2.5 サイクル遅延
		1	3.5 サイクル遅延
1	0	0	4.5 サイクル遅延
		1	5.5 サイクル遅延
	1	0	6.5 サイクル遅延
		1	7.5 サイクル遅延

- ビット 9、3、2 : エリア 5 $\overline{OE}/\overline{WE}$ ネゲート—アドレス遅延 (A5TEH2、A5TEH1、A5TEH0)

エリア 5 に接続された PCMCIA インタフェースにおける、 $\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定。

ビット 9	ビット 3	ビット 2	機 能
A5TEH2	A5TEH1	A5TEH0	
0	0	0	0.5 サイクル遅延 (初期値)
		1	1.5 サイクル遅延
	1	0	2.5 サイクル遅延
		1	3.5 サイクル遅延
1	0	0	4.5 サイクル遅延
		1	5.5 サイクル遅延
	1	0	6.5 サイクル遅延
		1	7.5 サイクル遅延

- ビット 8、1、0 : エリア 6 $\overline{OE}/\overline{WE}$ ネゲート—アドレス遅延 (A6TEH2、A6TEH1、A6TEH0)

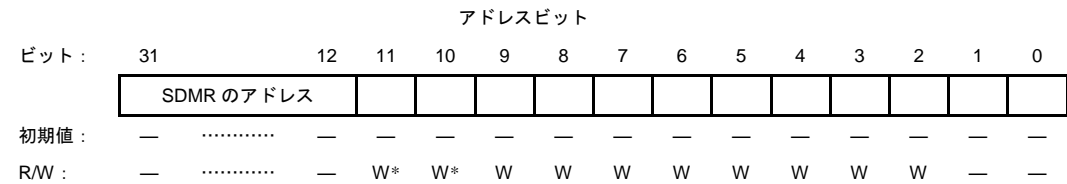
エリア 6 に接続された PCMCIA インタフェースにおける、 $\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定。

ビット 8	ビット 1	ビット 0	機 能
A6TEH2	A6TEH1	A6TEH0	
0	0	0	0.5 サイクル遅延 (初期値)
		1	1.5 サイクル遅延
	1	0	2.5 サイクル遅延
		1	3.5 サイクル遅延
1	0	0	4.5 サイクル遅延
		1	5.5 サイクル遅延
	1	0	6.5 サイクル遅延
		1	7.5 サイクル遅延

11.2.7 シンクロナス DRAM モードレジスタ (SDMR)

シンクロナス DRAM モードレジスタ (SDMR) は、シンクロナス DRAM のアドレスバスを介して書き込むモードレジスタで、書き込みのみ可能な仮想的な 8 ビットのレジスタです。エリア 2 およびエリア 3 のシンクロナス DRAM のモードを設定します。

SDMR レジスタに対する設定は、シンクロナス DRAM に対してアクセスを行う前に必ず行ってください。



【注】 * シンクロナス DRAM の種類による

シンクロナス DRAM のモードレジスタに対する書き込みは、データバスからではなくアドレスバスを用いるため、設定したい値を"X"、SDMR レジスタのアドレスを"Y"とすると、X+Y 番地に行き書き込みを行うことによって、値"X"がシンクロナス DRAM のモードレジスタに書き込まれます。なおバス幅 32 ビットの場合、本 LSI の A2 にシンクロナス DRAM の A0 が、本 LSI の A3 にシンクロナス DRAM の A1 が接続されるため、実際には"X"を右に 2 ビットシフトした値がシンクロナス DRAM に書き込まれます。バス幅 16 ビットの場合は、"X"を右に 1 ビットシフトした値が書き込まれます。

たとえば、バス幅 32 ビットの場合、エリア 2 の SDMR レジスタに H'0230 を書き込む場合は、H'FFFD000 (アドレス"Y") + H'08C0 (値"X") (=H'FFFD8C0) 番地に任意のデータを書き込みます。この結果、SDMR レジスタに H'0230 が書き込まれます。値"X"の範囲は H'0000~H'0FFC です。

また、エリア 3 の SDMR レジスタに H'0230 を書き込む場合は、H'FFFE000 (アドレス"Y") + H'08C0 (値"X") (=H'FFFE8C0) 番地に任意のデータを書き込みます。この結果、SDMR レジスタに H'0230 が書き込まれます。値"X"の範囲は H'0000~H'0FFC です。

11.2.8 リフレッシュタイマコントロール/ステータスレジスタ (RTCSR)

リフレッシュタイマコントロール/ステータスレジスタ (RTCSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、リフレッシュ周期、割り込み発生の有無および周期を指定します。

RTCSR は、パワーオンリセット時は H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。RTCSR の CKS2~CKS0 を設定する前に RTCOR の設定を行ってください。

【注】 本レジスタは誤って書き換えられないよう書き込み方法が一般のレジスタと異なっています。ワード転送命令を使用して、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。詳しくは「11.2.12 リフレッシュコントロール関連レジスタアクセス時の注意」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMF	CMIE	CKS2	CKS1	CKS0	OVF	OVIE	LMTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• ビット 15~8: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

• ビット 7: コンペアマッチフラグ (CMF)

リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したかどうかを示すステータスフラグです。

ビット 7	機 能
CMF	
0	RTCNT と RTCOR の値が一致していない (初期値) [クリア条件] CMF に 0 を書き込んだ場合、および RFSH=1&RMODE=0 (CBR リフレッシュを行う) という設定で、リフレッシュを行った場合
1	RTCNT と RTCOR の値が一致した [セット条件] RTCNT=RTCOR の場合*

【注】 * 1 を書き込むと、元の値が保持されます。

• ビット 6: コンペアマッチインタラプトイネーブル (CMIE)

RTCSR の CMF が 1 にセットされたとき、割り込み要求を発生するか抑止するかを制御します。オートリフレッシュを行っている場合は、本ビットを 1 にしないでください。

ビット 6	機 能
CMIE	
0	CMF による割り込み要求を禁止 (初期値)
1	CMF による割り込み要求を許可

11. バスステートコントローラ (BSC)

- ビット5~3 : クロックセレクトビット (CKS2~CKS0)

RTCNT への入力クロックを選択します。元となるクロックは外部バスクロック (CKIO) です。この CKIO を指定した比率で分周したものが、RTCNT のカウントクロックとなります。

CKS2~CKS0 を設定する場合、先に RTCOR の設定を行ってください。

ビット5	ビット4	ビット3	機 能
CKS2	CKS1	CKS0	通常の外部バスクロック
0	0	0	クロック入力禁止 (初期値)
		1	バスクロック (CKIO) /4
	1	0	CKIO/16
		1	CKIO/64
1	0	0	CKIO/256
		1	CKIO/1024
	1	0	CKIO/2048
		1	CKIO/4096

- ビット2 : リフレッシュカウントオーバーフローフラグ (OVF)

リフレッシュカウンタレジスタ (RFCR) で示されるリフレッシュ要求回数が、RTCSR の LMTS で示される回数を超えたかどうかを示すステータスフラグです。

ビット2	機 能
OVF	
0	LMTS で示すカウントリミット値を、RFCR がオーバーフローしていないことを示す [クリア条件] OVF に 0 を書き込んだとき (初期値)
1	LMTS で示すカウントリミット値を、RFCR がオーバーフローした [セット条件] LMTS で示すカウントリミット値を、RFCR がオーバーフローしたとき*

【注】 * 1 を書き込むと、元の値が保持されます。

- ビット1 : リフレッシュカウントオーバーフローインタラプトイネーブル (OVIE)

RTCSR の OVF が 1 にセットされたときに、OVF による割り込み要求を発生させるか抑止するかを制御します。

ビット1	機 能
OVIE	
0	OVF による割り込み要求を禁止 (初期値)
1	OVF による割り込み要求を許可

• ビット0: リフレッシュカウントオーバーフローリミットセレクト (LMTS)

リフレッシュカウンタレジスタ (RFCR) で示されるリフレッシュ回数と比較するカウントリミット値を示します。RFCR レジスタがこの LMTS で指定される値をオーバーフローすると OVF フラグがセットされます。

ビット0	機 能
LMTS	
0	カウントリミット値を 1024 とする (初期値)
1	カウントリミット値を 512 とする

11.2.9 リフレッシュタイマカウンタ (RTCNT)

リフレッシュタイマカウンタ (RTCNT) は入力したクロックによりカウントアップします。入力クロックは RTCSR レジスタの CKS2~CKS0 ビットで選択します。RTCNT カウンタが RTCOR レジスタと一致すると、RTCSR レジスタの CMF ビットをセットした後、RTCNT カウンタはクリアされます。

RTCNT カウンタは、読み出し/書き込み可能な 8 ビットのカウンタです。パワーオンリセット時は H'00 に初期化されます。マニュアルリセット時はカウントアップを続けます。スタンバイモード時は、初期化せずに、内容保持されます。

【注】 本レジスタは誤って書き換えられないよう書き込み方法が一般のレジスタと異なります。ワード転送命令を使用して、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。詳しくは「11.2.12 リフレッシュコントロール関連レジスタアクセス時の注意」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.10 リフレッシュタイムコンスタントレジスタ (RTCOR)

リフレッシュタイムコンスタントレジスタ (RTCOR) は、RTCNT カウンタの上限値を指定するレジスタです。RTCOR レジスタと RTCNT カウンタの値 (下位 8 ビット) は常に比較され、一致すると RTCSR レジスタの CMF ビットをセットして、RTCNT カウンタを 0 にクリアします。個別メモリコントロールレジスタのリフレッシュビット (RFSH) が 1 にセットされており、かつリフレッシュモードがオートリフレッシュに設定されていると、この CMF ビットがセットされたときにメモリリフレッシュサイクルが発生します。

RTCOR レジスタは、読み出し/書き込み可能なレジスタです。パワーオンリセット時は H'00 に初期化されません。マニュアルリセットおよびスタンバイモード時は、初期化せずに、内容保持されます。RTCSR の CKS2~CKS0 を設定する前に RTCOR の設定を行ってください。

【注】 本レジスタは誤って書き換えられないよう書き込み方法が一般のレジスタと異なります。ワード転送命令を使用して、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。詳しくは「11.2.12 リフレッシュコントロール関連レジスタアクセス時の注意」を参照してください。

11. バスステートコントローラ (BSC)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.11 リフレッシュカウントレジスタ (RFCR)

リフレッシュカウントレジスタ (RFCR) はリフレッシュ回数をカウントします。RTCOR レジスタと RTCNT カウンタの値が一致する度にカウントアップします。RFCR レジスタが RTCSR レジスタの LMTS ビットで指定したカウントリミット値を超えると、RTCSR レジスタの OVF フラグをセットして、RFCR レジスタはクリアされます。

RFCR レジスタは、読み出し／書き込み可能な 10 ビットのカウンタです。パワーオンリセット時は H'0000 に初期化されます。マニュアルリセット時はカウントアップを続けます。スタンバイモード時は、初期化せずに、内容保持されます。

【注】 本レジスタは誤って書き換えられないよう書き込み方法が一般のレジスタと異なります。ワード転送命令を使用して、上位バイトの MSB から 6 ビットを B'101001 にし、残りを書き込みデータにしてください。詳しくは「11.2.12 リフレッシュコントロール関連レジスタアクセス時の注意」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.12 リフレッシュコントロール関連レジスタアクセス時の注意

リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)、リフレッシュタイムカウンタ (RTCNT)、リフレッシュタイムコンスタントレジスタ (RTCOR)、リフレッシュカウントレジスタ (RFCR) は、プログラムが暴走したときなどに誤って書き換えられることがないように、書き込み時に特定のコードをデータに付加するようになっています。次の方法で、書き込み／読み出しを行ってください。

(1) RTCSR、RTCNT、RTCOR、RFCR への書き込み

RTCSR、RTCNT、RTCOR、RFCR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込みません。

図 11.5 に示すように、RTCSR、RTCNT、RTCOR に書き込むときは、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。RFCR に書き込むときは、上位バイトの MSB から 6 ビットを B'101001 にし、残りを書き込みデータにしてください。

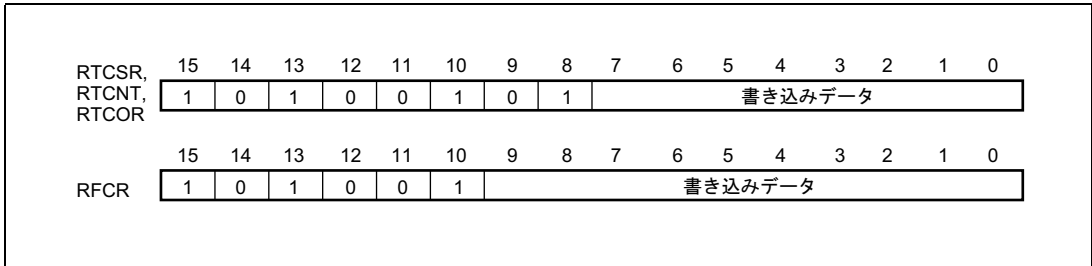


図 11.5 RTCSR、RTCNT、RTCOR、RFCR への書き込み

(2) RTCSR、RTCNT、RTCOR、RFCR からの読み出し

RTCSR、RTCNT、RTCOR、RFCR からの読み出しは、16 ビットで行ってください。定義されていないビット部分は 0 が読み出されます。

11.2.13 MCS0 コントロールレジスタ (MCSCR0)

MCS0 コントロールレジスタ (MCSCR0) は、読み出し/書き込み可能な 16 ビットのレジスタで、 $\overline{\text{MCS}}[0]$ 端子の出力条件を指定します。

$\overline{\text{MCSCR}}0$ は、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

$\overline{\text{MCS}}[0]$ 端子は PTC0 端子とマルチプレクスされているので、 $\overline{\text{MCS}}[0]$ として使用する場合は、PCCR レジスタの PCOMD1, 0 ビットを 00 (その他の機能) に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CS 2/0	CAP 1	CAP 0	A25	A24	A23	A22
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット 15~7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 6: CS2、CS0 セレクト (CS2/0)

エリア 2 とエリア 0 のどちらのアドレスをデコードするかを選択します。

ビット 6	機 能	
CS2/0		
0	エリア 0 を選択	(初期値)
1	エリア 2 を選択	

ただし、MCSCR0 の CS2/0 ビットは 0 (エリア 0 を選択) のみで使用してください。

11. バスステートコントローラ (BSC)

- ビット 5、4 : 接続するメモリサイズの指定 (CAP1、CAP0)

ビット 1	ビット 0	機 能	
CAP1	CAP0		
0	0	32M ビットメモリを接続	(初期値)
	1	64M ビットメモリを接続	
1	0	128M ビットメモリを接続	
	1	256M ビットメモリを接続	

- ビット 3~0 : 先頭アドレスの指定 (A25、A24、A23、A22)

$\overline{\text{MCS}}[0]$ のアサート対象とするメモリ領域の先頭アドレスを指定します。

11.2.14 MCS1 コントロールレジスタ (MCSCR1)

MCSCR1 は $\overline{\text{MCS}}[1]$ 端子の出力条件を指定します。ビット構成、機能は MCSCR0 と同様です。

11.2.15 MCS2 コントロールレジスタ (MCSCR2)

MCSCR2 は $\overline{\text{MCS}}[2]$ 端子の出力条件を指定します。ビット構成、機能は MCSCR0 と同様です。

11.2.16 MCS3 コントロールレジスタ (MCSCR3)

MCSCR3 は $\overline{\text{MCS}}[3]$ 端子の出力条件を指定します。ビット構成、機能は MCSCR0 と同様です。

11.2.17 MCS4 コントロールレジスタ (MCSCR4)

MCSCR4 は $\overline{\text{MCS}}[4]$ 端子の出力条件を指定します。ビット構成、機能は MCSCR0 と同様です。

11.2.18 MCS5 コントロールレジスタ (MCSCR5)

MCSCR5 は $\overline{\text{MCS}}[5]$ 端子の出力条件を指定します。ビット構成、機能は MCSCR0 と同様です。

11.2.19 MCS6 コントロールレジスタ (MCSCR6)

MCSCR6 は $\overline{\text{MCS}}[6]$ 端子の出力条件を指定します。ビット構成、機能は MCSCR0 と同様です。

11.2.20 MCS7 コントロールレジスタ (MCSCR7)

MCSCR7 は $\overline{\text{MCS}}[7]$ 端子の出力条件を指定します。ビット構成、機能は MCSCR0 と同様です。

11.3 動作説明

11.3.1 エンディアン／アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部ピン (MD5 ピン) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット幅の 3 種類から選べ、シンクロナス DRAM は 16 ビット、32 ビット幅の 2 種類から選べます。また、PCMCIA インタフェースの場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには 4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 11.7～表 11.12 に示します。

表 11.7 32 ビット外部デバイス／ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31~24	D23~16	D15~8	D7~0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイトアクセス	データ 7~0	—	—	—	アサート			
1 番地バイトアクセス	—	データ 7~0	—	—		アサート		
2 番地バイトアクセス	—	—	データ 7~0	—			アサート	
3 番地バイトアクセス	—	—	—	データ 7~0				アサート
0 番地ワードアクセス	データ 15~8	データ 7~0	—	—	アサート	アサート		
2 番地ワードアクセス	—	—	データ 15~8	データ 7~0			アサート	アサート
0 番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

11. バスステートコントローラ (BSC)

表 11.8 16ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL
0番地バイトアクセス		—	—	データ 7~0	—			アサート	
1番地バイトアクセス		—	—	—	データ 7~0				アサート
2番地バイトアクセス		—	—	データ 7~0	—			アサート	
3番地バイトアクセス		—	—	—	データ 7~0				アサート
0番地ワードアクセス		—	—	データ 15~8	データ 7~0			アサート	アサート
2番地ワードアクセス		—	—	データ 15~8	データ 7~0			アサート	アサート
0番地 ロング	1回目 (0番地)	—	—	データ 31~24	データ 23~16			アサート	アサート
ワード アクセス	2回目 (2番地)	—	—	データ 15~8	データ 7~0			アサート	アサート

表 11.9 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL
0番地バイトアクセス		—	—	—	データ 7~0				アサート
1番地バイトアクセス		—	—	—	データ 7~0				アサート
2番地バイトアクセス		—	—	—	データ 7~0				アサート
3番地バイトアクセス		—	—	—	データ 7~0				アサート
0番地 ワード アクセス	1回目 (0番地)	—	—	—	データ 15~8				アサート
	2回目 (1番地)	—	—	—	データ 7~0				アサート

11. バスステートコントローラ (BSC)

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
2番地 ワード アクセス	1回目 (2番地)	—	—	—	データ 15~8				アサート
	2回目 (3番地)	—	—	—	データ 7~0				アサート
0番地 ロング ワード アクセス	1回目 (0番地)	—	—	—	データ 31~24				アサート
	2回目 (1番地)	—	—	—	データ 23~16				アサート
	3回目 (2番地)	—	—	—	データ 15~8				アサート
	4回目 (3番地)	—	—	—	データ 7~0				アサート

表 11.10 32ビット外部デバイス／リトルエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0番地バイトアクセス		—	—	—	データ 7~0				アサート
1番地バイトアクセス		—	—	データ 7~0	—			アサート	
2番地バイトアクセス		—	データ 7~0	—	—		アサート		
3番地バイトアクセス		データ 7~0	—	—	—	アサート			
0番地ワードアクセス		—	—	データ 15~8	データ 7~0			アサート	アサート
2番地ワードアクセス		データ 15~8	データ 7~0	—	—	アサート	アサート		
0番地ロングワード アクセス		データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

11. バスステートコントローラ (BSC)

表 11.11 16 ビット外部デバイス／リトルエンディアンへのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイトアクセス		—	—	—	データ 7~0				アサート
1 番地バイトアクセス		—	—	データ 7~0	—			アサート	
2 番地バイトアクセス		—	—	—	データ 7~0				アサート
3 番地バイトアクセス		—	—	データ 7~0	—			アサート	
0 番地ワードアクセス		—	—	データ 15~8	データ 7~0			アサート	アサート
2 番地ワードアクセス		—	—	データ 15~8	データ 7~0			アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	—	—	データ 15~8	データ 7~0			アサート	アサート
	2 回目 (2 番地)	—	—	データ 31~24	データ 23~16			アサート	アサート

表 11.12 8 ビット外部デバイス／リトルエンディアンへのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイトアクセス		—	—	—	データ 7~0				アサート
1 番地バイトアクセス		—	—	—	データ 7~0				アサート
2 番地バイトアクセス		—	—	—	データ 7~0				アサート
3 番地バイトアクセス		—	—	—	データ 7~0				アサート
0 番地 ワード アクセス	1 回目 (0 番地)	—	—	—	データ 7~0				アサート
	2 回目 (1 番地)	—	—	—	データ 15~8				アサート

オペレーション		データバス				ストロープ信号			
		D31~24	D23~16	D15~8	D7~0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
2番地 ワード アクセス	1回目 (2番地)	—	—	—	データ 7~0				アサート
	2回目 (3番地)	—	—	—	データ 15~8				アサート
0番地 ロング ワード アクセス	1回目 (0番地)	—	—	—	データ 7~0				アサート
	2回目 (1番地)	—	—	—	データ 15~8				アサート
	3回目 (2番地)	—	—	—	データ 23~16				アサート
	4回目 (3番地)	—	—	—	データ 31~24				アサート

11.3.2 エリアの説明

(1) エリア0

エリア0は、物理アドレスのA28~A26が000のエリアです。アドレスのA31~A29は無視され、アドレスの範囲は $H'00000000 + H'20000000 \times n \sim H'03FFFFFF + H'20000000 \times n$ ($n=0\sim6$, $n=1\sim6$ はシャドウ空間) となります。

この空間に接続できるメモリは、SRAMやROMなどの通常メモリと、バースト機能を持ったバーストROMです。

バス幅は、外部ピンのMD3、MD4によりパワーオンリセット時に、8ビット、16ビット、32ビットから選べます。

エリア0の空間をアクセスすると $\overline{CS0}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2レジスタのA0W2~A0W0ビットによってウェイト数を0~10から選択できます。また、外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が2~10の範囲で決まります。

(2) エリア1

エリア1は、物理アドレスのA28~A26が001のエリアです。アドレスのA31~A29は無視され、アドレスの範囲は $H'04000000 + H'20000000 \times n \sim H'07FFFFFF + H'20000000 \times n$ ($n=0\sim6$, $n=1\sim6$ はシャドウ空間) となります。

エリア1は、内蔵周辺モジュール用の特殊エリアで、外部メモリを接続することはできません。

以下に示す内蔵周辺モジュールの制御レジスタはエリア1に割り付けられています。

11. バスステートコントローラ (BSC)

—DMAC、PORT、IrDA、SCIF、ADC、DAC、INTC (INTEVT、IPRA、IPRBを除く)

これらの制御レジスタのアドレスは物理アドレスであり、MMUがイネーブルのとき、論理アドレスからマッピング可能です。ただし、これらの制御レジスタがキャッシングされないようにソフトウェアで制御してください。

(3) エリア 2

エリア 2 は、物理アドレスの A28～A26 が 010 のエリアです。アドレスの A31～A29 は無視され、アドレスの範囲は $H'08000000 + H'20000000 \times n \sim H'0BFFFFFF + H'20000000 \times n$ ($n=0\sim6$, $n=1\sim6$ はシャドウ空間) となります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリとシンクロナス DRAM です。

バス幅は、通常メモリを接続する場合、BCR2 レジスタの A2SZ1～A2SZ0 により 8 ビット、16 ビット、32 ビットから選べます。

エリア 2 の空間をアクセスすると $\overline{CS2}$ 信号がアサートされます。

通常メモリを接続している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0}\sim\overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2 レジスタの A2W1～A2W0 ビットによってウェイト数を 0～3 から選択できます。通常メモリを接続している場合に限り、外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。

シンクロナス DRAM を接続している場合、 $\overline{RAS3U}$ 、 $\overline{RAS3L}$ 信号や \overline{CASU} 、 \overline{CASL} 信号、 $\overline{RD}/\overline{WR}$ 信号、バイト制御の \overline{DQMHH} 、 \overline{DQMHL} 、 \overline{DQMLH} 、 \overline{DQMLL} がアサートされ、アドレスマルチプレクスが行われます。 $\overline{RAS3U}$ 、 $\overline{RAS3L}$ や \overline{CASU} 、 \overline{CASL} 、データのタイミング制御やアドレスマルチプレクス制御は、MCR レジスタによって設定できます。

(4) エリア 3

エリア 3 は、物理アドレスの A28～A26 が 011 のエリアです。アドレスの A31～A29 は無視され、アドレスの範囲は $H'0C000000 + H'20000000 \times n \sim H'0FFFFFFF + H'20000000 \times n$ ($n=0\sim6$, $n=1\sim6$ はシャドウ空間) となります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリとシンクロナス DRAM です。

バス幅は、通常メモリを接続する場合、BCR2 レジスタの A3SZ1～A3SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。

エリア 3 の空間をアクセスすると $\overline{CS3}$ 信号がアサートされます。

通常メモリを接続している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0}\sim\overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2 レジスタの A3W1～A3W0 ビットによってウェイト数を 0～3 から選択できます。通常メモリを接続している場合に限り、外部ウェイト端子 (\overline{WAIT}) によりバスサイクルごとに任意のウェイトを挿入することができます。

シンクロナス DRAM を接続している場合、 $\overline{RAS3U}$ 、 $\overline{RAS3L}$ 信号や \overline{CASU} 、 \overline{CASL} 信号、 $\overline{RD}/\overline{WR}$ 信号、バイト制御の \overline{DQMHH} 、 \overline{DQMHL} 、 \overline{DQMLH} 、 \overline{DQMLL} がアサートされ、アドレスマルチプレクスが行われます。DRAM を接続している場合、 $\overline{RAS3U}$ 、 $\overline{RAS3L}$ 信号や \overline{CASHH} 、 \overline{CASHL} 、 \overline{CASLH} 、 \overline{CASLL} 信号、 $\overline{RD}/\overline{WR}$ 信号がアサートされ、アドレスマルチプレクスが行われます。

(5) エリア 4

エリア 4 は、物理アドレスの A28～A26 が 100 のエリアです。アドレスの A31～A29 は無視され、アドレスの範囲は $H'10000000 + H'20000000 \times n \sim H'13FFFFFF + H'20000000 \times n$ ($n=0\sim6$, $n=1\sim6$ はシャドウ空間) となります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリのみです。

バス幅は、BCR2 レジスタの A4SZ1～A4SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。

エリア 4 の空間をアクセスすると $\overline{CS4}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2 の A4W2～A4W0 ビットによってウェイト数を 0～10 から選択できます。また外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。

(6) エリア 5

エリア 5 は、物理アドレスの A28～A26 が 101 のエリアです。アドレスの A31～A29 は無視され、アドレスの範囲は $H'14000000 + H'20000000 \times n \sim H'17FFFFFF + H'20000000 \times n$ ($n=0\sim6$, $n=1\sim6$ はシャドウ空間) の 64M バイトとなります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリと、バースト機能を持ったバースト ROM および PCMCIA インタフェースです。ただし、PCMCIA インタフェースを使用する場合は、IC メモリカードインタフェースとして、アドレス範囲は $H'14000000 + H'20000000 \times n \sim H'15FFFFFF + H'20000000 \times n$ ($n=0\sim6$, $n=1\sim6$ はシャドウ空間) の 32M バイト、I/O カードインタフェースとして、アドレス範囲は $H'16000000 + H'20000000 \times n \sim H'17FFFFFF + H'20000000 \times n$ ($n=0\sim6$, $n=1\sim6$ はシャドウ空間) の 32M バイトとなります。

バス幅は、通常メモリおよびバースト ROM を接続する場合、BCR2 レジスタの A5SZ1～A5SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。また、PCMCIA インタフェースを接続する場合、BCR2 レジスタの A5SZ1～A5SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。

通常メモリを接続している場合、エリア 5 の空間をアクセスすると $\overline{CS5}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。PCMCIA インタフェースを接続している場合、 $\overline{CE1A}$ 、 $\overline{CE2A}$ 信号や \overline{OE} として使用できる \overline{RD} 信号、 $\overline{WE1}$ 信号がアサートされます。

バスサイクル数は、WCR2 レジスタの A5W2～A5W0 ビットによってウェイト数を 0～10 から選択できます。PCMCIA インタフェースの場合は、WCR2 レジスタの A5W2～A5W0 および、PCR レジスタの A5W3 によってウェイト数を 0～38 から選択できます。また外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2～11 (PCMCIA インタフェースの場合は 2～39) の範囲で決まります。また、リード/ライトストロープ信号に対してアドレス/ $\overline{CS5}$ のセットアップ、ホールド時間を PCR レジスタの A5TED2～A5TED0、A5TEH2～A5TEH0 によって、0.5～7.5 サイクルの範囲で設定できます。

11. バスステートコントローラ (BSC)

(7) エリア 6

エリア 6 は、物理アドレスの A28～A26 が 110 のエリアです。アドレスの A31～A29 は無視され、アドレスの範囲は $H'18000000 + H'20000000 \times n \sim H'1BFFFFFF + H'20000000 \times n$ ($n=0\sim6$, $n=1\sim6$ はシャドウ空間) の 64M バイトとなります。

この空間に接続できるメモリは、SRAM や ROM などの通常メモリと、バースト機能を持ったバースト ROM および PCMCIA インタフェースです。ただし、PCMCIA インタフェースを使用する場合は、IC メモリカードインタフェースとして、アドレス範囲は $H'18000000 + H'20000000 \times n \sim H'19FFFFFF + H'20000000 \times n$ ($n=0\sim6$, $n=1\sim6$ はシャドウ空間) の 32M バイト、I/O カードインタフェースとして、アドレス範囲は $H'1A000000 + H'20000000 \times n \sim H'1BFFFFFF + H'20000000 \times n$ ($n=0\sim6$, $n=1\sim6$ はシャドウ空間) の 32M バイト、となります。

バス幅は、通常メモリおよびバースト ROM を接続する場合、BCR2 レジスタの A6SZ1～A6SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。また、PCMCIA インターフェースを接続する場合、BCR2 レジスタの A6SZ1～A6SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。

通常メモリを接続している場合、エリア 6 の空間をアクセスすると $\overline{CS6}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。PCMCIA インタフェースを接続している場合、 $\overline{CE1B}$ 、 $\overline{CE2B}$ 信号や \overline{OE} として使用できる \overline{RD} 信号、 \overline{WE} 、 $\overline{ICIOR\overline{D}}$ 、 \overline{ICIOWR} 信号がアサートされません。

バスサイクル数は、WCR2 レジスタの A6W2～A6W0 ビットによってウェイト数を 0～10 から選択できます。PCMCIA インタフェースの場合は、WCR2 レジスタの A6W2～A6W0、および PCR レジスタの A6W3 によって、ウェイト数を 0～38 から選択できます。また外部ウェイト端子 (\overline{WAIT}) により、バスサイクルごとに任意のウェイトを挿入することができます。また、バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2～11 (PCMCIA インタフェースの場合は 2～39) の範囲で決まります。また、リード/ライストロープ信号に対してアドレス $\overline{CS6}$ のセットアップ、ホールド時間を PCR レジスタの A6TED2～A6TED0、A6TEH2～A6TEH0 によって、0.5～7.5 サイクルの範囲で設定できます。

11.3.3 基本インタフェース

(1) 基本タイミング

本 LSI の基本インタフェースは、主に SRAM の直結を考慮してストロープ信号を出力します。図 11.6 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表すため、1 サイクルアサートされます。 \overline{CSn} 信号はネゲート期間を確保するために、 T_2 のクロック立ち下がりでネゲートされます。したがって最小ピッチでアクセスする場合にも、半サイクルのネゲート期間が生まれます。

アクセスサイズは読み出し時は指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出すこととなります。書き込み時には書き込みを行うバイトの \overline{WE} 信号のみがアサートされます。詳細は「11.3.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

キャッシュフィル/コピーバックのための読み出し/書き込みは設定したバス幅に従い、合計 16 バイトを連続して行います。この途中ではバス権を解放しません。バイトまたはワードオペランドアクセス時および奇数ワー

ド境界への分岐時のキャッシュミスに関しても、チップ外部インターフェース上は必ずロングワードアクセスでアクセスを行います。ライトスルー領域の書き込み、およびキャッシュ非対象領域の読み出し／書き込みに関しては、実際のアクセスサイズに従ってアクセスを行います。

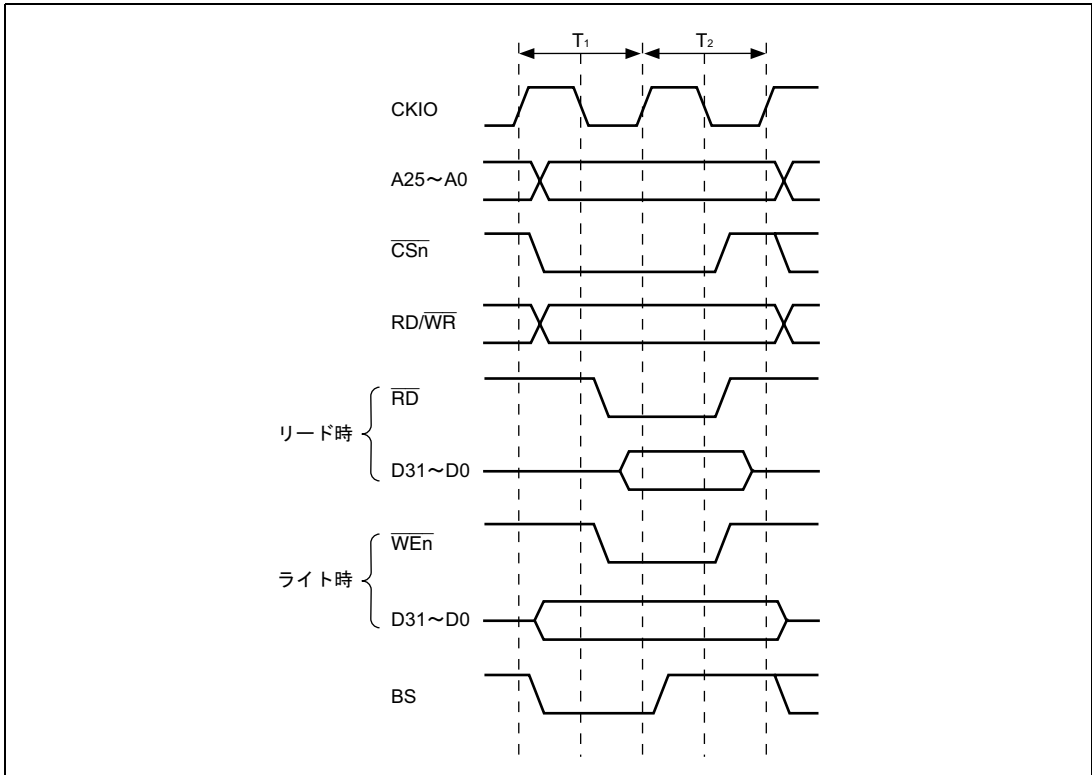


図 11.6 基本インターフェースの基本タイミング

11. バスステートコントローラ (BSC)

図 11.7 に 32 ビットデータ幅の SRAM との接続例を、図 11.8 に 16 ビットデータ幅の SRAM との接続例を、図 11.9 に 8 ビットデータ幅の SRAM との接続例を示します。

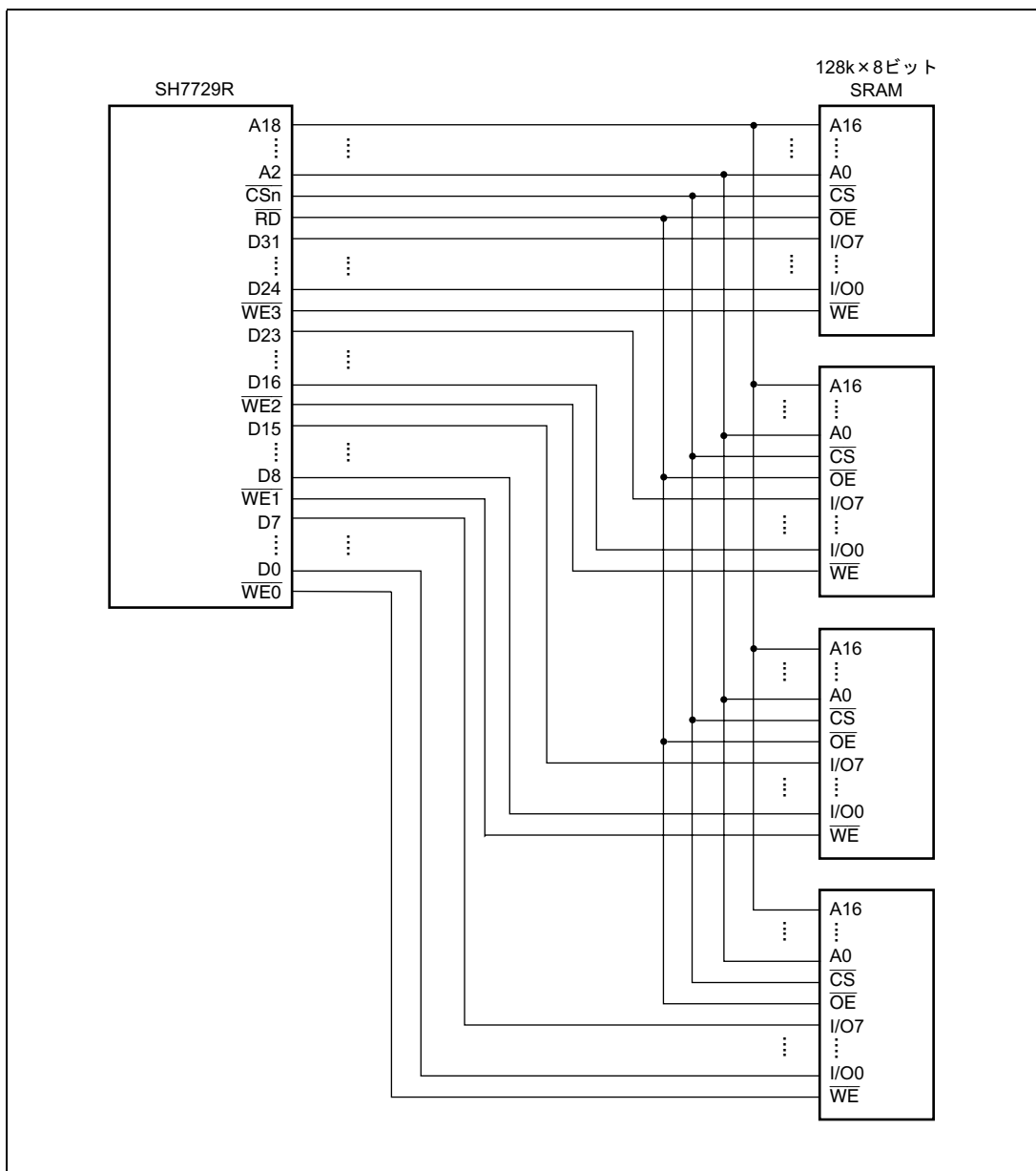


図 11.7 32 ビットデータ幅 SRAM 接続例

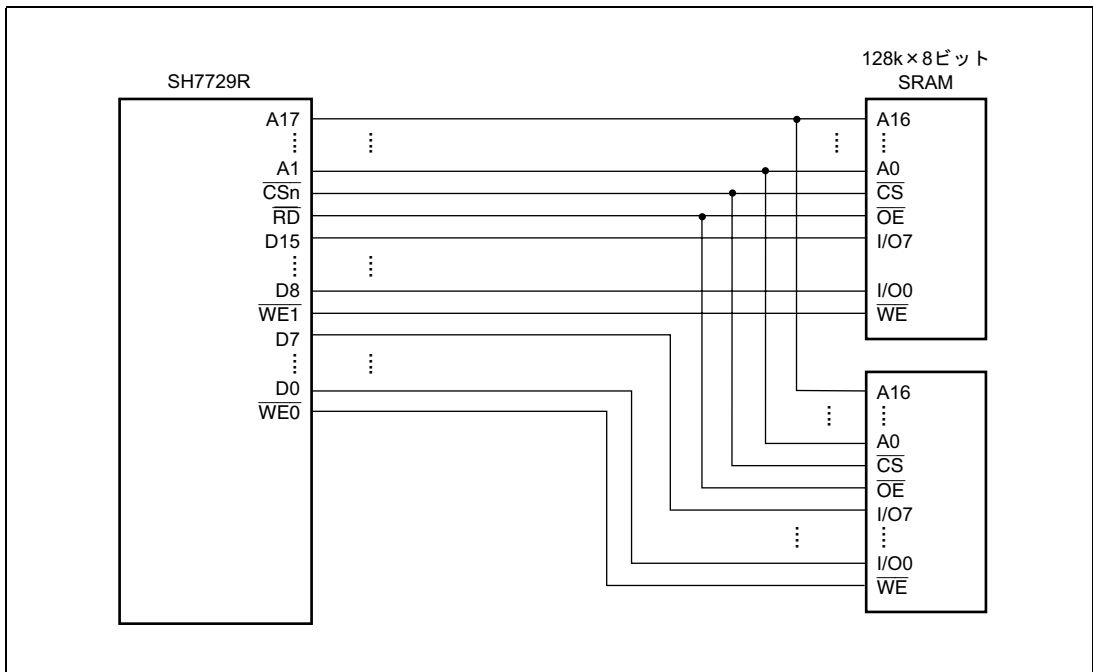


図 11.8 16 ビットデータ幅 SRAM 接続例

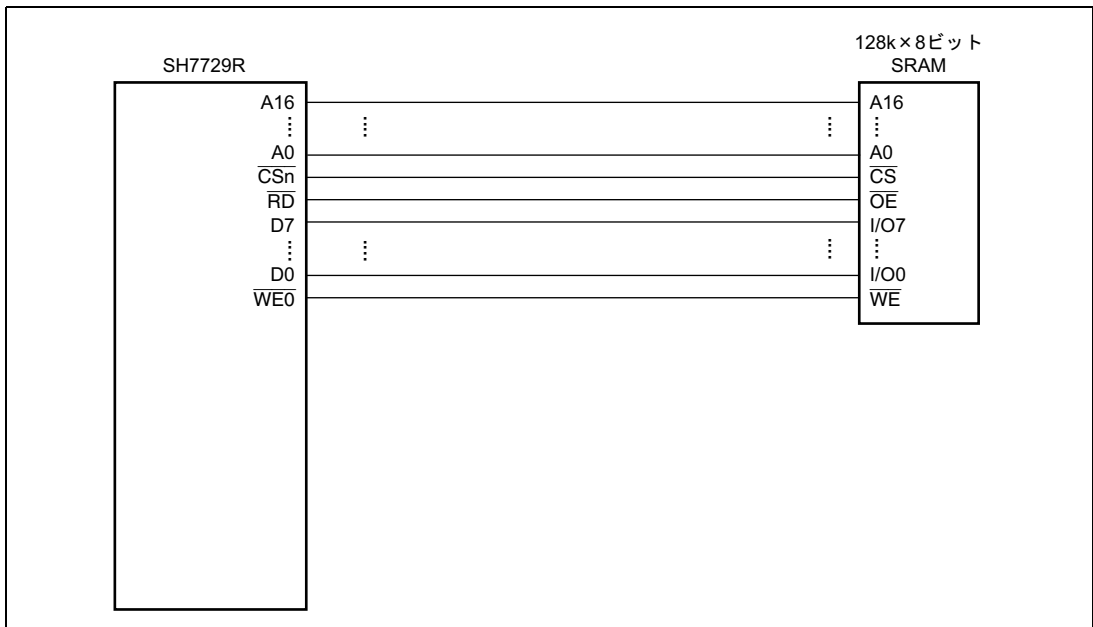


図 11.9 8 ビットデータ幅 SRAM 接続例

11. バスステートコントローラ (BSC)

(2) ウェイトステート制御

WCR2 の設定により、基本インタフェースのウェイトステートの挿入を制御できます。WCR2 の各エリアに対応するウェイト指定ビットが 0 以外のときは、このウェイト指定に従ったソフトウェイトが挿入されます。詳細は「11.2.4 ウェイトコントロールレジスタ 2 (WCR2)」を参照してください。

WCR2 によって、図 11.10 に示す基本インタフェースのウェイトタイミングで、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

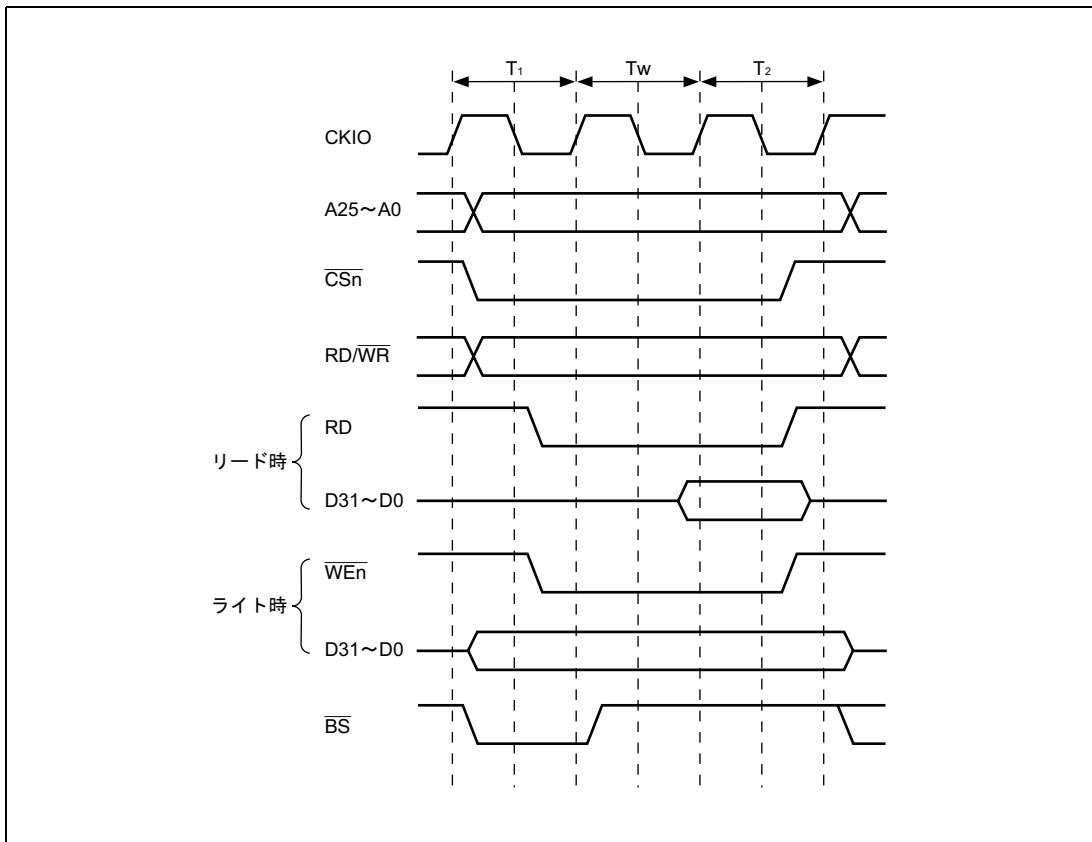


図 11.10 基本インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)

WCR2 によってソフトウェアによるウェイトを指定したときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 11.11 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。サンプリングは T_w ステートから T_2 ステートに移行する際に行われるので、 T_1 のサイクルおよび 1 回目の T_w サイクルで $\overline{\text{WAIT}}$ 信号をアサートしても、なんら影響を与えません。

WCR1 レジスタの WAITSEL ビットを 1 に設定した場合、 $\overline{\text{WAIT}}$ 信号はクロックの立ち下がりでもサンプリングされません。

クロックの立ち下がりエッジに対するセットアップ/ホールドが満たされない場合、次の立ち下がりエッジでサンプリングした値が使われます。

ただし、次の 3 つの場合は $\overline{\text{WAIT}}$ 信号は無視されます。

- DMA16バイト転送、デュアルアドレスモード、外部アドレス空間へのライト時
- DMA16バイト転送、デュアルアドレスモード、DACK付き外部デバイスから外部アドレス空間への転送時
- キャッシュのライトバックアクセス時

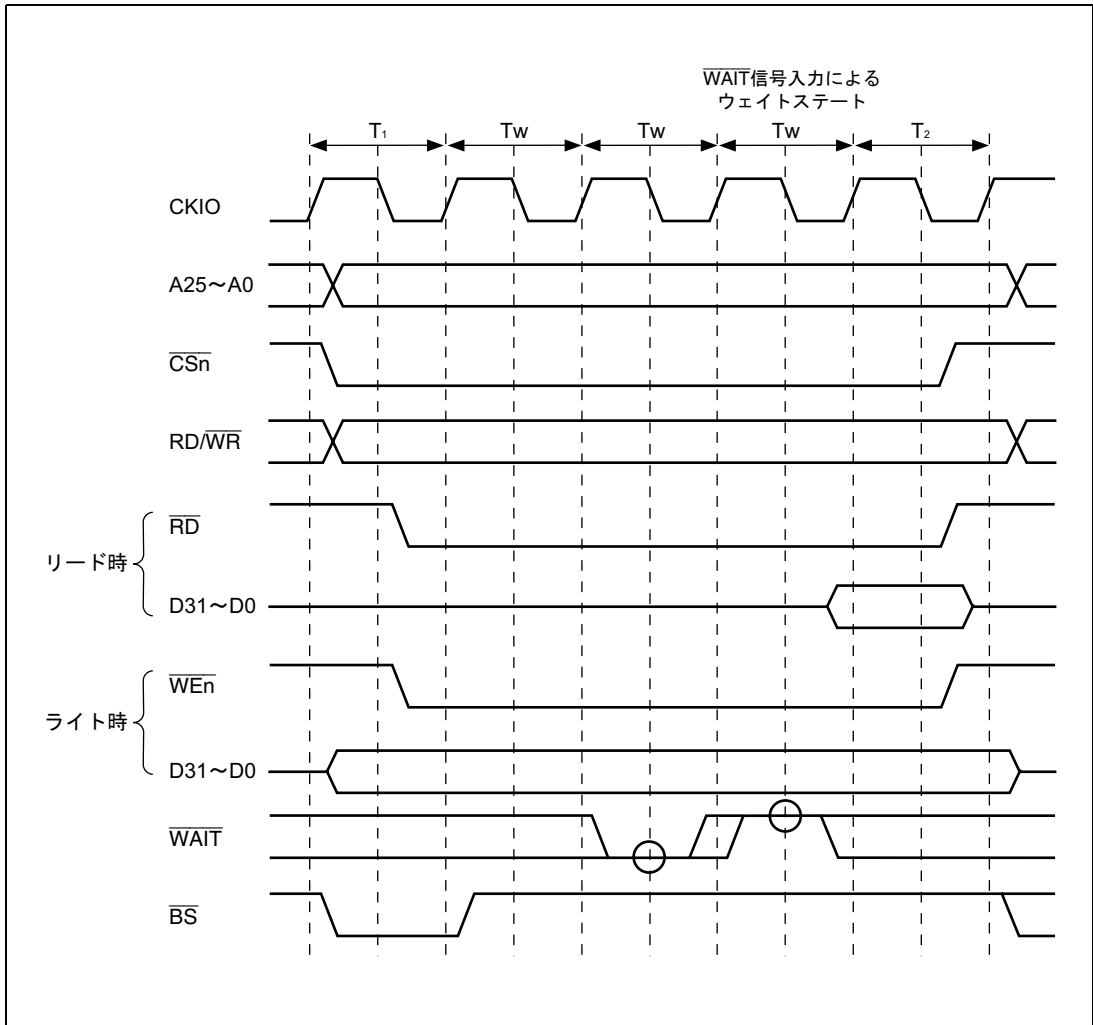


図 11.11 基本インターフェースのウェイトステートタイミング
(WAIT 信号によるウェイトステート挿入 WAITSEL=1)

11.3.4 シンクロナス DRAM インタフェース

(1) シンクロナス DRAM 直結方式

シンクロナス DRAM は \overline{CS} 信号によって選択できるため、 \overline{RAS} などの制御信号を共通に使用して物理空間のエリア 2 とエリア 3 に接続が可能です。BCR1 メモリタイプビット (DRAMTP2~0) を 010 に設定すると、エリア 2 が通常メモリ空間、エリア 3 がシンクロナス DRAM 空間になり、011 に設定するとエリア 2、エリア 3 がともにシンクロナス DRAM 空間となります。

ただし、クロック比 $I\phi : B\phi = 1 : 1$ のときはシンクロナス DRAM にアクセスしないでください。

本 LSI ではシンクロナス DRAM の動作モードとして、バースト長 1 のバーストリード/シングルライトのモードをサポートしています。データのバス幅は 16、32 ビットから選択できます。MCR のバーストイネーブルビット BE は無視され、キャッシュのフィル/ライトバックサイクルでは 16 バイトのバースト転送が行われ、ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し・書き込みでは 1 回のみアクセスが行われます。

シンクロナス DRAM を直結するための制御信号は $\overline{RAS3L}$ 、 $\overline{RAS3U}$ 、 \overline{CASL} 、 \overline{CASU} 、 RD/\overline{WR} 、 $\overline{CS2}$ または $\overline{CS3}$ 、 $DQM\overline{U}$ 、 $DQM\overline{L}$ 、 $DQML\overline{U}$ 、 $DQML\overline{L}$ および CKE 信号です。 $\overline{CS2}$ または $\overline{CS3}$ を除く信号は各エリア共通であり、CKE を除く信号は $\overline{CS2}$ または $\overline{CS3}$ がアサートされたときのみ有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができます。CKE はセルフリフレッシュを行うときのみネゲート (L レベルに) され、それ以外は常にアサート (H レベルに) されています。

リフレッシュサイクルおよびモードレジスタ書き込みサイクルでは、 $\overline{RAS3U}$ 、 $\overline{RAS3L}$ または \overline{CASU} 、 \overline{CASL} がともに出力されます。

$\overline{RAS3L}$ 、 $\overline{RAS3U}$ 、 \overline{CASL} 、 \overline{CASU} 、 RD/\overline{WR} および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストローブ・バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。

バイトの指定は $DQM\overline{U}$ 、 $DQM\overline{L}$ 、 $DQML\overline{U}$ 、 $DQML\overline{L}$ によって行われます。該当する DQM が L のバイトに対して読み出し書き込みが行われます。ビッグエンディアンモードの場合、 $DQM\overline{U}$ は $4n$ 番地のアクセスを、 $DQML\overline{L}$ は $4n+3$ 番地のアクセスを指定します。またリトルエンディアンモードの場合、 $DQM\overline{U}$ は $4n+3$ 番地のアクセスを、 $DQML\overline{L}$ は $4n$ 番地のアクセスを指定します。

図 11.12 に $1M \times 16$ ビット $\times 4$ バンクのシンクロナス DRAM を 2 個接続する場合の例を、また、図 11.13 に $1M \times 16$ ビット $\times 4$ バンクのシンクロナス DRAM を 1 個接続する場合の例を示します。

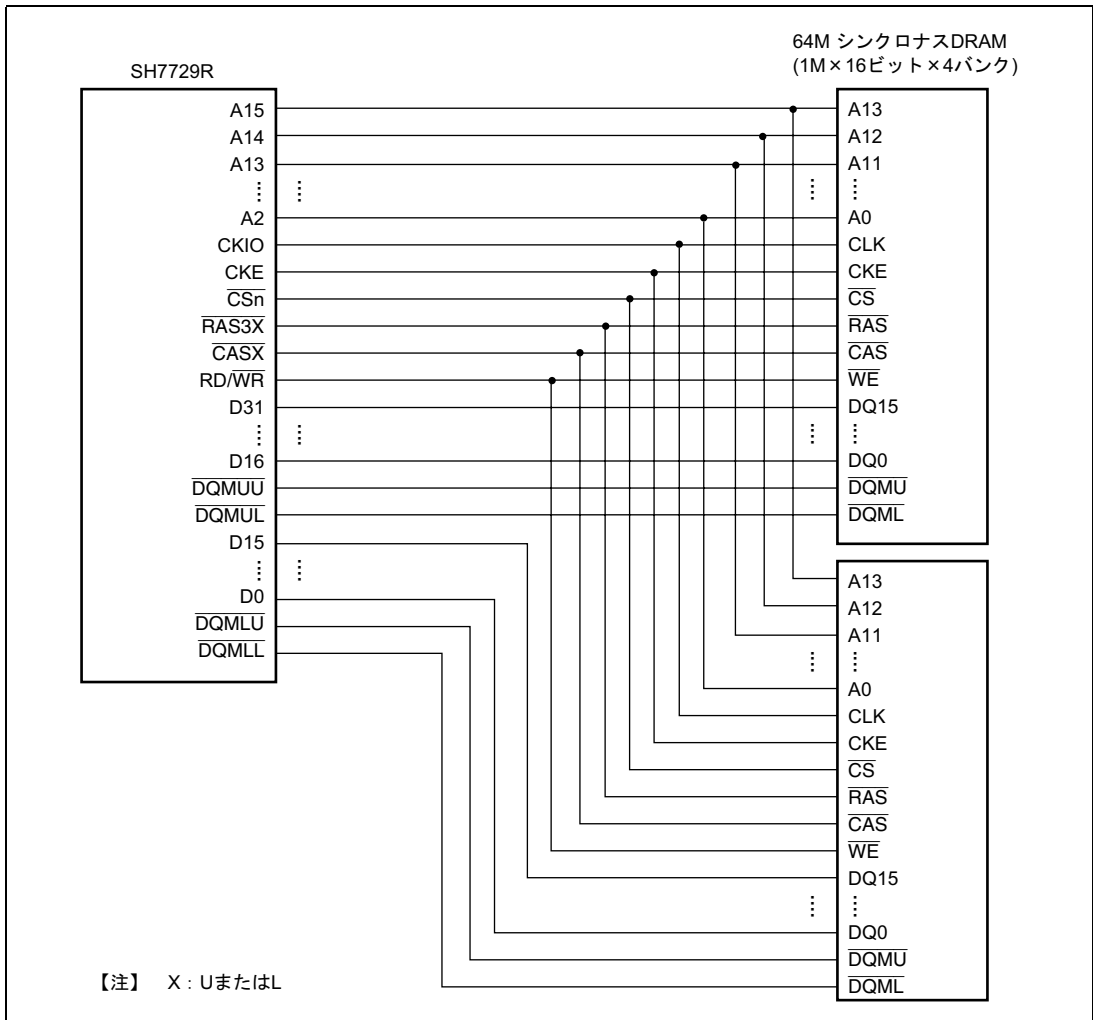


図 11.12 64M ビットシンクロナス DRAM 接続例 (バス幅 32 ビット)

11. バスステートコントローラ (BSC)

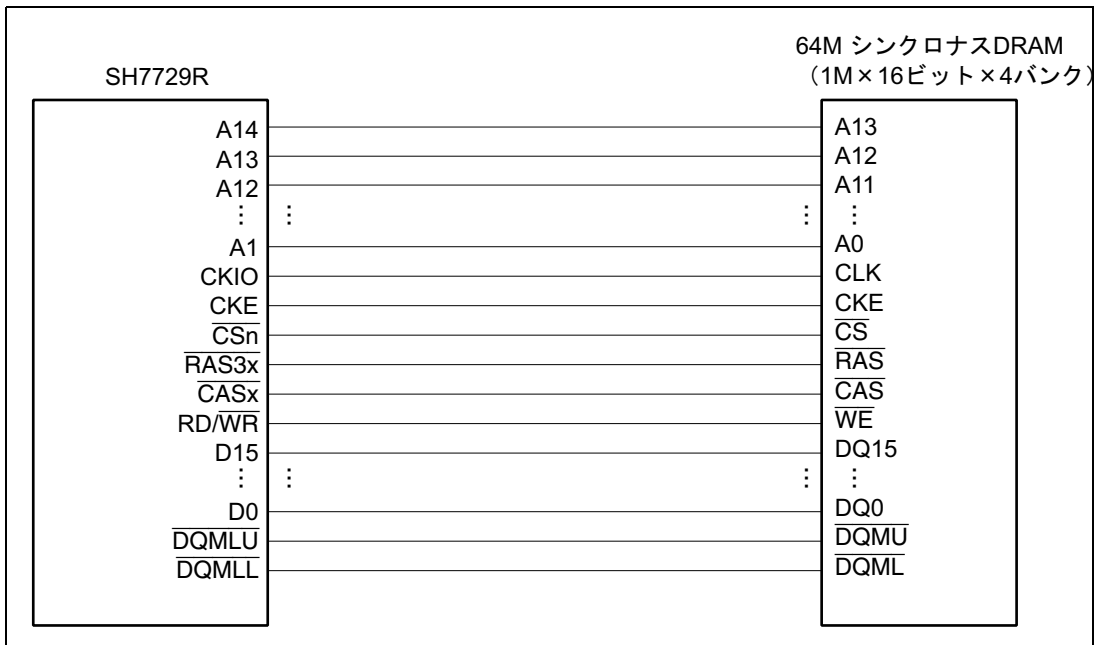


図 11.13 64M ビットシンクロナス DRAM 接続例 (バス幅 16 ビット)

(2) アドレスマルチプレクス

MCR のアドレスマルチプレクス指定 AMX2~AMX0 に従って、外付けのマルチプレクス回路なしにシンクロナス DRAM に接続できるように、アドレスのマルチプレクスを行います。表 11.13 にマルチプレクスの指定ビットとアドレス端子に出力されるビットの関係を示します。

A25~A16 と A0 はマルチプレクスを行わず常に本来の値が出力されています。

シンクロナス DRAM のアドレス端子の LSB である A0 は本 LSI に接続する場合ロングワードアドレスの指定を行います。したがって、バス幅 32 ビットの場合シンクロナス DRAM の A0 を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で、バス幅 16 ビットの場合シンクロナス DRAM の A0 を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子という順で接続してください。

11. バスステートコントローラ (BSC)

表 11.13 バス幅、AMX とアドレスマルチプレクス出力の関係

バス幅	メモリ タイプ	設定				出カタイ ミング	外部アドレス端子									
		AMX3	AMX2	AMX1	AMX0		A1~A8	A9	A10	A11	A12	A13	A14	A15	A16	
32 ビット	4M× 16 ビット× 4バンク ^{*1}	1	1	0	1	カラム アドレス	A1~A8	A9	A10	A11	L/H ^{*3}	A13	A23	A24 ^{*4}	A25 ^{*4}	
						ロウ アドレス	A10~A17	A18	A19	A20	A21	A22	A23	A24 ^{*4}	A25 ^{*4}	
	2M× 16 ビット× 4バンク ^{*2}	0	1	0	1	カラム アドレス	A1~A8	A9	A10	A11	L/H ^{*3}	A13	A23 ^{*4}	A24 ^{*4}		
						ロウ アドレス	A10~A17	A18	A19	A20	A21	A22	A23 ^{*4}	A24 ^{*4}		
	1M× 16 ビット× 4バンク ^{*2}	0	1	0	0	カラム アドレス	A1~A8	A9	A10	A11	L/H ^{*3}	A13	A22 ^{*4}	A23 ^{*4}		
						ロウ アドレス	A9~A16	A17	A18	A19	A20	A21	A22 ^{*4}	A23 ^{*4}		
	2M× 8 ビット× 4バンク ^{*2}	0	1	0	1	カラム アドレス	A1~A8	A9	A10	A11	L/H ^{*3}	A13	A23 ^{*4}	A24 ^{*4}		
						ロウ アドレス	A10~A17	A18	A19	A20	A21	A22	A23 ^{*4}	A24 ^{*4}		
	512k× 32 ビット× 4バンク ^{*2}	0	1	1	1	カラム アドレス	A1~A8	A9	A10	A11	L/H ^{*3}	A21 ^{*4}	A22 ^{*4}	A15		
						ロウ アドレス	A9~A16	A17	A18	A19	A20	A21 ^{*4}	A22 ^{*4}	A23		
	16 ビット	8M×16 ビット× 4バンク ^{*1}	1	1	1	0	カラム アドレス	A1~A8	A9	A10	L/H ^{*3}	A12	A23	A24 ^{*4}	A25 ^{*4}	
							ロウ アドレス	A11~A18	A19	A20	A21	A22	A23	A24 ^{*4}	A25 ^{*4}	
4M× 16 ビット× 4バンク ^{*2}		1	1	0	1	カラム アドレス	A1~A8	A9	A10	L/H ^{*3}	A12	A22	A23 ^{*4}	A24 ^{*4}		
						ロウ アドレス	A10~A17	A18	A19	A20	A21	A22	A23 ^{*4}	A24 ^{*4}		
2M× 16 ビット× 4バンク ^{*2}		0	1	0	1	カラム アドレス	A1~A8	A9	A10	L/H ^{*3}	A12	A22 ^{*4}	A23 ^{*4}	A24		
						ロウ アドレス	A10~A17	A18	A19	A20	A21	A22 ^{*4}	A23 ^{*4}	A24		
1M× 16 ビット× 4バンク ^{*2}		0	1	0	0	カラム アドレス	A1~A8	A9	A10	L/H ^{*3}	A12	A21 ^{*4}	A22 ^{*4}	A15		
						ロウ アドレス	A9~A16	A17	A18	A19	A20	A21 ^{*4}	A22 ^{*4}	A23		
2M× 8 ビット×4 バンク ^{*2}		0	1	0	1	カラム アドレス	A1~A8	A9	A10	L/H ^{*3}	A12	A22 ^{*4}	A23 ^{*4}	A24		
						ロウ アドレス	A10~A17	A18	A19	A20	A21	A22 ^{*4}	A23 ^{*4}	A24		

11. バスステートコントローラ (BSC)

- 【注】 *1 RAL3L/CASLのみ出力されます。
- *2 アドレスが上位 32M バイトの場合、 $\overline{\text{RAS3U}}$ 、 $\overline{\text{CASU}}$ が出力されます。下位 32M バイトの場合、 $\overline{\text{RAS3L}}$ 、 $\overline{\text{CASL}}$ が出力されます。
- *3 L/Hはコマンド指定に使われるビットであり、アクセスのモードによってLまたはHに固定されます。
- *4 バンクアドレス指定。

表 11.14 シンクロナス DRAM のアドレス端子対応例
(AMX [3:0]=0100、バス幅 32 ビット)

SH7729R の アドレス端子	シンクロナス DRAM の		機能	
	RAS サイクル	CAS サイクル		アドレス端子
A15	A23	A23	A13 (BA1)	バンクセレクトアドレス
A14	A22	A22	A12 (BA0)	
A13	A21	A13	A11	アドレス
A12	A20	L/H	A10	アドレス/プリチャージ設定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1	未使用	
A0	A0	A0	未使用	

(3) パーストリード

パーストリード時のタイミングチャートを図 11.15 に示します。以下の例では 2M×8 ビットのシンクロナス DRAM を 4 個接続し、データ幅 32 ビットで使用した場合を想定しており、パースト長は 1 となっています。ACTV コマンド出力を行う Tr サイクルに続いて、READ コマンドを Te1、Te2、Te3 サイクルに、READA コマンドを Tc4 サイクルに発行し、Td1 から Td4 のサイクルに外部コマンドクロック (CKIO) の立ち上がりでリードデータを受け取ります。Tpc はシンクロナス DRAM 内部で READA コマンドに基づくオートプリチャージが完了するのを待つサイクルであり、この間は同一バンクに対して新たなアクセスコマンドの発行は行えません。ただし、別のエリアのシンクロナス DRAM に対するアクセスは可能です。本 LSI では MCR の TPC ビットの指定によって Tpc のサイクル数を決定し、この間同一シンクロナス DRAM に対するコマンド発行を行いません。

図 11.14 の例は基本サイクルを表したものです。より低速なシンクロナス DRAM を接続するため、WCR2 および MCR のビットを設定することによって、サイクルを延ばすことができます。ACTV コマンド出力サイクル Tr から READ コマンド出力サイクル Te1 までのサイクル数は、MCR の RCD ビットによって指定することができ、0

～3 のときそれぞれ 1～4 サイクルとなります。2 サイクル以上の場合、Tr サイクルと Tc サイクルの間にシンクロナス DRAM に対する NOP コマンド発行サイクル Trw が挿入されます。READ および READA コマンド出力サイクル Tc1～Tc4 から最初のリードデータ取り込みサイクル Td1 までのサイクル数は、WCR2 の A2W1、A2W0 および A3W1、A3W0 によって、1 サイクルから 3 サイクルまでエリア 2、エリア 3 それぞれ独立に指定することができます。このサイクル数はシンクロナス DRAM の CAS レイテンシサイクル数に相当します。

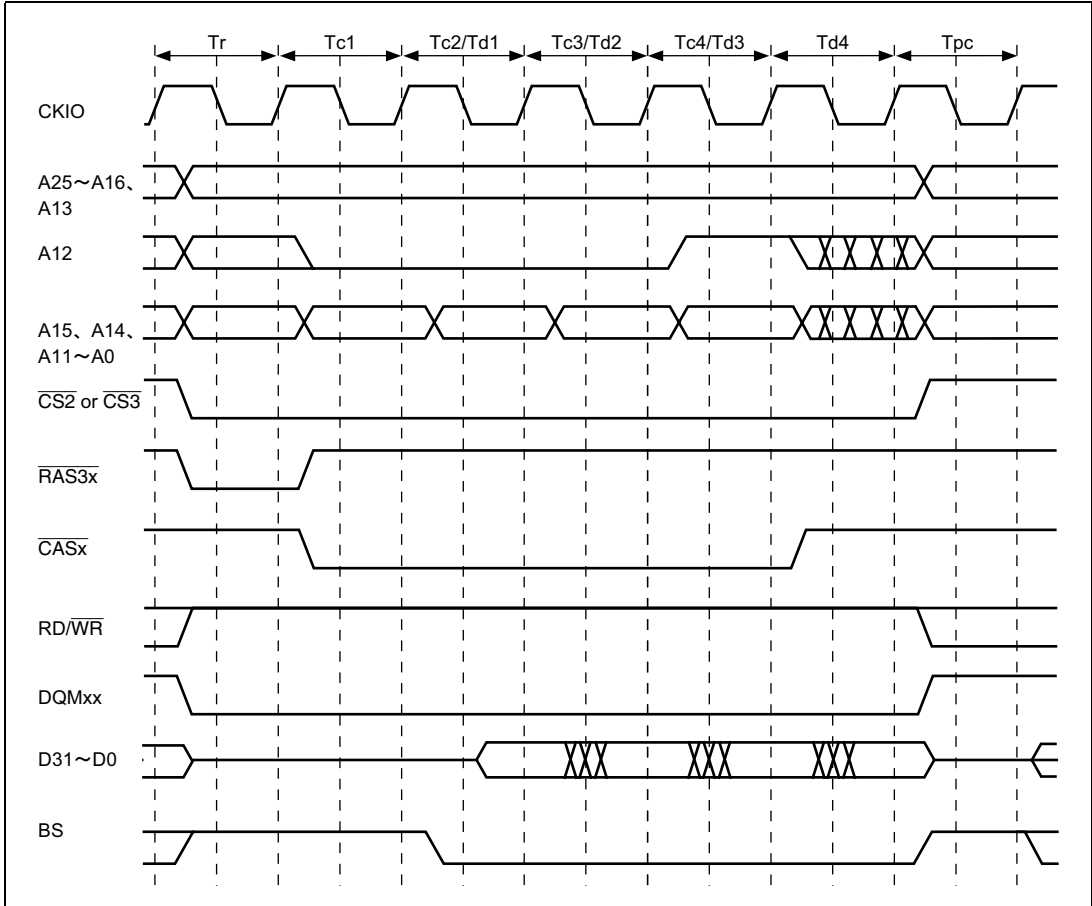


図 11.14 シンクロナス DRAM バーストリード基本タイミング

RCD を 1 に、A3W1、A3W0 を 10 に、TPC を 1 に設定したときのバーストリードのタイミングを図 11.15 に示します。

通常空間アクセスではバスサイクル開始時に 1 サイクルアサートする \overline{BS} 信号を、シンクロナス DRAM サイクルでは、Td1～Td4 の各サイクルでアサートしています。バーストリードを行っているときには、アドレスは \overline{CAS} アサートごとに更新されます。バースト転送の単位は 16 バイトなので、アドレスの更新は A3、A2 (バス幅 16 ビットのときは A3、A2、A1) のみに対して行われます。アクセスの順は、キャッシュミス時のフィル動作では最初にミスしたデータが読み込まれ、その後ミスしたデータを含む 16 バイトバウンダリのデータをラップアラウ

11. バスステートコントローラ (BSC)

ンドに読み込みます。

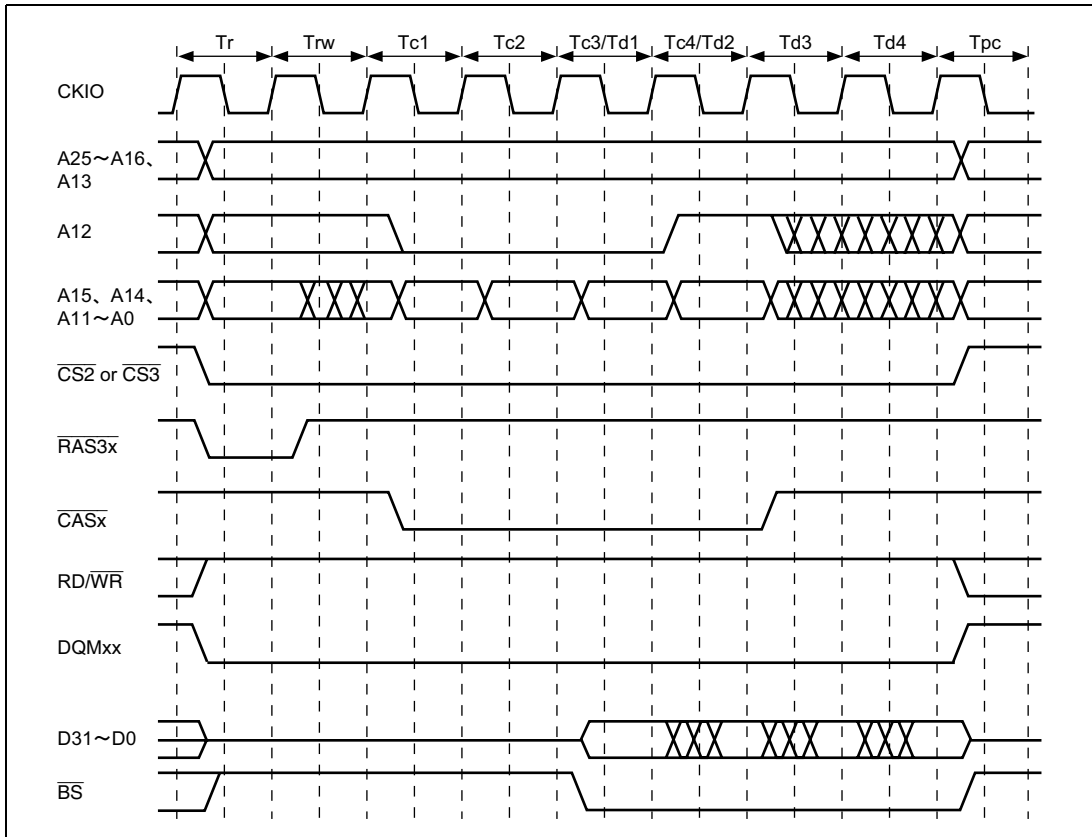


図 11.15 シンクロナス DRAM バーストリードウェイト指定タイミング

(4) シングルリード

図 11.16 に単一アドレスのリードを行う場合のタイミングを示します。シンクロナス DRAM は、バーストリード/シングルライトのモードでバースト長を 1 に設定しているため、必要なデータのみ出力します。このため、キャッシュスルー領域をアクセスしても無駄なバスサイクルは発生しません。

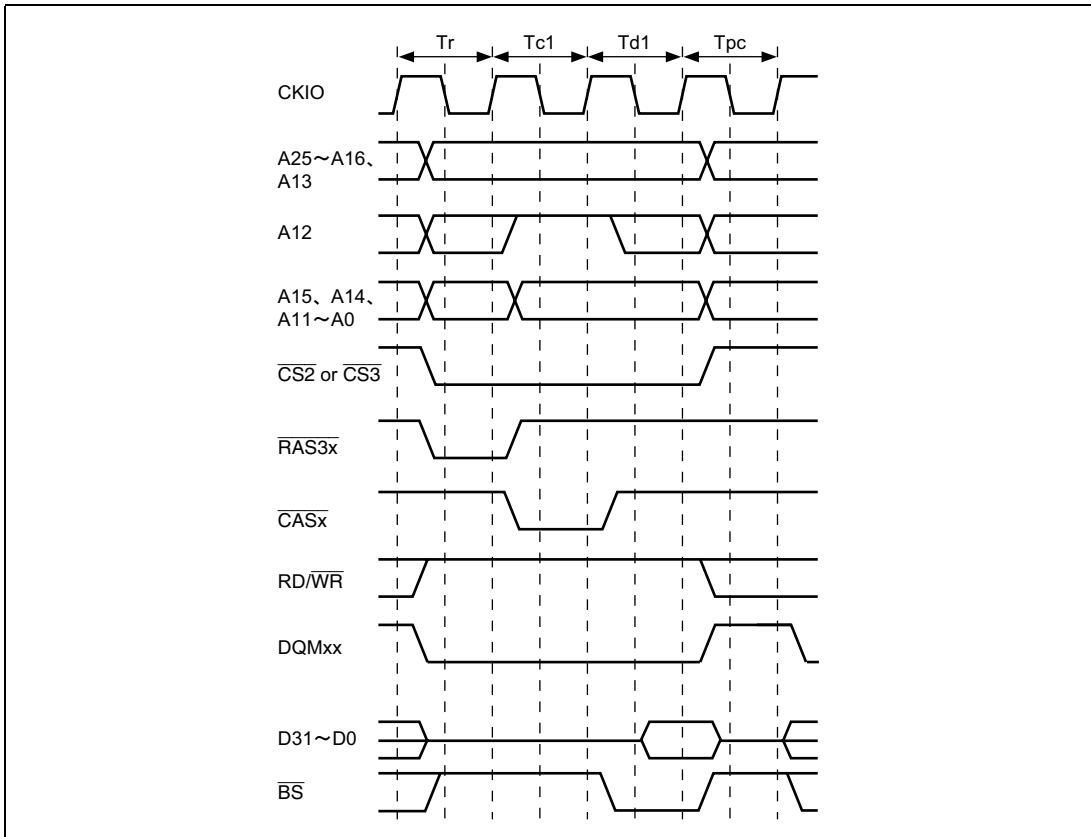


図 11.16 シンクロナス DRAM シングルリード基本タイミング

(5) パーストライト

パーストライト時のタイミングチャートを図 11.17 に示します。本 LSI でパーストライトが発生するのはキャッシュのライトバックまたは DMAC の 16 バイト転送の場合です。パーストライトの動作は ACTV コマンド出力を行う T_r サイクルに続いて、WRIT コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、オートプリチャージを行う WRITA コマンドを T_{c4} サイクルに発行します。ライトサイクルではライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンドの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後、当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。このため、リードアクセス時のプリチャージ待ちサイクル T_{pc} に加えライトコマンド後、プリチャージが起動されるまでの時間を持つ $Trw1$ サイクルが加わり、この間同一のバンクに対する新たなコマンドの発行を遅らせます。 $Trw1$ サイクルのサイクル数は MCR の TRWL ビットによって指定可能です。

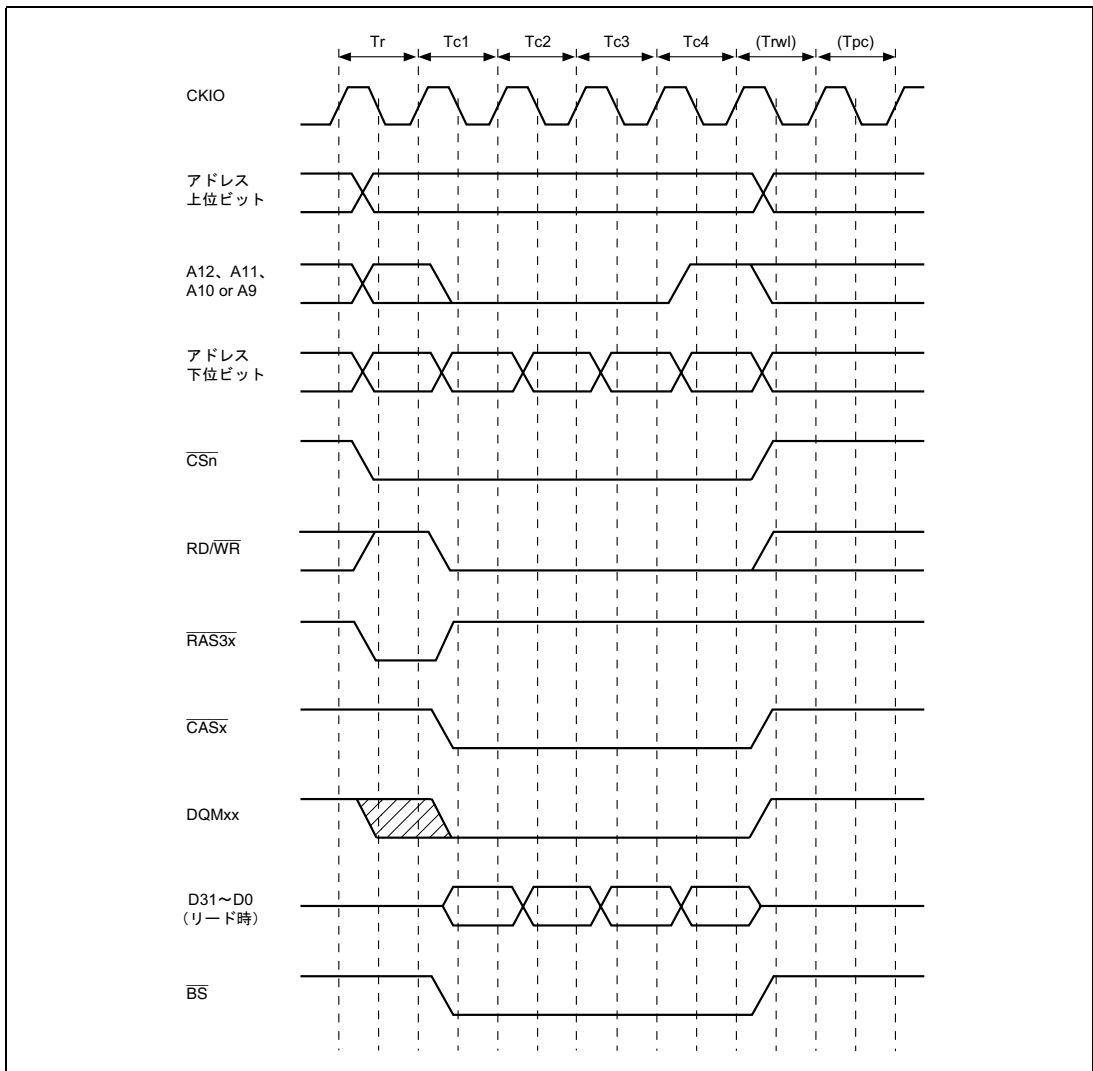


図 11.17 シンクロナス DRAM バーストライト基本タイミング

(6) シングルライト

ライトアクセスの基本タイミングチャートを図 11.18 に示します。シングルライトの動作は、ACTV コマンドを行う T_r サイクルに続いて、オートプリチャージを行う WRITA コマンドを T_{c1} で発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。

このため、リードアクセス時のプリチャージ待ちサイクル T_{pc} に加えライトコマンド後、プリチャージが起動されるまでの時間を待つ T_{rwl} サイクルが加わり、この間同一のバンクに対する新たなコマンドの発行を遅らせませす。 T_{rwl} サイクルのサイクル数は MCR の TRWL ビットによって指定可能です。

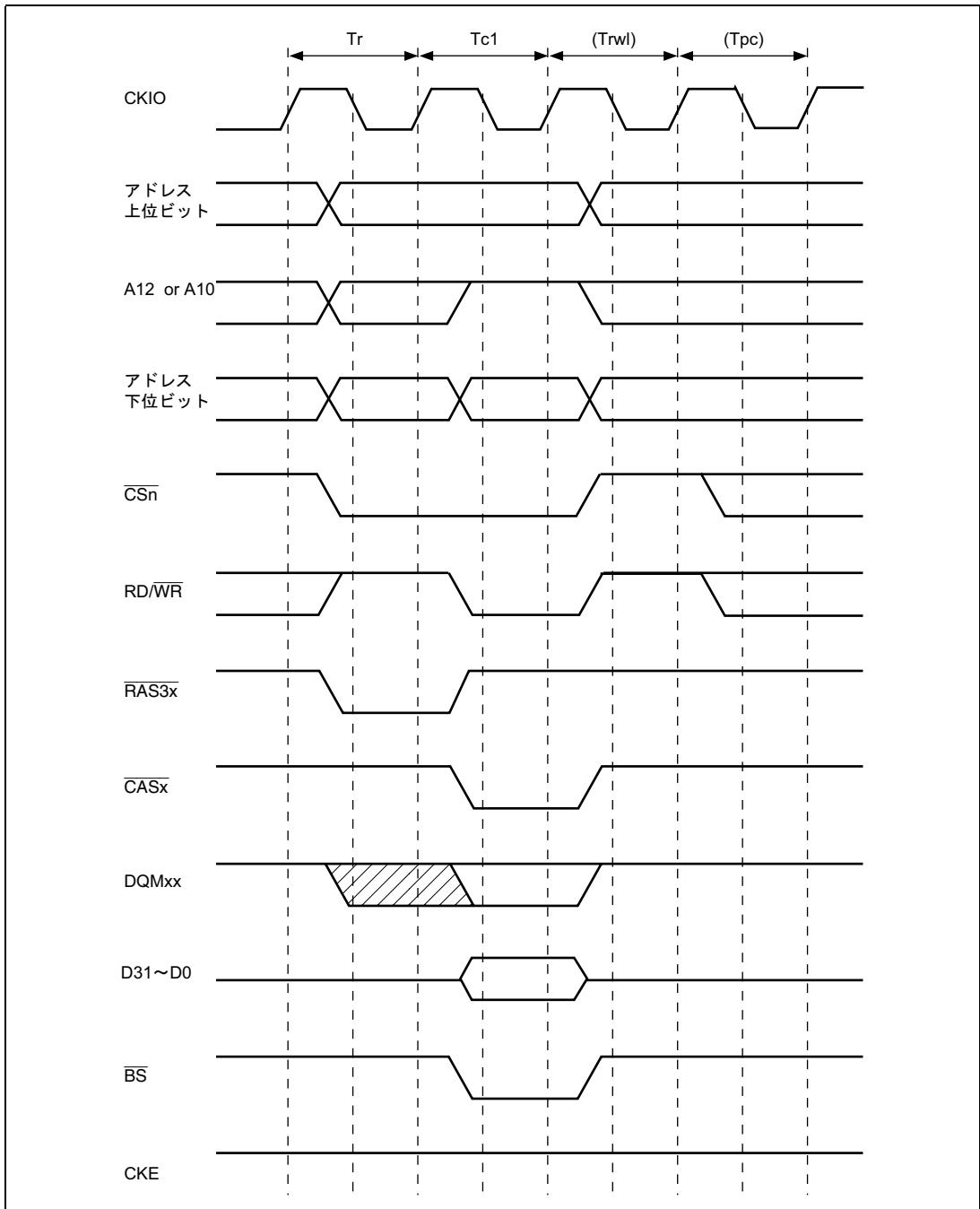


図 11.18 シンクロナス DRAM シングルライト基本タイミング

11. バスステートコントローラ (BSC)

(7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速にサポートするため、シンクロナス DRAM のバンク機能を用います。MCR の RASD ビットが 1 の場合、リード/ライトコマンドはオートプリチャージなしのコマンド (READ、WRIT) を使用してアクセスを行います。この場合、アクセスが終了してもプリチャージが行われません。同じバンクの同じロウアドレスにアクセスする場合、DRAM の高速ページモードにおける RAS ダウン状態と同様に、ACTV コマンドを発行せずに、直ちに READ または WRIT コマンドを発行することができます。シンクロナス DRAM の内部は 2 つまたは 4 つのバンクに分かれているので、それぞれのバンクで 1 つずつロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順にアクセスを行います。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまいます。

書き込みの場合、オートプリチャージを行うと、WRITA コマンド発行後 $Trwl+Tpc$ サイクルの間コマンド発行を行えません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに $Trwl+Tpc$ サイクルだけサイクル数を短縮することができます。プリチャージコマンド発行からロウアドレスストローブコマンドまでのサイクル数は MCR の TPC で決まります。

バンクアクティブモードを使用する場合と基本アクセスを用いる場合のどちらが実行速度が速いかは、同一のロウアドレスをアクセスする確率 (P1) と、アクセスが完了してから次にアクセスするまでの平均サイクル数 (Ta) によって決まります。Ta が Tpc よりも大きい場合、リード時のプリチャージ待ちによる遅れが見えなくなります。Ta が $Trwl+Tpc$ よりも大きければ、ライト時のプリチャージ待ちによる遅れも見えなくなります。この場合、バンクアクティブモードと基本アクセスのアクセス速度はアクセス開始からリード・ライトコマンド発行までのサイクル数となり、それぞれ $(Tpc+Trcd) \times (1-P1)$ と Trcd となります。

各バンクをアクティブ状態にしておける時間 Tras には制限があります。プログラムの実行によってこの値を守る周期で、キャッシュにヒットせず別のロウアドレスにアクセスする保証がない場合、オートリフレッシュを行う設定にし、リフレッシュ周期を Tras の最大値以下に設定する必要があります。これにより、各バンクの最大アクティブ状態時間の制約を守ることができます。オートリフレッシュを使用しない場合には、所定時間以上バンクがアクティブ状態にとどまらない工夫をプログラムでする必要があります。

図 11.19 にオートプリチャージでないバーストリードサイクルを、図 11.20 には同一のロウアドレスに対するバーストリードサイクルを、図 11.21 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に図 11.22 にオートプリチャージでないバーストライトサイクルを、図 11.23 に同一のロウアドレスに対するバーストライトサイクルを、図 11.24 には異なるロウアドレスに対するバーストライトサイクルを示します。

図 11.20 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されていますが、シンクロナス DRAM は読み出し時にバイト指定を行う DQMxx 信号について、2 サイクルのレイテンシがあります。Tnop を挿入しないで Tc サイクルを直ちに行くと、TdI サイクルのデータ出力に対する DQMxx 信号の指定が行えません。このため Tnop サイクルを挿入します。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に DQMxx 信号を設定しても間に合うため、Tnop サイクルの挿入は行われません。

バンクアクティブモードに設定すると、エリア 3 のそれぞれのバンクに対するアクセスのみを見た場合、同一

のロウアドレスに対するアクセスが続く限り図 11.19 または図 11.22 で始まり、図 11.20 または図 11.23 を繰り返します。間に別のエリア 3 に対するアクセスがあっても影響はしません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合、これを検出した後図 11.20 または図 11.23 の代わりに図 11.21 または図 11.24 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後、すべてのバンクが非アクティブな状態になります。

ただし、全エリアのバス幅が 32 ビットの場合以外は、バンクアクティブモードを使用しないでください。

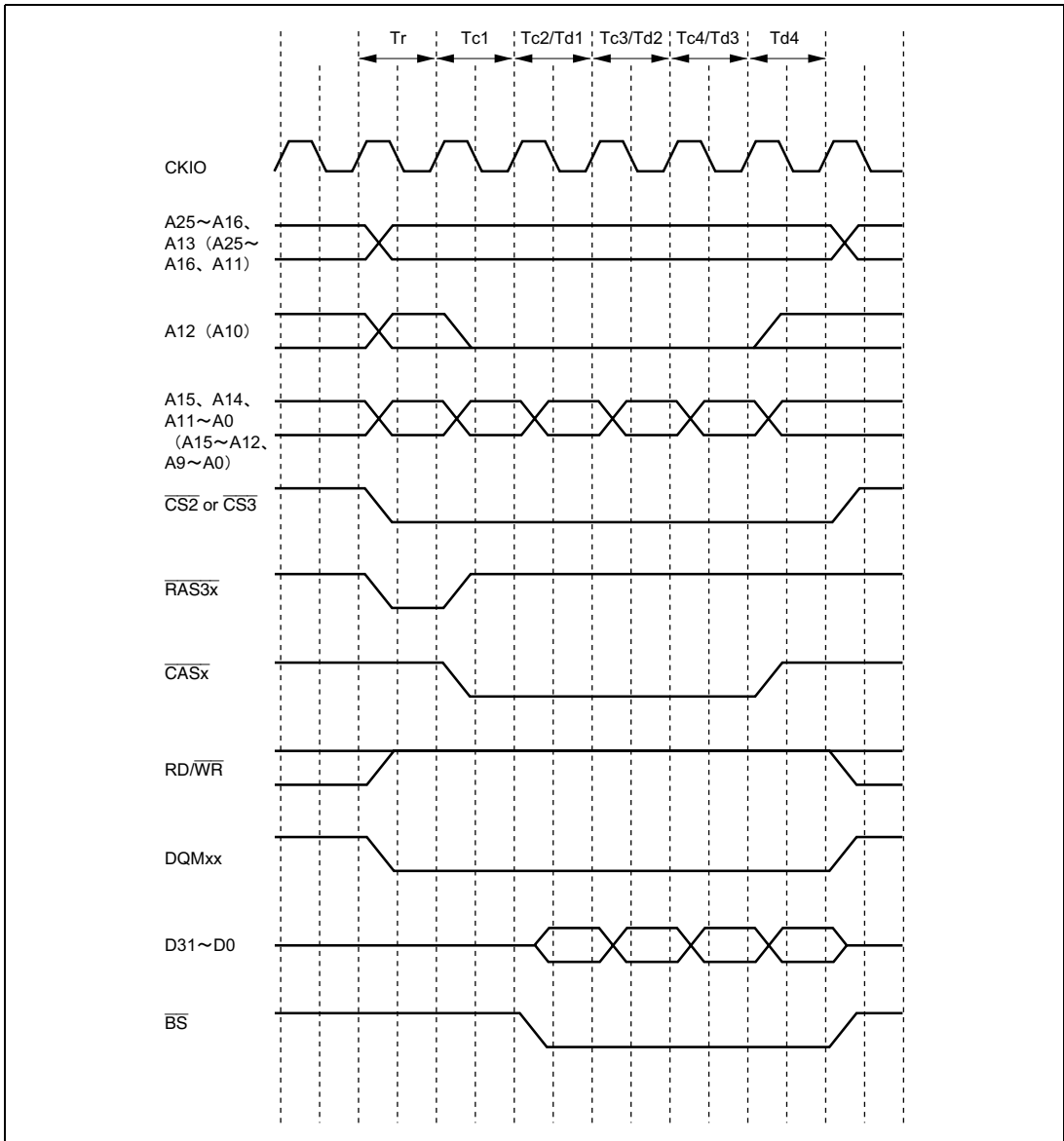


図 11.19 バーストリードタイミング (プリチャージなし)

11. バスステートコントローラ (BSC)

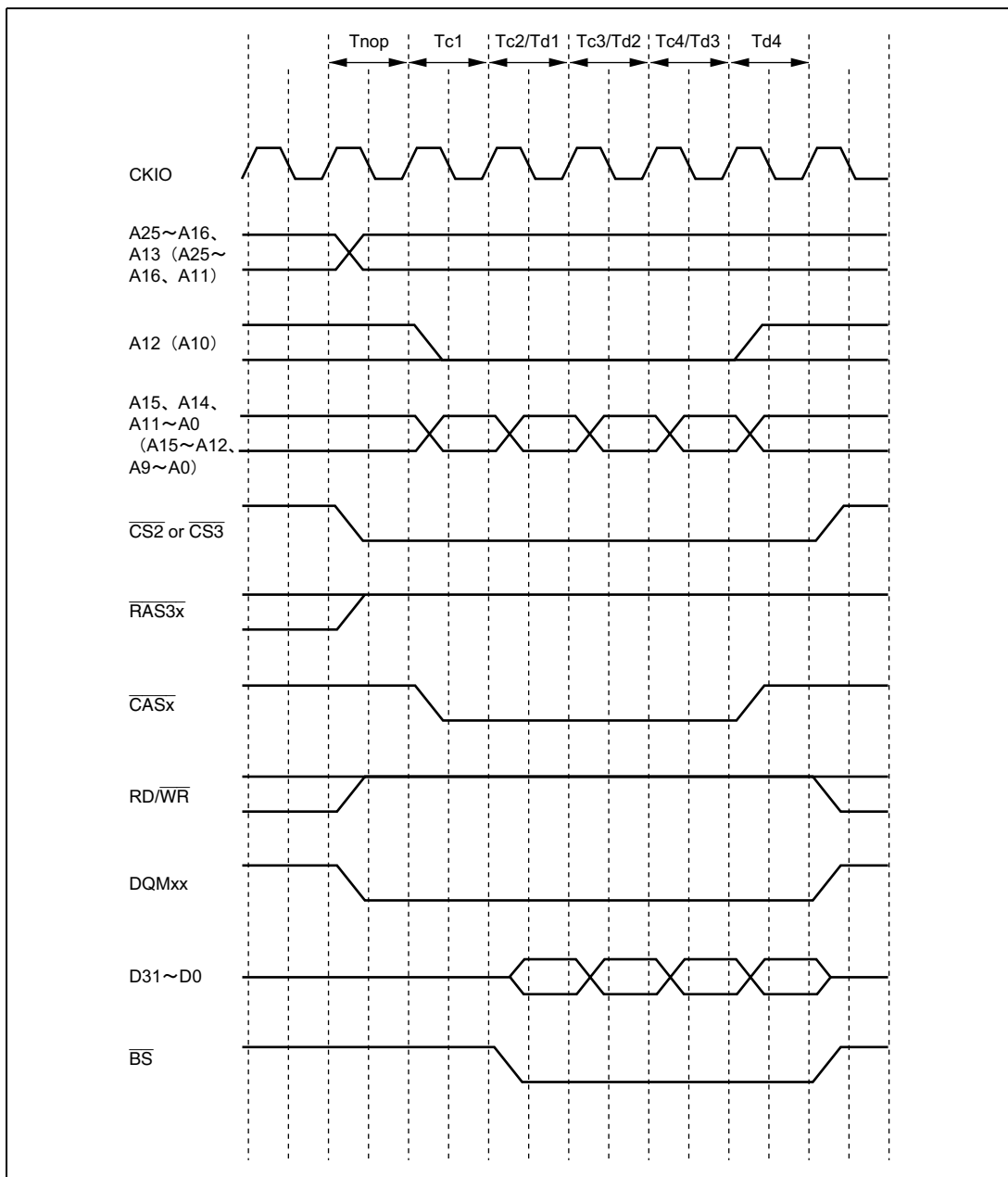


図 11.20 バーストリードタイミング (同一ロウアドレス)

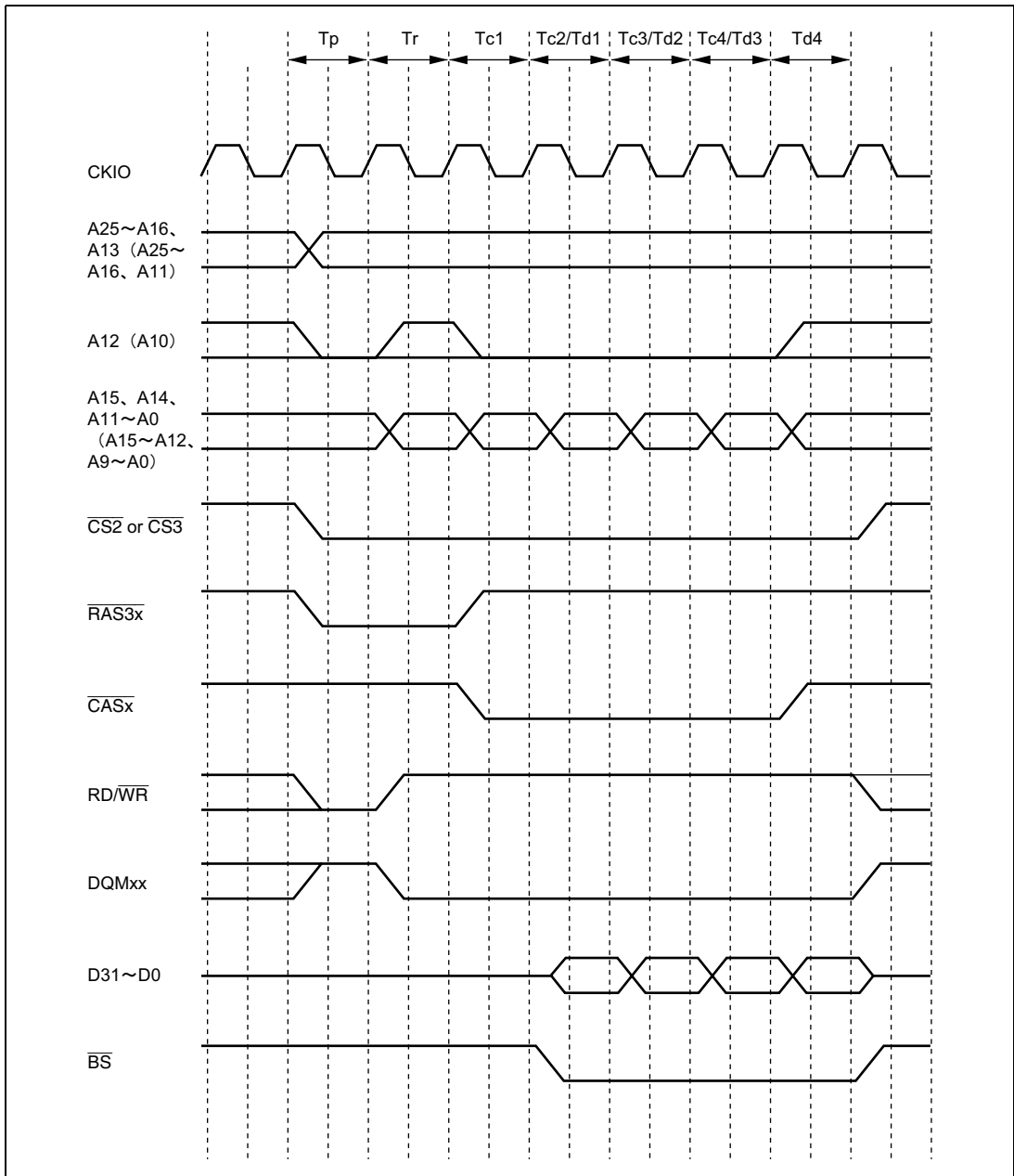


図 11.21 バーストリードタイミング (異なるロウアドレス)

11. バスステートコントローラ (BSC)

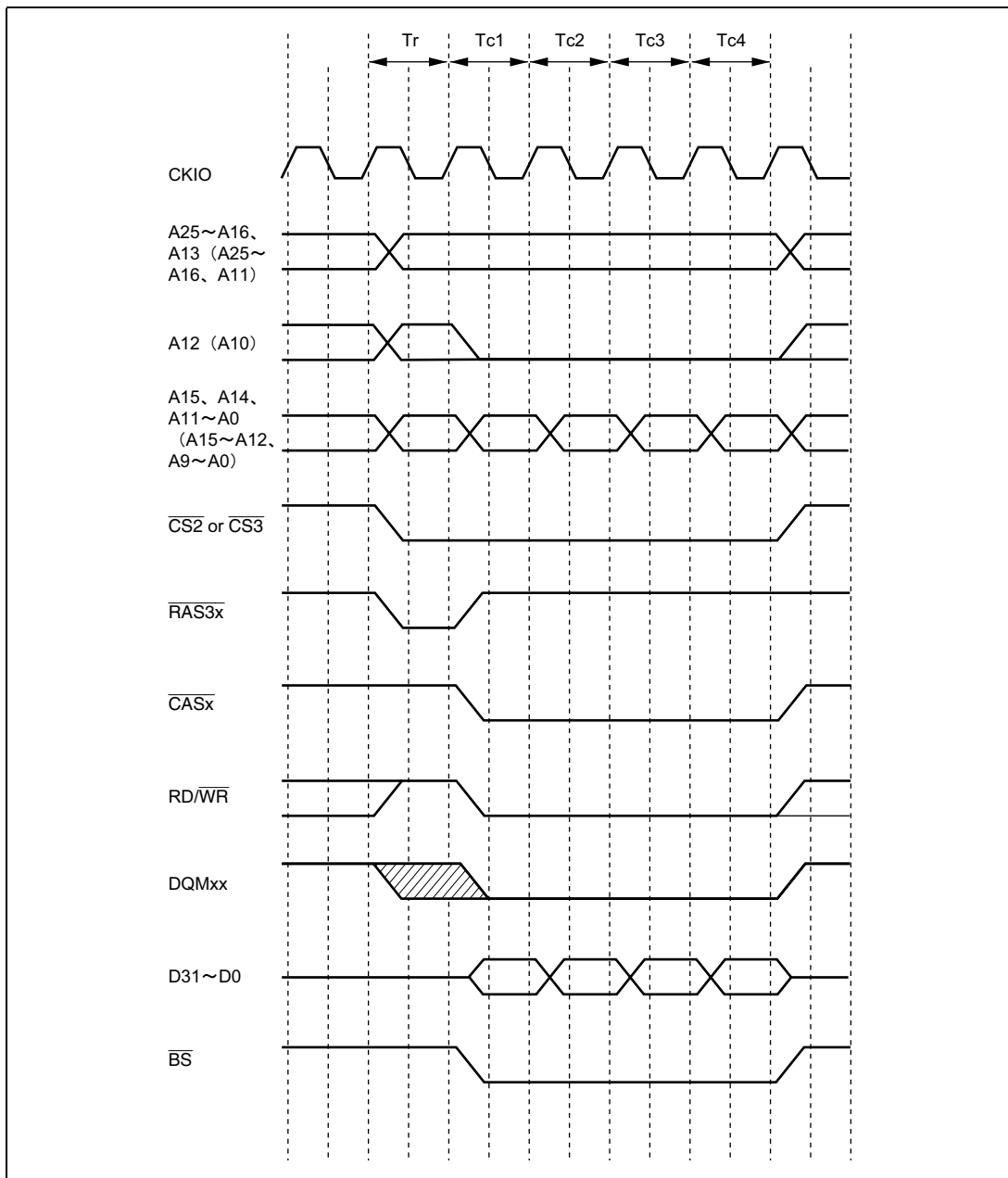


図 11.22 バーストライトタイミング (プリチャージなし)

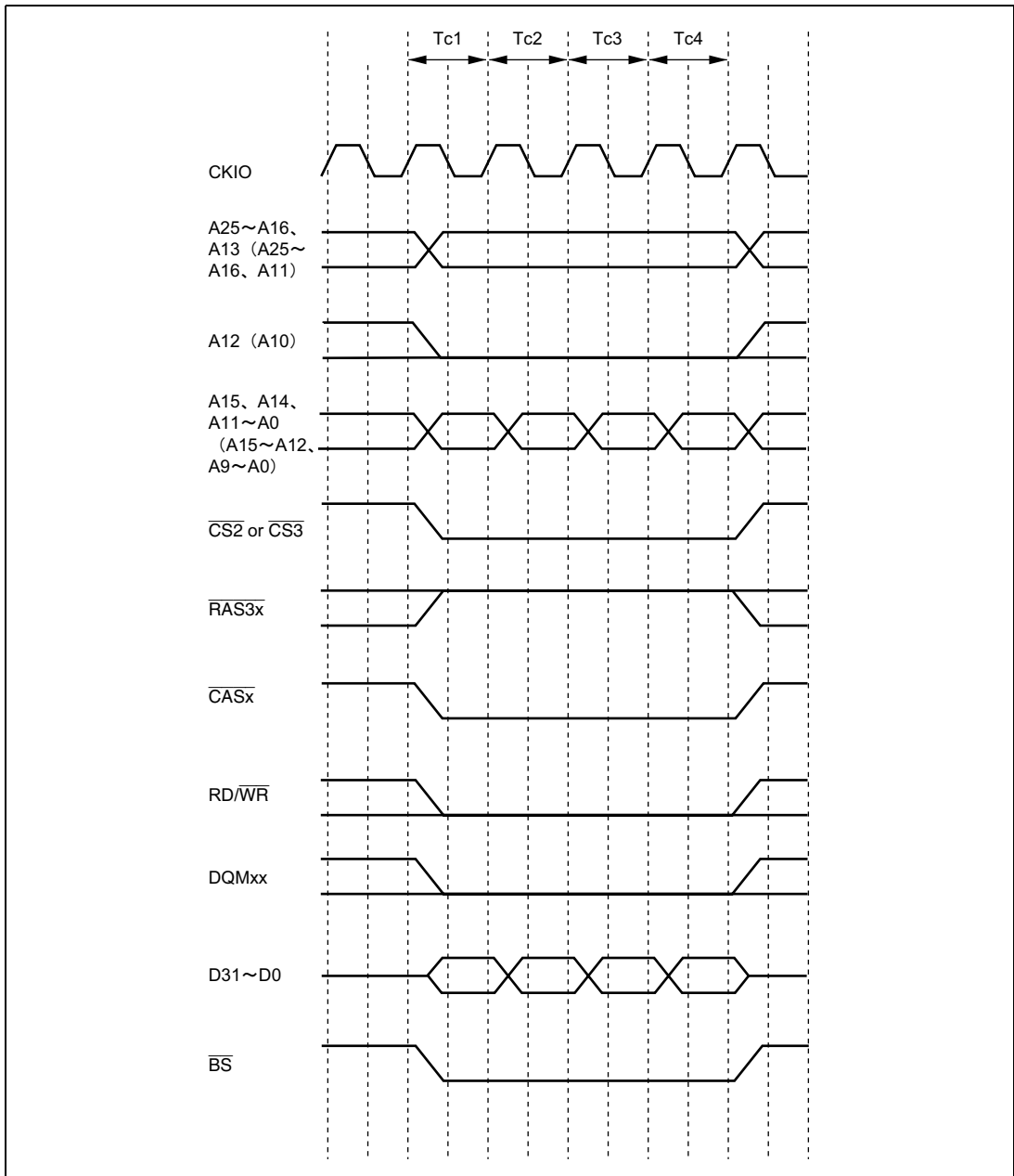


図 11.23 バーストライトタイミング (同一ロウアドレス)

11. バスステートコントローラ (BSC)

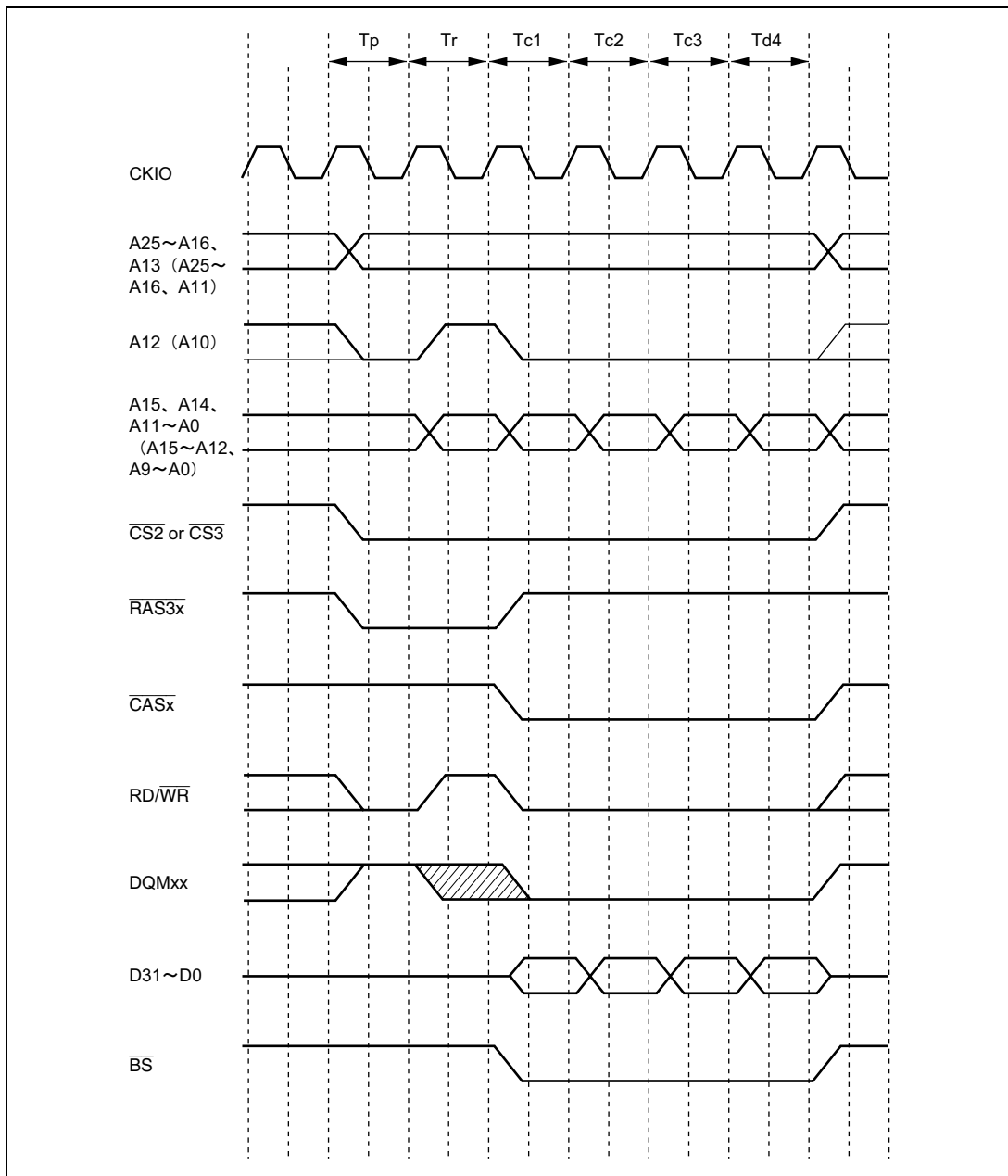


図 11.24 バーストライトタイミング (異なるロウアドレス)

(8) リフレッシュ

バスステートコントローラはシンクロナス DRAM のリフレッシュを制御する機能を備えています。MCR の RMODE ビットを 0 に、RFSH ビットを 1 にセットすることによって、オートリフレッシュを行わせることができます。また、長時間シンクロナス DRAM にアクセスしないときには、RMODE ビットと RFSH ビットをともに 1 にすることによって、データ保持のための消費電力が少ないセルフリフレッシュモードを起動させることができます。

(a) オートリフレッシュ

RTCSR の CKS2~0 ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔でリフレッシュが行われます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2~0 ビットの値を設定してください。最初に RTCOR、RTCNT と MCR の RMODE ビットおよび RFSH ビットの設定を行い、最後に CKS2~CKS0 の設定を行ってください。CKS2~CKS0 によってクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、オートリフレッシュが行われます。同時に RTCNT はゼロクリアされ、カウントアップが再開されます。図 11.26 にオートリフレッシュサイクルのタイミングを示します。

まず、Tp サイクルに全バンクプリチャージを行い、続いて MCR の TPC で設定した期間の後 REF コマンドを TRr サイクルに発行します。TRr サイクル後 MCR の TRAS で指定されるサイクル数+MCR の TPC で指定されるサイクル数の間、新たなコマンドの出力は行いません。シンクロナス DRAM のリフレッシュサイクル時間の規定（アクティブ・アクティブコマンド遅延時間）を満たすように TRAS および TPC を設定する必要があります。

オートリフレッシュは、通常動作時、スリープモード時およびマニュアルリセット時に行われます。

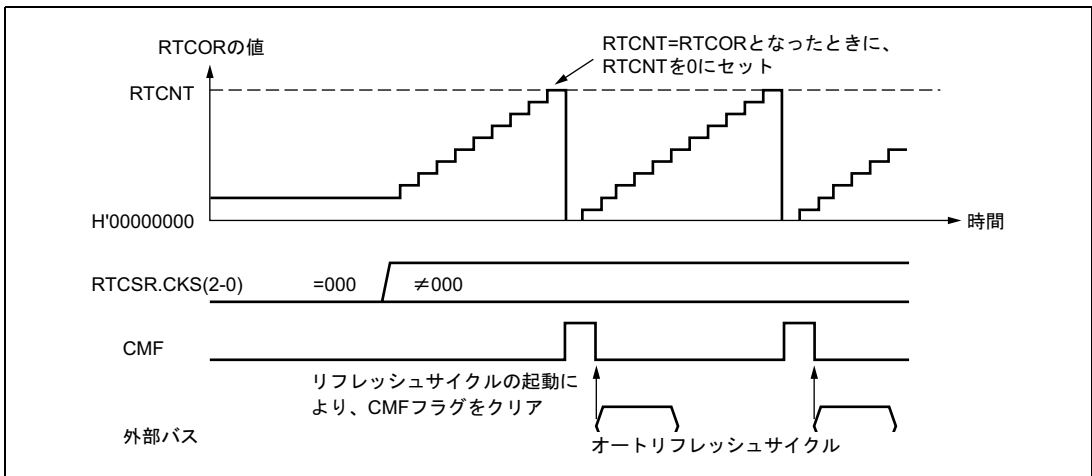


図 11.25 オートリフレッシュの動作

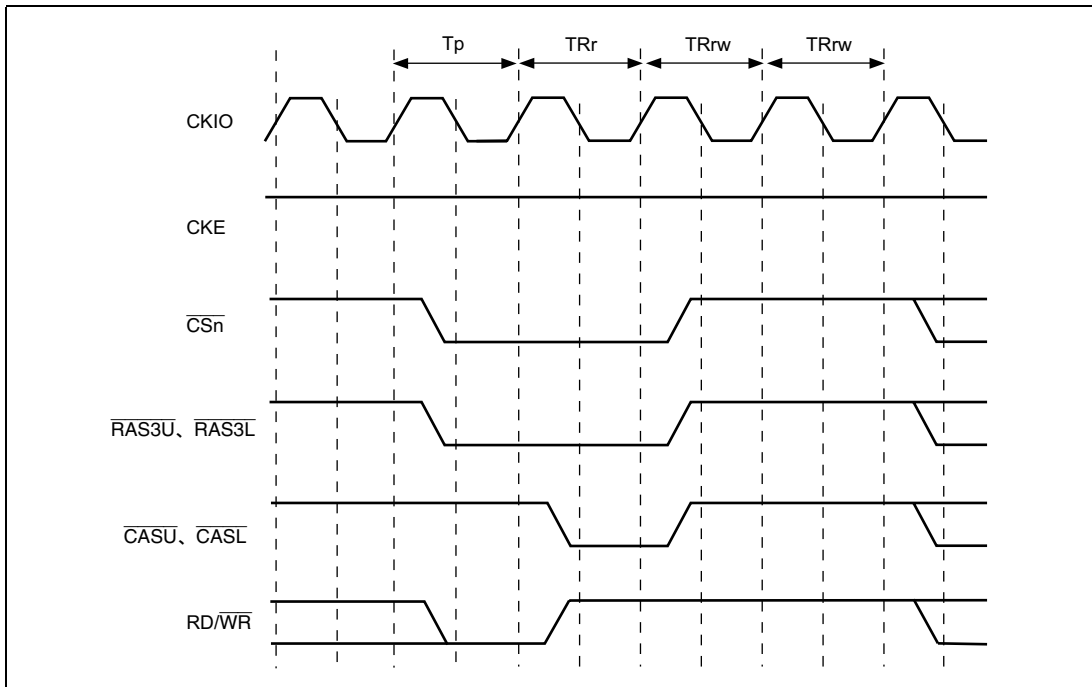


図 11.26 シンクロナス DRAM オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュのモードはシンクロナス DRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。RMODE ビットと RFSH ビットをとともに 1 にすることによって起動します。CKE 信号が L レベルの間セルフリフレッシュ状態となっています。セルフリフレッシュの状態の間は、シンクロナス DRAM にアクセスすることができません。セルフリフレッシュの解除は RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、MCR の TPC で指定されるサイクル数の間はコマンドの発行が禁止されます。セルフリフレッシュのタイミングを図 11.27 に示します。セルフリフレッシュ解除、データ保持が正しく行われるように、直ちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合、パワーオンリセット以外でスタンバイモードを脱出する場合、セルフリフレッシュ解除時に RFSH=1、RMODE=0 の設定にすればオートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、この時間を考慮して RTCNT の初期値の設定を行ってください。RTCNT の値を RTCOR の値-1 に設定すると直ちにリフレッシュを開始することができます。

セルフリフレッシュに設定した後、本 LSI のスタンバイ機能を使ってチップスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、パワーオンリセット以外でスタンバイモードから復帰する場合には復帰後もセルフリフレッシュ状態が保持されます。

パワーオンリセットの場合にはバスステートコントローラのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

セルフリフレッシュは、通常動作時、スリープモード時、スタンバイモード時およびマニュアルリセット時に行われます。

SDRAM 使用時、以下の手順に従いセルフリフレッシュを起動してください。

1. リフレッシュ制御ビットを0にする。
2. RTCNTレジスタにH'00を書き込む。
3. リフレッシュ制御ビット、リフレッシュモードビットを1にする。

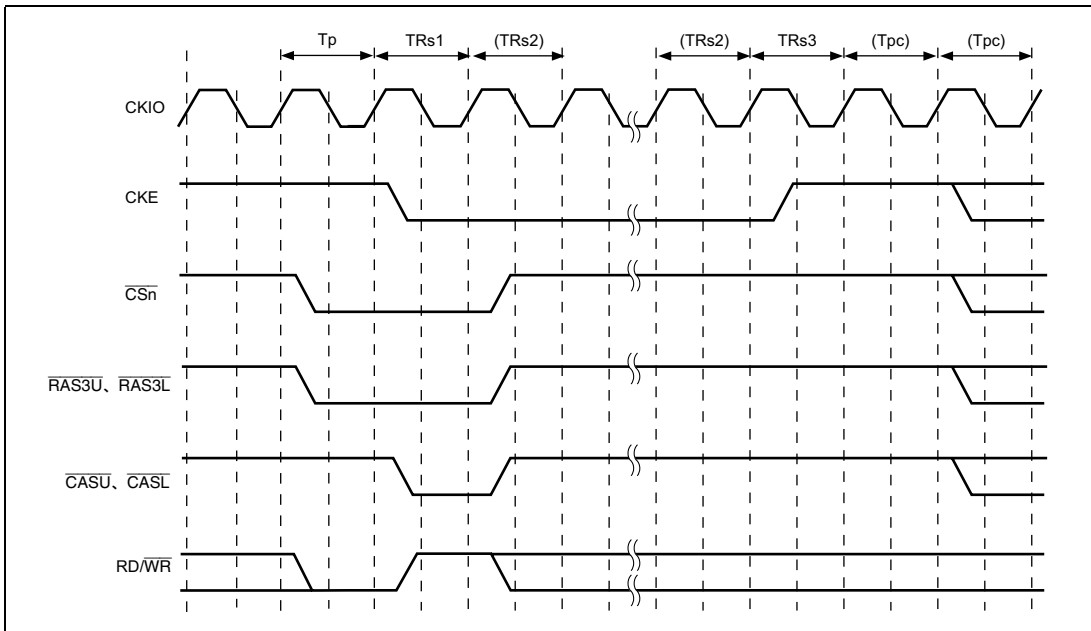


図 11.27 シンクロナス DRAM セルフリフレッシュタイミング

(c) リフレッシュ要求とバスサイクル要求の関係

バスサイクル実行中にリフレッシュ要求が生じた場合、リフレッシュの実行はバスサイクルの完了まで待たされます。バスアービトラージョン機能でバスを解放しているときにリフレッシュ要求が起きた場合、バスを獲得するまでリフレッシュの実行は待たされます。リフレッシュの実行を待たされている状態で RTCNT と RTCOR の一致が起り、新たなリフレッシュ要求が生じた場合には、前のリフレッシュ要求は消滅してしまいます。リフレッシュを正常に行うためには、リフレッシュ間隔よりも長いバスサイクルやバス権の占有が起らないよう注意が必要です。なお、リフレッシュ要求が発生すると \overline{IRQOUT} 端子が L レベルにアサートされます。このため、バス権を要求する本 LSI 以外のバスマスタやバス調停回路で \overline{IRQOUT} 端子を監視し、バス権を本 LSI に戻すことにより正常なリフレッシュが行えます。 \overline{IRQOUT} 端子は、リフレッシュを開始すると、他の割り込み要求が発生していない場合、H レベルにネゲートされます。

11. バスステートコントローラ (BSC)

(9) パワーオンシーケンス

シンクロナス DRAM を使用するためには、パワーオン後、まずモードの設定を行う必要があります。シンクロナス DRAM の初期化を正しく行うためには、まず最初にバスステートコントローラのレジスタを設定した後、シンクロナス DRAM のモードレジスタに対する書き込みを行わなければなりません。シンクロナス DRAM のモードレジスタの設定は $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 信号の組み合わせで、その時点のアドレス信号の値が取り込まれます。バスステートコントローラは、設定したい値を X とすると、エリア 2 のシンクロナス DRAM に対しては H'FFFFD000+X 番地に、またエリア 3 のシンクロナス DRAM に対しては H'FFFFE000+X に書き込みを行うことによって、値 X がシンクロナス DRAM のモードレジスタに書き込まれるように動作します。この際データは無視されますが、モードの書き込みはバイトサイズで行います。本 LSI でサポートしているバーストリード/シングルライト、CAS レイテンシ 1 から 3、ラップタイプ=シーケンシャル、バースト長 1 を設定するには以下のアドレスにバイトサイズで任意のデータを書き込みます。

<32 ビットバス幅>

	エリア 2	エリア 3
CAS レイテンシ 1	FFFFD840	FFFFE840
CAS レイテンシ 2	FFFFD880	FFFFE880
CAS レイテンシ 3	FFFFD8C0	FFFFE8C0

<16 ビットバス幅>

	エリア 2	エリア 3
CAS レイテンシ 1	FFFFD420	FFFFE420
CAS レイテンシ 2	FFFFD440	FFFFE440
CAS レイテンシ 3	FFFFD460	FFFFE460

モードレジスタ設定タイミングを図 11.28 に示します。

H'FFFFD000+X もしくは H'FFFFE000+X 番地への書き込みによって、まず、全バンクプリチャージコマンド (PALL) が TRp1 サイクルに発行され、それに続く TMw1 サイクルにモードレジスタ書き込みコマンドが発行されます。

モードレジスタ書き込みコマンド発行時のアドレス信号は、以下のようになります。

<32 ビットバス幅>

A15~A9	=0000100 (バーストリード&シングルライト)
A8~A6	=CAS レイテンシ
A5	=0 (バーストタイプ=シーケンシャル)
A4~A2	=000 (バースト長 1)

<16 ビットバス幅>

A14~A8	=0000100 (バーストリード&シングルライト)
A7~A5	=CAS レイテンシ
A4	=0 (バーストタイプ=シーケンシャル)
A3~A1	=000 (バースト長 1)

モードレジスタの設定に先立って、シンクロナス DRAM の要求する電源投入後 $100\mu\text{s}$ のアイドル時間 (メモリーメーカーによって異なる) を保証しなければなりません。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちにモードレジスタの設定を行っても問題はありません。ダミーのオートリフレッシュサイクルをメーカーの規定する回数 (通常 8 回) 以上実行する必要があります。これはオートリフレッシュの設定を行った後、種々の初期化を行っているうちに自然に実現されるのが普通ですが、より確実にを行うためには、このダミーサイクルを実行する間だけリフレッシュ要求の発生する間隔を短く設定しておく方法があります。単なるリードまたはライトアクセスではオートリフレッシュに使用するシンクロナス DRAM 内部のアドレスカウンタが初期化されないため、必ずオートリフレッシュサイクルでなければなりません。

11. バスステートコントローラ (BSC)

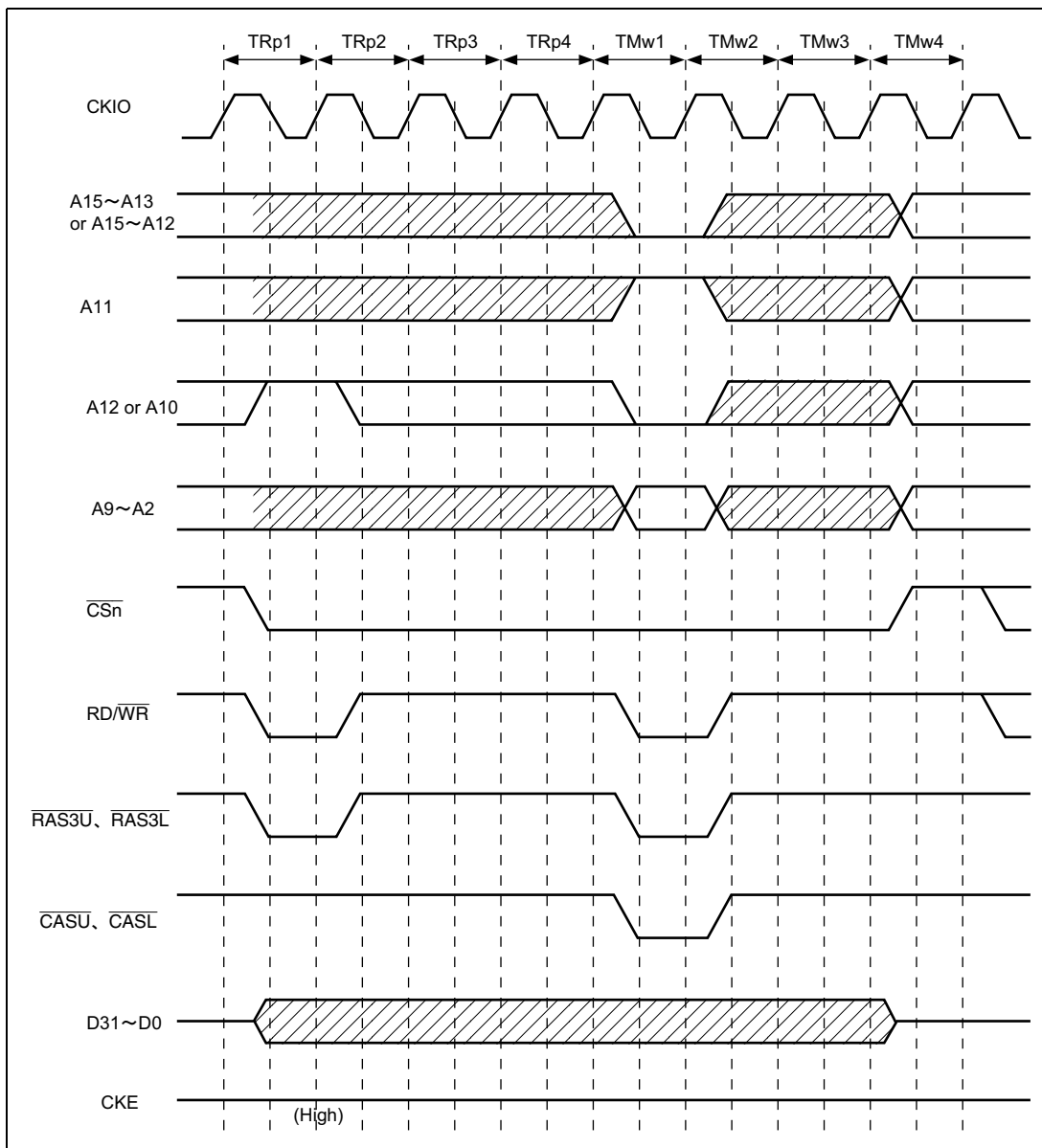


図 11.28 シンクロナス DRAM モード書き込みタイミング

11.3.5 バースト ROM インタフェース

BCR1 の A0BST1,0、A5BST1,0、A6BST1,0 ビットを各々0 以外に設定することにより、エリア 0、エリア 5、エリア 6 にバースト ROM の接続が可能となります。バースト ROM インタフェースは、ニブルアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するニブルアクセスのタイミングを図 11.29 に示します。ウェイトサイクル 2 サイクルの設定です。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際 $\overline{CS0}$ 信号のネゲートを行わず、アドレスのみを切り替えて、次のアクセスを行います。8 ビット幅の ROM を接続する場合には A0BST1,0、A5BST1,0、A6BST1,0 ビットによって連続アクセスの回数を 4 回、8 回、16 回に設定できます。16 ビット幅の ROM を接続する場合には同じく 4 回、8 回に設定でき、32 ビット幅の ROM を接続する場合は 4 回に設定できます。

先頭のアクセスではウェイトステートを 1 以上に設定した場合、また 2 回目以降のアクセスでは常に \overline{WAIT} 端子のサンプリングを行います。

バースト ROM の設定を行いウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。この場合のタイミングを図 11.30 に示します。

ただし、次の 3 つの場合は \overline{WAIT} 信号は無視されます。

- DMA16 バイト転送、デュアルアドレスモード、外部アドレス空間へのライト時
- DMA16 バイト転送、シングルアドレスモード、DACK 付き外部デバイスから外部アドレス空間への転送時
- キャッシュのライトバックアクセス時

11. バスステートコントローラ (BSC)

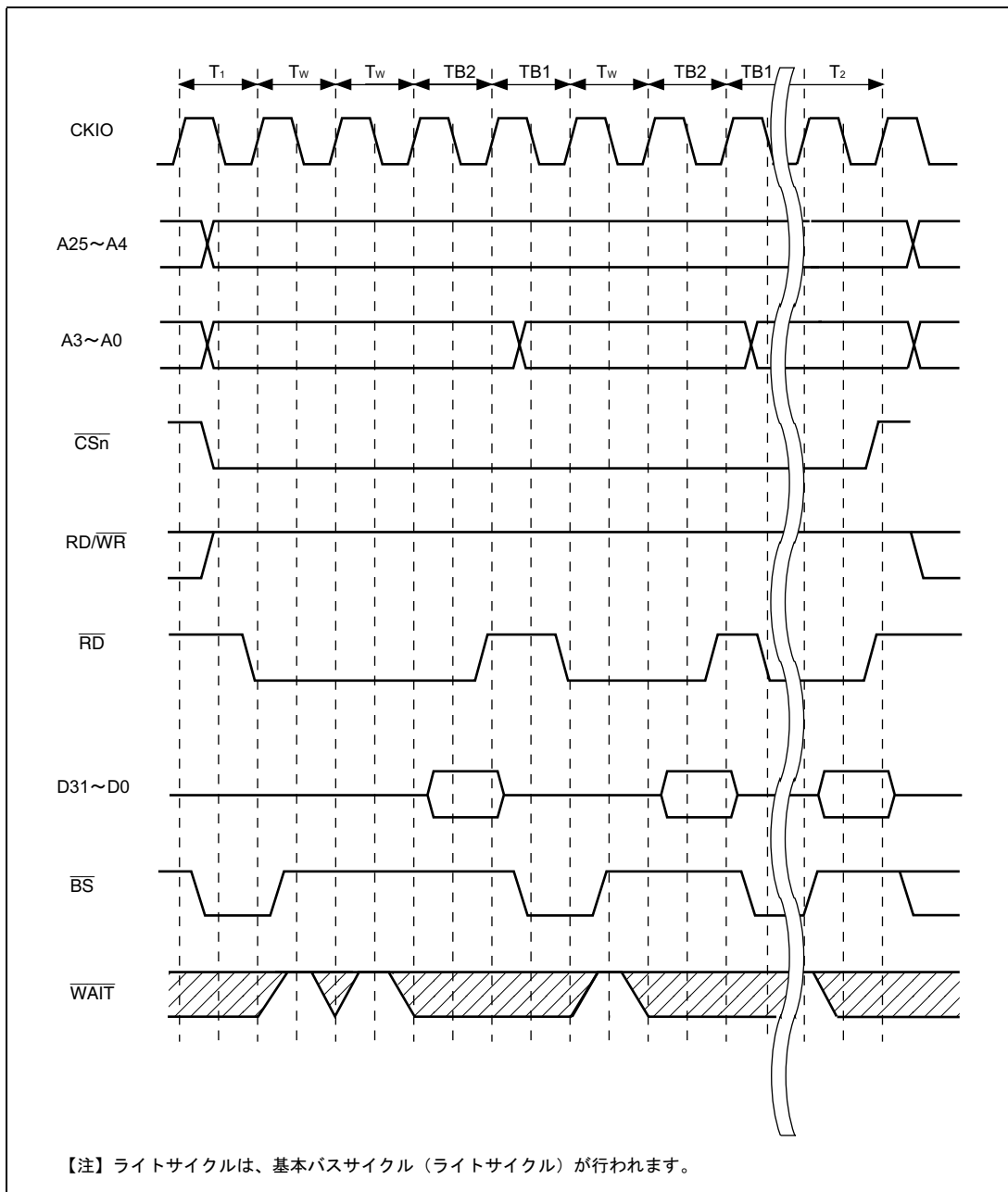


図 11.29 バーストROM ウェイトアクセスタイミング

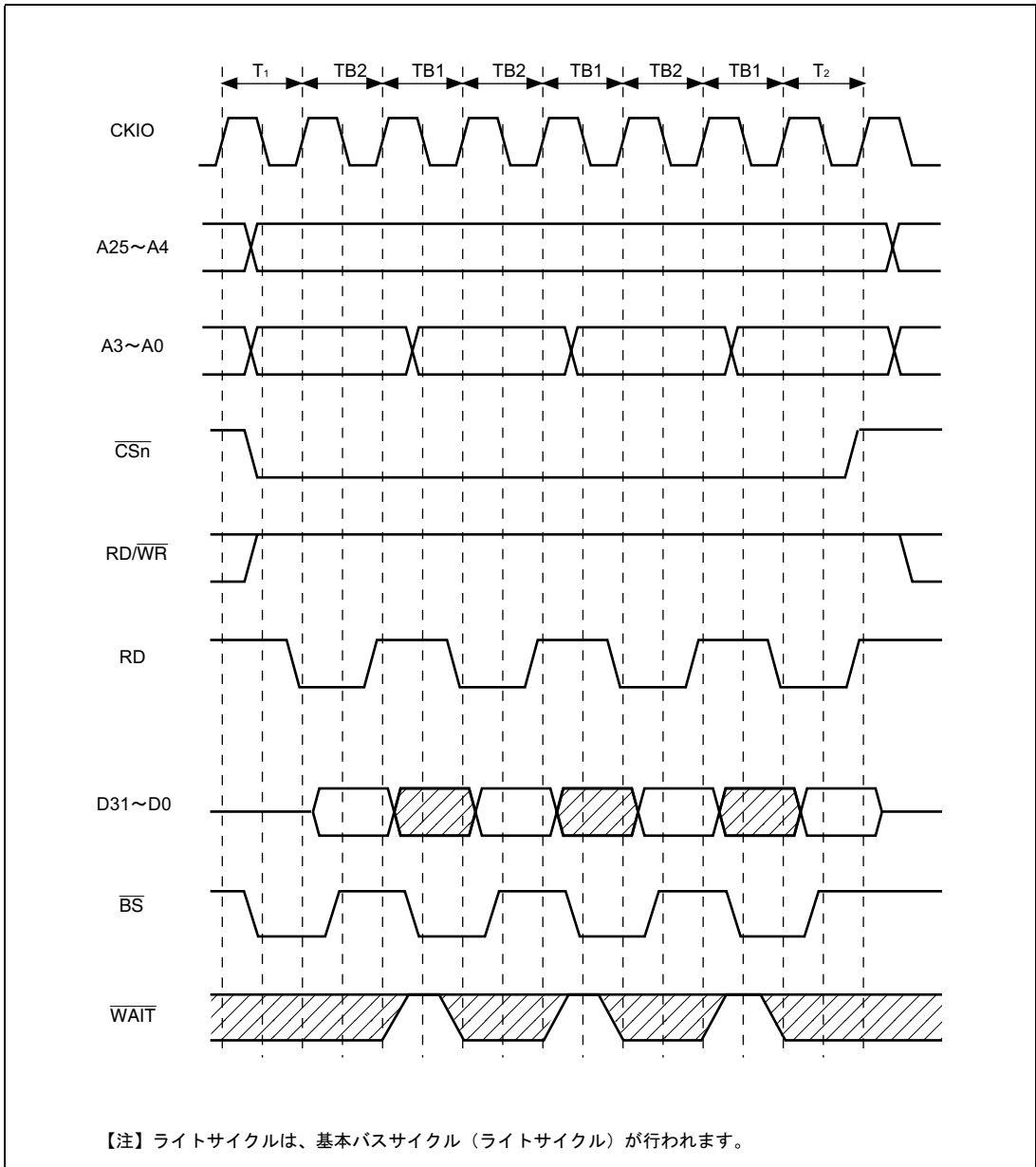


図 11.30 バースト ROM 基本アクセスタイミング

11.3.6 PCMCIA インタフェース

本 LSI では BCR1 の A5PCM ビットを 1 に設定することにより、物理空間のエリア 5 のバスインタフェースが、JEIDA 仕様 Ver4.2 (PCMCIA2.1 Rev.2.1) で定める“IC メモリカードおよび I/O カードインタフェース”になります。また A6PCM ビットを 1 に設定することにより、物理空間のエリア 6 のバスインタフェースが JEIDA 仕様 Ver4.2 で定める“IC メモリカードおよび I/O カードインタフェース”になります。

PCMCIA インタフェースを使用する場合、BCR2 の A5SZ1、A5SZ0 もしくは A6SZ1、A6SZ0 によって、バスサイズは、8 ビットもしくは 16 ビットに設定します。

図 11.31 に本 LSI で PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入（システムの電源を供給中にカードの抜き差しを行うこと）を行えるようにするために、本 LSI のバスインタフェースと PCMCIA カードの間に 3-State バッファを接続する必要があります。

JEIDA/PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

ただし、次の 3 つの場合は $\overline{\text{WAIT}}$ 信号は無視されます。

- DMA16バイト転送、デュアルアドレスモード、外部アドレス空間へのライト時
- DMA16バイト転送、シングルアドレスモード、DACK付き外部デバイスから外部アドレス空間への転送時
- キャッシュのライトバックアクセス時

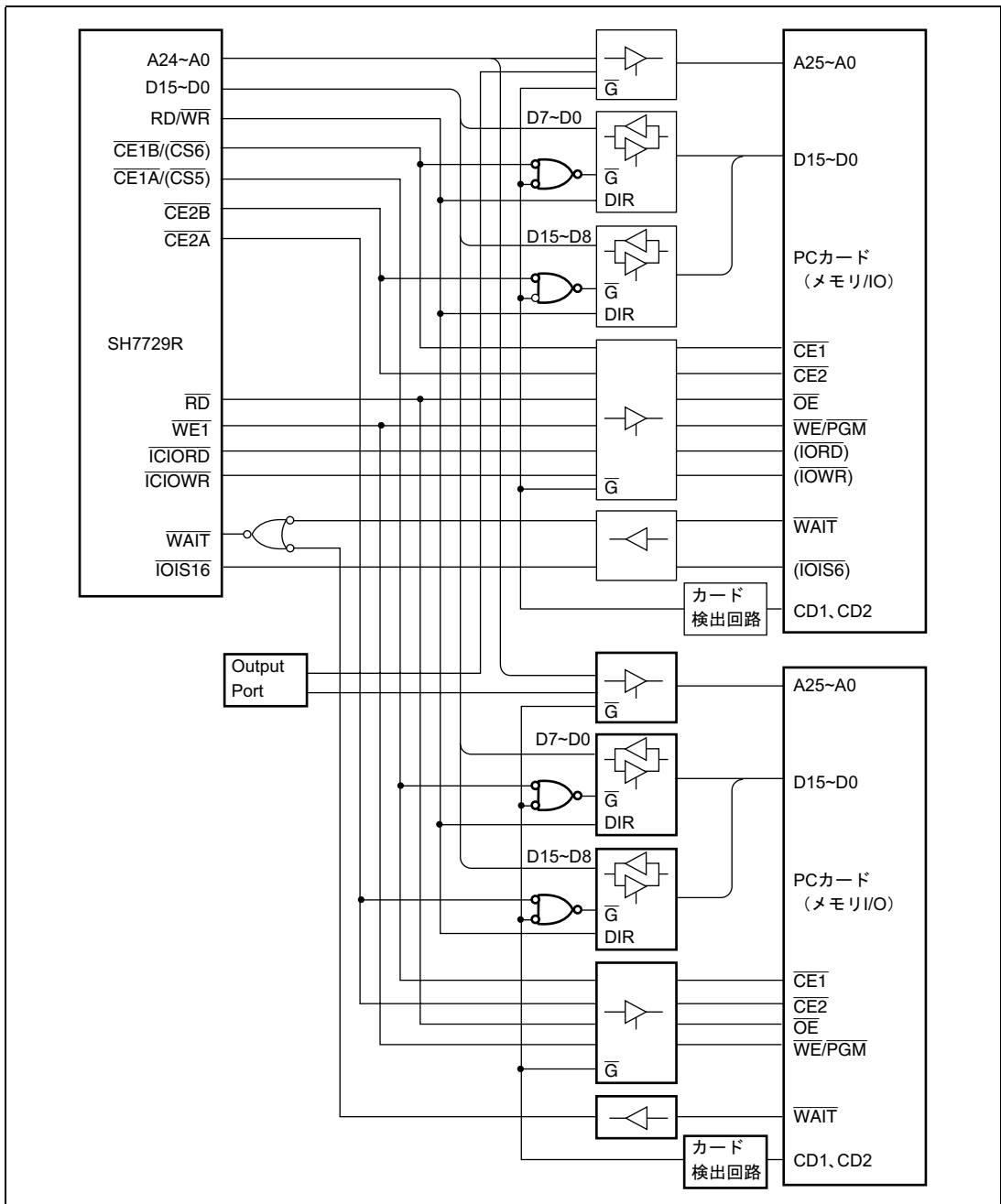


図 11.31 PCMCIA インタフェース例

11. バスステートコントローラ (BSC)

(1) メモリカードインタフェース基本タイミング

図 11.32 に PCMCIA の “IC メモリカードインタフェース” の基本タイミングを示します。物理空間のエリア 5 およびエリア 6 を PCMCIA インタフェースに設定した場合、各エリアのコモンメモリ空間をアクセスすると、自動的に “IC メモリカードインタフェース” としてバスアクセスが行われます。

外部バス周波数 (CKIO) が高くなると、 \overline{RD} や \overline{WR} (本 LSI の \overline{WE} 端子) に対して、アドレス (A24~A0)、カードイネーブル ($\overline{CS5}$ 、 $\overline{CE2A}$ 、 $\overline{CS6}$ 、 $\overline{CE2B}$)、書き込みサイクル時の書き込みデータ (D15~D0) のセットアップ時間や、ホールド時間が足りなくなります。これに対して、本 LSI では PCR レジスタによって物理空間のエリア 5 およびエリア 6 の各エリアに対して、それぞれセットアップ時間およびホールド時間を設定することができます。また基本インタフェースと同じように WCR2 レジスタの設定によるソフトウェアウェイトおよび \overline{WAIT} 端子によるハードウェアウェイトを行うことができます。図 11.33 に PCMCIA メモリバスウェイトタイミングを示します。

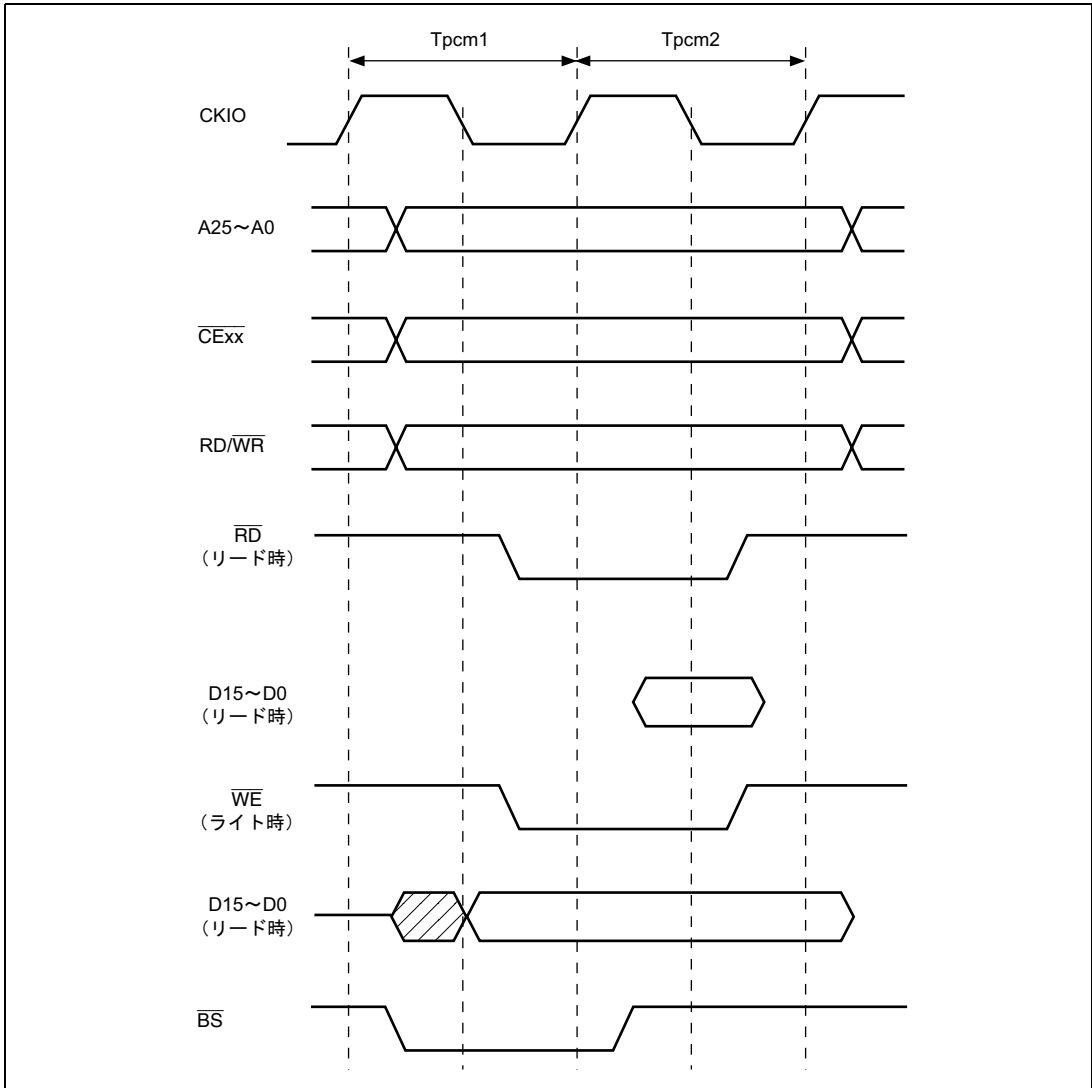


図 11.32 PCMCIA メモリカードインタフェース基本タイミング

11. バスステートコントローラ (BSC)

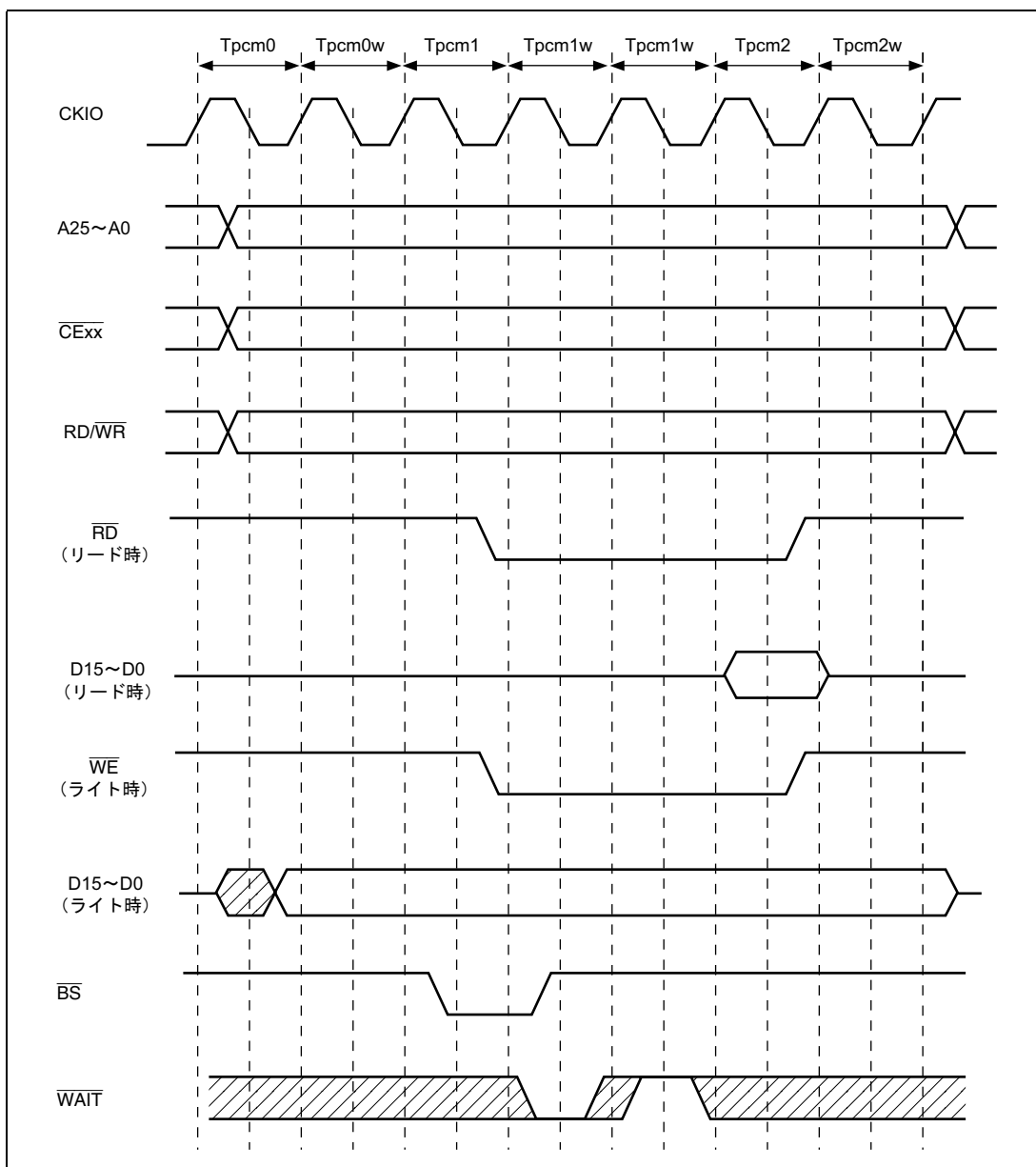


図 11.33 PCMCIA メモリカードインタフェースウェイトタイミング

(2) メモリカードインタフェースバーストタイミング

本 LSI では、“IC メモリカードインタフェース”を選択した場合、物理空間のエリア 5 に対して BCR1 の A5BST1、A5BST0 の設定により、またエリア 6 に対して BCR1 の A6BST1、A6BST0 の設定により、リードアクセスに限りページモードのバーストアクセスモードを使用することができます。このバーストアクセスモードは JEIDA 仕様 Ver4.2 (PCMCIA2.1) では規定されていませんが、バーストモード付き ROM などを使用して高速にデータをアクセスすることができます。

図 11.34、図 11.35 にバーストアクセスモードのタイミングを示します。

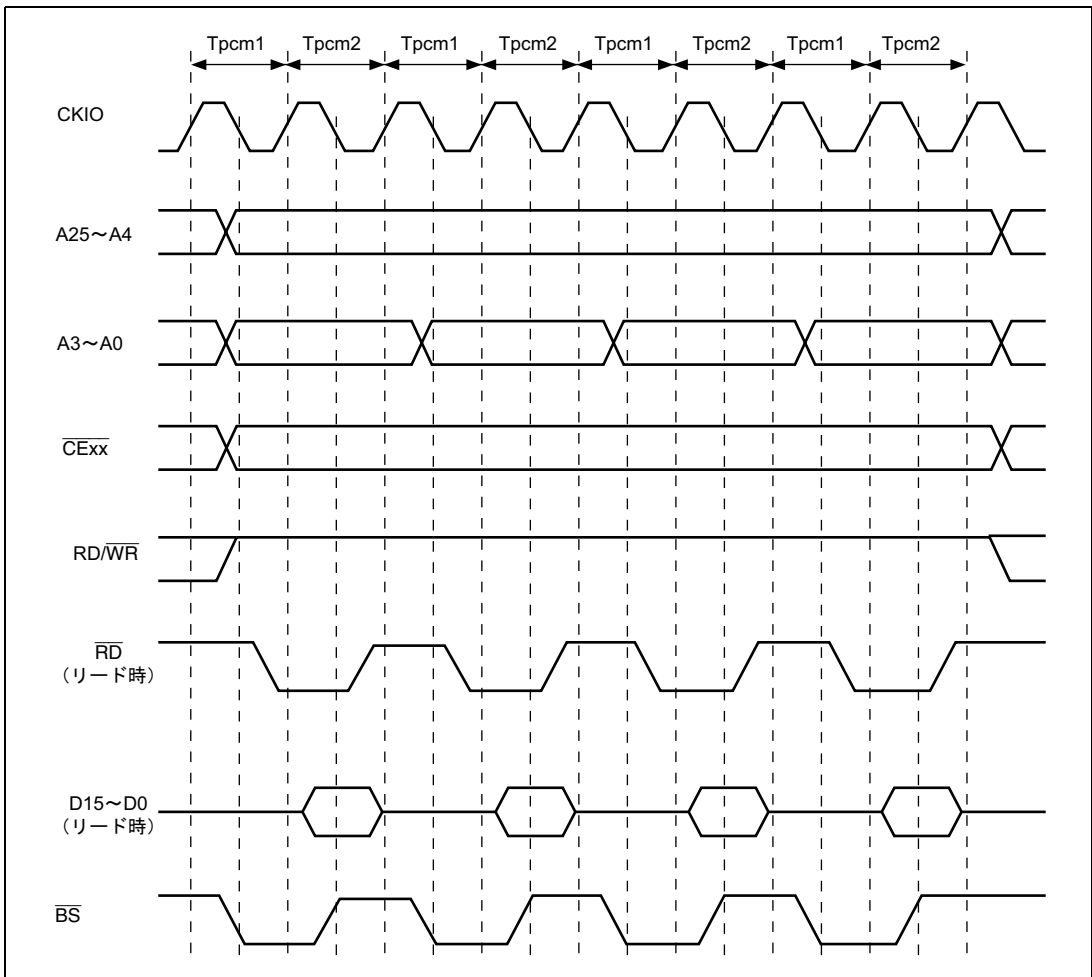


図 11.34 PCMCIA メモリカードインタフェースバーストアクセス基本タイミング

11. バスステートコントローラ (BSC)

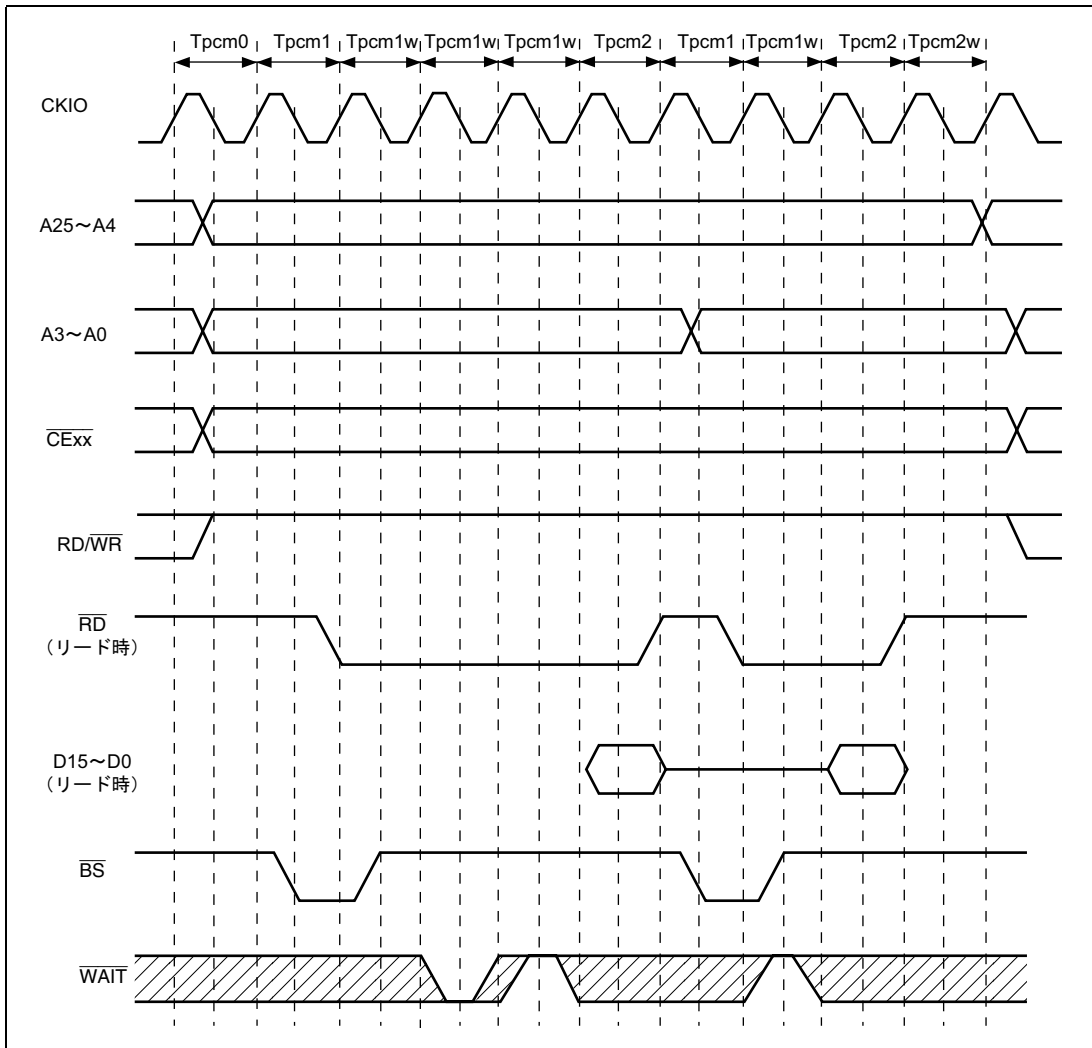


図 11.35 PCMCIA メモリカードインタフェースバーストアクセスウェイトタイミング

IC メモリカードインタフェースとしてメモリ空間を 32M バイトすべて利用する場合は共通メモリとアトリビュートメモリの切り替え信号 \overline{REG} をポートなどを利用して生成します。また、メモリ空間が 16M バイト以下で足りる場合は、メモリ空間を 16M バイトずつ共通メモリ空間とアトリビュートメモリ空間として使うことにより、A24 端子を \overline{REG} 信号として利用することができます。

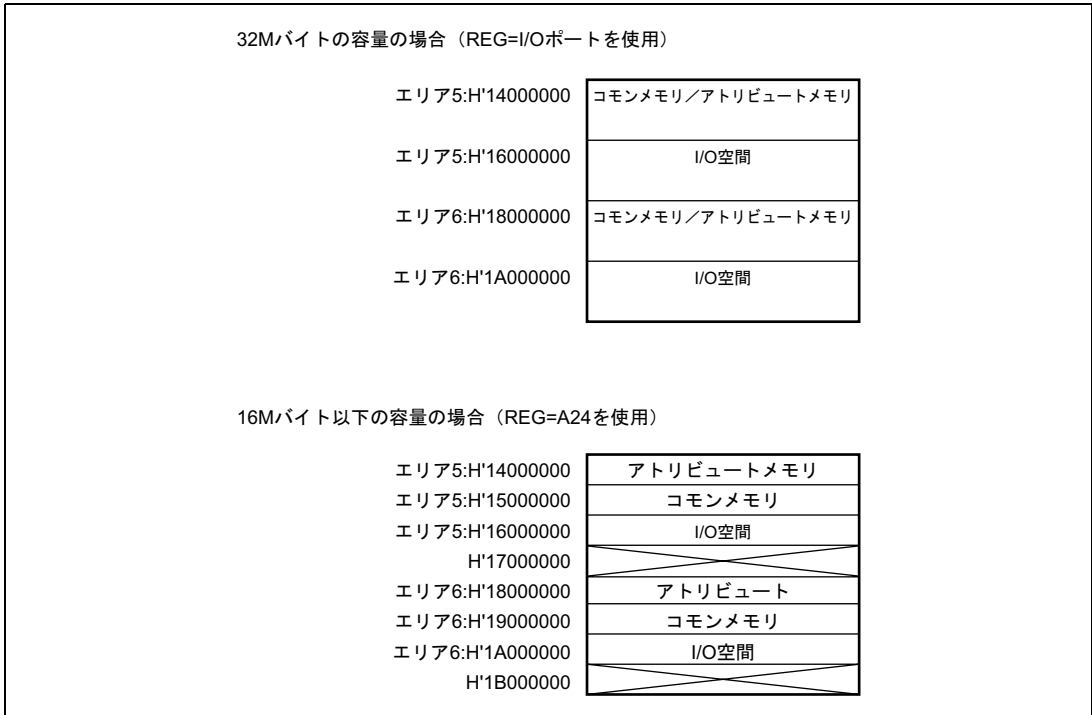


図 11.36 PCMCIA 空間割り付け

(3) I/O カードインタフェースタイミング

図 11.37、図 11.38 に PCMCIA の “I/O カードインタフェース” のタイミングを示します。

I/O カードインタフェースと IC メモリカードインタフェースの切り替えは、アクセスするアドレスによって行います。物理空間のエリア 5 を PCMCIA に設定した場合、物理アドレスの H'16000000~H'17FFFFFF をアクセスすると自動的に “I/O カードインタフェース” としてバスアクセスが行われます。また、物理空間のエリア 6 を PCMCIA に設定した場合、物理アドレスの H'1A000000~H'1BFFFFFF をアクセスすると自動的に “I/O カードインタフェース” としてバスアクセスが行われます。

PCMCIA の I/O カードをアクセスする場合、論理空間のキャッシュ非対象領域 (P2 か P3 空間) か、MMU によってキャッシング非対象領域と指定した領域で行ってください。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとして、アクセスする場合、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 5 またはエリア 6 のバス幅を 16 ビットに設定している場合に、ワードサイズの I/O バスサイクル中に $\overline{\text{IOIS16}}$ 信号が “H” の場合、その I/O ポートは 8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

ダイナミックバスサイジングの基本タイミングを図 11.39 に示します。

なお、ビッグエンディアンモードでは $\overline{\text{IOIS16}}$ 信号をサポートしません。

ビッグエンディアンモード時には $\overline{\text{IOIS16}}$ 信号を Low に固定してください。

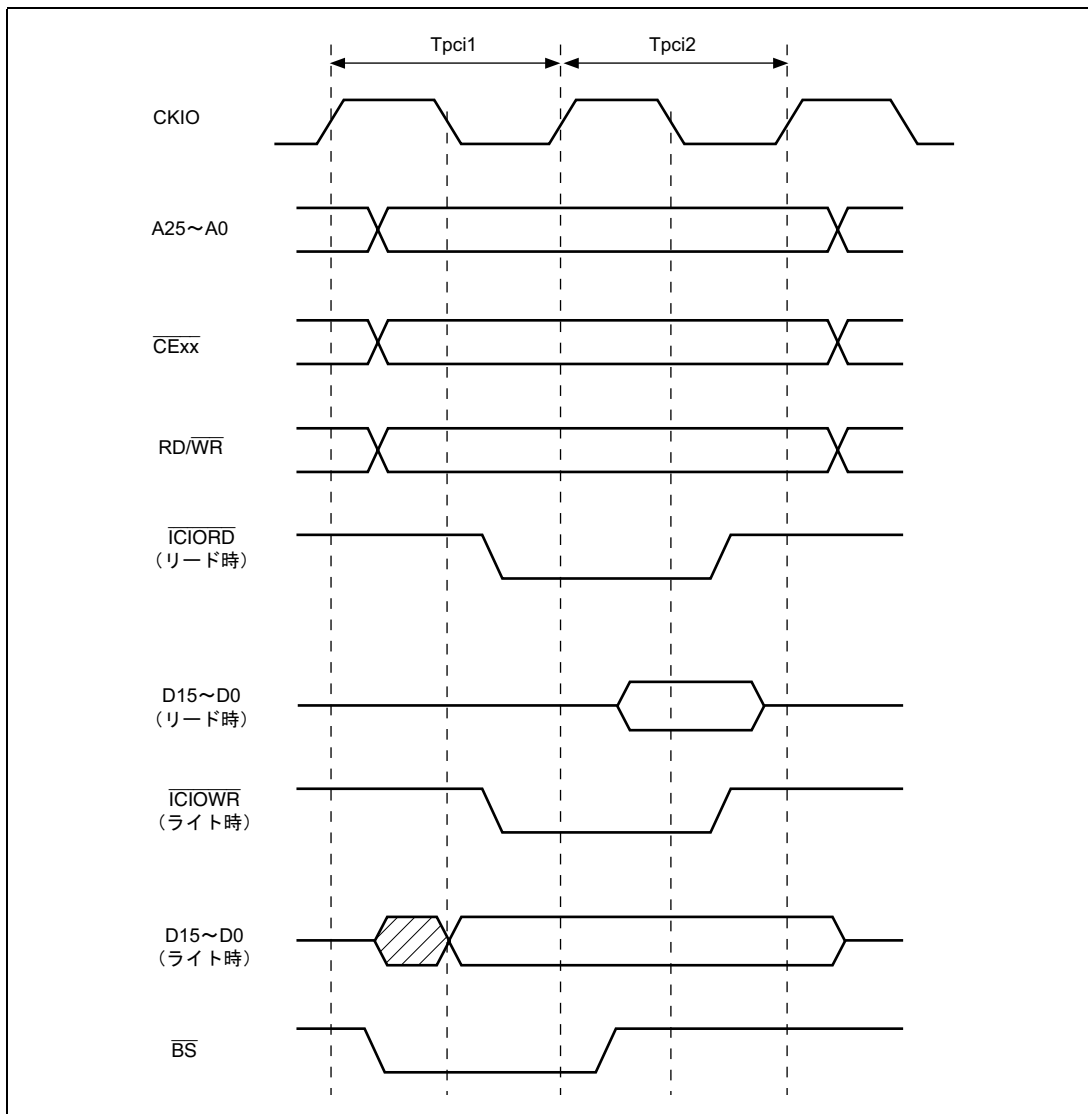


図 11.37 PCMCIA I/O カードインタフェース基本タイミング

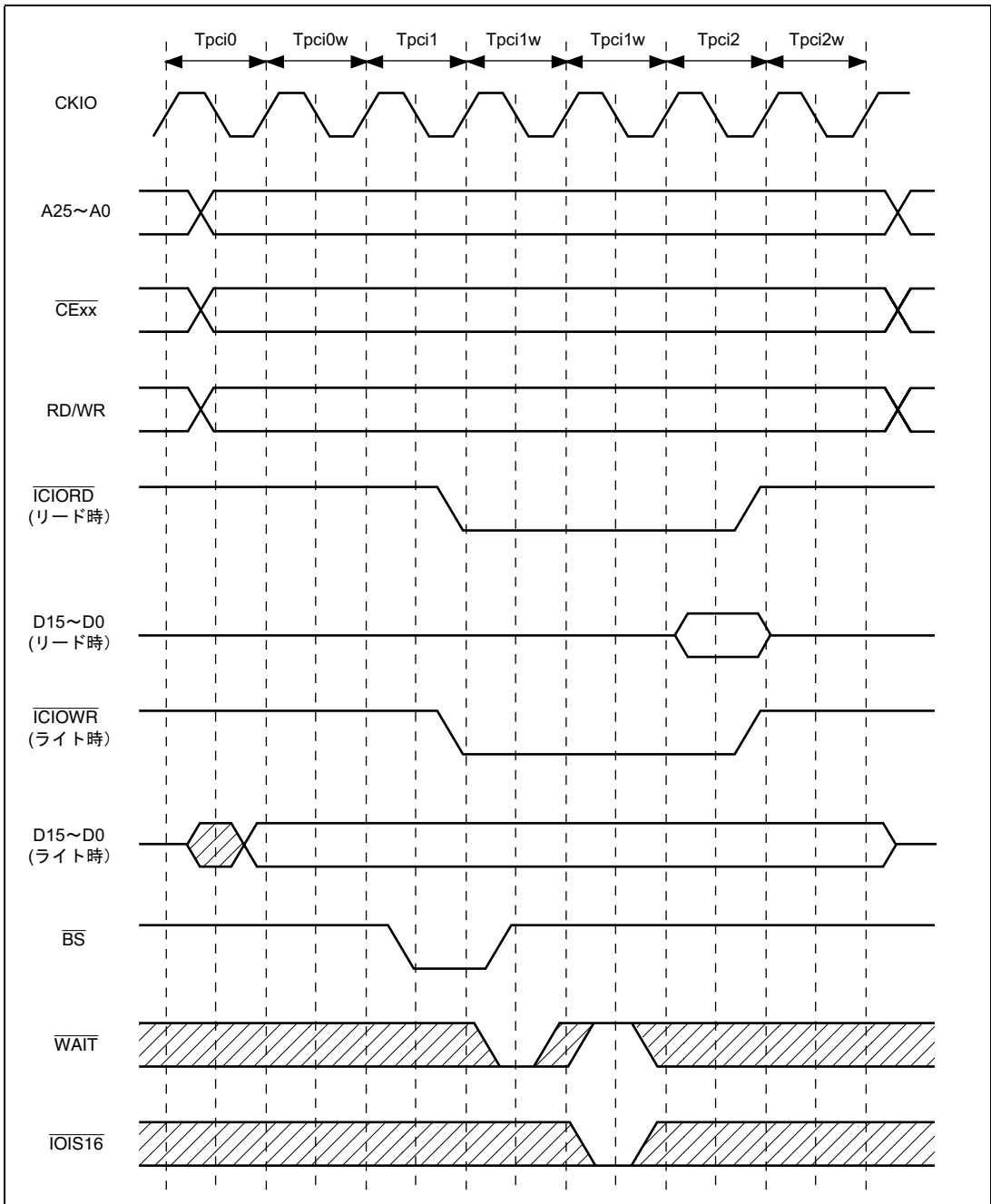


図 11.38 PCMCIA I/O カードインタフェースウェイトタイミング

11. バスステートコントローラ (BSC)

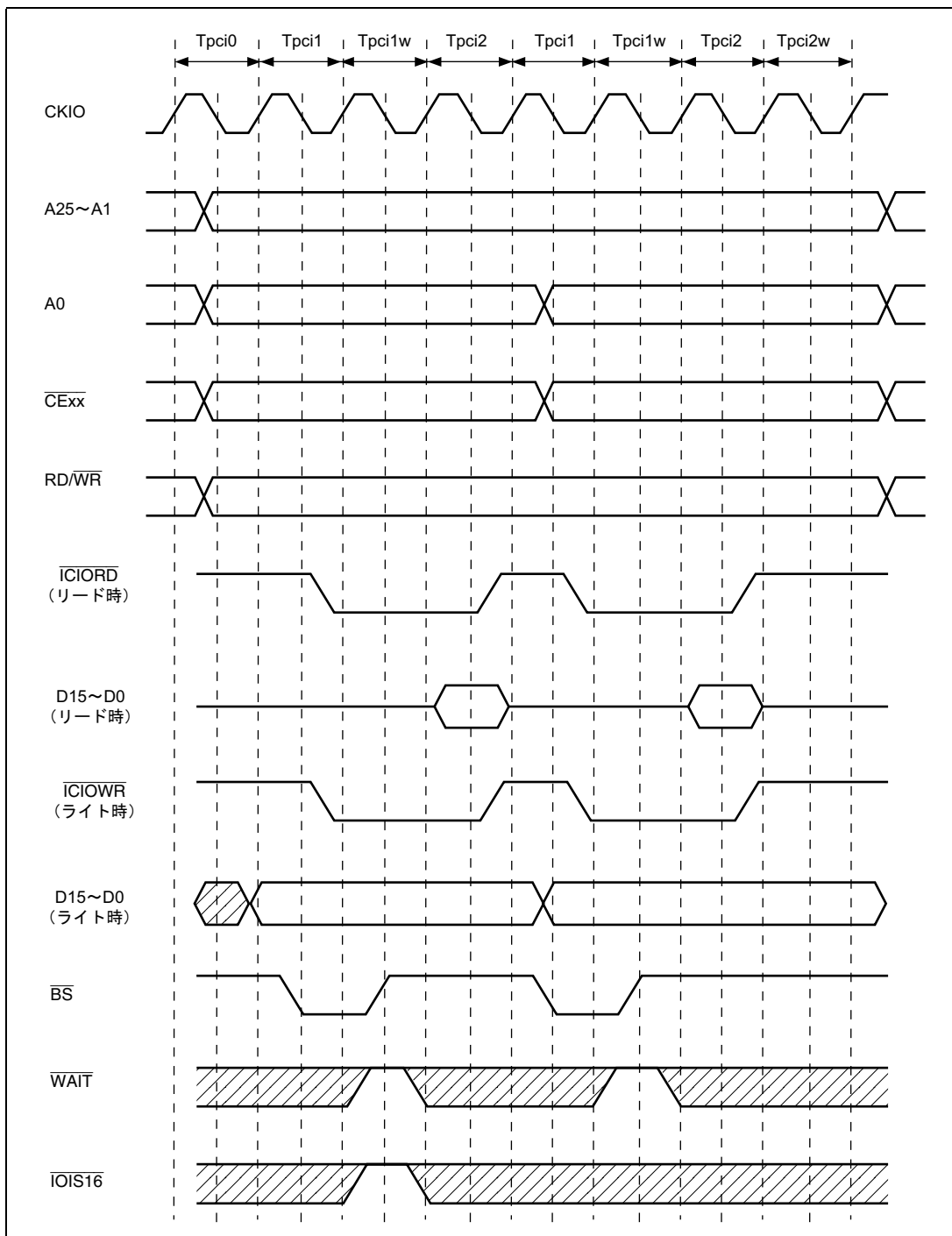


図 11.39 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング

11.3.7 アクセスサイクル間ウェイト

外部メモリバスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こすという事象が起こるようになってきました。これを防止するため、直前のアクセスのエリアと読み出し/書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、直前のアクセスに続いて異なるエリアのアクセスを行う場合と、直前のアクセスがリードアクセスで、次のアクセスが本 LSI からのライトアクセスの 2 つのケースについてです。本 LSI がライトサイクルを連続している場合には、データの転送方向は常に本 LSI から他のメモリという形で統一されており、特に問題とはなりません。同一のエリアに対するリードアクセスも、原則として同一のデータバッファからデータが出されるものとして、ウェイトサイクルの挿入は行いません。WCR1 の AnIW1、AnIW0 ビット (n=0、2~6) によって、物理空間エリアにアクセスした後、他のエリアにアクセスを行う場合と、物理空間エリア n にリードアクセスした後、本 LSI がライトアクセスを行う場合のアクセスサイクルの間に挿入するアイドルサイクル数を指定します。アクセス間に元々空きがある場合には、指定されたアイドル数からその空きサイクル数を除いたサイクルだけ、アイドルサイクルの挿入を行います。

バスアービトレーションを行う場合には、アービトレーションのための空きサイクルが入るため、サイクル間ウェイトは入りません。

11. バスステートコントローラ (BSC)

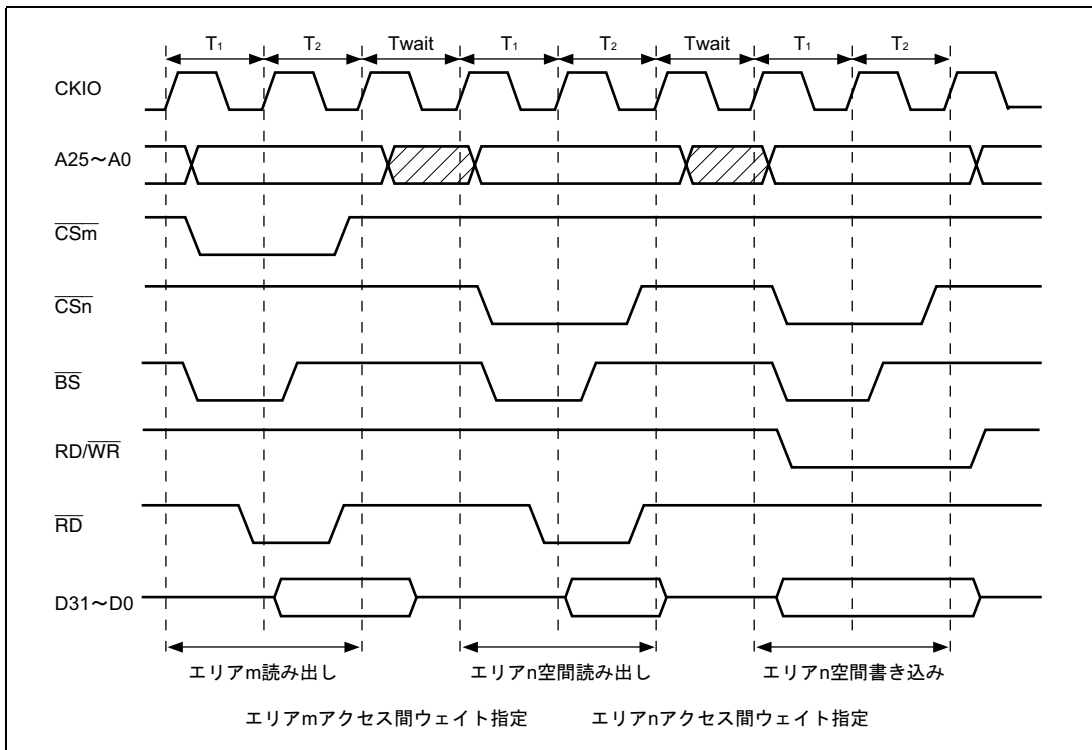


図 11.40 アクセスサイクル間ウェイト

11.3.8 バスアービトレーション

バス解放要求信号 ($\overline{\text{BREQ}}$) がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) を出力します。ただし、キャッシュフィルやライトバックのためのバースト転送途中や、TAS 命令実行中のリードサイクルとライトサイクルの間でのバス権の解放は行いません。また、データバス幅がアクセスサイズより小さいことによって生じる複数バスサイクル、たとえば 8 ビット幅のメモリにロングワードアクセスを行う場合のバスサイクル間にもバスアービトレーションは行いません。 $\overline{\text{BREQ}}$ がネゲートされると $\overline{\text{BACK}}$ をネゲートし、バスの使用を再開します。バス解放時の端子状態は、「付録 A.1. 端子機能」を参照してください。

本 LSI がバス権を解放中に、バス権を取り戻したいことがあります。内部でメモリのリフレッシュ要求が発生したり、割り込み要求が発生してその処理を行わなければならないときです。このため、本 LSI ではバス権要求信号として $\overline{\text{IRQOUT}}$ 端子を用意しています。本 LSI がバス権を取り戻す必要が生じた場合、 $\overline{\text{IRQOUT}}$ 信号をアサートします。外部のバス解放要求をアサートしているデバイスは、この $\overline{\text{IRQOUT}}$ 信号のアサートを受けて、バス権を解放するために $\overline{\text{BREQ}}$ 信号をネゲートします。これにより、バス権が本 LSI に戻り、本 LSI が処理を行います。

$\overline{\text{IRQOUT}}$ 端子のアサート条件

- メモリのリフレッシュ要求が発生し、まだリフレッシュサイクルが始まっていない場合
- 割り込み要因が発生して、その割り込み要求レベルがステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) よりも高い場合 (SR.BL ビットには依存しない)

11.3.9 バスのプルアップ

本 LSI では、BCR1 の PULA ビットを 1 に設定することにより、バス権開放時にアドレスピンのプルアップを行うことができます。 $\overline{\text{BACK}}$ アサート後 4 クロック間アドレスピンをプルアップします。図 11.41 にアドレスピンのプルアップのタイミングを示します。

また BCR1 の PULD ビットを 1 に設定することにより、データピンのプルアップを行うことができます。データバスを使用していないときにデータピンをプルアップします。図 11.42 にリードサイクルにおけるデータピンのプルアップのタイミングを、図 11.43 にライトサイクルにおけるデータピンのプルアップのタイミングを示します。

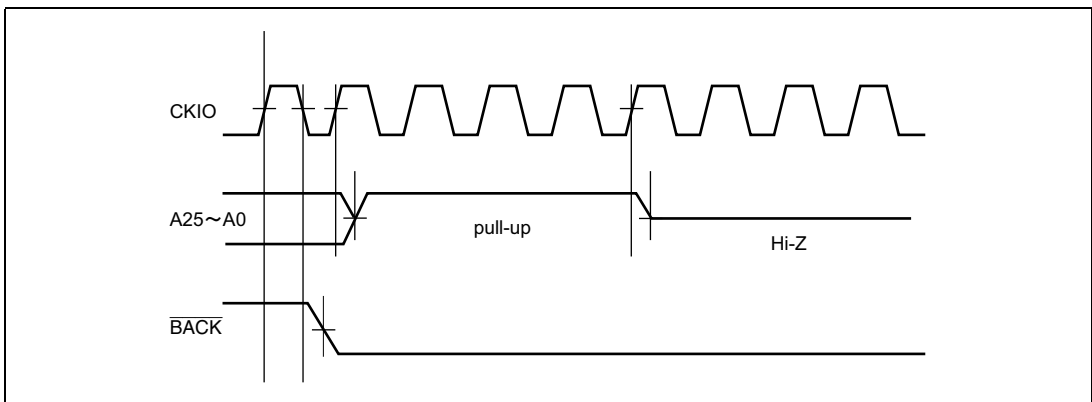


図 11.41 A25~A0 端子プルアップのタイミング

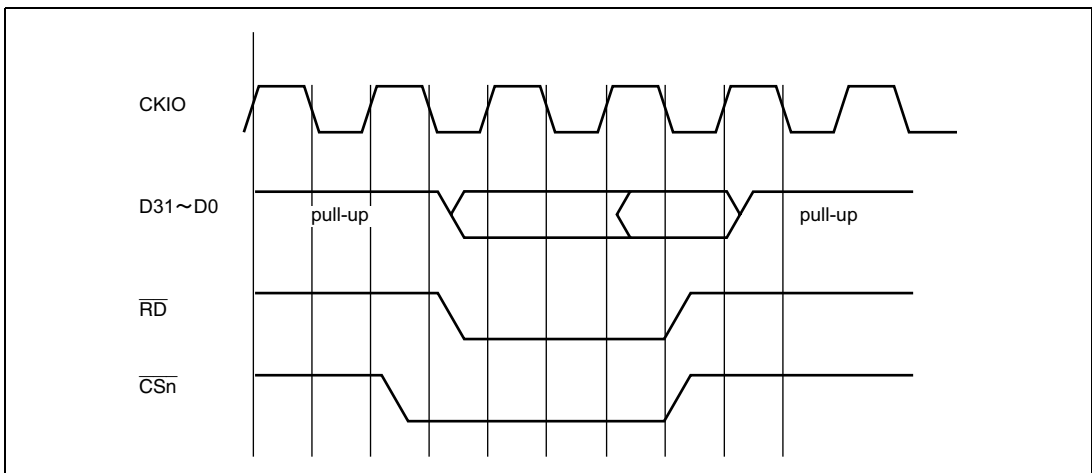


図 11.42 D31~D0 端子プルアップのタイミング (リードサイクル)

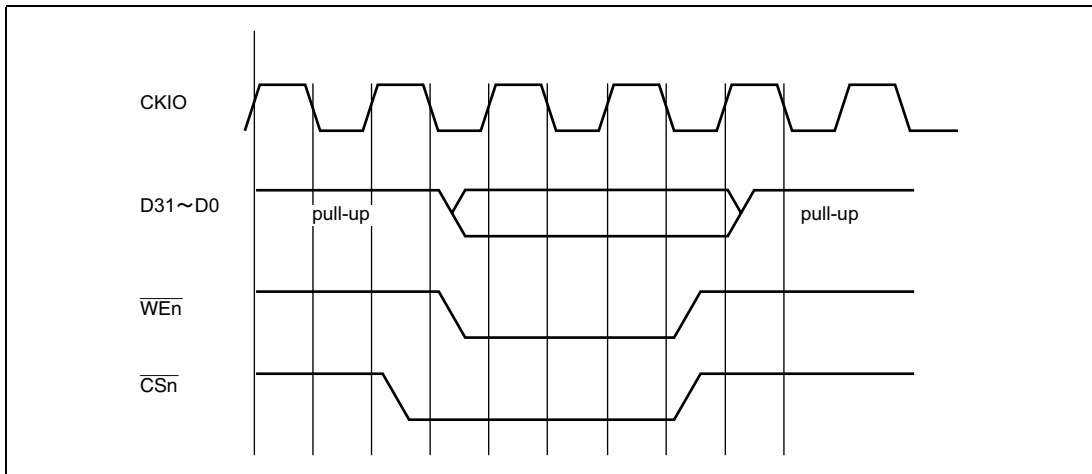


図 11.43 D31~D0 端子プルアップのタイミング (ライトサイクル)

11.3.10 $\overline{\text{MCS}}[0] \sim \overline{\text{MCS}}[7]$ 端子の制御

本 LSI ではエリア 0 または 2 に接続する ROM 専用の $\overline{\text{CS}}$ 端子 $\overline{\text{MCS}}[0] \sim \overline{\text{MCS}}[7]$ を設けています。MCSCR0～MCSCR7 の設定により、 $\overline{\text{MCS}}[0] \sim \overline{\text{MCS}}[7]$ のアサートを制御します。これにより、エリア 0 またはエリア 2 に、32M ビット、64M ビット、128M ビット、256M ビットの容量のメモリを接続できます。ただし、MCSCR0 だけは、エリア 0 のみに接続してください。表 11.15 に MCSCR0～MCSCR7 の設定値と $\overline{\text{MCS}}[0] \sim \overline{\text{MCS}}[7]$ のアサート条件を示します。

$\overline{\text{MCS}}[0] \sim \overline{\text{MCS}}[7]$ は PTC0～PTC7 端子とマルチプレクスされているので $\overline{\text{MCS}}[0] \sim \overline{\text{MCS}}[7]$ として使用する場合は、PCCR レジスタの該当するビットを"その他の機能"に設定してください。

MCSCR0 レジスタの CS2/0=0 の場合、PTC0 端子を $\overline{\text{MCS}}[0]$ に切り替えたとき (PCCR レジスタの PCOMD1、PCOMD0 を"その他の機能"に設定したとき)、 $\overline{\text{CS}}0$ 端子も $\overline{\text{MCS}}[0]$ に切り替わります。

ポートのレジスタの書き込みは周辺クロックで動作するため、高速な内部クロックで動作する CPU の命令実行に比べて時間がかかります。このため、ポート C を $\overline{\text{MCS}}$ に切り替える命令の数命令後に $\overline{\text{MCS}}[1] \sim \overline{\text{MCS}}[7]$ にアクセスする命令を置くと、PTC[n] から $\overline{\text{MCS}}[n]$ への切り替えが正しくできない場合があります。

これを回避するため、以下のフローで切り替えを行ってください。

1. プログラムがキャッシュONで走行する場合

- (1) ポートCを $\overline{\text{MCS}}$ に切り替えるため、PCCRレジスタの対応するビットを"00" (その他の機能) に設定する。
- (2) PCCRレジスタをリードして、設定した値が読み出されるかどうか確認する。設定した値が読み出されるまでこれを繰り返します。
- (3) ノンキャッシュブルのCS0空間 (たとえば、アドレスH'A0000000) からダミーのリードを行う。これによってCS0空間アクセスが発生し、この直後に、CS0が $\overline{\text{MCS}}0$ に、ポートC[n]が $\overline{\text{MCS}}[n]$ に切り替わる。
- (4) $\overline{\text{MCS}}[1] \sim \overline{\text{MCS}}[7]$ の空間へのアクセスが可能になる。

2. プログラムがキャッシュOFFでMCS0空間を走行する場合

- (1) 上記 (1) と同じく、PCCRレジスタを設定する。
- (2) (1) の命令の後に、NOP命令を最低3個置く。これによってPCCRレジスタの書き換えとCS0空間へのアクセスが発生し、この直後に、CS0がMCS[0]に、ポートC[n]がMCS[n]に切り替わる。
- (3) MCS[1]~MCS[7]の空間へのアクセスが可能になる。

表 11.15 MCSCRx の設定値と MCS[x]のアサート条件 (x : 0~7)

MCSCRx の設定値							MCS[x]のアサート条件			備考
CS2/0	CAP1	CAP0	A25	A24	A23	A22	CS0	CS2	アドレスバス A[25:0]	
0	1	1	0	—	—	—	L	H	H'0000000 ~ H'1FFFFFFF	256M ビット ROM
			1	—	—	—	L	H	H'2000000 ~ H'3FFFFFFF	
	1	0	0	0	—	—	L	H	H'0000000 ~ H'0FFFFFFF	128M ビット ROM
			0	1	—	—	L	H	H'1000000 ~ H'1FFFFFFF	
			1	0	—	—	L	H	H'2000000 ~ H'2FFFFFFF	
	0	1	0	0	0	—	L	H	H'0000000 ~ H'07FFFFFFF	64M ビット ROM
			0	0	1	—	L	H	H'0800000 ~ H'0FFFFFFF	
			0	1	0	—	L	H	H'1000000 ~ H'17FFFFFFF	
			0	1	1	—	L	H	H'1800000 ~ H'1FFFFFFF	
			1	0	0	—	L	H	H'2000000 ~ H'27FFFFFFF	
			1	0	1	—	L	H	H'2800000 ~ H'2FFFFFFF	
	0	0	0	0	0	—	L	H	H'3000000 ~ H'37FFFFFFF	32M ビット ROM
			0	0	0	0	L	H	H'0000000 ~ H'03FFFFFFF	
			0	0	0	1	L	H	H'0400000 ~ H'07FFFFFFF	
			0	0	1	0	L	H	H'0800000 ~ H'0BFFFFFFF	
			0	0	1	1	L	H	H'0C00000 ~ H'0FFFFFFF	
			0	1	0	0	L	H	H'1000000 ~ H'13FFFFFFF	
			0	1	0	1	L	H	H'1400000 ~ H'17FFFFFFF	
			0	1	1	0	L	H	H'1800000 ~ H'1BFFFFFFF	
			0	1	1	1	L	H	H'1C00000 ~ H'1FFFFFFF	
			1	0	0	0	L	H	H'2000000 ~ H'23FFFFFFF	
			1	0	0	1	L	H	H'2400000 ~ H'27FFFFFFF	
			1	0	1	0	L	H	H'2800000 ~ H'2BFFFFFFF	
			1	0	1	1	L	H	H'2C00000 ~ H'2FFFFFFF	
			1	1	0	0	L	H	H'3000000 ~ H'33FFFFFFF	
	1	1	0	1	L	H	H'3400000 ~ H'37FFFFFFF			
	1	1	1	0	L	H	H'3800000 ~ H'3BFFFFFFF			
	1	1	1	1	L	H	H'3C00000 ~ H'3FFFFFFF			

11. バスステートコントローラ (BSC)

MCSCRx の設定値							MCS[x] のアサート条件			備考
CS2/0	CAP1	CAP0	A25	A24	A23	A22	$\overline{CS0}$	$\overline{CS2}$	アドレスバス A[25:0]	
1	1	1	0	—	—	—	H	L	H'0000000 ~ H'1FFFFFF	256M ビット ROM
			1	—	—	—	H	L	H'2000000 ~ H'3FFFFFF	
	1	0	0	0	—	—	H	L	H'0000000 ~ H'0FFFFFF	128M ビット ROM
			0	1	—	—	H	L	H'1000000 ~ H'1FFFFFF	
			1	0	—	—	H	L	H'2000000 ~ H'2FFFFFF	
			1	1	—	—	H	L	H'3000000 ~ H'3FFFFFF	
	0	1	0	0	0	—	H	L	H'0000000 ~ H'07FFFFFF	64M ビット ROM
			0	0	1	—	H	L	H'0800000 ~ H'0FFFFFF	
			0	1	0	—	H	L	H'1000000 ~ H'17FFFFFF	
			0	1	1	—	H	L	H'1800000 ~ H'1FFFFFF	
			1	0	0	—	H	L	H'2000000 ~ H'27FFFFFF	
			1	0	1	—	H	L	H'2800000 ~ H'2FFFFFF	
			1	1	0	—	H	L	H'3000000 ~ H'37FFFFFF	
			1	1	1	—	H	L	H'3800000 ~ H'3FFFFFF	
	0	0	0	0	0	0	H	L	H'0000000 ~ H'03FFFFFF	32M ビット ROM
			0	0	0	1	H	L	H'0400000 ~ H'07FFFFFF	
			0	0	1	0	H	L	H'0800000 ~ H'0BFFFFFF	
			0	0	1	1	H	L	H'0C00000 ~ H'0FFFFFF	
			0	1	0	0	H	L	H'1000000 ~ H'13FFFFFF	
			0	1	0	1	H	L	H'1400000 ~ H'17FFFFFF	
0			1	1	0	H	L	H'1800000 ~ H'1BFFFFFF		
0			1	1	1	H	L	H'1C00000 ~ H'1FFFFFF		
1			0	0	0	H	L	H'2000000 ~ H'23FFFFFF		
1			0	0	1	H	L	H'2400000 ~ H'27FFFFFF		
1			0	1	0	H	L	H'2800000 ~ H'2BFFFFFF		
1			0	1	1	H	L	H'2C00000 ~ H'2FFFFFF		
1			1	0	0	H	L	H'3000000 ~ H'33FFFFFF		
1			1	0	1	H	L	H'3400000 ~ H'37FFFFFF		
1			1	1	0	H	L	H'3800000 ~ H'3BFFFFFF		
1			1	1	1	H	L	H'3C00000 ~ H'3FFFFFF		

12. ダイレクトメモリアクセスコントローラ (DMAC)

12.1 概要

本 LSI は 4 チャンネルのダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (IrDA、SCIF、A/D 変換器、および D/A 変換器) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。

12.1.1 特長

DMAC には次のような特長があります。

- チャンネル数：4チャンネル
- アドレス空間：アーキテクチャ上は4Gバイト
- 16バイト転送 (16バイト転送は32ビット長の読み出しを4回実行した後に32bit長の書き込みを4回実行します)
- 転送データ長：8ビット、16ビット、32ビット、16バイトの中から選択可能
- 最大転送回数：16M (16777216) 回
- アドレスモード：

デュアルアドレスモードとシングルアドレスモードをサポート。加えて、直接アドレス転送モード、間接アドレス転送モードの指定可能

<デュアルアドレスモード>

転送元、転送先双方をアドレスアクセスします。デュアルアドレスモードには直接アドレス転送モードと間接アドレス転送モードがあります。

直接アドレス転送モード

転送元、転送先とも、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指しています。1回のデータ転送に2バスサイクルを必要とします。

間接アドレス転送モード

DMAC内部の転送元レジスタに設定されたアドレスの先に格納されている値をアドレスとしてデータ転送を行います。それ以外は直接アクセスと同じ動作です。この機能はチャンネル3でのみ設定可能です。

1回のデータ転送に4バスサイクルを必要とします。

<シングルアドレスモード>

転送元か転送先の周辺デバイスをDACK信号でアクセス (選択) し、もう一方をアドレスでアクセスします。1バスサイクルで1転送単位のデータを転送します。

12. ダイレクトメモリアクセスコントローラ (DMAC)

- チャンネル機能：各チャンネルごとに、設定可能な転送モードが異なります。
 - チャンネル0：外部リクエスト受け付け可能
 - チャンネル1：外部リクエスト受け付け可能
 - チャンネル2：4回の転送ごとにソースアドレスをリロードする機能（ソースアドレスリロード機能）を持つ
 - チャンネル3：直接アドレス転送モード、間接アドレス転送モード指定可能
- リロード機能：

4回のDMA転送終了ごとに、最初にソースアドレスレジスタに設定した値を自動的にリロードすることができます。この機能はチャンネル2でのみ実行可能です。
- 転送要求：

DMACの転送起動要求には以下の種類があります。

外部リクエスト：

DREQ端子2本。ローレベル検出または立ち下がりエッジ検出の指定が可能です。外部リクエスト要求が受け付けられるのはチャンネル0とチャンネル1の2チャンネルだけです。

内蔵モジュール：

シリアルコミュニケーションインタフェース（IrDA、SCIF）、A/D変換器、タイマ（CMT）など内蔵モジュールの転送要求です。すべてのチャンネルが受け付け可能です。
- オートリクエスト：転送要求をDMAC内部で自動的に発生します。
- バスモード：

バスモードではサイクルスチールモードとバーストモードの選択が可能です。
- 優先順位：

DMACのチャンネル優先順位には以下の2つの種類があります。

優先順位固定モード：優先順位を常に固定にします。

ラウンドロビンモード：実行要求を受け付けたチャンネルの優先順位を最低にします。
- 割り込み要求：

指定した転送回数終了後、CPUに割り込み要求を発生可能です。

12.1.2 DMAC ブロック図

DMAC のブロック図を図 12.1 に示します。

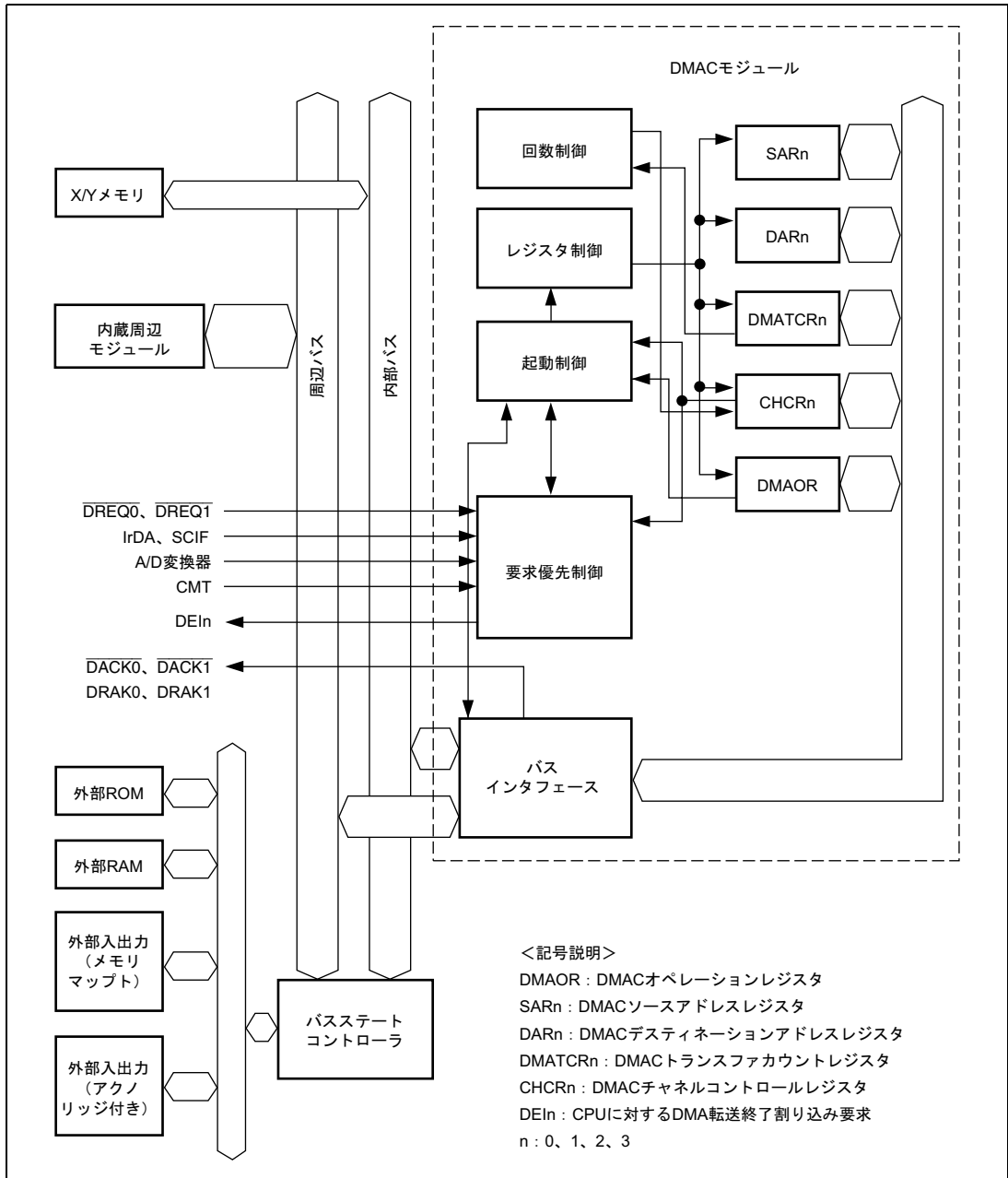


図 12.1 DMAC ブロック図

12. ダイレクトメモリアクセスコントローラ (DMAC)

12.1.3 端子構成

DMAC の端子を表 12.1 に示します。

表 12.1 DMAC 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	チャンネル 0 から外部デバイスへの DMA 転送ストロープ出力
	DMA 要求受け付け確認	DRAK0	出力	DREQ0 を受け付けたことを示す出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK1	出力	チャンネル 1 から外部デバイスへの DMA 転送ストロープ出力
	DMA 要求受け付け確認	DRAK1	出力	DREQ1 を受け付けたことを示す出力

12.1.4 レジスタ構成

表 12.2 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられているほか、DMAC 全体の制御用のレジスタが 1 本あり、全体で計 17 本のレジスタがあります。

表 12.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	レジスタサイズ	アクセスサイズ
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	不定	H'04000020 (H'A4000020)*4	32 ビット	16、32*2
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	不定	H'04000024 (H'A4000024)*4	32 ビット	16、32*2
	DMA トランスファカウンタレジスタ 0	DMATCR0	R/W	不定	H'04000028 (H'A4000028)*4	24 ビット	16、32*3
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W*1	H'00000000	H'0400002C (H'A400002C)*4	32 ビット	8、16、32*2
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	不定	H'04000030 (H'A4000030)*4	32 ビット	16、32*2
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	不定	H'04000034 (H'A4000034)*4	32 ビット	16、32*2
	DMA トランスファカウンタレジスタ 1	DMATCR1	R/W	不定	H'04000038 (H'A4000038)*4	24 ビット	16、32*3
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W*1	H'00000000	H'0400003C (H'A400003C)*4	32 ビット	8、16、32*2

12. ダイレクトメモリアクセスコントローラ (DMAC)

チャネル	名称	略称	R/W	初期値	アドレス	レジスタ サイズ	アクセス サイズ
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	不定	H'04000040 (H'A4000040)* ⁴	32 ビット	16、32* ²
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	不定	H'04000044 (H'A4000044)* ⁴	32 ビット	16、32* ²
	DMA トランスファカウンタレジスタ 2	DMATCR2	R/W	不定	H'04000048 (H'A4000048)* ⁴	24 ビット	16、32* ³
	DMA チャネルコントロールレジスタ 2	CHCR2	R/W* ¹	H'00000000	H'0400004C (H'A400004C)* ⁴	32 ビット	8、16、32* ²
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	不定	H'04000050 (H'A4000050)* ⁴	32 ビット	16、32* ²
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	不定	H'04000054 (H'A4000054)* ⁴	32 ビット	16、32* ²
	DMA トランスファカウンタレジスタ 3	DMATCR3	R/W	不定	H'04000058 (H'A4000058)* ⁴	24 ビット	16、32* ³
	DMA チャネルコントロールレジスタ 3	CHCR3	R/W* ¹	H'00000000	H'0400005C (H'A400005C)* ⁴	32 ビット	8、16、32* ²
共通	DMA オペレーションレジスタ	DMAOR	R/W* ¹	H'0000	H'04000060 (H'A4000060)* ⁴	16 ビット	8、16* ²

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

- *1 CHCR0~3 のビット 1 および DMAOR のビット 1、ビット 2 はフラグクリアのために 1 読み出し後の 0 書き込みのみ可能。
- *2 SAR0~3、DAR0~3、CHCR0~3 に 16 ビットアクセスをした場合、アクセスされなかった側の 16 ビットの値は保持されます。
- *3 DMATCR は 0~23 ビットまでの 24 ビット構成です。上位側 24~31 ビットまでの 8 ビットへの 1 書き込みは無効となり読み出すと常に 0 が読み出しされます。
- *4 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

12.2.3 DMA トランスファカウントレジスタ 0~3 (DMATCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—								
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA トランスファカウントレジスタ 0~3 (DMATCR0~3) は読み出し、書き込み可能な 24 ビットのレジスタで、そのチャンネルの転送回数 (バイト数、ワード数またはロングワード数) を指定します。転送回数は H'000001 を設定した場合 1 回ですが、H'000000 を設定すると最大値を設定したことになり、16777216 回実行されます。

DMAC 動作中は、残りの転送回数を示しています。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。DMATCR の上位 8 ビットは、読み出すとデータは 0 です。書き込む値は常に 0 にしてください。

DMATCR0~3 はリセット時は、値は不定になります。

スタンバイモード時は、以前の値が保持されます。

12.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DI	RO	RL	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	^{*2} (R/W)	^{*2} (R/W)	^{*2} (R/W)	^{*2} (R/W)
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	—	DS	TM	TS1	TS0	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	—	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	^{*2} (R/W)	R/W	R/W	R/W	R/W	R/W	^{*1} R/W

【注】 *1 TEビットは、1読み出し後の0書き込みのみ実行可能です。

*2 DI、RO、RL、AM、AL、DSビットは、チャンネルにより存在しないビットがあります。

12. ダイレクトメモリアクセスコントローラ (DMAC)

DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法などを指定します。

ビット 20 は CHCR3 でのみ使用し、CHCR0~CHCR2 では使用しません。CHCR0~CHCR2 では本ビットへの書き込みは無効です。また、読み出すと 0 が読み出されます。

ビット 19 は CHCR2 でのみ使用し、CHCR0、CHCR1、および CHCR3 では使用しません。CHCR0、CHCR1、および CHCR3 では本ビットへの書き込みは無効です。また、読み出すと 0 が読み出されます。

ビット 6、ビット 16~18 は CHCR0、CHCR1 でのみ使用し、CHCR2、CHCR3 では使用しません。CHCR2、CHCR3 ではこれらのビットへの書き込みは無効です。また、読み出すと 0 が読み出されます。

これらのレジスタは、リセット時は 0 に初期化されます。スタンバイモード時は、以前の値を保持します。

- ビット 31~21、7：予約ビット

読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 20：ダイレクト、インダイレクトセレクト (DI)

チャンネル 3 のソースアドレスを直接アドレスモードで動作するか、間接アドレスモードで動作するかを指定するビットです。

このビットは CHCR3 でのみ有効です。CHCR0、1、2 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送時は、直接アドレスモードに設定してください。間接アドレスモードを設定した場合の動作は保証されません。

ビット 20	説明
DI	
0	チャンネル 3 を直接アドレスモードで動作させる (初期値)
1	チャンネル 3 を間接アドレスモードで動作させる

- ビット 19：ソースアドレスリロードビット (RO)

チャンネル 2 の転送時、ソースアドレス初期値のリロードを行うか否かの選択ビットです。

このビットは CHCR2 でのみ有効です。CHCR0、1、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送時は、値 0 のリロードしないを設定してください。リロードを設定した場合の動作は保証されません。

ビット 19	説明
RO	
0	ソースアドレスをリロードしない (初期値)
1	ソースアドレスをリロードする

12. ダイレクトメモリアクセスコントローラ (DMAC)

• ビット 18：リクエストチェックレベルビット (RL)

$\overline{\text{DREQ}}$ を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかを選択ビットです。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 18	説明
RL	
0	DRAK をローアクティブで出力 (初期値)
1	DRAK をハイアクティブで出力

• ビット 17：アクノリッジモードビット (AM)

デュアルアドレスモードで、DACK をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。

シングルアドレスモードでは、このビットの指定に関係なく、DACK は常に出力されます。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 17	説明
AM	
0	読み出しサイクルで DACK を出力 (初期値)
1	書き込みサイクルで DACK を出力

• ビット 16：アクノリッジレベル (AL)

DACK (アクノリッジ) 信号をハイアクティブにするかローアクティブにするかを指定します。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 16	説明
AL	
0	ローアクティブで DACK 出力 (初期値)
1	ハイアクティブで DACK 出力

12. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット 15、14 : デスティネーションアドレスモード 1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。

ビット 15	ビット 14	説 明
DM1	DM0	
0	0	デスティネーションアドレスは固定* (初期値)
	1	デスティネーションアドレスは増加(8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)。16 バイト転送時は+16
1	0	デスティネーションアドレスは減少(8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)。16 バイト転送時は、設定禁止
	1	(設定禁止)

【注】 * 16 バイト転送時、転送先が X/Y メモリの場合はこの設定はできません。

- ビット 13、12 : ソースアドレスモード 1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。

ビット 13	ビット 12	説 明
SM1	SM0	
0	0	ソースアドレスは固定* (初期値)
	1	ソースアドレスは増加(8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)。16 バイト転送時は+16
1	0	ソースアドレスは減少(8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)。16 バイト転送時は、設定禁止
	1	(設定禁止)

【注】 * 16 バイト転送時、転送元が X/Y メモリの場合はこの設定はできません。

転送元が間接アドレスに指定されている場合、ソースアドレスレジスタ 3 (SAR3) には、実際に転送したいデータの格納されているアドレスの値が、データとして保存されているアドレス(間接アドレス)を指定してください。

間接アドレスモード時の SAR3 の増減の指定も SM1、SM0 に従いますが、この場合は TS1、TS0 で指定した転送データのサイズにかかわらず、SAR3 の増減値は+4、-4 または 0 固定になります。

12. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット 11~8 : リソースセレクト 3、2、1、0 (RS3、RS2、RS1、RS0)

転送要求元を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説 明
RS3	RS2	RS1	RS0	
0	0	0	0	外部リクエスト、デュアルアドレスモード (初期値)
			1	(設定禁止)
		1	0	外部リクエスト、シングルアドレスモード 外部アドレス空間→DACK 付き外部デバイス
			1	外部リクエスト、シングルアドレスモード DACK 付き外部デバイス→外部アドレス空間
	1	0	0	オートリクエスト
			1	(設定禁止)
		1	0	(設定禁止)
			1	(設定禁止)
1	0	0	0	(設定禁止)
			1	(設定禁止)
		1	0	IrDA 送信
			1	IrDA 受信
	1	0	0	SCIF 送信
			1	SCIF 受信
		1	0	A/D 変換器
			1	CMT

【注】 1. 外部リクエストの指定はチャンネル 0、1 のみ有効です。チャンネル 2、3 の場合、いずれの転送要求元も選択できません。

2. 16 バイト転送時には、

1010 IrDA 送信

1011 IrDA 受信

1100 SCIF 送信

1101 SCIF 受信

1110 A/D 変換器

1111 CMT

に設定しないでください。設定した場合の動作は保証されません。

12. ダイレクトメモリアクセスコントローラ (DMAC)

• ビット6: $\overline{\text{DREQ}}$ セレクト (DS)

外部リクエストモードで使用する $\overline{\text{DREQ}}$ 端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。

またチャンネル 0、1 でも、転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、このビットの指定は無視され、オートリクエスト以外は立ち下がりエッジ検出に固定されます。

ビット6	説明
DS	
0	$\overline{\text{DREQ}}$ 端子はローレベル検出 (初期値)
1	$\overline{\text{DREQ}}$ 端子は立ち下がりエッジ検出

• ビット5: トランスミットモード (TM)

転送するときのバスモードを指定するビットです。

ビット5	説明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

• ビット4、3: トランスミットサイズ 1、0 (TS1、TS0)

転送するデータのサイズを指定するビットです。

ビット4	ビット3	説明
TS1	TS0	
0	0	バイトサイズ (8 ビット) 指定 (初期値)
	1	ワードサイズ (16 ビット) 指定
1	0	ロングワードサイズ (32 ビット) 指定
	1	16 バイト単位 (ロングワード 4 回転送)

12. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット2: インタラプトイネーブル (IE)

このビットに1をセットしておく、DMATCRに指定した回数のデータ転送が終了したとき (TE=1のとき) 割り込み要求を発生します。

ビット2	説明
IE	
0	DMATCR 指定転送回数終了時、割り込み要求を発生しない (初期値)
1	DMATCR 指定転送回数終了時、割り込み要求を発生する

- ビット1: トランスファエンド (TE)

DMATCRで指定した回数の転送が終了したとき1にセットされるビットです。このときIEビットが1にセットされていれば、割り込み要求を発生します。

TEが1にセットされる前にNMI割り込み、DMACによるアドレスエラーの発生、DEビットまたはDMAORのDMEビットのクリアなどで転送が終了した場合は、TEビットは1にセットされません。このビットが1にセットされた状態でDEビットを1にセットしても、転送許可状態には入りません。

ビット1	説明
TE	
0	DMATCR 指定回数転送未終了 (初期値) [クリア条件] TE=1の読み出し後0書き込み パワーオンリセット、マニュアルリセット
1	DMATCR 指定回数転送終了

- ビット0: DMAC イネーブル (DE)

対応するチャンネルの動作を許可するビットです。

ビット0	説明
DE	
0	対応チャンネルの動作禁止 (初期値)
1	対応チャンネルの動作許可

12. ダイレクトメモリアクセスコントローラ (DMAC)

オートリクエストを指定 (RS3~0 で指定) した場合、このビットに 1 をセットすると転送に入ります。外部リクエスト、内蔵モジュールリクエストでは、このビットに 1 をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DE ビットをセットしても TE が 1 の場合、DMAOR の DME が 0 の場合、DMAOR の NMIF または AE ビットが 1 の場合は転送許可状態には入りません。

12.2.5 DMA オペレーションレジスタ (DMAOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PR1	PR0	—	—	—	—	—	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/(W)*R/(W)*	R/(W)*R/(W)*	R/W

【注】 * AE ビット NMIF ビットは、1 読み出し後の 0 書き込みのみ実行可能です。

DMAOR は読み出し、書き込み可能な 16 ビットのレジスタで、DMAC の転送モードを指定します。本レジスタはリセット時に 0 に初期化されます。スタンバイモード時は、以前の値を保持します。

- ビット 15~10 : 予約ビット

読み出すとデータは 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 9、8 : プライオリティモード 1、0 (PR1、PR0)

同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。

ビット 9	ビット 8	説明
PR1	PR0	
0	0	CH0>CH1>CH2>CH3 (初期値)
	1	CH0>CH2>CH3>CH1
1	0	CH2>CH0>CH1>CH3
	1	ラウンドロビンモード

12. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット7~3: 予約ビット

読み出すとデータは0が読み出されます。書き込む値も常に0にしてください。

- ビット2: アドレスエラーフラグビット (AE)

DMACによるアドレスエラーが発生したことを示します。このビットのセットは、DMAC動作中に行われます。転送途中にこのビットがセットされると、全チャネルの転送が中断されます。CPUからAEに1を書き込むことはできません。クリアは、1読み出し後の0書き込みのみ有効です。

ビット2	説明
AE	
0	DMACによるアドレスエラーなし。DMA転送許可状態。 [クリア条件] AE=1読み出し後AE=0書き込み パワーオンリセット、マニュアルリセット (初期値)
1	DMACによるアドレスエラーあり。DMA転送禁止状態。 [セット条件] DMACによるアドレスエラー発生

- ビット1: NMIフラグ (NMIF)

NMIが入力されたことを示すフラグです。このビットのセットはDMAC動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャネルの転送が中断されます。CPUからNMIFに1を書き込むことはできません。クリアは、1読み出し後の0書き込みのみ有効です。

ビット1	説明
NMIF	
0	NMI入力なし。DMA転送許可状態 [クリア条件] NMIF=1読み出し後NMIF=0書き込み パワーオンリセット、マニュアルリセット時 (初期値)
1	NMI入力あり。DMA転送禁止状態 [セット条件] NMI割り込みの発生

12. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット0: DMAC マスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビットおよび各チャネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャネルの転送を中断できます。

DME ビットをセットしても、CHCR の TE ビットが 1、または DE ビットが 0 の場合、DMAOR の AE ビットが 1 の場合、および DMAOR の NMIF ビットが 1 の場合は、転送許可状態には入りません。

ビット0	説明
DME	
0	全チャネルの動作禁止 (初期値)
1	全チャネルの動作許可

12.3 動作説明

DMAC は DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。デュアルアドレスモードは、直接アドレス転送モードと間接アドレス転送モードがあります。パスモードは、バーストモードとサイクルスチールモードを選択することができます。

12.3.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

- (1) 転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。
- (2) 転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS0、TS1 ビットの設定により決定) を転送します。オートリクエストモードの場合は DE ビットおよび DME ビットが 1 にセットされると自動的に転送を開始します。1 回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、パスモードにより異なります。
- (3) 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みが発生します。
- (4) DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。図 12.2 に上記のフローチャートを示します。

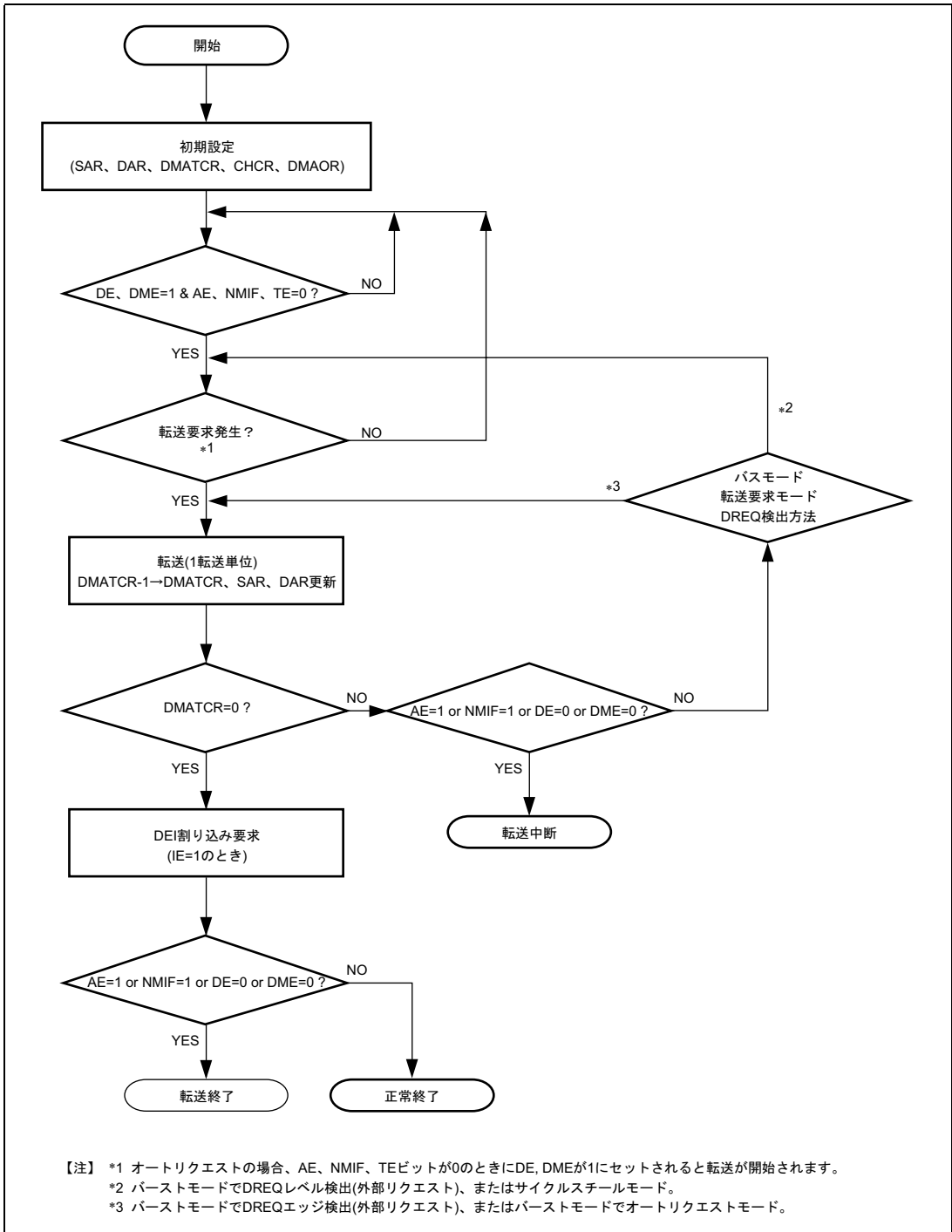


図 12.2 DMAC 転送フローチャート

12. ダイレクトメモリアクセスコントローラ (DMAC)

12.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエスト、の3種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3) の RS3~RS0 ビットによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3 の DE ビットおよび DMA オペレーションレジスタ (DMAOR) の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR0~CHCR3 の TE ビット、DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは外部デバイスからの転送要求信号 (\overline{DREQ}) によって転送を開始させるモードです。応用システムに応じて、表 12.3 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、AE=0、NMIF=0) に \overline{DREQ} が入力されると DMA 転送が開始されます。 \overline{DREQ} を立ち下がりエッジで検出するかローレベルで検出するかは、CHCR0~CHCR1 の DS ビットで選びます (DS=0 はレベル検出、DS=1 はエッジ検出)。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 12.3 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアル アドレスモード	任意*	任意
		1	0	シングルアドレス モード	外部メモリ、 メモリマップ外部デバイス	DACK 付き外部デバイス
			1		DACK 付き外部デバイス	外部メモリ、 メモリマップ外部デバイス

【注】 * 外部メモリ、メモリマップ外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、UBC、BSC を除く)

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールの転送要求信号（割り込み要求信号）によって転送が実行されます。16 バイト転送時は設定できません。

転送要求信号は、2 種類のシリアルコミュニケーションインタフェース（IrDA、SCIF）からの受信データフル割り込み（RXI）、送信データエンプティ割り込み（TXI）、A/D 変換器からの A/D 変換終了割り込み（ADI）、および CMT からのコンペアマッチタイマ割り込み（CMI）の 6 通りがあります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態（DE=1、DME=1、TE=0、AE=0、NMIF=0）ならば、転送要求信号入力によって転送が実行されます。転送要求元は、必ずしもデータの転送元または転送先である必要はありません。ただし、転送要求を RXI に設定した場合は、転送元を当該 SCI のレシーブデータレジスタ（RDR）とする必要があります。同様に、転送要求を TXI に設定した場合は、転送先を当該 SCI のトランスミットデータレジスタ（TDR）とする必要があります。さらに、転送要求が A/D 変換器からの場合は、データ転送元を、A/D データレジスタ（ADDR）とする必要があります。

表 12.4 RS3~0 ビットによる内蔵周辺モジュールリクエストモードの選択

RS3	RS2	RS1	RS0	DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
1	0	1	0	IrDA 送信部	TXI1 (IrDA 送信データエン プティ割り込み)	任意*	TDR1	サイクルスチール
			1	IrDA 受信部	RXI1 (IrDA 受信デー タフル割り込み)	RDR1	任意*	サイクルスチール
	1	0	0	SCIF 送信部	TXI2 (SCIF 送信データエン プティ割り込み)	任意*	TDR2	サイクルスチール
			1	SCIF 受信部	RXI2 (SCIF 受信デー タフル割り込み)	RDR2	任意*	サイクルスチール
	1	0	0	A/D 変換器	ADI (A/D 変換終了割り 込み)	ADDR	任意*	サイクルスチール
			1	CMT	CMI (コンペアマッチタ イマ割り込み)	任意*	任意*	バースト/ サイクルスチール

ADDR : A/D 変換器の A/D データレジスタ

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール（DMAC、UBC、BSC を除く）

12. ダイレクトメモリアクセスコントローラ (DMAC)

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する割り込み許可ビットをセットして、割り込み信号を出力させてください。

内蔵周辺モジュールの割り込み要求信号を DMA 転送要求信号として使用した場合、CPU に対する割り込みは発生しません。

表 12.4 の転送要求信号は、対応する DMA 転送が行われると、自動的に取り下げられます。これはサイクルスチールモードの場合 1 回の転送で、バーストモードの場合最後の転送時に行われます。

12.3.3 チャネルの優先順位

DMAC は、同時に複数のチャネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャネルの優先順位は固定、ラウンドロビンの 2 種類のモードから選択できます。モードの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モードではチャネルの優先順位は変化しません。

固定モードには以下に示す 3 種類があります。

CH0>CH1>CH2>CH3

CH0>CH2>CH3>CH1

CH2>CH0>CH1>CH3

これらの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャネルで、1 転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送が終了するごとにそのチャネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 12.3 に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0>CH1>CH2>CH3 です。

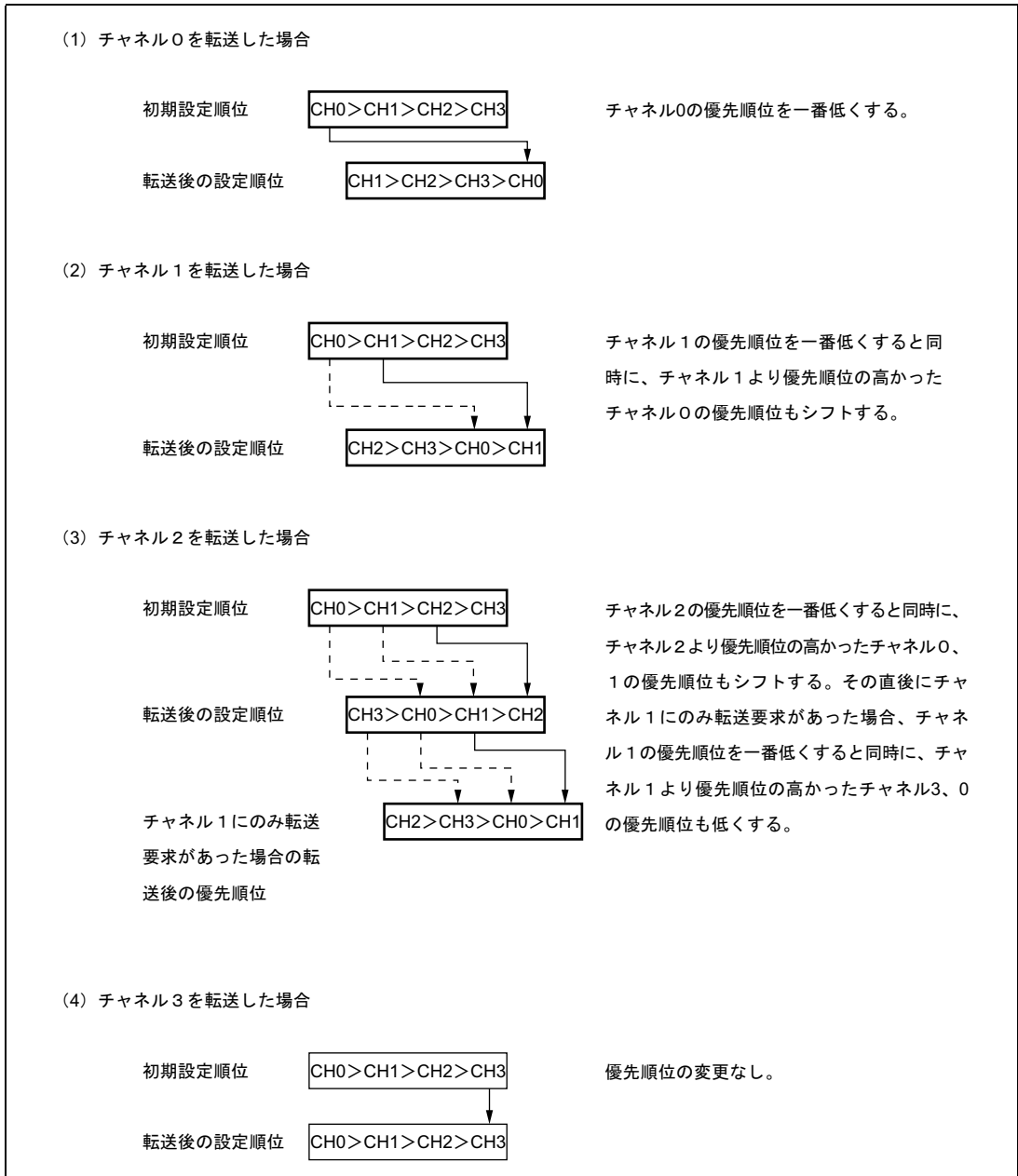


図 12.3 ラウンドロビンモード

12. ダイレクトメモリアクセスコントローラ (DMAC)

図 12.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

- (1) チャンネル 0 とチャンネル 3 に同時に転送要求が発生します。
- (2) チャンネル 0 のほうがチャンネル 3 より優先順位が高いため、チャンネル 0 の転送を開始します (チャンネル 3 は転送待ち)。
- (3) チャンネル 0 の転送中にチャンネル 1 に転送要求が発生します (チャンネル 1 とチャンネル 3 は転送待ち)。
- (4) チャンネル 0 の転送を終了すると、チャンネル 0 の優先順位を一番低くします。
- (5) この時点でチャンネル 1 のほうがチャンネル 3 より優先順位が高いため、チャンネル 1 の転送を開始します (チャンネル 3 は転送待ち)。
- (6) チャンネル 1 の転送を終了すると、チャンネル 1 の優先順位を一番低くします。
- (7) チャンネル 3 の転送を開始します。
- (8) チャンネル 3 の転送を終了すると、チャンネル 3 の優先順位が一番低くなるように、チャンネル 3 と一緒にチャンネル 2 の優先順位を低くします。

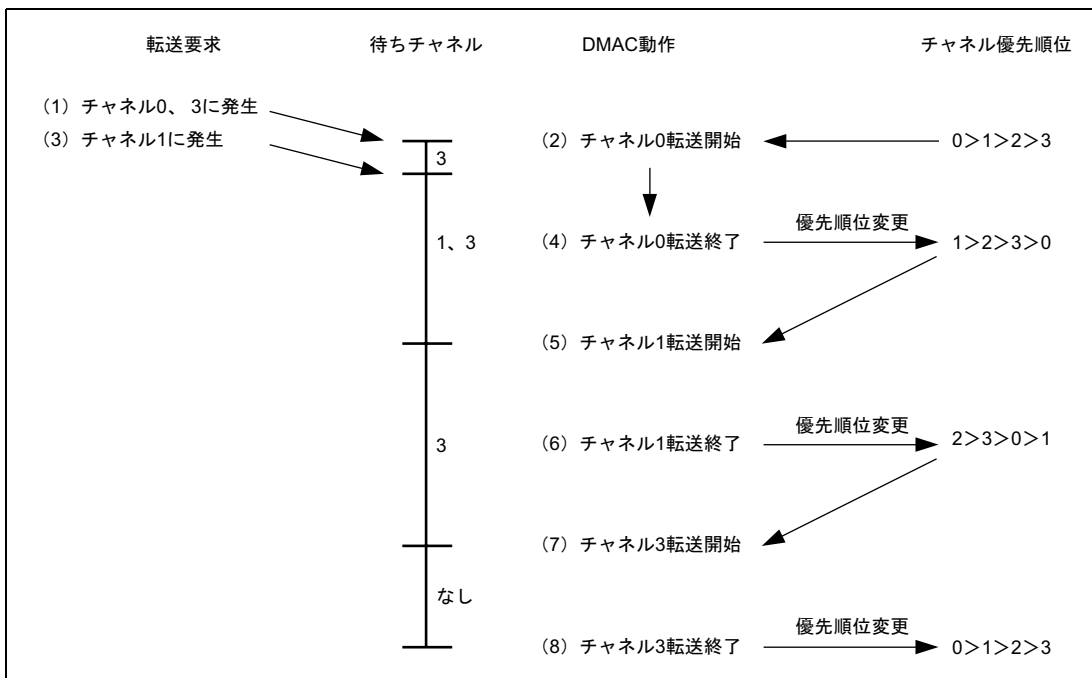


図 12.4 ラウンドロビンモードでのチャンネル優先順位変更例

12.3.4 DMA 転送の種類

DMAC がサポートできる転送を表 12.5 に示します。デュアルアドレスモードには、直接アドレスモードと間接アドレスモードがあります。直接アドレスモードでは、出力したアドレスの値が直接データ転送の対象となるアドレスとなります。間接アドレスモードでは、出力したアドレスの値がそのままデータ転送の対象とならず、出力したアドレスに格納されている値がデータ転送の対象のアドレスとなります。転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 12.5 サポートできる DMA 転送

転送元	転送先				
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	X/Y メモリ
DACK 付き 外部デバイス	不可	デュアル、 シングル	デュアル、 シングル	不可	不可
外部メモリ	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	不可	デュアル	デュアル	デュアル	デュアル
X/Y メモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
 2. シングル：シングルアドレスモード
 3. デュアルアドレスモードは、直接アドレスモードと間接アドレスモードを含みます。
 4. 内蔵周辺モジュールは 16 バイト転送できません。

12. ダイレクトメモリアクセスコントローラ (DMAC)

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は内部でも外部でもかまいません。デュアルアドレスモードには (1) 直接アドレス転送モード、(2) 間接アドレス転送モードがあります。

(1) 直接アドレス転送モード

データ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。このとき転送データは一時的に DMAC に格納されます。図 12.5 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが DMAC に読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また図 12.6～図 12.8 にこの場合のタイミング例を示します。

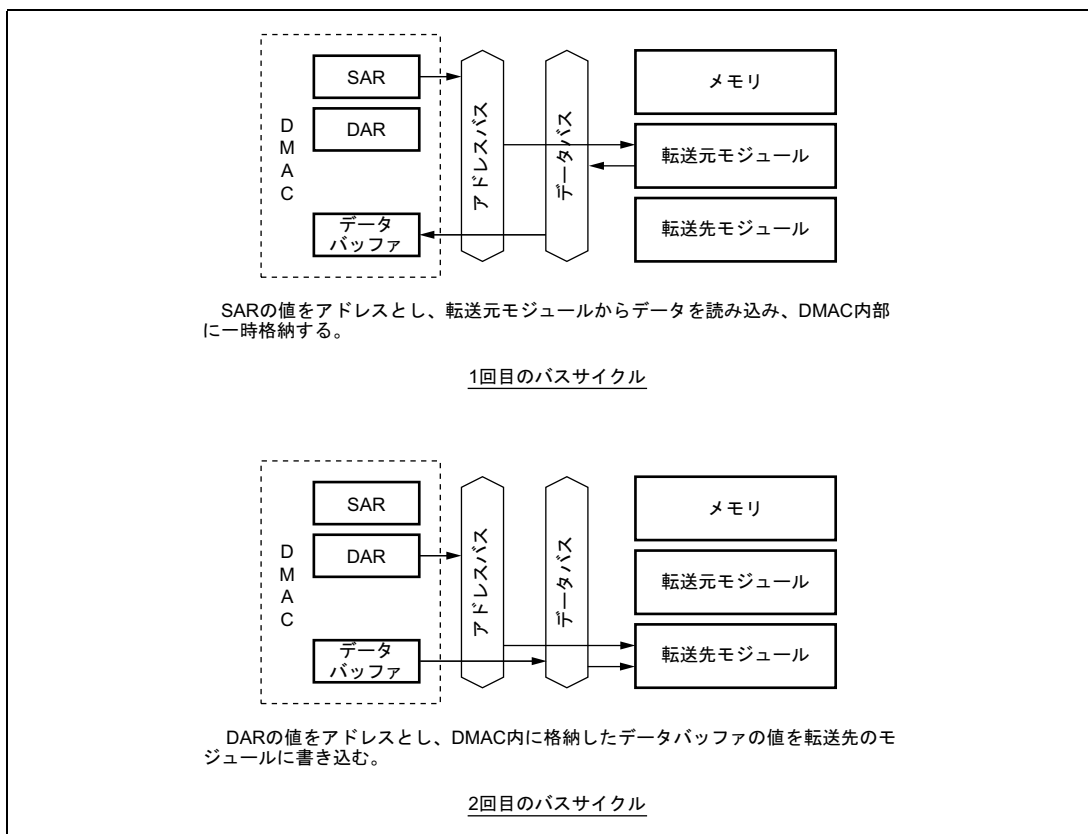


図 12.5 デュアルアドレスモード、直接アドレスの動作説明

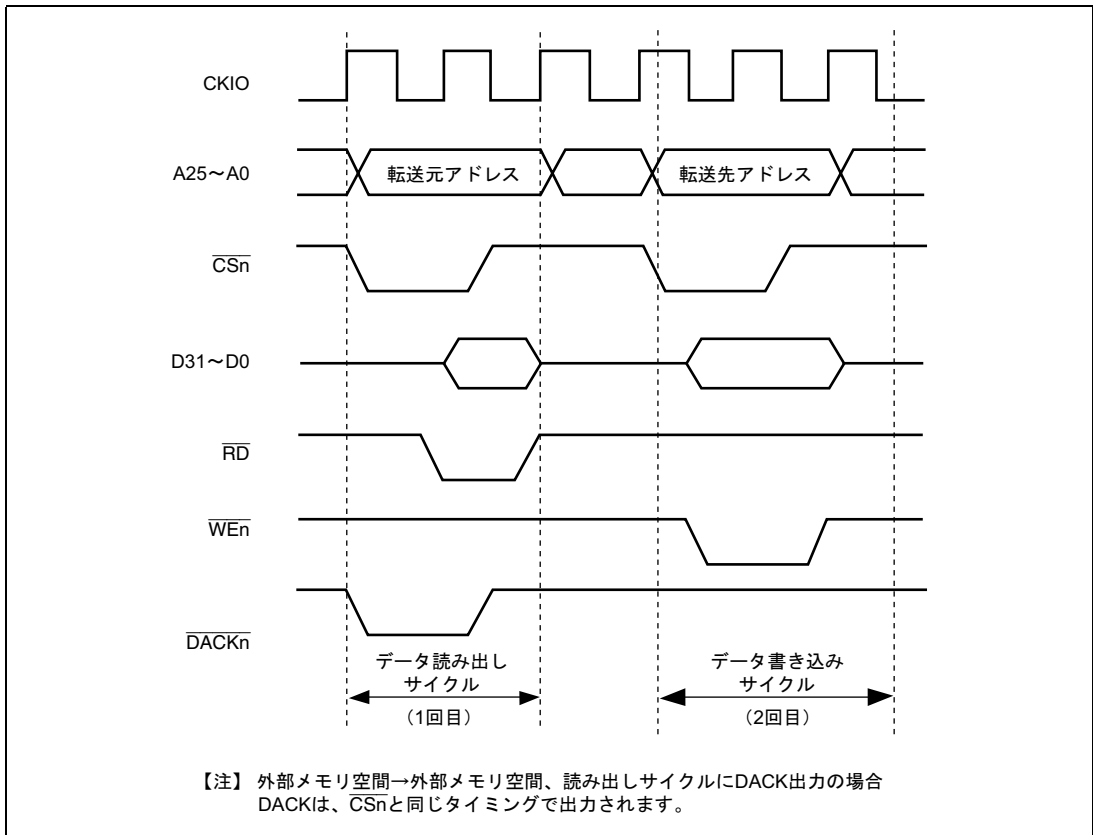


図 12.6 デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例

(転送元：通常メモリ、転送先：通常メモリ)

12. ダイレクトメモリアクセスコントローラ (DMAC)

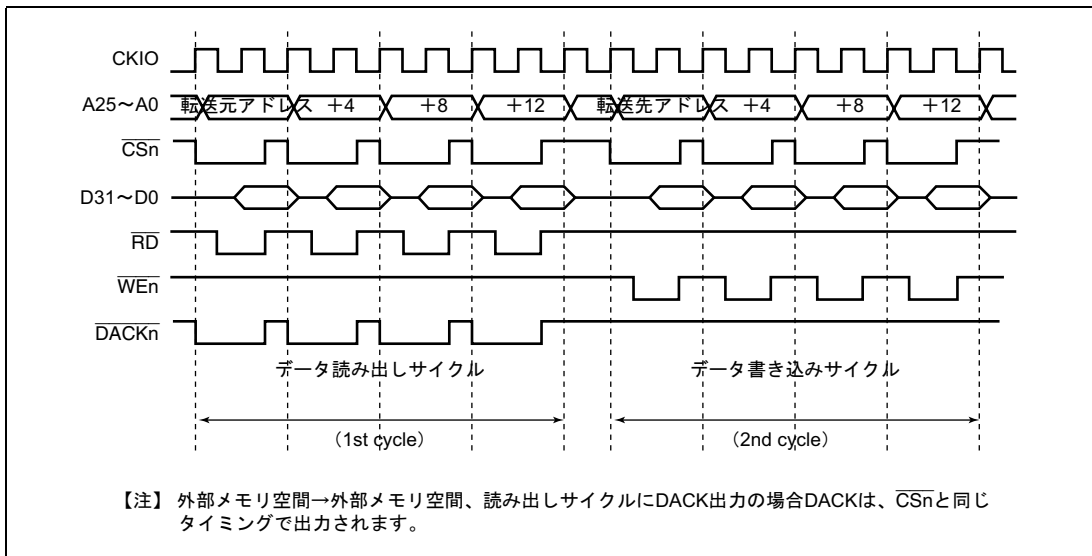


図 12.7 デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例

(16 バイト転送、転送元：通常メモリ、転送先：通常メモリ)

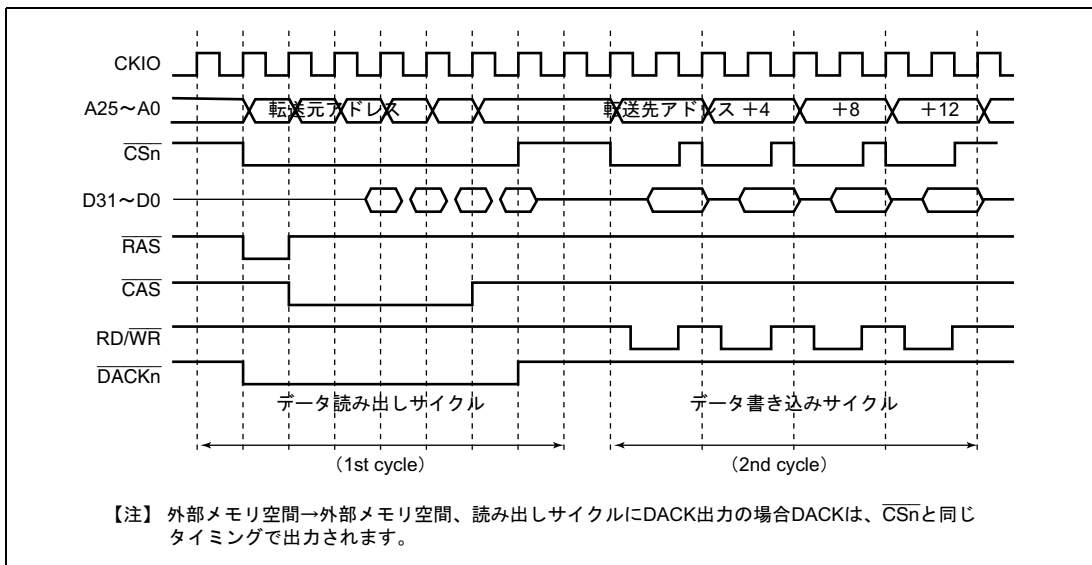


図 12.8 デュアルモードでの直接アドレスモードにおける DMA 転送タイミングの例

(16 バイト転送、転送元：シンクロナス DRAM、転送先：通常メモリ)

(2) 間接アドレス転送モード

DMAC 内部の転送元アドレスレジスタ (SAR3) に、実際に転送したいデータの格納されているメモリのアドレスが指定されている転送モードです。16 バイト転送はできません。したがって、間接アドレス転送モードでは、まず DMAC 内部の転送元アドレスレジスタに指定されたアドレスの値を読み出します。この値は、いったん DMAC 内部に格納されます。次に、読み出した値をアドレスとして出力し、そのアドレスに格納されている値を再び DMAC 内部に格納します。最後に転送先アドレスレジスタに指定されたアドレスに、後から読み出した値を書き込んで 1 回の DMA 転送が終了します。

図 12.9 に、間接アドレスモードで、転送先、転送元、間接アドレスの格納先すべてが 16 ビット幅空間の外部メモリであり、転送データが 16 ビットまたは 8 ビットの場合の転送例を示します。また図 12.10 にタイミング例を示します。

間接アドレスモードでは、間接アドレスとして読み出したデータをアドレスバスに出力するまでに、1 回の NOP サイクル (図 12.10 の CK1 サイクル分) を必要とします。

なお転送データが 32 ビットサイズの場合、図 12.10 の 3 回目と 4 回目のバスサイクルが 2 回ずつ必要となり、全体で 6 回のバスサイクルと 1 回の NOP サイクルが必要になります。

12. ダイレクトメモリアクセスコントローラ (DMAC)

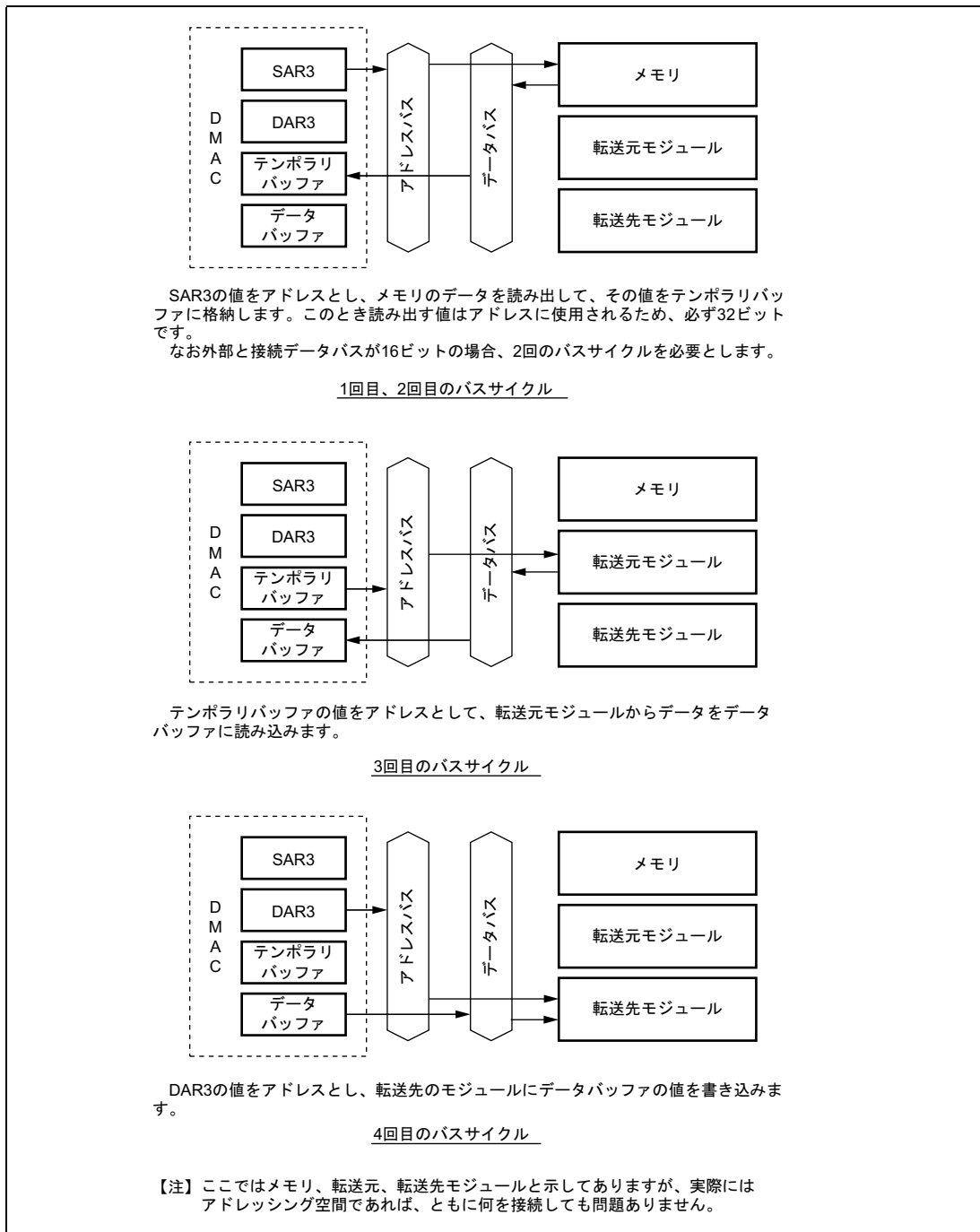


図 12.9 デュアルアドレスモード、間接アドレスの動作説明
 (外部メモリ空間が16ビット幅の場合)

12. ダイレクトメモリアクセスコントローラ (DMAC)

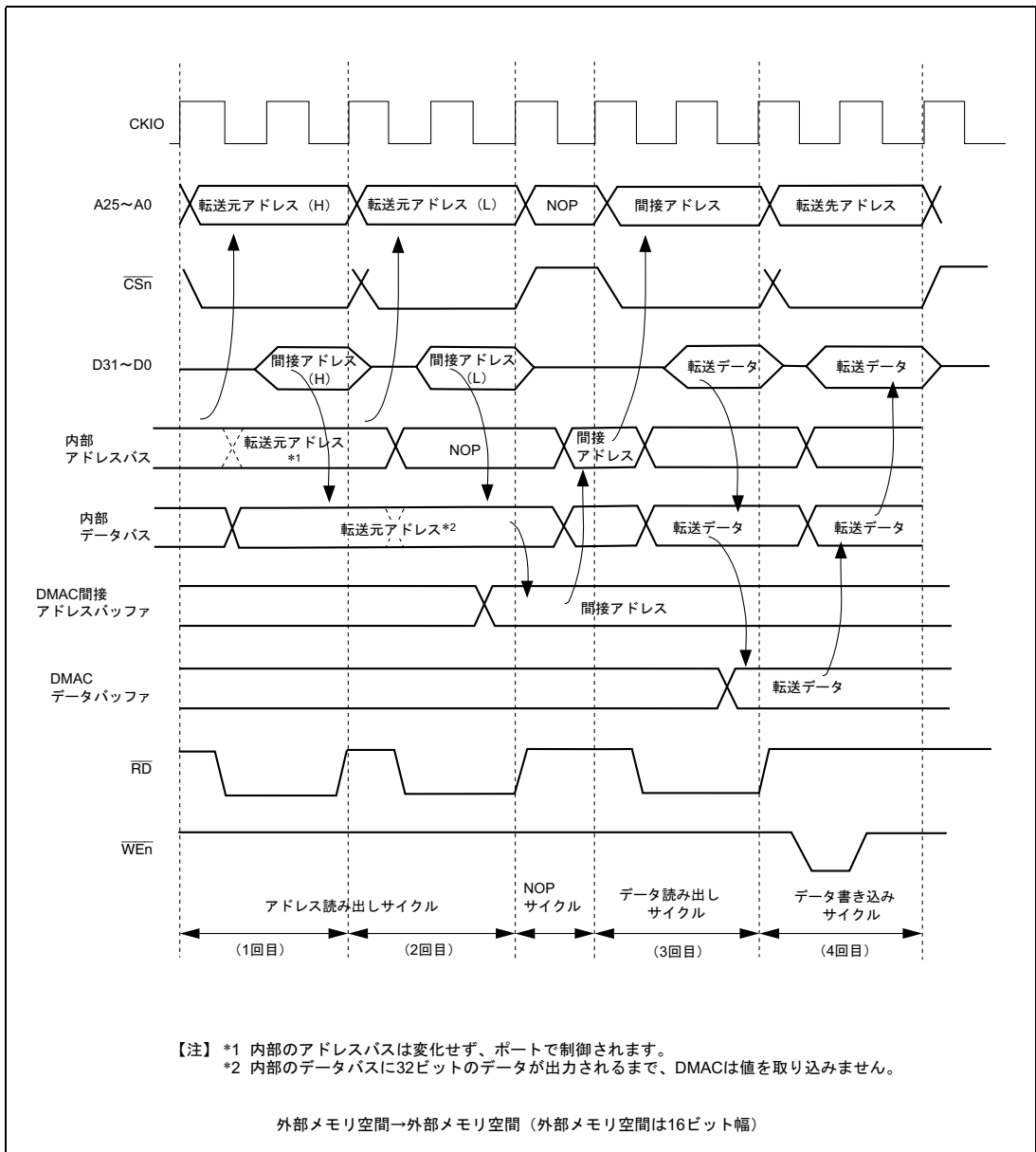


図 12.10 デュアルアドレスモード、間接アドレスでの転送タイミング例

12. ダイレクトメモリアクセスコントローラ (DMAC)

(b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を **DACK** 信号によってアクセス (選択) し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 **DACK** を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1つのバスサイクルで DMA 転送を行います。例えば、図 12.11 のような外部メモリと **DACK** 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

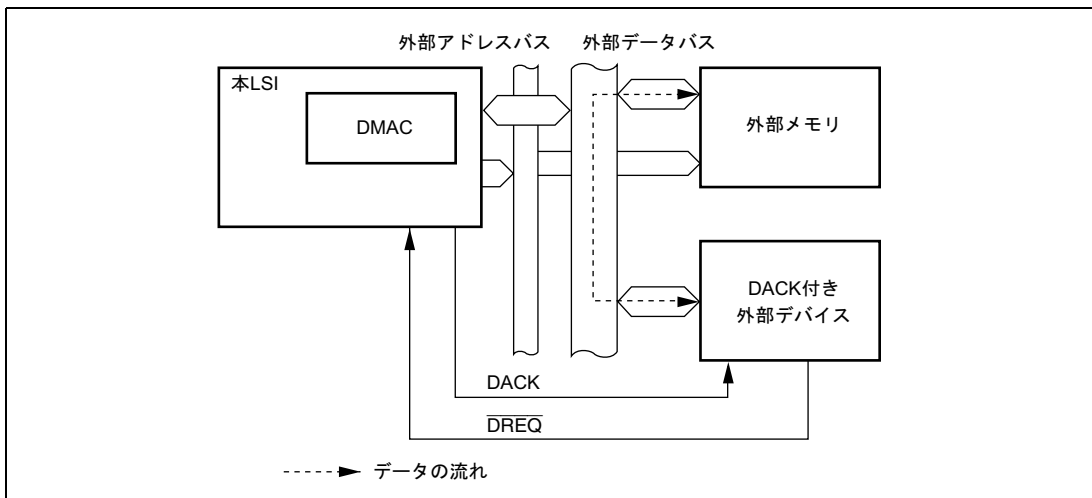


図 12.11 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、1) **DACK** 付き外部デバイスとメモリマップト外部デバイス間転送、2) **DACK** 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は、外部リクエスト ($\overline{\text{DREQ}}$) のみです。

図 12.12、図 12.13 に、シングルアドレスモードでの DMA 転送タイミング例を示します。

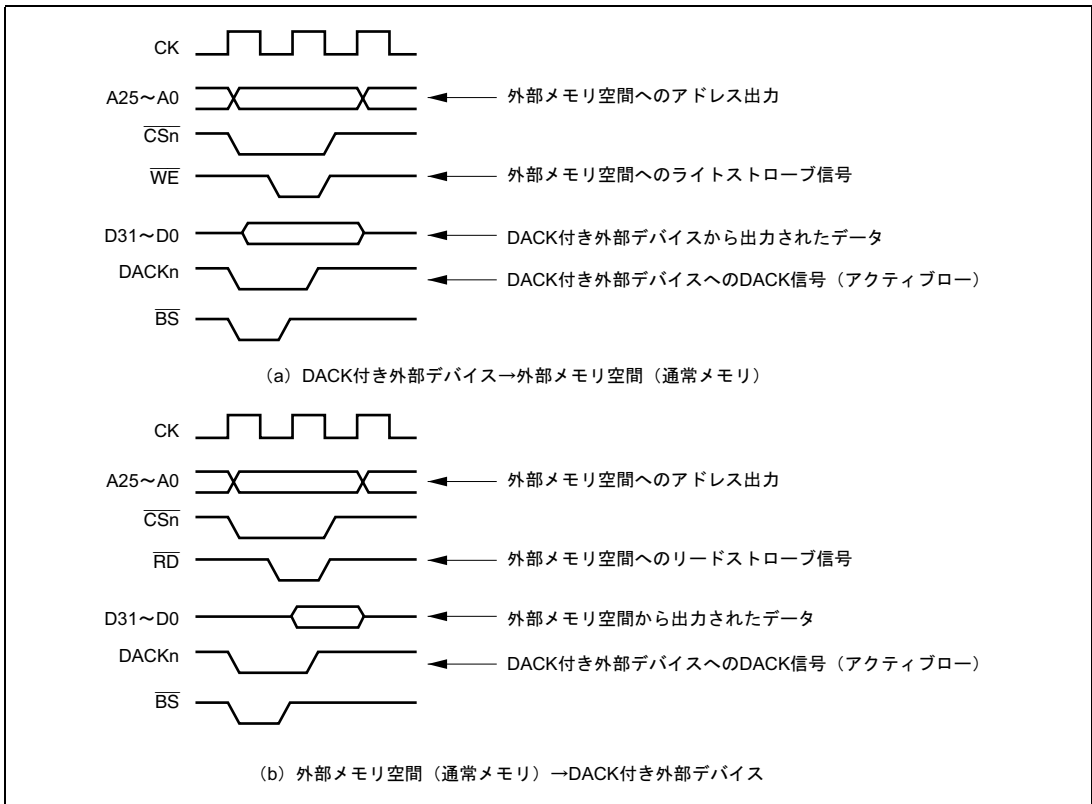


図 12.12 シングルアドレスモードでの DMA 転送タイミング

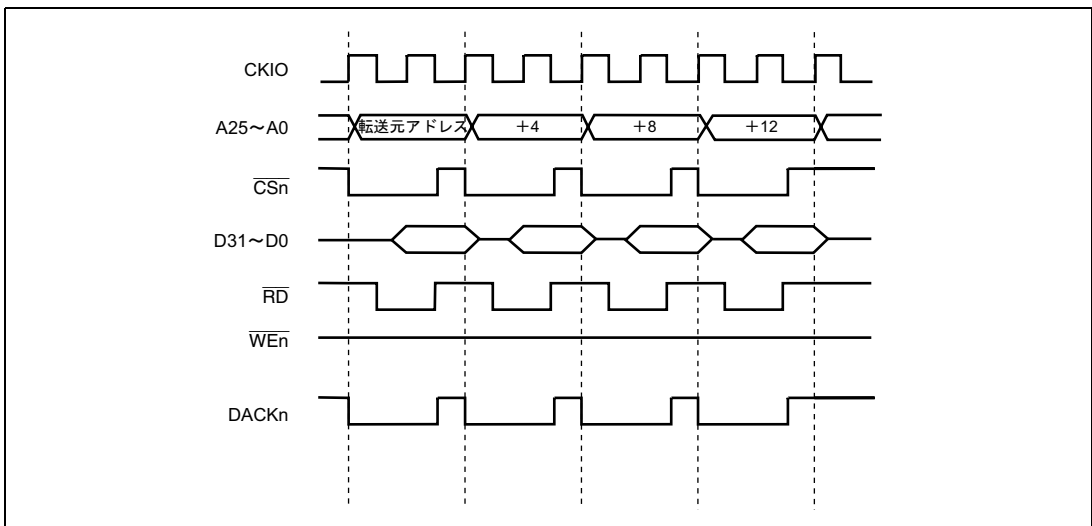


図 12.13 シングルアドレスモードでの DMA 転送タイミング
外部メモリ空間 (通常メモリ) →DACK 付き外部デバイス

12. ダイレクトメモリアクセスコントローラ (DMAC)

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0~CHCR3 の TM ビットによって行います。

(a) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 12.14 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- $\overline{\text{DREQ}}$ レベル検出

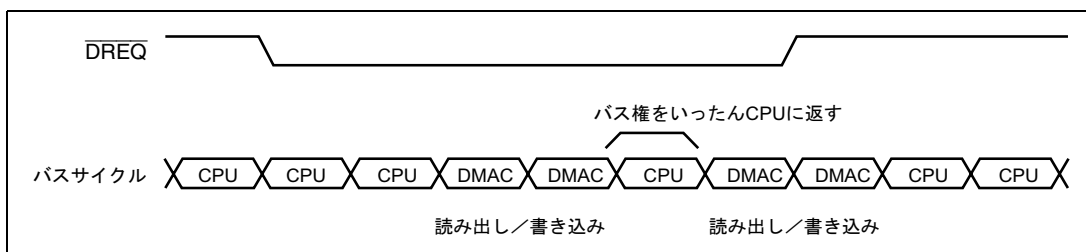


図 12.14 サイクルスチールモードでの DMA 転送例

(b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、 $\overline{\text{DREQ}}$ をローレベルで検出する場合には、 $\overline{\text{DREQ}}$ がハイレベルになると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

バーストモードは、シリアルコミュニケーションインタフェース (IrDA、SCIF) が転送要求元となっている場合には使用できません。

図 12.15 にバーストモードでの DMA 転送タイミング例を示します。

12. ダイレクトメモリアクセスコントローラ (DMAC)

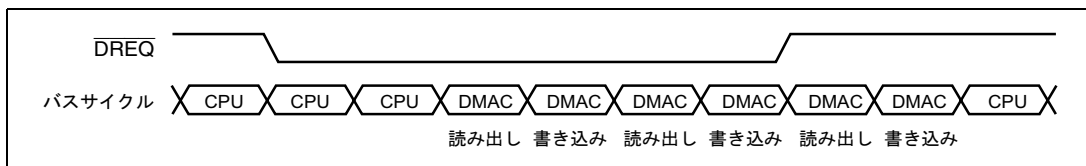


図 12.15 バーストモードでの DMA 転送例

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 12.6 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 12.6 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1
	外部メモリと外部メモリ	すべて可 ^{*1}	B/C	8/16/32/128	0、1、2、3 ^{*5}
	外部メモリとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32/128	0、1、2、3 ^{*5}
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32/128	0、1、2、3 ^{*5}
	外部メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	X/Y メモリと X/Y メモリ	すべて可	B/C	8/16/32/128	0~3
	X/Y メモリとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32/128	0~3
	X/Y メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32	0~3
	X/Y メモリと外部メモリ	すべて可	B/C	8/16/32/128	0~3
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1

B：バースト

C：サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールの CMT によるリクエストのいずれでも可能。
- *2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元が IrDA、SCIF、または A/D 変換器の場合には、転送元または転送先がそれぞれ IrDA、SCIF、A/D 変換器である必要があります。
- *3 転送要求元が IrDA、SCIF、A/D 変換器の場合にはサイクルスチールのみ。
- *4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。
- *5 転送要求が外部リクエストの場合にはチャネル 0、1 のみ。

12. ダイレクトメモリアクセスコントローラ (DMAC)

(4) バスモードとチャンネルの優先順位

たとえばチャンネル1がバーストモードで転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、直ちにチャンネル0の転送を開始します。

このとき、優先順位の設定が固定モード (CH0>CH1) の場合、チャンネル0の設定がサイクルスチールでもバーストモードでもチャンネル0の転送がすべて終了してからチャンネル1の転送を継続します。

優先順位の設定がラウンドロビンモードの場合、チャンネル0の設定がサイクルスチールモードでもバーストモードであっても、チャンネル0が1転送単位の転送を行ったあと、チャンネル1が転送を再開します。その後もチャンネル1→チャンネル0→チャンネル1→チャンネル0というようにバス権を交互に入れ替えます。

優先順位の設定が固定モードでもラウンドロビンモードでも、チャンネル1がバーストモードなので、この間 CPU にはバス権は渡りません。

ラウンドロビンモードの場合の例を図 12.16 に示します。

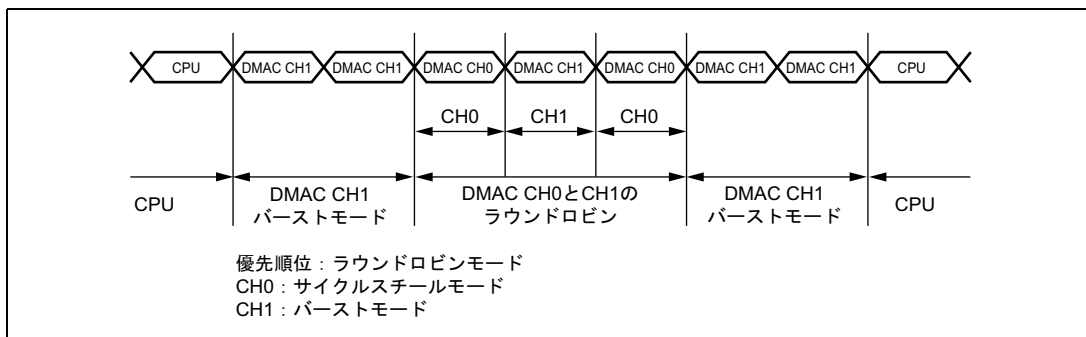


図 12.16 複数チャンネルが動作する場合のバス状態

12.3.5 バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは、「第 11 章 バスステートコントローラ (BSC)」を参照してください。

(2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

外部リクエストモードにおいて、 $\overline{\text{DREQ}}$ 端子はクロックパルス (CKIO) の立ち下がりエッジまたはローレベル検出でサンプリングされ、 $\overline{\text{DREQ}}$ 入力が出検されると、最も早い場合で 3 ステート後に DMAC のバスサイクルが発生し、DMA 転送が行われます。

2 回目以後の $\overline{\text{DREQ}}$ サンプリングは、1 回目のサンプリングの 2 サイクル後に行われます。

(3) 動作説明

(a) サイクルスチールモード

サイクルスチールモードの場合、 $\overline{\text{DREQ}}$ サンプリングタイミングは、 $\overline{\text{DREQ}}$ 検出方法がレベルでもエッジでも同じです。

たとえば、図 12.17 (サイクルスチールモード、レベル検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目のサンプリングの 2 サイクル後に行われます。このとき $\overline{\text{DREQ}}$ が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

このように $\overline{\text{DREQ}}$ のサンプリングは、1 ステップ先立って実行されます。3 回目のサンプリングは、1 回目の DMA 転送終了に続くアイドルサイクルに入ってから実行されます。

図 12.18 に示すように、上述の条件は CPU の転送サイクルが何サイクルであっても、同様です。また図 12.19 に示すように、DMA の転送サイクルが何サイクルであっても同様です。

図 12.17 は DACK を読み出し時に出力、図 12.18 は DACK を書き込み時に出力する例です。どちらの場合も、DACK は $\overline{\text{CSn}}$ と同期間出力されます。

図 12.20 は $\overline{\text{DREQ}}$ が検出できなかった場合に、以後毎サイクルサンプリングを実行する例です。

図 12.21 はサイクルスチールモード、エッジ検出の例です。

(b) バーストモード、レベル検出

バーストモード、レベル検出の場合、 $\overline{\text{DREQ}}$ サンプリングタイミングはサイクルスチールモードとほぼ同じです。

たとえば図 12.22 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目のサンプリングの 2 サイクル後に行われます。それ以降のサンプリングは、DMA 転送サイクル終了に続くアイドルサイクルで行われます。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

(c) バーストモード、エッジ検出

バーストモード、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の 1 回しか行いません。

たとえば図 12.23 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。その後 DMATCR に設定した回数データ転送が終了するまで、DMAC 転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。

NMI が発生して停止した後 DMAC 転送を再開したい場合は、まず NMIF をクリアして、それから再びエッジ要求を入力してください。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

12. ダイレクトメモリアクセスコントローラ (DMAC)

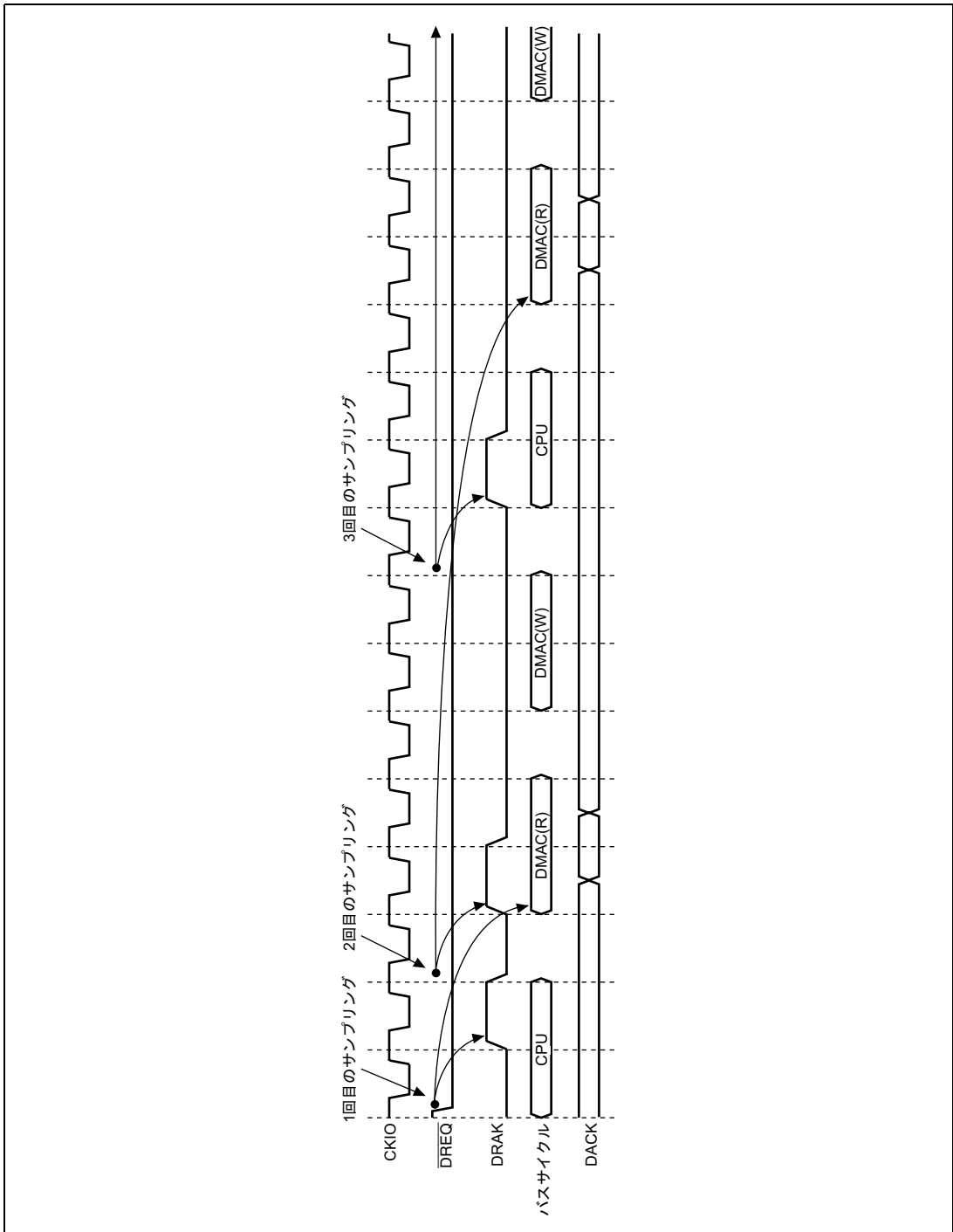


図 12.17 サイクルスチールモード、レベル入力 (CPU アクセス : 2 サイクル)

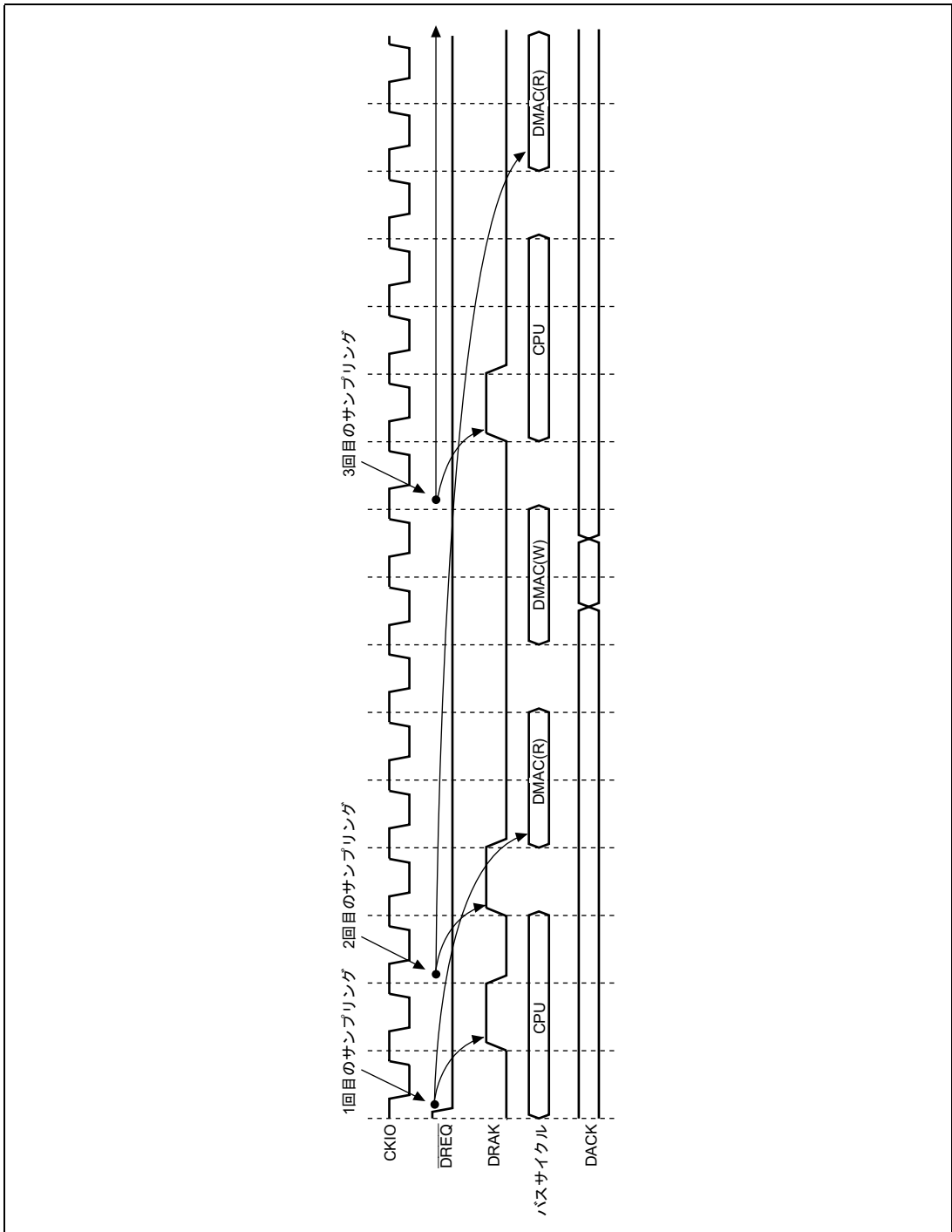


図 12.18 サイクルスチールモード、レベル入力 (CPU アクセス : 3 サイクル)

12. ダイレクトメモリアクセスコントローラ (DMAC)

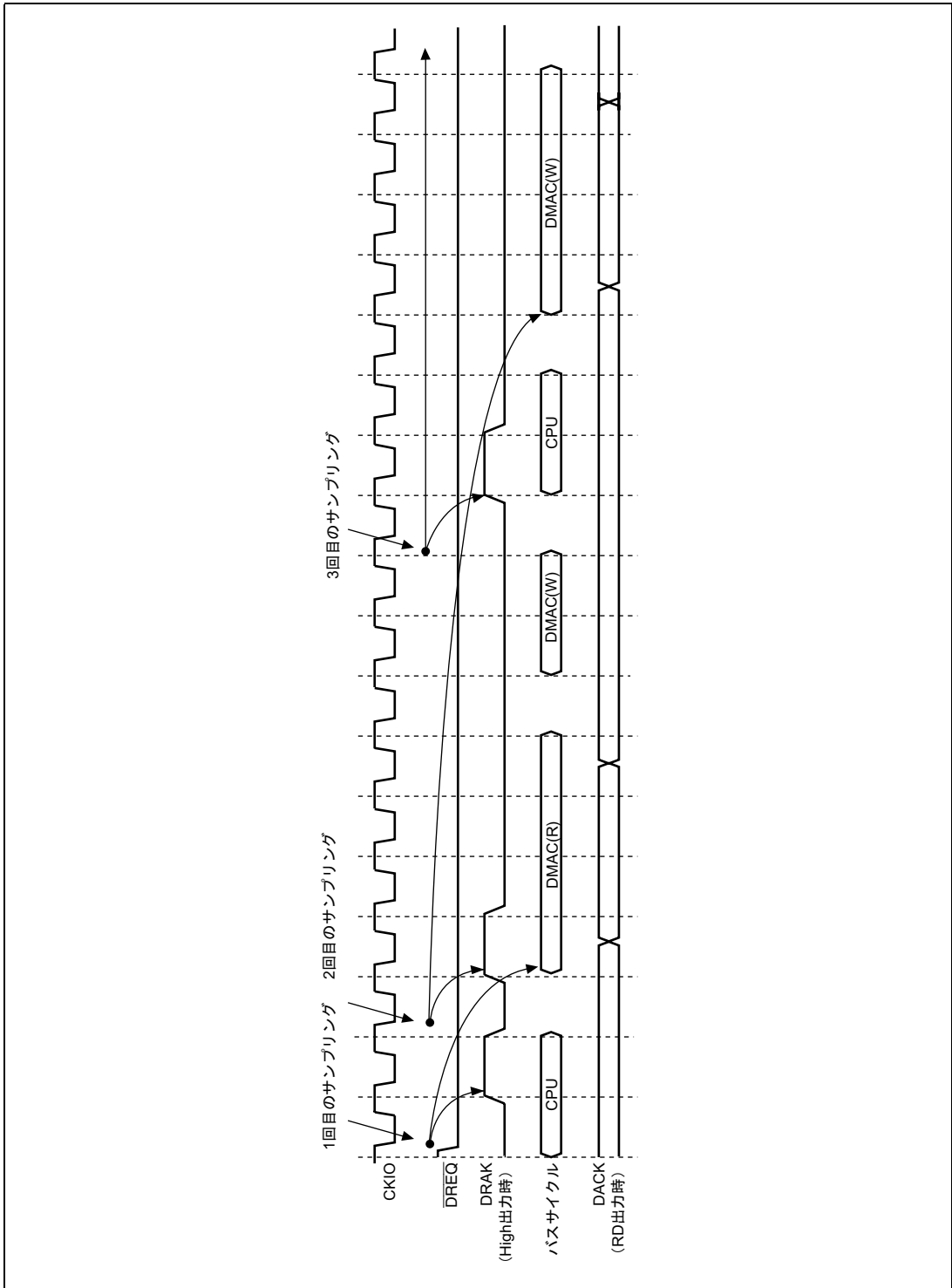


図 12.19 サイクルスチールモード、レベル入力 (CPU アクセス : 2 サイクル、DMA RDアクセス 4 サイクル)

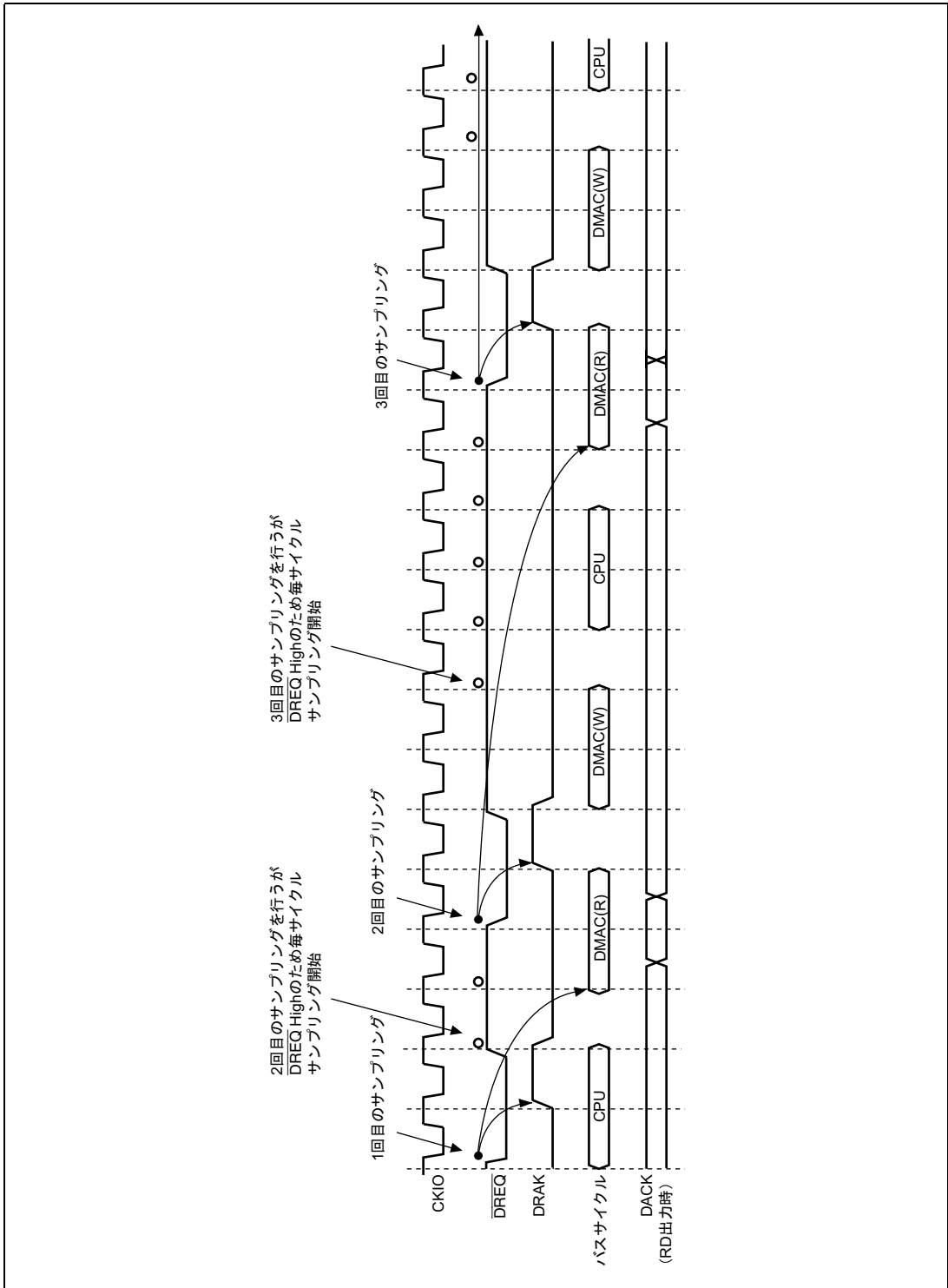


図 12.20 サイクルステールモード、レベル入力 (CPU アクセス : 2 サイクル、DREQ 入力を遅らせた場合)

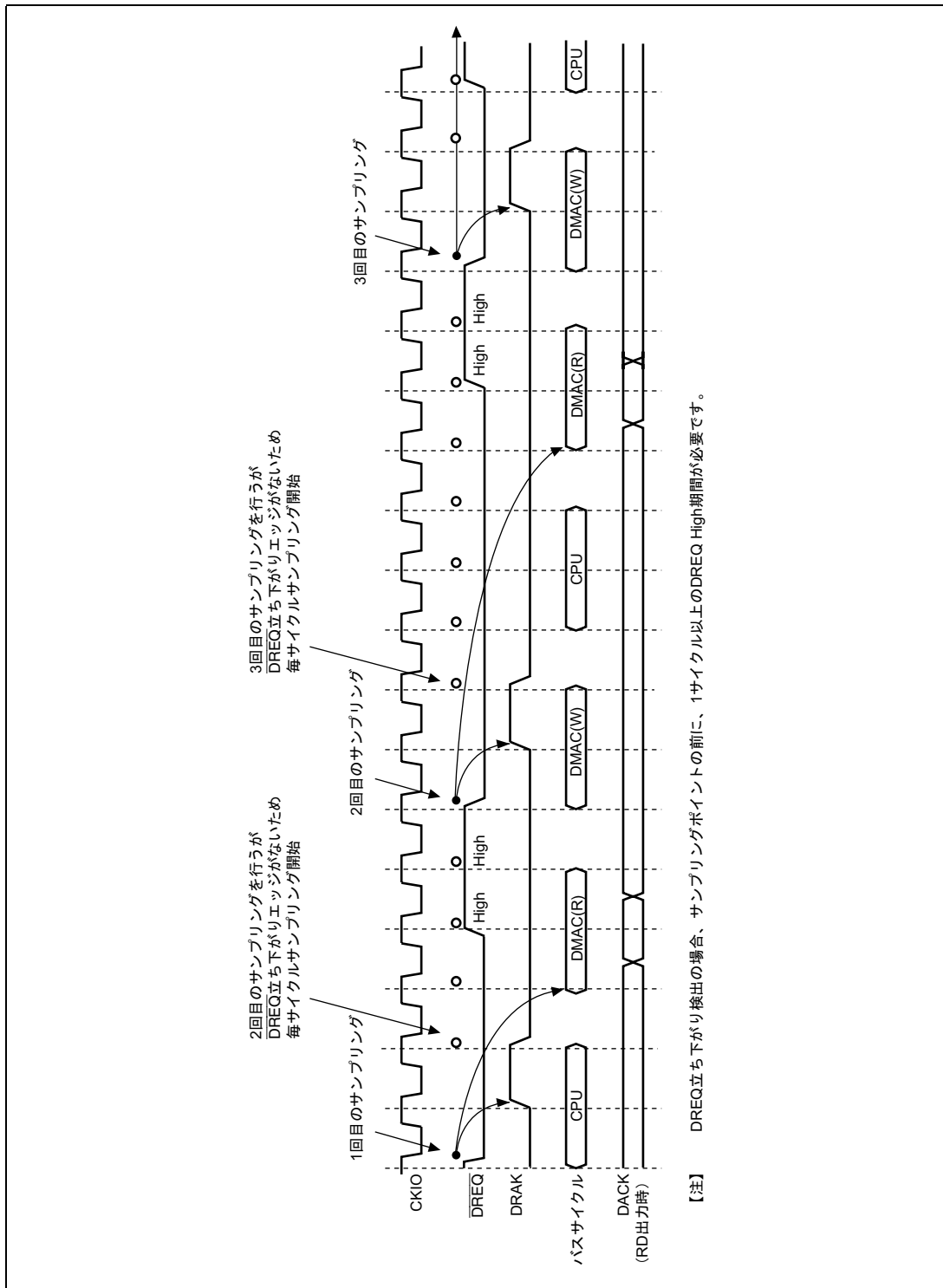


図 12.21 サイクルスチールモード、エッジ入力 (CPU アクセス : 2 サイクル)

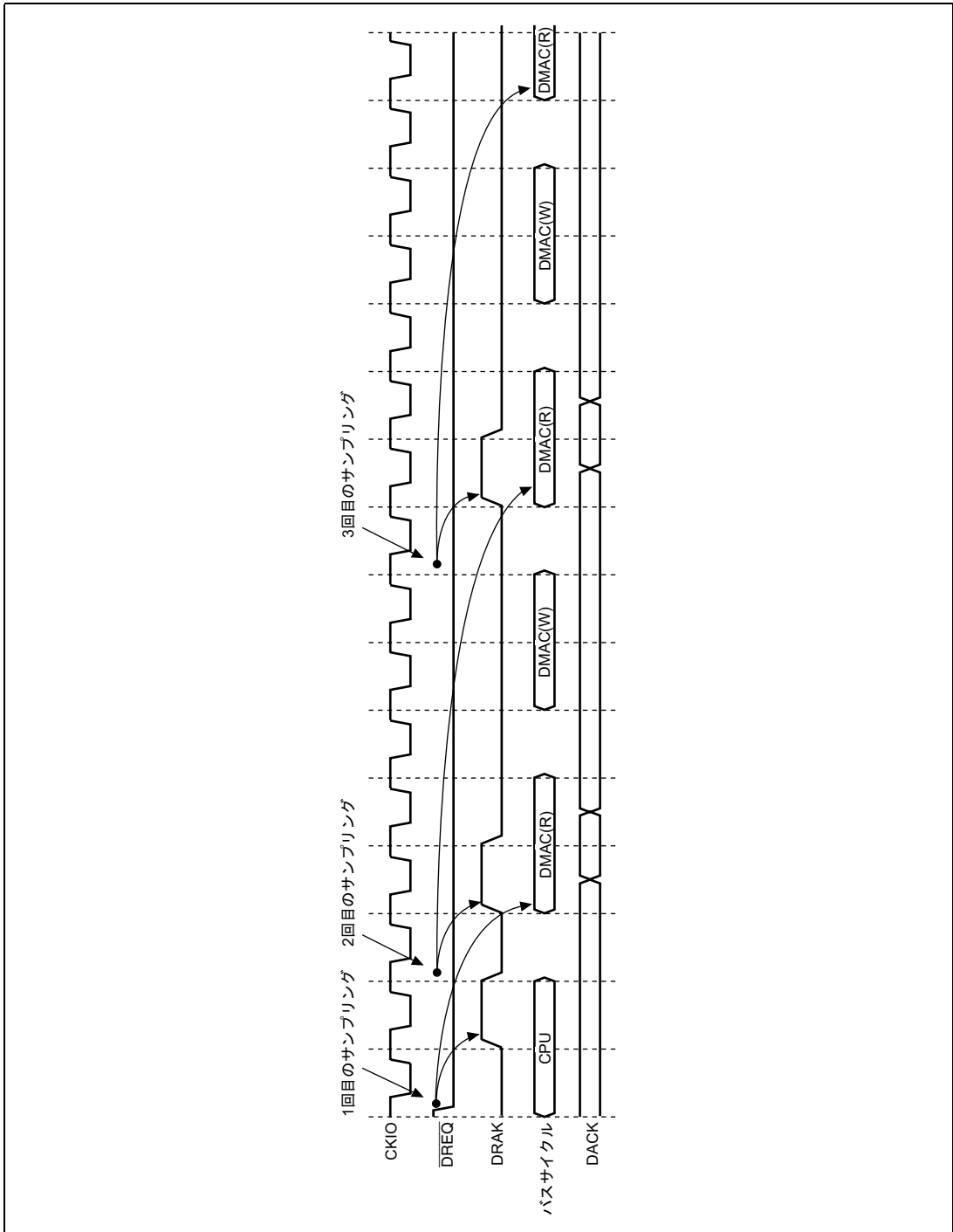


図 12.22 バーストモード、レベル入力

12. ダイレクトメモリアクセスコントローラ (DMAC)

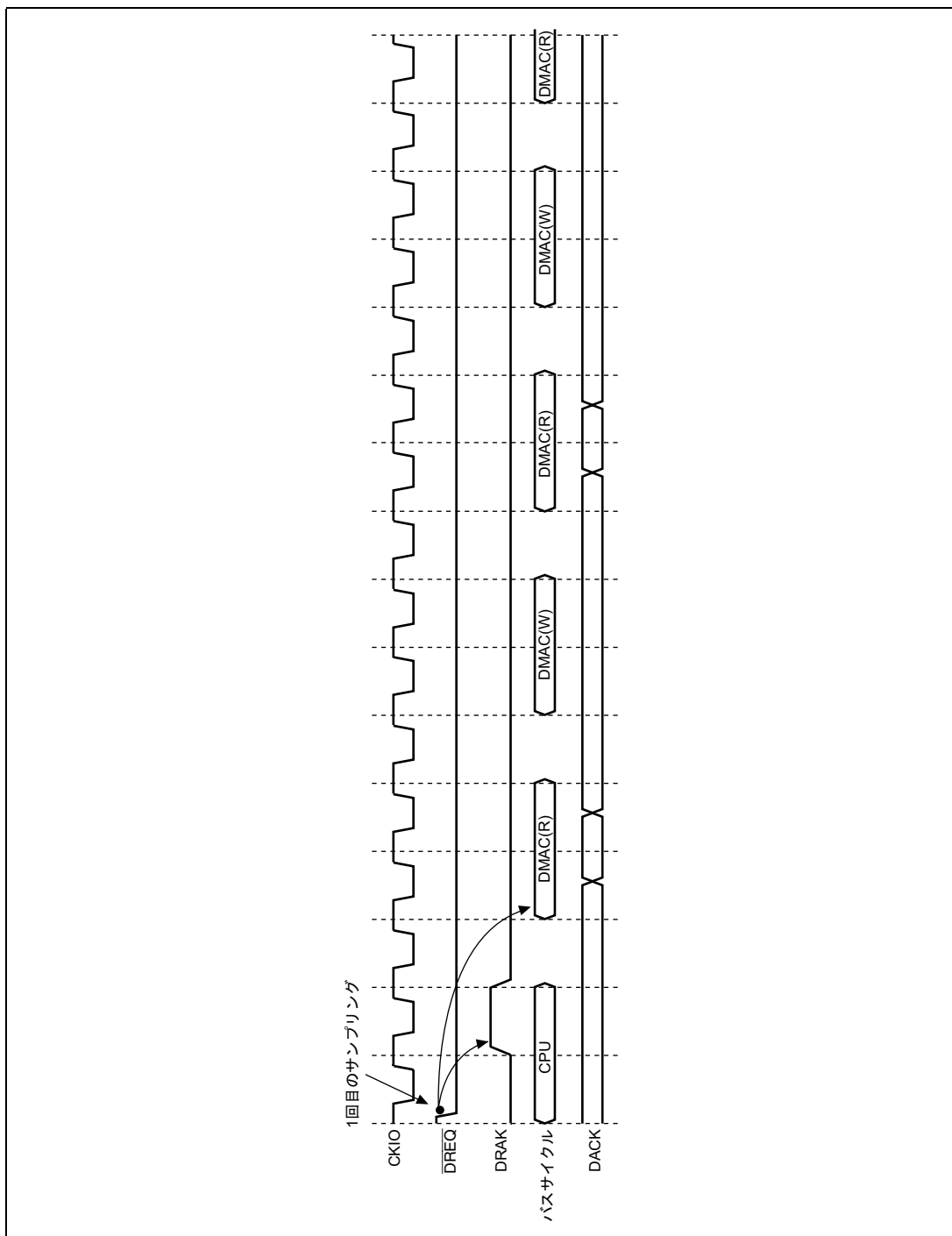


図 12.23 バーストモード、エッジ入力

12.3.6 ソースアドレスリロード機能

チャンネル2はCHCR2のROビットを1にセットすることで、4回の転送ごとに、最初にソースアドレスレジスタ(SAR2)に設定した値に復帰するリロード機能があります。16バイト転送は使用できません。この動作を図12.24示します。また図12.25に、チャンネル2のみ使用で、バーストモード、オートリクエスト、転送データサイズ16ビット、SAR2カウントアップ、DAR2固定状態で、リロード機能ON状態のタイムチャートを示します。

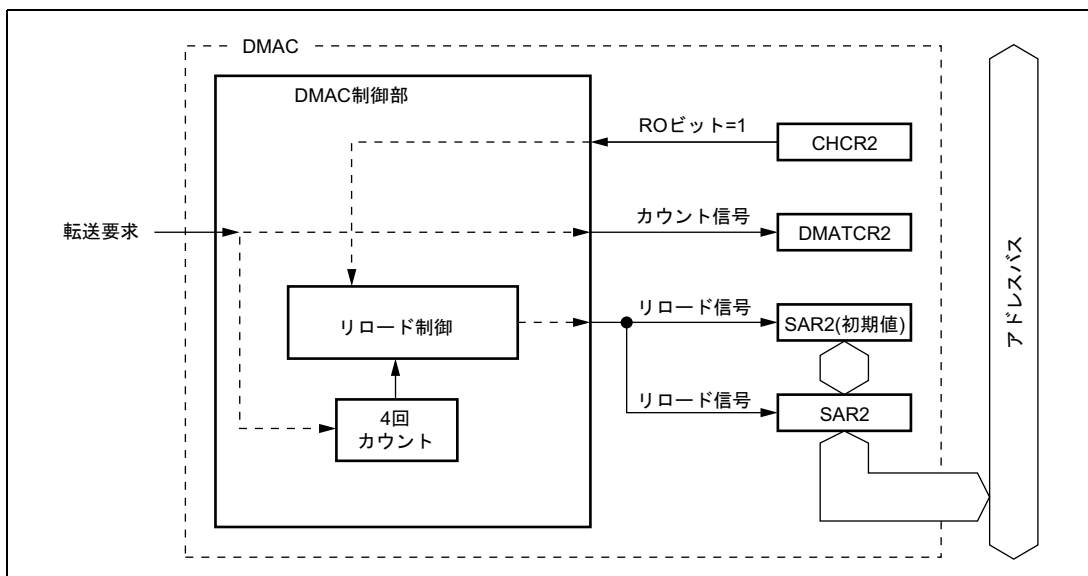


図 12.24 ソースアドレスリロード機能図

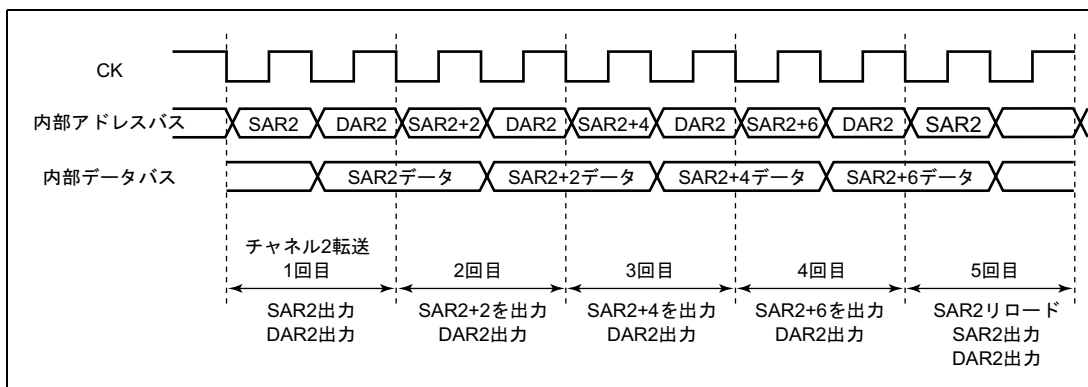


図 12.25 ソースアドレスリロード機能タイムチャート

12. ダイレクトメモリアクセスコントローラ (DMAC)

転送データサイズが 8 ビット、16 ビット、32 ビットのいずれの場合でも、リロード機能は実行可能です。

転送回数を指定する DMATCR2 は、リロード機能のオン、オフにかかわらず、1 転送単位の転送終了ごとに 1 カウントダウンします。このためリロード機能をオンで使用する場合は、DMATCR2 には、必ず 4 の倍数を指定してください。それ以外の値を設定した場合の動作は、保証しません。また、アドレスリロードのために 4 回転送したことをカウントしているカウンタは、リセットのほか、DMAOR の DME ビットのクリア、CHCR2 の DE ビットのクリア、転送終了フラグ (CHCR2 の TE ビット) のセット、DMAC によるアドレスエラー、NMI 入力によってリセットされますが、SAR2、DAR2、DMATCR2 などのレジスタはリセットされません。このため、これらの要因が発生すると、DMAC 内部に初期化されたカウンタと、初期化されないレジスタが混在することになり、そのまま再スタートをかけると誤動作する場合があります。以上から、アドレスリロード機能使用中に TE のセット以外の上記の要因が発生した場合は、SAR2、DAR2、DMATCR2 の設定から実行し直してください。

12.3.7 DMA 転送終了

DMA 転送終了条件は、1 チャンネルずつの終了と全チャンネルの同時終了とで異なります。

転送終了時、DMA トランスファカウンタレジスタ (DMATCR) の値が 0 になった場合を除いて、次に示す条件が適用されます。

(a) サイクルスチールモード (外部要求、内部要求、およびオートリクエスト)

転送終了条件を満足すると、DMAC 転送要求受け付けが停止します。終了条件が満足される以前に受け付けた回数の転送を完了した後、DMAC は動作を停止します。

サイクルスチールモードでは、転送要求がレベル検出かエッジ検出にかかわらず同じ動作となります。

(b) バーストモード、エッジ検出 (外部要求、内部要求、およびオートリクエスト)

終了条件を満足した時点から DMAC が動作を停止する時点に至るタイミングがサイクルスチールモードと異なります。バーストモード、エッジ検出では、DMAC 動作開始時に 1 回だけ転送要求が発生しますが、停止要求のサンプリングはサイクルスチールモードの転送要求サンプリングと同じタイミングで実行されます。その結果、停止要求がサンプリングされない期間は転送要求が発生した期間とみなされ、この期間中は DMA 転送を実行し、その後に DMAC は動作を停止します。

(c) バーストモード、レベル検出 (外部要求)

(a) に記載したことと同様です。

(d) 転送が保留されたときのバスタイミング

1 回の転送が終了した時点で転送は停止します。デュアルアドレスモード、直接アドレス転送のリード期間中に転送終了条件を満足した場合でも、続くライト処理は実行され上記(a)~(c)の転送が実行された後に DMAC 動作が停止します。

(1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- DMAトランスファカウントレジスタ (DMATCR) の値が0になる。
- DMAチャンネルコントロールレジスタ (CHCR) のDEビットを0にクリアする。

(a) DMATCR=0による転送終了

DMATCR の値が 0 になると、対応するチャンネルの DMA 転送が終了し、CHCR のトランスファエンドフラグビット (TE) がセットされます。このときインタラプトイネーブルビット (IE) がセットされていると、CPU に DMAC 割り込み (DEI) が要求されます。

この転送終了は上記の (a) ~ (d) の条件が適用されません。

(b) CHCR の DE=0による転送終了

CHCR の DMA イネーブルビット (DE) をクリアすると、対応するチャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

この転送終了は上記の (a) ~ (d) の条件が適用されません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送終了します。

- DMAオペレーションレジスタ (DMAOR) のアドレスエラーフラグビット (AE) またはNMIフラグビット (NMIF) が1になる。
- DMAORのDMAマスタイネーブルビット (DME) を0にクリアする。

(a) DMAOR の AE=1 または NMIF=1による転送終了

DMAC によるアドレスエラーまたは NMI 割り込みが発生して、DMAOR の AE ビットまたは NMIF ビットが 1 になると、すべてのチャンネルの DMA 転送が上記 (a) ~ (d) の条件に従って中断され、バス権を他のバスマスタに渡します。従って転送中に AE ビットまたは NMIF ビットが 1 になっても、DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR) の値は更新されます。この場合は TE ビットはセットされません。DMAC アドレスエラー例外処理後または NMI 割り込み例外処理終了後に転送を再開するためには、AE フラグまたは NMIF フラグをクリアする必要があります。その際、再起動させたくないチャンネルは、対応する CHCR の DE ビットをクリアしてください。

(b) DMAOR の DME=0による転送終了

DMAOR の DME ビットを 0 にクリアすると、全チャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

DMAC によるアドレスエラー発生時や NMI 割り込み発生時と同様に、全チャンネルが「12.3.7 DMA 転送終了」の(a)~(d)の条件に従って動作を中断します。この場合も、SAR、DAR、および DMATCR の値は更新されます。

12.4 コンペアマッチタイマ (CMT)

12.4.1 概要

DMAC は DMA 転送要求を発生するコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタです。

(1) 特長

CMT には次の特長があります。

- 4種類のカウンタ入力クロックを選択可能
4種類の内部クロック ($P\phi/4$ 、 $P\phi/8$ 、 $P\phi/16$ 、 $P\phi/64$) を選択可能
- コンペアマッチ時、DMA転送要求を発生

(2) ブロック図

図 12.26 に CMT のブロック図を示します。

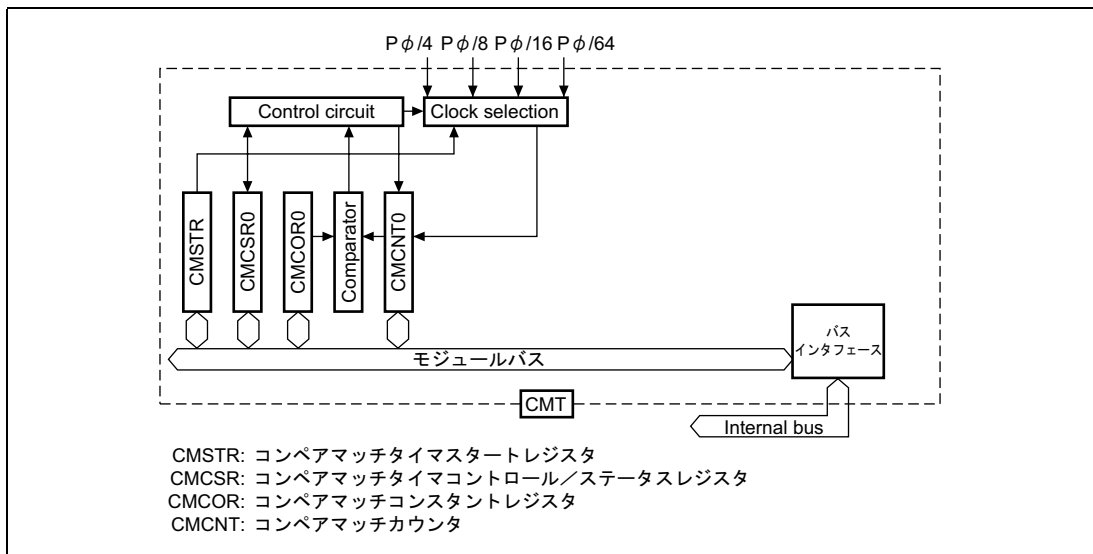


図 12.26 CMT のブロック図

(3) レジスタ構成

表 12.7 に CMT のレジスタ構成を示します。

表 12.7 レジスタ構成

名称	略称	R/W	設定値	アドレス	アクセス サイズ
コンペアマッチタイマスタートレジスタ	CMSTR	R/ (W)	H'0000	H'04000070 (H'A4000070)*2	8、16、32
コンペアマッチタイマコントロール/ ステータスレジスタ 0	CMCSR0	R/ (W) *1	H'0000	H'04000072 (H'A4000072)*2	8、16、32
コンペアマッチカウンタ 0	CMCNT0	R/W	H'0000	H'04000074 (H'A4000074)*2	8、16、32
コンペアマッチコンスタントレジスタ 0	CMCOR0	R/W	H'FFFF	H'04000076 (H'A4000076)*2	8、16、32

【注】 *1 CMCSR0 の CMF ビットは、フラグをクリアするための 0 書き込みのみ可能です。

*2 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

12.4.2 レジスタ説明

(1) コンペアマッチタイマスタートレジスタ (CMSTR)

コンペアマッチタイマスタートレジスタ (CMSTR) は 16 ビットのレジスタで、コンペアマッチカウンタ 0 (CMCNT0) の動作/停止を選択します。

本レジスタはリセット時に H'0000 に初期化されます。スタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

• ビット 15~2: 予約ビット

読み出すと常に 0 が読めます。書き込みも常に 0 を書き込んでください。

• ビット 1: 予約ビット

読み出し/書き込み可能ですが、書き込み時には 0 を書き込んでください。

12. ダイレクトメモリアクセスコントローラ (DMAC)

- ビット0: カウントスタート0 (STR0)

CMCNT0 の動作/停止を選択します。

ビット0	説明
STR0	
0	CMCNT0 はカウンタ動作を停止 (初期値)
1	CMCNT0 はカウント動作

(2) コンペアマッチタイマコントロール/ステータスレジスタ0 (CMCSR0)

コンペアマッチタイマコントロール/ステータスレジスタ0 (CMCSR0) は16ビットのレジスタで、コンペアマッチの発生の表示、割り込みの許可/禁止の設定、およびインクリメント用クロックの設定を行います。

本レジスタはリセット時に H'0000 に初期化されます。スタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMF	—	—	—	—	—	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

【注】 * フラグクリアのための0書き込みのみ可能です。

- ビット15~8、5~2: 予約ビット

読み出すと常に0が読めます。書き込みも常に0を書き込んでください。

- ビット7: コンペアマッチフラグ (CMF)

コンペアマッチカウンタ0 (CMCNT0) とコンペアマッチコンスタントレジスタ0 (CMCOR0) の値が一致したか否かを示すフラグです。

ビット7	説明
CMF	
0	CMCNT0 と CMCOR0 の値は不一致 (初期値) [クリア条件] CMF=1 を読み出し後、CMF に0を書き込んだとき
1	CMCNT0 と CMCOR0 の値が一致

- ビット6: 予約ビット

読み出し/書き込み可能ですが、書き込み時には0を書き込んでください。

• ビット1、0: クロックセレクト1、0 (CKS1、CKS0)

周辺動作クロック (Pφ) を分周した4種類の内部クロックから CMCNT0 に入力するクロックを選択します。CMSTR のSTR ビットが1にセットされると、CMCNT0 はCKS1、CKS0 ビットにより選択されたクロックでインクリメントを開始します。

ビット1	ビット0	説明	
CKS1	CKS0		
0	0	Pφ/4	(初期値)
	1	Pφ/8	
1	0	Pφ/16	
	1	Pφ/64	

(3) コンペアマッチカウンタ0 (CMCNT0)

コンペアマッチカウンタ0 (CMCNT0) は16ビットのレジスタで、アップカウンタとして使用されます。内部クロックがCMCSR0のCKS1、CKS0ビットにより選択され、CMSTRのSTRビットが1にセットされると、CMCNT0は選択されたクロックによりインクリメントを開始します。CMCNT0の値がコンペアマッチコンスタントレジスタ0 (CMCOR0)の値と一致すると、CMCNT0はH'0000にクリアされCMCSR0のCMFフラグが1にセットされます。

CMCNT0はリセット時にH'0000に初期化されます。スタンバイモード時には以前の値を保持します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

(4) コンペアマッチコンスタントレジスタ0 (CMCOR0)

コンペアマッチコンスタントレジスタ0 (CMCOR0) は16ビットのレジスタでCMCNT0とコンペアマッチするまでの期間を設定します。

CMCOR0はリセット時にH'FFFFに初期化されます。スタンバイモード時には以前の値を保持します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

12.4.3 動作説明

(1) 期間カウント動作

内部クロックが CMCSR0 の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT0 は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR0 の値と一致すると、CMCNT0 は H'0000 にクリアされ CMCSR0 の CMF フラグが 1 にセットされます。CMCNT0 は H'0000 からカウントアップを再開します。

図 12.27 にコンペアマッチカウンタ動作を示します。

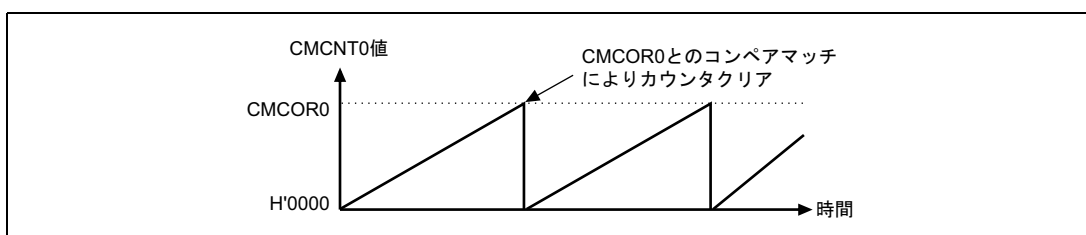


図 12.27 カウンタ動作

(2) CMCNT0 カウントタイミング

クロック ($P\phi$) を分周して得られた 4 種類のクロック ($P\phi/4$ 、 $P\phi/8$ 、 $P\phi/16$ 、 $P\phi/64$) のうち 1 つを CMCSR0 の CKS1、CKS0 ビットにより選択することができます。図 12.28 にそのタイミングを示します。

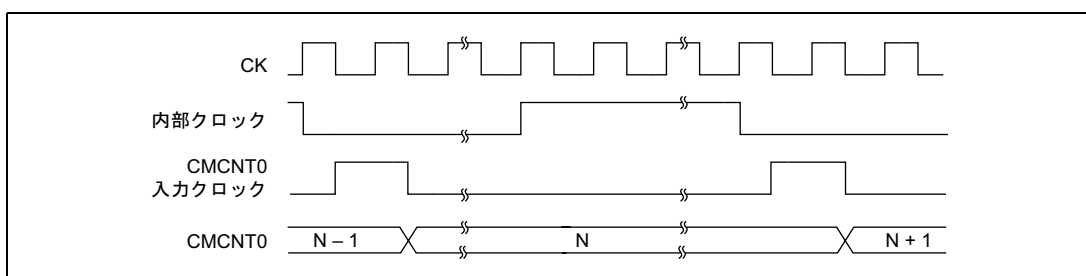


図 12.28 カウントタイミング

12.4.4 コンペアマッチ

(1) コンペアマッチフラグのセットタイミング

CMCOR0 と CMCNT0 が一致するとコンペアマッチ信号が発生し、CMCSR0 の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終ステートで発生します (CMCNT0 の値が更新されるタイミング)。つまり、CMCOR0 と CMCNT0 の一致後、CMCNT0 のカウンタクロックが入力されないとコンペアマッチ信号は発生しません。図 12.29 に CMF ビットのセットタイミングを示します。

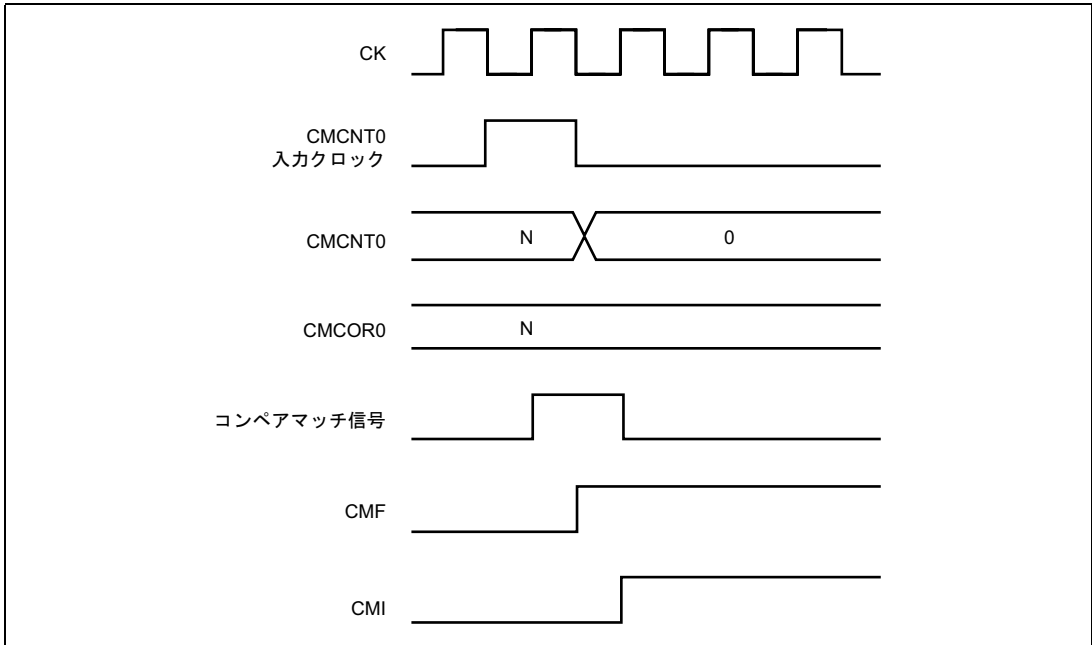


図 12.29 CMF セットタイミング

(2) コンペアマッチフラグのクリアタイミング

CMCSR0 の CMF ビットは、CMF=1 を読み出した後に 0 を書き込むことでクリアされます。図 12.30 に CPU によって CMF ビットがクリアされる場合のタイミングを示します。

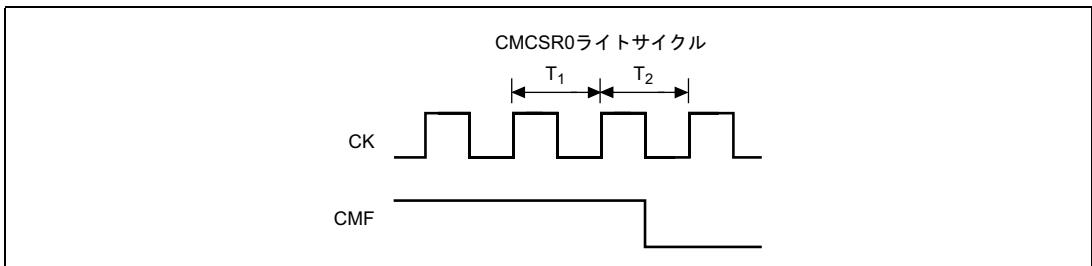


図 12.30 CPU による CMF クリアのタイミング

12.5 使用例

12.5.1 内蔵 IrDA と外部メモリとの DMA 転送例

内蔵 IrDA の受信データを、DMAC のチャンネル 3 を使って外部メモリに転送する例を考えます。

表 12.8 に転送条件と、各レジスタの設定値を示します。加えて、IrDA の受信用 FIFO 数のトリガを 1 に設定 (SCFCR の RTRG1=RTRG0=0) することを推奨します。

表 12.8 内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 IrDA の RDR1	SAR3	H'0400014A
転送先：外部メモリ	DAR3	H'00400000
転送回数：64 回	DMATCR3	H'00000040
転送元アドレス：固定	CHCR3	H'00004B05
転送先アドレス：増加		
転送要求元：IrDA (RX1)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生		
チャンネル優先順位：0>2>3>1	DMAOR	H'0101

12.5.2 A/D 変換器と外部メモリとの DMA 転送例

内蔵 A/D 変換器が転送元、外部メモリが転送先で、アドレスリロード機能オンの場合の例を考えます。

表 12.9 に転送条件と、各レジスタの設定値を示します。

表 12.9 A/D 変換器と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 A/D 変換器	SAR2	H'04000080
転送元：内蔵メモリ	DAR2	H'00400000
転送回数：128 回 (リロード回数 32 回)	DMATCR2	H'00000080
転送元アドレス：増加	CHCR2	H'00089E35
転送先アドレス：減少		
転送要求元：A/D 変換器		
バスモード：バースト		
転送単位：ロングワード		
転送終了時に割り込み要求発生		
チャンネル優先順位：0>2>3>1	DMAOR	H'0101

12. ダイレクトメモリアクセスコントローラ (DMAC)

アドレスリロードをオンにすると、4回の転送ごとに SAR の値が最初に設定した値に戻ります。上記の例では、A/D 変換器から転送要求が入ると、まず A/D 変換器の H'04000080 のレジスタからロングワードサイズのデータを読み出し、外部メモリの H'00400000 番地にそのデータを書き込みます。ロングワードサイズの転送を行ったので、この時点で SAR、DAR の値はそれぞれ H'04000084、H'003FFFFC となっています。またバースト転送であるため、バス権を確保したままなので、データ転送を連続して進めていきます。

4回の転送が終了すると、アドレスリロードオフの場合はそのまま5回目、6回目と転送を続けて実行し、SAR の値は H'0400008C→H'04000090→H'04000094…と増加し続けますが、アドレスリロードオンの場合は4回目が終わると、DMAC 転送を中止し、CPU へのバス権要求信号をクリアします。このとき SAR 内に格納されている値は H'0400008C→H'04000090 ではなく、H'04000080 と最初に設定したアドレスに戻っています。DAR の値はアドレスリロードのオン/オフに関係なく、常に減少を続けます。

以上から DMAC 内部は4回目の転送が終了した時点で、アドレスリロードオンの場合とオフの場合では、表 12.10 に示した状態となっています。

表 12.10 4回の転送終了後の DMAC 内の値

	アドレスリロードオン	アドレスリロードオフ
SAR	H'04000080	H'04000090
DAR	H'003FFFFC	H'003FFFFC
DMATCR	H'0000007C	H'0000007C
バス権	解放	保持
DMAC 動作	停止	処理続行中
割り込み	未発	未発
転送要求元フラグクリア	実行	未実行

- 【注】
1. 割り込みは、DMATCR の値が 0 になるまで実行し、CHCR の IE ビットが 1 にセットされていれば、アドレスリロードのオン/オフに関係なく発生します。
 2. 転送要求元フラグクリアは、DMATCR の値が 0 になるまで実行すれば、アドレスリロードのオン/オフに関係なく実行されます。
 3. アドレスリロード機能を使用する場合は、バーストモードを指定してください。サイクルスチールモードで実行すると正常に動作しない場合があります。
 4. アドレスリロード機能を使用する場合は、DMATCR の値は 4 の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。

12. ダイレクトメモリアクセスコントローラ (DMAC)

12.5.3 外部メモリと SCIF 送信側との DMA 転送例 (インダイレクトアドレスオン)

DMAC のチャンネル 3 を使用して、転送元が間接アドレス指定外部メモリで、転送先が SCIF の送信側の場合の例を考えます。

表 12.11 に転送条件と、各レジスタの設定値を示します。加えて、送信部 FIFO 数のトリガを 1 に設定 (SCFCR の TTRG1=TTRG0=1) することを推奨します。

表 12.11 外部メモリと SCIF 送信側間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR3	H'00400000
H'00400000 番地に格納されている値	—	H'00450000
H'00450000 番地に格納されている値	—	H'55
転送先：内蔵 SCIF TDR2	DAR3	H'04000156
転送回数：10 回	DMATCR3	H'0000000A
転送元アドレス：増加	CHCR3	H'00011C01
転送先アドレス：固定		
転送要求元：SCIF (TXI2)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生せず		
チャンネル優先順位：0>1>2>3	DMAOR	H'0001

インダイレクトアドレスをオンにすると、SAR に設定したアドレスに格納されたデータは、転送元のデータとしては使用されません。インダイレクトアドレスの場合、SAR のアドレスに格納された値を読み出した後、その読み出した値をもう一度アドレスとして使用し、そのとき読み出された値を転送元データとして使用し、その値を DAR に指定されたアドレスに格納します。

表 12.11 の例では、SCIF の転送要求が発生すると、まず SAR3 にセットされている値である H'00400000 番地のアドレスを読み出しに行きます。この H'00400000 番地には H'00450000 が格納されており、DMAC はまず H'00450000 を読み出してきます。次に DMAC は、読み出した H'00450000 を再びアドレスとして使用し、H'00450000 番地に格納されている H'55 を読み出します。最後に DAR3 に指定された H'04000156 番地に H'55 を書き込んで、1 回のインダイレクトアドレス転送が終了します。

インダイレクトアドレスでは、最初に実行する SAR3 に設定されたアドレスからのデータ読み出しでは、転送データサイズの指定である TS0、TS1 ビットの指定とは無関係に、常にロングワードサイズの転送となります。ただし、転送元アドレスの固定、増加、減少の指定は SM0、SM1 ビットに従います。したがって今回の例では、転送データサイズの指定がバイトサイズであるにもかかわらず、1 回の転送が終了した時点で SAR3 の値は H'00400004 となります。書き込み動作は通常のデュアルアドレス転送の書き込み動作の場合と全く同じです。

12.6 使用上の注意

- (1) DMA チャンネルコントロールレジスタ (CHCR0~CHCR3) は、どのようなデータサイズでもアクセス可能です。DMA オペレーションレジスタ (DMAOR) は、バイト (8 ビット) またはワード (16 ビット) 単位のアクセスのみ可能です。それ以外のレジスタは、すべてワード (16 ビット) またはロングワード (32 ビット) 単位のアクセスが可能です。
- (2) CHCR0~CHCR3 の RS0~RS3 ビット書き換える場合は、DE ビットを 0 にしてから書き換えてください (CHCR を書き換える場合は、あらかじめ DE ビットを 0 に設定しておいてください)。
- (3) DMAC が動作していないときに NMI 割り込みが入力されても、DMAOR の NMIF ビットはセットされません。
- (4) スタンバイモードにするときは DMAOR の DME ビットを 0 にして、DMAC が受け付けた転送要求分の処理がすべて終了してから行ってください。
- (5) DMAC がアクセス可能な内蔵周辺モジュールは、I²C、SCIF、A/D 変換器、D/A 変換器、および I/O ポートです。これ以外の内蔵周辺モジュールには DMAC でアクセスしないでください。
- (6) DMAC に起動をかける場合は、CHCR または DMAOR の設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。
- (7) DMATCR のカウントが 0 となって DMA 転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ず DMATCR に 0 書き込みを実行してください。そうでないと正常に動作しない場合があります。
- (8) アドレスリロード機能を使用する場合、転送モードはバーストモードを指定してください。サイクルスチールモードでは正常に動作しない場合があります。
- (9) アドレスリロード機能を使用する場合、DMATCR の値は 4 の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。
- (10) 外部リクエストを立ち下がりエッジで検出する場合、DMAC の設定を行うときには、外部リクエスト端子をハイレベルに保持しておいてください。
- (11) DMAC で未使用である、H'4000062~H'400006F の空間はアクセスしないでください。誤動作する場合があります。
- (12) 16 バイト転送、デュアアドレスモード、外部アドレス空間へのライト時、および 16 バイト転送、シングルアドレスモード、DACK 付き外部デバイスから外部空間への転送時は $\overline{\text{WAIT}}$ 信号は無視されます。
- (13) クロック比 $I\phi$ (内部クロック) : $B\phi$ (バスクロック) = 1 : 1 以外の条件でスリープモードを使用する場合は、スリープ中に DMAC 転送を行わないでください。
- (14) 次の 3 条件すべてを満たす場合は、DMAC 転送中に周波数変更レジスタ (FRQCR) を変更しないでください。
 - ・周波数変更制御レジスタ (FRQCR) の IFC2~IFC0 ビットを変更
 - ・STC2~STC0 ビットは変更しない
 - ・変更後のクロック比が $I\phi$ (内部クロック) : $B\phi$ (バスクロック) = 1 : 1 以外

12. ダイレクトメモリアクセスコントローラ (DMAC)

(15) DMAC で XY メモリからデータを転送する場合、以下の条件をすべて満たす場合、リトルエンディアンモードであってもビッグエンディアンでアクセスします。

- 転送元アドレスが XY メモリ
- 間接アドレスモード
- バイトサイズデータ
- リトルエンディアン

13. タイマ (TMU)

13.1 概要

本 LSI は、3 チャンネル (チャンネル 0~2) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU) を内蔵しています。

13.1.1 特長

TMU には、次のような特長があります。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャンネル2は、インプットキャプチャ機能を搭載
- 各チャンネルとも、任意の時点で書き込み/読み出し可能な、オートリロード用の32ビットコンスタントレジスタおよび32ビットダウンカウンタを搭載
- 各チャンネルとも、32ビットダウンカウンタのアンダフローの発生で割り込み要求を発生 (H'00000000→H'FFFFFF)
- 各チャンネルとも、6種類のカウンタ入力クロックを選択可能
外部クロック (TCLK)、内蔵RTCの出力クロック (16kHz)、 $P\phi/4$ 、 $P\phi/16$ 、 $P\phi/64$ 、 $P\phi/256$

【注】 $P\phi$ は、周辺モジュール用のクロックです。詳細は、「第 10 章 内蔵発振回路 (CPG)」を参照してください。

- 各チャンネルとも、本 LSI がスタンバイモード時でも動作可能
カウンタ入力クロックに RTC の出力クロックを選択した場合、本 LSI がスタンバイモード時でもカウント動作可能
- 同期読み出し動作
TCNT は逐次変化している 32 ビットレジスタであり、周辺モジュール用内部バスは 16 ビット幅のため、上位側 16 ビットと下位側 16 ビットを読み出すのに時間的な差が発生します。この時間差によるカウンタ読み出し値のずれを補正するために、TCNT に同期化回路が内蔵されており、同一時刻の TCNT の 32 ビットデータを読み出し可能
- 各チャンネルとも、32 ビットカウンタの最高動作周波数は 2MHz
外部クロックおよび周辺クロック ($P\phi$) をプリスケアラで分周して、各チャンネルのタイマカウンタに入力されるクロックが最高動作周波数を超えないようにしてお使いください。

13. タイマ (TMU)

13.1.2 ブロック図

TMUのブロック図を図13.1に示します。

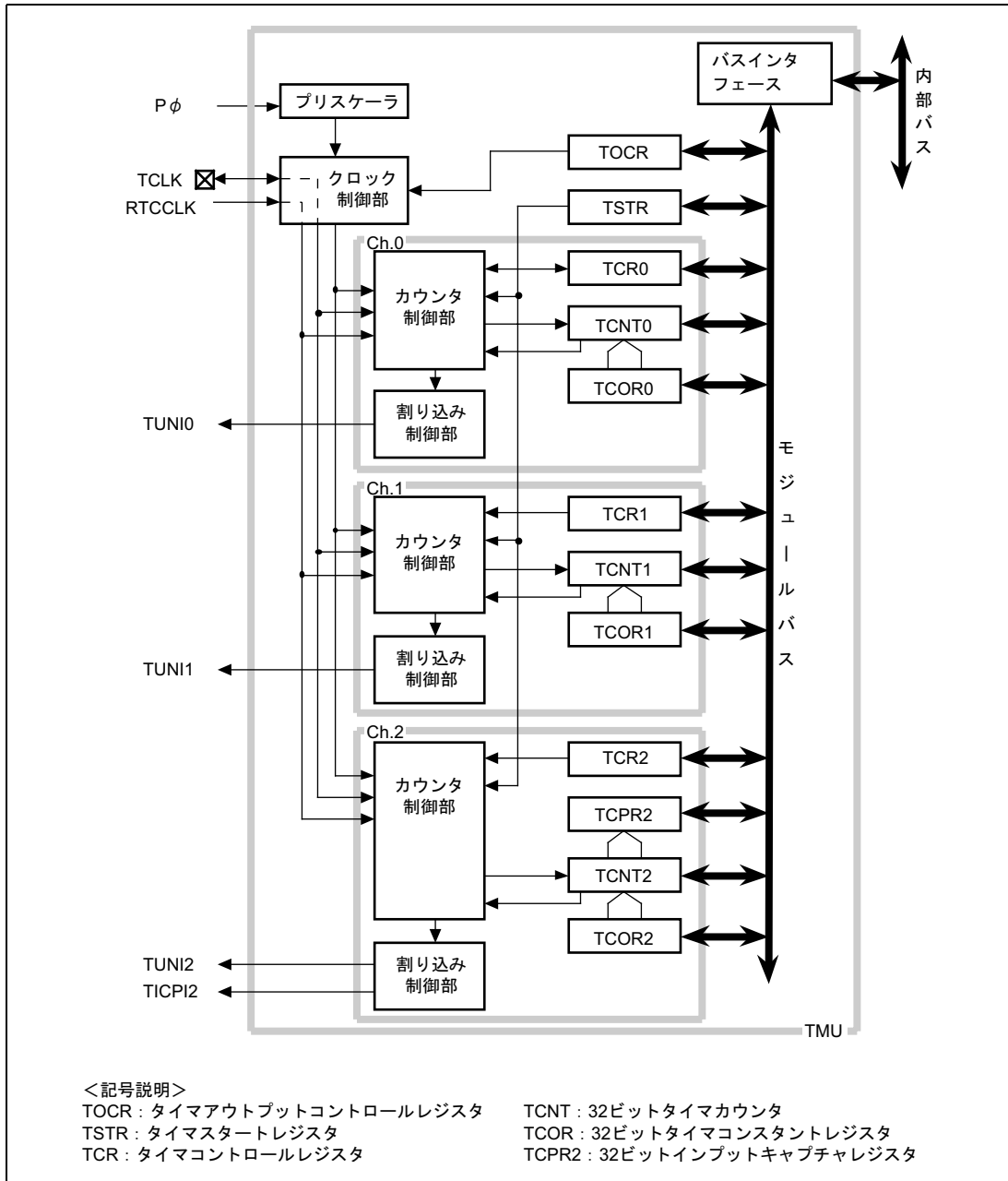


図 13.1 TMUのブロック図

13.1.3 端子構成

TMU の端子構成を表 13.1 に示します。

表 13.1 端子構成

名称	略称	入出力	機能
クロック入力/ クロック出力	TCLK	入出力	外部クロック入力端子/ インプットキャプチャ制御入力端子/ リアルタイムクロック (RTC) 出力端子

13.1.4 レジスタ構成

TMU のレジスタ構成を表 13.2 に示します。

表 13.2 レジスタ構成

チャネル	名称	略称	R/W	初期値*	アドレス	アクセスサイズ
共通	タイマアウトプットコントロールレジスタ	TOCR	R/W	H'00	H'FFFFFFE90	8
	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFFFFE92	8
0	タイマコンスタントレジスタ 0	TCOR0	R/W	H'FFFFFFF	H'FFFFFFE94	32
	タイマカウンタ 0	TCNT0	R/W	H'FFFFFFF	H'FFFFFFE98	32
	タイマコントロールレジスタ 0	TCR0	R/W	H'0000	H'FFFFFFE9C	16
1	タイマコンスタントレジスタ 1	TCOR1	R/W	H'FFFFFFF	H'FFFFFFEA0	32
	タイマカウンタ 1	TCNT1	R/W	H'FFFFFFF	H'FFFFFFEA4	32
	タイマコントロールレジスタ 1	TCR1	R/W	H'0000	H'FFFFFFEA8	16
2	タイマコンスタントレジスタ 2	TCOR2	R/W	H'FFFFFFF	H'FFFFFFEAC	32
	タイマカウンタ 2	TCNT2	R/W	H'FFFFFFF	H'FFFFFFEB0	32
	タイマコントロールレジスタ 2	TCR2	R/W	H'0000	H'FFFFFFEB4	16
	インプットキャプチャレジスタ 2	TCPR2	R	不定	H'FFFFFFEB8	32

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

13.2 レジスタの説明

13.2.1 タイマアウトプットコントロールレジスタ (TOCR)

タイマアウトプットコントロールレジスタ (TOCR) は、外部端子の TCLK を外部クロックもしくはインプットキャプチャ制御用の入力端子とするか、内蔵 RTC の出力クロック用の出力端子とするかを選択します。

TOCR レジスタは、読み出し／書き込み可能な 8 ビットのレジスタです。パワーオンリセットおよびマニュアルリセット時は H'00 に初期化されますが、スタンバイモード時は、初期化されずに内容が保持されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCOE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

- ビット 7~1: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 0: タイマクロック端子制御 (TCOE)

タイマクロック端子 (TCLK) を内蔵 RTC の出力クロックの出力端子とするか、内蔵タイマ用の外部クロック出力端子もしくはインプットキャプチャ制御用の入力端子するかを選択します。なお、TCLK 端子は、PTH7 端子とマルチプレクスされていますので TCLK 端子として使用する場合は、PHCR レジスタの PH7MD1、0 ビットを 00 (その他の機能) に設定してください。

ビット 0	機能
TCOE	
0	タイマクロック端子 (TCLK) を内蔵タイマ用の外部クロック入力 もしくはインプットキャプチャ制御用の入力端子とする (初期値)
1	タイマクロック端子 (TCLK) を内蔵 RTC の出力クロックの出力端子とする

13.2.2 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) は、チャンネル 0~2 のタイマカウンタ (TCNT) を動作させるか、停止させるかを選択します。

TSTR レジスタは、読み出し／書き込み可能な 8 ビットのレジスタです。パワーオンリセットおよびマニュアルリセット時は H'00 に初期化されます。スタンバイモード時には、当該チャンネルの入力クロックが内蔵 RTC クロック (RTCCLK) の場合は初期化されません。また、スタンバイモード時に、各チャンネルで選択している入力クロックが外部クロック (TCLK) もしくは周辺クロック (Pφ) の場合のみ、PLL1 の通倍率を変更したとき、および STBCR の MSTP2 ビットを 1 に設定したときには、初期化されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR2	STR1	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

- ビット7～3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット2: カウンタスタート2 (STR2)

タイマカウンタ2 (TCNT2) を動作させるか、停止させるかを選択します。

ビット2	機 能	
STR2		
0	TCNT2のカウンタ動作は停止	(初期値)
1	TCNT2はカウンタ動作	

- ビット1: カウンタスタート1 (STR1)

タイマカウンタ1 (TCNT1) を動作させるか、停止させるかを選択します。

ビット1	機 能	
STR1		
0	TCNT1のカウンタ動作は停止	(初期値)
1	TCNT1はカウンタ動作	

- ビット0: カウンタスタート0 (STR0)

タイマカウンタ0 (TCNT0) を動作させるか、停止させるかを選択します。

ビット0	機 能	
STR0		
0	TCNT0のカウンタ動作は停止	(初期値)
1	TCNT0はカウンタ動作	

13.2.3 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は TCNT カウンタの制御および割り込みの制御を行うレジスタです。TMU には、各チャネルに1本ずつ、計3本の TCR レジスタがあります。

TCR レジスタは、タイマカウンタ (TCNT) のアンダフロー発生を示すフラグが1にセットされたときの割り込み発生を制御し、カウンタクロックを選択し、外部クロック選択時のエッジを選択します。TCR2 レジスタは、チャネル2のインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生を制御します。

TCR レジスタは、読み出し/書き込み可能な16ビットレジスタです。パワーオンリセットおよびマニュアルリセット時はH'0000に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

13. タイマ (TMU)

(1) チャンネル0、1のTCRレジスタのビット構成

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UNF	—	—	UNIE	CKEG	CKEG	TPSC	TPSC	TPSC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

(2) チャンネル2のTCRレジスタのビット構成

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ICPF	UNF	ICPE	ICPE	UNIE	CKEG	CKEG	TPSC	TPSC	TPSC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット15~10、9 (TCR2以外)、7、6 (TCR2以外) : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット9: インพุットキャプチャ割り込みフラグ (ICPF) : チャンネル2のみ

チャンネル2のみの機能で、TCLK端子によりインพุットキャプチャが発生したときに、フラグがセットされま
す。

ビット9	機能
ICPF	
0	インพุットキャプチャ要求が発生していないことを示します (初期値) [クリア条件] ICPFに0を書き込んだとき
1	TCLK端子によりインพุットキャプチャ要求が発生したことを示す [セット条件] TCLK端子によりインพุットキャプチャ要求が発生したとき*

【注】 *1を書き込むと、元の値が保持されます。

- ビット8: アンダフローフラグ (UNF)

TCNTのアンダフローの発生を示すステータスフラグです。

ビット8	機能
UNF	
0	TCNTがアンダフローを起こしていないことを示します (初期値) [クリア条件] UNFに0を書き込んだとき
1	TCNTがアンダフローを起こしたことを示します [セット条件] TCNTがアンダフローを起こしたとき*

【注】 *1を書き込むと、元の値が保持されます。

- ビット7、6：インプットキャプチャ制御 (ICPE1、ICPE0)：チャンネル2のみ

チャンネル2のみの機能で、インプットキャプチャ機能の使用の許可および使用時の割り込み発生を許可するかどうかを制御します。

このインプットキャプチャ機能を使う場合は、TOCRレジスタのTCOEビットにより、TCLK端子を入力モードに設定する必要があります。また、TCLK端子の立ち上がりエッジ/立ち下がりエッジのいずれを使ってインプットキャプチャレジスタ (TCPR2) に TCNT2 カウンタの値をセットするかは、CKEGビットで設定します。

ビット7	ビット6	機 能
ICPE1	ICPE0	
0	0	インプットキャプチャ機能を使用しないことを示します (初期値)
0	1	予約 (設定禁止)
1	0	インプットキャプチャ機能を使用することを示します ICPFによる割り込み (TICPI2) を許可しません
1	1	インプットキャプチャ機能を使用することを示します ICPFによる割り込み (TICPI2) を許可します

- ビット5：アンダフロー割り込み制御 (UNIE)

TCNTのアンダフローの発生を示すステータスフラグ UNF が 1 にセットされたときに割り込み発生を許可するかどうかを制御します。

ビット5	機 能
UNIE	
0	UNFによる割り込み (TUNI) を許可しません (初期値)
1	UNFによる割り込み (TUNI) を許可します

- ビット4、3：クロックエッジ1、0 (CKEG1、CKEG0)

外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。

ビット4	ビット3	機 能
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント/キャプチャレジスタセット (初期値)
0	1	立ち下がりエッジでカウント/キャプチャレジスタセット
1	X	立ち上がり/立ち下がりの両エッジでカウント/キャプチャレジスタセット

【注】 X: 0 または 1、"Don't care"を表します。

13. タイマ (TMU)

- ビット 2~0 : タイマプリスケーラ 2~0 (TPSC2~TPSC0)

TCNT のカウントクロックを選択します。

ビット 2	ビット 1	ビット 0	機 能
TPSC2	TPSC1	TPSC0	
0	0	0	Pφ/4 でカウント (初期値)
0	0	1	Pφ/16 でカウント
0	1	0	Pφ/64 でカウント
0	1	1	Pφ/256 でカウント
1	0	0	内蔵 RTC のクロック出力 (RTC CLK) でカウント
1	0	1	TCLK 端子入力でカウント
1	1	0	予約 (設定禁止)
1	1	1	予約 (設定禁止)

13.2.4 タイマコンスタントレジスタ (TCOR)

タイマコンスタントレジスタ (TCOR) は、各チャネルに 1 本ずつ、TMU に計 3 本あります。TCOR レジスタは、TCNT カウンタのアンダフローが発生したとき、TCNT カウンタにセットする値を指定します。

TCOR レジスタは、読み出し／書き込み可能な 32 ビットレジスタです。パワーオンリセットおよびマニュアルリセット時は H'FFFFFFF に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.2.5 タイマカウンタ (TCNT)

タイマカウンタ (TCNT) は、各チャンネルに 1 本ずつ、TMU に計 3 本の TCNT があります。TCNT カウンタは、入力したクロックにより、カウントダウン動作を行います。入力するクロックは、タイマコントロールレジスタ (TCR) の TPSC2~TPSC0 ビットにより選択します。

TCNT のカウントダウン動作の結果、アンダフロー (H'00000000→H'FFFFFFF) が発生すると、対応するチャンネルのタイマコントロールレジスタ (TCR) のアンダフローフラグ (UNF) がセットされます。また、同時に TCNT カウンタ自体には、タイマコンスタントレジスタ (TCOR) の値がセットされ、セットされた値からカウントダウン動作を続けます。

TCNT カウンタは、読み出し/書き込み可能な 32 ビットレジスタです。本 LSI の内蔵周辺モジュール用の内部バスは 16 ビット幅であるため、TCNT カウンタの読み出しを行おうとすると、レジスタの上位側と下位側のデータの読み出しに時間的な差が発生します。TCNT は逐次カウント動作を行っているため、この時間的な差により読み出したレジスタの上位側と下位側のデータがずれる可能性があります。本 LSI では、この問題を避けるために、レジスタの上位側と下位側のデータを別々に読み出すことはせず、バッファレジスタを設けておいて、TCNT に対する読み出しを一括処理します。この処理により、32 ビットカウンタが同一時刻で読み出せるようになります。

パワーオンリセットおよびマニュアルリセット時は H'FFFFFFF に初期化されます。スタンバイモード時は、初期化されずに内容が保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13. タイマ (TMU)

13.2.6 インプットキャプチャレジスタ (TCPR2)

インプットキャプチャレジスタ 2 (TCPR2) は、タイマ 2 のみに内蔵されているインプットキャプチャ機能用のレジスタです。TCR2 レジスタのインプットキャプチャ制御 (ICPE1、ICPE0 および CKEG1、CKEG0 ビット) によって、TCLK 端子による TCPR2 レジスタのセット条件を制御します。TCLK 端子による TCPR2 レジスタのセット指示が発生すると、TCNT2 カウンタの値が TCPR2 レジスタにコピーされます。

TCPR2 レジスタは、読み出しのみ可能な 32 ビットレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

13.3 動作説明

各チャンネルには、32 ビットのタイマカウンタ (TCNT) と 32 ビットのタイマコンスタントレジスタ (TCOR) があります。TCNT カウンタは、ダウンカウント動作を行います。オートリロード機能によって、周期カウント動作、または外部イベントカウント動作が可能です。また、チャンネル 2 には、インプットキャプチャ機能があります。

13.3.1 カウンタの動作

タイマスタートレジスタ (TSTR) の STR0~STR2 ビットを 1 にセットすると、対応するチャンネルのタイマカウンタ (TCNT) はカウント動作を開始します。TCNT カウンタがアンダフローすると対応するタイマコントロールレジスタ (TCR) の UNF フラグがセットされます。このとき、TCR レジスタの UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このとき TCNT カウンタには TCOR レジスタから値がコピーされ、ダウンカウント動作を継続します。

(1) カウント動作の設定手順例

カウント動作の設定手順例を図 13.2 に示します。

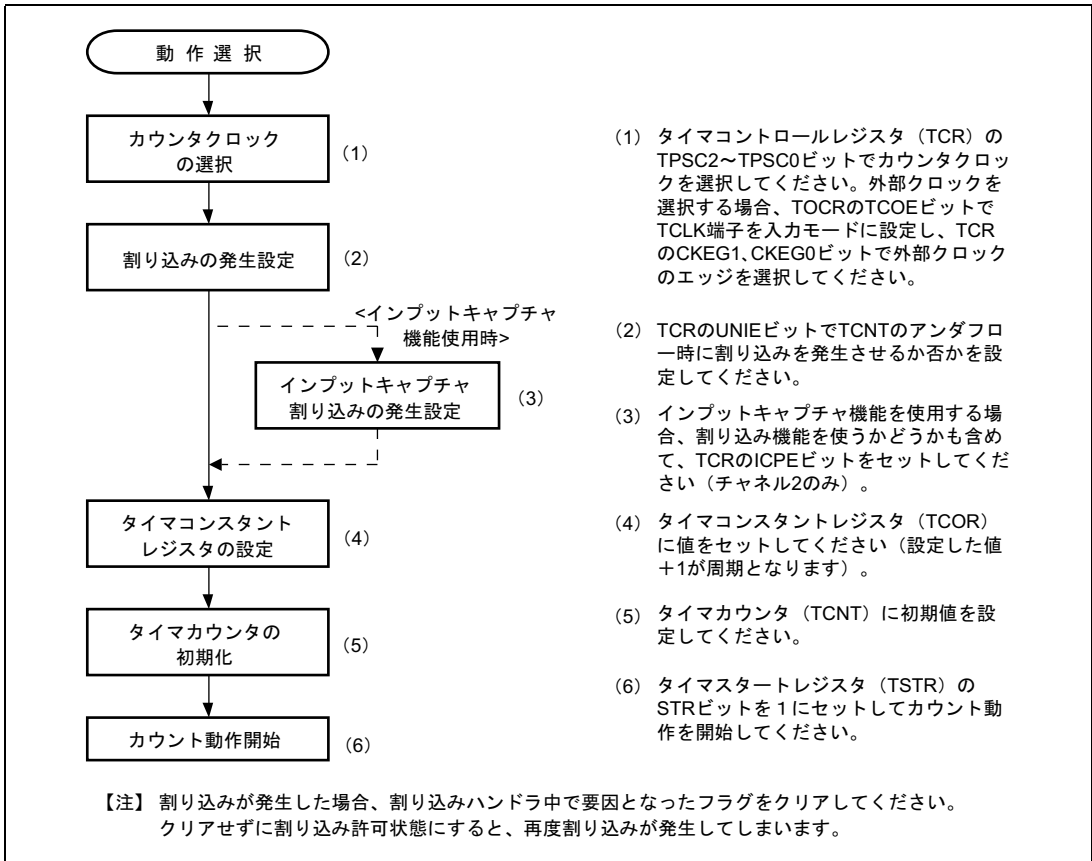


図 13.2 カウント動作設定手順例

(2) オートリロードカウンタ動作

TCNT のオートリロード動作を、図 13.3 に示します。

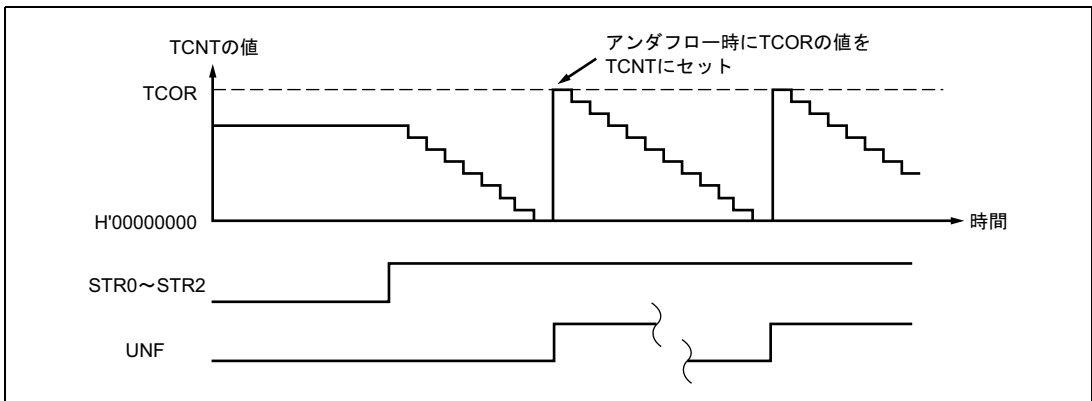


図 13.3 オートリロードカウンタの動作

13. タイマ (TMU)

(3) TCNT のカウントタイミング

(a) 内部クロック動作の場合

TCR レジスタの TPSC2~TPSC0 ビットにより、周辺モジュール用クロックを分周した 4 種類のクロック ($P\phi/4$ 、 $P\phi/16$ 、 $P\phi/64$ 、 $P\phi/256$) が選択できます。このときのタイミングを図 13.4 に示します。

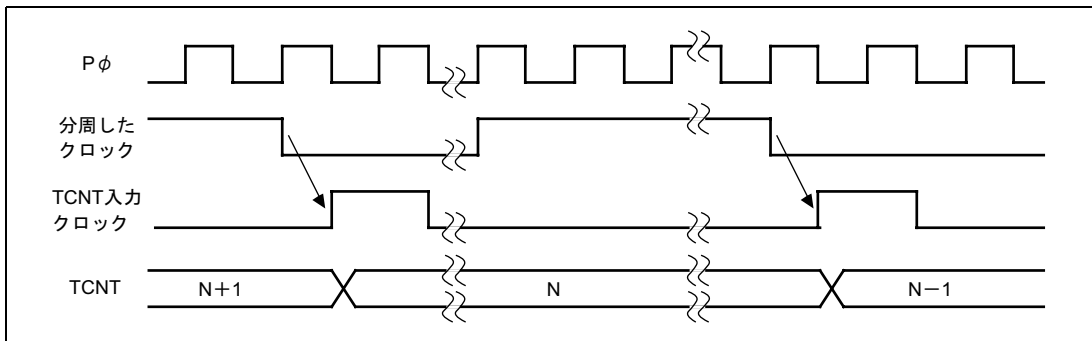


図 13.4 内部クロック動作時のカウントタイミング

(b) 外部クロック動作の場合

TCR レジスタの TPSC2~TPSC0 ビットにより、タイマ用クロックとして外部クロック端子 (TCLK) を選択できます。また、TCR レジスタの CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり／立ち下がり／両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 周辺モジュールクロック ($P\phi$) 以上、両エッジの場合は 2.5 周辺モジュールクロック ($P\phi$) 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

両エッジ検出時のタイミングを図 13.5 に示します。

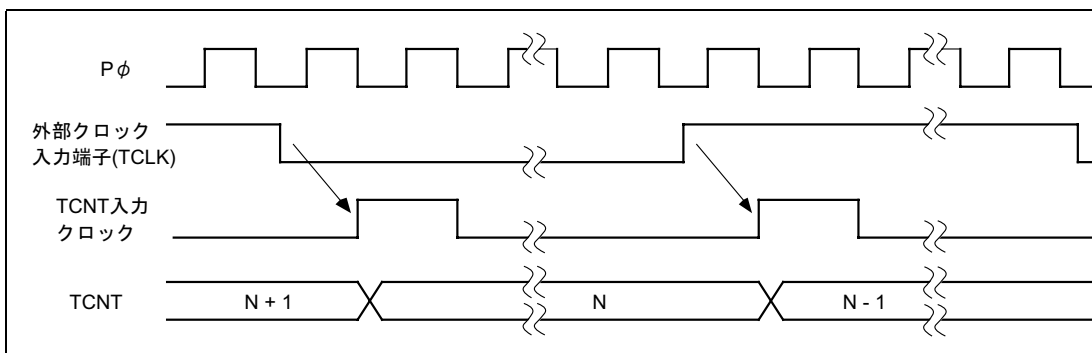


図 13.5 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(c) 内蔵 RTC クロック動作の場合

TCR レジスタの TPSC2~TPSC0 ビットにより、タイマ用クロックとして内蔵 RTC の出力クロックを選択できます。このときのタイミングを図 13.6 に示します。

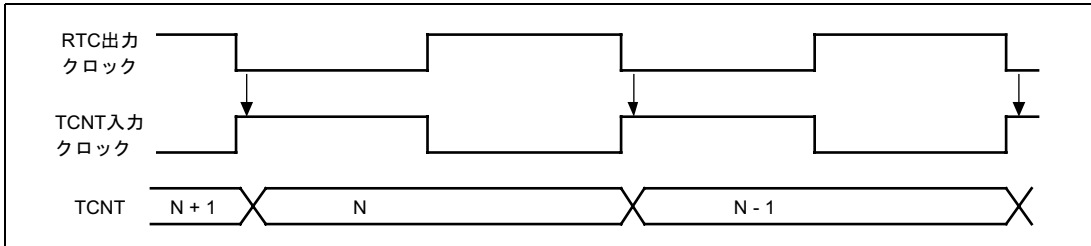


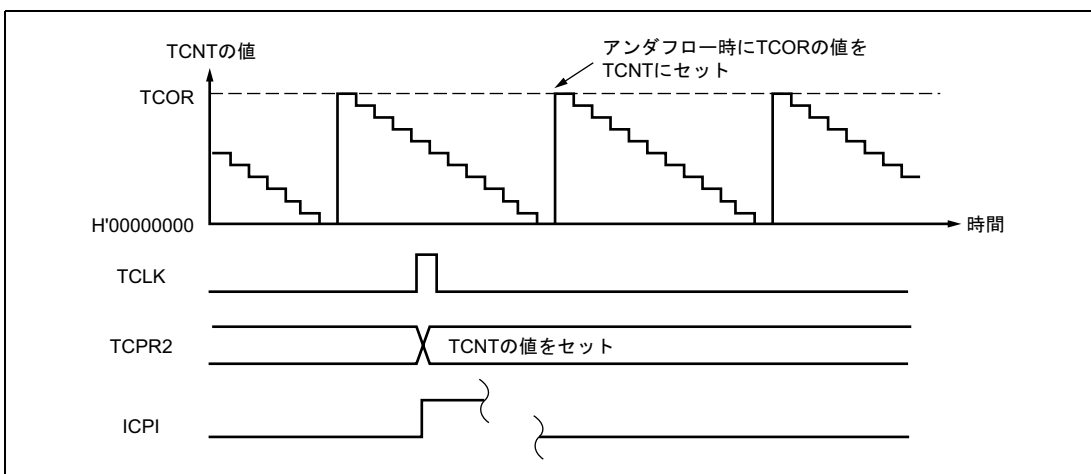
図 13.6 内蔵 RTC クロック動作時のカウントタイミング

13.3.2 インพุットキャプチャ機能

チャンネル 2 には、インพุットキャプチャ機能があります。

インพุットキャプチャ機能を使用する場合、タイマアウトプットコントロールレジスタ (TOCR) の TCOE ビットにより TCLK 端子を入力モードに設定し、タイマコントロールレジスタ 2 (TCR2) の TPSC2~0 ビットでのタイマの動作クロックを内部クロックか内蔵 RTC クロックに設定します。また、TCR2 レジスタの IPCE1、0 ビットでインพุットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定し、TCR2 レジスタの CKEG1、0 ビットで TCLK 端子の立ち上がり/立ち下がりのどのエッジを使用してインพุットキャプチャレジスタ (TCPR2) にタイマカウンタ (TCNT2) の値をセットするのかを指定します。

なお、この機能はスタンバイモード時には使用できません。

図 13.7 インพุットキャプチャ機能使用時の動作タイミング
(TCLK の立ち上がりエッジ使用)

13.4 割り込み

TMUの割り込み要因は、アンダフロー割り込み (TUNI) およびインプットキャプチャ (TICPI2) 割り込みです。

13.4.1 ステータスフラグのセットタイミング

UNFビットは、TCNTカウンタがアンダフローしたときに1にセットされます。このときのタイミングを図13.8に示します。

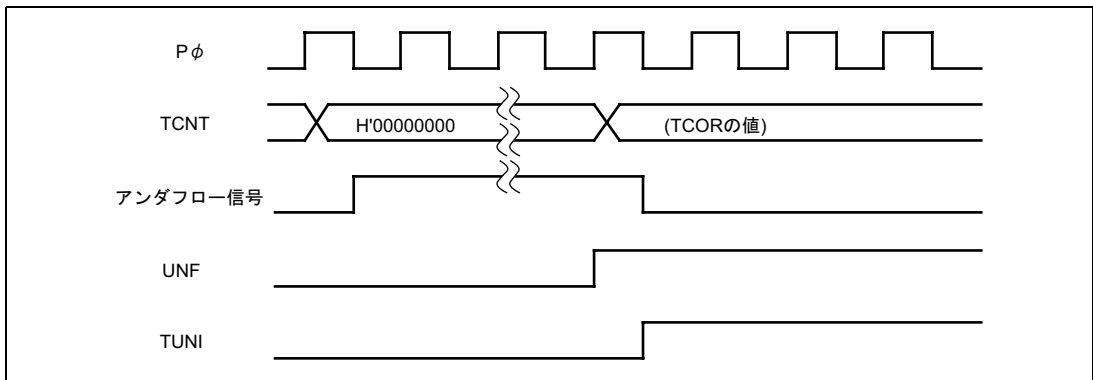


図 13.8 UNF のセットタイミング

13.4.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUから0を書き込むとクリアされます。このときのタイミングを図13.9に示します。

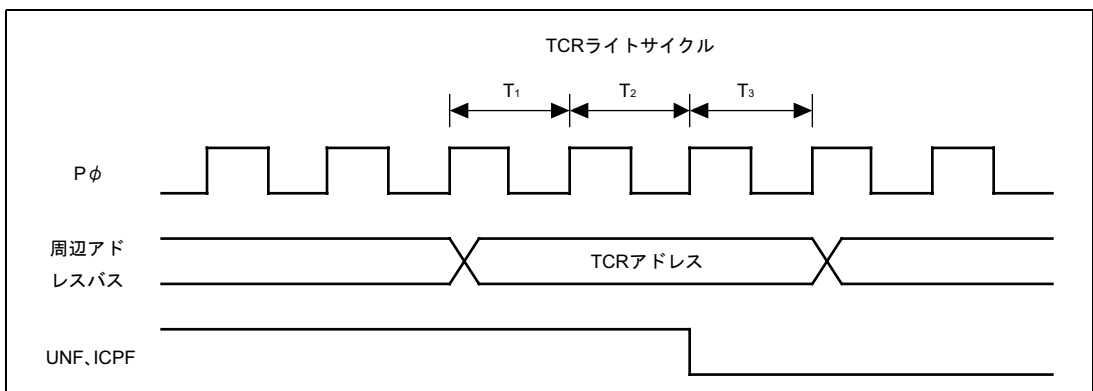


図 13.9 ステータスフラグのクリアタイミング

13.4.3 割り込み要因と優先順位

TMU は各チャンネルごとにアンダフロー割り込みを発生します。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき、当該割り込みが要求されます。これらの割り込みは、割り込み事象レジスタ (INTEVT、INTEVT2) にコードがセットされますので、そのコードに従って割り込み処理を行ってください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は「第 4 章 例外処理」、「第 7 章 割り込みコントローラ (INTC)」を参照してください。

TMU の割り込み要因を表 13.3 に示します。

表 13.3 TMU の割り込み要因

チャンネル	割り込み要因	内容	優先順位
0	TUNI0	アンダフロー割り込み 0	高
1	TUNI1	アンダフロー割り込み 1	↑
2	TUNI2	アンダフロー割り込み 2	↓
	TICPI2	インプットキャプチャ割り込み 2	低

13.5 使用上の注意

13.5.1 レジスタの書き込みについて

レジスタの書き込み時に、タイマのカウンタ動作の同期処理は行っておりません。レジスタの書き込みの際には、必ずタイマスタートレジスタ (TSTR) の該当チャンネルのスタートビット (STR2~STR0) をクリアして、タイマのカウンタ動作を停止させてください。

13.5.2 レジスタの読み出しについて

レジスタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み込み処理が同時に行われた場合は、同期処理により TCNT カウンタのカウンタダウン動作前の値が読み出されます。

14. リアルタイムクロック（RTC）

14.1 概要

本 LSI は、リアルタイムクロック（RTC）および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。

14.1.1 特長

RTC には、次のような特長があります。

- 時計・カレンダー機能（BCD表示）を搭載
秒、分、時、日、曜日、月、年をカウント
- 1～64Hzタイマ（バイナリ表示）を搭載
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、日、曜日、月の各々どのフレームを比較するか選択可能
- 周期割り込み
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
カウンタの読み出し中に、桁上げ動作が発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

14. リアルタイムクロック (RTC)

14.1.2 ブロック図

RTCのブロック図を図 14.1 に示します。

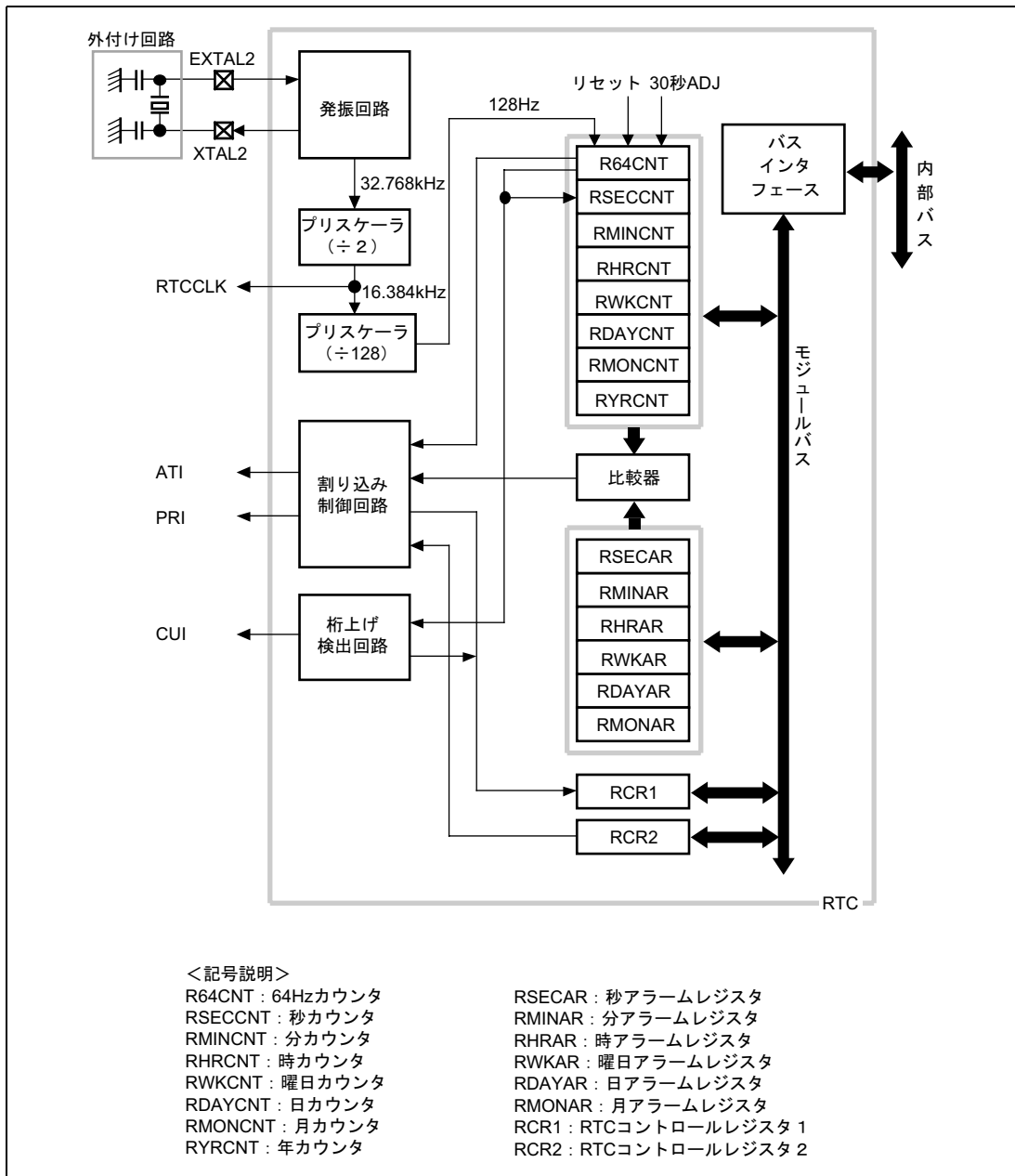


図 14.1 RTCのブロック図

14.1.3 端子構成

RTC の端子構成を表 14.1 に示します。

表 14.1 端子構成

名称	信号名	入出力	機能
RTC 用発振器水晶端子	EXTAL2	入力	RTC 用発振器に水晶を接続します*2
RTC 用発振器水晶端子	XTAL2	出力	RTC 用発振器に水晶を接続します*2
クロック入力/ クロック出力	TCLK	入出力	外部クロック入力端子/ インプットキャプチャ制御入力端子/ リアルタイムクロック (RTC) 出力 端子 (TMU と兼用)
RTC 用電源端子	V _{CC} -RTC	—	RTC 発振器用電源端子*1
RTC 用 GND 端子	V _{SS} -RTC	—	RTC 発振器用 GND 端子*1

【注】 *1 RTC 用の電源端子は、ハードウェアスタンバイモード以外では、RTC のみを使用する場合 (スタンバイモード時) にも本電源端子を含めてすべての電源端子に電源を供給してください。ハードウェアスタンバイモード時には、RTC 用電源端子以外の電源端子へ給電しないことが可能です。

*2 RTC を使用しない場合、EXTAL2 はプルアップ (V_{CC})、XTAL2 は NC としてください。

14.1.4 レジスタ構成

RTC のレジスタ構成を表 14.2 に示します。

表 14.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
64Hz カウンタ	R64CNT	R	不定	H'FFFFFFE0	8
秒カウンタ	RSECCNT	R/W	不定	H'FFFFFFE2	8
分カウンタ	RMINCNT	R/W	不定	H'FFFFFFE4	8
時カウンタ	RHRCNT	R/W	不定	H'FFFFFFE6	8
曜日カウンタ	RWKCNT	R/W	不定	H'FFFFFFE8	8
日カウンタ	RDAYCNT	R/W	不定	H'FFFFFFEA	8
月カウンタ	RMONCNT	R/W	不定	H'FFFFFFEC	8
年カウンタ	RYRCNT	R/W	不定	H'FFFFFFEE	8
秒アラームレジスタ	RSECAR	R/W	不定*	H'FFFFFFED0	8
分アラームレジスタ	RMINAR	R/W	不定*	H'FFFFFFED2	8
時アラームレジスタ	RHRAR	R/W	不定*	H'FFFFFFED4	8
曜日アラームレジスタ	RWKAR	R/W	不定*	H'FFFFFFED6	8
日アラームレジスタ	RDAYAR	R/W	不定*	H'FFFFFFED8	8
月アラームレジスタ	RMONAR	R/W	不定*	H'FFFFFFEDA	8
RTC コントロールレジスタ 1	RCR1	R/W	H'00	H'FFFFFFEDC	8
RTC コントロールレジスタ 2	RCR2	R/W	H'09	H'FFFFFFEDE	8

【注】 * 各レジスタの ENB ビットのみ初期化されます。

14.2 レジスタの説明

14.2.1 64Hz カウンタ (R64CNT)

64Hz カウンタ (R64CNT) は、RTC の分周回路 (RTC プリスケーラおよび R64CNT) のうち、64Hz~1Hz の状態を示します。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットに 1 をセットするか、RCR2 レジスタの ADJ ビットに 1 をセットすると、R64CNT カウンタは H'00 に初期化されます。

R64CNT カウンタは、読み出しのみ可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット 7 は、読み出すと、常に 0 が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	—	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R

14.2.2 秒カウンタ (RSECCNT)

秒カウンタ (RSECCNT) は、RTC の BCD コード化された秒部分の設定・カウント用のカウンタです。64Hz カウンタの 1 秒ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00~59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RSECCNT カウンタは、読み出し/書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット:	7	6	5	4	3	2	1	0
	—	10 秒			1 秒			
初期値:	0	—	—	—	—	—	—	—
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.2.3 分カウンタ (RMINCNT)

分カウンタ (RMINCNT) は、RTC の BCD コード化された分部分の設定・カウント用のカウンタです。秒カウンタの 1 分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00～59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RMINCNT カウンタは、読み出し／書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット:	7	6	5	4	3	2	1	0
	—	10 分			1 分			
初期値:	0	—	—	—	—	—	—	—
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.2.4 時カウンタ (RHRCNT)

時カウンタ (RHRCNT) は、RTC の BCD コード化された時部分の設定・カウント用のカウンタです。分カウンタの 1 時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00～23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行うか、図 14.2 に示すように桁上げフラグを用いて書き込みを行ってください。

RHRCNT カウンタは、読み出し／書き込み可能な 8 ビットのレジスタで、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット:	7	6	5	4	3	2	1	0
	—	—	10 時間		1 時間			
初期値:	0	0	—	—	—	—	—	—
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

14.2.5 曜日カウンタ (RWKCNT)

曜日カウンタ (RWKCNT) は、RTC の BCD コード化された曜日部分の設定・カウント用のカウンタです。日カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 0～6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行うか、図 14.2 に示すように桁上げフラグを用いて書き込みを行ってください。

RWKCNT カウンタは、読み出し／書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

14. リアルタイムクロック (RTC)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	曜日		
初期値:	0	0	0	0	0	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

14.2.6 日カウンタ (RDAYCNT)

日カウンタ (RDAYCNT) は、RTC の BCD コード化された日部分の設定・カウント用のカウンタです。時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01~31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RDAYCNT カウンタは、読み出し／書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

RDAYCNT カウンタの設定可能範囲は、月ごとおよびうるう年によって変化します。確認の上、設定してください。

ビット:	7	6	5	4	3	2	1	0
	—	—	10 日		1 日			
初期値:	0	0	—	—	—	—	—	—
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

14.2.7 月カウンタ (RMONCNT)

月カウンタ (RMONCNT) は、RTC の BCD コード化された月部分の設定・カウント用のカウンタです。日カウンタの月ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01~12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RMONCNT カウンタは、読み出し／書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	10 月	1 月			
初期値:	0	0	0	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

14.2.8 年カウンタ (RYRCNT)

年カウンタ (RYRCNT) は、RTC の BCD コード化された年部分の設定・カウント用のカウンタです。西暦の下 2 桁を表します。月カウンタの年ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00～99 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 レジスタの START ビットでカウント動作を停止させてから行ってください。

RYRCNT カウンタは、読み出し／書き込み可能な 8 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されずに動作を続けます。

年カウンタ値を 4 で割って、端数が 0 の場合をうるう年として判定しています。なお、年カウンタ値 : 00 をうるう年に含みます。

ビット :	7	6	5	4	3	2	1	0
	10 年				1 年			
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.2.9 秒アラームレジスタ (RSECAR)

秒アラームレジスタ (RSECAR) は、RTC の BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

設定可能範囲は、10 進で 00～59+ENB ビットです。それ以外の値が設定されると、正常に動作しません。

RSECAR レジスタは、読み出し／書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は 0 に初期化されます。RSECAR レジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット :	7	6	5	4	3	2	1	0
	ENB	10 秒			1 秒			
初期値 :	0	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.2.10 分アラームレジスタ (RMINAR)

分アラームレジスタ (RMINAR) は、RTC の BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

14. リアルタイムクロック (RTC)

設定可能範囲は、10進で00～59+ENBビットです。それ以外の値が設定されると、正常に動作しません。

RMINARレジスタは、読み出し／書き込み可能な8ビットのレジスタです。ENBビットは、パワーオンリセットで初期化されます。RMINARレジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット:	7	6	5	4	3	2	1	0
	ENB	10 分			1 分			
初期値:	0	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.2.11 時アラームレジスタ (RHRAR)

時アラームレジスタ (RHRAR) は、RTC の BCD コード化された時部分のカウンタ RHRCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHRCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

設定可能範囲は、10進で00～23+ENBビットです。それ以外の値が設定されると、正常に動作しません。

RHRARレジスタは、読み出し／書き込み可能な8ビットのレジスタです。ENBビットは、パワーオンリセット時は初期化されます。RHRARレジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット:	7	6	5	4	3	2	1	0
	ENB	—	10 時間		1 時間			
初期値:	0	0	—	—	—	—	—	—
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

14.2.12 曜日アラームレジスタ (RWKAR)

曜日アラームレジスタ (RWKAR) は、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

設定可能範囲は、10進で0～6+ENBビットです。それ以外の値が設定されると、正常に動作しません。

RWKARレジスタは、読み出し／書き込み可能な8ビットのレジスタです。ENBビットは、パワーオンリセット時は初期化されます。RWKARレジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット:	7	6	5	4	3	2	1	0
	ENB	—	—	—	—	曜日		
初期値:	0	0	0	0	0	—	—	—
R/W:	R/W	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

14.2.13 日アラームレジスタ (RDAYAR)

日アラームレジスタ (RDAYAR) は、RTC の BCD コード化された日部分のカウント RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT カウンタの値と比較を行います。RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

設定可能範囲は、10 進で 01~31+ENB ビットです。それ以外の値が設定されると、正常に動作しません。

RDAYCNT の設定可能範囲は、月およびうるう年によって変化します。確認の上、設定してください。

RDAYAR レジスタは、読み出し/書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RDAYAR レジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

ビット:	7	6	5	4	3	2	1	0
	ENB	—	10 日		1 日			
初期値:	0	0	—	—	—	—	—	—
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

14.2.14 月アラームレジスタ (RMONAR)

月アラームレジスタ (RMONAR) は、RTC の BCD コード化された月部分のカウント RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT カウンタの値と比較を行います。

RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR の各々のレジスタのうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致していたら、RTC アラーム割り込みを発生します。

設定可能範囲は、10 進で 01~12+ENB ビットです。それ以外の値が設定されると、正常に動作しません。

RMONAR レジスタは、読み出し/書き込み可能な 8 ビットのレジスタです。ENB ビットは、パワーオンリセット時は初期化されます。RMONAR レジスタの残りのフィールドは初期化されません。マニュアルリセット、スタンバイモード時は内容が保持されます。

14. リアルタイムクロック (RTC)

ビット:	7	6	5	4	3	2	1	0
	ENB	—	—	10月	1月			
初期値:	0	0	0	—	—	—	—	—
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

14.2.15 RTC コントロールレジスタ 1 (RCR1)

RTC コントロールレジスタ 1 (RCR1) は、桁上げおよびアラームフラグに関するレジスタです。また、各々のフラグについて、割り込みを発生するかどうか選択できます。リードモディファイライト処理は、オペランドリード後フラグがセットされる場合があるので使用しないでください。

RCR1 レジスタは、読み出し/書き込み可能な 8 ビットのレジスタです。パワーオンリセットおよびマニュアルリセット時は H'00 に初期化されます。ただし、CF フラグは、マニュアルリセット時に不定になります。CF フラグを使用する場合は、使用前に必ず初期化してください。スタンバイモード時には初期化されません。

ビット:	7	6	5	4	3	2	1	0
	CF	—	—	CIE	AIE	—	—	AF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

- ビット 7: 桁上げフラグ (CF)

桁上げが発生したことを示すフラグです。このフラグが 1 にセットされた場合、(1) 秒カウンタ桁上げまたは、(2) 64Hz カウンタ桁上げ時の読み出しが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。

ビット 7	機 能
CF	
0	秒カウンタ桁上げおよび 64Hz カウンタ桁上げなし (初期値) [クリア条件] CF に 0 を書き込んだとき
1	[セット条件] 秒カウンタ桁上げ、または 64Hz カウンタ桁上げ時の読み出しあり、または、CF に 1 を書き込んだとき

- ビット 6、5、2、1: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット4: 桁上げ割り込みイネーブルフラグ (CIE)

桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。

ビット4	機 能	
CIE		
0	CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない	(初期値)
1	CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる	

- ビット3: アラーム割り込みイネーブルフラグ (AIE)

アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。

ビット3	機 能	
AIE		
0	AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない	(初期値)
1	AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる	

- ビット0: アラームフラグ (AF)

アラームレジスタで設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) と時計・カレンダーが一致したら 1 にセットされるフラグです。

このフラグは、0 を書き込むと 0 にクリアされますが、1 を書き込もうとしてもそれまでの値を保持します。

ビット0	機 能	
AF		
0	アラームレジスタと時計・カレンダーは不一致 [クリア条件] AF に 0 を書き込んだとき	(初期値)
1	[セット条件] アラームレジスタと時計・カレンダーが一致* (ENB ビットを 1 に設定したレジスタのみ)	

【注】 * 1 を書き込むと、元の値が保持されます。

14. リアルタイムクロック (RTC)

14.2.16 RTC コントロールレジスタ 2 (RCR2)

RTC コントロールレジスタ 2 (RCR2) は、周期的割り込み制御、30 秒調整用 ADJ、分周回路 RESET、RTC カウントスタート・ストップ制御に関するレジスタです。

RCR2 レジスタは、読み出し/書き込み可能な 8 ビットのレジスタです。パワーオンリセット時は H'09 に初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。スタンバイモード時は初期化されず、それまでの値が保持されます。

ビット:	7	6	5	4	3	2	1	0
	PEF	PES2	PES1	PES0	RTCEN	ADJ	RESET	START
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ビット 7: 周期割り込みフラグ (PEF)

PES ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。

ビット 7	機 能
PEF	
0	PES ビットで設定された周期で割り込み発生なし (初期値) [クリア条件] PEF に 0 を書き込んだとき
1	[セット条件] PES ビットで設定された周期で割り込み発生あり、 または、PEF に 1 を書き込んだとき

- ビット 6~4: 周期割り込みフラグ (PES2~PES0)

周期割り込みの周期を設定します。

ビット 6	ビット 5	ビット 4	機 能
PES2	PES1	PES0	
0	0	0	周期割り込み発生なし (初期値)
0	0	1	周期割り込み発生時の周期を 1/256 秒にする
0	1	0	周期割り込み発生時の周期を 1/64 秒にする
0	1	1	周期割り込み発生時の周期を 1/16 秒にする
1	0	0	周期割り込み発生時の周期を 1/4 秒にする
1	0	1	周期割り込み発生時の周期を 1/2 秒にする
1	1	0	周期割り込み発生時の周期を 1 秒にする
1	1	1	周期割り込み発生時の周期を 2 秒にする

- ビット3: 発振器有効 (RTCEN)

RTC 用水晶発振器の動作を制御します。

ビット3	機 能	
RTCEN		
0	RTC 用水晶発振器を停止させる	
1	RTC 用水晶発振器を動作させる	(初期値)

- ビット2: 30秒調整 ADJ (ADJ)

30秒調整用であり、1が書き込まれることによって、29秒以前は00秒に切り捨て、30秒以降は1分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。なお、このビットからの読み出しは常に0が読み出されます。ADJ ビットを1にセットしたときから秒カウンタ (RSECCNT) の読み出し値に反映されるまで最大で約 91.6 μ s (EXTAL2 端子へ 32.768kHz 水晶発振子接続時) の時間がかかります。

ビット2	機 能	
ADJ		
0	通常の時計動作	(初期値)
1 (書き込み)	30秒の調整を行う	

- ビット1: リセット (RESET)

1を書き込むことによって、分周回路 (RTC プリスケアラおよび R64CNT) が初期化されます。なお、このビットからの読み出しは常に0が読み出されます。

ビット1	機 能	
RESET		
0	通常の時計動作	(初期値)
1 (書き込み)	分周回路をリセット	

- ビット0: START ビット (START)

カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。

ビット0	機 能	
START		
0	秒、分、時、日、週、月、年カウンタは停止*	
1	秒、分、時、日、週、月、年カウンタは通常動作*	(初期値)

【注】 * 64Hz カウンタは RTCEN ビットで停止させない限りは動作します

14.3 RTC の動作

14.3.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

14.3.2 時刻設定手順

時計を停止させて時刻を設定する方法を図 14.2 に示します。カレンダークロックの全体を設定する場合に有効です。簡単にプログラムすることができます。

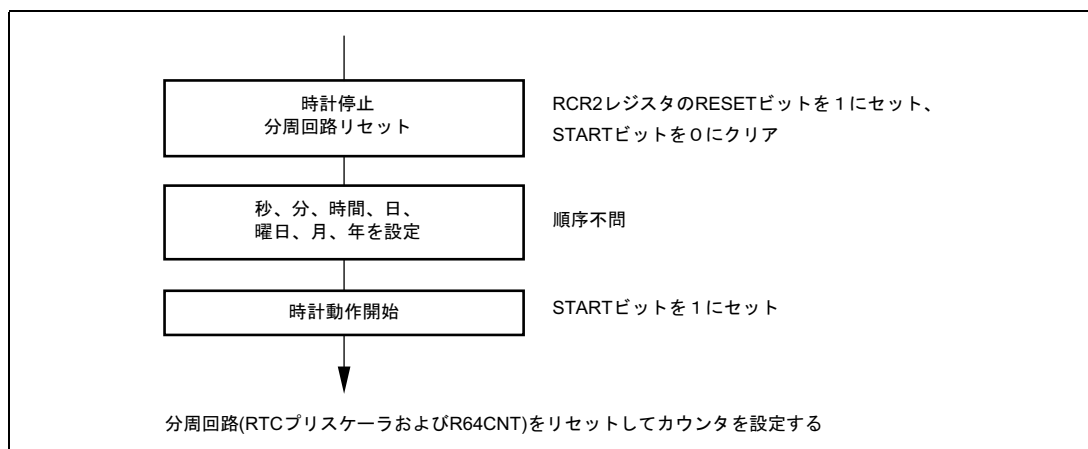


図 14.2 時刻設定手順

14.3.3 時刻読み出し手順

時刻読み出し手順を図 14.3 に示します。

時刻読み出し期間中に桁上げが起こると、正しい時刻が得られないため、再読み出しする必要があります。割り込みを使用しない方法を (a) に、桁上げ割り込みを使用する方法を (b) に示します。通常、プログラムの簡素化のため割り込みを使用しない方法を使用します。

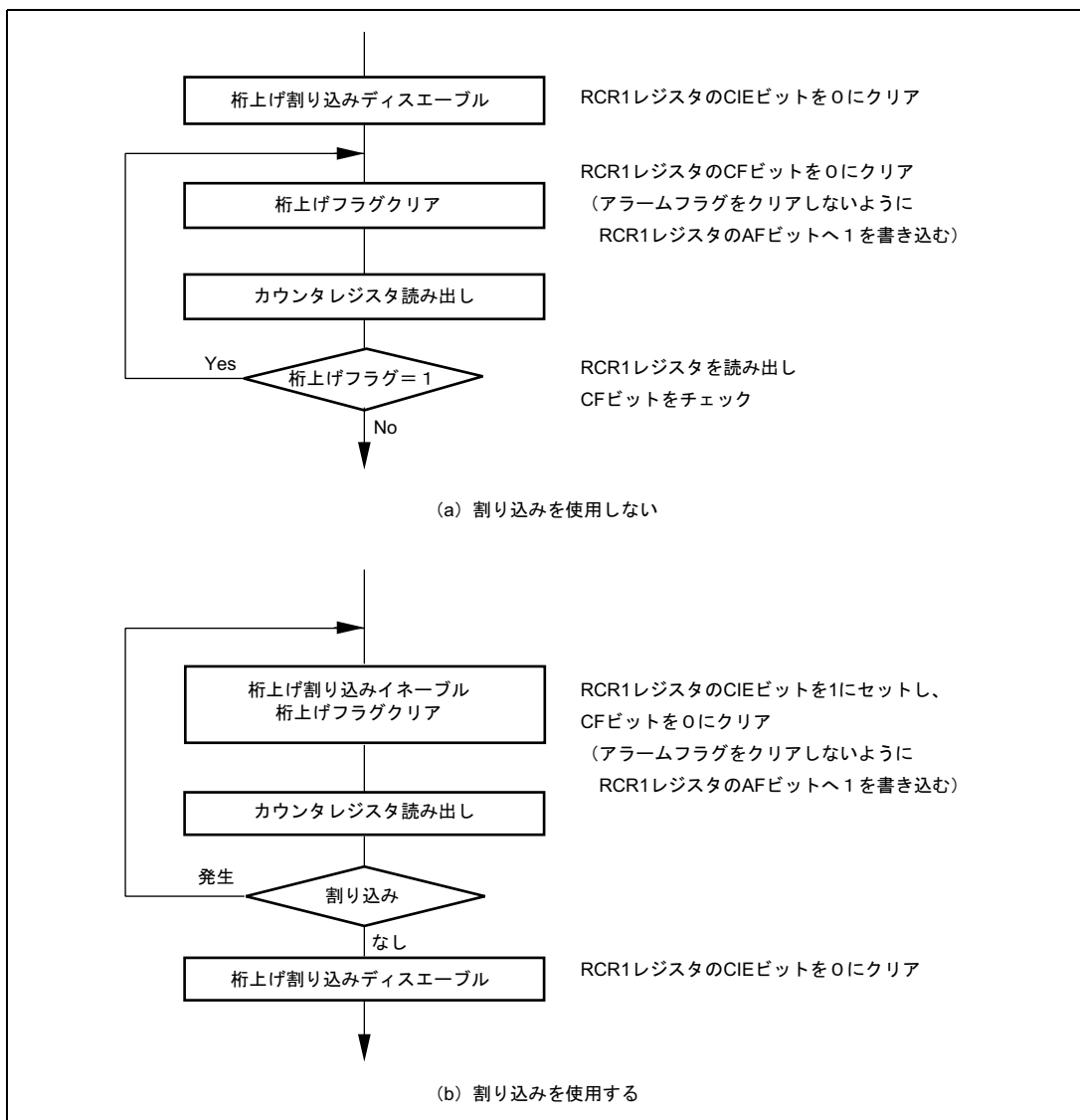


図 14.3 時刻読み出し手順

14.3.4 アラーム機能

アラーム機能の使用方法を図 14.4 に示します。

アラームは、秒、分、時、曜日、日、月のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするレジスタは、ENB ビット (ビット 7) に 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビット (ビット 7) に 0 を書き込みます。

時計とアラーム時刻が一致した場合、RTC コントロールレジスタ 1 (RCR1) の AF ビット (ビット 0) に 1 がセットされます。アラームの検出は、このビットを読み出すことにより確認できますが、通常は割り込み機能を使用します。RCR1 レジスタの AIE ビット (ビット 3) に 1 を書き込んでおけば、アラーム時にアラーム割り込みが発生し、検出することができます。

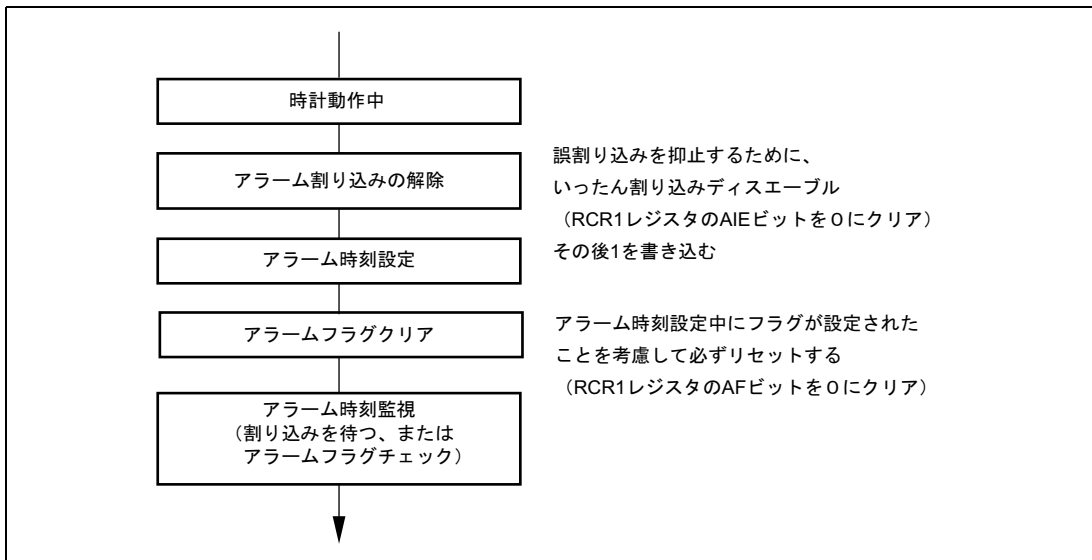


図 14.4 アラーム機能の使用方法

14.3.5 水晶発振回路

水晶発振回路の各定数（推奨値）を表 14.3 に、RTC 用水晶発振回路を図 14.5 に示します。

表 14.3 推奨発振回路の定数（推奨値）

f_{osc}	C_{in}	C_{out}
32.768kHz	10~22pF	10~22pF

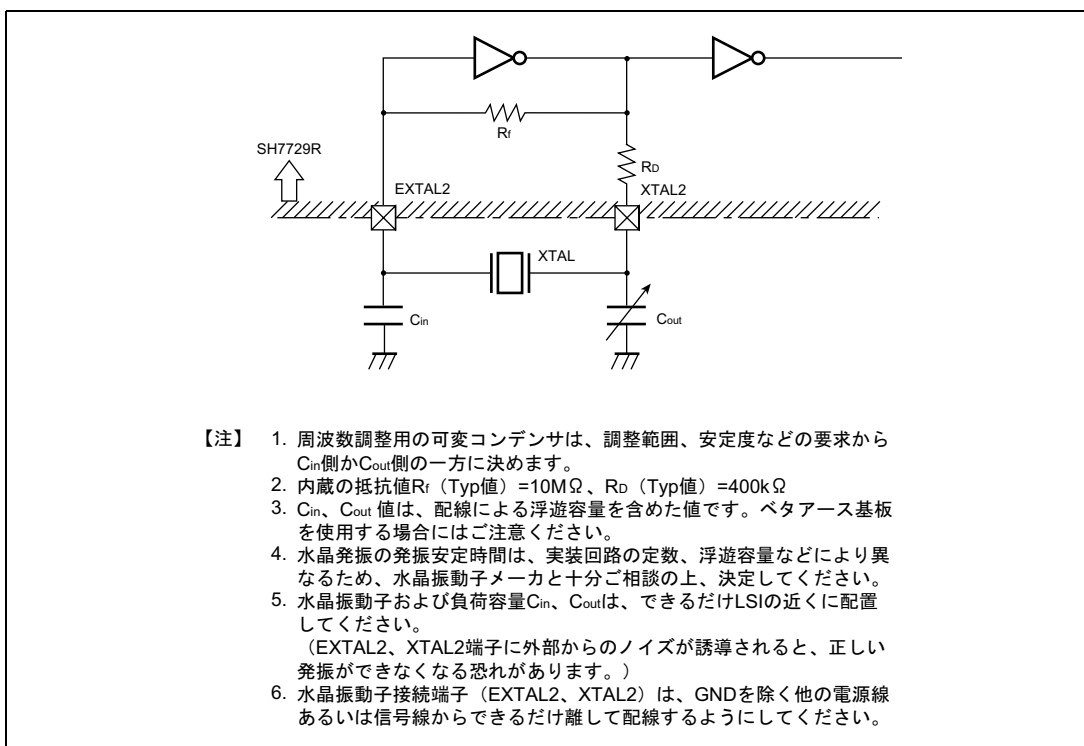


図 14.5 水晶発振回路接続例

14.4 使用上の注意

14.4.1 RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時 (RCR2 のビット 0=1)、以下の RTC のレジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT

上記のレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

14.4.2 リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込み機能の使用方法を図 14.6 に示します。

周期割り込みは、RTC コントロールレジスタ 2 (RCR2) の周期割り込みイネーブルフラグ (PES) で設定した周期で定期的に割り込みを発生させることができます。周期割り込みフラグ (PEF) で設定した時間が経過すると周期割り込みフラグ (PEF) が 1 にセットされます。

周期割り込みフラグ (PEF) は、周期割り込みイネーブルフラグ (PES) 設定時、周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが通常は割り込み機能を使用します。

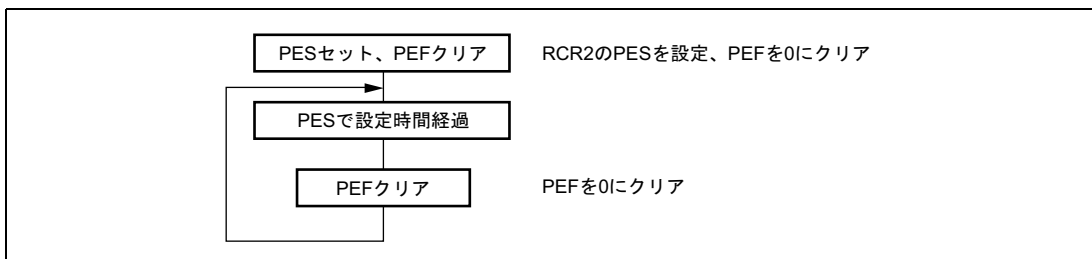


図 14.6 周期割り込み機能の使用方法

14.4.3 RTC をモジュールスタンバイ状態にする際の注意事項

RTC をモジュールスタンバイにする際は、RTC、SCI、TMU のレジスタのどれか 1 つ以上にアクセスした後、RTC をモジュールスタンバイにしてください。

15. シリアルコミュニケーションインタフェース (SCI)

15.1 概要

本 LSI には、シリアルコミュニケーションインタフェース (SCI: Serial Communication Interface) が内蔵されています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

スマートカードインタフェースをサポートしています。これは、“ISO/IEC7816-3(Identification Card)” に準拠した IC カードインタフェース用シリアル通信機能です。詳しくは「第 16 章 スマートカードインタフェース」を参照してください。

15.1.1 特長

SCI には次のような特長があります。

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

<調歩同期式モード>

スタート/ストップビットによりキャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長：7ビット、または8ビット

ストップビット長：1ビット、または2ビット

パリティ：偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサビット：1または0

受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラーを検出

ブレークの検出：フレーミングエラー発生時にRxD端子のレベルをSCポートデータレジスタ (SCPDR) から直接読み出すことによりブレークを検出できます。

<クロック同期式モード>

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは1種類です。

データ長：8ビット

受信エラーの検出：オーバランエラーを検出

15. シリアルコミュニケーションインタフェース (SCI)

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能
- 4種類の割り込み要因
送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- SCIを使用しないときは、消費電力低減のためSCIに対してクロックの供給を止めて動作を停止させることができます。

15.1.2 ブロック図

SCIのブロック図を図 15.1 に示します。

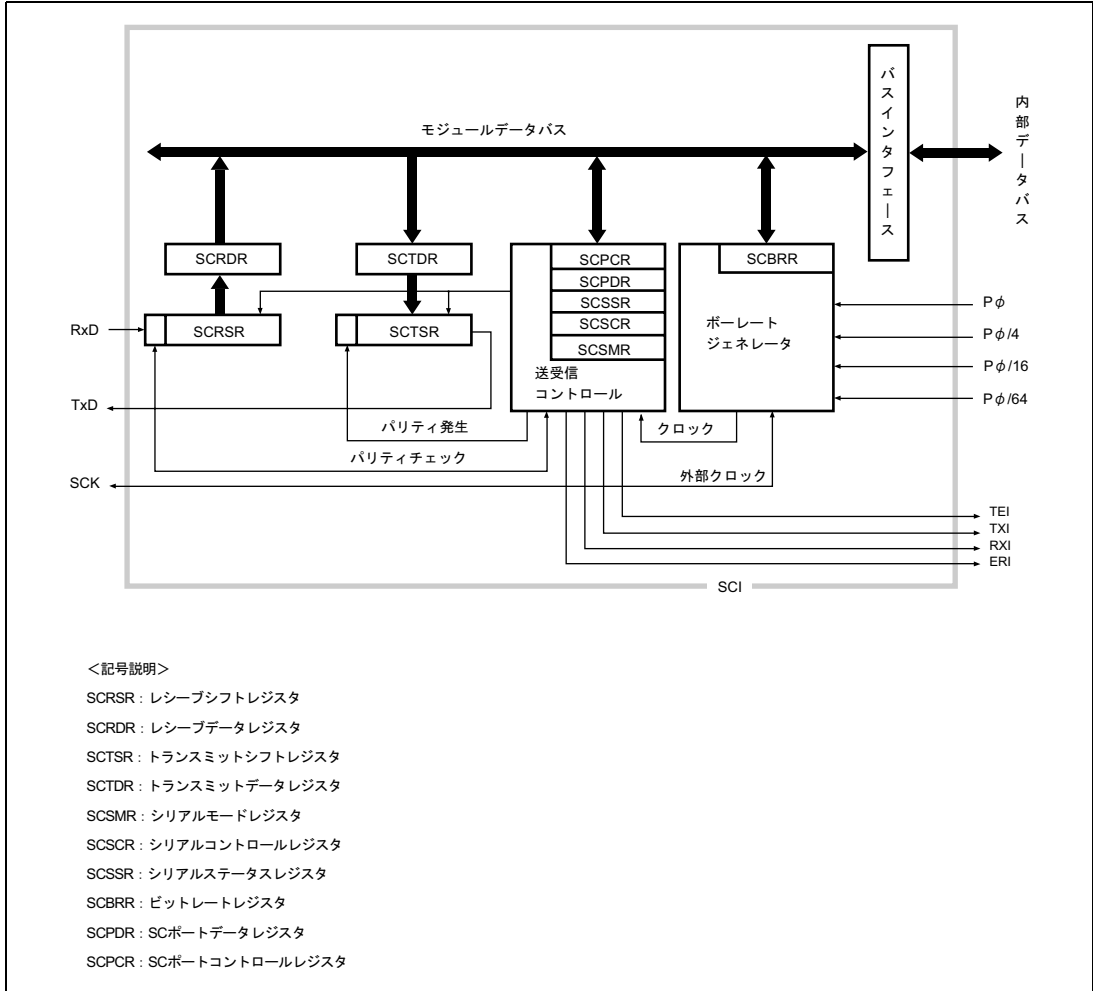


図 15.1 SCIのブロック図

15. シリアルコミュニケーションインタフェース (SCI)

図 15.2～図 15.4 に SCI I/O ポートを示します。

SCI 端子の入出力およびデータコントロールは、SCPCR のビット 11～8、および SCPDR のビット 5、4 で実行します。詳細は「15.2.8 SC ポートコントロールレジスタ (SCPCR) /SC ポートデータレジスタ (SCPDR)」を参照してください。

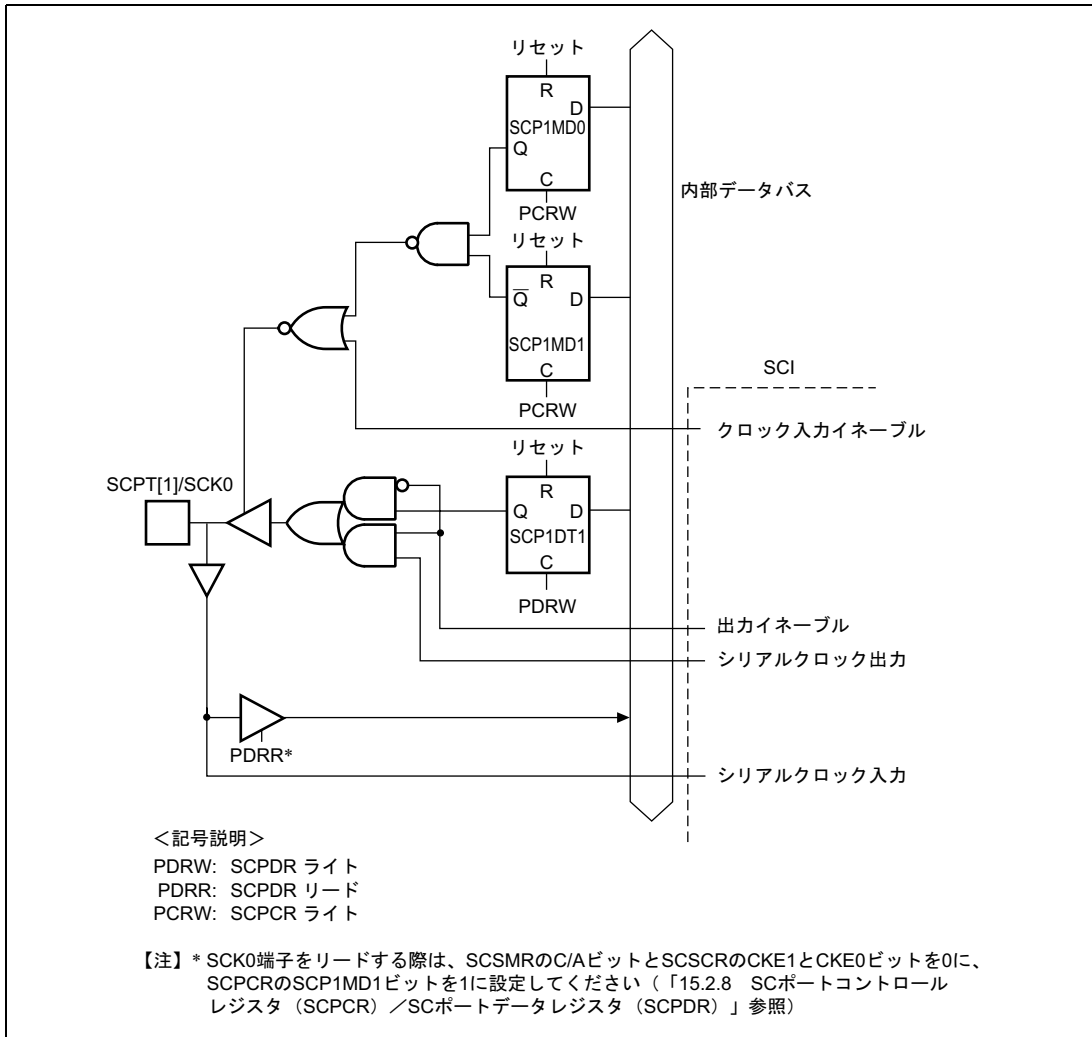


図 15.2 SCPT[1]/SCK0 端子

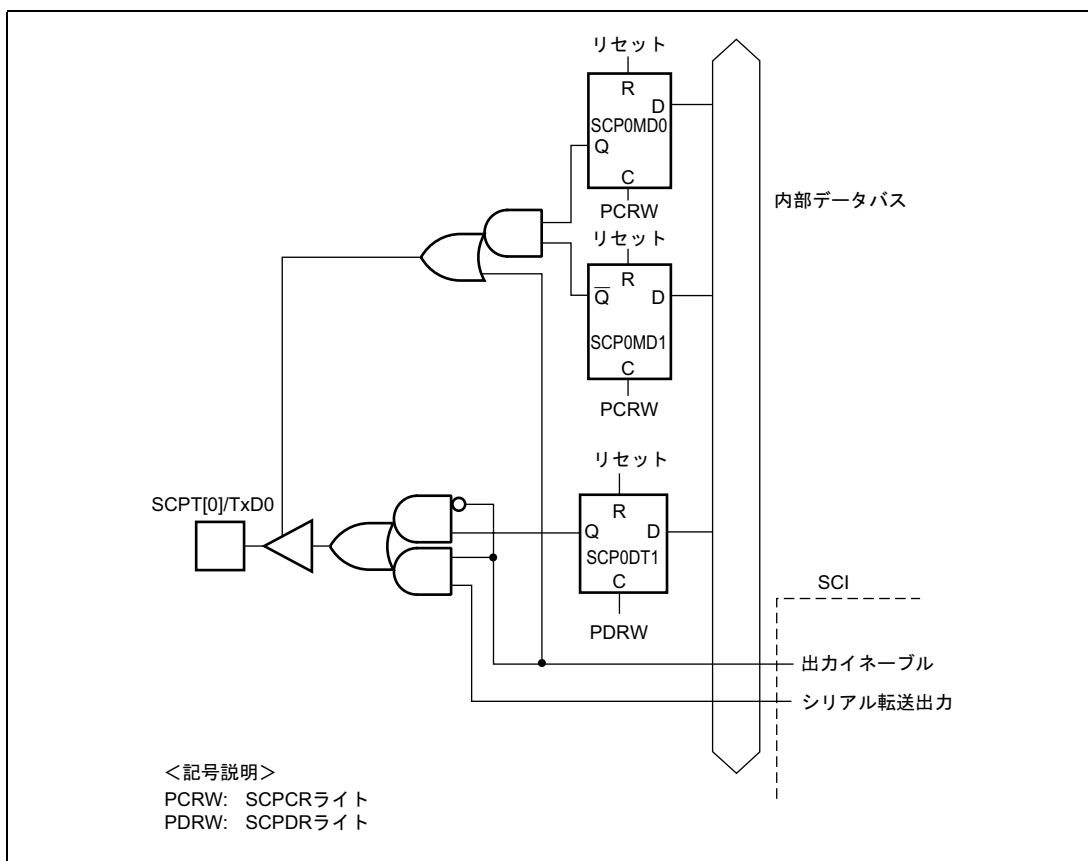


図 15.3 SCPT[0]/TxD0 端子

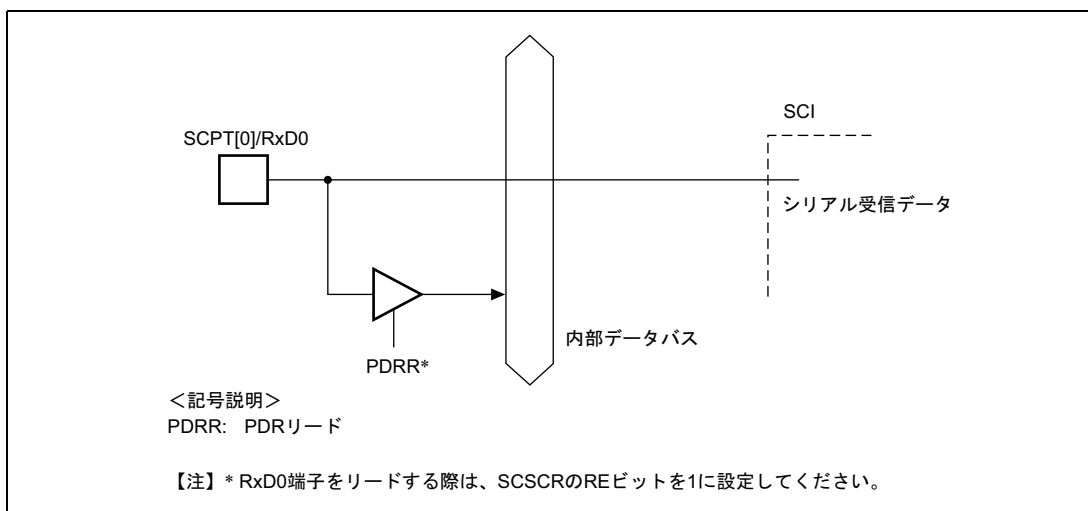


図 15.4 SCPT[0]/RxD0 端子

15. シリアルコミュニケーションインタフェース (SCI)

15.1.3 端子構成

SCIの端子構成を表 15.1 に示します。

表 15.1 端子構成

名 称	略 称	入出力	機 能
シリアルクロック端子	SCK0	入出力	クロック入出力
レシーブデータ端子	RxD0	入力	受信データ入力
トランスミットデータ端子	TxD0	出力	送信データ出力

【注】 SCIの動作設定をSCSCRのTE、RE、CKEI、CKE0ビット、およびSCSMRのC/Aビットで行うことにより、シリアル端子として機能します。ブレーク状態の送出、検出は、SCIのSCSPTRによって行うことができます。

15.1.4 レジスタ構成

SCIには、表 15.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

表 15.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR	R/W	H'00	H'FFFFFFE80	8
ビットレートレジスタ	SCBRR	R/W	H'FF	H'FFFFFFE82	8
シリアルコントロールレジスタ	SCSCR	R/W	H'00	H'FFFFFFE84	8
トランスミットデータレジスタ	SCTDR	R/W	H'FF	H'FFFFFFE86	8
シリアルステータスレジスタ	SCSSR	R/(W)*1	H'84	H'FFFFFFE88	8
レシーブデータレジスタ	SCRDR	R	H'00	H'FFFFFFE8A	8
SCポートデータレジスタ	SCPDR	R/W	H'00	H'04000136 (H'A4000136)*2	8
SCポートコントロールレジスタ	SCPCR	R/W	H'A888	H'04000116 (H'A4000116)*2	16

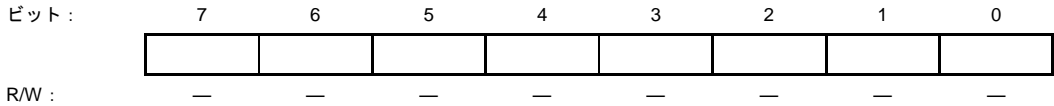
【注】 アドレスの先頭がH'04のレジスタは物理空間のエリア1に配置されています。したがって、キャッシュON時には、論理空間のP2エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないようにMMUを使用して適切な設定を行ってください。

*1 フラグをクリアするために0のみ書き込むことができます。

*2 MMUによるアドレス変換の対象としてよい場合は、()内のアドレスを使用してください。

15.2 レジスタの説明

15.2.1 レシーブシフトレジスタ (SCRSR)

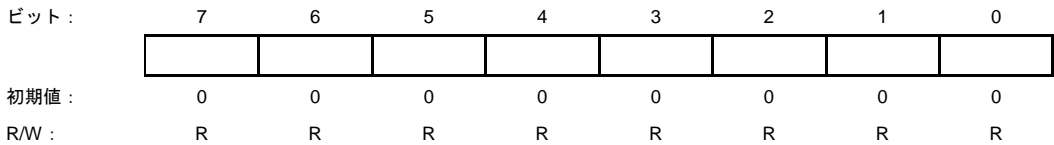


レシーブシフトレジスタ (SCRSR) は、シリアルデータを受信するためのレジスタです。

SCIは、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR へ転送されます。

CPU から直接 SCRSR の読み出し/書き込みをすることはできません。

15.2.2 レシーブデータレジスタ (SCRDR)



レシーブデータレジスタ (SCRDR) は、受信したシリアルデータを格納するレジスタです。

SCIは、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になります。

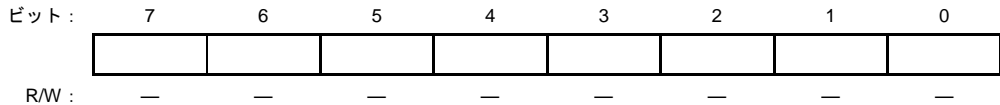
このように、SCRSR と SCRDR はダブルバッファになっているため連続した受信動作が可能です。

SCRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

SCRDR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'00 に初期化されます。

15. シリアルコミュニケーションインタフェース (SCI)

15.2.3 トランスミットシフトレジスタ (SCTSR)



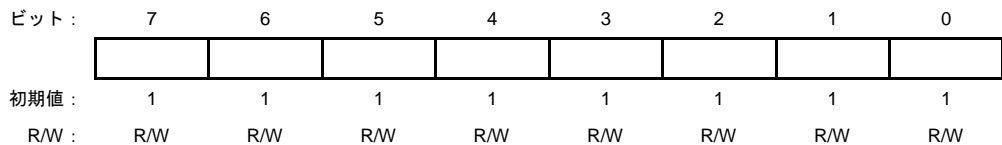
トランスミットシフトレジスタ (SCTSR) は、シリアルデータを送信するためのレジスタです。

SCIは、トランスミットデータレジスタ (SCTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR から SCTSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされている場合には、SCTDR から SCTSR へのデータ転送は行いません。

CPU から、直接 SCTSR の読み出し/書き込みをすることはできません。

15.2.4 トランスミットデータレジスタ (SCTDR)



トランスミットデータレジスタ (SCTDR) は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCIは、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCTSR のシリアルデータ送信中に SCTDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

SCTDR は、常に CPU による読み出し/書き込みが可能です。

SCTDR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'FF に初期化されます。

15.2.5 シリアルモードレジスタ (SCSMR)

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SCSMR) は、SCIのシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための8ビットのレジスタです。

SCSMRは、常にCPUによる読み出し/書き込みが可能です。

SCSMRは、リセット、モジュールスタンバイ機能、またはスタンバイモード時にH'00に初期化されます。

- ビット7: コミュニケーションモード (C/ \bar{A})

SCIの動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

ビット7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

- ビット6: キャラクタレンクス (CHR)

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードではCHRの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、トランスミットデータレジスタ (SCTDR) のMSB (ビット7) は送信されません。

15. シリアルコミュニケーションインタフェース (SCI)

● ビット5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】* PE ビットに1をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

● ビット4：パリティモード (O/E)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が奇数であるかどうかをチェックします。

- ビット3: ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説 明	
STOP		
0	1ストップビット*1	(初期値)
1	2ストップビット*2	

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

- ビット2: マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO \bar{E} ビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「15.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説 明	
MP		
0	マルチプロセッサ機能を禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

- ビット1、0: クロックセレクト1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定でP ϕ 、P ϕ /4、P ϕ /16、P ϕ /64の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「15.2.9 ビットレートレジスタ (SCBRR)」を参照してください。

ビット1	ビット0	説 明	
CKS1	CKS0		
0	0	P ϕ クロック	(初期値)
	1	P ϕ /4クロック	
1	0	P ϕ /16クロック	
	1	P ϕ /64クロック	

【注】 P ϕ : 周辺クロック

15. シリアルコミュニケーションインタフェース (SCI)

15.2.6 シリアルコントロールレジスタ (SCSCR)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCSCR) は、SCI の送信/受信動作、調歩同期モードでのシリアルクロック出力、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し/書き込みが可能です。

SCSCR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'00 に初期化されます。

- ビット7: トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送されシリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可/禁止します。

ビット7	説明	
TIE		
0	送信データエンプティ割り込み (TXI) 要求を禁止*	(初期値)
1	送信データエンプティ割り込み (TXI) 要求を許可	

【注】* TXI の解除は、TDRE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

- ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へ転送されて SCSSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可/禁止します。

ビット6	説明	
RIE		
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)	
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可	

【注】* RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または FER、PER、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

• ビット5: トランスミットイネーブル (TE)

SCIのシリアル送信動作の開始を許可/禁止します。

ビット5	説明	
TE		
0	送信動作を禁止 ^{*1}	(初期値)
1	送信動作を許可 ^{*2}	

【注】 *1 SCSSRのTDREフラグは1に固定されます。

*2 この状態で、SCTDRに送信データを書き込んで、SCSSRのTDREフラグを0にクリアするとシリアル送信を開始します。

なお、TEビットを1にセットする前に必ずシリアルモードレジスタ (SCSMR) の設定を行い送信フォーマットを決定してください。

• ビット4: レシーブイネーブル (RE)

SCIのシリアル受信動作の開始を許可/禁止します。

ビット4	説明	
RE		
0	受信動作を禁止 ^{*1}	(初期値)
1	受信動作を許可 ^{*2}	

【注】 *1 REビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、REビットを1にセットする前に必ずSCSMRの設定を行い、受信フォーマットを決定してください。

15. シリアルコミュニケーションインタフェース (SCI)

- ビット3: マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可/禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SCSMR の MP ビットが 1 に設定されている受信時のみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SCSSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】* SCSSR から SCRDR への受信データの転送、および受信エラーの検出と SCSSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SCSSR の MPB フラグを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCSSR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

- ビット2: トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが SCTDR がないとき、送信終了割り込み (TEI) 要求の発生を許可/禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】* TEI の解除は、SCSSR の TDRE フラグの 1 を読み出した後、0 にクリアして TEND フラグを 0 にクリアするか、TEI ビットを 0 にクリアすることで行うことができます。

15. シリアルコミュニケーションインタフェース (SCI)

- ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCIのクロックソースの選択、およびSCK端子からのクロック出力の許可/禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作 (CKE1=0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1=1) の場合はCKE0ビットの設定は無効です。また、SCSMRでSCIの動作モードを決定する前に、必ずCKE1、CKE0ビットの設定をしてください。

SCIのクロックソースの選択についての詳細は「15.3 動作説明」の表 15.10を参照してください。

ビット 1	ビット 0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック/SCK端子は入力端子 (入力信号は無視) *1
		クロック同期式モード	内部クロック/SCK端子は同期クロック出力*1
0	1	調歩同期式モード	内部クロック/SCK端子はクロック出力*2
		クロック同期式モード	内部クロック/SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック/SCK端子はクロック入力*3
		クロック同期式モード	外部クロック/SCK端子は同期クロック入力
1	1	調歩同期式モード	外部クロック/SCK端子はクロック入力*3
		クロック同期式モード	外部クロック/SCK端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの16倍の周波数のクロックを入力

15.2.7 シリアルステータスレジスタ (SCSSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 *フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SCSSR) は、SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SCSSRは常にCPUから読み出し/書き込みができます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ1を書き込むことはできません。また、これらを0にクリアするためには、あらかじめ1を読み出ししておく必要があります。また、TENDフラグ、およびMPBフラグは読み出し専用であり、書き込むことはできません。

SCSSRは、リセット、モジュールスタンバイ機能、またはスタンバイモード時にH'84に初期化されます。

15. シリアルコミュニケーションインタフェース (SCI)

• ビット7: トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ SCTDR に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット7	説明
TDRE	
0	SCTDR に有効な送信データが書き込まれていることを表示 [クリア条件] TDRE=1 の状態を読み出した後、0 を書き込んだとき
1	SCTDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCSCR の TE ビットが 0 のとき (3) SCTDR から SCTSR にデータ転送が行われ SCTDR にデータの書き込みが可能になったとき

• ビット6: レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (SCRDR) に格納されていることを示します。

ビット6	説明
RDRF	
0	SCRDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) RDRF=1 の状態を読み出した後、0 を書き込んだとき
1	SCRDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、SCRSR から SCRDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには SCRDR および RDRF フラグは影響を受けず以前の状態を保持します。
RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。

- ビット5：オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示 ^{*1} (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) ORER=1の状態を読み出した後、0を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示 ^{*2} [セット条件] RDRF=1の状態での次のシリアル受信を完了したとき

【注】 *1 SCSCR の RE ビットを0にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*2 SCRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

- ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示 ^{*1} (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) FER=1の状態を読み出した後、0を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示 [セット条件] SCIが受信終了時に受信データの最後のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき ^{*2}

【注】 *1 SCSCR の RE ビットを0にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCRDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

15. シリアルコミュニケーションインタフェース (SCI)

• ビット3: パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示 ^{*1} (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) PER=1の状態を読み出した後、0を書き込んだとき
1	受信時にパリティエラーが発生したことを表示 ^{*2} [セット条件] 受信時の受信データとパリティビットをあわせた1の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】 *1 SCSCR の RE ビットを0にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは SCRDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

• ビット2: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に SCTDR に有効なデータがなく、送信を終了したことを示します。

TEND フラグは読み出し専用ですので、書き込むことはできません。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] TDRE=1の状態を読み出した後、TDRE フラグに0を書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCSCR の TE ビットが0のとき (3) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1であったとき

• ビット1: マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB フラグは、読み出し専用ですので、書き込むことはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが0のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが1のデータを受信したことを表示

【注】* マルチプロセッサフォーマットでRE ビットを0にクリアしたときには、以前の状態を保持します。

• ビット0: マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときにはMPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

15.2.8 SC ポートコントロールレジスタ (SCPCR) / SC ポートデータレジスタ (SCPDR)

SC ポートコントロールレジスタ (SCPCR) と SC ポートデータレジスタ (SCPDR) は、SCI 端子と兼用されているポートの入出力方向とデータを制御します。

SCPCR の設定は入出力の制御に用いられ、SCPDR に書き込まれたデータを TxD 端子から出力すること、RxD 端子から読み出されたデータを入力すること、およびシリアル送信/受信ブレイクすることが可能となります。

また、SCK 端子からのデータ読み出し、SCK 端子への出力データ書き込みが可能です。

SCPCR

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCP7	SCP7	SCP6	SCP6	SCP5	SCP5	SCP4	SCP4	SCP3	SCP3	SCP2	SCP2	SCP1	SCP1	SCP0	SCP0
	MD1	MD0	MD1	MD0	MD1	MD0	MD1	MD0	MD1	MD0	MD1	MD0	MD1	MD0	MD1	MD0
初期値:	1	0	1	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15. シリアルコミュニケーションインタフェース (SCI)

SCPDR

ビット:	7	6	5	4	3	2	1	0
	SCP7DT	SCP6DT	SCP5DT	SCP4DT	SCP3DT	SCP2DT	SCP1DT	SCP0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCI 端子の入出力とデータ制御は SCPCR ビット 3~0、SCPDR のビット 1、0 で行います。

- SCPCR ビット 3、2：シリアルクロックポート入出力 (SCP1MD1、SCP1MD0)

本ビットはシリアルポート SCK 端子の入出力を指定します。SCK 端子を実際にポート入出力端子として使用する場合は、SCSMR の $\overline{C/A}$ ビット、SCSCR の CKE1、CKE0 ビットを 0 にクリアしてください。

ビット 3	ビット 2	説明
SCP1MD1	SCP1MD0	
0	0	SCP1DT ビットの値は SCK 端子から出力されません。
	1	SCP1DT ビットの値が SCK 端子から出力されます。
1	0	SCK 端子の値が SCP1DT ビットから読み出されます。 (初期値：1、0)
	1	

- SCPDR ビット 1：シリアルポートクロックポートデータ (SCP1DT)

シリアルポート SCK 端子の入出力データを指定します。入力/出力は SCP1MD1、SCP1MD0 ビットにより指定します。出力モードでは、SCP1DT ビットの値が SCK 端子より出力されます。

ビット 1	説明
SCP1DT	
0	入力/出力データはロー (0) (初期値)
1	入力/出力データはハイ (1)

- SCPCR ビット 1、0：ポートブレイク入出力 (SCP0MD1、SCP0MD0)

本ビットはシリアルポート TxD 端子の出力状態を指定します。TxD 端子を実際にポート出力端子として使用し SCP0DT ビットの値を出力する場合は、SCSCR の TE ビットを 0 にクリアしてください。

ビット 1	ビット 0	説明
SCP1MD1	SCP1MD0	
0	0	SCP0DT ビットの値は TxD 端子から出力されません。 (初期値)
0	1	SCP0DT ビットの値が TxD 端子から出力されます。

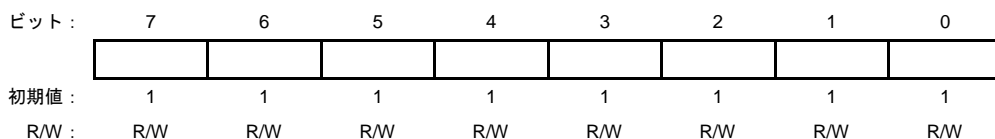
• SCPDR ビット 0 : シリアルポートブレイクデータ (SCP0DT)

シリアルポート RxD 端子の入力データ、および TxD 端子の出力データを指定します。TxD 端子の出力状態は SCP0MD1、SCP0MD0 ビットにより指定します。TxD 端子を出力モードに設定した場合、SCP0DT ビットの値が TxD 端子より出力されます。RxD 端子の値は、SCSCR の RE ビットが 1 にセットされていれば SCP0MD1、SCP0MD0 ビットの値と無関係に、SCP0DT ビットから読み出せます。パワーオンリセット後の本ビットの値は不定です。

ビット 0	説明
SCP0DT	
0	入力/出力データはロー (0) (初期値)
1	入力/出力データはハイ (1)

CI/I/O ポートのブロック図は、図 15.2、図 15.3、および図 15.4 に示しています。

15.2.9 ビットレートレジスタ (SCBRR)



ビットレートレジスタ (SCBRR) は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し/書き込みが可能です。

SCBRR は、リセット、モジュールスタンバイ機能またはスタンバイモード時に H'FF に初期化されます。ボーレートジェネレータは、各チャンネル独立しているため、異なる値を 2 チャンネルに設定可能です。

SCBRR の設定値は以下の計算式で求められます。

[調歩同期式モード]

$$N = \frac{P\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

[クロック同期式モード]

$$N = \frac{P\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)

Pφ : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、表 15.3 を参照してください)

15. シリアルコミュニケーションインタフェース (SCI)

表 15.3 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pφ	0	0
1	Pφ/4	0	1
2	Pφ/16	1	0
3	Pφ/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 15.4 に調歩同期式モードの SCBRR の設定例を、表 15.5 にクロック同期式モードの SCBRR の設定例を示します。

表 15.4 ビットレートに対する SCBRR の設定例 [調歩同期式モード]

Pφ (MHz) ビット レート (bit/s)	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00	—	—	—

15. シリアルコミュニケーションインタフェース (SCI)

Pφ (MHz) ビット レート (bit/s)	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250	—	—	—	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

Pφ (MHz) ビット レート (bit/s)	6			6.144			7.37288			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

15. シリアルコミュニケーションインタフェース (SCI)

Pφ (MHz) ビット レート (bit/s)	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	0.16	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

Pφ (MHz) ビット レート (bit/s)	14.7456			16			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	64	6	3	70	0.03	3	86	0.31	3	88	-0.25
150	2	191	0.00	2	207	0.16	2	255	0.00	3	64	0.16
300	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
600	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
1200	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
2400	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
4800	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
9600	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
19200	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
31250	0	14	-1.70	0	15	0.00	0	19	-1.70	0	19	0.00
38400	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73

15. シリアルコミュニケーションインタフェース (SCI)

Pφ (MHz) ビット レート (bit/s)	24			24.576			28.7			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	106	-0.44	3	108	0.08	3	126	0.31	3	132	0.13
150	3	77	0.16	3	79	0.00	3	92	0.46	3	97	-0.35
300	2	155	0.16	2	159	0.00	2	186	-0.08	2	194	0.16
600	2	77	0.16	2	79	0.00	2	92	0.46	2	97	-0.35
1200	1	155	0.16	1	159	0.00	1	186	-0.08	1	194	0.16
2400	1	77	0.16	1	79	0.00	1	92	0.46	1	97	-0.35
4800	0	155	0.16	0	159	0.00	0	186	-0.08	0	194	-1.36
9600	0	77	0.16	0	79	0.00	0	92	0.46	0	97	-0.35
19200	0	38	0.16	0	39	0.00	0	46	-0.61	0	48	-0.35
31250	0	23	0.00	0	24	-1.70	0	28	-1.03	0	29	0.00
38400	0	19	-2.34	0	19	0.00	0	22	1.55	0	23	1.73

表 15.5 ビットレートに対する SCBRR の設定例 [クロック同期式モード]

Pφ (MHz) ビット レート (bit/s)	4		8		16		28.7		30	
	n	N	n	N	n	N	n	N	n	N
110	—	—	—	—	—	—	—	—	—	—
250	2	249	3	124	3	249	—	—	—	—
500	2	124	2	249	3	124	3	223	3	233
1k	1	249	2	124	2	249	3	111	3	116
2.5k	1	99	1	199	2	99	2	178	2	187
5k	0	199	1	99	1	199	2	89	2	93
10k	0	99	0	199	1	99	1	178	1	187
25k	0	39	0	79	0	159	1	71	1	74
50k	0	19	0	39	0	79	0	143	0	149
100k	0	9	0	19	0	39	0	71	0	74
250k	0	3	0	7	0	15	—	—	0	29
500k	0	1	0	3	0	7	—	—	0	14
1M	0	0*	0	1	0	3	—	—	—	—
2M			0	0*	0	1	—	—	—	—

【注】 誤差は、なるべく 1%以内になるように設定してください。

《記号説明》

空欄：設定できません。

—：設定可能ですが誤差がです。

*：連続送信／受信はできません。

15. シリアルコミュニケーションインタフェース (SCI)

表 15.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 15.7 と表 15.8 に外部クロック入力時の最大ビットレートを示します。

表 15.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート
(調歩同期式モード)

Pφ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.6608	614400	0	0
20	625000	0	0
24	750000	0	0
24.576	768000	0	0
28.7	896875	0	0
30	937500	0	0

表 15.7 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
8	2.0000	125000
9.8304	2.4576	153600
12	3.0000	187500
14.7456	3.6864	230400

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
16	4.0000	250000
19.6608	4.9152	307200
20	5.0000	312500
24	6.0000	375000
24.576	6.1440	384000
28.7	7.1750	448436
30	7.5000	468750

表 15.8 外部クロック入力時の最大ビットレート (クロック同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3
16	2.6667	2666666.7
24	4.0000	4000000.0
28.7	4.7833	4783333.3
30	5.0000	5000000.0

15.3 動作説明

15.3.1 概要

SCIは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 15.9 に示します。また、SCIのクロックソースは、SCSMRのC/Aビットおよびシリアルコントロールレジスタ (SCSCR)のCKE1、CKE0ビットの組み合わせで決まります。これを表 15.10 に示します。

- 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および1ビット/2ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレイクの検出が可能
- SCIのクロックソース：内部クロック/外部クロックから選択可能

内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能

外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要
(内蔵ポーレートジェネレータを使用しない)

15. シリアルコミュニケーションインタフェース (SCI)

• クロック同期式モード

- 送信／受信フォーマット：8ビットデータ固定

- 受信時にオーバーランエラーの検出可能

- SCIのクロックソース：内部クロック／外部クロックから選択可能

内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 15.9 SCSMR の設定値とシリアル送信／受信フォーマット

SCSMR の設定値					モード	SCI の送信／受信フォーマット						
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセ ッサビット	パリティ ビット	ストップ ビット長			
C/ \bar{A}	CHR	MP	PE	STOP								
0	0	0	0	0	0	調歩同期式 モード	8ビットデータ	なし	なし	1ビット		
				1	0					2ビット		
			1	0	0					0	1ビット	
					1					0	2ビット	
			1	1	0					0	なし	1ビット
					1					0	あり	1ビット
	1	1	0	0	なし		2ビット					
			1	0	あり		2ビット					
	1	*	*	*	0		0	調歩同期式 モード	8ビットデータ	あり	なし	1ビット
					1		1	(マルチプロセ ッサフォーマット)	7ビットデータ			2ビット
				1	0		0	0	なし			1ビット
							1	1	あり			2ビット

【注】 表中の * は Don't care であることを示します。

表 15.10 SCSMR、SCSCR の設定と SCI のクロックソースの選択

SCSMR	SCSCR の設定		モード	SCI の送信／受信クロック	
	ビット7	ビット1		ビット0	クロック ソース
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません
					ビットレートと同じ周波数のクロックを出力
	1	0	1	外部	ビットレートの 16 倍の周波数のクロックを入力
					1
1	0	0	クロック 同期式 モード	内部	同期クロックを出力
					1
	1	0	1	外部	同期クロックを入力
					1

15.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.5 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIは通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ／ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIは受信時にスタートビットの立ち下がりエッジで同期化を行います。またSCIは、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

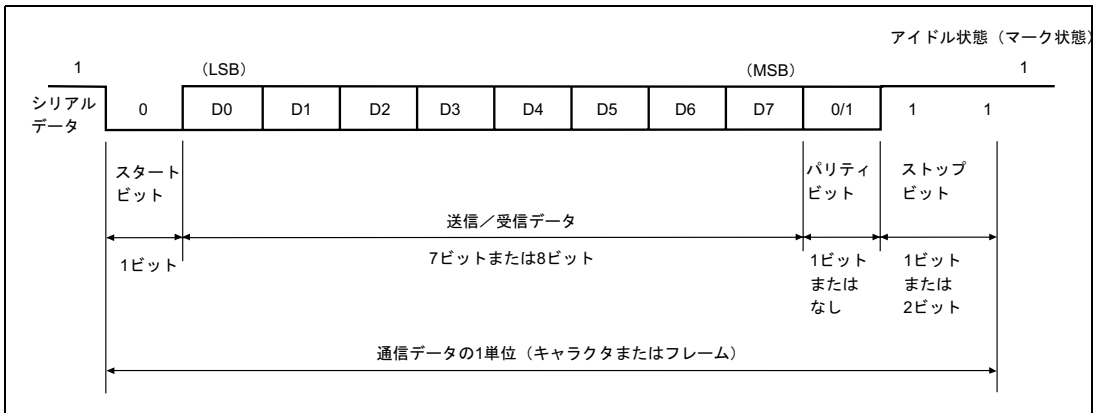


図 15.5 調歩同期式通信のデータフォーマット
(8ビットデータ／パリティあり／2ストップビットの例)

(1) 送信／受信フォーマット

調歩同期式モードで設定できる送信／受信フォーマットを、表 15.11 に示します。

送信／受信フォーマットは12種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

15. シリアルコミュニケーションインタフェース (SCI)

表 15.11 シリアル送信/受信フォーマット (調歩同期式モード)

SCSMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	*	1	0	S	8ビットデータ								MPB	STOP		
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	*	1	0	S	7ビットデータ							MPB	STOP			
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP		

《記号説明》

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

【注】 表中の * は Don't care であることを示します。

(2) クロック

SCIの送受信クロックは、SCSMRの C/\bar{A} ビットとシリアルコントロールレジスタ (SCSCR)のCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表 15.10を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 15.6に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

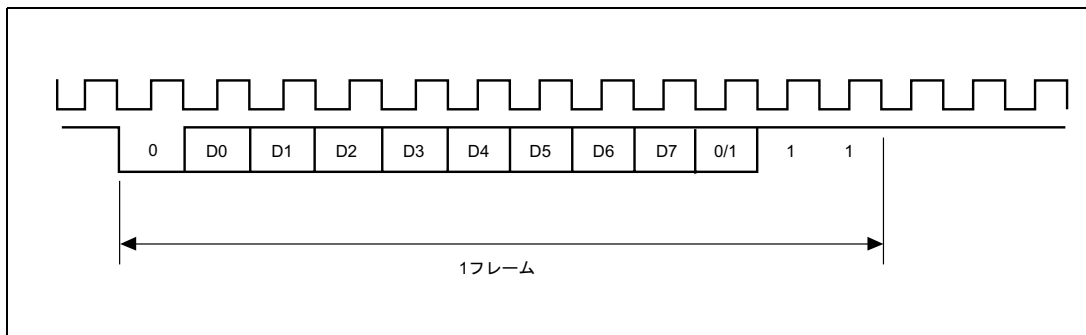


図 15.6 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信／受信動作

- SCIの初期化 (調歩同期式)

データの送信／受信前には、まずSCSCRのTEビット、およびREビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは、1にセットされ、トランスミットシフトレジスタ (SCTSR)が初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびレシーブデータレジスタ (SCRDR)の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

15. シリアルコミュニケーションインタフェース (SCI)

図 15.7 に SCI の初期化フローチャートの例を示します。

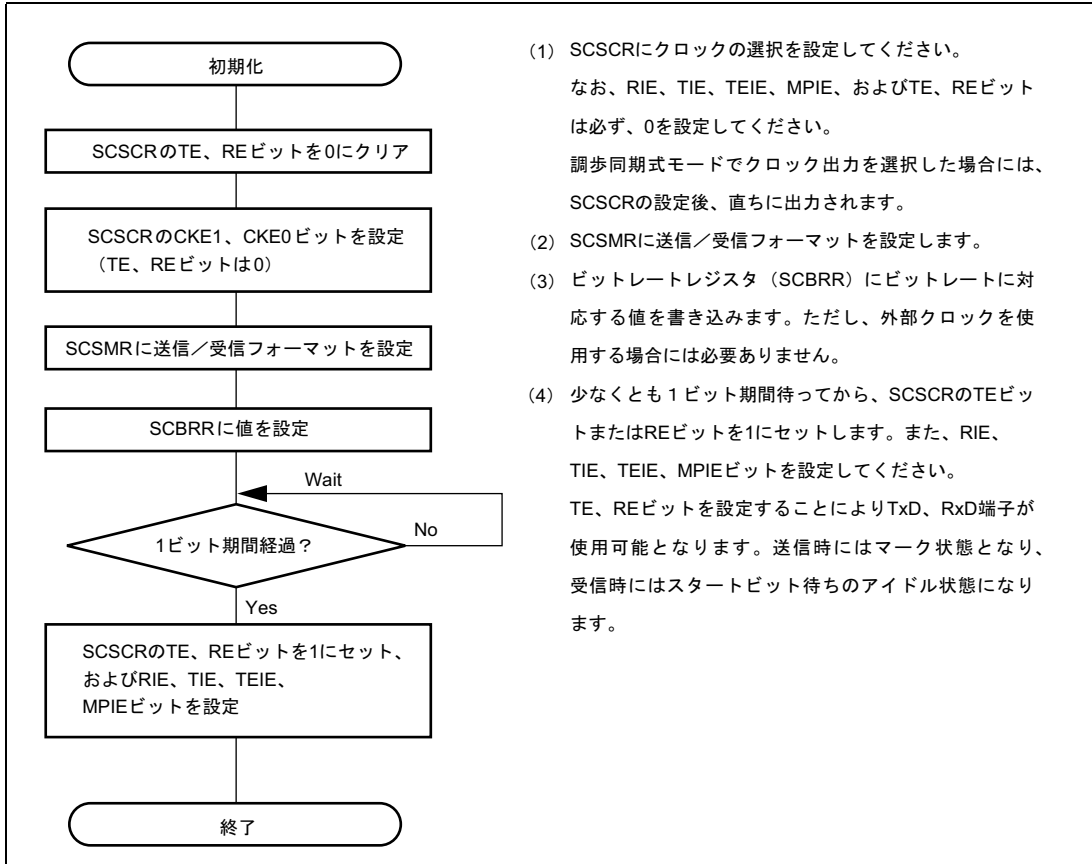


図 15.7 SCI の初期化フローチャートの例

- シリアルデータ送信 (調歩同期式)

図 15.8 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順に従って行ってください。

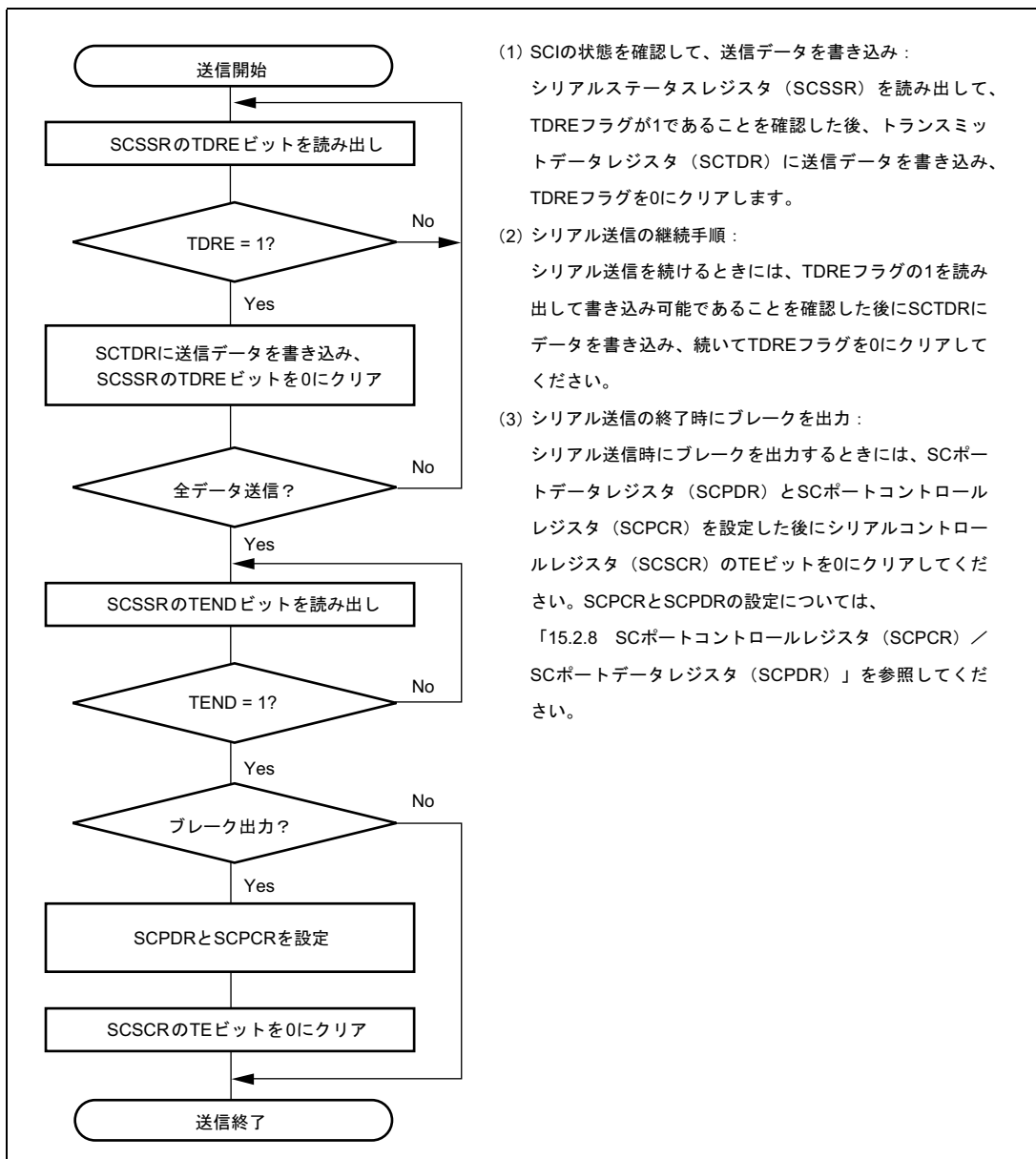


図 15.8 シリアル送信のフローチャートの例

15. シリアルコミュニケーションインタフェース (SCI)

SCIはシリアル送信時に以下のように動作します。

- (1) SCIは、シリアルステータスレジスタ (SCSSR) の TDRE フラグを監視し、0 であるとトランスミットデータレジスタ (SCTDR) にデータが書き込まれたと認識し、SCTDR からトランスミットシフトレジスタ (SCTSR) にデータを転送します。
- (2) SCTDR から SCTSR へデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。
このとき、シリアルコントロールレジスタ (SCSCR) の TIE ビットが 1 にセットされていると送信データエンブティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット : 1 ビットの 0 が出力されます。
- (b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。
- (c) パリティビットまたはマルチプロセッサビット : 1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
- (d) ストップビット : 1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
- (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

- (3) SCIは、ストップビットを送出するタイミングで TDRE フラグをチェックします。

TDRE フラグが 0 であると SCTDR から SCTSR にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

TDREフラグが1であるとシリアルステータスレジスタ (SCSSR) のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCRのTEIEビットが1にセットされているとTEI要求が発生します。

調歩同期式モードでの送信時の動作例を図 15.9 に示します。

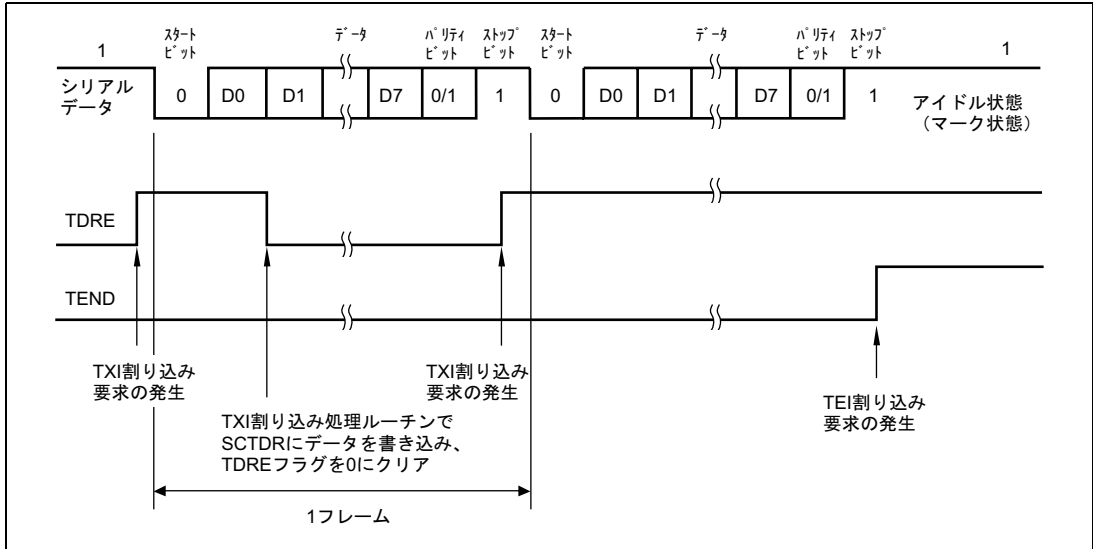


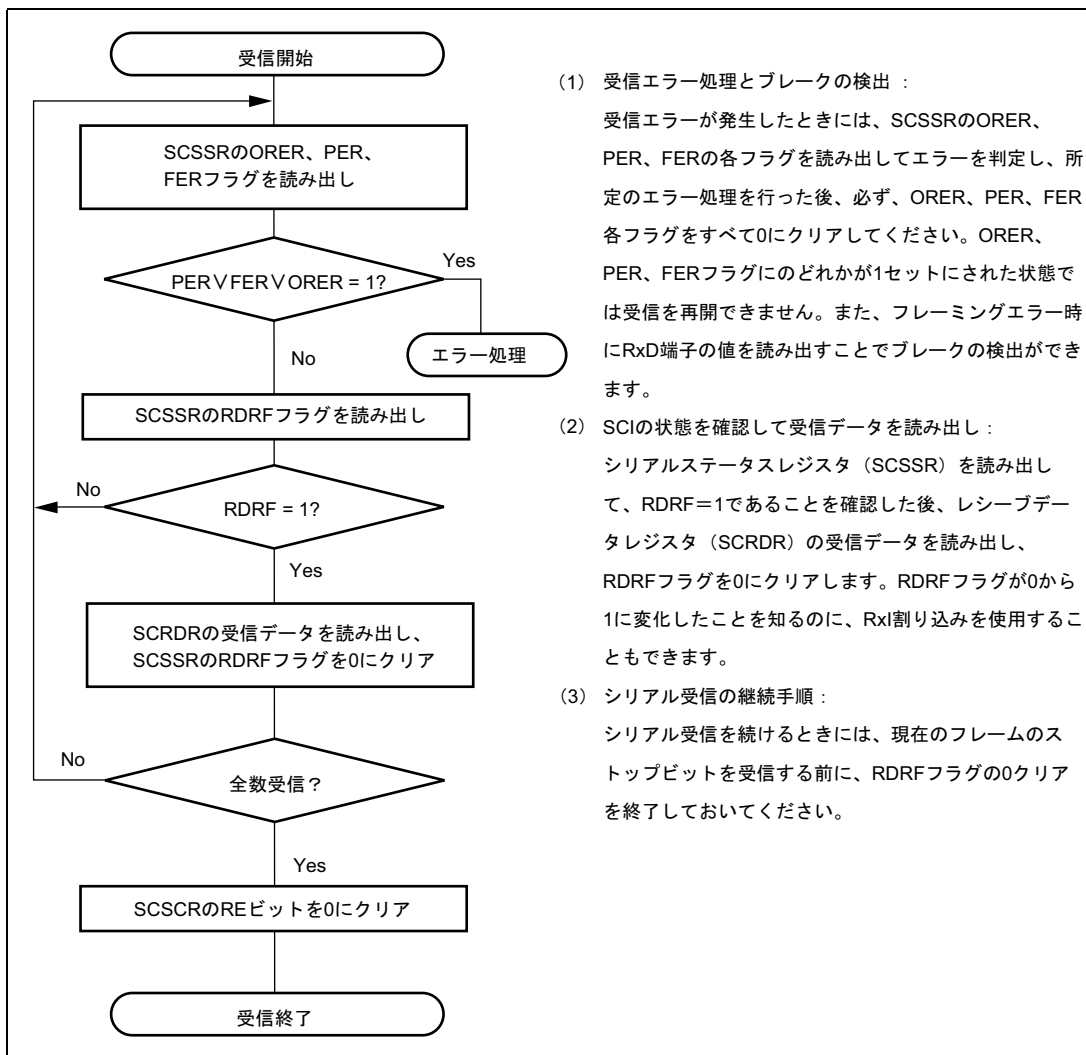
図 15.9 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

15. シリアルコミュニケーションインタフェース (SCI)

- シリアルデータ受信 (調歩同期式)

図 15.10 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従って行ってください。



- (1) 受信エラー処理とブレークの検出 :

受信エラーが発生したときには、SCSSRのORER、PER、FERの各フラグを読み出してエラーを判定し、所定のエラー処理を行った後、必ず、ORER、PER、FER各フラグをすべて0にクリアしてください。ORER、PER、FERフラグにのどれかが1セットにされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子の値を読み出すことでブレークの検出ができません。

- (2) SCIの状態を確認して受信データを読み出し :

シリアルステータスレジスタ (SCSSR) を読み出し、RDRF=1であることを確認した後、レシーバデータレジスタ (SCRDR) の受信データを読み出し、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことを知るのに、RxI割り込みを使用することもできます。

- (3) シリアル受信の継続手順 :

シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFフラグの0クリアを終了しておいてください。

図 15.10 シリアル受信のフローチャートの例 (1)

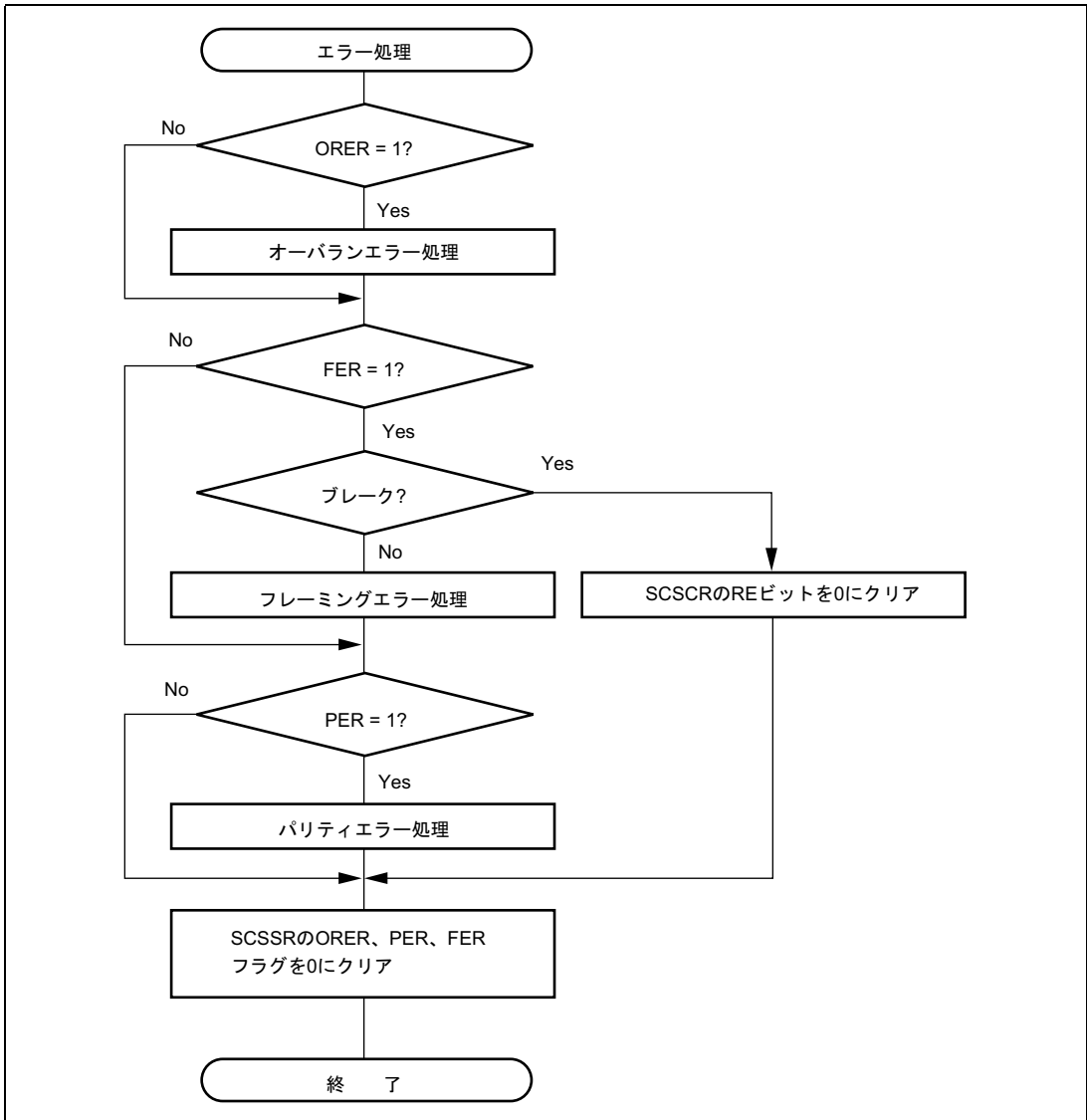


図 15.10 シリアル受信のフローチャートの例 (2)

15. シリアルコミュニケーションインタフェース (SCI)

SCIは受信時に以下のように動作します。

- (1) SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータを SCRSR の LSB から MSB の順に格納します。
- (3) パリティビット、およびストップビットを受信します。

受信後、SCIは以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがシリアルモードレジスタ (SCSMR) の $O\bar{E}$ ビットで設定した偶数/奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFフラグが0であり、受信データをレシーブシフトレジスタ (SCRSR) から SCRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRFフラグが1にセットされ、SCRDRに受信データが格納されます。エラーチェックで受信エラーを発生すると表 15.12 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時に RDRF フラグが1にセットされませんので、必ずエラーフラグを0にクリアしてください。

- (4) RDRFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORER、PER、FERフラグのどれかが1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 15.12 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SCSCRのRDRFフラグが1にセットされたまま次のデータ受信を完了したとき	SCRSRからSCRDRに受信データは転送されません。
フレーミングエラー	FER	ストップビットが0のとき	SCRSRからSCRDRに受信データが転送されます。
パリティエラー	PER	SCSMRで設定した偶数/奇数パリティの設定と受信したデータが異なるとき	SCRSRからSCRDRに受信データが転送されます。

調歩同期式モード受信時の動作例を図 15.11 に示します。

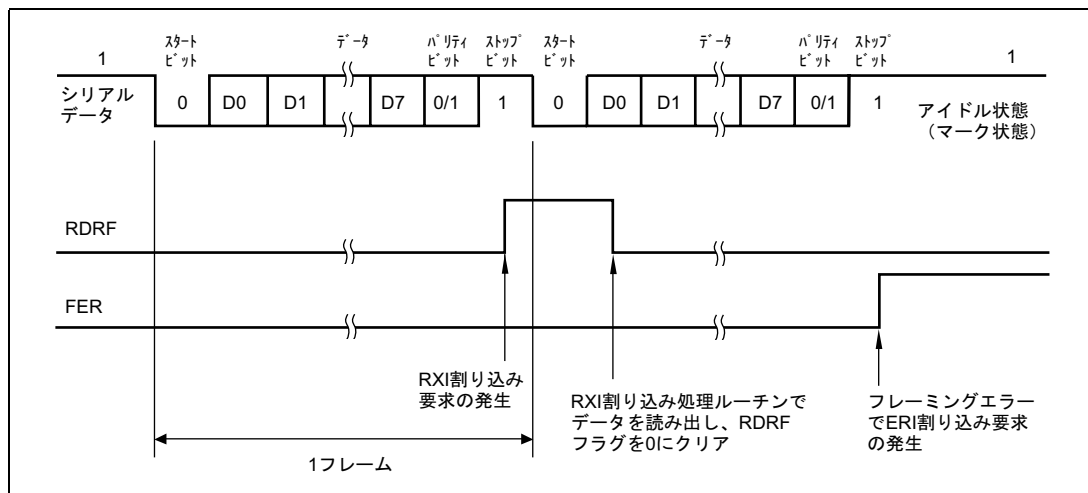


図 15.11 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

15.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 15.12 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

15. シリアルコミュニケーションインタフェース (SCI)

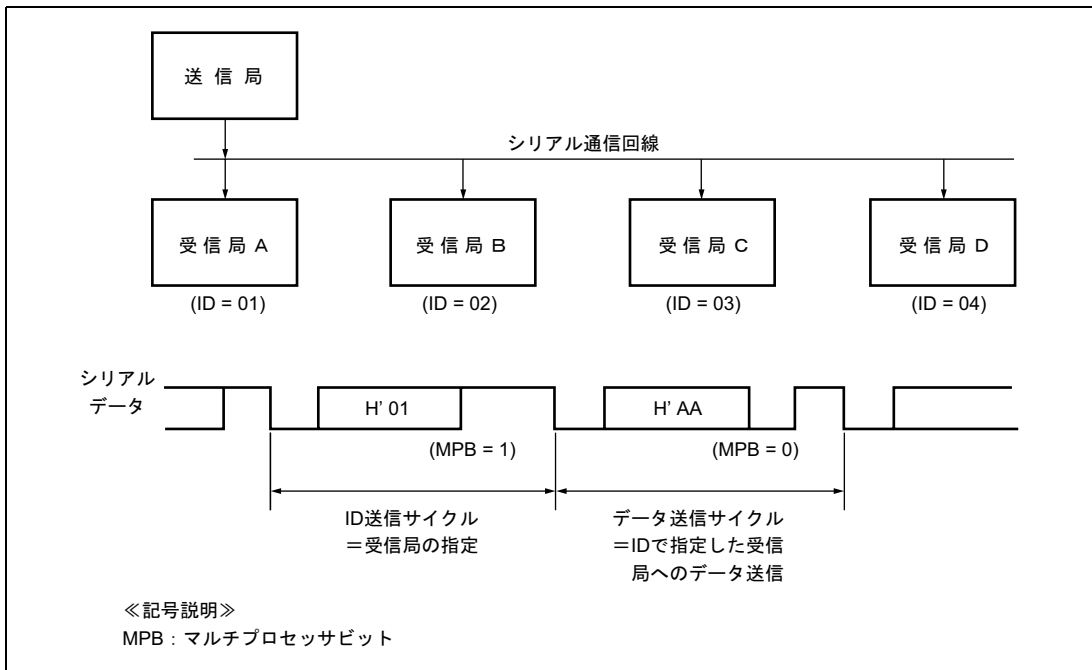


図 15.12 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(1) 送信／受信フォーマット

送信／受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 15.11 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

(3) データの送信／受信動作

- マルチプロセッサシリアルデータ送信

図 15.13 にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順に従って行ってください。

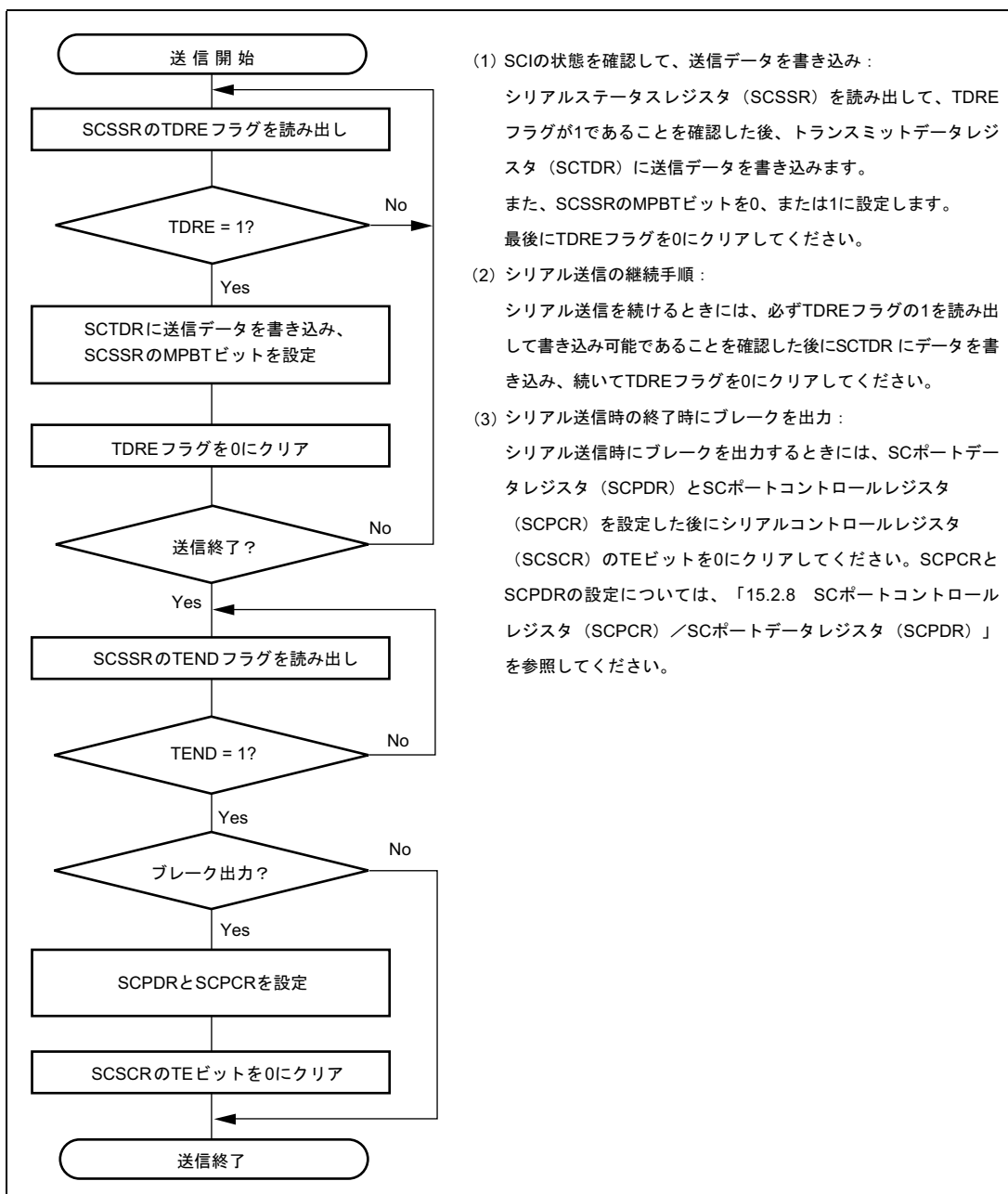


図 15.13 マルチプロセッサシリアル送信のフローチャートの例

15. シリアルコミュニケーションインタフェース (SCI)

SCIは、シリアル送信時に以下のように動作します。

- (1) SCIは、SCSSRのTDREフラグを監視し、0であるとSCTDRにデータが書き込まれたと認識し、SCTDRからトランスミットシフトレジスタ(SCTSR)にデータを転送します。
- (2) SCTDRからSCTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCSCRの送信データエンプティ割り込みイネーブルビット(TIE)が1にセットされていると送信データエンプティ割り込み(TXI)要求を発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット(MPBTの値)が出力されます。
 - (d) ストップビット：1ビット、または2ビットの1(ストップビット)が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
- TDREフラグが1であるとSCSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCRの送信終了割り込みイネーブルビット(TEIE)が1にセットされていると送信終了割り込み(TEI)要求を発生します。

図 15.14 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

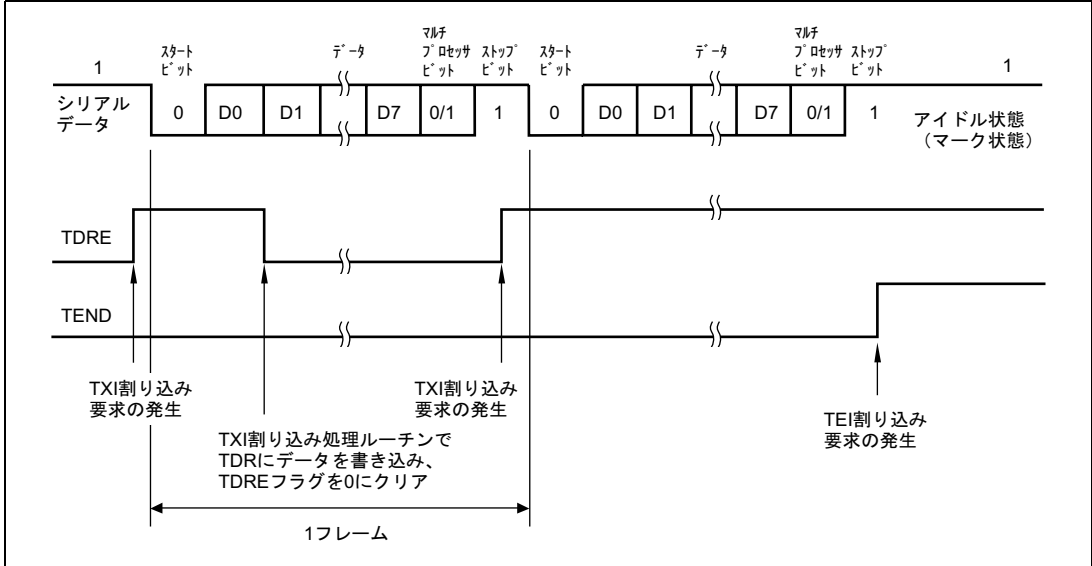


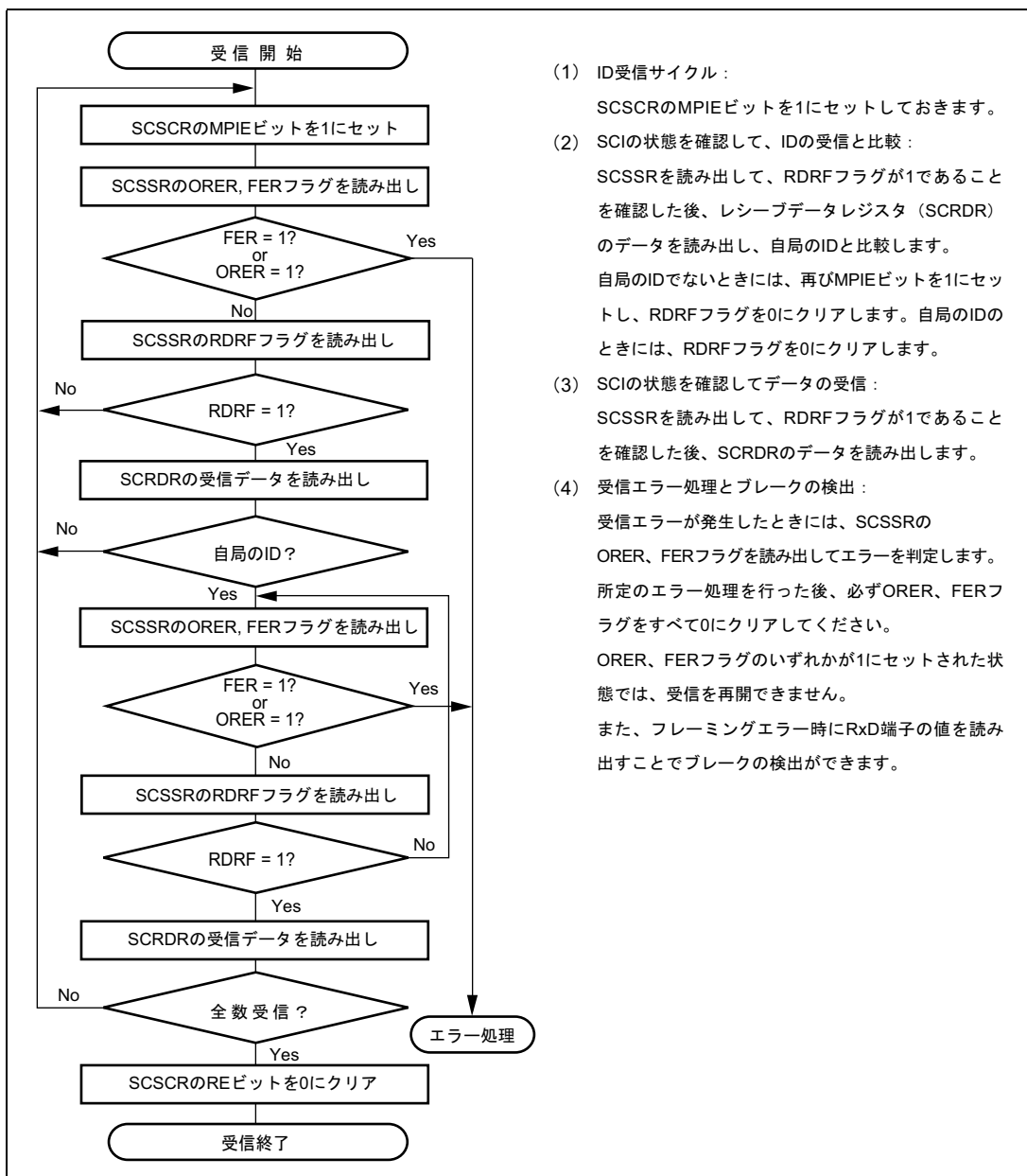
図 15.14 SCI の送信時の動作例
(8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

15. シリアルコミュニケーションインタフェース (SCI)

- マルチプロセッサシリアルデータ受信

図 15.15 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従って行ってください。



- (1) ID受信サイクル :
SCSCRのMPIEビットを1にセットしておきます。
- (2) SCIの状態を確認して、IDの受信と比較 :
SCSSRを読み出して、RDRFフラグが1であることを確認した後、レシーブデータレジスタ (SCRDR) のデータを読み出し、自局のIDと比較します。自局のIDでないときには、再びMPIEビットを1にセットし、RDRFフラグを0にクリアします。自局のIDのときには、RDRFフラグを0にクリアします。
- (3) SCIの状態を確認してデータの受信 :
SCSSRを読み出して、RDRFフラグが1であることを確認した後、SCRDRのデータを読み出します。
- (4) 受信エラー処理とブレークの検出 :
受信エラーが発生したときには、SCSSRのORER、FERフラグを読み出してエラーを判定します。所定のエラー処理を行った後、必ずORER、FERフラグをすべて0にクリアしてください。ORER、FERフラグのいずれかが1にセットされた状態では、受信を再開できません。また、フレーミングエラー時にRx端子の値を読み出すことでブレークの検出ができます。

図 15.15 マルチプロセッサシリアル受信のフローチャートの例 (1)

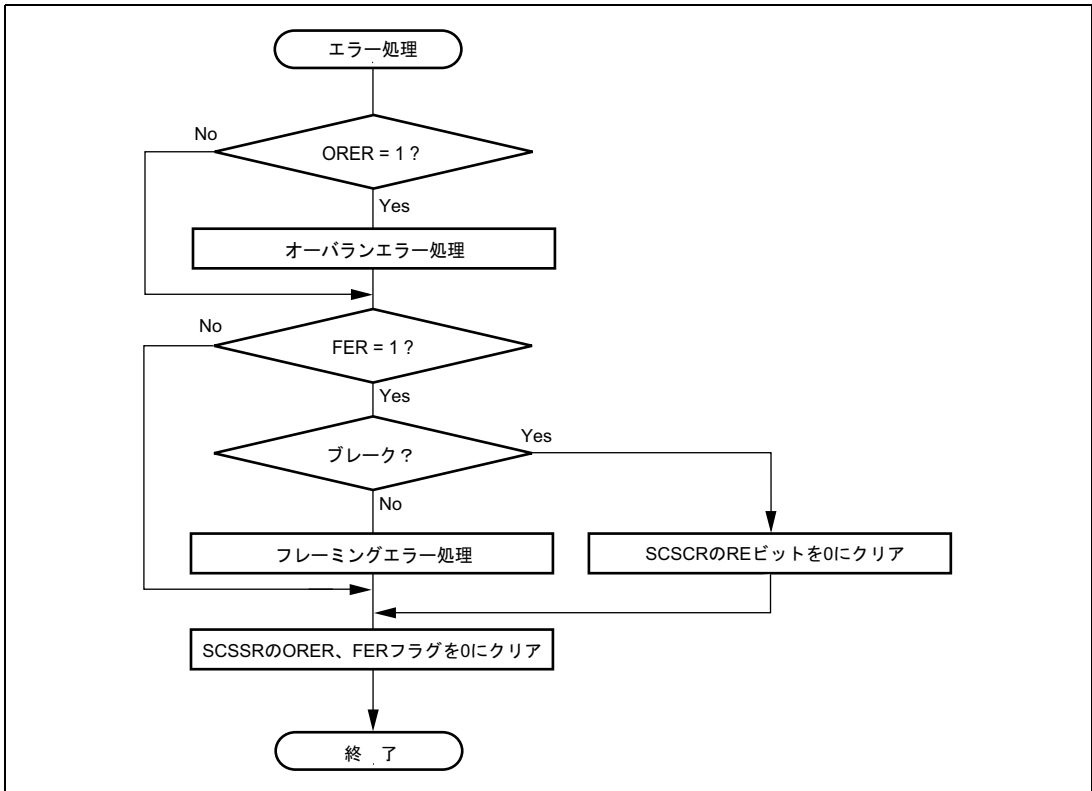


図 15.15 マルチプロセッサシリアル受信のフローチャートの例 (2)

15. シリアルコミュニケーションインタフェース (SCI)

図 15.16 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

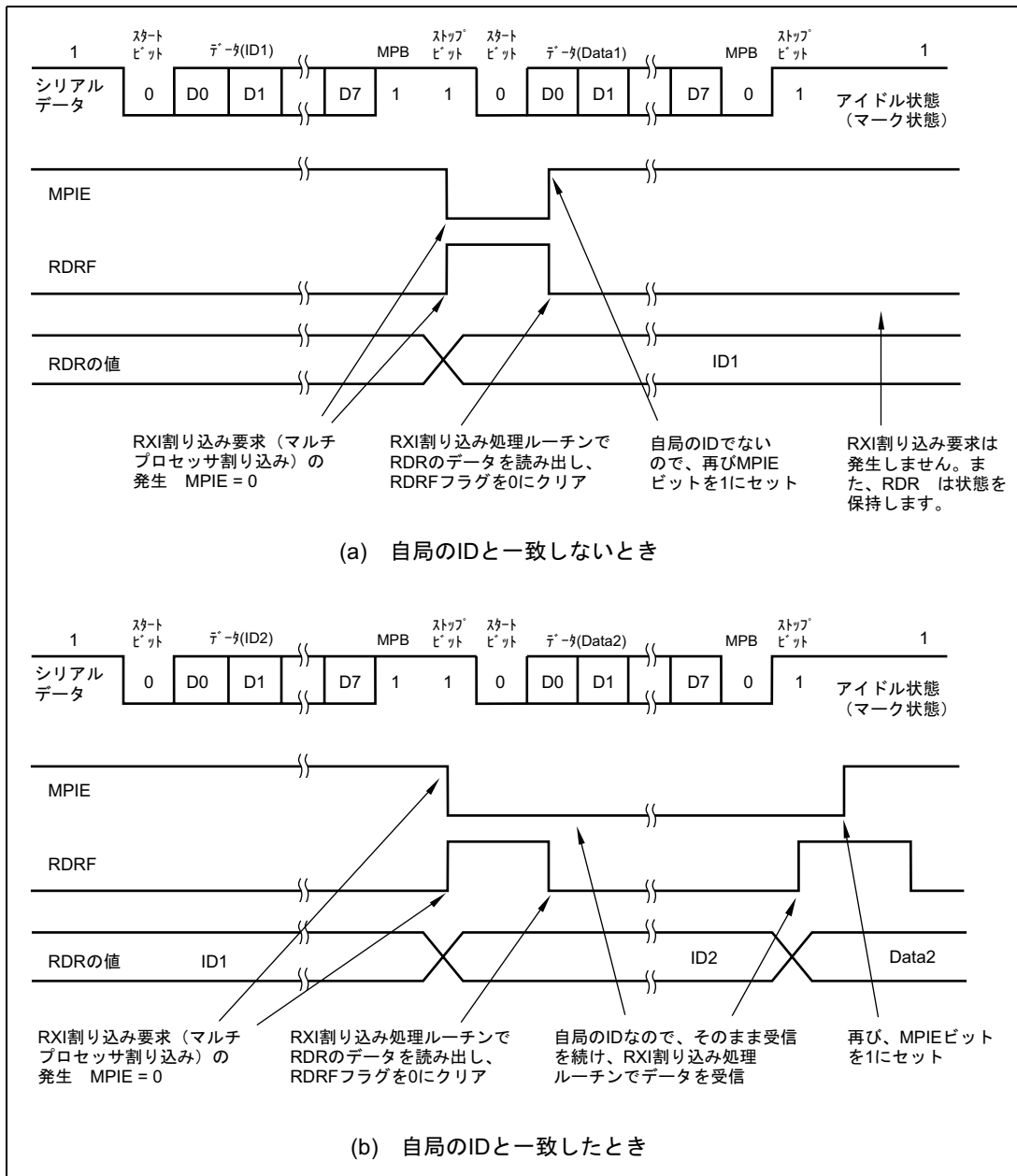


図 15.16 SCI の受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

15.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCI内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.17 に示します。

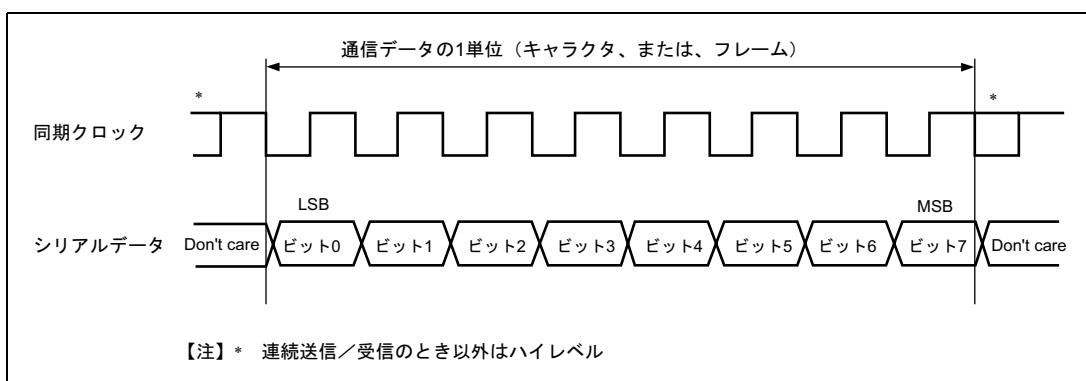


図 15.17 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち下がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SCSMRの $C\bar{A}$ ビットとSCSCRのCKE1、CKE0ビットの設定により内蔵ボーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 15.10を参照してください。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。

15. シリアルコミュニケーションインタフェース (SCI)

同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、SCIは2キャラクタを1単位として受信動作を行いますので、16パルスの同期クロックが出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信／受信動作

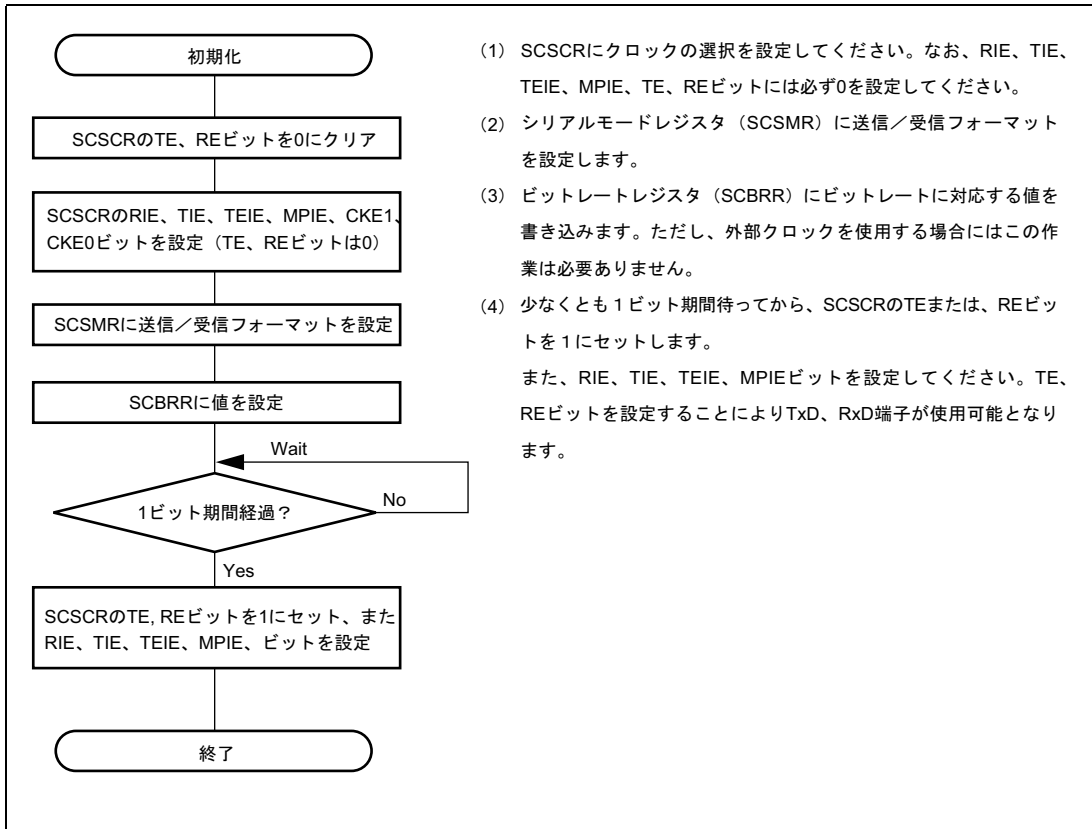
- SCIの初期化 (クロック同期式)

データの送信／受信前にシリアルコントロールレジスタ (SCSCR) のTE、およびREビットを0にクリアした後、以下の手順でSCIを初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとTDREフラグは1にセットされ、トランスミットシフトレジスタ (SCTSR) が初期化されます。

REビットを0にクリアしてもRDRF、PER、FER、ORERの各フラグ、およびレシーブデータレジスタ (SCRDR) の内容は保持されますので注意してください。

図15.18にSCIの初期化フローチャートの例を示します。



- (1) SCSCRにクロックの選択を設定してください。なお、RIE、TIE、TEIE、MPIE、TE、REビットには必ず0を設定してください。
- (2) シリアルモードレジスタ (SCSMR) に送信／受信フォーマットを設定します。
- (3) ビットレートレジスタ (SCBRR) にビットレートに対応する値を書き込みます。ただし、外部クロックを使用する場合にはこの作業は必要ありません。
- (4) 少なくとも1ビット期間待ってから、SCSCRのTEまたは、REビットを1にセットします。
また、RIE、TIE、TEIE、MPIEビットを設定してください。TE、REビットを設定することによりTxD、RxD端子が使用可能となります。

図 15.18 SCI の初期化フローチャートの例

15. シリアルコミュニケーションインタフェース (SCI)

- シリアルデータ送信 (クロック同期式)

図 15.19 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIを送信動作可能状態に設定した後、以下の手順で行ってください。

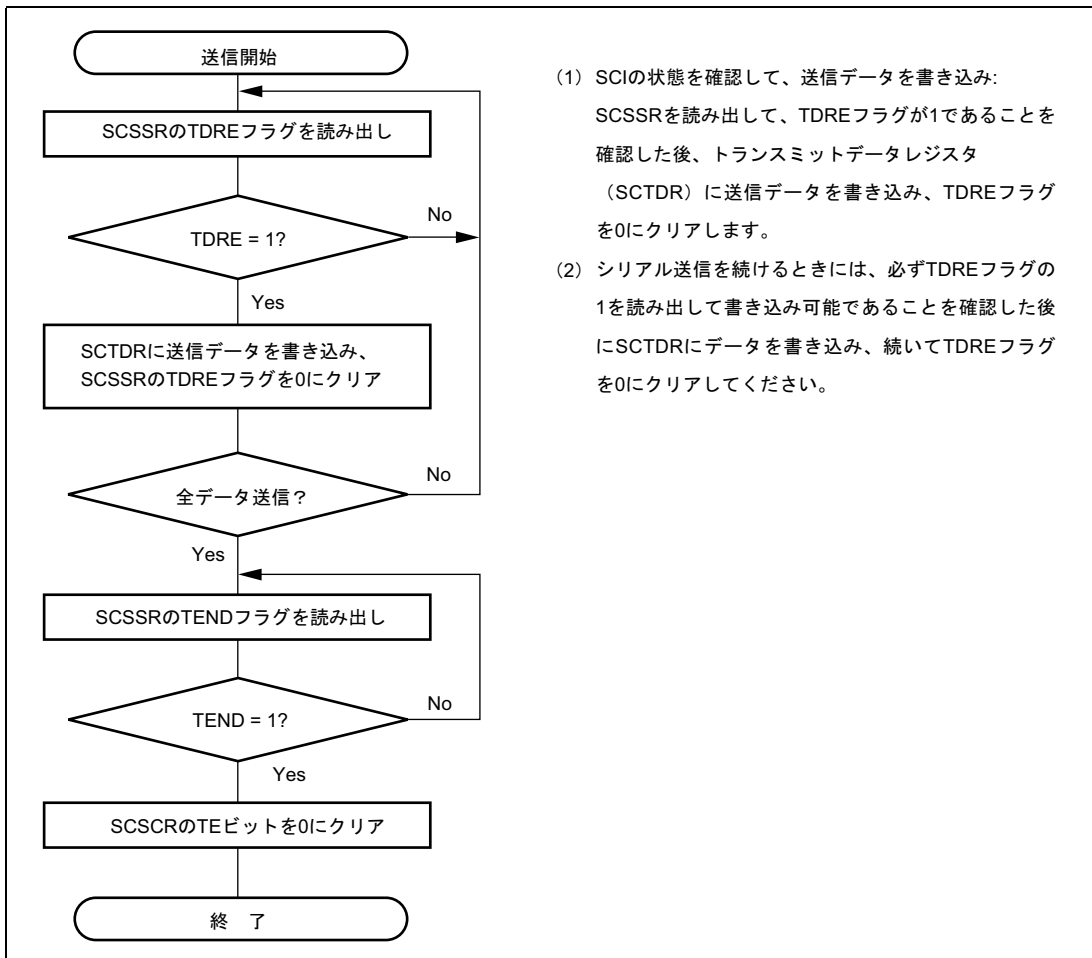


図 15.19 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

- (1) SCIは、シリアルステータスレジスタ (SCSSR) の TDRE フラグを監視し、0 であるとトランスミットデータレジスタ (SCTDR) にデータが書き込まれたと認識し、SCTDR からトランスミットシフトレジスタ (SCTSR) にデータを転送します。
- (2) SCTDR から SCTSR へデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。
 このとき、シリアルコントロールレジスタ (SCSCR) の送信データエンプティ割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。
 クロック出力モードに設定したときには、SCIは同期クロックを 8 パルス出力します。
 外部クロックに設定したときには、入力クロックに同期してデータを出力します。
 シリアル送信データは、LSB (ビット 0) ~MSB (ビット 7) の順に TxD 端子から送り出されます。
- (3) SCIは、MSB (ビット 7) を送り出すタイミングで TDRE フラグをチェックします。
 TDRE フラグが 0 であると SCTDR から SCTSR にデータを転送し、次フレームのシリアル送信を開始します。
 TDRE フラグが 1 であるとシリアルステータスレジスタ (SCSSR) の TEND フラグを 1 にセットし、MSB (ビット 7) を送り出した後、トランスミットデータ端子 (TxD 端子) は状態を保持します。
 このとき SCSCR の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み要求 (TEI) を発生します。
- (4) シリアル送信終了後は、SCK 端子はハイレベル固定になります。

図 15.20 に SCI の送信時の動作例を示します。

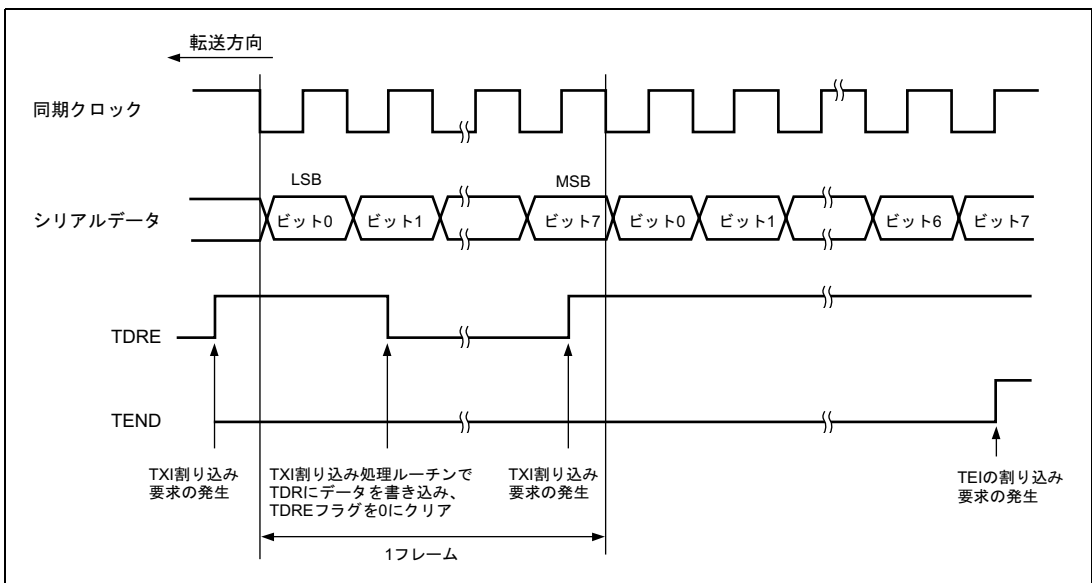


図 15.20 SCI の送信時の動作例

15. シリアルコミュニケーションインタフェース (SCI)

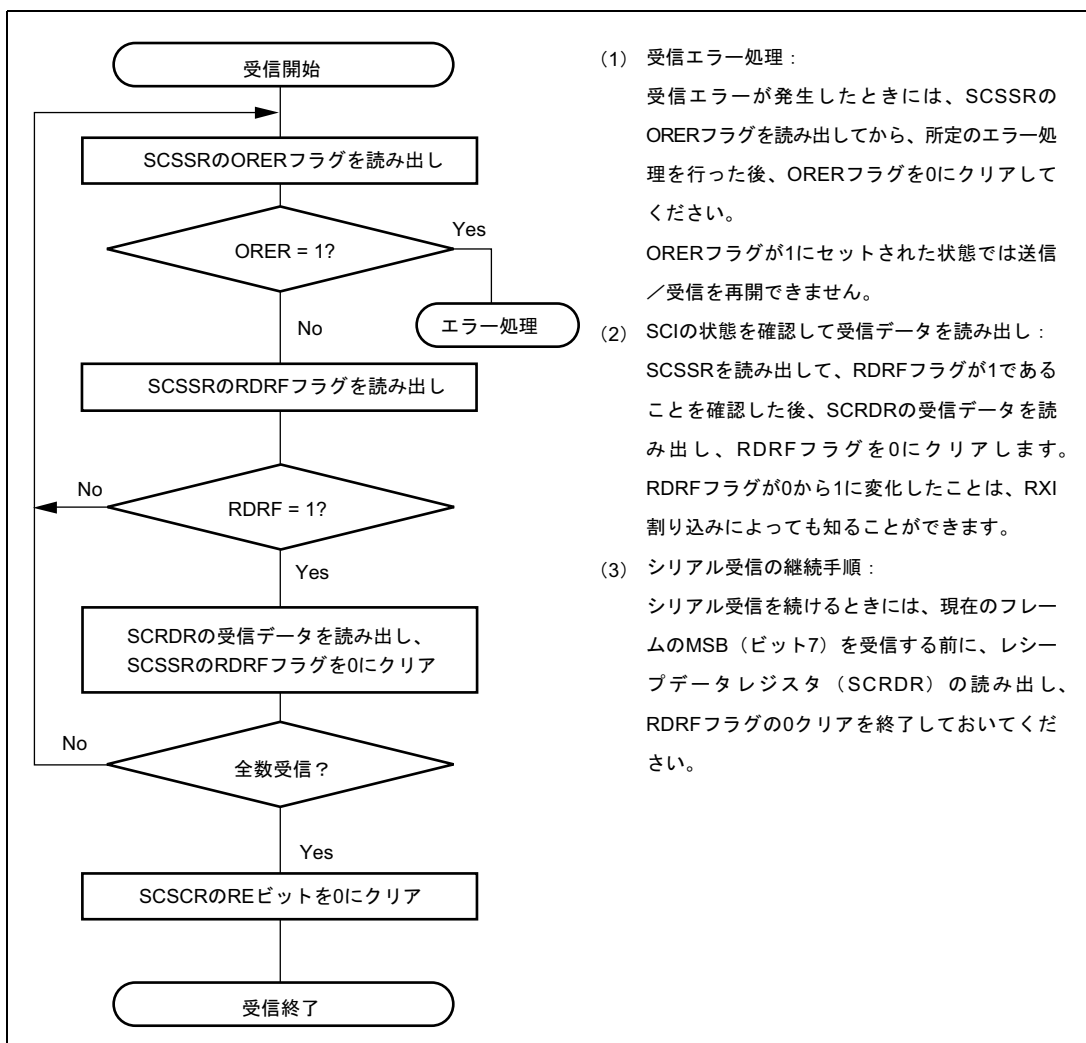
- シリアルデータ受信 (クロック同期式)

図 15.21 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

FER、PERフラグが1にセットされているとRDRFフラグがセットされません。また、送信/受信動作が行えません。



- (1) 受信エラー処理 :

受信エラーが発生したときには、SCSSRのORERフラグを読み出してから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。

ORERフラグが1にセットされた状態では送信/受信を再開できません。

- (2) SCIの状態を確認して受信データを読み出し :

SCSSRを読み出して、RDRFフラグが1であることを確認した後、SCRDRの受信データを読み出し、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。

- (3) シリアル受信の継続手順 :

シリアル受信を続けるときには、現在のフレームのMSB (ビット7) を受信する前に、レジスタデータレジスタ (SCRDR) の読み出し、RDRFフラグの0クリアを終了しておいてください。

図 15.21 シリアルデータ受信フローチャートの例 (1)

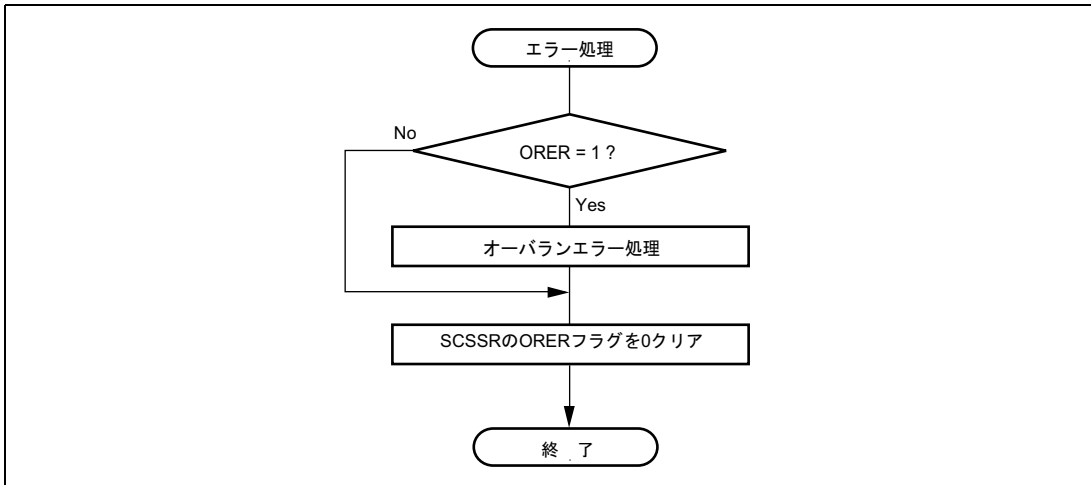


図 15.21 シリアルデータ受信フローチャートの例 (2)

SCIは受信時に以下のように動作します。

1. SCIは同期クロックの入力または出力に同期して内部を初期化します。
2. 受信したデータをレシーブシフトレジスタ (SCRSR) のLSBからMSBの順に格納します。
受信後、SCIはRDRFフラグが0であり、受信データをSCRSRからレシーブデータレジスタ (SCRDR) に転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFフラグが1にセットされ、SCRDRに受信データが格納されます。
エラーチェックで受信エラーが発生すると表15.12のように動作し、この状態では以後の送信、受信動作ができません。
また、受信時にRDRFフラグが1にセットされませんので、必ずフラグを0にクリアしてください。
3. RDRFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 15.22 に SCI の受信時の動作例を示します。

15. シリアルコミュニケーションインタフェース (SCI)

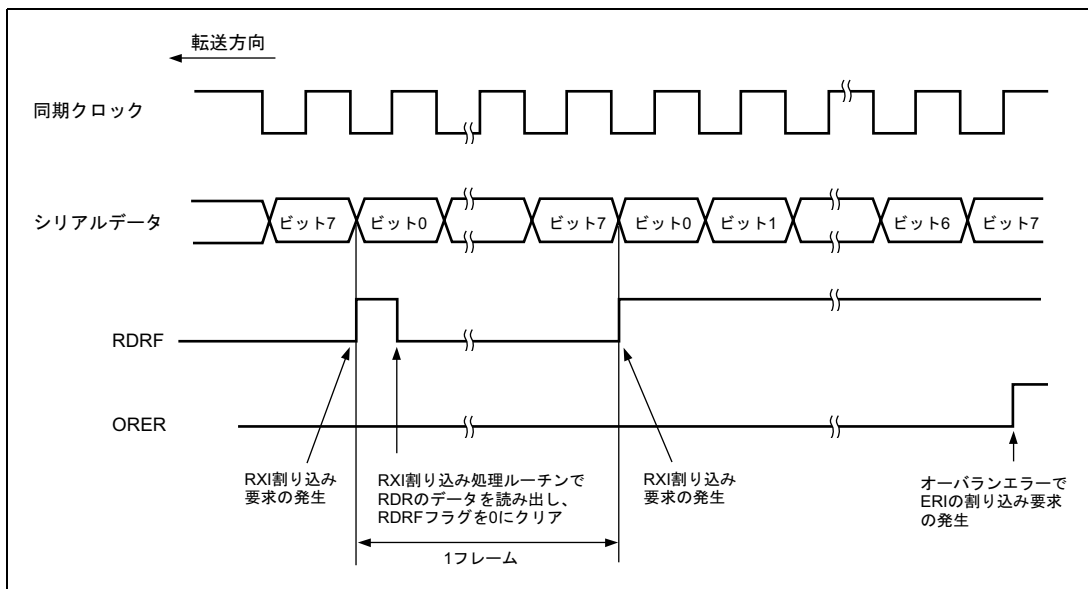


図 15.22 SCI の受信時の動作例

- シリアルデータ送受信同時動作 (クロック同期式)

図 15.23 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、SCI を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

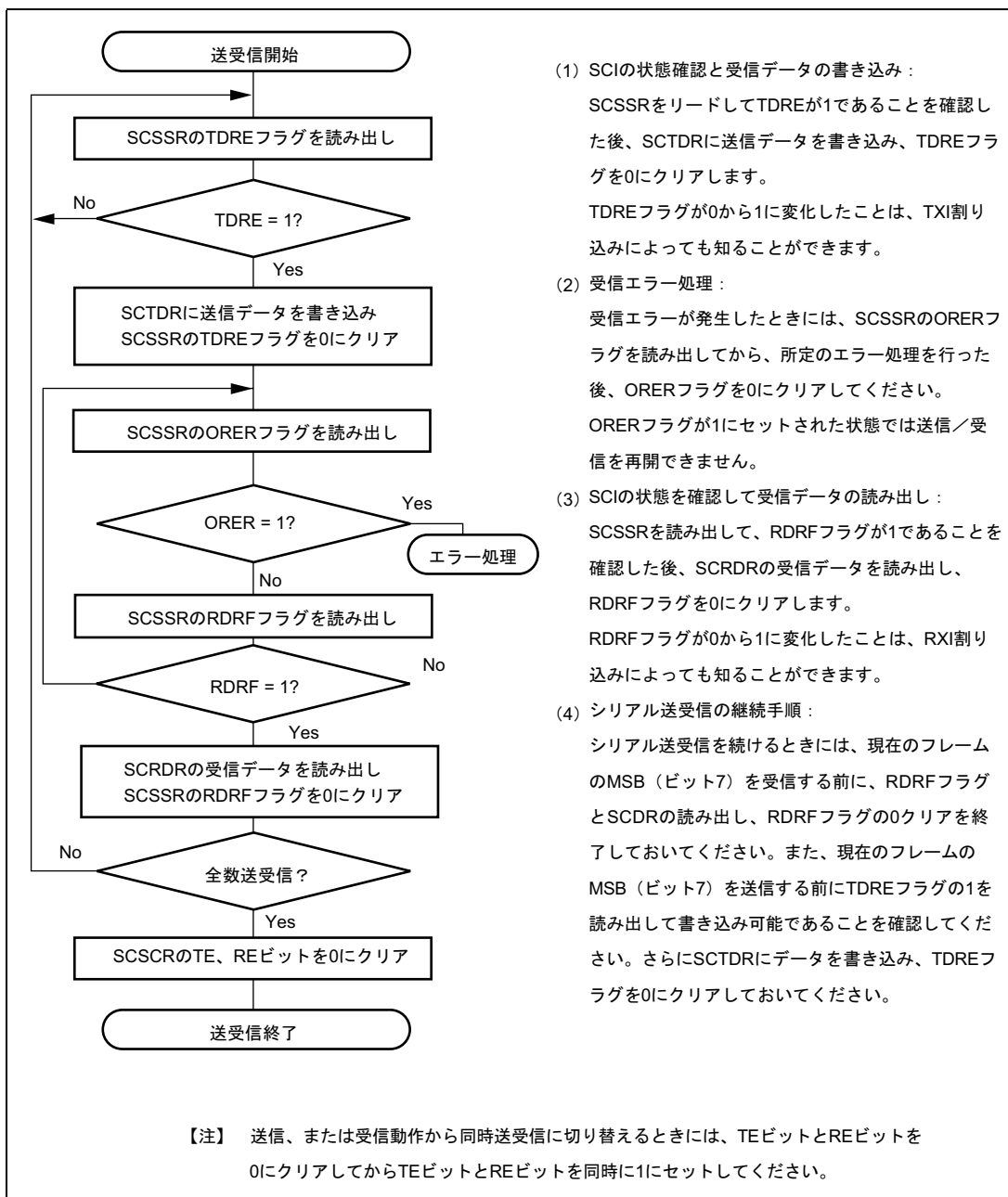


図 15.23 シリアルデータ送受信フローチャートの例

15.4 SCI 割り込み

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 15.13 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、TEIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。

SCSSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求が発生します。

また、SCSSR の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。

さらに、SCSSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 15.13 SCI 割り込み要因

割り込み要因	内 容	リセット解除時の優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	高
RXI	受信データフル (RDRF) による割り込み	↑
TXI	送信データエンプティ (TDRE) による割り込み	↓
TEI	送信終了 (TEND) による割り込み	低

優先順位、SCI 以外の割り込みとの関係は、「第 4 章 例外処理」を参照してください。

15.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

(1) SCTDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SCSSR) の TDRE フラグはトランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が SCTDR から SCTSR にデータを転送すると、TDRE フラグが 1 にセットされます。

SCTDR へのデータの書き込みは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCTDR に書き込むと、SCTDR に格納されていたデータは、まだ SCTSR に転送されていないため失われてしまいます。したがって SCTDR への送信データの書き込みは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SCSSR の各ステータスフラグの状態は、表 15.14 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へのデータ転送は行われず、受信データは失われます。

表 15.14 SCSSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SCSSR のステータスフラグ				受信データ転送
	RDRF	ORER	FER	PER	SCRSR→SCRDR
オーバランエラー	1	1	0	0	×
フレーミングエラー	0	0	1	0	○
パリティエラー	0	0	0	1	○
オーバランエラー+フレーミングエラー	1	1	1	0	×
オーバランエラー+パリティエラー	1	1	0	1	×
フレーミングエラー+パリティエラー	0	0	1	1	○
オーバランエラー+フレーミングエラー+パリティエラー	1	1	1	1	×

○ : SCRSR→SCRDR に受信データを転送します。

× : SCRSR→SCRDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、SC ポートデータレジスタ (SCPDR) の SCP0DT ビットと SC ポートコントロールレジスタ (SCPCR) の SCP0MD1、SCP0MD0 ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信時にブレークを送り出したいときは SCP0DT ビットを 0 にクリア (ローレベル) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子からは 0 が出力されます。

15. シリアルコミュニケーションインタフェース (SCI)

(5) TEND フラグと TE ビットの処理

TEND フラグは最終データのストップビット送信時に 1 にセットされます。TEND フラグのセットを確認した後、直ちに TE ビットをクリアした場合、まだストップビットの送信処理を行っており、正常に送信できなくなる可能性があります。したがって、TEND フラグのセット確認後、少なくとも 0.5 シリアルクロックサイクル (2 ストップビットの場合は 1.5 シリアルクロックサイクル) の間は、TE ビットをクリアしないでください。

(6) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 1 にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(7) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下りを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 15.24 に示します。

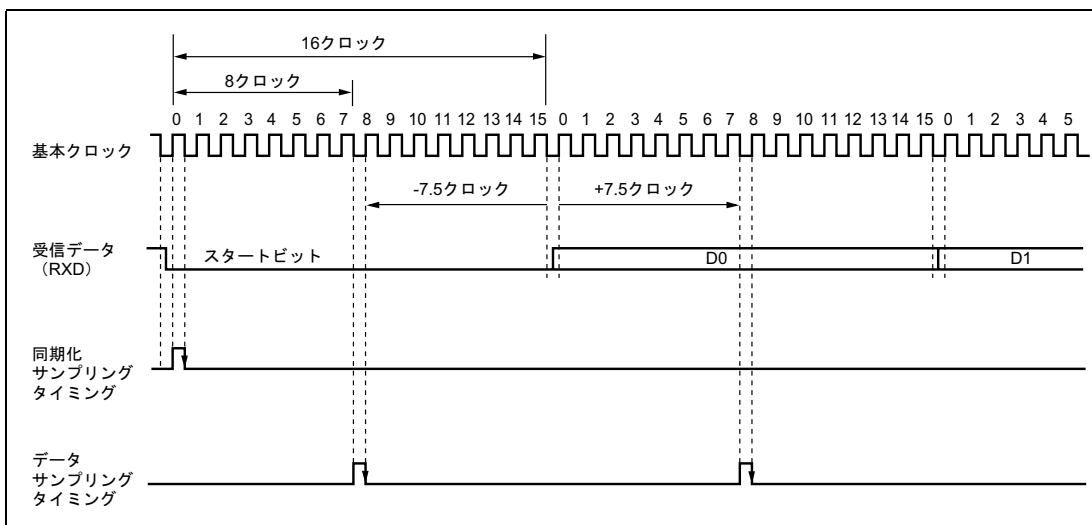


図 15.24 調歩同期式モードの受信データサンプリングタイミング

従って、調歩同期モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{D-0.5}{N} (1+F) \right| \times 100\% \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

$$\begin{aligned} & D=0.5, F=0 \text{ のとき} \\ M &= (0.5 - 1 / (2 \times 16)) \times 100\% \\ &= 46.875\% \dots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(8) クロック同期外部クロックモード時の注意事項

- TE=1、RE=1に設定するのは、外部クロックSCKを0→1にしてから周辺動作クロック4クロック以上経過してからにしてください。
- TE=RE=1に設定するのは、必ず外部クロックSCKが1のときにしてください。
- 受信時において、RxDのD7ビットのSCK入力の立ち上がりエッジから周辺動作クロック2.5~3.5クロック後にRE=0にするとRDRF=1になりますが、SCRDRへのコピーができませんので注意してください。

(9) クロック同期内部クロックモード時の注意事項

受信時において、RxDのD7ビットのSCK出力の立ち上がりエッジから周辺動作クロック1.5クロック後にRE=0にするとRDRF=1になりますが、SCRDRへのコピーができませんので注意してください。

16. スマートカードインタフェース

16.1 概要

シリアルコミュニケーションインタフェース (SCI) の拡張機能として、ISO/IEC7816-3 (Identification Card) のデータ転送プロトコル形式 T=0 (調歩式二重キャラクタ伝送プロトコル) に準拠した IC カード (スマートカード) インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

16.1.1 特長

スマートカードインタフェースには次の特長があります。

- 歩同期式モード

データ長 : 8ビット

パリティビットの生成およびチェック

受信モードにおけるエラーシグナル (パリティエラー) の送出

送信モードにおけるエラーシグナルの検出とデータの自動再送信

ダイレクトコンベンション/インバースコンベンションの両方をサポート

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 3種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラーの3種類の割り込み要因があり、それぞれ独立に要求することができます。

16. スマートカードインタフェース

16.1.2 ブロック図

スマートカードインタフェースのブロック図を図 16.1 に示します。

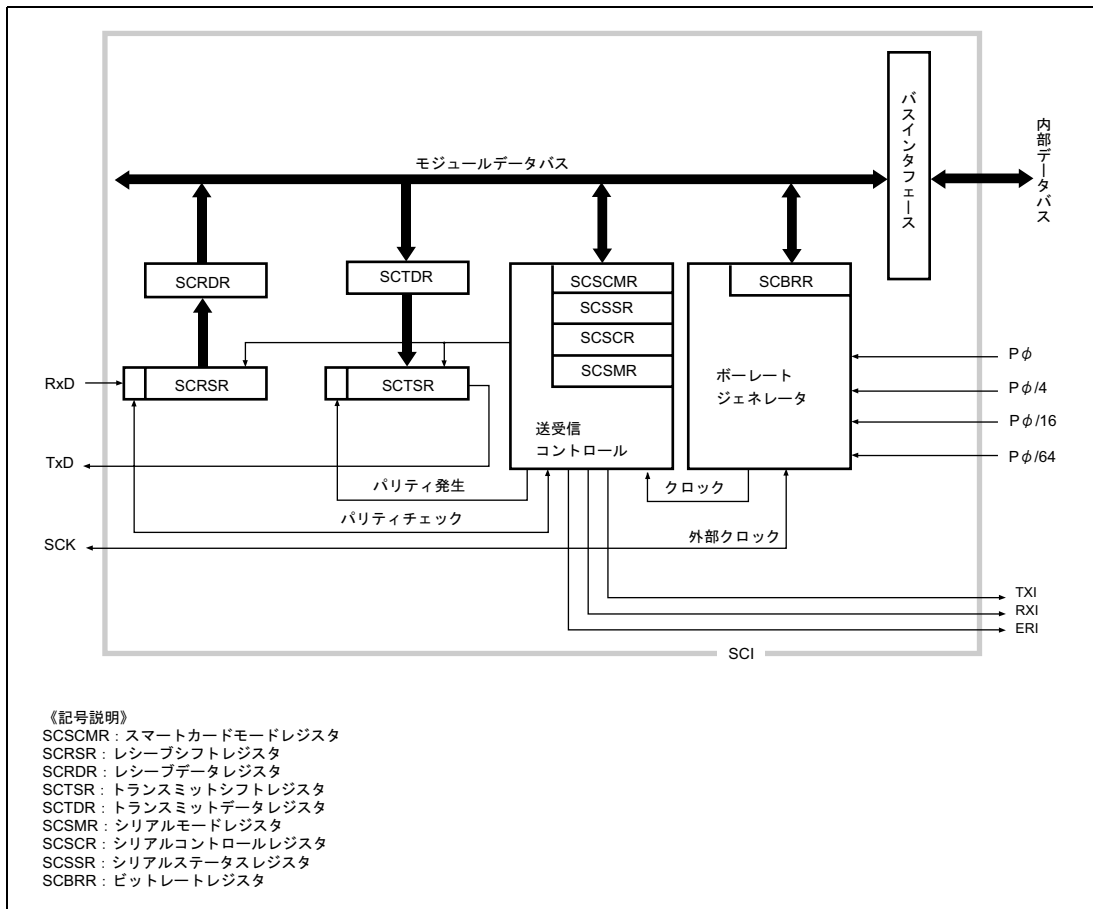


図 16.1 スマートカードインタフェースのブロック図

16.1.3 端子構成

スマートカードインタフェースの端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCK0	出力	クロック出力
レシーブデータ端子	RxD0	入力	受信データ入力
トランスミットデータ端子	TxD0	出力	送信データ出力

16.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 16.2 に示します。SCSMR、SCBRR、SCSCR、SCTDR、SCRDR については、通常の SCI の機能と同様ですので、「第 15 章 シリアルコミュニケーションインタフェース (SCI)」のレジスタの説明を参照してください。

表 16.2 レジスタ構成

名称	略称	R/W	初期値*3	アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR	R/W	H'00	H'FFFFFFE80	8
ビットレートレジスタ	SCBRR	R/W	H'FF	H'FFFFFFE82	8
シリアルコントロールレジスタ	SCSCR	R/W	H'00	H'FFFFFFE84	8
トランスミットレジスタ	SCTDR	R/W	H'FF	H'FFFFFFE86	8
シリアルステータスレジスタ	SCSSR	R/(W)*1	H'84	H'FFFFFFE88	8
レシーブデータレジスタ	SCRDR	R	H'00	H'FFFFFFE8A	8
スマートカードモードレジスタ	SCSCMR	R/W	*2	H'FFFFFFE8C	8

- 【注】 *1 フラグをクリアするための 0 ライトのみ可能です。
 *2 ビット 0、2、3 はクリアされます。それ以外は不定です。
 *3 パワーオンリセット、マニュアルリセットで初期化されます。

16.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタおよび機能が変更されるビットについて説明します。

16.2.1 スマートカードモードレジスタ (SCSCMR)

スマートカードモードレジスタ (SCSCMR) は、スマートカードインタフェースの機能の選択を行います。8 ビットの読み出し/書き込み可能なレジスタです。SCSCMR レジスタのビット 0、2、3 は、リセットまたはスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値:	—	—	—	—	0	0	—	0
R/W:	R	R	R	R	R/W	R/W	R	R/W

16. スマートカードインタフェース

- ビット7～4、1：予約ビット

読み出すと不定値が読み出されます。

- ビット3：スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	SCTDR の内容を LSB ファーストで送信 (初期値) 受信データを LSB ファーストとして SCRDR に格納
1	SCTDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCRDR に格納

- ビット2：スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。この機能は、ビット3の機能を組み合わせインバースコンベンションカードとの送受信に使用します。SINV は、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「16.3.4 レジスタ設定」を参照してください。

ビット2	説明
SINV	
0	SCTDR の内容をそのまま送信 (初期値) 受信データをそのまま SCRDR に格納
1	SCTDR の内容を反転してデータを送信 受信データを反転して SCRDR に格納

- ビット0：スマートカードインタフェースモードセレクト (SMIF)

スマートカードインタフェース機能をイネーブルにするビットです。

ビット0	説明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

16.2.2 シリアルステータスレジスタ (SCSSR)

スマートカードインタフェースモードにおいては、SCSSR のビット 4 の機能が変更されます。また、これに関連してビット 2 の TEND のセット条件が変更になります。

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

- ビット 7: トランスミットデータレジスタエンプティ (TDRE)
- ビット 6: レシーブデータレジスタフル (RDRF)
- ビット 5: オーバランエラー (ORER)

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

- ビット 4: エラーシグナルステータス (ERS)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) ERS=1 の状態を読み出した後、0 を書き込んだとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 [セット条件] エラーシグナルローレベルをサンプリングしたとき

【注】 SCSSR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。

16. スマートカードインタフェース

- ビット3~0 :

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

ただし、ビット2のトランスミットエンド (TEND) のセット条件は次のようになります。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] TDRE=1の状態をリードした後、TDRE フラグに0をライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCSCR の TE ビットが0かつ FER/ERS ビットが0のとき (3) SCSMR の C/ \bar{A} ビットが0で、1バイトのシリアルキャラクタ送信後、2.5etu 後に TDRE=1 かつ FER/ERS=0 (正常送信) のとき (4) SCSMR の C/ \bar{A} ビットが1で、1バイトのシリアルキャラクタ送信後、1.0etu 後に TDRE=1 かつ FER/ERS=0 (正常送信) のとき

【注】 etu : Elementary Time Unit (1 ビットの転送期間)

16.3 動作説明

16.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- (1) 1 フレームは、8 ビットデータとパリティビットで構成されます。
- (2) 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- (3) 受信時はパリティエラーを検出した場合、スタートビットから 10.5etu 経過後エラーシグナルローレベルを 1etu 期間出力します。
- (4) 送信時はエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを送信します。
- (5) 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

16.3.2 端子接続

スマートカードインタフェースに関する端子接続概略図を図 16.2 に示します。

IC カードとの通信においては、1 本のデータ伝送線で送信と受信が行われるので、LSI 端子で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源 Vcc 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグランドの接続が必要です。

【注】 IC カードを接続しないで、RE=TE=1 に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。

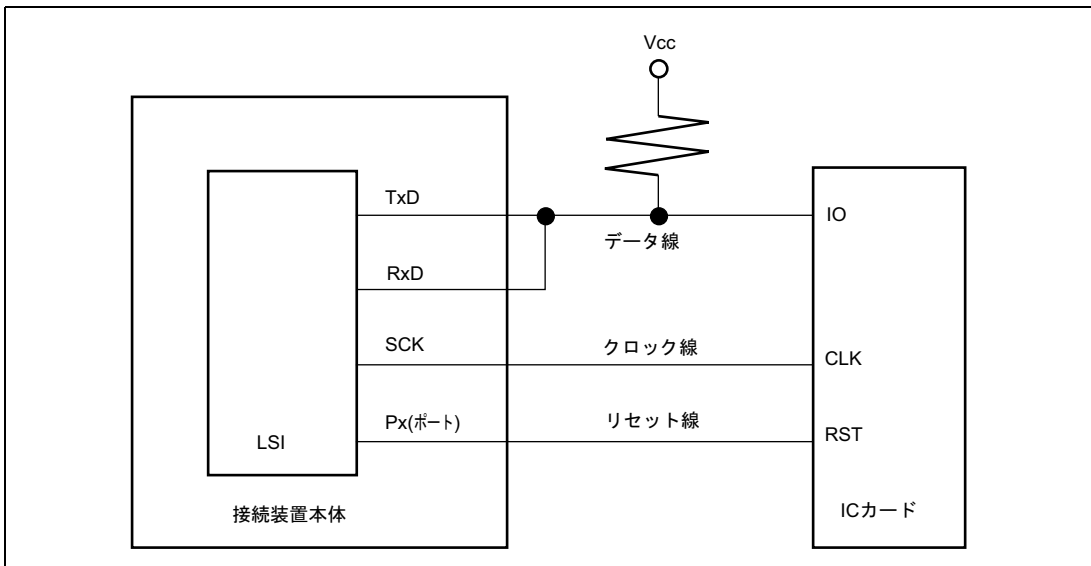


図 16.2 スマートカードインタフェース端子接続概略図

16.3.3 データフォーマット

図 16.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合送信側に対してエラー信号を送り返し、データの再送信要求をします。送信時はエラー信号をサンプリングすると同じデータを再送信します。

16. スマートカードインタフェース

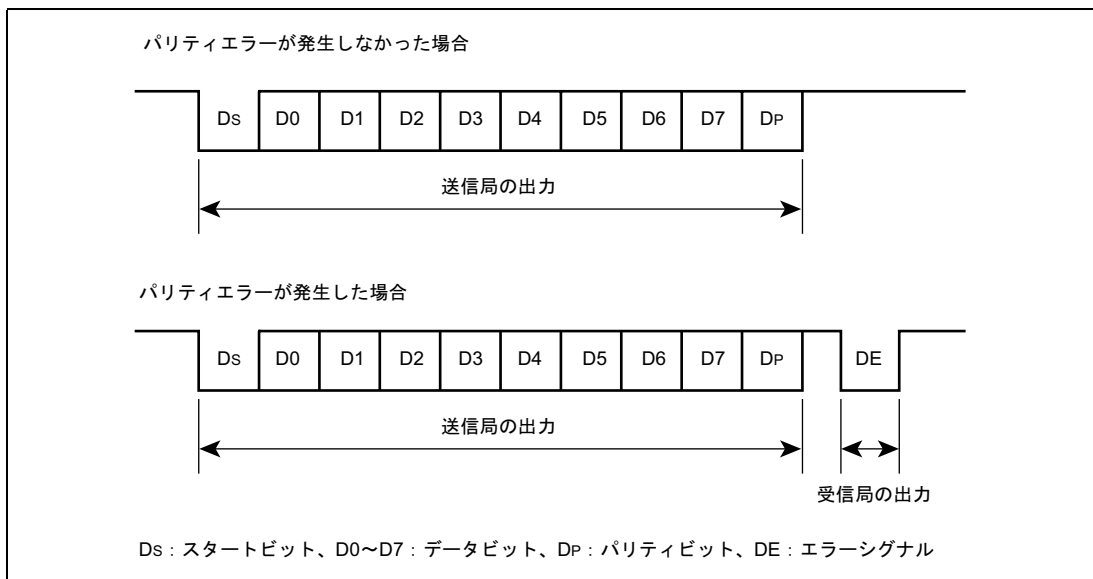


図 16.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

- (1) データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりハイレベルに固定されます。
- (2) 送信側は、1 フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds、ローレベル) から開始します。この後に、8 ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
- (3) スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりハイレベルになります。
- (4) 受信側は、パリティチェックを行います。
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラーシグナル (DE、ローレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりハイレベルに戻ります。
- (5) 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。
一方、エラーシグナルを受信した場合は、エラーとなったデータを (2) に戻り再送信します。

16.3.4 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 16.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 16.3 スマートカードインタフェースでのレジスタ設定

レジスタ	アドレス	ビット							
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SCSMR	H'FFFFFFE80	C \bar{A}	0	1	O \bar{E}	1	0	CKS1	CKS0
SCBRR	H'FFFFFFE82	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCSCR	H'FFFFFFE84	TIE	RIE	TE	RE	0	0	CKE1	CKE0
SCTDR	H'FFFFFFE86	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SCSSR	H'FFFFFFE88	TDRE	RDRF	ORER	FER/ERS	PER	TEND	0	0
SCRDR	H'FFFFFFE8A	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCSCMR	H'FFFFFFE8C	—	—	—	—	SDIR	SINV	—	SMIF

—: 未使用ビットを示します。

(1) シリアルモードレジスタ (SCSMR) の設定

C \bar{A} ビットは TEND フラグのセットタイミングの選択、およびシリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットとの組み合わせでクロック出力状態を選択します。

O \bar{E} ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを選択します。「16.3.5 クロック」を参照してください。

(2) ビットレートレジスタ (SCBRR) の設定

ビットレートを設定します。設定値の算出方法は「16.3.5 クロック」を参照してください。

(3) シリアルコントロールレジスタ (SCSCR) の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

CKE0 ビットはクロック出力状態を指定します。クロック出力を行わないときは 0、クロック出力を行うときは 1 を設定します。

16. スマートカードインタフェース

(4) スマートカードモードレジスタ (SCSMR) の設定

SDIR ビットおよび SINV ビットは、IC カードがダイレクトコンベンション時はどちらも 0 を設定し、インバースコンベンション時はどちらも 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に 2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と開始キャラクタでの波形例を図 16.4 に示します。

ダイレクトコンベンションタイプでは、論理“1”レベルを状態“Z”に、論理“0”レベルを状態“A”に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。パリティビットは、スマートカードの規定により偶数パリティで“1”となります。

インバースコンベンションタイプでは、論理“1”レベルを状態“A”に、論理“0”レベルを状態“Z”に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。パリティビットは、スマートカードの規程により偶数パリティで論理“0”となり、状態“Z”が対応します。

なお、SINV ビットによる反転はデータビット D7~D0 のみとなっています。パリティビットの反転のために SCSMR の O \bar{E} ビットを奇数パリティモードに設定します。送信、受信とも同様です。

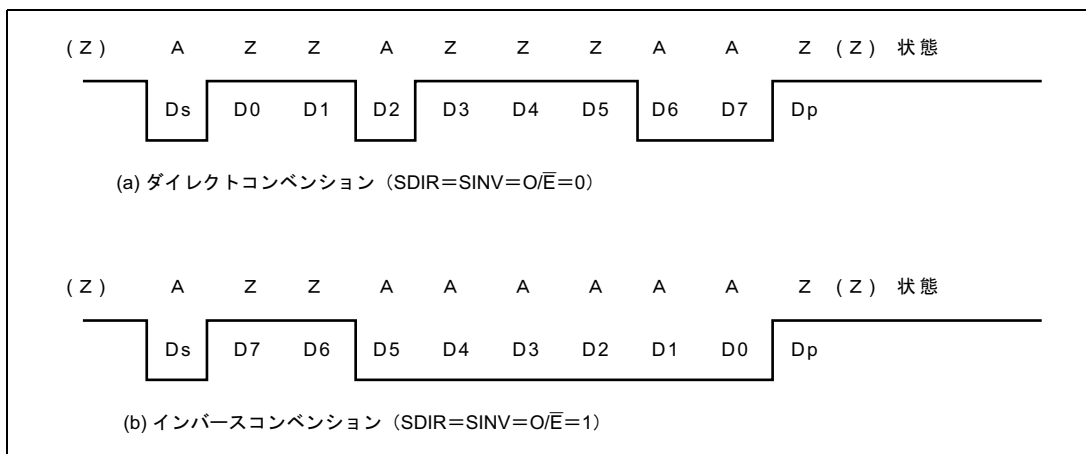


図 16.4 開始キャラクタの波形例

16.3.5 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ボーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ (SCBRR) とシリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 16.5 に示します。

このとき CKE0=1 でクロック出力を選択すると、SCK 端子からはビットレートの 372 倍の周波数のクロックが出力されます。

$$B = \frac{P\phi}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N=SCBRR の設定値 (0 ≤ N ≤ 255)

B=ビットレート (bit/s)

Pφ = 周辺モジュール用動作周波数 (MHz)

n=0~3 (表 16.4 を参照)

表 16.4 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1	0	1
2	1	0
3	1	1

表 16.5 SCBRR の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)

N	Pφ (MHz)						
	7.1424	10.00	10.7136	13.00	14.2848	16.00	18.00
0	9600.0	13440.9	14400.0	17473.1	19200.0	21505.4	24193.5
1	4800.0	6720.4	7200.0	8736.6	9600.0	10752.7	12096.8
2	3200.0	4480.3	4800.0	5824.4	6400.0	7168.5	8064.5

【注】 ビットレートは、小数点以下 2 桁目を四捨五入した数値です。

一方、周辺モジュール用動作周波数とビットレートからビットレートレジスタ (SCBRR) の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{P\phi}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 16.6 ビットレート B (bit/s) に対する SCBRR の設定例 (ただし、n=0 のとき)

bit/s	Pφ (MHz)													
	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30.00	1	25.00	1	8.99	1	0.00	1	12.01	2	15.99

16. スマートカードインタフェース

表 16.7 各周波数における最大ビットレート（スマートカードインタフェースモード時）

Pφ (MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{P\phi}{1488 \times 2^{2n-1} \times B \times (N+1)} \times 10^6 - 1 \right) \times 100$$

スマートカードインタフェースにおける送受信クロックのレジスタ設定値と出力状態の関係を表 16.8 に示します。

表 16.8 レジスタ設定値と SCK 端子

設定	レジスタの値				SCK 端子	
	SMIF	C/Ā	CKE1	CKE0	出力	状態
1*1	1	0	0	0	ポート	SCPCR の SCP1MD1、SCP1MD0 ビットの設定によって決まります。
	1	0	0	1		SCK（シリアルクロック）出力状態
2*2	1	1	0	0	L 出力	L 出力状態
	1	1	0	1		SCK（シリアルクロック）出力状態
3*2	1	1	1	0	H 出力	H 出力状態
	1	1	1	1		SCK（シリアルクロック）出力状態

【注】 *1 SCK 出力状態は CKE0 ビットを変更すると即時に変わります。

CKE1 ビットは 0 を設定してください。

*2 CKE0 ビットの変更によってクロックを停止、開始してもクロックのデューティは一定に保たれます。

16.3.6 データの送信／受信動作

(1) 初期化

データの送受信の前に、以下の手順で SCI をイニシャライズしてください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。初期化のフロー例を図 16.5 に示します。

- (a) シリアルコントロールレジスタ (SCSCR) の TE、RE ビットを 0 にクリアします。
- (b) シリアルステータスレジスタ (SCSSR) のエラーフラグ FER/ERS、PER、ORER を 0 にクリアしてください。
- (c) シリアルモードレジスタ (SCSMR) の C/A ビット、パリティビット (O/E ビット) とボーレートジェネレータの選択ビット (CKS1、CKS0 ビット) を設定してください。このとき、CHR、MP ビットは 0 に、STOP、PE ビットは 1 に設定してください。
- (d) スマートカードモードレジスタ (SCSCMR) の SMIF、SDIR、SINV ビットを設定してください。SMIF ビットを 1 にセットすると、TxD 端子および RxD 端子はともにハイインピーダンス状態となります。
- (e) ビットレートに対応する値をビットレートレジスタ (SCBRR) に設定します。
- (f) シリアルコントロールレジスタ (SCSCR) のクロックソースの選択ビット (CKE1、CKE0 ビット) を設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE ビットは、0 に設定してください。CKE0 ビットを 1 にセットした場合は、SCK 端子からクロック出力されます。
- (g) 少なくとも、1 ビット期間待つてから、SCSCR の TIE、RIE、TE、RE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。

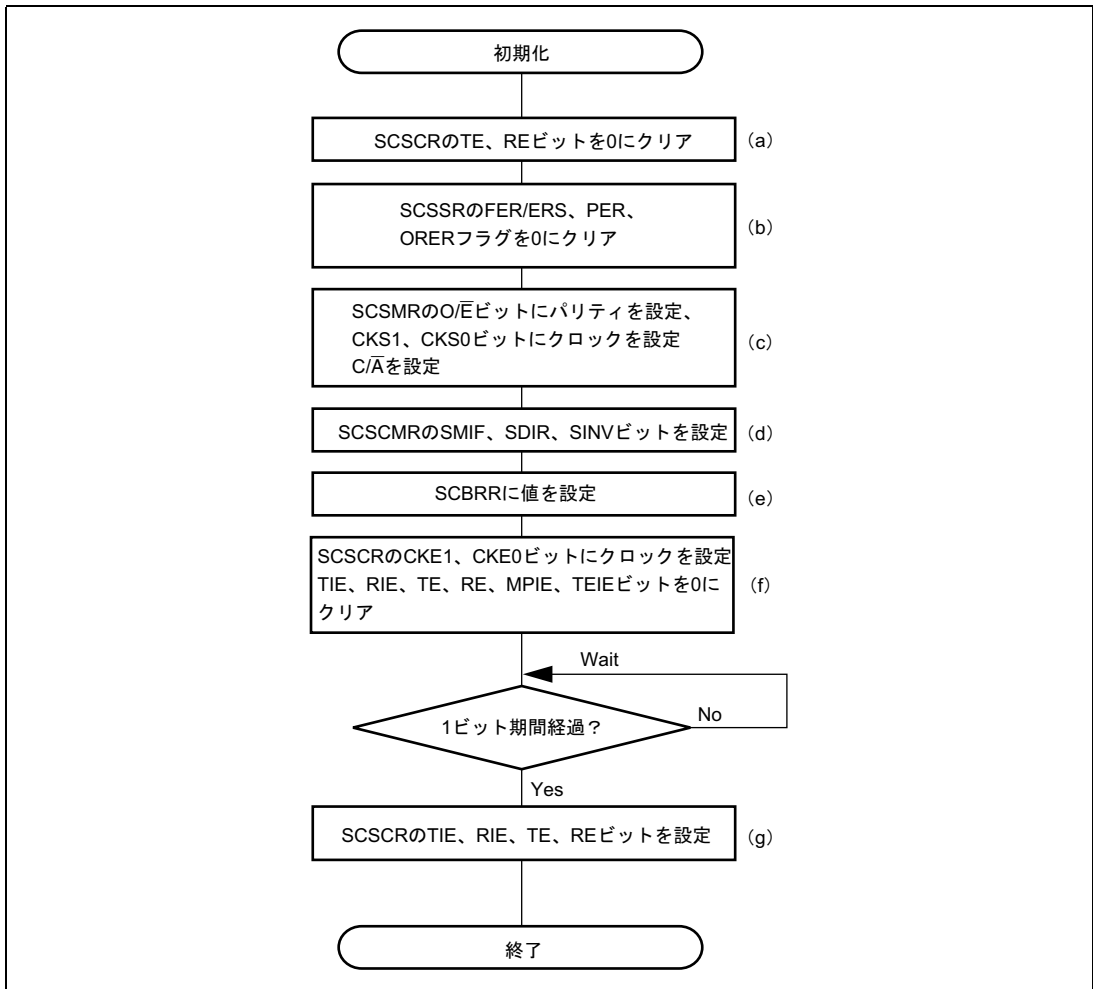


図 16.5 初期化のフロー例

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 16.6 に示します。

- (a) (1) の手順に従いスマートカードインタフェースモードに初期化します。
- (b) SCSSR のエラーフラグ FER/ERS ビットが 0 にクリアされていることを確認してください。
- (c) SCSSR の TEND フラグが 1 にセットされていることが確認できるまで、(b) ~ (c) を繰り返してください。
- (d) SCTDR に送信データを書き込んで、TDRE フラグを 0 にクリアし送信動作を行います。このとき、TEND フラグは 0 にクリアされます。
- (e) 連続してデータを送信する場合は、(b) に戻ってください。
- (f) 送信を終了する場合は、TE ビットを 0 にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「(5) 割り込み動作」を参照してください。

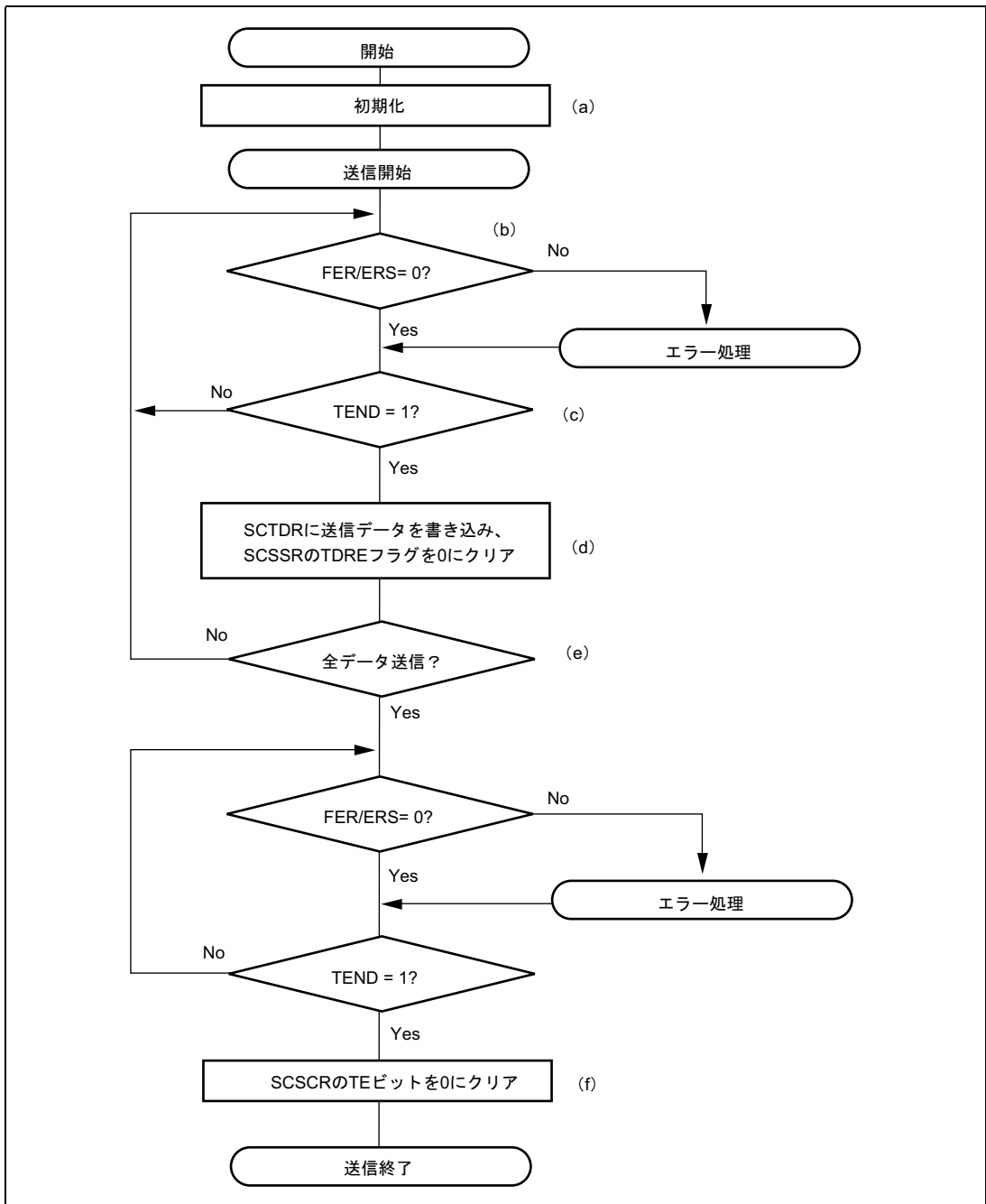


図 16.6 送信処理フローの例

(3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 16.7 に示します。

- (a) SCI を図 16.5 に従いスマートカードインタフェースモードに初期化します。
- (b) SCSSR の ORER フラグと PER フラグが 0 であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORER と PER フラグをすべて 0 にクリアしてください。
- (c) RDRF フラグが 1 であることを確認できるまで (b) 、 (c) を繰り返してください。
- (d) SCRDR から受信データを読み出してください。
- (e) 継続してデータを受信する場合は、RDRF フラグを 0 にクリアして (b) の手順に戻ってください。
- (f) 受信を終了する場合は、RE ビットを 0 にクリアします。

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求を発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生します。

詳細は「(5) 割り込み動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは SCRDR に転送されるのでこのデータを読み出すことは可能です。

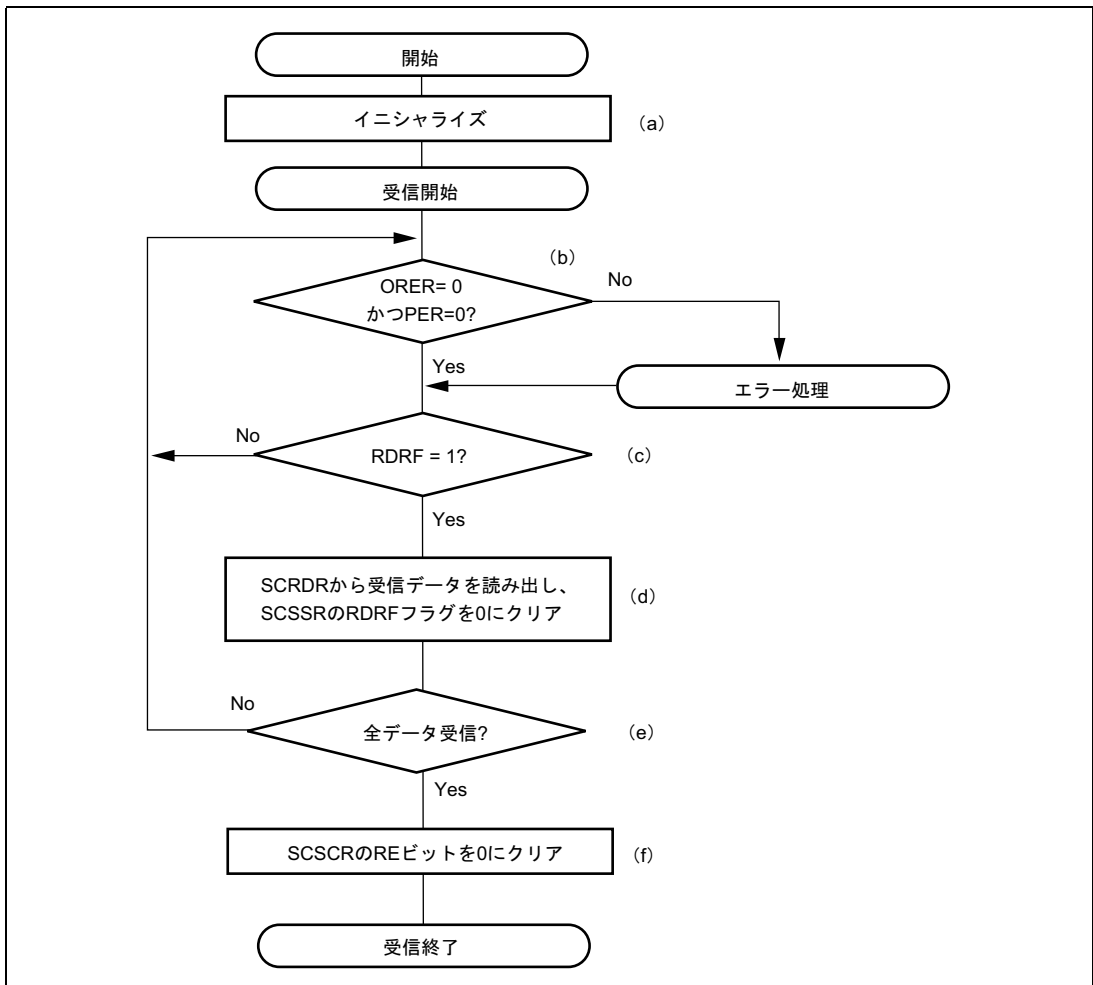


図 16.7 受信処理フローの例

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は RDRF フラグあるいはPER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) 割り込み動作

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SCSSR の TEND フラグが 1 にセットされると、TXI 割り込み要求を発生します。

SCSSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求を発生します。

SCSSR の ORER、PER、FER/ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求を発生します。これらの関係を表 16.9 に示します。

表 16.9 スマートカードモードの動作状態と割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TEND	TIE	TXI
	エラー	FER/ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE	RXI
	エラー	PER、ORER	RIE	ERI

16.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

(1) 調歩同期式モードの受信データタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 16.8 に示します。

16. スマートカードインタフェース

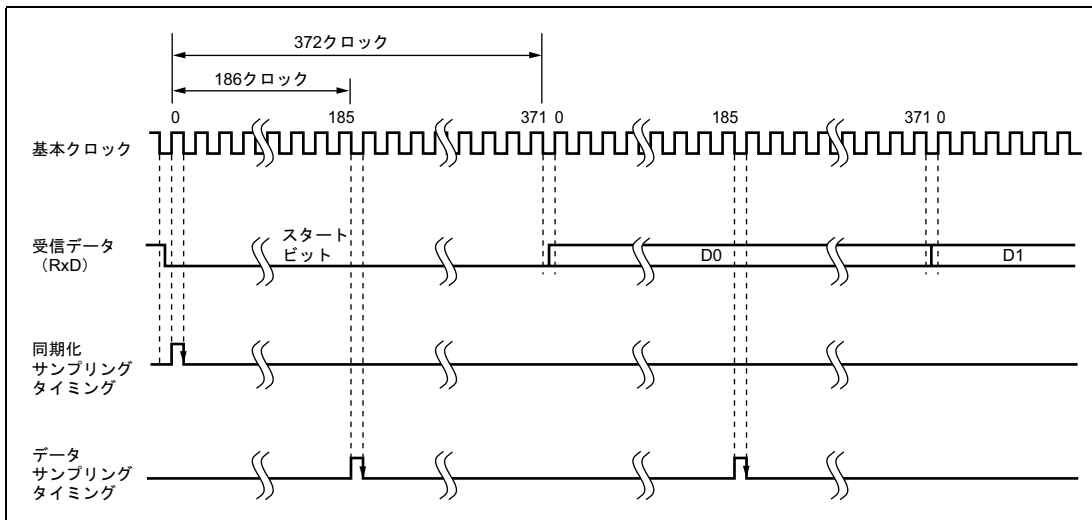


図 16.8 スマートカードモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=372)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=10)

F : クロック周波数の偏差の絶対値

上式で、F=0、D=0.5 とすると、受信マージン式は次のようになります。

D=0.5、F=0 のとき、

$$M = \left(0.5 - \frac{1}{2 \times 372} \right) \times 100\%$$

$$= 49.866\%$$

(2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

- SCIが受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 16.9 に示します。

- 受信したパリティビットをチェックした結果、エラーが検出されると、SCSSR の PER ビットが自動的に 1 にセットされます。このとき、SCSCR の RIE ビットがイネーブルになっていれば、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSR の PER ビットを 0 にクリアしてください。
- 異常が発生したフレームでは、SCSSR の RDRF ビットはセットされません。
- 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SCSSR の PER ビットはセットされません。
- 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SCSSR の RDRF ビットが自動的に 1 にセットされます。このとき SCSCR の RIE ビットが許可になっていれば、RXI 割り込み要求が発生します。
- 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はスリーステート状態を保持します。

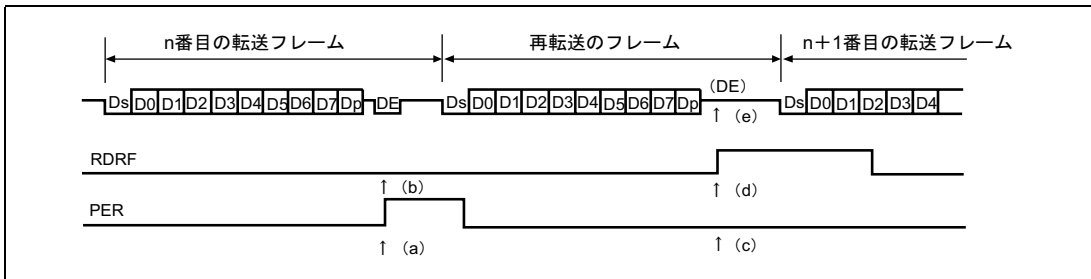


図 16.9 SCI 受信モードの場合の再転送動作

16. スマートカードインタフェース

• SCIが送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 16.10 に示します。

- (a) 1 フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SCSSR の FER/ERS ビットが 1 にセットされます。このとき、SCSCR の RIE ビットがイネーブルになっていれば、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSR の FER/ERS ビットを 0 にクリアしてください。
- (b) 異常を示すエラーシグナルを受信したフレームでは、SCSSR の TEND ビットはセットされません。
- (c) 受信側からエラーシグナルが返ってこない場合は、SCSSR の FER/ERS ビットはセットされません。
- (d) 受信側からエラーシグナルが返ってこない場合は、再転送を含む 1 フレームの送信が完了したと判断して、SCSSR の TEND ビットが 1 にセットされます。このとき SCSCR の TIE ビットがイネーブルになっていれば、TXI 割り込み要求が発生します。

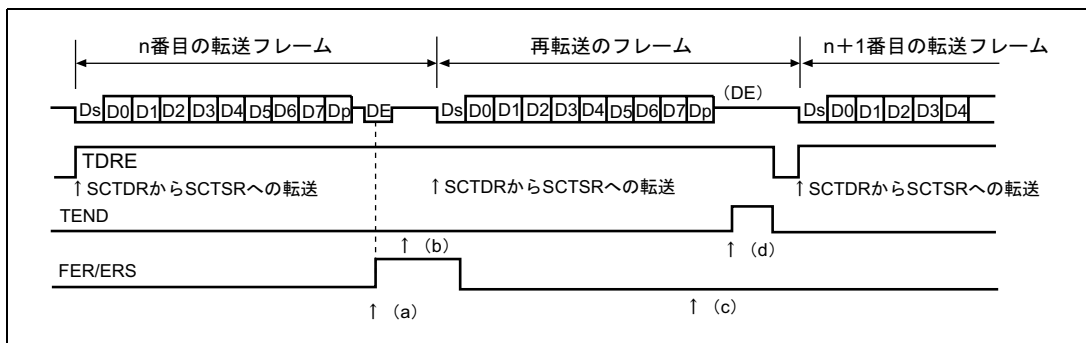


図 16.10 SCI 送信モードの場合の再転送動作

17. FIFO 付きシリアルコミュニケーション インタフェース (SCIF)

17.1 概要

本 LSI は、調歩同期式シリアル通信をサポートする 2 チャンネルの FIFO 付きシリアルコミュニケーションインタフェース (SCIF) を備えています。また、送信、受信用に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

17.1.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長：7ビット、または8ビット

ストップビット長：1ビット、または2ビット

パリティ：偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出：パリティエラー、フレーミングエラーを検出

ブレークの検出：

フレーミングエラー発生後、引き続き1フレーム長以上スペース0（ローレベル）の場合、ブレークが検出されます。またフレーミングエラー発生時にRx/D端子のレベルをSCポートデータレジスタ (SCPDR) から直接読み出すことによっても検出できます。

- 全二重通信

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、受信部ともに16段のFIFOバッファ構造になっているのでシリアルデータの高速連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース

ボーレートジェネレータ（内部クロック）、またはSCK端子（外部クロック）から選択可能

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- 4種類の割り込み要因

送信FIFOデータエンプティ、ブレーク、レシーブFIFOデータフルおよび受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信FIFOデータエンプティ割り込みとレシーブFIFOデータフル割り込みによりダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

- SCIFは使用しない場合、クロックの供給を停止することによって動作を停止し、電力の消費を抑えることができます。
- 内蔵モデムコントロール機能 (RTSおよびCTS)
- 送信、およびレシーブFIFOレジスタのデータ数、およびレシーブFIFOレジスタの受信データの受信エラー数を検出可能
- 受信時、タイムアウトエラー (DR) を検出可能

17.1.2 ブロック図

SCIF のブロック図を図 17.1 に示します。

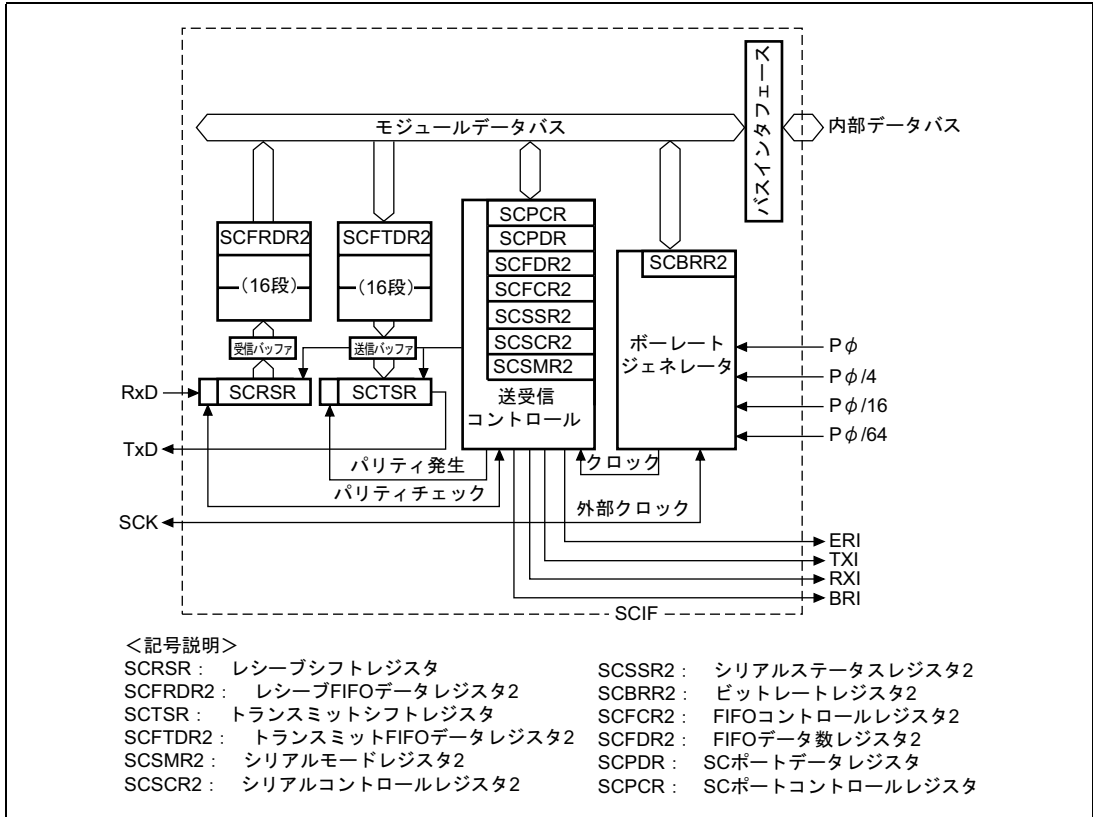


図 17.1 SCIF ブロック図

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

図 17.2～図 17.4 に SCIF I/O ポートを示します。

SCIF 端子の入出力およびデータコントロールは、SCPCR のビット 11～8、および SCPDR のビット 5、4 で実行します。詳細は「15.2.8 SC ポートコントロールレジスタ (SCPCR) /SC ポートデータレジスタ (SCPDR)」を参照してください。

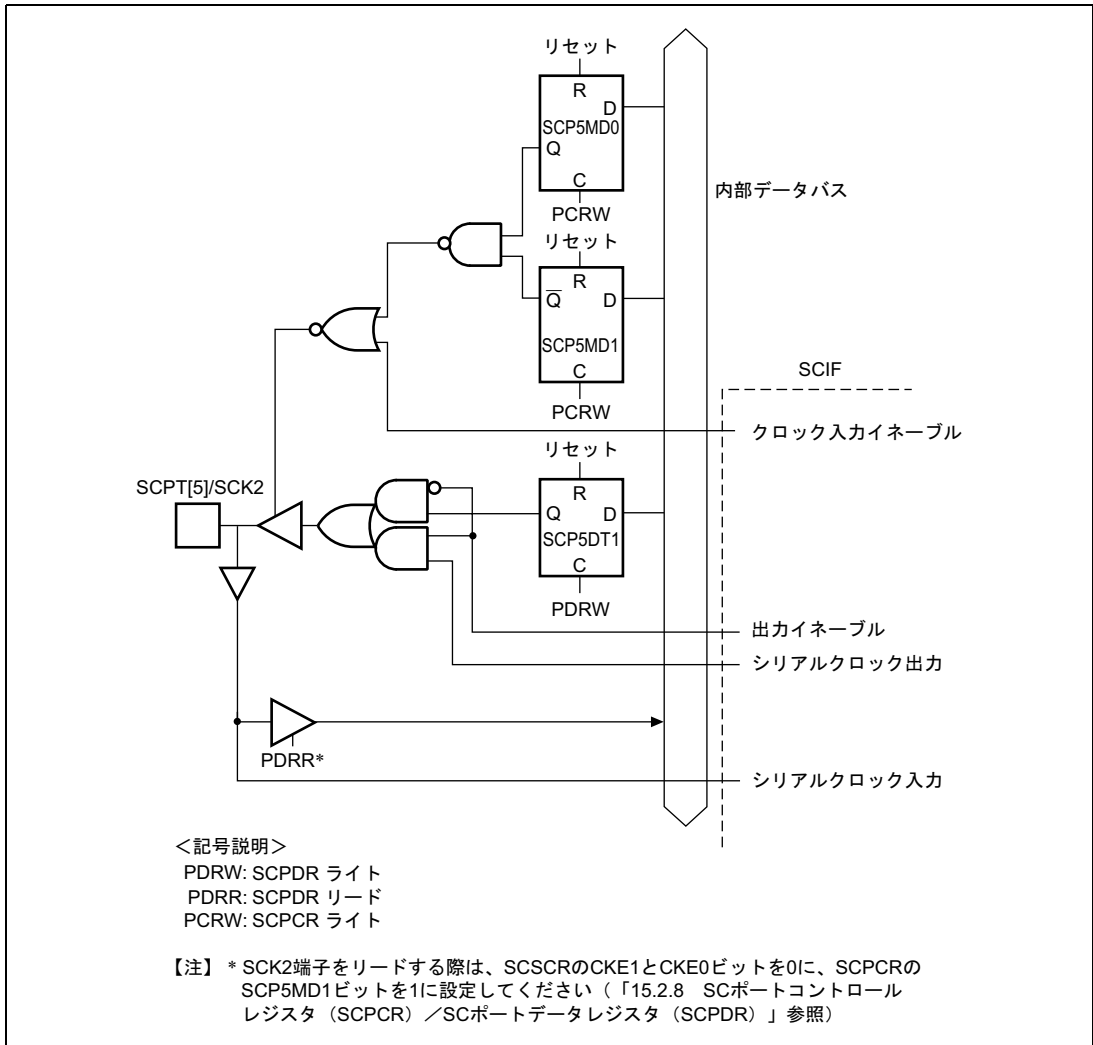


図 17.2 SCPT[5]/SCK2 端子

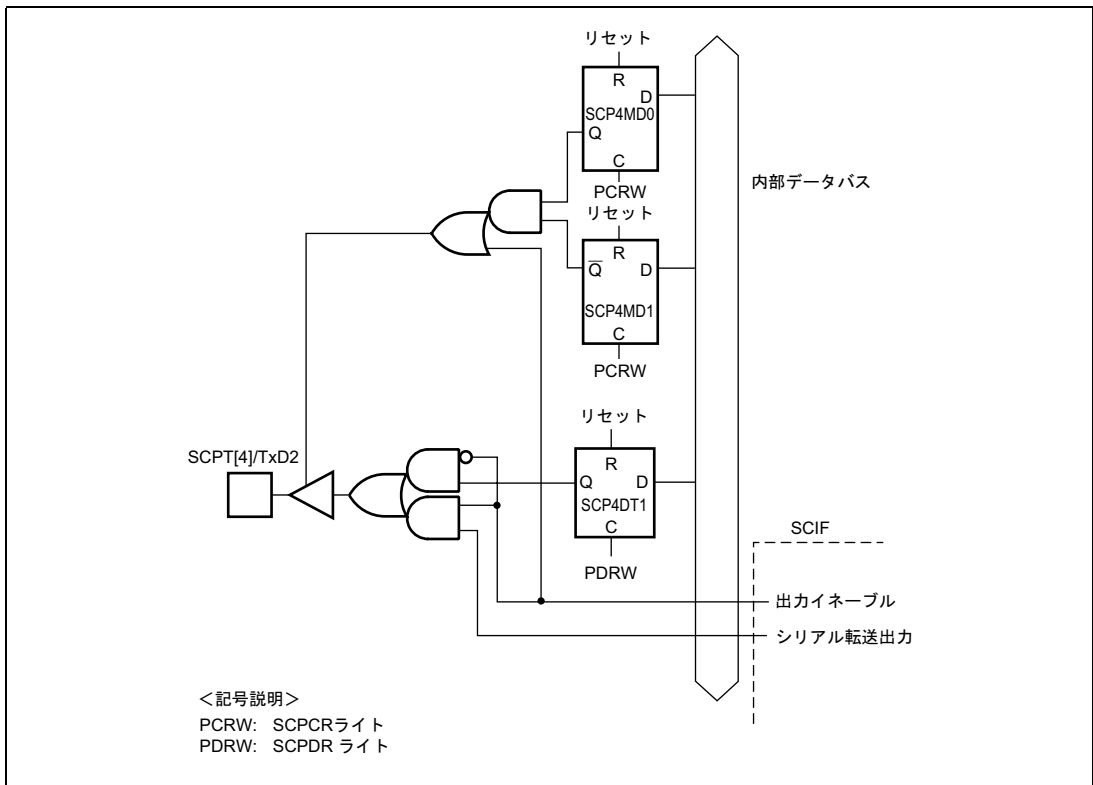


図 17.3 SCPT [4] /TxD2 端子

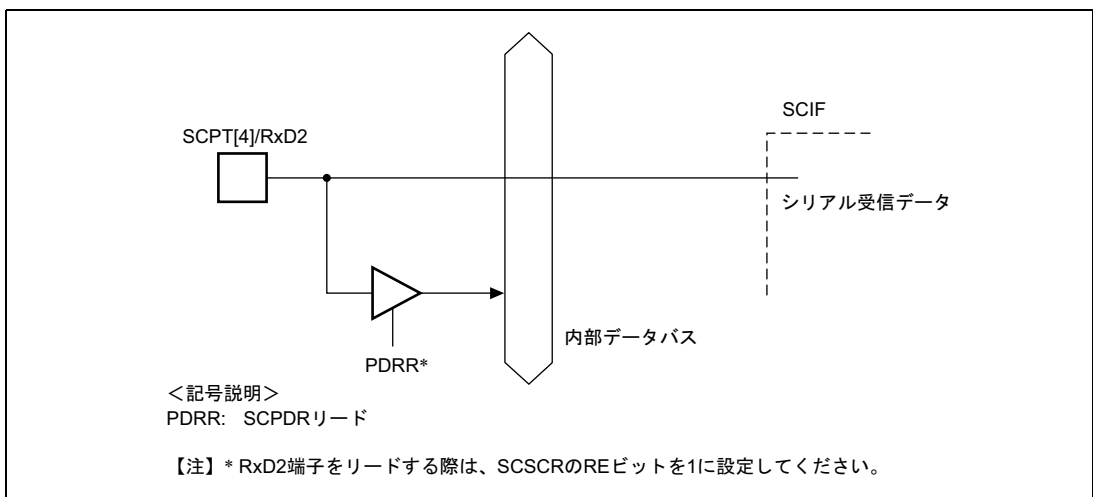


図 17.4 SCPT [4] /Rx2 端子

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

17.1.3 端子構成

SCIF には表 17.1 に示すようなシリアル端子があります。

表 17.1 SCIF 端子

端子名	略称	入出力	機能
シリアルクロック端子	SCK2	入出力	クロック入出力
受信データ端子	RxD2	入力	受信データ入力
送信データ端子	TxD2	出力	送信データ出力
リクエストツースェンド端子	RTS2	出力	リクエストツースェンド
クリアツースェンド端子	CTS2	入力	クリアツースェンド

17.1.4 レジスタ構成

SCIF 内部レジスタを表 17.2 に示します。これらのレジスタはデータフォーマットとビットレートを指定し、送信部、受信部をコントロールします。

表 17.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
シリアルモードレジスタ 2	SCSMR2	R/W	H'00	H'04000150 (H'A4000150)*2	8 ビット
ビットレートレジスタ 2	SCBRR2	R/W	H'FF	H'04000152 (H'A4000152)*2	8 ビット
シリアルコントロールレジスタ 2	SCSCR2	R/W	H'00	H'04000154 (H'A4000154)*2	8 ビット
トランスミット FIFO データレジスタ 2	SCFTDR2	W	—	H'04000156 (H'A4000156)*2	8 ビット
シリアルステータスレジスタ 2	SCSSR2	R/(W)*1	H'0060	H'04000158 (H'A4000158)*2	16 ビット
レシーブ FIFO データレジスタ 2	SCFRDR2	R	不定	H'0400015A (H'A400015A)*2	8 ビット
FIFO コントロールレジスタ 2	SCFCR2	R/W	H'00	H'0400015C (H'A400015C)*2	8 ビット
FIFO データカウントセットレジスタ 2	SCFDR2	R	H'0000	H'0400015E (H'0A400015E)*2	16 ビット

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタにアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

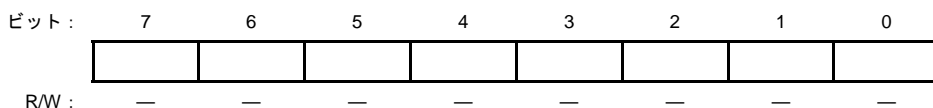
*1 フラグをクリアするための 0 書き込みのみ可能です。

*2 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

17.2 レジスタの説明

17.2.1 レシーブシフトレジスタ (SCRSR)

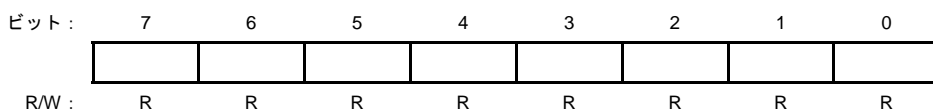
レシーブシフトレジスタ (SCRSR) は、シリアルデータを受信するためのレジスタです。SCIF は SCRSR に RxD 端子から入力されたシリアルデータを、LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタ (SCFRDR) へ転送されます。CPU から直接 SCRSR の読み出し/書き込みをすることはできません。



17.2.2 レシーブ FIFO データレジスタ (SCFRDR)

16 バイトのレシーブ FIFO データレジスタ (SCFRDR) は、受信したシリアルデータを格納するレジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。レシーブ FIFO データレジスタに受信データがないままデータを読み出すと値は不定になります。

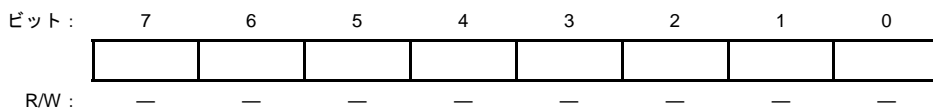
このレジスタが受信データでいっぱいになるとそれ以降に受信したシリアルデータは失われます。



17.2.3 トランスミットシフトレジスタ (SCTSR)

トランスミットシフトレジスタ (SCTSR) は、シリアルデータを送信するためのレジスタです。SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し/書き込みをすることはできません。

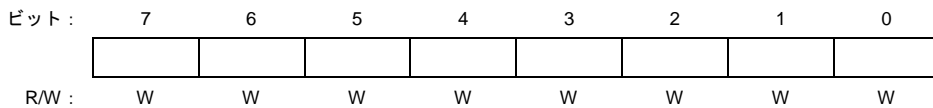


17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

17.2.4 トランスミット FIFO データレジスタ (SCFTDR)

トランスミット FIFO データレジスタ (SCFTDR) は、シリアル送信するデータを格納する 8 ビット×16 段の FIFO レジスタです。SCIF は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は常に CPU による書き込みが可能です。

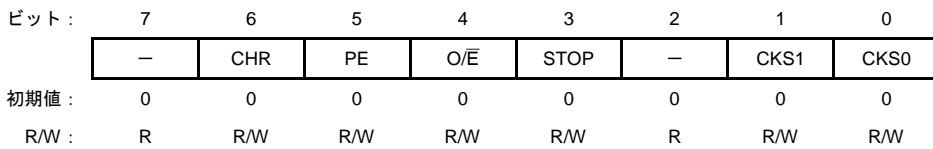
SCFTDR が送信データでいっぱい (16 段) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。



17.2.5 シリアルモードレジスタ (SCSMR)

シリアルモードレジスタ (SCSMR) は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR は、常に CPU による読み出し/書き込みが可能です。SCSMR は、リセット、スタンバイモードおよびモジュールスタンバイモードで H'00 に初期化されます。



- ビット 7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 6: キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット/8 ビットデータのいずれかから選択します。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、トランスミット FIFO データレジスタの MSB (ビット 7) は送信されません。

• ビット5：パリティイネーブル (PE)

送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに1をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

• ビット4：パリティモード (O/E)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、パリティイネーブルビット (PE) に1を設定し、パリティビットの付加やチェックを許可したときのみ有効になります。パリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が奇数であるかどうかをチェックします。

• ビット3：ストップビットレングス (STOP)

ストップビットの長さを1ビット/2ビットのいずれかから選択します。

なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット3	説明
STOP	
0	1ストップビット* ¹ (初期値)
1	2ストップビット* ²

【注】 *¹ 送信時には、送信キャラクタの最後尾に1ビットの1 (ストップビット) を付加して送信します。

*² 送信時には、送信キャラクタの最後尾に2ビットの1 (ストップビット) を付加して送信します。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- ビット2: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- ビット1、0: クロックセレクト1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータの内部クロックソースを選択します。CKS1、CKS0 ビットの設定で $P\phi$ 、 $P\phi/4$ 、 $P\phi/16$ 、 $P\phi/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「17.2.8 ビットレートレジスタ (SCBRR)」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	$P\phi$ クロック (初期値)
	1	$P\phi/4$ クロック
1	0	$P\phi/16$ クロック
	1	$P\phi/64$ クロック

【注】 $P\phi$: 周辺クロック

17.2.6 シリアルコントロールレジスタ (SCSCR)

シリアルコントロールレジスタ (SCSCR) は、SCIF の送信/受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し/書き込みが可能です。

SCSCR は、リセット、スタンバイモードおよびモジュールスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	—	—	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W

- ビット7: トランスミットインタラプトイネーブル (TIE)

トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送され、トランスミット FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアル FIFO ステータスレジスタ (SCFSR) の TDFE フラグが1にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可/禁止します。

ビット7	説明
TIE	
0	送信 FIFO データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信 FIFO データエンプティ割り込み (TXI) 要求を許可

【注】 * TXIの解除は、SCFTDRに指定した送信トリガ数より大きな量の送信データを書き込み、TDFEフラグの1を読み出した後0にクリアするか、またはTIEを0にクリアすることで行うことができます。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

• ビット6：レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (SCRSR) からレシーブ FIFO データレジスタ (SCFRDR) へ転送され、レシーブ FIFO データレジスタのデータ数が受信トリガの指定データ数より大きくなり、SCSSR の RDRF フラグが1にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可/禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および受信ブ레이크割り込み (BRI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、DR、ER、または RDF フラグの1を読み出した後、0にクリアするか、RIE ビットを0にクリアすることで行えます。RDF フラグでは、受信データ数が受信トリガの指定数より小さくなるまで SCFRDR から受信データを読み出した後、RDF フラグの1を読み出し、0にクリアします。

• ビット5：トランスミットイネーブル (TE)

SCIF のシリアル送信動作の開始を許可/禁止します。

ビット5	説明
TE	
0	送信動作を禁止 (初期値)
1	送信動作を許可*

【注】 * この状態で、SCFTDR に送信データを書き込むとシリアル送信を開始します。
なお、TE ビットを1にセットする前に必ず SCSMR および SCFCR の設定を行い、送信フォーマットを決定し、TFIFO をリセットしてください。

• ビット4：レシーブイネーブル (RE)

SCIF のシリアル受信動作の開始を許可/禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *¹ RE ビットを0にクリアしても DR、ER、BRK、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。

*² この状態でスタートビットを検出すると、シリアル受信を開始します。

なお、RE ビットを1にセットする前に必ず SCSMR の設定を行い、受信フォーマットを決定してください。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- ビット 3、2：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- ビット 1、0：クロックイネーブル 1、0 (CKE1、CKE0)

SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可／禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

CKE0 ビットの設定は内部クロック動作 (CKE1 = 0) 時のみ有効です。外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、CKE1、CKE0 ビットの設定の前には、必ずシリアルモードレジスタ (SCSMR) で SCIF の動作モードを決定してください。

SCIF のクロックソースの選択についての詳細は「17.3 動作説明」の表 17.7 を参照してください。

ビット 1	ビット 0	説 明	
CKE1	CKE0		
0	0	内部クロック／SCK 端子は入力端子 (入力信号は無視)	(初期値)
	1	内部クロック／SCK 端子はクロック出力*1	
1	0	外部クロック／SCK 端子はクロック入力*2	
	1	外部クロック／SCK 端子はクロック入力*2	

【注】 *1 ビットレートの 16 倍の周波数のクロックを出力

*2 ビットレートの 16 倍の周波数のクロックを入力

17.2.7 シリアルステータスレジスタ (SCSSR)

シリアルステータスレジスタ (SCSSR) は、16 ビットのレジスタです。上位 8 ビットはレシーブ FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示します。

SCSSR は常に CPU から読み出し／書き込みができます。ただし、ER、TEND、TDFE、BRK、OPER、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。さらに、ビット 3 (FER)、およびビット 2 (PER) は読み出し専用であり、書き込むことはできません。

SCSSR は、リセットまたはスタンバイモードおよびモジュールスタンバイモードで H'0060 に初期化されます。

下位 8 ビット：	7	6	5	4	3	2	1	0
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値：	0	1	1	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

• ビット7: 受信エラー (ER)

フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。

ビット7	説明
ER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) ER=1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラーまたはパリティエラーが発生したことを表示 [セット条件] (1) 受信データの最後のストップビットが1回のデータ受信の終わりで1であるかどうかをチェックした後ストップビットが0の場合* ² (2) 受信時の受信データとパリティビットをあわせた1の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】 *1 SCSCR の RE ビットを0にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCRDR から読み出したデータに受信エラーが含まれるかどうかは SCSSR の FER ビットと PER ビットで検出することができます。

*2 ストップモードでは、第1ストップビットのみチェックされ、第2ストップビットはチェックされません。

• ビット6: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。

ビット6	説明
TEND	
0	送信中であることを表示 [クリア条件] SCFTDR ヘデータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット時またはスタンバイモード時、TE がシリアルコントロールレジスタ (SCSCR) で0にクリアされるとき (2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR に送信データがないとき

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

• ビット 5: 送信 FIFO データエンプティ (TDFE)

トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1 ビットと TTRG0 ビットで指定した送信トリガ数より少なくなり、SCFTDR への送信データの書き込みが許可されることを示します。

ビット 5	説明
TDFE	
0	SCFTDR に書き込んだ送信データ数が指定送信トリガ数以上であることを表示。 (初期値) [クリア条件] 指定送信トリガ数より大きいデータを SCFTDR に書き込み、ソフトウェアが TDFE=1 の状態を読み出した後、TDFE に 0 を書き込んだとき
1	SCFTDR に書き込んだ送信データ数が指定送信トリガ数より小さいことを表示。 [セット条件] (1) リセット時またはスタンバイモード時 (2) 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数より小さいとき

【注】 * SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE=1 の状態で書き込むことができるデータの最大数は「指定した送信トリガ数から 16 を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFTDR の上位 8 ビットで示されます。

• ビット 4: ブレークデテクション (BRK)

受信データにブレーク信号が検出されたことを示します。

ビット 4	説明
BRK	
0	受信中のブレーク信号なし (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) BRK=1 の状態を読み出した後、BRK フラグに 0 を書き込んだとき
1	ブレーク信号を受信* [セット条件] (1) フレームエラーを含むデータの受信時 (2) 後続の受信データにスペースが 0 のフレーミングエラーが発生したとき

【注】 * ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し受信信号がマーク 1 になると、受信データの転送が再開します。ブレーク信号を検出したフレームの受信データは SCFRDR に転送されます。ただし、この後、受信信号がマーク 1 になりブレークが終了し次のデータが受信されるまで受信データは転送されません。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- ビット3: フレーミングエラー (FER)

レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーが発生したことを示します。

ビット3	説 明
FER	
0	SCFRDR から読み出したデータにフレーミングエラーが発生しなかったことを表示 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) SCFRDR から読み出したデータにフレーミングエラーがない場合
1	SCFRDR から読み出したデータにフレーミングエラーが発生したことを表示 [セット条件] SCFRDR から読み出したデータにフレーミングエラーが存在する場合

- ビット2: パリティエラー (PER)

レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーが発生したことを示します。

ビット2	説 明
PER	
0	SCFRDR から読み出したデータに受信パリティエラーが発生しなかったことを表示 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) SCFRDR から読み出したデータにパリティエラーがない場合
1	SCFRDR から読み出したデータに受信フレーミングエラーが発生したことを表示 [セット条件] SCFRDR から読み出したデータにパリティエラーが存在する場合

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

• ビット 1 : レシーブ FIFO データフル (RDF)

受信データがレシーブ FIFO データレジスタ (SCFRDR) に転送され、SCFRDR のデータ数が FIFO コントロールレジスタ (SCFCR) の RTRG1 ビットおよび RTRG0 ビットで指定した受信トリガ数以上になったことを示します。

ビット 1	説 明
RDF	
0	SCFRDR に書き込まれた送信データ数は、指定受信トリガ数より小さいことを表示 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) SCFRDR の受信データ数が指定受信トリガ数より小さくなるまで読み出し、RDF の 1 を読み出した後 0 を書き込んだとき
1	SCFRDR 内の受信データ数は、指定受信トリガ数以上であることを表示 [セット条件] 指定受信トリガ数以上の受信データ数が SCFRDR に格納されるとき*

【注】 * SCFTDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR の受信データ数は SCFTDR の下位 8 ビットで示されます。

• ビット 0 : レシーブデータレディ (DR)

レシーブ FIFO データレジスタ (SCFRDR) が指定受信トリガ数より小さいデータを格納し、最後のストップビットから 15 ETU の時間経過後も次のデータが受信されないことを示します。

ビット 0	説 明
DR	
0	受信中であるか、受信の正常終了後 SCFRDR の受信データが SCFRDR 内に格納されていることを表示 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) DR=1 の状態を読み出した後 DR に 0 を書き込んだとき
1	次の受信データが受信されていません [セット条件] 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15etu の時間経過後も次のデータが受信されないとき

【注】 * 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。

etu : Element Time Unit (1 ビットの転送期間)

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

上位 8 ビット :	15	14	13	12	11	10	9	8
	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

- ビット 15~12 : パリティエラー数 3~0 (PER3~PER0)

レシーブ FIFO データレジスタ (SCFRDR) に格納した受信データのパリティエラーを含むデータ数を示します。ビット 15~12 が示す値は SCFRDR のパリティエラー数を表します。

- ビット 11~8 : フレーミングエラー数 3~0 (FER3~FER0)

SCFRDR に格納した受信データのフレーミングエラーを含むデータ数を示します。ビット 11~8 が示す値は SCFRDR のフレーミングエラー数を表します。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

17.2.8 ビットレートレジスタ (SCBRR)

ビットレートレジスタ (SCBRR) は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し/書き込みが可能です。

SCBRR は、リセット、モジュールスタンバイモードまたはスタンバイモードで H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、2 つのチャンネルにはそれぞれ異なる値を設定することができます。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCBRR の設定値は以下の計算式で求められます。

調歩同期式モード:

$$N = \frac{P\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: ビットレート (bit/s)

N: ボーレートジェネレータの SCBRR の設定値 ($0 \leq N \leq 255$)

Pφ: 周辺モジュールの動作周波数 (MHz)

n: ボーレートジェネレータ入力クロック (n = 0, 1, 2, 3)

(n とクロックの関係は表 17.3 を参照してください。)

表 17.3 SCSMR の設定値

n	クロックソース	クロック SCSMR の設定値	
		CKS1	CKS0
0	Pφ	0	0
1	Pφ/4	0	1
2	Pφ/16	1	0
3	Pφ/64	1	1

【注】 ビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P\phi}{(N+1) \times 64 \times 2^{2n-1} \times B} \times 10^6 - 1 \right\} \times 100$$

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 17.4 に SCBRR の設定例を示します。

表 17.4 ビットレートと SCBRR の設定

ビットレート (bits/s)	P _φ (MHz)								
	2			2.097152			2.4576		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26
150	1	103	0.16	1	108	0.21	1	127	0.00
300	0	207	0.16	0	217	0.21	0	255	0.00
600	0	103	0.16	0	108	0.21	0	127	0.00
1200	0	51	0.16	0	54	-0.70	0	63	0.00
2400	0	25	0.16	0	26	1.14	0	31	0.00
4800	0	12	0.16	0	13	-2.48	0	15	0.00
9600	0	6	-6.99	0	6	-2.48	0	7	0.00
19200	0	2	8.51	0	2	13.78	0	3	0.00
31250	0	1	0.00	0	1	4.86	0	1	22.88
38400	0	1	-18.62	0	0	-14.67	0	1	0.00

ビットレート (bits/s)	P _φ (MHz)								
	3			3.6864			4		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	212	0.03	2	64	0.70	2	70	0.03
150	1	155	0.16	1	191	0.00	1	207	0.16
300	1	77	0.16	1	95	0.00	1	103	0.16
600	0	155	0.16	0	191	0.00	0	207	0.16
1200	0	77	0.16	0	95	0.00	0	103	0.16
2400	0	38	0.16	0	47	0.00	0	51	0.16
4800	0	19	-2.34	0	23	0.00	0	25	0.16
9600	0	9	-2.34	0	11	0.00	0	12	0.16
19200	0	4	-2.34	0	5	0.00	0	6	-6.99
31250	0	2	0.00	0	3	-7.84	0	3	0.00
38400	—	—	—	0	2	0.00	0	2	8.51

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビットレート (bits/s)	P ϕ (MHz)								
	4.9152			5			6		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	0.31	2	88	-0.25	2	106	-0.44
150	1	255	0.00	2	64	0.16	2	77	0.16
300	1	127	0.00	1	129	0.16	1	155	0.16
600	0	255	0.00	1	64	0.16	1	77	0.16
1200	0	127	0.00	0	129	0.16	0	155	0.16
2400	0	63	0.00	0	64	0.16	0	77	0.16
4800	0	31	0.00	0	32	-1.36	0	38	0.16
9600	0	15	0.00	0	15	1.73	0	19	-2.34
19200	0	7	0.00	0	7	1.73	0	9	-2.34
31250	0	4	-1.70	0	4	0.00	0	5	0.00
38400	0	3	0.00	0	3	1.73	0	4	-2.34

ビットレート (bits/s)	P ϕ (MHz)								
	6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	79	0.00	2	95	0.00	2	103	0.16
300	1	159	0.00	1	191	0.00	1	207	0.16
600	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	0.00	0	5	0.00	0	6	-6.99

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビットレート (bits/s)	P ϕ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	-0.26	2	177	-0.25	1	212	0.03	2	217	0.08
150	1	127	0.00	2	129	0.16	1	155	0.16	2	159	0.00
300	0	255	0.00	2	64	0.16	1	77	0.16	2	79	0.00
600	0	127	0.00	1	129	0.16	0	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	0	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	38	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	19	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	9	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	4	0.16	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	2	0.00	0	11	2.40
38400	0	1	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビットレート (bits/s)	P ϕ (MHz)											
	14.7456			16			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	64	0.70	3	70	0.03	3	86	0.31	3	88	-0.25
150	2	191	0.00	2	207	0.16	2	255	0.00	2	64	0.16
300	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
600	1	191	0.00	1	207	0.16	1	255	0.00	1	64	0.16
1200	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
2400	0	191	0.00	0	207	0.16	0	255	0.00	0	64	0.16
4800	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
9600	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
19200	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
31250	0	14	-1.70	0	15	0.00	0	19	-1.70	0	19	0.00
38400	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
115200	0	3	0.00	0	3	8.51	0	4	6.67	0	4	8.51
500000	0	0	-7.84	0	0	0.00	0	0	22.9	0	0	25.0

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビットレート (bits/s)	P ϕ (MHz)											
	24			24.576			28.7			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	106	-0.44	3	108	0.08	3	126	0.31	3	132	0.13
150	3	77	0.16	3	79	0.00	3	92	0.46	3	97	-0.35
300	2	155	0.16	2	159	0.00	2	186	-0.08	2	194	0.16
600	2	77	0.16	2	79	0.00	2	92	0.46	2	97	-0.35
1200	1	155	0.16	1	159	0.00	1	186	-0.08	1	194	0.16
2400	1	77	0.16	1	79	0.00	1	92	0.46	1	97	-0.35
4800	0	155	0.16	0	159	0.00	0	186	-0.08	0	194	-1.36
9600	0	77	0.16	0	79	0.00	0	92	0.46	0	97	-0.35
19200	0	38	0.16	0	39	0.00	0	46	-0.61	0	48	-0.35
31250	0	23	0.00	0	24	-1.70	0	28	-1.03	0	29	0.00
38400	0	19	-2.34	0	19	0.00	0	22	1.55	0	23	1.73
115200	0	6	-6.99	0	6	-4.76	0	7	-2.68	0	7	1.73
500000	0	1	-25.0	0	1	-23.2	0	1	-10.3	0	1	-6.25

表 17.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 17.6 に外部クロック入力時の最大ビットレートを示します。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 17.5 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート
(調歩同期式モード)

P ϕ (MHz)	最大ビットレート (bits/s)	設定	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.6608	614400	0	0
20	625000	0	0
24	750000	0	0
24.576	768000	0	0
28.7	896875	0	0
30	937500	0	0

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 17.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

P ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bits/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
8	2.0000	125000
9.8304	2.4576	153600
12	3.0000	187500
14.7456	3.6864	230400
16	4.0000	250000
19.6608	4.9152	307200
20	5.0000	312500
24	6.0000	375000
24.576	6.1440	384000
28.7	7.1750	448436
30	7.5000	468750

17.2.9 FIFO コントロールレジスタ (SCFCR)

ビット:	7	6	5	4	3	2	1	0
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FIFO コントロールレジスタ (SCFCR) は、トランスミット FIFO データレジスタおよびレシーブ FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行い、ループバックテストのイネーブルビットを備えています。SCFCR は、常に CPU による読み出し/書き込みが可能です。SCFCR は、リセット、モジュールスタンバイ機能、またはスタンバイモードで H'00 に初期化されます。

- ビット 7、6: レシーブ FIFO データ数のトリガ (RTRG1、RTRG0)

シリアルステータスレジスタ (SCSSR) のレシーブデータフル (RDF) フラグを設定する基準となる受信データ数 (指定受信トリガ数) をセットします。レシーブ FIFO データレジスタ (SCFDR) に格納された受信データ数が下表の設定トリガ数以上になると RDF フラグは 1 にセットされます。

ビット 7	ビット 6	受信トリガ数
RTRG1	RTRG0	
0	0	1 (初期値)
0	1	4
1	0	8
1	1	14

- ビット 5、4: 送信 FIFO データ数のトリガ (TTRG1、TTRG0)

シリアルステータスレジスタ (SCSSR) の送信 FIFO データレジスタエンpty (TDFE) フラグを設定する基準となる送信データ数 (指定送信トリガ数) を設定します。トランスミット FIFO データレジスタ (SCFTDR) に格納された送信データ数が下表の設定トリガ数を下回ると TDFE フラグは 1 にセットされます。

ビット 5	ビット 4	送信トリガ数
TTRG1	TTRG0	
0	0	8 (8)*
0	1	4 (12)
1	0	2 (14)
1	1	1 (15)

【注】 * 初期状態。カッコ内の数値は TDFE フラグが 1 にセットされるとき SCFTDR レジスタの空きバイト数を意味します。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- ビット3: モデムコントロールイネーブル (MCE)

モデムコントロール信号 CTS、RTS を許可/禁止します。

ビット3	説明
MCE	
0	モデム信号を禁止* (初期値)
1	モデム信号を許可

【注】 * 入力値に関係なく CTS はアクティブ 0 に固定され、RTS も 0 に固定されます。

- ビット2: トランスミット FIFO データレジスタリセット (TFRST)

トランスミット FIFO データレジスタの送信データを無効にし、データを空の状態にリセットします。

ビット2	説明
TFRST	
0	リセット動作を禁止* (初期値)
1	リセット動作を許可

【注】 * リセットはリセットまたはスタンバイモードで実行されます。

- ビット1: レシーブ FIFO データレジスタリセット (RFRST)

レシーブ FIFO データレジスタの受信データを無効にし、データを空の状態にリセットします。

ビット1	説明
RFRST	
0	リセット動作を禁止* (初期値)
1	リセット動作を許可

【注】 * リセットはリセットまたはスタンバイモードで実行されます。

- ビット0: ループバックテスト (LOOP)

送信出力端子 (TXD) と受信入力端子 (RXD) を内部で接続しループバックテストを許可します。

ビット0	説明
LOOP	
0	ループバックテストを禁止 (初期値)
1	ループバックテストを許可

17.2.10 FIFO データ数レジスタ (SCFDR)

SCFDR は、トランスミット FIFO データレジスタ (SCFTDR) とレシーブ FIFO データレジスタ (SCFRDR) に格納されたデータ数を示す 16 ビットのレジスタです。

SCFDR は、上位 8 ビットで SCFTDR の送信データ数を示し、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU からの読み出しが可能です。

ビット:	15	14	13	12	11	10	9	8
	—	—	—	T4	T3	T2	T1	T0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

SCFDR 上位 8 ビットは SCFTDR に格納された未送信データ数を示します。H'00 は送信データがないこと、H'10 は送信データのすべてが SCFTDR に格納されていることを意味します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	R4	R3	R2	R1	R0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

SCFDR 下位 8 ビットは SCFRDR に格納された受信データ数を示します。H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR に格納されていることを意味します。

17.3 動作説明

17.3.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードでシリアル通信ができます。調歩同期式モードの動作については「15.3.2 調歩同期式モード時の動作」を参照してください。

SCIF は、送信、受信いずれに対しても 16 バイト FIFO バッファを用意し、CPU のオーバヘッドを小さくするとともに高速の連続通信を可能にします。さらにモデムコントロール信号として $\overline{\text{RTS}}$ 信号、 $\overline{\text{CTS}}$ 信号を用意しています。送信フォーマットの選択は、表 17.7 に示すようにシリアルモードレジスタ (SCSMR) で行います。SCIF のクロックソースは、表 17.8 に示すようにシリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 の組み合わせで決まります。

- データ長： 7ビット/8ビットから選択可能
- パリティの付加、および1ビット/2ビットのストップビットの付加を選択可能。これらの組み合わせにより送信/受信フォーマットおよびキャラクタ長を決定。
- 受信時にフレーミングエラー (FER)、パリティエラー (PER)、レシーブFIFOデータフル、受信データレディ、およびブレークの検出が可能。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- 送信時に送信FIFOデータエンプティの検出が可能。
- トランスミットFIFOレジスタおよびレシーブFIFOレジスタの格納データ数を表示。
- SCIFのクロックソース： 内部クロック／外部クロックから選択可能。

内部クロックを選択した場合、SCIFは内蔵ボーレートジェネレータのクロックで動作し、ビットレートの16倍の周波数のクロックを出力することが可能。

外部クロックを選択した場合、ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ボーレートジェネレータは使用しない）。

表 17.7 シリアルモードレジスタの設定値と SCIF 送信／受信フォーマット

モード	SCSMR の設定値					SCIF 送信／受信フォーマット
	ビット 6 CHR	ビット 5 PE	ビット 3 STOP	データ長	パリティ ビット	ストップビット長
調歩同期式	0	0	0	8 ビット	なし	1 ビット
			1			2 ビット
		1	0		あり	1 ビット
			1			2 ビット
	1	0	0	7 ビット	なし	1 ビット
			1			2 ビット
		1	0		あり	1 ビット
			1			2 ビット

表 17.8 SCSMR、SCSCR の設定値と SCIF のクロックソースの選択

モード	SCSCR の設定値		SCIF の送信／受信クロック	
	ビット 1 CKE1	ビット 0 CKE0	クロック ソース	SCK 端子の機能
調歩同期式	0	0	内部	SCIF は、SCK 端子を使用しない
		1		ビットレートの 16 倍の周波数のクロックを出力
	1	0	外部	ビットレートの 16 倍の周波数のクロックを入力
		1		

17.3.2 シリアル動作

(1) 送信／受信フォーマット

選択可能な 8 種類の送信／受信フォーマットを表 17.9 に示します。送信／受信フォーマットは、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 17.9 シリアル送信/受信フォーマット

SCSMRの設定			シリアル送信/受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	START	8ビットデータ								STOP		
		1	START	8ビットデータ								STOP	STOP	
	1	0	START	8ビットデータ								P	STOP	
		1	START	8ビットデータ								P	STOP	STOP
1	0	0	START	7ビットデータ							STOP			
		1	START	7ビットデータ							STOP	STOP		
	1	0	START	7ビットデータ							P	STOP		
		1	START	7ビットデータ							P	STOP	STOP	

【注】 START : スタートビット
 STOP : ストップビット
 P : パリティビット

(2) クロック

SCIF の送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部クロックの 2 種類から選択できます。クロックソースはシリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットの設定により選択できます (表 17.8)。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

SCIF を内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数は、ビットレートの 16 倍です。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

(3) データの送信／受信動作 (SCIF 初期化)

データの送信／受信前には、まずシリアルコントロールレジスタ (SCSCR) の TE ビットおよび RE ビットを 0 にクリアした後、以下の順に SCIF を初期化してください。

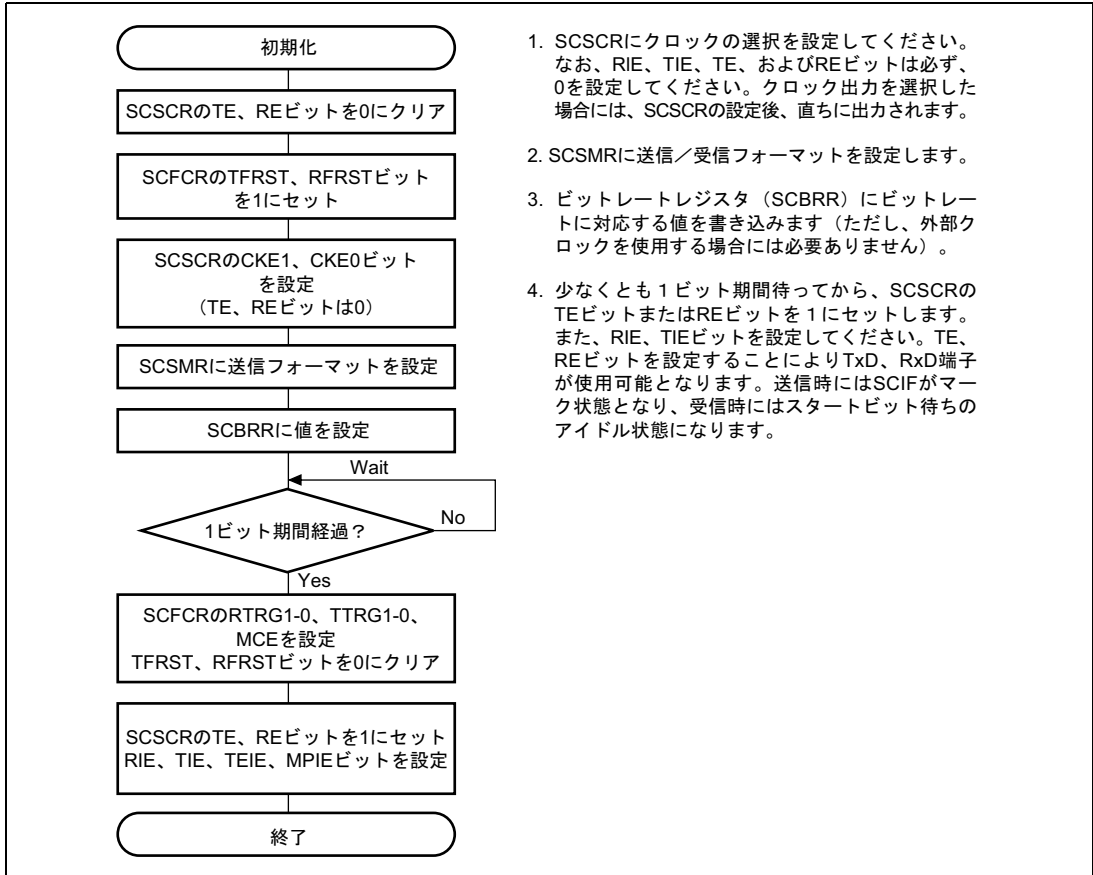
通信フォーマットの変更の場合は必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアするとトランスミットシフトレジスタ (SCTSR) は初期化されます。しかし、TE ビットと RE ビットを 0 にクリアしてもシリアルステータスレジスタ (SCSSR)、トランスミット FIFO データレジスタ (SCFTDR)、レシーブ FIFO データレジスタ (SCFRDR) は初期化されず、それらの内容は保持されます。

TE ビットは、すべての送信データの送信が完了し SCSSR の TEND フラグがセットされてから 0 にクリアしてください。TE ビットは送信中に 0 にクリアできませんが、送信データはビットを 0 にクリアした後ハイインピーダンス状態になります。

SCFCR の TFRST ビットを 1 にセットし、TE を再びセットする前に SCFTDR をリセットして送信を開始します。

外部クロックを使用している場合には、SCIF 動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。

図 17.5 に SCIF の初期化フローチャートの例を示します。SCIF の初期化手順は以下のとおりです。



1. SCSCRIにクロックの選択を設定してください。なお、RIE、TIE、TE、およびREビットは必ず、0を設定してください。クロック出力を選択した場合には、SCSCRの設定後、直ちに出力されます。
2. SCSMRに送信／受信フォーマットを設定します。
3. ビットレートレジスタ (SCBRR) にビットレートに対応する値を書き込みます (ただし、外部クロックを使用する場合には必要ありません)。
4. 少なくとも1ビット期間待ってから、SCSCRのTEビットまたはREビットを1にセットします。また、RIE、TIEビットを設定してください。TE、REビットを設定することによりTxD、RxD端子が使用可能となります。送信時にはSCIFがマーク状態となり、受信時にはスタートビット待ちのアイドル状態になります。

図 17.5 SCIF の初期化フローチャートの例

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

● シリアルデータ送信

図 17.6 にシリアル送信のフローチャートの例を示します。

SCIF の送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

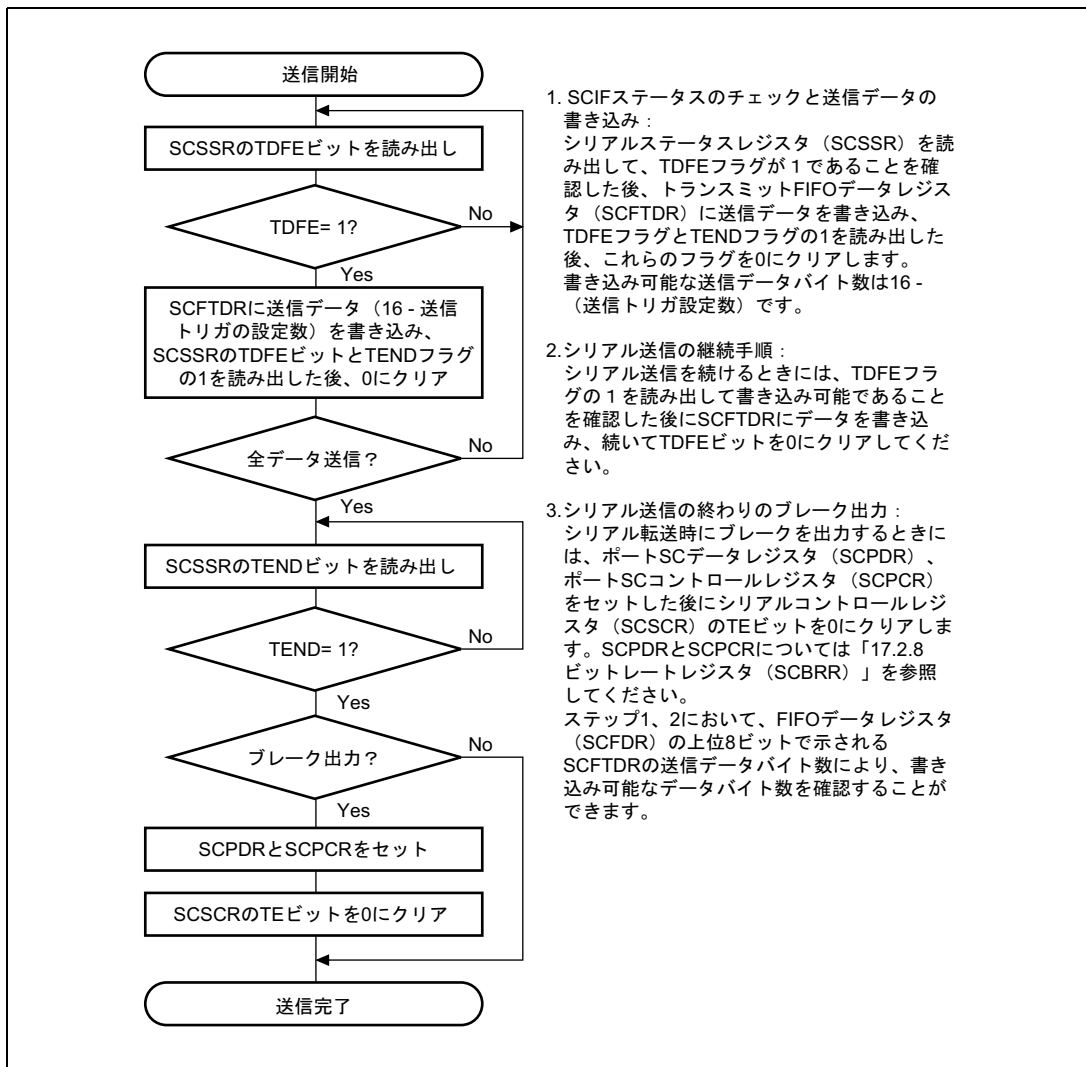


図 17.6 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCIFはSCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCSSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16-送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続送信動作を実行します。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) に設定された送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- a. スタートビット：1ビットの0が出力されます。
 - b. 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます、
 - c. パリティビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます。
(なお、パリティビットを出力しないフォーマットも選択できます。)
 - d. ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - e. マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDR送信データをチェックします。データが存在すればSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

データが存在しない場合、SCSSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を連続して出力するマーク状態になります。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

送信時の動作例を図 17.7 に示します。

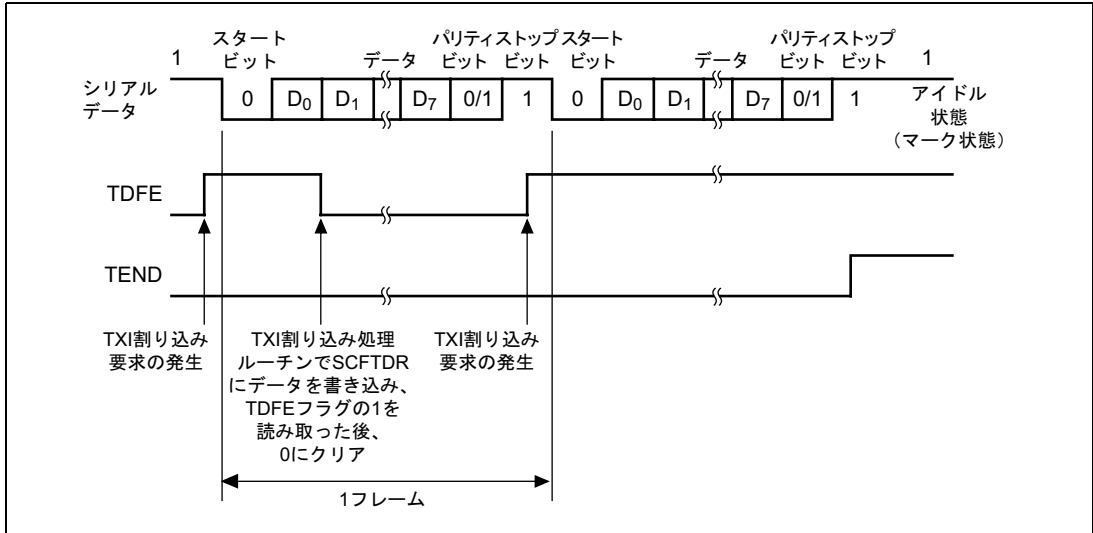


図 17.7 送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

4. モデムコントロールを許可した場合、 $\overline{\text{CTS}}$ 入力値に応じて送信を停止、再開することができます。 $\overline{\text{CTS}}$ が 1 にセットされると、送信中である場合 1 フレームの送信後マーク状態になります。 $\overline{\text{CTS}}$ が 0 にセットされると、次の送信データがスタートビットを先頭に出力されます。

図 17.8 にモデムコントロールを使用した動作例を示します。

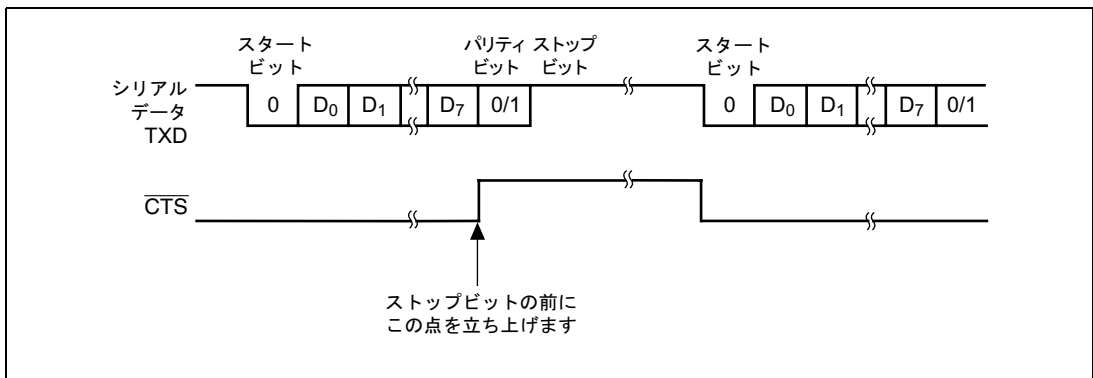
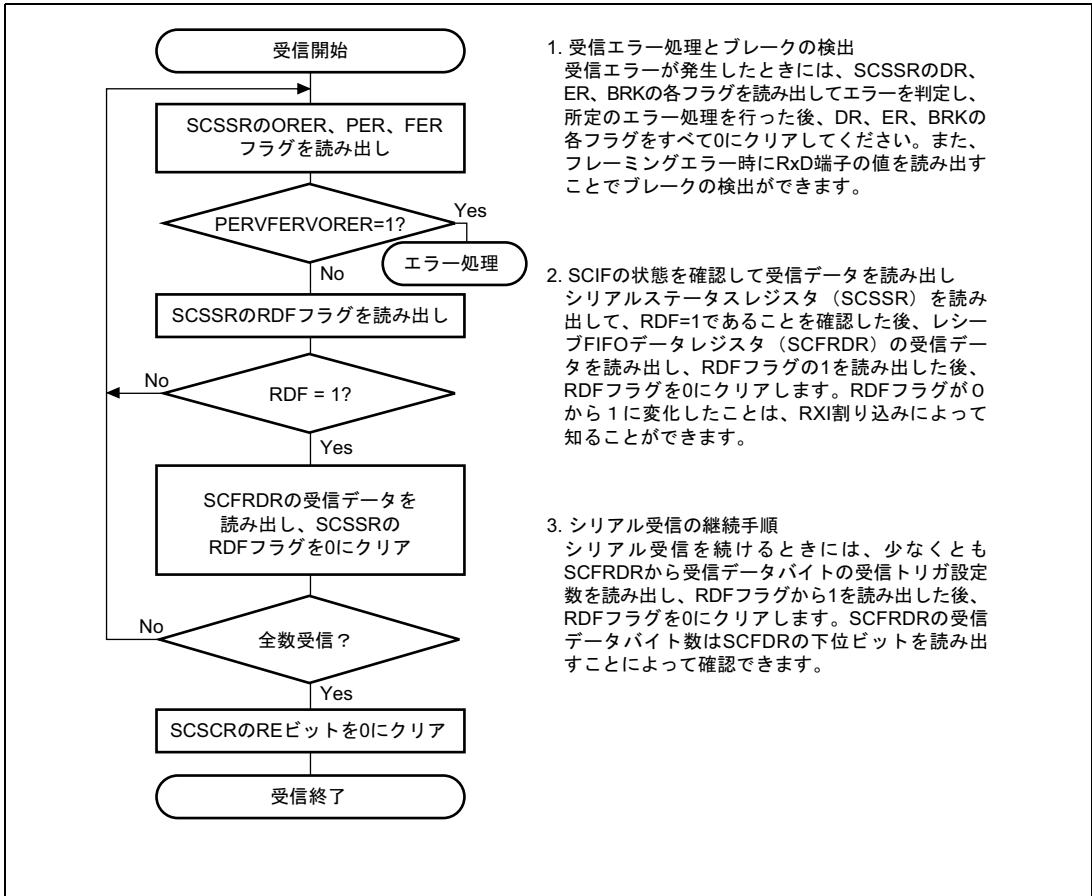


図 17.8 モデムコントロールを使用した動作例 ($\overline{\text{CTS}}$)

● シリアルデータ受信

図 17.9、図 17.10 にシリアル受信フローチャートの例を示します。

SCIF の受信を可能にした後、シリアルデータ受信は以下の手順に従って行ってください。



1. 受信エラー処理とブレークの検出
受信エラーが発生したときには、SCSSRのDR、ER、BRKの各フラグを読み出してエラーを判定し、所定のエラー処理を行った後、DR、ER、BRKの各フラグをすべて0にクリアしてください。また、フレーミングエラー時にRxD端子の値を読み出すことでブレークの検出ができます。

2. SCIFの状態を確認して受信データを読み出し
シリアルステータスレジスタ (SCSSR) を読み出して、RDF=1であることを確認した後、レシープFIFOデータレジスタ (SCFRDR) の受信データを読み出し、RDFフラグの1を読み出した後、RDFフラグを0にクリアします。RDFフラグが0から1に変化したことは、RXI割り込みによって知ることができます。

3. シリアル受信の継続手順
シリアル受信を続けるときには、少なくともSCFRDRから受信データバイトの受信トリガ設定数を読み出し、RDFフラグから1を読み出した後、RDFフラグを0にクリアします。SCFRDRの受信データバイト数はSCFRDRの下位ビットを読み出すことによって確認できます。

図 17.9 シリアル受信のフローチャートの例 (1)

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

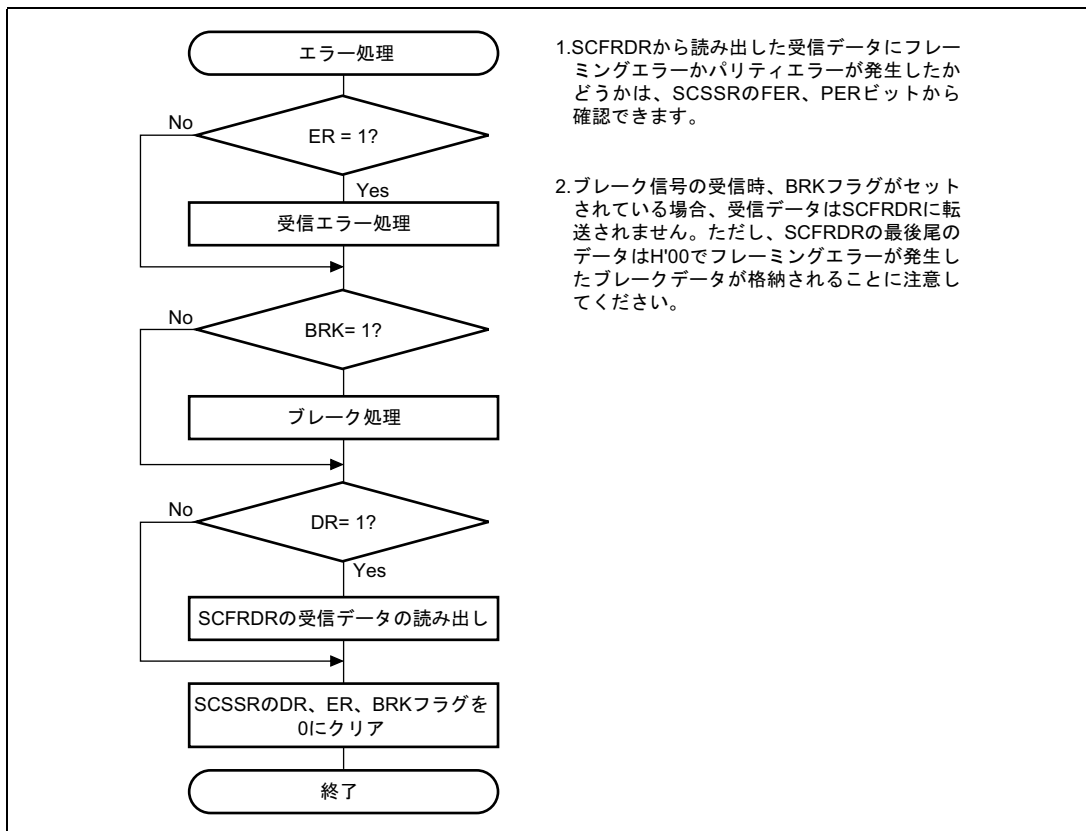


図 17.10 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよび、ストップビットを受信します。

受信後、SCIFは以下のチェックを行います。

a. ストップビットチェック

ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。

b. 受信データをレシーブシフトレジスタ (SCRSR) からSCFRDRに転送できる状態であるかをチェックします。

c. ブレークチェック

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ブレイク状態がセットされていないことを示す BRK フラグが 0 であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDR に受信データが格納されます。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

4. RDF または DR フラグが 1 になったとき、SCSR の RIE ビットが 1 にセットされているとレシーブ FIFO データフル割り込み (RXI) 要求が発生します。また、ER フラグが 1 になったとき、SCSR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求が発生します。

BRK フラグが 1 になったとき、SCSR の RIE ビットが 1 にセットされているとブレイク受信割り込み (BRI) 要求が発生します。

図 17.11 に受信動作例を示します。

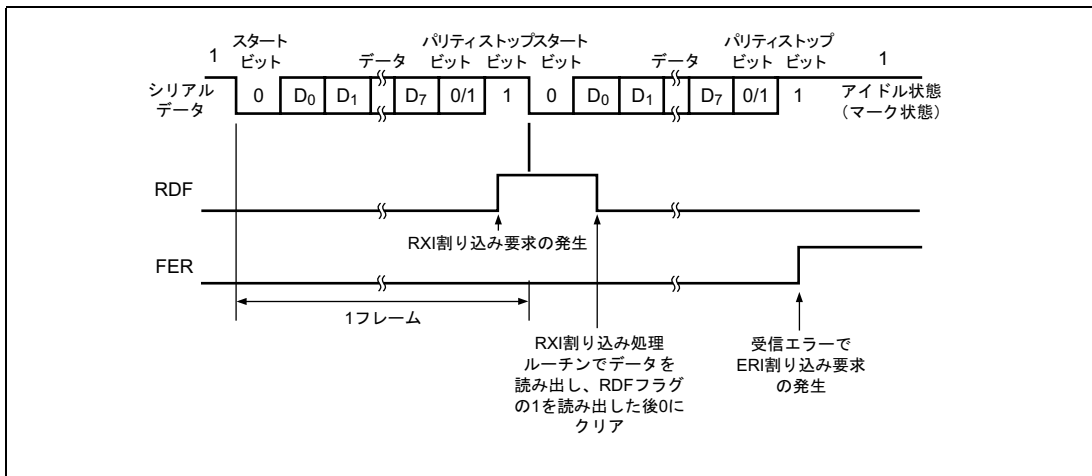


図 17.11 SCIF の受信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

5. モデムコントロールが有効であると、SCFRDR が空のとき $\overline{\text{RTS}}$ 信号が出力されます。 $\overline{\text{RTS}}$ が 0 の場合受信が可能です。 $\overline{\text{RTS}}$ が 1 の場合は SCFRDR がフルで受信が不可能であることを示します。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

図17.12にモデムコントロール使用時の動作例を示します。

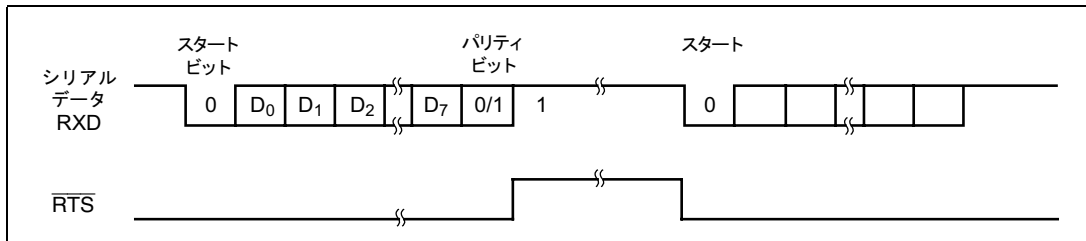


図 17.12 モデムコントロール使用時の動作例 ($\overline{\text{RTS}}$)

17.4 SCIF の割り込み

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、ブレーク割り込み (BRI) 要求、の 4 種類の割り込み要因を持っています。

表 17.10 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SCSSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、DMAC を起動してデータ転送を行うことができます。TDFE フラグは DMAC によりトランスミットデータレジスタ (SCFTDR) に送信トリガ数を超えるデータを書き込み、TDFE=1 を読み出し後、0 を書き込んだとき、クリアされます。

SCSSR の RDF フラグが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC を起動して、データ転送を行うことができます。RDF フラグは DMAC によりレシーブデータレジスタ (SCFRDR) の受信データを受信トリガ数より少なくなるまで読み出し、RDF=1 を読み出し後、0 を書き込んだとき、クリアされます。

また、SCSSR の ER フラグが 1 にセットされると、ERI 割り込み要求が発生します。

SCSSR の BRK フラグが 1 にセットされると、BRI 割り込み要求が発生します。

TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは SCFRDR に受信データがあることを示しています。

表 17.10 SCIF 割り込み要因

割り込み要因	内容	DMAC の起動	優先順位
ERI	受信エラーフラグ (ER) による割り込み	不可	高 ↑ 低
RXI	受信データ FIFO フルフラグ (RDF) またはデータレディフラグ (DR) による割り込み	可 (RDF のみ)	
BRI	ブレークフラグ (BRK) による割り込み	不可	
TXI	送信 FIFO データエンプティフラグ (TDFE) による割り込み	可	

優先順位および非 SCIF 割り込みとの関係については「第 4 章 例外処理」を参照してください。

17.5 使用上の注意

SCIFを使用する際は、以下のことに注意してください。

(1) SCFTDR への書き込みと TDFE フラグの関係について：

シリアルステータスレジスタ (SCSSR) の TDFE フラグは、トランスミット FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (SCFCR) の TTRG1 ビット、TTRG0 ビットで設定した送信トリガ数より小さくなるとセットされます。TDFE がセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率的な連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグを 0 にクリアしても再び 1 にセットされます。したがって、指定送信トリガ数を上回るデータを SCFTDR に書き込んでから、TDFE のクリアを実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ (SCFDR) の上位 8 ビットから知ることができます。

(2) SCFRDR の読み出しと RDF フラグ：

シリアルステータスレジスタ (SCSSR) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG1、RTRG0 ビットで設定した受信トリガ数以上になるとセットされます。RDF をセットした後、トリガ数に相当する受信データは SCFRDR から読み出すことができ、効率的な連続受信が可能です。

ただし、SCFRDR のデータバイト数がトリガ数を上回る場合、RDF フラグを、0 にクリアしても再び 1 にセットされます。したがって、RDF はすべての受信データの読み出し完了後、1 を読み出してから 0 にクリアしてください。

SCFRDR の受信データバイト数は、FIFO データカウントレジスタ (SCFDR) の下位 8 ビットから知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。SCFRDR への受信データの転送がブレーク状態で停止しても、SCIF は受信動作を続けますので、BRK フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子の入出力条件とレベルは、SC ポートデータレジスタ (SCPDR) の SCP4DT ビットと SC ポートコントロールレジスタ (SCPCR) の SCP4MD0、SCP4MD1 ビットで決まります。これを利用してブレークの送り出しができます。

17. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

シリアル送信時にブレイク信号を送り出すためには、SCP4DT ビットを 0 にクリア（ローレベルを指定）した後 SCP4MD0、SCP4MD1 ビットをそれぞれ 0 と 1 にセットし、最後に TE ビットを 0 にクリア（送信停止）します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され TxD 端子から 0 が出力されません。

(5) TEND フラグと TE ビットの処理

最後尾データのストップビットの送信時、TEND フラグは 1 にセットされます。したがって、TEND フラグの設定を確認した直後に TE ビットを 0 にクリアすると、ストップビットは送信処理中となり正常に送信されません。したがって、TEND フラグの設定の確認後少なくとも 0.5 シリアルクロックサイクル（または 2 ストップビットを使用する場合は 1.5 サイクル）の間 0 にクリアしないでください。

(6) 受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時に SCIF は、スタートビットの立ち下りを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。このタイミングを図 17.13 に示します。

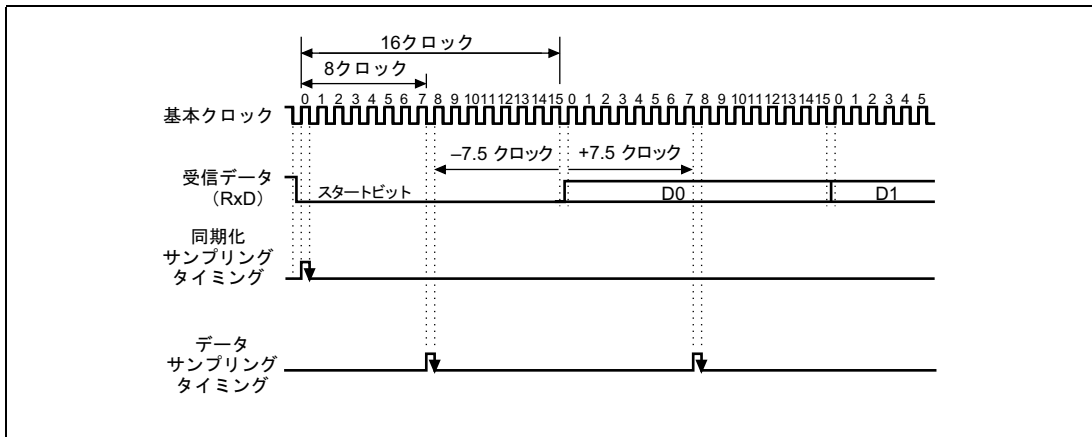


図 17.13 調歩同期式モードでの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \dots (1)$$

M : 受信マージン (%)

N : ビットレートに対するクロック周波数の比 (N=16)

D : クロックデューティ (D:0~1.0)

L : フレーム長 (L = 9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\%$$

$$= 46.875\% \dots \dots (2)$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

18. IrDA

18.1 概要

本 LSI は IrDA 1.0 システムに基づく赤外線データアソシエーション (IrDA) インタフェースを内蔵しているので赤外線通信を行うことができます。また、レジスタを設定することによって SCIF としても使用できます。

18.1.1 特長

- IrDA 1.0 準拠
- 調歩同期式シリアル通信
 - データ長： 8ビット
 - ストップビット長： 1ビット
 - パリティビット： なし
- 送受信内蔵16段FIFOバッファ
- ビットレートを選択できる内蔵ボーレートジェネレータ
- 送信中、受信部に影響を与えないようにする保護機能
- IrDA未使用中、消費電力を小さくするためにクロック供給を停止

18.1.2 ブロック図

図 18.1 に IrDA のブロック図を示します。

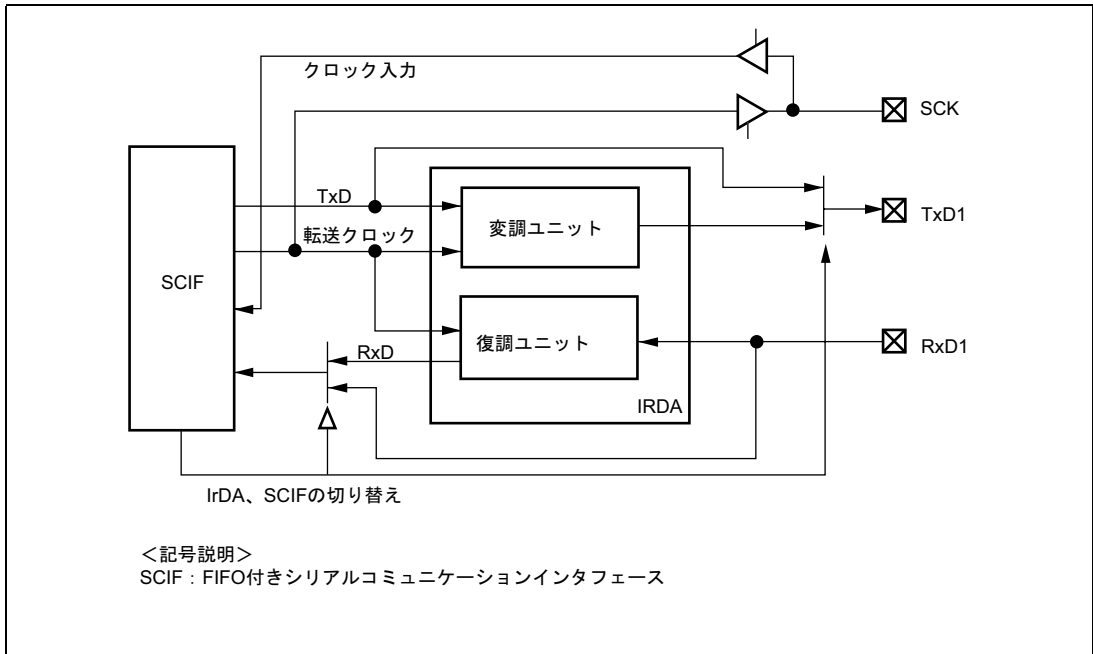


図 18.1 IrDA ブロック図

図 18.2～図 18.4 に IrDA I/O ポート端子を示します。

SCIF 端子入出力およびデータコントロールは SCPCR のビット 7 からビット 4、および SCPDR のビット 3、2 で行います。詳細については「15.2.8 SC ポートコントロールレジスタ (SCPCR) /SC ポートデータレジスタ (SCPDR)」を参照してください。

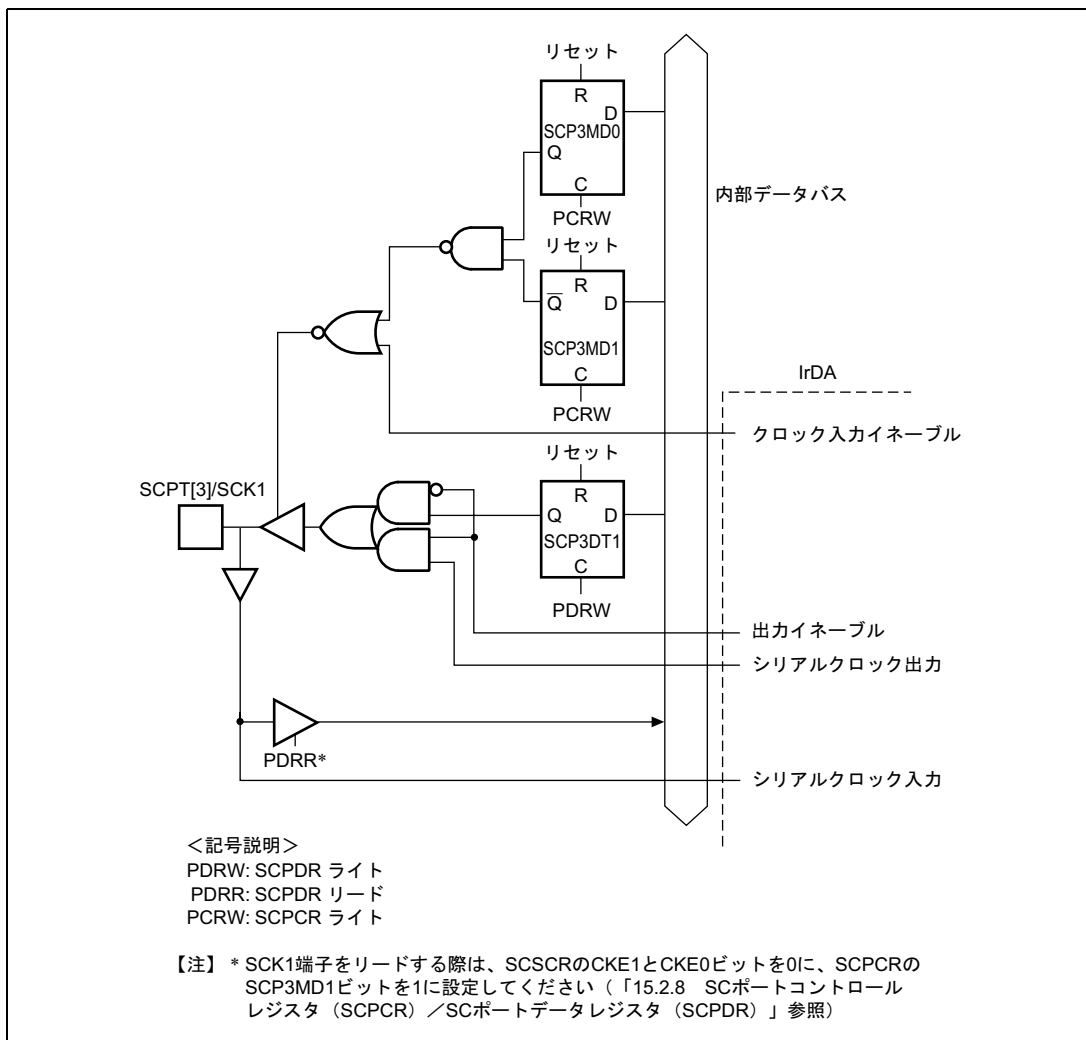


図 18.2 SCPT[3]/SCK1 端子

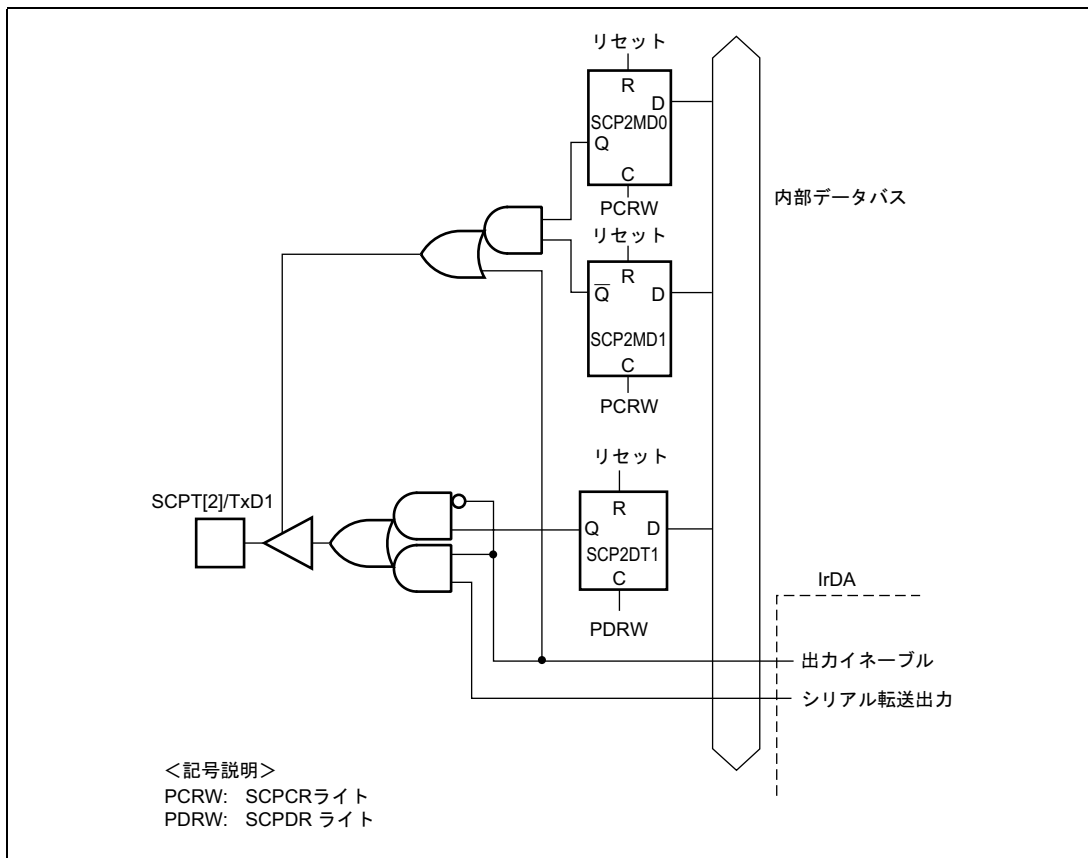


図 18.3 SCPT[2]/TxD1 端子

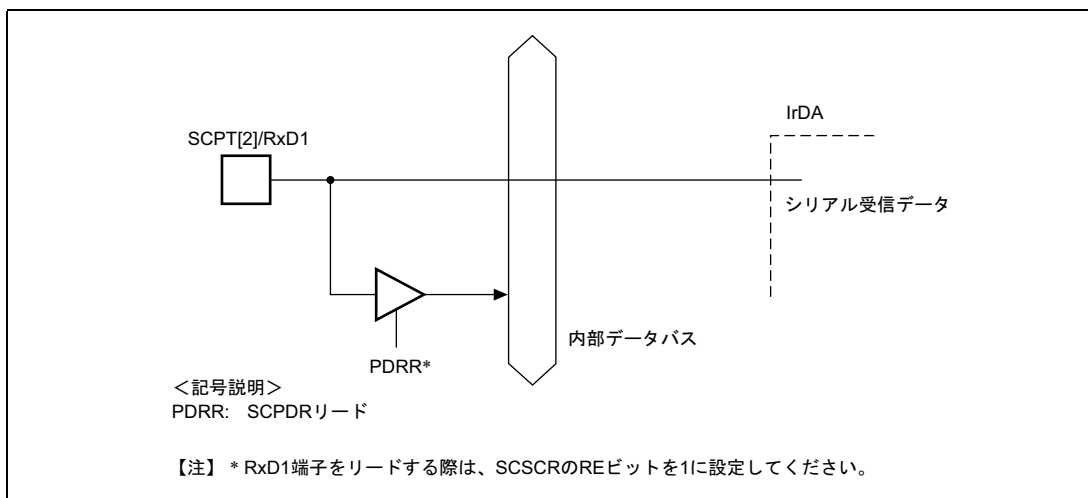


図 18.4 SCPT[2]/RxD1 端子

18.1.3 端子構成

IrDA の端子構成を表 18.1 に示します。

表 18.1 端子構成

端子名	信号名	入出力	機能
シリアルクロック端子	SCK1	入出力	クロック入出力
受信データ端子	RxD1	入力	受信データ入力
送信データ端子	TxD1	出力	送信データ出力

【注】 IrDA モードでは、シリアルクロック端子からのクロック入力設定を禁止します。

18.1.4 レジスタ構成

IrDA には表 18.2 に示すような内部レジスタがあります。これらのレジスタで IrDA か SCIF モードの切り替え、データフォーマット、ビットレートの指定を行い、送信、受信ユニットをコントロールすることができます。

表 18.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
シリアルモードレジスタ 1	SCSMR1	R/W	H'00	H'04000140 (H'A4000140)*2	8 ビット
ビットレートレジスタ 1	SCBRR1	R/W	H'FF	H'04000142 (H'A4000142)*2	8 ビット
シリアルコントロールレジスタ 1	SCSCR1	R/W	H'00	H'04000144 (H'A4000144)*2	8 ビット
トランスミット FIFO データレジスタ 1	SCFTDR1	W	—	H'04000146 (H'A4000146)*2	8 ビット
シリアルステータスレジスタ 1	SCSSR1	R/(W)*1	H'0060	H'04000148 (H'A4000148)*2	16 ビット
レシーブデータ FIFO レジスタ 1	SCFRDR1	R	不定	H'0400014A (H'A400014A)*2	8 ビット
FIFO コントロールレジスタ 1	SCFCR1	R/W	H'00	H'0400014C (H'A400014C)*2	8 ビット
FIFO データカウントセットレジスタ 1	SCFDR1	R	H'0000	H'0400014E (H'A400014E)*2	16 ビット

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

*1 フラグをクリアするための 0 書き込みのみ可能です。

*2 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

18.2 レジスタの説明

IrDA のレジスタ指定は、下記のシリアルモードレジスタを除いて SCIF のレジスタ指定と同じです。したがって、これらのレジスタについては「第 17 章 FIFO 付きシリアルコミュニケーションインタフェース (SCIF)」を参照してください。

18.2.1 シリアルモードレジスタ (SCSMR)

ビット:	7	6	5	4	3	2	1	0
	IRMOD	ICK3	ICK2	ICK1	ICK0	PSEL	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCSMR は、IrDA または SCIF モードの選択、SCIF シリアル通信フォーマットの指定、IrDA の出力パルス幅の選択、およびポーレートジェネレータのクロックソースの選択を行うことができる 8 ビットのレジスタです。

このモジュールは IRMOD ビットを 1 にセットすることによって IrDA として動作します。このとき、ビット 6 ~ 3 は 0 に固定されます。このレジスタは IRMOD ビットを 0 にセットすることによって SCIF の SCSMR レジスタと同様に機能します。したがって、このモジュールは SCIF としても動作することができます。

SCSMR は、パワーオンリセット、マニュアルリセット、モジュールスタンバイ機能による停止、またはスタンバイモードで H'00 に初期化されます。

- ビット 7: IrDA モード (IRMOD)

このビットはこのモジュールが IrDA シリアルコミュニケーションインタフェースとして動作するか、SCIF として動作するかを選択します。

ビット 7	説 明	
IRMOD		
0	SCIF として動作	(初期値)
1*	IrDA として動作	

【注】* IRMOD ビットを 1 に設定した場合、シリアルコントロールレジスタ 1 (SCSCR1) の CKE1 ビットを 1 に設定しないで下さい。

- ビット 6~3 : Ir クロックセレクトビット (ICK3~ICK0)

- ビット 2 : 出力パルス幅セレクト (PSEL)

出力パルス幅セレクトビット (PSEL) は、115kbps に対してビット長の 3/16、選択したボーレートに対してビット長の 3/16 である IRDA の出力パルス幅を選択します。

115 kbps に対してビット長の 3/16 に出力パルス幅を固定するためには、PSEL ビットを 1 にセットすることによって Ir クロックセレクトビットを正しく設定する必要があります。

ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	説 明
ICK3	ICK2	ICK1	ICK0	PSEL	パルス幅 : 115 kbps ビット長の 3/16
ICK3	ICK2	ICK1	ICK0	1	
Don't care				0	パルス幅 : ビット長の 3/16

$P\phi$ クロックを $1/2N+2$ 分割 (N は ICK3~ICK0 の設定値で決まります) することによって一定したクロックパルス IRCLK を生成する必要があります。

<例>

$P\phi$ クロック : 14.7456 MHz

IRCLK : 921.6 kHz (固定)

N : ICK3-ICK0 の設定値 ($0 \leq N \leq 15$)

$$N \geq P\phi / 2 \times IRCLK - 1 \geq 7$$

したがって、 N は 7 です。

- ビット 1、0 : クロックセレクト 1、0 (CKS1、CKS0)

このビットは、内部ボーレートジェネレータのクロックソースを選択します。

$P\phi$ 、 $P\phi/4$ 、 $P\phi/16$ 、または $P\phi/64$ は CKS1、CKS0 ビットを設定することによって選択できます。

クロックソース、ビットレートレジスタの設定値、ボーレート間については「15.2.9 ビットレートレジスタ (SCBRR)」を参照してください。

ビット 1	ビット 0	説 明
CKS1	CKS0	
0	0	$P\phi$ クロック (初期値)
	1	$P\phi/4$ クロック
1	0	$P\phi/16$ クロック
	1	$P\phi/64$ クロック

【注】 $P\phi$: 周辺クロック

18.3 動作の説明

IrDA モジュールは、赤外線送受信ユニットを接続することによって IrDA 1.0 に準拠した赤外線通信を実行することができます。シリアル通信インタフェースユニットは送信部と受信部に 16 段 FIFO バッファを内蔵していますので、CPU のオーバヘッドを小さくするとともに連続高速通信が可能です。本モジュールは DMAC データ転送もサポートしています。IrDA モジュールは、モデムコントロール信号 RTS、CTS を含まない点で「第 17 章 FIFO 付きシリアルコミュニケーションインタフェース (SCIF)」とは異なります。

SCIF モードの動作については「17.3 動作説明」を参照してください。

18.3.1 概要

IrDA モジュールは、IrDA 1.0 赤外線通信仕様を満足するよう、TxD/RxD 送受信データの波形を変更します。

IrDA 1.0 仕様では、通信はまず 9600 bps の速度で実行され、通信速度は変更されません。ただし、通信速度は本モジュールでは自動的に変更されません。したがって、通信を実行する場合には通信速度を確認し、ソフトウェアで本モジュールに適切な速度を設定してください。

【注】 IrDA モードでは、シリアルコントロールレジスタ (SCSCR) の TE ビットが 1 にセット (通信を許可) されていると受信を実行することができません。受信を行う場合は SCSCR の TE ビットを 0 にクリアしてください。

SH7729R の RxD1 端子はアクティブハイなので、アクティブローの IrD モジュールを接続する場合は (シュミット) インバータを挿入する必要があります。

SCIF モードでは、RxD1 端子はアクティブローです。

18.3.2 送信

SCIF からのシリアル出力信号 (UART フレーム) の場合、その波形は修正され、図 18.5 に示すように信号は IrDA モジュールによって IR フレームシリアル出力信号に変換されます。

シリアルデータが 0 の場合、IR フレームの 3/16 ビット幅のパルスが生成され出力されます。シリアルデータが 1 の場合、パルスは出力されません。

赤外線 LED は 3/16 幅に復調されたこの信号で駆動します。

18.3.3 受信

受信した IR フレームの 3/16 ビット幅のパルスは、図 18.5 に示すように復調後 UART フレームに変換されます。0 への復調はパルス出力に対して実行され、1 への復調はパルス出力に対しては実行されません。

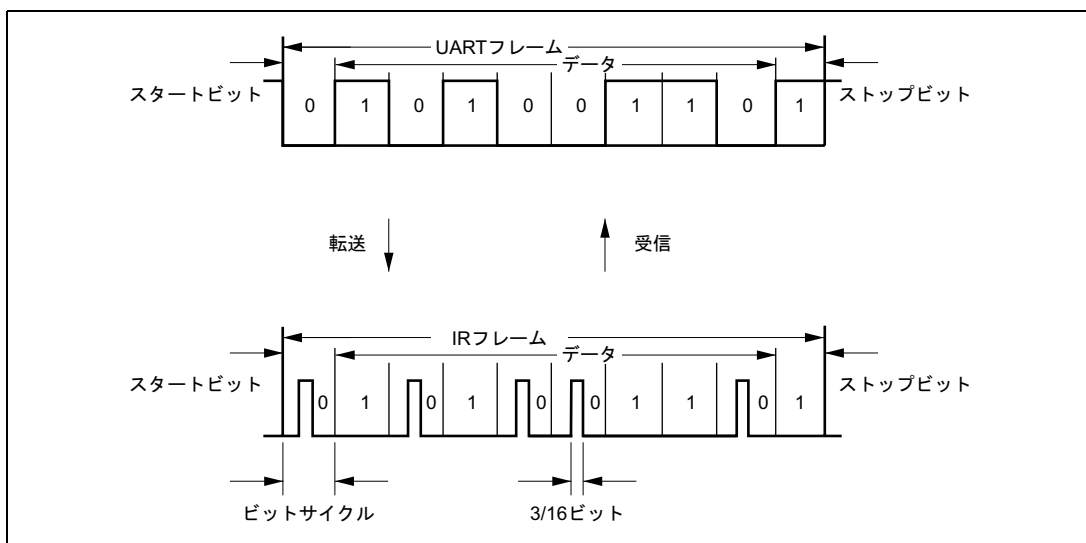


図 18.5 送受信動

19. ピンファンクションコントローラ (PFC)

19.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。端子機能と入出力の方向は、LSIの動作モードに関係なく端子ごとに個別に選択することができます。表 19.1 に、本 LSI のマルチプレクス端子を示します。

表 19.1 マルチプレクス一覧表

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
A	PTA7 入出力 (ポート)	D23 入出力 (データバス)
A	PTA6 入出力 (ポート)	D22 入出力 (データバス)
A	PTA5 入出力 (ポート)	D21 入出力 (データバス)
A	PTA4 入出力 (ポート)	D20 入出力 (データバス)
A	PTA3 入出力 (ポート)	D19 入出力 (データバス)
A	PTA2 入出力 (ポート)	D18 入出力 (データバス)
A	PTA1 入出力 (ポート)	D17 入出力 (データバス)
A	PTA0 入出力 (ポート)	D16 入出力 (データバス)
B	PTB7 入出力 (ポート)	D31 入出力 (データバス)
B	PTB6 入出力 (ポート)	D30 入出力 (データバス)
B	PTB5 入出力 (ポート)	D29 入出力 (データバス)
B	PTB4 入出力 (ポート)	D28 入出力 (データバス)
B	PTB3 入出力 (ポート)	D27 入出力 (データバス)
B	PTB2 入出力 (ポート)	D26 入出力 (データバス)
B	PTB1 入出力 (ポート)	D25 入出力 (データバス)
B	PTB0 入出力 (ポート)	D24 入出力 (データバス)
C	PTC7 入出力 (ポート) /PINT7 入力 (INTC)	$\overline{\text{MCS}}7$ 出力 (BSC)
C	PTC6 入出力 (ポート) /PINT6 入力 (INTC)	$\overline{\text{MCS}}6$ 出力 (BSC)
C	PTC5 入出力 (ポート) /PINT5 入力 (INTC)	$\overline{\text{MCS}}5$ 出力 (BSC)
C	PTC4 入出力 (ポート) /PINT4 入力 (INTC)	$\overline{\text{MCS}}4$ 出力 (BSC)
C	PTC3 入出力 (ポート) /PINT3 入力 (INTC)	$\overline{\text{MCS}}3$ 出力 (BSC)
C	PTC2 入出力 (ポート) /PINT2 入力 (INTC)	$\overline{\text{MCS}}2$ 出力 (BSC)
C	PTC1 入出力 (ポート) /PINT1 入力 (INTC)	$\overline{\text{MCS}}1$ 出力 (BSC)
C	PTC0 入出力 (ポート) /PINT0 入力 (INTC)	$\overline{\text{MCS}}0$ 出力 (BSC)
D	PTD7 入出力 (ポート)	DACK1 出力 (DMAC)
D	PTD6 入力 (ポート)	$\overline{\text{DREQ}}1$ 入力 (DMAC)

19. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
D	PTD5 入出力 (ポート)	DACK0 出力 (DMAC)
D	PTD4 入力 (ポート)	DREQ0 入力 (DMAC)
D	PTD3 入出力 (ポート)	WAKEUP 出力 (WTC)
D	PTD2 入出力 (ポート)	RESETOUT 出力
D	PTD1 入出力 (ポート)	DRAK0 出力 (DMAC)
D	PTD0 入出力 (ポート)	DRAK1 出力 (DMAC)
E	PTE7 入出力 (ポート)	AUDSYNC 出力 (AUD)
E	PTE6 入出力 (ポート)	—
E	PTE5 入出力 (ポート)	CE2B 出力 (PCMCIA)
E	PTE4 入出力 (ポート)	CE2A 出力 (PCMCIA)
E	PTE3 入出力 (ポート)	—
E	PTE2 入出力 (ポート)	RAS3U 出力 (BSC)
E	PTE1 入出力 (ポート)	—
E	PTE0 入出力 (ポート)	TDO 出力 (H-UDI)
F	PTF7 入力 (ポート) /PINT15 入力 (INTC)	TRST 入力 (AUD、H-UDI)
F	PTF6 入力 (ポート) /PINT14 入力 (INTC)	TMS 入力 (H-UDI)
F	PTF5 入力 (ポート) /PINT13 入力 (INTC)	TDI 入力 (H-UDI)
F	PTF4 入力 (ポート) /PINT12 入力 (INTC)	TCK 入力 (H-UDI)
F	PTF3 入力 (ポート) /PINT11 入力 (INTC)	IRLS3 入力 (INTC)
F	PTF2 入力 (ポート) /PINT10 入力 (INTC)	IRLS2 入力 (INTC)
F	PTF1 入力 (ポート) /PINT9 入力 (INTC)	IRLS1 入力 (INTC)
F	PTF0 入力 (ポート) /PINT8 入力 (INTC)	IRLS0 入力 (INTC)
G	PTG7 入力 (ポート)	IOIS16 入力 (PCMCIA)
G	PTG6 入力 (ポート)	ASEMD0 入力 (AUD、H-UDI)
G	PTG5 入力 (ポート)	ASEBRKAK 出力 (AUD)
G	PTG4 入力 (ポート)	CKIO2 出力 (CPG)
G	PTG3 入力 (ポート)	AUDATA3 出力 (AUD)
G	PTG2 入力 (ポート)	AUDATA2 出力 (AUD)
G	PTG1 入力 (ポート)	AUDATA1 出力 (AUD)
G	PTG0 入力 (ポート)	AUDATA0 出力 (AUD)
H	PTH7 入出力 (ポート)	TCLK 入出力 (タイマ)
H	PTH6 入力 (ポート)	AUDCK 入力 (AUD)
H	PTH5 入力 (ポート)	ADTRG 入力 (ADC)

19. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
H	PTH4 入力 (ポート) /IRQ4 入力 (INTC)	IRQ4 入力 (INTC)
H	PTH3 入力 (ポート) /IRQ3 入力 (INTC)	IRQ3 入力 (INTC)
H	PTH2 入力 (ポート) /IRQ2 入力 (INTC)	IRQ2 入力 (INTC)
H	PTH1 入力 (ポート) /IRQ1 入力 (INTC)	IRQ1 入力 (INTC)
H	PTH0 入力 (ポート) /IRQ0 入力 (INTC)	IRQ0 入力 (INTC)
J	PTJ7 入出力 (ポート)	STATUS1 出力 (CPG)
J	PTJ6 入出力 (ポート)	STATUS0 出力 (CPG)
J	PTJ5 入出力 (ポート)	—
J	PTJ4 入出力 (ポート)	—
J	PTJ3 入出力 (ポート)	$\overline{\text{CASU}}$ 出力 (BSC)
J	PTJ2 入出力 (ポート)	$\overline{\text{CASL}}$ 出力 (BSC)
J	PTJ1 入出力 (ポート)	—
J	PTJ0 入出力 (ポート)	$\overline{\text{RAS3L}}$ 出力 (BSC)
K	PTK7 入出力 (ポート)	$\overline{\text{WE3}}$ 出力 (BSC) /DQMUU 出力 (BSC) / $\overline{\text{CIOWR}}$ 出力 (BSC)
K	PTK6 入出力 (ポート)	$\overline{\text{WE2}}$ 出力 (BSC) /DQMUL 出力 (BSC) / $\overline{\text{CIORD}}$ 出力 (BSC)
K	PTK5 入出力 (ポート)	CKE 出力 (BSC)
K	PTK4 入出力 (ポート)	$\overline{\text{BS}}$ 出力 (BSC)
K	PTK3 入出力 (ポート)	$\overline{\text{CS5}}$ 出力 (BSC) $\overline{\text{CE1A}}$ 出力 (BSC)
K	PTK2 入出力 (ポート)	$\overline{\text{CS4}}$ 出力 (BSC)
K	PTK1 入出力 (ポート)	$\overline{\text{CS3}}$ 出力 (BSC)
K	PTK0 入出力 (ポート)	$\overline{\text{CS2}}$ 出力 (BSC)
L	PTL7 入力 (ポート)	AN7 入力 (ADC) DA0 出力 (DAC)

19. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
L	PTL6 入力 (ポート)	AN6 入力 (ADC) DA1 出力 (DAC)
L	PTL5 入力 (ポート)	AN5 入力 (ADC)
L	PTL4 入力 (ポート)	AN4 入力 (ADC)
L	PTL3 入力 (ポート)	AN3 入力 (ADC)
L	PTL2 入力 (ポート)	AN2 入力 (ADC)
L	PTL1 入力 (ポート)	AN1 入力 (ADC)
L	PTL0 入力 (ポート)	AN0 入力 (ADC)
SCPT	SCPT7 入力 (ポート) / IRQ5 入力 (INTC)	$\overline{\text{CTS}}2$ 入力 (UART ch3) / IRQ5 入力 (INTC)
SCPT	SCPT6 入出力 (ポート)	RTS2 出力 (UART ch3)
SCPT	SCPT5 入出力 (ポート)	SCK2 入出力 (UART ch3)
SCPT	SCPT4 入力 (ポート)	RxD2 入力 (UART ch3)
	SCPT4 出力 (ポート)	TxD2 出力 (UART ch3)
SCPT	SCPT3 入出力 (ポート)	SCK1 入出力 (UART ch2)
SCPT	SCPT2 入力 (ポート)	RxD1 入力 (UART ch2)
	SCPT2 出力 (ポート)	TxD1 出力 (UART ch2)
SCPT	SCPT1 入出力 (ポート)	SCK0 入出力 (UART ch1)
SCPT	SCPT0 入力 (ポート)	RxD0 入力 (UART ch1)
	SCPT0 出力 (ポート)	TxD0 出力 (UART ch1)

【注】 SCPT0、SCPT2、SCPT4 は、入力端子、出力端子を異にしますがアクセスするデータレジスタは同じです。

19.2 レジスタ構成

ピンファンクションコントローラのレジスタを表 19.2 に示します。

表 19.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A コントロールレジスタ	PACR	R/W	H'0000	H'04000100 (H'A4000100)*	16
ポート B コントロールレジスタ	PBCR	R/W	H'0000	H'04000102 (H'A4000102)*	16
ポート C コントロールレジスタ	PCCR	R/W	H'AAAA	H'04000104 (H'A4000104)*	16
ポート D コントロールレジスタ	PDCR	R/W	H'AA8A	H'04000106 (H'A4000106)*	16
ポート E コントロールレジスタ	PECR	R/W	H'AAAA/ H'2AA8	H'04000108 (H'A4000108)*	16
ポート F コントロールレジスタ	PFCR	R/W	H'AAAA/ H'00AA	H'0400010A (H'A400010A)*	16
ポート G コントロールレジスタ	PGCR	R/W	H'AAAA/ H'A200	H'0400010C (H'A400010C)*	16
ポート H コントロールレジスタ	PHCR	R/W	H'AAAA/ H'8AAA	H'0400010E (H'A400010E)*	16
ポート J コントロールレジスタ	PJCR	R/W	H'0000	H'04000110 (H'A4000110)*	16
ポート K コントロールレジスタ	PKCR	R/W	H'0000	H'04000112 (H'A4000112)*	16
ポート L コントロールレジスタ	PLCR	R/W	H'0000	H'04000114 (H'A4000114)*	16
SC ポートコントロールレジスタ	SCPCR	R/W	H'A888	H'04000116 (H'A4000116)*	16

- 【注】 1. ポート E、F、G、H コントロールレジスタの初期値は $\overline{\text{ASEMD0}}$ 端子の状態に依存します。
 $\overline{\text{ASEMD0}}$ 端子は、 $\overline{\text{RESETP}}$ 端子アサート期間中にローレベルを入力すると ASE モードとなり、ハイレベルを入力すると通常モードになります。
H-UDI の詳細は「第 23 章 ユーザデバッグインタフェース (H-UDI)」を参照してください。
2. これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。
- * MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

19.3 レジスタの説明

19.3.1 ポート A コントロールレジスタ (PACR)

ビット:	15	14	13	12	11	10	9	8
	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0	PA4MD1	PA4MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	PA3MD1	PA3MD0	PA2MD1	PA2MD0	PA1MD1	PA1MD0	PA0MD1	PA0MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A コントロールレジスタ (PACR) は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PACR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット 15、14 : PA7 モード 1、0 (PA7MD1、PA7MD0)
- ビット 13、12 : PA6 モード 1、0 (PA6MD1、PA6MD0)
- ビット 11、10 : PA5 モード 1、0 (PA5MD1、PA5MD0)
- ビット 9、8 : PA4 モード 1、0 (PA4MD1、PA4MD0)
- ビット 7、6 : PA3 モード 1、0 (PA3MD1、PA3MD0)
- ビット 5、4 : PA2 モード 1、0 (PA2MD1、PA2MD0)
- ビット 3、2 : PA1 モード 1、0 (PA1MD1、PA1MD0)
- ビット 1、0 : PA0 モード 1、0 (PA0MD1、PA0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n+1)	ビット 2n	端子機能	
PAnMD1	PAnMD0		
0	0	その他の機能 (表 19.1 参照)	(初期値)
	1	ポート出力	
1	0	ポート入力 (プルアップ MOS : オン)	
	1	ポート入力 (プルアップ MOS : オフ)	

(n=0~7)

19.3.2 ポート B コントロールレジスタ (PBCR)

ビット:	15	14	13	12	11	10	9	8
	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	PB3MD1	PB3MD0	PB2MD1	PB2MD0	PB1MD1	PB1MD0	PB0MD1	PB0MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B コントロールレジスタ (PBCR) は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PBCR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット 15、14 : PB7 モード 1、0 (PB7MD1、PB7MD0)
- ビット 13、12 : PB6 モード 1、0 (PB6MD1、PB6MD0)
- ビット 11、10 : PB5 モード 1、0 (PB5MD1、PB5MD0)
- ビット 9、8 : PB4 モード 1、0 (PB4MD1、PB4MD0)
- ビット 7、6 : PB3 モード 1、0 (PB3MD1、PB3MD0)
- ビット 5、4 : PB2 モード 1、0 (PB2MD1、PB2MD0)
- ビット 3、2 : PB1 モード 1、0 (PB1MD1、PB1MD0)
- ビット 1、0 : PB0 モード 1、0 (PB0MD1、PB0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能	
PBnMD1	PBnMD0		
0	0	その他の機能 (表 19.1 参照) (初期値)	
	1	ポート出力	
1	0	ポート入力 (プルアップ MOS : オン)	
	1	ポート入力 (プルアップ MOS : オフ)	

(n=0~7)

19. ピンファンクションコントローラ (PFC)

19.3.3 ポート C コントロールレジスタ (PCCR)

ビット:	15	14	13	12	11	10	9	8
	PC7MD1	PC7MD0	PC6MD1	PC6MD0	PC5MD1	PC5MD0	PC4MD1	PC4MD0
初期値:	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	PC3MD1	PC3MD0	PC2MD1	PC2MD0	PC1MD1	PC1MD0	PC0MD1	PC0MD0
初期値:	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C コントロールレジスタ (PCCR) は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PCCR はパワーオンリセットで H'AAAA に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット 15、14 : PC7 モード 1、0 (PC7MD1、PC7MD0)
- ビット 13、12 : PC6 モード 1、0 (PC6MD1、PC6MD0)
- ビット 11、10 : PC5 モード 1、0 (PC5MD1、PC5MD0)
- ビット 9、8 : PC4 モード 1、0 (PC4MD1、PC4MD0)
- ビット 7、6 : PC3 モード 1、0 (PC3MD1、PC3MD0)
- ビット 5、4 : PC2 モード 1、0 (PC2MD1、PC2MD0)
- ビット 3、2 : PC1 モード 1、0 (PC1MD1、PC1MD0)
- ビット 1、0 : PC0 モード 1、0 (PC0MD1、PC0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n+1)	ビット 2n	端子機能
PCnMD1	PCnMD0	
0	0	その他の機能 (表 19.1 参照)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

(n=0~7)

19.3.4 ポート D コントロールレジスタ (PDCR)

ビット :	15	14	13	12	11	10	9	8
	PD7MD1	PD7MD0	PD6MD1	PD6MD0	PD5MD1	PD5MD0	PD4MD1	PD4MD0
初期値 :	1	0	1	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	PD3MD1	PD3MD0	PD2MD1	PD2MD0	PD1MD1	PD1MD0	PD0MD1	PD0MD0
初期値 :	1	0	0	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D コントロールレジスタ (PDCR) は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PDCR はパワーオンリセットで H'AA8A に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット 15、14 : PD7 モード 1、0 (PD7MD1、PD7MD0)
- ビット 11、10 : PD5 モード 1、0 (PD5MD1、PD5MD0)
- ビット 7、6 : PD3 モード 1、0 (PD3MD1、PD3MD0)
- ビット 5、4 : PD2 モード 1、0 (PD2MD1、PD2MD0)
- ビット 3、2 : PD1 モード 1、0 (PD1MD1、PD1MD0)
- ビット 1、0 : PD0 モード 1、0 (PD0MD1、PD0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能
PDnMD1	PDnMD0	
0	0	その他の機能 (表 19.1 参照) (初期値) n=2
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値) n=0、1、3、5、7
	1	ポート入力 (プルアップ MOS : オフ)

(n=0~3、5、7)

19. ピンファンクションコントローラ (PFC)

- ビット 13、12 : PD6 モード 1、0 (PD6MD1、PD6MD0)

- ビット 9、8 : PD4 モード 1、0 (PD4MD1、PD4MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n+1)	ビット 2n	端子機能
PDnMD1	PDnMD0	
0	0	その他の機能 (表 19.1 参照)
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

(n=4、6)

19.3.5 ポート E コントロールレジスタ (PECR)

ビット :	15	14	13	12	11	10	9	8
	PE7MD1	PE7MD0	PE6MD1	PE6MD0	PE5MD1	PE5MD0	PE4MD1	PE4MD0
初期値 :	1/0	0	1	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0
初期値 :	1	0	1	0	1	0	1/0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E コントロールレジスタ (PECR) は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PECR はパワーオンリセットで H'AAAA ($\overline{\text{ASEMD0}}=1$) または H'2AA8 ($\overline{\text{ASEMD0}}=0$) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット 15、14 : PE7 モード 1、0 (PE7MD1、PE7MD0)
- ビット 13、12 : PE6 モード 1、0 (PE6MD1、PE6MD0)
- ビット 11、10 : PE5 モード 1、0 (PE5MD1、PE5MD0)
- ビット 9、8 : PE4 モード 1、0 (PE4MD1、PE4MD0)
- ビット 7、6 : PE3 モード 1、0 (PE3MD1、PE3MD0)
- ビット 5、4 : PE2 モード 1、0 (PE2MD1、PE2MD0)
- ビット 3、2 : PE1 モード 1、0 (PE1MD1、PE1MD0)
- ビット 1、0 : PE0 モード 1、0 (PE0MD1、PE0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能
PEnMD1	PEnMD0	
0	0	その他の機能 (n=0,7) (表 19.1 参照) (初期値) $\overline{ASEMD0}=0$
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値) $\overline{ASEMD0}=1$
	1	ポート入力 (プルアップ MOS : オフ)

(n=0, 7)

ビット (2n + 1)	ビット 2n	端子機能
PEnMD1	PEnMD0	
0	0	その他の機能 (n=2, 4, 5) (表 19.1 参照) リザーブ (n=1, 3, 6)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

(n=1~6)

19.3.6 ポート F コントロールレジスタ (PFCR)

ビット :	15	14	13	12	11	10	9	8
	PF7MD1	PF7MD0	PF6MD1	PF6MD0	PF5MD1	PF5MD0	PF4MD1	PF4MD0
初期値 :	1/0	0	1/0	0	1/0	0	1/0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	PF3MD1	PF3MD0	PF2MD1	PF2MD0	PF1MD1	PF1MD0	PF0MD1	PF0MD0
初期値 :	1	0	1	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート F コントロールレジスタ (PFCR) は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PFCR はパワーオンリセットで H'AAAA ($\overline{ASEMD0}=1$) または H'00AA ($\overline{ASEMD0}=0$) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

19. ピンファンクションコントローラ (PFC)

- ビット 15、14 : PF7 モード 1、0 (PF7MD1、PF7MD0)
- ビット 13、12 : PF6 モード 1、0 (PF6MD1、PF6MD0)
- ビット 11、10 : PF5 モード 1、0 (PF5MD1、PF5MD0)
- ビット 9、8 : PF4 モード 1、0 (PF4MD1、PF4MD0)
- ビット 7、6 : PF3 モード 1、0 (PF3MD1、PF3MD0)
- ビット 5、4 : PF2 モード 1、0 (PF2MD1、PF2MD0)
- ビット 3、2 : PF1 モード 1、0 (PF1MD1、PF1MD0)
- ビット 1、0 : PF0 モード 1、0 (PF0MD1、PF0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n+1)	ビット 2n	端子機能	
PFnMD1	PFnMD0		
0	0	その他の機能 (表 19.1 参照)	(初期値) $\overline{ASEMD0}=0$
	1	リザーブ	
1	0	ポート入力 (プルアップ MOS : オン)	(初期値) $\overline{ASEMD0}=1$
	1	ポート入力 (プルアップ MOS : オフ)	

(n=4~7)

ビット (2n+1)	ビット 2n	端子機能	
PFnMD1	PFnMD0		
0	0	その他の機能 (表 19.1 参照)	
	1	リザーブ	
1	0	ポート入力 (プルアップ MOS : オン)	(初期値)
	1	ポート入力 (プルアップ MOS : オフ)	

(n=0~3)

19.3.7 ポート G コントロールレジスタ (PGCR)

ビット:	15	14	13	12	11	10	9	8
	PG7MD1	PG7MD0	PG6MD1	PG6MD0	PG5MD1	PG5MD0	PG4MD1	PG4MD0
初期値:	1	0	1	0	1/0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	PG3MD1	PG3MD0	PG2MD1	PG2MD0	PG1MD1	PG1MD0	PG0MD1	PG0MD0
初期値:	1/0	0	1/0	0	1/0	0	1/0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート G コントロールレジスタ (PGCR) は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PGCR はパワーオンリセットで H'AAAA ($\overline{\text{ASEMD0}}=1$) または H'A200 ($\overline{\text{ASEMD0}}=0$) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット 15、14: PG7 モード 1、0 (PG7MD1、PG7MD0)
- ビット 13、12: PG6 モード 1、0 (PG6MD1、PG6MD0)
- ビット 11、10: PG5 モード 1、0 (PG5MD1、PG5MD0)
- ビット 9、8: PG4 モード 1、0 (PG4MD1、PG4MD0)
- ビット 7、6: PG3 モード 1、0 (PG3MD1、PG3MD0)
- ビット 5、4: PG2 モード 1、0 (PG2MD1、PG2MD0)
- ビット 3、2: PG1 モード 1、0 (PG1MD1、PG1MD0)
- ビット 1、0: PG0 モード 1、0 (PG0MD1、PG0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能
PGnMD1	PGnMD0	
0	0	その他の機能 (n=1~3、5) (表 19.1 参照) (初期値) $\overline{\text{ASEMD0}}=0$
	1	リザーブ
1	0	ポート入力 (プルアップ MOS: オン) (初期値) $\overline{\text{ASEMD0}}=1$
	1	ポート入力 (プルアップ MOS: オフ)

(n=1~3、5)

19. ピンファンクションコントローラ (PFC)

ビット (2n + 1)	ビット 2n	端子機能
PGnMD1	PGnMD0	
0	0	その他の機能 (n=4、6、7) (表 19.1 参照)
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値) *
	1	ポート入力 (プルアップ MOS : オフ)

(n=4、6、7)

【注】 * n=6 の $\overline{\text{ASEMD0}}$ / PTG6 は、リセット信号アサート中は $\overline{\text{ASEMD0}}$ 入力、ネゲート後は PTG6 入力となります。

ビット 3	ビット 0	端子機能
PG1MD1*	PG0MD0	
0	0	その他の機能 (表 19.1 参照) (初期値) $\overline{\text{ASEMD0}}=0$
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値) $\overline{\text{ASEMD0}}=1$
	1	ポート入力 (プルアップ MOS : オフ)

【注】 * PG0MD1 (ビット 1) ではなく、PG1MD1 (ビット 3) により制御されます。

19.3.8 ポート H コントロールレジスタ (PHCR)

ビット :	15	14	13	12	11	10	9	8
	PH7MD1	PH7MD0	PH6MD1	PH6MD0	PH5MD1	PH5MD0	PH4MD1	PH4MD0
初期値 :	1	0	1/0	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	PH3MD1	PH3MD0	PH2MD1	PH2MD0	PH1MD1	PH1MD0	PH0MD1	PH0MD0
初期値 :	1	0	1	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート H コントロールレジスタ (PHCR) は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PHCR はパワーオンリセットで H'AAAA ($\overline{\text{ASEMD0}}=1$) または H'8AAA ($\overline{\text{ASEMD0}}=0$) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

19. ピンファンクションコントローラ (PFC)

- ビット 15、14 : PH7 モード 1、0 (PH7MD1、PH7MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 15	ビット 14	端子機能
PH7MD1	PH7MD0	
0	0	その他の機能 (表 19.1 参照)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

- ビット 13、12 : PH6 モード 1、0 (PH6MD1、PH6MD0)
- ビット 11、10 : PH5 モード 1、0 (PH5MD1、PH5MD0)
- ビット 9、8 : PH4 モード 1、0 (PH4MD1、PH4MD0)
- ビット 7、6 : PH3 モード 1、0 (PH3MD1、PH3MD0)
- ビット 5、4 : PH2 モード 1、0 (PH2MD1、PH2MD0)
- ビット 3、2 : PH1 モード 1、0 (PH1MD1、PH1MD0)
- ビット 1、0 : PH0 モード 1、0 (PH0MD1、PH0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 13	ビット 12	端子機能
PH6MD1	PH6MD0	
0	0	その他の機能 (表 19.1 参照) (初期値) $\overline{ASEMD0}=0$
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値) $\overline{ASEMD0}=1$
	1	ポート入力 (プルアップ MOS : オフ)

ビット (2n + 1)	ビット 2n	端子機能
PHnMD1	PHnMD0	
0	0	その他の機能 (表 19.1 参照)
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

(n=0~5)

19.3.9 ポート J コントロールレジスタ (PJCR)

ビット:	15	14	13	12	11	10	9	8
	PJ7MD1	PJ7MD0	PJ6MD1	PJ6MD0	PJ5MD1	PJ5MD0	PJ4MD1	PJ4MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	PJ3MD1	PJ3MD0	PJ2MD1	PJ2MD0	PJ1MD1	PJ1MD0	PJ0MD1	PJ0MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート J コントロールレジスタ (PJCR) は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PJCR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット 15、14 : PJ7 モード 1、0 (PJ7MD1、PJ7MD0)
- ビット 13、12 : PJ6 モード 1、0 (PJ6MD1、PJ6MD0)
- ビット 11、10 : PJ5 モード 1、0 (PJ5MD1、PJ5MD0)
- ビット 9、8 : PJ4 モード 1、0 (PJ4MD1、PJ4MD0)
- ビット 7、6 : PJ3 モード 1、0 (PJ3MD1、PJ3MD0)
- ビット 5、4 : PJ2 モード 1、0 (PJ2MD1、PJ2MD0)
- ビット 3、2 : PJ1 モード 1、0 (PJ1MD1、PJ1MD0)
- ビット 1、0 : PJ0 モード 1、0 (PJ0MD1、PJ0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能
PJnMD1	PJnMD0	
0	0	その他の機能 (n=0、2、3、6、7) (表 19.1 参照) リザーブ (n=1、4、5) (初期値)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン)
	1	ポート入力 (プルアップ MOS : オフ)

(n=0~7)

19.3.10 ポート K コントロールレジスタ (PKCR)

ビット:	15	14	13	12	11	10	9	8
	PK7MD1	PK7MD0	PK6MD1	PK6MD0	PK5MD1	PK5MD0	PK4MD1	PK4MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	PK3MD1	PK3MD0	PK2MD1	PK2MD0	PK1MD1	PK1MD0	PK0MD1	PK0MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート K コントロールレジスタ (PKCR) は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PKCR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット 15、14 : PK7 モード 1、0 (PK7MD1、PK7MD0)
- ビット 13、12 : PK6 モード 1、0 (PK6MD1、PK6MD0)
- ビット 11、10 : PK5 モード 1、0 (PK5MD1、PK5MD0)
- ビット 9、8 : PK4 モード 1、0 (PK4MD1、PK4MD0)
- ビット 7、6 : PK3 モード 1、0 (PK3MD1、PK3MD0)
- ビット 5、4 : PK2 モード 1、0 (PK2MD1、PK2MD0)
- ビット 3、2 : PK1 モード 1、0 (PK1MD1、PK1MD0)
- ビット 1、0 : PK0 モード 1、0 (PK0MD1、PK0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット (2n + 1)	ビット 2n	端子機能
PKnMD1	PKnMD0	
0	0	その他の機能 (表 19.1 参照) (初期値)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン)
	1	ポート入力 (プルアップ MOS : オフ)

(n=0~7)

19. ピンファンクションコントローラ (PFC)

19.3.11 ポート L コントロールレジスタ (PLCR)

ビット:	7	6	5	4	3	2	1	0
	PL7MD1	PL7MD0	PL6MD1	PL6MD0	PL5MD1	PL5MD0	PL4MD1	PL4MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	7	6	5	4	3	2	1	0
	PL3MD1	PL3MD0	PL2MD1	PL2MD0	PL1MD1	PL1MD0	PL0MD1	PL0MD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート L コントロールレジスタ (PLCR) は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。PLCR はパワーオンリセットで H'0000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

- ビット 15、14 : PL7 モード 1、0 (PL7MD1、PL7MD0)
- ビット 13、12 : PL6 モード 1、0 (PL6MD1、PL6MD0)
- ビット 11、10 : PL5 モード 1、0 (PL5MD1、PL5MD0)
- ビット 9、8 : PL4 モード 1、0 (PL4MD1、PL4MD0)
- ビット 7、6 : PL3 モード 1、0 (PL3MD1、PL3MD0)
- ビット 5、4 : PL2 モード 1、0 (PL2MD1、PL2MD0)
- ビット 3、2 : PL1 モード 1、0 (PL1MD1、PL1MD0)
- ビット 1、0 : PL0 モード 1、0 (PL0MD1、PL0MD0)

これらのビットは端子機能を選択します。

ビット (2n+1)	ビット 2n	端子機能
PLnMD1	PLnMD0	
0	0	その他の機能 (表 19.1 参照) (初期値)
	1	リザーブ
1	0	ポート入力
	1	ポート入力

(n=0~7)

DA0、DA1 端子を D/A コンバータ出力として使用する場合、PTL7、PTL6 は「その他の機能」状態で使用する場合 PLCR 初期値のままにしてください。

19.3.12 SC ポートコントロールレジスタ (SCPCR)

ビット:	15	14	13	12	11	10	9	8
	SCP7MD1	SCP7MD0	SCP6MD1	SCP6MD0	SCP5MD1	SCP5MD0	SCP4MD1	SCP4MD0
初期値:	1	0	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	SCP3MD1	SCP3MD0	SCP2MD1	SCP2MD0	SCP1MD1	SCP1MD0	SCP0MD1	SCP0MD0
初期値:	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SC ポートコントロールレジスタ (SCPCR) は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能を選択します。SCPCR の設定は SCSCR レジスタの設定で送受信動作を禁止した場合のみ有効になります。SCPCR はパワーオンリセットで H'A888 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

SCSCR の TE ビットを 1 にセットすると、「その他の機能」出力状態が TxD[2:0]端子の SCPCR 設定に優先します。

SCSCR の RE ビットを 1 にセットすると、入力状態が RxD[2:0]端子の SCPCR 設定に優先します。

- ビット 15、14 : SCP7 モード 1、0 (SCP7MD1、SCP7MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 15	ビット 14	端子機能
SCP7MD1	SCP7MD0	
0	0	その他の機能 (表 19.1 参照)
	1	リザーブ
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

- ビット 13、12 : SCP6 モード 1、0 (SCP6MD1、SCP6MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 13	ビット 12	端子機能
SCP6MD1	SCP6MD0	
0	0	その他の機能 (表 19.1 参照)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

19. ピンファンクションコントローラ (PFC)

- ビット 11、10 : SCP5 モード 1、0 (SCP5MD1、SCP5MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 11	ビット 10	端子機能
SCP5MD1	SCP5MD0	
0	0	その他の機能 (表 19.1 参照)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

- ビット 9、8 : SCP4 モード 1、0 (SCP4MD1、SCP4MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 9	ビット 8	端子機能
SCP4MD1	SCP4MD0	
0	0	送信データ出力 2 (TxD2) 受信データ入力 2 (RxD2) (初期値)
	1	汎用出力 (SCPT[4]出力端子) 受信データ入力 2 (RxD2)
1	0	SCPT[4]入力端子プルアップ (入力端子) 送信データ出力 2 (TxD2)
	1	汎用入力 (SCPT[4]入力端子) 送信データ出力 2 (TxD2)

【注】 1ビット (SCP4DT) を TxD2、RxD2 の 2つの端子を用いてアクセスするため、SCPT[4]の同時入出力の組み合わせはありません。

ポート入力をセット (ビット SCPnMD1 を 1 にセット) すると、SCSCR の TE ビットを 1 にセットしたとき TxD2 端子は出力状態になり、TE ビットを 0 にクリアしたときハイインピーダンスになります。

- ビット 7、6 : SCP3 モード 1、0 (SCP3MD1、SCP3MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 7	ビット 6	端子機能
SCP3MD1	SCP3MD0	
0	0	その他の機能 (表 19.1 参照)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

- ビット 5、4 : SCP2 モード 1、0 (SCP2MD1、SCP2MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 5	ビット 4	端子機能
SCP2MD1	SCP2MD0	
0	0	送信データ出力 1 (TxD1) 受信データ入力 1 (RxD1) (初期値)
	1	汎用出力 (SCPT[2]出力端子) 受信データ入力 1 (RxD1)
1	0	SCPT[2]入力端子プルアップ (入力端子) 送信データ出力 1 (TxD1)
	1	汎用入力 (SCPT[2]入力端子) 送信データ出力 1 (TxD1)

【注】 1 ビット (SCP2DT) を TxD1、RxD1 の 2 つの端子を用いてアクセスするため、SCPT[2]の同時入出力の組み合わせはありません。

ポート入力をセット (ビット SCPnMD1 を 1 にセット) すると、SCSCR の TE ビットを 1 にセットしたとき TxD1 端子は出力状態になり、TE ビットを 0 にクリアしたときハイインピーダンスになります。

- ビット 3、2 : SCP1 モード 1、0 (SCP1MD1、SCP1MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 3	ビット 2	端子機能
SCP1MD1	SCP1MD0	
0	0	その他の機能 (表 19.1 参照)
	1	ポート出力
1	0	ポート入力 (プルアップ MOS : オン) (初期値)
	1	ポート入力 (プルアップ MOS : オフ)

19. ピンファンクションコントローラ (PFC)

- ビット 1、0 : SCP0 モード 1、0 (SCP0MD1、SCP0MD0)

これらのビットは端子機能と入力プルアップ MOS 制御を選択します。

ビット 1	ビット 0	端子機能
SCP0MD1	SCP0MD0	
0	0	送信データ出力 0 (TxD0) 受信データ入力 0 (RxD0) (初期値)
	1	汎用出力 (SCPT[0]出力端子) 受信データ入力 0 (RxD0)
1	0	SCPT[0]入力端子プルアップ (入力端子) 送信データ出力 0 (TxD0)
	1	汎用入力 (SCPT[0]入力端子) 送信データ出力 0 (TxD0)

【注】 1 ビット (SCP0DT) を TxD0、RxD0 の 2 つの端子を用いてアクセスするため、SCPT[0]の同時入出力の組み合わせはありません。

ポート入力をセット (ビット SCPnMD1 を 1 にセット) すると、SCSCR の TE ビットを 1 にセットしたとき TxD0 端子は出力状態になり、TE ビットを 0 にクリアしたときハイインピーダンスになります。

20. I/O ポート

20.1 概要

本 LSI には 12 本の 8 ビットポート（ポート A～L および SC）があります。それぞれのポートの端子は、すべて、他の端子機能（ピンファンクションコントローラ（PFC）で端子機能とプルアップ MOS 制御の選択を行います）を兼ねているマルチプレクス端子です。ポートは、それぞれ、端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

20.2 ポート A

ポート A は図 20.1 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート A コントロールレジスタ（PACR）で制御します。

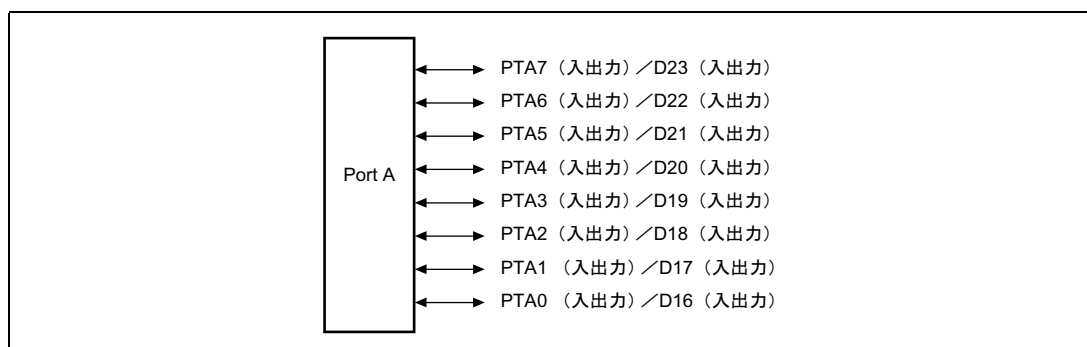


図 20.1 ポート A

20.2.1 レジスタの説明

表 20.1 にポート A のレジスタを示します。

表 20.1 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ	PADR	R/W	H'00	H'04000120 (H'A4000120)*	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* MMU によるアドレス変換の対象としない場合は、（ ）内のアドレスを使用してください。

20. I/O ポート

20.2.2 ポート A データレジスタ (PADR)

ビット:	7	6	5	4	3	2	1	0
	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A データレジスタ (PADR) は、読み出し/書き込み可能な 8 ビットのレジスタで、端子 PTA7~PTA0 のデータを格納します。PA7DT~PA0DT ビットは PTA7~PTA0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PADR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 20.2 に PADR の機能を示します。

PADR はパワーオンリセットで H'00 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

表 20.2 ポート A データレジスタ (PADR) の読み出し/書き込み動作

PAnMD1	PAnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	PADR の値	PADR に書き込めるが、端子の状態に影響しない
	1	出力	PADR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PADR に書き込めるが、端子の状態に影響しない

(n=0~7)

20.3 ポート B

ポート B は図 20.2 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート B コントロールレジスタ (PBCR) で制御します。

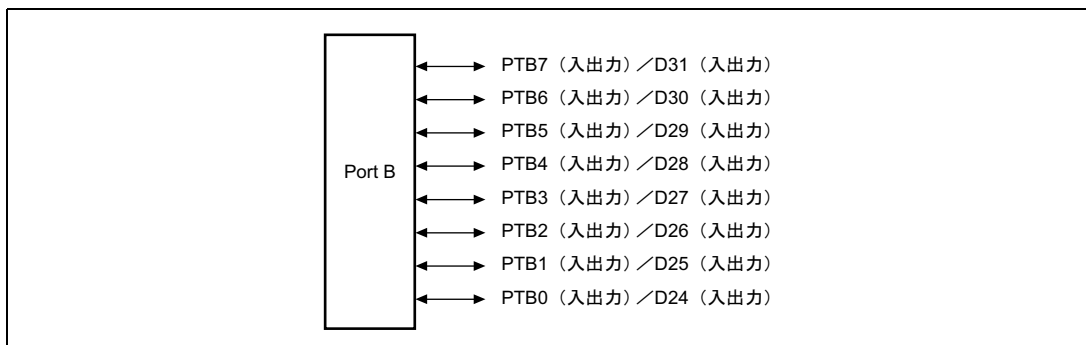


図 20.2 ポート B

20.3.1 レジスタの説明

表 20.3 にポート B のレジスタを示します。

表 20.3 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ	PBDR	R/W	H'00	H'04000122 (H'A4000122)*	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

*MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

20.3.2 ポート B データレジスタ (PBDR)

ビット:	7	6	5	4	3	2	1	0
	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B データレジスタ (PBDR) は、読み出し/書き込み可能な 8 ビットのレジスタで、端子 PTB7~PTB0 のデータを格納します。PB7DT~PB0DT ビットは PTB7~PTB0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PBDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 20.4 に PBDR の機能を示します。

PBDR はパワーオンリセットで H'00 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

表 20.4 ポート B データレジスタ (PBDR) の読み出し/書き込み動作

PBnMD1	PBnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない
	1	出力	PBDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない

(n=0~7)

20.4 ポート C

ポート C は図 20.3 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート C コントロールレジスタ (PCCR) で制御します。

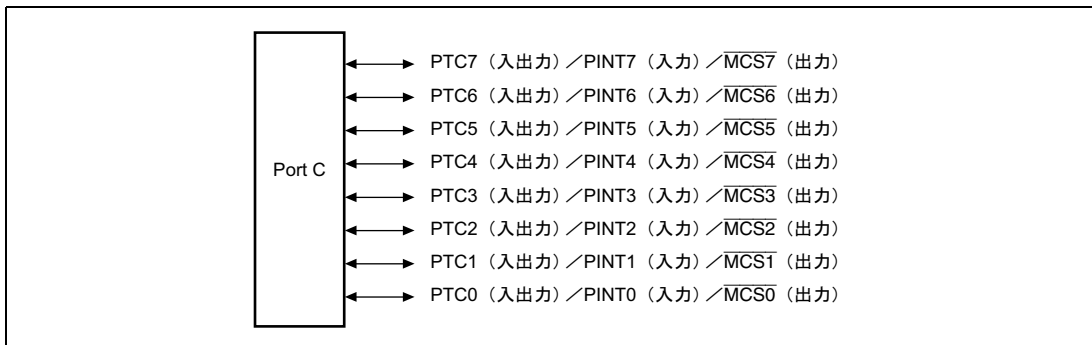


図 20.3 ポート C

20.4.1 レジスタの説明

表 20.5 にポート C のレジスタを示します。

表 20.5 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート C データレジスタ	PCDR	R/W	H'00	H'04000124 (H'A4000124)*	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

20.4.2 ポート C データレジスタ (PCDR)

ビット:	7	6	5	4	3	2	1	0
	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C データレジスタ (PCDR) は、読み出し／書き込み可能な 8 ビットのレジスタで、端子 PTC7～PTC0 のデータを格納します。PC7DT～PC0DT ビットは PTC7～PTC0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PCDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 20.6 に PCDR の機能を示します。

PCDR はパワーオンリセットで H'00 に初期化された後、端子機能の初期値、汎用入力ポート（プルアップ MOS オン）として、対応する端子レベルが読み込まれます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

表 20.6 ポート C データレジスタ (PCDR) の読み出し／書き込み動作

PCnMD1	PCnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない
	1	出力	PCDR の値	書き込み値が端子から出力される
1	0	入力（プルアップ MOS オン）	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	1	入力（プルアップ MOS オフ）	端子の状態	PCDR に書き込めるが、端子の状態に影響しない

(n=0～7)

20.5 ポート D

ポート D は図 20.4 に示すような端子構成を持つ 6 ビットの入出力および 2 ビットの入力ポートです。各端子には入力プルアップ MOS があり、PFC のポート D コントロールレジスタ (PDCR) で制御します。

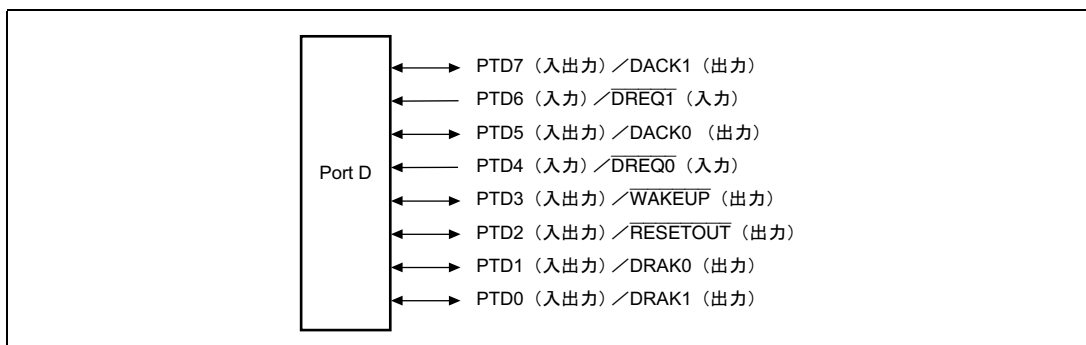


図 20.4 ポート D

20.5.1 レジスタの説明

表 20.7 にポート D のレジスタを示します。

表 20.7 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D データレジスタ	PDDR	R/W または R	B'0*0*0000	H'04000126 (H'A4000126)* ¹	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* 値なし

*¹ MMU によるアドレス変換の対象としない場合は、（ ）内のアドレスを使用してください。

20.5.2 ポート D データレジスタ (PDDR)

ビット:	7	6	5	4	3	2	1	0
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値:	0	*	0	*	0	0	0	0
R/W:	R/W	R	R/W	R	R/W	R/W	R/W	R/W

【注】 * 値なし

ポート D データレジスタ (PDDR) は、読み出し/書き込み可能な 6 ビット、および読み出し可能な 2 ビットのレジスタで、端子 PTD7~PTD0 のデータを格納します。PD7DT~PD0DT ビットは PTD7~PTD0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PDDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されず。表 20.8 に PDDR の機能を示します。

PDDR はパワーオンリセットで B'0*0*0000 に初期化されます。PD7DT~PD3DT、PD1DT、PD0DT ビットは、初期化された後端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として、対応する端子レベルが読み込まれます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

汎用入力以外でビット 6 およびビット 4 を読み出すとローレベルが読み出されるので注意してください。

表 20.8 ポート D データレジスタ (PDDR) の読み出し／書き込み動作

PDnMD1	PDnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない
	1	出力	PDDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない

(n=0, 1, 2, 3, 5, 7)

PDnMD1	PDnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	ローレベル	無視 (端子状態に影響しない)
	1	リザーブ	ローレベル	無視 (端子状態に影響しない)
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子状態に影響しない)

(n=4, 6)

20.6 ポート E

ポート E は図 20.5 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート E コントロールレジスタ (PECR) で制御します。

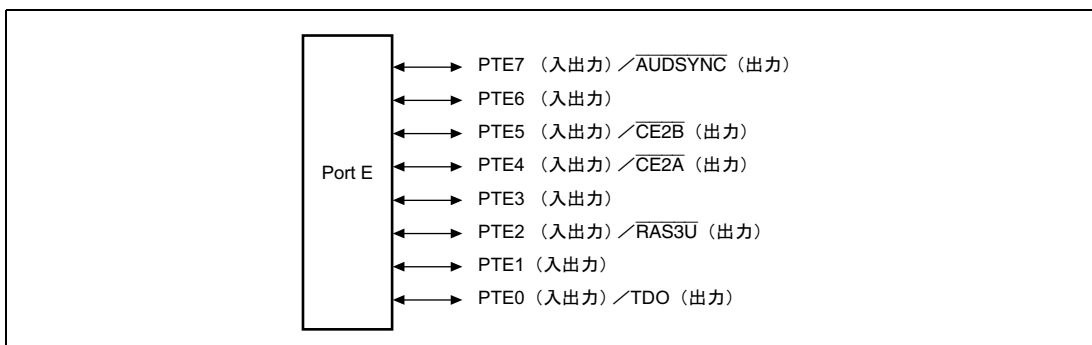


図 20.5 ポート E

20.6.1 レジスタの説明

表 20.9 にポート E のレジスタを示します。

表 20.9 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ	PEDR	R/W	H'00	H'04000128 (H'A4000128)*	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

20.6.2 ポート E データレジスタ (PEDR)

ビット:	7	6	5	4	3	2	1	0
	PE7DT	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E データレジスタ (PEDR) は、読み出し/書き込み可能な 8 ビットのレジスタで、端子 PTE7~PTE0 のデータを格納します。PE7DT~PE0DT ビットは PTE7~PTE0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PEDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 20.10 に PEDR の機能を示します。

PEDR はパワーオンリセットで H'00 に初期化された後、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として、対応する端子レベルが読み込まれます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

表 20.10 ポート E データレジスタ (PEDR) の読み出し/書き込み動作

PEnMD1	PEnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない
	1	出力	PEDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない

(n=0~7)

20.7 ポート F

ポート F は図 20.6 に示すような端子構成を持つ 8 ビットの入力ポートです。各端子には入力プルアップ MOS があり、PFC のポート F コントロールレジスタ (PFDR) で制御します。

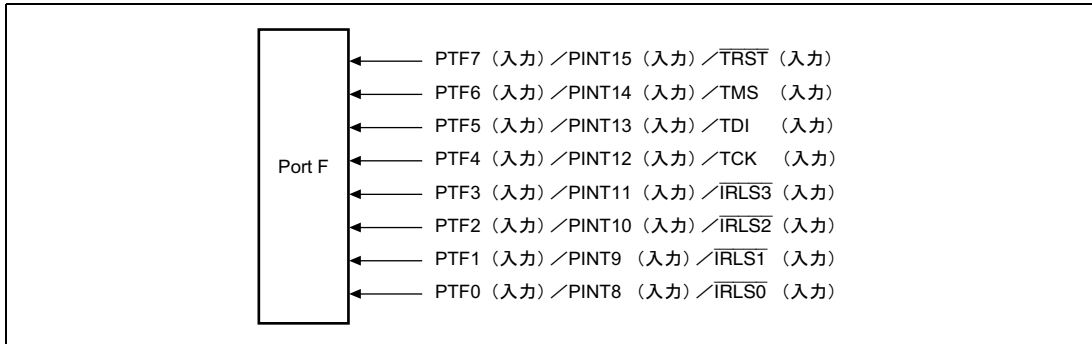


図 20.6 ポート F

20.7.1 レジスタの説明

表 20.11 にポート F のレジスタを示します。

表 20.11 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ	PFDR	R	H**	H'0400012A (H'A400012A)*1	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* 値なし

*1 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

20.7.2 ポート F データレジスタ (PFDR)

ビット:	7	6	5	4	3	2	1	0
	PF7DT	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT
初期値:	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R

【注】 * 値なし

20. I/O ポート

ポート F データレジスタ (PFDR) は、読み出し可能な 8 ビットのレジスタで、端子 PTF7~PTF0 のデータを格納します。PF7DT~PF0DT ビットは PTF7~PTF0 端子に対応しています。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 20.12 に PFDR の機能を示します。

PFDR はパワーオンリセットで初期化された後、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として、対応する端子レベルが読み込まれます。

表 20.12 ポート F データレジスタ (PFDR) の読み出し/書き込み動作

PFnMD1	PFnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	H'00	無視 (端子の状態に影響しない)
	1	リザーブ	H'00	無視 (端子の状態に影響しない)
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子の状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子の状態に影響しない)

(n=0~7)

20.8 ポート G

ポート G は図 20.7 に示すような端子構成を持つ 5 ビットの入出力および 3 ビットの入力ポートです。各端子には入力プルアップ MOS があり、PFC のポート G コントロールレジスタ (PGCR) で制御します。

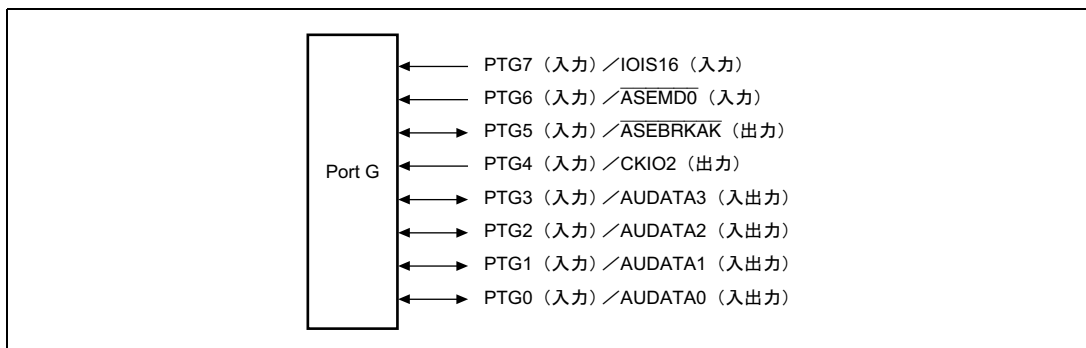


図 20.7 ポート G

20.8.1 レジスタの説明

表 20.13 にポート G のレジスタを示します。

表 20.13 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート G データレジスタ	PGDR	R/W	H'**	H'0400012C (H'A400012C)*1	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* 値なし

*1 MMU によるアドレス変換の対象としない場合は、（ ）内のアドレスを使用してください。

20.8.2 ポート G データレジスタ (PGDR)

ビット:	7	6	5	4	3	2	1	0
	PG7DT	PG6DT	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT
初期値:	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R

【注】 * 値なし

ポート G データレジスタ (PGDR) は、読み出し可能な 8 ビットのレジスタで、端子 PTG7~PTG0 のデータを格納します。PG7DT~PG0DT ビットは PTG7~PTG0 端子に対応しています。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 20.14 に PGDR の機能を示します。

PGDR はパワーオンリセットで初期化された後、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として、対応する端子レベルが読み込まれます。

表 20.14 ポート G データレジスタ (PGDR) の読み出し/書き込み動作

PGnMD1	PGnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	H'00	無視 (端子の状態に影響しない)
	1	リザーブ	H'00	無視 (端子の状態に影響しない)
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子の状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子の状態に影響しない)

(n=0~7)

20.9 ポート H

ポート H は図 20.8 に示すような端子構成を持つ 1 ビットの入出力および 7 ビットの入力ポートです。各端子には入力プルアップ MOS があり、PFC のポート H コントロールレジスタ (PHCR) で制御します。

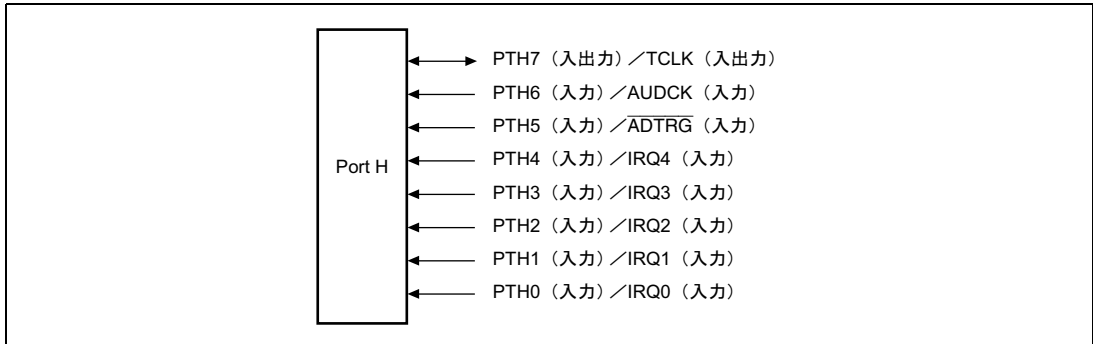


図 20.8 ポート H

20.9.1 レジスタの説明

表 20.15 にポート H のレジスタを示します。

表 20.15 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセス サイズ
ポート H データレジスタ	PHDR	R/W または R	B'0*****	H'0400012E (H'A400012E)*1	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* 値なし

*1 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

20.9.2 ポート H データレジスタ (PHDR)

ビット:	7	6	5	4	3	2	1	0
	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT
初期値:	0	*	*	*	*	*	*	*
R/W:	R/W	R	R	R	R	R	R	R

【注】 * 値なし

ポート H データレジスタ (PHDR) は、読み出し/書き込み可能な 1 ビット、および読み出し可能な 7 ビットのレジスタで、端子 PTH7~PTH0 のデータを格納します。PH7DT~PH0DT ビットは PTH7~PTH0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PHDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 20.16 に PHDR の機能を示します。

PHDR はパワーオンリセットで B'0*****に初期化された後、端子機能の初期値、汎用入力ポート（プルアップ MOS オン）として、対応する端子レベルが読み込まれます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

汎用入力以外でビット 6~ビット 0 を読み出すとローレベルが読み出されるので注意してください。

表 20.16 ポート H データレジスタ (PHDR) の読み出し/書き込み動作

PHnMD1	PHnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない
	1	出力	PHDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない

(n=7)

PHnMD1	PHnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	ローレベル	無視 (端子状態に影響しない)
	1	リザーブ	ローレベル	無視 (端子状態に影響しない)
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子状態に影響しない)

(n=0~6)

20.10 ポート J

ポート J は図 20.9 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート J コントロールレジスタ (PJCR) で制御します。

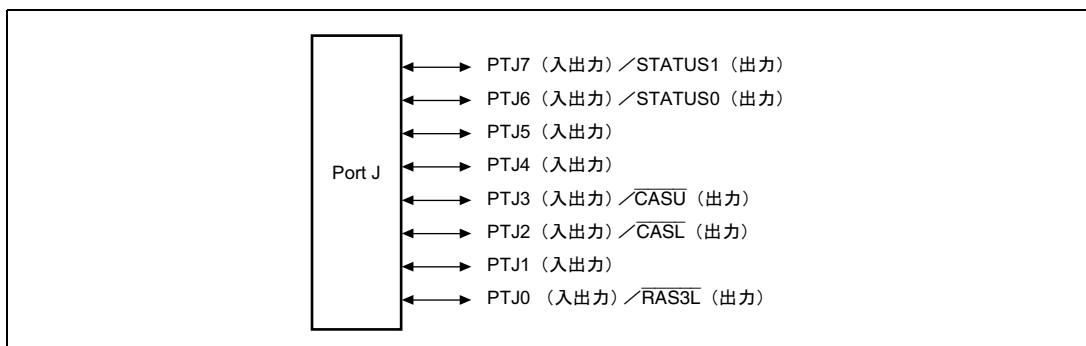


図 20.9 ポート J

20.10.1 レジスタの説明

表 20.17 にポート J のレジスタを示します。

表 20.17 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート J データレジスタ	PJDR	R/W	H'00	H'04000130 (H'A4000130)*	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

20.10.2 ポート J データレジスタ (PJDR)

ビット:	7	6	5	4	3	2	1	0
	PJ7DT	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	PJ0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート J データレジスタ (PJDR) は、読み出し／書き込み可能な 8 ビットのレジスタで、端子 PTJ7～PTJ0 のデータを格納します。PJ7DT～PJ0DT ビットは PTJ7～PTJ0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PJDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 20.18 に PJDR の機能を示します。

PJDR はパワーオンリセットで H'00 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

表 20.18 ポート J データレジスタ (PJDR) の読み出し／書き込み動作

PJnMD1	PJnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	PJDR の値	PJDR に書き込めるが、端子の状態に影響しない
	1	出力	PJDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PJDR に書き込めるが、端子の状態に影響しない

(n=0~7)

20.11 ポート K

ポート K は図 20.10 に示すような端子構成を持つ 8 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート K コントロールレジスタ (PKCR) で制御します。

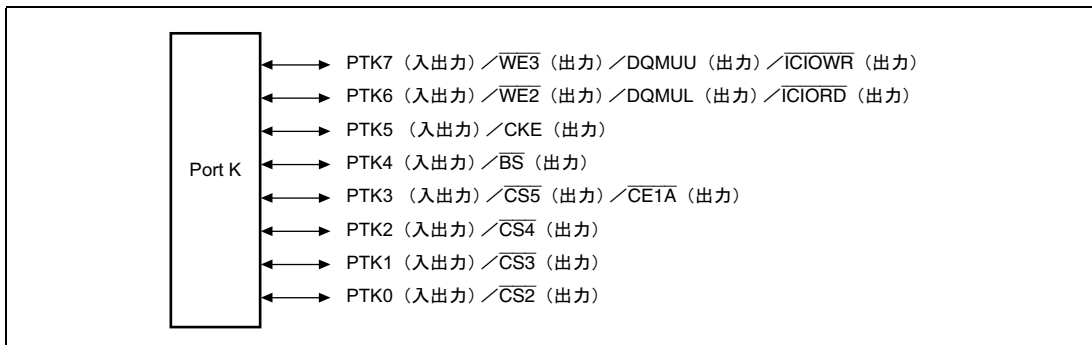


図 20.10 ポート K

20.11.1 レジスタの説明

表 20.19 にポート K のレジスタを示します。

表 20.19 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート K データレジスタ	PKDR	R/W	H'00	H'04000132 (H'A4000132)*	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* MMU によるアドレス変換の対象としない場合は、（ ）内のアドレスを使用してください。

20.11.2 ポート K データレジスタ (PKDR)

ビット:	7	6	5	4	3	2	1	0
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート K データレジスタ (PKDR) は、読み出し/書き込み可能な 8 ビットのレジスタで、端子 PTK7~PTK0 のデータを格納します。PK7DT~PK0DT ビットは PTK7~PTK0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PKDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 20.20 に PKDR の機能を示します。

PKDR はパワーオンリセットで H'00 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

表 20.20 ポート K データレジスタ (PKDR) の読み出し/書き込み動作

PKnMD1	PKnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	PKDR の値	PKDR に書き込めるが、端子の状態に影響しない
	1	出力	PKDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PKDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PKDR に書き込めるが、端子の状態に影響しない

(n=0~7)

20.12 ポート L

ポート L は図 20.11 に示すような端子構成を持つ 8 ビットの入力ポートです。

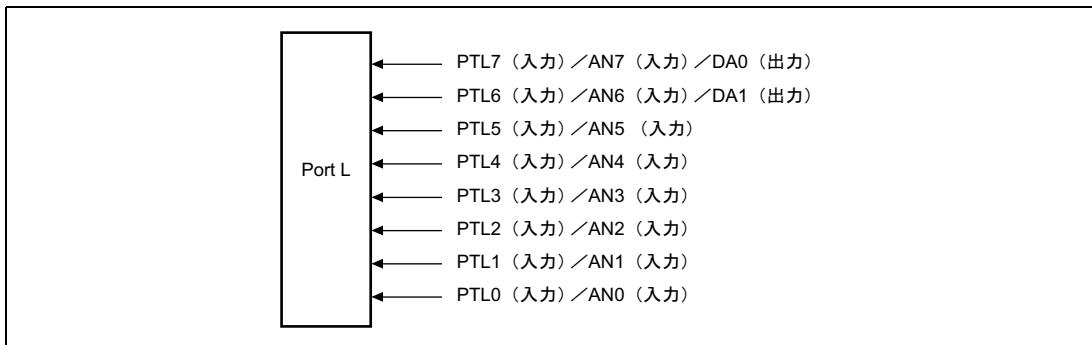


図 20.11 ポート L

20.12.1 レジスタの説明

表 20.21 にポート L のレジスタを示します。

表 20.21 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート L データレジスタ	PLDR	R	H'00	H'04000134 (H'A4000134)*	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

20.12.2 ポート L データレジスタ (PLDR)

ビット:	7	6	5	4	3	2	1	0
	PL7DT	PL6DT	PL5DT	PL4DT	PL3DT	PL2DT	PL1DT	PL0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

20. I/O ポート

ポート L データレジスタ (PLDR) は、読み出し可能な 8 ビットのレジスタで、端子 PTL7~PTL0 のデータを格納します。PL7DT~PL0DT ビットは PTL7~PTL0 端子に対応しています。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 20.22 に PLDR の機能を示します。

PLDR はパワーオンリセットで H'00 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ポート L はアナログピンと兼用のため、プルアップ MOS は持っていません。

表 20.22 ポート L データレジスタ (PLDR) の読み出し／書き込み動作

PLnMD1	PLnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	H'00	無視 (端子の状態に影響しない)
	1	リザーブ	H'00	無視 (端子の状態に影響しない)
1	0	入力	端子の状態	無視 (端子の状態に影響しない)
	1	入力	端子の状態	無視 (端子の状態に影響しない)

(n=0~7)

20.13 SC ポート

SC ポートは図 20.12 に示すような端子構成を持つ 4 ビットの入出力、3 ビットの出力、および 4 ビットの入力ポートです。各端子には入力プルアップ MOS があり、PFC の SC ポートコントロールレジスタ (SCPCR) で制御します。

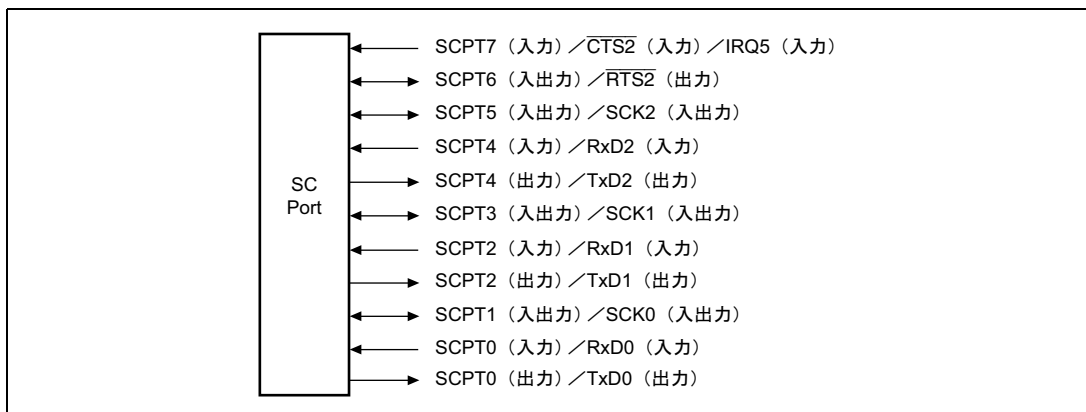


図 20.12 SC ポート

20.13.1 レジスタの説明

表 20.23 に SC ポートのレジスタを示します。

表 20.23 レジスタの説明

名称	略称	R/W	初期値	アドレス	アクセスサイズ
SC ポートデータレジスタ	SCPDR	R/W または R	B*0000000	H'04000136 (H'A4000136)*1	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

* 値なし

*1 MMU によるアドレス変換の対象としない場合は、（ ）内のアドレスを使用してください。

20.13.2 SC ポートデータレジスタ (SCPDR)

ビット:	7	6	5	4	3	2	1	0
	SCP7DT	SCP6DT	SCP5DT	SCP4DT	SCP3DT	SCP2DT	SCP1DT	SCP0DT
初期値:	*	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 値なし

SC ポートデータレジスタ (SCPDR) は、読み出し/書き込み可能な 7 ビット、および読み出し可能な 1 ビットのレジスタで、端子 SCPT7~SCPT0 のデータを格納します。SCP7DT~SCP0DT ビットは SCPT7~SCPT0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する SCPDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 20.24 に SCPDR の機能を示します。

SCPDR はパワーオンリセットで B*0000000 に初期化されます。SCP7DT~SCP5DT、SCP3DT、SCP1DT は、初期化された後、端子機能の初期値、汎用入力ポート (プルアップ MOS オン) として、対応する端子レベルが読み込まれます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

汎用入力以外でビット 7 を読み出すとローレベルが読み出されるので注意してください。

SCSCR の TE ビットまたは RE ビットを 0 にクリアしないで SCPDR の SCP4DT、SCP2DT、SCP0DT ビットの Rx/D2~0 端子状態を読み出すとき、SCSCR の RE ビットを 1 にセットしてください。RE ビットを 1 にセットすると、Rx/D 端子は入力となり、SCPCR 設定に優先し、端子状態を読み出すことができます。

表 20.24 SC ポートデータレジスタ (SCPDR) の読み出し/書き込み動作

SCPnMD1	SCPnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	SCPDR の値	SCPDR に書き込めるが、端子の状態に影響しない
	1	出力	SCPDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	SCPDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	SCPDR に書き込めるが、端子の状態に影響しない

(n=0~6)

SCPnMD1	SCPnMD0	端子状態	読み出し	書き込み
0	0	その他の機能 (表 19.1 参照)	ローレベル	無視 (端子状態に影響しない)
	1	リザーブ	ローレベル	無視 (端子状態に影響しない)
1	0	入力 (プルアップ MOS オン)	端子の状態	無視 (端子状態に影響しない)
	1	入力 (プルアップ MOS オフ)	端子の状態	無視 (端子状態に影響しない)

(n=7)

21. A/D 変換器

21.1 概要

本 LSI は 10 ビット精度の逐次比較方式 A/D コンバータを内蔵しています。最大 8 チャンネルのアナログ入力を選択することができます。

21.1.1 特長

A/D 変換器の特長を以下に示します。

- 10ビット分解能
- 入力チャンネル：8チャンネル
- 高速変換
最小変換時間：1チャンネルあたり $15\ \mu\text{s}$ (P ϕ クロック 33MHz 動作時)
- 3種類の変換モード
シングルモード：1チャンネルの A/D 変換
マルチモード：1～4チャンネルの A/D 変換
スキャンモード：1～4チャンネルの連続 A/D 変換
- 4本のデータレジスタ
変換結果を、各チャンネルに対応した 16ビットデータレジスタに保持
- サンプル&ホールド機能
- 外部トリガによる A/D 変換が可能
- A/D 変換終了割り込み発生
A/D 変換終了時に、A/D 変換終了割り込み (ADI) 要求を発生可能

21.1.2 ブロック図

A/D 変換器のブロック図を図 21.1 に示します。

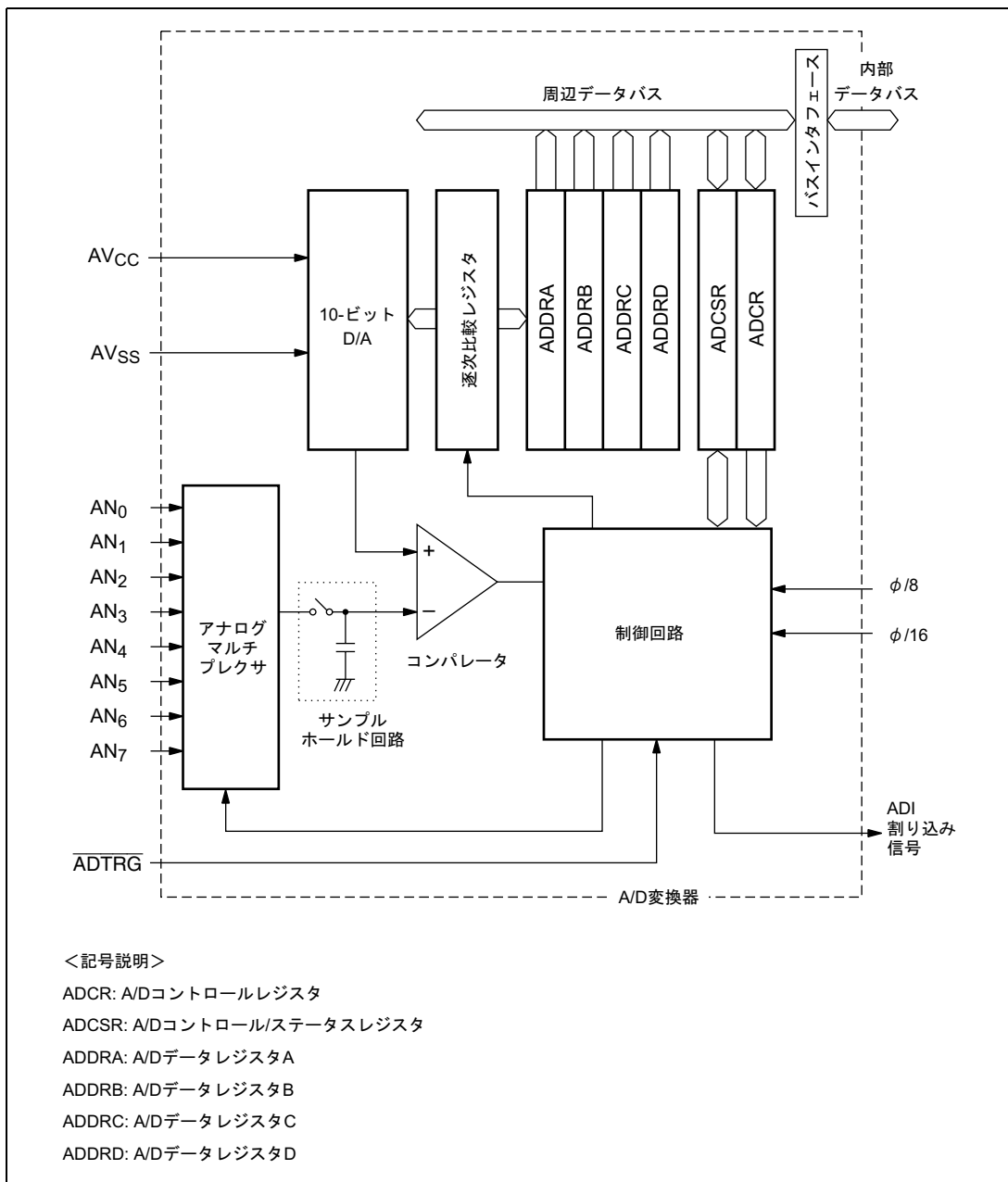


図 21.1 A/D 変換器のブロック図

21.1.3 端子構成

A/D 変換器で使用する入力端子を表 21.1 に示します。

8 本のアナログ入力端子はグループ 0 (AN0~3) およびグループ 1 (AN4~AN7) の 2 つのグループに分かれています。

AV_{CC}、AV_{SS} 端子は、A/D 変換器内部のアナログ部の電源です。AV_{CC} 端子は、A/D 変換基準電圧です。

表 21.1 端子構成

端子名	略称	入出力	機能
アナログ電源	AV _{CC}	入力	アナログ部の電源
アナロググランド	AV _{SS}	入力	アナログ部のグランドおよび A/D 変換の基準電圧
アナログ入力 0	AN0	入力	グループ 0 アナログ入力
アナログ入力 1	AN1	入力	グループ 0 アナログ入力
アナログ入力 2	AN2	入力	グループ 0 アナログ入力
アナログ入力 3	AN3	入力	グループ 0 アナログ入力
アナログ入力 4	AN4	入力	グループ 1 アナログ入力
アナログ入力 5	AN5	入力	グループ 1 アナログ入力
アナログ入力 6	AN6	入力	グループ 1 アナログ入力
アナログ入力 7	AN7	入力	グループ 1 アナログ入力
A/D 外部トリガ入力	ADTRG	入力	A/D 変換開始のための外部トリガ

21.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 21.2 に示します。

表 21.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット)
A/D データレジスタ AH	ADDRAH	R	H'00	H'04000080 (H'A4000080)*2	16、8
A/D データレジスタ AL	ADDRAL	R	H'00	H'04000082 (H'A4000082)*2	8
A/D データレジスタ BH	ADDRBH	R	H'00	H'04000084 (H'A4000084)*2	16、8
A/D データレジスタ BL	ADDRBL	R	H'00	H'04000086 (H'A4000086)*2	8
A/D データレジスタ CH	ADDRCH	R	H'00	H'04000088 (H'A4000088)*2	16、8
A/D データレジスタ CL	ADDRCL	R	H'00	H'0400008A (H'A400008A)*2	8

21. A/D 変換器

名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット)
A/D データレジスタ DH	ADDRDH	R	H'00	H'0400008C (H'A400008C)* ²	16、8
A/D データレジスタ DL	ADDRDL	R	H'00	H'0400008E (H'A400008E)* ²	8
A/D コントロール/ステータスレジスタ	ADCSR	R/(W)* ¹	H'00	H'04000090 (H'A4000090)* ²	8
A/D コントロールレジスタ	ADCR	R/W	H'07	H'04000092 (H'A4000092)* ²	8

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

*1 ビット 7 は、フラグをクリアするための 0 書き込みのみ可能です。

*2 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

21.2 レジスタの説明

21.2.1 A/D データレジスタ A~D (ADDRA~ADDRD)

上位レジスタ : H

ビット :	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

下位レジスタ : L

ビット :	7	6	5	4	3	2	1	0
	AD1	AD0	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

n=A~D

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA~ADDRD の 4 本があり、上位レジスタ H と下位レジスタ L に分かれています。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位レジスタ H (ビット 7~0) に、また下位 2 ビットが下位レジスタ L (ビット 7、6) に転送され、保持されます。ビット 5~0 は読み出すと常に 0 が読み出されます。

アナログ入力チャンネルと ADDR の対応を表 21.3 に示します。

ADDR は、リセットおよびスタンバイモードで H'0000 に初期化されます。

表 21.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

21.2.2 A/D コントロール/ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	MULTI	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグに 0 を書き込んでクリアしてください。

ADCSR は、8 ビットの読み出し/書き込み可能なレジスタで、A/D 変換の動作制御、およびステータスの表示を行います。

ADCSR は、リセットおよびスタンバイモードで H'00 に初期化されます。

- ビット 7: A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット 7	説明
ADF	
0	[クリア条件] (初期値) (1) ADF=1 の状態で、ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき (2) ADI 割り込みにより DMAC が起動され、ADDR を読み出したとき
1	[セット条件] シングルモード: A/D 変換が終了したとき マルチモード: 指定したすべてのチャンネルを一巡して変換したとき スキャンモード: 指定したすべてのチャンネルを一巡して変換したとき

- ビット 6: A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。

21. A/D 変換器

ビット 6	説 明
ADIE	
0	A/D 変換の終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換の終了による割り込み (ADI) 要求を許可

- ビット 5 : A/D スタート (ADST)

A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。

ADST ビットは A/D 外部トリガ入力端子 ($\overline{\text{ADTRG}}$) によっても 1 にセットすることができます。

ビット 5	説 明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード : A/D 変換を開始。指定したチャネルの変換が終了すると自動的に 0 にクリア (2) マルチモード : A/D 変換を開始。指定したすべてのチャネルを一巡して変換が終了すると、自動的に 0 にクリア (3) スキャンモード : A/D 変換を開始。ソフトウェア、リセットまたはスタンバイモードへの遷移により 0 にクリアされるまで連続変換

- ビット 4 : マルチモード (MULTI)

シングルモード、マルチモード、またはスキャンモードを選択します。これらのモードについての詳細は、「21.4 動作説明」を参照してください。

ビット 4	ADCR のビット 5	説 明
MULTI	SCN	
0	0	シングルモード (初期値)
	1	
1	0	マルチモード
	1	スキャンモード

- ビット 3 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST ビットを 0 にクリアした後に行ってください。

ビット 3	説 明
CKS	
0	変換時間 = 536 ステート (最大値) (初期値)
1	変換時間 = 266 ステート (最大値)

- ビット2~0: チャンネルセレクト2~0 (CH2~CH0)

MULTI ビットとともにアナログ入力チャンネルを選択します。

入力チャンネルの設定は、ADST ビットを0にクリアした後に行ってください。

ビット2	ビット1	ビット0	説 明	
CH2	CH1	CH0	シングルモード (MULTI=0)	マルチモードおよび スキャンモード (MULTI=1)
0	0	0	AN0 (初期値)	AN0
		1	AN1	AN0, AN1
	1	0	AN2	AN0~AN2
		1	AN3	AN0~AN3
1	0	0	AN4	AN4
		1	AN5	AN4, AN5
	1	0	AN6	AN4~AN6
		1	AN7	AN4~AN7

21.2.3 A/D コントロールレジスタ (ADCR)

ビット:	7	6	5	4	3	2	1	0
	TRGE1	TRGE0	SCN	RESVD1	RESVD2	—	—	—
初期値:	0	0	0	0	0	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R

ADCR は、8 ビットの読み出し/書き込み可能なレジスタで、外部トリガ入力による A/D 変換開始の許可または禁止を選択します。ADCR は、リセットまたはスタンバイモード時に H'07 に初期化されます。

- ビット7、6: トリガイネーブル (TRGE1、TRGE0)

外部トリガ入力による A/D 変換の許可または禁止を選択します。

ビット7	ビット6	説 明
TRGE1	TRGE0	
0	0	外部トリガ入力による A/D 変換の開始を禁止 (初期値)
	1	
1	0	A/D 変換トリガ入力端子 (ADTRG) の立ち下がりがエッジで A/D 変換を開始
	1	

- ビット5: スキャンモード (SCN)

MULTI ビットが1のとき、マルチモードまたはスキャンモードを選択します。「21.2.2 A/D コントロール/ステータスレジスタ (ADCSR)」の「ビット4」を参照してください。

- ビット 4、3: 予約ビット (RESVD1、RESVD2)

書き込む値は常に 0 にしてください。

21.3 バスマスタとのインタフェース

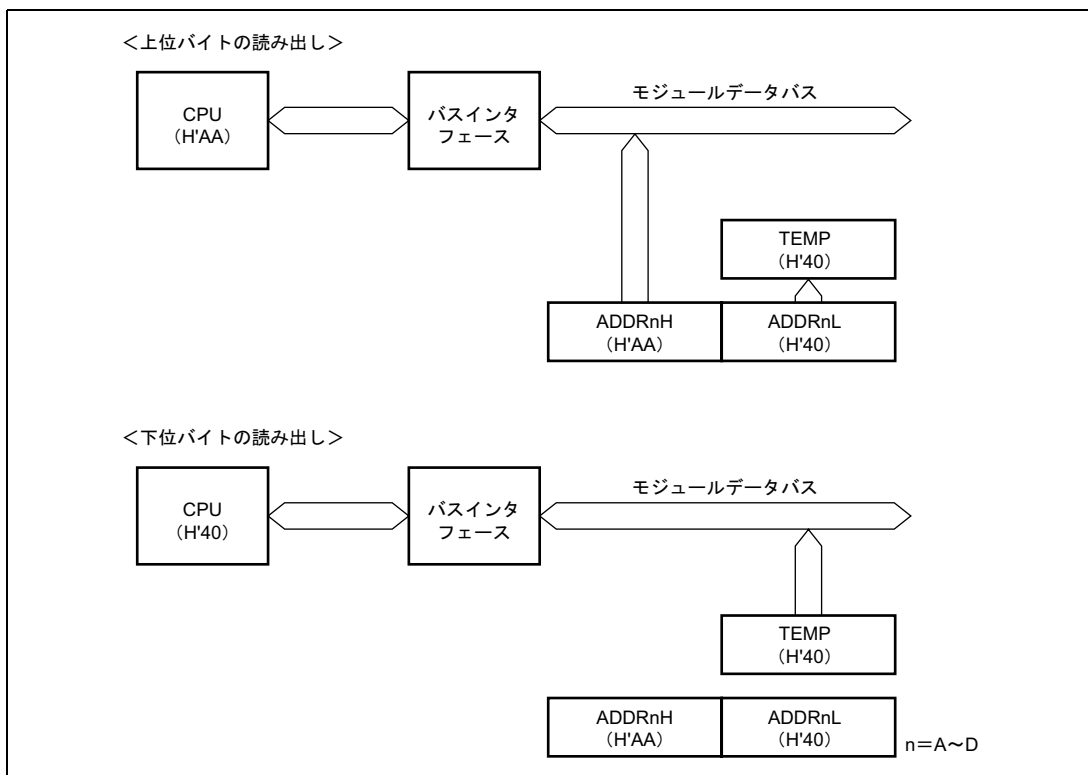
ADDRA～ADDRD は 16 ビットのレジスタですが、バスマスタとは 16 ビットの周辺データバスの上位 8 ビットによって接続されています。したがって、上位バイトはバスマスタにより直接アクセスできますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して読み出します。

A/D データレジスタは次のように読み出します。上位バイトを読み出したとき、上位バイトの値は直接バスマスタに転送され、下位バイトの値は TEMP に転送されます。次に下位バイトを読み出したときに、TEMP の内容がバスマスタに転送されます。

A/D データレジスタを読み出すときは、常に上位バイトを下位バイトより前に読み出してください。上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容は保証されませんので、ご注意ください。

図 21.2 に A/D データレジスタにアクセスする場合のデータの流れを示します。

「21.7.3 アクセスサイズと読み出しデータ」を参照してください。



21.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。シングルモードとマルチモードおよびスキャンモードの各モードの動作についての説明をします。

21.4.1 シングルモード (MULTI=0)

シングルモードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

ADF ビットは、ADF=1 を読み出した後、ADF ビットに 0 を書き込むとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 21.3 に示します (動作例におけるビット指定は ADCSR レジスタです)。

- (1) 動作モードをシングルモードに (MULTI=0)、入力チャンネルを AN1 に (CH1=CH2=0、CH0=1)、A/D 割り込み要求許可 (ADIE=1) に設定して、A/D 変換を開始 (ADST=1) します。
- (2) A/D 変換が終了すると、A/D 変換結果が ADDR0 に転送されます。同時に、ADF=1、ADST=0 となり、A/D 変換器は変換待機となります。
- (3) ADF=1、ADIE=1 となっているため、ADI 割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) ADF=1 を読み出した後、ADF に 0 を書き込みます。
- (6) A/D 変換結果 (ADDR0=0) を読み出して、処理します。
- (7) A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され (2) ~ (7) を行います。

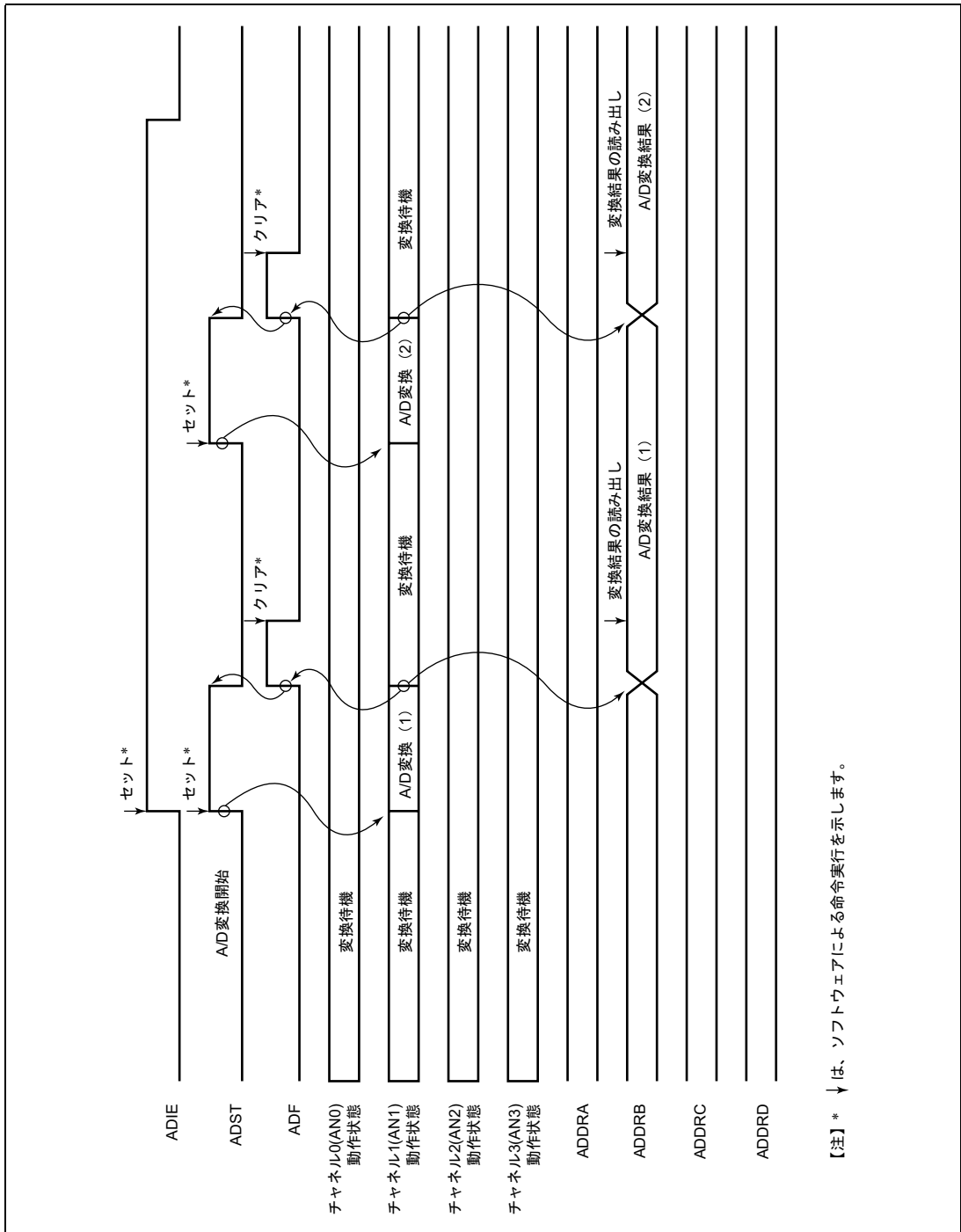


図 21.3 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

21.4.2 マルチモード (MULTI=1、SCN=0)

マルチモードは、複数チャンネル (1 チャンネルを含む) のアナログ入力を各々1回順次変換します。A/D 変換はソフトウェアまたは外部トリガ入力によって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2=0 のとき AN0、CH2=1 のとき AN4) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN1 または AN5) の A/D 変換を開始します。

A/D 変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

マルチモードでグループ 0 の 3 チャンネル (AN0~AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 21.4 に示します。

- (1) 動作モードをマルチモードに (MULTI=1、SCN=0)、チャンネルグループ 0 を選択 (CH2=0)し、アナログ入力チャンネルを AN0~AN2 (CH1=1、CH0=0) に設定して A/D 変換を開始 (ADST=1) します。
 - (2) 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR_A に転送します。次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
 - (3) 同様に第 3 チャンネル (AN2) まで変換を行います。
 - (4) 選択されたすべてのチャンネル (AN0~AN2) の変換が終了すると、ADF=1 となり、ADST ビットを 0 にして変換を終了します。
- このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。

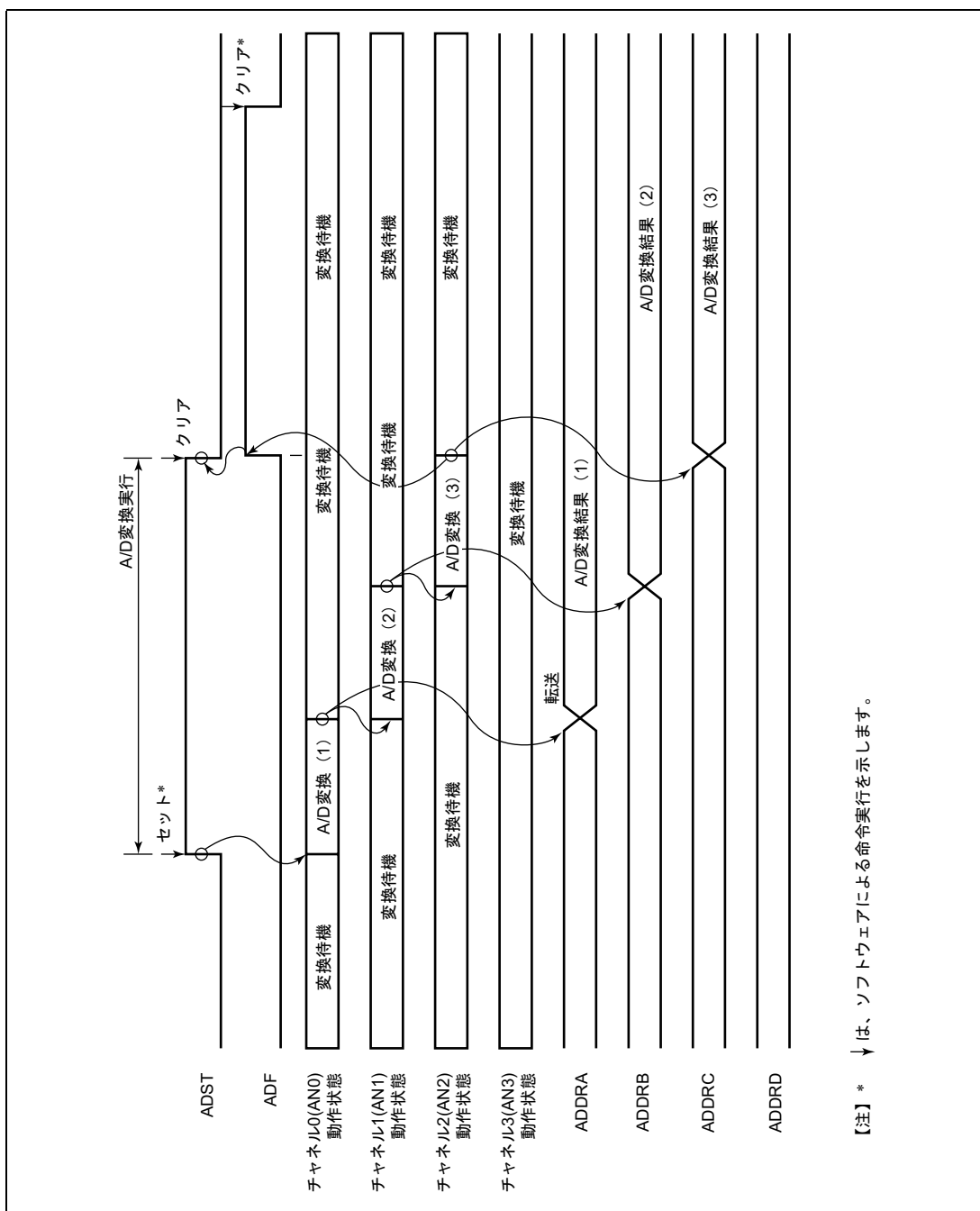


図 21.4 A/D 変換器の動作例 (マルチモード、AN0~AN2 の 3 チャンネル選択時)

21.4.3 スキャンモード (MULTI=1、SCN=1)

スキャンモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を常にモニタするようなシステムに適します。A/D 変換はソフトウェアまたは外部トリガ入力によって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2=0 のとき AN0、CH2=1 のとき AN4) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN1 または AN5) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードでグループ 0 の 3 チャンネル (AN0~AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 21.5 に示します。

- (1) 動作モードをスキャンモードに (MULTI=1、SCN=1)、チャンネルグループ 0 を選択 (CH2=0) し、アナログ入力チャンネルを AN0~AN2 (CH1=1、CH0=0) に設定して A/D 変換を開始 (ADST=1) します。
- (2) 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDRA に転送します。次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN2) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN0~AN2) の変換が終了すると、ADF=1 となり、再び、第 1 チャンネル (AN0) を選択し、連続して変換が行われます。

このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。

- (5) ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。

ADST ビットを 0 にクリアすると、A/D 変換が停止します。その後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN0) から変換が行われます。

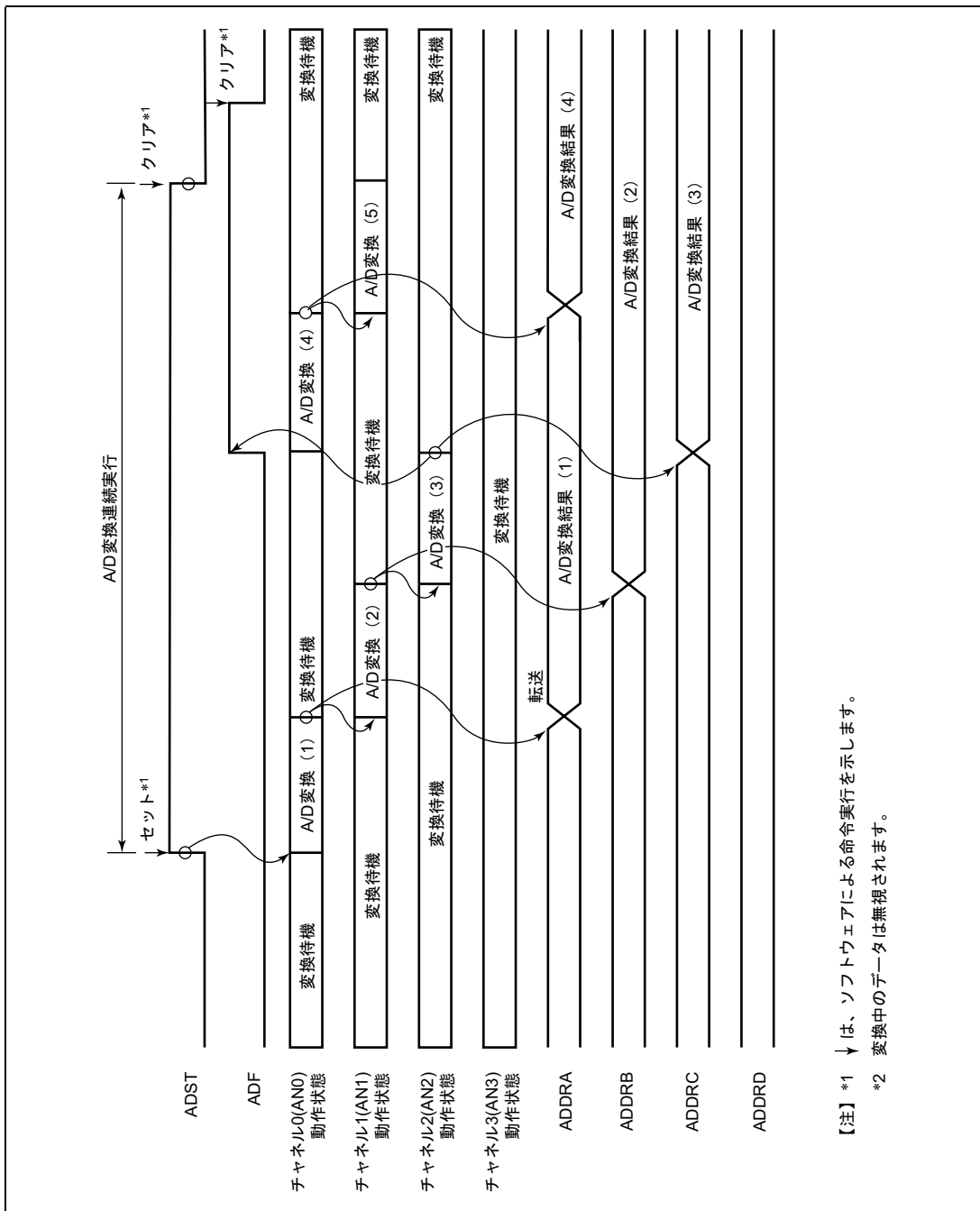


図 21.5 A/D 変換器の動作例 (スキャンモード AN0~AN2 の 3 チャンネル選択時)

21.4.4 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 21.6 に示します。また、A/D 変換時間を表 21.4 に示します。

A/D 変換時間は、図 21.6 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR への書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 21.4 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 21.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は ADCSR の CKS=0 の場合は 256 ステート (固定)、CKS=1 の場合は 128 ステート (固定) となります。

いずれの場合も変換時間は、「第 24 章 電気的特性」の表 24.10 に示す範囲となるように $P\phi$ の周波数に応じて CKS ビットを設定してください。

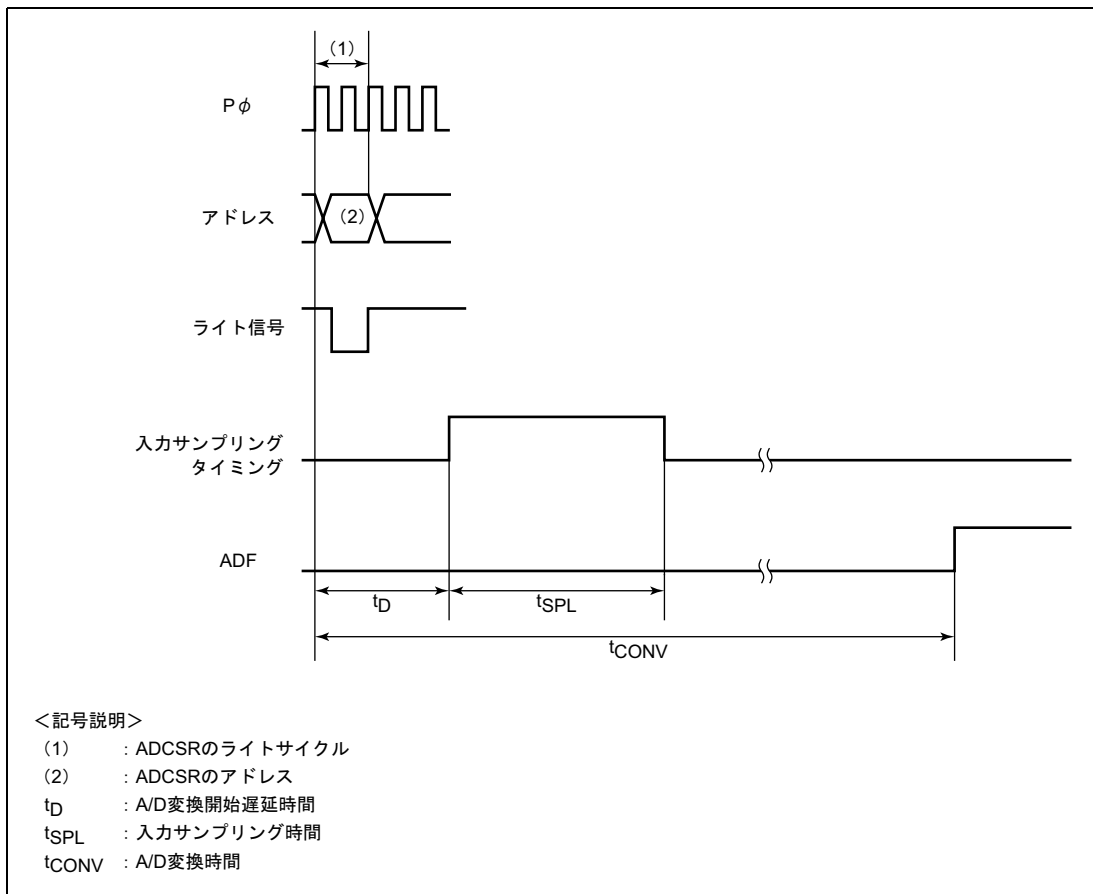


図 21.6 A/D 変換タイミング

表 21.4 A/D 変換時間（シングルモード）

	記号	CKS=0			CKS=1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	17	—	28	10	—	17
入力サンプリング時間	t_{SPL}	—	129	—	—	65	—
A/D 変換時間	t_{CONV}	514	—	525	259	—	266

【注】 表中の数値の単位はステート (t_{cyc}) です。

21.4.5 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、A/D コントロールレジスタ (ADCR) の TRGE1、0 ビットがともに 1 にセットされているとき、 \overline{ADTRG} 端子から入力されます。

\overline{ADTRG} 入力端子の立ち下がりがエッジにより、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、変換のモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 21.7 に示します。

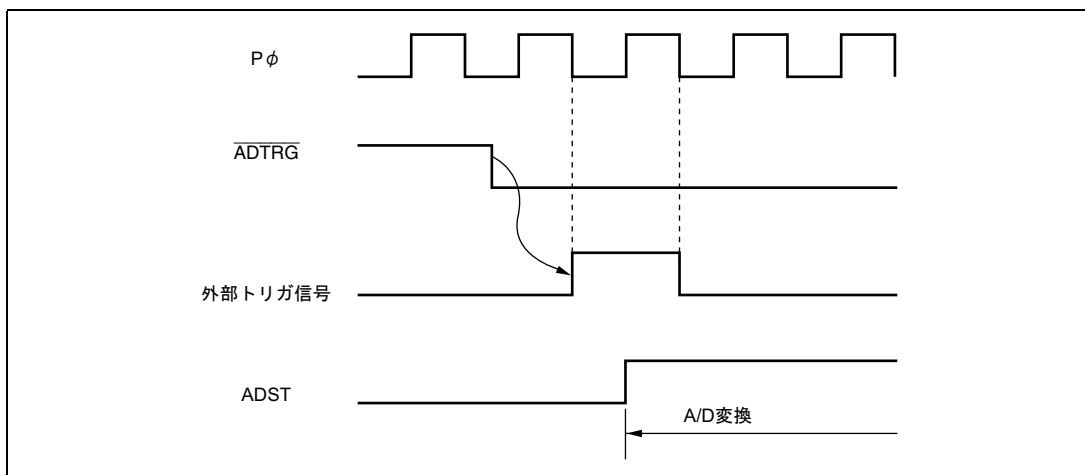


図 21.7 外部トリガ入力タイミング

21.5 割り込み要求

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。

ADI 割り込み要求は、ADCSR の ADIE ビットで許可または禁止することができます。

21.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

- (1) オフセット誤差
- (2) フルスケール誤差
- (3) 量子化誤差
- (4) 非直線性誤差

図 21.8 に沿って、上記 (1) ~ (4) の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの中速 A/D 変換器を 3 ビットの中速 A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値 (ゼロ電圧) 000000000 (図では 000) から 000000001 (図では 001) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 21.8 (1)) です。フルスケール誤差とはデジタル出力値が 111111110 (図では 110) から最大値 (フルスケール電圧) 111111111 (図では 111) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 21.8 (2)) です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます (図 21.8 (3))。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 21.8 (4)) です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

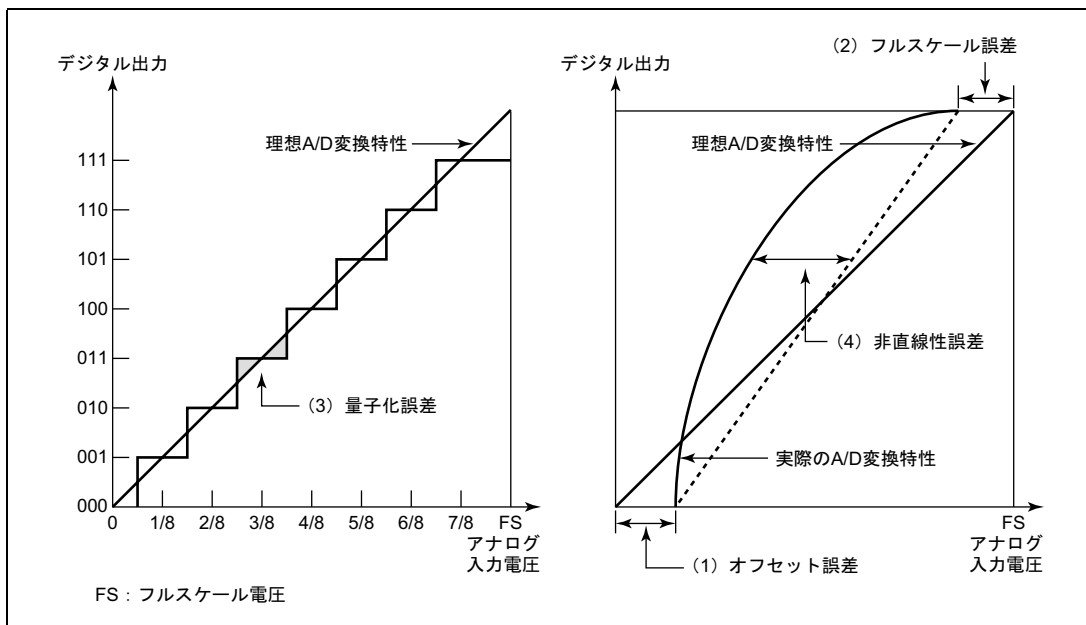


図 21.8 A/D 変換精度の定義

21.7 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

21.7.1 アナログ電圧の設定

(1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 ANn に印加する電圧は $AV_{SS} \leq ANn \leq AV_{CC}$ の範囲としてください。(n=0 ~7)

(2) AV_{CC} 、 AV_{SS} 入力電圧

AV_{CC} 、 AV_{SS} 入力電圧は、 $AV_{CC} = V_{CC}Q \pm 0.2V$ 、 $AV_{SS} = V_{SS}$ としてください。

21.7.2 アナログ入力端子の取り扱い

アナログ入力端子 (AN0~AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 21.9 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 21.10 にアナログ入力端子の等価回路を、表 21.5 にアナログ入力端子の規格を示します。

21.7.3 アクセスサイズと読み出しデータ

表 21.6 にアクセスサイズと読み出しデータの関係を示します。アクセスサイズ、バス幅、エンディアンの違いにより得られる読み出しデータにご注意ください。

ここでは、アナログ入力として AV_{CC} を入力した場合に得られる H'3FF の場合を示します。FF は変換結果の上位 8 ビット、C0 は下位 2 ビットを含むデータとなります。

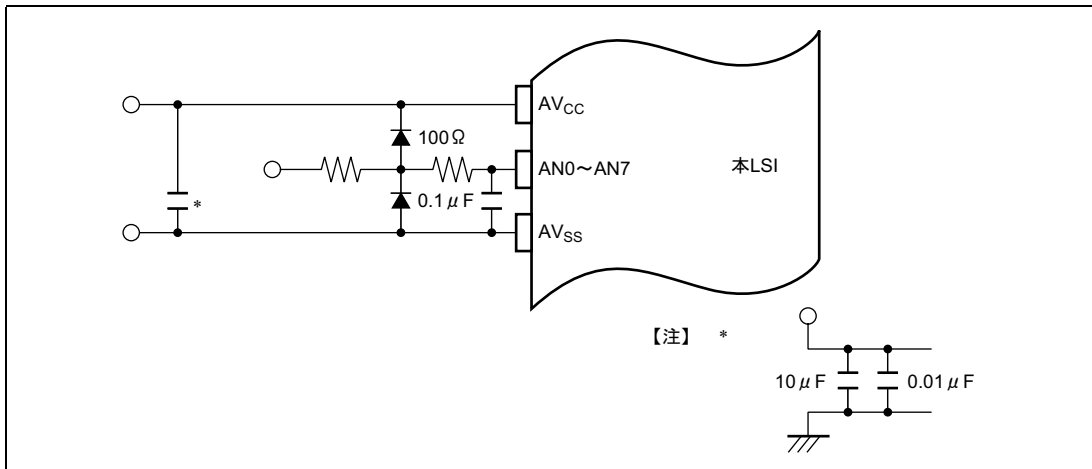


図 21.9 アナログ入力端子の保護回路例

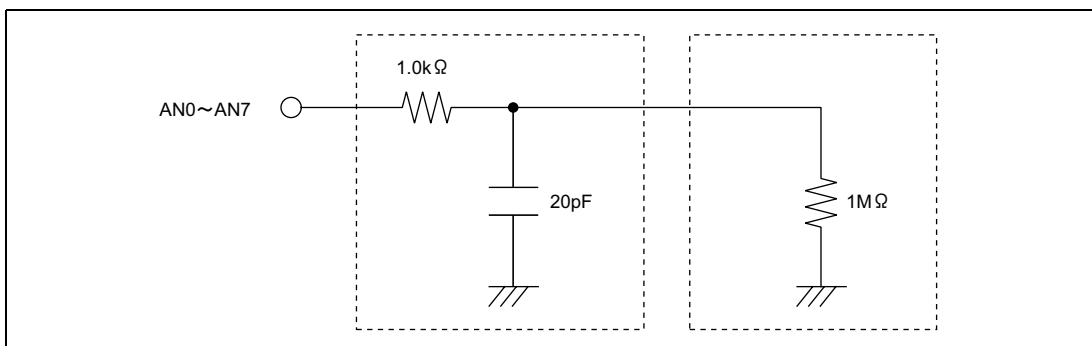


図 21.10 アナログ入力端子の等価回路

表 21.5 アナログ入力端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	kΩ

表 21.6 アクセスサイズと読み出しデータの関係

アクセス サイズ	コマンド	バス幅					
		32 ビット (D31-D0)		16 ビット (D15-D0)		8 ビット (D7-D0)	
		エンディアン					
		big	little	big	little	big	little
バイト アクセス	MOV.L#ADDRAH, R9	FFFFFFFF	FFFFFFFF	FFFF	FFFF	FF	FF
	MOV.B@R9, R8 MOV.L#ADDRAL, R9 MOV.B@R9, R8	C0C0C0C0	C0C0C0C0	C0C0	C0C0	C0	C0
ワード アクセス	MOV.L#ADDRAH, R9	FFxxFFxx	FFxxFFxx	FFxx	FFxx	FF	xx
	MOV.W@R9, R8 MOV.L#ADDRAL, R9 MOV.W@R9, R8	C0xxC0xx	C0xxC0xx	C0xx	C0xx	xx C0 xx	FF xx C0
ロング ワード アクセス	MOV.L#ADDRAH, R9 MOV.L@R9, R8	FFxxC0xx	FFxxC0xx	FFxx C0xx	C0xx FFxx	FF xx C0 xx	xx C0 xx FF

【注】 ここで#ADDRAH.EQU H'04000080

#ADDRAL.EQU H'04000082 とし、

R8 を介して外部デバイスに読み出しデータを出力した場合で 16 進数で表示

22. D/A 変換器

22.1 概要

本 LSI には 2 チャンネルの D/A 変換器が内蔵されています。

22.1.1 特長

D/A 変換器は次のような特長を持っています。

- 8ビットの解像度
- 2つの出力チャンネル
- 変換時間：最大 $10\mu\text{s}$ （容量性負荷： 20pF ）
- 出力電圧： $0\text{V}\sim\text{AV}_{\text{CC}}$

22.1.2 ブロック図

D/A 変換器のブロック図を図 22.1 に示します。

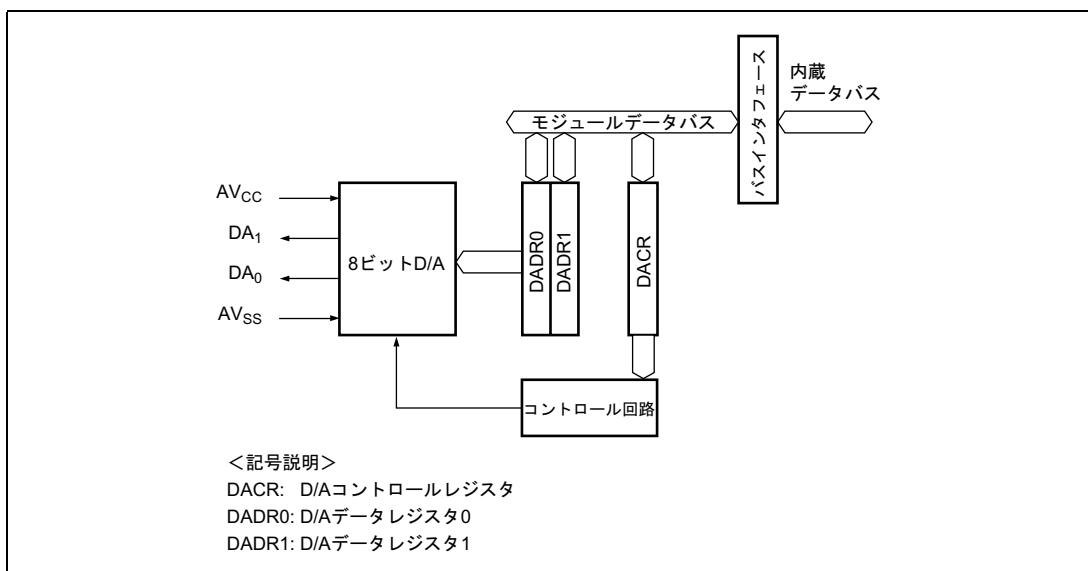


図 22.1 D/A 変換器のブロック図

22. D/A 変換器

22.1.3 入出力端子

D/A 変換器の入力端子、出力端子を表 22.1 に示します。

表 22.1 D/A 変換器の端子

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ電源
アナロググランド端子	AV _{SS}	入力	アナロググランドおよび基準電圧
アナログ出力端子 0	DA0	出力	アナログ出力、チャンネル 0
アナログ出力端子 1	DA1	出力	アナログ出力、チャンネル 1

22.1.4 レジスタ構成

D/A 変換器のレジスタを表 22.2 に示します。

表 22.2 D/A 変換器のレジスタ

名称	略称	R/W	初期値	アドレス*1
D/A データレジスタ 0	DADR0	R/W	H'00	H'040000A0 (H'A40000A0)*2
D/A データレジスタ 1	DADR1	R/W	H'00	H'040000A2 (H'A40000A4)*2
D/A コントロールレジスタ	DACR	R/W	H'1F	H'040000A4 (H'A40000A2)*2

【注】 これらのレジスタは物理空間のエリア 1 に配置されています。したがって、キャッシュ ON 時には、論理空間の P2 エリアからこれらのレジスタをアクセスするか、またはこれらのレジスタがキャッシュされないように MMU を使用して適切な設定を行ってください。

*1 アドレスの下位 16 ビット

*2 MMU によるアドレス変換の対象としない場合は、() 内のアドレスを使用してください。

22.2 レジスタの説明

22.2.1 D/A データレジスタ 0、1 (DADR0/1)

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A データレジスタ (DADR0、DADR1) は、変換データを格納する読み出し／書き込み可能な 8 ビットレジスタです。アナログ出力カインーブルのとき、D/A データレジスタの値はアナログ出力端子で常に変換、出力されます。

D/A データレジスタは、リセット時 H'00 に初期化されます。

22.2.2 D/A コントロールレジスタ (DACR)

ビット:	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R	R	R

DACR は、D/A 変換器の動作を制御する読み出し／書き込み可能な 8 ビットレジスタです。

DACR は、リセット時 H'1F に初期化されます。

- ビット 7: D/A 出力カインーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説 明	
DAOE1		
0	DA1 アナログ出力を禁止	(初期値)
1	チャンネル 1 の D/A 変換と DA1 アナログ出力を許可	

- ビット 6: D/A 出力カインーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6	説 明	
DAOE0		
0	DA0 アナログ出力を禁止	(初期値)
1	チャンネル 0 の D/A 変換と DA0 アナログ出力を許可	

- ビット 5: D/A イネーブル (DAE)

ビット DAOE0、DAOE1 とともに D/A 変換を制御します。DAE ビットを 0 にクリアすると、D/A 変換はチャンネル 0、チャンネル 1 で独立して制御されます。D/A 変換を許可した状態で本 LSI がスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中のアナログ電源電流と等価となります。

スタンバイモードのアナログ電源電流を小さくするには、DAOE0、DAOE1 ビットをクリアして D/A 出力を禁止します。

22. D/A 変換器

ビット7	ビット6	ビット5	説明
DAOE1	DAOE0	DAE	
0	0	—	チャンネル0、1でD/A変換を禁止 (初期値)
	1	0	チャンネル0でD/A変換を許可 チャンネル1でD/A変換を禁止
		1	チャンネル0、1でD/A変換を許可
1	0	0	チャンネル0でD/A変換を禁止 チャンネル1でD/A変換を許可
		1	チャンネル0、1でD/A変換を許可
	1	—	チャンネル0、1でD/A変換を許可

DAE ビットを1にセットすると、DACR の DAOE0、DAOE1 ビット、および ADCSR の ADST ビットを0にクリアしてもアナログ電源から A/D、D/A 変換時と同じ電流が導かれます。

- ビット4～0：予約ビット

読み出し専用ビットです。常に1が読み出されます。

22.3 動作の説明

D/A 変換器には、独立して変換を実行できる2つの内蔵 D/A 変換回路があります。

D/A 変換は DACR で許可状態のとき常に実行されます。DADR0 または DADR1 の値を変更すると、新しいデータの変換を即座に開始します。ビット DAOE0、DAOE1 を1にセットすると変換結果が出力されます。

チャンネル0のD/A変換の例を次に示します。タイミングは図22.2に示します。

- (1) 変換対象のデータを DADR0 に書き込みます。
- (2) DACR の DAOE0 ビットを1にセットします。D/A 変換を開始し、DA0 は出力端子になります。変換結果は変換時間後に出力されます。出力値は $(\text{DADR0 内容} / 256) \times \text{AVCC}$ です。この変換結果の出力は、DADR0 の値を変更するか DAOE0 ビットを0にクリアするまで継続します。
- (3) DADR0 値を変更すると、変換を即座に開始し、結果は変換時間の後で出力されます。
- (4) DAOE0 ビットを0にクリアすると、DA0 は入力端子になります。

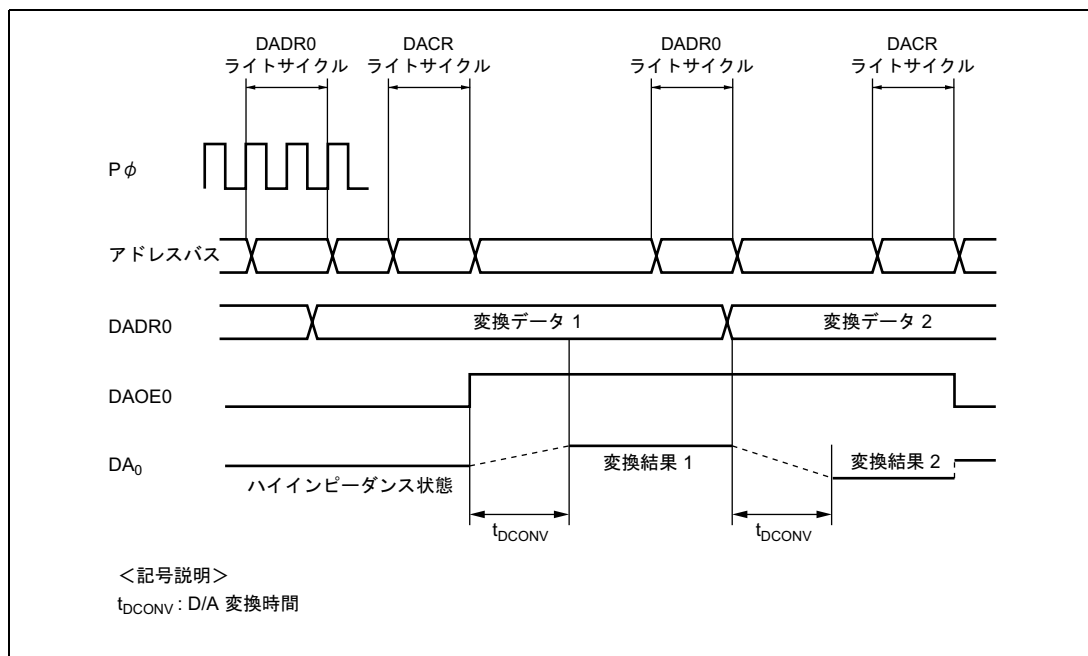


図 22.2 D/A 変換器動作の例

23. ユーザデバッグインタフェース (H-UDI)

23.1 概要

SH7729R は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェース (H-UDI)、およびアドバンスドユーザデバッグ (AUD) を内蔵しています。

23.2 ユーザデバッグインタフェース (H-UDI)

ユーザデバッグインタフェース (H-UDI) は、JTAG (Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) に準拠したシリアル入出力インタフェースです。

SH7729R の H-UDI はバウンダリスキャンをサポートし、エミュレータの接続にも使用されます。

エミュレータを使用する場合は、H-UDI の機能を使用しないでください。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

23.2.1 端子の説明

名称	説明
TCK	H-UDI のシリアルデータ入出力用クロック端子。データはこのクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。
TMS	モードセレクト入力端子。TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは JTAG 規格 (IEEE Std.1149.1) に対応しています。
$\overline{\text{TRST}}$	H-UDI のリセット入力端子。TCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。リセット構成の詳細については「23.4.2 リセット構成」を参照してください。
TDI	H-UDI シリアルデータ入力端子。H-UDI に対してのデータ転送は TCK に同期してこの信号を変化させることによって実行します。
TDO	H-UDI シリアルデータ出力端子。H-UDI からのデータ出力は TCK に同期してこの信号を読み出すことによって実行します。
ASEMD0	ASE モードセレクト端子。RESETP 端子アサート期間中に、ASEMD0 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。ASE モードでは、バウンダリスキャンやエミュレータ用の機能が使用可能になります。ASEMD0 端子への入力レベルは、RESETP 端子ネゲート後、最低 1 サイクル保持してください。
ASEBRKAK	エミュレータ専用の端子

23.2.2 ブロック図

H-UDI のブロック図を図 23.1 に示します。

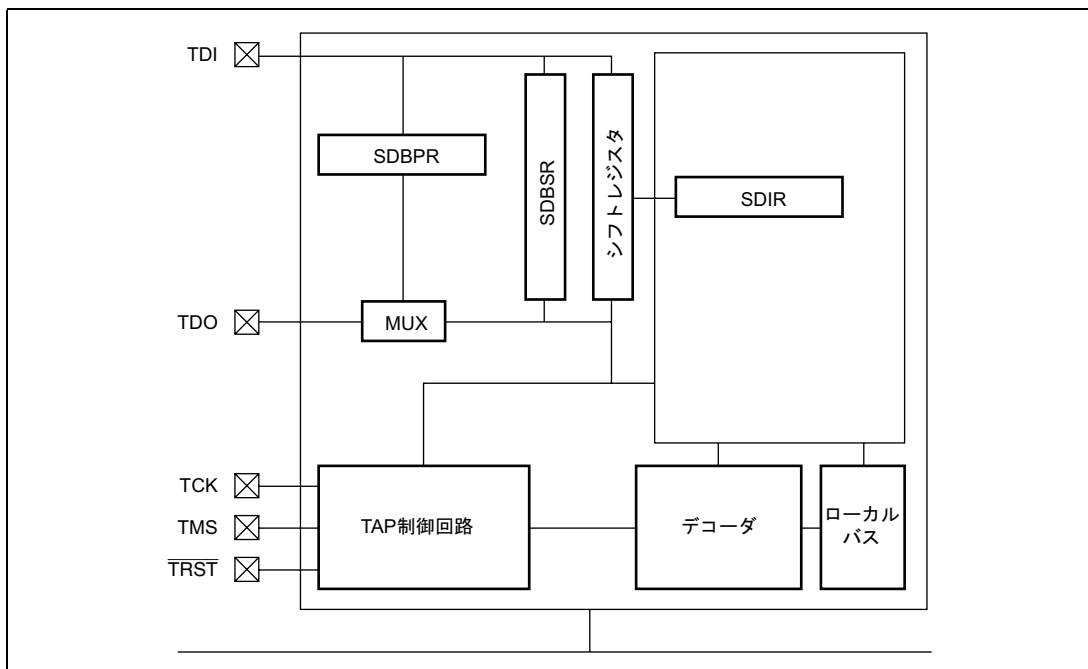


図 23.1 H-UDI ブロック図

23.3 レジスタの説明

H-UDI は次のレジスタを内蔵しています。

- SDBPR : バイパスレジスタ
- SDIR : インストラクションレジスタ
- SDBSR : バウンダリスキャンレジスタ

表 23.1 に H-UDI レジスタ構成を示します。

表 23.1 H-UDI レジスタ

名称	略称	CPU 側			H-UDI 側		初期値*
		R/W	サイズ	アドレス	R/W	サイズ	
バイパスレジスタ	SDBPR	—	—	—	R/W	1	不定
インストラクションレジスタ	SDIR	R	16	H'04000200	R/W	16	H'FFFF
バウンダリスキャンレジスタ	SDBSR	—	—	—	R/W	—	不定

【注】 * $\overline{\text{TRST}}$ 端子がローレベル、または TAP が Test-Logic-Reset state で初期化されます。

23.3.1 バイパスレジスタ (SDBPR)

バイパスレジスタは CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR をバイパスモードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。

23.3.2 インストラクションレジスタ (SDIR)

インストラクションレジスタ (SDIR) は 16 ビットの読み出し専用のレジスタです。初期状態でこのレジスタはバイパスモードになっています。 $\overline{\text{TRST}}$ のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化されます。また、CPU モードに関係なく H-UDI が書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。

ビット :	15	14	13	12	11	10	9	8
	TI3	TI2	TI1	TI0	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1
ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1

23. ユーザデバッグインタフェース

- ビット 15~12 : テストインストラクションビット (TI3-TI0)

CPU による書き込みは不可

表 23.2 H-UDI コマンド

ビット 15~12				説明
TI3	TI2	TI1	TI0	
0	0	0	0	EXTEST
0	1	0	0	SAMPLE/PRELOAD
0	1	0	1	予約
0	1	1	0	H-UDI リセットネゲート
0	1	1	1	H-UDI リセットアサート
1	0	0	—	予約
1	0	1	—	H-UDI 割り込み
1	1	0	—	予約
1	1	1	0	予約
1	1	1	1	Bypass mode (初期値)
0	0	0	1	スリープからの復帰

- ビット 11~0 : 予約ビット

読み出すと常に 1 が読み出されます。

23.3.3 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。

EXTEST と SAMPLe/PRELOAD コマンドを用いて、JTAG 規格に準拠したバウンダリスキャンテストを行うことができます。表 23.3 に SH7729R の端子とバウンダリスキャンレジスタの対応を示します。

表 23.3 SH7729R の端子とバウンダリスキャンレジスタの対応

ビット名	端子名	入出力	ビット名	端子名	入出力
	from TDI		306	MD1	IN
338	D31/PTB7	IN	305	MD2	IN
337	D30/PTB6	IN	304	NMI	IN
336	D29/PTB5	IN	303	IRQ0/ $\overline{\text{IRL0}}$ /PTH0	IN
335	D28/PTB4	IN	302	IRQ1/ $\overline{\text{IRL1}}$ /PTH1	IN
334	D27/PTB3	IN	301	IRQ2/ $\overline{\text{IRL2}}$ /PTH2	IN
333	D26/PTB2	IN	300	IRQ3/ $\overline{\text{IRL3}}$ /PTH3	IN
332	D25/PTB1	IN	299	IRQ4/PTH4	IN
331	D24/PTB0	IN	298	D31/PTB7	OUT
330	D23/PTA7	IN	297	D30/PTB6	OUT
329	D22/PTA6	IN	296	D29/PTB5	OUT
328	D21/PTA5	IN	295	D28/PTB4	OUT
327	D20/PTA4	IN	294	D27/PTB3	OUT
326	D19/PTA3	IN	293	D26/PTB2	OUT
325	D18/PTA2	IN	292	D25/PTB1	OUT
324	D17/PTA1	IN	291	D24/PTB0	OUT
323	D16/PTA0	IN	290	D23/PTA7	OUT
322	D15	IN	289	D22/PTA6	OUT
321	D14	IN	288	D21/PTA5	OUT
320	D13	IN	287	D20/PTA4	OUT
319	D12	IN	286	D19/PTA3	OUT
318	D11	IN	285	D18/PTA2	OUT
317	D10	IN	284	D17/PTA1	OUT
316	D9	IN	283	D16/PTA0	OUT
315	D8	IN	282	D15	OUT
314	D7	IN	281	D14	OUT
313	D6	IN	280	D13	OUT
312	D5	IN	279	D12	OUT
311	D4	IN	278	D11	OUT
310	D3	IN	277	D10	OUT
309	D2	IN	276	D9	OUT
308	D1	IN	275	D8	OUT
307	D0	IN	274	D7	OUT

23. ユーザデバッグインタフェース

ビット名	端子名	入出力	ビット名	端子名	入出力
273	D6	OUT	240	D5	Control
272	D5	OUT	239	D4	Control
271	D4	OUT	238	D3	Control
270	D3	OUT	237	D2	Control
269	D2	OUT	236	D1	Control
268	D1	OUT	235	D0	Control
267	D0	OUT	234	$\overline{BS}/PTK4$	IN
266	D31/PTB7	Control	233	$\overline{WE2}/DQMUL/IClORD/PTK6$	IN
265	D30/PTB6	Control	232	$\overline{WE3}/DQMUU/IClORD/PTK7$	IN
264	D29/PTB5	Control	231	$\overline{AUDSYNC}/PTE7$	IN
263	D28/PTB4	Control	230	$\overline{CS2}/PTK0$	IN
262	D27/PTB3	Control	229	$\overline{CS3}/PTK1$	IN
261	D26/PTB2	Control	228	$\overline{CS4}/PTK2$	IN
260	D25/PTB1	Control	227	$\overline{CS5}/CE1A/PTK3$	IN
259	D24/PTB0	Control	226	$\overline{CE2A}/PTE4$	IN
258	D23/PTA7	Control	225	$\overline{CE2B}/PTE5$	IN
257	D22/PTA6	Control	224	A0	OUT
256	D21/PTA5	Control	223	A1	OUT
255	D20/PTA4	Control	222	A2	OUT
254	D19/PTA3	Control	221	A3	OUT
253	D18/PTA2	Control	220	A4	OUT
252	D17/PTA1	Control	219	A5	OUT
251	D16/PTA0	Control	218	A6	OUT
250	D15	Control	217	A7	OUT
249	D14	Control	216	A8	OUT
248	D13	Control	215	A9	OUT
247	D12	Control	214	A10	OUT
246	D11	Control	213	A11	OUT
245	D10	Control	212	A12	OUT
244	D9	Control	211	A13	OUT
243	D8	Control	210	A14	OUT
242	D7	Control	209	A15	OUT
241	D6	Control	208	A16	OUT

23. ユーザデバッグインタフェース

ビット名	端子名	入出力	ビット名	端子名	入出力
207	A17	OUT	174	A8	Control
206	A18	OUT	173	A9	Control
205	A19	OUT	172	A10	Control
204	A20	OUT	171	A11	Control
203	A21	OUT	170	A12	Control
202	A22	OUT	169	A13	Control
201	A23	OUT	168	A14	Control
200	A24	OUT	167	A15	Control
199	A25	OUT	166	A16	Control
198	BS/PTK4	OUT	165	A17	Control
197	RD	OUT	164	A18	Control
196	WE0/DQMLL	OUT	163	A19	Control
195	WE1/DQMLU/WE	OUT	162	A20	Control
194	WE2/DQMUL/CIORD/PTK6	OUT	161	A21	Control
193	WE3/DQMUU/CIOWR/PTK7	OUT	160	A22	Control
192	RD/WR	OUT	159	A23	Control
191	AUDSYNC/PTE7	OUT	158	A24	Control
190	CS0/MCS0	OUT	157	A25	Control
189	CS2/PTK0	OUT	156	BS/PTK4	Control
188	CS3/PTK1	OUT	155	RD	Control
187	CS4/PTK2	OUT	154	WE0/DQMLL	Control
186	CS5/CE1A/PTK3	OUT	153	WE1/DQMLU/WE	Control
185	CS6/CE1B	OUT	152	WE2/DQMUL/CIORD/PTK6	Control
184	CE2A/PTE4	OUT	151	WE3/DQMUU/CIOWR/PTK7	Control
183	CE2B/PTE5	OUT	150	RD/WR	Control
182	A0	Control	149	AUDSYNC/PTE7	Control
181	A1	Control	148	CS0/MCS0	Control
180	A2	Control	147	CS2/PTK0	Control
179	A3	Control	146	CS3/PTK1	Control
178	A4	Control	145	CS4/PTK2	Control
177	A5	Control	144	CS5/CE1A/PTK3	Control
176	A6	Control	143	CS6/CE1B	Control
175	A7	Control	142	CE2A/PTE4	Control

23. ユーザデバッグインタフェース

ビット名	端子名	入出力	ビット名	端子名	入出力
141	$\overline{CE2B}/PTE5$	Control	108	$\overline{CASLL}/CASL/PTJ2$	OUT
140	$\overline{CKE}/PTK5$	IN	107	$\overline{CASLH}/CASU/PTJ3$	OUT
139	$\overline{RAS3L}/PTJ0$	IN	106	$\overline{CASHL}/PTJ4$	OUT
138	$\overline{RAS2L}/PTJ1$	IN	105	$\overline{CASHH}/PTJ5$	OUT
137	$\overline{CASLL}/CASL/PTJ2$	IN	104	$\overline{DACK0}/PTD5$	OUT
136	$\overline{CASLH}/CASU/PTJ3$	IN	103	$\overline{DACK1}/PTD7$	OUT
135	$\overline{CASHL}/PTJ4$	IN	102	$\overline{CAS2L}/PTE6$	OUT
134	$\overline{CASHH}/PTJ5$	IN	101	$\overline{CAS2H}/PTE3$	OUT
133	$\overline{DACK0}/PTD5$	IN	100	$\overline{RAS3U}/PTE2$	OUT
132	$\overline{DACK1}/PTD7$	IN	99	$\overline{RAS2U}/PTE1$	OUT
131	$\overline{CAS2L}/PTE6$	IN	98	\overline{BACK}	OUT
130	$\overline{CAS2H}/PTE3$	IN	97	$\overline{ASEBRKAK}/PTG5$	OUT
129	$\overline{RAS3U}/PTE2$	IN	96	AUDATA3/PTG3	OUT
128	$\overline{RAS2U}/PTE1$	IN	95	AUDATA2/PTG2	OUT
127	\overline{BREQ}	IN	94	AUDATA1/PTG1	OUT
126	\overline{WAIT}	IN	93	AUDATA0/PTG0	OUT
125	AUDCK/PTH6	IN	92	$\overline{CKE}/PTK5$	Control
124	$\overline{IOIS16}/PTG7$	IN	91	$\overline{RAS3L}/PTJ0$	Control
123	$\overline{ASEBRKAK}/PTG5$	IN	90	$\overline{RAS2L}/PTJ1$	Control
122	PTG4	IN	89	$\overline{CASLL}/CASL/PTJ2$	Control
121	AUDATA3/PTG3	IN	88	$\overline{CASLH}/CASU/PTJ3$	Control
120	AUDATA2/PTG2	IN	87	$\overline{CASHL}/PTJ4$	Control
119	AUDATA1/PTG1	IN	86	$\overline{CASHH}/PTJ5$	Control
118	AUDATA0/PTG0	IN	85	$\overline{DACK0}/PTD5$	Control
117	$\overline{ADTRG}/PTH5$	IN	84	$\overline{DACK1}/PTD7$	Control
116	$\overline{IRLS3}/PTF3/PINT11$	IN	83	$\overline{CAS2L}/PTE6$	Control
115	$\overline{IRLS2}/PTF2/PINT10$	IN	82	$\overline{CAS2H}/PTE3$	Control
114	$\overline{IRLS1}/PTF1/PINT9$	IN	81	$\overline{RAS3U}/PTE2$	Control
113	$\overline{IRLS0}/PTF0/PINT8$	IN	80	$\overline{RAS2U}/PTE1$	Control
112	MD0	IN	79	\overline{BACK}	Control
111	$\overline{CKE}/PTK5$	OUT	78	$\overline{ASEBRKAK}/PTG5$	Control
110	$\overline{RAS3L}/PTJ0$	OUT	77	AUDATA3/PTG3	Control
109	$\overline{RAS2L}/PTJ1$	OUT	76	AUDATA2/PTG2	Control

23. ユーザデバッグインタフェース

ビット名	端子名	入出力	ビット名	端子名	入出力
75	AUDATA1/PTG1	Control	42	$\overline{\text{IRQOUT}}$	OUT
74	AUDATA0/PTG0	Control	41	TxD0/SCPT0	OUT
73	STATUS0/PTJ6	IN	40	SCK0/SCPT1	OUT
72	STATUS1/PTJ7	IN	39	TxD1/SCPT2	OUT
71	TCLK/PTH7	IN	38	SCK1/SCPT3	OUT
70	SCK0/SCPT1	IN	37	TxD2/SCPT4	OUT
69	SCK1/SCPT3	IN	36	SCK2/SCPT5	OUT
68	SCK2/SCPT5	IN	35	RTS2/SCPT6	OUT
67	$\overline{\text{RTS2/SCPT6}}$	IN	34	$\overline{\text{MCS7/PTC7/PINT7}}$	OUT
66	RxD0/SCPT0	IN	33	$\overline{\text{MCS6/PTC6/PINT6}}$	OUT
65	RxD2/SCPT4	IN	32	$\overline{\text{MCS5/PTC5/PINT5}}$	OUT
64	$\overline{\text{WAKEUP/PTD3}}$	IN	31	$\overline{\text{MCS4/PTC4/PINT4}}$	OUT
63	$\overline{\text{RESETOUT/PTD2}}$	IN	30	$\overline{\text{WAKEUP/PTD3}}$	OUT
62	DRAK0/PTD1	IN	29	$\overline{\text{RESETOUT/PTD2}}$	OUT
61	DRAK1/PTD0	IN	28	$\overline{\text{MCS3/PTC3/PINT3}}$	OUT
60	$\overline{\text{DREQ0/PTD4}}$	IN	27	$\overline{\text{MCS2/PTC2/PINT2}}$	OUT
59	$\overline{\text{DREQ1/PTD6}}$	IN	26	$\overline{\text{MCS1/PTC1/PINT1}}$	OUT
58	RxD1/SCPT2	IN	25	MCS0/PTC0/PINT0	OUT
57	$\overline{\text{CTS2/IRQ5/SCPT7}}$	IN	24	DRAK0/PTD1	OUT
56	$\overline{\text{MCS7/PTC7/PINT7}}$	IN	23	DRAK1/PTD0	OUT
55	$\overline{\text{MCS6/PTC6/PINT6}}$	IN	22	STATUS0/PTJ6	Control
54	$\overline{\text{MCS5/PTC5/PINT5}}$	IN	21	STATUS1/PTJ7	Control
53	$\overline{\text{MCS4/PTC4/PINT4}}$	IN	20	TCLK/PTH7	Control
52	$\overline{\text{MCS3/PTC3/PINT3}}$	IN	19	$\overline{\text{IRQOUT}}$	Control
51	$\overline{\text{MCS2/PTC2/PINT2}}$	IN	18	TxD0/SCPT0	Control
50	$\overline{\text{MCS1/PTC1/PINT1}}$	IN	17	SCK0/SCPT1	Control
49	$\overline{\text{MCS0/PTC0/PINT0}}$	IN	16	TxD1/SCPT2	Control
48	MD3	IN	15	SCK1/SCPT3	Control
47	MD4	IN	14	TxD2/SCPT4	Control
46	MD5	IN	13	SCK2/SCPT5	Control
45	STATUS0/PTJ6	OUT	12	RTS2/SCPT6	Control
44	STATUS1/PTJ7	OUT	11	$\overline{\text{MCS7/PTC7/PINT7}}$	Control
43	TCLK/PTH7	OUT	10	$\overline{\text{MCS6/PTC6/PINT6}}$	Control

23. ユーザデバッグインタフェース

ビット名	端子名	入出力	ビット名	端子名	入出力
9	MCS5/PTC5/PINT5	Control	3	MCS1/PTC1/PINT1	Control
8	MCS4/PTC4/PINT4	Control	2	MCS0/PTC0/PINT0	Control
7	WAKEUP/PTD3	Control	1	DRAK0/PTD1	Control
6	RESETOUT/PTD2	Control	0	DRAK1/PTD0	Control
5	MCS3/PTC3/PINT3	Control	to TDO		
4	MCS2/PTC2/PINT2	Control			

【注】 Control はローアクティブの信号。

Control を Low にすることで、該当ピンを OUT の値でドライブする。

23.4 H-UDI の動作説明

23.4.1 TAP コントローラ

図 23.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

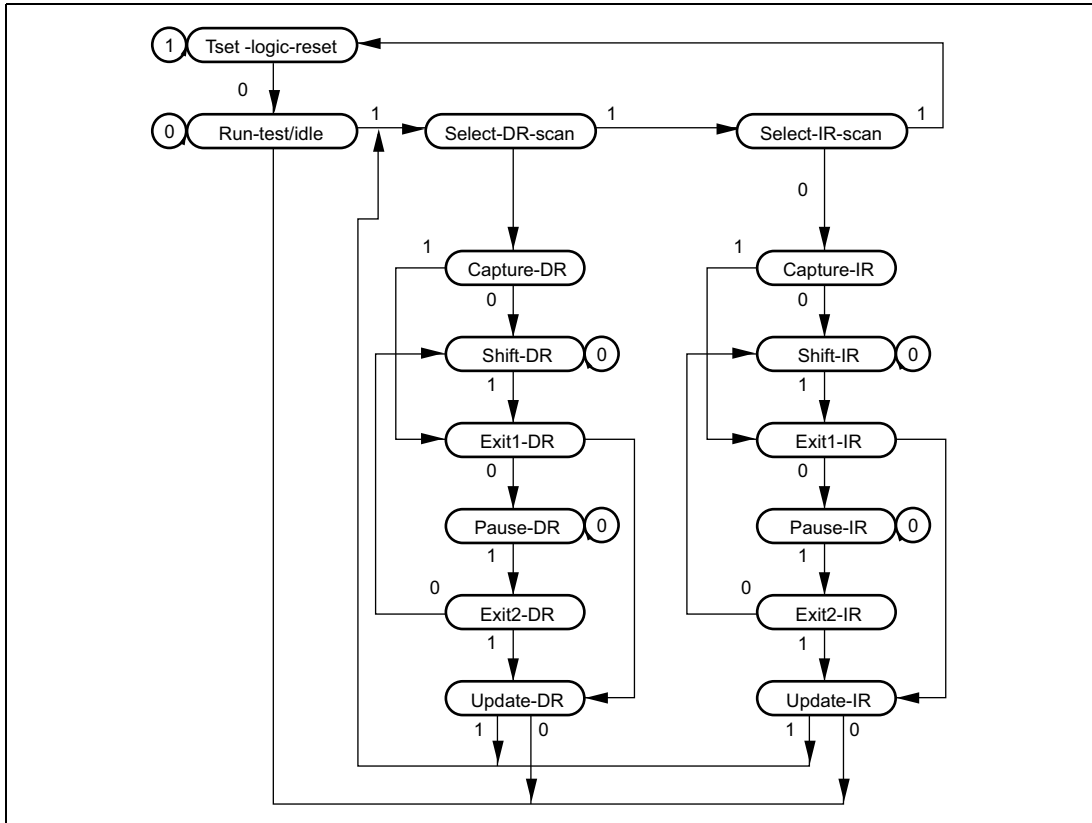


図 23.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下りエッジでシフトします。TDO 値は TCK の立ち下がりエッジで変化します。また、TDO は Shift-DR (Shift-SR)、Shift-IR 状態以外ではハイインピーダンス状態です。 $\overline{\text{TRST}}=0$ で TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

23.4.2 リセット構成

表 23.4 リセット構成

$\overline{\text{ASEMD0}}^{*1}$	$\overline{\text{RESETP}}$	$\overline{\text{TRST}}$	チップ状態
ハイレベル	ローレベル	ローレベル	通常リセットおよび H-UDI リセット
		ハイレベル	通常リセット
	ハイレベル	ローレベル	H-UDI リセットのみ
		ハイレベル	通常動作
ローレベル	ローレベル	ローレベル	リセットホールド ^{*2}
		ハイレベル	ASE ユーザモード ^{*3} 中：通常リセット ASE ブレークモード ^{*3} 中： $\overline{\text{RESETP}}$ のアサートはマスクされます
	ハイレベル	ローレベル	H-UDI リセットのみ
		ハイレベル	通常動作

- 【注】 *1 通常モードと ASE モードの設定を選択
 $\overline{\text{ASEMD0}}=\text{H}$ 、通常モード
 $\overline{\text{ASEMD0}}=\text{L}$ 、ASE モード
エミュレータおよび H-UDI を使用せずに、ユーザシステム単体で使用する場合は $\overline{\text{ASEMD0}}=\text{H}$ にしてください。
- *2 ASE モード時、リセットホールドは一定サイクル期間、 $\overline{\text{RESETP}}$ と $\overline{\text{TRST}}$ 端子をローレベルにセットすることによって有効になります。この状態で $\overline{\text{RESETP}}$ をハイレベルにセットしても CPU は起動しません。その後 $\overline{\text{TRST}}$ をハイレベルにセットすると、H-UDI 動作が有効になりますが CPU は起動しません。リセットホールド状態は次のようにして解除されます。
- ・ H-UDI からのブート要求
 - ・ 別の $\overline{\text{RESETP}}$ アサート (パワーオンリセット)
- *3 ASE モードは、エミュレータのファームプログラムを実行するためのモード (ASE ブレークモード) とユーザのプログラムを実行するモード (ASE ユーザモード) の 2 つに分けられます。

23.4.3 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをリセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドを入力することにより、H-UDI リセットが解除されます。

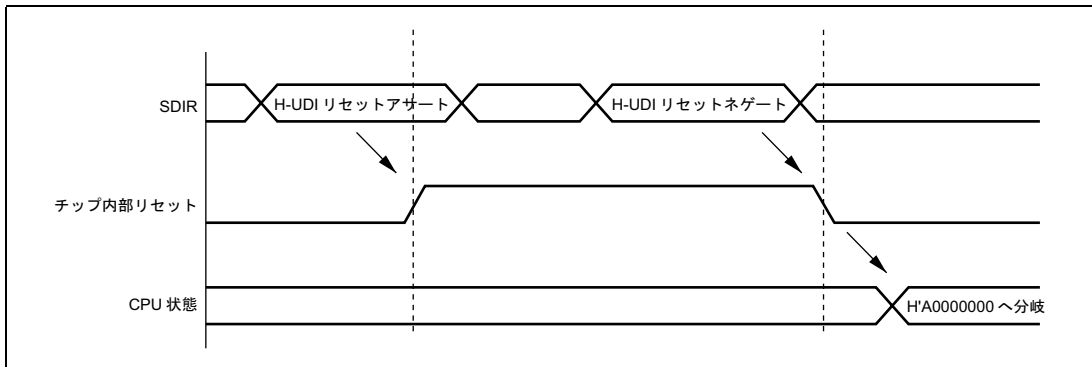


図 23.3 H-UDI リセット

23.4.4 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からのコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外／割り込み動作であり、VBR 値とオフセットの和に基づくアドレスに分岐が発生し、RTE 命令で復帰します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード、スタンバイモードでは、H-UDI 割り込みは受け付けられません。

23.4.5 バイパス

H-UDI から SDIR へコマンドをセットすることにより、H-UDI 端子を JTAG 準拠のバイパスモードに設定できます。

23.4.6 H-UDI によるスリープからの復帰

スリープモード中、SDIR へ H-UDI からのコマンド (0001) をセットすることにより、スリープから復帰することができます。

23.5 バウンダリスキャン

H-UDI から SDIR にコマンドを設定することにより、H-UDI 端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

23.5.1 サポートする命令

SH7729R では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、EXTEST) をサポートします。

(1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令はシフトパスを短縮してプリント基板の上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。命令コードは、1111 です。

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は SH7729R の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命例実行中 SH7729R の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により SH7729R のシステム回路は何の影響も受けません。命令コードは、0100 です。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込みスキャンパスから読み出します。スナップショットの取り込みは Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは SH7729R の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力ピンから不定値が出力される (EXTEST 命令では出力ピンに常に平行出力ラッチを出力する) こととなります。

(3) EXTEST

本命令では、SH7729R をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うとき、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません (シフト動作で入れ換えます)。

命令コードは、0000 です。

23.5.2 注意事項

- (1) クロック関連信号 (EXTAL、EXTAL2、XTAL、XTAL2、CKIO) はバウンダリスキャンの対象です。
- (2) リセット関連信号 ($\overline{\text{RESETP}}$ 、 $\overline{\text{RESETM}}$ 、CA) はバウンダリスキャンの対象外です。
- (3) H-UDI 関連信号 (TCK、TDI、TDO、TMS、TRST) はバウンダリスキャンの対象外です。
- (4) バウンダリスキャンテストを行う場合、常時 CKIO クロックが動作している状態にしてください。

CKIOの周波数範囲は、以下のようになります。

最低：1MHz

最高：CPG の章で規定された各クロックモードの最高周波数

MD[2:0]端子は、使用するクロックモードに設定してください。

電源投入後、CKIOクロックが安定するまで待つてからバウンダリスキャンテストを行ってください。

- (5) $\overline{\text{RESETP}}$ 端子は Low 固定にしてください。
- (6) CA 端子は High 固定、 $\overline{\text{ASEMD0}}$ 端子は Low 固定としてください。

23.6 使用上の注意

- (1) H-UDI 割り込み以外の H-UDI コマンドは、いったんセットされると他のコマンドが H-UDI から再発行されないかぎり変更されません。ただし、H-UDI 割り込みコマンドは、いったんセットされた後、バイパスコマンドに変更されます。
- (2) スタンバイモードではチップ動作が中断されるため H-UDI コマンドは受け付けられません。ただし、TAP 制御回路はこのとき動作を継続します。
- (3) H-UDI はエミュレータの接続に使用されます。従って、エミュレータを使用する場合には、H-UDI の機能は使用できません。

23.7 アドバンストユーザデバッガ (AUD)

AUD はエミュレータ専用の機能です。AUD の詳細については各エミュレータのユーザーズマニュアルを参照してください。

24. 電気的特性

24.1 絶対最大定格

絶対最大定格を表 24.1 に示します。

表 24.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (I/O)	V_{CCQ}	-0.3~4.2	V
電源電圧 (内部)	V_{CC} $V_{CC-PLL1}$ $V_{CC-PLL2}$ V_{CC-RTC}	-0.3~2.5	V
入力電圧 (ポート L 以外)	V_{in}	-0.3~ $V_{CCQ}+0.3$	V
入力電圧 (ポート L)	V_{in}	-0.3~ $AV_{CC}+0.3$	V
アナログ電源電圧	AV_{CC}	-0.3~4.6	V
アナログ入力電圧	V_{AN}	-0.3~ $AV_{CC}+0.3$	V
動作温度	T_{opr}	-20~75	°C
保存温度	T_{str}	-55~125	°C

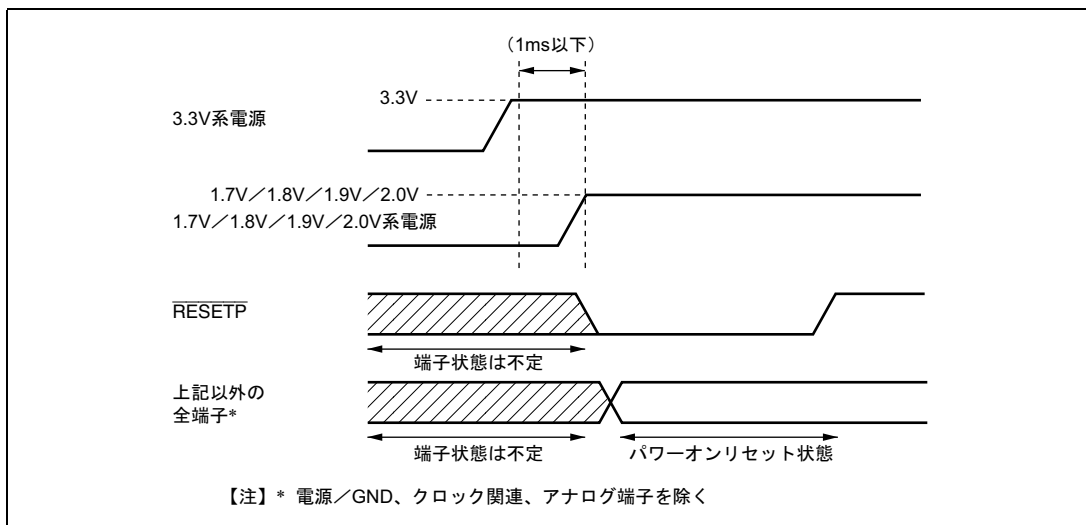
【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

1. 1.7V/1.8V/1.9V/2.0V 系電源 (V_{CC} 、 $V_{CC-PLL1}$ 、 $V_{CC-PLL2}$ 、 V_{CC-RTC}) と 3.3V 系電源 (V_{CCQ} 、 AV_{CC}) の投入順序について

- (1) 3.3V 系電源を先に投入してください。その後、1ms 以内に 1.7V/1.8V/1.9V/2.0V 系電源を投入してください。この間隔をできるだけ短くすることを推奨します。
- (2) すべての電源に電圧が印加され、 \overline{RESETP} 端子に Low レベルが入力されて、CKI0 が最大 4 クロック動作するまでの間、内部回路は不確定なので、各端子の状態も不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。なお、CA 端子がローレベルのときには、 \overline{RESETP} 端子のローレベルを受け付けません。以下に電源投入時の波形を示します。

24. 電氣的特性



電源投入シーケンス

2. 電源の切断順序について

- (1) 電源投入時と逆に、1.7V/1.8V/1.9V/2.0V系電源を先に切断してください。この後、1ms以内に3.3V系電源を切断してください。この間隔をできるだけ短くすることを推奨します。
- (2) 1.7V/1.8V/1.9V/2.0V系電源だけを切断した状態では、端子状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

24.2 DC 特性

DC 特性を表 24.2、表 24.3 に示します。

表 24.2 DC 特性

条件: $T_a = -20 \sim 75^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件	
電源電圧		V_{ccQ}	3.0	3.3	3.6	V		
		V_{cc}	1.85	2.00	2.15		200MHz 品	
		$V_{cc-PLL1}$	1.75	1.90	2.05		167MHz 品	
		$V_{cc-PLL2}$	1.65	1.80	2.05		133MHz 品	
		V_{cc-RTC}	1.55	1.70	1.95		100MHz 品	
消費電流	通常動作時	I_{cc}	—	510	820	mA	$V_{cc}=2.0V^{*6}$ $I\phi=200\text{MHz}$	
				400	650		$V_{cc}=1.9V$ $I\phi=167\text{MHz}$	
			—	310	500		$V_{cc}=1.8V$ $I\phi=133\text{MHz}$	
			—	230	380		$V_{cc}=1.7V$ $I\phi=100\text{MHz}$	
		I_{ccQ}	—	20	40		$V_{ccQ}=3.3V$ $B\phi=33\text{MHz}$	
消費電流	スリープモード時	I_{cc}	—	15	30	mA	リフレッシュサイクル以外の外部バスサイクルがないとき $V_{cc}=1.9V$ $V_{ccQ}=3.3V$ $B\phi=33\text{MHz}$	
		I_{ccQ}	—	10	20			
	スタンバイモード時	I_{cc}	—	40	120	μA	$T_a=25^\circ\text{C}$ (RTC on) $V_{ccQ}=3.3V$ $V_{cc}=1.55V\sim 2.15V$	
		I_{ccQ}	—	10	30			
		I_{cc}	—	290	900		$T_a=25^\circ\text{C}$ (RTC off) $V_{ccQ}=3.3V$ $V_{cc}=1.55V\sim 2.15V$	
		I_{ccQ}	—	10	30			
	入力ハイレベル電圧	RESETP、RESETM、NMI IRQ5~IRQ0、MD5~MD0 $\overline{\text{IRL3}}\sim\overline{\text{IRL0}}$ 、 $\overline{\text{IRLS3}}\sim\overline{\text{IRLS0}}$ PINT15~PINT0 ASEMD0、ADTRG、 $\overline{\text{TRST}}$ 、EXTAL CKIO、RxD1、CA	V_{IH}	$V_{ccQ} \times 0.9$	—	$V_{ccQ} + 0.3$	V	
		EXTAL2	—	—	—	水晶発振子を接続しない場合は V_{cc} に接続してください。		

24. 電気的特性

項目		記号	min	typ	max	単位	測定条件
入力 ハイレベル電圧	ポートL	V_{IH}	2.0	—	$AV_{CC}+0.3$	V	
	その他の入力端子		2.0	—	$V_{CC}Q+0.3$		
入力 Low レベル電圧	RESETP、 RESETM、NMI、 IRQ5~IRQ0、 MD5~MD0、 IRL3~IRL0、 IRLS3~IRLS0 PINT15~PINT0 ASEMD0、 ADTRG、TRST、 EXTAL、CKIO、 RxD1、CA	V_{IL}	-0.3	—	$V_{CC}Q \times 0.1$	V	水晶発振子を接続しない場合は V_{CC} に接続してください。
	EXTAL2		—	—	—		
	ポートL		-0.3	—	$AV_{CC} \times 0.2$		
	その他の入力端子		-0.3	—	$V_{CC}Q \times 0.2$		
入力リーク電流	全入力端子	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0.5 \sim V_{CC}Q - 0.5V$
スリープステート リーク電流	入出力、全出力端子 (オフ状態)	$ I_{stij} $	—	—	1.0	μA	$V_{in} = 0.5 \sim V_{CC}Q - 0.5V$
出力 High レベル 電圧	全出力端子	V_{OH}	2.4	—	—	V	$V_{CC}Q=3.0V$ 、 $I_{OH} = -200 \mu A$
			2.0	—	—		$V_{CC}Q=3.0V$ 、 $I_{OH} = -2mA$
出力 Low レベル 電圧	全出力端子	V_{OL}	—	—	0.55		$V_{CC}Q=3.6V$ 、 $I_{OL} = 1.6mA$
プルアップ抵抗	ポート端子	R_{pull}	30	60	120	k Ω	
端子容量	全端子	C	—	—	10	PF	
アナログ電源電圧		AV_{CC}	3.0	3.3	3.6	V	
アナログ電 源電流	A/D 変換期間	AI_{CC}	—	0.8	2	mA	
	A/D および D/A 変換期間		—	2.4	6		
	アイドル		—	1	20	μA	$T_a = 25^\circ C$

【注】 1. PLL を使用しない場合も必ず、 V_{CC} -PLL1、 V_{CC} -PLL2 を V_{CC} に、 V_{SS} -PLL1、 V_{SS} -PLL2 を V_{SS} に接続してください。

2. RTC を使用しない場合も必ず、V_{cc}-RTC と V_{ss}-RTC 間に給電してください。
3. AV_{cc} は、 $V_{ccQ} - 0.3V \leq AV_{cc} \leq V_{ccQ} + 0.3V$ の条件を満たさなければなりません。A/D 変換器、D/A 変換器を使用しない場合でも、AV_{cc}、AV_{ss} 端子を開放しないで、AV_{cc} は V_{ccQ} に AV_{ss} は V_{ssQ} に接続してください。
4. 消費電流値は、 $V_{IHmin} = V_{ccQ} - 0.5V$ 、 $V_{ILmax} = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
5. V_{cc}、V_{cc}-RTC、V_{cc}-PLL1、V_{cc}-PLL2 には同一電圧を供給してください。
6. IRL、IRLS 割り込みを使う場合は、min1.9V としてください。

表 24.3 出力許容電流値

条件：V_{ccQ}=3.3±0.3V、V_{cc}=1.55~2.15V、AV_{cc}=3.3±0.3V、T_a=-20~75°C

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	I _{OL}	—	—	2.0	mA
出力 Low レベル許容電流 (総和)	Σ I _{OL}	—	—	120	mA
出力 High レベル許容電流 (1 端子あたり)	-I _{OH}	—	—	2.0	mA
出力 High レベル許容電流 (総和)	Σ (-I _{OH})	—	—	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 24.3 の値を超えないようにしてください。

24.3 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがない限り、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 24.4 動作周波数範囲

条件：V_{ccQ}=3.3±0.3V、V_{cc}=1.55~2.15V、AV_{cc}=3.3±0.3V、T_a=-20~75°C

項目	記号	min	typ	max	単位	備考
動作周波数	CPU、 キャッシュ、TLB	30	—	200	MHz	200MHz 品
		25		167		167MHz 品
				133		133MHz 品
				100		100MHz 品
	外部バス	30	—	66.67	MHz	200MHz 品
		25				167MHz 品、133MHz 品、100MHz 品
	周辺モジュール	7.5	—	33.34	MHz	200MHz 品
		6.25				167MHz 品、133MHz 品、100MHz 品

24. 電氣的特性

24.3.1 クロックタイミング

表 24.5 クロックタイミング

条件：VCCQ=3.3±0.3V、VCC=1.55~2.15V、AVCC=3.3±0.3V、Ta=-20~75°C

項目	記号	min	max	単位	参照図
EXTAL クロック入力周波数 (クロックモード 0)	f _{EX}	25	66.67	MHz	24.1
EXTAL クロック入力サイクル時間(クロックモード 0)	t _{EXcyc}	15	40	ns	
EXTAL クロック入力周波数 (クロックモード 1)	f _{EX}	6.25	16.67	MHz	
EXTAL クロック入力サイクル時間(クロックモード 1)	t _{EXcyc}	60	160	ns	
EXTAL クロック入力 Low レベルパルス幅	t _{EXL}	1.5	—	ns	
EXTAL クロック入力 High レベルパルス幅	t _{EXH}	1.5	—	ns	
EXTAL クロック入力立ち上がり時間	t _{EXR}	—	6	ns	
EXTAL クロック入力立ち下がり時間	t _{EXF}	—	6	ns	
CKIO クロック入力周波数	f _{CKI}	25	66	MHz	24.2
CKIO クロック入力サイクル時間	t _{CKIcyc}	15.2	40	ns	
CKIO クロック入力 Low レベルパルス幅	t _{CKIL}	1.5	—	ns	
CKIO クロック入力 High レベルパルス幅	t _{CKIH}	1.5	—	ns	
CKIO クロック入力立ち上がり時間	t _{CKIR}	—	6	ns	
CKIO クロック入力立ち下がり時間	t _{CKIF}	—	6	ns	
CKIO クロック出力周波数	f _{OP}	25	66	MHz	24.3
CKIO クロック出力サイクル時間	t _{cyc}	15.2	40	ns	
CKIO クロック出力 Low レベルパルス幅	t _{CKOL}	3	—	ns	
CKIO クロック出力 High レベルパルス幅	t _{CKOH}	3	—	ns	
CKIO クロック出力立ち上がり時間	t _{CKOR}	—	5	ns	
CKIO クロック出力立ち下がり時間	t _{CKOF}	—	5	ns	
CKIO2 クロック出力遅延時間	t _{CK2D}	-3	3	ns	
CKIO2 クロック出力立ち上がり時間	t _{CK2OR}	—	7	ns	
CKIO2 クロック出力立ち下がり時間	t _{CK2OF}	—	7	ns	
パワーオン発振安定時間	t _{OSC1}	10	—	ms	24.4
RESETP セットアップ時間	t _{RESPTS}	20	—	ns	24.4、24.5
RESETM セットアップ時間	t _{RESMS}	6	—	ns	
RESETP アサート時間	t _{RESPW}	20	—	t _{cyc}	
RESETM アサート時間	t _{RESMW}	20	—	t _{cyc}	
スタンバイ復帰発振安定時間 1	t _{OSC2}	10	—	ms	24.5
スタンバイ復帰発振安定時間 2	t _{OSC3}	10	—	ms	24.6
スタンバイ復帰発振安定時間 3	t _{OSC4}	11	—	ms	24.7
PLL 同期安定化時間 1 (スタンバイ解除)	t _{PLL1}	100	—	μs	24.8、24.9
PLL 同期安定化時間 2 (逡倍変更)	t _{PLL2}	100	—	μs	24.10
IRQ/IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)	t _{IRQSTB}	100	—	μs	24.9

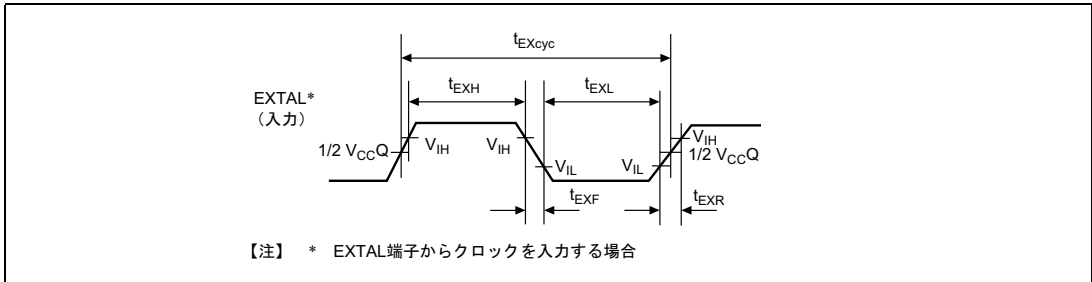


図 24.1 EXTAL クロック入力タイミング

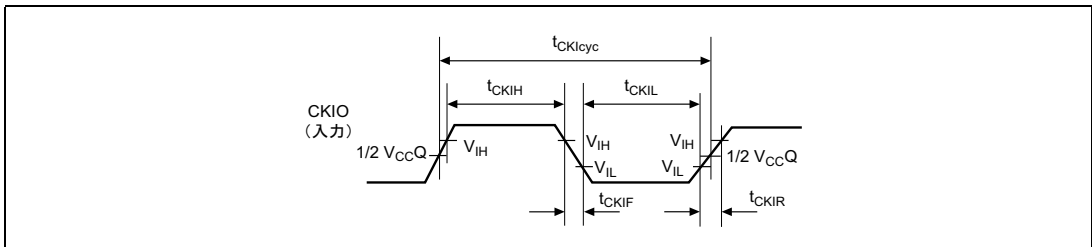


図 24.2 CKIO クロック入力タイミング

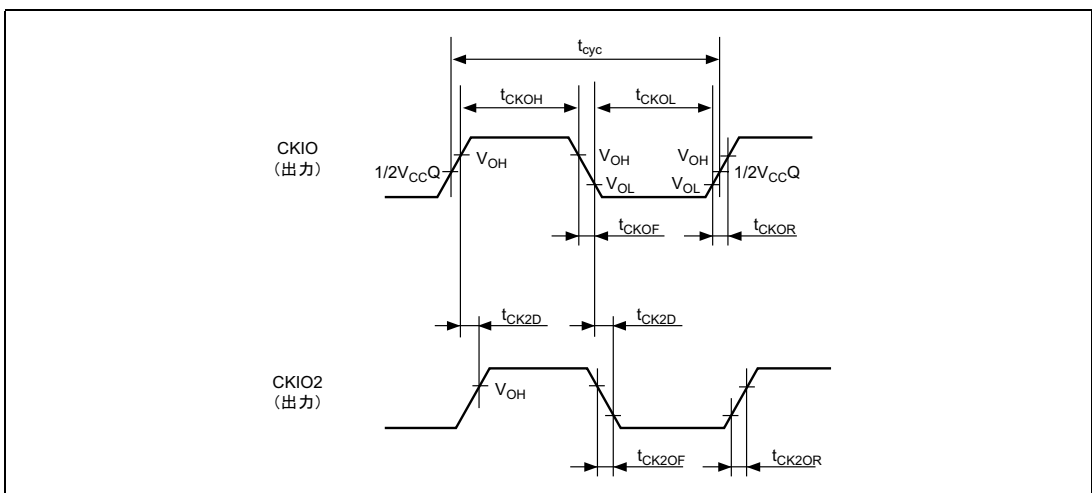


図 24.3 CKIO クロック出力タイミング

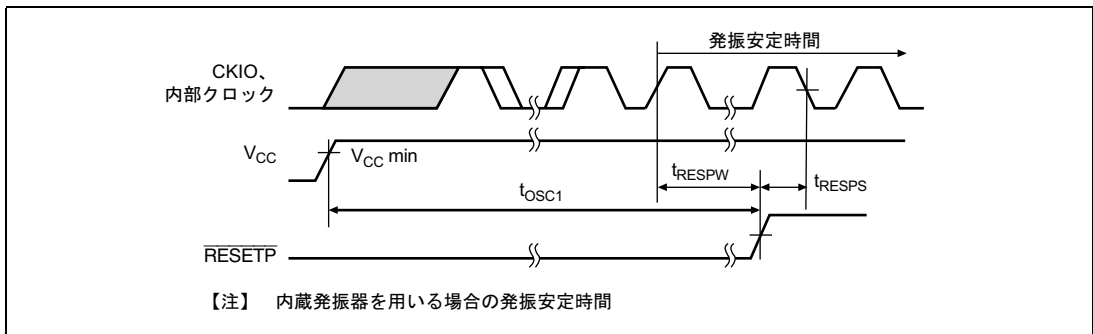


図 24.4 パワーオン発振安定時間

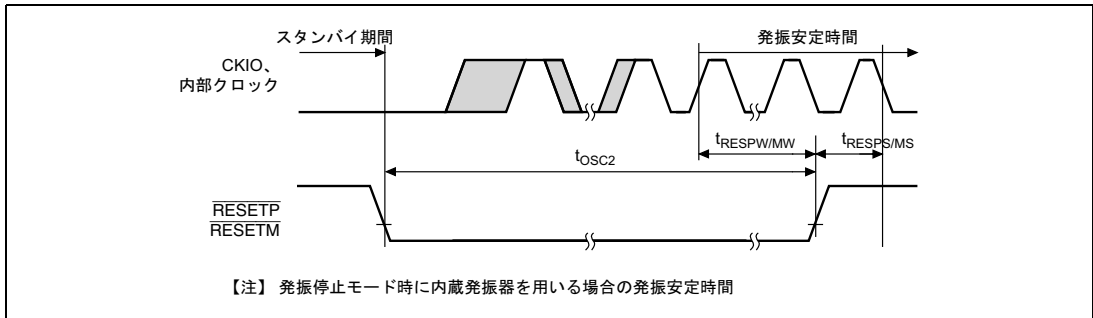


図 24.5 スタンバイ復帰時発振安定時間（リセットによる復帰）

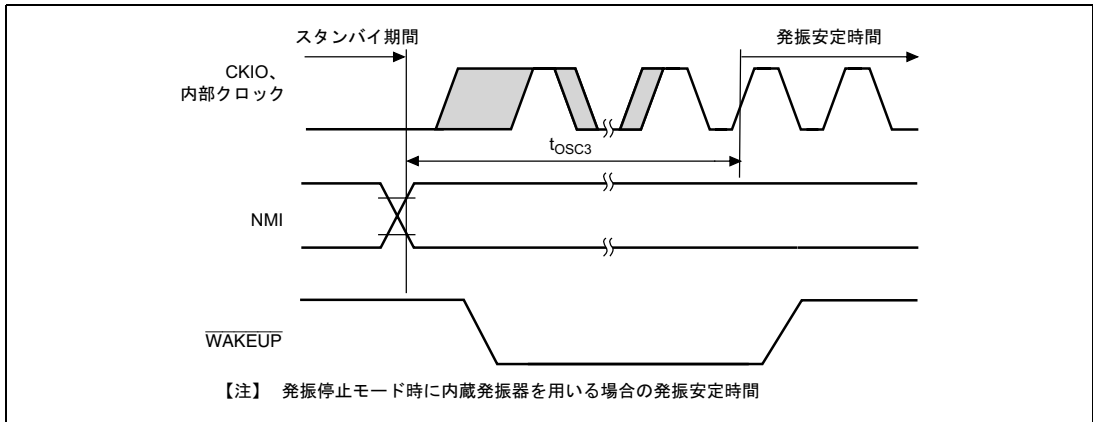


図 24.6 スタンバイ復帰時発振安定時間（NMI による復帰）

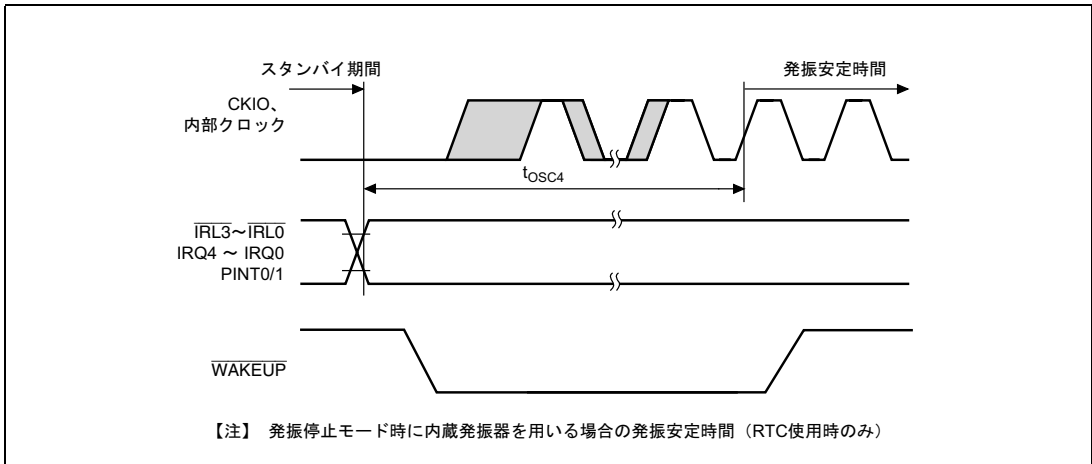


図 24.7 スタンバイ復帰時発振安定時間（IRQ4~IRQ0、PINT0/1、 $\overline{IRL3} \sim \overline{IRL0}$ による復帰）

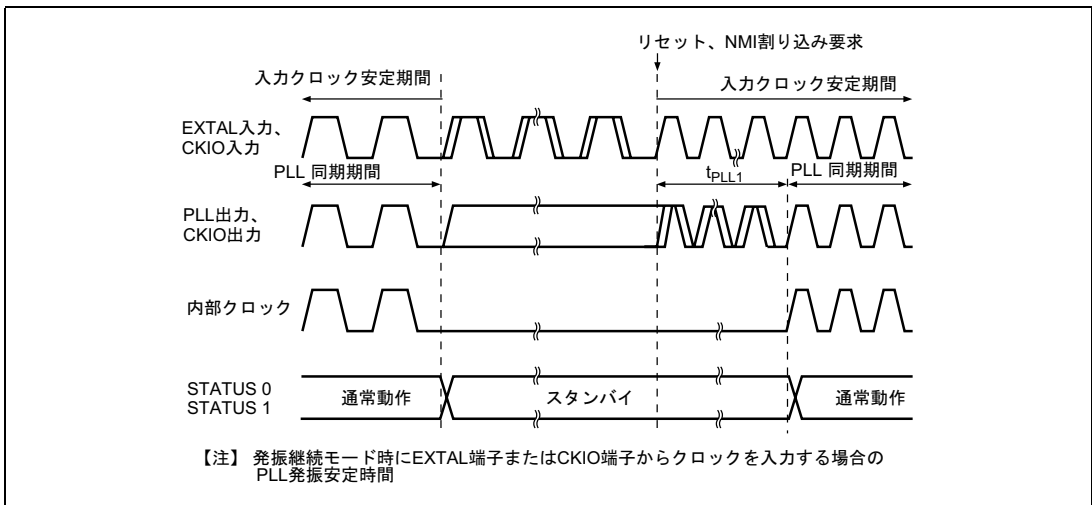


図 24.8 スタンバイ復帰時のPLL同期安定化時間（リセットまたはNMIによる復帰）

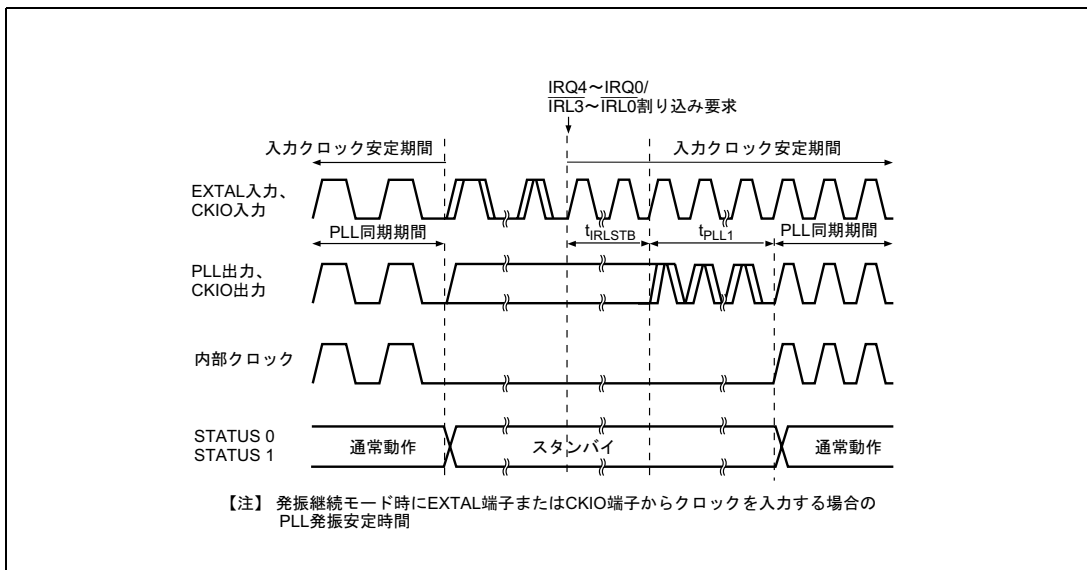


図 24.9 スタンバイ復帰時の PLL 同期安定化時間 (IRQ/IRL、PINT0/1 割り込みによる復帰)

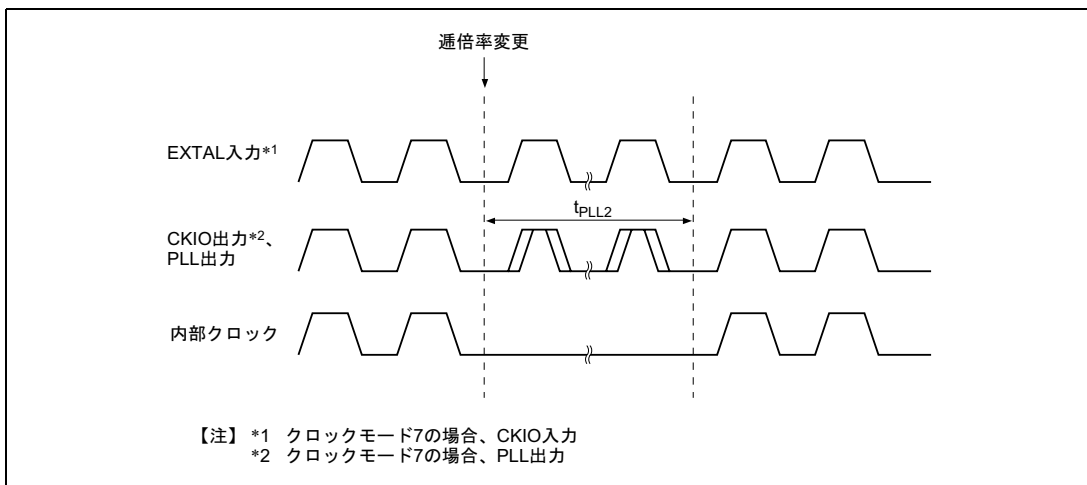


図 24.10 周波数通倍率変更時の PLL 同期安定化時間

24.3.2 制御信号タイミング

表 24.6 制御信号タイミング

条件: $V_{CCQ}=3.3\pm 0.3V$ 、 $V_{CC}=1.55\sim 2.15V$ 、 $AV_{CC}=3.3\pm 0.3V$ 、 $T_a=-20\sim 75^\circ C$

項目	記号	min	max	単位	参照図
RESETP パルス幅	t_{RESPW}	20 ^{*2}	—	tcyc	24.11
RESETP セットアップ時間 ^{*1}	t_{RESPS}	20	—	ns	24.12
RESETP ホールド時間	t_{RESPH}	4	—	ns	
RESETM パルス幅	t_{RESMW}	20 ^{*3}	—	tcyc	
RESETM セットアップ時間	t_{RESMS}	6	—	ns	
RESETM ホールド時間	t_{RESMH}	34	—	ns	
BREQ セットアップ時間	t_{BREQS}	6	—	ns	24.14
BREQ ホールド時間	t_{BREQH}	4	—	ns	
NMI セットアップ時間 ^{*1}	t_{NMIS}	10	—	ns	24.12
NMI ホールド時間	t_{NMIH}	4	—	ns	
IRQ5~IRQ0 セットアップ時間 ^{*1}	t_{IRQS}	10	—	ns	
IRQ5~IRQ0 ホールド時間	t_{IRQH}	4	—	ns	
IRQOUT 遅延時間	t_{IRQOD}	—	10	ns	24.13
BACK 遅延時間	t_{BACKD}	—	10	ns	24.14
STATUS1、STATUS0 遅延時間	t_{STD}	—	10	ns	24.15
バストライステート遅延時間 1	t_{BOFF1}	0	15	ns	
バストライステート遅延時間 2	t_{BOFF2}	0	15	ns	
バスバッファオンタイム 1	t_{BON1}	0	15	ns	
バスバッファオンタイム 2	t_{BON2}	0	15	ns	

【注】 *1 RESETP、NMI および IRQ5~IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち下がりでは変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち下がりエッジまで検出が遅れることがあります。

*2 スタンバイモードの XTAL 発振継続時は $t_{RESPW}=t_{OSC1}$ (100 μ s)、発振停止時は $t_{RESPW}=t_{OSC2}$ (10ms) になります。スリープモード時は $t_{RESPW}=t_{PLL1}$ (100 μ s) になります。クロック逡倍率が変化したときも、 $t_{RESPW}=t_{PLL1}$ (100 μ s) になります。

*3 スタンバイモード時は、 $t_{RESMW}=t_{OSC2}$ (10ms) となります。スリープモード時は、STATUS (0—1) がリセット (HH) に変わるまで RESETP をローレベルに保ってください。クロック逡倍率が変化したときも、STATUS (0—1) がリセット (HH) に変わるまで RESETP をローレベルに保ってください。

24. 電気的特性

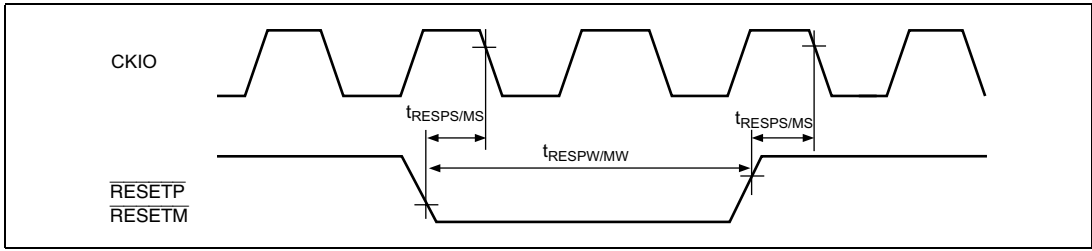


図 24.11 リセット入力タイミング

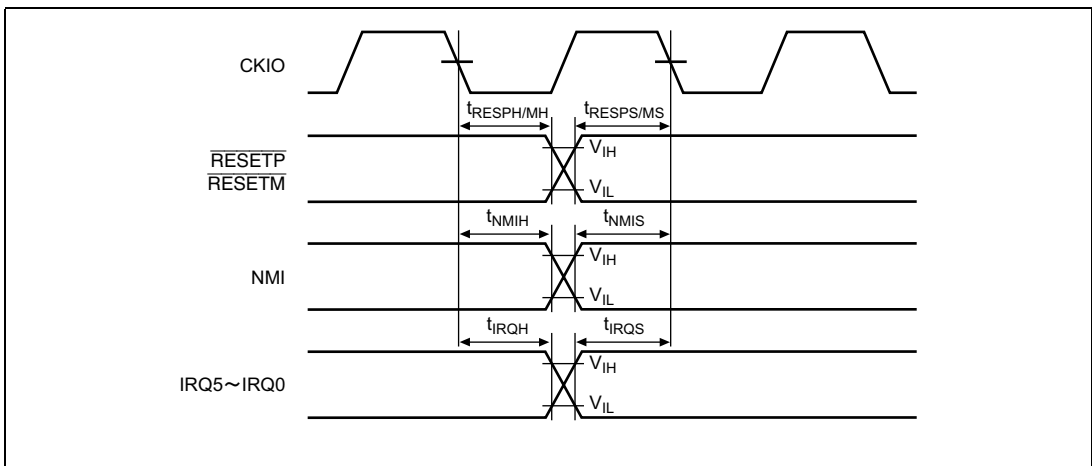


図 24.12 割り込み信号入力タイミング

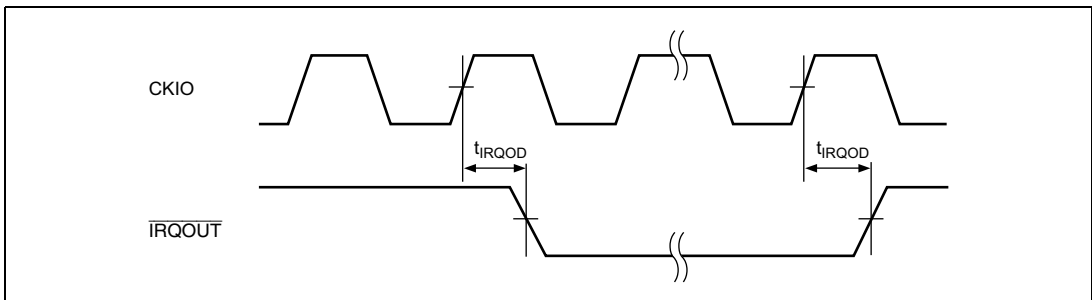


図 24.13 \overline{IRQOUT} タイミング

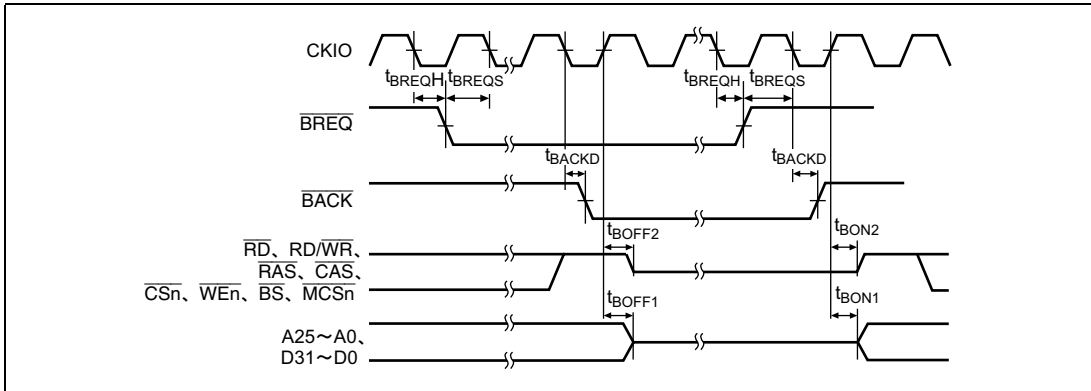


図 24.14 バス権解放タイミング

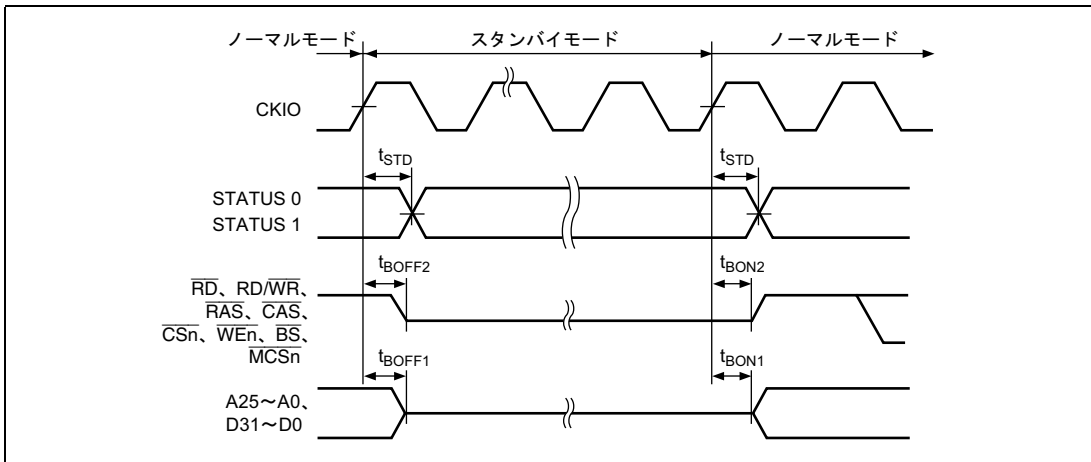


図 24.15 スタンバイ時の端子ドライブタイミング

24. 電気的特性

24.3.3 AC バスタイミング

表 24.7 バスタイミング

条件：クロックモード 0/1/2/7、 $V_{CCQ}=3.3\pm 0.3V$ 、 $V_{CC}=1.55\sim 2.15V$ 、 $AV_{CC}=3.3\pm 0.3V$ 、 $T_a=-20\sim 75^\circ C$

項目	記号	min	max	単位	参照図
アドレス遅延時間	t_{AD}	1.5	12	ns	24.16~24.36、 24.39~24.46
アドレスセットアップ時間	t_{AS}	0	—	ns	24.16~24.18
アドレスホールド時間*1	t_{AH}	4	—	ns	24.16~24.21
BS 遅延時間	t_{BSD}	—	10	ns	24.16~24.36、 24.39~24.46
CS 遅延時間 1	t_{CSD1}	—	10	ns	24.16~24.36、 24.39~24.46
CS 遅延時間 2	t_{CSD2}	—	10	ns	24.16~24.21
CS 遅延時間 3 (SDRAM アクセス)	t_{CSD3}	1.5	10	ns	24.22~24.39
リードライト遅延時間	t_{RWD}	1.5	10	ns	24.16~24.36、 24.39~24.46
リードライトホールド時間	t_{RWH}	0	—	ns	24.16~24.21
リードストロブ遅延時間	t_{RSD}	—	10	ns	24.16~24.21、 24.40~24.43
リードデータセットアップ時間 1	t_{RDS1}	6	—	ns	24.16~24.21、 24.40~24.46
リードデータセットアップ時間 2	t_{RDS2}	5	—	ns	24.22~24.25、 24.30~24.33
リードデータホールド時間 1*2	t_{RDH1}	0	—	ns	24.16~24.25、 24.40~24.46
リードデータホールド時間 2	t_{RDH2}	1	—	ns	24.22~24.25、 24.30~24.33
ライトイネーブル遅延時間	t_{WED}	—	10	ns	24.16~24.18、24.40、24.41
ライトデータ遅延時間 1	t_{WDD1}	—	14	ns	24.16~24.18、24.40、 24.41、24.44~24.46
ライトデータ遅延時間 2	t_{WDD2}	1.5	12	ns	24.26~24.29、 24.34~24.36
ライトデータホールド時間 1	t_{WDH1}	1.5	—	ns	24.16~24.18、 24.40、24.41、 24.44~24.46

項目	記号	min	max	単位	参照図
ライトデータホールド時間 2	t_{WDH2}	1.5	—	ns	24.26~24.29、 24.34~24.36
ライトデータホールド時間 3	t_{WDH3}	2	—	ns	24.16~24.18
ライトデータホールド時間 4	t_{WDH4}	2	—	ns	24.40、24.41、24.44 ~24.46
WAIT セットアップ時間	t_{WTS}	5	—	ns	24.17~24.21、24.41、 24.43、24.45、24.46
WAIT ホールド時間	t_{WTH}	0	—	ns	24.17~24.21、24.41、 24.43、24.45、24.46
RAS 遅延時間 2	t_{RASD2}	1.5	10	ns	24.22~24.39
CAS 遅延時間 2	t_{CASD2}	1.5	10	ns	24.22~24.39
DQM 遅延時間	t_{DOMD}	1.5	10	ns	24.22~24.36
CKE 遅延時間	t_{CKED}	1.5	10	ns	24.38
ICIOR \bar{D} 遅延時間	t_{ICRSD}	—	10	ns	24.44~24.46
ICIOR \bar{W} 遅延時間	t_{ICWSD}	—	10	ns	24.44~24.46
IOIS16 セットアップ時間	t_{IO16S}	6	—	ns	24.45、24.46
IOIS16 ホールド時間	t_{IO16H}	4	—	ns	24.45、24.46
DACK 遅延時間 1 (CKIO 立ち上がり基準)	t_{DAKD1}	—	10	ns	24.16~24.36、 24.39~24.46
DACK 遅延時間 2 (CKIO 立ち下がり基準)	t_{DAKD2}	—	10	ns	24.16~24.21、

【注】 *1 \overline{CSn} 、 \overline{RD} または \overline{WEn} のいずれかで最も遅いネゲートタイミングから規定。

*2 \overline{CSn} 、 \overline{RD} のどちらか早いネゲートタイミングから規定。

24.3.4 基本タイミング

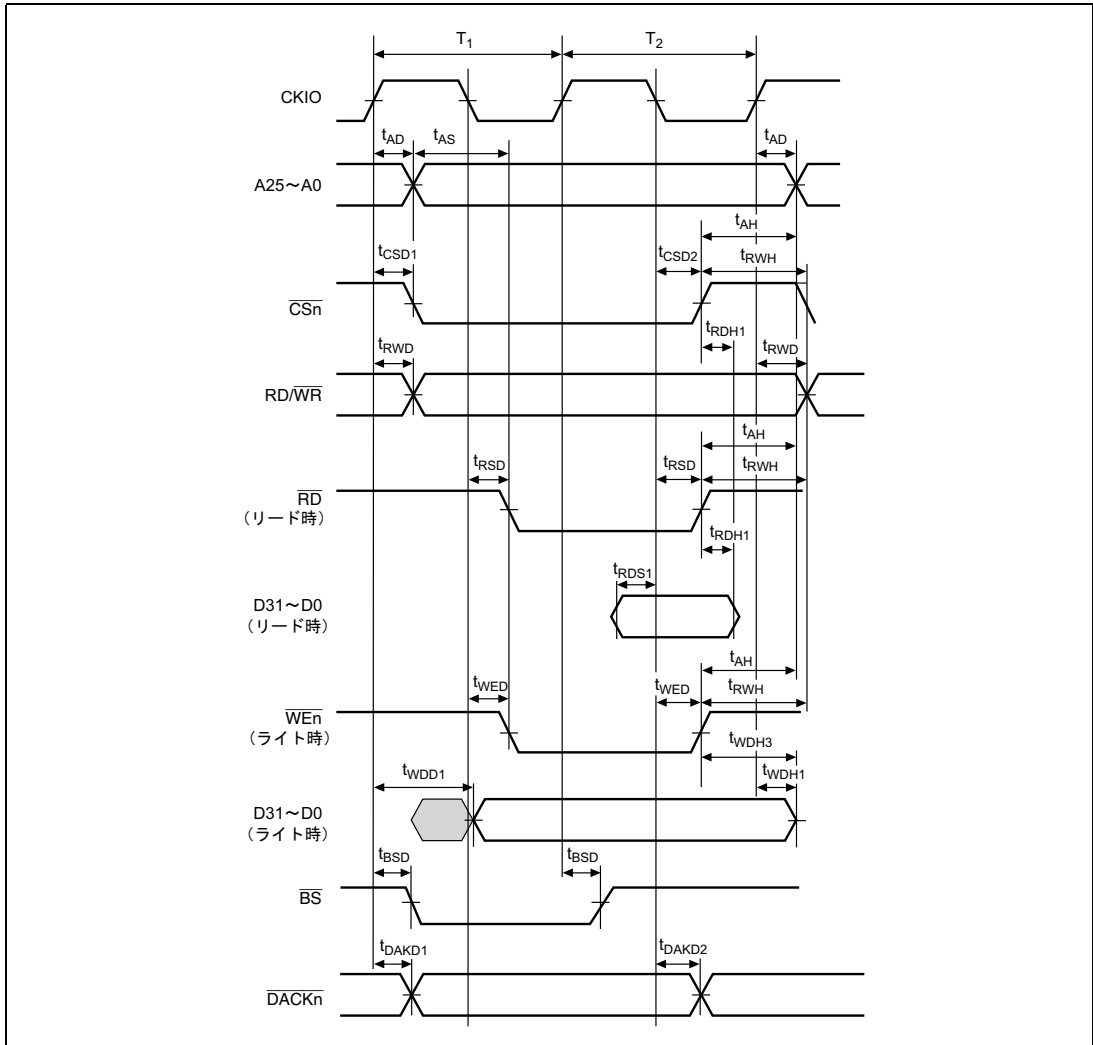


図 24.16 基本バスサイクル (ノーウェイト)

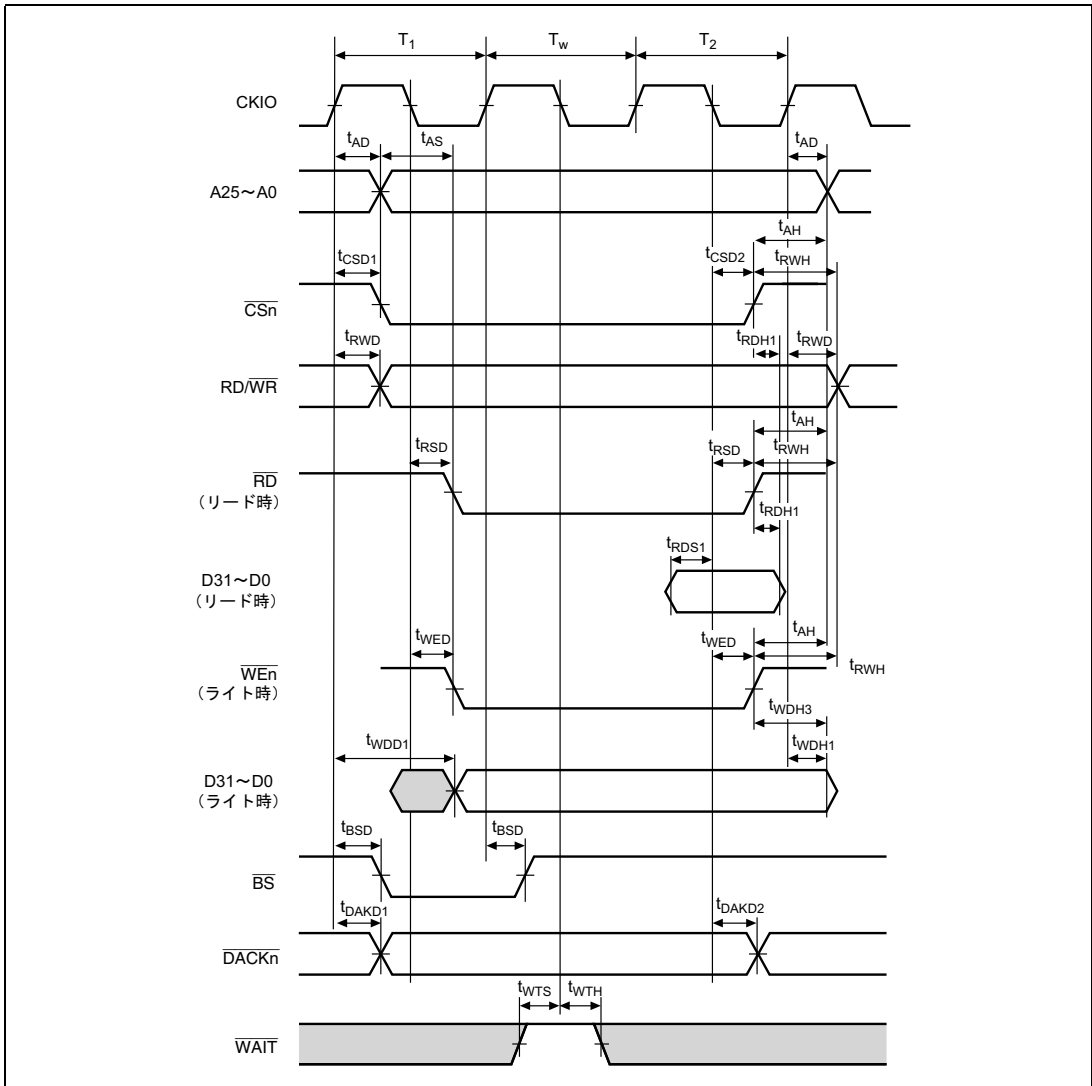


図 24.17 基本バスサイクル (1ウェイト)

24. 電気的特性

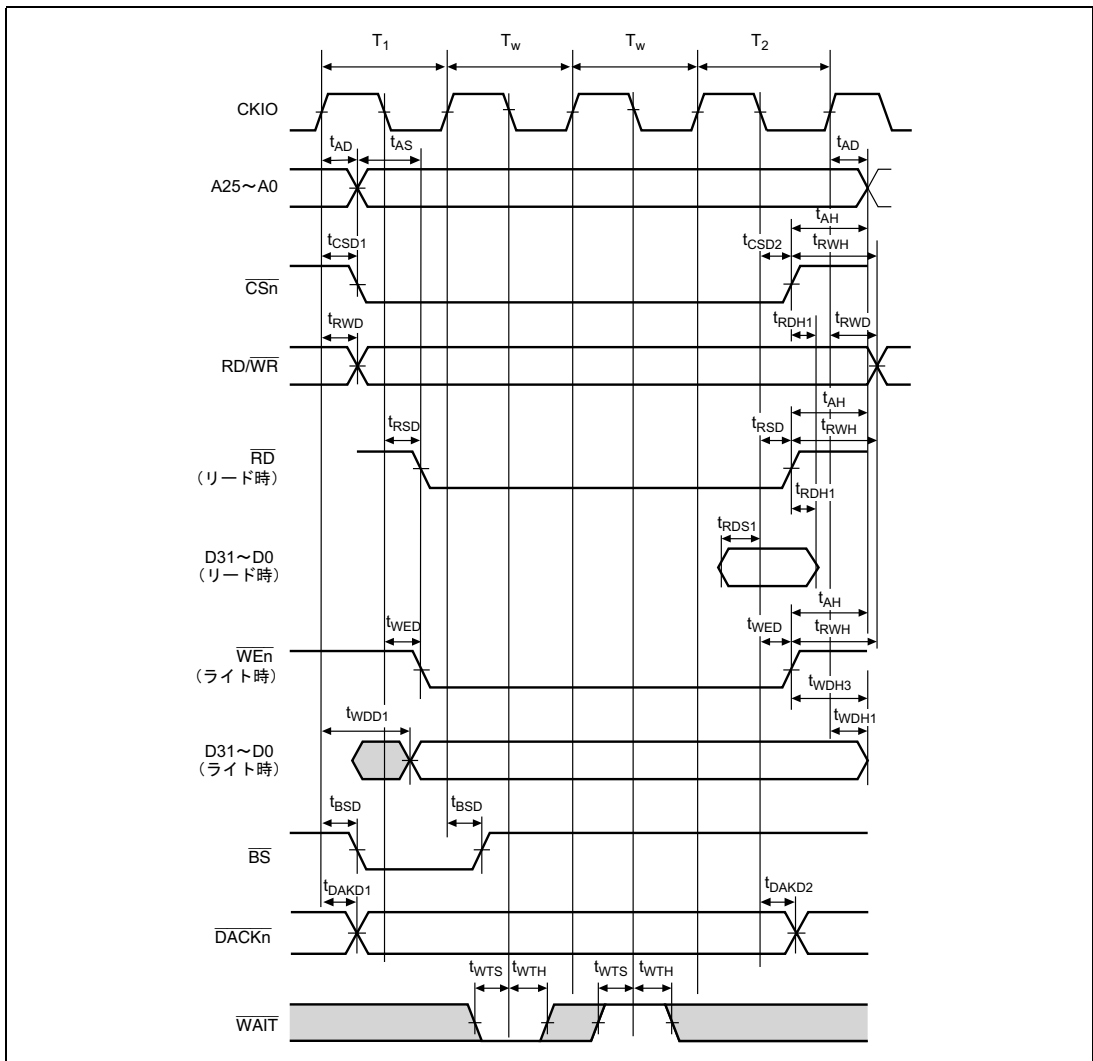


図 24.18 基本バスサイクル (外部ウェイト、WAITSEL=1)

24.3.5 バースト ROM タイミング

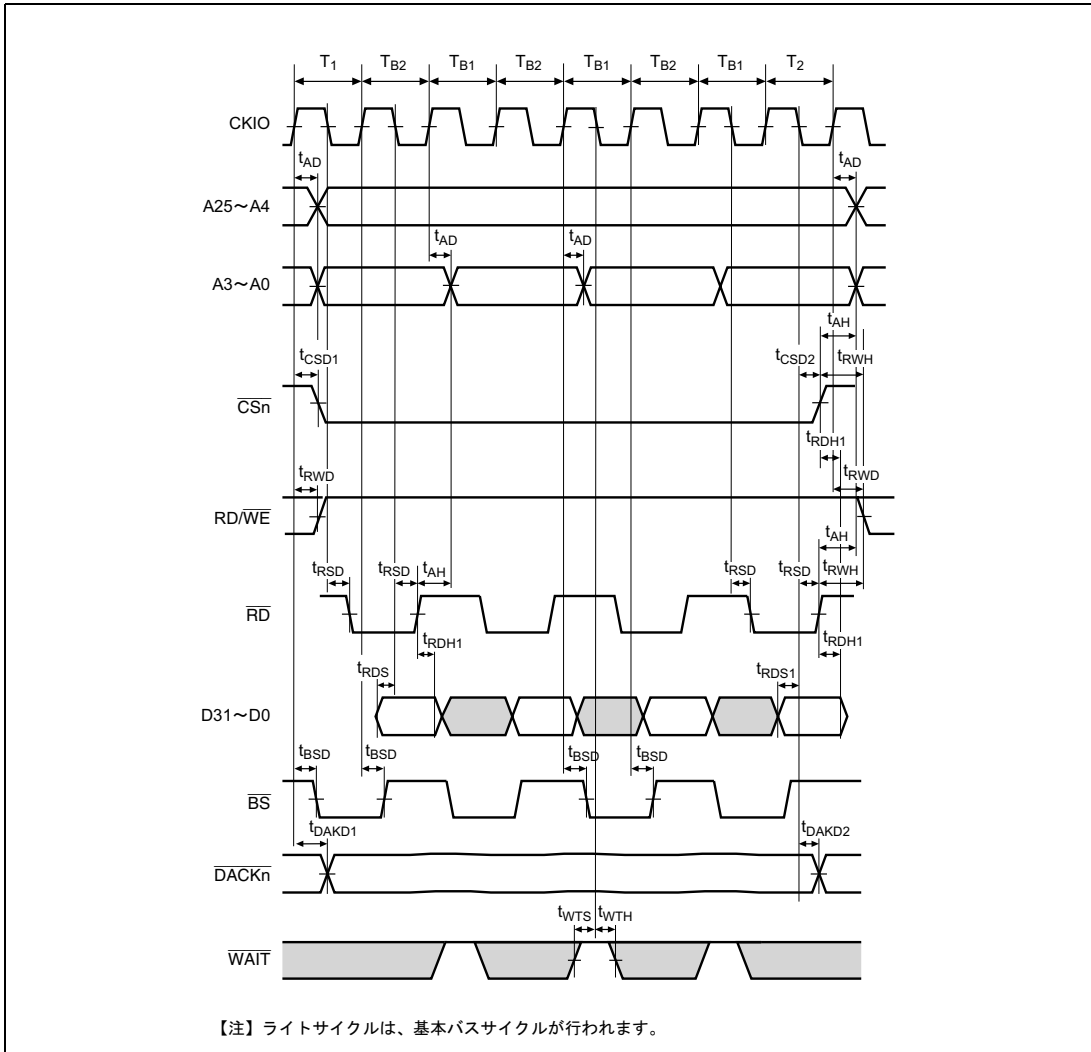


図 24.19 バースト ROM バスサイクル (ノーウェイト)

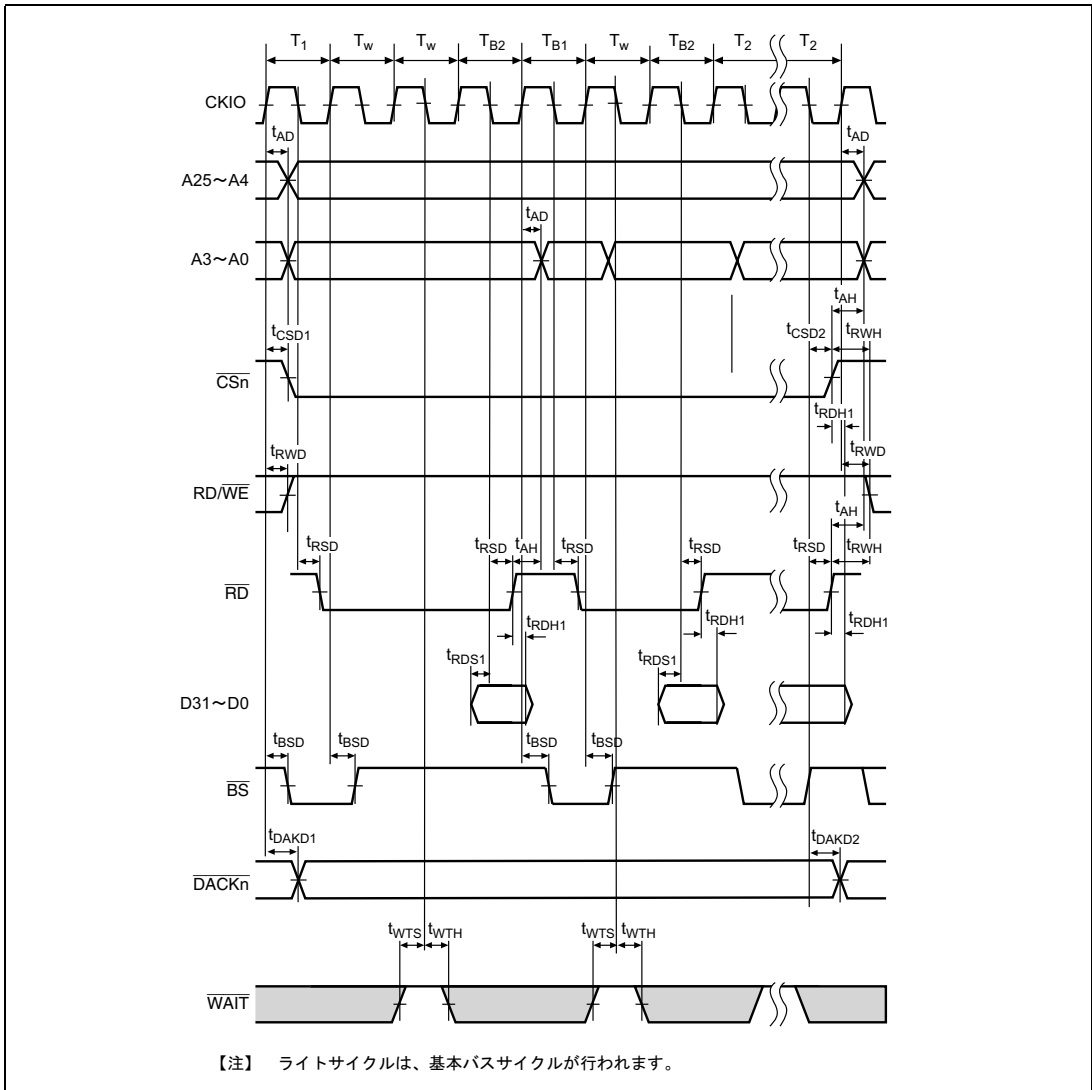


図 24.20 バースト ROM バスサイクル (2 ウェイト)

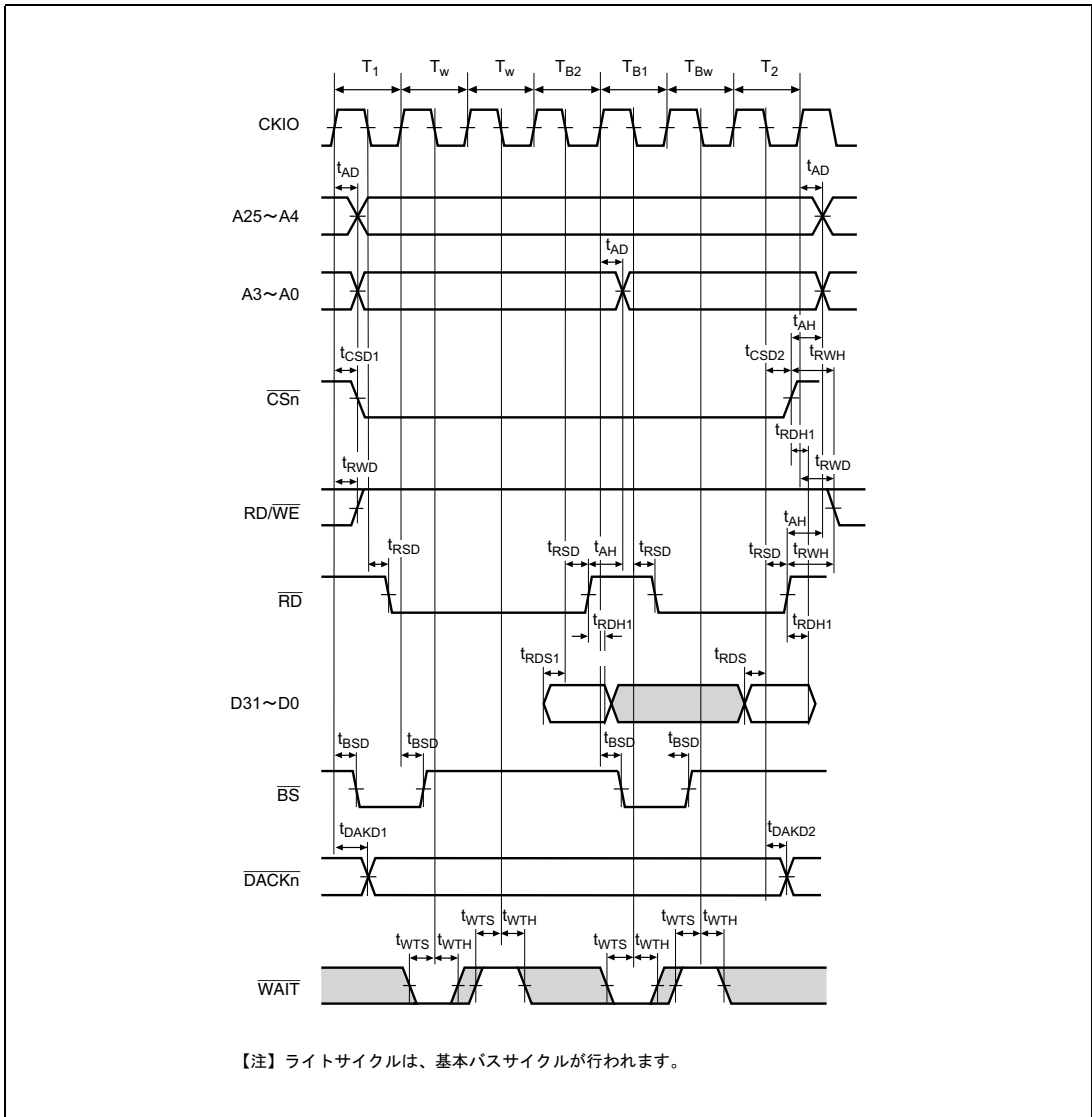


図 24.21 バースト ROM バスサイクル (外部ウェイト、WAITSEL=1)

24.3.6 シンクロナス DRAM タイミング

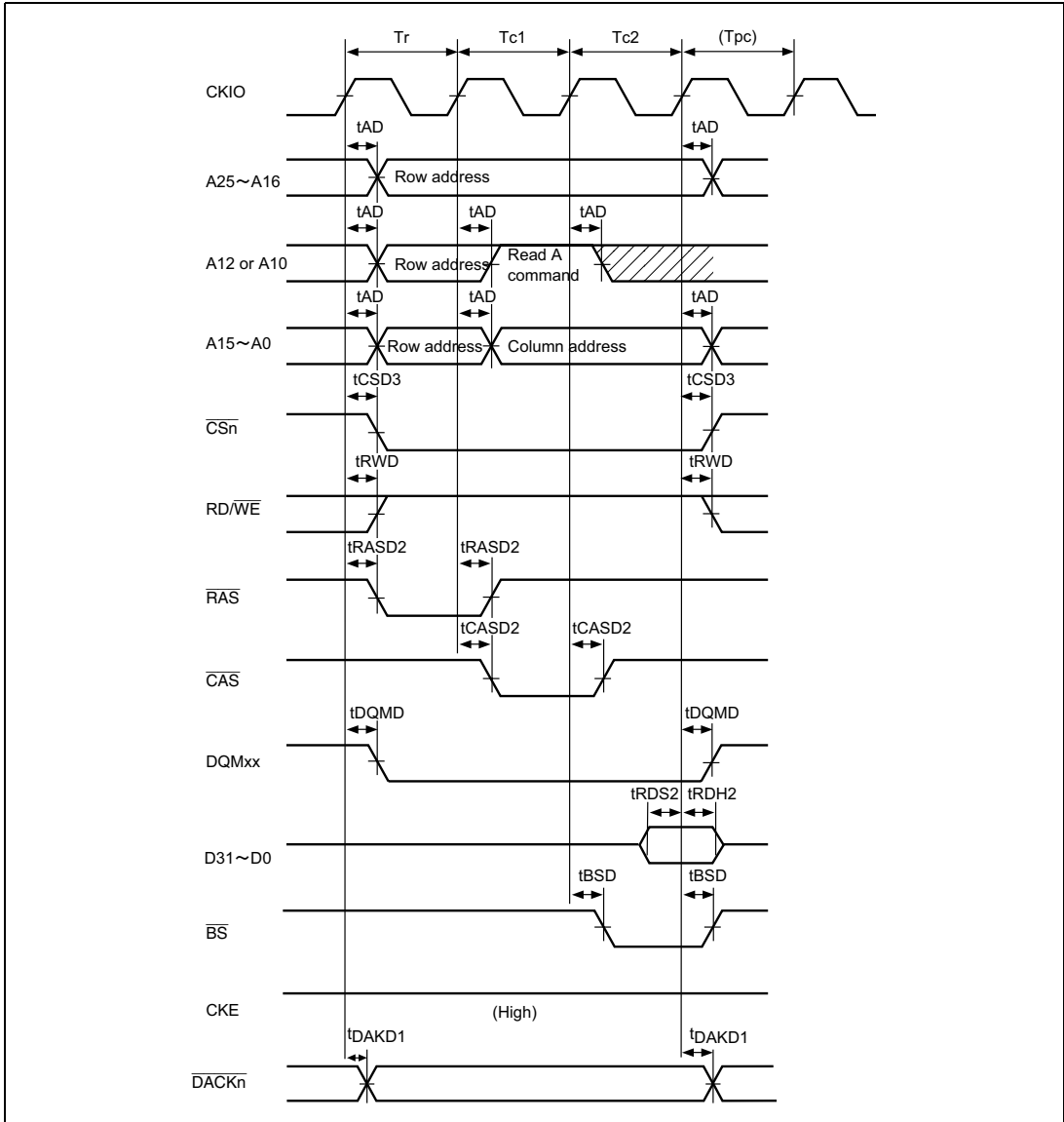


図 24.22 シンクロナス DRAM リードバスサイクル
(RCD=0、CAS レイテンシ=1、TPC=0)

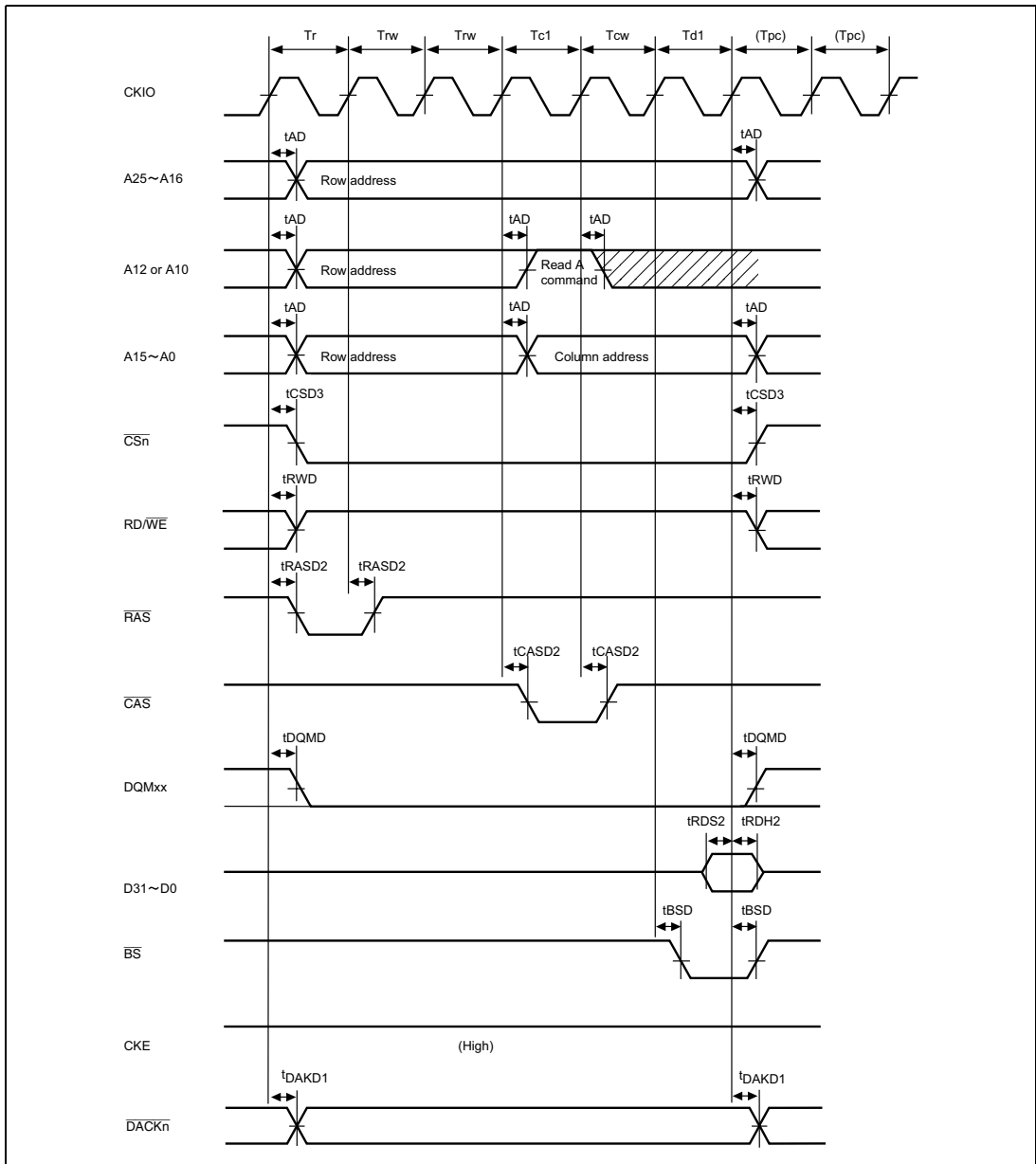


図 24.23 シンクロナス DRAM リードバスサイクル

(RCD=2、CAS レイテンシ=2、TPC=1)

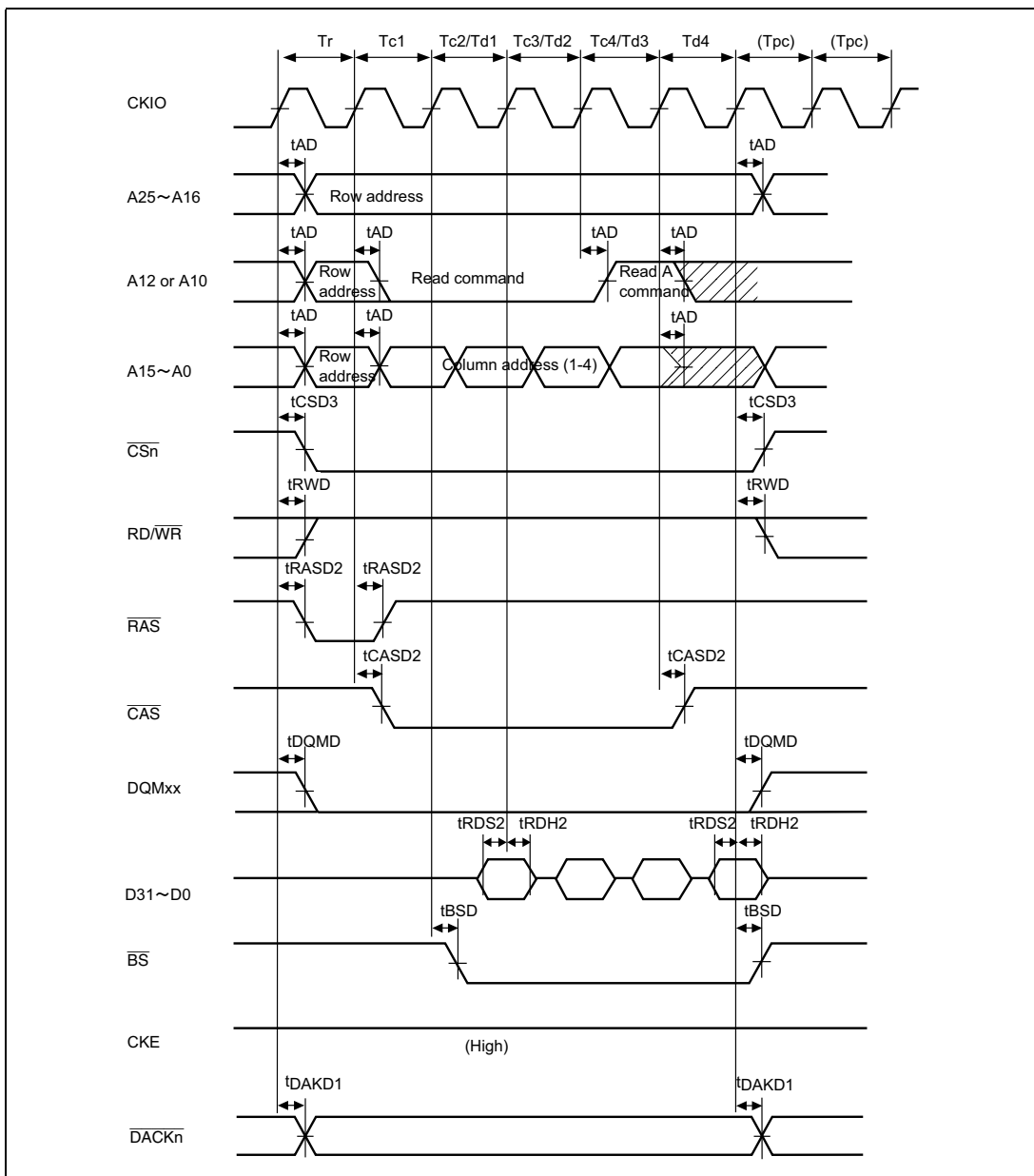


図 24.24 シンクロナス DRAM リードバスサイクル
 (バーストリード (シングルリード×4)、RCD=0、CAS レイテンシ=1、TPC=1)

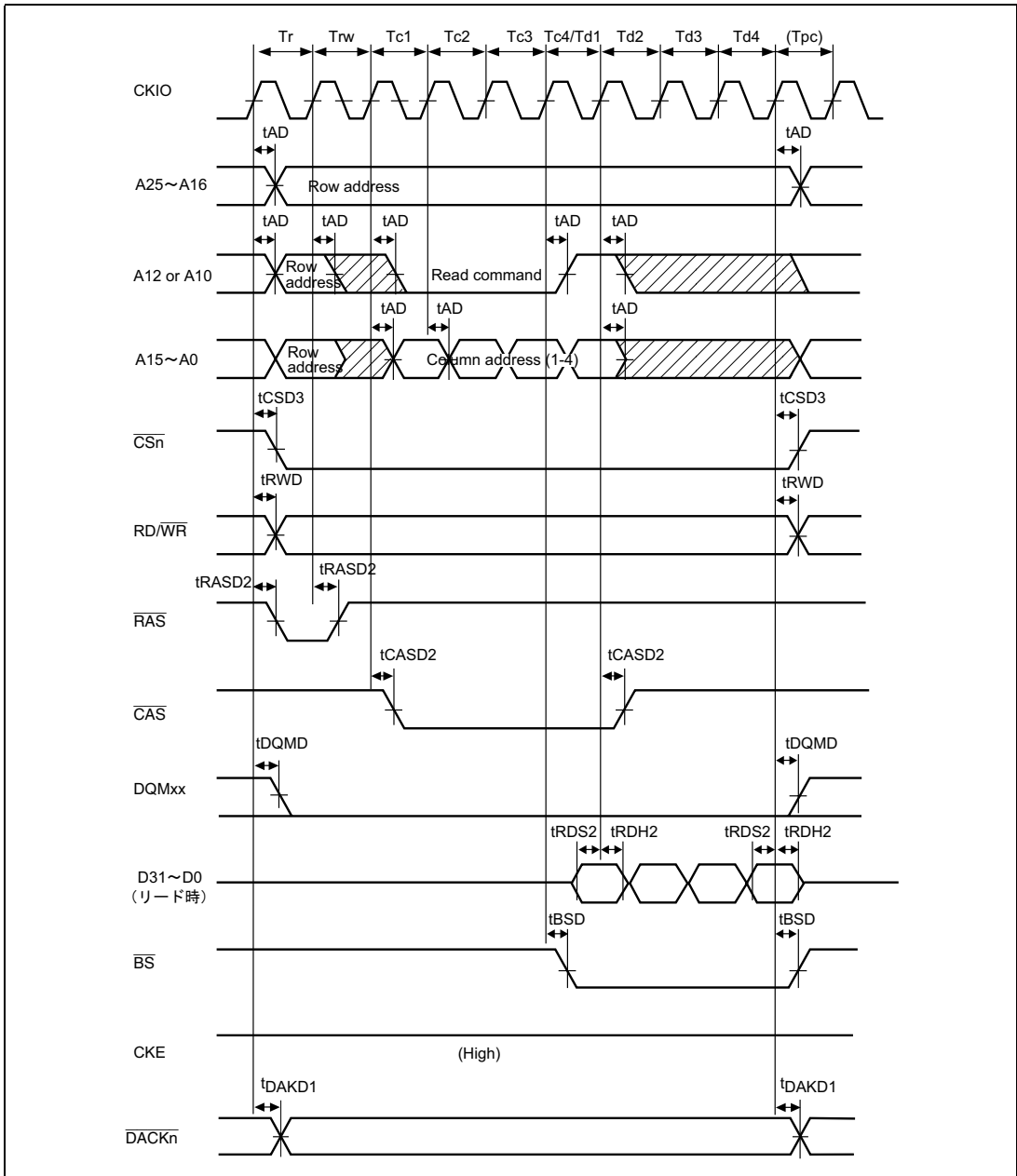


図 24.25 シンクロナス DRAM リードバスサイクル
 (パーストリード (シングルリード×4)、RCD=1、CAS レイテンシ=3、TPC=0)

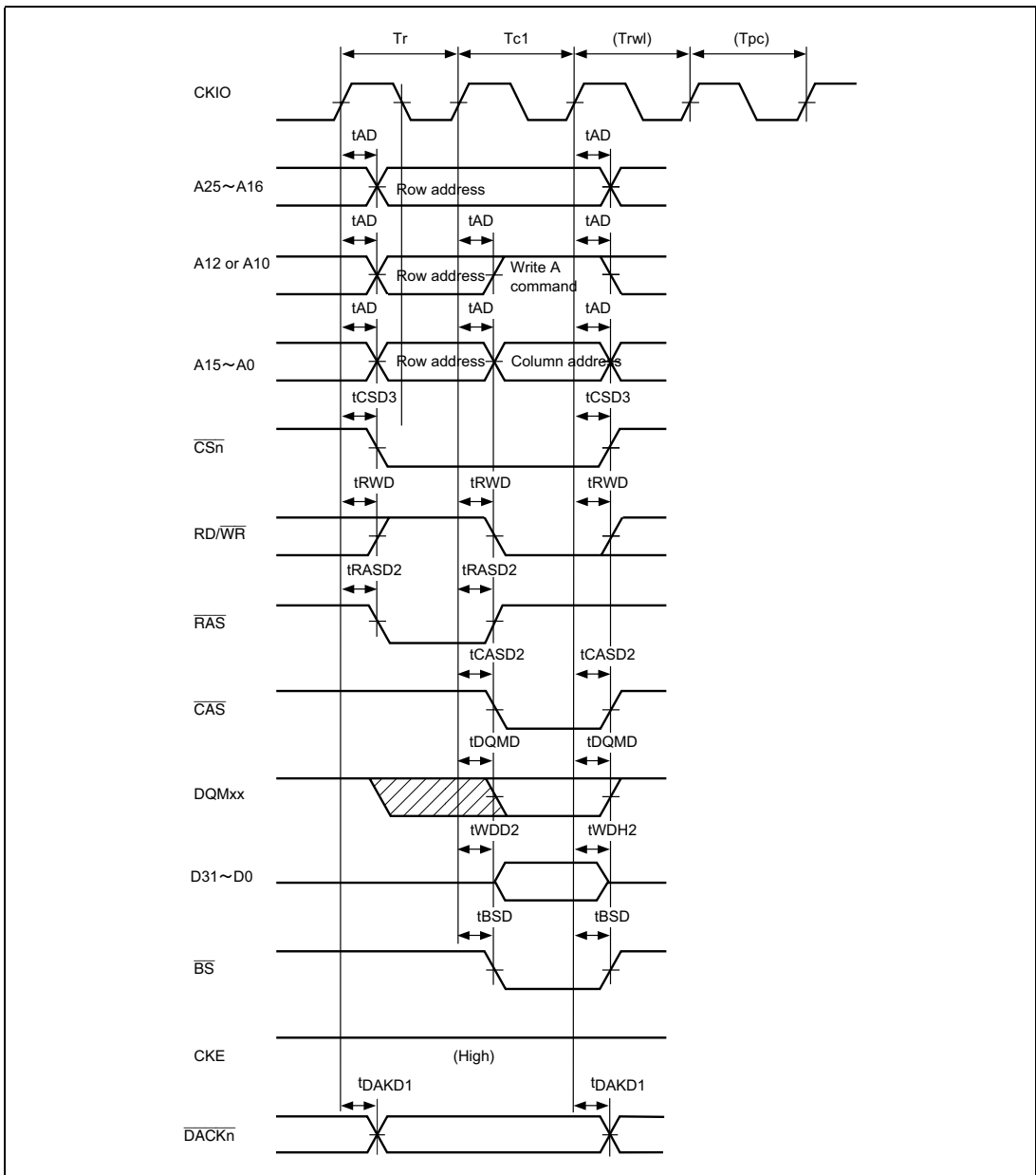


図 24.26 シンクロナス DRAM ライトバスサイクル
(RCD=0、TPC=0、TRWL=0)

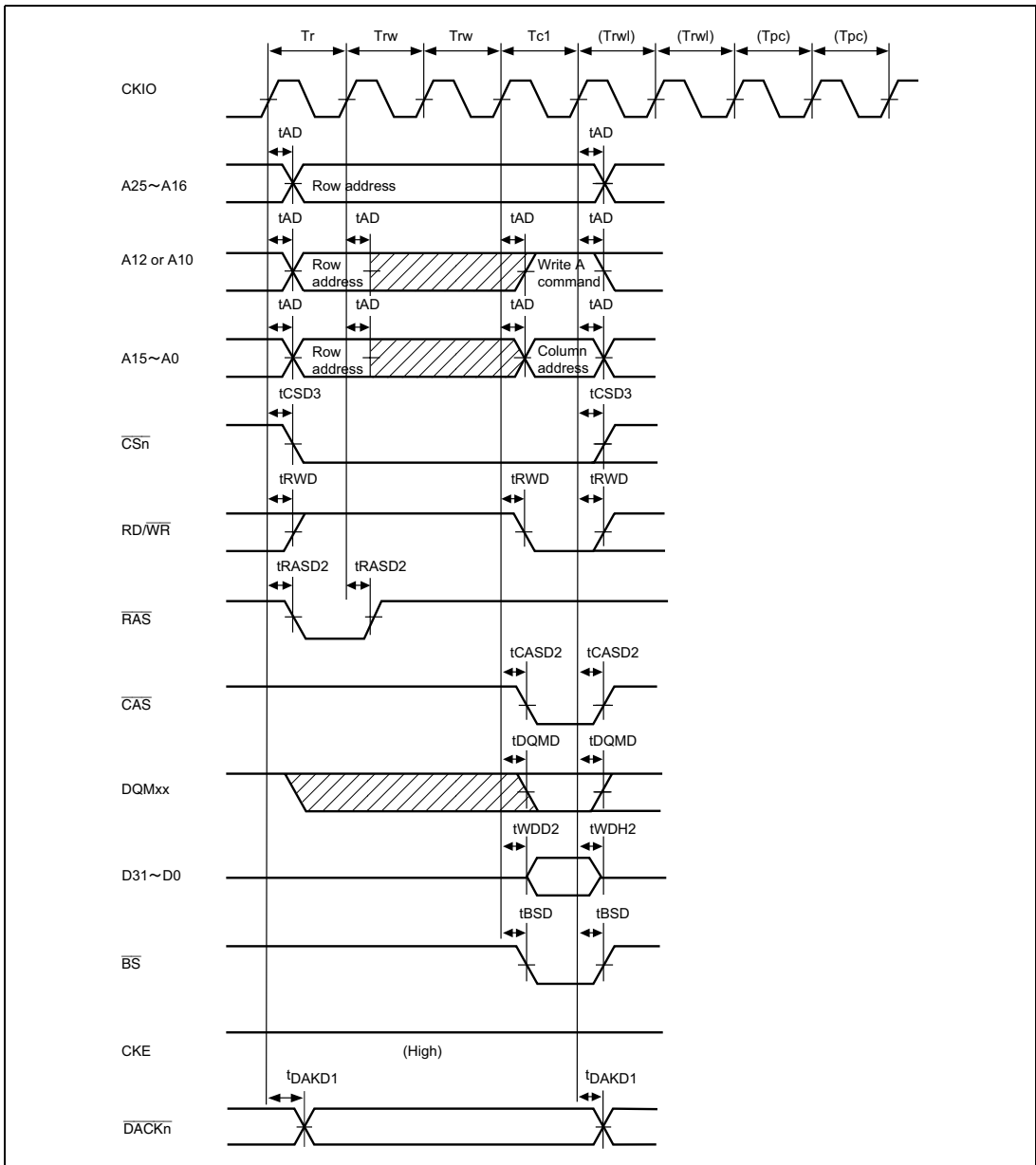


図 24.27 シンクロナス DRAM ライトバスサイクル
(RCD=2、TPC=1、TRWL=1)

24. 電気的特性

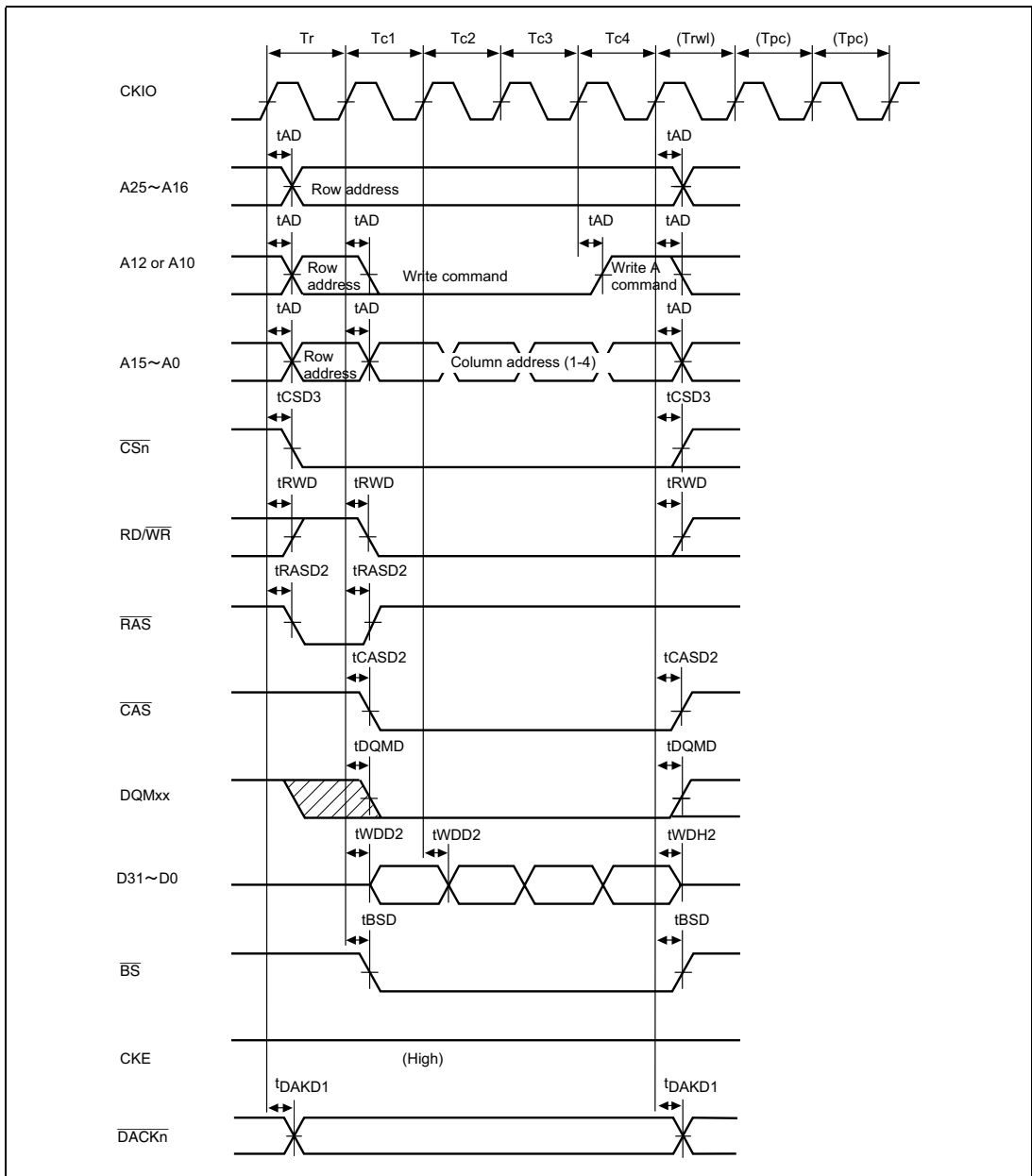


図 24.28 シンクロナス DRAM ライトバスサイクル
 (パーストライト (シングルライト×4)、RCD=0、TPC=1、TRWL=0)

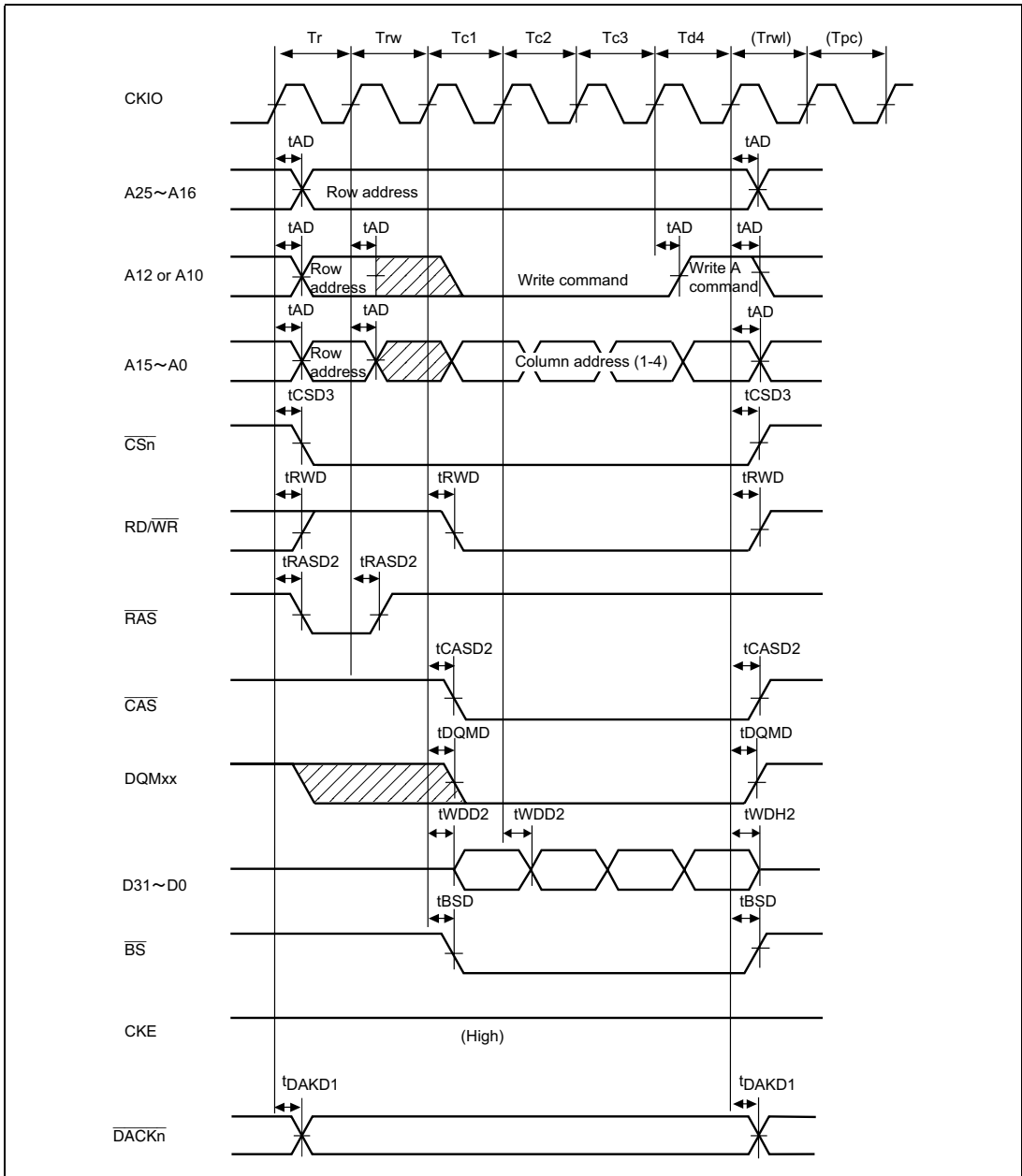


図 24.29 シンクロナス DRAM ライトバスサイクル
 (パーストライト (シングルライト×4)、RCD=1、TPC=0、TRWL=0)

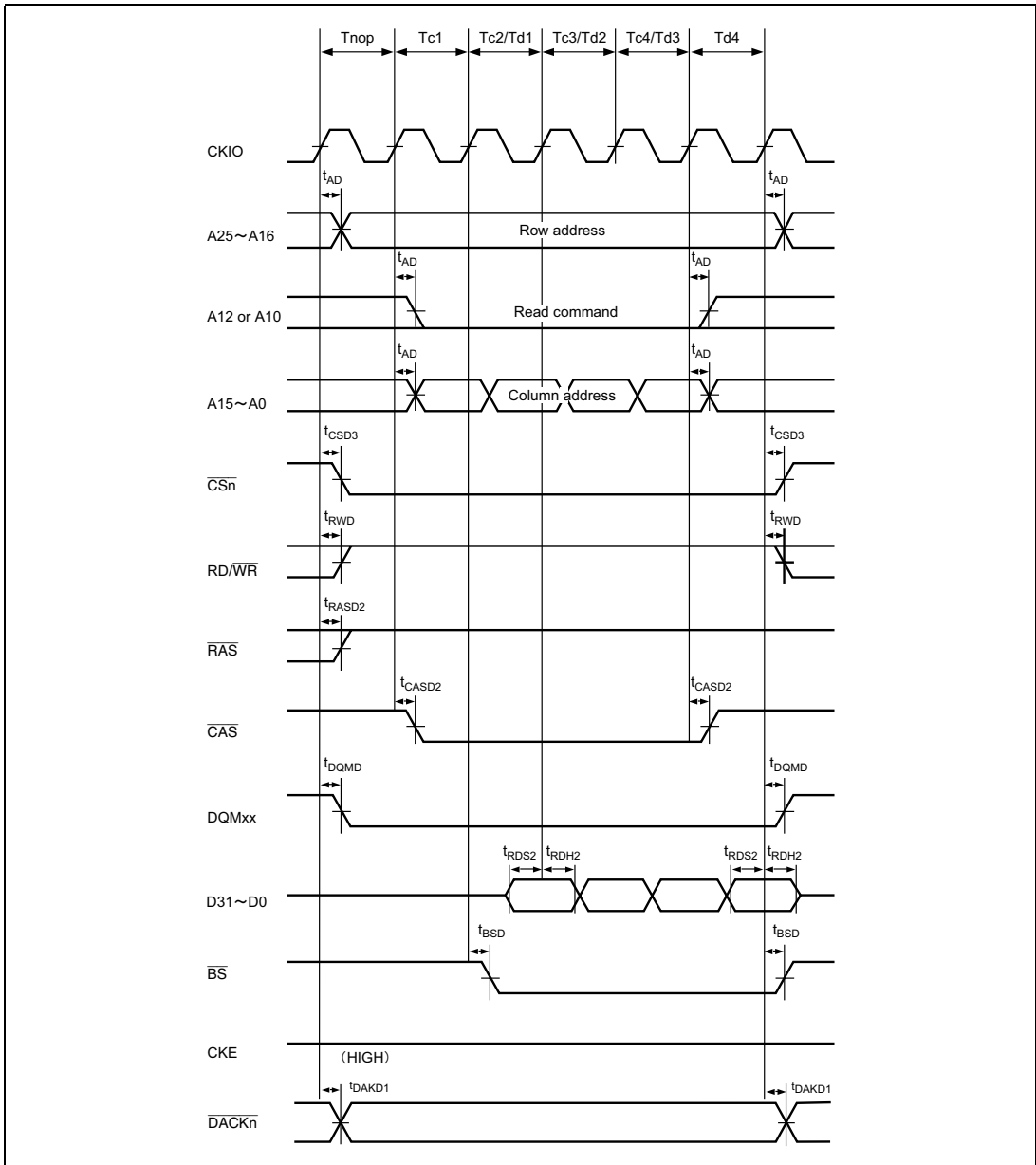


図 24.30 シンクロナス DRAM バーストリードバスサイクル
(RAS ダウン、同じロウアドレス、CAS レイテンシ=1)

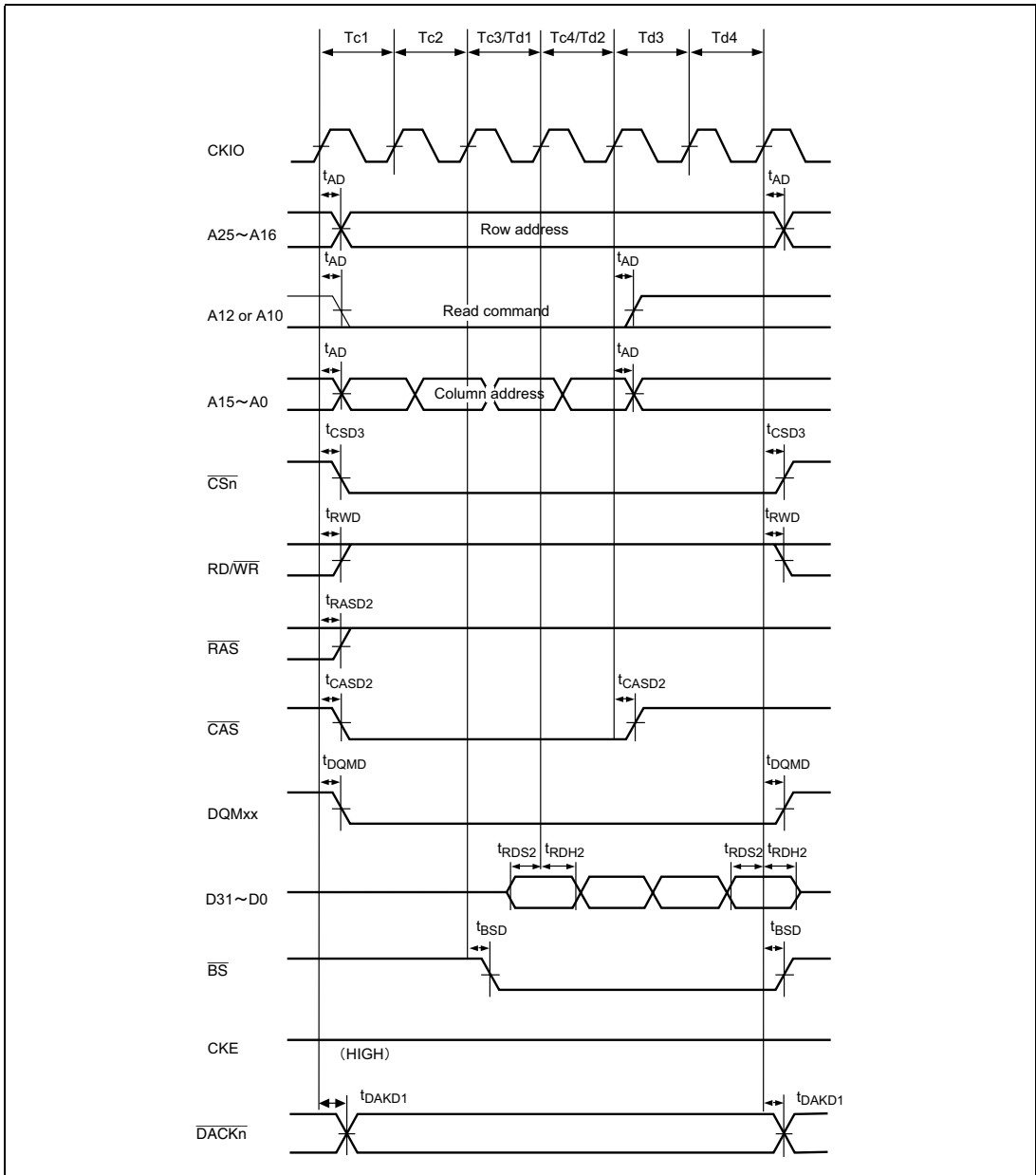


図 24.31 シンクロナス DRAM バーストリードバスサイクル (RAS ダウン、同じロウアドレス、CAS レイテンシ=2)

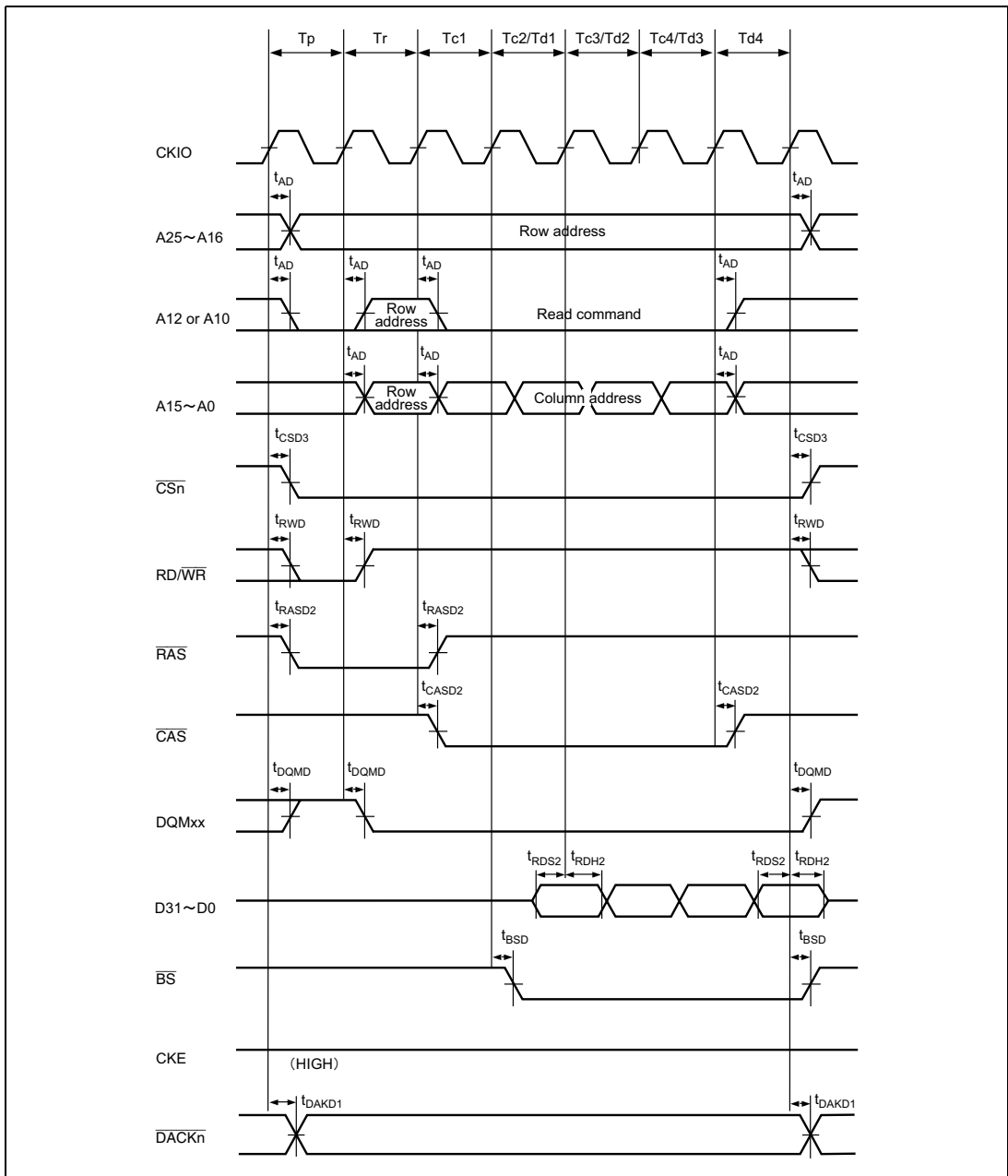


図 24.32 シンクロナス DRAM バーストリードバスサイクル
 (RAS ダウン、異なるロウアドレス、TPC=0、RCD=0、CAS レイテンシ=1)

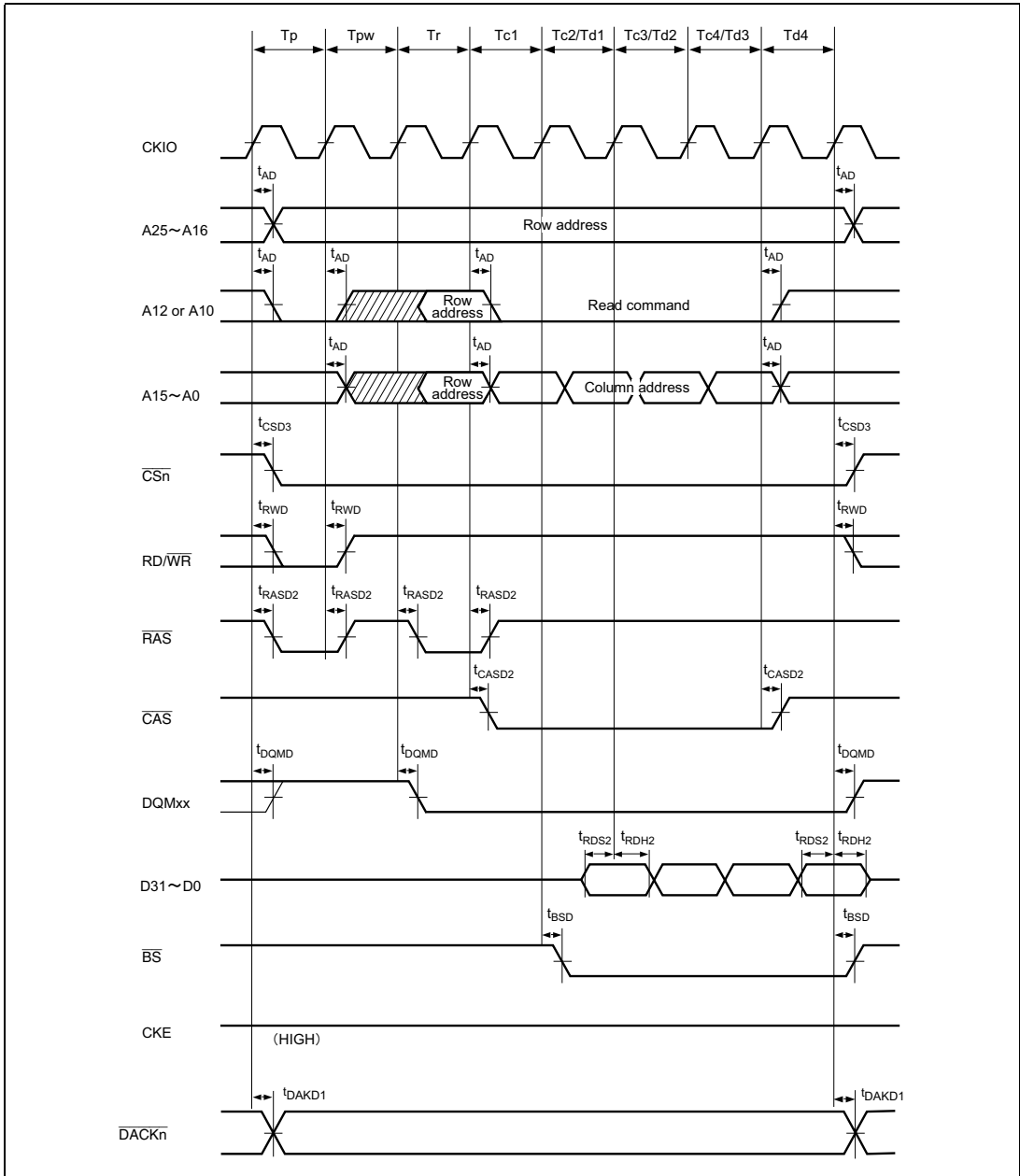


図 24.33 シンクロナス DRAM バーストリードバスサイクル
 (RAS ダウン、異なるロウアドレス、TPC=1、RCD=0、CAS レイテンシ=1)

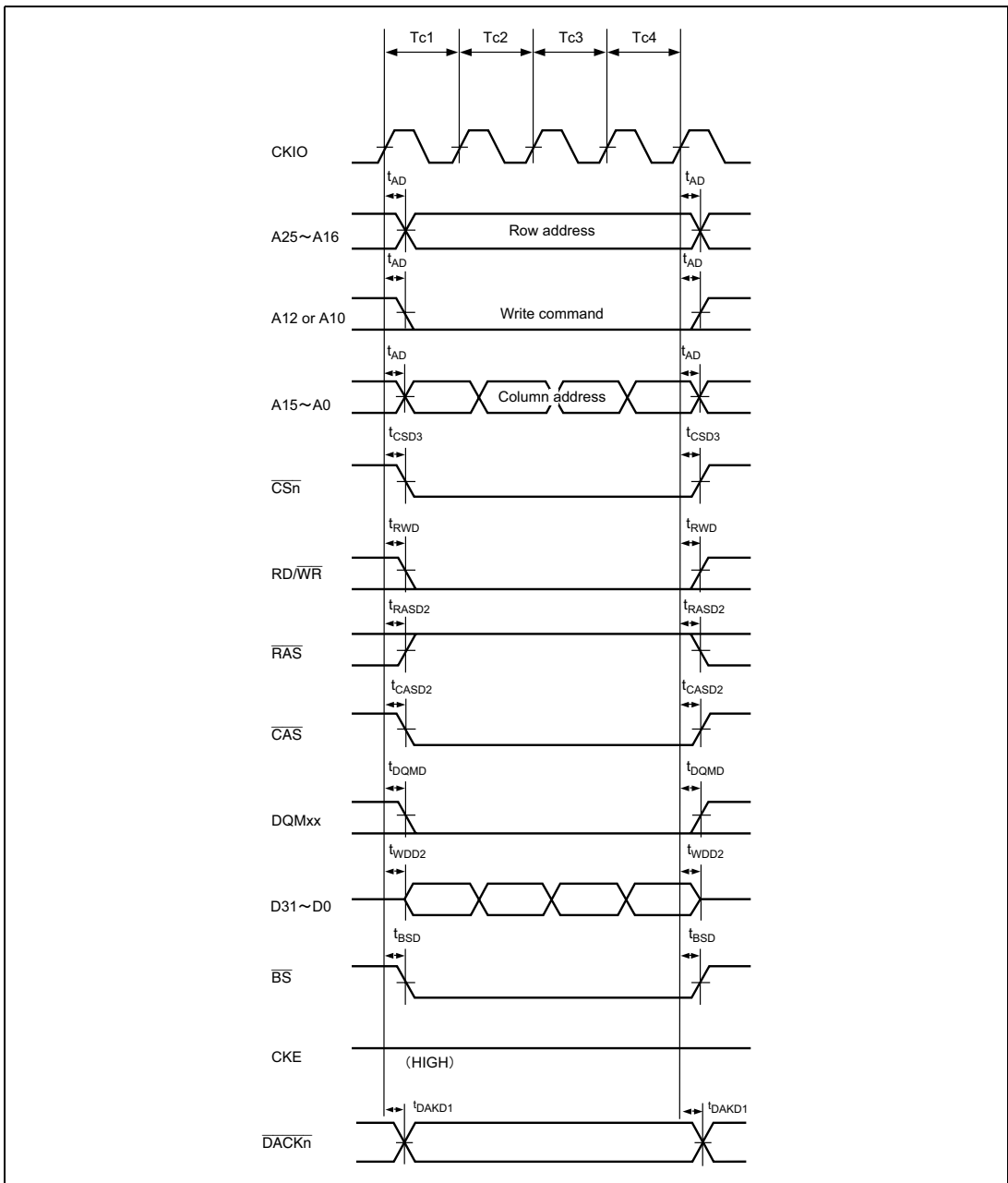


図 24.34 シンクロナス DRAM バーストライトバスサイクル
(RAS ダウン、同じロウアドレス)

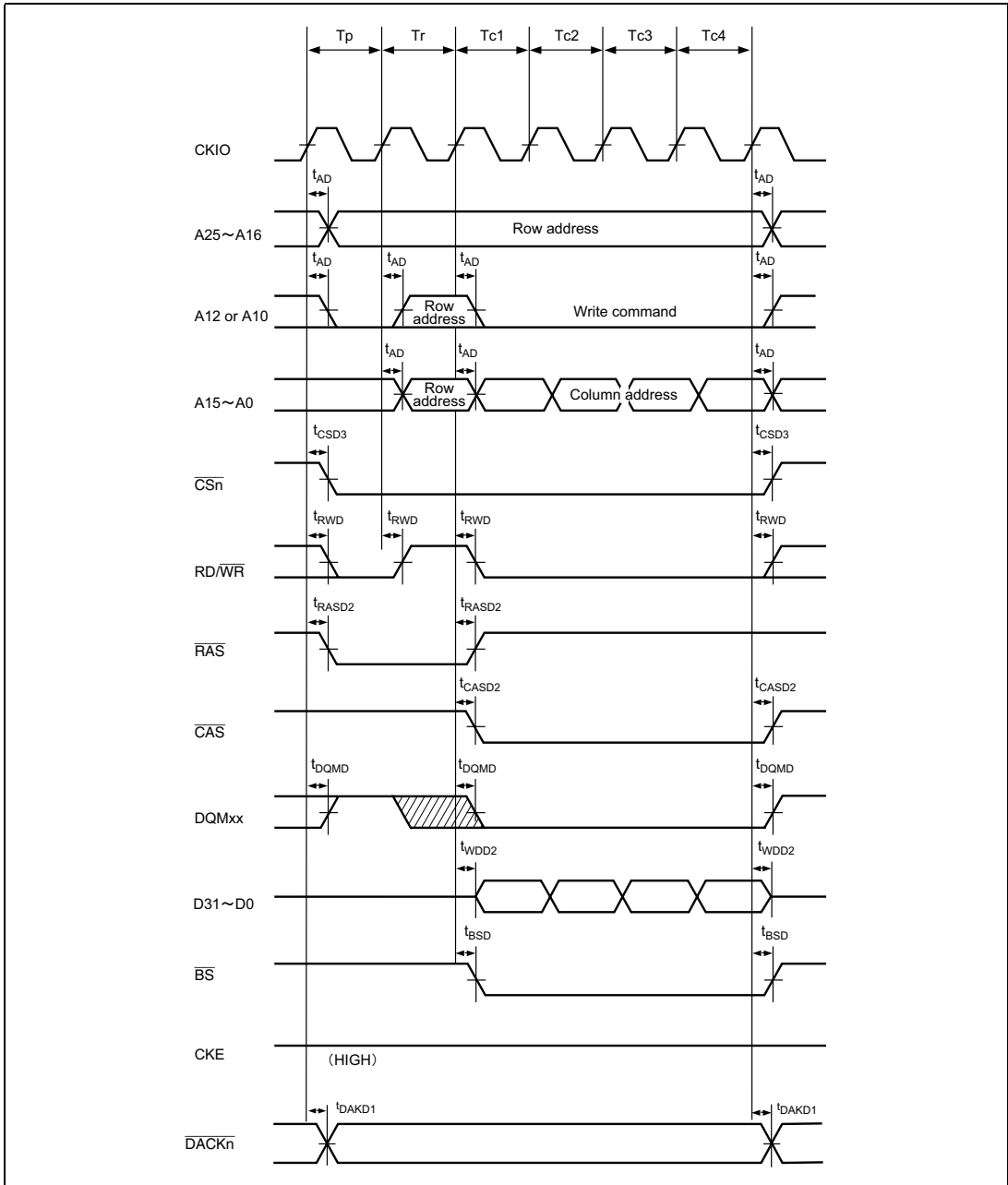


図 24.35 シンクロナス DRAM バーストライトバスサイクル
(RAS ダウン、異なるロウアドレス、TPC=0、RCD=0)

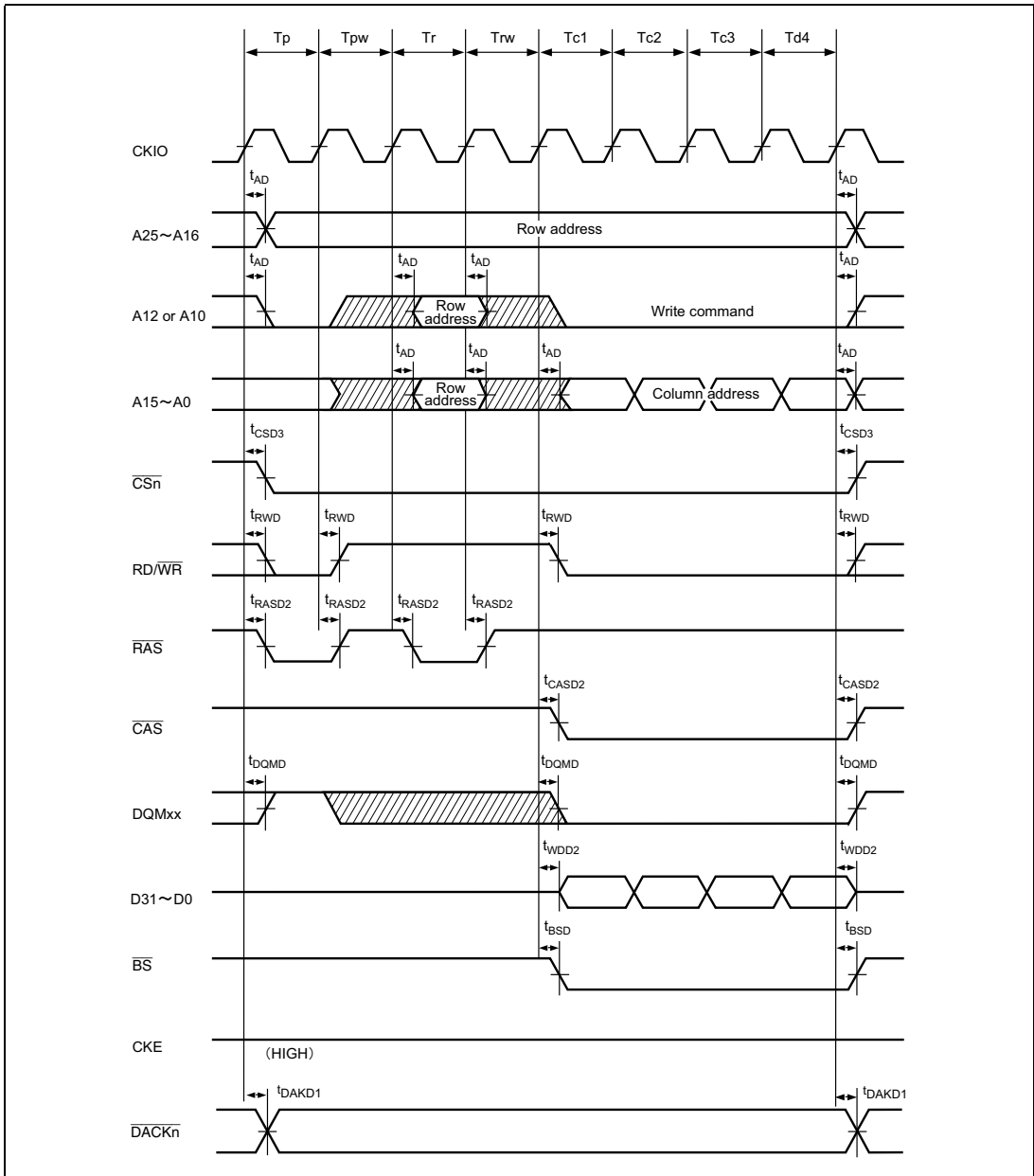


図 24.36 シンクロナス DRAM バーストライトバスサイクル
(RAS ダウン、異なるロウアドレス、TPC=1、RCD=1)

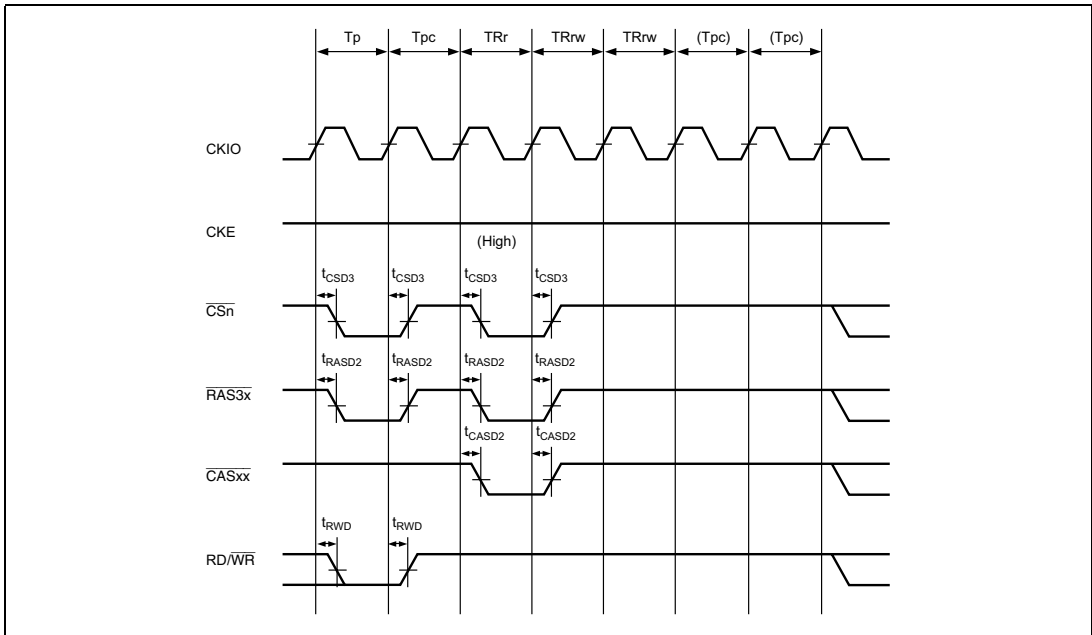


図 24.37 シンクロナス DRAM オートリフレッシュタイミング (TRAS=1、TPC=1)

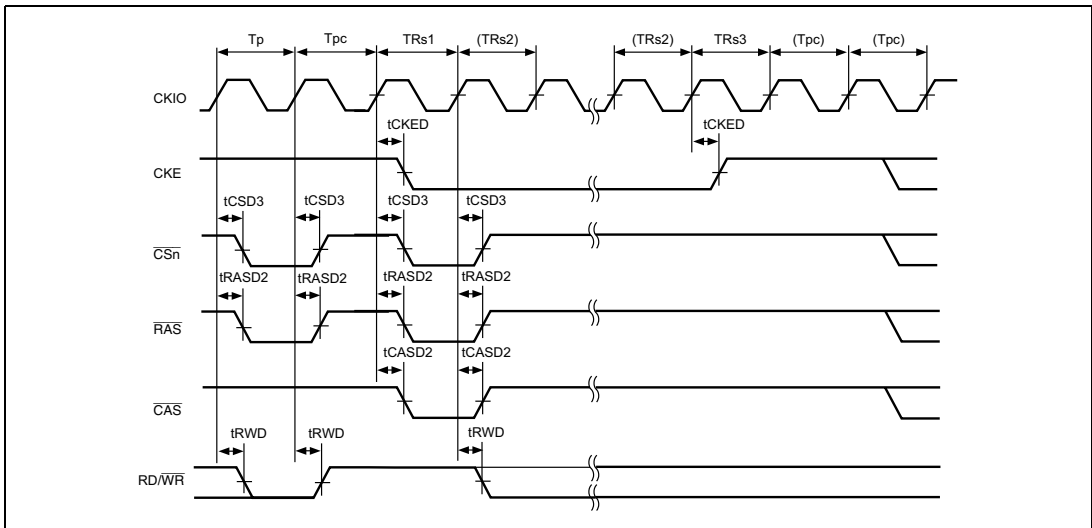


図 24.38 シンクロナス DRAM セルフリフレッシュサイクル (TRAS=1、TPC=1)

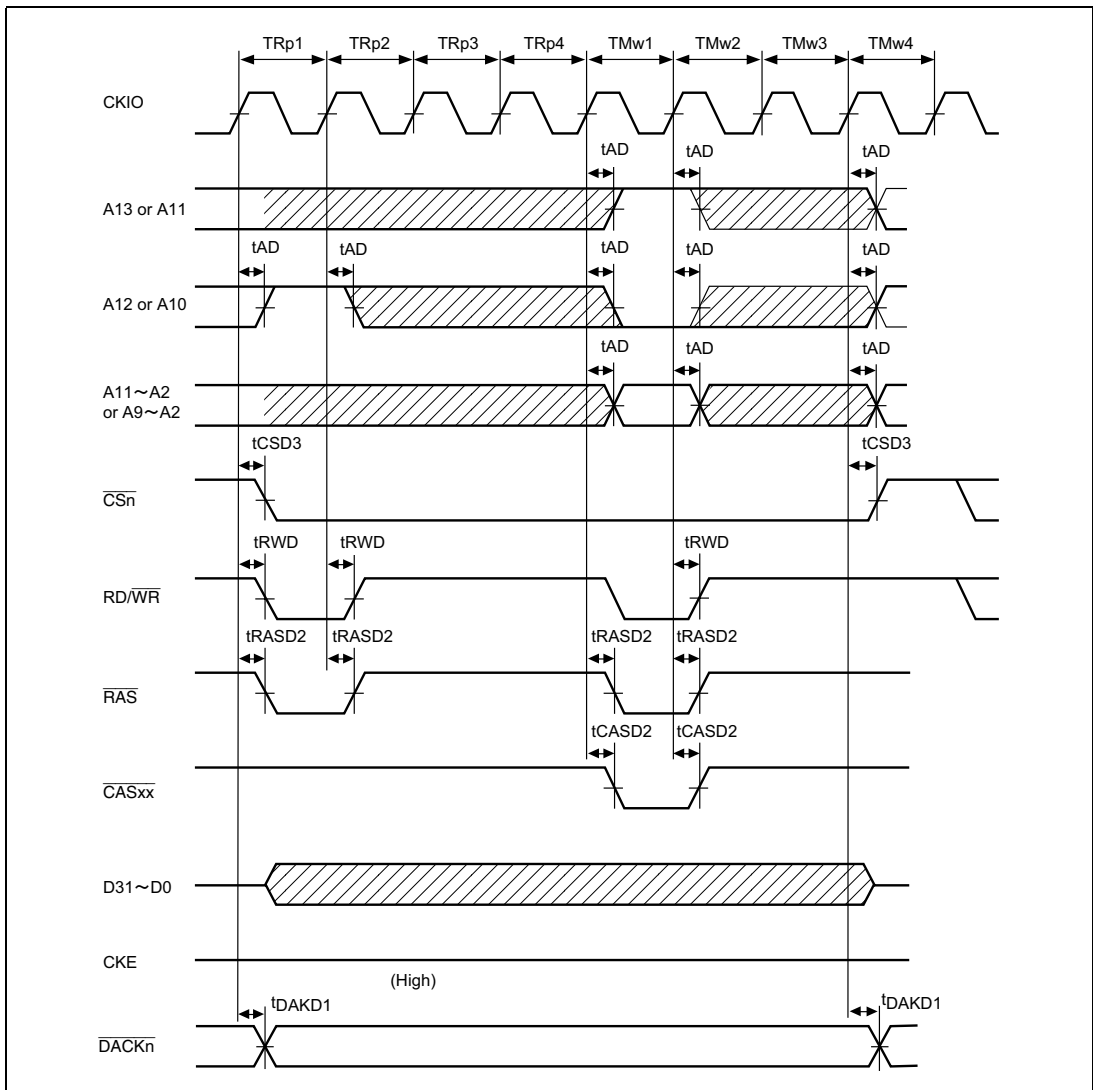
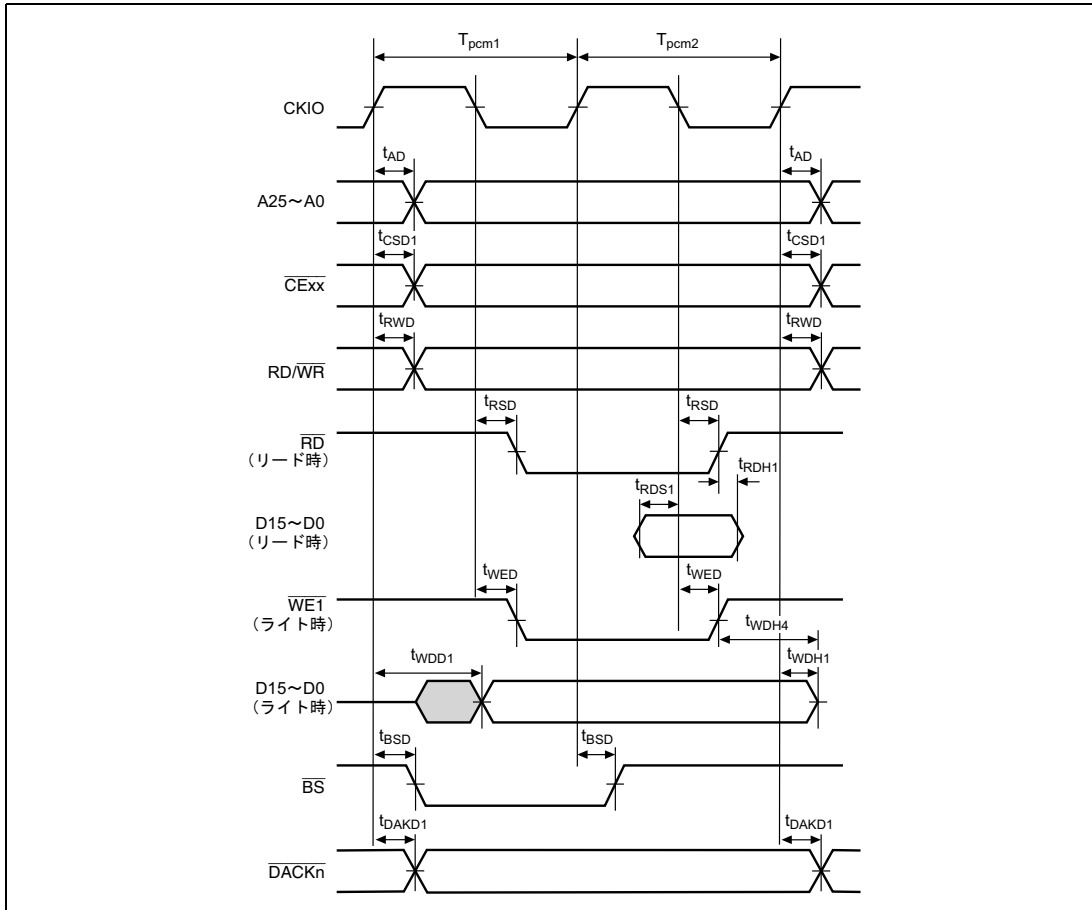


図 24.39 シンクロナス DRAM のモードレジスタへのライトサイクル

24.3.7 PCMCIA タイミング

図 24.40 PCMCIA メモリバスサイクル ($t_{ED}=0$ 、 $t_{EH}=0$ 、ノーウェイト)

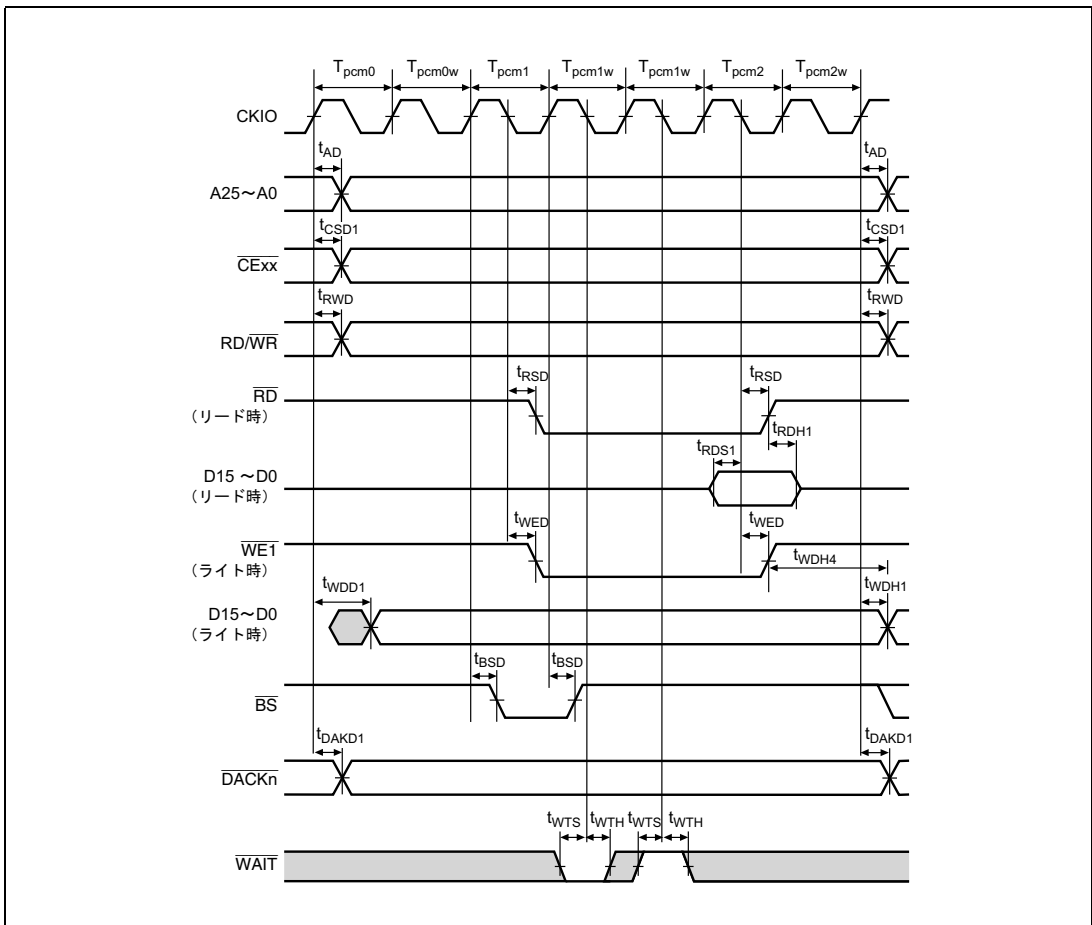


図 24.41 PCMCIA メモリバスサイクル
(TED=2、TEH=1、1 ウェイト、外部ウェイト、WAITSEL=1)

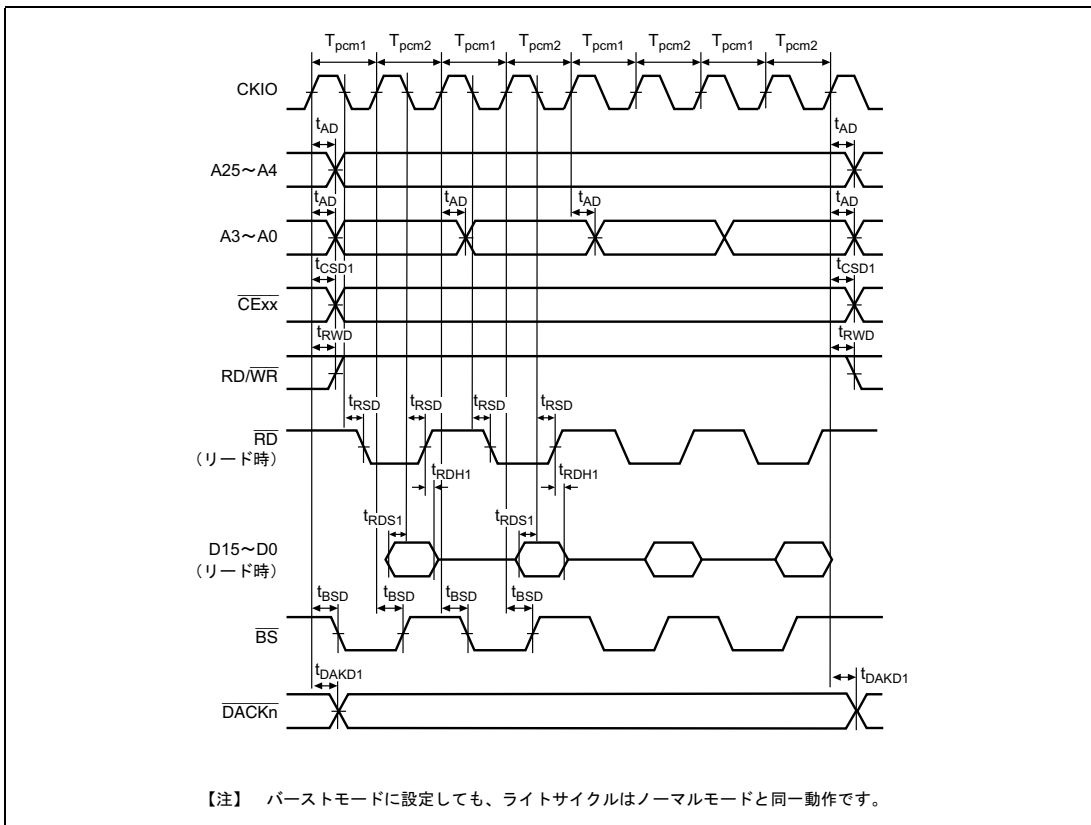


図 24.42 PCMCIA メモリバスサイクル
(パーストリード、TED=0、TEH=0、ノーウェイト)

24. 電気的特性

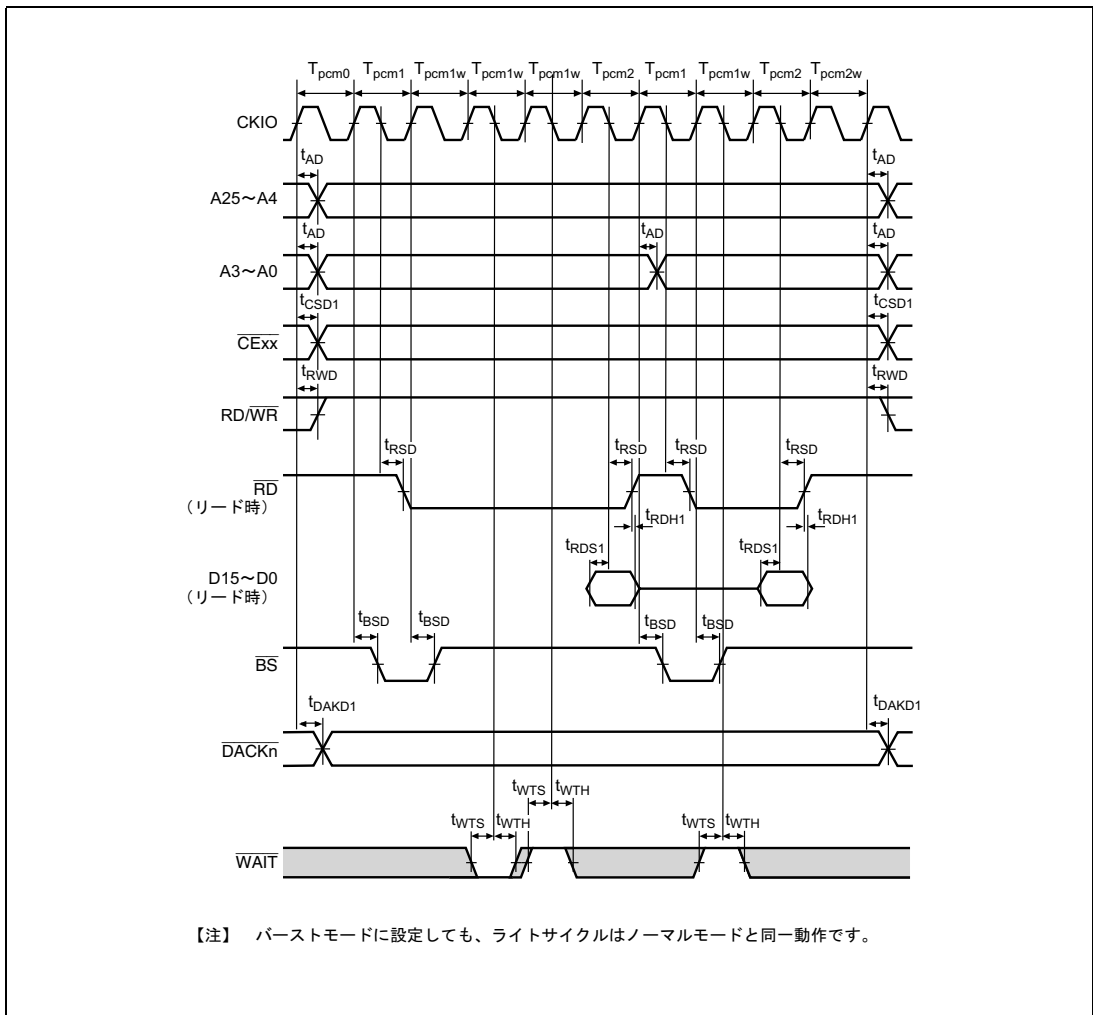


図 24.43 PCMCIA メモリバスサイクル
(バーストリード、TED=1、TEH=1、2 ウェイト、バーストピッチ=3、WAITSEL=1)

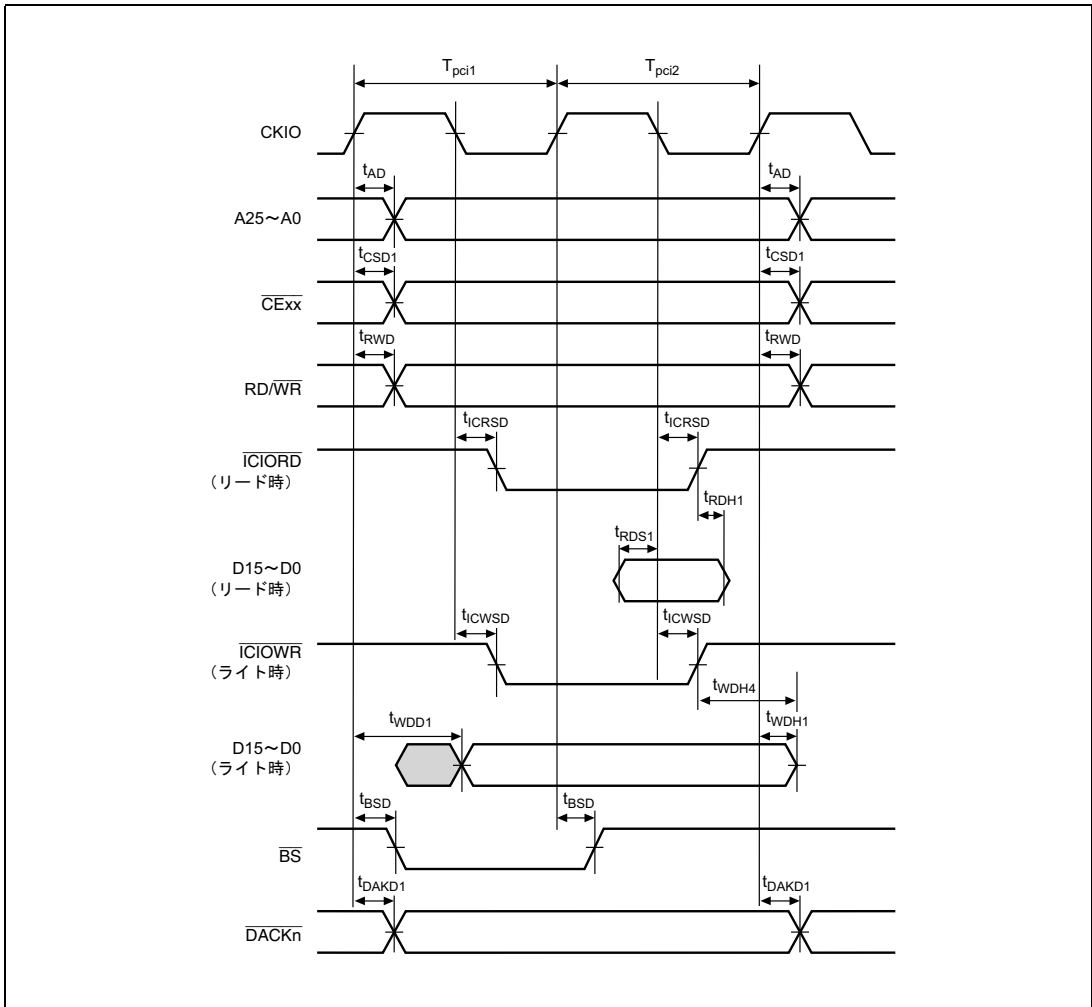


図 24.44 PCMCIA I/O バスサイクル (TED=0、TEH=0、ノーウェイト)

24. 電気的特性

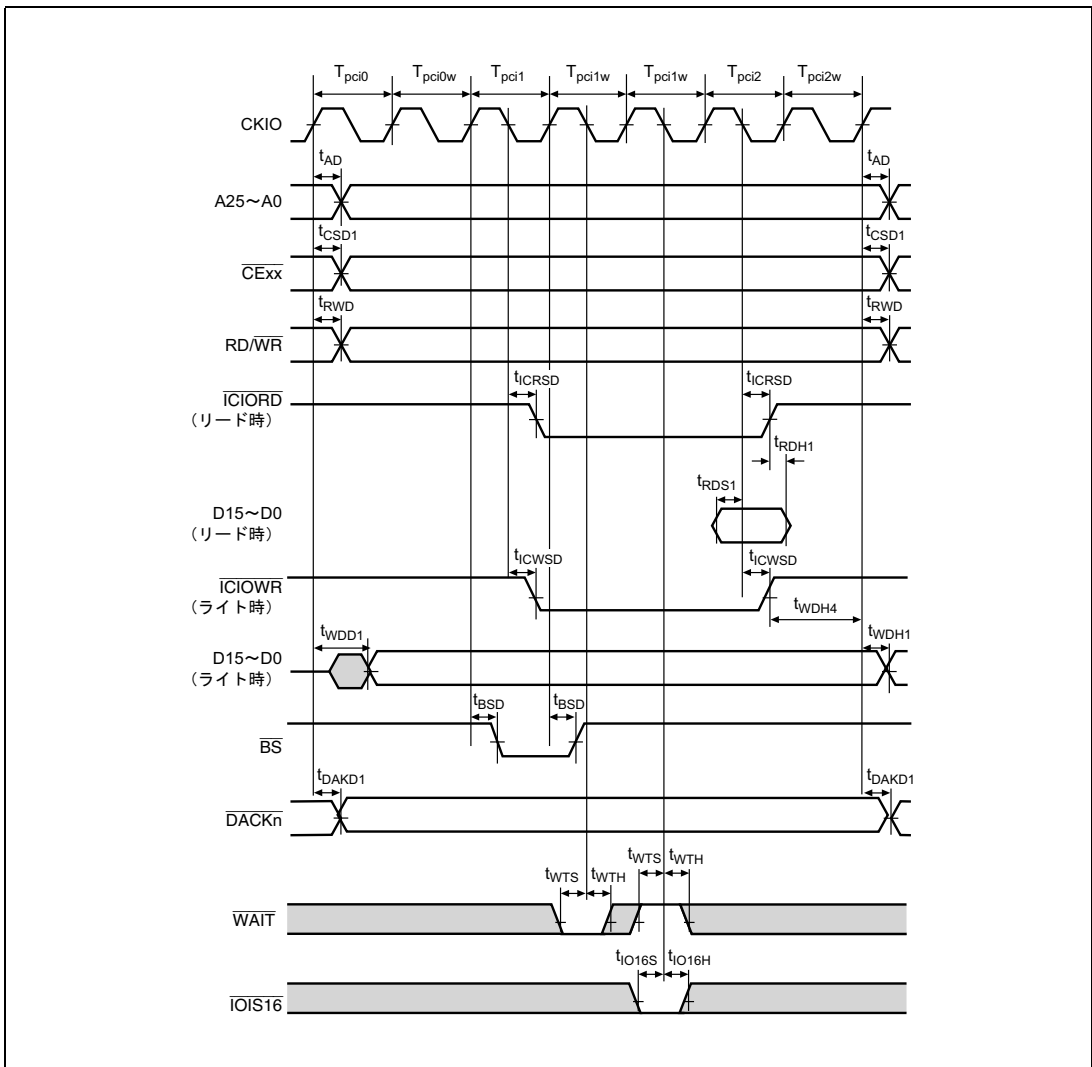


図 24.45 PCMCIA I/O バスサイクル (TED=2、TEH=1、1 ウェイト、外部ウェイト、WAITSEL=1)

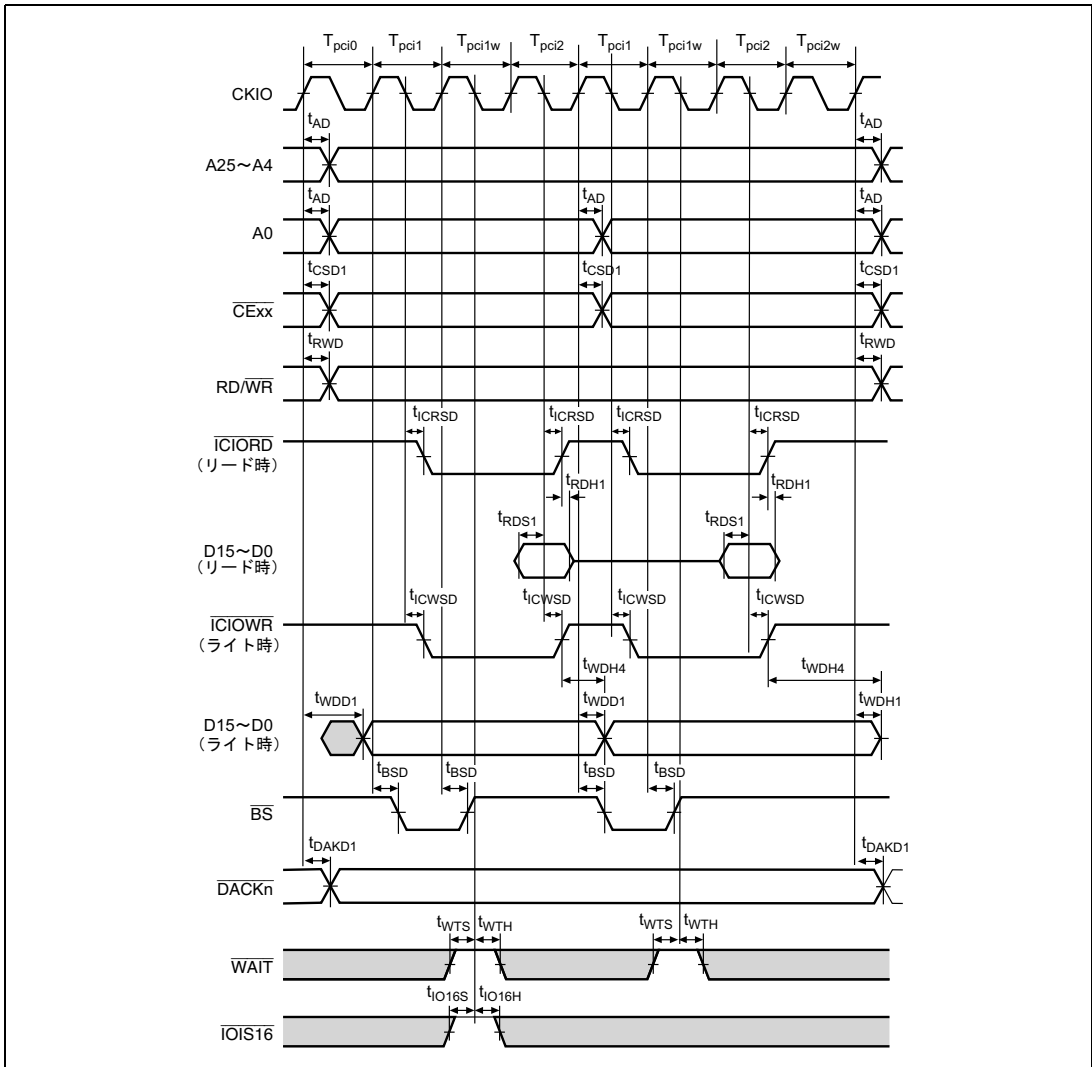


図 24.46 PCMCIA I/O バスサイクル
(TED=1、TEH=1、1 ウェイト、バスサイジング、WAITSEL=1)

24.3.8 周辺モジュール信号タイミング

表 24.8 周辺モジュール信号タイミング

条件： $V_{CCQ}=3.3\pm 0.3V$ 、 $V_{CC}=1.55\sim 2.15V$ 、 $AV_{CC}=3.3\pm 0.3V$ 、 $T_a=-20\sim 75^\circ C$

モジュール	項目		記号	min	max	単位	参照図
TMU、 RTC	タイマ入力セットアップ時間		t_{TCLKS}	15	—	ns	24.47
	タイマクロック入力セットアップ時間		t_{TCKS}	15	—		24.48
	タイマ クロック パルス幅	エッジ指定	t_{TCKWH}	1.5	—	P_{CYC}^*	
		両エッジ指定	t_{TCKWL}	2.5	—		
発振安定時間		t_{ROSC}	3	—	s	24.49	
SCI	入力 クロック サイクル	調歩同期	t_{SCYC}	4	—	P_{CYC}^*	24.50
		クロック同期		6	—		24.51
	入力クロック立ち上がり時間		t_{SCKR}	—	1.5		24.50
	入力クロック立ち下がり時間		t_{SCKF}	—	1.5		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{SCYC}	24.51
	送信データ遅延時間		t_{TXD}	—	100	ns	
	受信データセットアップ時間 (クロック同期)		t_{RXS}	100	—		
	受信データホールド時間 (クロック同期)		t_{RXH}	100	—		
	RTS 遅延時間		t_{RTSD}	—	100		
	CTS セットアップ時間 (クロック同期)		t_{CTSS}	100	—		
	CTS ホールド時間 (クロック同期)		t_{CTSH}	100	—		
ポート	出力データ遅延時間		t_{PORTD}	—	17	ns	24.52
	入力データセットアップ時間		t_{PORTS1}	15	—		
	入力データホールド時間		t_{PORTH1}	8	—		
	入力データセットアップ時間		t_{PORTS2}	$t_{CYC}+15$	—		
	入力データホールド時間		t_{PORTH2}	8	—		
	入力データセットアップ時間		t_{PORTS3}	$3 \times t_{CYC}+15$	—		
	入力データホールド時間		t_{PORTH3}	8	—		
DMAC	DREQ セットアップ時間		t_{DRQS}	6	—	ns	24.53
	DREQ ホールド時間		t_{DREQH}	4	—		
	DRAK 遅延時間		t_{DRAKD}	—	10		24.54

【注】 * P_{CYC} は P クロックサイクルを意味します。

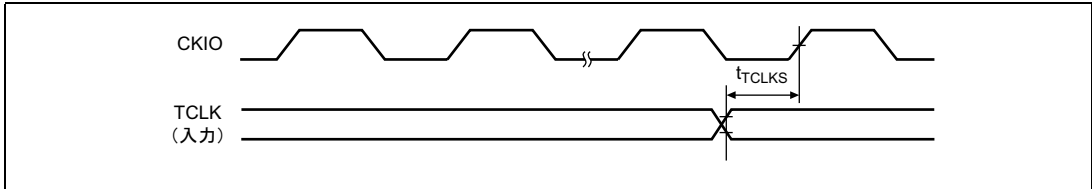


図 24.47 TCLK 入力タイミング

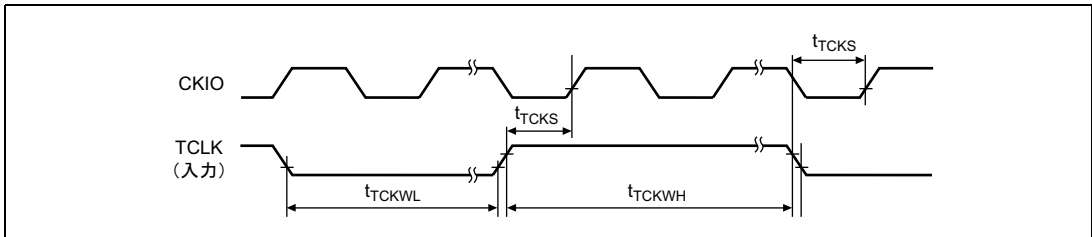


図 24.48 TCLK クロック入力タイミング

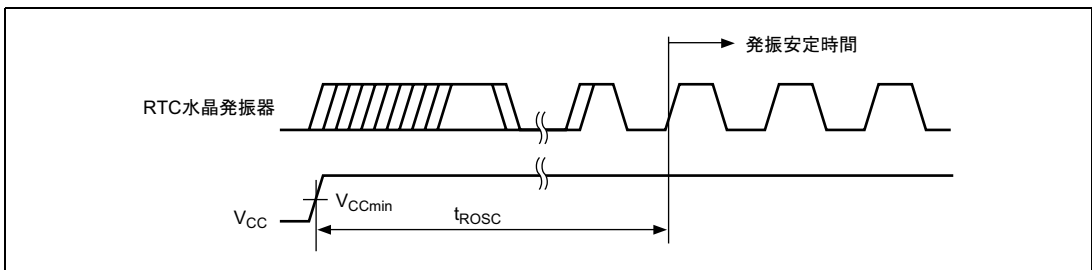


図 24.49 RTC 用水晶発振器パワーオン時発振安定時間

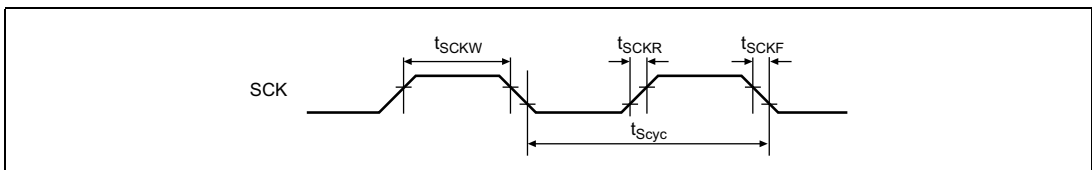


図 24.50 SCK 入力クロックタイミング

24. 電氣的特性

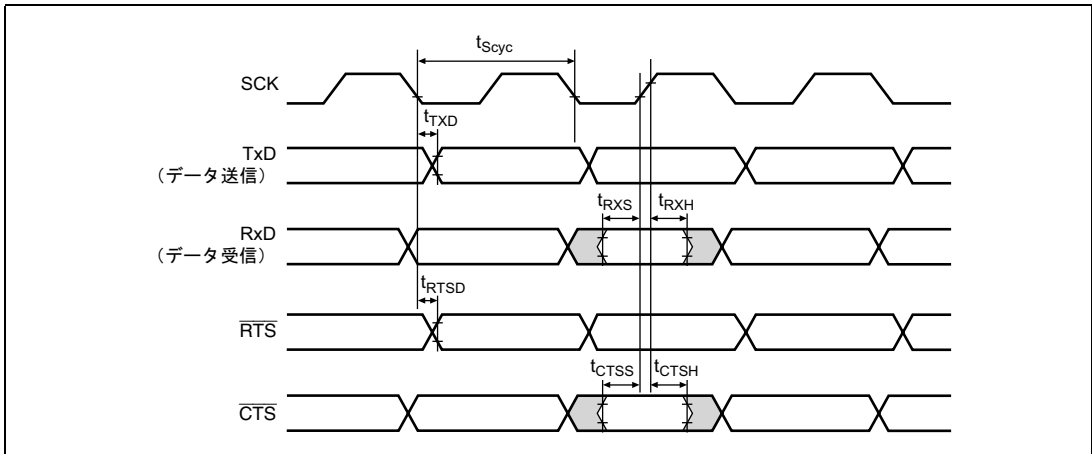


図 24.51 クロック同期式モード時の SCI 入出力タイミング

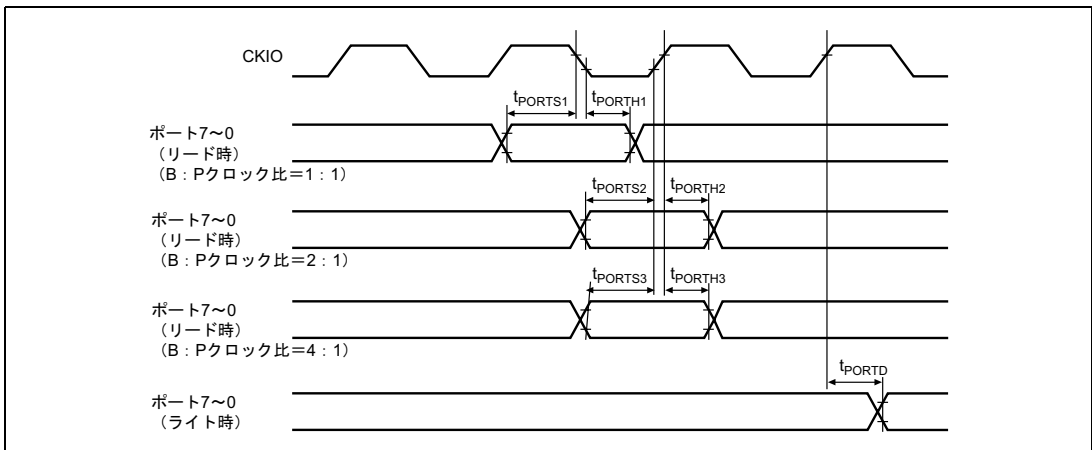


図 24.52 I/O ポートタイミング

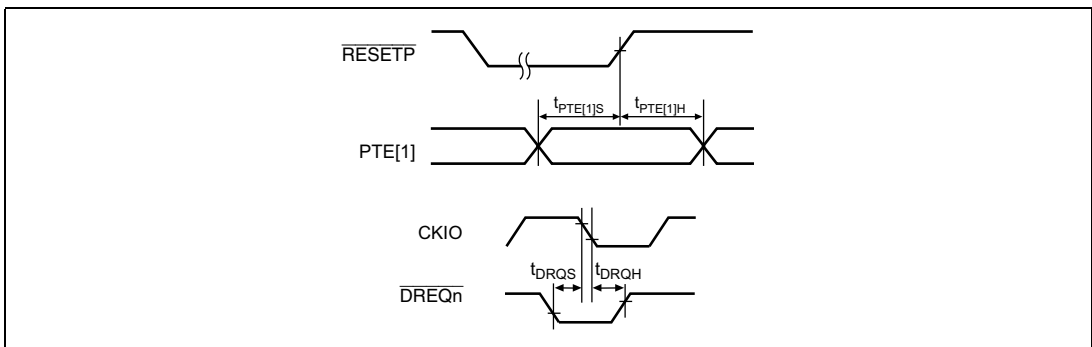


図 24.53 DREQ 入出力タイミング

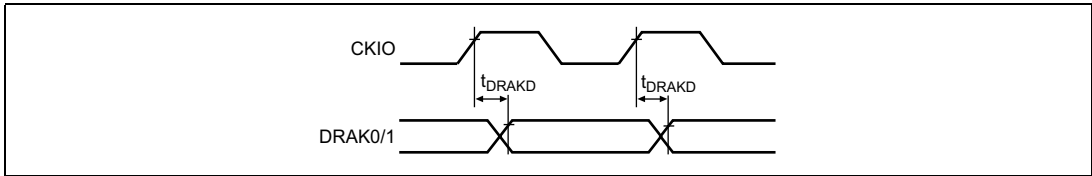


図 24.54 DRAK 出力タイミング

24.3.9 H-UDI 関連端子のタイミング

表 24.9 H-UDI 関連端子のタイミング

条件 : $V_{ccQ}=3.3\pm 0.3V$ 、 $V_{cc}=1.55\sim 2.15V$ 、 $AV_{cc}=3.3\pm 0.3V$ 、 $T_a=-20\sim 75^\circ C$

項目	記号	min	max	単位	参照図
TCK サイクル時間	t_{TCKcyc}	50	—	ns	24.55
TCK High レベルパルス幅	t_{TCKH}	12	—	ns	
TCK Low レベルパルス幅	t_{TCKL}	12	—	ns	
TCK 立ち上がり/立ち下がり時間	t_{TCKf}	—	4	ns	24.56
\overline{TRST} セットアップ時間	t_{TRSTS}	12	—	ns	
\overline{TRST} ホールド時間	t_{TRSTH}	50	—	t_{cyc}	24.57
TDI セットアップ時間	t_{TDIS}	10	—	ns	
TDI ホールド時間	t_{TDIH}	10	—	ns	
TMS セットアップ時間	t_{TMSS}	10	—	ns	
TMS ホールド時間	t_{TMSH}	10	—	ns	
TDO 遅延時間	t_{TDOD}	—	16	ns	
$\overline{ASEMD0}$ セットアップ時間	t_{ASEMDH}	12	—	ns	
$\overline{ASEMD0}$ ホールド時間	t_{ASEMDS}	12	—	ns	24.58

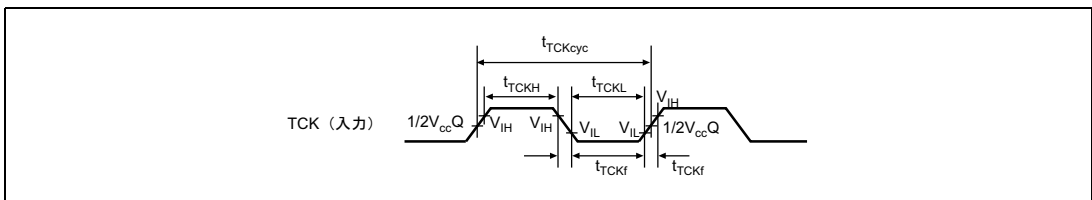


図 24.55 TCK 入力タイミング

24. 電気的特性

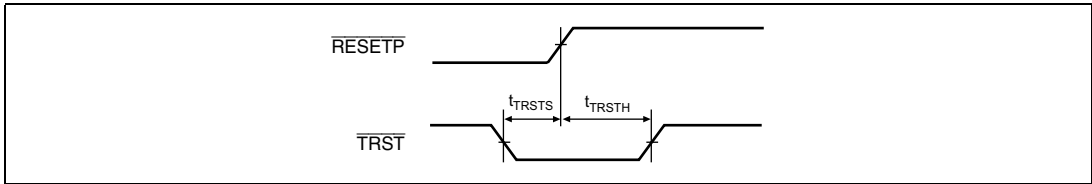


図 24.56 TRST 入力タイミング (リセットホールド時)

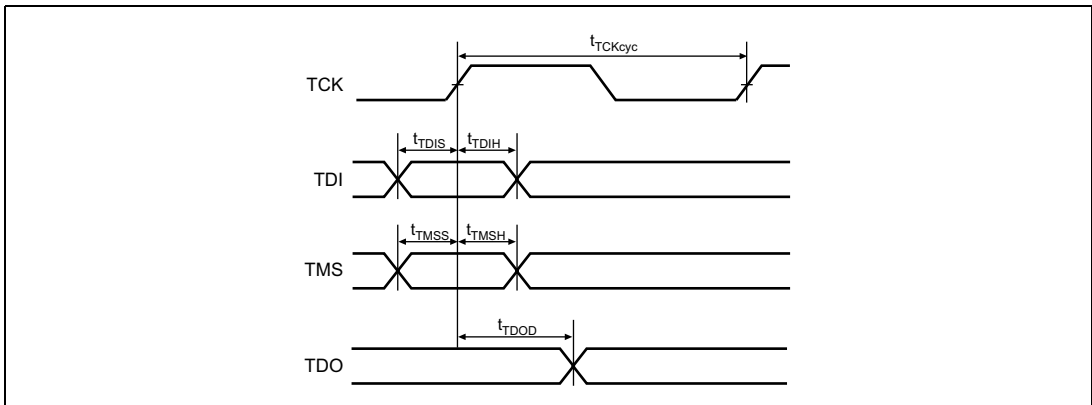


図 24.57 H-UDI データ転送タイミング

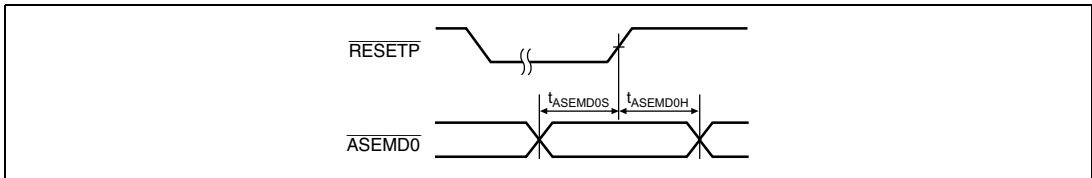


図 24.58 ASEMD0 入力タイミング

24.3.10 AC 特性測定条件

- 入出力信号参照レベル： $V_{CC}Q/2$ ($V_{CC}Q=3.3\pm 0.3V$ 、 $V_{CC}=1.55\sim 2.15V$)
- 入力パルスレベル： $V_{SS}\sim 3.0V$ (ただし、 \overline{RESETP} 、 \overline{RESETM} 、 $\overline{ASEMD0}$ 、 $\overline{IRLS3}\sim\overline{IRLS0}$ 、 $\overline{IRL3}\sim\overline{IRL0}$ 、 \overline{ADTRG} 、 $\overline{PINT15}\sim\overline{PINT0}$ 、 \overline{TRST} 、 $RxD1$ 、 CA 、 NMI 、 $\overline{IRQ5}\sim\overline{IRQ0}$ 、 $CKIO$ 、および $MD5\sim MD0$ は $V_{SS}\sim V_{CC}$)
- 入力立ち上がり、立ち下がり時間：1ns

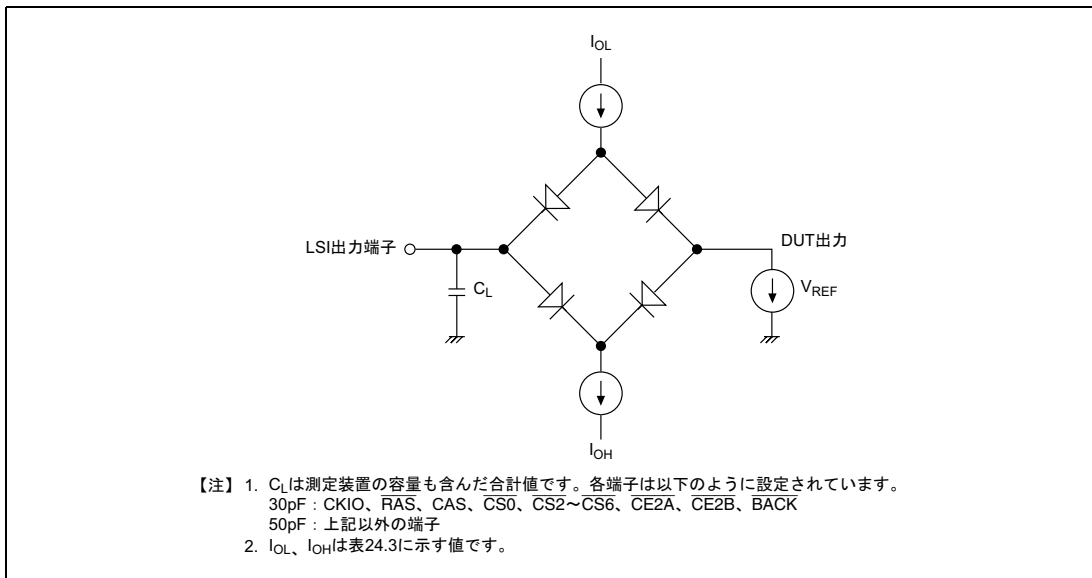


図 24.59 出力負荷回路

24.3.11 負荷容量による遅延時間の変化

下記に、本 LSI の各端子に規定以上 (30pF もしくは 50 pF) の負荷容量を接続した場合の、遅延時間の変化のグラフ (参考データ) を示します。規定容量を超えて、外部デバイスを接続される場合は、図 24.60 のグラフを参考に設計してください。

なお、接続される負荷容量が図 24.60 の範囲を超える場合は、グラフは直線になりません。

24. 電気的特性

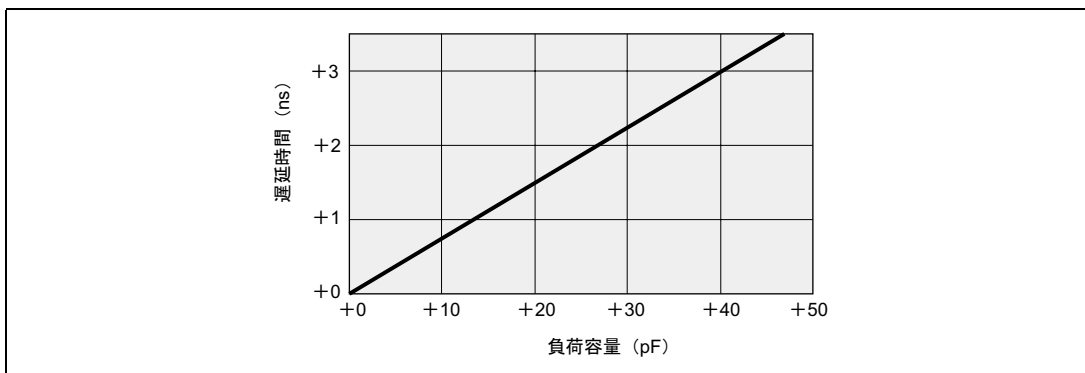


図 24.60 負荷容量—遅延時間

24.4 A/D 変換器特性

A/D 変換器特性を表 24.10 に示します。

表 24.10 A/D 変換器特性

条件: $V_{CCQ}=3.3\pm 0.3V$ 、 $V_{CC}=1.55\sim 2.15V$ 、 $AV_{CC}=3.3\pm 0.3V$ 、 $T_a=-20\sim 75^\circ C$

項目	min	typ	max	単位
分解能	10	10	10	bits
変換時間	15	—	—	μs
アナログ入力容量	—	—	20	pF
許容信号源 (単一ソース) インピーダンス	—	—	5	k Ω
非線形誤差	—	—	± 3	LSB
オフセット誤差	—	—	± 2	LSB
フルスケール誤差	—	—	± 2	LSB
量子化誤差	—	—	± 0.5	LSB
絶対精度	—	—	± 4	LSB

24.5 D/A 変換器特性

D/A 変換器特性を表 24.11 に示します。

表 24.11 D/A 変換器特性

条件: $V_{CCQ}=3.3\pm 0.3V$ 、 $V_{CC}=1.55\sim 2.15V$ 、 $AV_{CC}=3.3\pm 0.3V$ 、 $T_a=-20\sim 75^\circ C$

項目	min	typ	max	単位	テスト条件
分解能	8	8	8	bits	
変換時間	—	—	10.0	μs	20pF 容量負荷
絶対精度	—	± 2.5	± 4.0	LSB	2M Ω 抵抗負荷

付録

A. 端子機能

A.1 端子機能

リセット、低消費電力状態、バス権解放状態での端子状態を表 A.1 に示します。

表 A.1 リセット、低消費電力状態、バス権解放状態での端子状態

分類	端子名	リセット		低消費電力状態		
		パワーオン リセット	マニュアル リセット	スタンバイ	スリープ	バス権 解放状態
クロック	EXTAL	I	I	I	I	I
	XTAL	O*1	O*1	O*1	O*1	O*1
	CKIO	IO*1	IO*1	IO*1	IO*1	IO*1
	EXTAL2	I	I	I	I	I
	XTAL2	O	O	O	O	O
	CAP1, CAP2	—	—	—	—	—
システム制御	RESETP	I	I	I	I	I
	RESETM	I	I	I	I	I
	BREQ	I	I	I	I	
	BACK	O	O	O	O	L
	MD[5:0]	I	I	I	I	I
	CA	I	I	I	I	I
	STATUS[1:0]/PTJ[7:6]	O	OP*2	OP*2	OP*2	OP*2
割り込み	IRQ[3:0]/IRL[3:0]/ PTH[3:0]	V*7	I	I	I	I
	IRQ4/ PTH[4]	V*7	I	I	I	I
	NMI	I	I	I	I	I
	IRLS[3:0]/PTF[3:0]/PINT[11:8]	V	I	IZ	I	I
	MCS[7:0]/PTC[7:0]/PINT[7:0]	V	OP*2	ZH*10 K*2	OP*2	ZP*2
	TCK/PTF4/PINT12	IV	I	IZ	I	I
	TDI/PTF5/PINT13	IV	I	IZ	I	I
	TMS/PTF6/PINT14	IV	I	IZ	I	I
	TRST/PTF7/PINT15	IV	I	IZ	I	I
	IRQOUT	O	O	O	O	O

付録

分類	端子名	リセット		低消費電力状態		
		パワーオンリセット	マニュアルリセット	スタンバイ	スリープ	バス権解放状態
アドレスバス	A[25:0]	Z	O	ZL* ⁹	O	Z
データバス	D[15:0]	Z	I	Z	IO	Z
	D[23:16]/PTA[7:0]	Z	IP* ²	ZK* ²	IOP* ²	ZP* ²
	D[31:24]/PTB[7:0]	Z	IP* ²	ZK* ²	IOP* ²	ZP* ²
バス制御	CS0/MCS0	H	O	ZH* ¹⁰	O	Z
	CS[2:4]/PTK[0:2]	H	OP* ²	ZH* ¹⁰ K* ²	OP* ²	ZP* ²
	CS5/CE1A/PTK[3]	H	OP* ²	ZH* ¹⁰ K* ²	OP* ²	ZP* ²
	CS6/CE1B	H	O	ZH* ¹⁰	O	Z
	BS/PTK[4]	H	OP* ²	ZH* ¹⁰ K* ²	OP* ²	ZP* ²
	RAS3L/PTJ[0]	H	OP* ²	ZOK* ³	OP* ²	ZOP* ³
	RAS3U/PTE[2]	V	OP* ²	ZOK* ³	OP* ²	ZOP* ³
	CASL/PTJ[2]	H	OP* ²	ZOK* ³	OP* ²	ZOP* ³
	CASU/PTJ[3]	H	OP* ²	ZOK* ³	OP* ²	ZOP* ³
	WE0/DQMLL	H	O	ZH* ¹⁰	O	Z
	WE1/DQMLU/WE	H	O	ZH* ¹⁰	O	Z
	WE2/DQMUL/ICIORD/ PTK[6]	H	OP* ²	ZH* ¹⁰ K* ²	OP* ²	ZP* ²
	WE3/DQMUU/ICIOWR/ PTK[7]	H	OP* ²	ZH* ¹⁰ K* ²	OP* ²	ZP* ²
	RD/WR	H	O	ZH* ¹⁰	O	Z
	R \bar{D}	H	O	ZH* ¹⁰	O	Z
	CKE/PTK[5]	H	OP* ²	OK* ²	OP* ²	OP* ²
WAIT	Z	I	Z	I	Z	
DMAC	DREQ0/PTD[4]	V	ZI* ⁶	Z	I	I
	DACK0/PTD[5]	V	OP* ²	ZK* ²	OP* ²	OP* ²
	DRAK0/PTD[1]	V	OP* ²	ZH* ¹⁰ K* ²	OP* ²	OP* ²
	DREQ1/PTD[6]	V	ZI* ⁶	Z	I	I
	DACK1/PTD[7]	V	OP* ²	ZK* ²	OP* ²	OP* ²
	DRAK1/PTD[0]	V	OP* ²	ZH* ¹⁰ K* ²	OP* ²	OP* ²
タイマ	TCLK/PTH[7]	V	ZP	IOP* ⁴	IOP* ⁴	IOP* ⁴
SCI/ FIFO なし スマートカード インタフェース	RxD0/SCPT[0]	Z	ZI* ⁶	Z	IZ* ⁵	IZ* ⁵
	TxD0/SCPT[0]	Z	ZO* ⁶	ZK* ²	OZ* ⁵	OZ* ⁵
	SCK0/SCPT[1]	V	ZP* ²	ZK* ²	IOP* ⁴	IOP* ⁴
SCIF/FIFO 付き IrDA	RxD1/SCPT[2]	Z	ZI* ⁶	Z	IZ* ⁵	IZ* ⁵
	TxD1/SCPT[2]	Z	ZO* ⁶	ZK* ²	OZ* ⁵	OZ* ⁵
	SCK1/SCPT[3]	V	ZP* ²	ZK* ²	IOP* ⁴	IOP* ⁴

分類	端子名	リセット		低消費電力状態		
		パワーオンリ セット	マニュアル リセット	スタンバイ	スリープ	バス権 解放状態
FIFO 付き SCIF	RxD2/SCPT[4]	Z	ZI ^{*6}	Z	IZ ^{*5}	IZ ^{*5}
	TxD2/SCPT[4]	Z	ZO ^{*6}	ZK ^{*2}	OZ ^{*5}	OZ ^{*5}
	SCK2/SCPT[5]	V	ZP ^{*2}	ZK ^{*2}	IOP ^{*4}	IOP ^{*4}
	RTS2/SCPT[6]	V	OP ^{*2}	ZK ^{*2}	OP ^{*2}	OP ^{*2}
	CTS2/IRQ5/SCPT[7]	V ^{*7}	ZI ^{*6}	I	I	I
ポート	AUDSYN \bar{C} /PTE[7]	OV	OP ^{*2}	OK ^{*2}	OP ^{*2}	OP ^{*2}
	CE2B/PTE[5]	V	OP ^{*2}	ZH ^{*10} K ^{*2}	OP ^{*2}	ZP ^{*2}
	CE2A/PTE[4]	V	OP ^{*2}	ZH ^{*10} K ^{*2}	OP ^{*2}	ZP ^{*2}
	TDO/PTE[0]	OV	OP ^{*2}	OK ^{*2}	OP ^{*2}	OP ^{*2}
	I \bar{O} S16/PTG[7]	V	I	Z	I	I
	PTG[5:0]	V	I	Z	I	I
	AUDCK/PHT[6]	V	I	Z	I	I
	ADTRG/PTH[5]	V ^{*7}	I	IZ	I	I
	WAKEUP/PTD[3]	V	OP ^{*2}	OK ^{*2}	OP ^{*2}	ZP ^{*2}
	RESETOUT/PTD[2]	O	OP ^{*2}	ZK ^{*2}	OP ^{*2}	OP ^{*2}
	AUDATA[3:0]/PTG[3:0]	I/V ポート	I	IZ ポート	I	I
	CKIO2/PTG[4]	OV ポート	OI ポート	OZ ポート	OI ポート	OI ポート
	ASEBRKAK/PTG[5]	OV ポート	OI ポート	OZ ポート	OI ポート	OI ポート
	ASEMD \bar{O} /PTG[6]	I (ASEMD)	I	Z	I	I
	PTJ[1]	H	OP ^{*2}	ZOK ^{*3}	OP ^{*2}	ZOP ^{*3}
	PTE[1]	V ^{*12}	OP ^{*2}	ZOK ^{*3}	OP ^{*2}	ZOP ^{*3}
	PTE[6]	V	OP ^{*2}	ZOK ^{*3}	OP ^{*2}	ZOP ^{*3}
	PTE[3]	V	OP ^{*2}	ZOK ^{*3}	OP ^{*2}	ZOP ^{*3}
	PTJ[4]	H	OP ^{*2}	ZOK ^{*3}	OP ^{*2}	ZOP ^{*3}
	PTJ[5]	H	OP ^{*2}	ZOK ^{*3}	OP ^{*2}	ZOP ^{*3}
アナログ	AN[5:0]/PTL[5:0]	Z	ZI ^{*6}	Z	I	I
	AN[6:7]/DA[1:0]/ PTL[6:7]	Z	ZI ^{*6}	OZ ^{*11}	IO ^{*8}	IO ^{*8}

- I: 入力
O: 出力
H: ハイレベル出力
L: ローレベル出力
Z: ハイインピーダンス
P: レジスタ設定によって I か O になります
K: 入力端子はハイインピーダンス、出力端子は状態の保持
V: 入力/出力バッファオフ、プリアップ MOS オン

- 【注】
- *1 クロックモードに依存します（MD2～MD0 端子の設定）。
 - *2 ポート機能を使うときはKまたはPになります。
 - *3 ポート機能を使うときはKもしくはPになります。ポート機能を使わないときは、レジスタ設定によってZまたはOになります。
 - *4 ポート機能を使うときはKもしくはPになります。ポート機能を使わないときは、レジスタ設定によってIまたはOになります。
 - *5 レジスタの設定に従います。
 - *6 ポート機能を使うときはIまたはOになります。
 - *7 IRQ[5:0]とADTRGの入カシュミットバッファはONとなります。同一端子に兼用されているその他の入力では、入力バッファはOFFとなります。
 - *8 DAに対し出力を許可しているときOになります。それ以外はレジスタ設定によってIになります。
 - *9 スタンバイモード時、レジスタ設定に従ってZもしくはLになります。
 - *10 スタンバイモード時、レジスタ設定に従ってZもしくはHになります。
 - *11 DAに対し出力を許可しているときOになります。それ以外はZとなります。
 - *12 パワーオンリセット時、オープンまたはハイレベルを入力してください。

A.2 端子の仕様

表 A.2 に端子の仕様を示します。

表 A.2 端子の仕様

端子	端子番号 (FP-208C、 FP-208E)	端子番号 (BP-240A)	I/O	機能
MD5	197	C6	I	動作モード端子 (エンディアンモード)
MD4, MD3	196, 195	D6, A7	I	動作モード端子 (エリア 0 バス幅)
MD2~MD0	2, 1, 144	C2, D2, G19	I	動作モード端子 (クロックモード)
$\overline{\text{RAS3L}}/\text{PTJ}[0]$	106	U18	I/O	RAS (シンクロナス DRAM) / I/O ポート
PTJ[1]	107	U19	I/O	I/O ポート
$\overline{\text{CE2A}}/\text{PTE}[4]$	103	V17	I/O	PCMCIA CE2A / I/O ポート
$\overline{\text{CE2B}}/\text{PTE}[5]$	104	V16	I/O	PCMCIA CE2B / I/O ポート
RXD0/SCPT[0]	171	B13	I	シリアルポート 0 データ 入力 / 入力ポート
RXD1/SCPT[2]	172	C13	I	シリアルポート 1 データ 入力 / 入力ポート
RXD2/SCPT[4]	174	B12	I	シリアルポート 2 データ 入力 / 入力ポート
TXD0/SCPT[0]	164	C15	O	シリアルポート 0 データ 出力 / 出力ポート
TXD1/SCPT[2]	166	A14	O	シリアルポート 1 データ 出力 / 出力ポート
TXD2/SCPT[4]	168	C14	O	シリアルポート 2 データ 出力 / 出力ポート
SCK0/SCPT[1]	165	D15	I/O	シリアルポート 0 クロック 入力/出力 / I/O ポート
SCK1/SCPT[3]	167	B14	I/O	シリアルポート 1 クロック 入力/出力 / I/O ポート
SCK2/SCPT[5]	169	D14	I/O	シリアルポート 2 クロック 入力/出力 / I/O ポート
$\overline{\text{RTS2}}/\text{SCPT}[6]$	170	A13	I/O	シリアルポート 2 転送要求 / I/O ポート
STATUS1/PTJ[7]	158	B17	I/O	プロセッサ状態 / I/O ポート
STATUS0/PTJ[6]	157	B16	I/O	プロセッサ状態 / I/O ポート
A25~A0	86, 84, 82, 80, 78~72, 70, 68~60, 58, 56~53	V12, T12, V11, W10, V10, U9, T9, V9, W9, T8, U8, W8, U7, V7, W7, T6, U6, V6, W6, T5, U5, W5, W4, V5, V3, V4	O	アドレスバス
D31~D24/ PTB[7]~PTB[0]	13~18, 20, 22	F4, G1, G2, G3, G4, H1, H3, J1	I/O	データバス / I/O ポート
D23~D16/ PTA[7]~PTA[0]	23~26, 28, 30~32	J2, J4, J3, K2, K1, L2, L1, M4	I/O	データバス / I/O ポート
D15~D0	34, 36~44, 46, 48~52	M2, N4, N3, N2, N1, P4, P3, P2, P1, R4, T4, T3, T1, R2, V2, T2	I/O	データバス
$\overline{\text{MCS}}[7:0]/$ $\overline{\text{PTC}}[7:0]/$ $\overline{\text{PINT}}[7:0]$	177~180, 185~188	B11, D11, C11, B10, D9, B9, A9, D8	I/O	マスク ROM チップセレクト / I/O ポート / ポート 割り込み要求

付録

端子	端子番号 (FP-208C、 FP-208E)	端子番号 (BP-240A)	I/O	機能
WAKEUP/PTD[3]	182	D10	I/O	ウェイクアップ / I/O ポート
RESETOUT/PTD[2]	184	C9	I/O	リセット出力 / I/O ポート
DRAK0/PTD[1]	189	C8	I/O	DMA 制御端子 / I/O ポート
DRAK1/PTD[0]	190	B8	I/O	DMA 制御端子 / I/O ポート
DREQ0/PTD[4]	191	A8	I	DMA 転送要求 0 / 入力ポート
DREQ1/PTD[6]	192	D7	I	DMA 転送要求 1 / 入力ポート
AN[5:0]/PTL[5:0]	204~199	C4, A5, D4, C5, D5, A6	I	アナログ入力端子 / 入力ポート
AN[7:6]/DA[1:0]/ PTL[7:6]	207, 206	B3, B5	I/O	アナログ入力/出力端子 / 入力ポート
CS6/CE1B	102	V15	O	チップセレクト 6 / PCMCIA CE1B
CS5/CE1A/PTK[3]	101	W16	I/O	チップセレクト 5 / PCMCIA CE2B / I/O ポート
CS4/PTK[2]	100	U16	I/O	チップセレクト 4 / I/O ポート
CS3/PTK[1]	99	W15	I/O	チップセレクト 3 / I/O ポート
CS2/PTK[0]	98	T16	I/O	チップセレクト 2 / I/O ポート
CS0/MCS0	96	T15	O	チップセレクト 0 / マスク ROM チップセレクト 0
BS/PTK[4]	87	W12	I/O	バスサイクル開始 / I/O ポート
PTJ[5]	113	R17	I/O	I/O ポート
PTJ[4]	112	U17	I/O	I/O ポート
CASU/PTJ[3]	110	T17	I/O	CAS (シンクロナス DRAM) / I/O ポート
CASL/PTJ[2]	108	R18	I/O	CAS (シンクロナス DRAM) / I/O ポート
DACK0/PTD[5]	114	R16	I/O	DMA 転送ストロープ 0 / I/O ポート
DACK1/PTD[7]	115	P19	I/O	DMA 転送ストロープ 1 / I/O ポート
RD	88	T13	O	リードストロープ端子
WE0/DQMLL	89	U13	O	D7-D0 選択信号 / DQM(SDRAM)
WE1/DQMLU/WE	90	V13	O	D15-D8 選択信号 / DQM(SDRAM) / PCMCIA WE 信号
WE2/DQMUL/ ICIOR/PTK[6]	91	W13	I/O	D23-D16 選択信号 / DQM(SDRAM) / PCMCIA IORD 信号 / I/O ポート
WE3/DQMUU /ICOWR/PTK[7]	92	T14	I/O	D31-D24 選択信号 / DQM(SDRAM) / PCMCIA IOWR 信号 / I/O ポート
RD/WR	93	U14	O	リード/ライト選択端子
AUDSYNC/PTE[7]	94	V14	I/O	AUD 同期 I/O ポート
PTE[6]	116	P18	I/O	I/O ポート
PTE[3]	117	P17	I/O	I/O ポート
RAS3U/PTE[2]	118	P16	I/O	RAS (シンクロナス DRAM) I/O ポート
PTE[1]	119	N19	I/O	I/O ポート

端子	端子番号 (FP-208C、 FP-208E)	端子番号 (BP-240A)	I/O	機能
TDO/PTE[0]	120	N18	I/O	テストデータ出力 I/O ポート
RESETM	124	M18	I	マニュアルリセット入力
ADTRG/PTH[5]	125	M17	I	ADC トリガ要求 / 入力ポート
$\overline{\text{IOIS16}}$ /PTG[7]	126	M16	I	PC カード用 I/O / 入力ポート
ASEMD0/PTG[6]	127	L19	I	ASE モード / 入力ポート
ASEBRKAK/PTG[5]	128	L18	I	ASE ブレーク受け付け / 入力ポート
CKIO2/PTG[4]	129	L16	I/O	システムクロック出力 / 入力ポート
AUDATA[3]/PTG[3]	130	L17	I	AUD データ / 入力ポート
AUDATA[2]/PTG[2]	131	K18	I	AUD データ / 入力ポート
AUDATA[1]/PTG[1]	133	K19	I	AUD データ / 入力ポート
AUDATA[0]/PTG[0]	135	J18	I	AUD データ / 入力ポート
$\overline{\text{TRST}}$ /PTF[7]/PINT[15]	136	J19	I	テストリセット / 入力ポート / ポート割り込み要求
TMS/PTF[6]/PINT[14]	137	H16	I	テストモード切り替え / 入力ポート / ポート割り込み要求
TDI/PTF[5]/PINT[13]	138	H17	I	テストデータ入力 / 入力ポート / ポート割り込み要求
TCK/PTF[4]/PINT[12]	139	H18	I	テストクロック / 入力ポート / ポート割り込み要求
$\overline{\text{IRLS}}$ [3:0]/PTF[3:0]/ PINT[11:8]	140~143	H19, G16, G17, G18	I	外部割り込み要求 / 入力ポート / ポート割り込み要求
AUDCK/PTH[6]	151	D16	I	AUD クロック / 入力ポート
$\overline{\text{WAIT}}$	123	M19	I	ハードウェアウェイト要求
$\overline{\text{BREQ}}$	122	N16	I	バス要求
$\overline{\text{BACK}}$	121	N17	O	バスアクノリッジ
$\overline{\text{IRQOUT}}$	160	A16	O	割り込み / リフレッシュ要求出力
RESETP	193	C7	I	パワーオンリセット入力
NMI	7	C3	I	ノンマスクابل割り込み入力
IRQ[3:0]/ $\overline{\text{IRL}}$ [3:0]/ PTH[3:0]	11~8	F2, F1, E4, E3	I	外部割り込み要求/外部割り込みソース/入力ポート
IRQ4/ PTH[4]	12	F3	I	外部割り込み要求/入力ポート
CTS2/IRQ5/SCPT[7]	176	A11	I	シリアルポート 2 転送可能/外部割り込み要求/入力ポート
TCLK/PTH[7]	159	B15	I/O	クロック入出力 (TMU/RTC) / I/O ポート
EXTAL	156	D18	I	外部クロック/水晶発振子端子
XTAL	155	C18	O	水晶発振子端子
CAP1	146	F17	—	外部容量端子 (PLL1)
CAP2	149	E16	—	外部容量端子 (PLL2)
CKIO	162	A15	I/O	システムクロック入出力

付録

端子	端子番号 (FP-208C、 FP-208E)	端子番号 (BP-240A)	I/O	機能
XTAL2	4	D1	O	水晶発振子端子 (RTC)
EXTAL2	5	D3	I	水晶発振子端子 (RTC)
CKE/PTK[5]	105	T18	I/O	SDRAM 用 CK イネーブル I/O ポート
CA	194	B7	I	ハードウェアスタンバイ設定端子
V _{CC} Q	21, 35, 47, 59, 71, 85, 97, 111, 163, 183	H4, M1, R1, U3, V8, U15, R19, C17, A10, U12	Power supply	I/O 電源 (3.3 V)
V _{CC} -RTC	3	E2	Power supply	RTC 発振子電源 (2.0/1.9/1.8/1.7 V)
V _{CC} -PLL1 V _{CC} -PLL2	145 150	F16 E17	Power supply	PLL 電源 (2.0/1.9/1.8/1.7 V)
AV _{CC}	205	A4	Power supply	アナログ電源 (3.3 V)
V _{SS} Q	19, 33, 45, 57, 69, 83, 95, 109, 161, 181	H2, M3, R3, T7, U4, W11, W14, T19, C16, C10	Power supply	I/O 電源 (0 V)
V _{CC}	29, 81, 134, 154, 175	L3, L4, U11, T11, J17, J16, E18, C19, C12, D12	Power supply	内部電源 (2.0/1.9/1.8/1.7 V)
V _{SS}	27, 79, 132, 152, 153, 173	K3, K4, U10, T10, K17, K16, E19, D17, D19, A12, D13	Power supply	内部電源 (0V)
V _{SS} -RTC	6	E1	Power supply	RTC 発振子電源 (0 V)
V _{SS} -PLL1 V _{SS} -PLL2	147 148	F18 F19	Power supply	PLL 電源 (0 V)
AV _{SS}	198, 208	B6, B4	Power supply	アナログ電源 (0 V)

【注】 ハードウェアスタンバイモード以外ではすべての電源端子に給電してください。ハードウェアスタンバイモードでは少なくとも V_{CC}-RTC、V_{SS}-RTC に給電してください。

A.3 未使用端子の処理

- RTCを使用しない場合
EXTAL2:プルアップ (2.0/1.9/1.8/1.7 V)
XTAL2:何も接続しない
V_{CC}-RTC:電源 (2.0/1.9/1.8/1.7)
V_{SS}-RTC:電源 (0 V)
- PLL2を使用しない場合
CAP2:何も接続しない
V_{CC}-PLL2:電源 (2.0/1.9/1.8/1.7)
V_{SS}-PLL2:電源 (0 V)
- 内蔵水晶発振子を使用しない場合
XTAL:何も接続しない
- EXTALを使用しない場合
EXTAL:プルアップ (3.3 V)
- A/D変換器を使用しない場合
AN[7:0]:何も接続しない
AV_{CC}:電源 (3.3 V)
AV_{SS}:電源 (0 V)
- H-UDIを使用しない場合
ASEMD0:プルアップ (3.3 V)
- ハードウェアスタンバイを使用しない場合
CA:プルアップ (3.3 V)

A.4 各アドレス空間へのアクセスにおける端子状態

表 A.3 端子状態 (通常メモリ/リトルエンディアン)

端子		8ビットバス幅		16ビットバス幅	
		バイト/ワード/ロング ワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n+1)	ワード/ロング ワードアクセス
CS6~CS2, CS0		有効	有効	有効	有効
RD	R	Low	Low	Low	Low
	W	High	High	High	High
RD/WR	R	High	High	High	High
	W	Low	Low	Low	Low
BS		有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High
RAS-3L/PTJ[0]		High	High	High	High
CASL/PTJ[2]		High	High	High	High
CASU/PTJ[3]		High	High	High	High
WE0/DQMLL	R	High	High	High	High
	W	Low	Low	High	Low
WE1/DQMLU/WE	R	High	High	High	High
	W	High	High	Low	Low
WE2/DQMUL /ICIOR \bar{D} /PTK[6]	R	High	High	High	High
	W	High	High	High	High
WE3/DQMUU /ICIOR \bar{W} /PTK[7]	R	High	High	High	High
	W	High	High	High	High
CE2A/PTE[4]		High	High	High	High
CE2B/PTE[5]		High	High	High	High
CKE /PTK[5]		無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
IOIS16/PTG[7]		無効	無効	無効	無効
A25~A0		アドレス	アドレス	アドレス	アドレス
D7~D0		有効データ	有効データ	無効データ	有効データ
D15~D8		High-Z ^{*2}	無効データ	有効データ	有効データ
D31~D16		High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}

端子	32ビットバス幅							
		バイトアクセス(アドレス 4n)	バイトアクセス(アドレス 4n+1)	バイトアクセス(アドレス 4n+2)	バイトアクセス(アドレス 4n+3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n+2)	ロングワードアクセス
$\overline{CS6} \sim \overline{CS2}, \overline{CS0}$		有効	有効	有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low	Low	Low
	W	High	High	High	High	High	High	High
RD/ \overline{WR}	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low
\overline{BS}		有効	有効	有効	有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High	High	High	High
RAS3L/PTJ[0]		High	High	High	High	High	High	High
CASL/PTJ[2]		High	High	High	High	High	High	High
CASU/PTJ[3]		High	High	High	High	High	High	High
$\overline{WE0}/DQMLL$	R	High	High	High	High	High	High	High
	W	Low	High	High	High	Low	High	Low
$\overline{WE1}/DQMLU/\overline{WE}$	R	High	High	High	High	High	High	High
	W	High	Low	High	High	Low	High	Low
$\overline{WE2}/DQMUL/\overline{CIORD}/PTK[6]$	R	High	High	High	High	High	High	High
	W	High	High	Low	High	High	Low	Low
$\overline{WE3}/DQMUU/\overline{CIOWR}/PTK[7]$	R	High	High	High	High	High	High	High
	W	High	High	High	Low	High	Low	Low
$\overline{CE2A}/PTE[4]$		High	High	High	High	High	High	High
$\overline{CE2B}/PTE[5]$		High	High	High	High	High	High	High
CKE/PTK[5]		無効	無効	無効	無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
$\overline{IOIS16}/PTG[7]$		無効	無効	無効	無効	無効	無効	無効
A25~A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7~D0		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D15~D8		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D23~D16		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31~D24		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ

【注】 *1 WCR2レジスタのウェイト設定が0のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

表 A.4 端子状態 (通常メモリ/ビッグエンディアン)

端子		8ビットバス幅	16ビットバス幅		
		バイト/ワード/ロング ワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロング ワードアクセス
CS6~CS2, CS0		有効	有効	有効	有効
RD	R	Low	Low	Low	Low
	W	High	High	High	High
RD/WR	R	High	High	High	High
	W	Low	Low	Low	Low
BS		有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High
RAS3L/PTJ[0]		High	High	High	High
CASL/PTJ[2]		High	High	High	High
CASU/PTJ[3]		High	High	High	High
WE0/DQMLL	R	High	High	High	High
	W	Low	High	Low	Low
WE1/DQMLU/WE	R	High	High	High	High
	W	High	Low	High	Low
WE2/DQMUL/ CIORD /PTK[6]	R	High	High	High	High
	W	High	High	High	High
WE3/DQMUU/ CIOWR /PTK[7]	R	High	High	High	High
	W	High	High	High	High
CE2A/PTE[4]		High	High	High	High
CE2B/PTE[5]		High	High	High	High
CKE/PTK[5]		無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
IOIS16/PTG[7]		無効	無効	無効	無効
A25~A0		アドレス	アドレス	アドレス	アドレス
D7~D0		有効データ	無効データ	有効データ	有効データ
D15~D8		High-Z ^{*2}	有効データ	無効データ	有効データ
D31~D16		High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}

端子	32 ビットバス幅							
		バイトアク セス (アド レス 4n)	バイトアク セス(アドレ ス 4n+1)	バイトアク セス(アドレ ス 4n+2)	バイトアク セス(アドレ ス 4n+3)	ワードアク セス(アド レス 4n)	ワードアク セス(アドレ ス 4n+2)	ロングワー ドアクセス
CS6~CS2, CS0		有効	有効	有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low	Low	Low
	W	High	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low
BS		有効	有効	有効	有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High	High	High	High
RAS3L/PTJ[0]		High	High	High	High	High	High	High
CASL/PTJ[2]		High	High	High	High	High	High	High
CASU/PTJ[3]		High	High	High	High	High	High	High
WE0/DQMLL	R	High	High	High	High	High	High	High
	W	High	High	High	Low	High	Low	Low
WE1/DQMLU/WE	R	High	High	High	High	High	High	High
	W	High	High	Low	High	High	Low	Low
WE2/DQMUL/ ICIOR \bar{D} /PTK[6]	R	High	High	High	High	High	High	High
	W	High	Low	High	High	Low	High	Low
WE3/DQMUU/ ICIOR \bar{W} /PTK[7]	R	High	High	High	High	High	High	High
	W	Low	High	High	High	Low	High	Low
CE2A/PTE[4]		High	High	High	High	High	High	High
CE2B/PTE[5]		High	High	High	High	High	High	High
CKE/PTK[5]		無効	無効	無効	無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
IOIS16/PTG[7]		無効	無効	無効	無効	無効	無効	無効
A25~A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7~D0		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ
D15~D8		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D23~D16		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D31~D24		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ

【注】 *1 WCR2 レジスタのウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

表 A.5 端子状態 (バースト ROM/リトルエンディアン)

端子		8 ビットバス幅	16 ビットバス幅		
		バイト/ワード/ロング ワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワード アクセス
$\overline{CS6} \sim \overline{CS2}, \overline{CS0}$		有効	有効	有効	有効
RD	R	Low	Low	Low	Low
	W	—	—	—	—
$\overline{RD}/\overline{WR}$	R	High	High	High	High
	W	—	—	—	—
\overline{BS}		有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High
$\overline{RAS3L}/PTJ[0]$		High	High	High	High
CASL/PTJ[2]		High	High	High	High
$\overline{CASU}/PTJ[3]$		High	High	High	High
$\overline{WE0}/DQMLL$	R	High	High	High	High
	W	—	—	—	—
$\overline{WE1}/DQMLU/\overline{WE}$	R	High	High	High	High
	W	—	—	—	—
$\overline{WE2}/DQMUL/\overline{ICIORD}/PTK[6]$	R	High	High	High	High
	W	—	—	—	—
$\overline{WE3}/DQMUU/\overline{CIOWR}/PTK[7]$	R	High	High	High	High
	W	—	—	—	—
$\overline{CE2A}/PTE[4]$		High	High	High	High
$\overline{CE2B}/PTE[5]$		High	High	High	High
CKE/PTK[5]		無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
$\overline{IOIS16}/PTG[7]$		無効	無効	無効	無効
A25~A0		アドレス	アドレス	アドレス	アドレス
D7~D0		有効データ	有効データ	無効データ	有効データ
D15~D8		High-Z ^{*2}	無効データ	有効データ	有効データ
D31~D16		High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}

端子		32 ビットバス幅						
		バイトアクセス (アドレス 4n)	バイトアクセス(アドレス 4n + 1)	バイトアクセス(アドレス 4n + 2)	バイトアクセス(アドレス 4n + 3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n + 2)	ロングワードアクセス
$\overline{CS6} \sim \overline{CS2}, \overline{CS0}$		有効	有効	有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low	Low	Low
	W	—	—	—	—	—	—	—
RD/ \overline{WR}	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
\overline{BS}		有効	有効	有効	有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High	High	High	High
$\overline{RAS3L}$ /PTJ[0]		High	High	High	High	High	High	High
CASL/PTJ[2]		High	High	High	High	High	High	High
\overline{CASU} /PTJ[3]		High	High	High	High	High	High	High
$\overline{WE0}$ /DQMLL	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
$\overline{WE1}$ /DQMLU/ \overline{WE}	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
WE2/DQMUL/ \overline{ICIORD} /PTK[6]	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
WE3/DQMUU/ \overline{ICIOWR} /PTK[7]	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
CE2A/PTE[4]		High	High	High	High	High	High	High
CE2B/PTE[5]		High	High	High	High	High	High	High
CKE/PTK[5]		無効	無効	無効	無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
$\overline{IOIS16}$ /PTG[7]		無効	無効	無効	無効	無効	無効	無効
A25~A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7~D0		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D15~D8		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D31~D16		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31~D24		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ

【注】 *1 WCR2 レジスタのウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

表 A.6 端子状態 (バースト ROM/ビッグエンディアン)

端子		8 ビットバス幅	16 ビットバス幅		
		バイト/ワード/ロング ワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワー ドアクセス
$\overline{CS6} \sim \overline{CS2}, \overline{CS0}$		有効	有効	有効	有効
RD	R	Low	Low	Low	Low
	W	—	—	—	—
RD/ \overline{WR}	R	High	High	High	High
	W	—	—	—	—
\overline{BS}		有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High
RAS3L/PTJ[0]		High	High	High	High
CASL/PTJ[2]		High	High	High	High
CASU/PTJ[3]		High	High	High	High
$\overline{WE0}/\overline{DQMLL}$	R	High	High	High	High
	W	—	—	—	—
$\overline{WE1}/\overline{DQMLU}/\overline{WE}$	R	High	High	High	High
	W	—	—	—	—
$\overline{WE2}/\overline{DQMUL}/$ $\overline{ICIORD}/PTK[6]$	R	High	High	High	High
	W	—	—	—	—
$\overline{WE3}/\overline{DQMUU}/$ $\overline{ICIOWR}/PTK[7]$	R	High	High	High	High
	W	—	—	—	—
$\overline{CE2A}/PTE[4]$		High	High	High	High
$\overline{CE2B}/PTE[5]$		High	High	High	High
CKE/PTK[5]		無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
$\overline{IOIS16}/PTG[7]$		無効	無効	無効	無効
A25~A0		アドレス	アドレス	アドレス	アドレス
D7~D0		有効データ	無効データ	有効データ	有効データ
D15~D8		High-Z ^{*2}	有効データ	無効データ	有効データ
D31~D16		High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}

端子	32 ビットバス幅							
		バイトアクセス(アドレス 4n)	バイトアクセス(アドレス 4n + 1)	バイトアクセス(アドレス 4n + 2)	バイトアクセス(アドレス 4n + 3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n + 2)	ロングワードアクセス
$\overline{CS6} \sim \overline{CS2}, \overline{CS0}$		有効	有効	有効	有効	有効	有効	有効
RD	R	Low	Low	Low	Low	Low	Low	Low
	W	—	—	—	—	—	—	—
RD/ \overline{WR}	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
\overline{BS}		有効	有効	有効	有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High	High	High	High
RAS3L/PTJ[0]		High	High	High	High	High	High	High
CASL/PTJ[2]		High	High	High	High	High	High	High
CASU/PTJ[3]		High	High	High	High	High	High	High
$\overline{WE0}/\overline{DQMLL}$	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
$\overline{WE1}/\overline{DQMLU}/\overline{WE}$	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
$\overline{WE2}/\overline{DQMUL}/\overline{ICIOR\overline{D}}/PTK[6]$	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
$\overline{WE3}/\overline{DQMUU}/\overline{ICIOR\overline{W}}/PTK[7]$	R	High	High	High	High	High	High	High
	W	—	—	—	—	—	—	—
$\overline{CE2A}/PTE[4]$		High	High	High	High	High	High	High
$\overline{CE2B}/PTE[5]$		High	High	High	High	High	High	High
CKE/PTK[5]		無効	無効	無効	無効	無効	無効	無効
WAIT		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
$\overline{IOIS16}/PTG[7]$		無効	無効	無効	無効	無効	無効	無効
A25~A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7~D0		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ
D15~D8		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31~D16		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D31~D24		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ

【注】 *1 WCR2 レジスタのウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

表 A.7 端子状態 (シンクロナス DRAM/リトルエンディアン)

端子		32 ビットバス幅						
		バイトアクセス (アドレス 4n)	バイトアクセス(アドレス 4n + 1)	バイトアクセス(アドレス 4n + 2)	バイトアクセス(アドレス 4n + 3)	ワードアクセス(アドレス 4n)	ワードアクセス(アドレス 4n + 2)	ロングワードアクセス
CS6~CS2, CS0		有効	有効	有効	有効	有効	有効	有効
RD	R	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low
BS		有効	有効	有効	有効	有効	有効	有効
RAS3U/PTE[2]		有効	有効	有効	有効	有効	有効	有効
RAS3L/PTJ[0]		有効	有効	有効	有効	有効	有効	有効
CASL/PTJ[2]		有効	有効	有効	有効	有効	有効	有効
CASU/PTJ[3]		有効	有効	有効	有効	有効	有効	有効
WE0/DQMLL	R	Low	High	High	High	Low	High	Low
	W	Low	High	High	High	Low	High	Low
WE1/DQMLU/WE	R	High	Low	High	High	Low	High	Low
	W	High	Low	High	High	Low	High	Low
WE2/DQMUL/ ICIOR _D /PTK[6]	R	High	High	Low	High	High	Low	Low
	W	High	High	Low	High	High	Low	Low
WE3/DQMUU/ ICIOR _W /PTK[7]	R	High	High	High	Low	High	Low	Low
	W	High	High	High	Low	High	Low	Low
CE2A/PTE[4]		High	High	High	High	High	High	High
CE2B/PTE[5]		High	High	High	High	High	High	High
CKE/PTK[5]		High*	High*	High*	High*	High*	High*	High*
WAIT		無効	無効	無効	無効	無効	無効	無効
IOIS16/PTG[7]		無効	無効	無効	無効	無効	無効	無効
A25~A0		アドレスコマンド	アドレスコマンド	アドレスコマンド	アドレスコマンド	アドレスコマンド	アドレスコマンド	アドレスコマンド
D7~D0		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D15~D8		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D31~D16		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31~D24		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ

【注】 * 通常は High、セルフリフレッシュ時は Low

表 A.8 端子状態 (シンクロナス DRAM/ビッグエンディアン)

端子		32 ビットバス幅						
		バイトアクセス(アドレス 4n)	バイトアクセス(アドレス 4n+1)	バイトアクセス(アドレス 4n+2)	バイトアクセス(アドレス 4n+3)	ワードアクセス (アドレス 4n)	ワードアクセス(アドレス 4n+2)	ロングワードアクセス
CS6~CS2, CS0		有効	有効	有効	有効	有効	有効	有効
RD	R	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High
RD/WR	R	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low
BS		有効	有効	有効	有効	有効	有効	有効
RAS3U/PTE[2]		有効	有効	有効	有効	有効	有効	有効
RAS3L/PTJ[0]		有効	有効	有効	有効	有効	有効	有効
CASL/PTJ[2]		有効	有効	有効	有効	有効	有効	有効
CASU/PTJ[3]		有効	有効	有効	有効	有効	有効	有効
WE0/DQMLL	R	High	High	High	Low	High	Low	Low
	W	High	High	High	Low	High	Low	Low
WE1/DQMLU/WE	R	High	High	Low	High	High	Low	Low
	W	High	High	Low	High	High	Low	Low
WE2/DQMUL/ ICIOR \bar{D} /PTK[6]	R	High	Low	High	High	Low	High	Low
	W	High	Low	High	High	Low	High	Low
WE3/DQMUU/ ICIOR \bar{W} /PTK[7]	R	Low	High	High	High	Low	High	Low
	W	Low	High	High	High	Low	High	Low
CE2A/PTE[4]		High	High	High	High	High	High	High
CE2B/PTE[5]		High	High	High	High	High	High	High
CKE/PTK[5]		High*	High*	High*	High*	High*	High*	High*
WAIT		無効	無効	無効	無効	無効	無効	無効
IOIS16/PTG[7]		無効	無効	無効	無効	無効	無効	無効
A25~A0		アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド	アドレス コマンド
D7~D0		無効データ	無効データ	無効データ	有効データ	無効データ	有効データ	有効データ
D15~D8		無効データ	無効データ	有効データ	無効データ	無効データ	有効データ	有効データ
D31~D16		無効データ	有効データ	無効データ	無効データ	有効データ	無効データ	有効データ
D31~D24		有効データ	無効データ	無効データ	無効データ	有効データ	無効データ	有効データ

【注】 * 通常は High、セルフリフレッシュ時は Low

表 A.9 端子状態 (PCMCIA/リトルエンディアン)

端子	PCMCIA メモリインタフェース (エリア 5)					PCMCIA/IO インタフェース (エリア 5)			
		8 ビット バス幅	16 ビットバス幅			8 ビット バス幅	16 ビットバス幅		
		バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス	バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス
CS6~CS2, CS0		有効	有効	High	有効	有効	有効	High	有効
RD	R	Low	Low	Low	Low	High	High	High	High
	W	High	High	High	High	High	High	High	High
RD/ \overline{WR}	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low	Low
BS		有効	有効	有効	有効	有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High	High	High	High	High
RAS3L/PTJ[0]		High	High	High	High	High	High	High	High
CASL/PTJ[2]		High	High	High	High	High	High	High	High
CASU/PTJ[3]		High	High	High	High	High	High	High	High
$\overline{WE0}$ /DQMLL	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High	High
WE1/DQMLU/ \overline{WE}	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	High	High	High	High
$\overline{WE2}$ /DQMUL/ \overline{CIORD} /PTK[6]	R	High	High	High	High	Low	Low	Low	Low
	W	High	High	High	High	High	High	High	High
$\overline{WE3}$ /DQMUU/ \overline{CIOWR} /PTK[7]	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	Low	Low	Low	Low
$\overline{CE2A}$ /PTE[4]		High	High	Low	Low	High	High	Low	Low
$\overline{CE2B}$ /PTE[5]		High	High	High	High	High	High	High	High
CKE/PTK[5]		無効	無効	無効	無効	無効	無効	無効	無効
\overline{WAIT}		有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹	有効* ¹
IOIS16/PTG[7]		無効	無効	無効	無効	無効	無効	有効	有効
A25~A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7~D0		有効データ	有効データ	無効データ	有効データ	有効データ	有効データ	無効データ	有効データ
D15~D8		High-Z* ²	無効データ	有効データ	有効データ	High-Z* ²	無効データ	有効データ	有効データ
D31~D16		High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²	High-Z* ²

端子	PCMCIA メモリインタフェース (エリア 6)					PCMCIA/IO インタフェース (エリア 6)			
		8 ビット バス幅	16 ビットバス幅			8 ビット バス幅	16 ビットバス幅		
		バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス	バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス
$\overline{CS6} \sim \overline{CS2}, \overline{CS0}$		有効	有効	High	有効	有効	有効	High	有効
RD	R	Low	Low	Low	Low	High	High	High	High
	W	High	High	High	High	High	High	High	High
RD/ \overline{WR}	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low	Low
\overline{BS}		有効	有効	有効	有効	有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High	High	High	High	High
RAS3L/PTJ[0]		High	High	High	High	High	High	High	High
\overline{CASL} /PTJ[2]		High	High	High	High	High	High	High	High
CASU/PTJ[3]		High	High	High	High	High	High	High	High
$\overline{WE0}$ /DQMLL	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High	High
$\overline{WE1}$ /DQMLU/ \overline{WE}	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	High	High	High	High
$\overline{WE2}$ /DQMUL/ \overline{CIORD} /PTK[6]	R	High	High	High	High	Low	Low	Low	Low
	W	High	High	High	High	High	High	High	High
$\overline{WE3}$ /DQMUU/ \overline{CIOWR} /PTK[7]	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	Low	Low	Low	Low
$\overline{CE2A}$ /PTE[4]		High	High	High	High	High	High	High	High
$\overline{CE2B}$ /PTE[5]		High	High	Low	Low	High	High	Low	Low
CKE/PTK[5]		無効	無効	無効	無効	無効	無効	無効	無効
\overline{WAIT}		有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1
$\overline{IOIS16}$ /PTG[7]		無効	無効	無効	無効	無効	無効	有効	有効
A25~A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7~D0		有効データ	有効データ	無効データ	有効データ	有効データ	有効データ	無効データ	有効データ
D15~D8		High-Z*2	無効データ	有効データ	有効データ	High-Z*2	無効データ	有効データ	有効データ
D31~D16		High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2

【注】 *1 WCR2 レジスタのウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

表 A.10 端子状態 (PCMCIA/ビッグエンディアン)

端子	PCMCIA メモリインタフェース (エリア 5)					PCMCIA/IO インタフェース (エリア 5)			
		8 ビット バス幅	16 ビットバス幅			8 ビット バス幅	16 ビットバス幅		
		バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス	バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス
CS6~CS2, CS0		有効	有効	High	有効	有効	有効	High	有効
RD	R	Low	Low	Low	Low	High	High	High	High
	W	High	High	High	High	High	High	High	High
RD/ \overline{WR}	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low	Low
BS		有効	有効	有効	有効	有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High	High	High	High	High
RAS3L/PTJ[0]		High	High	High	High	High	High	High	High
CASL/PTJ[2]		High	High	High	High	High	High	High	High
CASU/PTJ[3]		High	High	High	High	High	High	High	High
$\overline{WE0}/DQMLL$	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High	High
WE1/DQMLU/ \overline{WE}	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	High	High	High	High
$\overline{WE2}/DQMUL/I\overline{CI}ORD /PTK[6]$	R	High	High	High	High	Low	Low	Low	Low
	W	High	High	High	High	High	High	High	High
$\overline{WE3}/DQMUU/I\overline{CI}OWR /PTK[7]$	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	Low	Low	Low	Low
$\overline{CE2A}/PTE[4]$		High	High	Low	Low	High	High	Low	Low
$\overline{CE2B}/PTE[5]$		High	High	High	High	High	High	High	High
CKE/PTK[5]		無効	無効	無効	無効	無効	無効	無効	無効
\overline{WAIT}		有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}	有効 ^{*1}
I\overline{OIS}16/PTG[7]		無効	無効	無効	無効	無効	無効	有効	有効
A25~A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7~D0		有効データ	無効データ	有効データ	有効データ	有効データ	無効データ	有効データ	有効データ
D15~D8		High-Z ^{*2}	有効データ	無効データ	有効データ	High-Z ^{*2}	有効データ	無効データ	有効データ
D31~D16		High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}	High-Z ^{*2}

端子	PCMCIA メモリインタフェース (エリア 6)					PCMCIA/IO インタフェース (エリア 6)			
	8 ビット バス幅	16 ビットバス幅			8 ビット バス幅	16 ビットバス幅			
		バイト/ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)		ワード/ロングワードアクセス	バイトアクセス (アドレス 2n)	バイトアクセス (アドレス 2n + 1)	ワード/ロングワードアクセス
$\overline{CS6} \sim \overline{CS2}, \overline{CS0}$		有効	有効	High	有効	有効	High	有効	
RD	R	Low	Low	Low	Low	High	High	High	High
	W	High	High	High	High	High	High	High	High
RD/ \overline{WR}	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	Low	Low	Low	Low
\overline{BS}		有効	有効	有効	有効	有効	有効	有効	有効
RAS3U/PTE[2]		High	High	High	High	High	High	High	High
RAS3L/PTJ[0]		High	High	High	High	High	High	High	High
\overline{CASL} /PTJ[2]		High	High	High	High	High	High	High	High
CASU/PTJ[3]		High	High	High	High	High	High	High	High
$\overline{WE0}$ /DQMLL	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	High	High	High	High
$\overline{WE1}$ /DQMLU/ \overline{WE}	R	High	High	High	High	High	High	High	High
	W	Low	Low	Low	Low	High	High	High	High
$\overline{WE2}$ /DQMUL/ $\overline{ICIOR0}$ /PTK[6]	R	High	High	High	High	Low	Low	Low	Low
	W	High	High	High	High	High	High	High	High
$\overline{WE3}$ /DQMUU/ $\overline{ICIOR1}$ /PTK[7]	R	High	High	High	High	High	High	High	High
	W	High	High	High	High	Low	Low	Low	Low
$\overline{CE2A}$ /PTE[4]		High	High	High	High	High	High	High	High
$\overline{CE2B}$ /PTE[5]		High	High	Low	Low	High	High	Low	Low
CKE/PTK[5]		無効	無効	無効	無効	無効	無効	無効	無効
\overline{WAIT}		有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1	有効*1
$\overline{IOIS16}$ /PTG[7]		無効	無効	無効	無効	無効	無効	有効	有効
A25~A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7~D0		有効データ	無効データ	有効データ	有効データ	有効データ	無効データ	有効データ	有効データ
D15~D8		High-Z*2	有効データ	無効データ	有効データ	High-Z*2	有効データ	無効データ	有効データ
D31~D16		High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2	High-Z*2

【注】 *1 WCR2 レジスタのウェイト設定が 0 のとき、無効になります。

*2 未使用端子はポート機能、プルアップに切り替えられます。

B. 制御レジスタ

B.1 レジスタアドレスマップ

表 B.1 メモリ割り付け制御レジスタアドレスマップ

レジスタ名	モジュール* ¹	バス * ²	アドレス* ⁴	サイズ (ビット)	アクセスサイズ (ビット) * ³
PTEH	CCN	L	FFFFFFF0	32	32
PTL	CCN	L	FFFFFFF4	32	32
TTB	CCN	L	FFFFFFF8	32	32
TEA	CCN	L	FFFFFFFC	32	32
MMUCR	CCN	L	FFFFFFE0	32	32
BASRA	CCN	L	FFFFFFE4	32	32
BASRB	CCN	L	FFFFFFE8	32	32
CCR	CCN	L	FFFFFFEC	32	32
CCR2	CCN	I	40000B0	32	32
TRA	CCN	L	FFFFFFD0	32	32
EXPEVT	CCN	L	FFFFFFD4	32	32
INTEVT	CCN	L	FFFFFFD8	32	32
BARA	UBC	L	FFFFFFB0	32	32
BAMRA	UBC	L	FFFFFFB4	8	8
BBRA	UBC	L	FFFFFFB8	16	16
BARB	UBC	L	FFFFFFA0	32	32
BAMRB	UBC	L	FFFFFFA4	8	8
BBRB	UBC	L	FFFFFFA8	16	16
BDRB	UBC	L	FFFFFF90	32	32
BDMRB	UBC	L	FFFFFF94	32	32
BRCR	UBC	L	FFFFFF98	16	16
BETR	UBC	L	FFFFFF9C	16	16
BRSR	UBC	L	FFFFFFAC	32	32
BRDR	UBC	L	FFFFFFBC	32	32
FRQCR	CPG	I	FFFFFF80	16	16
STBCR	CPG	I	FFFFFF82	8	8
STBCR2	CPG	I	FFFFFF88	8	8
WTCNT	CPG	I	FFFFFF84	8	16
WTCSR	CPG	I	FFFFFF86	8	16
BCR1	BSC	I	FFFFFF60	16	16
BCR2	BSC	I	FFFFFF62	16	16
WCR1	BSC	I	FFFFFF64	16	16

レジスタ名	モジュール*1	バス *2	アドレス*4	サイズ (ビット)	アクセスサイズ (ビット) *3
WCR2	BSC	I	FFFFFF66	16	16
MCR	BSC	I	FFFFFF68	16	16
PCR	BSC	I	FFFFFF6C	16	16
RTCSR	BSC	I	FFFFFF6E	16	16
RTCNT	BSC	I	FFFFFF70	16	16
RTCOR	BSC	I	FFFFFF72	16	16
RFCR	BSC	I	FFFFFF74	16	16
SDMR	BSC	I	FFFFD000 – FFFFFFF	—	8
MCSCR0	BSC	I	FFFFFF50	16	16
MCSCR1	BSC	I	FFFFFF52	16	16
MCSCR2	BSC	I	FFFFFF54	16	16
MCSCR3	BSC	I	FFFFFF56	16	16
MCSCR4	BSC	I	FFFFFF58	16	16
MCSCR5	BSC	I	FFFFFF5A	16	16
MCSCR6	BSC	I	FFFFFF5C	16	16
MCSCR7	BSC	I	FFFFFF5E	16	16
R64CNT	RTC	P	FFFFFEC0	8	8
RSECCNT	RTC	P	FFFFFEC2	8	8
RMINCNT	RTC	P	FFFFFEC4	8	8
RHRCNT	RTC	P	FFFFFEC6	8	8
RWKCNT	RTC	P	FFFFFEC8	8	8
RDAYCNT	RTC	P	FFFFFECA	8	8
RMONCNT	RTC	P	FFFFFECC	8	8
RYRCNT	RTC	P	FFFFFECE	8	8
RSECAR	RTC	P	FFFFFED0	8	8
RMINAR	RTC	P	FFFFFED2	8	8
RHRAR	RTC	P	FFFFFED4	8	8
RWKAR	RTC	P	FFFFFED6	8	8
RDAYAR	RTC	P	FFFFFED8	8	8
RMONAR	RTC	P	FFFFFEDA	8	8
RCR1	RTC	P	FFFFFEDC	8	8
RCR2	RTC	P	FFFFFEDE	8	8
ICR0	INTC	I	FFFFFEE0	16	16
IPRA	INTC	I	FFFFFEE2	16	16
IPRB	INTC	I	FFFFFEE4	16	16

レジスタ名	モジュール* ¹	バス * ²	アドレス* ⁴	サイズ (ビット)	アクセスサイズ (ビット) * ³
TOCR	TMU	P	FFFFFFE90	8	8
TSTR	TMU	P	FFFFFFE92	8	8
TCOR0	TMU	P	FFFFFFE94	32	32
TCNT0	TMU	P	FFFFFFE98	32	32
TCR0	TMU	P	FFFFFFE9C	16	16
TCOR1	TMU	P	FFFFFFEA0	32	32
TCNT1	TMU	P	FFFFFFEA4	32	32
TCR1	TMU	P	FFFFFFEA8	16	16
TCOR2	TMU	P	FFFFFFEAC	32	32
TCNT2	TMU	P	FFFFFFEB0	32	32
TCR2	TMU	P	FFFFFFEB4	16	16
TCPR2	TMU	P	FFFFFFEB8	32	32
SCSMR	SCI	P	FFFFFFE80	8	8
SCBRR	SCI	P	FFFFFFE82	8	8
SCSCR	SCI	P	FFFFFFE84	8	8
SCTDR	SCI	P	FFFFFFE86	8	8
SCSSR	SCI	P	FFFFFFE88	8	8
SCRDR	SCI	P	FFFFFFE8A	8	8
SCSCMR	SCI	P	FFFFFFE8C	8	8
INTEVT2	INTC	I	4000000	32	32
IRR0	INTC	I	4000004	16	8
IRR1	INTC	I	4000006	16	8
IRR2	INTC	I	4000008	16	8
ICR1	INTC	I	4000010	16	16
ICR2	INTC	I	4000012	16	16
PINTER	INTC	I	4000014	16	16
IPRC	INTC	I	4000016	16	16
IPRD	INTC	I	4000018	16	16
IPRE	INTC	I	400001A	16	16
SAR0	DMAC	P	4000020	32	16,32
DAR0	DMAC	P	4000024	32	16,32
DMATCR0	DMAC	P	4000028	32	16,32
CHCR0	DMAC	P	400002C	32	8,16,32
SAR1	DMAC	P	4000030	32	16,32
DAR1	DMAC	P	4000034	32	16,32
DMATCR1	DMAC	P	4000038	32	16,32

レジスタ名	モジュール*1	バス *2	アドレス*4	サイズ (ビット)	アクセスサイズ (ビット) *3
CHCR1	DMAC	P	400003C	32	8,16,32
SAR2	DMAC	P	4000040	32	16,32
DAR2	DMAC	P	4000044	32	16,32
DMATCR2	DMAC	P	4000048	32	16,32
CHCR2	DMAC	P	400004C	32	8,16,32
SAR3	DMAC	P	4000050	32	16,32
DAR3	DMAC	P	4000054	32	16,32
DMATCR3	DMAC	P	4000058	32	16,32
CHCR3	DMAC	P	400005C	32	8,16,32
DMAOR	DMAC	P	4000060	16	8,16
CMSTR	CMT	P	4000070	16	8,16,32
CMCSR	CMT	P	4000072	16	8,16,32
CMCNT	CMT	P	4000074	16	8,16,32
CMCOR	CMT	P	4000076	16	8,16,32
ADDRAH	A/D	P	4000080	8	8,16,32*5*6
ADDRAL	A/D	P	4000082	8	8,16*5
ADDRBH	A/D	P	4000084	8	8,16,32*5*6
ADDRBL	A/D	P	4000086	8	8,16*5
ADDRCH	A/D	P	4000088	8	8,16,32*5*6
ADDRCL	A/D	P	400008A	8	8,16*5
ADDRDH	A/D	P	400008C	8	8,16,32*5*6
ADDRDL	A/D	P	400008E	8	8,16*5
ADCSR	A/D	P	4000090	8	8,16,32*5*6
ADCR	A/D	P	4000092	8	8,16
DADR0	D/A	P	40000A0	8	8,16,32*5*6
DADR1	D/A	P	40000A2	8	8,16*5
DACR	D/A	P	40000A4	8	8,16,32
PACR	PORT	P	4000100	16	16
PBCR	PORT	P	4000102	16	16
PCCR	PORT	P	4000104	16	16
PDCR	PORT	P	4000106	16	16
PECR	PORT	P	4000108	16	16
PFCR	PORT	P	400010A	16	16
PGCR	PORT	P	400010C	16	16
PHCR	PORT	P	400010E	16	16
PJCR	PORT	P	4000110	16	16

レジスタ名	モジュール* ¹	バス * ²	アドレス* ⁴	サイズ (ビット)	アクセスサイズ (ビット) * ³
PKCR	PORT	P	4000112	16	16
PLCR	PORT	P	4000114	16	16
SCPCR	PORT	P	4000116	16	16
PADR	PORT	P	4000120	8	8
PBDR	PORT	P	4000122	8	8
PCDR	PORT	P	4000124	8	8
PDDR	PORT	P	4000126	8	8
PEDR	PORT	P	4000128	8	8
PFDR	PORT	P	400012A	8	8
PGDR	PORT	P	400012C	8	8
PHDR	PORT	P	400012E	8	8
PJDR	PORT	P	4000130	8	8
PKDR	PORT	P	4000132	8	8
PLDR	PORT	P	4000134	8	8
SCPDR	PORT	P	4000136	8	8
SCSMR1	IrDA	P	4000140	8	8
SCBRR1	IrDA	P	4000142	8	8
SCSCR1	IrDA	P	4000144	8	8
SCFTDR1	IrDA	P	4000146	8	8
SCSSR1	IrDA	P	4000148	16	16
SCFRDR1	IrDA	P	400014A	8	8
SCFCR1	IrDA	P	400014C	8	8
SCFDR1	IrDA	P	400014E	16	16
SCSMR2	SCIF	P	4000150	8	8
SCBRR2	SCIF	P	4000152	8	8
SCSCR2	SCIF	P	4000154	8	8
SCFTDR2	SCIF	P	4000156	8	8
SCSSR2	SCIF	P	4000158	16	16
SCFRDR2	SCIF	P	400015A	8	8
SCFCR2	SCIF	P	400015C	8	8
SCFDR2	SCIF	P	400015E	16	16
SDIR	UDI	I	4000200	16	16
SDSR	UDI	I	4000204	16	16
SDDR / SDDRH	UDI	I	4000208	16 / 32	16 / 32
SDDRL	UDI	I	400020A	16	16
SDAR	UDI	I	400020C	16	16

レジスタ名	モジュール*1	バス *2	アドレス*4	サイズ (ビット)	アクセスサイズ (ビット) *3
SDARE	UDI	I	4000210	16	16

- 【注】 *1 モジュール:CCN:キャッシュコントローラ UBC: ユーザブレイクコントローラ
 CPG: クロック発振器 BSC: バスステートコントローラ
 RTC: リアルタイムクロック INTC: 割り込みコントローラ
 TMU: タイムユニット SCI: シリアルコミュニケーションインタフェース
- *2 内部バス: L: CPU,CCN,キャッシュ,TLB,DSP が接続されています。
 I: BSC とキャッシュ,DMAC,INTC,CPG,H-UDI が接続されています。
 P: BSC と周辺モジュール (RTC, TMU, SCI, SCIF, IrDA, A/D, D/A, DMAC, PORT, CMT) が接続されています。
- *3 アクセスサイズは、制御レジスタをアクセス (リード/ライト) するときのサイズを示します。表示された以外のサイズでアクセスした場合は、誤った結果となります。
- *4 エリア 1 の制御レジスタを MMU によるアドレス変換の対象としない場合は、論理アドレスの先頭 3 ビットを 101 として、P2 空間に配置してください。
- *5 16 ビットでアクセスした場合、2 つのレジスタのデータを同時に読み出すことはできません。
- *6 32 ビットアクセスでは、アクセスしたアドレス+2 にあるレジスタのデータも同時に読み出すことが可能です。

B.2 レジスタビット

表 B.2 レジスタビット

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SDMR	—	—	—	—					BSC
SCSMR	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI
SCBRR									SCI
SCSCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI
SCTDR									SCI
SCSSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	SCI
SCRDR									SCI
SCSCMR	—	—	—	—	SDIR	SINV	—	SMF	SCI
TOCR	—	—	—	—	—	—	—	TCOE	TMU
TSTR	—	—	—	—	—	STR2	STR1	STR0	TMU
TCOR0									TMU
TCNT0									TMU
TCR0	—	—	—	—	—	—	—	UNF	TMU
	—	—	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TCOR1									TMU
TCNT1									TMU
TCR1	—	—	—	—	—	—	—	UNF	TMU
	—	—	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCOR2									TMU
TCNT2									TMU
TCR2	—	—	—	—	—	—	ICPF	UNF	TMU
	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TCPR2									TMU
R64CNT	—	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz	RTC
RSECCNT	—	10 秒			1 秒				RTC
RMINCNT	—	10 分			1 分				RTC
RHRCNT	—	—	10 時間		1 時間				RTC
RWKCNT	—	—	—	—	—	曜日			RTC
RDAYCNT	—	—	10 日		1 日				RTC
RMONCNT	—	—	—	10 月	1 月				RTC
RYRCNT	10years				1 年				RTC
RSECAR	ENB	10 秒			1 秒				RTC
RMINAR	ENB	10 分			1 分				RTC
RHRAR	ENB	—	10 時間		1 時間				RTC
RWKAR	ENB	—	—	—	—	曜日			RTC
RDAYAR	ENB	—	10 日		1 日				RTC
RMONAR	ENB	—	—	10 月	1 月				RTC
RCR1	CF	—	—	CIE	AIE	—	—	AF	RTC
RCR2	PEF	PES2	PES1	PES0	RTCEN	ADJ	RESET	START	RTC
ICR0	NML	—	—	—	—	—	—	NMIE	INTC
	—	—	—	—	—	—	—	—	
IPRA	TMU0				TMU1				INTC
	TMU2				RTC				
IPRB	WDT				REF				INTC
	SCI				—	—	—	—	

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
BCR1	PULA	PULD	HIZMEM	HIZCNT	ENDIAN	A0BST1	A0BST0	A5BST1	BSC
	A5BST0	A6BST1	A6BST0	DRAMTP2	DRAMTP1	DRAMTP0	A5PCM	A6PCM	
BCR2	—	—	A6SZ1	A6SZ0	A5SZ1	A5SZ0	A4SZ1	A4SZ0	BSC
	A3SZ1	A3SZ0	A2SZ1	A2SZ0	—	—	—	—	
WCR1	WAITSEL	—	A6IW1	A6IW0	A5IW1	A5IW0	A4IW1	A4IW0	BSC
	A3IW1	A3IW0	A2IW1	A2IW0	—	—	A0IW1	A0IW0	
WCR2	A6W2	A6W1	A6W0	A5W2	A5W1	A5W0	A4W2	A4W1	BSC
	A4W0	A3W1	A3W0	A2W1	A2W0	A0W2	A0W1	A0W0	
MCR	TPC1	TPC0	RCD1	RCD0	TRWL1	TRWL0	TRAS1	TRAS0	BSC
	RASD	AMX3	AMX2	AMX1	AMX0	RFSH	RMODE	—	
PCR	A6W3	A5W3	—	—	A5TED2	A6TED2	A5TEH2	A6TEH2	BSC
	A5TED1	A5TED0	A6TED1	A6TED0	A5TEH1	A5TEH0	A6TEH1	A6TEH0	
RTCSR	—	—	—	—	—	—	—	—	BSC
	CMF	CMIE	CKS2	CKS1	CKS0	OVF	OVIE	LMTS	
RTCNT	—	—	—	—	—	—	—	—	BSC
RTCOR	—	—	—	—	—	—	—	—	BSC
RFCR	—	—	—	—	—	—	—	—	BSC
FRQCR	STC2	IFC2	PFC2	—	—	—	SLPFRQ	CKOEN	CPG
	PLLEN	PSTBY	STC1	STC0	IFC1	IFC0	PFC1	PFC0	
STBCR	STBY	—	—	STBXTL	—	MSTP2	MSTP1	MSTP0	CPG
STBCR2	MSTP9	MDCHG	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	CPG
WTCNT									CPG
WTCSR	TME	WT/IT	RSTS	WOVF	IOVF	CKS2	CKS1	CKS0	CPG
BDRB									UBC
BDMRB									UBC

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
BRCR	—	—	—	—	—	—	—	—	UBC
	—	—	BASMA	BASMB	—	—	—	—	
	SCMFCA	SCMFCB	SCMFDA	SCMFDB	PCTE	PCBA	—	—	
	DBEB	PCBB	—	—	SEQ	—	—	ETBE	
BARB									UBC
BAMRB	—	—	—	—	—	BASM	BAM	BAM	UBC
BBRB	—	—	—	—	—	—	—	—	UBC
	CDB1	CDB0	IDB1	IDB0	RWB1	RWB0	SZB1	SZB0	
BARA									UBC
BAMRA									UBC
BBRA	—	—	—	—	—	—	—	—	UBC
	CDA1	CDA0	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0	
BETR	—	—	—	—					UBC
BRSR	SVF	PID2	PID1	PID0	BSA27	BSA26	BSA25	BSA24	UBC
	BSA23	BSA22	BSA21	BSA20	BSA19	BSA18	BSA17	BSA16	
	BSA15	BSA14	BSA13	BSA12	BSA11	BSA10	BSA9	BSA8	
	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0	
BRDR	DVF	—	—	—	BDA27	BDA26	BDA25	BDA24	UBC
	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16	
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	
	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0	

付録

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TRA	—	—	—	—	—	—	—	—	CCN
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
							—	—	
EXPEVT	—	—	—	—	—	—	—	—	CCN
	—	—	—	—	—	—	—	—	
	—	—	—	—					
INTEVT	—	—	—	—	—	—	—	—	CCN
	—	—	—	—	—	—	—	—	
	—	—	—	—					
MMUCR	—	—	—	—	—	—	—	—	CCN
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	SV	
	—	—	RC	RC	—	TF	IX	AT	
BASRA								UBC	
BASRB								UBC	
CCR	—	—	—	—	—	—	—	—	CCN
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	0	0	CF	CB	WT	CE	
CCR2									CCN
							W3LOAD	W3LOCK	
							W2LOAD	W2LOCK	
PTEH									CCN
							—	—	
PTEL									CCN
							—	V	
	—	PR	PR	SZ	C	D	SH	—	

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TTB									CCN
TEA									CCN
INTEVT2									INTC
IRR0									INTC
	PINT0R	PINT1R	IRQ5R	IRQ4R	IRQ3R	IRQ2R	IRQ1R	IRQ0R	
IRR1									INTC
	TX1R	BRI1R	RX11R	ERI1R	DEI3R	DEI2R	DEI1R	DEI0R	
IRR2									INTC
	—	—	—	ADIR	TXI2R	BRI2R	RXI2R	ERI2R	
ICR1	MAI	IRQLVL	BLMSK	—	IRQ51S	IRQ50S	IRQ41S	IRQ40S	INTC
	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S	
ICR2	PINT15S	PINT14S	PINT13S	PINT12S	PINT11S	PINT10S	PINT9S	PINT8S	INTC
	PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S	
PINTER	PINT15E	PINT14E	PINT13E	PINT12E	PINT11E	PINT10E	PINT9E	PINT8E	INTC
	PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E	
IPRC	IRQ3's level				IRQ2's level				INTC
	IRQ1's level				IRQ0's level				
IPRD	PINT0~7's level				PINT8~15's level				INTC
	IRQ5's level				IRQ4's level				
IPRE	DMAC's level				IrDA's level				INTC
	SCIF's level				A/D's level				
SAR0									DMAC

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
DAR0									DMAC
DMATCR0	—	—	—	—	—	—	—	—	DMAC
CHCR0	—	—	—	—	—	—	—	—	DMAC
	—	—	—	—	—	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	—	DS	TM	TS1	TS0	IE	TE	DE	
SAR1									DMAC
DAR1									DMAC
DMATCR1	—	—	—	—	—	—	—	—	DMAC
CHCR1	—	—	—	—	—	—	—	—	DMAC
	—	—	—	—	—	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	—	DS	TM	TS1	TS0	IE	TE	DE	
SAR2									DMAC
DAR2									DMAC

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
DMATCR2	—	—	—	—	—	—	—	—	DMAC
CHCR2	—	—	—	—	—	—	—	—	DMAC
	—	—	—	—	RO	—	—	—	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	—	—	TM	TS1	TS0	IE	TE	DE	
SAR3									DMAC
DAR3									DMAC
DMATCR3	—	—	—	—	—	—	—	—	DMAC
CHCR3	—	—	—	—	—	—	—	—	DMAC
	—	—	—	DI	—	—	—	—	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	—	—	TM	TS1	TS0	IE	TE	DE	
DMAOR	—	—	—	—	—	—	PR1	PR0	DMAC
	—	—	—	—	—	AE	NMIF	DME	
CMSTR	—	—	—	—	—	—	—	—	CMT
	—	—	—	—	—	—	—	STR	
CMCSR	—	—	—	—	—	—	—	—	CMT
	CMF	—	—	—	—	—	CKS1	CKS0	
CMCNT									CMT
CMCOR									CMT
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/DC
ADDRAL	AD1	AD0	—	—	—	—	—	—	A/DC
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/DC

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ADDRBL	AD1	AD0	—	—	—	—	—	—	A/DC
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/DC
ADDRCL	AD1	AD0	—	—	—	—	—	—	A/DC
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/DC
ADDRDL	AD1	AD0	—	—	—	—	—	—	A/DC
ADCSR	ADF	ADE	ADST	MULTI	CKS	CH2	CH1	CH0	A/DC
ADCR	TRGE1	TRGE0	SCN	RESVD1	RESVD2	—	—	—	A/DC
DADR0									D/AC
DADR1									D/AC
DACR	DAOE1	DAOE0	DAE	—	—	—	—	—	D/AC
PACR	PA7M D1	PA7M D0	PA6M D1	PA6M D0	PA5M D1	PA5M D0	PA4M D1	PA4M D0	PORT
	PA3M D1	PA3M D0	PA2M D1	PA2M D0	PA1M D1	PA1M D0	PA0M D1	PA0M D0	
PBCR	PB7M D1	PB7M D0	PB6M D1	PB6M D0	PB5M D1	PB5M D0	PB4M D1	PB4M D0	PORT
	PB3M D1	PB3M D0	PB2M D1	PB2M D0	PB1M D1	PB1M D0	PB0M D1	PB0M D0	
PCDR	PC7M D1	PC7M D0	PC6M D1	PC6M D0	PC5M D1	PC5M D0	PC4M D1	PC4M D0	PORT
	PC3M D1	PC3M D0	PC2M D1	PC2M D0	PC1M D1	PC1M D0	PC0M D1	PC0M D0	
PDCR	PD7M D1	PD7M D0	PD6M D1	PD6M D0	PD5M D1	PD5M D0	PD4M D1	PD4M D0	PORT
	PD3M D1	PD3M D0	PD2M D1	PD2M D0	PD1M D1	PD1M D0	PD0M D1	PD0M D0	
PECR	PE7M D1	PE7M D0	PE6M D1	PE6M D0	PE5M D1	PE5M D0	PE4M D1	PE4M D0	PORT
	PE3M D1	PE3M D0	PE2M D1	PE2M D0	PE1M D1	PE1M D0	PE0M D1	PE0M D0	
PFCR	PF7M D1	PF7M D0	PF6M D1	PF6M D0	PF5M D1	PF5M D0	PF4M D1	PF4M D0	PORT
	PF3M D1	PF3M D0	PF2M D1	PF2M D0	PF1M D1	PF1M D0	PF0M D1	PF0M D0	
PGCR	PG7M D1	PG7M D0	PG6M D1	PG6M D0	PG5M D1	PG5M D0	PG4M D1	PG4M D0	PORT
	PG3M D1	PG3M D0	PG2M D1	PG2M D0	PG1M D1	PG1M D0	PG0M D1	PG0M D0	

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PHCR	PH7M D1	PH7M D0	PH6M D1	PH6M D0	PH5M D1	PH5M D0	PH4M D1	PH4M D0	PORT
	PH3M D1	PH3M D0	PH2M D1	PH2M D0	PH1M D1	PH1M D0	PH0M D1	PH0M D0	
PJCR	PJ7M D1	PJ7M D0	PJ6M D1	PJ6M D0	PJ5M D1	PJ5M D0	PJ4M D1	PJ4M D0	PORT
	PJ3M D1	PJ3M D0	PJ2M D1	PJ2M D0	PJ1M D1	PJ1M D0	PJ0M D1	PJ0M D0	
PKCR	PK7M D1	PK7M D0	PK6M D1	PK6M D0	PK5M D1	PK5M D0	PK4M D1	PK4M D0	PORT
	PK3M D1	PK3M D0	PK2M D1	PK2M D0	PK1M D1	PK1M D0	PK0M D1	PK0M D0	
PLCR	PL7M D1	PL7M D0	PL6M D1	PL6M D0	PL5M D1	PL5M D0	PL4M D1	PL4M D0	PORT
	PL3M D1	PL3M D0	PL2M D1	PL2M D0	PL1M D1	PL1M D0	PL0M D1	PL0M D0	
SCPCR	SCP7M D1	SCP7M D0	SCP6MD 1	SCP6M D0	SCP5M D1	SCP5M D0	SCP4M D1	SCP4M D0	PORT
	SCP3M D1	SCP3M D0	SCP2M D1	SCP2M D0	SCP1M D1	SCP1M D0	SCP0M D1	SCP0M D0	
PADR	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT	PORT
PBDR	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT	PORT
PCDR	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT	PORT
PDDR	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT	PORT
PEDR	PE7DT	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT	PORT
PFDR	PF7DT	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT	PORT
PGDR	PG7DT	PG6DT	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT	PORT
PHDR	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT	PORT
PJDR	PJ7DT	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	PJ0DT	PORT
PKDR	PK7DT	PK6DT	PK5DT	PK4DT	PK3DT	PK2DT	PK1DT	PK0DT	PORT
PLDR	PL7DT	PL6DT	PL5DT	PL4DT	PL3DT	PL2DT	PL1DT	PL0DT	PORT
SCPDR	SCP7DT	SCP6DT	SCP5DT	SCP4DT	SCP3DT	SCP2DT	SCP1DT	SCP0DT	PORT
SDIR	TI3	TI2	TI1	TI0	—	—	—	—	H-UDI
	—	—	—	—	—	—	—	—	
SDSR	PR3	PR2	PR1	PR0	VR3	VR2	VR1	VR0	H-UDI
	—	—	—	—	—	ASEMW	BRKAF	SDTRF	

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SDDR									H-UDI
SDDR									
SDAR	—	—	—	—	—	—	AR9	AR8	H-UDI
SDAR	AR7	AR6	AR5	AR4	AR3	AR2	—	—	
SDARE	—	—	—	—	—	—	ARE9	ARE8	H-UDI
SDARE	ARE7	ARE6	ARE5	ARE4	ARE3	ARE2	—	—	
SCSMR1	IRM0D	ICK3	ICK2	ICK1	ICK0	PSEL	CKS1	CKS0	IrDA
SCBRR1									IrDA
SCSCR1	TIE	RIE	TE	RE	—	—	CKE1	CKE0	IrDA
SCFTDR1									IrDA
SCSSR1	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	IrDA
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR1									IrDA
SCFCR1	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	IrDA
SCFDR1	—	—	—	T4	T3	T2	T1	T0	IrDA
	—	—	—	R4	R3	R2	R1	R0	
SCSMR2	—	CHR	PE	O/E	STOP	—	CKS1	CKS0	SCIF
SCBRR2									SCIF
SCSCR2	TIE	RIE	TE	RE	—	—	CKE1	CKE0	SCIF
SCFTDR2									SCIF
SCSSR2	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	SCIF
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR2									SCIF
SCFCR2	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	SCIF
SCFDR2	—	—	—	T4	T3	T2	T1	T0	SCIF
	—	—	—	R4	R3	R2	R1	R0	

【略称説明】

MMU: メモリマネージメントユニット (Memory management unit)

UBC: ユーザブレイクコントローラ (User break controller)

CPG: クロック発振器 (Clock pulse generator)

BSC: バスステートコントローラ (Bus state controller)

RTC: リアルタイムクロック (Realtime clock)

INTC: 割り込みコントローラ (Interrupt controller)

TMU: タイムユニット (Timer unit)

SC1: シリアルコミュニケーションインタフェースコントローラ (Serial communication interface controller)

IrDA: IrDA 付きシリアルコミュニケーションインタフェース (Serial communication interface with IrDA)
SCIF: FIFO 付きシリアルコミュニケーションインタフェース (Serial communication interface with FIFO)
CCN: キャッシュコントローラ (Cache controller)
DMAC: ダイレクトメモリアクセスコントローラ (Direct memory access controller)
ADC: A/D 変換器 (Analog to Digital converter)
DAC: D/A 変換器 (Digital to Analog converter)
PORT: ポートコントローラ (Port controller)
H-UDI: ユーザデバッグインタフェース (User debug interface)

C. 型名一覧

表 C.1 SH7729R 型名一覧

略称	電源電圧		動作	マーク型名	パッケージ
	I/O	内部	周波数		
SH7729R	3.3±0.3V	2.0±0.15V	200MHz	HD6417729RHF200B	208 ピンプラスチック HQFP (FP-208E)
		1.9±0.15V	167MHz	HD6417729RF167B	208 ピンプラスチック LQFP (FP-208C)
				HD6417729RBP167B	240 ピン CSP (BP-240A)
		1.8+0.25V	133MHz	HD6417729RF133B	208 ピンプラスチック LQFP (FP-208C)
				HD6417729RBP133B	240 ピン CSP (BP-240A)
		1.7+0.25V	100MHz	HD6417729RF100B	208 ピンプラスチック LQFP (FP-208C)
				HD6417729RBP100B	240 ピン CSP (BP-240A)
		1.8-0.15V			
1.7-0.15V					

D. パッケージ外形寸法図

図 D.1 図 D.2 図 D.3 に SH7729R のパッケージ外形寸法図を示します。

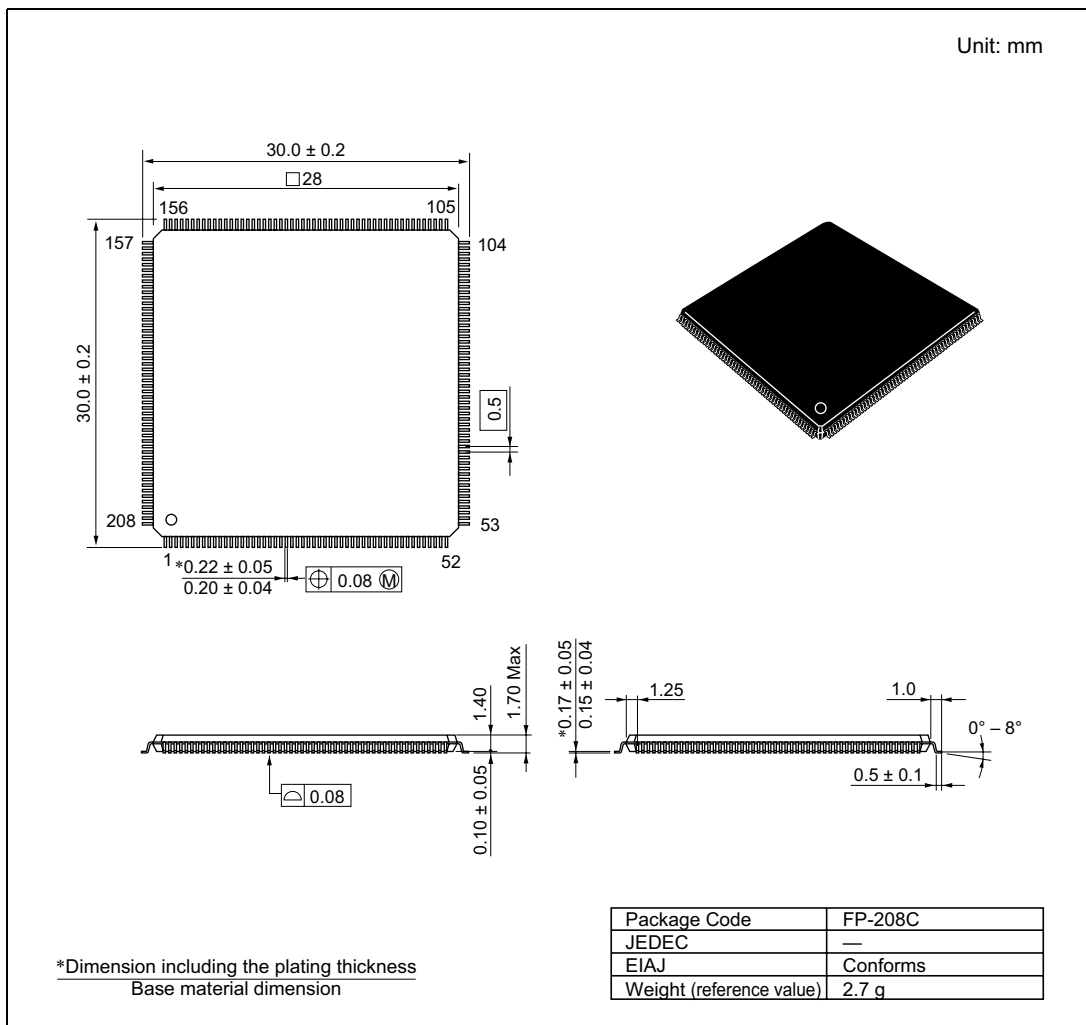


図 D.1 パッケージ外形寸法図 (FP-208C)

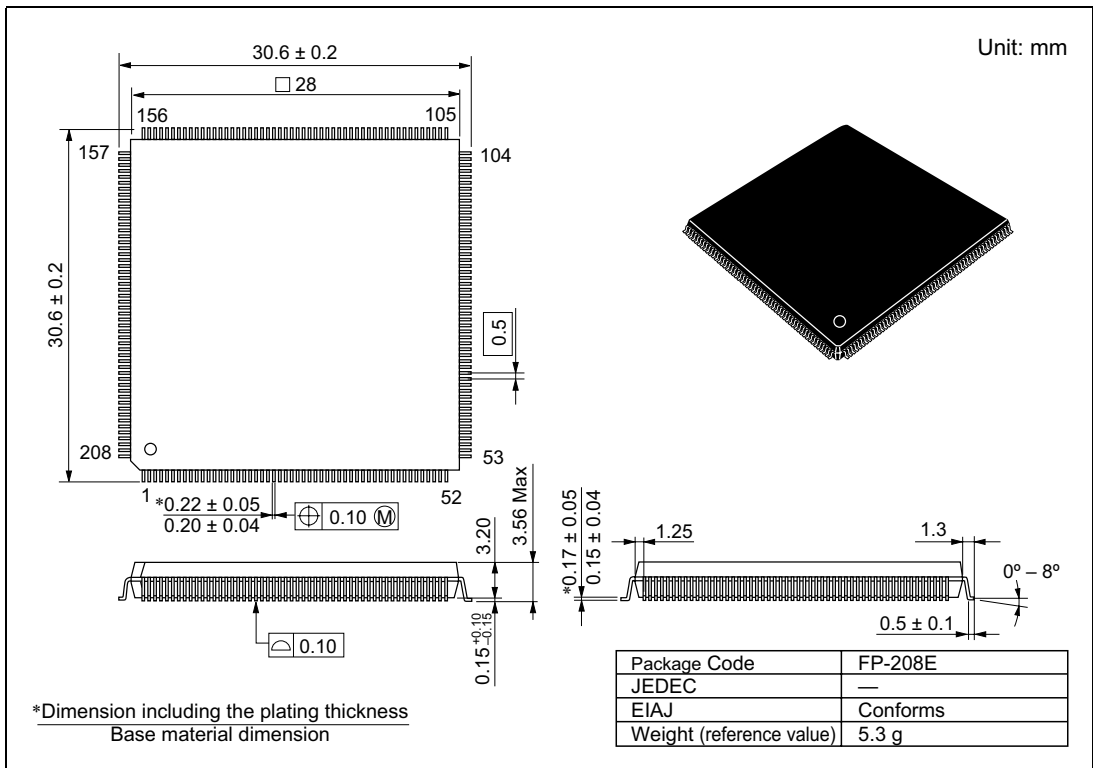


図 D.2 パッケージ外形寸法図 (FP-208E)

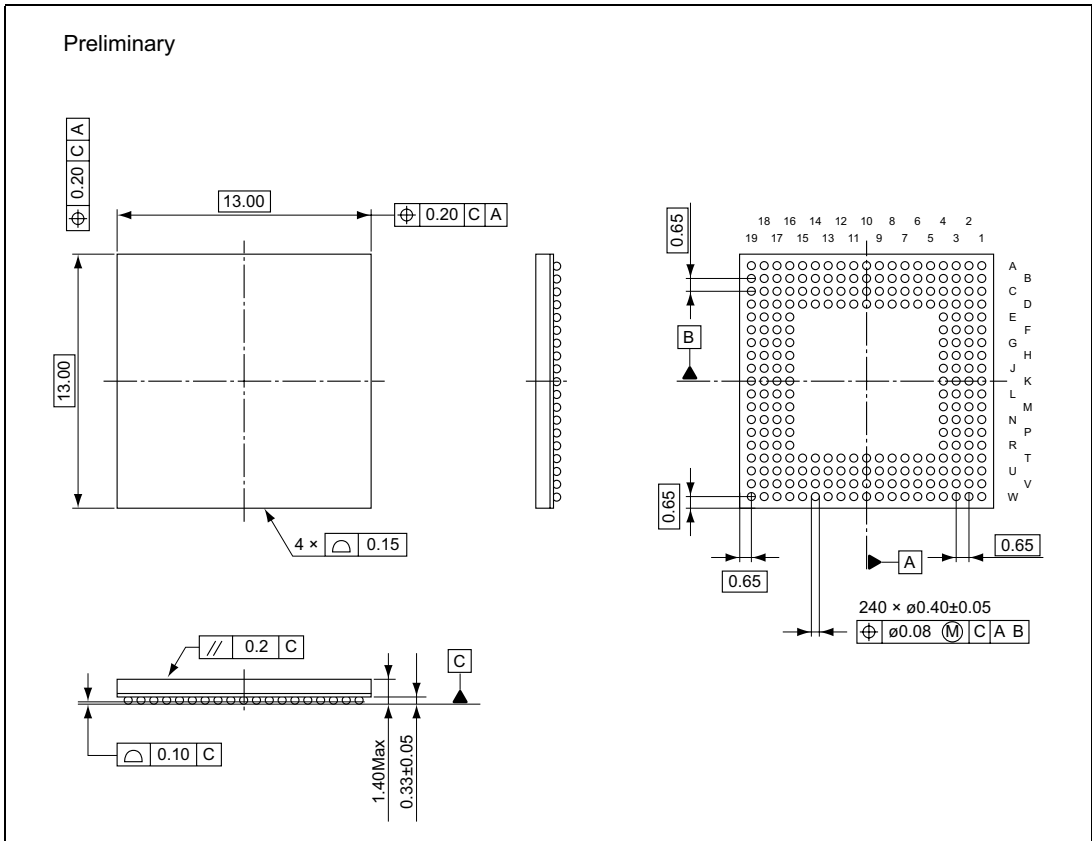


図 D.3 パッケージ外形寸法図 (BP-240A)

SH7729Rハードウェアマニュアル

発行年月 2001年8月 第1版

2003年9月10日 Rev.5.00

発行 株式会社ルネサステクノロジ 営業企画統括部

〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサス小平セミコン 技術ドキュメント部



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		支	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	幌	支	店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	城	支	社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	業	本	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	松	支	店	〒430-7710	浜松市板屋町111-2 (浜松アクトタワー10F)	(053) 451-2131
西	部	業	本	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館ランドアクシスター10F)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中	国	支	社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松	山	支	店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	児	支	店	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル2F)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンター E-Mail: csc@renesas.com



SH7729R
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0088-0500H