

SH7734

ユーザーズマニュアル ハードウェア編 別冊

ルネサス 32 ビット RISC マイクロコンピュータ
SuperH™ RISC engine ファミリ／SH-4A シリーズ

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。

6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

【登録商標・商標】

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. ストリームインタフェース (STIF)	1-1
1.1 特長	1-1
1.2 入出力端子	1-3
1.3 レジスタの説明	1-4
1.3.1 STIF モードセレクトレジスタ (STMDR)	1-6
1.3.2 STIF 制御レジスタ (STCTLR)	1-8
1.3.3 STIF 内部カウンタ制御レジスタ (STCNTCR)	1-9
1.3.4 STIF 内部カウンタ値設定レジスタ (STCNTVR)	1-10
1.3.5 STIF ステータスレジスタ (STSTR)	1-10
1.3.6 STIF 割り込みイネーブルレジスタ (STIER)	1-12
1.3.7 STIF 転送サイズレジスタ (STSIZE) (n=0, 1)	1-13
1.3.8 STIFPWM モードレジスタ (STPWMR)	1-14
1.3.9 STIFPWM コントロールレジスタ (STPWMCR)	1-17
1.3.10 STIFPWM レジスタ (STPWM)	1-18
1.3.11 STIFPCR0、1 レジスタ (STPCR0R、STPCR1R)	1-19
1.3.12 STIFSTC0、1 レジスタ (STSTC0R、STSTC1R)	1-20
1.3.13 STIF ロックコントロールレジスタ (STLKCR)	1-21
1.3.14 STIF デバッグ用ステータスレジスタ (STDBG)	1-23
1.4 他のデバイスとの接続例	1-24
1.4.1 基本の例	1-24
1.4.2 他デバイスがクロック入力を持たない場合の例	1-24
1.4.3 他デバイスがクロック出力を持たない場合の例	1-24
1.5 入出力タイミング	1-25
1.6 PCRクロックリカバリモジュール (PCRRCV)	1-31
1.6.1 PCR クロックリカバリ動作説明	1-32
1.6.2 PCR クロックリカバリの動作	1-34
1.7 使用上の注意事項	1-37
2. ストリームインタフェース (STIF) 電気的特性	2-1
2.1 STIFモジュール信号タイミング (1)	2-1
2.1.1 STIF モジュール信号タイミング (2)	2-2
2.1.2 STIF モジュール信号タイミング (3) (ストリーム入出力を STn_CLKIN 立ち上がり同期に設定した場合)	2-3
2.1.3 STIF モジュール信号タイミング (4) (ストリーム入出力を STn_CLKIN 立ち下がり同期に設定した場合)	2-4

2.1.4	STIF モジュール信号タイミング (5) (ストリーム入出力を ST_CLKOUT 立ち上がり同期に設定した場合)	2-5
2.1.5	STIF モジュール信号タイミング (6) (ストリーム入出力を ST_CLKOUT 立ち下がり同期に設定した場合)	2-6
3.	フォワードエラーコレクションコア連動 DMAC (A-DMAC)	3-1
3.1	概要	3-1
3.1.1	特長	3-1
3.1.2	A-DMAC の全体構造	3-2
3.1.3	A-DMAC の制限	3-4
3.2	レジスタの説明	3-5
3.2.1	チャネル[i]処理制御レジスタ (C[i]C) (i=0, 1)	3-7
3.2.2	チャネル[i]処理モードレジスタ (C[i]M) (i=0, 1)	3-9
3.2.3	チャネル[i]処理割り込み要求レジスタ (C[i]I) (i=0, 1)	3-9
3.2.4	チャネル[i]処理ディスクリプタ開始アドレスレジスタ (C[i]DSA) (i=0, 1)	3-11
3.2.5	チャネル[i]処理ディスクリプタ現在アドレスレジスタ (C[i]DCA) (i=0, 1)	3-11
3.2.6	チャネル[i]処理ディスクリプタ 0 レジスタ (C[i]D0) 【制御】 (i=0, 1)	3-12
3.2.7	チャネル[i]処理ディスクリプタ 1 レジスタ (C[i]D1) 【ソースアドレス】 (i=0, 1)	3-17
3.2.8	チャネル[i]処理ディスクリプタ 2 レジスタ (C[i]D2) 【デスティネーションアドレス】 (i=0, 1)	3-18
3.2.9	チャネル[i]処理ディスクリプタ 3 レジスタ (C[i]D3) 【データ長】 (i=0, 1)	3-18
3.2.10	チャネル[i]処理ディスクリプタ 4 レジスタ (C[i]D4) 【チェックサム値ライトアドレス】 (i=0, 1)	3-19
3.2.11	FEC DMAC 処理制御レジスタ (FECC)	3-20
3.2.12	FEC DMAC 処理割り込み要求レジスタ (FECI)	3-22
3.2.13	FEC DMAC 処理ディスクリプタ開始アドレスレジスタ (FECDSA)	3-24
3.2.14	FEC DMAC 処理ディスクリプタ現在アドレスレジスタ (FECDCA)	3-24
3.2.15	FEC DMAC 処理ディスクリプタ 0 レジスタ (FECD00) 【制御】	3-25
3.2.16	FEC DMAC 処理ディスクリプタ 1 レジスタ (FECD01D0A) 【デスティネーションアドレス】	3-27
3.2.17	FEC DMAC 処理ディスクリプタ 2 レジスタ (FECD02S0A) 【ソース 0 アドレス】	3-28
3.2.18	FEC DMAC 処理ディスクリプタ 3 レジスタ (FECD03S1A) 【ソース 1 アドレス】	3-28
3.3	機能の説明	3-29
3.3.1	DMAC チャネル機能	3-29
3.3.2	チェックサム	3-29
3.3.3	FEC チャネル	3-29
3.3.4	FEC 演算	3-29
3.4	チャネル動作説明	3-31
3.4.1	ディスクリプタフォーマット	3-31
3.4.2	チャネル基本動作	3-32
3.4.3	チェックサム	3-32

3.5	FECチャネル動作	3-34
3.5.1	FEC チャネル用ディスクリプタフォーマット	3-34
3.5.2	FEC チャネル基本動作	3-34
3.6	使用上の注意事項	3-36
3.6.1	A-DMAC チャネル動作用ディスクリプタで設定するデータ転送サイズについて	3-36
4.	IEBus™ コントローラ	4-1
4.1	概要	4-1
4.1.1	特長	4-1
4.1.2	ブロック図	4-2
4.1.3	外部端子	4-3
4.1.4	レジスタ構成	4-4
4.2	レジスタ説明	4-5
4.2.1	IEBus コントロールレジスタ (IECTR)	4-6
4.2.2	IEBus コマンドレジスタ (IECMR)	4-7
4.2.3	IEBus マスタコントロールレジスタ (IEMCR)	4-7
4.2.4	IEBus 自局アドレスレジスタ 1 (IEAR1)	4-9
4.2.5	IEBus 自局アドレスレジスタ 2 (IEAR2)	4-9
4.2.6	IEBus スレーブアドレス設定レジスタ 1 (IESA1)	4-10
4.2.7	IEBus スレーブアドレス設定レジスタ 2 (IESA2)	4-10
4.2.8	IEBus 送信電文長レジスタ (IETBFL)	4-10
4.2.9	IETBR (IETBR)	4-11
4.2.10	IEBus 受信マスタアドレスレジスタ 1 (IEMA1)	4-11
4.2.11	IEBus 受信マスタアドレスレジスタ 2 (IEMA2)	4-12
4.2.12	IEBus 受信コントロールフィールドレジスタ (IERCTL)	4-12
4.2.13	IEBus 受信電文長レジスタ (IERBFL)	4-13
4.2.14	IERBR (IERBR)	4-13
4.2.15	IELA1 (IELA1)	4-14
4.2.16	IELA2 (IELA2)	4-14
4.2.17	IEBus ゼネラルフラグレジスタ (IEFLG)	4-14
4.2.18	IEBus 送信ステータスレジスタ (IETSR)	4-16
4.2.19	IEBus 送信割り込み許可レジスタ (IEIET)	4-17
4.2.20	IETEF (IETEF)	4-18
4.2.21	IEBus 受信ステータスレジスタ (IERSR)	4-19
4.2.22	IEBus 受信割り込み許可レジスタ (IEIER)	4-22
4.2.23	IEREF (IEREF)	4-23
4.2.24	IEBus 送信データバッファ (IETB01～IETB32)	4-23
4.2.25	IEBus 受信データバッファ (IERB01～IERB32)	4-24
4.3	動作の説明	4-25
4.3.1	インタフェース	4-25

4.3.2	データフォーマット	4-26
4.3.3	ソフト制御フロー	4-27
4.3.4	動作タイミング	4-30
5.	IEBus™コントローラ イネーブル方法	5-1
本版で修正または追加された箇所		改訂-1

1. ストリームインタフェース (STIF)

本 LSI は 2 チャンネルのストリームインタフェース (STIF) を内蔵しています。

1.1 特長

- 2チャンネルの双方向インタフェース
- TSパケット (パケットサイズ188バイト) に対応
- TTSパケット (パケットサイズ192バイト) に対応
- PSパケット (サイズレジスタにて指定) に対応
- 8ビットパラレル転送、または1ビットシリアル転送を選択可能
- チャンネルごとに転送方向を設定可能
- クロック、リクエスト信号、同期信号、データイネーブル信号の極性を選択可能
- PCRクロックリカバリモジュール (PCRRCV) を内蔵

STIF のブロック図を図 1.1 に示します。

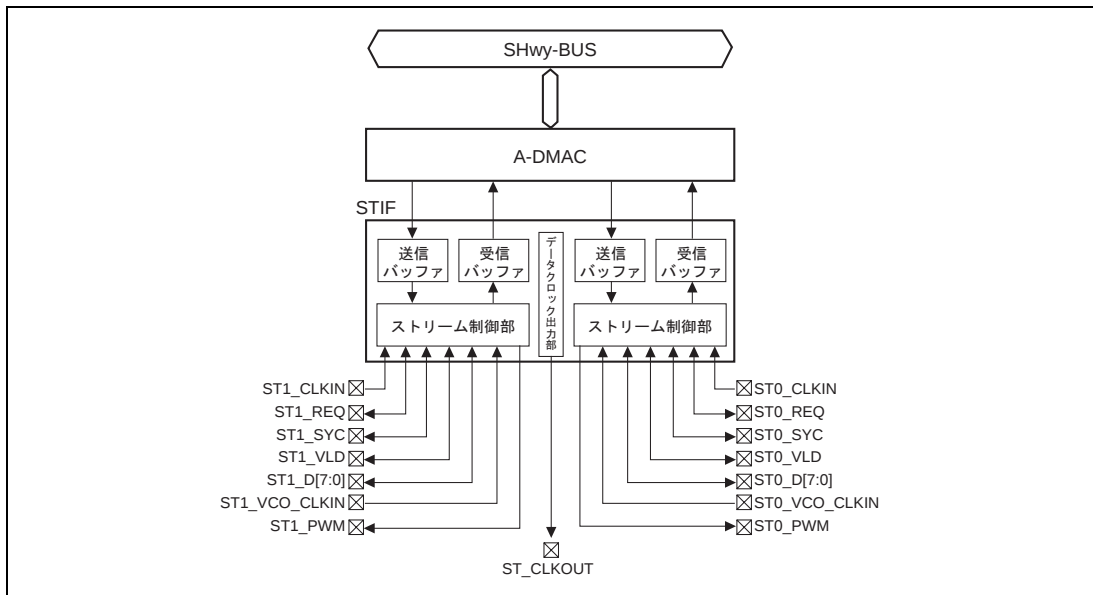


図 1.1 STIF ブロック図

1.2 入出力端子

STIF の端子構成を表 1.1 に示します。

表 1.1 端子構成

端子名	入出力	機 能
ST_CLKOUT	出力	データクロック出力（チャンネル間共通） FRQCR2[15:12]ビットで定義されます。
ST0_CLKIN	入力	データクロック入力
ST0_REQ	入出力	リクエスト信号
ST0_SYC	入出力	同期信号
ST0_VLD	入出力	データイネーブル
ST0_D[7:0]	入出力	データ（シリアルモード時 ST0_D[0]を使用）
ST0_VCO_CLKIN	入力	外部の 27MHz VCO（Voltage Controlled Oscillator）から MPEG 基本クロックを入力します。
ST0_PWM	出力	LPF（ローパスフィルタ）を経由して、27MHz VCO を制御します。
ST1_CLKIN	入力	データクロック入力
ST1_REQ	入出力	リクエスト信号
ST1_SYC	入出力	同期信号
ST1_VLD	入出力	データイネーブル
ST1_D[7:0]	入出力	データ（シリアルモード時 ST1_D[0]を使用）
ST1_VCO_CLKIN	入力	外部の 27MHz VCO（Voltage Controlled Oscillator）から MPEG 基本クロックを入力します。
ST1_PWM	出力	LPF（ローパスフィルタ）を経由して、27MHz VCO を制御します。

1.3 レジスタの説明

表 1.2 (1) にレジスタ構成を、表 1.2 (2) にレジスタの状態を示します。

表 1.2 (1) レジスタ構成

チャンネル	レジスタ名	略称	アドレス	アクセスサイズ
0	STIF モードセレクトレジスタ	STMDR_0	H'FFEE0000	32
	STIF 制御レジスタ	STCTLR_0	H'FFEE 0004	32
	STIF 内部カウンタ制御レジスタ	STCNTCR_0	H'FFEE 0008	32
	STIF 内部カウンタ値設定レジスタ	STCNTVR_0	H'FFEE 000C	32
	STIF ステータスレジスタ	STSTR_0	H'FFEE 0010	32
	STIF 割り込みイネーブルレジスタ	STIER_0	H'FFEE 0014	32
	STIF 転送サイズレジスタ	STSIZER_0	H'FFEE 0018	32
	STIFPWM モードレジスタ	STPWMMR_0	H'FFEE 0020	32
	STIFPWM コントロールレジスタ	STPWMCR_0	H'FFEE 0024	32
	STIFPWM レジスタ	STPWMR_0	H'FFEE 0028	32
	STIFPCR0 レジスタ	STPCR0R_0	H'FFEE 002C	32
	STIFPCR1 レジスタ	STPCR1R_0	H'FFEE 0030	32
	STIFSTC0 レジスタ	STSTC0R_0	H'FFEE 0034	32
	STIFSTC1 レジスタ	STSTC1R_0	H'FFEE 0038	32
	STIF ロックコントロールレジスタ	STLKCR_0	H'FFEE 003C	32
	STIF デバッグ用ステータスレジスタ	STDBG_0	H'FFEE 0060	32
1	STIF モードセレクトレジスタ	STMDR_1	H'FFEE8000	32
	STIF 制御レジスタ	STCTLR_1	H'FFEE 8004	32
	STIF 内部カウンタ制御レジスタ	STCNTCR_1	H'FFEE 8008	32
	STIF 内部カウンタ値設定レジスタ	STCNTVR_1	H'FFEE 800C	32
	STIF ステータスレジスタ	STSTR_1	H'FFEE 8010	32
	STIF 割り込みイネーブルレジスタ	STIER_1	H'FFEE 8014	32
	STIF 転送サイズレジスタ	STSIZER_1	H'FFEE 8018	32
	STIFPWM モードレジスタ	STPWMMR_1	H'FFEE 8020	32
	STIFPWM コントロールレジスタ	STPWMCR_1	H'FFEE 8024	32
	STIFPWM レジスタ	STPWMR_1	H'FFEE 8028	32
	STIFPCR0 レジスタ	STPCR0R_1	H'FFEE 802C	32
	STIFPCR1 レジスタ	STPCR1R_1	H'FFEE 8030	32
	STIFSTC0 レジスタ	STSTC0R_1	H'FFEE 8034	32
	STIFSTC1 レジスタ	STSTC1R_1	H'FFEE 8038	32
	STIF ロックコントロールレジスタ	STLKCR_1	H'FFEE 803C	32
	STIF デバッグ用ステータスレジスタ	STDBG_1	H'FFEE 8060	32

表 1.2 (2) 各処理状態におけるレジスタの状態 (各チャネル共通)

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
STMDR	初期化	初期化	保持	保持	保持	初期化
STCTLR	初期化	初期化	保持	保持	保持	初期化
STCNTCR	初期化	初期化	保持	保持	保持	初期化
STCNTVR	初期化	初期化	保持	保持	保持	初期化
STSTR	初期化	初期化	保持	保持	保持	初期化
STIER	初期化	初期化	保持	保持	保持	初期化
STSIZE	初期化	初期化	保持	保持	保持	初期化
STPWMMR	初期化	初期化	保持	保持	保持	初期化
STPWMCR	初期化	初期化	保持	保持	保持	初期化
STPWMR	初期化	初期化	保持	保持	保持	初期化
STPCR0R	初期化	初期化	保持	保持	保持	初期化
STPCR1R	初期化	初期化	保持	保持	保持	初期化
STSTC0R	初期化	初期化	保持	保持	保持	初期化
STSTC1R	初期化	初期化	保持	保持	保持	初期化
STLKCR	初期化	初期化	保持	保持	保持	初期化
STDBG	初期化	初期化	保持	保持	保持	初期化

1.3.1 STIF モードセレクトレジスタ (STMDR)

STMDR は、内蔵 STIF モジュールの動作モードなどを設定する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31～15	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
14	LSBSEL	0	R/W	シリアルモード時の MSB/LSB ファーストを選択します。 0 : MSB ファーストでデータを入出力 1 : LSB ファーストでデータを入出力
13	EDGSEL	0	R/W	STn_REQ、STn_SYC、STn_VLD、STn_D[7:0]の入出力タイミングを選択します。 0 : 同期クロックの立ち上がりで出力、同期クロックの立ち上がりでサンプリング 1 : 同期クロックの立ち下がりで出力、同期クロックの立ち下がりでサンプリング なお、同期クロックは本レジスタの CLKSEL ビットと FRQCR2[15:12]ビットで定義されます。
12	CLKSEL	0	R/W	ストリーム送信モード時の同期クロックを選択します。 0 : STn_SYC、STn_VLD、STn_D[7:0]を ST_CLKOUT に同期して出力 STn_REQ を ST_CLKOUT に同期してサンプリング 1 : STn_SYC、STn_VLD、STn_D[7:0]を STn_CLKIN に同期して出力、 STn_REQ を STn_CLKIN に同期してサンプリング
11～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	REQACTSEL	0	R/W	STn_REQ のアクティブ極性を選択します。 0 : High アクティブ 1 : Low アクティブ
6	VLDACTSEL	0	R/W	STn_VLD のアクティブ極性を選択します。 0 : High アクティブ 1 : Low アクティブ
5	SYCACTSEL	0	R/W	STn_SYC のアクティブ極性を選択します。 0 : High アクティブ 1 : Low アクティブ
4	IOSEL	0	R/W	入出力方向を選択します。 0 : 入力 (外部デバイスから本 LSI ヘストリームを入力) 1 : 出力 (本 LSI から外部デバイスヘストリームを出力)

ビット	ビット名	初期値	R/W	説 明
3	IFMDSEL3	0	R/W	動作モードを選択します。
2	IFMDSEL2	0	R/W	0000 : TS シリアルモード 1
1	IFMDSEL1	0	R/W	0001 : TS パラレルモード 1
0	IFMDSEL0	0	R/W	0010 : TS シリアルモード 2
				0011 : TS パラレルモード 2
				0100 : TS シリアルモード 3
				0101 : TS パラレルモード 3
				0110 : リザーブ (設定しないでください)
				0111 : リザーブ (設定しないでください)
				1000 : TTS シリアルモード
				1001 : TTS パラレルモード
				1010 : リザーブ (設定しないでください)
				1011 : リザーブ (設定しないでください)
				1100 : PS シリアルモード
				1101 : PS パラレルモード
				1110 : リザーブ (設定しないでください)
				1111 : リザーブ (設定しないでください)

【記号説明】 n=0、1

1.3.2 STIF 制御レジスタ (STCTLR)

STCTLR は、リカバリ処理内容の切り替え設定や DMA 転送の許可をする 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31～12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	RCVTM2	0	R/W	TS モード 1、2 の出力時に、リカバリ処理内容切り替え閾値を設定します。 本ビットは RCV=1 のとき有効です。 000 : 約 0.625 秒 001 : 約 1.25 秒 010 : 約 2.5 秒 011 : 約 5 秒 100 : 約 10 秒 101 : 約 20 秒 110 : 約 40 秒 111 : 約 80 秒 リカバリ機能の処理内容は以下のとおりです。 リカバリ機能① 内部カウンタがタイムスタンプを追い越し、その差分が設定した閾値より小さいときは、即座にパケットを出力します。 リカバリ機能② 内部カウンタがタイムスタンプを追い越し、その差分が設定した閾値より大きいときは、廃棄して次のパケットからリスタートします（次のパケットを即座に出力すると同時に、そのパケットのタイムスタンプをタイムスタンプ用内部カウンタにリロードします）。 リカバリ機能③ 内部カウンタはタイムスタンプを追い越していないが、差分が設定した閾値より大きいときは、廃棄して次のパケットからリスタートします（次のパケットを即座に出力すると同時に、そのパケットのタイムスタンプをタイムスタンプ用内部カウンタにリロードします）。
10	RCVTM1	0	R/W	
9	RCVTM0	0	R/W	
8	RCV	0	R/W	TS モード 1、2 の出力時に、上記のリカバリ機能を有効にします。 0 : 機能オフ 1 : 機能オン
7	TRICK	0	R/W	TS モード 1、2 の出力時に、タイムスタンプとは無関係に転送を行う機能を有効にします。 0 : 機能オフ 1 : 機能オン
6～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2	REQEN	0	R/W	A-DMAC に対する DMA 転送要求の許可を設定します。 0 : 許可しない 1 : 許可します
1	EN	0	R/W	ストリーム入出力の許可を設定します。 0 : 許可しない 1 : 許可します
0	SRST	0	R/W	1 をセットすることにより、レジスタ設定を保持したまま、本モジュールの内部状態を初期化します。 タイムスタンプ用内部カウンタには、本ビットによる初期化終了後、最初に TS パケットが到着した時点で当該パケットが持つタイムスタンプ値をリロードします。 本ビットから 1 が読み出される間は、初期化中です。 本ビットは自動的に 0 クリアされます。 STMDR を変更した際は、必ず SRST を 1 にして初期化を行い、その後に EN、REQEN にて転送を許可してください。

1.3.3 STIF 内部カウンタ制御レジスタ (STCNTCR)

STCNTCR は、タイムスタンプ用内部カウンタを制御する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	CRD	0	R/W	1 をセットすることにより、タイムスタンプ用内部カウンタの値を STCNTVR に読み出します。 本ビットは自動的に 0 クリアされます。
2	CSTP	0	R/W	タイムスタンプ用内部カウンタを停止します。 0 : カウントを行います 1 : カウント停止で値を保持します
1	CSET	0	R/W	1 をセットすることにより、STCNTVR の値をタイムスタンプ用内部カウンタにリロードします。 本ビットは自動的に 0 クリアされます。
0	CRST	0	R/W	1 をセットすることにより、タイムスタンプ用内部カウンタを H'00000000 に初期化します。 本ビットは自動的に 0 クリアされます。

1.3.4 STIF 内部カウンタ値設定レジスタ (STCNTVR)

STCNTVR は、STCNTCR の CRD ビットや CSET ビットと組み合わせて、タイムスタンプ用内部カウンタ値の読み出しやリロードを行うための 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31~0	VLU31~VLU0	すべて 0	R/W	タイムスタンプ用内部カウンタ値

1.3.5 STIF ステータスレジスタ (STSTR)

STSTR は、リカバリ機能や受送信時の状態や PCR クロックリカバリの状態を表示する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	LKZF	0	R/W	PCR パケット到着のときの PLL 誤差量 (内部 STC—内部 PCR) の閾値範囲 LKCYC に対する状態を示します。 0 : 閾値範囲内 (PLL 誤差量 (内部 STC—内部 PCR) ≤ LKCYC) の状態であることを示します 1 : 閾値範囲外 (PLL 誤差量 (内部 STC—内部 PCR) > LKCYC) の状態であることを示します 1 を書き込むことにより、0 クリアされます。
11	LKF	0	R/W	PLL のロック状態を示します。 0 : PLL 非ロック状態を示します PLL ロック状態 (LKF=1) の PCR 到着のとき、 閾値範囲外 (LKZF=1) の状態が連続して続き、 ULCNT ≥ ULREF を満足した場合 1 : PLL ロック状態を示します PLL 非ロック状態 (LKF=0) の PCR 到着のとき、 閾値範囲内 (LKZF=0) の状態が連続して続き、 LKCNT ≥ LKREF を満足した場合 1 を書き込むことにより、0 クリアされます。
10	DISF	0	R/W	到着した PCR_PID の discontinuity_indicator (表 1.6) を示すステータスフラグです。内部 PCR→STC→内部 STC の転送が終了したときに 1 セットされます。 1 を書き込むことにより、0 クリアされます。

ビット	ビット名	初期値	R/W	説 明
9	UNZF	0	R/W	内部 PCR レジスタから STC カウンタへの転送および STC カウンタから内部 STC レジスタへの転送が終了したときに、到着 PCR_PID の上位側比較が不一致（内部 STC-内部 PCR の比較結果が PWMCYC で指定した有効比較結果範囲を超えた場合、図 1.9）したときに 1 セットされます。 また、discont 後、表 1.6 の PCR_PID 到着のときも 1 セットされます。 また、PWMCYC で指定した有効比較ビット数 n のビット幅の PWM 制御量が $-(2^n)$ であった場合、不当な PWM 制御量（以降 ILGL=1 とします）として上位側比較不一致と同様に 1 が設定されます。 1 を書き込むことにより、0 クリアされます。
8	PCRF	0	R/W	PCRF は内部 PCR レジスタから STC カウンタへの転送および STC カウンタから内部 STC レジスタへの転送が終了したときに 1 セットされます。 内部 PCR レジスタから STC カウンタへの転送および STC カウンタから内部 STC レジスタへの転送は、PCR_PID を検出したパッケージが表 1.5 を満足するパッケージの場合に発生します。 1 を書き込むことにより、0 クリアされます。
7	TENDF	0	R/W	PS モード出力時に STSIZER で設定した転送データサイズを転送完了したことを示します。 1 を書き込むことにより、0 クリアされます。
6	RENDF	0	R/W	PS モード入力時に STSIZER で設定した転送データサイズを転送完了したことを示します。 1 を書き込むことにより、0 クリアされます。
5	RCVF3	0	R/W	TS モード 1、2 の出力時にリカバリ機能③が動作したときに 1 がセットされます。 1 を書き込むことにより、0 クリアされます。
4	RCVF2	0	R/W	TS モード 1、2 の出力時にリカバリ機能②が動作したときに 1 がセットされます。 1 を書き込むことにより、0 クリアされます。
3	RCVF1	0	R/W	TS モード 1、2 の出力時にリカバリ機能①が動作したときに 1 がセットされます。 1 を書き込むことにより、0 クリアされます。
2	UPF	0	R/W	TS モード 1、2 の入力時に、188 バイトに満たないパッケージを受信したときに 1 がセットされます。188 バイトに満たないパッケージは廃棄されます。 1 を書き込むことにより、0 クリアされます。
1	OPF	0	R/W	TS モード 1、2 の入力時に、189 バイト以上のパッケージを受信すると、189 バイト目の受信を完了したときに 1 がセットされます。188 バイトを超えたデータは廃棄されます。 1 を書き込むことにより、0 クリアされます。
0	OVF	0	R/W	TS モード 1、2 の入力時に、A-DMAC によるデータ引き上げが間に合わず、後から来た受信データが破棄されたときに 1 がセットされます。 1 を書き込むことにより、0 クリアされます。

1.3.6 STIF 割り込みイネーブルレジスタ (STIER)

STIER は、割り込みの制御をする 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	LKZE	0	R/W	LKZF の割り込みを許可します。 0：割り込みを許可しない 1：割り込みを許可します
11	LKE	0	R/W	LKF の割り込みを許可します。 0：割り込みを許可しない 1：割り込みを許可します
10	DISE	0	R/W	DISF の割り込みを許可します。 0：割り込みを許可しない 1：割り込みを許可します
9	UNZE	0	R/W	UNZF の割り込みを許可します。 0：割り込みを許可しない 1：割り込みを許可します
8	PCRE	0	R/W	PCRF の割り込みを許可します。 0：割り込みを許可しない 1：割り込みを許可します
7	TENDE	0	R/W	TENDF の割り込みを許可します。 0：割り込みを許可しない 1：割り込みを許可します
6	RENDE	0	R/W	RENDF の割り込みを許可します。 0：割り込みを許可しない 1：割り込みを許可します
5	RCVE3	0	R/W	RCVF3 の割り込みを許可します。 0：割り込みを許可しない 1：割り込みを許可します
4	RCVE2	0	R/W	RCVF2 の割り込みを許可します。 0：割り込みを許可しない 1：割り込みを許可します
3	RCVE1	0	R/W	RCVF1 の割り込みを許可します。 0：割り込みを許可しない 1：割り込みを許可します

ビット	ビット名	初期値	R/W	説 明
2	UPE	0	R/W	UPF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
1	OPE	0	R/W	OPF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
0	OVE	0	R/W	OVF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します

1.3.7 STIF 転送サイズレジスタ (STSIZER) (n=0、1)

STSIZER は、PS モード時の転送バイト数を指定するレジスタです。パワーオンリセットで H'FFFFFFF に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31～0	SIZE31～ SIZE0	すべて 1	R/W	PS モード時の転送バイト数を指定します。

1.3.8 STIFPWM モードレジスタ (STPWMMR)

STPWMMR は、PWM モードの選択、PWM 制御の周期、シフト量および基準クロック、また PID のフィルタリングの許可、フィルタリングする PCR パケットの PID を設定する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31～29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28～16	PID12～PID0	すべて 0	R/W	フィルタリングする PCR パケットの PID (PCR_PID) を設定します。
15	PIDEN	0	R/W	PCR パケットのフィルタリング許可ビットです。 0 : フィルタリングしない 1 : フィルタリングを行う
14	PWMUEN	0	R/W	PWM 制御の差分 (内部 STC レジスタ—内部 PCR レジスタ) で、0～11 ビットのビット比較の上位残りビット (上位側比較対象ビット) の比較によって PWM 制御の差分を PWM 制御出力に反映するかどうかを切り替えます。上位側比較対象ビットの比較結果は、UNZF に反映されます。本ビットは、PWMSEL を 0 に設定したときのみ有効です。 0 : 上位ビット比較結果不一致時、PWM 制御量を PWM 制御に反映させます 【一 致 : UNZF=0】 PWM 制御量を PWM 出力制御に反映します 【不一致 : UNZF=1】 PWM 制御量を PWM 出力制御に反映します 1 : 上位ビット比較結果不一致時、PWM 制御量を PWM 制御に反映させません 【一 致 : UNZF=0】 PWM 制御量を PWM 出力制御に反映します 【不一致 : UNZF=1】 PWM 制御量を PWM 出力制御に反映しません
13	PWMSEL	0	R/W	セクタ 2 (図 1.9) への入力を内部 STC レジスタ—内部 PCR レジスタの差分結果にするか PWMR レジスタの値にするかを切り替えます。 また、セクタ 2 の出力を PWM 出力へ反映するためのパルスを PCR 到着によるパルスにするか、PWMWP にするかを選択します。 0 : PWM 制御モードを内部 STC—内部 PCR 差分結果制御に設定します PCR 到着パルスおよび PWMWP が有効です 1 : PWM 制御モードを PWMR レジスタ制御に設定します PWMWP のみ有効です
12	PWMSEL2	0	R/W	内部 PWM レジスタへの入力をセクタ 1 (図 1.9) からとするか、セクタ 1 と内部 PWM レジスタの値との加算結果とするかを切り替えます。 0 : セクタ 1 出力を内部 PWM レジスタ入力に設定します 1 : セクタ 1 出力 + 内部 PWM セクタ値を内部 PWM レジスタ入力に設定します

ビット	ビット名	初期値	R/W	説 明
11	PWMCYC3	0	R/W	PWM制御の周期をPWMDIVビットで設定したPWM基準クロックを基準とした値を設定します。 表 1.3 を参照してください。 切り替えは、PIDEN が 0 の状態で行ってください。
10	PWMCYC2	0	R/W	
9	PWMCYC1	0	R/W	
8	PWMCYC0	0	R/W	
7	PWMSFT3	0	R/W	内部 STC レジスター内部 PCR レジスタの PWM 制御量を指定する基準ビット位置を設定します。PWMSFT の値によって、PWM 制御量は (図 1.9) のように基準ビット位置がシフトします。 切り替えは、PIDEN が 0 の状態で行ってください。 基準ビット位置 基準ビット位置 0000 : 0 1000 : 8 0001 : 1 1001 : 9 0010 : 2 1010 : 10 0011 : 3 1011 : 11 0100 : 4 1100 : 12 0101 : 5 1101 : 13 0110 : 6 1110 : 14 0111 : 7 1111 : 15
6	PWMSFT2	0	R/W	
5	PWMSFT1	0	R/W	
4	PWMSFT0	0	R/W	
3	PWMDIV3	0	R/W	PWM 制御出力 (PWMOUT) の基準クロックをシステムクロック (Bφ) に対する分周数で指定します。分周数は 1~1024 を設定してください。それ以外の設定は無効で、動作が保証されません。 切り替えは、PIDEN が 0 の状態で行ってください。 0000 : 1 1000 : 256 0001 : 2 1001 : 512 0010 : 4 1010 : 1024 0011 : 8 1011 : 2048 (設定は無効) 0100 : 16 1100 : 4096 (設定は無効) 0101 : 32 1101 : 8192 (設定は無効) 0110 : 64 1110 : 16384 (設定は無効) 0111 : 128 1111 : 32768 (設定は無効)
2	PWMDIV2	0	R/W	
1	PWMDIV1	0	R/W	
0	PWMDIV0	0	R/W	

表 1.3 PWM 制御の周期

ビット 11~8	説 明			
	PWM 周期 (×PWM 基準クロック)	有効比較 ビット数 n	内部 STC-内部 PCR 比較 結果の有効比較結果範囲* ¹	ILGL=1 の PWM 制御量* ²
0000	2	0	-	-
0001	4	1	-1~+1	-2
0010	8	2	-3~+3	-4
0011	16	3	-7~+7	-8
0100	32	4	-15~+15	-16
0101	64	5	-31~+31	-32
0110	128	6	-63~+63	-64
0111	256	7	-127~+127	-128
1000	512	8	-255~+255	-256
1001	1024	9	-511~+511	-512
1010	2048	10	-1023~+1023	-1024
1011	4096	11	-2047~+2047	-2048
1100	8192	12	-4095~+4095	-4096
1101	16384	13	-8191~+8191	-8192
1110	32768	14	-16383~+16383	-16384
1111	65536	15	-32767~+32767	-32768

【注】 *1 PWMSEL=0 のとき、内部 STC-内部 PCR 比較結果が有効比較結果範囲を超えた場合、UNZF=1 に設定されます。

*2 PWM 制御量が $\delta-(2^n)$ の場合、不当な PWM 制御量 (ILGL=1) として扱われ UNZF=1 に設定されます。PWM 制御量は、PWMSEL で選択します。

1.3.9 STIFPWM コントロールレジスタ (STPWMCR)

STPWMCR は、PCR/STC レジスタの書き込みパルス発生を指定する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	STCXP	0	R/W	1 をセットすることにより、STC カウンタの値を STSTC0R、STSTC1R レジスタへ転送します。 本ビットは自動的に 0 クリアされます。
7	PWMBRS	0	R/W	1 をセットすることにより、内部 PWM レジスタの値を STPWM レジスタ (PWMB) へ転送します。 本ビットは自動的に 0 クリアされます。
6	PWMBWP	0	R/W	1 をセットすることにより、STPWM レジスタ (PWMB) の値を内部 PWM レジスタへ反映します。 内部 PWM レジスタに設定された値で PWM 制御が直ちに行われます。 PWMBWP によるロードは、PWMSEL および PWMUEN の設定に依存せずに優先的に行えますが、PWM 制御量が UNZF で説明する不当な PWM 制御量である場合に限りロードできません。なお、PWMWP と同時に 1 をセットした場合、PWMBWP が優先されます。 本ビットは自動的に 0 クリアされます。
5	PWMRS	0	R/W	1 をセットすることにより、内部 STC レジスタ内部 PCR レジスタの差分結果を STPWM レジスタ (PWM) へ転送します。 差分結果は、(図 1.9) に示すように PWMCYC (有効比較ビット) のマスクがかかります。 本ビットは自動的に 0 クリアされます。
4	PWMWP	0	R/W	1 をセットすることにより、セクタ 2 出力を内部 PWM レジスタへ反映します。 PWMWP によるロードは、PWMSEL および PWMUEN の設定に依存せずに優先的に行えますが、PWM 制御量が UNZF で説明する不当な PWM 制御量である場合に限りロードできません。なお、PWMWP と同時に 1 をセットした場合、PWMBWP が優先されます。 本ビットは自動的に 0 クリアされます。
3	STCRS	0	R/W	1 をセットすることにより、内部 STC レジスタの値を STSTC0R、STSTC1R レジスタへ転送します。 本ビットは自動的に 0 クリアされます。
2	STCWP	0	R/W	1 をセットすることにより、STSTC0R、STSTC1R レジスタの値を内部 STC レジスタへ転送します。 PCR 到着による書き込みと競合した場合は、本レジスタのライトパルスによる転送が優先されます。 本ビットは自動的に 0 クリアされます。

ビット	ビット名	初期値	R/W	説 明
1	PCRRS	0	R/W	1 をセットすることにより、内部 PCR レジスタの値を STPCR0R、STPCR1R レジスタへ転送します。 本ビットは自動的に 0 クリアされます。
0	PCRWP	0	R/W	1 をセットすることにより、STPCR0R、STPCR1R レジスタの値を内部 PCR レジスタへ転送します。 PCR 到着による書き込みと競合した場合は、本レジスタのライトパルスによる転送が優先されます。 本ビットは自動的に 0 クリアされます。

1.3.10 STIFPWM レジスタ (STPWMR)

STPWMR は、PWM 制御量を直接指定する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31～16	PWMB15～PWMB0	すべて 0	R/W	内部 STC レジスタ—内部 PCR レジスタの比較結果に相当する PWM 制御の値を設定します。 PWMB の値を PWM 制御量として PWMOUT 出力端子へ反映させるには、PWMBWP に 1 を書き込むことで行います。PWMB の値は PWMCYC で指定した有効比較ビット数 n のうち、ビット n を符号ビットとした 2 の補数で指定してください。設定の有効範囲は、 n を PWMCYC で指定した有効比較ビット数とすると、 $-(2^n-1) \sim +(2^n-1)$ です。 $-(2^n)$ は設定しないでください。 $-(2^n)$ を設定して PWMBWP=1 によって PWM 制御へ反映させた場合、不当な PWM 制御量設定として UNZF=1 にセットされ、PWM 制御出力へは反映されません。また、PWMB に $-(2^n)$ を設定したままでは PWM 制御出力への反映が PWMB の値を $-(2^n)$ 以外に設定するまでは行われなくなることに注意してください。
15～0	PWM15～PWM0	すべて 0	R/W	内部 STC レジスタ—内部 PCR レジスタの比較結果に相当する PWM 制御の値を設定します。 PWM の値を PWM 制御量として PWMOUT 出力端子へ反映させるには、PWMSEL=1 にして、PWMWP に 1 を書き込むことで行います。PWM の値は PWMCYC で指定された有効比較ビット数 n のうちでビット n を符号ビットとした 2 の補数で指定してください。設定の有効範囲は、 n を PWMCYC で指定された有効比較ビット数とすると、 $-(2^n-1) \sim +(2^n-1)$ です。セクタ 2 の出力が $-(2^n)$ になるようには設定しないでください。セクタ 2 の出力が $-(2^n)$ のとき PWMWP=1 によって PWM 制御へ反映させた場合、不当な PWM 制御量設定として UNZF=1 にセットされ、PWM 制御出力へは反映されません。

1.3.11 STIFPCR0、1 レジスタ (STPCR0R、STPCR1R)

STPCR0R、STPCR1R は、内部 PCR レジスタと I/F をとるそれぞれ 32 ビットのレジスタです。パワーオンリセットで H'0000 に初期化されます。PCR ベース (33 ビット)、PCR エクステンション (9 ビット) を格納する計 42 ビットのレジスタです。それぞれ PCRB32~PCRB0、PCRX8~PCRX0 に格納されます。本レジスタへの読み込み／書き込みだけでは、直接クロックリカバリに反映はされません。

• STPCR0R

ビット	ビット名	初期値	R/W	説 明
31~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	PCRB32~ PCRB23	すべて 0	R/W	PCR ベースビット

• STPCR1R

ビット	ビット名	初期値	R/W	説 明
31~9	PCRB22~ PCRB0	すべて 0	R/W	PCR ベースビット
8~0	PCRX8~ PCRX0	すべて 0	R/W	PCR エクステンションビット

【注】 読み込み中に PCR_PID が到着した場合に値が書き換えられ不定となりますので、PCR_F によって PCR_PID 到着が読み込み中になかったことを確認するようにしてください。具体的には、読み込む前に PCR_F=0 としてから読み込みを行って、その後の PCR_F の確認で PCR_F=1 であれば再度同じ手順を繰り返してください。

1.3.12 STIFSTC0、1 レジスタ (STSTC0R、STSTC1R)

STSTC0R、STSTC1R は、内部 STC レジスタと I/F をとるそれぞれ 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。STC ベース (33 ビット)、STC エクステンション (9 ビット) の値を格納する計 42 ビットのレジスタです。それぞれ STCB32~STCB0、STCX8~STCX0 に格納されます。本レジスタへの読み込み／書き込みだけでは、直接クロックリカバリに反映はされません。

• STSTC0R

ビット	ビット名	初期値	R/W	説 明
31~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	STCB32~ STCB23	すべて 0	R/W	STC ベースビット

• STSTC1R

ビット	ビット名	初期値	R/W	説 明
31~9	STCB22~ STCB0	すべて 0	R/W	STC ベースビット
8~0	STCX8~ STCX0	すべて 0	R/W	STC エクステンションビット

【注】 読み込み中に PCR_PID が到着した場合に値が書き換えられ不定となりますので、PCRF によって PCR_PID 到着が読み込み中になかったことを確認するようにしてください。具体的には、読み込む前に PCRF=0 としてから読み込みを行って、その後の PCRF の確認で PCRF=1 であれば再度同じ手順を繰り返してください。

1.3.13 STIF ロックコントロールレジスタ (STLKCR)

STLKCR は、PLL 周波数ロックを制御する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31～26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	LKWP	0	R/W	1 をセットすることにより、LKCNT の値を内部 LKCNT へ反映します。 内部 LKCNT のカウントアップまたはクリアと競合した場合は、LKWP による書き込みが優先します。 本ビットは自動的に 0 クリアされます。
24	ULWP	0	R/W	1 をセットすることにより、ULCNT の値を内部 ULCNT へ反映します。 内部 ULCNT のカウントアップまたはクリアと競合した場合は、ULWP による書き込みが優先します。 本ビットは自動的に 0 クリアされます。
23 22 21 20	ULCNT3 ULCNT2 ULCNT1 ULCNT0	0 0 0 0	R/W R/W R/W R/W	ULWP に 1 セットすることで、ULCNT の値が内部 ULCNT へ書き込まれます。また、本ビットを読み出した際は、以下の状態を示します。 PLL ロック状態 (LKF=1) のときに、連続した閾値範囲外 (LKZF=1) の状態となった回数をカウントして示します。 また、ULCNT>=ULREF となった場合 (LKF=1 の場合は、LKF=0 に設定)、閾値範囲内 (LKZF=0) となった場合、discont が発生した場合には、0 クリアされます。
19 18 17 16	LKCNT3 LKCNT2 LKCNT1 LKCNT0	0 0 0 0	R/W R/W R/W R/W	LKLP に 1 セットすることで、LKCNT の値が内部 LKCNT へ書き込まれます。また、本ビットを読み出した際は、以下の状態を示します。 PLL 非ロック状態 (LKF=0) のとき、連続した閾値範囲内 (LKZF=0) の状態状態となった回数をカウントして示します。 また、LKCNT>=LKREF となった場合 (LKF=0 の場合は、LKF=1 に設定)、閾値範囲外 (LKZF=1) となった場合、discont が発生した場合には、0 クリアされます。

ビット	ビット名	初期値	R/W	説 明
15	GAIN3	0	R/W	セレクタ1から加算器へ入力される誤差量をゲインさせる右シフト量を制御します。誤差量は2の補数で表現されていますので、右シフトは算術シフトで行われます。すなわち、最上位符号ビットが右シフトによって不足するビットへコピーされて補充されます。誤差量の右シフト量は0~10を設定してください。それ以外の設定は無効で、動作が保証されません。 右シフト量 右シフト量 0000 : 0 1000 : 8 0001 : 1 1001 : 9 0010 : 2 1010 : 10 0011 : 3 1011 : 11 (設定は無効) 0100 : 4 1100 : 12 (設定は無効) 0101 : 5 1101 : 13 (設定は無効) 0110 : 6 1110 : 14 (設定は無効) 0111 : 7 1111 : 15 (設定は無効)
14	GAIN2	0	R/W	
13	GAIN1	0	R/W	
12	GAIN0	0	R/W	
11	LKCYC3	0	R/W	
10	LKCYC2	0	R/W	
9	LKCYC1	0	R/W	
8	LKCYC0	0	R/W	
7	ULREF3	0	R/W	
6	ULREF2	0	R/W	
5	ULREF1	0	R/W	PLL ロック状態 (LKF=1) のときの連続した閾値範囲外状態 (LKZF=1) の回数の参照値を指定します。ULCNT と比較され、ULCNT>=ULREF のとき LKF は 0 に設定されます。
4	ULREF0	0	R/W	
3	LKREF3	0	R/W	
2	LKREF2	0	R/W	
1	LKREF1	0	R/W	PLL 非ロック (LKF=0) のときの連続した閾値範囲内状態 (LKZF=0) の回数の参照値を指定します。LKCNT と比較され、LKCNT>=LKREF のとき LKF は 1 に設定されます。
0	LKREF0	0	R/W	

表 1.4 PLL ロックの閾値

ビット 11～8	説 明			
LKCYC3～ LKCYC0	PLL ロック閾値 (×PWM 基準クロック)	有効比較 ビット数 n	内部 STC－内部 PCR 比較 結果の有効比較結果範囲* ¹	ILGL=1 の PWM 制御量* ²
0000	2	0	-	-
0001	4	1	-1～+1	-2
0010	8	2	-3～+3	-4
0011	16	3	-7～+7	-8
0100	32	4	-15～+15	-16
0101	64	5	-31～+31	-32
0110	128	6	-63～+63	-64
0111	256	7	-127～+127	-128
1000	512	8	-255～+255	-256
1001	1024	9	-511～+511	-512
1010	2048	10	-1023～+1023	-1024
1011	4096	11	-2047～+2047	-2048
1100	8192	12	-4095～+4095	-4096
1101	16384	13	-8191～+8191	-8192
1110	32768	14	-16383～+16383	-16384
1111	65536	15	-32767～+32767	-32768

【注】 *1 内部 STC-内部 PCR 比較結果が有効比較結果範囲以内の場合、LKZF=0 に設定されます。

*2 PWM 制御量が $-(2^n)$ の場合、不当な PWM 制御量 (ILGL=1) として扱われ LKZF=1 に設定されます。PWM 制御量は、PWMSEL および PWMSEL2 で選択します。

1.3.14 STIF デバッグ用ステータスレジスタ (STDBG R)

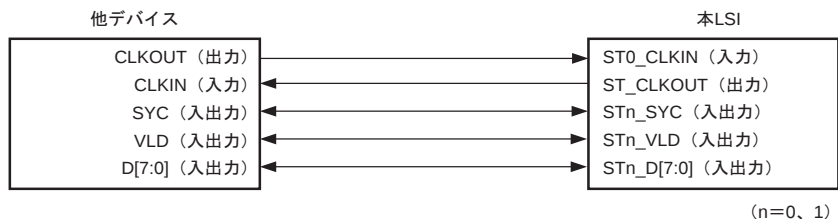
STDBG R は、入出力したパケットの先頭 4 バイトを表示します。本レジスタはデバッグ用です。書き込むときは常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
31～0	STMON31～ STMON0	すべて 0	R	TS モード時に入出力したパケットのタイムスタンプ 4 バイトが格納されます。 すなわち、STIF が外部デバイスから TS パケット (188 バイト) を取り込む場合、STIF が TS パケットの先頭に付加するタイムスタンプ 4 バイトが格納され、STIF から外部デバイスに TS パケットを出力する場合、TTS パケット (192 バイト) の先頭に付加されていたタイムスタンプ 4 バイトが格納されます。 TTS モード時、PS モード時、本レジスタは使用できません。

1.4 他のデバイスとの接続例

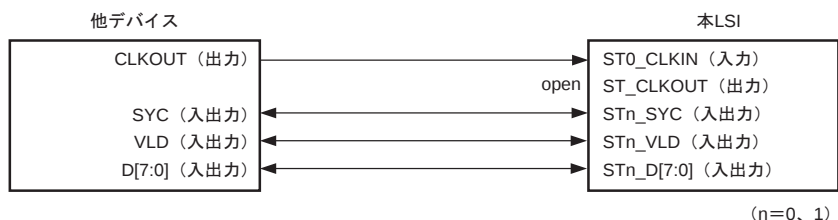
他のデバイスとのクロック接続例を示します。

1.4.1 基本の例



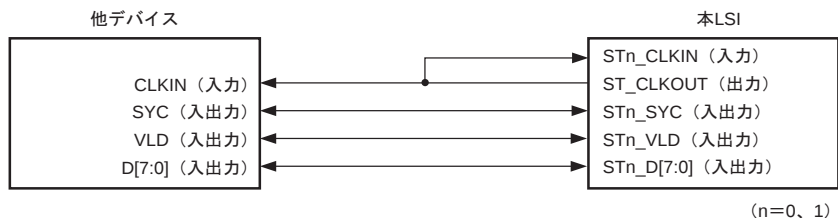
- 本LSIがストリームを受信する場合は、STn_CLKINに同期して受信
- 本LSIがストリームを送信する場合は、STn_CLKOUTに同期して送信

1.4.2 他デバイスがクロック入力を持たない場合の例



- 本LSIがストリームを受信する場合は、STn_CLKINに同期して受信
- 本LSIがストリームを送信する場合は、STn_CLKINに同期して送信

1.4.3 他デバイスがクロック出力を持たない場合の例



- 本LSIがストリームを受信する場合は、STn_CLKINに同期して受信
- 本LSIがストリームを送信する場合は、STn_CLKOUTに同期して送信

1.5 入出力タイミング

各モードの動作概略と入出力タイミングを、図 1.2～図 1.7 に示します。

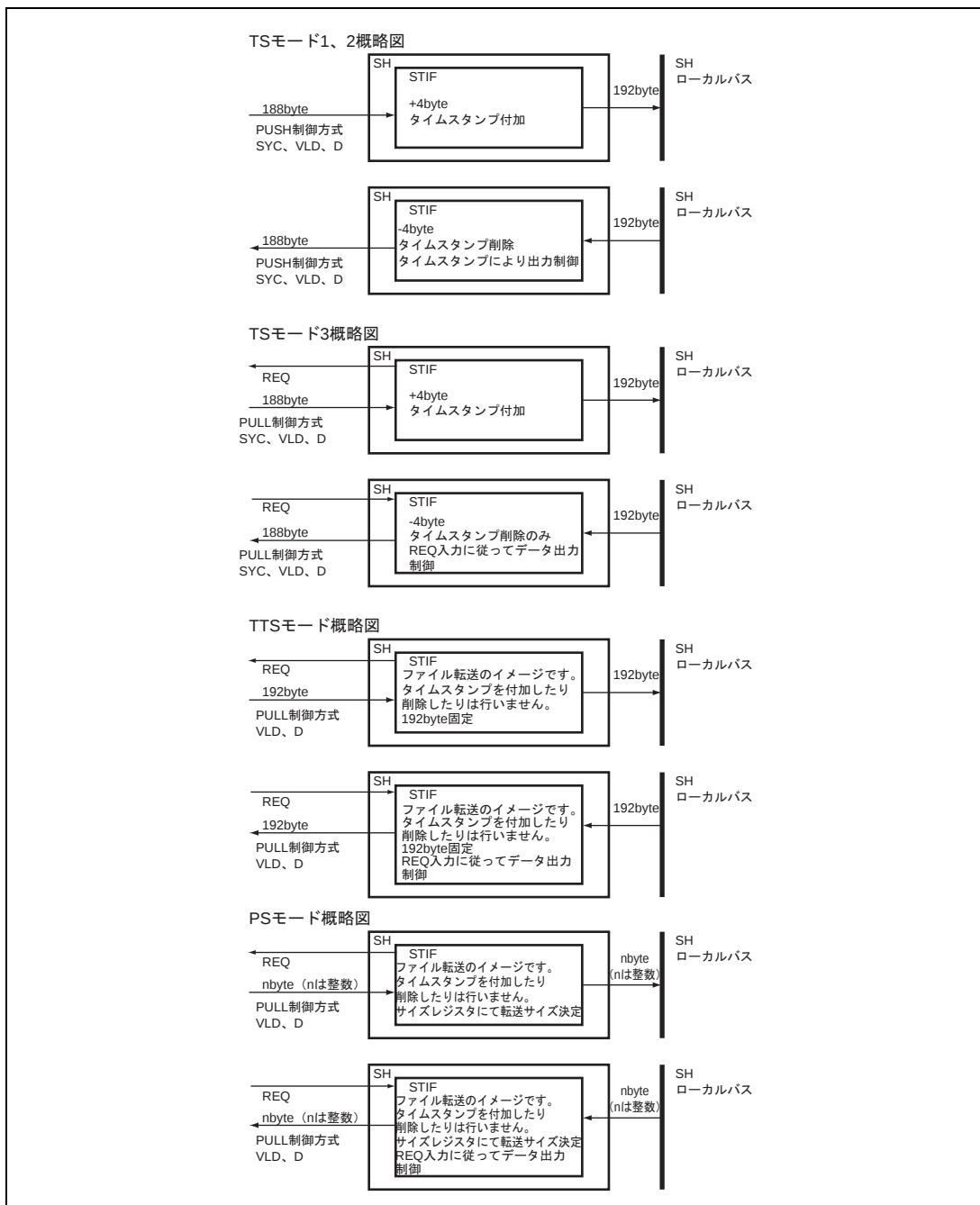


図 1.2 動作概略

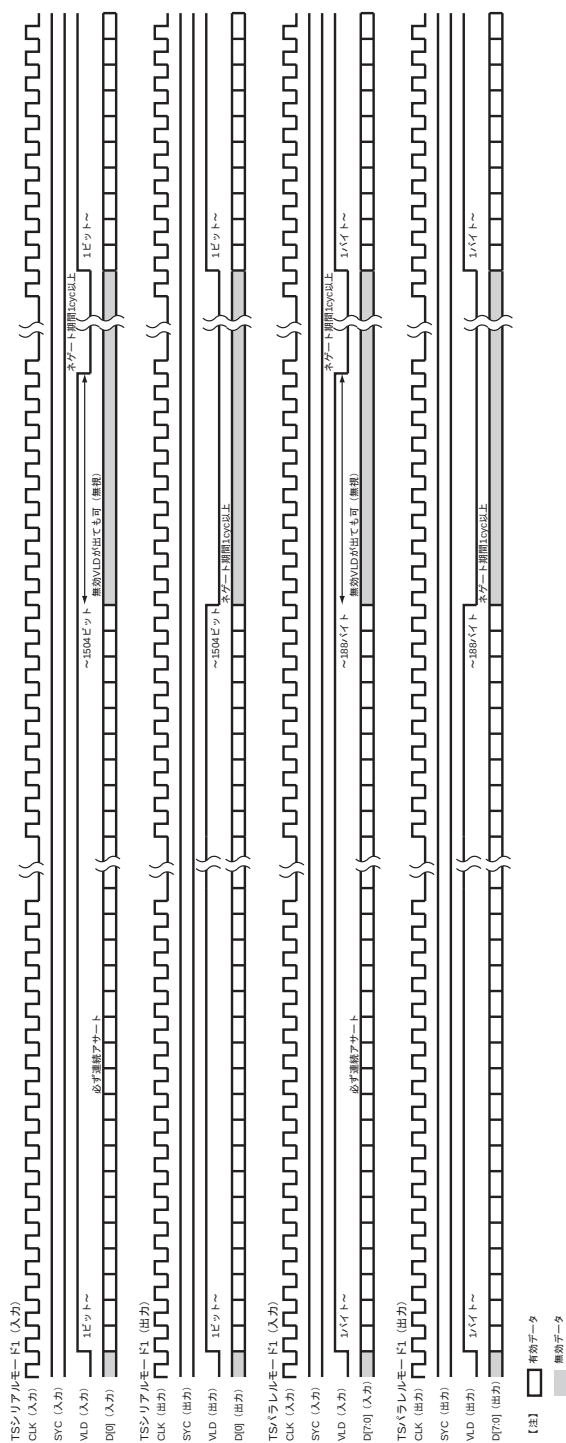


図 1.3 TS モード 1

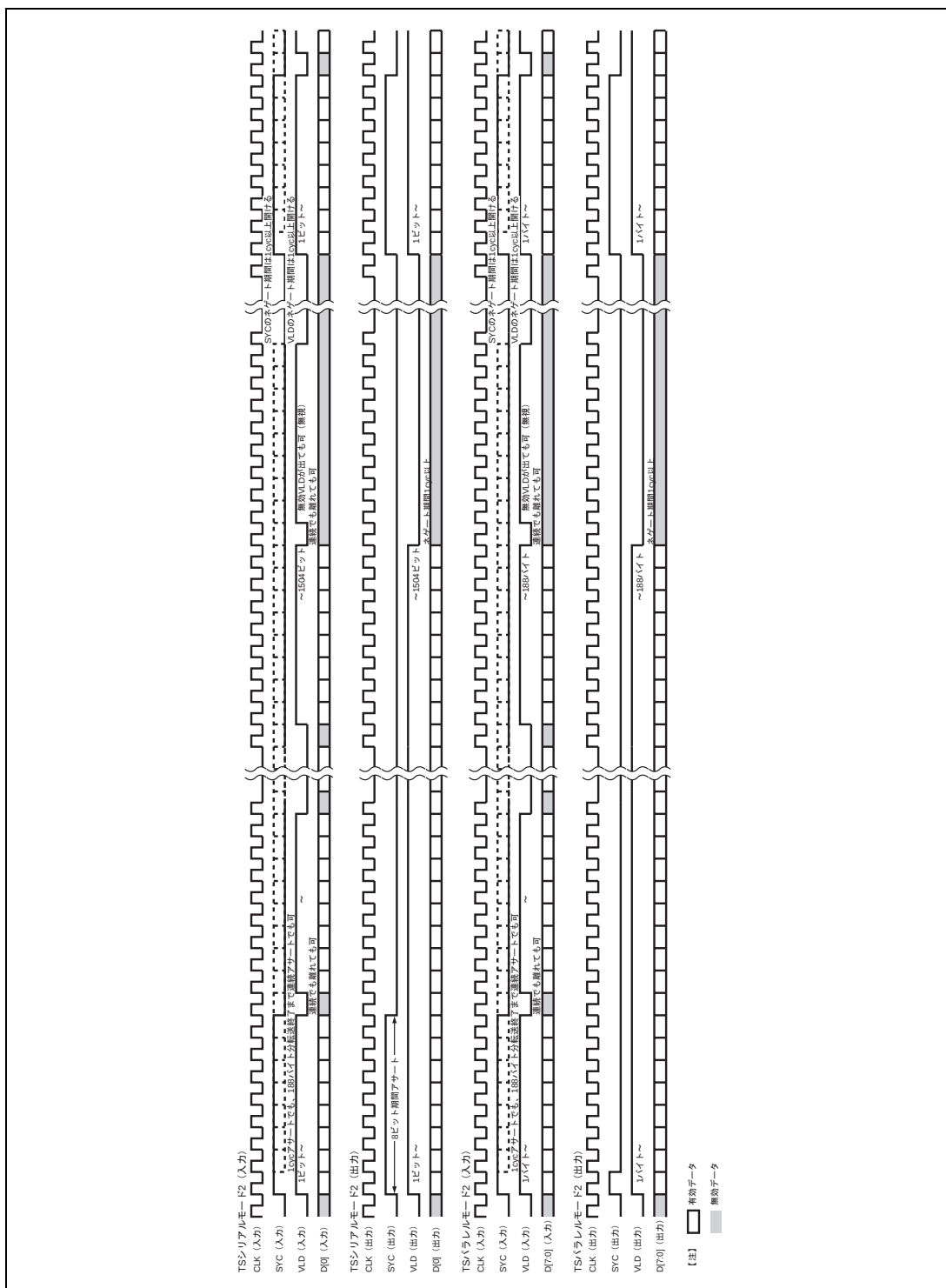


図 1.4 TS モード 2

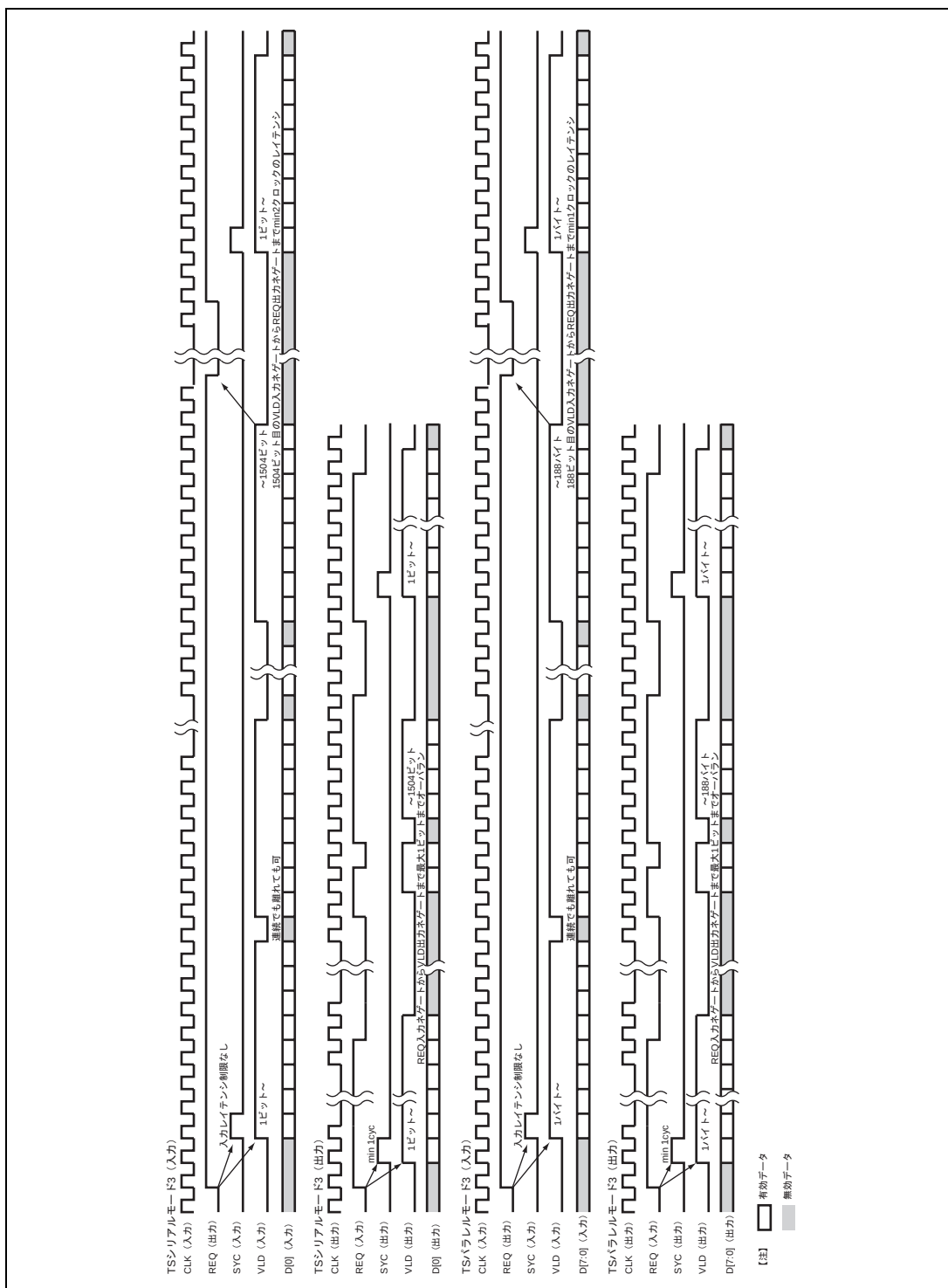


図 1.5 TS モード 3

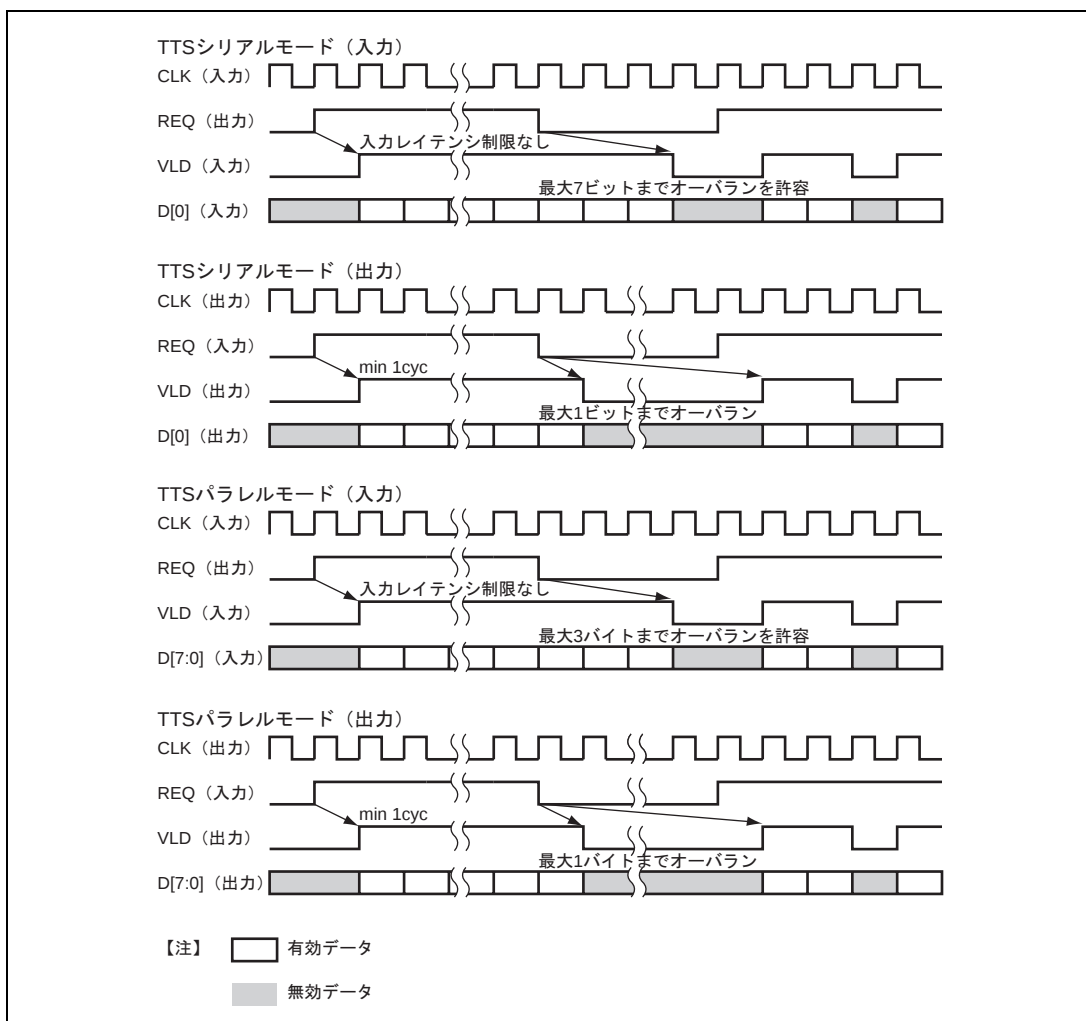


図 1.6 TTS モード

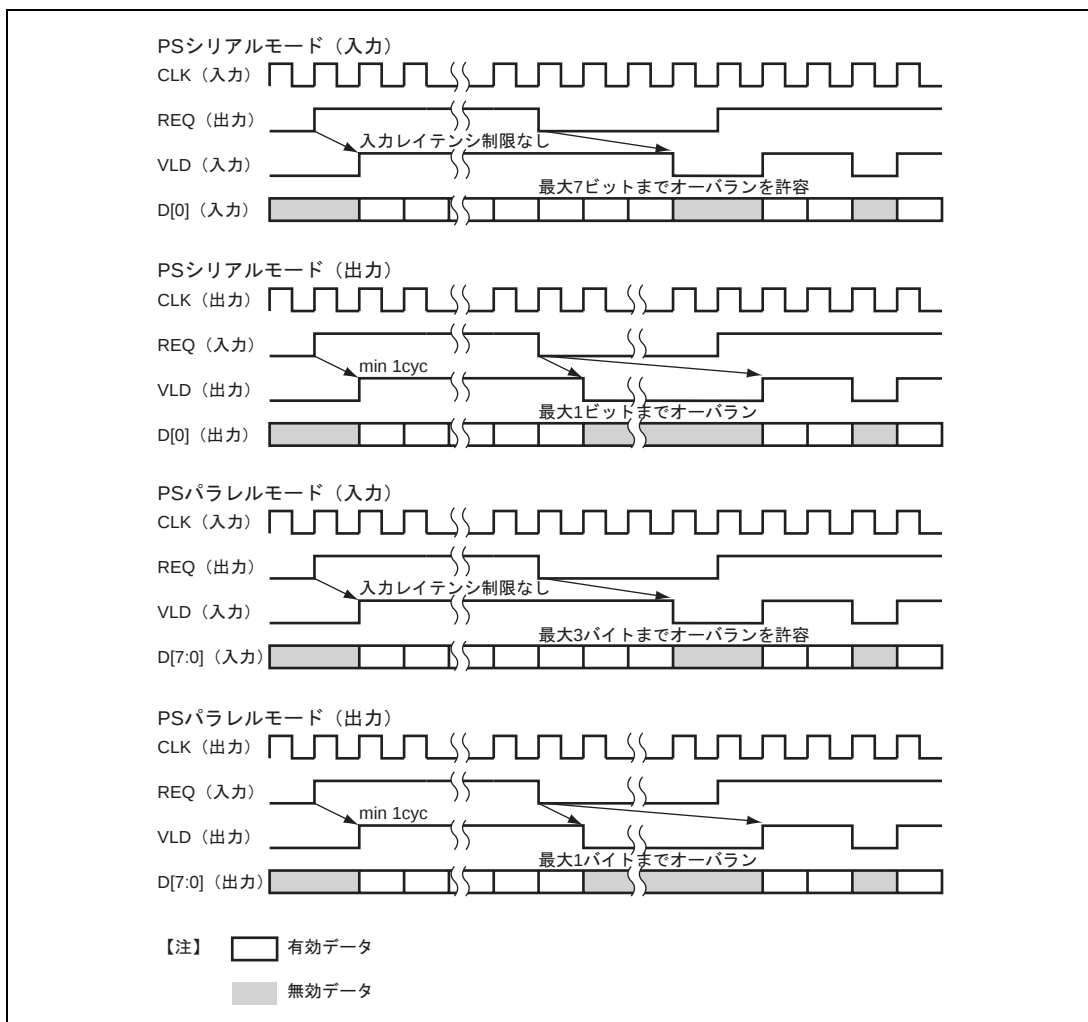


図 1.7 PS モード

1.6 PCR クロックリカバリモジュール (PCRRCV)

PCR クロックリカバリモジュール (PCRRCV) は、入力されたトランスポートパケット (TS パケット) 中の adaptation_field の program_clock_reference_base (PCR ベース) および program_clock_reference_extension (PCR エクステンション) の計 42 ビットの program_clock_reference (PCR) とシステム基準クロック (STC) の差分量により、外部 VCXO 回路を制御するための PWM (Pulse Wave Modulation) 出力を行う回路です。

また、PCR クロックリカバリモジュールには、次のような特長があります。

- 外部VCXO回路からのクロック入力により、カウントアップする42ビットの内部STCカウンタを内蔵しています。
- 外部VCXO回路を制御するためのPWM出力をSTn_PWMOUT出力端子から出力可能です。
- VCXO制御をTSパケット中のPCRとSTCとの差分でPWM制御を行うモードとSTPWMMRレジスタに直接設定することでPWM制御を行うモードから選択することができます。
- STPWMMRへの設定により、PWM制御の精度やPWM周期を設定することが可能です。

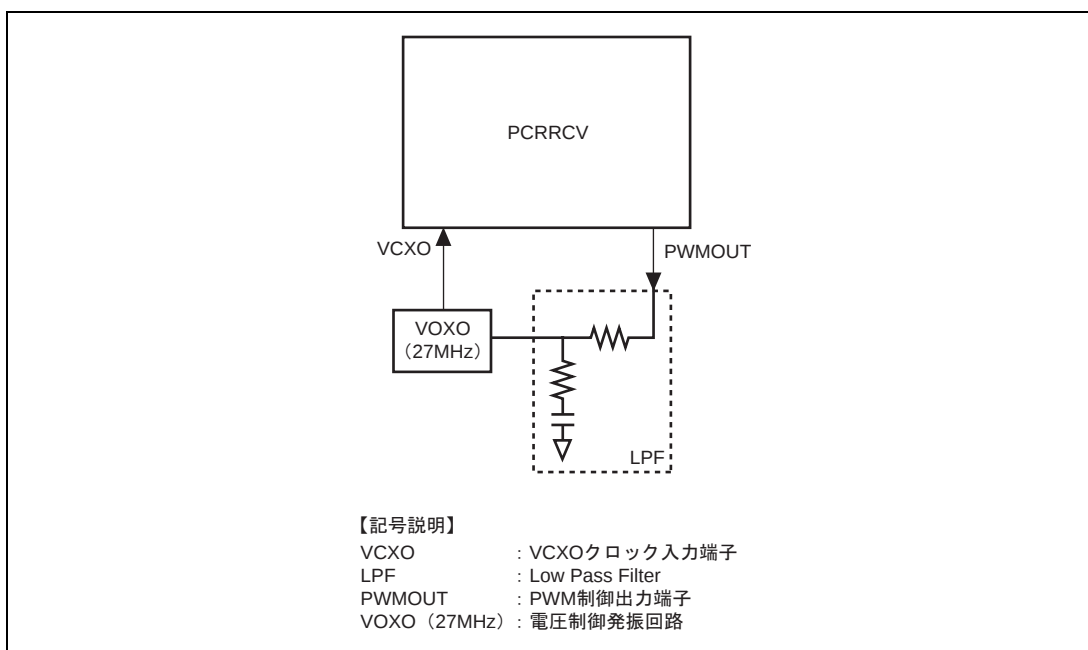


図 1.8 STn_VCO_CLKIN と STn_PWMOUT の接続方法

1.6.1 PCR クロックリカバリ動作説明

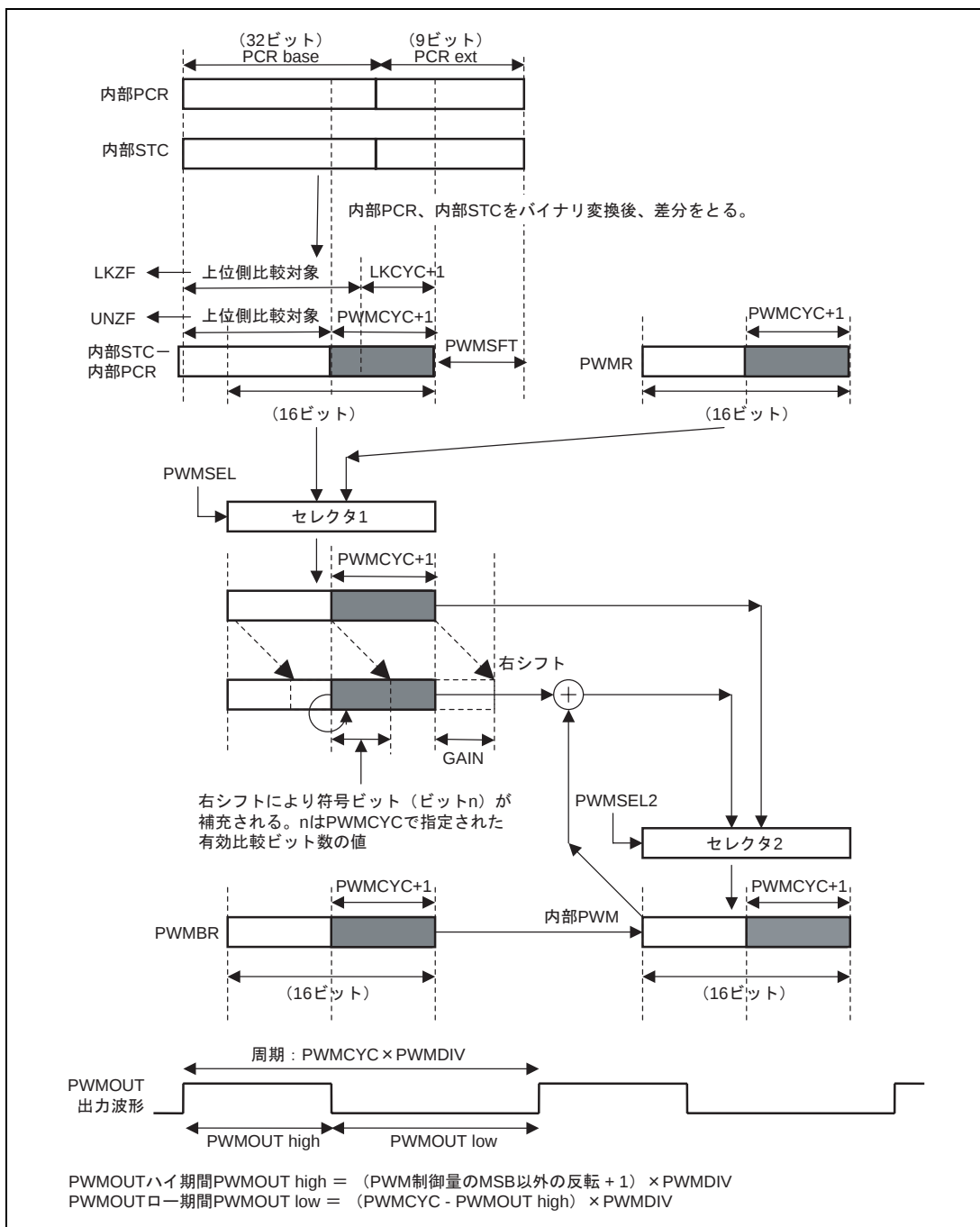


図 1.9 レジスタ設定の説明図

● レジスタ設定の説明

1. PWMCYC[3:0]ビットの設定で、PWM制御量の有効比較ビット数 n を指定します。
2. LKCYC[3:0]ビットの設定で、PLLロックの閾値を指定します。
3. PWMSFT[3:0]ビットの設定で、PWM制御量の基準ビット（PWM制御量のLSB）のシフト量を指定します。
シフトされたビット（図1.9のPWMSFT幅のビット）はPWM制御量の比較の対象にはなりません。
4. PWM制御量の計算では、内部STCレジスタおよび内部PCRレジスタは、PCRベースおよびPCRエクステンションからバイナリ変換された値にPWMSFT幅のマスクをとってから差分がとられます。バイナリ変換は、1)式によって行われます。
内部レジスタのバイナリ変換： $(PCR_base \times 300 + PCR_ext) \& (PWMSFT\text{幅のマスク}) \cdots 1)$ 式
差分結果の(PWMCYC+1) 以外の上位側比較結果は、UNZFに反映されます。
差分結果の(LKCYC+1) 以外の上位側比較結果は、LKZFに反映されます。
5. GAIN[3:0]ビットの設定で、セクタ1出力の右シフト量を指定します。右シフトは算術シフトで演算されるため、下位側にあふれたビットは捨てられ、上位側には符号ビット（有効比較ビット n のときのビット n ）が補充されます。
6. PWMSELおよびPWMSEL2の設定で、セクタ1およびセクタ2を切り替え、内部PWMへの経路を選択します。
7. PWMDIV[3:0]ビットの設定で、PWMOUT出力端子のPWM基準クロックを指定します。PWM基準クロックはシステムクロック $\times$ PWMDIVのクロック周期になります。また、PWMOUT出力端子のPWM周期は、PWMCYC $\times$ PWMDIVのクロック周期になります。
8. PWMOUT出力端子の波形は、PWM制御量に依存し、PWMOUT波形は、2a)、2b) 式のようにになります。
$$PWMOUT\ high = (PWM\text{制御量のMSB以外を反転とした値} + 1) \times PWMDIV \cdots 2a) \text{ 式}$$
$$PWMOUT\ low = (PWMCYC - PWMOUT\ low) \times PWMDIV \cdots 2b) \text{ 式}$$

有効比較ビット数 n のときのMSBは、PWM制御量のビット n になります。
PWM制御量は2の補数で表現されます。上位側比較対象をPWM制御の対象とするかどうかは、PWMUENで指定します。
9. PWM制御量は、PWMRレジスタに指定することで直接行うこともできます。その場合、PWMSEL=1に設定します。この場合の、PWMCYCの役割は内部STCレジスター内部PCRレジスタと同様に有効比較ビット数になります（図1.9参照）。

1.6.2 PCR クロックリカバリの動作

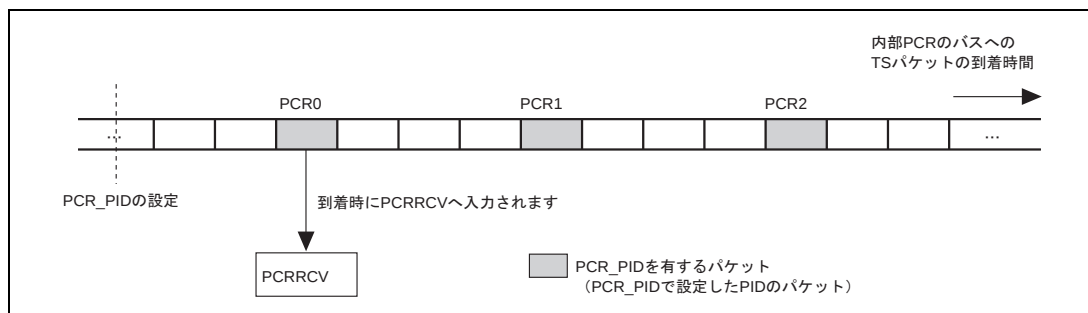


図 1.10 TS パケットの概要

● 動作例1：PCRRCVのハードを使用してクロックリカバリする場合

1. PCRRCVのハードによるクロックリカバリを有効にするため、PWMSEL=0に設定します。
2. PWM制御出力の指定をPWMCYC、PWMSFT、PWMDIV、PWMUENに設定します。
3. PCRRCVにクロックリカバリさせるためのPCRを含むパケットのPCR_PIDをPIDに設定します。クロックリカバリは、PIDの設定で開始されます。したがって、リセット直後やチャンネルチェンジなどによって、PCRの連続性が損なわれた場合は、PIDEN=0にしてからPIDを設定してください。
4. PCRRCVは、PCR_PIDを含むパケットが到着した場合、パケットのadaptation_fieldからprogram_clock_reference (PCR) の42ビットを抽出します。PCRを抽出するパケットの条件については、表1.5を参照してください。表1.5を満たすTSパケットが到着した場合、PCRRCV内部ではPCR到着パルスが発生します。
5. PCR到着パルスが発生したとき、パケットから抽出したPCRが内部PCRレジスタおよびSTCカウンタへ転送されます。このとき同時にSTCカウンタ (STC) の値が内部STCレジスタへ転送されます。この転送後、STCカウンタはVCXOクロック入力によってカウントアップされていきます。すなわち、内部STCレジスタへは、以前に到着したPCRからVCXOクロックで現在までカウントアップされたSTCカウンタが設定され、内部PCRおよびSTCカウンタへは現在到着したPCRが設定されることになります。
6. 内部STCレジスタと内部PCRレジスタの比較結果（内部STCレジスタ-内部PCRレジスタ）であるPWM制御量はPWMCTLRレジスタに設定されたPWMCYC、PWMSFTおよびPWMDIVによって計算され表1.6に示す比較結果の反映条件を満足した場合、PWM出力制御に反映されます。PWMUEN=1としている場合は、PWMCYCに指定した有効比較結果範囲を超えたPWM制御量をPWM制御出力に反映させないことができます。この機能を利用することで、伝送エラーによるパケット中のPCRの誤りや、送信側の規約違反などでPCRが不正な値で伝送されてくる場合などの異常値のPCRをクロックリカバリに反映させないことができます。異常PCR到着の対策手順については後述の手順例1および手順例2を参考にしてください。
7. 反映されたPWM制御量でPWMOUT出力端子からは図1.9に記載のような波形が出力されます。

8. PCR_PIDパケットの到着ごとに比較される内部STCレジスタ→内部PCRレジスタの比較結果を0とすることで、外付けLPFおよび外付けVCXOでフィードバックを構成することによって、VCXOクロックの周波数が調整されます。

● 動作例2：PCRRCVおよびソフトを使用してクロックリカバリする場合

1. PCRRCVのハードによるクロックリカバリを無効にするため、PWMSEL=1に設定します。また、PCR到着パルスによる割り込み要求を許可するため、PCRE=1に設定します。
2. PCRRCVの設定およびPCRRCV内部のレジスタ転送は動作例1の2.~5.と同様です。表1.6の注1~4は、PCRの連続性が失われた後の最初のPCRが到着した場合に相当します。よって、到着した内部PCRレジスタとの連続性のないSTCカウンタが内部STCレジスタに転送されていることになりますので、CPUで内部STCレジスタ→内部PCRレジスタの計算をすることは適切ではありません。
3. PCRRCV内部のレジスタ転送が終了していることをPCRFB=1で確認しPCRFB=0に設定してから、内部STCレジスタ→STSTC0R、STSTC1Rレジスタ転送と内部PCRレジスタ→STPCR0R、STPCR1Rレジスタ転送をSTCRSおよびPCRRSに1を書き込むことで行います。その後、STSTC0R、STSTC1RおよびSTPCR0R、STPCR1Rを読み込みます。また、MPEG2デコーダに設定するためのSTCカウンタの値を得る場合は、STCカウンタ→STSTC0R、STSTC1Rレジスタ転送をSTCXPに1を書き込むことで行います。その後、STSTC0R、STSTC1Rを読み込みます。
4. PCRFBを読み込み、0であれば3.の読み込み中にPCR_PIDパケットの到着がなかったことが示されていますので、3.のSTSTC0R、STSTC1RおよびSTPCR0R、STPCR1Rの読み込みは成功したことになります。反対にPCRFBが1であった場合、3.の読み込み中にPCR_PIDパケットの到着があったことが示されていますので、読み込んだSTSTC0R、STSTC1RおよびSTPCR0R、STPCR1Rが以前の到着の内部STCおよび内部PCRであるのか読み込み中に到着したものであるか判定できませんので、3.へ戻り繰り返すことになります。
5. CPUでは、読み込んだSTSTC0R、STSTC1RおよびSTPCR0R、STPCR1Rを「1.6.1 PCRクロックリカバリ動作説明」の4.記載の1) 式によってそれぞれSTCbinおよびPCRbinとバイナリ変換を行ってから、その差分 ($STCbin - PCRbin$) を計算します。差分値 ($STCbin - PCRbin$) はSTPWMRレジスタにPWM制御量として設定するためにPWMCYCで指定した有効比較ビット数nからビットnを符号ビットとした2の補数で指定します。設定の範囲は $-(2^n - 1) \sim +(2^n - 1)$ です。 -2^n は設定しないでください。また、動作例1の6.のようなパケット中のPCRのデータ誤りの扱いはCPUで判断します。
6. STPWMRレジスタに設定したPWM制御量をPWMWPに1を書き込むことでPWM制御出力に反映させます。
7. PWM制御出力によるVCXOクロックの周波数調整の原理については、動作例1の7.~8.と同様です。

表 1.5 PCR の抽出条件

transport_error_indicator	adaptation_field_control	adaptation_field_length	PCR_flag	PCR 抽出の可否*
0	00	don't care	don't care	×
	01	don't care	don't care	×
	10	$0 \leq \text{len} < 7$	don't care	×
		$7 \leq \text{len} < \text{H'FF}$	0	×
			1	○
	11	$0 \leq \text{len} < 7$	don't care	×
		$7 \leq \text{len} < \text{H'FF}$	0	×
			1	○
1	don't care	don't care	don't care	×

【注】 * ○の場合、PCR 抽出が行われ PCR 到着パルスが発生します。

表 1.6 内部 PCR レジスタと内部 STC レジスタの比較結果の反映条件*1

反映する／しない	比較結果の反映条件
反映しない*2	discont 後の PCR_PID 到着*3 PWMUEN=1 のとき、上位比較結果が不一致の PCR_PID 到着
反映する	上記以外の場合の PCR_PID 到着

【注】 *1 PWMSEL=0 のとき本表の反映条件が有効です。PWMSEL=1 のときは、PWMWP に 1 を書き込むことで、PWM 制御出力へ PWM 制御量を反映させます。

*2 PWM 制御量が反映されませんので、PWMOUT 出力波形は維持されたままになります。

*3 discont 後の PCR_PID 到着には、下記 4 とおりがります。

- (1) リセット解除後の最初の PCR_PID 到着
- (2) PCR フラッシュ解除後の最初の PCR_PID 到着
- (3) 到着した PCR_PID のパケットの discontinuity_indicator=1 の場合
- (4) STPWMMR レジスタ PID が書き換えられた後の PCR_PID 到着*4

*4 STPWMMR レジスタ PID を書き換える際は、PIDEN を 0 にしてから行ってください。PIDEN を 0 にすることで discont 後として扱われます。

● 異常PCR到着に対するハード対策手順

初期設定 (1) PWMCYC以下になるようなLKCYCを設定します。LKCYCは、外付け回路とで構成されるPLLの定常偏差 (PLL誤差量) より大きくする必要があります。PLLの定常偏差から余裕をもってLKCYCの値を決定してください。守られない場合、動作が保証されません。

初期設定 (2) PLL誤差量が閾値範囲内になったときにLKRF=1にするまでのLKREFの値を設定します。LKREFはPLL引き込み時の異常PCR到着に対する安定性を高めるための設定で、通常は1以上を設定します。大きな値ほど安定性が高まりますが、引き込み時間が大きくなることに注意が必要です。

初期設定 (3) PLL誤差量が閾値範囲外になったときにLKRF=0にするまでのULREFの値を設定します。LKREFはPLLがロック状態のときの異常PCR到着に対する安定性を高めるための設定で、通常は1以上を設定します。システムの依存的な異常PCR到着の連続する回数の最大値よりLKREFを大きくすることを推奨します。

1.7 使用上の注意事項

1. 外部デバイスからSTIFへのストリームをA-DMAC経由でメモリへ転送中に、一時停止／再開をする場合、下記処理を下記順番で行ってください。
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア
 - チャンネル[i]処理割り込み要求レジスタ (C[i]I) のDIビットが1になるまでポーリング、あるいは割り込み待ち以上で一時停止完了
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット以上で再開完了
2. メモリからA-DMACへのストリームをSTIF経由で外部デバイスへ転送中に、一時停止／再開をする場合、下記処理を下記順番で行ってください。
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア
 - チャンネル[i]処理割り込み要求レジスタ (C[i]I) のDIビットが1になるまでポーリング、あるいは割り込み待ち以上で一時停止完了
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット以上で再開完了
3. 外部デバイスからSTIFへのストリームをA-DMAC経由でメモリへ転送中に、強制停止／再開をする場合、下記処理を下記順番で行ってください。
 - STIF制御レジスタ (STCTL) のREQENビット、ENビットをともに0にクリア
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア、Rビットを1にセット
 - ダミーのディスクリプタ (STIF当該チャンネルからメモリへの転送指定、転送サイズは192バイト、他の設定や転送データの内容は任意) を準備
 - チャンネル[i]処理ディスクリプタ開始アドレスレジスタ (C[i]DSA)、チャンネル[i]処理ディスクリプタ現在アドレスレジスタ (C[i]DCA) に、上記ダミーディスクリプタのポインタアドレスを設定
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット、Rビットを0にクリア
 - 停止対象のSTIFチャンネルに合わせて、H'FF88_05E0番地のビット14～8、あるいはビット6～0が00000000になるまでポーリング (停止対象がSTIF0の場合、ビット14～8をポーリング。停止対象がSTIF1の場合、ビット6～0をポーリング。)
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア、Rビットを1にセット
 - STIF制御レジスタ (STCTL) のSRSTビットを1にセット以上で強制停止完了
- チャンネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット、Rビットを0にクリア
- STIF制御レジスタ (STCTL) のREQENビット、ENビットをともに1にセット
以上で再開完了

4. メモリからA-DMACへのストリームをSTIF経由で外部デバイスへ転送中に、強制停止／再開をする場合、下記処理を下記順番で行ってください。

- STIF制御レジスタ (STCTLR) のREQENビット、ENビットをともに0にクリア
- チャネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア、Rビットを1にセット
- ダミーのディスクリプタ (STIF当該チャネルからメモリへの転送指定、転送サイズは192バイト、他の設定や転送データの内容は任意) を準備
- チャネル[i]処理ディスクリプタ開始アドレスレジスタ (C[i]DSA)、チャネル[i]処理ディスクリプタ現在アドレスレジスタ (C[i]DCA) に、上記ダミーディスクリプタのポインタアドレスを設定
- チャネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット、Rビットを0にクリア
- 停止対象のSTIFチャネルに合わせて、H'FF88_05E0番地のビット14～8、あるいはビット6～0が00000000になるまでポーリング (停止対象がSTIF0の場合、ビット14～8をポーリング。停止対象がSTIF1の場合、ビット6～0をポーリング。)
- チャネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア、Rビットを1にセット
- STIF制御レジスタ (STCTLR) のSRSTビットを1にセット

以上で強制停止完了

- STIF制御レジスタSTCTLRのREQENビット、ENビットをともに1にセット
- チャネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット、Rビットを0にクリア

以上で再開完了

2. ストリームインタフェース (STIF) 電気的特性

2.1 STIF モジュール信号タイミング (1)

表 2.1 STIF モジュール信号タイミング (1)

条件 : $V_{CC}=V_{CC}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{CCQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、

$V_{SS}=V_{SS}(PLL)=DG12=UG12=V_{SSQ}=DG33=AG12=AG33=0V$ 、

$T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項 目		記号	min	max	単位	参照図
STn_CLKIN クロック入力 サイクル	パラレルモード	$t_{ST_CKIN_CYC}$	20.0	400	ns*	図 2.1
	シリアルモード		13.2	400		
STn_CLKIN クロック入力 High レベルパルス幅	パラレルモード	$t_{ST_CKIN_H}$	0.4	0.6	$t_{ST_CKIN_CYC}$	
	シリアルモード		0.4	0.6		
STn_CLKIN クロック入力 Low レベルパルス幅	パラレルモード	$t_{ST_CKIN_L}$	0.4	0.6	$t_{ST_CKIN_CYC}$	
	シリアルモード		0.4	0.6		
STn_CLKIN クロック入力 立ち上がり時間	パラレルモード	$t_{ST_CKIN_r}$	—	0.1	$t_{ST_CKIN_CYC}$	
	シリアルモード		—	0.1		
STn_CLKIN クロック入力 立ち下がり時間	パラレルモード	$t_{ST_CKIN_f}$	—	0.1	$t_{ST_CKIN_CYC}$	
	シリアルモード		—	0.1		

【注】 * ただし、 STn_CLKIN (MHz) $\leq clks1$ (MHz) $\times 80\%$ としてください。

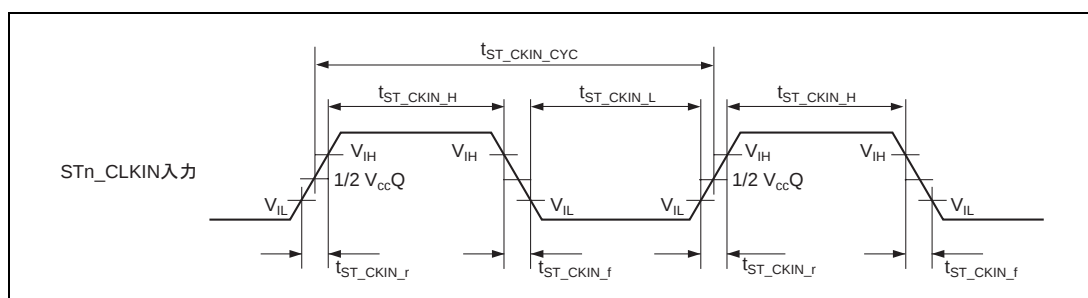


図 2.1 STIF モジュール信号タイミング (1)

2.1.1 STIF モジュール信号タイミング (2)

表 2.2 STIF モジュール信号タイミング (2)

条件 : $V_{CC}=V_{CC}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{CCQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、

$V_{SS}=V_{SS}(PLL)=DG12=UG12=V_{SSQ}=DG33=AG12=AG33=0V$ 、

$T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項 目		記号	min	max	単位	参照図
ST_CLKOUT クロック出力 サイクル	パラレルモード	$t_{ST_CKOUT_CYC}$	20.0	400	ns*	図 2.2
	シリアルモード		13.2	400		
ST_CLKOUT クロック出力 High レベルパルス幅	パラレルモード	$t_{ST_CKOUT_H}$	6.75	—	ns	
	シリアルモード		3	—		
ST_CLKOUT クロック出力 Low レベルパルス幅	パラレルモード	$t_{ST_CKOUT_L}$	6.75	—	ns	
	シリアルモード		3	—		
ST_CLKOUT クロック出力 立ち上がり時間	パラレルモード	$t_{ST_CKOUT_r}$	—	2.75	ns	
	シリアルモード		—	2.75		
ST_CLKOUT クロック出力 立ち下がり時間	パラレルモード	$t_{ST_CKOUT_f}$	—	2.75	ns	
	シリアルモード		—	2.75		

【注】 * ただし、 $ST_CLKOUT\ (MHz) \leq clk_{s1}\ (MHz) \times 80\%$ としてください。

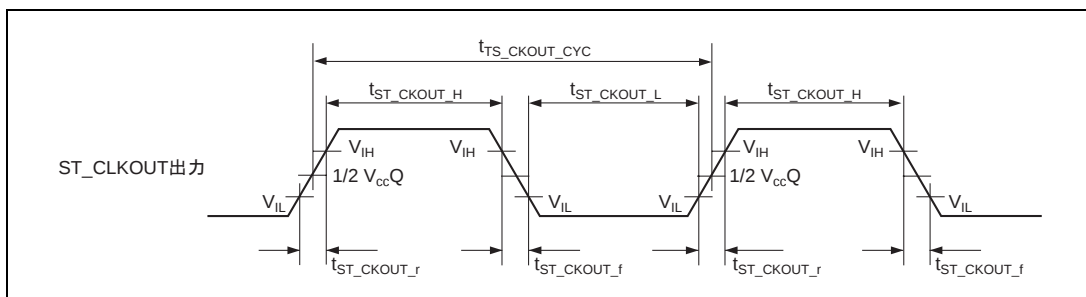


図 2.2 STIF モジュール信号タイミング (2)

2.1.2 STIF モジュール信号タイミング (3)

(ストリーム入出力を STn_CLKIN 立ち上がり同期に設定した場合)

表 2.3 STIF モジュール信号タイミング (3)

条件 : $V_{CC}=V_{CC}(PLL)=DV12=UV12=1.1\sim1.3V$ 、 $V_{CCQ}=DV33=3.1\sim3.5V$ 、 $AV12=1.1\sim1.3V$ 、 $AV33=3.1\sim3.5V$ 、 $V_{SS}=V_{SS}(PLL)=DG12=UG12=V_{SSQ}=DG33=AG12=AG33=0V$ 、 $T_a=-20\sim70^{\circ}C$ (通常仕様品) $-40\sim85^{\circ}C$ (広温度仕様品)

項 目	記号	min	max	単位	参照図
STn_SYC 出力遅延時間 1	t_{STSD1}	0	11.5	ns	図 2.3
STn_VLD 出力遅延時間 1	t_{STVD1}	0	11.5	ns	
STn_REQ 出力遅延時間 1	t_{STRD1}	0	11.5	ns	
STn_Dm 出力遅延時間 1	t_{STDD1}	0	11.5	ns	
STn_SYC 入力セットアップ時間 1	t_{STSS1}	4	—	ns	
STn_SYC 入力ホールド時間 1	t_{STSH1}	3	—	ns	
STn_VLD 入力セットアップ時間 1	t_{STVS1}	4	—	ns	
STn_VLD 入力ホールド時間 1	t_{STVH1}	3	—	ns	
STn_REQ 入力セットアップ時間 1	t_{STRS1}	4	—	ns	
STn_REQ 入力ホールド時間 1	t_{STRH1}	3	—	ns	
STn_Dm 入力セットアップ時間 1	t_{STDS1}	4	—	ns	
STn_Dm 入力ホールド時間 1	t_{STDH1}	3	—	ns	

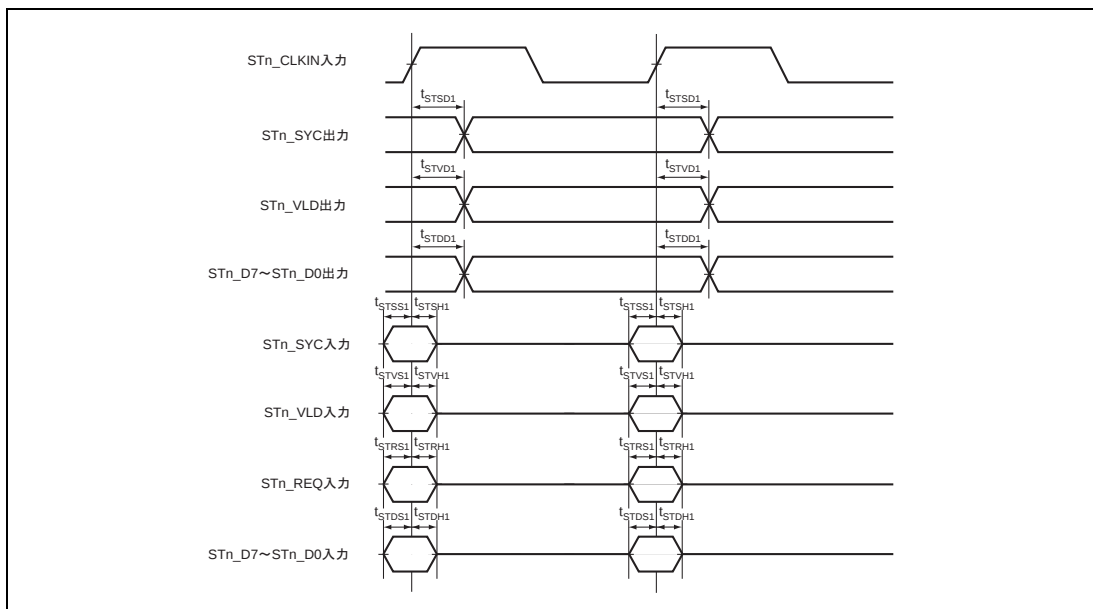


図 2.3 STIF モジュール信号タイミング (3)

2.1.3 STIF モジュール信号タイミング (4)

(ストリーム入出力を STn_CLKIN 立ち下がり同期に設定した場合)

表 2.4 STIF モジュール信号タイミング (4)

条件 : $V_{CC}=V_{CC}(PLL)=DV12=UV12=1.1\sim1.3V$ 、 $V_{CCQ}=DV33=3.1\sim3.5V$ 、 $AV12=1.1\sim1.3V$ 、 $AV33=3.1\sim3.5V$ 、 $V_{SS}=V_{SS}(PLL)=DG12=UG12=V_{SSQ}=DG33=AG12=AG33=0V$ 、 $T_a=-20\sim70^{\circ}C$ (通常仕様品) $-40\sim85^{\circ}C$ (広温度仕様品)

項 目	記号	min	max	単位	参照図
STn_SYC 出力遅延時間 2	t_{STSD2}	0	11.5	ns	図 2.4
STn_VLD 出力遅延時間 2	t_{STVD2}	0	11.5	ns	
STn_REQ 出力遅延時間 2	t_{STRD2}	0	11.5	ns	
STn_Dm 出力遅延時間 2	t_{STD2}	0	11.5	ns	
STn_SYC 入力セットアップ時間 2	t_{STSS2}	4	—	ns	
STn_SYC 入力ホールド時間 2	t_{STSH2}	3	—	ns	
STn_VLD 入力セットアップ時間 2	t_{STVS2}	4	—	ns	
STn_VLD 入力ホールド時間 2	t_{STVH2}	3	—	ns	
STn_REQ 入力セットアップ時間 2	t_{STRS2}	4	—	ns	
STn_REQ 入力ホールド時間 2	t_{STRH2}	3	—	ns	
STn_Dm 入力セットアップ時間 2	t_{STDS2}	4	—	ns	
STn_Dm 入力ホールド時間 2	t_{STDH2}	3	—	ns	

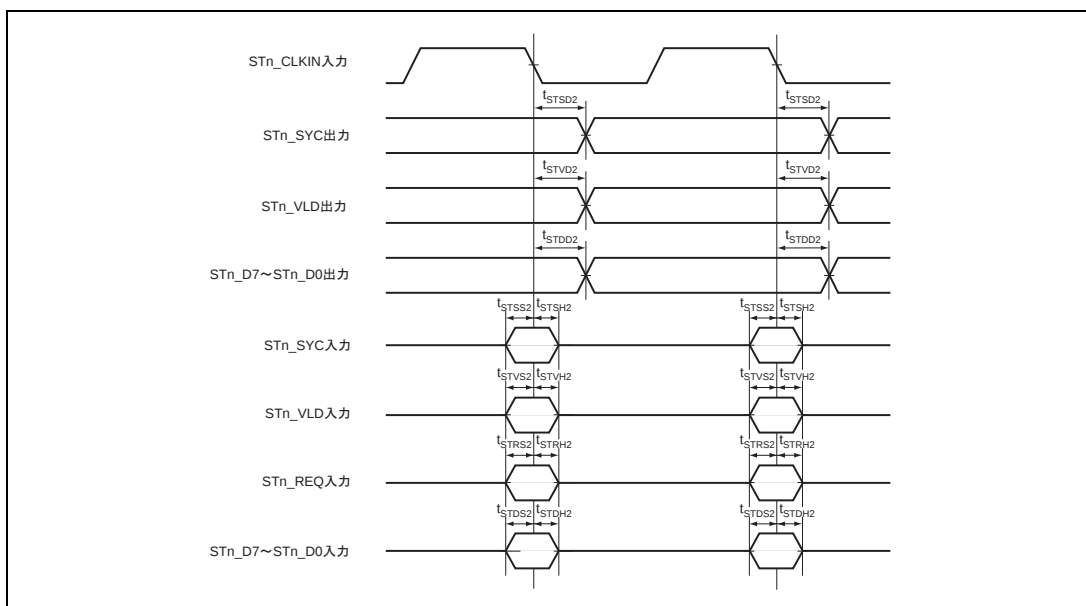


図 2.4 STIF モジュール信号タイミング (4)

2.1.4 STIF モジュール信号タイミング (5) (ストリーム入出力を ST_CLKOUT 立ち上がり同期に設定した場合)

表 2.5 STIF モジュール信号タイミング (5)

条件 : $V_{CC}=V_{CC}(PLL)=DV12=UV12=1.1\sim 1.3V$, $V_{CCQ}=DV33=3.1\sim 3.5V$, $AV12=1.1\sim 1.3V$, $AV33=3.1\sim 3.5V$,
 $V_{SS}=V_{SS}(PLL)=DG12=UG12=V_{SSQ}=DG33=AG12=AG33=0V$,
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項 目	記号	min	max	単位	参照図
STn_SYC 出力遅延時間 5	t_{STSD5}	-2	5	ns	図 2.5
STn_VLD 出力遅延時間 5	t_{STVD5}	-2	5	ns	
STn_Dm 出力遅延時間 5	t_{STDD5}	-2	5	ns	
STn_REQ 入力セットアップ時間 5	t_{STRS5}	11.5	—	ns	
STn_REQ 入力ホールド時間 5	t_{STRH5}	0.5	—	ns	

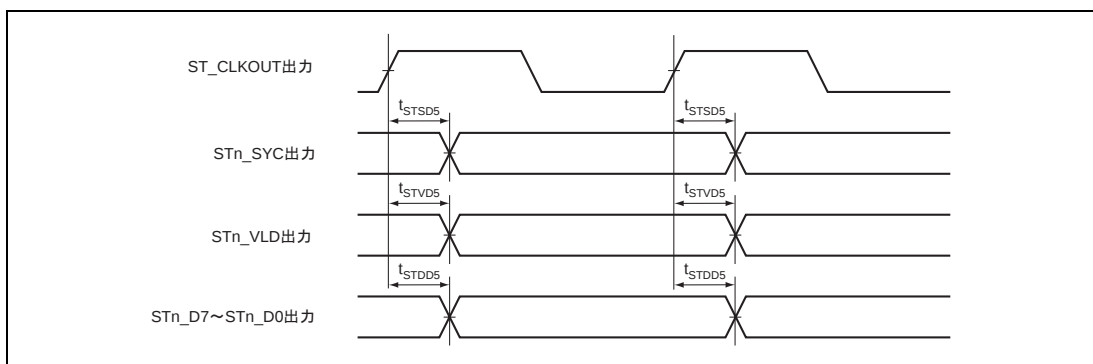


図 2.5 STIF モジュール信号タイミング (5)

2.1.5 STIF モジュール信号タイミング (6)

(ストリーム入出力を ST_CLKOUT 立ち下がり同期に設定した場合)

表 2.6 STIF モジュール信号タイミング (6)

条件 : $V_{CC}=V_{CC}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{CCQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、

$V_{SS}=V_{SS}(PLL)=DG12=UG12=V_{SSQ}=DG33=AG12=AG33=0V$ 、

$T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項 目	記号	min	max	単位	参照図
STn_SYC 出力遅延時間 6	t_{STSD6}	-2	5	ns	図 2.6
STn_VLD 出力遅延時間 6	t_{STVD6}	-2	5	ns	
STn_Dm 出力遅延時間 6	t_{STD6}	-2	5	ns	
STn_REQ 入力セットアップ時間 6	t_{STRS6}	11.5	—	ns	
STn_REQ 入力ホールド時間 6	t_{STRH6}	0.5	—	ns	

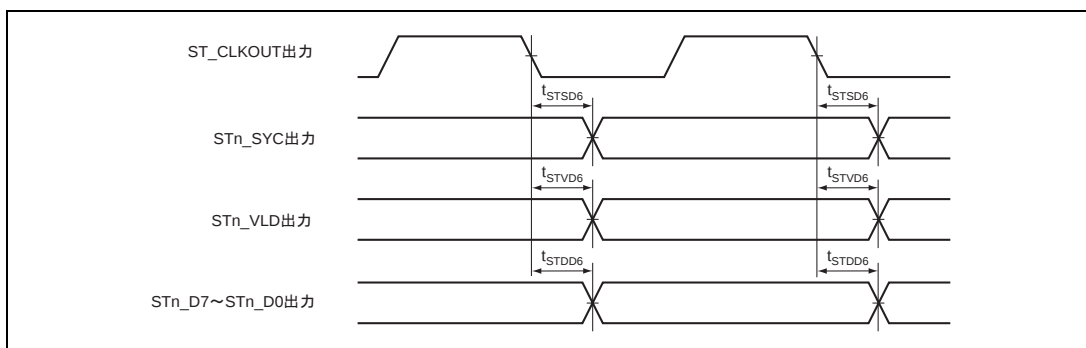


図 2.6 STIF モジュール信号タイミング (6)

3. フォワードエラーコレクションコア連動 DMAC (A-DMAC)

3.1 概要

A-DMAC は、エラー訂正機能を内蔵したディスクリプタ方式の高機能 DMAC で、内部共有バス（SHwy-Bus）を介したメモリとのデータ転送、STIF を介した外部 MPEG デバイスとのデータ転送が可能です。

3.1.1 特長

本 A-DMAC の機能および特長を挙げます。

(1) チェックサム処理用チャネル

- チャネル数：2チャネル
- 転送方向：メモリ $\leftrightarrow$ メモリ間、メモリ $\leftrightarrow$ STIF間
- ディスクリプタ構成：チェックサム演算などの連続実行が可能な構造
- エラーチェック：チェックサム計算機能

(2) FEC チャネル

- チャネル数：1チャネル
- ディスクリプタ構成：任意の数のデータを少ないバッファで処理が可能な構造
- エラー訂正（FEC）：XOR計算機能

(3) その他の特長

- 対応エンディアン：ビッグエンディアン／リトルエンディアン
- STIF接続数：2チャネル
- チャネルアービトラージョン：チャネル／バスの高効率使用が可能なラウンドロビン方式
- チャネル動作：並列処理

3.1.2 A-DMAC の全体構造

A-DMAC は図 3.1 のように構成されています。また、表 3.1 に A-DMAC 内の各サブモジュールの概要を示します。

A-DMAC は、SHwy-Bus インタフェースを通して SHwy-Bus と接続し、STIF0 インタフェースおよび STIF1 インタフェースを通してそれぞれ STIF0、STIF1 と接続しています。SHwy-Bus は SHwy クロック (clks) で動作する本 LSI 内部共有バスであり、STIF は MPEG-2 TS/PS フォーマットデータ用の入出力ポートです。なお、STIF0 は CH0 に、STIF1 は CH1 に固定されています。

本 A-DMAC は、ディスクリプタにより動作する 2 本のチェックサム処理用チャネルを持ちます。また、これとは別に、FEC 演算を行う FEC チャネルを 1 本持ちます。この FEC チャネルでは、FEC 演算における XOR 演算を実行します。

これらのモジュールは並列動作します。たとえば、チェックサム処理用チャネル 0 のバスアクセス時、チェックサム処理用チャネル 1 ではチェックサム演算を行うことが可能です。

アービタは、チェックサム処理用チャネル、FEC チャネルの各イニシエータから送信されるリクエストを調停するモジュールです。アービタはイニシエータからのリクエストをラウンドロビン方式で調停します。CH0 と CH1 を同時実行し、一方のチャネルの優先順位を上げたい場合、ディスクリプタリング単位で優先順位を制御するか（例：優先順位の低いチャネルのディスクリプタが枯渇したら一定のアイドル後、次のディスクリプタを積み上げる）、優先順位の低いチャネル処理を中断することで優先順位を制御します。

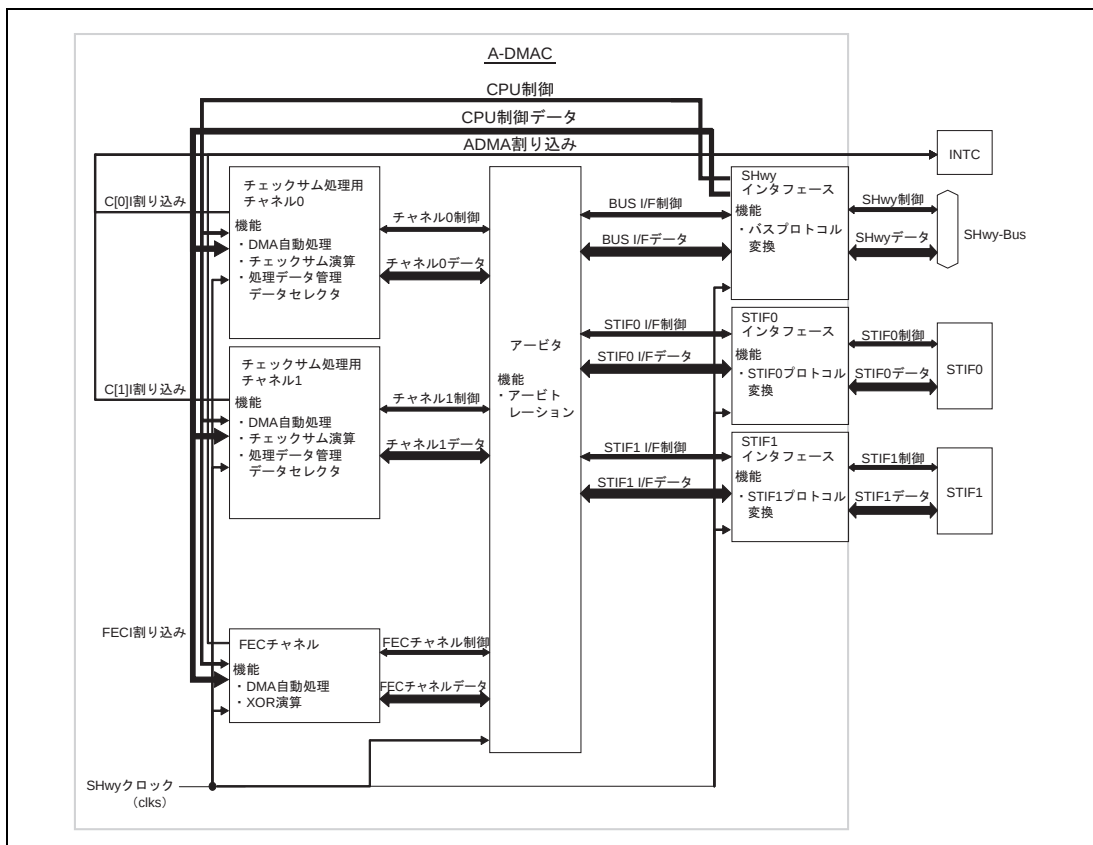


図 3.1 A-DMAC ブロック図

表 3.1 サブモジュール一覧

サブモジュール名	機 能
チェックサム処理用チャンネル	• ディスクリプタによる DMA 自動処理 • チェックサム演算 • チェックサム連続実行機能
FEC チャンネル	• ディスクリプタによる DMA 自動処理 • 任意の数のデータの XOR 演算
アービタ	• チェックサム処理用チャンネル、FEC チャンネルからのリクエストを調停 • チャンネルの調停方式はラウンドロビン方式
SHwy-Bus インタフェース	• SHwy-Bus プロトコル—A-DMAC プロトコル間の変換 • CPU からのレジスタ R/W リクエストを各モジュールに分配
STIF インタフェース	• STIF プロトコル—A-DMAC プロトコル間の変換

3.1.3 A-DMAC の制限

A-DMAC では以下の制限があります。

- レジスタアクセスは32ビット単位のみ対応
- チャンネル処理部、FEC処理部のいずれかが動作中の場合、当該処理部に関連したレジスタへの書き込みは禁止します。ただし、次の2種のレジスタについては、書き込み後のバリファイをすることで、当該チャンネル処理部が動作中も書き込み可能です。バリファイが成功するまで、繰り返し書き込みしてください。
 - ・ チャンネル[i]処理制御レジスタ (C[i]C) (ただし、動作中のチャンネル処理部のC[i]C_Rビットは書き換えしないでください。)
 - ・ チャンネル[i]処理割り込み要求レジスタ (C[i]I)
- データサイズ0のディスクリプタは禁止

3.2 レジスタの説明

A-DMAC には以下のレジスタがあります。下記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 3.2 レジスタ構成

レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
チャンネル 0 処理制御レジスタ	C0C	32	H'FF880440	32
チャンネル 0 処理モードレジスタ	C0M	32	H'FF880444	32
チャンネル 0 処理割り込み要求レジスタ	C0I	32	H'FF880448	32
チャンネル 0 処理ディスクリプタ開始アドレスレジスタ	C0DSA	32	H'FF88047C	32
チャンネル 0 処理ディスクリプタ現在アドレスレジスタ	C0DCA	32	H'FF880480	32
チャンネル 0 処理ディスクリプタ 0 レジスタ	C0D0	32	H'FF880484	32
チャンネル 0 処理ディスクリプタ 1 レジスタ	C0D1	32	H'FF880488	32
チャンネル 0 処理ディスクリプタ 2 レジスタ	C0D2	32	H'FF88048C	32
チャンネル 0 処理ディスクリプタ 3 レジスタ	C0D3	32	H'FF880490	32
チャンネル 0 処理ディスクリプタ 4 レジスタ	C0D4	32	H'FF880494	32
チャンネル 1 処理制御レジスタ	C1C	32	H'FF8804B0	32
チャンネル 1 処理モードレジスタ	C1M	32	H'FF8804B4	32
チャンネル 1 処理割り込み要求レジスタ	C1I	32	H'FF8804B8	32
チャンネル 1 処理ディスクリプタ開始アドレスレジスタ	C1DSA	32	H'FF8804EC	32
チャンネル 1 処理ディスクリプタ現在アドレスレジスタ	C1DCA	32	H'FF8804F0	32
チャンネル 1 処理ディスクリプタ 0 レジスタ	C1D0	32	H'FF8804F4	32
チャンネル 1 処理ディスクリプタ 1 レジスタ	C1D1	32	H'FF8804F8	32
チャンネル 1 処理ディスクリプタ 2 レジスタ	C1D2	32	H'FF8804FC	32
チャンネル 1 処理ディスクリプタ 3 レジスタ	C1D3	32	H'FF880500	32
チャンネル 1 処理ディスクリプタ 4 レジスタ	C1D4	32	H'FF880504	32
FEC DMAC 処理制御レジスタ	FECC	32	H'FF880590	32
FEC DMAC 処理割り込み要求レジスタ	FECI	32	H'FF880594	32
FEC DMAC 処理ディスクリプタ開始アドレスレジスタ	FECDSA	32	H'FF880598	32
FEC DMAC 処理ディスクリプタ現在アドレスレジスタ	FECDCA	32	H'FF88059C	32
FEC DMAC 処理ディスクリプタ 0 レジスタ	FECD00	32	H'FF8805A0	32
FEC DMAC 処理ディスクリプタ 1 レジスタ	FECD01D0A	32	H'FF8805A4	32
FEC DMAC 処理ディスクリプタ 2 レジスタ	FECD02S0A	32	H'FF8805A8	32
FEC DMAC 処理ディスクリプタ 3 レジスタ	FECD03S1A	32	H'FF8805AC	32

表 3.3 各処理状態におけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
C0C	初期化	初期化	保持	保持	保持	初期化
C0M	初期化	初期化	保持	保持	保持	初期化
C0I	初期化	初期化	保持	保持	保持	初期化
C0DSA	初期化	初期化	保持	保持	保持	初期化
C0DCA	初期化	初期化	保持	保持	保持	初期化
C0D0	初期化	初期化	保持	保持	保持	初期化
C0D1	初期化	初期化	保持	保持	保持	初期化
C0D2	初期化	初期化	保持	保持	保持	初期化
C0D3	初期化	初期化	保持	保持	保持	初期化
C0D4	初期化	初期化	保持	保持	保持	初期化
C1C	初期化	初期化	保持	保持	保持	初期化
C1M	初期化	初期化	保持	保持	保持	初期化
C1I	初期化	初期化	保持	保持	保持	初期化
C1DSA	初期化	初期化	保持	保持	保持	初期化
C1DCA	初期化	初期化	保持	保持	保持	初期化
C1D0	初期化	初期化	保持	保持	保持	初期化
C1D1	初期化	初期化	保持	保持	保持	初期化
C1D2	初期化	初期化	保持	保持	保持	初期化
C1D3	初期化	初期化	保持	保持	保持	初期化
C1D4	初期化	初期化	保持	保持	保持	初期化
FECC	初期化	初期化	保持	保持	保持	初期化
FECI	初期化	初期化	保持	保持	保持	初期化
FECDSA	初期化	初期化	保持	保持	保持	初期化
FECDC	初期化	初期化	保持	保持	保持	初期化
FECDD0	初期化	初期化	保持	保持	保持	初期化
FECDD0D0A	初期化	初期化	保持	保持	保持	初期化
FECDD0S0A	初期化	初期化	保持	保持	保持	初期化
FECDD0S1A	初期化	初期化	保持	保持	保持	初期化

3.2.1 チャンネル[i]処理制御レジスタ (C[i]C) (i=0, 1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	C[i]C_R
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	C[i]C_DWF	-	-	-	C[i]C_VLD	-	-	-	C[i]C_EIE	-	-	-	C[i]C_E
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31~17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
16	C[i]C_R	0	R/W	リセット 停止中に 1 を書き込むことでチャンネル[i]の計算のシーケンスがリセットされます。本ビットは自動的にすぐに 0 に設定されます。本レジスタ実行ビット (C[i]C_E) とともに 1 を設定すると、チャンネル[i]の処理を新規に開始します。
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	C[i]C_DWF	0	R	ディスクリプタ処理終了後の WAIT 状態フラグ 0 : 非 WAIT 状態 1 : WAIT 状態 DMAC チャンネル[i]のディスクリプタ処理動作状態を把握するには、DMAC チャンネル[i]ディスクリプタ設定時に C[i]DWE に 1 を設定し、C[i]DIE に 1 を設定して割り込み「1 ディスクリプタ処理終了」要求を受ける方法と、本ビットの値が 1 になるまで観測する方法があります。
11~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8	C[i]C_VLD	0	R/W	可変長ディスクリプタ制御フラグ 0 : 固定長ディスクリプタ (32 バイト) 1 : 可変長ディスクリプタ (16/32 バイト) A-DMAC チャンネルは 32 バイトの固定長、もしくは 16/32 バイトの可変長構造を取ります。本ビットを 0 としてディスクリプタを固定長とした場合、常に 32 バイトとしてディスクリプタをリードします。本ビットを 1 としてディスクリプタを可変長とした場合、先頭 16 バイトをリードし、その後、C[i]D0 内の C[i]CSM[1:0]ビットの内容に従い C[i]D4、およびダミーの 12 バイトをリードします。
7~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
4	C[i]C_EIE	0	R/W	割り込み「処理終了」要求イネーブル 処理を終了した場合に割り込み要求するかどうかを指定します。 0：割り込み「処理終了」要求禁止 1：割り込み「処理終了」要求許可 A-DMAC チャンネル[i]の処理終了とは、ディスクリプタが枯渇した場合（無効ディスクリプタ（C[i]F0=0）であるディスクリプタ）をフェッチした場合を示します。
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	C[i]C_E	0	R/W	実行要求 本ビットに 1 を設定するとチャンネル[i]処理を開始し、処理中に 0 を設定すると処理を中断します。本ビットへ 0 をライトすると、直ちに 0 がリードされる状態になりますが、チャンネル[i]処理部は直ちに停止せず、処理中のディスクリプタに対するライトバック動作まで行った後、停止します。チャンネル動作状態を把握するには、C[i]C_EIE に 1 を設定して割り込み「動作終了」要求を受けるか、割り込み「動作終了」要求フラグをポーリングしてください。なお、処理を新規に開始する場合には、STIF のチャンネル[i]は初期化されている必要があります。 0：チャンネル[i]処理停止中 1：チャンネル[i]処理実行中 処理中断の判定はディスクリプタのライトバック時に行います。

3.2.2 チャンネル[i]処理モードレジスタ (C[i]M) (i=0, 1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	C[i]M_LIE	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	C[i]M_LIE	0	R/W	割り込み「最終ディスクリプタ処理終了」要求イネーブル データ最終 (C[i]F2=1) のディスクリプタ処理が終了した場合に割り込み要求するかどうかを指定します。 0 : 割り込み「データ最終ディスクリプタ処理終了」要求禁止 1 : 割り込み「データ最終ディスクリプタ処理終了」要求許可
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

3.2.3 チャンネル[i]処理割り込み要求レジスタ (C[i]I) (i=0, 1)

本レジスタ全ビットの論理和の否定として、INT2B13 レジスタの C[i]I ビットがアサートされます。INT2B13 レジスタについては、「SH7734 ユーザーズマニュアル ハードウェア編」の「第7章 割り込みコントローラ (INTC、INTC2)」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	C[i]I_DI	-	-	-	C[i]I_LI	-	-	-	-	-	-	-	C[i]I_EI
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
12	C[i]_DI	0	R/W	割り込み「1 ディスクリプタ処理終了」要求（ディスクリプタの処理を終了し、ディスクリプタのライトバックを行ったことを通知するための割り込みです。） 本ビットは値 1 をライトすることにより 0 クリアされます。0 をライトした場合は状態を保持します。 0：割り込み「1 ディスクリプタ処理終了」非要求中 1：割り込み「1 ディスクリプタ処理終了」要求中
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8	C[i]_LI	0	R/W	割り込み「連続データ最終ディスクリプタ処理終了」要求（C[i]F2=1 であるディスクリプタに記述されている処理を終了したことを通知するための割り込み要求です。） 本ビットは値 1 をライトすることにより 0 クリアされます。0 をライトした場合は状態を保持します。 0：割り込み「最終ディスクリプタ処理終了」非要求中 1：割り込み「最終ディスクリプタ処理終了」要求中
7～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	C[i]_EI	0	R/W	割り込み「処理終了」要求 割り込み「処理終了」を要求していることを表しています。 本ビットは値 1 をライトすることにより 0 クリアされます。0 をライトした場合は状態を保持します。 0：割り込み「処理終了」非要求中 1：割り込み「処理終了」要求中 なお、「処理終了」とはディスクリプタが枯渇した場合（無効ディスクリプタ（C[i]F0=0）であるディスクリプタ）をフェッチした場合を示します。

3.2.4 チャンネル[i]処理ディスクリプタ開始アドレスレジスタ (C[i]DSA) (i=0, 1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]DSA[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]DSA[15:4]												C[i]DSA[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~4	C[i]DSA[31:4]	すべて 0	R/W	ディスクリプタリング開始アドレス
3~0	C[i]DSA[3:0]	すべて 0	R	ディスクリプタリングの開始アドレスを指定します。16 バイト境界のアドレス値を設定してください。

3.2.5 チャンネル[i]処理ディスクリプタ現在アドレスレジスタ (C[i]DCA) (i=0, 1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]DCA[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]DCA[15:4]												C[i]DCA[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~4	C[i]DCA[31:4]	すべて 0	R/W	ディスクリプタ現在アドレス
3~0	C[i]DCA[3:0]	すべて 0	R	ディスクリプタ処理の開始アドレスを指定します。16 バイト境界のアドレス値を設定してください。ディスクリプタ処理中には現在処理中のディスクリプタのアドレスを、ディスクリプタライトバック後には次のディスクリプタのアドレスを表します。

3.2.6 チャンネル[i]処理ディスクリプタ 0 レジスタ (C[i]D0) 【制御】 (i=0、1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]CRDO[3:0]				C[i]CHDO[3:0]				C[i]SO[3:0]				C[i]DA	C[i]SA	C[i]CSM[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	C[i]F2	C[i]F1	C[i]F0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～28	C[i]CRDO[3:0]	すべて 0	R/W	転送デスティネーションデータ順序 A-DMAC から STIF や SDRAM などへ転送データを書き込む際のスワップ方法を指定します。本体データから得られたチェックサム演算結果を書き込む際のスワップ方法は、本ビットではなく C[i]CHDO[3:0]で指定します。 - デスティネーションが STIF ではない場合 (C[i]DA ビット=0) C[i]CRDO3 : 2 バイト単位のデータ交換 (ロングワードをワード単位スワップ) 0 : そのまま 1 : スワップ C[i]CRDO2 : 1 バイト単位のデータ交換 (ワードをバイト単位スワップ) 0 : そのまま 1 : スワップ C[i]CRDO1 : 1 バイト、2 バイトアクセス時にアドレスのビット 1 の反転 0 : そのまま 1 : 反転 C[i]CRDO0 : 1 バイトアクセス時にアドレスのビット 0 の反転 0 : そのまま 1 : 反転 C[i]CRDO[1:0]はエンディアンの調整のため機能します。本 LSI のエンディアンと異なるエンディアンを使用される場合は、先頭アドレスと終端アドレスが指定されたアドレスから最大 3 異なるアドレスにアクセスすることになりますので、領域の確保時に注意してください。 - デスティネーションが STIF の場合 (C[i]DA ビット=1) C[i]CRDO3 : 2 バイト単位のデータ交換 (ロングワードをワード単位スワップ) 0 : そのまま 1 : スワップ C[i]CRDO2 : 1 バイト単位のデータ交換 (ワードをバイト単位スワップ) 0 : そのまま 1 : スワップ C[i]CRDO1 : 1 ビット単位のデータ交換 (バイトを 1 ビット単位でスワップ) 0 : そのまま 1 : スワップ C[i]CRDO0 : リザーブ 0 を設定してください。

ビット	ビット名	初期値	R/W	説 明
27～24	C[i]CHDO[3:0]	すべて 0	R/W	チェックサム演算結果デスティネーションデータ順序 A-DMAC から SDRAM などへチェックサム演算結果を書き込む際のスワップ方法を指定します。チェックサム演算後の本体データを書き込む際のスワップ方法は、本ビットではなく C[i]CRDO[3:0]ビットで指定します。 C[i]CHDO3 : 2 バイト単位のデータ交換 (ロングワードをワード単位スワップ) 0 : そのまま 1 : スワップ C[i]CHDO2 : 1 バイト単位のデータ交換 (ワードをバイト単位スワップ) 0 : そのまま 1 : スワップ C[i]CHDO1 : 1 バイト、2 バイトアクセス時にアドレスのビット 1 の反転 0 : そのまま 1 : 反転 C[i]CHDO0 : 1 バイトアクセス時にアドレスのビット 0 の反転 0 : そのまま 1 : 反転 C[i]CHDO[1:0]はエンディアン調整のため機能します。本 LSI のエンディアンと異なるエンディアンを使用される場合は、先頭アドレスと終端アドレスが指定されたアドレスから最大 3 異なるアドレスにアクセスすることになりますので、領域の確保時に注意してください。

ビット	ビット名	初期値	R/W	説 明
23～20	C[i]SO[3:0]	すべて 0	R/W	ソースデータ順序 STIF や SDRAM などのメモリから A-DMAC へデータを読み出す際のスワップ方法を指定します。 • ソースが STIF ではない場合 (C[i]SA ビット=0) C[i]SO3:2 バイト単位のデータ交換 (ロングワードをワード単位スワップ) 0: そのまま 1: スワップ C[i]SO2:1 バイト単位のデータ交換 (ワードをバイト単位スワップ) 0: そのまま 1: スワップ C[i]SO1:1 バイト、2 バイトアクセス時にアドレスのビット 1 の反転 0: そのまま 1: 反転 C[i]SO0:1 バイトアクセス時にアドレスのビット 0 の反転 0: そのまま 1: 反転 C[i]SO[1:0]はエンディアン調整のため機能します。本 LSI のエンディアンと異なるエンディアンを使用される場合は、先頭アドレスと終端アドレスが指定されたアドレスから最大 3 異なるアドレスにアクセスすることになりますので、領域の確保時に注意してください。 • ソースが STIF の場合 (C[i]SA ビット=1) C[i]SO3:2 バイト単位のデータ交換 (ロングワードをワード単位スワップ) 0: そのまま 1: スワップ C[i]SO2:1 バイト単位のデータ交換 (ワードをバイト単位スワップ) 0: そのまま 1: スワップ C[i]SO1:1 ビット単位のデータ交換 (バイトを 1 ビット単位でスワップ) 0: そのまま 1: スワップ C[i]SO0: リザーブ 0 を設定してください。
19	C[i]DA	0	R/W	デスティネーション属性 データの読み出し元が STIF のチャンネル[i] (デスティネーションアドレスを利用しない) あるいはデスティネーションアドレスを利用する (SDRAM などのメモリ) のうちどちらであるかを指定します。 0: デスティネーションアドレスを利用 (SDRAM など) 1: STIF のチャンネル[i]

ビット	ビット名	初期値	R/W	説 明
18	C[i]SA	0	R/W	ソース属性 データの読み出し元が STIF のチャンネル[i]（ソースアドレスを利用しない）あるいはソースアドレスを利用する（SDRAM などのメモリ）のうちどちらであるかを指定します。 0：ソースアドレスを利用（SDRAM など） 1：STIF のチャンネル[i]
17、16	C[i]CSM[1:0]	00	R/W	チェックサムモード 00：チェックサム（初期化なし、ライトバックなし） データ先頭でない データ末端でない 01：チェックサム（初期化なし、ライトバックあり） データ先頭でない データ末端 10：チェックサム（初期化あり、ライトバックなし） データ先頭 データ末端でない 11：チェックサム（初期化あり、ライトバックあり） データ先頭 データ末端
15～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	C[i]F2	0	R/W	ディスクリプタ実行フラグ 2 連続データを複数のディスクリプタに分割して実行する際、最後のデータ部分を処理するディスクリプタにて本ビットを 1 設定します（次のディスクリプタを処理するために A-DMAC 内部のポインタを初期化する必要があるため）。 0：連続データ非最終ディスクリプタ 1：連続データ最終ディスクリプタ
1	C[i]F1	0	R/W	ディスクリプタ実行フラグ 1 本ビットが 1 の場合、本ディスクリプタをディスクリプタリング領域の最終ディスクリプタと見なし、本ディスクリプタの処理が終了すると、ディスクリプタリング領域の先頭（ディスクリプタ開始アドレス）に戻ります。 0：ディスクリプタリング非最終 1：ディスクリプタリング最終

ビット	ビット名	初期値	R/W	説 明
0	C[i]F0	0	R/W	ディスクリプタ実行フラグ 0 本ビットが 0 の場合、本ディスクリプタは無効のため処理を終えます。本ビットが 1 の場合、本ディスクリプタは有効です。有効ディスクリプタの場合には本ディスクリプタの処理が終了した後、本ビットを 0 に設定して元のアドレスにライトバックします。 0 : 無効ディスクリプタ 1 : 有効ディスクリプタ

3.2.7 チャネル[i]処理ディスクリプタ 1 レジスタ (C[i]D1) 【ソースアドレス】 (i=0, 1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]D1[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]D1[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	C[i]D1[31:0]	すべて 0	R/W	ソースアドレス ソースアドレスを指定します。ソースへのアクセスがメモリを参照する場合に使用し、STIF では使用しません。 また、連続データを複数のディスクリプタに分割して実行する場合、すべてのディスクリプタで同じソースアドレスを指定してください。

3.2.8 チャンネル[i]処理ディスクリプタ 2 レジスタ (C[i]D2) 【デスティネーションアドレス】 (i=0, 1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]D2[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]D2[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	C[i]D2[31:0]	すべて 0	R/W	転送データデスティネーションアドレス 転送データをライトするデスティネーションアドレスを指定します。 また、連続データを複数のディスクリプタに分割して実行する場合、すべてのディスクリプタで同じソースアドレスを指定してください。

3.2.9 チャンネル[i]処理ディスクリプタ 3 レジスタ (C[i]D3) 【データ長】 (i=0, 1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	C[i]DWE	C[i]DIE	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]D3[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31, 30	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
29	C[i]DWE	0	R/W	割り込み「1 ディスクリプタ処理終了」解除待ちイネーブル 本ビットが 1 の場合、割り込み「1 ディスクリプタ処理終了」を要求中であれば、次のディスクリプタの処理に移る前にその割り込みが解除されるのを待ちます。 0 : 割り込み「1 ディスクリプタ処理終了」非観測 1 : 割り込み「1 ディスクリプタ処理終了」解除待ち許可

ビット	ビット名	初期値	R/W	説 明
28	C[i]DIE	0	R/W	割り込み「1 ディスクリプタ処理終了」要求イネーブル 本ディスクリプタの処理が終了したときに割り込み要求するかどうかを指定します。本割り込み要求を行っても処理は終了しません。 0 : 割り込み「1 ディスクリプタ処理終了」要求禁止 1 : 割り込み「1 ディスクリプタ処理終了」要求許可
27～16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15～0	C[i]D3[15:0]	すべて 0	R/W	対象データサイズ (バイト長) 本ビットで指定できるサイズは $0 < C[i]D3[15:0] \leq 2^{16} - 96$ となります。 基本的に対象処理のブロック長の倍数で設定してください。チェックサムなら 2 バイトとなります。 複数のディスクリプタをまたいで連続データを扱う場合、各ディスクリプタで指定したサイズの総計をブロック長の倍数に設定してください。 また、サイズの総計が 2^{32} 以下となるよう設定してください。

3.2.10 チャネル[i]処理ディスクリプタ 4 レジスタ (C[i]D4) 【チェックサム値ライトアドレス】 (i=0, 1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]D4[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]D4[15:1]															-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説 明
31～1	C[i]D4[31:1]	すべて 0	R/W	チェックサム計算結果のライトアドレス。下位 4 ビットは 0 とし、16 バイト境界のアドレスを設定してください。
0	—	0	R	

3.2.11 FEC DMAC 処理制御レジスタ (FECC)

中断指示は処理中のディスクリプタの処理完了（ディスクリプタライトバック）後、評価します。評価時に FECC_E が 1 であれば WAIT サイクルに入ります。WAIT サイクル中に FECC_E に 1 が書き込まれ再び起動された場合は、直前にライトバックしたディスクリプタが最終ディスクリプタでなければ次のディスクリプタリードに遷移します。最終ディスクリプタの場合は処理を終了し IDLE 状態となります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	FECC_R	-	-	-	FECC_DWF	-	-	-	FECC_DWE	-	-	-	FECC_DIE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	FECC_LIE	-	-	-	FECC_NIE	-	-	-	FECC_EIE	-	-	-	FECC_E
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31～29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
28	FECC_R	0	R/W	リセット 停止中に 1 を書き込むことで FEC 処理のシーケンスがリセットされます。 本ビットは自動的にすぐに 0 に設定されます。本レジスタ実行ビット（FECC_E）とともに 1 を設定すると、FEC 処理を新規に開始します。 ただし、次の各ビットを除きます。 FECC_DWE、FECC_DIE、FECC_LIE、FECC_NIE、FECC_EIE、FECC_E、FECDCA の各ビット
27～25	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
24	FECC_DWF	0	R	ディスクリプタ処理終了後の WAIT 状態フラグ 0：非 WAIT 状態 1：WAIT 状態 FEC DMAC のディスクリプタ処理動作状態を把握するには、FEC DMAC 実行時に FECC_DWE に 1 を設定し、FECC_DIE に 1 を設定して割り込み「1 ディスクリプタ処理終了」要求を受ける方法と本ビットの値が 1 になるまで観測する方法があります。
23～21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
20	FECC_DWE	0	R/W	割り込み「1 ディスクリプタ処理終了」解除待ちイネーブル 本ビットが1の場合、このディスクリプタの処理を終了し、ライトバック後 FECC_DIE が0 でなければ WAIT 状態に移移します。FEC DMAC は割り込み「1 ディスクリプタ処理終了」を要求中であれば、次のディスクリプタの処理に移る前にその割り込みが解除されるのを待ちます。割り込みが解除されると本ディスクリプタが最終ディスクリプタであれば処理を終了し、IDLE に移移します。最終ディスクリプタでなければ次のディスクリプタのリードを行います。 0: 割り込み「1 ディスクリプタ処理終了」要求時に WAIT しない 1: 割り込み「1 ディスクリプタ処理終了」要求時に WAIT する
19～17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
16	FECC_DIE	0	R/W	割り込み「1 ディスクリプタ処理終了」要求イネーブル 本ディスクリプタの処理が終了したときに割り込み要求するかどうかを指定します。本割り込み要求を行っても処理は終了しません。FECC_DI のマスクとして機能します。 0: 割り込み「1 ディスクリプタ処理終了」要求禁止 1: 割り込み「1 ディスクリプタ処理終了」要求許可
15～13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	FECC_LIE	0	R/W	割り込み「最終ディスクリプタ処理終了」通知割り込み要求イネーブル 動作すべき最終ディスクリプタの処理が終了した場合に割り込み要求するかどうかを指定します。(FECC_LI のマスク) 0: 割り込み「最終ディスクリプタ処理終了」要求禁止 1: 割り込み「最終ディスクリプタ処理終了」要求許可
11～9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
8	FECC_NIE	0	R/W	割り込み「無効ディスクリプタ」通知割り込み要求イネーブル 無効ディスクリプタをフェッチした場合に割り込み要求するかどうかを指定します (FECC_NI のマスク)。 0: 割り込み「無効ディスクリプタ」要求禁止 1: 割り込み「無効ディスクリプタ」要求許可
7～5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4	FECC_EIE	0	R/W	割り込み「処理終了」要求イネーブル 処理を終了した場合に割り込み要求するかどうかを指定します (FECC_EI のマスク)。 0: 「処理終了」割り込み要求禁止 1: 「処理終了」割り込み要求許可

ビット	ビット名	初期値	R/W	説 明
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	FECC_E	0	R/W	実行要求 本ビットに 1 を設定すると FEC 処理を開始し、処理中に 0 を設定すると処理を中断します。本ビットは処理終了後には自動的に 0 に設定されます。 FEC DMAC の動作状態を把握するには、FEC DMAC 実行時に FECC_EIE に 1 を設定して割り込み「動作終了」要求を受ける方法と、本ビットの値が 0 になるまで観測する方法があります。 0 : FEC 処理停止中 1 : FEC 処理実行中

3.2.12 FEC DMAC 処理割り込み要求レジスタ (FECI)

本レジスタ全ビットの論理和の否定として、INT2B13 レジスタの FECI ビットがアサートされます。INT2B13 レジスタについては、「SH7734 ユーザーズマニュアル ハードウェア編」の「第 7 章 割り込みコントローラ (INTC、INTC2)」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	FECI_ DI	-	-	-	FECI_ LI	-	-	-	FECI_ NI	-	-	-	FECI_ EI
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	FECI_DI	0	R/W	割り込み「1 ディスクリプタ処理終了」通知の割り込み要求。 1 ディスクリプタの処理を終了しディスクリプタのライトバックを行った後、この割り込みによって、その終了を通知します。 本ビットは 1 をライトすることにより 0 クリアされます。0 をライトした場合は状態を保持します。 本割り込みはディスクリプタの FECC_DIE ビットでマスクされます。 0 : 割り込み「1 ディスクリプタ処理終了」非要求中 1 : 割り込み「1 ディスクリプタ処理終了」要求中
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
8	FECI_LI	0	R/W	割り込み「最終ディスクリプタ (FECDD00_F2=1 であるディスクリプタ) 処理終了」通知の割り込み要求。 「最終ディスクリプタ」のライトバックを行った後に、この割り込みによってその終了を通知します。FEC DMAC は処理を終了し、IDLE 状態となっています。 本ビットは 1 をライトすることにより 0 クリアされます。0 をライトした場合は状態を保持します。本ビットがセットされている場合、FEC DMAC はディスクリプタ枯渇により初期状態に遷移しています。ディスクリプタを補充して再起動してください。 本割り込みはレジスタ FECC_LIE ビットでマスクされます。 0: 割り込み「最終ディスクリプタ処理終了」非要求中 1: 割り込み「最終ディスクリプタ処理終了」要求中
7~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	FECI_NI	0	R/W	割り込み「無効ディスクリプタ (FECDD00_F0=0 であるディスクリプタ)」リードによる終了通知の割り込み要求。この要求時、FEC DMAC は処理を終了し、IDLE 状態となっています。 本ビットは 1 をライトすることにより 0 クリアされます。0 をライトした場合は状態を保持します。本割り込みはレジスタ FECC_NIE ビットでマスクされます。本ビットがセットされている場合、FEC DMAC はディスクリプタ枯渇により初期状態に遷移しています。ディスクリプタを補充して再起動してください。 0: 割り込み「無効ディスクリプタ処理終了」非要求中 1: 割り込み「無効ディスクリプタ処理終了」要求中
3~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	FECI_EI	0	R/W	割り込み「処理終了」要求 FECI_LI または FECI_NI の割り込み要因によって処理を終了し、FEC DMAC が IDLE 状態となっていることを通知する割り込みの状態を示します。 本ビットは 1 をライトすることにより 0 クリアされます。0 をライトした場合は状態を保持します。本割り込みはレジスタ FECC_EIE ビットでマスクされます。 本ビットがセットされている場合、FEC DMAC はディスクリプタ枯渇により初期状態に遷移しています。ディスクリプタを補充して再起動してください。 0: 割り込み「処理終了」非要求中 1: 割り込み「処理終了」要求中

3.2.13 FEC DMAC 処理ディスクリプタ開始アドレスレジスタ (FECDSA)

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FECDSA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FECDSA[15:4]												FECDSA[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~4	FECDSA[31:4]	すべて 0	R/W	ディスクリプタリング開始アドレス
3~0	FECDSA[3:0]	すべて 0	R	ディスクリプタリングの開始アドレスを指定します。16 バイト境界のアドレス値を設定してください。

3.2.14 FEC DMAC 処理ディスクリプタ現在アドレスレジスタ (FECDC A)

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FECDC A[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FECDC A[15:4]												FECDC A[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~4	FECDC A[31:4]	すべて 0	R/W	ディスクリプタ現在アドレス
3~0	FECDC A[3:0]	すべて 0	R	ディスクリプタ処理の開始アドレスを指定します。16 バイト境界のアドレス値を設定してください。ディスクリプタ処理中には現在処理中のディスクリプタのアドレスを、ディスクリプタライトバック後には次のディスクリプタのアドレスを表します。最終フラグの立ったディスクリプタの処理終了後に IDLE 状態に遷移した際、本レジスタは最終フラグの立っているディスクリプタの次のディスクリプタのアドレスを示しています。

3.2.15 FEC DMAC 処理ディスクリプタ 0 レジスタ (FECD00) 【制御】

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FECD00_SZ[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FECD00_DO[3:0]				FECD00_SO[3:0]				FECD00_SN[3:0]				FECD00_DRE	FECD00_F2	FECD00_F1	FECD00_F0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	FECD00_SZ[15:0]	すべて 0	R/W	データサイズ (バイト長) 処理対象データのバイトサイズを指定します。0~65504 の値を設定してください。65505~65536 の値は設定しないでください。
15~12	FECD00_DO[3:0]	すべて 0	R/W	本ビットは、デスティネーションリード/ライト時に機能するビットです。 FECD00_DO3 : 2 バイト単位のデータ交換 (ロングワードをワード単位スワップ) 0 : そのまま 1 : スワップ FECD00_DO2 : 1 バイト単位のデータ交換 (ワードをバイト単位スワップ) 0 : そのまま 1 : スワップ FECD00_DO1 : 1 バイト、2 バイトアクセス時にアドレスのビット 1 の反転 0 : そのまま 1 : 反転 FECD00_DO0 : 1 バイトアクセス時にアドレスのビット 0 の反転 0 : そのまま 1 : 反転 FECD00_DO[1:0]はエンディアン調整のため機能します。本 LSI のエンディアンと異なるエンディアンを使用される場合は、先頭アドレスと終端アドレスが指定されたアドレスから最大 3 異なるアドレスにアクセスすることになりますので、領域の確保時に注意してください。

ビット	ビット名	初期値	R/W	説 明
11～8	FECD00_SO[3:0]	すべて 0	R/W	本ビットは、ソースリード時に機能するビットです。 FECD00_SO3 : 2 バイト単位でのデータ交換 (ロングワードをワード単位スワップ) 0 : そのまま 1 : スワップ FECD00_SO2 : 1 バイト単位でのデータ交換 (ワードをバイト単位スワップ) 0 : そのまま 1 : スワップ FECD00_SO1 : 1 バイト、2 バイトアクセス時にアドレスのビット 1 の反転 0 : そのまま 1 : 反転 FECD00_SO0 : 1 バイトアクセス時にアドレスのビット 0 の反転 0 : そのまま 1 : 反転 FECD00_SO[1:0]はエンディアン調整のため機能します。本 LSI のエンディアンと異なるエンディアンを使用される場合は、先頭アドレスと終端アドレスが指定されたアドレスから最大 3 異なるアドレスにアクセスすることになりますので、領域の確保時に注意してください。
7～4	FECD00_SN[3:0]	すべて 0	R/W	ソースアドレス数。 FEC 演算対象のソースアドレス数を指定してください。 0000 : ソース数 1 0001 : ソース数 2 その他 : リザーブ 設定しないでください。
3	FECD00_DRE	0	R/W	デスティネーションリードイネーブル 0 : デスティネーションのリードを行わない 1 : デスティネーションのリードを行い、その値を更新する
2	FECD00_F2	0	R/W	ディスクリプタ実行フラグ 2 本ビットが 1 の場合、本ディスクリプタが動作すべき最終ディスクリプタであることを明示します。(最終ディスクリプタを示す他の方法は、その直後に無効ディスクリプタを置くことです。) 0 : 動作非最終ディスクリプタ 1 : 動作最終ディスクリプタ

ビット	ビット名	初期値	R/W	説 明
1	FECD00_F1	0	R/W	ディスクリプタ実行フラグ 1 本ビットが 1 の場合、本ディスクリプタをディスクリプタリング領域の最終ディスクリプタと見なし、本ディスクリプタの処理が終了すると、ディスクリプタリング領域の先頭（ディスクリプタ開始アドレス）に戻ります。 0 : ディスクリプタリング非最終 1 : ディスクリプタリング最終
0	FECD00_F0	0	R/W	ディスクリプタ実行フラグ 0 本ビットが 0 の場合、本ディスクリプタは無効のため処理を終えます。FECD00_F0=0 のディスクリプタを処理した場合、FECC_E=0 として処理を中断します。 本ビットが 1 の場合、本ディスクリプタは有効です。有効ディスクリプタの場合には本ディスクリプタの処理が終了した後、本ビットを 0 に設定して元のアドレスにライトバックします。 0 : 無効ディスクリプタ 1 : 有効ディスクリプタ

3.2.16 FEC DMAC 処理ディスクリプタ 1 レジスタ (FECD01D0A) 【デスティネーションアドレス】

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FECD01D0A[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FECD01D0A[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	FECD01D0A[31:0]	すべて 0	R/W	デスティネーションアドレス 処理データのライトバック先デスティネーションアドレスを指定します。

3.2.17 FEC DMAC 処理ディスクリプタ 2 レジスタ (FECD02S0A) 【ソース 0 アドレス】

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FECD02S0A[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FECD02S0A[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	FECD02S0A[31:0]	すべて 0	R/W	ソース 0 データの先頭アドレスを指定します。

3.2.18 FEC DMAC 処理ディスクリプタ 3 レジスタ (FECD03S1A) 【ソース 1 アドレス】

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FECD03S1A[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FECD03S1A[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	FECD03S1A[31:0]	すべて 0	R/W	ソース 1 データの先頭アドレスを指定します。

3.3 機能の説明

A-DMAC が持つエラー訂正機能を表 3.4 に示します。

表 3.4 A-DMAC ファンクション

分類	項目	説明	準拠／対応規格
エラー検出	チェックサム	• 1 の補数和演算	RFC1071 対応
エラー訂正	FEC	• FEC XOR 演算 • 任意の FEC 行列数に対応	RFC2733 Pro-MPEG 対応

3.3.1 DMAC チャンネル機能

A-DMAC は、チェックサム処理を行う DMAC チャンネルを 2 本持ちます。

3.3.2 チェックサム

チェックサムはデータの誤り検出方法の一つです。入力されたデータを 16 ビット単位に分割し、それらの 1 の補数和を計算することで、エラー検出を行います。

A-DMAC は DMA 転送によって得られたデータの 1 の補数和を計算する機能を持ちます。

3.3.3 FEC チャンネル

A-DMAC は、FEC 演算用に 1 つのチャンネルを持ちます。このチャンネルは、任意の行数の FEC 演算に対応できるディスクリプタ構造により、DMA 転送により得られたデータに対して XOR 演算を実行しメモリヘライトバックします。

3.3.4 FEC 演算

FEC はエラー訂正方法です。この技術を使用することで、受信側では再送要求をすることなくロスしたパケットを修復することが可能です。FEC を使用してロスパケットの修復を行う場合、送信側では元のパケットデータ群を利用して冗長パケット（FEC パケット）を生成します。たとえば、100 個のパケットを送信する場合、10×10 のパケット行列を生成し、1 行もしくは 1 列に整列した元のパケット 10 個の XOR を取り、1 行（1 列）あたり 1 つの FEC パケットを生成します。この例の場合、20 個の FEC パケットが生成されることになります。送信側は、元のデータパケット群と FEC パケットを受信側へ送信します。受信側では、元のパケットがロスしているかどうかを検出するために、送信側と同様に元のパケットおよび FEC パケットを行列に整列します。パケットロスが見られる場合、ロスパケットが属する行や列に属する他のパケットおよび FEC パケットの XOR を取ることでロスパケットを修復することができます。このように、送信側と受信側ではパケットの送受信を行う前に FEC パケットを生成するために整列した行列の行数や列数を共有する必要があります。

本 A-DMAC は FEC 演算で使用する XOR 計算機能を有しており、RFC2733 および Pro-MPEG の FEC 仕様に対応するよう、次に示す FEC 仕様に対応しています。

- 任意の行数（列数）のXOR計算

可変長ディスクリプタにより理論上は無限の長さを持つFEC構成に対応

- 1次元のみのFEC

1行（1列）ずつの処理であるため、2次元のFECだけでなく、1次元のFECにも対応
なお、CPU では以下の操作を行う必要があります。

- FEC行列の整列
- ロスパケットの検出
- 行（列）を構成するパケットのパケット長を統一
（最大パケット長に合わせ、それに満たないパケットに0パディング）
- A-DMACにより得られた結果からタイムスタンプやペイロードタイプなど一部分を修復

3.4 チャネル動作説明

3.4.1 ディスクリプタフォーマット

A-DMAC は、バッファのポインタやそのデータサイズなどの情報を格納したディスクリプタにより、CPU を介さずに自動的にメモリや STIF との間で DMA 転送を行うことができます。このディスクリプタに記載された情報に従って、メモリからデータをリードしたデータを STIF ヘライトするといった動作を自動的に行います。

ディスクリプタフォーマットを図 3.2 に示します。図中の灰色部分はディスクリプタ処理開始時には無視され、処理終了後"0"がライトバックされます。各ビットの詳細な説明は「3.2.6 チャネル[i]処理ディスクリプタ 0 レジスタ (C[i]D0) 【制御】 (i=0, 1)」～「3.2.10 チャネル[i]処理ディスクリプタ 4 レジスタ (C[i]D4) 【チェックサム値ライトアドレス】 (i=0, 1)」を参照してください。

ビット アドレス	31	30	29	28	27-26	25-24	23-20	19	18	17-16	15-3			2-1	0	
0	CRDO[3:0]				CHDO[3:0]			SO[3:0]	DA	SA	CSM[1:0]				F[2:0]	
+4	D1 [31:0]															
+8	D2 [31:0]															
+12			DWE	DIE								D3 [15:0]				
+16	D4 [31:1]															
+20																
+24																
+28																

図 3.2 ディスクリプタフォーマット

ディスクリプタは、16/32 バイトの可変長、もしくは 32 バイトの固定長で構成されます。チャネル[i]処理制御レジスタ (C[i]C) の可変長ディスクリプタ制御フラグ (C[i]C_VLD) により、可変長か固定長かを選択します。C[i]C_VLD=1 としディスクリプタを可変長として動作させる場合、以下の条件に当てはまるとき残りの 16 バイトをリードします。

- チェックサム計算結果をライトバックする設定時 (C[i]CSM0=1)

3.4.2 チャネル基本動作

チャネル[i]は、チャネル[i]処理制御レジスタ (C[i]C) の C[i]C_E に"1"が書き込まれると、C[i]DCA[31:4]のアドレスからディスクリプタをリードします。C[i]C_VLD が固定長と設定された場合、32 バイト分連続リードし、可変長と設定された場合、前述の条件に従い残りの 16 バイトをリードします。

ディスクリプタの先頭ロングワードのフラグ C[i]F0=1 であれば、チャネル[i]処理ディスクリプタ 0 (C[i]D0) ~ チャネル[i]処理ディスクリプタ 4 (C[i]D4) の当該レジスタにフェッチされます。1 ディスクリプタ処理終了後、C[i]F0 を"0"にし元の領域にライトバックします。

ディスクリプタは、メモリ上にリング状に配置することができます。このディスクリプタの個数は任意です。処理は、チャネル[i]処理ディスクリプタ現在アドレス (C[i]DCA) が示すアドレスに配置されるディスクリプタから開始されます。チャネル[i]処理ディスクリプタ C[i]D0 のフラグ C[i]F0=1 のディスクリプタが続く限り、次々とディスクリプタを処理します。チャネル[i]処理ディスクリプタ C[i]D0 のフラグ C[i]F1=1 であれば、ディスクリプタリングの最終とみなし、チャネル[i]処理ディスクリプタ開始アドレス (C[i]DSA) が示すアドレスに配置されるディスクリプタの処理を行います。ディスクリプタの処理を終了するには、チャネル[i]処理ディスクリプタ (C[i]D0) の C[i]F0=0 とした無効ディスクリプタを配置してください。

本 A-DMAC では、1 つの連続データの処理を複数のディスクリプタに分割して実行する場合、複数ディスクリプタ処理間で各処理の処理データサイズを保存する必要があり、逆に、異なるデータを扱うためには前述の処理データサイズを初期化する必要があります。それゆえ、現在実行しているディスクリプタが連続データの最終を扱うかどうかをディスクリプタに示す必要があり、それを C[i]F2 フラグにて設定します。

本 A-DMAC は C[i]D3[15:0]にデータサイズ 0 を設定することは許可していません。

3.4.3 チェックサム

チェックサムのみ実行するディスクリプタ配置例を図 3.3 に示します。図 3.3 では 1 つのディスクリプタで処理が完結するディスクリプタを連続配置した例を (a) に、複数のディスクリプタに処理を分割し最終ディスクリプタにて処理完了とするディスクリプタを配置した例を (b) に示しています。

なお、チェックサム演算を実行するディスクリプタではデータサイズを 2 バイトの倍数になるよう設定してください。ただし、分割ディスクリプタを使用した場合、各ディスクリプタで指定するサイズは 2 バイトの倍数以外も許可されますが、各分割ディスクリプタで指定するサイズの総数が 2 の倍数となるように設定する必要があります (複数のディスクリプタに分割し最終でないディスクリプタに奇数サイズを指定した場合は、最後の 1 バイトのデータを処理せずに次のディスクリプタを待ちます)。

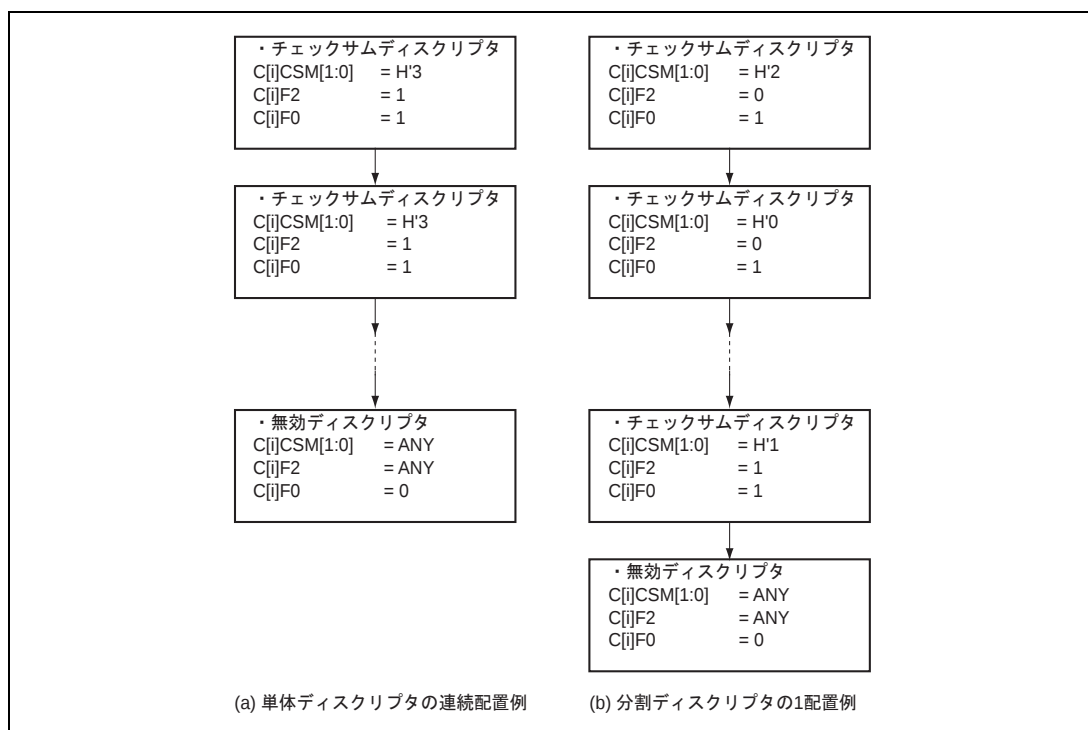


図 3.3 チェックサムディスクリプタ配置例

3.5 FEC チャネル動作

3.5.1 FEC チャネル用ディスクリプタフォーマット

FEC チャネル用のディスクリプタフォーマットを図 3.4 に示します。FEC チャネルはディスクリプタ情報により、CPU を介さずに自動的にメモリとの間で DMA 転送を行うことができます。

1 ディスクリプタに指定できるソースアドレス数は 2 つですが、ディスクリプタをリング状に連結させることにより、任意の行数（列数）を持つ FEC 処理を行うことができます。

なお、FEC チャネルのデータアクセスは、その利用用途から、SHwy-Bus に限定されるため、ソース/デスティネーション方向（SHwy-Bus か STIF か）を示す情報はディスクリプタに含まれません。また、FEC 演算の対象となるデータの長さは、FEC ディスクリプタの先頭ロングワードである FEC DMAC 処理ディスクリプタ 0 (FECD00) のフラグ FECD00_SZ[15:0] に統一する必要があります。それゆえ、FECD00_SZ[15:0] に満たないデータを処理する際、0 パディングをそのデータに対して実行し、FEC 処理を行う必要があります。

ビット アドレス	31-16	15-12	11-8	7-4	3	2-0
0	SZ[15:0]	DO[3:0]	SO[3:0]	SN[3:0]	DRE	F[2:0]
+4	D01D0A [31:0]					
+8	D02S0A [31:0]					
+12	D03S1A [31:0] or パディング					

図 3.4 FEC DMAC ディスクリプタフォーマット

3.5.2 FEC チャネル基本動作

FEC チャネルは、FEC DMAC 処理制御レジスタ (FECC) の FECC_E に "1" が書き込まれると、ディスクリプタの読み込みを開始します。ディスクリプタの先頭ロングワードのフラグ FECD00_F0 が "1" であれば、先頭ロングワードの FECD00 から順に該当レジスタにフェッチされます。

ディスクリプタリード完了後、ソースアドレスが指し示すメモリ空間のデータをリードし、FEC 演算 (XOR 計算) します。すべてのソースアドレスとの XOR 計算完了後、その結果をデスティネーションアドレス空間へライトバックします。1 ディスクリプタ処理終了後、FECD00_F0 を "0" にし元の領域にライトバックします。

A-DMAC に実装された FEC チャネルは、任意の行数および列数の FEC 行列演算に対応するため、1 ディスクリプタで処理可能なソース行/列の FEC 演算結果をいったんデスティネーションアドレスにライトバックします。FEC 行列が 2 行で構成される場合は 1 ディスクリプタで演算終了となりますが、FEC 行列が 3 行/列以上で構成される場合は、複数のディスクリプタに分割して FEC 行列の処理を行います。この処理を複数ディスクリプタに分割する必要がある場合、FECD00_DRE ビットを用いて FEC 演算を制御します。

FEC 行列演算を複数のディスクリプタに分割して実行するディスクリプタ構成例を図 3.5 に示します。FEC 演算を開始する最初のディスクリプタでは、まだ演算結果がライトされていないため、FECD00_DRE=0 とします。次以降のディスクリプタでは演算を継続する、つまり前ディスクリプタで計算した結果と現在のディスクリプタのソースの XOR 演算を実行するために FECD00_DRE=1 とします。このようなディスクリプタを FEC 行列演算の行数もしくは列数を満たすまで積み上げることで対象行(列)の最終的な XOR 演算結果を得ることができます。

ディスクリプタは、メモリ上にリング状に配置することができます。このディスクリプタの個数は任意です。処理は、FEC DMAC 処理ディスクリプタ現在アドレス (FECDCA) が示すアドレスに配置されるディスクリプタから開始されます。FEC DMAC 処理ディスクリプタ 0 (FECD00) のフラグ FECD00_F0 が"1"のディスクリプタが続く限り、次々とディスクリプタを処理します。ここで、FECD00 のフラグ FECD00_F1 が"1"であれば、ディスクリプタリングの最終とみなし、FEC DMAC 処理ディスクリプタ開始アドレス (FECD00_SA) が示すアドレスに配置されるディスクリプタの処理を行います。ディスクリプタの処理を終了するには、FECD00 の FECD00_F0 を"0"とした無効なディスクリプタを配置するか、FECD00 の FECD00_F2 を"1"に設定した最終ディスクリプタを配置します。

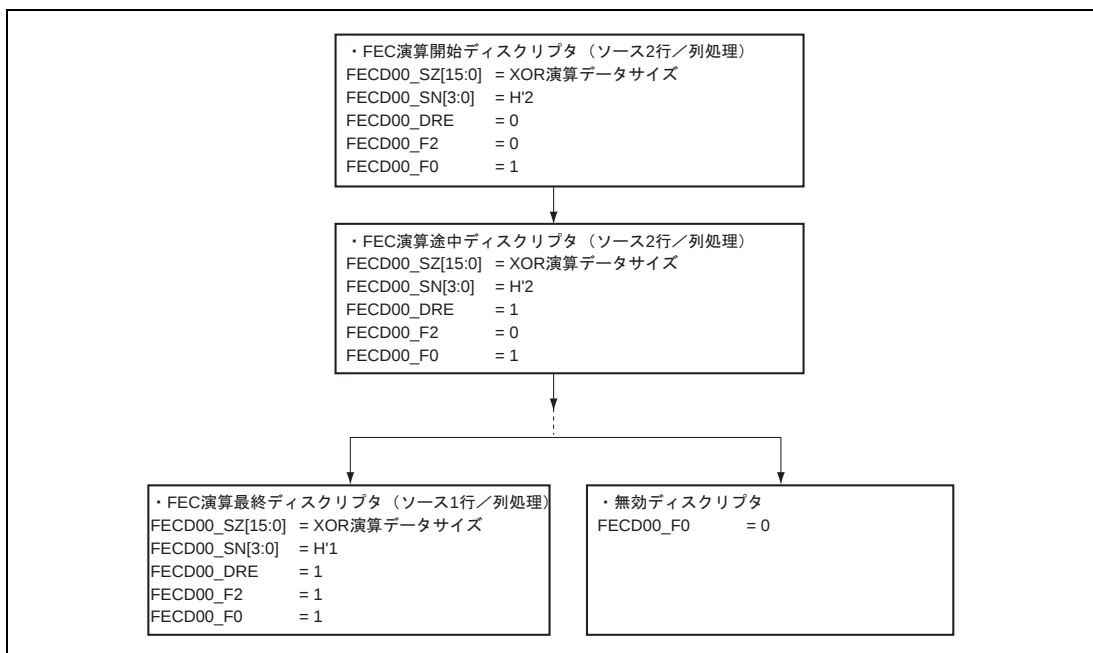


図 3.5 FEC ディスクリプタ構成例

3.6 使用上の注意事項

3.6.1 A-DMAC チャンネル動作用ディスクリプタで設定するデータ転送サイズについて

A-DMAC チャンネル動作用ディスクリプタで設定するデータ転送サイズは、「3.2.9 チャンネル[i]処理ディスクリプタ 3 レジスタ C[i]D3 【データ長】 (i=0, 1)」の C[i]D3[15:0]ビットの説明にあるとおりですが、当該 A-DMAC チャンネルが PS モードの STIF と連動している場合には、以下の制限が追加されます。

PS モードの STIF と連動している場合、(A-DMAC のディスクリプタで指定するデータ転送サイズ) = (STSIZER の SIZE[31:0]ビットへの設定値) + (ダミーデータ) = (192 バイトの倍数) となるように、ダミーデータ転送用のディスクリプタも準備してください。これは、データ転送を複数のディスクリプタに分けて行う場合に、各ディスクリプタの C[i]D3[15:0]ビットの総計が 192 バイトの倍数であることを意味しています。

こうすることで、PS 出力モードの場合、A-DMAC から STIF には、ダミーデータを含めた転送が発生しますが、ダミーデータは STIF 内部で破棄され、STIF から外部デバイスには真に転送したいデータのみ出力されます。

同様に、PS 入力モードの場合、STIF は、外部デバイスから真に転送したいデータの分量のみを取り込みますが、A-DMAC は、真に転送したいデータに続けてダミーデータを転送します。ソフトウェアはメモリに格納されたダミーデータを無視してください。

4. IEBusTM コントローラ

4.1 概要

IEBus は IEBusTM (Inter Equipment BusTM) 仕様をサポートした論理ユニットです。

【注】 IEBusTM (Inter Equipment BusTM) はルネサス エレクトロニクス株式会社の商標です。

4.1.1 特長

IEBus には次のような特長があります。

- IEBusのプロトコル制御（レイア2）に対応
 - 半二重非同期通信
 - マルチマスタ方式
 - 同報通信機能
 - 2種類の伝送速度の異なるモードが選択可能

表 4.1 2 種類のモード

モード	6.29MHz 動作時	最大伝送バイト数（バイト／フレーム）
0	約 4.1kbps	16
1	約 18kbps	32

- データ送受信用バッファ内蔵
 - 送信バッファ／受信バッファは各32バイト
 - モード1の最大伝送バイト数である32バイトまで連続送受信が可能
- IEBusクロック周波数
 - 6.29MHz

4.1.2 ブロック図

図 4.1 に IEBus の全体ブロック図を、表 4.2 に各ブロックの機能を示します。

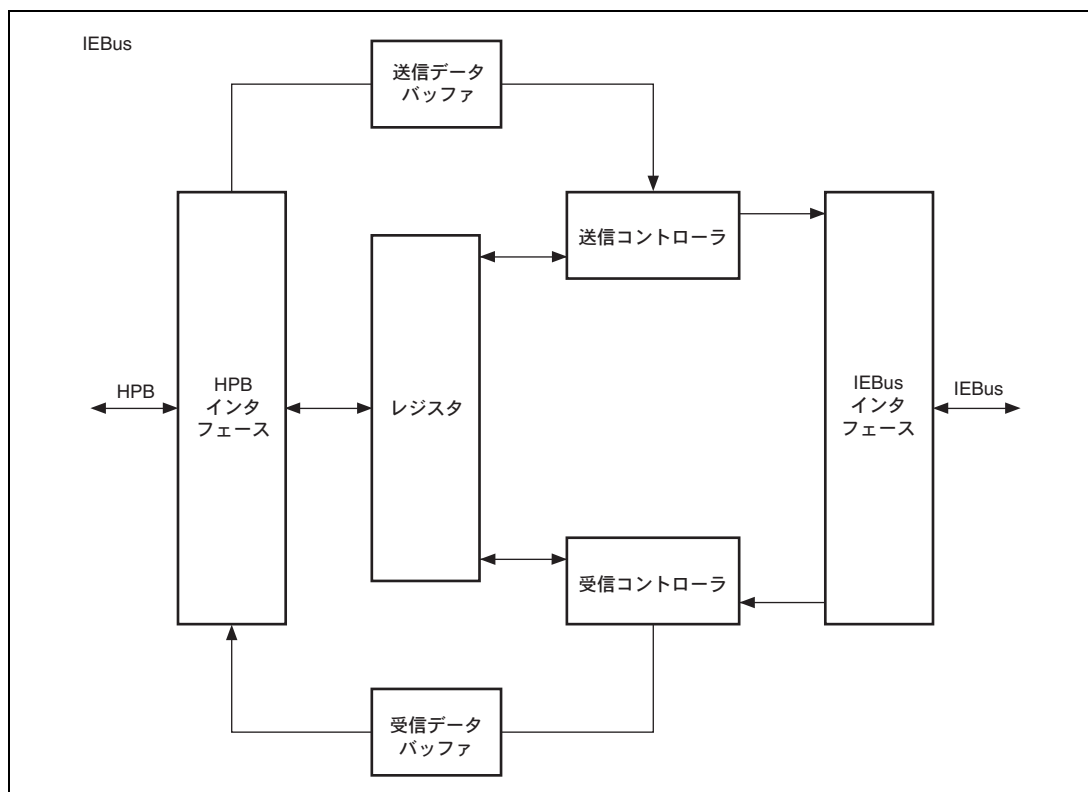


図 4.1 IEBus ブロック図

表 4.2 各ブロックの機能

ブロック		機 能
1	HPB インタフェース	HPB のインタフェース変換機能を実現
		- データ幅は 8 ビット - IEBus レジスタアクセス
2	IEBus インタフェース	IEBus 仕様に準拠したインタフェース機能を実現
		- 送信コントローラからデータを IEBus 仕様のビットフォーマットで IEBus 送出 - IEBus 仕様のビットフォーマットからフレームデータを抽出し受信コントローラへ転送
3	レジスタ	IEBus 制御レジスタ
		- IEBus 制御のためのレジスタ - HPB よりリード/ライト可能
4	送信コントローラ	送信バッファのデータを IEBus に送信
		- レジスタからのヘッダ情報と送信バッファのデータにより送信フレームを生成し送信 - 送信エラー検出
5	受信コントローラ	IEBus からのデータを受信バッファに格納
		- 受信したフレームをヘッダ情報はレジスタにデータは受信バッファに格納 - 受信エラー検出
6	送信データバッファ	データ送信用バッファ
		- IEBus へ送信するデータを格納するバッファ - バッファ容量 32 バイト
7	受信データバッファ	データ受信用バッファ
		- IEBus から受信したデータを格納するバッファ - バッファ容量 32 バイト

4.1.3 外部端子

表 4.3 に IEBus の端子構成を示します。

表 4.3 端子構成

分類	端子名	入出力	機 能
IEBus	IECLK	入力	IEBus クロック信号
	IERX	入力	IEBus データ入力信号
	IETX	出力	IEBus データ出力信号

4.1.4 レジスタ構成

IEBus のレジスタベースアドレスは下記のとおりです。

H'FFFC_9000

また、下記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。
読み出すと不定値が読み出されます。

表 4.4 レジスタ構成

名称	略称	R/W	ベースアドレスからの オフセットアドレス	サイズ
IEBus コントロールレジスタ	IECTR	R/W	H'000	8
IEBus コマンドレジスタ	IECMR	R/W	H'001	8
IEBus マスタコントロールレジスタ	IEMCR	R/W	H'002	8
IEBus 自局アドレスレジスタ 1	IEAR1	R/W	H'003	8
IEBus 自局アドレスレジスタ 2	IEAR2	R/W	H'004	8
IEBus スレーブアドレス設定レジスタ 1	IESA1	R/W	H'005	8
IEBus スレーブアドレス設定レジスタ 2	IESA2	R/W	H'006	8
IEBus 送信電文長レジスタ	IETBFL	R/W	H'007	8
—	IETBR	R	H'008	8
IEBus 受信マスタアドレスレジスタ 1	IEMA1	R	H'009	8
IEBus 受信マスタアドレスレジスタ 2	IEMA2	R	H'00A	8
IEBus 受信コントロールフィールドレジスタ	IERCTL	R	H'00B	8
IEBus 受信電文長レジスタ	IERBFL	R	H'00C	8
—	IERBR	R	H'00D	8
—	IELA1	R	H'00E	8
—	IELA2	R	H'00F	8
IEBus ゼネラルフラグレジスタ	IEFLG	R	H'010	8
IEBus 送信ステータスレジスタ	IETSR	R	H'011	8
IEBus 送信割り込み許可レジスタ	IEIET	R/W	H'012	8
—	IETEF	R	H'013	8
IEBus 受信ステータスレジスタ	IERSR	R	H'014	8
IEBus 受信割り込み許可レジスタ	IEIER	R/W	H'015	8
—	IEREF	R	H'016	8
IEBus 送信データバッファ	IETB01~IETB32	* ¹	H'100~H'11F	8
IEBus 受信データバッファ	IERB01~IERB32	* ²	H'200~H'21F	8

【注】 *¹ マスタ送信中（IEFLG の MRQ=1 のとき）、読み出し不可（リード値不定）
マスタ送信中（IEFLG の MRQ=1 のとき）、書き込み不可

*² スレーブ受信（IEFLG の SRE=1 かつ IERSR の RXBSY=0 のとき）、読み出し不可

表 4.5 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
IECTR	初期化	初期化	保持	保持	保持	初期化
IECMR	初期化	初期化	保持	保持	保持	初期化
IEMCR	初期化	初期化	保持	保持	保持	初期化
IEAR1	初期化	初期化	保持	保持	保持	初期化
IEAR2	初期化	初期化	保持	保持	保持	初期化
IESA1	初期化	初期化	保持	保持	保持	初期化
IESA2	初期化	初期化	保持	保持	保持	初期化
IETBFL	初期化	初期化	保持	保持	保持	初期化
IETBR	初期化	初期化	保持	保持	保持	初期化
IEMA1	初期化	初期化	保持	保持	保持	初期化
IEMA2	初期化	初期化	保持	保持	保持	初期化
IERCTL	初期化	初期化	保持	保持	保持	初期化
IERBFL	初期化	初期化	保持	保持	保持	初期化
IERBR	初期化	初期化	保持	保持	保持	初期化
IELA1	初期化	初期化	保持	保持	保持	初期化
IELA2	初期化	初期化	保持	保持	保持	初期化
IEFLG	初期化	初期化	保持	保持	保持	初期化
IETSR	初期化	初期化	保持	保持	保持	初期化
IEIET	初期化	初期化	保持	保持	保持	初期化
IETEF	初期化	初期化	保持	保持	保持	初期化
IERSR	初期化	初期化	保持	保持	保持	初期化
IEIER	初期化	初期化	保持	保持	保持	初期化
IEREF	初期化	初期化	保持	保持	保持	初期化
IETB01～IETB32	初期化	初期化	保持	保持	保持	初期化
IERB01～IERB32	初期化	初期化	保持	保持	保持	初期化

4.2 レジスタ説明

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

— : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

—/W : ライトのみ可。読み出し値は不定です。

4.2.1 IEBus コントロールレジスタ (IECTR)

IECTR は、本モジュールの動作の制御の設定を行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	IOL	DEE	-	RE	-	-	-
初期値:	-	0	0	-	0	-	-	-
R/W:	R	R/W	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
6	IOL	0	R/W	入出力レベル IERX、IETX 端子の入出力端子のレベル（正論理、負論理）を選択します。 0: 端子の入出力は負論理 （ロジック 1 が Low レベル、ロジック 0 が High レベル） 1: 端子の入出力は正論理 （ロジック 1 が High レベル、ロジック 0 が Low レベル）
5	DEE	0	R/W	同報受信エラー割り込みイネーブル 本ビットを 1 にセットすると、同報受信のコントロールフィールドの受信時に、受信バッファが受信可能状態にない場合（RE ビットが 1 にセットされていない状態か、RXBSY フラグがセットされている状態）、同報受信エラー割り込みが発生します。その際、IEBus 受信マスタアドレスレジスタ 1、2 にマスタアドレスが格納されます。受信コントロールフィールドレジスタは格納されません。 本ビットが 0 のときは、同報受信でコントロールフィールドの受信時に、受信バッファが受信可能状態にない場合、同報受信エラー割り込みが発生せずに受信を中止して待機状態に入ります。マスタアドレスは保存されません。 0: コントロールフィールドまでの同報受信エラー割り込みを発生させない 1: コントロールフィールドまでの同報受信エラー割り込みを発生させる
4	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
3	RE	0	R/W	レシーブイネーブル IEBus の受信の許可／禁止を設定します。本ビットの設定は、フレーム受信前の初期設定で行ってください。コントロールフィールドの受信前に行った変更は有効ですが、コントロールフィールド受信後の変更は無効となり、変更前の値が有効になります。 0: 受信動作を禁止 1: 受信動作を許可
2~0	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。

4.2.2 IEBus コマンドレジスタ (IECMR)

IEBus の通信制御を行うためのコマンドを発行するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMD		
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	-/W	-/W	-/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に0にしてください。
2～0	CMD	—	-/W	コマンドビット IEBusの通信制御を行うためのコマンドを発行します。本コマンド発行後、IEFLGのCMXビットがセットされている間はコマンド実行中です。CMXが0になって、動作状態に移行します。 000: ノーオペレーション 001: 予約* ¹ 010: マスタとしての通信を要求 011: マスタ通信を中止* ² 100: 未定義* ³ 101: 予約* ¹ 110: 予約* ¹ 111: 未定義* ³

【注】 *1 設定禁止です。

*2 マスタ通信中 (MRQ=1) のときのみ、本コマンドは有効です。それ以外ではコマンドを発行しても無視されます。マスタ通信中に本コマンドを発行すると、通信コントローラは直ちに待機状態に入ります。同時に、発行されていたマスタ送信要求は終了 (MRQ=0) します。

*3 未定義ビットです。本コマンドを発行しても動作に影響ありません。

4.2.3 IEBus マスタコントロールレジスタ (IEMCR)

マスタ通信を行うときの通信条件を設定します。

ビット:	7	6	5	4	3	2	1	0
	SS	RN			CTL			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SS	0	R/W	同報／通常通信の選択 マスタ通信時の、同報／通常通信の選択を行います。 0: マスタ通信時、同報通信 1: マスタ通信時、通常通信

ビット	ビット名	初期値	R/W	説 明
6～4	RN	000	R/W	再送回数 マスタ通信中にアービトレーションに負けた場合、自動的に再送信を行う回数を設定します。設定回数分アービトレーションに負けた場合、IEBus 送信ステータスレジスタ (IETSR) の TXEAL ビットがセットされ、送信エラー終了となります。再送している間でアービトレーションに勝った場合、マスタアドレスを送信後、再送回数は自動的に初期設定値に復帰します。 000 : 0 回 001 : 1 回 010 : 2 回 011 : 3 回 100 : 4 回 101 : 5 回 110 : 6 回 111 : 7 回
3～0	CTL	0000	R/W	コントロールビット マスタ送信時、コントロールフィールドのコントロールビットの設定を行います。 0000 : 予約* 0001 : 未定義* 0010 : 未定義* 0011 : 予約* 0100 : 予約* 0101 : 予約* 0110 : 予約* 0111 : 予約* 1000 : 未定義* 1001 : 未定義* 1010 : 予約* 1011 : 予約* 1100 : 予約* 1101 : 未定義* 1110 : 未定義* 1111 : データ書き込み

【注】 * 設定禁止です。

4.2.4 IEBus 自局アドレスレジスタ 1 (IEAR1)

自局アドレスの下位 4 ビットと、通信モードを設定します。

ビット:	7	6	5	4	3	2	1	0
	IARL4				IMD		-	-
初期値:	0	0	0	0	0	0	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7~4	IARL4	0000	R/W	IEBus 自局アドレス下位 4 ビット 自局アドレスの下位 4 ビットを設定します。 自局アドレスは、マスタ通信時にはマスタアドレスフィールドの値となります。 スレーブ通信時には、受信したスレーブアドレスとの比較を行います。
3, 2	IMD	00	R/W	IEBus 通信モード IEBus 通信モードの選択を行います。 00: 通信モード 0 01: 通信モード 1 10: 予約* 11: 未定義*
1, 0	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。

【注】 * 設定禁止です。

4.2.5 IEBus 自局アドレスレジスタ 2 (IEAR2)

自局アドレスの上位 8 ビットを設定します。

ビット:	7	6	5	4	3	2	1	0
	IARU8							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~0	IARU8	すべて 0	R/W	IEBus 自局アドレス上位 8 ビット 自局アドレスの上位 8 ビットを設定します。 自局アドレスは、マスタ通信時にはマスタアドレスフィールドの値となります。 スレーブ通信時には、受信したスレーブアドレスとの比較を行います。

4.2.6 IEBus スレーブアドレス設定レジスタ 1 (IESA1)

通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。

ビット:	7	6	5	4	3	2	1	0
	ISAL4				-	-	-	-
初期値:	0	0	0	0	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~4	ISAL4	0000	R/W	IEBus スレーブアドレス下位 4 ビット 通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。
3~0	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。

4.2.7 IEBus スレーブアドレス設定レジスタ 2 (IESA2)

通信相手のスレーブユニットのアドレスの上位 8 ビットを設定します。

ビット:	7	6	5	4	3	2	1	0
	ISAU8							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~0	ISAU8	すべて 0	R/W	IEBus スレーブアドレス上位 8 ビット 通信相手のスレーブユニットのアドレスの上位 8 ビットを設定します。

4.2.8 IEBus 送信電文長レジスタ (IETBFL)

マスタ送信を行う際の電文長を設定します。

ビット:	7	6	5	4	3	2	1	0
	TBFL							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	TBFL	すべて 0	R/W	送信電文長ビット マスタ送信する際の電文長の値を設定します。通信モードの最大伝送バイト数以内の値を設定してください。 H'01 : 1 バイト H'02 : 2 バイト : H'1F : 31 バイト H'20 : 32 バイト H'21 : 予約* : H'FF : 予約* H'00 : 予約*

【注】 * 設定禁止です。

4.2.9 IETBR (IETBR)

本レジスタは、全ビット予約です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～0	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。

4.2.10 IEBus 受信マスタアドレスレジスタ 1 (IEMA1)

スレーブ／同報受信時の通信相手のマスタユニットのアドレス下位 4 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	IMAL4				-	-	-	-
初期値:	0	0	0	0	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～4	IMAL4	0000	R	IEBus 受信マスタアドレス下位 4 ビット スレープ／同報受信時、通信相手のマスタユニットのアドレス下位 4 ビットを表示します。本レジスタは、スレープ／同報受信が開始されると有効になります（RXS ビットがセットされた時点で、内容が書き換えられます）。 IECTR の DEE ビットで同報受信エラー割り込みが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEBus 受信マスタアドレスレジスタ 1（IEMA1）にマスタアドレス下位 4 ビットが格納されます。
3～0	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。

4.2.11 IEBus 受信マスタアドレスレジスタ 2（IEMA2）

スレープ／同報受信時の通信相手のマスタユニットのアドレス上位 8 ビットを表示します。

ビット：	7	6	5	4	3	2	1	0
	IMAU8							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～0	IMAU8	すべて 0	R	IEBus 受信マスタアドレス上位 8 ビット スレープ／同報受信時、通信相手のマスタユニットのアドレス上位 8 ビットを表示します。本レジスタは、スレープ／同報受信が開始されると有効になります（RXS ビットがセットされた時点で、内容が書き換えられます）。 IECTR の DEE ビットで同報受信エラー割り込みが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEBus 受信マスタアドレスレジスタ 2（IEMA2）にマスタアドレス上位 8 ビットが格納されます。

4.2.12 IEBus 受信コントロールフィールドレジスタ（IERCTL）

スレープ／同報受信時のコントロールフィールドの値を表示します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	RCTL			
初期値：	-	-	-	-	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～4	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に0にしてください。
3～0	RCTL	0000	R	IEBus 受信コントロールフィールド スレープ／同報受信時、コントロールフィールドの値を表示します。本レジスタは、スレープ／同報受信が開始されると有効になります（RXS ビットがセットされた時点で、内容が書き換えられます）。

4.2.13 IEBus 受信電文長レジスタ（IERBFL）

スレープ／同報受信時の電文長フィールドの値を表示します。

ビット：	7	6	5	4	3	2	1	0
	RBFL							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～0	RBFL	すべて0	R	IEBus 受信電文長 スレープ／同報受信時、電文長フィールドの値を表示します。本レジスタは、スレープ／同報受信が開始されると有効になります（RXS ビットがセットされた時点で、内容が書き換えられます）。

4.2.14 IERBR（IERBR）

本レジスタは、全ビット予約です。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値：	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～0	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に0にしてください。

4.2.15 IELA1 (IELA1)

本レジスタは、全ビット予約です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に0にしてください。

4.2.16 IELA2 (IELA2)

本レジスタは、全ビット予約です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に0にしてください。

4.2.17 IEBus ゼネラルフラグレジスタ (IEFLG)

IEBus のコマンドの実行状態の表示、スレーブアドレスの一致、同報受信の検出を行います。

ビット:	7	6	5	4	3	2	1	0
	CMX	MRQ	-	SRE	-	-	RSS	GG
初期値:	0	0	-	0	-	-	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	CMX	0	R	コマンド実行状態 コマンドの実行状態を示します。 [セット条件] • MRQ、SRE のいずれかがセットされた条件で、マスタ通信要求コマンドを発行時。 [クリア条件] • コマンドが実行終了時。 0 : コマンドの実行は終了 1 : コマンド実行中

ビット	ビット名	初期値	R/W	説 明
6	MRQ	0	R	マスタ通信要求 マスタユニットとして、通信要求期間中か期間中でないかを示します。 [セット条件] - マスタ通信要求コマンドを発行し、CMX ビットが 0 になったとき。 [クリア条件] - マスタ通信が終了したとき。 0 : マスタユニットとしての通信要求期間中ではない 1 : マスタユニットとしての通信要求期間中
5	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
4	SRE	0	R	スレープ受信状態 スレープ／同報受信の実行状態を示します。 [セット条件] - IECTR の RE ビットが 1 の状態で、スレープ／同報受信を開始したとき。 [クリア条件] - スレープ／同報受信が終了したとき。 0 : スレープ／同報受信中ではない 1 : スレープ／同報受信
3, 2	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
1	RSS	0	R	受信同報ビット 受信した同報ビット値を示します。スレープ／同報受信開始時有効になります（RXS ビットがセットされた時点で内容が書き換えられます）。 スレープ／同報受信開始時までは、前回値を保持します。 0 : 受信した同報ビットは 0 1 : 受信した同報ビットは 1
0	GG	0	R	一斉同報受信認識 同報受信時、スレープアドレスが H'FFF を認識したとき、セットされます。受信同報ビットと同様に、スレープ／同報受信開始時に有効になります（RXS ビットがセットされた時点で、内容が書き換えられます）。 スレープ／同報受信開始時までは、前回値を保持します。スレープ通常受信の場合は 0 になります。 0 : (1) スレープ通常受信 (2) 同報受信時、スレープアドレスフィールドで H'FFF を認識しなかった 1 : 同報受信時、スレープアドレスフィールドで H'FFF を認識した

4.2.18 IEBus 送信ステータスレジスタ (IETSR)

送信開始、送信正常終了、送信エラー終了等の状態を検出します。各要因は、IEBus 送信割り込み許可レジスタ (IEIET) に対応したビットを持っており、割り込みの禁止／許可を設定することができます。

本レジスタは各ビットに 1 を書き込むことによってクリアされます。

ビット:	7	6	5	4	3	2	1	0
	-	TXS	TXF	-	TXEAL	TXETTIME	TXERO	TXEACK
初期値:	-	0	0	-	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
6	TXS	0	R	送信開始 IEBus が送信開始したことを示します。 [セット条件] • マスタ送信時、アービトレーションに勝ち残って、マスタアドレスフィールドまで送信終了したとき。
5	TXF	0	R	送信正常終了 送信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを検出します。 [セット条件] • 電文長ビットで指定した送信データバイト数分の送信を終了したとき。
4	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
3	TXEAL	0	R	アービトレーション負け IEBus は、マスタ通信時にアービトレーションに負けた場合、IEMCR の RN で設定された回数だけ、再度スタートビットから送信を行います。設定回数すべて、アービトレーションに負けた場合には、本ビットをセットし待機状態になります。設定回数の再送時にアービトレーションに勝った場合、本ビットは 1 にセットされません。本ビットがセットされるのは、アービトレーションに負けて、通信が待機状態になったときです。 [セット条件] • データ送信中に、アービトレーション負けが発生し、送信が終了したことを示す。
2	TXETTIME	0	R	送信タイミングエラー データ送信中、IEBus プロトコルで規定したタイミングでデータの転送が行われなかったとき、本ビットがセットされます。IEBus は、本ビットをセットして待機状態になります。 [セット条件] • データ送信中に、タイミングエラーが発生したことを示す。

ビット	ビット名	初期値	R/W	説 明
1	TXERO	0	R	送信フレーム最大伝送バイト数オーバ データ送信時に、受信ユニットから NAK を受信し再送したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは、電文長の値が最大転送バイト数より大きい値であったため、送信が終了しなかったことを示します。IEBus は本ビットをセットして待機状態になります。 [セット条件] 通信モードで定義する最大バイト数まで送信したが、送信が終了しなかったことを示す。
0	TXEACK	0	R	アクノリッジビット データフィールドのアクノリッジビットで受信したデータを示します。 (1) データフィールド以外のアクノリッジビット NAK を受信すると、送信を中止し待機状態に入ります。本ビットは 1 にセットされます。 (2) データフィールドでのアクノリッジビット データフィールド送信時に、受信ユニットから NAK を受信すると、受信ユニットから ACK を受信するまで、通信モードで定義される最大バイト数まで再送を行います。この場合、送信中に受信ユニットから、ACK を受信した場合には、本ビットは設定されず、そのまま送信を行います。 ACK を受信することができずに、通信を終了した場合に、本ビットは 1 にセットされます。 【注】本フラグは同報通信では無効です。 [セット条件] アクノリッジビットで 1 (NAK) を検出したことを示す。

4.2.19 IEBus 送信割り込み許可レジスタ (IEIET)

IENTSR の送信開始、送信正常終了、送信エラー終了等の各要因について、割り込みの許可／禁止を設定することができます。

ビット:	7	6	5	4	3	2	1	0
	-	TXSE	TXFE	-	TXEAL	TXE TME	TXEROE	TXE ACKE
初期値:	-	0	0	-	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
6	TXSE	0	R/W	送信開始割り込み許可 送信開始 (TXS) 割り込みの禁止／許可を設定します。 0: 送信開始 (TXS) 割り込みを禁止 1: 送信開始 (TXS) 割り込みを許可

ビット	ビット名	初期値	R/W	説 明
5	TXFE	0	R/W	送信正常終了割り込み許可 送信正常終了 (TXF) 割り込みの禁止/許可を設定します。 0: 送信正常終了 (TXF) 割り込みを禁止 1: 送信正常終了 (TXF) 割り込みを許可
4	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
3	TXEAL	0	R/W	アービトレーション負け割り込み許可 アービトレーション負け (TXEAL) 割り込みの禁止/許可を設定します。 0: アービトレーション負け (TXEAL) 割り込みを禁止 1: アービトレーション負け (TXEAL) 割り込みを許可
2	TXE TTMEE	0	R/W	送信タイミングエラー割り込み許可 送信タイミングエラー (TXETTME) 割り込みの禁止/許可を設定します。 0: 送信タイミングエラー (TXETTME) 割り込みを禁止 1: 送信タイミングエラー (TXETTME) 割り込みを許可
1	TXEROE	0	R/W	送信フレーム最大伝送バイト数オーバ割り込み許可 送信フレーム最大伝送バイト数オーバ (TXERO) 割り込みの禁止/許可を設定します。 0: 送信フレーム最大伝送バイト数オーバ (TXERO) 割り込みを禁止 1: 送信フレーム最大伝送バイト数オーバ (TXERO) 割り込みを許可
0	TXE ACK	0	R/W	アクノリッジビット割り込み許可 アクノリッジビット (TXEACK) 割り込みの禁止/許可を設定します。 0: アクノリッジビット (TXEACK) 割り込みを禁止 1: アクノリッジビット (TXEACK) 割り込みを許可

4.2.20 IETEF (IETEF)

本レジスタは、全ビット予約です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。

4.2.21 IEBus 受信ステータスレジスタ (IERSR)

受信ビジー、受信開始、受信正常終了、受信エラー終了等の状態を検出します。各要因は、IEBus 送信割り込み許可レジスタ (IEIER) に対応したビットを持っており、割り込みの禁止／許可を設定することができます。

本レジスタは各ビットに 1 を書き込むことによりクリアされます。

ビット:	7	6	5	4	3	2	1	0
	RXBSY	RXS	RXF	RXEDE	RXEVE	RXE RTME	RXEDLE	RXEPE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	RXBSY	0	R	受信ビジー 受信データバッファ (IERB01~IERB32) に受信したデータが格納されていることを示します。受信データをすべて読み出した後クリアしてください。本ビットがセットされている間は、次の受信データを受信できません。 [セット条件] 受信データが受信データバッファにすべて書き込まれたとき
6	RXS	0	R	受信開始 IEBus が受信開始したことを示します。 [セット条件] スレーブ受信時、マスタユニットから、電文長フィールドまで正しく受信したとき
5	RXF	0	R	受信正常終了 受信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを示します。 [セット条件] 1: 電文長ビットで指定した受信データバイト数分の受信を終了したとき
4	RXEDE	0	R	同報受信エラー 同報受信のコントロールフィールド受信時、受信バッファが受信可能状態でない (RE ビットが 1 にセットされていない状態か、RXBSY フラグがセットされている状態) ためデータを受信できなかったことを示します。本ビットは IECTR の DEE ビットが 1 のとき、機能します。 [セット条件] 同報受信でデータを受信できなかったとき

ビット	ビット名	初期値	R/W	説 明
3	RXEOVE	0	R	オーバラン制御フラグ データ受信中のオーバラン制御に使用するフラグです。 IEBus は、RXBSY フラグがクリアされていない状態、すなわち受信データが読み出されていない状態で、次バイトのデータを受信し、さらにパリティビットの受信を開始した時点で、RXEOVE フラグをセットします。アクノリッジビット送信時まで、OVE ビットがセットされたままだと、IEB はオーバランエラーが発生したと判断し、通信相手に NAK を返送します。 この後、通信相手はフレーム最大伝送バイト数に達するまで、再送を行います。OVE フラグがセットされたままだと、IEB はオーバランエラーが解消されていないものと判断し、NAK を送信し続けます。 OVE フラグがクリアされると、IEBus はオーバランエラーが解消されたものと判断し、ACK を送信し次のデータを取り込みます。 同報受信の場合、アクノリッジビット送信時に、OVE ビットがセットされていると、直ちに待機状態に入ります。 このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、このビットはセットされません。 [セット条件] • RXBSY フラグがクリアされていない状態で、次バイトのデータを受信し、そのデータのパリティビットの受信を開始したとき
2	RXERTME	0	R	受信タイミングエラー データ受信中にタイミングエラーが発生したことを示します。 データ受信時、IEBus プロトコルで規定したタイミングで正しくデータを受信できなかった場合、本ビットがセットされます。IEBus は本ビットをセットして待機状態になります。 このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、このビットはセットされません。 [セット条件] • データ受信中に、タイミングエラーが発生したとき

ビット	ビット名	初期値	R/W	説 明
1	RXEDLE	0	R	受信フレーム最大伝送バイト数オーバ 受信フレーム最大伝送バイト数オーバを示します。 データ受信中に、パリティエラーかオーバランエラーが発生し、再送による受信を行ったため、通信モードで定義される最大バイト長内で受信が終了しなかったか、電文長の値が最大転送バイト数より大きい値であったため、受信が終了しなかったことを示します。IEBus は本ビットをセットして待機状態になります。 このフラグは、受信開始フラグ（RXS）がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、このビットはセットされません。 [セット条件] 通信モードで定義される最大バイト数内で、受信が終了しなかったことを示す
0	RXEPE	0	R	パリティエラー データフィールド受信中に、パリティエラーが発生したことを示します。 データフィールド受信前にパリティエラーが発生した場合、IEBus は直ちに待機状態になります。RXEPE はセットされません。 データフィールド受信中にパリティエラーが発生し、フレーム最大伝送バイト数に達するまで受信を行っていない場合、RXEPE はまだセットされません。パリティエラーが発生すると、IEBus はアクノリッジビットで通信相手に NAK を返送します。このとき、通信相手はフレーム最大伝送バイト数に達するまで、再送を行います。再受信中に、パリティエラーが解消され、正常に受信が行われると、RXEPE はセットされません。電文長で設定されたバイト数だけ受信を行わずに受信を中止し待機状態になったときにパリティエラーが解消されていなかった場合、RXEPE はセットされます。 同報受信の場合、データフィールド受信中にパリティエラーが発生すると、IEBus は RXEPE をセットし、直ちに待機状態に入ります。 このフラグは、受信開始フラグ（RXS）がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、このビットはセットされません。 [セット条件] フレーム最大伝送バイト数に達するまで受信を行い、最終受信バイトのデータフィールドのパリティビットが偶数パリティでなかったとき

4.2.22 IEBus 受信割り込み許可レジスタ (IEIER)

IERSR の受信ビジー、受信開始、受信正常終了、受信エラー終了等の各要因について、割り込みの禁止／許可を設定することができます。

ビット:	7	6	5	4	3	2	1	0
	RXBSYE	RXSE	RXFE	RXEDEE	RXE OVEE	RXE RTMEE	RXE DLEE	RXEPEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	RXBSYE	0	R/W	受信ビジー割り込み許可 受信ビジー (RXBSY) 割り込みの禁止／許可を設定します。 0: 受信ビジー (RXBSY) 割り込みを禁止 1: 受信ビジー (RXBSY) 割り込みを許可
6	RXSE	0	R/W	受信開始割り込み許可 受信開始 (RXS) 割り込みの禁止／許可を設定します。 0: 受信開始 (RXS) 割り込みを禁止 1: 受信開始 (RXS) 割り込みを許可
5	RXFE	0	R/W	受信正常終了割り込み許可 受信正常終了 (RXF) 割り込みの禁止／許可を設定します。 0: 受信正常終了 (RXF) 割り込みを禁止 1: 受信正常終了 (RXF) 割り込みを許可
4	RXEDEE	0	R/W	同報受信エラー割り込み許可 同報受信エラー (RXEDE) 割り込みの禁止／許可を設定します。 0: 同報受信エラー (RXEDE) 割り込みを禁止 1: 同報受信エラー (RXEDE) 割り込みを許可
3	RXEOVEE	0	R/W	オーバラン制御フラグ割り込み許可 オーバラン制御フラグ (RXEOVE) 割り込みの禁止／許可を設定します。 0: オーバラン制御フラグ (RXEOVE) 割り込みを禁止 1: オーバラン制御フラグ (RXEOVE) 割り込みを許可
2	RXERTMEE	0	R/W	受信タイミングエラー割り込み許可 受信タイミングエラー (RXERTME) 割り込みの禁止／許可を設定します。 0: 受信タイミングエラー (RXERTME) 割り込みを禁止 1: 受信タイミングエラー (RXERTME) 割り込みを許可
1	RXEDLEE	0	R/W	受信フレーム最大伝送バイト数オーバ割り込み許可 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みの禁止／許可を設定します。 0: 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みを禁止 1: 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みを許可

ビット	ビット名	初期値	R/W	説 明
0	RXEPEE	0	R/W	パリティエラー割り込み許可 パリティエラー（RXEPE）割り込みの禁止／許可を設定します。 0：パリティエラー（RXEPE）割り込みを禁止 1：パリティエラー（RXEPE）割り込みを許可

4.2.23 IEREF (IEREF)

本レジスタは、全ビット予約です。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値：	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～0	—	—	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に0にしてください。

4.2.24 IEBus 送信データバッファ (IETB01～IETB32)

マスタ送信時に送信するデータを書き込む 32 バイト（8 ビット×32）のバッファです。

ビット：	7	6	5	4	3	2	1	0
	TBn							
初期値：	-	-	-	-	-	-	-	-
R/W：	*	*	*	*	*	*	*	*

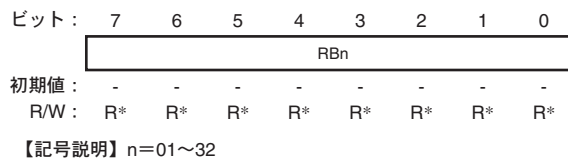
【記号説明】 n=01～32

ビット	ビット名	初期値	R/W	説 明
7～0	TBn	—	*	IEBus 送信データバッファ TB01～TB32 は、マスタ送信時にデータフィールドで送信するデータを書き込みます。TB01 が先頭データ 1 バイトで、TB02、TB03…の順に送信順に書き込みます。TB32 が 32 バイト送信時の最終データとなります。

【注】 * マスタ送信中（IEFLG の MRQ=1 のとき）、読み出し不可（リード値不定）
マスタ送信中（IEFLG の MRQ=1 のとき）、書き込み不可

4.2.25 IEBus 受信データバッファ (IERB01~IERB32)

スレーブ受信時に受信したデータを格納する 32 バイト (8 ビット×32) のバッファです。



ビット	ビット名	初期値	R/W	説 明
7~0	RBn	—	R*	IEBus 受信データバッファ RB01~RB32 は、IEBus 受信ステータスレジスタ (IERSR) の RXBSY ビットが 1 のとき、読み出すことができます。RB01~RB32 で読み出すデータはスレーブ受信時のデータフィールドの値になります。受信時のデータは RB01 が先頭データ 1 バイトで、RB02、RB03…の順に書き込まれます。RB32 が 32 バイト受信時の最終データとなります。

【注】 * スレーブ受信中 (IEFLG の SRE=1 かつ IERSR の RXBSY=0 のとき)、読み出し不可

4.3 動作の説明

4.3.1 インタフェース

IEBus の通信フレームを構成するビットのフォーマット（概念）を図 4.2 に示します。

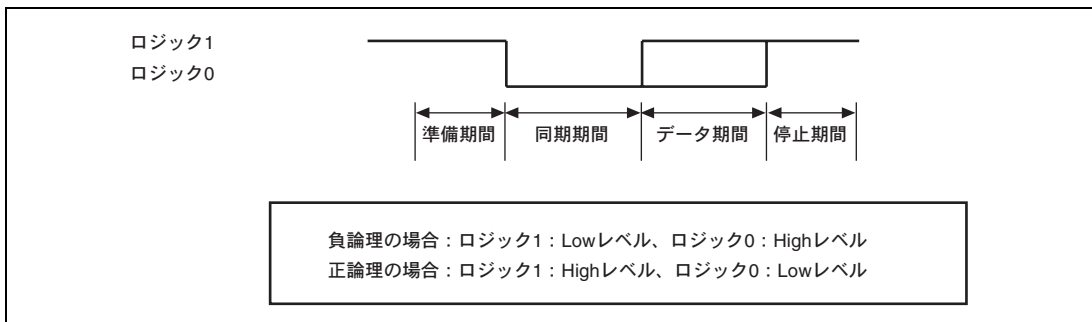


図 4.2 IEBus のビットフォーマット（概念）

以下、正論理の場合のビットフォーマットの各期間を説明します。

準備期間：最初のロジック1期間（Highレベル）

同期期間：次のロジック0期間（Lowレベル）

データ期間：ビットの値を表す期間（ロジック1：Highレベル、ロジック0：Lowレベル）

停止期間：最後のロジック1期間（Highレベル）

負論理の場合、正論理から反転したレベルになります。

同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBus は、1ビットごとに同期がとられています。また、ビット全体の時間と、そのビット内に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタユニットかスレーブユニットかの違いにより異なります。

4.3.2 データフォーマット

(1) マスタ送信

図 4.3 に IEBus データ送信時の伝送フォーマットと各レジスタの関係を示します。

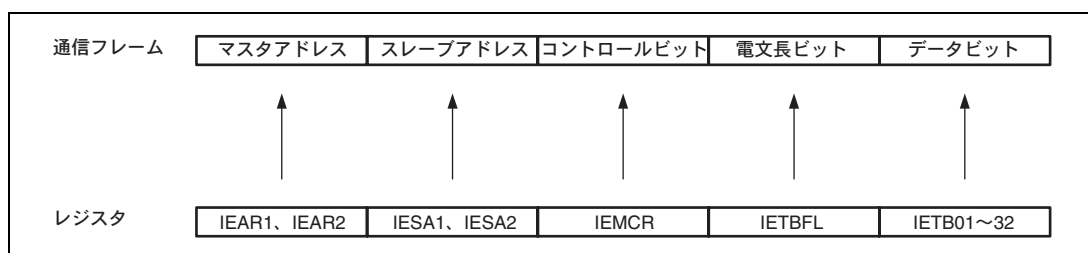


図 4.3 送信時の伝送信号フォーマットと各レジスタの関係

(2) スレーブ受信

図 4.4 に IEBus データ受信時の伝送フォーマットと各レジスタの関係を示します。

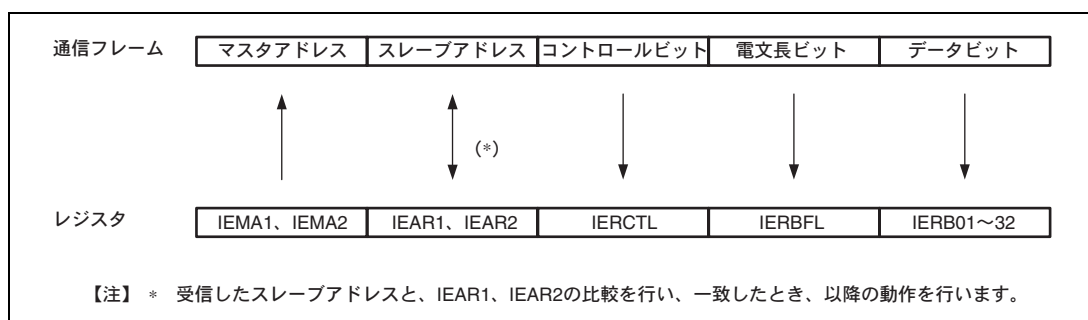


図 4.4 受信時の伝送信号フォーマットと各レジスタの関係

4.3.3 ソフト制御フロー

(1) 初期設定

図 4.5 に初期設定フローを示します。

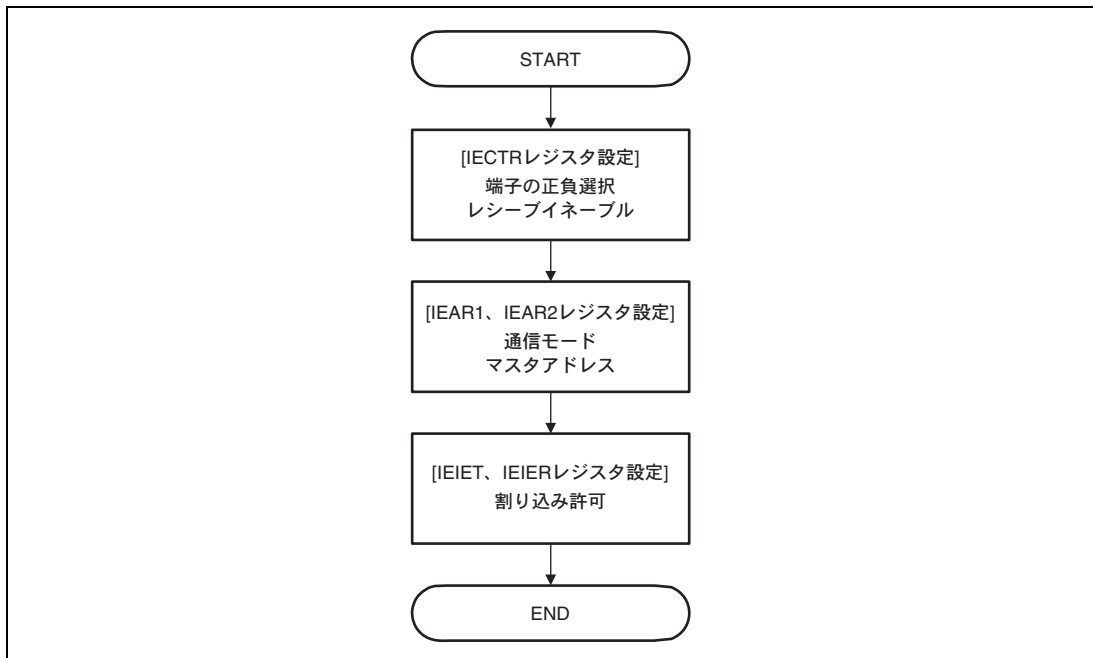


図 4.5 初期設定フロー

(2) マスタ送信

図 4.6 にマスタ送信フローを示します。

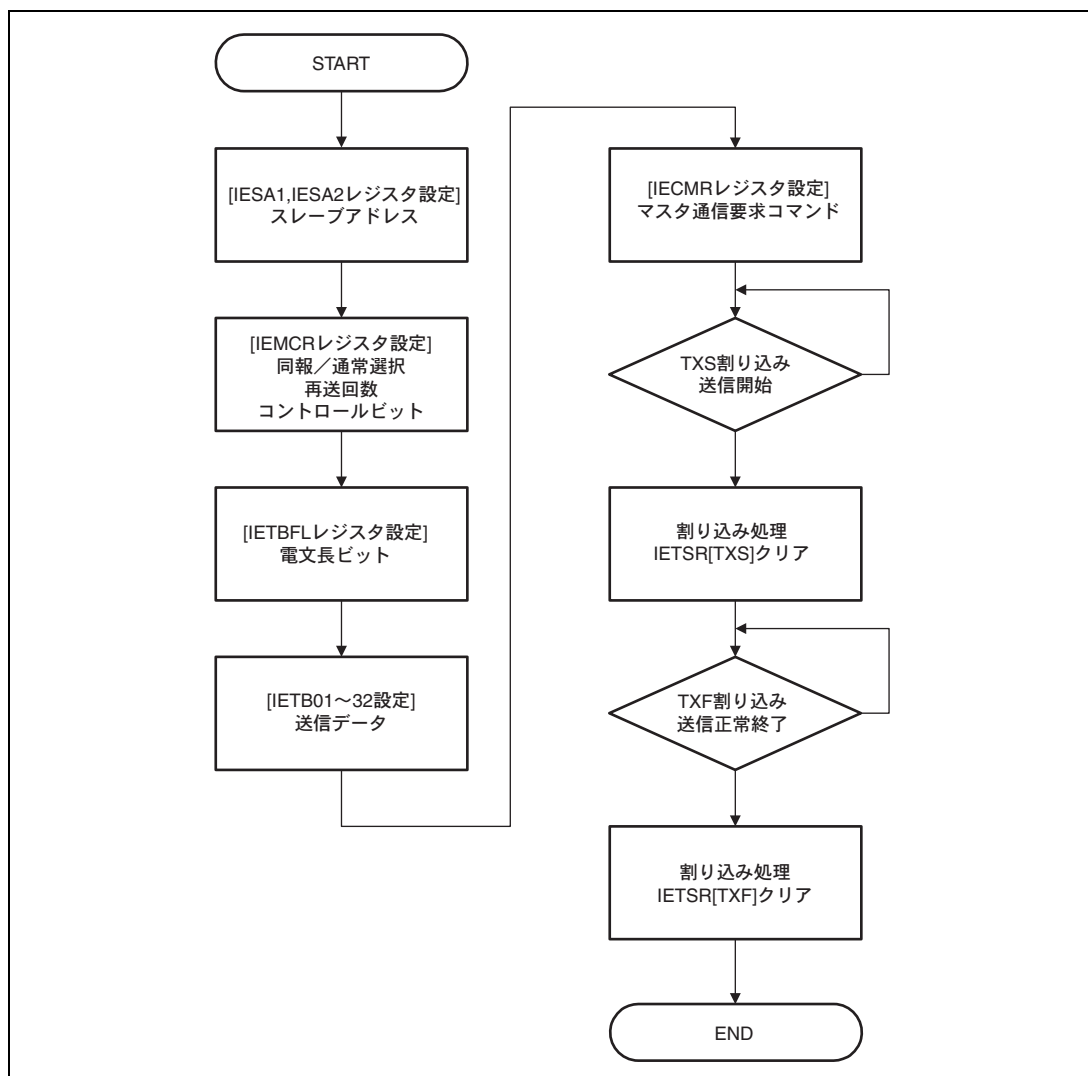


図 4.6 マスタ送信フロー（正常ケース）

(3) スレーブ受信

図 4.7 にスレーブ受信フローを示します。

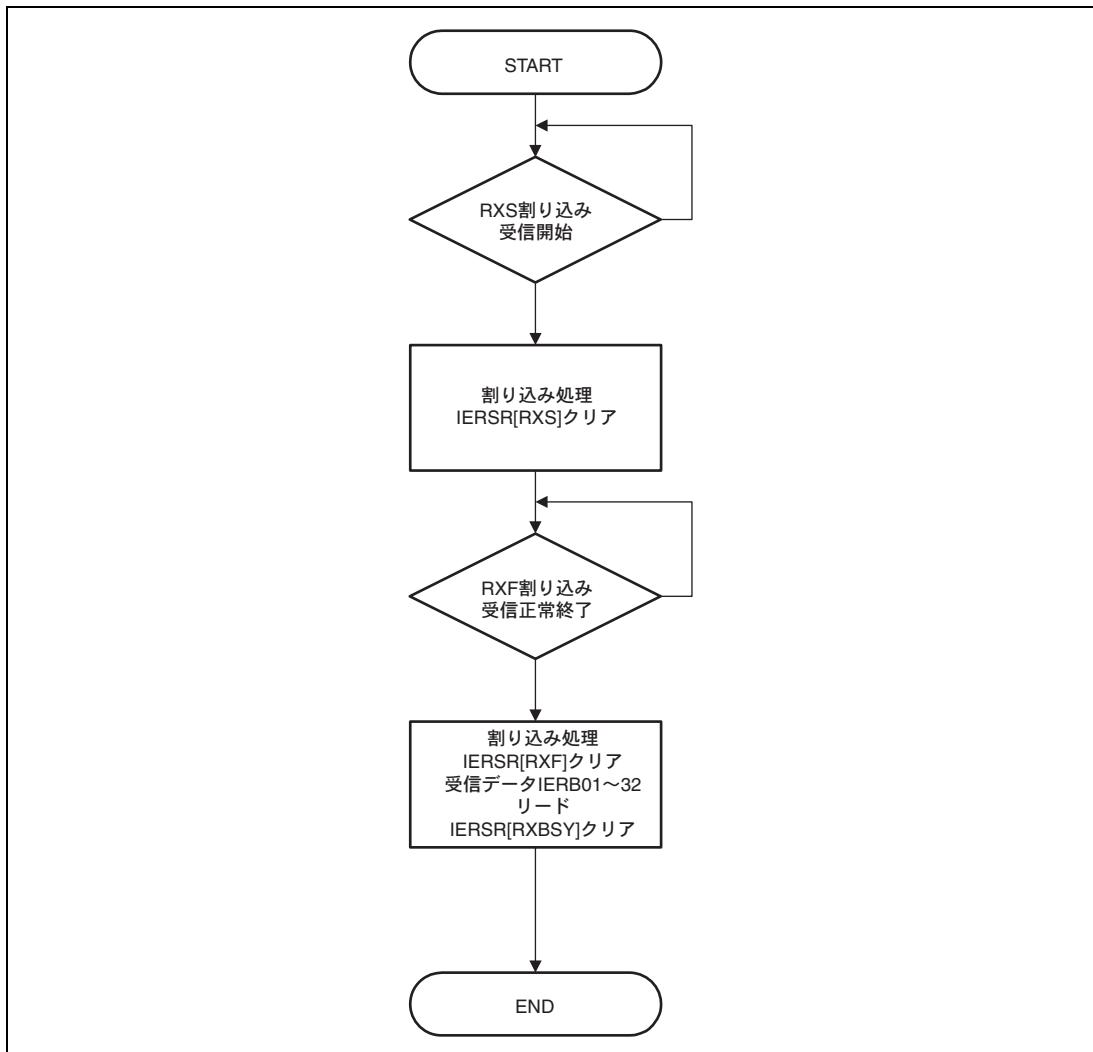


図 4.7 スレーブ受信フロー（正常ケース）

4.3.4 動作タイミング

(1) マスタ送信

図 4.8 にマスタ送信動作タイミングを示します。

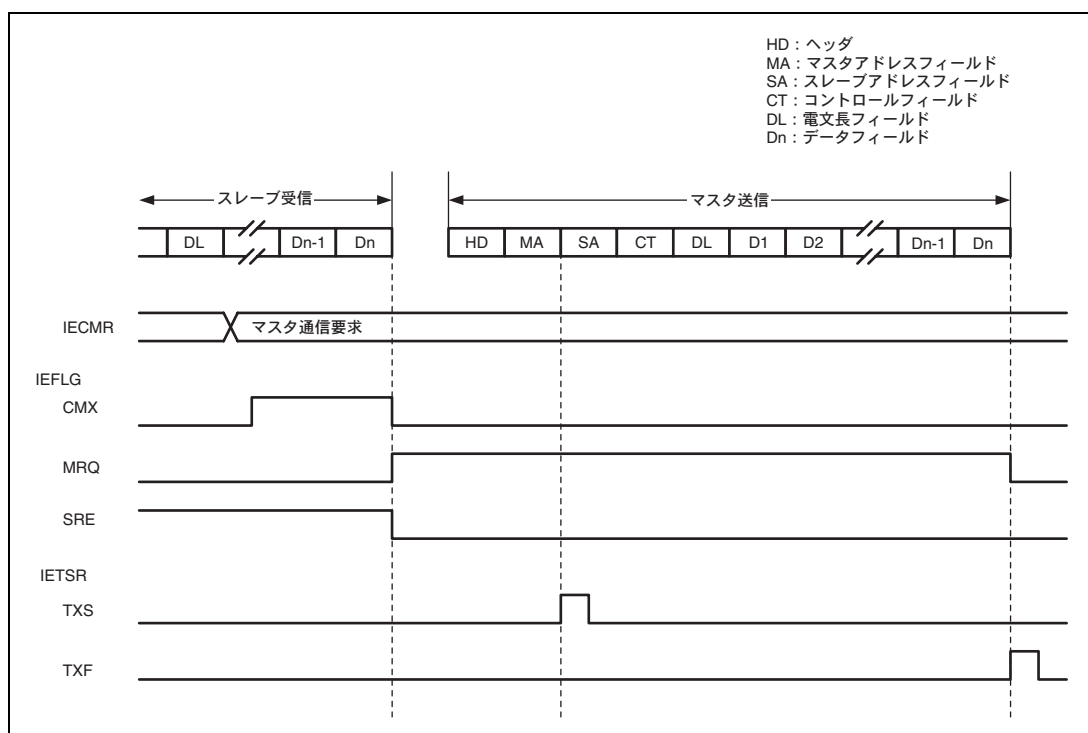


図 4.8 マスタ送信動作タイミング

(2) スレーブ受信

図 4.9 にスレーブ受信動作タイミングを示します。

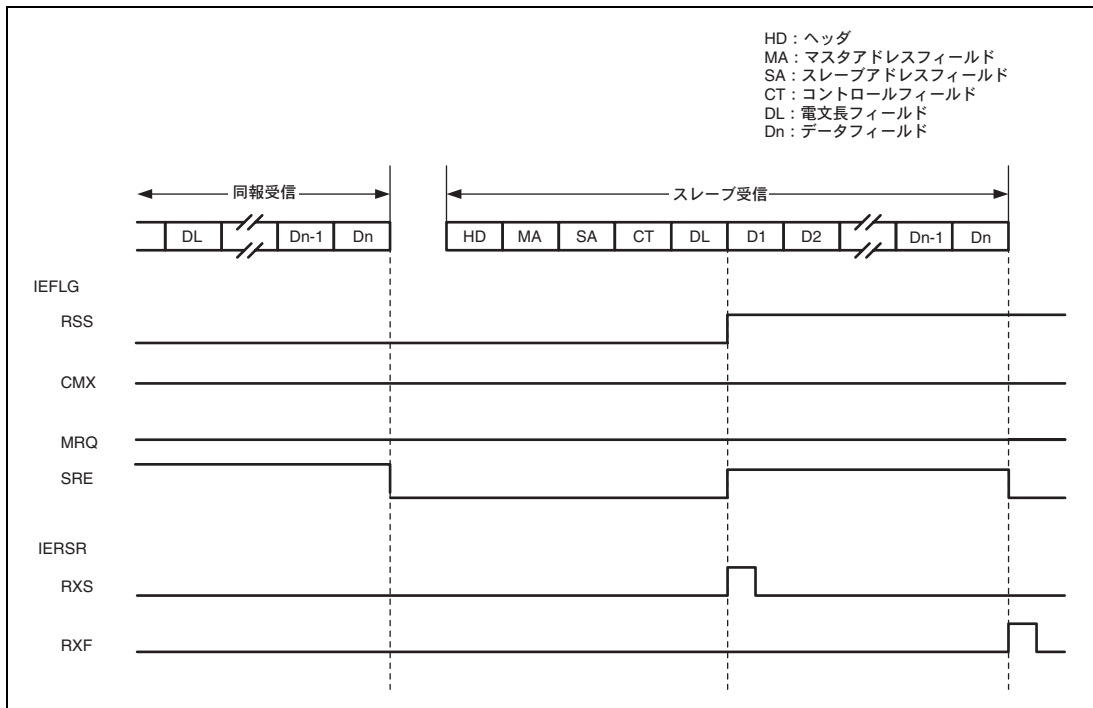


図 4.9 スレーブ受信動作タイミング

5. IEBusTM コントローラ イネーブル方法

IEBusTM コントローラは、パワーオンリセットによりディスエーブルされます。IEBusTM コントローラをイネーブルするには、パワーオンリセット後、次の手順を実行してください。パワーオンリセットごとにこの手順の実行が必要です。

- H'FFC8 0094（P4領域アドレス）、もしくはH'1FC8 0094（エリア7アドレス）に、H'05B5E760を2回連続で書き込む。

【注】 IEBusTM（Inter Equipment BusTM）はルネサス エレクトロニクス株式会社の商標です。

本版で修正または追加された箇所

項 目	ページ	修正箇所
—	—	初版発行

SH7734 ユーザーズマニュアル
ハードウェア編 別冊

発行年月日 2012年8月21日 Rev.1.10

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH7734